เครื่องตอบรับโทรศัพท์อัตโนมัติ

AUTOMATIC ANSWERING TELEPHONY

T033918

โดย

นาย ทรงธรรม คณะรมย์

นาย ปริญญา รัตนปัญญา

ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตร์บัณฑิต

สาขาเทคโนโลยีอิเล็กทรอนิกส์ ภาคเทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เลขหมู่
เลขทะเบียน 33918
วัน, เดือน, ปี 20 ก.ย. 2542

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	เครื่อง ตอบรับโทรศัพท์อัตโนมัติ
โดย	นาย ทรงธรรม คณะรมย์ 40012012
	นาย ปริญญา รัตนปัญญา 40012020
อาจารย์ที่ปรึกษา	อ. มนชนก ศรีเสือขาม
ภาควิชา	เทคนิคอุตสาหกรรม
ปีการศึกษา	2541

คณะวิศวกรรมศาสตร์สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้ปริญญานิพนธ์ฉบับนี้ เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

---------- ประธานกรรมการ
( )
---------- กรรมการ
( )
---------- กรรมการ
( )
---------- กรรมการ
( )
---------- กรรมการ
( )
---------- กรรมการ
( )
---------- กรรมการ
( )
---------- กรรมการ
( )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องตอบรับโทรศัพท์อัตโนมัติ

โดย นายทรงธรรม คณะรมย์
นายปริญญา รัตนปัญญา

อาจารย์ที่ปรึกษา อ.มนชนก ศรีเสือขาม

ปีการศึกษา 2541

บทคัดย่อ

ในโครงงานนี้ได้นำอุปกรณ์ประเภท Solid State มาใช้งานในการทำหน้าที่บันทึกเสียงของผู้ที่โทรเข้ามาฟังข้อความไว้แทนการใช้คาสเซทเทป และเพื่อเป็นการสะดวกต่อการใช้งานผู้ใช้สามารถที่จะโทรเข้ามาฟังข้อความที่มีผู้ที่โทรเข้ามาฝากไว้ได้ด้วย การนำเสนอผลงานต่างๆนั้นในโครงงานนี้จะแบ่งเป็นสองส่วนคือ ฮาร์ดแวร์(HARDWARE) ซึ่งประกอบด้วย ส่วนตรวจจับสัญญาณกระดิ่ง(RING DETECT) , วงจรบันทึกเสียงตอบรับ(ANSWER RECORD) , วงจรบันทึกเสียงของผู้ที่โทรเข้ามา(VISITOR RECORD) , วงจรตรวจสอบการกดรหัสผ่านเพื่อขอฟังข้อความที่ถูกบันทึกไว้(PASSWORD DETECT FOR PLAYBACK) , บอร์ด Z80 คอนโทรลเลอร์(Z80 CONTROLLER BORD) และส่วนที่เป็นซอฟแวร์ (SOFTWARE) ซึ่งเป็นส่วนที่เป็นโปรแกรมที่ใช้สำหรับควบคุมการทำงานของวงจรทั้งหมด ซึ่งโปรแกรมนี้จะเขียนด้วยโปรแกรมภาษาแอสแซมบลีที่ใช้ใน Z80

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AUTOMATIC ANSWERING TELEPHONY

BY MR. SONGTHAM KANAROM
MR. PRINYA RATTANAPANYA

ADVISOR MISS. MONCHANOK SRISUAKAM

ABSTRACT

This project be use the kind of equipment, call solid state this function are record the voice of calling as voice massage system which replace be use cassette tape Moreover, it comfortable for user because you can call to listen to voice massage in your voice mail box.

There are two parts into presentation of this project that consist of hardware and software. Hardware the consist of ringing detect, Answer record, Visitor Record, password detect for playback , Z-80 controller board and the part of software. Software used for controlling all of circuit in program. This program is writing in assembly language that use in Z-80.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	I
Abstract	II
สารบัญภาพ	V
สารบัญตาราง	VIII
กิตติกรรมประกาศ	IX
บทนำ	X
บทที่ 1 ทฤษฎีและหลักการของโทรศัพท์	1
1.1 บทนำ	1
1.2 ระบบโทรศัพท์	16
1.3 การถอดรหัสความถี่ทางโทรศัพท์ชนิดกดปุ่ม	25
บทที่ 2 โครงสร้างของซีพียูและการอินเตอร์รัพท์	32
2.1 โครงสร้างของซีพียู Z-80	32
2.2 การจัดขาของ Z-80	36
2.3 ไดอะแกรมเวลาของซีพียู	40
2.4 การอินเตอร์รัพท์	42
บทที่ 3 ไอซี 8255 พอร์ตข้อมูลแบบขนานและการอินเตอร์เฟส	54
3.1 ไอซี 8255	54
3.2 ขาต่างๆของ ไอซี 8255	55
3.3 การเชื่อต่อ 8255 กับ Z-80	56
3.4 รีจิสเตอร์ภายในของ 8255	59
3.5 โหมด 0 หรืออินพุตเอาท์พุตแบบพื้นฐาน	60
3.6 การทำงานในโหมด 0	62
3.7 การทำงานของ 8255 ในโหมด 1	67
3.8 การทำงานของ 8255 ในโหมด 2	71
บทที่ 4 การใช้งานและคุณสมบัติของไอซีเบอร์ ISD 2590	73
4.1 คุณสมบัติของไอซี ISD 2590	73
4.2 หน้าที่การทำงานของขาต่างๆ	76
4.3 การบันทึกข้อมูล	79

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	หน้า
4.4 การเล่นกลับ	80
4.5 การขยายระยะเวลาการบันทึกโดยการวิธีลูกโซ่	80
บทที่ 5 การออกแบบและทดลอง	83
5.1 บล๊อคไดอะแกรมการทำงาน	83
5.2 การทำงานและวงจรใช้งาน	85
5.3 การทดลองและผลการทดลอง	95
บทที่ 6 สรุปผลการทดลอง	101
6.1 การทำงานโดยรวมของเครื่องตอบรับโทรศัพท์อัตโนมัติ	101
6.2 ผลการทดลองจากการใช้งานจริง	102
เอกสารอ้างอิง	103
ภาคผนวก	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

ภาพ **หน้า**

รูปที่ 1.1 วงจรภายในเครื่องโทรศัพท์และการเชื่อมต่อกับชุมสายท้องถิ่น 2
รูปที่ 1.2 แถบความถี่ (พลังงาน) ของเสียงพูด 5
รูปที่ 1.3 สัญญาณที่อยู่ในและนอกความถี่เสียง 6
รูปที่ 1.4 วงจรอย่างง่ายในการอธิบายกำลังของสัญญาณ 6
รูปที่ 1.5 สัญญาณเสียงที่มอดูเลตกับคลื่นพาห์ 8
รูปที่ 1.6 สัญญาณให้หมุน 9
รูปที่ 1.7 สัญญาณไม่ว่าง 9
รูปที่ 1.8 สัญญาณเรียกกลับ 10
รูปที่ 1.9 สัญญาณกริ่งเรียก 10
รูปที่ 1.10 ความถี่และการจัดปุ่ม 13
รูปที่ 1.11 ลักษณะทางไฟฟ้าปรากฏที่คู่สายในขณะทำการเรียก 14
รูปที่ 1.12 ลักษณะของสัญญาณเมื่อผู้ที่เรียกเรียกเข้ามา 15
รูปที่ 1.13 ลักษณะของสัญญาณโทรศัพท์ 15
รูปที่ 1.14 ผังการทำงานของโทรศัพท์ 16
รูปที่ 1.15 (ก) โทรศัพท์แบบหมุนหมายเลข 17
รูปที่ 1.15 (ข) ระบบโทรศัพท์แบบหมุนหมายเลข 18
รูปที่ 1.16 แป้นกดหมายเลขและค่าความถี่ในแนวนอนและแนวตั้งของหมายเลขนั้นๆ 20
รูปที่ 1.17 วงจรหมุนหมายเลขต่อแบบขนานกับวงจรไฮบริด 21
รูปที่ 1.18 วงจรไฮบริด 22
รูปที่ 1.19 วงจรหมุนหมายเลขต่อแบบอนุกรมกับวงจรไฮบริด 23
รูปที่ 1.20 ผังการทำงานของไอซีที่ทำหน้าที่กำเนิดสัญญาณพัลส์ 23
รูปที่ 1.21 วงจรสมบูรณ์ของระบบที่ใช้ในการส่งสัญญาณพัลส์ 24
รูปที่ 1.22 ผังเวลาของสัญญาณต่างๆที่เกิดขึ้นในการส่งสัญญาณพัลส์จากรูปที่ 1.21 25
รูปที่ 1.23 ความถี่ที่ได้จากภาคกรองความถี่ 26
รูปที่ 1.24 วงจรตรวจสอบสัญญาณอย่างง่าย 27
รูปที่ 1.25 ผังเวลาของไอซี MT8870 28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพ **หน้า**

รูปที่ 1.26 การต่อวงจรภาคอินพุท 30
รูปที่ 1.27 วงจรการใช้งานเบื้องต้นของไอซี (MT8870 และการต่อวงจรผลิตความถี่) 31
รูปที่ 2.1 บล็อกไดอะแกรม CPU Z – 80 32
รูปที่ 2.2 แสดง รีจิสเตอร์ต่างๆที่มีอยู่ใน Z – 80 33
รูปที่ 2.3 แสดงการทำงานของ ALU ภายใน 36
รูปที่ 2.4 ลักษณะของขาไอซี Z – 80 CPU 37
รูปที่ 2.5 ลักษณะการทำงานจะสัมพันธ์กับสัญญาณนาฬิกา 41
รูปที่ 2.6 แสดงขบวนการอินเตอร์รัพท์ 44
รูปที่ 2.7 แสดงให้เห็นระบบการจัดลำดับความสำคัญ 45
รูปที่ 2.8 กรรมวิธีการตอบสนองการอินเตอร์รัพท์โหมด 2 49
รูปที่ 2.9 แสดงไดอะแกรมเวลาของการตอบสนองการอินเตอร์รัพท์ 51
รูปที่ 2.10 แสดงไดอะแกรมเวลาของการตอบสนองการอินเตอร์รัพท์ 53
รูปที่ 3.1 แผนผังโครงสร้างไอซี 8255 54
รูปที่ 3.2 แผนผังวงจรภายในและการจัดขาของไอซี 8255 55
รูปที่ 3.3 การกำหนดแอดเดรสให้กับ 8255 57
รูปที่ 3.4 วงจรการเชื่อมต่อสายสัญญารควบคุมมาเขียนและการอ่าน 8255 57
รูปที่ 3.5 การเชื่อมต่อ 8255 กับ Z – 80 ทั้งระบบ 58
รูปที่ 3.6 ความหมายของบิตต่างๆในระบบควบคุม 60
รูปที่ 3.7 ลักษณะของรหัสควบคุมต่างๆในโหมด 62
รูปที่ 3.8 วงจรการต่อคีย์บอร์ดขนาด 32 คีย์แบบแมทตริกซ์ 64
รูปที่ 3.9 โครงสร้างตัวตรวจสอบสัญญาณของพอร์ทอินพุทและพอร์ทเอาท์พุท 68
รูปที่ 3.10 วงจรการต่อ 8255 ในโหมด 1 69
รูปที่ 3.11 แผนผังเวลาการรับและส่งข้อมูลโดยใช้ตัวตรวจสอบสัญญาณ 70
รูปที่ 3.12 โครงสร้างของพอร์ท A ที่ทำงานแบบพอร์ท 2 ทิศทาง 72
รูปที่ 4.1 ลักษณะการจัดขาใช้งานของ ISD2590 73
รูปที่ 4.2 บล็อกไดอะแกรมภายในของไอซี 74
รูปที่ 4.3 การต่อ ISD2590 คาสเคดกันหลายๆตัว 81
รูปที่ 5.1 บล็อกไดอะแกรมของการทำงานโดยรวม 83
รูปที่ 5.2 วงจรบันทึกเสียงและเล่นกลับข้อความ 86

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพ **หน้า**

รูปที่ 5.3 วงจรถอดรหัสสัญญาณความถี่คู่ 88
รูปที่ 5.4 วงจรตรวจจับสัญญาณเรียกเข้าและเปลี่ยนเป็นสัญญาณทริก 90
รูปที่ 5.5 วงจรการยกหูอัตโนมัติและตัดต่อคู่สาย 91
รูปที่ 5.6 วงจรกำเนิดสัญญาณ Beep 92
รูปที่ 5.7 วงจรบันทึกและเล่นกลับเสียงตอบรับ 94
รูปที่ 5.8 วงจรการทดลองภาคบันทึกและเล่นกลับ 95
รูปที่ 5.9 วงจรการทดลองตัวตรวจจับสัญญาณเรียกและแปลงเป็นสัญญาณทริก 97
รูปที่ 5.10 วงจรการทดลองวงจรถอดรหัสสัญญาณความถี่คู่(DTMF) 99

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตาราง **หน้า**

ตารางที่ 1.1 ความถี่ที่มอดูเลตเมื่อกดหมายเลข 3
ตารางที่ 2.1 แสดงสถานะสภาพของ IFF1 และ IFF2 50
คารางที่ 3.1 สัญญาณควบคุมการกระทำของ 8255 59
ตารางที่ 3.2 หน้าที่ของสัญญาณต่างๆของพอร์ท C 69
ตารางที่ 3.3 หน้าที่ของพอร์ท C ในโหมด 2 71
ตารางที่ 4.1 คุณสมบัติทางไฟฟ้าบางอย่างที่แตกต่างกันของไอซีตะกูล ISD25XX 75

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ สำเร็จลุล่วงไปด้วยดีในทุกๆด้าน ก็ด้วยความร่วมมือและการช่วยเหลือเป็นอย่างดีจากอาจารย์และเจ้าหน้าที่ในภาควิชาเทคนิคอุตสาหกรรม คณะวิศวกรรมศาสตร์ สจล. โดยเฉพาะอย่างยิ่ง อาจารย์มนชนก ศรีเสือขาม ซึ่งท่านเป็นอาจารย์ที่ปรึกษาทางด้านโครงงานของคณะผู้จัดทำ ที่ได้ให้คำปรึกษา และคำแนะนำต่างๆที่มีประโยชน์อย่างยิ่งต่อการทำโครงงาน ให้สำเร็จลุล่วงไปด้วยดีตลอดมา และต้องขอขอบคุณทุกๆท่านที่ได้ให้ความช่วยเหลืออย่างมาก และขออภัยที่ไม่ได้กล่าวนามได้ทั้งหมด ทางคณะผู้จัดทำหวังว่า คงจะได้รับความอนุเคราะห์จากทุกๆท่านอีกในโอกาสต่อๆไป

สุดท้ายนี้ต้องขอกราบขอบพระคุณ คุณพ่อและคุณแม่ที่ได้ให้การสนับสนุนทุนทรัพย์ทางด้านการศึกษาและกำลังใจด้วยดีตลอดมา

นาย ทรงธรรม คณะรมย์

นาย ปริญญา รัตนปัญญา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทนำ

ในปัจจุบันอุปกรณ์ประเภท Solid State ได้ถูกนำมาใช้กันอย่างแพร่หลายทั่วไปแม้กระทั่งการบันทึกสัญญาณอะนาลอก ก็สามารถเปลี่ยนจากการบันทึกลงคาสเซทเทปธรรมดา มาบันทึกลงในอุปกรณ์ประเภท Solid State จะทำให้สามารถลดปัญหาทางด้านแมคคานิคส์ลงได้

ในโครงงานนี้จะศึกษาถึงการทำงานของระบบตอบรับโทรศัพท์อัตโนมัติ และทำการทดลองสร้างวงจรต่างๆมาประกอบกันเพื่อที่จะสามารถทำให้วงจรสามารถทำงานเป็นเครื่องตอบรับโทรศัพท์อัตโนมัติได้ และในโครงงานนี้ได้นำไอซีเบอร์ ISD2590 และ ISD1420 มาใช้ในวงจรเพื่อทำหน้าที่บันทึกเสียงของผู้ที่โทรเข้ามาฝากข้อความ

โครงงานนี้มีจุดมุ่งหมายเพื่อการศึกษาและสร้างวงจรตอบรับโทรศัพท์อัตโนมัติ โดยจะใช้วงจรต่างๆที่ได้ศึกษามา ประกอบขึ้นเป็นวงจรตอบรับโทรศัพท์อัตโนมัติ และส่วนที่เป็นส่วนของการบันทึกสัญญาณอะนาลอกจะใช้อุปกรณ์ประเภท Solid State มาใช้ในการบันทึก และผู้ใช้สามารถที่จะโทรเข้ามาเช็คข้อความที่มีผู้โทรเข้ามาฝากไว้ได้

จากที่กล่าวมาแล้วทางคณะผู้จัดทำ โครงงานนี้หวังเป็นอย่างยิ่งว่า จะได้รับความสนใจจากทุกท่านบ้างไม่มากก็น้อย หากมีความรู้ใดที่มีประโยชน์แก่ผู้อ่านก็ขอให้ความดีนั้นจงเกิดแก่ผู้ที่เกี่ยวข้องที่ทำให้รายงานฉบับนี้สำเร็จได้ หากมีข้อมูลผิดพลาดประการใดทางคณะผู้จัดทำก็ขออภัยไว้ ณ ที่นี้ด้วย

ขอขอบคุณทุกๆท่าน

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
ทฤษฎีและหลักการของโทรศัพท์

1.1 บทนำ

ปัจจุบันนี้การสื่อสารได้เข้ามามีบทบาทเป็นอย่างมากในชีวิตประจำวัน เรียกได้ว่าจะต้องมีการสื่อสารกันตลอดเวลาเลยก็ว่าได้ และระบบโทรศัพท์ก็จัดว่าเป็นระบบสื่อสารที่ใกล้ตัวเรามากที่เดียว ซึ่งทุกคนต้องเคยใช้โทรศัพท์ในการติดต่อสื่อสารกันมาแล้ว

โทรศัพท์ที่เห็นทั่วไปมีอยู่ 2 แบบ คือ แบบกดปุ่ม และแบบหมุน โดยหน้าที่ของทั้ง 2 ระบบจะเหมือนกัน ต่างกันก็ตรงที่แบบกดปุ่มจะส่งสัญญาณออกไปเป็นความถี่ที่แตกต่างกัน ส่วนแบบหมุนจะส่งสัญญาณเป็นจำนวนพัลส์

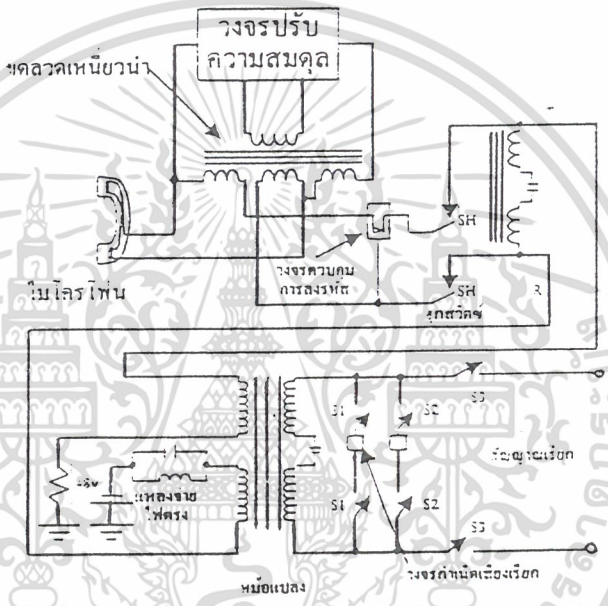
1.1.1 หน้าที่หลักของโทรศัพท์

1. เครื่องโทรศัพท์จะรับรู้ว่ามีผู้ต้องการใช้โทรศัพท์ เมื่อมีการยกหูโทรศัพท์ขึ้น
2. เครื่องโทรศัพท์จะส่งสัญญาณที่เรียกว่า สัญญาณหมุนบอกว่าพร้อมที่จะให้ทำการกดหรือหมุนหมายเลขที่จะติดต่อได้ ซึ่งก็คือ เสียงที่ได้ยินเมื่อเวลายกหู เป็นสัญญาณเสียงที่มีความถี่ 350 เฮิรตซ์ กับ 440 เฮิรตซ์ มอดูเลตร่วมกัน
3. เครื่องโทรศัพท์จะทำหน้าที่ส่งรหัสหมายเลขที่ผู้เรียกต้องการจะติดต่อด้วยไปยังชุมสายที่ควบคุม
4. เครื่องโทรศัพท์จะส่งสัญญาณบอกผู้เรียกว่าหมายเลขที่ ต้องการติดต่อด้วยว่างหรือไม่ ถ้าว่างก็จะส่งสัญญาณกลับเป็นความถี่ 440 เฮิรตซ์ มอดดูเลตกันมา โดยจะดัง 2 วินาที แล้วเงียบ 4 วินาทีสลับกันไป แต่ถ้าหมายเลขที่ต้องการจะเรียกไม่ว่างก็จะส่งสัญญาณความถี่ 480 เฮิรตซ์ กับ 620 เฮิรตซ์ มอดูเลตกันมา
5. สามารถเปลี่ยนรูปพลังงานเสียงเป็นสัญญาณไฟฟ้า และเปลี่ยนจากสัญญาณไฟฟ้ากลับมาเป็นพลังงานเสียง
6. เครื่องโทรศัพท์จะปรับระดับแรงดันอย่างอัตโนมัติ ในกรณีที่เกิดมีการเปลี่ยนแปลงแรงดันขึ้น
7. เครื่องโทรศัพท์จะส่งสัญญาณไปยังชุมสาย เพื่อแจ้งให้ทราบว่าสิ้นสุดการใช้งานแล้ว และให้ชุมสายเลิกทำการติดต่อกับอีกฝ่ายหนึ่งได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.1.2 กลไกการเชื่อมต่อวงจรโทรศัพท์

วงจรพื้นฐานข้างในรวมทั้งการเชื่อมต่อกับชุมสายเบื้องต้น แสดงดังรูปที่ 1.1 จะเห็นได้ว่าโทรศัพท์จะเชื่อมต่อกับชุมสายด้วย 2 สาย คือ T (Tip) และ R (Ring) เมื่อผู้ใช้ยกหูโทรศัพท์ฮุกสวิตซ์ ในส่วนที่เชื่อมต่อระหว่างหูฟังกับสายโทรศัพท์ที่มีหม้อแปลงแบบอัตโนมัติ ทำหน้าที่ปรับอิมพีแดนซ์ของหูฟัง ทำให้การรับส่งสัญญาณมีประสิทธิภาพที่สุด รวมไปถึงทำให้ผู้พูดได้ยินเสียงที่ตัวเองพูดไปในระดับที่เหมาะสม



รูปที่ 1.1 วงจรภายในเครื่องโทรศัพท์และการเชื่อมต่อกับชุมสายท้องถิ่น

เมื่อมีการติดต่อระหว่างเครื่องโทรศัพท์กับชุมสายแล้ว ก็จะมีสัญญาณถูกส่งไปยังอุปกรณ์สวิตซ์ชิ่งเพื่อบอกให้รู้ว่าขณะนี้คู่สายนี้ไม่ว่างแล้ว

สำหรับการหมุนหมายเลขโทรศัพท์ ก็คือ การส่งสัญญาณพัลส์ (Pulse Train) ตั้งแต่ 1 ถึง 10 พัลส์ เช่น ถ้ามีการส่งสัญญาณพัลส์ 1 พัลส์ ก็หมายถึงการหมุนหมายเลข 0 ส่ง 2 พัลส์ ก็หมายถึงหมายเลข 1 ดังนั้น ถ้าเราหมุน 9 ก็จะมีการพัลส์จำนวน 10 พัลส์นั่นเอง และความเร็วในการส่งก็คือ 10 พัลส์ต่อวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับโทรศัพท์ที่ใช้การกดปุ่มนั้นจะเป็นการส่งสัญญาณที่มีค่าของความถี่ที่แตกต่างกันออกไปสำหรับแต่ละเลขหมายที่มีอยู่ 10ตัว ความถี่ที่ส่งออกไปเป็นความถี่ที่อยู่ในย่านความถี่เสียง โดยในการกดครั้งหนึ่งจะมีสัญญาณเสียงที่มอดดูเลตแล้วส่งออกไป 2 ความถี่ ดังตารางที่ 1.1

ความถี่ (Hz)	รหัสหรือหมายเลข		
697	1	2	3
770	4	5	6
852	7	8	9
941	*	0	#
ความถี่ (Hz)	1209	1336	1477

ตารางที่ 1.1 ความถี่ที่มอดูเลตกันเมื่อกดหมายเลข

ทางชุมสายเมื่อได้รับข้อมูลจากผู้เรียกแล้ว ก็จะแปลงสัญญาณที่จะได้รับมาสั่งให้อุปกรณ์สวิตซ์ชิ่งทำงาน เพื่อทำการต่อสายให้กับผู้เรียก ถ้าปลายสายที่ต้องการติดต่อด้วยไม่ว่าง ชุมสายก็จะส่งสัญญาณไม่ว่าง (Busy Tone) ไปยังผู้เรียกเพื่อแจ้งให้ทราบว่าไม่ว่าง สามารถต่อวงจรให้ได้ แต่ถ้าปลายสายว่าง ชุมสายก็จะส่งสัญญาณเรียก (Ringing Signal) ไปยังปลายสายและส่งสัญญาณเรียกกลับ (Ringing Back Tone) ไปยังผู้เรียก เพื่อแจ้งให้ทราบว่าสามารถต่อวงจรให้ได้ตามต้องการแล้ว

1.1.3 การสนทนา

เมื่อปลายสายหรือผู้เรียกหรือผู้ถูกยกหูโทรศัพท์ขึ้น การทำงานในส่วนวงจรควบคุมของชุมสายโทรศัพท์ก็จะหยุด เพื่อที่จะรอทำงานให้กับผู้อื่นที่เรียกเข้ามาต่อไป แต่หน้าที่ของชุมสายสำหรับตอนนี้ก็คือ การทำงานของมิเตอร์สำหรับเรียกเก็บค่าบริการในภายหลัง

ในระหว่างที่ทำการสนทนาอยู่ เครื่องโทรศัพท์ก็จะทำงาน 2 รูปแบบไปพร้อมๆกัน คือ แปลงจากสัญญาณไฟฟ้าให้เป็นสัญญาณเสียง (Acoustic Energy) ซึ่งจะเรียกว่ารูปแบบการรับสัญญาณ (Receive Mode) และในทางกลับกัน รูปแบบที่ทำหน้าที่แปลงจากสัญญาณเสียงเป็นสัญญาณไฟฟ้า จะเรียกว่ารูปแบบการส่งสัญญาณ (Transmitter Mode) ในรูปแบบหลังนี้นี่เองที่มี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้

เรื่องของการป้อนกลับของสัญญาณเข้ามาเกี่ยวข้องนั่นก็คือ การที่ผู้พูดสามารถได้ยินเสียงของตนเองจากหูฟังด้วย เรียกเสียงนี้ว่า Side Tone ซึ่งจำเป็นอย่างมากที่จะต้องป้อนกลับมา เพราะไม่เช่นนั้นก็จะไม่สามรถรู้ได้เลยว่าควรพูดให้มีเสียงดังให้อยู่ในระดับใดจึงจะพอเหมาะที่คู่สนทนาจะได้ยินเสียงพูดของผู้เรียกได้อย่างชัดเจน

เมื่อสิ้นสุดการสนทนาทั้ง 2 ฝ่าย และวางหูโทรศัพท์ลง สัญญาณจากฮุกสวิตซ์ก็จะบอกให้ชุมสายทำการเปิดวงจรที่ทำการติดต่อยู่ออก อุปกรณ์ต่างๆก็จะว่าง และพร้อมสำหรับการตัดต่อครั้งต่อไป

1.1.4 ระบบการส่งสัญญาณในสายส่ง

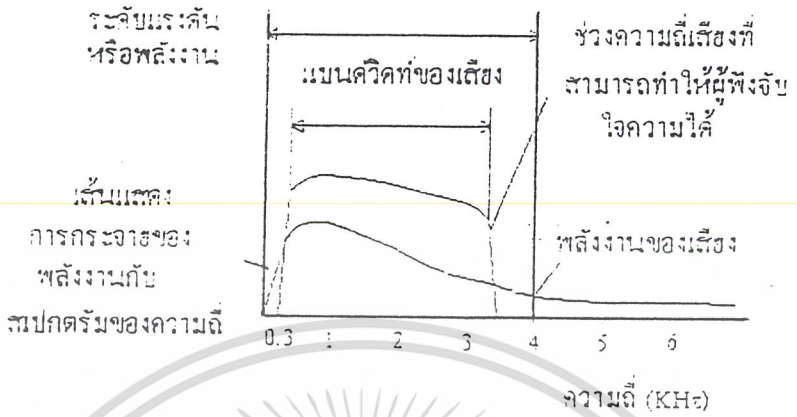
ในสายส่งโทรศัพท์นั้นมีสัญญาณต่างๆ ที่เข้ามาเกี่ยวข้องเพื่อทำให้เราสามารถพูดคุยกันในระยะทางไกลๆ ได้ สัญญาณที่จะปรากฏในสายส่งจะสามารถแยกได้เป็น 2 ชนิดใหญ่ๆ คือ สัญญาณเสียงที่พูดคุยกัน และสัญญาณที่ใช้ในการควบคุมระบบสวิตซ์ชิ่ง ซึ่งใช้ในการเชื่อต่อวงจรระหว่างผู้เรียกนั่นเอง รวมทั้งสัญญาณเรียกกลับและสัญญาณบอกไม่ว่าง ตัวสัญญาณควบคุมนี้อาจจะเป็นได้ทั้งสัญญาณอะนาลอก หรือจะเป็นสัญญาณดิจิตอลก็ได้ โทรศัพท์แบบหมุนกับแบบกดปุ่มมีหลักการส่งรหัสหมายเลขโทรศัพท์คนละแบบกัน ดังนั้น ในการส่งสัญญาณออกไปในสายส่งบางครั้ง อาจจะมีการส่งทั้งสัญญาณดิจิตอล และสัญญาณอะนาลอกไปพร้อมๆ กันก็ได้

1.1.5 สัญญาณเสียงพูด

สัญญาณเสียงพูดเป็นสัญญาณอะนาลอก จากรูปที่ 1.2 จะเห็นว่าเสียงพูดมีแบนดวิดธ์ตั้งแต่ 100 เฮิรตซ์ ไปจนถึง 6 กิโลเฮิรตซ์ แต่จริงๆ แล้วเสียงพูด ที่ทำให้คนเรานั้นสามารถฟังแล้วจับใจความได้ จะอยู่ในช่วง 200-4,000 เฮิรตซ์เท่านั้น วงจรกรองความถี่จึงได้ถูกนำมาใช้เพื่อป้องกันสัญญาณที่ไม่ต้องการเข้ามาภายในระบบ โดยจะยอมให้สัญญาณที่มีความถี่ตั้งแต่ 0-400 เฮิรตซ์ สามารถผ่านเข้าไปในระบบได้ และความถี่ย่านนี้เรียกว่าช่องสัญญาณเสียงพูดแต่อย่างไรก็ตามแบนด์วิดธ์ของเสียงพูดในการส่งจริงจะอยู่ในช่วง 300-3,000 เฮิรตซ์เท่านั้น ไม่ได้มีการใช้ช่องสัญญาณในการส่งเต็มย่านความถี่

จากรูปที่ 1.2 จะเห็นว่าช่วงความถี่ 300-3,000 เฮิรตซ์ ประกอบไปด้วยสัญญาณต่างๆหลายสัญญาณ ไม่ว่าจะเป็นสัญญาณหมุน หรือสัญญาณควบคุมต่างๆ ก็จะถูกส่งไปในช่วงความถี่นี้ทั้งสิ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.2 แถบความถี่ (พลังงาน) ของเสียงพูด

เมื่อกล่าวถึงระดับความดังของเสียงที่ได้ยิน นั่นก็คือ ขนาดแอมพลิจูดของสัญญาณ ซึ่งสามารถอธิบายให้เห็นได้ดียิ่งขึ้น โดยอาศัยสมการทางคณิตศาสตร์ โดยอยู่ในรูปของพลังงานที่ปรากฏที่โหลด ดังรูปที่ 2.4 เช่น สายโทรศัพท์คู่หนึ่งที่มีอิมพีแดนซ์ 600 โอห์ม พลังงานที่ปรากฏที่โหลดคือ

$$P_{load} = es^2/600$$

โดย P_{load} คือ กำลังที่ตกคร่อมโหลด (วัตต์)

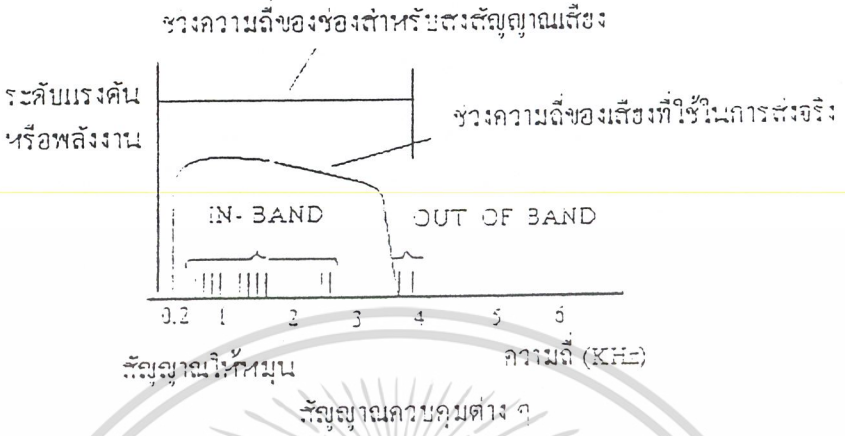
es คือ ระดับแรงดันของสัญญาณที่ส่งไป (วัตต์)

แต่ในระบบโทรศัพท์และวงจรอิเล็กทรอนิกส์ที่เกี่ยวข้องกับเสียงมักจะใช้การเปรียบเทียบกำลังขนาด 1 มิลลิวัตต์ อยู่เสมอโดยอยู่ในรูปของเดซิเบล ซึ่งมีสมการดังนี้

$$dB = 10 \log_{10} (P1/P2)$$

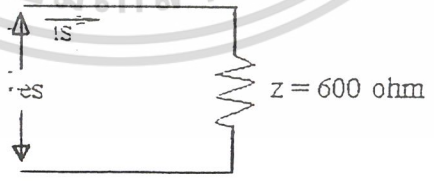
แต่เนื่องจากมักจะใช้ค่า 1 มิลลิวัตต์เป็นค่าที่ใช้ในการเปรียบเทียบ (ค่า P2= 1 มิลลิวัตต์ ในสมการนั่นเอง) ก็จะใช้สัญลักษณ์เป็น dB_m แทน ซึ่งความหมายก็คือ การเปรียบเทียบกำลังที่จุดใดๆ กับกำลังขนาด 1 มิลลิวัตต์นั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.3 สัญญาณต่างๆที่อยู่ในและนอกความถี่เสียง

ในระบบโทรศัพท์ที่ใช้กันจริงๆ จะมีการกำหนดจุดๆหนึ่งในสายส่งให้มีค่า dB = 0 ซึ่งเรียกจุดนี้ว่า Zero level Transmission Point (Zero LTP) ซึ่งประโยชน์ที่จะได้รับจากการกำหนดจุดนี้ขึ้นมา ก็คือ สามารถทำให้เราทราบได้ว่าที่ระยะต่างๆ ที่ห่างจากจุด Zero LTP มีค่ากำลังของสัญญาณที่ dB_m เท่าใด เมื่อทราบเพียงค่าแรงดันจากการวัดที่ระยะนั้นๆ



รูปที่ 1.4 วงจรอย่างง่ายในการอธิบายกำลังของสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.1.6 สัญญาณรบกวน

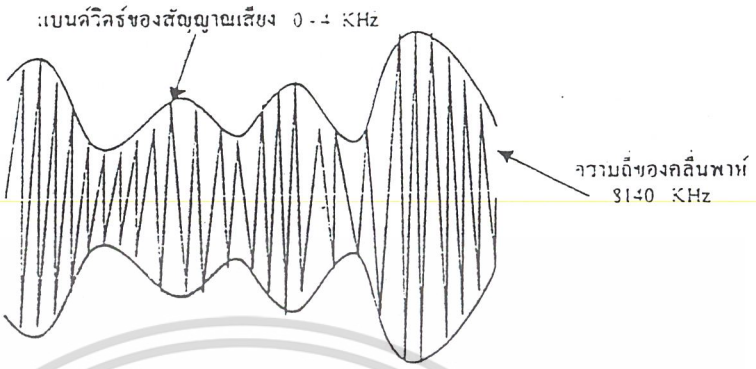
ในระบบใดของวงจรอิเล็กทรอนิกส์ย่อมจะต้องมีสัญญาณรบกวนเข้ามาเกี่ยวข้องด้วยเสมอ ซึ่งอาจจะทำให้เกิดความผิดเพี้ยนของสัญญาณเสียงพูดได้ และสิ่งที่ทำให้เกิดสัญญาณรบกวน ก็คือ สิ่งแวดล้อมรอบข้างนั้นเอง เช่น ความร้อนจากสวิตซ์ ,อุปกรณ์ไทริสเตอร์ ,สายไฟฟ้ากำลังสูงที่อยู่ใกล้กันกับสายส่งสัญญาณหรือแม้แต่ข้อต่อของสายที่บกพร่อง สิ่งเหล่านี้ล้วนแต่มีผลทำให้ประสิทธิภาพของสัญญาณหรือแม้แต่ข้อต่อของสายที่บกพร่อง นอกจากนี้ ยังมีสัญญาณรบกวนอีกชนิดหนึ่ง คือ เสียงสะท้อนในสายโทรศัพท์ สาเหตุที่ทำให้เกิดเสียงสะท้อน ก็คือเกิดการไม่สมดุลย์กัน (Mismatching) ระหว่างอิมพีแดนซ์ของสายส่งกับอุปกรณ์ทางด้านเอาต์พุต โดยมากแล้วมักจะพบในการเชื่อมต่อกันระหว่างระบบโทรศัพท์ที่มี 2 สายกับระบบที่มี 4 สาย และปัญหาเรื่องของเสียงสะท้อนจะมากยิ่งขึ้น ถ้าหากระยะระหว่างจุดที่ทำให้เกิดเสียงสะท้อนไกลกันมากๆ แต่โดยปกติแล้วมักจะไม่รู้สึกถึงการสะท้อนกลับของเสียงจนถึงขั้นที่ทำให้เรารำคาญ

1.1.7 การมัลติเพล็กซ์สัญญาณ

ถ้าหากทำให้สายส่งสัญญาณโทรศัพท์เส้นหนึ่งสามารถใช้ส่งสัญญาณจากหลายๆ เครื่องได้ภายในเส้นเดียวกัน ก็จะทำให้สะดวกและประหยัดในการเดินสาย ดังนั้น ในระบบส่งสัญญาณที่เชื่อมต่อระหว่างพื้นที่บริการกับชุมสายท้องถิ่นนั้น จึงได้มีการนำวิธีการมัลติเพล็กซ์สัญญาณมาใช้ซึ่งเป็นระบบที่เรียกว่า Frequency Division Multiplexing (FDM) ซึ่งระบบนี้จะทำให้สามารถส่งสัญญาณที่มีความถี่ต่างกันไปในสายส่งเดียวกันได้

ในรูปที่ 1.5 แสดงถึงหลักการของวิธีการมอดูเลตแบบแอมพลิจูดมอดูเลตดังที่ได้กล่าวมาแล้วข้างต้นว่าความถี่ของสัญญาณเสียงที่เหมาะสมที่ใช้ในการส่งไปนั้นจะอยู่ในช่วงความถี่ 0-4 กิโลเฮิรตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.5 สัญญาณเสียงที่มอดูเลตกับคลื่นพาห์

ถ้าหากต้องการจะส่งสัญญาณเสียงจากหลายๆ แหล่งพร้อมกัน จะต้องทำการมอดูเลตสัญญาณที่มีความถี่สูงกว่าสัญญาณเสียงมาก เช่น ความถี่พาห์ขนาด 8,140 กิโลเฮิรตซ์เข้าไปกับสัญญาณเสียง

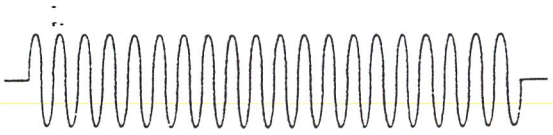
1.1.8 สัญญาณต่างๆ ในระบบชุมสายโทรศัพท์

สัญญาณต่างๆ ในระบบชุมสายโทรศัพท์ ที่ส่งมายังสมาชิกผู้ใช้ (Subscriber) เป็นการสถานะการติดต่อของอุปกรณ์ส่วนต่างๆ ในระบบโทรศัพท์ และแจ้งให้ผู้ใช้ทราบว่าควรทำอย่างไร เมื่อได้รับสัญญาณแต่ละชนิด รายละเอียดของสัญญาณต่างๆ มีดังนี้

สัญญาณสมาชิก คือ สัญญาณที่เครื่องชุมสายโทรศัพท์จะแจ้งสภาวะต่างๆ ในการติดต่อให้ผู้เรียกทราบว่าควรทำอย่างไร เมื่อได้รับสัญญาณ สัญญาณสมาชิกประกอบด้วย

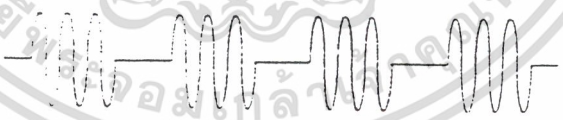
1. **สัญญาณให้หมุน (DT : Dial Tone)** สัญญาณให้หมุนนี้เป็นสัญญาณแบบคลื่นซายน์ มีความถี่ 400 เฮิรตซ์ ส่งมาอย่างต่อเนื่อง และมีระดับขนาด 400 มิลลิโวลต์ พิคทูพิค ดังรูปที่ 1.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.6 สัญญาณให้หมุน

2. **สัญญาณไม่ว่าง (BT : Busy Tone)** เป็นสัญญาณเพื่อแสดงให้สมาชิกทราบว่าผู้รับสายไม่ว่าง หรือการต่อระหว่างชุมสาย (Trunk) ไม่ว่าง ผู้เรียกจึงควรวางหูโทรศัพท์สักระยะหนึ่งแล้วจึงเริ่มทำการเรียกใหม่ สัญญาณไม่ว่างเป็นสัญญาณคลื่นซายน์ มีความถี่ 400 เฮิรตซ์ ส่งมาให้คู่สายเป็นช่วงๆ โดยเป็นจังหวะดัง 0.5 วินาทีสลับกันไป และมีขนาด 250-300 มิลลิโวลต์พีคทูพีค ดังรูปที่ 1.7



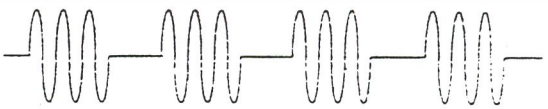
รูปที่ 1.7 สัญญาณไม่ว่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. **สัญญาณเรียกกลับ (RBT :Ring Back Tone)** เป็นสัญญาณเพื่อแสดงว่า การต่อถูกขั้นตอนตามความต้องการของผู้เรียกไปยังผู้รับ และส่งสัญญาณกริ่งให้กับผู้รับเพื่อตอบสนองการเรียกสัญญาณกริ่งเรียกเป็นสัญญาณคลื่นซายน์ที่มีความถี่ 20 เฮิรตซ์ มาเป็นช่วงๆ โดยมีจังหวะดัง 1 วินาที และเงียบ 4 วินาที ระดับขนาด 100 โวลต์พีคทูพีค ดังรูปที่ 1.8

รูปที่ 1.8 สัญญาณเรียกกลับ

4. **สัญญาณกริ่งเรียก (RGT : Ringing Tone)** เป็นสัญญาณเพื่อแสดงว่าการต่อทุกขั้นตอนเป็นไปตามความต้องการของผู้เรียกไปยังผู้รับ เครื่องชุมสายโทรศัพท์สามารถดำเนินการติดต่อได้สำเร็จ และส่งสัญญาณกริ่งมาให้ผู้รับตอบรับการเรียก สัญญาณกริ่งเรียกเป็นสัญญาณคลื่นซายน์มีความถี่ 20 เฮิรตซ์ ส่งมาเป็นช่วงๆ โดยมีจังหวะดัง 1 วินาที มีระดับสัญญาณขนาด 100 โวลต์พีคทูพีค ดังรูปที่ 1.9



รูปที่ 1.9 สัญญาณกริ่งเรียก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.1.9 ระบบการต่อของเครื่องชุมสายโทรศัพท์

1. ระบบการต่อทางด้านผู้เรียก

เมื่อผู้เรียกยกหูโทรศัพท์ขึ้นมาเพื่อทำการเรียกออก จะทำให้ระดับสัญญาณไฟตรงของคู่สายโทรศัพท์เปลี่ยนจาก 48 โวลต์ เป็น 10 โวลต์ ทำให้เครื่องชุมสายโทรศัพท์ทราบว่าเป็นการเริ่มต้นการเรียก ก็จะส่งสัญญาณให้หมุนไปยังผู้เรียก ในกรณีที่ไม่ว่างชุมสายก็จะส่งสัญญาณไม่ว่างไปยังผู้เรียก เพื่อให้ผู้เรียกวางหูสักครู่แล้วจึงเริ่มทำการเรียกออกใหม่ เมื่อผู้เรียกได้ยินสัญญาณให้หมุนก็จะทำการส่งเลขหมายของผู้รับไปยังชุมสาย อุปกรณ์ของชุมสายโทรศัพท์จะทำการแปลงรหัสพร้อมกันนั้นชุมสายโทรศัพท์ได้รับเลขหมายของผู้รับก็จะทำการระบุตำแหน่งของชุมสายปลายทางจากเลขหมาย โดยพิจารณาเลขหมาย 3 หลักแรก เมื่อทราบตำแหน่งแล้วเครื่องโทรศัพท์ก็จะทำการเลือกเส้น (Route) ระหว่างชุมสายผู้เรียกกับชุมสายผู้รับให้สามารถกริ่งเรียกไปยังผู้รับในกรณีที่ผู้รับไม่ได้ใช้โทรศัพท์อยู่ หรือชุมสายไม่สามารถหาเส้นทางติดต่อไได้ชุมสายก็จะส่งสัญญาณไม่ว่างไปยังผู้เรียก เพื่อให้ผู้เรียกวางหูแล้วค่อยทำการเรียกใหม่ เมื่อผู้รับตอบรับการเรียกสัญญาณ ตอบรับ (Answer Signal) ซึ่งเป็นสัญญาณเรียกกลับจะถูกส่งจากผู้รับไปยังชุมสายทำให้ชุมสายตัดสัญญาณกริ่งเรียกทางด้านผู้รับ และยกเลิกสัญญาณเรียกกลับทางด้านผู้เรียก และผู้รับก็จะสามารถเริ่มต้นการสนทนาได้ เมื่อมีการวางหูด้านผู้เรียกหรือผู้รับ ชุมสายโทรศัพท์ก็จะยกเลิกเส้นทางการติดต่อ

2. ระบบการต่อด้านผู้รับ

เมื่อเกิดการเรียกไปยังผู้รับได้สำเร็จ ชุมสายโทรศัพท์ก็จะดำเนินการส่งสัญญาณกริ่งเรียกไปยังผู้รับให้ทราบ เพื่อทำการตอบรับการเรียก ถ้ายังไม่มีการตอบรับการเรียกภายในเวลา 30 วินาที สัญญาณกริ่งเรียกที่ถูกส่งมาอย่างสม่ำเสมอก็จะถูกยกเลิกโดยทางชุมสายโทรศัพท์ และจะส่งสัญญาณไม่ว่างแจ้งไปยับผู้เรียกให้ทราบว่าผู้รับไม่ตอบรับการเรียกให้ทำการเรียกใหม่ กรณีที่ผู้รับตอบรับการเรียก จะทำให้ระดับสัญญาณไฟตรงเกิดการเปลี่ยนจาก 48 โวลต์ เป็น 10 โวลต์ เป็นการแจ้งให้ทางชุมสายโทรศัพท์ทราบสถานะการตอบรับการเรียก ทำให้เกิดการยกเลิกสัญญาณกริ่งเรียกด้านผู้รับ และยกเลิกสัญญาณเรียกกลับด้านผู้เรียก หลังจากนั้น วงจรสนทนาระหว่างผู้เรียกและผู้รับก็จะทำงาน และสามารถเริ่มต้นการสนทนากันได้ เมื่อเกิดสถานะการวางหูของผู้เรียกและผู้รับ ชุมสายโทรศัพท์จะทำการยกเลิกเส้นทางการติดต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ระบบการกำหนดเลขโทรศัพท์

การต่อโทรศัพท์ของสมาชิกผู้เช่าแต่ละรายโดยผ่านชุมสายโทรศัพท์ จำเป็นต้องมีเลขหมายแทนชื่อผู้เช่า และเลขหมายที่ใช้นั้นจะต้องเกิดความสะดวกรวดเร็วในการเรียกติดต่อในประเทศหรือการเรียกโทรศัพท์ภายในท้องถิ่นเดียวกันนั้น จะกำหนดว่าต้องหมุนหมายเลขของชุมสายท้องถิ่นก่อน แล้วจึงหมุนหมายเลขของผู้เช่าตามหลัง ในกรณีการต่อในเขตอื่น จะต้องมีเลขแสดงการผ่านศูนย์ทางไกลซึ่งเป็นเลข 0 ก่อน แล้วตึงหมุนหมายเลขของศูนย์โทรศัพท์ทางไกล (Toll center) จากนั้นจึงจะเป็นเลขหมายของชุมสายท้องถิ่นและเลขหมายของผู้เช่ากรณีการเรียกท้องถิ่นเดียวกัน

KKK XXXX

หมายเลขชุมสายท้องถิ่น หมายเลขของผู้เช่า

กรณีเรียกทางไกล

0 FF KKK XXXX

หมายเลขศูนย์ทางไกล หมายเลขชุมสายท้องถิ่น หมายเลขของผู้เช่า

2.1.10 ลักษณะของสัญญาณโทรศัพท์

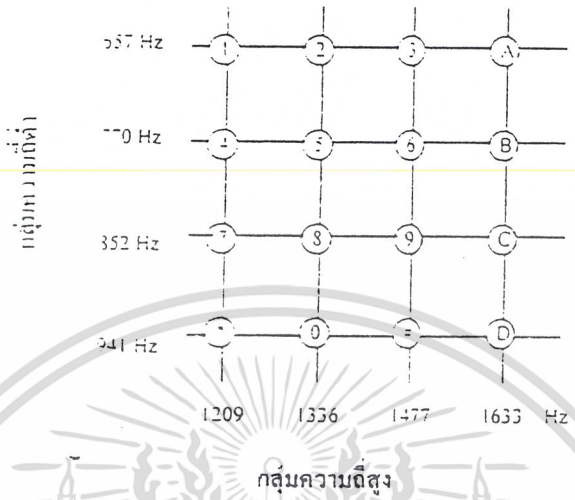
สัญญาณโทรศัพท์มีทั้งสัญญาณไฟตรง และไฟสลับซึ่งจะพิจารณาสัญญาณโทรศัพท์ได้เป็น 2 ลักษณะ

1. เมื่อเป็นผู้เรียก

เมื่อโทรศัพท์ยังไม่ได้ใช้หรือไม่ได้ยกหู สัญญาณระหว่างคู่สายจะเป็น 48 โวลต์ ดีซี เมื่อยกหูฟังขึ้นสัญญาณระหว่างโทรศัพท์จะตกลงเป็น 5 โวลต์ ดีซี ในขณะเดียวกันก็จะมีสัญญาณ 600 มิลลิโวลต์ ผสมมาด้วย

เมื่อหมุนหรือกดหน้าปัทม์เพื่อเรียกไปยังหมายเลขที่ต้องการติดต่อด้วยกันนั้น ในแบบหมุนหน้าปัทม์จะส่งพัลส์จำนวนลูกเท่ากับจำนวนพัลส์ที่หมุน โดยจะส่งพัลส์ในแบบ 10 พัลส์ต่อวินาทีหรือ 20 พัลส์ต่อวินาที สำหรับในแบบกดปุ่มหน้าปัทม์จะส่งสัญญาณความถี่ ซึ่งเป็นสัญญาณของกลุ่มความถี่ต่ำและความถี่สูงรวมกัน ซึ่งจะเป็นความถี่มาตรฐานที่กำหนดไว้ดังรูปที่ 1.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

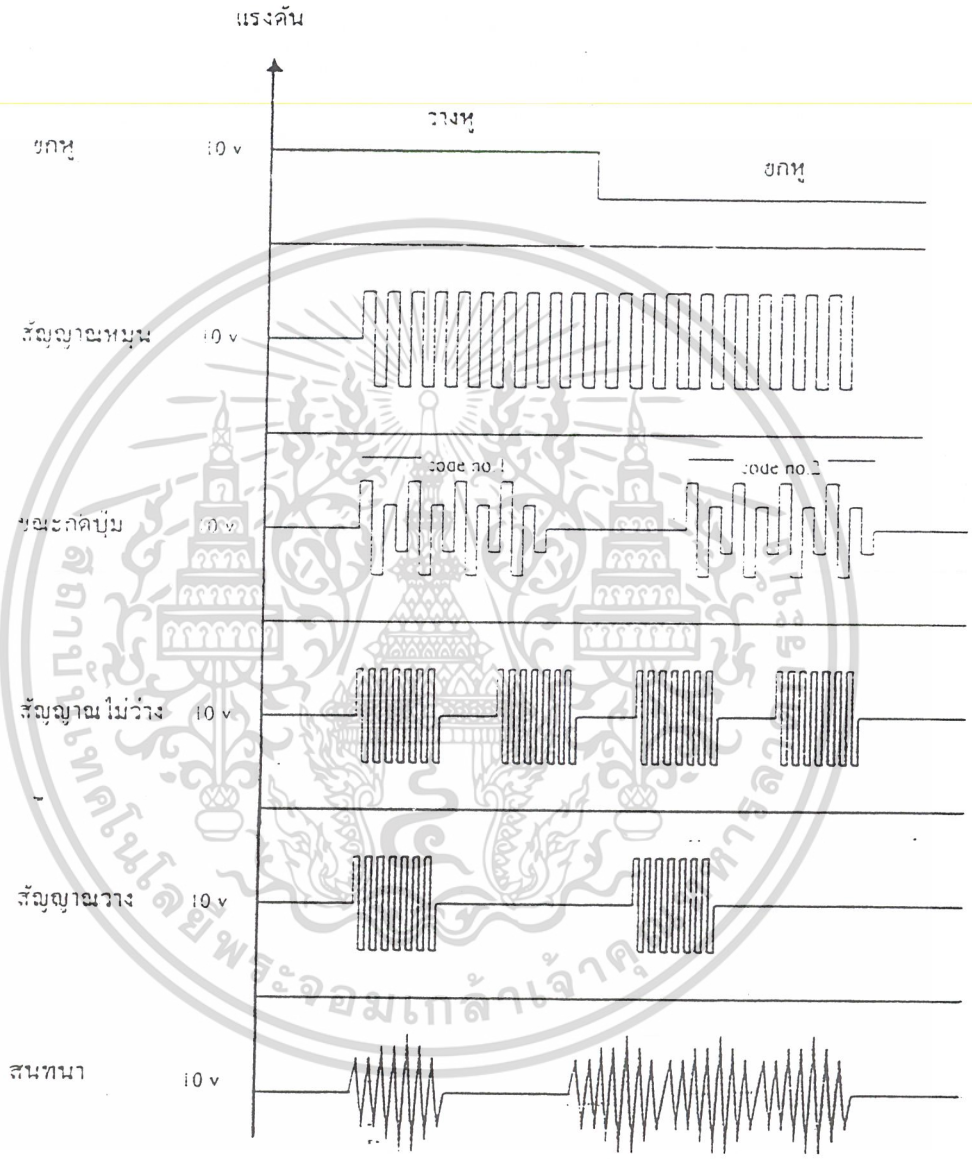


รูปที่ 1.10 ความถี่และการจัดปุ่ม

ขณะรอสัญญาณหลังการหมุนหรือกดปุ่มหน้าปัทม์ ถ้าได้รับสัญญาณเรียกกลับแสดงว่ากำลังมีการเรียกไปยังหมายเลขที่ต้องการติดต่ออยู่ โดยเป็นสัญญาณเป็นจังหวะดัง 1 วินาที หยุด 4 วินาทีสลับกัน ที่มีความถี่ 440 เฮิร์ตซ์ และระดับสัญญาณ 200 มิลลิโวลต์ แต่ถ้าหากว่าได้รับสัญญาณสายไม่ว่าง ซึ่งจะเป็นสัญญาณดังและหยุดสลับกันเป็นจังหวะทุก 0.5 วินาที ที่มีความถี่ 500 เฮิรตซ์ และระดับสัญญาณ 400 มิลลิโวลต์

ขณะพูด สัญญาณระหว่างสายโทรศัพท์ยังคงเป็นสัญญาณดีซี 5 โวลต์ แต่จะมีสัญาณเสียงเป็นสัญญาณเอซี ระดับสัญญาณขนาดไม่เกิน 1 โวลต์ คร่อมอยู่บนสัญญาณดีซี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.11 ลักษณะทางไฟฟ้าปรากฏที่คู่สายในขณะทำการเรียก

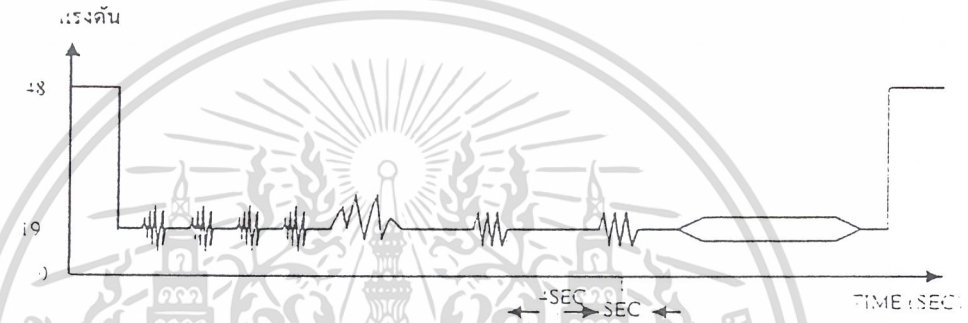
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. เมื่อเป็นผู้รับ

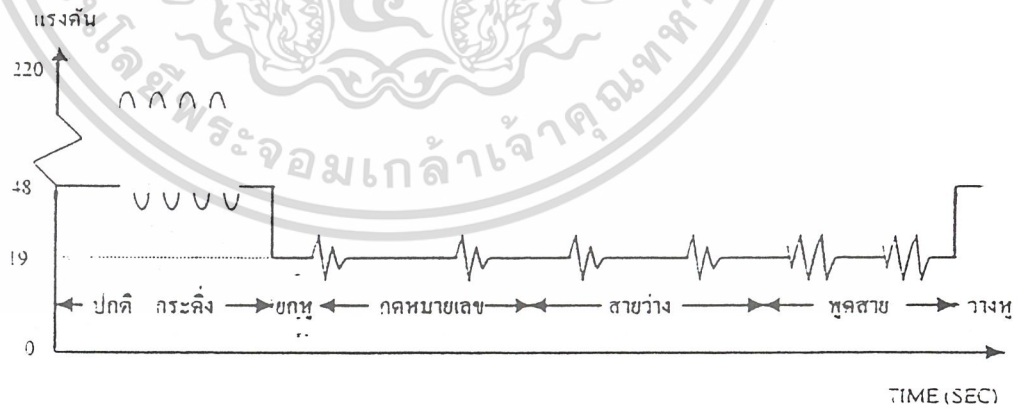
ขณะยังวางหูอยู่ สัญญาณระหว่างสายโทรศัพท์จะเป็น 48 โวลต์ ดีซี

เมื่อมีสัญญาณกระดิ่ง จะมีสัญญาณเอซีความถี่ 16 เฮิรตซ์ ระดับสัญญาณ 270 โวลต์ ดัง 1 วินาที และหยุด 4 วินาที สลับกัน

เมื่อยกหูโทรศัพท์ สัญญาณระหว่างสายโทรศัพท์จะตกลงไปเป็น 10 โวลต์ ดีซี และจะได้ยินเสียงจากผู้เรียก



รูปที่ 1.12 ลักษณะของสัญญาณเมื่อผู้ที่เรียกเรียกเข้ามา

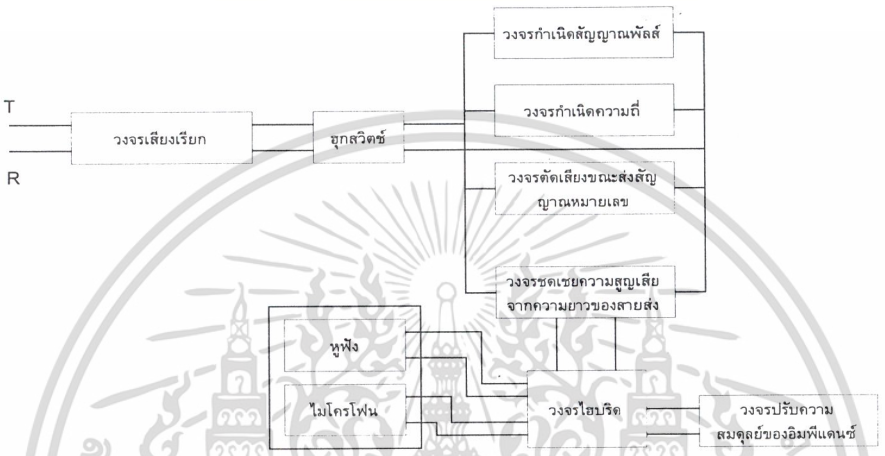


รูปที่ 1.13 ลักษณะของสัญญาณโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 ระบบโทรศัพท์

1.2.1 ระบบทำงานของโทรศัพท์



รูปที่ 1.14 ผังการทำงานของโทรศัพท์

ในรูปที่ 1.14 เป็นผังการทำงานของส่วนต่างๆที่จำเป็นในเครื่องโทรศัพท์ โดยเชื่อมต่อกับชุมสายด้วยสาย T (Tip) และสาย R (Ring) วงจรแรกที่เชื่อมต่อระหว่างวงจรภายในเครื่องโทรศัพท์กับอุปกรณ์ชุมสาย คือ วงจรกำเนิดเสียงเรียก (Ringer) ซึ่งจะส่งสัญญาณเรียกเมื่อมีการติดต่อมาจากผู้อื่น เหตุผลประการสำคัญที่ต้องนำวงจรส่วนนี้มาเชื่อมต่อกับชุมสายโดยตรงก็คือเมื่อวางหูโทรศัพท์ไว้กับที่วาง ฮุกสวิตช์จะถูกเปิดวงจรออกทำให้ไม่มีแรงดันจากชุมสายผ่านไปยังวงจรส่วนที่อยู่หลังฮุกสวิตช์ได้ ดังนั้น ถ้าวงจรกำเนิดสัญญาณเรียกอยู่หลังจากฮุกสวิตช์จะไม่สามารถสร้างสัญญาณเรียกได้ในเวลาที่มีการติดต่อเข้ามา

เมื่อมีการยกหูโทรศัพท์ขึ้น ฮุกสวิตช์ S_1 และ S_2 ในรูปที่ 1.14 ก็ปิดวงจร ทำให้มีกระแสจากชุมสายไหลครบวงจรผ่านเครื่องโทรศัพท์ได้ ในขณะเดียวกัน กระแสค่าเดียวกันนี้จะไหลผ่านขดลวดของรีเลย์ที่ชุมสายด้วย ซึ่งจะทำให้หน้าสัมผัสของรีเลย์ที่ชุมสายถูกปิดลง เพื่อที่จะทำให้อุปกรณ์ต่างๆ ในชุมสายพร้อมที่จะทำการติดต่อกับเครื่องโทรศัพท์ได้ จากนั้นชุมสายก็จะส่งสัญญาณหมุนไปยังผู้ที่ยกหูโทรศัพท์ เพื่อให้ผู้นั้นส่งหมายเลขโทรศัพท์ของผู้ที่ต้องการจะติดต่อ

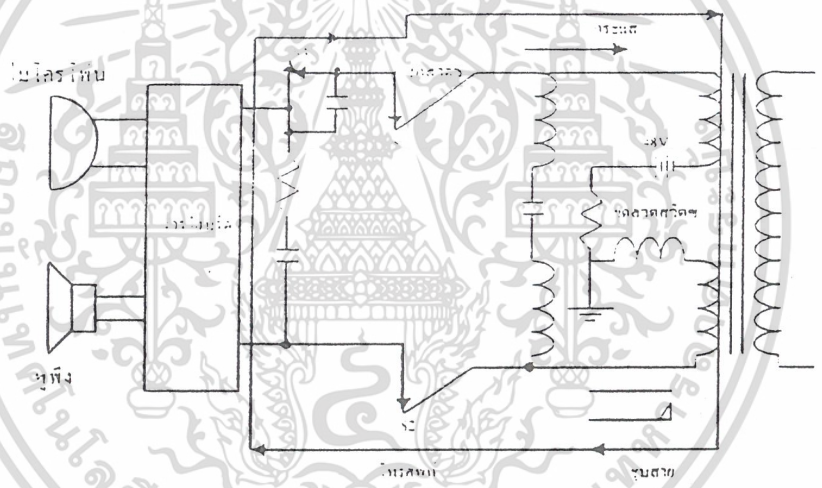
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ด้วยมายังชุมสาย หลังจากที่ชุมสายได้รับหมายเลขที่ถูกส่งมาแล้ว ชุมสายก็จะเลิกส่งสัญญาณหมุน ซึ่งกระบวนการตอนนี้จะเกิดขึ้นรวดเร็ว

การส่งหมายเลขโทรศัพท์ไปยังชุมสายนั้นสามารถกระทำได้ 2 วิธี วิธีแรกเป็นการส่งสัญญาณพัลส์ที่แสดงถึงค่าของหมายเลขต่างๆ และอีกวิธีหนึ่งก็คือ การส่งสัญญาณเป็นความถี่ต่างๆ กัน โดยค่าของตัวเลขจะถูกแทนด้วยค่าความถี่ 2 ความถี่ที่มอดูเลตรวมกัน ลักษณะการใช้งานของแต่ละแบบมี ดังนี้

1.2.2 ระบบโทรศัพท์แบบหมุนหมายเลข (Rotating – Type)



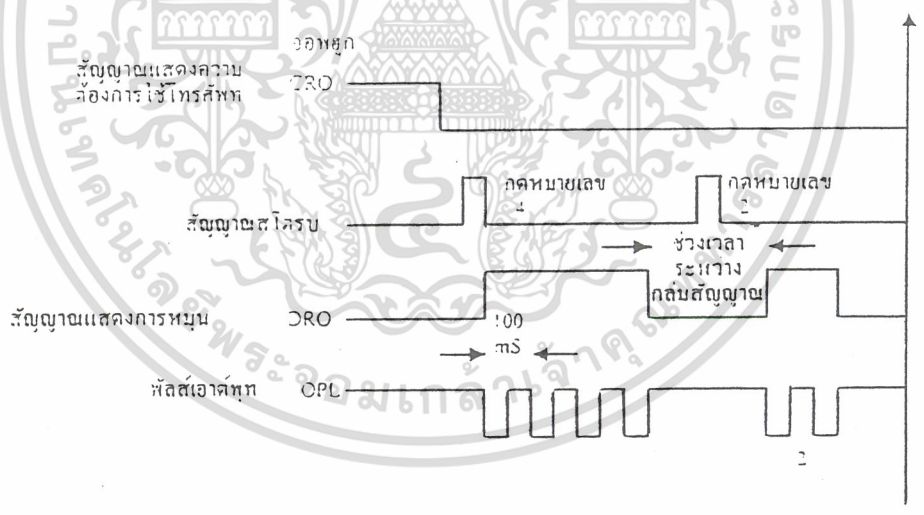
รูปที่ 1.15 (ก) โทรศัพท์แบบหมุนหมายเลข

รูปที่ 1.15 (ก) จะเป็นวงจรที่ใช้การส่งหมายเลขโทรศัพท์ในแบบหมุน จะเห็นได้ว่าสวิตซ์ S3 จะถูกเปิดวงจรออกเมื่อมีการหมุนหมายเลขโทรศัพท์ เมื่อสวิตซ์ S3 ถูกเปิดวงจรออกก็จะไม่มีกระแสไหลผ่านเข้าไปในวงจรส่วนที่อยู่ถัดไปได้ จึงเสมือนว่าเป็นการขัดจังหวะการไหลของกระแส สำหรับจำนวนครั้งที่สวิตซ์ S3 ถูกเปิดออกจะขึ้นอยู่กับระยะห่างของแป้นหมุนที่ถูกหมุนไปจากตำแหน่งปกติในขณะที่ไม่มีการหมุนหมายเลขใดๆ ดังเช่น ถ้าหมุนหมายเลข 4 สวิตซ์ S3 ก็จะถูกทำให้เปิดออก 4 ครั้ง หรือถ้าหมุนหมายเลข 7 สวิตซ์ S3 ก็จะถูกเปิดออก 7 ครั้ง ซึ่งสวิตซ์ S3 จะถูกเปิดวงจรในช่วงที่ปล่อยให้แป้นหมุน กลับสู่ตำแหน่งเดิมเท่านั้น ไม่ได้เกิดขึ้นในระหว่างที่หมุนหมายเลขอยู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

33918

รูปที่ 1.15 (ข) จะแสดงถึงลักษณะของรูปสัญญาณเมื่อมีการหมุนหมายเลขโทรศัพท์จากรูปนี้จะเป็นว่าในตอนแรกโทรศัพท์อยู่ในสภาวะออนฮุก (On-Hock) คือ หูโทรศัพท์จะถูกวางอยู่บนที่วางหูโทรศัพท์ตามปกติ แต่เมื่อมีการยกหูโทรศัพท์ โทรศัพท์จะอยู่ในสภาวะออฟฮุก (Off-Hock) ฮุกสวิตซ์จะถูกปิดวงจรลง ทำให้มีกระแสไหลครบวงจรได้ และเมื่อมีการหมุนหมายเลขโดยในรูปจะเป็นการหมุนหมายเลข 4 ก็จะทำให้วงจรถูกเปิดออกด้วยสวิตซ์ S3 เป็นจำนวน 4 ครั้ง ก็จะได้รูปสัญญาณออกมาอย่างที่แสดงในรูป



รูปที่ 1.15 (ข) ระบบโทรศัพท์แบบหมุนหมายเลข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในระบบโทรศัพท์แบบที่ส่งสัญญาณด้วยจำนวนพัลส์นี้ จะถูกกำหนดให้สามารถส่งสัญญาณในอัตรา 10 พัลส์ต่อวินาที หรือ 10 PPS (Pulses Per Second) และเพื่อความเข้าในการพิจารณาสัญญาณที่เกิดขึ้น จึงควรที่จะทราบความหมายของคำต่อไปนี้

1. คาบของสัญญาณพัลส์ (Pulses Period) เท่ากับช่วงเวลาที่วงจรถูกเปิด (Break Duration) + ช่วงเวลาที่วางจรถูกปิด (Make Duration) ซึ่งคาบของสัญญาณพัลส์จะถูกออกแบบให้มีค่าอย่างต่ำ 100 มิลลิวินาที

2. อัตราการส่งสัญญาณพัลส์ (Pulses Rate) เท่ากับจำนวนพัลส์ที่ถูกส่งออกไปใน 1 วินาที 1,000/คาบเวลาของสัญญาณพัลส์ (เป็นมิลลิวินาที)

3. เปอร์เซ็นต์ของการเปิดวงจร (Percent Break) เท่ากับ 100 x อัตราส่วนการเปิดวงจร (Break Ratio) = 100 x ช่วงเวลาที่ถูกวงจรเปิด / คาบเวลาของสัญญาณพัลส์

4. ช่วงเวลาระหว่างกลุ่มของสัญญาณ (Interdigit Interval) ถูกกำหนดให้มีค่าอย่างต่ำ 700 มิลลิวินาที

สำหรับในสหรัฐอเมริกาจะกำหนดค่ามาตรฐานของสัญญาณไว้แน่นอน ช่วงเวลาที่วงจรถูกเปิดจะต้องไม่ต่ำกว่า 60 มิลลิวินาที หรืออัตราการเปิดวงจรเท่ากับ 60% สำหรับประเทศอื่นๆจะใช้ที่ค่า 67% เป็นส่วนใหญ่

ความเพี้ยนของสัญญาณเนื่องจากอุปกรณ์แฝง

ตามปกติ สายส่งสัญญาณที่เชื่อมต่อระหว่างชุมสายกับเครื่องโทรศัพท์จะมีความต้านทานของตัวเก็บประจุและขดลวดเหนี่ยวนำแฝงอยู่ โดยเฉลี่ยแล้วทุกๆ ระยะทาง 1 ไมล์ ที่เพิ่มขึ้นของสายส่งจะเสมือนว่ามีตัวเก็บประจุต่อคร่อมระหว่างสายส่ง มีค่าประมาณ 42 โอห์ม และ 1 มิลลิเฮนรี่ตามลำดับ ซึ่งอุปกรณ์แฝงพวกนี้จะมีผลทำให้สัญญาณพัลส์ที่ส่งไปตามสายส่งเกิดความผิดเพี้ยนทั้งขนาดและคาบเวลา ดังนั้น ชุมสายจึงจำเป็นต้องมีวงจรที่สามารถจะรับรู้สัญญาณที่ผิดเพี้ยนเหล่านี้ไว้ และไม่ทำให้เกิดความผิดพลาดในการติดต่อ

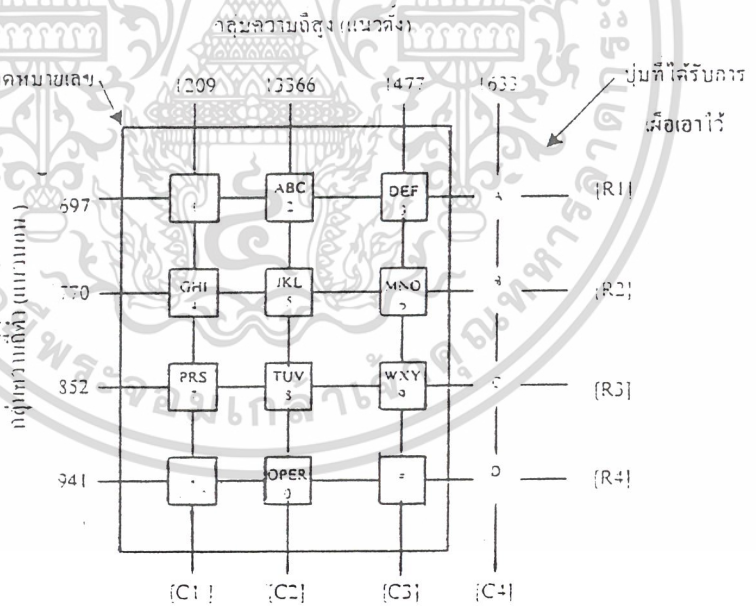
1.2.3 ระบบโทรศัพท์แบบส่งสัญญาณความถี่คู่

เป็นระบบการส่งสัญญาณอีกแบบหนึ่ง ซึ่งใช้มากกว่าระบบการส่งเป็นสัญญาณแบบพัลส์ ระบบนี้หรือเรียกชื่อย่อว่า DTMF มีวิธีการส่งหมายเลขของผู้ที่ต้องการจะติดต่อ โดยการส่งสัญญาณความถี่ 2 ความถี่มอดูเลตกันไป ซึ่งจะเป็นตัวแทนของหมายเลขที่กด ซึ่งความถี่ที่ส่งออกไปจะอยู่ในย่านของเสียงพูด (0.4 กิโลเฮิรตซ์) ซึ่งค่าความถี่ที่ต่ำกว่าจะเป็นความถี่ที่แสดงในแนวนอนและอีกค่าหนึ่งก็จะเป็นความถี่ในแนวตั้ง ซึ่งค่าจะแสดงไว้ในรูปที่ 1.16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2.4 ข้อเปรียบเทียบระหว่างโทรศัพท์แบบหมุนกับระบบ DTMF

ในการส่งสัญญาณแบบพัลส์ 1 ลูก จะต้องใช้เวลาอย่างน้อย 100 มิลลิวินาที (60 วินาทีสำหรับช่วงการเปิดวงจร และ 40 วินาทีสำหรับช่วงเวลาการปิดวงจร) และยังต้องมีช่วงเวลาที่แยกสัญญาณแต่ละกลุ่มออกอีกอย่างน้อย 700 มิลลิวินาที และยิ่งถ้าหมายเลขที่ต้องการติดต่อด้วยมีค่ามาก และยาวมากขึ้นเท่าใด ย่อมต้องทำให้เสียเวลาในการส่งสัญญาณมากยิ่งขึ้น เช่น หมายเลข 555-5555 จะใช้เวลาในการส่งสัญญาณ = 5 (พัลส์/มิลลิวินาที) x 1000 (มิลลิวินาที/พัลส์) x 7 = 3.5 วินาที และระยะเวลาของช่องว่างระหว่างกลุ่มสัญญาณ = 700(มิลลิวินาที) x 6 = 4.2 วินาที ดังนั้นจะใช้เวลาในการส่งทั้งหมด = 3.5 + 4.2 = 7.7วินาที แต่ถ้าเป็นโทรศัพท์ที่ใช้การส่งระบบ DTMF จะสามารถประหยัดเวลาในการส่งหมายเลขไปยังชุมสายได้มากกว่าระบบที่ใช้การส่งสัญญาณพัลส์ ซึ่งเป็นผลให้ชุมสายสามารถใช้อุปกรณ์ประเภทหน่วยความจำได้อย่างมีประสิทธิภาพมากขึ้น



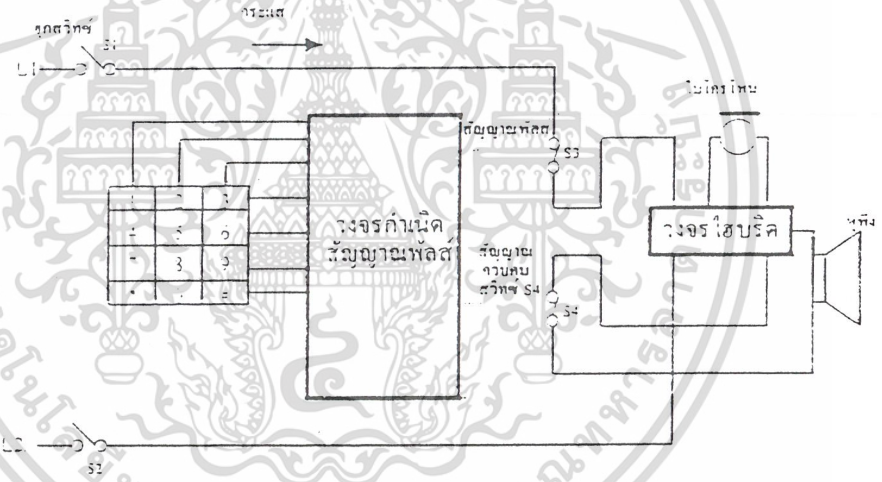
รูปที่ 1.16 แป้นกดหมายเลขและค่าความถี่ในแนวนอนและแนวตั้งของหมายเลขนั้นๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2.5 วงจรของระบบที่ใช้การแบบพัลส์สื่อสารสัญญาณ

ดังที่ทราบแล้วว่าการส่งรหัสแบบพัลส์ คือ การขัดจังหวะการไหลของกระแส ดังนั้น วงจรที่ได้รับการพัฒนาแล้วก็ยังคงใช้หลักการเดียวกันอยู่ เพียงแต่ใช้อุปกรณ์ที่เป็นไอซีแทนอุปกรณ์ทางกล โดยวงจรที่จะกล่าวถึงนี้เรียกว่า วงจรกำเนิดสัญญาณพัลส์ ซึ่งยังคงสามารถสร้างสัญญาณพัลส์ด้วยความเร็ว 10 พัลส์ต่อวินาที และจะต้องมีวงจรที่ทำหน้าที่ป้องกันไม่ให้เกิดเสียงเล็ดลอดเข้าไปสู่หูฟังเนื่องจากการส่งสัญญาณพัลส์ จากวงจรที่ได้ถูกออกแบบใหม่นี้จะมีอยู่ 2 แบบด้วยกัน

แบบแรกจะเป็นวงจรที่ออกแบบให้วงจรหมุนหมายเลขต่อขนานกับวงจรไฮบริด (Hybrid) หรือเสียงพูด ดังรูปที่ 1.17



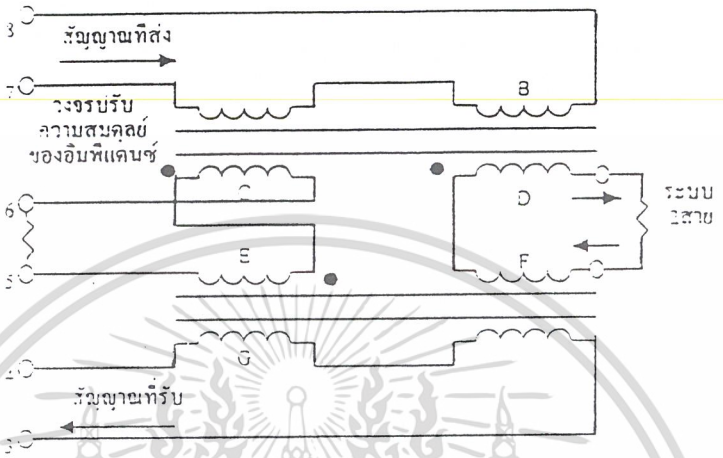
รูปที่ 1.17 วงจรหมุนหมายเลขต่อแบบขนานกับวงจรไฮบริด

สำหรับวงจรไฮบริดหรือวงจรเสียงพูด ก็คือวงจรที่ใช้สำหรับเชื่อม (Interface) ระหว่างระบบ 4 สายเข้ากับระบบ 2 สาย โดยเมื่อเชื่อมต่อเข้าด้วยกันแล้ว ทำให้โทรศัพท์สามารถสื่อสารแบบสวนทางกันได้ในเวลาเดียวกันนั่นเอง ดังแสดงในรูปที่ 1.18

วงจรในเครื่องรับโทรศัพท์จะใช้ระบบ 4 สาย คือ ใช้สายสำหรับส่งสัญญาณเสียงพูดและอีก 2 สายสำหรับนำสัญญาณเข้าสู่หูฟัง แต่ในการเชื่อมต่อระหว่างเครื่องโทรศัพท์กับชุมสายระดับท้องถิ่น จะเป็นการติดต่อโดยผ่านสาย T และ R เพียง 2 สายเท่านั้น จึงจำเป็นที่จะต้องมีวงจรไฮบริดที่ใช้สำหรับเชื่อมต่อทั้งระบบ 2 สาย และ 4 สาย ให้สามารถติดต่อกันได้นั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากวงจรภายในเครื่องโทรศัพท์จะมีขดลวดเหนี่ยวนำต่อเป็นวงจรไฮบริดแล้ว การติดต่อระหว่างชุมสายท้องถิ่นด้วยกันก็จำเป็นต้องมีวงจรไฮบริดด้วยเช่นกัน นอกจากนั้น



รูปที่ 1.18 วงจรไฮบริด

ในส่วนของวงจรไฮบริดเองก็จะมีวงจรที่ทำหน้าที่ปรับความสมดุลทางอิมพีเดนซ์ของระบบที่ถูกเชื่อมต่อเข้าด้วยกัน เพื่อให้สัญญาณที่ใช้ในการติดต่อสื่อสารกันมีประสิทธิภาพที่สุด

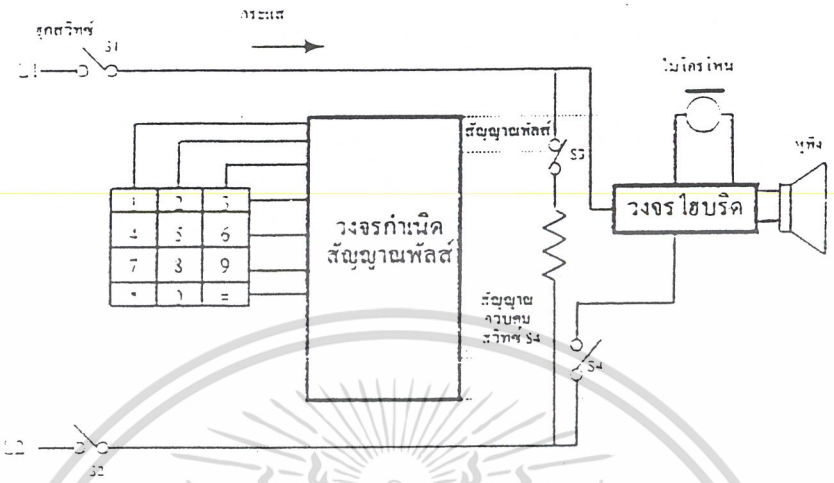
สำหรับวงจรอีกแบบหนึ่งจะเป็นวงจรที่ถูกออกแบบให้วงจรหมุนหมายเลขโดยต่ออนุกรมกับวงจรไฮบริด ซึ่งแสดงในรูปที่ 1.19

ตามวงจรที่แสดงในรูปที่ 1.19 จะเห็นว่าสวิตซ์ชิ่ง S3 จะถูกต่ออนุกรมกับวงจรไฮบริดอยู่ โทรศัพท์ระบบนี้จะใช้สัญญาณจากวงจรกำเนิดสัญญาณพัลส์มาควบคุมสวิตซ์ S3 ให้เปิดปิดวงจร เพื่อทำให้เกิดเป็นสัญญาณควบคุมให้สวิตชิ่ง S4 เปิดวงจร เพื่อไม่ให้เกิดสัญญาณออกทางหูฟัง ขณะที่ทำการกดหมายเลขอยู่ จะเห็นว่าหลักการทำงานของทั้ง 2 ระบบจะเหมือนกัน จะแตกต่างกันก็ตรงลักษณะการเชื่อมต่อวงจรเท่านั้นเอง

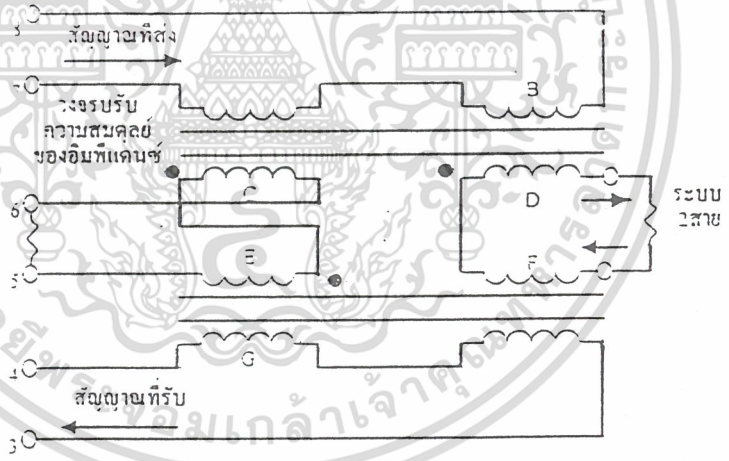
ไอซีที่ทำหน้าที่เป็นตัวกำเนิดสัญญาณพัลส์และสัญญาณควบคุมแบบต่างๆ จะมีรายละเอียดดังนี้

ในรูปที่ 1.20 แสดงบล็อกไดอะแกรมของไอซีตัวนี้ จะเห็นว่าเอาต์พุตของไอซีจะเป็นสัญญาณพัลส์ และสัญญาณควบคุมที่จำเป็นต้องใช้สัญญาณอินพุตจะเป็นรหัสไบนารี่ ซึ่งใช้แทนหมายเลขโทรศัพท์, สัญญาณให้ถือหูรอ, สัญญาณหมุนซ้ำ เป็นต้น วงจรออสซิลเลเตอร์จะถูกใช้เพื่อสร้างสัญญาณนาฬิกาให้กับวงจรภายในไอซี สำหรับภาคขับสัญญาณเอาต์พุต จำเป็นต้องใช้ทรานซิสเตอร์ที่ทนแรงดันสูงได้ดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.19 วงจรหมุนหมายเลขต่อแบบอนุกรมกับวงจรไฮบริด

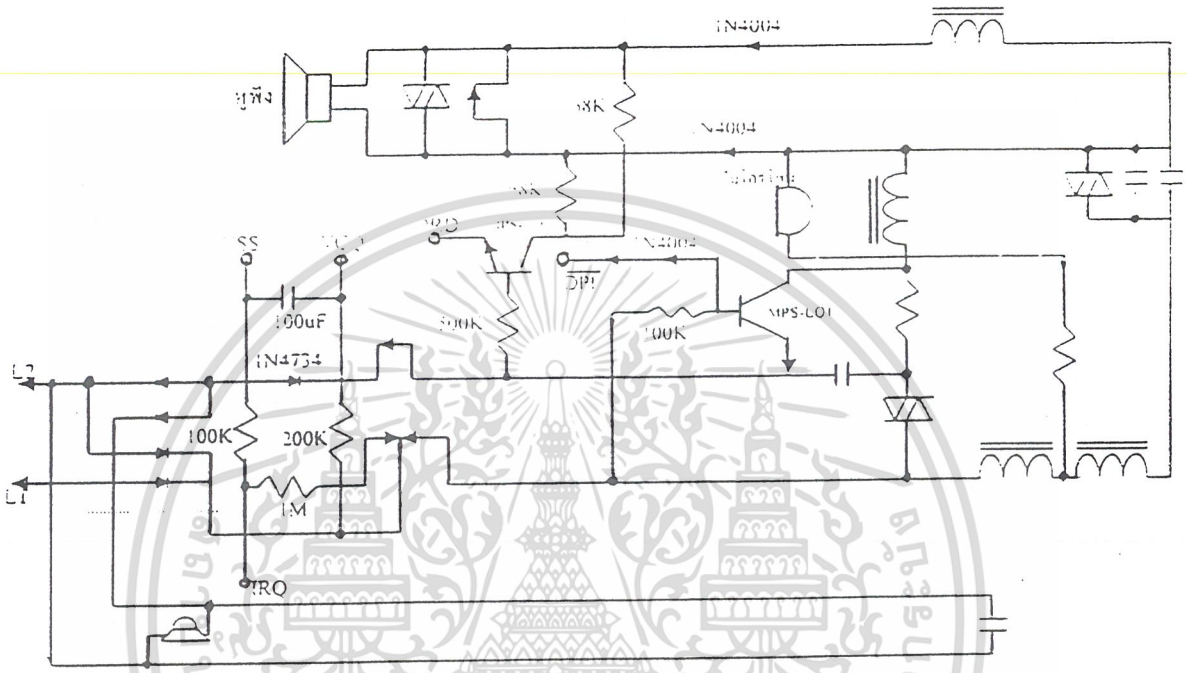


รูปที่ 1.20 ผังการทำงานของไอซีที่ทำหน้าที่กำเนิดสัญญาณพัลส์

สัญญาณสภาวะที่ควบคุมช่วงเวลาในการส่งสัญญาณที่มีความจำเป็น ก็คือสัญญาณออนฮุก/ออฟฮุก สัญญาณบอกช่วงเวลาระหว่างกลุ่มของสัญญาณพัลส์ และสัญญาณกำเนิดอัตราส่วนการปิด/เปิดวงจร สำหรับสัญญาณจากวงจรออสซิลเลเตอร์นั้นจะไม่สามารถผลิตความถี่ออกมาได้

สัญญาณที่กำหนดช่วงห่างระหว่างกลุ่มของสัญญาณพัลส์ หรือสัญญาณ IDT จะกำหนดช่วงห่างของเวลาได้ระหว่าง 200 ถึง 1,000 มิลลิวินาที ถ้าส่งสัญญาณพัลส์ในอัตรา 20 พัลส์ต่อวินาที ส่วนค่าของอัตราส่วนของปิดเปิดวงจรจะมีค่าประมาณ 67% (เป็นสภาวะ 0 เป็นเวลา 67% ใน 1 คาบสัญญาณ) หรืออาจจะใช้ค่า 61% ก็ได้เช่นกัน

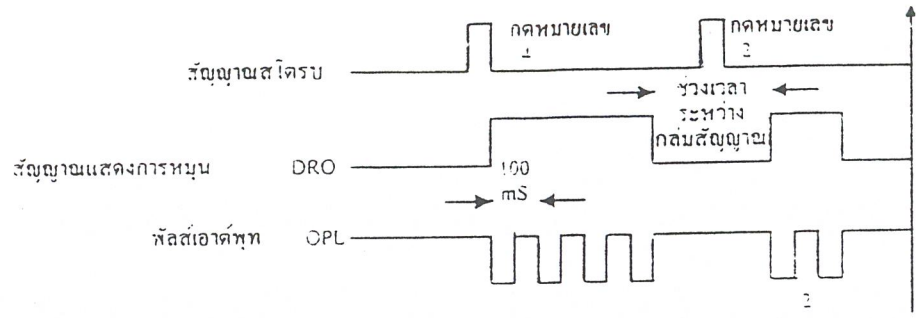
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.21 วงจรสมบูรณ์ของระบบที่ใช้ในการส่งสัญญาณพัลส์

ในปัจจุบัน ไอซีทำหน้าที่กำเนิดสัญญาณพัลส์ คือ มีเบอร์ MC 14408 ซึ่งเป็นของโมโตโรล่า โครงสร้างภายในเป็นแบบ CMOS เนื่องมาจากการใช้งานต้องการสัญญาณอินพุตเป็นรหัสไบนารี จึงจำเป็นต้องมีตัวเข้ารหัสเบอร์ MC 14419 มาอินเตอร์เฟสเข้ากับแป้นกดหมายเลขด้วยดังแสดงในรูปที่ 1.21 และสามารถอธิบายได้ด้วยไดอะแกรมของเวลา ดังรูปที่ 1.22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.22 ผังเวลาของสัญญาณต่างๆ ที่เกิดขึ้นในการส่งสัญญาณพัลส์จากรูปที่ 1.21

เมื่อมีการยกหูโทรศัพท์ขึ้น สัญญาณแสดงความต้องการใช้โทรศัพท์ (Call Request : CRQ) จะเป็นสภาวะ 0 เป็นการหยุดทำงานทำให้ MC 14408 เริ่มต้นรับหมายเลขใหม่เข้ามา จากนั้น สัญญาณสโตรบและสัญญาณแสดงการหมุน (Dial Rotating Output : DRO) ซึ่งเป็นสภาวะ 1 ก็จะถูกส่งออกไป ซึ่งสัญญาณ DRO นี้เองที่ถูกนำไปตัดเสียงที่จะเกิดขึ้นในการส่งสัญญาณพัลส์ หลังจากนั้น ชุมสายก็จะรับข้อมูลไป และติดต่อกับหมายเลขที่ถูกเรียกให้กับผู้ใช้ให้ถูกต้อง

1.3 การถอดรหัสความถี่ทางโทรศัพท์ชนิดกดปุ่ม

การถอดรหัสความถี่โทรศัพท์ คือ การแปลงสัญญาณที่เกิดจากการกดปุ่มตัวเลขของโทรศัพท์ชนิดกดปุ่ม (ชนิด tone หรือ DTMF) ให้เป็นระบบตัวเลขทางดิจิตอล ซึ่งใช้ไอซี MT8870 แปลงความถี่ทางโทรศัพท์ให้เป็นระบบตัวเลขฐานสองขนาด 4 บิต ซึ่งมีรายละเอียด ดังนี้

1.3.1 คุณสมบัติพิเศษเฉพาะตัวของ MT 8870

1. เป็นตัวรับและถอดรหัสความถี่ (DTMF RECEIVER)
2. กินกระแสไฟน้อย ใช้ไฟเลี้ยงระดับเดียวกับไอซี TTL
3. สามารถตั้งอัตราการขยายภายในตัวไอซีได้
4. สามารถปรับช่วงคาบเวลาของความถี่ได้
5. เป็นไอซีที่มีคุณภาพสูง

1.3.2 โครงสร้างของไอซี MT 8870

โครงสร้างภายในของ MT 8870 ประกอบด้วยวงจรกรองความถี่ และวงจรถอดรหัสทางดิจิตอลเป็นไอซีที่สร้างโดยใช้เทคโนโลยี IOS2-CMOS

ในส่วนของวงจรกรองความถี่ใช้เทคนิคของสวิตซ์คาปาซิเตอร์ สำหรับกรองความถี่สูงและกรองความถี่ต่ำ ส่วนวงจรถอดรหัสใช้เทคนิคการนับทางดิจิตอลเพื่อตรวจจับ และถอดรหัสทั้ง 16 ความถี่ออกเป็นเลขฐานขนาด 4 บิต และตรวจสอบช่วงเวลาที่สัญญาณเข้ามา ส่วนภาคอินพุตเป็นออปแอมป์ ซึ่งสามารถปรับอัตราการขยายโดยต่ออุปกรณ์ภายนอก ส่วนเอาต์พุตเป็นวงจรค้าง 3 สถานะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารนี้ทุกครั้งที่มีการนำไปใช้

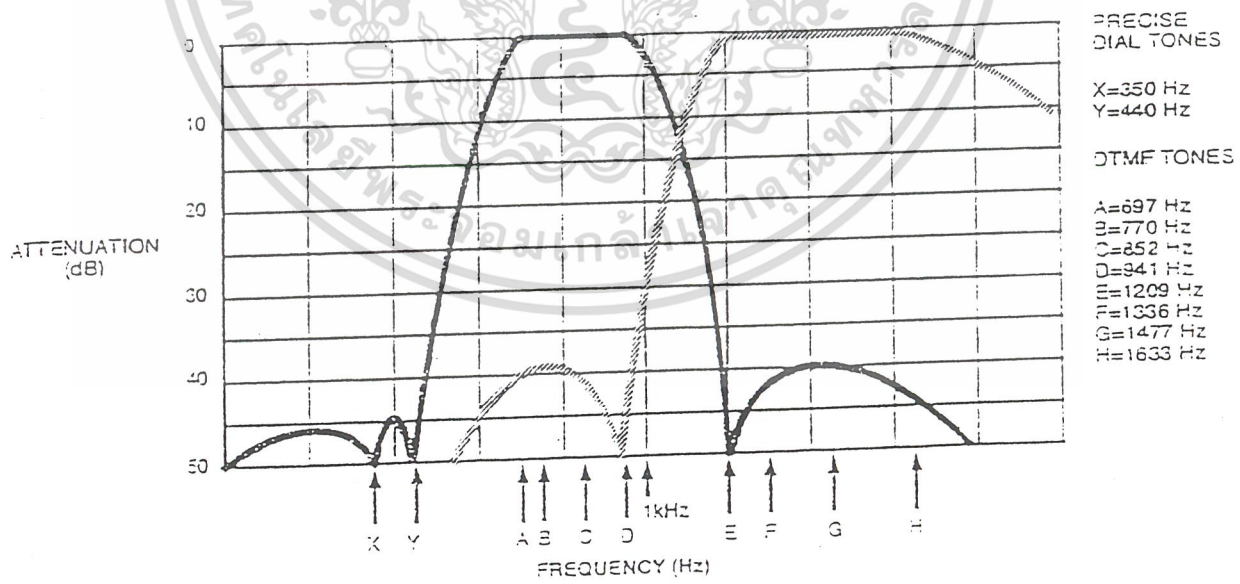
1.3.3 หน้าที่การทำงานภายในไอซี MT 8870

ภายในไอซี MT 8870 ประกอบด้วยส่วนสำคัญ 5 ส่วนคือ

1. ภาคกรองความถี่ (Filter section)
2. ภาคถอดรหัส (Decoder section)
3. ภาคตรวจสอบสัญญาณ (Steerin circuit)
4. ภาคขยายสัญญาณความแตกต่าง (Differential input)
5. ภาคกำเนิดความถี่ (Oscillator)

1. ภาคกรองความถี่

ในส่วนนี้จะแยกสัญญาณ DTMF ที่เข้ามาออกเป็น 2 กลุ่มความถี่ คือ ช่วงความถี่สูงและความถี่ต่ำ โดยใช้วงจรความถี่อันดับ 6 ชนิด สวิตซ์คาปาเตอร์ (six-order switched capacitor band pass filter) ซึ่งความถี่ที่แยกได้มี 2 ช่วง คือ ช่วงความถี่สูง (High Frequency) และช่วงความถี่ต่ำ (Low Frequency)



รูปที่ 1.23 ความถี่ที่ได้จากภาคกรองความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

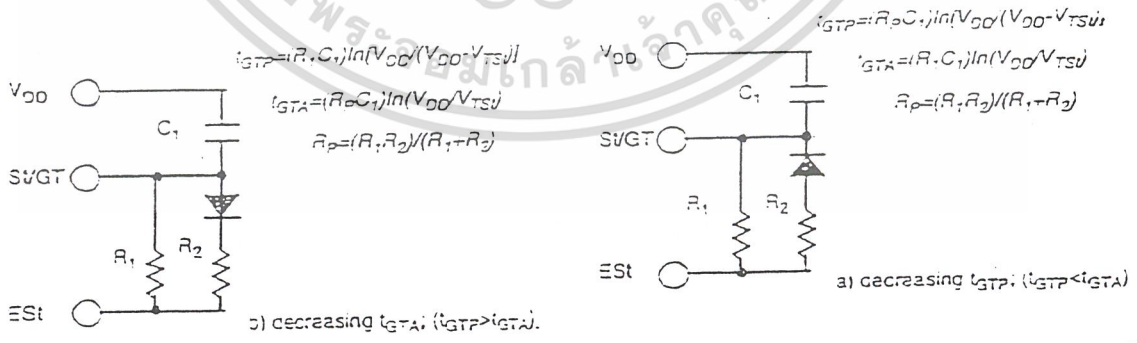
1. ภาคถอดรหัส

ความถี่ DTMF ที่ถูกกรองเรียบร้อยแล้วจะผ่านเข้าวงจรถอดรหัสความถี่ออกเป็นตัวเลขโดยใช้เทคนิคการนับแบบดิจิตอล และมีการตรวจสอบความถี่ที่เข้ามาว่าเป็นความถี่มาตรฐาน DTMF หรือไม่ เพื่อป้องกันความถี่อื่นเข้ามาปน

เมื่อตรวจสอบว่าความถี่นั้นถูกต้อง สัญญาณที่ขา (EST ZEARLY STEERING) ก็จะทำงาน

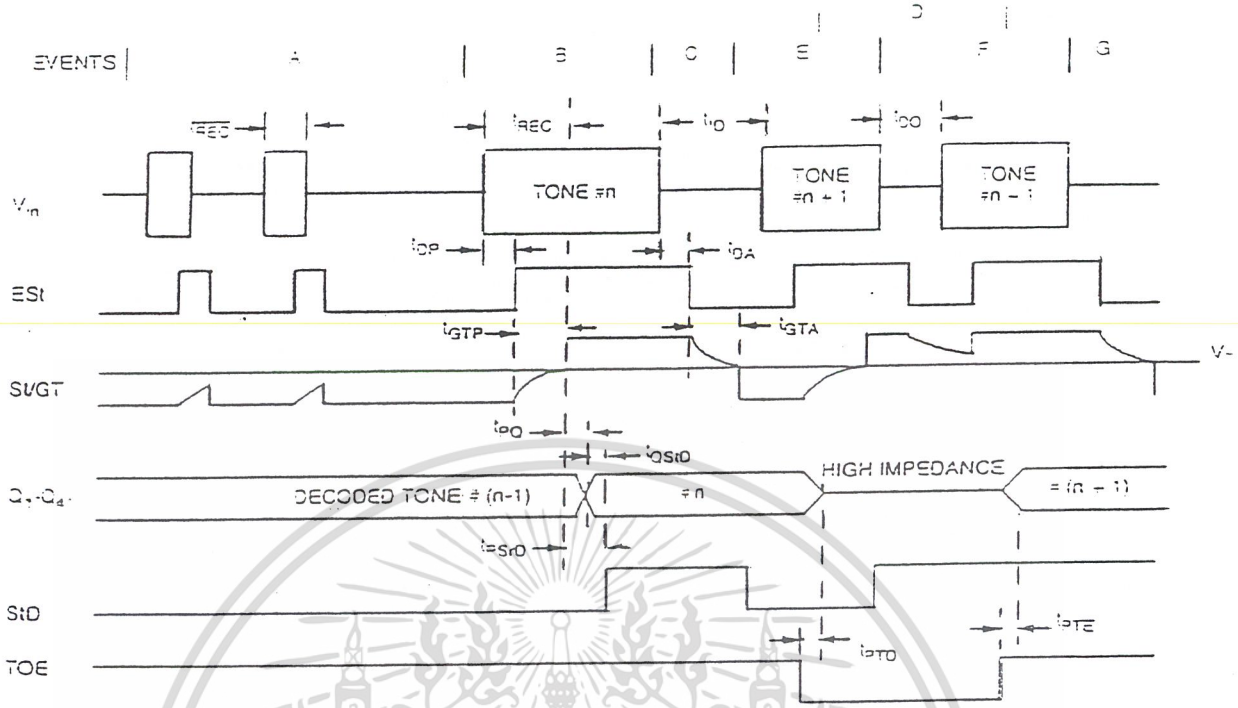
2. ภาคตรวจสอบสัญญาณ

ก่อนที่จะมีการถอดรหัสความถี่ออกไปที่เอาต์พุตจะมีการตรวจสอบช่วงความถี่ที่เข้ามามีระยะเวลาตามที่กำหนดหรือไม่ โดยสังเกตจากระยะเวลาการกดปุ่มโทรศัพท์ ซึ่งต้องกดปุ่มให้มีความถี่ออกมาเป็นช่วงเวลาพอสมควร มิฉะนั้นวงจรส่วนนี้จะไม่รับ โดยถือว่าสัญญาณนั้นไม่ถูกต้อง ส่วนช่วงเวลายาวเท่าใดสามารถตั้งได้โดยใช้ RC ภายนอก สัญญาณที่เขา EST จะเป็น 1 นานใกล้เคียงกับระยะเวลาที่มีความถี่ DTMF เข้ามา จากรูปที่ 1.24 เมื่อขา EST เป็น 1 ทำให้ VC สูงขึ้น ตัวเก็บประจุจะจ่ายประจำทำให้แรงดัน VC สูงขึ้นจนถึงค่าเทรสโฮลด์ วงจรถอดรหัสถึงจะถอดรหัสออกเป็นตัวเลขขนาด 4 บิต รายละเอียดการทำงานพิจารณาได้จากแผนภูมิเวลาในรูปที่ 1.25



รูปที่ 1.24 วงจรตรวจสอบสัญญาณอย่างง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.25 ผังเวลาของไอซี MT 8870

อธิบายขั้นตอนการทำงาน

A - ตรวจสอบความถี่ที่เข้ามา แต่คาบเวลาไม่ถูกต้อง เอาต์พุตไม่เปลี่ยนแปลง

B - ความถี่ # n ถูกตรวจพบ และมีคาบเวลาที่ถูกต้อง ความถี่ที่ถูกถอดรหัส และค้างไว้ที่เอาต์พุต

C - จบความถี่ # n ช่วงห่างถูกต้อง เอาต์พุตยังคงค้างจนกว่าจะได้รับความถี่ที่ถูกต้องใหม่

D - เอาต์พุตเปลี่ยนเป็นอิมพีแดนซ์สูง

E - ความถี่ # n+1 ถูกตรวจพบคาบเวลาถูกต้อง ความถี่ถูกถอดรหัสและค้างไว้

F - ความถี่ # n+1 หายไป ช่วงห่างไม่ถูกต้อง เอาต์พุตยังคงค้างอยู่

G - ความถี่ # n+1 ช่วงห่างถูกต้อง เอาต์พุตยังค้างอยู่จนถึงความถี่ใหม่

อธิบายศัพท์

Vin - สัญญาณความถี่ DTMF ที่เข้ามา

Est - Easly Sterring output ให้แสดงความถี่ที่ถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

St/Gt - Sterring input / Guard Time output สำหรับต่อกับ RC ภายนอก

Q1-Q4 - เอาต์พุต BCD ขนาด 4 บิต

StD - Deleyed Sterring output ใช้แสดงว่าความถี่ที่ได้รับหรือที่หายไปมีคาบเวลาตามที่กำหนด เพื่อแสดงความถูกต้องของสัญญาณ

TOE - Tone Output Enable (input) ใช้ควบคุม Q1-Q4 ให้เป็นอิมพีแดนซ์สูง

tREC - คาบเวลาที่นานที่สุดที่ตรวจพบความถี่ DTMF ที่ถูกต้อง 2 สัญญาณ

tID - เวลาที่สั้นที่สุดระหว่างสัญญาณ DTMF ที่ถูกต้อง 2 สัญญาณ

tDO - เวลาที่นานที่สุดที่ยอมให้สัญญาณหายไป ในคาบเวลาความถี่ที่ถูกต้อง

tDP - เวลาที่ใช้ในการตรวจพบความถี่ DTMF ที่ถูกต้อง

tDA - เวลาที่ใช้ในการตรวจหายไปของสัญญาณความถี่ DTMF ที่ถูกต้อง

tGTP - ช่วงคาบเวลาของความถี่ของการปรากฏความถี่ DTMF

tGTA - ช่วงคาบเวลาของความถี่ของการหายไปของความถี่ DTMF

สำหรับคำว่า Grand time หมายถึง ช่วงคาบเวลาความถี่ที่เข้ามาซึ่งจะต้องนานเท่ากับ หรือกว่าช่วงเวลาที่เราตั้งไว้ จึงจะได้รับการยอมรับว่าสัญญาณความถี่นั้นถูกต้อง หรือพูดได้ว่าเวลาที่เราตั้งไว้โดย RC ก็คือ Grand time นั่นเอง เมื่อสัญญาณความถี่เข้ามานานเท่ากับหรือมากกว่าเวลาที่ตั้งไว้จึงสามารถแปลงเป็นตัวเลขได้ ถ้าสัญญาณความถี่ที่เข้ามาสั้นกว่าก็จะไม่มีการถอดรหัสเป็นตัวเลขออกไป การตั้งเวลาและคำนวณดูได้จากรูปที่ 1.24

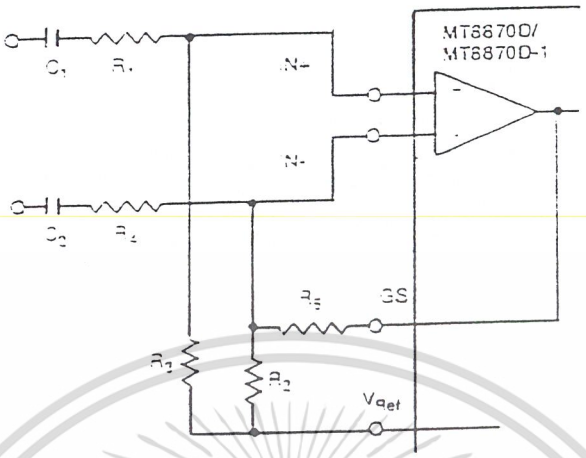
3. ภาคขยายสัญญาณความแตกต่าง

วงจรส่วนอินพุตของ MT 8870 เป็นภาคขยายสัญญาณแบบออปแอมป์ ที่สามารถปรับอัตราการขยายโดยต่อวงจรภายนอกเพิ่มเข้าไป และแสดงการต่อวงจรภายนอกเข้ากับอินพุต ซึ่งสามารถคำนวณอัตราการขยายความแตกต่างของอินพุต และอิมพีแดนซ์ได้ ดังนี้

อัตราขยาย (Av diff = R5/R1)

อินพุตอิมพีแดนซ์ (Zin diff = 2/ RI EXP 2 +(1/We)EXP 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.26 การต่อวงจรภาคอินพุต

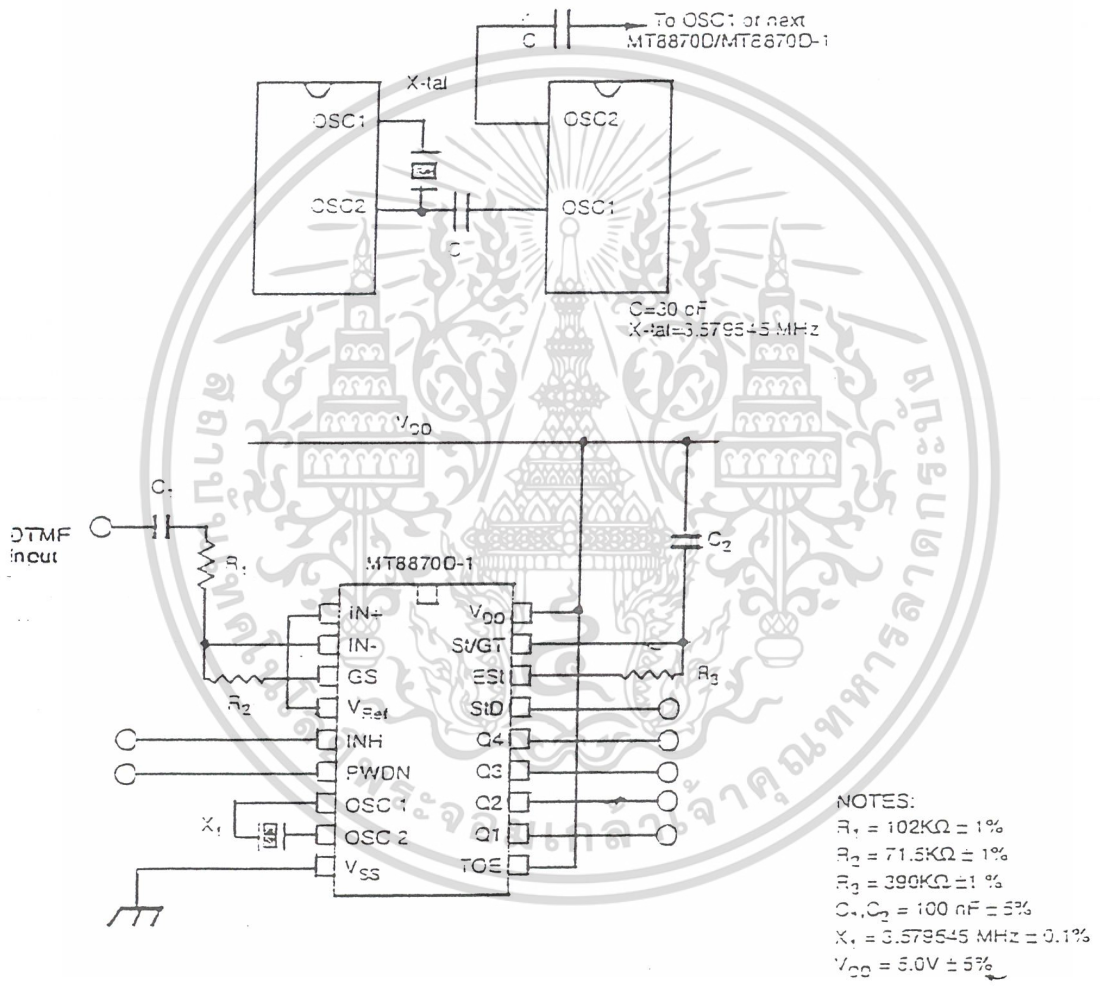
4. ภาคกำเนิดความถี่

ในภาคนี้จะมีวงจรเวลาอยู่ภายในเพียงแต่ต่อแร่ X-TAL ที่มีความถี่ 3.579545 Mhz. ก็จะสามารถใช้งานได้เลย

1.3.4 การนำ MT 8870 ไปใช้งาน

1. นำไปใช้งานด้านการควบคุมระยะไกล
2. เครื่องป้องกันโทรศัพท์ทางไกล
3. ใช้ในงานด้านเครดิตการ์ด
4. ใช้งานร่วมกับคอมพิวเตอร์
5. ใช้ในเครื่องชุมสายขนาดย่อยๆ หรือ PABX
6. ใช้กับงานทางด้านโทรศัพท์ทั่วไป
7. เครื่องกันขโมย
8. การควบคุมอุปกรณ์ทางโทรศัพท์
9. ใช้ทำเครื่องสอบถามทางโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



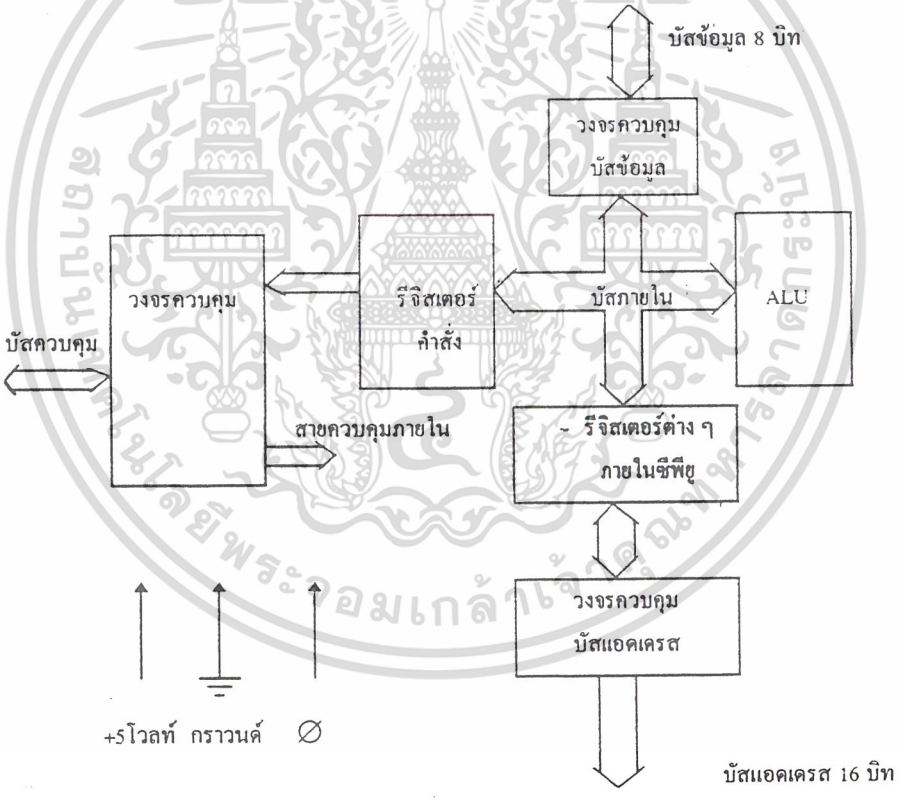
รูปที่ 1.27 วงจรใช้งานเบื้องต้นของไอซี (MT 8870 และการต่อวงจรผลิตความถี่)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
โครงสร้างของซีพียูและการอินเตอร์รัพท์

2.1 โครงสร้างของซีพียู Z-80

โครงสร้างของซีพียู Z-80 มีโครงสร้างที่พัฒนามาจาก 8080 ดังนั้นในแง่โครงสร้างพื้นฐานจะเหมือนกับซีพียูของ 8080 แต่เนื่องจาก Z-80 มีการพัฒนามามากขึ้นทางซอฟต์แวร์และฮาร์ดแวร์จึงมีรายละเอียดแตกต่างเพิ่มเติมอีกหลายประการด้วยกันบล็อกไดอะแกรมรูปที่1เป็นไดอะแกรมแสดงให้เห็นโครงสร้างของ Z-80 โดยโครงสร้างของซีพียูนี้จะบรรจุลงในแอลเอสไอขนาด 40 ขา



รูปที่ 2.1 บล็อกไดอะแกรมซีพียู Z-80

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างภายในของ Z-80 ซีพียูประกอบด้วยรีจิสเตอร์ภายในที่สามารถเขียนและอ่านได้ถึง 208 บิท โดยแยกเป็นกลุ่มของรีจิสเตอร์ขนาด 8 บิท 18 รีจิสเตอร์ และรีจิสเตอร์ขนาด 16 บิท อีก 4 รีจิสเตอร์ โดยมีชุดรีจิสเตอร์แสดงได้ดังรูปที่ 2.2

รีจิสเตอร์หลัก		รีจิสเตอร์สำรอง	
A	F	A^9	F^9
B	C	B^9	C^9
D	E	D^9	E^9
H	L	H^9	L^9

I	R
อินเดครีจิสเตอร์	IX
อินเดครีจิสเตอร์	IX
สแตคพอยท์เตอร์	SP
โปรแกรมเคาวน์เตอร์	PC

รูปที่ 2.2 แสดงรีจิสเตอร์ต่างๆที่มีอยู่ใน Z-80

2.1.1 รีจิสเตอร์หลักที่ใช้งานทั่วไป

รีจิสเตอร์ในกลุ่มแรกคือ A,F,B,C,D,E,H,L เป็นรีจิสเตอร์ขนาด 8 บิท ที่ใช้งานทั่วไป โดยรีจิสเตอร์เหล่านี้สามารถประกอบรวมกันเป็นคู่รีจิสเตอร์ได้ คือ AF,BC และ HL โดยคู่รีจิสเตอร์เหล่านี้จะได้รับการใช้งานในลักษณะของรีจิสเตอร์ขนาด 16 บิท การกระทำภายในซีพียูอาจจะอาศัยเพียงรีจิสเตอร์เดียวหรือกระทำเป็นคู่รีจิสเตอร์ได้ โดยที่ A คือ แอคคิวมูเลเตอร์ F คือแฟลก แฟลกของ Z-80 จะมีด้วยกันทั้งหมด 6 ตัว จึงใช้เพียง 6 บิท แต่ Z-80 อาศัยการเพิ่มบิทขึ้นอีก 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิท และกลายเป็นรีจิสเตอร์ F รีจิสเตอร์ F สามารถได้รับการเซท รีเซทการกระทำตามคำสั่งทางคณิตศาสตร์ หรือลอจิกได้ และเราสามารถใช้ F เหมือนรีจิสเตอร์หนึ่ง ซึ่งเมื่อรวมกันกับ A แล้วจะกลายเป็นรีจิสเตอร์ขนาด 16 บิทได้

2.1.2 กลุ่มรีจิสเตอร์สำรอง

เป็นกลุ่มรีจิสเตอร์ที่สามารถเก็บข้อมูลได้ โดยเป็นตัวเก็บข้อมูลที่มาจากรีจิสเตอร์หลัก รีจิสเตอร์ชุดนี้จึงมีด้วยกัน 8 ตัว คือ $A^{'},F^{'},B^{'},C^{'},D^{'},H^{'},L^{'}$ รีจิสเตอร์เหล่านี้เป็นรีจิสเตอร์ที่ใช้ในการเก็บข้อมูลชั่วคราว ในการที่ต้องการใช้รีจิสเตอร์หลักทำงานอย่างอื่นก่อน ดังนั้นรีจิสเตอร์นี้จึงไม่สามารถกระทำทางคณิตศาสตร์และลอจิกได้

2.1.3 กลุ่มรีจิสเตอร์ที่ใช้เฉพาะอย่าง

โปรแกรมเคาวน์เตอร์ (PC-Program counter) โปรแกรมเคาวน์เตอร์เป็นรีจิสเตอร์ขนาด 16 บิท ที่เป็นตัวกำหนดตำแหน่งของโปรแกรมในขณะสภาวะการกระทำการเฟทช์ค่าที่อยู่ในโปรแกรมเคาวน์เตอร์จะไปปรากฏอยู่ที่แอดเดรสบัส เพื่อชี้ไปยังตำแหน่งในหน่วยความจำให้ซีพียูอ่านคำสั่งมาตีความหมาย ค่าที่อยู่ในโปรแกรมเคาวน์เตอร์จะเพิ่มค่าขึ้นได้อย่างอัตโนมัติหลังการกระทำการเฟทช์ แต่ถ้าหากซีพียูกระทำคำสั่งให้ข้ามไปยังตำแหน่งอื่น (Jump) ค่าแอดเดรสที่จะกระโดดข้ามนั้นจะโหลดเข้ามายังโปรแกรมเคาวน์เตอร์ได้อย่างอัตโนมัติ

สแตคพอยท์เตอร์ (SP-Stack Pointer) เป็นรีจิสเตอร์ที่มีขนาด 16 บิทที่ใช้สำหรับชี้ไปยังแอดเดรสชั้นบนสุดของสแตกที่อยู่ใน RAM โดยส่วนของสแตกมีลักษณะโครงสร้างเป็นหน่วยความจำแบบเก็บทีหลังเรียกออกได้ก่อนข้อมูลในสแตคอาจได้รับการพุชหรือพอพมาจากข้อมูลรีจิสเตอร์ภายในซีพียู ลักษณะของสแตคในที่นี้ยังเป็นส่วนช่วยในการกระทำอินเตอร์รัพท์ และการเรียกโปรแกรมย่อย กล่าวคือในการอินเตอร์รัพท์ค่าของโปรแกรมเคาวน์เตอร์จะได้รับการเก็บรักษาไว้ในชั้นสแตค ครั้นเมื่อโปรแกรมกลับจากอินเตอร์รัพท์ไปกระทำยังโปรแกรมหลักก็จะนำค่าจากสแตคกลับเข้ามายังโปรแกรมเคาวน์เตอร์ใหม่ ในทำนองเดียวกัน การกระโดดไปกระทำยังโปรแกรมย่อย ก็เช่นเดียวกัน ดังนั้นการกระทำในรูปของอินเตอร์รัพท์หรือโปรแกรมย่อยสามารถซ้อนกันได้ไม่มีสิ้นสุด

อินเดครีจิสเตอร์ (IX,IY-insex register) ซีพียู Z-80 มีอินเดครีจิสเตอร์ขนาด 16 บิท 2 ตัว แต่ละตัวใช้ประโยชน์หลักในการทำหน้าที่เป็นตัวเก็บแอดเดรสฐาน (base address) เพื่อทำหน้าที่อ้างแอดเดรสแบบอินเดคแอดเดรสซิ่ง (index addressing) ในโหมดของอินเดคแอดเดรสซิ่งมีข้อมูลที่อยู่ในอินแดครีจิสเตอร์นี้จะรวมกับข้อมูลที่ติดมากับคำสั่งอีก 8 บิท เพื่อเป็นตัวกำหนดแอดเด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รสให้กับคำสั่งข้อมูลที่ติดมากับคำสั่งนี้เราเรียกว่า ดิสเพลสซเมนท์ (displacement) ซึ่งจะเก็บในรูปของตัวเลข 2^{o} s คอมพลีเมนท์

อินเตอร์รัพท์เพจแอดเดรสรีจิสเตอร์ (I-Interrupt page address register) การอินเตอร์รัพท์ของ Z-80 มีหลายโหมด และโหมดหนึ่งที่ทำให้การอินเตอร์รัพท์ของ Z-80 มีประสิทธิภาพสูง กล่าวคือ เมื่อมีการอินเตอร์รัพท์ในโหมดนี้ขึ้นมันสามารถอ้างแอดเดรสโดยทางอ้อมไปกระทำโปรแกรมในที่ใดก็ได้ในหน่วยความจำ โดยอาศัยค่าในรีจิสเตอร์ I รวมกับค่าที่ส่งมาจากอุปกรณ์เพอริเฟอรัลอีก 8 บิท ชี้ไปยังค่าหน่วยความจำ เพื่อนำค่านั้นมาโหลดเข้าในโปรแกรมเคาวน์เตอร์เพื่อกระทำต่อไป ด้วยวิธีการนี้เราจึงสามารถกระโดดเข้าไปทำที่ส่วนใดก็ได้ในหน่วยความจำ

รีจิสเตอร์รีเฟรชหน่วยความจำ (R-memory reflesh register) การต่อซีพียูกับหน่วยความจำนั้นโดยปกติจะต่อกับหน่วยความจำสเตติคได้โดยง่าย แต่อย่างไรก็ดี ชนิดไดนามิคที่ต้องการรีเฟรชมีราคาถูกกว่า มีความหนาแน่นสูงกว่า Z-80 ให้ข้อดีกว่าประการหนึ่ง คือมันสามารถให้การรีเฟรชหน่วยความจำได้อย่างอัตโนมัติ โดยค่าใน R รีจิสเตอร์จะเพิ่มค่าขึ้นอีก 1 ทุกครั้งที่มีการกระทำการเฟทช์คำสั่ง และข้อมูลในรีจิสเตอร์ R นี้จะส่งออกไปยังแอดเดรสบัสในส่วนบิทที่มีนัยสำคัญต่ำกว่าจังหวะของการส่งนี้จะเป็นจังหวะเดียวกันกับที่ซีพียูส่งสัญญาณรีเฟรชออกมา ผู้โปรแกรมสามารถกำหนดค่ารีจิสเตอร์ R นี้ได้ แต่ค่าในรีจิสเตอร์นี้จะเรียกใช้โดยผู้โปรแกรมทางคำสั่งโดยตรงไม่ได้

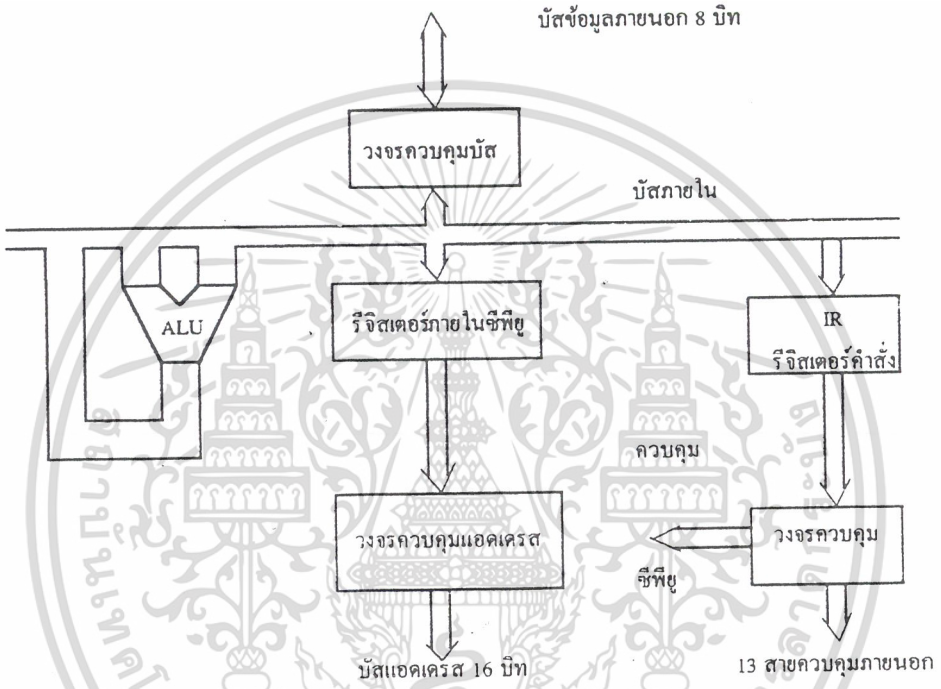
แอคคิวมูเลเตอร์ (accumulator) และแฟลก (flag) ซีพียูจะมีรีจิสเตอร์ที่ใช้เป็นหลักในการเป็นตัวโอเปอแรนด์สำหรับกระทำทางคณิตศาสตร์และลอจิก โดยรีจิสเตอร์หลักนี้จะมีเพียง 8 บิท เรียกว่า " แอคคิวมูเลเตอร์ (accumulator) การกระทำในส่วนของหน่วยคณิตศาสตร์และลอจิกย่อมเกิดเงื่อนไขได้หลายอย่างที่จะต้องแสดงสถานะภาพของเงื่อนไขเหล่านี้ เช่น เงื่อนไขผลลัพธ์เป็นศูนย์ ผลลัพธ์เป็นบวกหรือลบ มีตัวทดหรือตัวขอยืมในการกระทำทางคณิตศาสตร์แสดงเงื่อนไขพาริตี้คู่หรือคี่ ฯลฯ สิ่งเหล่านี้จะให้ผลลัพธ์แสดงสถานะได้ด้วยแฟลก (Flag) แฟลกเป็นรีจิสเตอร์ขนาด 8 บิท ซึ่งสามารถรวมกับแอคคิวมูเลเตอร์เป็นรีจิสเตอร์ขนาด 16 บิทได้ ผู้โปรแกรมยังสมารถใช้คำสั่งในการเคลื่อนย้ายข้อมูลจากแอคคิวมูเลเตอร์ A และแฟลก F ไปเก็บไว้ใน A9 และ F9 ได้ เพื่อทำให้การใช้งานของ A และ F มีประสิทธิภาพดียิ่ง

หน่วยคำนวณทางคณิตศาสตร์และลอจิก (ALU-arithmetic and logic unit) การประมวลผลที่สำคัญของซีพียูของคอมพิวเตอร์ยังขึ้นกับหน่วยคำนวณทางคณิตศาสตร์และลอจิก (ALU) ส่วน ALU นี้จะนำข้อมูลซึ่งอาจจะมาจากภายนอกซีพียูก็ได้มาประมวลผล การประมวลผลในส่วน ALU ที่สำคัญจะประกอบด้วย

การบวก (add) การเลื่อนบิททางซ้ายหรือขวา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การลบ (substract)	การเพิ่มค่า(increment)
ลอจิก AND	การลดค่า (decrement)
ลอจิก OR	การเซทบิท (set bit)
ลอจิก EX-OR	การรีเซท (reset bit)
เปรียบเทียบ (compare)	การทดสอบบิท (test bit)



รูปที่ 2.3 แสดงการทำงานของ ALU ภายใน

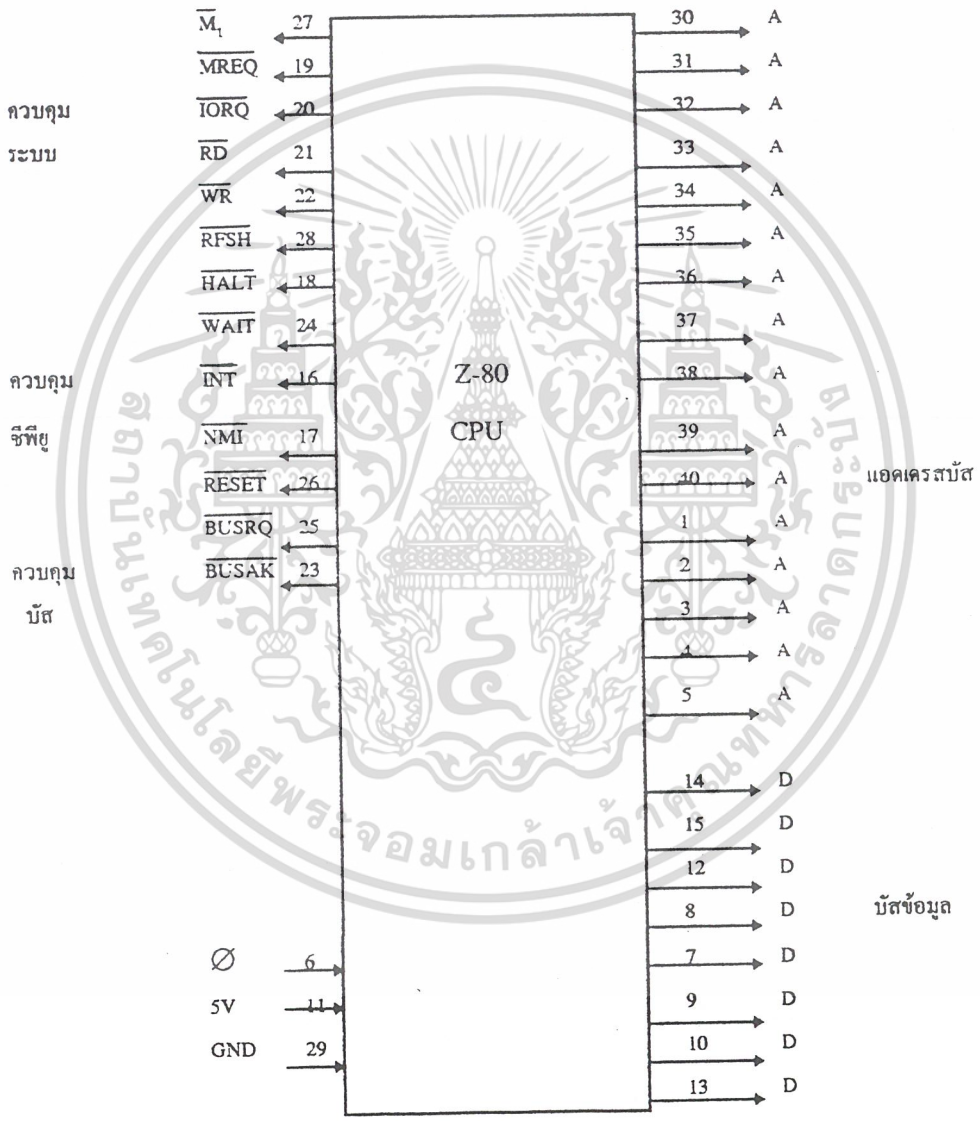
รีจิสเตอร์คำสั่งและส่วนควบคุม (Instruction and control) ในการกระทำการเฟทซ์ซีพียูจะอ่านคำสั่งจากหน่วยความจำที่เป็นส่วนของโปรแกรมโดยรอคำสั่งนั้น มาเก็บไว้ใน IR เพื่อทำการถอดรหัสคำสั่งและส่งสัญญาณควบคุมการทำงานภายในซีพียู หรือควบคุมการทำงานของระบบ สัญญาณควบคุมเหล่านี้จะออกมาในจังหวะต่างๆกัน เพื่อใช้ควบคุมระบบในการทำงานต่อไป

2.2 การจัดขาของ Z-80

Z-80 ซีพียูเป็นไอซีไมโครโปรเซสเซอร์ที่มีขาเพียง 40 ขา โดยหลักการแล้ว Z-80 เป็นซีพียูได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยสมบูรณ์ กล่าวคือ Z-.80 ไม่ต้องประกอบกับอุปกรณ์ประกอบอื่นที่จะทำงานเพื่อรวมกันเป็นซีพียู ส่วนของสัญญาณจะประกอบด้วยบัสแอดเดรส บัสข้อมูล และสัญญาณควบคุมการจัดวางขาแสดงได้ดังรูปที่ 2.4



รูปที่ 2.4 ลักษณะของขาไอซี Z-80 ซีพียู

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

รายละเอียดของขาต่างๆแสดงได้ดังนี้

A_0-A_{15} บัสแอดเดรส สัญญาณที่ออกมาจากขาไอซีเหล่านี้จะให้แอดทีฟขณะ high โดยขาเหล่านี้เป็นเอาท์พุทแบไตรสเตท บัสแอดเดรสมีด้วยกันทั้งหมด 16 สาย เพื่อให้ซีพียูติดต่อกับหน่วยความจำได้มากถึง 2^{16} = 64k นอกจากนี้ส่วนของแอดเดรสยังเป็นตัวกำหนดเบอร์พอร์ทของอุปกรณ์อินพุท-เอาท์พุท โดยขณะที่ซีพียูกระทำคำสั่งเกี่ยวกับอินพุทหรือเอาท์พุทค่าของแดเดรสบัสใน 8 บิทล่าง (A_0-A_7) จะแสดงค่าเบอร์พอร์ท ดังนั้นเราจึงมีอุปกรณ์อินพุทหรือเอาท์พุทได้ทั้งหมด 2^8=256 พอร์ท และในขณะช่วงเวลา รีเฟรชโดยเมื่อ สัญญาณรีเฟรชปรากฏขึ้นที่ขารีเฟรช($\overline{RFSH}$) ค่าในแอดเดรสบัส A_0-A_7 จะแสดงค่าแอดเดรสของหน่วยความจำที่จะได้รับการกระทำการรีเฟรช

D_0-D_7 บัสข้อมูล(data bus) เป็นลักษณะบัสแบบสองทิศทาง Z-80 ซีพียูบัสมีข้อมูล 8 เส้น บัสข้อมูลเป็นเส้นทางผ่านของข้อมูลระหว่างซีพียูกับหน่วยความจำ ซีพียูกับอุปกรณ์อินพุทเอาท์พุท หรือการติดต่อระหว่างอุปกรณ์อินพุทเอาท์พุทกับหน่วยความจำ

$\overline{M1}$ (machine cycle one) มีลักษณะเป็นแอดทีฟที่ลอจิก “0” $\overline{M1}$ เป็นส่วนที่จะบอกให้ทราบว่าขณะนี้ซีพียูกำลังอยู่ในสภาวะเฟทช์ ในขณะที่ซีพียูเฟทช์คำสั่งที่มีออพโคดสองไบท์ ส่วนของ $\overline{M1}$ จะสร้างขึ้นขณะเฟทช์ในแต่ละไบท์ลักษณะของคำสั่งที่มีออพโคดสองไบท์จะขึ้นด้วย CBH, DDH, EDH, FDH (H ต่อท้ายหมายถึงตัวเลขฐานสิบหก) นอกจากนี้ $\overline{M1}$ ยังสร้างสัญญาณร่วมกับ $\overline{IORQ}$ เพื่อบอกสถานะการตอบรับอินเตอร์รัพท์

$\overline{MREQ}$ (memory request) เป็นลักษณะ ไตรสเตท ให้ลอจิกแอดทีฟ “0” เป็นสายสัญญาณที่บอกให้ทราบว่า ซีพียูต้องการเขียนหรืออ่านหน่วยความจำตามแอดเดรสที่ปรากฏอยู่ในแอดเดรสบัส

$\overline{IORQ}$ (input output request) เป็นเอาท์พุทลักษณะไตรสเตทให้ลอจิกแอดทีฟที่ “0” เป็นสัญญาณที่บอกให้ทราบว่า ซีพียูต้องการติดต่อกับอุปกรณ์อินพุทเอาท์พุทโดยแอดเดรสบัส 8 บิทล่างจะให้แสดงค่าเบอร์พอร์ท ส่วนบัสข้อมูลจะแสดงข้อมูลที่มีการส่งถ่ายระหว่างซีพียูกับ I/O นอกจากนี้ $\overline{IORQ}$ ถ้าเกิดขึ้นพร้อมกับสัญญาณ $\overline{M1}$ เป็นตัวบอกถึงสถานะที่ซีพียูกำลังตอบสนองผลการอินเตอร์รัพท์ โดยขณะนี้ส่วนของบัสจะมีการส่งผ่านเข้ามาด้วยค่าของอินเตอร์รัพท์เวคเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$\overline{RD}$ (memory read) เป็นเอาท์พุทที่ไตรสเตทและแอคทีฟขณะลอจิก “0” $\overline{RD}$ เป็นตัวบอกว่าขณะนี้ซีพียูต้องการอ่านข้อมูลจากหน่วยความจำหรืออุปกรณ์ I/O

$\overline{WR}$ (memory write) เป็นขาเอาท์พุทแบบไตรสเตท และแอคทีฟขณะลอจิก “0” $\overline{WR}$ เป็นสัญญาณบอกว่าซีพียูต้องการเขียนข้อมูลในตำแหน่งที่แอดเดรสบัส กำหนดขึ้นอาจเป็นหน่วยความจำหรืออุปกรณ์ I/O ก็ได้

$\overline{RFSH}$ (refresh) เป็นขาเอาท์พุทแอคทีฟขณะลอจิก “0” $\overline{RFSH}$ เป็นสัญญาณที่จะบอกให้ทราบว่าสัญญาณในแอดเดรสบัส ในส่วน A0-A6 เป็นแอดเดรสที่จะใช้ในการรีเฟรชหน่วยความจำไดนามิค ส่วนบิท A7 จะเป็น “0” ส่วนบิท A15-A8 จะแสดงค่าของรีจิสเตอร์ I

$\overline{HALT}$ (halt state) เป็นเอาท์พุทที่แอคทีฟด้วยลอจิก “0” สัญญาณ $\overline{HALT}$ จะแสดงเมื่อซีพียูได้กระทำคำสั่ง $\overline{HALT}$ และจะหยุดรอจนกว่าจะมีการอินเตอร์รัพท์หรือรีเซท ขณะที่อยู่ในช่วง $\overline{HALT}$ ซีพียูจะเสมือนกำลังกระทำคำสั่ง NOP(no operation) เพื่อให้เกิดไซเคิลในการทำงาน เพื่อส่งสัญญาณไปกระทำการรีเฟรชหน่วยความจำชนิดไดนามิกส์

$\overline{WAIT}$ (wait) เป็นขาอินพุท จะแอคทีฟด้วยลอจิก “0” $\overline{WAIT}$ เป็นตัวกำหนดแสดงเพื่อบอกซีพียูให้ซีพียูหยุดรอ ในกรณีที่อุปกรณ์อินพุท-เอาท์พุท หรือหน่วยความจำไม่สามารถรับหรือส่งข้อมูลได้ทัน $\overline{WAIT}$ จะเป็นตัวทำให้ซีพียูลิงค์ได้พอดีกับอุปกรณ์อินพุทเอาท์พุทที่ทำงานด้วยความเร็วช้าๆ

$\overline{INT}$ (interupt request) เป็นขาอินพุทแอคทีฟด้วยลอจิก “0” $\overline{INT}$ เป็นสัญญาณที่สร้างขึ้นมาจากอุปกรณ์อินพุทเอาท์พุท เพื่อต้องการที่จะอินเตอร์รัพท์ซีพียู ซีพียูจะทำการตรวจสอบสัญญาณนี้ทุกๆ ครั้งที่จบการกระทำแต่ละคำสั่ง การตอบสนองของการอินเตอร์รัพท์สามารถควบคุมได้ด้วย ซอฟต์แวร์ด้วยการเซทค่าอินเตอร์รัพท์ฟลิบฟลอบ (IFF) การตอบสนองอินเตอร์รัพท์ จะเกิดได้ยังต้องให้ $\overline{BUSRQ}$ ไม่แอคทีฟเมื่อซีพียูตอบสนอง ต่อการอินเตอร์รัพท์ ซีพียูจะสร้างสัญญาณตอบด้วยการสร้างสัญญาณ $\overline{IORQ}$ ระหว่างช่วงเวลา $\overline{M1}$ การตอบสนองต่อการอินเตอร์รัพท์มีแยกแยะได้ 3 แบบ

$\overline{NMI}$ (nonmaskable interupt) เป็นขาอินพุท ที่จะทริกบอกซีพียูในขณะขอบพัลซ์ขาลงการอินเตอร์รัพท์ด้วยวิธีนี้ ซีพียูจะให้ความสำคัญสูงกว่า $\overline{INT}$ กล่าวคือมันจะสนองตอบและกระทำทันทีด้วยการเริ่มเอ็กซีคิวท์ คำสั่งในตำแหน่ง 0066H โดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อัตโนมัติ การกระโดดไปกระทำในกรณีนี้ ซีพียูจะเก็บค่าโปรแกรมเคาวน์เตอร์เดิมไว้ในสแตค เพื่อจะได้กลับไปทำงานเดิม เมื่อเสร็จสิ้นการอินเตอร์รัพท์ได้

$\overline{RESET}$ (reset) เป็นขาอินพุทที่แอคทีฟด้วยลอจิก "0" การรีเซทในกรณีนี้จะมีผล ดังนี้

1. ค่าของ PC มีค่าเป็น "0"
2. IFF จะได้รับการ Disable
3. รีจิสเตอร์ I จะมีค่า 00H
4. รีจิสเตอร์ R จะมีค่า 00H
5. จะมีการเซทอินเตอร์รัพท์โหมดมาอยู่โหมด 0

ระหว่างการรีเซทสายแอดเดรสบัสและบัสข้อมูลจะได้รับการกระทำให้มีค่าอิมพีแดนซ์สูงเพื่อแยกออกจากซีพียู ส่วนสายสัญญาณควบคุมจะได้รับการทำให้เป็นสัญญาณที่ไม่แอคทีฟ การรีเฟรชจะไม่เกิดขึ้น

$\overline{BUSRQ}$ (bus request) เป็นขาอินพุทที่แอคทีฟด้วยลอจิก "0" $\overline{BUSRQ}$ เป็นสัญญาณที่ส่งบอกกับซีพียู เพื่อต้องการให้ซีพียูควบคุมบัส กล่าวคือต้องการให้ซีพียูทำให้แอดเดรสบัสและบัสข้อมูลอยู่ในสถานะอิมพีแดนซ์สูง คือต้องการแยกซีพียูออจากบัสนั่นเอง

$\overline{BUSAK}$ (bus achnowledge) เป็นขาเอาท์พุท แอคทีฟขณะลอจิก "0" $\overline{BUSAK}$ เป็นสัญญาณตอบจากซีพียูว่าซีพียูได้แยกตัวเองออกจากแอดเดรสบัสและบัสข้อมูลเรียบร้อยแล้ว

Φ (clock) สัญญาณนาฬิกาที่จะป้อนเข้าระบบ

2.3 ไดอะแกรมเวลาของซีพียู

Z-80 ซีพียูจะทำงานในลักษณะพื้นฐาน ที่สำคัญประกอบด้วย

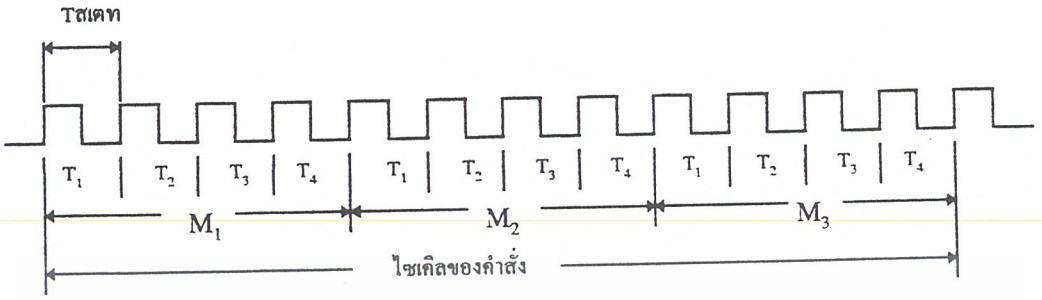
การเขียน – อ่านหน่วยความจำ

การเขียน – อ่านอุปกรณ์อินพุท – เอาท์พุท

การตอบสนองรต่อการอินเตอร์รัพท์

ลักษณะการทำงานจะสัมพันธ์กับสัญญาณนาฬิกา ขอให้พิจารณารูปที่ 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5

ไซเคิลการทำงานที่แสดงในรูปที่ 2.5 จะเห็นได้ว่าหนึ่งไซเคิลของคำสั่งจะประกอบด้วยหลายแมชชีนไซเคิล (M ไซเคิล) กล่าวคือ $M_1,M_2,M_3....M_5$ นั่นเอง ในกรณีของ Z-80 จำนวนแมชชีนไซเคิลของแต่ละคำสั่งไม่เท่ากัน มากบ้างน้อยบ้าง ที่น้อยที่สุดใช้ 1 แมชชีนไซเคิล ส่วนที่มากที่สุดใช้ 5 แมชชีนไซเคิล คำสั่งที่มีสภาวะการทำงานแต่เพียงภายในซีพียู โดยเมื่อเฟทช์คำสั่งจากหน่วยความจำมาตีความแล้ว ก็สามารถทำได้เลยเช่น LD r,r เป็นต้น จะใช้เพียง 1 แมชชีนไซเคิล

เนื่องจากในแต่ละคำสั่งจะประกอบด้วยแมชชีนไซเคิลหลายแบบด้วยกัน แต่แมชชีนไซเคิลที่ใช้ทั้งหมดสามารถสรุปออกมาเป็นแบบอย่างได้เป็น

1. ไซเคิลการเฟทช์ (M_1)
2. ไซเคิลการเขียนหรืออ่านหน่วยความจำ
3. ไซเคิลการรับส่งข้อมูลอินพุทหรือเอาท์พุท
4. ไซเคิลการต้องการใช้บัส หรือการตอบสนองการใช้บัส
5. ไซเคิลการอินเตอร์รัพท์ และการตอบสนองการอินเตอร์รัพท์
6. ไซเคิลการรับอินเตอร์รัพท์แบบนอนมาสค์เคเบิล
7. ไซเคิลการออกคำสั่ง HALT

การทำงานในแต่ละไซเคิลจะตอบสนองได้ตามลักษณะของคำสั่งที่กระทำนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 การอินเตอร์รัพท์

ในระบบที่มีอุปกรณ์ต่างๆ มากขึ้นจึงต้องมีการติดต่อกับอุปกรณ์ต่างๆ อย่างมีประสิทธิภาพมากขึ้น วิธีที่ดีที่สุดก็คือ ต้องให้ซีพียูใช้เวลาส่วนใหญ่ในการทำโปรแกรมหลักมาสนใจอุปกรณ์ภายนอกก็ต่อเมื่ออุปกรณ์ภายนอกส่งสัญญาณเข้ามาบอกเท่านั้น ซีพียูจึงจะจากโปรแกรมหลักไปนำโปรแกรมรับหรือส่งข้อมูลหรือทำอะไรก็ตามที่อุปกรณ์นั้นต้องการเสร็จแล้วจึงกลับมาทำโปรแกรมเดิมที่ถูกหยุดพักไปนั้น ระบบนี้เรียกว่า " อินเตอร์รัพท์ (Interrupt) "

2.4.1 สัญญาณอินเตอร์รัพท์

ในสภาวะการทำงานปกติซีพียูจะอ่านคำสั่งจากหน่วยความจำมาถอดรหัส (Fetch & Decode) และทำคำสั่งนั้นจนจบขบวนการต่างๆ (machine cycle) ที่จำเป็นของคำสั่งนั้น แล้วซีพียูจึงเริ่มทำคำสั่งต่อไปโดยอ่านคำสั่งจากหน่วยความจำตำแหน่งความจำตำแหน่งถัดไปมาถอดรหัสและทำอีกเป็นเช่นนี้เรื่อย จะเห็นว่าซีพียูทำคำสั่งจากตำแหน่งต่ำไปตำแหน่งสูง ในบางโอกาสถ้าซีพียูพบคำสั่งให้กระโดดข้ามไปยังตำแหน่งอื่น ไม่เป็นตามลำดับแล้วแต่ว่าคำสั่งกระโดดนั้นจะบังคับให้ไปไหน นอกจากกระโดดข้ามไปตำแหน่งต่างๆ เพราะคำสั่งกระโดดแล้วซีพียูสามารถถูกบังคับให้กระโดดไปทำคำสั่งที่ตำแหน่งอื่นได้ ด้วยสัญญาณจากภายนอก สัญญาณที่สามารถบังคับให้ซีพียูกระโดดไปทำคำสั่งตำแหน่งอื่นได้แบ่งเป็น

1. สัญญาณ $\overline{RESET}$
2. สัญญาณ Interrupt

สัญญาณ $\overline{RESET}$ ซีพียูจะมีขาหนึ่งรับสัญญาณ $\overline{RESET}$ โดยเฉพาะเมื่อวงจรหน่วยควบคุมภายใน (control unit) ได้รับสัญญาณ $\overline{RESET}$ โดยทั่วไปแล้วโปรแกรมเคาว์เตอร์จะมีค่าเป็น "0" ทันทีและวงจรภายในบางส่วนจะถูกปรับสถานะใหม่ด้วย นั่นคือซีพียูจะเริ่มทำคำสั่งจากตำแหน่ง 0 ในหน่วยความจำ

สัญญาณ Interrupt ซึ่งซีพียูจะมีขาหนึ่งรับสัญญาณ Interrupt ($\overline{INT}$) เมื่อวงจรควบคุมภายในซีพียูได้รับสัญญาณนี้ ไม่ว่าจะกำลังทำคำสั่งอะไรอยู่เมื่อจบคำสั่งนั้น ซีพียูจะต้องทำขบวนการพิเศษ ซึ่งเรียกว่า Interrupt acknowledge machine cycle เพื่อตอบรับรู้สัญญาณนี้ และเก็บสถานะของตัวเองขณะนั้นไว้ ณ.ที่ใดที่หนึ่ง แล้วจึงกระโดดไปทำคำสั่งที่ตำแหน่งอื่นซึ่งถูกกำหนดมาล่วงหน้าแล้วเมื่อจบคำสั่งต่างๆ ในตำแหน่งใหม่แล้วจึงกลับไปทำโปรแกรมเดิมที่ทำอยู่ก่อนที่จะได้รับสัญญาณอินเตอร์รัพท์นั้น โปรแกรมซีพียูกระโดดไปทำเมื่อได้รับสัญญาณอินเตอร์รัพท์เราเรียกว่า Interrupt Service routine

เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.2 ประเภทของสัญญาณอินเตอร์รัพท์

โดยทั่วไปสัญญาณอินเตอร์รัพท์แบ่งออกได้เป็น 2 ประเภท คือ

1. non-maskable interrupt ($\overline{NMI}$) คือ สัญญาณอินเตอร์รัพท์ที่สามารถรบกวนหรือขัดจังหวะการทำงานของซีพียูได้โดยไม่มีข้อแม้ ไม่ว่าซีพียูจะทำคำสั่งอะไรอยู่ เมื่อได้รับสัญญาณ $\overline{NMI}$ และเมื่อจบคำสั่งที่กำลังทำอยู่นั้น ซีพียูจะต้องตอบรับรู้และกระโดดไปทำคำสั่งที่ตำแหน่งหนึ่งเป็นการแน่นอน

2. marskable interrupt ($\overline{INT}$) คือสัญญาณอินเตอร์รัพท์ที่ซีพียูสามารถหลีกเลี่ยง ที่จะไม่รับรู้ก็ได้ ถึงแม้จะมีสัญญาณนี้เข้ามาที่ซีพียูแล้วก็ตาม ที่เป็นเช่นนี้เพราะสัญญาณ $\overline{INT}$ จะไม่ได้ต่อตรงเข้าหน่วยควบคุมโดยตรง แต่ขึ้นอยู่กับ Interrupt enable flip-flop ภายในซีพียูซึ่งจะเป็นตัวอนุญาตให้สัญญาณ $\overline{INT}$ ผ่านไปได้หรือไม่ คำสั่ง disable interrupt จะทำให้ซีพียูไม่รับรู้สัญญาณ $\overline{INT}$ ต่อไปและคำสั่ง enable interrupt จะทำให้ซีพียูรับรู้สัญญาณ $\overline{INT}$ ได้

2.4.3 อินเตอร์รัพท์เวคเตอร์

เมื่อซีพียูได้รับสัญญาณอินเตอร์รัพท์แล้ว ซีพียูรับรู้โดยส่งสัญญาณตอบรับในขบวนการ Interrupt acknowledge machine cycle แล้วจึงไปทำคำสั่งที่ตำแหน่งซึ่งถูกกำหนดมา การกระโดดไปเป็นดังนี้

1. non-maskable interrupt ซีพียูจะกระโดดไปตำแหน่งที่แน่นอน

2. maskable interrupt เมื่อรับรู้สัญญาณอินเตอร์รัพท์และจะกระโดดไปทำตำแหน่งใดขึ้นอยู่กับตัวชี้ทาง ซึ่งเป็นตัวเลขไบนารี่บอกตำแหน่งเราเรียกว่า Interrupt vector ซีพียูจะไปทำตำแหน่งที่ interrupt vector บอก

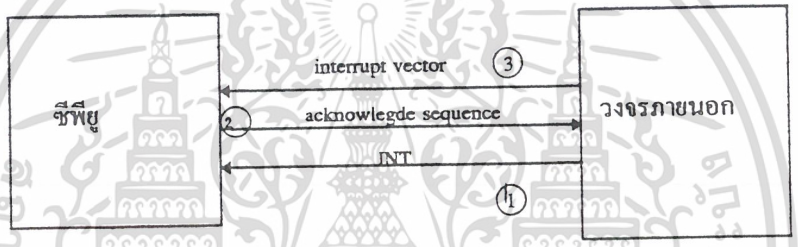
2.4.4 อินเตอร์รัพท์เวคเตอร์และกลไกอินเตอร์รัพท์

อินเตอร์รัพท์เวคเตอร์มีบทบาทในการกระโดดไปยังตำแหน่งใหม่เมื่อซีพียูได้รับสัญญาณอินเตอร์รัพท์ดังนี้คือ เมื่อซีพียูได้รับสัญญาณอินเตอร์รัพท์ ซีพียูตอบรับและกระโดดไปทำตำแหน่งที่ interrupt vector บอก อินเตอร์รัพท์เวคเตอร์มาจากไหน โดยหลักง่ายๆ สัญญาณอินเตอร์รัพท์เป็นสัญญาณเกิดจากวงจรภายนอกซีพียู ดังนั้นวงจรภายนอกที่เป็นตัวกำเนิดสัญญาณ $\overline{INT}$ นี้ ต้องเป็นผู้บอกให้ซีพียูรู้ว่าจะต้องไปทำคำสั่งที่ไหน นั่นคือวงจรภายนอกจะต้องเป็นผู้ให้อินเตอร์รัพท์เวคเตอร์ซึ่งเป็นตัวเลขไบนารี่แก่ซีพียู ให้เวลาใดก็ต้องเป็นเวลาที่ซีพียูตอบรับรู้สัญญาณ $\overline{INT}$ (โดยทำขบวนการ Interrupt acknowledge machine cycle) นั่นเอง เราอาจเรียกง่ายๆ

เอกสารนี้ใช้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ว่า ขบวนการ Interrupt acknowledge คือ การตอบรับรู้วงจรภายนอกที่กำเนิดสัญญาณอินเตอร์รัพท์นั้น และขอรับอินเตอร์รัพท์เวคเตอร์จากวงจรภายนอกนั่นเอง

2.4.5 ขบวนการอินเตอร์รัพท์



รูปที่ 2.6 แสดงขบวนการอินเตอร์รัพท์

ขั้นตอนการเกิดและตอบรับอินเตอร์รัพท์โดยทั่วไปจะเป็นดังนี้

1. วงจรภายนอกส่งสัญญาณ $\overline{INT}$ มายังซีพียู
2. ถ้าซีพียูทำคำสั่ง enable interrupt มาแล้ว ซีพียูจะตอบรับด้วย interrupt acknoeledge cycle
3. วงจรภายนอกส่งอินเตอร์รัพท์เวคเตอร์ซีพียู
4. ซีพียูเอาอินเตอร์รัพท์เวคเตอร์นั้นมาเป็นตัวชี้นำตำแหน่งของคำสั่งใหม่ที่จะต้องไปทำ (ก่อนกระโดดไปซีพียูต้องเก็บสถานะของตัวเองขณะนั้นไว้)
5. กระโดดไปทำตำแหน่งนั้น (interrupt service rountine)
6. ตอนจบของโปรแกรม interrupt service rountine จะต้องมีคำสั่งให้ซีพียูเรียกสถานะ

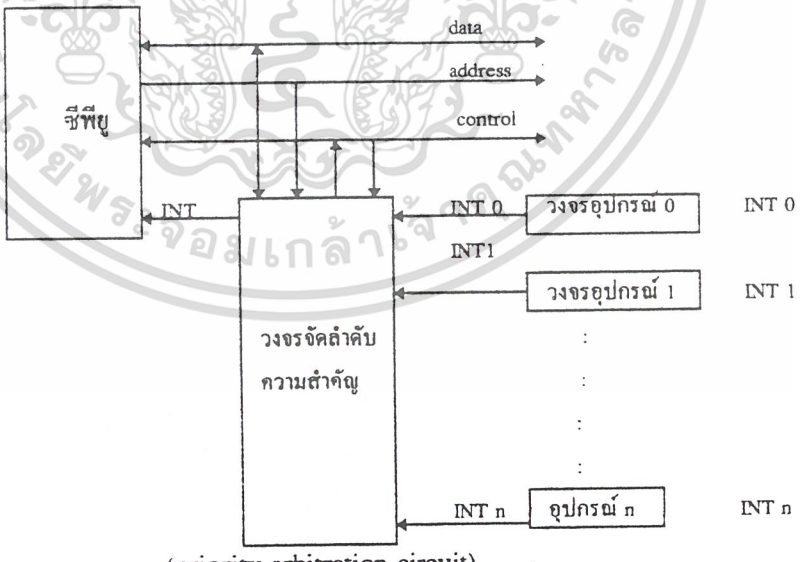
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่เก็บไว้กลับมาแล้วกระโดดกลับมายังตำแหน่งเดิมก่อนหน้าจะถูกอินเตอร์รัพท์ กลไกการเก็บสถานะเดิมก่อนอินเตอร์รัพท์และกลไกการกลับมาสู่โปรแกรมเดิมให้ศึกษารายละเอียดของซีพียูแต่ละตัว ซึ่งจะแตกต่างกันออกไป

2.4.6 การจัดลำดับความสำคัญของการอินเตอร์รัพท์

สัญญาณอินเตอร์รัพท์เป็นวิธีหนึ่งที่วงจรภายนอกสามารถติดต่อกับซีพียูได้ตามรูปที่ 2.7 ในระบบจริงๆ ถ้าผู้ส่งคือซีพียูสัญญาณอินเตอร์รัพท์สามารถทำหน้าที่แทน DONE ได้ แม้ว่าวงจรภายนอกที่สามารถกำเนิดสัญญาณอินเตอร์รัพท์ได้จะมีมากมายในระบบใดๆก็ตามแต่ซีพียูสามารถแยกแยะออกได้ว่า วงจรใดเป็นผู้กำเนิดสัญญาณอินเตอร์รัพท์ขึ้นนั้นได้เพราะแต่ละวงจรจะต้องให้อินเตอร์รัพท์เวคเตอร์ไม่เหมือนกัน ทำให้ซีพียูกระโดดไปทำ interrupt service rountine ต่างๆกัน โดยแต่ละโปรแกรมนี้จะถูกเขียนให้ทำงานรับใช้สำหรับอุปกรณ์นั้นๆ

แต่ถึงแม้ว่าซีพียูจะสามารถแยกออกว่าใครเป็นตัวให้สัญญาณอินเตอร์รัพท์แล้วก็ตาม ในทางปฏิบัติแล้ว เมื่ออุปกรณ์ต่างๆ ต้องการจะติดต่อกับซีพียูพร้อมๆกัน จะเกิดปัญหาขึ้นทันทีว่าซีพียูจะตอบรับใครก่อน ในระบบจริง จึงต้องมีการจัดให้ความสำคัญต่ออุปกรณ์ไม่เท่ากัน (proiority arbitration) ลักษณะของระบบที่มีการจัด priority จะเป็นดังรูปที่ 2.7



(priority arbitration circuit)

รูปที่ 2.7 แสดงให้เห็นระบบการจัดลำดับความสำคัญ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในระบบนี้อุปกรณ์ภายนอกไม่ได้ต่อสัญญาณ $\overline{INT}$ ของตัวเองเข้าซีพียูโดยตรง แต่จะผ่านวงจรจัดลำดับความสำคัญถ้าอุปกรณ์ทุกตัวต้องการจะส่งสัญญาณอินเตอร์รัพท์ ($\overline{INT}$) เข้าซีพียูพร้อมๆกัน วงจรจัดลำดับความสำคัญจะผ่านสัญญาณอินเตอร์รัพท์และ interrupt vector ของอุปกรณ์ที่มีความสำคัญ (priority) สูงสุดไปยังซีพียู และซีพียูจะตอบรับและใช้ (service) อินเตอร์รัพท์อันนั้นให้จบสิ้นก่อน อินเตอร์รัพท์ของอุปกรณ์ที่สำคัญรองลงมาจึงจะได้รับความสนใจ

การจัดระบบอินเตอร์รัพท์ไม่ว่าจะเป็นการตอบรับหรือกลไกการกระโดด หรือกลไกการเก็บสถาน (status) ของซีพียูแต่ละตัวแตกต่างกันออกไป แล้วแต่ว่าบริษัทผู้ออกแบบตัวไมโครโปรเซสเซอร์มาอย่างไร ความแตกต่างกันนี้จะมีผลต่อความคล่องตัวของแต่ละระบบสำหรับงานแต่ละงานไป

2.4.7 การอินเตอร์รัพท์ของไมโครโปรเซสเซอร์ Z-80

Z-80 มีขาอินพุทสำหรับอินเตอร์รัพท์ได้ 2 ขา คือ อินเตอร์รัพท์แบบมาสเคเบิ้ล ($\overline{INT}$) และแบบนอนมาสเคเบิ้ล ($\overline{NMI}$) สำหรับการอินเตอร์รัพท์แบบมาสเคเบิ้ลสามารถให้ CPU กระโดดข้ามไปทำงานที่ส่วนต่างๆ ของโปรแกรมได้ ส่วนการอินเตอร์รัพท์แบบนี้จะเกิดขึ้นทันทีโดยที่ผู้ใช้ไม่สามารถหยุดยั้งหรือดิสเอเบิ้ลได้ด้วยซอฟต์แวร์

ก. นอนมาสเคเบิ้ลอินเตอร์รัพท์ (non-maskable interrupt)

การอินเตอร์รัพท์จะป้อนเข้าทางขา $\overline{NMI}$ ของซีพียูโดยที่ลอจิกของการแอคทีฟจะเกิดขึ้นด้วย ลอจิก "0" เมื่อซีพียูรับสัญญาณนี้แล้ว ซีพียูจะไม่กระทำคำสั่งถัดไป โดยจะตอบสนองต่อการอินเตอร์รัพท์โดยการเปลี่ยนข้อมูลให้ PC เป็น 0066H เพื่อให้สภาวะการเฟทซ์ครั้งต่อไปเกิดขึ้นที่แอดเดรสนี้ การตอบสนองในกรณีของนอนมาสเคเบิ้ลซีพียูถือว่าเป็นส่วนสำคัญที่สุดที่จะต้องกระทำโดยคำสั่งทางซอฟต์แวร์หรือขบวนการอื่นใด ไม่สามารถเข้ามาหยุดยั้งการอินเตอร์รัพท์ได้ การอินเตอรรัพท์ด้วยวิธีนี้จึงมักใช้กรณีว่ามีเหตุการณ์สำคัญที่สุด

จากหลักการทั่วไปของการอินเตอร์รัพท์ ค่าเดิมของ PC ที่ซีพียูจะกระทำต่อไปในโปรแกรมหลักจะได้รับการเก็บรักษาไว้ในสแตค และการกลับสู่โปรแกรมหลักเดิมนั้นกระทำได้ด้วยคำสั่ง RETN (return from nonmaskable)

ข. การอินเตอร์รัพท์แบบมาสเคเบิ้ล (maskable interrupt)

ในการอินเตอร์รัพท์แบบนี้ ผู้ใช้ต้องอินเตอร์รัพท์ผ่านเข้ามาทางขา $\overline{INT}$ ของซีพียู เมื่อซีพียูได้รับสัญญาณนี้แล้ว ซีพียูจะตรวจสอบสถานะของตัวเองว่าจะตอบสนองต่อการอินเตอร์รัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือไม่ การที่จะตอบสนองหรือไม่สามารถโปรแกรมได้ด้วยซอฟท์แวร์ ดังนั้นผู้โปรแกรมจึงสามารถกำหนดสภาวะการอินเตอร์รัพท์ให้ได้รับการตอบสนองตรงส่วนใดของโปรแกรมได้ การอินเตอร์รัพท์ด้วยวิธีนี้สามารถแยกแยะการอินเตอร์รัพท์ออกเป็น 3 โหมด ซึ่งการแยกโหมดก็ทำได้ด้วยการใช้ซอฟต์แวร์หรือคำสั่งนั่นเอง โดยแยกเป็นโหมด 0 (IM0) โหมด (IM_1) โหมด (IM_2)

1.การอินเตอร์รัพท์โหมด 0

ในโหมดนี้ผู้ออกแบบซีพียู Z-80 ได้ออกแบบมาเพื่อ Z-80 ทำการตอบสนองต่อสัญญาณอินเตอร์รัพท์คือ เมื่อมีการอินเตอร์รัพท์เกิดขึ้นและโปรแกรมทางซอฟท์แวร์ได้เซทโหมดการอินเตอร์รัพท์เป็นโหมด 0 (IM0) และอีนาเบิ้ลการอินเตอร์รัพท์ไว้ การทำงานของซีพียูจะหยุดการเฟทช์คำสั่งถัดไป แต่จะตอบรับการอินเตอร์รัพท์ด้วยการส่งสัญญาณตอบรับ M_1 กับ $\overline{IORQ}$ อ่านข้อมูล 1 ไบท์ เข้ามาทางบัสข้อมูล ข้อมูล 1 ไบท์นี้ได้รับการส่งมาจากอุปกรณ์ I/O ที่อินเตอร์รัพท์ เมื่อซีพียูอ่านข้อมูลไบท์นี้มา ซีพียูจะถือว่าเป็นออพโค้ดทันทีและจะตีความหมายในการทำงาน คำสั่งขนาด 1 ไบท์ที่เหมาะในการใช้การอินเตอร์รัพท์ก็คือคำสั่ง RST เมื่อซีพียูเอ็กซีคิ้วคำสั่ง RST ซีพียูจะเก็บข้อมูลเดิมใน PC ไว้ที่สแตค แล้วเปลี่ยนค่า PC ใหม่ตามลักษณะของการ RST นั้นๆ ดังนั้นซีพียูจะกระโดดข้ามไปทำงานตามที่ต้องการของการอินเตอร์รัพท์ได้

การตอบสนองต่อการอินเตอร์รัพท์ด้วยการส่งสัญญาณ $\overline{M1}$ และ $\overline{IORQ}$ ทำการเฟทช์ข้อมูลจาก I/O มาเอ็กซีคิ้วอาจทำได้โดยการให้ I/O ส่งคำสั่งอื่นที่ไม่ใช่คำสั่ง RST (คำสั่งไบท์เดียว) แต่เป็นคำสั่งหลายไบท์ เช่นคำสั่ง CALL ซึ่งเป็นคำสั่งขนาด 3 ไบท์ โดย I/O ส่งข้อมูลขณะตอบรับการอินเตอร์รัพท์ ($\overline{M1}+\overline{IORQ}$) ด้วยข้อความ CDH(CALL) เมื่อซีพียูเอ็กซีคิ้ว คำสั่งนี้ก็จะทราบว่าเป็นคำสั่ง CALL ซึ่งยังต้องการข้อมูลเพิ่มอีก 2 ไบท์ ซีพียูจะสร้างแมชีนไซเคิลต่อไปในการอ่านหน่วยความจำเหมือนกระทำคำสั่ง CALL จริงๆ ในกรณีนี้เราจะต้องใช้วงจรทางฮาร์ดแวร์ประกอบเพื่อให้ I/O ส่งข้อมูล 2 ไบท์ตามไปให้ได้ ซึ่งการอินเตอร์รัพท์ด้วยวิธีนี้อาจกำหนดได้ด้วยเทคนิคที่แตกต่างกันตามการออกแบบของแต่ละบุคคล

บริษัทอินเทลได้ออกแบบไอซีที่ใช้ในการควบคุมการอินเตอร์รัพท์และจัดลำดับความสำคัญในการอินเตอร์รัพท์ขึ้น เช่น IC เบอร์ 8214

การใช้เวลาในการตอบสนองต่อการอินเตอร์รัพท์ด้วยการส่ง $\overline{M1}$ และ $\overline{IORQ}$ นี้จะกระทำเหมือนการกระทำในช่วงเวลาแมชชีนไซเคิล M_1 แต่ซีพียูจะใช้เวลายาวนานกว่าแมชชีนไซเคิล M_1 โดยปกติโดยการเพิ่ม Tw ขึ้นสองไซเคิล การเพิ่ม Tw ขึ้นก็เพื่อให้เวลาแก่อุปกรณ์ I/O ในการกระทำขบวนการเดซี่เชน (daisy chain) ในการจัดลำดับความสำคัญของการอินเตอร์รัพท์

โดยปกติการเซทให้อยู่ในรูปในโหมดนี้กระทำได้ด้วยการสั่งทางซอฟต์แวร์ด้วยคำสั่ง IM_1 และการกำหนดให้รับการอินเตอร์รัพท์ได้หรือไม่กระทำได้ด้วยคำสั่ง EI และ EI และเพื่อให้การ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้นำไปดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารนี้ทุกครั้งที่มีการนำไปใช้

ทำงานเหมือนอยู่ในโหมดของ 8080 ทุกประการ ดังนั้นหลังจากการรีเซทซีพียู ซีพียูจะเซทตัวเองให้อยู่ในโหมด 0 นี้โดยอัตโนมัติ

2. อินเตอร์รัพท์โหมด 1

ในโหมดนี้ผู้โปรแกรมสามารถกำหนดได้ด้วยคำสั่ง IM_1 การอินเตอร์รัพท์ในโหมดนี้จะกระทำเหมือนกันกับนอนมาสเคเบิ้ล อินเตอร์รัพท์ทุกประการแต่จะแตกต่างกันก็เพียงการรีสตาร์ทมาที่ตำแหน่ง 0038H (กรณีนอนมาสเคเบิ้ลไปกระทำที่ 0066H) และจำนวนคาบเวลาที่ใช้ในโหมด 1 นี้ มากกว่าในนอนมาสเคเบิ้ล ทั้งนี้เพราะในโหมดนี้ซีพียูต้องเพิ่ม Tw ขึ้นอีก 2 สเตท การอินเตอร์รัพท์ในโหมดนี้สามารถดิสเอเบิ้ลได้ด้วยซอฟต์แวร์

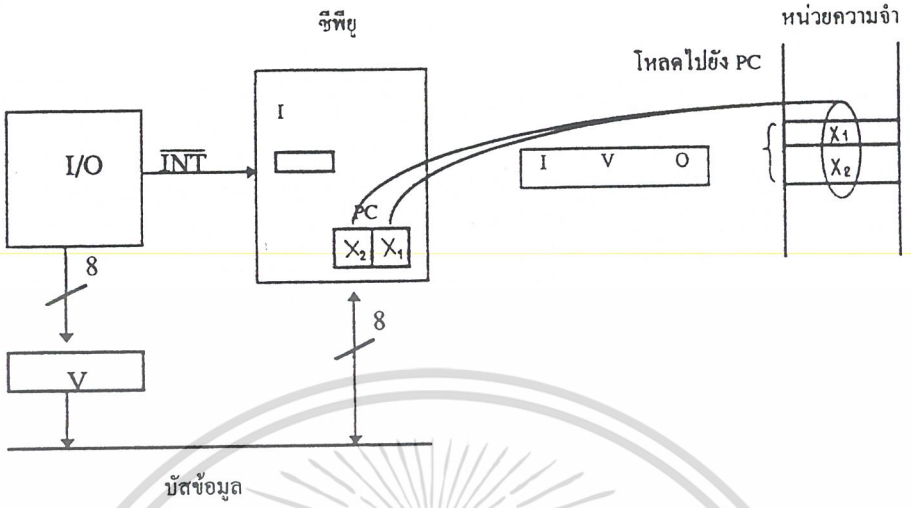
3. การอินเตอร์รัพท์โหมด2

ในโหมดนี้ทำให้ Z-80 มีขีดความสามารถเกี่ยวกับการอินเตอร์รัพท์สูงขึ้นมาก การอินเตอร์รัพท์ในโหมดนี้กำหนดได้ด้วยคำสั่ง IM2 และการจะให้ซีพียูตอบสนองหรือไม่ก็ยังใช้คำสั่งโปรแกรมได้เช่นกัน โดยใช้คำสั่ง EI และ DI

การกระโดดไปยังโปรแกรมอื่นในขณะเมื่อซีพียูตอบสนองต่อการอินเตอร์รัพท์ ในกรณีนี้จะไปที่ใดก็ได้ โดยใช้แอดเดรสในการกระโดดนี้ได้ถึง 16 บิท ซึ่งทำให้การอินเตอร์รัพท์ได้สะดวกและรวดเร็วขึ้นอีกมาก

กรรมวิธีการตอบสนองการอินเตอร์รัพท์ในกรณีนี้คือ เมื่อมีสัญญาณ $\overline{INT}$ เข้ามาและซีพียูตรวจสอบได้ในตอนสุดท้ายของคำสั่ง ซีพียูจะตอบสนองด้วยการส่ง $\overline{M1}$ กับ $\overline{IORQ}$ ออกไป สัญญาณ $\overline{M1}$ กับ $\overline{IORQ}$ จะเป็นตัวบอกอุปกรณ์ที่ส่ง $\overline{INT}$ มาส่งให้ข้อมูลขนาด 1 ไบท์เข้าทางบัสข้อมูล สำหรับในโหมดนี้ข้อมูลที่ส่งจาก I/O ขนาด 1 ไบท์ที่เข้าทางบัสนี้ซีพียูถือว่าเป็นเวคเตอร์ของการอินเตอร์รัพท์ โดยข้อมูลในบิท D0 จะต้องเป็น "0" ส่วนบิทอื่นจะเป็นอะไรก็ได้ซีพียูจะนำเวคเตอร์นี้ไปเป็นข้อมูลแอดเดรสไบท์ที่มีนัยสำคัญต่ำ และข้อมูลจากรีจิสเตอร์ I ภายในซีพียูเป็นข้อมูลไบท์ที่มีนัยสำคัญสูง เรียกหาไปยังข้อมูลในหน่วยความจำเพื่ออ่านข้อมูลในหน่วยความจำ 2 ไบท์ติดกันนั้นมาโหลดใส่ PC หรือเป็นการอ้างแอดเดรสให้ PC แบบโดยทางอ้อมนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8

สำหรับกรณีนี้จะเห็นได้ว่าเราสามารถเซทค่าในรีจิสเตอร์ I ให้เป็นอะไรก็ได้และ I/O จะส่งข้อมูลเวคเตอร์มาประกอบรวมเพื่อบอกถึงค่าตารางในหน่วยความจำที่ต้องการ ด้วยวิธีการเช่นนี้จะทำให้กระโดดไปยังโปรแกรมย่อยเกิดขึ้นที่ใดก็ได้

อุปกรณ์ไอซีที่ทำงานร่วมโดยใช้อินเตอร์รัพท์โหมดนี้มีหลายเบอร์ด้วยกัน เช่น Z-80PIO,Z-80CTC,Z-80SIOฯลฯ ซึ่งอุปกรณ์อินเตอร์เฟสเหล่านี้สามารถส่งเวคเตอร์ให้กับซีพียูได้อย่างมีประสิทธิภาพ

การอินเตอร์รัพท์ในโหมดนี้ซีพียูต้องการเวลาถึง 19 สเตท โดยใช้ 7 สเตทในการเฟทช์เวคเตอร์ 6 สเตท ในการเก็บข้อมูล PC เดิมในสเตท และ 6 เป็นการอ่านข้อมูลจากหน่วยความจำมายัง PC

2.4.8 การอินาเบิ้ลและดิสเอเบิ้ลอินเตอร์รัพท์

สถานภาพต่อการตอบสนองอินเตอร์รัพท์ ซีพียูจะทำการตรวจสอบที่ IFF หรืออินเตอร์รัพท์ฟลิบฟลอบในกรณี Z-80 จะมีฟลิบฟลอบที่แสดงสถานภาพในการอินเตอร์รัพท์อยู่ 2 บิท คือ IFF1 และ IFF2 โดยทั้งสองบิทนี้จะได้รับการเกี่ยวข้องด้วยจากการกระทำของซีพียู หรือของผู้โปรแกรมโดยโปรแกรมคำสั่งเข้ามาเซทหรือรีเซทฟลิบฟลอบ

โดยหลักการ IFF1 ทำหน้าที่เป็นตัวกำหนดการอีนาเบิ้ลหรือดิสเอเบิ้ล การอินเตอร์รัพท์โดยที่ IFF2 จะมีหน้าที่หลักในการเก็บข้อมูลชั่วคราวของ IFF1

เอกสารนี้มีลิขสิทธิ์ ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในขณะที่มีการรีเซทซีพียูทางขารีเซท ทั้ง IFF1 และ IFF2 จะได้รับการรีเซทไปด้วย การแสดงสถานะ "0" ของ IFF1 จะเป็นการดิสเอเบิ้ลการอินเตอร์รัพท์ กล่าวคือ IFF1 = "0" ซีพียูจะไม่รับรู้ต่อการอินเตอร์รัพท์ที่เข้ามาทาง $\overline{INT}$ การเซท IFF สามารถกระทำได้ด้วยคำสั่ง EI โดยสถานภาพของ IFF1 และ IFF2 ที่จะเปลี่ยนแปลงเนื่องจากการกระทำต่างๆ สรุปได้ดังตาราง

ตารางที่ 1 แสดงสถานะสภาพของ IFF1 และ IFF2

การกระทำ	IFF1	IFF2	
รีเซทซีพียู	0	0	
DI	0	0	
EI	0	0	
LD A,I	●	●	IFF1 → แฟลกพาริตี้
LD A,R	●	●	IFF2 → แฟลกพาริตี้
เมื่อกระทำ NMI	0	●	
RETN	IFF2	●	IFF2 → IFF1
เมื่อกระทำ INT	0	0	
RETI	●	●	

" ● " หมายถึงไม่เปลี่ยนแปลง

จากตารางพอสรุปได้ว่า การกำหนดอีนาเบิ้ลจะต้องทำการเซทฟลิปฟลอป IFF1 หรือกล่าวอีกนัยหนึ่ง การยอมให้เกิดการอินเตอร์รัพท์ใดก็ต้อเมื่อซีพียูตรวจสอบ IFF1 ว่าอยู่ในสภาวะอีนาเบิ้ลหรือไม่

การตรวจสอบสภาวะการอินเตอร์รัพท์ว่าได้รับการอีนาเบิ้ลหรือดิสเอเบิ้ล ในบางกรณีทำได้โดยการตรวจสอบพาริตี้ นั่นคือการกระทำคำสั่ง LD A,I และ LD A,R จะมีผลทำให้ค่าของ IFF2 ไปเก็บยังพาริตี้แฟลก

เมื่อมีการอินเตอร์รัพท์แบบ NMI ขึ้นจะเกิดสภาวะดิสเอเบิ้ลทันทีที่ IFF1 กล่าวคือมันจะได้รับการรีเซท นั่นคือระหว่างการอินเตอร์รัพท์แบบ NMI นี้ การอินเตอร์รัพท์แบบอื่นจะเข้ามาอีกไม่ได้ ซีพียูจะไม่รับรู้ทั้งสิ้น สถานะเดิมก่อนการอินเตอร์รัพท์แบบ NMI จะได้รับการเก็บรักษาไว้ที่ IFF2 ซึ่งระหว่างนี้จะได้รับการตรวจสอบได้เช่นกันว่าก่อนการเข้าสู่โหมด NMI สภาวะการเป็น

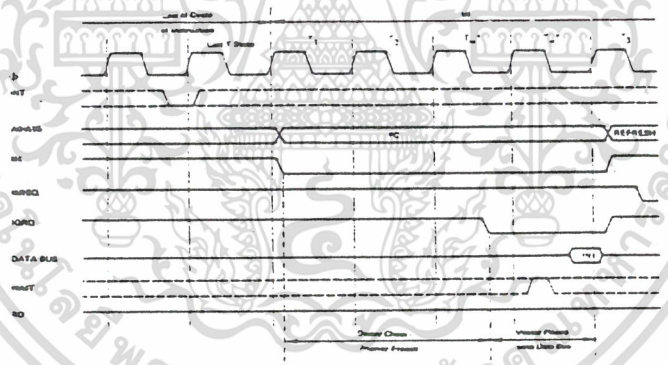
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อย่างไร และเมื่อกลับเข้าโปรแกรมหลักด้วยคำสั่ง RETN จะทำให้สถานะเดิมเก็บรักษาไว้ใน IFF1 ใหม่

การตอบสนองต่อ $\overline{INT}$ ก็จะทำให้ IFF1 และ IFF2 ได้รับการรีเซทเช่นเดียวกัน ดังนั้นเมื่อมีการ INT สัญญาณ $\overline{INT}$ ครั้งต่อไปจะไม่สามารถได้รับการตอบสนองจนกว่าจะมีคำสั่ง EI $\overline{INT}$ จึงจะได้รับการตอบสนองนั่งเอง ส่วนการเกซิคิ้วคำสั่ง RETI จะไม่มีผลทำให้ IFF1 และ IFF2 เกิดการเปลี่ยนแปลง

2.4.9 ไดอะแกรมเวลาสำหรับการตอบสนองต่อการอินเตอร์รัพท์ของซีพียู

การตอบสนองต่อการอินเตอร์รัพท์ของซีพียูมีลักษณะสำคัญที่เราจะต้องพิจารณาในแง่ของไดอะแกรมเวลา เพื่อว่าการเชื่อมอุปกรณ์ I/O ในแง่ฮาร์ดแวร์จะได้เป็นไปอย่างถูกต้อง ลักษณะการตอบสอนงแสดงให้เห็นดังรูปที่ 2.9



รูปที่ 2.9 แสดงไดอะแกรมเวลาของการตอบสนองต่อการอินเตอร์รัพท์

2.4.10 สรุปการตอบสนองจะเกิดตามลำดังดังนี้

1. อุปกรณ์ I/O ส่งสัญญาณอินเตอร์รัพท์มา โดยการทำให้ขา $\overline{INT}$ อยู่ในลอจิก "0"

2. CPU จะตอบสนองต่อการอินเตอร์รัพท์ด้วยการส่ง $\overline{M1}$ ลอจิก "0" ก่อนเพื่อให้อุปกรณ์ I/O เตรียมจัดการเกี่ยวกับขบวนการจัดลำดับก่อน แล้ว $\overline{IORQ}$ จากซีพียูจึงส่งตามมา การให้ $\overline{IORQ}$ มาทีหลัง $\overline{M1}$ ก็เนื่องจากให้ช่วงเวลาดีเลย์ระหว่างนี้เป็นตัวกำหนด IEI และ IEO ของการกระทำเดซีเชน เมื่อ $\overline{IORQ}$ ออกไปที่ I/O และถ้า IE1 ของอุปกรณ์นั้นเป็นลอจิก "1" ตัว I/O นั้นก็

เอกสารนี้ ... ไม่ว่ากรณีใดๆ ทั้งสิ้น ... ห้ามมิให้ทำซ้ำ ดัดแปลง เผยแพร่ หรือจำหน่าย ... ใช้

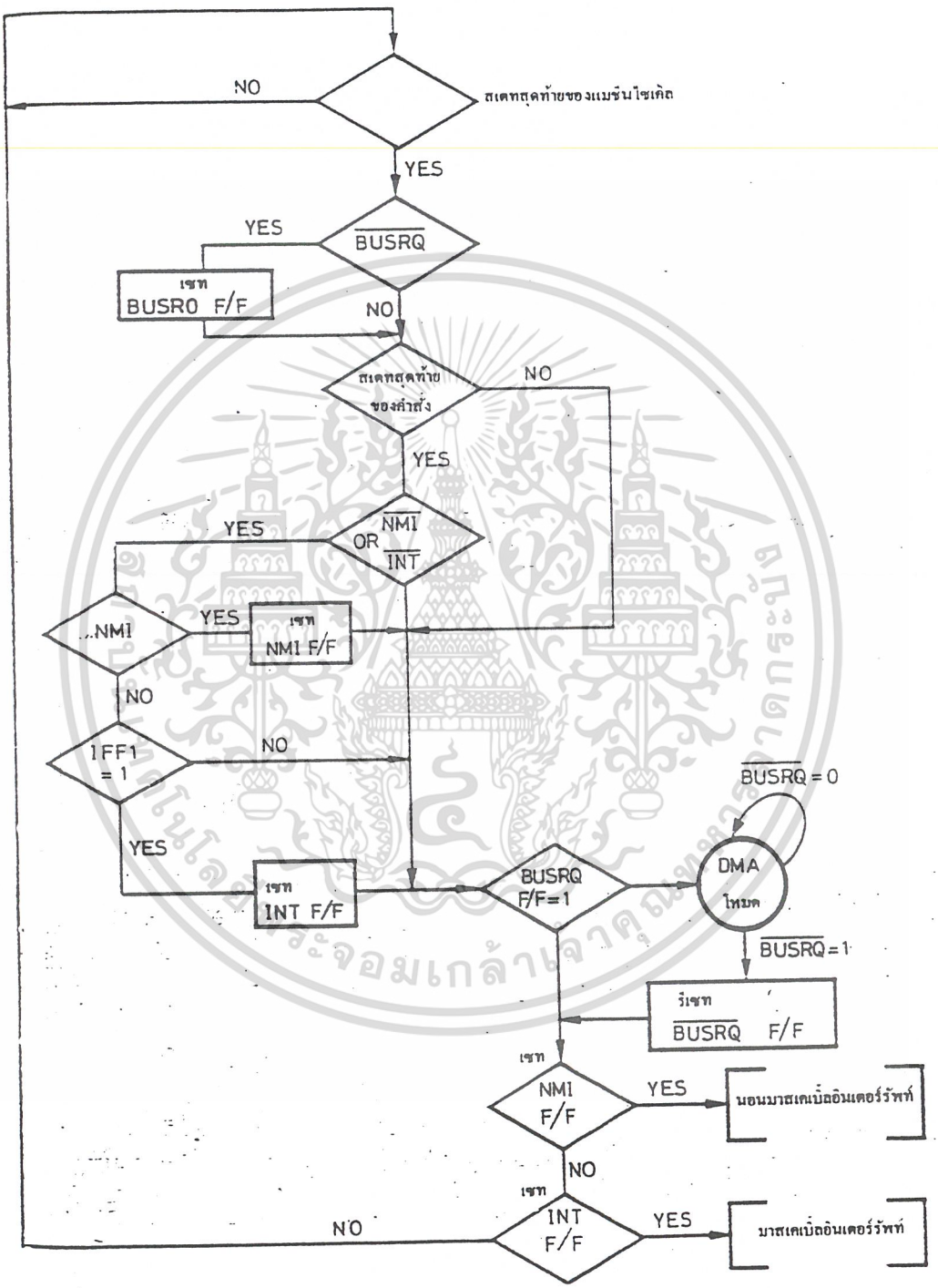
จะส่งเวคเตอร์เข้ามาทางบัสข้อมูล และซีพียูจะใช้ $\overline{IORQ}$ และ $\overline{M1}$ เป็นพัลซ์สั่งอ่านเข้าทางบัสข้อมูล และการทำเดซีเชน อุปกรณ์ที่ส่งอินเตอร์รัพท์ได้ จะให้ IEO เป็นลอจิก "0" เพื่อป้อนเข้า IEI ของตัวอื่น เป็นการบล็อกการส่งเวคเตอร์จาก I/O ตัวอื่น

3. การเคลียร์อินเตอร์รัพท์ โดยปกติอุปกรณ์ I/O จะแอคทีฟในการส่งอินเตอร์รัพท์ได้ต้องให้ IEI = 1 และ IEO = 0 ดังนั้น เมื่อเสร็จสิ้นการกระทำการอินเตอร์รัพท์แล้วสถานะของการ I/O จะต้องเคลียร์ตัวเองได้ นั่นคือเมื่อมีการกระทำคำสั่ง RETI(ED 4D) ก็จะมีการบอกให้อุปกรณ์ I/O ทราบว่าจบสิ้นการอินเตอร์รัพท์แล้ว เพื่อทำให้ IEO เป็น "1" เพื่ออีนาเบิ้ลตัว I/O ที่มีความสำคัญน้อยกว่าความสัมพันธ์ของ $\overline{INT}$,$\overline{NMI}$ และ $\overline{BUSRQ}$

ไดอะแกรมข้างล่างนี้เป็นไดอะแกรมการจัดลำดับการทำงานภายใน ในการตรวจสอบการอินเตอร์รัพท์ทั้งแบบ $\overline{INT}$ และ $\overline{NMI}$ รวมทั้งขบวนการขอใช้บัส ($\overline{BUSRQ}$) โดยมีลักษณะการทำงานที่น่าสนใจดังนี้

1. การตรวจสอบ $\overline{INT}$ และ $\overline{NMI}$ ซีพียูจะทำการตรวจสอบทุกๆ ไซเคิลสุดท้ายของสัญญาณนาฬิกาของแต่ละคำสั่ง
2. $\overline{BUSRQ}$ จะได้รับการตรวจสอบทุกๆ ตอนสุดท้ายของแมชชีนไซเคิล
3. เมื่อ CPU อยู่ในสภาวะ DMA จะไม่ยอมรับรู้การขอ $\overline{INT}$ หรือ $\overline{NMI}$
4. การจัดการตอบสนองจะเป็นไปตามลำดัง ดังนี้ $\overline{BUSRQ}$ $\overline{NMI}$ และ $\overline{INT}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 แสดงไดอะแกรมเวลาของการตอบสนองการอินเตอร์รัพท์

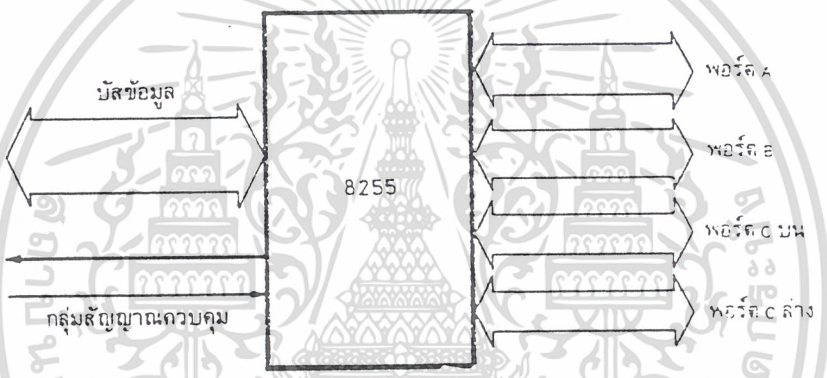
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

ไอซี 8255 พอร์ตข้อมูลแบบขนานและการอินเตอร์เฟส

3.1 ไอซี 8255

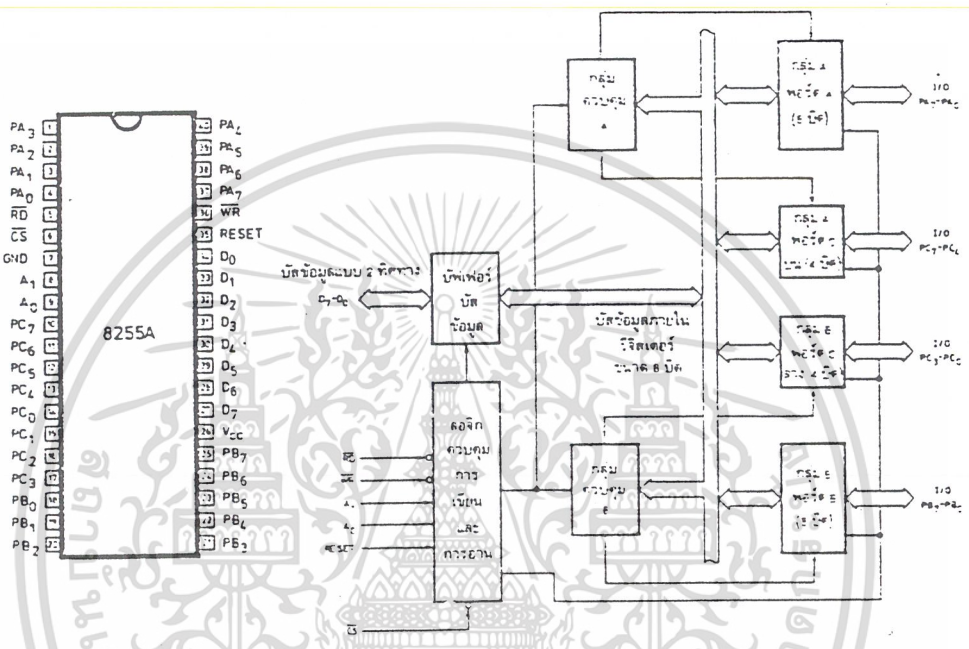
8255 เป็นไอซีที่มี 40 ขา ได้รับการออกแบบมาให้มีสัญญาณเพื่อเชื่อมต่อกับ 8080 แต่สัญญาณนี้พอเหมาะที่จะใช้กับ Z-80 ได้ดีเช่นเดียวกัน 8255 เป็นไอซี่ที่ต่อเป็นพอร์ตให้ไมโครโปรเซสเซอร์ได้ 3 พอร์ต โดยมีโครงสร้างได้ดังรูปที่ 3.1



รูปที่ 3.1 แผนผังโครงสร้างของไอซี 8255

การเรียกพอร์ตของ 8255 จะเรียกพอร์ตต่าง ๆ ว่า พอร์ต A พอร์ต B และ พอร์ต C แยกเป็น 2 ส่วนคือ พอร์ต C ส่งหรือตั้งแต่ PC_0 - PC_1 มีจำนวน 4 บิต และพอร์ต C บนหรือตังแต่ง PC_4 - PC_7 ที่พิเศษคือ พอร์ตทุกพอร์ตเป็นได้ทั้งพอร์ตอินพุทและเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 แผนผังวงจรภายในและการจัดขาของไอซี 8255

รูปที่ 3.2 เป็นแผนผังภายในของไอซีและการจัดว่างของไอซี 8255 การทำงานของวงจรจะใช้สัญญาณควบคุมมาจากไมโครโปรเซสเซอร์มาควบคุมการทำงาน โดยไมโครโปรเซสเซอร์จะส่งคำสั่งมาโปรแกรมการทำงานหรือกำหนดรูปแบบของพอร์ตให้เป็นพอร์ตอินพุทหรือเอาท์พุทได้

3.2 ขาต่าง ๆ ของ 8255

D_0 - D_7 เป็นขาที่ข้อมูลอินพุทเอาท์พุทจะต้องผ่านเข้าออกจากส่วนนี้ D_0 - D_7 จึงต่อเข้ากับระบบบัสของไมโครโปรเซสเซอร์ เพื่อให้ไมโครโปรเซสเซอร์สามารถอ่านหรือเขียนข้อมูลจากพอร์ตผ่านบัสนี้

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$\overline{CS}$ (สัญญาณเลือกชิป) ขานี้เป็นขาอินพุทที่จะรับสัญญาณจากภายนอกเพื่อเลือกชิป 8255 โดยเมื่อขานี้เป็น "0" จะทำให้ 8255 ต่อเข้ากับระบบบัสของไมโครโปรเซสเซอร์เพื่อให้ไมโครโปรเซสเซอร์เขียนหรืออ่านข้อมูลจากพอร์ตได้

$\overline{RD}$ (สัญญาณการอ่าน) เป็นสัญญาณอินพุทที่ต้องส่งมาจากซีพียูเมื่อสัญญาณที่ขานี้เป็น "0" และสัญญาณ CS เป็น "0" ด้วย ไอซี 8255 จะทำตัวให้ซีพียูอ่านข้อมูลจากบัสในขณะที่เป็นพอร์ตอินพุท

$\overline{WR}$ เป็นสัญญาณการเขียน จะแอคตีฟเมื่อสัญญาณ WR และสัญญาณ CS เป็น "0" สัญญาณนี้จะมาจากซีพียูเมื่อต้องการเขียนข้อมูลลงบนพอร์ตที่กำหนด

A_0 - A_1 (สัญญาณแอดเดรส)ลอจิกของสัญญาณทั้งสองจะถอดระหัสออกเป็น 4 รหัสเพื่อกำหนดรีจิสเตอร์ภายในเพื่อที่เชื่อมต่อกับพอร์อินพุทเอาท์พุทของ 8255)

RESET (สัญญาณรีเซตเป็นสัญญาณที่ส่งจากภายนอกเข้ามาทำการรีเซต 8255 เพื่อเคลียร์สถานะต่าง ๆ ของ 8255 ได้รับการรีเซต ก็จะกลับเข้าสู่โหมดอินพุทหรือทุกพอร์ตที่เป็นพอร์ตอินพุท

PA_0 - PA_7 เป็นสายสัญญาณที่เป็นพอร์ตของ 8255 ที่ชื่อพอร์ต A การเลือกพอร์ตจะเลือกโดยสัญญาณแอดเดรส A_0 - A_1

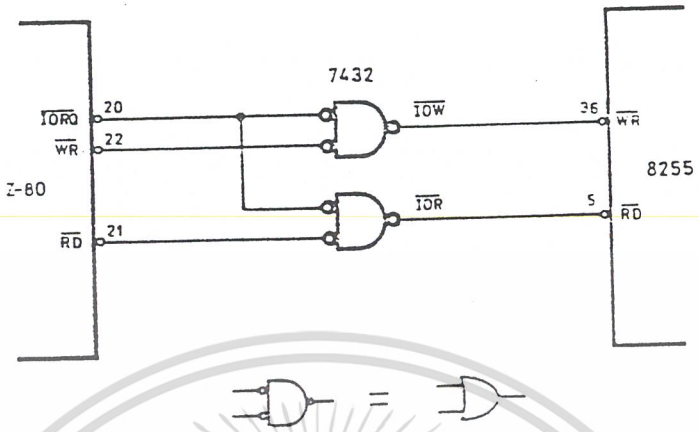
PB_0 - PB_7 เป็นสายสัญญาณที่เป็นพอร์ต C ของ 8255 การกำหนดพอร์ตนี้จะได้รับการกำหนดสัญญาณแอดเดรส A_0 - A_1 พอร์ต C นี้แบ่งเป็น 2 กลุ่ม คือกลุ่ม PC_0 - PC_3 และกลุ่ม PC_4 - PC_7

3.3 การเชื่อมต่อ 8255 กับ Z- 80

หากพิจารณาจากขาต่าง ๆ ของ 8255 จะเป็นว่า ส่วนขาควบคุมที่จะเชื่อมต่อเข้ากับบัสของไมโครโปรเซสเซอร์นั้นสามารถเชื่อมต่อกับบัสได้ง่าย ใจที่นี้จะลองต่อ 8255 เป็นพอร์ตให้กับ Z-80 สมมุติว่าต้องการ Z-80 มองเห็น 8255 เป็นพอร์ตหมายเลข 10H, 11H, 12H และ 13H การเชื่อมต่อสัญญาณการเลือกแอดเดรสของพอร์ตแสดงให้ดังรูปที่ 3.3

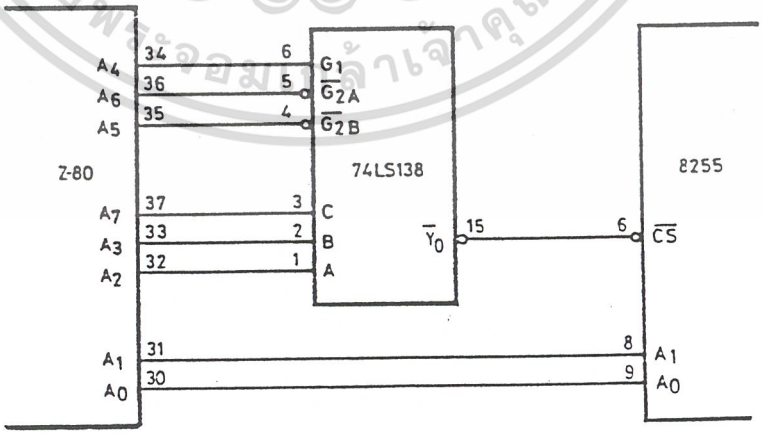
สังเกตุว่า ขณะสัญญาณ CS แอคตีฟนั่น สัญญาณแอดเดรส A_7 A_6 A_5 A_4 A_3 A_2 จะต้องมีข้อมูล 000100 และเมื่อรวมกับ A_1 - A_0 จะเป็น 000100XX พอร์ตที่เกิดขึ้นเมื่อ A_1 - A_0 เป็น 00 คือพอร์ต 10H และถ้า A_1 - A_0 เป็น 11 พอร์ตจะเป็น 13H การกำหนดพอร์ตของ Z-80 จะใช้ข้อมูลบนบัสแอดเดรส 8 เส้นคือ A_0 - A_7 เท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 การกำหนดแอดเดรสให้กับ 8255

สัญญาณที่จะควบคุม 8255 อีกชุดหนึ่งคือ สัญญาณควบคุมการเขียนและการอ่าน หาก สัญญาณ WR แอคตีฟเป็น “0” จะหมายถึง การเขียนพอร์ตหรือส่งข้อมูลให้พอร์ตเอาท์พุท แต่ถ้า สัญญาณ RD แอคตีฟเป็น “0” จะหมายถึง การอ่านพอร์ตหรือรับข้อมูลอินพุท

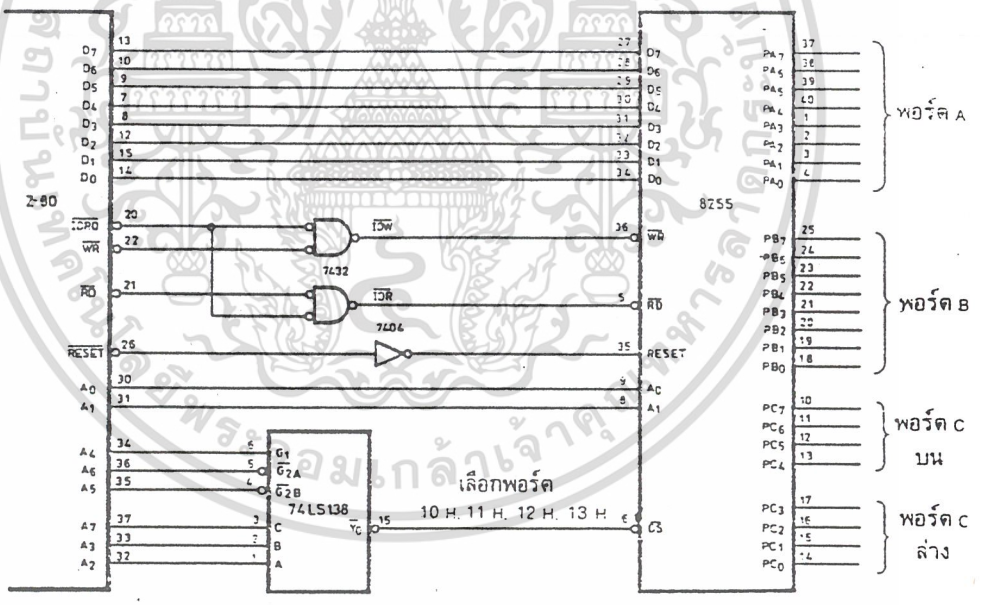


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.4 วงจรการเชื่อมต่อสัญญาณควบคุมการเขียนและการอ่าน 8255

เพื่อให้แยกกันได้ระหว่างการเขียนการอ่านหน่วยความจำกับการเขียนและการอ่านพอร์ตอินพุทเอาท์พุท จึงต้องใช้สัญญาณ IORQ จะหมายถึงสัญญาณ LOW หรือสัญญาณเขียนพอร์ต และถ้าสัญญาณ IORQ แอคตีฟพร้อมกับสัญญาณ RD จะหมายถึงสัญญาณ IOR หรือสัญญาณอ่านพอร์ต ซึ่งการเชื่อมต่อสายสัญญาณควบคุมการเขียนและการอ่านหน่วยความจะแสดงดังรูปที่ 3.4

เมื่อเชื่อมต่อเป็นระบบจะต้องมีการเชื่อมต่อสายสัญญาณ RESET ของ Z-80 รีเซต เราจะเริ่มจากให้พอร์ตของ 8255 เป็นอินพุท เพื่อว่าอาจมีข้อมูลบางส่วนไปออกที่พอร์ตเอาท์พุทในขณะที่เรายังไม่ต้องการ ซึ่งอาจจะทำให้ระบบอินเตอร์เฟสภายนอกมีปัญหาได้ เพราะเราไม่รู้สถานะที่แน่นอนของ 8255 ก่อนการโปรแกรมโหมดการทำงาน ระบบการเชื่อมต่อของ 8255 กับ Z-80 ทั้งระบบแสดงได้ดังรูปที่ 3.5



รูปที่ 3.5 การเชื่อมต่อ 8255 กับ Z-80 ทั้งระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 รีจิสเตอร์ภายในของ 8255

เมื่อต่อ 8255 เข้ากับ Z-80 ได้แล้ว สิ่งที่ผู้ใช้จะต้องทำคือ การโปรแกรมให้ 8255 ทำงานตามที่ต้องการจากการที่ 8255 มีพอร์ตที่ Z-80 มองเห็น 4 พอร์ต แต่ละตัวนี้จึงถูกกำหนดตัวแอดเดรสตามที่ตั้งไว้ เช่น ในกรณีที่เป็นแอดเดรส 10H 11H 12H และ 13H รีจิสเตอร์แต่ละตัวจะได้รับการกำหนดควบคู่กับสัญญาณ RD และ WR เพื่อแสดงความหมาย ตัวอย่างเช่น พอร์ต 10H เป็นพอร์ต A ซึ่งเมื่อเขียนที่พอร์ตนี้จะเป็นการส่งข้อมูลเอาท์พุท และถ้าอ่านพอร์ตนี้ก็จะเป็นการอินพุทข้อมูลจากพอร์ตดังนั้นสัญญาณของขาควบคุมที่ประกอบกันจะแสดงความหมายดังตารางที่ 3.1

ตารางที่ 3.1 สัญญาณควบคุมการกระทำของ 8255

RD	WR	A1	A0	ความหมาย
1	0	0	0	เขียนพอร์ต A ซึ่งเป็นข้อมูล
0	1	0	0	อ่านพอร์ต A ซึ่งเป็นข้อมูล
1	0	0	1	เขียนพอร์ต B ซึ่งเป็นข้อมูล
0	1	0	1	อ่านพอร์ต B ซึ่งเป็นข้อมูล
1	0	1	0	เขียนพอร์ต C ซึ่งเป็นข้อมูล
0	1	1	0	อ่านพอร์ต C ซึ่งเป็นข้อมูล
1	0	1	1	เขียนข้อมูล ซึ่งเป็นรหัสควบคุม
0	1	1	1	อ่านเข้ามา ซึ่งไม่มีความหมายใด

การใช้งาน 8255 จะต้องส่งรหัสควบคุม (control code) เข้าไปยังพอร์ตข้อมูลควบคุมเพื่อควบคุมการทำงานของ 8255 โดยใช้สัญญาณควบคุมพอร์ตหมายเลข 13H การควบคุมการทำงานของ 8255 มีหลายโหมด แต่ละโหมดจะแตกต่างกันออกไป การโปรแกรมให้ 8255 ทำงานจะทำได้ 3 โหมดคือ โหมด 1 และ โหมด 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

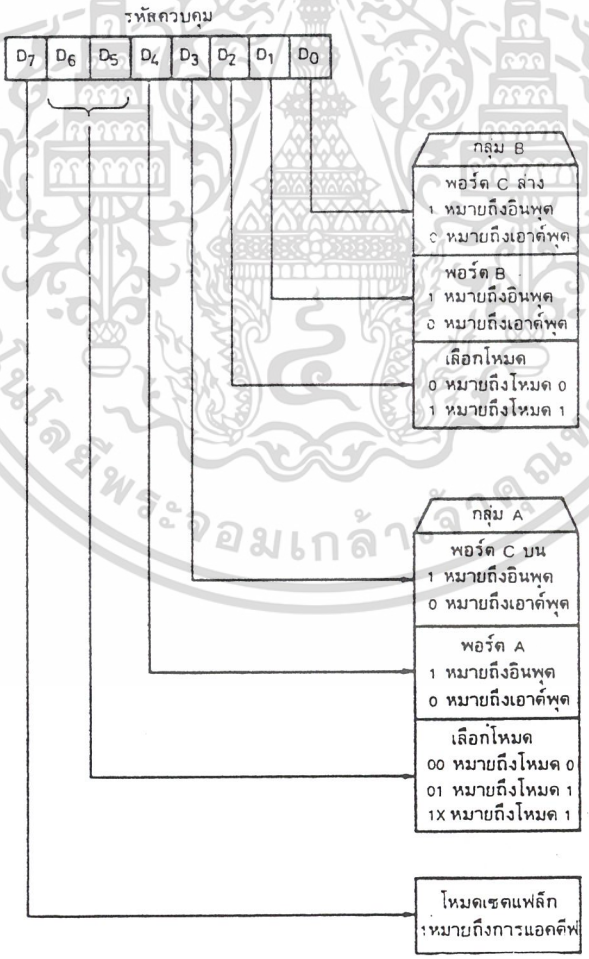
3.5 โหมด 0 หรืออินพุทเอาท์พุทแบบพื้นฐาน

การทำงานโหมดการทำงานจะต้องข้อมูลคำสั่งเข้าโปรแกรมในพอร์ตควบคุมของ 8255ซึ่งในที่นี้ใช้พอร์ตหมายเลข 13H แต่ละบิตของข้อมูลที่ส่งไปจะมีความหมายในตัวเอง ลักษณะความหมายของแต่ละบิตในรหัสควบคุมแสดงได้ดังรูปที่ 3.6

การโปรแกรม 8255 คือการให้ค่ารหัสบิตต่าง ๆ เข้าไปในรหัสควบคุมแล้วส่งไปยังรีจิสเตอร์ของพอร์ตควบคุม ความหมายของบต่าง ๆ มีดังนี้

บิต D_1 เป็นบิตที่แสดงรหัสคำสั่งควบคุม ถ้าบิตนี้เป็น “1” หมายถึงรหัสควบคุมนี้มีผลต่อการเปลี่ยนแปลงการเซตโหมดต่าง ๆ ของ 8255

บิต D_6 และ D_5 เป็นการเลือกโหมดของพอร์ต A ซึ่งมี 3 โหมดคือ โหมด 0 โหมด 1 ปละโหมด 2 ดังรูปที่ 3.6



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.6 ความหมายของบิตต่าง ๆ ในรหัสควบคุม

บิต D_4 ถ้ามีค่าเป็น “0” หมายถึงการกำหนดพอร์ต A เป็นเอาท์พุทถ้ามีค่าเป็น ”1” จะหมายถึงการกำหนดให้พอร์ต A เป็นอินพุท

บิต D_3 ถ้าที่บอกถึงการเซตของพอร์ต C บน ถ้าเป็น “0” จะทำให้พอร์ต C บนเป็นเอาท์พุท

บิต D_2 เป็นบิตที่บอกถึงการเซตโหมดของพอร์ต B ถ้าเป็น “0” หมายถึง การเลือกพอร์ต B เป็นโหมด 0 และถ้าเป็น “1” หมายถึง การเลือกพอร์ต B เป็นโหมด 1

บิต D_1 เป็นการกำหนดอินพุทเอาท์พุทของพอร์ต B ถ้าเป็น “0” หมายถึงเอาท์พุท ถ้าเป็น “1” หมายถึงอินพุท

การโปรแกรม 8255 จะเริ่มจากการเซตค่าที่ต้องการ แล้วเอาท์พุทไปยังพอร์ตควบคุม เช่น ถ้าต้องการโปรแกรมให้ทั้งพอร์ต A, B และ C เป็นพอร์ตเอาท์พุทหมด เราจะเลือก 8255 ให้อยู่ในโหมด 0 โดยมีรหัสควบคุมเป็น 100000000 หรือ 80H ดังนั้นจึงเขียนคำสั่งได้เป็น

LD A,80H หมายถึงกำหนดรหัสควบคุม

OUT (13H),A หมายถึงส่งไปยังพอร์ตควบคุม

หลังจากที่กระทำคำสั่ง OUT นี้ผ่านไปแล้ว พอร์ต A, B และ C จะเป็นพอร์ตเอาท์พุทหมด ซึ่งก็จะส่งข้อมูลจากซีพียูไปยังพอร์ตต่าง ๆ ได้ เช่น ถ้าต้องการส่งข้อมูล 8AH ไปยังพอร์ต A ข้อมูล 41H ไปยังพอร์ต B และข้อมูล 41H ไปยังพอร์ต B และข้อมูล 25H ไปยังพอร์ต C คำสั่งที่ให้คือ

LD A,80AH หมายถึงเลือกค่า 8AH

OUT (10H),A หมายถึง การส่งให้พอร์ต A

LD A,4H หมายถึงส่งให้พอร์ต B

LD A,25H หมายถึงเลือกค่า 25H

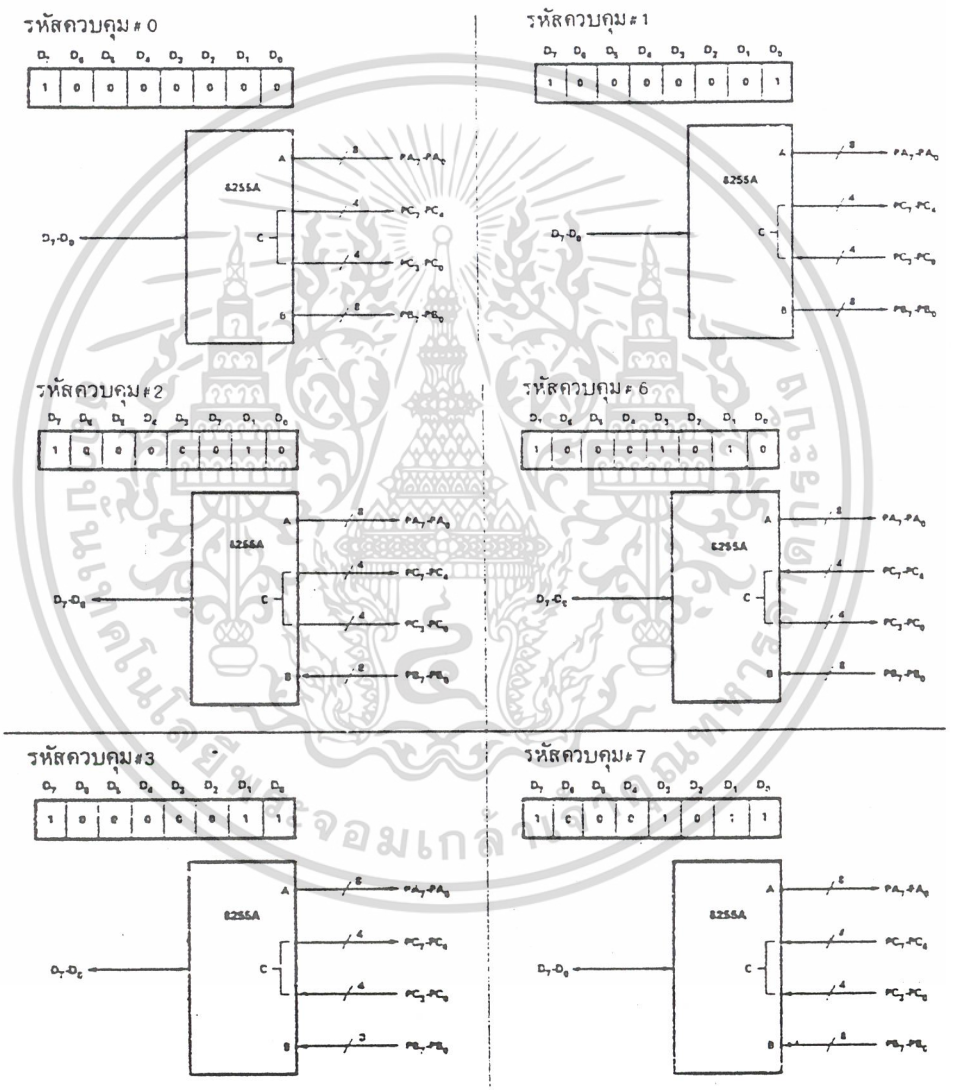
OUT (12H),A หมายถึงส่งให้พอร์ต C

เนื่องจากมีพอร์ตที่รับส่งข้อมูล 3 พอร์ต A พอร์ต B และพอร์ต C ซึ่งพอร์ต C จะแยกออกเป็น 2 ส่วน คือ พอร์ต C ล่าง และพอร์ต C บน เราสามารถโปรแกรมให้ทั้ง 4 พอร์ตนี้เป็นอินพุทหรือเอาท์พุทก็ได้ เช่น ถ้าให้รหัสควบคุมเป็น 82H จะทำให้พอร์ต B เป็นอินพุท พอร์ต A และพอร์ต C เป็นเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

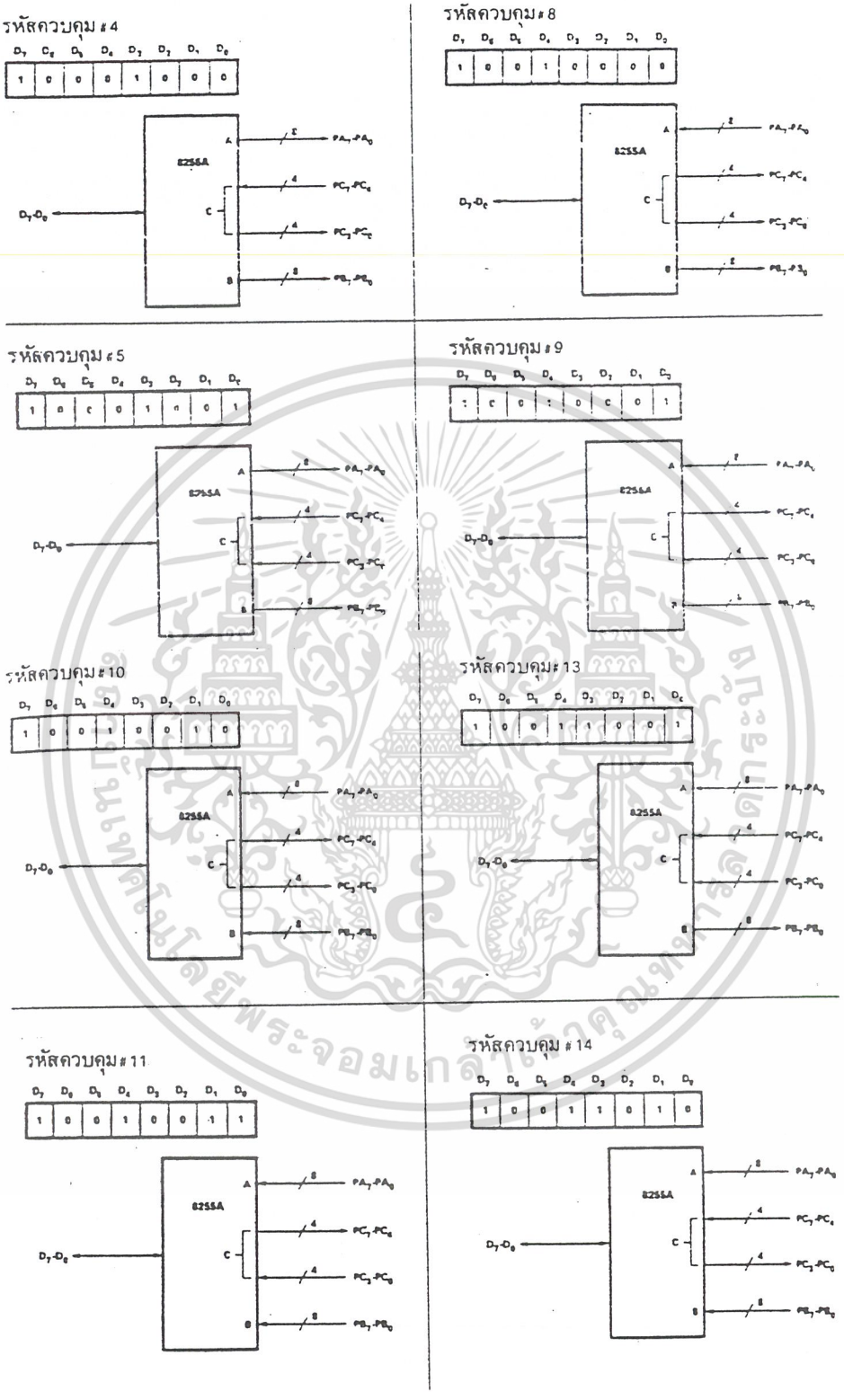
3.6 การทำงานในโหมด 0

โหมด 0 เป็นโหมดที่กำหนดให้พอร์ตทุกพอร์ตบนตัว 8255 เป็นพอร์ตอินพุทเอาท์พุทแบบพื้นฐาน รูปแบบความเป็นได้จึงมีทั้งสิ้น 16 รูปแบบตามลักษณะของพอร์ต A พอร์ต B พอร์ต C บน และ พอร์ต C ล่าง ลักษณะของรหัสควบคุมแต่ละแบบจะเป็นดังรูปที่ 3.7



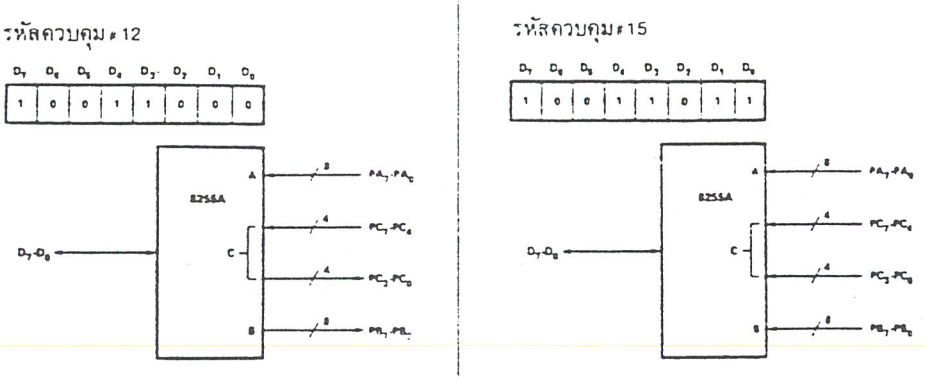
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.7 ลักษณะของรหัสควบคุมแบบต่าง ๆ ในโหมด 0



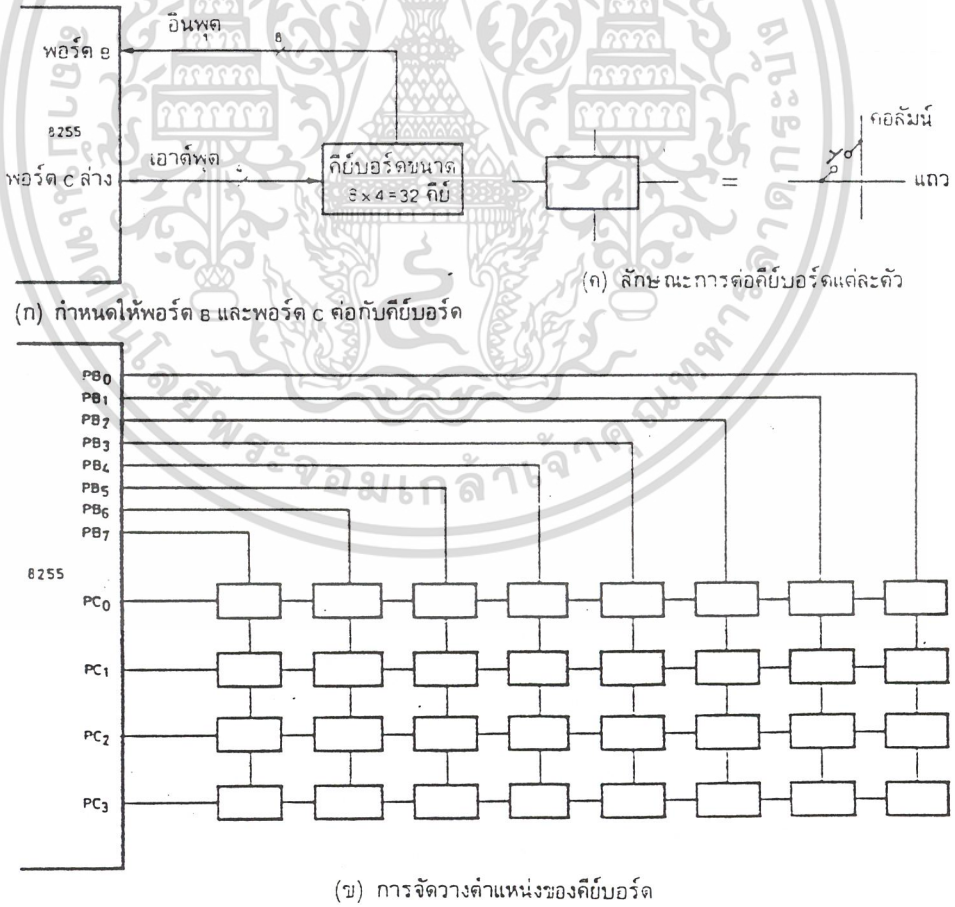
รูปที่ 3.7 (ต่อ) ลักษณะของรหัสควบคุมแบบต่าง ๆ ในโหมด 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 (ต่อ) ลักษณะของรหัสควบคุมแบบต่าง ๆ ในโหมด 0

ตัวอย่างการใช้งานของ 8255 ในโหมด 0 นี้ เช่น เมื่อต้องการให้พอร์ต B เป็นอินพุทและพอร์ต C ล่างเป็นเอาท์พุท เพื่อรับรู้การกดคีย์บอร์ดและหาดูว่ามีคีย์ใดกด ซึ่งเราสามารถให้การจัดคีย์บอร์ดในรูปแบบแมทตริกซ์ได้ดังรูปที่ 3.8



(ข) การจัดวางตำแหน่งของคีย์บอร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.8 วงจรการต่อคีย์บอร์ดขนาด 32 คีย์แบบแมทตริกซ์

สาเหตุที่เรานิยมต่อคีย์จำนวนมากแบบแมทตริกซ์ เนื่องจากเป็นโครงสร้างทางฮาร์ดแวร์แบบประหยัดและช่วยลดข้อยุ่งยากต่าง ๆ ได้ แต่ก็ยังต้องให้ซอฟท์แวร์ในการควบคุมหรือควบคุมหรือตรวจสอบว่า คีย์ใดกด ในรูปที่ 3.8 เป็นการต่อแบบแมทตริกซ์ ซึ่งมีจำนวนแถว 4 แถว และคอลัมน์ 8 คอลัมน์ ทำให้ได้จำนวนคีย์ทั้งสิ้น 32 คีย์

หลักการทำงานทั่วไปเราจะทำการสแกนดู กล่าวคือ กำหนดให้แต่ละแถวซึ่งเป็นพอร์ตเอาต์พุทเป็น “0” หรือ “1” ในเวลาต่างกัน เช่นแถวแรกเป็น ”0” แถวอื่นเป็น “1” หมด แล้วทำการอ่านข้อมูลพอร์ตอินพุทว่ามีบิตใดบิตหนึ่งทางคอลัมน์เป็น “0” หรือไม่ ถ้ามีก็ทราบว่า ได้มีการคีย์ในตำแหน่งแถวแรกและคอลัมน์ที่เท่าไรที่ได้รับการกด แต่ถ้าไม่มี ซีพียูก็จะสแกนไปยังแถวถัดไปและวนรอบไปเรื่อย ๆ ตลอดเวลา ดังนั้นการตรวจสอบคีย์กดจะทำให้ทราบว่า แถวหรือคอลัมน์ที่เท่าไรซึ่งเป็นคีย์ที่ได้รับการกด

คราวนี้ลองพิจารณาวงจรในรูปที่ 3.8 ซึ่งต่อคีย์ในลักษณะ 4x8 เราจะสแกนทีละแถวโดยเริ่มจากแถว 0 โดยการให้เอาท์พุทที่บิต 1 เป็น “0” แล้วถ้าวนไปเรื่อย ๆ โดยใช้ค่าในรีจิสเตอร์ C เป็นค่าสำหรับกำหนดแถว โปรแกรมที่เขียนขึ้นจะได้ดังโปรแกรมที่ 1

โปรแกรมที่ 1 ส่วนตรวจสอบการปล่อยคีย์

```
RELEASE CHECK THAT KEY HAS BEEN RELEASE
RELEASE     LD C,OOH
            CALL SCAN                   : เรียกโปรแกรมสแกนคีย์
            IN   A,11H
            XOR  OFFH                   : ไม่กด = FFH
            JR   NZ_PRESS
            INC  C
            LD   A,O4H
            CP   C
            RET  C                      : ครบ 4 แถวแล้วหรือยัง
            JR   RELEASE + 2
PRESS       CALL DLY10
            JR   RELEASE + 5
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากโปรแกรมที่ 1 เป็นการตรวจสอบคีย์ว่า ทุกคีย์อยู่ในสภาพปล่อยหมดหรือไม่ โดยมีการเรียกโปรแกรมย่อย SCAN เพื่อส่งค่าสแกนคีย์ทีละแถวให้ตรวจสอบ โดยมีโปรแกรมย่อยคือคำสั่ง RELEASE + 5 หมายถึงกระโดยไปยังตำแหน่ง RELEASE หรือ บวกอีก 5 ไบต์ และคำสั่ง 5+4 หมายถึงการกระโดดจากคำสั่งของตัวเองไปอีก 4 ไบต์ ซึ่งโปรแกรมย่อยของการสแกนคีย์จะเป็นดังโปรแกรมที่ 2

โปรแกรมที่ 2 ส่วนการสแกนคีย์

```
SCAN KEYBORD BY OUTPUT TO ROW SCAN
SCAN LD     HLLINE
            LD      A,(HL)
            RLCA                : เลื่อนไปแถวถัดไป
            CP      10H         : เกินแถวที่ 4 หรือไม่
            JR      NZ,5+4
            LD      A,01H       : เริ่มต้นแถวที่ 1 ใหม่
            LD      (HL),A
            OUT     10H,A
            OUT     12H,A
            RET
LINE        DB      01H
```

ส่วนโปรแกรมหน่วงเวลา 10 มิลลิวินาที ซึ่งเราใช้โปรแกรมวนลูปจะมีลักษณะดังโปรแกรมที่ 3

โปรแกรมที่ 3 ส่วนหน่วงเวลา 10 วินาที

```
: DELAY LOOP 10 MILLISECOND
  DLY10PUSH DE              : SAVEDE
            LD      DE,1247 H       : จำนวนลูป
            DEC     DE
            JR      NZ,5-1          : ลูปให้วน
            POP     DE
            RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลจากโปรแกรม SCAN จะบอกสถานะการสแกนว่า สแกนมาถึงแถวใดซึ่งจะอยู่ในหน่วยความจำ LINE นั่นก็คือ เราจะทราบได้ว่า แถวใดกด โดยดูจาก LINE และจะตรวจสอบการกดคีย์ว่าเป็นคอลัมน์ใดได้ โดยทำโปรแกรมรับคีย์เข้าทางพอร์ตอินพุทและเก็บไว้ในรีจิสเตอร์ A ดังตัวอย่างในโปรแกรมที่ 4

โปรแกรมที่ 4 ส่วนการรับคีย์และดีบราวนซ์

```
: CHECK THAT KEY WAS PRESS AND DEBOUNCE IT
KEYIN       CALL  SCAN
            IN    A,11H
            XOR   OFFH
            JR    Z,KETIN
DEBOUNCE    LD    B,A
            CALL  CLY10        : หน่วงเวลา 100 ms
            IN    A,11H        : อ่านค่าคอลัมน์
            XOR   OFFH         : กลับค่า
            CALL  ZDLY10
            JR    Z,KEYIN + 3
            CP    B
            JR    Z,DEBOUN     : ให้วนอีกครั้ง
            RET
```

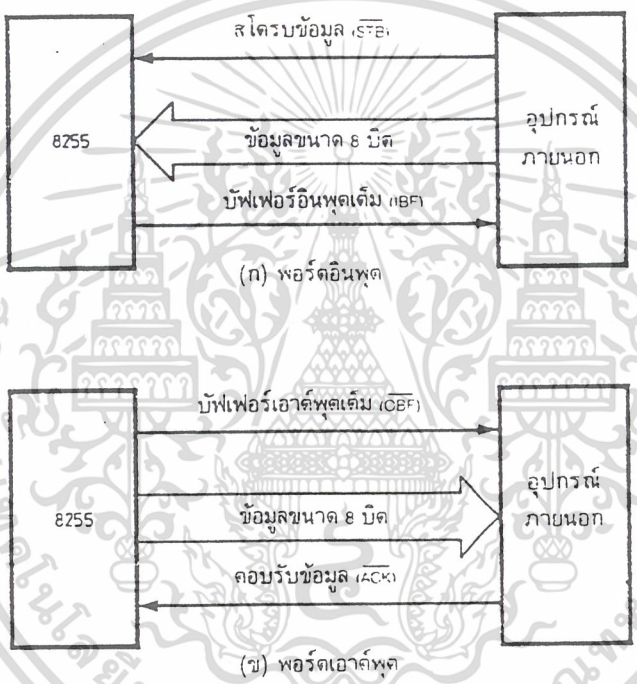
จากโปรแกรมนี้ จะได้ค่าคีย์ตามแนวคอลัมน์อยู่ในรีจิสเตอร์ A และแถวอยู่ในตัวแปร LINE ซึ่งเราจะนำไปใช้ในการถอดรหัสว่าคีย์เป็นอะไรได้ สังเกตุว่าเรามีการตรวจสอบเพื่อแก้ไขวงจรกระเด้งหรือดีบาวนซ์ (debounce) คีย์ด้วย และมีการหน่วงเวลา 10 มิลลิวินาทีเพื่อป้องกันการอ่านค่าคีย์ผิดพลาดได้ และสิ่งสำคัญคือ การทำงานของซีพียูเร็วมาก ดังนั้นจึงต้องมีการตรวจสอบการปล่อยคีย์ (release) ก่อนแล้วจึงสแกนหาคอลัมน์และแถวเพื่อกำหนดตำแหน่งคีย์

3.7 การทำงานของ 8255 ในโหมด 1

การทำงานของ 8255 ในโหมด 1 เป็นโหมดที่ทำให้อินพุทมีการตรวจสอบสัญญาณ (handshaking) โดยใช้อินพุทเอาท์พุทของพอร์ต A และพอร์ต B เป็นหลัก และใช้พอร์ต C บนเป็นตัวตรวจสอบสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(handshaking) ของพอร์ต C เป็นตัวตรวจสัญญาณของพอร์ต B การจัดสัญญาณต่างๆ เหล่านี้แสดงดังรูปที่ 3.9

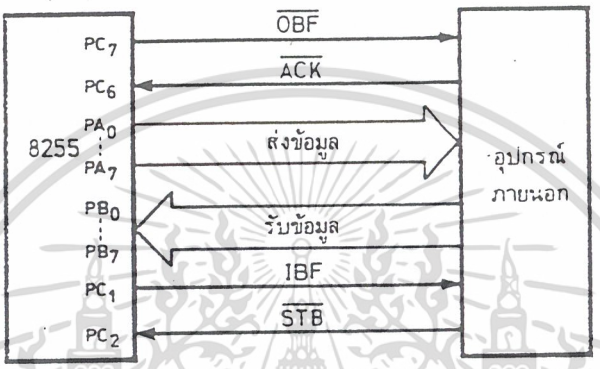


รูปที่ 3.9 โครงสร้างตัวตรวจสอบสัญญาณของพอร์ตอินพุทและพอร์ตเอาท์พุท

แนวความคิดของการใช้พอร์ตอินพุตเอาต์พุต โดยมีตัวตรวจสอบสัญญาณก็เพื่อให้มีการซิงโครนัสระหว่างอุปกรณ์ภายนอกที่ทำงานได้ช้ากับการทำงานของคอมพิวเตอร์ที่ทำงานได้เร็ว เช่น เครื่องพิมพ์ทำงานได้ช้า เมื่อคอมพิวเตอร์ส่งตัวอักษรตัวแรกมาพิมพ์ เครื่องพิมพ์รับตัวอักษรและ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำลังจะพิมพ์ คอมพิวเตอร์ส่งตัวอักษรตัวที่ 2 ตัวที่ 3 ตามมา ทำให้การประมวลผลของอุปกรณ์เครื่องพิมพ์ทำงานไม่ทันซึ่งอาจทำให้ข้อมูลสูญหายได้ ดังนั้นเครื่องพิมพ์จึงส่งสัญญาณบอกคอมพิวเตอร์ว่า "อย่าเพิ่งส่งมาเพราะยังไม่พร้อมที่จะรับ" ลักษณะของการรับส่งข้อมูลอินพุทอาท์พุทและ PB_0 - PB_7 เป็นอินพุ โดยมีพอร์ต C เป็นตัวตรวจสอบสัญญาณ ดังแผนผังในรูปที่ 3.10



รูปที่ 3.10 วงจรการต่อ 8255 ในโหมด 1

เมื่อโปรแกรม 8255 ในโหมด 1แล้ว ตัว 8255 จะให้พอร์ท C เป็นสัญญาณควบคุม โดยแต่ละบิตของ พอร์ท C เป็นไปตามที่กำหนดไว้ในตารางที่ 3.2

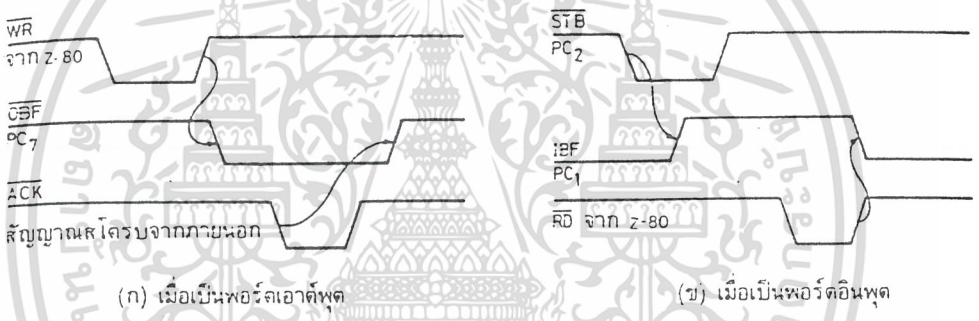
ตารางที่ 3.2 หน้าที่ของสัญญาณต่างๆของพอร์ท C ในการทำงานเป็นตัวตรวจสอบสัญญาณเมื่อ 8255 ทำงานในโหมด 1

ขา	กรณีอินพุท	กรณีเอาท์พุท
PC_0	$INTR_B$	$INTR_B$
PC_1	IBF_B	OBF_B
PC_2	STB_B	ACK_B
PC_3	$INTR_A$	$INTR_A$
PC_4	STB_A	I/O
PC_5	IBF_A	I/O
PC_6	I/O	ACK_A
PC_7	I/O	OBF_A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยปกติ 8255 จำให้สัญญาณอินเตอร์รัพท์ไปบอกซีพียูด้วย สัญญาณอินเตอร์รัพท์ของ 8255 จะเกิดขึ้นที่ PC และ PC โดยที่เมื่อบัฟเฟอร์พร้อมแล้วและต้องการให้ซีพียูส่งอินพุตหรือเอาต์พุตมาที่บัฟเฟอร์ สัญญาณอินเตอร์รัพท์จะเกิดขึ้น สังเกตว่า สัญญาณอินเตอร์รัพท์เป็นสัญญาณแอคตีฟ "1" ซึ่งตรงกับของ 8080 แต่เมื่อใช้กับ Z-80 สัญญาณ INT ของ Z-80 จะรับด้วย "0"

โครงสร้างการตรวจสอบสัญญาณของ 8255 แสดงด้วยสัญญาณทางไฟฟ้าได้ดังรูปที่ 3.11



รูปที่ 3.11 แผนผังเวลาการรับและส่งข้อมูลโดยใช้ตัวตรวจสอบสัญญาณ

สังเกตว่า การทำงานของ 8255 จะเกี่ยวข้องกับสัญญาณ RD และ WR ซึ่งจะทำให้สัญญาณควบคุมการเปลี่ยนแปลงไป การตรวจสอบสัญญาณซึ่งกันและกันนี้ เป็นวิธีการรับส่งที่มีประสิทธิภาพ เช่น ในกรณีอินพุท เมื่ออุปกรณ์ภายนอกต้องการส่งข้อมูลให้ซีพียู ก็จะส่งข้อมูลแบบขนานเข้ามาพร้อมทั้งสโตรบ (STB) บอก 8255 ซึ่ง 8255 จะนำข้อมูลนั้นไปเก็บไว้ในรีจิสเตอร์ภายในก่อนแล้วส่งสัญญาณตอบบอกว่า "บัฟเฟอร์ยังเต็มอยู่นะ (IBF) อย่าเพิ่มส่งมาอีก" ครั้นเมื่อซีพียูอ่านข้อมูลจากรีจิสเตอร์ไปแล้ว ส่วนของสัญญาณบัฟเฟอร์อินพุท (IBF) ก็จะบอกว่า "ว่างแล้วส่งมาได้" อุปกรณ์ภายนอกก็จะส่งข้อมูลมาให้อีก

ทำนองเดียวกัน สำหรับพอร์ตเอาท์พุท เมื่อซีพียูส่งข้อมูลออกทางพอร์ตเอาท์พุทให้กับ 8255 ตัว 8255 ก็จะได้รับไว้ในรีจิสเตอร์ภายใน พร้อมทั้งส่งสัญญาณออกไปบอกอุปกรณ์ภายนอกว่า "เอาท์พุทบัฟเฟอร์ของฉันมีข้อมูลนะ (OBF) มาอ่านเอาไปซิ" อุปกรณ์ภายนอกเมื่อทราบและ

เอกสารนี้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น

พร้อมจะอ่านก็จะส่งสัญญาณตอบรับ (ACK) พร้อมกับอ่านข้อมูลไป โดยสัญญาณ ACK จะมีความหมายว่า "ฉันอ่านข้อมูลของเธอไปแล้วนะ" ตัว 8255 ก็จะตอบกลับว่า "บัฟเฟอร์ฉันว่างแล้วนเธอรอก่อนนะจะมีข้อมูลใหม่ส่งมาอีก"

ในการที่จะโปรแกรมโหมด 1 นี้ เราจะใช้รหัสควบคุมเป็น 101(I/O) 01(i/o)0 ในส่วน I/O หมายถึง ถ้าเป็นอินพุทก็คือ "1" ถ้าเป็นเอาท์พุทก็คือ "0" โดย I/O ตัวแรกเป็นของพอร์ต A ตัวที่ 2 เป็นของพอร์ต 8 เช่น ถ้าต้องการให้พอร์ต A เป็นเอาท์พุท และพอร์ต B เป็นอินพุท เราจะให้รหัสควบคุมเป็น 10100110 หรือ A6H

จากการพิจารณาการทำงานของซีพียูจะเห็นว่า ทำอย่างไรจึงนะเขียนหรืออ่านพอร์ตได้ถูกต้อง วิธีที่ง่ายวิธีหนึ่งคือ ซีพียูจะคอยตรวจสองสัญญาณของ 8255 เช่นกรณีเอาท์พุท ซีพียูจะคอยอ่านพอร์ต C แล้วตรวจสอบบิต 7 (OBF) หลังจากที่ส่งข้อมูลไปแล้ว ถ้าบิต 7 ยังเป็น "0" แสดงว่ายังไม่ได้รับการสโตรบ แต่ถ้าเป็น "1"แล้ว แสดงว่าอุปกรณ์ภายนอกรับข้อมูลไปแล้วสำหรับกรณีอินพุตก็คอยตรวจสอบจากสัญญาณ IBF ได้เช่นกันว่า มีข้อมูลใหม่เข้ามาหรือยังคือตรวจสอบบิต PC_1 ของพอร์ต C

3.8 การทำงานของ 8255 ในโหมด 2

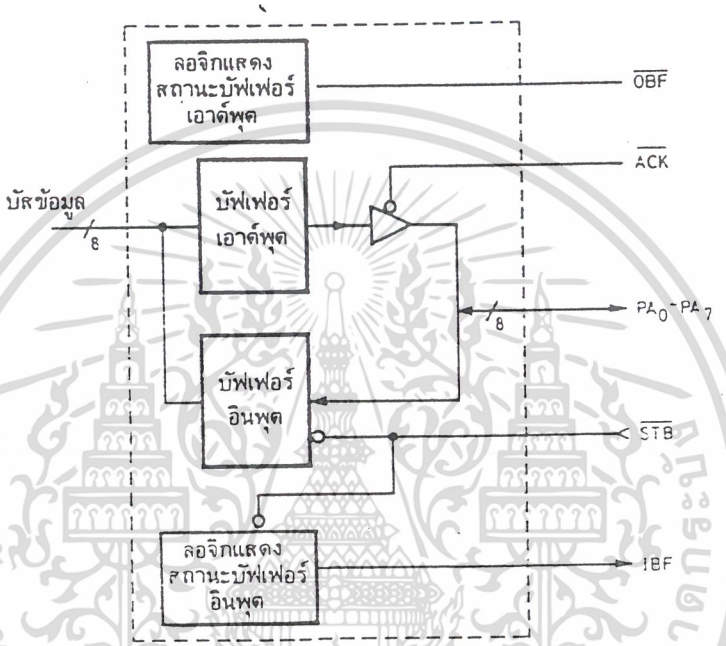
8255 ยังมีโหมดการทำงานอีกโหมดหนึ่งคือ โหมด 2 ซึ่งทำได้เฉพาะพอร์ต A ในโหมดนี้ 8255 จะใช้พอร์ต A ทำหน้าที่เป็นพอร์ตแบบ 2 ทิศทางคือ สามารถเป็นได้ทั้งพอร์ตอินพุทและเอาท์พุท โดยโครงสร้างของพอร์ต A ทั้งอินพุทเอาท์พุทมีตัวตรวจสอบสัญญาณทั้งคู่ ส่วนพอร์ต C จะทำหน้าที่เป็นสัญญาณตรวจสอบ โดยมีสัญญาณตรวจสอบ โดยมีสัญญาณแต่ละของดังตารางที่ 3.3

ตารางที่ 3.3 หน้าที่ของพอร์ต C ในโหมด 2

พอร์ต C	ความหมาย
PC_0	I/O
PC_1	I/O
PC_2	I/O
PC_3	$INTR_A$
PC_4	STB_A
PC_5	OBF_A
PC_6	ACK_A
PC_7	OBF_A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างของพอร์ต A ที่ทำงานแบบ 2 ทิศทางแสดงได้ดังรูปที่ 3.12



รูปที่ 3.12 โครงสร้างของพอร์ต A ที่ทำงานแบบพอร์ต 2 ทิศทาง

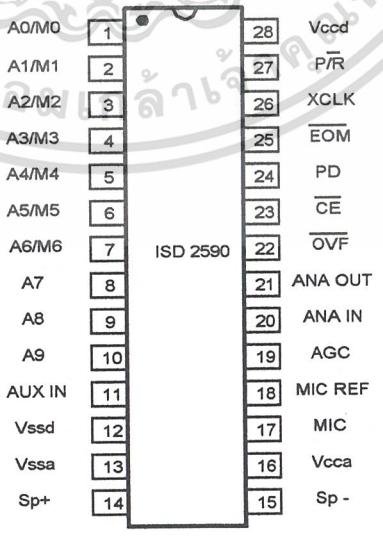
สังเกตว่าเมื่อโปรแกรมพอร์ต A เป็นโหมด 2 แล้ว พอร์ต B จะต้องโปรแกรมเป็นโหมด 0 หรือโหมด 1 ก็ได้ ซึ่งก็ทำงานแบบแยกอิสระอีก ในการใช้งานพอร์ตแบบ 2 ทิศทางนี้ใช้ได้กับงานบางประเภท เช่น ใช้ในการรับส่งข้อมูลของพอร์ตมาตรฐานบางประเภท เช่น IEEE 488 หรือใช้เชื่อมโยงระหว่างคอมพิวเตอร์กับคอมพิวเตอร์ในการรับส่งข้อมูลสลับกันไปและกลับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การใช้งานและคุณสมบัติของไอซีเบอร์ ISD2590

4.1 คุณสมบัติของไอซี ISD2590

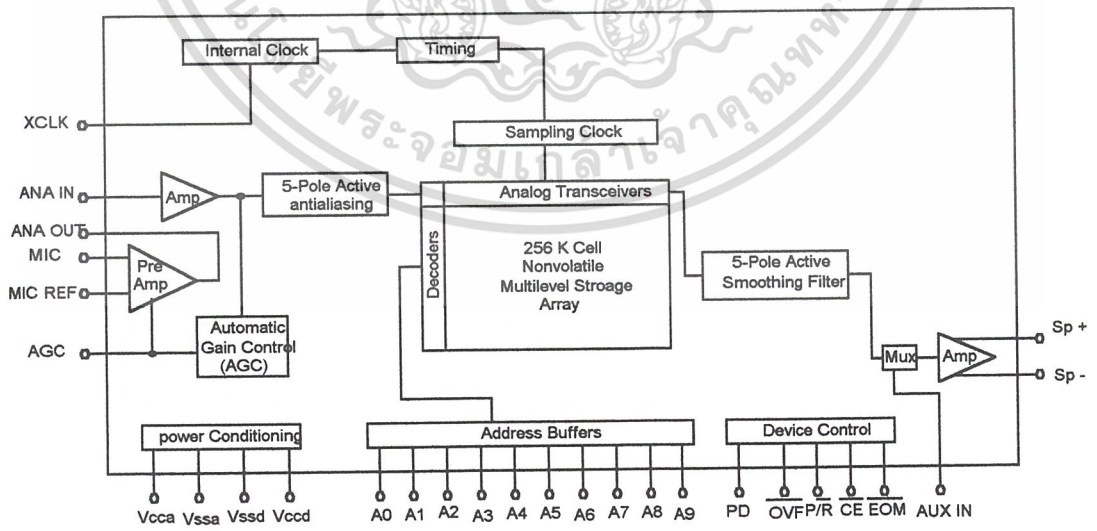
- เพียงไอซีตัวเดียวก็สามารถบันทึกและเล่นกลับได้อย่างง่าย
- ไม่มีอุปกรณ์ประเภทไอซีอื่นๆประกอบร่วมภายนอก
- ไม่ต้องพัฒนาระบบอื่นขึ้นมาเสริมเพื่อให้ใช้งานได้
- มีประสิทธิภาพในการบันทึกและเล่นกลับที่ให้เสียงได้เหมือนต้นกำเนิดเสียง
- ควบคุมการบันทึกและเล่นกลับด้วยสวิตช์หรือควบคุมด้วยไมโครคอนโทรเลอร์
- ระยะเวลาในการบันทึก/เล่นกลับตั้งแต่ 45 , 60 ,75 และ 90 วินาที ตามแต่เบอร์ในตระกูล ISD25XX
- ต่อคาสเคดกันได้โดยตรงเพื่อเพิ่มระยะเวลาให้ยาวนานขึ้น
- ปิดการทำงานอัตโนมัติเมื่อไม่มีการบันทึกหรือเล่นกลับนานเกินไป
- สามารถเก็บความจำได้นาน 100 ปีไม่ต้องมีแบตเตอรี่สำรอง
- วงรอบการบันทึก 100,000 ครั้ง
- มีวงจรกำเนิดสัญญาณนาฬิกาภายในตัว
- สามารถโปรแกรมควบคุมการเล่นกลับเพียงอย่างเดียวเพื่อพัฒนารูปแบบการใช้งานได้



รูปที่ 4.1 ลักษณะการจัดขาใช้งานของ ISD2590

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากคุณสมบัติต่างๆที่รวมอยู่ในไอซีเพียงตัวเดียวจึงทำให้ง่ายต่อการใช้งานตั้งแต่วงจรขยายสัญญาณไมโครโฟนจนถึงหน่วยจัดเก็บข้อมูลที่ทำการบันทึกและขับออกลำโพง ก็ถูกรวมไว้ในไอซีเพียงตัวเดียวในโหมดการบันทึกจะจัดเก็บข้อมูลต่างๆ ไว้ในหน่วยความจำที่เป็นเซลแบบไม่ต้องการแรงดันสำรองเพื่อรักษาข้อมุลไม่ให้สูญหาย (non – volatile memory cells) สัญญาณเสียงที่อยู่ในรูปแบบของสัญญาณอะนาลอก จะถูกบันทึกไว้ในหน่วยจัดเก็บความจำโดยตรง โดยอาศัยเทคโนโลยี DAST (Direct Analog Stroage Technology) และการจัดเก็บลงในหน่วยความจำก็จะจัดเก็บในลักษณะที่เป็นสัญญาณอะนาลอกอยู่เช่นเดิม จึงทำให้การเล่นกลับสามารถให้สัญญาณเสียงที่เหมือนกับต้นกำเนิดเสียงมาก เพราะไม่มีกระบวนการเปลี่ยนสัญญาณอะนาลอกเป็นดิจิตอลเข้ามาเกี่ยวข้อง ในรูปที่ 2 เป็นรูปที่แสดงบล็อกไดอะแกรมภายในไอซี ISD25XX เมื่อพิจารณาดูบล็อกไดอะแกรมแล้วจะเห็นว่ามีลักษณะคล้ายคลึงกับตระกูล ISD12XX/14XX มากหากแต่มีความแตกต่างกันอยู่ในส่วนของบล็อกแอดเดรสบัฟเฟอร์ และบล็อกส่วนรับการควบคุมนอกจากนั้นยังมีบล็อกมัลติเพล็กซ์สัญญาณอินพุทของเพาเวอร์แอมป์ภายในไอซี เพื่อทำการเลือกที่จะขยายสัญญาณที่ถูกบันทึกเก็บไว้ หรือขยายสัญญาณจากภายนอกที่ขา AUX IN ทั้งหมดนี้เป็นข้อแตกต่างของ ISD25XX ที่ไม่เหมือนกับ ISD14XX/12XX นอกจากนั้นอัตราการทำงานของไอซีตระกูล ISD25XX ก็แตกต่างกันดังจะแสดงข้อมูลทางด้านการบันทึกสัญญาณในไอซีแต่ละตระกูลไว้ในตารางที่ 1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.2 บล็อกไดอะแกรมภายในของไอซี

เบอร์ไอซี	ระยะเวลาการบันทึก	การสุ่มสัญญาณทางอินพุท	ความถี่ที่ผ่านวงจรกรอง	ความถี่สัญญาณนาฬิกาภายใน
ISD2545	45 วินาที	10.6 กิโลเฮิรตซ์	4.5 กิโลเฮิรตซ์	1365.3 กิโลเฮิรตซ์
ISD2560	60 วินาที	8.0 กิโลเฮิรตซ์	3.4 กิโลเฮิรตซ์	1024 กิโลเฮิรตซ์
ISD2575	75 วินาที	6.4 กิโลเฮิรตซ์	2.7 กิโลเฮิรตซ์	819.2 กิโลเฮิรตซ์
ISD2590	90 วินาที	5.33 กิโลเฮิรตซ์	2.3 กิโลเฮิรตซ์	682.7 กิโลเฮิรตซ์

ตารางที่ 4.1 คุณสมบัติทางไฟฟ้าบางอย่างที่แตกต่างกันของไอซีตระกูล ISD25XX

เบื้องต้นการทำงานนั้นต้องทำความเข้าใจหรือทราบรายละเอียดของคุณสมบัติทางเทคนิคของไอซีตระกูลนี้กันเสียก่อน ดังแสดงตารางคุณสมบัติทางเทคนิคไว้ในตารางที่ 2 รายละเอียดในตารางนี้มีความสำคัญมากต่อการใช้เป็นค่าอ้างอิงในการอออกแบบใช้งานและการทำงานเบื้องต้น ในที่นี้จะกล่าวถึงหน้าที่การใช้งานของแต่ละขาทั้งหมดเพราะหากกล่าวถึงการทำงานธรรมดาก็คือไอซีบันทึกเสียง นั่นคือการทำงานของแต่ละขาและหน้าที่ของแต่ละขาจะมีความสำคัญมากกว่าเพราะจะสามารถนำไอซีไปใช้งานได้อย่างถูกต้องและปลอดภัย (ไอซีไม่เสียหายก่อนจะใช้งานได้)

พารามิเตอร์	สัญญลักษณ์	ค่า	หน่วย
แรงดันอินพุทด้านต่ำ "0"	V_L	0.8	โวลต์
แรงดันอินพุทด้านสูง "1"	V_H	2	โวลต์
แรงดันเอาท์พุทด้านต่ำ	V_{OL}	0.4	โวลต์
แรงดันเอาท์พุทด้านสูง	V_{OH}	Vcc-0.4	โวลต์
แรงดันเอาท์พุทด้านสูงที่ขา $\overline{OVF}$	V_{OH1}	2.4	โวลต์
แรงดันเอาท์พุทด้านสูงที่ขา $\overline{EOM}$	V_{OH2}	Vcc-1.0	โวลต์
กระแสของแรงดันไฟเลี้ยงที่ Vcc = 5 โวลต์	I_{CC}	25	มิลลิแอมป์
กระแสขณะสแตนด์บายที่ Vcc = 5 โวลต์	I_{SB}	1 - 10	ไมโครแอมป์
กระแสรั่วไหลทางอินพุท	I_L	+,- 1	ไมโครแอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อิมพีแดนซ์ของโหลดเอาท์พุท	R_{EXT}	16	โอห์ม
ความต้านทานอินพุทของปรีแอมป์ไมโครโฟน	R_{MIC}	10	กิโลโอห์ม
ความต้านทานอินพุทของขาอินพุทภายนอก	R_{AUX}	10	กิโลโอห์ม
ความต้านทานอินพุทของขาอินพุทอะนาลอก	$R_{ANA\ IN}$	3	กิโลโอห์ม
อัตราขยายของปรีแอมป์ 1	$A_{PRE\ 1}$	24	เดซิเบล
อัตราขยายของปรีแอมป์ 2	$A_{PRE\ 2}$	5	เดซิเบล
อัตราขยายของขา AUX (สัญญาณภายนอก)	A_{AUX}	1	โวลต์/โวลต์
อัตราขยายของภาคขยายเอาท์พุทลำโพง	A_{ARP}	22	เดซิเบล
ความต้านทานเอาท์พุทของขา AGC	R_{AGC}	5	กิโลโอห์ม
แรงดันไฟเลี้ยงตัวไอซีทั้งหมด	V_{CC}	5 - 7	โวลต์
อุณภูมิขณะทำงาน	T_S	-65 - 150	องศา C

4.2 หน้าที่การทำงานของขาต่างๆ

Address/Mode Input (A0-A9)/(M0-M6) ขา 1 – 10 ขาแอดเดรสและโหมดอินพุทจะมีอยู่สองฟังก์ชันที่ขึ้นอยู่กับระดับของสอง MSB ของแอดเดรสถ้าแอดเดรสใดแอดเดรสหนึ่งของสอง MSBs เป็น “0” อินพุทก็จะมาปรากฏที่แอดเดรสบิททั้งหมดและใช้เป็นแอดเดรสเริ่มต้นสำหรับวงรอบการบันทึกและเล่นกลับ และขาแอดเดรสจะเกิดการแลตช์โดยขอบขาลงของพัลซ์ที่ขา $\overline{CE}$ และถ้า MSBs มีสถานะเป็น “1” ขาแอดเดรส/โหมดอินพุทจะมาขึ้นอยู่ที่โหมดบิททั้งหมดและเกิดการแลตช์เมื่อขอบขาลงปรากฏที่ขา $\overline{CE}$

Auxiliary Input (AUX IN) ขา11 จะเป็นขารับอินพุทจากภายนอก ซึ่งเป็นการมัลติเพล็กซ์สัญญาณผ่านออกไปทางเอาท์พุทลำโพง โดยขั้นตอนการทำงานนี้จะเกิดขึ้นเมื่อขา $\overline{CE}$ มีสถานะเป็น “1 ” วงรอบของการเล่นกลับก็จะสิ้นสุดลงหรือเมื่อสัญญาณที่บันทึกไว้ถูกเล่นกลับจนหมดสิ้นแล้วมีการต่อคาสเคด ISD25XX กันหลายๆตัวขา AUX IN จะถูกใช้ต่อเข้ากับสัญญาณเล่นกลับที่ออกมาจากเอาท์พุทลำโพงของตัวก่อนหน้านี้หรือจากตัวอันดับแรก

Ground Input (Vssa , Vssd) ขา12และ13 โดยคุณสมบัติของไอซีตระกูล ISD25XX จะมีการแยกกันระหว่างกราวด์ของสัญญาณอะนาลอก และกราวด์ของสัญญาณดิจิตอล ขากราวด์ทั้งสองนี้จะถูกต่อและปิดไว้ภายในตัวถังบรรจุของไอซี การใช้งานขากราวด์ทั้งสองนี้จะเลือกต่อกับกราวด์ของเพาเวอร์ซัพพลายในส่วนที่มีค่าอิมพีแดนซ์ต่ำ เพื่อไม่ต้องการให้เกิดค่าแรงดันที่แตกต่างกันระหว่างกราวด์ทั้งสอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Speaker Output (Sp+ , Sp-) ขา14และ15 เป็นขาเอาท์พุทต่อออกลำโพง ในตระกูล ISD25XX นี้จะมีวงจรขับสัญญาณความแตกต่างออกสู่ลำโพงซึ่งประกอบอยู่ในตัวไอซีเรียบร้อยแล้ว โดยมีความสามารถในการขับลำโพงเอาท์พุทได้ 50 มิลลิวัตต์ที่โหลดลำโพง 16 โอห์มขาต่อลำโพงเอาท์พุททั้งสองนี้จะไม่ต่อขนานกันโดยตรงเด็ดขาดเมื่อต้องถูกใช้ต่อคาสเคดกันหลายๆตัว และไม่เหมาะในการต่อลำโพงขนานกันทางเอาท์พุทหลายตัวโดยเฉพาะในบางครั้งขาเอาท์พุทลำโพงสามารถต่อคาสเคดกับไอซีอีกตัวได้โดยตรง เพราะมีตัวเก็บประจุคับปลิ้งอยู่ภายในเรียบร้อยแล้ว

Voltage Input (Vcca , Vccd) ขา16และ28 เป็นขารับแรงดันที่จะต้องแยกกันต่างหากระหว่างขารับแรงดันของวงจรอะนาลอกและวงจรดิจิตอล ที่ประกอบอยู่ภายในตัวไอซีเรียบร้อยแล้ว ขารับแรงดันต้องการแรงดันไฟเลี้ยง +5V และต้องเป็นแรงดันไฟเลี้ยงที่มีสัญญาณรบกวนต่ำมาก

Microphone Input (MIC) ขา17 จะรับสัญญาณอินพุทที่ผ่านเข้ามายังไมโครโฟนแล้วส่งผ่านสัญญาณเข้าสู่วงจรปรีแอมป์ที่ประกอบอยู่ภายในตัวไอซีภายในประกอบด้วยวงจรควบคุมอัตตราขยายอัตโนมัต (AGC)โดยวงจรนี้จะทำหน้าที่ควบคุมอัตตราขยายของวงจรปรีแอมป์ให้มีอัตตราขยายอยู่ในช่วง –15 ถึง 24 เดซิเบล ไมโครโฟนภายนอกจะถูกคับปลิ้งผ่านตัวเก็บประจุภายนอกในลักษณะอนุกรมกับขา17นี้ ค่าความจุของตัวเก็บประจุคับปลิ้งจะกำหนดโดยคำนึงถึงค่าความต้านทาน 10 กิโลโอห์มที่ต่ออยู่ภายในกับขา17ของไอซีเพื่อทำให้เกิดการคัตออฟที่ความถี่ต่ำ

Microphone Reference Input (MIC REF) ขา18 ซึ่งจะต่อขา18นี้กับกราวด์อะนาลอก (Vssa) โดยมีตัวเก็บประจุต่ออนุกรมอยู่ก่อนเพื่อทำหน้าที่กำจัดสัญญาณรบกวนทางอินพุทขา17 และเพื่อให้เกิดการชดเชยทางด้านสัญญาณรบกวนให้ดีกว่า 10 เดซิเบล

Automatic Gain Control (AGC) ขา19 เป็นขาอินพุทเพื่อควบคุมการปรับอัตตราขยายของปรีแอมป์ไมโครโฟนทางด้านไดนามิก เพื่อให้เกิดความเหมาะสมกับระดับสัญญาณที่มีย่านกว้างมากของสัญญาณทางอินพุทจากไมโครโฟน และเพื่อให้ระดับสัญญาณที่ทำการบันทึกมีความผิดเพี้ยนน้อยที่สุด ขาAGCนี้จะต้องต่อร่วมกับอุปกรณ์ RC เพื่อกำหนดค่าเวลาคงที่โดยมีค่าความต้านทานภายใน 5 กิโลโอห์มและจะต่อร่วมกับตัวเก็บประจุภายนอกอีกหนึ่งตัวผ่านลงกราวด์อะนาลอก ค่าที่เหมาะสมบางครั้งกำหนดไว้ที่ค่าความต้านทาน 470 กิโลโอห์มและตัวเก็บประจุ 4.7 ไมโครฟารัด

Analog Input (ANA IN) ขา20 จะรับสัญญาณที่ผ่านวงจรปรีแอมป์ออกมาทางขา21โดยผ่านตัวเก็บประจุคับปลิ้งภายนอกคับปลิ้งสัญญาณเข้าที่ขา20นี้เพื่อผ่านสัญญาณเข้าไปทำการบันทึก

เอกสารนี้มีลิขสิทธิ์ ห้ามนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไว้ภายในตัวไอซี ตัวเก็บประจุคับปลิ้งภายนอกนี้จะต้องสัมพันธ์กันกับค่าความต้านทานภายในค่า 3 กิโลโอห์ม ซึ่งเป็นอินพุทอิมพีแดนซ์เพื่อที่จะทำให้เป็นวงจรกรองความถี่ต่ำแบบคัตออฟ

Analog Output (ANA OUT) ขา21 เป็นขาเอาท์พุทของวงจรปรีแอมป์ขยายสัญญาณจากไมโครโฟนที่ได้รับการควบคุมอัตราขยายจากวงจร AGC ภายในแล้ว

Overflow Output ($\overline{OVF}$) ขา22 สัญญาณพัลซ์ "0" จะปรากฏออกมาทางขาเอาท์พุทนี้เพื่อเป็นการแสดงว่าสิ้นสุดการเล่นกลับหรือหน่วยความจำภายในตัวไอซีได้ถูกอ่านออกมาหมดแล้ว และจะแสดงเป็นสภาวะหยุดการเล่นกลับ พัลซ์เอาท์พุทจากขา $\overline{OVF}$ นี้จะจ่ายให้กับขา $\overline{CE}$ อินพุทจนกว่าขา PD จะได้รับพัลซ์เพื่อทำการรีเซต และริ่มวงรอบการเล่นกลับใหม่อีกครั้ง พัลซ์ที่ขา $\overline{OVF}$ นี้สามารถใช้เริ่มต้นการทำงานของ ISD2590 ในตัวถัดไปได้เมื่อถูกต่อคาสเคดกันอยู่หลายตัว

Chip Enable Input ($\overline{CE}$) ขา23 ขา $\overline{CE}$ จะต้องได้รับสัญญาณพัลซ์ "0" เพื่อทำให้เกิดการเปลี่ยนแปลงระหว่างการเล่นกลับและการบันทึก ที่ขาแอดเดรสอินพุทและขา P/$\overline{R}$ อินพุทจะถูกแลตช์จากพัลซ์ขอบขาลงของพัลซ์ที่ขา $\overline{CE}$

Power Down Input (PD) ขา24 ในขณะที่ไม่มีการบันทึกหรือเล่นกลับที่ขา PD จะมีสภาวะเป็น "1" ก็จะเป็นการรักษาระดับการสิ้นเปลืองกำลังงานในระดับต่ำมากๆ แต่เมื่อขา $\overline{OVF}$ มีสภาวะเป็น "0" ที่แสดงถึงการเล่นกลับสิ้นสุดลงปรากฏขึ้นขา PD ปกติจะเป็น "1" อยู่ในขณะนั้นก็จะถูกรีเซตและจะเริ่มกระบวนการบันทึกหรือเล่นกลับใหม่อีกครั้ง

End Of Message / Run Output ขา25 เป็นส่วนของอุปกรณ์ non – volatile ภายในตัวไอซีที่จะใช้กำหนดหรือระบุการสิ้นสุดของการเก็บข้อมูลที่ทำการบันทึกขา $\overline{EOM}$ นี้จะให้เอาท์พุทออกมาเป็น "0" เมื่อข้อมูลที่ถูกบันทึกอยู่ถูกเล่นกลับออกมาหมดแล้ว

External Clock Input (XCLK) ขา26 เป็นขารับสัญญาณนาฬิกาภายนอกเพื่อกำหนดค่าความถี่สัญญาณนาฬิกาในการสุ่มสัญญาณ แต่โดยปกติระบุไว้ว่าสัญญาณนาฬิกาในการสุ่มสัญญาณถูกกำหนดไว้ภายในแล้ว ซึ่งจะไม่ขึ้นอยู่กับอุณภูมิภายนอกหรือย่านแรงดันไฟเลี้ยงที่ไม่คงที่การใช้งานปกติแล้วจะต่อขา25นี้เข้ากับกราวด์ของไฟเลี้ยง

Playback / Record Input (P /$\overline{R}$) ขา27 เมื่อขาอินพุทควบคุมการเล่นกลับและบันทึกได้รับพัลซ์ "1" จะเป็นวงรอบของการเล่นกลับ และถ้าเป็นพัลซ์ "0" จะเป็นการเลือกวงรอบการบันทึก ถ้าหากได้รับพัลซ์ที่ขอบขาลงของขา $\overline{CE}$ จะเป็นการแลตช์อินพุทที่ขา P /$\overline{R}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 การบันทึกข้อมูล (Recording)

กระบวนการบันทึกข้อมูลจะเกิดขึ้นได้เมื่อขา $\overline{CE}$ เป็นลอจิก "0" เพื่อให้ไอซีทำงานได้ขา P/$\overline{R}$ จะเป็นลอจิก "1" เพื่อเข้าสู่โหมดการบันทึกและขา $\overline{EOM}$ จะเป็นลอจิก "1" เพื่อแสดงว่าตอนนี้ข้อมูลกำลังถูกบันทึก เมื่อทุกอย่างเรียบร้อยแล้วขาอะนาลอกอินพุทจะรับสัญญาณอะนาลอกจากภายนอกเข้ามาขยายด้วยวงจรขยายที่มีอยู่ภายในไอซี นอกจากนี้ก็ยังมีปรีแอมป์ไว้ให้ขยายสัญญาณที่มีแอมปลิจูดต่ำๆเช่น สัญญาณจากไมโครโฟนโดยแยกออกมาเป็นอินพุทอีกขาหนึ่งต่างหากและมีเอาท์พุทออกมายังภายนอกเพื่อที่จะต่อกลับเข้าไปที่ขาอะนาลอกอินพุทเพื่อขยายด้วยวงจรขยาย (Amp) อีกครั้ง ทำให้นอกจากสะดวกในการที่ไม่ต้องจัดหาวงจรขยายเองแล้วยังสามารถที่จะเลือกใช้ขาอินพุทได้ตามความแรงของสัญญาณอะนาลอก

จากบล็อกไดอะแกรมแสดงส่วนต่างๆภายในไอซีจะเห็นว่ามีวงจรควบคุมอัตราขยายอัตโนมัติ (AGC) ที่คอยควบคุมอัตราขยายของปรีแอมป์โดยนำเอาเอาท์พุทของวงจรขยายนั้นป้อนกลับมาเปรียบเทียบเพื่อปรับความแรงของสัญญาณให้เหมาะสมโดยอัตโนมัติ สัญญาณที่ถูกขยายแล้วจะถูกกรองด้วยฟิลเตอร์ก่อนที่จะผ่านไปยังบล็อกของตัวรับ/ส่งข้อมูลอะนาลอก (analog tranceivers) ภายในบล็อกก็จะประกอบไปด้วยวงจร A/D และ D/A สัญญาณอะนาลอกก็จะถูกแปลงให้อยู่ในรูปแบบของดิจิตอลโดยมีลักษณะการทำงานดังนี้

ลักษณะของสัญญาณออดิโอเป็นอะนาลอกนั้น มีสิ่งสำคัญที่จะต้องคำนึงถึงอยู่สองอย่างนั่นคือ ขนาดของแรงดันหรือแอมปลิจูดและเวลาที่เปลี่ยนแปลงไปในการทำ A/D จะเป็นการเปรียบเทียบระดับแรงดันในขณะเวลาใดๆให้เป็นรหัสดิจิตอลจำนวน 10 บิต จากสูตร 2^n เมื่อ n คือจำนวนบิต จะสามารถเปลี่ยนแปลงเป็นรหัสที่ไม่ซ้ำกันได้ $2^{10} = 1024$ ค่านั่นก็คือเราสามารถที่จะแทนระดับแรงดันที่แตกต่างกันได้ 1024 ระดับนั่นเองรหัสดิจิตอลนี้จะถูกเก็บบันทึกลงในหน่วยความจำ EEPROM ซึ่งใน ISD2590 นี้มีเนื้อที่ในการเก็บข้อมูลจำนวน 480Kเซล มีความสามารถในการเก็บและคงสภาวะข้อมูลได้นานถึง 10 ปีส่วนความผิดพลาดที่อาจเกิดขึ้นได้นั้นมีสาเหตุมาจากผลของอุณภูมิ การปรับแต่งในการใช้งานหรือเสื่อมสภาพตามอายุการใช้งาน โดยไอซีนี้สามารถจะทำการอ่านหรือเขียนข้อมูลได้กว่า 100,000 ครั้ง

ลักษณะการสุ่มบันทึกของไอซีจะใช้สัญญาณนาฬิกาเพื่อกำหนดจังหวะในการเปรียบเทียบโดยคอมพาเรเตอร์ที่อยู่ภายในบล็อกของตัวรับ/ส่งข้อมูลอะนาลอก และเก็บรหัสดิจิตอลที่ได้ลงในหน่วยความจำ จากบล็อกไดอะแกรมของส่วนต่างๆภายในไอซี ส่วนที่ใช้สร้างสัญญาณนาฬิกาก็คือวงจรกำเนิดสัญญาณนาฬิกาภายใน (internal clock)

วงจรกำหนดเวลา (timing) และวงจรสุ่มสัญญาณนาฬิกา (sampling clock) ซึ่งความถี่ในการสุ่ม (sampling frequency) ที่สร้างขึ้นนี้จะต้องมีความเที่ยงตรงสูงเพราะผลต่างเพียง 2% ของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ที่ใช้ในการบันทึกกับความถี่ที่ใช้ในขณะเล่นก็จะทำให้เสียงที่ได้นั้นผิดเพี้ยนไปจนสามารถสังเกตุได้ด้วยหูเปล่าสำหรับไอซีของ ISD นี้จะมีความผิดพลาดของวงจรสร้างสัญญาณสุ่มนี้เพียง +,- 1% เท่านั้น

การเก็บข้อมูลลงในหน่วยความจำนั้นจะต้องมีการบอกตำแหน่งที่จะเก็บข้อมุล โดยบัสตำแหน่ง (address bus) ที่มีจำนวน 10 เส้นคือ A0-A9 ซึ่งต่อออกมาเป็นขาภายนอกให้สามารถเลือกตำแหน่งเริ่มอ่านหรือเขียนข้อมูลได้ โดยจะผ่านแอดเดรสบัฟเฟอร์ไปยังวงจรถอดรหัส (decoder) เพื่อถอดรหัสเลือกตำแหน่ง ซึ่งจะถูกควบคุมจังหวะในการถอดรหัสและทำการนับตำแหน่งโดยสัญญาณจากวงจรเวลาไอซีจะทำการเก็บข้อมูลจนกระทั่งหมดข้อความแล้วหยุดโดยการให้ $\overline{CE}$ เป็นลอจิก "1" ในขณะที่เนื้อที่ในหน่วยความจำยังไม่เต็มก็จะมีการกำหนด (mark) ตำแหน่งสิ้นสุดเอาไว้โดยอัตโนมัติ แต่ถ้าหากว่าการบันทึกยังไม่สิ้นสุดจนกระทั่งเนื้อที่ในหน่วยความจำเต็มแล้วไอซีก็จะส่งเอาท์พุทเป็นลอจิก "0" ออกมาที่ขา $\overline{OVF}$

4.4 การเล่นกลับ (Play Back)

การเล่นกลับนี้จำเป็นที่จะต้องใช้สัญญาณความถี่ในการสุ่ม เพื่อการกำหนดจังหวะการดึงเอาข้อมูลจากหน่วยความจำออกมาทำ D/A (ในบล็อกของตัวรับ/ส่งข้อมูลอะนาลอก) เช่นกันเพราะจังหวะในการเก็บข้อมูลจะต้องเท่ากันกับจังหวะที่จะนำเอาข้อมูลนั้นออกมาใช้ได้ สำหรับการเข้าสู่โหมดเล่นนี้ $\overline{CE}$ จะต้องเป็นลอจิก "0" เช่นเดียวกันกับการบันทึกแต่ขา P/$\overline{R}$ จะต้องให้เป็นลอจิก "1"

การเล่นกลับจะเริ่มจากตำแหน่งที่ตั้งไว้ให้ที่ขาแอดเดรสทั้ง 8 ขาโดยจะนำเอารหัสดิจิตอลจากหน่วยความจำมาแปลงกลับเป็นสัญญาณอะนาลอกโดยกรรมวิธีย้อนกลับคือ มีการถอดรหัสที่ได้นี้กลับไปให้อยู่ในรูปของแรงดันไฟตรงที่มีระดับแรงดันต่างกันไปตามรหัสและเวลาที่เปลี่ยนแปลงไป ทำให้ได้สัญญาณอะนาลอกที่ใกล้เคียงกันกับสัญญาณที่บันทึกไว้ สัญญาณที่ได้จะถูกกรองโดยวงจรฟิลเตอร์ออกไปเข้าวงจรมัลติเพล็กเซอร์ แล้วนำไปขยายด้วยวงจรขยายที่ใช้ขับลำโพงโดยตรงซึ่งวงจรมัลติเพล็กเซอร์นี้มีไว้สำหรับเลือกสัญญาณอินพุทจากขา AUX IN ซึ่งจะนำมาใช้ประโยชน์ในการขยายเวลาการบันทึกด้วยวิธีลูกโซ่ซึ่งจะกล่าวถึงในภายหลัง

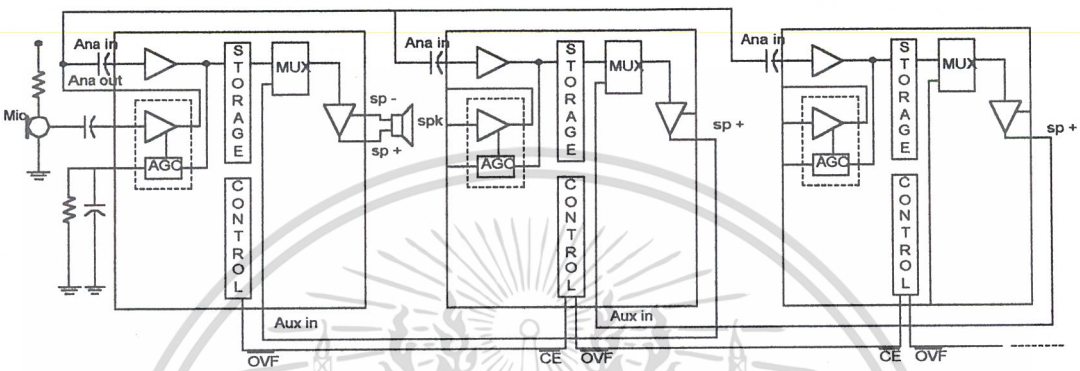
4.5 การขยายระยะเวลาการบันทึกโดยวิธีลูกโซ่ (Chain)

ในการนำไปใช้งานจริงนั้น จะเห็นได้ว่าระยะเวลาการบันทึกที่ไอซีสามารถบันทึกได้นั้นเป็นระยะเวลาที่สั้นมาก จนอาจจะนำไปใช้ประโยชน์ได้ไม่กว้างขวางนัก เพราะบางงานเวลาสั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพียงแค่นี้อาจจะใช้ไม่ได้เลยตัวอย่างเช่น การนำไปใช้ในเครื่องตอบรับโทรศัพท์อัตโนมัติ หากมีข้อความที่จะต้องบันทึกมากกว่าเวลาที่ไอซีสามารถบันทึกได้ก็จะทำให้ฟังไม่รู้ใจความ

เพื่อแก้ปัญหานี้บริษัทผู้ผลิต ISD ก็ได้เตรียมขา $\overline{OVF}$, $\overline{CE}$, AUX IN และส่วนของการมัลติเพล็กซ์ไว้เพื่อการนี้โดยเฉพาะซึ่งมีการใช้งานดังรูปที่3



รูปที่ 4.3 การต่อ ISD 2590 Cascade กันหลายๆตัว

จากวงจรในรูปที่ 3 จะเห็นได้ว่าไอซีจะถูกต่อเข้าด้วยกันโดยสัญญาณอินพุทจากไมโครโฟนจะต่อเข้าที่ไอซีตัวที่ 1 ไปขยายด้วยปรีแอมป์แล้วออกมาที่ขาอะนาลอกเอาท์พุทซึ่งนำไปเป็นสัญญาณอินพุทให้กับไอซีที่จะนำมาต่อเพิ่มทุกตัวและขา $\overline{OVF}$ ของไอซีตัวแรกก็จะต่อไปยังขา $\overline{CE}$ ของตัวที่ 2 และขา $\overline{OVF}$ ของตัวที่ 2 ก็จะต่อไปยัง $\overline{CE}$ ของตัวถัดไปเรื่อยๆจนถึงตัวที่ n และที่เอาท์พุท Sp จากตัวที่ n จะถูกต่อย้อนกลับมาต่อเข้าที่ขา AUX IN ของตัวที่ n-1 เรื่อยมาจนถึงตัวแรกนอกจากนี้ขาแอดเดรสก็จะต้องต่อขนานถึงกันทุกตัวดังรูปที่ 3 ซึ่งจะอธิบายการทำงานได้ดังนี้

การทำงานในตอนแรกนั้นสมมุติว่ายังไม่ได้มีการบันทึกข้อมูลลงไปในหน่วยความจำเลย ในกรณีนี้ขา $\overline{OVF}$ ของไอซีตัวแรกจะเป็นลอจิก “1” เนื่องจากยังมีเนื้อที่ในหน่วยความจำดังนั้นจึงทำให้ไอซีตั้งแต่ตัวที่ 2 เป็นต้นไปจนกระทั่งตัวที่ n อยู่ในสภาวะที่ไม่ทำงานดังนั้นไอซีตัวแรกจะทำงานเพียงตัวเดียว (เมื่อ $\overline{CE}$ ตัวแรกเป็นลอจิก “0”) จึงมีการบันทึกลงไปในไอซีตัวแรกสมมุติว่าข้อมูลมีความยาวกว่าระยะเวลาที่ไอซีตัวแรกบันทึกได้ ดังนั้นหน่วยความจำของไอซีตัวแรกจะถูกบันทึกจนเต็ม แล้วขา $\overline{OVF}$ ของไอซีตัวแรกจะให้เอาท์พุทเป็นลอจิก ”0” ไปทริกให้ไอซีตัวที่ 2 ทำงานได้แล้วไอซีตัวที่ 3 ก็จะทำงานลักษณะเดียวกันกับตัวแรกและต่อไปเป็นลูกโซ่ไปจนถึงตัวที่ n หรือหยุดที่ตัวใดตัวหนึ่งเมื่อหมดข้อความ

ส่วนในตอนเล่นนั้น สมมุติว่าแอดเดรสที่ตั้งไว้เป็นแอดเดรสเริ่มต้น ดังนั้นในตอนเริ่มต้นไอซีตัวแรกก็จะทำงานเพียงตัวเดียวด้วยเหตุผลอันเดียวกันกับตอนบันทึก คือเป็นผลจากการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

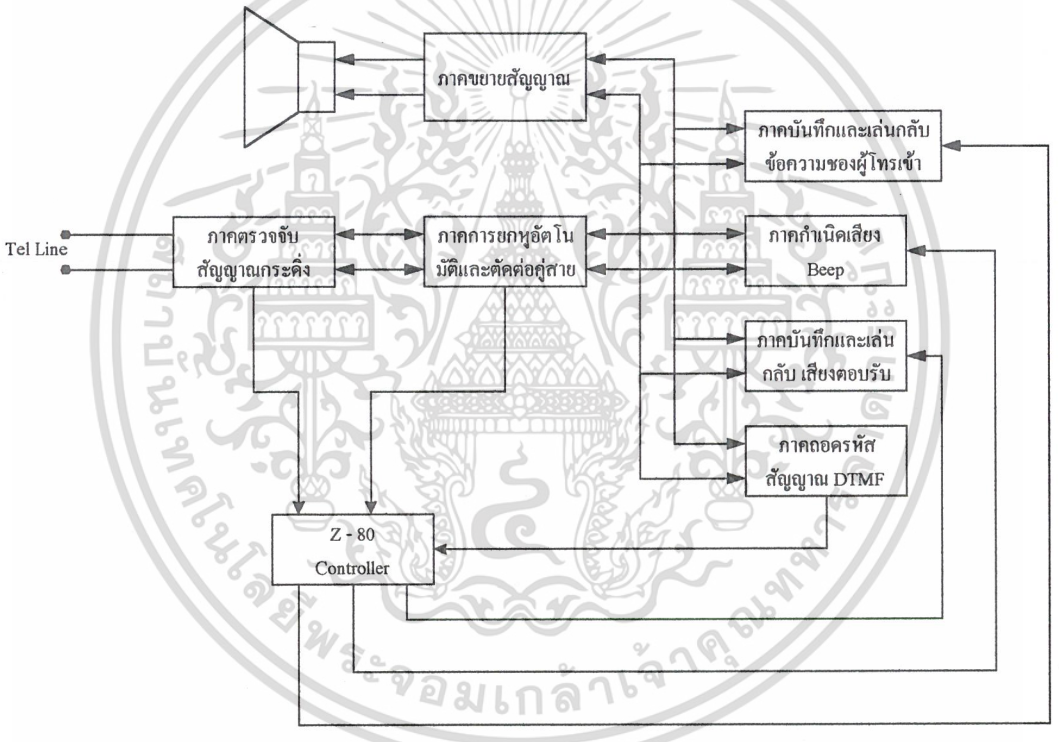
ของขา $\overline{OVF}$ ดังนั้นจึงไม่มีสัญญาณเอาท์พุทจากขา Sp ของตัวถัดไปมาเข้า AUX IN ของตัวแรกเลย เสียงที่ถูกขยายออกลำโพงจึงเป็นเสียงที่บันทึกไว้ในไอซีตัวแรกจนกระทั่งเล่นกลับจนหมดข้อความที่บันทึกในหน่วยความจำของตัวแรกแล้ว วงจรมัลติเพล็กซ์เซอร์ก็จะทำงานโดยเลือกสัญญาณจาก AUX IN เข้ามาจาก Sp ของตัวถัดไปในขณะเดียวกันก็จะให้ลอจิก "0" ที่ขา $\overline{OVF}$ ไปทริกตัวที่ 2 ให้ทำงานได้ ซึ่งในตอนนี้ไอซีตัวที่ 2 จะทำงานโดยส่งสัญญาณที่ได้จากหน่วยความจำออกจาก Sp ไปยัง AUX IN ของตัวแรกไปขยายแล้วขับออกลำโพงที่ต่ออยู่กับตัวแรกและจะทำงานในลักษณะเดียวกันเช่นนี้ไปเรื่อยๆจนถึงตัวที่ n โดยส่งสัญญาณย้อนกลับเป็นทอดๆกลับมาขยายออกลำโพงที่ตัวแรกเท่านี้ก็ได้เนื้อที่ในการเก็บข้อมูลมากขึ้นและก็สามารถเก็บบันทึกได้นานขึ้นกว่าเดิมแล้ว โดยจะมีระยะการบันทึกได้เท่ากับระยะเวลาที่บันทึกได้คูณกับจำนวนไอซีที่ใช้ (n)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
การออกแบบและการทดลอง

5.1 บล็อกไดอะแกรมการทำงาน

จากรูปที่ 5.1 เป็นบล็อกไดอะแกรมแสดงการทำงานโดยรวมของระบบตอบรับโทรศัพท์อัตโนมัติ



รูปที่ 5.1 บล็อกไดอะแกรมของการทำงานโดยรวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

5.1.1ภาคตรวจจับสัญญาณกระดิ่งและแปลงเป็นสัญญาณทริก

ในการทำงานส่วนนี้จะทำหน้าที่รับสัญญาณเรียก (Ringing tone) แล้วทำการแปลงเป็นพัลส์ลบเพื่อนำไปทริกให้ CPU ทำงานต่อไป

5.1.2 ภาครับสายโทรศัพท์และคับปลิ้งสัญญาณ

หลังจากได้มีการนับจำนวนของสัญญาณเรียกครบแล้วจะทำการรับสายโทรศัพท์เพื่อต่อคู่สายเข้ากับระบบแล้วทำการส่งสัญญาณเพื่อบอกแก่ผู้โทรเข้ามาว่าระบบรับสายแล้วและจะส่งสัญญาณตอบรับคับปลิ้งไปที่คู่สายหลังจากนั้นก็ทำการส่งสัญญาณพร้อมบันทึกให้ผู้ที่โทรเข้ามาพูดเพื่อฝากข้อความไว้ที่วงจรบันทึกเมื่อสิ้นสุดการบันทึกระบบจะทำการวางสายโดยอัตโนมัติ

5.1.3 ภาคถอดรหัส

ภาคถอดรหัสจะทำหน้าที่ตรวจสอบการกดคีย์จากแป้นโทรศัพท์เพื่อที่จะโทรเข้ามาฟังข้อความที่ฝากไว้โดยจะถอดรหัสจากการกดคีย์มาอยู่ในรูปแบบของเลขฐานสอง แล้วส่งไปให้ระบบควบคุมตรวจสอบต่อไป

5.1.4 ภาคบันทึกและเล่นกลับเสียงตอบรับ

จะเป็นส่วนที่ผู้ใช้จะทำการบันทึกเสียงของตนเองเพื่อเป็นข้อความตอบรับแก่ผู้ที่โทรเข้ามา

5.1.5 ภาคบันทึกเสียงและเล่นกลับข้อความของผู้โทรเข้า

ในส่วนนี้สามารถแบ่งออกเป็น 2 ส่วนย่อยคือ

1.ในส่วนบันทึก คือส่วนของระบบที่ใช้ในการบันทึกสัญญาณเสียงของผู้ที่โทรเข้ามาฝากข้อความโดยจะมีวงจรกำหนดเวลาเพื่อกำหนดเวลาสูงสุดที่สามารถบันทึกได้

2. ในส่วนเล่นกลับ คือส่วนที่ใช้ในการเล่นกลับเสียงที่ทำการบันทึกนั้นออกสู่ลำโพงหรือผ่านคู่สายโทรศัพท์

5.1.6 ภาคขยายสัญญาณเสียง

ทำหน้าที่ขยายสัญญาณเสียงที่มาจากภาคบันทึกและเล่นกลับที่มีกำลังต่ำให้มีกำลังงานสูงเพื่อออกสู่ลำโพง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.7 ภาคกำเนิดเสียง Beep

ทำหน้าที่กำเนิดเสียง Beep ออกไปเพื่อเป็นสัญญาณบอกความพร้อมของระบบก่อนจะปฏิบัติงานขั้นต่อไป

5.2 การทำงานและวงจรที่ใช้งาน

5.2.1 ภาคบันทึกเสียงและเล่นกลับข้อความของผู้โทรเข้ามา

ในส่วนการบันทึกและเล่นกลับนี้จะใช้ไอซีบันทึกเสียงเบอร์ ISD 2590 ซึ่งจะบันทึกเสียงได้นาน 90 วินาที 2 ตัว นำมาต่อคาสเคดกัน ซึ่งจะทำให้ระยะเวลาการบันทึกเสียงนานขึ้นเป็น 180 วินาที และในการใช้งานจริงจำเป็นจะต้องมีตัวกำหนดเวลาของ ข้อความที่จะฝาก ด้วย ซึ่งในส่วนนี้จะใช้ ไอซีไทม์เมอร์เบอร์ 555 ประกอบเป็นวงจรโมโนสเตเบิ้ล และมีคาบเวลาเป็น 15 วินาที โดยประมาณ ซึ่งก็น่าจะเพียงพอกับการฝากข้อความไว้ 1 ข้อความในส่วนของไอซี ISD 2590แบ่งเป็น 2 กรณี คือ

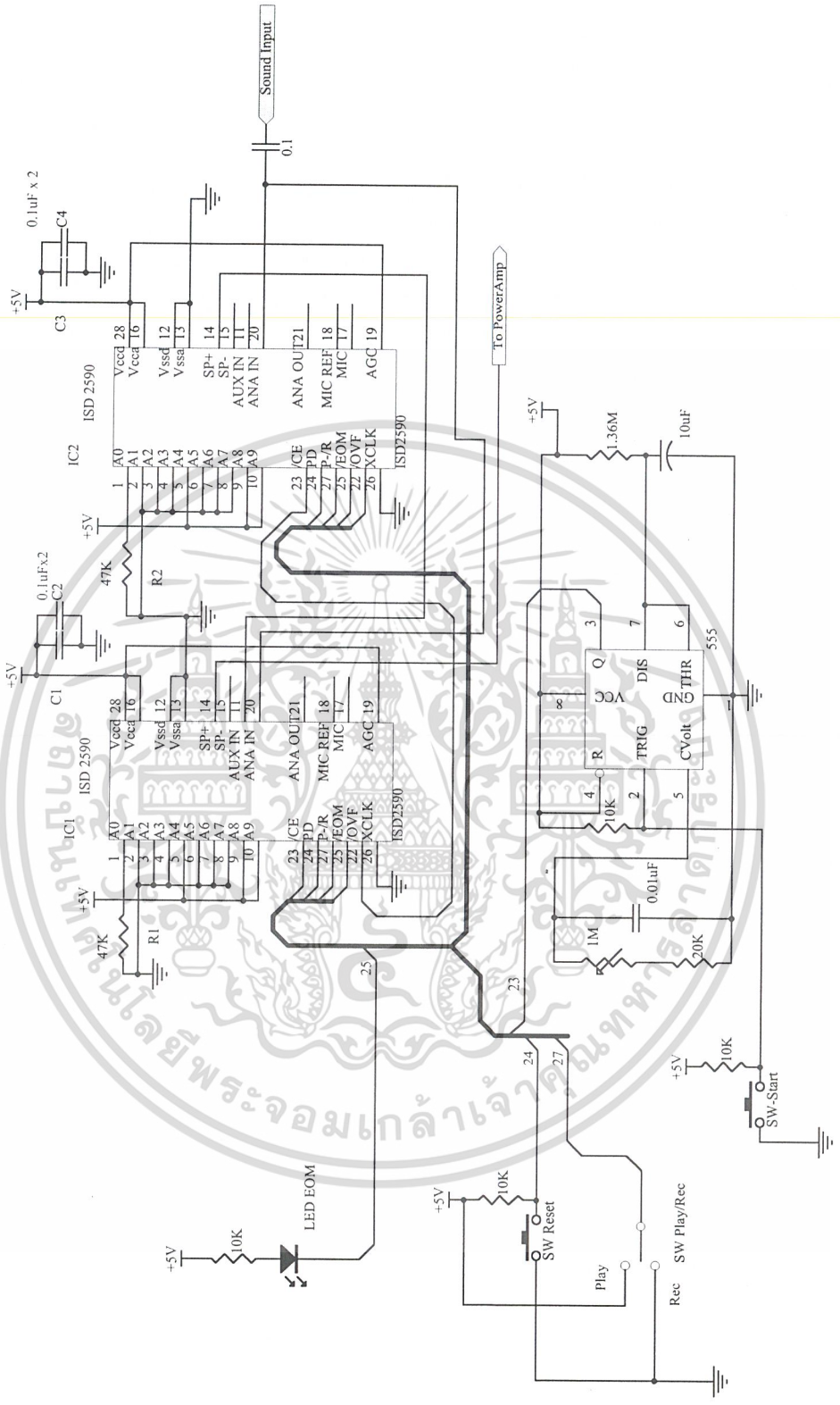
1. วงจรบันทึกและเล่นกลับ ใช้ไอซีเบอร์ ISD 2590 แบ่งเป็น 2 กรณีคือ

1.1 การบันทึกเสียง คือ ในกรณีที่ขา 23 ของ IC1 และ IC2 หรือ SW Start จะถูกต่อลงกราวด์ และที่ขา 27 หรือ SW Play/Rec ถูกต่อลงกราวด์เช่นเดียวกัน และในการบันทึกจะบันทึกได้นาน 180 วินาที เนื่องจากไอซีถูกต่อเป็นแบบคาสเคด ซึ่งเมื่อบันทึกสัญญาณจนเต็ม 180 วินาทีแล้วขาสัญญาณ $\overline{OVF}$ หรือขา 22 ของ IC2 จะเปลี่ยนจาก ลอจิก “1” เป็น ลอจิก “0” ซึ่งปกติแล้วสัญญาณ $\overline{OVF}$ จะมีสภาวะเป็น ลอจิก “1”

1.2 การเล่นกลับ คือ จะต้องให้ขา 24 ของ IC1 และ IC2 ได้รับสัญญาณลอจิก “1” ชั่วขณะหนึ่งเพื่อรีเซตแอดเดรสให้มาเริ่มต้นที่ แอดเดรส 0000 เพื่อที่จะเล่นกลับข้อมูลที่บันทึกไว้ และ ขา 27 หรือ SW Play/Rec ต้องถูกต่อกับไฟ +5V หรือ ลอจิก “1” และ SW Start จะต้องถูกต่อลงกราวด์เพื่อเริ่มการเล่นกลับและเมื่อเล่นกลับจนหมดข้อความแล้วสัญญาณ $\overline{EOM}$ จะเปลี่ยนจาก ลอจิก “1” เป็น ลอจิก “0” ชั่วขณะเพื่อแสดงว่าเล่นกลับจนหมดข้อความแรกแล้วและ เมื่อจะเล่นกลับข้อความที่ 2 ก็ต้องให้ SW Start ต่อลงกราวด์อีกครั้ง ไอซีก็จะทำการ เล่นกลับข้อความที่ 2 ต่อไป และถ้าต้องการเล่นกลับซ้ำอีกครั้งจะต้องทำการ รีเซตแอดเดรส ก่อนคือให้ขา 24 ของ IC1 และ IC2 เป็นลอจิก “1” ชั่วขณะ ก่อนจึงจะเล่นกลับได้

2. วงจรกำหนดเวลา จากวงจรรูปที่ 3.2 ไอซีเบอร์ 555 จะทำงานในโหมดวงจรโมโนสเตเบิ้ล ซึ่ง คาบเวลากำหนดโดย Ra และ C ส่วน R1 , R2 และ C1 เป็นตัวชดเชยค่าผิดพลาดของตัวเก็บประจุ C ที่ใช้กำหนดเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2 วงจรบันทึกเสียงและเล่นกลับข้อความของผู้ที่โทรเข้ามาและวงจรกำหนดเวลา

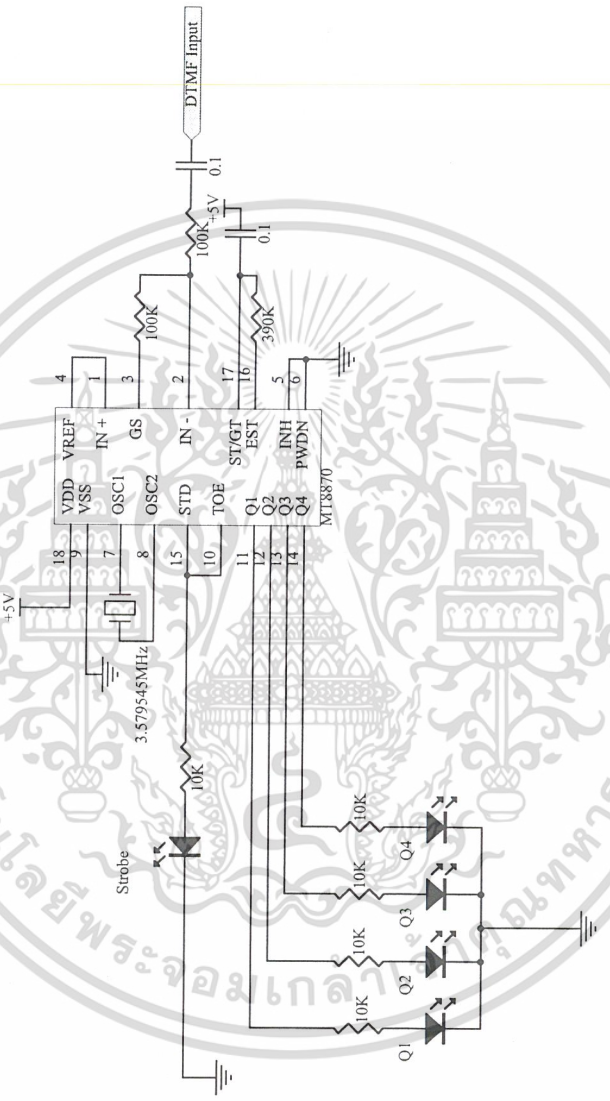
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2 วงจรถอดรหัสสัญญาณความถี่คู่ (DTMF)

วงจรนี้จะทำงานในช่วงที่เสียงตอบรับกำลังเล่นกลับอยู่โดยวงจรนี้มีการทำงาน โดยหลักสำคัญจะอยู่ที่ IC MT8870 ซึ่งเป็น IC ที่ทำหน้าที่ในการถอดรหัสทางความถี่ที่ถูกส่งผ่านเข้ามาทางคู่สายโทรศัพท์ สัญญาณความถี่จะถูกส่งมาจากผู้ที่โทรเข้ามา โดยการกดปุ่มที่เครื่องโทรศัพท์ของผู้ที่โทรเข้ามาเช่นกรณีที่กดปุ่ม 1 ก็จะเป็นการผสมความถี่ 697 เฮิร์ตซ์ กับ 1209 เฮิร์ตซ์ ความถี่ที่เกิดจากการกดปุ่มนี้จะถูกส่งผ่านมาเข้าตามคู่มายโทรศัพท์ที่ C1 ซึ่งจะทำหน้าที่คัปปลิ้งสัญญาณความถี่ผ่านไปยังขา 2 ของ IC MT8870 ซึ่ง IC MT8870 เป็นไอซีสำเร็จรูปที่สามารถถอดรหัสความถี่ได้เลย โดยเอาท์พุทที่ได้จะอยู่ในรูปของรหัสของเลขฐานสองจะมีทั้งหมด 16 ค่า และขาที่แสดงสภาวะการสโตรบ ในวงจรนี้ได้ใช้ LED สีแดง 4 หลอด เป็นตัวแสดงสภาวะการถอดรหัสความถี่ให้อยู่ในรูปรหัสของเลขฐานสอง และ LED สีเขียว 1 หลอด เป็นตัวแสดงสภาวะการสโตรบรหัสเลขฐานสองที่ได้จากการถอดรหัสความถี่ซึ่งรหัสความถี่ที่ถอดได้แล้วจะถูกส่งต่อไปยังแผงวงจรควบคุมเพื่อที่จะได้สั่งงานให้วงจรส่วนอื่นทำงานต่อไป

ในส่วนของความหมายของขา IC MT8870 อุปกรณ์ที่นำมาต่อร่วมกับ IC MT8870 เช่น แท่งคริสตอล (X1) ใช้ทำหน้าที่ในการกำเนิดความถี่ 3.8 เมกกะเฮิร์ตซ์ให้แก่ IC MT8870 เพื่อใช้ในการถอดรหัสความถี่ที่ป้อนเข้าทาง R1 และ C1 ใช้ในการปรับขนาดของแรงดันที่มีขนาดของแรงดันสูงให้ต่ำลงและส่งผ่านหรือกั้นสัญญาณที่ไม่ต้องการ เพื่อทำให้วงจรมีเสถียรภาพดีขึ้นและมีความแน่นอนในการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.3 วงจรถอดรหัสสัญญาณความถี่คู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

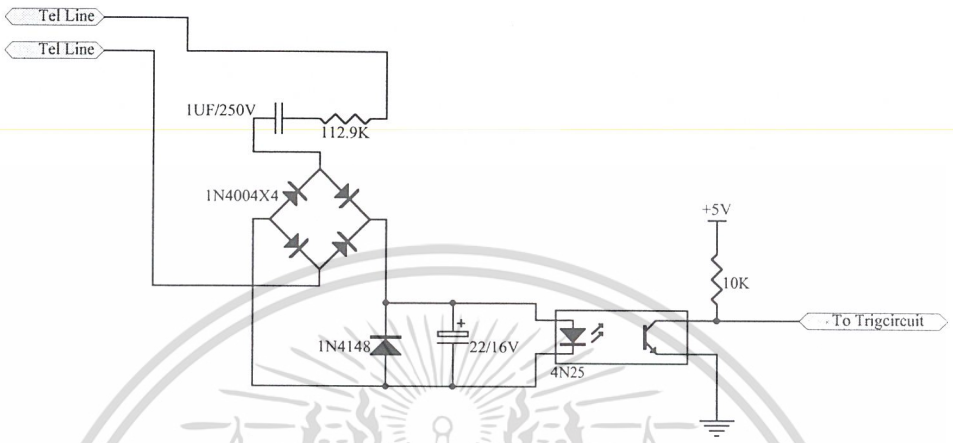
3.2.3 วงจรตรวจสอบสัญญาณกระดิ่งและเปลี่ยนเป็นสัญญาณทริก

ในส่วนนี้จะแบ่งออกเป็น 2 ชุดคือ

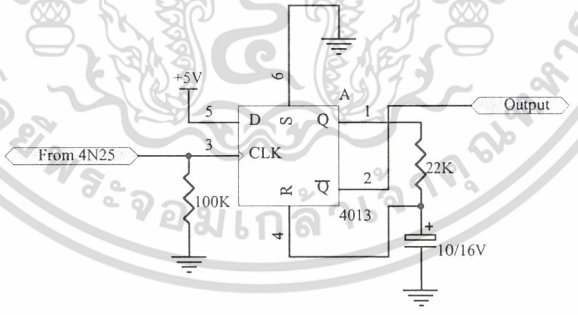
1. วงจรตรวจสอบสัญญาณเรียก ในส่วนนี้จะใช้ ไอซีเบอร์ 4N25 ซึ่งเป็น ทรานซิสเตอร์ที่ทำงานด้วยแสง คือเมื่อมีสัญญาณเรียกเข้ามาเป็นช่วงๆ C จะทำการ คัปปลิ้งสัญญาณผ่าน R ค่า 112.9K และสัญญาณเรียกเข้าซึ่งเป็นสัญญาณไฟ AC ประมาณ 100VAC จะถูกเปลี่ยนเป็นไฟตรงเพื่อไปทำให้ไดโอดทางอินพุท ของไอซีเบอร์ 4N25ทำงานซึ่งจะทำให้ทางเอาท์พุททราสซิสเตอร์ทำงานซึ่งจะให้พัลส์ลบออกมาเท่ากับระยะเวลาที่มีสัญญาณเรียกเข้ามาซึ่งวงจรแสดงดังรูปที่5.4

2. วงจรเปลี่ยนพัลส์ลบจาก เอาท์พุทของ 4N25 ให้เป็นสัญญาณทริก ในส่วนนี้จะใช้ D ฟลิบ-ฟลอบ ต่อเป็นวงจรโมโนสเตเบิ้ลซึ่งเอาท์พุทที่ได้จะเป็นพัลส์ลบช่วงสั้นๆ ซึ่งคาบเวลากำหนดโดย R และ C วงจรแสดงดังรูป 5.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a) วงจรตรวจจับสัญญาณเรียกเข้า



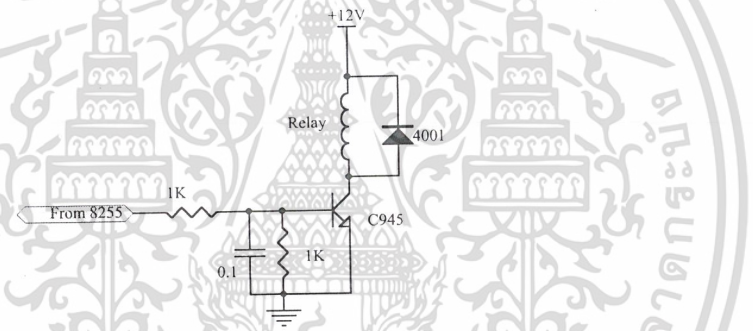
b) วงจรเปลี่ยนเป็นสัญญาณทริก

รูปที่ 5.4 วงจรตรวจจับสัญญาณเรียกเข้าและเปลี่ยนเป็นสัญญาณทริก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.4 วงจรการยกหูอัตโนมัติและตัดต่อคู่สาย

ในส่วนนี้จะใช้สัญญาณจากพอร์ทของ 8255 ซึ่งสั่งงานโดย CPU Z-80 มาทำการควบคุมการปิด – เปิด รีเลย์ในการตัดต่อคู่สายซึ่งวงจรแสดงดังรูปที่ 5.5

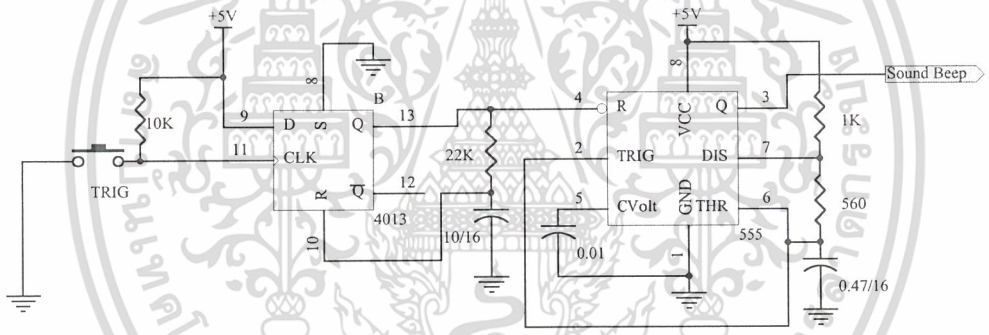


รูปที่ 5.5 วงจรการยกหูอัตโนมัติและตัดต่อคู่สาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.5 วงจรกำเนิดสัญญาณ Beep

ในส่วนนี้จะใช้ไอซีไทม์เมอร์เบอร์ 555 ประกอบเป็นวงจรผลิตความถี่ ซึ่งความถี่ที่เอาท์พุทจะกำหนดโดย f = 1.43/(R17+2R18)C10) และจะต่ออยู่ร่วมกับ D ฟลิบ – ฟลอบ ซึ่งทำหน้าที่เป็นโมนสเตเบิ้ลกำหนดช่วงเวลาของความถี่ที่เอาท์พุทซึ่งวงจรการใช้งานจะแสดงดังรูปที่ 5.6



รูปที่ 5.6 วงจรกำเนิดสัญญาณ Beep

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

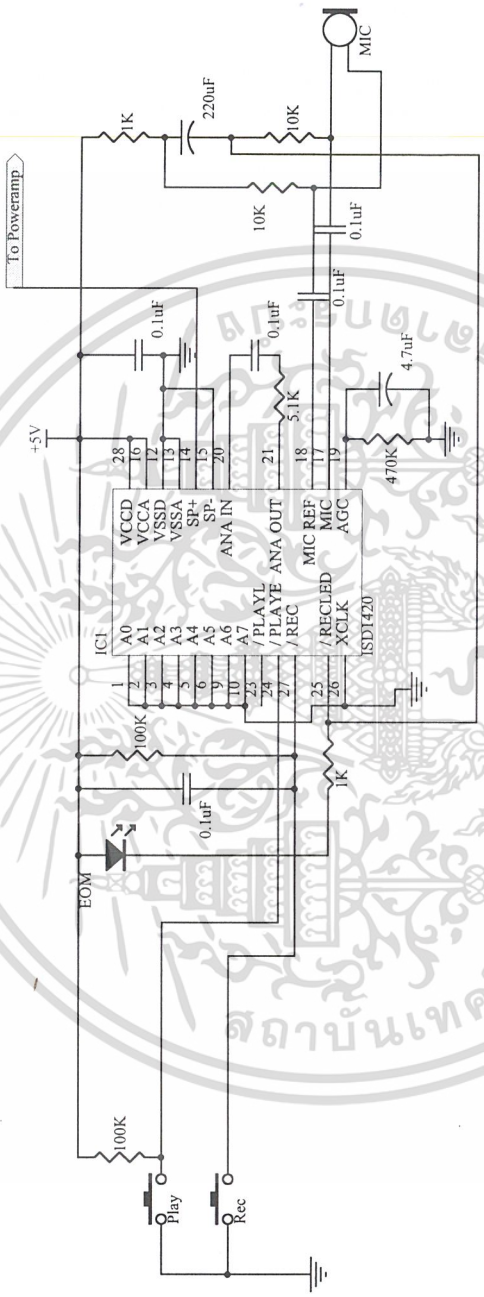
5.2.6 วงจรบันทึกและเล่นกลับเสียงตอบรับ

ในส่วนนี้จะใช้ไอซีเบอร์ ISD 1420 ซึ่งเป็นไอซีที่ทำงานลักษณะเดียวกันกับ ISD 2590 แต่จะแตกต่างกันตรงที่สามารถบันทึกสัญญาณได้เพียง 20 วินาทีเท่านั้นซึ่งก็เพียงพอสำหรับการบันทึกเสียงสำหรับตอบรับการโทรเข้ามาแล้วจะแบ่งเป็น 2 กรณีคือ

1. กรณีบันทึก คือ ในกรณีที่ขา $\overline{REC}$ หรือ SW REC ถูกต่อลงกราวด์และในขณะที่บันทึกสัญญาณสัญญาณที่ขา $\overline{RECLED}$ จะเป็น ลอจิก "0" ไปจนกว่าจะหมดระยะเวลาการบันทึกหรือจนกว่าขา $\overline{REC}$ จะเป็น ลอจิก "1"

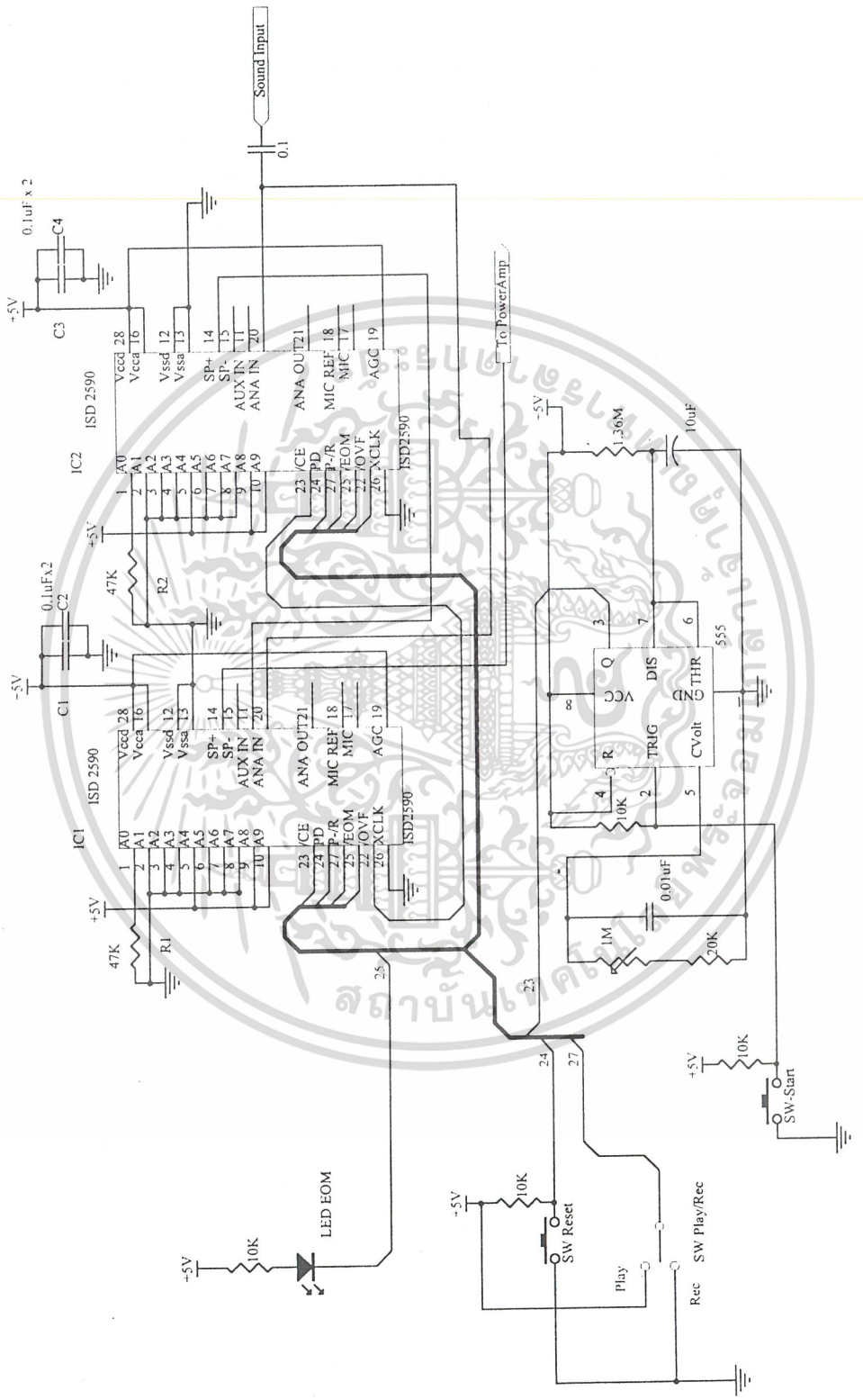
2. กรณีเล่นกลับ คือ ในกรณีที่ขา $\overline{REC}$ หรือ SW REC ต่อกับไฟ +5V และขา $\overline{PLAYE}$ เป็น ลอจิก "0" หรือต่อลงกราวด์และเมื่อเล่นกลับจนหมดข้อความแล้วขา $\overline{RECLED}$ จะเป็น ลอจิก "0" ชั่วขณะและจะเป็น ลอจิก "1" ซึ่งปกติแล้วสัญญาณที่ขานี้จะเป็น ลอจิก "1"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.7 วงจรบันทึกและเล่นกลับเสียงตอบรับ

5.3 การทดลองและผลการทดลอง



รูปที่ 5.8 วงจรการทดลองภาคบันทึกและเล่นกลับข้อความของผู้โทรเข้ามาฝากข้อความ

5.3.1 การทดลองวงจรบันทึกเสียงและเล่นกลับข้อความของผู้ที่โทรเข้ามาฝากข้อความ

การทดลอง

1. ต่อวงจรตามรูปและตรวจสอบว่าถูกต้องหรือไม่
2. ต่อไฟเลี้ยงให้วงจร
3. เลื่อน SW Play/Rec มาที่ตำแหน่ง REC (ต่อขา 27 ลงกราวด์) แล้วกด SW Start และทำการรอจนกว่า LED CE ดับเพื่อเป็นการแสดงว่าทำการบันทึกข้อความที่ 1 เสร็จเรียบร้อยแล้ว และทำการกด SW Start อีกครั้งเพื่อทำการบันทึกข้อความที่ 2 และรอ LED CE ดับเหมือนเคย และทำการบันทึกข้อความที่ 3 ต่อไปโดยการทำเหมือนข้อความที่แล้วมา
4. กด SW Reset เพื่อ รีเซตวงจรและเลื่อน SW Play/Rec มาที่ตำแหน่ง Play และกด SW Start เพื่อทำการเล่นกลับข้อความที่บันทึกไว้

ผลการทดลอง

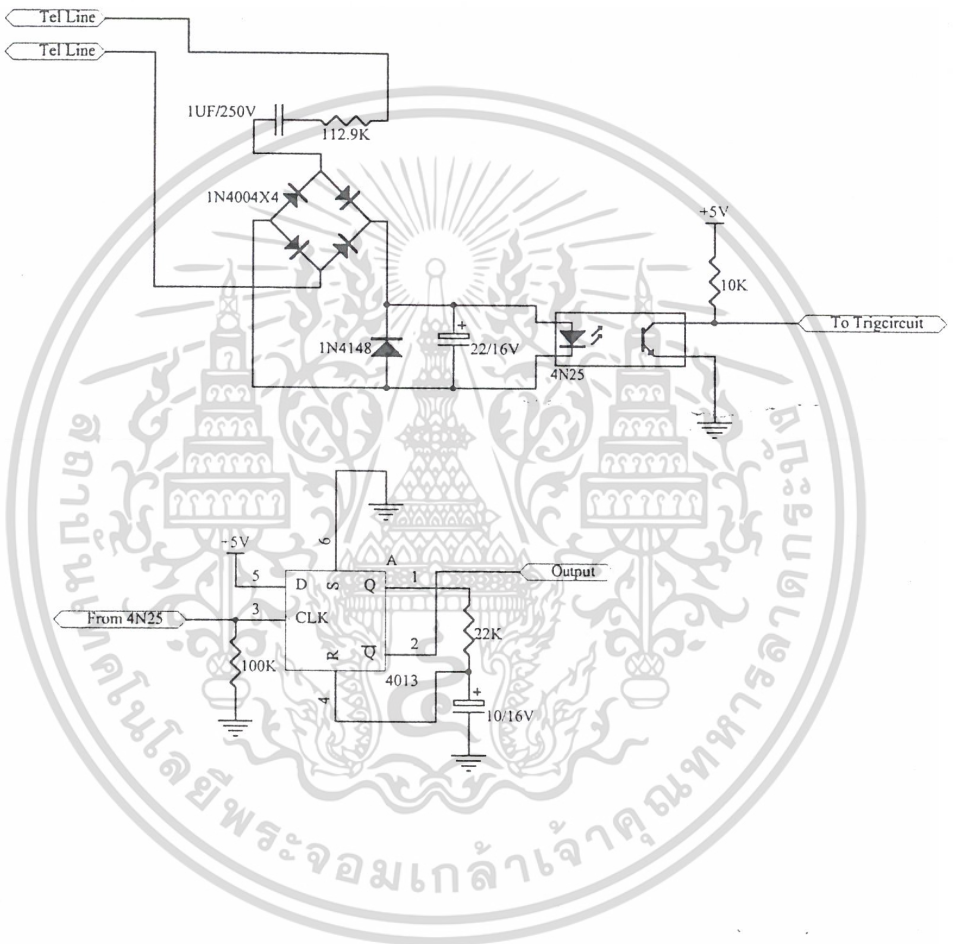
จากการทดลองในการบันทึกข้อความ 3 ข้อความจะได้เวลาในการบันทึกข้อความ ๆ ละประมาณ 15 วินาที

ในการเล่นกลับข้อความทุกครั้งเมื่อเล่นกลับจนหมดข้อความแล้ว ขาสัญญาณ $\overline{EOM}$ จะเป็น ลอจิก “0” และเมื่อเล่นข้อความถัดไปที่ขานี้จะกลับเป็น ลอจิก “0” อีกครั้งและเป็นอย่างนี้ทุกรั้งที่จบข้อความและเล่นข้อความถัดไป

สรุปผลการทดลอง

จากการทดลองจะเห็นว่า ไอซี ISD 2590 สามารถบันทึกสัญญาณเสียงได้แบบ Multiple คือ สามารบันทึกข้อความต่อๆกันไปได้ และเมื่อจะเล่นกลับก็เพียงแต่รีเซตแอดเดรส และ เซตโหมดเป็นโหมดเล่นกลับก็จะสามารถเล่นกลับข้อความที่บันทึกไว้ได้และ เมื่อเล่นกลับจนหมดข้อความที่ขา $\overline{EOM}$ จะเป็นลอจิก “0” และเมื่อเล่นข้อความถัดไปที่ขานี้จะกลับเป็นลอจิก “1”อีกครั้งและที่สัญญาณนี้ทำให้เราทราบว่าได้เล่นกลับจนหมดข้อความแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.9 วงจรการทดลองตัวตรวจจับสัญญาณเรียกและแปลงให้เป็นสัญญาณทริก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3.2 การทดลองวงจรตรวจจับสัญญาณเรียกเข้าและแปลงให้เป็นสัญญาณทริก

ขั้นตอนการทดลอง

1. ต่อวงจรตามรูปและตรวจสอบความถูกต้อง
2. ต่อแหล่งจ่ายไฟเข้าวงจร
3. วัดแรงดันที่ขา 5 ของ IC 4N25 ต้องได้ +5VDC
4. ต่อสายโทรศัพท์เข้าวงจร
5. วัด ลอจิกที่ขา 2 ของ IC2
6. ทดลองโทรเข้ามาที่วงจรการทดลอง
7. บันทึกผลการเปลี่ยนแปลงของ ลอจิกที่ขา 2 ของ IC2

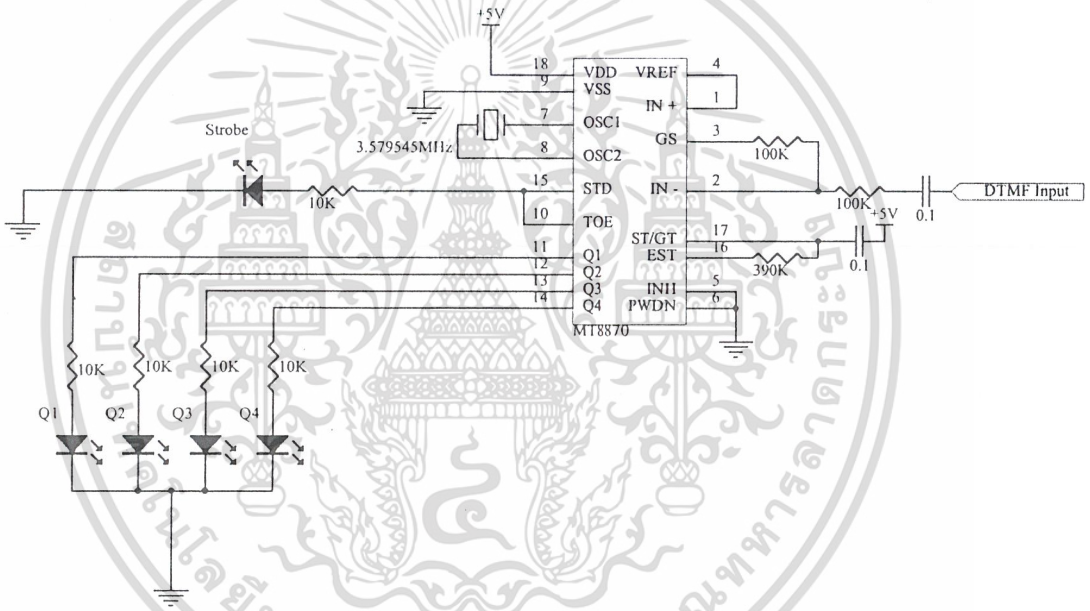
ผลการทดลอง

การโทรเข้ามาที่วงจร	ลอจิก ที่ขา 2 ของ IC2
ยังไม่โทรเข้ามาที่วงจร	1
โทรเข้ามาที่วงจร	0
ยังไม่โทรเข้ามาที่วงจร	1
โทรเข้ามาที่วงจร	0

สรุปผลการทดลอง

จากการทดลองจะเห็นได้ว่าทุกครั้งที่มีการโทรเข้ามา ขา $\overline{Q}$ ขา 2 ของ IC2 จะเปลี่ยนจากลอจิก “1” เป็น “0” ซึ่งปกติแล้ว ขา $\overline{Q}$ ขา 2 ของ IC2 จะเป็น ลอจิก “1”อยู่ ซึ่งสามารถนำไปทำเป็นสัญญาณ Interrupt CPU ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.10 วงจรการทดลองวงจรถอดรหัสสัญญาณความถี่คู่ (DTMF)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3.3 การทดลองวงจรถอดรหัสสัญญาณความถี่คู่ (DTMF)

ขั้นตอนการทดลอง

1. ต่อวงจรตามรูปและตรวจสอบความถูกต้อง
2. ต่อแหล่งจ่ายไฟเข้าวงจร
3. ต่อสัญญาณ DTMF จากเครื่องส่ง
4. ทดลองกดคีย์ต่างๆ แล้วบันทึกผลพร้อมสังเกตุการเปลี่ยนแปลงของขาสัญญาณต่างๆ

ผลการทดลอง

จากการทดลองจะได้สัญญาณ เอาท์พุท ที่ขาต่างๆดังในตาราง ซึ่งวงจรใช้การแสดงผลโดยใช้ LED เป็นตัวแสดงผล

สรุปผลการทดลอง

จะเห็นว่าผลการทดลองที่ได้ค่าต่างๆทาง เอาท์พุทจะเป็นไปตาม Data Sheet คือจะได้ค่าที่แตกต่างกัน 16 ค่าและทุกครั้งที่มีสัญญาณ DTMF เข้ามาขา STD จะเปลี่ยนจาก ลอจิก “0” เป็น ลอจิก “1”

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่6
สรุปผลการทดลอง

6.1 การทำงานโดยรวมของเครื่องตอบรับโทรศัพท์อัตโนมัติ

1. ส่วนขอผู้โทรเข้ามาฝากข้อความ

การทำงานของเครื่องตอบรับโทรศัพท์อัตโนมัติโดยรวมคือ เมื่อมีสัญญารเรียกเข้ามาวงจรตรวจสอบสัญญาณเรียกเข้าและเปลี่ยนเป็นสัญญารทริกจะส่งสัญญาณไปทำการ Interrupt CPU เพื่อให้ CPU ทำการส่งสัญญาณรับสายและเมื่อรับสายแล้ว CPU ก็จะทำการส่งสัญญาณไปทริกให้วงจรบันทึกและเล่นกลับเสียงตอบรับทำการเล่นกลับเสียงตอบรับเพื่อเพื่อให้ผู้ที่โทรเข้ามาได้ยินเสียงที่เราฝากไว้ให้สำหรับผู้ที่โทรเข้ามาฝากข้อความและเมื่อเสียงตอบรับจบลง CPU จะสั่งให้วงจรกำเนิดเสียง Beep ทำงานเพื่อบอกให้ผู้ที่โทรเข้ามาฝากข้อความ เตรียมตัวฝากข้อความ จากนั้น CPU ก็จะส่งสัญญาณควบคุมไปทำให้วงจรบันทึกและเล่นกลับข้อความของผู้ที่โทรเข้ามาฝากข้อความเข้าม่โหมดการบันทึกข้อความและจะรอจนกว่าวงจรกำหนดเวลาบันทึกจะหยุดการทำงานและจะทำการวางสายโดยอัตโนมัติ

2. ส่วนของผู้ใช้เครื่อง

การฝากเสียงตอบรับสำหรับผู้โทรเข้ามาฝากข้อความทำได้โดยการกดปุ่ม REC ที่หน้าเครื่องแล้วทำการพูดฝากข้อความเมื่อพูดจบก็ปล่อยปุ่ม REC และสำหรับการฟังข้อความที่ผู้พูดพูดฝากไว้ก็ทำการกดปุ่ม Play Answer และการฟังข้อความของผู้โทรเข้ามาฝากจะทำได้ 2 กรณีคือโทรจากนอกบ้านมาฟังซึ่งจะต้องกดรหัสผ่าน 4 ตัวให้ถูกต้องถ้ากดผิดแม้แต่ตัวเดียวเครื่องจะทำการวางหูโดยอัตโนมัติและเมื่อกดถูกทั้ง 4 ตัว เครื่องก็จะทำการเล่นกลับข้อความที่มีผู้ฝากไว้จนหมด ส่วนการเล่นกลับที่บ้านก็โดยการกดปุ่ม Play ที่หน้าเครื่องในส่วนของรหัสผ่านก็สามารถเปลี่ยนแปลงได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2 ผลการทดลองจากการใช้งานจริง

1. เมื่อโทรเข้ามาเครื่องจะทำการรับสายและเล่นกลับเสียงตอบรับและเมื่อเสียงตอบรับจบลงเครื่องก็จะเข้าสู่โหมดการบันทึกข้อความของผู้โทรเข้ามา และเมื่อหมดเวลาการบันทึกข้อความของผู้โทรเข้ามาเครื่องก็จะทำการวางสายโดยอัตโนมัติและสำหรับข้อความที่ 2 และ 3 ก็จะทำในทำนองเดียวกัน

2. ในการฟังข้อความที่มีผู้ฝากไว้ในตอนแรกจะทำการฟังจากการกดที่หน้าเครื่องก่อนคือเมื่อกดปุ่ม Play ที่หน้าเครื่องก็จะทำการเล่นกลับตั้งแต่ข้อความแรกจนถึงข้อความสุดท้ายและเมื่หมดข้อความสุดท้ายแล้วก็จะหยุดเล่นกลับโดยอัตโนมัติ

3. ทำการฝากข้อความใหม่ตามขั้นตอนที่ 1 ใหม่

4. ทดลองโทรเข้ามาฟังข้อความ คือเมื่อโทรเข้ามาแล้วเครื่องรับสายและเล่นกลับเสียงตอบรับในขณะที่เล่นกลับเสียงตอบรับก็กด "0" ที่โทรศัพท์เพื่อเข้าสู่โหมดการฟังข้อความและเครื่องก็จะให้กดรหัสผ่านก็กดตามที่กำหนดและเมื่อกดจนครบแล้วเครื่องก็จะทำการเล่นกลับข้อความจนหมดครบตามที่เราโทรเข้ามาฝากไว้

5. ทดลองเปลี่ยนรหัสผ่านโดยการโทรเข้ามาและเมื่อเครื่องรับสายแล้วและเล่นกลับเสียงตอบรับก็กด "1" ที่โทรศัพท์เพื่อเข้าสู่โหมดการเปลี่ยนรหัสผ่านและในการเปลี่ยนรหัสผ่านเครื่องจะกำหนดให้ใส่รหัสเก่าก่อนก็ใส่ตามนั้นและตามด้วยการใส่รหัสใหม่ก็ใส่ตามนั้นเมื่อใส่เสร็จเครื่องก็จะวางหูโดยอัตโนมัติ

6. ตรวจสอบรหัสผ่านที่เปลี่ยนแปลงโดยการทำการฝากข้อความตามขั้นตอนที่ 1 แล้วก็โทรเข้ามาฟังข้อความตามขั้นตอนที่ 4 โดยรหัสผ่านจะต้องเป็นรหัสใหม่ที่เราใส่เข้าไปใหม่ไม่ใช่รหัสเก่าซึ่งเครื่อง ก็สามารถทำได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

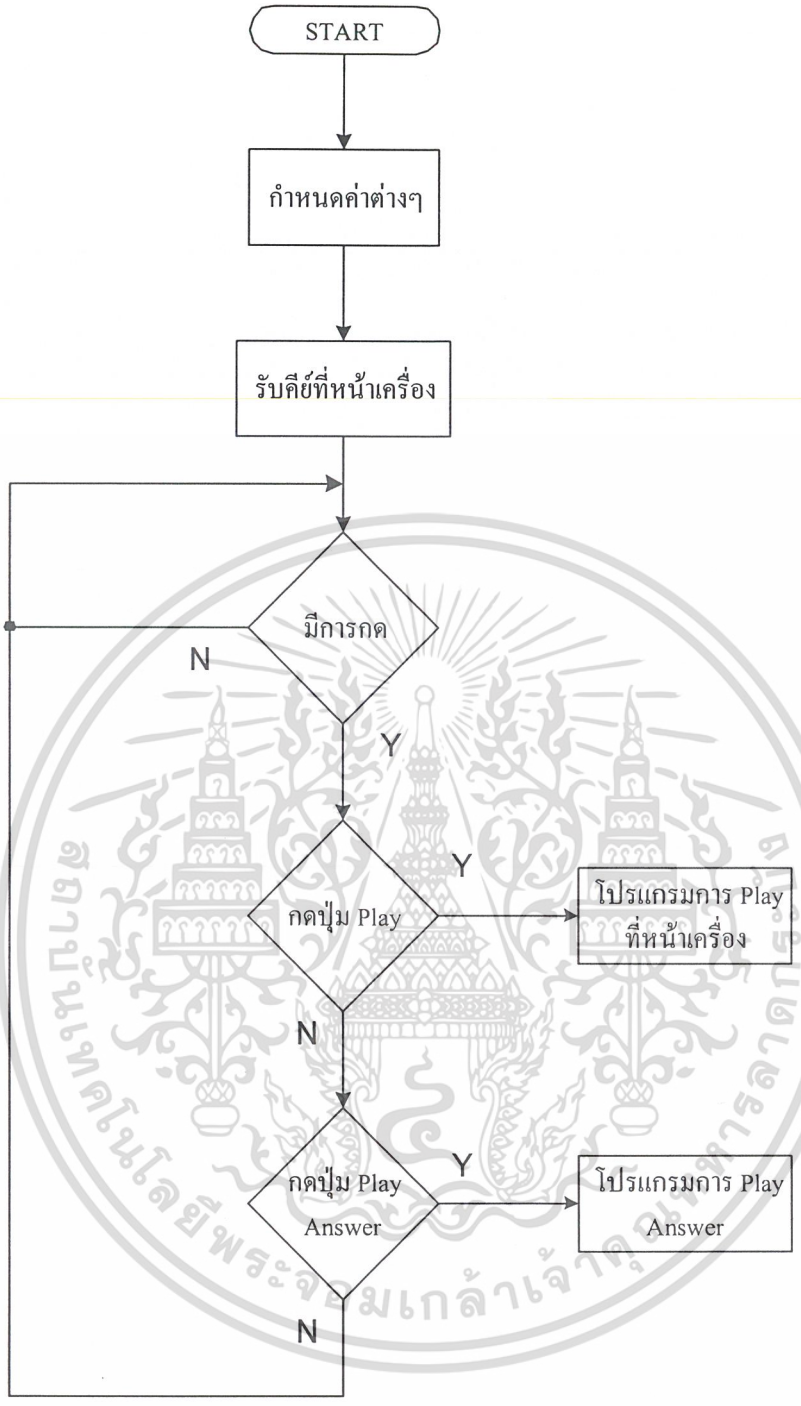
หนังสืออ้างอิง

1. เซมิคอนดัคเตอร์	ซีเอ็คยูเคชั่น
2. วิบูลย์ ชื่นแขก	ไมโครโปรเซสเซอร์
3. CP – Z80V1	USER'S MANUAL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

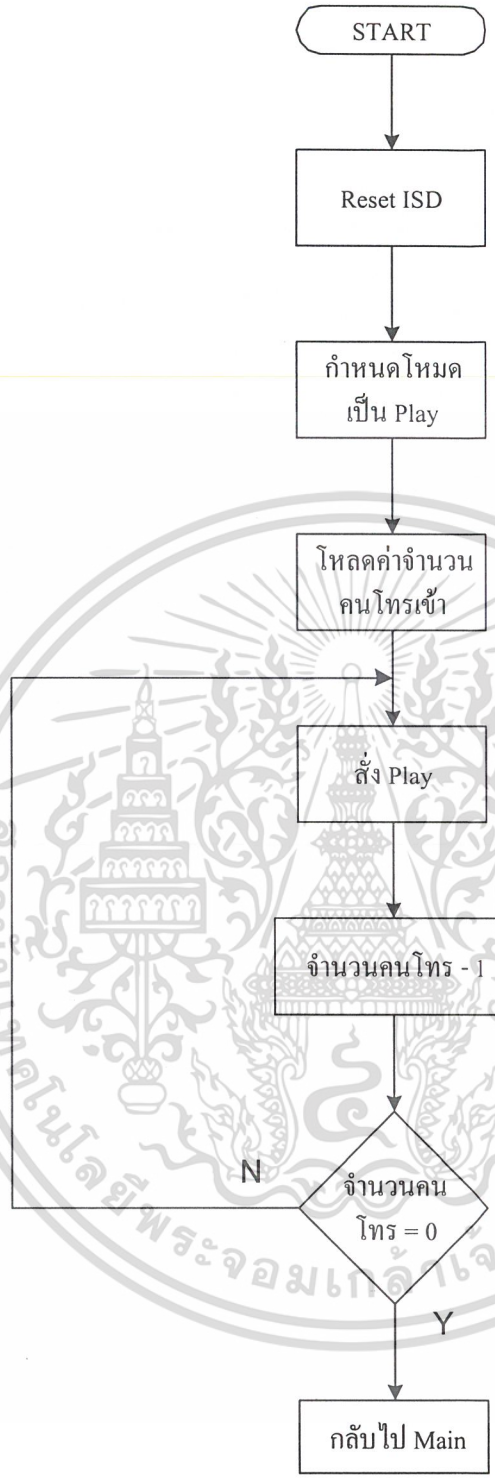
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



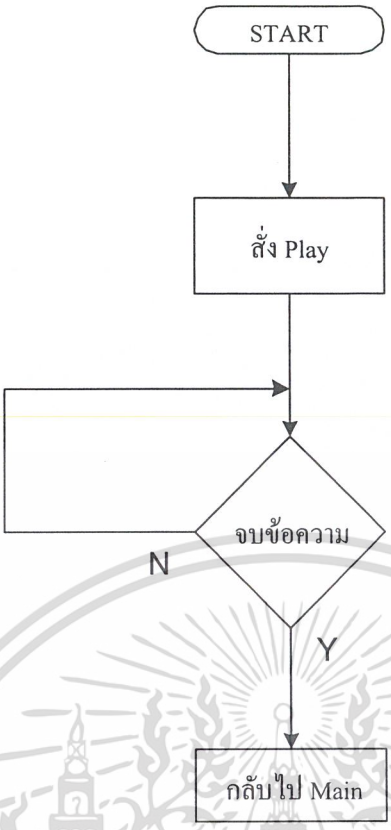
Flow Chart แสดง Main

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



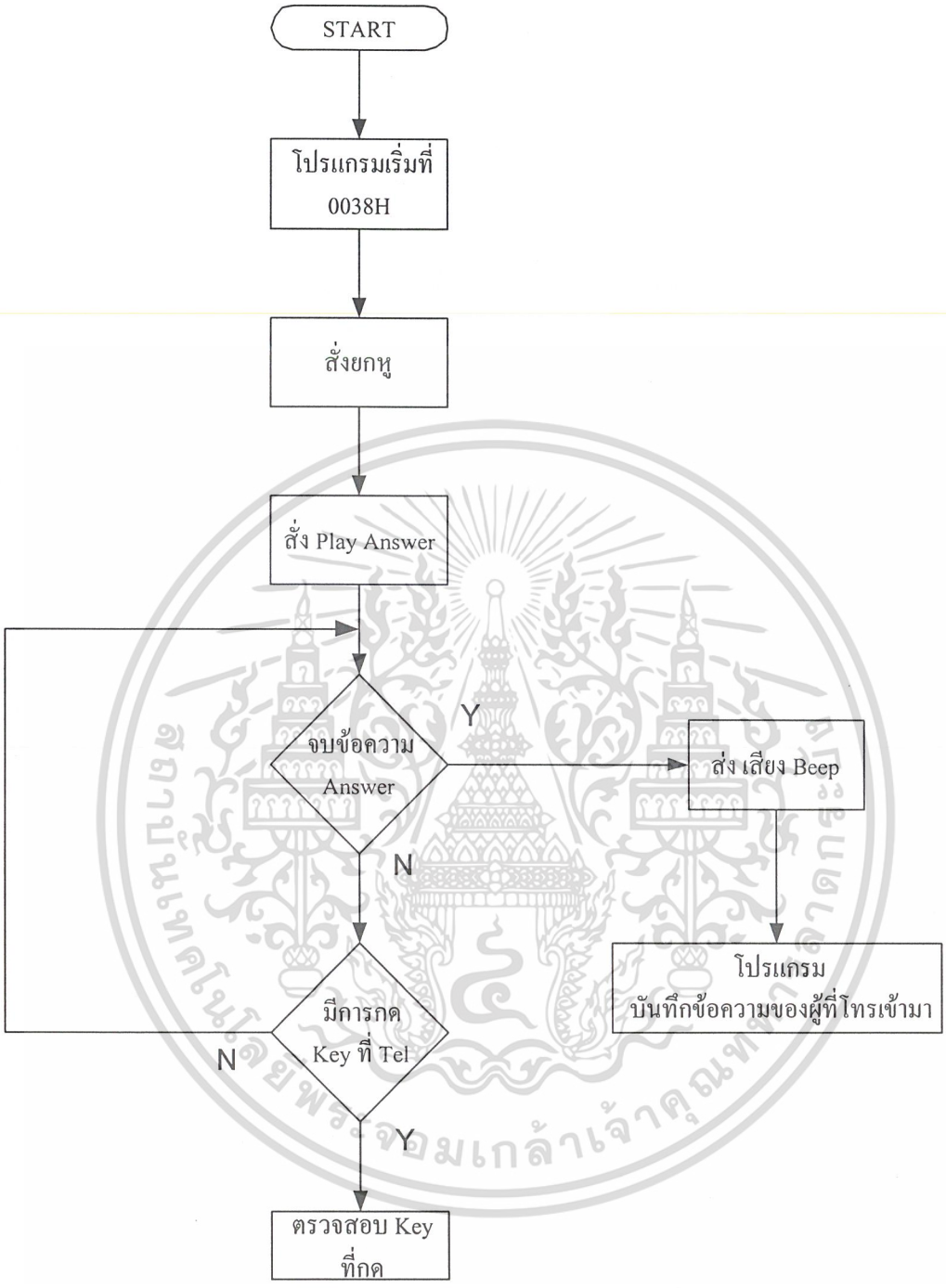
Flow Chart แสดง การ Play ที่หน้าเครื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



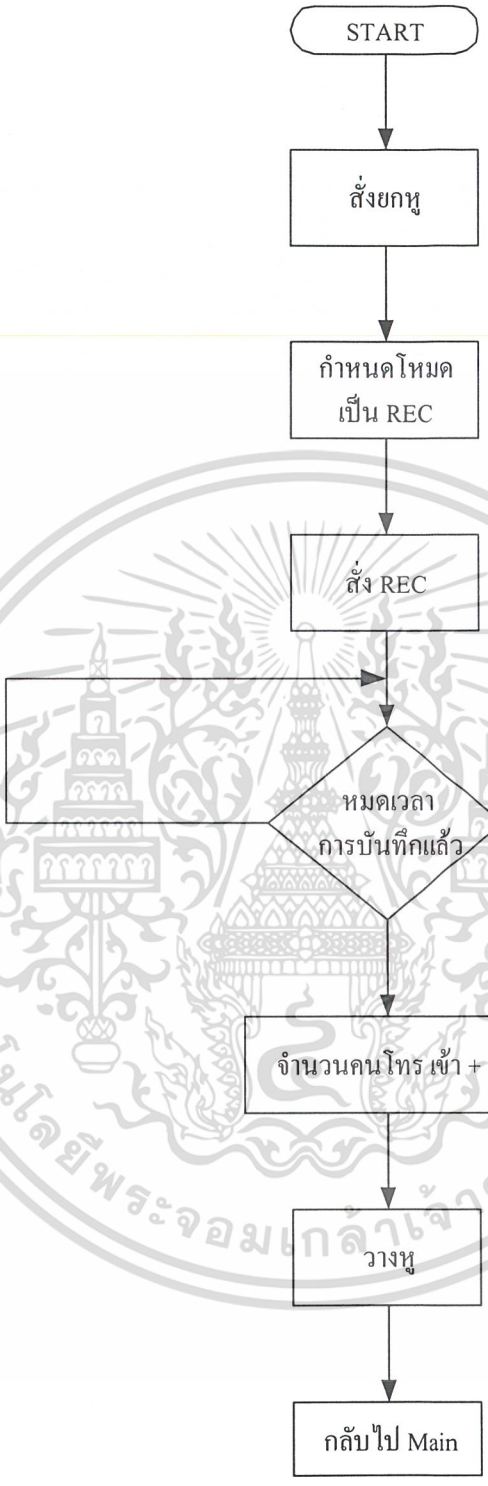
Flow Chart แสดง การ Play เสียงตอบรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



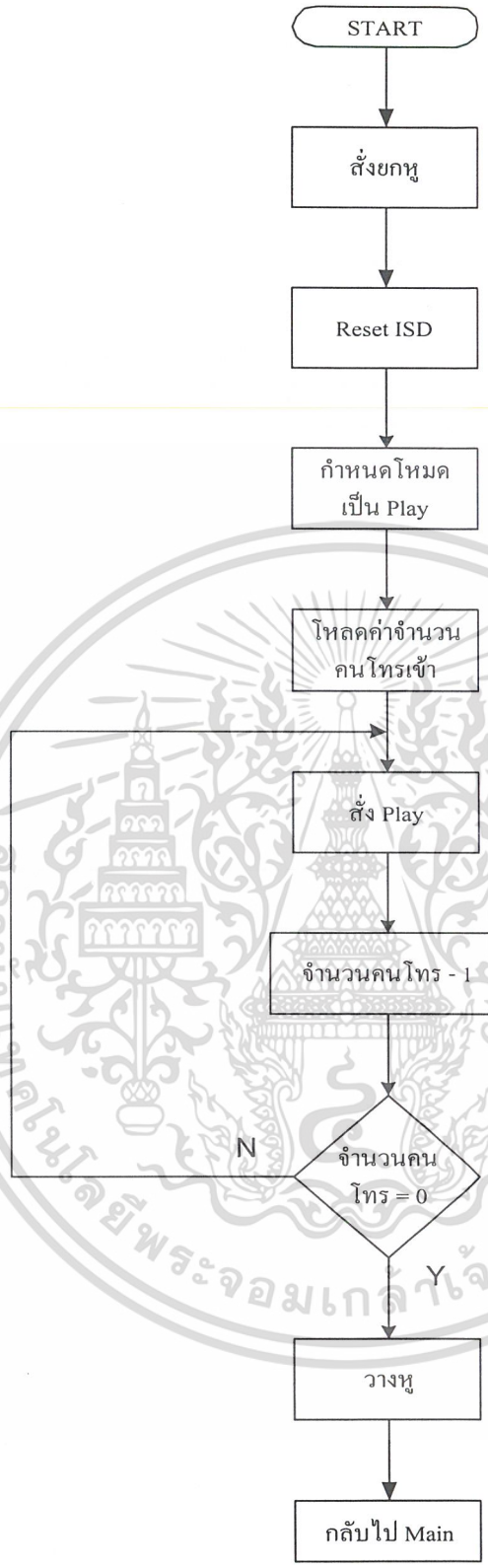
Flow Chart แสดง การตอบรับการ Interrupt

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



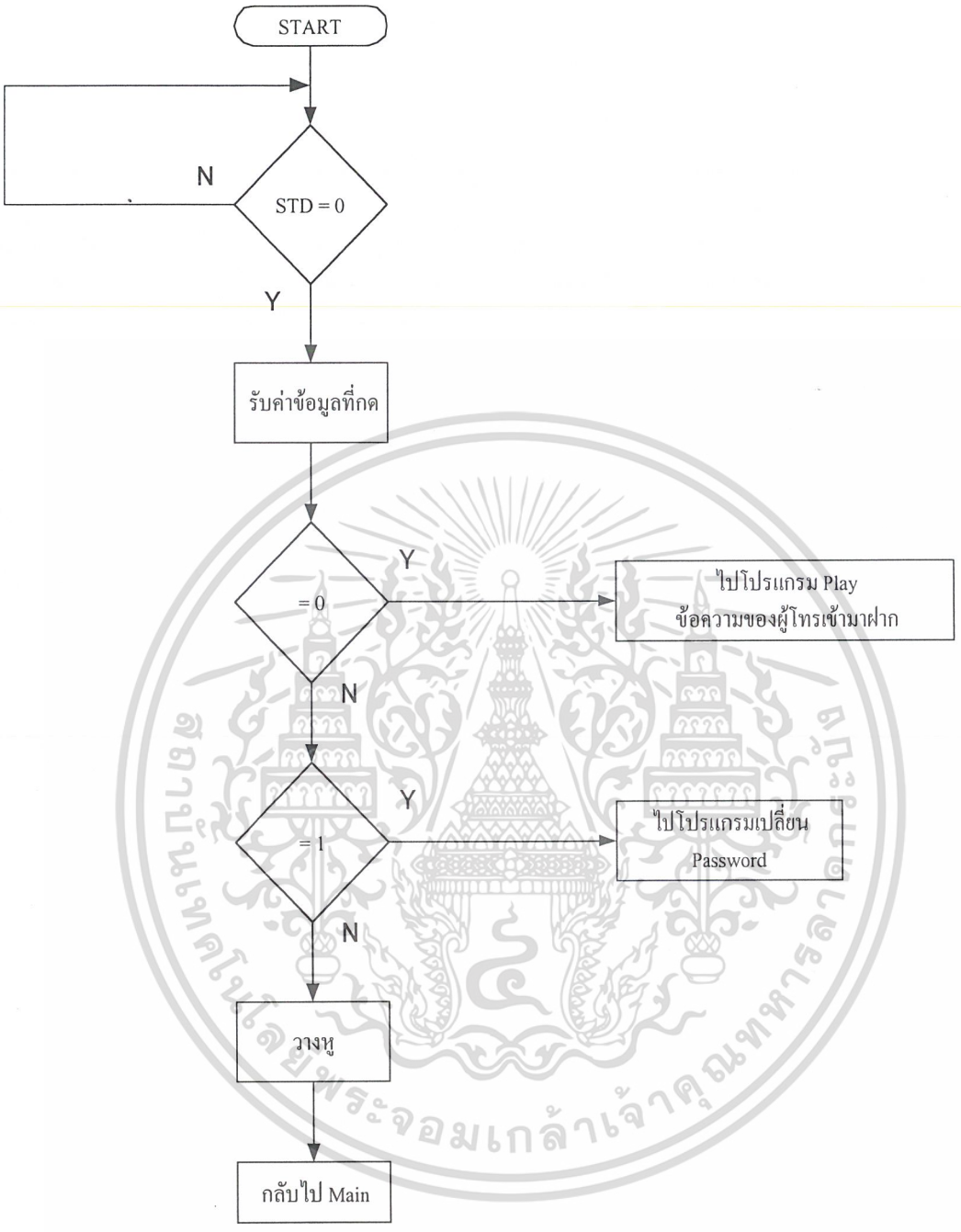
Flow Chart แสดง การบันทึกข้อความของผู้โทรเข้ามาฝากข้อความ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



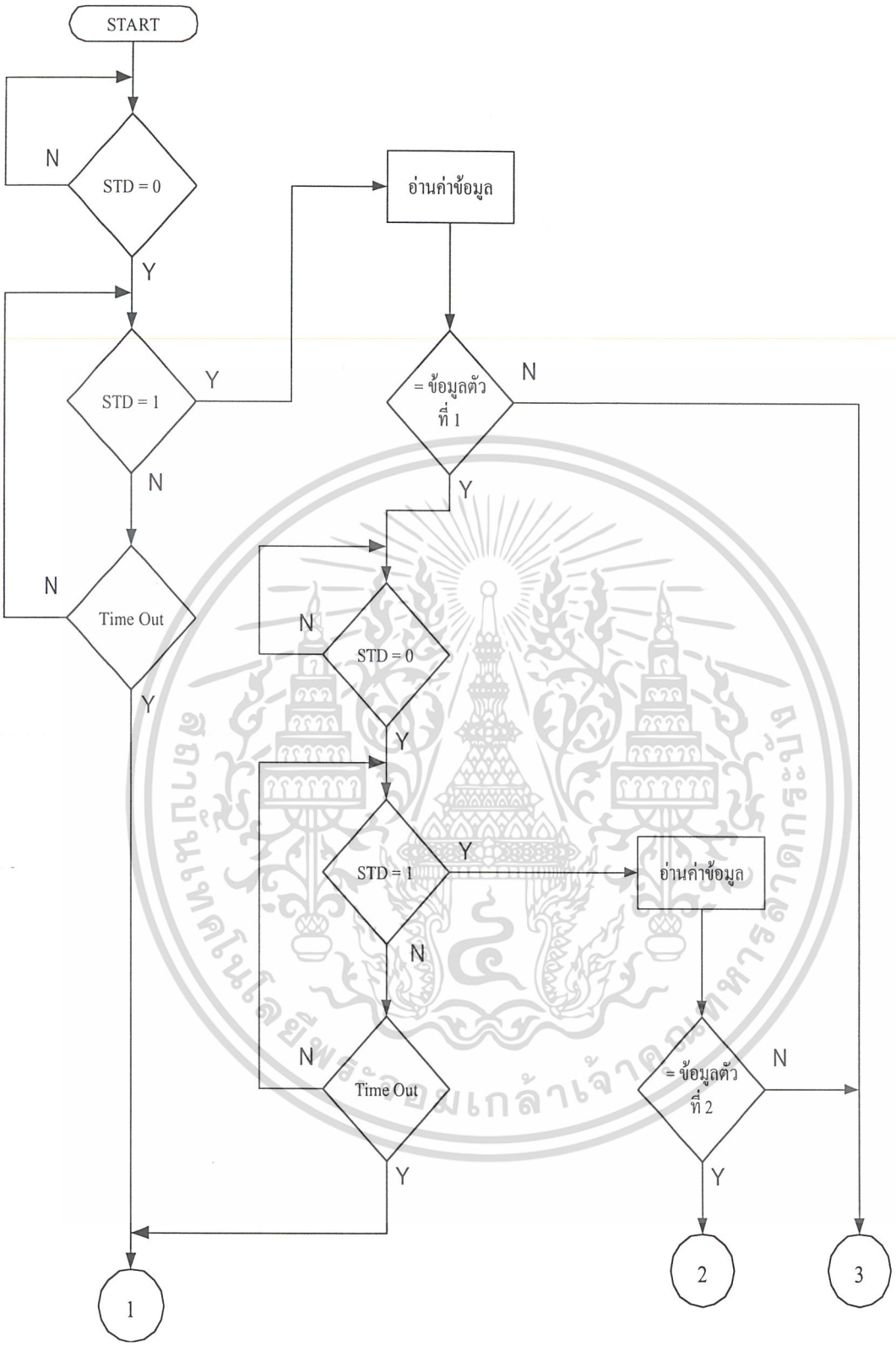
Flow Chart แสดง การ Play ข้อความของผู้โทรมาฝากข้อความทางโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



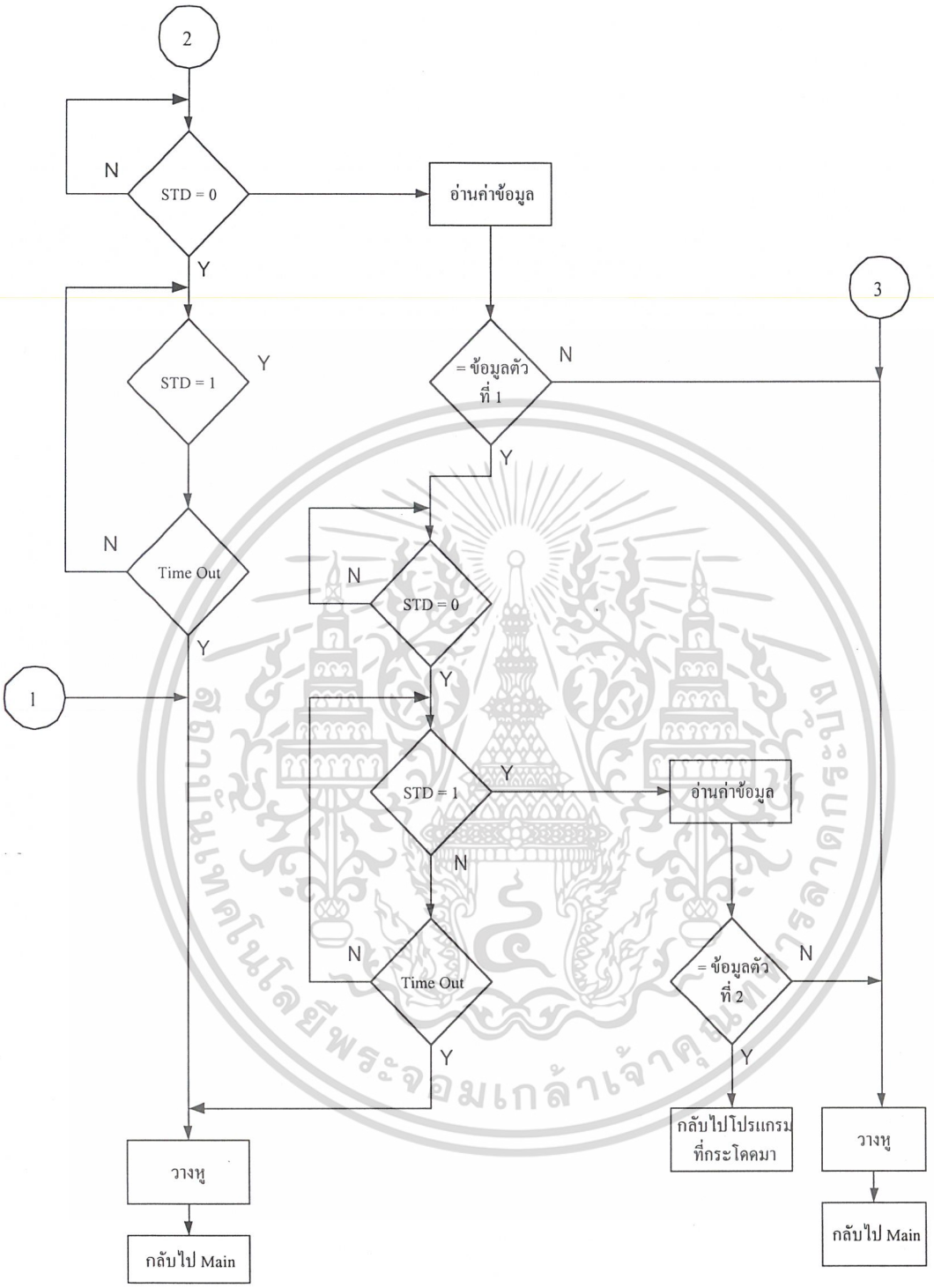
Flow Chart แสดง การตรวจสอบ Key ที่กด (ที่ โทรศัพท์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



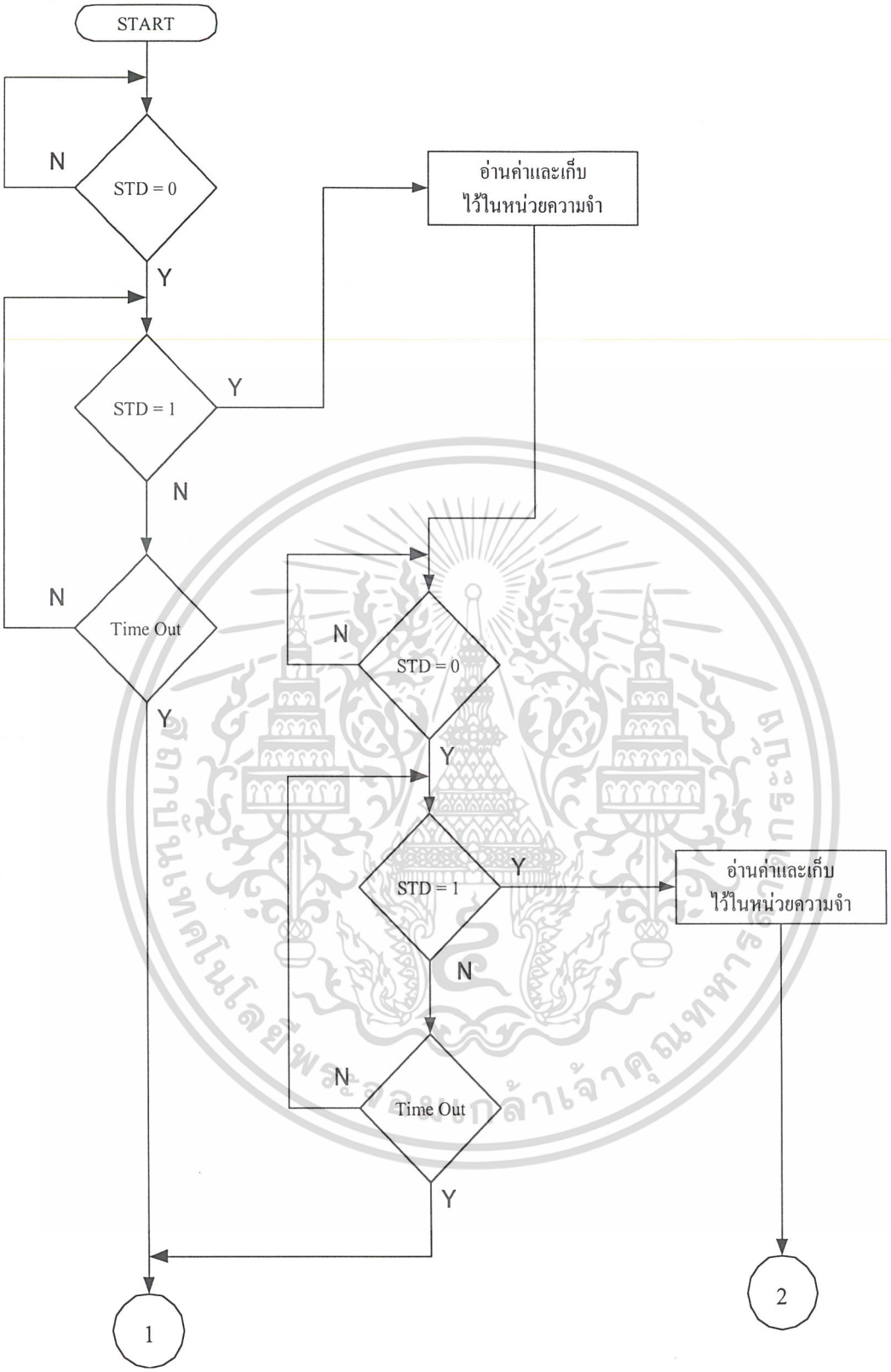
Flow Chart แสดงการ Check Password

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



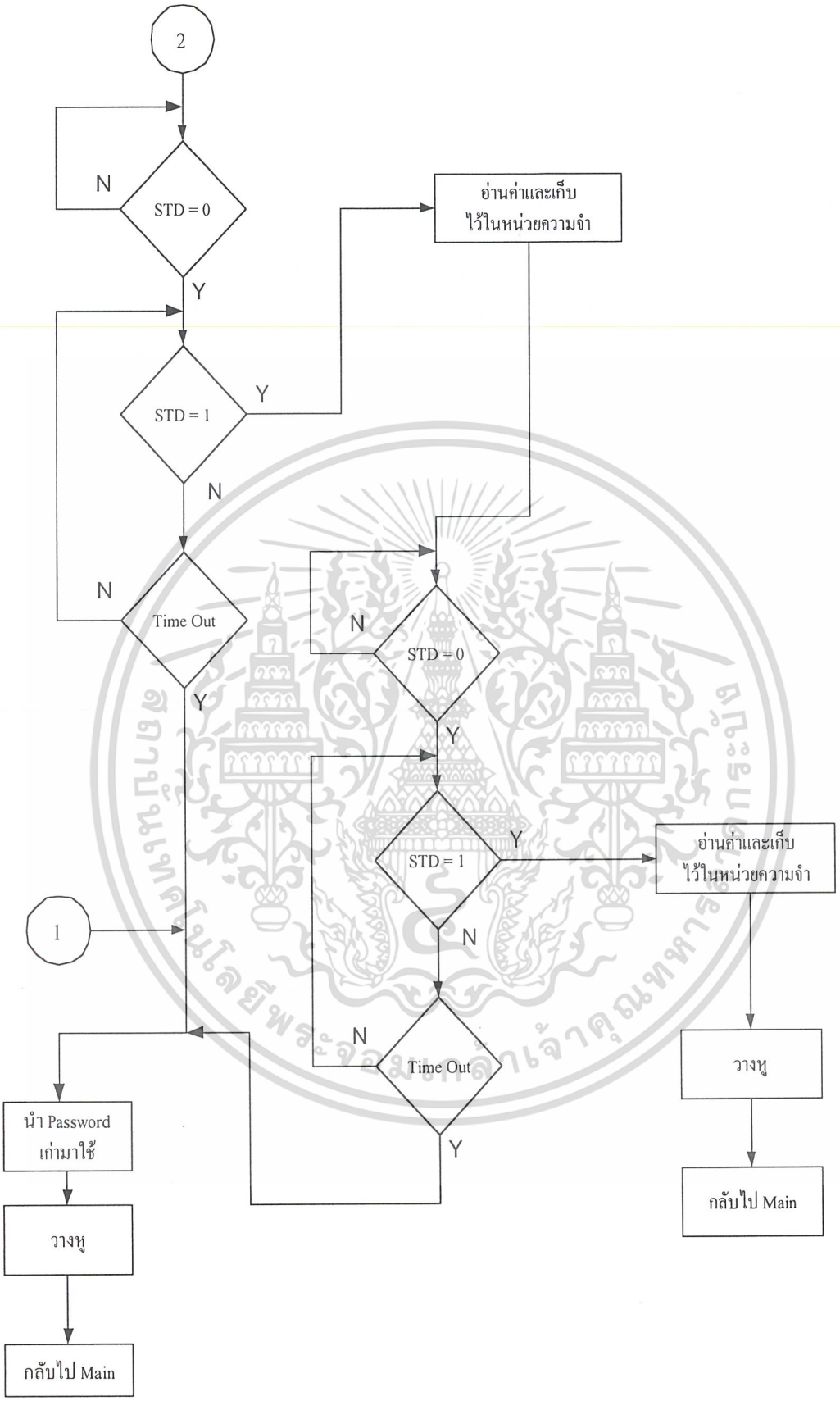
Flow Chart แสดงการ Check Password (ต่อ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Flow Chart แสดง การเปลี่ยน Password

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Flow Chart แสดง การเปลี่ยน Password (ต่อ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมสำหรับเครื่องตอบรับโทรศัพท์อัตโนมัติ

```
PA:         EQU   40H
PB:         EQU   41H
PC:         EQU   42H
PCC:        EQU   43H
            ORG   0000H
            CALL  LOAD
START:      LD    HL,0
ST1:        DEC   HL
            LD    A,L
            OR    H
            JR    NZ,ST1
            LD    SP,9FFFH
            LD    A,83H
            OUT   (PCC),A
            LD    A,0
            SET   2,A
            OUT   (PA),A
            IM    1
            EI
;.....
SCANKEY:    IN    A,(PB)
            BIT   5,A
            CALL  NZ,L1
            IN    A,(PB)
            BIT   6,A
            CALL  NZ,L2
            JP    SCANKEY
;.....
            ORG   0038H
            CALL  HOOK
            CALL  DELAY
            CALL  PLAY_A
            CALL  REC
            CALL  OFF
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                EI
                RETI
;.....
L1:             CALL    DELAY_K
                IN      A,(PB)
                BIT     5,A
                CALL    NZ,PLAY_A1
                NOP
                RET
L2:             CALL    DELAY_K
                IN      A,(PB)
                BIT     6,A
                CALL    NZ,PLAY
                NOP
                RET
;.....
LOAD:           LD      IX,8000H
                LD      (IX+0),00001010B
                LD      (IX+01H),00001010B
                LD      (IX+02H),00001010B
                LD      (IX+03H),00001010B
                LD      (IX+04H),01H
                RET
;.....
PLAY_A1:        DI
                LD      A,0
                SET     3,A
                OUT     (PA),A
                CALL    DELAY
                RES     3,A
                OUT     (PA),A
PA1:            IN      A,(PB)
                BIT     4,A
                JR      NZ,PA1
                CALL    DELAY
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                EI
                RET
;.....
PLAY_A:         LD      A,0
                SET     3,A
                SET     2,A
                SET     5,A
                RES     6,A
                OUT     (PA),A
                CALL    DELAY
                RES     3,A
                OUT     (PA),A
P1:             IN      A,(PB)
                BIT     4,A
                JR      Z,P2
                IN      A,(PB)
                BIT     2,A
                CALL    NZ,CDGT
                JP      P1
P2:             CALL    DELAYR
                CALL    HOOK
                CALL    DELAY
                CALL    BEEP
                RET
;.....
PLAY:           DI
                LD      A,0
                RES     4,A
                RES     5,A
                RES     6,A
                SET     2,A     ; MODE PLAY
                OUT     (PA),A
                CALL    DELAYR
                CALL    DELAYR
                SET     1,A     ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        OUT     (PA),A  ;
        CALL    DELAY   ; RESET ISD
        RES     1,A     ;
        OUT     (PA),A  ;
        CALL    DELAYR
        CALL    DELAYR
        LD      D,(IX+04H)
        PUSH    AF
        LD      A,D
        CP      02H
        CALL    Z,PL7
        POP     AF
        DEC     D
        CALL    NZ,PL2
        LD      A,0
        SET     2,A
        SET     1,A     ;
        OUT     (PA),A  ;
        CALL    DELAY   ; RESET ISD
        RES     1,A     ;
        OUT     (PA),A  ;
        LD      (IX+04H),01H
        EI
        RET
;.....
PL2:    RES     5,A
        RES     6,A
        SET     4,A     ;
        OUT     (PA),A  ;
        CALL    DELAYR
        CALL    DELAYR
PL5:    IN      A,(PB)
        BIT     0,A
        JR      NZ,PL5
PL6:    IN      A,(PB)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        BIT     0,A
        JR      Z,PL6
        DEC     D
        JR      NZ,PL3
        RES     6,A
        RES     5,A
        RES     4,A
        OUT     (PA),A
        NOP
        RET
PL3:    IN      A,(PB)
        BIT     0,A
        JR      NZ,PL3
PL4:    IN      A,(PB)
        BIT     0,A
        JR      Z,PL4
        DEC     D
        RET     Z
        JP      PL3
        NOP
        RET
PL7:    LD      A,0
        SET     4,A
        OUT     (PA),A
        CALL    DELAYR
        RES     4,A
        OUT     (PA),A
PL8:    IN      A,(PB)
        BIT     0,A
        JR      NZ,PL8
PL9:    IN      A,(PB)
        BIT     0,A
        JR      Z,PL9
        LD      D,01H
        RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;.....
REC:    LD    D,(IX+04H)
        INC   D
        LD    (IX+04H),D
        CALL  DELAY
        CALL  SWITCH
        RES   1,A
        RES   2,A
        OUT   (PA),A
        CALL  DELAYR
        CALL  DELAYR
        CALL  DELAYR
        SET   0,A
        OUT   (PA),A
        CALL  DELAY
        RES   0,A
        OUT   (PA),A
        PUSH  AF
RE1:    IN    A,(PB)
        BIT   1,A
        JP    Z,RE1
        POP   AF
        SET   2,A
        OUT   (PA),A
        CALL  DELAYR
        CALL  DELAYR
        RET
;.....
DELAY:  PUSH  AF
        LD    HL,9FFFH
DELAY1: DEC   HL
        LD    A,L
        OR    H
        JP    NZ,DELAY1
        POP   AF
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                RET
;.....
DELAYR:         PUSH    AF
                LD      HL,0FFFFH
DELAYR1:        DEC     HL
                LD      A,L
                OR      H
                JP      NZ,DELAYR1
                POP     AF
                RET
;.....
DELAY_K:        PUSH    BC
                LD      B,90H
K1:             DEC     B
                JR      NZ,K1
                POP     BC
                RET
;.....
BEEP:           PUSH    AF
                LD      A,0
                SET     2,A
                SET     5,A
                SET     7,A
                OUT     (PA),A
                CALL    DELAY
                RES     7,A
                OUT     (PA),A
                POP     AF
                RET
;.....
BEEP1:          PUSH    AF
                LD      A,0
                RES     4,A
                RES     3,A
                SET     6,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                SET     2,A
                SET     5,A
                SET     7,A
                OUT     (PA),A
                CALL    DELAY
                RES     7,A
                OUT     (PA),A
                POP     AF
                RET
;.....
HOOK:           LD      A,0
                SET     2,A
                SET     5,A
                OUT     (PA),A
                RET
;.....
SWITCH:         SET     6,A
                OUT     (PA),A
                RET
;.....
OFF:            LD      A,0
                SET     2,A
                RES     5,A
                RES     6,A
                OUT     (PA),A
                RET
;.....
CDGT:           LD      A,0
                SET     5,A
                SET     6,A
                SET     2,A
                OUT     (PA),A
                IN      A,(PC)
                AND     00001111B
                CP      00001010B
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                CALL    Z,PLAY1
                IN      A,(PC)
                AND     00001111B
                CP      00000001B
                CALL    Z,CHGPASS
                RET
;.....
PLAY1:          CALL    PASS
                LD      A,0
                SET     6,A
                SET     5,A
                OUT     (PA),A
                RES     3,A
                SET     2,A     ; MODE PLAY
                OUT     (PA),A
                CALL    DELAYR
                CALL    DELAYR
                SET     1,A     ;
                OUT     (PA),A  ;
                CALL    DELAY   ; RESET ISD
                RES     1,A     ;
                OUT     (PA),A  ;
                CALL    DELAYR
                CALL    DELAYR
                LD      D,(IX+04H)
                PUSH    AF
                LD      A,D
                CP      02H
                CALL    Z,PL71
                POP     AF
                DEC     D
                CALL    NZ,PL21
                LD      A,0
                RES     3,A
                SET     5,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        SET     6,A
        SET     2,A
        SET     1,A     ;
        OUT     (PA),A  ;
        CALL    DELAY   ; RESET ISD
        RES     1,A     ;
        OUT     (PA),A  ;
        LD      (IX+04H),01H
        CALL    DELAYR
        CALL    OFF
        LD      SP,9FFEH
        LD      IY,9FFEH
        LD      (IY+0),1BH
        LD      (IY+01H),00H
        LD      A,0FFFFH
        EI
        RETI
;.....
PL21:   SET     6,A
        SET     5,A
        RES     3,A
        SET     4,A     ;
        OUT     (PA),A  ;
        CALL    DELAYR
        CALL    DELAYR
PL51:   IN      A,(PB)
        BIT     0,A
        JR      NZ,PL51
PL61:   IN      A,(PB)
        BIT     0,A
        JR      Z,PL61
        DEC     D
        JR      NZ,PL31
        RES     6,A
        SET     5,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        RES     4,A
        OUT     (PA),A
        NOP
        RET
PL31:   IN      A,(PB)
        BIT     0,A
        JR      NZ,PL31
PL41:   IN      A,(PB)
        BIT     0,A
        JR      Z,PL41
        DEC     D
        RET     Z
        JP      PL31
        NOP
        RET
PL71:   LD      A,0
        SET     5,A
        RES     3,A
        SET     6,A
        SET     4,A
        OUT     (PA),A
        CALL    DELAYR
        RES     4,A
        OUT     (PA),A
PL81:   IN      A,(PB)
        BIT     0,A
        JR      NZ,PL81
PL91:   IN      A,(PB)
        BIT     0,A
        JR      Z,PL91
        LD      D,01H
        RET
;.....
PASS:   LD      A,0
        SET     5,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        SET     6,A
        SET     2,A
        OUT     (PA),A
        LD      IX,8000H
        CALL    DELAYR
        CALL    DELAYR
        CALL    BEEP1
PW0_1:  IN      A,(PB)
        BIT     2,A
        JR      NZ,PW0_1
        LD      BC,0FFFFH
        LD      HL,0010H
PW1:    DEC     BC
        LD      A,C
        OR      B
        CALL    Z,NO1
        IN      A,(PB)
        BIT     2,A
        JR      Z,PW1
        IN      A,(PC)
        AND     00001111B
        LD      E,(IX+0)
        CP      E
        CALL    NZ,NO
PW1_1:  IN      A,(PB)
        BIT     2,A
        JR      NZ,PW1_1
        CALL    DELAYR
        CALL    DELAYR
        CALL    BEEP1
        LD      BC,0FFFFH
        LD      HL,0010H
PW2:    DEC     BC
        LD      A,C
        OR      B
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        CALL    Z,NO1
        IN      A,(PB)
        BIT     2,A
        JR      Z,PW2
        IN      A,(PC)
        AND     00001111B
        LD      E,(IX+01)
        CP      E
        CALL    NZ,NO
PW2_1:  IN      A,(PB)
        BIT     2,A
        JR      NZ,PW2_1
        CALL    DELAYR
        CALL    DELAYR
        CALL    BEEP1
        LD      BC,0FFFFH
        LD      HL,0010H
PW3:    DEC     BC
        LD      A,C
        OR      B
        CALL    Z,NO1
        IN      A,(PB)
        BIT     2,A
        JR      Z,PW3
        IN      A,(PC)
        AND     00001111B
        LD      E,(IX+02)
        CP      E
        CALL    NZ,NO
PW3_1:  IN      A,(PB)
        BIT     2,A
        JR      NZ,PW3_1
        CALL    DELAYR
        CALL    DELAYR
        CALL    BEEP1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        LD      BC,0FFFFH
        LD      HL,0010H
PW4:    DEC     BC
        LD      A,C
        OR      B
        CALL    Z,NO1
        IN      A,(PB)
        BIT     2,A
        JR      Z,PW4
        IN      A,(PC)
        AND     00001111B
        LD      E,(IX+03)
        CP      E
        CALL    DELAYR
        CALL    DELAYR
        CALL    BEEP1
        CALL    DELAYR
        CALL    BEEP1
        RET     Z
NO:     NOP
        CALL    OFF
        LD      SP,9FFEH
        LD      IY,9FFEH
        LD      (IY+0),1BH
        LD      (IY+01H),00H
        LD      A,0FFFFH
        EI
        RETI
;.....
CHGPASS: CALL   PASS
        LD      IX,8000H
        LD      B,(IX+0)
        LD      (IX+05),B
        LD      B,(IX+01H)
        LD      (IX+06H),B
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        LD      B,(IX+02H)
        LD      (IX+07H),B
        LD      B,(IX+03H)
        LD      (IX+08H),B
        CALL    DELAYR
        CALL    DELAYR
        CALL    BEEP1
CG_0:   IN      A,(PB)
        BIT     2,A
        JR      NZ,CG_0
        LD      BC,0FFFFH
        LD      HL,0010H
CG1:    DEC     BC
        LD      A,C
        OR      B
        CALL    Z,NO2
        IN      A,(PB)
        BIT     2,A
        JR      Z,CG1
        IN      A,(PC)
        AND     00001111B
        LD      (IX+0),A
CG1_1:  IN      A,(PB)
        BIT     2,A
        JR      NZ,CG1_1
        CALL    DELAYR
        CALL    DELAYR
        CALL    BEEP1
        LD      BC,0FFFFH
        LD      HL,0010H
CG2:    DEC     BC
        LD      A,C
        OR      B
        CALL    Z,NO2
        IN      A,(PB)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        BIT     2,A
        JR      Z,CG2
        IN      A,(PC)
        AND     00001111B
        LD      E,A
        LD      (IX+01H),E
CG2_1:  IN      A,(PB)
        BIT     2,A
        JR      NZ,CG2_1
        CALL    DELAYR
        CALL    DELAYR
        CALL    BEEP1
        LD      BC,0FFFFH
        LD      HL,0010H
CG3:    DEC     BC
        LD      A,C
        OR      B
        CALL    Z,NO2
        IN      A,(PB)
        BIT     2,A
        JR      Z,CG3
        IN      A,(PC)
        AND     00001111B
        LD      E,A
        LD      (IX+02H),E
CG3_1:  IN      A,(PB)
        BIT     2,A
        JR      NZ,CG3_1
        CALL    DELAYR
        CALL    DELAYR
        CALL    BEEP1
        LD      BC,0FFFFH
        LD      HL,0010H
CG4:    DEC     BC
        LD      A,C
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        OR      B
        CALL    Z,NO2
        IN      A,(PB)
        BIT     2,A
        JR      Z,CG4
        IN      A,(PC)
        AND     00001111B
        LD      E,A
        LD      (IX+03H),E
CG4_1:  IN      A,(PB)
        BIT     2,A
        JR      NZ,CG4_1
        CALL    DELAYR
        CALL    DELAYR
        CALL    BEEP1
        CALL    DELAYR
        CALL    BEEP1
        CALL    OFF
        LD      SP,9FFEH
        LD      IY,9FFEH
        LD      (IY+0),1BH
        LD      (IY+01H),00H
        LD      A,0FFFFH
        EI
        RETI
;.....
NO1:    LD      BC,0FFFFH
        DEC     HL
        LD      A,L
        OR      H
        JP      Z,NO
        RET
;.....
NO2:    LD      BC,0FFFFH
        DEC     HL
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        LD      A,L
        OR      H
        RET     NZ
        LD      B,(IX+05H)
        LD      (IX+0),B
        LD      B,(IX+06H)
        LD      (IX+01H),B
        LD      B,(IX+07H)
        LD      (IX+02H),B
        LD      B,(IX+08H)
        LD      (IX+03H),B
        CALL    OFF
        LD      SP,9FFEH
        LD      IY,9FFEH
        LD      (IY+0),1BH
        LD      (IY+01H),00H
        LD      A,0FFFFH
        EI
        RETI
;.....
        END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้งานเครื่องตอบรับโทรศัพท์อัตโนมัติ

ก่อนการใช้งาน

1. เปิดเครื่อง
2. เสียบสายโทรศัพท์เข้าเครื่อง
3. กดปุ่ม REC หน้าเครื่องค้างไว้แล้วพูดฝากข้อความเก็บไว้เมื่อพูดจบก็ปล่อยปุ่ม REC
4. กดปุ่ม Play Answer เพื่อทำการฟังข้อความที่เราอัดเก็บไว้เป็นเสียงตอบรับ

การเปลี่ยน Password (ในกรณีที่เปิดเครื่องครั้งแรก)

1. โทรเข้าเครื่องตอบรับโทรศัพท์
2. เมื่อได้ยินเสียงตอบรับก็กดปุ่ม "1" ที่โทรศัพท์
3. เมื่อได้ยินเสียง ตู๊ด แรกก็กด "0" และจะได้ยินเสียงตู๊ดตอบรับก็จึงกด "0" ตัวที่ 2 และตัวที่ 3 และ 4 ก็เป็น "0" และทำในทำนองเดียวกัน แต่เมื่อสิ้นสุดตัวที่ 4 แล้ว จะได้ยินเสียง ตู๊ด 2 ครั้ง
4. เมื่อได้ยินเสียงตู๊ดแรกหลังจากเสียง ตู๊ด 2 ครั้งแล้ว ให้ กด Password ตัวแรกที่ต้องการเมื่อใส่เสร็จ จะมีเสียงตู๊ด ตอบรับก็ให้ใส่ Password ตัวที่ 2 , 3 และ 4 ในทำนองเดียวกันและเมื่อสิ้นสุดการใส่ Password ตัวที่ 4 แล้ว จะมีเสียงตู๊ด 2 ครั้งเป็นอันเสร็จการเปลี่ยน Password และเครื่องจะทำการวางสายโดยอัตโนมัติ

การฟังข้อความที่มีผู้ฝากไว้

1. การฟังจากหน้าเครื่อง

ทำการกดปุ่ม Play ที่หน้าเครื่อง ๆ ก็จะทำการ Play ข้อความที่มีผู้ฝากไว้ตั้งแต่แรกจนถึงข้อความสุดท้าย

2. โทรเข้ามาฟังจากข้างนอก

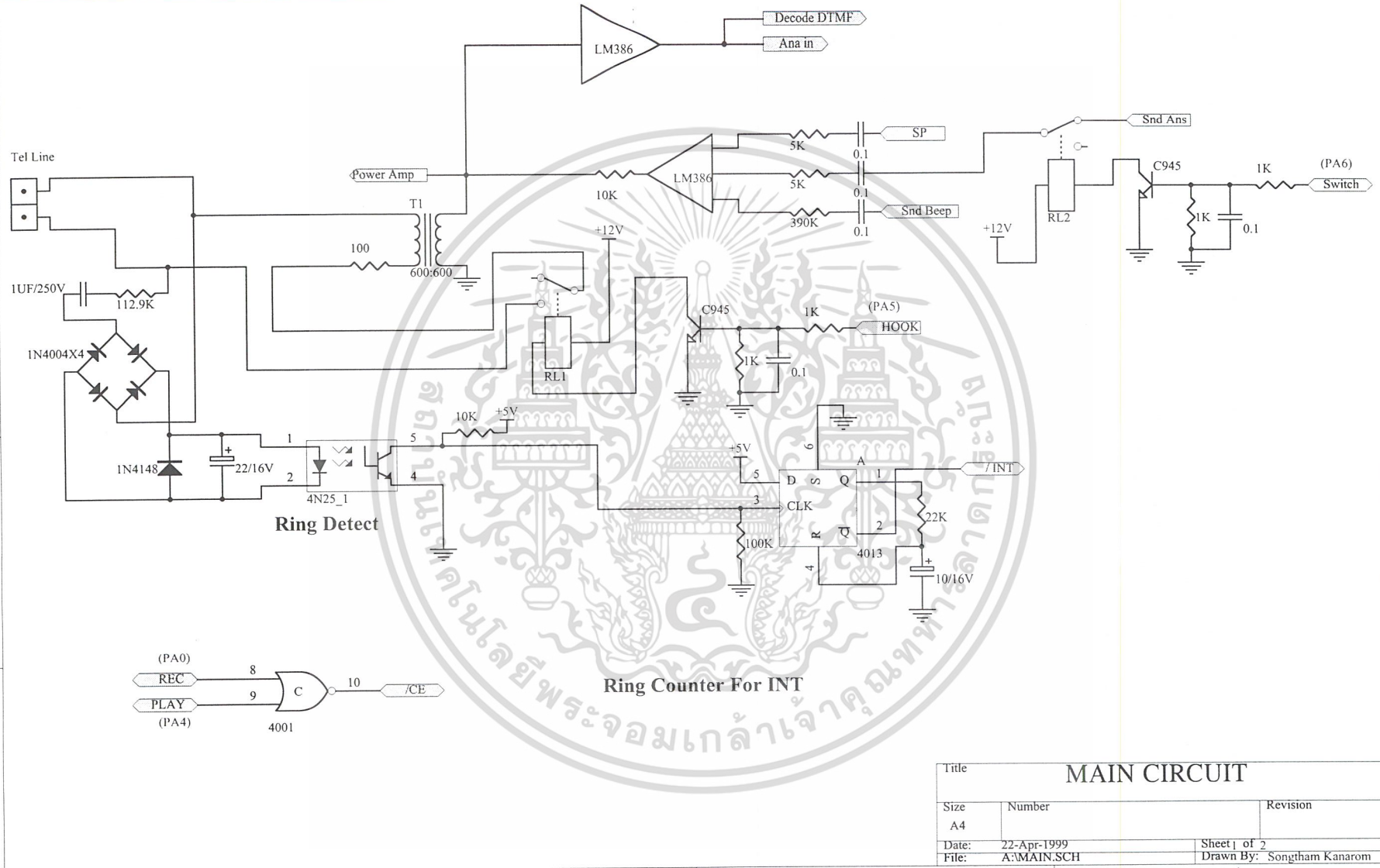
1. โทรเข้ามาที่เครื่องตอบรับโทรศัพท์
2. เมื่อได้ยินเสียงตอบรับก็ให้กดปุ่ม "0" ที่โทรศัพท์
3. เมื่อได้ยินเสียง ตู๊ด แรกก็ทำการกด Password ที่ตั้งไว้ ตามลำดับจนครบ 4 ตัวเมื่อกดครบทั้ง 4 ตัวจะทีเสียง ตู๊ด 2 ครั้งเป็นตัวบอกว่า Password ที่กดถูกต้องและเครื่องก็จะทำการเล่นกลับข้อความแรกที่มีผู้ฝากไว้จนถึงข้อความสุดท้ายและเมื่อเล่นกลับจนหมดข้อความสุดท้ายแล้วเครื่องจะทำการวางสายโดยอัตโนมัติ

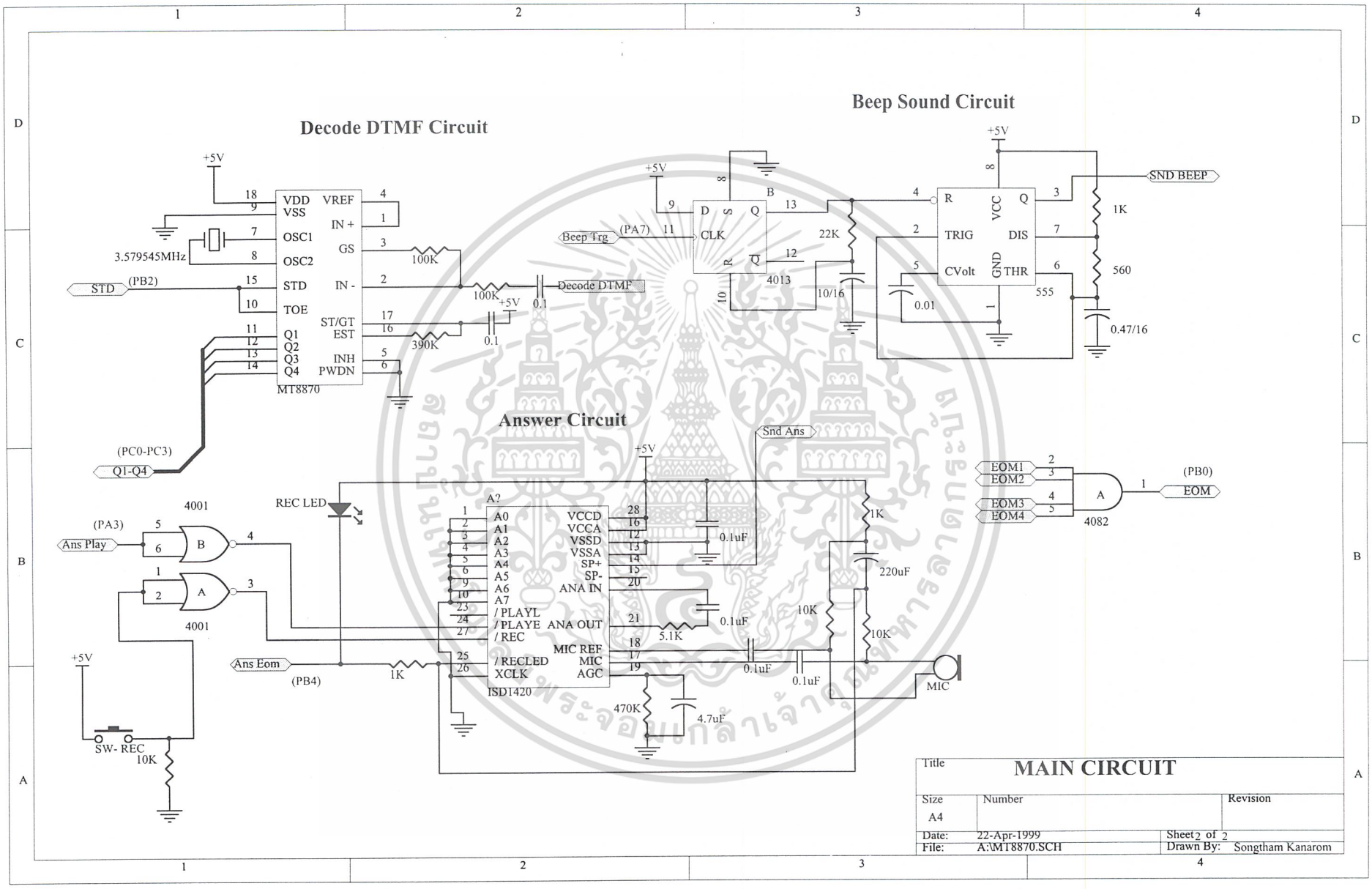
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

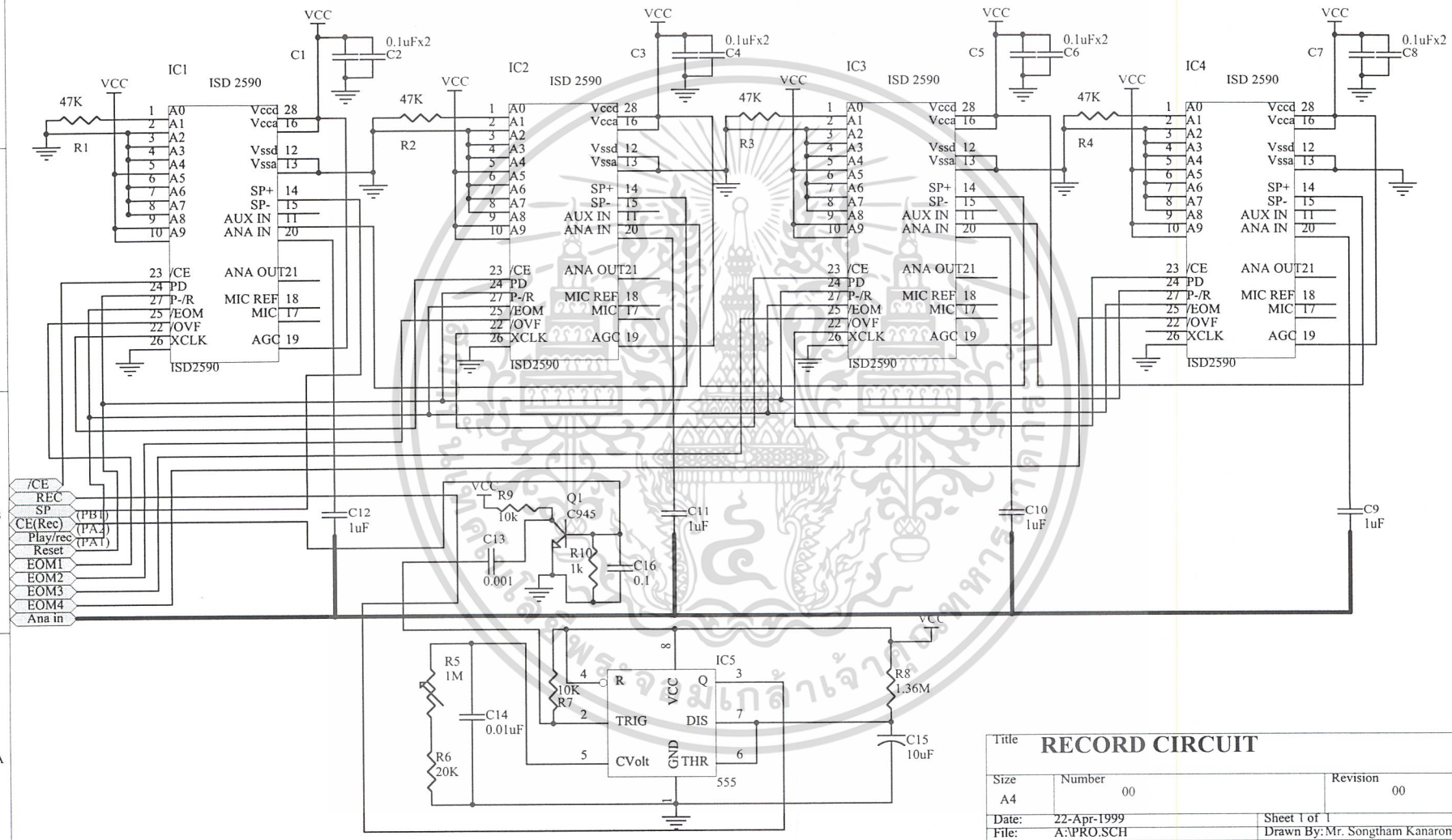
ข้อควรระวัง

- ในการฟังข้อความที่มีผู้ฝากไว้ เครื่องจะทำการเล่นกลับได้เพียงรอบเดียวฉะนั้นถ้ามีข้อความที่สำคัญก็ควรรีบจด
- ในการใช้งานเริ่มต้นหรือเมื่อเปิดเครื่องควรจะตั้ง Password ใหม่ แต่ถ้าไม่เปลี่ยน Password จะเป็น 0000

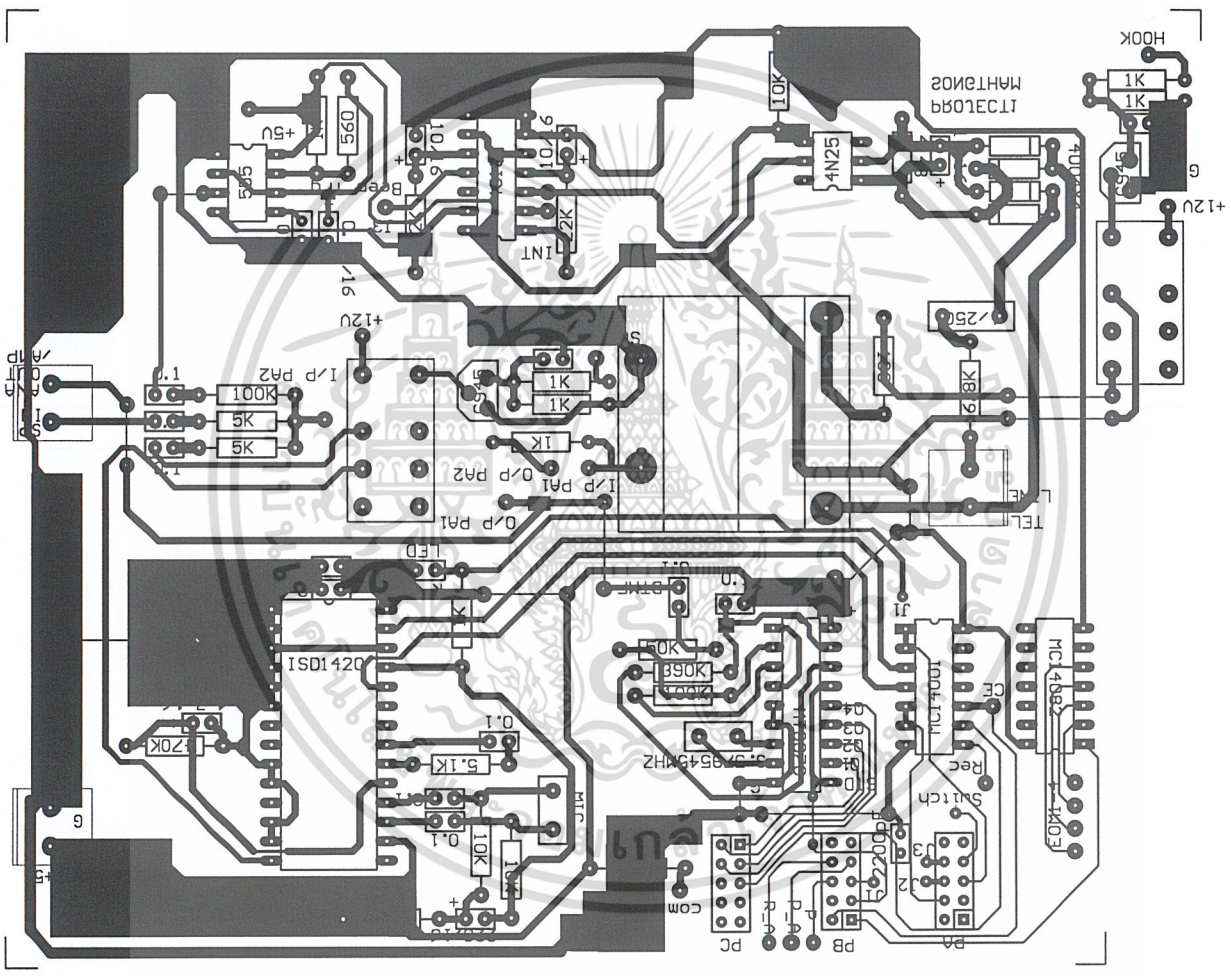
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


Decode DTMF
Ana in
LM386
Tel Line
Power Amp
LM386
10K
5K
0.1
SP
5K
0.1
Snd Beep
390K
0.1
Snd Ans
RL2
+12V
C945
1K
(PA6)
Switch
1K
0.1
T1
100
600:600
+12V
1UF/250V
112.9K
1N4004X4
RL1
C945
1K
(PA5)
HOOK
1K
0.1
10K
+5V
1N4148
22/16V
4N25_1
Ring Detect
+5V
D
S
Q
CLK
R
Q
4013
/INT
22K
100K
10/16V
(PA0)
REC
PLAY
(PA4)
C
4001
/CE
Ring Counter For INT
Title
MAIN CIRCUIT
Size
A4
Number
Revision
Date:
22-Apr-1999
File:
A:\MAIN.SCH
Sheet 1 of 2
Drawn By:
Songtham Kanarom

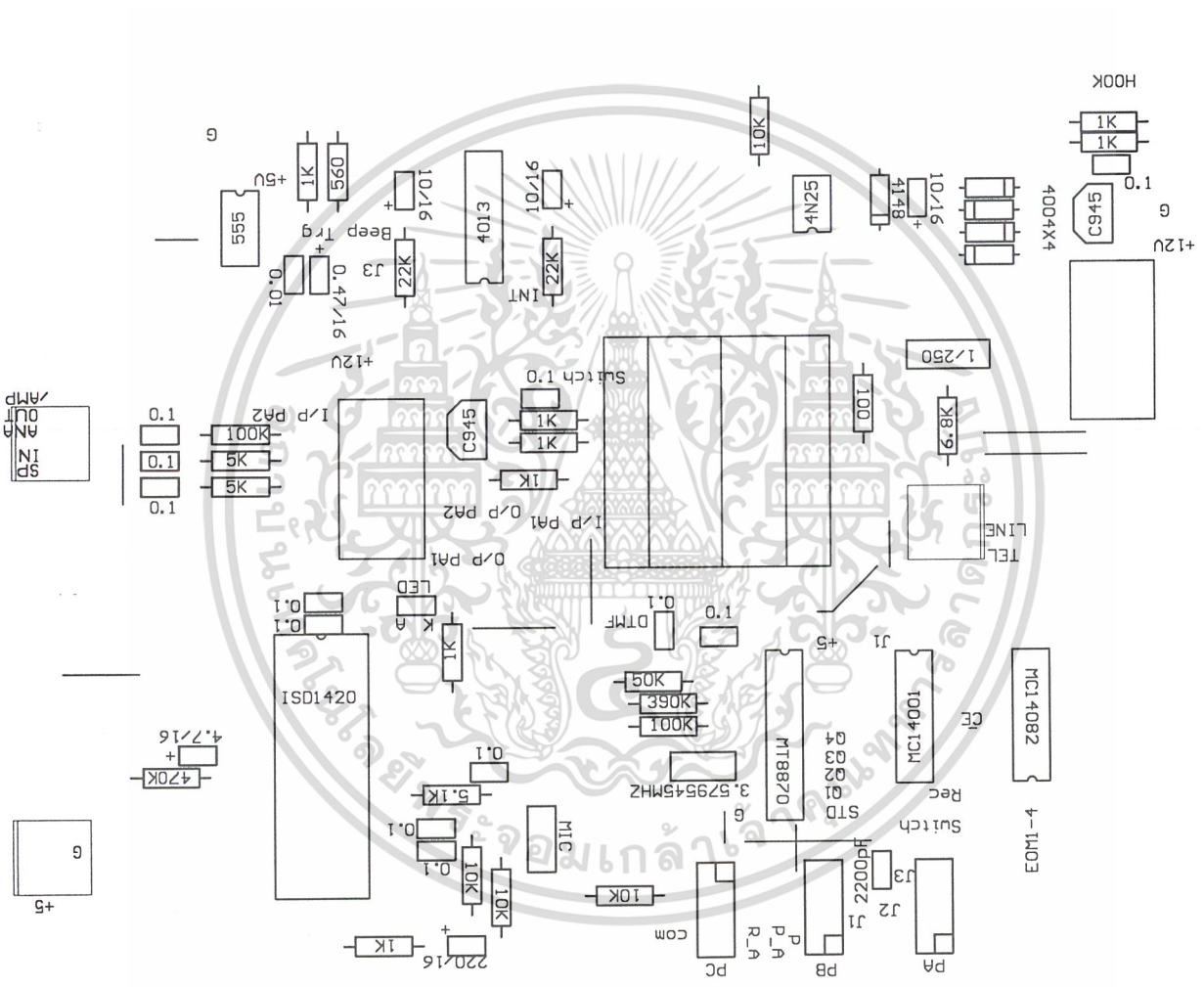

Decode DTMF Circuit
Beep Sound Circuit
Answer Circuit
+5V
VDD
VSS
OSC1
OSC2
STD
TOE
Q1
Q2
Q3
Q4
VREF
IN +
GS
IN -
ST/GT
EST
INH
PWDN
MT8870
3.579545MHz
(PB2)
100K
390K
0.1
Decode DTMF
(PC0-PC3)
Q1-Q4
Beep Trg
(PA7)
4013
22K
10/16
SND BEEP
1K
560
0.47/16
0.01
555
R
TRIG
CVolt
VCC
GND
DIS
THR
Q
Snd Ans
REC LED
4001
(PA3)
Ans Play
Ans Eom
(PB4)
SW- REC
10K
A?
ISD1420
A0
A1
A2
A3
A4
A5
A6
A7
/ PLAYL
/ PLAYE
/ REC
/ RECLED
XCLK
VCCD
VCCA
VSSD
VSSA
SP+
SP-
ANA IN
ANA OUT
MIC REF
MIC
AGC
0.1uF
5.1K
220uF
470K
4.7uF
MIC
EOM1
EOM2
EOM3
EOM4
4082
(PB0)
EOM
Title
MAIN CIRCUIT
Size
A4
Number
Revision
Date:
22-Apr-1999
Sheet 2 of 2
File:
A:\MT8870.SCH
Drawn By:
Songtham Kanarom



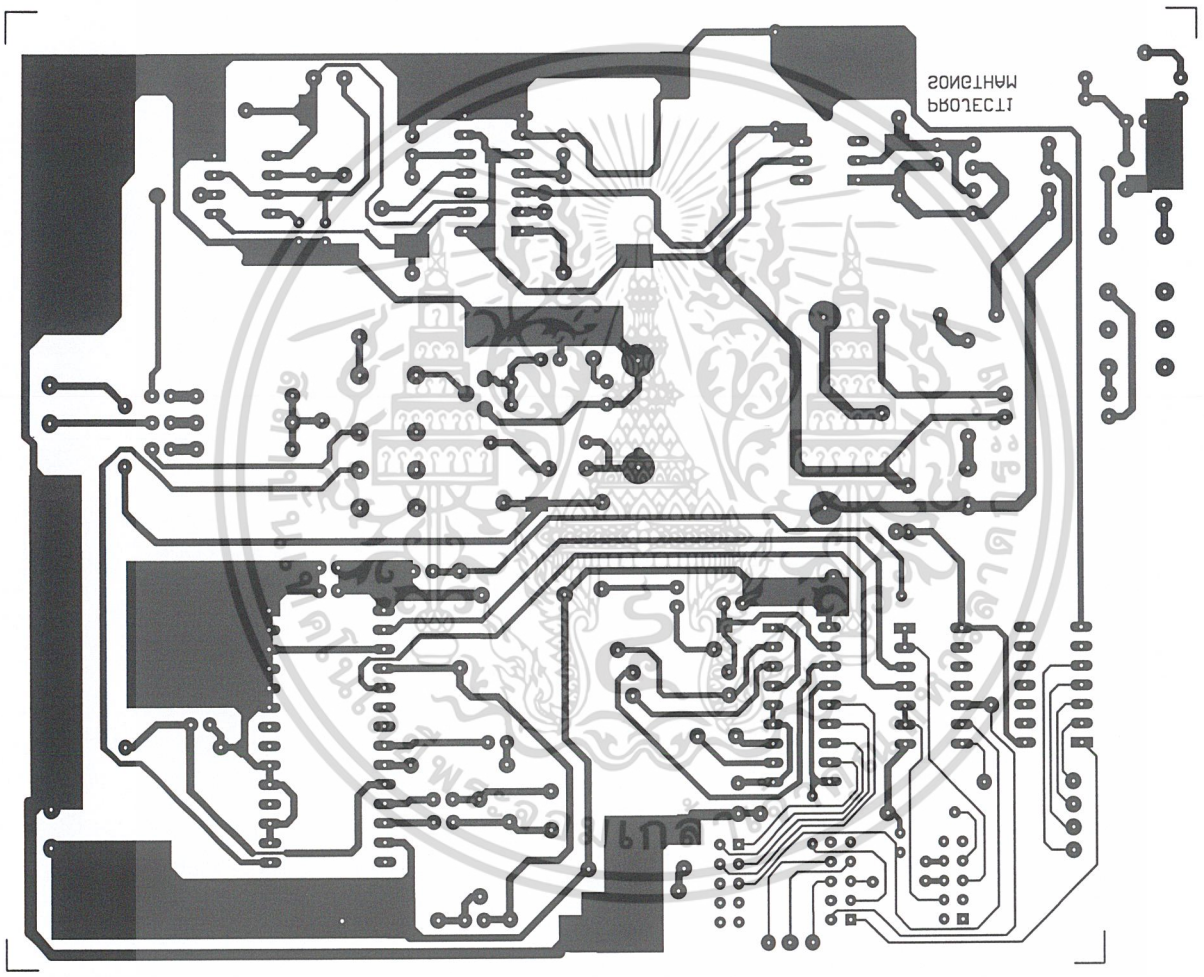
Title	**RECORD CIRCUIT**		
Size A4	Number 00		Revision 00
Date:	22-Apr-1999	Sheet 1 of 1	
File:	A:\PRO.SCH	Drawn By: Mr. Songtham Kanarom	



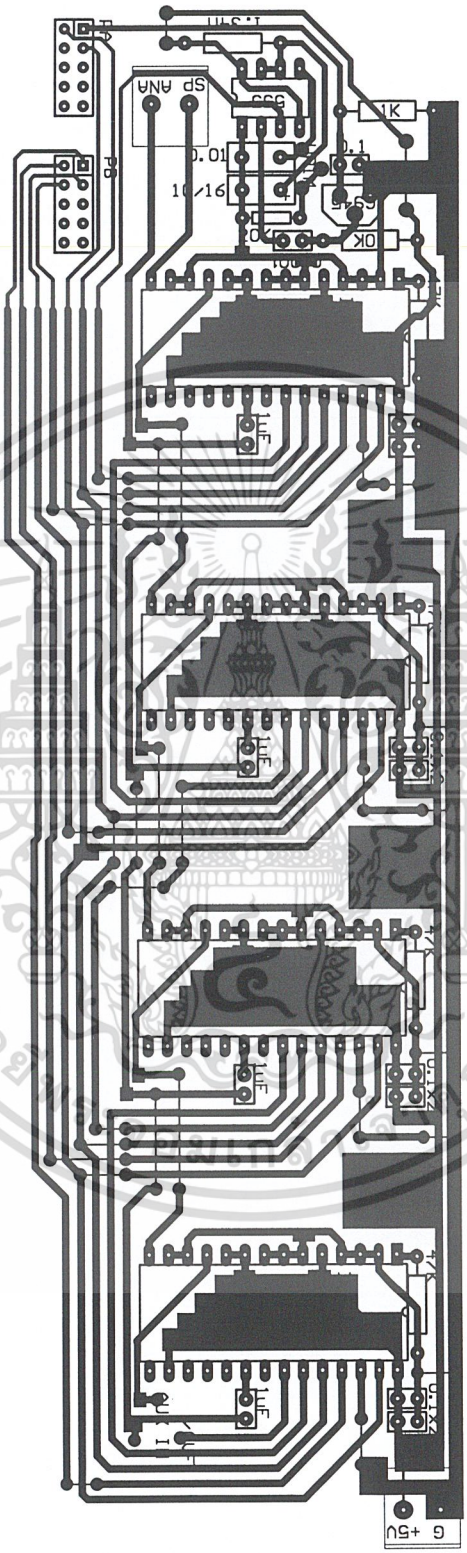
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

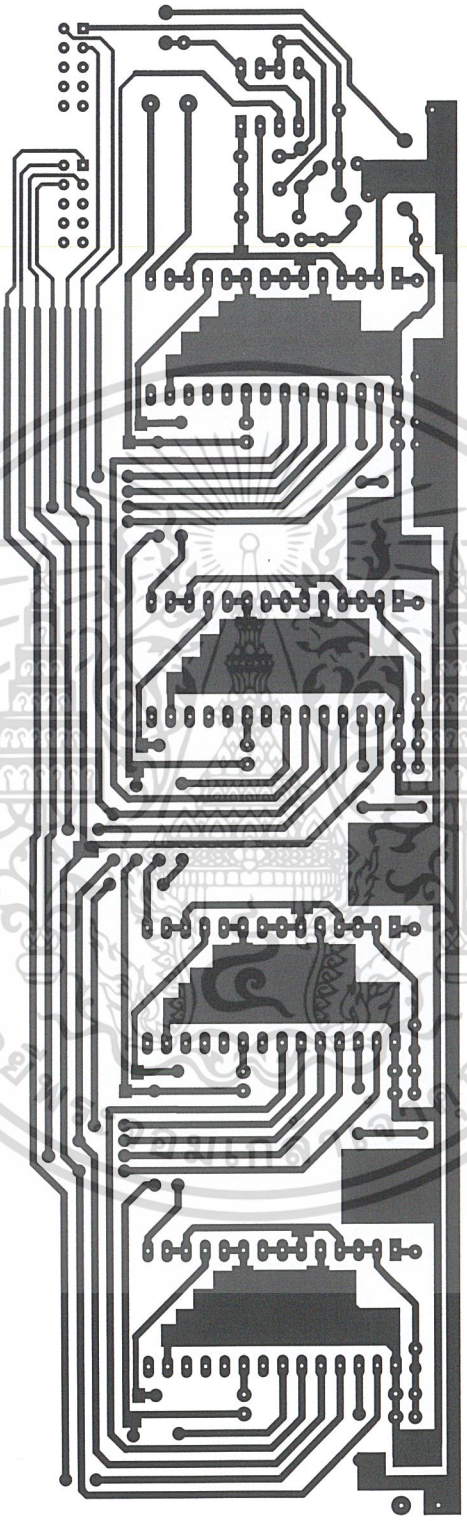


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ISO²-CMOS MT8870D/MT8870D-1
Integrated DTMF Receiver

ISSUE 5 March 1997

Features

- Complete DTMF Receiver
- Low power consumption
- Internal gain setting amplifier
- Adjustable guard time
- Central office quality
- Power-down mode
- Inhibit mode
- Backward compatible with MT8870C/MT8870C-1

Ordering Information

MT8870DE/DE-1	18 Pin Plastic DIP
MT8870DS/DS-1	18 Pin SOIC
MT8870DN/DN-1	20 Pin SSOP

-40 °C to +85 °C

Applications

- Receiver system for British Telecom (BT) or CEPT Spec (MT8870D-1)
- Paging systems
- Repeater systems/mobile radio
- Credit card systems
- Remote control
- Personal computers
- Telephone answering machine

Description

The MT8870D/MT8870D-1 is a complete DTMF receiver integrating both the bandsplit filter and digital decoder functions. The filter section uses switched capacitor techniques for high and low group filters; the decoder uses digital counting techniques to detect and decode all 16 DTMF tone-pairs into a 4-bit code. External component count is minimized by on chip provision of a differential input amplifier, clock oscillator and latched three-state bus interface.

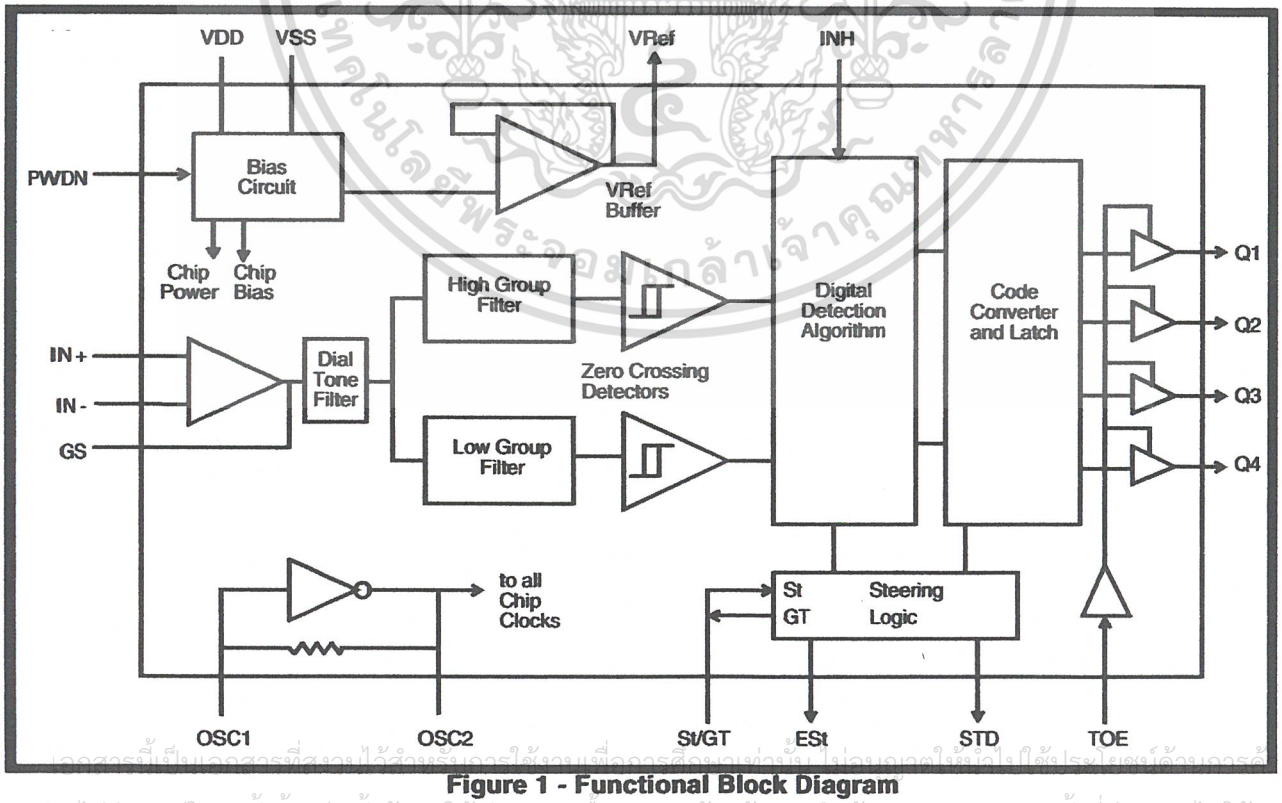


Figure 1 - Functional Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

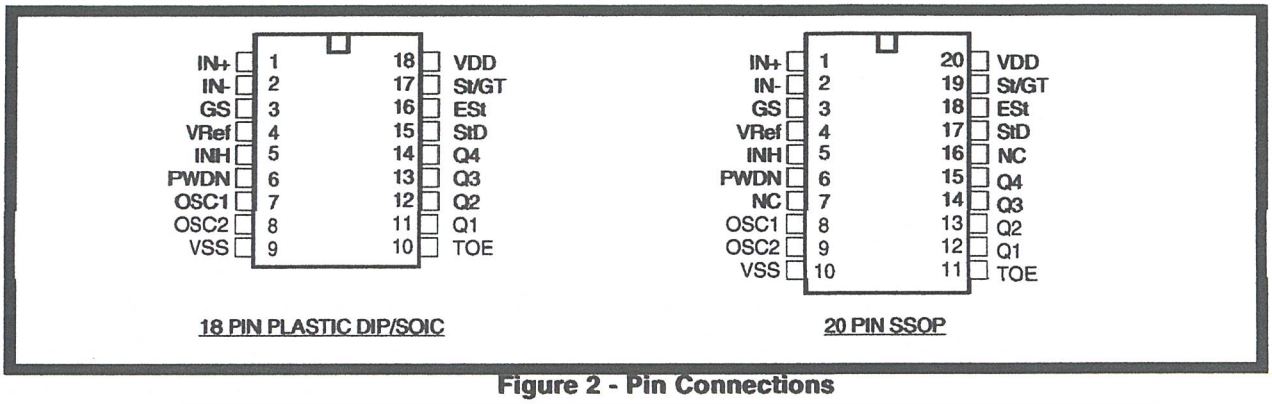


Figure 2 - Pin Connections

Pin Description

Pin #		Name	Description
18	20		
1	1	IN+	**Non-Inverting Op-Amp (Input).**
2	2	IN-	**Inverting Op-Amp (Input).**
3	3	GS	**Gain Select.** Gives access to output of front end differential amplifier for connection of feedback resistor.
4	4	V_{Ref}	**Reference Voltage (Output).** Nominally $V_{DD}/2$ is used to bias inputs at mid-rail (see Fig. 6 and Fig. 10).
5	5	INH	**Inhibit (Input).** Logic high inhibits the detection of tones representing characters A, B, C and D. This pin input is internally pulled down.
6	6	PWDN	**Power Down (Input).** Active high. Powers down the device and inhibits the oscillator. This pin input is internally pulled down.
7	8	OSC1	**Clock (Input).**
8	9	OSC2	**Clock (Output).** A 3.579545 MHz crystal connected between pins OSC1 and OSC2 completes the internal oscillator circuit.
9	10	V_{SS}	**Ground (Input).** 0V typical.
10	11	TOE	**Three State Output Enable (Input).** Logic high enables the outputs Q1-Q4. This pin is pulled up internally.
11-14	12-15	Q1-Q4	**Three State Data (Output).** When enabled by TOE, provide the code corresponding to the last valid tone-pair received (see Table 1). When TOE is logic low, the data outputs are high impedance.
15	17	StD	**Delayed Steering (Output).** Presents a logic high when a received tone-pair has been registered and the output latch updated; returns to logic low when the voltage on St/GT falls below V_{TSt}.
16	18	ESt	**Early Steering (Output).** Presents a logic high once the digital algorithm has detected a valid tone pair (signal condition). Any momentary loss of signal condition will cause ESt to return to a logic low.
17	19	St/GT	**Steering Input/Guard time (Output) Bidirectional.** A voltage greater than V_{TSt} detected at St causes the device to register the detected tone pair and update the output latch. A voltage less than V_{TSt} frees the device to accept a new tone pair. The GT output acts to reset the external steering time-constant; its state is a function of ESt and the voltage on St.
18	20	V_{DD}	**Positive power supply (Input).** +5V typical.
	7, 16	NC	No Connection.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

The MT8870D/MT8870D-1 monolithic DTMF receiver offers small size, low power consumption and high performance. Its architecture consists of a bandsplit filter section, which separates the high and low group tones, followed by a digital counting section which verifies the frequency and duration of the received tones before passing the corresponding code to the output bus.

Filter Section

Separation of the low-group and high group tones is achieved by applying the DTMF signal to the inputs of two sixth-order switched capacitor bandpass filters, the bandwidths of which correspond to the low and high group frequencies. The filter section also incorporates notches at 350 and 440 Hz for exceptional dial tone rejection (see Figure 3). Each filter output is followed by a single order switched capacitor filter section which smooths the signals prior to limiting. Limiting is performed by high-gain comparators which are provided with hysteresis to prevent detection of unwanted low-level signals. The outputs of the comparators provide full rail logic swings at the frequencies of the incoming DTMF signals.

Decoder Section

Following the filter section is a decoder employing digital counting techniques to determine the frequencies of the incoming tones and to verify that they correspond to standard DTMF frequencies. A complex averaging algorithm protects against tone simulation by extraneous signals such as voice while

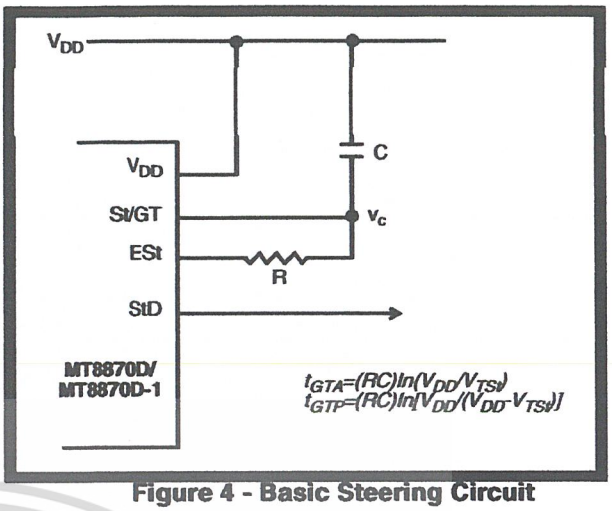


Figure 4 - Basic Steering Circuit

providing tolerance to small frequency deviations and variations. This averaging algorithm has been developed to ensure an optimum combination of immunity to talk-off and tolerance to the presence of interfering frequencies (third tones) and noise. When the detector recognizes the presence of two valid tones (this is referred to as the "signal condition" in some industry specifications) the "Early Steering" (ESt) output will go to an active state. Any subsequent loss of signal condition will cause ESt to assume an inactive state (see "Steering Circuit").

Steering Circuit

Before registration of a decoded tone pair, the receiver checks for a valid signal duration (referred to as character recognition condition). This check is performed by an external RC time constant driven by ESt. A logic high on ESt causes v_c (see Figure 4) to rise as the capacitor discharges. Provided signal

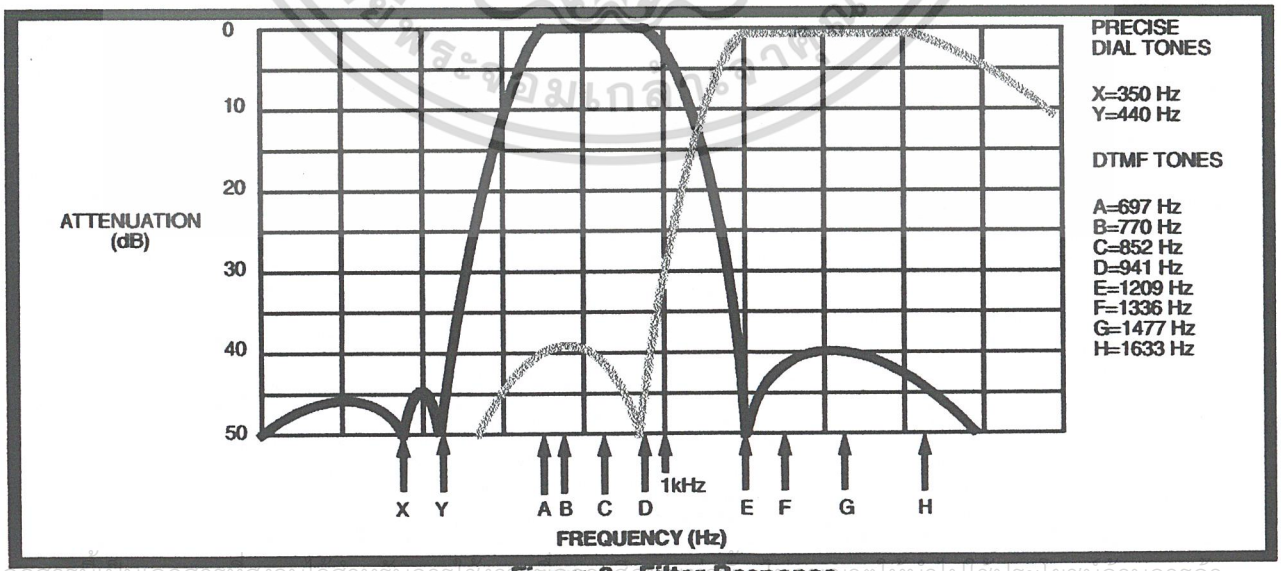


Figure 3 - Filter Response

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

condition is maintained (ESt remains high) for the validation period (t_{GTP}), v_c reaches the threshold (V_{TSt}) of the steering logic to register the tone pair, latching its corresponding 4-bit code (see Table 1) into the output latch. At this point the GT output is activated and drives v_c to V_{DD}. GT continues to drive high as long as ESt remains high. Finally, after a short delay to allow the output latch to settle, the delayed steering output flag (StD) goes high, signalling that a received tone pair has been registered. The contents of the output latch are made available on the 4-bit output bus by raising the three state control input (TOE) to a logic high. The steering circuit works in reverse to validate the interdigit pause between signals. Thus, as well as rejecting signals too short to be considered valid, the receiver will tolerate signal interruptions (dropout) too short to be considered a valid pause. This facility, together with the capability of selecting the steering time constants externally, allows the designer to tailor performance to meet a wide variety of system requirements.

Digit	TOE	INH	ESt	Q_4	Q_3	Q_2	Q_1
ANY	L	X	H	Z	Z	Z	Z
1	H	X	H	0	0	0	1
2	H	X	H	0	0	1	0
3	H	X	H	0	0	1	1
4	H	X	H	0	1	0	0
5	H	X	H	0	1	0	1
6	H	X	H	0	1	1	0
7	H	X	H	0	1	1	1
8	H	X	H	1	0	0	0
9	H	X	H	1	0	0	1
0	H	X	H	1	0	1	0
*	H	X	H	1	0	1	1
#	H	X	H	1	1	0	0
A	H	L	H	1	1	0	1
B	H	L	H	1	1	1	0
C	H	L	H	1	1	1	1
D	H	L	H	0	0	0	0
A	H	H	L	undetected, the output code will remain the same as the previous detected code			
B	H	H	L				
C	H	H	L				
D	H	H	L				

Table 1. Functional Decode Table

L=LOGIC LOW, H=LOGIC HIGH, Z=HIGH IMPEDANCE
X = DON'T CARE

Guard Time Adjustment

In many situations not requiring selection of tone duration and interdigital pause, the simple steering circuit shown in Figure 4 is applicable. Component values are chosen according to the formula:

$$t_{REC}=t_{DP}+t_{GTP}$$
$$t_{ID}=t_{DA}+t_{GTA}$$

The value of t_{DP} is a device parameter (see Figure 11) and t_{REC} is the minimum signal duration to be recognized by the receiver. A value for C of 0.1 µF is recommended for most applications, leaving R to be selected by the designer.

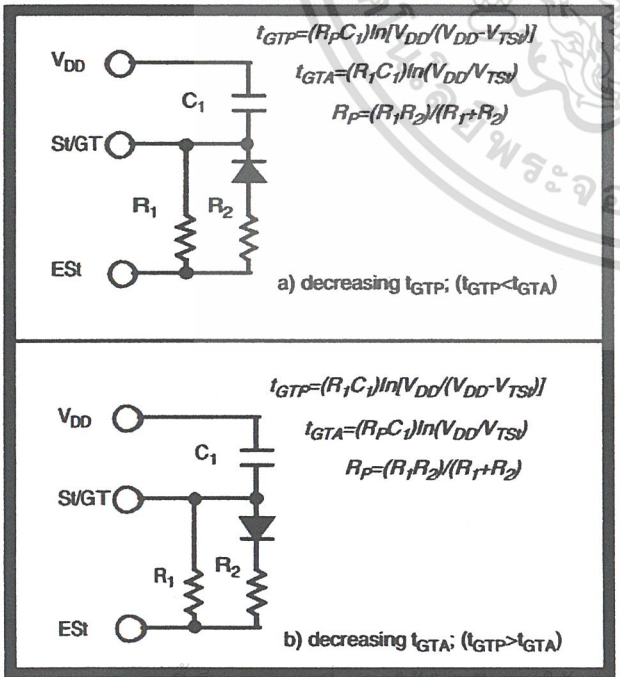


Figure 5 - Guard Time Adjustment

Different steering arrangements may be used to select independently the guard times for tone present (t_{GTP}) and tone absent (t_{GTA}). This may be necessary to meet system specifications which place both accept and reject limits on both tone duration and interdigital pause. Guard time adjustment also allows the designer to tailor system parameters such as talk off and noise immunity. Increasing t_{REC} improves talk-off performance since it reduces the probability that tones simulated by speech will maintain signal condition long enough to be registered. Alternatively, a relatively short t_{REC} with a long t_{DO} would be appropriate for extremely noisy environments where fast acquisition time and immunity to tone drop-outs are required. Design information for guard time adjustment is shown in Figure 5.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Power-down and Inhibit Mode

A logic high applied to pin 6 (PWDN) will power down the device to minimize the power consumption in a standby mode. It stops the oscillator and the functions of the filters.

Inhibit mode is enabled by a logic high input to the pin 5 (INH). It inhibits the detection of tones representing characters A, B, C, and D. The output code will remain the same as the previous detected code (see Table 1).

Differential Input Configuration

The input arrangement of the MT8870D/MT8870D-1 provides a differential-input operational amplifier as well as a bias source (V_{Ref}) which is used to bias the inputs at mid-rail. Provision is made for connection of a feedback resistor to the op-amp output (GS) for adjustment of gain. In a single-ended configuration, the input pins are connected as shown in Figure 10 with the op-amp connected for unity gain and V_{Ref} biasing the input at $^1/_2V_{DD}$. Figure 6 shows the differential configuration, which permits the adjustment of gain with the feedback resistor R_5.

Crystal Oscillator

The internal clock circuit is completed with the addition of an external 3.579545 MHz crystal and is normally connected as shown in Figure 10 (Single-Ended Input Configuration). However, it is possible to configure several MT8870D/MT8870D-1 devices employing only a single oscillator crystal. The oscillator output of the first device in the chain is coupled through a 30 pF capacitor to the oscillator input (OSC1) of the next device. Subsequent devices are connected in a similar fashion. Refer to Figure 7 for details. The problems associated with unbalanced loading are not a concern with the arrangement shown, i.e., precision balancing capacitors are not required.

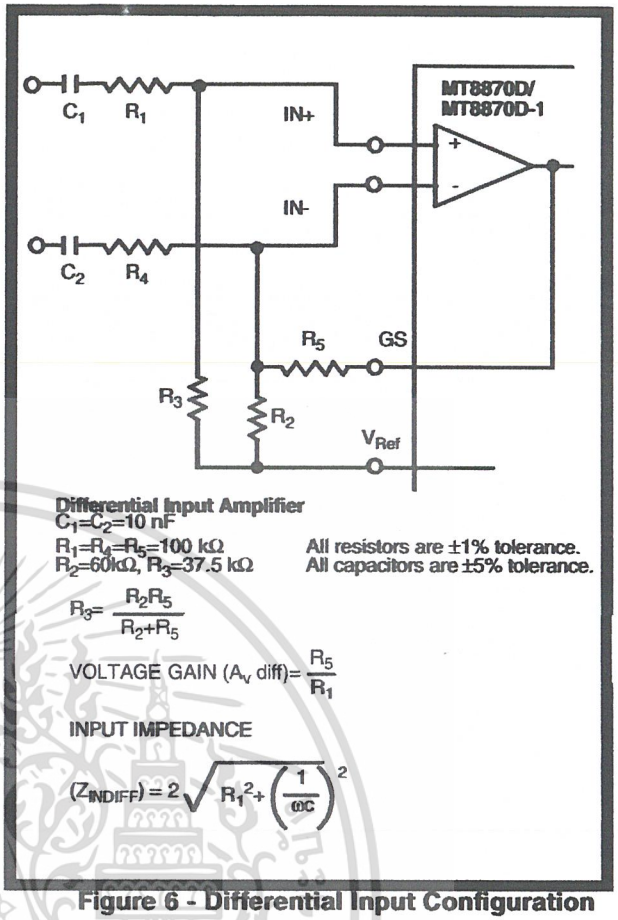


Figure 6 - Differential Input Configuration

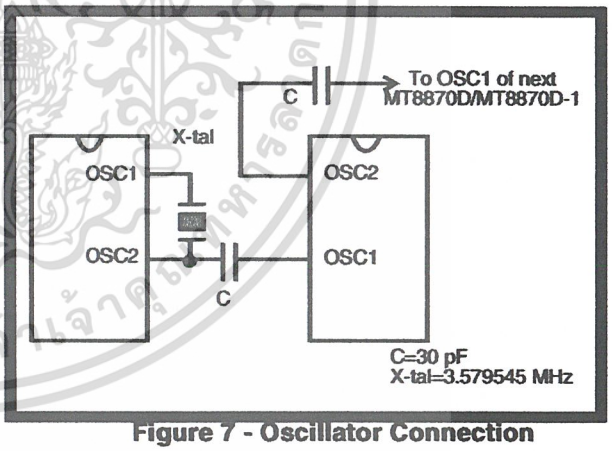


Figure 7 - Oscillator Connection

Parameter	Unit	Resonator
R1	Ohms	10.752
L1	mH	.432
C1	pF	4.984
C0	pF	37.915
Qm	-	896.37
Δf	%	±0.2%

Table 2. Recommended Resonator Specifications

Note: Qm=quality factor of RLC model, i.e., $1/2\Pi fR1C1$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications

RECEIVER SYSTEM FOR BRITISH TELECOM SPEC POR 1151

The circuit shown in Fig. 9 illustrates the use of MT8870D-1 device in a typical receiver system. BT Spec defines the input signals less than -34 dBm as the non-operate level. This condition can be attained by choosing a suitable values of R_1 and R_2 to provide 3 dB attenuation, such that -34 dBm input signal will correspond to -37 dBm at the gain setting pin GS of MT8870D-1. As shown in the diagram, the component values of R_3 and C_2 are the guard time requirements when the total component tolerance is 6%. For better performance, it is recommended to use the non-symmetric guard time circuit in Fig. 8.

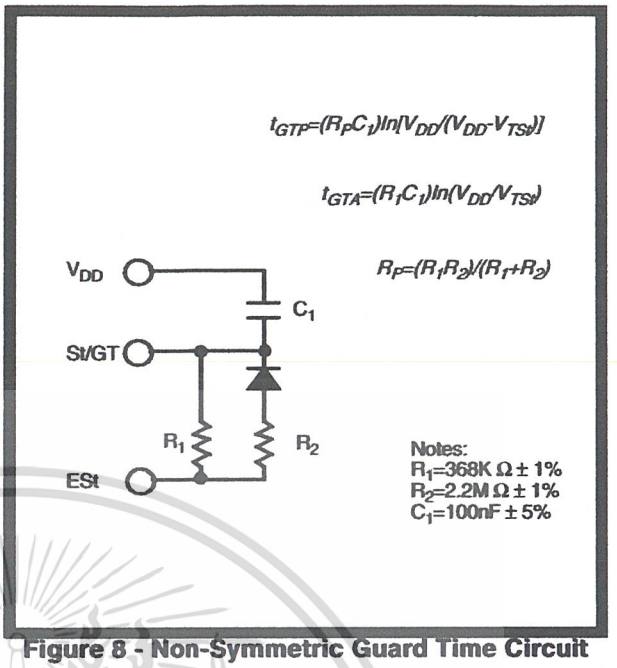


Figure 8 - Non-Symmetric Guard Time Circuit

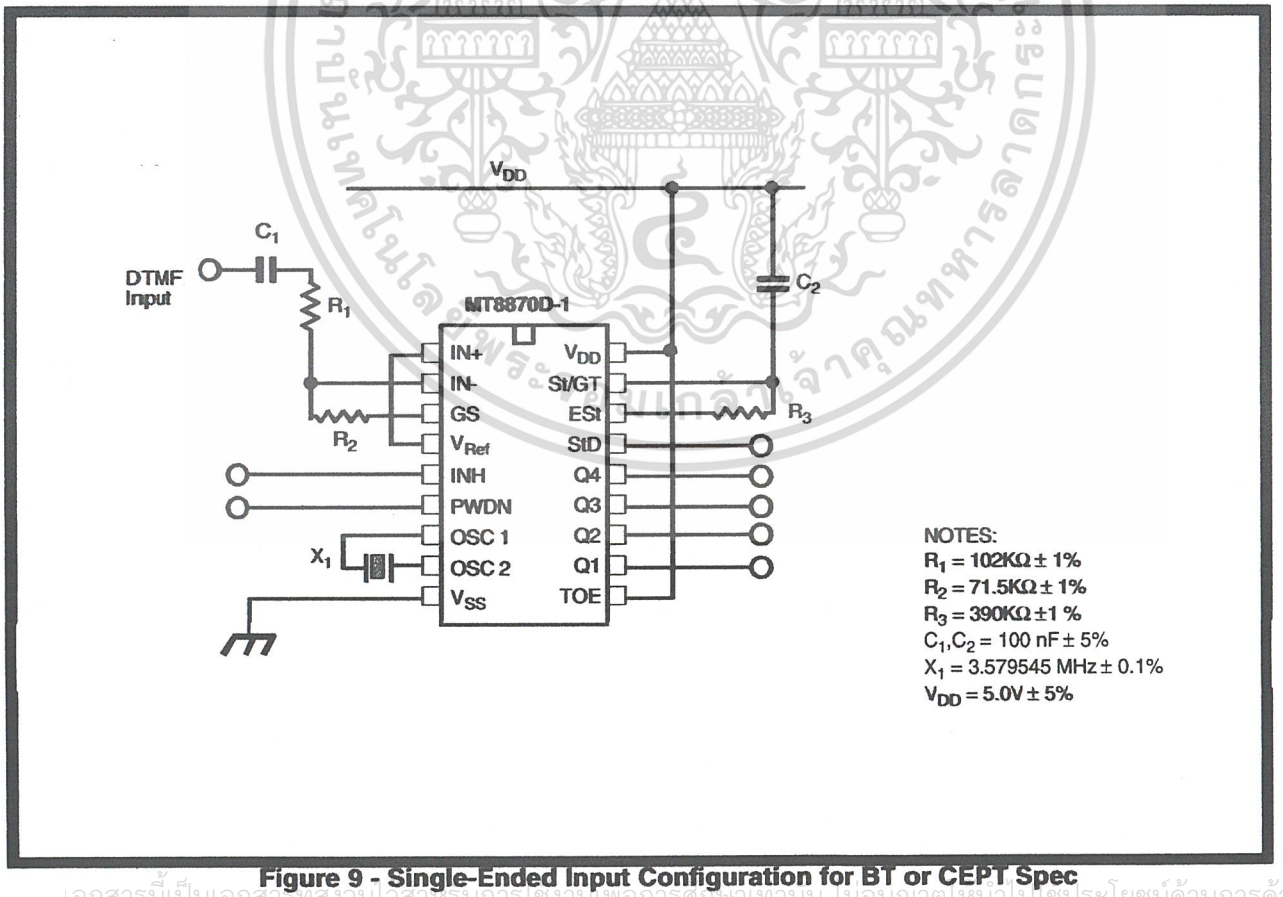


Figure 9 - Single-Ended Input Configuration for BT or CEPT Spec

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings†

	Parameter	Symbol	Min	Max	Units
1	DC Power Supply Voltage	V_{DD}		7	V
2	Voltage on any pin	V_I	V_{SS}-0.3	V_{DD}+0.3	V
3	Current at any pin (other than supply)	I_I		10	mA
4	Storage temperature	T_{STG}	-65	+150	°C
5	Package power dissipation	P_D		500	mW

† Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied. Derate above 75 °C at 16 mW / °C. All leads soldered to board.

Recommended Operating Conditions - Voltages are with respect to ground (V_{SS}) unless otherwise stated.

	Parameter	Sym	Min	Typ‡	Max	Units	Test Conditions
1	DC Power Supply Voltage	V_{DD}	4.75	5.0	5.25	V	
2	Operating Temperature	T_O	-40		+85	°C	
3	Crystal/Clock Frequency	fc		3.579545		MHz	
4	Crystal/Clock Freq.Tolerance	Δfc		±0.1		%	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

DC Electrical Characteristics - V_{DD}=5.0V± 5%, V_{SS}=0V, -40°C ≤ T_O ≤ +85°C, unless otherwise stated.

		Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	SUPPLY	Standby supply current	I_{DDQ}		10	25	µA	PWDN=V_{DD}
2		Operating supply current	I_{DD}		3.0	9.0	mA	
3		Power consumption	P_O		15		mW	fc=3.579545 MHz
4	INPUTS	High level input	V_{IH}	3.5			V	V_{DD}=5.0V
5		Low level input voltage	V_{IL}			1.5	V	V_{DD}=5.0V
6		Input leakage current	I_{IH}/I_{IL}		0.1		µA	V_{IN}=V_{SS} or V_{DD}
7		Pull up (source) current	I_{SO}		7.5	20	µA	TOE (pin 10)=0, V_{DD}=5.0V
8		Pull down (sink) current	I_{SI}		15	45	µA	INH=5.0V, PWDN=5.0V, V_{DD}=5.0V
9		Input impedance (IN+, IN-)	R_{IN}		10		MΩ	@ 1 kHz
10		Steering threshold voltage	V_{TSt}	2.2	2.4	2.5	V	V_{DD} = 5.0V
11	OUTPUTS	Low level output voltage	V_{OL}			V_{SS}+0.03	V	No load
12		High level output voltage	V_{OH}	V_{DD}-0.03			V	No load
13		Output low (sink) current	I_{OL}	1.0	2.5		mA	V_{OUT}=0.4 V
14		Output high (source) current	I_{OH}	0.4	0.8		mA	V_{OUT}=4.6 V
15		V_{Ref} output voltage	V_{Ref}	2.3	2.5	2.7	V	No load, V_{DD} = 5.0V
16		V_{Ref} output resistance	R_{OR}		1		kΩ	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Operating Characteristics - V_{DD}=5.0V±5%, V_{SS}=0V, -40°C ≤ T_O ≤ +85°C ,unless otherwise stated.

Gain Setting Amplifier

	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Input leakage current	I_{IN}			100	nA	$V_{SS} \le V_{IN} \le V_{DD}$
2	Input resistance	R_{IN}	10			MΩ	
3	Input offset voltage	V_{OS}			25	mV	
4	Power supply rejection	PSRR	50			dB	1 kHz
5	Common mode rejection	CMRR	40			dB	0.75 V ≤ V_{IN} ≤ 4.25 V biased at V_{Ref} =2.5 V
6	DC open loop voltage gain	A_{VOL}	32			dB	
7	Unity gain bandwidth	f_C	0.30			MHz	
8	Output voltage swing	V_O	4.0			V_{pp}	Load ≥ 100 kΩ to V_{SS} @ GS
9	Maximum capacitive load (GS)	C_L			100	pF	
10	Resistive load (GS)	R_L			50	kΩ	
11	Common mode range	V_{CM}	2.5			V_{pp}	No Load

MT8870D AC Electrical Characteristics - V_{DD}=5.0V ±5%, V_{SS}=0V, -40°C ≤ T_O ≤ +85°C , using Test Circuit shown in Figure 10.

	Characteristics	Sym	Min	Typ‡	Max	Units	Notes*
1	Valid input signal levels (each tone of composite signal)		-29		+1	dBm	1,2,3,5,6,9
			27.5		869	mV_{RMS}	1,2,3,5,6,9
2	Negative twist accept				8	dB	2,3,6,9,12
3	Positive twist accept				8	dB	2,3,6,9,12
4	Frequency deviation accept		±1.5% ± 2 Hz				2,3,5,9
5	Frequency deviation reject		±3.5%				2,3,5,9
6	Third tone tolerance			-16		dB	2,3,4,5,9,10
7	Noise tolerance			-12		dB	2,3,4,5,7,9,10
8	Dial tone tolerance			+22		dB	2,3,4,5,8,9,11

‡ Typical figures are at 25 °C and are for design aid only: not guaranteed and not subject to production testing.

*NOTES
1. dBm= decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones.
3. Tone duration= 40 ms, tone pause= 40 ms.
4. Signal condition consists of nominal DTMF frequencies.
5. Both tones in composite signal have an equal amplitude.
6. Tone pair is deviated by ±1.5 %± 2 Hz.
7. Bandwidth limited (3 kHz) Gaussian noise.
8. The precise dial tone frequencies are (350 Hz and 440 Hz) ± 2 %.
9. For an error rate of better than 1 in 10,000.
10. Referenced to lowest level frequency component in DTMF signal.
11. Referenced to the minimum valid accept level.
12. Guaranteed by design and characterization.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MT8870D-1 AC Electrical Characteristics - V_{DD}=5.0V±5%, V_{SS}=0V, -40°C ≤ T_O ≤ +85°C , using Test Circuit shown in Figure 10.

	Characteristics	Sym	Min	Typ‡	Max	Units	Notes*
1	Valid input signal levels (each tone of composite signal)		-31		+1	dBm	Tested at V_{DD}=5.0V 1,2,3,5,6,9
			21.8		869	mV_{RMS}	
2	Input Signal Level Reject		-37			dBm	Tested at V_{DD}=5.0V 1,2,3,5,6,9
			10.9			mV_{RMS}	
3	Negative twist accept				8	dB	2,3,6,9,13
4	Positive twist accept				8	dB	2,3,6,9,13
5	Frequency deviation accept		±1.5%± 2 Hz				2,3,5,9
6	Frequency deviation reject		±3.5%				2,3,5,9
7	Third zone tolerance			-18.5		dB	2,3,4,5,9,12
8	Noise tolerance			-12		dB	2,3,4,5,7,9,10
9	Dial tone tolerance			+22		dB	2,3,4,5,8,9,11

‡ Typical figures are at 25 °C and are for design aid only: not guaranteed and not subject to production testing.

*NOTES
1. dBm= decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones.
3. Tone duration= 40 ms, tone pause= 40 ms.
4. Signal condition consists of nominal DTMF frequencies.
5. Both tones in composite signal have an equal amplitude.
6. Tone pair is deviated by ±1.5 %± 2 Hz.
7. Bandwidth limited (3 kHz) Gaussian noise.
8. The precise dial tone frequencies are (350 Hz and 440 Hz) ± 2 %.
9. For an error rate of better than 1 in 10,000.
10. Referenced to lowest level frequency component in DTMF signal.
11. Referenced to the minimum valid accept level.
12. Referenced to Fig. 10 input DTMF tone level at -25dBm (-28dBm at GS Pin) interference frequency range between 480-3400Hz.
13. Guaranteed by design and characterization.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics - V_{DD}=5.0V±5%, V_{SS}=0V, -40°C ≤ To ≤ +85°C, using Test Circuit shown in Figure 10.

		Characteristics	Sym	Min	Typ‡	Max	Units	Conditions
1	TIMING	Tone present detect time	t_{DP}	5	11	14	ms	Note 1
2		Tone absent detect time	t_{DA}	0.5	4	8.5	ms	Note 1
3		Tone duration accept	t_{REC}			40	ms	Note 2
4		Tone duration reject	$t_{\overline{REC}}$	20			ms	Note 2
5		Interdigit pause accept	t_{ID}			40	ms	Note 2
6		Interdigit pause reject	t_{DO}	20			ms	Note 2
7	OUTPUTS	Propagation delay (St to Q)	t_{PQ}		8	11	µs	TOE=V_{DD}
8		Propagation delay (St to StD)	t_{PStD}		12	16	µs	TOE=V_{DD}
9		Output data set up (Q to StD)	t_{QStD}		3.4		µs	TOE=V_{DD}
10		Propagation delay (TOE to Q ENABLE)	t_{PTE}		50		ns	load of 10 kΩ, 50 pF
11		Propagation delay (TOE to Q DISABLE)	t_{PTD}		300		ns	load of 10 kΩ, 50 pF
12	PDWN	Power-up time	t_{PU}		30		ms	Note 3
13		Power-down time	t_{PD}		20		ms	
14	CLOCK	Crystal/clock frequency	f_C	3.5759	3.5795	3.5831	MHz	
15		Clock input rise time	t_{LHCL}			110	ns	Ext. clock
16		Clock input fall time	t_{HLCL}			110	ns	Ext. clock
17		Clock input duty cycle	DC_{CL}	40	50	60	%	Ext. clock
18		Capacitive load (OSC2)	C_{LO}			30	pF	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

*NOTES:
1. Used for guard-time calculation purposes only.
2. These, user adjustable parameters, are not device specifications. The adjustable settings of these minimums and maximums are recommendations based upon network requirements.
3. With valid tone present at input, t_{PU} equals time from PDWN going low until ESt going high.

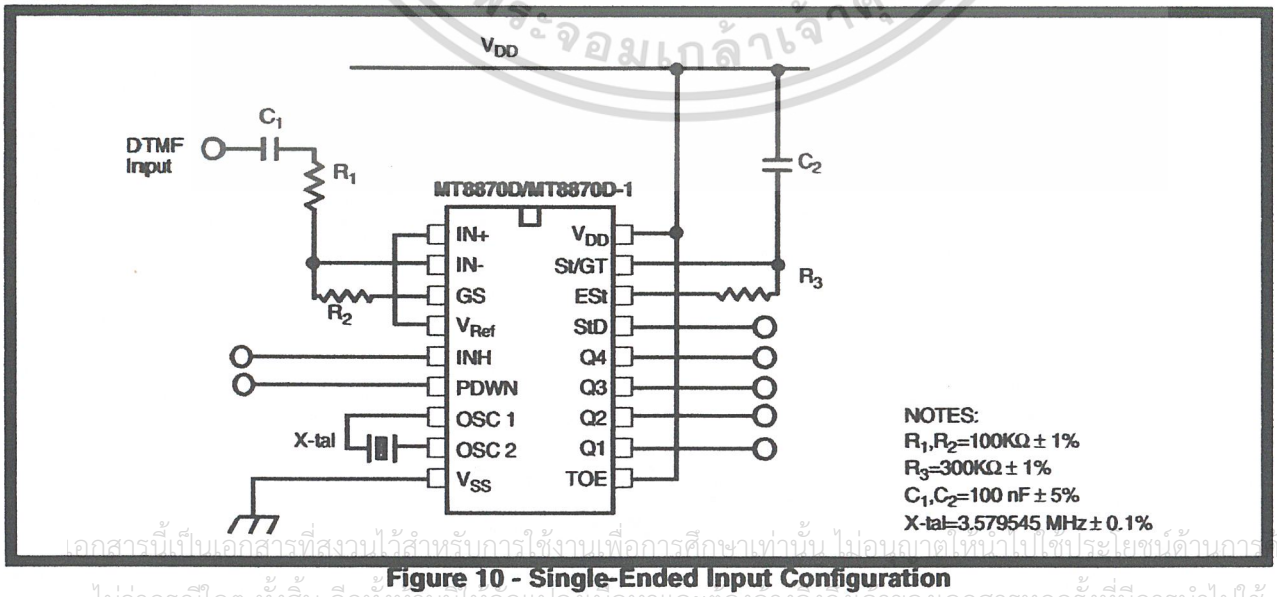
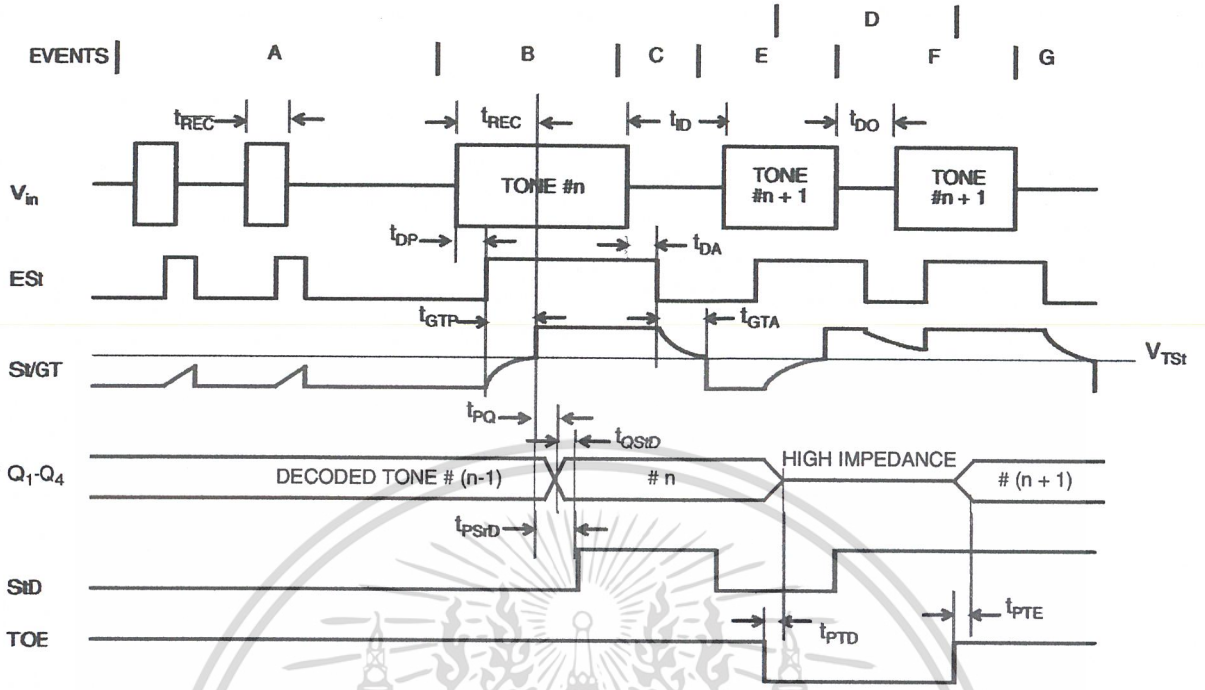


Figure 10 - Single-Ended Input Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



EXPLANATION OF EVENTS

A) TONE BURSTS DETECTED, TONE DURATION INVALID, OUTPUTS NOT UPDATED.

B) TONE #n DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS

C) END OF TONE #n DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMIAN LATCHED UNTIL NEXT VALID TONE.

D) OUTPUTS SWITCHED TO HIGH IMPEDANCE STATE.

E) TONE #n + 1 DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS (CURRENTLY HIGH IMPEDANCE).

F) ACCEPTABLE DROPOUT OF TONE #n + 1, TONE ABSENT DURATION INVALID, OUTPUTS REMAIN LATCHED.

G) END OF TONE #n + 1 DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMAIN LATCHED UNTIL NEXT VALID TONE.

EXPLANATION OF SYMBOLS

V_{in}	DTMF COMPOSITE INPUT SIGNAL.
ESt	EARLY STEERING OUTPUT. INDICATES DETECTION OF VALID TONE FREQUENCIES.
St/GT	STEERING INPUT/GUARD TIME OUTPUT. DRIVES EXTERNAL RC TIMING CIRCUIT.
Q_1-Q_4	4-BIT DECODED TONE OUTPUT.
StD	DELAYED STEERING OUTPUT. INDICATES THAT VALID FREQUENCIES HAVE BEEN PRESENT/ABSENT FOR THE REQUIRED GUARD TIME THUS CONSTITUTING A VALID SIGNAL.
TOE	TONE OUTPUT ENABLE (INPUT). A LOW LEVEL SHIFTS Q_1-Q_4 TO ITS HIGH IMPEDANCE STATE.
$t_{\overline{REC}}$	MAXIMUM DTMF SIGNAL DURATION NOT DETECED AS VALID
t_{REC}	MINIMUM DTMF SIGNAL DURATION REQUIRED FOR VALID RECOGNITION
t_{ID}	MAXIMUM TIME BETWEEN VALID DTMF SIGNALS.
t_{DO}	MAXIMUM ALLOWABLE DROP OUT DURING VALID DTMF SIGNAL.
t_{DP}	TIME TO DETECT THE PRESENCE OF VALID DTMF SIGNALS.
t_{DA}	TIME TO DETECT THE ABSENCE OF VALID DTMF SIGNALS.
t_{GTP}	GUARD TIME, TONE PRESENT.
t_{GTA}	GUARD TIME, TONE ABSENT.

Figure 11 - Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ChipCorder®
TECHNOLOGY BY ISD

ISD2560/75/90/120 Products

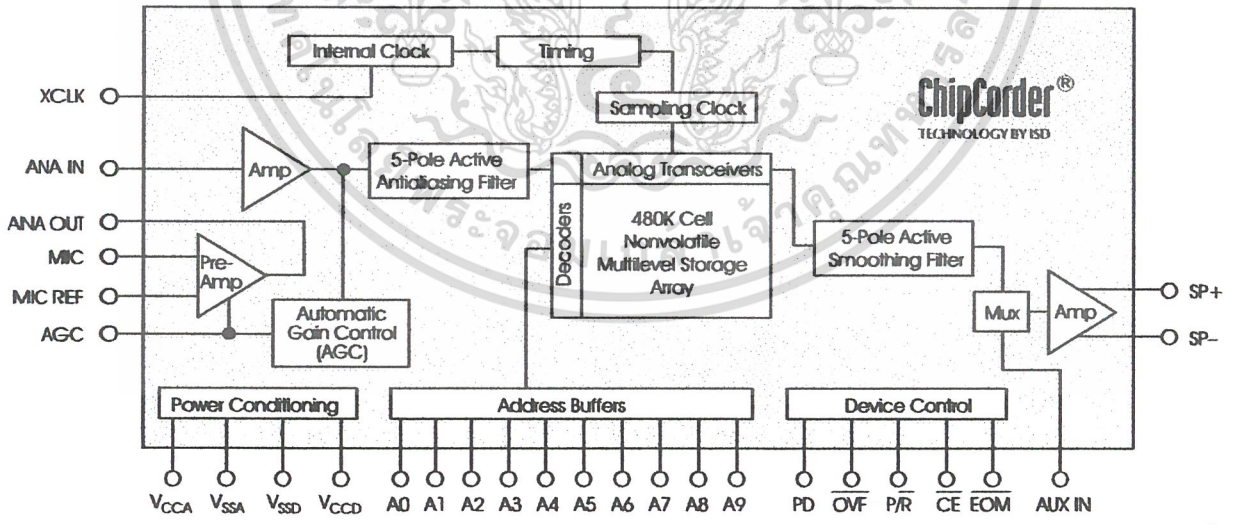
Single-Chip Voice Record/Playback Devices
60-, 75-, 90-, and 120-Second Durations

GENERAL DESCRIPTION

Information Storage Devices' ISD2500 ChipCorder® Series provides high-quality, single-chip record/playback solutions for 60- to 120-second messaging applications. The CMOS devices include an on-chip oscillator, microphone preamplifier, automatic gain control, antialiasing filter, smoothing filter, speaker amplifier, and high density multilevel storage array. In addition, the ISD2500 is microcontroller compatible, allowing complex messaging and addressing to be achieved.

Recordings are stored in on-chip nonvolatile memory cells, providing zero-power message storage. This unique, single-chip solution is made possible through ISD's patented multilevel storage technology. Voice and audio signals are stored directly into memory in their natural form, providing high-quality, solid-state voice reproduction.

Figure: ISD2560/75/90/120 Device Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FEATURES

- Easy-to-use single-chip voice record/playback solution
- High-quality, natural voice/audio reproduction
- Manual switch or microcontroller compatible playback can be edge- or level-activated
- Single-chip durations of 60, 75, 90, and 120 seconds
- Directly cascadable for longer durations
- Automatic Power-Down (Push-Button Mode)
  - Standby current 1 μA (typical)
- Zero-power message storage
  - Eliminates battery backup circuits
- Fully addressable to handle multiple messages
- 100-year message retention (typical)
- 100,000 record cycles (typical)
- On-chip clock source
- Programmer support for play-only applications
- Single +5 volt power supply
- Available in die form, DIP, and TSOP packaging
- Industrial temperature (–40°C to +85°C) versions available

Table: ISD2560/75/90/120 Product Summary

Part Number	Duration (Seconds)	Input Sample Rate (KHz)	Typical Filter Pass Band (KHz)
ISD2560	60	8.0	3.4
ISD2575	75	6.4	2.7
ISD2590	90	5.3	2.3
ISD25120	120	4.0	1.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The ISD2500 series includes devices offered at 4.0, 5.3, 6.4, and 8.0 KHz sampling frequencies, allowing the user a choice of speech quality options. Increasing the duration within a product series decreases the sampling frequency and bandwidth, which affects sound quality. Please refer to the ISD2560/75/90/120 Product Summary table on page *ii* to compare filter pass band and product durations.

The speech samples are stored directly into on-chip nonvolatile memory without the digitization and compression associated with other solutions. Direct analog storage provides a very true, natural sounding reproduction of voice, music, tones, and sound effects not available with most solid-state digital solutions.

To meet end system requirements, the ISD2500 series offers single-chip solutions at 60, 75, 90, and 120 seconds. Parts may also be cascaded together for longer durations.

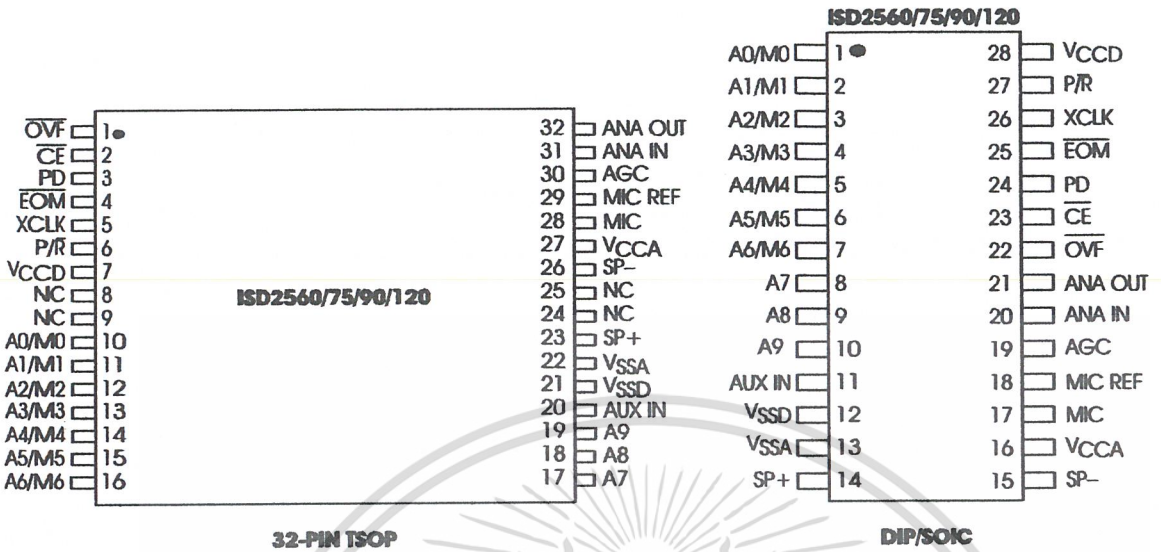
One of the benefits of ISD's ChipCorder technology is the use of on-chip nonvolatile memory, providing zero-power message storage. The message is retained for up to 100 years typically without power. In addition, the device can be re-recorded typically over 100,000 times.

In addition to its simplicity and ease of use, the ISD2500 series includes all the interfaces necessary for microcontroller-driven applications. The address and control lines can be interfaced to a microcontroller and manipulated to perform a variety of tasks, including message assembly, message concatenation, predefined fixed message segmentation, and message management.

The ISD2500 series is also ideal for playback-only applications, where single or multiple messages are referenced through buttons, switches, or a microcontroller. Once the desired message configuration is created, duplicates can easily be generated via an ISD programmer.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 1: ISD2560/75/90/120 Device Pinouts



CCA CCD)

To minimize noise, the analog and digital circuits in the ISD2500 series devices use separate power busses. These voltage busses are brought out to separate pins and should be tied together as close to the supply as possible. In addition, these supplies should be decoupled as close to the package as possible.

SSA SSD)

The ISD2500 series of devices utilizes separate analog and digital ground busses. These pins should be connected separately through a low-impedance path to power supply ground.

When not recording or playing back, the PD pin should be pulled HIGH to place the part in a very low power mode (see I_{SB} specification). When overflow ($\overline{OVF}$) pulses LOW for an overflow condition, PD should be brought HIGH to reset the address pointer back to the beginning of the record/playback space. The PD pin has additional functionality in the M6 (Push-Button) Operational Mode described later in the Operational Mode section.

)

The $\overline{CE}$ pin is taken LOW to enable all playback and record operations. The address inputs and playback/record input (P/$\overline{R}$) are latched by the falling edge of $\overline{CE}$. $\overline{CE}$ has additional functionality in the M6 (Push-Button) Operational Mode described later in the Operational Mode section.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

)

The P/$\overline{R}$ input is latched by the falling edge of the $\overline{CE}$ pin. A HIGH level selects a playback cycle while a LOW level selects a record cycle. For a record cycle, the address inputs provide the starting address and recording continues until PD or $\overline{CE}$ is pulled HIGH or an overflow is detected (i.e. the chip is full). When a record cycle is terminated by pulling PD or $\overline{CE}$ HIGH, an End-Of-Message ($\overline{EOM}$) marker is stored at the current address in memory. For a playback cycle, the address inputs provide the starting address and the device will play until an $\overline{EOM}$ marker is encountered. The device can continue past an $\overline{EOM}$ marker in an Operational Mode, or if $\overline{CE}$ is held LOW in address mode. (See page 5 for more Operational Modes).

)

A nonvolatile marker is automatically inserted at the end of each recorded message. It remains there until the message is recorded over. The $\overline{EOM}$ output pulses LOW for a period of T_{EOM} at the end of each message.

In addition, the ISD2500 series has an internal V_{CC} detect circuit to maintain message integrity should V_{CC} fall below 3.5 V. In this case, $\overline{EOM}$ goes LOW and the device is fixed in playback-only mode.

When the device is configured in Operational Mode M6 (Push-Button Mode), this pin provides an active-HIGH RUN signal, indicating the device is currently recording or playing. This signal can conveniently drive an LED for a visual indicator of a record or playback operation in process.

)

This signal pulses LOW at the end of memory space, indicating the device has been filled and the message has overflowed. The $\overline{OVF}$ output then follows the $\overline{CE}$ input until a PD pulse has reset the device. This pin can be used to cascade several ISD2500 devices together to increase record/playback durations.

The microphone input transfers its signal to the on-chip preamplifier. An on-chip Automatic Gain Control (AGC) circuit controls the gain of this preamplifier from –15 to 24 dB. An external microphone should be AC coupled to this pin via a series capacitor. The capacitor value, together with the internal 10 KΩ resistance on this pin, determines the low-frequency cutoff for the ISD2500 series passband. See Application Information for additional information on low-frequency cutoff calculation.

The MIC REF input is the inverting input to the microphone preamplifier. This provides a noise-canceling or common-mode rejection input to the device when connected to a differential microphone.

The AGC dynamically adjusts the gain of the preamplifier to compensate for the wide range of microphone input levels. The AGC allows the full range of whispers to loud sounds to be recorded with minimal distortion. The "attack" time is determined by the time constant of a 5 KΩ internal resistance and an external capacitor (C2 on the schematic on page 18) connected from the AGC pin to V_{SSA} analog ground. The "release" time is determined by the time constant of an external resistor (R2) and an external capacitor (C2) connected in parallel between the AGC Pin and V_{SSA} analog ground. Nominal values of 470 KΩ and 4.7 μF give satisfactory results in most cases.

This pin provides the preamplifier output to the user. The voltage gain of the preamplifier is determined by the voltage level at the AGC pin.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The analog input pin transfers its signal to the chip for recording. For microphone inputs, the ANA OUT pin should be connected via an external capacitor to the ANA IN pin. This capacitor value, together with the 3.0 KΩ input impedance of ANA IN, is selected to give additional cutoff at the low-frequency end of the voice passband. If the desired input is derived from a source other than a microphone, the signal can be fed, capacitively coupled, into the ANA IN pin directly.

The external clock input for the ISD2500 devices has an internal pull-down device. These devices are configured at the factory with an internal sampling clock frequency centered to ±1 percent of specification. The frequency is then maintained to a variation of ±2.25 percent over the entire commercial temperature and operating voltage ranges. The internal clock has a ±5 percent tolerance over the industrial temperature and voltage range. A regulated power supply is recommended for industrial temperature range parts. If greater precision is required, the device can be clocked through the XCLK pin as follows:

Table 1: External Clock Sample Rates

Part Number	Sample Rate	Required Clock
ISD2560	8.0 KHz	1024 KHz
ISD2575	6.4 KHz	819.2 KHz
ISD2590	5.3 KHz	682.7 KHz
ISD25120	4.0 KHz	512 KHz

These recommended clock rates should not be varied because the antialiasing and smoothing filters are fixed, and aliasing problems can occur if the sample rate differs from the one recommended. The duty cycle on the input clock is not critical, as the clock is immediately divided by two. **If the XCLK is not used, this input must be connected to ground.**

All devices in the ISD2500 series include an on-chip differential speaker driver, capable of driving 50 mW into 16 Ω from AUX IN (12.2 mW from memory).

The speaker outputs are held at V_{SSA} levels during record and power down. It is therefore not possible to parallel speaker outputs of multiple ISD2500 devices or the outputs of other speaker drivers.

NOTE *Connection of speaker outputs in parallel may cause damage to the device.*

A single output may be used alone (including a coupling capacitor between the SP pin and the speaker). These outputs may be used individually with the output signal taken from either pin. Using the differential outputs results in a 4 to 1 improvement in output power.

NOTE *Never ground or drive an unused speaker output.*

The Auxiliary Input is multiplexed through to the output amplifier and speaker output pins when $\overline{CE}$ is HIGH, P/$\overline{R}$ is HIGH, and playback is currently not active or if the device is in playback overflow. When cascading multiple ISD2500 devices, the AUX IN pin is used to connect a playback signal from a following device to the previous output speaker drivers. For noise considerations, it is suggested that the auxiliary input not be driven when the storage array is active.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The Address/Mode Inputs have two functions depending on the level of the two Most Significant Bits (MSB) of the address (A8 and A9).

If either or both of the two MSBs are LOW, the inputs are all interpreted as address bits and are used as the start address for the current record or playback cycle. The address pins are inputs only and do not output internal address information as the operation progresses. Address inputs are latched by the falling edge of $\overline{CE}$.

If both MSBs are HIGH, the Address/Mode Inputs are interpreted as Mode bits according to the Operational Mode table. There are six Operational Modes (M0..M6) available as indicated in the table. It is possible to use multiple Operational Modes simultaneously. Operational Modes are sampled on each falling edge of $\overline{CE}$, and thus Operational Modes and direct addressing are mutually exclusive.

The ISD2500 series is designed with several built-in Operational Modes that provide maximum functionality with minimum additional components. These are described in detail below. The Operational Modes use the address pins on the ISD2500 devices, but are mapped outside the valid address range. When the two Most Significant Bits (MSBs) are HIGH (A8 and A9), the remaining address signals are interpreted as mode bits and not as address bits. Therefore, Operational Modes and direct addressing are not compatible and cannot be used simultaneously.

There are two important considerations for using Operational Modes. First, all operations begin initially at address 0, which is the beginning of the ISD2500 address space. Later operations can begin at other address locations, depending on the Operational Mode(s) chosen. In addition, the address pointer is reset to 0 when the device is changed from record to playback, playback to record (except M6 mode), or when a Power-Down cycle is executed.

Second, Operational Modes are executed when $\overline{CE}$ goes LOW and the two MSBs are HIGH. This Operational Mode remains in effect until the next LOW-going $\overline{CE}$ signal, at which point the current address/mode levels are sampled and executed.

Table 2: Operational Modes Table

Mode Control	Function	Typical Use	Jointly Compatible[1]
M0	Message cueing	Fast-forward through messages	M4, M5, M6
M1	Delete $\overline{EOM}$ markers	Position $\overline{EOM}$ marker at the end of the last message	M3, M4, M5, M6
M2	Not applicable	Reserved	N/A
M3	Looping	Continuous playback from Address 0	M1, M5, M6
M4	Consecutive addressing	Record/play multiple consecutive messages	M0, M1, M5
M5	$\overline{CE}$ level-activated	Allows message pausing	M0, M1, M3, M4
M6	Push-button control	Simplified device interface	M0, M1, M3

1. Additional Operational Modes can be used simultaneously with the given mode.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The Operational Modes can be used in conjunction with a microcontroller, or they can be hard-wired to provide the desired system operation.

Message Cueing allows the user to skip through messages, without knowing the actual physical addresses of each message. Each $\overline{CE}$ LOW pulse causes the internal address pointer to skip to the next message. This mode should be used for playback only, and is typically used with the M4 Operational Mode.

The M1 Operational Mode allows sequentially recorded messages to be combined into a single message with only one $\overline{EOM}$ marker set at the end of the final message. When this Operational Mode is configured, messages recorded sequentially are played back as one continuous message.

When Operational Modes are selected, the M2 pin should be LOW.

The M3 Operational Mode allows for the automatic, continuously repeated playback of the message located at the beginning of the address space. A message can completely fill the ISD2500 device and will loop from beginning to end without $\overline{OVF}$ going LOW.

During normal operations, the address pointer will reset when a message is played through to an $\overline{EOM}$ marker. The M4 Operational Mode inhibits the address pointer reset on $\overline{EOM}$, allowing messages to be played back consecutively.

The default mode for ISD2500 devices is for $\overline{CE}$ to be edge-activated on playback and level-activated on record. The M5 Operational Mode causes the $\overline{CE}$ pin to be interpreted as level-activated as opposed to edge-activated during playback. This is specifically useful for terminating playback operations using the $\overline{CE}$ signal.

In this mode, $\overline{CE}$ LOW begins a playback cycle, at the beginning of the device memory. The playback cycle continues as long as $\overline{CE}$ is held LOW. When $\overline{CE}$ goes HIGH, playback will immediately end. A new $\overline{CE}$ LOW will restart the message from the beginning unless M4 is also HIGH.

The ISD2500 series of devices contain a Push-Button Operational Mode. The Push-Button mode is used primarily in very low-cost applications and is designed to minimize external circuitry and components, thereby reducing system cost. In order to configure the device in Push-Button Operational Mode, the two most significant address bits must be HIGH, and the M6 mode pin must also be HIGH. A device in this mode always powers down at the end of each playback or record cycle after $\overline{CE}$ goes HIGH.

When this Operational Mode is implemented, several of the pins on the device have alternate functionality:

Table 3: Alternate Functionality in Pins

Pin Name	Alternate Functionality in Push-Button Mode
$\overline{CE}$	Start/Pause Push-Button (LOW pulse-activated)
PD	Stop/Reset Push-Button (HIGH pulse activated)
$\overline{EOM}$	Active-HIGH Run Indicator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

In Push-Button Operational Mode, $\overline{CE}$ acts as a LOW-going pulse-activated START/PAUSE signal. If no operation is currently in progress, a LOW-going pulse on this signal will initiate a playback or a record cycle according to the level on the P/$\overline{R}$ pin. A subsequent pulse on the $\overline{CE}$ pin, before an End-Of-Message is reached in playback or an overflow condition occurs, will cause the device to pause. The address counter is not reset, and another $\overline{CE}$ pulse will cause the device to continue the operation from the place where it was paused.

In push-button Operational Mode, PD acts as a HIGH-going pulse-activated STOP/RESET signal. When a playback or record cycle is in progress and a HIGH-going pulse is observed on PD, the current cycle is terminated and the address pointer is reset to address 0, the beginning of the message space.

In Push-Button Operational Mode, $\overline{EOM}$ becomes an active-HIGH RUN signal which can be used to drive an LED or other external device. It is HIGH whenever a record or playback operation is in progress.

Recording in Push-Button Mode

1. The PD pin should be LOW, usually using a pull-down resistor.
2. The P/$\overline{R}$ pin is taken LOW.
3. The $\overline{CE}$ pin is pulsed LOW. Recording starts, $\overline{EOM}$ goes HIGH to indicate an operation in progress.
4. The $\overline{CE}$ pin is pulsed LOW. Recording pauses, $\overline{EOM}$ goes back LOW. The internal address pointers are not cleared, but an EOM marker is stored in memory to point to the message end. The P/$\overline{R}$ pin may be taken HIGH at this time. Any subsequent $\overline{CE}$ would start a playback at address 0.
5. The $\overline{CE}$ pin is pulsed LOW. Recording starts at the next address after the previous set EOM marker. $\overline{EOM}$ goes back HIGH.

NOTE *If the M1 Operational Mode pin is also HIGH, the just previously written EOM bit is erased, and recording starts at that address.)*

6. When the recording sequences are finished, the final $\overline{CE}$ pulse LOW will end the last record cycle, leaving a set $\overline{EOM}$ marker at the message end. Recording may also be terminated by a HIGH level on PD, which will leave a set EOM marker.

Playback in Push-Button Mode

1. The PD pin should be LOW.
2. The P/$\overline{R}$ pin is taken HIGH.
3. The $\overline{CE}$ pin is pulsed LOW. Playback starts, $\overline{EOM}$ goes HIGH to indicate an operation in progress.
4. If the $\overline{CE}$ pin is pulsed LOW or an EOM marker is encountered during an operation, the part will pause. The internal address pointers are not cleared, and $\overline{EOM}$ goes back LOW. The P/$\overline{R}$ pin may be changed at this time. A subsequent record operation would not reset the address pointers and the recording would begin where playback ended.
5. $\overline{CE}$ is again pulsed LOW. Playback starts where it left off, with $\overline{EOM}$ going HIGH to indicate an operation in progress.
6. Playback continues as in steps 4 and 5 until PD is pulsed HIGH or overflow occurs.
7. If in overflow, pulling $\overline{CE}$ LOW will reset the address pointer and start playback from the beginning. After a PD pulse, the part is reset to address 0.

NOTE *Push-button mode can be used in conjunction with modes M0, M1, and M3.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ISD products are very high-quality single-chip voice recording and playback systems. To ensure the highest quality voice reproduction, it is important that good audio design practices on layout and power supply decoupling be followed. See the ISD Application Notes in this book for details.

The ISD2500 series of devices is designed to provide upward compatibility with the ISD1000A family. When designing with the ISD2500 series, the following differences should be noted.

The ISD2560/75/90/120 devices have 480K storage cells designed to provide 60 seconds of storage at a sampling rate of 8.0 KHz. This is approximately four times the storage of the ISD1000A family. To enable the same addressing resolution, two additional address pins have been added. The address space of each device is divisible into 600 increments with valid addressing from 00 to 257 Hex. Some higher addresses are mapped into the Operational Modes. All other addresses are invalid.

The ISD1000A series combined two functions on the $\overline{EOM}$ pin: end-of-message indication and overflow. The ISD2500 separates these two functions. Pin 25 (PDIP package) remains as $\overline{EOM}$, but outputs only the EOM signal indication. Pin 22 (PDIP package) becomes $\overline{OVF}$ and pulses LOW only when the device reaches its end of memory, or is "full." This change allows easy message cueing and addressability across device boundaries. This also means that the M2 Operational Mode found in the ISD1000A family is not implemented in the ISD2500 series.

The ISD2500 series includes an additional Operational Mode called Push-Button mode. This provides an alternative interface to the record and playback functions of the part. The $\overline{CE}$ and PD pins become redefined as edge-activated "push-buttons." A pulse on $\overline{CE}$ initiates a cycle, and if triggered again, pauses the current cycle without resetting the address pointer (i.e., a Start or Pause function). PD stops any current cycle and resets the address pointer to the beginning of the message space (i.e., a Stop and Reset function). Additionally, the $\overline{EOM}$ pin functions as an active-HIGH run indicator, and can be used to drive an LED indicating a record or playback operation is in progress. Devices in the Push-Button mode cannot be cascaded.

The ISD2500 series can loop with a message that completely fills the memory space.

NOTE *Additional descriptions of ISD2500 device functionality and application examples are provided in the ISD Application Notes in this book.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 2: Record

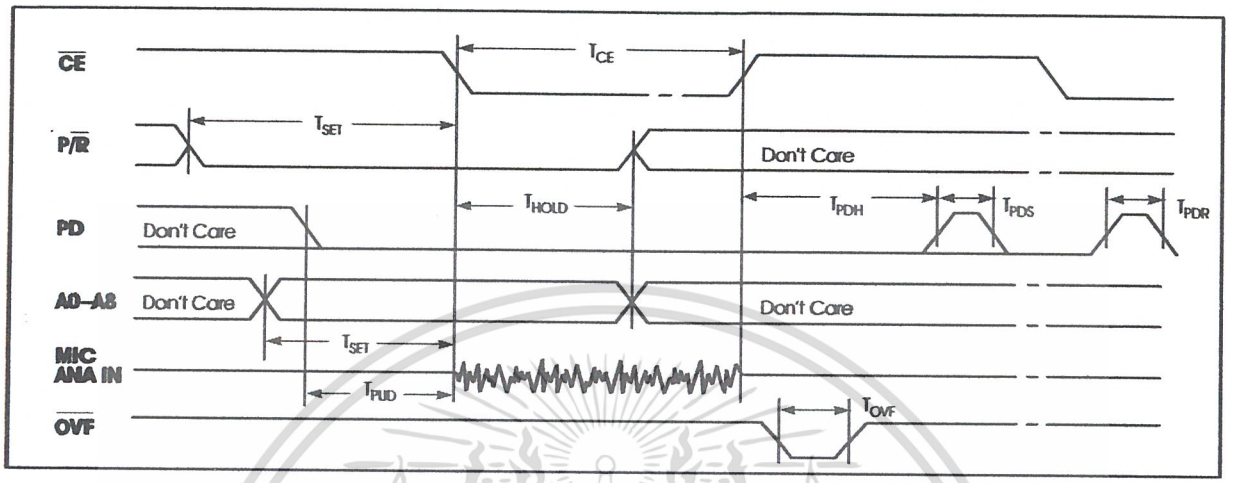
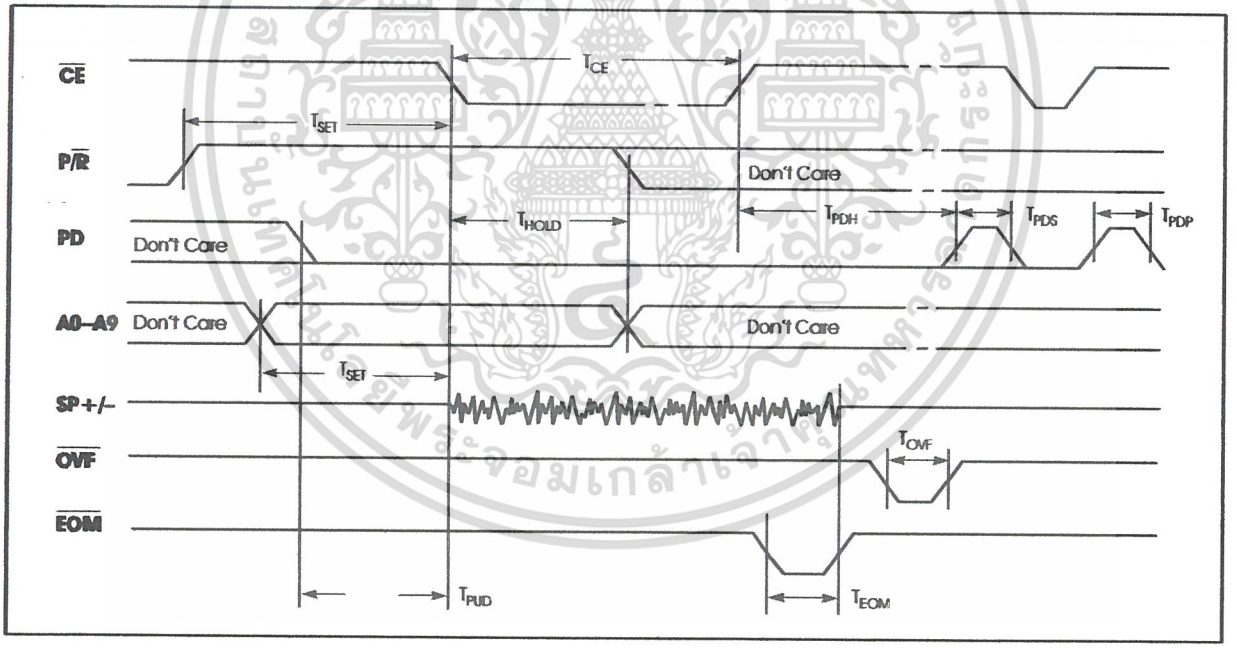


Figure 3: Playback



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 4: Absolute Maximum Ratings (Packaged Parts)[1]

Condition	Value
Junction temperature	150°C
Storage temperature range	–65°C to +150°C
Voltage applied to any pin	(V_{SS} – 0.3 V) to (V_{CC} + 0.3 V)
Voltage applied to any pin (Input current limited to ±20 mA)	(V_{SS} – 1.0 V) to (V_{CC} + 1.0 V)
Lead temperature (soldering – 10 seconds)	300°C
$V_{CC} - V_{SS}$	–0.3 V to +7.0 V

1. *Stresses above those listed may cause permanent damage to the device. Exposure to the absolute maximum ratings may affect device reliability. Functional operation is not implied at these conditions.*

Table 5: Operating Conditions (Packaged Parts)

Condition	Value
Commercial operating temperature range[1]	0°C to +70°C
Industrial operating temperature range[1]	–40°C to +85°C
Supply voltage (V_{CC})[2]	+4.5 V to +5.5 V
Ground voltage (V_{SS})[3]	0 V

1. *Case temperature.*
2. $V_{CC} = V_{CCA} = V_{CCD}$.
3. $V_{SS} = V_{SSA} = V_{SSD}$.

Table 6: DC Parameters (Packaged Parts)

Symbol	Parameters	Min[2]	Typ[1]	Max[2]	Units	Conditions
V_{IL}	Input Low Voltage			0.8	V	
V_{IH}	Input High Voltage	2.0			V	
V_{OL}	Output Low Voltage			0.4	V	I_{OL} = 4.0 mA
V_{OH}	Output High Voltage	V_{CC} – 0.4			V	I_{OH} = –10 µA
V_{OH1}	$\overline{OVF}$ Output High Voltage	2.4			V	I_{OH} = –1.6 mA
V_{OH2}	$\overline{EOM}$ Output High Voltage	V_{CC} – 1.0	V_{CC} – 0.8		V	I_{OH} = –3.2 mA
I_{CC}	V_{CC} Current (Operating)		25	30	mA	$R_{EXT} = \infty$ [3]
I_{SB}	V_{CC} Current (Standby)		1	10	µA	[3]
I_{IL}	Input Leakage Current			±1	µA	
I_{ILPD}	Input Current HIGH with Pull Down			130	µA	Force V_{CC} [4]
R_{EXT}	Output Load Impedance	16			Ω	Speaker Load
R_{MIC}	Preamp In Input Resistance	4	9	15	KΩ	MIC and MIC REF Pins
R_{AUX}	AUX INPUT Resistance	5	11	20	KΩ	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 6: DC Parameters (Packaged Parts)

Symbol	Parameters	Min(2)	Typ (1)	Max(2)	Units	Conditions
$R_{ANA\ IN}$	ANA IN Input Resistance	2.3	3	5	KΩ	
A_{PRE1}	Preamp Gain 1	21	24	26	dB	AGC = 0.0 V
A_{PRE2}	Preamp Gain 2		–15	5	dB	AGC = 2.5 V
A_{AUX}	AUX IN/SP+ Gain		0.98	1.0	V/V	
A_{ARP}	ANA IN to SP+/– Gain	21	23	26	dB	
R_{AGC}	AGC Output Resistance	2.5	5	9.5	KΩ	

1. *Typical values @ T_A = 25°C and 5.0 V.*
2. *All Min/Max limits are guaranteed by ISD via electrical testing or characterization. Not all specifications are 100 percent tested.*
3. *V_{CCA} and V_{CCD} connected together.*
4. *XCLK pin only.*

Table 7: AC Parameters (Packaged Parts)

Symbol	Characteristic		Min(2)	Typ (1)	Max(2)	Units	Conditions
F_S	Sampling Frequency	ISD2560		8.0		KHz	(7)
		ISD2575		6.4		KHz	(7)
		ISD2590		5.3		KHz	(7)
		ISD25120		4.0		KHz	(7)
F_{CF}	Filter Pass Band	ISD2560		3.4		KHz	3 dB Roll-Off Point (3) (8)
		ISD2575		2.7		KHz	3 dB Roll-Off Point (3) (8)
		ISD2590		2.3		KHz	3 dB Roll-Off Point (3) (8)
		ISD25120		1.7		KHz	3 dB Roll-Off Point (3) (8)
T_{REC}	Record Duration	ISD2560	58.1	60.0	62.0	sec	Commercial Operation(7)
		ISD2560	56.5	60.0	63.8	sec	Industrial Operation(7)
		ISD2575	72.6	75.0	77.5	sec	Commercial Operation(7)
		ISD2575	70.7	75.0	79.7	sec	Industrial Operation(7)
		ISD2590	87.1	90.0	93.0	sec	Commercial Operation(7)
		ISD25120	116.1	120.0	123.9	sec	Commercial Operation(7)
T_{PLAY}	Playback Duration	ISD2560	58.1	60.0	62.0	sec	Commercial Operation
		ISD2560	56.5	60.0	63.8	sec	Industrial Operation
		ISD2575	72.6	75.0	77.5	sec	Commercial Operation
		ISD2575	70.7	75.0	79.7	sec	Industrial Operation
		ISD2590	87.1	90.0	93.0	sec	Commercial Operation
		ISD25120	116.1	120.0	123.9	sec	Commercial Operation
T_{CE}	$\overline{CE}$ Pulse Width			100		nsec	
T_{SET}	Control/Address Setup Time			300		nsec	
T_{HOLD}	Control/Address Hold Time			0		nsec	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 7: AC Parameters (Packaged Parts)

Symbol	Characteristic		Min[2]	Typ [1]	Max[2]	Units	Conditions
T_{PUD}	Power-Up Delay	ISD2560	24.1	25.0	27.8	msec	Commercial Operation
		ISD2560	23.5		28.5	msec	Industrial Operation
		ISD2575	30.2	31.3	34.3	msec	Commercial Operation
		ISD2575	29.3	31.3	35.2	msec	Industrial Operation
		ISD2590	36.2	37.5	40.8	msec	Commercial Operation
		ISD25120	48.2	50.0	53.6	msec	Commercial Operation
T_{PDR}	PD Pulse Width Record	ISD2560		25		msec	
		ISD2575		31.25		msec	
		ISD2590		37.5		msec	
		ISD25120		50.0		msec	
T_{PDP}	PD Pulse Width Play	ISD2560		12.5		msec	
		ISD2575		15.625		msec	
		ISD2590		18.75		msec	
		ISD25120		25.0		msec	
T_{PDS}	PD Pulse Width Static			100		nsec	[6]
T_{PDH}	Power Down Hold			0		nsec	
T_{EOM}	$\overline{EOM}$ Pulse Width	ISD2560		12.5		msec	
		ISD2575		15.625		msec	
		ISD2590		18.75		msec	
		ISD25120		25.0		msec	
T_{OVF}	Overflow Pulse Width			6.5		µsec	
THD	Total Harmonic Distortion			1	2	%	@ 1 KHz
P_{OUT}	Speaker Output Power			12.2	50	mW	R_{EXT} = 16 Ω [4]
V_{OUT}	Voltage Across Speaker Pins				2.5	V p-p	R_{EXT} = 600 Ω
V_{IN1}	MIC Input Voltage				20	mV	Peak-to-Peak [5]
V_{IN2}	ANA IN Input Voltage				50	mV	Peak-to-Peak
V_{IN3}	Aux Input Voltage				1.25	V	Peak-to-Peak; R_{EXT} = 16 Ω

1. *Typical values @ T_A = 25°C and 5.0 V.*
2. *All Min/Max limits are guaranteed by ISD via electrical testing or characterization. Not all specifications are 100 percent tested.*
3. *Low-frequency cutoff depends upon the value of external capacitors (see Pin Descriptions).*
4. *From AUX IN; if ANA IN is driven at 50 mV p-p, the P_{OUT} = 12.2 mW, typical.*
5. *With 5.1 KΩ series resistor at ANA IN.*
6. *T_{PDS} is required during a static condition, typically overflow.*
7. *Sampling Frequency and playback Duration can vary as much as ±2.25 percent over the commercial temperature range and voltage range and ±5 percent over the industrial temperature and voltage range. For greater stability, an external clock can be utilized (see Pin Descriptions).*
8. *Filter specification applies to both the antialiasing filter and the smoothing filter. Therefore, from input to output, expect a 6 dB drop by nature of passing through both filters.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PARAMETER VARIATION WITH VOLTAGE AND TEMPERATURE (DIE)

Chart 5: Record Mode Operating Current (I_{CC})

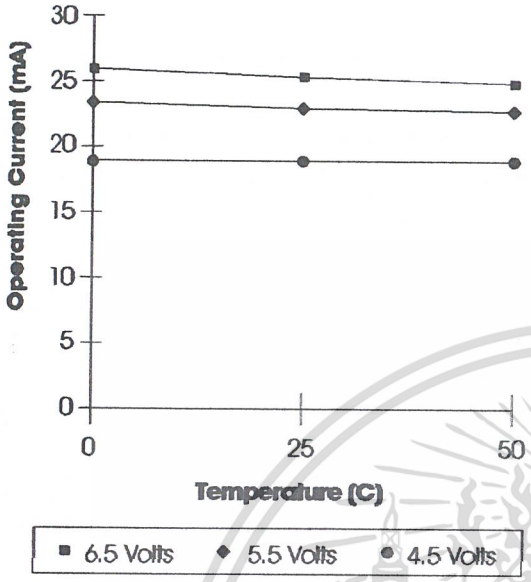


Chart 7: Standby Current (I_{SB})

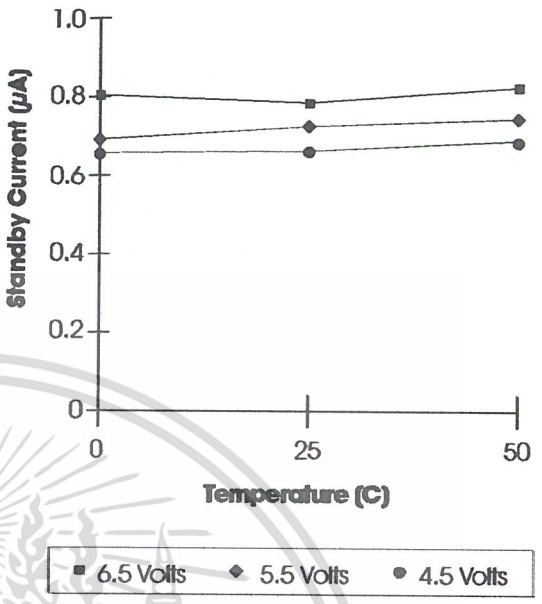


Chart 6: Total Harmonic Distortion

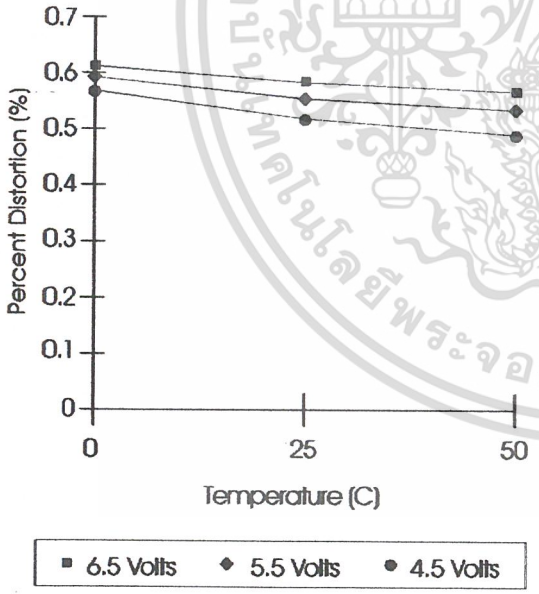
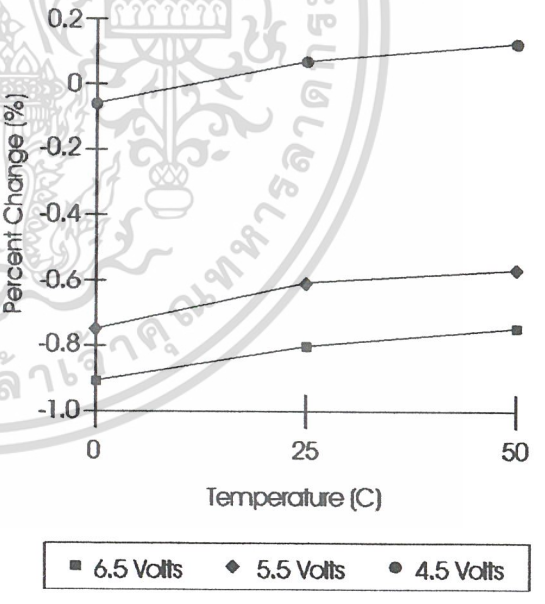
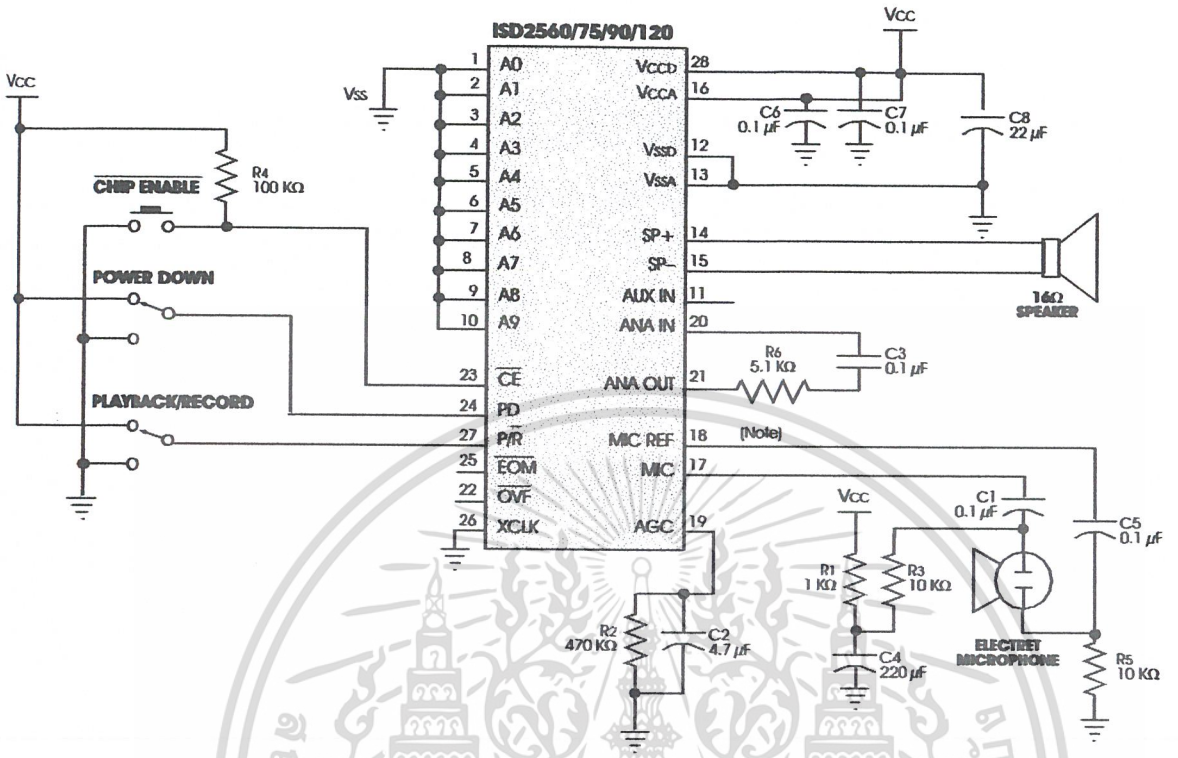


Chart 8: Oscillator Stability



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 4: ISD2560/75/90/120 Application Example—Design Schematic



NOTE: *If desired, pin 18 (PDIP package) may be left unconnected (microphone preamplifier noise will be higher). In this case, pin 18 must not be tied to any other signal or voltage. Additional design example schematics are provided in the Application Notes in this book.*

Table 12: Application Example—Basic Device Control

Control Step	Function	Action
1	Power up chip and select record/playback mode	(1.) PD = LOW, (2.) P/$\overline{R}$ = As desired
2	Set message address for record/playback	Set addresses A0–A9
3A	Begin playback	P/$\overline{R}$ = HIGH, $\overline{CE}$ = Pulsed LOW
3B	Begin record	P/$\overline{R}$ = LOW, $\overline{CE}$ = LOW
4A 4B	End playback End record	Automatic PD or $\overline{CE}$ = HIGH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 13: Application Example—Passive Component Functions

Part	Function	Comments
R1	Microphone power supply decoupling	Reduces power supply noise
R2	Release time constant	Sets release time for AGC
R3, R5	Microphone biasing resistors	Provides biasing for microphone operation
R4	Series limiting resistor	Reduces level to prevent distortion at higher supply voltages.
R6	Series limiting resistor	Reduces level to high supply voltages
C1, C5	Microphone DC–blocking capacitor Low-frequency cutoff	Decouples microphone bias from chip. Provides single-pole low-frequency cutoff and common mode noise rejection.
C2	Attack/Release time constant	Sets attack/release time for AGC
C3	Low-frequency cutoff capacitor	Provides additional pole for low-frequency cutoff
C4	Microphone power supply decoupling	Reduces power supply noise
C6, C7, C8	Power supply capacitors	Filter and bypass of power supply

EXPLANATION

In this simplified block diagram of a microcontroller application, the Push-Button mode and message cueing are used. The microcontroller is a 16-pin version with enough port pins for buttons, an LED, and the ISD2500 series device. The software can be written to use three buttons: one each for play and record, and one for message selection. Because the microcontroller is interpreting the buttons and commanding the ISD2500 device, software can be written for any functions desired in a particular application.

NOTE *ISD does not recommend connecting address lines directly to a microprocessor bus. Address lines should be externally latched.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 5: ISD2560/75/90/120 Application Example—Microcontroller/ISD2500 Interface

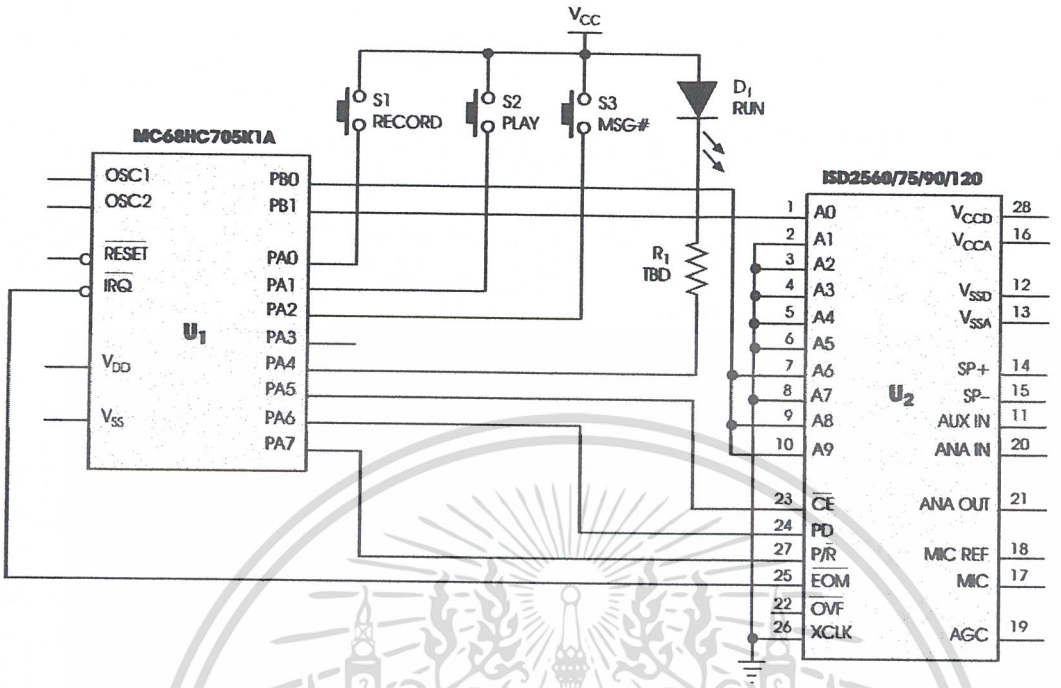
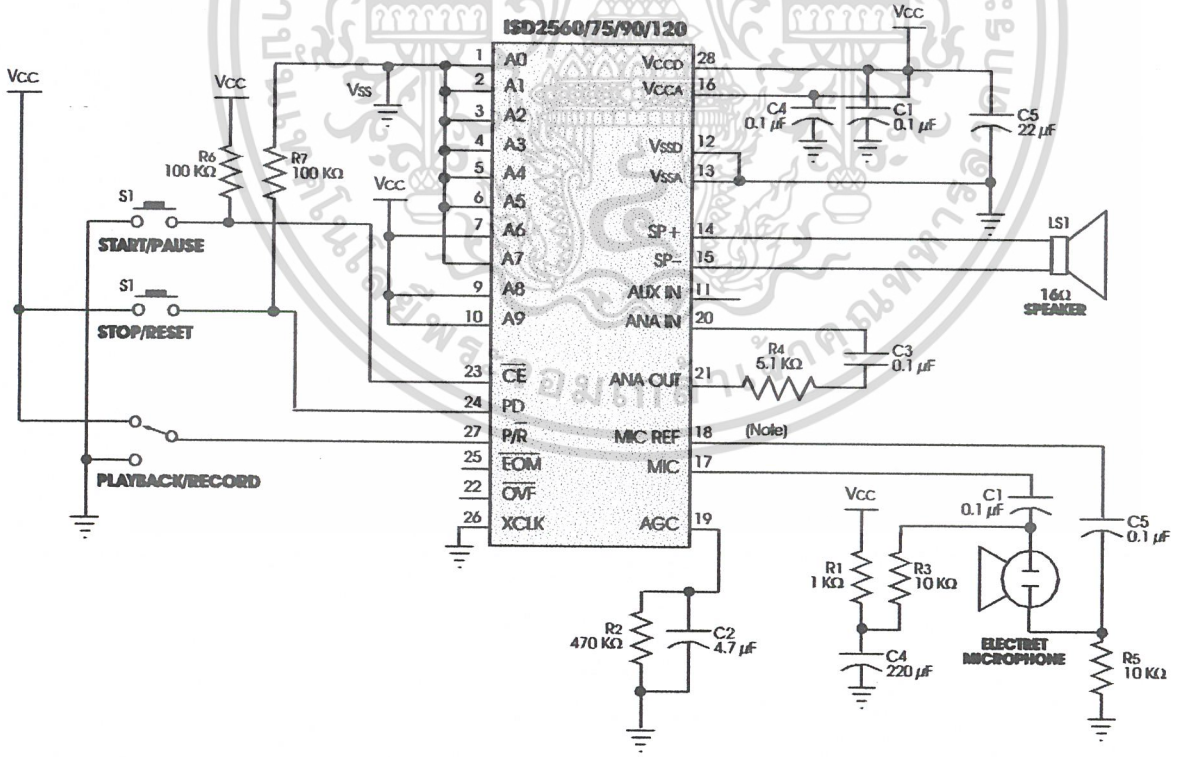


Figure 6: ISD2500 Application Example—Push-Button



NOTE: *Please refer to Application Information.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 14: Application Example—Push-Button Control

Control Step	Function	Action
1	Select record/playback mode	P/$\overline{R}$ = As desired
2A 2B	Begin playback Begin record	P/$\overline{R}$ = HIGH, $\overline{CE}$ = Pulsed LOW P/$\overline{R}$ = LOW, $\overline{CE}$ = Pulsed LOW
3	Pause record or playback	$\overline{CE}$ = Pulsed LOW
4A 4B	End playback End record	Automatic at $\overline{EOM}$ marker or PD = Pulsed HIGH PD = Pulsed HIGH

Table 15: Application Example—Passive Component Functions

Part	Function	Comments
R2	Release time constant	Sets release time for AGC
R4	Series limiting resistor	Reduces level to prevent distortion at higher supply voltages
R6, R7	Pull-up and pull-down resistors	Defines static state of inputs
C1, C4, C5	Power supply capacitors	Filters and bypass of power supply
C2	Attack/Release time constant	Sets attack/release time for AGC
C3	Low-frequency cutoff capacitor	Provides additional pole for low-frequency cutoff

Table 16: Push-Button Parameters

Symbol	Characteristic		Min	Typ (1)	Max	Units	Conditions
T_{CE}	$\overline{CE}$ Pulse Width [Start/Pause]			300		nsec	
T_{SET}	Control/Address Setup Time			300		nsec	
T_{PUD}	Power-Up Delay	ISD2560		25		msec	
		ISD2575		31.25		msec	
		ISD2590		37.25		msec	
		ISD25120		50.0		msec	
T_{PD}	PD Pulse Width [Stop/Reset]			300		nsec	
T_{RUN}	$\overline{CE}$ to $\overline{EOM}$ HIGH		25		400	nsec	
T_{PAUSE}	$\overline{CE}$ to $\overline{EOM}$ LOW		50		400	nsec	
T_{DB}	$\overline{CE}$ HIGH Debounce	ISD2560	70		105	msec	
		ISD2575	85		135	msec	
		ISD2590	105		160	msec	
		ISD25120	135		215	msec	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PUSH-BUTTON TIMING DIAGRAMS

Figure 7: Push-Button Mode Record

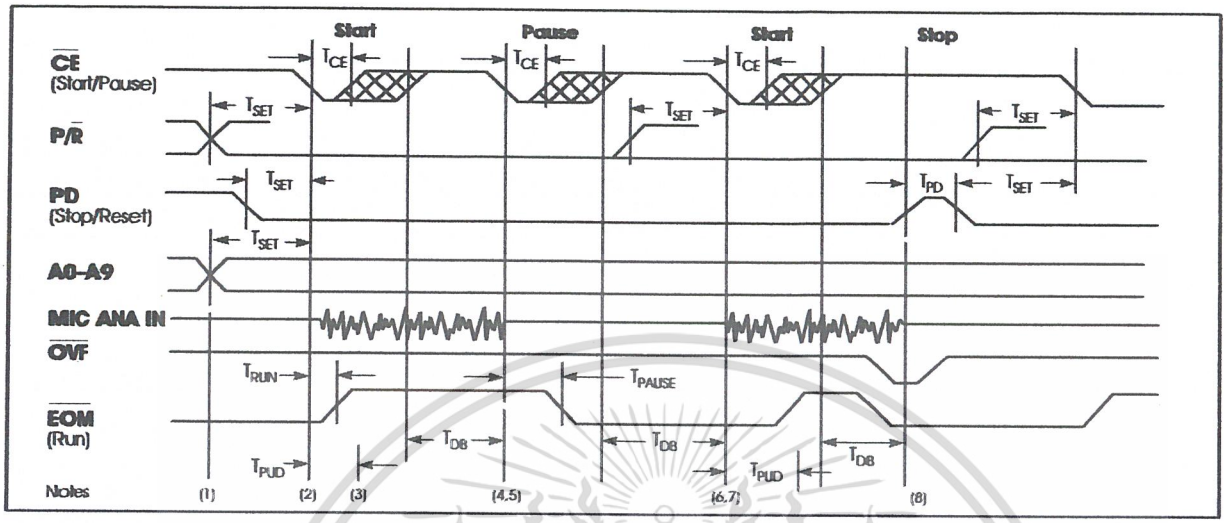
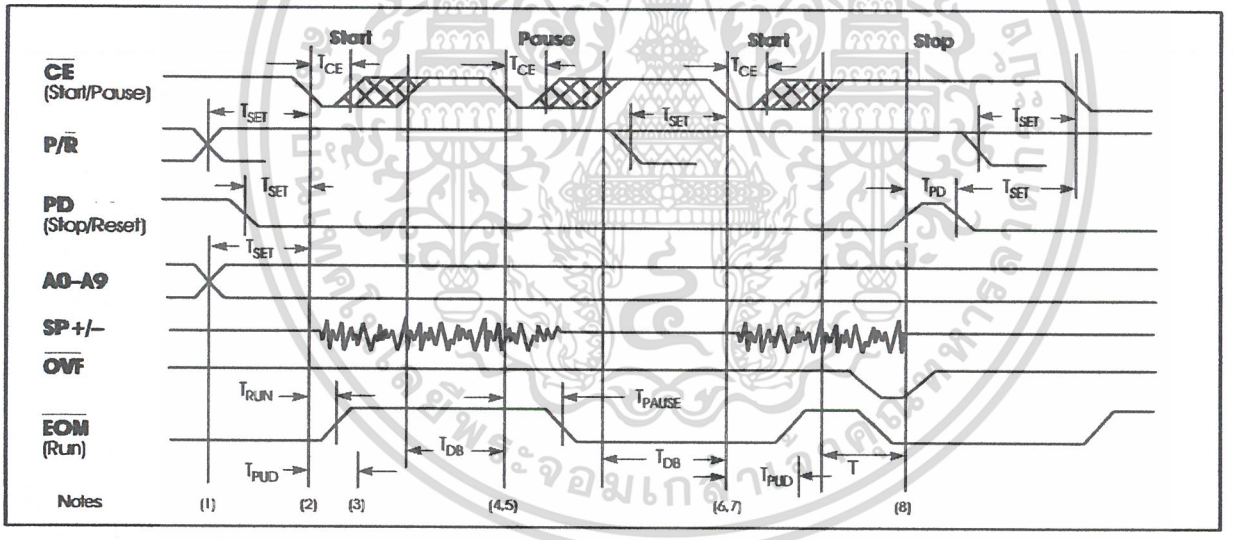


Figure 8: Push-Button Mode Playback



1. *A9, A8, and A6 = 1 for push-button operation.*
2. *The first $\overline{CE}$ LOW pulse performs a Start function.*
3. *The part will begin to play or record after a power-up delay T_{PUD}.*
4. *The part must have $\overline{CE}$ HIGH for a debounce period TDB before it will recognize another falling edge of $\overline{CE}$ and pause.*
5. *The second $\overline{CE}$ LOW pulse, and every even pulse thereafter, performs a Pause function.*
6. *Again, the part must have $\overline{CE}$ HIGH for a debounce period TDB before it will recognize another falling edge of $\overline{CE}$, which would restart an operation. In addition, the part will not do an internal power down until $\overline{CE}$ is HIGH for the TDB time.*
7. *The third $\overline{CE}$ LOW pulse, and every odd pulse thereafter, performs a Resume function.*
8. *At any time, a HIGH level on PD will stop the current function, reset the address counter, and power down the device.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 10: 28-Lead 0.600-Inch Plastic Dual Inline Package (PDIP) (P)

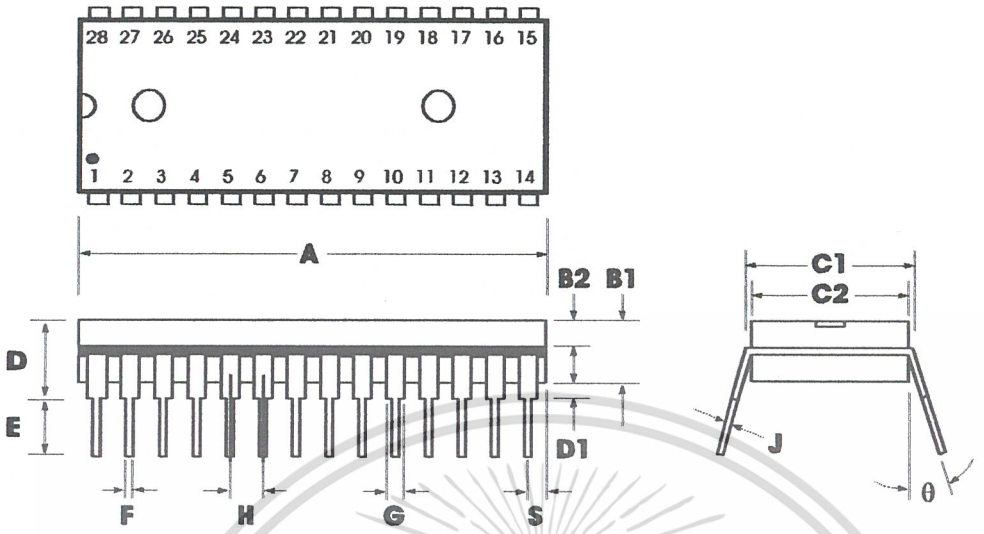


Table 18: Plastic Dual Inline Package (PDIP) (P) Dimensions

	INCHES			MILLIMETERS		
	Min	Nom	Max	Min	Nom	Max
A	1.445	1.450	1.455	36.70	36.83	36.96
B1		0.150			3.81	
B2	0.065	0.070	0.075	1.65	1.78	1.91
C1	0.600		0.625	15.24		15.88
C2	0.530	0.540	0.550	13.46	13.72	13.97
D			0.19			4.83
D1	0.015			0.38		
E	0.125		0.135	3.18		3.43
F	0.015	0.018	0.022	0.38	0.46	0.56
G	0.055	0.060	0.065	1.40	1.52	1.65
H		0.100			2.54	
J	0.008	0.010	0.012	0.20	0.25	0.30
S	0.070	0.075	0.080	1.78	1.91	2.03
q	0°		15°	0°		15°

NOTE: *Lead coplanarity to be within 0.004 inches.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้