สำนักหอสมุดกลาง_พระจอมเกล้าลาดกระบัง

การวิเคราะห์พีซีเอ็มเฟรม

PCM FRAME ANALYSIS

โดย

นายเฉลิมภพ แพรดำ

นายยุทธนา นาทอง

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

ภาควิชาเทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เลขหมู่.....
เลขทะเบียน 33915
วัน, เดือน, ปี 20 ก.ย. 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ พีซีเอ็มเฟรมอะนาริซิส

ชื่อนักศึกษา นาย เฉลิมภพ แพรดำ

นาย ยุทธนา นาทอง

ภาควิชา เทคนิคอุตสาหกรรม

อาจารย์ที่ปรึกษา อาจารย์ กฤดากร กล่อมการ

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้ เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

.....ประธานกรรมการ

(.....)

.....กรรมการ

(.....)

.....กรรมการ

(.....)

.....กรรมการ

(.....)

.....กรรมการ

(.....)

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROJECT REPORT PCM FRAME ANALYSIS

BY MR. CHALOEMPOB PRAEDUM

MR. YUTTANA NATONG

DEPARTMENT OF INDUSTRIAL TECHNOLOGY

ADVISOR MR. KITDAKORN KLOMKARN

ACCEPTED BY THE FACULTY OF ENGINEERING, KING MONGKUT'S INSTITUTE OF TECHNOLOGY, LADKRABANG IN PARTIAL FULFILLMENT OF THE REQUIREMENT FOR THE BACHELOR'S DEGREE. PROJECT REPORT COMMITTEE

.....Chairman

(.....)

.....Committee

(.....)

.....Committee

(.....)

.....Committee

(.....)

.....Committee

(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ พีซีเอ็มเฟรมอะนาริซิส
โดย นาย เฉลิมภพ แพรดำ
นาย ยุทธนา นาทอง

ภาควิชา เทคนิคอุตสาหกรรม
อาจารย์ที่ปรึกษา อาจารย์ กฤดากร กล่อมการ

บทคัดย่อ

บทความวิจัยนี้ได้เสนอผลงานของการวิจัยและพัฒนา "การตรวจจับเฟรมอะไลเมนต์และนอนเฟรมอะไลเมนต์บน อีวันเฟรมของระบบเครือข่ายโทรศัพท์" ซึ่งจำเสนอขั้นตอน และวิธีการตรวจจับค้นหาต้นเฟรม **(Header of frame)** ของ อีวันเฟรม **(E1-frame)** ซึ่งเป็นเฟรมที่ใช้ในการรับส่งข้อมูลที่เป็นดิจิตอลระหว่างชุมสายควบคุมระยะไกล **(Remote Switching Unit)** และชุมสายโทรศัพท์ท้องถิ่น **(Local Exchange)** ที่ความเร็วบิทเรท **2.048** เมกะบิทต่อวินาที จากหลักการนี้จะทำให้สามารถนำไปออกแบบสร้างเครื่องต้นแบบของอุปกรณ์วัดและวิเคราะห์ข้อมูลบน พีซีเอ็มเฟรม เพื่อวัดหาอัตราความผิดพลาดของบิท และวิเคราะห์ข้อมูลในเฟรมต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROJECT REPORT PCM FRAME ANALYSIS
BY MR. CHALOEMPOB PRAEDUM
MR. YUTTANA NATONG

DEPARTMENT OF INDUSTRIAL TECHNOLOGY
ADVISOR MR. KITDAKORN KLOMKARN

ABSTRACT

In this paper we have presented our reserach and development on "FAS/NFAS Detection on E1-Frame on Telephone Network System" we have presented the concept and method for synchronization with e1-frame by search the header on E1-frame structure. Then this frame is used for communication between remote switching unit and local exchange. The actual bit rate is 2.048 Mbits/sec on linkl.In the near future , this method is used to estabish the PCM frame analyzer of merure the bit error rate and analysis the data over the e1-frame.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ สำเร็จลุล่วงได้เนื่องจากการสนับสนุนและให้กำลังใจจากบิดามารดาและด้วยความร่วมมือและความตั้งใจ ในการทำงานของเพื่อนร่วมงานในกลุ่มและได้รับคำแนะนำจาก อาจารย์ที่ปรึกษาทางด้านเทคนิคและแนวความคิดต่างๆ นอกจากนี้ยังได้รับคำแนะนำในการออกแบบ วงจรจาก อาจารย์กฤดากร กล่อมการ และ คุณอุดมพร สุนันทชัยกุล และพี่วุฒิชัย ชื่นดี ที่ช่วยสนับสนุนในด้านเครื่องมือต่างๆตลอดมา ทางคณะผู้จัดทำใคร่ขอขอบคุณมา ณ ที่นี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
บทที่ 1 บทนำ	1
บทที่ 2 การส่งข้อมูลของระบบพีซีเอ็ม	
2.1 บทนำ	3
2.2 หลักการเบื้องต้นของระบบพีซีเอม	3
2.3 การเข้ารหัสและถอดรหัส	9
2.4 การเข้ารหัสแบบ HDB-3	10
บทที่ 3 ระบบพีซีเอ็มมัลติเพล็กซ์	
3.1 บทนำ	13
3.2 ระบบ PCM Multiplexing ชนิด 30 ช่อง	13
3.3 การทำงานของภาคส่ง	14
3.4 การทำงานของภาครับ	16
3.5 การหาอัตราความผิดพลาดเฉลี่ยของบิท	20
บทที่ 4 หลักการทำงานและหลักการออกแบบวงจร	
4.1 ระบบโครงสร้างของฮาร์ดแวร์	26
4.2 หลักการทำงานของวงจรเข้ารหัส	28
4.3 หลักการทำงานของวงจรถอดรหัส	30
4.4 หลักการทำงานของวงจรกู้สัญญาณนาฬิกาฐานเวลา	32
4.5 หลักการออกแบบวงจร Violation Error Detector	33
4.6 หลักการและการออกแบบวงจรตรวจจับ PCM FRAME	36
บทที่ 5 ผลการทดลอง บทสรุป และ วิจารณ์	53
หนังสืออ้างอิง	63
ภาคผนวก	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

บทที่ 1

รูปที่ 1.1 ระบบโทรศัพท์แบบดิจิตอล 1

บทที่ 2

รูปที่ 2.1 เปรียบเทียบผลของสัญญาณรบกวนที่เกิดขึ้นระหว่างการส่งข้อมูลแบบอะนาลอกและดิจิตอล 3

รูปที่ 2.2 แสดงพื้นฐานกระบวนการทำงานของการส่งข้อมูลแบบ PCM 4

รูปที่ 2.3 รูปสัญญาณที่ผ่านการสุ่มเทียบกับสัญญาณต้นฉบับ 5

รูปที่ 2.4 แสดงสเปกตรัมของสัญญาณ 6

รูปที่ 2.5 แสดงรายละเอียดและศัพท์ที่ใช้ในกระบวนการเทียบระดับแรงดัน 7

รูปที่ 2.6 แสดงการกำหนดระดับตัดสินของระบบทวนสัญญาณดิจิตอลซึ่งกำหนดย่านแรงดันตัดสินไว้ 2 ย่าน 9

รูปที่ 2.7 รูปแบบและสเปกตรัมของข้อมูลที่ถูกเข้ารหัสแบบ HDB-3 10

รูปที่ 2.8 แสดงการทำงานของวงจรเปรียบเทียบแรงดัน 12

บทที่ 3

รูปที่ 3.1 โครงสร้างหลักของระบบการรับส่งสัญญาณแบบพีซีเอ็มมัลติเพล็กซ์ 13

รูปที่ 3.2 แสดงการเชื่อมโยงสัญญาณในภาคส่ง 14

รูปที่ 3.3 รูปแบบของการมัลติเพล็กซ์แบบ 30 ช่องสัญญาณ 15

รูปที่ 3.4 แสดงการเชื่อมโยงสัญญาณในภาครับ 16

รูปที่ 3.5 โครงสร้างของช่องสัญญาณกรอบข้อมูลและกรอบมัลติเฟรมตามมาตรฐานการสื่อสาร 17

รูปที่ 3.6 แสดงตำแหน่งของ FAW1 และ FAW2 ในกรอบข้อมูลตามมาตรฐานแบบ 30 ช่องสัญญาณ 18

รูปที่ 3.7 การกระจายแบบไบโนเมียล 21

รูปที่ 3.8 การกำหนดช่วงเวลาบนเฟรม 22

รูปที่ 3.9 การกระจายแบบพัวซอง ที่ VT = 3 24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

บทที่ 4

รูปที่ 4.1 บล็อกไดอะแกรมลำดับการทำงาน 26

รูปที่ 4.2 วงจร ENCODER ของ HDB-3 29

รูปที่ 4.3 วงจร DECODER ของ HDB-3 31

รูปที่ 4.4 แสดงวงจร CLOCK RECOVERY 32

รูปที่ 4.5(ก) ลักษณะการเกิด DSV 33

(ข) สเตรทไดอะแกรมของหลักการ DSV 34

(ค) รูปลักษณะไอซีที่เบิร์นโปรแกรมเรียบร้อยแล้ว 35

รูปที่ 4.6 แสดงการเลื่อนของบิทในการตรวจสอบ FAS / NFAS
โดยอาศัยชิพรีจีสเตอร์ 37

รูปที่ 4.7 บล็อกไดอะแกรมหลักการออกแบบ 39

รูปที่ 4.8 Counter 10 บิท 9 Down 0 40

รูปที่ 4.9 Samping 256 / 512 41

รูปที่ 4.10 วงจร Generate Signal 42

รูปที่ 4.11 วงจร FAS / NFAS DETECTOR 44

รูปที่ 4.12 State Controller 49

รูปที่ 4.13 วงจรตรวจนับการเกิดการผิดพลาด 50

บทที่ 5

รูปที่ 5.1 แสดงสัญญาณ Out Put ของวงจรภาค Comb Samp 54

รูปที่ 5.2 แสดงสัญญาณ Out Put ของวงจรภาค Counter 10 bits 55

รูปที่ 5.3 แสดงสัญญาณ Out Put ของวงจรภาค State Controller U1 56

รูปที่ 5.4 แสดงสัญญาณ Out Put ของวงจรภาค FAS Counter Error 57

รูปที่ 5.5 แสดงสัญญาณ Out Put ของวงจรภาค NFAS Counter Error 58

รูปที่ 5.6 แสดงสัญญาณ Out Put ของวงจรภาค FAS Detector 59

รูปที่ 5.7 แสดงสัญญาณ Out Put ของวงจรภาค State Controller U2 60

รูปที่ 5.8 แสดงสัญญาณ Out Put ของวงจรภาค Violation Error Detector 61

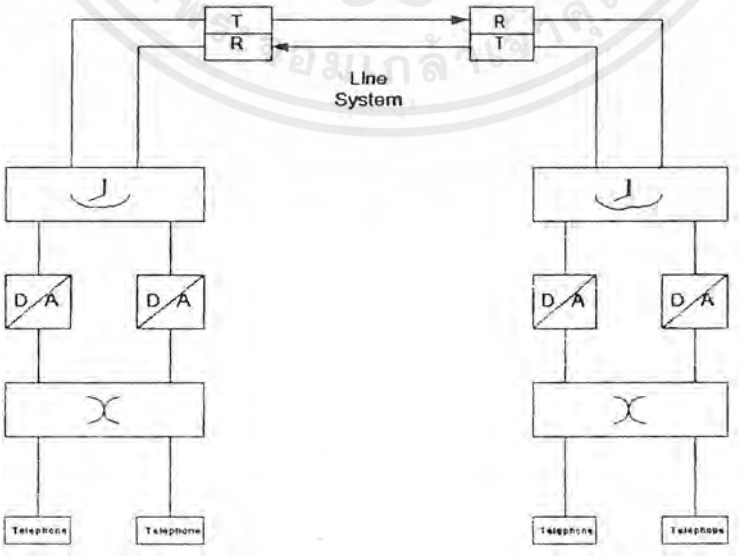
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 บทนำ

การรับส่งสัญญาณทางสื่อสารโทรคมนาคมแต่เดิมนั้น เป็นการส่งสัญญาณในรูปของอะนาล็อก (Analog) ซึ่งใช้เทคนิคต่าง ๆ เช่น การมอดดูเลท (Modolate) แบบแอมพิจูด หรือ แบบเฟส ทั้งนี้ ลักษณะสัญญาณในการรับส่งจะอยู่ในรูปของซายน์ (Sinusoidal) ซึ่งมีลักษณะสัญญาณที่ต่อเนื่องกัน (continuos message waveform)

การรับส่งสัญญาณนอกจากใช้แบบอะนาล็อกทรานสมิทชั่น (Analog Transmission) แล้วยังใช้การรับส่งสัญญาณในรูปแบบของดิจิตอล (Digital) ได้ ซึ่งการรับส่ง แบบนี้จะอยู่ในรูปของดิสครีทแซมปลิ้งพอย์ท (Discrete sample points) โดยใช้เวลาเข้ามาเกี่ยวข้อง แต่ละแซมปลิ้ง (Sample) ก็สามารถจะแปลงรูปออกไปในลักษณะของไบนารี (Binary) โดยคำนึงถึงจำนวนดิจิท (Digit) ด้วยการรับส่งแบบดิจิตอลทรานสมิชชั่น (Digital Transmission) สัญญาณจะมีลักษณะเป็น " 1 " และ " 0 " หรือมี พัลซ์ (Pulse) กับไม่มี พัลซ์ (Pulse) และ ในระบบนี้ ก็จำเป็นต้องมีลายน์รีพีทเตอร์ (Line Repeater) เพื่อขยายสัญญาณด้านรับซึ่งมีกำลังอ่อนลงมาก โดยที่รีพีทเตอร์ (Repeater) จะผลิตสัญญาณขึ้นมาใหม่ให้ถูกต้องเหมือนเดิมเสมอ ดังนั้นในระบบนี้ จึงเป็นระบบรับส่งที่ปราศจากการผิดพลาด (Error) เลยก็ได้



รูปที่ 1.1 ระบบโทรศัพท์แบบดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 วัตถุประสงค์ของโครงงาน

1.2.1 เพื่อศึกษาการทำงานของระบบ PCM FRAME ALIGNMENT

1.2.2 เพื่อศึกษาขบวนการในการส่งข้อมูลแบบ Line Code ชนิด HDB-3

1.2.3 เพื่อสร้างเครื่องตรวจจับการเกิดความผิดพลาดในการเข้ารหัส (VIOLATION ERROR DETECT)

1.2.4 เพื่อศึกษาโปรแกรม VHDL เพื่อใช้ในการออกแบบสร้าง IC เพื่อให้มีคุณสมบัติใช้เป็นชิพในการตรวจจับการเกิดความผิดพลาดในการเข้ารหัส

1.3 ลำดับขั้นตอนและวิธีการดำเนินการ

1.3.1 ศึกษาการทำงาน การเข้ารหัสแบบ PCM

1.3.2 ศึกษาการทำงานของอุปกรณ์ที่จะทำมาออกแบบ

1.3.3 ศึกษาและสร้างวงจรการทำ Line Code ชนิด HDB-3

1.3.4 ออกแบบโครงสร้างของเครื่องตรวจจับการเกิดความผิดพลาดในการเข้ารหัส

1.3.5 การใช้โปรแกรม VHDL เพื่อใช้สร้าง IC ที่ใช้เป็นชิพในการตรวจจับการเกิดความผิดพลาดของการเข้ารหัส

1.3.6 ทดสอบการทำงานของเครื่องตรวจจับและทดสอบชิพ IC ที่สร้างขึ้น

1.4 ประโยชน์ที่คาดว่าจะได้รับจากโครงงานนี้

1.4.1 เป็นพื้นฐานในการสร้างเครื่องตรวจจับเมื่อเกิดการผิดพลาดของการเข้ารหัส (LINE CODE)

1.4.2 ได้เรียนรู้หลักการทำงานของการส่งข้อมูลโดยการทำการเข้ารหัส (LINE CODE) ชนิด HDB-3

1.4.3 ได้เรียนรู้การสื่อสารข้อมูลแบบ PCM FRAME

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

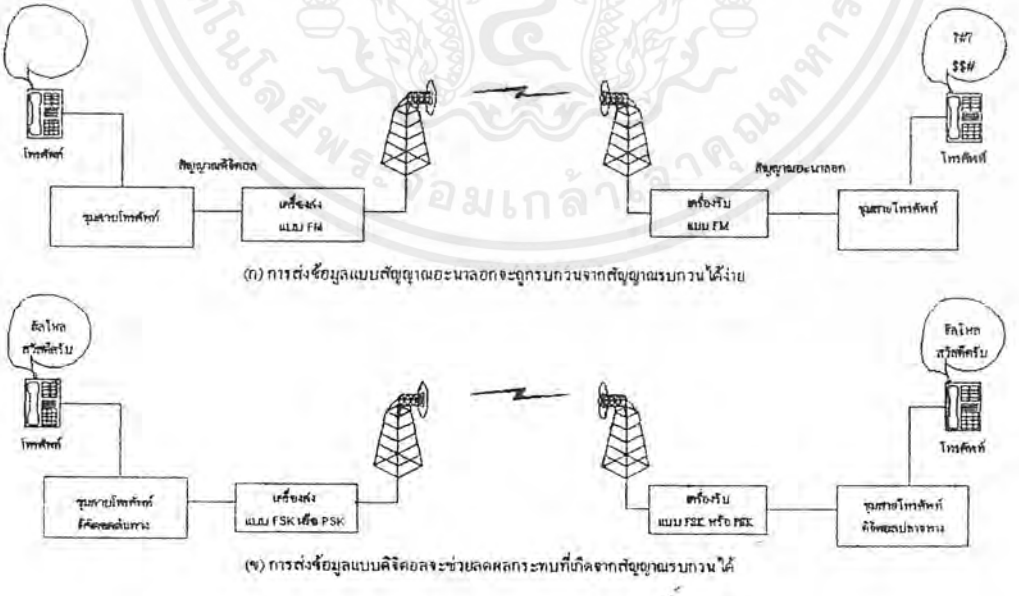
บทที่ 2
การส่งข้อมูลของระบบ พีซีเอ็ม

2.1 บทนำ

ในปัจจุบันนี้ การส่งข้อมูลแบบดิจิตอล (Digital) มีการใช้กันอย่างแพร่หลายมากในด้านของการติดต่อสื่อสารโทรคมนาคม ซึ่งในการส่งข้อมูลแบบดิจิตอล (Digital) นั้นมีมากมายหลายแบบ ส่วนใหญ่จะแบ่งชนิดตามการสร้างหรือการมอด (Mod) ซึ่งแต่ละชนิดจะออกแบบไว้ให้สามารถใช้งานได้ดีเพื่อเพิ่มประสิทธิภาพในการสื่อสารหรือการส่งข้อมูล

2.2 หลักการเบื้องต้นของระบบ PCM

พีซีเอ็ม (PCM) เป็นชื่อย่อมาจาก Pulse Code Modulation ซึ่งเป็นการส่งสัญญาณอะนาลอกโดยเปลี่ยนให้อยู่ในรูปทางข้อมูลดิจิตอลที่ถูกเข้ารหัสอยู่ผ่านเครือข่ายสื่อสารระบบดิจิตอล ข้อดีของการส่งข้อมูลในรูปดิจิตอล คือ การป้องกันการรบกวนจากสภาพแวดล้อมดังแสดงในรูปที่ 2.1

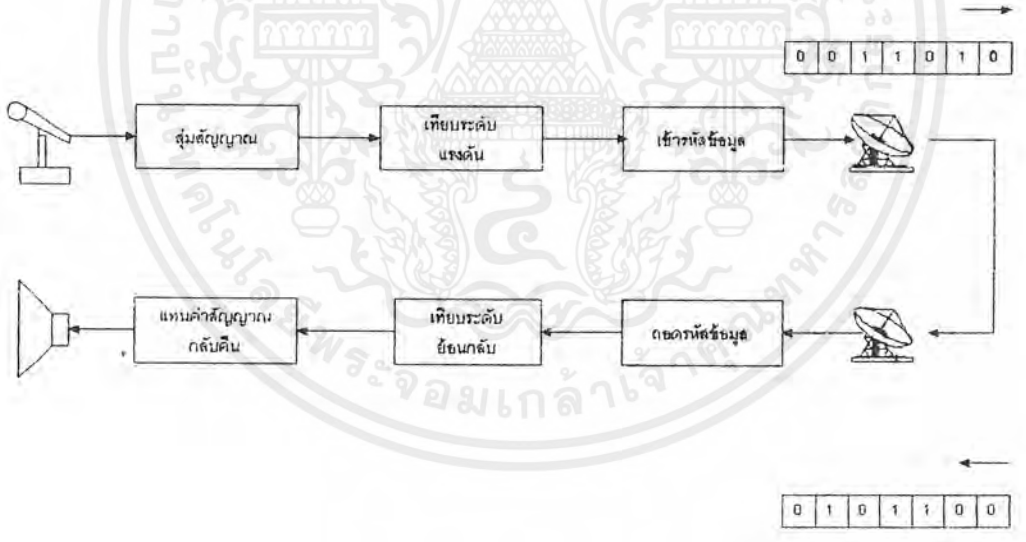


รูปที่ 2.1 เปรียบเทียบผลของสัญญาณรบกวนที่เกิดขึ้นระหว่างการส่งข้อมูลแบบอะนาลอกและดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทั้งนี้เนื่องจากสัญญาณดิจิตอลเป็นสัญญาณที่มีระดับของแรงดันเพียง 2 สถานะ คือ สูง (High) และต่ำ (Low) เท่านั้นและยังสามารถลดปัญหาการผิดเพี้ยนของรูปร่างสัญญาณที่เกิดขึ้นระหว่างการส่งได้ ทั้งที่เกิดจากการลดทอนสัญญาณตามระยะทางและที่เกิดจากสัญญาณรบกวน ซึ่งจะถูกแก้ไขเมื่อถึงเครื่องรับปลายทาง โดยใช้หลักการเปรียบเทียบค่าระดับแรงดันของสัญญาณที่มาถึงปลายทางกับระดับแรงดันเทรชโฮลด์ (Threshold Voltage) หากแรงดันที่ได้รับมีค่าสูงกว่าแรงดันเทรชโฮลด์ เครื่องรับจะกำหนดให้เป็นลอจิกสูง และในทางตรงกันข้ามเครื่องรับก็จะกำหนดให้สัญญาณที่ได้รับเป็นลอจิกต่ำ หากมีระดับแรงดันต่ำกว่าแรงดันเทรชโฮลด์

การเปลี่ยนสัญญาณอะนาลอกให้เป็นข้อมูลพีซีเอ็มประกอบด้วย 3 กระบวนการหลัก ๆ คือ การสุ่มสัญญาณ (Sampling), การเทียบระดับแรงดัน, และการเข้ารหัสข้อมูล (Encoding) หลังจากนั้นจึงทำการส่งข้อมูลผ่านเครือข่ายและเมื่อข้อมูลดังกล่าวถึงปลายทางก็จะผ่านกระบวนการย้อนกลับคือ การถอดรหัสข้อมูล (Decoding) , การเทียบระดับแรงดันย้อนกลับและการแทนค่าสัญญาณกลับคืน (Recovering) ซึ่งกระบวนการทั้งหมดแสดงดังในรูปที่ 2.2

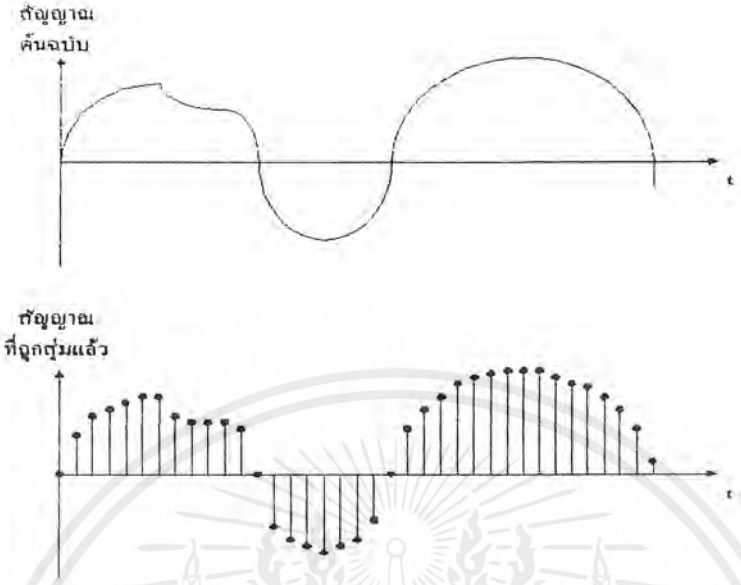


รูปที่ 2.2 แสดงพื้นฐานกระบวนการทำงานของส่งข้อมูลแบบ PCM

การสุ่มสัญญาณ

การสุ่มสัญญาณเป็นขั้นตอนแรกของการแปลงสัญญาณอะนาลอกให้เป็นสัญญาณดิจิตอล โดยวงจรสุ่มสัญญาณจะตรวจจับขนาดของสัญญาณอะนาลอกที่ถูกส่งตามช่วงเวลาที่กำหนด โดยทั่วไปมักจะวัดขนาดในรูปของแรงดันไฟฟ้า ซึ่งแท้จริงแล้วกระบวนการสุ่มสัญญาณเป็นกระบวนการตรวจวัดค่าแรงดันของสัญญาณที่ช่วงเวลาต่าง ๆ ซึ่งมีการตรวจจับดังที่แสดงในรูปที่ 2.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 รูปสัญญาณที่ผ่านการสุ่มเทียบกับสัญญาณต้นฉบับ

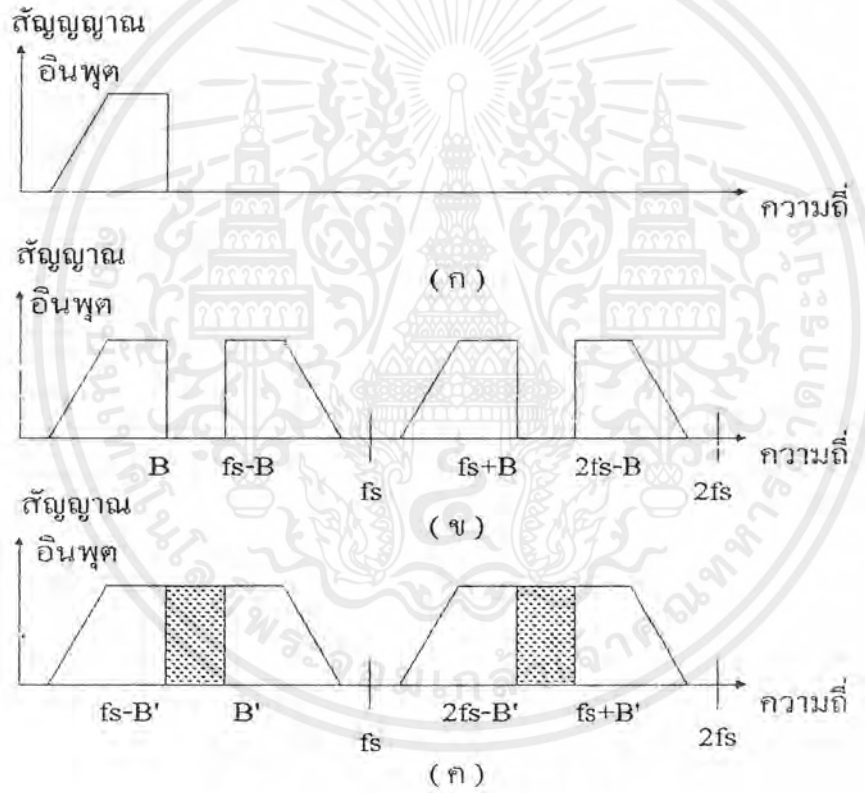
อัตราหรือความถี่ของการสุ่มสัญญาณเป็นคาบนี้จะกำหนดให้อยู่ในหน่วยของจำนวนจุดสุ่มต่อหนึ่งหน่วยเวลา ยกตัวอย่างเช่น ในระบบโทรศัพท์อัตราการสุ่มดังกล่าวจะมีค่าเป็น 8,000 ครั้งต่อวินาทีหรือ 8 กิโลเฮิรตซ์ หรืออาจกล่าวได้ว่าคาบของการสุ่ม (ช่วงเวลาระหว่างการสุ่มแต่ละครั้ง) มีค่าเป็น 1/8,000 หรือ 125 ไมโครวินาที โดยเป็นไปตามข้อกำหนดในทฤษฎีของการสุ่มสัญญาณ ซึ่งถูกกำหนดขึ้นโดยแชนนอน (Shannon) นักคณิตศาสตร์ชาวสหรัฐอเมริกา กล่าวว่าอัตราการสุ่มจะต้องมีความถี่ไม่น้อยไปกว่า 2 เท่าของความถี่สูงสุดของสัญญาณอะนาลอกที่จะทำการส่งนั้น จึงจะสามารถสร้างสัญญาณต้นฉบับกลับคืนจากสัญญาณสุ่มได้

สัญญาณที่ผ่านกระบวนการสุ่มแล้วจะเก็บรูปแบบของสัญญาณต้นฉบับก่อนที่จะถูกสุ่มได้อย่างสมบูรณ์เพียงใดขึ้นอยู่กับความถี่ที่ใช้ในการสุ่ม ซึ่งจะต้องมีค่าไม่น้อยไปกว่า 2 เท่าของความถี่สูงสุดของสัญญาณต้นฉบับ สมมุติว่าความถี่ที่ใช้ในการสุ่มมีค่าเป็น fs เฮิรตซ์ และความถี่สูงสุดของสัญญาณต้นฉบับมีค่าเป็น B ซึ่งมีสเปกตรัมของสัญญาณดังในรูปที่ 2.4 (ก) ตามหลักการทางคณิตศาสตร์ หากนำสัญญาณซึ่งมีแบนด์วิดธ์ B มาสุ่มด้วยสัญญาณที่มีความถี่ fs จะได้สัญญาณซึ่งมีสเปกตรัมดังในรูปที่ 2.4 (ข) สัญญาณนี้เองที่จะถูกส่งผ่านเครือข่ายสื่อสารเพื่อไปยังเครื่องรับปลายทาง หากพิจารณาสเปกตรัมของสัญญาณในรูปที่ 2.4 (ข) จะพบว่ามีส่วนประกอบของสเปกตรัมย่อย ๆ จำนวนมาก สเปกตรัมย่อยชุดแรก (หมายเลข 1) เป็นสเปกตรัมของสัญญาณอยู่ในช่วงความถี่ 0 ถึง B จะเป็นสเปกตรัมของสัญญาณก่อนที่จะถูกสุ่มนั่นเอง สเปกตรัมย่อยหมายเลข 3 มีรูปร่างคล้ายกับสเปกตรัมย่อยหมายเลข 1 แต่ถูกเลื่อนไปด้วยความถี่ fs สเปกตรัมย่อยหมายเลข 2 มีรูปร่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เหมือนภาพกลับกับสเปกตรัมย่อยหมายเลข 3 โดยมีความถี่ fs เป็นคล้ายกระจกเงาในการสะท้อน และนอกจากนี้จะพบคู่สเปกตรัมย่อย 4-5, 6-7,... เรื่อยไปจนถึงอนันต์ โดยมีระยะห่างระหว่างกันเท่ากับ fs

เนื่องจากสเปกตรัมของสัญญาณที่ถูกสุ่มแล้วประกอบด้วยส่วนประกอบของสัญญาณต้นฉบับในช่วงความถี่ทุก ๆ ค่า fs ซึ่งไม่มีสเปกตรัมย่อยใดเกิดการทับกันตลอดย่านความถี่ จึงกล่าวได้ว่าสัญญาณที่ถูกสุ่มแล้วจะยังคงเก็บรายละเอียดของสัญญาณต้นฉบับไว้ได้ครบถ้วน ตราบใดที่อัตราการสุ่ม fs มีค่ามากกว่า 2B ซึ่งสามารถใช้วงจรกรองความถี่ต่ำผ่านดึงสัญญาณต้นฉบับกลับ คืนมาได้ที่เครื่องรับปลายทาง



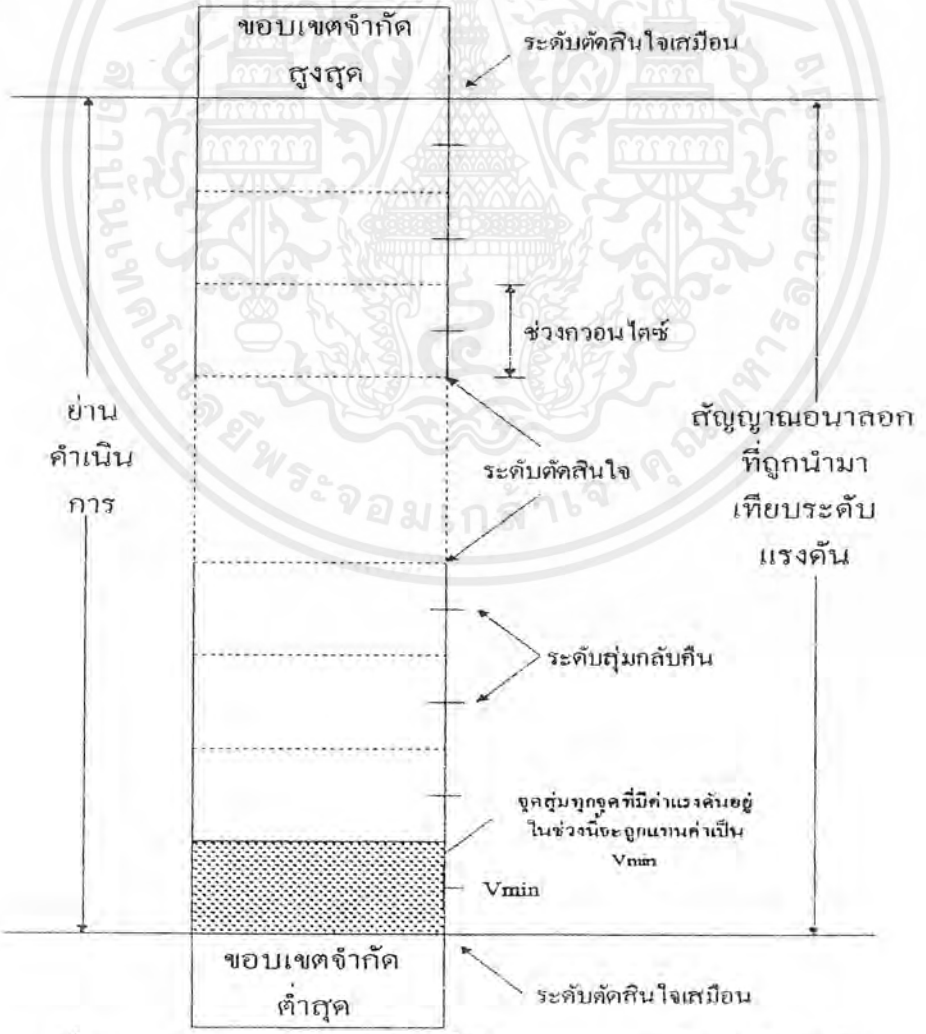
รูปที่ 2.4 แสดงสเปกตรัมของสัญญาณ
(ก) สเปกตรัมของสัญญาณอะนาลอกก่อนผ่านการสุ่ม
(ข) สเปกตรัมของสัญญาณที่ถูกสุ่มแล้วโดย fs > 2B
(ค) สเปกตรัมของสัญญาณที่ถูกสุ่มแล้วโดย fs < 2B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเทียบระดับแรงดัน

การเทียบระดับแรงดันเป็นกระบวนการในการนำสัญญาณที่ถูกสุ่มแล้วมาขัดกลุ่มภายในระดับซึ่งแบ่งออกเป็นช่วง ๆ เรียกว่า ช่วงควอนไตซ์ (Quantizing interval) แต่ละช่วงจะถูกแทนค่าด้วยค่าคงที่มีชื่อเรียกว่าค่าควอนไตซ์ ซึ่งระดับค่าควอนไตซ์ในสถานีต้นทางและสถานีปลายทางจะเหมือนกันทุกประการ

โดยทั่วไปขั้นตอนการเทียบระดับแรงดันจะเกี่ยวข้องกับการเข้ารหัสสัญญาณอย่างมาก การจัดระดับควอนไตซ์มีจุดประสงค์หลักเพื่อปรับค่าแรงดันของสัญญาณที่ผ่านกระบวนการสุ่มสัญญาณมาแล้วให้ลงตัวกับค่าแรงดัน มาตรฐานจำนวนหนึ่งที่ถูกกำหนดเตรียมไว้ โดยต้องตรงกับระดับควอนไตซ์แต่ละค่า เพื่อทำการแปลงเป็นเลขไบนารี่นั่นเอง รูปที่ 2.5 แสดงรายละเอียดและศัพท์ที่ใช้ในกระบวนการเทียบระดับแรงดัน ดังนี้



รูปที่ 2.5 แสดงรายละเอียดและศัพท์ที่ใช้ในกระบวนการเทียบระดับแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

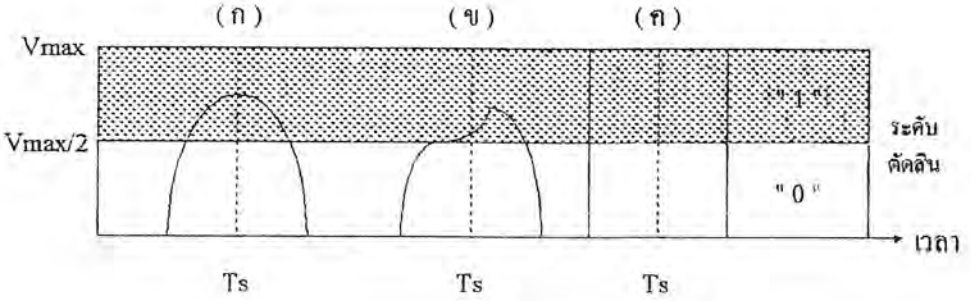
● ย่านดำเนินการ เป็นย่านแรงดันที่ยอมให้มีการเทียบระดับแรงดันได้ สัญญาณที่ถูกสุ่มซึ่งมีระดับแรงดันอยู่ในย่านดังกล่าวจะสามารถผ่านกระบวนการนี้ไปได้ โดยเกิดความคลาดเคลื่อนน้อยที่สุด ส่วนสัญญาณที่มีขนาดแรงดันสูงหรือต่ำกว่าย่านดำเนินการจะถูกแทนค่าด้วยระดับตัดสินใจ สูงหรือต่ำสุดที่มีได้ ภายในย่านดังกล่าวจะถูกแบ่งออกเป็นช่วงควอนไตซ์จำนวนมาก ซึ่งระบบโทรศัพท์ทั่วไปย่านดำเนินการจะถูกแบ่งออกเป็น 256 ช่วง

● ระดับตัดสิน เป็นค่าแรงดันอ้างอิงซึ่งถูกกำหนดโดยขอบเขตรอยต่อของช่วงควอนไตซ์คู่หนึ่ง ๆ หรือถ้าเป็นในระบบทวนสัญญาณดิจิตอล ค่าดังกล่าวจะเป็นค่าเทรชโฮลด์ระหว่างย่านแรงดัน 2 ย่าน ดังในรูปที่ 2.6 (ก) แสดงถึงพัลส์ที่ไม่ถูกสัญญาณรบกวน แต่เกิดการลดทอนของแรงดันอันเนื่องมาจากการลดทอนตามระยะทางของสายส่ง รูปที่ 2.6 (ข) แสดงถึงพัลส์ซึ่งสัญญาณรบกวนในแง่ของแรงดัน ซึ่งแรงดันในขณะที่ถูกสุ่มสัญญาณมีค่ามากกว่า Vmax/2 สัญญาณทั้งสองกรณีจะถูกป้อนเข้า วงจรทวนสัญญาณ ซึ่งจะทำการสุ่มสัญญาณทุก ๆ ช่วงเวลา Ts โดยกำหนดให้ตรงขุดกึ่งกลางของพัลส์ ถ้าระดับแรงดันของสัญญาณ ณ ช่วงการสุ่มมีค่ามากกว่าแรงดันระดับตัดสิน (Vmax/2) วงจรทวนสัญญาณจะถือว่าตรวจพบลอจิก "1" ในทางกลับกันถ้าแรงดัน ณ ขุดสุ่มมีค่าน้อยกว่าแรงดันตัดสิน วงจรทวนสัญญาณจะถือว่าพบลอจิก "0" จากตัวอย่างสัญญาณทั้งสองกรณีเมื่อผ่านเครื่องทวนสัญญาณแล้วจะถูกปรับรูปให้เป็นพัลซ์สมบูรณ์แบบดังในรูปที่ 2.6 (ค) ในกรณีดังกล่าว ค่าเทรชโฮลด์ ซึ่งมีค่า Vmax/2 ก็นับได้ว่าเป็นระดับตัดสินเช่นกัน

● ระดับตัดสินใจเสมือน เป็นระดับตัดสินใจที่อยู่ ณ ตำแหน่งปลายสุดของย่านดำเนินการ ค่าดังกล่าวกำหนดขอบเขตขนาดของสัญญาณ ซึ่งสามารถผ่านการเทียบระดับไปได้โดยไม่เกิดการขลิบขนาดของสัญญาณ โดยจะเกิดขึ้นเมื่อสัญญาณที่ถูกสุ่มมีระดับเกินกว่าระดับตัดสินใจเสมือน

● ระดับสุ่มกลับคืน เป็นระดับควอนไตซ์ซึ่งถูกสร้างขึ้นที่เอาต์พุทของวงจรถอดรหัสของเครื่องรับปลายทาง ค่าแรงดันดังกล่าวเกิดจากการป้อนรหัสไบนารี่ที่ส่งจากสถานีต้นทางไปยังเครื่องรับปลายทาง วงจรถอดรหัสจะทำการแทนค่ารหัสไบนารี่ ซึ่งถูกป้อนเข้ามาด้วยระดับสุ่มกลับคืน แล้วทำการส่งไปเข้าวงจรกรองความถี่ต่ำผ่าน เพื่อสร้างสัญญาณต้นฉบับกลับคืนมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 แสดงการกำหนดระดับตัดสินของระบบทวนสัญญาณดิจิตอลซึ่งกำหนดย่านแรงดันตัดสินไว้ 2 ย่าน

(ก) แสดงพัลส์ที่ไม่ถูกสัญญาณรบกวน แต่เกิดการลดทอนสัญญาณอันเกิดจากระยะทางของสายส่ง

(ข) แสดงพัลส์ที่ถูกสัญญาณรบกวนในแง่ของแรงดัน

(ค) แสดงพัลส์ที่ถูกปรับรูปแล้วเป็นพัลส์ที่สมบูรณ์

2.3 การเข้ารหัสและถอดรหัส

กระบวนการสุดท้ายก่อนทำการรับส่งข้อมูลผ่านเครือข่ายคือการเข้ารหัส ข้อมูลที่ได้จากการขัดระดับควอนไตซ์ และการถอดรหัสข้อมูลไบนารี่กลับมาเป็นระดับควอนไตซ์ที่เครื่องรับปลายทาง ในระบบพีซีเอ็มการเข้ารหัสข้อมูลและการเทียบระดับแรงดันถือได้ว่าเป็นสิ่งที่ใกล้กันมากจนนับได้ว่าเป็นกระบวนการเดียวกัน ในทางปฏิบัติวงจรเข้ารหัสมักจะอยู่รวมเป็นส่วนหนึ่งของวงจรควอนไตซ์

สำหรับการถอดรหัสเป็นกระบวนการที่ย้อนกลับจากการเข้ารหัสในระบบ พีซีเอ็มการถอดรหัสคือการเปลี่ยนชุดของบิตข้อมูลที่ป้อนเข้าสู่เครื่องรับให้อยู่ในรูปของ ระดับสุ่มกลับคืน ซึ่งสัมพันธ์กับชุดไบนารี่ที่ป้อนเข้ามา เนื่องจากกระบวนการถอดรหัสข้อมูลเป็นการทำงานที่เกี่ยวข้องกับการอ่านข้อมูลดิจิตอลและแปรค่ากลับเป็นค่าอะนาลอก ดังนั้นความเร็วของการถอดรหัสจึงถูกกำหนดให้สูงกว่าการเข้ารหัสประมาณ 50 เท่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 การเข้ารหัสแบบ HDB-3

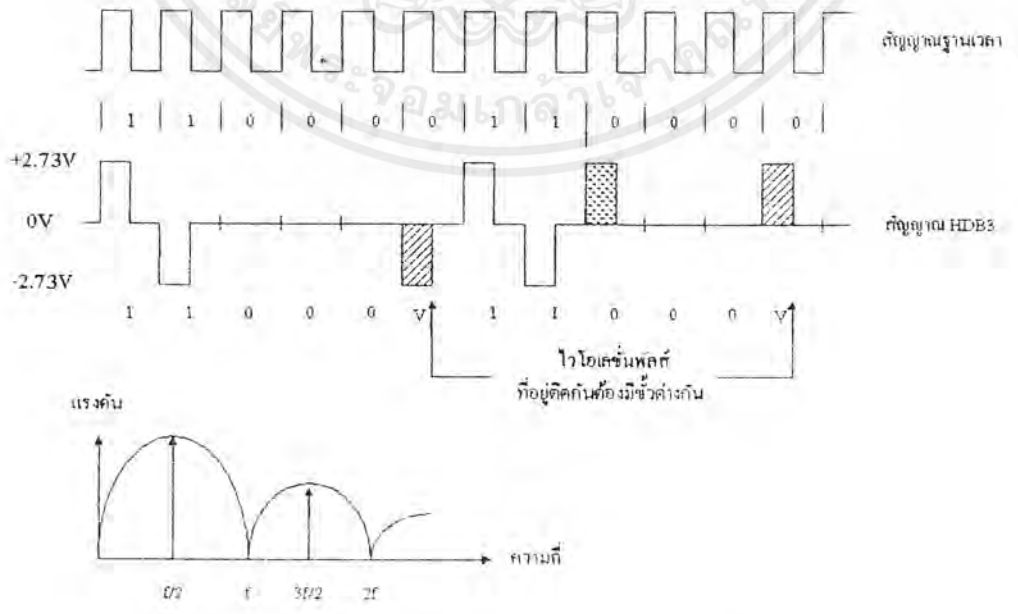
คุณลักษณะของการเข้ารหัสแบบ HDB-3

คุณลักษณะพื้นฐานของรหัสที่สามารถใช้ในการสื่อสาร

1. ต้องไม่ทำให้มีองค์ประกอบของแรงดันไฟตรง (DC) เกิดขึ้นตลอดช่วงระยะเวลาของการส่ง
2. ต้องทำให้พลังงานในย่านความถี่ต่ำมีค่าน้อยที่สุด มิฉะนั้นจะทำให้ต้องใช้อุปกรณ์ที่มีขนาดใหญ่
3. ควรมีการเปลี่ยนระดับแรงดันโดยผ่านค่าแรงดันระดับศูนย์อยู่บ่อย ๆ
4. รหัสที่สร้างขึ้นจะต้องมีคุณสมบัติที่เป็นเอกลักษณ์เฉพาะตัว
5. รหัสที่ดีที่สุดจะต้องสามารถลดแบนด์วิดธ์ของช่องสัญญาณลงให้ต่ำที่สุด

การเข้ารหัสแบบ HDB-3

การเข้ารหัสแบบ HDB3 มีจุดประสงค์เพื่อลดจำนวนของบิตที่แทนลอจิก “0” ในลักษณะที่ติดกันเป็นแถวยาวให้เหลือเป็นแถวติดกันไม่เกิน 3 บิต (000) ส่งผลให้การกู้สัญญาณฐานเวลาที่วงจรภาครับเป็นไปอย่างมีประสิทธิภาพ การเข้ารหัสแบบ HDB3 ได้รับการวางข้อกำหนดจาก CCITT ตามมาตรฐาน G.703 ให้ใช้งานกับระบบสื่อสัญญาณความเร็ว2,8 และ 34 เมกะบิตต่อวินาที พิจารณารูปที่ 2.7 ซึ่งแสดงกรณีตัวอย่างของการเข้ารหัสแบบ HDB3 ในกรณีพบว่ากลุ่มข้อมูลซึ่งเป็นลอจิก “0” ติดกันมากกว่า 3 บิตจะถูกเปลี่ยนให้เป็นกลุ่มลอจิก “0” จำนวนไม่เกิน 3 บิต



รูปที่ 2.7 รูปแบบและสเปกตรัมของข้อมูลที่ถูกเข้ารหัสแบบ HDB3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีการเข้ารหัสแบบ HDB3 จะไม่มีผลให้เกิดองค์ประกอบของแรงดันไฟแรงขึ้นในสเปกตรัมของกลุ่มข้อมูล สำหรับข้อบังคับในการเข้ารหัสแบบ HDB3 มีดังนี้

1. ในกรณีที่ปรากฏจำนวนบิตที่แทนลอจิก "0" ต่อเนื่องกันไม่เกิน 3 บิต การเข้ารหัสจะเป็นไปตามกฎของ AMI (คือเมื่อข้อมูลมีค่าลอจิก "1" จะถูกผลัดกันแทนที่ด้วยพัลส์ค่าบวก (+V) และพัลส์ค่าลบ (-V)

2. เมื่อวงจรเข้ารหัสตรวจพบบิตที่แทนลอจิก "0" ต่อเนื่องกันเกิน 3 บิต วงจรเข้ารหัสจะแทนบิตที่เป็นลอจิก "0" บิตที่ 4 ด้วยพัลส์ที่เป็นลอจิก "1" แต่พัลส์ดังกล่าวจะไม่สลับขั้วกับพัลส์ "1" ก่อนหน้านี้ ทั้งนี้เพื่อเป็นการแยกความแตกต่างระหว่างกรณีดังกล่าวกับการเข้ารหัสแบบ AMI ทั่วไป (ดังรูปที่ 2.7) เรียกพัลส์ที่ถูกสร้างขึ้นในลักษณะนี้ว่า ไวโอเลชั่นพัลส์ (Violation pulse)

3. สำหรับไวโอเลชั่นพัลส์ที่อยู่ใกล้กัน (ไม่ได้หมายความว่าอยู่ติดกัน) จะต้องมีขั้วตรงข้ามกัน หากไม่สามารถทำได้กล่าวคือไวโอเลชั่นถัดไปถูกบังคับให้มีขั้วเดียวกันกับไวโอเลชั่นพัลส์ปัจจุบันวงจรเข้าจะทำการแก้ไขปัญหาดังกล่าวโดยกำหนดให้บิตที่แทนลอจิก "0" บิตแรกในกรณีมี 0 มากกว่า 3 บิตต่อเนื่องกันเป็นพัลส์ที่แทนลอจิก "1" โดยกำหนดขั้วตามข้อบังคับการเข้ารหัสแบบ AMI เพื่อส่งผลให้บิตที่ 4 ของอนุกรมชุดดังกล่าวซึ่งเป็นไวโอเลชั่นพัลส์มีขั้วกลับกันกับไวโอเลชั่นพัลส์ก่อนหน้านี้ พิจารณารูปที่ 2.7 บิตที่ 9 เป็นบิตซึ่งแทนลอจิก "0" แต่ถูกวงจรเข้ารหัสแทนที่ด้วยพัลส์ "1" เพื่อให้บิตที่ 12 ซึ่งเป็นไวโอเลชั่นพัลส์เป็นไปตามกฎข้อที่ 3

สรุปการเข้ารหัสแบบ HDB3 ได้ดังนี้

- วงจรเข้ารหัสจะดำเนินการตามกฎทั้ง 3 ข้อข้างต้นเป็นลำดับ
- วงจรเข้ารหัสจะสร้างรูปแบบ "000V" และ "B00V" (ตามรูปที่ 2.7) ด้วยเงื่อนไขดังนี้

ก) "000V" จะถูกสร้างขึ้นเมื่อตรวจพบ 0 ติดกันเกิน 4 บิตและจำนวนบิตที่เป็น "1" นับจากไวโอเลชั่นพัลส์ตัวสุดท้ายมีจำนวนคี่ (1 บิต, 3 บิต, 5 บิต,...)

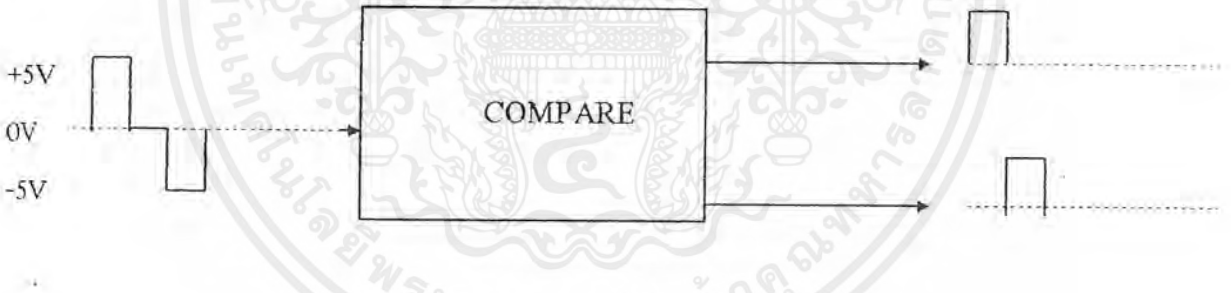
ข) "B00V" จะถูกสร้างขึ้นเมื่อตรวจพบ 0 ติดกันเกิน 4 บิตและจำนวนพัลส์ที่เป็น "1" นับจาก ไวโอเลชั่นพัลส์ตัวสุดท้ายมีจำนวนคู่ (2 บิต, 4 บิต, 6 บิต,...) โดยพัลส์ ณ ตำแหน่ง B มีขั้วเป็นไปตามข้อบังคับการเข้ารหัสแบบ AMI

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการของวงจร ไบโพลาร์/ยูนิโพลาร์ (BIPOLAR / UNIPOLAR CONVERTER)

จะต้องทำการกำหนดค่า Vref ด้วยการจ่ายไฟ +5V ให้กับ R5 และ R4 เพื่อทำการลดแรงดันให้ เหลือแรงดันที่ใช้ในการเปรียบเทียบมีค่า เท่ากับ 0.5V เพื่อเปรียบเทียบกับ DATA ที่เป็น +V จากนั้นทำการคำนวณเพื่อกำหนดค่า -Vref ด้วยการจ่ายไฟ -5V ให้กับ R7 และ R1 เพื่อทำการลดแรงดันให้เหลือเพียง -0.5V เพื่อเปรียบเทียบกับ DATA ที่เป็น -V โดย DATA ที่เข้ามาเราจะกำหนดให้มีระดับแรงดันทางซีกบวก (+V) ให้มีค่าเท่ากับ +5 V และทำการกำหนดให้แรงดันซีกลบ (-V) ให้มีค่าเท่ากับ -5V และค่า DATA ที่เป็นค่า 0 ที่เข้ามาให้มีค่าอยู่ที่ระดับ 0V ถ้าวงจรเปรียบเทียบทำการเปรียบเทียบ และถ้ามีแรงดัน หรือ DATA เข้ามามีค่า +V เกิน0.5V วงจรเปรียบเทียบจะให้มี O/P เป็น ลอจิก 1 และถ้า DATA ที่เข้ามาเป็น -V เกิน -0.5V วงจรเปรียบเทียบ จะให้ O/P เป็นลอจิก 1 และถ้า DATA ที่เข้ามามีค่าน้อยกว่า +0.5 และ -0.5 วงจรเปรียบเทียบจะให้ O/P เป็นลอจิก 0

อธิบายโดย BLOCK DIAGRAM



รูปที่ 2.8 แสดงการทำงานของวงจรเปรียบเทียบแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ระบบ พีซีเอ็มมัลติเพล็กซ์

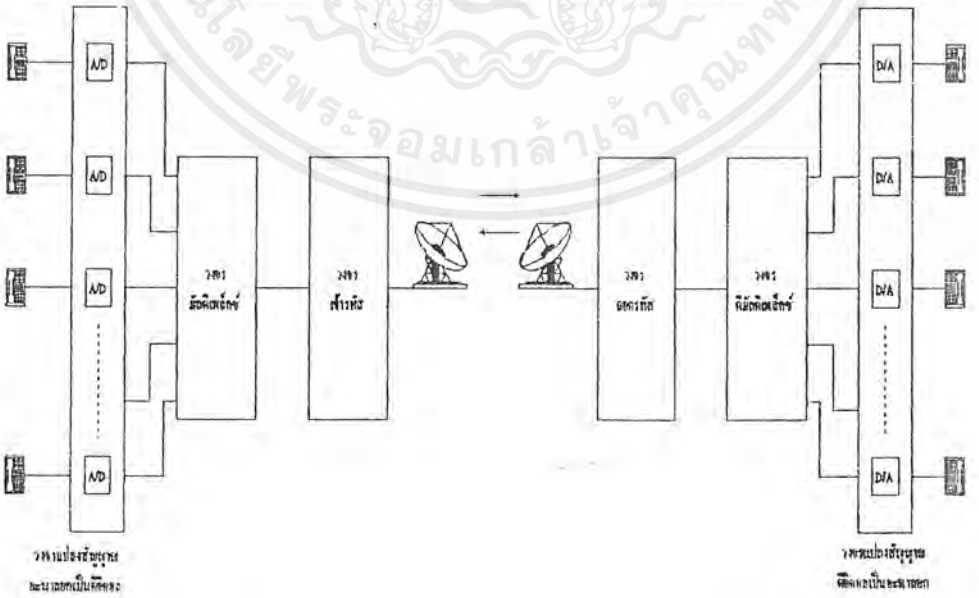
3.1 บทนำ

การออกแบบระบบสื่อสัญญาณที่เป็นแบบพีซีเอ็มมัลติเพล็กซึ่งจะต้องคำนึงถึงปัจจัยหลัก 2 ประการ จึงจะสามารถรับประกันประสิทธิภาพของการรับส่งข้อมูลได้อย่างเต็มที่

ปัจจัยแรก คือ ความเร็วของข้อมูล (หรือที่เรียกว่า แบนด์วิดช์) ซึ่งจะต้องมีค่าต่ำกว่าแบนวิดช์ของตัวนำที่ใช้เป็นสื่อกลางในการรับส่งอีกประการหนึ่ง คือ การเพิ่มสัญญาณควบคุมติดต่อลงในกลุ่มข้อมูลที่ถูกมัลติเพล็กซ์ ทั้งนี้เพื่อเป็นการสร้างช่องทางในการสื่อสารระหว่างสถานต้นทางและสถานีปลายทาง และยังเป็นการแก้ไขความผิดพลาดของข้อมูลที่เกิดจากการรับส่ง

3.2 ระบบ PCM Multiplexing ชนิด 30 ช่อง

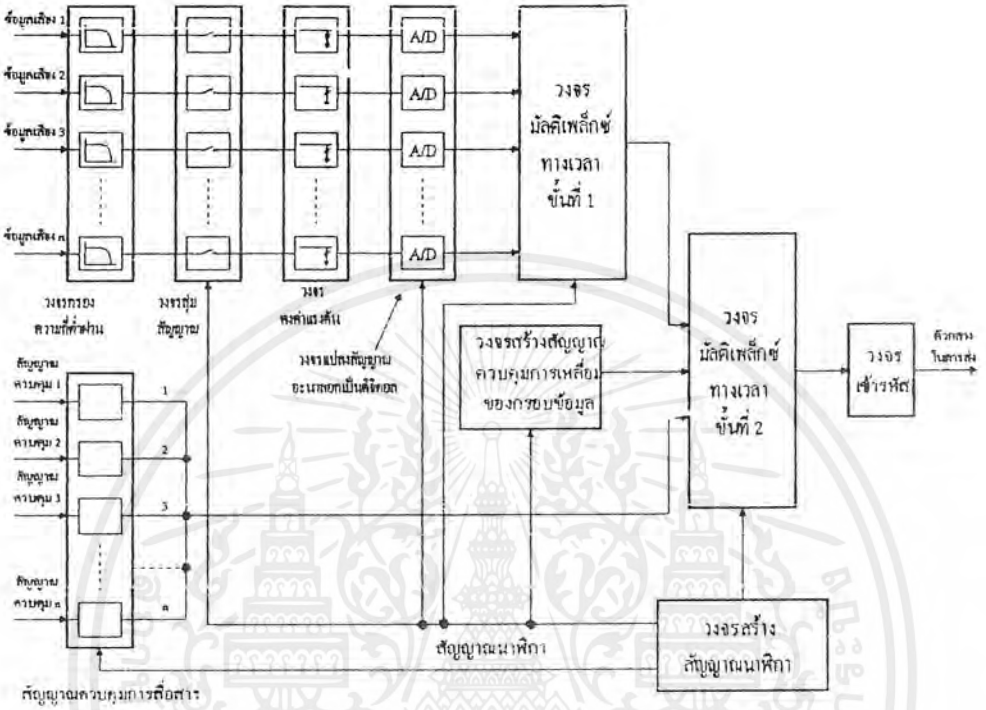
โครงสร้างโดยทั่วไปของระบบการรับส่งแบบนี้ แสดงดังรูปที่ 3.1 ประกอบด้วยส่วนที่ทำหน้าที่แปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิตอลหลาย ๆ ชุด แล้วแต่จำนวนอินพุต, วงจรมัลติเพล็กเซอร์, วงจรเข้ารหัสก่อนการส่ง, ตัวกลางในการส่ง, วงจรถอดรหัสที่ภาครับ, วงจรดีมัลติเพล็กเซอร์ และวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอะนาลอกซึ่งมีจำนวนเท่ากับอินพุต



รูปที่ 3.1 โครงสร้างหลักของระบบการรับส่งสัญญาณแบบพีซีเอ็มมัลติเพล็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 การทำงานของภาคส่ง



รูปที่ 3.2 แสดงการเชื่อมโยงสัญญาณในภาคส่ง

สัญญาณเสียงจากแต่ละแหล่งกำเนิดจะถูกส่งผ่านวงจรกรองความถี่ต่ำผ่าน(Lowpass Filter) เพื่อจำกัดช่วงความถี่ให้อยู่ในช่วง 300-3,400 Hz ซึ่งเป็นย่านของเสียงพูดโดยทั่วไปสัญญาณดังกล่าวจะถูกส่งผ่านวงจรผ่านวงจรสุ่มสัญญาณด้วยความถี่ที่สูงกว่าความถี่ข้อมูลประมาณ 2 เท่า โดยเรียกสัญญาณที่ผ่านการสุ่มนี้ว่าสัญญาณ PAM (Pulse Amplitude Modulation) สัญญาณ PCM ที่ได้จะถูกส่งต่อไปยังวงจรคงค่าสัญญาณเพื่อคงค่าระดับสัญญาณไว้ ในขณะที่วงจรส่วนต่อไปคือวงจรแปลงสัญญาณอะนาลอกเป็นดิจิตอล โดยแปลงเป็นกลุ่มข้อมูลดิจิตอลขนาด 8 บิท

สัญญาณที่ผ่านกระบวนการดังกล่าวจะถูกส่งผ่านวงจรมัลติเพล็กซ์ทางเวลาขั้นที่ 1 เป็นการมัลติเพล็กซ์แบบ 30 ช่องสัญญาณ เอาท์พุตที่ได้จะถูกป้อนเข้าสู่วงจรมัลติเพล็กซ์ทางเวลาขั้นที่ 2 เพื่อเพิ่มช่องสัญญาณควบคุมอีก 2 ช่อง เข้าร่วมกับกลุ่มของช่องสัญญาณที่ถูกมัลติเพล็กซ์อยู่ก่อนแล้ว ซึ่งได้แก่ส่วนควบคุมการเหลื่อมของกรอบข้อมูล (Frame Alignment) และส่วนของสัญญาณควบคุมการสื่อสาร จากนั้นจึงผ่านการเข้ารหัสข้อมูลขั้นสุดท้ายก่อนที่จะถูกส่งผ่านตัวนำสัญญาณไปยังเครื่องรับปลายทาง

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในระบบการรับส่งสัญญาณมัลติเพล็กซึ่ง ตามมาตรฐานของ CCITT แต่ละกรอบข้อมูลจะประกอบไปด้วยช่องสัญญาณทั้งสิ้น 32 ช่อง ซึ่งเป็นช่องสัญญาณที่ใช้งานรับส่งข้อมูล 30 ช่องและช่องสัญญาณควบคุมอีก 2 ช่อง แต่ละช่องสัญญาณมีความยาวของข้อมูลขนาด 8 บิต และเมื่อพิจารณาถึงกระบวนการในการแปลงสัญญาณเสียงเป็นสัญญาณพีซีเอ็มจะพบว่าใช้การสุ่มสัญญาณที่ความถี่ 8 kHz ดังนั้นข้อมูลในแต่ละช่องสัญญาณจะถูกส่งไปด้วยความเร็ว 64 กิโลบิต โดยคำนวณจาก

ความเร็วในการส่งข้อมูลของแต่ละช่องสัญญาณ

= จำนวนบิตต่อช่องสัญญาณ x ความถี่ในการสุ่ม

= 8 บิต x 8,000 เฮิรตซ์

= 64 กิโลบิตต่อวินาที

และ

ความเร็วของการส่งข้อมูลทั้งกรอบ = ความเร็วในการส่งข้อมูลแต่ละช่อง x จำนวนช่องสัญญาณ

= 64 กิโลบิตต่อวินาทีต่อช่อง x 32 ช่อง

= 2.048 เมกะบิตต่อวินาที

รูปที่ 3.3 รูปแบบของการมัลติเพล็กซ์แบบ 30 ช่องสัญญาณ

ตรงตามการสุ่มของแต่ละช่องสัญญาณมีค่าเท่ากับ 1/8,000 วินาที หรือ 25 ไมโครวินาที ซึ่งมีค่าเท่ากับคาบของหนึ่งกรอบข้อมูล และในหนึ่งกรอบข้อมูลประกอบด้วย 32 ช่องสัญญาณ ดังนั้นสามารถคำนวณหาความกว้างของแต่ละช่องสัญญาณได้โดย

ความกว้างของแต่ละช่องสัญญาณ = ความกว้างของหนึ่งกรอบข้อมูล

÷ จำนวนช่องสัญญาณในหนึ่งกรอบข้อมูล

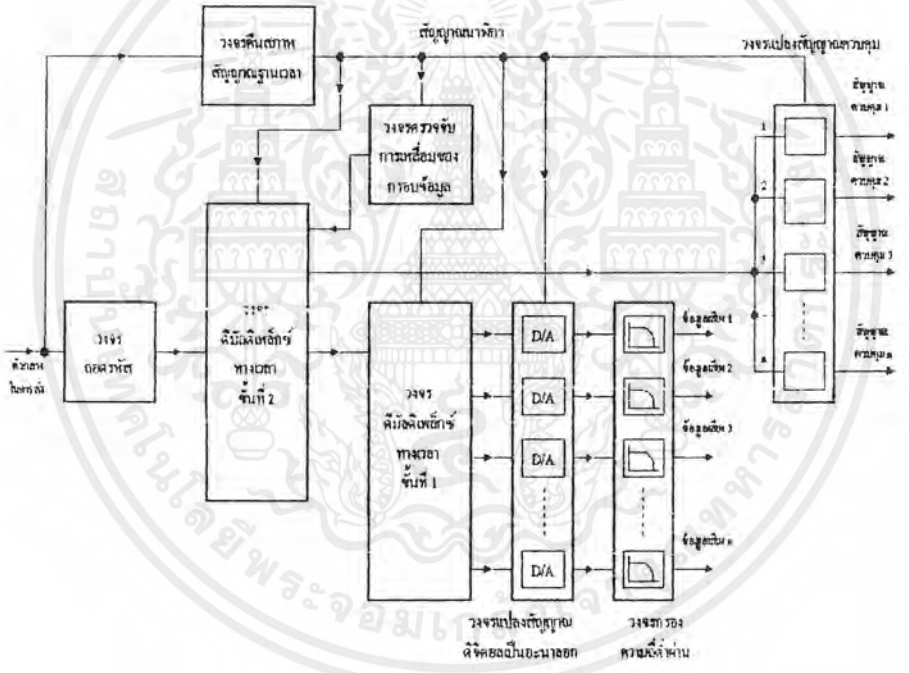
= 125 ไมโครวินาที ÷ 32 ช่อง

= 3.9 ไมโครวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งกล่าวได้ว่าแต่ละช่องสัญญาณมีความกว้าง 3.9 ไมโครวินาที และยกชื่อช่องสัญญาณโดยอ้างตามหมายเลข 0 ถึง 31 โดยช่องที่ 0 เป็นช่องสัญญาณที่ใช้ในการควบคุมการเหลื่อมของกรอบข้อมูลและการให้บริการพิเศษ และช่องสัญญาณที่ 16 เป็นช่องสัญญาณที่ใช้ในการ ควบคุมการเหลื่อมของกรอบมัลติเฟรม (Multiframe Alignment) และส่งผ่านสัญญาณควบคุมของช่องสัญญาณโทรศัพท์ทั้ง 30 ช่อง

3.4 การทำงานของภาครับ



รูปที่ 3.4 แสดงการเชื่อมโยงสัญญาณในภาครับ

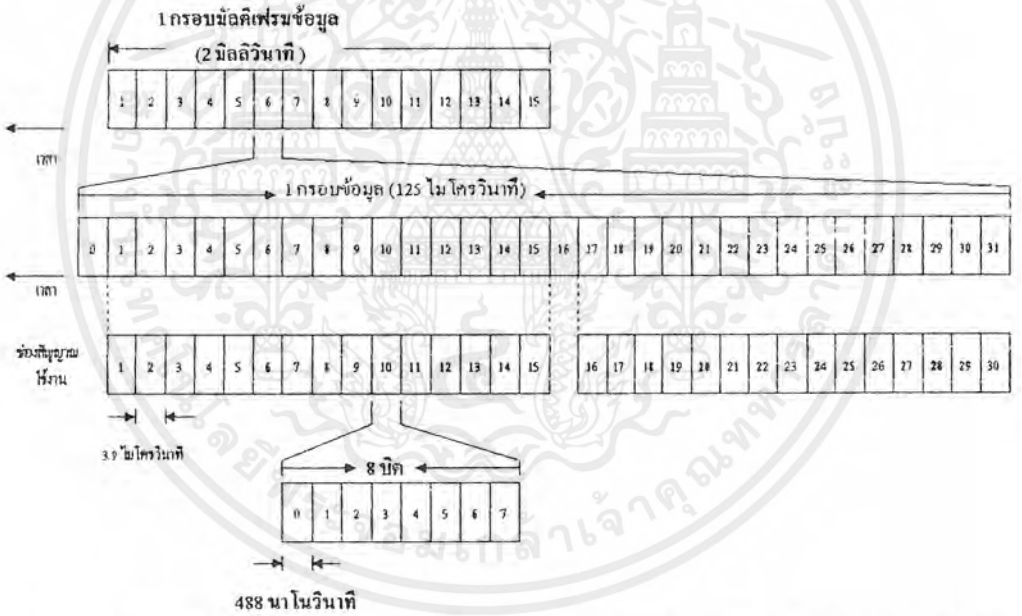
จากรูปที่ 3.4 สัญญาณที่ถูกส่งเข้าสู่ปลายทางจะผ่านกระบวนการถอดรหัสด้วยวงจรถอดรหัส HDB-3 ที่ภาครับให้เป็นข้อมูลไบนารี่ ซึ่งจะถูกป้อนเข้าสู่วงจรดีมัลติเพล็กซ์ทางเวลาขั้นที่ 2 เพื่อแยกสัญญาณควบคุมในช่องสัญญาณที่ 0 และ 16 ของกรอบข้อมูล ช่องสัญญาณโทรศัพท์ 30 ช่อง ซึ่งยังคงถูกมัลติเพล็กซ์อยู่ด้วยจะถูกส่งไปยังวงจรดีมัลติเพล็กซ์ทางเวลาขั้นที่ 1 เพื่อทำการแยกช่องสัญญาณทั้ง 30 ช่อง ออกจากกรอบข้อมูลและป้อนแต่ละช่องสัญญาณไปยังวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอะนาลอก เพื่อสร้างสัญญาณ PCM แล้วส่งผ่านไปเข้ากระบวนการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

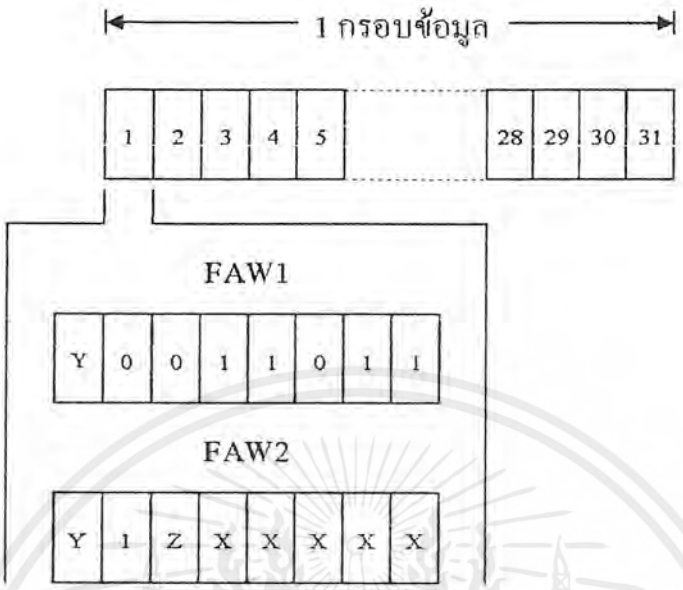
ดีคอนซ์ไตส์ โดยใช้วงจรกรองความถี่ต่ำผ่านเพื่อให้ได้สัญญาณเสียงกลับขึ้นมาใหม่ สัญญาณควบคุม ช่องสัญญาณโทรศัพท์ทั้ง 30 ช่องจะถูกส่งไปยังวงจรแปลงสัญญาณควบคุมการสื่อสารด้านรับ สัญญาณควบคุมการเหลื่อมของกรองข้อมูลถูกส่งไปยังวงจรตรวจจับการเหลื่อมของกรอบข้อมูล (Frame Alignment Detector) และวงจรเตือนความผิดพลาด

สำหรับสัญญาณนาฬิกาที่ใช้เป็นฐานเวลาให้กับวงจรส่วนต่าง ๆ จะถูกสร้างขึ้นโดยวงจรคืนสภาพฐานเวลา (Timing recovery circuit) ซึ่งสร้างสัญญาณนาฬิกาจากฐานเวลาของข้อมูลที่ภาครับของวงจรถอดรหัสข้อมูล สังเกตว่าฐานเวลาของวงจรภาครับที่สถานีปลายทางจะทำงานสอดประสานกับฐานเวลาของภาคส่งที่สถานีต้นทาง โดยอาศัยการมัลติเพล็กซ์ทางเวลา (TDM : Time Division Multiplexing) ของช่องสัญญาณต่าง ๆ ผ่านตัวกลางเป็นตัวส่งผ่านฐานเวลาระหว่างสถานีทั้งสอง



รูปที่ 3.5 โครงสร้างของช่องสัญญาณ, กรอบข้อมูลและกรอบมัลติเฟรม ตามมาตรฐานการสื่อสารแบบพีซีเอ็มมัลติเพล็กซิ่งแบบ 30 ช่องสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
33915



รูปที่ 3.6 แสดงตำแหน่งของ FAW1 และ FAW2 ในกรอบข้อมูลตามมาตรฐานแบบ 30 ช่องสัญญาณ

พิจารณาในรูปที่ 3.6 ซึ่งแสดงถึงโครงสร้างของกรอบข้อมูลตามมาตรฐานพีซีเอ็มชนิด 30 ช่องสัญญาณ ช่องสัญญาณที่ 0 ซึ่งถูกกำหนดให้ทำหน้าที่ควบคุมการเหลื่อมของกรอบข้อมูล ซึ่งเรียกช่องสัญญาณนี้ว่า FAW (Frame Alignment Word) สามารถแบ่งย่อยออกได้เป็น 2 ประเภทคือ FAW1 และ FAW2โดยมีหน้าที่ต่างกัน คือ

- FAW1 หรือ Frame Alignment Word 1 มีรูปแบบข้อมูลเป็น Y0011011 เรียงตามลำดับบิตข้อมูล ช่องสัญญาณนี้จะปรากฏอยู่ในทุก ๆ กรอบคู่ (กรอบที่ 0, 2, 4, ..., 14) โดยบิตที่มีค่าY หมายถึงสงวนไว้ใช้งานในอนาคต ซึ่งในการใช้งานปัจจุบันกำหนดค่าเป็น 1 ใช้เพื่อเป็นการแสดงถึงจุดเริ่มต้นของกรอบข้อมูล

- FAW2 หรือ Frame Alignment Word 2 มีรูปแบบข้อมูลเป็น Y1ZXXXXX เรียงตามลำดับบิตข้อมูล ช่องสัญญาณนี้จะปรากฏอยู่ในกรอบคี่ (กรอบที่ 1, 3, 5, ...,15) โดยบิตที่มีค่า Y หมายถึงสงวนไว้ใช้งานในอนาคต ซึ่งในการใช้งานปัจจุบันกำหนดค่าเป็น 1 บิต ที่มีค่าเป็น X เป็นบิตที่ไม่มีการใช้งานใด ๆ มีค่าเป็น 0 หรือ 1 ก็ได้ สำหรับบิตที่มีค่าเป็น Z เป็นบิตที่เรียกว่า บิตให้บริการ (Service bit) ซึ่งจะเป็นตัวแสดงถึงการเกิดการเหลื่อมของกรอบข้อมูลระหว่างสถานีต้นทางและปลายทาง โดยหาก Z มีค่าเป็น 0 หมายถึงไม่เกิดการเหลื่อมของกรอบข้อมูล แต่หาก Z มีค่าเป็น 1 จะเป็นการแจ้งว่าขณะนี้กรอบข้อมูลที่ส่งระหว่างสถานีทั้งสองเกิดการเหลื่อมขึ้นแล้ว ซึ่งโดยทั่วไปจะใช้พิจารณาร่วมกับส่วนของ MFAW

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 1 แสดงรูปแบบของช่องสัญญาณที่ 0 และ 16 ใน 1 กรอบมัลติเฟรม

แบบที่	ช่องสัญญาณที่ 0 บิตที่								ช่องสัญญาณที่ 16 บิตที่							
	1	2	3	4	5	6	7	8	1	2	3	4	5	6	7	8
0	Y	0	0	1	1	0	1	1	0	0	0	0	X	Z	X	X
1	Y	1	Z	X	X	X	X	X	สัญญาณควบคุมช่องที่ 1				สัญญาณควบคุมช่องที่ 17			
2	Y	0	0	1	1	0	1	1	สัญญาณควบคุมช่องที่ 2				สัญญาณควบคุมช่องที่ 18			
3	Y	1	Z	X	X	X	X	X	สัญญาณควบคุมช่องที่ 3				สัญญาณควบคุมช่องที่ 19			
4	Y	0	0	1	1	0	1	1	สัญญาณควบคุมช่องที่ 4				สัญญาณควบคุมช่องที่ 20			
5	Y	1	Z	X	X	X	X	X	สัญญาณควบคุมช่องที่ 5				สัญญาณควบคุมช่องที่ 21			
6	Y	0	0	1	1	0	1	1	สัญญาณควบคุมช่องที่ 6				สัญญาณควบคุมช่องที่ 22			
7	Y	1	Z	X	X	X	X	X	สัญญาณควบคุมช่องที่ 7				สัญญาณควบคุมช่องที่ 23			
8	Y	0	0	1	1	0	1	1	สัญญาณควบคุมช่องที่ 8				สัญญาณควบคุมช่องที่ 24			
9	Y	1	Z	X	X	X	X	X	สัญญาณควบคุมช่องที่ 9				สัญญาณควบคุมช่องที่ 25			
10	Y	0	0	1	1	0	1	1	สัญญาณควบคุมช่องที่ 10				สัญญาณควบคุมช่องที่ 26			
11	Y	1	Z	X	X	X	X	X	สัญญาณควบคุมช่องที่ 11				สัญญาณควบคุมช่องที่ 27			
12	Y	0	0	1	1	0	1	1	สัญญาณควบคุมช่องที่ 12				สัญญาณควบคุมช่องที่ 28			
13	Y	1	Z	X	X	X	X	X	สัญญาณควบคุมช่องที่ 13				สัญญาณควบคุมช่องที่ 29			
14	Y	0	0	1	1	0	1	1	สัญญาณควบคุมช่องที่ 14				สัญญาณควบคุมช่องที่ 30			
15	Y	1	Z	X	X	X	X	X	สัญญาณควบคุมช่องที่ 15				สัญญาณควบคุมช่องที่ 31			

สำหรับช่องสัญญาณที่ 16 ในกรอบข้อมูลที่ 0 จะใช้สำหรับควบคุมการเหลื่อมของกรอบมัลติเฟรมข้อมูล ซึ่งเรียกช่องสัญญาณนี้ว่า MFAW (Multiframe Alignment Word) โดยมีรูปแบบข้อมูลเป็น 0000XZXX โดยบิตที่มีค่า X เป็นบิตที่ไม่ใช้งานมีค่าเป็นเท่าใดก็ได้ สำหรับบิตที่มีค่าเป็น Z จะใช้ในการแจ้งการเกิดการเหลื่อมของกรอบมัลติเฟรมข้อมูล โดยทั่วไปหาก Z มีค่าเป็น 0 หมายถึงไม่มีการตรวจพบการเหลื่อมของกรอบมัลติเฟรมข้อมูลแต่หาก Z มีค่าเป็น 1 แสดงว่าเกิดการเหลื่อมของกรอบมัลติเฟรมข้อมูลระหว่างสถานีต้นทางและปลายทางขึ้นแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 การหาอัตราความผิดพลาดเฉลี่ยของบิท

3.5.1 ทฤษฎีความน่าจะเป็นของฟังก์ชันที่มีการกระจายแบบไบโนเมียล

ประโยชน์หลักของการกระจายไบโนเมียลนี้เพื่อให้วิศวกรระบบสื่อสารใช้ทำการประเมินอัตราความผิดพลาดของข่าวสารข้อมูลที่เป็นดิจิตอลที่ถูกส่งผ่านในกระบวนการ พีซีเอ็มบนอุปกรณ์ทวนสัญญาณทั้งหลายได้ มันสามารถใช้คำนวณหาความน่าเชื่อถือของอุปกรณ์ได้ และมันความสัมพันธ์กับการกระจายแบบไบโนเมียลดังนี้คือ

คำนึงถึงกรณีของตัวแปรอิสระแบบไม่แน่นอน X สามารถให้ค่าออกมาเป็น 2 สถานะ A และ B กำหนดเป็น 0 และ 1 ในทางดิจิตอลตามลำดับ ให้ความน่าจะเป็นของการเกิดเหตุ $P(B) = q = (1-p)$ เมื่อทำการทดลองเป็นจำนวน n บิท (ครั้ง) ความน่าจะเป็นของการเกิด A เป็นจำนวน m บิท (ครั้ง) ให้เป็น $P_m(A)$

สามารถเขียนในเทอมของการสลับจัดหมู่ของจำนวนบิทได้ดังนี้

จำนวนบิทที่ทำการทดลองทั้งหมดคือ n บิท

จำนวนบิทที่เกิดเหตุการณ์ A คือ m บิท

จำนวนบิทที่เกิดเหตุการณ์ B คือ n-m บิท

เหตุการณ์ทั้งหมดที่เป็นไปได้ $\frac{n!}{m!(n-m)!}$ ------(1)

กำหนด p^m เป็นความน่าจะเป็นของการเกิด A เป็นจำนวน m บิท

กำหนด q^{n-m} เป็นความน่าจะเป็นของการเกิด B เป็นจำนวน n-m บิท

สามารถเขียนให้อยู่ในรูปแบบทั่วไปได้คือ

$$P_m(A) = \frac{n!}{m!(n-m)!} \cdot p^m \cdot q^{n-m} \qquad \text{------(2)}$$

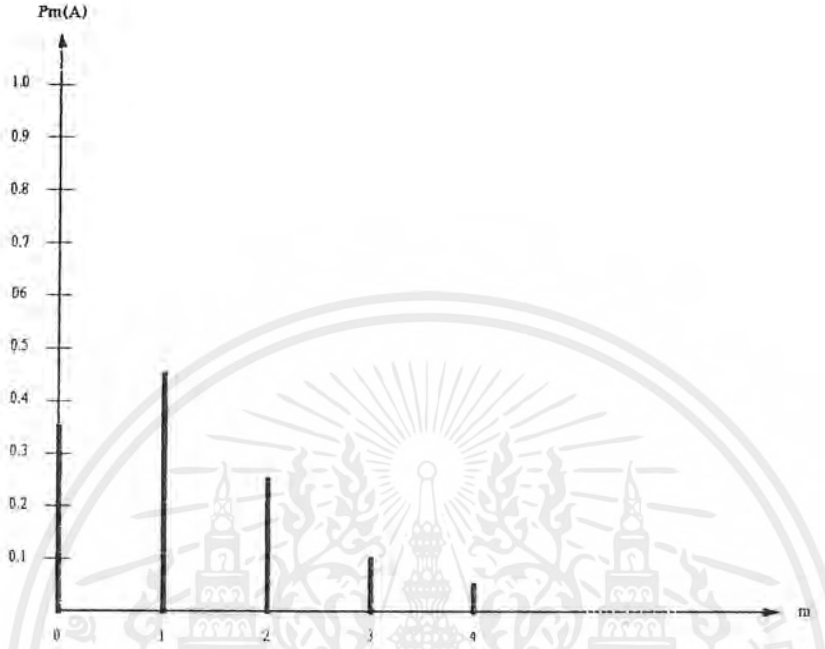
การแสดงของ $P_m(A)$ แทนด้วยเทอมของ m ในการแสดงด้วย ไบโนเมียลของ $(p+q)^m$ ฟังก์ชันความน่าจะเป็นที่ไม่ต่อเนื่องเมื่อทำการวาดกราฟในค่าของความเป็นไปได้ต่างๆ ของ m เมื่อ $m = 0,1,2,\ldots\ldots,n$ ถูกเรียกว่าเป็นการกระจายแบบไบโนเมียล เช่น $P_3(1) = 0.3$ หมายความว่าความน่าจะเป็นของการเกิด 1 เป็นจำนวน 3 บิท จากทั้งหมด n บิท คือ 0.3

ตัวอย่าง ที่ m = 4 บิท จากรูป 3.7

ความน่าจะเป็นของการเกิด 0 หรือ $P_m(A) = 0.25$

ความน่าจะเป็นของการเกิด 1 หรือ $P_m(B) = 0.75$

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 การกระจายแบบไบโนเมียล

3.5.2 ทฤษฎีความน่าจะเป็นของฟังก์ชันที่มีการกระจายแบบพัวซอง

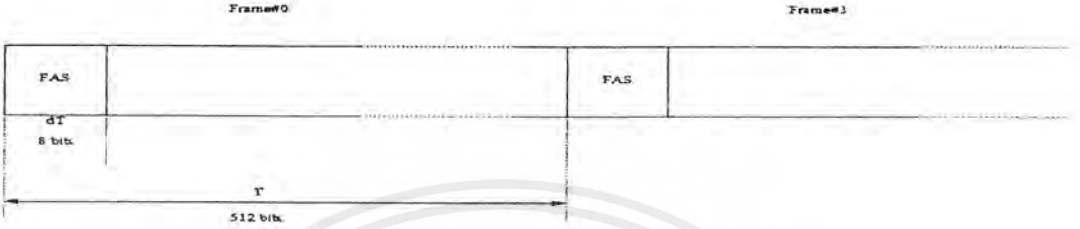
การกระจายแบบพัวซองสามารถนำมาประยุกต์ใช้งานเพื่ออธิบายพฤติกรรมที่ไม่แน่นอนต่าง ๆ เช่น สัญญาณเรบกวนในไดโอด หรือ อัตราความผิดพลาดของบิทจากข้อมูล เป็นต้น มันสามารถกระจายออกมาในรูปของความน่าจะเป็นที่ไม่ต่อเนื่องได้ (Discrete Probability Distribution) ซึ่งสามารถ ประมาณได้จากการกระจายแบบไบโนเมียล ด้วยเงื่อนไขคือ เมื่อ n มีค่ามาก ๆ หรือจำนวนบิทที่ทำการทดสอบมีมาก ๆ และ p มีค่าที่เล็กมาก ๆ หรือ ความน่าจะเป็นของการเกิดเหตุการณ์ที่กำหนดมีน้อยมาก ๆ

มันสามารถถูกนำมาใช้ในการประเมินความน่าจะเป็นของเหตุการณ์ที่เกิดขึ้นเป็นระยะของเวลาที่เกิดขึ้นเป็นช่วง ๆ คือ T เมื่อกำหนดให้ V คือเหตุการณ์ที่เกิดขึ้นต่อวินาทีในกรณีนี้ให้ระยะเวลาที่เกิดขึ้นเป็นช่วง ๆ ถูกแบ่งย่อยด้วยช่วงเวลาเล็ก ๆ dT มีค่าเท่ากับ n สามารถเขียนได้เป็น

$$n = \frac{T}{dT} \qquad \text{------(3)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากโครงสร้างของอิวันเฟรม ที่มีทั้งหมด 32 ช่องเวลา เช่นในช่องเวลา 0 จะบรรจุ FAS เป็นช่วงเวลาที่เกิดขึ้นของ FAS ในช่องเวลา 0 จะเกิดขึ้นเป็นช่วง ๆ จากเวลาทั้งหมดในโครงสร้างของอิวันเฟรม



รูป 3.8 การกำหนดช่วงเวลาบนเฟรม

เมื่อ p คือ ความน่าจะเป็นของเหตุการณ์ที่เกิดขึ้นในช่วงเวลาเล็ก dT

เมื่อ $pn = p\frac{T}{dT}$ ------(4)

และจำนวนที่เกิดขึ้นต่อวินาทีคือ v

จะได้ $v = \frac{pn}{T}$ ------(5)

แนะนำ $pn = \frac{pT}{dT} = vT$ ------(6)

ความหมายของการประเมินของการกระจายไบโนเมียล vT แทน pn ด้วย dT->0 ความน่าจะเป็นของเหตุการณ์ A เกิดขึ้น m ครั้ง แสดงได้โดยการกระจายไบโนเมียล

$$P_m(A) = \frac{n!}{m!(n-m)!}.p^m.q^{n-m}$$

$$= \frac{n(n-1)(n-2).....(n-m)!}{m!(n-m)!}.p^m.q^{n-m} \quad \text{------(7)}$$

q เขียนใหม่ในเทอมของ p จะได้

$$= (1-p)^n \quad \text{------(8)}$$

(8) แทน (7)

$$= \frac{n(n-1)(n-2).....(n-m-1)(n-m)!}{m!(n-m)!}.p^m.(1-p)^n \quad \text{------(9)}$$

เมื่อให้ n >> m ประมาณได้

$$= \frac{n^m}{m!}p^m(1-p)^n \quad \text{------(10)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$q = (1 - p)^n$ สามารถกระจายเขียนในรูปอนุกรมเทอเรอร์ได้

จะได้ $= (1 - p)^n = 1 - pn + \frac{n(n-1)}{2!} p^2 + \ldots\ldots\ldots\ldots$ -----(11)

แทน (11) ใน (10)

จะได้ $= \frac{n^m}{m!} p^m (1 - pn + \frac{n(n-1)}{2!} p^2 + \ldots\ldots\ldots\ldots)$ -----(12)

เมื่อ $p << 1$ สามารถประมาณในวงเล็บได้ เท่ากับ

e^{-pn} -----(13)

แทน (13) ใน (12)

จะได้ $$P_m(A) = \frac{(pn)^m}{m!} e^{-pn}$$ -----(14)

หรือเขียนในเทอมของ VT

จะได้ $$P_m(A) = \frac{(vT)^m}{m!} e^{-vT}$$ -----(15)

เมื่อ $\frac{pn}{T} = v$

ให้การกระจายแบบพัวซองที่ $pn = vT$ โดยวาดที่ $vT = 3$ สามารถแสดงให้ในรูป 3.9

3.5.3 การประเมินความผิดพลาดเฉลี่ยของบิทจากการกระจายแบบพัวซอง

เป็นการประเมินอัตราความผิดพลาดเฉลี่ยของข้อมูลทั้งหมดจากการวัดความผิดพลาดจากข้อมูลบางส่วน ในที่นี้เจาะจงไปที่เฟรมอะไลเมนต์ของอิวันเฟรมที่ 2.048 เมกะบิทต่อวินาทีอ้างอิงถึง CCITT Rec. G.732 เป็นมาตรฐานที่ใช้ในยุโรป ทำการวัดและตรวจขับความผิดพลาดที่เกิดขึ้นภายใน 7 บิทของเฟรมอะไลเมนต์ซิกแนล ที่บรรจุอยู่ในช่องเวลาศูนย์ของทุกเฟรมในโครงสร้าง 32 ช่องเวลาของเฟรม และทำการประเมินและคาดการณ์ของอัตราความผิดพลาดเฉลี่ยในข้อมูลข่าวสารทั้งหมดจากการนับ จากความผิดพลาดของเฟรมอะไลเมนต์

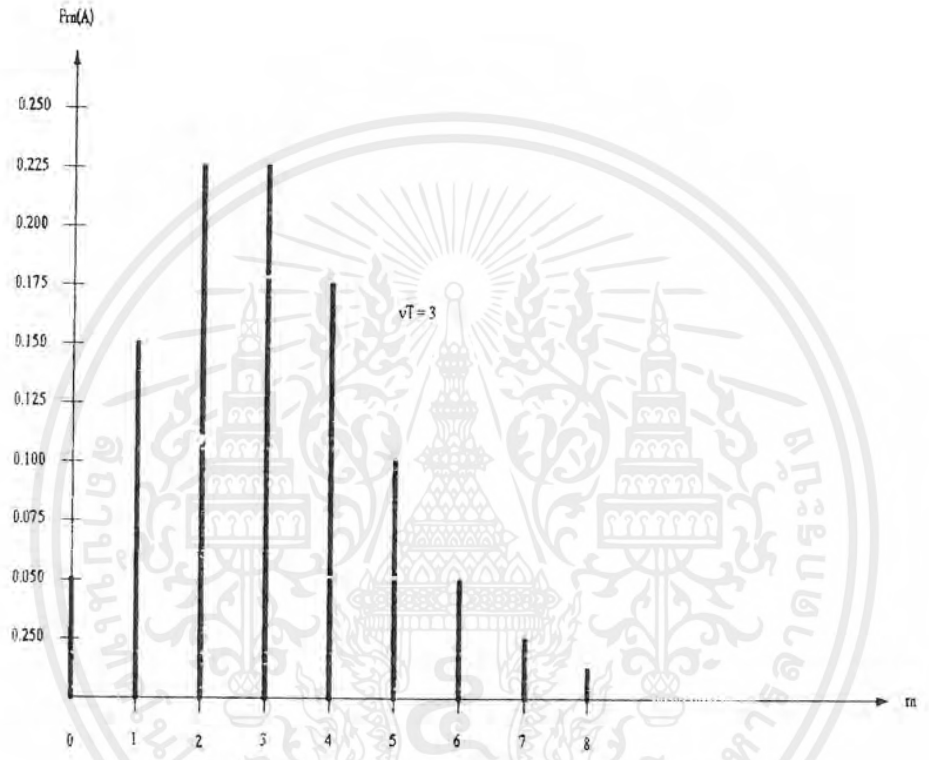
การประเมิน และคาดการณ์นั้นตั้งอยู่บนสมมุติฐานหลัก 2 ประการ

1. ความผิดพลาดที่เกิดขึ้นไม่แน่นอนเป็นไปตามการกระจายแบบพัวซอง
2. อัตราความผิดพลาดเฉลี่ยเป็นการเสนอสำหรับทั้งหมดของคาบการวัด

วิธีการปกติคือการตรวจสอบจำนวนของความผิดพลาด X ให้เวลาเฉลี่ยคือ t สถิติของพัวซองให้ความน่าจะเป็นของการเกิดบิทที่ผิดนี้สูง 1/1000 หรือสามารถมีบิทที่ผิดได้ 1 บิท ในทุก ๆ 1000 บิท หรือ p=10-3 จากสมการพัวซองนำมาเขียนใหม่ได้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$P(x) = \frac{e^{-u}u^{x}}{x!} \qquad \text{-----(16)}$$



รูปที่ 3.9 การกระจายแบบพัวซองที่ vT=3

เมื่อ x เป็นจำนวนของบิทที่ผิดจริงในการส่งผ่าน

เมื่อ p เป็นความน่าจะเป็นของบิทที่ผิดในสายข้อมูลที่ส่งผ่าน

เมื่อ n เป็นจำนวนของบิททั้งหมดในสายข้อมูลที่ส่งผ่าน

เมื่อ pn เป็นจำนวนของบิทที่ผิดจากจำนวนของบิททั้งหมดในสายข้อมูลที่ส่งผ่าน

สมมุติให้ทดสอบที่เวลา 0.3 วินาที (t = 0.3) ให้ความน่าจะเป็นของการเกิดบิทที่ผิดได้ 1 บิท จาก 1000 บิทที่ส่งผ่าน ($p = 10^{-3}$) และอัตราความเร็วของสายข้อมูลคือ 2.048 เมกะบิทต่อวินาที ($f_b = 2.048 \times 10^{6}$) จะคำนวณหาบิทที่ส่งทั้งหมดได้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\boxed{n = t.f_b \text{ (number of bits in FAS / number of bits in FRAME)}} \quad \text{-----(17)}$$

$$n = 0.3 \times 2048000 \times \frac{7}{512} = 8400 \quad \text{บิท}$$

$$pn = vT = u$$

$$u = pn = 10^{-3} \times 8400 = 8.4 \quad \text{บิท}$$

ซึ่ง บิทที่ผิดให้เป็น 0,1,2,...8 เราสามารถหาความน่าจะเป็นของการเกิดบิทที่ผิดได้คือ

$$\sum_{x=0}^{x=8} P(x) = \sum_{x=0}^{x=8} \frac{e^{-u}u^x}{x!} \quad \text{-----(18)}$$

จะได้ความน่าจะเป็นรวมของเหตุการที่เกิดบิทที่ผิดในช่องเวลา 0 ตั้งแต่ 1 บิท จนครบ 8 บิท คือ

$$\sum_{x=0}^{x=8} P(x) = e^{-8.4}(1 + 8.4 + 35.28 + 98.784 + 207.4464 + 348.509 + 401.914 + 584.497 + 614.771)$$

สรุปได้ว่า เมื่อเวลาผ่านไป $t = 0.3$ วินาที โอกาสที่จะเกิดบิทที่ผิดเกินกว่า 8 บิท หรืออีกนัยหนึ่ง คือมีบิทที่ผิดพลาดที่เกิดขึ้นที่ไม่ใช้ช่องเวลา 0 คือ 47% ที่อัตราผิด 1/1000 และ เกิดที่ FAS 53% เป็นต้น

ดังนั้นตัวนับ FAS ที่ผิดพลาดช่วยให้สามารถประเมินความน่าจะเป็นของบิทที่ผิดใน ข้อมูลทั้งหมดของเฟรมที่ทำการทดลองได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

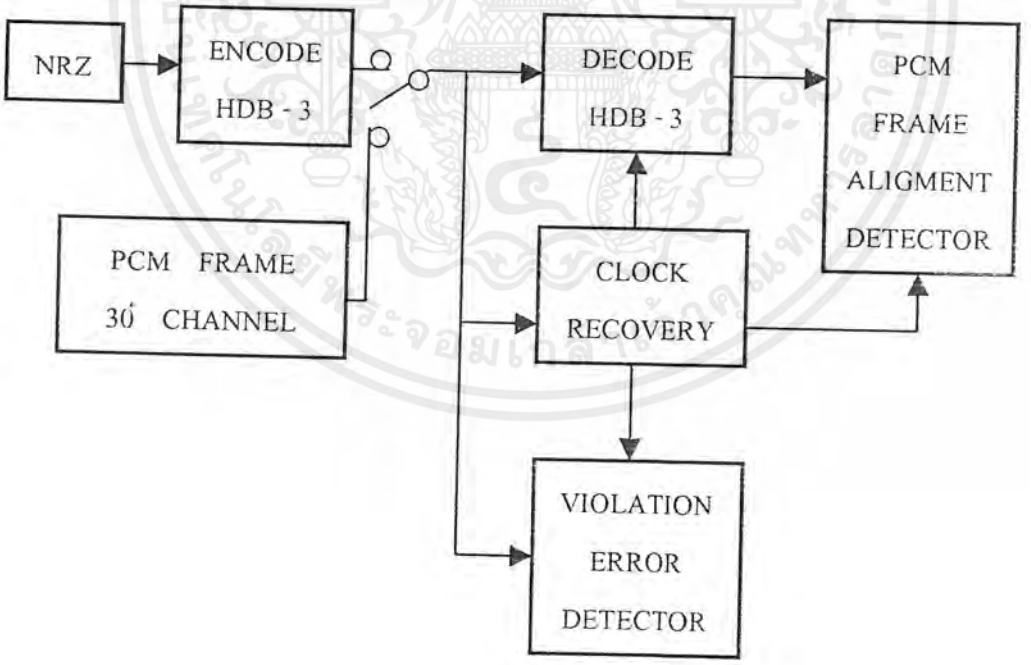
บทที่ 4
หลักการทำงานและหลักการออกแบบวงจร

4.1 ระบบโครงสร้างของฮาร์ดแวร์

โครงสร้างของฮาร์ดแวร์ทั้งหมดประกอบด้วย

1. วงจรสร้างสัญญาณ NRZ
2. วงจรเข้ารหัสแบบ HDB-3
3. วงจรถอดรหัสจาก HDB-3 เป็น NRZ
4. วงจรกู้สัญญาณนาฬิกาฐานเวลา (Clock Recovery)
5. วงจร Violation Error Detector
6. วงจรตรวจจับเฟรม

สามารถนำวงจรต่างๆ มาเขียนเป็นบล็อกไดอะแกรมลำดับการทำงานได้ดังนี้



รูปที่ 4.1 บล็อกไดอะแกรมลำดับการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่วงจรสร้างสัญญาณ NRZ จะผลิตสัญญาณ NRZ ขนาด 8 บิต ป้อนให้แก่วงจรเข้ารหัสแบบ HDB-3 เพื่อทำการแปลงสัญญาณ NRZ ให้เป็นสัญญาณ HDB-3 ป้อนให้แก่วงจรถอดรหัสสัญญาณแบบ HDB-3 หรือจะนำเครื่องสร้าง PCM Frame มาต่อเพื่อส่งสัญญาณ PCM แบบ 30 ช่องเลยก็ได้

วงจรถอดรหัส จะทำการถอดรหัส HDB-3 ให้เปลี่ยนเป็นสัญญาณ NRZ เช่นเดิม โดยนำสัญญาณนาฬิกามาจากวงจรกู้สัญญาณนาฬิกาฐานเวลา (Clock Recovery) และที่วงจร Clock Recovery จะทำการกู้สัญญาณนาฬิกาฐานเวลากลับคืนมาจากสัญญาณ HDB-3 และนำสัญญาณนาฬิกาที่ได้ป้อนให้แก่วงจรภาครับอื่นๆ ต่อไป

วงจร Violation Error Detector จะทำการตรวจจับการผิดพลาดที่เกิดขึ้นของพัลส์ อันเนื่องมาจากการผิดพลาดของวงจรเข้ารหัสหรืออาจจะเกิดจากการถูกรบกวนในระหว่างการรับส่งก็ได้

วงจร Frame Alignment Detector จะทำการตรวจจับการรับส่งของเฟรม โดยที่ตรวจจับเฟรมที่เป็น FAS และ NFAS ก็จะทราบได้ทันทีว่าการส่งเฟรมมีการส่งผิดพลาดหรือไม่

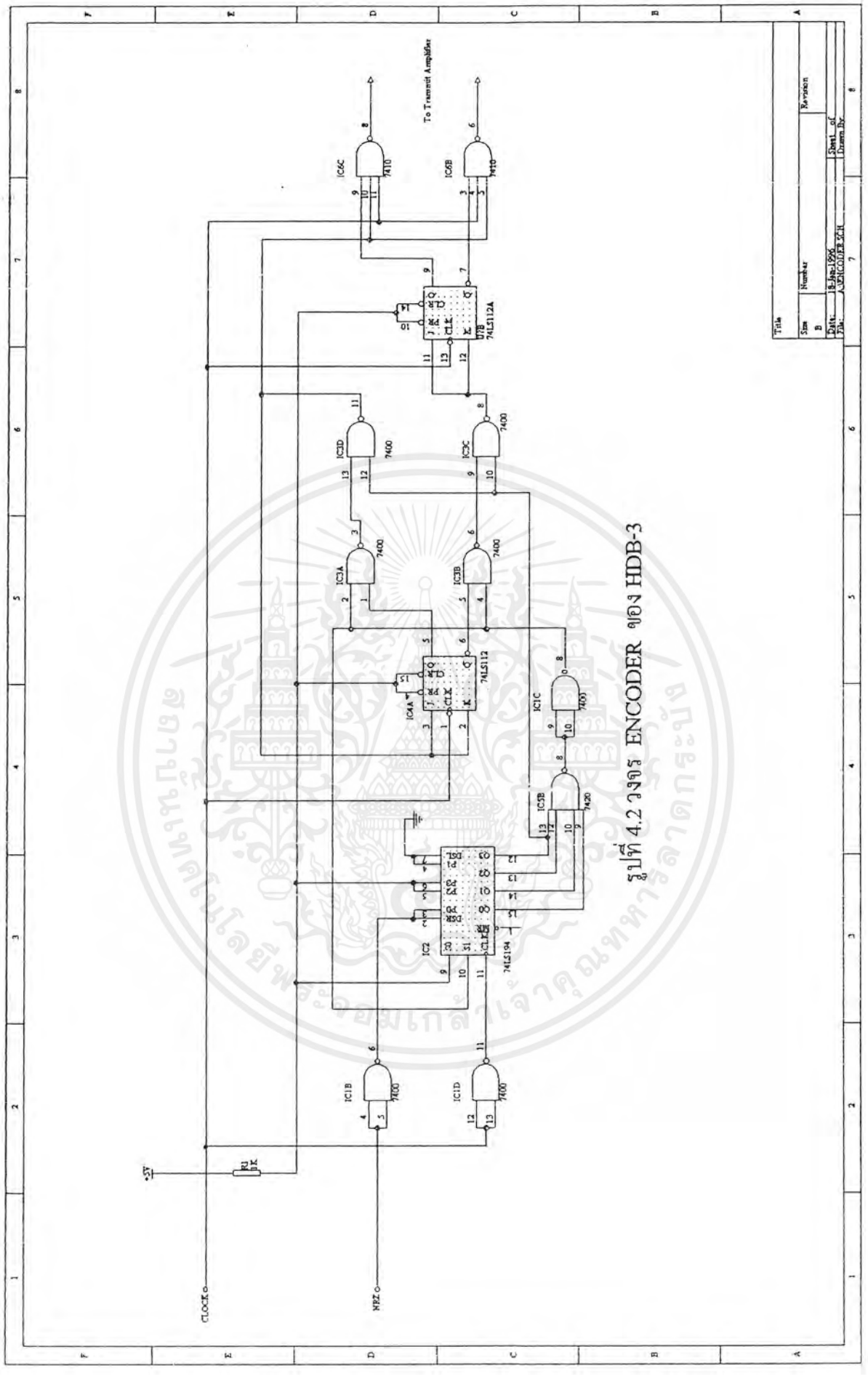
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 หลักการทำงานของวงจรเข้ารหัส (NRZ เป็น HDB-3)

หลักการทำงาน

จากรูปที่ 4.2เริ่มจากการทำงานของ IC 74144 เป็นวงจร Shifter Tranfer Data แบบ Input ขนานโดยจะมีตัวควบคุมการทำงานโดยสัญญาณ S0 (10) แบบ Output ขนาน เมื่อทำการ Check Input ขนาน (A,B,C,D = NRZ , 0 ,1 ,1 ,1) Input อนุกรม NRZ ได้นำ Output ขนานของ IC 74194 เป็นตัวควบคุมสัญญาณ S0 และ Output ขนาน Bit D ป้อนเข้า NAND Gate เมื่อเป็น Input ให้ JK ตัวแรก และ รวม NAND กันกับ CLK และ Output Q และ $\overline{Q}$ ของ JK Flip Flop วงจร JK จะทำหน้าที่เป็นวงจรนับ และ ตรวจจับ P+ , P- เมื่อได้ Output Pulse ที่ดี Pulse+ และ Pulse - และทำการเสริม Balance Pulse และ Violation Pulse

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 วงจร ENCODER ของ HDB-3

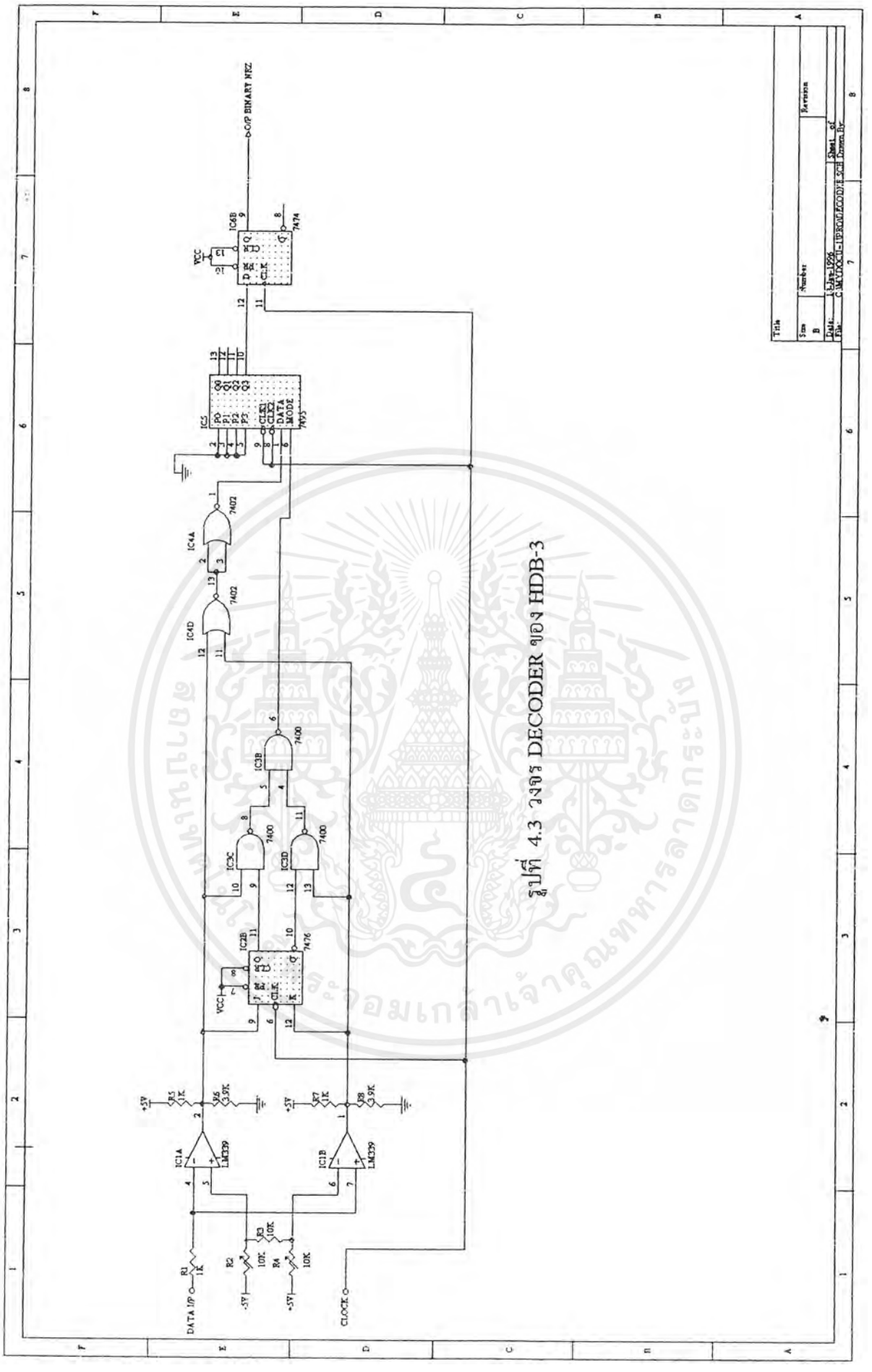
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 หลักการทำงานของวงจรถอดรหัส (HDB-3 เป็น NRZ)

หลักการทำงาน

จากรูปที่ 4.3 เริ่มจากข้อมูลที่เป็น HDB-3 เข้ามามี R1 ทำการจำกัดกระแสไว้และผ่านไปยังไอซี LM339 ที่ขา 4 และ ขา 7 ที่ไอซีตัวนี้จะทำการเปรียบเทียบแรงดันของข้อมูลที่เป็นพัลส์ของ HDB-3 กับแรงดันที่ใช้เปรียบเทียบที่ขา 5 และ ขา 6 เมื่อได้เอ้าท์พุทที่ขา 1 และ ขา 2 ก็ทำการพูลอัพสัญญาณให้มีขนาดแรงขึ้น จะได้พัลส์ทางด้านบวกที่เกิดต่างเวลากัน คือ พัลส์ของ HDB-3 ทางด้านบวกก็เป็นพัลส์บวกเช่นเดิม ส่วนทางด้านลบก็จะกลับขั้วเป็นพัลส์บวกเช่นเดียวกัน เมื่อนำสัญญาณทั้งสองมารวมกันที่ไอซี 7402 จะได้พัลส์ที่มีลักษณะเป็นสัญญาณ NRZ ป้อนให้แก่ขา 1 ของไอซี 7495 ซึ่งทำหน้าที่เป็นชิพรีจีสเตอร์ โดยจะได้รับโหมดการทำงาน คือ มีการเลื่อนข้อมูลหรือหยุดการทำงานไว้ จากการทำงานร่วมกันของไอซี 7473 ซึ่งเป็น JK Flip Flop และไอซี 7400 ซึ่งเป็น NAND Gate นำเอ้าท์พุทที่ได้ป้อนเข้าที่ขา 6 ของไอซี 7495 ทำการสั่งเลื่อนข้อมูลหรือหยุดข้อมูลตามอินพุทที่ได้ในขา 6 และเอ้าท์พุทของไอซี 7495 ก็จะป้อนให้แก่ไอซี 7474 ซึ่งเป็น D – Flip Flop เพื่อจะได้สัญญาณ NRZ กลับมาเช่นเดิมและมีลักษณะเช่นเดียวกับ NRZ ที่ป้อนให้วงจรภาค Encode

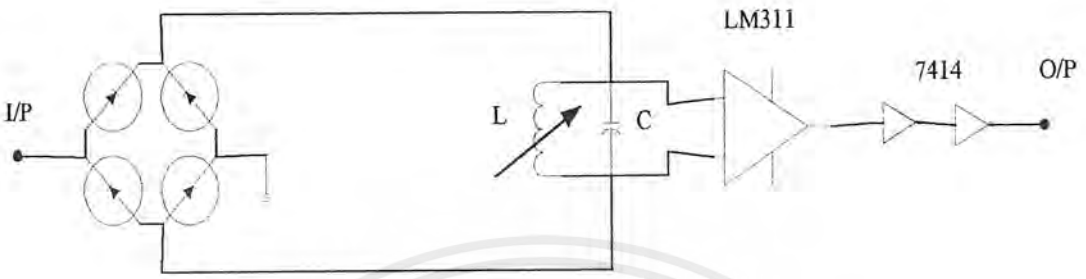
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 วงจร DECODER ของ HDB-3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 หลักการทำงานของวงจรกู้สัญญาณนาฬิกาฐานเวลา

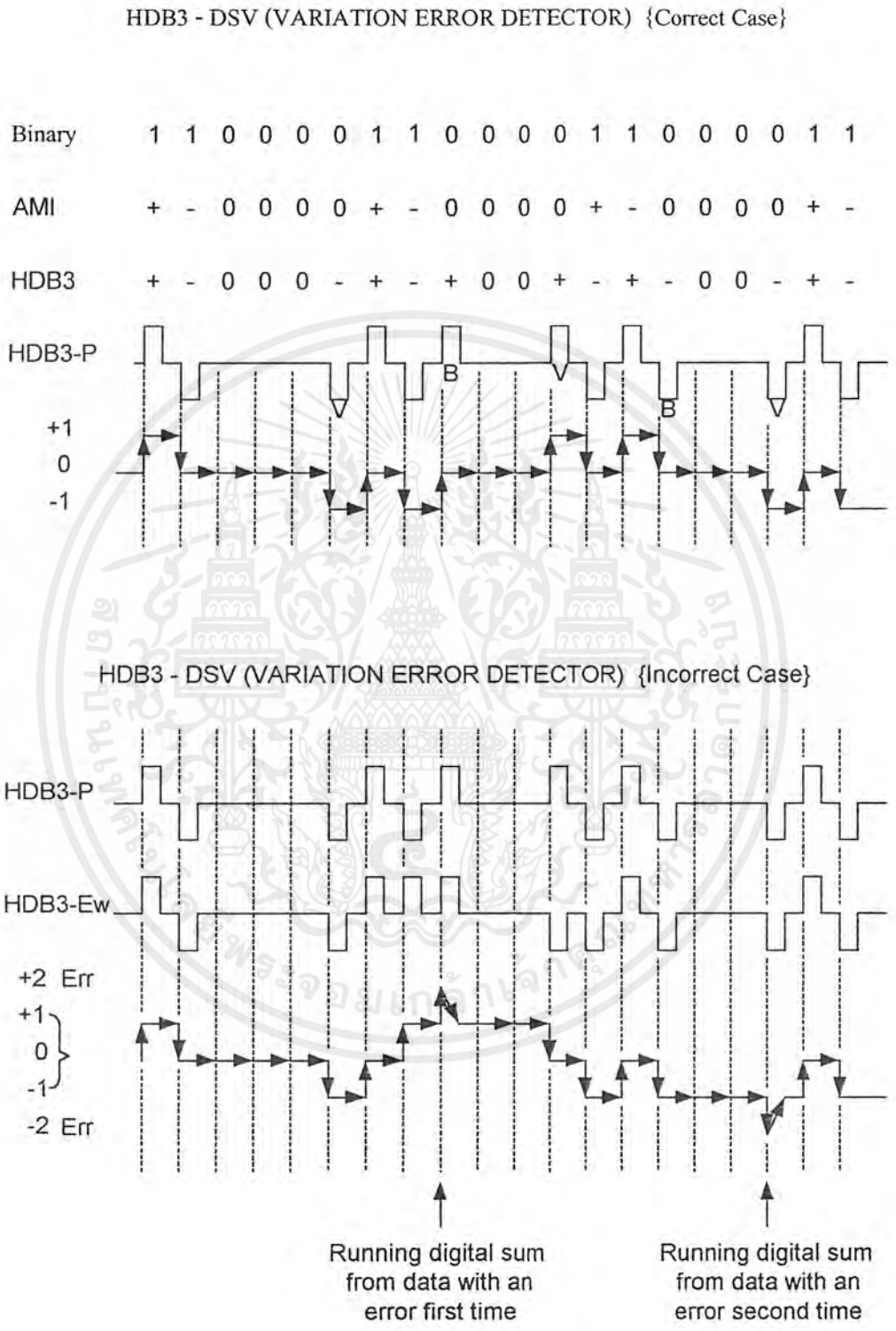


รูปที่ 4.4 แสดงวงจร CLOCK RECOVERY

จากรูปวงจร จะทำการป้อนอินพุทด้วยสัญญาณแบบ HDB-3 เข้าที่อินพุท เมื่อสัญญาณผ่าน Diode ที่ต่อกันแบบ Full Wave Rectifier สัญญาณด้านซีกบวกก็จะผ่านออกมาเป็นลักษณะสัญญาณ RZ ทางด้านบวก แต่สัญญาณด้านซีกลบจะถูกกลับขั้วให้กลายเป็นสัญญาณ RZ ทางด้านบวกเช่นเดียวกัน สรุปที่เอ้าท์พุทของวงจร Full Wave Rectifier จะได้สัญญาณ RZ ทางด้านบวกต่ออนุกรมกันเข้าวงจร LC จูนที่มีความถี่คัทออฟที่ 2.048 MHz เอ้าท์พุทที่วงจร LC จูนจะได้เป็นสัญญาณ Sine Wave และเมื่อผ่าน Comparator แล้วจะได้สัญญาณนาฬิกาฐานเวลากลับคืนมาและทำการขยายสัญญาณพร้อมทั้งรักษาความเป็น Square Pulse ด้วยไอซี ชมิททริกเกอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 หลักการออกแบบวงจร Violation Error Detector

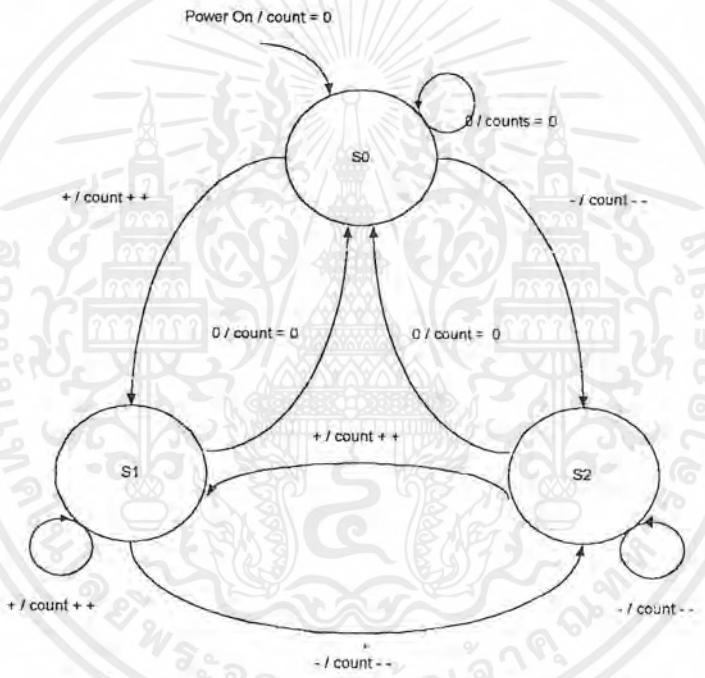


รูปที่ 4.5 (ก) ลักษณะการเกิด DSV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการหาข้อมูลผิดพลาดในการส่งข้อมูลแบบ HDB-3 โดยอาศัยหลักการของ DSV มีดังนี้

จากรูปที่ 4.5 (ก) ถ้ามองจากพัลส์ที่เกิดขึ้นในลักษณะถูกต้อง (Correct Case) จะพบว่าพัลส์ของ DSV จะวิ่งสลับกันไปมาระหว่าง +1, 0 และ –1 โวลท์ แต่เมื่อมองดูจากพัลส์ในลักษณะที่ไม่ถูกต้อง (Incorrect Case) จะพบว่ามีพัลส์บวกเกิดขึ้นติดกัน 3 พัลส์ ทำให้ DSV วิ่งจาก -1 ไป 0 ไป +1 จนไปถึง +2 โวลท์ ก็จะเกิดการผิดพลาดเกิดขึ้นและส่งผลให้การใส่ไวโอเลชั่นในช่วงถัดไปเกิดการผิดพลาดจากพัลส์ที่เป็นบวกกลับกลายเป็นพัลส์ลบ และเกิด DSV ที่ -2 โวลท์ด้วย เป็นผลเกี่ยวเนื่องจากการผิดพลาดในครั้งแรก สามารถนำหลักการในเบื้องต้นนี้มาเขียนเป็น สเตรทไดอะแกรมได้ดังรูปที่ 4.5 (ข)

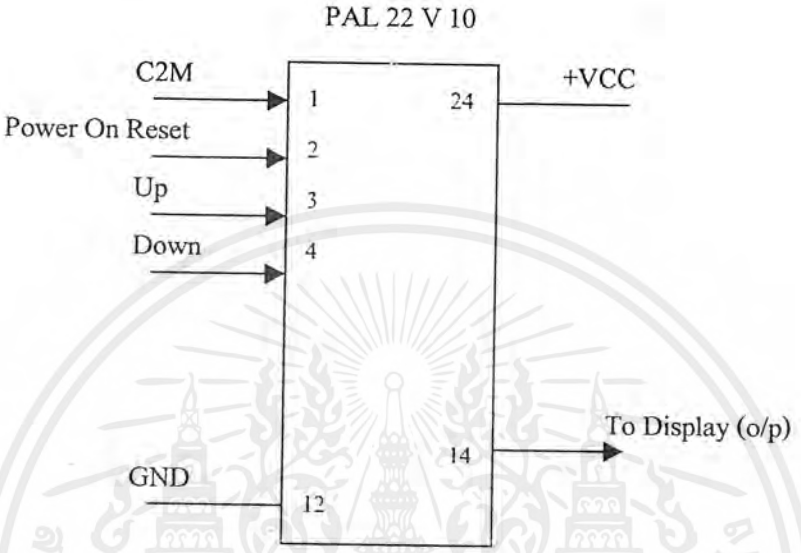


รูปที่ 4.5 (ข) สเตรทไดอะแกรมของหลักการ DSV

จากรูปสเตรทไดอะแกรม เมื่อเริ่มเปิดสวิทช์ (Switch On) ให้ทำการนับ 0 ที่ S0 ถ้าข้อมูลที่เข้ามาเป็น 0 ก็ให้วนรอบที่ S0 และนับ 0 ถ้าข้อมูลที่เข้ามาเป็น + ให้นับเป็น + และส่งไปที่ S1 ถ้าข้อมูลเป็น + อีก ก็ให้วนรอบที่ S1 และนับ + + จาก S1 ถ้าข้อมูลเป็น 0 ให้ส่งไปที่ S0 และนับ 0 แต่ถ้าข้อมูลเป็น - ให้ส่งไปที่ S2 และนับ - ถ้าข้อมูลเป็น - อีก ก็ให้วนรอบที่ S2 และนับ - - จาก S2 ถ้าข้อมูลเป็น + ให้ส่งไปที่ S1 และนับ + + แต่ถ้าข้อมูลเป็น 0 ให้ส่งไปที่ S0 และนับ 0 จาก S0 ถ้าข้อมูลเป็น - ให้ส่งไปที่ S2 และนับ -

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการวนรอบที่ S1 และ S2 ถ้ามีการวนรอบถึง 2 ครั้ง ก็แสดงว่ามีการผิดพลาด 1 ครั้ง (รวมกับที่ส่งมา 1 ครั้ง รวมเป็น 3 ครั้ง) และเมื่อนำหลักการนี้ไปเขียนโปรแกรม VHDL และทำการเบิร์นลงในไอซีแล้ว สามารถดูตัวอย่างได้ดังรูป



รูปที่ 4.5 (ค) รูปลักษณะไอซีที่เบิร์นโปรแกรมเรียบร้อยแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 หลักการและการออกแบบวงจรตรวจจับ PCM FRAME

4.6.1 โครงสร้างเฟรมและวิธีการตรวจจับเฟรม

โครงสร้างเฟรม และมัลติเฟรม

อิวันเฟรมเป็นเฟรมมาตรฐานที่ใช้ส่งข้อมูลที่ความเร็วบิทเรทที่สายคือ 2.048 เมกะบิทต่อวินาที อ้างอิง CCITT Recommandation G.704 ในหัวข้อ "SYNCHRONOUS FRAME STRUCTURES USED AT PRIIMARY AND SECONDARY HIERARCHICAL LEVELS" โดยผู้ผลิตระบบชุมสายทั่วโลกต่างใช้เป็นฐานอ้างอิงในการออกแบบระบบเครือข่ายโทรศัพท์ ซึ่งมีใช้กันในหลายประเทศ เช่น ลาตินอเมริกา, ออสเตเรีย, ยุโรป, ญี่ปุ่น และในประเทศไทยโดยข้อมูลในเฟรมถูกมัลติเฟรมแบบเวลา (Time Devision Multiplexing) ใน 1 เฟรมจะประกอบไปด้วย 32 ช่องเวลา (Timeslot) โดยนับช่องเวลาแรกเป็นช่องเวลา 0 และช่องเวลาสุดท้ายเป็น 31 ในแต่ละช่องเวลามีขนาด 8 บิทที่เท่ากันในทุกช่องเวลาตลอดทั้งเฟรมมีจำนวนบิททั้งหมด 256 บิท ในแต่ละช่องเวลาสามรถรองรับความเร็วที่อุปกรณ์ต้นทางต่อเข้ากับผู้ใช้ได้ 64 กิโลบิทต่อวินาที มี 30 ช่องเวลา ที่ใช้สำหรับให้บริการผู้เช่าที่รับส่งข้อมูลที่เป็น พีซีเอ็ม (Pulse Code Modulation:PCM) หรือ สัญญาณเสียงที่ได้ทำการสุ่ม และเปลี่ยนเป็นสัญญาณดิจิตอลแล้ว คือ ช่องเวลาที่ 1 ถึง 15 และช่องเวลาที่ 17 ถึง 31 โดยช่องเวลาที่ 16 ใช้สำหรับส่งสัญญาณที่ใช้ในการควบคุม/แสดงสถานะของช่องเวลาบริการ ส่วนช่องเวลา 0 ใช้สำหรับซิงโครนัสกันระหว่างภาครับ และส่งให้สามารถส่งข้อมูลถึงกันได้อย่างถูกต้อง สามารถคำนวณความเร็วบิทเรทของเฟรมได้ดังนี้ ในแบนวิทของเสียงมนุษย์อยู่ในช่วงไม่เกิน 4 กิโลเฮิร์ท ทำการสุ่มเสียงโดยให้ความถี่มากกว่าหรือเท่ากับ 2 เท่าของแบนวิท ตามกฎของ ไนควิสต์ คือ 8 กิโลเฮิร์ท มีขนาด 8 บิทต่อหนึ่งการสุ่ม คือ 64 กิโลบิทต่อวินาที ในหนึ่งช่องเวลา ในหนึ่งเฟรมมีทั้งหมด 32 ช่องเวลา ดังนั้น ความเร็วบิท คือ 32 x 64000 บิทต่อวินาที ได้เท่ากับ 2.048 เมกะบิทต่อวินาที เรียกเฟรมนี้ว่าเบสิกเฟรม และใน 1 มัลติเฟรมจะประกอบไปด้วยเบสิกเฟรมที่ส่งซ้ำกัน 16 เฟรม โดยเริ่มตั้งแต่เฟรมที่ 0 จนถึง เฟรมที่ 15 ช่องสัญญาณที่ 16 จะถูกใช้สัญญาณควบคุมของช่องสัญญาณบริการ 2 ช่อง เช่นในเฟรมที่ 14 บิทบนใช้สำหรับช่องสัญญาณบริการที่ 1 และ 4 บิทเป็นช่องสำหรับช่องสัญญาณบริการที่ 17 และจะลำดับไปจนครบเฟรมที่ 15 พอดีจึงรองรับครบ 30 ช่องสัญญาณบริการ โดยใน 1 มัลติเฟรม (1 Multiframe) แบ่งออกเป็น 2 มัลติเฟรมย่อย (Sub-Multiframe) โดยกำหนดตั้งแต่เฟรมที่ 0 เฟรมที่ 7 เป็นมัลติเฟรม 1 (Sub-Multiframe 1) และเฟรมที่ 8 ถึงเฟรมที่ 15 เป็นมัลติเฟรมย่อย 2 (Sub-Multiframe 2) โดยใน 1 มัลติเฟรมย่อย จะบรรจุผลหารของ CRC-4 ของมัลติเฟรมย่อยหลังจากนี้เอาไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้าง เฟรมอะไลเมนต์ซิงเนล และ นอนเฟรมอะไลเมนต์ซิงแนล

ในช่องเวลาที่ 0 ของแต่ละเฟรมจะใช้สำหรับการซิงโครไนซ์กันระหว่างภาครับและส่งโดยบรรจุบิทที่มีรูปแบบคงที่ดังนี้คือ ในเฟรมที่เป็นเฟรมคู่ หรือเฟรม 0,2,4,6,8,10,12,14 ใช้รูปแบบ LSB[RI0I0I1I1I0I1I1]MSB และเฟรมคี่ หรือ เฟรม 1,3,5,7,9,11,13,15 ใช้รูปแบบ LSB [RI1IRIRIRIRIRIR]MSB โดยบิท R ในเฟรมคู่ จะใช้สำหรับ ใส่ผลลัพท์ของ CRC-4

NFAS		Bit outside shift register				Shift Register Outputs								Recognition Status
STEP	COUNTER					1	2	3	4	5	6	7	-	
255	249	d	d	d	d	d	D	d	d	d	d	d	d	Pettem not detection
256	250	d	d	d	d	d	d	d	d	d	d	d	d	Pettem not detection
257	251	d	d	d	0	d	d	d	d	d	d	d	d	Pettem not detection
258	252	1	d	d	d	0	d	d	d	d	d	d	d	Pettem not detection
259	253	d	1	d	d	d	d	d	d	d	d	d	d	Pettem not detection
260	254	d	d	1	d	d	d	d	d	d	d	d	d	Pettem not detection
261	255	d	d	d	1	d	d	d	d	d	d	d	d	Pettem not detection
262	0/256	d	d	d	d	1	d	d	d	d	d	d	d	Pettem detection
263	1	d	d	d	d	d	1	d	d	d	d	d	d	Pettem not detection
264	2	d	d	d	d	d	d	1	d	d	d	d	d	Pettem not detection

FAS		Bit outside shift register				Shift Register Outputs								Recognition Status
STEP	COUNTER					1	2	3	4	5	6	7	-	
511	249	1	0	1	1	d	D	d	d	d	d	d	d	Pettem not detection
512	250	1	1	0	1	1	d	d	d	d	d	d	d	Pettem not detection
513	251	0	1	1	0	1	1	d	d	d	d	d	d	Pettem not detection
514	252	0	0	1	1	0	1	1	d	d	d	d	d	Pettem not detection
515	253	d	0	0	1	1	0	1	1	d	d	d	d	Pettem not detection
516	254	d	d	0	0	1	1	0	1	1	d	d	d	Pettem not detection
517	255	d	d	d	0	0	1	1	0	1	1	d	d	Pettem not detection
518	0/256	d	d	d	d	0	0	1	1	0	1	1	d	Pettem detection
519	1	d	d	d	d	d	0	0	1	1	0	1	1	Pettem not detection
520	2	d	d	d	d	d	d	0	0	1	1	0	1	Pettem not detection

รูป 4.6 แสดงการเลื่อนของบิทในการตรวจสอบ FAS/NFAS โดยอาศัยชิพรีจิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบส่วนตรวจสอบ

วงจรที่ใช้ในภาครับแบ่งออกเป็น 6 ส่วนใหญ่โดยจะมีการทำงานเป็นไปตามสภาวะของสถานะ (State Diagram) อ้างอิง CCITT Rec. G03,G704,G706

ส่วนชิพรีจิสเตอร์

ทำหน้าที่ตรวจหา FAS และ NFAS โดยทำการเลื่อนข้อมูลผ่านชีพรีจิสเตอร์ที่ทำงานขนานกัน ซึ่งชิพรีจิสเตอร์ A จะเปรียบเทียบบิทที่เลื่อนเข้ามากับรูปแบบบิท "0010011" เมื่อมีข้อมูลที่มีรูปแบบบิทเหมือนบิทที่ใช้เปรียบเทียบจะให้เอาท์พุท FAS เป็น "1" ส่วน ชิพรีจิสเตอร์ B จะให้เอาท์พุทเป็น "1" เมื่อเจอบิทข้อมูลที่เป็น "1" เข้ามา เอาท์พุททั้งสองจะถูกส่งไปยังส่วนอื่น ๆ อีกเพื่อเช็คระยะห่างของบิท และ ลำดับความถูกต้องของ State ให้แน่นอนก่อนจะให้สัญญาณซิงค์โครนัสออกมา

ส่วนนับบิทและเปรียบเทียบ

ส่วนนี้มีหน้าที่นับจำนวนบิททุกครั้งที่มีสัญญาณนาฬิกาเข้ามาจะเพิ่มค่านับไปจนกระทั่งครบ 256 จะให้เอาท์พุทเป็น "1" เพื่อใช้ในการตรวจสอบ และกำหนดคาบเวลาของระยะห่างระหว่างเฟรม เพื่อใช้ในการกำเนิดสัญญาณซิงโครนัสด้วย
ใน State0 ตัวนับนี้จะ ไม่ทำงานเนื่องจาก ส่วนริเซทและสัญญาณนาฬิกาจะส่ง Disable Clock มา

ส่วนกำเนิดสัญญาณซิงค์โครนัส

เป็นส่วนที่ให้กำเนิดสัญญาณซิงโครนัสเมื่อสามารถตรวจหาเฟรมพื้นฐาน (Basic Frame Aligment) เจอแล้วจะให้เอาท์พุทเป็น "0" โดยในการทำงานจะตรวจสอบทุกครั้งที่มีสัญญาณนาฬิกาเข้ามาและจำทำการเช็คไปตาม State Diagram โดยดูเงื่อนไขของ ลำดับ State ปัจจุบัน สัญญาณ FAS/NFAS และสัญญาณ TIC ที่สอดคล้องกันตลอด

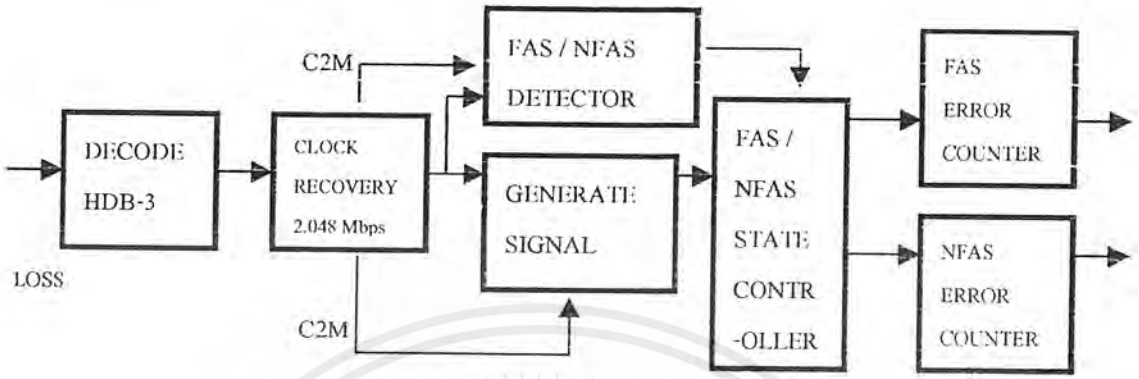
ส่วนริเซทและควบคุมสัญญาณนาฬิกา

ในส่วนนี้ใช้สำหรับสร้างสัญญาณริเซทเพื่อยกเลิกการนับ ยกเลิกสภาวะของ State เริ่มต้น ร่วมทั้งสร้างสัญญาณ Disable Clock ให้กับตัวนับ ในสภาวะเริ่มต้นที่ไม่สามารถซิงโครนัสได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6.2 หลักการออกแบบ

หลักการออกแบบโดยแสดงเป็นบล๊อกไดอะแกรม ดังนี้



รูปที่ 4.7 บล๊อกไดอะแกรมหลักการออกแบบ

การทำงานของบล๊อกไดอะแกรม

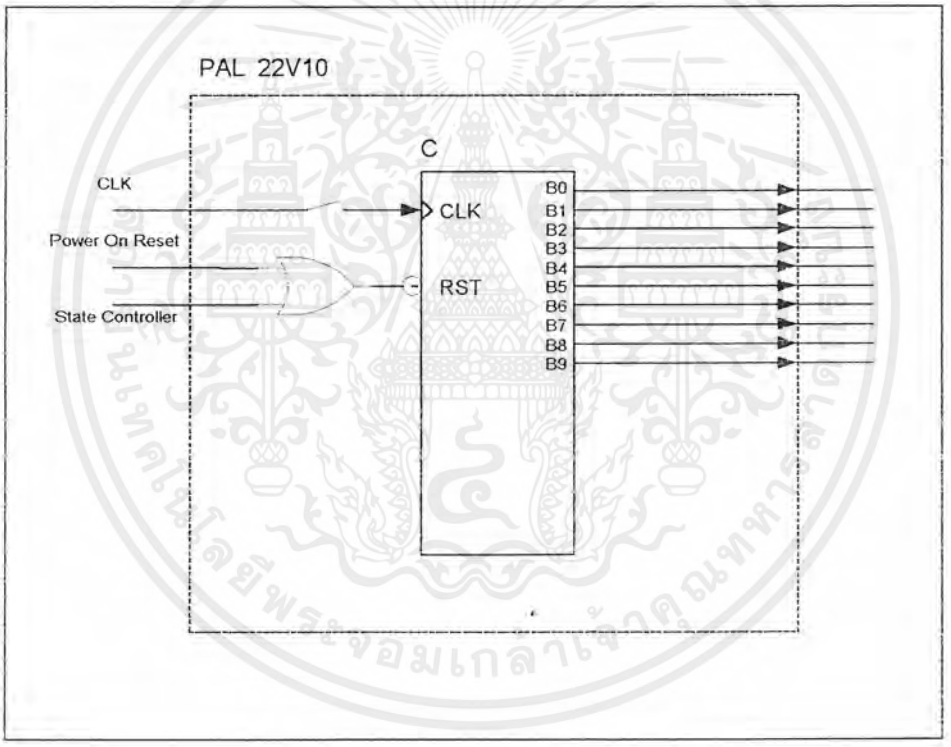
เมื่อภาครับรับสัญญาณที่เป็น Line code เข้ามาจะต้องทำการถอดรหัส Line code ออกให้เป็ด NRZ จากนั้น จะผ่านไปยังบล๊อก Grnerate Signal เพื่อทำการสร้างสัญญาณต่าง ๆ เพื่อใช้ในการ Samping สัญญาณ และจากบล๊อก Decode HDB.3 สัญญาณ NRZ ยังผ่านไปยังบล๊อก FAS/NFAS Detector เพื่อทำหน้าที่ตรวจหา FAS และ NFAS โดยทำการเลื่อนข้อมูลผ่านชิพรีจีสเตอร์ที่ FASและNFAS Detector จากนั้นสัญญาณจาก FASและNFAS Detector จะส่งไปยังบล๊อก State Controller. เพื่อทำการหาต้นเฟรม และ เพื่อทำการเช็คการเกิด error ของ FAS และ NFAS และในบล๊อก State controller นี้ จะสร้างสัญญาณ FAS error และ NFAS error ออกไปเมื่อเกิดการหาต้นเฟรมไม่พบ และ จากบล๊อก state controller นี้เมื่อตรวจไม่พบต้นของ FAS และ NFAS จะทำการส่งสัญญาณ FAS error และ NFAS error ไปยัง บล๊อก FAS ERROR Counter และ NFAS ERROR Counter เพื่อทำการนับการเกิด error โดยตามทฤษฎีแล้วจะไม่ยอมให้เกิด error เกิน 2 ครั้ง โดยบล๊อกนี้จะทำการนับการเกิด Error จนถึง 2 ครั้ง และจะสร้างสัญญาณ LOSS ออกไปเพื่อบอกว่าเกิดการ error ของการส่ง FRAME ในขณะนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6.3 หลักการทำงาน

หลักการทำงานของวงจร COUNTER 10 บิท

จากวงจรข้างต้นเมื่อมีการส่งสัญญาณ On จาก FAS/NFAS state controller มายัง Switch S1 เพื่อทำการส่งสัญญาณ Clock C2M เข้าไปยังวงจร Counter ขนาด 10 Bit เพื่อทำการ Count up ขึ้นทีละ 1 จาก 0 ถึง 512 แล้วจึงจะกลับมาเริ่มนับใหม่ โดยจะมี out put ของวงจร Counter นี้ออกไปทั้งหมด 10 เส้น หรือ 10 out put โดยเรียงจาก Bit สูงแล้วลดลงมา Bit ต่ำ

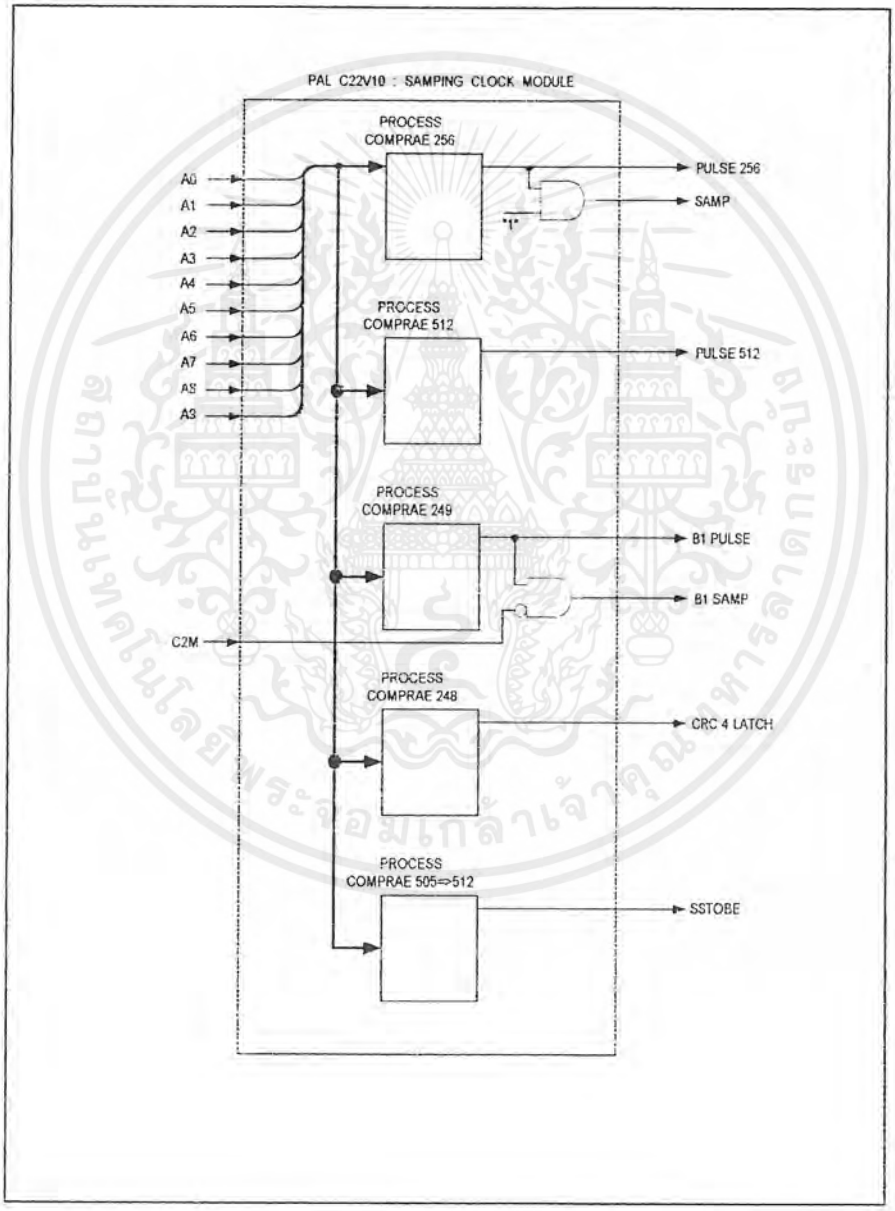


รูปที่ 4.8 COUNTER 10 บิท 9 Down To 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการทำงานของวงจร SAMPING CLOCK MODULE

จากนั้นนำสัญญาณที่ออกมา 10 เส้น ไปเข้าวงจรเปรียบเทียบเพื่อให้เปรียบเทียบค่าของวงจร Counter ที่ออกมาให้ได้ค่า 256 และ 512 โดยวงจรเปรียบเทียบจะให้ out put เป็น 1 เมื่อ Counter นับค่าได้ 256 และ 512 โดย out put 256 จะเป็นสัญญาณชื่อ PULSE256 และ out put 512 จะเป็นสัญญาณชื่อ PULSE 512 เพื่อใช้เป็นสัญญาณในการอ้างอิงช่วงของ FRAME แต่ละ FRAME



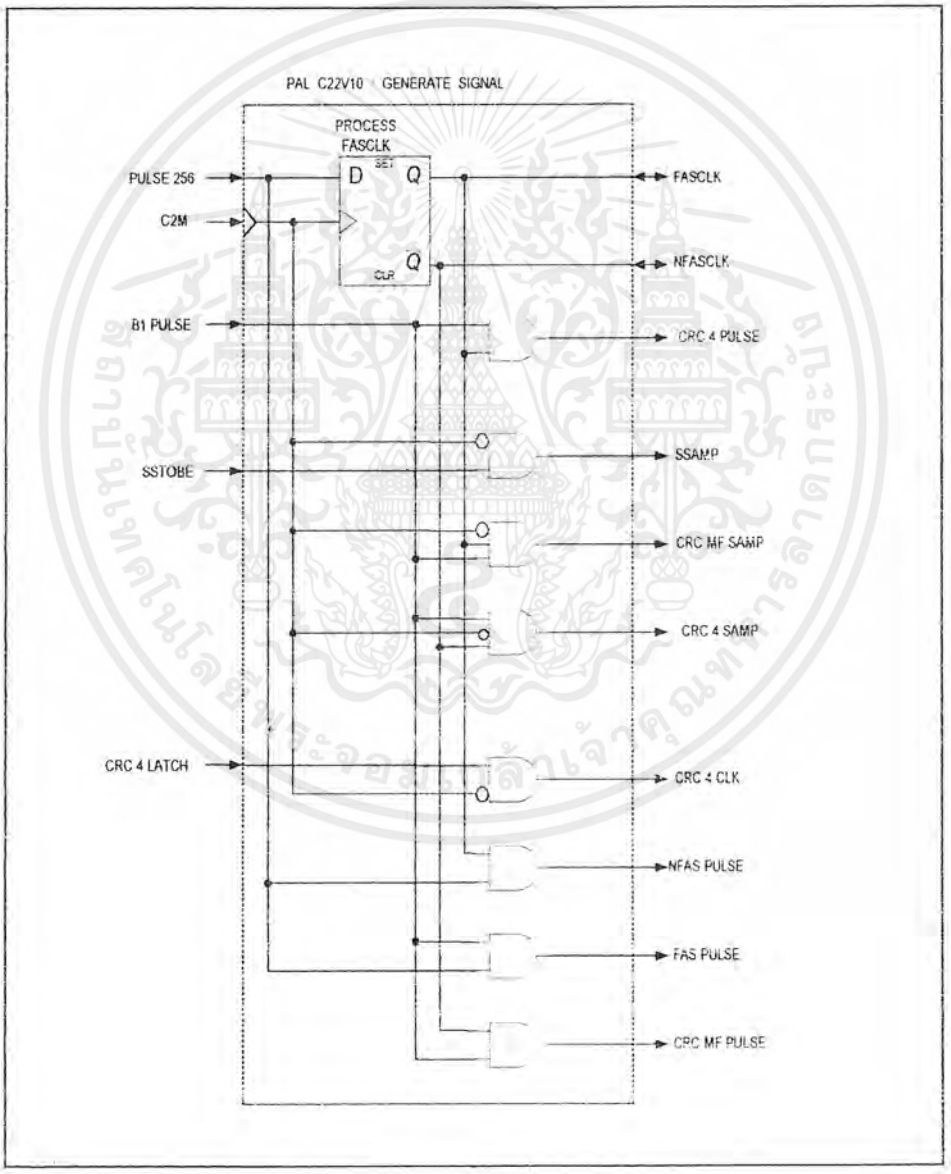
รูปที่ 4.9 SAMPING 256/512

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการทำงานของวงจร GENERATE SINGNAL

จากนั้นนำสัญญาณ PULSE 256 ไปเข้าวงจรหาร 2 เพื่อสร้างสัญญาณ FAS CLK และ NFAS CLK เพื่อเป็นสัญญาณที่จะใช้ในการสร้างสัญญาณ FAS PULSE และ NFAS PULSE โดยการ AND สัญญาณ FAS CLK และ NFAS CLK กับสัญญาณ CLK C2M

เรานำสัญญาณที่ได้จากวงจร Generate สัญญาณนี้ไปใช้ในการหาต้น FRAME คือ FAS และ NFAS ต่อไปในวงจร State Controller



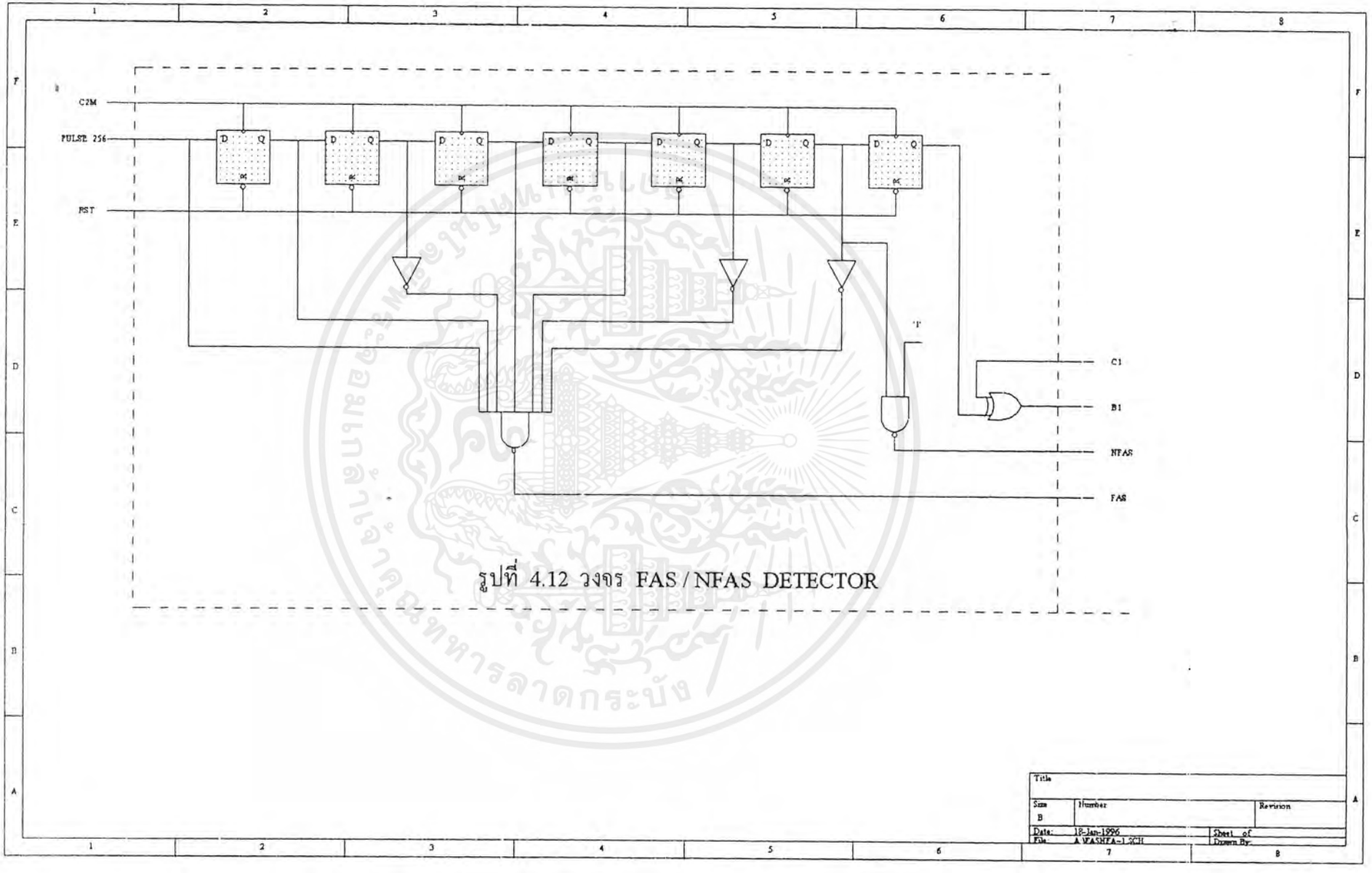
รูปที่ 4.10 วงจร GENERATE SINGNAL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการทำงานของวงจร FAS/NFAS Detector

จากวงจรภาครับที่ทำการ Decode HDB-3 ออกมาได้ out put เป็นสัญญาณ NRZ และส่งให้กับวงจร Generate Signal ที่อธิบายไปในหัวข้อ 2.1 แล้ว สัญญาณ NRZ อีกส่วนหนึ่งจะถูกส่งมายังวงจร FAS/NFAS Detector เพื่อทำการ Detect สัญญาณ FAS และ NFAS โดยจะมี CLK C2M เข้ามาใช้ในการเลื่อนข้อมูลจาก Bit แรกจนถึง Bit สุดท้ายโดยจะทำการเลื่อนข้อมูลไปจนกว่าจะพบ FAS โดยจะมีค่า = 001011 และเมื่อพบแล้วจะส่งค่าให้ output FAS มีค่า = 1 โดยจะมี Out Put NFAS มีค่า = 0 จะสลับกันเพื่อทำการ Detect สัญญาณ NRZ แล้วได้ output เป็นตัวบอกว่ามีสัญญาณ FAS และ NFAS สลับกันมาจากนั้นจะต้องนำ 2 สัญญาณนี้ไปเช็คเพื่อหาต้นเฟรมและเช็คการเกิด error ของ FRAME เมื่อมีการสลับตำแหน่งของ FAS และ NFAS ไม่ถูกต้องโดยจะเช็คใน State Controller ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.12 วงจร FAS / NFAS DETECTOR

หลักการทำงานของวงจร State Controller

โดยมี State การทำงาน ดัง State ต่อไปนี้

จาก State 0 จะทำการเช็ค ถ้ามีสัญญาณ Reset เข้ามาจะทำการ CLEAR ให้อยู่ที่ State 0 เหมือนเดิม เพื่อรอ input signal เมื่อมี CLK เข้ามา และไม่มีสัญญาณ Reset state 0 ก็จะทำ When state ต่อไปนี้

When state 0 : ถ้าInput signalเป็นFASจะทำการเปลี่ยน State 0 ไปยัง State 1 แต่ถ้า Input signal เป็น NFAS จะไม่ทำการเปลี่ยน State โดยจะวนรอรับค่า Input signal อยู่ที่ State 0 จนกว่าจะพบ FAS

When State 1 : จะทำการเช็คว่า เป็น NFAS หรือไม่ ถ้าเป็น NFAS จะทำการเปลี่ยน State จาก State 1 ไปเป็น State 2 แต่ถ้าไม่ใช่ NFAS หรือตรวจไม่พบ NFAS จะเปลี่ยน State ไปที่ State 8 และส่ง NFASERR ออกไปที่ NFAS ERROR Counter นับว่าเป็น 1 และเมื่อเช็คอีกครั้งพบว่าเป็น NFAS จะเปลี่ยน State ไปเป็น State 2และ NFASCOR จะส่งสัญญาณออกไป CLEAR NFASERROR Counter ให้เป็น 0 แต่ถ้าไม่พบ NFAS จะทำการเปลี่ยน State 1 ไปยัง State 0 และ NFASERR จะส่งสัญญาณออกไปที่ NFAS ERROR Counter นับว่าเป็น 2 จะแสดงการเกิด Loss เป็นสัญญาณออกไป

When State 2 : จะทำการเช็คว่า เป็น FAS หรือไม่ ถ้าเป็น FAS จะทำการเปลี่ยน State จาก State 2ไปเป็น State 3 แต่ถ้าไม่ใช่ FAS หรือตรวจไม่พบ FAS จะเปลี่ยน State ไปที่ State 6 และส่ง FASERR ออกไปที่ FAS ERROR Counter นับว่าเป็น 1 และเมื่อเช็คอีกครั้งพบว่าเป็น FAS จะเปลี่ยน State 2 ไปเป็น State 3และ FASCOR จะส่งสัญญาณออกไป CLEAR FASERROR Counter ให้เป็น 0 แต่ถ้าไม่พบ FAS จะทำการเปลี่ยน State 2ไปยัง State 0 และ FASERR จะส่งสัญญาณออกไปที่ FAS ERROR Counter นับว่าเป็น 2 จะแสดงการเกิด Loss เป็นสัญญาณออกไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

When State 3 : จะทำการเช็คว่า เป็น NFAS หรือไม่ ถ้าเป็น NFAS จะทำการเปลี่ยน State จาก State 3ไปเป็น State 4 แต่ถ้าไม่ใช่ NFAS หรือตรวจไม่พบ NFAS จะเปลี่ยน State ไปที่ State 8 และส่ง NFASERR ออกไปที่ NFAS ERROR Counter นับว่าเป็น 1 และเมื่อเช็คอีกครั้งพบว่าเป็น NFAS จะเปลี่ยน State 3 ไปเป็น State 4 และ NFASCOR จะส่งสัญญาณออกไป CLEAR NFASERROR Counter ให้เป็น 0 แต่ถ้าไม่พบ NFASจะทำการเปลี่ยน State 3ไปยัง State 0 และ NFASERR จะส่งสัญญาณออกไปที่ NFAS ERROR Counter นับว่าเป็น 2 จะแสดงการเกิด Loss เป็นสัญญาณออกไป

When State 4 : จะทำการเช็คว่า เป็น FAS หรือไม่ ถ้าเป็น FAS จะทำการเปลี่ยน State จาก State 4ไปเป็น State 1 แต่ถ้าไม่ใช่ FAS หรือตรวจไม่พบ FAS จะเปลี่ยน State ไปที่ State 6 และส่ง FASERR ออกไปที่ FAS ERROR Counter นับว่าเป็น 1 และเมื่อเช็คอีกครั้งพบว่าเป็น FAS จะเปลี่ยน State 4 ไปเป็น State 1และ FASCOR จะส่งสัญญาณออกไป CLEAR FASERROR Counter ให้เป็น 0 แต่ถ้าไม่พบ FASจะทำการเปลี่ยน State 4 ไปยัง State 0 และ FASERR จะส่งสัญญาณออกไปที่ FAS ERROR Counter นับว่าเป็น 2 จะแสดงการเกิด Loss เป็นสัญญาณออกไป

When State 6 : จะทำการเช็คว่า เป็น NFAS หรือไม่ ถ้าเป็น NFAS จะทำการเปลี่ยน State จาก State 6ไปเป็น State 7 แต่ถ้าไม่ใช่ NFAS หรือตรวจไม่พบ NFAS จะเปลี่ยน State ไปที่ State 8 และส่ง NFASERR ออกไปที่ NFAS ERROR Counter นับว่าเป็น 1 และเมื่อเช็คอีกครั้งพบว่าเป็น NFAS จะเปลี่ยน State 6 ไปเป็น State 7 และ NFASCOR จะส่งสัญญาณออกไป CLEAR NFASERROR Counter ให้เป็น 0 แต่ถ้าไม่พบ NFASจะทำการเปลี่ยน State 6 ไปยัง State 0 และ NFASERR จะส่งสัญญาณออกไปที่ NFAS ERROR Counter นับว่าเป็น 2 จะแสดงการเกิด Loss เป็นสัญญาณออกไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

When State 7 : จะทำการเช็คว่า เป็น FAS หรือไม่ ถ้าเป็น FAS จะทำการเปลี่ยน State จาก State 7ไปเป็น State 1 แต่ถ้าไม่ใช่ FAS หรือตรวจไม่พบ FAS จะเปลี่ยน State ไปที่ State 6 และส่ง FASERR ออกไปที่ FAS ERROR Counter นับว่าเป็น 1 และเมื่อเช็คอีกครั้งพบว่าเป็น FAS จะเปลี่ยน State 7 ไปเป็น State 1 และ FASCOR จะส่งสัญญาณออกไป CLEAR FASERROR Counter ให้เป็น 0 แต่ถ้าไม่พบ FASจะทำการเปลี่ยน State 7 ไปยัง State 0 และ FASERR จะส่งสัญญาณออกไปที่ FAS ERROR Counter นับว่าเป็น 2 จะแสดงการเกิด Loss เป็นสัญญาณออกไป

When State 8 : จะทำการเช็คว่า เป็น FAS หรือไม่ ถ้าเป็น FAS จะทำการเปลี่ยน State จาก State 8ไปเป็น State 9 แต่ถ้าไม่ใช่ FAS หรือตรวจไม่พบ FAS จะเปลี่ยน State ไปที่ State 6 เหมือนเดิมและส่ง FASERR ออกไปที่ FAS ERROR Counter นับว่าเป็น 1 และเมื่อเช็คอีกครั้งพบว่าเป็น FAS จะเปลี่ยน State 8 ไปเป็น State 9 และ FASCOR จะส่งสัญญาณออกไป CLEAR FASERROR Counter ให้เป็น 0 แต่ถ้าไม่พบ FASจะทำการเปลี่ยน State 8 ไปยัง State 0 และ FASCOR จะส่งสัญญาณออกไปที่ FAS ERROR Counter นับว่าเป็น 2 จะแสดงการเกิด Loss เป็นสัญญาณออกไป

When State 9 : จะทำการเช็คว่า เป็น NFAS หรือไม่ ถ้าเป็น NFAS จะทำการเปลี่ยน State จาก State 9ไปเป็น State 2 แต่ถ้าไม่ใช่ NFAS หรือตรวจไม่พบ NFAS จะเปลี่ยน State ไปที่ State 8 เหมือนเดิมและส่ง NFASERR ออกไปที่ NFAS ERROR Counter นับว่าเป็น 1 และเมื่อเช็คอีกครั้งพบว่าเป็น NFAS จะเปลี่ยน State 9 ไปเป็น State 2 และ NFASCOR จะส่งสัญญาณออกไป CLEAR NFASERROR Counter ให้เป็น 0 แต่ถ้าไม่พบ NFASจะทำการเปลี่ยน State 9 ไปยัง State 0 และ NFASCOR จะส่งสัญญาณออกไปที่ NFAS ERROR Counter นับว่าเป็น 2 จะแสดงการเกิด Loss เป็นสัญญาณออกไป โดยจะทำการ When State เช็ค Input Signal ไปทุก State จนถึง State ที่ 9 ถ้า Input Signal มีการสลับค่ากันตลอดระหว่าง FAS และ NFAS โดยตรวจพบ FAS เป็น State แรก ก็จะวนเปลี่ยน State ตั้งแต่ State 0 ไปจนถึง State 4 ดังนี้อยู่ตลอดไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

When State 0 เช็ค FAS

When State 1 เช็ค NFAS

When State 2 เช็ค FAS

When State 3 เช็ค NFAS

When State 4 เช็ค FAS

และ When State นอกเหนือจากที่กล่าวมาคือ

When State 6

When State 7

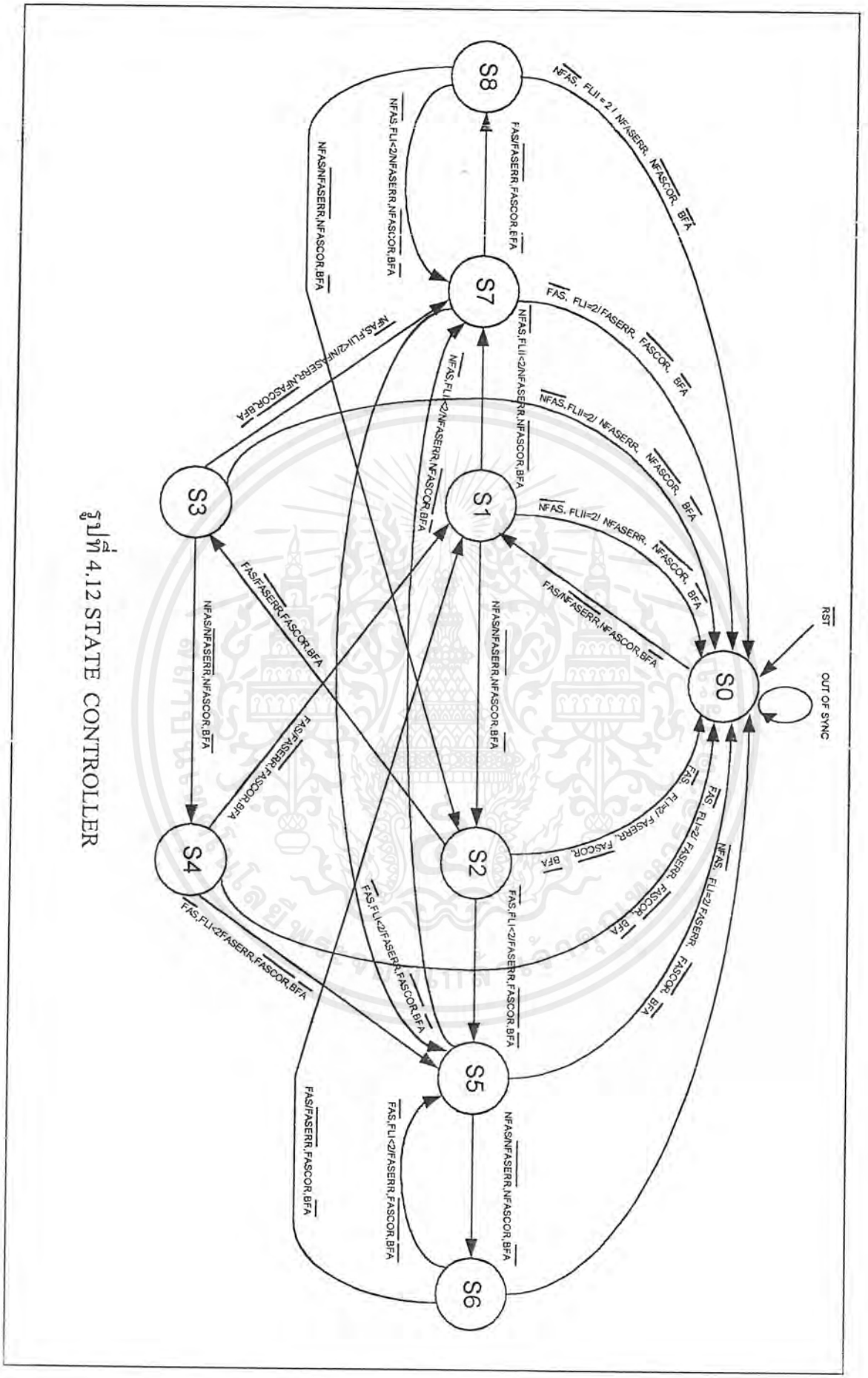
When State 8

When State 9

จะเป็น When State เช็ค Input Signal ที่เกิด Error หรือ เช็คการค้นหาต้นเฟรม

แต่ถ้ามีการเกิด Error หรือ Input Signal มีการสลับค่าระหว่าง FAS และ NFAS ที่ไม่ตลอด คือ สลับบ้างหรือไม่สลับบ้าง จะใช้ State 6 เป็น State 9 ทำการนับ จำนวนของการไม่สลับกันของ FAS และ NFAS ไม่เกิน 2 ครั้ง ถือว่าเกิด Error แต่จะไม่ถือว่า Loss แต่ถ้าเกิดการไม่สลับค่าเกิน 2 ครั้งขึ้นไปจะถือว่า Error และเกิด Loss ด้วย โดยจะมีวงจร FAS ERROR Counter และ NFAS ERROR Counter เป็นตัวสร้างสัญญาณ Loss ออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

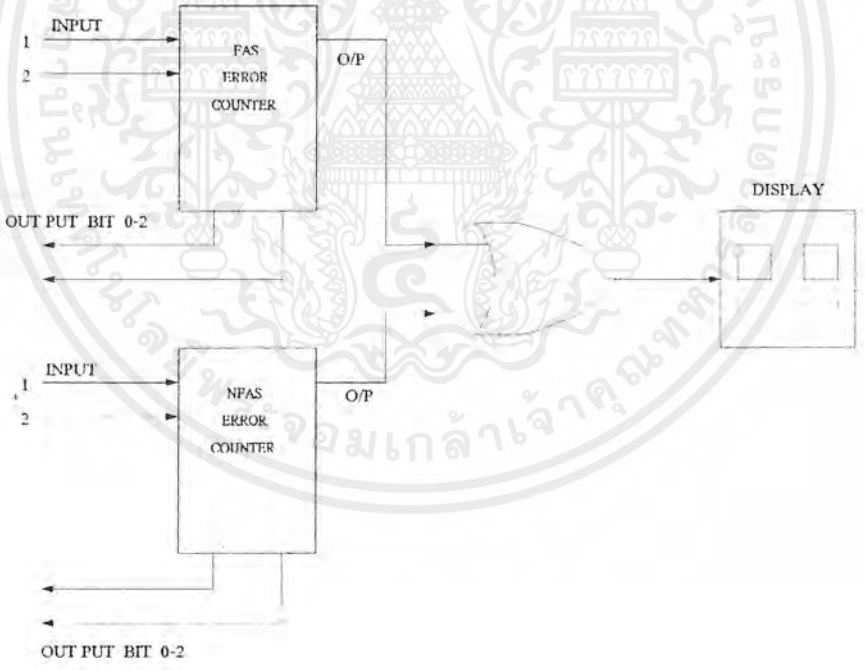


รูปที่ 4.12 STATE CONTROLLER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการทำงานของ FAS / NFAS ERROR COUNTER

จากภาค State Controller เมื่อวงจรสามรถตรวจจับได้ว่าเกิด Error ของ FAS และ NFAS วงจรจะส่ง Out put Pulse ออกมา 1 ลูก ส่งไปยังภาคตรวจนับ FAS / NFAS ERROR COUNTER ที่ขา Input 1 เพื่อทำการนับการเกิด Error ของ FAS / NFAS ซึ่งอาจเกิดการ Error ได้จากการส่ง และเมื่อเกิดการ Error ของ FAS / NFAS เกิน 3 ครั้งติดต่อกัน วงจร FAS / NFAS ERROR COUNTER จะทำการนับจนถึง 3 และจะทำการ Reset ตัวเองให้เป็น 0 เมื่อเริ่มนับใหม่ และในขณะเดียวกันวงจรจะส่ง Out put Pulse ออกมา 1 ลูก และส่งไปยังวงจร Display เพื่อแสดงผลที่เกิดการ Error ขึ้น โดยเรียกอีกชื่อหนึ่งว่าเกิด LOSS OF FRAME ของการส่ง PCM FRAME



รูปที่ 4.13 วงจรตรวจนับการเกิดการผิดพลาด (FAS / NFAS ERROR COUNTER)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่ถ้าวงจร State Controller ส่ง Out put Pulse ออกมา 1 ลูกจากการตรวจจับได้ว่าเกิด Error ในครั้งหนึ่งแล้ว FAS/NFAS ERROR COUNTER จะทำการเริ่มนับและถ้าครั้งต่อไป State Controller ตรวจไม่พบการเกิด Error วงจร State Controller จะทำการส่ง Out put Pulse จาก FAS Clear ออกไป 1 ลูก เพื่อส่งไปยัง FAS/NFAS ERROR COUNTER ที่ขา Input 2 เพื่อทำการ Clear Counter ที่นับไว้ให้เป็น 0 เพื่อรอการนับการเกิด Error ครั้งต่อไป

จากวงจร State Controller จะต้องส่ง Out put Pulse ออกมาจาก FAS/NFAS Clear เนื่องจากถ้าเกิดการ Error ของ FAS/NFAS ไม่ติดต่อกันเกิน 3 ครั้ง จะไม่ถือว่าเกิดการ LOSS OF FRAME แต่ถ้าเกิด Error 3 ครั้งติดต่อกันจะไม่มี FAS/NFAS Clear ส่งออกมา เพราะฉะนั้น FAS/NFAS ERROR COUNTER จะทำการนับจนถึง 3 และส่ง Out put Pulse ไปยัง Display เพื่อแสดงผลต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
ผลการทดลอง บทสรุป และ วิจารณ์

บทสรุป

จากผลการ simulate ของการทดลองของโครงงานงานนี้ พอสรุปได้ว่าประสบความสำเร็จในด้านการทำงานตามเงื่อนไข หลัก ๆ ที่ได้วางไว้ คือ

- การใช้โปรแกรม VHDL เขียนวงจรการทำงานของภาค GENERATE SIGNAL เพื่อเบอร์นลงชิพ IC PAL C22 V10 เพื่อนำชิพตัวนั้นไปใช้ในการสร้างสัญญาณต่าง ๆ ที่จะใช้ในวงจร การ DETECT FRAME ซึ่งชิพตัวที่สร้างนี้สามารถทำงานได้ตามเงื่อนไขได้
- การใช้โปรแกรม VHDL ในการเขียนวงจรของภาคต่าง ๆ ที่ใช้ร่วมกันในการที่จะ DETECT FRAME และตรวจหาต้นเฟรม โดยที่ภาคที่ใช้โปรแกรม VHDL ในการเขียนการทำงาน ดังนี้
- COUNTER สัญญาณ ขนาด 10 bit
- FAS/NFAS DETECT R
- STATE CONTROOLER
- FAS/NFAS ERROR COUNTER
- GENERATE SIGNAL

จาก วงจรของภาคต่าง ๆ ที่ได้กล่าว มีการใช้โปรแกรม VHDL เขียน และ ทำการเบอร์น ลง IC PAL C22 V10 ให้เป็นรูปธรรมเกิดเป็นชิพที่สามารถทำงาน ได้จริงตามเงื่อนไขที่ตั้งเอาไว้ โดยสามารถที่จะแบ่งส่วนประกอบของวงจรรวมทั้งหมดออกเป็นส่วน ๆ และทำงานได้ตามจุดประสงค์ที่ได้ตั้งไว้คือ

1. ในภาค COUNTER

สามารถที่จะทำการนับสัญญาณ ขนาด 10 bit ได้ตั้งแต่ 0 - 512

2. ในภาค FAS/NFAS DETECT

สามารถที่จะการ DETECT สัญญาณ ที่เป็น FAS (Frame Alignment Signal) และ DETECT สัญญาณ NFAS (Non Frame Alignment Signal) ได้จริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ในภาค GENERATE SIGNAL

สามารถที่จะทำการ สัญญาณต่าง ๆ ที่ใช้ในการ Samping สัญญาณ และ ใช้ใน STATE CONTROOLER ได้ตามที่คิดไว้จริง

4. ในภาค FAS/NFAS ERROR COUNTER

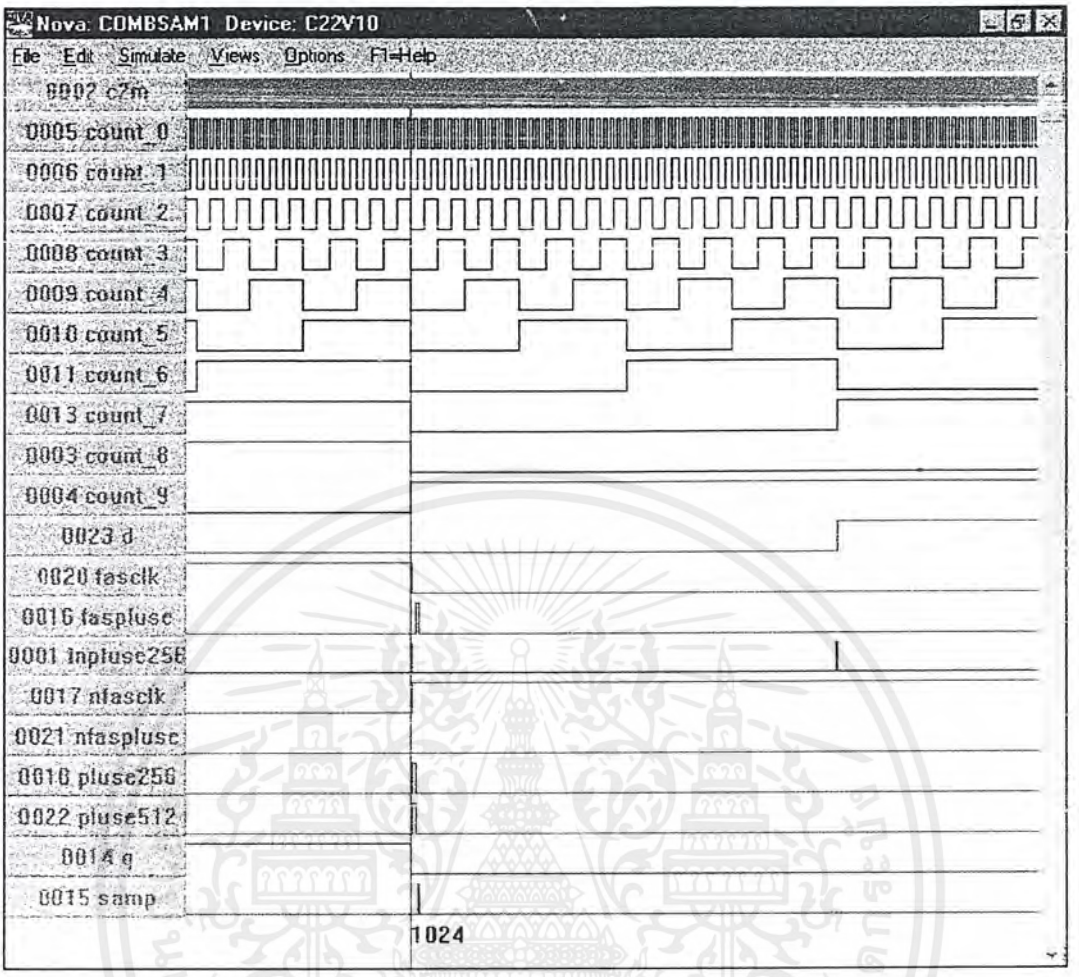
สามารถที่จะทำการสร้างสัญญาณบอกว่าเกิด ERROR และทำการนับจำนวนการเกิด ERROR ได้ และแสดงผลว่าเกิด LOSS ของการส่ง FRAME

บทวิจารณ์

จากที่กล่าวมาแล้วนั้น ทฤษฎี และ ปฏิบัติ เราสามารถที่จะสรุปได้ว่าตัวโครงงานนี้มีความน่าเชื่อถือได้ในระดับหนึ่ง เนื่องจากมีการใช้โปรแกรมในการออกแบบชิพไอซี มาเขียนวงจร เพื่อของภาคต่าง ๆ เพื่อให้ง่ายต่อการต่ออุปกรณ์ และ สะดวกในการใช้งาน

การพัฒนา และ ปรับปรุงมีความจำเป็นอย่างยิ่ง เพื่อให้มีความเหมาะสมในการใช้งานเช่น จากหลักการนี้จะสามารถนำไปออกแบบสร้างเครื่องต้นแบบของอุปกรณ์วัด และ วิเคราะห์ข้อมูลบน พีซี เอ็มเฟรม เพื่อวัดหาอัตราความผิดพลาดของบิท และ วิเคราะห์ข้อมูลในเฟรมต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

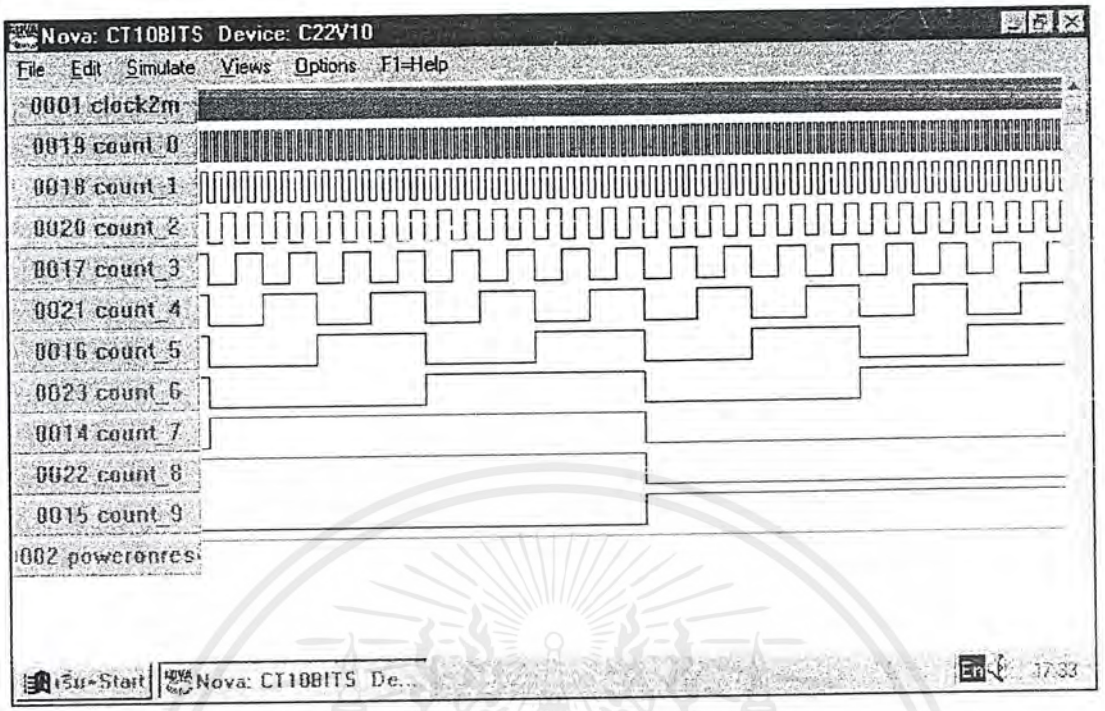


C22V10

inplusc256 =| 1|	|24|* not used
c2m =| 2|	|23|= d
count_8 =| 3|	|22|= plusc512
count_9 =| 4|	|21|= nfaspluse
count_0 =| 5|	|20|= fasclk
count_1 =| 6|	|19|* not used
count_2 =| 7|	|18|= pluse256
count_3 =| 8|	|17|= nfasclk
count_4 =| 9|	|16|= faspluse
count_5 =|10|	|15|= samp
count_6 =|11|	|14|= q
not used *|12|	|13|= count_7

รูปที่ 5.1 แสดงสัญญาณ Out Put ของวงจรภาค Comb Samp

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

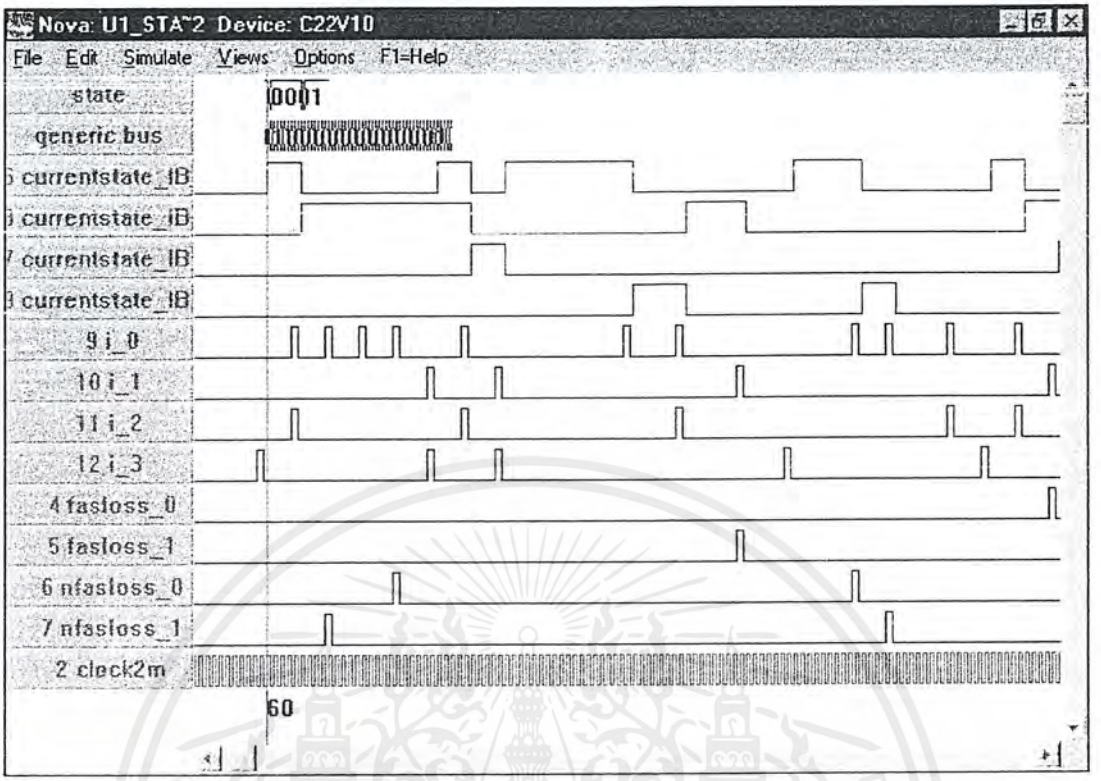


C22V10

clock2m =| 1|	|24|* not used
poweronreset =| 2|	|23|= count_6
not used *| 3|	|22|= count_8
not used *| 4|	|21|= count_4
not used *| 5|	|20|= count_2
not used *| 6|	|19|= count_0
not used *| 7|	|18|= count_1
not used *| 8|	|17|= count_3
not used *| 9|	|16|= count_5
not used *|10|	|15|= count_9
not used *|11|	|14|= count_7
not used *|12|	|13|* not used

รูปที่ 5.2 แสดงสัญญาณ Out Put ของวงจรภาค Counter 10 bits

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

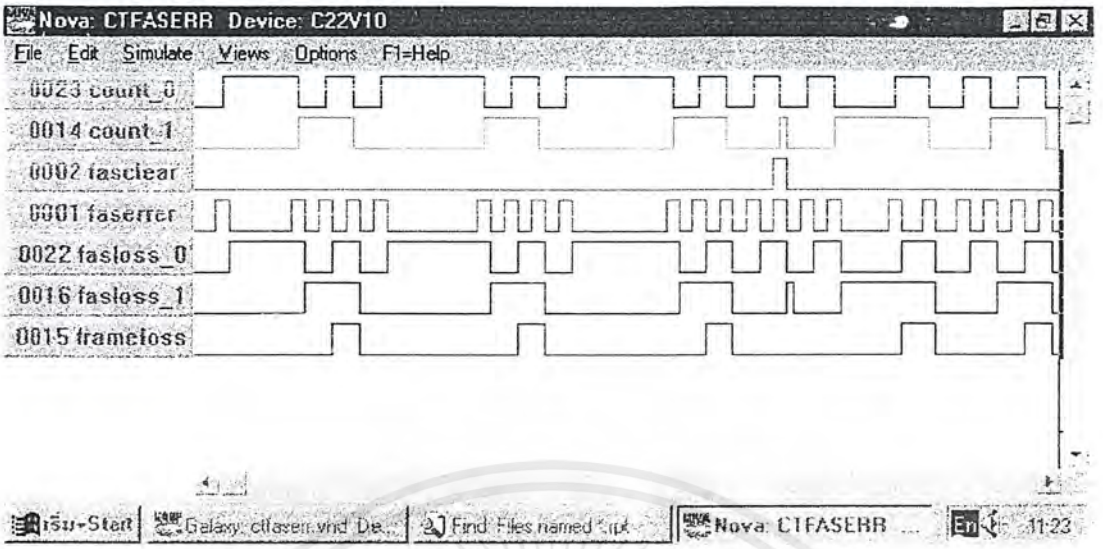


C22V10

clock2m =| 1|	|24|* not used
poweronreset =| 2|	|23|= counterclock2m
fasloss_0 =| 3|	|22|= currentstate..
fasloss_1 =| 4|	|21|= currentstate..
nfasloss_0 =| 5|	|20|* not used
nfasloss_1 =| 6|	|19|= stateSBV_2
i_0 =| 7|	|18|= stateSBV_3
i_1 =| 8|	|17|= stateSBV_1
i_2 =| 9|	|16|= currentstate..
i_3 =|10|	|15|= currentstate..
pluse256 =|11|	|14|= stateSBV_0
not used *|12|	|13|* not used

รูปที่ 5.3 แสดงสัญญาณ Out Put ของวงจรภาค State Controller U1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

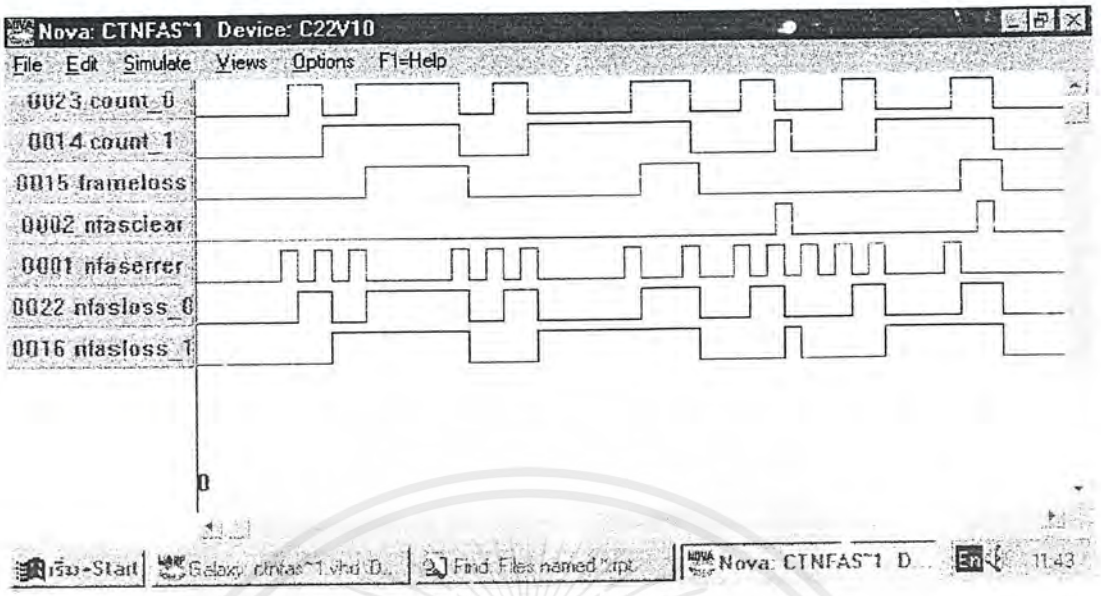


C22V10

faserrer =| 1|	|24|* not used
fasclcar =| 2|	|23|= count_0
not used *| 3|	|22|= fasloss_0
not used *| 4|	|21|* not used
not used *| 5|	|20|* not used
not used *| 6|	|19|* not used
not used *| 7|	|18|* not used
not used *| 8|	|17|* not used
not used *| 9|	|16|= fasloss_1
not used *|10|	|15|= frameloss
not used *|11|	|14|= count_1
not used *|12|	|13|* not used

รูปที่ 5.4 แสดงสัญญาณ Out Put ของวงจรภาค FAS Counter Error

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

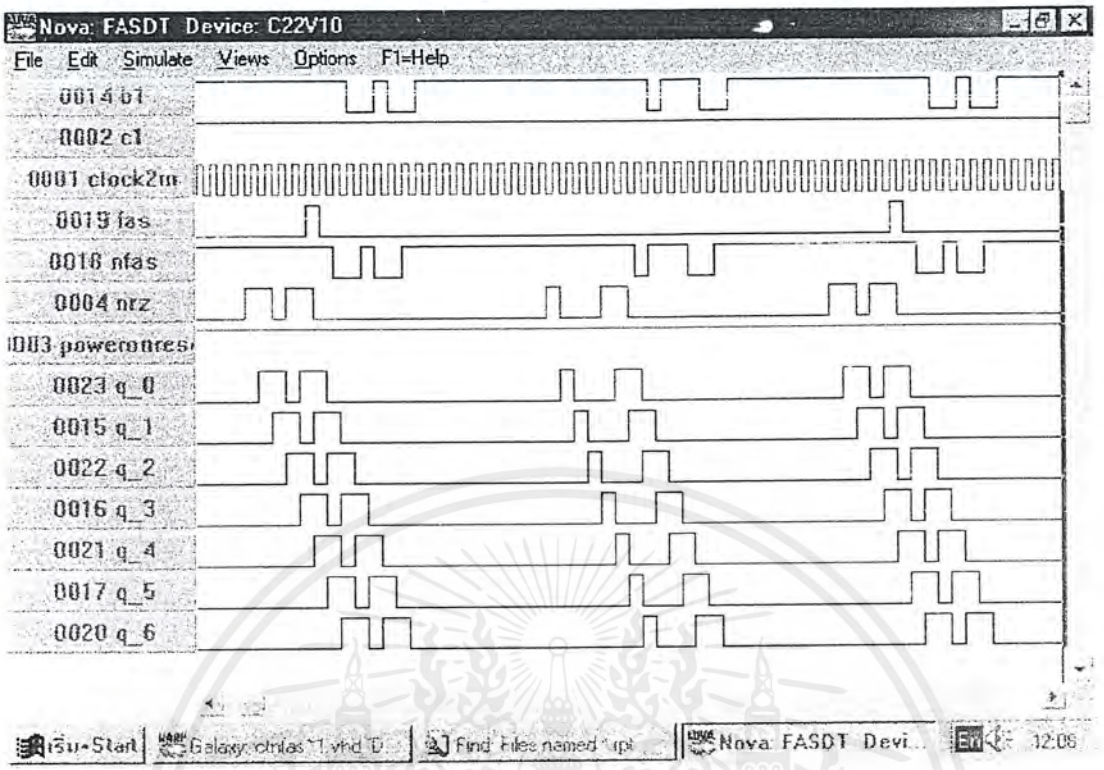


C22V10

nfaserrer =| 1|	|24|* not used
nfasclear =| 2|	|23|= count_0
not used *| 3|	|22|= nfasloss_0
not used *| 4|	|21|* not used
not used *| 5|	|20|* not used
not used *| 6|	|19|* not used
not used *| 7|	|18|* not used
not used *| 8|	|17|* not used
not used *| 9|	|16|= nfasloss_1
not used *|10|	|15|= frameloss
not used *|11|	|14|= count_1
not used *|12|	|13|* not used

รูปที่ 5.5 แสดงสัญญาณ Out Put ของวงจรภาค NFAS Counter Error

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

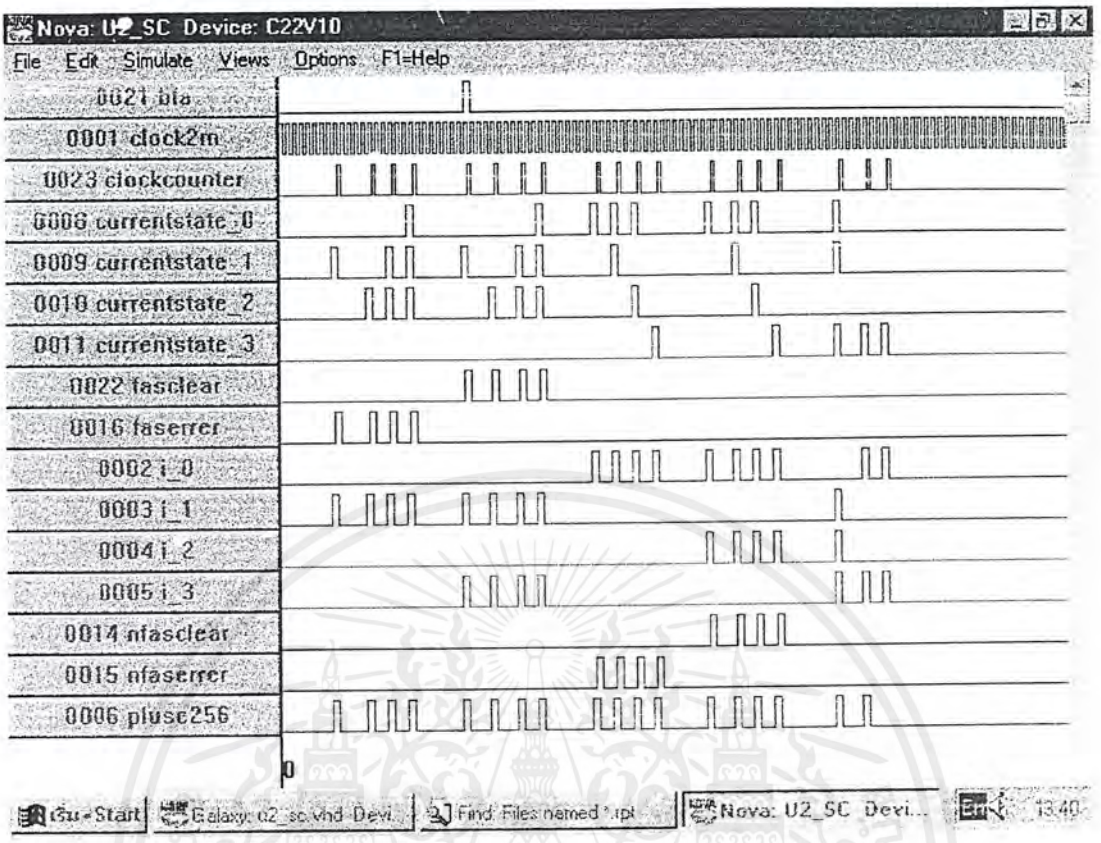


C22V10

clock2m =| 1|	|24|* not used
c1 =| 2|	|23|= q_0
poweronreset =| 3|	|22|= q_2
nrz =| 4|	|21|= q_4
not used *| 5|	|20|= q_6
not used *| 6|	|19|= fas
not used *| 7|	|18|= nfas
not used *| 8|	|17|= q_5
not used *| 9|	|16|= q_3
not used *|10|	|15|= q_1
not used *|11|	|14|= b1
not used *|12|	|13|* not used

รูปที่ 5.6 แสดงสัญญาณ Out Put ของวงจรภาค FAS Detector

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

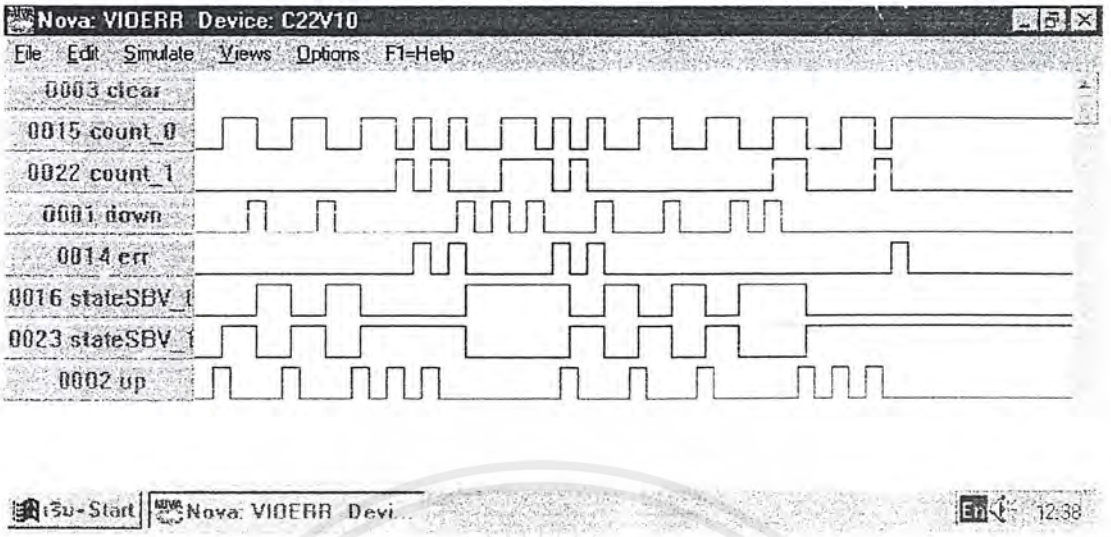


C22V10

clock2m =| 1|	|24|* not used
i_0 =| 2|	|23|= clockcounter
i_1 =| 3|	|22|= fasclear
i_2 =| 4|	|21|= bfa
i_3 =| 5|	|20|* not used
pluse256 =| 6|	|19|* not used
poweronreset =| 7|	|18|* not used
currentstate_0 =| 8|	|17|* not used
currentstate_1 =| 9|	|16|= faserrer
currentstate_2 =|10|	|15|= nfaserrer
currentstate_3 =|11|	|14|= nfasclear
not used *|12|	|13|* not used

รูปที่ 5.7 แสดงสัญญาณ Out Put ของวงจรภาค State Controller U2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



C22V10

down =| 1|	|24|* not used
up =| 2|	|23|= stateSBV_1
clear =| 3|	|22|= count_1
not used *| 4|	|21|* not used
not used *| 5|	|20|* not used
not used *| 6|	|19|* not used
not used *| 7|	|18|* not used
not used *| 8|	|17|* not used
not used *| 9|	|16|= stateSBV_0
not used *|10|	|15|= count_
not used *|11|	|14|= err
not used *|12|	|13|* not used

รูปที่ 5.8 แสดงสัญญาณ Out Put ของวงจรภาค Violation Error Detector

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] Owen,Frank F. E. "PCM and Digital Transmision Systems", McGRAW Hall, 1982

[2] Howard W. Johnson,Martin Granham "High-Speed Digital Design", PTR PRENTICE HALL,Englewood Cliffs,New Jersey 07632, 1993

[3] R. SMITH "Synchonisation and Slip Performance in Digital Network". British Telecommunications Engineering, Vol. 3,July 1984

[4] S. W. Golumb, "Shift Register Sequences". San Francisco, CA : Holden Day, 1967

[5] Norman Abramson "Information theory And Coding", McGRAW – HALL,1982

[6] F. R. Connor "Noise" Edward Amold 1976

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างโปรแกรม VHDL ของวงจร FAS ERROR COUNTER

```
-- File name:   CTFasErr.vhd
-- Functional:  Fas Errer Counter
-- Styte:       VHDL Coding
-- Device:      FPGA:Mapping to XC4010 of XILINE Chip
-- Devcce:      CPLD:Mapping to XC85xx of XILINE Chip
-- Device:      PLD:Mapplig to PAL22CEV10H of AMD Chip
-- Description: This module is counter if occure error at fas bit.
-- Testbence:   t_CTFasErr.vhd


use work.int_math.all;


entity  FasCounter_Ent is
port
  (
     FasErrer,FasClear:    in     bit;
     FasLoss:              out    bit_vector(1 downto 0);
     FrameLoss:            out    bit:='0';
     Count:                inout  bit_vector(1 downto 0):="00"
     );
end FasCounter_ent;


architecture FasCounter_arc of FasCounter_ent is
 begin
  ErrCount: process (FasErrer,FasClear)
    begin
     if(FasClear ='1') then
      Count <= "00";
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
      elsif(FasErrer'event and FasErrer='1') then
       Count <=Count+1;
      end if;
    end process ErrCount;
--concurrent;
 FrameLoss <= '1' when Count(1 downto 0)="11" else '0';
 FasLoss(1 downto 0) <= Count(1 downto 0);
end FasCounter_arc;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างโปรแกรม VHDL ของวงจร NFAS ERROR COUNTER

```
-- File name:   CTNfasErr.vhd
-- Functional:  Nfas Errer Counter
-- Styte:       VHDL Coding
-- Device:      FPGA:Mapping to XC4010 of XILINE Chip
-- Devcce:      CPLD:Mapping to XC85xx of XILINE Chip
-- Device:      PLD:Mapplig to PAL22CEV10H of AMD Chip
-- Description: This module is counter if occure error at nfas bit.
-- Testbence:   t_CTNfasErr.vhd


use work.int_math.all;

enuity  NfasCounter_Ent is
 port
   (
    NfasErrer,NfasClear:      in     bit;
    NfasLoss:                 out    bit_vector(1 downto 0);
    FrameLoss:                out    bit:='0';
    Count:                    inout  bit_vector(1 downto 0):="00"
      );
end NfasCounter_ent;


architecture NfasCounter_arc of NfasCounter_ent is
  begin
   ErrCount: process (NfasErrer,NfasClear)
     begin
      if(NfasClear ='1') then
       Count <= "00";
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
      elsif(NfasErrer'event  and NfasErrer='1') then
       Count <=Count+1;
      end if;
    end process ErrCount;
--concurrent;
 FrameLoss <= '1' when Count(1 downto 0)="11" else '0';
 NfasLoss(1 downto 0) <= Count(1 downto 0);
end NfasCounter_arc;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างโปรแกรม VHDL ของวงจร FAS DETECTOR

```
-- File name:   FasDT.vhd
-- Functional:  Fas and NFas Detector
-- Styte:       VHDL Coding
-- Device:      FPGA:Mapping to XC4010 of XILINE Chip
-- Devcce:      CPLD:Mapping to XC85xx of XILINE Chip
-- Device:      PLD:Mapplig to PAL22CEV10H of AMD Chip
-- Description: This module is ued for detect Fas and Nfas by using shift register.
-- Testbence:   t_FasDT.vhd


use work.int_math.all;

entity Detector_Ent is
  port(
     PowerOnReset:  in     bit;
     C1:            in     bit;
     Clock2M:       in     bit;
     Nrz:           in     bit;
     B1:            out    bit;
     Fas:           out    bit;
     Nfas:          out    bit;
     Q:             inout  bit_vector(6 downto 0)
     );
end Detector_Ent;

architecture Detector_Arc of Detector_Ent is
 begin
  ShiftRegister:process (Clock2M,PowerOnReset,C1,Nrz,Q)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    begin
     if(PowerOnReset='0') then
      Q <="0000000";
     elsif (Clock2M'event and Clock2M='1' ) then
      Q(0)<=Nrz;
      Q(1)<=Q(0);
      Q(2)<=Q(1);
      Q(3)<=Q(2);
      Q(4)<=Q(3);
      Q(5)<=Q(4);
      Q(6)<=Q(5);
     end if;
   end process ShiftRegister;
   B1  <= Q(6) xor C1;
   Nfas <= Q(5);
   Fas  <= '1' when (Q(5 downto 0)="001101" and Nrz='1') else '0';

end Detector_Arc;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างโปรแกรม VHDL ของวงจร COUNTER 10 BIT

```
-- File name:   CT10Bits.vhd
-- Functional:  10 bits Counter
-- Styte:       VHDL Coding
-- Device:      FPGA:Mapping to XC4010 of XILINE Chip
-- Devcce:      CPLD:Mapping to XC85xx of XILINE Chip
-- Device:      PLD:Mapplig to PAL22CEV10H of AMD Chip
-- Description: This module is count the bit number for created bit remark.
-- Testbence:   t_CT10Bits.vhd


use work.int_math.all;

entity  Counter_Ent is
 port
  (
   Clock2M:      in     bit;
   PowerOnReset: in     bit;
   Count:        inout  bit_vector(9 downto 0)
  );

architecture Counter_Arc of Counter_Ent is
 begin
  Upcount: process (Clock2M,PowerOnReset)
   begin
    if(PowerOnReset = '0') then
     Count <= "0000000000";
    elsif (Clock2M'event and Clock2M='1') then
     Count <= Count+1;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    end if;
  end process Upcount;
end Counter_Arc;
```


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างโปรแกรม VHDL ของวงจร SAMPING CLOCK MODULE 1

```
-- File name:  u1_StateCtrl.vhd
-- Functional: Control input/output of StateFAS/NFAS Module
-- Styte:      VHDL Coding
-- Device:     FPGA:Mapping to XC4010 of XILINE Chip
-- Devcce:     CPLD:Mapping to XC85xx of XILINE Chip
-- Device:     PLD:Mapplig to PAL22CEV10H of AMD Chip
-- Description: This module is detected the Frame Alignment Signal and Non-FAS,if found it
--              send the tric pulse to other module every time period.
-- Testbence:  t_u1_StateCtrl.vhd


--library IEEE;
--use IEEE.std_logic_1164.all,IEEE.Numeric_std.all;


entity SCU1_Ent is
 port(
    Clock2M,PowerOnReset:       in    bit;
    Pluse256:                   in    bit;
    i:                          in    bit_vector(3 downto 0);
    --  i(3)=fas
    --  i(2)=nfas
    --  i(1)=faspluse
    --  i(0)=nfaspluse
    B1:                         in    bit;
    OutputReset:                out bit;
    FasLoss:                    in    bit_vector(1 downto 0);
    NfasLoss:                   in    bit_vector(1 downto 0);
    CounterClock2M:             out   bit:='0';
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    CurrentState:          out    integer range 0 to 9:=0
  );
        attribute part_name of SCU1_Ent:entity is "c22v10";
            attribute pin_numbers of SCU1_Ent:entity is
      "Clock2M:1 " &
      "PowerOnReset:2 " &
      "Pluse256:11 " &
      "FasLoss(0):3 " &
      "FasLoss(1):4 "&
      "NfasLoss(0):5 " &
      "Nfasloss(1):6 " &
       "i(0):7 " &
       "i(1):8 " &
       "i(2):9 " &
       "i(3):10 " &
       "CurrentState(0):16 " &
       "CurrentState(1):22 " &
       "CurrentState(2):15 " &
       "CurrentState(3):21 " &
       "CounterClock2M:23 " &
       "OutputReset:20 ";


end SCU1_Ent;

architecture SCU1_Arc of SCU1_Ent is
 type state_type is (s0,s1,s2,s3,s4,s5,s6,s7,s8);
 signal State: state_type;
 begin
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Ctrl:process(Clock2M,PowerOnReset,i,Pluse256,FasLoss,NfasLoss,State) -- process for
Statecontroller
 begin
  if(PowerOnReset='0') then                          -- power on reset
   State<= s0;
  elsif(Clock2M'event and Clock2M='1') then           -- clocking
   case State is
    when s0 =>
    if(i(3)='1') then                                -- found first frame aligment signal
     State  <= s1;                                   -- current Stateis not s0
     else
     State  <= s0;                                   -- loop for serch first FAS
    end if;
    when s1 =>
    if(Pluse256='1') then
     if(i="0101") then                               -- nfas correct
      State  <= s2;
     elsif(i="0001" and NfasLoss="00") then          -- nfas error
      State  <= s7;
     elsif(i="0001" and NfasLoss="01") then          -- nfas errer
      State  <= s7;
      elsif(i="0001" and NfasLoss="10") then         -- loss of frame from nfas
      State  <= s0;
     end if;
    end if;
    when s2 =>
    if(Pluse256='1') then
     if(i="1010") then                               -- fas correct
      State  <= s3;
      elsif(i="0010" and FasLoss="00") then          -- fas error
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        State  <= s5;
        elsif(i="0010" and FasLoss="01") then          -- fas errer
        State  <= s5;
        elsif(i="0010" and FasLoss="10") then          -- loss of frame from fas
        State  <= s0;
       end if;
      end if;
     when s3 =>
      if(Pluse256='1') then
       if(i="0101") then                              -- nfas correct
        State  <= s4;
        elsif(i="0001" and NfasLoss="00") then         -- nfas error
        State  <= s7;
        elsif(i="0001" and NfasLoss="01") then         -- nfas errer
        State  <= s7;
        elsif(i="0001" and NfasLoss="10") then         -- loss of frame from nfas
        State  <= s0;
       end if;
      end if;
     when s4 =>
      if(Pluse256='1') then
       if(i="1010") then                              -- fas correct
        State  <= s1;
        elsif(i="0010" and FasLoss="00") then          -- fas error
        State  <= s5;
        elsif(i="0010" and FasLoss="01") then          -- fas errer
        State  <= s5;
        elsif(i="0010" and FasLoss="10") then          -- loss of frame from fas
        State  <= s0;
       end if;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
 end if;
when s5 =>
 if(Pluse256='1') then
  if(i="0101") then                    -- nfas correct
   State  <= s6;
  elsif(i="0001" and NfasLoss="00") then      -- nfas error
   State  <= s7;
  elsif(i="0001" and NfasLoss="01") then      -- nfas errer
   State  <= s7;
  elsif(i="0001" and NfasLoss="10") then      -- loss of frame from nfas
   State  <= s0;
 end if;
end if;
when s6 =>
 if(Pluse256='1') then
  if(i="1010") then                    -- fas correct
   State  <= s1;
  elsif(i="0010" and FasLoss="00") then      -- fas error
   State  <= s5;
  elsif(i="0010" and FasLoss="01") then      -- fas errer
   State  <= s5;
  elsif(i="0010" and FasLoss="10") then      -- loss of frame from fas
   State  <= s0;
 end if;
end if;
when s7 =>
 if(Pluse256='1') then
  if(i="1010") then                    -- fas correct
   State  <= s8;
  elsif(i="0010" and FasLoss="00") then      -- fas error
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            State  <= s5;
            elsif(i="0010" and FasLoss="01") then          -- fas errer
            State  <= s5;
            elsif(i="0010" and FasLoss="10") then          -- loss of frame from fas
            State  <= s0;
           end if;
          end if;
         when s8 =>
          if(Pluse256='1') then
           if(i="0101") then                             -- nfas correct
            State  <= s2;
            elsif(i="0001" and NfasLoss="00") then        -- nfas error
            State  <= s7;
            elsif(i="0001" and NfasLoss="01") then        -- nfas errer
            State  <= s7;
            elsif(i="0001" and NfasLoss="10") then        -- loss of frame from nfas
            State  <= s0;
           end if;
          end if;
      end case;
    end if;
end process Ctrl;

CounterClock2M <= '0' when (state=s0) else Clock2M;
 OutputReset <= '0' when (state=s0) else '1';
with State select
  CurrentState <= 0 when s0,
                  1 when s1,
                  2 when s2,
                  3 when s3,
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            4 when s4,
            5 when s5,
            6 when s6,
            7 when s7,
            8 when s8,
            0 when others;
end SCU1_Arc;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างโปรแกรม VHDL ของวงจร SAMPING CLOCK MODULE 2

```
-- File name:  u2_StateCtrl.vhd
-- Functional:  Control input/output of StateFAS/NFAS Module
-- Styte:      VHDL Coding
-- Device:     FPGA:Mapping to XC4010 of XILINE Chip
-- Devcce:     CPLD:Mapping to XC85xx of XILINE Chip
-- Device:     PLD:Mapplig to PAL22CEV10H of AMD Chip
-- Description: This module is detected the Frame Alignment Signal and Non-FAS,if found it
--             send the tric pulse to other module every time period.
-- Testbence:  t_u2_StateCtrl.vhd


--library IEEE;
--use IEEE.std_logic_1164.all,IEEE.Numeric_std.all;


entity SCU2_Ent is
 port(
    Clock2M:              in    bit;
    PowerOnReset:         in    bit;
    Pluse256:             in    bit;


    i:                    in    bit_vector(3 downto 0);
    --  i(3)=Fas
    --  i(2)=Nfas
    --  i(1)=Faspluse
    --  i(0)=Nfaspluse
    CurrentState:         in    bit_vector(3 downto 0);
    ClockCounter:         out   bit:='0';
    Bfa:                  out   bit:='0';
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    FasErrer,FasClear:      out    bit:='0';
    NfasErrer,NfasClear:    out    bit:='0'
    );
        attribute part_name of SCU2_Ent:entity is "c22v110";
        attribute pin_numbers of SCU2_Ent:entity is
        "Clock2M:1 "  &
        "i(0):2 "  &
        "i(1):3 "  &
        "i(2):4 "  &
        "i(3):5 "  &
        "Pluse256:6 "  &
        "PowerOnReset:7 "  &
        "CurrentState(0):8 "  &
        "CurrentState(1):9 "  &
        "CurrentState(2):10 "  &
        "CurrentState(3):11 "  &
        "Bfa:21 "  &
        "FasErrer:16 "  &
        "FasClear:22 "  &
        "NfasErrer:15 "  &
        "NfasClear:14 "  ;

end SCU2_Ent;

architecture SCU2_Arc of SCU2_Ent is
 begin

 BfaOut:process(PowerOnReset,i,Pluse256,CurrentState)
  begin
   if(PowerOnReset='1' and Pluse256='1' and i="1010" and CurrentState="0010") then
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    Bfa <= '1';
   elsif(PowerOnReset='1' and Pluse256='1' and i="1010" and CurrentState="0100") then
    Bfa <= '1';
   else
    Bfa <= '0';
  end if;
end process BfaOut;

FasErrerOut:process(PowerOnReset,i,Pluse256,CurrentState)
 begin
  if(PowerOnReset='1' and Pluse256='1' and i="0010" and CurrentState="0010" ) then
    FasErrer <= '1';
   elsif(PowerOnReset='1' and Pluse256='1' and i="0010" and CurrentState="0100" ) then
    FasErrer <= '1';
   elsif(PowerOnReset='1' and Pluse256='1' and i="0010" and CurrentState="0110" ) then
    FasErrer <= '1';
   elsif(PowerOnReset='1' and Pluse256='1' and i="0010" and CurrentState="0111" ) then
    FasErrer <= '1';
   else
    FasErrer <= '0';
  end if;
end process FasErrerOut;

FasClearOut:process(PowerOnReset,i,Pluse256,CurrentState)
 begin
  if(PowerOnReset='1' and Pluse256='1' and CurrentState="0000" ) then
    FasClear <= '1';
   elsif(PowerOnReset='1' and Pluse256='1' and i="1010" and CurrentState="0010" ) then
    FasClear <= '1';
   elsif(PowerOnReset='1' and Pluse256='1' and i="1010" and CurrentState="0100" ) then
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    FasClear <= '1';
   elsif(PowerOnReset='1' and Pluse256='1' and i="1010" and CurrentState="0110" ) then
    FasClear <= '1';
   elsif(PowerOnReset='1' and Pluse256='1' and i="1010" and CurrentState="0111" ) then
    FasClear <= '1';
   else
    FasClear <= '0';
  end if;
 end process FasClearOut;

 NfasErrerOut:process(PowerOnReset,i,Pluse256,CurrentState)
  begin
  if(PowerOnReset='1' and Pluse256='1' and i="0001" and CurrentState="0001" ) then
    NfasErrer <= '1';
   elsif(PowerOnReset='1' and Pluse256='1' and i="0001" and CurrentState="0011" ) then
    NfasErrer <= '1';
   elsif(PowerOnReset='1' and Pluse256='1' and i="0001" and CurrentState="0101" ) then
    NfasErrer <= '1';
   elsif(PowerOnReset='1' and Pluse256='1' and i="0001" and CurrentState="1000" ) then
    NfasErrer <= '1';
   else
    NfasErrer <= '0';
  end if;
 end process NfasErrerOut;

 NfasClearOut:process(PowerOnReset,i,Pluse256,CurrentState)
 begin
  if(PowerOnReset='1' and Pluse256='1' and CurrentState="0000" ) then
    NfasClear <= '1';
   elsif(PowerOnReset='1' and Pluse256='1' and i="0101" and CurrentState="0001" ) then
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    NfasClear <= '1';
   elsif(PowerOnReset='1' and Pluse256='1' and i="0101" and CurrentState="0011" ) then
    NfasClear <= '1';
   elsif(PowerOnReset='1' and Pluse256='1' and i="0101" and CurrentState="0101" ) then
    NfasClear <= '1';
   elsif(PowerOnReset='1' and Pluse256='1' and i="0101" and CurrentState="1000" ) then
    NfasClear <= '1';
   else
    NfasClear <= '0';
  end if;
 end process NfasClearOut;

 ClkCounter:process(Clock2M,CurrentState)
 begin
  if(CurrentState="0000") then
   ClockCounter <= '0';
  else
   ClockCounter <= Clock2M;
  end if;
 end process ClkCounter;

end SCU2_Arc;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างโปรแกรม VHDL ของวงจร GENERATE SIGNAL

```
--function:samp256
--device: pal22v10
--use ieee_std_logic_1164.all;
use work.int_math.all;
entity samping_ent is port(

    A:          in bit;

    Nfaspluse:  out bit;
    Faspluse:   out bit;

    C2m:        in bit;
    Count:      in bit_vector(7 downto 0);
    Pluse256:   inout  bit;

    Samp:       out bit);
   attribute part_name of samping_ent:entity is "c22v10";
   attribute pin_numbers of samping_ent:entity is
      "c2m:1 " &
      "count(0):3 " &
      "count(1):4 " &
      "count(2):5 " &
      "count(3):6 "&
      "count(4):7 " &
      "count(5):8 " &
       "count(6):9 " &
       "count(7):10 " &
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
          "A:2 " &
           "Pluse256:18 " &

           "Nfaspluse:21 " &
          "Faspluse:16 ";
 end samping_ent;

architecture samping_arc of samping_ent is
begin
  samp<= not C2m and Pluse256;

NfasPluse<=Pluse256 and A;
FasPluse<=Pluse256  and    not A;
Pluse256<='1' When (count(7 downto 0)="00000000")  Else '0';


end samping_arc;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างโปรแกรม VHDL ของวงจร VIOLATION ERROR DETECTOR

```
-- function:counter10bits
-- device:  pal22v10
--use ieee_std_logic_1164.all;
use work.int_math.all;
entity controller_ent  is port (
        clear:              in bit;
        up,down:                    in bit;
         count:             inout bit_vector(1 downto 0);
        err:                out bit
        );
end controller_ent;

architecture controller_arc of controller_ent  is
        type states is (state0,state1,state2);
        signal state: states;
      begin
      up: process (clear,state)
        begin
          if(clear='0') then
               state<= state0;
               count<="00";
                  else
            case state is

            when state0=>
                 if(up='0' and down='0') then
                      state<=state0;
                    count<="00";
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            elsif(up='1' and down='0') then
                state<=state1;
               count<=count+1;
                    elsif(up='0' and down='1') then
                     state<=state2;
                       count<=count-1;
          end if;

when state1=>
      if(up='1' and down ='0') then
          state<=state1;
          count<=count+1;
               elsif(up='0' and down='1') then
               state<=state2;
                 count<=count-1;
              end if;
     if(count="10") then
          count<="01";
          err    <='1';
        else
          err    <='0';
             end if;

when state2=>
     if(up='0' and down='1') then
              state<=state2;
            count<=count-1;
                 elsif(up='1' and down='0') then
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                state<=state1;
                  count<=count+1;
            end if;
        if(count="10") then
            count<="01";
              err<='1';
             else
              err<='0';
           end if;
         end case;
       end if;
    end process ;
end controller_arc;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PALCE22V10 COM'L: H-5/7/10/15/25,Q-10/15/25 IND: H-10/15/20/25
PALCE22V10Z COM'L: -25 IND: -15/25

VANTIS
BEYOND PERFORMANCE

PALCE22V10 and PALCE22V10Z Families

24-Pin EE CMOS (Zero Power) Versatile PAL Device

DISTINCTIVE CHARACTERISTICS

- As fast as 5-ns propagation delay and 142.8 MHz f_{MAX} (external)
- Low-power EE CMOS
- 10 macrocells programmable as registered or combinatorial, and active high or active low to match application needs
- Varied product term distribution allows up to 16 product terms per output for complex functions
- Peripheral Component Interconnect (PCI) compliant (-5/-7/-10)
- Global asynchronous reset and synchronous preset for initialization
- Power-up reset for initialization and register preload for testability
- Extensive third-party software and programmer support
- 24-pin SKINNY DIP, 24-pin SOIC, and 28-pin PLCC
- 5-ns and 7.5-ns versions utilize split leadframes for improved performance

GENERAL DESCRIPTION

The PALCE22V10 provides user-programmable logic for replacing conventional SSI/MSI gates and flip-flops at a reduced chip count.

The PALCE22V10Z is an advanced PAL® device built with zero-power, high-speed, electrically-erasable CMOS technology. It provides user-programmable logic for replacing conventional zero-power CMOS SSI/MSI gates and flip-flops at a reduced chip count.

The PALCE22V10Z provides zero standby power and high speed. At 30 µA maximum standby current, the PALCE22V10Z allows battery-powered operation for an extended period.

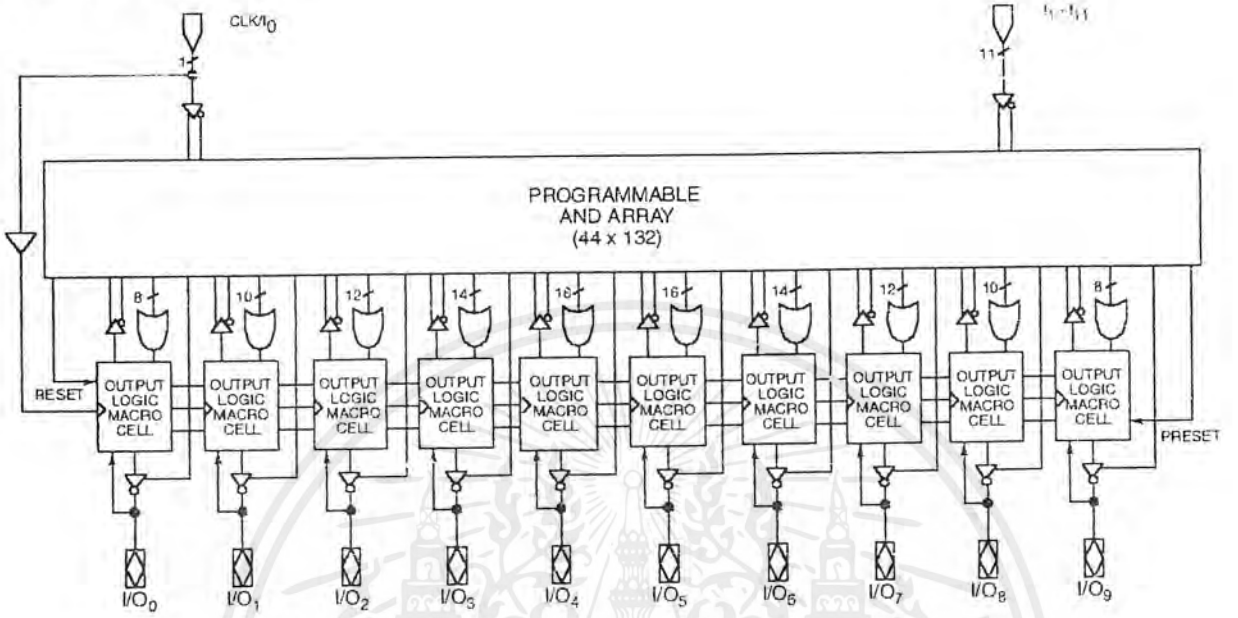
The PAL device implements the familiar Boolean logic transfer function, the sum of products. The PAL device is a programmable AND array driving a fixed OR array. The AND array is programmed to create custom product terms, while the OR array sums selected terms at the outputs.

The product terms are connected to the fixed OR array with a varied distribution from 8 to16 across the outputs (see Block Diagram). The OR sum of the products feeds the output macrocell. Each macrocell can be programmed as registered or combinatorial, and active-high or active low. The output configuration is determined by two bits controlling two multiplexers in each macrocell.

Publication# 16564 Rev: E
Amendment/0 Issue Date: November 1998

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM



FUNCTIONAL DESCRIPTION

The PALCE22V10 allows the systems engineer to implement the design on-chip, by programming EE cells to configure AND and OR gates within the device, according to the desired logic function. Complex interconnections between gates, which previously required time-consuming layout, are lifted from the PC board and placed on silicon, where they can be easily modified during prototyping or production.

The PALCE22V10Z is the zero-power version of the PALCE22V10. It has all the architectural features of the PALCE22V10. In addition, the PALCE22V10Z has zero standby power and unused product term disable.

Product terms with all connections opened assume the logical HIGH state; product terms connected to both true and complement of any single input assume the logical LOW state.

The PALCE22V10 has 12 inputs and 10 I/O macrocells. The macrocell (Figure 1) allows one of four potential output configurations registered output or combinatorial I/O, active high or active low (see Figure 1). The configuration choice is made according to the user's design specification and corresponding programming of the configuration bits S_0 - S_1. Multiplexer controls are connected to ground (0) through a programmable bit, selecting the "0" path through the multiplexer. Erasing the bit disconnects the control line from GND and it is driven to a high level, selecting the "1" path.

The device is produced with an EE cell link at each input to the AND gate array, and connections may be selectively removed by applying appropriate voltages to the circuit. Utilizing an easily-implemented programming algorithm, these products can be rapidly programmed to any customized pattern.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Variable Input/Output Pin Ratio

The PALCE22V10 has twelve dedicated input lines, and each macrocell output can be an I/O pin. Buffers for device inputs have complementary outputs to provide user-programmable input signal polarity. Unused input pins should be tied to V_{CC} or GND.

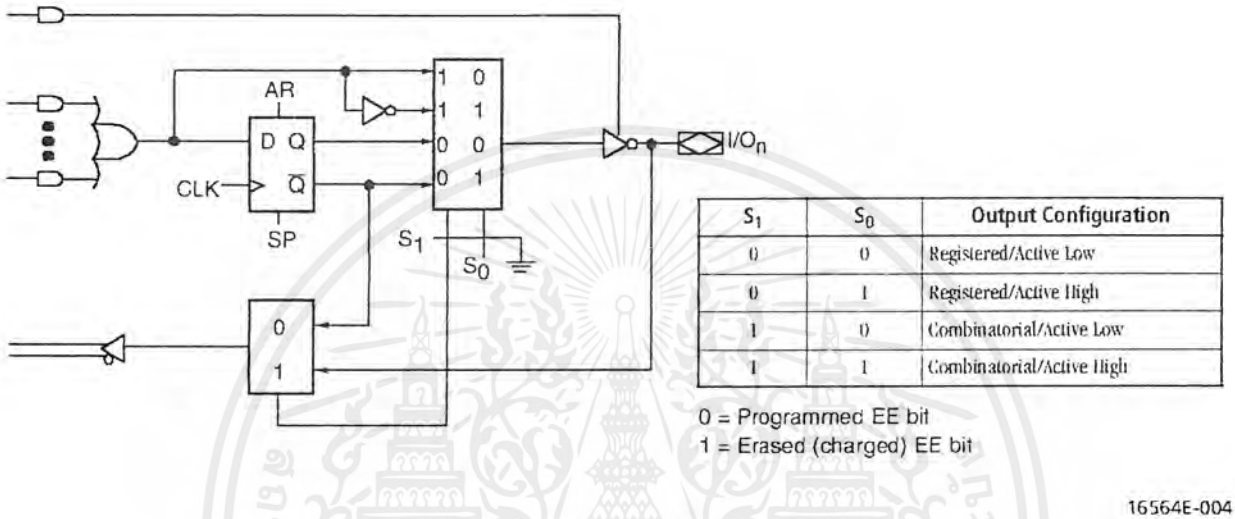


Figure 1. Output Logic Macrocell Diagram

Registered Output Configuration

Each macrocell of the PALCE22V10 includes a D-type flip-flop for data storage and synchronization. The flip-flop is loaded on the LOW-to-HIGH transition of the clock input. In the registered configuration ($S_1 = 0$), the array feedback is from $\overline{Q}$ of the flip-flop.

Combinatorial I/O Configuration

Any macrocell can be configured as combinatorial by selecting the multiplexer path that bypasses the flip-flop ($S_1 = 1$). In the combinatorial configuration, the feedback is from the pin.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

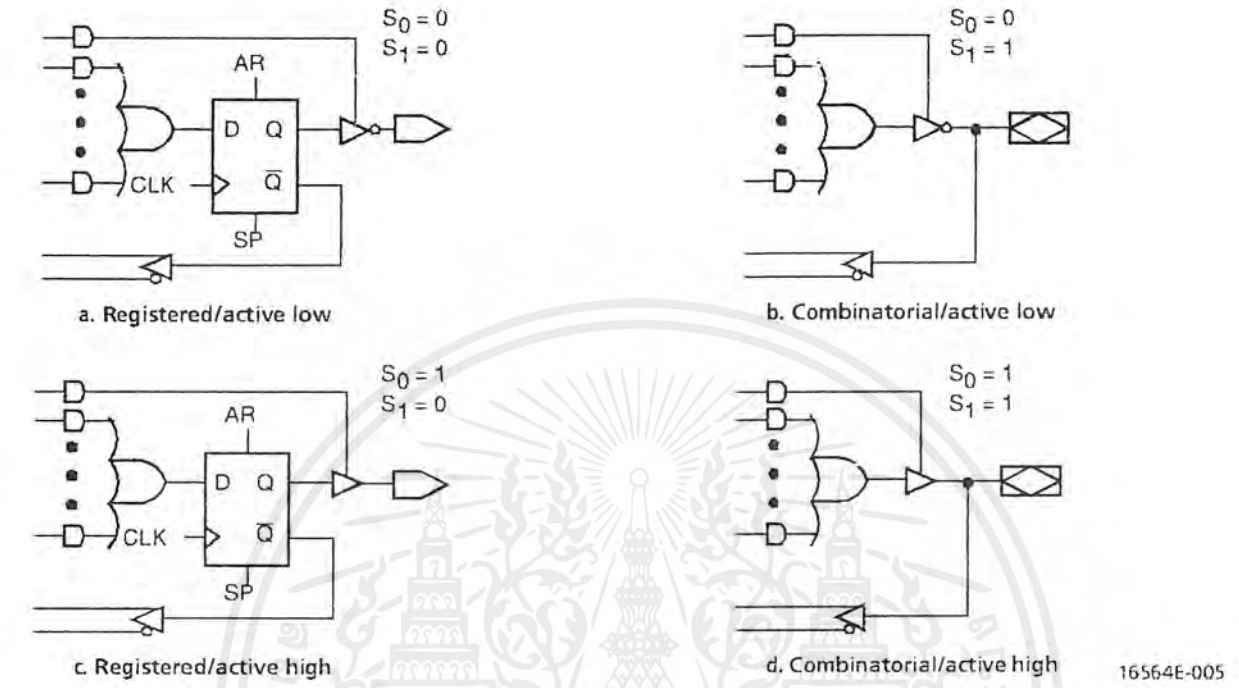


Figure 2. Macrocell Configuration Options

Programmable Three-State Outputs

Each output has a three-state output buffer with three-state control. A product term controls the buffer, allowing enable and disable to be a function of any product of device inputs or output feedback. The combinatorial output provides a bi-directional I/O pin, and may be configured as a dedicated input if the buffer is always disabled.

Programmable Output Polarity

The polarity of each macrocell output can be active high or active low, either to match output signal needs or to reduce product terms. Programmable polarity allows Boolean expressions to be written in their most compact form (true or inverted), and the output can still be of the desired polarity. It can also save "DeMorganizing" efforts.

Selection is controlled by programmable bit S_0 in the output macrocell, and affects both registered and combinatorial outputs. Selection is automatic, based on the design specification and pin definitions. If the pin definition and output equation have the same polarity, the output is programmed to be active high ($S_0 = 1$).

Preset/Reset

For initialization, the PALCE22V10 has preset and reset product terms. These terms are connected to all registered outputs. When the synchronous preset (SP) product term is asserted high, the output registers will be loaded with a HIGH on the next LOW-to-HIGH clock transition. When the asynchronous reset (AR) product term is asserted high, the output registers will be immediately loaded with a LOW independent of the clock.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Note that preset and reset control the flip-flop, not the output pin. The output level is determined by the output polarity selected.

Power-Up Reset

All flip-flops power up to a logic LOW for predictable system initialization. Outputs of the PALCE22V10 will depend on the programmed output polarity. The V_{CC} rise must be monotonic, and the reset delay time is 1000ns maximum.

Register Preload

The register on the PALCE22V10 can be preloaded from the output pins to facilitate functional testing of complex state machine designs. This feature allows direct loading of arbitrary states, making it unnecessary to cycle through long test vector sequences to reach a desired state. In addition, transitions from illegal states can be verified by loading illegal states and observing proper recovery.

Security Bit

After programming and verification, a PALCE22V10 design can be secured by programming the security EE bit. Once programmed, this bit defeats readback of the internal programmed pattern by a device programmer, securing proprietary designs from competitors. When the security bit is programmed, the array will read as if every bit is erased, and preload will be disabled.

The bit can only be erased in conjunction with erasure of the entire pattern.

Programming and Erasing

The PALCE22V10 can be programmed on standard logic programmers. It also may be erased to reset a previously configured device back to its unprogrammed state. Erasure is automatically performed by the programming hardware. No special erase operation is required.

Quality and Testability

The PALCE22V10 offers a very high level of built-in quality. The erasability of the device provides a direct means of verifying performance of all AC and DC parameters. In addition, this verifies complete programmability and functionality of the device to provide the highest programming yields and post-programming functional yields in the industry.

Technology

The high-speed PALCE22V10 is fabricated with Vantis' advanced electrically erasable (EE) CMOS process. The array connections are formed with proven EE cells. Inputs and outputs are designed to be compatible with TTL devices. This technology provides strong input clamp diodes, output slew-rate control, and a grounded substrate for clean switching.

PCI Compliance

The PALCE22V10H devices in the -5/-7/-10 speed grades are fully compliant with the *PCI Local Bus Specification* published by the PCI Special Interest Group. The PALCE22V10H's predictable timing ensures compliance with the PCI AC specifications independent of the design.

Zero-Standby Power Mode

The PALCE22V10Z features a zero-standby power mode. When none of the inputs switch for an extended period (typically 50 ns), the PALCE22V10Z will go into standby mode, shutting down

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

most of its internal circuitry. The current will go to almost zero (I_{CC} < 30 μA). The outputs will maintain the states held before the device went into the standby mode.

When any input switches, the internal circuitry is fully enabled, and power consumption returns to normal. This feature results in considerable power savings for operation at low to medium frequencies. This saving is illustrated in the I_{CC} vs. frequency graph.

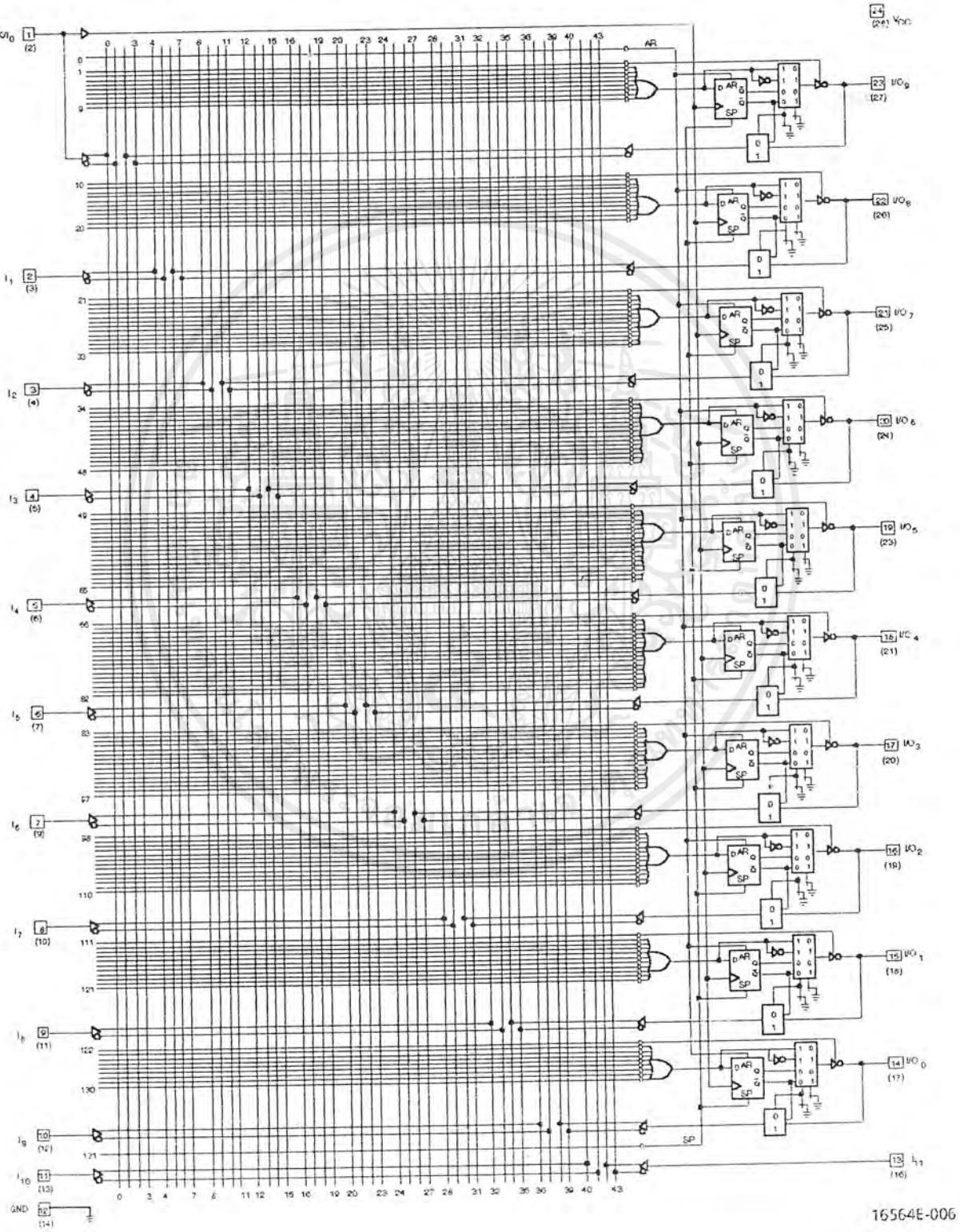
Product-Term Disable

On a programmed PALCE22V10Z, any product terms that are not used are disabled. Power is cut off from these product terms so that they do not draw current. As shown in the I_{CC} vs. frequency graph, product-term disabling results in considerable power savings. This saving is greater at the higher frequencies.

Further hints on minimizing power consumption can be found in a separate document entitled, *Minimizing Power Consumption with Zero-Power PLDs.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC DIAGRAM



16564E-006

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS

Storage Temperature . . . . . -65°C to +150°C

Ambient Temperature with
Power Applied . . . . . -55°C to +125°C

Supply Voltage with
Respect to Ground . . . . . -0.5 V to +7.0 V

DC Input Voltage . . . . . -0.5 V to V_{CC} + 1.0 V

DC Output or I/O Pin Voltage . . . -0.5 V to V_{CC} + 1.0 V

Static Discharge Voltage . . . . . 2001 V

Latchup Current (T_A = 0°C to +75°C) . . . . . 100 mA

Stresses above those listed under Absolute Maximum Ratings may cause permanent device failure. Functionality at or above these limits is not implied. Exposure to Absolute Maximum Ratings for extended periods may affect device reliability. Programming conditions may vary.

OPERATING RANGES

Commercial (C) Devices

Ambient Temperature (T_A)
Operating in Free Air. . . . . 0°C to +75°C

Supply Voltage (V_{CC}) with
Respect to Ground. . . . . +4.75 V to +5.25 V

Operating ranges define those limits between which the functionality of the device is guaranteed.

DC CHARACTERISTICS OVER COMMERCIAL OPERATING RANGES

Parameter Symbol	Parameter Description	Test Conditions	Min	Max	Unit
V_{OH}	Output HIGH Voltage	I_{OH} = -3.2 mA, V_{IN} = V_{IH} or V_{IL}, V_{CC} = Min	2.4		V
V_{OL}	Output LOW Voltage	I_{OL} = 16 mA, V_{IN} = V_{IH} or V_{IL}, V_{CC} = Min		0.4	V
V_{IH}	Input HIGH Voltage	Guaranteed Input Logical HIGH Voltage for all Inputs (Note 1)	2.0		V
V_{IL}	Input LOW Voltage	Guaranteed Input Logical LOW Voltage for all Inputs (Note 1)		0.8	V
I_{IH}	Input HIGH Leakage Current	V_{IN} = V_{CC}, V_{CC} = Max (Note 2)		10	µA
I_{IL}	Input LOW Leakage Current	V_{IN} = 0 V, V_{CC} = Max (Note 2)		-100	µA
I_{OZH}	Off-State Output Leakage Current HIGH	V_{OUT} = V_{CC}, V_{CC} = Max, V_{IN} = V_{IL} or V_{IH} (Note 2)		10	µA
I_{OZL}	Off-State Output Leakage Current LOW	V_{OUT} = 0 V, V_{CC} = Max, V_{IN} = V_{IL} or V_{IH} (Note 2)		-100	µA
I_{SC}	Output Short-Circuit Current	V_{OUT} = 0.5 V, V_{CC} = Max (Note 3)	-30	-130	mA
I_{CC} (Static)	Supply Current	Outputs Open, (I_{OUT} = 0 mA), V_{CC} = Max		125	mA
I_{CC} (Dynamic)	Supply Current	Outputs Open, (I_{OUT} = 0 mA), V_{CC} = Max, f = 25 MHz		140	mA

Notes:

1. *These are absolute values with respect to the device ground, and all overshoots due to system and tester noise are included.*
2. *I/O pin leakage is the worst case of I_{IL} and I_{OZL} (or I_{IH} and I_{OZH}).*
3. *Not more than one output should be tested at a time, and the duration of the short-circuit test should not exceed one second. V_{OUT} = 0.5 V has been chosen to avoid test problems caused by tester ground degradation.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CAPACITANCE [1]

Parameter Symbol	Parameter Description	Test Conditions		Typ	Unit
C_{IN}	Input Capacitance	V_{IN} = 2.0 V	V_{CC} = 5.0 V, T_A = 25°C, f = 1 MHz	5	pF
C_{OUT}	Output Capacitance	V_{OUT} = 2.0 V		8	

Note:

1. *These parameters are not 100% tested, but are evaluated at initial characterization and at any time the design is modified where capacitance may be affected.*

SWITCHING CHARACTERISTICS OVER COMMERCIAL OPERATING RANGES [1]

Parameter Symbol	Parameter Description			-5		Unit
				Min	Max	
t_{PD}	Input or Feedback to Combinatorial Output				5	ns
t_{S1}	Setup Time from Input or Feedback			3		ns
t_{S2}	Setup Time from SP to Clock			4		ns
t_H	Hold Time			0		ns
t_{CO}	Clock to Output				4	ns
t_{SKEWR}	Skew Between Registered Outputs (Note 2)				0.5	ns
t_{AR}	Asynchronous Reset to Registered Output				7.5	ns
t_{ARW}	Asynchronous Reset Width			4.5		ns
t_{ARR}	Asynchronous Reset Recovery Time			4.5		ns
t_{SPR}	Synchronous Preset Recovery Time			4.5		ns
t_{WL}	Clock Width	LOW		2.5		ns
t_{WH}		HIGH		2.5		ns
f_{MAX}	Maximum Frequency (Note 3)	External Feedback	$1/(t_S + t_{CO})$	142.8		MHz
		Internal Feedback (f_{CNT})	$1/(t_S + t_{CF})$ (Note 4)	150		MHz
		No Feedback	$1/(t_{WH} + t_{WL})$	200		MHz
t_{EA}	Input to Output Enable Using Product Term Control				6	ns
t_{ER}	Input to Output Disable Using Product Term Control				5.5	ns

Notes:

1. *See "Switching Test Circuit" for test conditions.*
2. *Skew is measured with all outputs switching in the same direction.*
3. *These parameters are not 100% tested, but are calculated at initial characterization and at any time the design is modified where frequency may be affected.*
4. *t_{CF} is a calculated value and is not guaranteed. t_{CF} can be found using the following equation:*
   $t_{CF} = 1/f_{MAX}$ (internal feedback) - t_S.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS

Storage Temperature . . . . . -65°C to +150°C

Ambient Temperature with
Power Applied . . . . . -55°C to +125°C

Supply Voltage with Respect
to Ground . . . . . -0.5 V to +7.0 V

DC Input Voltage . . . . . -0.5 V to V_{CC} + 1.0 V

DC Output or I/O Pin Voltage . . . -0.5 V to V_{CC} + 1.0 V

Static Discharge Voltage . . . . . 2001 V

Latchup Current (T_A = 0°C to +75°C) . . . . . 100 mA

Stresses above those listed under Absolute Maximum Ratings may cause permanent device failure. Functionality at or above these limits is not implied. Exposure to Absolute Maximum Ratings for extended periods may affect device reliability. Programming conditions may vary.

OPERATING RANGES

Commercial (C) Devices

Ambient Temperature (T_A)
Operating in Free Air . . . . . 0°C to +75°C

Supply Voltage (V_{CC}) with
Respect to Ground . . . . . +4.75 V to +5.25 V

Operating ranges define those limits between which the functionality of the device is guaranteed.

DC CHARACTERISTICS OVER COMMERCIAL OPERATING RANGES

Symbol	Parameter Description	Test Conditions	Min	Max	Unit
V_{OH}	Output HIGH Voltage	I_{OH} = -3.2 mA, V_{IN} = V_{IH} or V_{IL}, V_{CC} = Min	2.4		V
V_{OL}	Output LOW Voltage	I_{OL} = 16 mA, V_{IN} = V_{IH} or V_{IL}, V_{CC} = Min		0.4	V
V_{IH}	Input HIGH Voltage	Guaranteed Input Logical HIGH Voltage for all Inputs (Note 1)	2.0		V
V_{IL}	Input LOW Voltage	Guaranteed Input Logical LOW Voltage for all Inputs (Note 1)		0.8	V
I_{IH}	Input HIGH Leakage Current	V_{IN} = V_{CC}, V_{CC} = Max (Note 2)		10	µA
I_{IL}	Input LOW Leakage Current	V_{IN} = 0 V, V_{CC} = Max (Note 2)		-100	µA
I_{OZH}	Off-State Output Leakage Current HIGH	V_{OUT} = V_{CC}, V_{CC} = Max, V_{IN} = V_{IL} or V_{IH} (Note 2)		10	µA
I_{OZL}	Off-State Output Leakage Current LOW	V_{OUT} = 0 V, V_{CC} = Max, V_{IN} = V_{IL} or V_{IH} (Note 2)		-100	µA
I_{SC}	Output Short-Circuit Current	V_{OUT} = 0.5 V, VCC = Max T_A = 25°C (Note 3)	-30	-130	mA
I_{CC} (Static)	Supply Current	Outputs Open, (I_{OUT} = 0 mA), V_{CC} = Max		115	mA
I_{CC} (Dynamic)	Supply Current	Outputs Open, (I_{OUT} = 0 mA), V_{CC} = Max, f = 25 MHz		140	mA

Notes:

1. *These are absolute values with respect to the device ground, and all overshoots due to system and tester noise are included.*
2. *I/O pin leakage is the worst case of I_{IL} and I_{OZL} (or I_{IH} and I_{OZH}).*
3. *Not more than one output should be tested at a time. Duration of the short-circuit test should not exceed one second. V_{OUT} = 0.5 V has been chosen to avoid test problems caused by tester ground degradation.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CAPACITANCE [1]

Parameter Symbol	Parameter Description	Test Conditions		Typ	Unit
C_{IN}	Input Capacitance	V_{IN} = 2.0 V	V_{CC} = 5.0 V, T_A = 25°C, f = 1 MHz	5	pF
C_{OUT}	Output Capacitance	V_{OUT} = 2.0 V		8	

Note:

1. *These parameters are not 100% tested, but are evaluated at initial characterization and at any time the design is modified where capacitance may be affected.*

SWITCHING CHARACTERISTICS OVER COMMERCIAL OPERATING RANGES [1]

Parameter Symbol	Parameter Description			-7				Unit
				PDIP		PLCC		
				Min	Max	Min	Max	
t_{PD}	Input or Feedback to Combinatorial Output			3	7.5	3	7.5	ns
t_{S1}	Setup Time from Input or Feedback			5		4.5		ns
t_{S2}	Setup Time from SP to Clock			6		6		ns
t_H	Hold Time			0		0		ns
t_{CO}	Clock to Output			2	5	2	4.5	ns
t_{SKEW}	Skew Between Registered Outputs (Note 2)				1		1	ns
t_{AR}	Asynchronous Reset to Registered Output				10		10	ns
t_{ARW}	Asynchronous Reset Width			7		7		ns
t_{ARR}	Asynchronous Reset Recovery Time			7		7		ns
t_{SPR}	Synchronous Preset Recovery Time			7		7		ns
t_{WL}	Clock Width	LOW		3.5		3.0		ns
t_{WH}		HIGH		3.5		3.0		ns
f_{MAX}	Maximum Frequency (Note 3)	External Feedback	$1/(t_S + t_{CO})$	100		111		MHz
		Internal Feedback (f_{CNT})	$1/(t_S + t_{CF})$ (Note 4)	125		133		MHz
		No Feedback	$1/(t_{WH} + t_{WL})$	142.8		166		MHz
t_{EA}	Input to Output Enable Using Product Term Control				7.5		7.5	ns
t_{ER}	Input to Output Disable Using Product Term Control				7.5		7.5	ns

Notes:

1. *See "Switching Test Circuit" for test conditions.*
2. *Skew is measured with all outputs switching in the same direction.*
3. *These parameters are not 100% tested, but are calculated at initial characterization and at any time the design is modified where frequency may be affected.*
4. *t_{CF} is a calculated value and is not guaranteed. t_{CF} can be found using the following equation:*
   $t_{CF} = 1/f_{MAX}$ (internal feedback) - t_S.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS

Storage Temperature . . . . . -65°C to +150°C

Ambient Temperature with
Power Applied . . . . . -55°C to +125°C

Supply Voltage with Respect
to Ground . . . . . -0.5 V to +7.0 V

DC Input Voltage . . . . . -0.5 V to V_{CC} + 1.0 V

DC Output or I/O Pin Voltage . . . -0.5 V to V_{CC} + 1.0 V

Static Discharge Voltage . . . . . 2001 V

Latchup Current (T_A = 0°C to +75°C) . . . . . 100 mA

Stresses above those listed under Absolute Maximum Ratings may cause permanent device failure. Functionality at or above these limits is not implied. Exposure to absolute maximum ratings for extended periods may affect device reliability. Programming conditions may vary.

OPERATING RANGES

Commercial (C) Devices

Ambient Temperature (T_A)
Operating in Free Air . . . . . 0°C to +75°C

Supply Voltage (V_{CC}) with
Respect to Ground . . . . . +4.75 V to +5.25 V

Operating ranges define those limits between which the functionality of the device is guaranteed.

DC CHARACTERISTICS OVER COMMERCIAL OPERATING RANGES

Parameter Symbol	Parameter Description	Test Conditions	Min	Max	Unit
V_{OH}	Output HIGH Voltage	I_{OH} = -3.2 mA, V_{IN} = V_{IH} or V_{IL}, V_{CC} = Min	2.4		V
V_{OL}	Output LOW Voltage	I_{OL} = 16 mA, V_{IN} = V_{IH} or V_{IL}, V_{CC} = Min		0.4	V
V_{IH}	Input HIGH Voltage	Guaranteed Input Logical HIGH Voltage for all Inputs (Note 1)	2.0		V
V_{IL}	Input LOW Voltage	Guaranteed Input Logical LOW Voltage for all Inputs (Note 1)		0.8	V
I_{IH}	Input HIGH Leakage Current	V_{IN} = V_{CC}, V_{CC} = Max (Note 2)		10	µA
I_{IL}	Input LOW Leakage Current	V_{IN} = 0 V, V_{CC} = Max (Note 2)		-100	µA
I_{OZH}	Off-State Output Leakage Current HIGH	V_{OUT} = V_{CC}, V_{CC} = Max, V_{IN} = V_{IL} or V_{IH} (Note 2)		10	µA
I_{OZL}	Off-State Output Leakage Current LOW	V_{OUT} = 0 V, V_{CC} = Max V_{IN} = V_{IL} or V_{IH} (Note 2)		-100	µA
I_{SC}	Output Short-Circuit Current	V_{OUT} = 0.5 V, V_{CC} = Max T_A = 25°C (Note 3)	-30	-130	mA
I_{CC} (Dynamic)	Supply Current	Outputs Open, (I_{OUT} = 0 mA), V_{CC} = Max, f = 25 MHz		120	mA

Notes:

1. *These are absolute values with respect to the device ground, and all overshoots due to system and tester noise are included.*
2. *I/O pin leakage is the worst case of I_{IL} and I_{OZL} (or I_{IH} and I_{OZH}).*
3. *Not more than one output should be tested at a time. Duration of the short-circuit test should not exceed one second. V_{OUT} = 0.5 V has been chosen to avoid test problems caused by tester ground degradation.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CAPACITANCE [1]

Parameter Symbol	Parameter Description	Test Conditions		Typ	Unit
C_{IN}	Input Capacitance	V_{IN} = 2.0 V	V_{CC} = 5.0 V, T_A = 25°C, f = 1 MHz	5	pF
C_{OUT}	Output Capacitance	V_{OUT} = 2.0 V		8	

Note:

1. *These parameters are not 100% tested, but are evaluated at initial characterization and at any time the design is modified where capacitance may be affected.*

SWITCHING CHARACTERISTICS OVER COMMERCIAL OPERATING RANGES [1]

Parameter Symbol	Parameter Description			-10 Min	-10 Max	Unit
t_{PD}	Input or Feedback to Combinatorial Output				10	ns
t_{S1}	Setup Time from Input or Feedback			6		ns
t_{S2}	Setup Time from SP to Clock			7		ns
t_H	Hold Time			0		ns
t_{CO}	Clock to Output				6	ns
t_{AR}	Asynchronous Reset to Registered Output				13	ns
t_{ARW}	Asynchronous Reset Width			8		ns
t_{ARR}	Asynchronous Reset Recovery Time			8		ns
t_{SPR}	Synchronous Preset Recovery Time			8		ns
t_{WL}	Clock Width	LOW		4		ns
t_{WH}		HIGH		4		ns
f_{MAX}	Maximum Frequency (Note 2)	External Feedback	$1/(t_S + t_{CO})$	83.3		MHz
		Internal Feedback (f_{CNT})	$1/(t_S + t_{CF})$ (Note 3)	110		MHz
		No Feedback	$1/(t_{WH} + t_{WL})$	125		MHz
t_{EA}	Input to Output Enable Using Product Term Control				10	ns
t_{ER}	Input to Output Disable Using Product Term Control				9	ns

Notes:

1. *See "Switching Test Circuit" for test conditions.*
2. *These parameters are not 100% tested, but are calculated at initial characterization and at any time the design is modified where frequency may be affected.*
3. *t_{CF} is a calculated value and is not guaranteed. t_{CY} can be found using the following equation:*
   $t_{CY} = 1/f_{MAX}$ (internal feedback) - t_S.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS

Storage Temperature . . . . . -65°C to +150°C

Ambient Temperature with Power Applied . . . . . -55°C to +125°C

Supply Voltage with Respect to Ground . . . . . -0.5 V to +7.0 V

DC Input Voltage . . . . . -0.5 V to V_{CC} + 1.0 V

DC Output or I/O Pin Voltage . . . . . -0.5 V to V_{CC} + 1.0 V

Static Discharge Voltage . . . . . 2001 V

Latchup Current (T_A = 0°C to +75°C) . . . . . 100 mA

Stresses above those listed under Absolute Maximum Ratings may cause permanent device failure. Functionality at or above these limits is not implied. Exposure to Absolute Maximum Ratings for extended periods may affect device reliability. Programming conditions may vary.

OPERATING RANGES

Commercial (C) Devices

Ambient Temperature (T_A) Operating in Free Air . . . . . 0°C to +75°C

Supply Voltage (V_{CC}) with Respect to Ground . . . . . +4.75 V to +5.25 V

Operating ranges define those limits between which the functionality of the device is guaranteed.

DC CHARACTERISTICS OVER COMMERCIAL OPERATING RANGES

Parameter Symbol	Parameter Description	Test Conditions	Min	Max	Unit
V_{OH}	Output HIGH Voltage	I_{OH} = -3.2 mA, V_{IN} = V_{IH} or V_{IL}, V_{CC} = Min	2.4		V
V_{OL}	Output LOW Voltage	I_{OL} = 16 mA, V_{IN} = V_{IH} or V_{IL}, V_{CC} = Min		0.4	V
V_{IH}	Input HIGH Voltage	Guaranteed Input Logical HIGH Voltage for all Inputs (Note 1)	2.0		V
V_{IL}	Input LOW Voltage	Guaranteed Input Logical LOW Voltage for all Inputs (Note 1)		0.8	V
I_{IH}	Input HIGH Leakage Current	V_{IN} = V_{CC}, V_{CC} = Max (Note 2)		10	µA
I_{IL}	Input LOW Leakage Current	V_{IN} = 0 V, V_{CC} = Max (Note 2)		-100	µA
I_{OZH}	Off-State Output Leakage Current HIGH	V_{OUT} = V_{CC}, V_{CC} = Max, V_{IN} = V_{IL} or V_{IH} (Note 2)		10	µA
I_{OZL}	Off-State Output Leakage Current LOW	V_{OUT} = 0 V, V_{CC} = Max, V_{IN} = V_{IL} or V_{IH} (Note 2)		-100	µA
I_{SC}	Output Short-Circuit Current	V_{OUT} = 0.5 V, V_{CC} = 5 V, T_A = 25°C (Note 3)	-30	-130	mA
I_{CC} (Static)	Supply Current	V_{IN} = 0 V, Outputs Open (I_{OUT} = 0mA), V_{CC} = Max (Note 4)		55	mA

Notes:

1. *These are absolute values with respect to the device ground, and all overshoots due to system and tester noise are included.*
2. *I/O pin leakage is the worst case of I_{IL} and I_{OZL} (or I_{IH} and I_{OZH}).*
3. *Not more than one output should be tested at a time, and the duration of the short-circuit test should not exceed one second. V_{OUT} = 0.5 V has been chosen to avoid test problems caused by tester ground degradation.*
4. *This parameter is guaranteed worst case under test condition. Refer to the I_{CC} vs. frequency graph for typical I_{CC} characteristics.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CAPACITANCE [1]

Parameter Symbol	Parameter Description	Test Conditions		Typ	Unit
C_{IN}	Input Capacitance	V_{IN} = 2.0 V	V_{CC} = 5.0 V, T_A = 25°C, f = 1 MHz	5	pF
C_{OUT}	Output Capacitance	V_{OUT} = 2.0 V		8	

Note:

1. *These parameters are not 100% tested, but are evaluated at initial characterization and at any time the design is modified where capacitance may be affected.*

SWITCHING CHARACTERISTICS OVER COMMERCIAL OPERATING RANGES [1]

Parameter Symbol	Parameter Description			-10 Min	-10 Max	Unit
t_{PD}	Input or Feedback to Combinatorial Output				10	ns
t_S	Setup Time from Input, Feedback or SP to Clock			6		ns
t_H	Hold Time			0		ns
t_{CO}	Clock to Output				6	ns
t_{AR}	Asynchronous Reset to Registered Output				15	ns
t_{ARW}	Asynchronous Reset Width			8		ns
t_{ARR}	Asynchronous Reset Recovery Time			8		ns
t_{SPR}	Synchronous Preset Recovery Time			8		ns
t_{WL}	Clock Width	LOW		4		ns
t_{WH}		HIGH		4		ns
f_{MAX}	Maximum Frequency (Note 2)	External Feedback	$1/(t_S + t_{CO})$	83		MHz
		Internal Feedback (f_{CNT})	$1/(t_S + t_{CF})$ (Note 3)	110		MHz
		No Feedback	$1/(t_{WH} + t_{WL})$	125		MHz
t_{EA}	Input to Output Enable Using Product Term Control				10	ns
t_{ER}	Input to Output Disable Using Product Term Control				9	ns

Notes:

1. *See "Switching Test Circuit" for test conditions.*
2. *These parameters are not 100% tested, but are calculated at initial characterization and at any time the design is modified where frequency may be affected.*
3. *t_{CF} is a calculated value and is not guaranteed. t_{CF} can be found using the following equation:*
   $t_{CF} = 1/f_{MAX}$ (internal feedback) - t_S.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS

Storage Temperature . . . . . -65°C to +150°C

Ambient Temperature with Power Applied . . . . . -55°C to +125°C

Supply Voltage with Respect to Ground . . . . . -0.5 V to +7.0 V

DC Input Voltage . . . . . -0.5 V to V_{CC} + 0.5 V

DC Output or I/O Pin Voltage . . . . . -0.5 V to V_{CC} + 0.5 V

Static Discharge Voltage . . . . . 2001 V

Latchup Current (T_A = 0°C to +75°C) . . . . . 100 mA

Stresses above those listed under Absolute Maximum Ratings may cause permanent device failure. Functionality at or above these limits is not implied. Exposure to Absolute Maximum Ratings for extended periods may affect device reliability. Programming conditions may vary.

OPERATING RANGES

Commercial (C) Devices

Ambient Temperature (T_A) Operating in Free Air . . . . . 0°C to +75°C

Supply Voltage (V_{CC}) with Respect to Ground (H/Q-15) . . . . . +4.75 V to +5.25 V

Supply Voltage (V_{CC}) with Respect to Ground (H/Q-25) . . . . . +4.5 V to +5.5 V

Operating ranges define those limits between which the functionality of the device is guaranteed.

DC CHARACTERISTICS OVER COMMERCIAL OPERATING RANGES

Parameter Symbol	Parameter Description	Test Conditions		Min	Max	Unit
V_{OH}	Output HIGH Voltage	I_{OH} = -3.2 mA, V_{IN} = V_{IH} or V_{IL}, V_{CC} = Min		2.4		V
V_{OL}	Output LOW Voltage	I_{OL} = 16 mA, V_{IN} = V_{IH} or V_{IL}, V_{CC} = Min			0.4	V
V_{IH}	Input HIGH Voltage	Guaranteed Input Logical HIGH Voltage for all Inputs (Note 1)		2.0		V
V_{IL}	Input LOW Voltage	Guaranteed Input Logical LOW Voltage for all Inputs (Note 1)			0.8	V
I_{IH}	Input HIGH Leakage Current	V_{IN} = V_{CC}, V_{CC} = Max (Note 2)			10	µA
I_{IL}	Input LOW Leakage Current	V_{IN} = 0 V, V_{CC} = Max (Note 2)			-100	µA
I_{OZH}	Off-State Output Leakage Current HIGH	V_{OUT} = V_{CC}, V_{CC} = Max, V_{IN} = V_{IL} or V_{IH} (Note 2)			10	µA
I_{OZL}	Off-State Output Leakage Current LOW	V_{OUT} = 0 V, V_{CC} = Max, V_{IN} = V_{IL} or V_{IH} (Note 2)			-100	µA
I_{SC}	Output Short-Circuit Current	V_{OUT} = 0.5 V, V_{CC} = 5 V, T_A = 25°C (Note 3)		-30	-130	mA
I_{CC}	Supply Current	V_{IN} = 0 V, Outputs Open (I_{OUT} = 0 mA), V_{CC} = Max	H		90	mA
			Q		55	

Notes:

1. *These are absolute values with respect to the device ground, and all overshoots due to system and tester noise are included.*
2. *I/O pin leakage is the worst case of I_{IL} and I_{OZL} (or I_{IH} and I_{OZH}).*
3. *Not more than one output should be tested at a time, and the duration of the short-circuit test should not exceed one second. V_{OUT} = 0.5 V has been chosen to avoid test problems caused by tester ground degradation.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CAPACITANCE [1]

Parameter Symbol	Parameter Description	Test Conditions		Typ	Unit
C_{IN}	Input Capacitance	V_{IN} = 2.0 V	V_{CC} = 5.0 V, T_A = 25°C, f = 1 MHz	5	pF
C_{OUT}	Output Capacitance	V_{OUT} = 2.0 V		8	

Note:

1. These parameters are not 100% tested, but are evaluated at initial characterization and at any time the design is modified where capacitance may be affected.

SWITCHING CHARACTERISTICS OVER COMMERCIAL OPERATING RANGES [1]

Parameter Symbol	Parameter Description			-15		-25		Unit
				Min	Max	Min	Max	
t_{PD}	Input or Feedback to Combinatorial Output				15		25	ns
t_S	Setup Time from Input, Feedback or SP to Clock			10		15		ns
t_H	Hold Time			0		0		ns
t_{CO}	Clock to Output				10		15	ns
t_{AR}	Asynchronous Reset to Registered Output				20		25	ns
t_{ARW}	Asynchronous Reset Width			15		25		ns
t_{ARR}	Asynchronous Reset Recovery Time			10		25		ns
t_{SPR}	Synchronous Preset Recovery Time			10		25		ns
t_{WL}	Clock Width	LOW		8		13		ns
t_{WH}		HIGH		8		13		ns
f_{MAX}	Maximum Frequency (Note 2)	External Feedback	$1/(t_S + t_{CO})$	50		33.3		MHz
		Internal Feedback (f_{CNT})	$1/(t_S + t_{CF})$ (Note 3)	58.8		35.7		MHz
t_{EA}	Input to Output Enable Using Product Term Control				15		25	ns
t_{ER}	Input to Output Disable Using Product Term Control				15		25	ns

Notes:

1. See "Switching Test Circuit" for test conditions.

2. These parameters are not 100% tested, but are evaluated at initial characterization and at any time the design is modified where frequency may be affected.

3. t_{CF} is a calculated value and is not guaranteed. t_{CF} can be found using the following equation: $t_{CF} = 1/f_{MAX}$ (internal feedback) - t_S.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS

Storage Temperature . . . . . -65°C to +150°C

Ambient Temperature with Power Applied . . . . . -55°C to +125°C

Supply Voltage with Respect to Ground . . . . . -0.5 V to +7.0 V

DC Input Voltage . . . . . -0.5 V to V_{CC} + 0.5 V

DC Output or I/O Pin Voltage . . . . . -0.5 V to V_{CC} + 0.5 V

Static Discharge Voltage . . . . . 2001 V

Latchup Current (T_A = -40°C to +85°C) . . . . . 100 mA

Stresses above those listed under Absolute Maximum Ratings may cause permanent device failure. Functionality at or above these limits is not implied. Exposure to Absolute Maximum Ratings for extended periods may affect device reliability. Programming conditions may vary.

OPERATING RANGES

Industrial (I) Devices

Ambient Temperature (T_A) Operating in Free Air . . . . . -40°C to +85°C

Supply Voltage (V_{CC}) with Respect to Ground . . . . . +4.5 V to +5.5 V

Operating ranges define those limits between which the functionality of the device is guaranteed.

DC CHARACTERISTICS OVER INDUSTRIAL OPERATING RANGES

Parameter Symbol	Parameter Description		Test Conditions	Min	Max	Unit
V_{OH}	Output HIGH Voltage		I_{OH} = -3.2 mA, V_{IN} = V_{IH} or V_{IL}, V_{CC} = Min	2.4		V
V_{OL}	Output LOW Voltage		I_{OL} = 16 mA, V_{IN} = V_{IH} or V_{IL}, V_{CC} = Min		0.4	V
V_{IH}	Input HIGH Voltage		Guaranteed Input Logical HIGH Voltage for all Inputs (Note 1)	2.0		V
V_{IL}	Input LOW Voltage		Guaranteed Input Logical LOW Voltage for all Inputs (Note 1)		0.8	V
I_{IH}	Input HIGH Leakage Current		V_{IN} = V_{CC}, V_{CC} = Max (Note 2)		10	µA
I_{IL}	Input LOW Leakage Current		V_{IN} = 0 V, V_{CC} = Max (Note 2)		-100	µA
I_{OZH}	Off-State Output Leakage Current HIGH		V_{OUT} = V_{CC}, V_{CC} = Max, V_{IN} = V_{IL} or V_{IH} (Note 2)		10	µA
I_{OZL}	Off-State Output Leakage Current LOW		V_{OUT} = 0 V, V_{CC} = Max, V_{IN} = V_{IL} or V_{IH} (Note 2)		-100	µA
I_{SC}	Output Short-Circuit Current		V_{OUT} = 0.5 V, V_{CC} = 5 V, T_A = 25°C (Note 3)	-30	-130	mA
I_{CC} (Static)	Supply Current	H-20/25	V_{IN} = 0 V, Outputs Open (I_{OUT} = 0 mA), V_{CC} = Max		100	mA
		H-10/15			110	
I_{CC} (Dynamic)	Supply Current		V_{IN} = 0 V, Outputs Open (I_{OUT} = 0 mA), V_{CC} = Max, f = 15 MHz		130	mA

Notes:

1. *These are absolute values with respect to the device ground, and all overshoots due to system and tester noise are included.*
2. *I/O pin leakage is the worst case of I_{IL} and I_{OZL} (or I_{IH} and I_{OZH}).*
3. *Not more than one output should be tested at a time, and the duration of the short-circuit test should not exceed one second. V_{OUT} = 0.5 V has been chosen to avoid test problems caused by tester ground degradation.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CAPACITANCE [1]

Parameter Symbol	Parameter Description	Test Conditions		Typ	Unit
C_{IN}	Input Capacitance	V_{IN} = 2.0 V	V_{CC} = 5.0 V, T_A = 25°C, f = 1 MHz	5	pF
C_{OUT}	Output Capacitance	V_{OUT} = 2.0 V		8	

Note:

1. These parameters are not 100% tested, but are evaluated at initial characterization and at any time the design is modified where capacitance may be affected.

SWITCHING CHARACTERISTICS OVER INDUSTRIAL OPERATING RANGES [1]

Parameter Symbol	Parameter Description			-10		-15		-20		-25		Unit
				Min	Max	Min	Max	Min	Max	Min	Max	
t_{PD}	Input or Feedback to Combinatorial Output				10		15		20		25	ns
t_S	Setup Time from Input, Feedback or SP to Clock			7		10		12		15		ns
t_H	Hold Time			0		0		0		0		ns
t_{CO}	Clock to Output				6		10		12		15	ns
t_{AR}	Asynchronous Reset to Registered Output				13		20		25		25	ns
t_{ARW}	Asynchronous Reset Width			8		15		20		25		ns
t_{ARR}	Asynchronous Reset Recovery Time			8		10		20		25		ns
t_{SPR}	Synchronous Preset Recovery Time			8			10		14	25		ns
t_{WL}	Clock Width	LOW		4		8		10		13		ns
t_{WH}		HIGH		4		8		10		13		ns
f_{MAX}	Maximum Frequency (Note 2)	External Feedback	$1/(t_S + t_{CO})$	83.3		50		41.6		33.3		MHz
		Internal Feedback (f_{CNT})	$1/(t_S + t_{CF})$ (Note 3)	110		58.8		45.4		35.7		MHz
		No Feedback	$1/(t_{WH} + t_{WL})$	125		83.3		50		38.5		MHz
t_{EA}	Input to Output Enable Using Product Term Control				10		15		20		25	ns
t_{ER}	Input to Output Disable Using Product Term Control				9		15		20		25	ns

Notes:

1. See "Switching Test Circuit" for test conditions.

2. These parameters are not 100% tested, but are calculated at initial characterization and at any time the design is modified where frequency may be affected.

3. t_{CF} is a calculated value and is not guaranteed. t_{CF} can be found using the following equation:
$t_{CF} = 1/f_{MAX}$ (internal feedback) - t_S.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS

Storage Temperature . . . . . -65°C to +150°C

Ambient Temperature with Power Applied . . . . . -55°C to +125°C

Supply Voltage with Respect to Ground . . . . . -0.5 V to +7.0 V

DC Input Voltage . . . . . -0.5 V to V_{CC} + 0.5 V

DC Output or I/O Pin Voltage . . . . . -0.5 V to V_{CC} + 0.5 V

Static Discharge Voltage . . . . . 2001 V

Latchup Current (T_A = -40°C to +85°C) . . . . . 100 mA

Stresses above those listed under Absolute Maximum Ratings may cause permanent device failure. Functionality at or above these limits is not implied. Exposure to Absolute Maximum Ratings for extended periods may affect device reliability. Programming conditions may differ.

OPERATING RANGES

Industrial (I) Devices

Ambient Temperature (T_A) . . . . . -40°C to +85°C

Supply Voltage (V_{CC}) with Respect to Ground . . . . . +4.5 V to +5.5 V

Operating ranges define those limits between which the functionality of the device is guaranteed.

DC CHARACTERISTICS OVER INDUSTRIAL OPERATING RANGES

Parameter Symbol	Parameter Description	Test Conditions		Min	Max	Unit
V_{OH}	Output HIGH Voltage	$V_{IN} = V_{IH}$ or V_{IL}	I_{OH} = -6 mA	3.84		V
		V_{CC} = Min	I_{OH} = -20 µA	V_{CC}-0.1		V
V_{OL}	Output LOW Voltage	$V_{IN} = V_{IH}$ or V_{IL} V_{CC} = Min	I_{OL} = 16 mA		0.5	V
			I_{OL} = 6 mA		0.33	V
			I_{OL} = 20 µA		0.1	V
V_{IH}	Input HIGH Voltage	Guaranteed Input Logical HIGH Voltage for all Inputs (Notes 1, 2)		2.0		V
V_{IL}	Input LOW Voltage	Guaranteed Input Logical LOW Voltage for all Inputs (Notes 1, 2)			0.9	V
I_{IH}	Input HIGH Leakage Current	$V_{IN} = V_{CC}$; V_{CC} = Max (Note 3)			10	µA
I_{IL}	Input LOW Leakage Current	V_{IN} = 0 V; V_{CC} = Max (Note 3)			-10	µA
I_{OZH}	Off-State Output Leakage Current HIGH	$V_{OUT} = V_{CC}$; V_{CC} = Max $V_{IN} = V_{IH}$ or V_{IL} (Note 3)			10	µA
I_{OZL}	Off-State Output Leakage Current LOW	V_{OUT} = 0 V; V_{CC} = Max $V_{IN} = V_{IH}$ or V_{IL} (Note 3)			-10	µA
I_{SC}	Output Short-Circuit Current	V_{OUT} = 0.5 V; V_{CC} = Max (Note 4)		-5	-150	mA
I_{CC}	Supply Current	Outputs Open (I_{OUT} = 0 mA) V_{CC} = Max	f = 0 MHz		30	µA
			f = 15 MHz		100	mA

Notes:

1. *These are absolute values with respect to device ground, and all overshoots due to system or tester noise are included.*
2. *Represents the worst case of TTL and TTL standards, allowing compatibility with either.*
3. *I/O pin leakage is the worst case of I_{IL} and I_{OZL} (or I_{IH} and I_{OZH}).*
4. *Not more than one output should be shorted at a time, and the duration of the short-circuit should not exceed one second. V_{OUT} = 0.5 V has been chosen to avoid test problems caused by tester ground degradation.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CAPACITANCE [1]

Parameter Symbol	Parameter Description	Test Conditions		Typ	Unit
C_{IN}	Input Capacitance	V_{IN} = 2.0 V	V_{CC} = 5.0 V, T_A = 25°C, f = 1 MHz	5	pF
C_{OUT}	Output Capacitance	V_{OUT} = 2.0 V		8	

Note:

1. These parameters are not 100% tested, but are evaluated at initial characterization and at any time the design is modified where capacitance may be affected.

SWITCHING CHARACTERISTICS OVER INDUSTRIAL OPERATING RANGES [1]

Parameter Symbol	Parameter Description			-15		Unit
				Min	Max	
t_{PD}	Input or Feedback to Combinatorial Output				15	ns
t_S	Setup Time from Input, Feedback or SP to Clock			10		ns
t_H	Hold Time			0		ns
t_{CO}	Clock to Output				10	ns
t_{AR}	Asynchronous Reset to Registered Output				20	ns
t_{ARW}	Asynchronous Reset Width			15		ns
t_{ARR}	Asynchronous Reset Recovery Time			10		ns
t_{SPR}	Synchronous Preset Recovery Time			10		ns
t_{WL}	Clock Width	LOW		8		ns
t_{WH}		HIGH		8		ns
f_{MAX}	Maximum Frequency (Note 2)	External Feedback	$1/(t_S + t_{CO})$	50		MHz
		Internal Feedback (f_{CNT})	$1/(t_S + t_{CF})$ (Note 3)	58.8		MHz
		No Feedback	$1/(t_{WH} + t_{WL})$	62.5		MHz
t_{EA}	Input to Output Enable Using Product Term Control				15	ns
t_{ER}	Input to Output Disable Using Product Term Control				15	ns

Notes:

1. See "Switching Test Circuit" for test conditions.

2. These parameters are not 100% tested, but are evaluated at initial characterization and at any time the design is modified where frequency may be affected.

3. t_{CF} is a calculated value and is not guaranteed. t_{CF} can be found using the following equation:
$t_{CF} = 1/f_{MAX}$ (internal feedback) - t_S

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS

Storage Temperature . . . . . -65°C to +150°C

Ambient Temperature with Power Applied . . . . . -55°C to +125°C

Supply Voltage with Respect to Ground . . . . . -0.5 V to +7.0 V

DC Input Voltage . . . . . -0.5 V to V_{CC} + 0.5 V

DC Output or I/O Pin Voltage . . . . . -0.5 V to V_{CC} + 0.5 V

Static Discharge Voltage . . . . . 2001 V

Latchup Current (T_A = -40°C to +85°C) . . . . . 100 mA

Stresses above those listed under Absolute Maximum Ratings may cause permanent device failure. Functionality at or above these limits is not implied. Exposure to Absolute Maximum Ratings for extended periods may affect device reliability. Programming conditions may differ.

OPERATING RANGES

Commercial (C) Devices

Ambient Temperature (T_A) . . . . . 0°C to +75°C

Supply Voltage (V_{CC}) with Respect to Ground . . . . . +4.75 V to +5.25 V

Industrial (I) Devices

Ambient Temperature (T_A) . . . . . -40°C to +85°C

Supply Voltage (V_{CC}) with Respect to Ground . . . . . +4.5 V to +5.5 V

Operating ranges define those limits between which the functionality of the device is guaranteed.

DC CHARACTERISTICS OVER COMMERCIAL AND INDUSTRIAL OPERATING RANGES

Parameter Symbol	Parameter Description	Test Conditions		Min	Max	Unit
V_{OH}	Output HIGH Voltage	$V_{IN} = V_{IH}$ or V_{IL}, V_{CC} = Min	I_{OH} = -6 mA	3.84		V
			I_{OH} = -20 µA	V_{CC}-0.1		V
V_{OL}	Output LOW Voltage	$V_{IN} = V_{IH}$ or V_{IL}, V_{CC} = Min	I_{OL} = 16 mA		0.5	V
			I_{OL} = 6 mA		0.33	V
			I_{OL} = 20 µA		0.1	V
V_{IH}	Input HIGH Voltage	Guaranteed Input Logical HIGH Voltage for all Inputs (Notes 1, 2)		2.0		V
V_{IL}	Input LOW Voltage	Guaranteed Input Logical LOW Voltage for all Inputs (Notes 1, 2)			0.9	V
I_{IH}	Input HIGH Leakage Current	$V_{IN} = V_{CC}$, V_{CC} = Max (Note 3)			10	µA
I_{IL}	Input LOW Leakage Current	V_{IN} = 0 V, V_{CC} = Max (Note 3)			-10	µA
I_{OZH}	Off-State Output Leakage Current HIGH	$V_{OUT} = V_{CC}$, V_{CC} = Max, $V_{IN} = V_{IH}$ or V_{IL} (Note 3)			10	µA
I_{OZL}	Off-State Output Leakage Current LOW	V_{OUT} = 0 V, V_{CC} = Max, $V_{IN} = V_{IH}$ or V_{IL} (Note 3)			-10	µA
I_{SC}	Output Short-Circuit Current	V_{OUT} = 0.5 V, V_{CC} = Max (Note 4)		-5	-150	mA
I_{CC}	Supply Current	Outputs Open (I_{OUT} = 0 mA), V_{CC} = Max	f = 0 MHz		30	mA
			f = 15 MHz		120	mA

Notes:

1. *These are absolute values with respect to device ground, and all overshoots due to system or tester noise are included.*
2. *Represents the worst case of TTL and TTL standards, allowing compatibility with either.*
3. *I/O pin leakage is the worst case of I_{IL} and I_{OZL} (or I_{IH} and I_{OZH}).*
4. *Not more than one output should be shorted at a time, and the duration of the short-circuit should not exceed one second. V_{OUT} = 0.5 V has been chosen to avoid test problems caused by tester ground degradation.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CAPACITANCE [1]

Parameter Symbol	Parameter Description	Test Conditions		Typ	Unit
C_{IN}	Input Capacitance	V_{IN} = 2.0 V	V_{CC} = 5.0 V T_A = 25°C f = 1 MHz	5	pF
C_{OUT}	Output Capacitance	V_{OUT} = 2.0 V		8	

Note:

1. *These parameters are not 100% tested, but are evaluated at initial characterization and at any time the design is modified where capacitance may be affected.*

SWITCHING CHARACTERISTICS OVER COMMERCIAL AND INDUSTRIAL OPERATING RANGES [1]

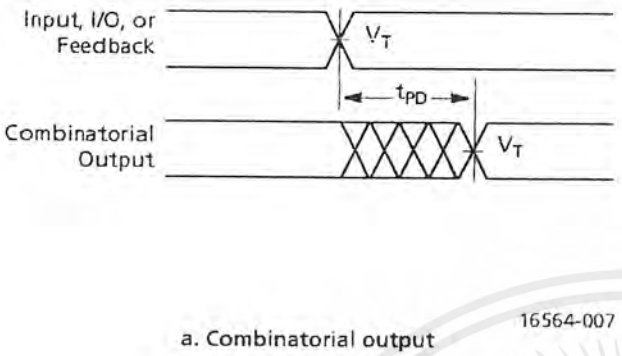
Parameters Symbol	Parameter Description			-25		Unit
				Min	Max	
t_{PD}	Input or Feedback to Combinatorial Output (Note 2)				25	ns
t_S	Setup Time from Input, Feedback or SP to Clock			15		ns
t_H	Hold Time			0		ns
t_{CO}	Clock to Output				15	ns
t_{AR}	Asynchronous Reset to Registered Output				25	ns
t_{ARW}	Asynchronous Reset Width			25		ns
t_{ARR}	Asynchronous Reset Recovery Time			25		ns
t_{SPR}	Synchronous Preset Recovery Time			25		ns
t_{WL}	Clock Width	LOW		10		ns
t_{WH}		HIGH		10		ns
f_{MAX}	Maximum Frequency (Notes 3)	External Feedback	$1/(t_S + t_{CO})$	33.3		MHz
		Internal Feedback (f_{CNT})	$1/(t_S + t_{CF})$ (Note 4)	35.7		MHz
		No Feedback	$1/(t_{WH} + t_{WL})$	50		MHz
t_{EA}	Input to Output Enable Using Product Term Control				25	ns
t_{ER}	Input to Output Disable Using Product Term Control				25	ns

Notes:

1. *See "Switching Test Circuit" for test conditions.*
2. *This parameter is tested in Standby Mode. When the device is not in Standby Mode, the t_{PD} will typically be 5 ns faster.*
3. *These parameters are not 100% tested, but are evaluated at initial characterization and at any time the design is modified where frequency may be affected.*
4. *t_{CF} is a calculated value and is not guaranteed. t_{CF} can be found using the following equation:*
   $t_{CF} = 1/f_{MAX}$ (internal feedback) - t_S.

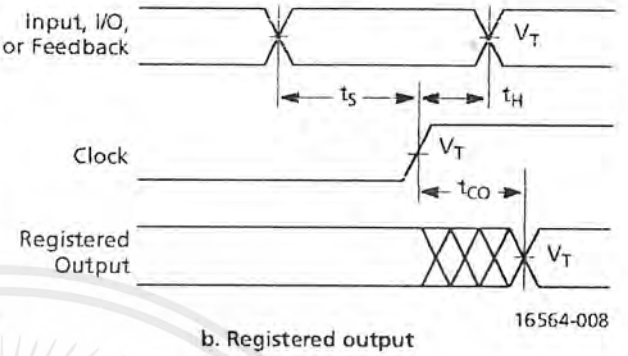
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING WAVEFORMS



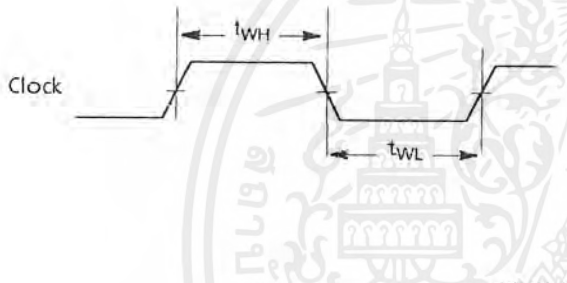
16564-007

a. Combinatorial output



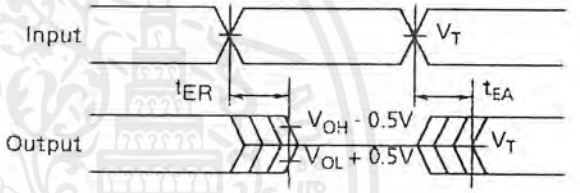
16564-008

b. Registered output



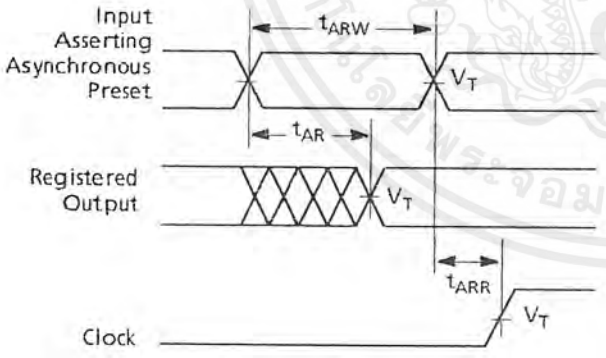
16564-009

c. Clock width



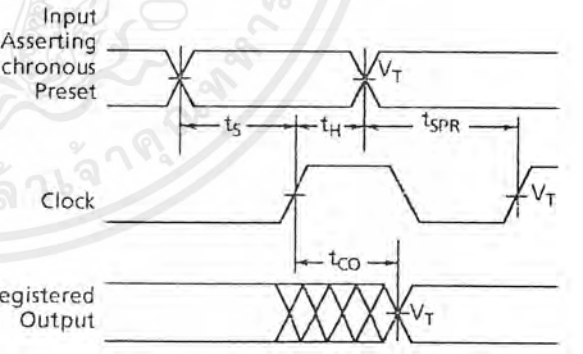
16564-010

d. Input to output disable/enable



16564-011

e. Asynchronous reset



16564-012

f. Synchronous preset

Notes:

1. V_T = 1.5 V.
2. *Input pulse amplitude 0 V to 3.0 V.*
3. *Input rise and fall times 2 ns to 5 ns typical.*

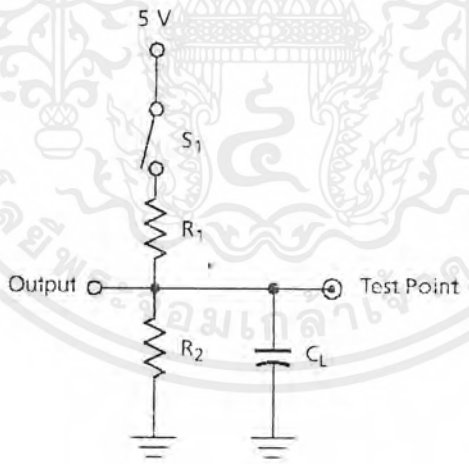
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

KEY TO SWITCHING WAVEFORMS

WAVEFORM	INPUTS	OUTPUTS
	Must be Steady	Will be Steady
	May Change from H to L	Will be Changing from H to L
	May Change from L to H	Will be Changing from L to H
	Don't Care, Any Change Permitted	Changing, State Unknown
	Does Not Apply	Center Line is High-Impedance "Off" State

16564E-013

SWITCHING TEST CIRCUIT



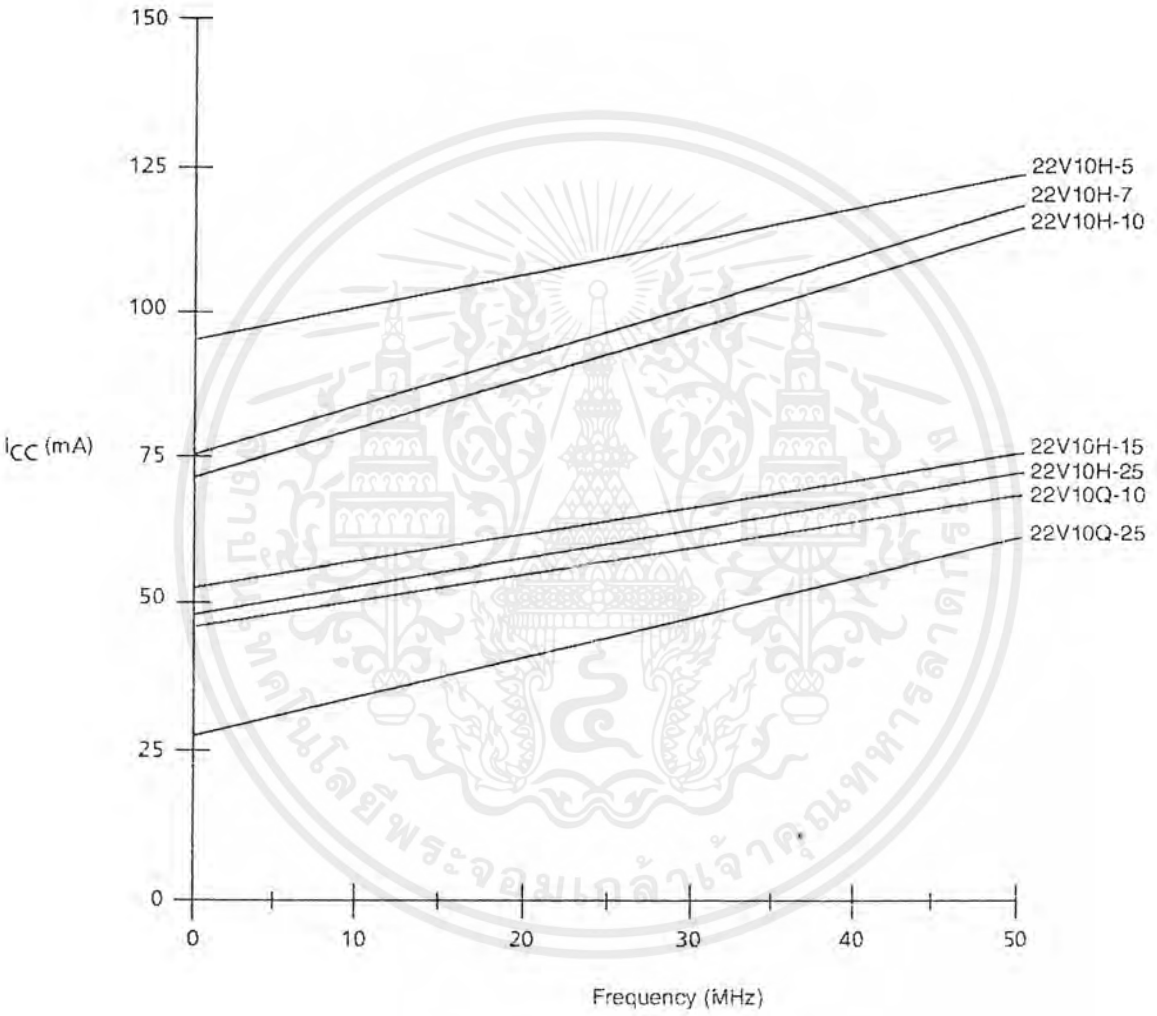
16564-014

Specification	S_1	C_L	Commercial		Measured Output Value
			R_1	R_2	
t_{PD}, t_{CO}	Closed	50 pF	500 Ω	All except H-5/7: 390 Ω	1.5 V
t_{EA}	Z → H: Open				1.5 V
	Z → L: Closed				
t_{ER}	H → Z: Open	5 pF		H-5/7: 300 Ω	H → Z: V_{OH} - 0.5 V
	L → Z: Closed				L → Z: V_{OL} + 0.5 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL I_{CC} CHARACTERISTICS

V_{CC} = 5.0 V, T_A = 25°C



I_{CC} vs. Frequency

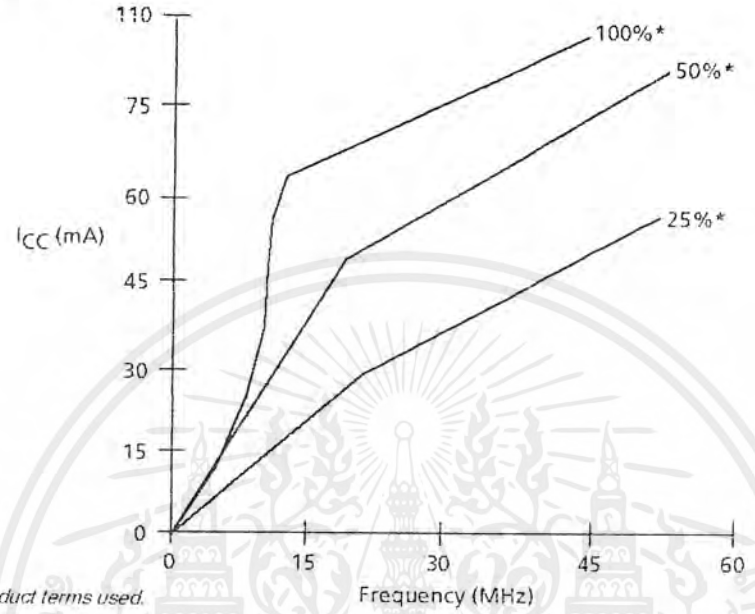
16564E-015

The selected "typical" pattern utilized 50% of the device resources. Half of the macrocells were programmed as registered, and the other half were programmed as combinatorial. Half of the available product terms were used for each macrocell. On any vector, half of the outputs were switching.

By utilizing 50% of the device, a midpoint is defined for I_{CC}. From this midpoint, a designer may scale the I_{CC} graphs up or down to estimate the I_{CC} requirements for a particular design.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL I_{CC} CHARACTERISTICS FOR THE PALCE22V10Z-15
V_{CC} = 5.0 V, T_A = 25°C

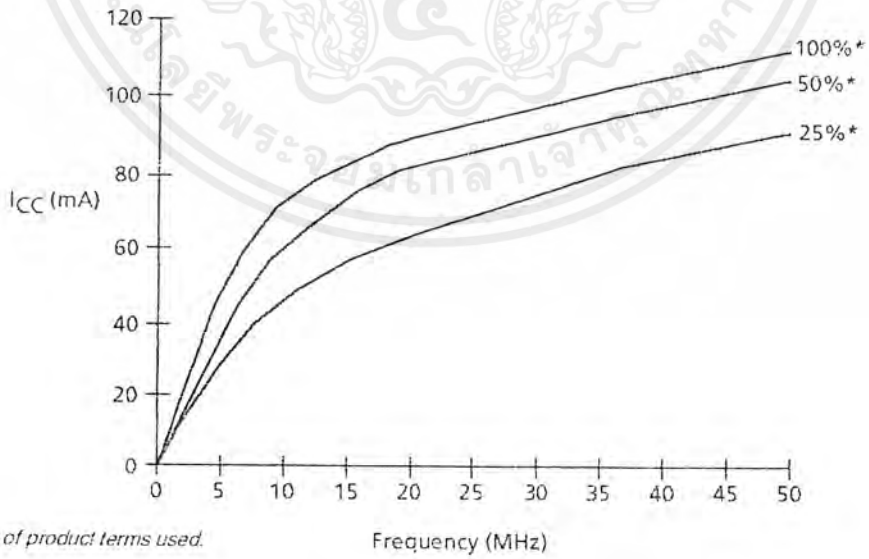


*Percent of product terms used.

16564E-016

I_{CC} vs. Frequency Graph for the PALCE22V10Z-15

TYPICAL I_{CC} CHARACTERISTICS FOR THE PALCE22V10Z-25
V_{CC} = 5.0 V, T_A = 25°C



*Percent of product terms used.

16564E-017

I_{CC} vs. Frequency Graph for the PALCE22V10Z-25

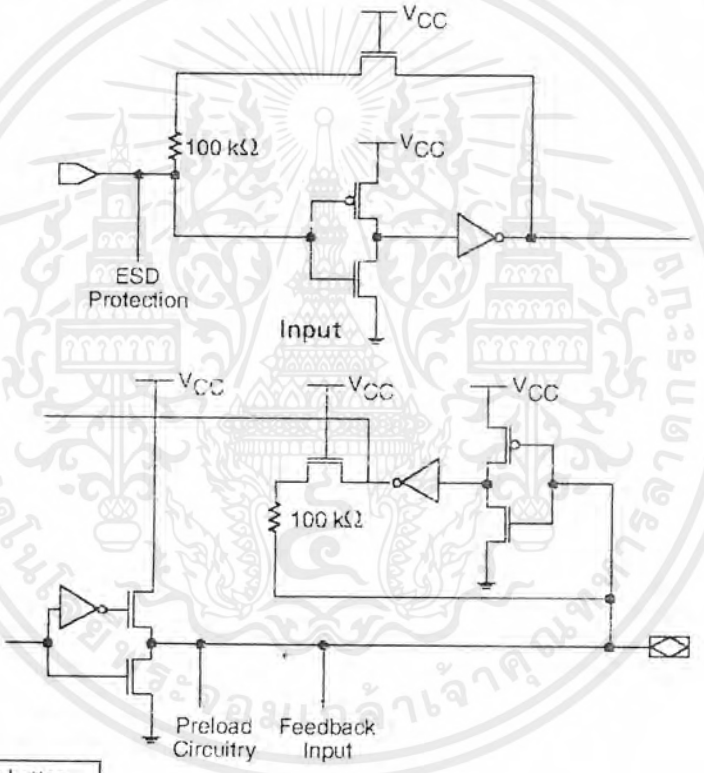
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ENDURANCE CHARACTERISTICS

The PALCE22V10 is manufactured using Vantis' advanced electrically-erasable (EE) CMOS process. This technology uses an EE cell to replace the fuse link used in bipolar parts. As a result, the device can be erased and reprogrammed—a feature which allows 100% testing at the factory.

Symbol	Parameter	Test Conditions	Value	Unit
t_{DR}	Min Pattern Data Retention Time	Max Storage Temperature	10	Years
N	Max Reprogramming Cycles	Normal Programming Conditions	100	Cycles

INPUT/OUTPUT EQUIVALENT SCHEMATICS FOR SELECTED /4 DEVICES*



16564E-018

*

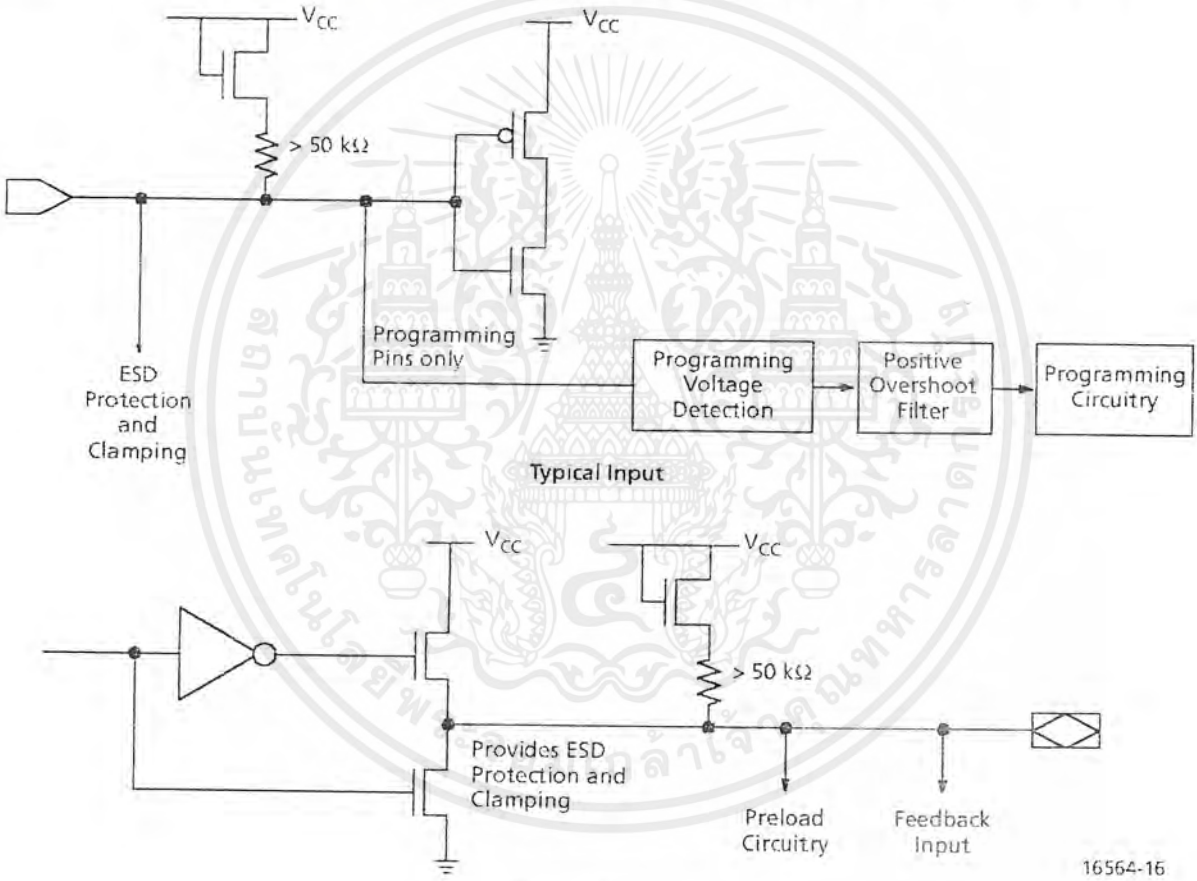
Device	Rev Letter
PALCE22V10H-15	H
PALCE22V10H-20H	
PALCE22V10H-25	
PALCE22V10Q-25I	I

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ROBUSTNESS FEATURES

The PALCE22V10X-X/5 devices have some unique features that make them extremely robust, especially when operating in high-speed design environments. Pull-up resistors on inputs and I/O pins cause unconnected pins to default to a known state. Input clamping circuitry limits negative overshoot, eliminating the possibility of false clocking caused by subsequent ringing. A special noise filter makes the programming circuitry completely insensitive to any positive overshoot that has a pulse width of less than about 100 ns for the /5 version.

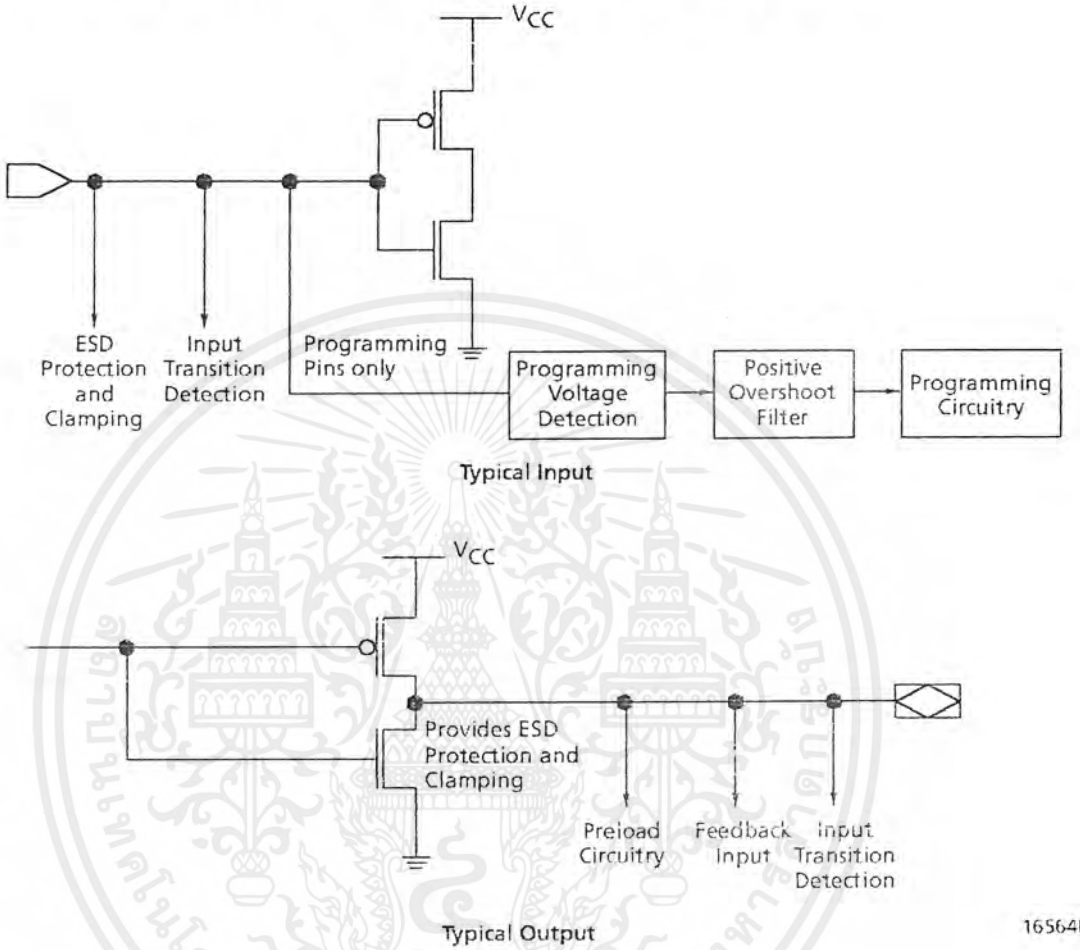
INPUT/OUTPUT EQUIVALENT SCHEMATICS FOR /5 VERSION AND DEVICES



Typical Output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INPUT/OUTPUT EQUIVALENT SCHEMATICS FOR PALCE22V10Z



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

POWER-UP RESET

The power-up reset feature ensures that all flip-flops will be reset to LOW after the device has been powered up. The output state will depend on the programmed pattern. This feature is valuable in simplifying state machine initialization. A timing diagram and parameter table are shown below. Due to the synchronous operation of the power-up reset and the wide range of ways V_{CC} can rise to its steady state, two conditions are required to ensure a valid power-up reset. These conditions are:

- The V_{CC} rise must be monotonic.
- Following reset, the clock input must not be driven from LOW to HIGH until all applicable input and feedback setup times are met.

Parameter Symbol	Parameter Description	Max	Unit
t_{PR}	Power-up Reset Time	1000	ns
t_S	Input or Feedback Setup Time	See Switching Characteristics	
t_{WL}	Clock Width LOW		

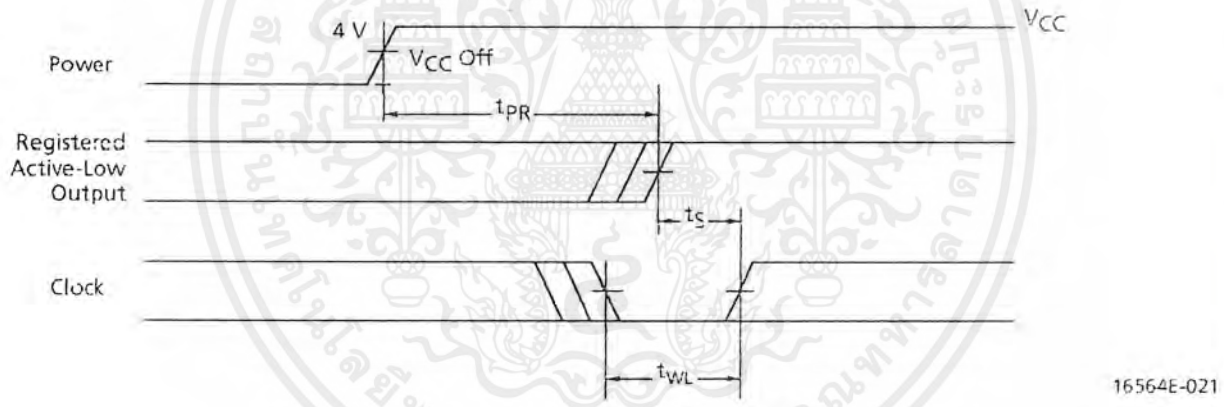


Figure 3. Power-Up Reset Waveform

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL THERMAL CHARACTERISTICS

PALCE22V10

Measured at 25°C ambient. These parameters are not tested.

Parameter Symbol	Parameter Description		Typ		Unit
			SKINNY DIP	PLCC	
θ_{jc}	Thermal impedance, junction to case		20	18	°C/W
θ_{ja}	Thermal impedance, junction to ambient		73	55	°C/W
θ_{jma}	Thermal impedance, junction to ambient with air flow	200 lfpm air	66	48	°C/W
		400 lfpm air	61	43	°C/W
		600 lfpm air	55	40	°C/W
		800 lfpm air	52	37	°C/W

Plastic θjc Considerations

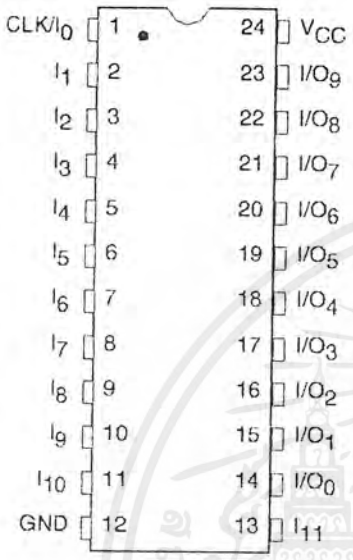
The data listed for plastic θjc are for reference only and are not recommended for use in calculating junction temperatures. The heat-flow paths in plastic-encapsulated devices are complex, making the θjc measurement relative to a specific location on the package surface. Tests indicate this measurement reference point is directly below the die-attach area on the bottom center of the package. Furthermore, θjc tests on packages are performed in a constant-temperature bath, keeping the package surface at a constant temperature. Therefore, the measurements can only be used in a similar environment.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CONNECTION DIAGRAMS

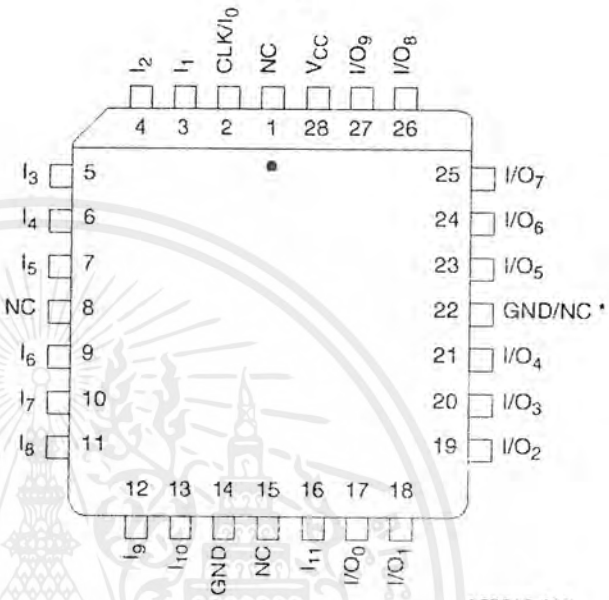
Top View

SKINNYDIP/SOIC



16564E-002

PLCC



16564E-003

**For -5, this pin must be grounded for guaranteed data sheet performance. If not grounded, AC timing may degrade by about 10%.*

Note:
Pin 1 is marked for orientation.

PIN DESIGNATIONS

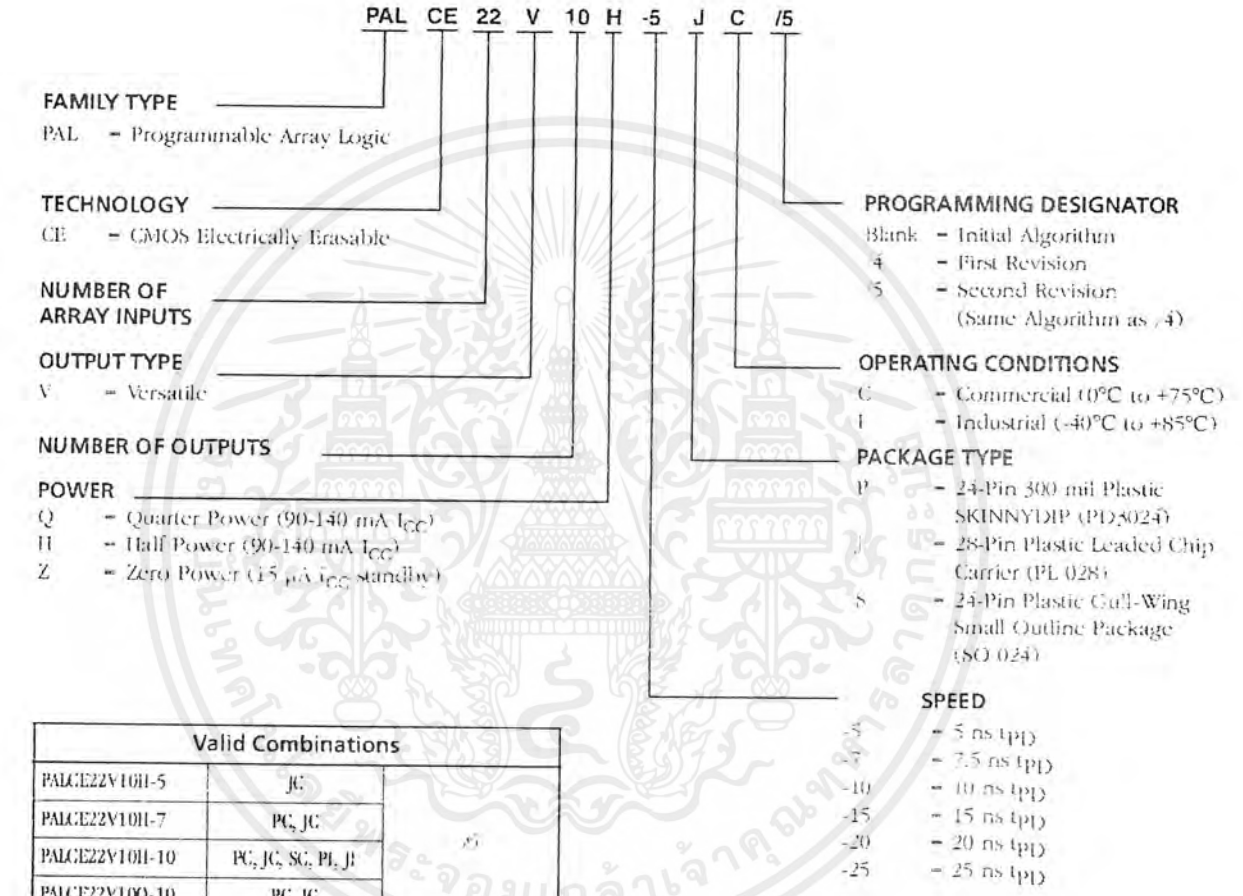
CLK = Clock
GND = Ground
I = Input
I/O = Input/Output
NC = No Connect
V_{CC} = Supply Voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORDERING INFORMATION

Commercial and Industrial Products

Vantis programmable logic products for commercial and industrial applications are available with several ordering options. The order number (Valid Combination) is formed by a combination of:



Valid Combinations		
PALCE22V10H-5	JC	/5
PALCE22V10H-7	PC, JC	
PALCE22V10H-10	PC, JC, SC, PI, JI	
PALCE22V10Q-10	PC, JC	
PALCE22V10H-15	PC, JC, PI, JI, SC	/4
PALCE22V10Q-15	PC, JC	/5
PALCE22V10H-20	PI, JI	/4
PALCE22V10H-25	PC, JC, SC, PI, JI	/4
PALCE22V10Q-25	PC, JC	
PALCE22V10Z-15	PI, JI	
PALCE22V10Z-25	PC, JC, SC, PI, JI, SI	

Valid Combinations

Valid Combinations list configurations planned to be supported in volume for this device. Consult the local Vantis sales office to confirm availability of specific valid combinations and to check on newly released combinations.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

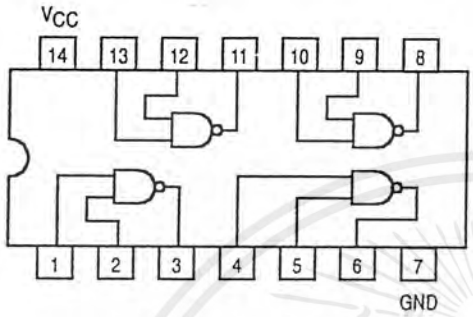
MOTOROLA

SN54/74LS00

QUAD 2-INPUT NAND GATE

- ESD > 3500 Volts

QUAD 2-INPUT NAND GATE
LOW POWER SCHOTTKY



J SUFFIX
CERAMIC
CASE 632-08

N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Limits Typ	Limits Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current				20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current				−0.4	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current Total, Output HIGH				1.6	mA	V_{CC} = MAX	
	Total, Output LOW				4.4			

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter	Limits Min	Limits Typ	Limits Max	Unit	Test Conditions
t_{PLH}	Turn-Off Delay, Input to Output		9.0	15	ns	V_{CC} = 5.0 V, C_L = 15 pF
t_{PHL}	Turn-On Delay, Input to Output		10	15	ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

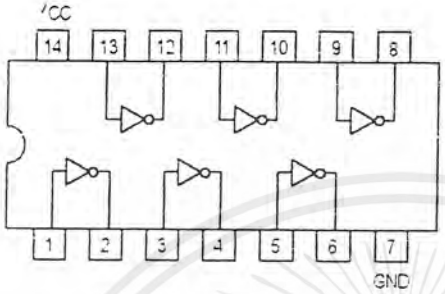
MOTOROLA

HEX INVERTER

SN54/74LS04

HEX INVERTER

LOW POWER SCHOTTKY



J SUFFIX
CERAMIC
CASE 632-08

N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current				20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current				−0.4	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current Total, Output HIGH				2.4	mA	V_{CC} = MAX	
	Total, Output LOW				6.6			

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions
t_{PLH}	Turn-Off Delay, Input to Output		9.0	15	ns	V_{CC} = 5.0 V, C_L = 15 pF
t_{PHL}	Turn-On Delay, Input to Output		10	15	ns	

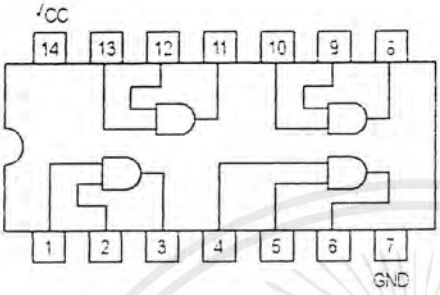
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

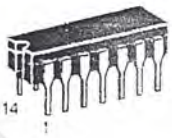
MOTOROLA

QUAD 2-INPUT AND GATE

SN54/74LS08

QUAD 2-INPUT AND GATE
LOW POWER SCHOTTKY





J SUFFIX
CERAMIC
CASE 632-08

N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Suppiy Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current				20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current				−0.4	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current Total, Output HIGH				4.8	mA	V_{CC} = MAX	
	Total, Output LOW				8.8			

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions
t_{PLH}	Turn-Off Delay, Input to Output		8.0	15	ns	V_{CC} = 5.0 V, C_L = 15 pF
t_{PHL}	Turn-On Delay, Input to Output		10	20	ns	

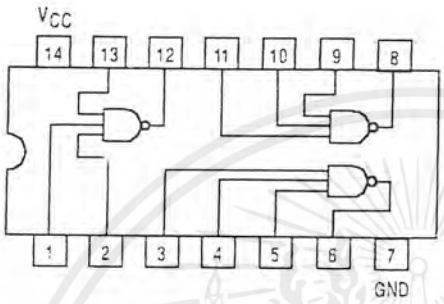
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

TRIPLE 3-INPUT NAND GATE

SN54/74LS10

TRIPLE 3-INPUT NAND GATE
LOW POWER SCHOTTKY



J SUFFIX
CERAMIC
CASE 632-08

N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current				20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current				−0.4	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current Total, Output HIGH				1.2	mA	V_{CC} = MAX	
	Total, Output LOW				3.3			

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions
t_{PLH}	Turn-Off Delay, Input to Output		9.0	15	ns	V_{CC} = 5.0 V, C_L = 15 pF
t_{PHL}	Turn-On Delay, Input to Output		10	15	ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

SN54/74LS74A

DUAL D-TYPE POSITIVE EDGE-TRIGGERED FLIP-FLOP

The SN54/74LS74A dual edge-triggered flip-flop utilizes Schottky TTL circuitry to produce high speed D-type flip-flops. Each flip-flop has individual clear and set inputs, and also complementary Q and Q outputs.

Information at input D is transferred to the Q output on the positive-going edge of the clock pulse. Clock triggering occurs at a voltage level of the clock pulse and is not directly related to the transition time of the positive-going pulse. When the clock input is at either the HIGH or the LOW level, the D input signal has no effect.

DUAL D-TYPE POSITIVE EDGE-TRIGGERED FLIP-FLOP

LOW POWER SCHOTTKY

J SUFFIX
CERAMIC
CASE 632-08

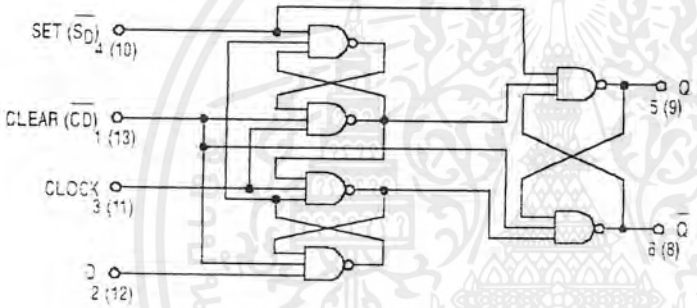
N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

LOGIC DIAGRAM (Each Flip-Flop)



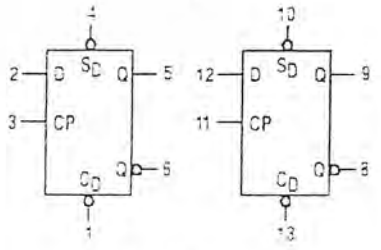
MODE SELECT — TRUTH TABLE

OPERATING MODE	INPUTS			OUTPUTS	
	S_D	S_D	D	Q	Q
Set	L	H	X	H	L
Reset (Clear)	H	L	X	L	H
*Undetermined	L	L	X	H	H
Load "1" (Set)	H	H	h	H	L
Load "0" (Reset)	H	H	l	L	H

* Both outputs will be HIGH while both S_D and C_D are LOW, but the output states are unpredictable if S_D and C_D go HIGH simultaneously. If the levels at the set and clear are near V_{IL} maximum then we cannot guarantee to meet the minimum level for V_{OH}.

H, h = HIGH Voltage Level
L, l = LOW Voltage Level
X = Don't Care
l, h (q) = Lower case letters indicate the state of the referenced input (or output) one set-up time prior to the HIGH to LOW clock transition.

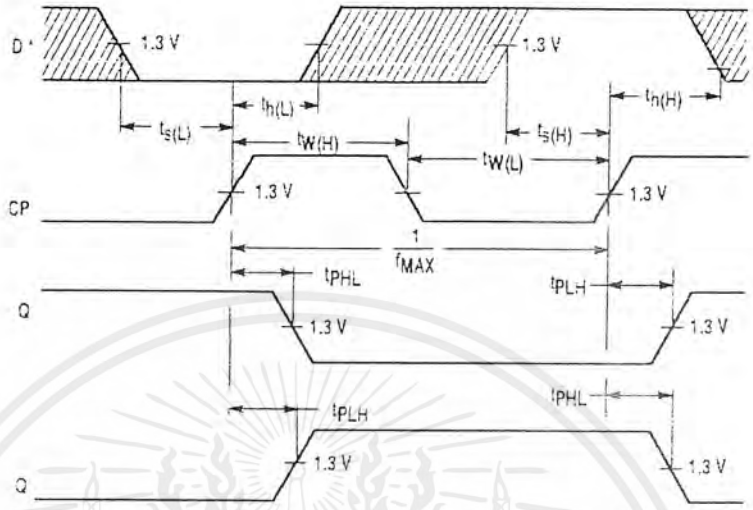
LOGIC SYMBOL



V_{CC} = PIN 14
GND = PIN 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC WAVEFORMS



*The shaded areas indicate when the input is permitted to change for predictable output performance.

Figure 1. Clock to Output Delays, Data Set-Up and Hold Times, Clock Pulse Width

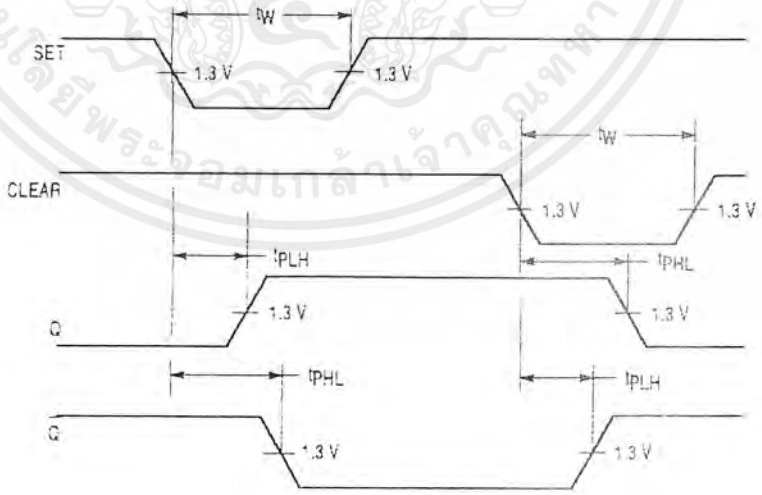


Figure 2. Set and Clear to Output Delays, Set and Clear Pulse Widths

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

SN54/74LS245

OCTAL BUS TRANSCEIVER

The SN54/74LS245 is an Octal Bus Transmitter/Receiver designed for 8-line asynchronous 2-way data communication between data buses. Direction Input (DR) controls transmission of Data from bus A to bus B or bus B to bus A depending upon its logic level. The Enable input (E) can be used to isolate the buses.

- Hysteresis Inputs to Improve Noise Immunity
- 2-Way Asynchronous Data Bus Communication
- Input Diodes Limit High-Speed Termination Effects
- ESD > 3500 Volts

OCTAL BUS TRANSCEIVER

LOW POWER SCHOTTKY

J SUFFIX
CERAMIC
CASE 732-03

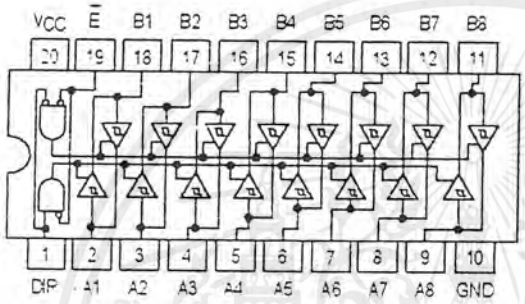
N SUFFIX
PLASTIC
CASE 738-03

DW SUFFIX
SOIC
CASE 751D-03

ORDERING INFORMATION

SN54LSXXXJ Ceramic
SN74LSXXXN Plastic
SN74LSXXXDW SOIC

LOGIC AND CONNECTION DIAGRAMS DIP (TOP VIEW)



TRUTH TABLE

INPUTS		OUTPUT
E	DIR	
L	L	Bus B Data to Bus A
L	H	Bus A Data to Bus B
H	X	Isolation

H = HIGH Voltage Level
L = LOW Voltage Level
X = Immaterial

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−3.0	mA
		54 74			−12 −15	mA
I_{OL}	Output Current — Low	54 74			12 24	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
$V_{T+}-V_{T-}$	Hysteresis		0.2	0.4		V	V_{CC} = MIN	
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54, 74	2.4	3.4		V	V_{CC} = MIN, I_{OH} = −3.0 mA	
		54, 74	2.0			V	V_{CC} = MIN, I_{OH} = MAX	
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 12 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 24 mA	
I_{OZH}	Output Off Current HIGH				20	μA	V_{CC} = MAX, V_{OUT} = 2.7 V	
I_{OZL}	Output Off Current LOW				−200	μA	V_{CC} = MAX, V_{OUT} = 0.4 V	
I_{IH}	Input HIGH Current	A or B, DR or E			20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
		DR or E			0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
		A or B			0.1	mA	V_{CC} = MAX, V_{IN} = 5.5 V	
I_{IL}	Input LOW Current				−0.2	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Output Short Circuit Current (Note 1)		−40		−225	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current Total, Output HIGH				70	mA	V_{CC} = MAX	
	Total, Output LOW				90			
	Total at HIGH Z				95			

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C, V_{CC} = 5.0 V, T_{RISE}/T_{FALL} ≤ 6.0 ns)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions
t_{PLH} t_{PHL}	Propagation Delay, Data to Output		8.0 8.0	12 12	ns	C_L = 45 pF, R_L = 667 Ω
t_{PZH}	Output Enable Time to HIGH Level		25	40	ns	
t_{PZL}	Output Enable Time to LOW Level		27	40	ns	
t_{PLZ}	Output Disable Time from LOW Level		15	25	ns	C_L = 5.0 pF, R_L = 667 Ω
t_{PHZ}	Output Disable Time from HIGH Level		15	25	ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้