การกำเนิดสัญญาณด้วยวิธีสังเคราะห์ดิจิตอลโดยตรง

SIGNAL GENERATOR WITH DDS METHOD DIRECT DIGITAL SYNTHESIS

T033922

โดย

นายพิเชียร ผิวทอง

นายเมธา ธราพร

นายวชิระพงษ์ สนใจธรรม

เลขหมู่..........

เลขทะเบียน 33922

วัน, เดือน, ปี 20 ก.ย. 2542

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตร ปริญญาอุตสาหกรรมศาสตร์บัณฑิต

ภาควิชาเทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SIGNAL GENERATOR WITH DDS METHOD DIRECT DIGITAL SYNTHESIS

Mr. PICHIAN PUWTHONG

Mr. METHA THRAPORN

Mr. WACHIRAPONG SONJAITAM

Project Report Submitted in Partial Fulfillment of the requirement

For the Bachelor's Degree

Department of Industrial Technology

Faculty of Engineering

King Mongkul's Institute of Technology Ladkrabang

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ การกำเนิดสัญญาณด้วยวิธีสังเคราะห์ดิจิตอลโดยตรง

SIGNAL GENERATOR WITH DDS METHOD

DIRECT DIGITAL SYNTHESIS

โดย นายพิเชียร ผิวทอง

นายเมธา ธราพร

นายวชิระพงษ์ สนใจธรรม

ภาควิชา เทคนิคอุตสาหกรรม

อาจารย์ที่ปรึกษา อาจารย์ ดลชัย สุขเจริญผล

คณะวิศวกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

....อาจารย์ที่ปรึกษา

( )

....กรรมการ

( )

....กรรมการ

( )

....กรรมการ

( )

....กรรมการ

(

ลิขสิทธิ์ของคณะวิศกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Project Report SIGNAL GENERATOR WITH DDS METHOD
DIRECT DIGITAL SYNTHESIS

By Mr. PICHIAN PUWTHONG
Mr. METHA THRAPORN
Mr. WACHIRAPONG SONJAITAM

Department of Industrial Technology
Advisor Mr. DOLCHAI SOOKCHAROENPHOL

Accepted by the Faculty of Engineering,King Mongkut's Institude of Technology,Ladkrabang in partial Fulfillment for the Bachelor' degree

Project Report Committee

.... Chairman
( )
....Member
( )
.... Member
( )
.... Member
( )
.... Member
( )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	การกำเนิดสัญญาณด้วยวิธีสังเคราะห์ดิจิตอลโดยตรง SIGNAL GENERATOR WITH DDS METHOD DIRECT DIGITAL SYNTHESIS
โดย	นายพิเชียร ผิวทอง นายเมธา ธราพร นายวชิระพงษ์ สนใจธรรม
อาจารย์ที่ปรึกษา	อาจารย์ ดลชัย สุขเจริญผล

บทคัดย่อ

เป็นการออกแบบเครื่องกำเนิดสัญญาณแบบรายคาบ ที่ใช้เทคนิคใหม่ทางดิจิตอลโดยตรง เรียกว่า การสังเคราะห์ทางดิจิตอลโดยตรง [Direct Digital Synthesis] ซึ่งมีข้อดีกว่าเครื่องกำเนิดสัญญาณทั่วไป คือ สามารถปรับเปลี่ยนความถี่, ความละเอียดของความถี่ และรูปร่างของสัญญาณได้ จากการควบคุมด้วยวงจรดิจิตอล โดยส่วนประกอบหลัก DDS คือ แอคคิวมูเลเตอร์ ทำหน้าที่กำเนิดเฟสของสัญญาณแรมป์ใช้ในการอ้างตำแหน่งแอสเดรสของหน่วยความจำรอม (ROM) และเป็นส่วนที่กำหนดความถี่ของเอาท์พุทโดยการกำหนดค่าอินพุทคอนโทรลเวิร์ดและหน่วยความจำรอมเป็นส่วนที่เก็บข้อมูลรูปแบบสัญญาณดิจิตอลโดยข้อมูลดิจิตอลนี้ จะผ่านวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อกและผ่านวงจรกรองความถี่ต่ำต่อไปเพื่อกำจัดความถี่ที่ไม่ต้องการออกไป เพื่อให้ได้สัญญาณอนาล็อก ตามโปรแกรมไว้ โดยความเพี้ยนทางรูปร่างของสัญญาณขึ้นกับจำนวนของจุด Sampling โดยตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SIGNAL GENERATOR WITH DDS METHOD DIRECT DIGITAL SYNTHESIS

By Mr.PICHIAN PUWTHONG
Mr. METHA THRAPORN
Mr. WACHIRAPONG SONJAITAM

Advisor Mr. DOLCHAI SOOKCHAROENPHOL

ABSTRACT

This thesis is designed to periodic signal generator. Which used direct digital new technique. This called "Direct Digital Synthosis". Where that it is better normal signal generator; Signal as able adjust frequency, Resolution of frequency and shape of signal by control digital circuit. The main consist of DDS is Accumulator used for generate phase of ramp signal used to reference ROM address and assigned output frequency by assigned input control word and ROM is the parts that stored digital data passed to D/A converter. Then passed LPF for rejected to frequency not required.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อภาษาไทย

บทคัดย่อภาษาอังกฤษ

บทที่ 1 บทนำ 1

บทที่ 2 ทฤษฎี 3

2.1 หลักการทำงาน 3

2.2 แอคคิวมูเลเตอร์ 4

2.3 การสร้างตารางเก็บรูปสัญญาณ 8

2.4 วงจรกรองความถี่แอคทีฟฟิลเตอร์ 9

2.5 การเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก 16

บทที่ 3 การออกแบบวงจร 28

3.1 หลักการทำงานของวงจร 28

3.2 สัญญาณนาฬิกา 29

3.3 ภาคจ่ายไฟ 30

3.4 วงจรเลือกสัญญาณ 30

3.5 แอคคิวมูเลเตอร์ 32

3.6 วงจรหน่วยความจำ 35

3.7 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก 37

3.8 วงจรกรองความถี่ต่ำ อันดับ 2 38

บทที่ 4 การทดลองและผลการทดลอง 39

4.1 บล็อกไดอะแกรมของการทดลอง 39

4.2 ตัวอย่างผลการทดลอง 40

บทที่ 5 สรุปผลการทดลอง 46

เอกสารอ้างอิง 47

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

รูปที่	หน้า
บทที่ 2	
รูปที่ 2.1 บล็อกไดอะแกรมของโครงงาน	3
รูปที่ 2.2 บล็อกไดอะแกรมแอคคิวมูเลเตอร์	4
รูปที่ 2.3a แสดงบล็อกไดอะแกรมแอคคิวมูเลเตอร์ขนาด 24 บิท	7
รูปที่ 2.3b แสดงบล็อกไดอะแกรมแอคคิวมูเลเตอร์ขนาด 24 บิทที่มีการทด	7
รูปที่ 2.4 กราฟแสดงการตอบสนองต่อความถี่	11
รูปที่ 2.5 แสดงวงจรกรองความถี่ต่ำแบบพื้นฐาน	12
รูปที่ 2.6 แสดงวงจรที่ถูกปรับปรุงให้มีความชันถึง –40dB/decade	13
รูปที่ 2.7 First-Order Low-Pass Butterworth Filter	14
รูปที่ 2.8 Second-Order Low-Pass Butterworth Filter	15
รูปที่ 2.9 บล็อกไดอะแกรมของ D/A Converter	16
รูปที่ 2.10 คุณสมบัติทรานเฟอร์สำหรับ 4 บิท DAC	17
รูปที่ 2.11 กราฟของ DAC อุดมคติและผลการคลาดเคลื่อน	18
รูปที่ 2.12 กราฟการตอบสนองต่อ Setting Time ของ DAC	19
รูปที่ 2.13 Weighted Resistor DAC	20
รูปที่ 2.14 R-2R Ladder DAC	22
รูปที่ 2.15 ไอซี DAC 0808	23
รูปที่ 2.16 การใช้งานของวงจร DAC 0808	24
รูปที่ 2.17 ใช้ออปแอมป์เปลี่ยนกระแสเป็นแรงดันจากเอาท์พุทของ DAC 0808	25
รูปที่ 2.18 วงจรสมมูลย์ของ DAC 0808 แรงดันเอาท์พุท	25
รูปที่ 2.19 การต่อ DAC เข้ากับพอร์ตขนาน	26
รูปที่ 2.20 (a) รูปคลื่นฟันเลื่อยอุดมคติ	26
รูปที่ 2.20 (b) รูปคลื่นที่ผลิตจาก DAC	26
รูปที่ 2.21 เอาท์พุทของ DAC ผ่านฟิลเตอร์	27
รูปที่ 2.22 ผลจากการผ่านฟิลเตอร์รูปคลื่นฟันเลื่อยที่สร้างขึ้นจาก DAC	27
บทที่ 3	
รูปที่ 3.1 บล็อกไดอะแกรมของโครงงานที่ใช้จริง	28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.2 แสดงวงจรผลิตสัญญาณนาฬิกา 29
รูปที่ 3.3 แสดงวงจรภาคจ่ายไฟ 30
รูปที่ 3.4 แสดงวงจรเลือกสัญญาณ 31
รูปที่ 3.5 Block Diagram ของ Accumulator 33
รูปที่ 3.6 แสดงวงจรออกแบบวงจรแอคคิวมูเลเตอร์ 34
รูปที่ 3.7 วงจรหน่วงความจำ 35
รูปที่ 3.8 แสดงวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก 37
รูปที่ 3.9 วงจรกรองความถี่ต่ำ Second-order 38

บทที่ 4

รูปที่ 4.1 แสดงบล็อกไดอะแกรมของการทดลอง 39
รูปที่ 4.2 จากภาพแสดง Time division 2 × 0.5-msec volt division × 1 อ่านสัญญาณรูปซายน์ ความถี่ 978 Hz จากความถี่สัญญาณนาฬิกา 250 kHz ค่าอินพุทคอนโทรลเวิร์ค (W) เท่ากับ 1 41
รูปที่ 4.3 จากภาพแสดง Time division 1.3 × 50 μ sec volt division× 2 อ่านสัญญาณรูปซายน์ ความถี่ 15.6 จากความถี่สัญญาณนาฬิกา 250 kHz ค่าอินพุทคอนโทรลเวิร์ค (W) เท่ากับ 16 41
รูปที่ 4.4 จากภาพแสดง Time division 2 × 0.5 msec volt division × 2 อ่านสัญญาณรูปฟันเลื่อยความถี่ 978Hzจากความถี่สัญญาณนาฬิกา 250 kHz ค่าอินพุทคอนโทรลเวิร์ค (W) เท่ากับ 1 42
รูปที่ 4.5 จากภาพแสดง Time division 1.6× 0.2sec volt division × 2 อ่านสัญญาณรูปฟันเลื่อยความถี่ 2.93 kHz จากความถี่สัญญาณนาฬิกา 250 kHz ค่าอินพุทคอนโทรลเวิร์ค (W) เท่ากับ 3 42
รูปที่ 4.6 จากภาพแสดง Time division 2.4× 0.2 m secvolt division × 2 อ่านสัญญาณรูปสามเหลี่ยมความถี่ 978 Hz จากความถี่สัญญาณนาฬิกา 250 kHz ค่าอินพุทคอนโทรลเวิร์ค (W) เท่ากับ 1 43
รูปที่ 4.7 จากภาพแสดง Time division 0.8× 0.2 m secvolt division × 2 อ่านสัญญาณรูปสามเหลี่ยมความถี่ 2.93 kHz จากความถี่สัญญาณนาฬิกา 250 kHz ค่าอินพุทคอนโทรลเวิร์ค (W) เท่ากับ 3 43

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.8 จากภาพแสดง Time division 3.25 $\times$ 0.2 m secvolt division $\times$ 2 อ่านสัญญาณรูปสี่เหลี่ยมความถี่ 2.93 kHz จากความถี่สัญญาณนาฬิกา 250 kHz ค่าอินพุทคอนโทรลเวิร์ค (W) เท่ากับ 3 44
รูปที่ 4.9 จากภาพแสดง Time division 2.4 $\times$ 0.2 m secvolt division $\times$ 2 อ่านสัญญาณรูปสี่เหลี่ยมความถี่ 3.9 kHz จากความถี่สัญญาณนาฬิกา 250 kHz ค่าอินพุทคอนโทรลเวิร์ค (W) เท่ากับ 4 44
รูปที่ 4.10 แสดงวงจรที่ใช้ในโครงงาน 45

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 กล่าวนำ

เครื่องกำเนิดสัญญาณโดยวิธีการสังเคราะห์ทางดิจิตอลโดยตรง (SIGNAL GENERATOR WITH DDS METHOD DIRECT DIGITRAL SYSTHESIS)เป็นเทคโนโลยีการกำเนิดสัญญาณแบบใหม่ซึ่งเป็นที่เริ่มรู้จักเพิ่มขึ้นในปัจจุบัน เมื่อประมาณ5-7ปีมาแล้วที่ผ่านมา DDS ค่อนข้างเป็นสิ่งแปลกใหม่และใช้งานอยู่ในวงจำกัดอย่างไรก็ตามเนื่องจากการพัฒนาขึ้นอย่างมากมายของเทคโนโลยีด้านดิจิตอลและอุปกรณ์แปลงข้อมูล DDS จึงได้รับความนิยมเพิ่มขึ้นเรื่อยๆและได้รับการปรับปรุงประสิทธิภาพในด้านการดำเนินอย่างสม่ำเสมอมาโดยตลอดและการสังเคราะห์ดิจิตอลโดยตรงนี้จะแตกต่างจากหลักการของ ลุกอัพเทเบิ้ล (Look up table)เพราะ DDSนี้การกำหนดความถี่ของสัญญาณเอาท์พุทสามารถจะปรับสัญญาณเอาท์พุทจะปรับสัญญาณนาฬิกาได้พร้อมกับการรับค่าอินพุทคอนโทรลเวิร์ดได้ด้วยและสามารถเลือกเฟสของสัญญาณเอาท์พุทได้แต่การ (Look up table) นั่นและไม่สามารถเลือกของสัญญาณเอาท์พุท ซึ่งการ (Look up table)นั่นจะกล่าวในภาคผนวกมาต่อไป

มีลักษณะพื้นฐานบางอย่างที่แตกต่างกันระหว่าง DDS และ ดิจิตอลทูอนาล็อก (D/A) หรือ เฟสล็อกลูป (PLL) ถึงแม้ว่าทั้ง PLL และ D/Aจะใช้อุปกรณ์ที่เป็นดิจิตอลอย่างเช่น ดีไวเดอร์ (dividers) และ เฟสดีเทคเตอร์ (phase detectors) แต่ทั้ง PLL และ D/A นั่นมีหลักการพื้นฐานในแบบอนาล็อก โดยอุปกรณ์ที่ให้กำเนิดสัญญาณของทั้ง PLL และ D/A คือ ออสซิเลเตอร์ (oscillator) ซึ่งเป็น feedback-tune amplitude ที่กำหนดให้ทำงานตามเงื่อนไขที่ระบุ โดย oscillator ถูกทำให้กำเนิดความถี่ออกมาในขอบเขตที่กำหนดใน DDS สัญญาณถูกกำเนิดมาโดยอาศัยหลักการแบบดิจิตอลจากกราวด์ (ground)และหลังจากวิธีการแบบดิจิตอลเสร็จสิ้นลงมันจะถูกแปลงกลับไปเป็นสัญญาณแบบอนาลอกผ่าน ดิจิตอลทูอนาล็อก(Digital-to-Analog Converter (DAC))

ประกอบกับข้อดีของระบบที่เป็น ดิจิตอล (Digital) ซึ่งไม่สามารถหาได้ในระบบที่เป็นแบบอนาล็อก (Analog)ที่มีอยู่ใน DDS ทำให้ DDS กำลังถูกนำไปใช้งานเพิ่มขึ้นเรื่อยๆและถูกตั้งให้เป็นหลักการพื้นฐานที่สำคัญในการกำเนิดสัญญาณในปัจจุบัน

1.2 วัตถุประสงค์ในการออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.เพื่อศึกษาการทำงานของวงจรจากบล็อกไดอะแกรม

2.เพื่อศึกษาที่การออกแบบวงจรจากบล็อกไดอะแกรม

3.เพื่อสร้างส่วนของฮาร์ดแวร์จากการออกแบบข้างต้นได้

4.เพื่อให้ได้เครื่องกำเนิดสัญญาณจากวิธีการสังเคราะห์ดิจิตอลโดยตรงได้ ตามทฤษฎีได้

1.3 ขอบเขตการทำงาน

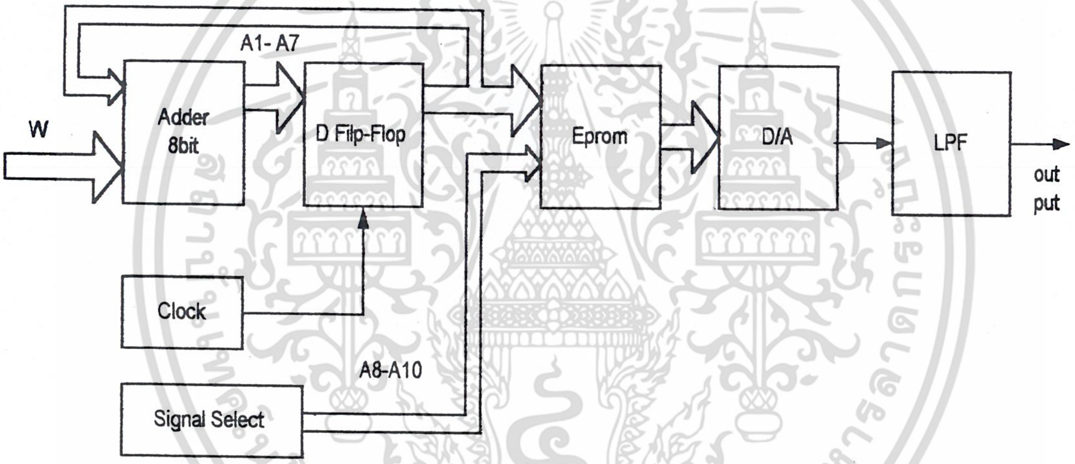
ในการออกแบบชิ้นงานเครื่องกำเนิดสัญญาณโดยวิธีการสังเคราห์ดิจิตอลโดยตรงนี้ได้สร้างจากบล็อกไดอะแกรมที่เป็นทฤษฎีและโครงงานนี้จะทำเป็นชิ้นงานส่วนฮาร์ดแวร์ที่เป็นเครื่องกำเนิดสัญญาณรูปซายน์ (Sine Signal), สัญญาณรูปฟันเลื่อย (Sawtooth Signal) และ สัญญาณแรมป์ (Ramp Signal) เพื่อให้ได้ตามทฤษฎีที่กำหนดและสามารถใช้งานได้ตามส่วนที่ต้องการ โดยที่ส่วนของข้อมูลจะเก็บในรูปดิจิตอลในหน่วยความจำแบบถาวร (ROM) และข้อมูลที่จะนำออกมาได้โดยการอ้างตำแหน่งแอสเดรสของวงจรแอคคิวมูเลเตอร์ซึ่งประกอบจากวงจรแอสเดอร์กับวงจรดีฟลิปฟลอป และข้อมูลที่ได้มาจะผ่านวงจรเปลี่ยนดิจิตอลเป็นอนาลอกและวงจรกรองความถี่ต่ำและเป็นสัญญาณอินพุตในที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎี

ในบทนี้จะได้กล่าวถึงทฤษฎีต่างๆ ที่เกี่ยวของกับโครงงานนี้ ซึ่งจะเป็นแนวทางในการออกแบบวงจรที่นำมาใช้งาน จะกล่าวถึงส่วนสำคัญดังนี้

2.1 หลักการทำงาน



รูปที่ 2.1 บล็อกไดอะแกรมของโครงงาน

วงจร Clock จะทำการผลิตสัญญาณให้กับวงจร แอกคิวมูเลเตอร์ (Accumulator) ในส่วนนี้จะป้อนให้กับ ดีฟลิฟ-ฟล็อฟ ซึ่งรีจิสเตอร์(Register) เก็บข้อมูลของวงจรแอดเดอร์ (Adder) ท่ได้มาจากการบวกกันของค่า อินพุท คอลโทลเวอร์ท (Input Control Word) (W) กับเอาท์พุทที่ผ่านมาดังสมการ $S(n) = S(n-1) + W$ เพื่อเป็นสัญญาณ แรมป์ (RAM)ไปอ้างอิงแอสแดรสของหน่วยความจำ EPROM ที่ขา A0-A7 ของ EPROM และวงจรเลือกรูปสัญญาณ จะใช้ขาแอสเดรสที่ A8-A10 เป็นตัวกำหนด และแสดงผลโดย LED และที่ขาแอสเดรส D0-D7 เป็นสายข้อมูลที่ออกมาจาก EPROM เข้า เข้าเป็นสัญญาณ ดิจิตอล (Digital) และสัญญาณขาออกเป็นสัญญาณ อนาล็อก(Analog) ซึ่งอยู่ในรูปของกระแสและผ่านวงจรแปลงกระแสเป็นแรงดัน จากนั้นส่งสัญญาณผ่านวงจร โลพาสฟิลเตอร์ (LPF) เพื่อจัดให้สัญญาณเรียบขึ้น เพราะสัญญาณที่ผ่านจะยังเป็นรูปขั้นบันได

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 แอคคิวมูเลเตอร์ (ACCUMULATOR)

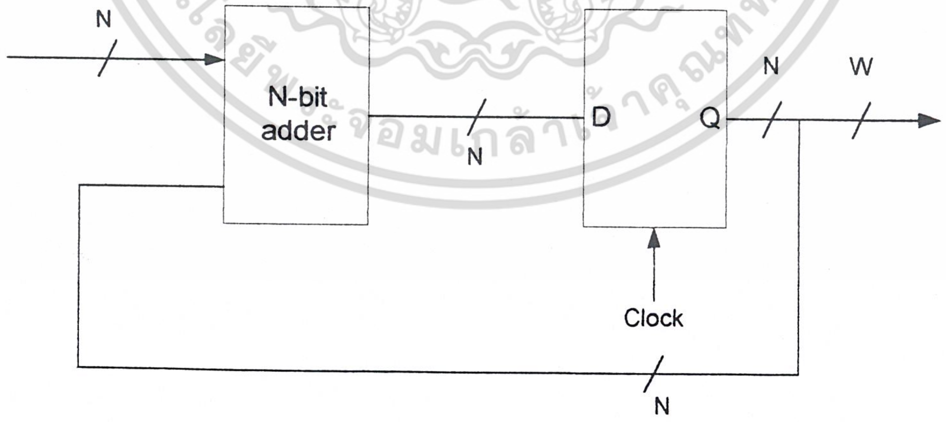
แอคคิวมูเลเตอร์เป็นหนึ่งในส่วนประกอบที่สำคัญมากในเครื่องกำเนิดสัญญาณแบบ DDS มันถูกใช้เป็นตัวกำเนิดเฟสของสัญญาณที่จะผลิตออกมาและใช้เป็นตัวกำหนดเรสโซลูชั่น (Resolution) ความถี่เอาท์พุท และรูปแบบของสัญญาณปลอม (Spurious Signal)

โดยทั่วไปแอคคิวมูเลเตอร์มีอยู่ 2 ชนิดด้วยกันคือ ไบนารี่ แท็ป (Binary Type) และ ดิซิมอล แท็ป (Decimal Type) ชนิดแรกคือ ไบนารี่ แท็ป (Binary Type) เป็นไปโดยธรรมชาติเนื่องจากไม่ว่าส่วนของฮาร์ดแวรหรือวงจรลอจิกนั้นมีความเป็น Binary โดยธรรมชาติแต่อย่างไรก็ตามเลขฐานสิบ (Decimal) หรือ BCD นั้นมีความเป็นธรรมชาติสำหรับผู้ใช้มากกว่าเหมือนกันเราใช้เลขฐานสิบในการนับและในชีวิตประจำวัน ดังนั้นสำหรับส่วนของผู้ผลิตเกือบทั้งหมดและสำหรับการเชื่อมต่อกับมนุษย์ BCD ลอจิก(Logic) จึงนิยมใช้มากกว่าจากจากเหตุผลในส่วนของฮาร์ดแวร์ทำให้ส่วนมากแล้ว Direct Digital Synthesis (DDS) จึงเป็นแบบ ไบนารี่ ล็อก (Binary Log)

2.2.1 ไบนารี่ แอคคิวมูเลเตอร์ (BINARY ACCUMULATOR)

Binary Accumulator ก็คือ Digital Integrator ซึ่งรูปแบบการทำงานเป็นไปตามฟังก์ชัน

$$S(n) = S(N-1) + W$$



รูปที่ 2.2 Block Diagram Accumulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ S(n) คือ word ขนาด N bit และ W คือ input control word โดยปกติแล้ว แอคคิวมูเลเตอร์ (accumulator) จะสร้างขึ้นมาจาก adder และ register ดังแสดงในรูป 2.2

register เป็นอุปกรณ์เก็บข้อมูล (storage device) ซึ่งจะเปลี่ยนสถานะที่เอาท์พุทเมื่อถูกกระตุ้นด้วยสัญญาณนาฬิกา(clock)ในการที่จะแสดงให้เห็นถึงเอาท์พุทของแอคคิวมูเลเตอร์โดยใช้แอคคิวมูเลเตอร์ขนาด 4 bit (ในที่นี้ N = 4) ซึ่งจะผลิตรูปแบบของเอาท์พุทที่ได้ดังตัวอย่างต่อไปนี้สำหรับ W = 1 [เริ่มต้นที่S(0) = 0]

0000

0001

0010

0011

0100

0101

0110

0111

1000

1001

1010

1011

1100

1101

1110

1111

0000

จากตัวอย่างด้านบนนี้จะเรียกว่าเป็นความถี่ 1 ก็ได้และมีทิศทางตามเข็มนาฬิกา อย่างไรก็ตามแอคคิวมูเลเตอร์ตัวเดียวกันโดยที่ **W* = $2^4 - 1$ = 15 ฐานสิบหรือ 1111 = F**

ฐานสิบหก จะผลิตรูปแบบของเอาท์พุทดังต่อไปนี้

0000

1111

1110

1101

1100

1011

1010

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1001

1000

0111

0110

0101

0100

0011

0010

0001

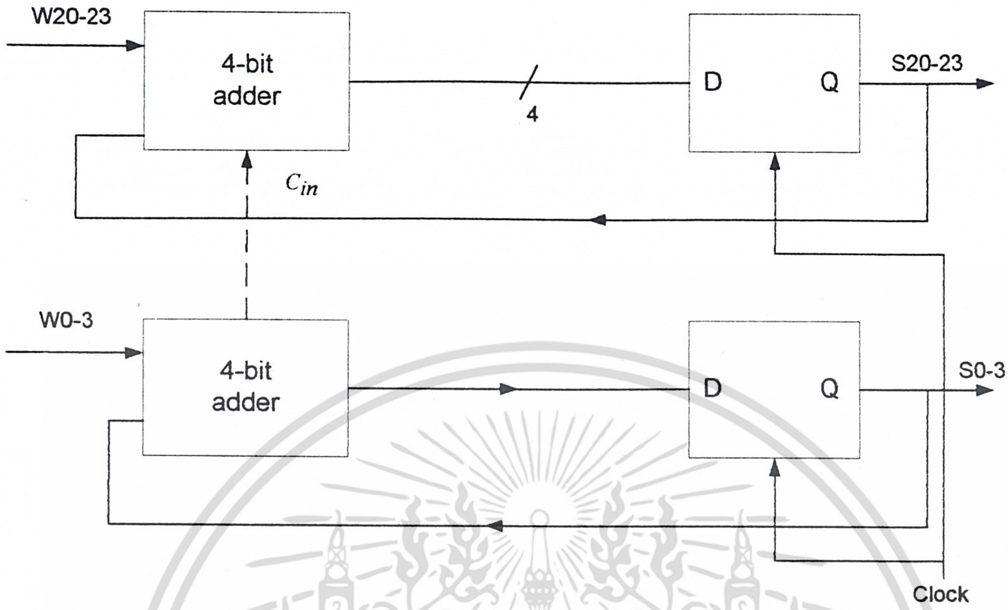
0000

เอาท์พุททั้งสองมีความสมมาตรกันอย่างสมบูรณ์และยังสามารถมองว่าเป็นอัตราการเพิ่มขึ้นในอัตราเดียวกันอีกด้วย โดยแบบแรกอยู่ในทิศทางตามเข็มนาฬิกาและแบบที่สองอยู่ในทิศทางทวนเข็มนาฬิกาหรือแบบแรกเป็นบวก และแบบที่สองเป็นลบนี่เป็นธรรมชาติของข้อมูลที่ถูกทำการแซมปลิ้ง

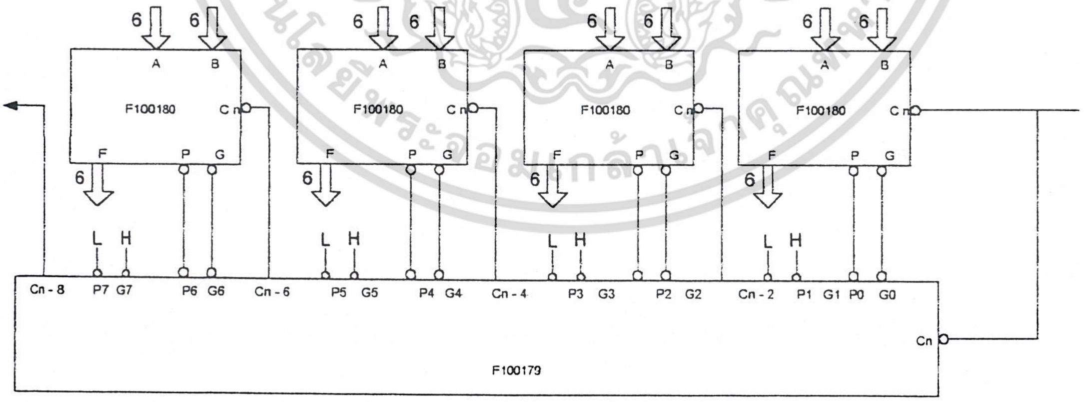
เนื่องจากเอาท์พุทของแอคคิวมูเลเตอร์จะถูกแปลงไปเป็นเฟสของสัญญาณไซน์ดังนั้นสถานะ 0 คือเฟสศูนย์และที่สถานะ 2 – 1 คือเฟส 2π

โดยปกติแล้วแอคคิวมูเลเตอร์จะถูกสร้างขึ้นมากจากบล็อคที่เหมือน ๆ กันดังแสดงในรูปที่ 2.3a และ 2.3b (ในตัวอย่างนี้เป็นแอคคิวมูเลเตอร์ขนาด 24 bit โดยให้แต่ละบล็อคมีขนาด 4 bit เท่าๆ กัน) ซึ่งทุกบล็อกจะมีลักษณะเหมือนกันทุกประการและแต่ละบล็อคมีการต่อถึงกันผ่านทางบิตตัวทด(Carry Bit) แอคคิวมูเลเตอร์แบบเดียวกันนี้สามารถสร้างขึ้นมาโดยใช้ adder ขนาด 1 bit 24 ตัว , adder ขนาด 2 bit 12 ตัว , adder ขนาด 8 bit 3 ตัว และ adder ขนาด 6 bit 4 ตัว หรือ วิธีอื่น ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3a แสดงบล็อคไดอะแกรม แอคคิวมูเลเตอร์ ขนาด 24 bit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

รูปที่ 2.3b แสดงบล็อคไดอะแกรม แอคคิวมูเลเตอร์ ขนาด 24 bit ที่มีการทด

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 การสร้างตารางเก็บรูปสัญญาณ (LOOKUP TABLE)

ใน DDS ROM ถูกใช้เป็น Look Up Table ในการเปลี่ยนข้อมูลเฟสที่อินพุทให้เป็นข้อมูลขนาดที่เอาท์พุทเพื่อใช้ขับ DAC

ดังได้กล่าวข้างต้น(ในบทที่แล้ว)ว่าเอาท์พุทของแอคคิวมูเลเตอร์ถูกใช้เป็นอินพุทเพื่อชี้ตำแหน่งของข้อมูลใน Look Up Table และใช้แทนเฟสสัญญาณ ข้อมูลเฟสเหล่านี้ต้องเปลี่ยนเป็นค่าของขนาดเพื่อขับ DAC และทำให้สัญญาณอนาล็อคที่เอาท์พุทตามต้องการ

2.3.1 รอม - อัลกอริทึม (ROM ALGORITHM)

โดยทั่วไปแล้วการแสดงให้เห็นการเปลี่ยนแปลงที่เกิดขึ้นใน ROM เป็นดังนี้ ถ้า W คือจำนวนบิทของข้อมูลที่อินพุทขนาดหนึ่งเวิร์ดและ D คือจำนวนบิทของข้อมูลที่เอาท์พุทแล้ว

$$S(j) = 2^{D-1} + \text{int}\left[(2^{D-1}-1)\sin\frac{2\pi j}{2^W} + 0.5\right]$$

$$J = 0 \text{ to } 2^W-1$$

ค่าตัวคูณของฟังก์ชันไซน์คือ $2^{D-1}-1$ ดังนั้นค่า Peak-To-Peak สูงสุดของสัญญาณเอาท์พุทคือ 2^D-2 ดังนั้นค่าสูงสุดของแอดเดรสที่ใช้ขับ DAC จะไม่เกิน 2^D-1 ด้วยเหตุนี้จำนวนรวมของแอดเดรสที่ใช้ขับ DAC จึงเท่ากับ 2^D-2 หากต้องการให้แน่ใจว่าไม่มีค่าของAmplitude Quantization ที่ไม่ต้องการเกิดขึ้นและข้อมูลทุกแอดเดรสที่ใช้ขับDACถูกเข้าถึงเพื่อความเข้าใจเพิ่มขึ้นลองพิจารณาเอาท์พุทของ ROM ใกล้ ๆ เฟสศูนย์ซึ่งมีอัตราการเปลี่ยนแปลงสูงสุดเพราะฉะนั้นเอาท์พุทของ ROM คือ

$$(2^{D-1}-1)\sin\frac{2\pi i}{2^W}$$

ซึ่งสามารถประมาณได้ดังนี้

$$\frac{2^{D-1}.2\pi i}{2^W} = 2^D$$

ในกรณีที่ D = W เอาท์พุทของ ROM จะย้ายจากแอดเดรสที่แอสเดรสที่ 1 และ 2 และมีหลายแอดเดรสที่ไม่ถูกเข้าถึงอีกด้วย

สำหรับกรณี W = D + 1 เอาท์พุทของ ROM จะย้ายจากแอดเดรส 0 ที่ i = 0 ไปแอดเดรสที่ 2 สำหรับ i = 1 ในกรณีนี้แอดแดรสที่ 1 และอีกหลายแอดเดรสที่ไม่ถูกเข้าถึงอีกด้วยเหมือนกัน ใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้มีการแปลงเนื้อหาและต้องอ้างอิงแหล่งที่มาของเอกสารทุกครั้งที่มีการนำไปใช้

กรณี W = D+2 เอาท์พุทของ ROM เอาท์พุทของ ROMจะเข้าถึงทุกแอดเดรส(บางแอสเดรสมากกว่าหนึ่งครั้ง) ดังนั้นจึงหลีกเลี่ยงการเกิด Amplitude Quantization ที่ไม่ต้องการ

2.4 วงจรกรองความถี่แบบ แอคทีฟฟิลเตอร์ (ACTIVE FILTER)

Active Filter ทำหน้าที่กรองความถี่สัญญาณเป็นวงจรที่ประกอบด้วยภาคขยาย เช่น Transistor หรือ IC และ Network เลือกความถี่ (Frequency Selective Network) จำพวก Resistor กับ Capacitor วงจรให้ผ่านเพราะสัญญาณในช่วงความถี่ที่กำหนด ขณะเดียวกันจะขวางกั้น (block) หรือลดทอนสัญญาณนอกเหนือช่วงความถี่ดังกล่าวมิให้ปรากฏที่ output

กล่าวโดยทั่วไป Filter แบ่งออกเป็นหลายรูปแบบ

1. Filter ชนิด Analog หรือ ชนิด Digital
2. Filter ประเภท Passive หรือ Active
3. Filter ย่านความถี่เสียง (Audio Frequency) หรือ ย่านวิทยุ (Radio Frequency)

อนาล็อก ฟิลเตอร์ (Analog Filter) ออกแบบมาเพื่อใช้กับสัญญาณ อนาล็อก (Analog) ส่วนดิจิตอล ฟิลเตอร์ (Digital Filter) ใช้งานกับสัญญาณอนาล็อกโดยอาศัยเทคนิคทาง ดิจิตอล (Digital) มาช่วย ถ้าคำนึงถึงชิ้นส่วน(element)ที่นำมาประกอบเป็นวงจร ฟิลเตอร์ (Filter) แบ่งออกเป็น พาสทีป (Passive) และ แอคทีฟ (Active) ชิ้นส่วนวงจรที่ใช้ใน Passive Filter ได้แก่ Resistor, Capacitor และ Inductor ส่วน Active Filter ประกอบด้วยตัวขยายสัญญาณจำพวก Transistor หรือ IC ในรูป Op-Amp และ Resistor และ Capacitor ทำงานร่วมกัน Resistor,Capacitor และ Inductor ถือว่าเป็นชิ้นส่วนประเภท Passive element การเลือกใช้ชิ้นส่วนประเภทใดนั้น ขึ้นกับย่านความถี่สัญญาณที่ต้องการให้วงจร Filter ทำงาน ยกตัวอย่าง RC Filterใช้กับย่านความถี่เสียง(Audio Frequency) หรือใช้ในย่านความถี่ต่ำ(Low Frequency) ขณะที่ LC Filter หรืออาจกล่าวไปถึง Crystal Filter มีเสถียรภาพที่ความถี่สูงมากๆ ดีกว่าLC Filter อีกด้วย

ข้อดีของ Active Filter ที่มีเหนือกว่า Passive Filter

1. ของ Op – Amp ชดเชยกับอัตราลดทอนสัญญาณของวงจร RC หรือเพิ่มอัตราขยายของสัญญาณทั้งหมดด้วยการจัดค่าชิ้นส่วนอุปกรณ์ในส่วนของวงจรขยาย OP-Amp และการการปรับอัตราการขยายและปรับความถี่เป็นอิสระต่อกัน เราสามารถจัดค่าอัตราการขยายปรับเปลี่ยนความถี่กีอยู่ที่ค่า RC เท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ไม่มีปัญหา Loading จากการที่ Op-Amp มีคุณสมบัติของ Input Impedance สูง และ Output Impedance ต่ำ วงจร Active Filter อาศัย OP-Amp จึงไม่เกิดปัญหา Loading กับ Output และ Input ของวงจร ณ จุดที่นำ Active Filter เข้าไปต่อ

3. ราคาถูก Active Filter มีราคาถูกกว่า Passive Filter เพราะไม่ต้องอาศัย Inductor ที่ราคาแพง และยังใช้ OP-Amp ซึ่งในปัจจุบันมีราคาในท้องตลาดถูกมาก

Active Filter ตามลักษณะการทำงาน

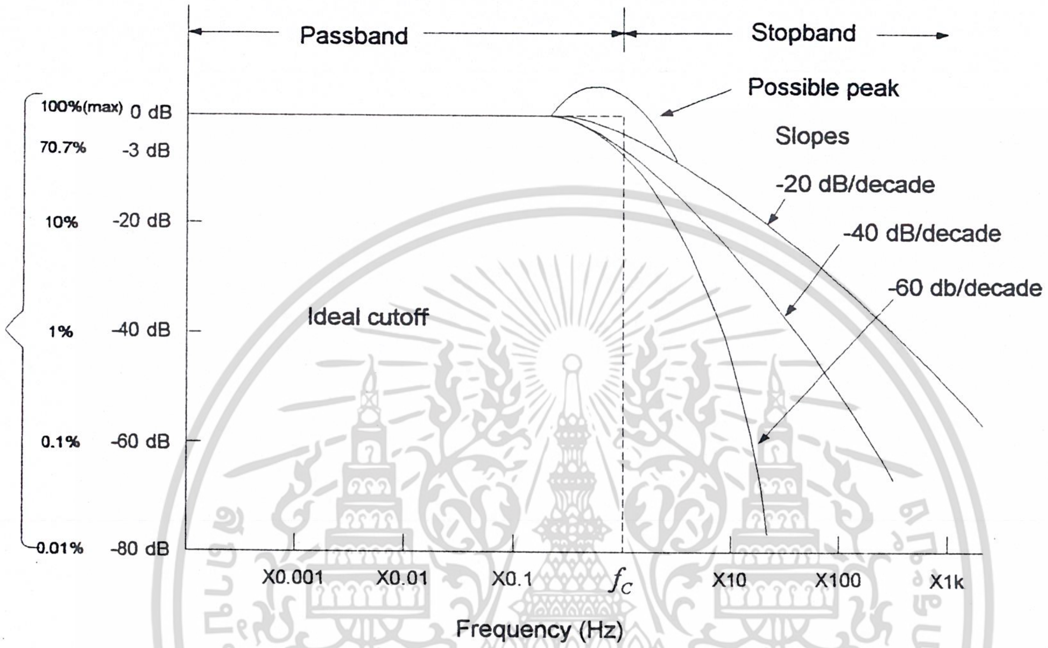
เราแบ่ง Active Filter ตามลักษณะการทำงานเป็น 5 ชนิด

1. Low Pass Filter (LPF)
2. High Pass Filter (HPF)
3. Band Pass Filter (BPF)
4. Band Reject หรือ Band Stop (BSF)
5. All Pass Filter

Filter เหล่านี้อาศัย Resistor และ Capacitor เป็น Passive Element ทำงานร่วมกับ Active Element จำพวก OP-Amp อาศัย IC ที่มีคุณสมบัติ High Speed ที่มี Slew Rate สูง และ Unity Gain Bandwidth สูงๆ เช่น LM 318 หรือ ICL8017 จะช่วยให้คุณสมบัติด้านความถี่และด้านอัตราขยายของ Filter ดีขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.1 วงจรกรองความถี่ต่ำ (Low Pass Filter)



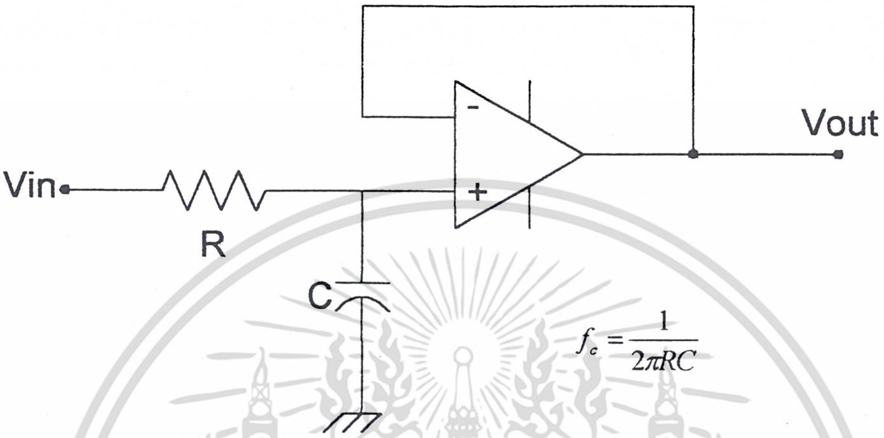
รูป 2.4 กราฟแสดงการตอบสนองต่อความถี่

ในอุดมคติ วงจรกรองความถี่ต่ำจะกันไม่ให้สัญญาณที่มีความถี่สูงกว่าความถี่คัทออฟ (f_C) ผ่านเข้าไปในวงจรเลยหากสัญญาณมีความถี่สูงกว่า f_C เพียงเล็กน้อย แต่ในทางปฏิบัติ ลักษณะของความถี่สูงที่ถูกกั้นออกไปนั้นจะไม่เป็นเช่นนั้น แต่จะค่อยๆ ถูกลดอัตราขยายลงเรื่อยๆ จุดที่ความถี่มีค่าเท่ากับ f_C ถูกเรียกได้หลายชื่อ เช่น ความถี่ 0.707(ขนาดของ V_{out} ลดลงเหลือเพียง 70.7 % เทียบกับ V_{in} สูงสุด) ความถี่ –3 dB (อัตราขยายแรงดันเอาท์พุทลดลง 3 dB) หรือความถี่หักมุม เป็นต้น กล่าวโดยสรุปแล้ว วงจรนี้จะลดทอนขนาดของสัญญาณที่มีความถี่สูงกว่า f_C และเรียกช่วงสัญญาณที่มีความถี่ต่ำกว่า f_C ว่า ช่วงที่ผ่านได้ (Pass Band) และช่วงที่มีความถี่สูงกว่า f_C ว่าช่วงที่ถูกกั้น (Stop Band)

จากกราฟแสดงการตอบสนองต่อความถี่ในรูปที่ 2.4 จะพบว่าเมื่อสัญญาณมีความถี่สูงกว่าความถี่คัทออฟแล้ว สัญญาณบางเส้นอาจถูกลดทอนด้วยอัตราที่น้อยกว่าสัญญาณเส้นอื่น เช่น สัญญาณที่มีความชัน –20 dB/decade (อัตราขยายลดลง 20 dBต่อความถี่ที่เกิดขึ้น 10 เท่า) จะมีความชันน้อยกว่าสัญญาณที่มีค่า –60 dB/decade คุณสมบัติที่เกิดขึ้นจากการออกแบบวงจรกรองความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และเป็นที่แน่นอน ยิ่งค่าความชันที่มีขนาดลบมากเท่าใด วงจรจะมีคุณสมบัติใกล้เคียงกับวงจรในอุดมคติมากยิ่งขึ้น



รูปที่ 2.5 แสดงวงจรกรองความถี่ต่ำแบบพื้นฐาน

รูป 2.5 แสดงตัวอย่างของวงจรกรองความถี่ต่ำแบบพื้นฐาน ซึ่งใช้ออฟแอมพ์ที่ถูกต่อในลักษณะของวงจรตามแรงดัน และใช้หลักการแบ่งแรงดันธรรมดา ณ ขั้วอินพุทบวก โดยใช้คุณสมบัติที่ว่าความถี่ของสัญญาณอินพุทจะมีผลต่อค่าอิมพิแดนซ์ของตัวเก็บประจุดังสมการ

$$X_C = \frac{1}{W_C} \quad (W = 2\pi f)$$

$$= \frac{1}{2\pi f_C}$$

โดยที่ f คือ ความถี่ของสัญญาณอินพุท ดังนั้น เมื่อสัญญาณอินพุทมีความถี่ต่ำ X_C จะมีค่าสูง ทำให้แรงดันเกือบทั้งหมดจากอินพุทตกคร่อมตัวเก็บประจุ จะเป็นผลให้แรงดันเอาท์พุท V_O มีค่าประมาณเท่ากับ V_{in} ด้วย ในขณะที่สัญญาณซึ่งมีความถี่สูงจะทำให้ X_C มีค่าต่ำเป็นผลให้ตัวเก็บประจุเสมือนถูกลัดวงจร ดังนั้น V_{out} จึงมีค่าต่ำด้วย สรุปได้ว่า ช่วงของสัญญาณที่มีความสูงจะถูกกั้นเอาไว้ และเราสามารถหาความถี่ f_C ที่แบ่งช่วงความถี่สัญญาณออกเป็นสองส่วนได้ดังสมการ

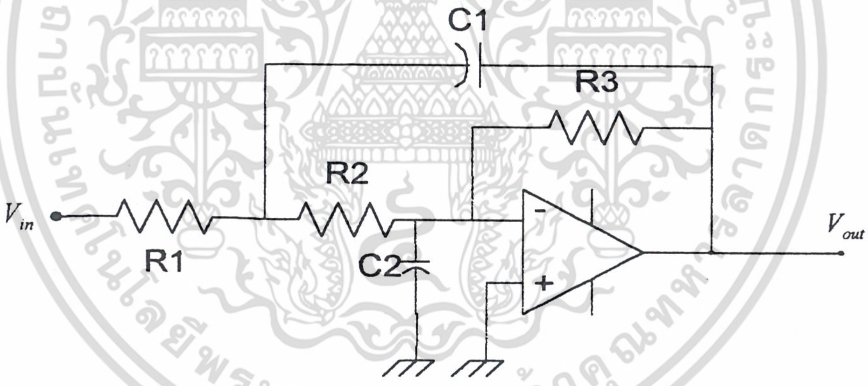
$$f_C \approx \frac{1}{2\pi R_C}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองความถี่ต่ำในรูป 2.5 นี้จะมีความชันประมาณ -20 dB/decade และจากการใช้อุปกรณ์เช่นตัวเก็บประจุในวงจรสัญญาณที่วัดได้จากเอาท์พุทจะมีเฟสไม่ตรงกับอินพุทเลยทีเดียวคือจะมีการเลื่อนเฟสออกไป -45° (ถึงแม้จะป้อนอินพุท ณ ขั้วอินพุทบวกก็ตาม) ซึ่งหากความชันมีค่าเป็นลบสูงเท่าใด เฟสก็จะถูกเลื่อนไปเรื่อยๆ โดยทั่วเฟสของสัญญาณเอาท์พุทจะเลื่อนไป -45° สำหรับทุกๆ ความชันที่ลดลง -20 dB/decade ตัวอย่างเช่น สำหรับสัญญาณที่มีความชัน -40 dB/decade เฟสของเอาท์พุทจะถูกเลื่อนออกไป -90° เทียบกับสัญญาณอินพุท

รูป 2.6 แสดงวงจรที่ถูกปรับปรุงให้มีความชันถึง -40 dB/decade โดยมีตัวเก็บประจุทำหน้าที่เช่นเดิม แต่เพิ่มตัวเก็บประจุ C_1 ในการป้อนสัญญาณกลับมาหักล้างสัญญาณอินพุทที่ความถี่สูง (เนื่องจาก X_{C1} จะมีค่าลดลง) และเราสามารถหาความถี่คัทออฟจากสมการได้ดังนี้

$$f_C \approx \frac{1}{2\pi\sqrt{R_1R_2C_1C_2}}$$



รูปที่ 2.6 แสดงวงจรที่ถูกปรับปรุงให้มีความชันถึง –40dB/decade

2.4.1(a) Low Pass Filter ชนิด Order หนึ่ง

จากรูปที่ 2.7 จะได้ว่า

$$V_O / V_{in} = \frac{A_F}{1 + j(f / f_H)}$$

เมื่อ V_O / V_{in} = Gain ของวงจร

A_F = $1 + R_F / R_1$ = Pass Band Gain ของวงจร

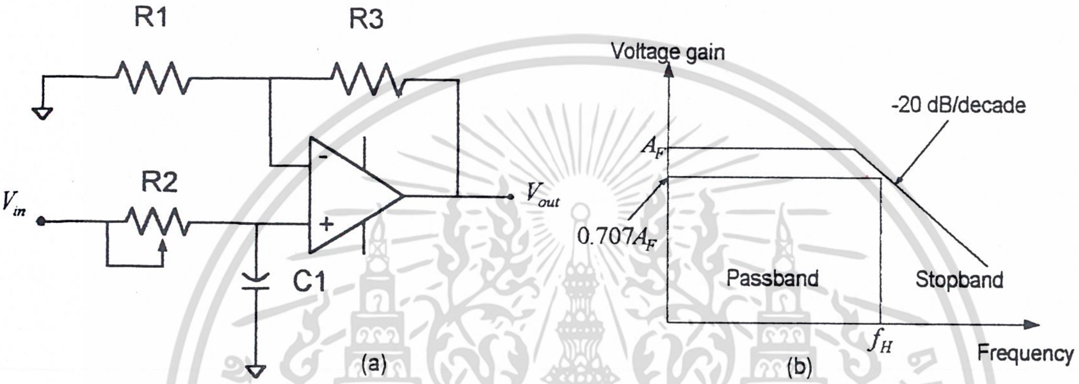
f = Frequency ของ Input Signal

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f_H = 1/(2\pi R_2 C_2) = \text{High Cutoff Frequency}$$

จากสมการข้างบน เขียนในรูป Gain Magnitude ได้ดังนี้

$$|V_O / V_{in}| = \frac{A_F}{\sqrt{1 + (f / f_H)^2}}$$



รูปที่ 2.7 First- Order Low-Pass Butterworth Filter

การออกแบบ

1. เลือกค่า High Cutoff Frequency f_H
2. เลือกค่า $C_2 = 10/f_H\ \mu$ Farad
3. คำนวณ $R_2 = 1/(2\pi f_H C_2)$
4. คำนวณหาค่า R_F และ R_1 ตามค่า Pass Band Gain

$$A_F = 1 + R_F / R_1$$

ตัวอย่าง ออกแบบ Low-Pass Filter ที่ Cutoff Frequency = $1KH_Z$ ที่ Pass Band Gain = 2

วิธีทำ

1. $f_H = 1KH_Z$
2. $C_2 = 10/1000\ \mu F = 0.01\ \mu F$
3. $R_2 = 1/(2\pi)(1000)(0.01 \times 10^{-6})$

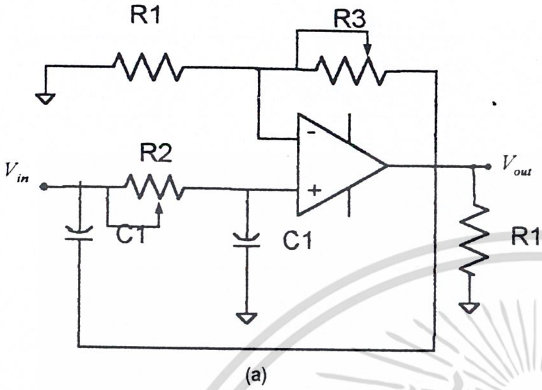
   $= 15.9\ K\Omega$

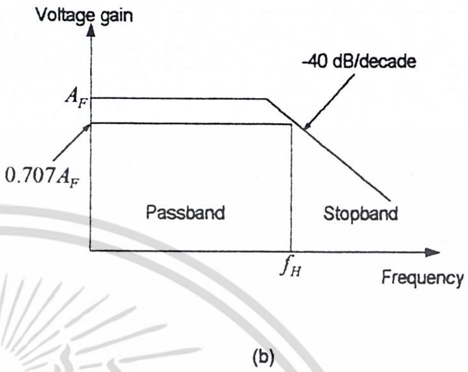
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. **เนื่องจาก $A_F = 2$, ดังนั้น R_F จึงต้องเท่ากับ R_1**

   เลือก $R_F = R_1 = 10K\Omega$

2.4.1(b)Low Pass Filter ชนิด Order สอง





รูปที่ 2.8 Second-Order Low-Pass Butterworth Filter

จากรูปที่ 2.8 จะได้ว่า

$$|Vo / Vin| = \frac{A_F}{\sqrt{1+(f / f_H)^4}}$$

เมื่อ V_O/V_{IN} = Gain ของวงจร

A_F = $1 + R_F/R_1$ = Pass Band Gain ของวงจร

f = Frequency ของ Input Signal

f_H = $1/(2\pi R_2 C_2)$ = High Cutoff Frequency

การออกแบบ

1. เลือกค่า High Cutoff Frequency f_H
2. เลือกค่า $C_2 = 10/f_H$ μ Farad
3. คำนวณ $R_2 = 1/(2\pi\ f_H C_2)$
4. คำนวณหาค่า R_F และ R_1 ตามค่า Pass Band Gain

$$A_F = 1 + R_F/R_1$$

ตัวอย่าง ออกแบบ Low-Pass Filter ที่ Cutoff Frequency = $1KH_Z$ ที่ Pass Band Gain = 2

วิธีทำ

1. $f_H = 1KH_Z$
2. $C_2 = 10/100\ \mu F = 0.01\ \mu F$
3. $R_2 = 1/(2\pi)(1000)(0.01 \times 10^{-6})$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$= 15.9\ K\Omega$

4. เนื่องจาก $A_F = 2$, ดังนั้น R_F จึงต้องเท่ากับ R_1

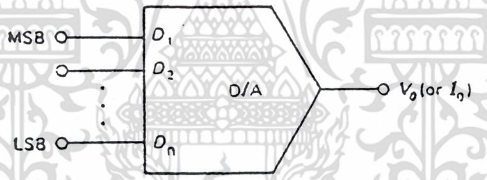
เลือก $R_F = R_1 = 10K\Omega$

2.5 การเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก (DAC)

หลักการทำงานของ DAC คือการนำเอากลุ่มของบิท (BIT) จากเครื่องคอมพิวเตอร์หรืออุปกรณ์ดิจิตอลมาเปลี่ยนเป็นระดับแรงดันอนาล็อก เอาท์พุทของ DAC เป็นระดับความแตกต่างของแต่ละบิทของดิจอตองอินพุท

2.5.1 หลักการพื้นฐานของ DAC

บล็อกไดอะแกรมของ DAC แสดงในรูป เอาท์พุทที่สร้างขึ้นจาก DAC เป็นได้ทั้งแรงดันและกระแส



รูปที่ 2.9 บล็อกไดอะแกรมของ D/A Convertor

เอาท์พุทชนิดใดก็ตามของ DAC ที่ผลิตขึ้นมาได้จากวงจรที่นำมาใช้ในการเปลี่ยนดิจิตอลเป็นอนาล็อก จำนวนของความแตกต่างของระดับแรงดันและกระแสที่สร้างขึ้นที่เอาท์พุทของ DAC จะสัมพันธ์กับจำนวนของบิทที่นำมาเปลี่ยนในสมการ

$$N = 2^n$$

เมื่อ N คือจำนวนของระดับความแตกต่างด้านเอาท์พุทที่สร้างขึ้น และ n คือจำนวนของบิทอินพุทที่นำมาเปลี่ยน

จำนวนของระดับความแตกต่างที่สร้างขึ้นที่เอาท์พุทของ DAC จะขึ้นอยู่กับขอบเขตการจำแนกของอุปกรณ์ที่ใช้งาน จำนวนบิทของอินพุทจะใช้บิทที่สูงที่สุดในการคำนวณเช่น อินพุทของ DAC จำนวน 10 บิท สามารถเปลี่ยนระดับสัญญาณได้ 1024 ระดับ การเปลี่ยนแปลงเป็นรูปอื่นเป็นคุณสมบัติหนึ่งที่สำคัญของ DAC ในการนำไปประยุกต์ใช้งานในหลายๆด้าน หลักการหนึ่งในการเปลี่ยนแปลงสัญญาณดิจิตอลในรูปของ N ($N = 2^n$) และสามารถคิดในรูปเปอร์เซนต์ได้จากสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\text{Percent Resolution} = \left(\frac{1}{2^n}\right) \times 100\ \%$$

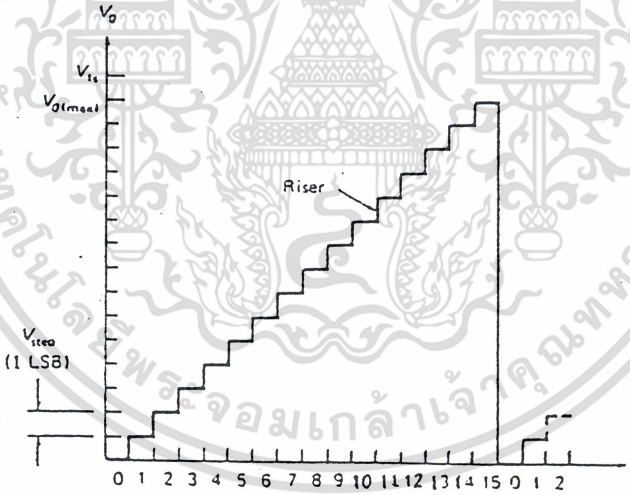
เช่น 10 บิท DAC

$$\text{Percent Resolution} = \left(\frac{1}{2^{10}}\right) \times 100\ \%$$

$$= \left(\frac{1}{1024}\right) \times 100\ \%$$

$$= 0.098\ \%$$

จากตัวอย่างของเอาท์พุทของ 10บิท DAC มีความแน่นอน 0.098 % ของเอาท์พุท Full Scale ซึ่งคือระดับแรงดันหรือกระแสที่สร้างขึ้นที่เอาท์พุทของ DAC ที่สมมติขึ้นว่าเลข 1 ไบนารี่ที่เป็นอินพุทแต่ละตัวเปลี่ยนแปลงเป็นรูปอื่นไม่ได้จำกัด แต่ในความเป็นจริง DAC ไม่สามารถมีจำนวนถึง Ideal Full Scale เนื่องจากการจำกัดจำนวนของอินพุทตัวอย่างเช่น DAC ที่แสดงในรูป มีอินพุท 4 เส้น กราฟของ Vo และอินพุทไบนารี่ สำหรับ 4 บิทDAC สามารถสร้างได้ดังแสดงในรูป



รูปที่ 2.10 คุณสมบัติทรานเฟอร์สำหรับ 4 บิท DAC

จะสังเกตได้ว่ามีระดับความแตกต่างของแรงดันที่เป็นไปได้ 16 ระดับ และ 15 ขอบขาขึ้น ถ้าเป็นเอาท์พุท Full Scale จะมีขอบขาขึ้น 16 ขอบ ซึ่งหมายถึงว่าค่า V_O สูงสุดเอาท์พุทจะไม่ถึง V_{fs} อีกหนึ่งขั้น ขนาดของเอาท์พุทหนึ่งขั้นเรียกว่า 1 LSB ซึ่งมีความเปลี่ยนแปลงน้อยมากและปรากฏขึ้นเมื่อ LSB ของดิจิตอลอินพุทเปลี่ยนสภาวะ การเพิ่มขึ้นของเอาท์พุท (แรงดันหรือกระแส) สำหรับแต่ละขั้นหาได้จากจำนวนของขั้นและ V_{fs} ซึ่งมีความสัมพันธ์กันดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\text{ขนาดขั้น} = \frac{V_{fs}}{2^n}$$

เมื่อ n คือจำนวนของอินพุทไบนารี่ และ Vfs คือแรงดัน Full Scale ของ Ideal DAC เช่น V_O ของ 4 บิท DAC เป็นไปตามทฤษฎีมี V_{fs} เท่ากับ 10 V และอินพุทไบนารี่ 12 ฐาน 10 ได้ V_O เท่ากับ

$$\text{ขนาดขั้น} = \frac{V_{fs}}{2^n}$$

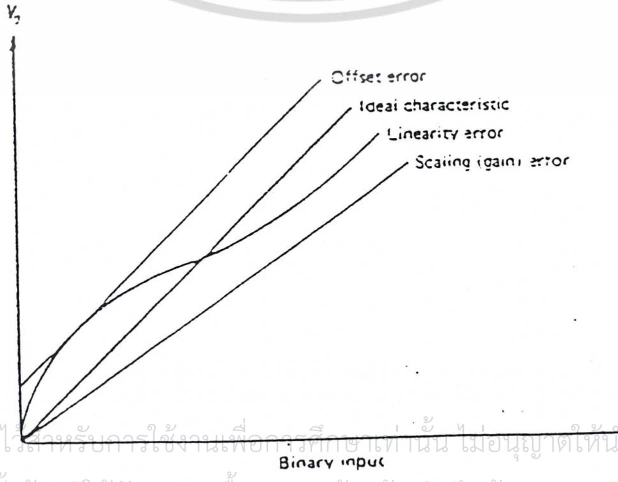
$$= \frac{10}{16}$$

$$= 0.625$$

$$V_O = 0.625 \times 12$$

$$= 7.5\ V$$

การจำแนกของ DAC จะใช้เป็นตัวบอกความเที่ยงตรงของศักย์เพราะว่าการจำแนกเป็นตัวกำหนดข้อจำกัดของความเที่ยงตรงของการเปลี่ยนแปลง อย่างไรก็ตามความเที่ยงตรงของการจำแนกไม่ใช้สิ่งเดียวกันตัวอย่างเช่น 16 บิท DAC จะพิจารณาถึงการจำแนกสูงสุด (65536) แต่ไม่ใช่สิ่งจำเป็นที่ถูกต้องในการหาค่า V_O ซึ่งจะหาได้จากค่าอินพุทที่ให้มา ภายใต้เงื่อนไขอุดมคติเอาท์พุทของ DAC จะมีความถูกต้อง +□ Vstep (หรือ +□ LSB เพราะ 1 Step = 1LSB) อย่างไรก็ตามอาจมีความผิดพลาดได้ใน DAC แต่ละชนิดความคลาดเคลื่อนจะเกิดจากโครงสร้างของวงจร DAC ผลของการเปลี่ยนแปลงแหล่งความคลาดเคลื่อน บนเอาท์พุทบนตัวคอนเวอร์เตอร์ แสดงดัง รูปที่ 2.11 เป็นรูปผลของการเปลี่ยนแปลงความคลดานเคลื่อนของทรานเฟอร์ฟังชั่นของ DAC อุดมคติ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

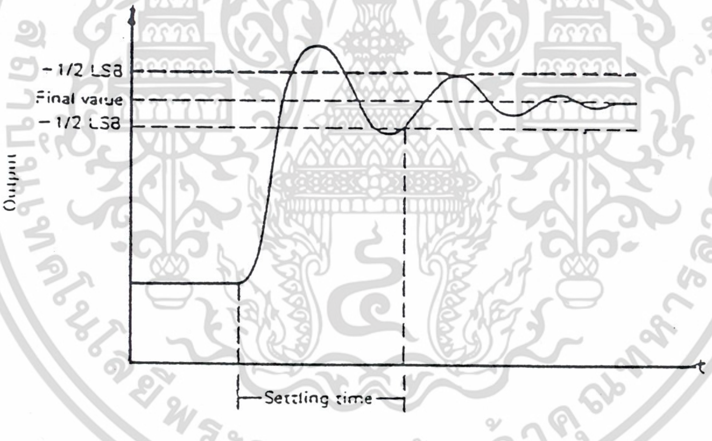
รูปที่ 2.11 กราฟของ DAC อุดมคติและผลความคลาดเคลื่อน

Offset Error เป็นผลที่เกิดขึ้นที่เอาท์พุทของ DAC ไม่เป็น 0 เมื่ออินพุทไบนารี่เป็น 0 ทำให้เกิดค่าคงที่เลื่อนให้ V_O ให้เกิดย่านของไบนารี่อินพุท

Gain Error หรือเรียกอีกอย่างหนึ่งว่า Scaling Error จะสร้างขนาดขึ้นให้ใหญ่กว่าหรือเล็กกว่าขนาดปกติซึ่งเป็นสาเหตุให้ค่า V_O เบี่ยงเบนจากค่าความเป็นจริงของไบนารี่อินพุท

Linearity Error เป็นความคลาดเคลื่อนอีกชนิดหนึ่งที่เป็นสาเหตุทำให้ DAC ไม่เป็นเชิงเส้น ตัวอย่างเช่น ถ้าเกณฑ์ของ DAC ไม่คงที่สำหรับไบนารี่อินพุท เอาท์พุทจะเปลี่ยนแปลงขนาดของขั้นที่สร้างขึ้น

คุณลักษณะของ DAC ที่สำคัญอีกอย่างคือความสัมพันธ์เกี่ยวกับเวลาที่ใช้ในการเปลี่ยนแปลง คุณสมบัตินี้เรียกว่า Setting Time เป็นการวัดการตอบสนองทางด้านความเร็วของ DAC



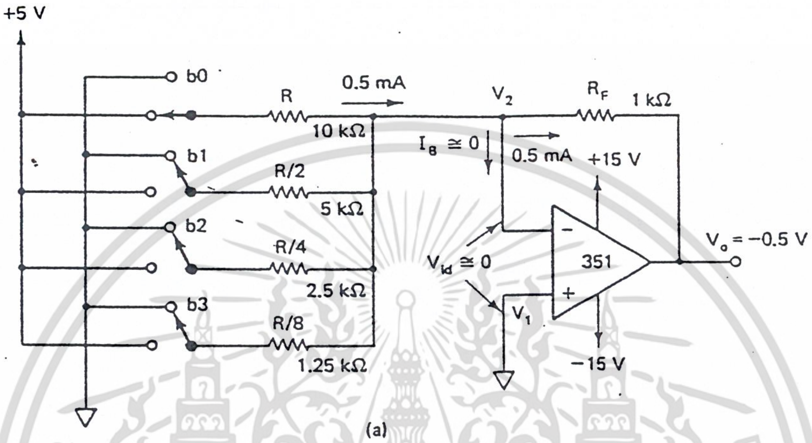
รูปที่ 2.12 กราฟการตอบสนองต่อ Setting Time ของ DAC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.2 วงจร DAC

1. Weighted Resister Summing Amplifier

เป็น DAC อีกชนิดหนึ่งใช้น้ำหนักของไบนารี่มาทำการบวกกันดังแสดงในรูป 2.13



รูปที่ 2.13 Weighted Resistor DAC

ในรูปเป็นวงจรที่ใช้กับ 4 อินพุทสวิทช์จะถูกควบคุมจากดิจิตอลอินพุท D_1-D_4 เช่น เมื่อลอจิก 1 เป็นอินพุทสวิทช์จะต่อกับ Vref (แรงดันอ้างอิง) แรงดันเอาท์พุทของวงจรหาได้จากสมการนี้

$$V_O = -V_{ref}(D_1\frac{R_f}{R} + D_2\frac{R_f}{2R} + D_3\frac{R_f}{4R} + D_4\frac{R_f}{8R})$$

เมื่อ $D_n = 1$ ถ้าไบนารี่อินพุท Hight $D_n = 0$ เมื่อไบนารี่อินพุท Low

เครื่องหมายลบในสมการแสดงให้เห็นส่าเราต่อออปแอมป์ในโหมดของอินเวอร์ติ้งแอมป์ Vref มีค่าเป็นแรงดันบวก V_O จะเป็นลบถ้า Vref เป็นลบ V_O จะเป็นแรงดันบวก ค่าของ R_f หาได้จากเกณฑ์ของ DAC R_f จะมีค่ามากเมื่อแรงดันเอาท์พุทมีค่าสูงในการออกแบบสวิทซ์ S_1-S_4 จะไม่ใช้เมคานิกสวิทซ์ อาจใช้ CMOS อนาล็อกสวิทซ์ เช่น LF 11331 เป็น SPST JFET อนาล็อก สวิทซ์สวิทซ์ที่อยู่ภายในตัวไอซีจะทำการเปิดหรือปิดขึ้นอยู่กับสัญญาณลอจิกTTL ที่ใช้ควบคุม สวิทซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างส่วนต่างๆของวงจรรูปที่

$R_f = 10\ K\Omega$, $R = 10\ K\Omega$, $V_{ref} = 5V$

หาค่าเปอร์เซนต์การจำแนก สำหรับวงจรและ V_Oสำหรับระดับอินพุตดังนี้

	D_1	D_2	D_3	D_4
(1)	0	0	0	1
(2)	0	0	1	0
(3)	1	0	0	0
(4)	1	1	1	1

วิธีทำ

$$\text{PERCENT RESOLUTION} = (\frac{1}{2^n}) \times 100\%$$

$$= (\frac{1}{2^4}) \times 100\%$$

$$= (\frac{1}{16}) \times 100\%$$

$$= 6.25\ \%$$

และเอาเอาท์พุท Vo หาได้จาก

(1) $$Vo = -5\ V\left(\frac{0x100K}{10K} + \frac{0x10K}{20k} + \frac{0x10K}{40K} + \frac{1x10K}{80K}\right)$$

Vo = -0.625 V

(2) $$Vo = -5\ V\left(\frac{0x100K}{10K} + \frac{0x10K}{20k} + \frac{1x10K}{40K} + \frac{0x10K}{80K}\right)$$

Vo = -1.250 V

(3) $$Vo = -5\ V\left(\frac{1x100K}{10K} + \frac{0x10K}{20k} + \frac{0x10K}{40K} + \frac{0x10K}{80K}\right)$$

Vo = -5.000 V

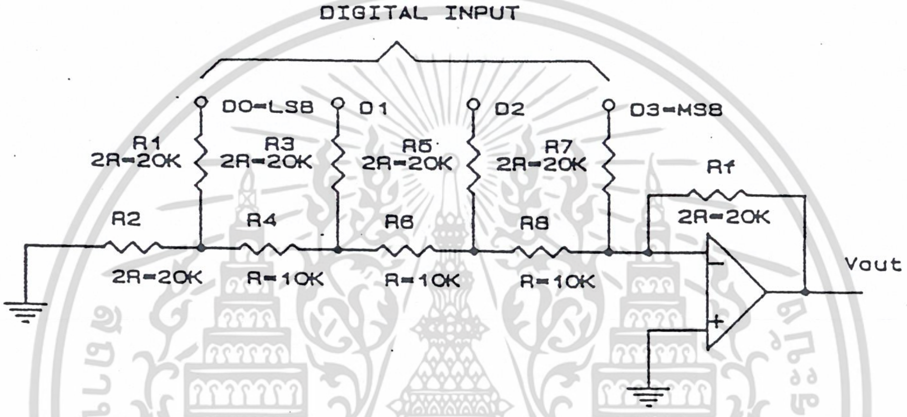
(4) $$Vo = -5\ V\left(\frac{1x100K}{10K} + \frac{1x10K}{20k} + \frac{1x10K}{40K} + \frac{1x10K}{80K}\right)$$

Vo = -9.375 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.R-2R Ladder DAC

ในทางปฏิบัติการเลือกน้ำหนักไบนารี่ของ DAC เป็นวงจรที่เรียกว่า R-2R Ladder DAC ลักษณะวงจรแสดงในรูป ออปแอมป์จะต่อแบบนอนคอินเวอร์ติ้ง R-2R คล้ายกับวงจรหารแรงดันอินพุท และวงจร adder ส่วนของ adder ของวงจรจะใช้สวิทช์ในการเลือกแหล่งจ่ายแรงดัน



รูปที่ 2.14 R-2R Ladder DAC

แรงดันที่ปรากฏบนขานอนอินเวอร์ติ้งของออปแอมจะสัมพันธ์กับการเซ็ทของวงจรสวิทช์ซึ่งมีความสัมพันธ์ดังสมการ

$$\text{Vin} = \frac{D_1V_{ref}}{2}+\frac{D_2V_{ref}}{4}+\frac{D_3V_{ref}}{8}+\frac{D_4V_{ref}}{16}$$

จากสมการนี้เราเขียนใหม่ได้เป็น

$$\text{Vin} = V_{ref}\left(\frac{D_1}{2}+\frac{D_2}{4}+\frac{D_3}{8}+\frac{D_4}{16}\right)$$

เมื่อ D_n = 1 (สวิทช์ต่อกับ V_{ref}) หรือ D_n = 0 (สวิทช์ต่อกราวด์)อัตราขยายแรงดันของนอนอินเวอร์ติ้งออปแอมป์หาได้จาก

$$\text{AV} = 1+\frac{R_f}{R_1}$$

เพราะฉะนั้น ค่า Vo ของ R-2R DAC จะได้

$$\text{Vo} = \text{AV}\ V_{ref}\left(\frac{D_1}{2}+\frac{D_2}{4}+\frac{D_3}{8}+\frac{D_4}{16}\right)$$

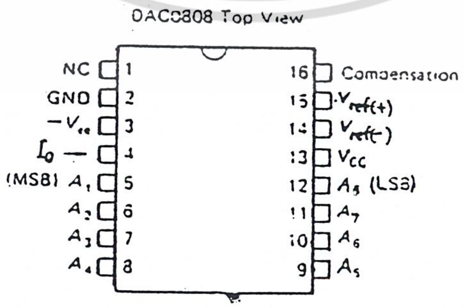
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

R-2R Ladder DAC จะมีประโยชน์มากกว่า Weighted Summing Amplifier ค่าความต้านทานที่ต้องการที่อินพุทของออปแอมป์ทั้งสองดังจะต่างกัน 2R กับ R ปัญหา ทางด้านอุณหภูมิสามารถกำจัดได้ง่าย ในทางปฏิบัติ R-2R Ladder DAC ใช้งานง่ายเพราะใช้ค่าความแตกต่างของความต้านทาน 2 ค่า (2:1) และจะมีจำนวนความต้านทานมากกว่าจำนวนของเลขไบนารี่

2.5.3 ไอซี DAC

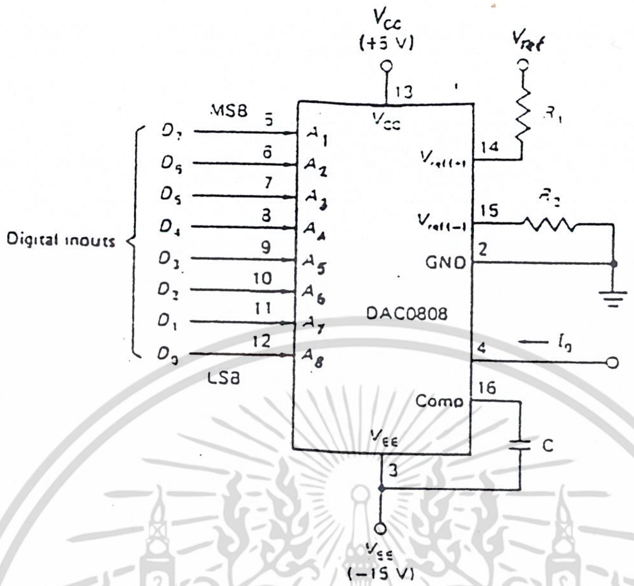
วงจร DAC ทั้งสองที่กล่าวมาแล้วเป็นวงจรที่นิยมใช้กันและเป็นการออกแบบง่ายๆ เมื่อต้องการความสามารถสูงขึ้นขึ้นจำนวนบิทมากขึ้น ก็จะต้องใช้ความต้านทานมากขึ้น เช่น 7 บิท R-2R DAC จะต้องใช้ความต้านทาน 16 ตัว สำหรับวงจร Ladder ทำให้ความต้านทานที่ต้องใช้แพงขึ้น เมื่อจำนวนบิทมากขึ้นเกินความสามารถที่จะทดลองต่อบนเซอร์กิตบอร์ด และรวมทั้งขั้นตอนการผลิตความต้านทานของโรงงาน ฉะนั้นเราจึงผลิตไอซี DAC ขึ้นเพื่อแก้ปัญหาเหล่านี้ซึ่งเราจะพิจารณาส่วนประกอบที่ประดิษฐ์ขึ้นในตัวไอซี ซึ่งจะเหมาะสมในเทอมของค่าต่างๆ และคุณสมบัติทางอุณหภูมิ

ไอซี DAC มีหลายแบบและแตกต่างกัน ตัวอย่างหนึ่งของไอซี DAC ที่ผลิตโดยเนชั่นแนลเซมิคอนดัคเตอร์ คือ DAC 0808 เป็น DAC ชนิด 7 บิท DAC ให้เอาท์พุทเป็นกระแสซึ่งจะมีความสัมพันธ์กับค่าของไบนารี่อินพุทที่ป้อนเข้ามา DAC 0808 มีทั้งหมด 16 ขาเป็นแบบ DIP และมีค่า Setting Time 150 ηsec ดังแสดงในรูป 2.15



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.15 ไอซี DAC 0808



รูปที่ 2.16 การใช้งานของวงจร DAC 0808

วงจร DAC ที่ใช้ไอซี DAC 0808 แสดงดังรูป2.16 และกระแสเอาท์พุทของวงจรหาได้จาก

$$Io = \frac{-V_{ref}}{R_{in}}\left(\frac{D_7}{2}+\frac{D_6}{4}+\frac{D_5}{8}+....+\frac{D_0}{256}\right)$$

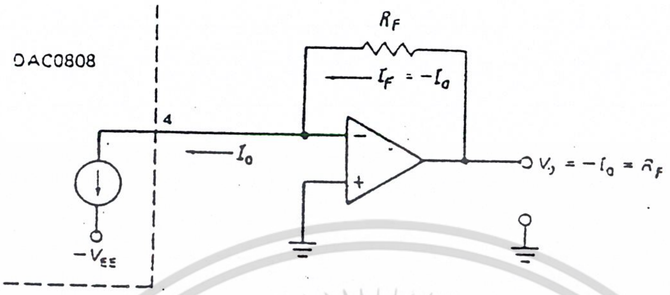
เมื่อ D_n = 0 หรือ 1

อินพุท D จะเปลี่ยนแปลงไปมาระหว่าง 0 กับ 1 ซึ่งอินพุทของ DAC สามารถต่อเข้ากับดาต้าบัส CPU ได้ ขาแรงดันอ้างอิงลบ V_{ref} (-) จะต่อลงกราวด์ผ่านความต้านทาน R_2 ซึ่งที่ค่าเท่ากับ R_1 จะช่วยป้องกัน Offset Error ขา 16 จะต่อไฟลบ $-V_{EE}$ โดยมีตัวเก็บประจุขั้นไว้ (มีค่าประมาณ 0.001 μF) ซึ่งจะช่วยป้องกัน Ring และ Over Shoot ที่เอาท์พุทของ DAC เอาท์พุท DAC 0808 จะเป็นระดับกระแสลบ

เราสามารถผ่านเอาท์พุทของ DAC ที่เป็นกระแสให้เป็นแรงดันได้ โดยใช้ออปแอมป์เปลี่ยนกระแสเป็นแรงดัน (I/V) โดยการต่อ IO ของ DAC 0808 ดังรูป 2.17 แสดงการเปลี่ยนกระแสเป็นแรงดัน แรงดันเอาท์พุทของวงจรหาได้จากสมการ

$$Vo = -IoR_r$$

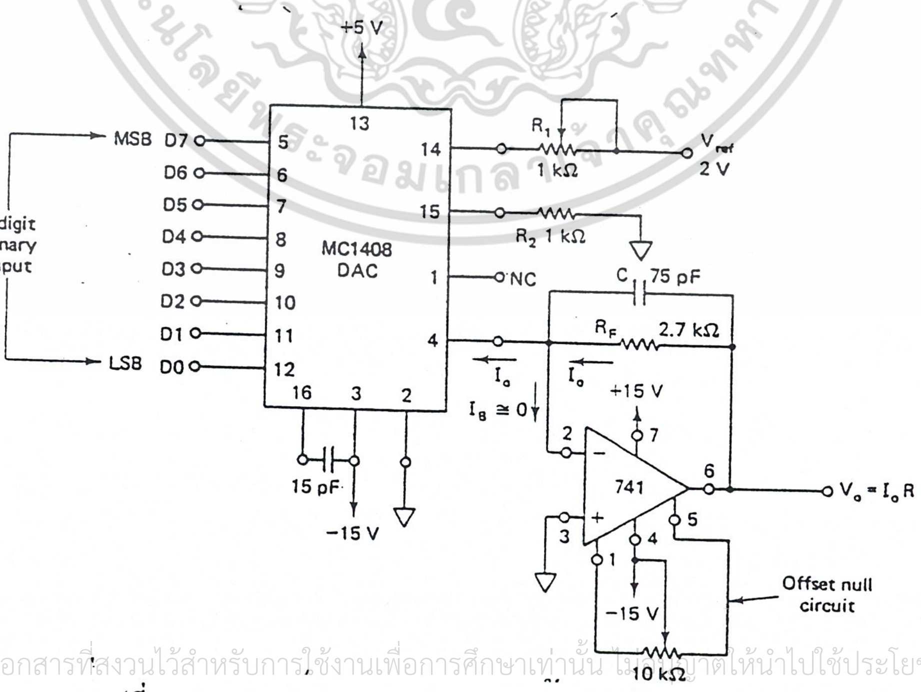
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.17 ใช้ออปแอมป์เปลี่ยนกระแสเป็นแรงดันจากเอาท์พุทของ DAC 0808

จากรูปเอาท์พุทของ DAC จะเป็นกระแสลบเมื่อผ่านออปแอมป์จะได้แรงดันบวก ซึ่งจะสัมพันธ์กับไบนารี่อินพุท วงจรสมมูลย์ของ DAC 0808 และ I/V คอนเวอร์เตอร์แสดงดังรูปที่ 2.18 เอาท์พุท Vo สามารถหาได้จากสมการนี้

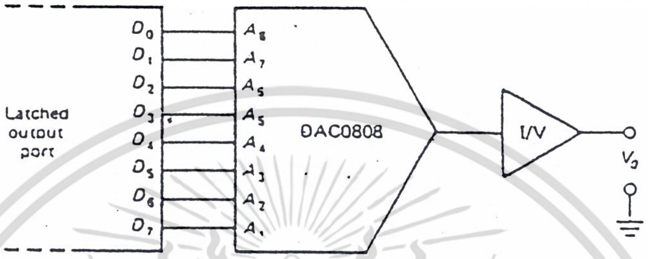
$$Vo = \frac{V_{ref}R_f}{R_1}\left(\frac{D_7}{2}+\frac{D_6}{4}+\frac{D_5}{8}+\dots+\frac{D_0}{256}\right)$$



รูปที่ 2.18 วงจรสมมูลย์ของ DAC 0808 แรงดันเอาท์พุท

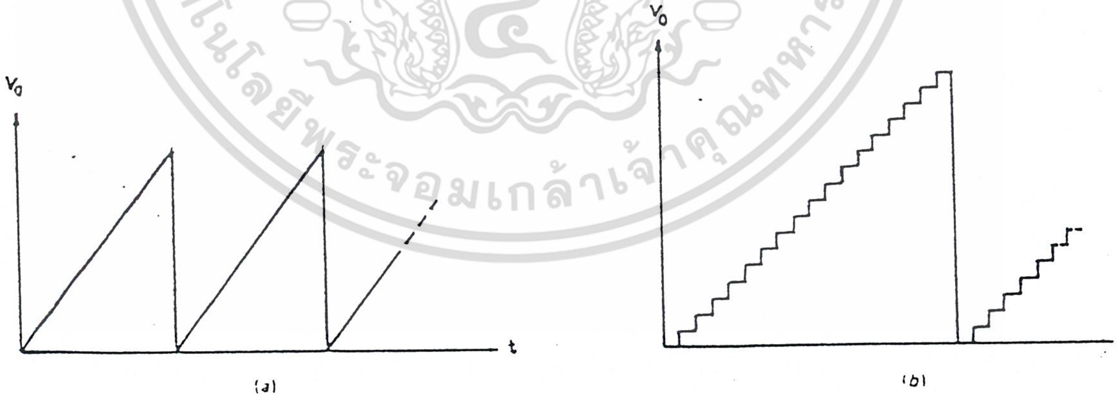
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น ... เอกสารทุกครั้งที่มีการนำไปใช้

สามารถนำเอา DAC 0808 มาประยุกต์ใช้งานได้โดยใช้คอมพิวเตอร์ในการกำหนดรูปคลื่นสัญญาณ ดังแสดงในรูปที่ 2.19 ซึ่งเป็นบล็อกไดอะแกรมของวงจรที่ใช้กำเนิดรูปคลื่น



รูปที่ 2.19 การต่อ DAC เข้ากับพอร์ตเอาท์พุท

เช่น ป้อนอินพุทให้ DAC ค่า OOH-FFH จะได้รูปคลื่นดังรูปที่ 2.19 (b)

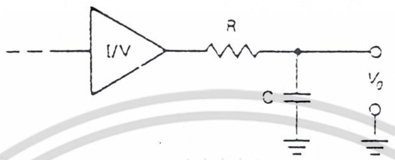


รูปที่ 2.20 (a) รูปคลื่นฟันเลื่อยอุดมคติ

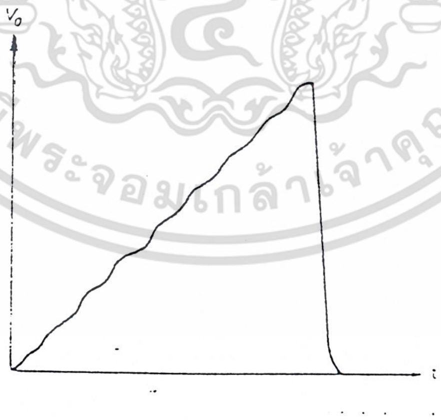
(b) รูปคลื่นที่ผลิตจาก DAC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และทำให้รูปคลื่นที่ผลิตได้มีลักษณะใกล้เคียงรูปคลื่นในอุดมคติได้โดยการฟิลเตอร์



รูปที่ 2.21 เอาท์พุทของ DAC ผ่านฟิลเตอร์

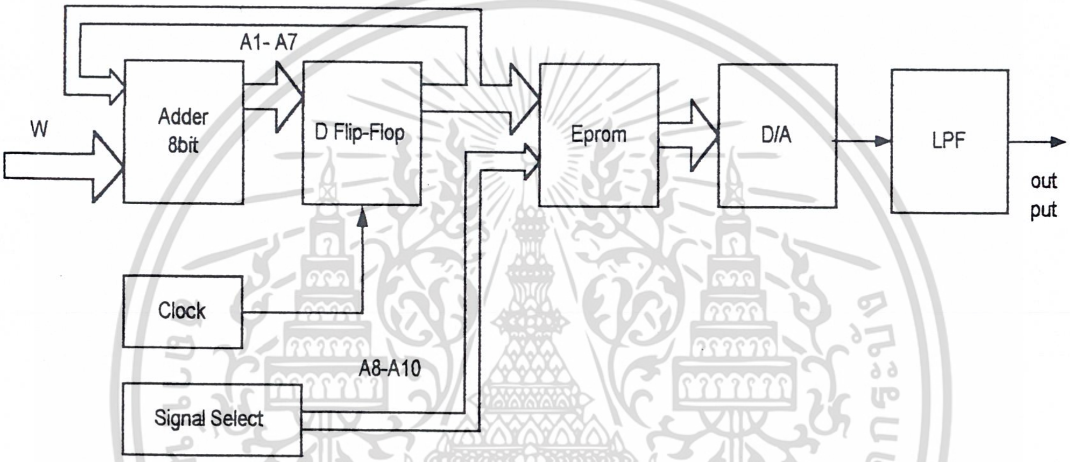


รูปที่ 2.22 ผลจากการฟิลเตอร์รูปคลื่นฟันเลื่อยที่สร้างขึ้นจาก DAC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การออกแบบวงจร

3.1 หลักการทำงานของวงจร



รูปที่ 3.1 บล็อกไดอะแกรมของโครงงานที่ใช้จริง

วงจร Clock จะทำการผลิตสัญญาณให้กับวงจร แอกคิวมูเลเตอร์ (Accumulator) ในส่วนนี้จะป้อนให้กับ ดีฟลิพ-ฟล็อฟ ซึ่งรีจิสเตอร์(Register) เก็บข้อมูลของวงจรแอดเดอร์ (Adder) ท่ได้มาจากการบวกกันของค่า อินพุท คอลโทลเวอร์ท (Input Control Word) (W) กับเอาท์พุทที่ผ่านมาดังสมการ $S(n) = S(n-1) + W$ เพื่อเป็นสัญญาณ แรมป์ (RAM)ไปอ้างอิงแอสแดรสของหน่วยความจำ EPROM ที่ขา A0-A7 ของ EPROM และวงจรเลือกรูปสัญญาณ จะใช้ขาแอสเดรสที่ A8-A10 เป็นตัวกำหนด และแสดงผลโดย LED และที่ขาแอสเดรส D0-D7 เป็นสายข้อมูลที่ออกมาจาก EPROM เข้า เข้าเป็นสัญญาณ ดิจิตอล (Digital) และสัญญาณขาออกเป็นสัญญาณ อนาล็อก(Analog ซึ่งอยู่ในรูปของกระแสและผ่านวงจรแปลงกระแสเป็นแรงดัน จากนั้นส่งสัญญาณผ่านวงจร โลพาสฟิลเตอร์ (LPF) เพื่อจัดให้สัญญาณเรียบขึ้น เพราะสัญญาณที่ผ่านจะยังเป็นรูปขั้นบันได

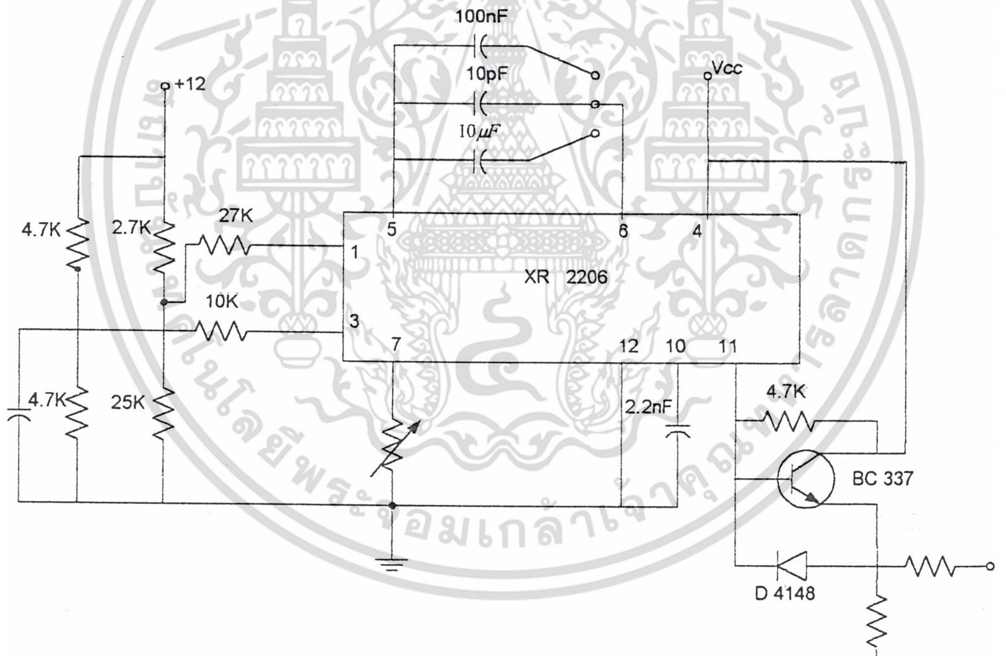
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 สัญญาณนาฬิกา

จะใช้ IC เบอร์ XR 2206 เป็นตัวกำเนิดสัญญาณนาฬิกา โดยจะมี SW เป็นตัวเลือกความถี่ได้ 3 ย่าน

1. 1 – 100 Hz
2. 100 – 10,000 Hz
3. 10,000 – 1,000,000 Hz

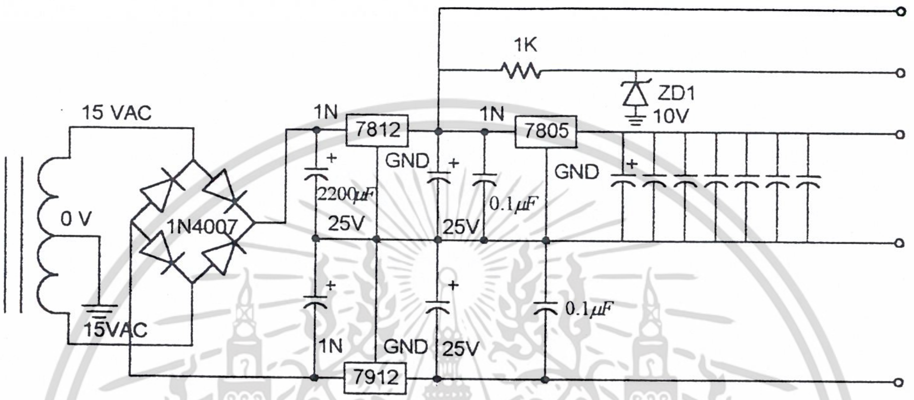
ทั้งนี้โดยการเลือกค่า Capacitance ระหว่างขา 5 และ ขา 6 และการปรับความถี่โดยละเอียดในแต่ละย่านทำได้โดยการเปลี่ยนค่า VR1 ดังรูป



รูปที่ 3.2 แสดงวงจรผลิตสัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 ภาคจ่ายไฟ



รูปที่ 3.3 แสดงวงจรภาคจ่ายไฟ

วงจรภาคจ่ายไฟแสดงดังรูปข้างบน ซึ่งมีระดับแรงดันไฟตรงคือ +12V,+10V,+5V และ –15V โดยระดับไฟตรงต่างๆจะได้จาก IC Regulator เบอร์ต่างๆ โดยที่ไฟ +12V และ –12V เป็นไฟที่ใช้เลี้ยงออปแอมป์และไฟ +10V เป็นแรงไฟตรงที่ใช้อ้างอิงไอซี DAC 0808 เพื่อจะมาผ่านตัวความต้านทาน 5.6 กิโลโอห์ม เพื่อมาเป็นกระแสอ้างอิงต่อไป ส่วนไฟ +5V เป็นไฟสำหรับอุปกรณ์ TTL ตัวต่าง

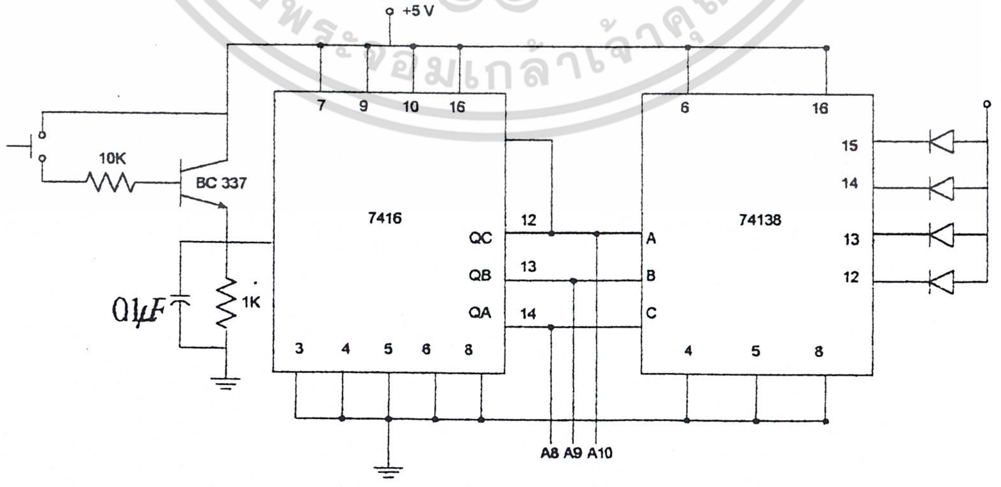
3.4 วงจรเลือกสัญญาณ

จะใช้ 3 บิตบน คือ A8-A10 ซึ่งเป็นขา Address ของ EPROM เบอร์ 2716 ในการเลือกชุดข้อมูล ส่วนบิตล่าง A0-A7 ซึ่งมีจำนวนทั้งหมด 8 บิต เป็นตำแหน่งของข้อมูล ในการเลือกชุดรูปแบบของสัญญาณเอาท์พุทจากการอ้างตำแหน่งแอดเดรสที่ ขา A8-A10 ดังตาราง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปสัญญาณ	เลือกสัญญาณ			จากวงจรนับ							
	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
Sine Wave	0	0	0	X	X	X	X	X	X	X	X
Ramp Wave	0	0	1	X	X	X	X	X	X	X	X
Triangle Wave	0	1	0	X	X	X	X	X	X	X	X
Square Wave	0	1	1	X	X	X	X	X	X	X	X

การออกแบบวงจรเลือกสัญญาณ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.4 แสดงวงจรเลือกรูปสัญญาณ

การทำงานเมื่อกด SW จะเกิดสัญญาณ CK เพื่อเป็น Input ให้วงจรนับ 2^3 = 8 สถานะแต่การจะใช้ตั้งแต่ 000-011 เท่านั้น หรือ 4 สถานะเท่านั้น เพื่อรูปสัญญาณ 4 รูปสัญญาณแต่เมื่อนับมาถึง 100 ซึ่งบิตที่ให้เป็นนี้ให้ผ่านอินเวิลท์เตอร์ (Invertor) เพื่อนำไป Clear ให้นับใหม่ที่ขา 1 ของ IC 74163 และเอาท์พุทของ IC 74163 ซึ่งเป็น ดีโคดเดอรี่ (Decoder) 3t08 เพื่อแสดงสถานะของสัญญาณโดยจะใช้ LED 4 ดวงเป็นตัวแสดงผลโดยต่อแบบ คอมมอน อาโนด (Common Anode)

3.5 แอคคิวมูเลเตอร์ (ACCUMULATOR)

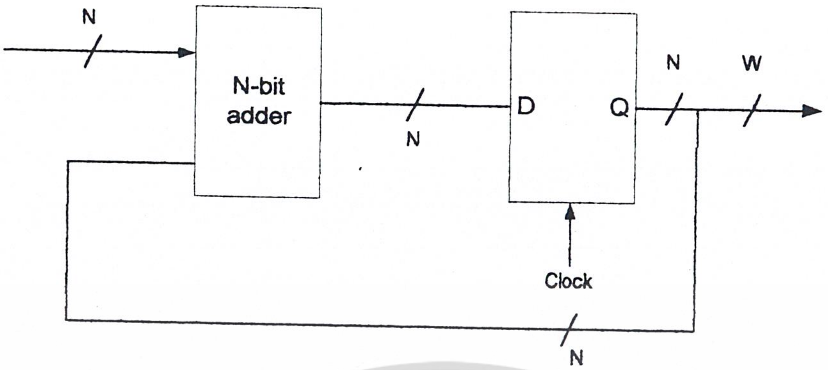
แอคคิวมูเลเตอร์(ACCUMULATOR)เป็นอุปกรณ์ที่มีลักษณะการทำงานแสดงได้โดยฟังชัน

$$S(n) = S(n-1) + W$$

แอคคิวมูเลเตอร์ จึงเป็น ดิจิตอล อินทิเกชัน (Digital integrator) และผลิตสัญญาณ แรม (ramp) ออกมาที่ เอาท์พุท โดยความชันของสัญญาณ ramp ขึ้นอยู่กับค่า W (input control word) แอคคิวมูเลเตอร์ จึงสามารถใช้เพื่อกำเนิด เฟส (Wt) ในการ แซมเป็นดาทา (sample data) โดยที่ T ในการ Sampling ซึ่งขึ้นกับสัญญาณนาฬิกา ที่ป้อนให้กับ แอคิวมูเลเตอร์

แอคคิวมูเลเตอร์ จะทำหน้าที่เป็นตัวชี้โดย เอาท์พุท ของ แอคคิวมูเลเตอร์ ซึ่งแสดง phase ของสัญญาณนับเพิ่มขึ้นได้ตั้งแต่จาก 0 ถึง 2^8 -1 และเมื่อมีค่าเกินตัวนี้ไป แอคคิวมูเลเตอร์ จะเกิดการOver flow และเริ่มนับจาก 0 ใหม่อีกครั้ง การเพิ่มขึ้นของ แอคคิวมูเลเตอร์จะขึ้นอยู่กับอัตราของสัญญาณ clock โดยที่ Fck = 1/T และขึ้นกับค่า ค่า W โดย W สามารถมีค่าได้ตั้งแต่ 0 หรือ W มีค่าเป็นจำนวนเท่าใดก็ได้โดย W < 2N – 1 ซึ่งก็คือในกรณีที่ อินพุทจำนวน N บิต มีค่าเป็น 1 ทั้งหมด ดังนั้นเรากำหนดให้ 0 เท่ากับเฟส 0 และ $2^8 - 1$ ท่ากับ เฟส 2π แล้วเราจะได้อุปกรณ์ ที่กำเนิด เฟส จาก 0 ถึง 2π มีลักษณะเป็นรายคาบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.5 Block Diagram ของ Accumulator

สำหรับการแสดงการทำงานของแอคคิวมูเลเตอร์(Accumulator)สมมุติป้อนสัญญาณนาฬิกา ที่ความถี่ Fck = $\frac{2^{32}}{10}$ ให้แก่ แอคคิวมูเลเตอร์ ที่มีขนาด N=32 bit แล้วถ้า W =1 แอคคิวมูเลเตอร์ จะใช้เวลา 10 sec (กระตุ้นด้วยสัญญาณ clock 2^N ครั้ง) ในการสร้างเฟสจาก 0 ถึง 2π แต่ถ้า W=2^{30} แล้ว แอคคิวมูเลเตอร์ เวลาเพียง $40/2^{32}$= $10/2^{30}$ sec (กระตุ้นด้วยสัญญาณ clock 4 ครั้ง) จะเห็นว่า W เป็นตัวควบคุมอัตราการเปลี่ยนแปลงของ แอคคิวมูเลเตอร์และอัตราการเปลี่ยนแปลงของเฟส ที่ได้จาก แอคคิวมูเลเตอร์ ก็คือความถี่เชิงมุม (ω)นั่นเอง

ด้วยเหตุผลทางคณิตศาสตร์ เนื่องจาก $\omega = d\varphi / dt$ เขียนได้ว่า

$$\text{Fout} = 2\pi \frac{d\varphi}{dt} = \frac{Fck.W}{2^N}$$

โดย Fout คือ ความถี่ที่ output และ T คือคาบเวลาของสัญญาณนาฬิกา

$$\text{Fout} = \frac{Fck.W}{2^N}$$

Fout = ความถี่เอาท์พุทของสัญญาณ

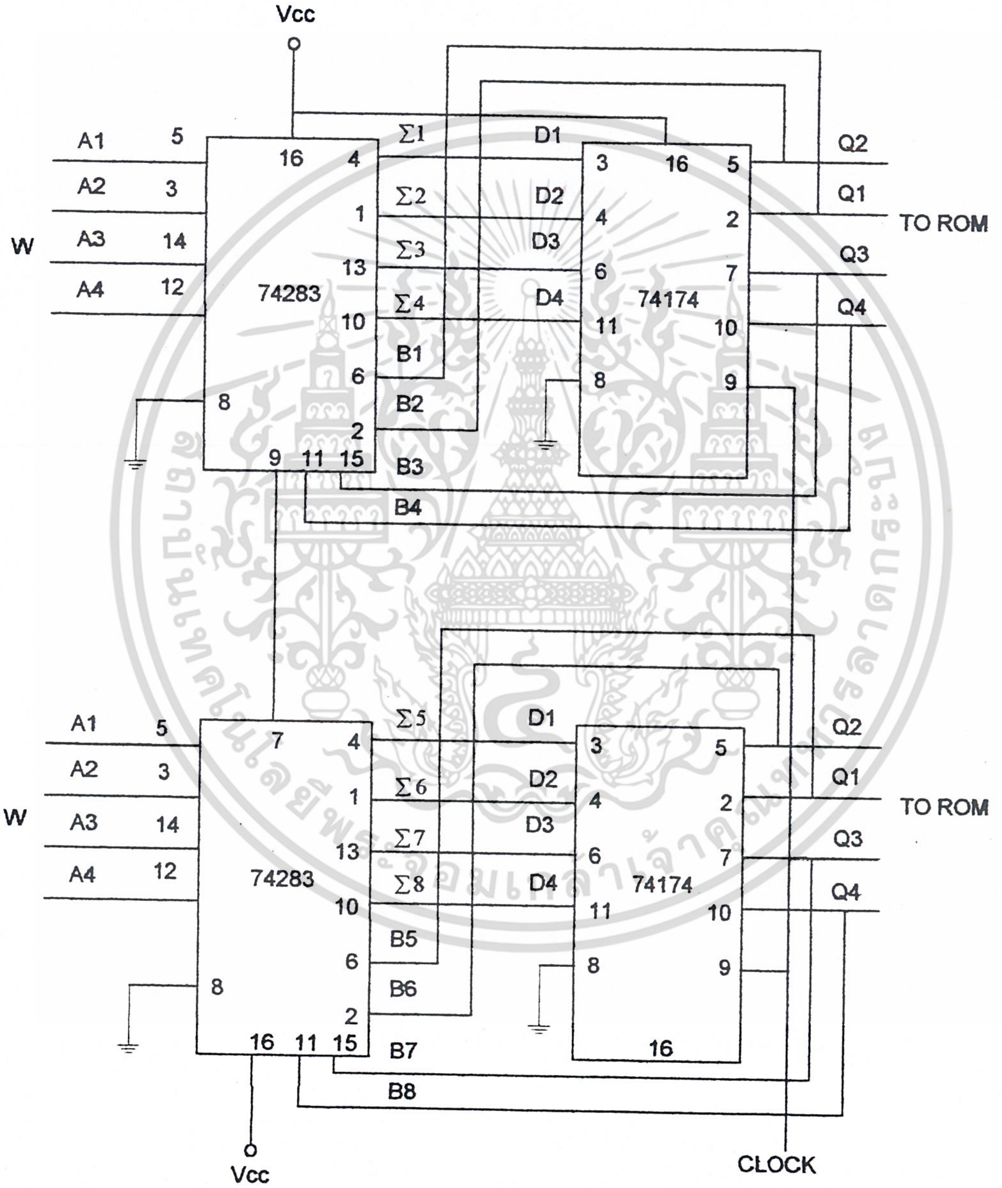
Fck = ความถี่ CK

W = Control Word

N = จำนวนของ แอคคิวมูเลเตอร์(Accumulator)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จาก Block Diagram ข้างบน นำมาออกแบบวงจรจะได้ดังนี้ โดยใช้ IC Adder เบอร์ 74283 เป็น Full Adder with Fast Carry เป็น IC ขนาด 4 bit มาต่อรวมกันเป็น 8 bit จะใช้ IC เบอร์ 74174 ซึ่งเป็น D- Flip Flop



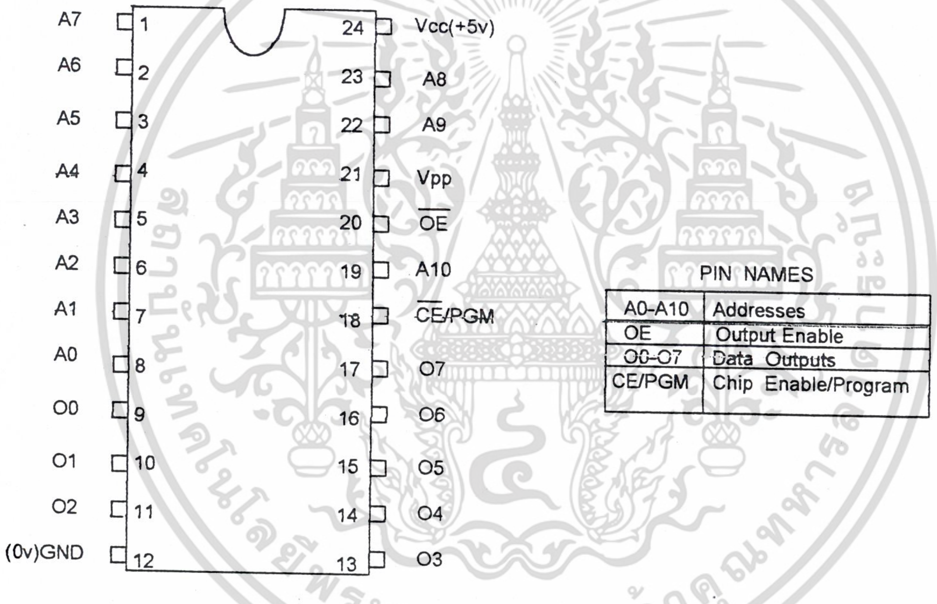
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

รูปที่ 3.6 แสดงวงจรออกแบบวงจรแอคคิวมูเลเตอร์

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 วงจรหน่วยความจำ(EPROM)

EPROM เป็นที่เก็บข้อมูลแบบถาวร EPROM เบอร์2716 ขนาด 2K×8 bit ใช้เก็บข้อมูลดิจิตอลที่ใช้ในการกำเนิดสัญญาณทั้งหมด 4 สัญญาณและใช้ DAC เป็นเบอร์ DAC 0800 เป็นตัวแปลงสัญญาณดิจิตอลมาเป็นสัญญาณอนาล็อก โดยที่ EPROM 2716 นี้มีขาที่แอดเดรส จำนวน10 เส้นA0-A10 และมีขา ดาต้า D0-D7 จำนวน 8 เส้น และขา A1-A7 นี้ใช้เป็นขาอ้างแอสเดรสของ EPROM และอีก 3 ขาคือ A8-A10 ใช้เป็นชุดเลือกสัญญาณข้อมูล โดยที่อ้างตำแหน่งแอสเดรสนี้จะใช้วงจร แอคคิวมูเลเตอร์ (Accumulator) ที่ประกอบด้วยวงจร Adder และ D-Flipflop



รูปที่ 3.7 วงจรหน่วงความจำ

การคำนวณค่า ซายน์ เวฟ (SINE WAVE)

โดยที่ ซายน์ เวฟ (Sine Wave) 1 Cycle มี 360 องศา โดยแบ่งเป็นช่องละ 3 องศาหรือได้ 120 ช่องเมื่อเป็นการแซมปลิ้ง (Sampling) โดยจากเราเพิ่มจำนวนการแซมปลิ้ง (Sampling)มากขึ้น หรือ น้อยกว่า 3 องศาก็จะได้รูปสัญญาณที่ละเอียดขึ้นไปอีกและจะขึ้นกับจำนวนบิตของข้อมูลด้วย เช่นถ้าเราใช้จำนวน 8 bitsก็จะได้จำนวน 256 ระดับ 2^8. 00H-FFH และในการคำนวณนี้จะได้ 8 bits เราจะเริ่มจาก 0 องศาหรือที่ 75H

เอกสารนี้เป็นเอกสาร...สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีการคำนวณ

1. หาค่า Sine จากองศาที่คิดไว้ เช่น 0 ° , 3 ° , 6 °
2. นำค่าที่ได้จาก(1)มาคูณด้าย 127(7F)
3. นำค่าที่ได้จาก(2)มาคูณด้วย 127(7F)
4. นำค่าที่ได้มาทำเป็นฐาน16

DURATION	DEGREE	ค่า Sine	× 127(7F)	+127(7F)	HEX
0	0	0	0	127	7FH
1	3	0.0523	6.6466	133.646	86H
2	6	0.1045	13.2751	140.275	8CH
3	9	0.1564	19.8671	146.867	93H
4	12	0.2079	26.4047	153.4047	99H
5	15	0.2588	32.8700	159.8700	A0H
6	18	0.309	39.2451	166.2451	A6H
7	21	0.3583	45.5127	172.5127	ADH

จากค่าคำนวณแล้วจะ ได้ดังนี้

7F,86,8C,93,99,A0,A6,A6,B3,B9,BF,C4,CA,CF,D4,D9,DD,E2,E6,EA,ED,F0,F3,F6,F8,FA,FC,FD,FE,FF,F0,FC,FB,FA,F8,F6,F3,F0,ED,EA,E6,E2,DD,D9,D4,CF,CA,C4,BF,B9,B3,AD,A6,A0,99,93,8C,86,7F,78,72,6B,65,5E,58,51,4B,45,40,3A,34,2F,2A,25,21,1C,18,14,11,0E,0B,08,06,04,03,02,01,00,01,02,03,04.06,08,0B,0E,11,14,18,1C,21,25,2A,2F,34,3A,40,45,4B,51,58,65,6B,72,78,7F

ตารางแสดงช่วงตำแหน่งแอสเคสในหน่วยความจำที่จัดเก็บข้อมูลของรูปสัญญาณต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปสัญญาณ	ที่ตำแหน่งแอสเดรส
Sine	0000-00FF
Ramp	0100-01FF
Triangle	0200-02FF
Square	0300-03FF

3.7 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก

จะใช้ IC เบอร์ 0808 ซึ่งเป็น IC ขนาด 8 bits ที่รับข้อมูลดิจิตอลจาก EPROM จำนวน 8 bits มาเข้า DAC ที่ขา D0-D7 เพื่อแปลงเป็นกระแสดังสมการ

$$Io = \frac{Vref}{R1}\left(\frac{D7}{2}+\frac{D6}{4}+\frac{D5}{8}+\frac{D4}{16}+\frac{D3}{32}+\frac{D2}{64}+\frac{D1}{128}+\frac{D0}{256}\right)$$

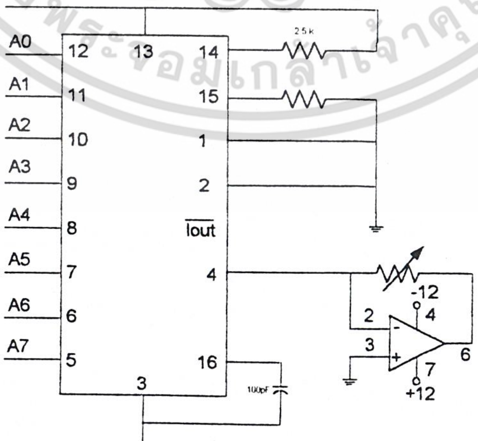
เมื่อ Io = กระแสเอาท์พุตของ DAC (mA)

R1 = KΩ

Vref = เราจะกำหนดไว้ คือ 5V และ R1=2.5 KΩ เมื่อสมมุติว่าทุกบิตมีค่าเป็น 1หมด

จะได้ $Io_{max} = \frac{5V}{2.5K\Omega}(0.996) = 1.992$ Ma

และกระแสที่ได้จะเปลี่ยนเป็นแรงดันเมื่อผ่านวงจรเปลี่ยนกระแสเป็นแรงดันดังวงจร

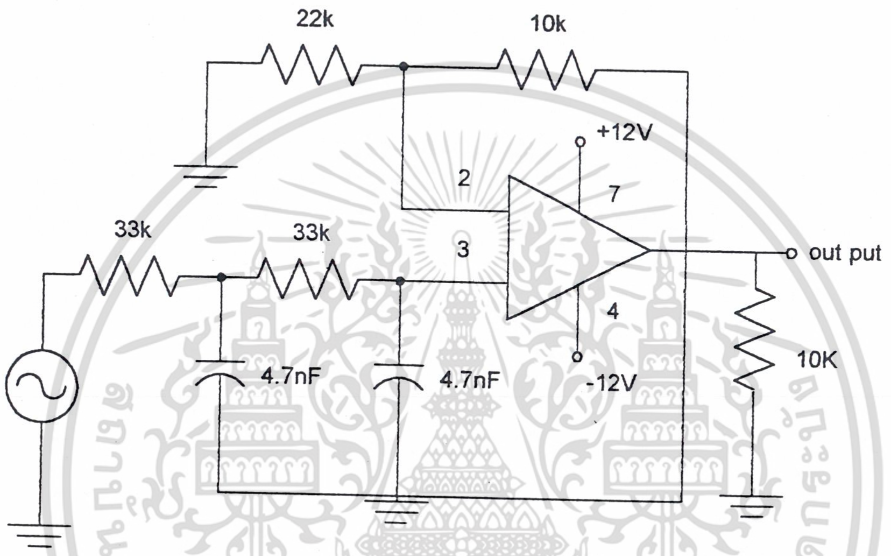


รูปที่ 3.8 แสดงวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก

เอกสารนี้เป็นเอกสาร ... นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.8 วงจรกรองความถี่ต่ำ (Low Pass Filter) อันดับ 2 ชนิด Active

เป็นวงจรที่กรองความถี่ต่ำผ่านจะช่วยปรับความเรียบของสัญญาณให้เรียบมากขึ้นเพราะสัญญาณที่ออกมาจากวงจรแปลงกระแสแรงดันนั้นยังไม่เรียบคือขึ้นอยู่กับ Step เราจะใช้ Low Pass Filter ชนิด order 2

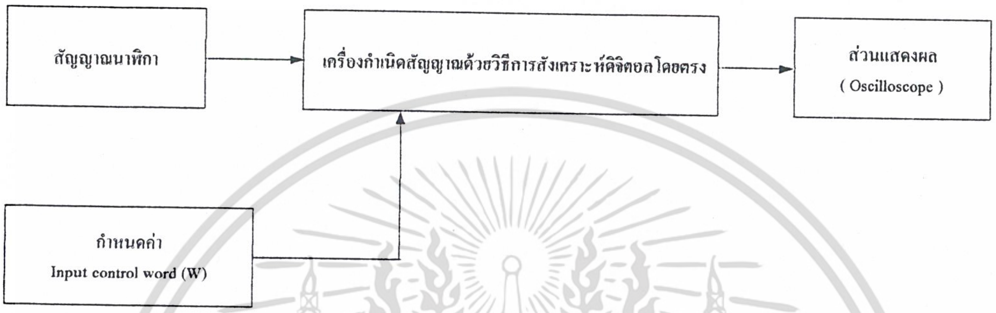


รูปที่ 3.9 วงจรกรองความถี่ต่ำ Second – order

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การทดลองและผลการทดลอง

4.1 บล็อกไดอะแกรมของการทดลอง



รูปที่ 4.1 แสดงบล็อกไดอะแกรมของการทดลอง

ขั้นแรกก็กำหนดความถี่สัญญาณนาฬิกาและกำหนดค่าอินพุทคอนโทลเวร์ด (Input Control Word) จาก ดิฟสวิทช์ (Dispatch) ซึ่งมีขนาด 8 บิท จากนั้นก็เลือกรูปสัญญาณ โดยมีออสซิเลเตอร เป็นตัววัดทางด่านเอาท์พุท

จากสูตร $$\text{Fout} = \frac{Fck.W}{2^N}$$

Fout = ความถี่เอาท์พุทของสัญญาณ

Fck = ความถี่ สัญญาณนาฬิกา

W = เป็นค่า Input Control Word

N = จำนวนของบิทของแอคคิวมูเลเตอร์(Accumulator)

จะเห็นว่าความถี่ของเอาท์พุทจะได้จากการคูณระหว่างความถี่สัญญาณนาฬิกากับค่าอินพุทคอนโทลเวร์ดและหารด้วย 2^N เมื่อ N เท่ากับ 8 ดังนั้น 2^N จะเท่ากับ 256 นั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 ผลการทดลอง

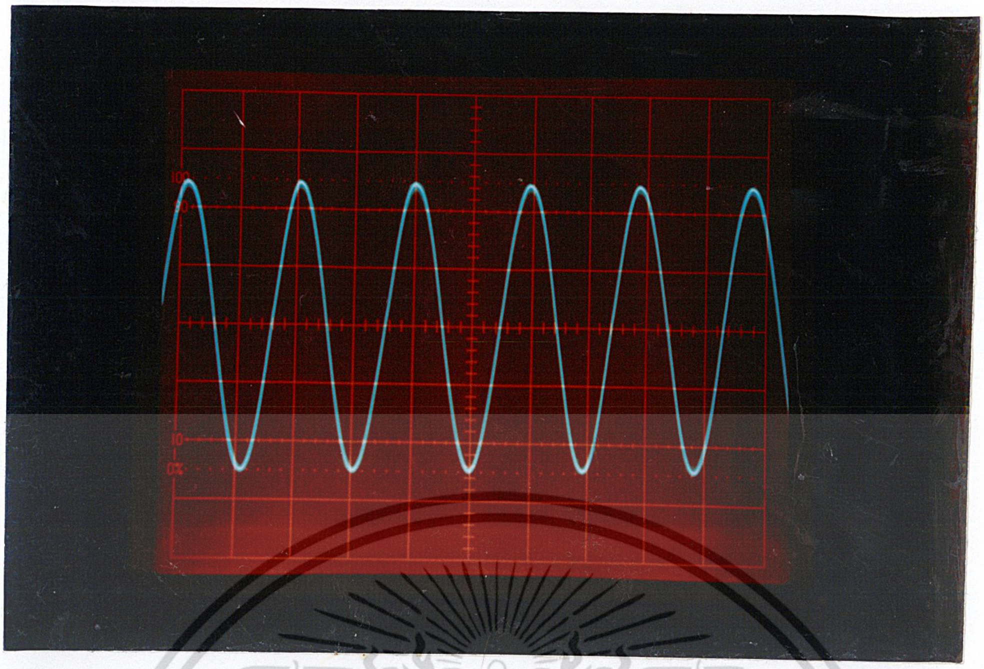
ที่ความถี่ Fck เท่ากับ 10 kHz

ค่า Input Control Word (W)	ความถี่ของสัญญาณ output
1	40 MHz
20	395 Hz
30	787.3 Hz
40	1.178 kHz
50	1.569 kHz
60	1.892 kHz
70	2.358 kHz

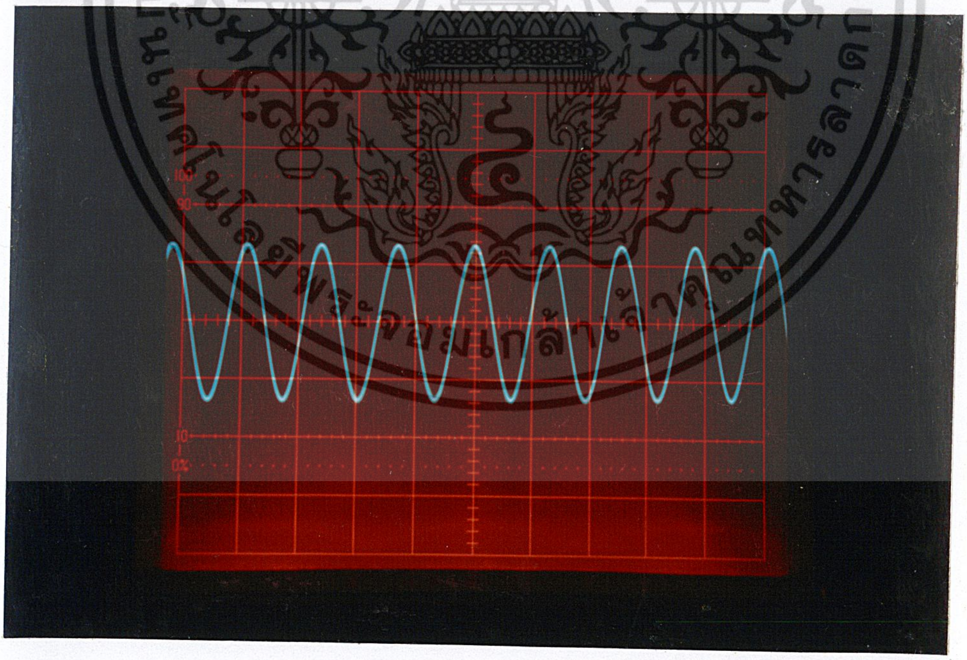
ที่ความถี่ Fck เท่ากับ 498 kHz

ค่า Input Control Word (W)	ความถี่ของสัญญาณ output
1	1.946 kHz
2	3.895 kHz
3	5.838 kHz
4	7.783 kHz
5	9.786 kHz
6	11.68 kHz
7	13.63 kHz
8	15.57 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

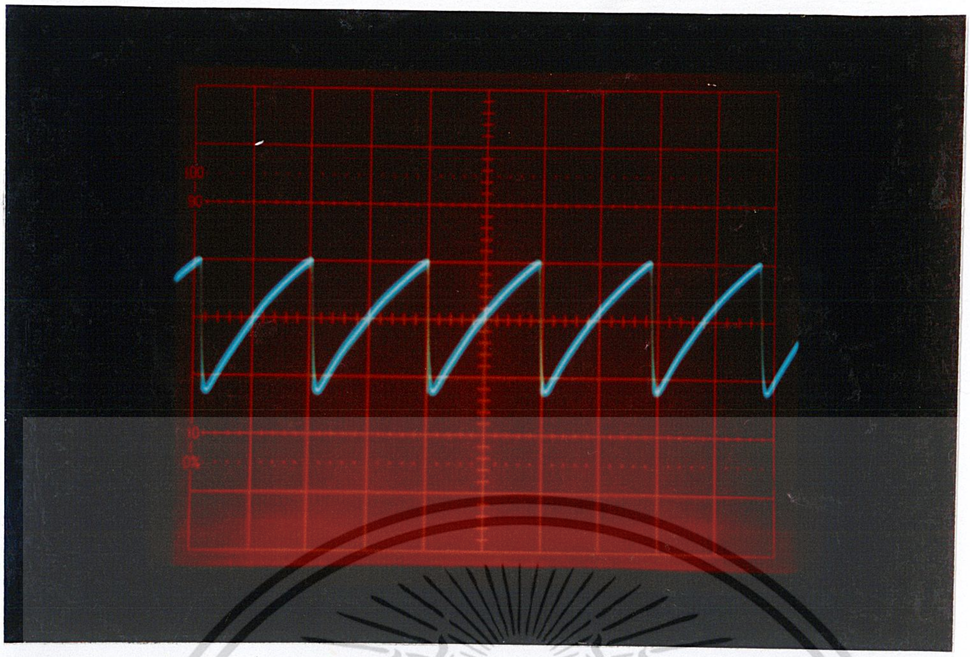


รูปที่ 4.2 จากภาพแสดง Time division 2 × 0.5 msec volt division × 1 อ่านสัญญาณรูปซายน์ความถี่ 978 Hz จากความถี่สัญญาณนาฬิกา 250 kHz ค่าอินพุทคอนโทรลเวิร์ค (W) เท่ากับ 1

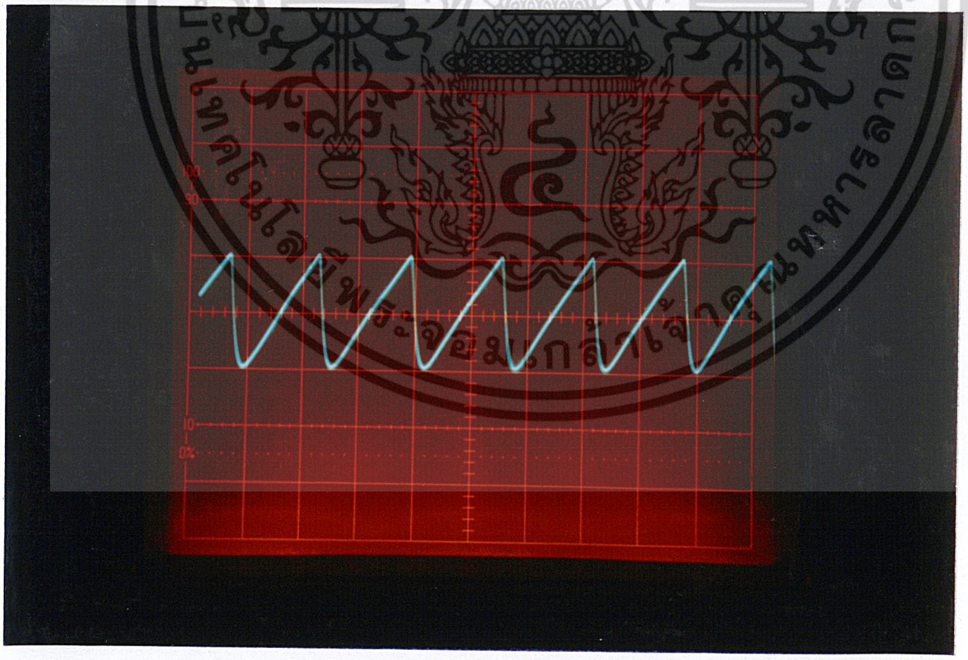


รูปที่ 4.3 จากภาพแสดง Time division 1.3× 50 μsec volt division × 2 อ่านสัญญาณรูปซายน์ความถี่ 15.6 kHz จากความถี่สัญญาณนาฬิกา 250 kHz ค่าอินพุทคอนโทรลเวิร์ค (W) เท่ากับ 16

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

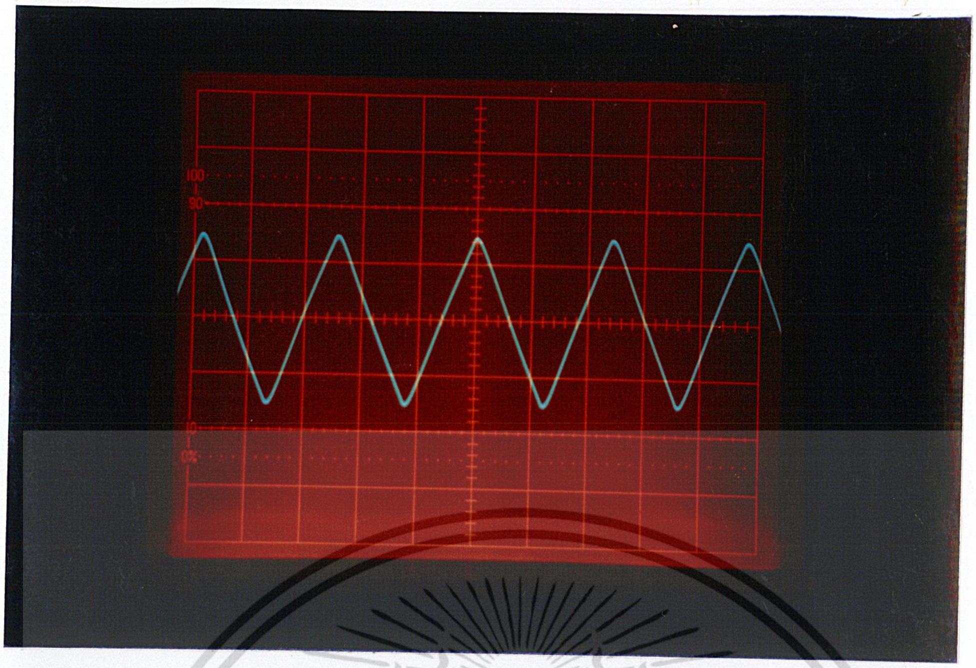


รูปที่ 4.4 จากภาพแสดง Time division 2 × 0.5 msec volt division × 2 อ่านสัญญาณรูปฟันเลื่อยความถี่ 978 Hz จากความถี่สัญญาณนาฬิกา 250 kHz ค่าอินพุทคอนโทรลเวิร์ค (W) เท่ากับ 1

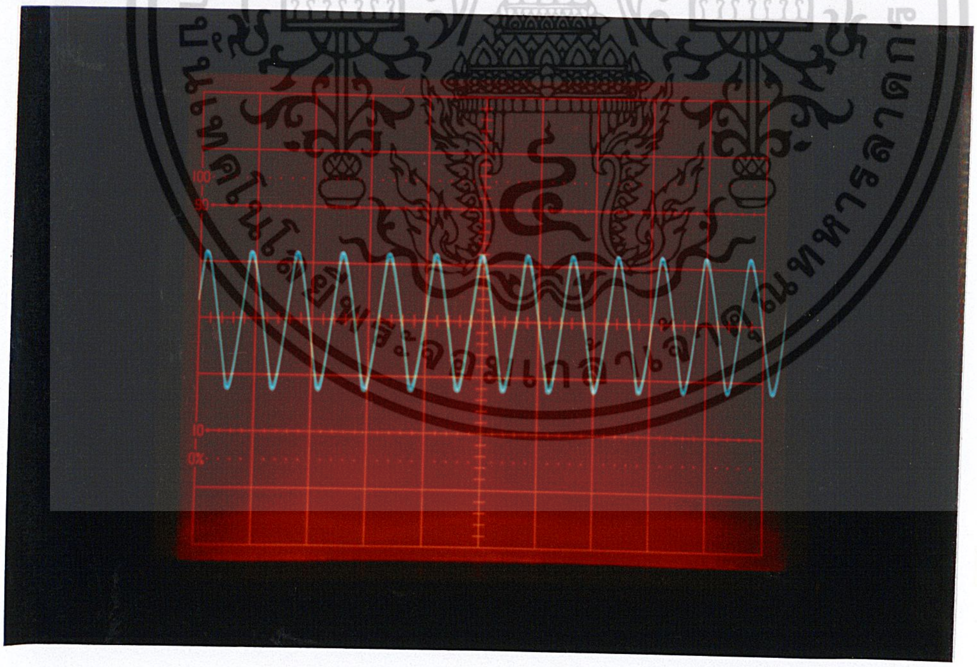


รูปที่ 4.5 จากภาพแสดง Time division 1.6 × 0.2 msec volt division × 2อ่านสัญญาณรูปฟันเลื่อยความถี่ 2.93 kHz จากความถี่สัญญาณนาฬิกา 250 kHz ค่าอินพุทคอนโทรลเวิร์ค (W) เท่า กับ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

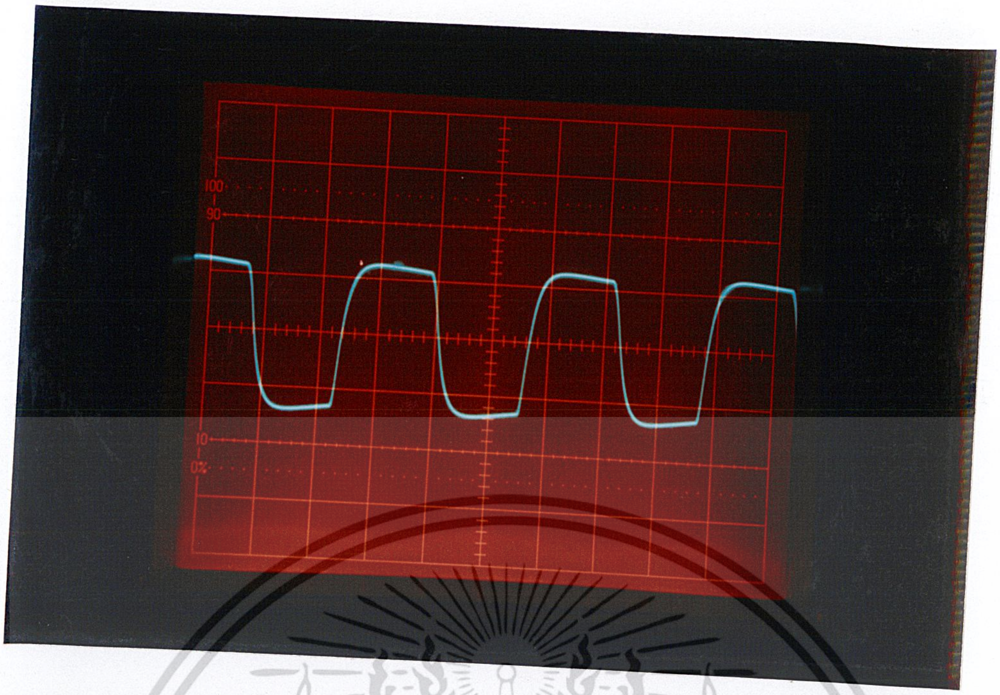


รูปที่ 4.6จากภาพแสดง Time division 2.4 × 0.2 msec volt division × 2 อ่านสัญญาณรูปสามเหลี่ยมความถี่ 978 Hz จากความถี่สัญญาณนาฬิกา 250 kHz ค่าอินพุทคอนโทรลเวิร์ค (W) เท่ากับ 1

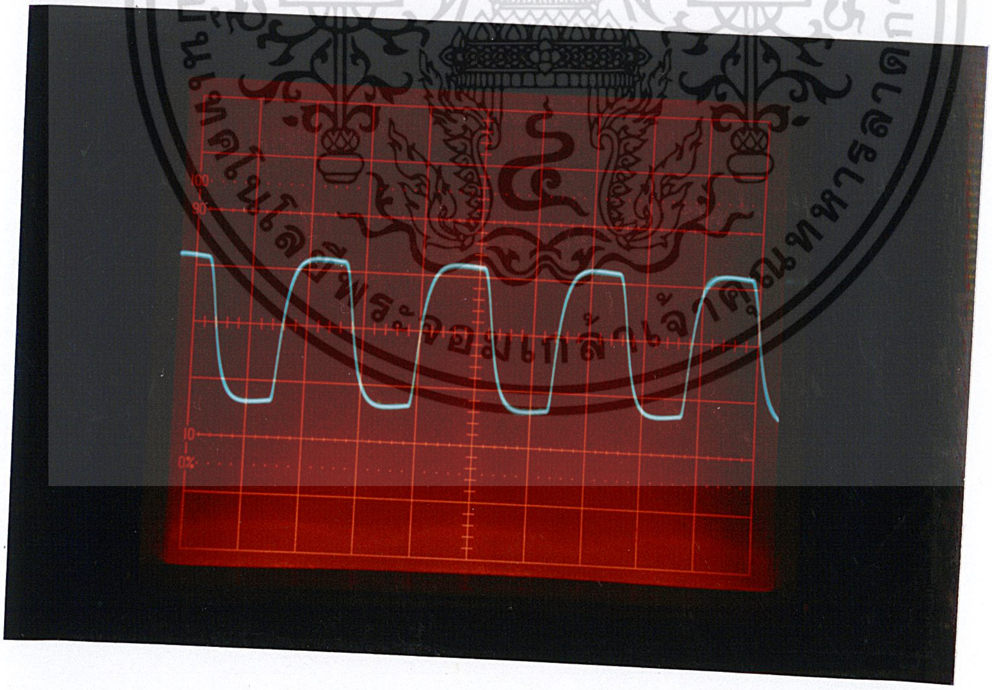


รูปที่ 4.7จากภาพแสดง Time division 0.8 × 0.2 msec volt division × 2 อ่านสัญญาณรูปสามเหลี่ยมความถี่ 2.93 kHz จากความถี่สัญญาณนาฬิกา 250 kHz ค่าอินพุทคอนโทรลเวิร์ค (W) เท่ากับ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

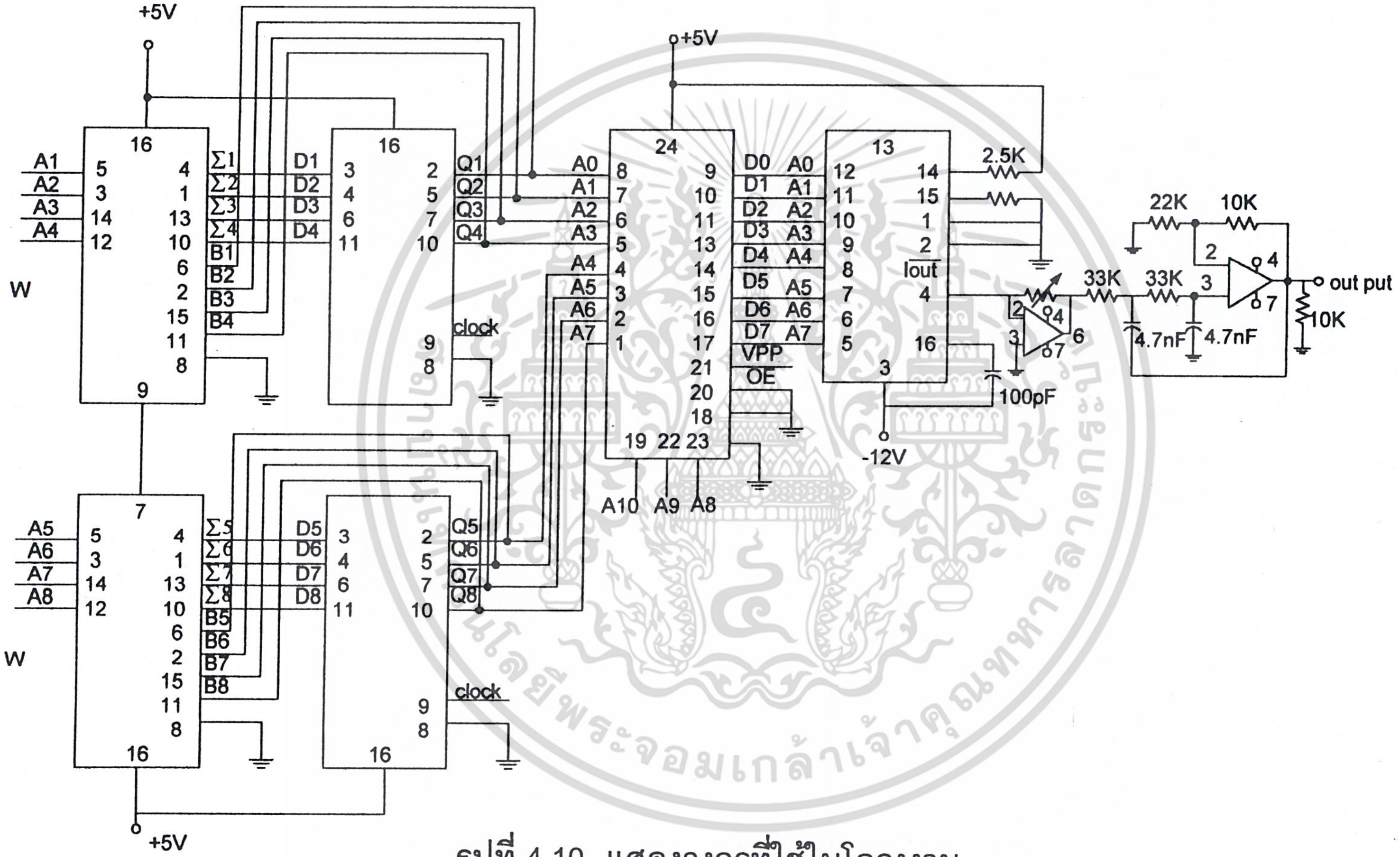


รูปที่ 4.8 จากภาพแสดง Time division 3.25× 0.1 msec volt division × 2 อ่านสัญญาณรูปสี่เหลี่ยมความถี่ 2.93 kHz จากความถี่สัญญาณนาฬิกา 250 kHz ค่าอินพุทคอนโทรลเวิร์ค (W) เท่ากับ 3



รูปที่ 4.9 จากภาพแสดง Time division 2.4 × 0.1 msec volt division × 2 อ่านสัญญาณรูปสี่เหลี่ยมความถี่ 3.9 kHz จากความถี่สัญญาณนาฬิกา 250 kHz ค่าอินพุทคอนโทรลเวิร์ค (W) เท่ากับ 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ห้ามนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 แสดงวงจรที่ใช้ในโครงงาน

บทที่ 5
สรุปผลการทดลองและวิจารณ์

จากผลการทดลองจะเห็นว่าการกำหนดความถี่ของสัญญาณเอาท์พุทนั้น สามารถกำหนดได้จากความถี่ของสัญญาณนาฬิกาและค่าอินพุทคอนโทลเวิร์ด (W) ได้จริงดังสมการของความเอาท์พุทเท่ากับ $Fout = \frac{Fck.W}{2^N}$ โดยที่ N เป็นจำนวนบิทของแอคคิวมูเลเตอร์ซึ่งในการทดลองเท่ากับ 8 บิท จากการควบคุมความถี่ได้โดยการกำหนดค่าอินพุทคอนโทลเวิร์ดนี้มีประโยชน์มากในแง่ของการต้องการความเที่ยงตรงของความถี่ของสัญญาณเอาท์พุทเพราะที่ความถี่ของสัญญาณนาฬิกาเท่ากันนี้ ถ้าเราต้องการความถี่ที่เป็นจำนวนเท่าของความถี่พื้นฐานก็สามารถทำได้ด้วยการควบคุมค่า W นี้ เช่น $Fout = \frac{10kHz.1}{2^8}$ เท่ากับ 40 Hz หรือมีรีโซลูชั่น เท่ากับ 40 นั่นเอง จาก รีโซลูชั่น$= \frac{Fck}{2^N}$ เพราะต้องการควบคุมความถี่เอาท์พุทเท่ากับ 80 Hz ก็แค่กำหนดให้ W เท่ากับ 2 เท่านั้นเอง หรือจะเป็น 120Hz ให้ W เท่ากับ 3 ซึ่งสะดวกกว่าการปรับความถี่ของสัญญาณนาฬิกามาก และบางที่ความถี่ของ Fck มีจำกัดด้วย

แต่การกำหนดค่าของ W นี้ตามทฤษฎีสามารถมีค่าได้สูงสุดถึง$W = 2^N - 1$ถ้าที่ N เท่ากับ 8 ค่า W จะได้ถึง $W = 2^8 - 1 = 256$ แต่ที่ผลการทดลองสามารถทำได้สูงประมาณ 70-80รูปสัญญาณก็จะเพี้ยนแล้วและสัญญาณก็จะแกว่งด้วยทั้งนี้อาจเกิดจากเหตุผลหลายอย่าง เช่น ความเร็วของอุปกรณ์ต่างๆ อันได้แก่ รอม (ROM), ดิจิตอลทูอนาล็อก (Digital-to-Analog) และ วงจรกรองความถี่ (Low pass filter) และ อุปกรณ์อิเล็กทรอนิกส์ (IC) ที่นำมาออกแบบเป็นแอคคิวมูเลเตอร์ซึ่งมีวงจรแอดเดอร์ (adder) และ ดีฟลิปฟลอป (D flip-flop)มาประกอบกันซึ่งอุปกรณ์ที่นำมาออกแบบนี้มีตามท้องตลาดทั่วไปและที่ความถี่เอาท์พุทสูงขึ้นแอมป์ปลิจูดก็จะลดลงและจะมีสัญญาณรบกวนมาด้วย ถ้าต้องการปรับปรุงให้ได้ความถี่ของเอาท์พุทมากขึ้น และมีประสิทธิภาพเพิ่มขึ้นก็ต้องใช้อุปกรณ์ที่ดีมากกว่านี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

- กลุ่ม CNS,"**ออปแอมป์ 741**",พิมพ์ครั้งที่ 2 พิมพ์ที่ หจก.สำนักพิมพ์ฟิสิกส์เซนเตอร์, หน้า 42-53
- R.A. Gayakwad, "**OP-Amp and Linear Intergrated circuits**" 2nd edition, Prentice-Hall, P.P. ,1983
- คู่มือเทียบเบอร์ไอซี TTL บริษัท ซีเอ็ดยูเคชั่น จำกัด (มหาชน)
- Bar-Giora Goldberg, **DIGITAL THECHNIQUES IN FREQUENCY SYNTHSIS,** Sciteq Electronics San Diego, California McGraw-Hill ,1996

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NEC Microcomputers, Inc.

NEC
µPD2716

16,384 (2K X 8) BIT UV ERASABLE PROM

DESCRIPTION

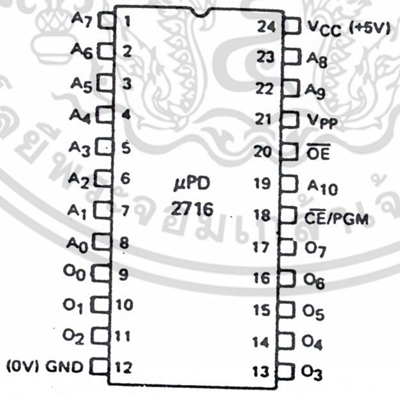
The µPD2716 is a 16,384 bit (2048 x 8 bit) Ultraviolet Erasable and Electrically Programmable Read-Only Memory (EPROM). It operates from a single +5 volt supply, making it ideal for microprocessor applications. It offers a standby mode with an attendant 75% savings in power consumption, and is compatible with the µPD2316E as a ROM. This allows for economical change-over to a masked ROM for production quantities, where desired.

The µPD2716 features fast, simple one pulse programming controlled by TTL level signals. Total programming time for all 16,384 bits is only 100 seconds.

FEATURES

- Ultraviolet Erasable and Electrically Programmable
- Access Time — 450 ns Max
- Single Location Programming
- Programmable with Single Pulse
- Low Power Dissipation Standby Mode
- Input/Output TTL Compatible for Reading and Programming
- Pin Compatible to µPD2316E (16K ROM)
- Single +5V Power Supply
- 24 Pin Ceramic DIP
- Three-State Outputs

PIN CONFIGURATION



PIN NAMES

A_0-A_{10}	Addresses
$\overline{OE}$	Output Enable
O_0-O_7	Data Outputs
$\overline{CE}$/PGM	Chip Enable/Program

TABLE 1. MODE SELECTION

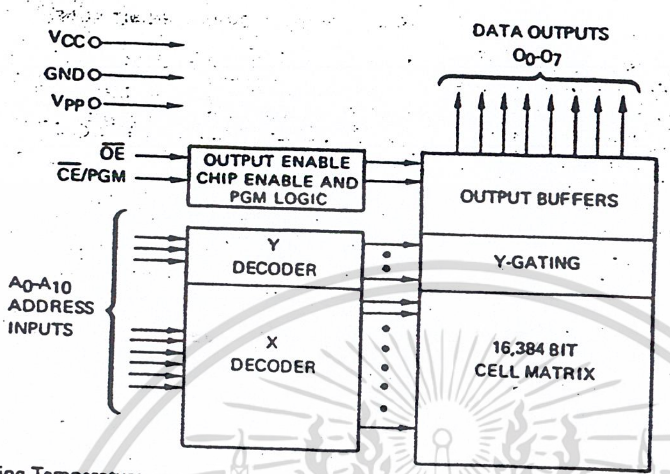
MODE \ PINS	$\overline{CE}$/PGM	$\overline{OE}$	V_{PP}	V_{CC}	OUTPUTS
Read	V_{IL}	V_{IL}	+5	+5	D_{OUT}
Standby	V_{IH}	Don't Care	+5	+5	High Z
Program	Pulsed V_{IL} to V_{IH}	V_{IH}	+25	+5	D_{IN}
Program Verify	V_{IL}	V_{IL}	+25	+5	D_{OUT}
Program Inhibit	V_{IL}	V_{IH}	+25	+5	High Z

V_{IH} and V_{IL} are TTL high level ("1") and TTL low level ("0") respectively.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

μPD2716

BLOCK DIAGRAM



ABSOLUTE MAXIMUM RATINGS*

Operating Temperature .... -10°C to +80°C
Storage Temperature .... -65°C to +125°C
Output Voltage .... -0.3 to +6 Volts
Input Voltage .... -0.3 to +6 Volts
Supply Voltage V_{CC} .... -0.3 to +6 Volts
Supply Voltage V_{PP} .... -0.3 to +26.5 Volts

COMMENT: Stress above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

*T_a = 25°C

CAPACITANCE

T_a = 25°C; f = 1 MHz

PARAMETER	SYMBOL	LIMITS			UNIT	TEST CONDITIONS
		MIN	TYP	MAX		
Input Capacitance	C_{IN}		4	6	pF	V_{IN} = 0V
Output Capacitance	C_{OUT}		8	12	pF	V_{OUT} = 0V

DC CHARACTERISTICS

READ MODE AND STANDBY MODE

T_a = 0°C ~ 70°C; V_{CC} ① = +5V ± 5%; V_{PP} ①② = V_{CC} ± 0.6V ③

PARAMETER	SYMBOL	LIMITS			UNIT	TEST CONDITIONS
		MIN.	TYP.	MAX.		
Output High Voltage	V_{OH}	2.4			V	I_{OH} = -400 μA
Output Low Voltage	V_{OL}			0.45	V	I_{OL} = 2.1 mA
Input High Voltage	V_{IH}	2.0		V_{CC} +1	V	
Input Low Voltage	V_{IL}	-0.1		0.8	V	
Output Leakage Current	I_{LO}			10	μA	V_{OUT} = 5.25V
Input Leakage Current	I_{IL}			10	μA	V_{IN} = 5.25V
V_{PP} Current	I_{PP1}	-		5	mA	V_{PP} = 5.85V
V_{CC} Current ②	I_{CC1}		10	25	mA	$\overline{CE}$/PGM = V_{IH} $\overline{OE}$ = V_{IL} Standby Mode
	I_{CC2}		57	100	mA	$\overline{CE}$/PGM = V_{IL} $\overline{OE}$ = V_{IL} Read Mode

Notes: ① V_{CC} must be applied simultaneously or before V_{PP} and removed after V_{PP}.

② V_{PP} may be connected directly to V_{CC} (+5V) at read mode and standby mode. The supply current would then be the sum of I_{PP1} and I_{CC} (I_{CC1} or I_{CC2}).

③ The tolerance of 0.6V allows the use of a driver circuit for switching the V_{PP} supply pin from +25V to +5V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS (CONT.)

PROGRAM, PROGRAM VERIFY AND PROGRAM INHIBIT MODE

$T_a = 25°C \pm 5°C$; V_{CC} ① $= +5V \pm 5\%$; V_{PP} ①④ $= +25V \pm 1V$

PARAMETER	SYMBOL	LIMITS MIN.	TYP.	MAX.	UNIT	TEST CONDITIONS
Input High Voltage	V_{IH}	2.0	-	$V_{cc}+1$	V	
Input Low Voltage	V_{IL}	-0.1		0.8	V	
Input Leakage Current	I_{IL}			10	μA	V_{IN} = 5.25V/0.45V
V_{PP} Current	I_{PP1}			5	mA	$\overline{CE}$/PGM = V_{IL} Program Verify Program Inhibit
	I_{PP2}			30	mA	$\overline{CE}$/PGM = V_{IH} Program Mode
V_{CC} Current	I_{CC}			100	mA	

AC CHARACTERISTICS

READ MODE AND STANDBY MODE

$T_a = 0°C$ to $+70°C$; V_{CC} ① $= +5V \pm 5\%$; V_{PP} ①② $= V_{CC} \pm 0.6V$ ③

PARAMETER	SYMBOL	LIMITS MIN	TYP	MAX	UNIT	TEST CONDITIONS
Address to Output Delay	t_{ACC}			450	ns	$\overline{CE}$/PGM = $\overline{OE}$ = V_{IL}
$\overline{CE}$/PGM to Output Delay	t_{CE}			450	ns	$\overline{OE}$ = V_{IL}
Output Enable to Output Delay	t_{OE}			120	ns	$\overline{CE}$/PGM = V_{IL}
Output Enable High to Output Float	t_{DF}	0		100	ns	$\overline{CE}$/PGM = V_{IL}
Address to Output Hold	t_{OH}	0			ns	$\overline{CE}$/PGM = $\overline{OE}$ = V_{IL}

Test Conditions
Output Load: 1 TTL gate and C_L = 100 pF
Input Rise and Fall Times: 20 ns
Input Pulse Levels: 0.8 to 2.2V

Timing Measurement Reference Level:
Inputs: 1.0V and 2.0V
Outputs: 0.8V and 2.0V

PROGRAM, PROGRAM VERIFY AND PROGRAM INHIBIT MODE

$T_a = 25°C \pm 5°C$; V_{CC} ① $= +5V \pm 5\%$; V_{PP} ①④ $= +25V \pm 1V$

PARAMETER	SYMBOL	LIMITS MIN	TYP	MAX	UNITS	TEST CONDITIONS
Address Setup Time	t_{AS}	2			μs	
$\overline{OE}$ Setup Time	t_{OES}	2			μs	
Data Setup Time	t_{DS}	2			μs	
Address Hold Time	t_{AH}	2			μs	
$\overline{OE}$ Hold Time	t_{OEH}	2			μs	
Data Hold Time	t_{DH}	2			μs	
Output Enable to Output Float Delay	t_{DF}	0		120	ns	$\overline{CE}$/PGM = V_{IL}
Output Enable to Output Delay	t_{OE}			120	ns	$\overline{CE}$/PGM = V_{IL}
Program Pulse Width	t_{PW}	45	50	55	ms	
Program Pulse Rise Time	t_{PRT}	5			ns	
Program Pulse Fall Time	t_{PFT}	5			ns	

Test Conditions:

Input Pulse Levels . . . . 0.8V to 2.2V   Output Timing Reference Level . . 0.8V and 2V
Input Timing Reference Level. . . . . 1V and 2V

Notes: ① V_{CC} must be applied simultaneously or before V_{PP} and removed after V_{PP}.

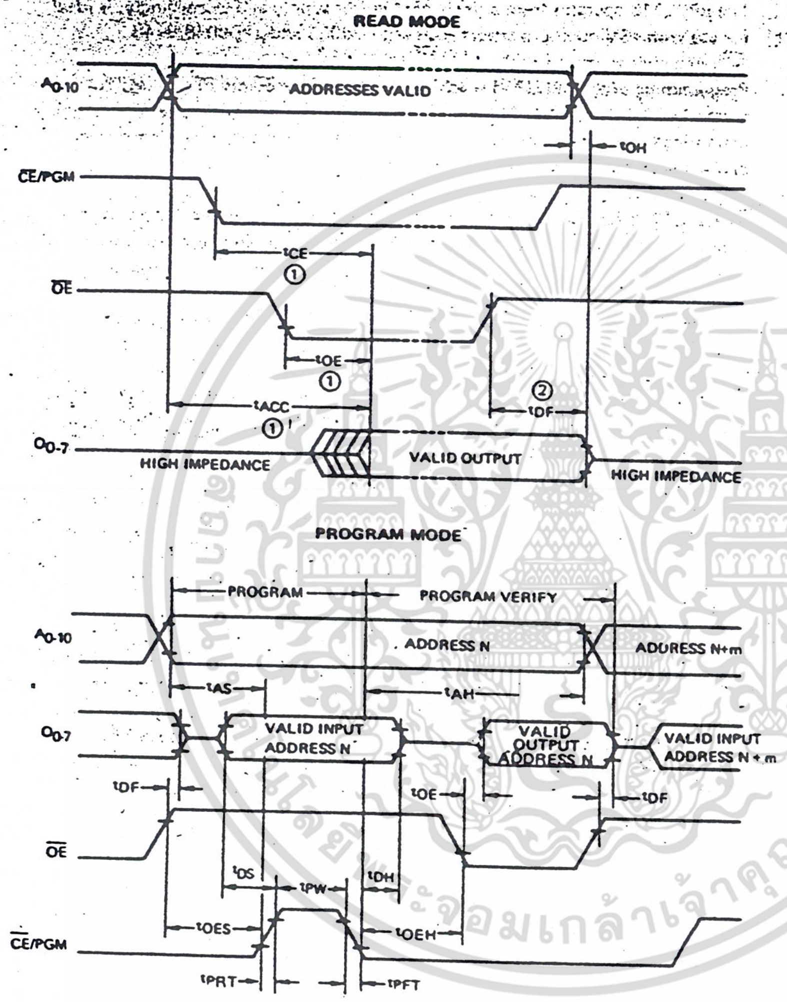
② V_{PP} may be connected directly to V_{CC} (+5V) at read mode and standby mode. The supply current would then be the sum of I_{PP1} and I_{CC} (I_{CC1} or I_{CC2}).

③ The tolerance of 0.6V allows the use of a driver circuit for switching the V_{PP} supply pin from +25V to +5V.

④ During programming, program inhibit, and program verify, a maximum of +26V should be applied to the V_{PP} pin. Overshoot voltages to be generated by the V_{PP} power supply should be limited to less than +26V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING WAVEFORMS



Notes: ① $\overline{OE}$ may be delayed up to $t_{ACC} - t_{OE}$ after the falling edge of $\overline{CE}$/PGM for read mode without impact on t_{ACC}

② t_{DF} is specified from $\overline{OE}$ or $\overline{CE}$/PGM, whichever occurs first.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION

The μPD2716 operates from a single +5V power supply and, accordingly, is ideal for use with +5V microprocessors such as μPD8085 and μPD8048/8748.

Programming of the μPD2716 is achieved with a single 50 ms TTL pulse. Total programming time for all 16,384 bits is only 100 sec. Due to the simplicity of the programming requirements, devices on boards and in systems may be programmed easily and without any special programmer.

The μPD2716 features a standby mode which reduces the power dissipation from a maximum active power dissipation of 525 mW to a maximum standby power dissipation of 132 mW. This results in a 75% savings with no increase in access time.

Erasure of the μPD2716 programmed data can be attained when exposed to light with wavelengths shorter than approximately 4,000 Angstroms (Å). It should be noted that constant exposure to direct sunlight or room level fluorescent lighting could erase the μPD2716. Consequently, if the μPD2716 is to be exposed to these types of lighting conditions for long periods of time, the μPD2716 window should be masked to prevent unintentional erasure.

The recommended erasure procedure for the μPD2716 is exposure to ultraviolet light with wavelengths of 2,537 Angstroms (Å). The integrated dose (i.e., UV intensity x exposure time) for erasure should be not less than 15 W-sec/cm^2. The erasure time is approximately 15 to 20 minutes using an ultraviolet lamp of 12,000 μW/cm^2 power rating.

During erasure, the μPD2716 should be placed within 1 inch of the lamp tubes. If the lamps have filters on the tubes, the filters should be removed before erasure.

OPERATION

The five operation modes of the μPD2716 are listed in Table 1. The power supplies required are a +5V V_{CC} and a V_{PP}. The V_{PP} power supply should be at +25V during programming, program verification and program inhibit, and it should be at +5V during read and standby. $\overline{CE}$/PGM, $\overline{OE}$ and V_{PP} select the operation mode as shown in Table 1.

READ MODE

When $\overline{CE}$/PGM and $\overline{OE}$ are at low (0) level with V_{PP} at +5V, the READ MODE is set and the data is available at the outputs after t_{OE} from the falling edge of $\overline{OE}$ and t_{ACC} after setting the address.

STANDBY MODE

The μPD2716 is placed in the standby mode with the application of a high (1) level TTL signal to the $\overline{CE}$/PGM and a V_{PP} of +5V. In this mode, the outputs are in a high impedance state, independent of the $\overline{OE}$ input. The active power dissipation is reduced by 75% from 525 mW to 132 mW.

PROGRAMMING MODE

Programming of the μPD2716 is commenced by erasing all data and consequently having all bits in the high (1) level state. Data is then entered by programming a low (0) level TTL signal into the chosen bit location.

The μPD2716 is placed in the programming mode by applying a high (1) level TTL signal to the $\overline{OE}$ with V_{PP} at +25V. The data to be programmed is applied to the output pins 8 bits in parallel at TTL levels.

Any location can be programmed at any time, either individually, sequentially or at random.

When multiple μPD2716s are connected in parallel, except for $\overline{CE}$/PGM, individual μPD2716s can be programmed by applying a high (1) level TTL pulse to the $\overline{CE}$/PGM input of the desired μPD2716 to be programmed.

Programming of multiple μPD2716s in parallel with the same data is easily accomplished. All the alike inputs are tied together and are programmed by applying a high (1) level TTL pulse to the $\overline{CE}$/PGM inputs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROGRAMMING INHIBIT MODE

Programming of multiple μPD2716s in parallel with different data is rendered more easily by the program inhibit mode. Except for $\overline{CE}$/PGM, all alike inputs (including $\overline{OE}$) of the parallel μPD2716s may be common. Programming is accomplished by applying a TTL level program pulse to the μPD2716 $\overline{CE}$/PGM input with V_{PP} at +25V. A low level applied to the $\overline{CE}$/PGM of the other μPD2716 will inhibit it from being programmed.

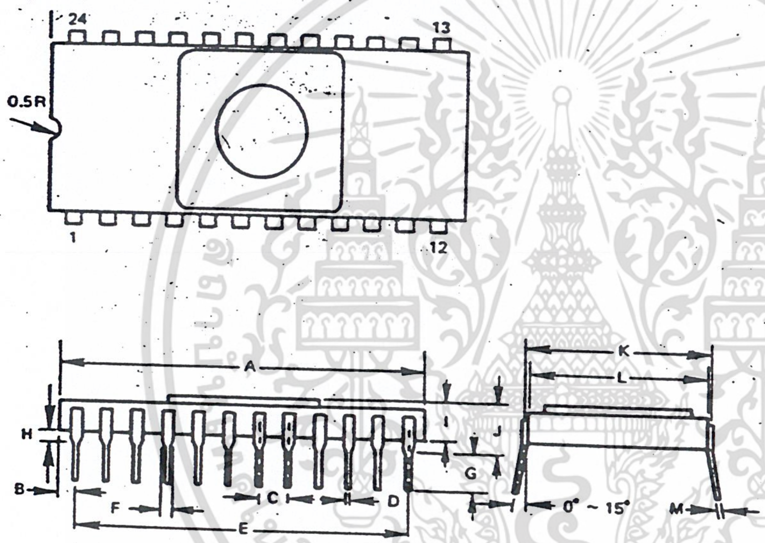
PROGRAM VERIFY MODE

A verify should be performed on the programmed bits to determine that the data was correctly programmed on all bits of the μPD2716. The program verify can be performed with V_{PP} at +25V and $\overline{CE}$/PGM and $\overline{OE}$ at low (O) levels.

OUTPUT DESELECTION

The data outputs of two or more μPD2716s may be wire-ored together to the same data bus. In order to prevent bus contention problems between devices, all but the selected μPD2716s should be deselected by raising the $\overline{OE}$ input to a TTL high.

PACKAGE OUTLINE μPD2716D



CERAMIC

ITEM	MILLIMETERS	INCH
A	33.5 MAX.	1.32 MAX.
B	2.78	1.1
C	2.54	0.1
D	0.46 ± 0.10	0.018 ± 0.004
E	27.94	1.10
F	1.3	0.05
G	2.54 MIN.	0.1 MIN.
H	0.5 MIN.	0.020
I	5.0 MAX.	0.20
J	5.5 MAX.	0.216
K	15.24	0.60
L	13.5	0.53
M	$0.25^{+0.10}_{-0.05}$	$0.010^{+0.004}_{-0.002}$

2716DS-12-80-CAT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

DAC0808/DAC0807/DAC0806 8-Bit D/A Converters

General Description

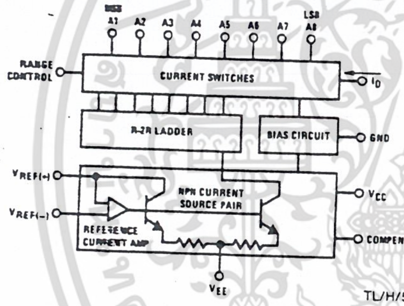
The DAC0808 series is an 8-bit monolithic digital-to-analog converter (DAC) featuring a full scale output current settling time of 150 ns while dissipating only 33 mW with ±5V supplies. No reference current (I_{REF}) trimming is required for most applications since the full scale output current is typically ±1 LSB of 255 I_{REF}/ 256. Relative accuracies of better than ±0.19% assure 8-bit monotonicity and linearity while zero level output current of less than 4 μA provides 8-bit zero accuracy for $I_{REF} \geq 2$ mA. The power supply currents of the DAC0808 series are independent of bit codes, and exhibits essentially constant device characteristics over the entire supply voltage range.

The DAC0808 will interface directly with popular TTL, DTL or CMOS logic levels, and is a direct replacement for the MC1508/MC1408. For higher speed applications, see DAC0800 data sheet.

Features

- Relative accuracy: ±0.19% error maximum (DAC0808)
- Full scale current match: ±1 LSB typ
- 7 and 6-bit accuracy available (DAC0807, DAC0806)
- Fast settling time: 150 ns typ
- Noninverting digital inputs are TTL and CMOS compatible
- High speed multiplying input slew rate: 8 mA/μs
- Power supply voltage range: ±4.5V to ±18V
- Low power consumption: 33 mW @ ±5V

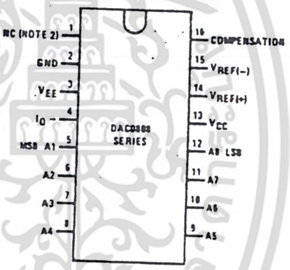
Block and Connection Diagrams



TL/H/5687-1

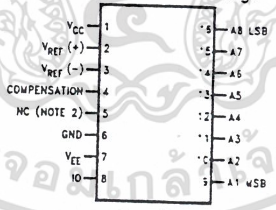
Order Number DAC0808, DAC0807, or DAC0806
See NS Package Number J16A, M16A or N16A

Dual-In-Line Package



TL/H/5687-2

Small-Outline Package



Top View

TL/H/5687-13

Ordering Information

ACCURACY	OPERATING TEMPERATURE RANGE	ORDER NUMBERS				
		J PACKAGE (J16A)*		N PACKAGE (N16A)*		SO PACKAGE (M16A)
				DAC0808LCN	MC1408P8	DAC0808LCM
7-bit	0°C ≤ T_A ≤ +75°C	DAC0807LCJ	MC1408L7	DAC0807LCN	MC1408P7	DAC0807LCM
6-bit	0°C ≤ T_A ≤ +75°C	DAC0806LCJ	MC1408L6	DAC0806LCN	MC1408P6	DAC0806LCM

*Note. Devices may be ordered by using either order number.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Power Supply Voltage	
V_{CC}	$+18\ V_{DC}$
V_{EE}	$-18\ V_{DC}$
Digital Input Voltage, V5–V12	$-10\ V_{DC}$ to $+18\ V_{DC}$
Applied Output Voltage, V_O	$-11\ V_{DC}$ to $+18\ V_{DC}$
Reference Current, I_{14}	5 mA
Reference Amplifier Inputs, V14, V15	V_{CC}, V_{EE}
Power Dissipation (Note 3)	1000 mW
ESD Susceptibility (Note 4)	TBD
Storage Temperature Range	−65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (Plastic)	260°C
Dual-In-Line Package (Ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Operating Ratings

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
DAC0808LC Series	$0 \le T_A \le +75°C$

Electrical Characteristics

(V_{CC} = 5V, V_{EE} = −15 V_{DC}, V_{REF}/R14 = 2 mA, DAC0808: T_A = −55°C to +125°C, DAC0808C, DAC0807C, DAC0806C, T_A = 0°C to +75°C, and all digital inputs at high logic level unless otherwise noted.)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
E_r	Relative Accuracy (Error Relative to Full Scale I_O)	*(Figure 4)*				%
	DAC0808LC (LM1408-8)				±0.19	%
	DAC0807LC (LM1408-7), (Note 5)				±0.39	%
	DAC0806LC (LM1408-6), (Note 5)				±0.78	%
	Settling Time to Within ½ LSB (Includes t_{PLH})	T_A = 25°C (Note 6), *(Figure 5)*		150		ns
t_{PLH}, t_{PHL}	Propagation Delay Time	T_A = 25°C, *(Figure 5)*		30	100	ns
TCI_O	Output Full Scale Current Drift			±20		ppm/°C
MSB	Digital Input Logic Levels	*(Figure 3)*				
V_{IH}	High Level, Logic "1"		2			V_{DC}
V_{IL}	Low Level, Logic "0"				0.8	V_{DC}
MSB	Digital Input Current	*(Figure 3)*				
	High Level	V_{IH} = 5V		0	0.040	mA
	Low Level	V_{IL} = 0.8V		−0.003	−0.8	mA
I_{15}	Reference Input Bias Current	*(Figure 3)*		−1	−3	μA
	Output Current Range	*(Figure 3)*				
		V_{EE} = −5V	0	2.0	2.1	mA
		V_{EE} = −15V, T_A = 25°C	0	2.0	4.2	mA
I_O	Output Current	V_{REF} = 2.000V, R14 = 1000Ω, *(Figure 3)*	1.9	1.99	2.1	mA
	Output Current, All Bits Low	*(Figure 3)*		0	4	μA
	Output Voltage Compliance (Note 2)	$E_r \le$ 0.19%, T_A = 25°C				
	V_{EE} = −5V, I_{REF} = 1 mA				−0.55, +0.4	V_{DC}
	V_{EE} Below −10V				−5.0, +0.4	V_{DC}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

(V_{CC} = 5V, V_{EE} = −15 V_{DC}, V_{REF}/R14 = 2 mA, DAC0808: T_A = −55°C to +125°C, DAC0808C, DAC0807C, DAC0806C, T_A = 0°C to +75°C, and all digital inputs at high logic level unless otherwise noted.)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
SRI_{REF}	Reference Current Slew Rate	*(Figure 6)*	4	8		mA/μs
	Output Current Power Supply Sensitivity	−5V ≤ V_{EE} ≤ −16.5V		0.05	2.7	μA/V
	Power Supply Current (All Bits Low)	*(Figure 3)*				
I_{CC}				2.3	22	mA
I_{EE}				−4.3	−13	mA
	Power Supply Voltage Range	T_A = 25°C, *(Figure 3)*				
V_{CC}			4.5	5.0	5.5	V_{DC}
V_{EE}			−4.5	−15	−16.5	V_{DC}
	Power Dissipation					
	All Bits Low	V_{CC} = 5V, V_{EE} = −5V		33	170	mW
		V_{CC} = 5V, V_{EE} = −15V		106	305	mW
	All Bits High	V_{CC} = 15V, V_{EE} = −5V		90		mW
		V_{CC} = 15V, V_{EE} = −15V		160		mW

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: Range control is not required.

Note 3: The maximum power dissipation must be derated at elevated temperatures and is dictated by T_{JMAX}, θ_{JA}, and the ambient temperature, T_A. The maximum allowable power dissipation at any temperature is $P_D = (T_{JMAX} - T_A)/\theta_{JA}$ or the number given in the Absolute Maixmum Ratings, whichever is lower. For this device, T_{JMAX} = 125°C, and the typical junction-to-ambient thermal resistance of the dual-in-line J package when the board mounted is 100°C/W. For the dual-in-line N package, this number increases to 175°C/W and for the small outline M package this number is 100°C/W.

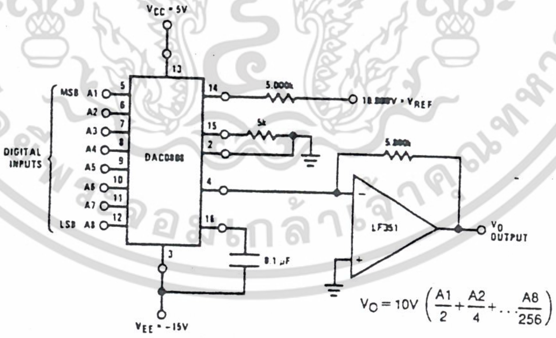
Note 4: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 5: All current switches are tested to guarantee at least 50% of rated current.

Note 6: All bits switched.

Note 7: Pin-out numbers for the DAL080X represent the dual-in-line package. The small outline package pinout differs from the dual-in-line package.

Typical Application



TL/H/5687-3

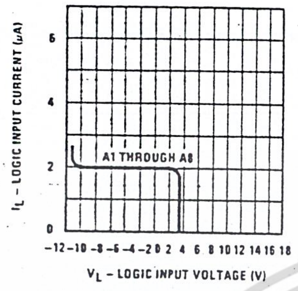
FIGURE 1. +10V Output Digital to Analog Converter (Note 7)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

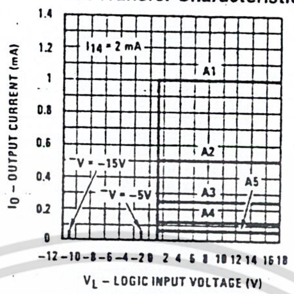
Typical Performance Characteristics

V_{CC} = 5V, V_{EE} = −15V, T_A = 25°C, unless otherwise noted

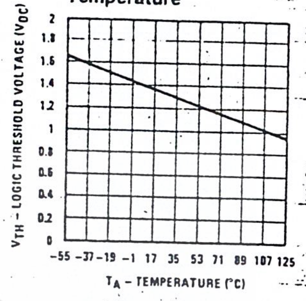
Logic Input Current vs Input Voltage



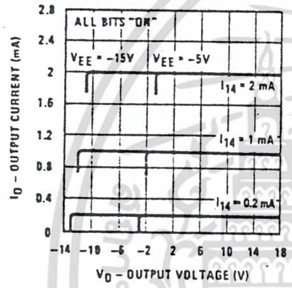
Bit Transfer Characteristics



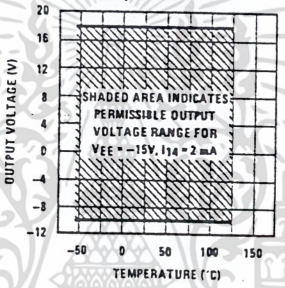
Logic Threshold Voltage vs Temperature



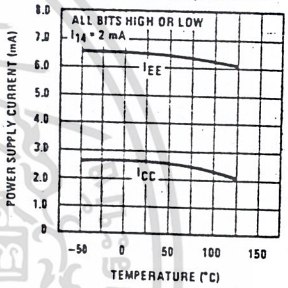
Output Current vs Output Voltage (Output Voltage Compliance)



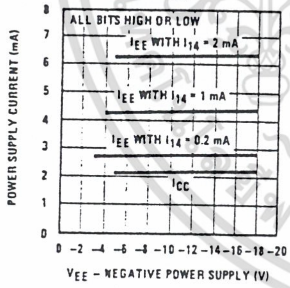
Output Voltage Compliance vs Temperature



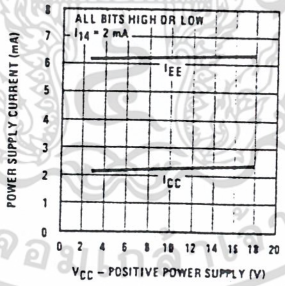
Typical Power Supply Current vs Temperature



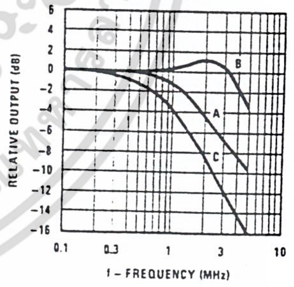
Typical Power Supply Current vs V_{EE}



Typical Power Supply Current vs V_{CC}



Reference Input Frequency Response



TL/H/5687–5

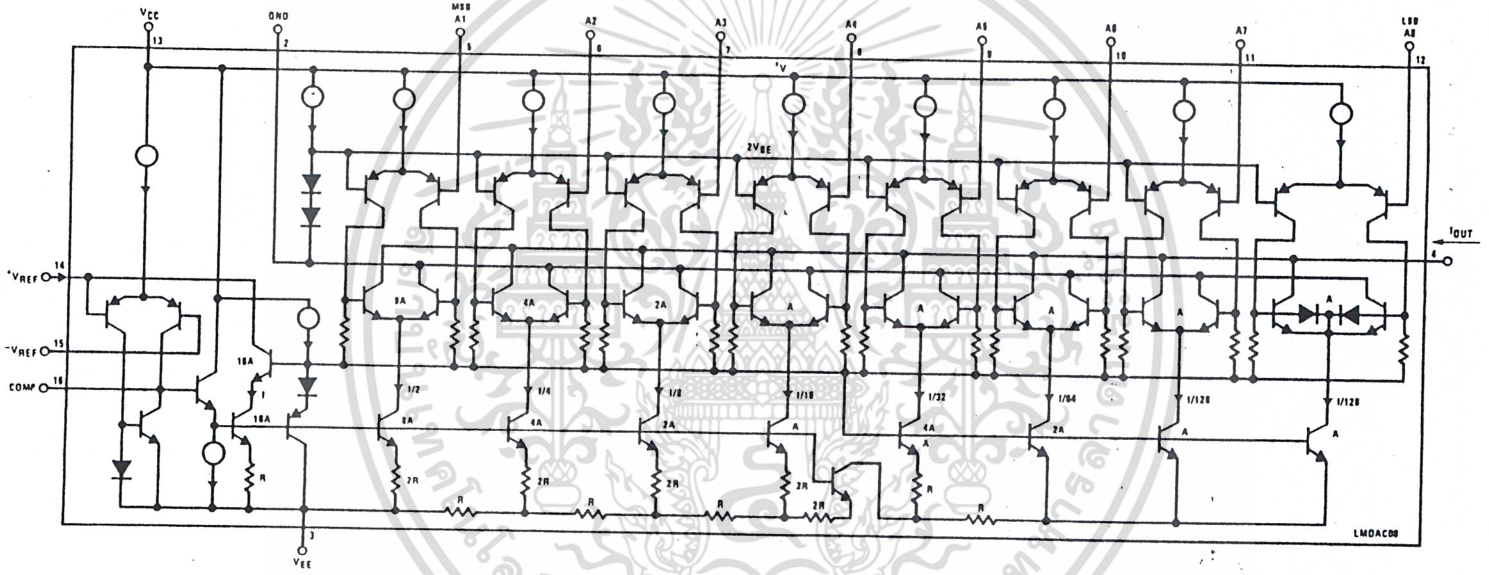
Unless otherwise specified: R14 = R15 = 1 kΩ, C = 15 pF, pin 16 to V_{EE}; R_L = 50Ω, pin 4 to ground.

Curve A: Large Signal Bandwidth Method of *Figure 7*, V_{REF} = 2 Vp-p offset 1 V above ground.

Curve B: Small Signal Bandwidth Method of *Figure 7*, R_L = 250Ω, V_{REF} = 50 mVp-p offset 200 mV above ground.

Curve C: Large and Small Signal Bandwidth Method of *Figure 9* (no op amp, R_L = 50Ω), R_S = 50Ω, V_{REF} = 2V, V_S = 100 mVp-p centered at 0V.

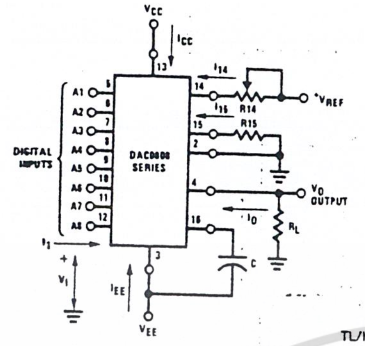
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



TL/H/5687-4

FIGURE 2. Equivalent Circuit of the DAC0808 Series (Note 7)

Test Circuits



V_I and I_1 apply to inputs A1–A8.

The resistor tied to pin 15 is to temperature compensate the bias current and may not be necessary for all applications.

$$I_O = K\left(\frac{A1}{2} + \frac{A2}{4} + \frac{A3}{8} + \frac{A4}{16} + \frac{A5}{32} + \frac{A6}{64} + \frac{A7}{128} + \frac{A8}{256}\right)$$

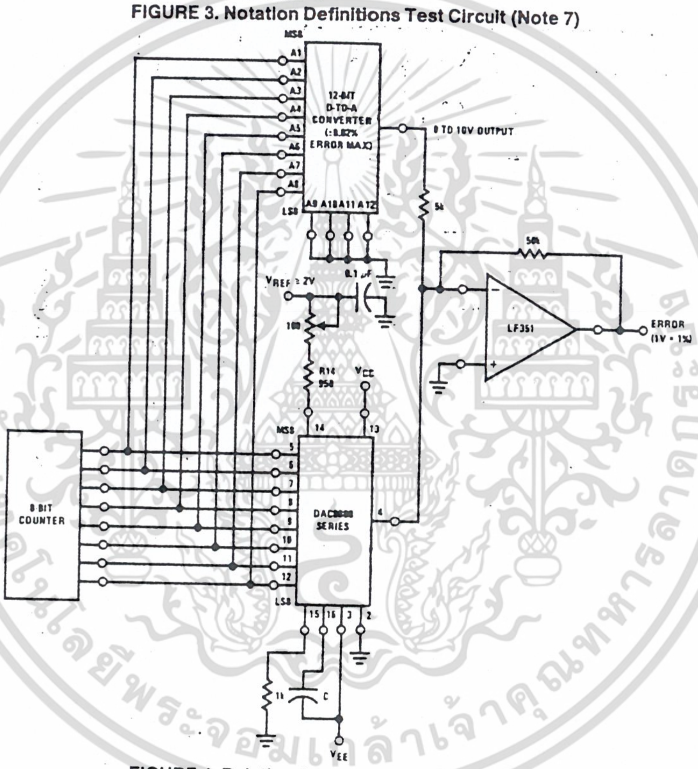
where $K \cong \frac{V_{REF}}{R14}$

and A_N = "1" if A_N is at high level

A_N = "0" if A_N is at low level

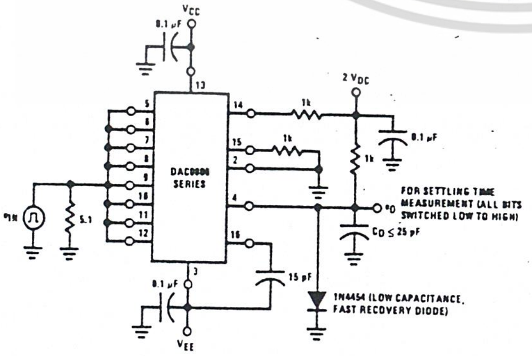
TL/H/5687-6

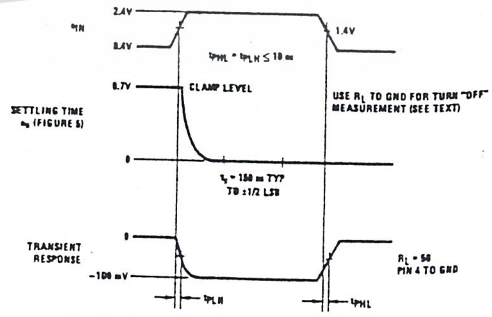
FIGURE 3. Notation Definitions Test Circuit (Note 7)



TL/H/5687-7

FIGURE 4. Relative Accuracy Test Circuit (Note 7)





TL/H/5687-8

FIGURE 5. Transient Response and Settling Time (Note 7)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits (Continued)

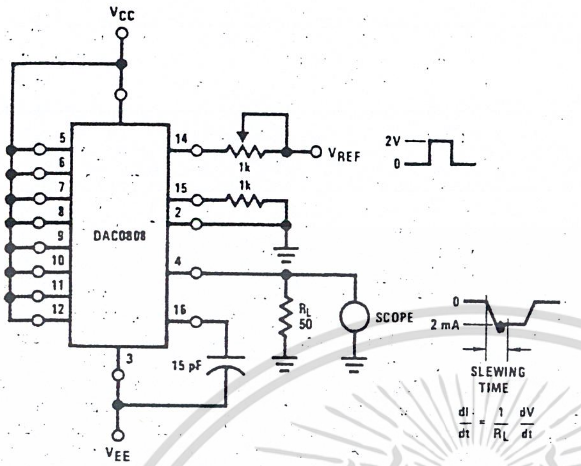


FIGURE 6. Reference Current Slew Rate Measurement (Note 7)

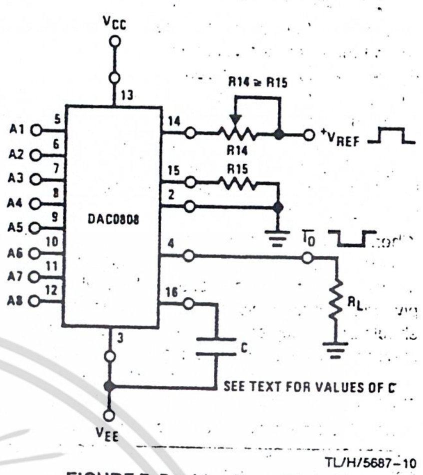


FIGURE 7. Positive V_{REF} (Note 7)

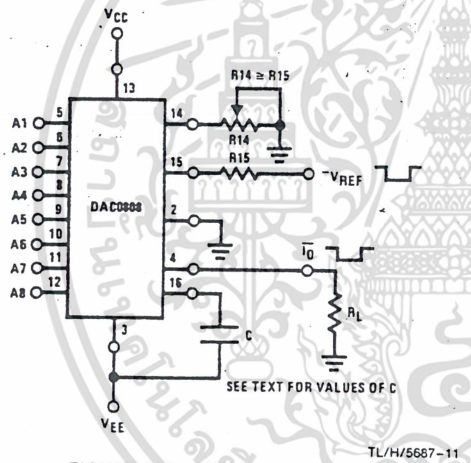
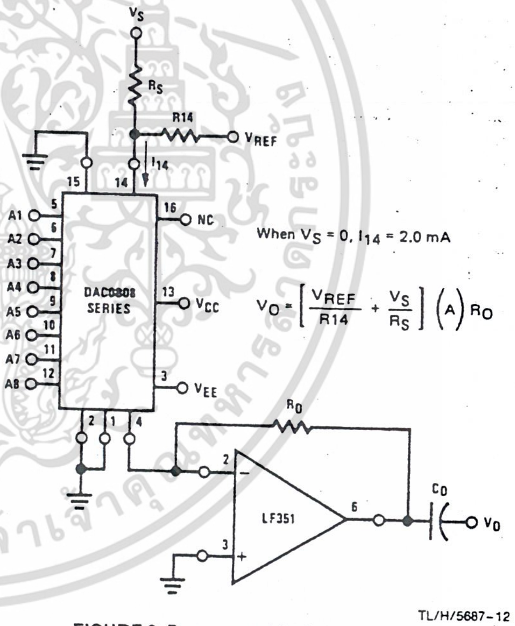


FIGURE 8. Negative V_{REF} (Note 7)



$$V_O = \left[\frac{V_{REF}}{R14} + \frac{V_S}{R_S}\right](A)R_O$$

FIGURE 9. Programmable Gain Amplifier or Digital Attenuator Circuit (Note 7)

Application Hints

REFERENCE AMPLIFIER DRIVE AND COMPENSATION

The reference amplifier provides a voltage at pin 14 for converting the reference voltage to a current, and a turn-around circuit or current mirror for feeding the ladder. The reference amplifier input currrent, I_{14}, must always flow into pin 14, regardless of the set-up method or reference voltage polarity.

Connections for a positive voltage are shown in *Figure 7*. The reference voltage source supplies the full current I_{14}. For bipolar reference signals, as in the multiplying mode, R15 can be tied to a negative voltage corresponding to the minimum input level. It is possible to eliminate R15 with only a small sacrifice in accuracy and temperature drift.

The compensation capacitor value must be increased with increases in R14 to maintain proper phase margin; for R14 values of 1, 2.5 and 5 kΩ, minimum capacitor values are 15, 37 and 75 pF. The capacitor may be tied to either V_{EE} or ground, but using V_{EE} increases negative supply rejection.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

A negative reference voltage may be used if R14 is grounded and the reference voltage is applied to R15 as shown in *Figure 8*. A high input impedance is the main advantage of this method. Compensation involves a capacitor to V_{EE} on pin 16, using the values of the previous paragraph. The negative reference voltage must be at least 4V above the V_{EE} supply. Bipolar input signals may be handled by connecting R14 to a positive reference voltage equal to the peak positive input level at pin 15.

When a DC reference voltage is used, capacitive bypass to ground is recommended. The 5V logic supply is not recommended as a reference voltage. If a well regulated 5V supply which drives logic is to be used as the reference, R14 should be decoupled by connecting it to 5V through another resistor and bypassing the junction of the 2 resistors with 0.1 μF to ground. For reference voltages greater than 5V, a clamp diode is recommended between pin 14 and ground.

If pin 14 is driven by a high impedance such as a transistor current source, none of the above compensation methods apply and the amplifier must be heavily compensated, decreasing the overall bandwidth.

OUTPUT VOLTAGE RANGE

The voltage on pin 4 is restricted to a range of -0.55 to 0.4V when $V_{EE} = -5V$ due to the current switching methods employed in the DAC0808.

The negative output voltage compliance of the DAC0808 is extended to $-5V$ where the negative supply voltage is more negative than $-10V$. Using a full-scale current of 1.992 mA and load resistor of 2.5 kΩ between pin 4 and ground will yield a voltage output of 256 levels between 0 and $-4.980V$. Floating pin 1 does not affect the converter speed or power dissipation. However, the value of the load resistor determines the switching time due to increased voltage swing. Values of R_L up to 500Ω do not significantly affect performance, but a 2.5 kΩ load increases worst-case settling time to 1.2 μs (when all bits are switched ON). Refer to the subsequent text section on Settling Time for more details on output loading.

OUTPUT CURRENT RANGE

The output current maximum rating of 4.2 mA may be used only for negative supply voltages more negative than $-8V$, due to the increased voltage drop across the resistors in the reference current amplifier.

ACCURACY

Absolute accuracy is the measure of each output current level with respect to its intended value, and is dependent upon relative accuracy and full-scale current drift. Relative accuracy is the measure of each output current level as a fraction of the full-scale current. The relative accuracy of the DAC0808 is essentially constant with temperature due to the excellent temperature tracking of the monolithic resistor ladder. The reference current may drift with temperature, causing a change in the absolute accuracy of output current. However, the DAC0808 has a very low full-scale current drift with temperature.

The DAC0808 series is guaranteed accurate to within $\pm\frac{1}{2}$ LSB at a full-scale output current of 1.992 mA. This corresponds to a reference amplifier output current drive to the ladder network of 2 mA, with the loss of 1 LSB (8 μA) which is the ladder remainder shunted to ground. The input current to pin 14 has a guaranteed value of between 1.9 and 2.1 mA, allowing some mismatch in the NPN current source pair. The accuracy test circuit is shown in *Figure 4*. The 12-bit converter is calibrated for a full-scale output current of 1.992 mA. This is an optional step since the DAC0808 accuracy is essentially the same between 1.5 and 2.5 mA. Then the DAC0808 circuits' full-scale current is trimmed to the same value with R14 so that a zero value appears at the error amplifier output. The counter is activated and the error band may be displayed on an oscilloscope, detected by comparators, or stored in a peak detector.

Two 8-bit D-to-A converters may not be used to construct a 16-bit accuracy D-to-A converter. 16-bit accuracy implies a total error of $\pm\frac{1}{2}$ of one part in 65,536 or $\pm 0.00076\%$, which is much more accurate than the $\pm 0.019\%$ specification provided by the DAC0808.

MULTIPLYING ACCURACY

The DAC0808 may be used in the multiplying mode with 8-bit accuracy when the reference current is varied over a range of 256:1. If the reference current in the multiplying mode ranges from 16 μA to 4 mA, the additional error contributions are less than 1.6 μA. This is well within 8-bit accuracy when referred to full-scale.

A monotonic converter is one which supplies an increase in current for each increment in the binary word. Typically, the DAC0808 is monotonic for all values of reference current above 0.5 mA. The recommended range for operation with a DC reference current is 0.5 to 4 mA.

SETTLING TIME

The worst-case switching condition occurs when all bits are switched ON, which corresponds to a low-to-high transition for all bits. This time is typically 150 ns for settling to within $\pm\frac{1}{2}$ LSB, for 8-bit accuracy, and 100 ns to $\frac{1}{2}$ LSB for 7 and 6-bit accuracy. The turn OFF is typically under 100 ns. These times apply when $R_L \leq 500\Omega$ and $C_O \leq 25$ pF.

Extra care must be taken in board layout since this is usually the dominant factor in satisfactory test results when measuring settling time. Short leads, 100 μF supply bypassing for low frequencies, and minimum scope lead length are all mandatory.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

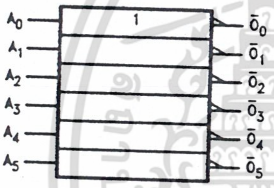
National Semiconductor

54F/74F04
Hex Inverter

Ordering Code: See Section 5

Logic Symbol

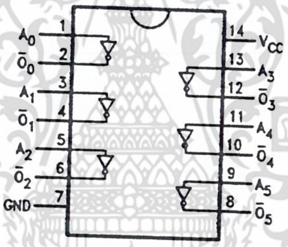
IEEE/IEC



TL/F/9456-3

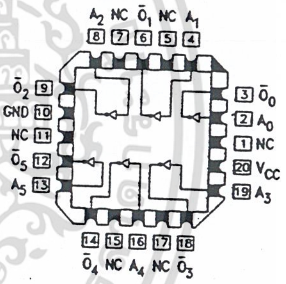
Connection Diagrams

Pin Assignment for DIP, SOIC and Flatpak



TL/F/9456-2

Pin Assignment for LCC and PCC



TL/F/9456-1

Unit Loading/Fan Out: See Section 2 for U.L. definitions

Pin Names	Description	54F/74F	
		U.L. HIGH/LOW	Input I_{IH}/I_{IL} Output I_{OH}/I_{OL}
A_n	Inputs	1.0/1.0	20 μA/−0.6 mA
$\overline{O}_n$	Outputs	50/33.3	−1 mA/20 mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Storage Temperature	−65°C to +150°C
Ambient Temperature under Bias	−55°C to +125°C
Junction Temperature under Bias	−55°C to +175°C
V_{CC} Pin Potential to Ground Pin	−0.5V to +7.0V
Input Voltage (Note 2)	−0.5V to +7.0V
Input Current (Note 2)	−30 mA to +5.0 mA
Voltage Applied to Output in HIGH State (with V_{CC} = 0V)	
Standard Output	−0.5V to V_{CC}
TRI-STATE® Output	−0.5V to +5.5V
Current Applied to Output in LOW State (Max)	twice the rated I_{OL} (mA)

Note 1: Absolute maximum ratings are values beyond which the device may be damaged or have its useful life impaired. Functional operation under these conditions is not implied.

Note 2: Either voltage limit or current limit is sufficient to protect inputs.

Recommended Operating Conditions

Free Air Ambient Temperature	
Military	−55°C to +125°C
Commercial	0°C to +70°C
Supply Voltage	
Military	+4.5V to +5.5V
Commercial	+4.5V to +5.5V

DC Electrical Characteristics

Symbol	Parameter		54F/74F Min	Typ	Max	Units	V_{CC}	Conditions
V_{IH}	Input HIGH Voltage		2.0			V		Recognized as a HIGH Signal
V_{IL}	Input LOW Voltage				0.8	V		Recognized as a LOW Signal
V_{CD}	Input Clamp Diode Voltage				−1.2	V	Min	I_{IN} = −18 mA
V_{OH}	Output HIGH Voltage	54F 10% V_{CC} 74F 10% V_{CC} 74F 5% V_{CC}	2.5 2.5 2.7			V	Min	I_{OH} = −1 mA
V_{OL}	Output LOW Voltage	54F 10% V_{CC} 74F 10% V_{CC}			0.5 0.5	V	Min	I_{OL} = 20 mA
I_{IH}	Input HIGH Current				20	μA	Max	V_{IN} = 2.7V
I_{BVI}	Input HIGH Current Breakdown Test				100	μA	Max	V_{IN} = 7.0V
I_{IL}	Input LOW Current				−0.6 −1.2	mA mA	Max Max	V_{IN} = 0.5V (CEP, CP, $\overline{MR}$, P_0–P_3) V_{IN} = 0.5V (CET, $\overline{PE}$, $\overline{SR}$)
I_{OS}	Output Short-Circuit Current		−60		−150	mA	Max	V_{OUT} = 0V
I_{CEX}	Output HIGH Leakage Current				250	μA	Max	V_{OUT} = V_{CC}
I_{CC}	Power Supply Current			37	55	mA	Max	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

54F/74F174 Hex D Flip-Flop with Master Reset

General Description

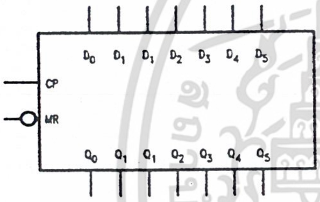
The 'F174 is a high-speed hex D flip-flop. The device is used primarily as a 6-bit edge-triggered storage register. The information on the D inputs is transferred to storage during the LOW-to-HIGH clock transition. The device has a Master Reset to simultaneously clear all flip-flops.

Features

- Edge-triggered D-type inputs
- Buffered positive edge-triggered clock
- Asynchronous common reset

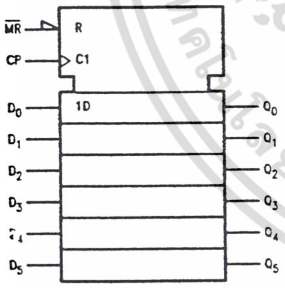
Ordering Code: See Section 5

Logic Symbols



TL/F/9489-3

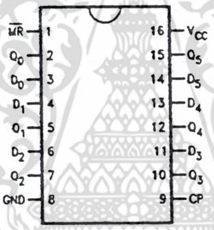
IEEE/IEC



TL/F/9489-5

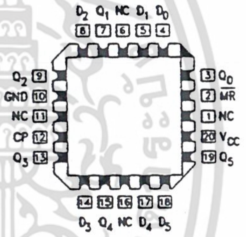
Connection Diagrams

Pin Assignment for DIP, SOIC and Flatpak



TL/F/9489-1

Pin Assignment for LCC and PCC



TL/F/9489-2

Unit Loading/Fan Out: See Section 2 for U.L. definitions

Pin Names	Description	54F/74F U.L. HIGH/LOW	54F/74F Input I_{IH}/I_{IL} Output I_{OH}/I_{OL}
D_0–D_5	Data Inputs	1.0/1.0	20 μA/ −0.6 mA
CP	Clock Pulse Input (Active Rising Edge)	1.0/1.0	20 μA/ −0.6 mA
$\overline{MR}$	Master Reset Input (Active LOW)	1.0/1.0	20 μA/ −0.6 mA
Q_0–Q_5	Outputs	50/33.3	−1 mA/20 mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

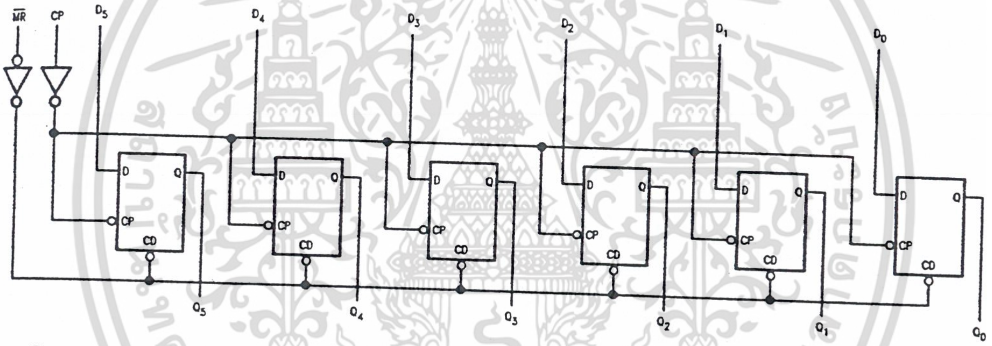
The 'F174 consists of six edge-triggered D flip-flops with individual D inputs and Q outputs. The Clock (CP) and Master Reset ($\overline{MR}$) are common to all flip-flops. Each D input's state is transferred to the corresponding flip-flop's output following the LOW-to-HIGH Clock (CP) transition. A LOW input to the Master Reset ($\overline{MR}$) will force all outputs LOW independent of Clock or Data inputs. The 'F174 is useful for applications where the true output only is required and the Clock and Master Reset are common to all storage elements.

Truth Table

Inputs			Outputs
$\overline{MR}$	CP	D_n	Q_n
L	X	X	L
H	⌿	H	H
H	⌿	L	L

H = HIGH Voltage Level
L = LOW Voltage Level
X = Immaterial
⌿ = LOW-to-HIGH Clock Transition

Logic Diagram



Please note that this diagram is provided only for the understanding of logic operations and should not be used to estimate propagation delays.

TL/F/9489–4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Storage Temperature	−65°C to +150°C
Ambient Temperature under Bias	−55°C to +125°C
Junction Temperature under Bias	−55°C to +175°C
V_{CC} Pin Potential to Ground Pin	−0.5V to +7.0V
Input Voltage (Note 2)	−0.5V to +7.0V
Input Current (Note 2)	−30 mA to +5.0 mA
Voltage Applied to Output in HIGH State (with V_{CC} = 0V)	
Standard Output	−0.5V to V_{CC}
TRI-STATE® Output	−0.5V to +5.5V
Current Applied to Output in LOW State (Max)	twice the rated I_{OL} (mA)

Note 1: Absolute maximum ratings are values beyond which the device may be damaged or have its useful life impaired. Functional operation under these conditions is not implied.

Note 2: Either voltage limit or current limit is sufficient to protect inputs.

Recommended Operating Conditions

Free Air Ambient Temperature	
Military	−55°C to +125°C
Commercial	0°C to +70°C
Supply Voltage	
Military	+4.5V to +5.5V
Commercial	+4.5V to +5.5V

DC Electrical Characteristics

Symbol	Parameter		54F/74F Min	54F/74F Typ	54F/74F Max	Units	V_{CC}	Conditions
V_{IH}	Input HIGH Voltage		2.0			V		Recognized as a HIGH Signal
V_{IL}	Input LOW Voltage				0.8	V		Recognized as a LOW Signal
V_{CD}	Input Clamp Diode Voltage				−1.2	V	Min	I_{IN} = −18 mA
V_{OH}	Output HIGH Voltage	54F 10% V_{CC} 74F 10% V_{CC} 74F 5% V_{CC}	2.5 2.5 2.7			V	Min	I_{OH} = −1 mA I_{OH} = −1 mA I_{OH} = −1 mA
V_{OL}	Output LOW Voltage	54F 10% V_{CC} 74F 10% V_{CC}			0.5 0.5	V	Min	I_{OL} = 20 mA I_{OL} = 20 mA
I_{IH}	Input HIGH Current				20	µA	Max	V_{IN} = 2.7V
I_{BVI}	Input HIGH Current Breakdown Test				100	µA	Max	V_{IN} = 7.0V
I_{IL}	Input LOW Current				−0.6	mA	Max	V_{IN} = 0.5V
I_{OS}	Output Short-Circuit Current		−60		−150	mA	Max	V_{OUT} = 0V
I_{CEX}	Output HIGH Leakage Current				250	µA	Max	V_{OUT} = V_{CC}
I_{CCH}	Power Supply Current			30	45	mA	Max	CP = _/‾ D_n = $\overline{MR}$ = HIGH
I_{CCL}	Power Supply Current			30	45	mA	Max	V_O = LOW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics: See Section 2 for Waveforms and Load Configurations

Symbol	Parameter	74F $T_A = +25°C$ $V_{CC} = +5.0V$ $C_L = 50$ pF			54F T_A, V_{CC} = Mil $C_L = 50$ pF		74F T_A, V_{CC} = Com $C_L = 50$ pF		Units	Fig No
		Min	Typ	Max	Min	Max	Min	Max		
f_{max}	Maximum Clock Frequency	80			70		80		MHz	2–1
t_{PLH} t_{PHL}	Propagation Delay CP to Q_n	3.5 4.0	5.5 7.0	8.0 10.0	3.0 4.0	10.0 12.0	3.5 4.0	9.0 11.0	ns	2–3
t_{PHL}	Propagation Delay $\overline{MR}$ to Q_n	5.0	10.0	14.0	5.0	16.0	5.0	15.0	ns	2–3

AC Operating Requirements: See Section 2 for Waveforms

Symbol	Parameter	74F $T_A = +25°C$ $V_{CC} = +5.0V$		54F T_A, V_{CC} = Mil		74F T_A, V_{CC} = Com		Units	Fig No
		Min	Max	Min	Max	Min	Max		
$t_s(H)$ $t_s(L)$	Setup Time, HIGH or LOW D_n to CP	4.0 4.0		5.0 5.0		4.0 4.0		ns	2–6
$t_h(H)$ $t_h(L)$	Hold Time, HIGH or LOW D_n to CP	0 0		2.0 2.0		0 0			
$t_w(H)$ $t_w(L)$	CP Pulse Width HIGH or LOW	4.0 6.0		5.0 7.5		4.0 6.0		ns	2–4
$t_w(L)$	$\overline{MR}$ Pulse Width, LOW	5.0		6.5		5.0		ns	2–4
t_{rec}	Recovery Time, $\overline{MR}$ to CP	5.0		6.0		5.0			2–6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

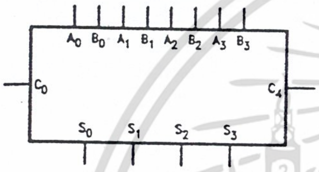
54F/74F283
4-Bit Binary Full Adder with Fast Carry

General Description

The 'F283 high-speed 4-bit binary full adder with internal carry lookahead accepts two 4-bit binary words (A_0–A_3, B_0–B_3) and a Carry input (C_0). It generates the binary Sum outputs (S_0–S_3) and the Carry output (C_4) from the most significant bit. The 'F283 will operate with either active HIGH or active LOW operands (positive or negative logic).

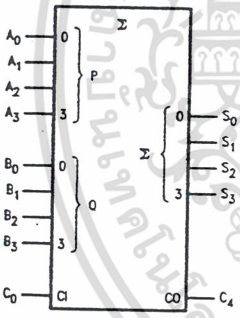
Ordering Code: See Section 5

Logic Symbols



TL/F/9513-1

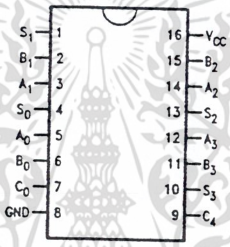
IEEE/IEC



TL/F/9513-4

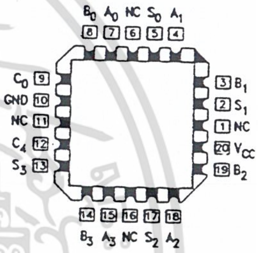
Connection Diagrams

Pin Assignment for DIP, SOIC and Flatpak



TL/F/9513-2

Pin Assignment for LCC and PCC



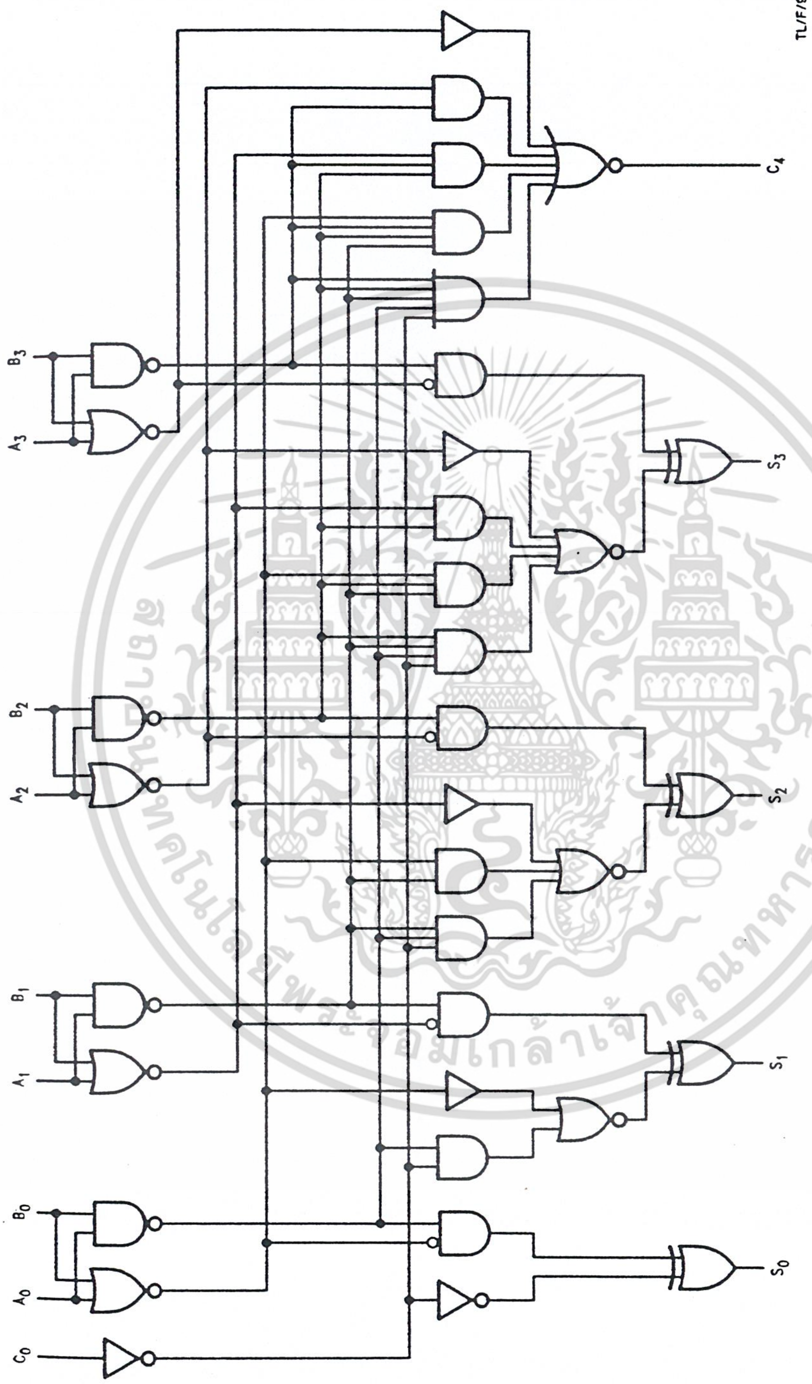
TL/F/9513-3

Unit Loading/Fan Out: See Section 2 for U.L. definitions

Pin Names	Description	54F/74F U.L. HIGH/LOW	54F/74F Input I_{IH}/I_{IL} Output I_{OH}/I_{OL}
A_0–A_3	A Operand Inputs	1.0/2.0	20 μA/−1.2 mA
B_0–B_3	B Operand Inputs	1.0/2.0	20 μA/−1.2 mA
C_0	Carry Input	1.0/1.0	20 μA/−0.6 mA
S_0–S_3	Sum Outputs	50/33.3	−1 mA/20 mA
C_4	Carry Output	50/33.3	−1 mA/20 mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Logic Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Storage Temperature	−65°C to +150°C
Ambient Temperature under Bias	−55°C to +125°C
Junction Temperature under Bias	−55°C to +175°C
V_{CC} Pin Potential to Ground Pin	−0.5V to +7.0V
Input Voltage (Note 2)	−0.5V to +7.0V
Input Current (Note 2)	−30 mA to +5.0 mA
Voltage Applied to Output in HIGH State (with V_{CC} = 0V)	
Standard Output	−0.5V to V_{CC}
TRI-STATE® Output	−0.5V to +5.5V
Current Applied to Output in LOW State (Max)	twice the rated I_{OL} (mA)

Note 1: Absolute maximum ratings are values beyond which the device may be damaged or have its useful life impaired. Functional operation under these conditions is not implied.

Note 2: Either voltage limit or current limit is sufficient to protect inputs.

Recommended Operating Conditions

Free Air Ambient Temperature	
Military	−55°C to +125°C
Commercial	0°C to +70°C
Supply Voltage	
Military	+4.5V to +5.5V
Commercial	+4.5V to +5.5V

DC Electrical Characteristics

Symbol	Parameter		54F/74F			Units	V_{CC}	Conditions
			Min	Typ	Max			
V_{IH}	Input HIGH Voltage		2.0			V		Recognized as a HIGH Signal
V_{IL}	Input LOW Voltage				0.8	V		Recognized as a LOW Signal
V_{CD}	Input Clamp Diode Voltage				−1.2	V	Min	I_{IN} = −18 mA
V_{OH}	Output HIGH Voltage	54F 10% V_{CC} 74F 10% V_{CC} 74F 5% V_{CC}	2.5 2.5 2.7			V	Min	I_{OH} = −1 mA I_{OH} = −1 mA I_{OH} = −1 mA
V_{OL}	Output LOW Voltage	54F 10% V_{CC} 74F 10% V_{CC}			0.5 0.5	V	Min	I_{OL} = 20 mA I_{OL} = 20 mA
I_{IH}	Input HIGH Current				20	μA	Max	V_{IN} = 2.7V
I_{BVI}	Input HIGH Current Breakdown Test				100	μA	Max	V_{IN} = 7.0V
I_{IL}	Input LOW Current				−0.6 −1.2	mA	Max	V_{IN} = 0.5V (C_O) V_{IN} = 0.5V (A_n, B_n)
I_{OS}	Output Short-Circuit Current		−60		−150	mA	Max	V_{OUT} = 0V
I_{CEX}	Output HIGH Leakage Current				250	μA	Max	V_{OUT} = V_{CC}
I_{CCH}	Power Supply Current			36	55	mA	Max	V_O = HIGH
I_{CCL}	Power Supply Current			36	55	mA	Max	V_O = LOW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics: See Section 2 for Waveforms and Load Configurations

Symbol	Parameter	74F $T_A = +25°C$ $V_{CC} = +5.0V$ $C_L = 50$ pF			54F T_A, V_{CC} = Mil $C_L = 50$ pF		74F T_A, V_{CC} = Com $C_L = 50$ pF		Units	Fig No
		Min	Typ	Max	Min	Max	Min	Max		
t_{PLH} t_{PHL}	Propagation Delay C_0 to S_n	3.5 3.0	7.0 7.0	9.5 9.5	3.5 3.0	14.0 14.0	3.5 3.0	11.0 11.0	ns	2–3
t_{PLH} t_{PHL}	Propagation Delay A_n or B_n to S_n	3.0 3.0	7.0 7.0	9.5 9.5	3.0 3.0	17.0 14.0	3.0 3.0	13.0 11.5	ns	2–3
t_{PLH} t_{PHL}	Propagation Delay C_0 to C_4	3.0 3.0	5.7 5.4	7.5 7.0	3.0 2.5	10.5 10.0	3.0 3.0	8.5 8.0	ns	2–3
t_{PLH} t_{PHL}	Propagation Delay A_n or B_n to C_4	3.0 2.5	5.7 5.3	7.5 7.0	3.0 2.5	10.5 10.0	3.0 2.5	8.5 8.0	ns	2–3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้