เครื่อง ประหยัดพลังงาน

ENERGY SAVER

T033980

โดย

นาย ณัฐพงศ์ จินจาคาม 40012010

นาย ไพฑูรย์ เวชประสิทธิ์ 40012022

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

ภาควิชาเทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เลขหมู่
เลขทะเบียน 33980
วัน, เดือน, ปี 23 ก.ย. 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	เครื่องประหยัดพลังงาน
โดย	นาย ณัฐพงศ์ จินจาคาม 40012010
	นาย ไพฑูรย์ เวชประสิทธิ์ 40012022
อาจารย์ที่ปรึกษา	อ. บุณย์ชนะ ภู่ระหงษ์
ภาควิชา	เทคนิคอุตสาหกรรม
ปีการศึกษา	2541

คณะวิศวกรรมศาสตร์สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

---------- ประธานกรรมการ
( )

---------- กรรมการ
( )

---------- กรรมการ
( )

---------- กรรมการ
( )

---------- กรรมการ
( )

---------- กรรมการ
( )

---------- กรรมการ
( )

---------- กรรมการ
( )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่อง ประหยัดพลังงาน

โดย นาย ณัฐพงศ์ จินจาคาม เลขประจำตัว 40012010
นาย ไพฑูรย์ เวชประสิทธิ์ เลขประจำตัว 40012022

อาจารย์ที่ปรึกษา อ. บุณย์ชนะ ภู่ระหงษ์

ปีการศึกษา 2541

บทคัดย่อ

ในปริญญานิพนธ์นี้กล่าวถึงการออกแบบ เกี่ยวกับการประหยัดพลังงานไฟฟ้ามีจุดมุ่งหมายเพื่อให้ผู้ใช้ไฟฟ้าสามารถประหยัดพลังงานไฟฟ้าให้ได้ผลมากที่สุดโดยลักษณะเด่นของโครงงานนี้จะใช้ไมโครโปรเซสเซอร์เป็นตัวควบคุม การทำงานของโครงงานโดยใช้ชุดควบคุมแรงดันไฟฟ้าวัดค่าและควบคุมขนาดของแรงดันไฟฟ้าโดยใช้ไมโครโปรเซสเซอร์เป็นตัวรับค่าอินพุทผ่านทางอุปกรณ์แปลงสัญญาณอนาลอกเป็นดิจิตอล เพื่อนำไปคำนวณค่าที่เหมาะสมและทำการส่งเอาท์พุทผ่านทางอุปกรณ์แปลงสัญญาณดิจิตอลเป็นอนาลอก สำหรับใช้ในการควบคุมมุมนำกระแสของไทรริสเตอร์ให้ได้ค่าแรงดันไฟฟ้าที่คงที่ ค่าที่คำนวณได้จากไมโครโปรเซสเซอร์จะเป็นค่าที่สามารถวัดและปรับค่าได้อย่างละเอียด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ENERGY SAVER

BY	MR. NUTTAPONG JINJAKAM	40012010
	MR. PAITOON WETPRASIT	40012022

ADVISOR BOONCHANA PURAHONG

ACADEMICYEAR 1998

ABSTRACT

In this PROJECT related work saving energy electric. Purpose for user can saving most energy electric by main , In this project will using Microprocessor controller , have control voltage set , measure and control voltage by device transform digital to analog. When calculate will can appropriate and output to device transform digital to analog for controller in tyristor voltage constant Microprocessor calculate will can value constant and adjust fine value.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

คณะผู้จัดทำขอขอบคุณ อาจารย์บุญย์ชนะ ภู่ระหงษ์ ที่ได้ให้คำปรึกษาแนะนำตั้งแต่ต้นจนจบการศึกษาและขอขอบคุณ พี่วิสูตร วงศ์คุ้มสิน ที่ได้ให้คำปรึกษาและยืมอุปกรณ์ในกาทดลอง รวมทั้ง พี่อำนวย แกล้วกล้า หัวหน้าแผนกวิเคราะห์ไฟฟ้า ที่ได้กรุณาให้ยืมเครื่องทดลองตลอดจนเพื่อน ๆทุกคนในห้อง 2N รวมทั้ง คุณทอรุ้ง กลิ่นศรีสุข และเพื่อนภาควิชาวิศวกรรมคอมพิวเตอร์ที่ช่วยสอนการเขียนโปรแกรมต่างๆที่ให้ความช่วยเหลือตลอดมา และกำลังใจจาก คุณพ่อ - คุณแม่ พี่ น้อง ซึ่งถ้าหากปราศจากบุคคลเหล่านี้แล้วปริญญานิพนธ์ฉบับนี้ก็คงไม่สามารถจะสำเร็จลุล่วงไปได้ด้วยดี จึงได้ขอกล่าวขอบพระคุณมาไว้ ณ ที่นี้ด้วย

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
	บทคัดย่อ	
	Abstract	
	กิตติกรรมประกาศ	
บทที่ 1	บทนำ	1
	ประเภทผู้ใช้ไฟฟ้า	1
	ประเภทที่ 1 บ้านอยู่อาศัย	1
	ประเภทที่ 2 กิจการขนาดเล็ก	2
	ประเภทที่ 3 กิจการขนาดกลาง	2
	ประเภทที่ 4 กิจการขนาดใหญ่	4
บทที่ 2	คุณลักษณะรูปคลื่นกระแสไฟฟ้า	6
	รูปคลื่นซายน์ (sine wave)	6
	รูปสมการแรงดันและกระแสไฟฟ้าที่มีรูปคลื่นซายน์	8
	ความสัมพันธ์เฟส(Phase Ralation)ระหว่างรูปคลื่นซายน์	9
	ค่าปริมาณเฉลี่ย(Average Value)ของรูปคลื่นซายน์	10
	ค่าปริมาณรากที่สองของค่าเฉลี่ยยกกำลังสอง(Root Mean Sguare)	
	ของรูปคลื่นซายน์	10
	ค่าอินดัคแตนซ์(Inductance)	10
	ค่าคาปาซิแตนซ์(Capacitance)	11
	กำลังไฟฟ้าเฉลี่ยและเพาเวอร์แฟคเตอร์(Average Power and Power Factor)	12
	กำลังไฟฟ้าเฉลี่ยในวงจรทั่วไป	12
	รูปสามเหลี่ยมกำลังไฟฟ้า(Power Triangle)	14
	เอส ซี อาร์ (SCR)	15
	ลักษณะสมบัติของ เอส ซี อาร์	18
	การควบคุมเฟส	19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
	การควบคุมเฟสโดยใช้ไทรีสเตอร์	19
	ลักษณะรูปคลื่นเฟสที่ถูกควบคุมด้วยไทรีสเตอร์	19
	วงจรควบคุมเฟสของไฟฟ้ากระแสสลับ	21
	การควบคุมเฟสแบบครึ่งคลื่น	23
	การควบคุมเฟสแบบเต็มคลื่น	23
	Op-Amp	24
	วงจรขยายแบบกลับเฟส	24
	วงจรขยายแบบไม่กลับเฟส	26
	วงจรควบคุมการจุดฉนวนของSCR	27
	ไมโครคอนโทรลเลอร์MCS-51	28
	คุณสมบัติทั่วไปของไมโครคอนโทรลเลอร์MCS-51	28
	โครงสร้างภายนอกของ MCS-51	29
	โครงสร้างภายในของ MCS-51	31
	การจัดหน่วยความจำ	32
	หน่วยความจำโปรแกรม	34
	หน่วยความจำข้อมูล	34
	รีจีสเตอร์หน้าที่พิเศษ(SFR)	34
	รีจีสเตอร์ใช้งานทั่วไป	36
	การจัดสรรหน่วยความจำบนMCS-51บอร์ด	36
	หน่วยความจำสำหรับเก็บโปรแกรม	36
	หน่วยความจำสำหรับเก็บข้อมูล	36
	ชุดคำสั่งไมโครคอนโทรเลอร์MCS-51	37
บทที่3	การทำงานของวงจร	41
	ANALOG TO DIGITAL CONVERTOR	42
	DIGITAL TO ANALOG CONVERTOR	43
	ภาค PHASE CONTROLของ IC#785	44

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

ภาคประมวลผลของIC#8031 45

ภาคของวงจรเรียงกระแส 46

บทที่4 สรุปผลการทดลอง 47

เอกสารอ้างอิง

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

ภาพ	หน้า
รูปที่1 รูปคลื่นแรงดันไฟฟ้ากระแสสลับแบบซายน์(Sinusaidal Voltage)	6
รูปที่2 แสดงรูปคลื่นซายน์	7
รูปที่3 แสดงหน่วยเรเดียน(Radian)เทียบกับองศา(Degree)	7
รูปที่4 รูปคลื่นซายน์	8
รูปที่5 แสดงความสัมพันธ์เฟส	9
รูปที่6 แสดงเฟสระหว่างแรงดันและกระแส(Lag)	11
รูปที่7 แสดงเฟสระหว่างแรงดันและกระแส(Lade)	11
รูปที่8 วงจรไฟฟ้า	12
รูปที่9 วงจรไฟฟ้า	12
รูปที่10 กำลังไฟฟ้าเฉลี่ยในวงจรไฟฟ้าทั่วไป	13
รูปที่11 แสดงรูปสามเหลี่ยมกำลังไฟฟ้าของโหลดอินดัคตีฟ	14
รูปที่12 แสดงรูปสามเหลี่ยมกำลังไฟฟ้าของโหลดคาปาซิตีฟ	14
รูปที่13 เอสซีอาร์(SCR)	15
รูปที่14 แสดงโครงสร้างส่วนประกอบของ เอส ซี อาร์	16
รูปที่15 แสดงวงจรสมมูลย์การทำงานของ เอส ซี อาร์	17
รูปที่16 ลักษณะสมบัติของ เอส ซี อาร์	18
รูปที่17 แสดงรูปคลื่น แรงดัน และกระแสของไทรีสเตอร์ เมื่อเทียบกับแหล่งกำเนิดแรงดัน	20
รูปที่18 แสดงการควบคุมเฟสที่ใช้ไทรีสเตอร์	21
รูปที่19 แสดงวงจรพื้นฐานแบบต่างๆของการควบคุมแบบเฟสเดียว	22
รูปที่20 วงจรขยายแบบกลับเฟส	24
รูปที่21 วงจรขยายแบบไม่กลับเฟส	26
รูปที่22 แสดงวงจรควบคุมการจุดฉนวนSCR	27
รูปที่23 แสดงการจัดตำแหน่งขาต่างๆของไมโครคอนโทรเลอร์ตระกูลMCS-51	29
รูปที่24 แสดงโครงสร้างภายใน ของไมโครคอนโทรเลอร์ตระกูลMCS-51	32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

ภาพ หน้า

รูปที่25 แสดงการจัดการโครงสร้างของหน่วยความจำทั้งในส่วนของหน่วยความจำโปรแกรมและ หน่วยความจำข้อมูล 33

รูปที่26 แสดงการจัดหน่วยความจำและตำแหน่งของรีจีสเตอร์หน้าที่พิเศษ 35

รูปที่27 แสดงBlock diagram ของวงจร 41

รูปที่28 แสดงวงจรADCของIC#0804 42

รูปที่29 แสดงวงจรDACของIC#0800 43

รูปที่30 แสดงวงจรPhase ControlของIC#785 44

รูปที่31แสดงวงจรการประมวลผลของIC#8031 45

รูปที่32 แสดงวงจรเรียงกระแส 46

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

ตาราง หน้า

ตารางที่1 แสดงคุณสมบัติของไมโครคอนโทรเลอร์แต่ละเบอร์ในตระกูลMCS-51 28
ตารางที่2 แสดงหน้าที่พิเศษของแต่ละขาของพอร์ตP3 30
ตารางที่3 แสดงชุดคำสั่งของไมโครคอนโทรเลอร์MCS-51 37

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในปัจจุบัน ทรัพยากรธรรมชาติที่นำมาผลิตกระแสไฟฟ้ามีจำนวนลดน้อยลง เพราะในปัจจุบันมีการใช้ไฟฟ้าเป็นจำนวนมากไม่ว่าจะเป็นไปตามบ้านที่อยู่อาศัย หรือตามบริษัท โรงงานขนาดเล็ก โรงงานขนาดใหญ่ ห้างสรรพสินค้า จำเป็นที่จะต้องใช้ไฟฟ้าจำนวนมาก ทำให้การไฟฟ้าต้องจ่ายกระแสต่อหนึ่งวันเป็นจำนวนมหาศาล จึงเกิดแนวคิดที่จะสร้างเครื่องมือที่ช่วยประหยัดไฟฟ้าเพื่อช่วยลดปริมาณ การใช้ไฟฟ้าในแต่ละวันให้น้อยลงและช่วยประหยัดทรัพยากรธรรมชาติ ในบทแรกจะกล่าวถึงอัตราการคิดค่าไฟฟ้าของบ้านพักอาศัย โรงงานขนาดเล็ก โรงงานขนาดกลางและโรงงานขนาดใหญ่ ในบทที่ 2 จะเป็นการอ้างอิงถึงทฤษฎีต่างๆของอุปกรณ์ที่ใช้ในโครงงานนี้ ส่วนในบทที่ 3 เป็นวงจรต่างๆและหลักการทำงานของวงจรในแต่ละภาคและในบทที่ 4 เป็นสรุปผลการทดลองของโครงงานว่าผลที่ได้รับออกมาในลักษณะใดรวมทั้งการทดสอบการทำงานของวงจรในโครงงานนี้ด้วย

ประเภทที่ 1 บ้านอยู่อาศัย

ลักษณะการใช้ : สำหรับการใช้ไฟฟ้าในบ้านหรือที่อยู่อาศัย วัดและโบสถ์ของศาสนาต่างๆ ตลอดจนบริเวณที่เกี่ยวข้อง โดยต่อผ่านเครื่องวัดหน่วยไฟฟ้าเครื่องเดียว

1.1 ปริมาณการใช้พลังงานไฟฟ้าไม่เกิน 150 หน่วยต่อเดือน

5 หน่วย (กิโลวัตต์ชั่วโมง) แรก (หน่วยที่ 1-5)	เป็นเงิน 4.96 บาท
10 หน่วยต่อไป (หน่วยที่ 6-15)	หน่วยละ 0.7124 บาท
10 หน่วยต่อไป (หน่วยที่ 16-25)	หน่วยละ 0.8993 บาท
10 หน่วยต่อไป (หน่วยที่ 25-35)	หน่วยละ 1.1516 บาท
65 หน่วยต่อไป (หน่วยที่ 36-100)	หน่วยละ 1.5348 บาท
50 หน่วยต่อไป (หน่วยที่ 101-150)	หน่วยละ 1.6282 บาท
250 หน่วยต่อไป (หน่วยที่ 151-400)	หน่วยละ 2.1329 บาท
เกินกว่า 400 หน่วย (หน่วยที่ 401 เป็นต้นไป)	หน่วยละ 2.4226 บาท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 ปริมาณการใช้พลังงานไฟฟ้าเกินกว่า 150 หน่วยต่อเดือน

อัตรารายเดือน : ค่าพลังงานไฟฟ้า

35 หน่วยแรก (กิโลวัตต์ชั่วโมง) แรก (หน่วยที่ 1-35)	เป็นเงิน 85.21 บาท
115 หน่วยต่อไป (หน่วยที่ 36-150)	หน่วยละ 1.1236 บาท
250 หน่วยต่อไป (หน่วยที่ 151-400)	หน่วยละ 2.1329 บาท
เกินกว่า 400 หน่วย (หน่วยที่ 401 เป็นต้นไป)	หน่วยละ 2.4226 บาท

หมายเหตุ :

1. ผู้ใช้ไฟฟ้าที่ติดตั้งเครื่องวัดหน่วยไฟฟ้า ขนาดไม่เกิน 5 แอมแปร์ 220 โวลท์ 1 เฟส 2 สาย จะถูกจัดให้อยู่ในประเภทที่ 1 ข้อ 1.1 แต่ถ้ามีการใช้พลังงานไฟฟ้าเกินกว่า 150 หน่วยต่อเดือน ติดต่อกัน 3 เดือน ในเดือนถัดไปจะจัดเข้าอยู่ในประเภทที่ 1 ข้อ 1.2 และถ้ามีการใช้ พลังงานไฟฟ้าไม่เกินกว่า 150 หน่วยต่อเดือนติดต่อกัน 3 เดือน ในเดือนถัดไปจะจัดเข้าอยู่ในประเภทที่ 1 ข้อ 1.1 ตามเดิม

2. ผู้ใช้ไฟฟ้าที่ติดตั้งเครื่องวัดหน่วยไฟฟ้า ขนาดเกินกว่า 5 แอมแปร์ 220 โวลท์ 1 เฟส 2 สาย จะจัดเข้าอยู่ในประเภทที่ 1 ข้อ 1.2 ตลอดไป

ประเภทที่ 2 กิจการขนาดเล็ก

ลักษณะการใช้ : สำหรับการใช้ไฟฟ้าเพื่อประกอบธุรกิจ ธุรกิจรวมกับที่อยู่อาศัย อุตสาหกรรมและหน่วยงานรัฐวิสาหกิจ หรืออื่นๆ ตลอดจนบริเวณที่เกี่ยวข้องซึ่งมีความต้องการพลังงานไฟฟ้าเฉลี่ยใน 15 นาทีที่สูงสุดต่ำกว่า 30 กิโลวัตต์ โดยต่อผ่านเครื่องวัดหน่วยไฟฟ้าเครื่องเดียว

หมายเหตุ : ผู้ใช้ไฟฟ้าประเภทที่ 2 นี้ หากในรอบเดือนใดมีความต้องการพลังงานไฟฟ้าเฉลี่ยใน 15 นาทีที่สูงสุดตั้งแต่ 30 กิโลวัตต์ขึ้นไป จะจัดเข้าอยู่ในประเภทที่ 3 หรือ ประเภทที่ 4 แล้วแต่กรณี และจะจัดเข้ามาอยู่ในประเภทที่ 2 อีกเมื่อความต้องการพลังงานไฟฟ้าดังกล่าวลดลงต่ำกว่า 30 กิโลวัตต์ติดต่อกันเป็นเวลา 12 เดือน

ประเภทที่ 3 กิจการขนาดกลาง

ลักษณะการใช้ : สำหรับการใช้ไฟฟ้าเพื่อธุรกิจ อุตสาหกรรม และหน่วยงานรัฐวิสาหกิจ ตลอดจนบริเวณที่เกี่ยวข้อง ซึ่งมีความต้องการพลังไฟฟ้าเฉลี่ยใน 15 นาทีที่สูงสุด ตั้งแต่ 30-1,999 กิโลวัตต์ และมีปริมาณการใช้พลังงานไฟฟ้าเฉลี่ย 3 เดือนไม่เกิน 355,000 หน่วยต่อเดือน รวมถึงส่วนราชการที่มีปริมาณการใช้พลังงานไฟฟ้าเครื่องเดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1 อัตราปกติ

ความต้องการพลังไฟฟ้า : ความต้องการพลังไฟฟ้าแต่ละเดือน คือ ความต้องการพลังไฟฟ้าเป็น กิโลวัตต์ เฉลี่ยใน 15 นาทีที่สูงสุดในรอบเดือน เศษของกิโลวัตต์ถ้าไม่ถึง 0.5 กิโลวัตต์ตัดทิ้ง ตั้งแต่ 0.5 กิโลวัตต์ขึ้นไปคิดเป็น 1 กิโลวัตต์

3.2 อัตราตามช่วงเวลาของการใช้ (Time of use rate : TOU rate)

ความต้องการพลังไฟฟ้า : ความต้องการพลังไฟฟ้าแต่ละเดือน คือ ความต้องการพลังไฟฟ้าเป็นกิโลวัตต์ เฉลี่ยใน 15 นาทีที่สูงสุดในช่วงเวลา On peak ในรอบเดือนเศษ ของกิโลวัตต์ถ้าไม่ถึง 0.5 กิโลวัตต์ตัดทิ้ง ตั้งแต่ 0.5 กิโลวัตต์ขึ้นไปคิดเป็น 1 กิโลวัตต์

ค่าเพาเวอร์แฟคเตอร์ : สำหรับผู้ใช้ไฟฟ้าที่มีเพาเวอร์แฟคเตอร์ (lag) ถ้าในรอบเดือนใดผู้ใช้ไฟฟ้ามีความต้องการพลังงานไฟฟ้ารีแอคตีฟเฉลี่ยใน 15 นาทีที่สูงสุด เมื่อคิดเป็นกิโลวาร์ (maximum 15 minute kilovar demand) เกินกว่าร้อยละ 63 ของความต้องการพลังงานไฟฟ้าแอกตีฟเฉลี่ยใน 15 นาทีที่สูงสุด เมื่อคิดเป็นกิโลวัตต์ (maximum 15 minute kilowatt demand) แล้วเฉพาะส่วนที่เกินจะต้องเสียค่าเพาเวอร์แฟคเตอร์ในอัตรากิโลวาร์ละ 14.02 บาท สำหรับ การเรียกเก็บเงินค่าไฟฟ้าในรอบเดือนนั้น เศษของกิโลวาร์ถ้าไม่ถึง 0.5 กิโลวาร์ตัดทิ้ง ตั้งแต่ 0.5 กิโลวาร์ขึ้นไปคิดเป็น 1 กิโลวาร์

หมายเหตุ :

1. ผู้ใช้ไฟฟ้าประเภทที่ 3 นี้ จะจัดเข้าอยู่ในประเภทที่ 3 ข้อ 3.1 และหากมีปริมาณการใช้พลังงานไฟฟ้าเฉลี่ย 3 เดือนเกินกว่า 250,000 หน่วยต่อเดือน สามารถเลือกใช้อัตราค่าไฟฟ้าประเภทที่ 3 ข้อ 3.2 ได้ ทั้งนี้หากเลือกใช้แล้วจะกลับไปใช้อัตราเดิมอีกไม่ได้ แม้ว่าต่อไป จะมีปริมาณการใช้พลังงานไฟฟ้าไม่เกิน 250,000 หน่วยต่อเดือน นอกจากจะมีความต้องการพลังไฟฟ้าเฉลี่ยใน 15 นาทีที่สูงสุดต่ำกว่า 30 กิโลวัตต์ติดต่อกันเป็นเวลา 12 เดือนหรือ ได้มีการเปลี่ยนแปลงลักษณะการใช้ไฟฟ้า
2. ส่วนราชการที่มีปริมาณการใช้พลังงานไฟฟ้าเฉลี่ย 3 เดือนเกินกว่า 250,000 หน่วยต่อเดือน จะจัดเข้าอยู่ในประเภทที่ 3 นี้ ตั้งแต่ค่าไฟฟ้าประจำเดือนตุลาคม 2540 โดยจัดเข้าอยู่ในประเภทที่ 3 ข้อ 3.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ผู้ใช้ไฟฟ้าที่มีความต้องการพลังงานไฟฟ้าเฉลี่ยใน 15 นาทีที่สูงสุดต่ำกว่า 30 กิโลวัตต์ติดต่อกันเป็นเวลา 12 เดือน ในเดือนถัดไปจะจัดเข้าอยู่ในประเภทที่ 2 และจะจัดเข้าอยู่ในประเภทที่ 3 อีกเมื่อมีความต้องการพลังไฟฟ้าดังกล่าวตั้งแต่ 30-1,999 กิโลวัตต์

ประเภทที่ 4 กิจการขนาดใหญ่

ลักษณะการใช้ : สำหรับการใช้ไฟฟ้าเพื่อประกอบธุรกิจ อุตสาหกรรม ส่วนราชการ และหน่วยงานรัฐวิสาหกิจ ตลอดจนบริเวณที่เกี่ยวข้อง ซึ่งมีความต้องการพลังไฟฟ้าเฉลี่ยใน 15 นาทีที่สูงสุดตั้งแต่ 2,000 กิโลวัตต์ขึ้นไป หรือมีปริมาณการใช้พลังงานไฟฟ้าเฉลี่ย 3 เดือน เกินกว่า 355,000 หน่วยต่อเดือน โดยต่อผ่านเครื่องวัดหน่วยไฟฟ้าเครื่องเดียว

4.1 อัตราตามช่วงเวลาของวัน (Time of day rate : TOD rate)

ความต้องการพลังไฟฟ้า : ความต้องการพลังไฟฟ้าแต่ละเดือน คือ ความต้องการพลังไฟฟ้าเป็นกิโลวัตต์ เฉลี่ยใน 15 นาทีที่สูงสุดของแต่ละช่วงเวลาในรอบเดือน เศษของกิโลวัตต์ ถ้าไม่ถึง 0.5 กิโลวัตต์ตัดทิ้ง ตั้งแต่ 0.5 กิโลวัตต์ขึ้นไป คิดเป็น 1 กิโลวัตต์

4.2 อัตราตามช่วงเวลาของการใช้ (Time of use rate : TOU rate)

ความต้องการพลังไฟฟ้า : ความต้องการพลังไฟฟ้าแต่ละเดือน คือ ความต้องการพลังไฟฟ้าเป็นกิโลวัตต์ เฉลี่ยใน 15 นาทีที่สูงสุดในช่วงเวลา on peak ในรอบเดือน เศษของกิโลวัตต์ ถ้าไม่ถึง 0.5 กิโลวัตต์ตัดทิ้ง ตั้งแต่ 0.5 กิโลวัตต์ขึ้นไปคิดเป็น 1 กิโลวัตต์

ค่าเพาเวอร์แฟคเตอร์ : สำหรับผู้ที่ใช้ไฟฟ้าที่มีเพาเวอร์แฟคเตอร์ (lag) ถ้าในรอบเดือนใดผู้ใช้ไฟฟ้ามีความต้องการพลังไฟฟ้ารีแอคตีฟเฉลี่ยใน 15 นาทีที่สูงสุด เมื่อคิดเป็นกิโลวาร์ (maximum 15 minute kilovar demand) เกินกว่าร้อยละ 63 ของความต้องการพลังไฟฟ้าแอคตีฟเฉลี่ยใน 15 นาทีที่สูงสุด เมื่อคิดเป็นกิโลวัตต์ (maximum 15 minute kilowatt demand) แล้ว เฉพาะส่วนที่เกินจะต้องเสียค่าเพาเวอร์แฟคเตอร์ ในอัตรากิโลวาร์ละ 14.02 บาท สำหรับการเรียกเก็บเงินค่าไฟฟ้าในรอบเดือนนั้น เศษของกิโลวาร์ถ้าไม่ถึง 0.5 ตัดทิ้ง ตั้งแต่ 0.5 กิโลวาร์ขึ้นไปคิดเป็น 1 กิโลวาร์

หมายเหตุ :

1. ผู้ใช้ไฟฟ้าประเภทที่ 4 นี้ จะจัดเข้าอยู่ในประเภทที่ 4 ข้อ 4.1 ตั้งแต่ค่าไฟฟ้าประจำเดือนมกราคม 2540 และสามารถเลือกใช้อัตราค่าไฟฟ้าประเภทที่ 4 ข้อ 4.2 ได้ ดังนี้ หากเลือกใช้แล้วจะกลับไปใช้อัตราเดิมอีกไม่ได้ แม้ว่าต่อไปจะมีความต้องการพลังไฟฟ้าเฉลี่ยใน 15 นาทีที่สูงสุดต่ำกว่า 2,000 กิโลวัตต์ หรือมีปริมาณการใช้พลังงานไฟฟ้าไม่เกิน 355,000 หน่วยต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

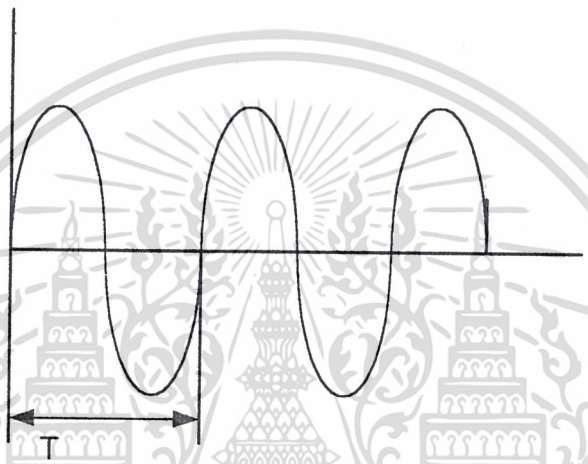
เดือน นอกจากจะมีความต้องการพลังไฟฟ้า ดังกล่าวต่ำกว่า 30 กิโลวัตต์ติดต่อกันเป็นเวลา 12 เดือน หรือได้มีการเปลี่ยนแปลงลักษณะการใช้ไฟฟ้า

2. ผู้ใช้ไฟฟ้าที่จัดเข้าอยู่ในประเภทที่ 4 ตั้งแต่ค่าไฟฟ้าประจำเดือน ตุลาคม 2540 จะจัดเข้าอยู่ในประเภทที่ 4 ข้อ 4.2 แม้ว่าต่อไปจะมีความต้องการพลังไฟฟ้าเฉลี่ยใน 15 นาทีที่สูงสุด ต่ำกว่า 2,000 กิโลวัตต์ หรือมีปริมาณการใช้พลังงานไฟฟ้าไม่เกิน 355,000 หน่วยต่อเดือน นอกจากจะมีความต้องการพลังไฟฟ้าดังกล่าวต่ำกว่า 30 กิโลวัตต์ติดต่อกันเป็นเวลา 12 เดือน หรือได้มีการเปลี่ยนแปลงลักษณะการใช้ไฟฟ้า
3. ส่วนราชการที่มีความต้องการใช้พลังไฟฟ้าเฉลี่ย 3 เดือนเกินกว่า 355,000 หน่วยต่อเดือน จะจัดเข้าอยู่ในประเภทที่ 4 นี้ ตั้งแต่ค่าไฟฟ้าประจำเดือน ตุลาคม 2540 โดยจัดเข้าอยู่ในประเภทที่ 4 ข้อ 4.2
4. ผู้ใช้ไฟฟ้าที่มีความต้องการพลังไฟฟ้าเฉลี่ยใน 15 นาทีที่สูงสุดต่ำกว่า 30 กิโลวัตต์ติดต่อกันเป็นเวลา 12 เดือน ในเดือนถัดไปจะจัดเข้าอยู่ในประเภทที่ 2 และจะจัดเข้ามาอยู่ในประเภทที่ 4 อีกเมื่อมีความต้องการพลังไฟฟ้าดังกล่าว ตั้งแต่ 2,000 กิโลวัตต์ขึ้นไป หรือมีปริมาณการใช้พลังงานไฟฟ้าเฉลี่ยใน 3 เดือน เกินกว่า 355,000 หน่วยต่อเดือน
5. ผู้ใช้ไฟฟ้าที่มีความต้องการพลังไฟฟ้าเฉลี่ยใน 15 นาทีที่สูงสุดตั้งแต่ 2,000 กิโลวัตต์ขึ้นไปในเดือนใด หรือมีปริมาณการใช้พลังงานไฟฟ้าเฉลี่ยใน 3 เดือนเกินกว่า 355,000 หน่วยต่อเดือน จะจัดเข้าอยู่ในประเภทที่ 4 ในเดือนถัดไปหลังจากเดือนที่ติดตั้งเครื่องวัดหน่วยไฟฟ้าตามช่วงเวลาของวัน (TOU meter) หรือเครื่องวัดหน่วยไฟฟ้าตามช่วงเวลาของการใช้ (TOU meter) หากยังไม่ได้ติดตั้งเครื่องวัดหน่วยไฟฟ้าดังกล่าว อนุโลมให้คิดค่าไฟฟ้าตามอัตราประเภทเดิมไปก่อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
คุณลักษณะรูปคลื่นไฟฟ้ากระแสสลับ

รูปคลื่นแรงเคลื่อนเหนี่ยวนำไฟฟ้าในรูปที่ 1 จะมีลักษณะช่วงของแรงดันไฟฟ้าที่เป็นช่วงบวก และ ลบสลับกันไปมาตลอด ใน 1 ไซเคิล จะมีแรงเคลื่อนไฟฟ้าที่เป็นบวก 1 ลูก และ ลบ 1 ลูก



รูปที่ 1 รูปคลื่นแรงดันไฟฟ้ากระแสสลับแบบซานย์ (Sinusaidal Voltage)

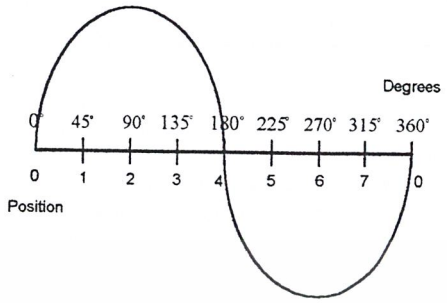
ช่วงระยะเวลา T วินาที จะเรียกว่า Period คือ ได้แรงดันไฟฟ้ากระแสสลับ 1 ไซเคิล ใช้เวลา T วินาทีนั่นเอง

ความถี่ (Frequency) คือ จำนวนไซเคิลของไฟฟ้ากระแสสลับในเวลา 1 วินาที หน่วยของความถีคือ Cycle Per Second

<u>รูปคลื่นซานย์ (Sine Wave)</u>

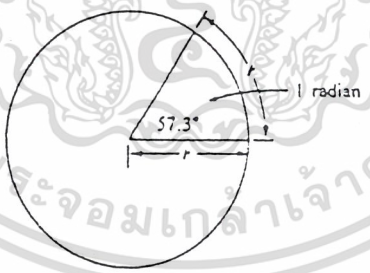
รูปคลื่นซานย์มีลักษณะดังรูปที่ 2 และ หน่วยในแกนระนาบ (Horizontal Axis) เป็นองศา (Degree)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2 แสดงรูปคลื่นซานย์ (Sine Wave)

และสามารถเปลี่ยนหน่วยองศาเป็นเรเดียน (Radian) ได้โดยใช้ระยะความยาวของเส้นรอบวงของวงกลมที่มีความยาวสัมพันธ์กับมุมองศา (Degree) ในวงกลมนั้น ดังรูปที่ 3

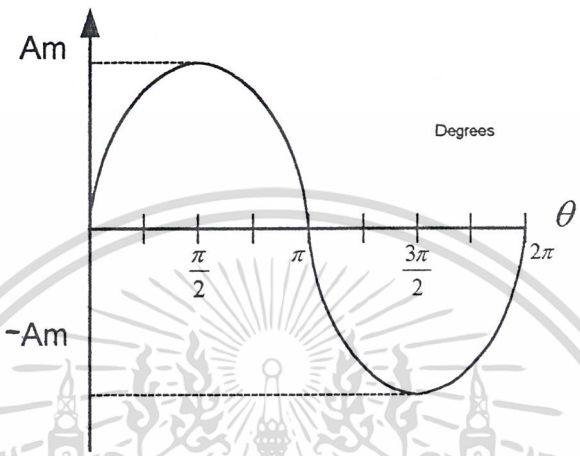


รูปที่ 3 แสดงหน่วยเรเดียน (Radian) เทียบกับ องศา (Degree)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>รูปสมการแรงดันไฟฟ้าและกระแสไฟฟ้าที่มีรูปคลื่นลักษณะซานย์</u>

รูปแบบสมการของรูปคลื่นซานย์ทั่วไปคือ $AmxSin\theta$



รูปที่ 4 รูปคลื่นซานย์

Am = ค่าสูงสุด (Peak Value) ของรูปคลื่นซานย์

θ = เป็นหน่วยองศา หรือ เรเดียนในแนวแกนนอน

ดังนั้นรูปแบบสมการของกระแสไฟฟ้าและแรงดันไฟฟ้ารูปคลื่นซานย์ คือ

กระแสไฟฟ้า , $i = ImSin\theta = ImSin\omega t$

แรงดันไฟฟ้า , $e = EmSin\theta = EmSin\omega t$

เมื่อ i = กระแสไฟฟ้าสลับขณะหนึ่งขณะใด (Instantaneous Current)

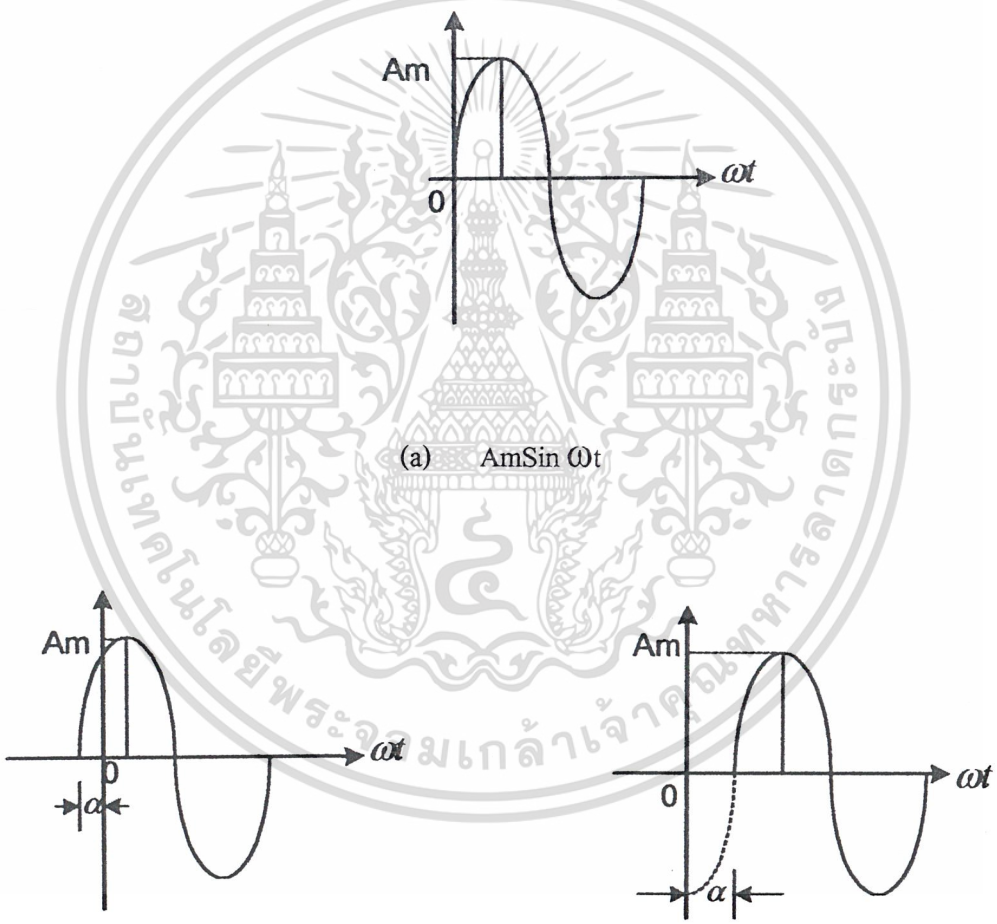
e = แรงดันไฟฟ้าสลับในขณะหนึ่งขณะใด (Instantaneous Voltage)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความสัมพันธ์เฟส (Phase Relation) ระหว่างรูปคลื่นซานย์

ปริมาณค่าสูงสุดของรูปคลื่นซานย์จะอยู่ที่ตำแหน่ง $\theta = \pi/2$ หรือ 90 ° หรือ 270° หรือ $3\pi/2$ และจะมีค่าศูนย์ที่ $\theta = 0$ ° หรือ π หรือ 180° หรือ 360° หรือ 2π ถ้ารูปคลื่นซานย์เลื่อนจากตำแหน่ง $\theta = 0$° ไปทางซ้ายหรือขวา จะเขียนสมการของรูปคลื่นได้ดังนี้

$AmSin(\theta \pm \alpha) = AmSin(\omega t \pm \alpha)$



(a) AmSin ωt

(b) AmSin (ωt + α)

(c) AmSin (ωt - α)

รูปที่ 5 แสดงความสัมพันธ์เฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าปริมาณเฉลี่ย (Average Value) ของรูปคลื่นซายน์

สามารถหาค่าเฉลี่ยของรูปคลื่นโดยหาจากสูตร ด้วยวิธีคัลคูลัส (Calculus)

ค่าเฉลี่ย (Average Value) = (พื้นที่ใต้กราฟ)/(ความยาวตลอดกราฟ) = $1/T \int_0^T f(T)\, d\omega t$

ค่าปริมาณรากที่สองของค่าเฉลี่ยยกกำลังสอง (Root Mean Square) ของรูปคลื่นซายน์

ค่าปริมาณรากที่สองของค่าเฉลี่ยกำลังสอง (Root Mean Square) ของรูปคลื่นซายน์ หาได้จากสูตร

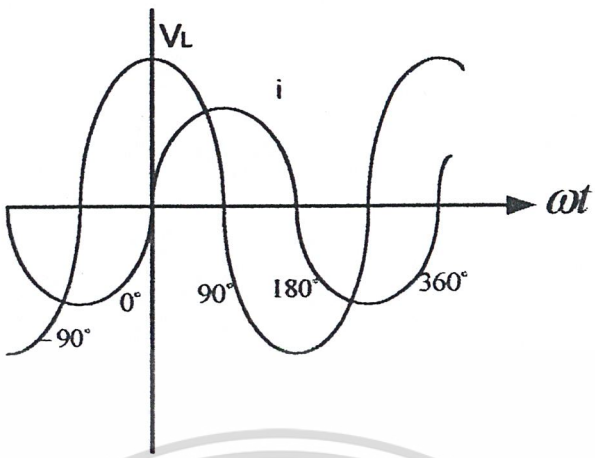
$$Irms = \frac{1}{T}\sqrt{\int_0^T f(T)^2\, d\omega t}$$

ค่ารากที่สองของค่าเฉลี่ยยกกำลังสองของแรงดันไฟฟ้าหรือกระแสไฟฟ้า โดยทั่วไปจะเรียกว่า Effective Value เพราะว่า เครื่องมือที่ใช้วัดปริมาณของไฟฟ้ากระแสสลับจะเป็นการวัดปริมาณด้วยค่า RMS ดังนั้นจึงถือว่าค่า Effective เป็นค่าที่วัดได้จริงจากเครื่องมือวัด

ค่าอินดัคแตนซ์ (Inductance)

ค่าอินดัคแตนซ์ คือ ค่าของขดลวดที่มีคุณสมบัติต้านทานการไหลของกระแสไฟฟ้าสลับมีหน่วยเรียกว่า Henry (H)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

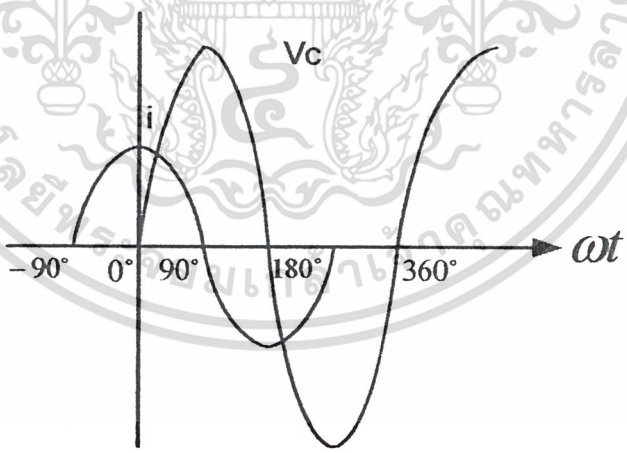


รูปที่ 6 แสดงเฟสระหว่างแรงดันและกระแส(Lag)

จะเห็นได้ว่ากระแสไฟฟ้าสลับที่ไหลผ่านขดลวดจะทำให้มุมของกระแสล้าหลัง (Lag) แรงดันไฟฟ้ากระแสสลับไปเป็นมุม 90 องศา

<u>ค่าคาปาซิแตนซ์ (Capacitance)</u>

ค่าคาปาซิแตนซ์ คือ ค่าความสามารถเก็บประจุไฟฟ้า มีหน่วยเรียกว่า Farad (F)

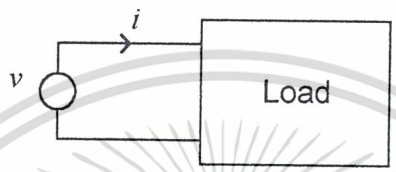


รูปที่ 7 แสดงเฟสระหว่างแรงดันและกระแส(Lead)

จะเห็นได้ว่ากระแสในคาปาซิเตอร์จะนำหน้า (Lead) แรงดันไปเป็นมุม 90 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำลังไฟฟ้าเฉลี่ยและเพาเวอร์แฟคเตอร์ (Average Power and Power Factor)



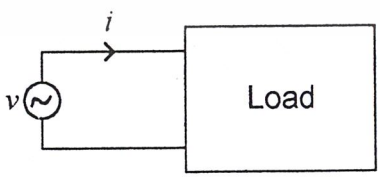
รูปที่ 8
วงจรไฟฟ้า

พิจารณาวงจรไฟฟ้าในรูปที่ 8 กำลังไฟฟ้าในขณะหนึ่งขณะใดเท่ากับ

$$p = vi \qquad \text{Watt}$$

กำลังไฟฟ้าเฉลี่ยในวงจรทั่วไป

พิจารณาวงจรไฟฟ้าในรูปที่ 9 ซึ่งเป็นวงจรไฟฟ้าที่ประกอบด้วย R , L และ C



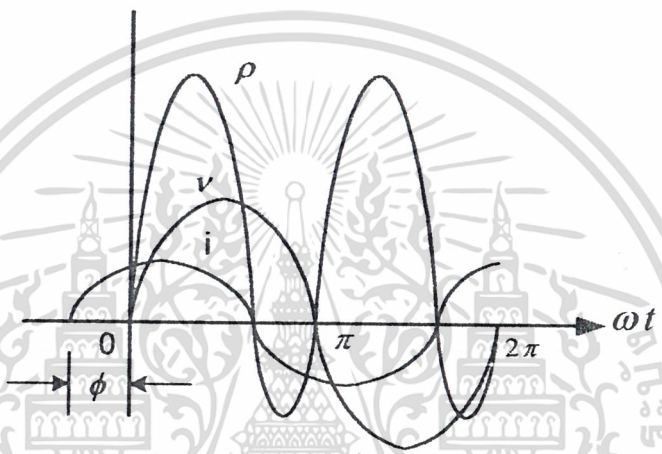
รูปที่ 9
วงจรไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$v = VmSin\ \omega t$$

$$i = VmSin\ (\omega t + \phi)$$

มุม ϕ อาจมีเครื่องหมายเป็น บวก หรือ ลบ ซึ่งขึ้นอยู่กับว่าในวงจรมี คาปาซิเตอร์ หรือ อินดัคเตอร์



รูปที่ 10 กำลังไฟฟ้าเฉลี่ยในวงจรไฟฟ้าทั่วไป

Average Power , $P = VICos\ \phi$

มุม ϕ เป็นมุมระหว่างกระแสไฟฟ้าสลับกับแรงดันไฟฟ้าสลับ และ เทอมของ $Cos\ \phi$ นั้น จะเรียกว่า Power Factor (PF)

ในกรณีที่โหลดเป็นอินดัคเตดร์ หรือ ขดลวด มุม ϕ จะเป็น ลบ เพราะว่า กระแสไฟฟ้าจะล้าหลัง (Lag) แรงดันไฟฟ้า ซึ่งกรณีนี้เรียกว่า Lagging Power Factor

ในกรณีที่โหลดเป็นคาปาซิเตอร์ มุม ϕ จะเป็น บวก เพราะว่า กระแสไฟฟ้าจะนำหน้า (Lead) แรงดันไฟฟ้า ซึ่งในกรณีนี้เรียกว่า Leading Power Factor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปสามเหลี่ยมกำลังไฟฟ้า (Power Triangle)

กำลังไฟฟ้าในวงจรไฟฟ้ากระแสสลับ ประกอบด้วย Apparent Power (s) , Average Power (P)และ Reactive Power (Q) ซึ่งกำลังไฟฟ้าทั้ง 3 นี้จะเป็นเวคเตอร์ใน Complex Plane คือ

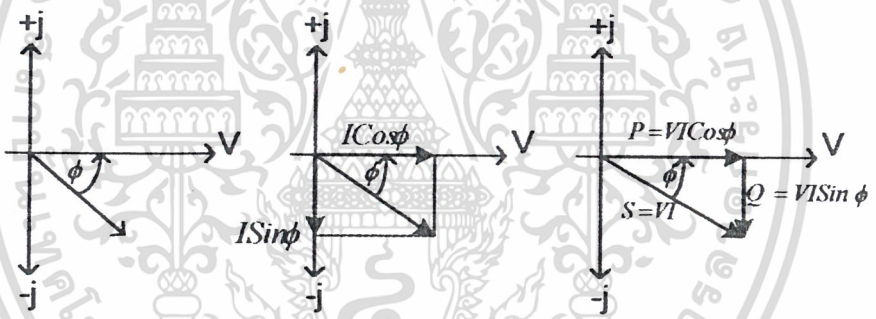
$$S = P \pm j\,Q$$

เครื่องหมายเป็น บวก หรือ ลบ หน้า Reactive Power (Q) นั้นขึ้นอยู่กับโหลด ถ้าโหลดเป็นอินดัคตีฟ จะมีเครื่องหมาย - j Q ถ้าโหลดเป็นคาปาซิเตอร์ จะมีเครื่องหมายเป็น + j Q

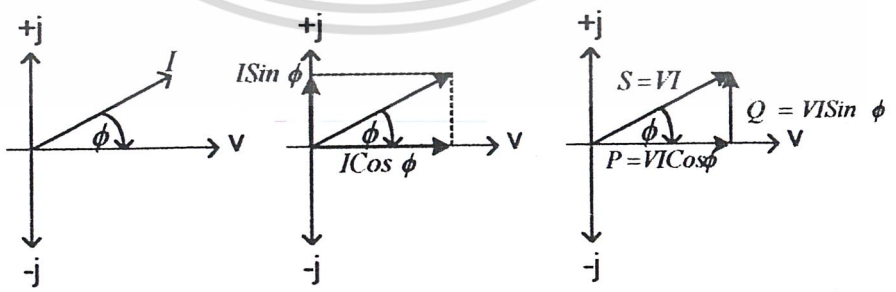
Average Power หรือ Active Power (P) = $VI\cos\phi$ (Watt)

Reactive Power (Q) = $VI\sin\phi$ Volt-Ampere-Reactive (Var)

Apparent Power (S) = VI Volt-Ampere (Va)



รูปที่ 11 แสดงรูปสามเหลี่ยมกำลังไฟฟ้าของโหลดอินดัคตีฟ



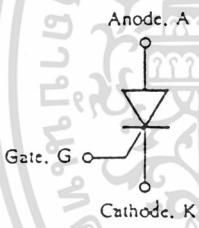
รูปที่ 12 แสดงรูปสามเหลี่ยมกำลังไฟฟ้าของโหลดคาปาซิตีฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

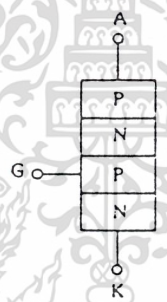
เอส ซี อาร์ (SCR)

เอส ซี อาร์ มีชื่อเต็มว่า “ซิลิคอน คอนโทรล เร็กติฟายร์ “ (Silicon controlled Rectifier) มันมีการใช้งานอย่างกว้างขวางในอุตสาหกรรมเพราะว่า เอส ซี อาร์ สามารถใช้กับค่ากระแสและแรงดันที่สูงกว่าไทริสเตอร์ชนิดอื่น ๆ ในปัจจุบัน เอส ซี อาร์ สามารถควบคุมกระแสได้มากกว่า 1,500 แอมแปร์ และแรงดันได้สูงกว่า 2,000 โวลต์

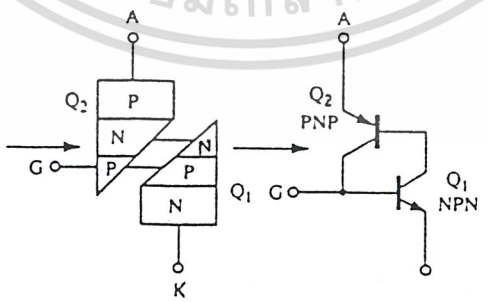
เมื่อพิจารณาสัญลักษณ์ของ เอส ซี อาร์ ดังแสดงในรูปที่ 13(a) ซึ่งมีลักษณะที่คล้ายกันไดโอด และในทางไฟฟ้า เอส ซี อาร์ จะสามารถนำกระแสได้ทิศทางเดียวเช่นเดียวกับไดโอด แต่ เอส ซี อาร์ นี้จะมีส่วนที่ไม่เหมือนไดโอด คือ เอส ซี อาร์ มีขาเกตที่ใช้ในการจุดชนวนให้ตัวมันทำงาน



(a) สัญลักษณ์



(b) โครงสร้าง

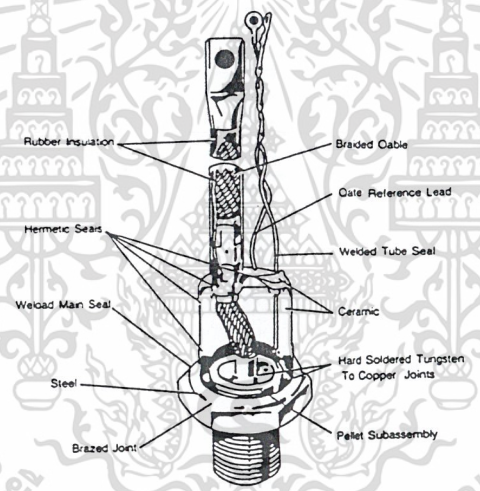


(c) วงจรสมมูล

รูปที่ 13 เอส ซี อาร์ (SCR)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

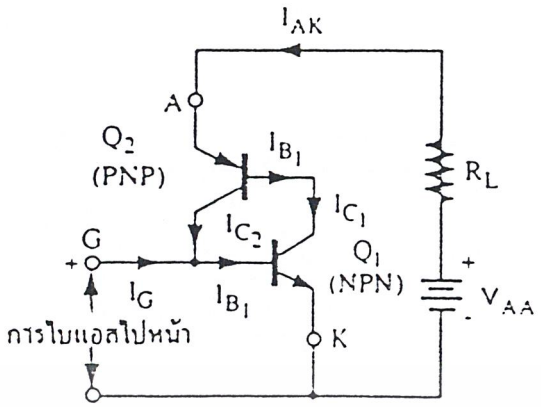
จากรูปที่ 13 (b) แสดงโครงสร้างของ เอส ซี อาร์ ที่เป็นสารกึ่งตัวนำ 4 ชั้น คือ รอยต่อ พี-เอ็น-พี-เอ็น และมีขาต่อออกมาใช้งาน 3 ขา คือ แอโนด (Anode), แคโทด (Cathode) และ เกต (Gate) เมื่อพิจารณาจากโครงสร้างของ เอส ซี อาร์ สามารถแสดงแทนด้วยวงจรสมมูล ของทรานซิสเตอร์ 2 ตัว คือ ชนิด พี-เอ็น-พี และชนิด เอ็น-พี-เอ็น ที่ต่อกัน ดังแสดงในรูปที่ 13(c) โดยขาอิมิตเตอร์ของทรานซิสเตอร์ชนิด พี-เอ็น-พี (Q_2) จะเป็นขาแอโนด ขาอิมิตเตอร์ของ ทรานซิสเตอร์ ชนิด เอ็น-พี-เอ็น (Q_1) จะเป็นขาแคโทดและขาคอลเลคเตอร์ของทรานซิสเตอร์ (Q_2) ที่ต่อร่วมกับขาเบส ของทรานซิสเตอร์ (Q_1) จะเป็นขาเกต



รูปที่ 14 แสดงโครงสร้างส่วนประกอบของ เอส ซี อาร์

หลักการทำงานของ เอส ซี อาร์ ตามที่ได้กล่าวมาแล้วว่า เอส ซี อาร์ เป็นอุปกรณ์ที่คล้าย กับไดโอดที่มีการทำงานอยู่ 2 สถานะ คือ สถานะนำกระแส (Conducting State) และสถานะ ไม่นำกระแส(Non Conducting State) แต่การนำกระแสของ เอส ซี อาร์ นั้นจะถูกควบคุมที่ขาเกต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

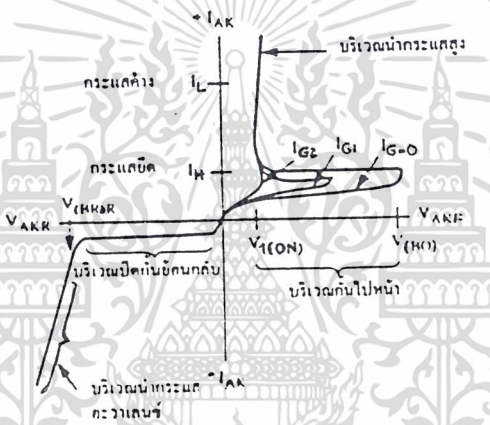


รูปที่ 15 แสดงวงจรสมมูลย์การทำงานของ เอส ซี อาร์

เมื่อพิจารณาการทำงานของ เอส ซี อาร์ จากวงจรที่แสดงในรูปที่ 15 โดยการต่อแหล่งจ่าย (V_{AA}) ขั้วบวกเข้าที่ขาแอโนด (A) และขั้วลบเข้าที่ขาแคโทด (K) ถ้าเราจ่ายแรงดันไบแอสไปหน้า (Forward Bias Voltage) ให้ระหว่างขาเกต (G) กับแคโทด (K) ของทรานซิสเตอร์ (Q_1) คือที่ขาเกตจะมีศักย์เป็นบวกเมื่อเทียบกับแคโทด ซึ่งจะมีกระแสเกต (I_G) ไหลเข้าขาเบสสู่ขาอิมิตเตอร์ของทรานซิสเตอร์ (Q_1) นำกระแส และเป็นเหตุให้มีกระแสคอลเลคเตอร์ (I_c) ไหลจากขาคอลเลคเตอร์มาสู่ขาอิมิตเตอร์ของทรานซิสเตอร์ (Q_1) ได้ แต่เนื่องจากกระแสคอลเลคเตอร์ (I_{c1}) ก็คือกระแสเบส (I_{B2}) ของทรานซิสเตอร์ (Q_2) จึงเท่ากับว่าเป็นการให้ไบแอสไปหน้าแก่ทรานซิสเตอร์ (Q_2) ด้วย และมีผลทำให้ทรานซิสเตอร์ (Q_2) นำกระแสซึ่งในขณะนี้จะมีกระแสโหลด (I_{AK}) ไหลจากขั้วบวกของแหล่งจ่าย (V_{AA}) ผ่านตัวต้านทาน (R_L) เข้าขาอิมิตเตอร์สู่ขาเบสของทรานซิสเตอร์ (Q_2) และกระแสจะไหลต่อเนื่องเข้าขาคอลเลคเตอร์มาสู่ขาอิมิตเตอร์ของทรานซิสเตอร์ (Q_1) จนกระทั่งมาครบวงจรที่ขั้วลบของแหล่งจ่าย (V_{AA}) และขณะที่ทรานซิสเตอร์ (Q_2)ได้รับการไบแอสไปหน้าด้วยกระแสเบส (I_{B2}) อันจะมีผลทำให้กระแสคอลเลคเตอร์ (I_{c2}) ไหลมาที่ขาเบสของทรานซิสเตอร์ (Q_1) ได้โดยค่ากระแสคอลเลคเตอร์ (I_{c2}) จะเท่ากับกระแสเบสของทรานซิสเตอร์ (Q_1) ซึ่งวงจรการทำงานของ เอส ซี อาร์ นี้จะมีการทำงานใหม่เหมือนตอนเริ่มต้นอีกครั้งในลักษณะ การกระทำวกกลับ(Regenerative Action) หรือที่เรียกว่า “การค้าง” (Latching) อันเป็นคุณสมบัติของ เอส ซี อาร์ จะมีค่าต่ำมาก และเมื่อ เอส ซี อาร์ นำกระแสหลังการจุดชนวนด้วยกระแสเกตแล้ว ก็ไม่จำเป็นต้องคงการจุดชนวนนั้นไว้จนกว่าเมื่อ เอส ซี อาร์ หยุดนำกระแสถึงจะต้องมีการจุดชนวนด้วยกระแสเกตอีกครั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะสมบัติของ เอส ซี อาร์ พิจารณาจากรูปที่ 16 ซึ่งแสดงคุณลักษณะทางกระแสและแรงดันของเอส ซี อาร์ ขณะที่ไม่มีการไหลของกระแสเกต (I_G) เมื่อ เอส ซี อาร์ ได้รับการไบแอสข้างไปหน้า(Forward Bias) ที่ขาแอโนดกับแคโทด เอส ซี อาร์ จะยังไม่นำกระแสขณะมีแรงดันต่ำแต่จะมีเพียงกระแสรั่ว (Leakage Current) ไหลได้เล็กน้อยในบริเวณกั้นไปหน้า (Forward Blocking Region) และถ้าเพิ่มแรงดันไปหน้า (Forward Voltage) หรือ (V_{AKF}) ให้สูงจนเพียงพอ ซึ่งมีผลทำให้พาหะส่วนน้อยภายในโครงสร้าง เอส ซี อาร์ จะเร่งความเร็วและสร้างพาหะในรอยต่อเกตกับแคโทด มีจำนวนมากพอจนทำให้ เอส ซี อาร์ นำกระแสได้ ณ. แรงดันจุดเริ่มทลาย (Break Over Voltage) หรือ ($V_{(BO)}$)



รูปที่ 16 ลักษณะสมบัติของ เอส ซี อาร์

ขณะที่เอส ซี อาร์ นำกระแสอยู่ได้ กระแส (I_{AK}) ที่ไหลผ่าน เอส ซี อาร์ จะต้องมากกว่ากระแสค้าง(Latching Current) และแรงดันตกคร่อม เอส ซี อาร์ (V_F) โดยทั่วไปมีค่าประมาณ 0.7 ถึง 4 โวลท์แต่ถ้าต้องการให้ เอส ซี อาร์ กลับคืนสู่สภาวะหยุดนำกระแสคือจะต้องทำให้กระแสที่ไหลผ่าน เอส ซี อาร์ ลดลงต่ำกว่า กระแสยึด (Holding Current)การใช้งานของ เอส ซี อาร์ โดยทั่วไปการจ่ายแรงดันไบแอสไปหน้าให้แก่ขาแอโนดและแคโทดจะต้องต่ำกว่าแรงดันจุดเริ่มทลายหรือ $V_{(BO)}$ และทำการจุดชนวนที่ขาเกต เอส ซี อาร์ จะนำกระแสได้อย่างรวดเร็วซึ่งแรงดันจุดชนวนเกต (V_{GT}) มีค่าประมาณ 1 ถึง 150 มิลลิแอมแปร์ วิธีการอย่างนี้จะเป็นการสร้างความปลอดภัยให้แก่เอส ซี อาร์ เมื่อนำไปใช้งานส่วนในช่วงทิศทางแรงดันย้อนกลับ (Reverse Voltage) ของเอส ซี อาร์ คือที่ขาแคโนดมีศักย์เป็นลบเมื่อเทียบกับแคโทด ซึ่งจะมีลักษณะสมบัติทางไฟฟ้าเหมือนกับไดโอดทั่วไป และมีกระแสรั่ว(Leakage Current)ไหลผ่านได้เล็กน้อยในบริเวณปิดกั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ย้อนกลับ (Reverse Blocking Region) และถ้าแรงดันย้อนกลับเพิ่มสูงขึ้นจนถึงจุดแรงดันเบรกดาวน์ (Break Down Voltage) หรือ V(BR)R ซึ่งจะมีกระแสไหลผ่าน เอส ซี อาร์ ได้สูงเพราะรอยต่อภายในโครงสร้างของ เอส ซี อาร์ ทะลุเสียหาย

การควบคุมเฟส

การควบคุมกำลังไฟฟ้าที่จ่ายให้แก่โหลด นับว่าเป็นสิ่งที่มีความสำคัญอย่างยิ่ง ซึ่งหมายถึงว่าเป็นการทำให้ต้นทุนการผลิตลดต่ำลง การควบคุมกำลังงานในอุตสาหกรรมส่วนใหญ่จะได้แก่ การควบคุมกำลังงานที่จ่ายให้แก่มอเตอร์ การควบคุมกำลังงานส่องสว่าง และการควบคุมเครื่องกำเนิดความร้อน เป็นต้น

เนื่องจากปัจจุบันอุปกรณ์สารกึ่งตัวนำที่เรียกว่า ไทริสเตอร์ได้เข้าไปมีบทบาทอย่างมากเกี่ยวกับงานทางด้าน
อิเล็กทรอนิกส์กำลัง เพราะมีประสิทธิภาพของการสวิตช์ที่รวดเร็วอีกทั้งการทนพิกัดของกระแสและแรงดันได้สูงขึ้นซึ่งในอุตสาหกรรมจะใช้ระบบไฟสามเฟส (Three Phase) ที่มีแรงดัน 380 โวลต์ หรือระบบเฟสเดียว (Single Phase) ที่มีแรงดัน 220 โวลต์ การใช้ไทริสเตอร์เพื่อการควบคุมเฟสทางไฟฟ้าจึงอาจจะถือได้ว่าเป็นการควบคุมกำลังงานไฟฟ้า ได้นั่นเอง

การควบคุมเฟสโดยใช้ไทริสเตอร์

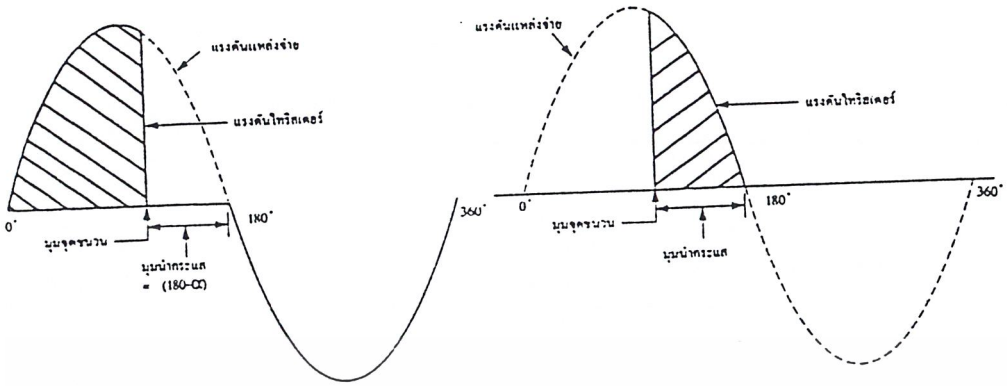
ไทริสเตอร์สามารถทำการควบคุมเฟสได้โดยการจุดชนวนเกต กล่าวคือ เมื่อเปลี่ยนมุมของการจุดชนวนจะมีผลทำให้ค่ากำลังงานเปลี่ยนไปด้วย

การควบคุมเฟส (Phase Control) หมายถึงค่ากำลังงานไฟฟ้าจะขึ้นอยู่กับมุมที่ไทริสเตอร์นำกระแส(Conduction Angle:θ) แปรผกผันกับค่าของมุมจุดชนวน (Trigger Angle: α)

ลักษณะรูปคลื่นเฟสที่ถูกควบคุมด้วยไทริสเตอร์ โดยมุมที่ไทริสเตอร์นำกระแสมีค่าเท่ากับ (180°-α) สำหรับวงจรที่เป็นแบบครึ่งคลื่น (Half Wave) และ มุมที่ไทริสเตอร์นำกระแส เท่ากับ2 (180°-α) สำหรับกรณีที่เป็น แบบเต็มคลื่น (Full Wave)

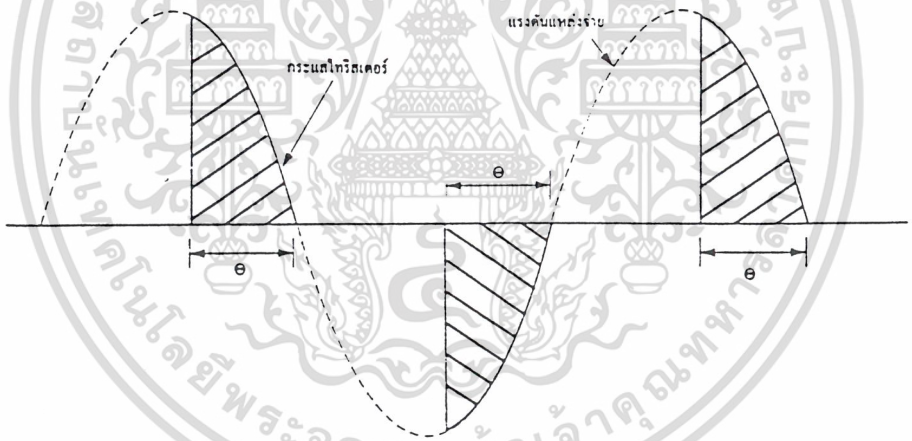
ความสัมพันธ์ของแรงดันคร่อมไทริสเตอร์ (Thyristor Voltage) กับกระแสไทริสเตอร์ (Thyristor Current) หรือแรงดันคร่อมโหลด ดังแสดงในรูปที่ 17 และในรูปที่ 18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



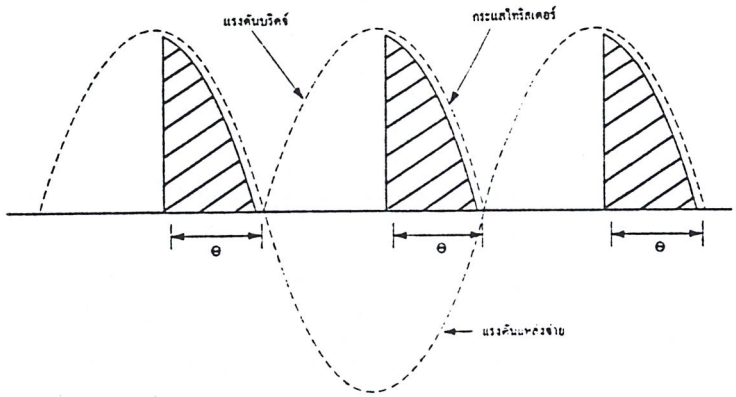
a) รูปคลื่นแรงดัน (b) รูปคลื่นกระแส

รูปที่ 17 แสดงรูปคลื่น แรงดัน และกระแสของไทริสเตอร์เมื่อเปรียบเทียบกับแหล่งกำเนิดแรงดัน



(a) การควบคุมเฟสที่เอาต์พุตแบบไฟกระแสสลับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



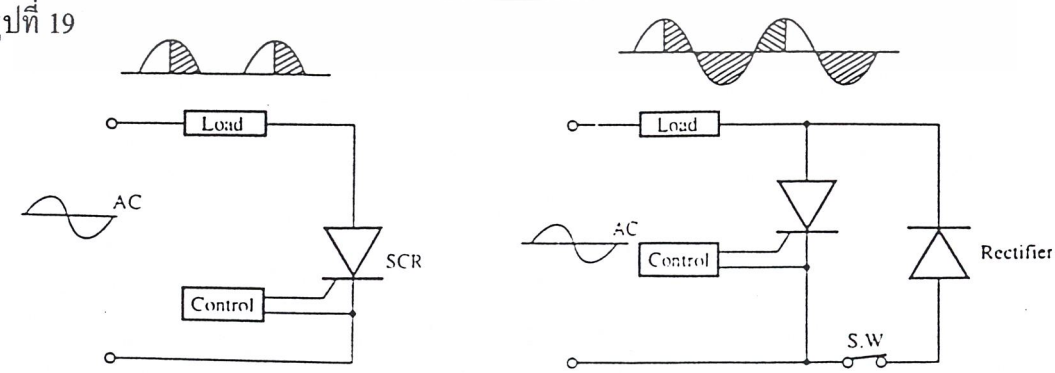
(b) การควบคุมเฟสที่เอาต์พุตแบบไฟกระแสตรง

รูปที่ 18 แสดงการควบคุมเฟสที่ใช้ไทริสเตอร์

การใช้ไทริสเตอร์ควบคุมกำลังงานไฟฟ้าถ้าเป็นพวก เอส ซี อาร์ หรือไดโอด สิ่งที่จะต้องพิจารณาถึงก็คือ กระแสเฉลี่ย ($I_{T(av)}$) และส่วนการใช้งานของไทรแอกนั้นมักจะนิยมใช้กับการควบคุมกระแสไฟสลับ ซึ่งสิ่งจะต้องพิจารณาก็คือ กระแสอาร์ เอ็ม เอส ($I_{T(RMS)}$) รูปคลื่นเฟสของกระแสและแรงดันที่ได้ทางเอาต์พุตจะไม่เป็นคลื่นไซน์ (Sine Wave) เพราะฉะนั้นโหลดที่ต่อใช้จึงต้องไม่ไวต่อสัญญาณคลื่นไซน์ด้วย

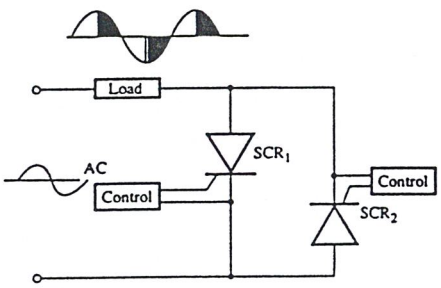
วงจรควบคุมเฟสของไฟฟ้ากระแสสลับ เป็นการทำให้ไทริสเตอร์นำกระแสที่มุมต่าง ๆ ของแต่ละวัฏจักรของแรงดันไฟกระแสสลับ ซึ่งแบ่งออกได้เป็น 2 แบบ คือ การควบคุมแบบเฟสเดียว(Single Phase Control) และการควบคุมแบบหลายเฟส (Poly Phase Control)

1. การควบคุมแบบเฟสเดียว (Single Phase Control) เป็นการใช้ไทริสเตอร์ควบคุมกำลังงานให้แก่โหลดในระบบไฟ 220 โวลต์ ซึ่งตัวอย่างวงจรพื้นฐานการควบคุมเฟสแบบนี้ ดังแสดงในรูปที่ 19

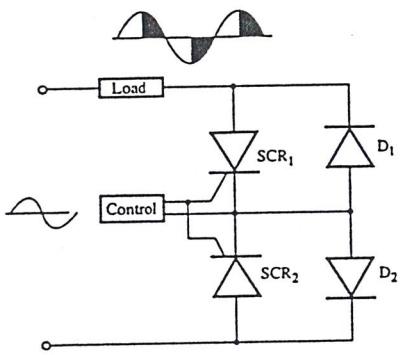


(a) Controlled Half-Wave (b) Controlled Half Pulse Fixed Half-Wave

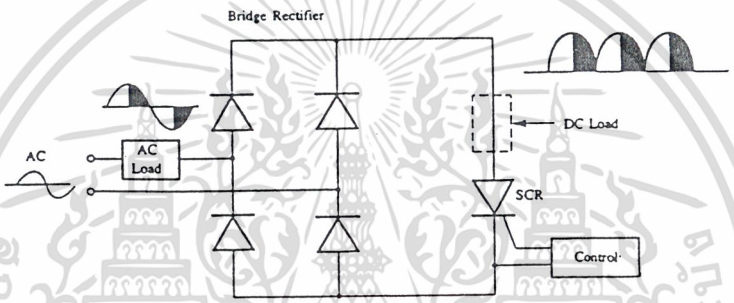
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



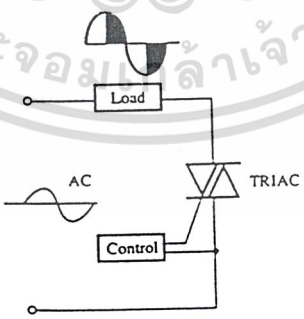
(c) Controlled Full Wave



(d) Controlled Full Wave



(e) Controlled Full Wave



(f) Controlled Full Wave For AC or DC

รูปที่ 19 แสดงวงจรพื้นฐานแบบต่าง ๆ ของการควบคุมแบบเฟสเดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การคำนวณหาค่าแรงดันโหลดเฉลี่ยของวงจรควบคุมเฟส

การควบคุมเฟสแบบครึ่งคลื่น (Half-Wave Phase Control) สามารถคำนวณหาค่าแรงดันโหลดเฉลี่ยได้จากสมการข้างล่างนี้ คือ

$$V_{L(av)} = \frac{V_{PK}\ (1+\cos \alpha)}{2\pi}$$

เมื่อ $V_{L(av)}$ = แรงดันโหลดเฉลี่ย (Average Load Voltage) หน่วย โวลต์

V_{PK} = แรงดันแหล่งจ่ายค่ายอด (Peak Supply Voltage) หน่วย โวลต์

α = มุมจุดชนวน (Trigger Angle) หน่วย องศา

และการหาค่ากำลังงานเฉลี่ย (Average Power) ของโหลด สามารถคำนวณได้จากกฎของโอห์ม (Ohm's Law) คือ

$$P_{(av)} = \frac{V^2_{(av)}}{R_L}$$

เมื่อ $P_{(av)}$ = กำลังงานเฉลี่ย (Average Power) หน่วย วัตต์

$V_{(aV)}$ = แรงดันเฉลี่ย (Average Voltage) หน่วย โวลต์

R_L = ความต้านทานโหลด (Load Resistance) หน่วย โอห์ม

การควบคุมเฟสแบบเต็มคลื่น (Full-Wave Phase Control) เป็นการควบคุมกำลังงานที่สามารถจ่ายให้แก่โหลดเป็น 2 เท่าของการควบคุมเฟสแบบครึ่งคลื่น ดังนั้นค่าแรงดันเฉลี่ยคร่อมโหลดสามารถคำนวณหาได้จากสมการ คือ

$$VL_{(av)} = \frac{V_{PK}\ (1+\cos \alpha)}{\pi}$$

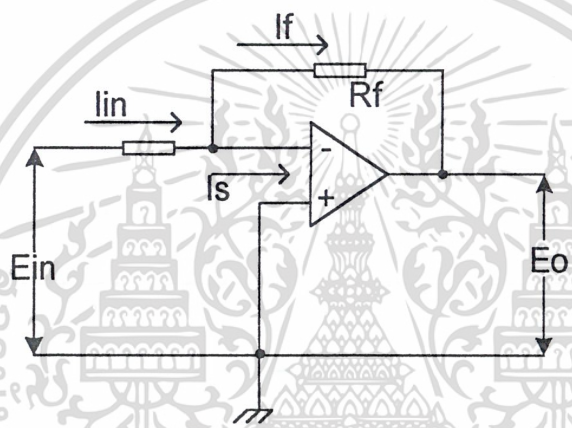
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Op-Amp

วงจรพื้นฐานของ Op–Amp ที่สำคัญประกอบด้วยวงจร 2 แบบใหญ่ ๆ คือ

1. วงจรขยายแบบกลับเฟส
2. วงจรขยายแบบไม่กลับเฟส

1. วงจรขยายแบบกลับเฟส



รูปที่ 20 วงจรขยายแบบกลับเฟส

จากรูปที่ 20 จะแสดงให้เห็นถึงวงจรแบบกลับเฟสซึ่งจะเห็นว่าสัญญาณเข้าขาบวก (+) จะต่อลงดิน ส่วนสัญญาณที่ต้องการป้อนเข้าสู่วงจรจะถูกป้อนเข้าทางสัญญาณขาเข้าขาลบ (-) ของวงจรด้วยผ่าน R_{in} และมีการป้อนกลับจากสัญญาณขาออกกลับสู่สัญญาณขาเข้า (-) โดย R_s

จากคุณสมบัติทางอุดมคติของ Op-Amp ที่ว่า

1. ค่าอัตราการขยายของศักดา มีค่าเป็นอนันต์

$$A_{vo}=\infty$$

2. ค่าความต้านทานขาเข้า มีค่าเป็นอนันต์

$$R_{in}=\infty$$

3. ค่าความต้านทานขาออก มีค่าเป็นศูนย์

$$R_{out}=0$$

4. ค่า Bandwidth มีค่าเป็นอนันต์

$$BW=\infty$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. Input offset voltage มีค่าเป็นศูนย์ นั่นคือ

$E_o=0$ เมื่อ $E_{in}=0$

จากลักษณะสมบัติในทางอุดมคติที่กล่าวมาทั้งหมด สามารถสรุปคุณสมบัติที่สำคัญของ Op-Amp ได้ 3 ข้อ คือ

1. ผลต่างของศักดาของสัญญาณขาเข้ามีค่าเป็นศูนย์

2. ขาเข้าของ Op-Amp ไม่ว่าจะเป็นขาบวกหรือขาลบ จะไม่มีกระแสไหลผ่าน โดยอาศัยคุณสมบัติในทางอุดมคติของ Op-Amp สามารถวิเคราะห์วงจรดังกล่าวได้ดังนี้ คือ

- เนื่องจากอัตราการขยายของ Op-Amp ในทางอุดมคติมีค่าเป็นอนันต์

ดังนั้น เมื่อศักดาขาเข้าของวงจรมีค่าเป็นศูนย์ ศักดาขาออกจะมีค่าเป็น Eo

- เนื่องจากผลต่างของศักดาของสัญญาณขาเข้าจากวงจร ในรูปที่ 20

มีค่าเป็น E_s

โดยอาศัยคุณสมบัติทางอุดมคติของ Op-Amp จะได้ว่า $E_s= 0$

โดยที่ $E_s=0$ จะได้ว่าศักดาของสัญญาณขาเข้าทั้งหมด (E_{in}) จะตกคร่อม R_{in} ทำให้กระแสที่ไหลผ่าน R_{in} มีค่า

$$I_{in} = \frac{E_{in}}{R_{in}}$$

- เนื่องจากความต้านทานขาเข้ามีค่าเป็นอนันต์ทำให้ Is=0

ดังนั้น กระแสของสัญญาณขาเข้า (I_{in}) จะไหลผ่าน R_f

$$I_f = I_{in}$$

ศักดาของสัญญาณขาออก (E_o) จะตกคร่อม R_f และมีลักษณะกลับเฟสกลับสัญญาณขาเข้า เขียนสมการของ I_f ในรูปของ E_o และ R_f จะได้ว่า

$$I_f = \frac{-E_o}{R_f}$$

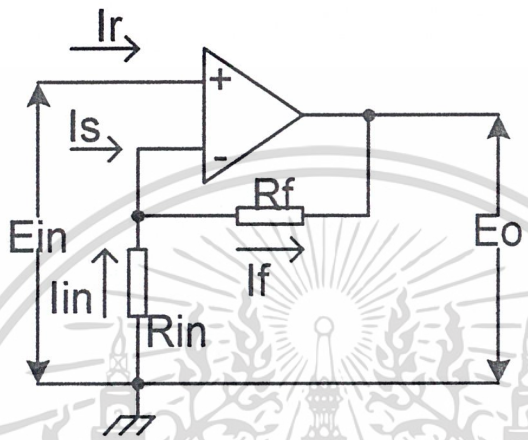
เนื่องจาก $I_f=I_{in}$ ดังนั้น

$$\text{gain} = \frac{E_o}{E_{in}} = \frac{-R_f}{R_{in}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการเราจะเห็นว่า ค่าอัตราการขยายของวงจรสามารถเปลี่ยนแปลงค่าได้โดยการเปลี่ยนค่าของ R_f หรือ R_{in}

2. วงจรขยายแบบไม่กลับเฟส



รูปที่ 21 วงจรขยายแบบไม่กลับเฟส

จากรูปที่ 21 จะเห็นได้ว่าสัญญาณขาเข้า E_{in} ถูกป้อนไปยังขาบวก (+) ของ Op-Amp และส่วนหนึ่งของสัญญาณขาออก E_o ถูกป้อนไปยังขาลบ (-) ของ Op-Amp ในรูปของวงจรแบ่งสัญญาณของศักดาระหว่าง R_f และ R_{in} โดยอาศัยคุณสมบัติทางอุดมคติของ Op-Amp เมื่อดูวงจรในรูปที่ 21 จะเห็นได้ว่า

$$I_S = I_R = 0$$

และ $$E_S = 0$$

โดยที่ $E_S=0$ จะได้ว่า $E_{in}=E_{in}$

$$Ii_n = \frac{E_{in}}{R_{in}}$$

หรือ $$I_{in} = \frac{E_{in}}{R_{in}}$$

และเนื่องจาก $I_f = Iin$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$E_o = I_f(R_{in}+R_f)$$

หรือ $E_o = I_{in}(R_{in}+R_f)$

แทนค่า I_{in} จะได้

$$E_o = E_{in}(R_{in}+R_f)$$
$$R_{in}$$

จัดสมการใหม่ให้อยู่ในรูปของอัตราขยาย

$$E_o = R_{in}+R_f$$
$$E_{in} \quad R_{in}$$
$$= 1 + \frac{R_f}{R_{in}}$$

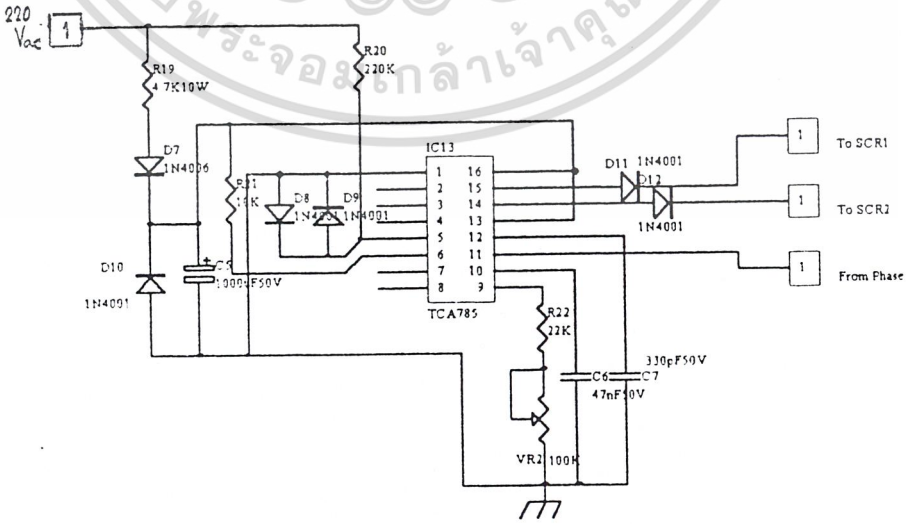
จากที่กล่าวมาสรุปได้ว่า

1. อัตราการขยายของวงจรแบบกลับเฟส $= -\frac{R_f}{R_{in}}$

2. อัตราการขยายของวงจรแบบไม่กลับเฟส $= 1 + \frac{R_f}{R_{in}}$

<u>วงจรควบคุมการจุดฉนวนของ SCR</u>

วงจรนี้จะใช้ IC สำเร็จรูปเบอร์ TCA 785 มาทำการจุดฉนวน SCR วงจรจะทำการจุดฉนวนเมื่อได้รับอินพุทจากวงจรเปรียบเทียบเฟส เข้าที่ขา 11 โดยในที่นี้กำหนดให้จุดฉนวนที่มุม 30 องศา ขึ้นไป วงจรควบคุมการจุดฉนวน SCR แสดงดังรูปที่ 22



รูปที่ 22 แสดงวงจรควบคุมการจุดฉนวน SCR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไมโครคอนโทรลเลอร์ MCS-51

ไมโครคอนโทรลเลอร์ในตระกูล MCS-51 นั้นมีอยู่หลายเบอร์ ซึ่งแต่ละเบอร์จะมีความสามารถแตกต่างกันไปดังแสดงในตารางที่ 1

ชื่อเบอร์	หน่วยความจำภายใน		จำนวนไทเมอร์/เคาน์เตอร์	จำนวนอินเตอร์รัปต์
	เก็บโปรแกรม	เก็บข้อมูล		
8052AH	8K x 8 ROM	256 x 8 RAM	3 x 16-Bit	6
8051AH	4K x 8 ROM	128 x 8 RAM	2 x 16-Bit	5
8051	4K x 8 ROM	128 x 8 RAM	2 x 16-Bit	5
8032AH	ไม่มี	256 x 8 RAM	3 x 16-Bit	6
8031AH	ไม่มี	128 x 8 RAM	2 x 16-Bit	5
8031	ไม่มี	128 x 8 RAM	2 x 16-Bit	5
8751H	4K x 8 EPROM	128 x 8 RAM	2 x 16-Bit	5
8751H-12	4K x 8 EPROM	128 X 8 RAM	2 X 16-Bit	5

ตารางที่ 1
แสดงคุณสมบัติของไมโครคอนโทรเลอร์แต่ละเบอร์ในตระกูล MCS-51

คุณสมบัติทั่วไปของไมโครคอนโทรลเลอร์ MCS-51

คุณสมบัติทั่วไปที่สำคัญของไมโครคอนโทรลเลอร์ตระกูล MCS-51 มีดังนี้

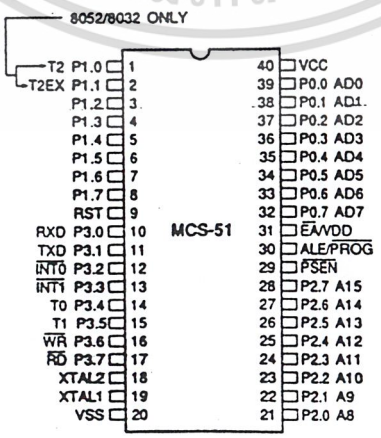
- เป็นไมโครคอนโทรลเลอร์ขนาด 8 บิต
- มีวงจรออสซิลเลเตอร์และวงจรผลิตสัญญาณนาฬิกาภายในไอซี
- มีขาสัญญาณอินพุต เอาต์พุต จำนวน 32 บิต
- สามารถเชื่อมต่อหน่วยความจำข้อมูลภายนอก (External data memory) โดยอ้างตำแหน่งแอดเดรสได้ถึง 64K
- สามารถเชื่อมต่อหน่วยความจำโปรแกรมภายนอก(External rogram memory) โดยอ้างตำแหน่งแอดเดรสได้ถึง 64K
- มีหน่วยความจำโปรแกรมภายในตัว (on-chip program memory) ขนาด 4K โดยเฉพาะเบอร์ 8052 จะมีหน่วยความจำในส่วนนี้ถึง 8K สำหรับเบอร์ 8031 และ M8031 จะไม่มีหน่วยความจำในส่วนนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- มีหน่วยความจำข้อมูลภายในตัว (on-chip data memory) ขนาด 128 ไบต์ โดยเฉพาะเบอร์ 8032 และ 8051 จะมีหน่วยความจำในส่วนนี้ถึง 256 ไบต์
- หน่วยความจำข้อมูลภายในบางส่วนสามารถเข้าถึงข้อมูลระดับบิตได้ด้วย ทำให้การควบคุมหรือการตรวจสอบสถานะบิตทำได้ง่ายขึ้น ส่งผลให้การเขียนโปรแกรมทำได้ง่ายขึ้น
- มีไทเมอร์/เคาน์เตอร์ (timer/counters) ขนาด 16 บิต จำนวน 2 ตัว โดยเฉพาะเบอร์ 8031 และ 8052 จะมีไทเมอร์/เคาน์เตอร์จำนวน 3 ตัว
- การอินเตอร์รัปสามารถทำได้จาก 5 แหล่งกำเนิด โดยเฉพาะเบอร์ 8032 และ 8052 จะทำการอินเตอร์รัปได้จาก 6 แหล่งกำเนิด โดยการอินเตอร์รัปยังสามารถจัดระดับความสำคัญได้เป็น 2 ระดับ
- มีพอร์ตสื่อสารอนุกรมภายในตัวเอง งานเป็นแบบฟูลดูเพล็กซ์ (full duplex)
- มีคำสั่งในการคำนวณทางคณิตศาสตร์และทางตรรกศาสตร์
- คำสั่งโดยส่วนใหญ่ใช้เวลาการทำงานเพียง 1 ไมโครวินาที เมื่อใช้ คริสตอลความถี่ 12 เมกะเฮิรตซ์
- ต้องการแหล่งจ่ายไฟ 5 โวลท์ เพียงชุดเดียว

โครงสร้างภายนอกของ MCS-51

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 ทุกเบอร์จะมีตำแหน่งขาพื้นฐานที่เหมือนกัน ดังแสดงในรูปที่ 23 สำหรับหน้าที่การใช้งานของแต่ละขามีดังนี้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 23 แสดงการจัดตำแหน่งขาต่าง ๆ ของไมโครคอนโทรลเลอร์ตระกูล MCS-51

- ขา Vcc เป็นขาป้อนแรงดันไฟเลี้ยง +5 โวลต์
- ขา Vss เป็นขากราวด์
- ขาพอร์ต 0 (Port 0) มี 8 ขาได้แก่ขา P0.0-P0.7 เป็นขาพอร์ตอินพุตเอาต์พุตแบบ 2 ทิศทาง สำหรับใช้งานทั่วไป โดยถ้าใช้งานเป็นอินพุตพอร์ตต้องทำการเขียนค่า 1 ไปยังแต่ละบิตของพอร์ต เพื่อกำหนดให้ขาพอร์ตเหล่านั้นอยู่ในสถานะปล่อยลอย ซึ่งในสถานะนี้ที่สามารถนำมาใช้เป็นพอร์ตอิมพีแดนซ์สูงได้ นอกจากพอร์ตนี้จะใช้งานเป็นพอร์ตอินพุตเอาต์พุตแล้วยังถูกใช้งานในการติดต่อกับหน่วยความจำภายนอกด้วย โดยทำหน้าที่ในการกำหนดตำแหน่งแอดเดรสไบต์ต่ำ (A0-A7) ซึ่งจะใช้งานเป็นแบบมัลติเพล็กซ์กับการรับส่งข้อมูลขนาด 8 บิต (D0-D7)
- ขาพอร์ต 1 (Port 1) มี 8 ขาได้แก่ขา P1.0-P1.7 เป็นขาพอร์ตอินพุตเอาต์พุตแบบ 2 ทิศทาง สำหรับใช้งานทั่วไป โดยถ้าใช้งานเป็นอินพุตพอร์ตต้องทำการเขียนค่า 1 ไปยังแต่ละบิตของพอร์ต เพื่อกำหนดให้เป็นพอร์ตอินพุต นอกจากนี้เบอร์8032 และ 8052 ขาพอร์ต P1.0 และ P1.1 จะถูกนำมาใช้งานเป็นขา T2 และ T2EX ตามลำดับด้วย
- ขาพอร์ต 2 (Port 2) มี 8 ขาได้แก่ขา P2.0-P2.7 เป็นขาพอร์ตอินพุตเอาต์พุตแบบ 2 ทิศทาง สำหรับใช้งานทั่วไป โดยถ้าใช้งานเป็นอินพุตพอร์ตต้องทำการเขียนค่า 1 ไปยังแต่ละบิตของพอร์ต เพื่อกำหนดให้เป็นพอร์ตอินพุต นอกจากพอร์ตนี้จะใช้งานเป็นพอร์ตอินพุตเอาต์พุตแล้วยังถูกใช้งานในการติดต่อกับหน่วยความจำภายนอกด้วย โดยทำหน้าที่ในการกำหนดตำแหน่งแอดเดรสไบต์สูง(A8-A15)
- ขาพอร์ต 3 (Port 3) มี 8 ขาได้แก่ขา P3.0-P3.7 เป็นขาพอร์ตอินพุตเอาต์พุตแบบ 2 ทิศทางสำหรับใช้งานทั่วไป โดยถ้าใช้งานเป็นอินพุตพอร์ตต้องทำการเขียนค่า 1 ไปยังแต่ละบิตของพอร์ต เพื่อกำหนดให้เป็นพอร์ตอินพุต นอกจากพอร์ตนี้จะใช้งานเป็นพอร์ตอินพุตเอาต์พุตแล้วยังถูกใช้งานในหน้าที่พิเศษต่างๆ ดังแสดงในตารางที่ 2

ขาพอร์ต	หน้าที่พิเศษ
$P_{3.0}$	RXD (serial input port)
$P_{3.1}$	TXD (serial output port)
$P_{3.2}$	$\overline{INT0}$ (external interrupt 0)
$P_{3.3}$	$\overline{INT1}$ (external interrupt 1)
$P_{3.4}$	T0 (Timer 0 external input)
$P_{3.5}$	T1 (Timer 1 external input)
$P_{3.6}$	$\overline{WR}$ (external data memory write strobe)
$P_{3.7}$	$\overline{RD}$ (external data menory read strobe)

ตารางที่ 2 แสดงหน้าที่พิเศษของแต่ละขาของพอร์ต P3

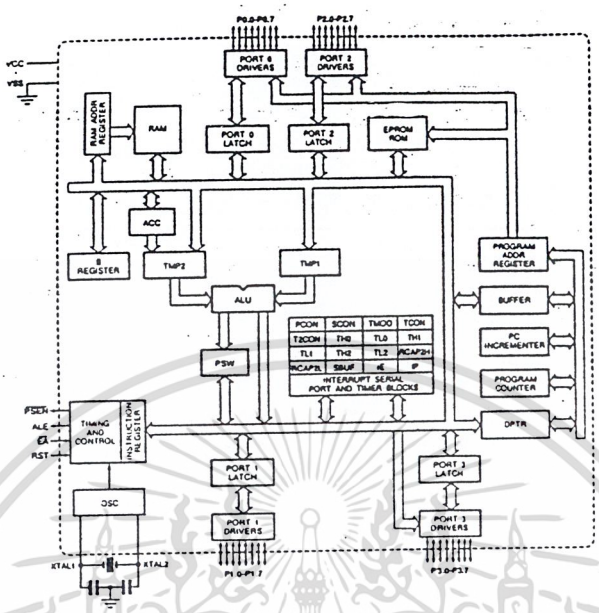
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ขารีเซต (RST) ใช้สำหรับการรีเซตการทำงานของไมโครคอนโทรลเลอร์ โดยการรีเซตต้องคงสถานะเป็น 1 อย่างน้อยนาน 2 แมชีนไซเคิล ในขณะที่ออสซิลเลเตอร์ยังทำงานอยู่
- ขา ALE/$\overline{\text{PROG}}$ เป็นขาสัญญาณเพื่อทำหน้าที่ควบคุมการแลตช์ (latch) ค่าตำแหน่งแอดเดรสไบต์ต่ำ (Address Latch Enable) เมื่อต้องการติดต่อกับหน่วยความจำภายนอกนอกจากนี้ขานี้ยังทำหน้าที่เป็นอินพุตรับพัลซ์ในการโปรแกรม (program pulse input) ในส่วนของหน่วยความจำ EPROM สำหรับไมโครคอนโทรลเลอร์ในตระกูล MCS-51 ที่มีหน่วยความจำโปรแกรมภายในเป็น EPROM
- ขา $\overline{\text{PSEN}}$ (Program Store Enable) ทำหน้าที่เป็นสัญญาณสโตรบเพื่ออ่านคำสั่งจากหน่วยความจำโปรแกรมภายนอก เมื่อไมโครคอนโทรลเลอร์ประมวลผลคำสั่งจากหน่วยความจำภายนอก ขานี้จะส่งสัญญาณสโตรบจำนวน 2 ครั้งในแต่ละแมชีนไซเคิล แต่ในขณะที่ติดต่อกับหน่วยความจำข้อมูลภายนอกจะไม่มีการสโตรบแต่อย่างใด
- ขา $\overline{\text{EA}}$/VPP (External Access enable/VPP) เป็นขาสำหรับการเลือกใช้หน่วยความจำโปรแกรมจากภายในหรือจากภายนอก โดยถ้ามีสถานะเป็น 0 จะหมายถึงให้ไมโครคอนโทรลเลอร์รับคำสั่งจากหน่วยความจำภายนอกที่ตำแหน่งแอดเดรส 0 - 0FFFH (0-1FFFH ถ้าใช้เบอร์ 8052) อย่างไรก็ตามถ้าบิตป้องกัน (security bit) ในหน่วยความจำ EPROM ถูกโปรแกรมไว้ ไมโครคอนโทรลเลอร์จะไม่รับคำสั่งจากหน่วยความจำภายนอกเลย นอกจากนี้ขานี้ยังทำหน้าที่รับแรงดันไฟสำหรับการโปรแกรม (Vpp) ขนาด 21 โวลต์ เพื่อใช้ในระหว่างการโปรแกรม EPROM
- ขา XTAL1 และขา XTAL2 เป็นขาอินพุตและเอาต์พุตของวงจรอินเวอร์ติ้งออสซิลเลเตอร์แอมปลิไฟเออร์ (inverting oscillator amplifier) สำหรับใช้ต่อร่วมกับคริสตอลภายนอก

โครงสร้างภายในของ MCS-51

โครงสร้างภายในของไมโครคอนโทรลเลอร์ตระกูล MCS-51 แสดงดังในรูปที่ 2 โดยส่วนที่มีเครื่องหมายดอกจัน (*) จะมีเฉพาะเบอร์ 8032 และ 8052 เท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 24แสดงโครงสร้างภายในของไมโครคอนโทรลเลอร์ตระกูล MCS-51

การจัดหน่วยความจำ

ในไมโครคอนโทรลเลอร์ตระกูล MCS-51 แบ่งชนิดหรือหน้าที่ของหน่วยความจำออกเป็น 2 ส่วนคือ หน่วยความจำโปรแกรม (program memory) และหน่วยความจำข้อมูล (data memory)

หน่วยความจำโปรแกรมจะใช้สำหรับเก็บโปรแกรมควบคุมการทำงานของไมโครคอนโทรลเลอร์ซึ่งบางเบอร์จะมีหน่วยความจำในส่วนนี้อยู่ภายในตัว โดยอาจจะมีขนาดไม่เท่ากันหรือเป็นหน่วยความจำชนิดต่างกัน เช่น บางเบอร์เป็น ROM และบางเบอร์เป็น EPROM และบางเบอร์อาจไม่มีหน่วยความจำในส่วนนี้เลย โปรแกรมการทำงานถูกเก็บไว้ยังหน่วยความจำโปรแกรมภายนอกทั้งหมด

สำหรับหน่วยความจำข้อมูลจะใช้สำหรับเก็บข้อมูลหรือค่าตัวแปรต่าง ๆ จากการทำงานของโปรแกรม ซึ่งใน MCS-51 ทุกเบอร์จะมีหน่วยความจำส่วนนี้อยู่จำนวนหนึ่ง แต่อาจมีขนาดมากน้อยต่างกันไปในแต่ละเบอร์ สำหรับการจัดโครงสร้างของหน่วยความจำโปรแกรมและหน่วยความจำข้อมูลแสดงไว้ดังรูปที่ 25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 25 แสดงการจัดการใช้งานหน่วยความจำภายในและภายนอกของ 8051

หน่วยความจำโปรแกรม

หน่วยความจำโปรแกรมสามารถแบ่งออกได้เป็น 2 ส่วนคือ หน่วยความจำโปรแกรมภายในและหน่วยความจำโปรแกรมภายนอก หน่วยความจำโปรแกรมภายในจะถูกเลือกใช้งานถ้าขาสัญญาณ EA มีค่า 1 โดยจะถูกใช้งานในช่วงแอดเดรส 0-0FFFH (หรือช่วงแอดเดรส 0-1FFFH ในเบอร์ 8052) นอกเหนือจากช่วงแอดเดรสนี้จะใช้หน่วยความจำภายนอกทั้งหมด ในกรณีตรงกันข้ามถ้าขาสัญญาณ EA มีค่าเป็น 0 ในช่วงแอดเดรส 0-0FFFH (หรือช่วงแอดเดรส 0-1FFFH ในเบอร์ 8052) จะถูกใช้จากหน่วยความจำภายนอก หรือกล่าวได้ว่าถ้าขาสัญญาณ EA มีค่าเป็น 0 จะเป็นการเลือกใช้หน่วยความจำภายนอกทั้งหมดตลอดช่วงแอดเดรส

หน่วยความจำข้อมูล

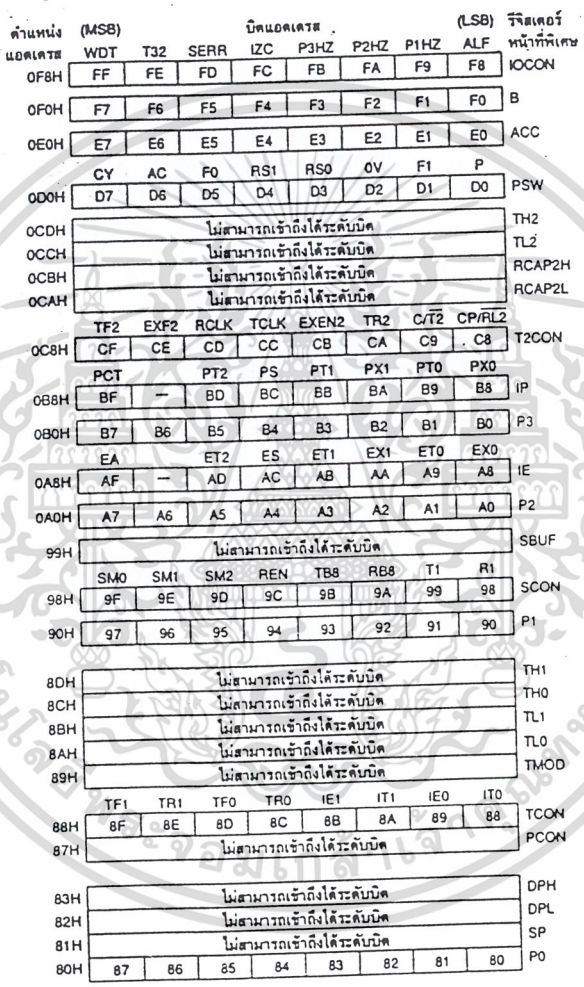
หน่วยความจำข้อมูลสามารถแบ่งได้ออกเป็น 2 ส่วน คือ หน่วยความจำข้อมูลภายในและหน่วยความจำข้อมูลภายนอก สำหรับหน่วยความจำข้อมูลภายในยังสามารถแบ่งออกได้เป็น 2 ส่วนย่อย คือ ส่วนที่เก็บข้อมูลทั่วไปและส่วนที่ใช้เป็นรีจิสเตอร์หน้าที่พิเศษหรือ SFR(Special Function Register) โดยส่วนที่เก็บข้อมูลทั่วไปจะถูกใช้สำหรับเก็บข้อมูลหรือค่าตัวแปรต่างๆ จากการทำงานของโปรแกรม ส่วนรีจิสเตอร์หน้าที่พิเศษจะถูกใช้งานเป็นรีจิสเตอร์ควบคุมการทำงานและบอกสถานะการทำงานของไมโครคอนโทรลเลอร์

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 ทุกเบอร์จะมีหน่วยความจำข้อมูลภายในขนาด 128 ไบต์เป็นอย่างน้อย และบางเบอร์อาจมีถึงขนาด 256 ไบต์

รีจิสเตอร์หน้าที่พิเศษ (SFR)

รีจิสเตอร์หน้าที่พิเศษมีบทบาทอย่างมากในการควบคุมการทำงานของไมโครคอนโทรลเลอร์และทำให้การเขียนโปรแกรมสามารถทำได้สะดวกมากขึ้น รีจิสเตอร์หน้าที่พิเศษทำหน้าที่สำคัญคือควบคุมการทำงานในส่วนต่างๆ ภายในไมโครคอนโทรลเลอร์และทำหน้าที่แสดงสถานะการทำงานซึ่งในรีจิสเตอร์หน้าที่พิเศษบางตัวยังสามารถเข้าถึงได้ในระดับบิต (bitaddressable) ด้วย ดังแสดงรูปการจัดหน่วยความจำและตำแหน่งของรีจิสเตอร์หน้าที่พิเศษต่างๆ ในรูปที่ 26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 26แสดงการจัดหน่วยความจำและตำแหน่งของรีจิสเตอร์หน้าที่พิเศษต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รีจิสเตอร์ใช้งานทั่วไป

รีจิสเตอร์ใช้งานทั่วไปมีไว้สำหรับให้ผู้เขียนโปรแกรมสามารถนำข้อมูลไปพักไว้ชั่วคราว หรือใช้งานทั่วไปได้ตามต้องการ ซึ่งรีจิสเตอร์ใช้งานทั่วไปนี้มีอยู่ด้วยกัน 8 ตัว คือรีจิสเตอร์ R0-R7 โดยรีจิสเตอร์ทั้ง 8 ตัวจัดให้อยู่รวมกันและมีให้เลือกใช้ถึง 4 แบงค์ (bank) นั่นคือมีรีจิสเตอร์ใช้งานทั่วไป 32 ตัวให้ใช้งาน เพียงแต่การเลือกใช้รีจิสเตอร์ R0-R7 ในแบงค์ใดแบงค์หนึ่งจะถูกกำหนดจากบิต RS0,RS1 ในรีจิสเตอร์หน้าที่พิเศษ PSW ดังนั้นการเลือกใช้จึงเลือกได้เพียงแบงค์เดียวในขณะใดขณะหนึ่ง อย่างไรก็ตามค่าข้อมูลที่เก็บไว้ในรีจิสเตอร์แบงค์ใดก็ตามที่มีชื่อเดียวกันแต่อยู่คนละแบงค์จะไม่มีผลซึ่งกันและกันเลย ทำให้ผู้เขียนโปรแกรมใช้งานรีจิสเตอร์ทั่วไปนี้ได้ทั้ง 32 ตัวอย่างเต็มที่และไม่ยุ่งยากในการเขียนโปรแกรม

การจัดสรรหน่วยความจำบน MCS-51 บอร์ด

ไมโครคอนโทรลเลอร์แต่ละเบอร์ในตระกูล MCS-51 มีขนาดของหน่วยความจำไม่เท่ากัน ทำให้การจัดสรรหน่วยความจำสำหรับเก็บโปรแกรมและข้อมูลแตกต่างกัน

หน่วยความจำสำหรับเก็บโปรแกรม

หน่วยความจำสำหรับเก็บโปรแกรมสามารถขยายได้สูงถึง 64 กิโลไบต์ มีหน้าที่เก็บคำสั่งต่าง ๆ สำหรับไมโครคอนโทรลเลอร์ มันสามารถใช้เก็บตารางข้อมูลและค่าคงที่ได้ในการใช้งาน ในที่นี้จะใช้งานไมโครคอนโทรลเลอร์โดยใช้หน่วยความจำภายนอกเท่านั้น ดังนั้นที่ขา 31 หรือขา $\overline{EA}$ (external access enable) จึงถูกต่อลงกราวด์ไว้เพื่อกำหนดให้ไม่ใช้งานหน่วยความจำโปรแกรมภายในและเมื่อไมโครคอนโทรลเลอร์ต้องการติดต่อกับหน่วยความจำภายนอกมันจะส่งสัญญาณลอจิก Low ที่ขา 29 หรือขา $\overline{PSEN}$ ออกมา

หน่วยความจำสำหรับเก็บข้อมูล

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 สามารถทำการอ่านและเขียนข้อมูลจากหน่วยความจำข้อมูลที่มีขนาดสูงสุดได้ 64 กิโลไบต์ หน่วยความจำในส่วนนี้ทำหน้าที่เก็บข้อมูลใช้งานจำนวนมากเป็นส่วนใหญ่

ในส่วนของแรมภายในประกอบด้วยรีจิสเตอร์ของไมโครคอนโทรลเลอร์ หน่วยความจำสแต็คสำหรับใช้งานและจัดการระบบภายในซับรูทีนก็อยู่ในส่วนของแรมภายในนี้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชุดคำสั่งของไมโครคอนโทรลเลอร์ MCS-51

ตารางที่ 3 แสดงชุดคำสั่งของไมโครคอนโทรลเลอร์ MCS-51 ซึ่งเป็นคำสั่งทั่วไปที่ใช้งานบ่อยครั้ง

คำสั่งการกระโดด			
คำสั่งนีโมนิก	ความหมาย	จำนวนไบต์	จำนวนไซเกิล
ACALL addr11	เรียกใช้ซับรูทีนจากค่าแอดเดรส 11 บิต	2	2
LCALL addr16	เรียกใช้ซับรูทีนจากค่าแอดเดรส 16 บิต	3	2
RET	สิ้นสุดการใช้ซับรูทีน	1	2
RETI	สิ้นสุดการอินเตอร์รัปต์	1	2
AJMP addr11	กระโดดไปตำแหน่งในหน่วยความจำจากค่าแอดเดรส 11 บิต	2	2
LJMP addr16	กระโดดไปตำแหน่งในหน่วยความจำจากค่าแอดเดรส 16 บิต	3	2
SJMP rel	กระโดดไปยังตำแหน่งในหน่วยความจำโดยใช้คำสัมพัทธ์	2	2
JMP @A+DPTR	กระโดดไปยังตำแหน่งที่ชี้โดยผลรวมของแอกคิวมูเลเตอร์กับรีจิสเตอร์ DPTR	1	2
JZ rel	กระโดดเมื่อแอกคิวมูเลเตอร์มีค่าเป็นศูนย์	2	2
JNZ rel	กระโดดเมื่อแอกคิวมูเลเตอร์มีค่าไม่เป็นศูนย์	2	2
JC rel	กระโดดเมื่อแฟลก Carry ถูกเซตบิต	2	2
JNC rel	กระโดดเมื่อแฟลก Carry ไม่ถูกเซตบิต	2	2
JB bit,rel	กระโดดเมื่อบิตในหน่วยความจำที่อ้างถึงได้แบบบิตถูกเซต	3	2
JNB bit,rel	กระโดดเมื่อบิตในหน่วยความจำที่อ้างถึงได้แบบบิตไม่ถูกเซต	3	2
JBC bit,rel	กระโดดเมื่อบิตในหน่วยความจำที่อ้างถึงได้แบบบิตถูกเซต และเคลียร์บิตนั้น	3	2
CJNE A,direct,rel	กระโดดไปยังตำแหน่งที่คำสัมพัทธ์ เมื่อค่าในแอกคิวมูเลเตอร์ไม่เท่ากับค่าในหน่วยความจำ	3	2
CJNE A,#data,rel	กระโดดไปยังตำแหน่งที่คำสัมพัทธ์ เมื่อค่าในแอกคิวมูเลเตอร์ไม่เท่ากับค่าคงที่	3	2
CJNE Rn,#data,rel	กระโดดไปยังตำแหน่งที่คำสัมพัทธ์ เมื่อค่าในรีจิสเตอร์ไม่เท่ากับค่าคงที่	3	2
CJNE @Ri,#data,rel	กระโดดไปยังตำแหน่งที่คำสัมพัทธ์ เมื่อค่าในหน่วยความจำที่ชี้โดยรีจิสเตอร์ไม่เท่ากับค่าคงที่	3	2
DJNZ Rn,rel	ลดค่าในรีจิสเตอร์ลงอีกหนึ่ง ถ้าไม่เท่ากับศูนย์ จะทำการกระโดดไปยังตำแหน่งที่คำสัมพัทธ์	2	2
DJNZ direct,rel	ลดค่าในหน่วยความจำลงอีกหนึ่ง ถ้าไม่เท่ากับศูนย์ จะทำการกระโดดไปยังตำแหน่งที่คำสัมพัทธ์	3	2
NOP	คำสั่ง No operation	1	1

ตารางที่ 3 แสดงชุดคำสั่งของไมโครคอนโทรลเลอร์ MCS-51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำสั่งการคำนวณทางคณิตศาสตร์

คำสั่งนีโมนิก	ความหมาย	จำนวนไบต์	จำนวนไซเกิล
ADD A,Rn	บวกค่าของรีจิสเตอร์ใดๆ กับแอกคิวมูเลเตอร์	1	1
ADD A,direct	บวกค่าในหน่วยความจำกับแอกคิวมูเลเตอร์	2	1
ADD A,@Ri	บวกค่าที่ชี้โดยรีจิสเตอร์กับแอกคิวมูเลเตอร์	1	1
ADD A,#data	บวกค่าคงที่กับแอกคิวมูเลเตอร์	2	1
ADDC A,Rn	บวกค่าของรีจิสเตอร์กับแอกคิวมูเลเตอร์พร้อมทั้งแฟลก Carry	1	1
ADDC A,direct	บวกค่าในหน่วยความจำกับแอกคิวมูเลเตอร์พร้อมทั้งแฟลก Carry	2	1
ADDC A,@Ri	บวกค่าที่ชี้โดยรีจิสเตอร์กับแอกคิวมูเลเตอร์พร้อมทั้งแฟลก Carry	1	1
ADDC A,#data	บวกค่าคงที่กับแอกคิวมูเลเตอร์พร้อมทั้งแฟลก Carry	2	1
SUBB A,Rn	ลบค่าของรีจิสเตอร์กับแอกคิวมูเลเตอร์พร้อมทั้งแฟลก Borrow	1	1
SUBB A,direct	ลบค่าในหน่วยความจำกับแอกคิวมูเลเตอร์พร้อมทั้งแฟลก Borrow	2	1
SUBB A,@Ri	ลบค่าที่ชี้โดยรีจิสเตอร์กับแอกคิวมูเลเตอร์พร้อมทั้งแฟลก Borrow	1	1
SUBB A,#data	ลบค่าคงที่กับแอกคิวมูเลเตอร์พร้อมทั้งแฟลก Borrow	2	1
INC A	เพิ่มค่าแอกคิวมูเลเตอร์ขึ้นอีกหนึ่ง	1	1
INC Rn	เพิ่มค่ารีจิสเตอร์ขึ้นอีกหนึ่ง	1	1
INC direct	เพิ่มค่าให้กับค่าในตำแหน่งหน่วยความจำขึ้นอีกหนึ่ง	2	1
INC @Ri	เพิ่มค่าให้กับตำแหน่งหน่วยความจำที่ชี้โดยรีจิสเตอร์ขึ้นอีกหนึ่ง	1	1
DEC A	ลดค่าแอกคิวมูเลเตอร์ลงอีกหนึ่ง	1	1
DEC Rn	ลดค่ารีจิสเตอร์ลงอีกหนึ่ง	1	1
DEC direct	ลดค่าให้กับค่าในตำแหน่งหน่วยความจำลงอีกหนึ่ง	2	1
DEC @Ri	ลดค่าให้กับตำแหน่งหน่วยความจำที่ชี้โดยรีจิสเตอร์ลงอีกหนึ่ง	1	1
INC DPTR	เพิ่มค่าให้กับรีจิสเตอร์ DPTR ขึ้นอีกหนึ่ง	1	2
MUL AB	คูณค่าในแอกคิวมูเลเตอร์กับรีจิสเตอร์ B	1	4
DIV AB	หารค่าในแอกคิวมูเลเตอร์กับรีจิสเตอร์ B	1	4
DA A	แปลงค่าในแอกคิวมูเลเตอร์เป็นรูปเลขฐานสิบ	1	1

คำสั่งจัดการข้อมูลแบบบิต

คำสั่งนีโมนิก	ความหมาย	จำนวนไบต์	จำนวนไซเกิล
CLR C	เคลียร์แฟลก Carry	1	1
CLR bit	เคลียร์ค่าบิตในหน่วยความจำภายในที่อ้างถึงได้แบบบิต	2	1
SETB C	เซตแฟลก Carry	1	1
SETB bit	เซตค่าบิตในหน่วยความจำภายในที่อ้างถึงได้แบบบิต	2	1
CPL C	คอมพลีเมนต์แฟลก Carry	1	1
CPL bit	คอมพลีเมนต์ค่าบิตในหน่วยความจำภายในที่อ้างถึงได้แบบบิต	2	1
ANL C,bit	AND ค่าบิตในหน่วยความจำภายในที่อ้างถึงได้แบบบิตกับแฟลก Carry	2	2
ANL C,/bit	AND ค่าคอมพลีเมนต์ของบิตในหน่วยความจำภายในที่อ้างถึงได้แบบบิตกับแฟลก Carry	2	2
ORL C,bit	OR ค่าบิตในหน่วยความจำภายในที่อ้างถึงได้แบบบิตกับแฟลก Carry	2	2
ORL C,/bit	OR ค่าคอมพลีเมนต์ของบิตในหน่วยความจำภายในที่อ้างถึงได้แบบบิตกับแฟลก Carry	2	2
MOV C,bit	เคลื่อนย้ายบิตในหน่วยความจำภายในที่อ้างถึงได้แบบบิตไปยังแฟลก Carry	2	1
MOV bit,C	เคลื่อนย้ายแฟลก Carry ไปยังบิตในหน่วยความจำภายในที่อ้างถึงได้แบบบิต	2	2

ตารางที่ 3 แสดงชุดคำสั่งของไมโครคอนโทรลเลอร์ MCS-51 (ต่อ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำสั่งการคำนวณทางลอจิก

คำสั่งนีโมนิก	ความหมาย	จำนวนไบต์	จำนวนไซเกิล
ANL A,Rn	AND ค่าของรีจิสเตอร์กับแอกคิวมูเลเตอร์	1	1
ANL A,direct	AND ค่าในหน่วยความจำกับแอกคิวมูเลเตอร์	2	1
ANL A,@Ri	AND ค่าที่ชี้โดยรีจิสเตอร์กับแอกคิวมูเลเตอร์	1	1
ANL A,#data	AND ค่าคงที่กับแอกคิวมูเลเตอร์	2	1
ANL direct,A	AND แอกคิวมูเลเตอร์กับค่าในหน่วยความจำ	2	1
ANL direct,#data	AND ค่าคงที่กับค่าในหน่วยความจำ	3	2
ORL A,Rn	OR ค่าของรีจิสเตอร์กับแอกคิวมูเลเตอร์	1	1
ORL A,direct	OR ค่าในหน่วยความจำกับแอกคิวมูเลเตอร์	2	1
ORL A,@Ri	OR ค่าที่ชี้โดยรีจิสเตอร์กับแอกคิวมูเลเตอร์	1	1
ORL A,#data	OR ค่าคงที่กับแอกคิวมูเลเตอร์	2	1
ORL direct,A	OR แอกคิวมูเลเตอร์กับค่าในหน่วยความจำ	2	1
ORL direct,#data	OR ค่าคงที่กับค่าในหน่วยความจำ	3	2
XRL A,Rn	Ex-OR ค่าของรีจิสเตอร์กับแอกคิวมูเลเตอร์	1	1
XRL A,direct	Ex-OR ค่าในหน่วยความจำกับแอกคิวมูเลเตอร์	2	1
XRL A,@Ri	Ex-OR ค่าที่ชี้โดยรีจิสเตอร์กับแอกคิวมูเลเตอร์	1	1
XRL A,#data	Ex-OR ค่าคงที่กับแอกคิวมูเลเตอร์	2	1
XRL direct,A	Ex-OR แอกคิวมูเลเตอร์กับค่าในหน่วยความจำ	2	1
XRL direct,#data	Ex-OR ค่าคงที่กับค่าในหน่วยความจำ	3	2
CLR A	เคลียร์ค่าในแอกคิวมูเลเตอร์	1	1
CPL A	คอมพลีเมนต์ค่าในแอกคิวมูเลเตอร์	1	1
RL A	เลื่อนบิตในแอกคิวมูเลเตอร์ไปทางซ้ายหนึ่งบิต	1	1
RLC A	เลื่อนบิตในแอกคิวมูเลเตอร์ไปทางซ้ายหนึ่งบิต โดยร่วมกับแฟลก Carry	1	1
RR A	เลื่อนบิตในแอกคิวมูเลเตอร์ไปทางขวาหนึ่งบิต	1	1
RRC A	เลื่อนบิตในแอกคิวมูเลเตอร์ไปทางขวาหนึ่งบิต โดยร่วมกับแฟลก Carry	1	1
SWAP A	สลับค่า 4 บิตบนกับ 4 บิตล่างของแอกคิวมูเลเตอร์	1	1

หมายเหตุ

Rn	รีจิสเตอร์ R_0-R_7
direct	ตำแหน่งในหน่วยความจำ
@Ri	ค่าตำแหน่งที่ชี้โดยรีจิสเตอร์ R_0 และ R_1
#data	ค่าคงที่ขนาด 8 บิต
#data16	ค่าคงที่ขนาด 16 บิต
bit	ค่าบิตของหน่วยความจำภายในที่อ้างถึงได้แบบบิต หรือ SFR
rel	ตำแหน่งในหน่วยความจำซึ่งเป็นค่าสัมพัทธ์มีค่าอยู่ระหว่างตำแหน่ง +127 ถึง -128 ไบต์ จากตำแหน่งปัจจุบัน
addr11	ค่าตำแหน่งแอดเดรสที่อ้างถึงด้วยจำนวน 11 บิต ในคำสั่ง ACALL และ AJMP
addr16	ค่าตำแหน่งแอดเดรสที่อ้างถึงด้วยจำนวน 16 บิต ในคำสั่ง LCALL และ LJMP

ตารางที่ 3 แสดงชุดคำสั่งของไมโครคอนโทรลเลอร์ MCS-51 (ต่อ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำสั่งการเคลื่อนย้ายข้อมูล			
คำสั่งนีโมนิก	**ความหมาย**	**จำนวนไบต์**	**จำนวนไซเกิล**
MOV A,Rn	นำค่าของรีจิสเตอร์เก็บไว้ในแอกคิวมูเลเตอร์	1	1
MOV A,direct	นำค่าในหน่วยความจำเก็บไว้ในแอกคิวมูเลเตอร์	2	1
MOV A,@Ri	นำค่าที่ชี้โดยรีจิสเตอร์เก็บไว้ในแอกคิวมูเลเตอร์	1	1
MOV A,#data	นำค่าคงที่เก็บไว้ในแอกคิวมูเลเตอร์	2	1
MOV Rn,A	นำค่าในแอกคิวมูเลเตอร์ไปเก็บไว้ในรีจิสเตอร์	1	1
MOV Rn,direct	นำค่าในหน่วยความจำไปเก็บไว้ในรีจิสเตอร์	2	2
MOV Rn,#data	นำค่าคงที่ไปเก็บไว้ในรีจิสเตอร์	2	1
MOV direct,A	นำค่าในแอกคิวมูเลเตอร์ไปเก็บไว้ในหน่วยความจำ	2	1
MOV direct,Rn	นำค่าในรีจิสเตอร์ไปเก็บไว้ในหน่วยความจำ	2	2
MOV direct,direct	นำค่าในหน่วยความจำไปเก็บไว้ในหน่วยความจำ	3	2
MOV direct,@Ri	นำค่าที่ชี้โดยรีจิสเตอร์ไปเก็บไว้ในหน่วยความจำ	2	2
MOV direct,#data	นำค่าคงที่ไปเก็บไว้ในหน่วยความจำ	3	2
MOV @Ri,A	นำค่าในแอกคิวมูเลเตอร์ไปเก็บไว้ในตำแหน่งหน่วยความจำที่ชี้โดยรีจิสเตอร์	1	1
MOV @Ri,direct	นำค่าในหน่วยความจำไปเก็บไว้ในตำแหน่งหน่วยความจำที่ชี้โดยรีจิสเตอร์	2	2
MOV @Ri,#data	นำค่าคงที่ไปเก็บไว้ในตำแหน่งหน่วยความจำที่ชี้โดยรีจิสเตอร์	2	1
MOV DPTR,#data16	นำค่าคงที่ขนาด 16 บิต ใส่ในรีจิสเตอร์ DPTR	3	2
MOVC A,@A+DPTR	นำค่าที่เป็นตำแหน่งผลรวมที่ชี้โดยแอกคิวมูเลเตอร์ กับรีจิสเตอร์ DPTR มาเก็บในแอกคิวมูเลเตอร์	1	2
MOVC A,@A+PC	นำค่าที่เป็นตำแหน่งผลรวมที่ชี้โดยแอกคิวมูเลเตอร์ กับรีจิสเตอร์ PC มาเก็บในแอกคิวมูเลเตอร์	1	2
MOVX A,@Ri	นำค่าในหน่วยความจำภายนอกที่ชี้โดยรีจิสเตอร์ (8 บิต) มาเก็บในแอกคิวมูเลเตอร์	1	2
MOVX A,@DPTR	นำค่าในหน่วยความจำภายนอกที่ชี้โดย DPTR (16 บิต) มาเก็บในแอกคิวมูเลเตอร์	1	2
MOVX @Ri,A	นำค่าในแอกคิวมูเลเตอร์ไปเก็บไว้ในหน่วยความจำภายนอกที่ชี้โดยรีจิสเตอร์	1	2
MOVX @DPTR,A	นำค่าในแอกคิวมูเลเตอร์ไปเก็บไว้ในหน่วยความจำภายนอกที่ชี้ โดยรีจิสเตอร์ DPTR	1	2
PUSH direct	PUSH ค่าลงในสแต็ก	2	2
POP direct	POP ค่าจากในสแต็ก	2	2
XCH A,Rn	แลกเปลี่ยนข้อมูลระหว่างแอกคิวมูเลเตอร์กับรีจิสเตอร์	1	1
XCH A,direct	แลกเปลี่ยนข้อมูลระหว่างแอกคิวมูเลเตอร์กับค่าในหน่วยความจำ	2	1
XCH A,@Ri	แลกเปลี่ยนข้อมูลระหว่างแอกคิวมูเลเตอร์กับค่าที่ชี้โดยรีจิสเตอร์	1	1
XCHD A,@Ri	แลกเปลี่ยนข้อมูล 4 บิตล่างระหว่างแอกคิวมูเลเตอร์กับค่าที่ชี้โดยรีจิสเตอร์	1	1

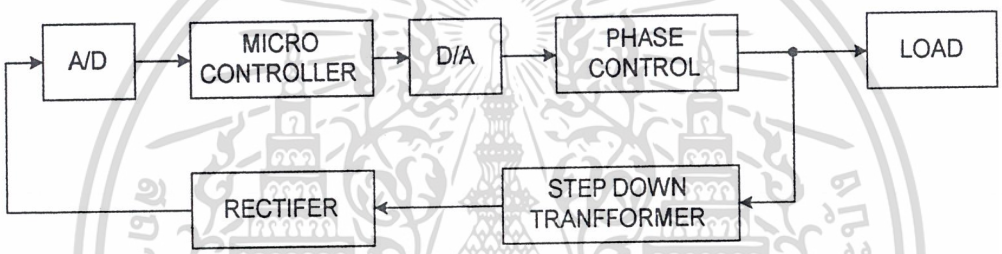
ตารางที่ 3 แสดงชุดคำสั่งของไมโครคอนโทรลเลอร์ MCS-51 (ต่อ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การทำงานของวงจร

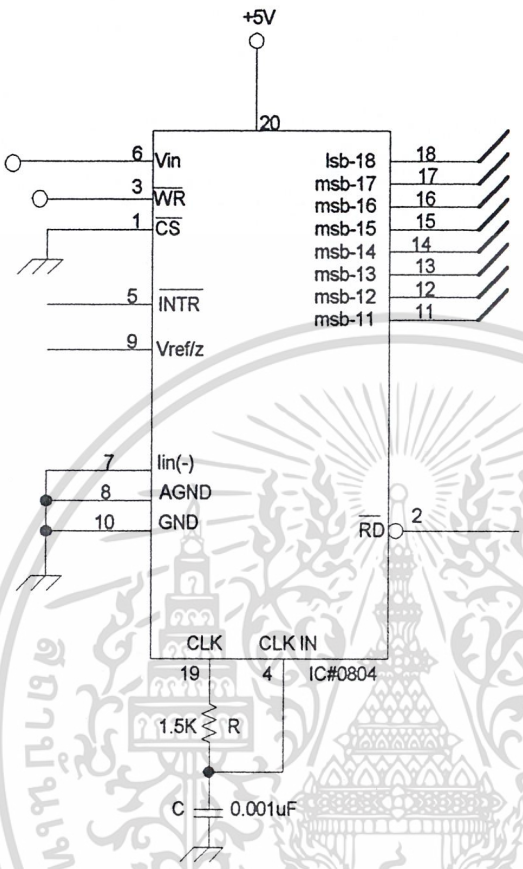
การทำงานจะใช้ microprocessor 8031 ควบคุมการทำงาน ดังแสดงในรูปที่ 27



รูปที่ 27 แสดง block diagram ของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ANALOG TO DIGITAL CONVERTOR (ADC)



รูปที่ 28 แสดงวงจรADC ของ IC เบอร์ 0804

ICเบอร์ ADC 0804 ทำหน้าที่เปลี่ยนสัญญาณanalogเป็นสัญญาณ digital 8bit เพื่อส่งสัญญาณให้ไมโครโปรเซสเซอร์ทำการประมวลผล การทำงานจะใช้ Clock ภายในโดยต่อR,Cไว้ภายนอกความถี่ของสัญญาณClockจะเป็นไปตามสมการ $f_{clk} = \frac{1}{1.1RC}$

Inputของวงจรป้อนเข้าที่ขา6 ส่วน Output จะเป็นสัญญาณ digital 8 bitที่ขา 7-18 การควบคุมการส่งoutputออกโดยสัญญาณจากไมโครโปรเซสเซอร์ที่ขา2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

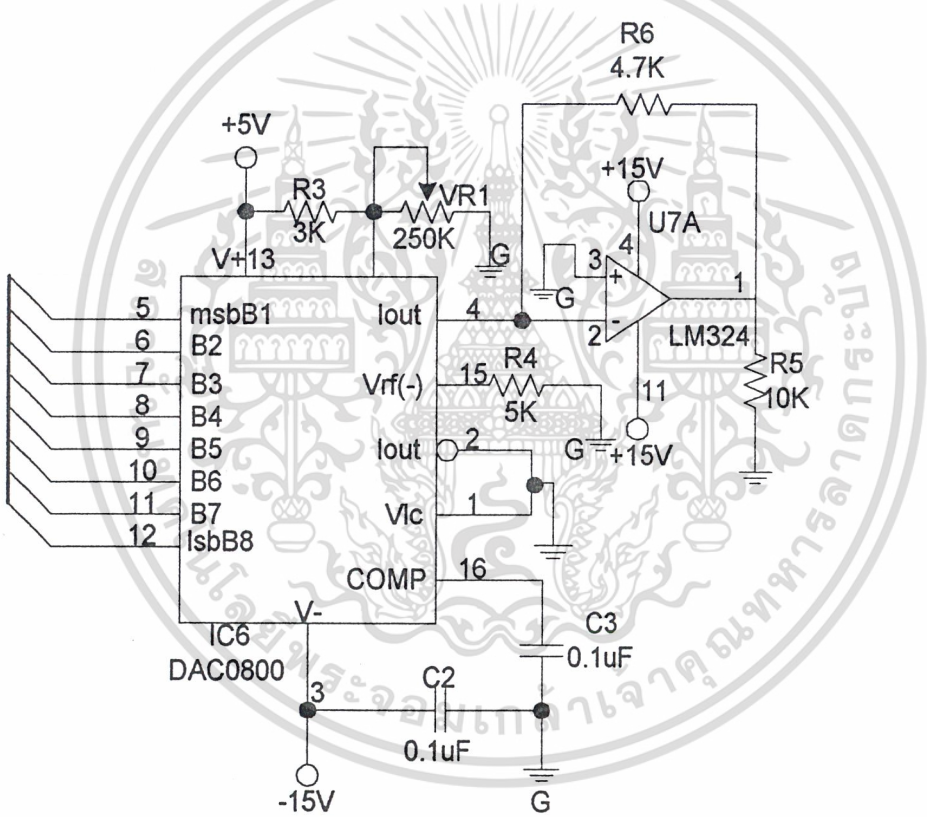
DIGITAL TO ANALOG CONVERTOR (DAC)

IC เบอร์ 0800 ทำหน้าที่เปลี่ยนสัญญาณ digital ที่ได้จากการประมวลผลของไมโครคอนโทรเลอร์ให้เป็นสัญญาณอนาลอกเพื่อสั่งให้ภาค Phase Control เพื่อนำไปควบคุมการทำงานของ SCR โดยแรงดันเอาท์พุทจะเป็นไปตามสมการ

Eo = Ifs * RL

โดย Ifs = 255/256 * Iref

และ Iref = Vref/Rref



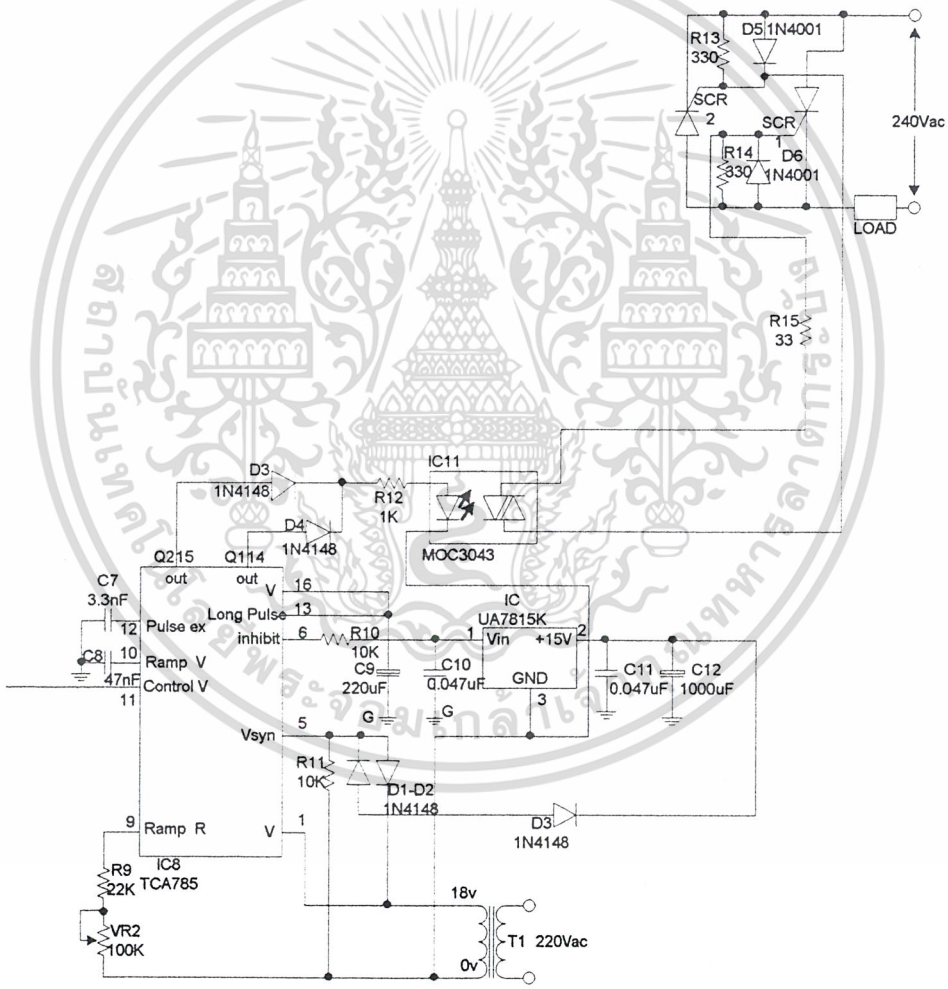
รูปที่ 29 แสดงวงจร DAC ของ IC เบอร์0800

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคPHASE CONTROL ของIC#785

หลักการทำงานของ IC เบอร์ TCA 785 ทำหน้าที่ควบคุมการทำงานของ SCR ซึ่งสามรถที่จะกำหนดมุมที่จะให้ SCR เริ่มนำกระแสได้โดยการป้อนแรงดันที่ขา 11 เอาท์พุทที่ได้จะเป็นพัลส์สั้นๆที่ขา 14,15 ความกว้างของพัลส์ที่เอาท์พุทกำหนดโดยค่าของ C12

การทำงานของ TC 785 จะต้องเป็นโวลท์เตจที่ขา 5 เพื่อให้ทำงานไปพร้อม ๆ กับสัญญาณ AC จากเอาท์พุทขา 14 และ 15 จะเห็นว่าต่ออยู่กับOP-TO TRIAC เพื่อที่จะแยกส่วนของแรงไฟต่ำออกจากส่วนของแรงไฟสูงเพื่อความปลอดภัย

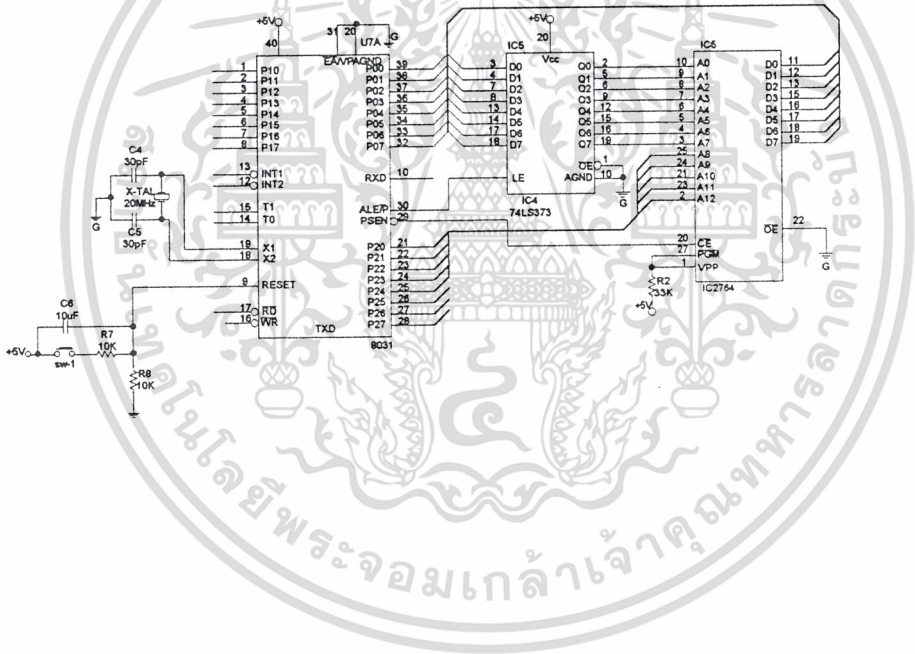


รูปที่30 แสดงวงจรPhase Control ของ IC เบอร์ 785

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคประมวลผลของ IC#8031

ภาคนี้ประกอบด้วย IC 8031 , 74374 LATCH และ EPROM เบอร์ 2764 โดยIC 2764 จะเป็น EPROM ที่ใช้กับโปรแกรมการทำงานของ 8031 ทั้งหมดทั้งรับ input ส่ง output ออกไปที่ port โดยมี Switch Reset ที่ขา 9 และใช้ clock 12 MHz



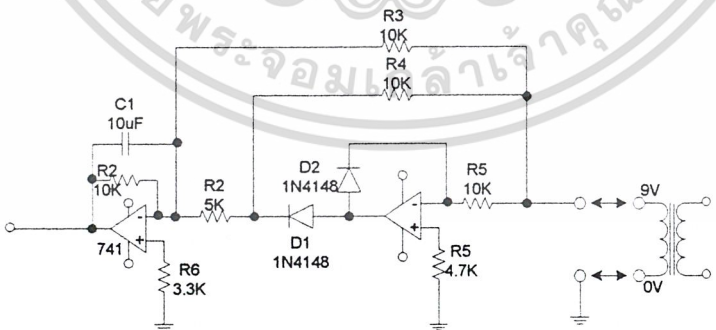
รูปที่31 แสดงการประมวลผลของ IC เบอร์ 8031

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคของวงจรเรียงกระแส

จากรูปIC1จะเป็นวงจรเรียงกระแสแบบครึ่งคลื่นที่ต่อแบบ Inverting จะได้เอาต์พุต เป็น Negative และ IC2 จะมี 2 อินพุต ซึ่งเป็นการต่อแบบ Inverting เช่นกัน อินพุตแรกมาจากสัญญาณอินพุตผ่านทาง R5 และ อินพุตที่2 มาจากเอาต์พุตของ IC1 โดยที่มี Gain เท่ากับ 1 และ 2 ตามลำดับ ที่สัญญาณอินพุตช่วงบวก IC2 จะให้เอาต์พุตที่มี Gain เท่ากับ 1 สำหรับอินพุตจากสัญญาณ AC ผ่าน R5 ได้เอาต์พุตเป็นบวกที่มี Gain เท่ากับ 2 ดังนั้นจะได้เอาต์พุตเป็นผลรวมของสัญญาณอินพุตทั้ง 2 อินพุต ซึ่งมี Gain เท่ากับ 1 และ C1 ที่ต่อระหว่างขา 2 กับขา 6 ของ IC2 จะทำหน้าที่เป็น filter ให้เรียบขึ้นทำให้ได้แรงดันเอาต์พุตเป็น DC สัญญาณ input บวกที่ IC2จะได้ output เป็นลบที่มี gain = 1 จาก input ทาง AC input และ output ทางบวกที่มี Gain = 2 และ IC1 ที่สัญญาณ input บวก IC2 จะให้ output ที่มี Gain = 1 สำหรับ input จาก AC input ทางตรงจะได้ output เป็นบวกที่มีค่าเป็น Gain = 2 เมื่อสัญญาณ input เป็นสัญญาณจาก output ของ IC1 นั้นจะได้เอาท์พุทที่ไหลไปรวมกันเป็นบวกที่มี Gain = 1ที่สัญญาณ input ลบจะได้ output ที่ IC2 เป็นบวก Gain = 1 จากสัญญาณ input จาก AC input ทางตรง และได้ output เป็น 0 จาก IC1 ดังนั้นทำให้ output ที่ไหลไปรวมกันเป็นบวกที่มี Gain = 1

จากรูปเมื่อต่อ C1 ระหว่างขา 2 กับขา 6 ของ IC2 จะสามารถแปลงไฟ AC to DC จะได้แรงดัน DC บวกออกทาง output มีค่าเท่ากับค่า R.M.S. ของสัญญาณ sin wave input โดยต่อ C1 เพิ่มเข้าไประหว่าง output ขา 6 และ input ขา 2



รูปที่32 แสดงวงจรเรียงกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

สรุปผลการทดลอง

ก่อนติดตั้ง

ระยะเวลาในการทดลอง 10 วัน

โหลดขนาด 950 วัตต์

แรงดัน 224 โวลท์

กระแส 4.22 แอมแปร์

กำลังงาน 940 วัตต์

ค่า P.F. 1

ความถี่ 50 Hz

ค่า kilowatt-hour 225.6 kW-hr

คำนวณค่าไฟฟ้า

จากค่า kilowatt-hour นำมาคำนวณค่าไฟฟ้าได้ดังนี้

35 หน่วยแรก 85.21 บาท

115 หน่วยต่อมา 115 x 1.1236 = 129.214 บาท

75.6 หน่วยต่อมา 75.6 x 2.1329 = 161.25 บาท

ค่า f.t. (55.77 / 100) x 225.6 = 125.82 บาท

รวม 85.21+129.214+161.25+125.82 = 501.49 บาท

VAT 7 % 35.10 บาท

ค่าไฟฟ้าสุทธิ 501.49 + 35.10 = 536.59 บาท

หลังติดตั้ง

ระยะเวลาในการทดลอง 10 วัน

โหลดขนาด 950 วัตต์

แรงดัน 200 โวลท์

กระแส 3.75 แอมแปร์

กำลังงาน 746 วัตต์

ค่า P.F. 1

ความถี่ 50 Hz

ค่า kilowatt-hour 179.04 kW-hr

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำนวณค่าไฟฟ้า

จากค่า kilowatt-hour นำมาคำนวณค่าไฟฟ้าได้ดังนี้

35 หน่วยแรก 85.21 บาท

115 หน่วยต่อมา 115 x 1.1236 = 129.214 บาท

29.04 หน่วยต่อมา 29.04 x 2.1329 = 61.94 บาท

ค่า f.t. (55.77 / 100) x 179.04 = 99.85 บาท

รวม 85.21 +129.214 + 61.94 + 99.85 = 376.214 บาท

VAT 7 % 26.33 บาท

ค่าไฟฟ้าสุทธิ 376.214 + 26.33 = 402.55 บาท

จากการเปรียบเทียบค่าไฟฟ้าทั้ง 2 กรณี จะเห็นว่าค่าใช้จ่ายลดลง 536.59 – 402.55 = 134.04 บาท

ปัญหาที่เกิดขึ้น

1. ก่อนติดตั้งเครื่องประหยัดพลังงานวัดแรงดันได้ 233 โวลท์ หลังจากกการติดตั้งเครื่องประหยัดพลังงานนี้แล้ววัดแรงดันเอาต์พุตขณะไม่มีโหลดได้ 203 โวลท์ และขณะมีโหลดได้ 208 โวลท์ จะเห็นได้ว่ามีแรงดันเพิ่มขึ้นเนื่องจาก การต่อโหลดเข้าไปจะทำให้มีกระแสที่ใช้จุดชนวนเกตของไตรแอคมีค่ามากขึ้นจึงทำให้ไตรแอคนำกระแสสูงขึ้นนั่นเอง
2. ปัญหาการควบคุมมุมจุดชนวนของไทริสเตอร์ไม่ได้ เนื่องมาจากการใช้อุปกรณ์ผิดคุณสมบัติ กล่าวคือ ในการทดลองครั้งแรกผู้ทดลองใช้ ออปโตไตรแอคซึ่งมีวงจรจุดตัดศูนย์อยู่ภายในซึ่งวงจรนี้ทำให้การจุดชนวนไทริสเตอร์ทำได้เพียง 2 มุมเท่านั้นคือ มุม 0 และ 180 องศา ทางผู้ทดลองจึงเปลี่ยนมาใช้ออปโตไตรแอคที่ไม่มีวงจรจุดตัดศูนย์แทนซึ่งผลที่ได้คือสามารถปรับมุมจุดชนวนของไทริสเตอร์ได้ตลอดตั้งแต่ 0 – 180 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

(1) คู่มืออิเล็กทรอนิกส์อุตสาหกรรม อนันท์ คัมภิรานนท์ บริษัทสกายบุ๊ค จำกัด

(2) ทฤษฎีวงจรไฟฟ้า เล่ม3 ไมตรี วรวุฒิจรรยากุล ศูนย์การพิมพ์พลชัย

(3) MCS-51 ไมโครคอนโทรลเลอร์แบบชิพเดี่ยว สมยศ ภูงามแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;###################################
;     PROGRAM   : PROJECT2.ASM
;     FOR       : VOLTAGE REGULATOR
;     PROGRAMMER : Mr.NUTTAPONG
;###################################
ORG 0000H
MOV R1,#01H
MOV P0,#11111111B     ;SET INPUT
PORT 0
START:
MOV DPTR,#0E00H
MOV P3,#00000010B     ;START
CONVERT A TO D
MOVX A,@DPTR          ;INPUT DATA
MOV R0,A
DELAY_1:
MOV R5,#090H
WAIT1:
MOV R6,#090H
WAIT2:
MOV R7,#09H
WAIT3:
DEC R7
MOV A,R7
JNZ WAIT3
DEC R6
MOV A,R6
JNZ WAIT2
DEC R5
MOV A,R5
JNZ WAIT1
MOV P3,#10000010B     ;END OF DATA
DELAY_2:
MOV R5,#0A0H
WAIT4:
MOV R6,#0A0H
WAIT5:
MOV R7,#0AH
WAIT6:
DEC R7
MOV A,R7
JNZ WAIT6
DEC R6
MOV A,R6
JNZ WAIT5
DEC R5
MOV A,R5
JNZ WAIT4

CHK_CASE_1:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CJNE R0,#0B,CHK_CASE_2
LCALL CASE_1
CHK_CASE_2:
CJNE R0,#01B,CHK_CASE_3
LCALL CASE_1
CHK_CASE_3:
CJNE R0,#010B,CHK_CASE_4
LCALL CASE_1
CHK_CASE_4:
CJNE R0,#011B,CHK_CASE_5
LCALL CASE_1
CHK_CASE_5:
CJNE R0,#100B,CHK_CASE_6
LCALL CASE_1
CHK_CASE_6:
CJNE R0,#101B,CHK_CASE_7
LCALL CASE_1
CHK_CASE_7:
CJNE R0,#110B,CHK_CASE_8
LCALL CASE_1
CHK_CASE_8:
CJNE R0,#111B,CHK_CASE_9
LCALL CASE_1
CHK_CASE_9:
CJNE R0,#1000B,CHK_CASE_10
LCALL CASE_1
CHK_CASE_10:
CJNE R0,#1001B,CHK_CASE_11
LCALL CASE_1
CHK_CASE_11:
```

```
CJNE R0,#1010B,CHK_CASE_12
LCALL CASE_1
CHK_CASE_12:
CJNE R0,#1011B,CHK_CASE_13
LCALL CASE_1
CHK_CASE_13:
CJNE R0,#1100B,CHK_CASE_14
LCALL CASE_1
CHK_CASE_14:
CJNE R0,#1101B,CHK_CASE_15
LCALL CASE_1
CHK_CASE_15:
CJNE R0,#1110B,CHK_CASE_16
LCALL CASE_1
CHK_CASE_16:
CJNE R0,#1111B,CHK_CASE_17
LCALL CASE_1
CHK_CASE_17:
CJNE R0,#10000B,CHK_CASE_18
LCALL CASE_1
CHK_CASE_18:
CJNE R0,#10001B,CHK_CASE_19
LCALL CASE_1
CHK_CASE_19:
CJNE R0,#10010B,CHK_CASE_20
LCALL CASE_1
CHK_CASE_20:
CJNE R0,#10011B,CHK_CASE_21
LCALL CASE_1
CHK_CASE_21:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CJNE R0,#10100B,CHK_CASE_22
LCALL CASE_1
CHK_CASE_22:
CJNE R0,#10101B,CHK_CASE_23
LCALL CASE_1
CHK_CASE_23:
CJNE R0,#10110B,CHK_CASE_24
LCALL CASE_1
CHK_CASE_24:
CJNE R0,#10111B,CHK_CASE_25
LCALL CASE_1
CHK_CASE_25:
CJNE R0,#11000B,CHK_CASE_26
LCALL CASE_1
CHK_CASE_26:
CJNE R0,#11001B,CHK_CASE_27
LCALL CASE_1
CHK_CASE_27:
CJNE R0,#11010B,CHK_CASE_28
LCALL CASE_1
CHK_CASE_28:
CJNE R0,#11011B,CHK_CASE_29
LCALL CASE_1
CHK_CASE_29:
CJNE R0,#11100B,CHK_CASE_30
LCALL CASE_1
CHK_CASE_30:
CJNE R0,#11101B,CHK_CASE_31
LCALL CASE_1
CHK_CASE_31:
CJNE R0,#11110B,CHK_CASE_32
LCALL CASE_1
CHK_CASE_32:
CJNE R0,#11111B,CHK_CASE_33
LCALL CASE_1
CHK_CASE_33:
CJNE R0,#100000B,CHK_CASE_34
LCALL CASE_1
CHK_CASE_34:
CJNE R0,#100001B,CHK_CASE_35
LCALL CASE_1
CHK_CASE_35:
CJNE R0,#100010B,CHK_CASE_36
LCALL CASE_1
CHK_CASE_36:
CJNE R0,#100011B,CHK_CASE_37
LCALL CASE_1
CHK_CASE_37:
CJNE R0,#100100B,CHK_CASE_38
LCALL CASE_1
CHK_CASE_38:
CJNE R0,#100101B,CHK_CASE_39
LCALL CASE_1
CHK_CASE_39:
CJNE R0,#100110B,CHK_CASE_40
LCALL CASE_1
CHK_CASE_40:
CJNE R0,#100111B,CHK_CASE_41
LCALL CASE_1
CHK_CASE_41:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CJNE R0,#101000B,CHK_CASE_42
LCALL CASE_1
CHK_CASE_42:
CJNE R0,#101001B,CHK_CASE_43
LCALL CASE_1
CHK_CASE_43:
CJNE R0,#101010B,CHK_CASE_44
LCALL CASE_1
CHK_CASE_44:
CJNE R0,#101011B,CHK_CASE_45
LCALL CASE_1
CHK_CASE_45:
CJNE R0,#101100B,CHK_CASE_46
LCALL CASE_1
CHK_CASE_46:
CJNE R0,#101101B,CHK_CASE_47
LCALL CASE_1
CHK_CASE_47:
CJNE R0,#101110B,CHK_CASE_48
LCALL CASE_1
CHK_CASE_48:
CJNE R0,#101111B,CHK_CASE_49
LCALL CASE_1
CHK_CASE_49:
CJNE R0,#110000B,CHK_CASE_50
LCALL CASE_1
CHK_CASE_50:
CJNE R0,#110001B,CHK_CASE_51
LCALL CASE_1
CHK_CASE_51:
CJNE R0,#110010B,CHK_CASE_52
LCALL CASE_1
CHK_CASE_52:
CJNE R0,#110011B,CHK_CASE_53
LCALL CASE_1
CHK_CASE_53:
CJNE R0,#110100B,CHK_CASE_54
LCALL CASE_1
CHK_CASE_54:
CJNE R0,#110101B,CHK_CASE_55
LCALL CASE_1
CHK_CASE_55:
CJNE R0,#110110B,CHK_CASE_56
LCALL CASE_1
CHK_CASE_56:
CJNE R0,#110111B,CHK_CASE_57
LCALL CASE_1
CHK_CASE_57:
CJNE R0,#111000B,CHK_CASE_58
LCALL CASE_1
CHK_CASE_58:
CJNE R0,#111001B,CHK_CASE_59
LCALL CASE_1
CHK_CASE_59:
CJNE R0,#111010B,CHK_CASE_60
LCALL CASE_1
CHK_CASE_60:
CJNE R0,#111011B,CHK_CASE_61
LCALL CASE_1
CHK_CASE_61:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CJNE R0,#111100B,CHK_CASE_62
LCALL CASE_1
CHK_CASE_62:
CJNE R0,#111101B,CHK_CASE_63
LCALL CASE_1
CHK_CASE_63:
CJNE R0,#111110B,CHK_CASE_64
LCALL CASE_1
CHK_CASE_64:
CJNE R0,#111111B,CHK_CASE_65
LCALL CASE_1
CHK_CASE_65:
CJNE R0,#1000000B,CHK_CASE_66
LCALL CASE_1
CHK_CASE_66:
CJNE R0,#1000001B,CHK_CASE_67
LCALL CASE_1
CHK_CASE_67:
CJNE R0,#1000010B,CHK_CASE_68
LCALL CASE_1
CHK_CASE_68:
CJNE R0,#1000011B,CHK_CASE_69
LCALL CASE_1
CHK_CASE_69:
CJNE R0,#1000100B,CHK_CASE_70
LCALL CASE_1
CHK_CASE_70:
CJNE R0,#1000101B,CHK_CASE_71
LCALL CASE_1
CHK_CASE_71:
```

```
CJNE R0,#1000110B,CHK_CASE_72
LCALL CASE_1
CHK_CASE_72:
CJNE R0,#1000111B,CHK_CASE_73
LCALL CASE_1
CHK_CASE_73:
CJNE R0,#1001000B,CHK_CASE_74
LCALL CASE_1
CHK_CASE_74:
CJNE R0,#1001001B,CHK_CASE_75
LCALL CASE_1
CHK_CASE_75:
CJNE R0,#1001010B,CHK_CASE_76
LCALL CASE_1
CHK_CASE_76:
CJNE R0,#1001011B,CHK_CASE_77
LCALL CASE_1
CHK_CASE_77:
CJNE R0,#1001100B,CHK_CASE_78
LCALL CASE_1
CHK_CASE_78:
CJNE R0,#1001101B,CHK_CASE_79
LCALL CASE_1
CHK_CASE_79:
CJNE R0,#1001110B,CHK_CASE_80
LCALL CASE_1
CHK_CASE_80:
CJNE R0,#1001111B,CHK_CASE_81
LCALL CASE_1
CHK_CASE_81:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CJNE R0,#1010000B,CHK_CASE_82
LCALL CASE_1
CHK_CASE_82:
CJNE R0,#1010001B,CHK_CASE_83
LCALL CASE_1
CHK_CASE_83:
CJNE R0,#1010010B,CHK_CASE_84
LCALL CASE_1
CHK_CASE_84:
CJNE R0,#1010011B,CHK_CASE_85
LCALL CASE_1
CHK_CASE_85:
CJNE R0,#1010100B,CHK_CASE_86
LCALL CASE_1
CHK_CASE_86:
CJNE R0,#1010101B,CHK_CASE_87
LCALL CASE_1
CHK_CASE_87:
CJNE R0,#1010110B,CHK_CASE_88
LCALL CASE_1
CHK_CASE_88:
CJNE R0,#1010111B,CHK_CASE_89
LCALL CASE_1
CHK_CASE_89:
CJNE R0,#1011000B,CHK_CASE_90
LCALL CASE_1
CHK_CASE_90:
CJNE R0,#1011001B,CHK_CASE_91
LCALL CASE_1
CHK_CASE_91:
CJNE R0,#1011010B,CHK_CASE_92
LCALL CASE_1
CHK_CASE_92:
CJNE R0,#1011011B,CHK_CASE_93
LCALL CASE_1
CHK_CASE_93:
CJNE R0,#1011100B,CHK_CASE_94
LCALL CASE_1
CHK_CASE_94:
CJNE R0,#1011101B,CHK_CASE_95
LCALL CASE_1
CHK_CASE_95:
CJNE R0,#1011110B,CHK_CASE_96
LCALL CASE_1
CHK_CASE_96:
CJNE R0,#1011111B,CHK_CASE_97
LCALL CASE_1
CHK_CASE_97:
CJNE R0,#1100000B,CHK_CASE_98
LCALL CASE_1
CHK_CASE_98:
CJNE R0,#1100001B,CHK_CASE_99
LCALL CASE_1
CHK_CASE_99:
CJNE R0,#1100010B,CHK_CASE_100
LCALL CASE_1
CHK_CASE_100:
CJNE R0,#1100011B,CHK_CASE_101
LCALL CASE_1
CHK_CASE_101:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CJNE R0,#1100100B,CHK_CASE_102
LCALL CASE_1
CHK_CASE_102:
CJNE R0,#1100101B,CHK_CASE_103
LCALL CASE_1
CHK_CASE_103:
CJNE R0,#1100110B,CHK_CASE_104
LCALL CASE_1
CHK_CASE_104:
CJNE R0,#1100111B,CHK_CASE_105
LCALL CASE_1
CHK_CASE_105:
CJNE R0,#1101000B,CHK_CASE_106
LCALL CASE_1
CHK_CASE_106:
CJNE R0,#1101001B,CHK_CASE_107
LCALL CASE_1
CHK_CASE_107:
CJNE R0,#1101010B,CHK_CASE_108
LCALL CASE_1
CHK_CASE_108:
CJNE R0,#1101011B,CHK_CASE_109
LCALL CASE_1
CHK_CASE_109:
CJNE R0,#101100B,CHK_CASE_110
LCALL CASE_1
CHK_CASE_110:
CJNE R0,#1101101B,CHK_CASE_111
LCALL CASE_1
CHK_CASE_111:
CJNE R0,#1101110B,CHK_CASE_112
LCALL CASE_1
CHK_CASE_112:
CJNE R0,#1101111B,CHK_CASE_113
LCALL CASE_1
CHK_CASE_113:
CJNE R0,#1110000B,CHK_CASE_114
LCALL CASE_1
CHK_CASE_114:
CJNE R0,#1110001B,CHK_CASE_115
LCALL CASE_1
CHK_CASE_115:
CJNE R0,#1110010B,CHK_CASE_116
LCALL CASE_1
CHK_CASE_116:
CJNE R0,#1110011B,CHK_CASE_117
LCALL CASE_1
CHK_CASE_117:
CJNE R0,#1110100B,CHK_CASE_118
LCALL CASE_1
CHK_CASE_118:
CJNE R0,#1110101B,CHK_CASE_119
LCALL CASE_1
CHK_CASE_119:
CJNE R0,#1110110B,CHK_CASE_120
LCALL CASE_1
CHK_CASE_120:
CJNE R0,#1110111B,CHK_CASE_121
LCALL CASE_1
CHK_CASE_121:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CJNE R0,#1111000B,CHK_CASE_122
LCALL CASE_1
CHK_CASE_122:
CJNE R0,#1111001B,CHK_CASE_123
LCALL CASE_1
CHK_CASE_123:
CJNE R0,#1111010B,CHK_CASE_124
LCALL CASE_1
CHK_CASE_124:
CJNE R0,#1111011B,CHK_CASE_125
LCALL CASE_1
CHK_CASE_125:
CJNE R0,#1111100B,CHK_CASE_126
LCALL CASE_1
CHK_CASE_126:
CJNE R0,#1111101B,CHK_CASE_127
LCALL CASE_1
CHK_CASE_127:
CJNE R0,#1111110B,CHK_CASE_128
LCALL CASE_1
CHK_CASE_128:
CJNE R0,#1111111B,CHK_CASE_129
LCALL CASE_1
CHK_CASE_129:
CJNE R0,#10000000B,CHK_CASE_130
LCALL CASE_1
CHK_CASE_130:
CJNE R0,#10000001B,CHK_CASE_131
LCALL CASE_1
CHK_CASE_131:
CJNE R0,#10000010B,CHK_CASE_132
LCALL CASE_1
CHK_CASE_132:
CJNE R0,#10000011B,CHK_CASE_133
LCALL CASE_1
CHK_CASE_133:
CJNE R0,#10000100B,CHK_CASE_134
LCALL CASE_1
CHK_CASE_134:
CJNE R0,#10000101B,CHK_CASE_135
LCALL CASE_1
CHK_CASE_135:
CJNE R0,#10000110B,CHK_CASE_136
LCALL CASE_1
CHK_CASE_136:
CJNE R0,#10000111B,CHK_CASE_137
LCALL CASE_1
CHK_CASE_137:
CJNE R0,#10001000B,CHK_CASE_138
LCALL CASE_1
CHK_CASE_138:
CJNE R0,#10001001B,CHK_CASE_139
LCALL CASE_1
CHK_CASE_139:
CJNE R0,#10001010B,CHK_CASE_140
LCALL CASE_1
CHK_CASE_140:
CJNE R0,#10001011B,CHK_CASE_141
LCALL CASE_1
CHK_CASE_141:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CJNE R0,#10001100B,CHK_CASE_142
LCALL CASE_1
CHK_CASE_142:
CJNE R0,#10001101B,CHK_CASE_143
LCALL CASE_1
CHK_CASE_143:
CJNE R0,#10001110B,CHK_CASE_144
LCALL CASE_1
CHK_CASE_144:
CJNE R0,#10001111B,CHK_CASE_145
LCALL CASE_1
CHK_CASE_145:
CJNE R0,#10010000B,CHK_CASE_146
LCALL CASE_1
CHK_CASE_146:
CJNE R0,#10010001B,CHK_CASE_147
LCALL CASE_1
CHK_CASE_147:
CJNE R0,#10010010B,CHK_CASE_148
LCALL CASE_1
CHK_CASE_148:
CJNE R0,#10010011B,CHK_CASE_149
LCALL CASE_1
CHK_CASE_149:
CJNE R0,#10010100B,CHK_CASE_150
LCALL CASE_1
CHK_CASE_150:
CJNE R0,#10010101B,CHK_CASE_151
LCALL CASE_1
CHK_CASE_151:
CJNE R0,#10010110B,CHK_CASE_152
LCALL CASE_2
CHK_CASE_152:
CJNE R0,#10010111B,CHK_CASE_153
LCALL CASE_3
CHK_CASE_153:
CJNE R0,#10011000B,CHK_CASE_154
LCALL CASE_4
CHK_CASE_154:
CJNE R0,#10011001B,CHK_CASE_155
LCALL CASE_5
CHK_CASE_155:
CJNE R0,#10011010B,CHK_CASE_156
LCALL CASE_6
CHK_CASE_156:
CJNE R0,#10011011B,CHK_CASE_157
LCALL CASE_7
CHK_CASE_157:
CJNE R0,#10011100B,CHK_CASE_158
LCALL CASE_8
CHK_CASE_158:
CJNE R0,#10011101B,CHK_CASE_159
LCALL CASE_9
CHK_CASE_159:
CJNE R0,#10011110B,CHK_CASE_160
LCALL CASE_10
CHK_CASE_160:
CJNE R0,#10011111B,CHK_CASE_161
LCALL CASE_11
CHK_CASE_161:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CJNE R0,#10100000B,CHK_CASE_162
LCALL CASE_12
CHK_CASE_162:
CJNE R0,#10100001B,CHK_CASE_163
LCALL CASE_13
CHK_CASE_163:
CJNE R0,#10100010B,CHK_CASE_164
LCALL CASE_14
CHK_CASE_164:
CJNE R0,#10100011B,CHK_CASE_165
LCALL CASE_15
CHK_CASE_165:
CJNE R0,#10100100B,CHK_CASE_166
LCALL CASE_16
CHK_CASE_166:
CJNE R0,#10100101B,CHK_CASE_167
LCALL CASE_17
CHK_CASE_167:
CJNE R0,#10100110B,CHK_CASE_168
LCALL CASE_18
CHK_CASE_168:
CJNE R0,#10100111B,CHK_CASE_169
LCALL CASE_19
CHK_CASE_169:
CJNE R0,#10101000B,CHK_CASE_170
LCALL CASE_20
CHK_CASE_170:
CJNE R0,#10101001B,CHK_CASE_171
LCALL CASE_21
CHK_CASE_171:
```

```
CJNE R0,#10101010B,CHK_CASE_172
LCALL CASE_22
CHK_CASE_172:
CJNE R0,#10101011B,CHK_CASE_173
LCALL CASE_23
CHK_CASE_173:
CJNE R0,#10101100B,CHK_CASE_174
LCALL CASE_24
CHK_CASE_174:
CJNE R0,#10101101B,CHK_CASE_175
LCALL CASE_25
CHK_CASE_175:
CJNE R0,#10101110B,CHK_CASE_176
LCALL CASE_26
CHK_CASE_176:
CJNE R0,#10101111B,CHK_CASE_177
LCALL CASE_27
CHK_CASE_177:
CJNE R0,#10110000B,CHK_CASE_178
LCALL CASE_28
CHK_CASE_178:
CJNE R0,#10110001B,CHK_CASE_179
LCALL CASE_29
CHK_CASE_179:
CJNE R0,#10110010B,CHK_CASE_180
LCALL CASE_30
CHK_CASE_180:
CJNE R0,#10110011B,CHK_CASE_181
LCALL CASE_31
CHK_CASE_181:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CJNE R0,#10110100B,CHK_CASE_182
LCALL CASE_32
CHK_CASE_182:
CJNE R0,#10110101B,CHK_CASE_183
LCALL CASE_33
CHK_CASE_183:
CJNE R0,#10110110B,CHK_CASE_184
LCALL CASE_34
CHK_CASE_184:
CJNE R0,#10110111B,CHK_CASE_185
LCALL CASE_35
CHK_CASE_185:
CJNE R0,#10111000B,CHK_CASE_186
LCALL CASE_36
CHK_CASE_186:
CJNE R0,#10111001B,CHK_CASE_187
LCALL CASE_37
CHK_CASE_187:
CJNE R0,#10111010B,CHK_CASE_188
LCALL CASE_38
CHK_CASE_188:
CJNE R0,#10111011B,CHK_CASE_189
LCALL CASE_39
CHK_CASE_189:
CJNE R0,#10111100B,CHK_CASE_190
LCALL CASE_40
CHK_CASE_190:
CJNE R0,#10111101B,CHK_CASE_191
LCALL CASE_41
CHK_CASE_191:
```

```
CJNE R0,#10111110B,CHK_CASE_192
LCALL CASE_41
CHK_CASE_192:
CJNE R0,#10111111B,CHK_CASE_193
LCALL CASE_41
CHK_CASE_193:
CJNE R0,#11000000B,CHK_CASE_194
LCALL CASE_41
CHK_CASE_194:
CJNE R0,#11000001B,CHK_CASE_195
LCALL CASE_41
CHK_CASE_195:
CJNE R0,#11000010B,CHK_CASE_196
LCALL CASE_41
CHK_CASE_196:
CJNE R0,#11000011B,CHK_CASE_197
LCALL CASE_41
CHK_CASE_197:
CJNE R0,#11000100B,CHK_CASE_198
LCALL CASE_41
CHK_CASE_198:
CJNE R0,#11000101B,CHK_CASE_199
LCALL CASE_41
CHK_CASE_199:
CJNE R0,#11000110B,CHK_CASE_200
LCALL CASE_41
CHK_CASE_200:
CJNE R0,#11000111B,CHK_CASE_201
LCALL CASE_41
CHK_CASE_201:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CJNE R0,#11001000B,CHK_CASE_202
LCALL CASE_41
CHK_CASE_202:
CJNE R0,#11001001B,CHK_CASE_203
LCALL CASE_41
CHK_CASE_203:
CJNE R0,#11001010B,CHK_CASE_204
LCALL CASE_41
CHK_CASE_204:
CJNE R0,#11001011B,CHK_CASE_205
LCALL CASE_41
CHK_CASE_205:
CJNE R0,#11001100B,CHK_CASE_206
LCALL CASE_41
CHK_CASE_206:
CJNE R0,#11001100B,CHK_CASE_207
LCALL CASE_41
CHK_CASE_207:
CJNE R0,#11001101B,CHK_CASE_208
LCALL CASE_41
CHK_CASE_208:
CJNE R0,#11001110B,CHK_CASE_209
LCALL CASE_41
CHK_CASE_209:
CJNE R0,#11001111B,CHK_CASE_210
LCALL CASE_41
CHK_CASE_210:
CJNE R0,#11010000B,CHK_CASE_211
LCALL CASE_41
CHK_CASE_211:
```

```
CJNE R0,#11010001B,CHK_CASE_212
LCALL CASE_41
CHK_CASE_212:
CJNE R0,#11010010B,CHK_CASE_213
LCALL CASE_41
CHK_CASE_213:
CJNE R0,#11010011B,CHK_CASE_214
LCALL CASE_41
CHK_CASE_214:
CJNE R0,#11010100B,CHK_CASE_215
LCALL CASE_41
CHK_CASE_215:
CJNE R0,#11010101B,CHK_CASE_216
LCALL CASE_41
CHK_CASE_216:
CJNE R0,#11010110B,CHK_CASE_217
LCALL CASE_41
CHK_CASE_217:
CJNE R0,#11010111B,CHK_CASE_218
LCALL CASE_41
CHK_CASE_218:
CJNE R0,#11011000B,CHK_CASE_219
LCALL CASE_41
CHK_CASE_219:
CJNE R0,#11011001B,CHK_CASE_220
LCALL CASE_41
CHK_CASE_220:
CJNE R0,#11011010B,CHK_CASE_221
LCALL CASE_41
CHK_CASE_221:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CJNE R0,#11011011B,CHK_CASE_222
LCALL CASE_41
CHK_CASE_222:
CJNE R0,#11011100B,CHK_CASE_223
LCALL CASE_41
CHK_CASE_223:
CJNE R0,#11011101B,CHK_CASE_224
LCALL CASE_41
CHK_CASE_224:
CJNE R0,#11011110B,CHK_CASE_225
LCALL CASE_41
CHK_CASE_225:
CJNE R0,#11011111B,CHK_CASE_226
LCALL CASE_41
CHK_CASE_226:
CJNE R0,#11100000B,CHK_CASE_227
LCALL CASE_41
CHK_CASE_227:
CJNE R0,#11100001B,CHK_CASE_228
LCALL CASE_41
CHK_CASE_228:
CJNE R0,#11100010B,CHK_CASE_229
LCALL CASE_41
CHK_CASE_229:
CJNE R0,#11100011B,CHK_CASE_230
LCALL CASE_41
CHK_CASE_230:
CJNE R0,#11100100B,CHK_CASE_231
LCALL CASE_41
CHK_CASE_231:
```

```
CJNE R0,#11100101B,CHK_CASE_232
LCALL CASE_41
CHK_CASE_232:
CJNE R0,#11100110B,CHK_CASE_233
LCALL CASE_41
CHK_CASE_233:
CJNE R0,#11100111B,CHK_CASE_234
LCALL CASE_41
CHK_CASE_234:
CJNE R0,#11101000B,CHK_CASE_235
LCALL CASE_41
CHK_CASE_235:
CJNE R0,#11101001B,CHK_CASE_236
LCALL CASE_41
CHK_CASE_236:
CJNE R0,#11101010B,CHK_CASE_237
LCALL CASE_41
CHK_CASE_237:
CJNE R0,#11101011B,CHK_CASE_238
LCALL CASE_41
CHK_CASE_238:
CJNE R0,#11101100B,CHK_CASE_239
LCALL CASE_41
CHK_CASE_239:
CJNE R0,#11101101B,CHK_CASE_240
LCALL CASE_41
CHK_CASE_240:
CJNE R0,#11101110B,CHK_CASE_241
LCALL CASE_41
CHK_CASE_241:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CJNE R0,#11101111B,CHK_CASE_242
LCALL CASE_41
CHK_CASE_242:
CJNE R0,#11110000B,CHK_CASE_243
LCALL CASE_41
CHK_CASE_243:
CJNE R0,#11110001B,CHK_CASE_244
LCALL CASE_41
CHK_CASE_244:
CJNE R0,#11110010B,CHK_CASE_245
LCALL CASE_41
CHK_CASE_245:
CJNE R0,#11110011B,CHK_CASE_246
LCALL CASE_41
CHK_CASE_246:
CJNE R0,#11110100B,CHK_CASE_247
LCALL CASE_41
CHK_CASE_247:
CJNE R0,#11110101B,CHK_CASE_248
LCALL CASE_41
CHK_CASE_248:
CJNE R0,#11110110B,CHK_CASE_249
LCALL CASE_41
CHK_CASE_249:
CJNE R0,#11110111B,CHK_CASE_250
LCALL CASE_41
CHK_CASE_250:
CJNE R0,#11111000B,CHK_CASE_251
LCALL CASE_41
CHK_CASE_251:
CJNE R0,#11111001B,CHK_CASE_252
LCALL CASE_41
CHK_CASE_252:
CJNE R0,#11111010B,CHK_CASE_253
LCALL CASE_41
CHK_CASE_253:
CJNE R0,#11111011B,CHK_CASE_254
LCALL CASE_41
CHK_CASE_254:
CJNE R0,#11111100B,CHK_CASE_255
LCALL CASE_41
CHK_CASE_255:
CJNE R0,#11111101B,CHK_CASE_256
LCALL CASE_41
CHK_CASE_256:
CJNE R0,#11111110B,CHK_CASE_257
LCALL CASE_41
CHK_CASE_257:
LCALL CASE_41
CASE_1:
MOV P1,#00H
LJMP START
CASE_2:
MOV P1,#27H
LJMP START
CASE_3:
MOV P1,#29H
LJMP START
CASE_4:
MOV P1,#36H
```

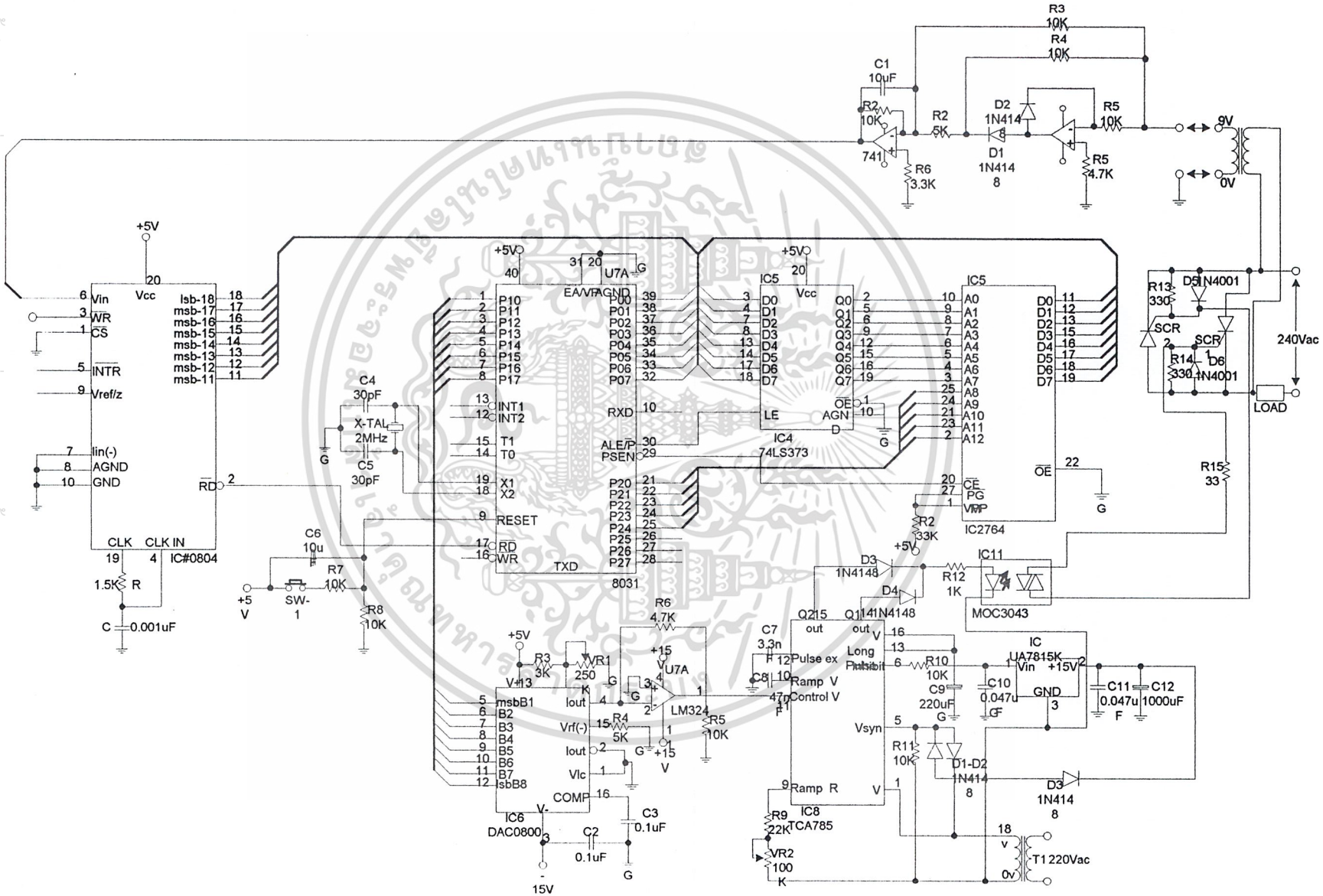
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

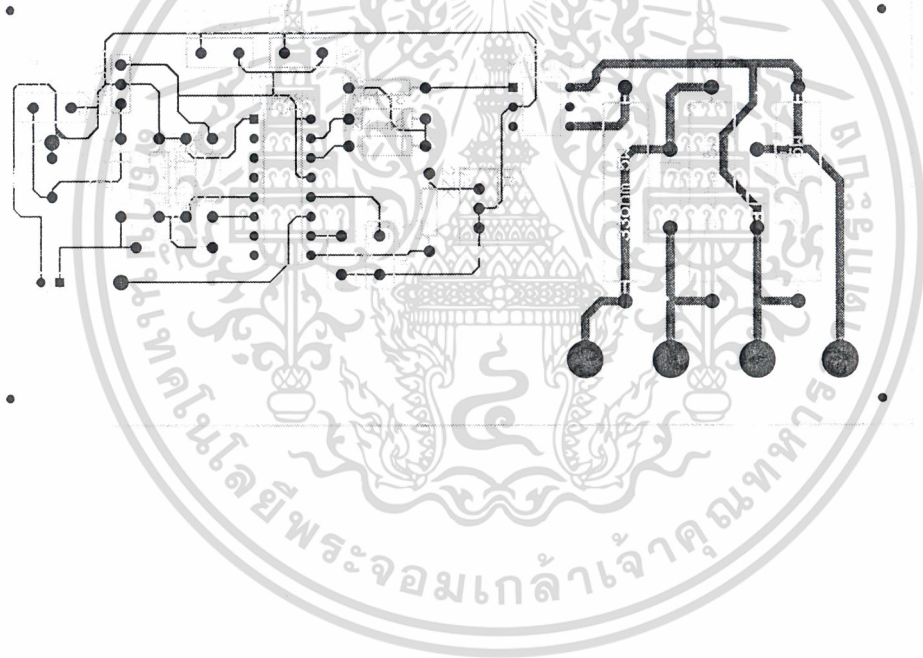
```
LJMP START
CASE_5:
MOV P1,#39H
LJMP START
CASE_6:
MOV P1,#5BH
LJMP START
CASE_7:
MOV P1,#5FH
LJMP START
CASE_8:
MOV P1,#63H
LJMP START
CASE_9:
MOV P1,#67H
LJMP START
CASE_10:
MOV P1,#6BH
LJMP START
CASE_11:
MOV P1,#6FH
LJMP START
CASE_12:
MOV P1,#72H
LJMP START
CASE_13:
MOV P1,#75H
LJMP START
CASE_14:
MOV P1,#78H
LJMP START
CASE_15:
MOV P1,#7CH
LJMP START
CASE_16:
MOV P1,#7FH
LJMP START
CASE_17:
MOV P1,#81H
LJMP START
CASE_18:
MOV P1,#84H
LJMP START
CASE_19:
MOV P1,#87H
LJMP START
CASE_20:
MOV P1,#8AH
LJMP START
CASE_21:
MOV P1,#8CH
LJMP START
CASE_22:
MOV P1,#8FH
LJMP START
CASE_23:
MOV P1,#91H
LJMP START
CASE_24:
MOV P1,#94H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

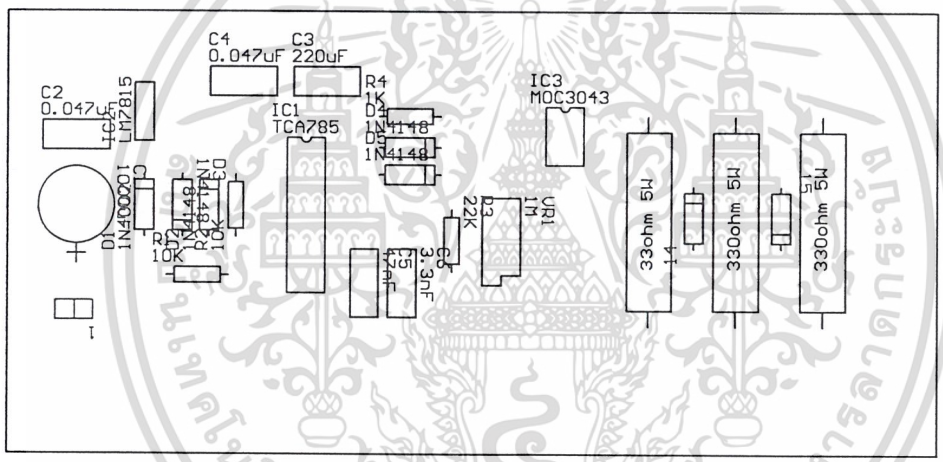
```
LJMP START
CASE_25:
MOV P1,#96H
LJMP START
CASE_26:
MOV P1,#99H
LJMP START
CASE_27:
MOV P1,#9BH
LJMP START
CASE_28:
MOV P1,#9DH
LJMP START
CASE_29:
MOV P1,#9FH
LJMP START
CASE_30:
MOV P1,#0A1H
LJMP START
CASE_31:
MOV P1,#0A4H
LJMP START
CASE_32:
MOV P1,#0A6H
LJMP START
CASE_33:
MOV P1,#0A8H
LJMP START
CASE_34:
MOV P1,#0AAH
LJMP START
CASE_35:
MOV P1,#0ACH
LJMP START
CASE_36:
MOV P1,#0B7H
LJMP START
CASE_37:
MOV P1,#0B9H
LJMP START
CASE_38:
MOV P1,#0BAH
LJMP START
CASE_39:
MOV P1,#0BCH
LJMP START
CASE_40:
MOV P1,#026H
LJMP START
CASE_41:
MOV P1,#027H
LJMP START
END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

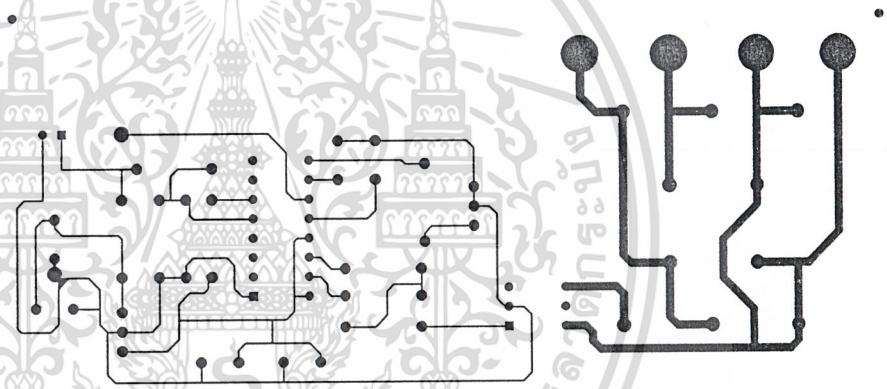

R3 10K
R4 10K
C1 10uF
R2 10K
741
R2 5K
D2 1N414
D1 1N414 8
R5 10K
R5 4.7K
R6 3.3K
9V
0V
+5V
Vcc
Vin
WR
CS
INTR
Vref/z
Iin(-)
AGND
GND
RD
CLK
CLK IN
IC#0804
1.5K R
C 0.001uF
lsb-18
msb-17
msb-16
msb-15
msb-14
msb-13
msb-12
msb-11
C4 30pF
X-TAL 2MHz
C5 30pF
C6 10u
R7 10K
R8 10K
+5 V
SW-1
P10
P11
P12
P13
P14
P15
P16
P17
INT1
INT2
T1
T0
X1
X2
RESET
RD
WR
TXD
RXD
ALE/P
PSEN
P20
P21
P22
P23
P24
P25
P26
P27
8031
U7A
EA/VP
AGND
P00
P01
P02
P03
P04
P05
P06
P07
IC4 74LS373
IC5
IC2764
OE
AGN
D
LE
A0
A1
A2
A3
A4
A5
A6
A7
A8
A9
A10
A11
A12
D0
D1
D2
D3
D4
D5
D6
D7
CE
PG
VPP
R2 33K
D3 1N4148
D4 1N4148
R12 1K
IC11
MOC3043
R13 330
R14 330
SCR 2
SCR 1
D5 1N4001
D6 1N4001
240Vac
LOAD
R15 33
R6 4.7K
VR1 250K
R3 3K
+15 V
U7A
LM324
R4 5K
R5 10K
msbB1
B2
B3
B4
B5
B6
B7
lsbB8
Iout
Vrf(-)
Vlc
COMP
IC6 DAC0800
C3 0.1uF
C2 0.1uF
-15V
C7 3.3n F
C8 47n F
Q2
Q1
Pulse ex
Ramp V
Control V
Ramp R
IC8 TCA785
R9 22K
VR2 100K
Long Pulsbit
R10 10K
C9 220uF
C10 0.047uF
IC UA7815K
Vin
GND
+15V
C11 0.047uF
C12 1000uF
R11 10K
D1-D2 1N414 8
D3 1N414 8
Vsyn
T1 220Vac



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

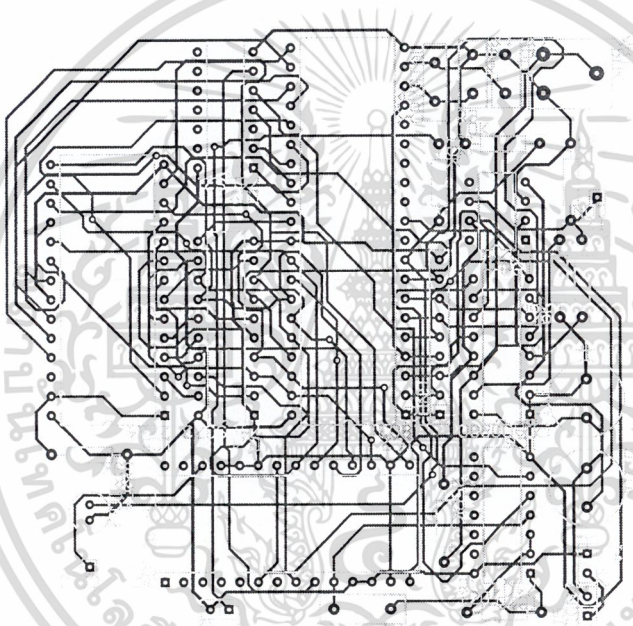


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

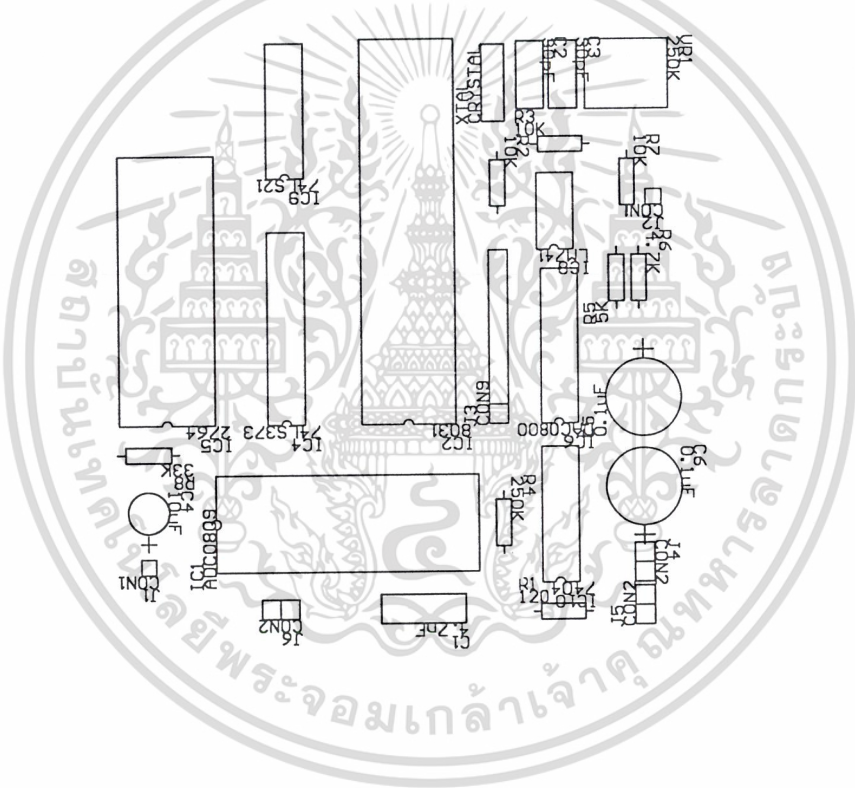


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

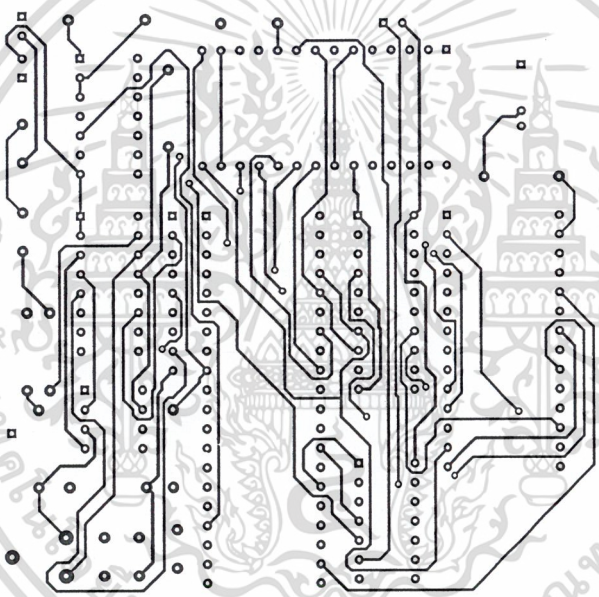
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

intel®

AB-39

APPLICATION BRIEF

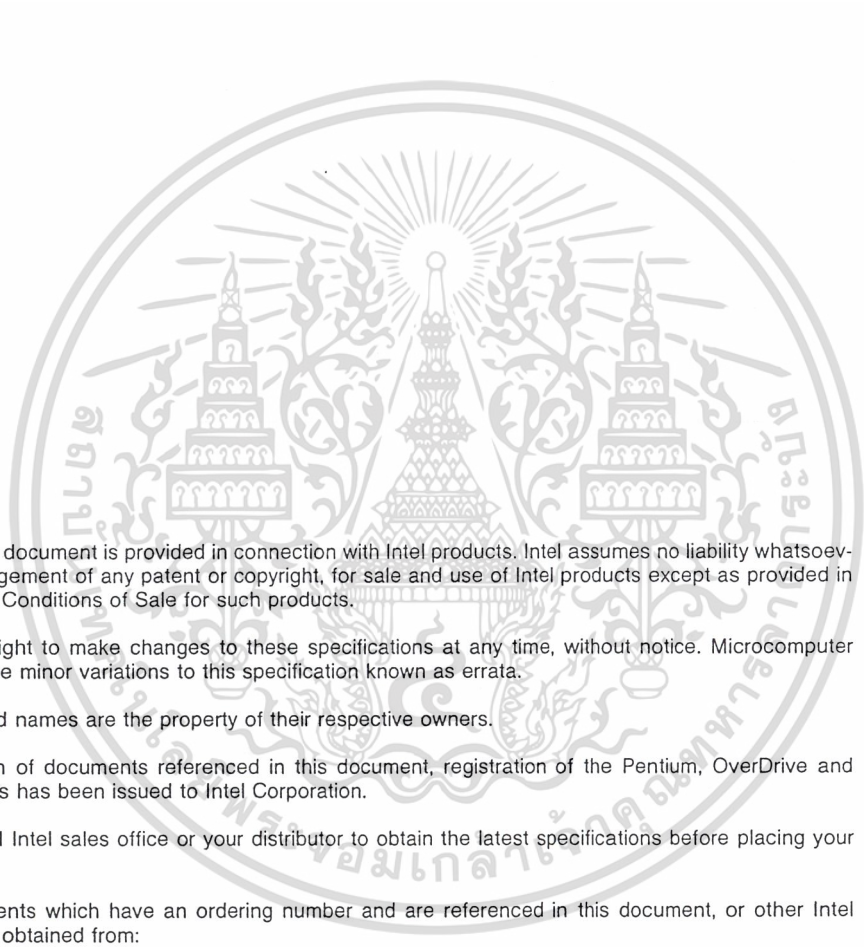
Interfacing the Densitron LCD to the 8051

RICK SCHUE
REGIONAL APPLICATIONS SPECIALIST
INDIANAPOLIS, INDIANA

February 1996

Order Number: 270529-003

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Information in this document is provided in connection with Intel products. Intel assumes no liability whatsoever, including infringement of any patent or copyright, for sale and use of Intel products except as provided in Intel's Terms and Conditions of Sale for such products.

Intel retains the right to make changes to these specifications at any time, without notice. Microcomputer Products may have minor variations to this specification known as errata.

*Other brands and names are the property of their respective owners.

†Since publication of documents referenced in this document, registration of the Pentium, OverDrive and iCOMP trademarks has been issued to Intel Corporation.

Contact your local Intel sales office or your distributor to obtain the latest specifications before placing your product order.

Copies of documents which have an ordering number and are referenced in this document, or other Intel literature, may be obtained from:

Intel Corporation
P.O. Box 7641
Mt. Prospect, IL 60056-7641

or call 1-800-879-4683

COPYRIGHT © INTEL CORPORATION, 1996

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INTERFACING THE DENSITRON LCD TO THE 8051

CONTENTS

	PAGE
INTRODUCTION	1
HARDWARE DESIGN	1
TIMING REQUIREMENTS	1
SOFTWARE	1
REFERENCES	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INTRODUCTION

This application note details the interface between an 80C31 and a Densitron two row by 24 character LM23A2C24CBW display. This combination provides a very flexible display format (2x24) and a cost effective, low power consumption microcontroller suitable for many industrial control and monitoring functions.

Although this applications brief concentrates on the 80C31, the same software and hardware techniques are equally valid on other members of the 8051 family, including the 8031, 8751, and the 8044.

HARDWARE DESIGN

The LCD is mapped into external data memory, and looks to the 80C31 just like ordinary RAM. The register select (RS) and the read/write (R/W) pins are connected to the low order address lines A0 and A1. Connecting the R/W pin to an address line is a little unorthodox, but since the R/W line has the same set-up time requirements as the RS line, treating the R/W pin as an address kept this pin from causing any timing problems.

The enable (E) pin of the LCD is used to select the device, and is driven by the logical OR of the 80C31's RD and WR signals AND'ed with the MSB of the address bus. This maps the LCD into the upper half of the 64 KB external data space. If this seems a little wasteful, feel free to use a more elaborate address decoding scheme.

With the address decoding shown in the example, the LCD is mapped as follows:

Address	Function	Read/Write?
8000H	Write Command to LCD	Write Only
8001H	Write Data to LCD	Write Only
8002H	Read Status from LCD	Read Only
8003H	Read Data from LCD	Read Only
8004H to FFFFH	No Access	

Undefined results may occur if the software attempts to read address 8000H or 8001H, or write to address 8002H or 8003H.

TIMING REQUIREMENTS

The timing requirements of the Densitron LCD are a little slow for a full speed 80C31. The critical timing parameters are the enable pulse width (PW E) of 450 ns, and the data delay time during read cycles (tDDR) of 320 ns. The 80C31 is available at clock speeds up to 16 MHz, but at this speed these parameters are violated. Since the 80C31 lacks a READY pin, the only way to satisfy the LCD timing requirements is to slow the clock down to 10 MHz or lower. A convenient crystal frequency is 7.3728 MHz since it allows all standard baud rates to be generated with the internal timers.

SOFTWARE

The code consists of a main module and a set of utility procedures that talk directly to the LCD. This way the application code does not have to be concerned with where the LCD is mapped, or the exact bit patterns needed to control it. The mainline consists of a call to initialize the LCD, and then it writes a message to the screen, waits, and then erases it. It repeats this indefinitely.

The utility procedures include functions to initialize the display, send data and address to the LCD, home the cursor, clear the display, set the cursor to a given row and column, turn the cursor on and off, and print a string of characters to the display. Not all the functions are used in the software example.

REFERENCES

INTEL Embedded Controller Handbook, 210918

INTEL PL/M-51 User's Guide, 121966

DENSITRON Catalog LCDMD-C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

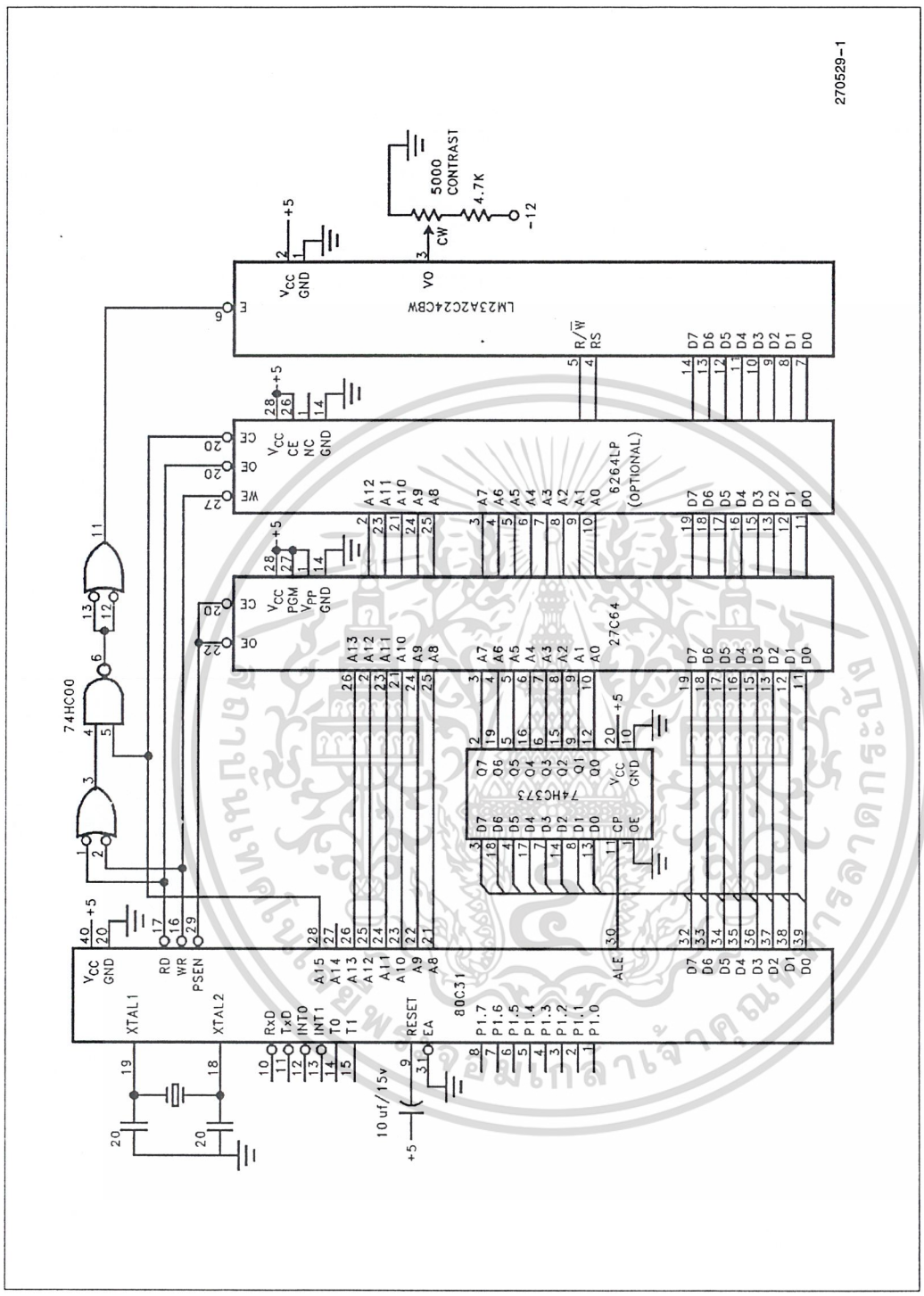


Figure 1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Main_module:  DO;

Delay: PROCEDURE (count) EXTERNAL;
  DECLARE    count            WORD;
END Delay;

Initialize_LCD: PROCEDURE EXTERNAL;
END Initialize_LCD;

Clear display: PROCEDURE EXTERNAL;
END Clear_display;

LCD_print: PROCEDURE EXTERNAL;
END LCD_print;

DECLARE LCD_buffer                (48)   BYTE   PUBLIC,
        sign_on_message            (*)   BYTE   CONSTANT
                ('INTEL 8051 DRIVES LCD - '
                 '2 ROWS BY 24 CHARACTERS '),
        i                                BYTE;

/* This is the start of the program */

  /* Initialize the LCD */
  CALL Initialize_LCD;
  CALL Clear_display;

  /* Now enter an endless loop to display the message */
  DO WHILE 1;

    /* Copy the message to the buffer */
    DO i = 0 to 47;
      LCD_buffer(i) = sign_on_message(i);
    END;

    /* Now print out the buffer to the LCD */
    CALL LCD_print;

    /* wait a while */
    CALL Delay(2000);

    /* now clear the screen */
    CALL Clear_display;

END;          /* of DO WHILE */

END Main_module;
```

Main Module

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
LCD_IO_MODULE: DO;

DECLARE LCD_buffer  (48)     BYTE       EXTERNAL,
        LCD_command          BYTE       AT (08000H) AUXILIARY,
        LCD_data             BYTE       AT (08001H) AUXILIARY,
        LCD_status           BYTE       AT (08002H) AUXILIARY,
        LCD_busy             LITERALLY '1000$0000B',
        i                    BYTE;

Delay: PROCEDURE (msec) PUBLIC;

  /* This procedure causes a delay of n msec */

  DECLARE msec                WORD,
          i                    WORD;

  IF msec > 0 THEN DO;
    DO i = 0 to msec - 1;
      CALL Time(5);          /* .2 msec delay */
    END;

END Delay;


LCD_out: PROCEDURE (char) PUBLIC;

  DECLARE char BYTE;

  /* wait for LCD to indicate NOT busy */
  DO WHILE (LCD_status AND LCD_busy) <> 0;
  END;

  /* now send the data to the LCD */
  LCD_data = char;

END LCD out;
```

LCD Driver Module

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
LCD_command_out: PROCEDURE (char) PUBLIC;

  DECLARE char BYTE;

  /* wait for LCD to indicate NOT busy */
  DO WHILE (LCD_status AND LCD_busy) <> 0;
  END;

  /* now send the command to the LCD */
  LCD_command = char;

END LCD_command_out;


Home_cursor: PROCEDURE PUBLIC;

  CALL LCD_command_out(0000$0010B);

END Home_cursor;


Clear_display: PROCEDURE PUBLIC;

  CALL LCD_command_out (0000$0001B);

END Clear_display;


Set_cursor: PROCEDURE (position) PUBLIC;

  DECLARE   position                BYTE;

  IF position > 47 THEN position = 47;
  IF position < 24 THEN CALL LCD_command_out(080H + position);
  ELSE CALL LCD_command_out(0C0H + (position - 24));

END Set_cursor;


Cursor_on: PROCEDURE PUBLIC;

  CALL LCD_command_out(0000$1111B);

END Cursor_on;


Cursor_off: PROCEDURE PUBLIC;

  CALL LCD_command_out(0000$1100B);

END Cursor_off;
```

LCD Driver Module (Continued)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
LCD_print: PROCEDURE PUBLIC;

  /* This procedure copies the contents of the LCD_buffer
     to the display */

  CALL Set_cursor(0) ;
  DO i = 0 to 23;
    CALL LCD_out(LCD_buffer(i));
  END;
  CALL Set_cursor(24);
  DO i = 24 to 47;
    CALL LCD_out(LCD_buffer(i));
  END;

END LCD_print;


Initialize_LCD: PROCEDURE PUBLIC;

  CALL Delay(100);
  CALL LCD_command_out(38H);   /* Function Set */
  CALL LCD_command_out(38H);
  CALL LCD_command_out(06H);   /* entry mode set */
  CALL Clear_display;
  CALL Home_cursor;
  CALL Cursor_off;
  CALL Set_cursor(0);

END Initialize_LCD;


END LCD_IO_Module;
```

LCD Driver Module (Continued)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

June 1998

National Semiconductor

ADC0801/ADC0802/ADC0803/ADC0804/ADC0805
8-Bit µP Compatible A/D Converters

General Description

The ADC0801, ADC0802, ADC0803, ADC0804 and ADC0805 are CMOS 8-bit successive approximation A/D converters that use a differential potentiometric ladder—similar to the 256R products. These converters are designed to allow operation with the NSC800 and INS8080A derivative control bus with TRI-STATE® output latches directly driving the data bus. These A/Ds appear like memory locations or I/O ports to the microprocessor and no interfacing logic is needed.

Differential analog voltage inputs allow increasing the common-mode rejection and offsetting the analog zero input voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

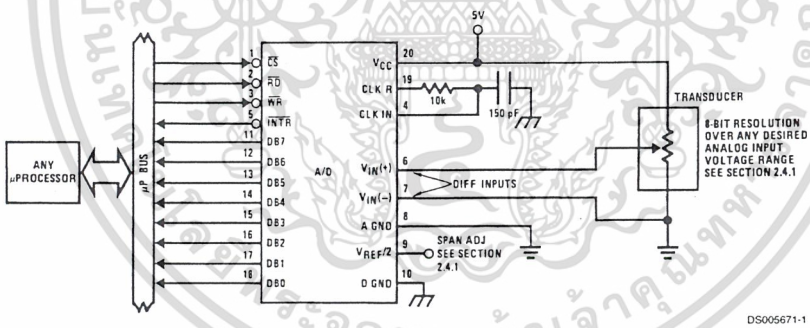
Features

- Compatible with 8080 µP derivatives—no interfacing logic needed - access time - 135 ns
- Easy interface to all microprocessors, or operates "stand alone"
- Differential analog voltage inputs
- Logic inputs and outputs meet both MOS and TTL voltage level specifications
- Works with 2.5V (LM336) voltage reference
- On-chip clock generator
- 0V to 5V analog input voltage range with single 5V supply
- No zero adjust required
- 0.3" standard width 20-pin DIP package
- 20-pin molded chip carrier or small outline package
- Operates ratiometrically or with 5 V_{DC}, 2.5 V_{DC}, or analog span adjusted voltage reference

Key Specifications

- Resolution: 8 bits
- Total error: ±¼ LSB, ±½ LSB and ±1 LSB
- Conversion time: 100 µs

Typical Applications



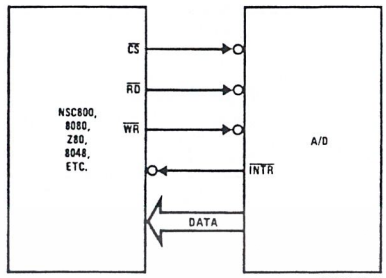
TRI-STATE® is a registered trademark of National Semiconductor Corp.
Z-80® is a registered trademark of Zilog Corp.

© 1999 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

8080 Interface



DS005671-31

Error Specification (Includes Full-Scale, Zero Error, and Non-Linearity)			
Part Number	Full-Scale Adjusted	$V_{REF}/2$=2.500 V_{DC} (No Adjustments)	$V_{REF}/2$=No Connection (No Adjustments)
ADC0801	±¼ LSB		
ADC0802		±½ LSB	
ADC0803	±½ LSB		
ADC0804		±1 LSB	
ADC0805			±1 LSB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1, 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage (V_{CC}) (Note 3)	6.5V
Voltage	
Logic Control Inputs	−0.3V to +18V
At Other Input and Outputs	−0.3V to (V_{CC}+0.3V)
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A=25°C	875 mW
ESD Susceptibility (Note 10)	800V

Operating Ratings (Notes 1, 2)

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
ADC0801/02LJ, ADC0802LJ/883	$-55°C \le T_A \le +125°C$
ADC0801/02/03/04LCJ	$-40°C \le T_A \le +85°C$
ADC0801/02/03/05LCN	$-40°C \le T_A \le +85°C$
ADC0804LCN	$0°C \le T_A \le +70°C$
ADC0802/03/04LCV	$0°C \le T_A \le +70°C$
ADC0802/03/04LCWM	$0°C \le T_A \le +70°C$
Range of V_{CC}	4.5 V_{DC} to 6.3 V_{DC}

Electrical Characteristics

The following specifications apply for V_{CC}=5 V_{DC}, $T_{MIN} \le T_A \le T_{MAX}$ and f_{CLK}=640 kHz unless otherwise specified.

Parameter	Conditions	Min	Typ	Max	Units
ADC0801: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			±¼	LSB
ADC0802: Total Unadjusted Error (Note 8)	$V_{REF}/2$=2.500 V_{DC}			±½	LSB
ADC0803: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			±½	LSB
ADC0804: Total Unadjusted Error (Note 8)	$V_{REF}/2$=2.500 V_{DC}			±1	LSB
ADC0805: Total Unadjusted Error (Note 8)	$V_{REF}/2$-No Connection			±1	LSB
$V_{REF}/2$ Input Resistance (Pin 9)	ADC0801/02/03/05	2.5	8.0		kΩ
	ADC0804 (Note 9)	0.75	1.1		kΩ
Analog Input Voltage Range	(Note 4) V(+) or V(−)	Gnd−0.05		V_{CC}+0.05	V_{DC}
DC Common-Mode Error	Over Analog Input Voltage Range		±1/16	±⅛	LSB
Power Supply Sensitivity	V_{CC}=5 V_{DC} ±10% Over Allowed V_{IN}(+) and V_{IN}(−) Voltage Range (Note 4)		±1/16	±⅛	LSB

AC Electrical Characteristics

The following specifications apply for V_{CC}=5 V_{DC} and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
T_C	Conversion Time	f_{CLK}=640 kHz (Note 6)	103		114	μs
T_C	Conversion Time	(Notes 5, 6)	66		73	$1/f_{CLK}$
f_{CLK}	Clock Frequency	V_{CC}=5V, (Note 5)	100	640	1460	kHz
	Clock Duty Cycle		40		60	%
CR	Conversion Rate in Free-Running Mode	$\overline{INTR}$ tied to $\overline{WR}$ with $\overline{CS}$ =0 V_{DC}, f_{CLK}=640 kHz	8770		9708	conv/s
$t_{W(\overline{WR})L}$	Width of $\overline{WR}$ Input (Start Pulse Width)	$\overline{CS}$ =0 V_{DC} (Note 7)	100			ns
t_{ACC}	Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Data Valid)	C_L=100 pF		135	200	ns
t_{1H}, t_{0H}	TRI-STATE Control (Delay from Rising Edge of $\overline{RD}$ to Hi-Z State)	C_L=10 pF, R_L=10k (See TRI-STATE Test Circuits)		125	200	ns
t_{WI}, t_{RI}	Delay from Falling Edge of $\overline{WR}$ or $\overline{RD}$ to Reset of $\overline{INTR}$			300	450	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued)

The following specifications apply for V_{CC}=5 V_{DC} and $T_{MIN} \leq T_A \leq T_{MAX}$ unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
C_{IN}	Input Capacitance of Logic Control Inputs			5	7.5	pF
C_{OUT}	TRI-STATE Output Capacitance (Data Buffers)			5	7.5	pF
CONTROL INPUTS [Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately]						
V_{IN} (1)	Logical "1" Input Voltage (Except Pin 4 CLK IN)	V_{CC}=5.25 V_{DC}	2.0		15	V_{DC}
V_{IN} (0)	Logical "0" Input Voltage (Except Pin 4 CLK IN)	V_{CC}=4.75 V_{DC}			0.8	V_{DC}
I_{IN} (1)	Logical "1" Input Current (All Inputs)	V_{IN}=5 V_{DC}		0.005	1	μA_{DC}
I_{IN} (0)	Logical "0" Input Current (All Inputs)	V_{IN}=0 V_{DC}	-1	-0.005		μA_{DC}
CLOCK IN AND CLOCK R						
$V_{T}+$	CLK IN (Pin 4) Positive Going Threshold Voltage		2.7	3.1	3.5	V_{DC}
$V_{T}-$	CLK IN (Pin 4) Negative Going Threshold Voltage		1.5	1.8	2.1	V_{DC}
V_H	CLK IN (Pin 4) Hysteresis $(V_{T}+)-(V_{T}-)$		0.6	1.3	2.0	V_{DC}
V_{OUT} (0)	Logical "0" CLK R Output Voltage	I_O=360 µA V_{CC}=4.75 V_{DC}			0.4	V_{DC}
V_{OUT} (1)	Logical "1" CLK R Output Voltage	I_O=-360 µA V_{CC}=4.75 V_{DC}	2.4			V_{DC}
DATA OUTPUTS AND $\overline{INTR}$						
V_{OUT} (0)	Logical "0" Output Voltage Data Outputs $\overline{INTR}$ Output	 I_{OUT}=1.6 mA, V_{CC}=4.75 V_{DC} I_{OUT}=1.0 mA, V_{CC}=4.75 V_{DC}			 0.4 0.4	 V_{DC} V_{DC}
V_{OUT} (1)	Logical "1" Output Voltage	I_O=-360 µA, V_{CC}=4.75 V_{DC}	2.4			V_{DC}
V_{OUT} (1)	Logical "1" Output Voltage	I_O=-10 µA, V_{CC}=4.75 V_{DC}	4.5			V_{DC}
I_{OUT}	TRI-STATE Disabled Output Leakage (All Data Buffers)	V_{OUT}=0 V_{DC} V_{OUT}=5 V_{DC}	-3		 3	μA_{DC} μA_{DC}
I_{SOURCE}		V_{OUT} Short to Gnd, T_A=25°C	4.5	6		mA_{DC}
I_{SINK}		V_{OUT} Short to V_{CC}, T_A=25°C	9.0	16		mA_{DC}
POWER SUPPLY						
I_{CC}	Supply Current (Includes Ladder Current) ADC0801/02/03/04LCJ/05 ADC0804LCN/LCV/LCWM	f_{CLK}=640 kHz, $V_{REF}/2$=NC, T_A=25°C and $\overline{CS}$ =5V		 1.1 1.9	 1.8 2.5	 mA mA

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to Gnd, unless otherwise specified. The separate A Gnd point should always be wired to the D Gnd.

Note 3: A zener diode exists, internally, from V_{CC} to Gnd and has a typical breakdown voltage of 7 V_{DC}.

Note 4: For $V_{IN}(-) \geq V_{IN}(+)$ the digital output code will be 0000 0000. Two on-chip diodes are tied to each analog input (see block diagram) which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. Be careful, during testing at low V_{CC} levels (4.5V), as high level analog inputs (5V) can cause this input diode to conduct–especially at elevated temperatures, and cause errors for analog inputs near full-scale. The spec allows 50 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 50 mV, the output code will be correct. To achieve an absolute 0 V_{DC} to 5 V_{DC} input voltage range will therefore require a minimum supply voltage of 4.950 V_{DC} over temperature variations, initial tolerance and loading.

Note 5: Accuracy is guaranteed at f_{CLK} = 640 kHz. At higher clock frequencies accuracy can degrade. For lower clock frequencies, the duty cycle limits can be extended so long as the minimum clock high time interval or minimum clock low time interval is no less than 275 ns.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued)

Note 6: With an asynchronous start pulse, up to 8 clock periods may be required before the internal clock phases are proper to start the conversion process. The start request is internally latched, see *Figure 4* and section 2.0.

Note 7: The $\overline{CS}$ input is assumed to bracket the $\overline{WR}$ strobe input and therefore timing is dependent on the $\overline{WR}$ pulse width. An arbitrarily wide pulse width will hold the converter in a reset mode and the start of conversion is initiated by the low to high transition of the $\overline{WR}$ pulse (see timing diagrams).

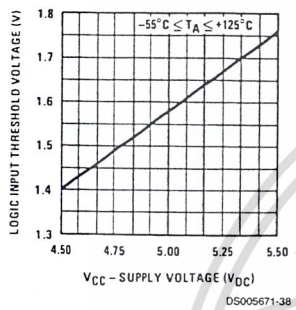
Note 8: None of these A/Ds requires a zero adjust (see section 2.5.1). To obtain zero code at other analog input voltages see section 2.5 and *Figure 7*.

Note 9: The $V_{REF}/2$ pin is the center point of a two-resistor divider connected from V_{CC} to ground. In all versions of the ADC0801, ADC0802, ADC0803, and ADC0805, and in the ADC0804LCJ, each resistor is typically 16 kΩ. In all versions of the ADC0804 except the ADC0804LCJ, each resistor is typically 2.2 kΩ.

Note 10: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

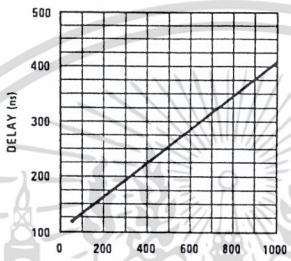
Typical Performance Characteristics

Logic Input Threshold Voltage vs. Supply Voltage



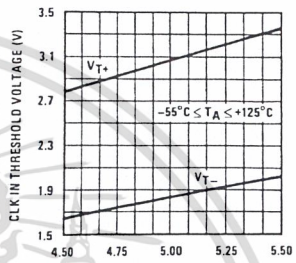
DS005671-38

Delay From Falling Edge of RD to Output Data Valid vs. Load Capacitance



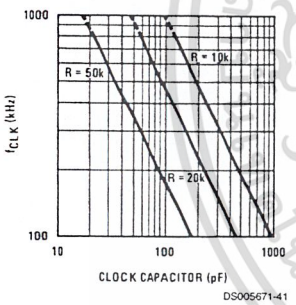
DS005671-39

CLK IN Schmitt Trip Levels vs. Supply Voltage



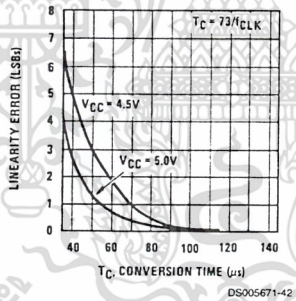
DS005671-40

f_{CLK} vs. Clock Capacitor



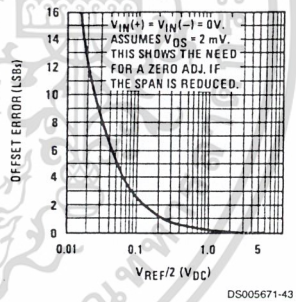
DS005671-41

Full-Scale Error vs Conversion Time



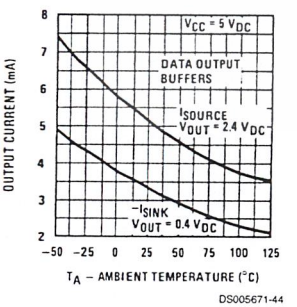
DS005671-42

Effect of Unadjusted Offset Error vs. $V_{REF}/2$ Voltage



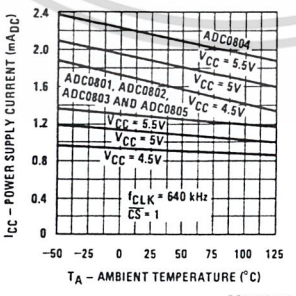
DS005671-43

Output Current vs Temperature



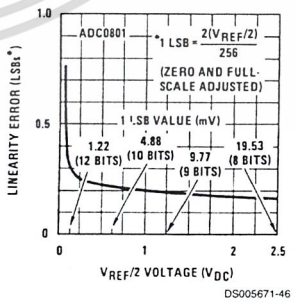
DS005671-44

Power Supply Current vs Temperature (Note 9)



DS005671-45

Linearity Error at Low $V_{REF}/2$ Voltages

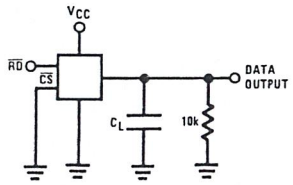


DS005671-46

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

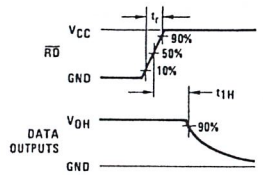
TRI-STATE Test Circuits and Waveforms

t_{1H}



DS005671-47

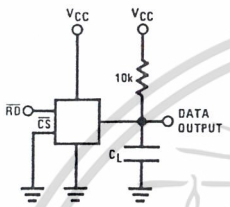
t_{1H}, C_L=10 pF



DS005671-48

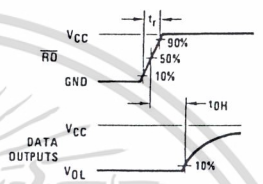
t_r=20 ns

t_{0H}



DS005671-49

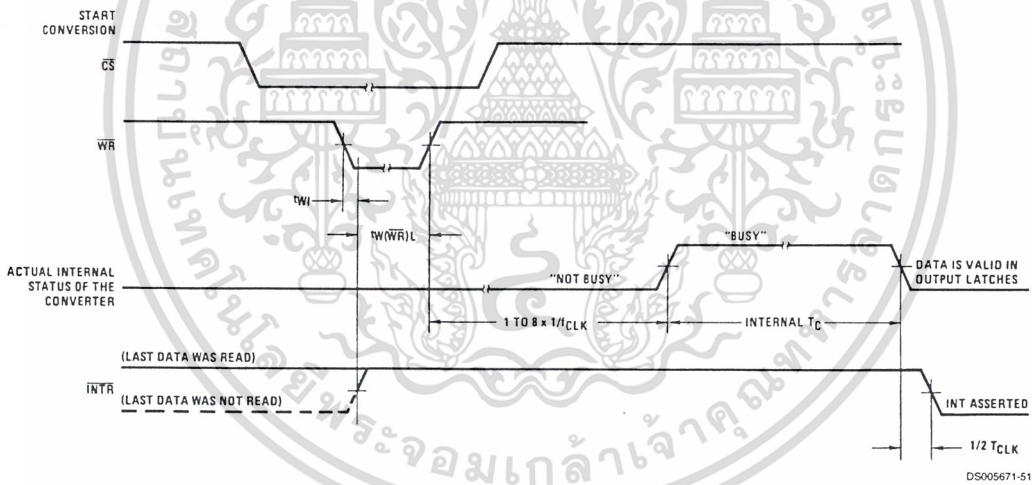
t_{0H}, C_L=10 pF



DS005671-50

t_r=20 ns

Timing Diagrams (All timing is measured from the 50% voltage points)

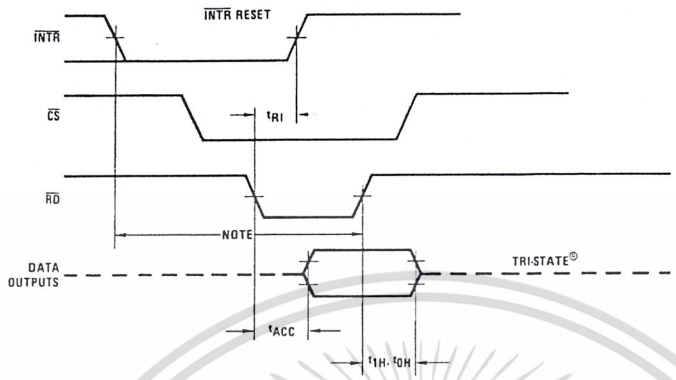


DS005671-51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Diagrams (All timing is measured from the 50% voltage points) (Continued)

Output Enable and Reset with $\overline{INTR}$

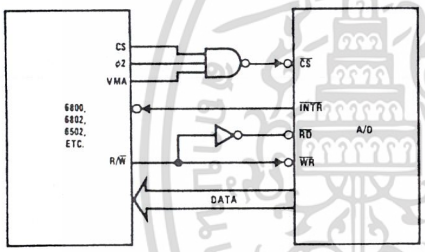


DS005671-52

Note: Read strobe must occur 8 clock periods ($8/f_{CLK}$) after assertion of interrupt to guarantee reset of $\overline{INTR}$.

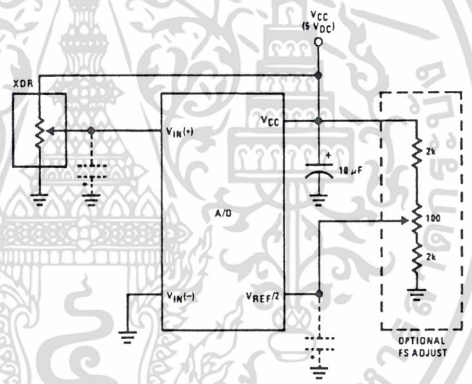
Typical Applications

6800 Interface



DS005671-53

Ratiometeric with Full-Segment Adjust



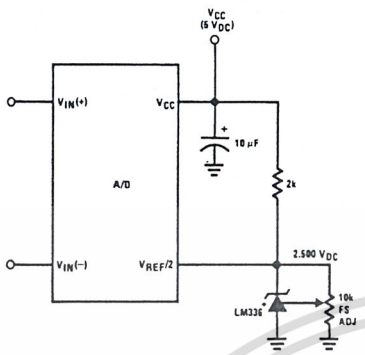
DS005671-54

Note: before using caps at V_{IN} or $V_{REF}/2$, see section 2.3.2 Input Bypass Capacitors.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

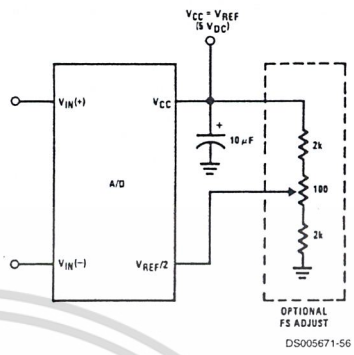
Absolute with a 2.500V Reference



DS005671-55

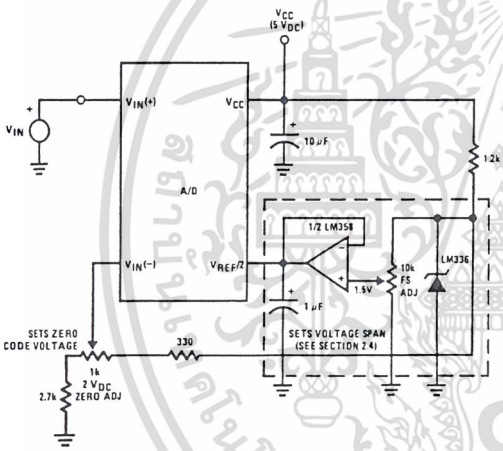
*For low power, see also LM385–2.5

Absolute with a 5V Reference



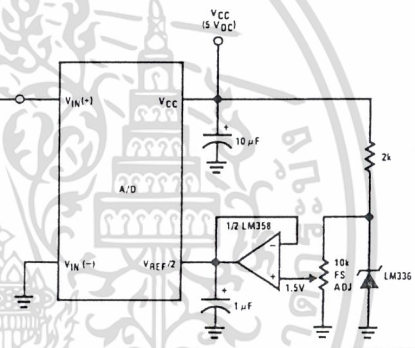
DS005671-56

Zero-Shift and Span Adjust: 2V ≤ V_{IN} ≤ 5V



DS005671-57

Span Adjust: 0V ≤ V_{IN} ≤ 3V

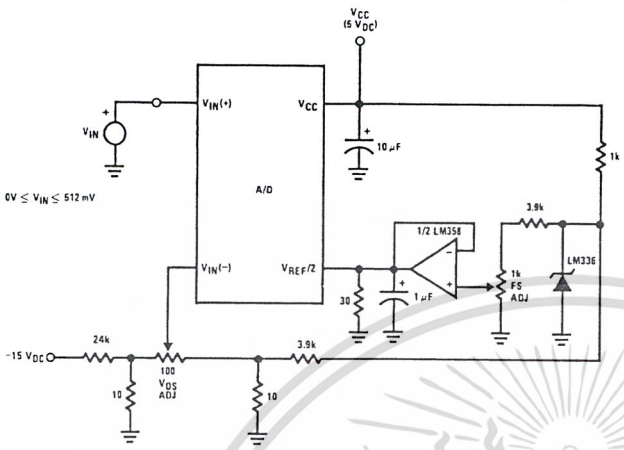


DS005671-58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

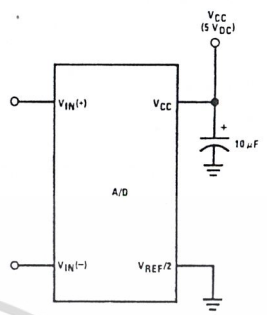
Directly Converting a Low-Level Signal



DS005671-59

$V_{REF}/2$=256 mV

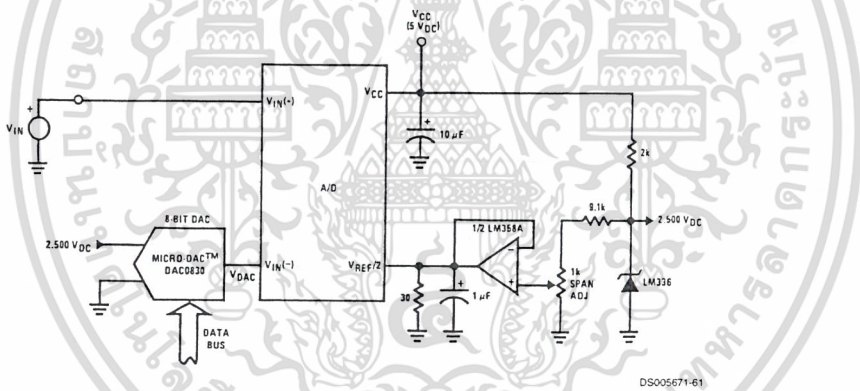
A µP Interfaced Comparator



DS005671-60

For:
$V_{IN}(+) > V_{IN}(-)$
Output=FF_{HEX}
For:
$V_{IN}(+) < V_{IN}(-)$
Output=00_{HEX}

1 mV Resolution with µP Controlled Range



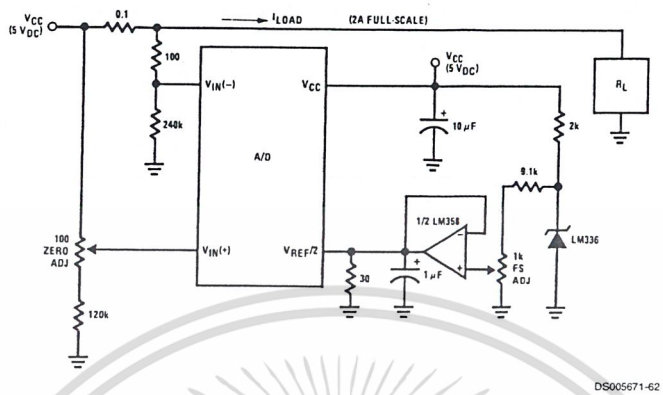
DS005671-61

$V_{REF}/2$=128 mV
1 LSB=1 mV
$V_{DAC} \leq V_{IN} \leq (V_{DAC}+256\ mV)$
$0 \leq V_{DAC} < 2.5V$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

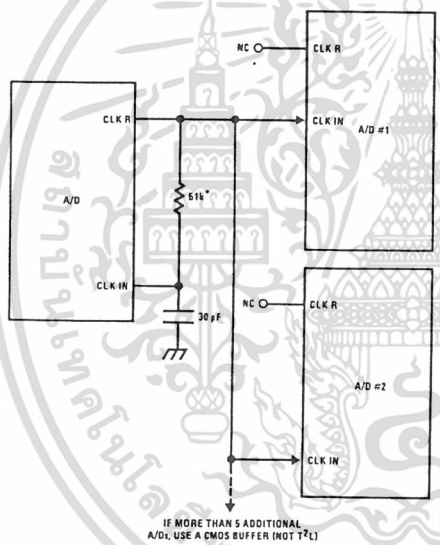
Typical Applications (Continued)

Digitizing a Current Flow



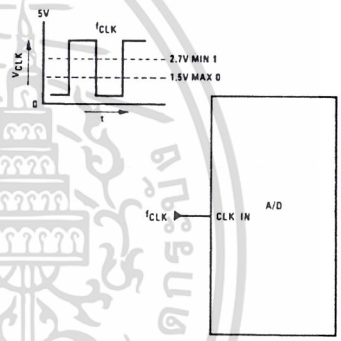
DS005671-62

Self-Clocking Multiple A/Ds



DS005671-63

External Clocking



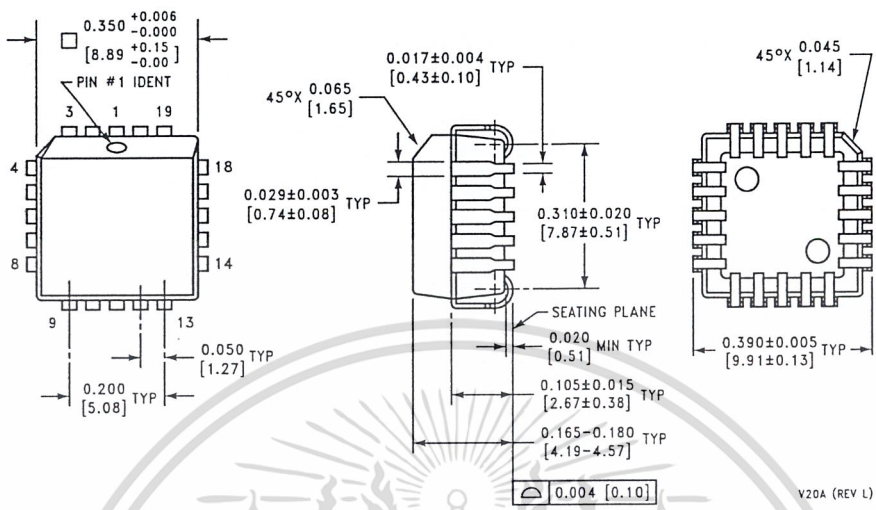
DS005671-64

100 kHz≤f_{CLK}≤1460 kHz

* Use a large R value to reduce loading at CLK R output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



Molded Chip Carrier Package (V)
Order Number ADC0802LCV, ADC0803LCV or ADC0804LCV
NS Package Number V20A

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
Americas
Tel: 1-800-272-9959
Fax: 1-800-737-7018
Email: support@nsc.com

www.national.com

National Semiconductor Europe
Fax: +49 (0) 1 80-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 1 80-530 85 85
English Tel: +49 (0) 1 80-532 78 32
Français Tel: +49 (0) 1 80-532 93 58
Italiano Tel: +49 (0) 1 80-534 16 80

National Semiconductor Asia Pacific Customer Response Group
Tel: 65-2544466
Fax: 65-2504466
Email: sea.support@nsc.com

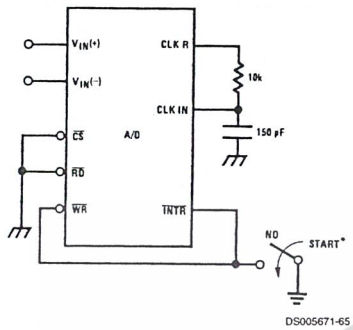
National Semiconductor Japan Ltd.
Tel: 81-3-5639-7560
Fax: 81-3-5639-7507

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

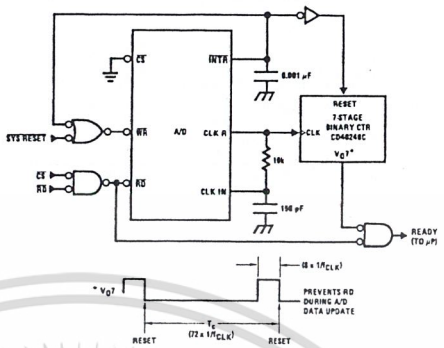
Self-Clocking in Free-Running Mode



DS005671-65

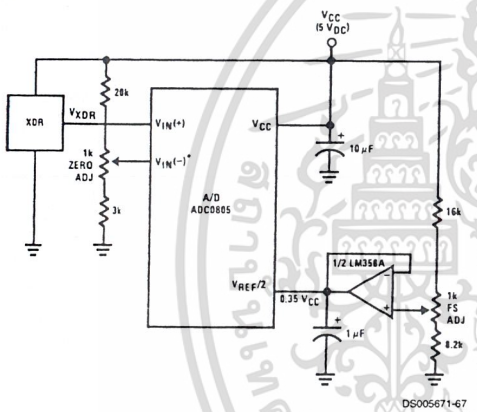
*After power-up, a momentary grounding of the $\overline{WR}$ input is needed to guarantee operation.

µP Interface for Free-Running A/D



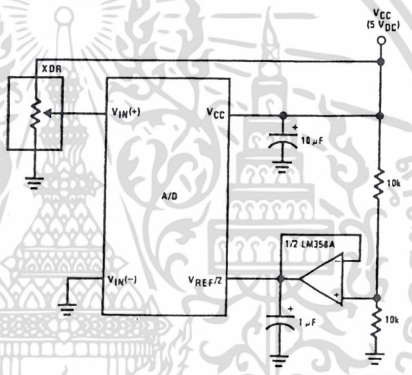
DS005671-66

Operating with "Automotive" Ratiometric Transducers



DS005671-67

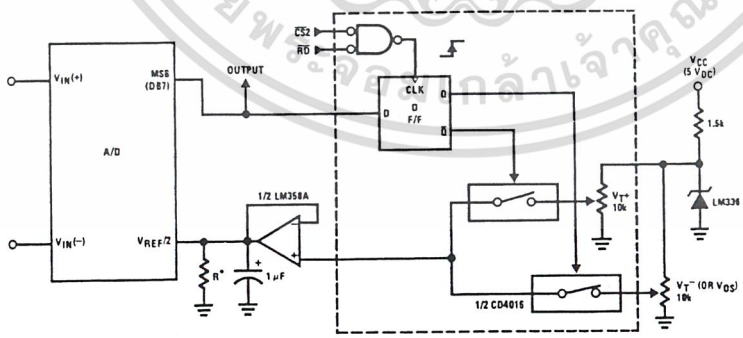
Ratiometric with $V_{REF}/2$ Forced



DS005671-68

*$V_{IN}(-)$=0.15 V_{CC}
15% of $V_{CC} \leq V_{XDR} \leq 85\%$ of V_{CC}

µP Compatible Differential-Input Comparator with Pre-Set V_{OS} (with or without Hysteresis)



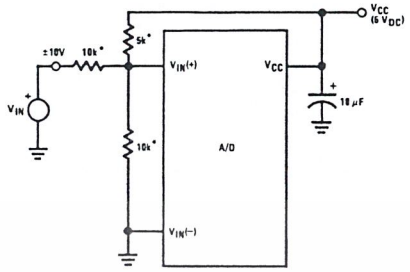
DS005671-69

*See *Figure 5* to select R value
DB7="1" for $V_{IN}(+) > V_{IN}(-) + (V_{REF}/2)$
Omit circuitry within the dotted area if hysteresis is not needed

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

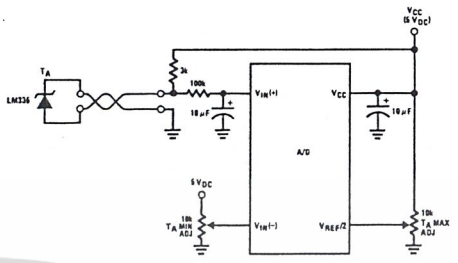
Handling ±10V Analog Inputs



DS005671-70

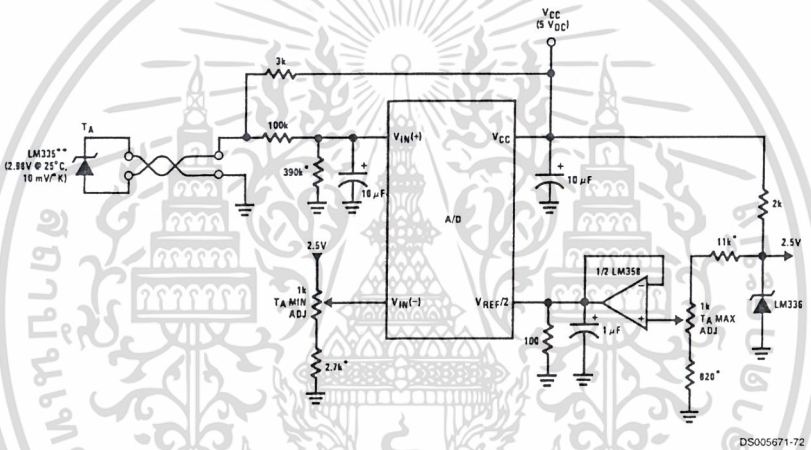
*Beckman Instruments #694-3-R10K resistor array

Low-Cost, µP Interfaced, Temperature-to-Digital Converter



DS005671-71

µP Interfaced Temperature-to-Digital Converter



DS005671-72

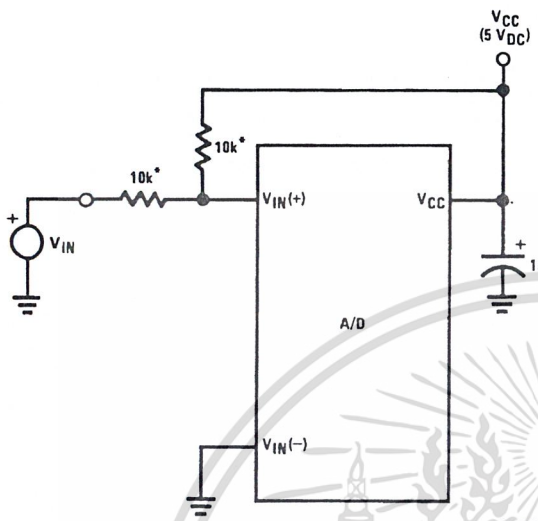
*Circuit values shown are for $0°C \leq T_A \leq +128°C$

***Can calibrate each sensor to allow easy replacement, then A/D can be calibrated with a pre-set input voltage.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

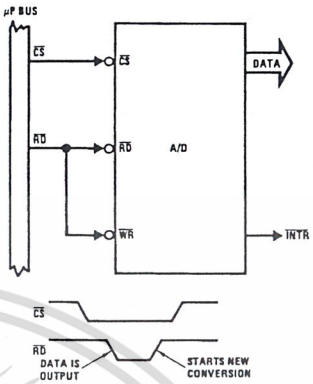
Handling ±5V Analog Inputs



DS005671-33

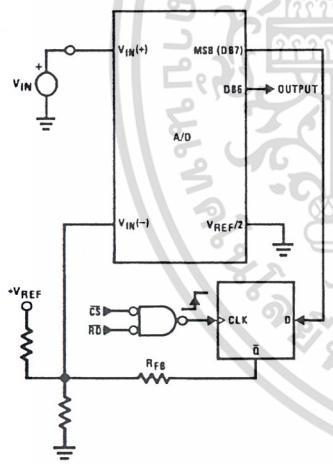
*Beckman Instruments #694-3-R10K resistor array

Read-Only Interface



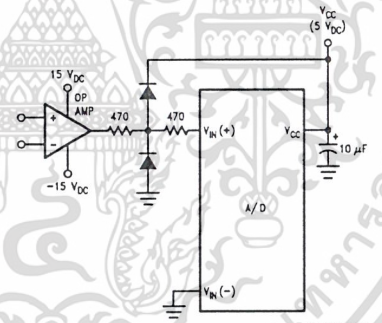
DS005671-34

µP Interfaced Comparator with Hysteresis



DS005671-35

Protecting the Input



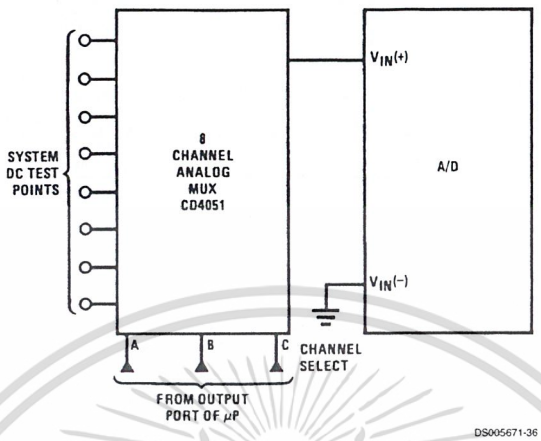
Diodes are 1N914

DS005671-9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

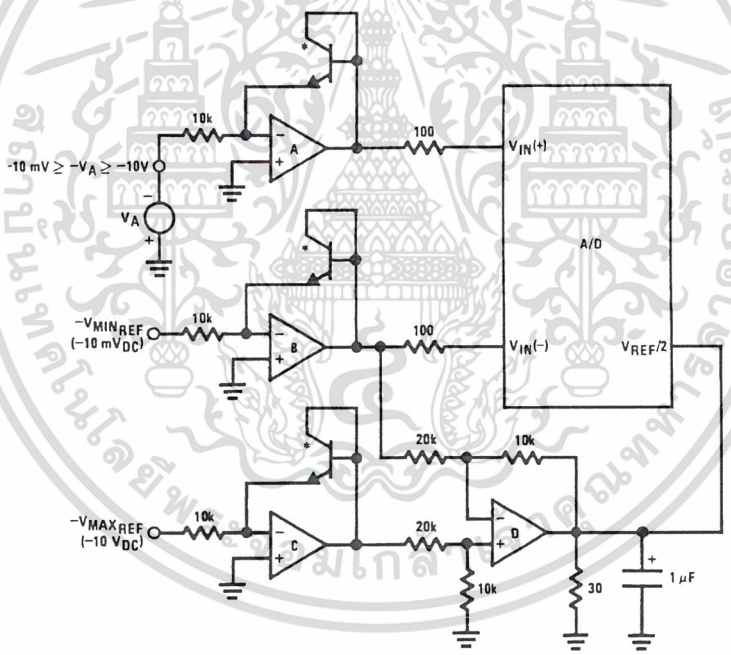
Typical Applications (Continued)

Analog Self-Test for a System



DS005671-36

A Low-Cost, 3-Decade Logarithmic Converter



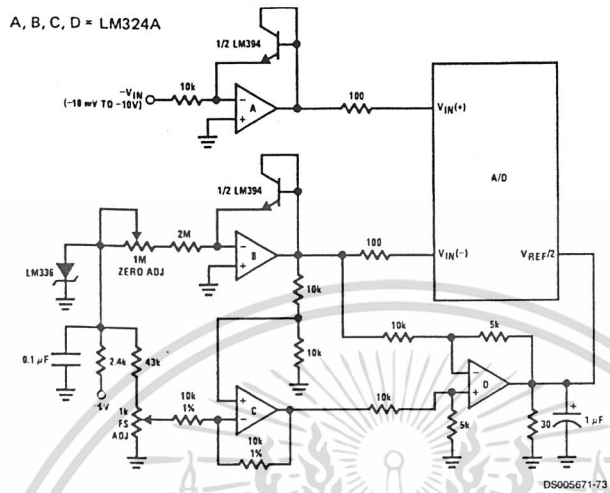
DS005671-37

*LM389 transistors
A, B, C, D = LM324A quad op amp

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

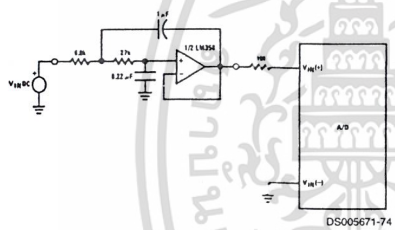
Typical Applications (Continued)

3-Decade Logarithmic A/D Converter



DS005671-73

Noise Filtering the Analog Input



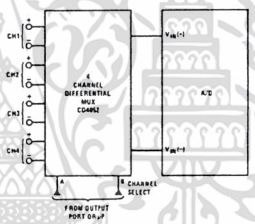
DS005671-74

f_C=20 Hz

Uses Chebyshev implementation for steeper roll-off unity-gain, 2nd order, low-pass filter

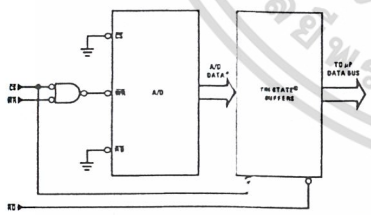
Adding a separate filter for each channel increases system response time if an analog multiplexer is used

Multiplexing Differential Inputs



DS005671-75

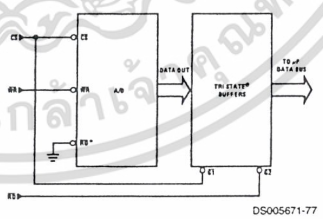
Output Buffers with A/D Data Enabled



DS005671-76

*A/D output data is updated 1 CLK period prior to assertion of $\overline{INTR}$

Increasing Bus Drive and/or Reducing Time on Bus



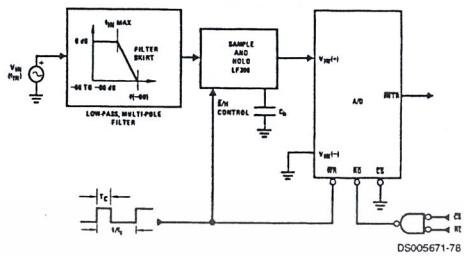
DS005671-77

*Allows output data to set-up at falling edge of $\overline{CS}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

Sampling an AC Input Signal

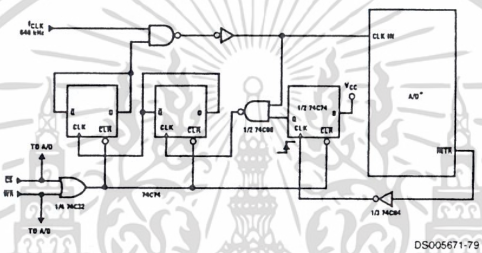


DS005671-78

Note 11: Oversample whenever possible [keep fs > 2f(−60)] to eliminate input frequency folding (aliasing) and to allow for the skirt response of the filter.

Note 12: Consider the amplitude errors which are introduced within the passband of the filter.

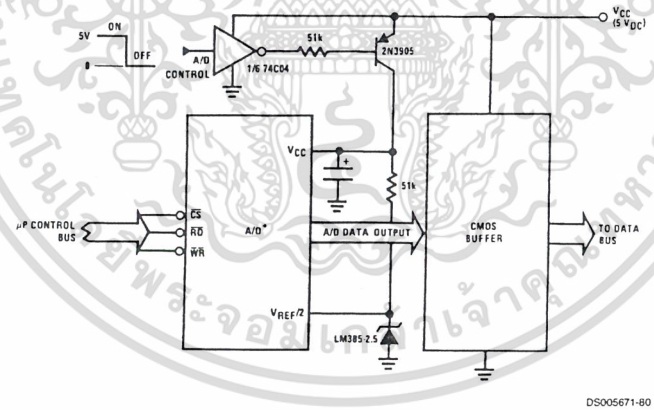
70% Power Savings by Clock Gating



DS005671-79

(Complete shutdown takes = 30 seconds.)

Power Savings by A/D and V_{REF} Shutdown



DS005671-80

*Use ADC0801, 02, 03 or 05 for lowest power consumption.

Note: Logic inputs can be driven to V_{CC} with A/D supply at zero volts.

Buffer prevents data bus from overdriving output of A/D when in shutdown mode.

Functional Description

1.0 UNDERSTANDING A/D ERROR SPECS

A perfect A/D transfer characteristic (staircase waveform) is shown in *Figure 1*. The horizontal scale is analog input voltage and the particular points labeled are in steps of 1 LSB (19.53 mV with 2.5V tied to the $V_{REF}/2$ pin). The digital output codes that correspond to these inputs are shown as D−1, D, and D+1. For the perfect A/D, not only will center-value (A−1, A, A+1, ...) analog inputs produce the correct output digital codes, but also each riser (the transitions between adjacent output codes) will be located ±½ LSB away from each center-value. As shown, the risers are ideal and have no width. Correct digital output codes will be provided for a range of analog input voltages that extend ±½ LSB from the ideal center-values. Each tread (the range of analog input voltage that provides the same digital output code) is therefore 1 LSB wide.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

Figure 2 shows a worst case error plot for the ADC0801. All center-valued inputs are guaranteed to produce the correct output codes and the adjacent risers are guaranteed to be no closer to the center-value points than ±¼ LSB. In other words, if we apply an analog input equal to the center-value ±¼ LSB, *we guarantee* that the A/D will produce the correct digital code. The maximum range of the position of the code transition is indicated by the horizontal arrow and it is guaranteed to be no more than ½ LSB.

The error curve of *Figure 3* shows a worst case error plot for the ADC0802. Here we guarantee that if we apply an analog input equal to the LSB analog voltage center-value the A/D will produce the correct digital code.

Next to each transfer function is shown the corresponding error plot. Many people may be more familiar with error plots than transfer functions. The analog input voltage to the A/D is provided by either a linear ramp or by the discrete output steps of a high resolution DAC. Notice that the error is continuously displayed and includes the quantization uncertainty of the A/D. For example the error at point 1 of *Figure 1* is +½ LSB because the digital code appeared ½ LSB in advance of the center-value of the tread. The error plots always have a constant negative slope and the abrupt upside steps are always 1 LSB in magnitude.

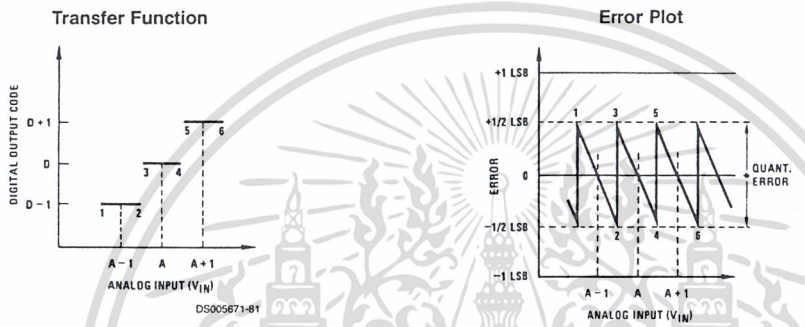


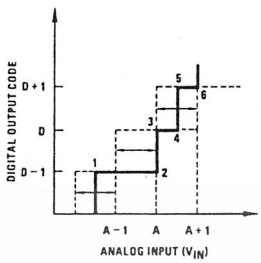
FIGURE 1. Clarifying the Error Specs of an A/D Converter Accuracy=±0 LSB: A Perfect A/D

FIGURE 2. Clarifying the Error Specs of an A/D Converter Accuracy=±¼ LSB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

Transfer Function



Error Plot

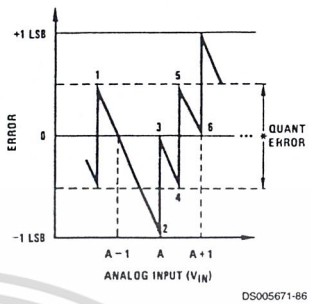


FIGURE 3. Clarifying the Error Specs of an A/D Converter
Accuracy=±½ LSB

2.0 FUNCTIONAL DESCRIPTION

The ADC0801 series contains a circuit equivalent of the 256R network. Analog switches are sequenced by successive approximation logic to match the analog difference input voltage [$V_{IN}(+) - V_{IN}(-)$] to a corresponding tap on the R network. The most significant bit is tested first and after 8 comparisons (64 clock cycles) a digital 8-bit binary code (1111 1111 = full-scale) is transferred to an output latch and then an interrupt is asserted ($\overline{INTR}$ makes a high-to-low transition). A conversion in process can be interrupted by issuing a second start command. The device may be operated in the free-running mode by connecting $\overline{INTR}$ to the $\overline{WR}$ input with $\overline{CS}$ =0. To ensure start-up under all possible conditions, an external $\overline{WR}$ pulse is required during the first power-up cycle.

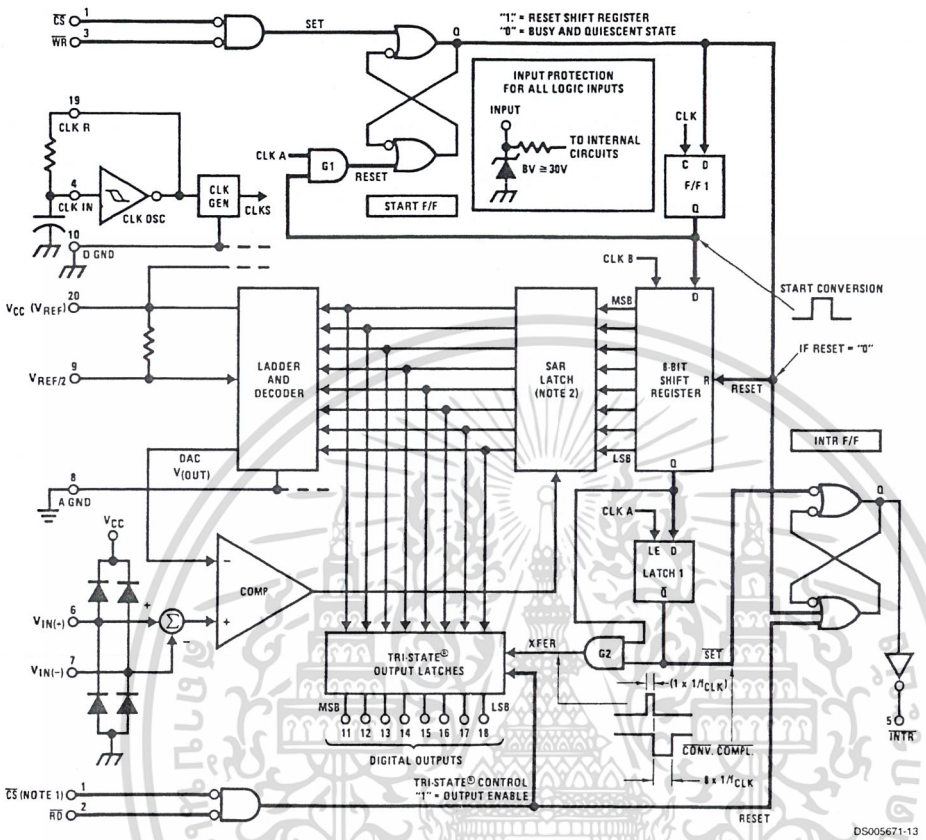
On the high-to-low transition of the $\overline{WR}$ input the internal SAR latches and the shift register stages are reset. As long as the $\overline{CS}$ input and $\overline{WR}$ input remain low, the A/D will remain in a reset state. *Conversion will start from 1 to 8 clock periods after at least one of these inputs makes a low-to-high transition.*

A functional diagram of the A/D converter is shown in *Figure 4*. All of the package pinouts are shown and the major logic control paths are drawn in heavier weight lines.

The converter is started by having $\overline{CS}$ and $\overline{WR}$ simultaneously low. This sets the start flip-flop (F/F) and the resulting "1" level resets the 8-bit shift register, resets the Interrupt (INTR) F/F and inputs a "1" to the D flop, F/F1, which is at the input end of the 8-bit shift register. Internal clock signals then transfer this "1" to the Q output of F/F1. The AND gate, G1, combines this "1" output with a clock signal to provide a reset signal to the start F/F. If the set signal is no longer present (either $\overline{WR}$ or $\overline{CS}$ is a "1") the start F/F is reset and the 8-bit shift register then can have the "1" clocked in, which starts the conversion process. If the set signal were to still be present, this reset pulse would have no effect (both outputs of the start F/F would momentarily be at a "1" level) and the 8-bit shift register would continue to be held in the reset mode. This logic therefore allows for wide $\overline{CS}$ and $\overline{WR}$ signals and the converter will start after at least one of these signals returns high and the internal clocks again provide a reset signal for the start F/F.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)



Note 13: $\overline{CS}$ shown twice for clarity.

Note 14: SAR = Successive Approximation Register.

FIGURE 4. Block Diagram

After the "1" is clocked through the 8-bit shift register (which completes the SAR search) it appears as the input to the D-type latch, LATCH 1. As soon as this "1" is output from the shift register, the AND gate, G2, causes the new digital word to transfer to the TRI-STATE output latches. When LATCH 1 is subsequently enabled, the Q output makes a high-to-low transition which causes the INTR F/F to set. An inverting buffer then supplies the $\overline{INTR}$ input signal.

Note that this $\overline{SET}$ control of the INTR F/F remains low for 8 of the external clock periods (as the internal clocks run at 1/8 of the frequency of the external clock). If the data output is continuously enabled ($\overline{CS}$ and $\overline{RD}$ both held low), the $\overline{INTR}$ output will still signal the end of conversion (by a high-to-low transition), because the $\overline{SET}$ input can control the Q output of the INTR F/F even though the RESET input is constantly at a "1" level in this operating mode. This $\overline{INTR}$ output will therefore stay low for the duration of the $\overline{SET}$ signal, which is 8 periods of the external clock frequency (assuming the A/D is not started during this interval).

When operating in the free-running or continuous conversion mode ($\overline{INTR}$ pin tied to $\overline{WR}$ and $\overline{CS}$ wired low—see also section 2.8), the START F/F is SET by the high-to-low transition of the $\overline{INTR}$ signal. This resets the SHIFT REGISTER which causes the input to the D-type latch, LATCH 1, to go low. As the latch enable input is still present, the $\overline{Q}$ output will go high, which then allows the INTR F/F to be RESET. This reduces the width of the resulting $\overline{INTR}$ output pulse to only a few propagation delays (approximately 300 ns).

When data is to be read, the combination of both $\overline{CS}$ and $\overline{RD}$ being low will cause the INTR F/F to be reset and the TRI-STATE output latches will be enabled to provide the 8-bit digital outputs.

2.1 Digital Control Inputs

The digital control inputs ($\overline{CS}$, $\overline{RD}$, and $\overline{WR}$) meet standard T^2L logic voltage levels. These signals have been renamed when compared to the standard A/D Start and Output Enable labels. In addition, these inputs are active low to allow an easy interface to microprocessor control busses. For non-microprocessor based applications, the $\overline{CS}$ input (pin 1) can be grounded and the standard A/D Start function is obtained by an active low pulse applied at the $\overline{WR}$ input (pin 3) and the Output Enable function is caused by an active low pulse at the $\overline{RD}$ input (pin 2).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

2.2 Analog Differential Voltage Inputs and Common-Mode Rejection

This A/D has additional applications flexibility due to the analog differential voltage input. The $V_{IN}(-)$ input (pin 7) can be used to automatically subtract a fixed voltage value from the input reading (tare correction). This is also useful in 4 mA–20 mA current loop conversion. In addition, common-mode noise can be reduced by use of the differential input.

The time interval between sampling $V_{IN}(+)$ and $V_{IN}(-)$ is 4-½ clock periods. The maximum error voltage due to this slight time difference between the input voltage samples is given by:

$$\Delta V_e(MAX) = (V_P)(2\pi f_{cm})\left(\frac{4.5}{f_{CLK}}\right)$$

where:

ΔV_e is the error voltage due to sampling delay

V_P is the peak value of the common-mode voltage

f_{cm} is the common-mode frequency

As an example, to keep this error to ¼ LSB (~5 mV) when operating with a 60 Hz common-mode frequency, f_{cm}, and using a 640 kHz A/D clock, f_{CLK}, would allow a peak value of the common-mode voltage, V_P, which is given by:

$$V_P = \frac{[\Delta V_{e(MAX)}\,(f_{CLK})]}{(2\pi f_{cm})\,(4.5)}$$

or

$$V_P = \frac{(5 \times 10^{-3})\,(640 \times 10^3)}{(6.28)\,(60)\,(4.5)}$$

which gives

$V_P \cong 1.9V$.

The allowed range of analog input voltages usually places more severe restrictions on input common-mode noise levels.

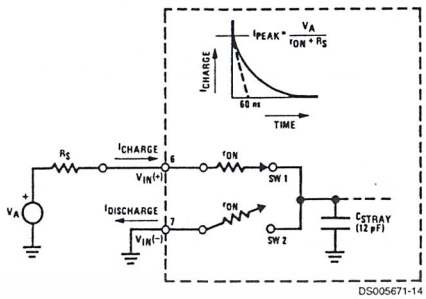
An analog input voltage with a reduced span and a relatively large zero offset can be handled easily by making use of the differential input (see section 2.4 Reference Voltage).

2.3 Analog Inputs

2.3 1 Input Current

Normal Mode

Due to the internal switching action, displacement currents will flow at the analog inputs. This is due to on-chip stray capacitance to ground as shown in *Figure 5*.



r_{ON} of SW 1 and SW 2 ≡ 5 kΩ

$r = r_{ON}\, C_{STRAY} \equiv 5\ k\Omega \times 12\ pF = 60\ ns$

FIGURE 5. Analog Input Impedance

The voltage on this capacitance is switched and will result in currents entering the $V_{IN}(+)$ input pin and leaving the $V_{IN}(-)$ input which will depend on the analog differential input voltage levels. These current transients occur at the leading edge of the internal clocks. They rapidly decay and *do not cause errors* as the on-chip comparator is strobed at the end of the clock period.

Fault Mode

If the voltage source applied to the $V_{IN}(+)$ or $V_{IN}(-)$ pin exceeds the allowed operating range of V_{CC}+50 mV, large input currents can flow through a parasitic diode to the V_{CC} pin. If these currents can exceed the 1 mA max allowed spec, an external diode (1N914) should be added to bypass this current to the V_{CC} pin (with the current bypassed with this diode, the voltage at the $V_{IN}(+)$ pin can exceed the V_{CC} voltage by the forward voltage of this diode).

2.3.2 Input Bypass Capacitors

Bypass capacitors at the inputs will average these charges and cause a DC current to flow through the output resistances of the analog signal sources. This charge pumping action is worse for continuous conversions with the $V_{IN}(+)$ input voltage at full-scale. For continuous conversions with a 640 kHz clock frequency with the $V_{IN}(+)$ input at 5V, this DC current is at a maximum of approximately 5 µA. Therefore, *bypass capacitors should not be used at the analog inputs or the $V_{REF}/2$ pin* for high resistance sources (> 1 kΩ). If input bypass capacitors are necessary for noise filtering and high source resistance is desirable to minimize capacitor size, the detrimental effects of the voltage drop across this input resistance, which is due to the average value of the input current, can be eliminated with a full-scale adjustment while the given source resistor and input bypass capacitor are both in place. This is possible because the average value of the input current is a precise linear function of the differential input voltage.

2.3.3 Input Source Resistance

Large values of source resistance where an input bypass capacitor is not used, *will not cause errors* as the input currents settle out prior to the comparison time. If a low pass filter is required in the system, use a low valued series resistor (≤ 1 kΩ) for a passive RC section or add an op amp RC active low pass filter. For low source resistance applications, (≤ 1 kΩ), a 0.1 µF bypass capacitor at the inputs will prevent noise pickup due to series lead inductance of a long wire. A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

100Ω series resistor can be used to isolate this capacitor—both the R and C are placed outside the feedback loop—from the output of an op amp, if used.

2.3.4 Noise

The leads to the analog inputs (pins 6 and 7) should be kept as short as possible to minimize input noise coupling. Both noise and undesired digital clock coupling to these inputs can cause system errors. The source resistance for these inputs should, in general, be kept below 5 kΩ. Larger values of source resistance can cause undesired system noise pickup. Input bypass capacitors, placed from the analog inputs to ground, will eliminate system noise pickup but can create analog scale errors as these capacitors will average the transient input switching currents of the A/D (see section 2.3.1.). This scale error depends on both a large source resistance and the use of an input bypass capacitor. This error can be eliminated by doing a full-scale adjustment of the A/D (adjust $V_{REF}/2$ for a proper full-scale reading—see section 2.5.2 on Full-Scale Adjustment) with the source resistance and input bypass capacitor in place.

2.4 Reference Voltage

2.4.1 Span Adjust

For maximum applications flexibility, these A/Ds have been designed to accommodate a 5 V_{DC}, 2.5 V_{DC} or an adjusted voltage reference. This has been achieved in the design of the IC as shown in *Figure 6*.

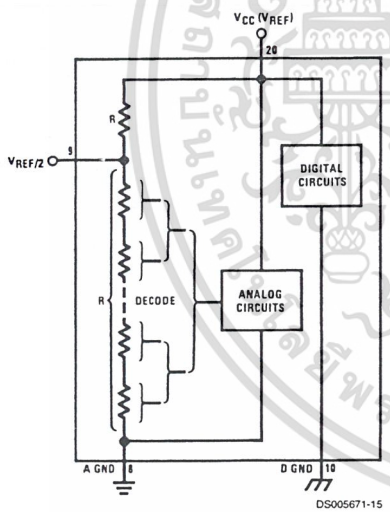


FIGURE 6. The $V_{REFERENCE}$ Design on the IC

Notice that the reference voltage for the IC is either ½ of the voltage applied to the V_{CC} supply pin, or is equal to the voltage that is externally forced at the $V_{REF}/2$ pin. This allows for a ratiometric voltage reference using the V_{CC} supply, a 5 V_{DC} reference voltage can be used for the V_{CC} supply or a voltage less than 2.5 V_{DC} can be applied to the $V_{REF}/2$ input for increased application flexibility. The internal gain to the $V_{REF}/2$ input is 2, making the full-scale differential input voltage twice the voltage at pin 9.

An example of the use of an adjusted reference voltage is to accommodate a reduced span—or dynamic voltage range of the analog input voltage. If the analog input voltage were to range from 0.5 V_{DC} to 3.5 V_{DC}, instead of 0V to 5 V_{DC}, the span would be 3V as shown in *Figure 7*. With 0.5 V_{DC} applied to the $V_{IN}(-)$ pin to absorb the offset, the reference voltage can be made equal to ½ of the 3V span or 1.5 V_{DC}. The A/D now will encode the $V_{IN}(+)$ signal from 0.5V to 3.5 V with the 0.5V input corresponding to zero and the 3.5 V_{DC} input corresponding to full-scale. The full 8 bits of resolution are therefore applied over this reduced analog input voltage range.

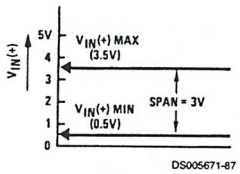
2.4.2 Reference Accuracy Requirements

The converter can be operated in a ratiometric mode or an absolute mode. In ratiometric converter applications, the magnitude of the reference voltage is a factor in both the output of the source transducer and the output of the A/D converter and therefore cancels out in the final digital output code. The ADC0805 is specified particularly for use in ratiometric applications with no adjustments required. In absolute conversion applications, both the initial value and the temperature stability of the reference voltage are important factors in the accuracy of the A/D converter. For $V_{REF}/2$ voltages of 2.4 V_{DC} nominal value, initial errors of ±10 mV_{DC} will cause conversion errors of ±1 LSB due to the gain of 2 of the $V_{REF}/2$ input. In reduced span applications, the initial value and the stability of the $V_{REF}/2$ input voltage become even more important. For example, if the span is reduced to 2.5V, the analog input LSB voltage value is correspondingly reduced from 20 mV (5V span) to 10 mV and 1 LSB at the $V_{REF}/2$ input becomes 5 mV. As can be seen, this reduces the allowed initial tolerance of the reference voltage and requires correspondingly less absolute change with temperature variations. Note that spans smaller than 2.5V place even tighter requirements on the initial accuracy and stability of the reference source.

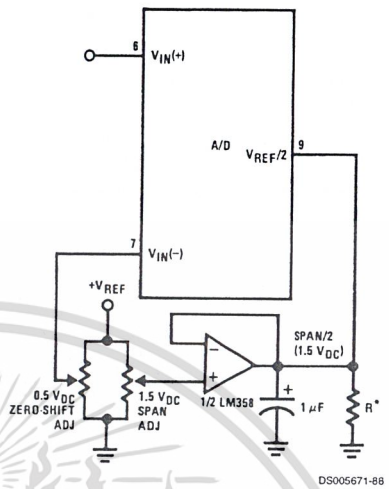
In general, the magnitude of the reference voltage will require an initial adjustment. Errors due to an improper value of reference voltage appear as full-scale errors in the A/D transfer function. IC voltage regulators may be used for references if the ambient temperature changes are not excessive. The LM336B 2.5V IC reference diode (from National Semiconductor) has a temperature stability of 1.8 mV typ (6 mV max) over $0°C \leq T_A \leq +70°C$. Other temperature range parts are also available.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)



a) Analog Input Signal Example



*Add if $V_{REF}/2 \leq 1\ V_{DC}$ with LM358 to draw 3 mA to ground.

b) Accommodating an Analog Input from 0.5V (Digital Out = 00_{HEX}) to 3.5V (Digital Out=FF_{HEX})

FIGURE 7. Adapting the A/D Analog Input Voltages to Match an Arbitrary Input Signal Range

2.5 Errors and Reference Voltage Adjustments

2.5.1 Zero Error

The zero of the A/D does not require adjustment. If the minimum analog input voltage value, $V_{IN(MIN)}$, is not ground, a zero offset can be done. The converter can be made to output 0000 0000 digital code for this minimum input voltage by biasing the A/D $V_{IN}(-)$ input at this $V_{IN(MIN)}$ value (see Applications section). This utilizes the differential mode operation of the A/D.

The zero error of the A/D converter relates to the location of the first riser of the transfer function and can be measured by grounding the V_{IN} (−) input and applying a small magnitude positive voltage to the V_{IN} (+) input. Zero error is the difference between the actual DC input voltage that is necessary to just cause an output digital code transition from 0000 0000 to 0000 0001 and the ideal ½ LSB value (½ LSB = 9.8 mV for $V_{REF}/2$=2.500 V_{DC}).

2.5.2 Full-Scale

The full-scale adjustment can be made by applying a differential input voltage that is 1½ LSB less than the desired analog full-scale voltage range and then adjusting the magnitude of the $V_{REF}/2$ input (pin 9 or the V_{CC} supply if pin 9 is not used) for a digital output code that is just changing from 1111 1110 to 1111 1111.

2.5.3 Adjusting for an Arbitrary Analog Input Voltage Range

If the analog zero voltage of the A/D is shifted away from ground (for example, to accommodate an analog input signal that does not go to ground) this new zero reference should be properly adjusted first. A $V_{IN}(+)$ voltage that equals this desired zero reference plus ½ LSB (where the LSB is calculated for the desired analog span, 1 LSB=analog span/256) is applied to pin 6 and the zero reference voltage at pin 7 should then be adjusted to just obtain the 00_{HEX} to 01_{HEX} code transition.

The full-scale adjustment should then be made (with the proper $V_{IN}(-)$ voltage applied) by forcing a voltage to the $V_{IN}(+)$ input which is given by:

$$V_{IN}(+)\ fs\ adj = V_{MAX} - 1.5\left[\frac{(V_{MAX} - V_{MIN})}{256}\right]$$

where:

V_{MAX}=The high end of the analog input range

and

V_{MIN}=the low end (the offset zero) of the analog range. (Both are ground referenced.)

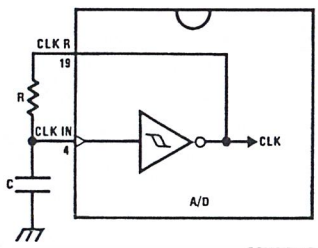
The $V_{REF}/2$ (or V_{CC}) voltage is then adjusted to provide a code change from FE_{HEX} to FF_{HEX}. This completes the adjustment procedure.

2.6 Clocking Option

The clock for the A/D can be derived from the CPU clock or an external RC can be added to provide self-clocking. The CLK IN (pin 4) makes use of a Schmitt trigger as shown in *Figure 8*.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)



DS005671-17

$$f_{CLK} \cong \frac{1}{1.1\ RC}$$

$R \cong 10\ k\Omega$

FIGURE 8. Self-Clocking the A/D

Heavy capacitive or DC loading of the clock R pin should be avoided as this will disturb normal converter operation. Loads less than 50 pF, such as driving up to 7 A/D converter clock inputs from a single clock R pin of 1 converter, are allowed. For larger clock line loading, a CMOS or low power TTL buffer or PNP input logic should be used to minimize the loading on the clock R pin (do not use a standard TTL buffer).

2.7 Restart During a Conversion

If the A/D is restarted ($\overline{CS}$ and $\overline{WR}$ go low and return high) during a conversion, the converter is reset and a new conversion is started. The output data latch is not updated if the conversion in process is not allowed to be completed, therefore the data of the previous conversion remains in this latch. The $\overline{INTR}$ output simply remains at the "1" level.

2.8 Continuous Conversions

For operation in the free-running mode an initializing pulse should be used, following power-up, to ensure circuit operation. In this application, the $\overline{CS}$ input is grounded and the $\overline{WR}$ input is tied to the $\overline{INTR}$ output. This $\overline{WR}$ and $\overline{INTR}$ node should be momentarily forced to logic low following a power-up cycle to guarantee operation.

2.9 Driving the Data Bus

This MOS A/D, like MOS microprocessors and memories, will require a bus driver when the total capacitance of the data bus gets large. Other circuitry, which is tied to the data bus, will add to the total capacitive loading, even in TRI-STATE (high impedance mode). Backplane bussing also greatly adds to the stray capacitance of the data bus.

There are some alternatives available to the designer to handle this problem. Basically, the capacitive loading of the data bus slows down the response time, even though DC specifications are still met. For systems operating with a relatively slow CPU clock frequency, more time is available in which to establish proper logic levels on the bus and therefore higher capacitive loads can be driven (see typical characteristics curves).

At higher CPU clock frequencies time can be extended for I/O reads (and/or writes) by inserting wait states (8080) or using clock extending circuits (6800).

Finally, if time is short and capacitive loading is high, external bus drivers must be used. These can be TRI-STATE buffers (low power Schottky such as the DM74LS240 series is recommended) or special higher drive current products which are designed as bus drivers. High current bipolar bus drivers with PNP inputs are recommended.

2.10 Power Supplies

Noise spikes on the V_{CC} supply line can cause conversion errors as the comparator will respond to this noise. A low inductance tantalum filter capacitor should be used close to the converter V_{CC} pin and values of 1 µF or greater are recommended. If an unregulated voltage is available in the system, a separate LM340LAZ-5.0, TO-92, 5V voltage regulator for the converter (and other analog circuitry) will greatly reduce digital noise on the V_{CC} supply.

2.11 Wiring and Hook-Up Precautions

Standard digital wire wrap sockets are not satisfactory for breadboarding this A/D converter. Sockets on PC boards can be used and all logic signal wires and leads should be grouped and kept as far away as possible from the analog signal leads. Exposed leads to the analog inputs can cause undesired digital noise and hum pickup, therefore shielded leads may be necessary in many applications.

A single point analog ground that is separate from the logic ground points should be used. The power supply bypass capacitor and the self-clocking capacitor (if used) should both be returned to digital ground. Any $V_{REF}/2$ bypass capacitors, analog input filter capacitors, or input signal shielding should be returned to the analog ground point. A test for proper grounding is to measure the zero error of the A/D converter. Zero errors in excess of ¼ LSB can usually be traced to improper board layout and wiring (see section 2.5.1 for measuring the zero error).

3.0 TESTING THE A/D CONVERTER

There are many degrees of complexity associated with testing an A/D converter. One of the simplest tests is to apply a known analog input voltage to the converter and use LEDs to display the resulting digital output code as shown in *Figure 9*.

For ease of testing, the $V_{REF}/2$ (pin 9) should be supplied with 2.560 V_{DC} and a V_{CC} supply voltage of 5.12 V_{DC} should be used. This provides an LSB value of 20 mV.

If a full-scale adjustment is to be made, an analog input voltage of 5.090 V_{DC} (5.120–1½ LSB) should be applied to the $V_{IN}(+)$ pin with the $V_{IN}(-)$ pin grounded. The value of the $V_{REF}/2$ input voltage should then be adjusted until the digital output code is just changing from 1111 1110 to 1111 1111. This value of $V_{REF}/2$ should then be used for all the tests.

The digital output LED display can be decoded by dividing the 8 bits into 2 hex characters, the 4 most significant (MS) and the 4 least significant (LS). *Table 1* shows the fractional binary equivalent of these two 4-bit groups. By adding the voltages obtained from the "VMS" and "VLS" columns in *Table 1*, the nominal value of the digital display (when $V_{REF}/2$ = 2.560V) can be determined. For example, for an output LED display of 1011 0110 or B6 (in hex), the voltage values from the table are 3.520 + 0.120 or 3.640 V_{DC}. These voltage values represent the center-values of a perfect A/D converter. The effects of quantization error have to be accounted for in the interpretation of the test results.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

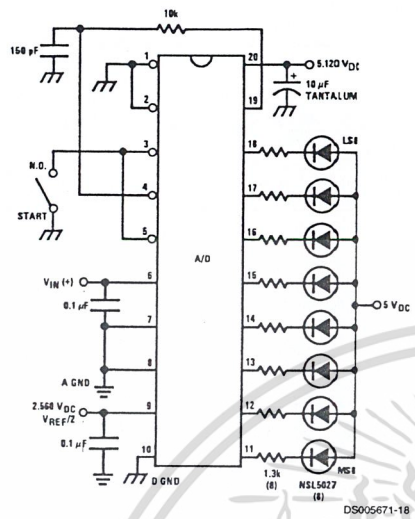


FIGURE 9. Basic A/D Tester

For a higher speed test system, or to obtain plotted data, a digital-to-analog converter is needed for the test set-up. An accurate 10-bit DAC can serve as the precision voltage source for the A/D. Errors of the A/D under test can be expressed as either analog voltages or differences in 2 digital words.

A basic A/D tester that uses a DAC and provides the error as an analog output voltage is shown in *Figure 8*. The 2 op amps can be eliminated if a lab DVM with a numerical subtraction feature is available to read the difference voltage, "A–C", directly. The analog input voltage can be supplied by a low frequency ramp generator and an X-Y plotter can be used to provide analog error (Y axis) versus analog input (X axis).

For operation with a microprocessor or a computer-based test system, it is more convenient to present the errors digitally. This can be done with the circuit of *Figure 11*, where the output code transitions can be detected as the 10-bit DAC is incremented. This provides ¼ LSB steps for the 8-bit A/D under test. If the results of this test are automatically plotted with the analog input on the X axis and the error (in LSB's) as the Y axis, a useful transfer function of the A/D under test results. For acceptance testing, the plot is not necessary and the testing speed can be increased by establishing internal limits on the allowed error for each code.

4.0 MICROPROCESSOR INTERFACING

To dicuss the interface with 8080A and 6800 microprocessors, a common sample subroutine structure is used. The microprocessor starts the A/D, reads and stores the results of 16 successive conversions, then returns to the user's program. The 16 data bytes are stored in 16 successive memory locations. All Data and Addresses will be given in hexadecimal form. Software and hardware details are provided separately for each type of microprocessor.

4.1 Interfacing 8080 Microprocessor Derivatives (8048, 8085)

This converter has been designed to directly interface with derivatives of the 8080 microprocessor. The A/D can be mapped into memory space (using standard memory address decoding for $\overline{CS}$ and the $\overline{MEMR}$ and $\overline{MEMW}$ strobes) or it can be controlled as an I/O device by using the $\overline{I/O}$ $\overline{R}$ and $\overline{I/O}$ $\overline{W}$ strobes and decoding the address bits A0 → A7 (or address bits A8 → A15 as they will contain the same 8-bit address information) to obtain the $\overline{CS}$ input. Using the I/O space provides 256 additional addresses and may allow a simpler 8-bit address decoder but the data can only be input to the accumulator. To make use of the additional memory reference instructions, the A/D should be mapped into memory space. An example of an A/D in I/O space is shown in *Figure 12*.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

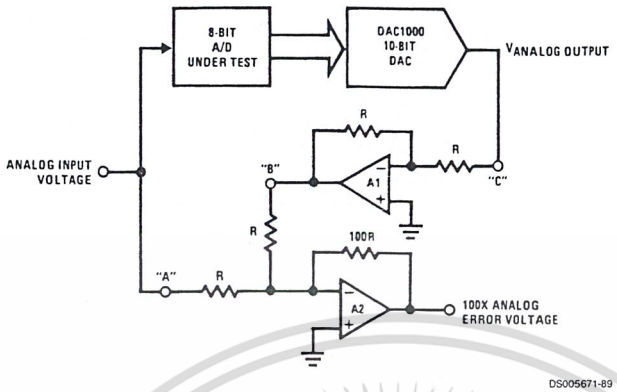


FIGURE 10. A/D Tester with Analog Error Output

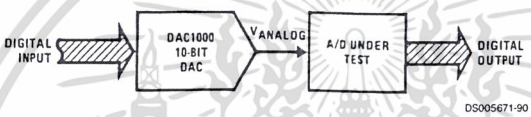


FIGURE 11. Basic "Digital" A/D Tester

TABLE 1. DECODING THE DIGITAL OUTPUT LEDs

HEX	BINARY				FRACTIONAL BINARY VALUE FOR		OUTPUT VOLTAGE CENTER VALUES WITH $V_{REF}/2$=2.560 V_{DC}	
					MS GROUP	LS GROUP	VMS GROUP (Note 15)	VLS GROUP (Note 15)
F	1	1	1	1	15/16	15/256	4.800	0.300
E	1	1	1	0	7/8	7/128	4.480	0.280
D	1	1	0	1	13/16	13/256	4.160	0.260
C	1	1	0	0	3/4	3/64	3.840	0.240
B	1	0	1	1	11/16	11/256	3.520	0.220
A	1	0	1	0	5/8	5/128	3.200	0.200
9	1	0	0	1	9/16	9/256	2.880	0.180
8	1	0	0	0	1/2	1/32	2.560	0.160
7	0	1	1	1	7/16	7/256	2.240	0.140
6	0	1	1	0	3/8	3/128	1.920	0.120
5	0	1	0	1	5/16	2/256	1.600	0.100
4	0	1	0	0	1/4	1/64	1.280	0.080
3	0	0	1	1	3/16	3/256	0.960	0.060
2	0	0	1	0	1/8	1/128	0.640	0.040
1	0	0	0	1	1/16	1/256	0.320	0.020
0	0	0	0	0			0	0

Note 15: Display Output=VMS Group + VLS Group

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

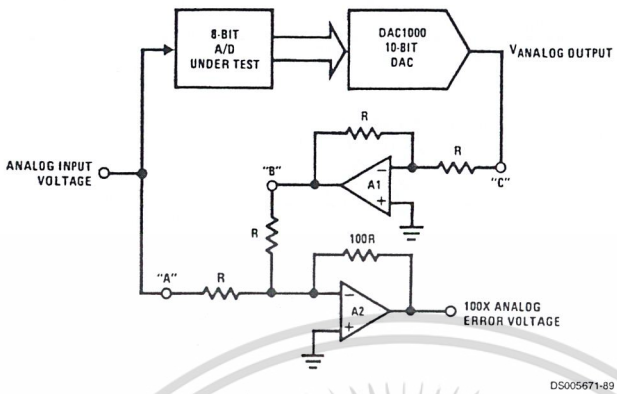


FIGURE 10. A/D Tester with Analog Error Output

FIGURE 11. Basic "Digital" A/D Tester

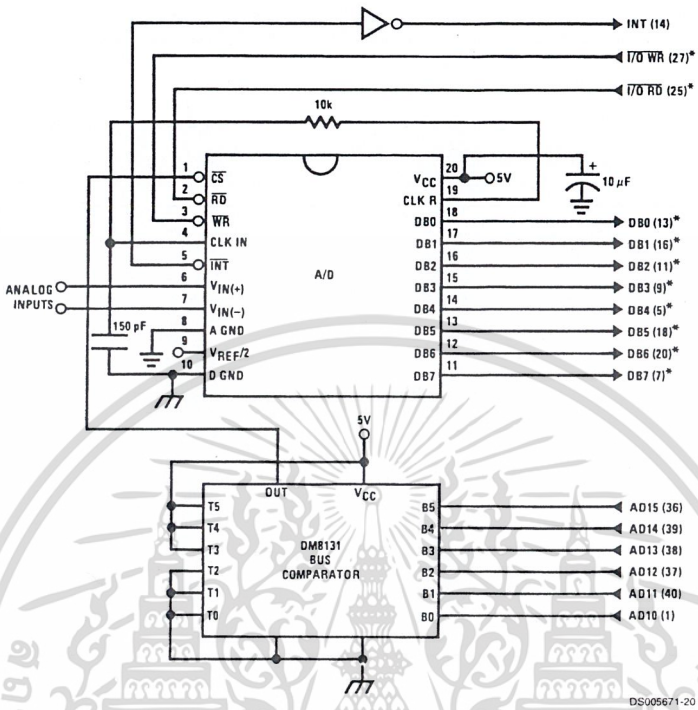
TABLE 1. DECODING THE DIGITAL OUTPUT LEDs

HEX	BINARY				FRACTIONAL BINARY VALUE FOR		OUTPUT VOLTAGE CENTER VALUES WITH $V_{REF}/2=2.560\ V_{DC}$	
					MS GROUP	LS GROUP	VMS GROUP (Note 15)	VLS GROUP (Note 15)
F	1	1	1	1	15/16	15/256	4.800	0.300
E	1	1	1	0	7/8	7/128	4.480	0.280
D	1	1	0	1	13/16	13/256	4.160	0.260
C	1	1	0	0	3/4	3/64	3.840	0.240
B	1	0	1	1	11/16	11/256	3.520	0.220
A	1	0	1	0	5/8	5/128	3.200	0.200
9	1	0	0	1	9/16	9/256	2.880	0.180
8	1	0	0	0	1/2	1/32	2.560	0.160
7	0	1	1	1	7/16	7/256	2.240	0.140
6	0	1	1	0	3/8	3/128	1.920	0.120
5	0	1	0	1	5/16	2/256	1.600	0.100
4	0	1	0	0	1/4	1/64	1.280	0.080
3	0	0	1	1	3/16	3/256	0.960	0.060
2	0	0	1	0	1/8	1/128	0.640	0.040
1	0	0	0	1	1/16	1/256	0.320	0.020
0	0	0	0	0			0	0

Note 15: Display Output=VMS Group + VLS Group

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)



Note 16: *Pin numbers for the DP8228 system controller, others are INS8080A.

Note 17: Pin 23 of the INS8228 must be tied to +12V through a 1 kΩ resistor to generate the RST 7 instruction when an interrupt is acknowledged as required by the accompanying sample program.

FIGURE 12. ADC0801_INS8080A CPU Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

SAMPLE PROGRAM FOR *Figure 12* ADC0801–INS8080A CPU INTERFACE

```
0038    C3 00 03    RST 7:          JMP     LD DATA
  •       •           •
  •       •           •
0100    21 00 02    START:          LXI H 0200H         ;HL pair will point to
                                                        ;data storage locations
0103    31 00 04    RETURN:         LXI SP 0400H        ;Initialize stack pointer (Note 1)
0106    7D                          MOV A, L            ;Test # of bytes entered
0107    FE 0F                       CPI 0F H            ;If # = 16. JMP to
0109    CA 13 01                    JZ CONT             ;user program
010C    D3 E0                       OUT E0 H            ;Start A/D
010E    FB                          EI                  ;Enable interrupt
010F    00          LOOP:           NOP                 ;Loop until end of
0110    C3 0F 01                    JMP LOOP            ;conversion
0113      •         CONT:             •
  •       •           •               •
  •       •         (User program to  •
  •       •         process data)     •
  •       •           •               •
  •       •           •               •
0300    DB E0       LD DATA:        IN E0 H             ;Load data into accumulator
0302    77                          MOV M, A            ;Store data
0303    23                          INX H               ;Increment storage pointer
0304    C3 03 01                    JMP RETURN
```

DS005671-99

Note 18: The stack pointer must be dimensioned because a RST 7 instruction pushes the PC onto the stack.

Note 19: All address used were arbitrarily chosen.

The standard control bus signals of the 8080 $\overline{CS}$, $\overline{RD}$ and $\overline{WR}$) can be directly wired to the digital control inputs of the A/D and the bus timing requirements are met to allow both starting the converter and outputting the data onto the data bus. A bus driver should be used for larger microprocessor systems where the data bus leaves the PC board and/or must drive capacitive loads larger than 100 pF.

4.1.1 Sample 8080A CPU Interfacing Circuitry and Program

The following sample program and associated hardware shown in *Figure 12* may be used to input data from the converter to the INS8080A CPU chip set (comprised of the INS8080A microprocessor, the INS8228 system controller and the INS8224 clock generator). For simplicity, the A/D is controlled as an I/O device, specifically an 8-bit bi-directional port located at an arbitrarily chosen port address, E0. The TRI-STATE output capability of the A/D eliminates the need for a peripheral interface device, however address decoding is still required to generate the appropriate $\overline{CS}$ for the converter.

It is important to note that in systems where the A/D converter is 1-of-8 or less I/O mapped devices, no address decoding circuitry is necessary. Each of the 8 address bits (A0 to A7) can be directly used as $\overline{CS}$ inputs — one for each I/O device.

4.1.2 INS8048 Interface

The INS8048 interface technique with the ADC0801 series (see *Figure 13*) is simpler than the 8080A CPU interface. There are 24 I/O lines and three test input lines in the 8048. With these extra I/O lines available, one of the I/O lines (bit 0 of port 1) is used as the chip select signal to the A/D, thus eliminating the use of an external address decoder. Bus control signals $\overline{RD}$, $\overline{WR}$ and $\overline{INT}$ of the 8048 are tied directly to the A/D. The 16 converted data words are stored at on-chip RAM locations from 20 to 2F (Hex). The $\overline{RD}$ and $\overline{WR}$ signals are generated by reading from and writing into a dummy address, respectively. A sample interface program is shown below.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

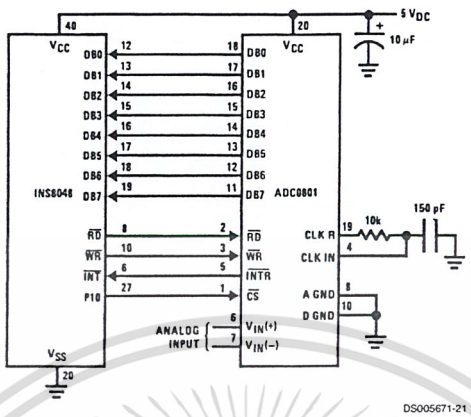


FIGURE 13. INS8048 Interface

SAMPLE PROGRAM FOR *Figure 13* INS8048 INTERFACE

```
04 10                  JMP     10H          ;Program starts at addr 10
                       ORG     3H
04 50                  JMP     50H          ;Interrupt jump vector
                       ORG     10H          ;Main program
99 FE                  ANL     P1, #0FEH    ;Chip select
81                     MOVX    A, @R1       ;Read in the 1st data
                                            ;to reset the intr
89 01        START:    ORL     P1, #1       ;Set port pin high
B8 20                  MOV     R0, #20H     ;Data address
B9 FF                  MOV     R1, #0FFH    ;Dummy address
BA 10                  MOV     R2, #10H     ;Counter for 16 bytes
23 FF        AGAIN:    MOV     A, #0FFH     ;Set ACC for intr loop
99 FE                  ANL     P1, #0FEH    ;Send CS (bit 0 of P1)
91                     MOVX    @R1, A       ;Send WR out
05                     EN      I            ;Enable interrupt
96 21        LOOP:     JNZ     LOOP         ;Wait for interrupt
EA 1B                  DJNZ    R2, AGAIN    ;If 16 bytes are read
00                     NOP                  ;go to user's program
00                     NOP
                       ORG     50H
81           INDATA:   MOVX    A, @R1       ;Input data, CS still low
A0                     MOV     @R0, A       ;Store in memory
18                     INC     R0           ;Increment storage counter
89 01                  ORL     P1, #1       ;Reset CS signal
27                     CLR     A            ;Clear ACC to get out of
93                     RETR                 ;the interrupt loop
```

DS005671-A0

4.2 Interfacing the Z-80

The Z-80 control bus is slightly different from that of the 8080. General $\overline{RD}$ and $\overline{WR}$ strobes are provided and separate memory request, $\overline{MREQ}$, and I/O request, $\overline{IORQ}$, signals are used which have to be combined with the generalized strobes to provide the equivalent 8080 signals. An advantage of operating the A/D in I/O space with the Z-80 is that the CPU will automatically insert one wait state (the $\overline{RD}$ and $\overline{WR}$ strobes are extended one clock period) to allow more time for the I/O devices to respond. Logic to map the A/D in I/O space is shown in *Figure 14*.

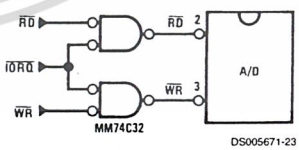


FIGURE 14. Mapping the A/D as an I/O Device for Use with the Z-80 CPU

Additional I/O advantages exist as software DMA routines are available and use can be made of the output data transfer which exists on the upper 8 address lines (A8 to A15) dur-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

ing I/O input instructions. For example, MUX channel selection for the A/D can be accomplished with this operating mode.

4.3 Interfacing 6800 Microprocessor Derivatives (6502, etc.)

The control bus for the 6800 microprocessor derivatives does not use the $\overline{RD}$ and $\overline{WR}$ strobe signals. Instead it employs a single R/$\overline{W}$ line and additional timing, if needed, can be derived fom the $\phi 2$ clock. All I/O devices are memory mapped in the 6800 system, and a special signal, VMA, indicates that the current address is valid. *Figure 15* shows an interface schematic where the A/D is memory mapped in the 6800 system. For simplicity, the $\overline{CS}$ decoding is shown using ½ DM8092. Note that in many 6800 systems, an already decoded $\overline{4/5}$ line is brought out to the common bus at pin 21. This can be tied directly to the $\overline{CS}$ pin of the A/D, provided that no other devices are addressed at HX ADDR: 4XXX or 5XXX.

The following subroutine performs essentially the same function as in the case of the 8080A interface and it can be called from anywhere in the user's program.

In *Figure 16* the ADC0801 series is interfaced to the M6800 microprocessor through (the arbitrarily chosen) Port B of the MC6820 or MC6821 Peripheral Interface Adapter, (PIA). Here the $\overline{CS}$ pin of the A/D is grounded since the PIA is already memory mapped in the M6800 system and no $\overline{CS}$ decoding is necessary. Also notice that the A/D output data lines are connected to the microprocessor bus under program control through the PIA and therefore the A/D $\overline{RD}$ pin can be grounded.

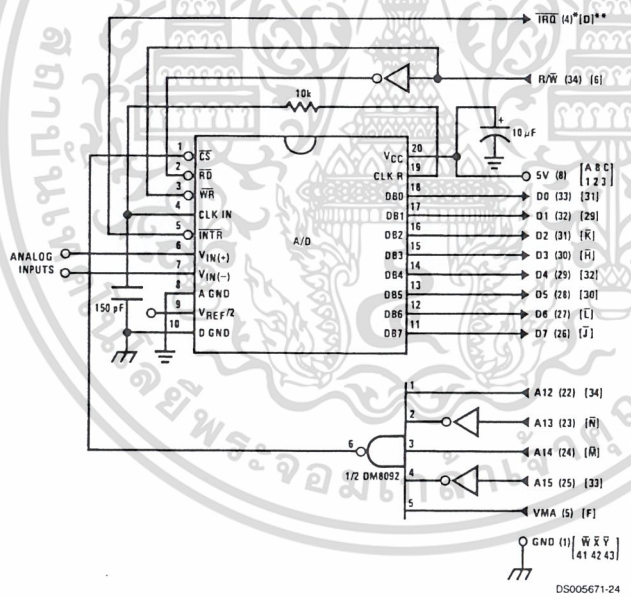
A sample interface program equivalent to the previous one is shown below *Figure 16*. The PIA Data and Control Registers of Port B are located at HEX addresses 8006 and 8007, respectively.

5.0 GENERAL APPLICATIONS

The following applications show some interesting uses for the A/D. The fact that one particular microprocessor is used is not meant to be restrictive. Each of these application circuits would have its counterpart using any microprocessor that is desired.

5.1 Multiple ADC0801 Series to MC6800 CPU Interface

To transfer analog data from several channels to a single microprocessor system, a multiple converter scheme presents several advantages over the conventional multiplexer single-converter approach. With the ADC0801 series, the differential inputs allow individual span adjustment for each channel. Furthermore, all analog input channels are sensed simultaneously, which essentially divides the microprocessor's total system servicing time by the number of channels, since all conversions occur simultaneously. This scheme is shown in *Figure 17*.



Note 20: Numbers in parentheses refer to MC6800 CPU pin out.

Note 21: Number or letters in brackets refer to standard M6800 system common bus code.

FIGURE 15. ADC0801-MC6800 CPU Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

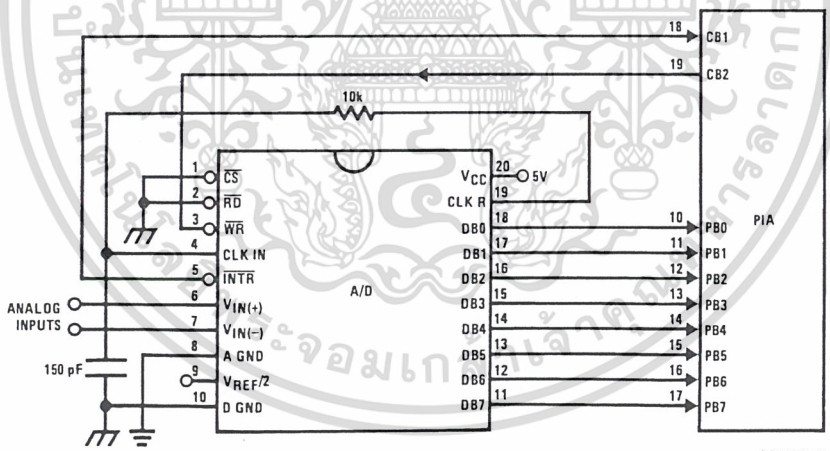
Functional Description (Continued)

SAMPLE PROGRAM FOR *Figure 15* ADC0801-MC6800 CPU INTERFACE

```
0010    DF 36       DATAIN   STX     TEMP2     ; Save contents of X
0012    CE 00 2C             LDX     #$002C    ; Upon IRQ low CPU
0015    FF FF F8             STX     $FFF8     ; jumps to 002C
0018    B7 50 00             STAA    $5000     ; Start ADC0801
001B    0E                   CLI
001C    3E          CONVRT   WAI               ; Wait for interrupt
001D    DE 34                LDX     TEMP1
001F    8C 02 0F             CPX     #$020F    ; Is final data stored?
0022    27 14                BEQ     ENDP
0024    B7 50 00             STAA    $5000     ; Restarts ADC0801
0027    08                   INX
0028    DF 34                STX     TEMP1
002A    20 F0                BRA     CONVRT
002C    DE 34       INTRPT   LDX     TEMP1
002E    B6 50 00             LDAA    $5000     ; Read data
0031    A7 00                STAA    X         ; Store it at X
0033    3B                   RTI
0034    02 00       TEMP1    FDB     $0200     ; Starting address for
                                               ; data storage
0036    00 00       TEMP2    FDB     $0000
0038    CE 02 00    ENDP     LDX     #$0200    ; Reinitialize TEMP1
003B    DF 34                STX     TEMP1
003D    DE 36                LDX     TEMP2
003F    39                   RTS               ; Return from subroutine
                                               ; To user's program
```

DS005671-A1

Note 22: In order for the microprocessor to service subroutines and interrupts, the stack pointer must be dimensioned in the user's program.



DS005671-25

FIGURE 16. ADC0801–MC6820 PIA Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

SAMPLE PROGRAM FOR *Figure 16* ADC0801–MC6820 PIA INTERFACE

```
0010   CE 00 38   DATAIN   LDX    #$0038    ; Upon IRQ low CPU
0013   FF FF F8            STX    $FFF8     ; jumps to 0038
0016   B6 80 06            LDAA   PIAORB    ; Clear possible IRQ flags
0019   4F                  CLRA
001A   B7 80 07            STAA   PIACRB
001D   B7 80 06            STAA   PIAORB    ; Set Port B as input
0020   0E                  CLI
0021   C6 34               LDAB   #$34
0023   86 3D               LDAA   #$3D
0025   F7 80 07   CONVRT   STAB   PIACRB    ; Starts ADC0801
0028   B7 80 07            STAA   PIACRB
002B   3E                  WAI               ; Wait for interrupt
002C   DE 40               LDX    TEMP1
002E   8C 02 0F            CPX    #$020F    ; Is final data stored?
0031   27 0F               BEQ    ENDP
0033   08                  INX
0034   DF 40               STX    TEMP1
0036   20 ED               BRA    CONVRT
0038   DE 40   INTRPT     LDX    TEMP1
003A   B6 80 06            LDAA   PIAORB    ; Read data in
003D   A7 00               STAA   X         ; Store it at X
003F   3B                  RTI
0040   02 00   TEMP1      FDB    $0200     ; Starting address for
                                             ; data storage
0042   CE 02 00   ENDP     LDX    #$0200    ; Reinitialize TEMP1
0045   DF 40               STX    TEMP1
0047   39                  RTS               ; Return from subroutine
               PIAORB     EQU    $8006     ; To user's program
               PIACRB     EQU    $8007
```

DS005671-A2

The following schematic and sample subroutine (DATA IN) may be used to interface (up to) 8 ADC0801's directly to the MC6800 CPU. This scheme can easily be extended to allow the interface of more converters. In this configuration the converters are (arbitrarily) located at HEX address 5000 in the MC6800 memory space. To save components, the clock signal is derived from just one RC pair on the first converter. This output drives the other A/Ds.

All the converters are started simultaneously with a STORE instruction at HEX address 5000. Note that any other HEX address of the form 5XXX will be decoded by the circuit, pulling all the $\overline{CS}$ inputs low. This can easily be avoided by using a more definitive address decoding scheme. All the interrupts are ORed together to insure that all A/Ds have completed their conversion before the microprocessor is interrupted.

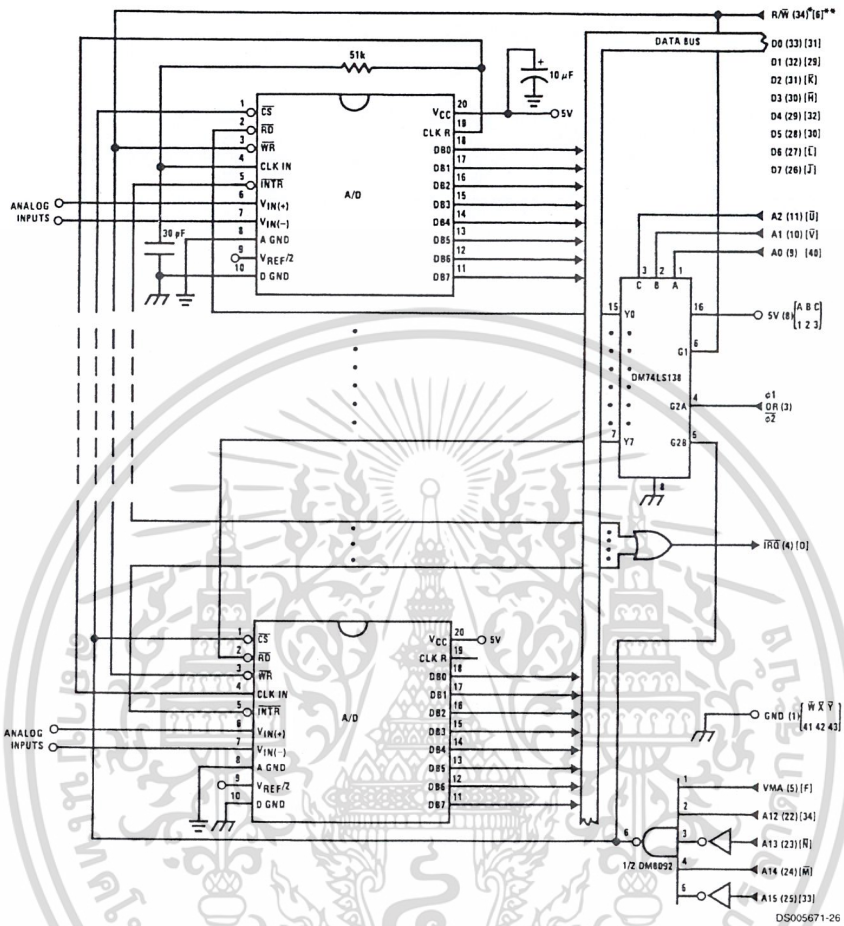
The subroutine, DATA IN, may be called from anywhere in the user's program. Once called, this routine initializes the CPU, starts all the converters simultaneously and waits for the interrupt signal. Upon receiving the interrupt, it reads the converters (from HEX addresses 5000 through 5007) and stores the data successively at (arbitrarily chosen) HEX addresses 0200 to 0207, before returning to the user's program. All CPU registers then recover the original data they had before servicing DATA IN.

5.2 Auto-Zeroed Differential Transducer Amplifier and A/D Converter

The differential inputs of the ADC0801 series eliminate the need to perform a differential to single ended conversion for a differential transducer. Thus, one op amp can be eliminated since the differential to single ended conversion is provided by the differential input of the ADC0801 series. In general, a transducer preamp is required to take advantage of the full A/D converter input dynamic range.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)



Note 23: Numbers in parentheses refer to MC6800 CPU pin out.

Note 24: Numbers of letters in brackets refer to standard M6800 system common bus code.

FIGURE 17. Interfacing Multiple A/Ds in an MC6800 System

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

SAMPLE PROGRAM FOR *Figure 17* INTERFACING MULTIPLE A/D's IN AN MC6800 SYSTEM

ADDRESS	HEX CODE		MNEMONICS		COMMENTS
0010	DF 44	DATAIN	STX	TEMP	;Save Contents of X
0012	CE 00 2A		LDX	#$002A	;Upon $\overline{IRQ}$ LOW CPU
0015	FF FF F8		STX	$FFF8	;Jumps to 002A
0018	B7 50 00		STAA	$5000	;Starts all A/D's
001B	0E		CLI		
001C	3E		WAI		;Wait for interrupt
001D	CE 50 00		LDX	#$5000	
0020	DF 40		STX	INDEX1	;Reset both INDEX
0022	CE 02 00		LDX	#$0200	;1 and 2 to starting
0025	DF 42		STX	INDEX2	;addresses
0027	DE 44		LDX	TEMP	
0029	39		RTS		;Return from subroutine
002A	DE 40	INTRPT	LDX	INDEX1	;INDEX1 → X
002C	A6 00		LDAA	X	;Read data in from A/D at X
002E	08		INX		;Increment X by one
002F	DF 40		STX	INDEX1	;X → INDEX1
0031	DE 42		LDX	INDEX2	;INDEX2 → X

DS005671-A3

SAMPLE PROGRAM FOR *Figure 17* INTERFACING MULTIPLE A/D's IN AN MC6800 SYSTEM

ADDRESS	HEX CODE		MNEMONICS		COMMENTS
0033	A7 00		STAA	X	;Store data at X
0035	8C 02 07		CPX	#$0207	;Have all A/D's been read?
0038	27 05		BEQ	RETURN	;Yes: branch to RETURN
003A	08		INX		;No: increment X by one
003B	DF 42		STX	INDEX2	;X → INDEX2
003D	20 EB		BRA	INTRPT	;Branch to 002A
003F	3B	RETURN	RTI		
0040	50 00	INDEX1	FDB	$5000	;Starting address for A/D
0042	02 00	INDEX2	FDB	$0200	;Starting address for data storage
0044	00 00	TEMP	FDB	$0000	

DS005671-A4

Note 25: In order for the microprocessor to service subroutines and interrupts, the stack pointer must be dimensioned in the user's program.

For amplification of DC input signals, a major system error is the input offset voltage of the amplifiers used for the preamp. *Figure 18* is a gain of 100 differential preamp whose offset voltage errors will be cancelled by a zeroing subroutine which is performed by the INS8080A microprocessor system. The total allowable input offset voltage error for this preamp is only 50 µV for ¼ LSB error. This would obviously require very precise amplifiers. The expression for the differential output voltage of the preamp is:

$$V_O = \underbrace{[V_{IN}(+) - V_{IN}(-)]}_{\text{SIGNAL}} \underbrace{\left[1 + \frac{2R2}{R1}\right]}_{\text{GAIN}} +$$

$$\underbrace{(V_{OS_2} - V_{OS_1} - V_{OS_3} \pm I_X R_X)}_{\text{DC ERROR TERM}} \underbrace{\left(1 + \frac{2R2}{R1}\right)}_{\text{GAIN}}$$

where I_x is the current through resistor R_x. All of the offset error terms can be cancelled by making $\pm I_x R_x = V_{OS1} + V_{OS3} - V_{OS2}$. This is the principle of this auto-zeroing scheme.

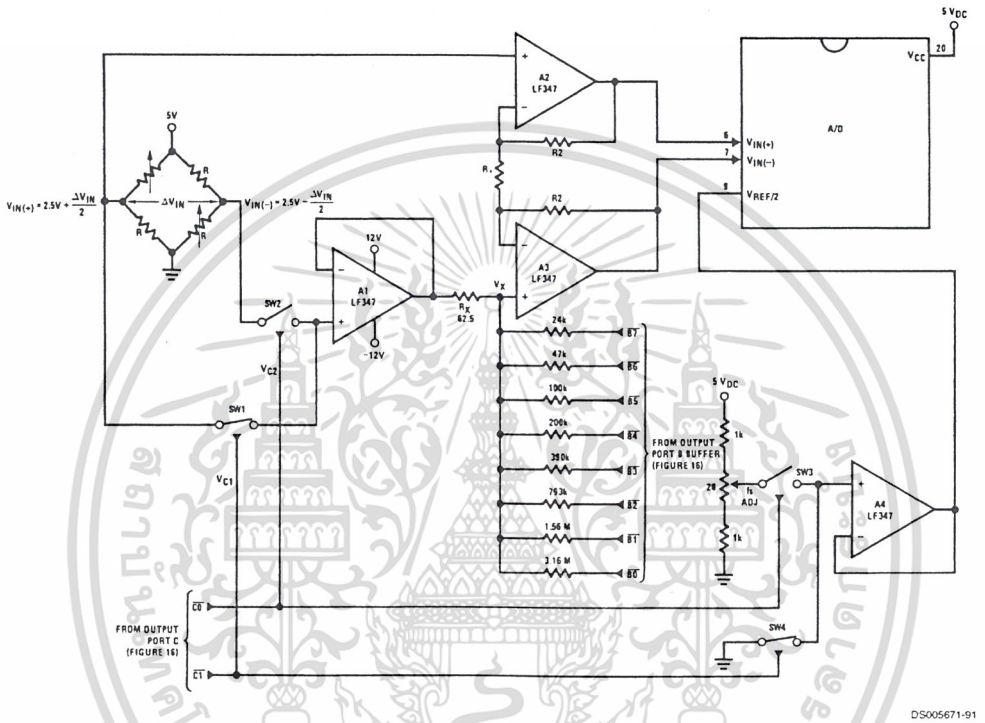
The INS8080A uses the 3 I/O ports of an INS8255 Programmable Peripheral Interface (PPI) to control the auto zeroing and input data from the ADC0801 as shown in *Figure 19*. The PPI is programmed for basic I/O operation (mode 0) with Port A being an input port and Ports B and C being output ports. Two bits of Port C are used to alternately open or close the 2 switches at the input of the preamp. Switch SW1 is closed to force the preamp's differential input to be zero during the zeroing subroutine and then opened and SW2 is then closed for conversion of the actual differential input signal. Using 2 switches in this manner eliminates concern for the ON resistance of the switches as they must conduct only the input bias current of the input amplifiers.

Output Port B is used as a successive approximation register by the 8080 and the binary scaled resistors in series with each output bit create a D/A converter. During the zeroing subroutine, the voltage at V_x increases or decreases as required to make the differential output voltage equal to zero. This is accomplished by ensuring that the voltage at the output of A1 is approximately 2.5V so that a logic "1" (5V) on

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

any output of Port B will source current into node V_X thus raising the voltage at V_X and making the output differential more negative. Conversely, a logic "0" (0V) will pull current out of node V_X and decrease the voltage, causing the differential output to become more positive. For the resistor values shown, V_X can move ±12 mV with a resolution of 50 µV, which will null the offset error term to ¼ LSB of full-scale for the ADC0801. It is important that the voltage levels that drive the auto-zero resistors be constant. Also, for symmetry, a logic swing of 0V to 5V is convenient. To achieve this, a CMOS buffer is used for the logic output signals of Port B and this CMOS package is powered with a stable 5V source. Buffer amplifier A1 is necessary so that it can source or sink the D/A output current.



Note 26: R2 = 49.5 R1

Note 27: Switches are LMC13334 CMOS analog switches.

Note 28: The 9 resistors used in the auto-zero section can be ±5% tolerance.

FIGURE 18. Gain of 100 Differential Transducer Preamp

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

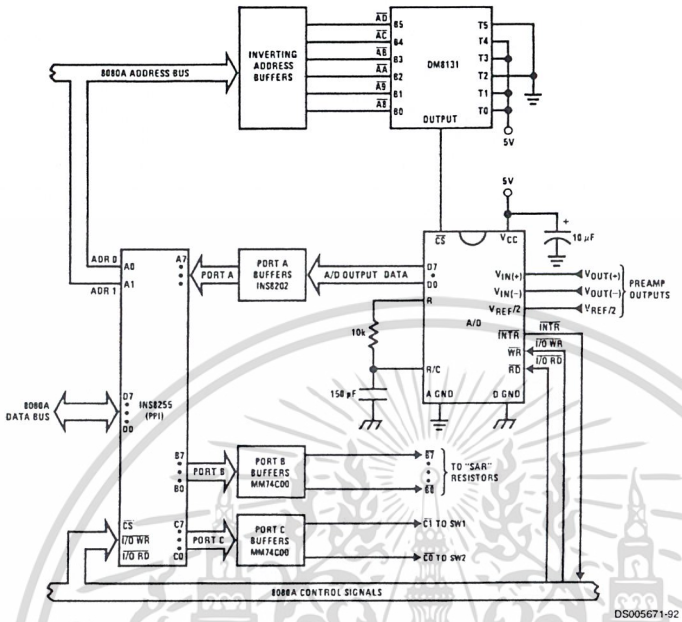


FIGURE 19. Microprocessor Interface Circuitry for Differential Preamp

A flow chart for the zeroing subroutine is shown in *Figure 20*. It must be noted that the ADC0801 series will output an all zero code when it converts a negative input [$V_{IN}(-) \geq V_{IN}(+)$]. Also, a logic inversion exists as all of the I/O ports are buffered with inverting gates.

Basically, if the data read is zero, the differential output voltage is negative, so a bit in Port B is cleared to pull V_X more negative which will make the output more positive for the next conversion. If the data read is not zero, the output voltage is positive so a bit in Port B is set to make V_X more positive and the output more negative. This continues for 8 approximations and the differential output eventually converges to within 5 mV of zero.

The actual program is given in *Figure 21*. All addresses used are compatible with the BLC 80/10 microcomputer system. In particular:

Port A and the ADC0801 are at port address E4

Port B is at port address E5

Port C is at port address E6

PPI control word port is at port address E7

Program Counter automatically goes to ADDR:3C3D upon acknowledgement of an interrupt from the ADC0801

5.3 Multiple A/D Converters in a Z-80 Interrupt Driven Mode

In data acquisition systems where more than one A/D converter (or other peripheral device) will be interrupting program execution of a microprocessor, there is obviously a need for the CPU to determine which device requires servicing. *Figure 22* and the accompanying software is a method of determining which of 7 ADC0801 converters has completed a conversion ($\overline{INTR}$ asserted) and is requesting an interrupt. This circuit allows starting the A/D converters in any sequence, but will input and store valid data from the converters with a priority sequence of A/D 1 being read first, A/D 2 second, etc., through A/D 7 which would have the lowest priority for data being read. Only the converters whose INT is asserted will be read.

The key to decoding circuitry is the DM74LS373, 8-bit D type flip-flop. When the Z-80 acknowledges the interrupt, the program is vectored to a data input Z-80 subroutine. This subroutine will read a peripheral status word from the DM74LS373 which contains the logic state of the $\overline{INTR}$ outputs of all the converters. Each converter which initiates an interrupt will place a logic "0" in a unique bit position in the status word and the subroutine will determine the identity of the converter and execute a data read. An identifier word (which indicates which A/D the data came from) is stored in the next sequential memory location above the location of the data so the program can keep track of the identity of the data entered.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

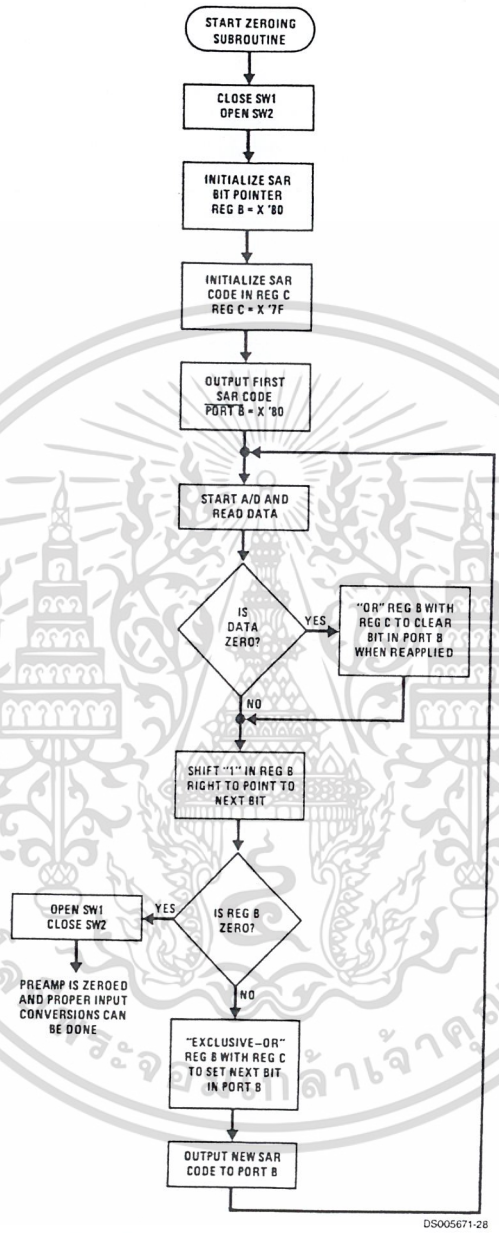


FIGURE 20. Flow Chart for Auto-Zero Routine

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

```
3D00   3E90     MVI 90
3D02   D3E7     Out Control Port                    ;Program PPI
3D04   2601     MVI H 01          Auto-Zero Subroutine
3D06   7C       MOV A,H
3D07   D3E6     OUT C                              ;Close SW1 open SW2
3D09   0680     MVI B 80                           ;Initialize SAR bit pointer
3D0B   3E7F     MVI A 7F                           ;Initialize SAR code
3D0D   4F       MOV C,A           Return
3D0E   D3E5     OUT B                              ;Port B = SAR code
3D10   31AA3D   LXI SP 3DAA       Start            ;Dimension stack pointer
3D13   D3E4     OUT A                              ;Start A/D
3D15   FB       IE
3D16   00       NOP               Loop             ;Loop until INT asserted
3D17   C3163D   JMP Loop
3D1A   7A       MOV A,D           Auto-Zero
3D1B   C600     ADI 00
3D1D   CA2D3D   JZ Set C                           ;Test A/D output data for zero
3D20   78       MOV A,B           Shift B
3D21   F600     ORI 00                             ;Clear carry
3D23   1F       RAR                                ;Shift "1" in B right one place
3D24   FE00     CPI 00                             ;Is B zero? If yes last
3D26   CA373D   JZ Done                            ;approximation has been made
3D29   47       MOV B,A
3D2A   C3333D   JMP New C
3D2D   79       MOV A,C           Set C
3D2E   B0       ORA B                              ;Set bit in C that is in same
3D2F   4F       MOV C,A                            ;position as "1" in B
3D30   C3203D   JMP Shift B
3D33   A9       XRA C             New C            ;Clear bit in C that is in
3D34   C30D3D   JMP Return                         ;same position as "1" in B
3D37   47       MOV B,A           Done             ;then output new SAR code.
3D38   7C       MOV A,H                            ;Open SW1, close SW2 then
3D39   EE03     XRI 03                             ;proceed with program. Preamp
3D3B   D3E6     OUT C                              ;is now zeroed.
3D3D            •                 Normal
                •
                •
                Program for processing
                proper data values
3C3D   DBE4     IN A              Read A/D Subroutine  ;Read A/D data
3C3F   EEFF     XRI FF                             ;Invert data
3C41   57       MOV D,A
3C42   78       MOV A,B                            ;Is B Reg = 0? If not stay
3C43   E6FF     ANI FF                             ;in auto zero subroutine
3C45   C21A3D   JNZ Auto-Zero
3C48   C33D3D   JMP Normal
```

DS005671-A5

Note 29: All numerical values are hexadecimal representations.

FIGURE 21. Software for Auto-Zeroed Differential A/D

5.3 Multiple A/D Converters in a Z-80 Interrupt Driven Mode (Continued)

The following notes apply:

- It is assumed that the CPU automatically performs a RST 7 instruction when a valid interrupt is acknowledged (CPU is in interrupt mode 1). Hence, the subroutine starting address of X0038.
- The address bus from the Z-80 and the data bus to the Z-80 are assumed to be inverted by bus drivers.
- A/D data and identifying words will be stored in sequential memory locations starting at the arbitrarily chosen address X 3E00.
- The stack pointer must be dimensioned in the main program as the RST 7 instruction automatically pushes the PC onto the stack and the subroutine uses an additional 6 stack addresses.
- The peripherals of concern are mapped into I/O space with the following port assignments:

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

HEX PORT ADDRESS	PERIPHERAL
00	MM74C374 8-bit flip-flop
01	A/D 1
02	A/D 2
03	A/D 3
04	A/D 4
05	A/D 5
06	A/D 6
07	A/D 7

This port address also serves as the A/D identifying word in the program.

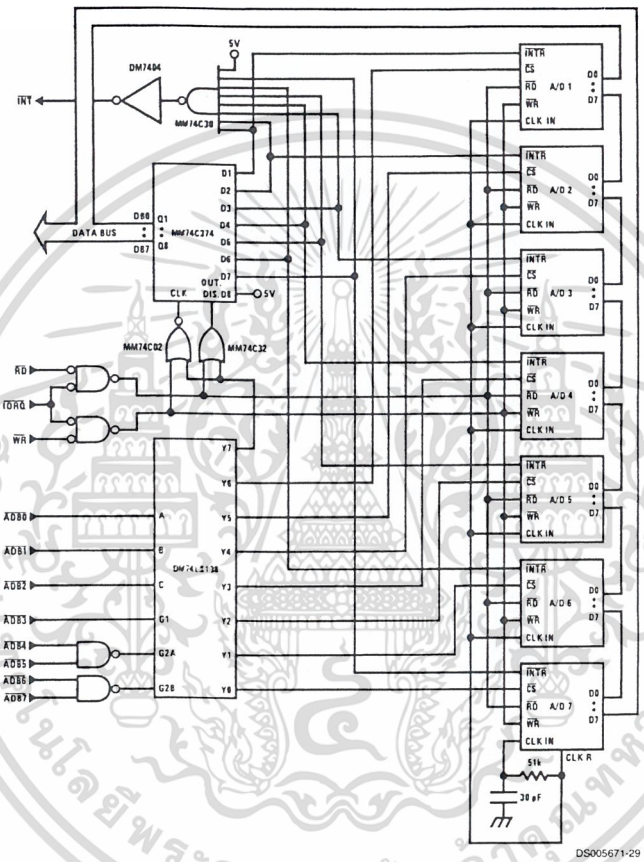


FIGURE 22. Multiple A/Ds with Z-80 Type Microprocessor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

INTERRUPT SERVICING SUBROUTINE

```
LOC   OBJ CODE      SOURCE STATEMENT      COMMENT
0038  E5            PUSH HL               ; Save contents of all registers affected by
0039  C5            PUSH BC               ; this subroutine.
003A  F5            PUSH AF               ; Assumed INT mode 1 earlier set.
003B  21 00 3E      LD (HL),X3E00         ; Initialize memory pointer where data will be stored.
003E  0E 01         LD C, X01             ; C register will be port ADDR of A/D converters.
0040  D300          OUT X00, A            ; Load peripheral status word into 8-bit latch.
0042  DB00          IN A, X00             ; Load status word into accumulator.
0044  47            LD B,A                ; Save the status word.
0045  79      TEST  LD A,C                ; Test to see if the status of all A/D's have
0046  FE 08         CP, X08               ; been checked. If so, exit subroutine
0048  CA 60 00       JPZ, DONE
004B  78            LD A,B                ; Test a single bit in status word by looking for
004C  1F            RRA                   ; a "1" to be rotated into the CARRY (an INT
004D  47            LD B,A                ; is loaded as a "1"). If CARRY is set then load
004E  DA 5500       JPC, LOAD             ; contents of A/D at port ADDR in C register.
0051  0C      NEXT  INC C                 ; If CARRY is not set, increment C register to point
0052  C3 4500        JP,TEST               ; to next A/D, then test next bit in status word.
0055  ED 78     LOAD IN A, (C)             ; Read data from interrupting A/D and invert
0057  EE FF         XOR FF                ; the data.
0059  77            LD (HL),A             ; Store the data
005A  2C            INC L
005B  71            LD (HL),C             ; Store A/D identifier (A/D port ADDR).
005C  2C            INC L
005D  C3 51 00      JP,NEXT               ; Test next bit in status word.
0060  F1      DONE  POP AF                ; Re-establish all registers as they were
0061  C1           POP BC                 ; before the interrupt.
0062  E1           POP HL
0063  C9           RET                    ; Return to original program
```

DS005671-A6

Ordering Information

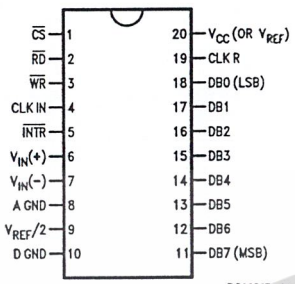
TEMP RANGE		0°C TO 70°C	0°C TO 70°C	0°C TO 70°C	−40°C TO +85°C
ERROR	±¼ Bit Adjusted				ADC0801LCN
	±½ Bit Unadjusted	ADC0802LCWM	ADC0802LCV		ADC0802LCN
	±½ Bit Adjusted	ADC0803LCWM	ADC0803LCV		ADC0803LCN
	±1Bit Unadjusted	ADC0804LCWM	ADC0804LCV	ADC0804LCN	ADC0805LCN
PACKAGE OUTLINE		M20B — Small Outline	V20A — Chip Carrier	N20A — Molded DIP	

TEMP RANGE		−40°C TO +85°C	−55°C TO +125°C
ERROR	±¼ Bit Adjusted	ADC0801LCJ	ADC0801LJ
	±½ Bit Unadjusted	ADC0802LCJ	ADC0802LJ,
	±½ Bit Adjusted	ADC0803LCJ	ADC0802LJ/883
	±1Bit Unadjusted	ADC0804LCJ	
PACKAGE OUTLINE		J20A — Cavity DIP	J20A — Cavity DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

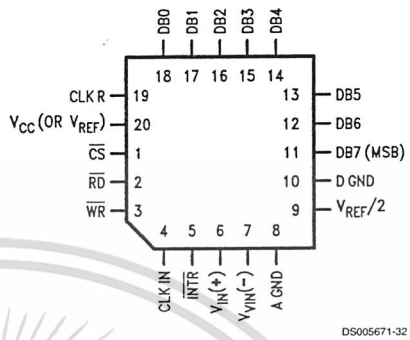
Connection Diagrams

ADC080X
Dual-In-Line and Small Outline (SO) Packages



See Ordering Information

ADC080X
Molded Chip Carrier (PCC) Package

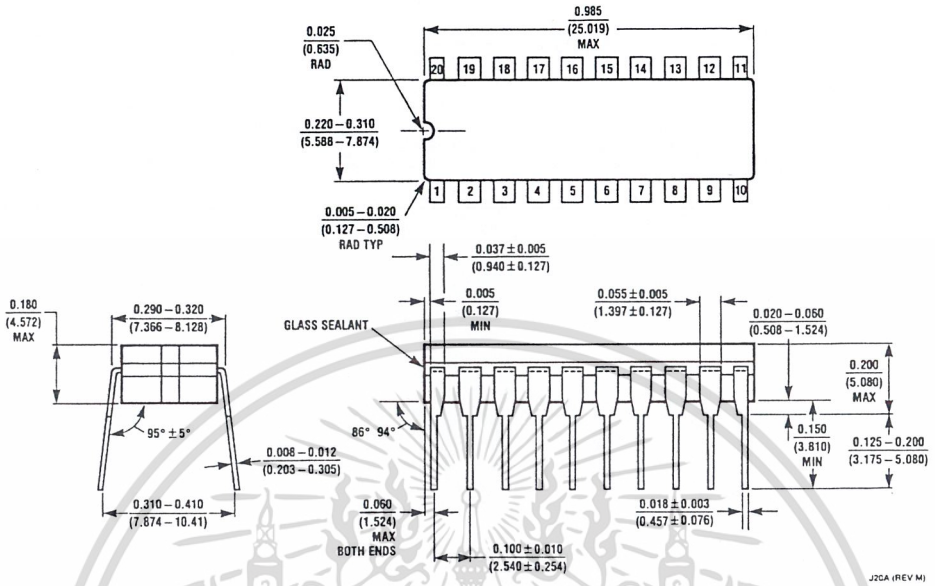


See Ordering Information

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

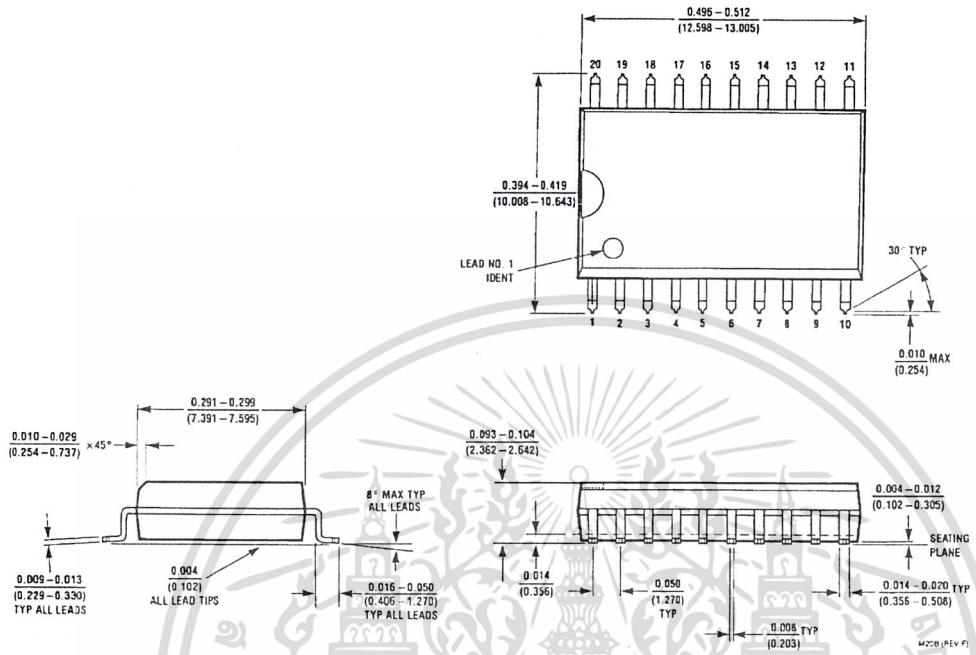
Physical Dimensions inches (millimeters) unless otherwise noted



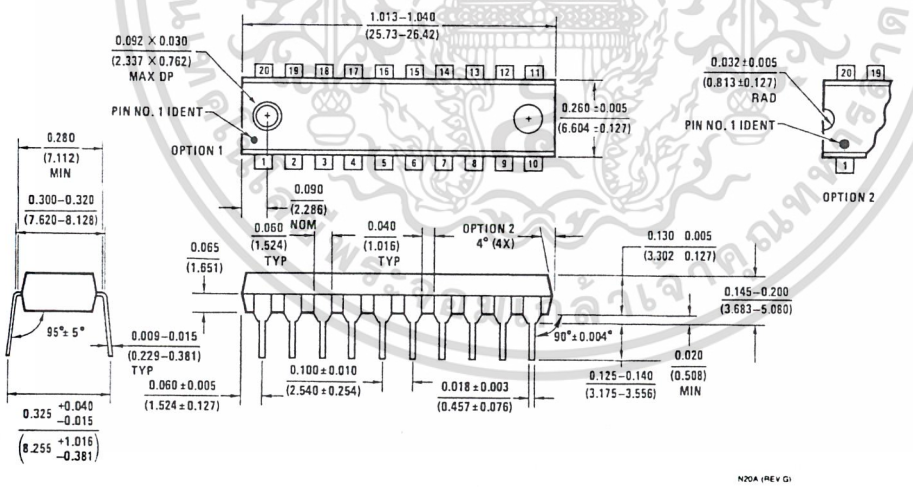
Dual-In-Line Package (J)
Order Number ADC0801LJ, ADC0802LJ, ADC0801LCJ, ADC0802LCJ, ADC0803LCJ or ADC0804LCJ
ADC0802LJ/883 or 5962-9096601MRA
NS Package Number J20A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



SO Package (M)
Order Number ADC0802LCWM, ADC0803LCWM or ADC0804LCWM
NS Package Number M20B



Molded Dual-In-Line Package (N)
Order Number ADC0801LCN, ADC0802LCN,
ADC0803LCN, ADC0804LCN or ADC0805LCN
NS Package Number N20A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

May 1998

DAC0800/DAC0801/DAC0802
8-Bit Digital-to-Analog Converters

General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 Vp-p with simple resistor loads as shown in *Figure 1.* The reference-to-full-scale current matching of better than ±1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than ±0.1% over temperature minimizes system error accumulations.

The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, V_{LC}, grounded. Changing the V_{LC} potential will allow direct interface to other logic families. The performance and characteristics of the device are essentially unchanged over the full ±4.5V to ±18V power supply range; power dissipation is only 33 mW with ±5V supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C, DAC0801C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, DAC-08E and DAC-08H, respectively.

Features

- Fast settling output current: 100 ns
- Full scale error: ±1 LSB
- Nonlinearity over temperature: ±0.1%
- Full scale current drift: ±10 ppm/°C
- High output compliance: −10V to +18V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range: ±4.5V to ±18V
- Low power consumption: 33 mW at ±5V
- Low cost

Typical Applications

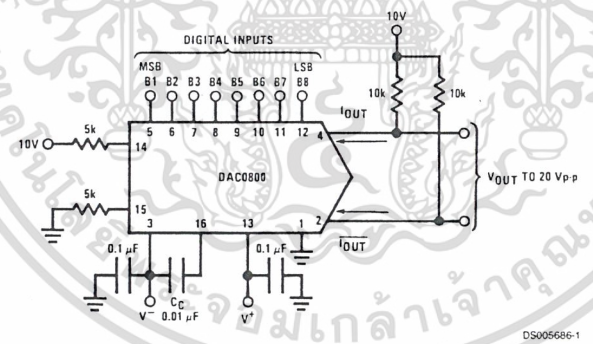


FIGURE 1. ±20 V_{P-P} Output Digital-to-Analog Converter (Note 5)

Ordering Information

Non-Linearity	Temperature Range	Order Numbers				
		J Package (J16A) (Note 1)		**N Package (N16A)** (Note 1)		**SO Package (M16A)**
±0.1% FS	0°C ≤ T_A ≤ +70°C	DAC0802LCJ	DAC-08HQ	DAC0802LCN	DAC-08HP	DAC0802LCM
±0.19% FS	−55°C ≤ T_A ≤ +125°C	DAC0800LJ	DAC-08Q			
±0.19% FS	0°C ≤ T_A ≤ +70°C	DAC0800LCJ	DAC-08EQ	DAC0800LCN	DAC-08EP	DAC0800LCM
±0.39% FS	0°C ≤ T_A ≤ +70°C			DAC0801LCN	DAC-08CP	DAC0801LCM

Note 1: Devices may be ordered by using either order number.

© 1999 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage ($V^+ - V^-$)	±18V or 36V
Power Dissipation (Note 3)	500 mW
Reference Input Differential Voltage (V14 to V15)	V^- to V^+
Reference Input Common-Mode Range (V14, V15)	V^- to V^+
Reference Input Current	5 mA
Logic Inputs	V^- to V^- plus 36V
Analog Current Outputs (V_S = −15V)	4.25 mA
ESD Susceptibility (Note 4)	TBD V
Storage Temperature	−65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Operating Conditions (Note 2)

	Min	Max	Units
Temperature (T_A)			
DAC0800L	−55	+125	°C
DAC0800LC	0	+70	°C
DAC0801LC	0	+70	°C
DAC0802LC	0	+70	°C

Electrical Characteristics

The following specifications apply for V_S = ±15V, I_{REF} = 2 mA and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
	Resolution		8	8	8	8	8	8	8	8	8	Bits
	Monotonicity		8	8	8	8	8	8	8	8	8	Bits
	Nonlinearity				±0.1			±0.19			±0.39	%FS
t_s	Settling Time	To ±½ LSB, All Bits Switched "ON" or "OFF", T_A=25°C		100	135					100	150	ns
		DAC0800L					100	135				ns
		DAC0800LC					100	150				ns
tPLH, tPHL	Propagation Delay	T_A=25°C										
	Each Bit			35	60		35	60		35	60	ns
	All Bits Switched			35	60		35	60		35	60	ns
TCI_{FS}	Full Scale Tempco			±10	±50		±10	±50		±10	±80	ppm/°C
V_{OC}	Output Voltage Compliance	Full Scale Current Change <½ LSB, R_{OUT}>20 MΩ Typ	−10		18	−10		18	−10		18	V
I_{FS4}	Full Scale Current	V_{REF}=10.000V, R14=5.000 kΩ R15=5.000 kΩ, T_A=25°C	1.984	1.992	2.000	1.94	1.99	2.04	1.94	1.99	2.04	mA
I_{FSS}	Full Scale Symmetry	$I_{FS4}-I_{FS2}$		±0.5	±4.0		±1	±8.0		±2	±16	µA
I_{ZS}	Zero Scale Current			0.1	1.0		0.2	2.0		0.2	4.0	µA
I_{FSR}	Output Current Range	V^-=−5V	0	2.0	2.1	0	2.0	2.1	0	2.0	2.1	mA
		V^-=−8V to −18V	0	2.0	4.2	0	2.0	4.2	0	2.0	4.2	mA
	Logic Input Levels											
V_{IL}	Logic "0"	V_{LC}=0V			0.8			0.8			0.8	V
V_{IH}	Logic "1"		2.0			2.0			2.0			V
	Logic Input Current	V_{LC}=0V										
I_{IL}	Logic "0"	−10V≤V_{IN}≤+0.8V		−2.0	−10		−2.0	−10		−2.0	−10	µA
I_{IH}	Logic "1"	2V≤V_{IN}≤+18V		0.002	10		0.002	10		0.002	10	µA
V_{IS}	Logic Input Swing	V^-=−15V	−10		18	−10		18	−10		18	V
V_{THR}	Logic Threshold Range	V_S=±15V	−10		13.5	−10		13.5	−10		13.5	V
I_{15}	Reference Bias Current			−1.0	−3.0		−1.0	−3.0		−1.0	−3.0	µA
dI/dt	Reference Input Slew Rate	(*Figure 11*)	4.0	8.0		4.0	8.0		4.0	8.0		mA/µs
$PSSI_{FS+}$	Power Supply Sensitivity	4.5V≤V^+≤18V		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
$PSSI_{FS-}$		−4.5V≤V^-≤18V I_{REF}=1mA		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

The following specifications apply for V_S = ±15V, I_{REF} = 2 mA and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
	Power Supply Current	V_S=±5V, I_{REF}=1 mA										
I+				2.3	3.8		2.3	3.8		2.3	3.8	mA
I−				−4.3	−5.8		−4.3	−5.8		−4.3	−5.8	mA
		V_S=5V, −15V, I_{REF}=2 mA										
I+				2.4	3.8		2.4	3.8		2.4	3.8	mA
I−				−6.4	−7.8		−6.4	−7.8		−6.4	−7.8	mA
		V_S=±15V, I_{REF}=2 mA										
I+				2.5	3.8		2.5	3.8		2.5	3.8	mA
I−				−6.5	−7.8		−6.5	−7.8		−6.5	−7.8	mA
P_D	Power Dissipation	±5V, I_{REF}=1 mA		33	48		33	48		33	48	mW
		5V,−15V, I_{REF}=2 mA		108	136		108	136		108	136	mW
		±15V, I_{REF}=2 mA		135	174		135	174		135	174	mW

Note 2: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

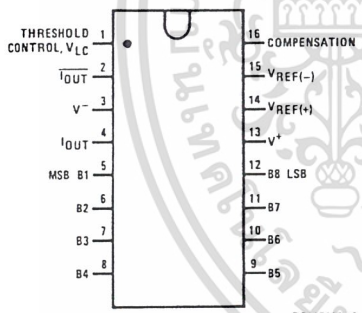
Note 3: The maximum junction temperature of the DAC0800, DAC0801 and DAC0802 is 125˚C. For operating at elevated temperatures, devices in the Dual-In-Line J package must be derated based on a thermal resistance of 100˚C/W, junction-to-ambient, 175˚C/W for the molded Dual-In-Line N package and 100˚C/W for the Small Outline M package.

Note 4: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 5: Pin-out numbers for the DAC080X represent the Dual-In-Line package. The Small Outline package pin-out differs from the Dual-In-Line package.

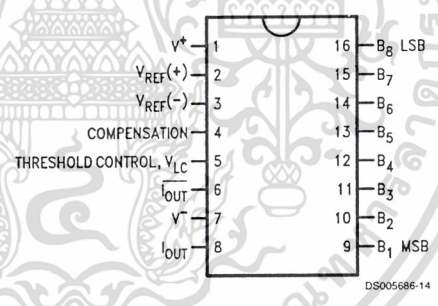
Connection Diagrams

Dual-In-Line Package



Top View

Small Outline Package

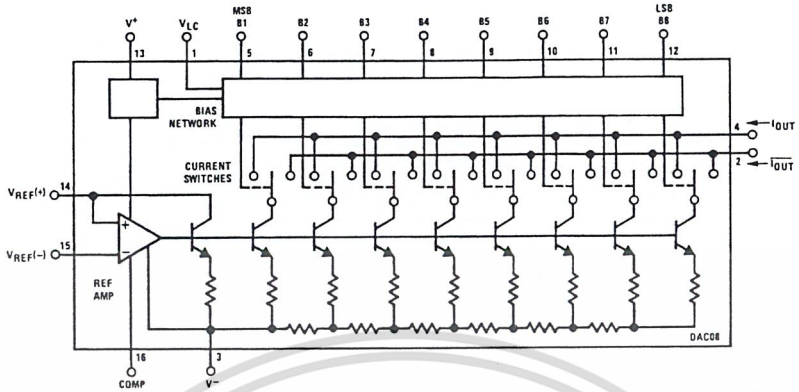


Top View

See Ordering Information

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

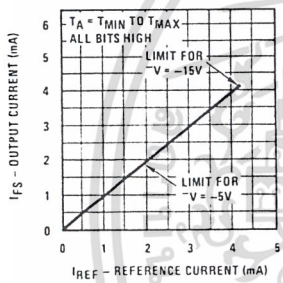
Block Diagram (Note 5)



DS005686-2

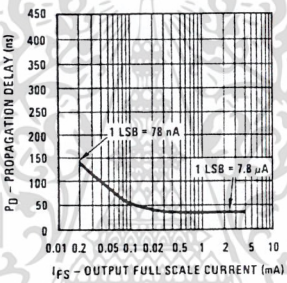
Typical Performance Characteristics

Full Scale Current vs Reference Current



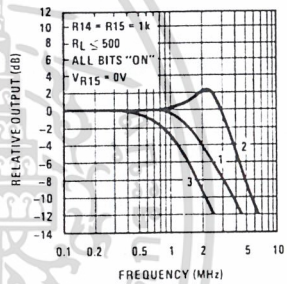
DS005686-22

LSB Propagation Delay vs I_{FS}



DS005686-23

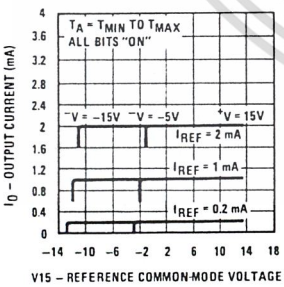
Reference Input Frequency Response



DS005686-24

Curve 1: C_C=15 pF, V_{IN}=2 Vp-p centered at 1V.
Curve 2: C_C=15 pF, V_{IN}=50 mVp-p centered at 200 mV.
Curve 3: C_C=0 pF, V_{IN}=100 mVp-p centered at 0V and applied through 50Ω connected to pin 14.2V applied to R14.

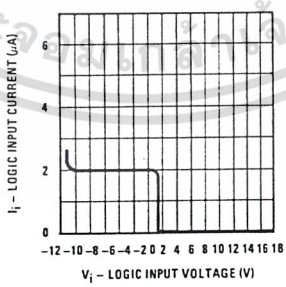
Reference Amp Common-Mode Range



DS005686-25

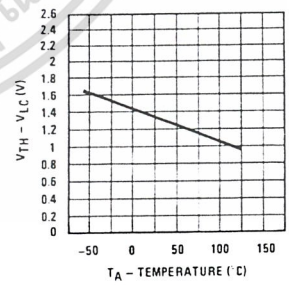
Note. Positive common-mode range is always (V+) − 1.5V.

Logic Input Current vs Input Voltage



DS005686-26

$V_{TH} - V_{LC}$ vs Temperature

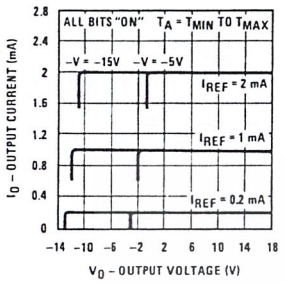


DS005686-27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

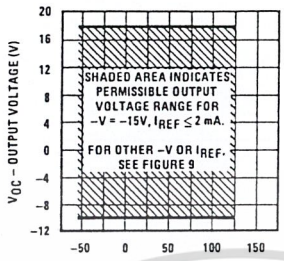
Typical Performance Characteristics (Continued)

Output Current vs Output Voltage (Output Voltage Compliance)



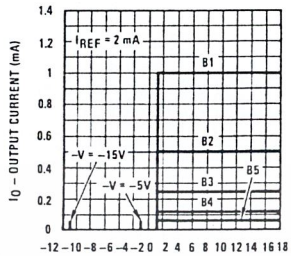
DS005686-28

Output Voltage Compliance vs Temperature



DS005686-29

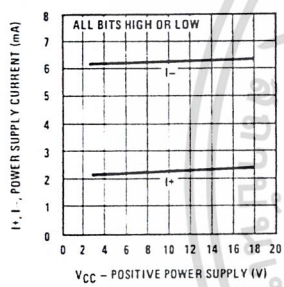
Bit Transfer Characteristics



DS005686-30

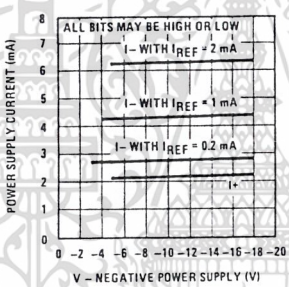
Note. B1–B8 have identical transfer characteristics. Bits are fully switched with less than ½ LSB error, at less than ±100 mV from actual threshold. These switching points are guaranteed to lie between 0.8 and 2V over the operating temperature range (V_{LC} = 0V).

Power Supply Current vs +V



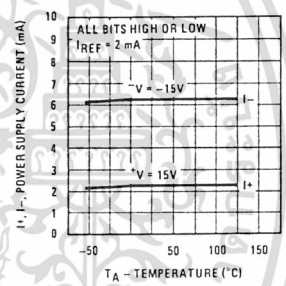
DS005686-31

Power Supply Current vs –V



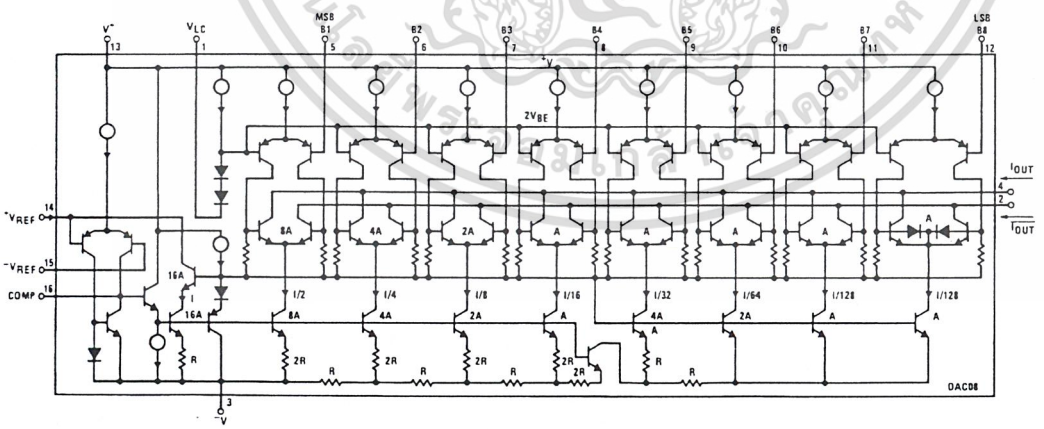
DS005686-32

Power Supply Current vs Temperature



DS005686-33

Equivalent Circuit

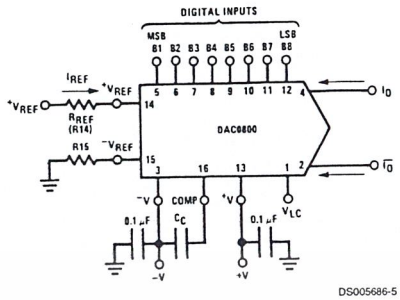


DS005686-15

FIGURE 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications



$$I_{FS} \approx \frac{+V_{REF}}{R_{REF}} \times \frac{255}{256}$$

$I_O + \bar{I}_O = I_{FS}$ for all logic states
For fixed reference, TTL operation, typical values are:
V_{REF} = 10.000V
R_{REF} = 5.000k
R15 ≈ R_{REF}
C_C = 0.01 μF
V_{LC} = 0V (Ground)

FIGURE 3. Basic Positive Reference Operation (Note 5)

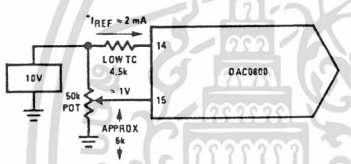
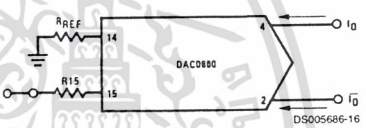


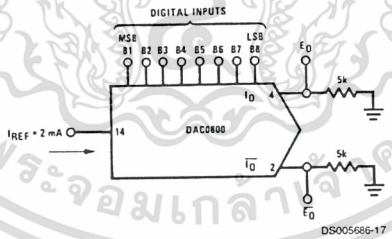
FIGURE 4. Recommended Full Scale Adjustment Circuit (Note 5)



$$I_{FS} \approx \frac{-V_{REF}}{R_{REF}} \times \frac{255}{256}$$

Note. R_{REF} sets I_{FS}; R15 is for bias current cancellation

FIGURE 5. Basic Negative Reference Operation (Note 5)

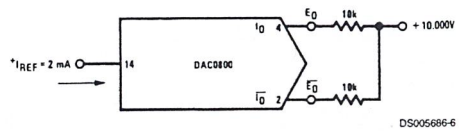


	B1	B2	B3	B4	B5	B6	B7	B8	I_O mA	$\bar{I}_O$mA	E_O	$\bar{E}_O$
Full Scale	1	1	1	1	1	1	1	1	1.992	0.000	−9.960	0.000
Full Scale−LSB	1	1	1	1	1	1	1	0	1.984	0.008	−9.920	−0.040
Half Scale+LSB	1	0	0	0	0	0	0	1	1.008	0.984	−5.040	−4.920
Half Scale	1	0	0	0	0	0	0	0	1.000	0.992	−5.000	−4.960
Half Scale−LSB	0	1	1	1	1	1	1	1	0.992	1.000	−4.960	−5.000
Zero Scale+LSB	0	0	0	0	0	0	0	1	0.008	1.984	−0.040	−9.920
Zero Scale	0	0	0	0	0	0	0	0	0.000	1.992	0.000	−9.960

FIGURE 6. Basic Unipolar Negative Operation (Note 5)

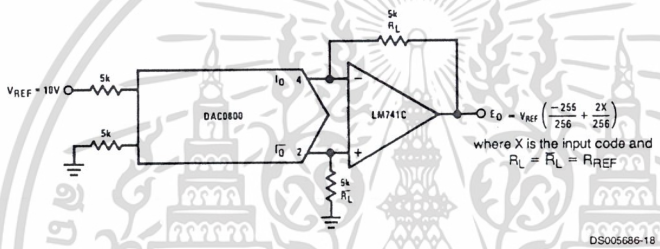
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



	B1	B2	B3	B4	B5	B6	B7	B8	E_O	$\overline{E}_O$
Pos. Full Scale	1	1	1	1	1	1	1	1	−9.920	+10.000
Pos. Full Scale−LSB	1	1	1	1	1	1	1	0	−9.840	+9.920
Zero Scale+LSB	1	0	0	0	0	0	0	1	−0.080	+0.160
Zero Scale	1	0	0	0	0	0	0	0	0.000	+0.080
Zero Scale−LSB	0	1	1	1	1	1	1	1	+0.080	0.000
Neg. Full Scale+LSB	0	0	0	0	0	0	0	1	+9.920	−9.840
Neg. Full Scale	0	0	0	0	0	0	0	0	+10.000	−9.920

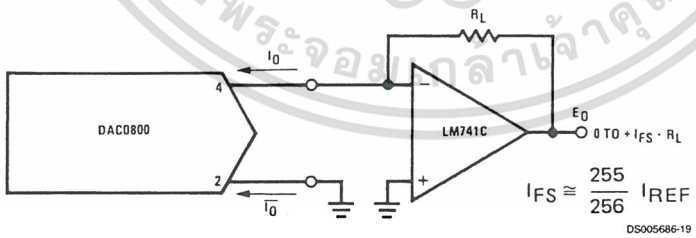
FIGURE 7. Basic Bipolar Output Operation (Note 5)



If $R_L = \overline{R}_L$ within ±0.05%, output is symmetrical about ground

	B1	B2	B3	B4	B5	B6	B7	B8	E_O
Pos. Full Scale	1	1	1	1	1	1	1	1	+9.960
Pos. Full Scale−LSB	1	1	1	1	1	1	1	0	+9.880
(+)Zero Scale	1	0	0	0	0	0	0	0	+0.040
(−)Zero Scale	0	1	1	1	1	1	1	1	−0.040
Neg. Full Scale+LSB	0	0	0	0	0	0	0	1	−9.880
Neg. Full Scale	0	0	0	0	0	0	0	0	−9.960

FIGURE 8. Symmetrical Offset Binary Operation (Note 5)

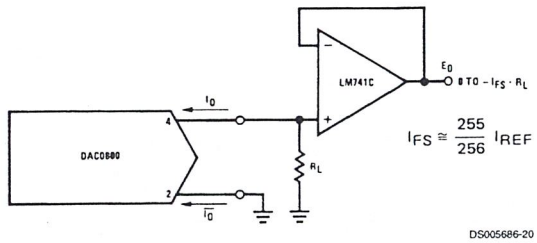


For complementary output (operation as negative logic DAC), connect inverting input of op amp to $\overline{I}_O$ (pin 2), connect I_O (pin 4) to ground.

FIGURE 9. Positive Low Impedance Output Operation (Note 5)

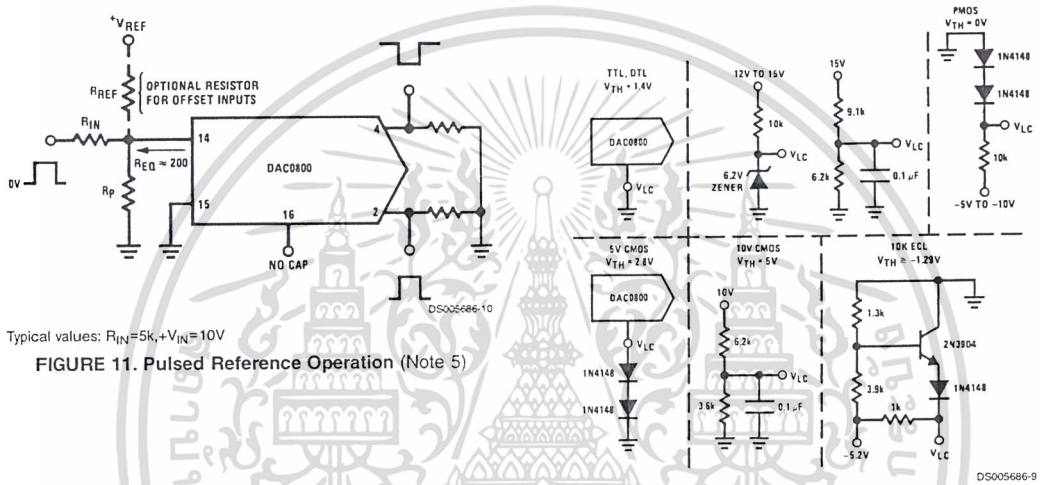
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



For complementary output (operation as a negative logic DAC) connect non-inverting input of op am to $\bar{I}_O$ (pin 2); connect I_O (pin 4) to ground.

FIGURE 10. Negative Low Impedance Output Operation (Note 5)

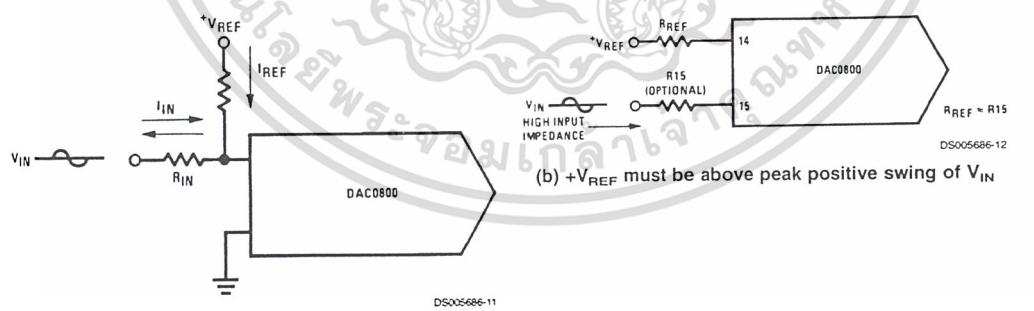


Typical values: R_{IN}=5k, $+V_{IN}$=10V

FIGURE 11. Pulsed Reference Operation (Note 5)

$V_{TH} = V_{LC} + 1.4V$
15V CMOS, HTL, HNIL
$V_{TH} = 7.6V$
Note. Do not exceed negative logic input range of DAC.

FIGURE 12. Interfacing with Various Logic Families



(a) $I_{REF} \geq$ peak negative swing of I_{IN}

(b) $+V_{REF}$ must be above peak positive swing of V_{IN}

FIGURE 13. Accommodating Bipolar References (Note 5)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

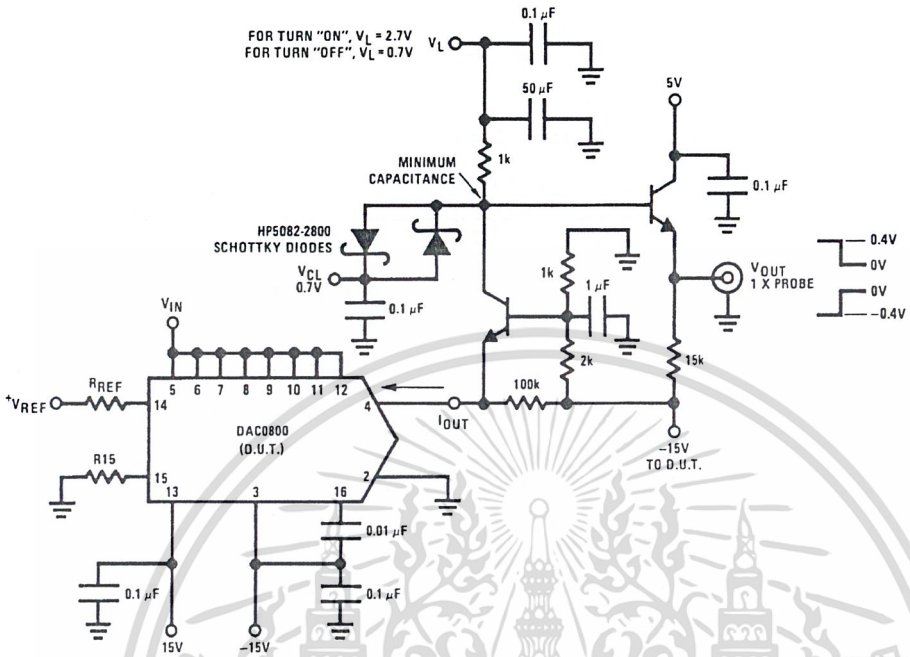
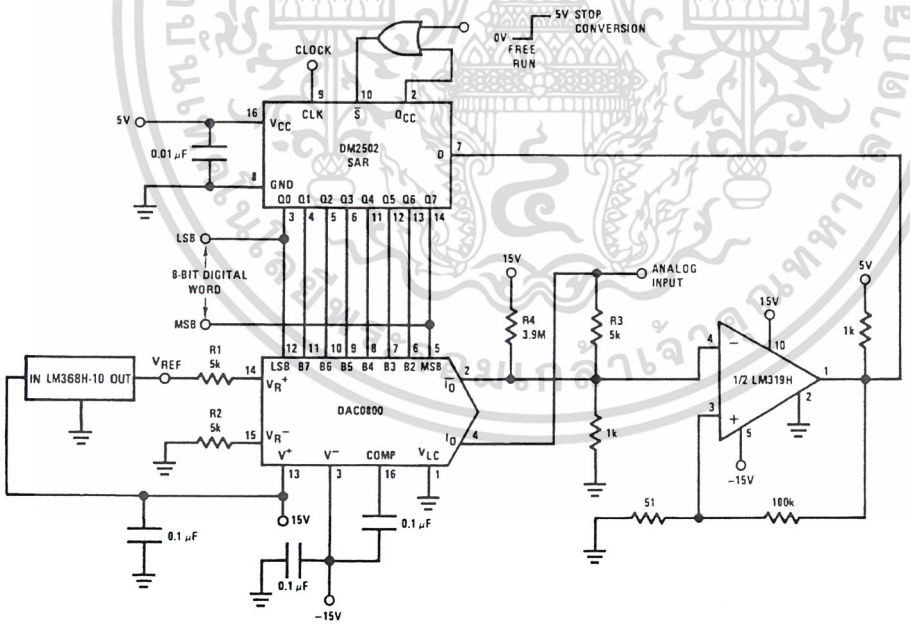


FIGURE 14. Settling Time Measurement (Note 5)



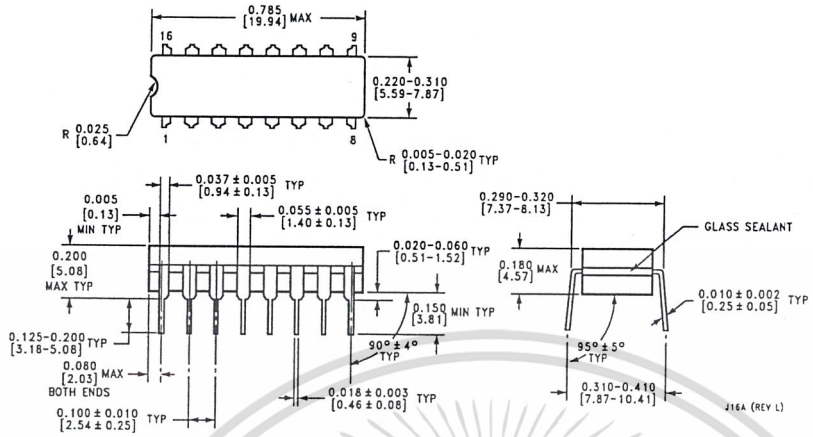
Note. For 1 μs conversion time with 8-bit resolution and 7-bit accuracy, an LM361 comparator replaces the LM319 and the reference current is doubled by reducing R1, R2 and R3 to 2.5 kΩ and R4 to 2 MΩ.

FIGURE 15. A Complete 2 μs Conversion Time, 8-Bit A/D Converter (Note 5)

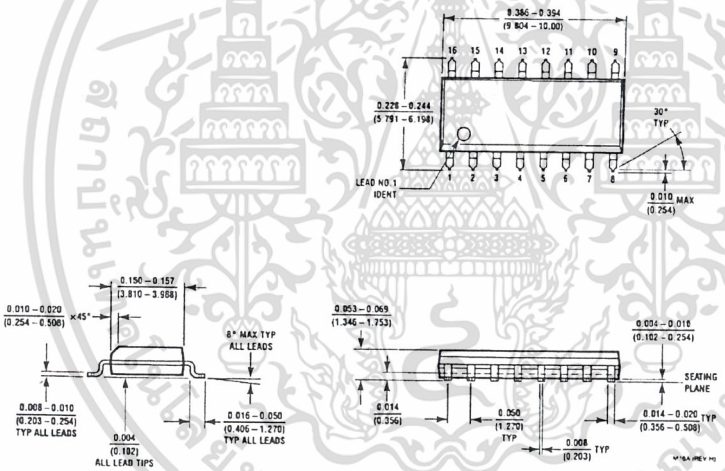
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted



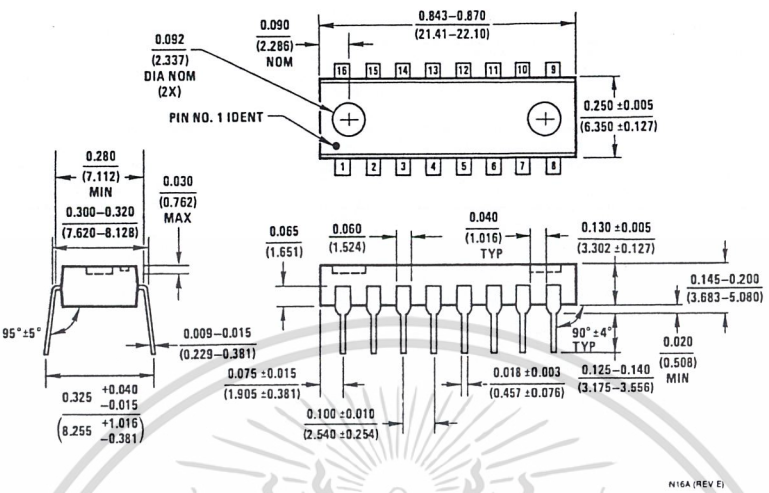
Molded Small Outline Package (SO)
Order Numbers DAC0800LCM,
DAC0801LCM or DAC0802LCM
NS Package Number M16A



Molded Small Outline Package (SO)
Order Numbers DAC0800LCM,
DAC0801LCM or DAC0802LCM
NS Package Number M16A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



Molded Dual-In-Line Package
Order Numbers DAC0800, DAC0801, DAC0802
NS Package Number N16A

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
Americas
Tel: 1-800-272-9959
Fax: 1-800-737-7018
Email: support@nsc.com

www.national.com

National Semiconductor Europe
Fax: +49 (0) 1 80-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 1 80-530 85 85
English Tel: +49 (0) 1 80-532 78 32
Français Tel: +49 (0) 1 80-532 93 58
Italiano Tel: +49 (0) 1 80-534 16 80

National Semiconductor Asia Pacific Customer Response Group
Tel: 65-2544466
Fax: 65-2504466
Email: sea.support@nsc.com

National Semiconductor Japan Ltd.
Tel: 81-3-5639-7560
Fax: 81-3-5639-7507

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

THYRISTOR MODULE

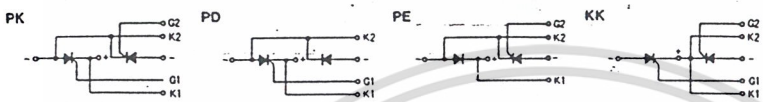
PK(PD,PE,KK)40F

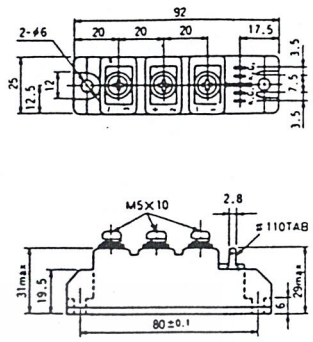
UL:E76102(M)

Power Thyristor/Diode Module PK40F series are designed for various rectifier circuits and power controls. For your circuit application, following internal connections and wide voltage ratings up to 1,600 V are available. High precision 25 mm (1inch) width package and electrically isolated mounting base make your mechanical design easy.

- $I_{T(AV)}$ 40A, $I_{T(RMS)}$ 62A, I_{TSM} 1300A
- di/dt 150 A/μs
- dv/dt 500 V/μs

(Applications)
Various rectifiers
AC/DC motor drives
Heater controls
Light dimmers
Static switches





PK40F

Unit : mm

Maximum Ratings

Symbol	Item	PK40F-40 PD40F-40 PE40F-40 KK40F-40	PK40F-80 PD40F-80 PE40F-80 KK40F-80	PK40F-120 PD40F-120 PE40F-120 KK40F-120	PK40F-160 PD40F-160 PE40F-160 KK40F-160	Unit
V_{RRM}	* Repetitive Peak Reverse Voltage	400	800	1200	1600	V
V_{RSM}	* Non-Repetitive Peak Reverse Voltage	480	960	1300	1700	V
V_{DRM}	Repetitive Peak Off-State Voltage	400	800	1200	1600	V

Symbol	Item		Conditions	Ratings	Unit
$I_{T(AV)}$	* Average On-State Current		Single phase, half wave, 180° conduction, Tc : 96°C	40	A
$I_{T(RMS)}$	* R.M.S On-State Current		Single phase, half wave, 180° conduction, Tc : 96°C	62	A
I_{TSM}	* Surge On-State Current		1/2 cycle, 50/60Hz, peak value, non-repetitive	1200/1300	A
I^2t	* I^2t		Value for one cycle of surge current	7200	A^2S
P_{GM}	Peak Gate Power Dissipation			10	W
$P_{G(AV)}$	Average Gate Power Dissipation			3	W
I_{FGM}	Peak Gate Current			3	A
V_{FGM}	Peak Gate Voltage(Forwad)			10	V
V_{RGM}	Peak Gate Voltage(Reverse)			5	V
di/dt	Critical Rate of Rise of On-State Current		I_G=100mA, Tj=25°C, V_D=1/2 V_{DRM}, dI_G/dt=0.1A/μs	150	A/μs
V_{ISO}	* Isolation Breakdown Voltage(R.M.S)		A.C. 1minute	2500	V
Tj	* Operating Junction Temperature			−40～+125	°C
Tstg	* Storage Temperature			−40～+125	°C
	Mounting Torque	(M5)	Recommended Value 25kgf·cm	22～28	kgf·cm
		Terminal (M5)	Recommended Value 25kgf·cm	22～28	
	Mass			170	g

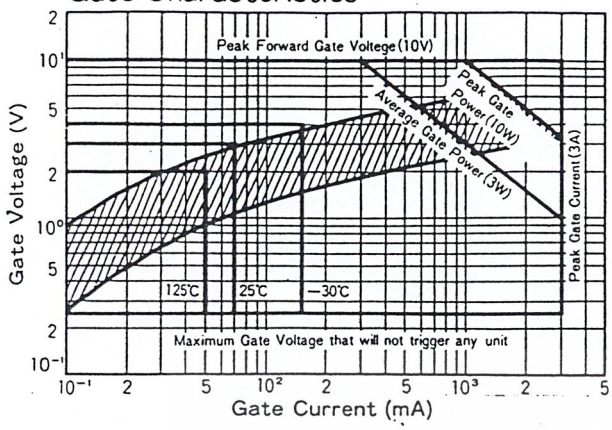
Electrical Characteristics

Symbol	Item	Conditions	Ratings	Unit
I_{DRM}	Repetitive Peak Off-State Current, max.	at V_{DRM}, single phase, half wave, Tj=125°C	15	mA
I_{RRM}	* Repetitive Peak Reverse Current, max.	at V_{DRM}, single phase, half wave, Tj=125°C	15	mA
V_{TM}	* Peak On-State Voltage, max.	On-State Current 120A, Tj=25°C Inst. measurement	1.40	V
I_{GT}/V_{GT}	Gate Trigger Current/Voltage, max.	Tj=25°C, I_T=1A, V_D=6V	70/3	mA/V
V_{GD}	Non-Trigger Gate, Voltage, min.	Tj=125°C, V_D=1/2 V_{DRM}	0.25	V
tgt	Turn On Time, max	I_T=40A, I_G=100mA, Tj=25°C, V_D=1/2 V_{DRM}, dI_G/dt=0.1A/μs	10	μs
dv/dt	Critical Rate of Rise of On-State Voltage, min.	Tj=125°C, V_D=2/3 V_{DRM}, Exponential wave.	500	V/μs
I_H	Holding Current, typ.	Tj=25°C	50	mA
I_L	Lutching Current, typ.	Tj=25°C	100	mA
Rth(j-c)	* Thermal Impedance, max.	Junction to case	0.55	°C/W

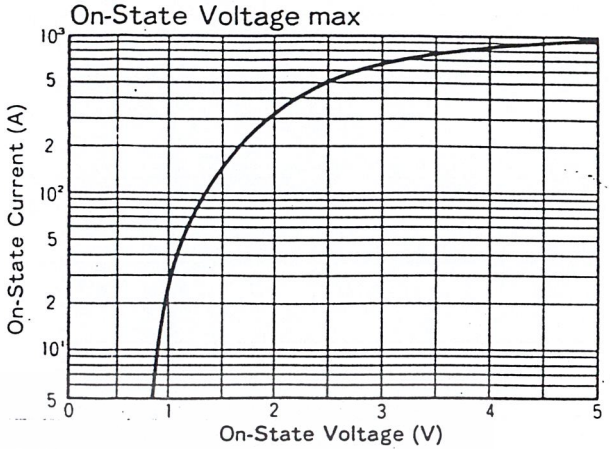
*mark : Thyristor and Diodo part. No mark : Thyristor part

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

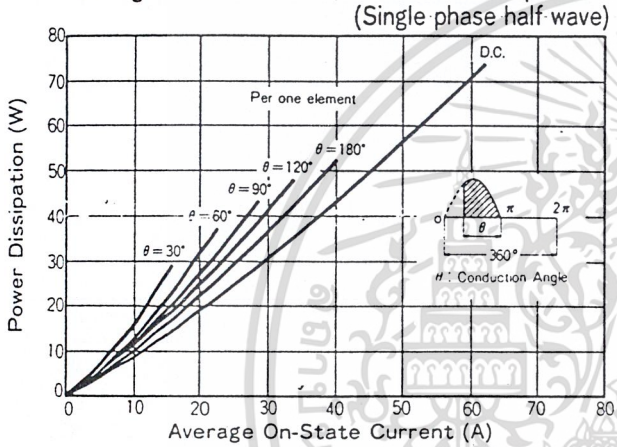
Gate Characteristics



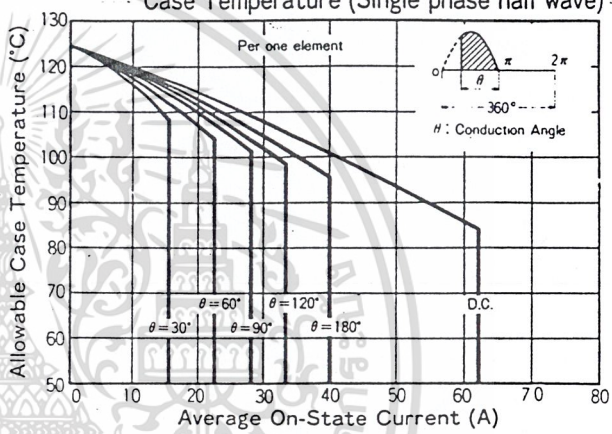
On-State Voltage max



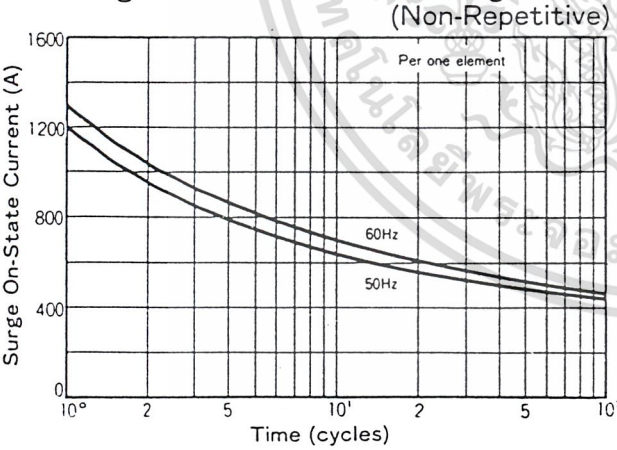
Average On-State Current Vs Power Dissipation (Single phase half wave)



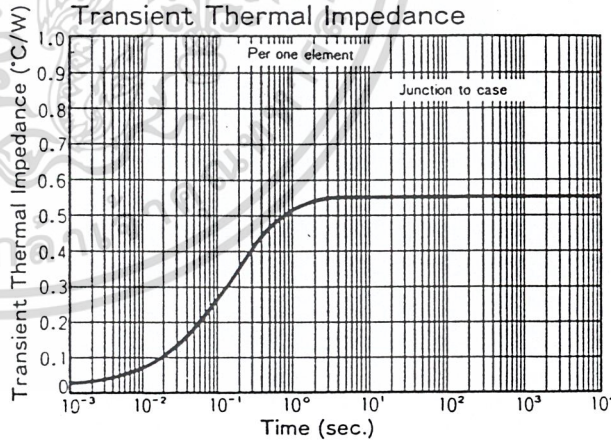
Average On-State Current Vs Maximum Allowable Case Temperature (Single phase half wave)



Surge On-State Current Rating (Non-Repetitive)



Transient Thermal Impedance

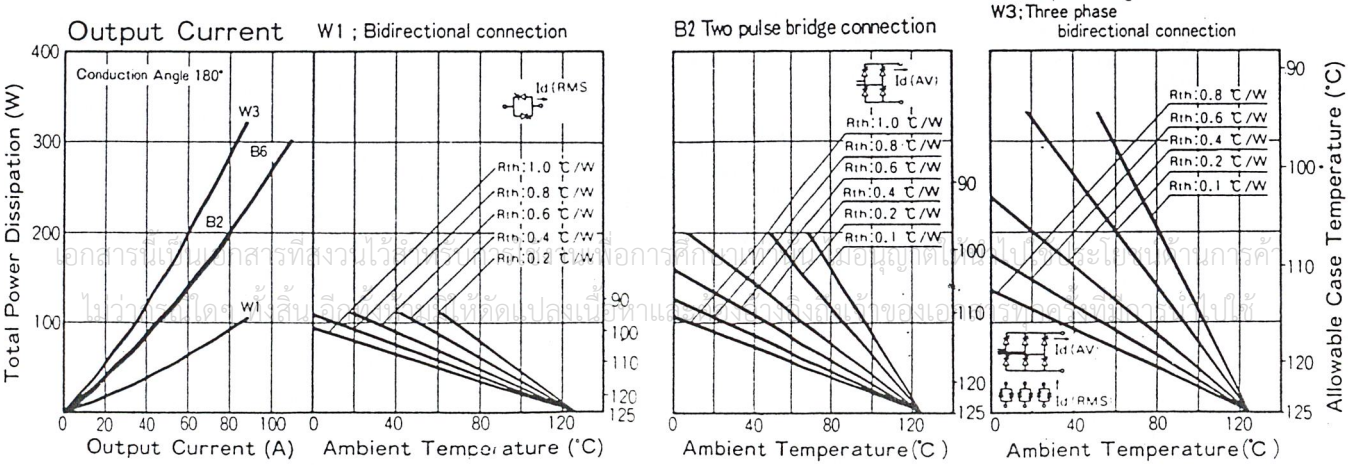


Output Current

W1 ; Bidirectional connection

B2 Two pulse bridge connection

B6 ; Six pulse bridge connection
W3; Three phase bidirectional connection



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MOC3041
MOC3042
MOC3043

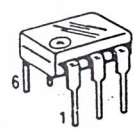
6-Pin DIP Optoisolators
Triac Driver Output

6-PIN DIP
OPTOISOLATORS
TRIAC DRIVER OUTPUT
400 VOLTS

These devices consist of gallium arsenide infrared emitting diodes optically coupled to a monolithic silicon detector performing the function of a Zero Voltage Crossing bilateral triac driver.

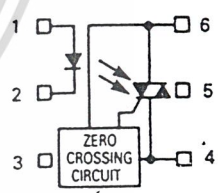
They are designed for use with a triac in the interface of logic systems to equipment powered from 240 Vac lines, such as solid-state relays, industrial controls, motors, solenoids and consumer appliances, etc.

- Simplifies Logic Control of 240 Vac Power
- Zero Voltage Crossing
- High Breakdown Voltage: V_{DRM} = 400 V Min
- High Isolation Voltage: V_{ISO} = 7500 V Guaranteed
- Small, Economical, 6-Pin DIP Package
- dv/dt of 2000 V/μs Typ, 1000 V/μs Guaranteed
- UL Recognized, File No. E54915
- VDE approved per standard 0883/6.80 (Certificate number 41853), with additional approval to DIN IEC380/VDE0806, IEC435/VDE0805, IEC65/VDE0860, VDE0110b, covering all other standards with equal or less stringent requirements, including IEC204/VDE0113, VDE0160, VDE0832, VDE0833, etc.
- Special lead form available (add suffix "T" to part number) which satisfies VDE0883/6.80 requirement for 8 mm minimum creepage distance between input and output solder pads.
- Various lead form options available. Consult "Optoisolator Lead Form Options" data sheet for details.



CASE 730A-02
PLASTIC

COUPLER SCHEMATIC



1. ANODE
2. CATHODE
3. NC
4. MAIN TERMINAL
5. SUBSTRATE
   DO NOT CONNECT
6. MAIN TERMINAL

MAXIMUM RATINGS (T_A = 25°C unless otherwise noted)

Rating	Symbol	Value	Unit
INFRARED EMITTING DIODE			
Reverse Voltage	V_R	6	Volts
Forward Current — Continuous	I_F	60	mA
Total Power Dissipation @ T_A = 25°C Negligible Power in Output Driver Derate above 25°C	P_D	120 1.41	mW mW/°C
OUTPUT DRIVER			
Off-State Output Terminal Voltage	V_{DRM}	400	Volts
Peak Repetitive Surge Current (PW = 100 μs, 120 pps)	I_{TSM}	1	A
Total Power Dissipation @ T_A = 25°C Derate above 25°C	P_D	150 1.76	mW mW/°C
TOTAL DEVICE			
Isolation Surge Voltage (1) (Peak ac Voltage, 60 Hz, 1 Second Duration)	V_{ISO}	7500	Vac
Total Power Dissipation @ T_A = 25°C Derate above 25°C	P_D	250 2.94	mW mW/°C
Junction Temperature Range	T_J	−40 to +100	°C
Ambient Operating Temperature Range	T_A	−40 to +85	°C
Storage Temperature Range	T_{stg}	−40 to +150	°C
Soldering Temperature (10 s)	—	260	°C

(1) Isolation surge voltage, V_{ISO}, is an internal device dielectric breakdown rating.
For this test, Pins 1 and 2 are common, and Pins 4, 5 and 6 are common.

เอกสารนี้จัดทำขึ้นเพื่อการใช้งานสำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic		Symbol	Min	Typ	Max	Unit
INPUT LED						
Reverse Leakage Current (V_R = 6 V)		I_R	—	0.05	100	μA
Forward Voltage (I_F = 30 mA)		V_F	—	1.3	1.5	Volts
OUTPUT DETECTOR (I_F = 0 unless otherwise noted)						
Leakage with LED Off, Either Direction (Rated V_{DRM}, Note 1)		I_{DRM1}	—	2	100	nA
Peak On-State Voltage, Either Direction (I_{TM} = 100 mA Peak)		V_{TM}	—	1.8	3	Volts
Critical Rate of Rise of Off-State Voltage (Note 3)		dv/dt	1000	2000	—	V/μs
COUPLED						
LED Trigger Current, Current Required to Latch Output (Main Terminal Voltage = 3 V, Note 2)	MOC3041	I_{FT}	—	—	15	mA
	MOC3042		—	—	10	
	MOC3043		—	—	5	
Holding Current, Either Direction		I_H	—	100	—	μA
Isolation Voltage (f = 60 Hz, t = 1 sec)		V_{ISO}	7500	—	—	Vac(pk)
ZERO CROSSING						
Inhibit Voltage (I_F = Rated I_{FT}, MT1-MT2 Voltage above which device will not trigger.)		V_{IH}	—	5	20	Volts
Leakage in Inhibited State (I_F = Rated I_{FT}, Rated V_{DRM}, Off State)		I_{DRM2}	—	—	500	μA

Notes: 1. Test voltage must be applied within dv/dt rating.
2. All devices are guaranteed to trigger at an I_F value less than or equal to max I_{FT}. Therefore, recommended operating I_F lies between max I_{FT} (15 mA for MOC3041, 10 mA for MOC3042, 5 mA for MOC3043) and absolute max I_F (60 mA).
3. This is static dv/dt. See Figure 7 for test circuit. Commutating dv/dt is a function of the load-driving thyristor(s) only.

TYPICAL ELECTRICAL CHARACTERISTICS

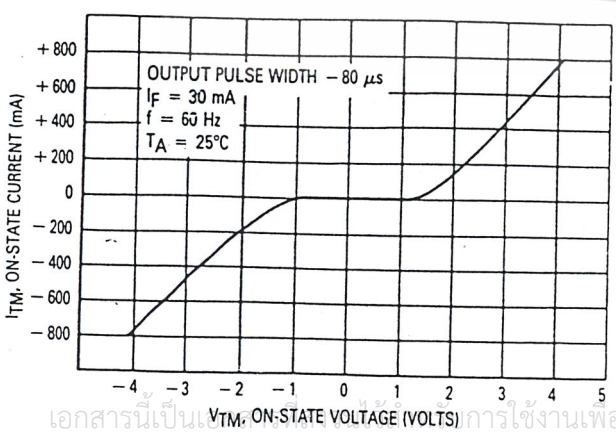


Figure 1. On-State Characteristics

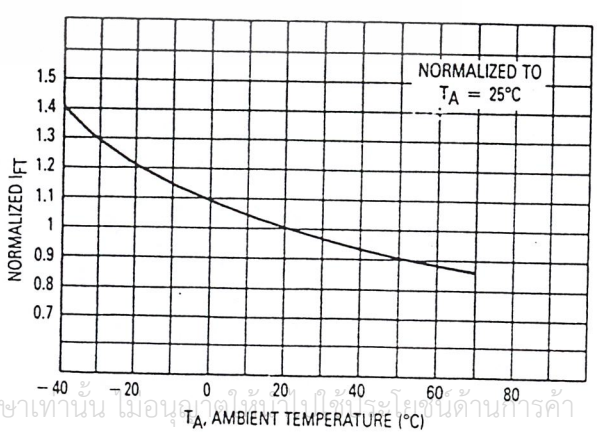


Figure 2. Trigger Current versus Temperature

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

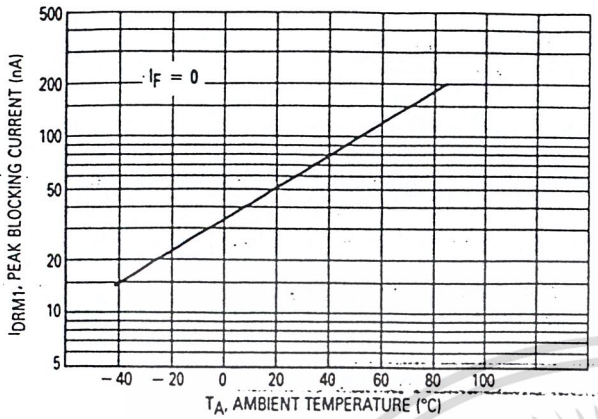


Figure 3. I_{DRM1}, Peak Blocking Current versus Temperature

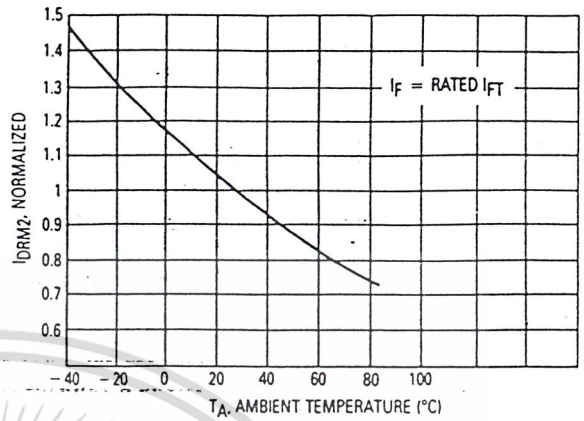


Figure 4. I_{DRM2}, Leakage in Inhibit State versus Temperature

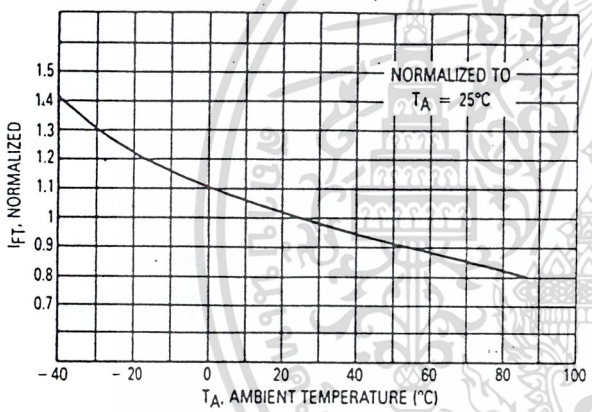


Figure 5. Trigger Current versus Temperature

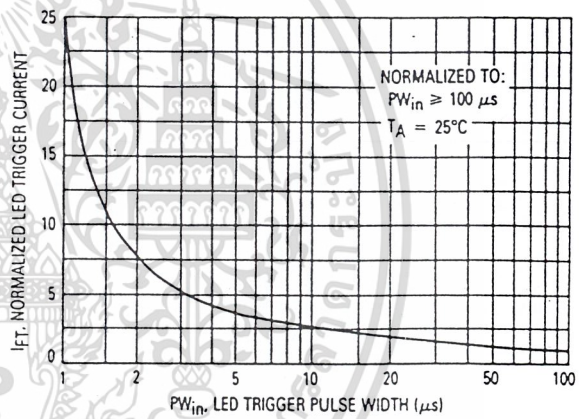
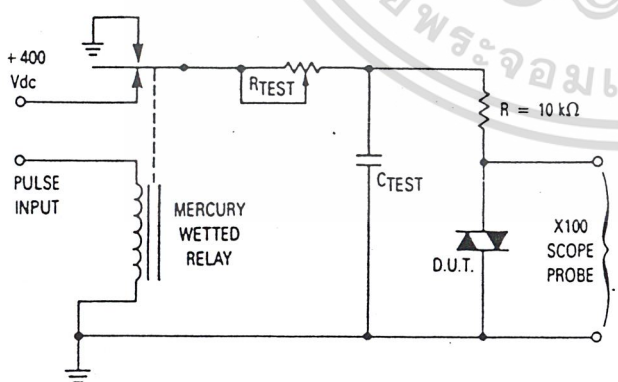
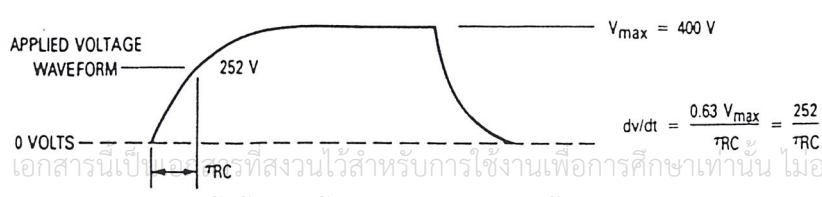


Figure 6. LED Current Required to Trigger versus LED Pulse Width

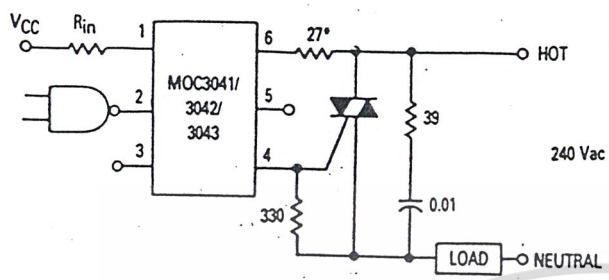


1. The mercury wetted relay provides a high speed repeated pulse to the D.U.T.
2. 100x scope probes are used, to allow high speeds and voltages.
3. The worst-case condition for static dv/dt is established by triggering the D.U.T. with a normal LED input current, then removing the current. The variable R_{TEST} allows the dv/dt to be gradually increased until the D.U.T. continues to trigger in response to the applied voltage pulse, even after the LED current has been removed. The dv/dt is then decreased until the D.U.T. stops triggering. τ_{RC} is measured at this point and recorded.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 7. Static dv/dt Test Circuit

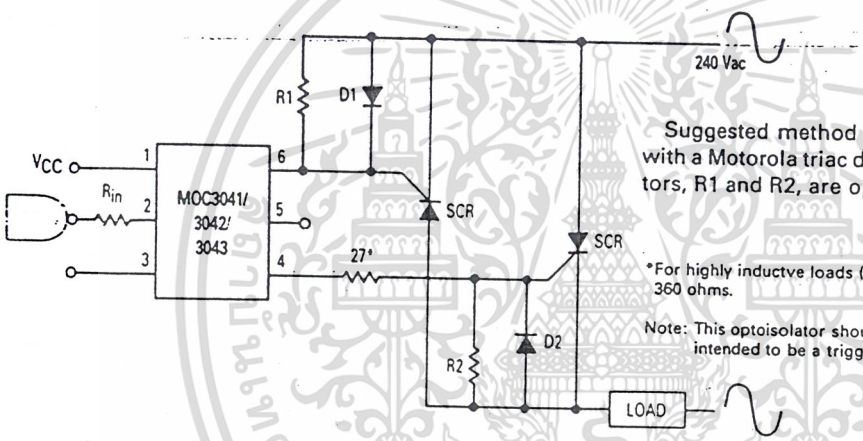


*For highly inductive loads (power factor < 0.5), change this value to 360 ohms.

Typical circuit for use when hot line switching is required. In this circuit the "hot" side of the line is switched and the load connected to the cold or neutral side. The load may be connected to either the neutral or hot line.

R_{in} is calculated so that I_F is equal to the rated I_{FT} of the part, 5 mA for the MOC3043, 10 mA for the MOC3042, or 15 mA for the MOC3041. The 39 ohm resistor and 0.01 μF capacitor are for snubbing of the triac and may or may not be necessary depending upon the particular triac and load used.

Figure 8. Hot-Line Switching Application Circuit



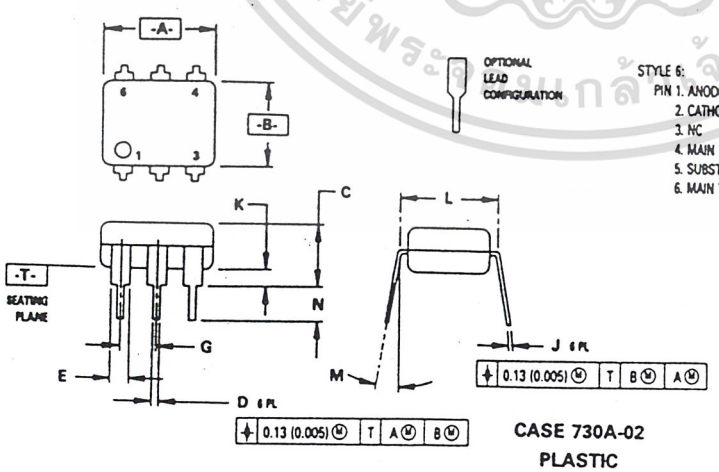
Suggested method of firing two, back-to-back SCR's, with a Motorola triac driver. Diodes can be 1N4001; resistors, R1 and R2, are optional 330 ohms.

*For highly inductve loads (power factor < 0.5), change this value to 360 ohms.

Note: This optoisolator should not be used to drive a load directly. It is intended to be a trigger device only.

Figure 9. Inverse-Parallel SCR Driver Circuit

OUTLINE DIMENSIONS



CASE 730A-02
PLASTIC

STYLE 6:
PIN 1. ANODE
2. CATHODE
3. NC
4. MAIN TERMINAL
5. SUBSTRATE
6. MAIN TERMINAL

NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIM L TO CENTER OF LEAD WHEN FORMED PARALLEL.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	8.13	8.89	0.320	0.350
B	6.10	6.60	0.240	0.260
C	2.93	5.08	0.115	0.200
D	0.41	0.50	0.016	0.020
E	1.02	1.77	0.040	0.070
G	2.54 BSC		0.100 BSC	
J	0.21	0.30	0.008	0.012
K	0.38	2.54	0.015	0.100
L	7.62 BSC		0.300 BSC	
M	0°	15°	0°	15°
N	2.54	3.81	0.100	0.150

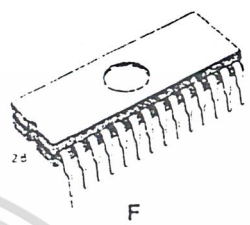
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SGS-THOMSON MICROELECTRONICS

M2764A

64K (8K x 8) NMOS UV ERASABLE PROM

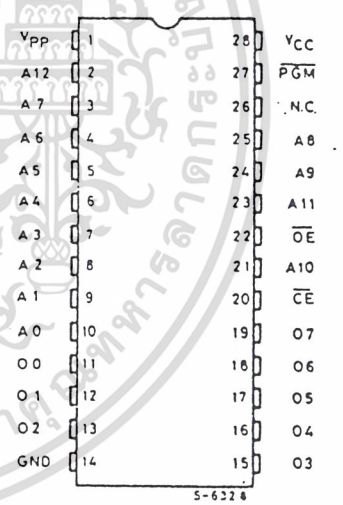
- FAST ACCESS TIME:
  180ns MAX M2764A-1F1/M2764A-18F1
  200ns MAX M2764A-2F1/M2764A-20F1
  250ns MAX M2764AF1/M2764AF6/M2764A-25F1
  300ns MAX M2764A-3F1/M2764A-30F1
  450ns MAX M2764A-4F1/M2764A-4F6/M2764A-45F1
- 0 to +70°C STANDARD TEMPERATURE RANGE
- −40 to +85°C EXTENDED TEMPERATURE RANGE
- SINGLE +5V POWER SUPPLY
- ±10% V_{CC} TOLERANCE AVAILABLE
- LOW STANDBY CURRENT (35mA MAX)
- TTL COMPATIBLE DURING READ AND PROGRAM
- FAST PROGRAMMING ALGORITHM
- ELECTRONIC SIGNATURE



F
DIP-28
(Ceramic Bull's Eye)

(Ordering Information at the end of the datasheet)

PIN CONNECTIONS



DESCRIPTION

The M2764A is a 65,536-bit ultraviolet erasable and electrically programmable read only memory (EPROM). It is organized as 8,192 words by 8 bits and manufactured using SGS-THOMSON' NMOS-E3 process.

The M2764A with its single +5V power supply and with an access time of 200ns, is ideal for use with high performance +5V microprocessor such as Z8, Z80 and Z8000. The M2764A has an important feature which is to separate the output control, Output Enable ($\overline{OE}$) from the Chip Enable control ($\overline{CE}$). The $\overline{OE}$ control eliminates bus contention in multiple bus microprocessor systems.

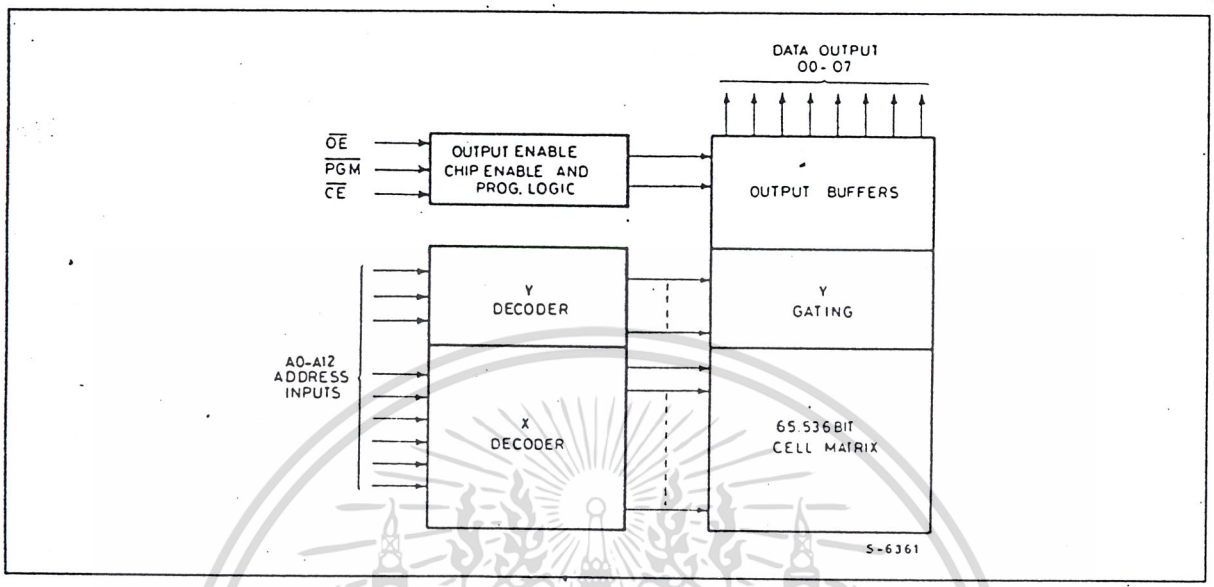
The M2764A also features a standby mode which reduces the power dissipation without increasing access time. The active current is 75mA while the maximum standby current is only 35 mA, a 53% saving. The standby mode is achieved by applying a TTL-high signal to the $\overline{CE}$ input. The M2764A has an "Electronic Signature" that allows programmers to automatically identify device type and pinout. The M2764A is available in a 28-lead dual in-line ceramic package (frit-seal) glass lens.

PIN NAMES

A0-A12	ADDRESS INPUT
$\overline{CE}$	CHIP ENABLE INPUT
$\overline{OE}$	OUTPUT ENABLE INPUT
$\overline{PGM}$	PROGRAM
N.C.	NO CONNECTION
O0-O7	DATA INPUT/OUTPUT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM



ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Values	Unit
V_I	All Input or Output voltages with respect to ground	+6.5 to −0.6	V
V_{PP}	Supply voltage with respect to ground	+14 to −0,6	V
T_{amb}	Ambient temperature under bias /F1 /F6	−10 to +80 − 50 to +95	°C °C
T_{stg}	Storage temperature range	− 65 to +125	°C
	Voltage on pin 24 with respect to ground	+13.5 to −0.6	V

Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

OPERATING MODES

MODE \ PINS	$\overline{CE}$ (20)	$\overline{OE}$ (22)	A9 (24)	$\overline{PGM}$ (27)	V_{PP} (1)	V_{CC} (28)	OUTPUTS (11-13, 15-19)
READ	V_{IL}	V_{IL}	X	V_{IH}	V_{CC}	V_{CC}	D_{OUT}
OUTPUT DISABLE	V_{IL}	V_{IH}	X	V_{IH}	V_{CC}	V_{CC}	HIGH Z
STANDBY	V_{IH}	X	X	X	V_{CC}	V_{CC}	HIGH Z
FAST PROGRAMMING	V_{IL}	V_{IH}	X	V_{IL}	V_{PP}	V_{CC}	D_{IN}
VERIFY	V_{IL}	V_{IL}	X	V_{IH}	V_{PP}	V_{CC}	D_{OUT}
PROGRAM INHIBIT	V_{IH}	X	X	X	V_{PP}	V_{CC}	HIGH Z
ELECTRONIC SIGNATURE	V_{IL}	V_{IL}	V_H	V_{IH}	V_{CC}	V_{CC}	CODES

NOTE: X can be V_{IH} or V_{IL}. V_H = 12V ±0.5V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

READ OPERATION

DC AND AC CONDITIONS

Selection Code	F1/-1F1/-2F1 -3F1/-4F1	-18F1/-20F1/-25F1 -30F1/-45F1	F6/-4F6
Operating Temperature Range	0 to 70°C	0 to 70°C	-40 to 85°C
V_{CC} Power Supply (1,2)	5V ±5%	5V ±10%	5V ±5%
V_{PP} Voltage (2)	$V_{PP} = V_{CC}$	$V_{PP} = V_{CC}$	$V_{PP} = V_{CC}$

DC AND OPERATING CHARACTERISTICS

Symbol	Parameter	Test Conditions	Values			Unit
			Min.	Typ.(3)	Max.	
I_{LI}	Input Load Current	$V_{IN} = 5.5V$			10	µA
I_{LO}	Output Leakage Current	$V_{OUT} = 5.5V$			10	µA
I_{PP1}(2)	V_{PP} Current Read	$V_{PP} = 5.5V$			5	mA
I_{CC1}(2)	V_{CC} Current Standby	$\overline{CE} = V_{IH}$			35	mA
I_{CC2}(2)	V_{CC} Current Active	$\overline{CE} = \overline{OE} = V_{IL}$			75	mA
V_{IL}	Input Low Voltage		-0.1		+0.8	V
V_{IH}	Input High Voltage		2.0		$V_{CC}+1$	V
V_{OL}	Output Low Voltage	$I_{OL} = 2.1$ mA			0.45	V
V_{OH}	Output High Voltage	$I_{OH} = -400$ µA	2.4			V
V_{PP}(2)	V_{PP} Read Voltage	$V_{CC} = 5V \pm 0.25V$	3.8		V_{CC}	V

AC CHARACTERISTICS

Symbol	Parameter	V_{CC} ± 5%	2764A-1		2764A-2		2764A		2764A-3		2764A-4		Unit
		V_{CC} ±10%	2764A-18		2764A-20		2764A-25		2764A-30		2764A-45		
		Test Conditions	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	
t_{ACC}	Address to Output Delay	$\overline{CE} = \overline{OE} = V_{IL}$		180		200		250		300		450	ns
t_{CE}	$\overline{CE}$ to Output Delay	$\overline{OE} = V_{IL}$		180		200		250		300		450	ns
t_{OE}	$\overline{OE}$ to Output Delay	$\overline{CE} = V_{IL}$		65		75		100		120		150	ns
t_{DF}(4)	$\overline{OE}$ High to Output Float	$\overline{CE} = V_{IL}$		55	0	55	0	60	0	105	0	130	ns
t_{OH}	Output Hold from Address $\overline{CE}$ or $\overline{OE}$ Whichever Occurred First	$\overline{CE} = \overline{OE} = V_{IL}$	0		0		0		0		0		ns

CAPACITANCE(5) ($T_{amb} = 25°C$, f = 1 MHz)

Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
C_{IN}	Input Capacitance	$V_{IN} = 0V$		4	6	pF
C_{OUT}	Output Capacitance	$V_{OUT} = 0V$		8	12	pF

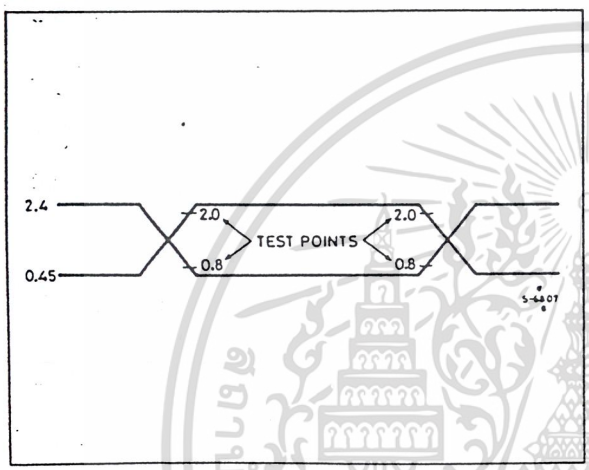
Notes:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. V_{PP} may be connected directly to V_{CC} except during programming. The supply current would then be the sum of I_{CC} and I_{PP1}.
3. Typical values are for $T_{amb} = 25°C$ and nominal supply voltages.
4. This parameter is only sampled and not 100% tested. Output Float is defined as the point where data is no longer driven-see timing diagram.
5. This parameter is only sampled and is not 100% tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

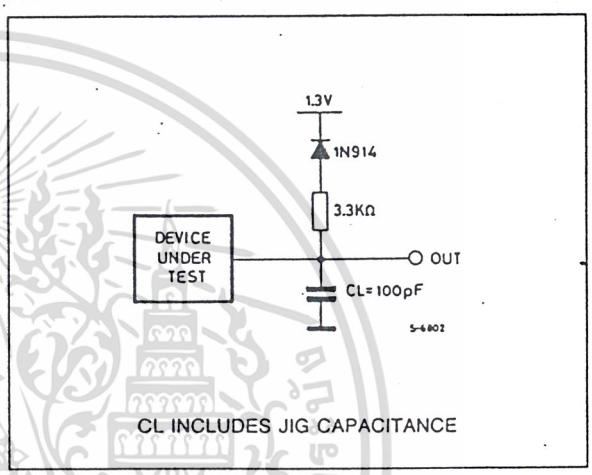
READ OPERATION (Continued)

AC TEST CONDITIONS
Output Load: 100pF + 1TTL Gate
Input Rise and Fall Times: ≤20ns
Input Pulse Levels: 0.45 to 2.4V
Timing Measurement Reference Levels: Inputs 0.8 and 2V
Outputs 0.8 and 2V

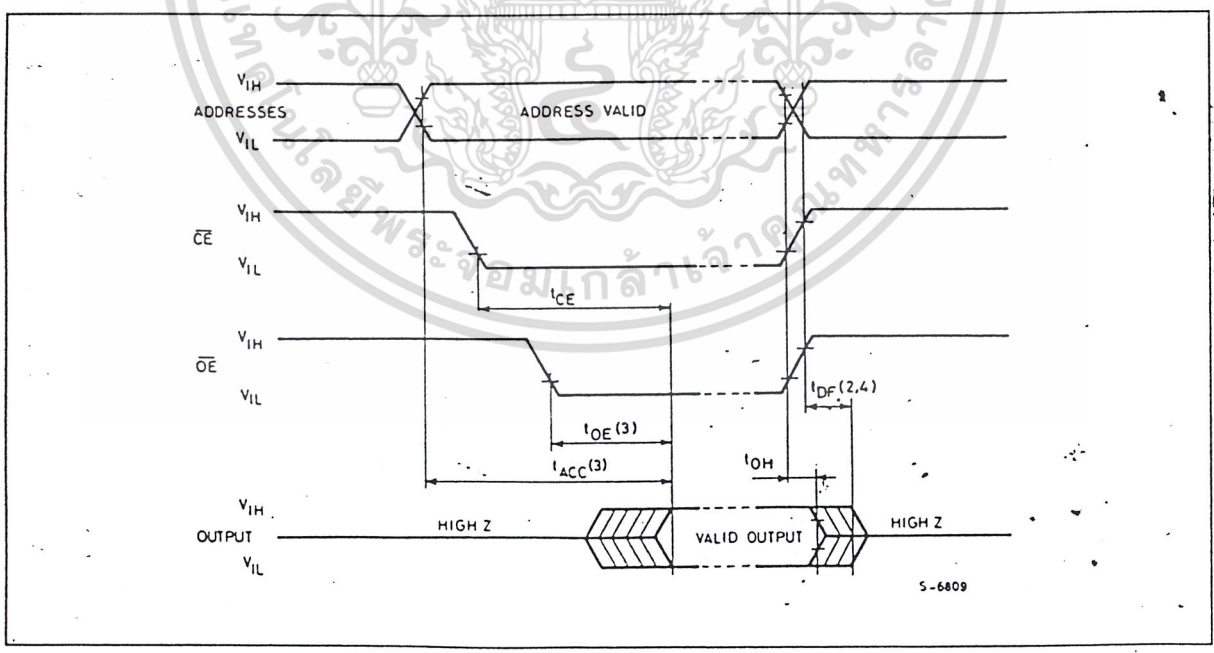
AC TESTING INPUT/OUTPUT WAVEFORM



AC TESTING LOAD CIRCUIT



AC WAVEFORMS



Notes:
1. Typical values are for T_{amb} = 25°C and nominal supply voltage.
2. This parameter is only sampled and not 100% tested.
3. $\overline{OE}$ may be delayed up to $t_{ACC} - t_{OE}$ after the falling edge $\overline{CE}$ without impact on t_{ACC}.
4. t_{DF} is specified from $\overline{OE}$ or $\overline{CE}$ whicheyer occurs first.

เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEVICE OPERATION

The seven modes of operations of the M2764A are listed in the Operating Modes. A single 5V power supply is required in the read mode. All inputs are TTL levels except for V_{PP} and 12V on A9 for Electronic Signature.

READ MODE

The M2764A has two control functions, both of which must be logically satisfied in order to obtain data at the outputs. Chip Enable ($\overline{CE}$) is the power control and should be used for device selection. Output Enable ($\overline{OE}$) is the output control and should be used to gate data to the output pins, independent of device selection.

Assuming that addresses are stable, address access time (t_{ACC}) is equal to delay from $\overline{CE}$ to output (t_{CE}). Data is available at the outputs after the falling edge of $\overline{OE}$, assuming that $\overline{CE}$ has been low and addresses have been stable for at least t_{ACC}-t_{OE}.

STANDBY MODE

The M2764A has a standby mode which reduces the maximum active power current from 75 mA to 35 mA. The M2764A is placed in the standby mode by applying a TTL high signal to the $\overline{CE}$ input. When in the standby mode, the outputs are in a high impedance state, independent of the $\overline{OE}$ input.

OUTPUT OR-TIEING

Because EPROMs are usually used in larger memory arrays, the product features a 2 line control function which accommodates the use of multiple memory connection. The two line control function allows:

a) the lowest possible memory power dissipation
b) complete assurance that output bus contention will not occur.

For the most efficient use of these two control lines, $\overline{CE}$ should be decoded and used as the primary device selecting function, while $\overline{OE}$ should be made a common connection to all devices in the array and connected to the $\overline{READ}$ line from the system control bus.

This assures that all deselected memory devices are in their low power standby mode and that the output pins are only active when data is desired from a particular memory device.

SYSTEM CONSIDERATIONS

The power switching characteristics of NMOS-E3 EPROMs require careful decoupling of the devices. The supply current, I_{CC}, has three segments that are of interest to the system designer: the standby current level, the active current level, and transient current peaks that are produced by the falling and rising edges of $\overline{CE}$. The magnitude of this transient current peaks is dependent on the output capacitive and inductive loading of the device. The associated transient voltage peaks can be suppressed by complying with the two line output control and by properly selected decoupling capacitors. It is recommended that a 1 μF ceramic capacitor be used on every device between V_{CC} and GND.

This should be a high frequency capacitor of low inherent inductance and should be placed as close to the device as possible. In addition, a 4.7 μF bulk electrolytic capacitors should be used between V_{CC} and GND for every eight devices. The bulk capacitor should be located near where the power supply is connected to the array. The purpose of the bulk capacitor is to overcome the voltage drop caused by the inductive effects of PCB traces.

PROGRAMMING

Caution: exceeding 14V on pin 1 (V_{PP}) will damage the M2764A.

When delivered, and after each erasure, all bits of the M2764A are in the "1" state. Data is introduced by selectively programming "0s" into the desired bit locations. Although only "0s" will be programmed, both "1s" and "0s" can be present in the data word. The only way to change a "0" to a "1" is by ultraviolet light erasure.

The M2764A is in the programming mode when V_{PP} input is at 12.5V and $\overline{CE}$ and $\overline{PGM}$ are at TTL low. The data to be programmed is applied 8 bits in parallel to the data output pins. The levels required for the address and data inputs are TTL.

FAST PROGRAMMING ALGORITHM

Fast Programming Algorithm rapidly programs M2764A EPROMs using an efficient and reliable method suited to the production programming environment. Programming reliability is also ensured as the incremental program margin of each byte is continually monitored to determine when it has been successfully programmed. A flowchart of the M2764A Fast Programming Algorithm is shown on the last page. The Fast Programming Algorithm utilizes two different pulse types: initial and over-program.

The duration of the initial $\overline{PGM}$ pulse (s) is one millisecond, which will then be followed by a longer overprogram pulse of length 3Xmsec. (X is an iteration counter and is equal to the number of the initial one millisecond pulses applied to a particular M2764A location), before a correct verify occurs. Up to 25 one-millisecond pulses per byte are provided for before the over program pulse is applied.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEVICE OPERATION (Continued)

The entire sequence of program pulses and byte verifications is performed at $V_{CC} = 6V$ and $V_{PP} = 12.5V$. When the Fast Programming cycle has been completed, all bytes should be compared to the original data with $V_{CC} = V_{PP} = 5V$.

PROGRAM INHIBIT

Programming of multiple M2764As in parallel with different data is also easily accomplished. Except for $\overline{CE}$, all like inputs (including $\overline{OE}$) of the parallel M2764A may be common. A TTL low pulse applied to a M2764A's $\overline{CE}$ input, with V_{PP} at 12.5V, will program that M2764A. A high level $\overline{CE}$ input inhibits the other M2764A from being programmed.

PROGRAM VERIFY

A verify should be performed on the programmed bits to determine that they were correctly programmed. The verify is accomplished with $\overline{OE}$ at V_{IL}, $\overline{CE}$ at V_{IL}, $\overline{PGM}$ at V_{IH} and V_{PP} at 12.5V.

ELECTRONIC SIGNATURE

The Electronic Signature mode allows the reading out of a binary code from an EPROM that will identify its manufacturer and type. This mode is intended for use by programming equipment for the purpose of automatically matching the device to be programmed with its corresponding programming algorithm. This mode is functional in the 25°C ±5°C ambient temperature range that is required when programming the M2764A. To activate this mode, the programming equipment must force 11.5V to 12.5V on address line A9 (pin 24) of the M2764A. Two identifier bytes may than be sequenced from the device outputs by toggling address line A0 (pin 10) from V_{IL} to V_{IH}. All other address lines must be held at V_{IL} during Electronic Signature mode. Byte 0 ($A0 = V_{IL}$) represents the manufacturer code and byte 1 ($A0 = V_{IH}$) the device identifier code. For the SGS-THOMSON M2764A, these two identifier bytes are given below. All identifiers for manufacturer and device codes will possess odd parity, with the MSB (07) defined as the parity bit.

ERASURE OPERATION

The erasure characteristic of the M2764A is such that erasure begins when the cells are exposed to light with wavelengths shorter than approximately 4000 Angstrom Å. It should be noted that sunlight and some type of fluorescent lamps have wavelengths in the 3000-4000 A range. Data shows that constant exposure to room level fluorescent lighting could erase a typical M2764A in about 3 years, while it would take approximately 1 week to cause erasure when expose to direct sunlight. If the M2764A is to be exposed to these type of lighting conditions for extended periods of time, it is suggested that opaque labels be put over the M2764A window to prevent unintentional erasure. The recommended erasure procedure for the M2764A is exposure to short wave ultraviolet light which has wavelength 2537 Å. The integrated dose (i.e. UV intensity x exposure time) for erasure should be a minimum of 15 W-sec/cm². The erasure time with this dosage is approximately 15 to 20 minutes using an ultraviolet lamp with 12000 uW/cm² power rating. The M2764A should be placed within 2.5 cm (1 inch) of the lamp tubes during the erasure. Some lamps have a filter on their tubes which should be removed before erasure.

ELECTRONIC SIGNATURE MODE

PINS / IDENTIFIER	A0 (10)	O7 (19)	O6 (18)	O5 (17)	O4 (16)	O3 (15)	O2 (13)	O1 (12)	O0 (11)	Hex Data
MANUFACTURER CODE	V_{IL}	0	0	1	0	0	0	0	0	20
DEVICE CODE	V_{IH}	0	0	0	0	1	0	0	0	08

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROGRAMMING OPERATION (T_{amb} = 25°C ±5°C, V_{CC}(1) = 6V ±0.25V, V_{PP}(1) = 12.5V ±0.3V)

DC AND OPERATING CHARACTERISTIC

Symbol	Parameter	Test Conditions	Values			Unit
			Min.	Typ.	Max.	
I_{LI}	Input Current (All Inputs)	$V_{IN} = V_{IL}$ or V_{IH}			10	µA
V_{IL}	Input Low Level (All Inputs)		−0.1		0.8	V
V_{IH}	Input High Level		2.0		V_{CC}	V
V_{OL}	Output Low Voltage During Verify	I_{OL} = 2.1 mA			0.45	V
V_{OH}	Output High Voltage During Verify	I_{OH} = −400 µA	2.4			V
I_{CC2}	V_{CC} Supply Current (Program & Verify)				75	mA
I_{PP2}	V_{PP} Supply Current (Program)	$\overline{CE} = V_{IL}$			50	mA
V_{ID}	A9 Electronic Signature Voltage		11.5		12.5	V

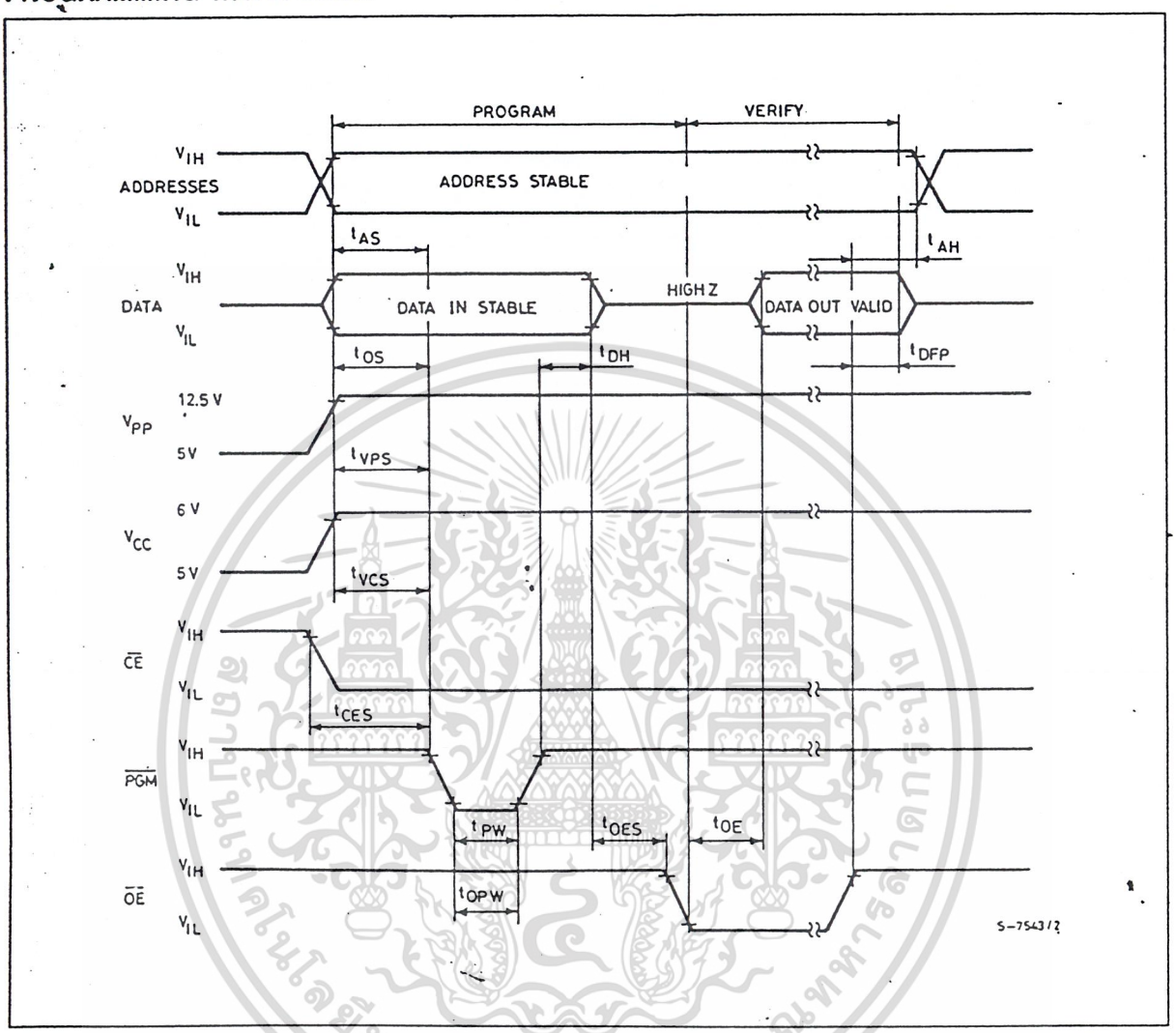
AC CHARACTERISTICS

Symbol	Parameter	Test Conditions	Values			Unit
			Min.	Typ.	Max.	
t_{AS}	Address Setup Time		2			µs
t_{OES}	$\overline{OE}$ Setup Time		2			µs
t_{DS}	Data Setup Time		2			µs
t_{AH}	Address Hold Time		0			µs
t_{DH}	Data Hold Time		2			µs
t_{DFP}(4)	Output Enable Output Float Delay		0		130	ns
t_{VPS}	V_{PP} Setup Time		2			µs
t_{VCS}	V_{CC} Setup Time		2			µs
t_{CES}	$\overline{CE}$ Setup Time		2			µs
t_{PW}	$\overline{PGM}$ Initial Program Pulse Width	(see Note 3)	0.95	1.0	1.05	ms
t_{OPW}	$\overline{PGM}$ Overprogram Pulse Width	(see Note 2)	2.85		78.75	ms
t_{OE}	Data Valid from $\overline{OE}$				150	ns

Notes:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. The length of the overprogram pulse may vary from 2.85msec to 78.75msec as a function of the iteration counter value X.
3. Initial Program Pulse width tolerance is 1msec ±5%.
4. This parameter is only sampled and not 100% tested.
   Output Float is defined as the point where data is no longer driven (see timing diagram).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

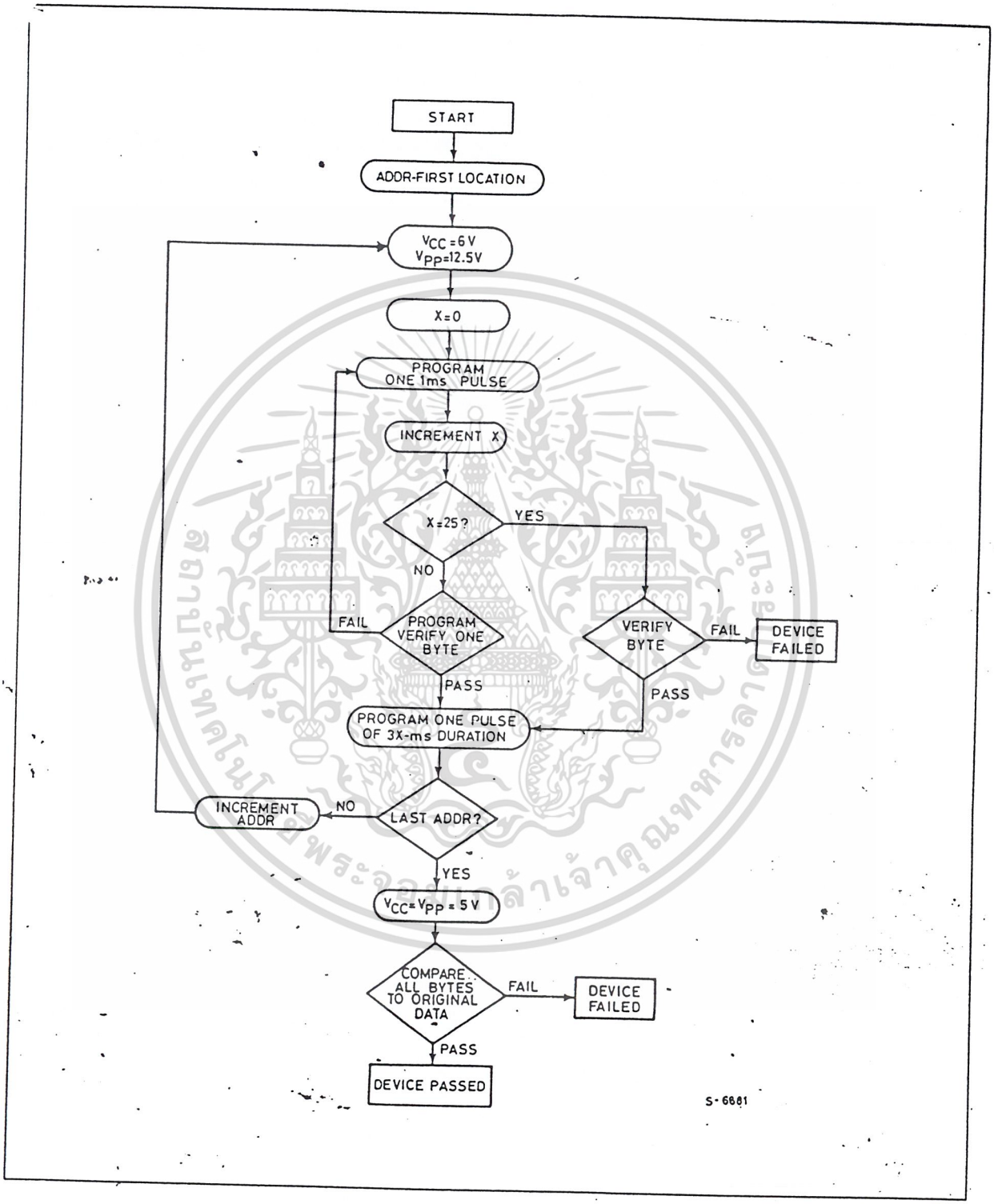
PROGRAMMING WAVEFORMS



Notes:
1. The input timing reference level is 0.8V for a V_{IL} and 2V for a V_{IH}.
2. t_{OE} and t_{DFP} are characteristics of the device but must be accommodated by the programmer.
3. When programming the M2764A a 0.1μF capacitor is required across V_{PP} and GROUND to suppress spurious voltage transients which can damage the device.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAST PROGRAMMING FLOWCHART



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SIEMENS

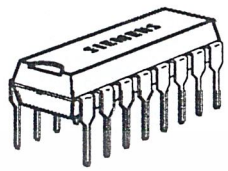
Phase Control IC

TCA 785

Bipolar IC

Features

- Reliable recognition of zero passage
- Large application scope
- May be used as zero point switch
- LSL compatible
- Three-phase operation possible (3 ICs)
- Output current 250 mA
- Large ramp current range
- Wide temperature range

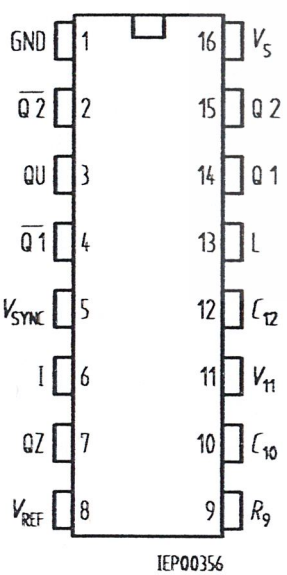


P-DIP-16-1

Type	Ordering Code	Package
TCA 785	Q67000-A2321	P-DIP-16-1

This phase control IC is intended to control thyristors, triacs, and transistors. The trigger pulses can be shifted within a phase angle between 0 ° and 180 °. Typical applications include converter circuits, AC controllers and three-phase current controllers.

This IC replaces the previous types TCA 780 and TCA 780 D.



IEP00356

Pin Configuration
(top view)

Pin Definitions and Functions

Pin	Symbol	Function
1	GND	Ground
2	$\overline{Q2}$	Output 2 inverted
3	Q U	Output U
4	$\overline{Q2}$	Output 1 inverted
5	V_{SYNC}	Synchronous voltage
6	I	Inhibit
7	Q Z	Output Z
8	V_{REF}	Stabilized voltage
9	R_9	Ramp resistance
10	C_{10}	Ramp capacitance
11	V_{11}	Control voltage
12	C_{12}	Pulse extension
13	L	Long pulse
14	Q 1	Output 1
15	Q 2	Output 2
16	V_S	Supply voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกที่ที่มีการนำไปใช้

Functional Description

The synchronization signal is obtained via a high-ohmic resistance from the line voltage (voltage V_5). A zero voltage detector evaluates the zero passages and transfers them to the synchronization register.

This synchronization register controls a ramp generator, the capacitor C_{10} of which is charged by a constant current (determined by R_9). If the ramp voltage V_{10} exceeds the control voltage V_{11} (triggering angle φ), a signal is processed to the logic. Dependent on the magnitude of the control voltage V_{11}, the triggering angle φ can be shifted within a phase angle of 0° to 180°.

For every half wave, a positive pulse of approx. 30 µs duration appears at the outputs Q 1 and Q 2. The pulse duration can be prolonged up to 180° via a capacitor C_{12}. If pin 12 is connected to ground, pulses with a duration between φ and 180° will result.

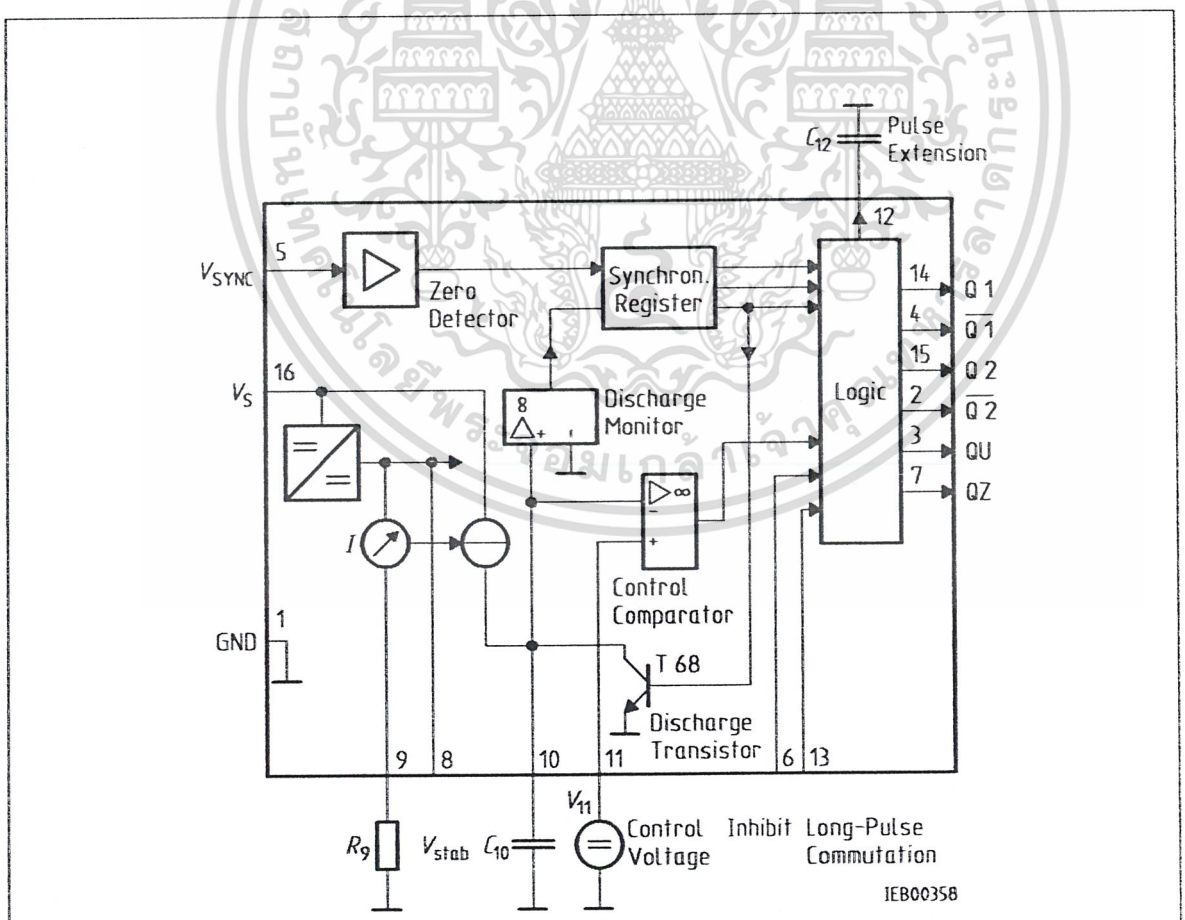
Outputs $\overline{Q1}$ and $\overline{Q2}$ supply the inverse signals of Q 1 and Q 2.

A signal of φ +180° which can be used for controlling an external logic,is available at pin 3.

A signal which corresponds to the NOR link of Q 1 and Q 2 is available at output Q Z (pin 7).

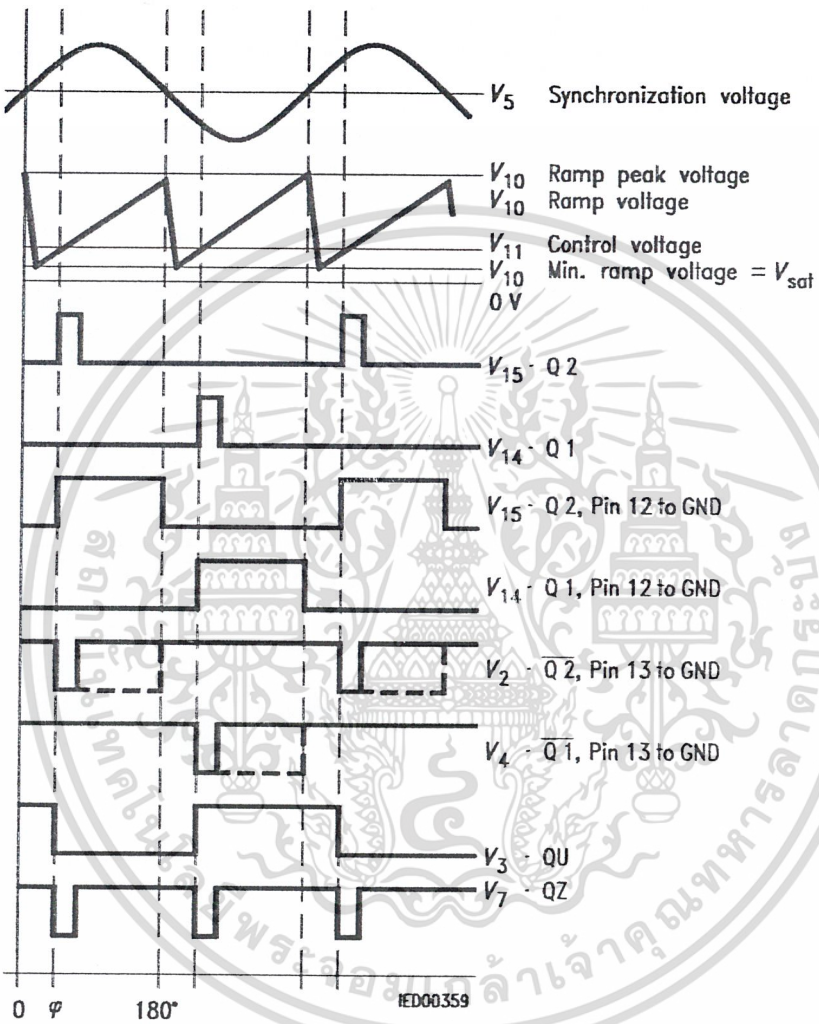
The inhibit input can be used to disable outputs Q1, Q2 and $\overline{Q1}$, $\overline{Q2}$.

Pin 13 can be used to extend the outputs $\overline{Q1}$ and $\overline{Q2}$ to full pulse length (180° – φ).



Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Pulse Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Parameter	Symbol	Limit Values		Unit
		min.	max.	
Supply voltage	V_S	− 0.5	18	V
Output current at pin 14, 15	I_Q	− 10	400	mA
Inhibit voltage	V_6	− 0.5	V_S	V
Control voltage	V_{11}	− 0.5	V_S	V
Voltage short-pulse circuit	V_{13}	− 0.5	V_S	V
Synchronization input current	V_5	− 200	± 200	µA
Output voltage at pin 14, 15	V_Q		V_S	V
Output current at pin 2, 3, 4, 7	I_Q		10	mA
Output voltage at pin 2, 3, 4, 7	V_Q		V_S	V
Junction temperature	T_j		150	°C
Storage temperature	T_{stg}	− 55	125	°C
Thermal resistance system - air	$R_{th\,SA}$		80	K/W

Operating Range

Supply voltage	V_S	8	18	V
Operating frequency	f	10	500	Hz
Ambient temperature	T_A	− 25	85	°C

Characteristics

$8 \le V_S \le 18$ V; -25 °C $\le T_A \le 85$ °C; $f = 50$ Hz

Parameter	Symbol	Limit Values			Unit	Test Circuit
		min.	typ.	max.		
Supply current consumption S1 ... S6 open $V_{11} = 0$ V $C_{10} = 47$ nF; $R_9 = 100$ kΩ	I_S	4.5	6.5	10	mA	1
Synchronization pin 5 Input current R_2 varied	$I_{5\,rms}$	30		200	µA	1
Offset voltage	ΔV_5		30	75	mV	4
Control input pin 11 Control voltage range	V_{11}	0.2		$V_{10\,peak}$	V	1
Input resistance	R_{11}	15			kΩ	5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Characteristics (cont'd)
$8 \le V_S \le 18$ V; -25 °C $\le T_A \le 85$ °C; $f = 50$ Hz

Parameter	Symbol	Limit Values			Unit	Test Circuit
		min.	typ.	max.		
Ramp generator						
Charge current	I_{10}	10		1000	µA	
Max. ramp voltage	V_{10}			$V_2 - 2$	V	1
Saturation voltage at capacitor	V_{10}	100	225	350	mV	1.6
Ramp resistance	R_9	3		300	kΩ	1
Sawtooth return time	t_f		80		µs	1
Inhibit pin 6 switch-over of pin 7						
Outputs disabled	V_{6L}		3.3	2.5	V	1
Outputs enabled	V_{6H}	4	3.3		V	1
Signal transition time	t_r	1		5	µs	1
Input current $V_6 = 8$ V	I_{6H}		500	800	µA	1
Input current $V_6 = 1.7$ V	$-I_{6L}$	80	150	200	µA	1
Deviation of I_{10} R_9 = const. $V_S = 12$ V; $C_{10} = 47$ nF	I_{10}	-5		5	%	1
Deviation of I_{10} R_9 = const. $V_S = 8$ V to 18 V	I_{10}	-20		20	%	1
Deviation of the ramp voltage between 2 following half-waves, V_S = const.	$\Delta V_{10\,max}$		± 1		%	
Long pulse switch-over pin 13 switch-over of S8						
Short pulse at output	V_{13H}	3.5	2.5		V	1
Long pulse at output	V_{13L}		2.5	2	V	1
Input current $V_{13} = 8$ V	I_{13H}			10	µA	1
Input current $V_{13} = 1.7$ V	$-I_{13L}$	45	65	100	µA	1
Outputs pin 2, 3, 4, 7						
Reverse current $V_Q = V_S$	I_{CEO}			10	µA	2.6
Saturation voltage $I_Q = 2$ mA	V_{sat}	0.1	0.4	2	V	2.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Characteristics (cont'd)
$8 \le V_S \le 18$ V; -25 °C $\le T_A \le 85$ °C; $f = 50$ Hz

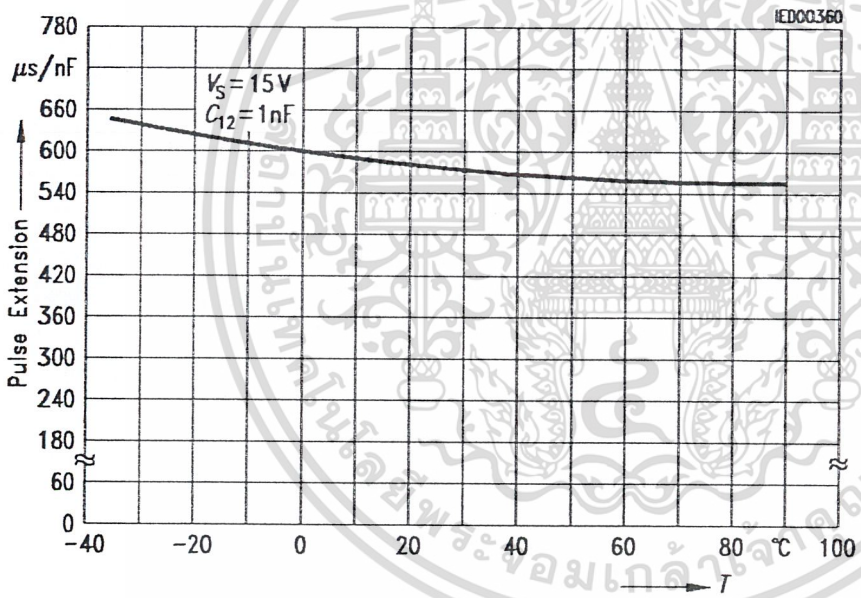
Parameter	Symbol	Limit Values			Unit	Test Circuit
		min.	typ.	max.		
Outputs pin 14, 15						
H-output voltage $-I_Q = 250$ mA	$V_{14/15\,H}$	$V_S - 3$	$V_S - 2.5$	$V_S - 1.0$	V	3.6
L-output voltage $I_Q = 2$ mA	$V_{14/15\,L}$	0.3	0.8	2	V	2.6
Pulse width (short pulse) S9 open	t_p	20	30	40	µs	1
Pulse width (short pulse) with C_{12}	t_p	530	620	760	µs/nF	1
Internal voltage control						
Reference voltage Parallel connection of 10 ICs possible	V_{REF}	2.8	3.1	3.4	V	1
TC of reference voltage	α_{REF}		2×10^{-4}	5×10^{-4}	1/K	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints for External Components

		min	max	
Ramp capacitance	C_{10}	500 pF	1 µF[1]	The minimum and maximum values of I_{10} are to be observed
Triggering point	$t_{Tr} = \frac{V_{11} \times R_9 \times C_{10}}{V_{REF} \times K}$		[2]	
Charge current	$I_{10} = \frac{V_{REF} \times K}{R_9}$		[2]	Ramp voltage $V_{10\,max} = V_S - 2\,V$ $V_{10} = \frac{V_{REF} \times K \times t}{R_9 \times C_{10}}$ [2]

Pulse Extension versus Temperature

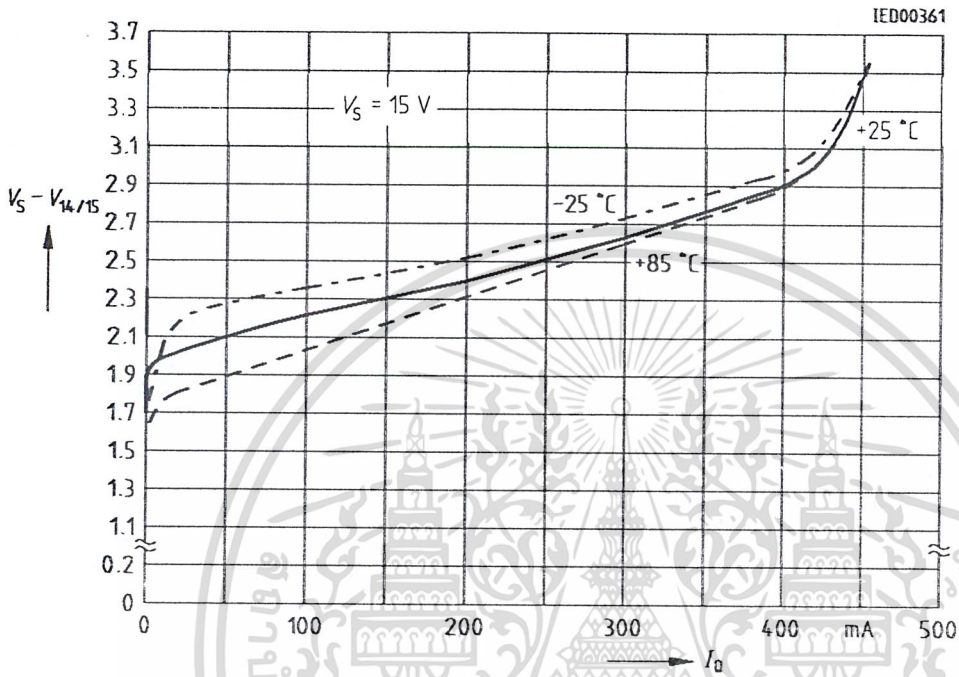


[1] Attention to flyback times

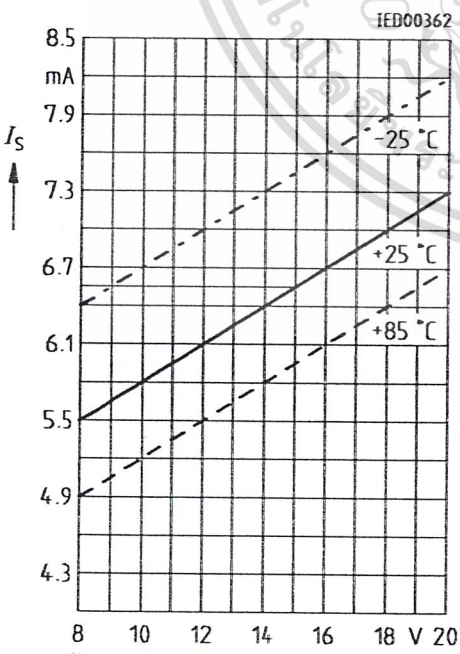
[2] $K = 1.10 \pm 20\ \%$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

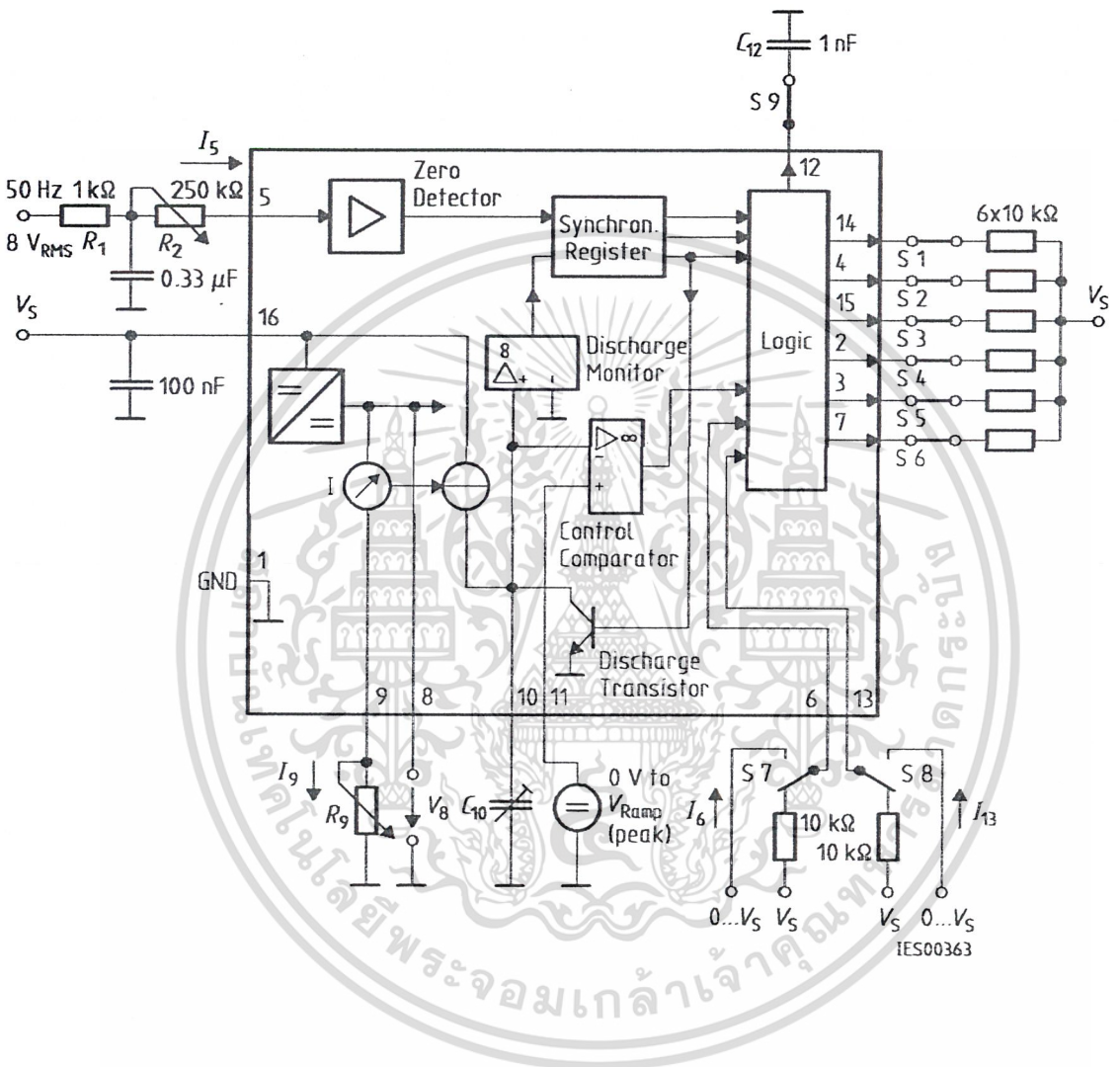
Output Voltage measured to + V_S



Supply Current versus Supply Voltage



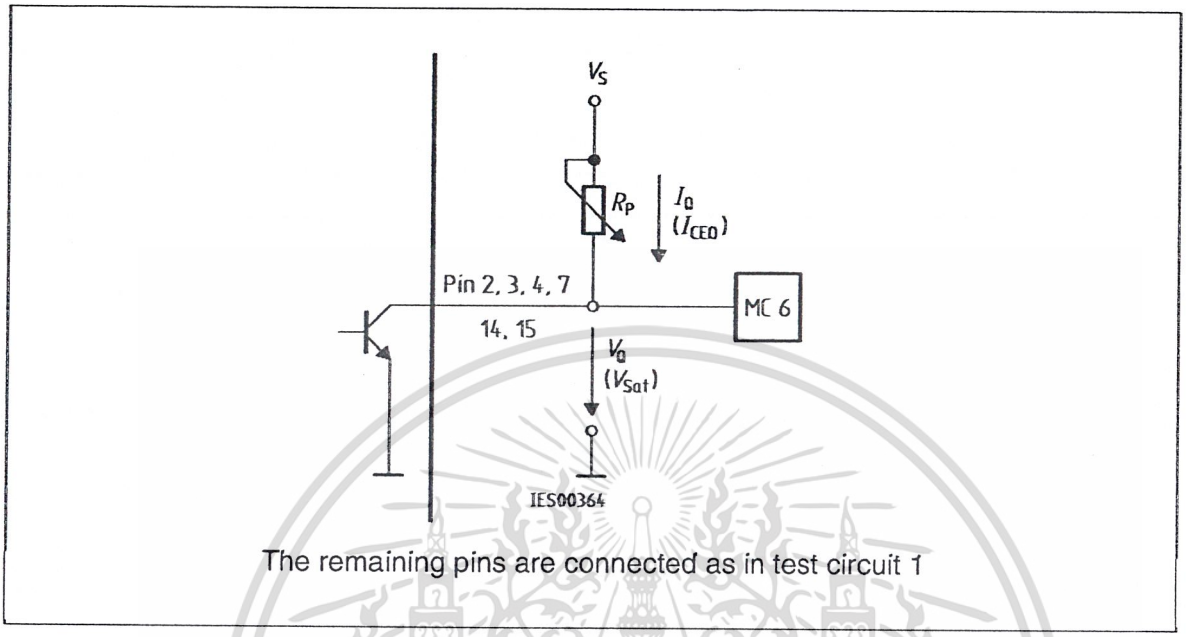
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



It is necessary for all measurements to adjust the ramp with the aid of C_{10} and R_9 in the way that $3\,V \leq V_{ramp\,max} \leq V_S - 2\,V$
e.g. $C_{10} = 47$ nF; 18 V: $R_9 = 47$ kΩ; 8 V: $R_9 = 120$ kΩ

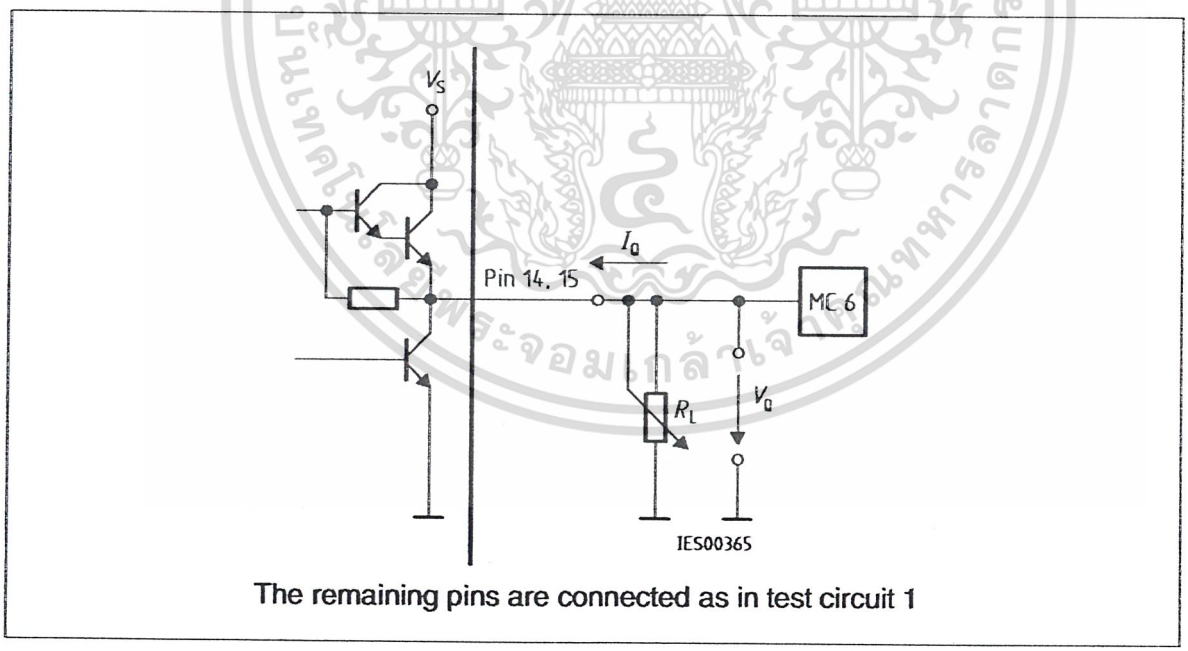
Test Circuit 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



The remaining pins are connected as in test circuit 1

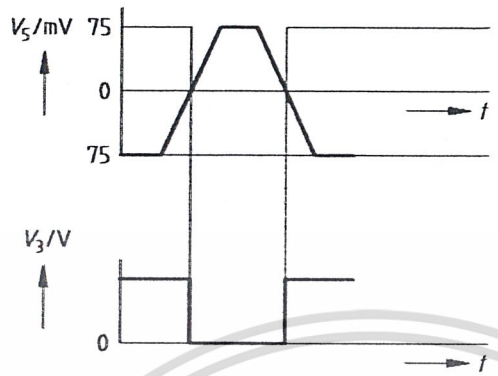
Test Circuit 2

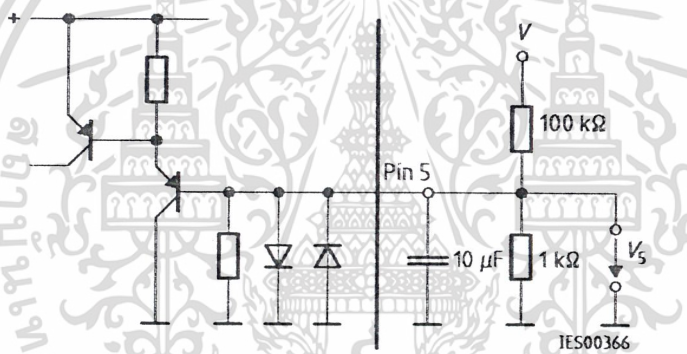


The remaining pins are connected as in test circuit 1

Test Circuit 3

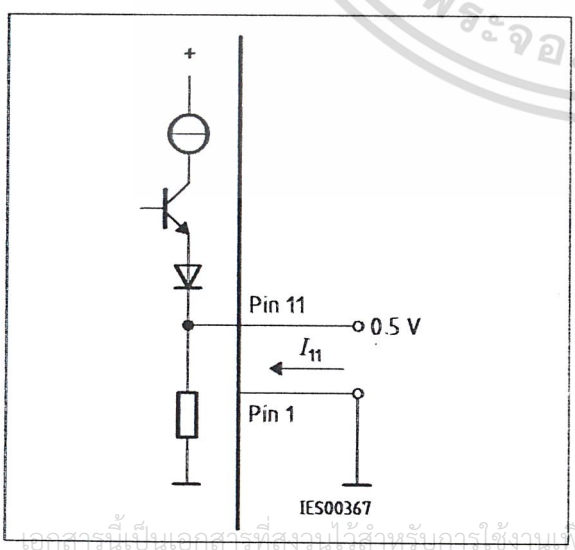
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



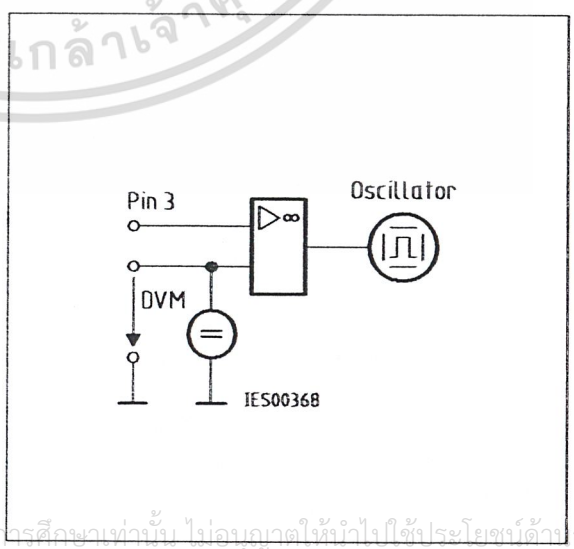


Remaining pins are connected as in test circuit 1
The 10 µF capacitor at pin 5 serves only for test purposes

Test Circuit 4

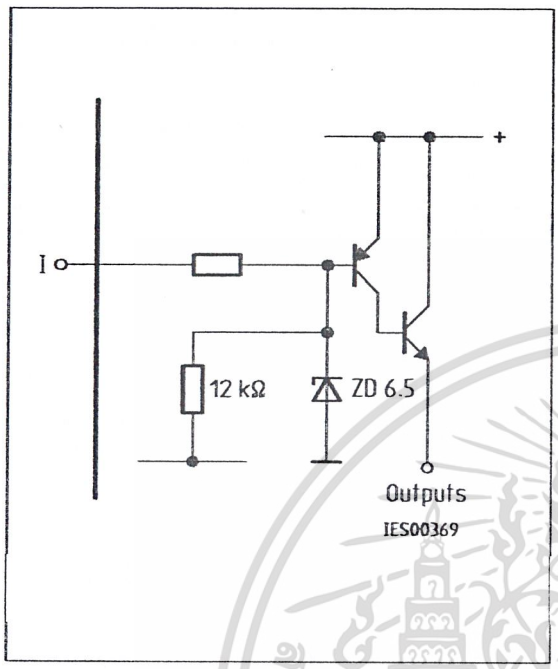


Test Circuit 5

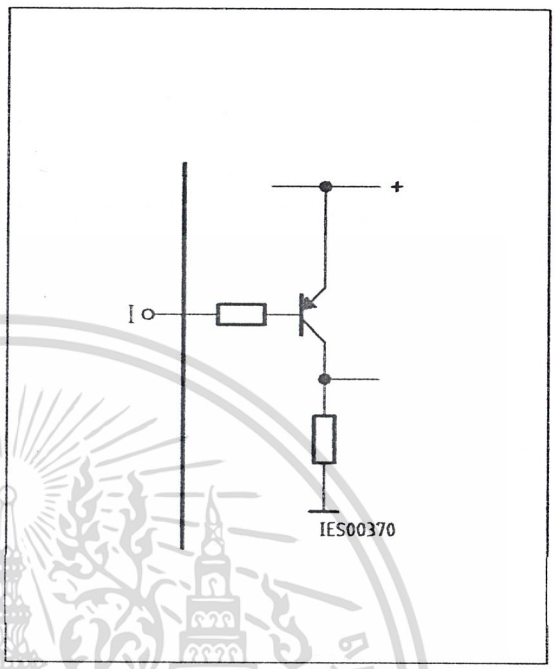


Test Circuit 6

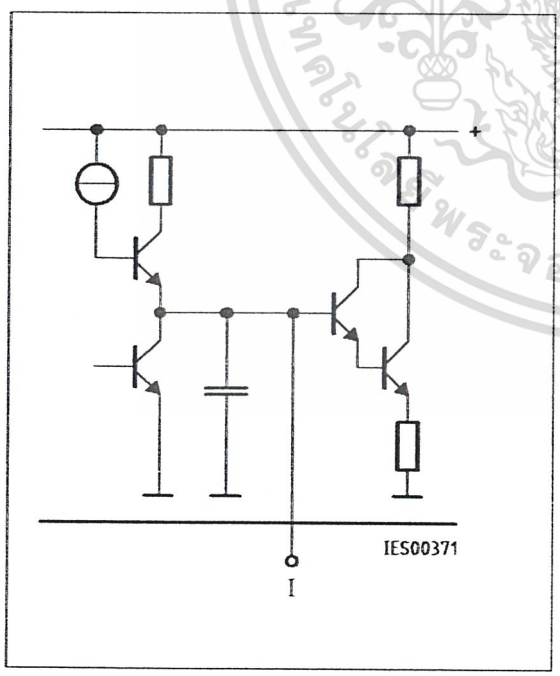
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



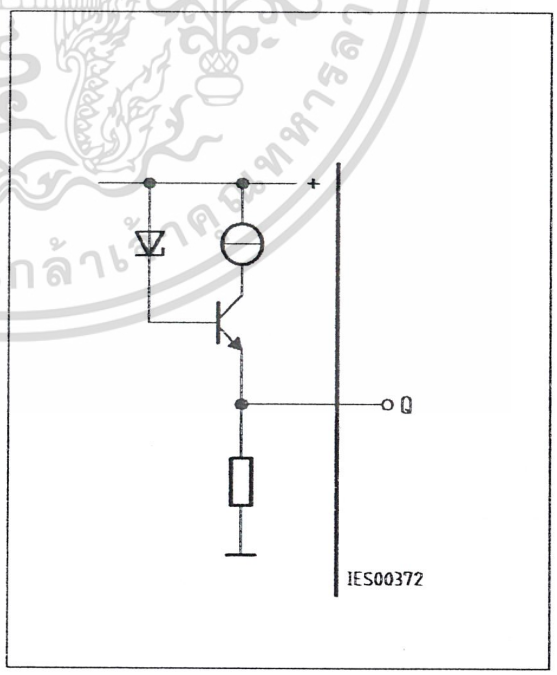
Inhibit 6



Long Pulse 13

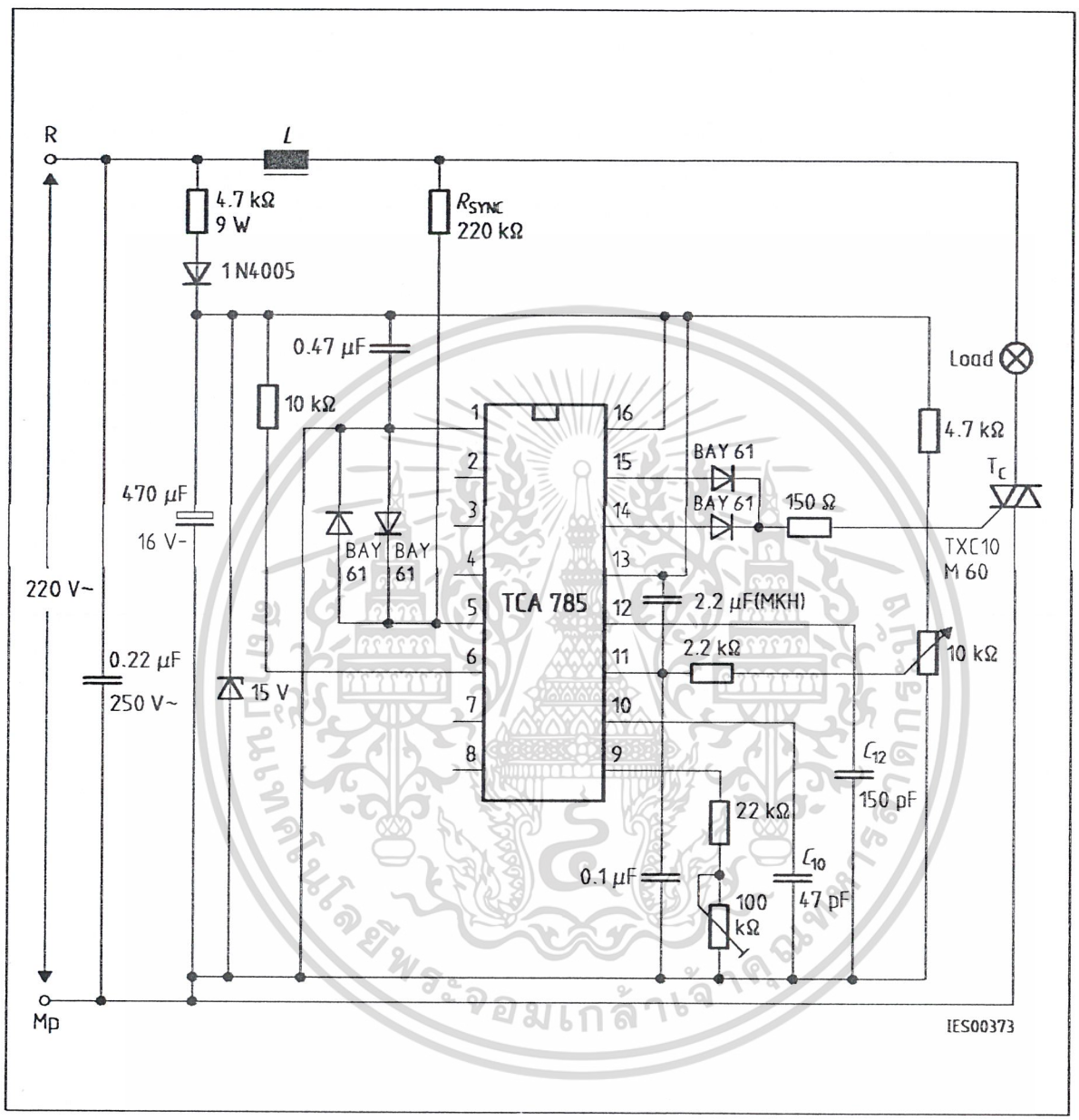


Pulse Extension 12



Reference Voltage 8

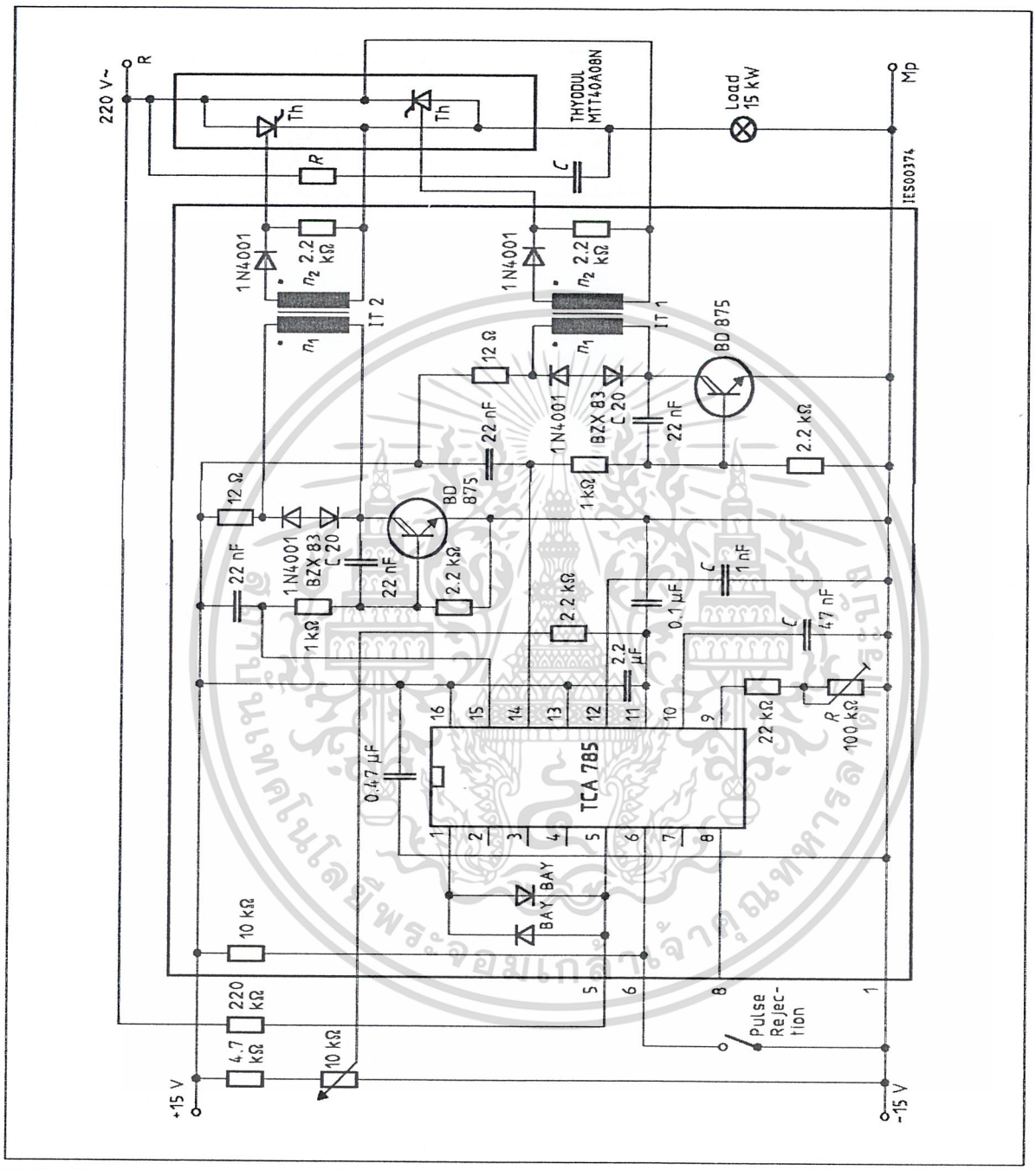
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Application Examples
Triac Control for up to 50 mA Gate Trigger Current

A phase control with a directly controlled triac is shown in the figure. The triggering angle of the triac can be adjusted continuously between 0° and 180° with the aid of an external potentiometer. During the positive half-wave of the line voltage, the triac receives a positive gate pulse from the IC output pin 15. During the negative half-wave, it also receives a positive trigger pulse from pin 14. The trigger pulse width is approx. 100 µs.

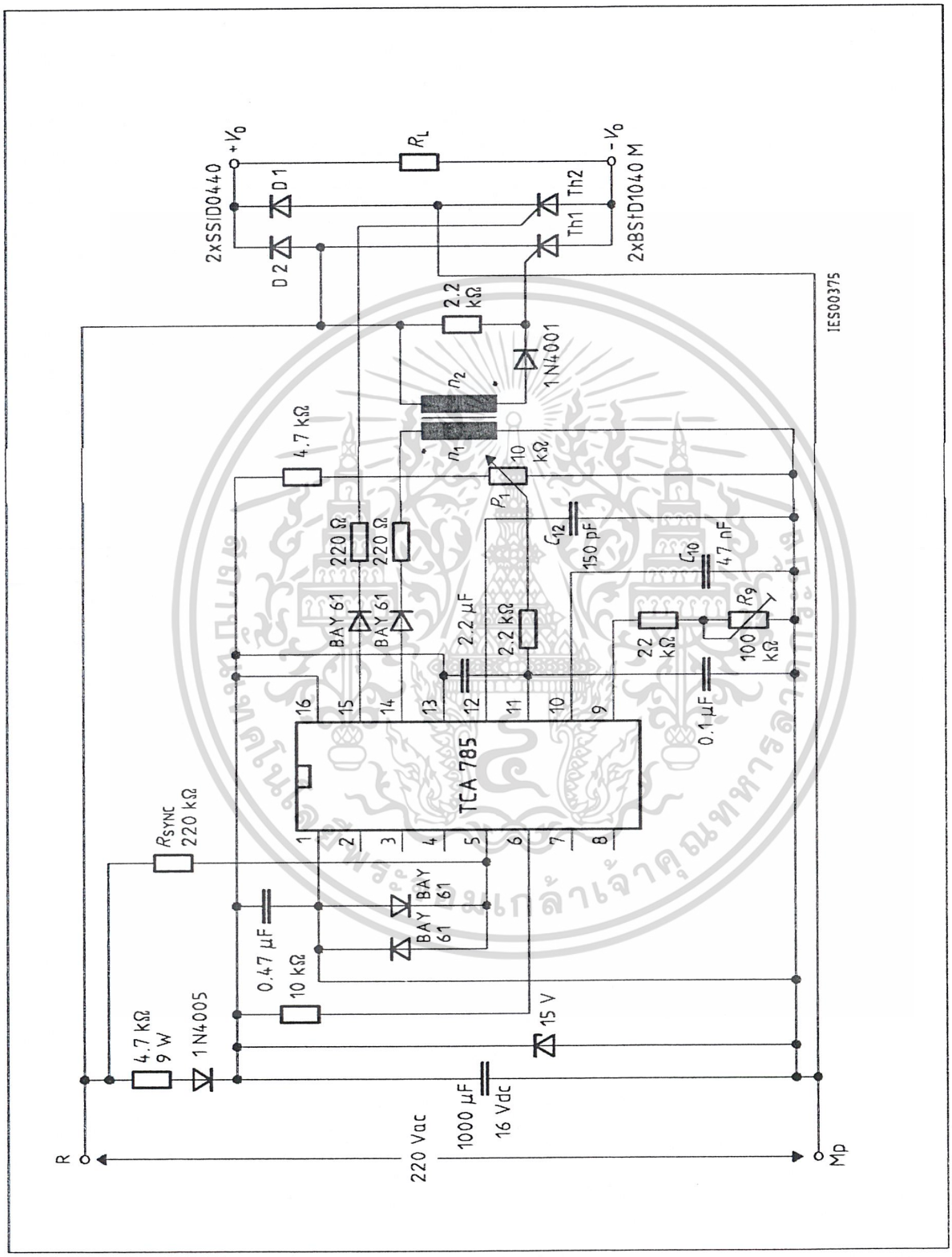
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Fully Controlled AC Power Controller Circuit for Two High-Power Thyristors

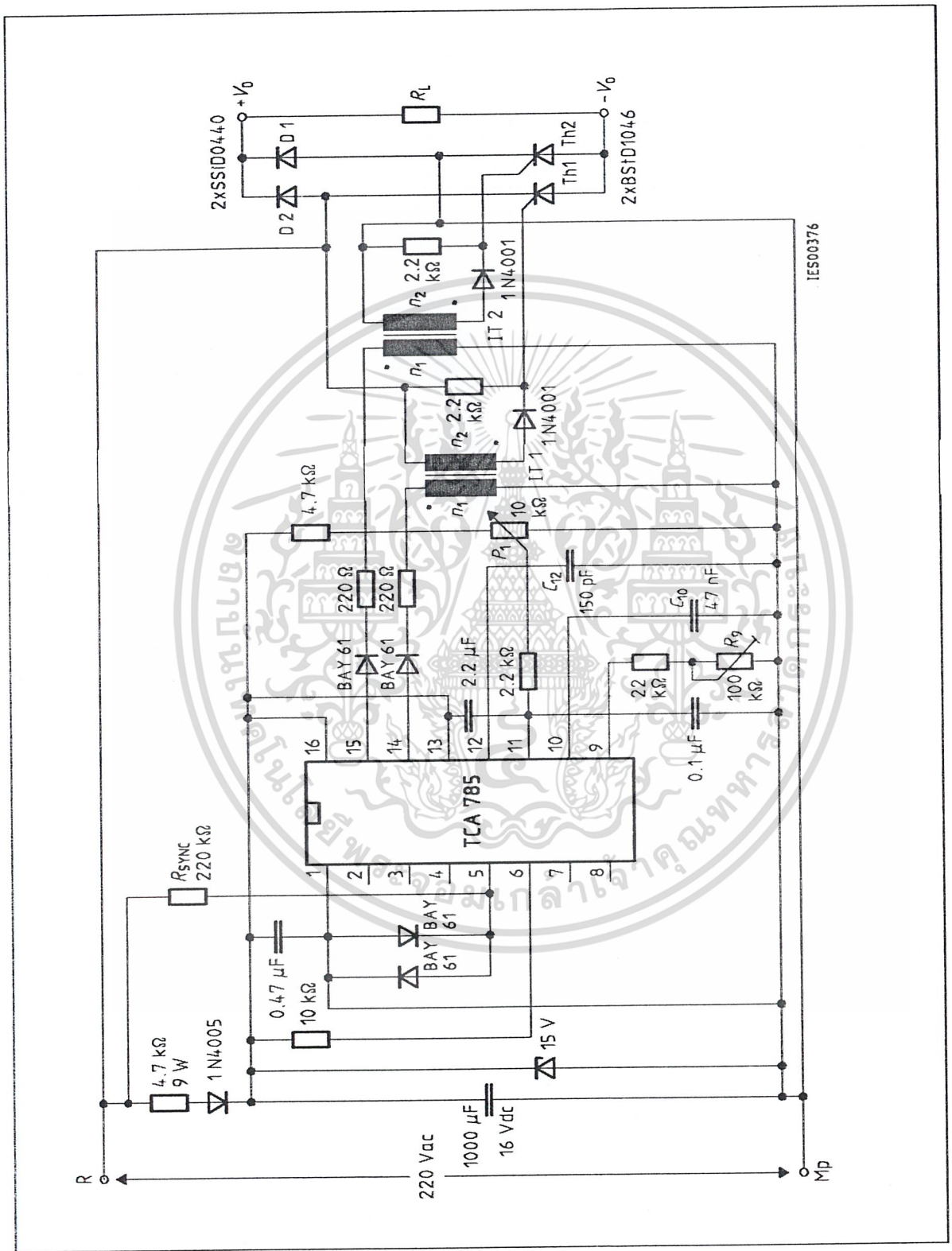
Shown is the possibility to trigger two antiparalleled thyristors with one IC TCA 785. The trigger pulse can be shifted continuously within a phase angle between 0° and 180° by means of a potentiometer. During the negative line half-wave the trigger pulse of pin 14 is fed to the relevant thyristor via a trigger pulse transformer. During the positive line half-wave, the gate of the second thyristor is triggered by a trigger pulse transformer at pin 15.

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้ในการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Half-Controlled Single-Phase Bridge Circuit with Trigger Pulse Transformer and Direct Control for Low-Power Thyristors

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Half-Controlled Single-Phase Bridge Circuit with Two Trigger Pulse Transformers for Low-Power Thyristors

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้