สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

บอร์ดเชื่อมต่อข้อมูลสำหรับงานระบบควบคุม

DATA ACQUISITION AND CONTROL SYSTEM INTERFACE BOARD

นางสาวชนะนาฏ ชีวะพฤกษ์
นายฐานิศ วิบูลย์วัฒนา

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตรบัณฑิต
ภาควิชาระบบควบคุม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2541

เลขหมู่.....
เลขทะเบียน 33963
วัน, เดือน, ปี 23 ก.ย. 2542

สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บอร์ดเชื่อมต่อข้อมูลสำหรับงานระบบควบคุม

DATA ACQUISITION AND CONTROL SYSTEM INTERFACE BOARD

โดย

นางสาวชนะนาฏ ชีวะพฤกษ์

นายฐานิศ วิบูลย์วัฒนา

อาจารย์ที่ปรึกษา

อาจารย์วรพงศ์ ตั้งศรีรัตน์

ผศ.ดร. เกียรติศักดิ์ คมวัชระ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตรบัณฑิต

ภาควิชาระบบควบคุม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	บอร์ดเชื่อมต่อข้อมูลสำหรับงานระบบควบคุม
นักศึกษา	นางสาวชนะนาฏ ชีวะพฤกษ์
	นายฐานิศ วิบูลย์วัฒนา
อาจารย์ผู้ควบคุมปริญญานิพนธ์	อ. วรพงศ์ ตั้งศรีรัตน์
อาจารย์ผู้ควบคุมปริญญานิพนธ์ร่วม	ผศ.ดร. เกียรติศักดิ์ คมวัชระ
ระดับการศึกษา	วิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมระบบควบคุม
ภาควิชา	ระบบควบคุม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา	2541

บทคัดย่อ

ในปัจจุบันอุปกรณ์ต่าง ๆ ในโรงงานอุตสาหกรรมที่ใช้วัดปริมาณหรือควบคุมการทำงานของระบบต่าง ๆ มักจะถูกออกแบบขึ้นมา โดยใช้คอมพิวเตอร์เป็นตัวควบคุม และทำการประมวลผล แต่เนื่องจากคอมพิวเตอร์เป็นอุปกรณ์ที่รับ-ส่งข้อมูลเป็นสัญญาณดิจิตอล ในขณะที่อุปกรณ์การควบคุมทำงานด้วยระบบอนาลอก จึงจำเป็นต้องมีการเชื่อมโยงระบบทั้งสองเข้าด้วยกัน คือเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอลและดิจิตอล เป็นอนาลอก

ในโครงงานปริญญานิพนธ์นี้เป็นการออกแบบ และทดลองสร้างการ์ดแปลงสัญญาณอนาลอก ซึ่งควบคุมและทำการประมวลผลโดยใช้โปรแกรมภาษาปาสคาล ใช้การ์ด 8255 เป็นตัวรับและส่งข้อมูลกับคอมพิวเตอร์

ABSTRACT

Presently, instruments used in manufacture to measure quantities or control operations of various system are mostly designed in using of a computer as a controller and data processor. Because, the computer accept only the digitalized data, where as the quantities to be measured or the operations to controlled are analog, it is necessary to provide an interfacing unit which can convert analog signals to digital and digital to analog in vice vesa

This project report is designed a circuit that convert analog to digital and digital to analog control by PASCAL. This interface card can interface of IBM PC by using of the general purpose I/O port 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จได้ด้วยดีจากความช่วยเหลือจากอาจารย์และบุคคลหลายท่าน

อาจารย์วรพงศ์ ตั้งศรีรัตน์ อาจารย์ที่ปรึกษาและผู้ช่วยศาสตราจารย์ ดร. เกียรติศักดิ์ คมวัชระ อาจารย์ที่ปรึกษาร่วม ที่ได้กรุณาให้คำปรึกษาชี้แนะแนวทางในการแก้ไขปัญหาต่าง ๆ อย่างทุ่มเท ตลอดจนสถานที่และอุปกรณ์ที่ใช้ในโครงงานและปริญญานิพนธ์

ขอขอบคุณภาควิชาระบบควบคุมอาจารย์และเจ้าหน้าที่ทุกท่านที่ช่วยอำนวยความสะดวกเอื้อเฟื้ออุปกรณ์และให้คำปรึกษาที่ดีเสมอมา

ขอขอบคุณภาควิชาคอมพิวเตอร์ที่เอื้อเฟื้ออุปกรณ์ต่าง ๆ ด้วยดีเสมอมาเมื่อเวลาขาดแคลน

ขอขอบคุณห้อง Hardware และเพื่อน ๆ ทุกคนที่คอยช่วยเหลือด้านอุปกรณ์,คอมพิวเตอร์, สถานที่,คำปรึกษาและกำลังใจในการทำโครงงานและปริญญานิพนธ์

ขอขอบคุณเพื่อนในภาคคอนโทรลทุกคนที่คอยช่วยเหลืออย่างสม่ำเสมอ

ขอขอบคุณเพื่อน ๆ และน้อง ๆ ห้อง 2 ที่คอยช่วยเหลือในทุกเรื่องและกำลังใจที่ดีเยี่ยมตลอดการทำงานและตลอดเวลาในการเรียน

ขอขอบคุณกลุ่มพีไอดีคอนโทรลที่นั่งทำงานเป็นเพื่อนตั้งแต่เช้าจนดึกดื่นทุกวัน

ขอขอบคุณสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังสำหรับทุกสิ่งทุกอย่างที่เกิดขึ้นที่นี่

ขอขอบพระคุณสำหรับบุญคุณอันยิ่งใหญ่ที่สุดคือ คุณพ่อ คุณแม่ ของพวกเราทั้งสองที่คอยห่วงใยให้กำลังใจและสมองที่ดีกับเรา ตลอดจนให้ความช่วยเหลือในทุก ๆ เรื่องแก่พวกเราตลอดเวลาไม่เคยเปลี่ยนแปลง

ชนะนาฏ ชีวะพฤกษ์

ฐานิศ วิบูลย์วัฒนา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	I
กิตติกรรมประกาศ	II
สารบัญ	III
สารบัญตาราง	V
สารบัญภาพ	VI
บทที่	
1 บทนำ	1
1.1 ความสำคัญและความเป็นมาของโครงงาน	1
1.2 จุดประสงค์ของปริญญานิพนธ์	1
1.3 ขอบเขตของโครงงาน	2
2 ทฤษฎีและการใช้งาน 8255 เบื้องต้น	3
2.1 บทนำ	3
2.2 ลักษณะพื้นฐานของ 8255	3
2.3 การจำแนกกลุ่มพอร์ตของ 8255	4
2.4 รูปแบบคำสั่งกำหนดการทำงานของ 8255	6
2.5 การเชื่อมต่อ 8255 กับคอมพิวเตอร์	7
2.6 รายละเอียดการทำงานโหมดต่าง ๆ ของ 8255	9
2.7 การทำงานในโหมด 0 ของ 8255	9
2.8 การทำงานในโหมด 1 ของ 8255	10
2.9 การทำงานในโหมด 2 ของ 8255	16
3 ทฤษฎีของ ADC และ DAC	19
3.1 ทฤษฎีของ Data Acquisition and Conversion	19
3.2 ทฤษฎีการ Sampling	20
3.3 การสุ่มและคงค่าสัญญาณ (Sample and Hold) และ Aperture error	22
3.4 Quantizing Theory	24
3.5 Quantizer Resolution and Error	25
3.6 รหัสตัวเลขสำหรับการเปลี่ยนข้อมูล	26
3.7 วงจรสุ่มและคงค่าสัญญาณ (Sample and Hold , S&H)	27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.8 วงจรสุ่มแบบ Inverting Close Loop 29
3.9 วงจรแรงดันอ้างอิง 29
3.10 วงจร Digital to Analog Converter (DAC) 33
3.11 Analog to Digital Converter 36
4 การจัดแอดเดรสสำหรับหน่วยความจำ I/O 40
4.1 การอ้างแอดเดรสของพอร์ตอินพุตเอาท์พุต (I/O PORT) 40
4.2 การใช้งานแอดเดรสสำหรับพอร์ตอินพุตเอาท์พุตในไอบีเอ็มพีซี 42
4.3 เทคนิคการดีโค้ดแอดเดรสสำหรับพอร์ตอินพุตเอาท์พุต 44
5 การออกแบบฮาร์ดแวร์ 52
5.1 ส่วนประกอบของฮาร์ดแวร์ 52
5.2 การ์ด 8255 อินเตอร์เฟส 54
5.3 Data Acquisition and Control System 61
5.4 Signal Conditioner 64
5.5 วงจร Power Supply 68
6 การออกแบบซอฟท์แวร์ 70
7 วิจารณ์และสรุปผล 78
7.1 ผลการทดลอง 78
7.2 บทสรุปและวิจารณ์ 81

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่

2.1 แสดงรูปแบบการทำงานของพอร์ต 5

2.2 แสดงหน้าที่การทำงานของขาสัญญาณไอซี 8255 5

2.3 แสดงการระบุรีจิสเตอร์หรือพอร์ตภายใน 7

2.4 แสดงการทำงานร่วมกันระหว่างขาสัญญาณต่าง ๆ ของ 8255 7

2.5 แสดงตำแหน่งแอดเดรสและความหมาย 8

2.6 แสดงการกำหนดการทำงานโหมด 0 ของ 8255 10

2.7 แสดงสถานะของ Input Buffer Full 12

2.8 แสดงหน้าที่ของเส้นสัญญาณภายในพอร์ต C เมื่อกำหนดให้ทำงานในโหมด 1 เพื่อบอกสภาวะของการอินพุตและการเอาต์พุตข้อมูล 13

2.9 แสดงหน้าที่ของบิตภายในพอร์ต C เมื่อกำหนดให้ทำงานในโหมด 2 เพื่อบอกสภาวะของเส้นสัญญาณติดต่อทางพอร์ต A 18

4.1 แสดงแอดเดรสของกลุ่มแอดเดรสทั้ง 8 45

4.2 แสดงการเปรียบเทียบแอดเดรสของพอร์ทและ PROM 50

4.3 แสดงการป้อนข้อมูลแอดเดรสของ PROM เป็นฐานสิบหก 51

5.1 แสดงชื่อและหน้าที่ของขาสัญญาณต่างๆ 56

5.2 แสดงหมายเลขพอร์ท 60

7.1 ผลการทดลองวงจร DAC 0832 78

7.2 ผลการทดลองวงจร ADC 0809 79

7.3 ผลการทดลองวงจรแปลงแรงดันเป็นกระแส 80

7.4 ผลการทดลองวงจรแปลงกระแสเป็นแรงดัน 80

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

หน้า

รูปที่

2.1 แสดงแผนภาพบล็อกภายในและขาสัญญาณของไอซีเบอร์ 8255 4
2.2 แสดงความหมายของบิตภายในไบต์ข้อมูลควบคุมสำหรับ 8255 6
2.3 แสดงการสร้างสัญญาณเลือกอุปกรณ์ (CS\) ให้กับ 8255 โดยการถอดรหัสจาก บัสแอดเดรส A2-A7 8
2.4 แสดงวงจรการเชื่อมต่อระหว่าง 8255 กับ 8051 9
2.5 แสดงลักษณะการทำงานของพอร์ต 8255 ภายหลังการส่งไบต์ข้อมูลควบคุมที่มีค่า 82 h 11
2.6 (ก) แสดงการใช้สัญญาณบอกสภาวะความพร้อมในการติดต่อระหว่า 8255 กับอุปกรณ์ภายนอก 11
2.6 (ข) แสดงการใช้สัญญาณบอกสภาวะความพร้อมในการติดต่อระหว่าง 8255 กับอุปกรณ์ภายนอก 11
2.7 แสดงการกำหนดการทำงานของ 8255 ในโหมด 1 เพื่อให้พอร์ต A เป็นพอร์ตสำหรับการส่งออกข้อมูลและพอร์ต B เป็นพอร์ตสำหรับการรับเข้าข้อมูลจากอุปกรณ์ภายนอก 13
2.8 (ก) แสดงสัญญาณติดต่อเพื่อส่งข้อมูลออกไปจากพอร์ต A ของ 8255 ตามลักษณะการทำงานที่ได้กำหนดไว้จากตารางที่ 2.8 14
2.8 (ข) แสดงสัญญาณติดต่อเพื่อรับข้อมูลเข้ามาจากพอร์ต B ของ 8255 ตามลักษณะการทำงานที่ได้กำหนดไว้จากตารางที่ 2.8 14
2.9 แสดงโฟลว์ชาร์ตวิธีการส่งข้อมูลให้กับอุปกรณ์ภายนอกโดยใช้พอร์ต A และสัญญาณติดต่อทางพอร์ต C 15
2.10 แสดงโฟลว์ชาร์ตวิธีการรับข้อมูลให้กับอุปกรณ์ภายนอกโดยใช้พอร์ต B และสัญญาณติดต่อทางพอร์ต C 16
2.11 แสดงหลักการทำงานของ 8255 เมื่อได้รับการกำหนดให้ทำงานในโหมด 2 17
3.1 ระบบควบคุมที่มีการประมวลผลข้อมูลแบบดิจิตอล 20
3.2 error จากการวัดใน Aperture time 20
3.3 (ก) สัญญาณอนาลอกอินพุต 22
3.3 (ข) พัลส์ที่มาสุ่มสัญญาณ 23
3.3 (ค) สัญญาณอนาลอกหลังการสุ่ม 23
3.4 ทรานส์เฟอร์ฟังก์ชันของ Quantizer 3 บิต ตามทฤษฎี 24
3.5 ทรานส์เฟอร์ฟังก์ชันของ ADC 3 บิต ที่ใช้รหัสออฟเซ็ตไบนารี 26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 (ก) พื้นฐานของ S&H 27
3.6 (ข) ไดอะแกรมของวงจร S&H 28
3.7 รูปคลื่นเอาต์พุตของ S&H 28
3.8 วงจรสุ่มแบบ Inverting Close Loop 29
3.9 วงจรสุ่มแบบ Non-Inverting closed loop 30
3.10 (ก) แรงดันอ้างอิงบวก 30
3.10 (ข) แรงดันอ้างอิงลบ 30
3.10 (ค) กราฟคุณสมบัติของซีเนอร์ 30
3.11 วงจรแรงดันอ้างอิงใช้ซีเนอร์ไดโอดที่ปรับปรุงคุณสมบัติจากแรงดันอ้างอิงพื้นฐาน 31
3.12 (ก) แรงดันอ้างอิงบวก 32
3.12 (ข) แรงดันอ้างอิงลบ 32
3.13 แรงดันอ้างอิงปรับค่าได้ 32
3.14 วงจร Band gap voltage reference 33
3.15 ADC แบบ Binary weight ladder 34
3.16 วงจร DAC แบบ R-2R ขนาด 4 บิต 35
3.17 วงจรรีซิสทีฟแลดเดอร์ (Resistive Ladder) 35
3.18 วงจร Invert R-2R ladder DAC 36
3.19 วิธีการพื้นฐานของ ADC 37
3.20 ทรานส์เฟอร์ฟังก์ชันของ Comparator 37
3.21 บล็อกไดอะแกรมของ Successive approximation ADC 38
3.22 สัญญาณเวลาของ SAR 38
3.23 บล็อกไดอะแกรมแสดง Parallel ADC 39
4.1 การใช้แอดเดรสบิทต่าง ๆ ในการอ้างอิงแอดเดรสของพอร์ตในไอบีเอ็มพีซี 41
4.2 การใช้งานแอดเดรสของพอร์ตบนไอบีเอ็มพีซี 43
4.3 ตัวอย่างวงจรดีโค้ดแอดเดรสแบบ Fixed 44
4.4 ตัวอย่างวงจรดีโค้ดเดอร์โดยใช้สวิทซ์เลือก 47
4.5 ตัวอย่างการดีโค้ดโดยใช้ PROM 49
5.1 ส่วนประกอบและการทำงานของฮาร์ดแวร์ทั้งหมด 53
5.2 การนับขาของ SLOT แบบ 62 ขา 55
5.3 วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกและมัลติเพล็กเซอร์ 62
5.4 วงจรคงค่าเอาต์พุต 63
5.5 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล 63

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.6 วงจร Schmitt Trigger Inverter 64
5.7 (ก) การใช้ Signal Conditioner (Input) 65
5.7 (ข) การใช้ Signal Conditioner (Output) 65
5.8 วงจรแปลงแรงดันเป็นกระแส 66
5.9 วงจรแปลงกระแสเป็นแรงดัน 67
5.10 ไฟเลี้ยงด้านบวก 69
5.11 ไฟเลี้ยงด้านลบ 69
6.1 โฟล์วชาร์ทแสดงการทำงานของโปรแกรม 71
6.2 โฟล์วชาร์ทแสดงโพรซีเยอร์ OUT 8255 72
6.3 โฟล์วชาร์ทแสดงโพรซีเยอร์ IN 8255 73
6.4 โฟล์วชาร์ทแสดงโพรซีเยอร์ OUT DAC 74
6.5 โฟล์วชาร์ทแสดงโพรซีเยอร์ IN ADC 76

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความสำคัญและความเป็นมาของโครงงาน

ในปัจจุบันระบบการควบคุมแบบอัตโนมัติเข้ามามีบทบาทสำคัญ ในกระบวนการผลิตและอุตสาหกรรมต่าง ๆ สิ่งที่เป็นส่วนประกอบสำคัญของระบบการควบคุมแบบนี้คือ คอมพิวเตอร์และการจัดการกับสัญญาณในรูปแบบต่าง ๆ การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลก็เป็นอีกรูปแบบหนึ่งในการจัดการกับสัญญาณ เช่น สัญญาณเสียงในระบบโทรศัพท์หรือระบบไมโครเวฟก็ต้องเปลี่ยนจากสัญญาณอนาลอกเป็นสัญญาณดิจิตอลก่อนแล้วจึงนำไปมอดูเลทกับคลื่นไมโครเวฟและด้านรับก็ต้องแปลงจากสัญญาณดิจิตอลเป็นสัญญาณอนาลอกอีกครั้ง เพื่อใช้ในการควบคุมสัญญาณอนาลอกควบคุมวงจร VCO (Voltage control oscillator) เพื่อผลิตความถี่ที่ต้องการ, ใช้ควบคุมมอเตอร์ขนาดเล็ก, ใช้ควบคุมการเปิดปิดวาล์วในกระบวนการผลิต เป็นต้น ในการควบคุมที่กล่าวมาเป็นการควบคุมโดยการป้อนสัญญาณดิจิตอลเข้าทางอินพุตผ่านทางคอมพิวเตอร์จากผู้ใช้โดยตรง

ปัญหาใหญ่ของวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกคือการควบคุมประเภทนี้เราไม่สามารถควบคุมในลักษณะเวลาจริงได้เนื่องจากต้องมีเวลาให้กับการแปลงสัญญาณต่าง ๆ

1.2 จุดประสงค์ของปริญญานิพนธ์

1.2.1 เพื่อสร้างวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกหลายช่องสัญญาณควบคุมด้วยคอมพิวเตอร์แทนการป้อนสัญญาณดิจิตอลอินพุตในแต่ละช่องสัญญาณสามารถบันทึกค่าเอาต์พุตได้

1.2.2 เพื่อสร้างวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลหลายช่องสัญญาณและนำมาประมวลผลของสัญญาณโดยคอมพิวเตอร์ โดยสัญญาณอินพุตได้จากภายนอกโดยตรงซึ่งอาจมาจากสัญญาณเซ็นเซอร์ ซึ่งรับค่าจากกระบวนการผลิต และยังสามารถแสดงผลค่าแรงดันและกระแสของแต่ละช่องสัญญาณจากหน้าจอคอมพิวเตอร์

1.2.3 เพื่อสร้างวงจรควบคุมโดยใช้สัญญาณดิจิตอลโดยตรง

1.2.4 เพื่อสร้างวงจรแปลงสัญญาณกระแสเป็นแรงดันและวงจรแปลงสัญญาณแรงดันเป็นกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2.5 เพื่อสร้างอินเตอร์เฟสการ์ด

1.2.6 เพื่อเขียนซอฟท์แวร์ควบคุมการทำงานโดยภาษาป่าสคาล

1.3 ขอบเขตของโครงงาน

1.3.1 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกสามารถควบคุมได้ 16 ช่องสัญญาณ โดยแบ่งเป็นเอาต์พุตที่เป็นแรงดัน 0-5 โวลต์จำนวน 8 ช่องสัญญาณ และเอาต์พุตที่เป็นกระแส 4-20 มิลลิแอมป์จำนวน 8 ช่องสัญญาณ

1.3.2 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลสามารถควบคุมได้ 8 ช่องสัญญาณ โดยแบ่งเป็นอินพุตที่เป็นแรงดัน 0-5 โวลต์จำนวน 4 ช่องสัญญาณ และอินพุตที่เป็นกระแส 4-20 มิลลิแอมป์จำนวน 4 ช่องสัญญาณ

1.3.3 สามารถควบคุมโดยใช้อินพุตดิจิตอล 12 ช่องสัญญาณโดยตรงใช้เอาต์พุต 12 ช่องสัญญาณโดยตรงได้ คือทำงานในลักษณะ On-Off

1.3.4 สร้างอินเตอร์เฟสการ์ดโดยใช้ 8255

1.3.5 เขียนซอฟต์แวร์ที่ใช้ในการควบคุมการใช้งานของบอร์ดเชื่อมต่อข้อมูลสำหรับงานระบบควบคุม และสามารถแสดงสถานะของแต่ละช่องสัญญาณได้

1.3.6 ค่าผิดพลาดของเอาต์พุตประมาณ 2%

1.3.7 แสดงระดับแรงดันและกระแสแต่ละช่องสัญญาณจะแสดงบนหน้าจอมอนิเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและการใช้งาน 8255 เบื้องต้น

2.1 บทนำ

ไมโครโปรเซสเซอร์นั้นนอกจากติดต่อกับหน่วยความจำโดยการนำข้อมูลไปเก็บไว้หรืออ่านข้อมูลใด ๆ ออกจากหน่วยความจำแล้ว ตัวคอมพิวเตอร์เองอาจจะต้องติดต่อกับส่วนประกอบภายนอกอื่น ๆ อีกด้วยเช่น การรับคีย์บอร์ด การแสดงผล หรือแม้แต่การนำคอมพิวเตอร์ไปควบคุมอุปกรณ์ต่าง ๆ นั้นคอมพิวเตอร์ต้องติดต่อ (รับหรือส่งข้อมูล) โดยผ่านทางอินพุตหรือเอาต์พุตพอร์ต ซึ่งอาจสามารถใช้ไอซีทีทีแอล (TTL) บางเบอร์มาใช้เป็นพอร์ตสำหรับคอมพิวเตอร์ได้ แต่ทั้งนี้การใช้ไอซีทีทีแอลมีข้อจำกัดหลายอย่าง เช่น ในกรณีที่มีความจำเป็นจะต้องใช้พอร์ตหลายๆ พอร์ตเพื่อติดต่อกับอุปกรณ์ภายนอกหลายจุด จึงต้องใช้ไอซีเหล่านี้จำนวนหลายตัวและอาจทำให้ยากในการออกแบบวงจร อีกทั้งไม่สามารถจะเปลี่ยนแปลงลักษณะการทำงานให้แตกต่างไปจากเดิมที่ได้ออกแบบไว้แล้ว ดังนั้นผู้ผลิตซีพียูในตระกูลต่าง ๆ จึงมักจะผลิตไอซีประเภท LSI ที่ทำหน้าที่เป็นพอร์ตมาเพื่อใช้งานร่วมกับซีพียูเบอร์นั้น ๆ ได้สะดวกซึ่งจะทำให้การรับส่งข้อมูลมีความเชื่อถือได้สูง และยังสามารถเปลี่ยนแปลงชนิดของพอร์ตจากอินพุตพอร์ตเป็นเอาต์พุต หรือจากเอาต์พุตพอร์ตเป็นอินพุตพอร์ตได้ง่ายโดยการควบคุมของซีพียูเอง ดังนั้นในบทนี้จะกล่าวถึงไอซีที่ทำหน้าที่เป็นอินพุต และเอาต์พุตซึ่งเป็นที่นิยมในการนำไปใช้งานมากที่สุดอีกทั้งยังมีราคาถูกหาซื้อได้ง่ายคือไอซี 8255 ของบริษัท Intel โดยที่จริงแล้วไอซีเบอร์นี้ได้ถูกออกแบบและผลิตขึ้นมาเพื่อใช้งานร่วมกับ ซีพียู เบอร์ 8080 แต่ก็สามารถนำมาใช้กับ Z 80 หรือซีพียูเบอร์อื่นๆได้

2.2 ลักษณะพื้นฐานของ 8255

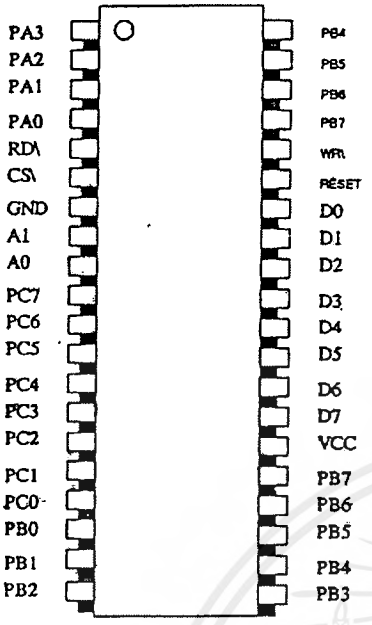
8255 เป็นไอซี LSI ขนาด 40 ขา ดังรูปที่ 2.1 ซึ่งแสดงตำแหน่งของขาต่าง ๆ ทั้ง 40 ขา และแผนผังภายในของ 8255 ซึ่ง 8255 นี้มีพอร์ตสำหรับรับส่งข้อมูลอยู่ด้วยกัน 3 พอร์ต คือ พอร์ต A,B,C โดยพอร์ต C จะแบ่งออกเป็น 2 ส่วนคือ พอร์ต C บน กับ พอร์ต C ล่าง นอกจากนี้ยังมีพอร์ตอีกพอร์ตหนึ่งเรียกว่าพอร์ตควบคุม โดยพอร์ตนี้จะใช้งานก็ต่อเมื่อซีพียูต้องการกำหนดลักษณะการทำงานของพอร์ต A,B,C หรือต้องการเปลี่ยนแปลงจากที่กำหนดไว้เดิมซีพียูจะส่งรหัสควบคุมมาทางบัสข้อมูลให้แก่พอร์ตควบคุมนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Configuration

8255

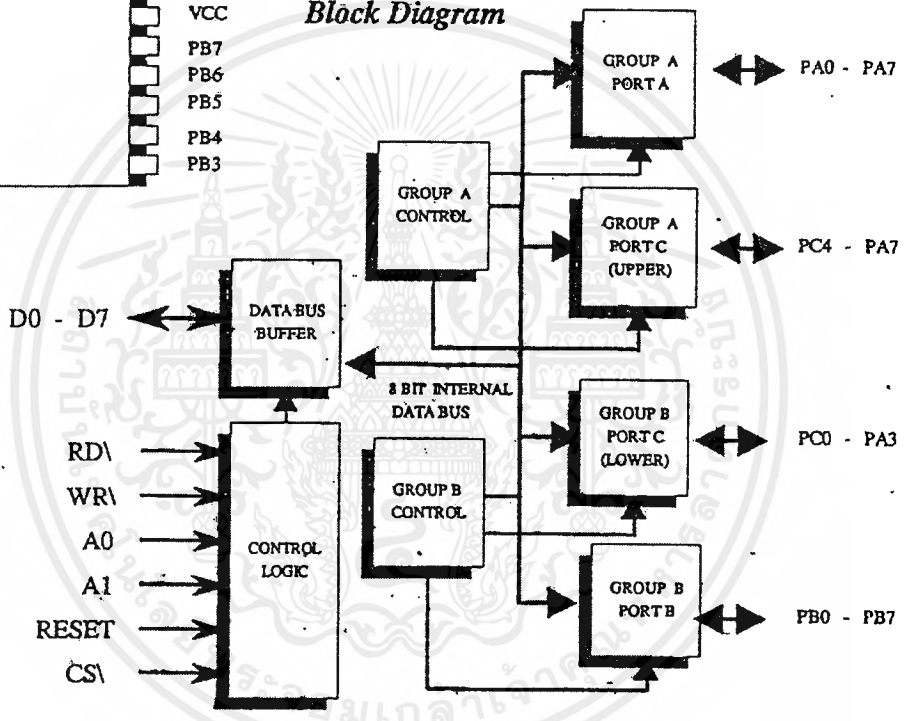
PROGRAMMABLE PERIPHERAL INTERFACE



Pin Names

D0 - D7	DATA BUS (BI-DIRECTIONAL)
RESET	RESET INPUT
CS\	CHIP SELECT
RD\	READ INPUT
WR\	WRITE INPUT
A0 - A1	PORT ADDRESS
PA0 - PA7	PORT A
PB0 - PB7	PORT B
PC0 - PC7	PORT C

Block Diagram



รูปที่ 2.1 บล็อกภายในและขาสัญญาณของไอซีเบอร์ 8255

2.3 การจำแนกกลุ่มพอร์ตของ 8255

ในบรรดาพอร์ตทั้งสามของ 8255 คือ พอร์ต A พอร์ต B พอร์ต C โดยพื้นฐานนั้นล้วนเป็นพอร์ตแบบขนานที่ประกอบด้วยสัญญาณ 8 เส้น ซึ่งแต่ละเส้นจะแทนบิตของข้อมูลพอร์ต ซึ่งอาจกล่าวในอีกลักษณะว่าเป็นพอร์ตแบบ 8 บิต นอกจากนี้ยังสามารถอ้างถึงแต่ละบิตของเส้นสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พอร์ตนี้ได้โดยอิสระ อย่างไรก็ตาม 8255 ได้จัดกลุ่มของพอร์ตเหล่านี้ออกเป็นสองกลุ่ม (Group A และ Group B) เพื่อประโยชน์ในการกำหนดรูปแบบการทำงานของพอร์ตดังตารางที่ 2.1

ชื่อกลุ่ม	ลักษณะ
Group A	พอร์ต A จำนวน 8 บิต (ทุกบิตของพอร์ต) พอร์ต C จำนวน 4 บิต (เฉพาะ 4 บิตบนของพอร์ต)
Group B	พอร์ต B จำนวน 8 บิต (ทุกบิตของพอร์ต) พอร์ต C จำนวน 4 บิต (เฉพาะ 4 บิตล่างของพอร์ต)

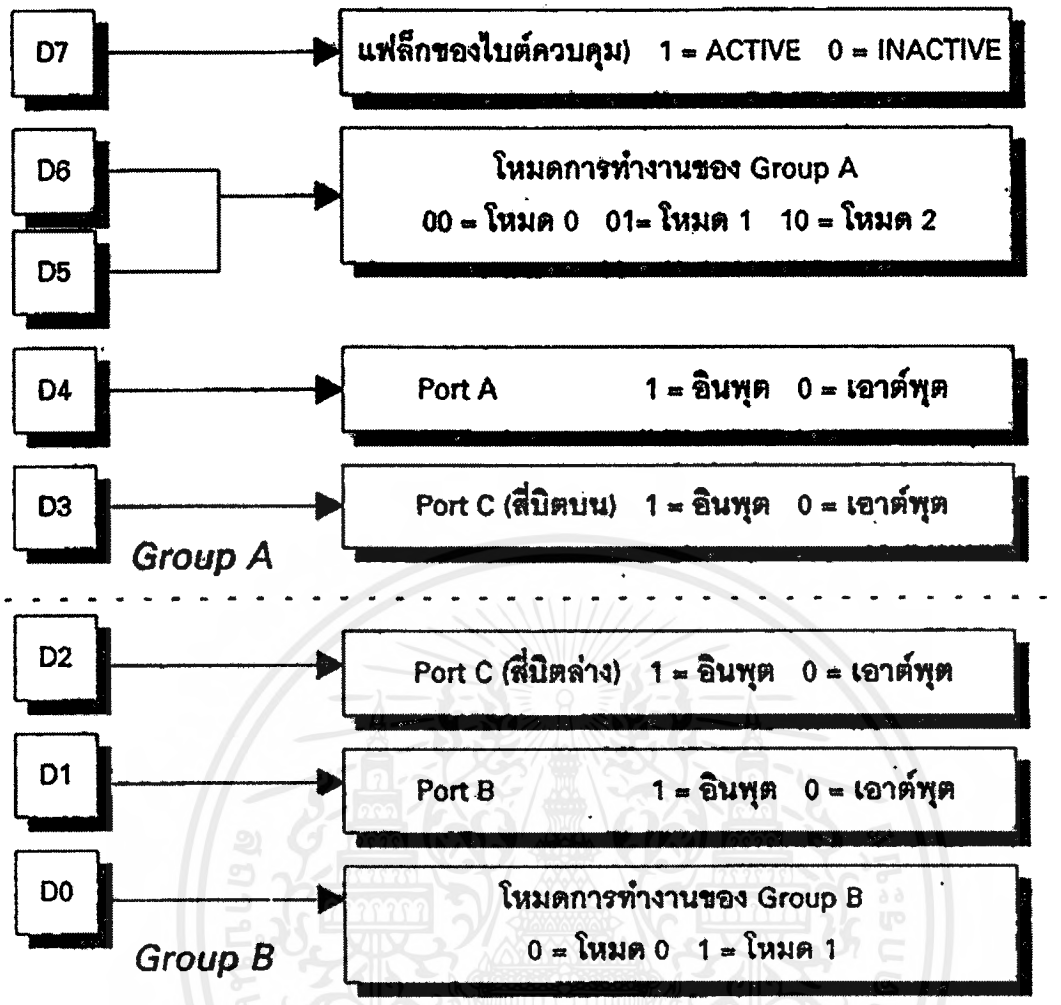
ตารางที่ 2.1 รูปแบบการทำงานของพอร์ต

จากตารางการทำงานข้างต้นจะเห็นว่า จำนวนเส้นสัญญาณทั้งหมดของพอร์ต C (PC0-PC7) ได้ถูกแยกออกเป็นสองกลุ่ม คือ กลุ่มของ 4 บิตล่าง (Lower nibble) จาก PC0-PC3 และกลุ่มของ 4 บิตบน (Upper nibble) จาก PC4-PC7 ดังนั้น Group A และ Group B ของ 8255 จึงมีจำนวนบิตในแต่ละกลุ่มเป็นจำนวนถึง 12 บิต

สัญญาณ	ความหมาย
D0-D7	กลุ่มของสัญญาณข้อมูลของ 8255 เมื่อมีการเขียนหรืออ่าน
CS\	สัญญาณเลือกอุปกรณ์เมื่อขาสัญญาณนี้เป็นระดับลอจิกต่ำซีพียูสามารถเขียนหรืออ่านข้อมูลจาก 8255 ได้
RD\	สัญญาณบอกสถานะต้องการอ่านข้อมูลจากรีจิสเตอร์ของ 8255
WR\	สัญญาณบอกสถานะต้องการเขียนข้อมูลให้กับรีจิสเตอร์ของ 8255
A0-A1	สัญญาณระบุตำแหน่งรีจิสเตอร์ภายใน 8255 ที่ต้องการ
RESET	สัญญาณการรีเซตวงจรทำงานภายใน 8255 เพื่อเริ่มต้นใหม่
PA0-PA7	กลุ่มของสัญญาณ 8 เส้น เมื่อทำการติดต่อกับพอร์ต A ของ 8255
PB0-PB7	กลุ่มของสัญญาณ 8 เส้น เมื่อทำการติดต่อกับพอร์ต B ของ 8255
PC0-PC7	กลุ่มของสัญญาณ 8 เส้น เมื่อทำการติดต่อกับพอร์ต C ของ 8255

ตารางที่ 2.2 หน้าที่การทำงานของขาสัญญาณไอซี 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 ความหมายของบิตภายในไบต์ข้อมูลควบคุมสำหรับ 8255

2.4 รูปแบบคำสั่งเพื่อกำหนดการทำงานของ 8255

การกำหนดให้พอร์ตทั้งสามของ 8255 ทำงานในลักษณะต่าง ๆ กันหรือที่เรียกว่า โหมดการทำงาน (Mode) จะเริ่มด้วยการส่งค่าข้อมูลไบต์หนึ่งให้กับรีจิสเตอร์ควบคุมการทำงานภายใน 8255 ข้อมูลนี้จะถูกเรียกว่า ไบต์ข้อมูลควบคุม (Control word) โดยแต่ละบิตของข้อมูลนี้มีความหมายที่ระบุถึงความต้องการต่าง ๆ ไปดังแสดงดังรูปที่ 2.2 การส่งข้อมูลไบต์นี้จะต้องเริ่มต้นเป็นลำดับแรกก่อนที่จะได้มีการดำเนินการใดกับ 8255

ตามความหมายของบิตภายในตารางของรูปที่ 2.2 จะเห็นว่าการเลือกพอร์ตใดทำหน้าที่เป็นพอร์ตอินพุตก็เพียงแต่กำหนดค่าข้อมูล 1 ให้กับบิตที่เกี่ยวข้องกับพอร์ตนั้น หรือกรณีตรงข้ามสำหรับการเอาต์พุตก็เพียงแต่กำหนดค่าข้อมูล 0 เท่านั้น อย่างไรก็ตามการกำหนดให้ไบต์ข้อมูลควบคุมนี้มีผลอย่างถูกต้อง ก็จะต้องทำการกำหนดให้บิต D7 มีค่าเป็น 1 เสมอ สำหรับบิตที่บอกถึงโหมดการทำงาน (บิต D6-D5 และ D2) นั้นจะได้กล่าวในรายละเอียดในหัวข้อต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 การเชื่อมต่อ 8255 กับคอมพิวเตอร์

เมื่อพิจารณาแผนภาพของ 8255 จะเห็นว่ามีขาสัญญาณแอดเดรสจำนวน 2 เส้น คือ A0 และ A1 ทำให้ตำแหน่งของแอดเดรสที่จะอ้างถึงได้มีค่าเป็น 4 ตำแหน่ง ซึ่งแต่ละตำแหน่งจะมีความหมายถึงการระบุรีจิสเตอร์หรือพอร์ตภายใน 8255 ดังตารางที่ 2.3

A1	A0	ชื่อของรีจิสเตอร์
0	0	พอร์ต A
0	1	พอร์ต B
1	0	พอร์ต C
1	1	รีจิสเตอร์ควบคุม

ตารางที่ 2.3 การระบุรีจิสเตอร์หรือพอร์ตภายใน

เมื่อพิจารณาค่าของแอดเดรสเหล่านี้ร่วมกับระดับลอจิกของขาสัญญาณ RD\ และ WR\ จะเป็นการอ่านหรือเขียนข้อมูลทางขาสัญญาณ D0-D7 ให้กับรีจิสเตอร์นั้นตามลำดับ ดังตารางที่ 2.4

RD\	WR\	A1	A0	ความหมาย
0	1	0	0	ส่ง (หรือเขียน) ข้อมูลให้กับพอร์ต A
1	0	0	0	รับ (หรืออ่าน) ข้อมูลจากพอร์ต A
0	1	0	1	ส่ง (หรือเขียน) ข้อมูลให้กับพอร์ต B
1	0	0	1	รับ (หรืออ่าน) ข้อมูลจากพอร์ต B
0	1	1	0	ส่ง (หรือเขียน) ข้อมูลให้กับพอร์ต C
1	0	1	0	รับ (หรืออ่าน) ข้อมูลจากพอร์ต C
0	1	1	1	ส่ง (หรือเขียน) ข้อมูลให้กับรีจิสเตอร์ควบคุม
1	0	1	1	เป็นสภาวะที่ไม่ถูกต้อง

ตารางที่ 2.4 การทำงานร่วมกันระหว่างขาสัญญาณต่าง ๆ ของ 8255

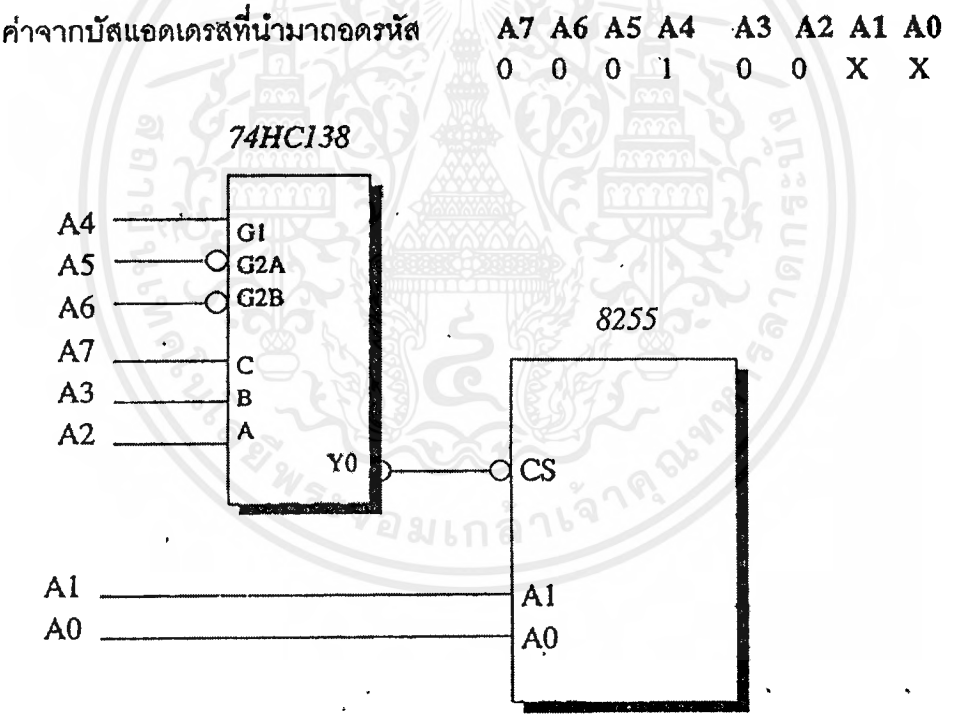
ดังนั้นโดยทั่วไปจึงมักจะกำหนดแอดเดรสของ 8255 ทั้งสี่ตำแหน่งนี้อยู่ในแอดเดรสช่วงใดช่วงหนึ่งของระบบ เช่น 10h,11h,12h และ13h โดยขาสัญญาณแอดเดรสที่นอกเหนือไปจาก A0 และ A1 นำเข้ามายังตัวถอดรหัสแอดเดรส เพื่อสร้างสัญญาณเลือกอุปกรณ์ (CS\) ในช่วงแอดเดรสที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต้องการ ขอให้ดูตัวอย่างวงจรในรูปที่ 2.3 สัญญาณ CS\ นี้จะเป็นสภาวะลอจิกต่ำก็ต่อเมื่อค่าในบัสแอดเดรส A2-A7 มีค่าเท่ากับ 000100XX (ตัวอักษร XX ใช้เพื่อระบุถึงรีจิสเตอร์ภายใน 8255 เพื่อทำการอ่านหรือเขียนข้อมูล) ดังนั้นจากวงจรนี้แอดเดรสของรีจิสเตอร์ภายใน 8255 จะมีค่าตามตารางที่ 2.5

ตำแหน่งแอดเดรส	ความหมาย
10h	พอร์ต A
11h	พอร์ต B
12h	พอร์ต C
13h	รีจิสเตอร์ควบคุม

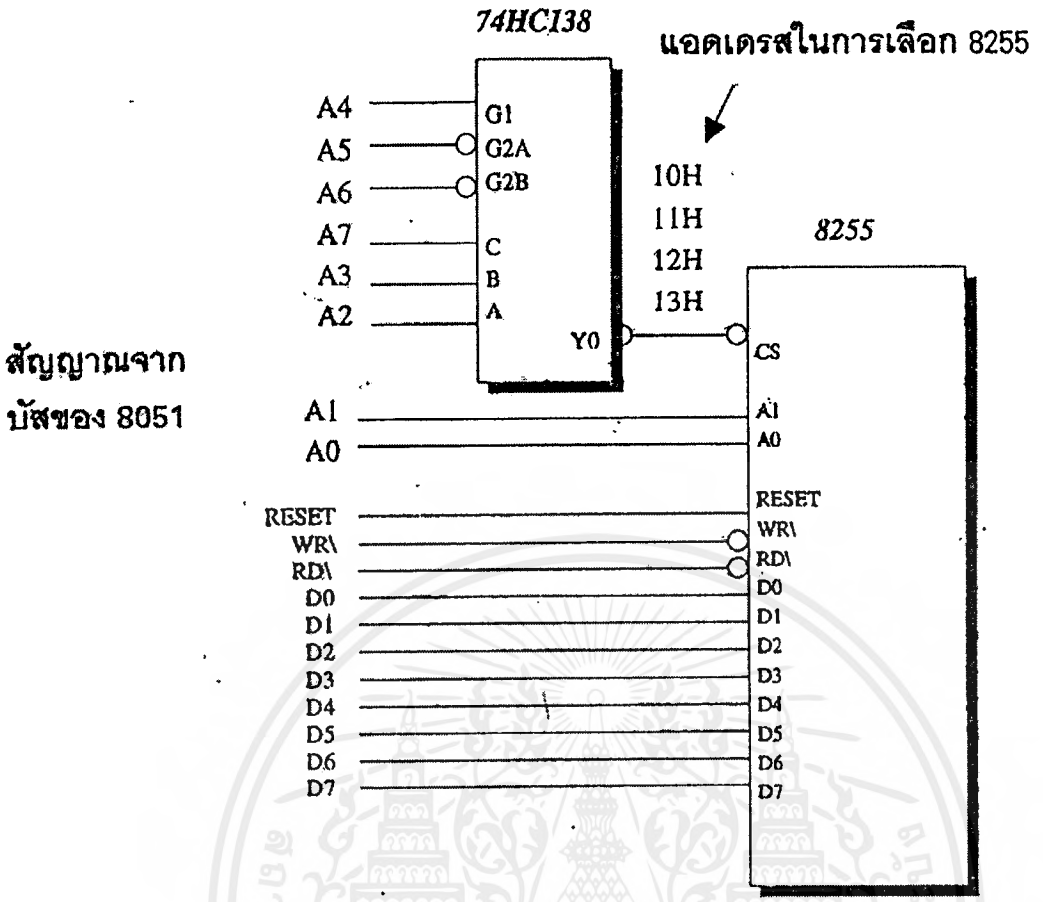
ตารางที่ 2.5 ตำแหน่งแอดเดรสและความหมาย



รูปที่ 2.3 การสร้างสัญญาณเลือกอุปกรณ์ (CS\) ให้กับ 8255 โดยการถอดรหัสจากบัสแอดเดรส A2-A7

ขาสัญญาณควบคุมอื่น ๆ มักจะเชื่อมต่อเข้ากับขาสัญญาณชื่อเดียวกันของคอมพิวเตอร์โดยตรง ทำให้แอดเดรสพอร์ตของ 8255 อยู่ในพื้นที่ของหน่วยความจำข้อมูลของคอมพิวเตอร์ส่วนขาสัญญาณ D0-D7 ก็สามารถนำไปเชื่อมต่อโดยตรงเข้ากับบัสของคอมพิวเตอร์ได้ในรูปที่ 2.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 แผนภาพวงจรการเชื่อมต่อระหว่าง 8255 กับ 8051

2.6 รายละเอียดการทำงานโหมดต่าง ๆ ของ 8255

การกำหนดโหมดการทำงานของ 8255 นั้นทำได้โดยคอมพิวเตอร์ ทำการส่งรหัสควบคุมผ่านทางบัสข้อมูลมายังพอร์ตควบคุมของ 8255 รหัสควบคุมนี้จะมีขนาด 1 ไบต์ เรียกว่าไบต์ควบคุม และในแต่ละบิตของไบต์ควบคุมจะมีความหมายเฉพาะของตัวเอง ดังแสดงในรูปที่ 2.2

2.7 การทำงานโหมด 0 ของ 8255

เมื่อ 8255 ได้รับการกำหนดให้ทำงานในโหมดนี้ จะทำให้พอร์ตต่าง ๆ มีหน้าที่เป็นพอร์ตอินพุตหรือเอาต์พุตได้เพียงลักษณะเดียวเท่านั้น การเริ่มต้นจะทำโดยการส่งไบต์ข้อมูลควบคุมให้กับรีจิสเตอร์ควบคุม (ดูความหมายของบิต จากรูปที่ 2.2 ประกอบ) ต่อไปจะได้แสดงให้เห็นถึงรูปแบบการกำหนดบิต เมื่อต้องการให้พอร์ต A, B และ C ทำหน้าที่เป็นพอร์ตเอาต์พุตทั้งหมดดังตารางต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตำแหน่งบิต	ค่าข้อมูล	ความหมาย
D7	1	ระบุให้ทราบว่าเป็นไบต์ข้อมูลควบคุม
D6 และ D5	00	กำหนดโหมดการทำงานให้กับพอร์ต A เป็นโหมด 0
D4	0	ระบุว่าพอร์ต A เป็นการเอาต์พุตข้อมูล
D3	0	กำหนดให้เส้นสัญญาณสี่บิตบนของพอร์ต C เป็นการเอาท์พุตข้อมูล
D0	0	กำหนดโหมดการทำงานให้กับพอร์ต B เป็นโหมด 0
D1	0	ระบุว่าพอร์ต B เป็นการเอาต์พุตข้อมูล
D2	0	กำหนดให้เส้นสัญญาณสี่บิตล่างของพอร์ต C เป็นการเอาต์พุตข้อมูล

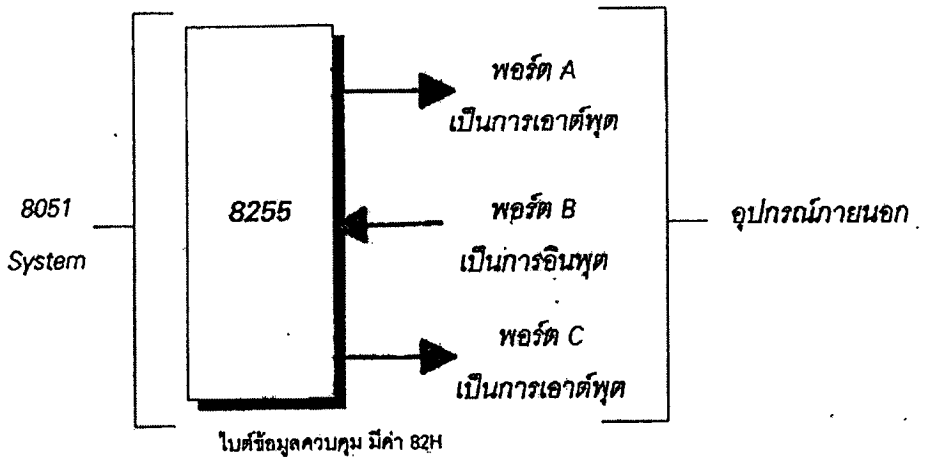
ตารางที่ 2.6 การกำหนดการทำงานโหมด 0 ของ 8255

ค่าของไบต์ข้อมูลควบคุมจะต้องส่ง (หรือ เขียน) ให้กับรีจิสเตอร์ควบคุม ซึ่งหากใช้วงจรตามรูปที่ 2.4 จะเป็น แอดเดรส 13h

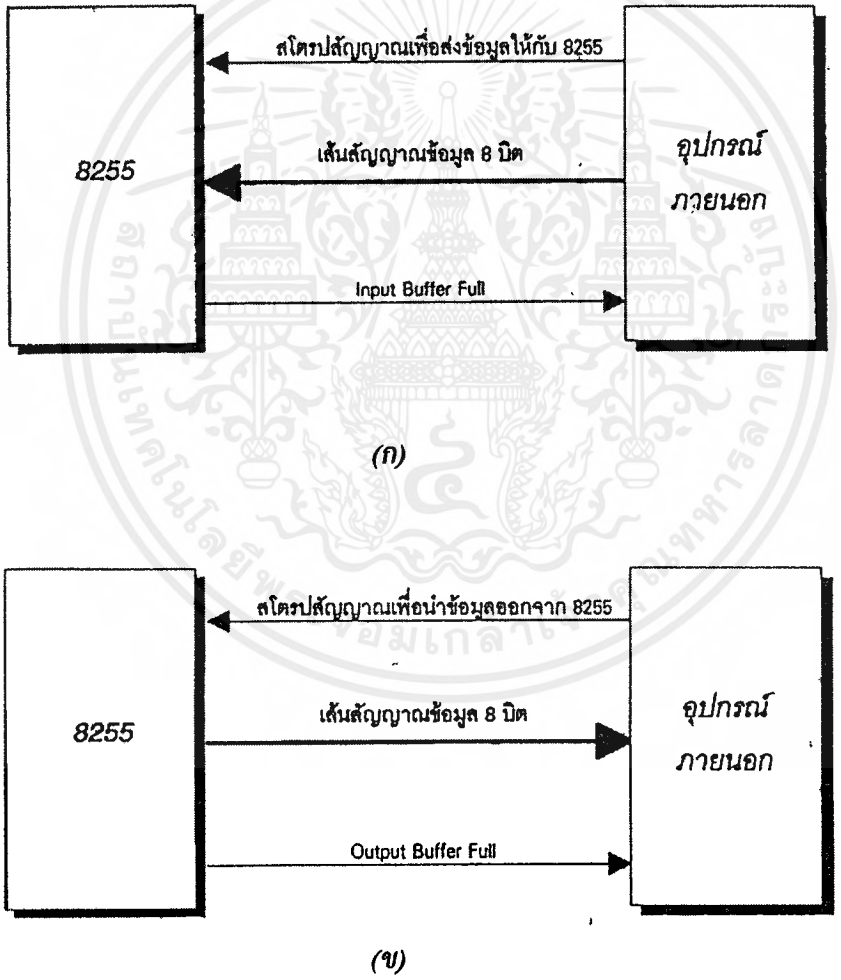
2.8 การทำงานโหมด 1 ของ 8255

เมื่อ 8255 ได้รับการกำหนดให้ทำงานในโหมด 1 จะมีผลทำให้พอร์ต A และพอร์ต B ยังสามารถใช้งานเป็นการอินพุตหรือเอาต์พุตข้อมูลในลักษณะเดียวกับโหมด 0 ที่ผ่านมา เพียงแต่พอร์ต C จะถูกนำไปใช้เป็นพอร์ตสำหรับการบอกสภาวะการติดต่อ (Handshake Signals) เท่านั้น โดยเส้นสัญญาณสี่บิตบน (PC0-PC4) จะใช้งานร่วมกับการติดต่อข้อมูลทางพอร์ต A และเส้นสัญญาณสี่บิตล่าง (PC3-PC0) จะใช้งานร่วมกับการติดต่อข้อมูลทางพอร์ต B การทำงานในลักษณะนี้จะพบเห็นได้เสมอ เมื่อมีการติดต่อกับอุปกรณ์ภายนอก ซึ่งมักจะทำงานได้ช้ากว่าคอมพิวเตอร์มาก จึงจะเป็นต้องอาศัยการบอกสถานะของการทำงานจากเส้นสัญญาณเหล่านี้ เช่นความไม่พร้อมในการรับข้อมูล หรือมีข้อมูลที่จะทำการติดต่อ เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 ลักษณะการทำงานของพอร์ต 8255 ภายหลังการส่งไบต์ข้อมูลควบคุมที่มีค่า 82h



รูปที่ 2.6 (ก) สัญญาณบอกสภาวะความพร้อมในการอ่านข้อมูลของ 8255 กับอุปกรณ์ภายนอก
(ข) สัญญาณบอกสภาวะความพร้อมในการเขียนข้อมูลของ 8255 กับอุปกรณ์ภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.6 (ก) ข้อมูลจะถูกส่งออกจากอุปกรณ์ภายนอกเข้ามายังพอร์ตของ 8255 แต่ก่อนที่จะทำการส่งข้อมูลนั้น อุปกรณ์ภายนอกต้องทำการตรวจสอบสภาวะของเส้นสัญญาณที่แสดงว่าพื้นที่ในการรับข้อมูลของ 8255 (หรือที่เรียกว่า Input Buffer) นั้นว่างตามรูปเส้นสัญญาณนี้มีชื่อว่า Input Buffer Full ซึ่งใช้ในความหมายต่อไปนี้

ค่าลอจิกสัญญาณ Input Buffer Full	ความหมาย
จริง	ข้อมูลที่ส่งให้กับ 8255 ก่อนหน้านี้ยังค้างอยู่ในบัฟเฟอร์ เนื่องจากคอมพิวเตอร์ยังไม่ได้อ่านข้อมูลนี้ไปจากบัฟเฟอร์ของ 8255 ดังนั้นจึงไม่สามารถรับข้อมูลเข้ามาได้อีก
เท็จ	พื้นที่บัฟเฟอร์ภายใน 8255 นั้นว่างแล้ว เนื่องจากคอมพิวเตอร์ได้อ่านข้อมูลนี้ไปแล้ว ดังนั้นจึงสามารถรับข้อมูลไบต์ต่อไปจากอุปกรณ์ภายนอกได้

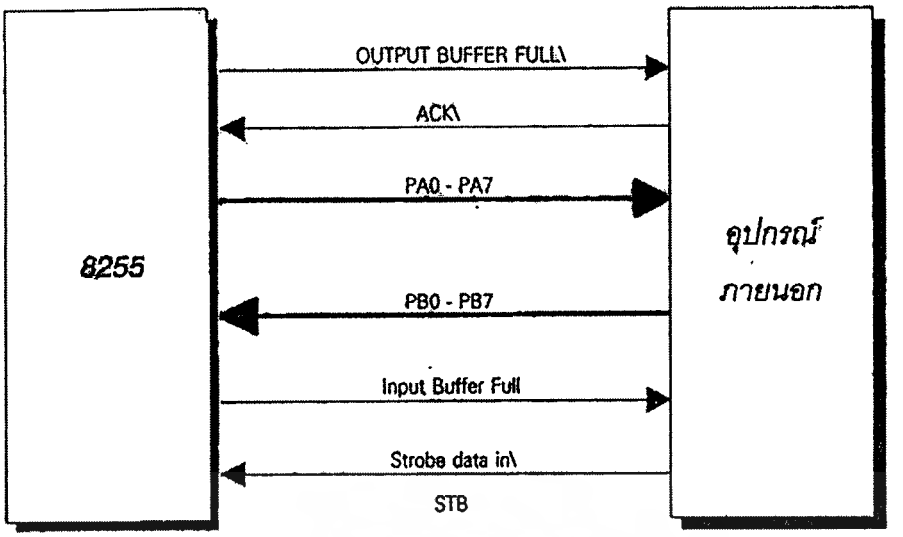
ตารางที่ 2.7 สถานะของ Input Buffer Full

จากรูปที่ 2.6 (ข) ข้อมูลจะถูกส่งออกจาก 8255 ไปให้กับอุปกรณ์ภายนอก แต่ก่อนที่ 8255 จะส่งข้อมูลออกไปได้นั้น จะต้องทำการส่งสภาวะของสัญญาณออกไปเพื่อแจ้งให้อุปกรณ์ภายนอกทราบว่ามีข้อมูลที่ทำการส่งออกไป สัญญาณนี้มีชื่อว่า Output Buffer Full และเมื่ออุปกรณ์ภายนอกได้รับข้อมูลเรียบร้อยแล้ว จึงจะทำการสโตรปสัญญาณอีกเส้นหนึ่งเพื่อแจ้งให้ 8255 ทราบต่อไป

การทำงานของ 8255 ในโหมด 1 นั้น พอร์ตสำหรับการรับหรือส่งข้อมูล คือ พอร์ต A และ B สามารถทำงานได้โดยอิสระไม่ขึ้นต่อกัน ดังตัวอย่างในรูปที่ 2.7 ซึ่งได้กำหนดให้พอร์ต A เป็นพอร์ตเอาต์พุต และพอร์ต B เป็นพอร์ตอินพุต

การกำหนดบิตจะทำให้ข้อมูลจะต้องส่งออกไปทางพอร์ต A ทางขาสัญญาณ PA0 – PA7 สัญญาณ Output Buffer Full (OBF) ใช้สัญญาณ PC7 สัญญาณตอบรับจากอุปกรณ์ภายนอก (ACK) ใช้เส้นสัญญาณ PC6 สำหรับการรับข้อมูลเข้ามาจากอุปกรณ์ภายนอกจะเข้ามาทางพอร์ต B ทางขาสัญญาณ PB0 - PB7 ขาสัญญาณ PC1 ใช้เป็นเส้นสัญญาณ Input Buffer Full (IBF) และขาสัญญาณ PC2 เป็นเส้นสัญญาณสโตรปข้อมูลให้กับ 8255 (STB) ในตารางที่ 2.8 ได้แสดงให้เห็นถึงหน้าที่ของพอร์ต C ทั้งหมดเมื่อถูกใช้งานในโหมด 1 สำหรับการบอกสภาวะการติดต่อเส้นสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



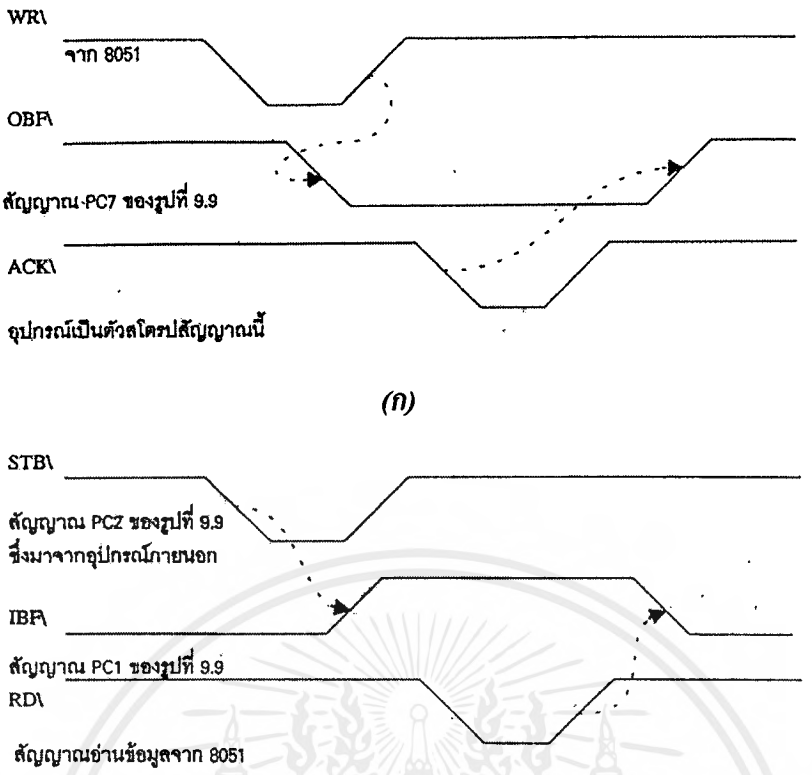
รูปที่ 2.7 การกำหนดการทำงานของ 8255 ในโหมด 1 เพื่อให้พอร์ต A เป็นพอร์ตสำหรับการส่งออกข้อมูล และพอร์ต B เป็นพอร์ตสำหรับการรับเข้าข้อมูลจากอุปกรณ์ภายนอก

เส้นสัญญาณ	สภาวะติดต่อสำหรับการอินพุต	สภาวะการติดต่อสำหรับการเอาต์พุต
PC0	สัญญาณ INTR ของพอร์ต B	สัญญาณ INTR ของพอร์ต B
PC1	สัญญาณ IBF ของพอร์ต B	สัญญาณ OBF\ ของพอร์ต B
PC2	สัญญาณ STB\ ของพอร์ต B	สัญญาณ ACK\ ของพอร์ต B
PC3	สัญญาณ INTR ของพอร์ต A	สัญญาณ INTR ของพอร์ต A
PC4	สัญญาณ STB\ ของพอร์ต A	การอินพุต/เอาต์พุตตามปกติ
PC5	สัญญาณ IBF ของพอร์ต A	การอินพุต/เอาต์พุตตามปกติ
PC6	การอินพุต/เอาต์พุตตามปกติ	สัญญาณ ACK\ ของพอร์ต A
PC7	การอินพุต/เอาต์พุตตามปกติ	สัญญาณ OBF\ ของพอร์ต A

ตารางที่ 2.8 หน้าที่ของเส้นสัญญาณภายในพอร์ต C เมื่อกำหนดให้ทำงานในโหมด 1 เพื่อบอกสภาวะของการอินพุตและการเอาต์พุตข้อมูล

ในส่วนของการโปรแกรมเพื่อจัดการให้คอมพิวเตอร์ สามารถรับหรือส่งข้อมูลกับอุปกรณ์ภายนอก โดยใช้พอร์ตของ 8255 ซึ่งกำหนดให้ทำงานในโหมด 1 นั้น ตามหลักการแล้วคอมพิวเตอร์จะพิจารณาจากสภาวะของบิตที่เกี่ยวข้องกับสัญญาณติดต่อของ 8255 เท่านั้น ส่วนเส้นสัญญาณติดต่อจริง ๆ นั้น จะเป็นการดำเนินการจาก 8255 โดยอัตโนมัติ ขอให้พิจารณาจากแผนภาพเวลาในรูปที่ 2.8 (ก) และ (ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



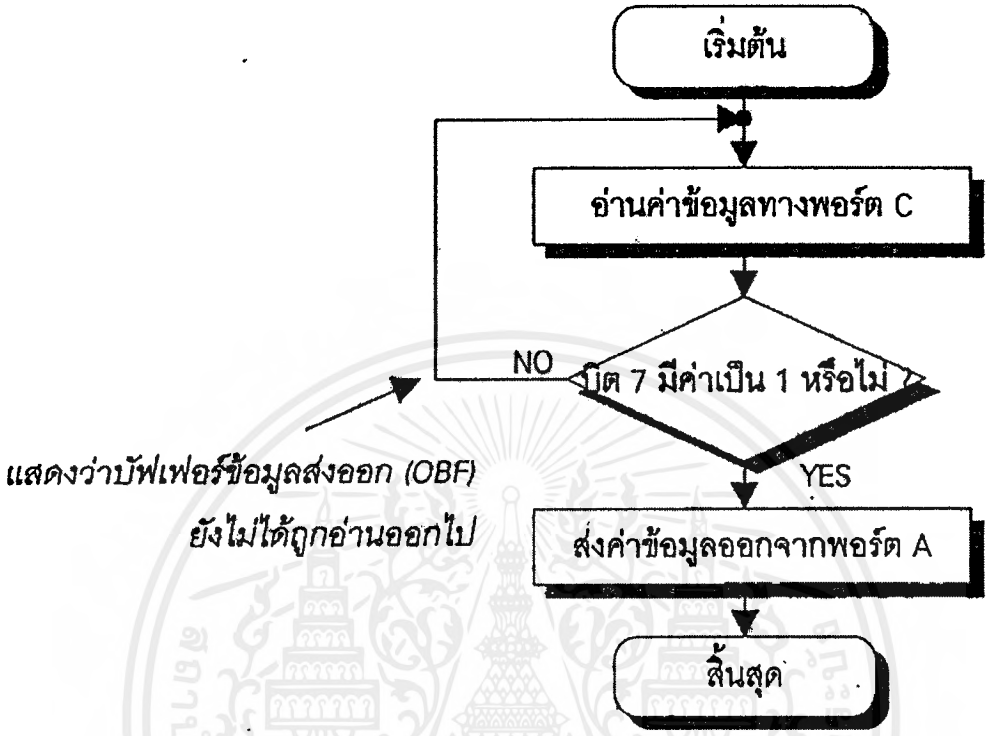
รูปที่ 2.8 (ก) แสดงสัญญาณติดต่อเพื่อส่งข้อมูลออกไปจากพอร์ต A ของ 8255 ตามลักษณะการทำงานที่ได้กำหนดไว้จากตารางที่ 2.8

(ข) แสดงสัญญาณติดต่อเพื่อรับข้อมูลเข้ามาจากพอร์ต B ของ 8255 ตามลักษณะการทำงานที่ได้กำหนดไว้จากตารางที่ 2.8

เมื่อคอมพิวเตอร์ต้องการส่งข้อมูลให้กับอุปกรณ์ภายนอก จะเริ่มจากการตรวจสอบสภาวะขาสัญญาณ PC7 (สัญญาณ OBF\) โดยการอ่านค่าจากพอร์ต C เข้ามาและพิจารณาบิต D7 ซึ่งหากเป็นค่า 1 แสดงว่าข้อมูลที่ได้ส่งไปให้ 8255 ก่อนหน้านี้ได้ถูกส่งต่อไปให้กับอุปกรณ์ภายนอกเสร็จสิ้นแล้ว ดังนั้นคอมพิวเตอร์ก็สามารถส่งข้อมูลตัวถัดไปได้อีกครั้งหนึ่ง ซึ่งผลจากการเขียนข้อมูลให้กับพอร์ต A ของ 8255 นี้ทำให้ขาสัญญาณ PC7 (สัญญาณ OBF\) เปลี่ยนไปเป็นระดับลอจิก 0 เมื่ออุปกรณ์ภายนอกที่ต่ออยู่ตรวจสอบขาสัญญาณนี้ก็ทราบได้ว่า 8255 มีข้อมูลที่ส่งให้ ก็จะทำการอ่านข้อมูลจากพอร์ต A ไปทันทีและแจ้งกลับมาให้ทราบโดยการสโตรปสัญญาณ ACK\ (ขาสัญญาณ PC6) เมื่อ 8255 ตรวจสอบพบก็จะทำการเปลี่ยนสภาวะของขาสัญญาณ OBF\ (ขาสัญญาณ PC6) ให้ระดับลอจิก 1 โดยอัตโนมัติ เป็นอันครบรอบการติดต่อเพื่อส่งข้อมูลหนึ่งครั้งดังนั้นเมื่อใดที่คอมพิวเตอร์ทำการตรวจสอบค่าของบิต D7 ของพอร์ต C และพบว่าเป็นค่า 0 ก็ยังไม่ควรที่จะส่ง (หรือเขียน) ข้อมูลให้กับพอร์ต A ของ 8255 เพราะข้อมูลก่อนหน้านี้ยังคงค้างอยู่ในบัฟเฟอร์ของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

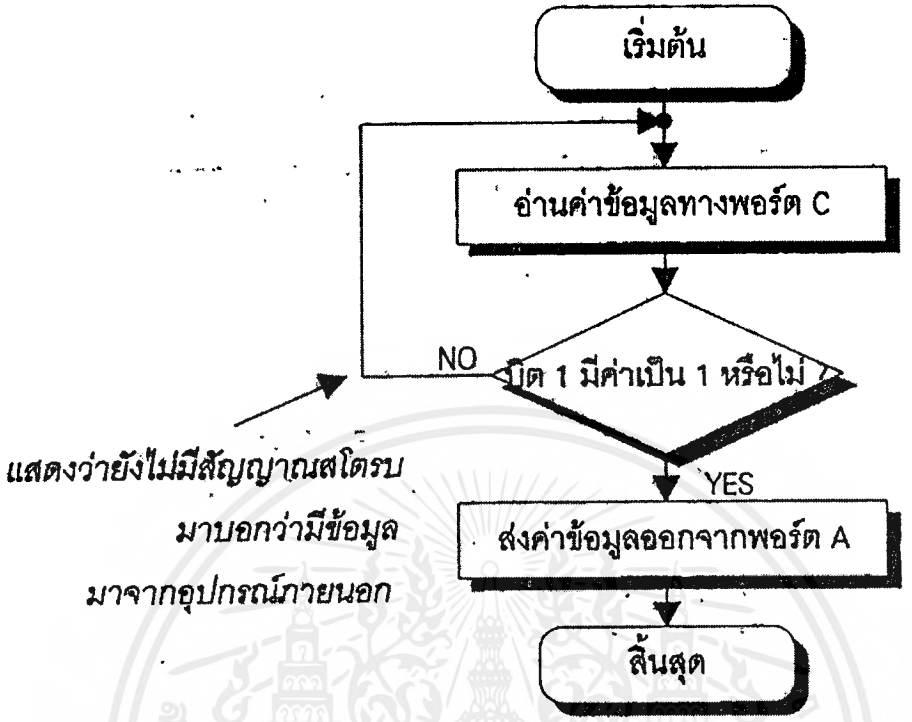
8255 ยังไม่ได้มีการส่งต่อให้กับอุปกรณ์ภายนอกเลย โดยดูได้จากโฟลว์ชาร์ตสำหรับการเขียนโปรแกรมเพื่อส่งออกข้อมูลผ่านพอร์ตของ 8255 และโปรแกรมย่อยในรูปที่ 2.9 ตามลำดับ



รูปที่ 2.9 โฟลว์ชาร์ตวิธีการส่งข้อมูลให้กับอุปกรณ์ภายนอกโดยใช้พอร์ต A และสัญญาณติดต่อทางพอร์ต C

สำหรับการรับข้อมูลของคอมพิวเตอร์ จากอุปกรณ์ภายนอกผ่านทางพอร์ตของ 8255 เริ่มต้นจากการตรวจสอบสภาวะของบิต D1 จากพอร์ต C ว่าเป็นค่าใด กรณีเป็นค่าลอจิก 1 แสดงว่ามีข้อมูลอยู่ในบัฟเฟอร์ภายใน 8255 ซึ่งได้ส่งมาจากอุปกรณ์ภายนอกและแจ้งให้ 8255 ทราบโดยการสโตรปสัญญาณ STB\ (ขาสัญญาณ PC2) มีผลให้ 8255 เปลี่ยนแปลงระดับลอจิกของขาสัญญาณ PC1 (สัญญาณ IBF) เป็นระดับลอจิก 1 ดังนั้นคอมพิวเตอร์ก็สามารถอ่านข้อมูลเข้าไปทางพอร์ต B ของ 8255 ได้ซึ่งการอ่านข้อมูลนี้เองจะมีผลทำให้สภาวะของสัญญาณ IBF กลับไปเป็นระดับลอจิก 0 อีกครั้งหนึ่ง เป็นอันครบรอบการรับข้อมูลจากอุปกรณ์ภายนอกหนึ่งครั้ง ดูได้จากโฟลว์ชาต์การเขียนโปรแกรมเพื่อรับข้อมูลผ่านทางพอร์ตของ 8255 และโปรแกรมย่อยในรูปที่ 2.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

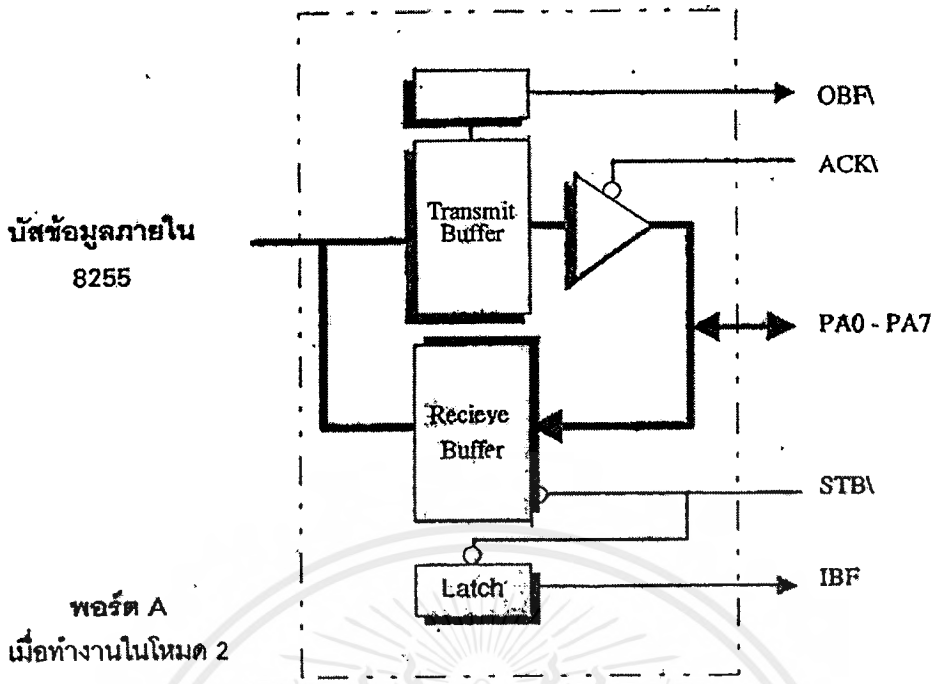


รูปที่ 2.10 โฟลว์ชาร์ตวิธีการรับข้อมูลให้กับอุปกรณ์ภายนอกโดยใช้พอร์ต B และสัญญาณติดต่อทางพอร์ต C

2.9 การทำงานโหมด 2 ของ 8255

เมื่อ 8255 ได้รับการกำหนดให้ทำงานในโหมด 2 ซึ่งกำหนดไว้ให้ใช้เฉพาะกับการทำงานของพอร์ต A เท่านั้น โดยจะมีลักษณะเป็นพอร์ตข้อมูลแบบสองทิศทาง (Bi-directional data พอร์ต) กล่าวคือข้อมูลภายในเส้นสัญญาณของพอร์ต A ทั้งหมด สามารถเป็นข้อมูลที่มาจากการอินพุตหรือเอาต์พุตก็ได้ พิจารณาได้จากแผนภาพในรูปที่ 2.11 จะเห็นว่าเส้นสัญญาณ PA0-PA7 จะถูกเชื่อมต่อเข้ากับบล็อกของวงจรแลตซ์ทั้งหมด โดยแลตซ์สำหรับข้อมูลส่งออก (Output Latch) มีหน้าที่สำหรับการค้างค่าข้อมูลที่คอมพิวเตอร์เขียนมายังพอร์ต A และรอคอยให้อุปกรณ์ภายนอกมาอ่านข้อมูลนี้ไปจาก 8255 ส่วนแลตซ์สำหรับข้อมูลรับเข้า (Input Latch) ทำหน้าที่สำหรับเก็บข้อมูลที่อุปกรณ์ภายนอกส่งมาให้กับพอร์ต A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 หลักการทำงานของ 8255 เมื่อได้รับการกำหนดให้ทำงานในโหมด 2

ลำดับการทำงานเมื่อคอมพิวเตอร์ต้องการส่งข้อมูลออกไปให้กับอุปกรณ์ภายนอก จะเริ่มโดยการส่งข้อมูลออกมาทางพอร์ต A ของ 8255 เช่นปกติ ซึ่งมีผลทำให้ขาสัญญาณ OBF\ เปลี่ยนไปเป็นระดับลอจิกต่ำ เมื่ออุปกรณ์ภายนอกตรวจสอบสัญญาณนี้ก็จะทราบได้ว่าขณะนี้มีข้อมูลที่จะต้องอ่านไปจาก 8255 สัญญาณนี้ยังสามารถใช้ในการแจ้งคอมพิวเตอร์ได้เช่นกัน (โดยการอ่านและตรวจสอบค่าบิต D7 ของพอร์ต C) ว่าบัฟเฟอร์ของ 8255 พร้อมที่จะรับข้อมูลใหม่เข้าไปหรือไม่ เมื่ออุปกรณ์ภายนอกได้อ่านข้อมูลจากบัฟเฟอร์นี้ไปแล้ว ก็จะต้องทำการสโตรปสัญญาณ ACK\ ซึ่งจะมีผลทำให้ขาสัญญาณ OBF\ ของ 8255 เปลี่ยนกลับไปเป็นระดับลอจิกสูงอีกครั้งหนึ่ง

ส่วนการอ่านค่าข้อมูลจากอุปกรณ์ภายนอกก็เป็นไปในลักษณะคล้ายกัน โดยก่อนที่อุปกรณ์จะส่งข้อมูลเข้ามาให้กับ 8255 จะต้องตรวจสอบสภาวะของขาสัญญาณ IBF เสียก่อนหากว่าเป็นระดับลอจิกต่ำจึงสามารถส่งข้อมูลออกมาได้ พร้อมกับทำการสโตรปสัญญาณ STB\ มาแจ้งให้ 8255 ทราบ ซึ่งจะมีผลทำให้ขาสัญญาณ IBF เป็นระดับลอจิกสูงโดยอัตโนมัติ ดังนั้น คอมพิวเตอร์ก็จะรับทราบได้ว่ามีข้อมูลจากอุปกรณ์ภายนอก (โดยการอ่านค่าและพิจารณาค่า บิต D5 ของพอร์ต C) และภายหลังที่ได้มีการอ่านค่าไปจากพอร์ต A ของ 8255 แล้วก็จะทำให้สภาวะขาสัญญาณ IBF เปลี่ยนไปเป็นระดับลอจิกต่ำดังเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

32962

ตามตารางที่ 2.9 แสดงให้เห็นถึงหน้าที่ของบิตต่าง ๆ ในพอร์ต C เมื่อได้รับการกำหนดให้ทำงานในโหมด 2 ซึ่งนำมาใช้เป็นบิตบอกสภาวะการติดต่อระหว่าง 8255 กับอุปกรณ์ภายนอกตามลักษณะที่ได้กล่าวมาแล้วข้างต้นทั้งหมด

เส้นสัญญาณ	ลักษณะการทำงาน
PC0	การอินพุต/เอาต์พุตข้อมูลตามปกติ
PC1	การอินพุต/เอาต์พุตข้อมูลตามปกติ
PC2	การอินพุต/เอาต์พุตข้อมูลตามปกติ
PC3	สัญญาณ INTR ของพอร์ต A
PC4	สัญญาณ STB\ ของพอร์ต A
PC5	สัญญาณ IBF ของพอร์ต A
PC6	สัญญาณ ACK\ ของพอร์ต A
PC7	สัญญาณ OBF\ ของพอร์ต A

ตารางที่ 2.9 หน้าที่ของบิตภายในพอร์ต C เมื่อกำหนดให้ทำงานในโหมด 2 เพื่อบอกสภาวะของเส้นสัญญาณการติดต่อทางพอร์ต A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ทฤษฎีของ ADC และ DAC

3.1 ทฤษฎีของ Data Acquisition and Conversion

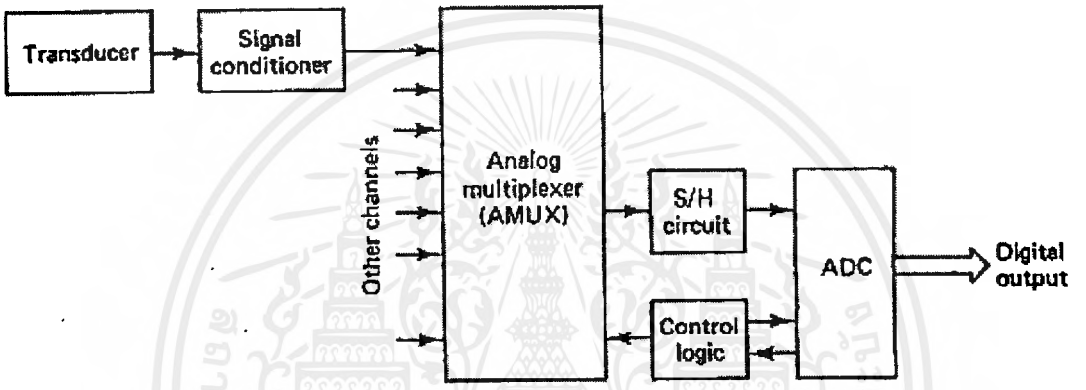
รูปแบบสัญญาณไฟฟ้าที่เราพบเห็นและคุ้นเคยในชีวิตประจำวันนั้นจะอยู่ในรูปของสัญญาณที่ต่อเนื่องหรือที่เรียกว่าสัญญาณอนาลอก (Analog signal) ซึ่งแต่เดิมการนำเอาสัญญาณไฟฟ้าดังกล่าวมาประมวลผล (Process) เพื่อให้มีรูปแบบที่เหมาะสมจะกระทำในแบบอนาลอกนั่นเอง แต่เมื่อเทคนิคและอุปกรณ์การประมวลผลสัญญาณทางดิจิตอลได้รับการพัฒนาขึ้นมา เนื่องจากพบว่าในรูปแบบดิจิตอล การประมวลเก็บข้อมูล สื่อสารและการนำเสนอกระทำได้ง่ายและมีประสิทธิภาพมากกว่า ดังนั้นการเปลี่ยนรูปแบบของสัญญาณ (Conversion) จึงได้มีความจำเป็นขึ้นมา ในรูปที่ 3.1 เป็นตัวอย่างแสดงระบบควบคุมที่ใช้การประมวลข้อมูลในระบบดิจิตอล ในระบบที่ยกมาเป็นตัวอย่างนี้เป็นการเปลี่ยนแปลงทางกายภาพ(Physical process) ในลักษณะใด ๆ ก็ตาม เช่นความดัน อุณหภูมิ จะถูกเปลี่ยนให้เป็นสัญญาณไฟฟ้าที่มีความต่อเนื่อง (สัญญาณอนาลอก) โดยทรานสดิวเซอร์ที่มีคุณสมบัติเหมาะสมกับรูปแบบทางกายภาพนั้น สัญญาณไฟฟ้านั้นจะถูกปรับให้อยู่ในรูปและขนาดที่เหมาะสมก่อน โดยวงจรส่วนที่ทำหน้าที่ปรับแต่งสัญญาณ เช่น วงจรขยาย วงจรฟิลเตอร์ เป็นต้น ADC จะทำหน้าที่เปลี่ยนรูปแบบสัญญาณจากอนาลอกเป็นดิจิตอล ตัวประมวลผลทางดิจิตอล (Digital processor) เช่น คอมพิวเตอร์ จะจัดการกับข้อมูลเพื่อนำเสนอหรือถูกเปลี่ยนกลับมาอยู่ในรูปแบบของสัญญาณอนาลอกโดย DAC เพื่อป้อนกลับไปควบคุม Physical process

ในระบบที่มีข้อมูลที่ต้องประมวลผลในเวลาเดียวกันหลาย ๆ ข้อมูล หาก ADC ทำงานได้เร็วพอก็ไม่จำเป็นต้องใช้ ADC หลายๆตัวทำงานแยกกันสำหรับข้อมูลแต่ละชุด แต่จะใช้วิธีการแบ่งเวลา (Timesharing) โดยใช้วิธี Multiplexing (รูปที่ 3.1) วงจรสุ่มตัวอย่างและคงค่า(Sampling and hole,S/H) จะสุ่ม (Sample) ขนาดของสัญญาณอนาลอกมาและเก็บ (Hold) ไว้ชั่วขณะเพื่อรอให้ ADC รับไปเปลี่ยนให้เป็นสัญญาณดิจิตอลจนเรียบร้อยแล้วค่อยสุ่มสัญญาณใหม่ ทั้งนี้เพื่อที่ไม่จำเป็นต้องใช้ ADC ที่มีความเร็วสูงราคาแพง ข้อมูลดิจิตอลจะถูกส่งต่อไปยัง System bus และถูกประมวลผลโดย Processor ผลของการประมวลผลจะถูกส่งกลับออกมาเพื่อเปลี่ยนกลับมาเป็นสัญญาณอนาลอกโดย DAC เพื่อไปควบคุมกิจกรรมทางกายภาพของระบบผ่าน Analog actuator

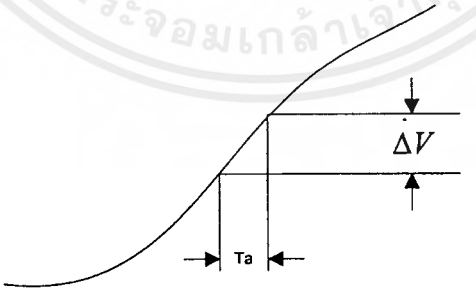
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 ทฤษฎีการ Sampling

ในการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลนั้น ADC จะต้องใช้เวลาช่วงหนึ่งในการจัดการซึ่งช่วงเวลาดังกล่าวนั้นขึ้นอยู่กับหลาย ๆ ปัจจัย เช่น ความละเอียดของการเปลี่ยนสัญญาณ (จำนวนดิจิตอลบิต) เทคนิคของการเปลี่ยนสัญญาณและความเร็วในการทำงานของอุปกรณ์ร่วมอื่น ๆ การกำหนดความเร็วของการแปลงสัญญาณนี้ขึ้นอยู่กับการประยุกต์ใช้งานเฉพาะอย่างและความแม่นยำที่ต้องการ



รูปที่ 3.1 ระบบควบคุมที่มีการประมวลผลข้อมูลแบบดิจิตอล



รูปที่ 3.2 error จากการวัดใน Aperture time

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ช่วงเวลาในการแปลงสัญญาณบางครั้ง อาจเรียกว่า Aperture time ซึ่งความหมายโดยทั่วไปหมายถึงช่วงเวลาที่เกิดความไม่แน่นอนขึ้นในการวัดและผลก็คือความผิดพลาด (error) ต่อค่าที่วัดได้

ในรูปที่ 3.2 สัญญาณอนาลอก V(t) มีอัตราการเปลี่ยน dv/dt ในช่วง Aperture time, T_a ดังนั้นช่วงการเปลี่ยนแปลงอนาลอกจะเท่ากับ Δv โดย

$$\Delta V = T_a \frac{dV(t)}{dt}$$

ดังนั้นหากเวลาที่ ADC ใช้ในการเปลี่ยนสัญญาณในช่วงเวลา T_a นี้สัญญาณดิจิตอลที่ได้อาจจะตรงกับขนาดของสัญญาณอนาลอกค่าใดค่าหนึ่งในช่วงเวลานี้ และจัดทำได้ง่ายและราคาถูกกว่าที่เกิดขึ้น ซึ่งแน่นอนว่าในบางครั้งเป็นไปได้ที่สัญญาณดิจิตอลจะตรงกับขนาดของสัญญาณอนาลอกที่เกิดขึ้น ซึ่งเรียกค่าความผิดพลาดที่เกิดขึ้นนี้ว่า Aperture time error

ตัวอย่างในกรณีสัญญาณอินพุตเป็นรูปคลื่นซายน์ อัตราการเปลี่ยนแปลงบนรูปคลื่นจะเกิดสูงสุดตรงบริเวณจุดตัดแกนเวลารอบ ๆ จุดศูนย์โวลต์ (Zero crossing) และ Aperture time error คือ

$$\Delta V = T_a \frac{d}{dt}(ASin\,\omega t)_{t=0} = T_a A\omega$$

และ ค่าความผิดพลาดรวม (ε) คิดจากอัตราส่วนของขนาดเต็มสเกล คือ

$$\varepsilon = \frac{\Delta V}{2A} = \pi T_a$$

ดังนั้น หากต้องการเปลี่ยนสัญญาณเป็นรูปซายน์ความถี่ 1 กิโลเฮิร์ท ให้เป็นสัญญาณดิจิตอล 10 บิต ซึ่งยอมให้ค่าความผิดพลาดไม่เกินกว่าค่าความละเอียด (Resolution) คือ $1/2^{10}$ LSB หรือ 0.001 ดังนั้นเวลา Aperture time จะต้องอยู่ในช่วง

$$T_a = \frac{\varepsilon}{\pi} = \frac{0.001}{3.14 \times 10^3} = 320 \times 10^{-9}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

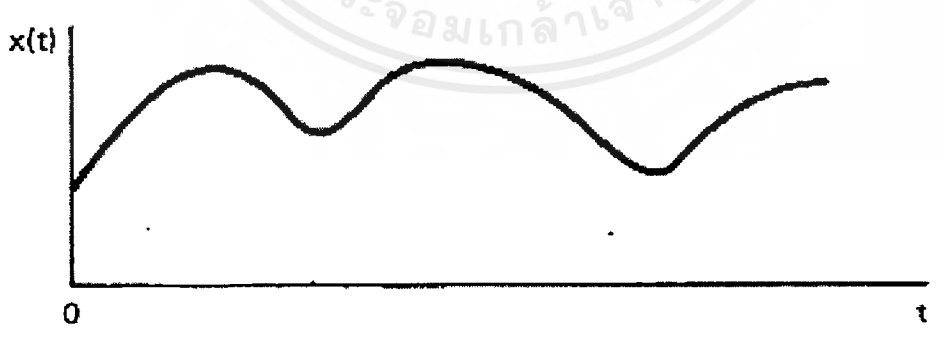
จะเห็นว่าแม้สัญญาณ 1 กิโลเฮิร์ท จะไม่ใช่ความถี่สูงก็จริง แต่ ADC ที่ใช้ต้องการเวลาในการเปลี่ยนในเวลา 320 นาโนวินาที ให้เป็นรหัส 10 บิต วิธีอื่นที่ไม่จำเป็นจะต้องใช้ ADC ความเร็วสูงคือการใช้การสุ่มและคงค่าสัญญาณ ซึ่งการสุ่มและคงค่าสัญญาณ ที่มี Aperture time น้อยๆ นั้นทำได้ง่ายและราคาถูกกว่า

3.3 การสุ่มและคงค่าสัญญาณ (Sample and Hold) และ Aperture error

วงจรสุ่มและคงค่า (Sample and hold) จะทำการสุ่ม (Sampling) สัญญาณอินพุต และนำมาเก็บ (Hold) ไว้ในช่วงเวลาหนึ่งได้ ซึ่งส่วนใหญ่จะใช้การประจุแรงดันนั้นไว้ในตัวเก็บประจุที่รั่วไหลต่ำ Aperture time ของการสุ่มและคงค่าสัญญาณ คือเวลาตั้งแต่เริ่มสุ่มสัญญาณจนเก็บประจุค่าแรงดันจนถึงค่าที่สุ่มซึ่งขึ้นอยู่กับแบนด์วิดธ์และช่วงเวลาในการสวิทซ์ (Switching time)

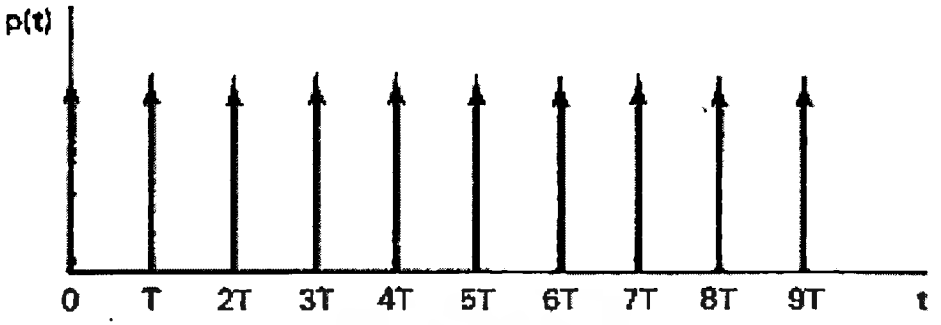
ในการสุ่มสัญญาณอนาลอกจะถูกสุ่มเป็นระยะๆซึ่งคงที่ตามรูปที่ 3.3 การสุ่มจะเป็นการตัดต่อสัญญาณอนาลอกในช่วงเวลาอันสั้นด้วยสวิทช์ที่ทำงานด้วยความเร็วสูง ผลของการสุ่มสัญญาณด้วยความเร็วจะเสมือนกับการคูณขบวนสัญญาณพัลส์แคบๆกับสัญญาณอนาลอก ซึ่งจะได้เป็นสัญญาณที่มอดดูเลท (modulate) ระหว่างขบวนพัลส์กับสัญญาณอนาลอก โดยเสมือนว่าสัญญาณอนาลอกจะขี่มาบนขบวนพัลส์ดังแสดงในรูปที่ 3.3 ค.

ปัญหาที่ว่าอัตราการสุ่มสัญญาณนั้นควรมีขนาดเท่าใดจึงจะไม่ทำให้ข้อมูลสูญเสียไปเมื่อสัญญาณนั้นถูกเปลี่ยนกลับมาเป็นเช่นเดิม คำตอบคือ ขึ้นอยู่กับความถี่ของสัญญาณอนาลอก ทฤษฎีของการสุ่มกล่าวไว้ว่า " ถ้าสัญญาณต่อเนื่องซึ่งมีความถี่และฮาร์โมนิคส์ไม่เกิน f_c ถูกสุ่มด้วยอัตราการสุ่มไม่น้อยกว่า $2f_c$ แล้วสัญญาณดังกล่าวจะสามารถเปลี่ยนกลับมาได้อย่างเดิมโดยไม่สูญเสียรายละเอียดหรือผิดเพี้ยนไป "

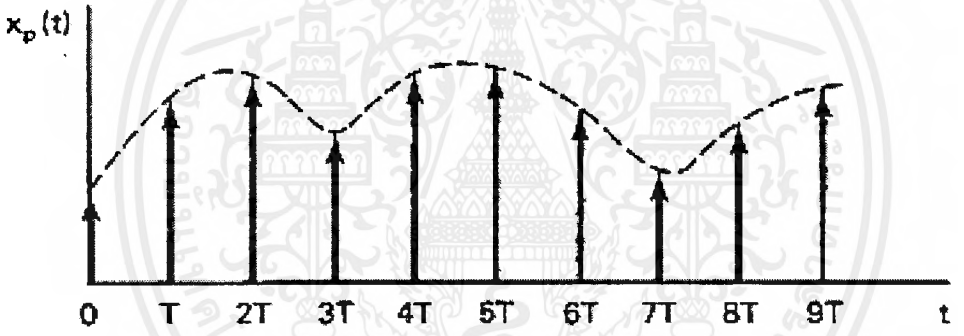


(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข)



(ค)

รูปที่ 3.3 การสุ่มสัญญาณ

(ก) สัญญาณอนาลอกอินพุต

(ข) พัลส์ที่มาสุ่มสัญญาณ

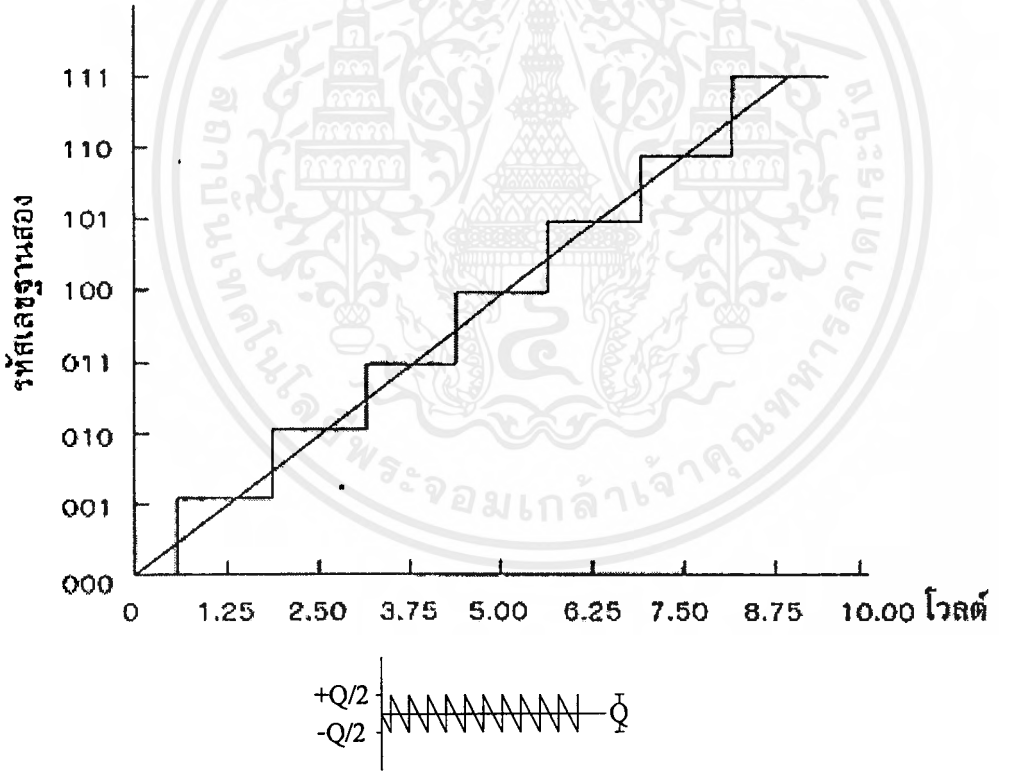
(ค) สัญญาณอนาลอกหลังการสุ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 Quantizing Theory

Quantizing เป็นขบวนการที่เปลี่ยนแปลงสัญญาณอนาลอกเป็นสัญญาณที่ไม่ต่อเนื่อง (Discrete signal) หลังการสุ่ม โดยผ่านขบวนการเข้ารหัส (Coding) จัดให้สัญญาณที่ไม่ต่อเนื่องนั้นอยู่ในรูปที่ง่ายต่อการประมวลผลและเป็นสัดส่วนสัมพันธ์กับสัญญาณอนาลอก เช่น ในรูปของรหัสไบนารี (Binary) เป็นต้น หากนำเอาขนาดของสัญญาณอนาลอกและสัญญาณดิจิตอลที่ได้รับการ Quantize มาเขียนกราฟก็จะได้กราฟแสดง Quantize transfer funtion ดังรูปที่ 3.4

ในรูปกราฟแสดงให้เห็นถึงความสัมพันธ์ระหว่างสัญญาณอนาลอกที่มีขนาดอยู่ระหว่าง 0 ถึง +10 โวลท์ ถูก Quantize และ Encode เป็นรหัสไบนารี่ (Binary) 3 บิต ได้ 8 ระดับจาก 000 ถึง 111 เนื่องจากในระบบไบนารี่รหัสดิจิตอลแต่ละค่าจะแทนขนาดของสัญญาณอนาลอกแต่ละค่าที่เป็นสัดส่วนกับค่าเต็มสเกลโดยค่าสูงสุดของรหัสดิจิตอลคือ ทุกบิตที่เป็น 1 จะเท่ากับสัญญาณอนาลอกเต็มสเกลคูณด้วย $(1-2^{-n})$ โดย n เป็นจำนวนบิตของรหัสดิจิตอลแต่ละบิตที่เป็น 1 จะเท่ากับขนาดเต็มสเกลของอนาลอกคูณกับค่าน้ำหนัก (weighting) ของรหัสชนิดนั้น หารด้วย 2^n



รูปที่ 3.4 ทรานส์เฟอร์ฟังชันของ Quantize 3 บิต ตามทฤษฎี

ตัวอย่าง เช่น ค่าเต็มสเกลของสัญญาณอนาลอกเป็น 10 โวลท์ รหัส 1011 จะแทนขนาดสัญญาณอนาลอกอินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{input} = \frac{R_s}{2^n}\{(1\times 2^3)+(0\times 2^2)+(1\times 2^1)+(1\times 2^0)$$

จุดสำคัญที่เกี่ยวกับกราฟทรานส์เฟอร์ฟังก์ชันในรูปที่ 3.4 อันแรกได้แก่ ความละเอียด (Resolution) ของ Quantizer ซึ่งกำหนดได้จากจำนวนบิตของรหัสดิจิตอล หรือจากกราฟคือขนาดกว้างของขั้นระดับ (Step) ทางแกนอนาลอกอินพุตว่าเป็นสัดส่วนเท่าใดระหว่างค่าเต็มสเกลอนาลอกกับค่า 2^n

จำนวนสถานะเอาต์พุตกำหนดได้จากจำนวนบิตคือ เท่ากับ 2^n สถานะ ตัวอย่างกรณี ADC 8 บิต Quantizer จะให้เอาท์พุต 256 สถานะและ 12 บิตให้ 4096 สถานะต่อค่าเต็มสเกลของอนาลอก ในไดอะแกรมทรานสเฟอร์ฟังก์ชั่นจะเห็นจุดแบ่ง ระดับ (Decision point หรือ Theshold level) สัญญาณอนาลอกจะมีจำนวน 2^n-1 จุดที่อยู่ที่ 0.625, 1.875, 3.125, 4.375, 5.625, และ 8.125 โวลท์ ระหว่างจุดดังกล่าวเป็นสัญญาณอนาลอกซึ่งแปลงเป็นรหัสดิจิตอล 1 สถานะ ดังนั้น ค่าเหล่านี้จะต้องปรับให้ถูกต้องมากที่สุดเพื่อแปลงขนาดของอนาลอกให้ตรงกับค่าที่ทำการ Quantizer แรงดันที่ 1.25, 2.50, 3.75, 5.0, 6.25, 7.5, 8.75 โวลท์ เป็นจุดกึ่งกลางของรหัสดิจิตอลสถานะสุดท้าย สังเกตุว่าในทางทฤษฎีแล้วเส้นตรงนี้จะต้องผ่านจุดกึ่งกลางของรหัสดิจิตอลสถานะสุดท้าย สังเกตุว่าในทางทฤษฎีแล้วเส้นตรงนี้จะต้องผ่านจุดกึ่งกลางของทุกระดับดิจิตอล

3.5 Quantizer Resolution and Error

ในแต่ละสถานะของสัญญาณดิจิตอลเอาท์พุตจะแทนขนาดของสัญญาณอนาลอกค่าใดค่าหนึ่งในช่วงเล็ก ๆ ระหว่างจุดแบ่งระดับ เรียกช่วงเล็กๆ นี้ว่าเป็นขนาดหนึ่ง Analog quantization หรือหนึ่งควันตัม (Quantum) หรือ 1 LSB (Least significant bit) ของการแปลงสัญญาณตัวอย่างในรูปที่ 3.4 (บน) ควันตัม คือ 1.25 โวลท์ ค่านี้ได้จากการคำนวนจาก

$$Q = \frac{FSR}{2^n}$$

โดยที่ FSR คือ ช่วงเต็มสเกลของแรงดันอนาลอก (Full Scale Range) และ n คือ จำนวนบิตของรหัสดิจิตอล

จากสมการจะเห็นว่า หากจำนวนบิตมากขนาดของควันตัมก็จะลดลงและถ้าให้สัญญาณอินพุตของ Quantizer กวาดไปตลอดช่วงของสัญญาณอนาลอกก็จะเห็นช่วงผลต่างของสัญญาณอนาลอกอินพุตและดิจิตอลเอาต์พุทเป็นช่วงพล็อตได้เป็นรูปฟันเลื่อยดังรูปที่ 3.4 ด้านล่าง ซึ่งเรียกว่า Quantizing error ซึ่งค่าความผิดพลาดแบบนี้ก็คือ 1 ช่วงสัญญาณอนาลอกแปลงเป็นรหัสดิจิตอล 1 สถานะ ดังกล่าวมาแล้วนั่นเอง

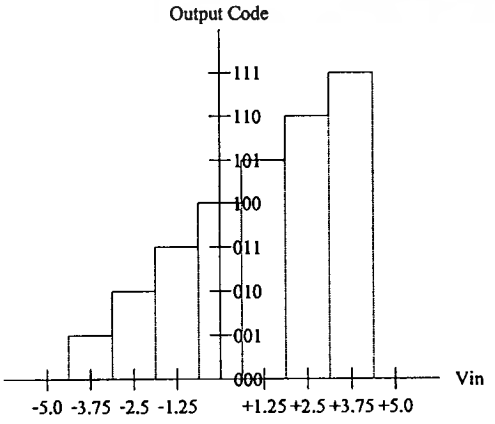
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าความผิดพลาดนี้เป็นธรรมชาติของ Quantizing ซึ่งทำการแก้ไขไม่ได้นอกจากการเพิ่มจำนวนบิตของ Quantizer ให้มากขึ้น และ เอาต์พุตค่าความผิดพลาดจะอยู่ระหว่าง 0-Q/2 Error อาจจะเป็นที่ศูนย์ เมื่อสัญญาณอนาลอกค่าที่จุดกึ่งกลางของควันตัมพอดี ลักษณะฟังก์ชั่นของค่าความผิดพลาดจะสามารถพิจารณาเป็นสัญญาณรบกวนทางอินพุต ซึ่งมีค่าเป็น Q V_{p-p} และค่าเฉลี่ยเป็นศูนย์ ค่าอาร์เอ็มเอส (root mean square,rms) เป็น Q/2 3 ซึ่งจะได้จากการวิเคราะห์รูปคลื่นฟันเลื่อย

3.6 รหัสตัวเลขสำหรับการเปลี่ยนข้อมูล

รหัสตัวเลขที่นิยมนำมาใช้ในระบบเปลี่ยนข้อมูลได้แก่รหัสไบนารีหรือที่เรียกว่า Straight binary โดยที่รหัสไบนารีสถานะสูงสุดจะแทนสัญญาณอนาลอก FSR ($1-2^{-n}$) โวลท์ ตัวอย่างเช่น หากสัญญาณอนาลอกเต็มสเกล (FSR) เท่ากับ 20 โวลท์ สำหรับ ADC ขนาด 12 บิต รหัส 1111 1111 1111 จะแทนสัญญาณอนาลอกขนาด $20(1-2^{-12})$ หรือ 19.39951171 โวลท์ นอกจากรหัสไบนารีธรรมดาดังกล่าวยังมีการใช้ระบบไบนารีแบบอื่น ๆ ในระบบการแปลงสัญญาณ ได้แก่ ออฟเซ็ทไบนารี, Two 's complement, BCD ซึ่งแต่ละชนิดมีข้อดีและความเหมาะสมต่างกัน ตัวอย่างเช่น ระบบ BCD เหมาะสำหรับการแสดงเป็นตัวเลขหน้าปัทม์หรือต่อเข้ากับดิจิตอลมิเตอร์ รหัส Two 's complement เหมาะสำหรับการคำนวนทางคณิตศาสตร์ลอจิกและสำหรับระบบออฟเซ็ตไบนารีนั้นเหมาะสำหรับการคำนวนทางคณิตศาสตร์ลอจิกและสำหรับระบบออฟเซ็ตไบนารีเหมาะสำหรับการแปลงสัญญาณอินพุตที่ทั้งช่วงบวกและลบ ในรูปที่ 3.5 แสดงทรานส์เฟอร์ฟังก์ชันของ ADC 3 บิตที่ใช้รหัสออฟเซ็ตไบนารี

นอกจากมาตรฐานของการใช้รหัสตัวเลขแล้วยังมีมาตรฐานของการเลือกช่วงของขนาดแรงดันอินพุตสำหรับ ADC คือ หากเป็นสัญญาณช่วงบวกหรือลบอย่างเดียวจะใช้ 0-5 โวลท์หรือ 0-10 โวลท์ แต่ถ้าเป็นช่วงลบจะใช้ -2.5 โวลท์ -5 โวลท์ และ -10 โวลท์ เป็นมาตรฐาน



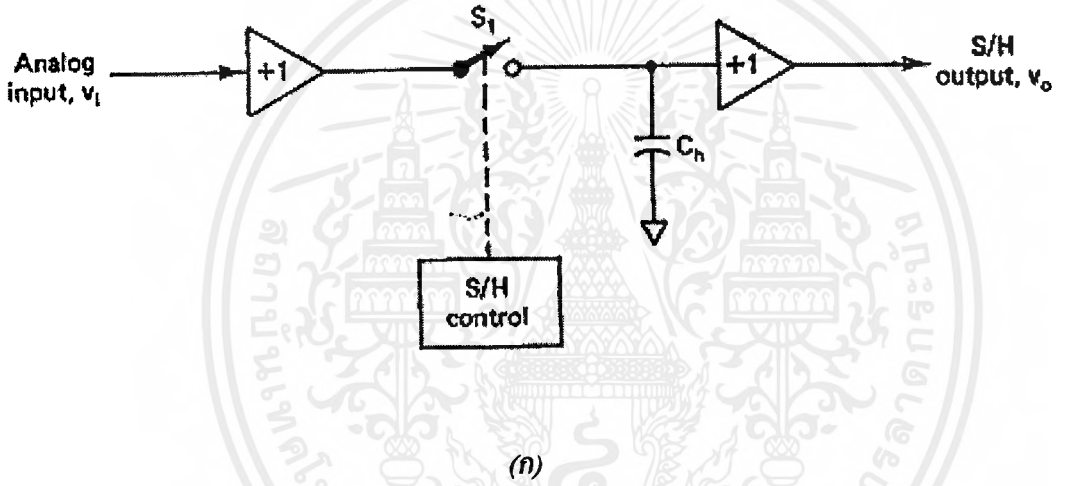
รูปที่ 3.5 ทรานส์เฟอร์ฟังก์ชันของ ADC 3 บิต ที่ใช้รหัสออฟเซ็ตไบนารี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7 วงจรสุ่มและคงค่าสัญญาณ (Sample and Hold,S&H)

ที่ผ่านมาได้กล่าวถึงจุดมุ่งหมายในการใช้วงจร S&H กับ ADC และต่อจากนี้จะได้กล่าวถึงรายละเอียดของวงจร S&H บางแบบที่ใช้ในปัจจุบัน

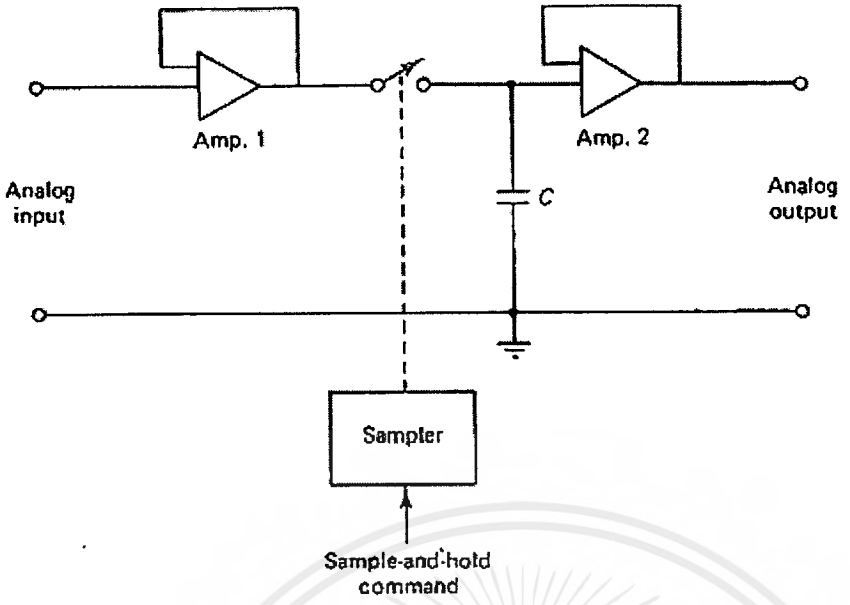
ความจริงแล้ววงจร S&H มิได้มีใช้เฉพาะกับ ADC เท่านั้น แต่ก็ยังใช้กันทั่ว ๆ ไปในระบบ Data distribution, Sampling scope, DVM, Recomstruction filter และอนาลอกคอมพิวเตอร์เป็นต้น วงจร S&H โดยพื้นฐานแล้วเป็นอุปกรณ์หรือวงจรเก็บแรงดัน (Voltage memory) ซึ่งใช้อุปกรณ์ร่วมสำคัญคือตัวเก็บประจุ ในรูปที่ 3.6 ก แสดงวงจรพื้นฐาน S&H อิเล็กทรอนิกส์สวิทซ์และเวลาในการประจุแรงดันจนถึงค่าที่ Sample มานั้นเรียกว่า Aperture-time ของ S&H จาก ลักษณะอนาลอกอินพุตสัญญาณการสุ่มและเอาต์พุต



(ก)

รูปที่ 3.6 ข แสดงวงจรที่ใกล้เคียงกับวงจรที่ใช้ในทางปฏิบัติ โดยเพิ่มเติมบัฟเฟอร์แอมป์ปลิไฟร์เข้าทางส่วนอินพุตและเอาต์พุตของ S/H พื้นฐาน แอมปลิไฟร์เออร์ทางด้านอินพุตช่วยทำให้วงจรมีอินพุตอิมพิแดนซ์สูง สะดวกต่อการใช้งานและสามารถเพิ่มกระแสเพื่อทำการประจุ C_h ได้เร็วขึ้น ส่วนทางเอาต์พุตช่วยทำให้เอาท์พุตอิมพิแดนซ์สามารถขับ ADC ได้ง่าย มีจุดสำคัญที่ต้องพิจารณาคือ ในส่วนของแอมปลิไฟร์เออร์เหล่านี้ปกติแล้ว จำเป็นต้องเป็นแอมปลิไฟร์เออร์ที่ใช้กระแสอินพุตต่ำ ทั้งนี้เพื่อให้ดึงกระแสจากตัวเก็บประจุในช่วงที่คงค่าสัญญาณให้น้อยที่สุด มิฉะนั้นแรงดันที่คงค่าไว้จะลดระดับเนื่องจากการโหลด (drop) ดังแสดงในรูปที่ 3.7 ซึ่งปกติแล้วมักใช้แอมปลิไฟร์เออร์ที่มี FET หรือ MOSFET เป็นอินพุตเพราะการไบอัสด้วยแรงดันทำให้กระแสอินพุตต่ำด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

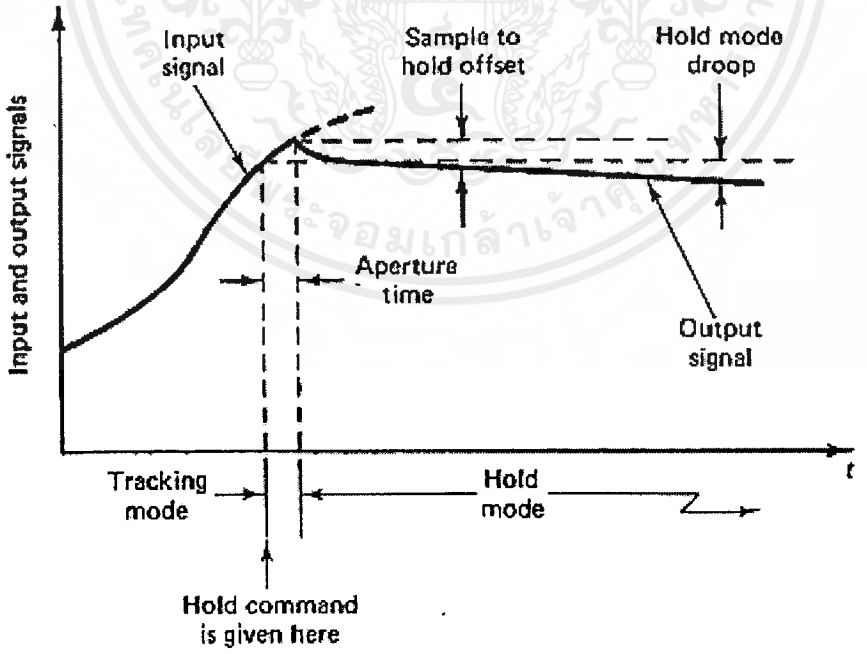


(ข)

รูปที่ 3.6

(ก) พื้นฐานของ S&H

(ข) ไดอะแกรมของวงจร S&H



รูปที่ 3.7 รูปคลื่นเอาต์พุตของ S&H

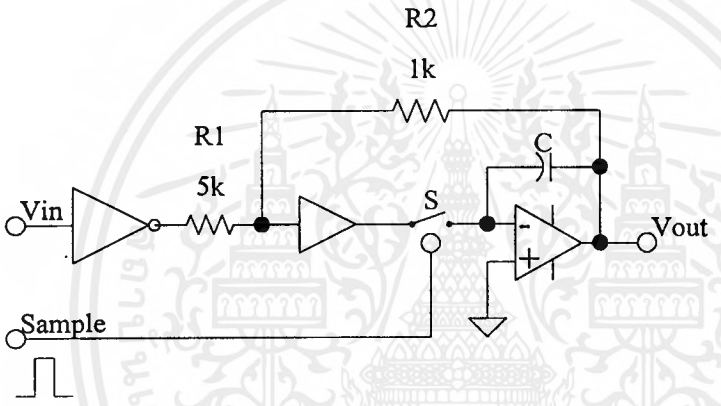
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร S&H ในระบบ Data acquistion นิยมใช้สองแบบคือ Sample-hold และ Track-hold วงจร S&H จะใช้วิธีสุ่มสัญญาณอย่างรวดเร็วแล้วเข้าสู่ Holding period ซึ่งหมายความว่าสวิทช์ควบคุมจะต้องตัดต่อในช่วงเวลาอันสั้นอย่างต่อเนื่อง ส่วน Track-holds จะตัดสวิทช์สุ่มช้ากว่า

การจัดวงจร S&H มีได้หลายลักษณะ ซึ่งอาจนำไอซี (IC) หรือทรานซิสเตอร์มาประกอบเป็นวงจรตลอดจนการสร้างวงจรทั้งหมดของ S&H ลงบนชิปไอซีเดี่ยว เช่น เบอร์ LF398

3.8 วงจรสุ่มแบบ Inverting Close Loop

ในวงจรนี้ C จะประจุด้วยอัตรา RC ซึ่งสามารถเพิ่มความเร็วได้โดยใช้ Current boost amplifier อยู่ในลูปป้อนกลับดังรูปที่ 3.8 โดยแอมปลิไฟร์เออร์นี้มีอัตราขยายเท่ากับ 1



รูปที่ 3.8 วงจรสุ่มแบบ Inverting Close Loop

ข้อดีของวงจรนี้คือทำงานได้รวดเร็วและแม่นยำความเร็วในการประจุขึ้นอยู่กับความเร็วของ A1 และความสามารถ ในการจ่ายกระแสของมัน ไดโอดสองตัวจะทำหน้าที่ Clamp สัญญาณเอาต์พุตไปที่อินพุตอินเวอร์ติ้งของ A1 เพื่อยังคงให้วงจรมีเสถียรภาพดี เมื่อสวิทช์ (S) เปิดวงจรลักษณะนี้เป็นวงจรพื้นฐานของไอซีเบอร์ LF 398

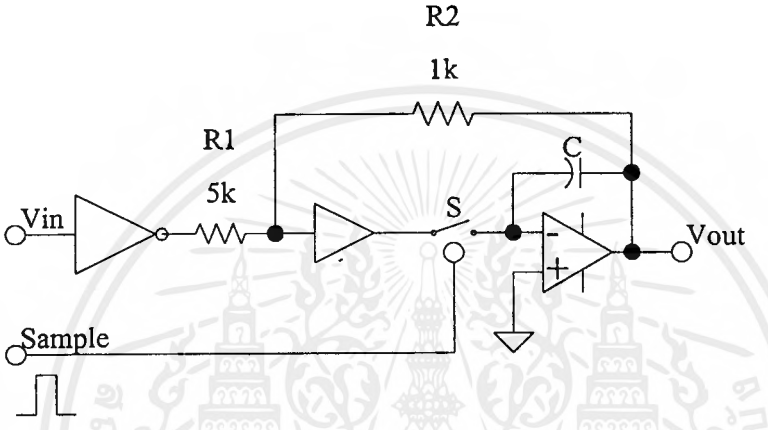
3.9 วงจรแรงดันอ้างอิง (Voltage Reference Circuit)

วงจรแรงดันอ้างอิงนั้นเป็นวงจรที่สำคัญวงจรหนึ่งในระบบ Data Acquisition เนื่องจากเป็นส่วนสำคัญในการกำหนดคุณภาพของวงจร DAC หรือ ADC วงจรแรงดันอ้างอิงมีทั้งที่เป็นวงจรอิสระหรือเป็นวงจรรวมอยู่ในวงจร ADC หรือ DAC

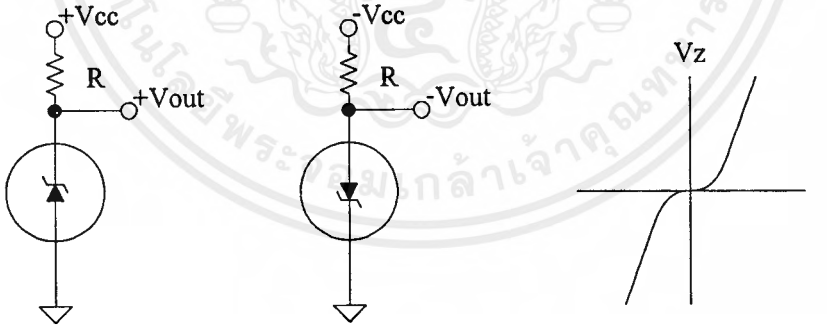
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1) Basic voltage reference อุปกรณ์ที่นิยมให้เป็นแหล่งกำเนิดแรงดันอ้างอิงได้แก่ ซีเนอร์ไดโอด ซึ่งเมื่อให้รีเวิร์สไบอัสจนเกิดการเบรคดาวน์แรงดันคร่อมซีเนอร์จะคงที่เท่ากับแรงดันเบรคดาวน์ (V_z) ตัวต้านทาน R (รูปที่ 3.10) ที่ต่ออนุกรมกับซีเนอร์ จะทำหน้าที่กำหนดกระแสไบอัสแก่ซีเนอร์ให้เบรคดาวน์และจำกัดกระแสรีเวิร์สไม่ให้ไหลมากจนเป็นอันตรายแก่ซีเนอร์

ข้อเสียของวงจรนี้คือ แรงดันมักเปลี่ยนตามอุณหภูมิได้ง่ายหรือเรียกว่ามีสัมประสิทธิ์ทางอุณหภูมิสูง และจ่ายกระแสได้จำนวนจำกัด รวมทั้งแรงดันเอาต์พุตจะแปรตามแรงดันอินพุตจึงมักใช้วงจรนี้กับ ADC ที่ไม่ต้องการคุณภาพมากนัก



รูปที่ 3.9 วงจรสุ่มแบบ Non-inverting closed loop



(ก) *(ข)* *(ค)*

รูปที่ 3.10 วงจรแรงดันอ้างอิงพื้นฐานและกราฟคุณสมบัติ

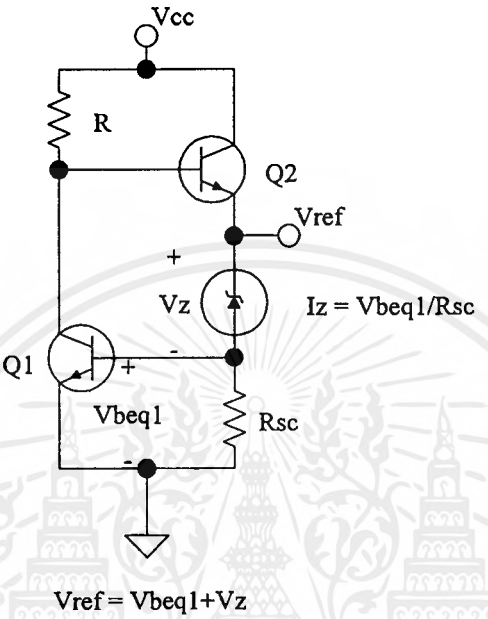
ก) แรงดันอ้างอิงบวก

ข) แรงดันอ้างอิงลบ

ค) กราฟคุณสมบัติของซีเนอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อเสียของวงจรอ้างอิงแบบพื้นฐานดังกล่าวสามารถแก้ไขได้โดยใช้วงจรดังรูปที่ 3.11 ทรานซิสเตอร์ Q_1 และ Q_2 จะทำหน้าที่เป็นแหล่งจ่ายกระแสไบอัสคงที่ให้แก่ซีเนอร์ไดโอด ลักษณะดังกล่าวทำให้แรงดันเอาตพุตไม่ขึ้นอยู่กับแรงดันอินพุต (V_∞) รวมทั้งผลทางด้านอุณหภูมิรวมของวงจรได้รับการปรับปรุงให้ดีขึ้นด้วย



รูปที่ 3.11 วงจรแรงดันอ้างอิงใช้ซีเนอร์ไดโอดที่ปรับปรุงคุณสมบัติจากวงจรแรงดันอ้างอิงพื้นฐาน

2) Precision Voltage Reference แรงดันอ้างอิงที่คุณภาพดีกว่าจะใช้ออปแอมป์ร่วมกับซีเนอร์ ซึ่งนอกจากจะได้แรงดันที่คงที่มากกว่าแล้ว ยังสามารถปรับแรงดันเอาต์พุตให้ได้มากหรือน้อยกว่าแรงดันซีเนอร์ไดโอดด้วย ลักษณะการจัดวงจรแบบต่าง ๆ แสดงได้ดังรูปที่ 3.12

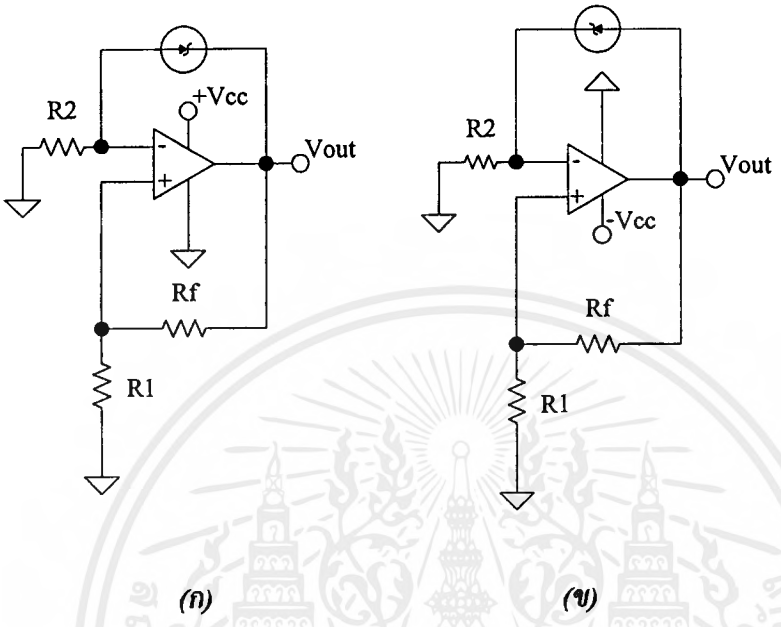
ตามปกติแล้วแรงดันอ้างอิงที่ใช้ซีเนอร์ไดโอดจะให้คุณภาพดีก็ต่อเมื่อกระแสที่จ่ายให้ซีเนอร์คงที่ตลอดเวลาและทุช่วงของอุณหภูมิในวงจรรูปที่ 3.12 ออปแอมป์จะทำหน้าที่จ่ายกระแสคงที่และมีสัมประสิทธ์อุณหภูมิต่ำกว่ากระแสที่ผ่านซีเนอร์ขึ้นอยู่กับการเลือกค่า R_1,R_2,R_f และค่า V_0 กำหนดจาก R_1,R_f และ V_z การออกแบบต้องเลือกซีเนอร์ซึ่งรู้ค่า I_z และ V_z ทำการเลือกค่า R_1และหาค่า R_f จากสมการ V_{out}

$$V_o = \frac{V_R(R_1 + R_f)}{R_f}$$

$$I_Z = \frac{V_o R_1}{R_2(R_1 + R_f)} \cong \frac{V_o R_1}{R_f}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_1 = \frac{V_o R_1}{(R_1 + R_f)} = I_z R_2$$

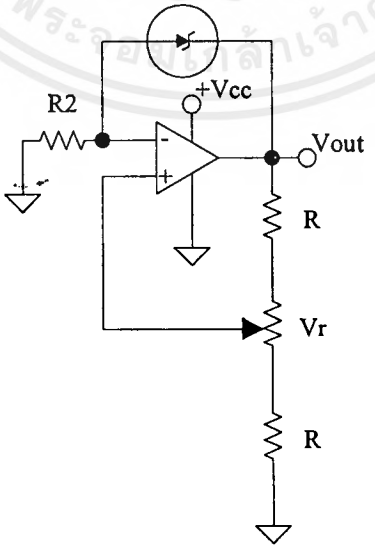


(ก) *(ข)*

รูปที่ 3.12 แรงดันอ้างอิง

ก) แรงดันอ้างอิงบวก

ข)แรงดันอ้างอิงลบ



รูปที่ 3.13 แรงดันอ้างอิงปรับค่าได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3) Bandgab Voltage Reference ได้รับการออกแบบเพื่อแก้ไขทางสัมประสิทธิ์ทางอุณหภูมิโดยใช้ผลต่างของแรงดันเบส-อิมิเตอร์ของทรานซิสเตอร์สองตัวที่ทำงานที่กระแสต่างกัน โดย

$$V_{Ref} = V_{BEQ3} + I_2 R_2$$

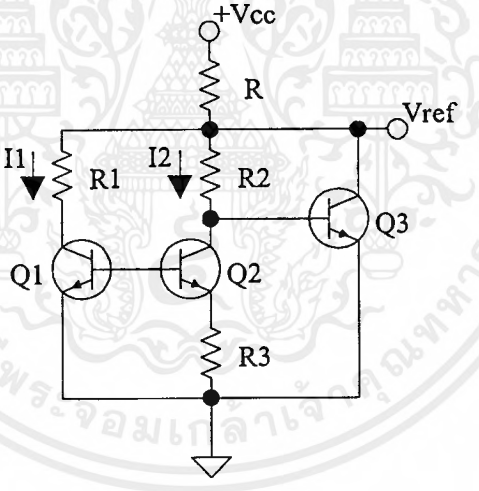
$$V_{Ref} = V_{BEQ3} + \frac{kT_j}{q(\ln \frac{I_1}{I_2})}$$

เมื่อ k = Boltmann's constant (1.3805×10^{-23} J/K)

Tj = Absolute temperature ของรอยต่อ

q= Electron charge (1.602×10^{-19} C)

แรงดันอ้างอิงแบบแบนด์แกปได้ถูกสร้างโดยใช้วงจรพื้นฐานในรูปที่ 3.14 และมีจำหน่ายตัวถังคล้ายทรานซิสเตอร์ เช่น เบอร์ LM 336 สามารถปรับขนาดของ V_{out} ได้



รูปที่ 3.14 วงจร Band gap voltage reference

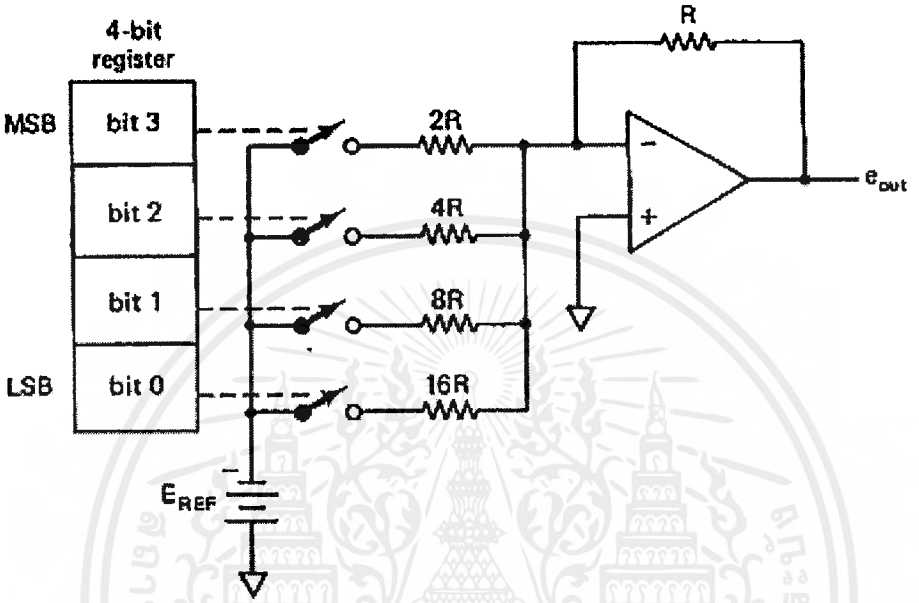
3.10 วงจร Digital to Analogue Converter (DAC)

DAC นับเป็นอุปกรณ์สำคัญที่ทำให้ดิจิตอลคอมพิวเตอร์เชื่อมโยงกับอุปกรณ์หรือวงจรอนาลอกอื่น ๆ ตัวอย่างการใช้งาน DAC คือระบบแสดงผลบนจอภาพ ระบบสังเคราะห์เสียง เป็นต้น และที่สำคัญ DAC ยังเป็นส่วนประกอบที่สำคัญใน ADC ที่ใช้กันอยู่ในปัจจุบัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.10.1 DAC แบบ Binary weight ladder

การจัดวงจร Binary weight ladder มีลักษณะตามรูปที่ 3.15 สวิทช์ S_1-S_4 จะถูกควบคุม เปิด/ปิด ด้วยรหัสดิจิตอล เพื่อตัด/ต่อแรงดันอ้างอิงเข้ากับวงจรรีซิสเตอร์ที่มีค่า R, 2R, 4R...., (2n)R ตัวอย่างในกรณี DAC แบบ 4 บิต ใช้รีซิสเตอร์เป็น 10kΩ, 20kΩ, 30kΩ, 40kΩ และ 80kΩ เป็นต้น



รูปที่ 3.15 ADC แบบ Binary weight ladder

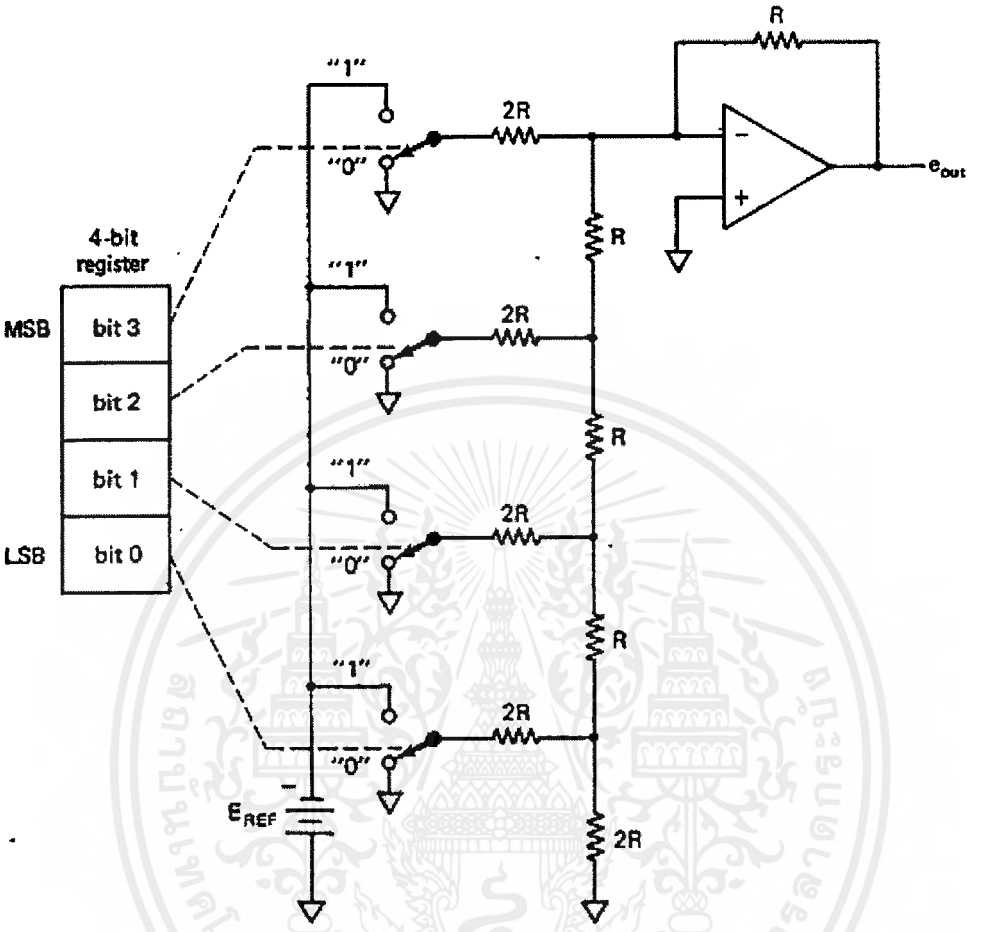
ค่ารีซิสเตอร์ที่ weight ค่าตามรหัสดิจิตอลที่เพิ่มขึ้นจะทำให้กระแสผ่านรีซิสเตอร์เข้าไปรวมกันก่อนเข้าออปแอมป์ลดลงด้วยแฟคเตอร์ 2 ตามค่า R ที่เพิ่มขึ้น เช่นหากแรงดันอ้างอิงเป็น 10 โวลท์ ในกระแสที่ผ่านตัวต้านทานจะเป็น 1.0, 0.5, 0.25 และ 0.125 mA ตามลำดับออปแอมป์ที่เอาต์พุตจะทำหน้าที่เปลี่ยนกระแสรวมให้เป็นแรงดันเอาต์พุต

3.10.2 DAC แบบ R-2R ladder

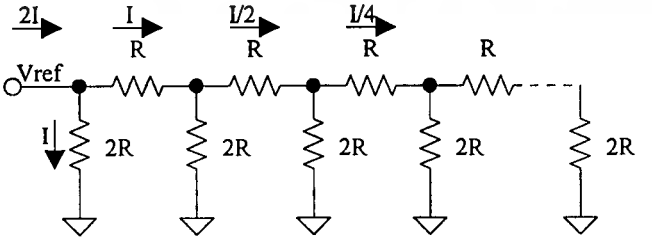
ถึงแม้ว่า DAC แบบ Binary weight จะใช้ค่ารีซิสเตอร์เพียง 4 ค่า ก็ตาม แต่ในการผลิต DAC แบบนี้บนชิปไอซีเดียวกันก็ยังเป็นปัญหายุ่งยากในการผลิตอยู่ดี รูปแบบที่ดีกว่าคือการจัดวงจรแบบ R-2R ดังรูปที่ 3.16

ในวงจรนี้จะเห็นว่าสวิทช์จะตัดต่อให้แรงดันอ้างอิงต่อเข้ากับวงจร Ladder หรือต่อ Ladder ลงกราวด์ที่ขา 2R จะเห็นได้ว่า Switch input resistor (2R) มองเข้าไปจะเห็นคู่ของรีซิสเตอร์ระหว่างจุดต่อ R-2R ที่ติดกัน กระแสจะถูกบั่นทอนไปในอัตรา 2:1 ซึ่งสอดคล้องกับรหัสไบนารี่ ดังแสดงในรูปที่ 3.17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.16 วงจร DAC แบบ R-2R ขนาด 4 บิต

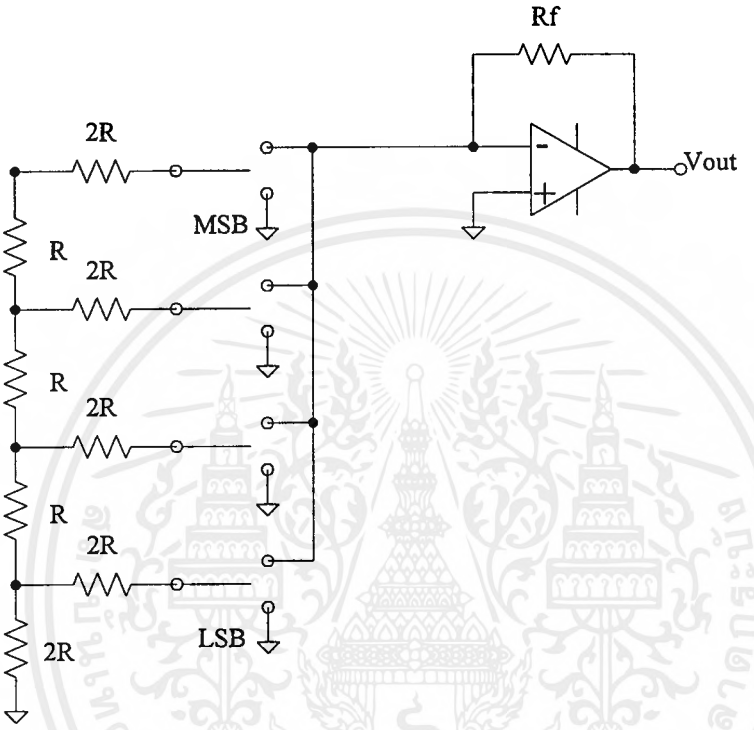


รูปที่ 3.17 วงจรรีซิสทีฟแลดเดอร์ (Resistive Ladder)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.10.3 Inverted R/2R ladder DAC

ลักษณะการจัดวงจรแบบนี้จะคล้ายกับแบบ R-2R Ladder เพียงแต่สวิทช์จะตัดต่อขา R กับกราวด์และอินพุตของ Summing amplifier แทนที่จะเป็น V_{ref} วิธีการนี้นิยมใช้ในการทำ DAC ในวงจรรวมเพราะสวิทช์จะตัดต่อที่แรงดันตกคร่อมต่ำกว่าซึ่งสร้างได้ง่ายกว่า



รูปที่ 3.18 วงจร Invert R-2R ladder DAC

3.11 Analog to Digital Converter

ลักษณะการจัดวงจรแบบ ADC มีหลายแบบ แต่ที่นิยมใช้มีเพียงไม่กี่แบบและส่วนใหญ่จะอยู่ในรูปของวงจรรวม

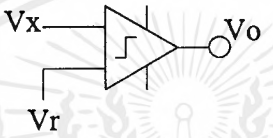
3.11.1 Basic conversion method

วิธีการแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบง่าย ๆ แสดงในรูปที่ 3.19 แรงดันอินพุตที่ไม่ทราบค่า V_x จะต่อเข้ากับขาอินพุตขาหนึ่งของอนาลอกคอมพาราเตอร์ และแรงดันอ้างอิงที่ขนาดแปรตามเวลา V_r ต่อเข้ากับขาอินพุตอีกขาหนึ่งของ คอมพาราเตอร์ ลักษณะของทรานเฟอร์ฟังก์ชั่นของคอมพาราเตอร์แสดงในรูปที่ 3.20 ถ้าแรงดันอินพุต V_1 มากกว่าอินพุต V_2 แล้วแรงดันเอาต์พุตจะเป็นลอจิก 1 ถ้าอินพุต V_1 น้อยกว่า V_2 แล้วเอาต์พุตจะเป็น 0

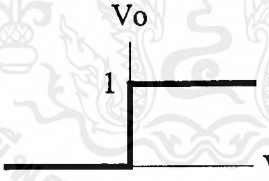
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีการแปลงข้อมูลคือ แรงดันอ้างอิงจะถูกแปรค่าจนกระทั่งรู้ค่าแรงดันอินพุตที่ผิดพลาดไม่เกิน Quantization error ของคอนเวอร์เตอร์ ในแนวความคิดแล้ว ตรรกของ ADC คือพยายามเลือกกลุ่มของ ส.ป.ส. ไบนารี่ a_i เพื่อให้ผลต่างระหว่างแรงดันอินพุต V_x และค่าที่ Quantize ได้ครั้งสุดท้ายน้อยกว่า 0.5 LSB ซึ่งเขียนเป็นสมการได้

$$\left[\left[V_X - V_{FSR}\sum_{i=1}^{n} a_i 2^i\right]\right] < 0.5LSB$$



รูปที่ 3.19 วิธีการพื้นฐานของ ADC

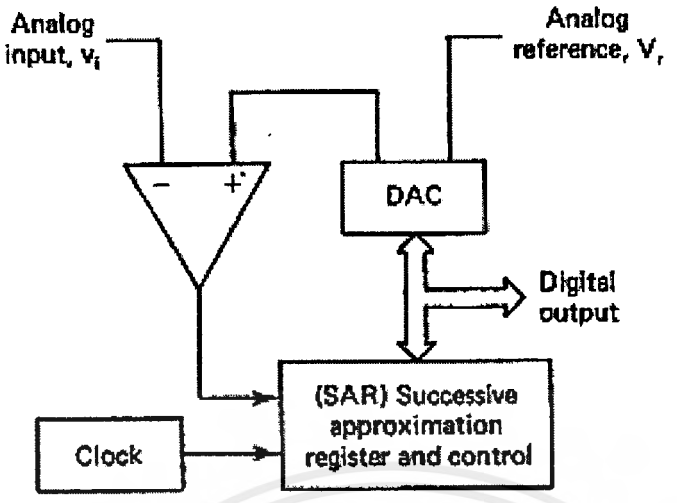


รูปที่ 3.20 Transfer function ของ Comparator

3.11.2 Sucessive Appoximation ADC

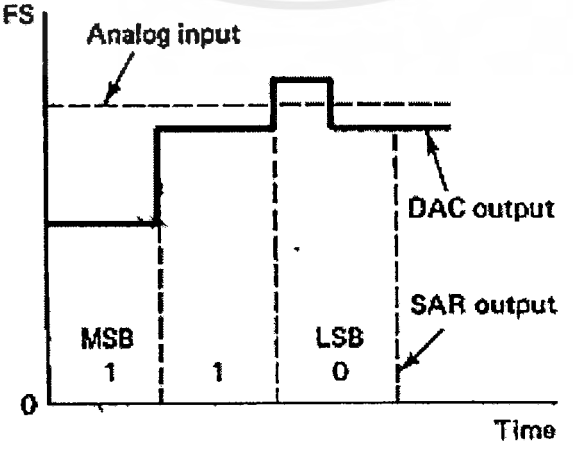
วงจร ADC ชนิดนี้ได้รับความนิยมในงานประยุกต์ที่ต้องการความเร็วปานกลางและค่อนข้างสูง การจัดวงจรคล้ายกันกับแบบเคาท์เตอรที่ทำงานในลักษณะการป้อนกลับ ซึ่งบล็อกไดอะแกรมในรูปที่ 3.21 แสดงฟังก์ชั่นต่างๆ ใน ADC ชนิดนี้ คอมพาราเตอร์จะคอยเปรียบเทียบเอาต์พุตจาก ADC กับอนาลอกอินพุต V_{in} เอาต์พุตจะไปควบคุม SAR (Sacessive Appoximation Register) ซึ่งเป็นไอซี MSI (Midium Scale Integrated circuit) ที่ได้รับการออกแบบพิเศษเพื่อทำหน้าที่นี้โดยเฉพาะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.21 บล็อกไดอะแกรมของ Sucessive appoximation ADC

ในรูปที่ 3.22 แสดงไทมิ่งไดอะแกรมของ ADC ที่มีระดับอนาลอก 1 และ 2 ที่ระดับ 1 clock เข้าไป 1 ลูก จะทำให้ MSB (Most Significant Bit) (บิต 4) เป็น 1 ส่วนบิตอื่นยังคงเป็น 0 DAC จะเปลี่ยนเอาต์พุตของ SAR เป็นอนาลอกเปรียบเทียบกับสัญญาณอนาลอกอินพุต ถ้าผลการเปรียบเทียบที่คอมพาราเตอร์บอกว่าน้อยกว่าอินพุตก็ให้คงบิตนั้นเป็น 1 ไว้ แต่ถ้ามากกว่าจะให้บิตนั้นเป็น 0 จากนั้นทำการทดสอบบิตถัดไปโดยทำให้เป็น 1 หากผลรวมของสองบิตหรือบิตหลังมากกว่าก็จะทำให้บิตนั้นเป็น 0 แต่ถ้าน้อยกว่าให้คง 1 ไว้ แล้วทดสอบบิตถัดไปตามกรรมวิธีดังกล่าวจนครบทุกบิตหรือจนกว่าเอาต์พุตจะต่างจาก V_{in} ไม่เกิน 1 LSB ในตัวอย่างแสดงการทำงานเมื่อ V_{in} ลดต่ำลงมาอีกระดับหนึ่งด้วยเช่นกัน



รูปที่ 3.22 สัญญาณเวลาของ SAR

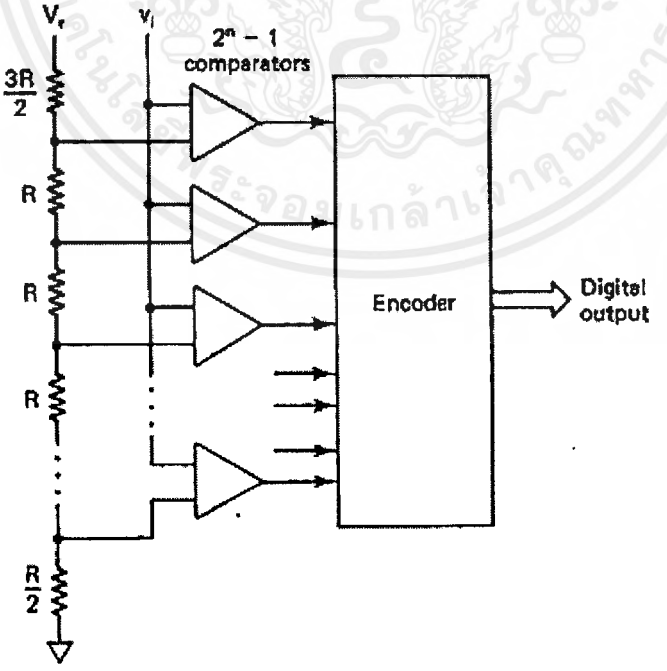
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีข้อจำกัดประการหนึ่งสำหรับการแปลงสัญญาณ คือสัญญาณอนาลอกอินพุต จะต้องคงที่ในช่วงเวลาที่ทำการเปลี่ยนแปลงสัญญาณโดยเปลี่ยนได้ไม่เกิน 1/2 LSB ในช่วงสุดท้ายของการเปลี่ยนสัญญาณดิจิตอลเอาต์พุตจะออกมาขนานกันทุกบิต แต่บางแบบจะให้เอาต์พุตออกมาในลักษณะอนุกรม

วงจร ADC แบบนี้สามารถทำงานได้สองโหมด คือ โหมดที่ทำงานโดยอิสระ (Free run) และโหมดรอคำสั่ง (Start conversion) จากภายนอก เวลาที่ใช้ในการเปลี่ยนสัญญาณใช้ (n+1) ลูกของสัญญาณนาฬิกา โดยพัลส์ลูกแรกจะใช้ในการรีเซ็ตรีจิสเตอร์ภายใน สุดท้ายคุณภาพของระบบจะขึ้นอยู่กับคุณภาพของ DAC ในระบบเป็นอย่างยิ่ง

3.11.3 Parallel (Flash) ADC

สำหรับการแปลงสัญญาณที่ต้องการความเร็วสูงมาก ๆ เช่นการแปลงสัญญาณภาพโทรทัศน์เรดาห์ จำเป็นต้องใช้ ADC แบบพิเศษที่เรียกว่า Parallel ADC ซึ่งแสดงบล็อกไดอะแกรมรูปที่ 3.23 หลักการทำงานคือ จะใช้คอมพาราเตอร์ทำการเปรียบเทียบสัญญาณอนาลอกอินพุตกับแรงดันอ้างอิงที่แบ่งแรงดันให้สอดคล้องกับรหัสดิจิตอล โดยใช้ตัวต้านทานแล้วแปลงเอาต์พุตจากคอมพาราเตอร์ให้ตรงกับรหัสดิจิตอล ซึ่งจะเห็นว่าอุปสรรคทางด้านความเร็วจะถูกจำกัดเพียง Propagation time ของคอมพาราเตอร์เท่านั้น แต่อุปสรรคที่สำคัญต่อการพัฒนาวงจรชนิดนี้บนไอซี คือ วงจรนี้ต้องการคอมพาราเตอร์ถึง 2^n-1 ตัว สำหรับ ADC 1 ตัว แต่ก็ได้ ADC ชนิดที่ทำงานรวดเร็วที่สุดเช่นกัน



รูปที่ 3.23 บล็อกไดอะแกรมแสดง Parallel ADC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การจัดแอดเดรสสำหรับหน่วยความจำ I/O

4.1 การอ้างแอดเดรสของพอร์ตอินพุตเอาท์พุต (I/O PORT)

ในการควบคุมและตรวจสอบสภาวะการทำงาน รวมทั้งการอ่านข้อมูลจากอุปกรณ์ที่เป็นชิพซัพพอร์ตหรือการ์ดต่าง ๆ ที่ใช้ในระบบของไอบีเอ็มพีซีนั้น จะกระทำโดยผ่านทางพอร์ตอินพุตเอาท์พุตของระบบ ดังนั้นในการใช้งานหรือควบคุมการทำงานของอุปกรณ์เหล่านี้จึงจำเป็นต้องศึกษาวิธีการควบคุมพอร์ตอินพุตเอาท์พุต ต่าง ๆ ของระบบด้วย และเนื่องจากการควบคุมหรือติดต่อกับพอร์ตเหล่านี้ต้องกระทำโดยการอ้างอิงถึงแอดเดรสของพอร์ตอินพุตเอาท์พุต เหล่านั้นโดยตรง เราจึงจำเป็นต้องศึกษาถึงหลักการอ้างแอดเดรสของ 8088 ในไอบีเอ็มพีซีด้วย

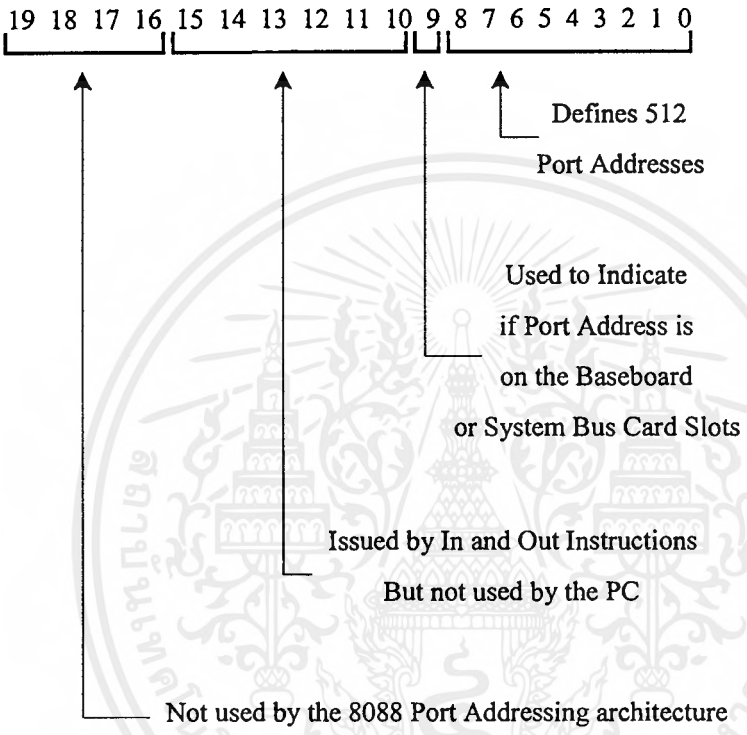
สำหรับแอดเดรสของพอร์ตอินพุตเอาท์พุต ต่าง ๆ นั้นจะเป็นแอดเดรสที่ถูกสร้างขึ้นโดย 8088 ซึ่งแอดเดรสเหล่านี้เป็นแอดเดรสที่จัดไว้สำหรับพอร์ตอินพุตเอาท์พุตโดยเฉพาะ คือ แยกจากแอดเดรสของหน่วยความจำโดยเด็ดขาด ส่วนการส่งข้อมูลให้กับพอร์ตเหล่านี้ทำได้โดยการใช้คำสั่ง OUT ของ 8088 ส่งไปยังแอดเดรสของพอร์ตที่ต้องการ และการตรวจสอบหรือการอ่านข้อมูลจากพอร์ต ก็จะทำได้โดยคำสั่ง IN ของ 8088 อ่านข้อมูลจากแอดเดรสของพอร์ตที่ต้องการเช่นกัน

ภายในไมโครโปรเซสเซอร์เบอร์ 8088 นี้จะมีแอดเดรสสำหรับใช้กับพอร์ตอินพุตเอาท์พุตอยู่ทั้งสิ้น 65,536 หรือ 64K แอดเดรส (ในขณะที่มีแอดเดรสสำหรับหน่วยความจำอยู่ 1 Mbyte) ซึ่งทำการอ้างแอดเดรสของพอร์ตอินพุตเอาท์พุต ที่ทำงานร่วมกับ 8088 นั้นต้องใช้จำนวนเส้นแอดเดรสในบัสแอดเดรสทั้งสิ้น 16 เส้น คือ A0-A15 แต่สำหรับในไอบีเอ็มพีซีนี้ถูกออกแบบมาให้ใช้เส้นแอดเดรสเฉพาะ 10 เส้นล่าง คือ A0-A9 เท่านั้น ดังนั้นการอ้างถึงแอดเดรสของพอร์ตอุปกรณ์หรือชิพซัพพอร์ตใด ๆ ที่ใช้ร่วมกับไอบีเอ็มพีซี จึงใช้จำนวนเส้นแอดเดรสเพียง 10 เส้นด้วย โดยเส้นแอดเดรสที่เหลือคือ A10-A15 นี้จะไม่ถูกนำไปใช้งาน แต่ค่าแอดเดรสบนเส้นแอดเดรสเหล่านี้ยังเปลี่ยนแปลงตามค่าแอดเดรสของพอร์ตที่กำหนดไว้ในคำสั่ง OUT หรือ IN อยู่ด้วย เพียงแต่ไม่ได้ถูกนำมาดีโค้ดร่วมกับแอดเดรส A0-A9 เท่านั้น ตัวอย่างเช่น ในการใช้คำสั่ง OUT ส่งข้อมูลไปยังพอร์ตที่ตรงกับแอดเดรส 0010H จะได้ผลเหมือนกับการส่งข้อมูลไปยังพอร์ตที่ตรงกับแอดเดรส 0410H,0810H,0C10H ทั้งนี้เนื่องจากแอดเดรส 6 บิทบนไม่ได้ถูกใช้งาน จึงทำให้การเปลี่ยนแปลงค่าแอดเดรสบนเส้นแอดเดรส A10-A15 นั้นไม่ทำให้เกิดความแตกต่างใด ๆ ขึ้น

เนื่องจากในไอบีเอ็มพีซีได้ใช้งานเส้นแอดเดรสเพียง 10 เส้น (คือ A0-A9) ดังนั้นจึงสามารถอ้างแอดเดรสของพอร์ตได้สูงสุดเพียง 1024 พอร์ต (จากจำนวน 64K พอร์ต) เท่านั้น นอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากนี้ในการอ่านข้อมูลจากพอร์ตของไอบีเอ็มพีซี ข้อมูลในบิทที่ A9 จะถูกจัดให้มีหน้าที่ในการแบ่งพอร์ตทั้ง 1024 พอร์ตออกเป็นสองส่วน (ส่วนละ 512 พอร์ต) อีกด้วย กล่าวคือถ้าข้อมูลในบิท A9 เป็น "0" แล้วเราจะทำการอ่านข้อมูลได้เฉพาะจากพอร์ตของอุปกรณ์หรือชิพซัพพอร์ตต่าง ๆ ที่อยู่บนเมนบอร์ด (Main Board) ของไอบีเอ็มพีซี เช่น 8253-5, 8237-5 หรือ 8259A เท่านั้น แต่ถ้าข้อมูลในบิท A9 นี้เป็น "1" ก็จะทำการอ่านข้อมูลได้เฉพาะจากพอร์ตที่อยู่บนการ์ดต่าง ๆ เท่านั้น



รูปที่ 4.1 การใช้แอดเดรสบิทต่าง ๆ ในการอ้างอิงแอดเดรสของพอร์ตในไอบีเอ็มพีซี

จากที่ได้กล่าวมานั้นสรุปได้ว่าพอร์ตบนไอบีเอ็มพีซีเท่านั้น 1024 พอร์ตถูกแบ่งออกเป็น 2 กลุ่มโดยที่กลุ่มแรกเป็นกลุ่มของพอร์ตที่อยู่บนเมนบอร์ด และกลุ่มที่สองเป็นกลุ่มที่จัดเตรียมไว้สำหรับพอร์ตที่อยู่บนการ์ดต่าง ๆ

สำหรับในกรณีของการส่งข้อมูลให้กับพอร์ตทั้ง 1024 พอร์ต เราสามารถที่จะเลือกส่งไปยังพอร์ตใด ๆ ในไอบีเอ็มพีซีได้ ดังนั้นการเลือกแอดเดรสสำหรับพอร์ตที่อยู่บนการ์ดจึงสามารถทำได้โดยสะดวก อย่างไรก็ตาม สิ่งหนึ่งที่จะต้องคำนึงถึงก็คือถ้าแอดเดรสที่เราเลือกให้กับพอร์ตนี้ตรงกับค่าแอดเดรสเดิมที่มีอยู่บนเมนบอร์ดแล้ว เมื่อเราทำการส่งข้อมูลให้กับพอร์ตที่อยู่ในตำแหน่งแอดเดรสนี้ ก็จะเท่ากับเป็นการส่งข้อมูลให้กับทั้งพอร์ตที่อยู่บนเมนบอร์ดและพอร์ตที่อยู่บนการ์ดด้วย ซึ่งในกรณีเช่นนี้อาจจะก่อให้เกิดความผิดพลาดขึ้นได้เช่นกัน ดังนั้นในการกำหนดค่าแอดเดรสให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กับพอร์ตที่ถูกสร้างขึ้นบนการ์ดต่าง ๆ จึงควรใช้แอดเดรสบิท A9 มีค่าเป็น "1" คือ แอดเดรส 0FE00H จนถึง 0FFFFH เท่านั้น (แอดเดรสบิท A10-A15 ที่ไม่ถูกใช้งานจริงอาจเปลี่ยนให้แอดเดรส A10-A15 แต่ละบิทมีค่าเป็น "1" หรือ "0" ก็ได้)

สำหรับในรูปที่ 4.1 นี้จะแสดงถึงการใช้งานแอดเดรสบิทต่าง ๆ ในการอ้างแอดเดรสของพอร์ตในไอบีเอ็มพีซี

4.2 การใช้งานแอดเดรสสำหรับพอร์ตอินพุตเอาท์พุต (I/O PORT) ในไอบีเอ็มพีซี

จากที่ได้กล่าวไว้ในหัวข้อที่ผ่านมานั้น พอร์ตอินพุตเอาท์พุตทั้ง 1024 พอร์ตในไอบีเอ็มพีซีจะถูกแบ่งออกเป็น 2 กลุ่ม กลุ่มละ 512 พอร์ต สำหรับในหัวข้อนี้จะกล่าวถึงการใช้งานพอร์ตต่าง ๆ เหล่านี้ โดยจะแบ่งออกเป็น 2 กลุ่มตามที่ได้อธิบายไว้ในหัวข้อที่ผ่านมา

ในกลุ่มแรกของพอร์ตอินพุตเอาท์พุต ที่อยู่บนเมนบอร์ดของไอบีเอ็มพีซี ซึ่งจะมีแอดเดรสอยู่ที่ตำแหน่ง 0000H จนถึง 01FFH (ขอให้ระลึกอยู่เสมอว่า A10-A15 นั้นไม่ถูกใช้งาน) หรือมีบิทแอดเดรส A9 เป็น "0" นั่นเอง

สำหรับแอดเดรสของพอร์ตอินพุตเอาท์พุต ในกลุ่มนี้จะถูกใช้ในการอ้างแอดเดรสของชิพซัพพอร์ต และอุปกรณ์ที่เป็นอินพุตหรือเอาท์พุตต่าง ๆ บนเมนบอร์ดของไอบีเอ็มพีซี เช่น แอดเดรส 0000H จนถึง 000FH จะถูกใช้เป็นแอดเดรสสำหรับ 8237-5 DMA controller เป็นต้น

ในรูปที่ 4.2 จะแสดงถึงการใช้งานแอดเดรสต่าง ๆ ตั้งแต่ 0000H จนถึง 03FFH ในการอ้างแอดเดรสของชิพซัพพอร์ต และอุปกรณ์ต่าง ๆ ที่ทำหน้าที่เป็นอินพุตหรือเอาท์พุตบนเมนบอร์ดของไอบีเอ็มพีซี

จากรูปจะเห็นว่าแอดเดรส 00C0H จนถึงแอดเดรสต่าง ๆ ซึ่งตามแอดเดรสเหล่านี้ยังคงถูกดีโค้ดให้เป็นแอดเดรสที่ใช้ในการอ่านข้อมูลจากพอร์ตอินพุตเอาท์พุต บนเมนบอร์ดเท่านั้น ดังนั้นการใช้ค่าแอดเดรส 00C0H-01FFH กับพอร์ตอินพุตเอาท์พุตบนการ์ดหรือวงจรอินเตอร์เฟสที่เราสร้างขึ้นนั้นต้องเป็นพอร์ตเอาท์พุทเพียงชนิดเดียวเท่านั้น กล่าวคือจะทำการอ่านข้อมูลจากพอร์ตอินพุตเอาท์พุต (ที่ไม่ได้อยู่บนเมนบอร์ด) ที่มีค่าแอดเดรสอยู่ในช่วง 00C0H-01FFH ไม่ได้

ในกลุ่มที่สองนี้จะเป็นกลุ่มของพอร์ทอินพุตเอาท์พุต ที่ถูกใช้งานบนการ์ดที่ใช้เสียบสล็อตต่าง ๆ ของไอบีเอ็มพีซี สำหรับแอดเดรสของพอร์ทเหล่านี้จะเริ่มต้นจากแอดเดรส 0200h จนถึง 03FFH ซึ่งก็คือแอดเดรสที่มีบิท A9 เป็น "1" นั่นเอง สำหรับการใช้แอดเดรสของพอร์ทอินพุตเอาท์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Hex range	Usage	
000-00F	DMA chip 8237A-5	Assigned to system board components
020-021	Interrupt 8259A	
040-043	Timer 8253-5	
060-063	PPI 8255A-5	
080-083	DMA page registers	
0Ax	NMI mask register	
0Cx	Reserved	
0Ex	Reserved	
100-1FF	Not usable	
200-20F	Game control	Assigned to feature card ports
210-217	Expansion unit	
220-24F	Reserved	
278-27F	Reserved	
2F0-2F7	Reserved	
2F8-2FF	Asynchronous communications (2)	
300-31F	Prototype card	
320-32F	Fixed disk	
378-37F	Printer	
380-38C	SDLC communications	
380-389	Binary synchronous communications (2)	
3A0-3A9	Binary synchronous communications (1)	
3B0-3BF	IBM monochrome display/printer	
3C0-3CF	Reserved	
3D0-3DF	Color/graphics	
3E0-3F7	Reserved	
3F0-3F7	Diskette	
3F8-3FF	Asynchronous communications (1)	

รูปที่ 4.2 การใช้งานแอดเดรสของพอร์ตบนไอบีเอ็มพีซี

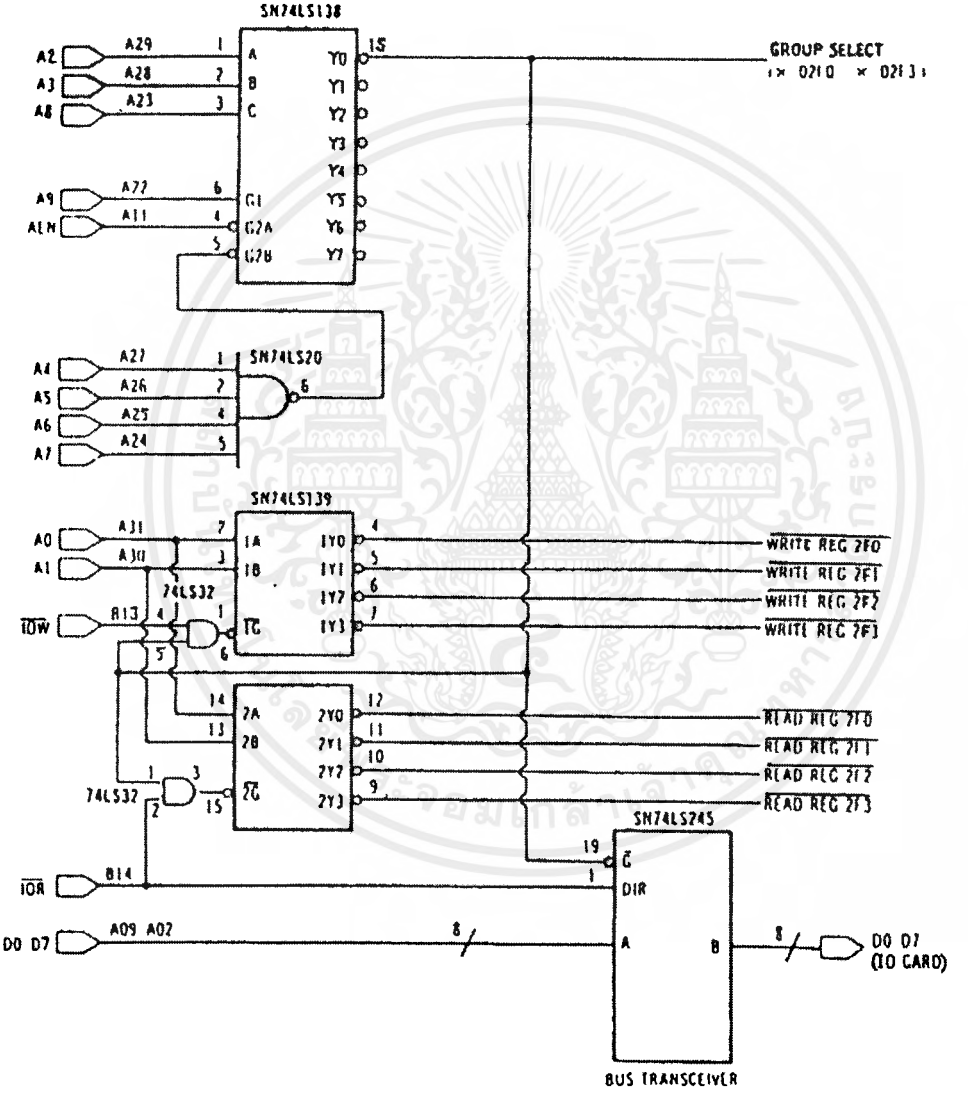
แต่อย่างไรก็ตามการใช้แอดเดรสในกลุ่มนี้อาจจะเปลี่ยนแปลงไปได้ ทั้งนี้ขึ้นอยู่กับการใช้งานการ์ดต่าง ๆ ร่วมกับไอบีเอ็มพีซี โดยการ์ดที่ถูกออกแบบผลิตขึ้นใหม่นั้นอาจจะใช้ค่าแอดเดรสต่าง ๆ ที่เหลืออยู่นี้ได้ ดังนั้นก่อนที่จะทำการออกแบบวงจรอิเตอร์เฟสที่จำเป็นต้องใช้ค่าแอดเดรสสำหรับพอร์ทอินพุตเอาท์พุต จึงควรจะตรวจสอบดูก่อนว่าการ์ดต่าง ๆ ที่ใช้อยู่ในระบบของไอบีเอ็มพีซีที่เราใช้งานอยู่นั้นมีการ์ดใดบ้าง และการ์ดเหล่านั้นใช้งานแอดเดรสใดบ้างจากนั้นจึงทำการออกแบบวงจรอินเตอร์เฟสโดยเลือกใช้เฉพาะแอดเดรสที่ยังไม่ถูกใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 เทคนิคในการดีโค้ดแอดเดรสสำหรับพอร์ทอินพุตเอาท์พุต (I/O PORT)

ในหัวข้อต่าง ๆ ที่ผ่านมาข้างต้น ได้กล่าวถึงการอ้างแอดเดรสและการใช้งานแอดเดรสต่าง ๆ ของพอร์ทอินพุตเอาท์พุต ในไอบีเอ็มพีซี สำหรับในหัวข้อนี้จะกล่าวถึงวิธีการต่าง ๆ ที่ใช้ในการดีโค้ดแอดเดรสต่าง ๆ ให้เป็นไปตามที่เราต้องการ

4.3.1 การดีโค้ดแบบ Fixed



รูปที่ 4.3 ตัวอย่างวงจรดีโค้ดแอดเดรสแบบ Fixed

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีการดีโค้ดแบบนี้เป็นวิธีที่ง่ายและสะดวกในการดีโค้ดแอดเดรส และการใช้งานแอดเดรสรสต่าง ๆ ของพอร์ทอินพุตเอาท์พุต ซึ่งวิธีนี้เป็นการกำหนดจำนวนของแอดเดรสที่เราต้องการใช้ จากนั้นจึงทำการเลือกบล็อกของแอดเดรสที่ยังไม่ถูกใช้งาน โดยการ์ดหรือวงจรอินเตอร์เฟสอื่นๆ (บล็อกของแอดเดรสที่เลือกต้องมีจำนวนแอดเดรสที่เราต้องการสำหรับวงจรที่ใช้ในการดีโค้ดแอดเดรสแบบนี้จะแสดงได้ดังรูปที่ 4.3

จากรูปจะเห็นได้ว่าวงจรที่ใช้นี้เป็นวงจรที่สามารถทำการดีโค้ดแอดเดรสได้ 8 กลุ่ม โดยแต่ละกลุ่มจะมีจำนวนแอดเดรส 4 แอดเดรส ซึ่งแอดเดรสทั้ง 8 กลุ่มจะแสดงได้ดังตารางข้างล่าง

กลุ่ม	แอดเดรส
0(Y0)	02F0H-02F3H
1(Y1)	02F4H-02F7H
2(Y2)	02F8H-02FBH
3(Y3)	02FCH-02FFH
4(Y4)	03F0H-03F3H
5(Y5)	03F4H-03F7H
6(Y6)	03F8H-03FBH
7(Y7)	03FCH-03FFH

ตารางที่ 4.1 แสดงแอดเดรสของกลุ่มแอดเดรสทั้ง 8

สำหรับในตัวอย่างนี้จะเลือกใช้การดีโค้ดแอดเดรสในกลุ่ม 0 (เริ่มจากแอดเดรส 02F0H จนถึง 03F0H) คือใช้สัญญาณเอาท์พุท (สัญญาณ GROUPSELECT) จากขา Y0 (ขา 15) ของ 74LS138 ไปทำการ OR กับสัญญาณ IOR และ IOW เพื่อสร้างสัญญาณอีนาเบิลวงจรดีโค้ด (74LS139) แอดเดรสอีก 4 แอดเดรสซึ่งแบ่งเป็น 2 ชุด คือชุดที่เป็น WRITE REG ซึ่งจะแอคทีฟ (ลอจิก “0”) เมื่อซีพียูต้องการจะส่งข้อมูลให้กับวงจรภายนอก (สัญญาณ IOW แอคทีฟ) และชุดที่เป็น READ REG ซึ่งจะแอคทีฟเมื่อ ซีพียูต้องการอ่านข้อมูลจากวงจรภายนอก (สัญญาณ IOR แอคทีฟ) สัญญาณ WRITE REG และ READ REG นี้โดยทั่วไปจะนำไปเป็นสัญญาณ (Strobe) ให้กับวงจรภายนอกที่เกี่ยวข้องเพื่อให้สามารถส่งหรือรับข้อมูลจากซีพียูได้ในช่วงเวลาที่เหมาะสม นอกจากนี้สัญญาณ GROUPSELECT ยังถูกนำไปใช้ในการอีนาเบิลบัฟเฟอร์ 74LS245 เพื่อให้ซีพียูส่งหรือรับข้อมูลจากอุปกรณ์ภายนอกได้เมื่อแอดเดรสในกลุ่มนี้ถูกเลือก สำหรับทิศทางของข้อมูลจะถูกควบคุมโดยสัญญาณ IOR ส่วนสัญญาณ AEN จะถูกนำมาใช้ในการดิสเอเบิลวงจรดีโค้ด โดยถ้าสัญญาณ AEN เป็น “1” ซึ่งเป็นช่วงเวลาของขบวนการ DMA นั้น 74LS138 จะถูกนำมาใช้ในการดิสเอเบิลทันทีทั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นี้เพื่อป้องกันความผิดพลาดที่อาจจเกิดขึ้น เนื่องจากการดีโค้ดแอดเดรสของพอร์ทในระหว่างขบวนการ DMA นั่นเอง (ในระหว่างนี้แอดเดรสของหน่วยความจำ คือ สัญญาณ MEMW หรือ MEMR จะแอคทีฟ แต่ในขณะเดียวกันสัญญาณ IOR หรือ IOW ก็จะแอคทีฟด้วยดังนั้นถ้าไม่ดิสเอเบิลวงจรดีโค้ดไว้แล้วอาจจะทำให้วงจรดีโค้ดคิดว่าแอดเดรสบนบัสแอดเดรสเป็นแอดเดรสของพอร์ทอินพุตเอาท์พุตก็ได้)

ในการดีโค้ดแอดเดรสกับพอร์ทอินพุตเอาท์พุต เราจะต้องคำนึงถึงช่วงเวลาของสัญญาณที่เกิดขึ้นในขบวนการอ่านหรือเขียนข้อมูลลงบนพอร์ทอินพุตเอาท์พุต ดังนี้

1. ในช่วงเริ่มต้นของบัสไซเคิลที่เกี่ยวข้องกับพอร์ทอินพุตเอาท์พุตนั้น ถ้าสัญญาณจากวงจรดีโค้ดมีการหน่วงเวลา (Delay) มากเกินไป อาจจะทำให้สัญญาณดีโค้ดนี้เกิดขึ้นหลังจากที่สัญญาณ IOR หรือ IOW แอคทีฟ และเนื่องจากค่าแอดเดรสบนบัสแอดเดรสนั้นเปลี่ยนแปลงได้ตลอดเวลา ดังนั้นก่อนที่ค่าแอดเดรสที่ถูกต้องจะถูกส่งมาบนบัสแอดเดรสนั้น วงจรดีโค้ดจะได้รับค่าแอดเดรสค่าอื่น ๆ อยู่ถ้าหากวงจรดีโค้ดมีการหน่วงเวลามากเกินไปแล้ว สัญญาณดีโค้ดแอดเดรสที่ไม่ถูกต้องนี้อาจจะถูกหน่วงเวลาจนเกิดขึ้นในช่วงเวลาที่สัญญาณ IOR หรือ IOW เกิดขึ้นแล้วก็ได้ ทำให้ข้อมูลนั้นถูกส่งไปยังพอร์ทที่ไม่ถูกต้อง สำหรับในไอบีเอ็มพีซีจะถูกออกแบบให้การหน่วงเวลาในวงจรดีโค้ดนั้นมีค่าไม่เกิน 92 นาโนเซค

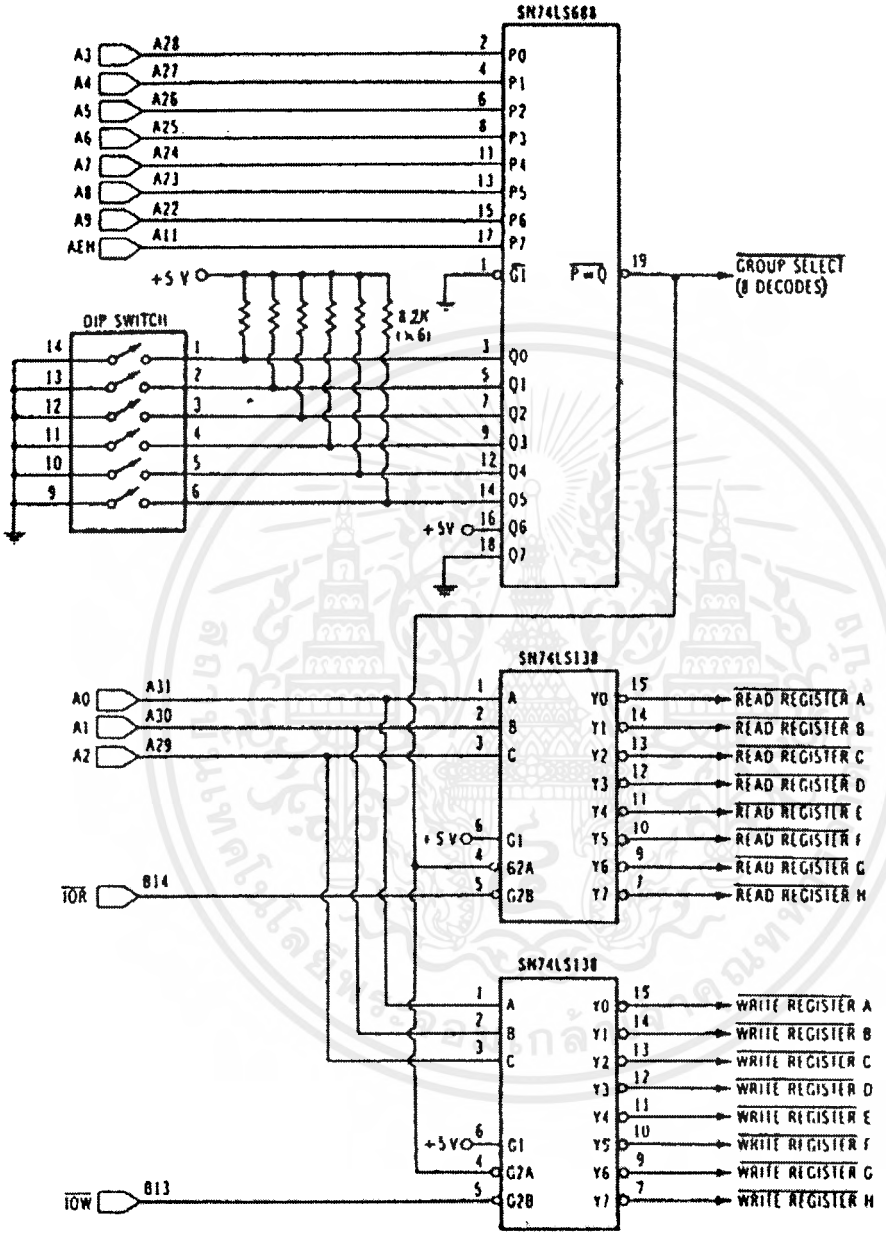
2. ในช่วงท้ายของบัสไซเคิลในการเขียนข้อมูลลงบนพอร์ทอินพุตเอาท์พุตนั้น ถ้าสัญญาณ IOW มีการหน่วงเวลาออกไป และวงจรดีโค้ดมีความเร็วในการทำงานสูงแล้วอาจจะทำให้ข้อมูลในบัสไซเคิลนี้ถูกส่งไปให้กับพอร์ทอินพุตเอาท์พุต ที่มีแอดเดรสตรงกับค่าแอดเดรสในบัสไซเคิลต่อไปก็ได้สำหรับในไอบีเอ็มพีซีสัญญาณ IOW จะมีหน่วงเวลาไม่เกิน 200 นาโนเซค

อย่างไรก็ตามช่วงเวลาที่ต้องสนใจมากอีกช่วงเวลาหนึ่งก็คือ ช่วงเวลาระหว่างขอบขาขึ้นของสัญญาณ IOW กับช่วงเวลาที่ข้อมูลที่ถูกส่งออกมาบนบัสข้อมูล ถ้าสัญญาณ IOW ถูกหน่วเวลาไปเกิน 120 นาโนเซคแล้ว อาจจะทำให้พอร์ทอินพุตเอาท์พุต ได้รับข้อมูลที่ไม่ถูกต้องก็ได้และสำหรับสัญญาณ IOR นั้นถ้ามีการหน่วงเวลาเกิดขึ้นแล้วจะทำให้ความเร็วในการอ่านข้อมูลถูกลดลง

4.3.2 การดีโค้ดแบบสวิทช์เลือก

การดีโค้ดแบบ Fixed ที่ได้กล่าวไว้ในหัวข้อที่ผ่านมานั้น มีข้อเสียอยู่บางประการคือแอดเดรสที่เราเลือกใช้งานไว้นั้นอาจซ้ำกับแอดเดรสของการ์ดอื่นที่เรานำมาเพิ่มเข้าไปในระบบภายหลังก็ได้ซึ่งในกรณีเช่นนี้เราต้องแก้ไขวงจรเพื่อหลีกเลี่ยงไปใช้แอดเดรสอื่นที่ยังว่างอยู่และไม่ถูกใช้งานโดยการ์ดที่จะเพิ่มเข้าไปใหม่ ซึ่งยุ่งยากและต้องเสียเวลามากขึ้น ปัญหาเช่นนี้เราสามารถแก้ไขได้โดยใช้วงจรดีโค้ดที่สามารถเปลี่ยนแปลงค่าแอดเดรสได้ โดยเพียงแต่เปลี่ยนตำแหน่งของสวิทช์ (ในที่นี้คือดิพสวิทช์) ที่เซตไว้ในวงจรเท่านั้นดังรูปที่ 4.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 ตัวอย่างวงจรดีโค้ดเดอร์โดยใช้สวิทช์เลือก

จากรูปเป็นวงจรที่ทำการดีโค้ดกลุ่มแอดเดรสขนาด 8 แอดเดรส ซึ่งการเลือกกลุ่มแอดเดรสที่จะทำการดีโค้ดนี้จะทำได้โดยการเซตดิพสวิทช์ที่ขา Q0-Q5 ของ 74LS688

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

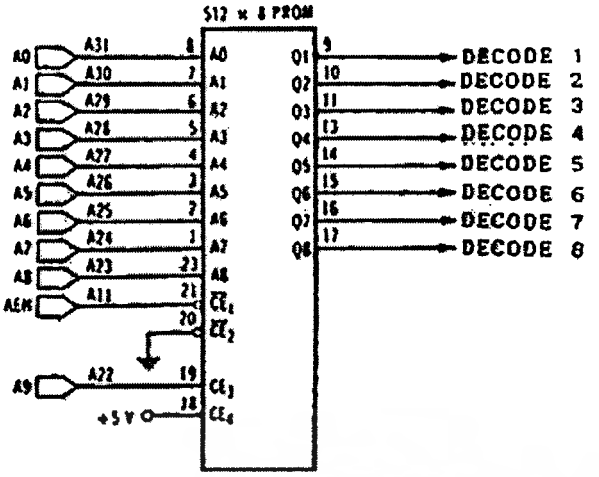
สำหรับหน้าที่ของ 74LS688 นี้จะทำการเปรียบเทียบค่าของอินพุท 2 ชุดที่ถูกส่งเข้ามาทาง P0-P6 และขา Q0-Q7 ถ้าอินพุททั้งสองชุดนี้เท่ากันแล้วเอาท์พุทที่ขา P=Q จะทำให้เอาท์พุทเป็นลอจิก "0" จากในวงจรขา P0-P6 ของ 74LS688 ต่อกับแอด เดรสบิท A3-A9 ในขณะที่ขา Q0-Q5 ต่อกับความต้านทาสที่ทำหน้าที่เป็น Pull up (รักษาระดับแรงดันให้เป็นลอจิก "1" ไว้ในกรณีที่ไม่มีอินพุทใด ๆ เข้ามา) และขา Q0-Q5 นี้จะต่อกับปลายข้างหนึ่งของดิพสวิทซ์ด้วย ส่วนอีกปลายหนึ่งของดิพสวิทซ์นั้นจะต้องลงกราวด์ (ลอจิก "0") ไว้ดังนั้นถ้าเราทำการ "ON" ดิพสวิทซ์ที่ต่อกับขาใดขาหนึ่งจากนั้นก็จะได้รับลอจิก "0" ในขณะที่ถ้าดิพสวิทซ์ที่ต่อกับขาใดถูก "OFF" ขานั้นก็จะได้รับลอจิก "1" และเนื่องจากอินพุทที่ขา P0-P5 (แอดเดรส A3-A9) ต้องเท่ากับอินพุทที่ขา Q0-Q5 ดังนั้นถ้าเปลี่ยนแปลงการเซตดิพสวิทซ์เหล่านี้ก็จะทำให้แอดเดรสบิท A3-A5 ซึ่งต่อกับขา P0-P5 นั้นจะต้องเปลี่ยนแปลงตามไปด้วยจึงจะทำให้เอาท์พุทของ 74LS688 แอดทีฟได้ทำให้เราสามารถเปลี่ยนแปลงค่าแอดเดรสที่ต้องการจะดีโค้ดได้ง่ายกว่าวิธีดีโค้ดแบบ Fixed สำหรับขา Q6 นั้นจะต่อกับลอจิก "1" (+5V) และขา P6 ต่อกับแอดเดรสบิท A9 ในกรณีเช่นนี้จึงเท่ากับเป็นการบังคับให้แอดเดรสที่ทำการดีโค้ดได้นั้น จะต้องมีแอดเดรสบิท A9 เป็น "1" เท่านั้น ส่วนขา P7 จะต่อกับสัญญาณ AEN โดยมีขา Q7 ต่อกับลอจิก "0" การต่อในลักษณะนี้ก็เพื่อป้องกันไม่ให้ 74LS688 ทำการดีโค้ดในระหว่างการ DMA นั่นเอง เอาท์พุทจากขา P=Q ของ 74LS688 จะถูกนำไปใช้ในการอินาเบิล 74LS688 ซึ่งทำหน้าที่ในการดีโค้ดแอดเดรส 8 แอดเดรสของกลุ่มแอดเดรสที่เราเลือก (โดยใช้ดิพสวิทซ์)

วงจรในลักษณะนี้เราสามารถจะนำไปใช้เป็นการดีโค้ดในแบบ Fixed ได้โดยการนำเอาดิพสวิทซ์ออก จากนั้นถ้าอินพุทใดต้องการลอจิก "0" จึงจะใช้ตัวนำเชื่อมต่อระหว่างขั้วทั้งสองแทนการเซตดิพสวิทซ์ให้ "ON" แต่ถ้าอินพุทใดต้องการลอจิก "1" ก็ปล่อยขั้วทั้งสองนั้นไว้

4.3.3 การดีโค้ดโดยใช้ PROM

การดีโค้ดในแบบต่าง ๆ ที่กล่าวมาแล้วนั้น เป็นการดีโค้ดในลักษณะที่แอดเดรสของพอร์ทต่าง ๆ อยู่รวมกันเป็นกลุ่ม แต่ในบางกรณีพอร์ทที่เราใช้งานนั้นมีแอดเดรสแยกกันอย่างเป็นอิสระ เช่น ในการนำเอาหน้าที่ที่อยู่บนการ์ดต่าง ๆ มารวมไว้บนการ์ดเพียงการ์ดเดียว และมีความจำเป็นต้องคงค่าแอดเดรสของพอร์ทเดิม (ที่อยู่บนการ์ดเดิม) ไว้ด้วย ทำให้ไม่สามารถใช้การดีโค้ดในแบบต่าง ๆ ที่ผ่านมาได้ เนื่องจากการใช้วิธีการดีโค้ดในแบบที่ผ่านมานั้นจะทำให้ต้องใช้อุปกรณ์ที่ทำการดีโค้ดมากเกินไป ในกรณีเช่นนี้เราจำเป็นต้องใช้การดีโค้ดอีกแบบหนึ่งซึ่งจะได้กล่าวในหัวข้อนี้ คือการดีโค้ดโดยการใช้ PROM (Programmable Read Only Memory) ดังรูปที่ 4.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 ตัวอย่างการดีโค้ดเดอร์โดยการใช้ PROM

จากรูปข้างต้นเป็นวิธีง่าย ๆ แบบหนึ่งโดยใช้ PROM ซึ่งจะเห็นได้ว่า เราใช้เส้นแอดเดรส A0-A8 ของระบบต่อเข้ากับเส้นแอดเดรส A0-A8 ของ PROM และใช้บัสข้อมูลทั้ง 8 ของ PROM คือ Q1-Q8 เป็นเอาท์พุท สำหรับใช้เป็นสัญญาณดีโค้ดให้กับพอร์ทต่าง ๆ 8 พอร์ทอย่างไรก็ตาม สัญญาณดีโค้ดทั้ง 8 เส้น คือ DECODE1-DECODE8 นี้ยังคงต้องนำไป OR กับสัญญาณ IOR หรือ IOW ก่อนที่จะนำไปอีนาเบิลพอร์ทที่มีแอดเดรสตรงกับแอดเดรสที่ป้อนให้กับ PROM นั้น

จากที่กล่าวมานั้นจะเห็นได้ว่าส่วนของวงจรดีโค้ดนั้นจะมี PROM เพียงตัวเดียวเท่านั้น ซึ่ง PROM ที่จะนำมาใช้งานนี้จะต้องถูกโปรแกรมมาก่อนแล้ว โดยข้อมูลที่โปรแกรมให้กับแอดเดรสต่าง ๆ ของ PROM นั้นจะต้องสัมพันธ์กับสัญญาณดีโค้ดที่เราต้องการ กล่าวคือเราจะต้องทราบเสียก่อนว่าค่าแอดเดรสของพอร์ททั้ง 8 ที่เราต้องการจะดีโค้ดนั้นมีแอดเดรสใดบ้าง แล้วจึงกำหนดว่าพอร์ทใดจะใช้สัญญาณดีโค้ดเส้นใด จากนั้นจึงโปรแกรมข้อมูบให้กับ PROM โดยแอดเดรสใดถ้าต้องการให้สัญญาณดีโค้ดแอคทีฟ (ในที่นี้จะกำหนดให้สัญญาณดีโค้ดแอคทีฟที่ลอจิก “0”) ก็กำหนดให้แอดเดรสของพอร์ทที่เราต้องการจะดีโค้ดเป็น 0393H และเลือกใช้สัญญาณ DECODE 5 เราก็ต้องทำการโปรแกรมให้แอดเดรส 0393H ของ PROM (เหตุที่แอดเดรสของ PROM เป็น 0393H เหมือนกับแอดเดรสพอร์ทก็เพราะแอดเดรสของ PROM มีเพียง 9 บิทคือ A0-A8 เท่านั้น ส่วนบิท A9 จะถูกต่อกับ PROM ในภายหลังเพื่ออีนาเบิล PROM เมื่อข้อมูลในบิท A9 นี้เป็น “1” เท่านั้น) มีข้อมูลในบิท Q5 (ถ้านับเริ่มจากบิท D0 ก็คือบิท D4) เป็น “0” ส่วนบิทอื่น ๆ นั้นมีค่าเป็น “1” ทั้งหมด ดังนั้นการโปรแกรมแอดเดรส0393H ของ PROM จึงต้องโปรแกรมด้วยข้อมูล 0EFH เป็นต้น สำหรับข้อมูลในแอดเดรสอื่น ๆ ที่นอกเหนือจากแอดเดรสทั้ง 8 ที่กำหนดแล้ว จะต้องโปรแกรมให้ข้อมูลทุกบิทเป็น “1” ทั้งหมดซึ่งก็คือโปรแกรมด้วยข้อมูล 0FEH นั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างเช่น ถ้าแอดเดรสของพอร์ททั้ง 8 ที่เราต้องการจะดีโค้ดเป็น 024A, 02B5, 0317, 0361, 03A8, 034C และ 03DB ในฐานสิบหกตามลำดับ โดยกำหนดให้สัญญาณจากการดีโค้ดแอดเดรสเหล่านี้เป็นสัญญาณ DECODE1 จนถึง DECODE8 ตามลำดับแล้ว (เช่นสัญญาณจากการดีโค้ด 024AH ก็คือสัญญาณ DECODE1 และสัญญาณจากการดีโค้ด 02B5H คือสัญญาณ DECODE2 เป็นต้น) เราจะต้องทำการโปรแกรม PROM ให้มีข้อมูลสัมพันธ์กับเอาท์พุทที่เราต้องการดังนี้

1. แอดเดรสของพอร์ทเป็นแอดเดรสที่บิท A9 ถูกใช้งานร่วมด้วย โดยในบิทนี้จะต้องมีข้อมูลเป็น "1" ในขณะที่แอดเดรสของ PROM จะมีเพียง 9 บิท คือ A0-A9 เท่านั้น เราจึงจัดแอดเดรสของ PROM เมื่อเทียบกับแอดเดรสของพอร์ทดังนี้

แอดเดรสของพอร์ท (บิท A9 ถูกใช้งาน)	แอดเดรสของ PROM (เฉพาะบิท A0-A9)
024A	04A
02B5	0B5
0317	117
0361	161
0382	182
03A8	1A8
03C4	1C4
03D4	1DB

ตารางที่ 4.2 การเปรียบเทียบแอดเดรสของพอร์ทและ PROM

2. ข้อมูลที่จะโปรแกรมให้กับแอดเดรสทั้ง 8 ของ PROM จะต้องสัมพันธ์กับเอาท์พุทที่ต้องการ เช่น ถ้ามีการอ้างถึงแอดเดรสของพอร์ท 02B5H แล้ว PROM จะต้องให้เอาท์พุทที่มีลอจิก "0" ที่ขา Q2 (DECODE2) ส่วนเอาท์พุทที่ขาอื่นต้องเป็น "1" ดังนั้นจึงต้องโปรแกรมให้แอดเดรส 00B5H ของ PROM มีข้อมูลเป็น 1111 1101 (ฐานสอง) หรือ 0FDH เป็นต้น สำหรับแอดเดรสอื่น ๆ นอกเหนือจากแอดเดรสทั้ง 8 นี้แล้วจะต้องถูกโปรแกรมให้มีข้อมูลเป็น OFF (ฐานสิบหก) ทั้งหมด ดังนี้

อย่างไรก็ตามสิ่งสำคัญสิ่งหนึ่งที่จะต้องคำนึงถึงเสมอ เมื่อใช้วิธีการดีโค้ดแบบนี้ก็คือ PROM ที่ใช้นั้นจะ ต้องใช้เวลาในการทำงานน้อยกว่า 92 นาโนเซคด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แอดเดรสของ PROM (ฐานสิบหก)	ข้อมูล (ฐานสิบหก)
000-049	0FF
04A	0FE
04B-0B4	0FF
0B5	0FD
0B6-116	0FF
117	0FB
118-160	0FF
161	0F7
162-181	0FF
182	0EF
183-1A7	0FF
1A8	0DF
1A9-1C3	0FF
1C4	0BF
1C5-1DA	0FF
1DB	07F
1DC-1FF	0FF

ตารางที่ 4.3การป้อนข้อมูลแอดเดรสของ PROM เป็นฐานสิบหก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
การออกแบบฮาร์ดแวร์

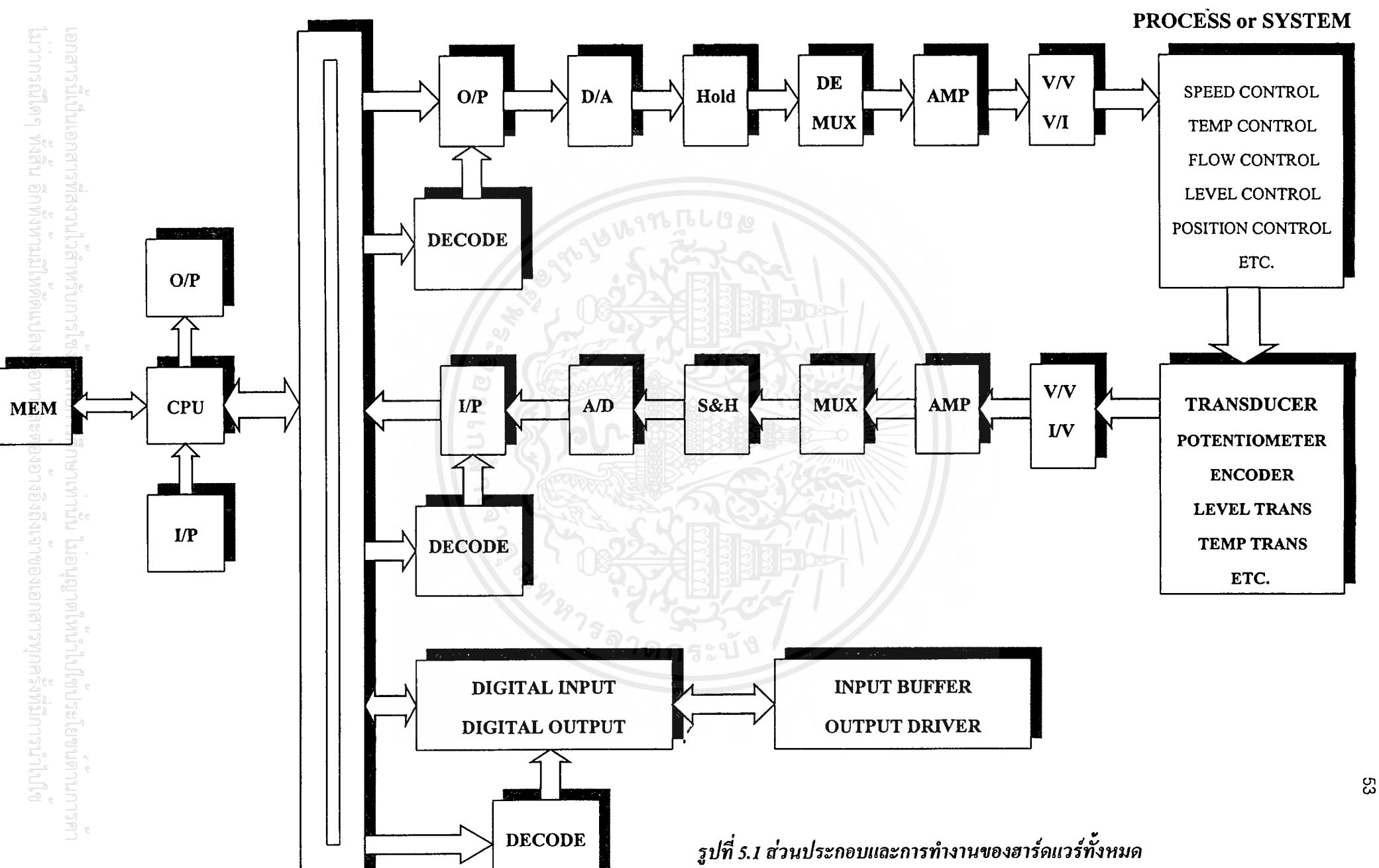
5.1 ส่วนประกอบของฮาร์ดแวร์

ส่วนประกอบของฮารค์แวร์ประกอบด้วยส่วนที่ใช้ติดต่อระหว่างคอมพิวเตอร์กับอุปกรณ์ภายนอก,ส่วนของการแปลงสัญญาณในรูปแบบต่าง ๆ,และในส่วนของวงจรพาว์เวอร์ซัพพลายเพื่อจ่ายไฟเลี้ยงให้กับวงจรต่าง ๆ ซึ่งจะอธิบายส่วนประกอบหลักทั้ง 4 ส่วนดังรูปที่ 5.1 แสดงลักษณะการทำงานร่วมกับของส่วนประกอบต่าง

ประกอบด้วย 4 ส่วนหลัก

1. Card 8255 Interface
2. Data acquisition control system
3. Signal conditioner
4. Power supply

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.1 ส่วนประกอบและการทำงานของฮาร์ดแวร์ทั้งหมด

5.2 การ์ด 8255 อินเตอร์เฟส

การควบคุมอุปกรณ์ไฟฟ้าโดยใช้เครื่องคอมพิวเตอร์นั้น จะต้องทำให้เครื่องคอมพิวเตอร์ติดต่อกับอุปกรณ์ภายนอกให้ได้เสียก่อน แต่การที่จะทำเช่นนั้นได้ต้องผ่านอุปกรณ์ตัวหนึ่ง ซึ่งเรียกว่าพอร์ต (PORT) ซึ่งมีหลายลักษณะด้วยกัน แต่ในที่นี้จะใช้ IC#8255 ซึ่งเป็นพอร์ตขนานและทำมาในรูปของการ์ด ประกอบด้วยส่วนประกอบต่าง ๆ รวมอยู่ในการ์ดแผ่นเดียว ซึ่งจะกล่าวในรายละเอียดต่อไป โดยจะเชื่อมต่อระหว่างคอมพิวเตอร์กับอุปกรณ์ภายนอกโดยใช้สายประเภท Lap Link

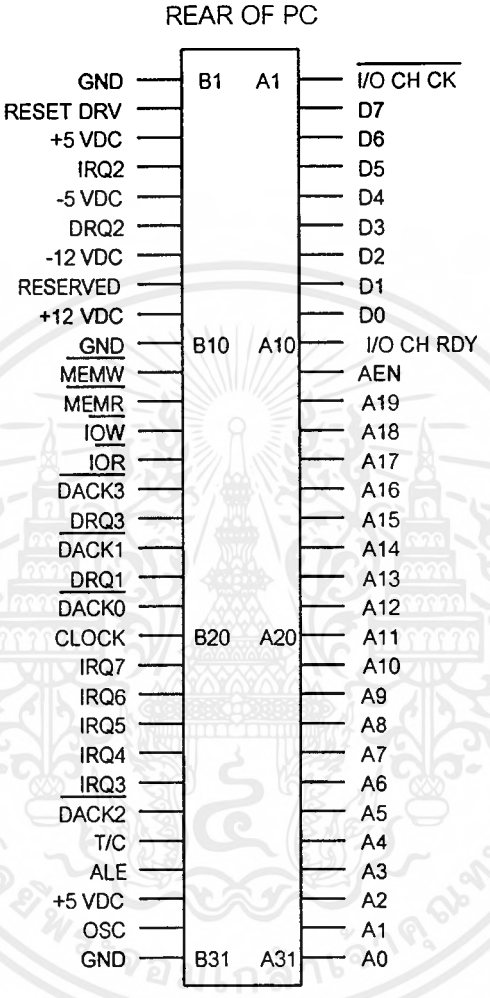
อุปกรณ์ที่มีบนการ์ด

IC#8255	1	ตัว
IC#74F245	1	ตัว
IC#74LS245	1	ตัว
IC#74LS688	1	ตัว
Connector 25 PIN	1	ตัว
Dip Switch 8 จุด	1	ตัว
Resistor pack 10 kΩ	3	ตัว
Capacitor 0.1 μF	6	ตัว
IC#74LS32N	1	ตัว
IC#74LS08P	1	ตัว

ในการ์ดนี้จะแบ่งเป็น 2 ส่วนใหญ่ด้วยกัน ซึ่งจะเป็นส่วนของวงจร ดีโค้ด และส่วนของพอร์ต 8255 ซึ่งจะอธิบายในรายละเอียดต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่เครื่องคอมพิวเตอร์นั้นจะมีช่องเสียบเรียกว่า SLOT PC โดยการเอาการ์ดมาเสียบที่ SLOT นี้ เพื่อเป็นการเชื่อมต่อระหว่างเครื่องคอมพิวเตอร์กับอุปกรณ์ภายนอก



รูปที่ 5.2 แสดงการนับขาของ SLOT แบบ 62 ขา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขาอินพุต/ เอาต์พุต	ชื่อสัญญาณ	อินพุต/เอาต์พุต
A1	- I/O CH CK	I
A2	D7	I/O
A3	D6	I/O
A4	D5	I/O
A5	D4	I/O
A6	D3	I/O
A7	D2	I/O
A8	D1	I/O
A9	D0	I/O
A10	- I/O CH RDY	I
A11	AEN	O
A12	A19	I/O
A13	A18	I/O
A14	A17	I/O
A15	AI6	I/O
A16	A15	I/O
A17	A14	I/O
A18	A13	I/O
A19	A12	I/O
A20	A11	I/O
A21	A10	I/O
A22	A9	I/O
A23	A8	I/O
A24	A7	I/O
A25	A6	I/O
A26	A5	I/O
A27	A4	I/O
A28	A3	I/O
A29	A2	I/O
A30	A1	I/O
A31	A0	I/O

ตารางที่ 5.1 แสดงชื่อและหน้าที่ของขาสัญญาณต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขาอินพุต/ขาเอาต์พุต	ชื่อสัญญาณ	อินพุต/เอาต์พุต
B1	GND	กราวน์
B2	RESET DRV	O
B3	+5 V_{DC}	แหล่งจ่ายไฟเลี้ยง
B4	IRQ9	I
B5	-5 V_{DC}	แหล่งจ่ายไฟเลี้ยง
B6	DRQ2	I
B7	-12 V_{DC}	แหล่งจ่ายไฟเลี้ยง
B8	Reserved	I
B9	+12 V_{DC}	แหล่งจ่ายไฟเลี้ยง
B10	GND	กราวน์
B11	- MEMW	O
B12	- MEMR	O
B13	- IOW	I/O
B14	- IOR	I/O
B15	- DACK3	O
B16	DRQ3	I
B17	- DACK1	O
B18	DRQ1	O
B19	- DACK0	O
B20	CLOCK	O
B21	IRQ7	I
B22	IRQ6	I
B23	IRQ5	I
B24	IRQ4	I
B25	IRQ3	I
B26	- DACK2	O
B27	T/C	O
B28	ALE	O
B29	+5 V_{DC}	แหล่งจ่ายไฟเลี้ยง
B30	OSC	O
B31	GND	กราวน์

ตารางที่ 5.1 (ต่อ) แสดงชื่อและหน้าที่ของขาสัญญาณต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่ออกจาก SLOT PC ที่ใช้กับการ์ด มีดังนี้

A0 - A9 : เป็นแอดเดรสของระบบ ที่ใช้ติดต่อกับหน่วยความจำและอุปกรณ์อินพุต เอาต์พุต

D0 - D7 : เป็นสัญญาณข้อมูลขนาด 8 บิตที่ใช้ติดต่อกับหน่วยความจำไมโครโปรเซสเซอร์

IOW : เป็นสัญญาณเขียนข้อมูลลงบนอุปกรณ์อินพุต/เอาต์พุต สัญญาณนี้ควบคุมโดยไมโครโปรเซสเซอร์ และแอกทีฟที่ "0"

IOR : เป็นสัญญาณอ่านข้อมูลจากอุปกรณ์อินพุต/เอาต์พุต สัญญาณนี้ควบคุมโดยไมโครโปรเซสเซอร์ และแอกทีฟที่ "0"

RES : สัญญาณนี้ใช้สำหรับรีเซ็ทระบบ ในขณะเปิดเครื่องหรือขณะที่แหล่งจ่ายไฟเลี้ยงขาด

AEN : อินาเบิลแอดเดรส (เป็นเอาต์พุต)

เมื่อรู้สัญญาณต่างๆที่ออกมาจากเครื่องคอมพิวเตอร์แล้ว ก็มาดูรายละเอียดของวงจรบนการ์ดบ้าง ซึ่งมี 2 ส่วนดังที่กล่าวมาแล้วในตอนต้น แต่ทั้ง 2 ส่วนจะทำงานร่วมกัน ส่วนของวงจร ดีโค้ด ซึ่งในการ์ดนี้ประกอบด้วย IC#74LS688 และ DIP SWITCH เพื่อที่จะสามารถปรับ SET DIP SWITCH ตั้งตำแหน่งพอร์ตของการ์ดได้ โดยเพียงแค่ปรับที่ DIP SWITCH เท่านั้นสิ่งที่ต้องระวังคือ ในการปรับ DIP SWITCH นั้น จะต้องไม่ให้ตรงกับตำแหน่งพอร์ตที่เครื่องคอมพิวเตอร์ใช้อยู่แล้ว ส่วน IC#74F245 ทำหน้าที่เป็น BUFFER 2 ทาง คืออยู่ในสถานะรับข้อมูล หรือส่งข้อมูล โดยการกำหนดที่เครื่องคอมพิวเตอร์ ส่วน IC#74LS245 ก็เป็น BUFFER เช่นกัน แต่ถูกเซ็ทให้ข้อมูลส่งจาก A ไป B เท่านั้น

5.2.1 การทำงานของวงจร

เริ่มต้นที่ SLOT PC จากวงจรจะเห็นว่า D0-D7 จะต่อเข้าที่ขา A1-A8 ของ IC#74F245 และที่ขา B1-B8 ของ IC#74F245 จะต่อเข้าที่ขา D0-D7 ของพอร์ต 8255 โดยที่ขา DIR ของ IC#74F245 จะต่อกับขา B1 ของ IC#74LS245 เหตุผลที่ต่อเช่นนี้เพราะขา IOR ของ SLOT PC ต่อกับขา A1 ของ IC#74LS245 ซึ่งจะเป็นตัวควบคุมว่าตอนนี้อยู่ในสภาวะรับหรือส่งข้อมูล กล่าวคือ เมื่อมีสัญญาณ IOR (แอกทีฟที่ "0") เข้ามา แสดงว่าคอมพิวเตอร์ต้องการอ่านข้อมูลจากอุปกรณ์อินพุต/เอาต์พุต ดังนั้นข้อมูลจะถูกส่งจากด้าน B ไปทางด้าน A ถ้าไม่มีสัญญาณ IOR เข้ามา ขา DIR จะเป็น "1" นั่นหมายถึงข้อมูลจะถูกส่งจากด้าน A ไปด้าน B ก็คือการเขียนข้อมูลไปที่อินพุต/เอาต์พุตนั่นเอง ส่วนขา IOW ของ SLOT PC จะต่อกับขา A2 ของ IC#74LS245 ซึ่งขา B1,B2 ของ IC#74LS245 ก็จะไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อกับขา RD\,WR\ ของพอร์ต 8255 เช่นเดียวกัน เพื่อเป็นการบอกสถานะให้รู้ว่าจะรับหรือส่งข้อมูล ส่วนขา A0,A1,RESET ของ SLOT PC ก็จะต่อเข้าที่ขา A3,A4,A7 ของ IC#74LS245 ตามลำดับ โดยขา B3,B4 จะต่อเข้าที่ขา A0,A1 ของ 8255 เพื่อใช้เซ็ทว่าจะใช้งานพอร์ตไหนและให้เป็นอินพุต หรือเอาต์พุต โดยเซ็ทที่ A0,A1 ที่มาจาก SLOT PC ขา B7 ต่อเข้ากับขา RESET ของ 8255 จะเห็นว่าขา DIR ของ IC#74LS245 มีไฟเลี้ยงตลอดเวลา ซึ่งเป็นการเซ็ทให้ข้อมูลส่งจากด้าน A ไปด้าน B เท่านั้น และขา G ของ IC#74LS245 ก็ต่อลงกราวน์ ทำให้มันทำงานตลอดเวลา จากวงจรจะใช้ IC#74LS688 ซึ่งเป็นไอซีใช้เปรียบเทียบโดยขา A2-A9 ของ SLOT PC จะต่อเข้ากับขา P0-P7 และที่ DIP SWITCH ขา 1-8 จะต่อเข้ากับขา Q0-Q7 ของ IC#74LS688 ซึ่งถ้าแอดเดรสที่ส่งมาตรงกับที่ DIP SWITCH ตั้งไว้ ก็จะทำให้ขา P=Q แอกทีฟ ("0") และทำให้ 8255 ทำงาน เพราะขา P=Q ต่อเข้ากับขา CS ของ 8255 นั่นเอง ที่ขา G ของ IC#74F245 ได้มาจากการ OR ของสัญญาณขา P=Q ของ IC#74LS688 และสัญญาณเอาต์พุตของการ AND ระหว่าง IOR,IOW กล่าวคือสัญญาณ IOR หรือ IOW อย่างใดอย่างหนึ่งแอกทีฟพร้อมกับสัญญาณขา P=Q จึงจะทำให้ IC#74F245 ทำงานได้นั่นเอง ส่วนขา AEN ต่อเข้ากับขา A8 ของ IC#74LS245 และขา B8 จะต่อกับขา G ของ IC#74LS688 เพื่อเป็นการทริกให้ IC#74LS688 ทำงานนั่นเอง

5.2.2 ตัวอย่างการกำหนดค่าต่างๆ

เรากำหนด DIP SWITCH ไว้ที่ตำแหน่ง 11000000 เมื่อเราป้อนค่า A0-A9 เข้ามาเป็น 300 คือ

A1-A0 : เป็น 00 ทำให้รู้ว่าเราจะใช้พอร์ต A

A9-A2 : เป็น 11000000 ก็จะตรงกับค่าที่กำหนดไว้ที่ DIP SWITCH จะทำให้วงจรทำงานสมบูรณ์

ในการอ้างพอร์ต (กรณี A9-A2 = 30XH) เราจะใช้ขา A1,A0 มาเลือกพอร์ตได้ดังนี้

พอร์ต A = 300H (A1,A0 = 00)

พอร์ต B = 301H (A1,A0 = 01)

พอร์ต C = 302H (A1,A0 = 10)

คอนโทรลพอร์ต = 303H (A1,A0 = 11)

หมายเลขพอร์ตสามารถเปลี่ยนแปลงได้ แต่ห้ามตรงกับหมายเลขที่ใช้อยู่ในเครื่องคอมพิวเตอร์อยู่แล้ว ดูได้จากตาราง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หมายเลขพอร์ต (ฐานสิบหก)	ชื่ออุปกรณ์
000-00F	DMA chip 8237A-5
020-021	Interrupt 8259A
040-043	Timer 8253-5
060-063	PPI 8255A-5
080-083	DMA page registers
0Ax	NMI mask register
0Cx	Reserved
0Ex	Reserved
100-1FF	Not usable
200-20F	Game control
210-217	Expansion unit
220-24F	Reserved
278-27F	Reserved
2F0-2F7	Reserved
2F8-2FF	Asynchronous communications (2)
300-31F	Prototype card
320-32F	Fixed disk
378-37F	Printer
380-38C	SDLC communications
380-389	Binary synchronous communications (2)
3A0-3A9	Binary synchronous communications (1)
3B0-3BF	IBM monochrome display/printer
3C0-3CF	Reserved
3D0-3DF	Color/graphics
3E0-3EF	Reserved
3F0-3F7	Diskette
3F8-3FF	Asynchronous communications (1)

ตารางที่ 5.2 แสดงหมายเลขพอร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 Data acquisition control system

ในส่วนของ Data acquisition control system เป็นส่วนของการแปลงสัญญาณต่าง ๆ เพื่อนำไปประมวลผลและใช้ในการควบคุมอุปกรณ์หรือกระบวนการในหลากหลายลักษณะโดยใช้คอมพิวเตอร์เป็นตัวควบคุมทำให้สามารถควบคุมได้อย่างมีความแม่นยำและมีความยืดหยุ่นสูง สามารถแก้ไขโปรแกรมได้ง่ายและยังสามารถควบคุมอุปกรณ์หรือกระบวนการหลายกระบวนการได้พร้อม ๆ กัน ซึ่งในส่วนนี้ประกอบด้วย

1. วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกและมัลติเพล็กสัญญาณจำนวน 16 ช่องสัญญาณ
2. วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลและมัลติเพล็กสัญญาณจำนวน 8 ช่องสัญญาณ
3. วงจรรับส่งข้อมูลแบบดิจิตอลจำนวน 24 บิต

อุปกรณ์ที่มีบนการ์ด

1. IC#ADC0809	1 ตัว
2. IC#DAC0832	1 ตัว
3. IC#8255	1 ตัว
4. IC#LM358	2 ตัว
5. IC#LM324	4 ตัว
6. IC#74LS245	3 ตัว
7. IC#74LS73	1 ตัว
8. IC#74LS14	1 ตัว
9. IC#74LS04	1 ตัว
10. IC#74LS32	1 ตัว
11. IC#74LS08	1 ตัว
12. Capacitor tantalum 0.1 μF	12 ตัว
13. Capacitor 0.1 μF	16 ตัว
14. Resister 10 K	3 ตัว
15. Resister pack	2 ตัว
16. Connector	

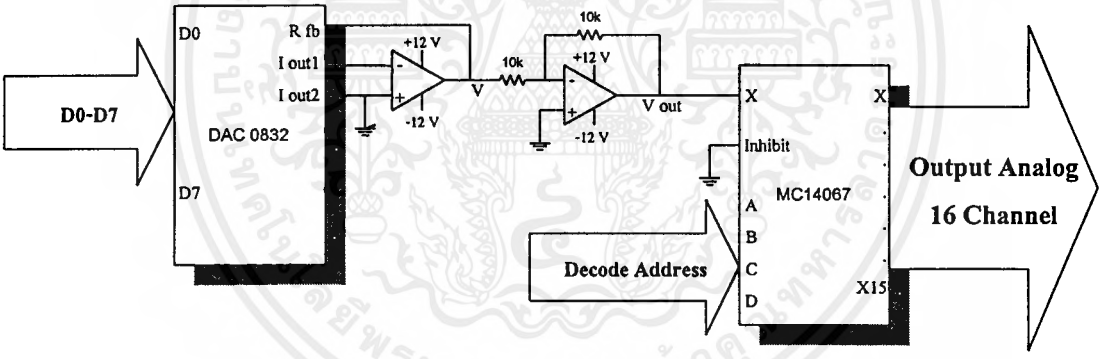
5.3.1 วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก

การทำงานของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลนั้นทำงานโดยรับสัญญาณดิจิตอลจากคอมพิวเตอร์ผ่านทางการ์ด 8255 ผ่านบัฟเฟอร์ (74LS245) แล้วทำการแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกโดยไอซี DAC 0832 ซึ่งให้อนาลอกเอาต์พุต 1 ช่องสัญญาณจากนั้นนำไปผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรมัลติเพล็กเซอร์ เพื่อให้ได้สัญญาณอนาลอก 16 ช่องสัญญาณและวงจรคงค่าสัญญาณ (Hold) ก่อนส่งไปวงจร Signal conditioner

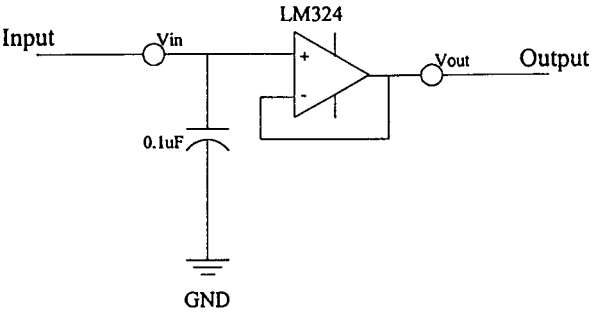
ในส่วนของวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกในโครงงานนี้เราใช้ไอซี DAC 0832 เป็นไอซีแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกขนาด 8 บิต ของบริษัท National เนื่องจากเป็นไอซีที่หาซื้อได้ง่ายและมีราคาไม่แพง มีความแม่นยำในการทำงานสูงและถ้าต้องการความละเอียดมากขึ้นยังสามารถเปลี่ยนแปลงได้ไม่ยากเนื่องจากมีไอซีที่สามารถทดแทนได้ในทันที แต่ข้อเสียของไอซีเบอร์นี้ คือ เอาต์พุตที่ได้เป็นกระแส ซึ่งจะตรงไม่สามารถนำมาใช้งานได้โดยตรงทันทีในวงจรจึงต้องมีวงจรที่ทำหน้าที่แปลงสัญญาณให้เป็นแรงดันก่อนนำไปใช้งานโดยใช้ LM 358 เป็นตัวแปลงสัญญาณอีกครั้งหนึ่ง และเนื่องจากได้ออกแบบวงจรมาเพื่อมีเอาต์พุตอนาลอกจำนวน 16 ช่องสัญญาณ แต่เอาต์พุตที่เราได้มาจากวงจรนี้มีเพียง 1 ช่องสัญญาณจึงต้องมีการใช้วงจรมัลติเพล็กเซอร์เพื่อให้ได้เอาต์พุตตามที่เราต้องการโดยที่ไม่จำเป็นต้องใช้ DAC 0832 เป็นจำนวน 16 วงจร โดยมัลติเพล็กเซอร์ที่ใช้ในโครงงานนี้ เราใช้ไอซีเบอร์ MC 14067 B ซึ่งเป็นไอซีของบริษัท Motorola เป็นอนาลอกมัลติเพล็กเซอร์ขนาด 16 ช่องสัญญาณ ลักษณะวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกและมัลติเพล็กเซอร์ดังแสดงในรูปที่ 5.3



รูปที่ 5.3 วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกและมัลติเพล็กเซอร์

แต่อนาลอกมัลติเพล็กเซอร์เบอร์นี้ไม่มีวงจรที่สามารถคงค่าเอาต์พุตไว้ได้เราจึงต้องสร้างวงจรที่ใช้สำหรับคงค่าเอาต์พุตอนาลอกนี้ (Hold) โดยใช้ไอซีออปแอมป์เบอร์ LM324 และ C 0.1μF สร้างวงจรคงค่าเอาต์พุตขึ้นมาซึ่งจะส่งไปยังส่วนของวงจร Signal conditioner ต่อไป ลักษณะวงจรคงค่าเอาต์พุตดังแสดงในรูปที่ 5.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

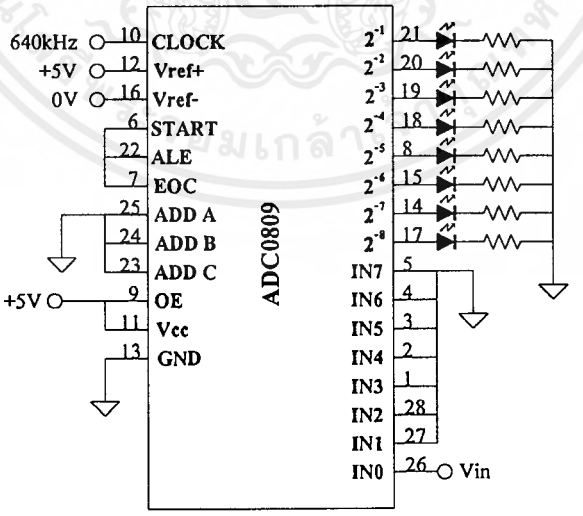


รูปที่ 5.4 วงจรคงค่า (Hold) เอาต์พุต

5.3.2 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล

การทำงานของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล เมื่อวงจรรับสัญญาณอนาลอก 8 ช่องสัญญาณจากวงจร Signal conditioner ไอซี ADC 0809 จะมีหน้าที่มัลติเพล็กสัญญาณก่อนการแปลงสัญญาณเป็นดิจิตอลเพื่อส่งผ่านไปยังบัฟเฟอร์ (74LS245) เพื่อส่งเข้าการ์ดพอร์ต 8255 เพื่อให้คอมพิวเตอร์ประมวลผลต่อไป

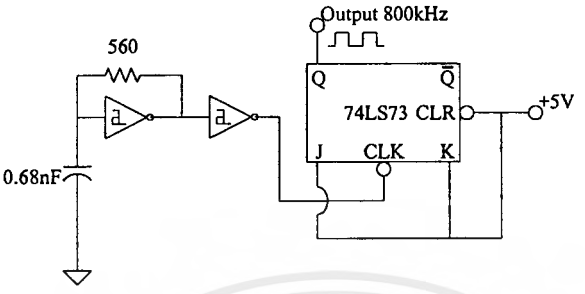
วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลในโครงงานนี้ใช้ไอซี ADC 0809 ของบริษัท National เนื่องจากเป็นไอซีที่มีความสามารถตรงตามที่เราได้ออกแบบไว้คือสามารถรับอินพุตได้ 8 ช่องสัญญาณคือมีตัวอนาลอกมัลติเพล็กเซอร์ภายในตัวและเป็นไอซีที่มีมาตรฐานการทำงานดีคือมีค่าความผิดพลาดอยู่ในระดับที่เรายอมรับได้ ลักษณะวงจรใช้งานของ ADC ดังแสดงในรูปที่ 5.5



รูปที่ 5.5 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่การใช้งาน ADC 0809 จะมีส่วนที่ยุ่งยากเล็กน้อยคือ ADC 0809 ไม่มีวงจรสร้างสัญญาณความถี่ขึ้นในตัวดังนั้นเราจึงต้องสร้างวงจรกำเนิดสัญญาณขึ้นมาโดยใช้ Schmitt Trigger Inverter ซึ่งประกอบด้วยไอซี 74LS14 (Schmitt Trigger Inverter) ร่วมกับไอซี 74LS73 (วงจรหารสอง) สร้างสัญญาณพัลซ์ความถี่ 640 kHz ให้กับวงจร ADC 0809



รูปที่ 5.6 วงจร Schmitt Trigger Inverter

5.3.3 วงจรควบคุมในลักษณะ ON-OFF

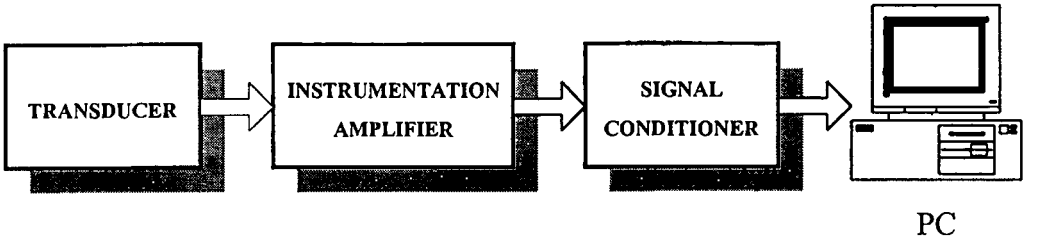
การควบคุมในลักษณะ ON-OFF ทำโดยรับส่งข้อมูลในลักษณะของดิจิตอลและนำไปใช้ในลักษณะของดิจิตอลในทันทีโดยการควบคุมโดยคอมพิวเตอร์ซึ่งการควบคุมในลักษณะนี้จะพบได้ในกระบวนการต่าง ๆ มากมายเช่น PLC (Programmable Logic Control)

ในโครงงานส่วนนี้ใช้ไอซี 8255 ซึ่งเป็นพอร์ตเอนกประสงค์ซึ่งได้อธิบายมาแล้วโดยจะใช้ในโหมด 0 กำหนดให้เป็นเอาต์พุต 12 บิต อินพุต 12 บิต โดยให้โดยจะให้พอร์ตใดทำหน้าที่ใดขึ้นอยู่กับการกำหนดคำสั่งควบคุมซึ่งทำให้การใช้งานง่ายมีความยืดหยุ่นสูงทำให้สามารถใช้งานได้หลากหลาย สามารถควบคุมได้ในหลาย ๆ จุดพร้อมกัน

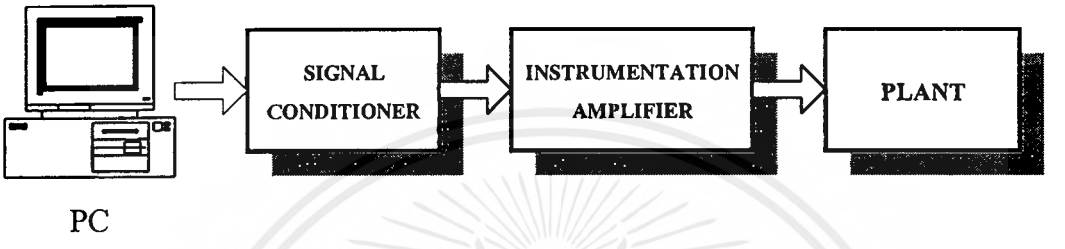
5.4 Signal conditioner

เป็นการนำเอาวงจร Instrumentation Amplifier มาใช้งานนั้นก็เพื่อทำการขยายแรงดันไฟฟ้าที่ได้จากอุปกรณ์ตรวจจับ ซึ่งมีค่าต่ำมากๆให้มีค่าสูงขึ้น ในส่วนของวงจร Signal Conditioner ก็เพื่อทำการปรับค่าระดับของแรงดันไฟฟ้าให้อยู่ในระดับ 0-5 V (สภาวะลอจิก 0 และ 1) การทำให้อยู่ในระดับ 0-5 V ก็เพราะคอมพิวเตอร์หรือไมโครคอนโทรลเลอร์จะสามารถรับรู้สภาวะการทำงานได้นั่นเอง หรือการเปลี่ยนแปลงสัญญาณแรงดันไฟฟ้าเป็นกระแสไฟฟ้า ในทางกลับกันก็อาจเป็นการแปลงสัญญาณกระแสไฟฟ้าเป็นแรงดันไฟฟ้า ซึ่งล้วนเป็นหน้าที่ในส่วนของ Signal Conditioner ทั้งสิ้น ดังรูปที่ 5.7 (ก) , (ข) กล่าวโดยสรุป Signal Condition คือการปรับแปลงสัญญาณเพื่อให้เหมาะสมกับสภาวะการใช้งาน การออกแบบวงจรในส่วนนี้ จะอาศัยการประยุกต์ใช้สมการเส้นตรง ซึ่งจะกล่าวในลำดับต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

รูปที่ 5.7 (ก) การใช้ Signal Conditioner (Inputt)

(ข) การใช้ Signal Conditioner (Output)

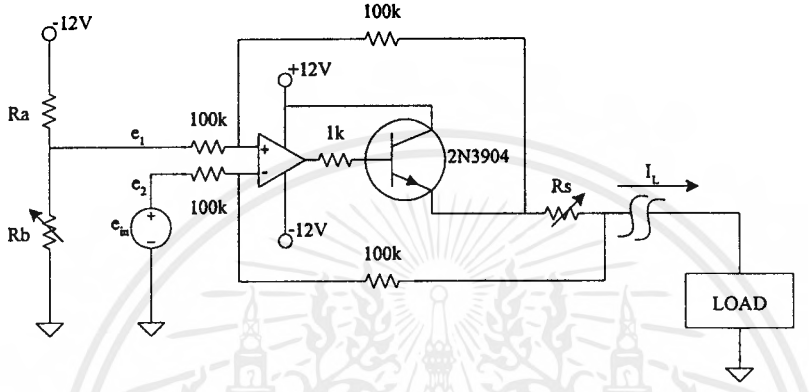
อุปกรณ์ที่มีบนบอร์ด

1. IC#LM358 8 ตัว
2. Resister timpot 500 kΩ 20 ตัว
3. Resister timpot 250 kΩ 4 ตัว
4. Resister 1 % 250 Ω 4 ตัว
5. Resister 1 % 50 kΩ 4 ตัว
6. Resister 1 % 10 kΩ 4 ตัว
7. Resister 1 % 100 kΩ 36 ตัว
8. Resister 1 % 3.3 kΩ 8 ตัว
9. Resister 1% 1 kΩ 8 ตัว
10. Transister 2N3904 8 ตัว
11. Dip Switch 8 จุด 1 ตัว
13. Connector

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4.1 วงจรแปลงสัญญาณแรงดันเป็นกระแส

วงจรแปลงแรงดันเป็นกระแสจำนวน 8 วงจรเพื่อใช้ในการส่งเอาต์พุตของการแปลงสัญญาณดิจิตอลเป็นอนาลอกเพื่อใช้กับอุปกรณ์ที่ทำงานในรูปของกระแส ซึ่งวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกให้เอาต์พุตที่เป็นระดับแรงดัน 0-5 โวลต์ แต่ในการใช้งานจริงบางครั้งเราต้องการเอาต์พุตที่อยู่ในรูปของกระแสเพื่อใช้ในการควบคุม จึงจำเป็นต้องใช้วงจรแปลงสัญญาณแรงดันเป็นกระแส ทำการแปลงระดับแรงดัน 0 ถึง 5 โวลต์ ให้เป็นกระแส 4 ถึง 20 มิลลิแอมป์ดังวงจรรูปที่ 5.8



รูปที่ 5.8 วงจรแปลงแรงดันเป็นกระแส

จากวงจรจะได้ว่า

$$I_L R_S = e_{in} - e_1$$

ดังนั้นจะได้ $R_S = 312.5\ \Omega$ และ $e_1 = -1.25$ V

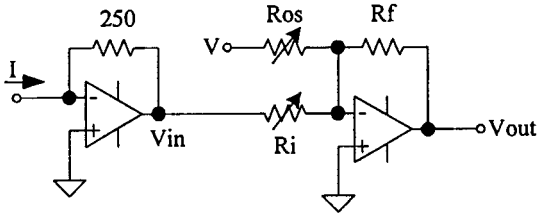
และได้ $R_a = 3.3\ k\Omega$ และ $R_b = 383.72\ \Omega$

R_s ใช้ปรับค่า Span R_b ใช้ปรับ Zero

5.4.2 วงจรแปลงสัญญาณกระแสเป็นแรงดัน

ในโครงงานนี้ประกอบด้วยวงจรแปลงกระแสเป็นแรงดันจำนวน 4 วงจรเพื่อใช้ในการรับอินพุตจากอุปกรณ์ภายนอกที่ส่งออกมาในรูปของกระแส เพื่อเปลี่ยนเป็นแรงดันก่อนการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลเนื่องจากวงจร ADC ทำงานที่ระดับโวลต์ 0-5 โวลต์ เนื่องจากบางครั้งอุปกรณ์ภายนอก เช่น ทรานซ์ดิวเซอร์ (Transducer) หรือเซ็นเซอร์ (Sensor) ส่งสัญญาณออกมาในรูปของกระแส 4-20 มิลลิแอมป์ จึงต้องทำการแปลงกระแส 4-20 มิลลิแอมป์ ให้เป็นแรงดัน 0-5 โวลต์ ดังแสดงในรูปที่ 5.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.9 แสดงวงจรแปลงกระแสเป็นแรงดัน

จากวงจรวิเคราะห์ได้ดังนี้

$$V_{in} = -I(250)$$

เพราะฉะนั้นเมื่อแทน I = 4 ถึง 20 mA

จะได้ V_{in} อยู่ในช่วง –1 V ถึง –5 V จากสมการ

$$V_{out} = -\left(\frac{R_f}{R_I}\right)V_{in} - \left(\frac{R_f}{R_{os}}\right)V = mV_{in} + b$$

โดย m คือ ความชัน

b คือ จุดตัดแกน y

$$m = \frac{V_{out}}{V_{in}} = \frac{(5-0)}{(-5-(-1))} = -1.25$$

ดังนั้นเราเลือก R_f = 50 kΩ

$$m = -\frac{R_f}{R_I}$$

จะได้ R_I = 40 kΩ

ที่ V_{in} = -1 V

จะได้ V_{out} = 0 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นจะได้ b = -1.25

$$b = -\left(\frac{R_f}{R_{os}}\right)V$$

กำหนด V = +12 V

จะได้ R_{os} = 480 kΩ

5.5 วงจร Power Supply

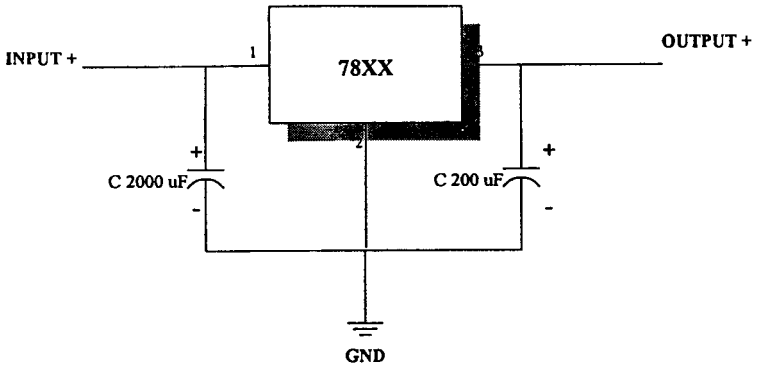
ในส่วนนี้ใช้เป็นส่วนจ่ายไฟให้กับวงจรทั้งหมดโดยจะรับไฟ 220 โวลต์ กระแสสลับ (AC) ผ่านหม้อแปลงและวงจรเร็กติไฟร์(วงจรบริดไดโอด) เพื่อแปลงให้เป็นกระแสตรง (DC) จากนั้นนำมาผ่านวงจรเร็กกูเลเตอร์เพื่อให้ระดับแรงดันตามที่ต้องการ

อุปกรณ์

1.	หม้อแปลงระดับแรงดัน 220 AC	1 ตัว
2.	2. IC#7805	1 ตัว
3.	IC#7812	1 ตัว
4.	IC#7912	1 ตัว
5.	Capacitor 2000 μF	3 ตัว
6.	Capacitor 10 μF	2 ตัว
6.	Capacitor tantalum 0.1 μF	6 ตัว
7.	Bridge rectifier	2 ตัว

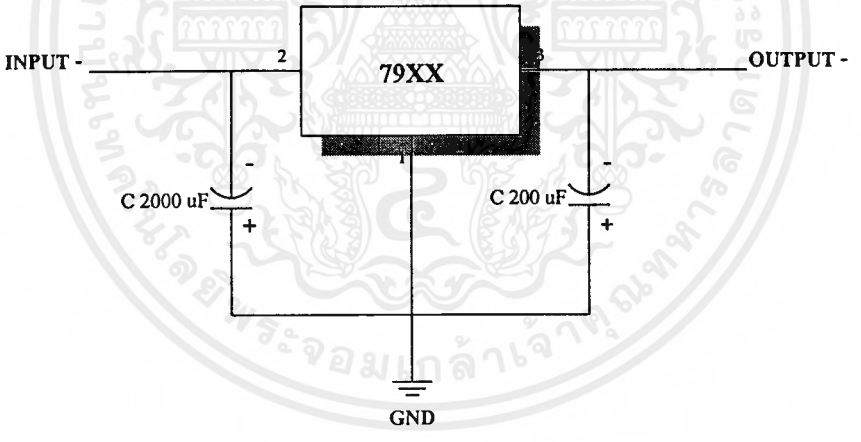
ในโครงงานนี้ใช้ไอซีตระกูล 78XX เพื่อสร้างระดับแรงดันด้านบวกโดยที่ XX หมายถึงระดับแรงดันที่ต้องการ เช่น ถ้าเป็น 7805 หมายถึงถ้าจ่ายโวลต์ให้เร็กกูเลเตอร์ในช่วง 6-12 โวลต์เร็กกูเลเตอร์จะสร้างระดับแรงดันให้ 5 โวลต์เสมอ ตัวอย่างวงจรใช้งานดังรูปที่ 5.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.10 ไฟเลี้ยงด้านบวก

แต่ถ้าต้องการระดับแรงดันในด้านลบจะใช้ไอซีเร็กกูเลเตอร์ตระกูล 79XX โดยลักษณะการทำงานจะเหมือนกับตระกูล 78XX แต่ระดับแรงดันที่จ่ายให้กับเร็กกูเลเตอร์ต้องเป็นไฟลบเท่านั้นตัวอย่างวงจรใช้งานดังรูปที่ 5.11



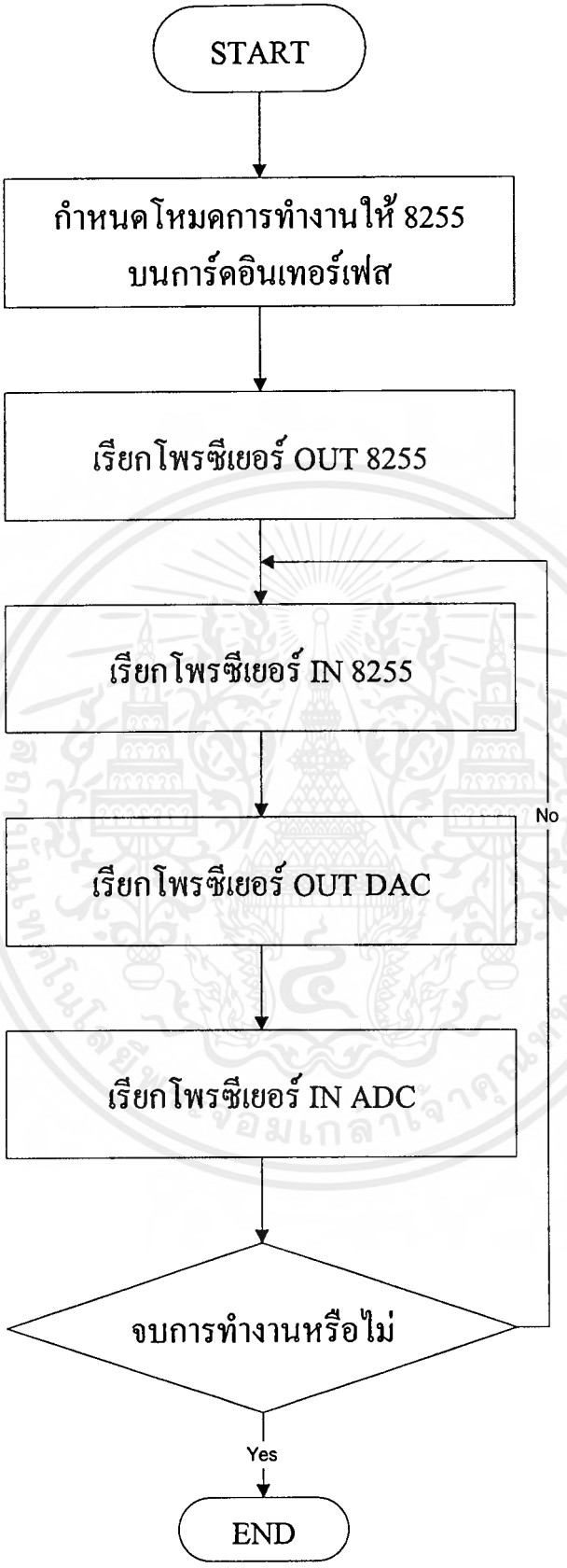
รูปที่ 5.11 ไฟเลี้ยงด้านลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
การออกแบบซอฟท์แวร์

ในการควบคุมการทำงานของคอมพิวเตอร์นั้น จะต้องใช้โปรแกรมในการควบคุมการทำงานของเครื่อง ซึ่งเราสามารถใช้โปรแกรมต่างๆได้หลายรูปแบบ เช่น ภาษาซี ภาษาเบสิค ภาษาแอสเซมบลี้ เป็นต้น ในโครงงานนี้จะใช้โปรแกรมภาษาปาสคาล ซึ่งเป็นภาษาที่เข้าใจง่าย และใช้งานสะดวก การทำงานของโปรแกรมเป็นไปตามโฟล์วชาร์ท ดังต่อไปนี้

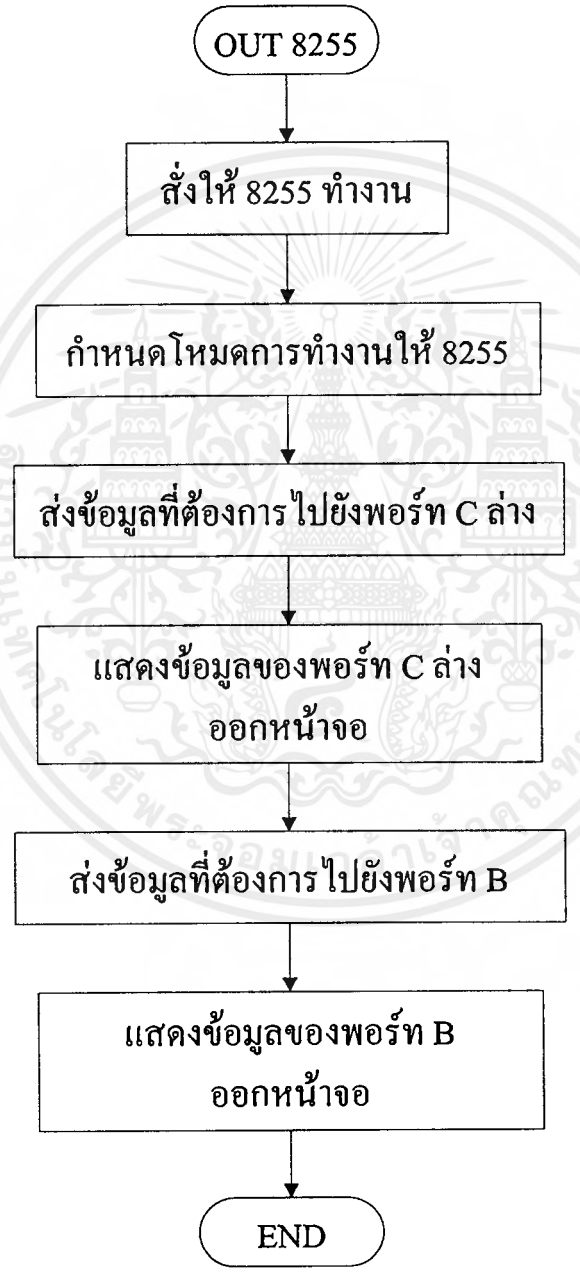
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.1 โฟล์วชาร์ทแสดงการทำงานของโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

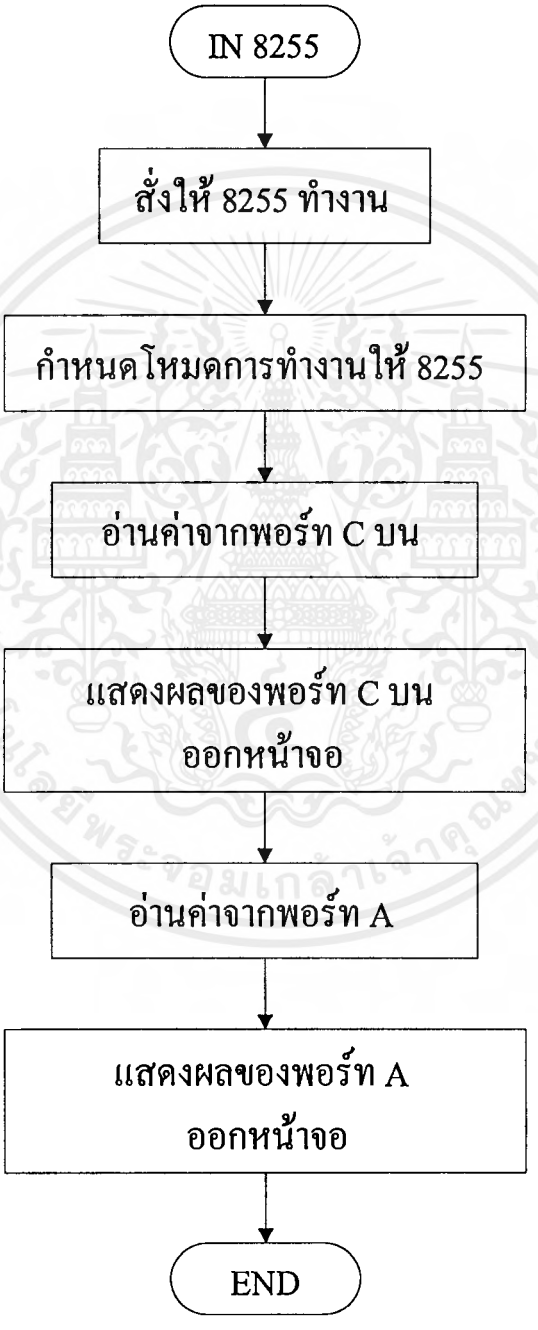
เนื่องจากสัญญาณอินพุทท์จากอุปกรณ์ตรวจวัดต่างๆ ทั้งที่เป็นสัญญาณดิจิตอลและอนาลอกนั้นอาจมีการเปลี่ยนแปลงได้ตลอดเวลา เราจึงต้องรับสัญญาณนั้นเข้ามาตลอดเวลา เพื่อให้ได้ข้อมูลที่ทันสมัยตลอดเวลา(update) ส่วนการส่งสัญญาณอนาลอกออกไปใช้งานนั้น ตัวDACจะคงค่าข้อมูลได้ช่วงหนึ่งเท่านั้น เราจึงต้องเขียนโปรแกรมแบบวนลูปตลอดเวลา ดังรูปที่6.1 ส่วนเอาท์พุทท์ดิจิตอลที่ส่งโดย 8255 นั้นสามารถคงค่าข้อมูลได้ตลอดเวลาจนกว่าจะต้องการส่งข้อมูลใหม่ออกไป



รูปที่ 6.2 โฟล์วชาร์ทแสดงโพรซีเยอร์ OUT 8255

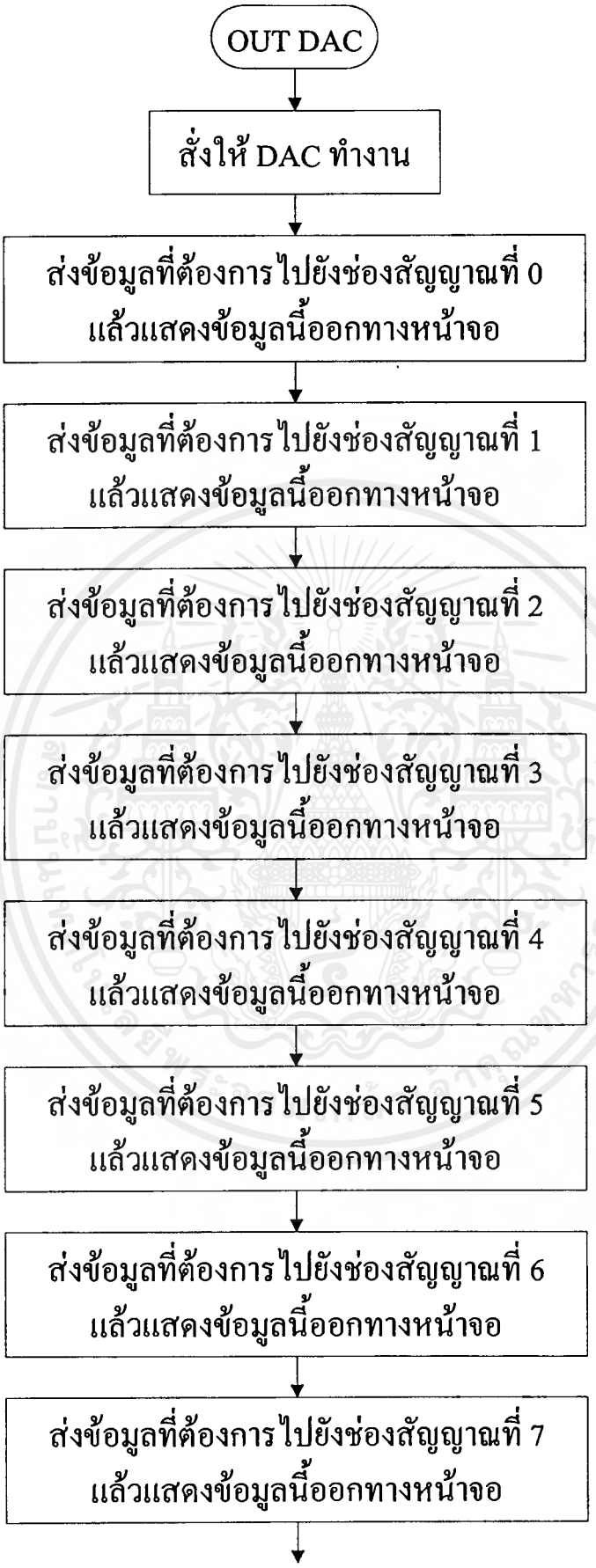
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 6.2 จะเห็นว่าเริ่มแรกเราต้องเลือกว่าจะติดต่อกับ 8255 ซึ่งเป็นการสั่งให้ 8255 ทำงาน เนื่องจากในโครงงานนี้มีไอซีที่ใช้ติดต่อสื่อสารและรับส่งข้อมูลอยู่ 3 ตัวด้วยกัน คือ 8255 DAC และ ADC ดังนั้นเราจึงต้องเลือกว่าขณะนี้เราต้องการติดต่อกับชิพตัวใด ดังจะเห็นได้จากตอนต้นของโพรซีเยอร์ทุกโพรซีเยอร์ที่ใช้รับส่งข้อมูลนั่นเอง ส่วนการเข้าถึงพอร์ทของ 8255 นั้น สามารถเข้าถึงได้ทีละพอร์ท ดังรูปที่6.2 และ 6.3



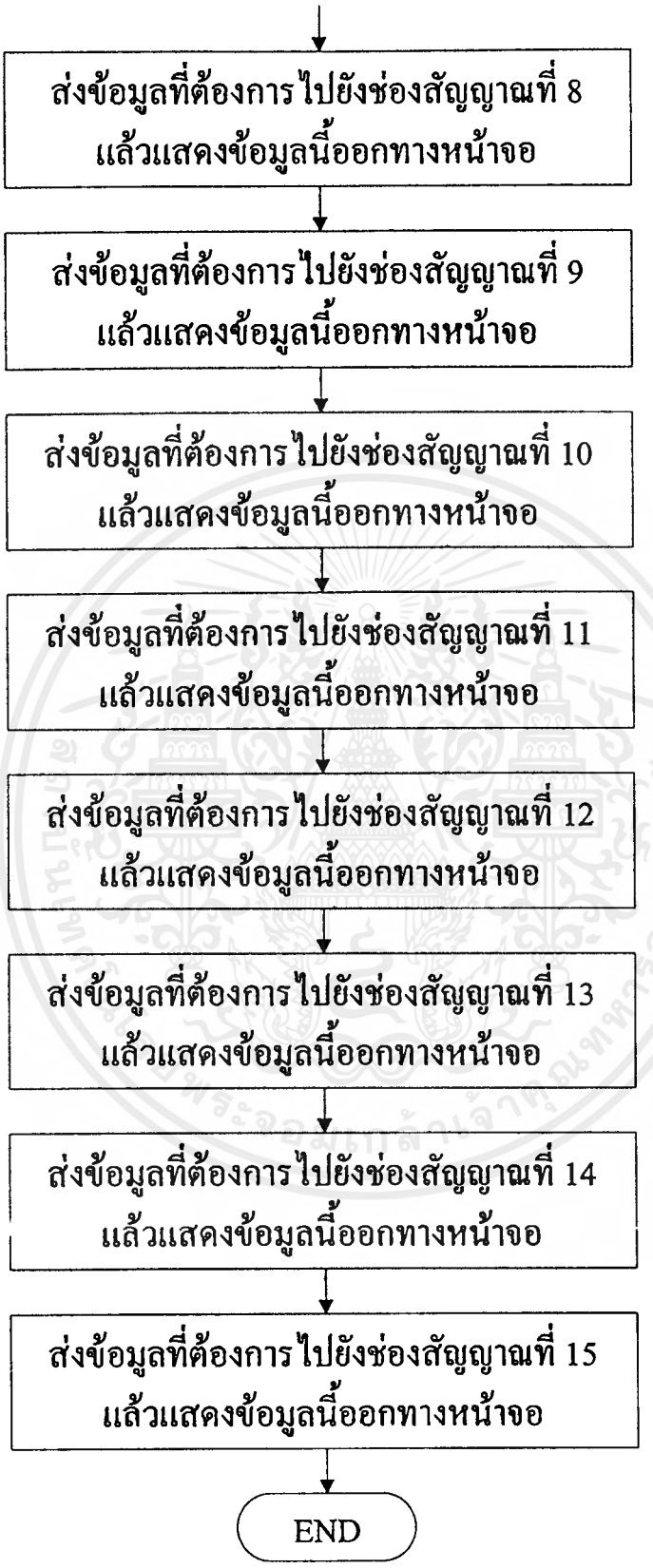
รูปที่ 6.3 โฟล์วชาร์ทแสดงโพรซีเยอร์ IN 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



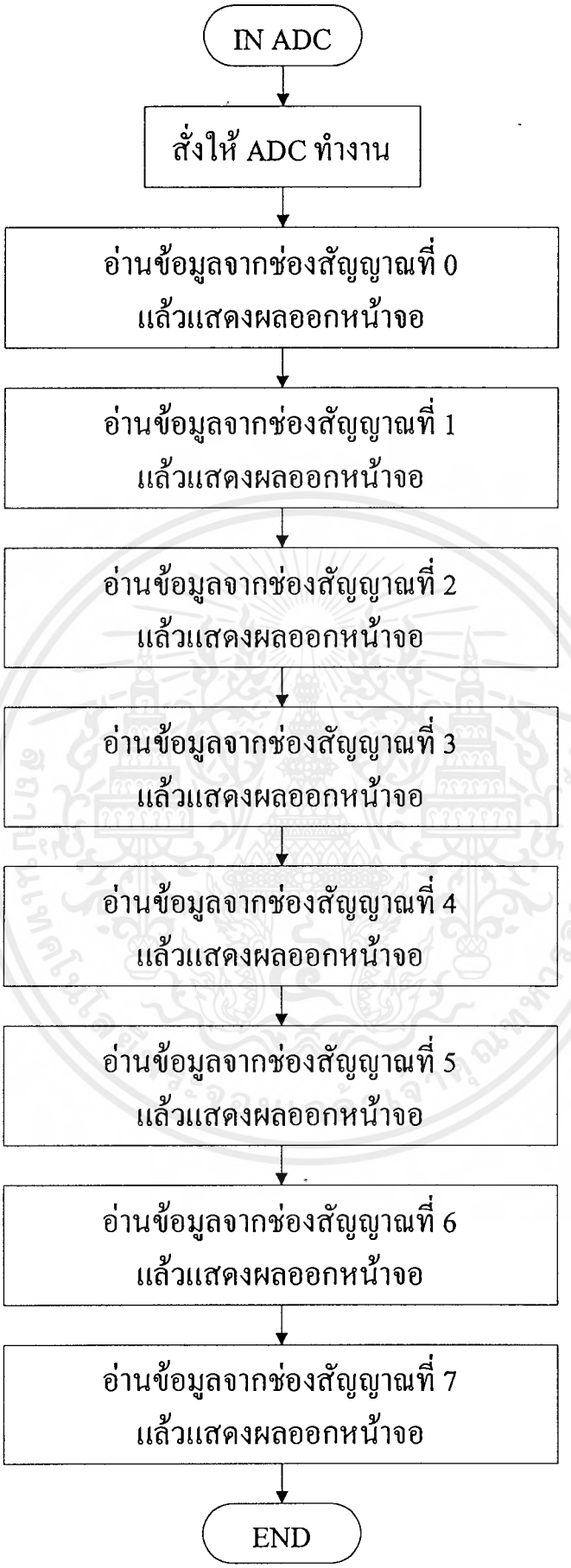
รูปที่ 6.4 โฟลว์ชาร์ทแสดงโพรซีเยอร์ Out DAC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.4 (ต่อ) โฟล์วชาร์ทแสดงโพรซีเยอร์ OUT DAC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.5 โฟล์วชาร์ทแสดงโพรซีเยอร์ IN ADC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 6.4 และ 6.5 มีหลักการทำงานคล้ายกัน กล่าวคือ สั่งให้ชิพตัวนั้นทำงาน แล้วจึงรับหรือส่งข้อมูลทีละช่องสัญญาณพร้อมทั้งแสดงข้อมูลนั้นออกทางหน้าจอจนครบทุกช่องสัญญาณ

โครงงานนี้ใช้โปรแกรมภาษาปาสคาลในการติต่อกับผู้ใช้ ซึ่งผู้อ่านสามารถพัฒนาโปรแกรมให้เป็นแบบกราฟฟิกต่อไปได้ เพื่อความสะดวกในการติดต่อกับผู้ใช้มากขึ้น โดยอาจจะนำหลักการไปพัฒนาโดยใช้โปรแกรมเดลไฟล์หรือโปรแกรมอื่นๆก็ได้ตามความเหมาะสม ส่วนตัวโปรแกรมนั้นสามารถดูได้จากภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7
วิจารณ์และสรุปผล

7.1 ผลการทดลอง

สำหรับวงจรนี้เราใช้วงจรรวม (IC) เบอร์ DAC0832 ซึ่งจะทำการแปลงสัญญาณดิจิตอล 8 บิทให้เป็นสัญญาณอนาลอก 1 ช่องสัญญาณ กล่าวคือแปลงข้อมูลดิจิตอล 0 ถึง 255 ให้เป็นสัญญาณอนาลอกที่เป็นแรงดัน 0 ถึง 5 V โดยการทดลองทำการป้อนลอจิกต่าง ๆ เข้าใน DAC 0832 แล้ววัดเอาต์พุตโวลท์เตจจากดิจิตอลมิเตอร์ ซึ่งให้ผลการทดลองดังตารางที่ 7.1

Input Digital (D_7-D_0)	Output voltage (จากการวัด)	Output voltage (จากการคำนวณ)	% ค่าผิดพลาด (%)
00000000	0.02	0.000	+0.02
00001111	0.30	0.295	+1.69
00011110	0.58	0.591	-1.86
00101101	0.87	0.886	-1.80
00111100	1.16	1.181	-1.77
01001011	1.48	1.477	+0.20
01011010	1.76	1.772	-0.67
01101001	2.06	2.067	-0.33
01111000	2.34	2.363	-0.97
10000111	2.65	2.658	-0.30
10010110	2.95	2.953	-0.10
10100101	3.26	3.248	+0.36
10110100	3.54	3.544	-0.11
11000011	3.84	3.839	+0.02
11010010	4.13	4.134	-0.09
11100001	4.43	4.430	0.00
11110000	4.71	4.725	-0.31
11111111	5.00	5.020	-0.39

ตารางที่ 7.1 ผลการทดลองวงจร DAC 0832

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากผลการทดลองที่ได้จะเห็นว่า DAC 0832 มีค่าความผิดพลาดน้อยกว่า 2 เปอร์เซ็นต์ ซึ่งเป็นที่ยอมรับได้ ค่าผิดพลาดที่พบนี้อาจเกิดขึ้นน้อยกว่านี้ถ้าเครื่องมือวัดมีคุณภาพและมีความแม่นยำมากกว่านี้

สำหรับวงจร ADC 0809 เป็นไอซีแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด 8 บิต และมีมัลติเพล็กเซอร์ภายในตัวขนาด 8 ช่องสัญญาณซึ่งได้ทำการทดลองโดยการป้อนระดับแรงดันต่าง ๆ เข้าในตัวอุปกรณ์และวัดสัญญาณเอาต์พุตดิจิตอลโดยใช้ LED บอกสถานะผลการทดลองดังตารางที่ 7.2

Input voltage (V)	ผลการทดลอง	ค่าจากการคำนวณ	% ค่าผิดพลาด (%)
0	00000000	00000000	0
0.33	00010010	00010001	5.88
0.66	00100011	00100010	2.94
0.99	00110110	00110011	5.88
1.32	01000111	01000100	4.41
1.65	01010111	01010101	2.35
1.98	01100111	01100110	0.98
2.31	01111111	01110111	6.72
2.64	10001000	10001000	0
2.97	10011001	10011001	0
3.3	10101010	10101010	0
3.63	10111111	10111011	2.13
3.96	11001100	11001100	0
4.29	11011101	11011101	0
4.62	11101111	11101110	0.42
4.95	11111111	11111111	0

ตารางที่ 7.2 ผลการทดลองวงจร ADC 0809

จากผลการทดลองพบว่า ADC 0809 มีค่าความผิดพลาดมาจาก LED ที่แสดงผลซึ่งค่าที่สังเกตุได้ไม่ชัดเจนแต่เมื่อนำมาทดสอบกับการแสดงผลที่หน้าจอคอมพิวเตอร์ให้ผลเป็นที่น่าพอใจ

ในส่วนของวงจร Signal conditioner ประกอบไปด้วยวงจรแปลงกระแสเป็นแรงดันและวงจรแปลงแรงดันเป็นกระแสซึ่งวงจรใช้งานได้แสดงไว้แล้วในบทที่ 5 ต่อไปจะแสดงถึงผลการทดลองของวงจรทั้งสองซึ่งวงจรแปลงแรงดันเป็นกระแสได้ผลการทดลองดังตารางที่ 7.3 และวงจรแปลงกระแสเป็นแรงดันดังตารางที่ 7.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input voltage (V)	Output current (mA) (จากการวัด)	Output current (mA) (จากการคำนวน)	ค่าผิดพลาด (%)
0.04	4.10	4.13	-0.67
0.50	5.60	5.60	0
1.00	7.20	7.20	0
1.50	8.80	8.80	0
2.00	10.40	10.40	0
2.50	12.00	12.00	0
3.00	13.70	13.60	0.73
3.50	15.30	15.20	0.65
4.00	16.90	16.80	0.59
4.50	18.60	18.40	0.01
5.00	20.20	20.00	0.01

ตารางที่ 7.3 ผลการทดลองวงจรแปลงแรงดันเป็นกระแส

Input current (mA)	Output voltage (V) (จากการวัด)	Output voltage (V) (จากการคำนวน)	ค่าผิดพลาด (%)
4	0.01	0	0.01
6	0.63	0.63	0
8	1.25	1.25	0
10	1.88	1.88	0
12	2.51	2.50	0.4
14	3.13	3.13	0
16	3.75	3.75	0
18	4.38	4.38	0
20	5.01	5	0.2

ตารางที่ 7.4 ผลการทดลองวงจรแปลงกระแสเป็นแรงดัน

จากผลการทดลองวงจร Signal condition ทั้งสองวงจรให้ผลเป็นที่น่าพอใจมีค่าความผิดพลาดในระดับที่ต่ำมากแต่ในซึ่งอาจเกิดจากค่าความผิดพลาดจากตัวต้านทานและสภาวะสิ่งแวดล้อมที่ทำการทดสอบเช่น อุณหภูมิ เครื่องมือวัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.2 บทสรุปและวิจารณ์

โครงงานบอร์ดเชื่อมต่อข้อมูลสำหรับงานระบบควบคุม ได้ศึกษาและทำการทดลอง โดยแบ่งเป็นสองส่วน คือ ส่วนของฮาร์ดแวร์ และส่วนของซอฟท์แวร์

-ฮาร์แวร์ประกอบด้วยส่วนต่างๆดังนี้

1 ส่วนติดต่อกับคอมพิวเตอร์ (การ์ด 8255)

2 ส่วนแปลงสัญญาณ (การ์ด A/D , D/A)

3 ส่วนปรับปรุงสัญญาณ (Signal Conditioner)

-ซอฟท์แวร์ ใช้ภาษาปาสคาลในการควบคุม

ปัญหาที่พบจากโครงงานนี้คือ

แผ่นวงจรพิมพ์ทั้งสองแผ่นยังไม่สมบูรณ์นัก ผู้จัดทำต้องแก้ไขโดยการเชื่อมสายเอง แต่ก็มีข้อผิดพลาดไม่มากนัก

ส่วนของโปรแกรม เนื่องจากความสามารถของภาษาปาสคาลในการติดต่อกับผู้ใช้นั้น ยังมีความเร็วจำกัด จึงไม่เหมาะกับงานควบคุมที่ต้องใช้ความเร็วมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

[1] Willis J. Tompkins and John G. Webster (1988) : "INERFACING SENSOR TO THE IBM PC" ,Second edition, PRENTICE HALL, NEW JERSEY, 1988

[2] KATSUHIKO OGATA (1995) : "DISCCRETE-TIME CONTROL SYSTEM" ,Second edition, PRENTICE HALL, NEW JERSEY, 1995

[3] นุกูล กระจาย "การเขียนโปรแกรมและประมวลผลข้อมูลด้วยเทอร์โบปาสคาล" บริษัท เอช. เอ็น. กรุ๊ป จำกัด พ.ศ. 2537

[4] ยืน ภู่วรวรรณ "เทคโนโลยีฮาร์ดแวร์ไอบีเอ็มพีซี" บริษัท ซีเอ็ดยูเคชั่น จำกัด พ.ศ. 2533

[5] สุเธียร เกียรติสุนทร "พื้นฐานวิศวกรรมระบบควบคุมในกระบวนการอุตสาหกรรม" สมาคมส่งเสริมเทคโนโลยี (ไทย-ญี่ปุ่น)

[6] สุรพงษ์ เอิมอุทัย และ เอกรินทร์ สีหมอก "การใช้อินเตอร์เฟสการ์ดเชื่อมการทำงาน PC กับ LINEAR IC LAB" สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ พ.ศ. 2539

[7] ไพโรจน์ อิ่มมาก อิศเรศ สมณะ "การเชื่อมโยงแผ่นแปลงสัญญาณอนาลเป็นดิจิตอลและดิจิตอลเป็นอนาลอกกับคอมพิวเตอร์" สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ พ.ศ. 2540

[8] สุนทร วิทูสุรพจน์ "การใช้งานไมโครคอนโทรลเลอร์ ตระกูล 8051" บริษัท ซีเอ็ดยูเคชั่น จำกัด พ.ศ. 2533

[9] วิสันต์ อาชาเดโชพล "คอมพิวเตอร์ขนาดเล็กและการประยุกต์ใช้งาน" PHYSIC CENTER

[10] ธานินทร์ ถาวรศาสนวงศ์ "การอินเตอร์เฟส IBM/PC" PHYSIC CENTER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมทดสอบ Data Acquisition Control System

```
PROGRAM TEST8255;
USES CRT,DOS;
CONST A=2;
   B=1;
   C=12;
   D=25;
   E=40;
   F=55;
   G=70;
VAR
                X : INTEGER;
   V0,V1,V2,V3,V4,V5,V6,V7,V8 : REAL ;
   C0,C1,C2,C3,C4,C5,C6,C7,C8 : REAL ;
   PC_LOW,PB          : INTEGER;

BEGIN
   CLRSCR;
   WRITE('ENTER  VOLTAGE CH0 (0.00-5.00)  : ');
   READLN(V0);

   WRITE('ENTER  VOLTAGE CH1 (0.00-5.00)  : ');
   READLN(V1);

   WRITE('ENTER  VOLTAGE CH2 (0.00-5.00)  : ');
   READLN(V2);

   WRITE('ENTER  VOLTAGE CH3 (0.00-5.00)  : ');
   READLN(V3);

   WRITE('ENTER  VOLTAGE CH4 (0.00-5.00)  : ');
   READLN(V4);

   WRITE('ENTER  VOLTAGE CH5 (0.00-5.00)  : ');
   READLN(V5);

   WRITE('ENTER  VOLTAGE CH6 (0.00-5.00)  : ');
   READLN(V6);

   WRITE('ENTER  VOLTAGE CH7 (0.00-5.00)  : ');
   READLN(V7);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
WRITELN;

WRITE('ENTER  CURRENT CH0 (4.00-20.00)  : ');
READLN(C0);

WRITE('ENTER  CURRENT CH1 (4.00-20.00) : ');
READLN(C1);

WRITE('ENTER  CURRENT CH2 (4.00-20.00) : ');
READLN(C2);

WRITE('ENTER  CURRENT CH3 (4.00-20.00) : ');
READLN(C3);

WRITE('ENTER  CURRENT CH4 (4.00-20.00) : ');
READLN(C4);

WRITE('ENTER  CURRENT CH5 (4.00-20.00) : ');
READLN(C5);

WRITE('ENTER  CURRENT CH6 (4.00-20.00) : ');
READLN(C6);

WRITE('ENTER  CURRENT CH7 (4.00-20.00) : ');
READLN(C7);

WRITELN;

WRITE('ENTER DIGITAL OUTPUT CH7-CH0 IN HEX : ');
READLN(PB);

WRITE('ENTER DIGITAL OUTPUT CH11-CH8 IN HEX : ');
READLN(PC_LOW);

{INITIAL 8255 CARD}

PORT[$303]:=$90;

{SHOW SCREEN}

CLRSCR;
TEXTCOLOR(11);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
GOTOXY(7,A);
WRITE('8255');

TEXTCOLOR(12);
GOTOXY(35,A);
WRITE('DAC');

TEXTCOLOR(14);
GOTOXY(65,A);
WRITE('ADC');

TEXTCOLOR(15);
GOTOXY(1,A+1);
WRITE('═══════════════ ═══════════════════ ═══════════════════');

TEXTCOLOR(10);
GOTOXY(1,A+2);
WRITE('INPUT');

TEXTCOLOR(11);
GOTOXY(12,A+2);
WRITE('OUTPUT');

TEXTCOLOR(10);
GOTOXY(25,A+2);
WRITE('VOLTAGE');

TEXTCOLOR(11);
GOTOXY(40,A+2);
WRITE('CURRENT');

TEXTCOLOR(10);
GOTOXY(55,A+2);
WRITE('VOLTAGE');

TEXTCOLOR(11);
GOTOXY(70,A+2);
WRITE('CURRENT');

TEXTCOLOR(15);
GOTOXY(B,A+4);
WRITE(' B0-');
GOTOXY(B,A+5);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
WRITE(' B1-');
GOTOXY(B,A+6);
WRITE(' B2-');
GOTOXY(B,A+7);
WRITE(' B3-');
GOTOXY(B,A+8);
WRITE(' B4-');
GOTOXY(B,A+9);
WRITE(' B5-');
GOTOXY(B,A+10);
WRITE(' B6-');
GOTOXY(B,A+11);
WRITE(' B7-');
GOTOXY(B,A+12);
WRITE(' B8-');
GOTOXY(B,A+13);
WRITE(' B9-');
GOTOXY(B,A+14);
WRITE('B10-');
GOTOXY(B,A+15);
WRITE('B11-');

GOTOXY(C,A+4);
WRITE(' B0-');
GOTOXY(C,A+5);
WRITE(' B1-');
GOTOXY(C,A+6);
WRITE(' B2-');
GOTOXY(C,A+7);
WRITE(' B3-');
GOTOXY(C,A+8);
WRITE(' B4-');
GOTOXY(C,A+9);
WRITE(' B5-');
GOTOXY(C,A+10);
WRITE(' B6-');
GOTOXY(C,A+11);
WRITE(' B7-');
GOTOXY(C,A+12);
WRITE(' B8-');
GOTOXY(C,A+13);
WRITE(' B9-');
GOTOXY(C,A+14);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
WRITE('B10-');
GOTOXY(C,A+15);
WRITE('B11-');

GOTOXY(D,A+4);
WRITE('CH0-');
GOTOXY(D,A+5);
WRITE('CH1-');
GOTOXY(D,A+6);
WRITE('CH2-');
GOTOXY(D,A+7);
WRITE('CH3-');
GOTOXY(D,A+8);
WRITE('CH4-');
GOTOXY(D,A+9);
WRITE('CH5-');
GOTOXY(D,A+10);
WRITE('CH6-');
GOTOXY(D,A+11);
WRITE('CH7-');

GOTOXY(E,A+4);
WRITE('CH0-');
GOTOXY(E,A+5);
WRITE('CH1-');
GOTOXY(E,A+6);
WRITE('CH2-');
GOTOXY(E,A+7);
WRITE('CH3-');
GOTOXY(E,A+8);
WRITE('CH4-');
GOTOXY(E,A+9);
WRITE('CH5-');
GOTOXY(E,A+10);
WRITE('CH6-');
GOTOXY(E,A+11);
WRITE('CH7-');

GOTOXY(F,A+4);
WRITE('CH0-');
GOTOXY(F,A+5);
WRITE('CH1-');
GOTOXY(F,A+6);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
WRITE('CH2-');
GOTOXY(F,A+7);
WRITE('CH3-');

GOTOXY(G,A+4);
WRITE('CH0-');
GOTOXY(G,A+5);
WRITE('CH1-');
GOTOXY(G,A+6);
WRITE('CH2-');
GOTOXY(G,A+7);
WRITE('CH3-');


{OUT 8255 PORT B,PORT C-LOW }

PORT[$302]:= $1F;       {SELECT 8255 & CONTROL PORT}
PORT[$301]:= $98;       {SEND CONTROL WORD}
PORT[$302]:= $1B;       {SEND 0 TO WRITE CONTROL PORT}
PORT[$302]:= $1F;       {SEND 1 TO WRITE CONTROL PORT}

PORT[$302]:= $1E;       {SELECT PORT C}
PORT[$301]:= PC_LOW;     {SEND DATA}
PORT[$302]:= $1A;       {SEND 0 TO WRITE PORT C}
PORT[$302]:= $1E;       {SEND 1 TO WRITE PORT C}

X:= PORT[$301] AND $01;
   GOTOXY(C+4,A+12);
   IF X= $01 THEN
          BEGIN  TEXTCOLOR (10);
             WRITE('ON ')     END
        ELSE
          BEGIN  TEXTCOLOR (12);
             WRITE ('OFF');  END;


X:= PORT[$301] AND $02;
   GOTOXY(C+4,A+13);
   IF X= $02  THEN
          BEGIN  TEXTCOLOR (10);
             WRITE('ON ')     END
        ELSE
          BEGIN  TEXTCOLOR (12);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                WRITE ('OFF');  END;


X:= PORT[$301] AND $04;
   GOTOXY(C+4,A+14);
   IF X= $04  THEN
          BEGIN  TEXTCOLOR (10);
             WRITE('ON ')    END
        ELSE
          BEGIN  TEXTCOLOR (12);
             WRITE ('OFF');  END;


X:= PORT[$301] AND $08;
   GOTOXY(C+4,A+15);
   IF X= $08  THEN
          BEGIN  TEXTCOLOR (10);
             WRITE('ON ')    END
        ELSE
          BEGIN  TEXTCOLOR (12);
             WRITE ('OFF');  END;


PORT[$302]:= $1D;       {SELECT PORT B}
PORT[$301]:= PB;        {SEND DATA}
PORT[$302]:= $19;       {SEND 0 TO WRITE PORT B}
PORT[$302]:= $1D;       {SEND 1 TO WRITE PORT B}

X:= PORT[$301] AND $01;
   GOTOXY(C+4,A+4);
   IF X= $01  THEN
          BEGIN  TEXTCOLOR (10);
             WRITE('ON ')    END
        ELSE
          BEGIN  TEXTCOLOR (12);
             WRITE ('OFF');  END;


X:= PORT[$301] AND $02;
   GOTOXY(C+4,A+5);
   IF X= $02  THEN
          BEGIN  TEXTCOLOR (10);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                WRITE('ON ')    END
            ELSE
              BEGIN  TEXTCOLOR (12);
                WRITE ('OFF');  END;


X:= PORT[$301] AND $04;
   GOTOXY(C+4,A+6);
   IF X= $04  THEN
            BEGIN  TEXTCOLOR (10);
               WRITE('ON ')    END
         ELSE
            BEGIN  TEXTCOLOR (12);
               WRITE ('OFF');  END;


X:= PORT[$301] AND $08;
   GOTOXY(C+4,A+7);
   IF X= $08  THEN
            BEGIN  TEXTCOLOR (10);
               WRITE('ON ')    END
         ELSE
            BEGIN  TEXTCOLOR (12);
               WRITE ('OFF');  END;


X:= PORT[$301] AND $10;
   GOTOXY(C+4,A+8);
   IF X= $10  THEN
            BEGIN  TEXTCOLOR (10);
               WRITE('ON ')    END
         ELSE
            BEGIN  TEXTCOLOR (12);
               WRITE ('OFF');  END;


X:= PORT[$301] AND $20;
   GOTOXY(C+4,A+9);
   IF X= $20  THEN
            BEGIN  TEXTCOLOR (10);
               WRITE('ON ')    END
         ELSE
            BEGIN  TEXTCOLOR (12);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                WRITE ('OFF');  END;


X:= PORT[$301] AND $40;
   GOTOXY(C+4,A+10);
   IF X= $40  THEN
          BEGIN  TEXTCOLOR (10);
             WRITE('ON ')    END
        ELSE
          BEGIN  TEXTCOLOR (12);
             WRITE ('OFF');  END;


X:= PORT[$301] AND $80;
   GOTOXY(C+4,A+11);
   IF X= $80  THEN
          BEGIN  TEXTCOLOR (10);
             WRITE('ON ')    END
        ELSE
          BEGIN  TEXTCOLOR (12);
             WRITE ('OFF');  END;


{IN 8255 PORT A,PORT C-HIGH}

REPEAT
   PORT[$302]:= $5E;       {SELECT PORT C}
   PORT[$302]:= $56;       {SEND 0 TO READ PORT C}

   X:= PORT[$300] AND $10;
   GOTOXY(B+4,A+12);
   IF X= $10 THEN
          BEGIN  TEXTCOLOR (10);
             WRITE('ON ')    END
        ELSE
          BEGIN  TEXTCOLOR (12);
             WRITE ('OFF');  END;


   X:= PORT[$300] AND $20;
   GOTOXY(B+4,A+13);
   IF X= $20  THEN
          BEGIN  TEXTCOLOR (10);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            WRITE('ON ')    END
        ELSE
          BEGIN  TEXTCOLOR (12);
            WRITE ('OFF');  END;


X:= PORT[$300] AND $40;
GOTOXY(B+4,A+14);
IF X= $40  THEN
          BEGIN  TEXTCOLOR (10);
            WRITE('ON ')    END
        ELSE
          BEGIN  TEXTCOLOR (12);
            WRITE ('OFF');  END;


X:= PORT[$300] AND $80;
GOTOXY(B+4,A+15);
IF X= $80  THEN
          BEGIN  TEXTCOLOR (10);
            WRITE('ON ')    END
        ELSE
          BEGIN  TEXTCOLOR (12);
            WRITE ('OFF');  END;


PORT[$302]:= $5C;       {SELECT PORT A}
PORT[$302]:= $54;       {SEND 0 TO READ PORT A}

X:= PORT[$300] AND $01;
GOTOXY(B+4,A+4);
IF X= $01  THEN
          BEGIN  TEXTCOLOR (10);
            WRITE('ON ')    END
        ELSE
          BEGIN  TEXTCOLOR (12);
            WRITE ('OFF');  END;


X:= PORT[$300] AND $02;
GOTOXY(B+4,A+5);
IF X= $02  THEN
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        BEGIN  TEXTCOLOR (10);
            WRITE('ON ')    END
      ELSE
        BEGIN  TEXTCOLOR (12);
            WRITE ('OFF');  END;


X:= PORT[$300] AND $04;
GOTOXY(B+4,A+6);
IF X= $04  THEN
        BEGIN  TEXTCOLOR (10);
            WRITE('ON ')    END
      ELSE
        BEGIN  TEXTCOLOR (12);
            WRITE ('OFF');  END;


X:= PORT[$300] AND $08;
GOTOXY(B+4,A+7);
IF X= $08  THEN
        BEGIN  TEXTCOLOR (10);
            WRITE('ON ')    END
      ELSE
        BEGIN  TEXTCOLOR (12);
            WRITE ('OFF');  END;


X:= PORT[$300] AND $10;
GOTOXY(B+4,A+8);
IF X= $10  THEN
        BEGIN  TEXTCOLOR (10);
            WRITE('ON ')    END
      ELSE
        BEGIN  TEXTCOLOR (12);
            WRITE ('OFF');  END;


X:= PORT[$300] AND $20;
GOTOXY(B+4,A+9);
IF X= $20  THEN
        BEGIN  TEXTCOLOR (10);
            WRITE('ON ')    END
      ELSE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        BEGIN  TEXTCOLOR (12);
            WRITE ('OFF');  END;


X:= PORT[$300] AND $40;
GOTOXY(B+4,A+10);
IF X= $40  THEN
        BEGIN  TEXTCOLOR (10);
            WRITE('ON ')    END
      ELSE
        BEGIN  TEXTCOLOR (12);
            WRITE ('OFF');  END;


X:= PORT[$300] AND $80;
GOTOXY(B+4,A+11);
IF X= $80  THEN
        BEGIN  TEXTCOLOR (10);
            WRITE('ON ')    END
      ELSE
        BEGIN  TEXTCOLOR (12);
            WRITE ('OFF');  END;


{OUT DAC}

TEXTCOLOR(13);
PORT[$302]:= $08;               {SELECT DAC & CH 8}
PORT[$301]:= ROUND(V0*255/5);     {SEND DATA}
DELAY(1);                   {WAIT FOR CONVERSION OF DAC}
GOTOXY(D+4,A+4);
WRITE(PORT[$301]*5/255:3:2);

PORT[$302]:= $09;               {SELECT DAC & CH 9}
PORT[$301]:= ROUND(V1*255/5);     {SEND DATA}
DELAY(1);                   {WAIT FOR CONVERSION OF DAC}
GOTOXY(D+4,A+5);
WRITE(PORT[$301]*5/255:3:2);

PORT[$302]:= $0A;
PORT[$301]:= ROUND(V2*255/5);
DELAY(1);
GOTOXY(D+4,A+6);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
WRITE(PORT[$301]*5/255:3:2);

PORT[$302]:= $0B;
PORT[$301]:= ROUND(V3*255/5);
DELAY(1);
GOTOXY(D+4,A+7);
WRITE(PORT[$301]*5/255:3:2);

PORT[$302]:= $0C;
PORT[$301]:= ROUND(V4*255/5);
DELAY(1);
GOTOXY(D+4,A+8);
WRITE(PORT[$301]*5/255:3:2);

PORT[$302]:= $0D;
PORT[$301]:= ROUND(V5*255/5);
DELAY(1);
GOTOXY(D+4,A+9);
WRITE(PORT[$301]*5/255:3:2);

PORT[$302]:= $0E;
PORT[$301]:= ROUND(V6*255/5);
DELAY(1);
GOTOXY(D+4,A+10);
WRITE(PORT[$301]*5/255:3:2);

PORT[$302]:=$0F;
PORT[$301]:= ROUND(V7*255/5);
DELAY(1);
GOTOXY(D+4,A+11);
WRITE(PORT[$301]*5/255:3:2);

PORT[$302]:= $00;
PORT[$301]:= ROUND((C0-4)*255/16);
DELAY(1);
GOTOXY(E+4,A+4);
WRITE(PORT[$301]*16/255+4:3:2);

PORT[$302]:= $01;
PORT[$301]:= ROUND((C1-4)*255/16);
DELAY(1);
GOTOXY(E+4,A+5);
WRITE(PORT[$301]*16/255+4:3:2);
```

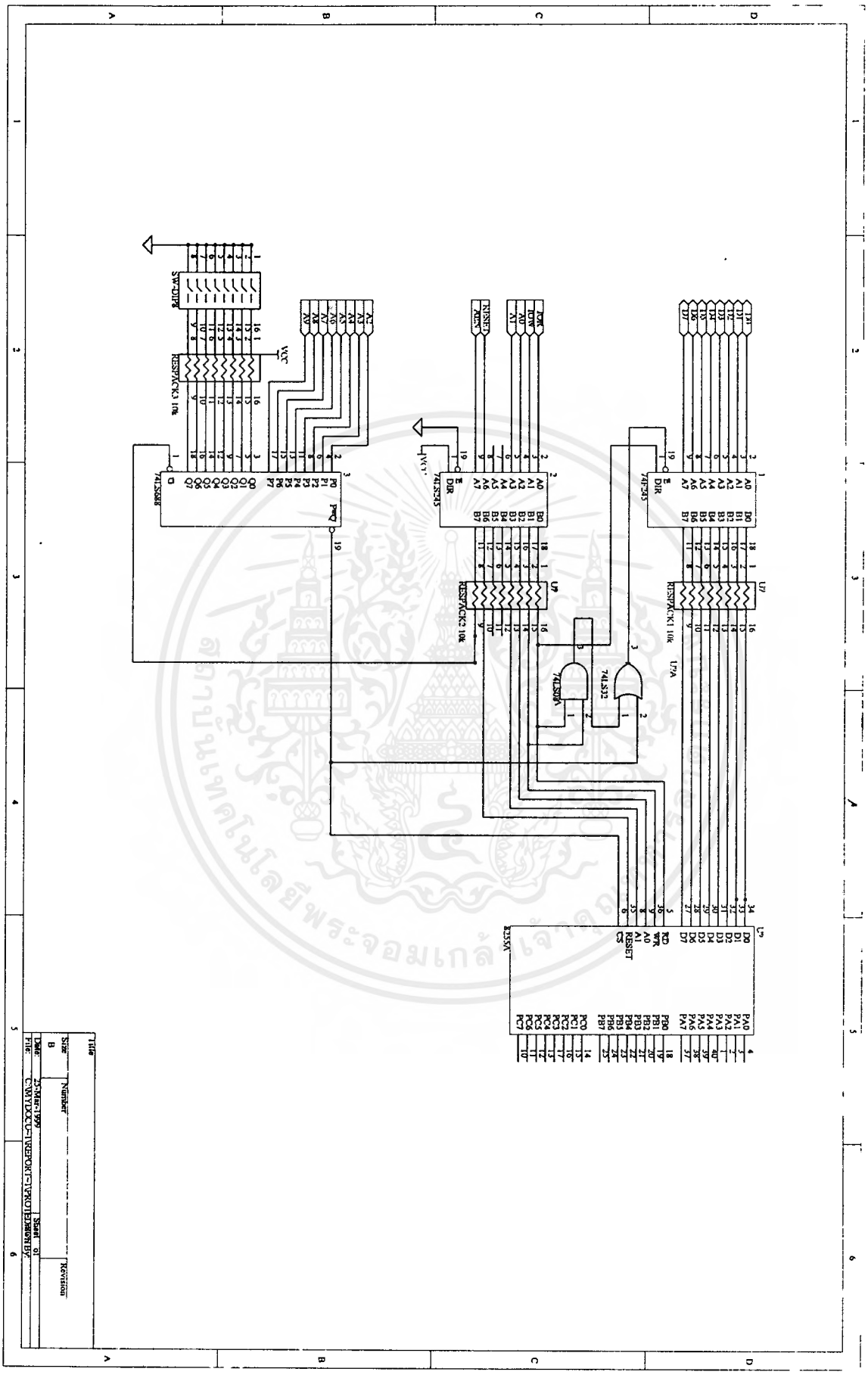
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
PORT[$302]:= $02;
PORT[$301]:= ROUND((C2-4)*255/16);
DELAY(1);
GOTOXY(E+4,A+6);
WRITE(PORT[$301]*16/255+4:3:2);

PORT[$302]:= $03;
PORT[$301]:= ROUND((C3-4)*255/16);
DELAY(1);
GOTOXY(E+4,A+7);
WRITE(PORT[$301]*16/255+4:3:2);

PORT[$302]:= $04;
PORT[$301]:= ROUND((C4-4)*255/16);
DELAY(1);
GOTOXY(E+4,A+8);
WRITE(PORT[$301]*16/255+4:3:2);

PORT[$302]:= $05;
PORT[$301]:= ROUND((C5-4)*255/16);
DELAY(1);
GOTOXY(E+4,A+9);
WRITE(PORT[$301]*16/255+4:3:2);

PORT[$302]:= $06;
PORT[$301]:= ROUND((C6-4)*255/16);
DELAY(1);
GOTOXY(E+4,A+10);
WRITE(PORT[$301]*16/255+4:3:2);

PORT[$302]:= $07;
PORT[$301]:= ROUND((C7-4)*255/16);
DELAY(1);
GOTOXY(E+4,A+11);
WRITE(PORT[$301]*16/255+4:3:2);

{IN ADC}

PORT[$302]:= $64;       {SELECT ADC & CH 4}
DELAY(1);               {WAIT FOR CONVERSION OF ADC}
GOTOXY(F+4,A+4);
WRITE(PORT[$300]*5/255:3:2);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

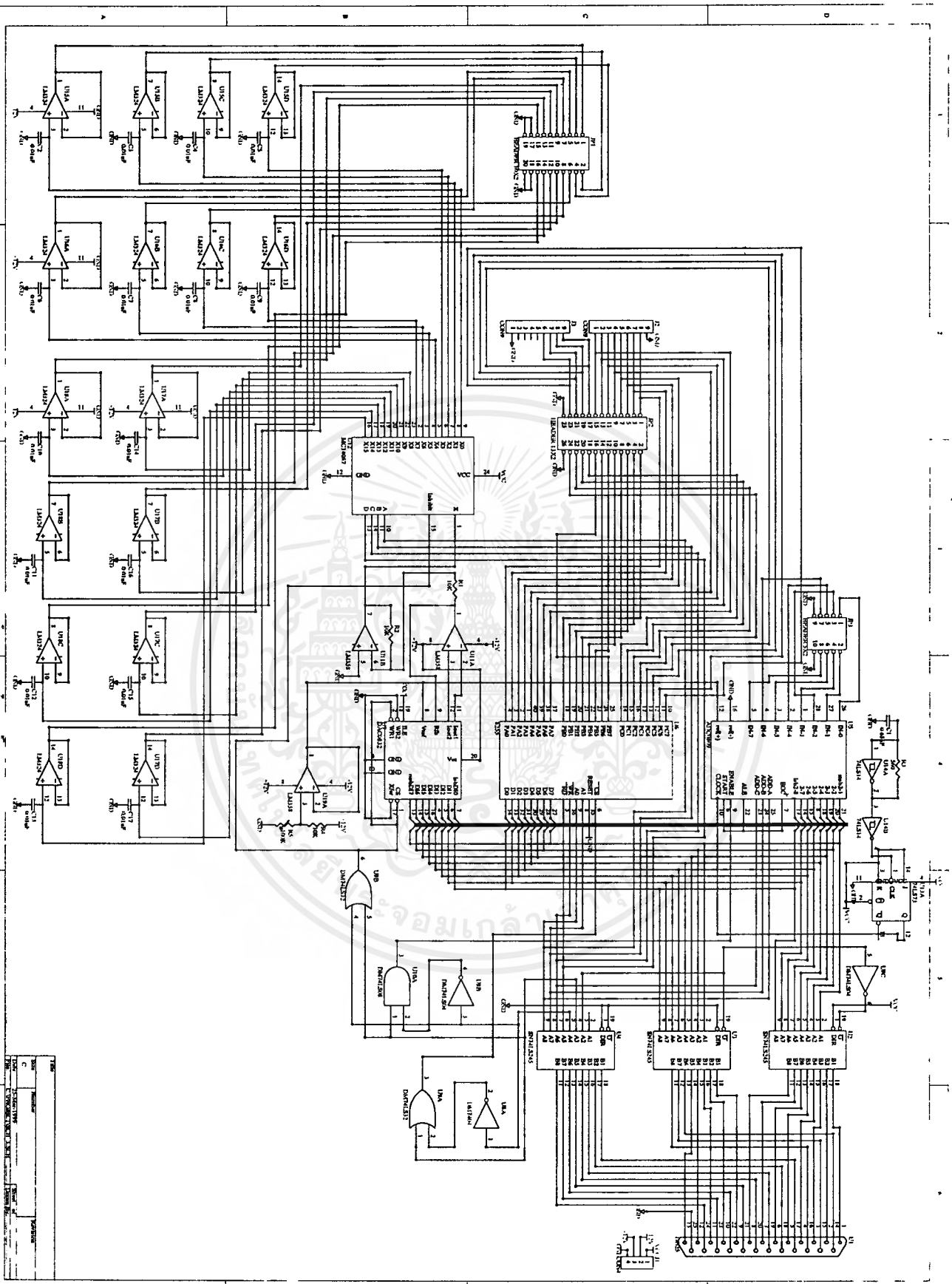
```
    PORT[$302]:= $65;       {SELECT ADC & CH 5}
    DELAY(1);               {WAIT FOR CONVERSION OF ADC}
    GOTOXY(F+4,A+5);
    WRITE(PORT[$300]*5/255:3:2);

    PORT[$302]:= $66;       {SELECT ADC & CH 6}
    DELAY(1);               {WAIT FOR CONVERSION OF ADC}
    GOTOXY(F+4,A+6);
    WRITE(PORT[$300]*5/255:3:2);

    PORT[$302]:= $67;       {SELECT ADC & CH 7}
    DELAY(1);               {WAIT FOR CONVERSION OF ADC}
    GOTOXY(F+4,A+7);
    WRITE(PORT[$300]*5/255:3:2);

    PORT[$302]:= $60;       {SELECT ADC & CH 0}
    DELAY(1);               {WAIT FOR CONVERSION OF ADC}
    GOTOXY(G+4,A+4);
    WRITE(PORT[$300]*16/255+4:3:2);

    PORT[$302]:= $61;       {SELECT ADC & CH 1}
    DELAY(1);               {WAIT FOR CONVERSION OF ADC}
    GOTOXY(G+4,A+5);
    WRITE(PORT[$300]*16/255+4:3:2);

    PORT[$302]:= $62;       {SELECT ADC & CH 2}
    DELAY(1);               {WAIT FOR CONVERSION OF ADC}
    GOTOXY(G+4,A+6);
    WRITE(PORT[$300]*16/255+4:3:2);

    PORT[$302]:= $63;       {SELECT ADC & CH 3}
    DELAY(1);               {WAIT FOR CONVERSION OF ADC}
    GOTOXY(G+4,A+7);
    WRITE(PORT[$300]*16/255+4:3:2);

  UNTIL KEYPRESSED;

END.
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



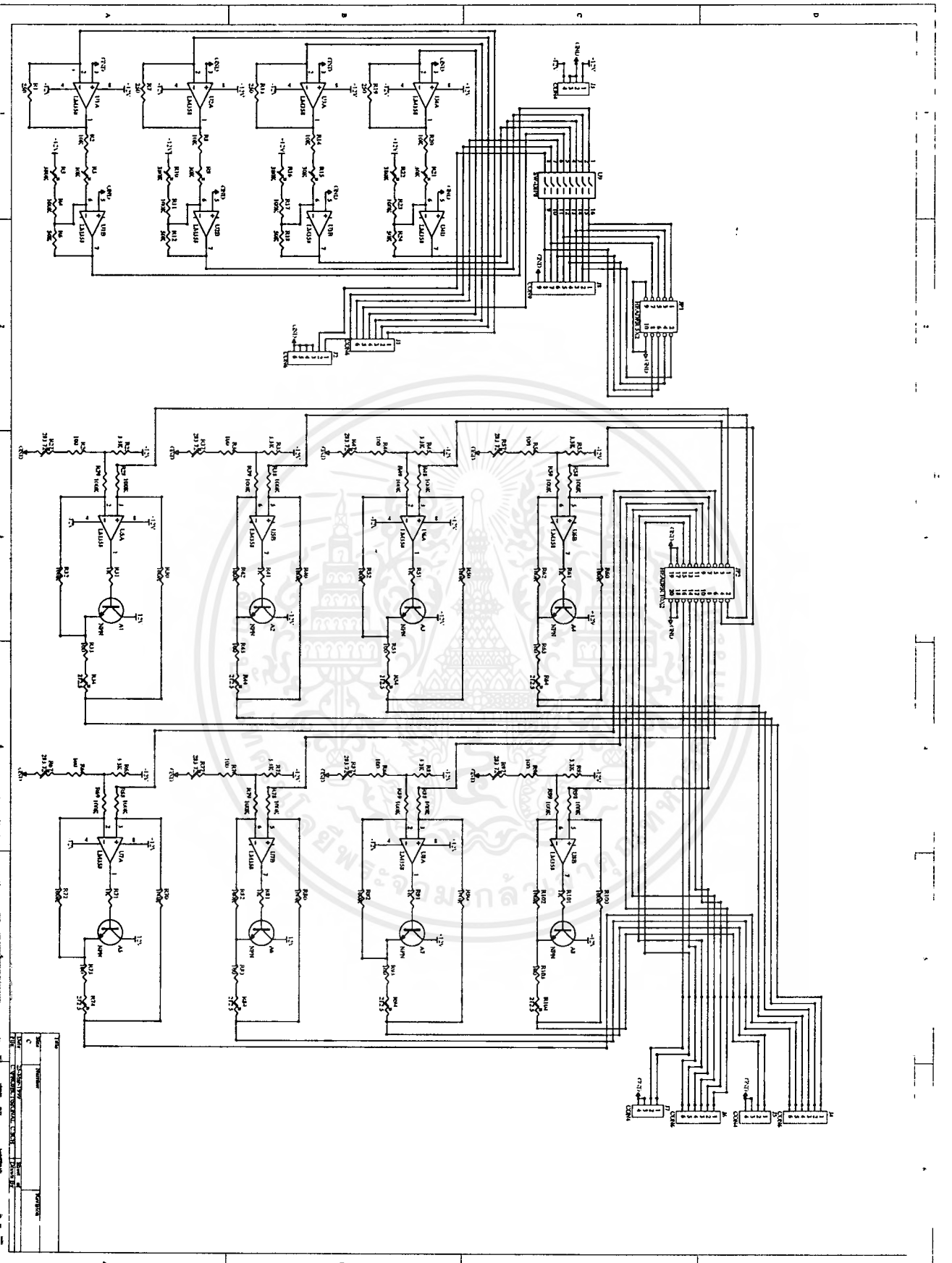
รูปวงจร Schematic แสดงวงจร Interface card 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้



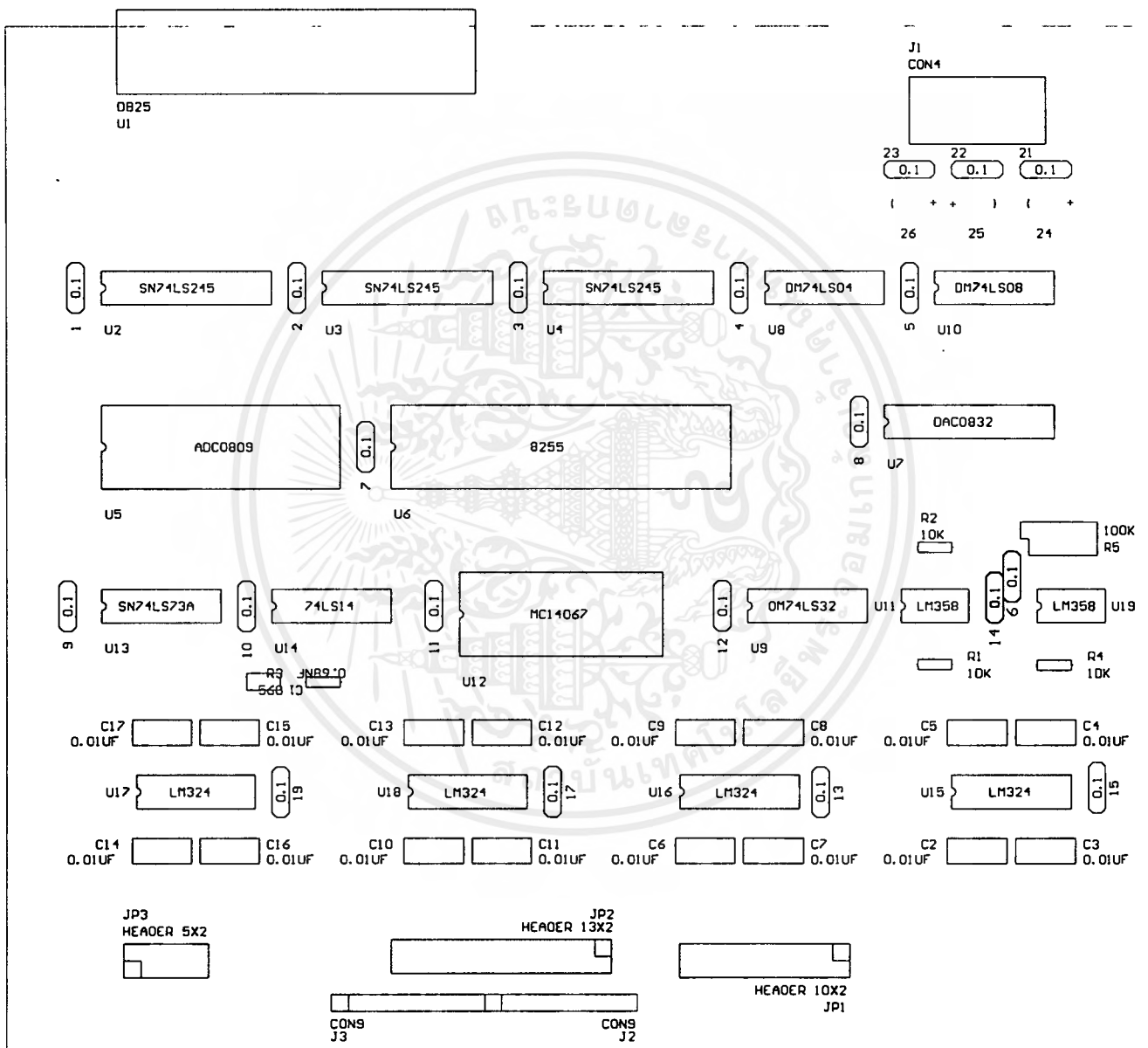
รูปวงจร Schematic แสดงวงจร Data Acquisition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

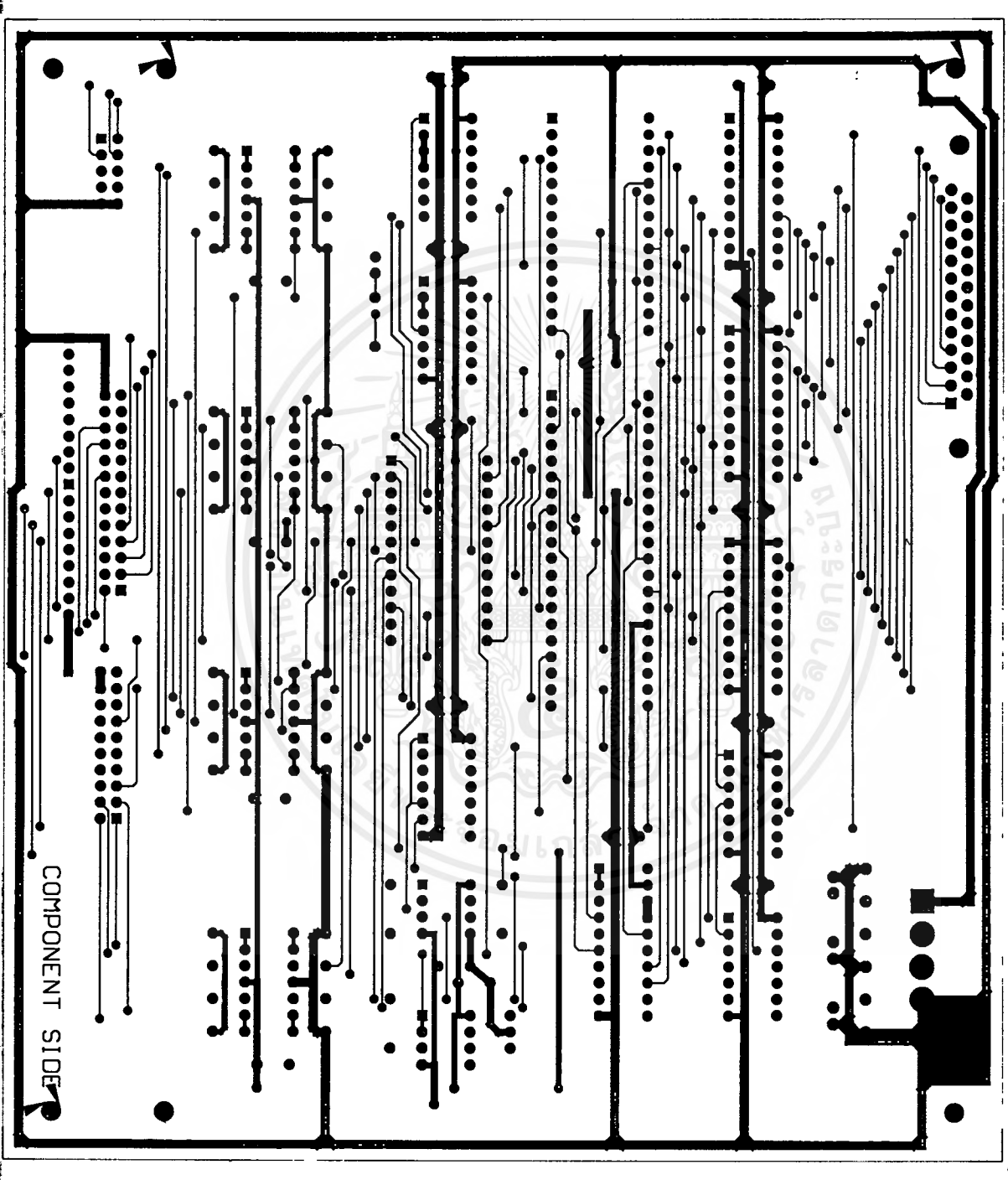


รูปวงจร Schematic แสดงวงจร Signal conditioner

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

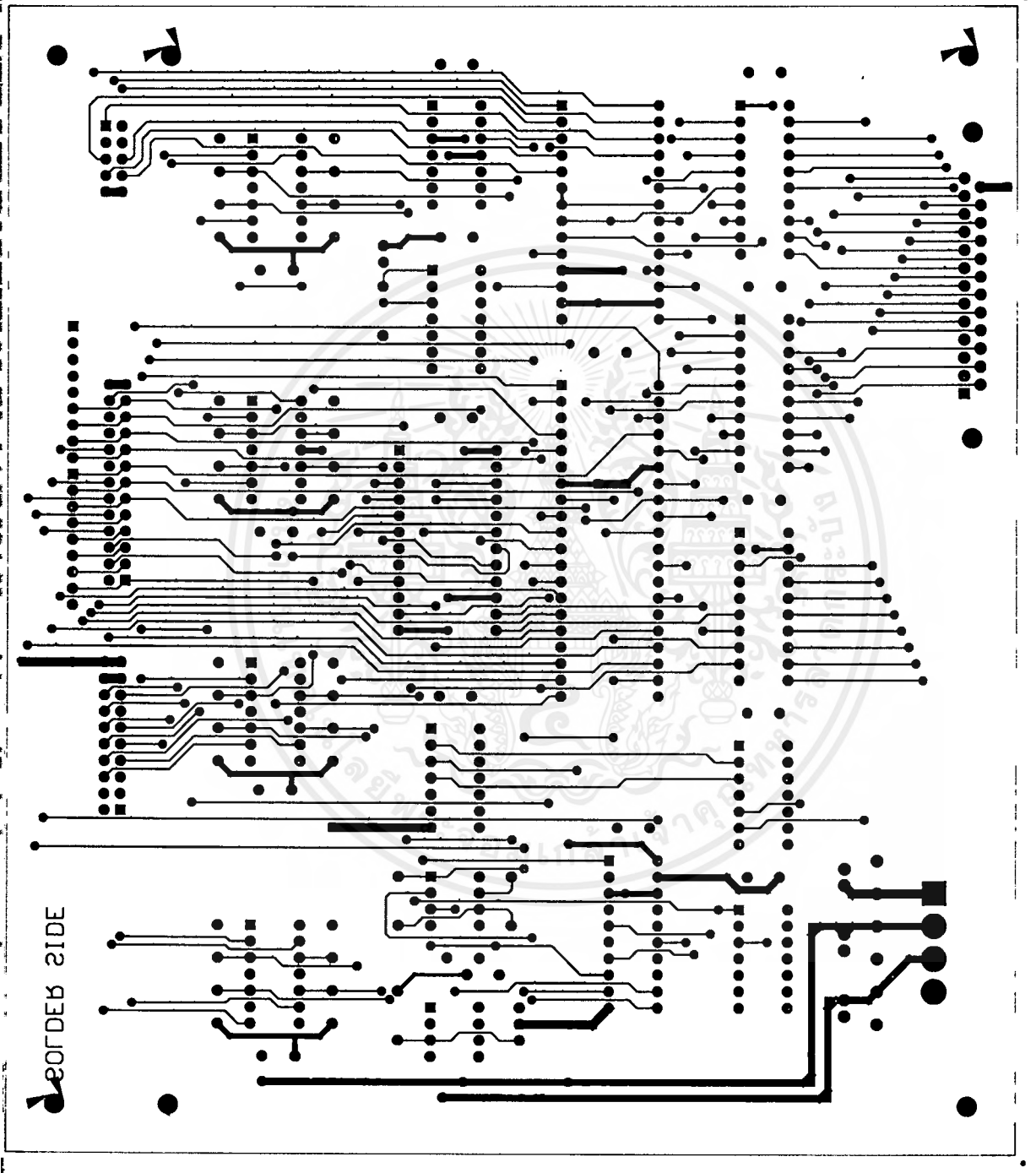


รูปการวางอุปกรณ์บนบอรด Data Acquisition Board



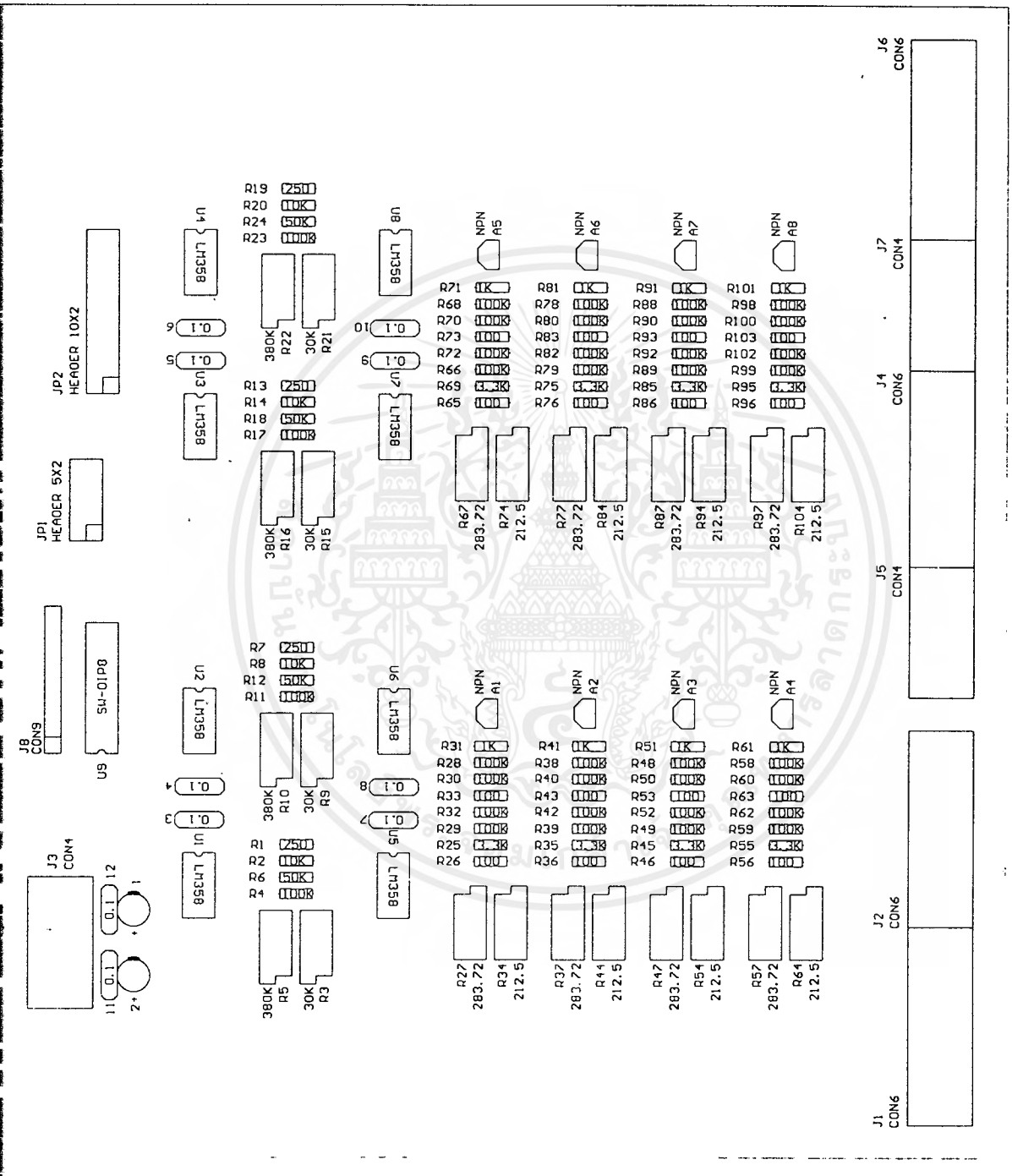
รูปลายแผ่นวงจรพิมพ์ด้านบนของวงจร Data Acquisition Board

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



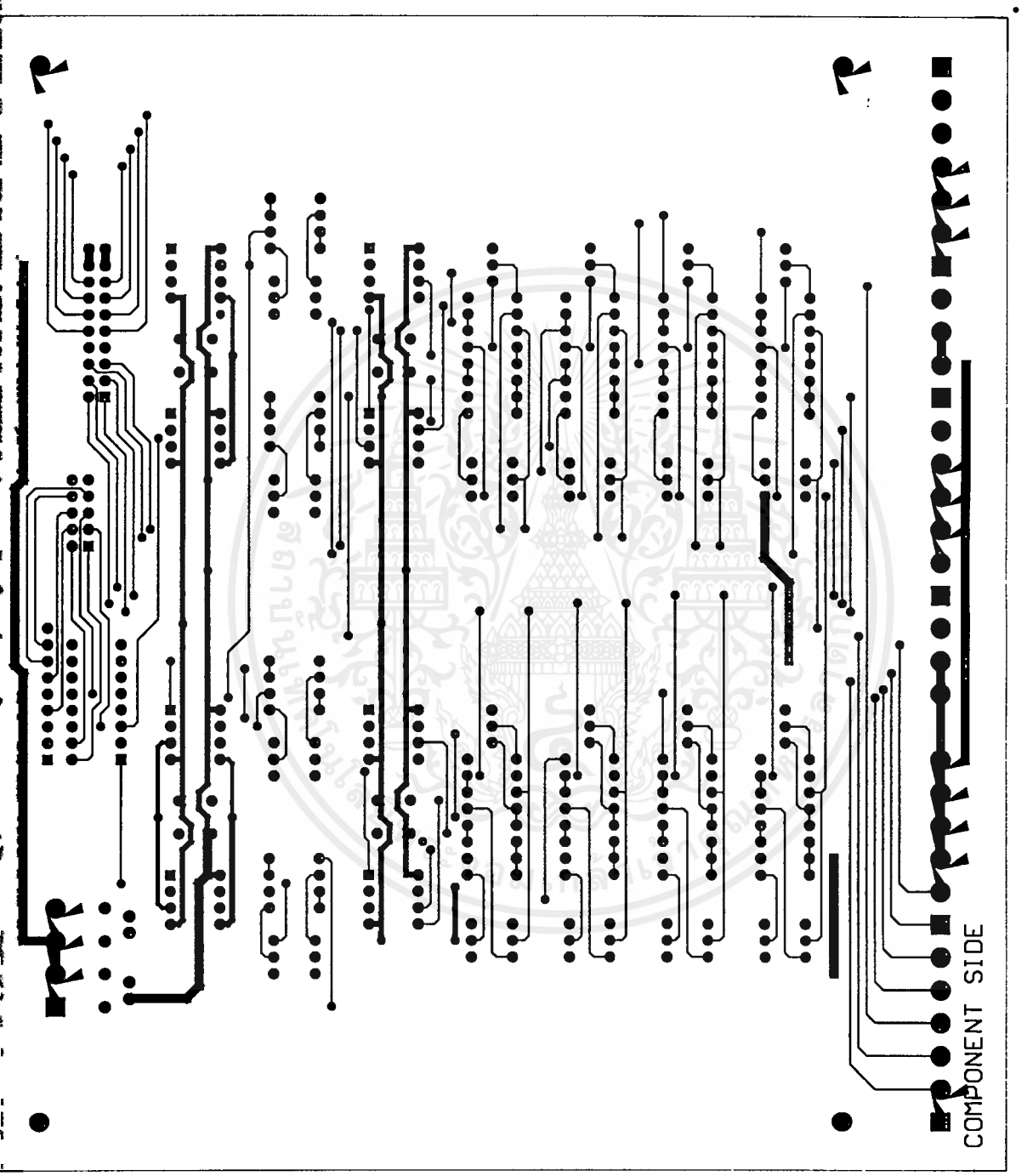
รูปลายแผ่นวงจรพิมพ์ด้านล่างของวงจร Data Acquisition Board

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



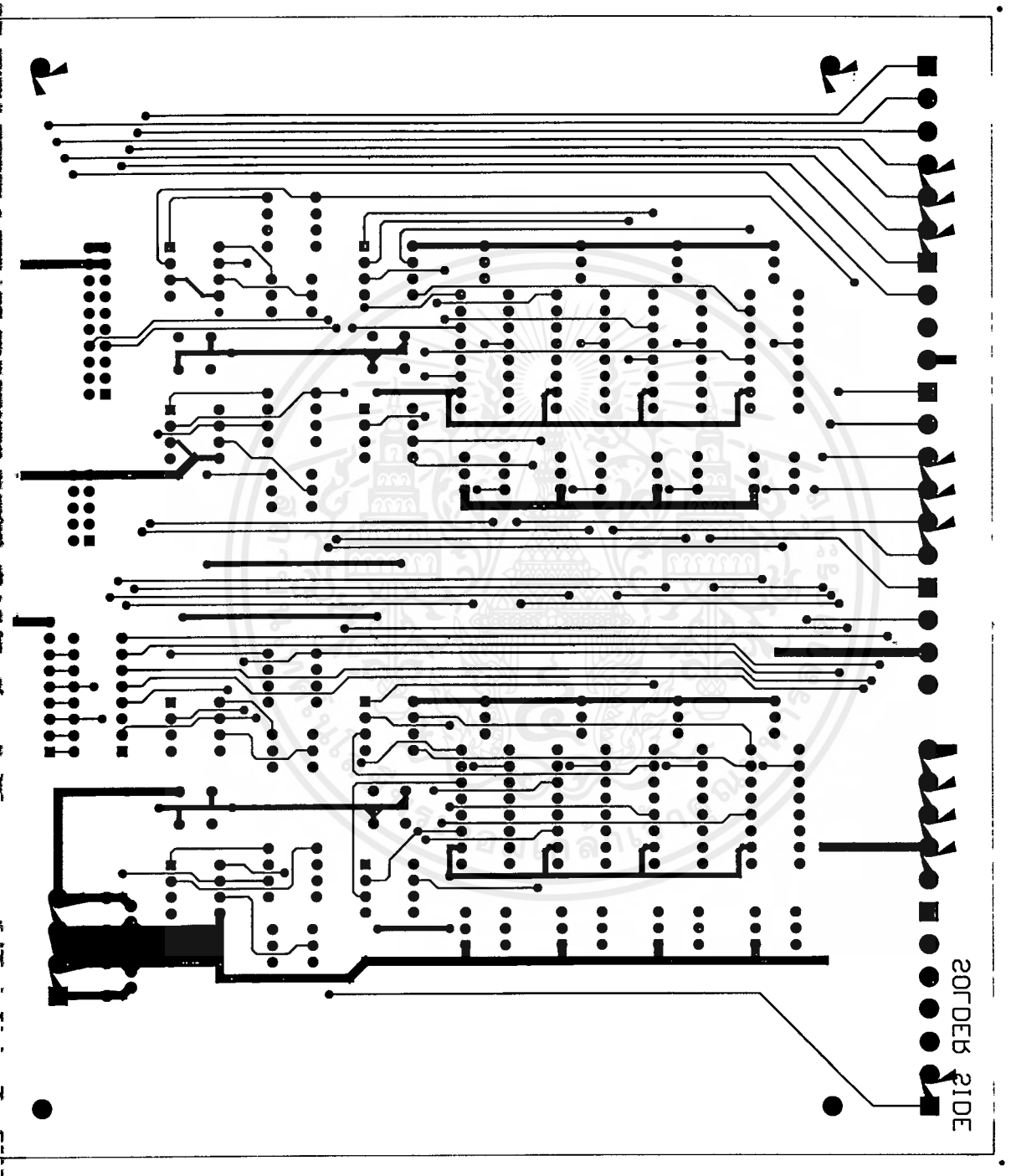
รูปการวางอุปกรณ์บนวงจร Signal conditioner

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปแผ่นวงจรพิมพ์ด้านบนของวงจร Signal conditioner

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปแผ่นวงจรพิมพ์ด้านล่างของวงจร Signal conditioner

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

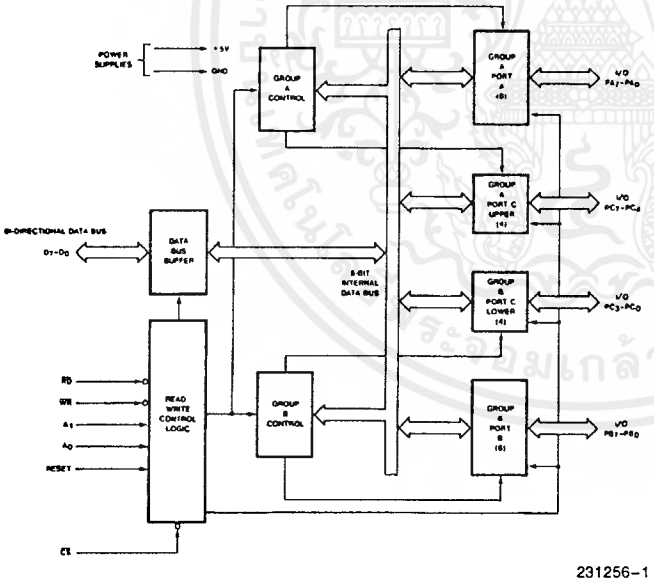
82C55A
CHMOS PROGRAMMABLE PERIPHERAL INTERFACE

- **Compatible with all Intel and Most Other Microprocessors**
- **High Speed, "Zero Wait State" Operation with 8 MHz 8086/88 and 80186/188**
- **24 Programmable I/O Pins**
- **Low Power CHMOS**
- **Completely TTL Compatible**
- **Control Word Read-Back Capability**
- **Direct Bit Set/Reset Capability**
- **2.5 mA DC Drive Capability on all I/O Port Outputs**
- **Available in 40-Pin DIP and 44-Pin PLCC**
- **Available in EXPRESS**
  - **— Standard Temperature Range**
  - **— Extended Temperature Range**

The Intel 82C55A is a high-performance, CHMOS version of the industry standard 8255A general purpose programmable I/O device which is designed for use with all Intel and most other microprocessors. It provides 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. The 82C55A is pin compatible with the NMOS 8255A and 8255A-5.

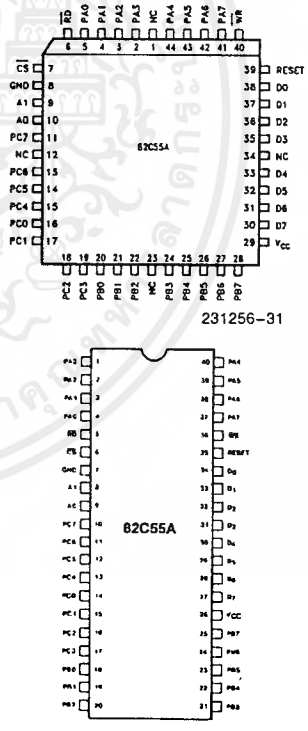
In MODE 0, each group of 12 I/O pins may be programmed in sets of 4 and 8 to be inputs or outputs. In MODE 1, each group may be programmed to have 8 lines of input or output. 3 of the remaining 4 pins are used for handshaking and interrupt control signals. MODE 2 is a strobed bi-directional bus configuration.

The 82C55A is fabricated on Intel's advanced CHMOS III technology which provides low power consumption with performance equal to or greater than the equivalent NMOS product. The 82C55A is available in 40-pin DIP and 44-pin plastic leaded chip carrier (PLCC) packages.



231256-1

Figure 1. 82C55A Block Diagram



231256-31

231256-2

Figure 2. 82C55A Pinout

Diagrams are for pin reference only. Package sizes are not to scale.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Pin Description

Symbol	Pin Number Dip	Pin Number PLCC	Type	Name and Function
PA_{3-0}	1–4	2–5	I/O	**PORT A, PINS 0–3:** Lower nibble of an 8-bit data output latch/ buffer and an 8-bit data input latch.
$\overline{RD}$	5	6	I	**READ CONTROL:** This input is low during CPU read operations.
$\overline{CS}$	6	7	I	**CHIP SELECT:** A low on this input enables the 82C55A to respond to $\overline{RD}$ and $\overline{WR}$ signals. $\overline{RD}$ and WR are ignored otherwise.
GND	7	8		**System Ground**
A_{1-0}	8–9	9–10	I	**ADDRESS:** These input signals, in conjunction $\overline{RD}$ and $\overline{WR}$, control the selection of one of the three ports or the control word registers.

A_1	A_0	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	Input Operation (Read)
0	0	0	1	0	Port A - Data Bus
0	1	0	1	0	Port B - Data Bus
1	0	0	1	0	Port C - Data Bus
1	1	0	1	0	Control Word - Data Bus
					Output Operation (Write)
0	0	1	0	0	Data Bus - Port A
0	1	1	0	0	Data Bus - Port B
1	0	1	0	0	Data Bus - Port C
1	1	1	0	0	Data Bus - Control
					Disable Function
X	X	X	X	1	Data Bus - 3 - State
X	X	1	1	0	Data Bus - 3 - State

PC_{7-4}	10–13	11,13–15	I/O	**PORT C, PINS 4–7:** Upper nibble of an 8-bit data output latch/ buffer and an 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.
PC_{0-3}	14–17	16–19	I/O	**PORT C, PINS 0–3:** Lower nibble of Port C.
PB_{0-7}	18–25	20–22, 24–28	I/O	**PORT B, PINS 0–7:** An 8-bit data output latch/buffer and an 8-bit data input buffer.
V_{CC}	26	29		**SYSTEM POWER:** + 5V Power Supply.
D_{7-0}	27–34	30–33, 35–38	I/O	**DATA BUS:** Bi-directional, tri-state data bus lines, connected to system data bus.
RESET	35	39	I	**RESET:** A high on this input clears the control register and all ports are set to the input mode.
$\overline{WR}$	36	40	I	**WRITE CONTROL:** This input is low during CPU write operations.
PA_{7-4}	37–40	41–44	I/O	**PORT A, PINS 4–7:** Upper nibble of an 8-bit data output latch/ buffer and an 8-bit data input latch.
NC		1, 12, 23, 34		No Connect

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

82C55A FUNCTIONAL DESCRIPTION

General

The 82C55A is a programmable peripheral interface device designed for use in Intel microcomputer systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 82C55A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state bidirectional 8-bit buffer is used to interface the 82C55A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control busses and in turn, issues commands to both of the Control Groups.

Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 82C55A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 82C55A.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A - Port A and Port C upper (C7–C4)
Control Group B - Port B and Port C lower (C3–C0)

The control word register can be both written and read as shown in the address decode table in the pin descriptions. Figure 6 shows the control word format for both Read and Write operations. When the control word is read, bit D7 will always be a logic "1", as this implies control word mode information.

Ports A, B, and C

The 82C55A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 82C55A.

Port A. One 8-bit data output latch/buffer and one 8-bit input latch buffer. Both "pull-up" and "pull-down" bus hold devices are present on Port A.

Port B. One 8-bit data input/output latch/buffer. Only "pull-up" bus hold devices are present on Port B.

Port C. One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B. Only "pull-up" bus hold devices are present on Port C.

See Figure 4 for the bus-hold circuit configuration for Port A, B, and C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

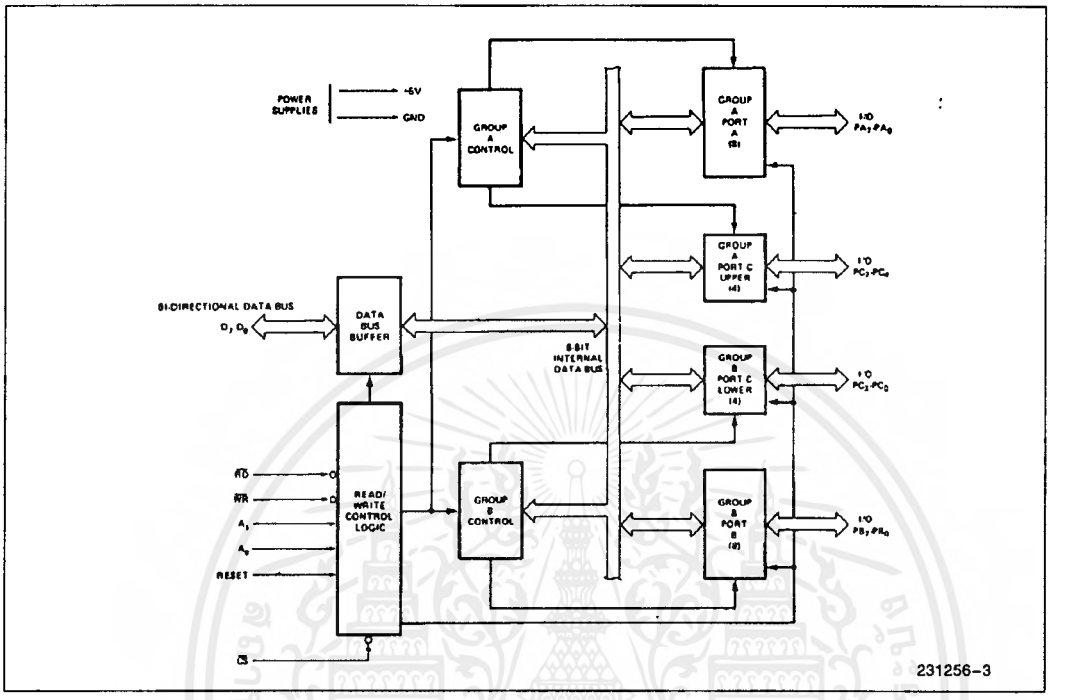
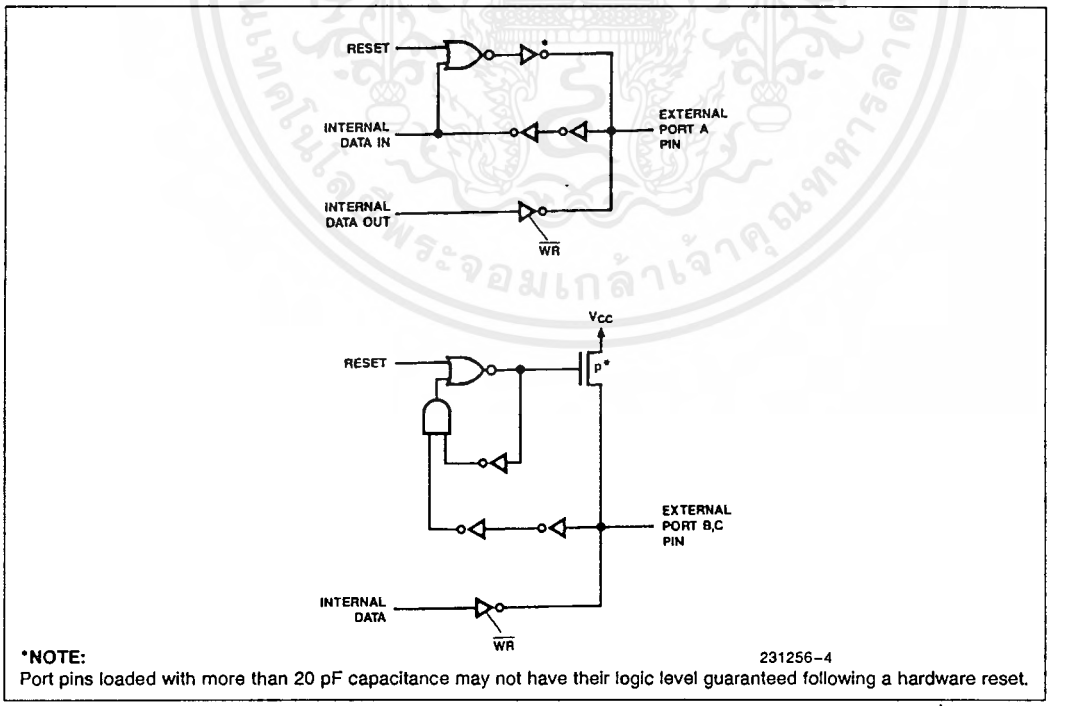


Figure 3. 82C55A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Functions



***NOTE:**
Port pins loaded with more than 20 pF capacitance may not have their logic level guaranteed following a hardware reset.

Figure 4. Port A, B, C, Bus-hold Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

82C55A OPERATIONAL DESCRIPTION

Mode Selection

There are three basic modes of operation that can be selected by the system software:

Mode 0 — Basic input/output
Mode 1 — Strobed Input/output
Mode 2 — Bi-directional Bus

When the reset input goes "high" all ports will be set to the input mode with all 24 port lines held at a logic "one" level by the internal bus hold devices (see Figure 4 Note). After the reset is removed the 82C55A can remain in the input mode with no additional initialization required. This eliminates the need for pullup or pulldown devices in "all CMOS" designs. During the execution of the system program, any of the other modes may be selected by using a single output instruction. This allows a single 82C55A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance; Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.

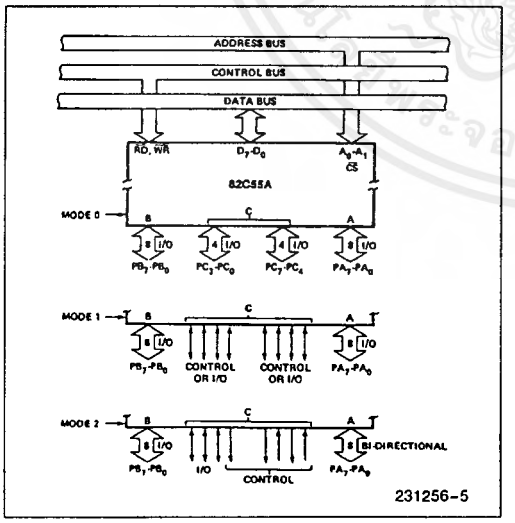


Figure 5. Basic Mode Definitions and Bus Interface

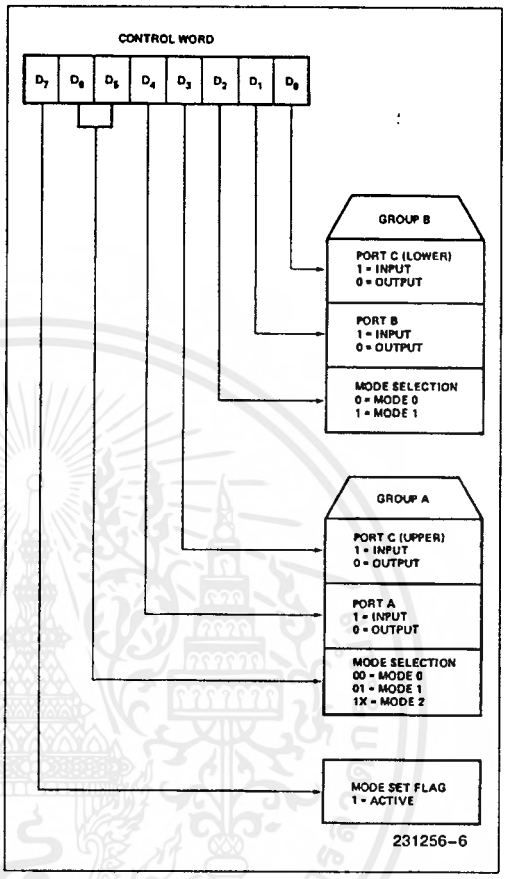


Figure 6. Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 82C55A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTput instruction. This feature reduces software requirements in Control-based applications.

When Port C is being used as status/control for Port A or B, these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

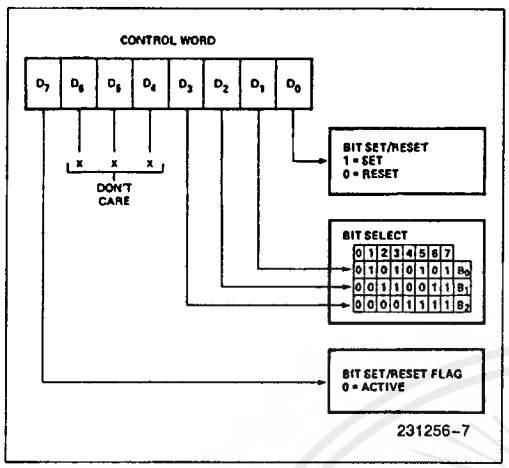


Figure 7. Bit Set/Reset Format

Interrupt Control Functions

When the 82C55A is programmed to operate in mode 1 or mode 2, control signals are provided that can be used as interrupt request inputs to the CPU. The interrupt request signals, generated from port C, can be inhibited or enabled by setting or resetting the associated INTE flip-flop, using the bit set/reset function of port C.

This function allows the Programmer to disallow or allow a specific I/O device to interrupt the CPU without affecting any other device in the interrupt structure.

INTE flip-flop definition:

(BIT-SET)—INTE is SET—Interrupt enable
(BIT-RESET)—INTE is RESET—Interrupt disable

Note:
All Mask flip-flops are automatically reset during mode selection and device Reset.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

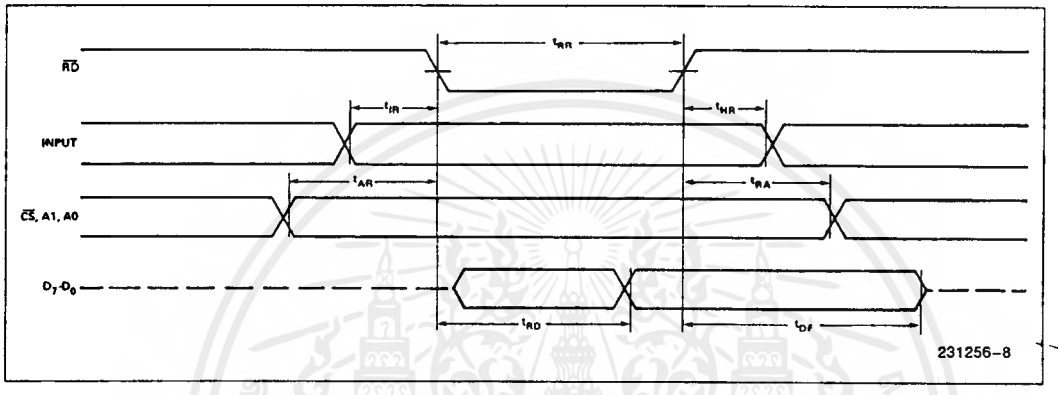
Operating Modes

Mode 0 (Basic Input/Output). This functional configuration provides simple input and output operations for each of the three ports. No "handshaking" is required, data is simply written to or read from a specified port.

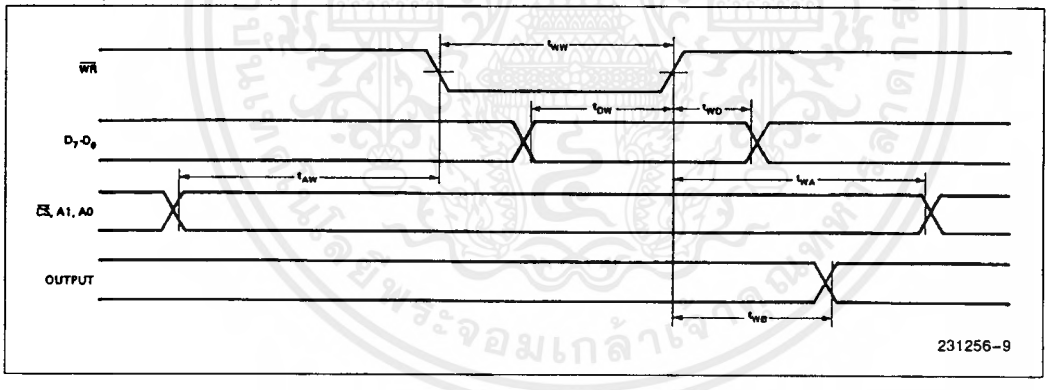
Mode 0 Basic Functional Definitions:

- Two 8-bit ports and two 4-bit ports.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.

MODE 0 (BASIC INPUT)



MODE 0 (BASIC OUTPUT)

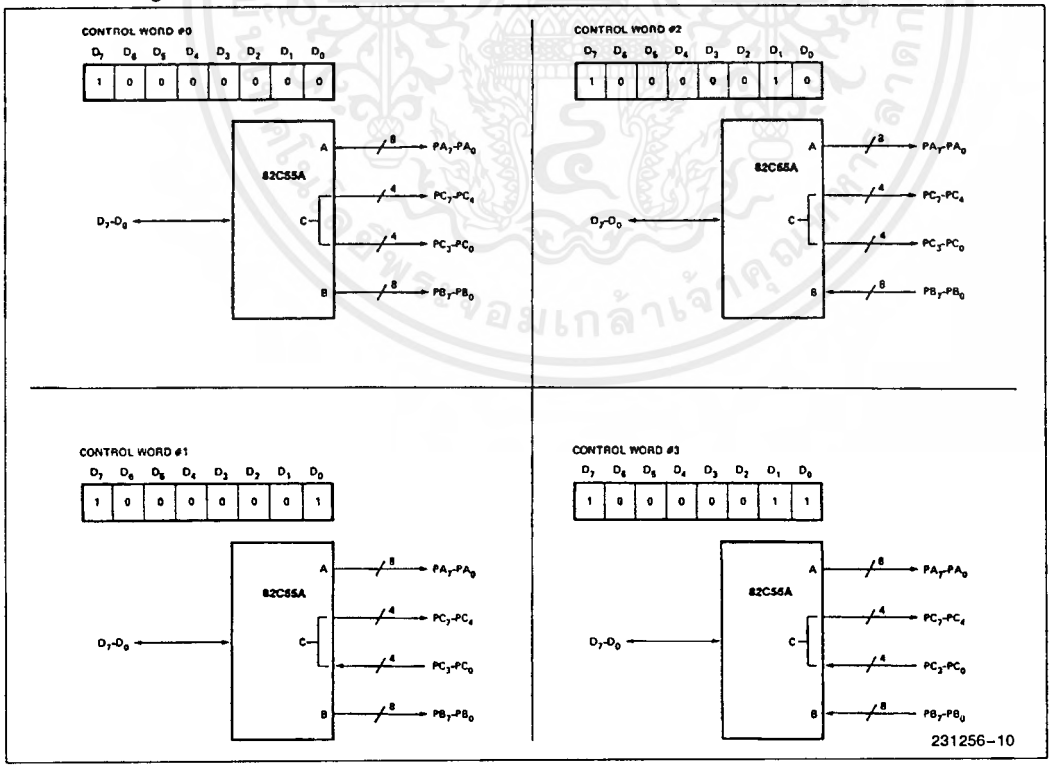


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE 0 Port Definition

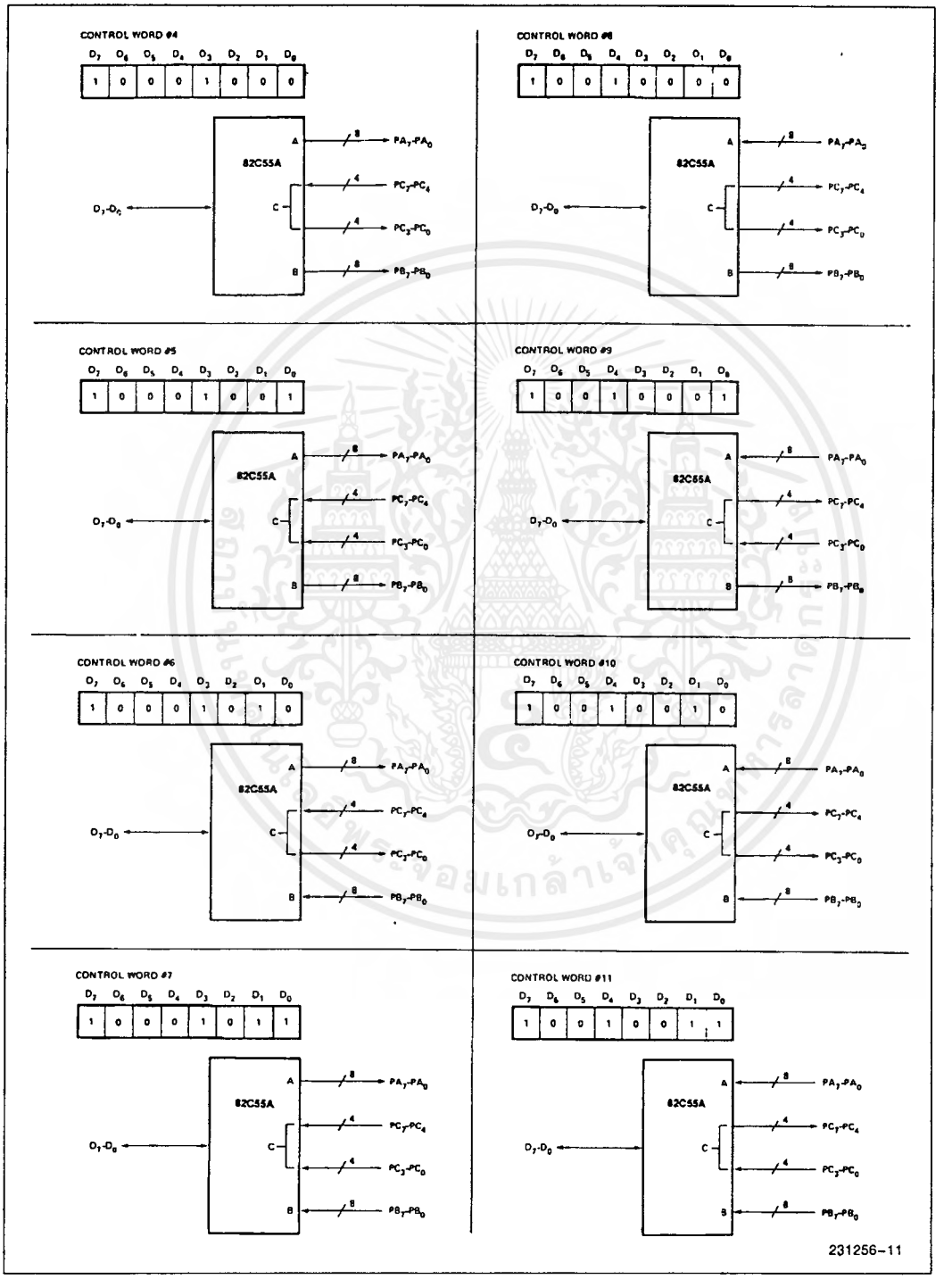
A		B		GROUP A			GROUP B	
D_4	D_3	D_1	D_0	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT

MODE 0 Configurations



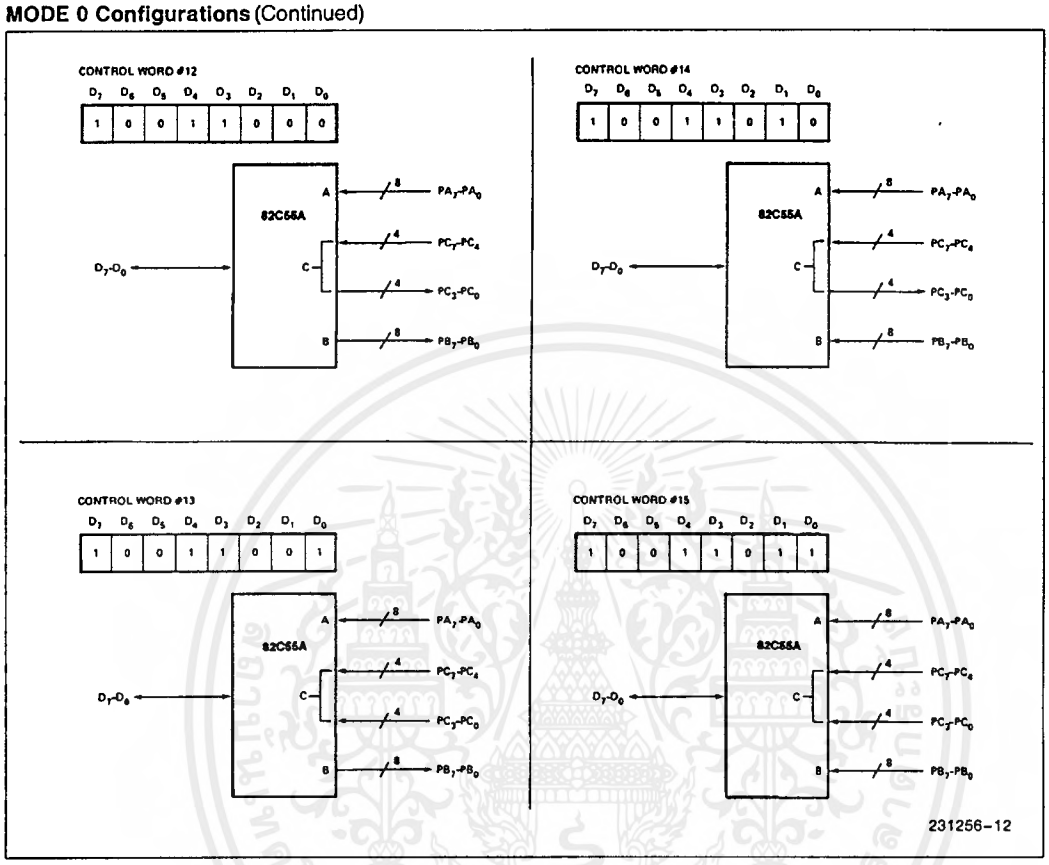
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE 0 Configurations (Continued)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE 0 Configurations (Continued)



Operating Modes

MODE 1 (Strobed Input/Output). This functional configuration provides a means for transferring I/O data to or from a specified port in conjunction with strobes or "handshaking" signals. In mode 1, Port A and Port B use the lines on Port C to generate or accept these "handshaking" signals.

Mode 1 Basic functional Definitions:

- Two Groups (Group A and Group B).
- Each group contains one 8-bit data port and one 4-bit control/data port.
- The 8-bit data port can be either input or output Both inputs and outputs are latched.
- The 4-bit port is used for control and status of the 8-bit data port.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input Control Signal Definition

$\overline{STB}$ (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F)

A "high" on this output indicates that the data has been loaded into the input latch; in essence, an acknowledgement. IBF is set by $\overline{STB}$ input being low and is reset by the rising edge of the $\overline{RD}$ input.

INTR (Interrupt Request)

A "high" on this output can be used to interrupt the CPU when an input device is requesting service. INTR is set by the $\overline{STB}$ is a "one", IBF is a "one" and INTE is a "one". It is reset by the falling edge of $\overline{RD}$. This procedure allows an input device to request service from the CPU by simply strobing its data into the port.

INTE A

Controlled by bit set/reset of PC_4.

INTE B

Controlled by bit set/reset of PC_2.

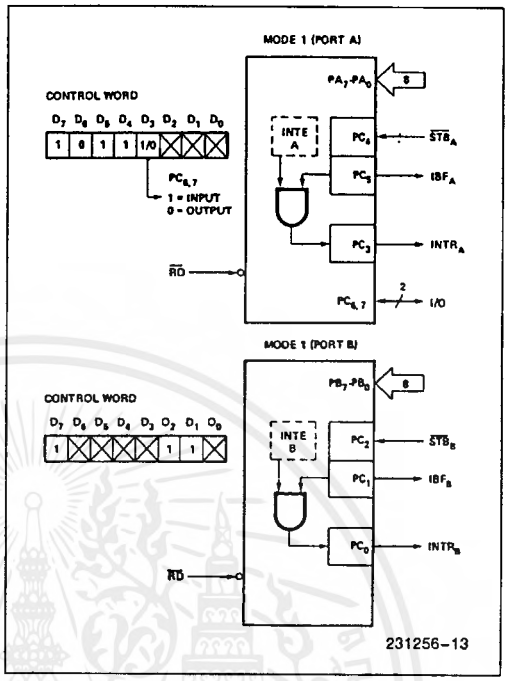


Figure 8. MODE 1 Input

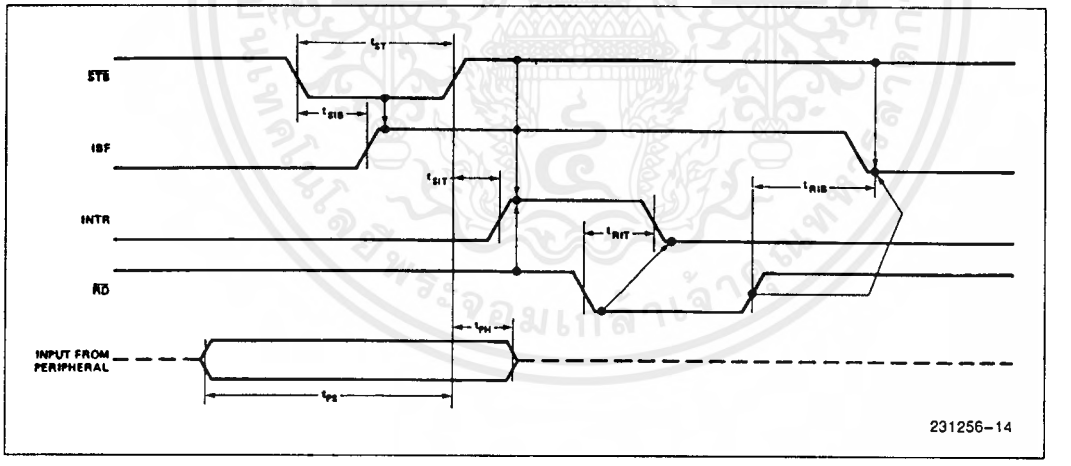


Figure 9. MODE 1 (Strobed Input)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Output Control Signal Definition

$\overline{OBF}$ (Output Buffer Full F/F). The $\overline{OBF}$ output will go "low" to indicate that the CPU has written data out to the specified port. The $\overline{OBF}$ F/F will be set by the rising edge of the $\overline{WR}$ input and reset by $\overline{ACK}$ Input being low.

$\overline{ACK}$ (Acknowledge Input). A "low" on this input informs the 82C55A that the data from Port A or Port B has been accepted. In essence, a response from the peripheral device indicating that it has received the data output by the CPU.

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when $\overline{ACK}$ is a "one", $\overline{OBF}$ is a "one" and INTE is a "one". It is reset by the falling edge of $\overline{WR}$.

INTE A

Controlled by bit set/reset of PC_6.

INTE B

Controlled by bit set/reset of PC_2.

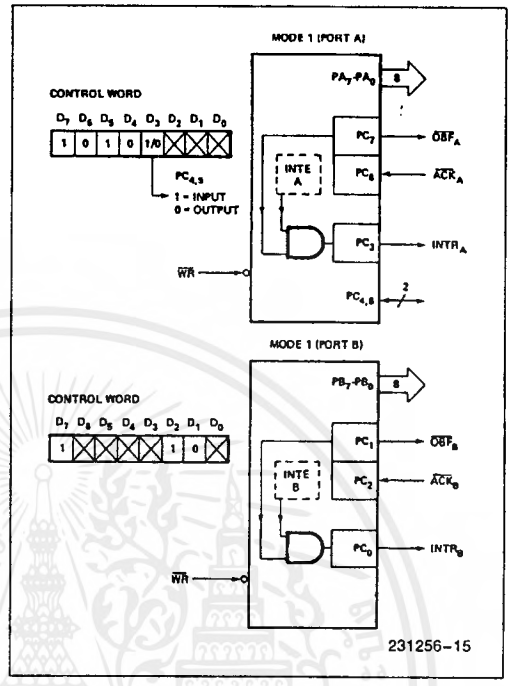


Figure 10. MODE 1 Output

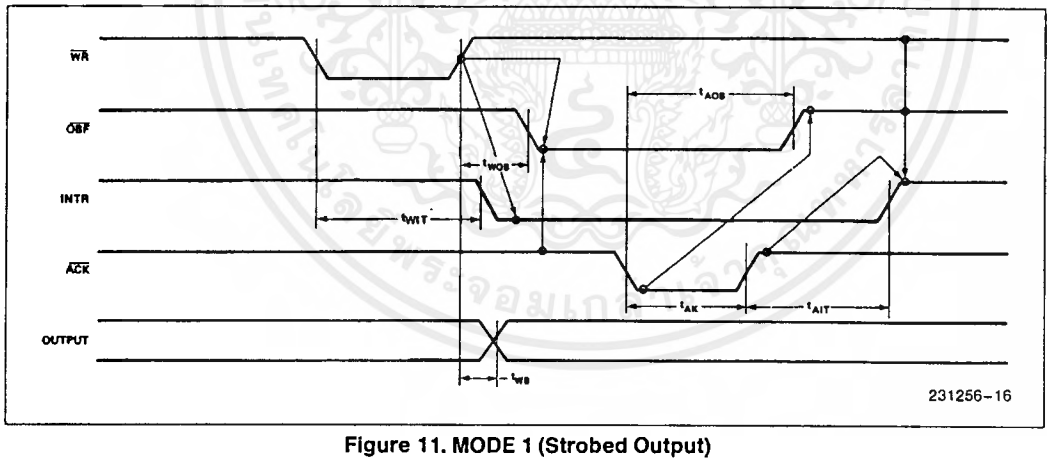


Figure 11. MODE 1 (Strobed Output)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Combinations of MODE 1

Port A and Port B can be individually defined as input or output in Mode 1 to support a wide variety of strobed I/O applications.

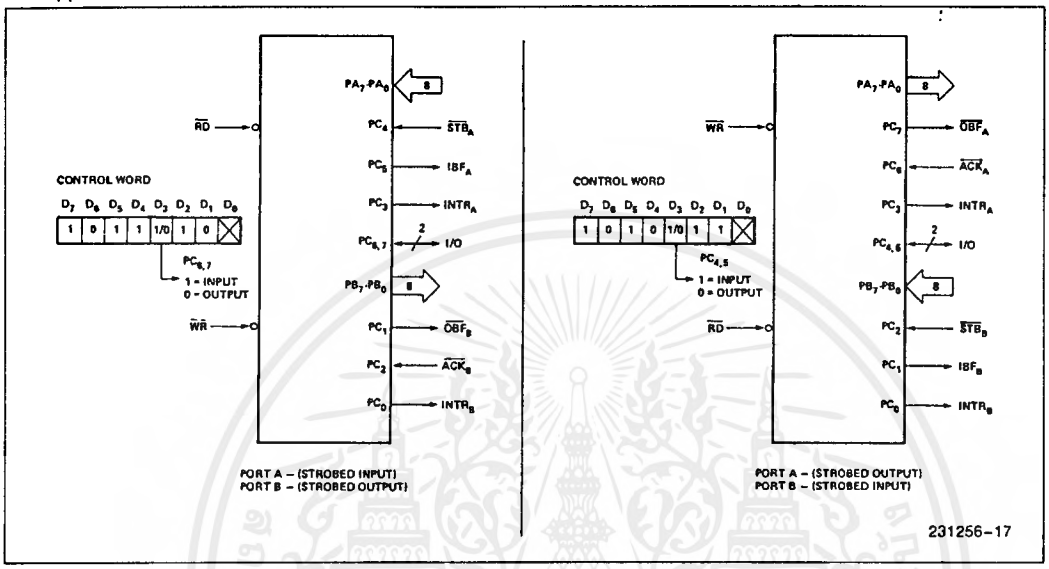


Figure 12. Combinations of MODE 1

Operating Modes

MODE 2 (Strobed Bidirectional Bus I/O) This functional configuration provides a means for communicating with a peripheral device or structure on a single 8-bit bus for both transmitting and receiving data (bidirectional bus I/O). "Handshaking" signals are provided to maintain proper bus flow discipline in a similar manner to MODE 1. Interrupt generation and enable/disable functions are also available.

MODE 2 Basic Functional Definitions:

- Used in Group A **only.**
- One 8-bit, bi-directional bus port (Port A) and a 5-bit control port (Port C).
- Both inputs and outputs are latched.
- The 5-bit control port (Port C) is used for control and status for the 8-bit, bi-directional bus port (Port A).

Bidirectional Bus I/O Control Signal Definition

INTR (Interrupt Request). A high on this output can be used to interrupt the CPU for input or output operations.

Output Operations

$\overline{OBF}$ (Output Buffer Full). The $\overline{OBF}$ output will go "low" to indicate that the CPU has written data out to port A.

$\overline{ACK}$ (Acknowledge). A "low" on this input enables the tri-state output buffer of Port A to send out the data. Otherwise, the output buffer will be in the high impedance state.

INTE 1 (The INTE Flip-Flop Associated with $\overline{OBF}$). Controlled by bit set/reset of PC_6.

Input Operations

$\overline{STB}$ (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F). A "high" on this output indicates that data has been loaded into the input latch.

INTE 2 (The INTE Flip-Flop Associated with IBF). Controlled by bit set/reset of PC_4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

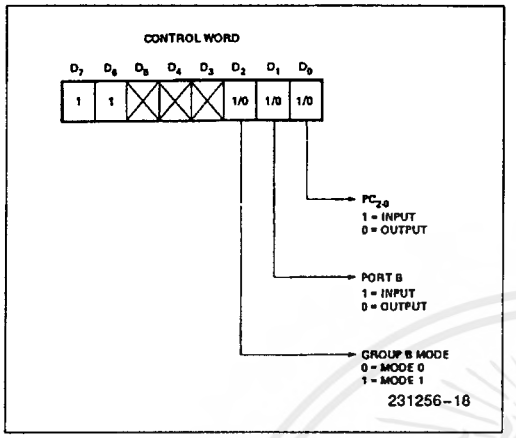


Figure 13. MODE Control Word

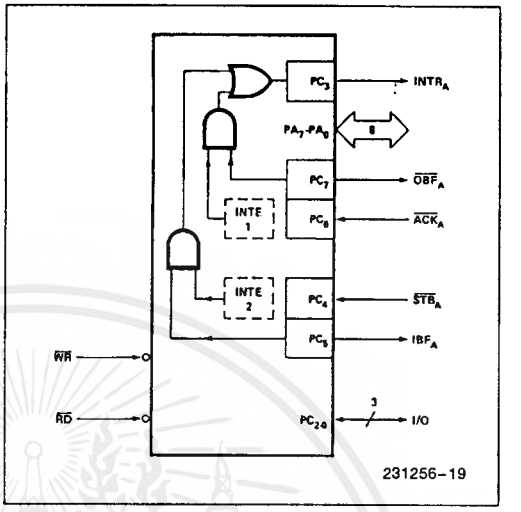


Figure 14. MODE 2

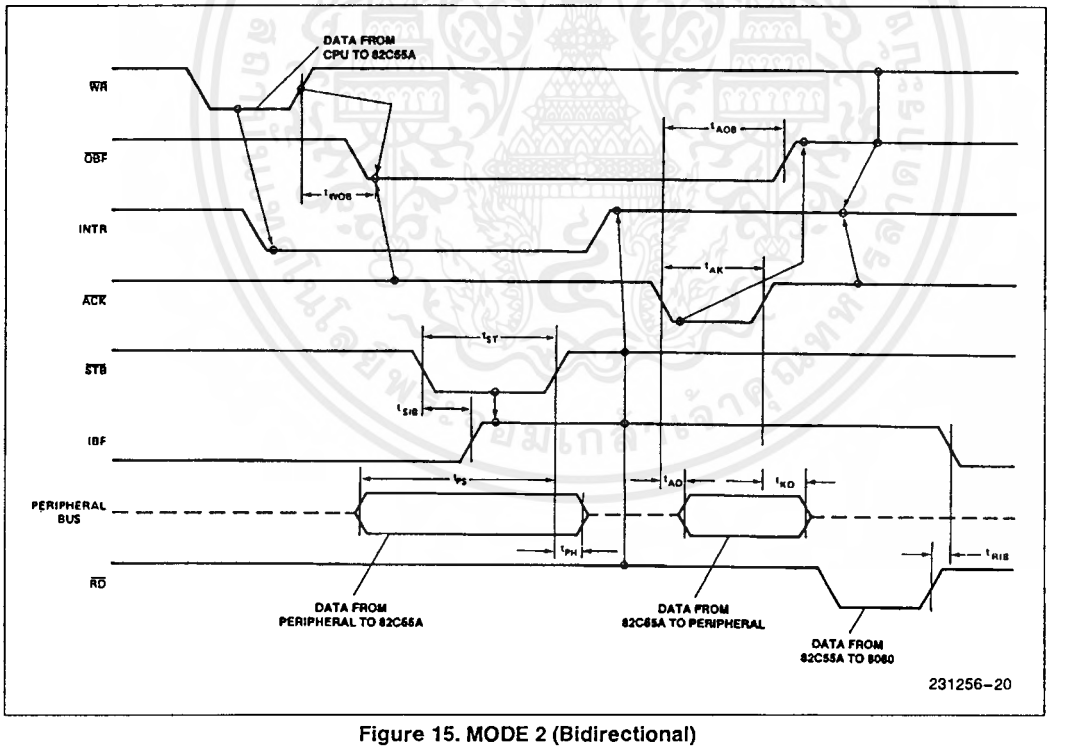


Figure 15. MODE 2 (Bidirectional)

NOTE:
Any sequence where $\overline{WR}$ occurs before $\overline{ACK}$, and $\overline{STB}$ occurs before $\overline{RD}$ is permissible.
($INTR = IBF \bullet \overline{MASK} \bullet \overline{STB} \bullet \overline{RD} + \overline{OBF} \bullet \overline{MASK} \bullet \overline{ACK} \bullet \overline{WR}$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

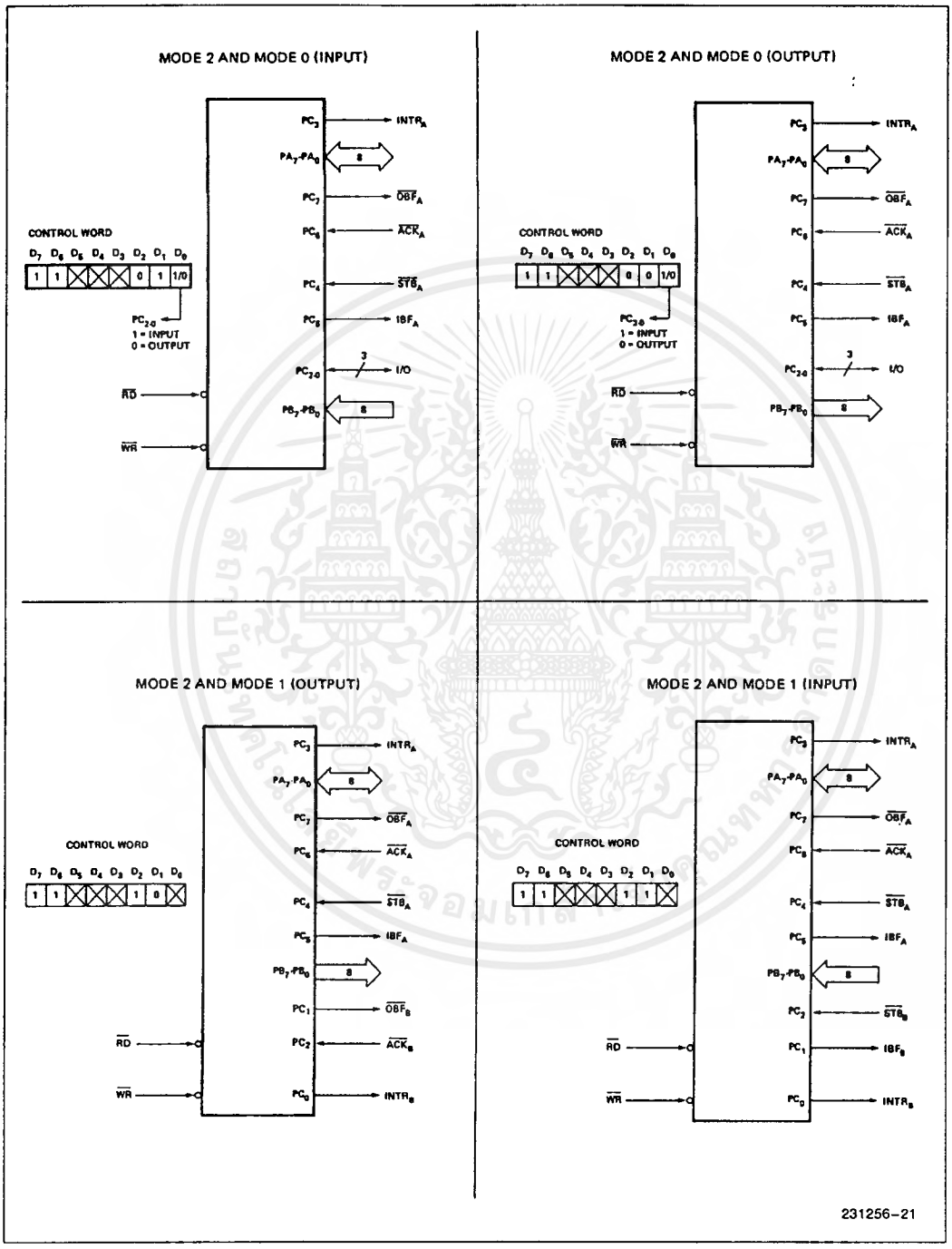


Figure 16. MODE 1/4 Combinations

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Mode Definition Summary

	MODE 0		MODE 1		MODE 2	
	IN	OUT	IN	OUT	GROUP A ONLY	
PA_0	IN	OUT	IN	OUT	⟷	
PA_1	IN	OUT	IN	OUT	⟷	
PA_2	IN	OUT	IN	OUT	⟷	
PA_3	IN	OUT	IN	OUT	⟷	
PA_4	IN	OUT	IN	OUT	⟷	
PA_5	IN	OUT	IN	OUT	⟷	
PA_6	IN	OUT	IN	OUT	⟷	
PA_7	IN	OUT	IN	OUT	⟷	
PB_0	IN	OUT	IN	OUT	—	MODE 0 OR MODE 1 ONLY
PB_1	IN	OUT	IN	OUT	—	
PB_2	IN	OUT	IN	OUT	—	
PB_3	IN	OUT	IN	OUT	—	
PB_4	IN	OUT	IN	OUT	—	
PB_5	IN	OUT	IN	OUT	—	
PB_6	IN	OUT	IN	OUT	—	
PB_7	IN	OUT	IN	OUT	—	
PC_0	IN	OUT	$INTR_B$	$INTR_B$	I/O	
PC_1	IN	OUT	IBF_B	$\overline{OBF}_B$	I/O	
PC_2	IN	OUT	$\overline{STB}_B$	$\overline{ACK}_B$	I/O	
PC_3	IN	OUT	$INTR_A$	$INTR_A$	$INTR_A$	
PC_4	IN	OUT	$\overline{STB}_A$	I/O	$\overline{STB}_A$	
PC_5	IN	OUT	IBF_A	I/O	IBF_A	
PC_6	IN	OUT	I/O	$\overline{ACK}_A$	$\overline{ACK}_A$	
PC_7	IN	OUT	I/O	$\overline{OBF}_A$	$\overline{OBF}_A$	

Special Mode Combination Considerations

There are several combinations of modes possible. For any combination, some or all of the Port C lines are used for control or status. The remaining bits are either inputs or outputs as defined by a "Set Mode" command.

During a read of Port C, the state of all the Port C lines, except the $\overline{ACK}$ and $\overline{STB}$ lines, will be placed on the data bus. In place of the $\overline{ACK}$ and $\overline{STB}$ line states, flag status will appear on the data bus in the PC2, PC4, and PC6 bit positions as illustrated by Figure 18.

Through a "Write Port C" command, only the Port C pins programmed as outputs in a Mode 0 group can be written. No other pins can be affected by a "Write Port C" command, nor can the interrupt enable flags be accessed. To write to any Port C output programmed as an output in a Mode 1 group or to change an interrupt enable flag, the "Set/Reset Port C Bit" command must be used.

With a "Set/Reset Port C Bit" command, any Port C line programmed as an output (including INTR, IBF and $\overline{OBF}$) can be written, or an interrupt enable flag can be either set or reset. Port C lines programmed as inputs, including $\overline{ACK}$ and $\overline{STB}$ lines, associated with Port C are not affected by a "Set/Reset Port C Bit" command. Writing to the corresponding Port C bit positions of the $\overline{ACK}$ and $\overline{STB}$ lines with the "Set/Reset Port C Bit" command will affect the Group A and Group B interrupt enable flags, as illustrated in Figure 18.

Current Drive Capability

Any output on Port A, B or C can sink or source 2.5 mA. This feature allows the 82C55A to directly drive Darlington type drivers and high-voltage displays that require such sink or source current.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Reading Port C Status

In Mode 0, Port C transfers data to or from the peripheral device. When the 82C55A is programmed to function in Modes 1 or 2, Port C generates or accepts "hand-shaking" signals with the peripheral device. Reading the contents of Port C allows the programmer to test or verify the "status" of each peripheral device and change the program flow accordingly.

There is no special instruction to read the status information from Port C. A normal read operation of Port C is executed to perform this function.

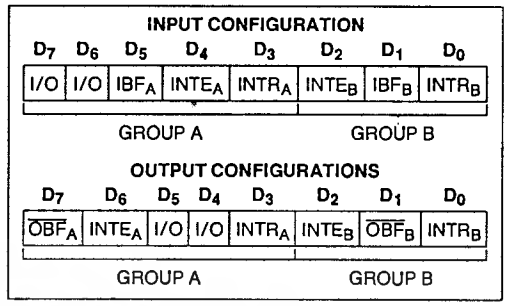


Figure 17a. MODE 1 Status Word Format

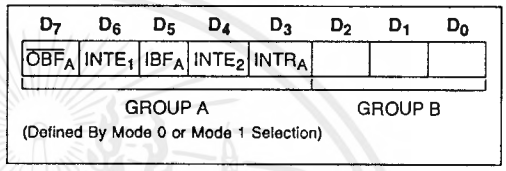


Figure 17b. MODE 2 Status Word Format

Interrupt Enable Flag	Position	Alternate Port C Pin Signal (Mode)
INTE B	PC2	$\overline{ACK}_B$ (Output Mode 1) or $\overline{STB}_B$ (Input Mode 1)
INTE A2	PC4	$\overline{STB}_A$ (Input Mode 1 or Mode 2)
INTE A1	PC6	$\overline{ACK}_A$ (Output Mode 1 or Mode 2

Figure 18. Interrupt Enable Flags in Modes 1 and 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias....0°C to + 70°C
Storage Temperature .....− 65°C to + 150°C
Supply Voltage .....− 0.5 to + 8.0V
Operating Voltage .....+ 4V to + 7V
Voltage on any Input.....GND−2V to + 6.5V
Voltage on any Output ..GND−0.5V to V_{CC} + 0.5V
Power Dissipation .....1 Watt

NOTICE: This is a production data sheet. The specifications are subject to change without notice.

**WARNING: Stressing the device beyond the "Absolute Maximum Ratings" may cause permanent damage. These are stress ratings only. Operation beyond the "Operating Conditions" is not recommended and extended exposure beyond the "Operating Conditions" may affect device reliability.*

D.C. CHARACTERISTICS

T_A = 0°C to 70°C, V_{CC} = +5V ±10%, GND = 0V (T_A = −40°C to +85°C for Extended Temperture)

Symbol	Parameter	Min	Max	Units	Test Conditions
V_{IL}	Input Low Voltage	−0.5	0.8	V	
V_{IH}	Input High Voltage	2.0	V_{CC}	V	
V_{OL}	Output Low Voltage		0.4	V	I_{OL} = 2.5 mA
V_{OH}	Output High Voltage	3.0 V_{CC} − 0.4		V V	I_{OH} = −2.5 mA I_{OH} = −100 μA
I_{IL}	Input Leakage Current		±1	μA	V_{IN} = V_{CC} to 0V (Note 1)
I_{OFL}	Output Float Leakage Current		±10	μA	V_{IN} = V_{CC} to 0V (Note 2)
I_{DAR}	Darlington Drive Current	±2.5	(Note 4)	mA	Ports A, B, C R_{ext} = 500Ω V_{ext} = 1.7V
I_{PHL}	Port Hold Low Leakage Current	+50	+300	μA	V_{OUT} = 1.0V Port A only
I_{PHH}	Port Hold High Leakage Current	−50	−300	μA	V_{OUT} = 3.0V Ports A, B, C
I_{PHLO}	Port Hold Low Overdrive Current	−350		μA	V_{OUT} = 0.8V
I_{PHHO}	Port Hold High Overdrive Current	+350		μA	V_{OUT} = 3.0V
I_{CC}	V_{CC} Supply Current		10	mA	(Note 3)
I_{CCSB}	V_{CC} Supply Current-Standby		10	μA	V_{CC} = 5.5V V_{IN} = V_{CC} or GND Port Conditions If I/P = Open/High O/P = Open Only With Data Bus = High/Low $\overline{CS}$ = High Reset = Low Pure Inputs = Low/High

NOTES:
1. Pins A_1, A_0, $\overline{CS}$, $\overline{WR}$, $\overline{RD}$, Reset.
2. Data Bus; Ports B, C.
3. Outputs open.
4. Limit output current to 4.0 mA.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CAPACITANCE

T_A = 25°C, V_{CC} = GND = 0V

Symbol	Parameter	Min	Max	Units	Test Conditions
C_{IN}	Input Capacitance		10	pF	Unmeasured pins returned to GND f_c = 1 MHz(5)
$C_{I/O}$	I/O Capacitance		20	pF	

NOTE:
5. Sampled not 100% tested.

A.C. CHARACTERISTICS

T_A = 0° to 70°C, V_{CC} = +5V ±10%, GND = 0V

T_A = −40°C to +85°C for Extended Temperature

BUS PARAMETERS

READ CYCLE

Symbol	Parameter	82C55A-2		Units	Test Conditions
		Min	Max		
t_{AR}	Address Stable Before $\overline{RD}\downarrow$	0		ns	
t_{RA}	Address Hold Time After $\overline{RD}\uparrow$	0		ns	
t_{RR}	$\overline{RD}$ Pulse Width	150		ns	
t_{RD}	Data Delay from $\overline{RD}\downarrow$		120	ns	
t_{DF}	$\overline{RD}\uparrow$ to Data Floating	10	75	ns	
t_{RV}	Recovery Time between $\overline{RD}/\overline{WR}$	200		ns	

WRITE CYCLE

Symbol	Parameter	82C55A-2		Units	Test Conditions
		Min	Max		
t_{AW}	Address Stable Before $\overline{WR}\downarrow$	0		ns	
t_{WA}	Address Hold Time After $\overline{WR}\uparrow$	20		ns	Ports A & B
		20		ns	Port C
t_{WW}	$\overline{WR}$ Pulse Width	100		ns	
t_{DW}	Data Setup Time Before $\overline{WR}\uparrow$	100		ns	
t_{WD}	Data Hold Time After $\overline{WR}\uparrow$	30		ns	Ports A & B
		30		ns	Port C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OTHER TIMINGS

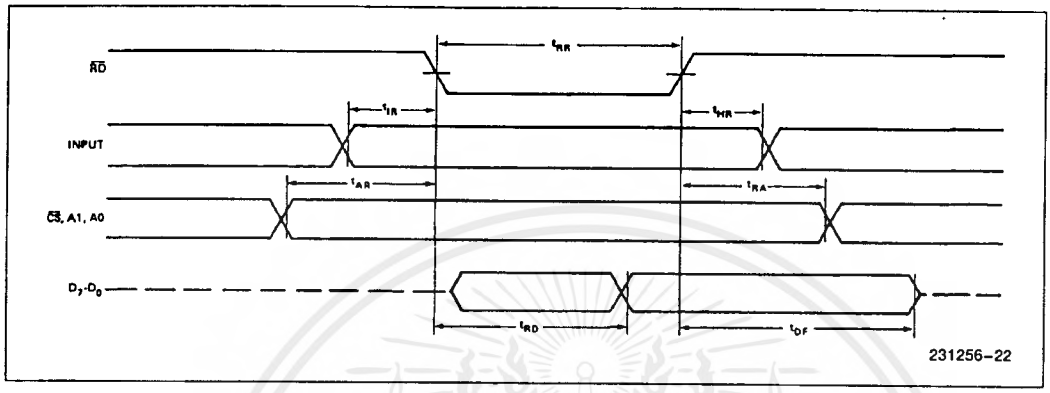
Symbol	Parameter	82C55A-2		Units Conditions	Test
		Min	Max		
t_{WB}	$\overline{WR}$ = 1 to Output		350	ns	
t_{IR}	Peripheral Data Before $\overline{RD}$	0		ns	
t_{HR}	Peripheral Data After $\overline{RD}$	0		ns	
t_{AK}	$\overline{ACK}$ Pulse Width	200		ns	
t_{ST}	$\overline{STB}$ Pulse Width	100		ns	
t_{PS}	Per. Data Before $\overline{STB}$ High	20		ns	
t_{PH}	Per. Data After $\overline{STB}$ High	50		ns	
t_{AD}	$\overline{ACK}$ = 0 to Output		175	ns	
t_{KD}	$\overline{ACK}$ = 1 to Output Float	20	250	ns	
t_{WOB}	$\overline{WR}$ = 1 to $\overline{OBF}$ = 0		150	ns	
t_{AOB}	$\overline{ACK}$ = 0 to $\overline{OBF}$ = 1		150	ns	
t_{SIB}	$\overline{STB}$ = 0 to IBF = 1		150	ns	
t_{RIB}	$\overline{RD}$ = 1 to IBF = 0		150	ns	
t_{RIT}	$\overline{RD}$ = 0 to INTR = 0		200	ns	
t_{SIT}	$\overline{STB}$ = 1 to INTR = 1		150	ns	
t_{AIT}	$\overline{ACK}$ = 1 to INTR = 1		150	ns	
t_{WIT}	$\overline{WR}$ = 0 to INTR = 0		200	ns	see note 1
t_{RES}	Reset Pulse Width	500		ns	see note 2

NOTE:
1. INTR ↑ may occur as early as $\overline{WR}$ ↓.
2. Pulse width of initial Reset pulse after power on must be at least 50 μSec. Subsequent Reset pulses may be 500 ns minimum. The output Ports A, B, or C may glitch low during the reset pulse but all port pins will be held at a logic "one" level after the reset pulse.

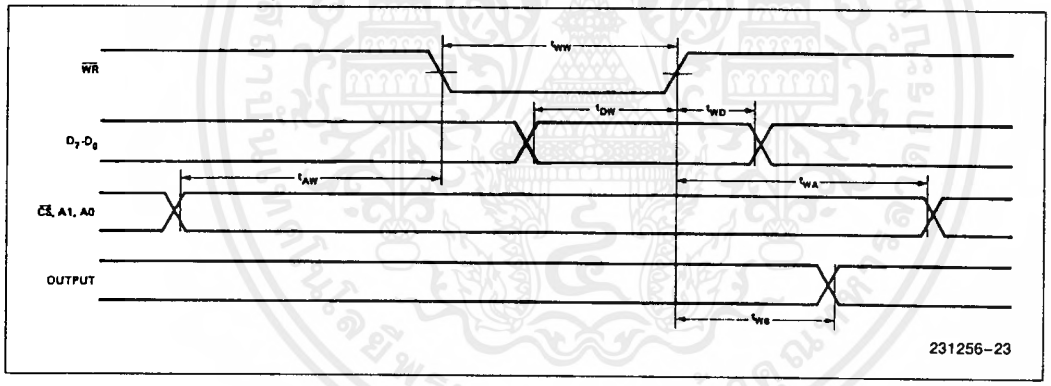
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS

MODE 0 (BASIC INPUT)



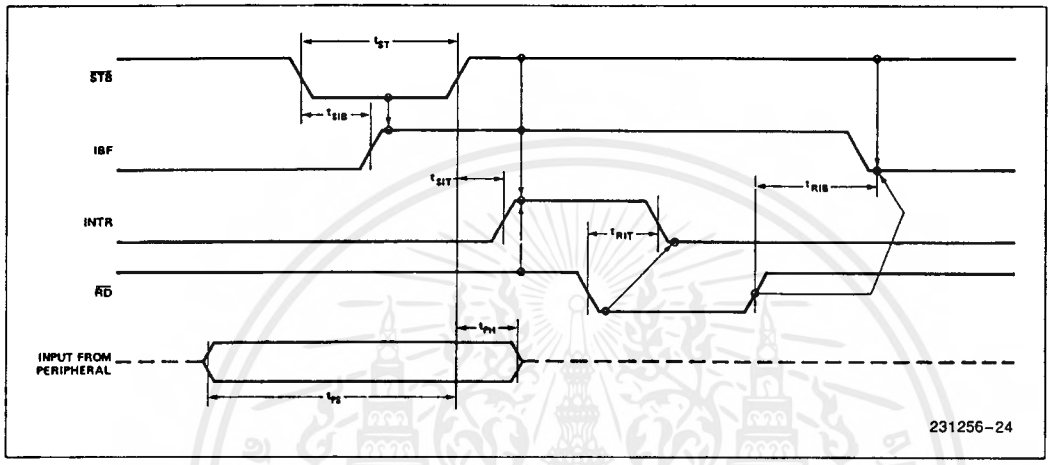
MODE 0 (BASIC OUTPUT)



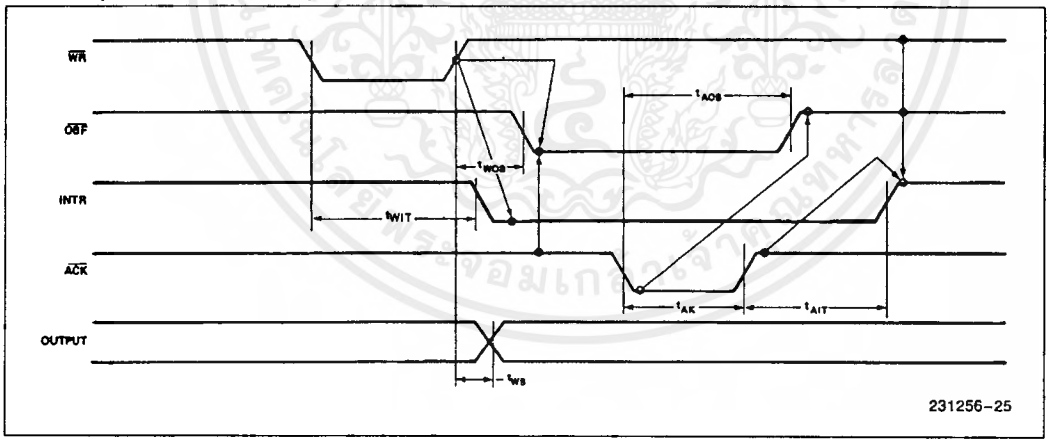
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS (Continued)

MODE 1 (STROBED INPUT)



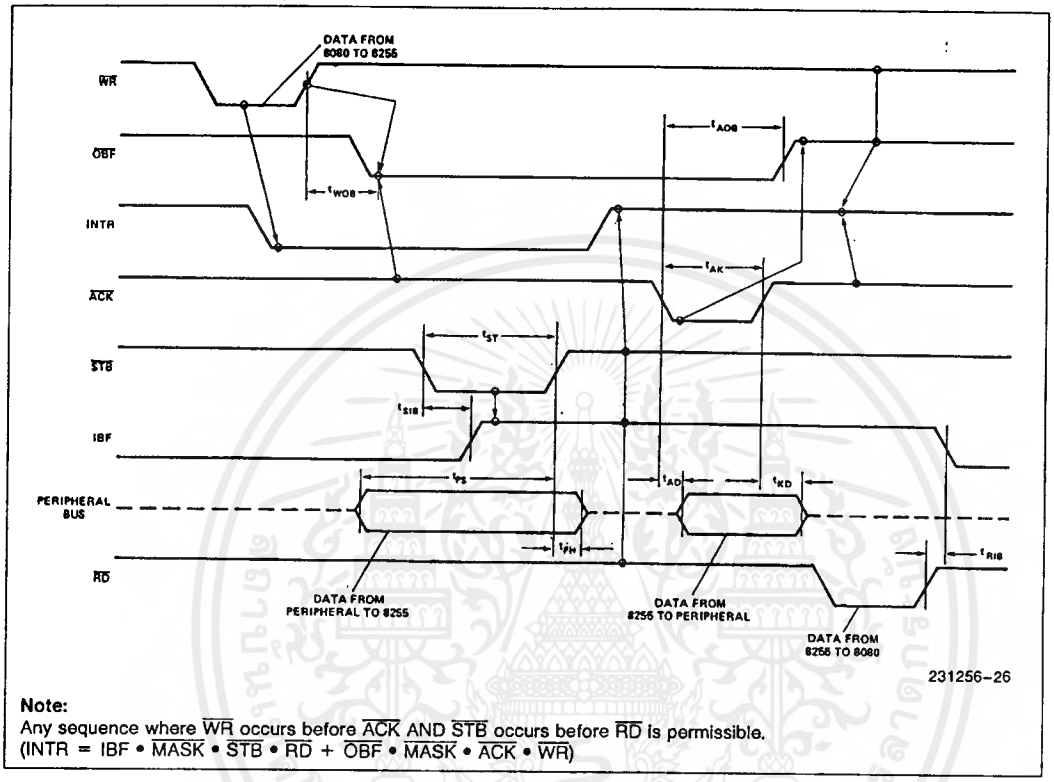
MODE 1 (STROBED OUTPUT)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

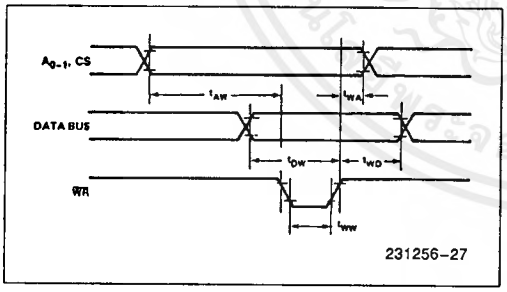
WAVEFORMS (Continued)

MODE 2 (BIDIRECTIONAL)

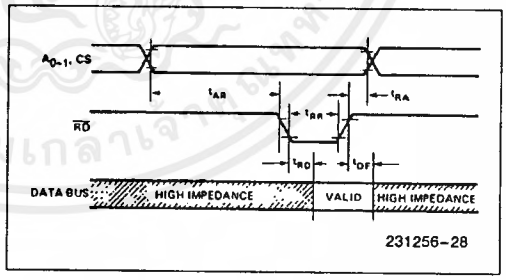


Note:
Any sequence where $\overline{WR}$ occurs before $\overline{ACK}$ AND $\overline{STB}$ occurs before $\overline{RD}$ is permissible.
($INTR = IBF \bullet \overline{MASK} \bullet \overline{STB} \bullet \overline{RD} + \overline{OBF} \bullet \overline{MASK} \bullet \overline{ACK} \bullet \overline{WR}$)

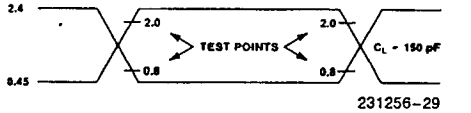
WRITE TIMING



READ TIMING

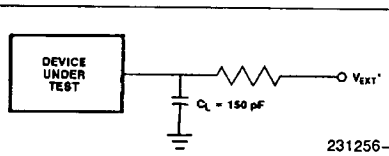


A.C. TESTING INPUT, OUTPUT WAVEFORM



A.C. Testing Inputs Are Driven At 2.4V For A Logic 1 And 0.45V For A Logic 0 Timing Measurements Are Made At 2.0V For A Logic 1 And 0.8 For A Logic 0.

A.C. TESTING LOAD CIRCUIT



*V_{EXT} Is Set At Various Voltages During Testing To Guarantee The Specification. C_L Includes Jig Capacitance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

November 1995

ADC0808/ADC0809
8-Bit µP Compatible A/D Converters with 8-Channel Multiplexer

General Description

The ADC0808, ADC0809 data acquisition component is a monolithic CMOS device with an 8-bit analog-to-digital converter, 8-channel multiplexer and microprocessor compatible control logic. The 8-bit A/D converter uses successive approximation as the conversion technique. The converter features a high impedance chopper stabilized comparator, a 256R voltage divider with analog switch tree and a successive approximation register. The 8-channel multiplexer can directly access any of 8-single-ended analog signals.

The device eliminates the need for external zero and full-scale adjustments. Easy interfacing to microprocessors is provided by the latched and decoded multiplexer address inputs and latched TTL TRI-STATE® outputs.

The design of the ADC0808, ADC0809 has been optimized by incorporating the most desirable aspects of several A/D conversion techniques. The ADC0808, ADC0809 offers high speed, high accuracy, minimal temperature dependence, excellent long-term accuracy and repeatability, and consumes minimal power. These features make this device ideally suited to applications from process and machine control to consumer and automotive applications. For 16-channel multiplexer with common output (sample/hold port) see ADC0816 data sheet. (See AN-247 for more information.)

Features

- Easy interface to all microprocessors
- Operates ratiometrically or with 5 V_{DC} or analog span adjusted voltage reference
- No zero or full-scale adjust required
- 8-channel multiplexer with address logic
- 0V to 5V input range with single 5V power supply
- Outputs meet TTL voltage level specifications
- Standard hermetic or molded 28-pin DIP package
- 28-pin molded chip carrier package
- ADC0808 equivalent to MM74C949
- ADC0809 equivalent to MM74C949-1

Key Specifications

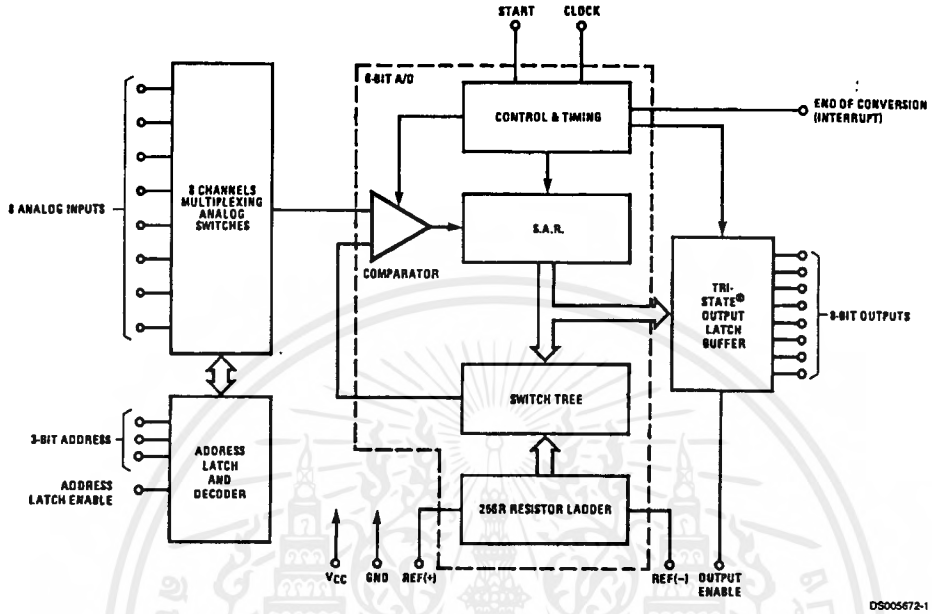
- Resolution: 8 Bits
- Total Unadjusted Error: ±½ LSB and ±1 LSB
- Single Supply: 5 V_{DC}
- Low Power: 15 mW
- Conversion Time: 100 µs

TRI-STATE® is a registered trademark of National Semiconductor Corp.

© 1997 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram



See Ordering Information

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1, 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage (V_{CC}) (Note 3)	6.5V
Voltage at Any Pin Except Control Inputs	−0.3V to (V_{CC}+0.3V)
Voltage at Control Inputs (START, OE, CLOCK, ALE, ADD A, ADD B, ADD C)	−0.3V to +15V
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A=25°C	875 mW
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Molded Chip Carrier Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C
ESD Susceptibility (Note 8)	400V

Operating Conditions (Notes 1, 2)

Temperature Range (Note 1)	$T_{MIN} \le T_A \le T_{MAX}$
ADC0808CJ	−55°C≤T_A≤+125°C
ADC0808CCJ, ADC0808CCN, ADC0809CCN	−40°C≤T_A≤+85°C
ADC0808CCV, ADC0809CCV	−40°C ≤ T_A ≤ +85°C
Range of V_{CC} (Note 1)	4.5 V_{DC} to 6.0 V_{DC}

Electrical Characteristics

Converter Specifications: V_{CC}=5 V_{DC}=V_{REF+}, $V_{REF(-)}$=GND, $T_{MIN} \le T_A \le T_{MAX}$ and f_{CLK}=640 kHz unless otherwise stated.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
	ADC0808					
	Total Unadjusted Error	25°C			±½	LSB
	(Note 5)	T_{MIN} to T_{MAX}			±¾	LSB
	ADC0809					
	Total Unadjusted Error	0°C to 70°C			±1	LSB
	(Note 5)	T_{MIN} to T_{MAX}			±1¼	LSB
	Input Resistance	From Ref(+) to Ref(−)	1.0	2.5		kΩ
	Analog Input Voltage Range	(Note 4) V(+) or V(−)	GND−0.10		V_{CC}+0.10	V_{DC}
$V_{REF(+)}$	Voltage, Top of Ladder	Measured at Ref(+)		V_{CC}	V_{CC}+0.1	V
$\frac{V_{REF(+)}+V_{REF(-)}}{2}$	Voltage, Center of Ladder		V_{CC}/2-0.1	V_{CC}/2	V_{CC}/2+0.1	V
$V_{REF(-)}$	Voltage, Bottom of Ladder	Measured at Ref(−)	−0.1	0		V
I_{IN}	Comparator Input Current	f_c=640 kHz, (Note 6)	−2	±0.5	2	µA

Electrical Characteristics

Digital Levels and DC Specifications: ADC0808CJ 4.5V≤V_{CC}≤5.5V, −55°C≤T_A≤+125°C unless otherwise noted ADC0808CCJ, ADC0808CCN, ADC0808CCV, ADC0809CCN and ADC0809CCV, 4.75V≤V_{CC}≤5.25V, −40°C≤T_A≤+85°C unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
ANALOG MULTIPLEXER						
$I_{OFF(+)}$	OFF Channel Leakage Current	V_{CC}=5V, V_{IN}=5V,				
		T_A=25°C		10	200	nA
		T_{MIN} to T_{MAX}			1.0	µA
$I_{OFF(-)}$	OFF Channel Leakage Current	V_{CC}=5V, V_{IN}=0,				
		T_A=25°C	−200	−10		nA
		T_{MIN} to T_{MAX}	−1.0			µA
CONTROL INPUTS						
$V_{IN(1)}$	Logical "1" Input Voltage		V_{CC}−1.5			V
$V_{IN(0)}$	Logical "0" Input Voltage				1.5	V
$I_{IN(1)}$	Logical "1" Input Current (The Control Inputs)	V_{IN}=15V			1.0	µA
$I_{IN(0)}$	Logical "0" Input Current (The Control Inputs)	V_{IN}=0	−1.0			µA
I_{CC}	Supply Current	f_{CLK}=640 kHz		0.3	3.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

Digital Levels and DC Specifications: ADC0808CJ $4.5V \le V_{CC} \le 5.5V$, $-55°C \le T_A \le +125°C$ unless otherwise noted ADC0808CCJ, ADC0808CCN, ADC0808CCV, ADC0809CCN and ADC0809CCV, $4.75V \le V_{CC} \le 5.25V$, $-40°C \le T_A \le +85°C$ unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
DATA OUTPUTS AND EOC (INTERRUPT)						
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_O=-360\ \mu A$	$V_{CC}-0.4$			V
$V_{OUT(0)}$	Logical "0" Output Voltage	$I_O=1.6$ mA			0.45	V
$V_{OUT(0)}$	Logical "0" Output Voltage EOC	$I_O=1.2$ mA			0.45	V
I_{OUT}	TRI-STATE Output Current	$V_O=5V$			3	µA
		$V_O=0$	−3			µA

Electrical Characteristics

Timing Specifications $V_{CC}=V_{REF(+)}=5V$, $V_{REF(-)}=GND$, $t_r=t_f=20$ ns and $T_A=25°C$ unless otherwise noted.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{WS}	Minimum Start Pulse Width	(*Figure 5*)		100	200	ns
t_{WALE}	Minimum ALE Pulse Width	(*Figure 5*)		100	200	ns
t_s	Minimum Address Set-Up Time	(*Figure 5*)		25	50	ns
t_H	Minimum Address Hold Time	(*Figure 5*)		25	50	ns
t_D	Analog MUX Delay Time From ALE	$R_S=0\Omega$ (*Figure 5*)		1	2.5	µS
t_{H1}, t_{H0}	OE Control to Q Logic State	$C_L=50$ pF, $R_L=10$k (*Figure 8*)		125	250	ns
t_{1H}, t_{0H}	OE Control to HI-Z	$C_L=10$ pF, $R_L=10$k (*Figure 8*)		125	250	ns
t_c	Conversion Time	$f_c=640$ kHz, (*Figure 5*) (Note 7)	90	100	116	µS
f_c	Clock Frequency		10	640	1280	kHz
t_{EOC}	EOC Delay Time	(*Figure 5*)	0		8+2 µS	Clock Periods
C_{IN}	Input Capacitance	At Control Inputs		10	15	pF
C_{OUT}	TRI-STATE Output Capacitance	At TRI-STATE Outputs		10	15	pF

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to GND, unless otherwise specified.

Note 3: A zener diode exists, internally, from V_{CC} to GND and has a typical breakdown voltage of 7 V_{DC}.

Note 4: Two on-chip diodes are tied to each analog input which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC}n supply. The spec allows 100 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 100 mV, the output code will be correct. To achieve an absolute $0V_{DC}$ to $5V_{DC}$ input voltage range will therefore require a minimum supply voltage of 4.900 V_{DC} over temperature variations, initial tolerance and loading.

Note 5: Total unadjusted error includes offset, full-scale, linearity, and multiplexer errors. See *Figure 2*. None of these A/Ds requires a zero or full-scale adjust. However, if an all zero code is desired for an analog input other than 0.0V, or if a narrow full-scale span exists (for example: 0.5V to 4.5V full-scale) the reference voltages can be adjusted to achieve this. See *Figure 13*.

Note 6: Comparator input current is a bias current into or out of the chopper stabilized comparator. The bias current varies directly with clock frequency and has little temperature dependence (*Figure "NO TGT: fig NS0592"*). See paragraph 4.0.

Note 7: The outputs of the data register are updated one clock cycle before the rising edge of EOC.

Note 8: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

Multiplexer. The device contains an 8-channel single-ended analog signal multiplexer. A particular input channel is selected by using the address decoder. *Table 1* shows the input states for the address lines to select any channel. The address is latched into the decoder on the low-to-high transition of the address latch enable signal.

TABLE 1.

SELECTED ANALOG CHANNEL	ADDRESS LINE		
	C	B	A
IN0	L	L	L
IN1	L	L	H
IN2	L	H	L
IN3	L	H	H
IN4	H	L	L
IN5	H	L	H
IN6	H	H	L
IN7	H	H	H

CONVERTER CHARACTERISTICS

The Converter

The heart of this single chip data acquisition system is its 8-bit analog-to-digital converter. The converter is designed to give fast, accurate, and repeatable conversions over a wide range of temperatures. The converter is partitioned into 3 major sections: the 256R ladder network, the successive approximation register, and the comparator. The converter's digital outputs are positive true.

The 256R ladder network approach (*Figure 1*) was chosen over the conventional R/2R ladder because of its inherent monotonicity, which guarantees no missing digital codes. Monotonicity is particularly important in closed loop feedback control systems. A non-monotonic relationship can cause oscillations that will be catastrophic for the system. Additionally, the 256R network does not cause load variations on the reference voltage.

The bottom resistor and the top resistor of the ladder network in *Figure 1* are not the same value as the remainder of the network. The difference in these resistors causes the output characteristic to be symmetrical with the zero and full-scale points of the transfer curve. The first output transition occurs when the analog signal has reached +½ LSB and succeeding output transitions occur every 1 LSB later up to full-scale.

The successive approximation register (SAR) performs 8 iterations to approximate the input voltage. For any SAR type converter, n-iterations are required for an n-bit converter. *Figure 2* shows a typical example of a 3-bit converter. In the ADC0808, ADC0809, the approximation technique is extended to 8 bits using the 256R network.

The A/D converter's successive approximation register (SAR) is reset on the positive edge of the start conversion (SC) pulse. The conversion is begun on the falling edge of the start conversion pulse. A conversion in process will be interrupted by receipt of a new start conversion pulse. Continuous conversion may be accomplished by tying the end-of-conversion (EOC) output to the SC input. If used in this mode, an external start conversion pulse should be applied after power up. End-of-conversion will go low between 0 and 8 clock pulses after the rising edge of start conversion.

The most important section of the A/D converter is the comparator. It is this section which is responsible for the ultimate accuracy of the entire converter. It is also the comparator drift which has the greatest influence on the repeatability of the device. A chopper-stabilized comparator provides the most effective method of satisfying all the converter requirements.

The chopper-stabilized comparator converts the DC input signal into an AC signal. This signal is then fed throught a high gain AC amplifier and has the DC level restored. This technique limits the drift component of the amplifier since the drift is a DC component which is not passed by the AC amplifier. This makes the entire A/D converter extremely insensitive to temperature, long term drift and input offset errors.

Figure 4 shows a typical error curve for the ADC0808 as measured using the procedures outlined in AN-179.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

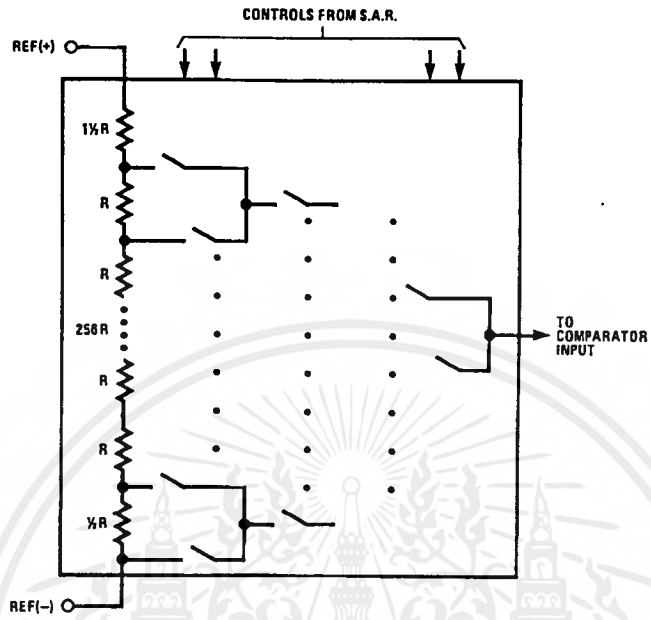


FIGURE 1. Resistor Ladder and Switch Tree

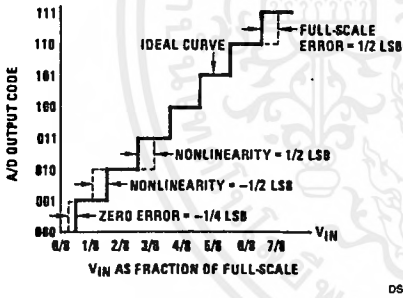


FIGURE 2. 3-Bit A/D Transfer Curve

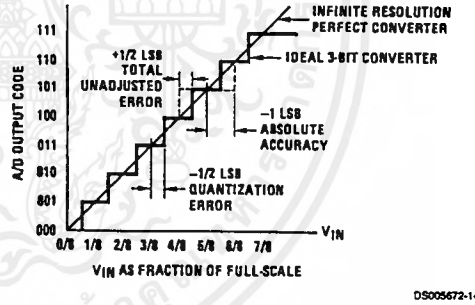


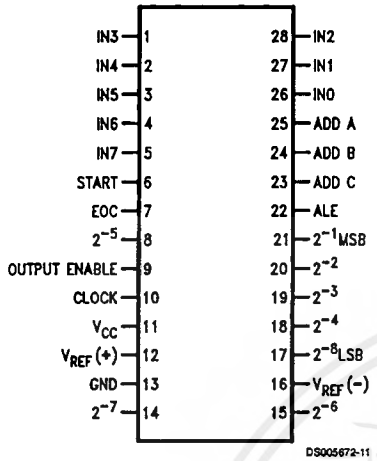
FIGURE 3. 3-Bit A/D Absolute Accuracy Curve

FIGURE 4. Typical Error Curve

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection Diagrams

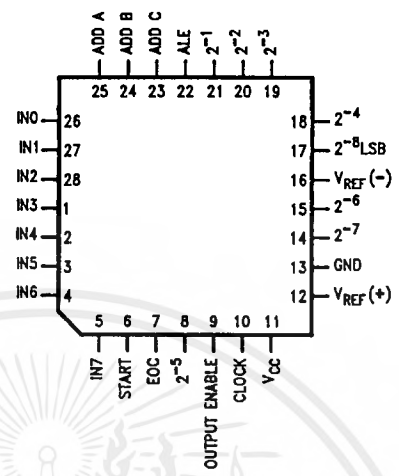
Dual-In-Line Package



DS005672-11

Order Number ADC0808CCN, ADC0809CCN, ADC0808CCJ or ADC0808CJ
See NS Package J28A or N28A

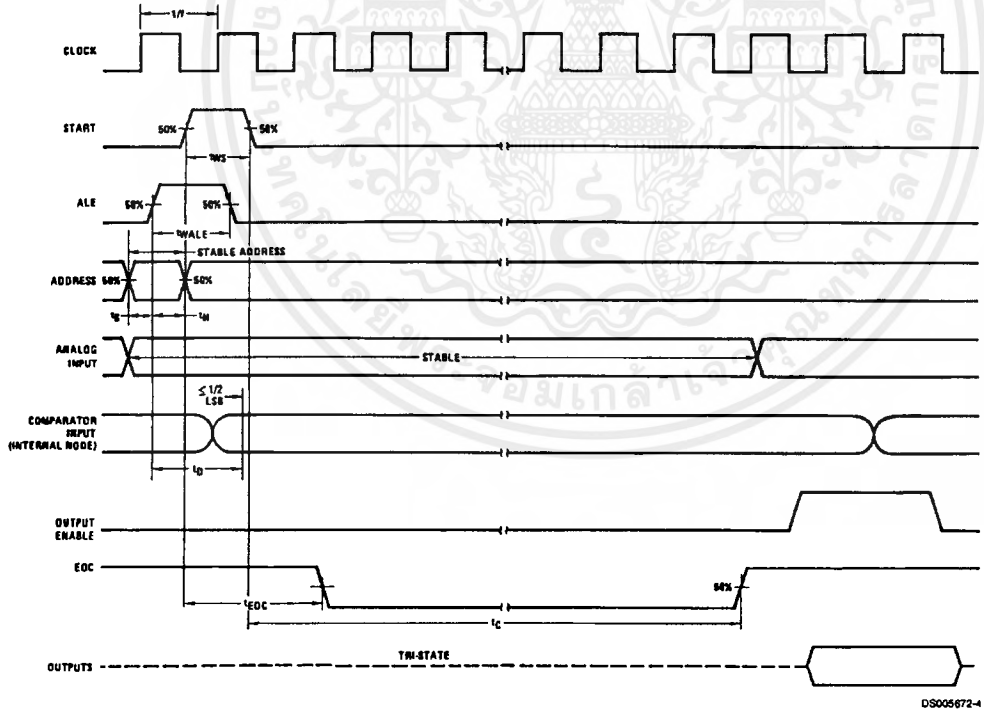
Molded Chip Carrier Package



DS005672-12

Order Number ADC0808CCV or ADC0809CCV
See NS Package V28A

Timing Diagram



DS005672-4

FIGURE 5.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

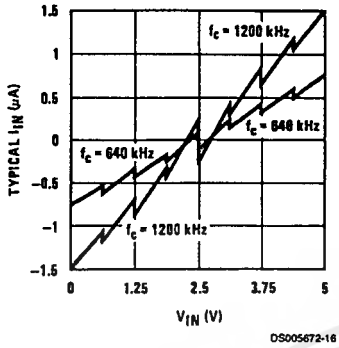


FIGURE 6. Comparator I_{IN} vs V_{IN} ($V_{CC}=V_{REF}=5V$)

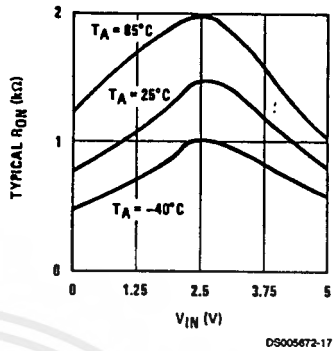


FIGURE 7. Multiplexer R_{ON} vs V_{IN} ($V_{CC}=V_{REF}=5V$)

TRI-STATE Test Circuits and Timing Diagrams

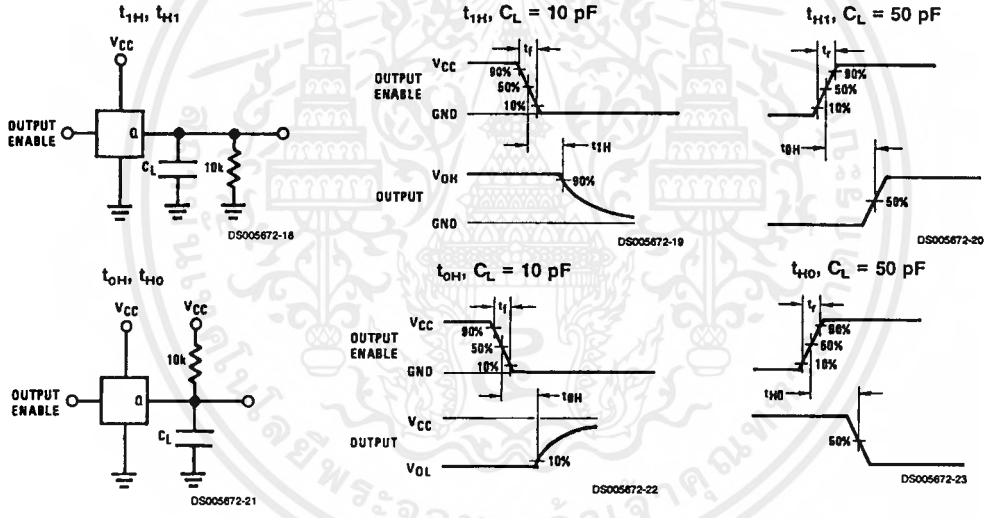


FIGURE 8.

Applications Information

OPERATION

1.0 RATIOMETRIC CONVERSION

The ADC0808, ADC0809 is designed as a complete Data Acquisition System (DAS) for ratiometric conversion systems. In ratiometric systems, the physical variable being measured is expressed as a percentage of full-scale which is not necessarily related to an absolute standard. The voltage input to the ADC0808 is expressed by the equation

$$\frac{V_{IN}}{V_{fs}-V_Z}=\frac{D_X}{D_{MAX}-D_{MIN}} \qquad (1)$$

V_{IN}=Input voltage into the ADC0808

V_{fs}=Full-scale voltage

V_Z=Zero voltage

D_X=Data point being measured

D_{MAX}=Maximum data limit

D_{MIN}=Minimum data limit

A good example of a ratiometric transducer is a potentiometer used as a position sensor. The position of the wiper is directly proportional to the output voltage which is a ratio of the full-scale voltage across it. Since the data is represented as a proportion of full-scale, reference requirements are greatly reduced, eliminating a large source of error and cost for many applications. A major advantage of the ADC0808, ADC0809 is that the input voltage range is equal to the supply range so the transducers can be connected directly across the supply and their outputs connected directly into the multiplexer inputs, (*Figure 9*).

Ratiometric transducers such as potentiometers, strain gauges, thermistor bridges, pressure transducers, etc., are

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

suitable for measuring proportional relationships; however, many types of measurements must be referred to an absolute standard such as voltage or current. This means a system reference must be used which relates the full-scale voltage to the standard volt. For example, if $V_{CC}=V_{REF}=5.12V$, then the full-scale range is divided into 256 standard steps. The smallest standard step is 1 LSB which is then 20 mV.

2.0 RESISTOR LADDER LIMITATIONS

The voltages from the resistor ladder are compared to the selected into 8 times in a conversion. These voltages are coupled to the comparator via an analog switch tree which is referenced to the supply. The voltages at the top, center and bottom of the ladder must be controlled to maintain proper operation.

The top of the ladder, Ref(+), should not be more positive than the supply, and the bottom of the ladder, Ref(−), should not be more negative than ground. The center of the ladder voltage must also be near the center of the supply because the analog switch tree changes from N-channel switches to P-channel switches. These limitations are automatically satisfied in ratiometric systems and can be easily met in ground referenced systems.

Figure 10 shows a ground referenced system with a separate supply and reference. In this system, the supply must be trimmed to match the reference voltage. For instance, if a 5.12V is used, the supply should be adjusted to the same voltage within 0.1V.

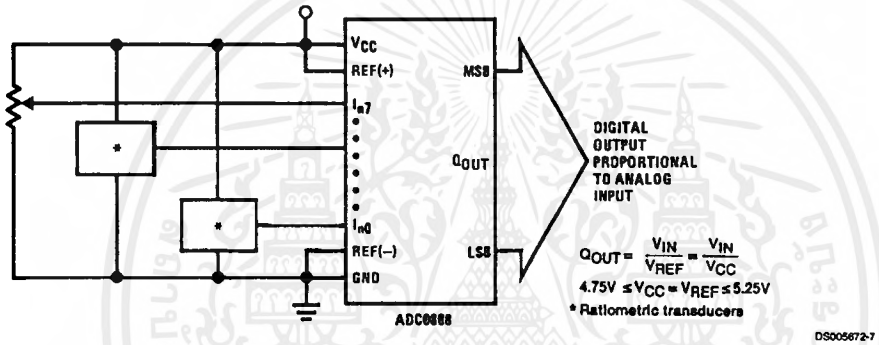


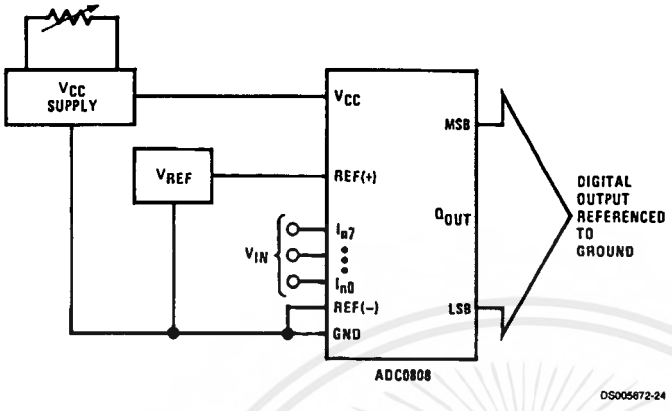
FIGURE 9. Ratiometric Conversion System

The ADC0808 needs less than a milliamp of supply current so developing the supply from the reference is readily accomplished. In *Figure 11* a ground referenced system is shown which generates the supply from the reference. The buffer shown can be an op amp of sufficient drive to supply the milliamp of supply current and the desired bus drive, or if a capacitive bus is driven by the outputs a large capacitor will supply the transient supply current as seen in *Figure 12*. The LM301 is overcompensated to insure stability when loaded by the 10 µF output capacitor.

The top and bottom ladder voltages cannot exceed V_{CC} and ground, respectively, but they can be symmetrically less than V_{CC} and greater than ground. The center of the ladder voltage should always be near the center of the supply. The sensitivity of the converter can be increased, (i.e., size of the LSB steps decreased) by using a symmetrical reference system. In *Figure 13*, a 2.5V reference is symmetrically centered about $V_{CC}/2$ since the same current flows in identical resistors. This system with a 2.5V reference allows the LSB bit to be half the size of a 5V reference system.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

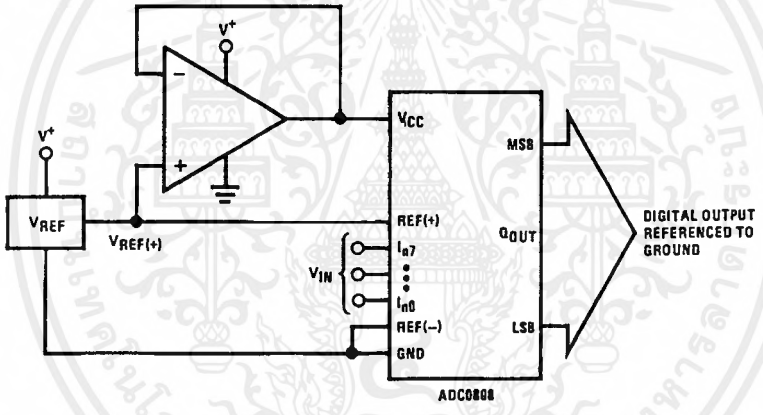
Applications Information (Continued)



$$Q_{OUT} = \frac{V_{IN}}{V_{REF}}$$

$4.75V \le V_{CC} = V_{REF} \le 5.25V$

FIGURE 10. Ground Referenced Conversion System Using Trimmed Supply



$$Q_{OUT} = \frac{V_{IN}}{V_{REF}}$$

$4.75V \le V_{CC} = V_{REF} \le 5.25V$

FIGURE 11. Ground Referenced Conversion System with Reference Generating V_{CC} Supply

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

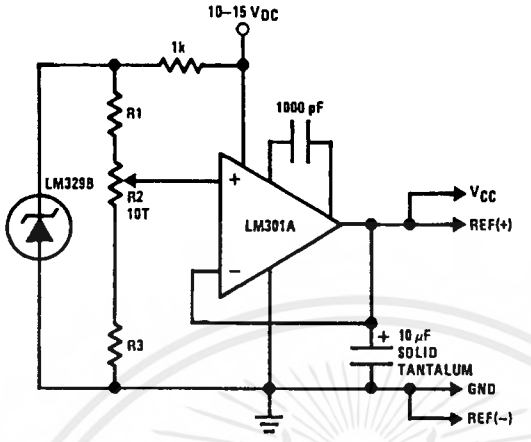
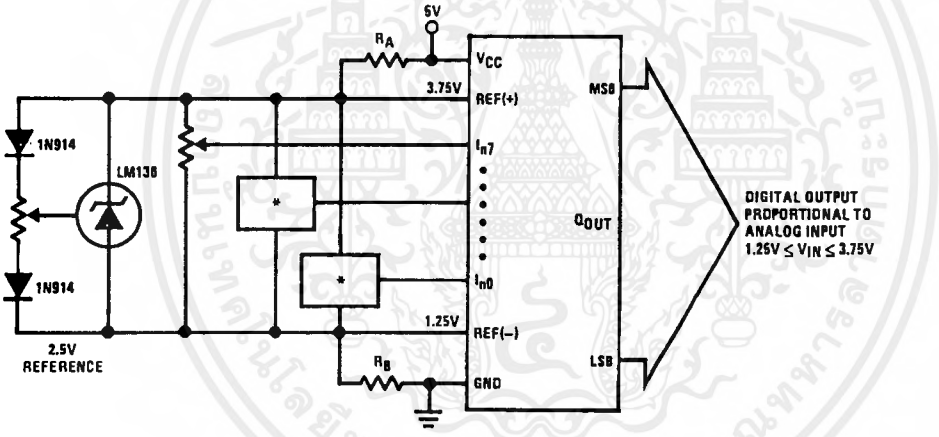


FIGURE 12. Typical Reference and Supply Circuit



$R_A = R_B$
*Ratiometric transducers

FIGURE 13. Symmetrically Centered Reference

3.0 CONVERTER EQUATIONS

The transition between adjacent codes N and N+1 is given by:

$$V_{IN} = \left\{ (V_{REF(+)} - V_{REF(-)}) \left[\frac{N}{256} + \frac{1}{512} \right] \pm V_{TUE} \right\} + V_{REF(-)} \quad (2)$$

The center of an output code N is given by:

$$V_{IN} \left\{ (V_{REF(+)} - V_{REF(-)}) \left[\frac{N}{256} \right] \pm V_{TUE} \right\} + V_{REF(-)} \quad (3)$$

The output code N for an arbitrary input are the integers within the range:

$$N = \frac{V_{IN} - V_{REF(-)}}{V_{REF(+)} - V_{REF(-)}} \times 256 \pm \text{Absolute Accuracy} \quad (4)$$

where: V_{IN}=Voltage at comparator input
$V_{REF(+)}$=Voltage at Ref(+)
$V_{REF(-)}$=Voltage at Ref(–)
V_{TUE}=Total unadjusted error voltage (typically $V_{REF(+)} \div 512$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

4.0 ANALOG COMPARATOR INPUTS

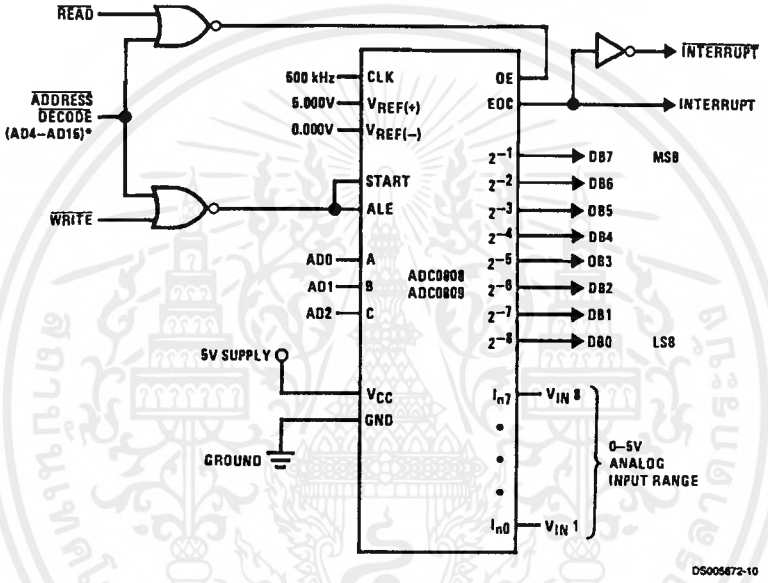
The dynamic comparator input current is caused by the periodic switching of on-chip stray capacitances. These are connected alternately to the output of the resistor ladder/switch tree network and to the comparator input as part of the operation of the chopper stabilized comparator.

The average value of the comparator input current varies directly with clock frequency and with V_{IN} as shown in *Figure 6*.

If no filter capacitors are used at the analog inputs and the signal source impedances are low, the comparator input current should not introduce converter errors, as the transient created by the capacitance discharge will die out before the comparator output is strobed.

If input filter capacitors are desired for noise reduction and signal conditioning they will tend to average out the dynamic comparator input current. It will then take on the characteristics of a DC bias current whose effect can be predicted conventionally.

Typical Application



*Address latches needed for 8085 and SC/MP interfacing the ADC0808 to a microprocessor

MICROPROCESSOR INTERFACE TABLE

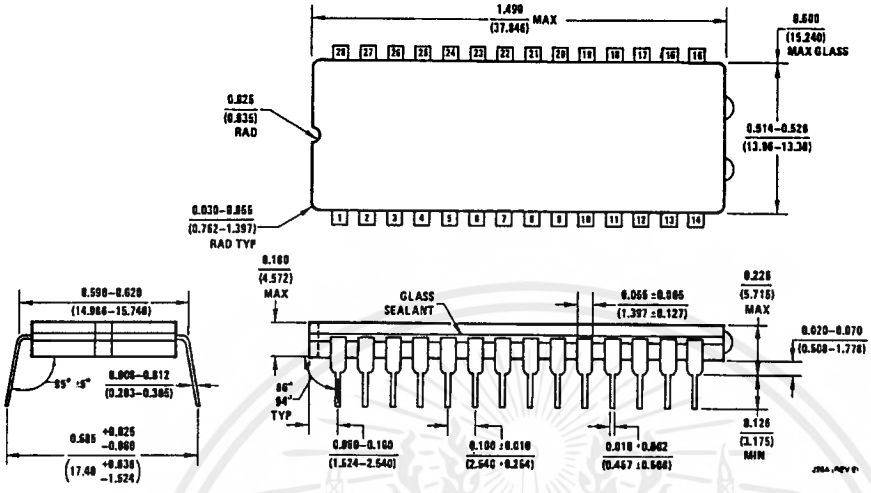
PROCESSOR	$\overline{\text{READ}}$	$\overline{\text{WRITE}}$	INTERRUPT (COMMENT)
8080	$\overline{\text{MEMR}}$	$\overline{\text{MEMW}}$	INTR (Thru RST Circuit)
8085	$\overline{\text{RD}}$	$\overline{\text{WR}}$	INTR (Thru RST Circuit)
Z-80	$\overline{\text{RD}}$	$\overline{\text{WR}}$	$\overline{\text{INT}}$ (Thru RST Circuit, Mode 0)
SC/MP	NRDS	NWDS	SA (Thru Sense A)
6800	VMA•φ2•R/W	VMA•φ•$\overline{\text{R/W}}$	$\overline{\text{IRQA}}$ or $\overline{\text{IRQB}}$ (Thru PIA)

Ordering Information

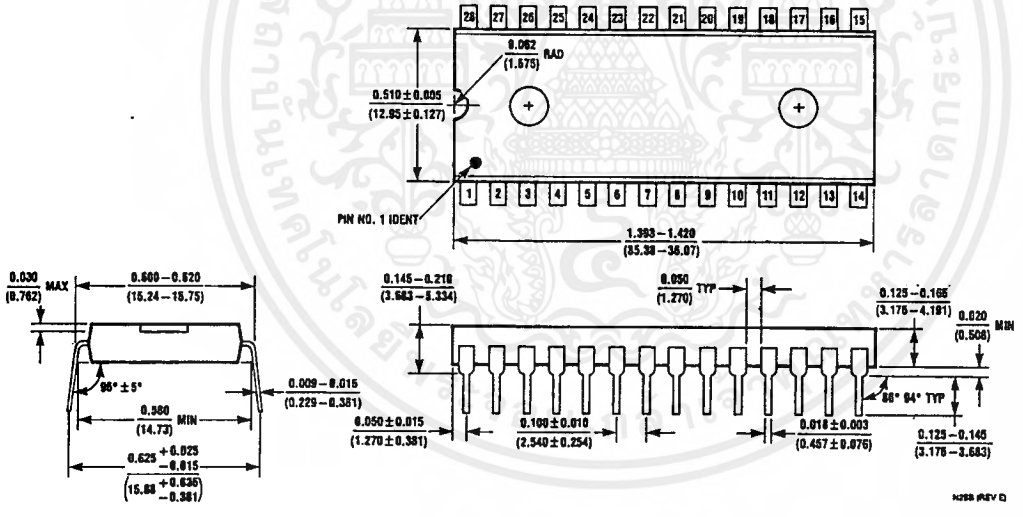
TEMPERATURE RANGE		−40°C to +85°C			−55°C to +125°C
Error	±½ LSB Unadjusted	ADC0808CCN	ADC0808CCV	ADC0808CCJ	ADC0808CJ
	±1 LSB Unadjusted	ADC0809CCN	ADC0809CCV		
Package Outline		N28A Molded DIP	V28A Molded Chip Carrier	J28A Ceramic DIP	J28A Ceramic DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted



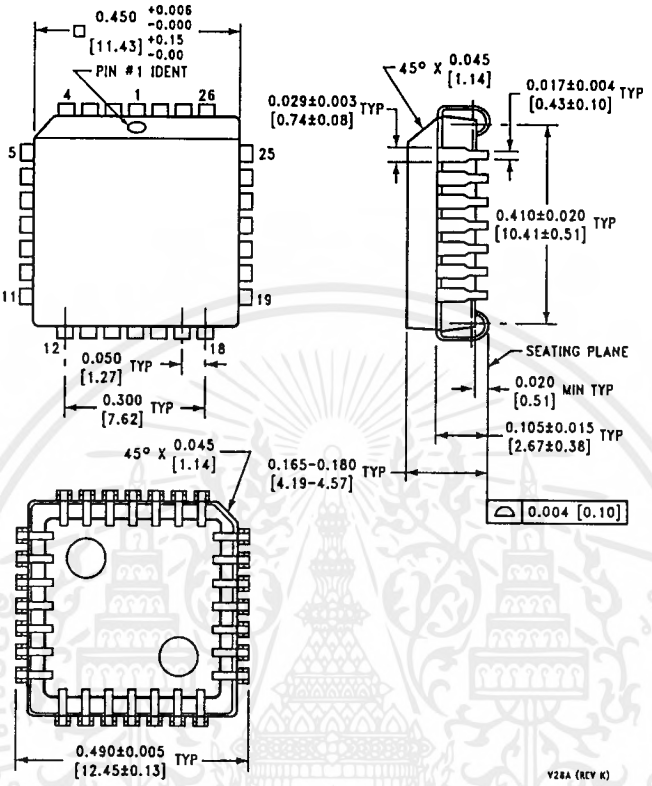
Ceramic Dual-In-Line Package (J)
Order Number ADC0808CCJ or ADC0808CJ
NS Package Number J28A



Molded Dual-In-Line Package (N)
Order Number ADC0808CCN or ADC0809CCN
NS Package Number N28B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



Molded Chip Carrier (V)
Order Number ADC0808CCV or ADC0809CCV
NS Package Number V28A

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
Americas
Tel: 1-800-272-9959
Fax: 1-800-737-7018
Email: support@nsc.com
www.national.com

National Semiconductor Europe
Fax: +49 (0) 1 80-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 1 80-530 85 85
English Tel: +49 (0) 1 80-532 78 32
Français Tel: +49 (0) 1 80-532 93 58
Italiano Tel: +49 (0) 1 80-534 16 80

National Semiconductor Asia Pacific Customer Response Group
Tel: 65-2544466
Fax: 65-2504466
Email: sea.support@nsc.com

National Semiconductor Japan Ltd.
Tel: 81-3-5620-6175
Fax: 81-3-5620-6179

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

February 1995

DAC0830/DAC0831/DAC0832 8-Bit μP Compatible, Double-Buffered D to A Converters

General Description

The DAC0830 is an advanced CMOS/Si-Cr 8-bit multiplying DAC designed to interface directly with the 8080, 8048, 8085, Z80®, and other popular microprocessors. A deposited silicon-chromium R-2R resistor ladder network divides the reference current and provides the circuit with excellent temperature tracking characteristics (0.05% of Full Scale Range maximum linearity error over temperature). The circuit uses CMOS current switches and control logic to achieve low power consumption and low output leakage current errors. Special circuitry provides TTL logic input voltage level compatibility.

Double buffering allows these DACs to output a voltage corresponding to one digital word while holding the next digital word. This permits the simultaneous updating of any number of DACs.

The DAC0830 series are the 8-bit members of a family of microprocessor-compatible DACs (MICRO-DAC™). For applications demanding higher resolution, the DAC1000 series (10-bits) and the DAC1208 and DAC1230 (12-bits) are available alternatives.

Features

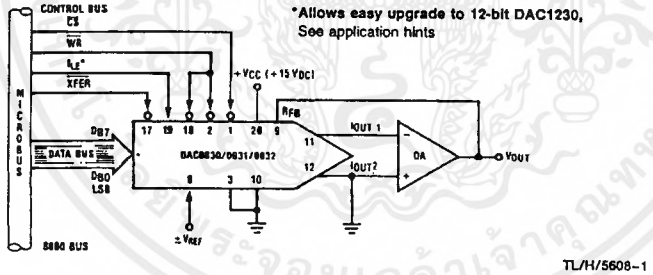
- Double-buffered, single-buffered or flow-through digital data inputs
- Easy interchange and pin-compatible with 12-bit DAC1230 series
- Direct interface to all popular microprocessors
- Linearity specified with zero and full scale adjust only—NOT BEST STRAIGHT LINE FIT.
- Works with ±10V reference-full 4-quadrant multiplication
- Can be used in the voltage switching mode
- Logic inputs which meet TTL voltage level specs (1.4V logic threshold)
- Operates "STAND ALONE" (without μP) if desired
- Available in 20-pin small-outline or molded chip carrier package

Key Specifications

■ Current settling time	1 μs
■ Resolution	8 bits
■ Linearity (guaranteed over temp.)	8, 9, or 10 bits
■ Gain Tempco	0.0002% FS/°C
■ Low power dissipation	20 mW
■ Single power supply	5 to 15 V_{DC}

BI-FET™ and MICRO-DAC™ are trademarks of National Semiconductor Corporation.
Z80® is a registered trademark of Zilog Corporation.

Typical Application

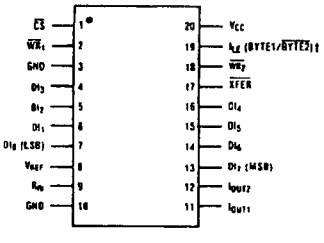


*Allows easy upgrade to 12-bit DAC1230, See application hints

TL/H/5608–1

Connection Diagrams (Top Views)

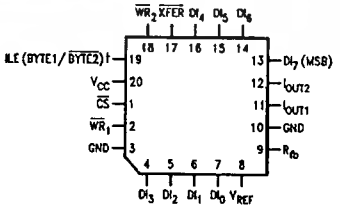
Dual-In-Line and Small-Outline Packages



†This is necessary for the 12-bit DAC1230 series to permit interchanging from an 8-bit to a 12-bit DAC with No PC board changes and no software changes. See applications section.

TL/H/5608–21

Molded Chip Carrier Package



TL/H/5608–22

DAC0830/DAC0831/DAC0832 8-Bit μP Compatible, Double-Buffered D to A Converters

©1995 National Semiconductor Corporation TL/H/5608

RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC})	17 V_{DC}
Voltage at Any Digital Input	V_{CC} to GND
Voltage at V_{REF} Input	±25V
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A = 25°C (Note 3)	500 mW
DC Voltage Applied to I_{OUT1} or I_{OUT2} (Note 4)	−100 mV to V_{CC}
ESD Susceptability (Note 14)	800V
Lead Temperature (soldering, 10 sec.)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

Operating Conditions

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
Part numbers with 'LCN' suffix	0°C to +70°C
Part numbers with 'LCWM' suffix	0°C to +70°C
Part numbers with 'LCV' suffix	0°C to +70°C
Part numbers with 'LCJ' suffix	−40°C to +85°C
Part numbers with 'LJ' suffix	−55°C to +125°C
Voltage at Any Digital Input	V_{CC} to GND

Electrical Characteristics

V_{REF} = 10.000 V_{DC} unless otherwise noted. **Boldface limits apply over temperature, $T_{MIN} \le T_A \le T_{MAX}$.** For all other limits T_A = 25°C.

Parameter	Conditions	See Note	V_{CC} = 4.75 V_{DC} V_{CC} = 15.75 V_{DC}		V_{CC} = 5 V_{DC} ±5% V_{CC} = 12 V_{DC} ±5% to 15 V_{DC} ±5%	Limit Units
			Typ (Note 12)	Tested Limit (Note 5)	Design Limit (Note 6)	
CONVERTER CHARACTERISTICS						
Resolution			8	8	**8**	bits
Linearity Error Max	Zero and full scale adjusted −10V ≤ V_{REF} ≤ +10V	4, 8				
ADC0830LJ & LCJ				**0.05**	**0.05**	% FSR
ADC0832LJ & LCJ				**0.2**	**0.2**	% FSR
ADC0830LCN, LCWM & LCV				0.05	**0.05**	% FSR
ADC0831LCN				0.1	**0.1**	% FSR
ADC0832LCN, LCWM & LCV				0.2	**0.2**	% FSR
Differential Nonlinearity Max	Zero and full scale adjusted −10V ≤ V_{REF} ≤ +10V	4, 8				
ADC0830LJ & LCJ				**0.1**	**0.1**	% FSR
ADC0832LJ & LCJ				**0.4**	**0.4**	% FSR
ADC0830LCN, LCWM & LCV				0.1	**0.1**	% FSR
ADC0831LCN				0.2	**0.2**	% FSR
ADC0832LCN, LCWM & LCV				0.4	**0.4**	% FSR
Monotonicity	−10V ≤ V_{REF} ≤ +10V LJ & LCJ	4		**8**	**8**	bits
	LCN, LCWM & LCV			8	**8**	bits
Gain Error Max	Using Internal R_{fb} −10V ≤ V_{REF} ≤ +10V	7	±0.2	±1	**±1**	% FS
Gain Error Tempco Max	Using internal R_{fb}		**0.0002**		**0.0006**	% FS/°C
Power Supply Rejection	All digital inputs latched high V_{CC} = 14.5V to 15.5V		0.0002	0.0025		% FSR/V
	11.5V to 12.5V		0.0006			
	4.5V to 5.5V		0.013	0.015		
Reference Input Max			**15**	**20**	**20**	kΩ
Reference Input Min			**15**	**10**	**10**	kΩ
Output Feedthrough Error	V_{REF} = 20 Vp-p, f = 100 kHz All data inputs latched low		3			mVp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics V_{REF} = 10.000 V_{DC} unless otherwise noted. **Boldface limits apply over temperature, $T_{MIN} \le T_A \le T_{MAX}$.** For all other limits T_A = 25°C. (Continued)

Parameter		Conditions		See Note	V_{CC} = 4.75 V_{DC} V_{CC} = 15.75 V_{DC}		V_{CC} = 5 V_{DC} ±5% V_{CC} = 12 V_{DC} ±5% to 15 V_{DC} ±5%	Limit Units
					Typ (Note 12)	Tested Limit (Note 5)	Design Limit (Note 6)	
CONVERTER CHARACTERISTICS (Continued)								
Output Leakage Current Max	I_{OUT1}	All data inputs latched low	LJ & LCJ	10		**100**	**100**	nA
			LCN, LCWM & LCV			50	**100**	
	I_{OUT2}	All data inputs latched high	LJ & LCJ			**100**	**100**	nA
			LCN, LCWM & LCV			50	**100**	
Output Capacitance	I_{OUT1} I_{OUT2}	All data inputs latched low			45 115			pF
	I_{OUT1} I_{OUT2}	All data inputs latched high			130 30			pF
DIGITAL AND DC CHARACTERISTICS								
Digital Input Voltages	Max	Logic Low	LJ 4.75V			**0.6**		V_{DC}
			LJ 15.75V			**0.8**		
			LCJ 4.75V			**0.7**		
			LCJ 15.75V			**0.8**		
			LCN, LCWM, LCV			0.95	**0.8**	
	Min	Logic High	LJ & LCJ			**2.0**	**2.0**	V_{DC}
			LCN, LCWM, LCV			1.9	**2.0**	
Digital Input Currents	Max	Digital inputs <0.8V						
			LJ & LCJ		−50	**−200**	**−200**	μA
			LCN, LCWM, LCV			−160	**−200**	μA
		Digital inputs >2.0V						
			LJ & LCJ		0.1	**+10**	**+10**	μA
			LCN, LCWM, LCV			+8	**+10**	
Supply Current Drain	Max		LJ & LCJ		1.2	**3.5**	**3.5**	mA
			LCN, LCWM, LCV			1.7	**2.0**	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics V_{REF} = 10.000 V_{DC} unless otherwise noted. **Boldface limits apply over temperature, $T_{MIN} \le T_A \le T_{MAX}$.** For all other limits T_A = 25°C. (Continued)

Symbol	Parameter	Conditions	See Note	V_{CC} = 15.75 V_{DC}		V_{CC} = 12 V_{DC} ±5% to 15 V_{DC} ±5%	V_{CC} = 4.75 V_{DC}		V_{CC} = 5 V_{DC} ±5%	Limit Units
				Typ (Note 12)	Tested Limit (Note 5)	Design Limit (Note 6)	Typ (Note 12)	Tested Limit (Note 5)	Design Limit (Note 6)	
C CHARACTERISTICS										
	Current Setting Time	V_{IL} = 0V, V_{IH} = 5V		1.0			1.0			µs
V	Write and XFER Pulse Width Min	V_{IL} = 0V, V_{IH} = 5V	11 9	100	250 **320**	**320**	375	600 **900**	**900**	ns
SI	Data Setup Time Min	V_{IL} = 0V, V_{IH} = 5V	9	100	250 **320**	**320**	375	600 **900**	**900**	
HI	Data Hold Time Min	V_{IL} = 0V, V_{IH} = 5V	9		30 **30**			50 **50**		
S	Control Setup Time Min	V_{IL} = 0V, V_{IH} = 5V	9	110	250 **320**	**320**	600	900 **1100**	**1100**	
H	Control Hold Time Min	V_{IL} = 0V, V_{IH} = 5V	9	0	0 **0**	**10**	0	0 **0**		

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to GND, unless otherwise specified.

Note 3: The maximum power dissipation must be derated at elevated temperatures and is dictated by T_{JMAX}, θ_{JA}, and the ambient temperature, T_A. The maximum allowable power dissipation at any temperature is $P_D = (T_{JMAX} - T_A)/\theta_{JA}$ or the number given in the Absolute Maximum Ratings, whichever is lower. For this device, T_{JMAX} = 125°C (plastic) or 150°C (ceramic), and the typical junction-to-ambient thermal resistance of the J package when board mounted is 80°C/W. For the N package, this number increases to 100°C/W and for the V package this number is 120°C/W.

Note 4: For current switching applications, both I_{OUT1} and I_{OUT2} must go to ground or the "Virtual Ground" of an operational amplifier. The linearity error is degraded by approximately V_{OS} + V_{REF}. For example, if V_{REF} = 10V then a 1 mV offset, V_{OS}, on I_{OUT1} or I_{OUT2} will introduce an additional 0.01% linearity error.

Note 5: Tested limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

Note 6: Guaranteed, but not 100% production tested. These limits are not used to calculate outgoing quality levels.

Note 7: Guaranteed at V_{REF} = ±10 V_{DC} and V_{REF} = ±1 V_{DC}.

Note 8: The unit "FSR" stands for "Full Scale Range." "Linearity Error" and "Power Supply Rejection" specs are based on this unit to eliminate dependence on a particular V_{REF} value and to indicate the true performance of the part. The "Linearity Error" specification of the DAC0830 is "0.05% of FSR (MAX)". This guarantees that after performing a zero and full scale adjustment (see Sections 2.5 and 2.6), the plot of the 256 analog voltage outputs will each be within 0.05% × V_{REF} of a straight line which passes through zero and full scale.

Note 9: Boldface tested limits apply to the LJ and LCJ suffix parts only.

Note 10: A 100nA leakage current with R_{fb} = 20k and V_{REF} = 10V corresponds to a zero error of $(100 \times 10^{-9} \times 20 \times 10^{3}) \times 100/10$ which is 0.02% of FS.

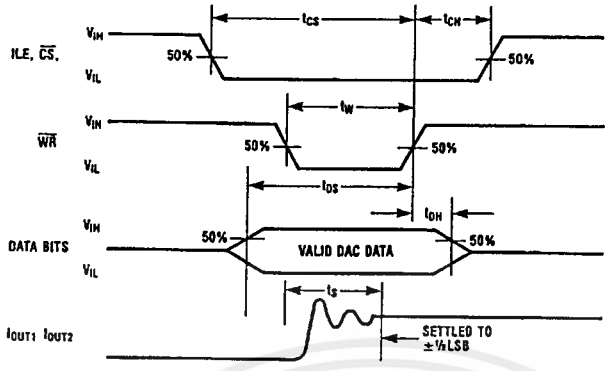
Note 11: The entire write pulse must occur within the valid data interval for the specified t_W, t_{DS}, t_{DH}, and t_S to apply.

Note 12: Typicals are at 25°C and represent most likely parametric norm.

Note 13: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Switching Waveform



TL/H/5608–2

Definition of Package Pinouts

Control Signals (All control signals level actuated)

$\overline{CS}$: **Chip Select** (active low). The $\overline{CS}$ in combination with ILE will enable $\overline{WR_1}$.

ILE: **Input Latch Enable** (active high). The ILE in combination with $\overline{CS}$ enables $\overline{WR_1}$.

$\overline{WR_1}$: **Write 1.** The active low $\overline{WR_1}$ is used to load the digital input data bits (DI) into the input latch. The data in the input latch is latched when $\overline{WR_1}$ is high. To update the input latch—$\overline{CS}$ and $\overline{WR_1}$ must be low while ILE is high.

$\overline{WR_2}$: **Write 2** (active low). This signal, in combination with $\overline{XFER}$, causes the 8-bit data which is available in the input latch to transfer to the DAC register.

$\overline{XFER}$: **Transfer control signal** (active low). The $\overline{XFER}$ will enable $\overline{WR_2}$.

Other Pin Functions

DI_0-DI_7: **Digital Inputs.** DI_0 is the least significant bit (LSB) and DI_7 is the most significant bit (MSB).

I_{OUT1}: **DAC Current Output 1.** I_{OUT1} is a maximum for a digital code of all 1's in the DAC register, and is zero for all 0's in DAC register.

I_{OUT2}: **DAC Current Output 2.** I_{OUT2} is a constant minus I_{OUT1}, or $I_{OUT1} + I_{OUT2} =$ constant (I full scale for a fixed reference voltage).

R_{fb}: **Feedback Resistor.** The feedback resistor is provided on the IC chip for use as the shunt feedback resistor for the external op amp which is used to provide an output voltage for the DAC. This on-chip resistor should always be used (not an external resistor) since it matches the resistors which are used in the on-chip R-2R ladder and tracks these resistors over temperature.

V_{REF}: **Reference Voltage Input.** This input connects an external precision voltage source to the internal R-2R ladder. V_{REF} can be selected over the range of +10 to −10V. This is also the analog voltage input for a 4-quadrant multiplying DAC application.

V_{CC}: **Digital Supply Voltage.** This is the power supply pin for the part. V_{CC} can be from +5 to $+15V_{DC}$. Operation is optimum for $+15V_{DC}$.

GND: The pin 10 voltage must be at the same ground potential as I_{OUT1} and I_{OUT2} for current switching applications. Any difference of potential (V_{OS} pin 10) will result in a linearity change of

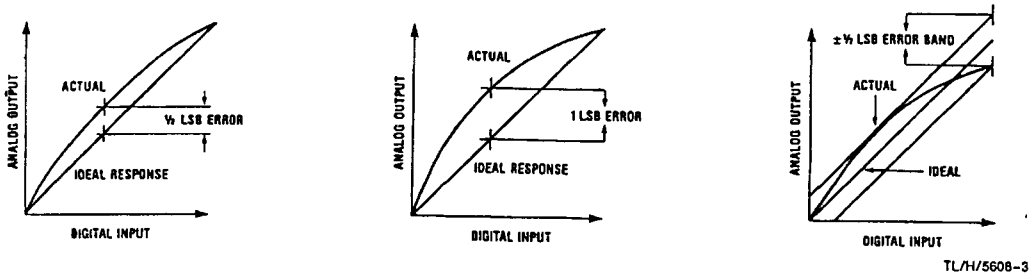
$$\frac{V_{OS} \text{ pin } 10}{3V_{REF}}$$

For example, if V_{REF} = 10V and pin 10 is 9mV offset from I_{OUT1} and I_{OUT2} the linearity change will be 0.03%.

Pin 3 can be offset ±100mV with no linearity change, but the logic input threshold will shift.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Linearity Error



TL/H/5608–3

a) End point test after zero and fs adj.

b) Best straight line

c) Shifting fs adj. to pass best straight line test

Definition of Terms

Resolution: Resolution is directly related to the number of switches or bits within the DAC. For example, the DAC0830 has 2^8 or 256 steps and therefore has 8-bit resolution.

Linearity Error: Linearity Error is the maximum deviation from a *straight line passing through the endpoints of the DAC transfer characteristic*. It is measured after adjusting for zero and full-scale. Linearity error is a parameter intrinsic to the device and cannot be externally adjusted.

National's linearity "end point test" (a) and the "best straight line" test (b,c) used by other suppliers are illustrated above. The "end point test" greatly simplifies the adjustment procedure by eliminating the need for multiple iterations of checking the linearity and then adjusting full scale until the linearity is met. The "end point test" guarantees that linearity is met after a single full scale adjust. (One adjustment vs. multiple iterations of the adjustment.) The "end point test" uses a standard zero and F.S. adjustment procedure and is a much more stringent test for DAC linearity.

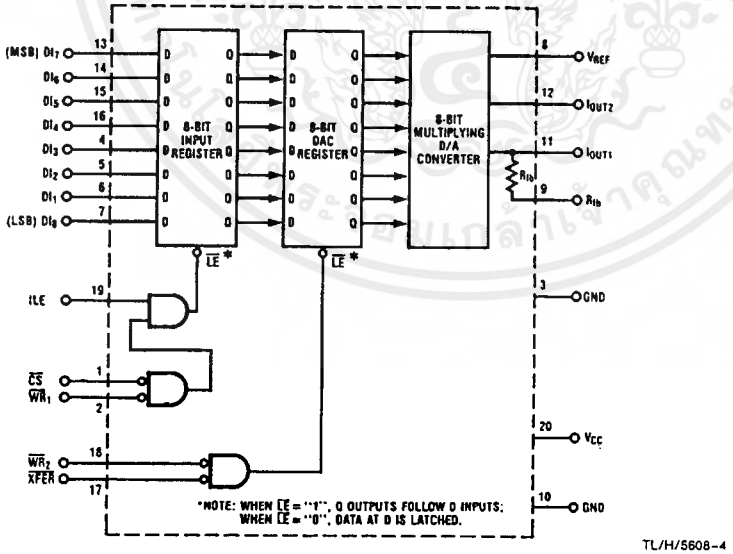
Power Supply Sensitivity: Power supply sensitivity is a measure of the effect of power supply changes on the DAC full-scale output.

Settling Time: Settling time is the time required from a code transition until the DAC output reaches within ±½LSB of the final output value. Full-scale settling time requires a zero to full-scale or full-scale to zero output change.

Full-Scale Error: Full scale error is a measure of the output error between an ideal DAC and the actual device output. Ideally, for the DAC0830 series, full-scale is $V_{REF} - 1LSB$. For $V_{REF} = 10V$ and unipolar operation, $V_{FULL\text{-}SCALE} = 10.0000V - 39mV = 9.961V$. Full-scale error is adjustable to zero.

Differential Nonlinearity: The difference between any two consecutive codes in the transfer curve from the theoretical 1 LSB is differential nonlinearity.

Monotonic: If the output of a DAC increases for increasing digital input code, then the DAC is monotonic. An 8-bit DAC which is monotonic to 8 bits simply means that increasing digital input codes will produce an increasing analog output.



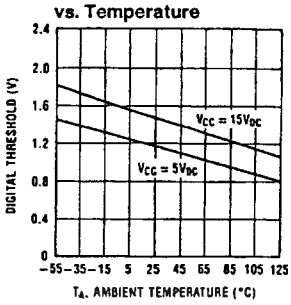
TL/H/5608–4

FIGURE 1. DAC0830 Functional Diagram

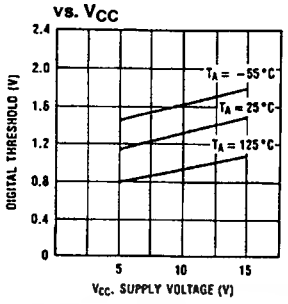
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

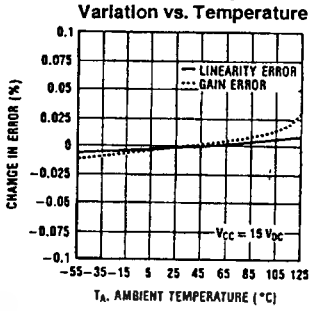
Digital Input Threshold vs. Temperature



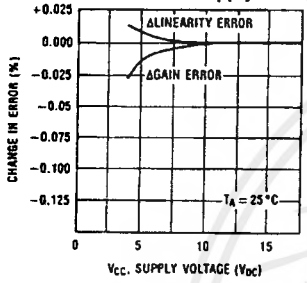
Digital Input Threshold vs. V_{CC}



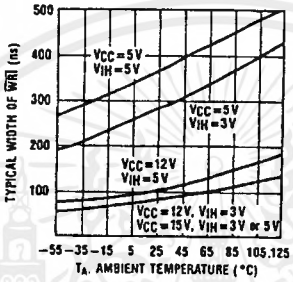
Gain and Linearity Error Variation vs. Temperature



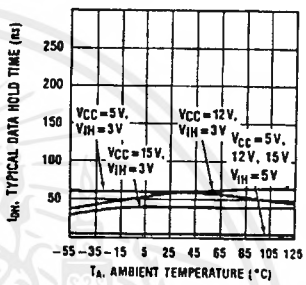
Gain and Linearity Error Variation vs. Supply Voltage



Write Pulse Width



Data Hold Time



TL/H/5608–5

DAC0830 Series Application Hints

These DAC's are the industry's first microprocessor compatible, double-buffered 8-bit multiplying D to A converters. Double-buffering allows the utmost application flexibility from a digital control point of view. This 20-pin device is also pin for pin compatible (with one exception) with the DAC1230, a 12-bit MICRO-DAC. In the event that a system's analog output resolution and accuracy must be upgraded, substituting the DAC1230 can be easily accomplished. By tying address bit A_0 to the ILE pin, a two-byte µP write instruction (double precision) which automatically increments the address for the second byte write (starting with A_0 = "1") can be used. This allows either an 8-bit or the 12-bit part to be used with no hardware or software changes. For the simplest 8-bit application, this pin should be tied to V_{CC} (also see other uses in section 1.1).

Analog signal control versatility is provided by a precision R-2R ladder network which allows full 4-quadrant multiplication of a wide range bipolar reference voltage by an applied digital word.

1.0 DIGITAL CONSIDERATIONS

A most unique characteristic of these DAC's is that the 8-bit digital input byte is double-buffered. This means that the data must transfer through two independently controlled 8-bit latching registers before being applied to the R-2R ladder network to change the analog output. The addition of a second register allows two useful control features. First, any DAC in a system can simultaneously hold the current DAC data in one register (DAC register) and the next data word in the second register (input register) to allow fast updating of the DAC output on demand. Second, and probably more important, double-buffering allows any number of DAC's in a system to be updated to their new analog output levels simultaneously via a common strobe signal.

The timing requirements and logic level convention of the register control signals have been designed to minimize or eliminate external interfacing logic when applied to most popular microprocessors and development systems. It is easy to think of these converters as 8-bit "write-only" memory locations that provide an analog output quantity. All inputs to these DAC's meet TTL voltage level specs and can also be driven directly with high voltage CMOS logic in non-microprocessor based systems. To prevent damage to the chip from static discharge, all unused digital inputs should be tied to V_{CC} or ground. If any of the digital inputs are inadvertantly left floating, the DAC interprets the pin as a logic "1".

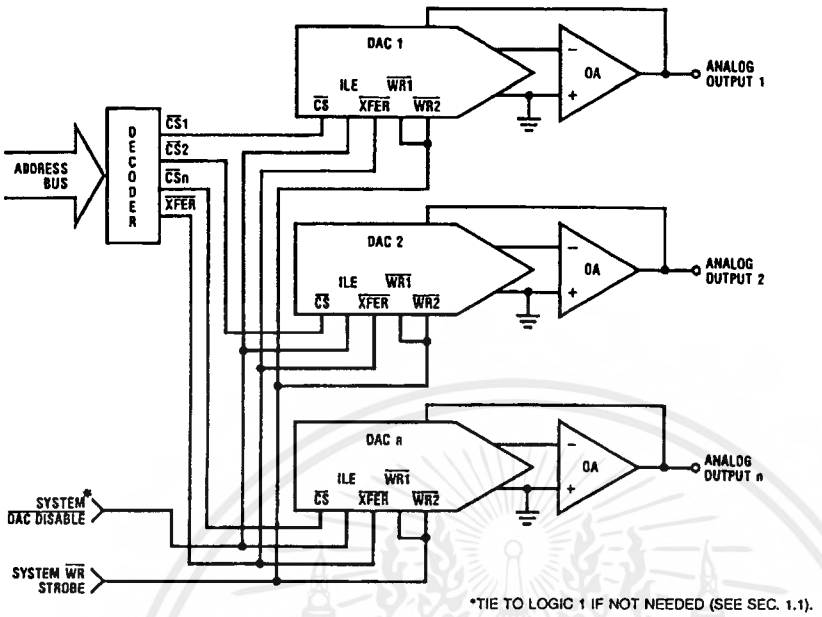
1.1 Double-Buffered Operation

Updating the analog output of these DAC's in a double-buffered manner is basically a two step or double write operation. In a microprocessor system two unique system addresses must be decoded, one for the input latch controlled by the $\overline{CS}$ pin and a second for the DAC latch which is controlled by the $\overline{XFER}$ line. If more than one DAC is being driven, *Figure 2*, the $\overline{CS}$ line of each DAC would typically be decoded individually, but all of the converters could share a common $\overline{XFER}$ address to allow simultaneous updating of any number of DAC's. The timing for this operation is shown, *Figure 3*.

It is important to note that the analog outputs that will change after a simultaneous transfer are those from the DAC's whose input register had been modified prior to the $\overline{XFER}$ command.

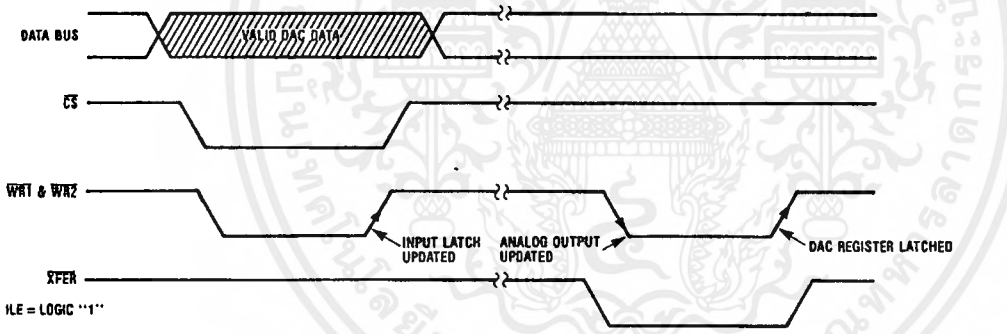
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DAC0830 Series Application Hints (Continued)



*TIE TO LOGIC 1 IF NOT NEEDED (SEE SEC. 1.1).

FIGURE 2. Controlling Mutiple DACs



TL/H/5608–6

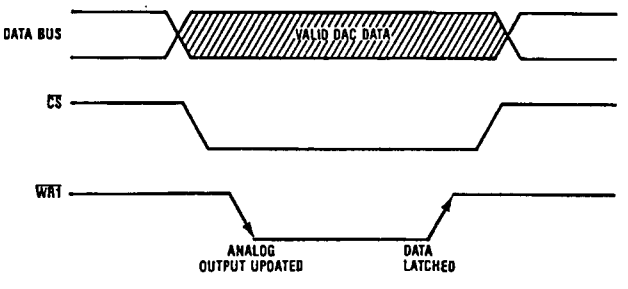
FIGURE 3

The ILE pin is an active high chip select which can be decoded from the address bus as a qualifier for the normal $\overline{CS}$ signal generated during a write operation. This can be used to provide a higher degree of decoding unique control signals for a particular DAC, and thereby create a more efficient addressing scheme.

Another useful application of the ILE pin of each DAC in a multiple DAC system is to tie these inputs together and use this as a control line that can effectively "freeze" the outputs of all the DAC's at their present value. Pulling this line low latches the input register and prevents new data from being written to the DAC. This can be particularly useful in multiprocessing systems to allow a processor other than the one controlling the DAC's to take over control of the data bus and control lines. If this second system were to use the same addresses as those decoded for DAC control (but for a different purpose) the ILE function would prevent the DAC's from being erroneously altered.

In a "Stand-Alone" system the control signals are generated by discrete logic. In this case double-buffering can be controlled by simply taking $\overline{CS}$ and $\overline{XFER}$ to a logic "0", ILE to a logic "1" and pulling $\overline{WR_1}$ low to load data to the input latch. Pulling $\overline{WR_2}$ low will then update the analog output. A logic "1" on either of these lines will prevent the changing of the analog output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ILE = LOGIC "1"; $\overline{WR2}$ and $\overline{XFER}$ GROUNDED

FIGURE 4

1.2 Single-Buffered Operation

In a microprocessor controlled system where maximum data throughput to the DAC is of primary concern, or when only one DAC of several needs to be updated at a time, a single-buffered configuration can be used. One of the two internal registers allows the data to flow through and the other register will serve as the data latch.

Digital signal feedthrough (see Section 1.5) is minimized if the input register is used as the data latch. Timing for this mode is shown in *Figure 4*.

Single-buffering in a "stand-alone" system is achieved by strobing $\overline{WR_1}$ low to update the DAC with $\overline{CS}$, $\overline{WR_2}$ and $\overline{XFER}$ grounded and ILE tied high.

1.3 Flow-Through Operation

Though primarily designed to provide microprocessor interface compatibility, the MICRO-DAC's can easily be configured to allow the analog output to continuously reflect the state of an applied digital input. This is most useful in applications where the DAC is used in a continuous feedback control loop and is driven by a binary up-down counter, or in function generation circuits where a ROM is continuously providing DAC data.

Simply grounding $\overline{CS}$, $\overline{WR_1}$, $\overline{WR_2}$, and $\overline{XFER}$ and tying ILE high allows both internal registers to follow the applied digital inputs (flow-through) and directly affect the DAC analog output.

1.4 Control Signal Timing

When interfacing these MICRO-DAC to any microprocessor, there are two important time relationships that must be considered to insure proper operation. The first is the minimum $\overline{WR}$ strobe pulse width which is specified as 900 ns for all valid operating conditions of supply voltage and ambient temperature, but typically a pulse width of only 180ns is adequate if $V_{CC} = 15V_{DC}$. A second consideration is that the guaranteed minimum data hold time of 50ns should be met or erroneous data can be latched. This hold time is defined as the length of time data must be held valid on the digital inputs *after* a qualified (via $\overline{CS}$) $\overline{WR}$ strobe makes a low to high transition to latch the applied data.

If the controlling device or system does not inherently meet these timing specs the DAC can be treated as a slow memory or peripheral and utilize a technique to extend the write strobe. A simple extension of the write time, by adding a wait state, can simultaneously hold the write strobe active and data valid on the bus to satisfy the minimum $\overline{WR}$ pulsewidth. If this does not provide a sufficient data hold time at the end of the write cycle, a negative edge triggered one-shot can be included between the system write strobe and the $\overline{WR}$ pin of the DAC. This is illustrated in *Figure 5* for an exemplary system which provides a 250ns $\overline{WR}$ strobe time with a data hold time of less than 10ns.

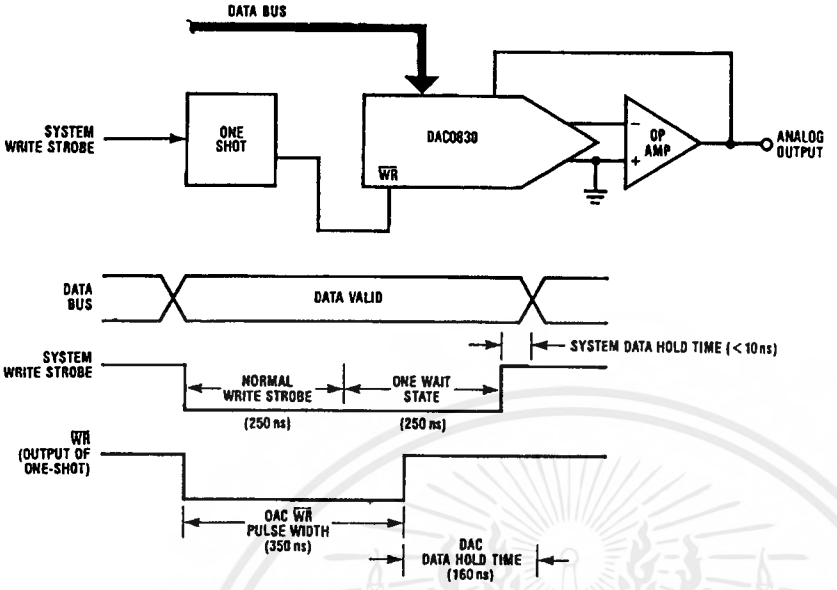
The proper data set-up time prior to the latching edge (LO to HI transition) of the $\overline{WR}$ strobe, is insured if the $\overline{WR}$ pulsewidth is within spec and the data is valid on the bus for the duration of the DAC $\overline{WR}$ strobe.

1.5 Digital Signal Feedthrough

When data is latched in the internal registers, but the digital inputs are changing state, a narrow spike of current may flow out of the current output terminals. This spike is caused by the rapid switching of internal logic gates that are responding to the input changes.

There are several recommendations to minimize this effect. When latching data in the DAC, always use the input register as the latch. Second, reducing the V_{CC} supply for the DAC from +15V to +5V offers a factor of 5 improvement in the magnitude of the feedthrough, but at the expense of internal logic switching speed. Finally, increasing C_C (*Figure 8*) to a value consistent with the actual circuit bandwidth requirements can provide a substantial damping effect on any output spikes.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



TL/H/5608–8

FIGURE 5. Accommodating a High Speed System

2.0 ANALOG CONSIDERATIONS

The fundamental purpose of any D to A converter is to provide an accurate analog output quantity which is representative of the applied digital word. In the case of the DAC0830, the output, I_{OUT1}, is a current directly proportional to the product of the applied reference voltage and the digital input word. For application versatility, a second output, I_{OUT2}, is provided as a current directly proportional to the complement of the digital input. Basically:

$$I_{OUT1} = \frac{V_{REF}}{15\ k\Omega} \times \frac{\text{Digital Input}}{256};$$

$$I_{OUT2} = \frac{V_{REF}}{15\ k\Omega} \times \frac{255 - \text{Digital Input}}{256}$$

where the digital input is the decimal (base 10) equivalent of the applied 8-bit binary word (0 to 255), V_{REF} is the voltage at pin 8 and 15 kΩ is the nominal value of the internal resistance, R, of the R-2R ladder network (discussed in Section 2.1).

Several factors external to the DAC itself must be considered to maintain analog accuracy and are covered in subsequent sections.

2.1 The Current Switching R-2R Ladder

The analog circuitry, *Figure 6*, consists of a silicon-chromium (SiCr or Si-chrome) thin film R-2R ladder which is deposited on the surface oxide of the monolithic chip. As a result, there are no parasitic diode problems with the ladder (as there may be with diffused resistors) so the reference voltage, V_{REF}, can range −10V to +10V even if V_{CC} for the device is $5V_{DC}$.

The digital input code to the DAC simply controls the position of the SPDT current switches and steers the available ladder current to either I_{OUT1} or I_{OUT2} as determined by the logic input level ("1" or "0") respectively, as shown in *Figure 6*. The MOS switches operate in the current mode with a small voltage drop across them and can therefore switch currents of either polarity. This is the basis for the 4-quadrant multiplying feature of this DAC.

2.2 Basic Unipolar Output Voltage

To maintain linearity of output current with changes in the applied digital code, it is important that the voltages at both of the current output pins be as near ground potential ($0V_{DC}$) as possible. With $V_{REF} = +10V$ every millivolt appearing at either I_{OUT1} or I_{OUT2} will cause a 0.01% linearity error. In most applications this output current is converted to a voltage by using an op amp as shown in *Figure 7*.

The inverting input of the op amp is a "virtual ground" created by the feedback from its output through the internal 15 kΩ resistor, R_{fb}. All of the output current (determined by the digital input and the reference voltage) will flow through R_{fb} to the output of the amplifier. Two-quadrant operation can be obtained by reversing the polarity of V_{REF} thus causing I_{OUT1} to flow into the DAC and be sourced from the output of the amplifier. The output voltage, in either case, is always equal to $I_{OUT1} \times R_{fb}$ and is the opposite polarity of the reference voltage.

The reference can be either a stable DC voltage source or an AC signal anywhere in the range from −10V to +10V. The DAC can be thought of as a digitally controlled attenuator: the output voltage is always less than or equal to the applied reference voltage. The V_{REF} terminal of the device presents a nominal impedance of 15 kΩ to ground to external circuitry.

Always use the internal R_{fb} resistor to create an output voltage since this resistor matches (and tracks with temperature) the value of the resistors used to generate the output current (I_{OUT1}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

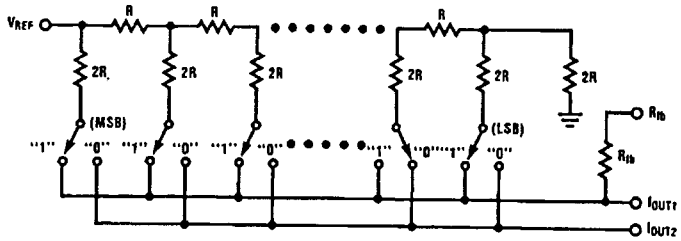


FIGURE 6

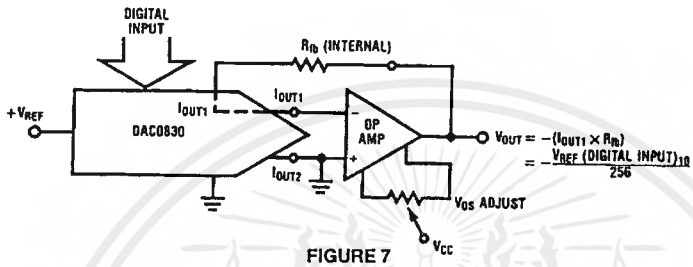


FIGURE 7

TL/H/5608–9

2.3 Op Amp Considerations

The op amp used in *Figure 7* should have offset voltage nulling capability (See Section 2.5).

The selected op amp should have as low a value of input bias current as possible. The product of the bias current times the feedback resistance creates an output voltage error which can be significant in low reference voltage applications. BI-FET op amps are highly recommended for use with these DACs because of their very low input current.

Transient response and settling time of the op amp are important in fast data throughput applications. The largest stability problem is the feedback pole created by the feedback resistance, R_{fb}, and the output capacitance of the DAC. This appears from the op amp output to the (−) input and includes the stray capacitance at this node. Addition of a lead capacitance, C_C in *Figure 8*, greatly reduces overshoot and ringing at the output for a step change in DAC output current.

Finally, the output voltage swing of the amplifier must be greater than V_{REF} to allow reaching the full scale output voltage. Depending on the loading on the output of the amplifier and the available op amp supply voltages (only ±12 volts in many development systems), a reference voltage less than 10 volts may be necessary to obtain the full analog output voltage range.

2.4 Bipolar Output Voltage with a Fixed Reference

The addition of a second op amp to the previous circuitry can be used to generate a bipolar output voltage from a fixed reference voltage. This, in effect, gives sign significance to the MSB of the digital input word and allows two-quadrant multiplication of the reference voltage. The polarity of the reference can also be reversed to realize full 4-quadrant multiplication: $\pm V_{REF} \times \pm$ Digital Code $= \pm V_{OUT}$. This circuit is shown in *Figure 9*.

This configuration features several improvements over existing circuits for bipolar outputs with other multiplying DACs. Only the offset voltage of amplifier 1 has to be nulled to preserve linearity of the DAC. The offset voltage error of the second op amp (although a constant output voltage error) has no effect on linearity. It should be nulled only if absolute output accuracy is required. Finally, the values of the resistors around the second amplifier do not have to match the internal DAC resistors, they need only to match and temperature track each other. A thin film 4-resistor network available from Beckman Instruments, Inc. (part no. 694-3-R10K-D) is ideally suited for this application. These resistors are matched to 0.1% and exhibit only 5 ppm/°C resistance tracking temperature coefficient. Two of the four available 10 kΩ resistors can be paralleled to form R in *Figure 9* and the other two can be used independently as the resistances labeled 2R.

2.5 Zero Adjustment

For accurate conversions, the input offset voltage of the output amplifier must always be nulled. Amplifier offset errors create an overall degradation of DAC linearity.

The fundamental purpose of zeroing is to make the voltage appearing at the DAC outputs as near $0V_{DC}$ as possible. This is accomplished for the typical DAC — op amp connection (*Figure 7*) by shorting out R_{fb}, the amplifier feedback resistor, and adjusting the V_{OS} nulling potentiometer of the op amp until the output reads zero volts. This is done, of course, with an applied digital code of all zeros if I_{OUT1} is driving the op amp (all one's for I_{OUT2}). The short around R_{fb} is then removed and the converter is zero adjusted.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

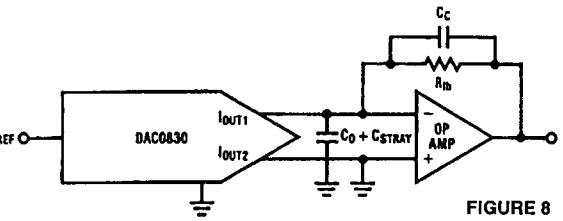
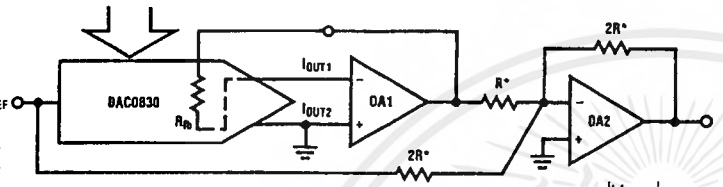


FIGURE 8

OP Amp	C_C	t_s (0 to Full Scale)
LF356	22 pF	4 μs
LF351	22 pF	5 μs
LF357*	10 pF	2 μs

*2.4 kΩ RESISTOR ADDED FROM −INPUT TO GROUND TO INSURE STABILITY



$$V_{OUT} = V_{REF} \frac{(\text{DIGITAL CODE} - 128)}{128}$$

$$1\ \text{LSB} = \frac{|V_{REF}|}{128}$$

TL/H/5608–10

*THESE RESISTORS ARE AVAILABLE FROM BECKMAN INSTRUMENTS, INC. AS THEIR PART NO. 694-3-R10K-D

Input Code MSB ..... LSB	IDEAL V_{OUT} $+V_{REF}$	IDEAL V_{OUT} $-V_{REF}$
1 1 1 1 1 1 1 1	$V_{REF} - 1$ LSB	$-\lvert V_{REF}\rvert + 1$ LSB
1 1 0 0 0 0 0 0	$V_{REF}/2$	$-\lvert V_{REF}\rvert/2$
1 0 0 0 0 0 0 0	0	0
0 1 1 1 1 1 1 1	-1 LSB	$+1$ LSB
0 0 1 1 1 1 1 1	$-\frac{\lvert V_{REF}\rvert}{2} - 1$ LSB	$\frac{\lvert V_{REF}\rvert}{2} + 1$ LSB
0 0 0 0 0 0 0 0	$-\lvert V_{REF}\rvert$	$+\lvert V_{REF}\rvert$

FIGURE 9

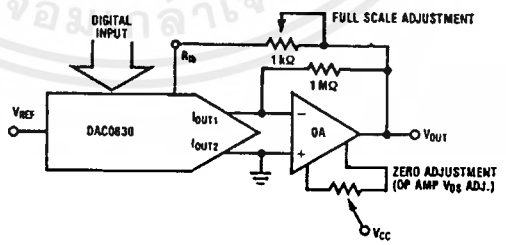
2.6 Full-Scale Adjustment

In the case where the matching of R_{fb} to the R value of the R-2R ladder (typically ±0.2%) is insufficient for full-scale accuracy in a particular application, the V_{REF} voltage can be adjusted or an external resistor and potentiometer can be added as shown in *Figure 10* to provide a full-scale adjustment.

The temperature coefficients of the resistors used for this adjustment are an important concern. To prevent degradation of the gain error temperature coefficient by the external resistors, their temperature coefficients ideally would have to match that of the internal DAC resistors, which is a highly impractical constraint. For the values shown in *Figure 10*, if the resistor and the potentiometer each had a temperature coefficient of ±100 ppm/°C maximum, the overall gain error temperature coefficent would be degraded a maximum of 0.0025%/°C for an adjustment pot setting of less than 3% of R_{fb}.

2.7 Using the DAC0830 in a Voltage Switching Configuration

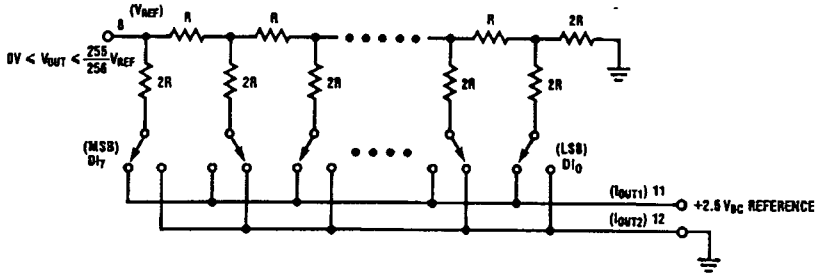
The R-2R ladder can also be operated as a voltage switching network. In this mode the ladder is used in an inverted manner from the standard current switching configuration. The reference voltage is connected to one of the current output terminals (I_{OUT1} for true binary digital control, I_{OUT2} is for complementary binary) and the output voltage is taken from the normal V_{REF} pin. The converter output is now a voltage in the range from 0V to 255/256 V_{REF} as a function of the applied digital code as shown in *Figure 11*.



TL/H/5608–11

FIGURE 10. Adding Full-Scale Adjustment

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

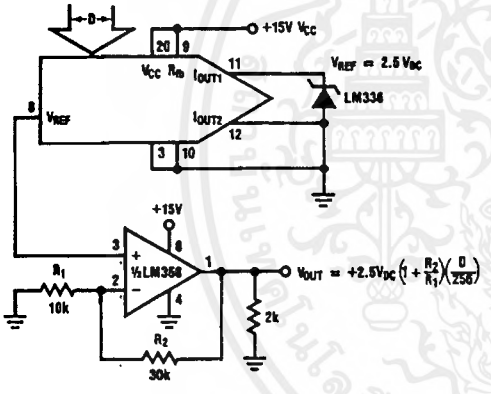


TL/H/5608–12

FIGURE 11. Voltage Mode Switching

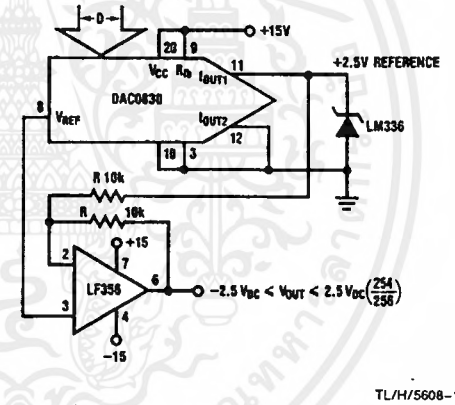
This configuration offers several useful application advantages. Since the output is a voltage, an external op amp is not necessarily required but the output impedance of the DAC is fairly high (equal to the specified reference input resistance of 10 kΩ to 20 kΩ) so an op amp may be used for buffering purposes. Some of the advantages of this mode are illustrated in *Figures 12, 13, 14* and *15*.

There are two important things to keep in mind when using this DAC in the voltage switching mode. The applied reference voltage must be positive since there are internal parasitic diodes from ground to the I_{OUT1} and I_{OUT2} terminals which would turn on if the applied reference went negative. There is also a dependence of conversion linearity and gain error on the voltage difference between V_{CC} and the voltage applied to the normal current output terminals. This is a result of the voltage drive requirements of the ladder switches. To ensure that all 8 switches turn on sufficiently (so as not to add significant resistance to any leg of the ladder and thereby introduce additional linearity and gain errors) it is recommended that the applied reference voltage be kept less than $+5V_{DC}$ and V_{CC} be at least 9V more positive than V_{REF}. These restrictions ensure less than 0.1% linearity and gain error change. *Figures 16, 17* and *18* characterize the effects of bringing V_{REF} and V_{CC} closer together as well as typical temperature performance of this voltage switching configuration.



- Voltage switching mode eliminates output signal inversion and therefore a need for a negative power supply.
- Zero code output voltage is limited by the low level output saturation voltage of the op amp. The 2 kΩ pull-down resistor helps to reduce this voltage.
- V_{OS} of the op amp has no effect on DAC linearity.

FIGURE 12. Single Supply DAC



TL/H/5608–13

- $V_{OUT} = 2.5V \left(\frac{D}{128} - 1\right)$
- Slewing and settling time for a full scale output change is ≈ 1.6 μs

FIGURE 13. Obtaining a Bipolar Output from a Fixed Reference with a Single Op Amp

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DAC0830 Series Application Hints (Continued)

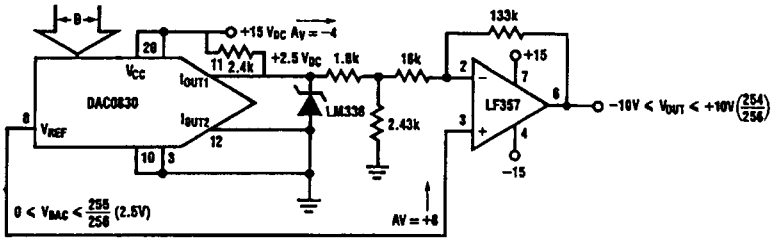
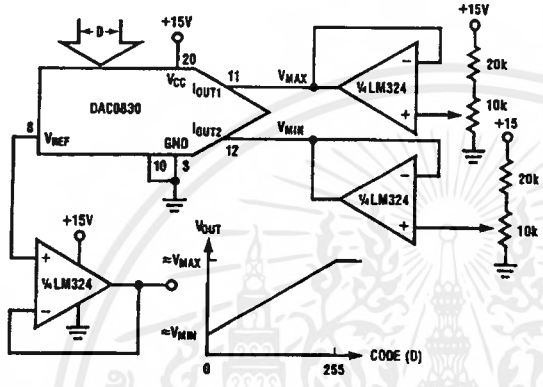


FIGURE 14. Bipolar Output with Increased Output Voltage Swing



TL/H/5608–14

- Only a single +15V supply required
- Non-interactive full-scale and zero code output adjustments
- V_{MAX} and V_{MIN} must be ≤ +5VDC and ≥0V.
- Incremental Output Step = $\frac{1}{256}(V_{MAX}-V_{MIN})$.
- $V_{OUT}=\frac{D}{256}(V_{MAX}-V_{MIN})+\frac{255}{256}V_{MIN}$

FIGURE 15. Single Supply DAC with Level Shift and Span-Adjustable Output

Gain and Linearity Error Variation vs. Supply Voltage

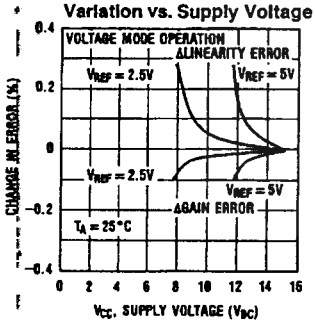


FIGURE 16

Gain and Linearity Error Variation vs. Reference Voltage

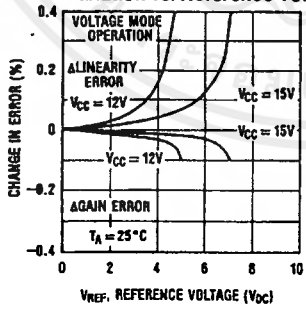
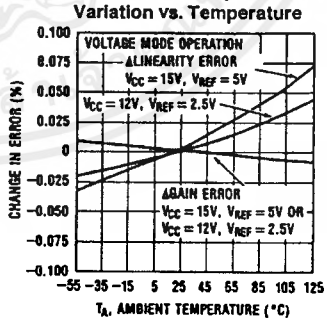


FIGURE 17

Note: For these curves, V_{REF} is the voltage applied to pin 11 (I_{OUT1}) with pin 12 (I_{OUT2}) grounded.

Gain and Linearity Error Variation vs. Temperature



TL/H/5608–15

FIGURE 18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DAC0830 Series Application Hints (Continued)

2.8 Miscellaneous Application Hints

These converters are CMOS products and reasonable care should be exercised in handling them to prevent catastrophic failures due to static discharge.

Conversion accuracy is only as good as the applied reference voltage so providing a stable source over time and temperature changes is an important factor to consider.

A "good" ground is most desirable. A single point ground distribution technique for analog signals and supply returns keeps other devices in a system from affecting the output of the DACs.

During power-up supply voltage sequencing, the −15V (or −12V) supply of the op amp may appear first. This will cause the output of the op amp to bias near the negative supply potential. No harm is done to the DAC, however, as the on-chip 15 kΩ feedback resistor sufficiently limits the current flow from I_{OUT1} when this lead is internally clamped to one diode drop below ground.

Careful circuit construction with minimization of lead lengths around the analog circuitry, is a primary concern. Good high frequency supply decoupling will aid in preventing inadvertant noise from appearing on the analog output.

Overall noise reduction and reference stability is of particular concern when using the higher accuracy versions, the DAC0830 and DAC0831, or their advantages are wasted.

3.0 GENERAL APPLICATION IDEAS

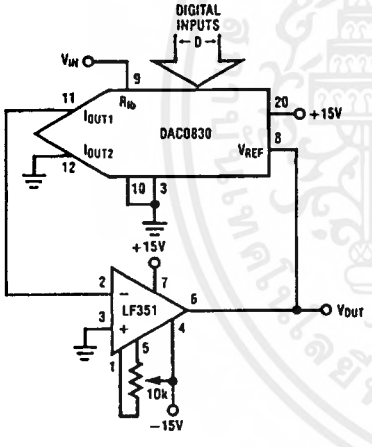
The connections for the control pins of the digital input registers are purposely omitted. Any of the control formats discussed in Section 1 of the accompanying text will work with any of the circuits shown. The method used depends on the overall system provisions and requirements.

The digital input code is referred to as D and represents the decimal equivalent value of the 8-bit binary input, for example:

Binary Input Pin 13 MSB							Pin 7 LSB	D Decimal Equivalent
1	1	1	1	1	1	1	1	255
1	0	0	0	0	0	0	0	128
0	0	0	1	0	0	0	0	16
0	0	0	0	0	0	1	0	2
0	0	0	0	0	0	0	0	0

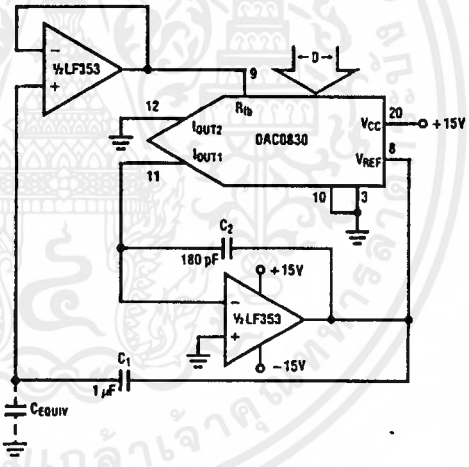
Applications

DAC Controlled Amplifier (Volume Control)



- $V_{OUT} = \frac{-V_{IN}(256)}{D}$
- When D = 0, the amplifier will go open loop and the output will saturate.
- Feedback impedance from the − input to the output varies from 15 kΩ to ∞ as the input code changes from full-scale to zero.

Capacitance Multiplier



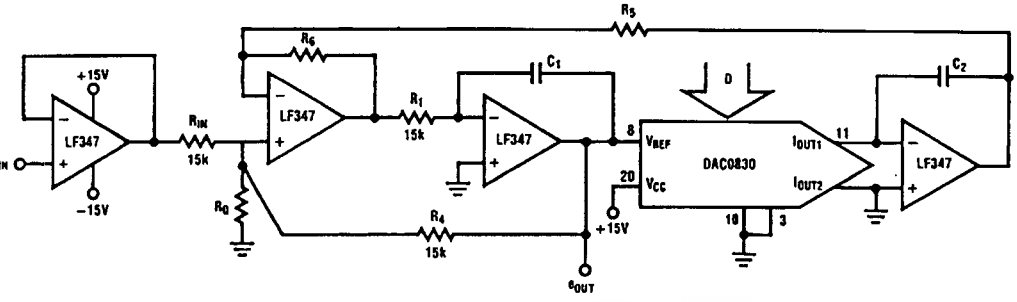
TL/H/5608–16

- $C_{EQUIV} = C_1\left(1 + \frac{256}{D}\right)$
- Maximum voltage across the equivalent capacitance is limited to $\frac{V_{O\,MAX}\,(\text{op amp})}{1 + \frac{256}{D}}$
- C_2 is used to improve settling time of op amp.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications (Continued)

Variable f_O, Variable Q_O, Constant BW Bandpass Filter



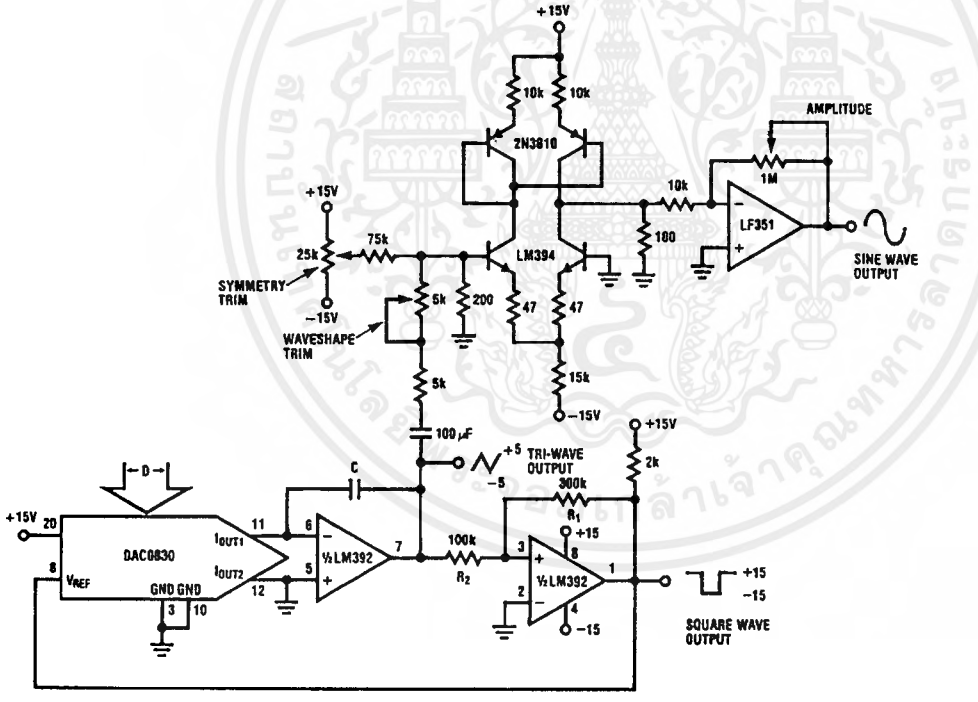
TL/H/5608–17

$$\bullet\ f_O = \frac{\sqrt{\frac{KD}{256}}}{2\pi R_1 C};\ Q_O = \sqrt{\frac{KD}{256}}\,\frac{(2R_Q + R_1)}{R_Q(K+1)};\ 3dbBW = \frac{R_Q(K+1)}{2\pi R_1 C(2R_Q + R_1)}$$

where $C_1 = C_2 = C$; $K = \frac{R_6}{R_5}$ and $R_1 = R$ of DAC = 15k

- $H_O = 1$ for $R_{IN} = R_4 = R_1$
- Range of f_O and Q is ≈ 16 to 1 for circuit shown. The range can be extended to 255 to 1 by replacing R_1 with a second DAC0830 driven by the same digital input word.
- Maximum $f_O \times Q$ product should be ≤200 kHz.

DAC Controlled Function Generator



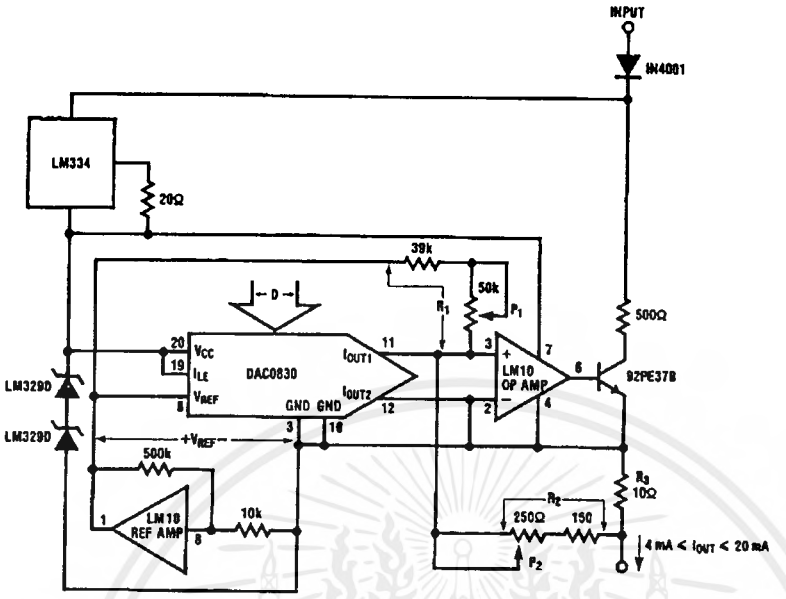
TL/H/5608–18

- DAC controls the frequency of sine, square, and triangle outputs.
- $f = \frac{D}{256(20k)C}$ for $V_{OMAX} = V_{OMIN}$ of square wave output and $R_1 = 3\,R_2$.
- 255 to 1 linear frequency range; oscillator stops with D = 0
- Trim symmetry and wave-shape for minimum sine wave distortion.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications (Continued)

Two Terminal Floating 4 to 20 mA Current Loop Controller

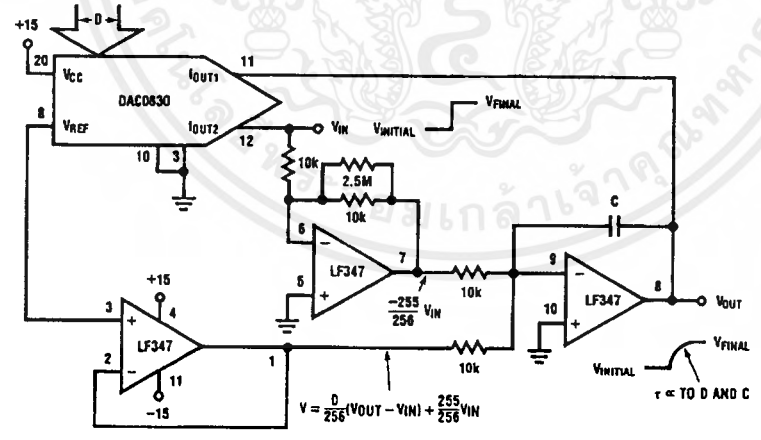


TL/H/5608–19

$$I_{OUT} = V_{REF}\left[\frac{1}{R_1} + \frac{D}{256\,R_{fb}}\right]\left[1 + \frac{R_2}{R_3}\right]$$

- DAC0830 linearly controls the current flow from the input terminal to the output terminal to be 4 mA (for D = 0) to 19.94 mA (for D = 255).
- Circuit operates with a terminal voltage differential of 16V to 55V.
- P_2 adjusts the magnitude of the output current and P_1 adjusts the zero to full scale range of output current.
- Digital inputs can be supplied from a processor using opto isolators on each input or the DAC latches can flow-through (connect control lines to pins 3 and 10 of the DAC) and the input data can be set by SPST toggle switches to ground (pins 3 and 10).

DAC Controlled Exponential Time Response



TL/H/5608–20

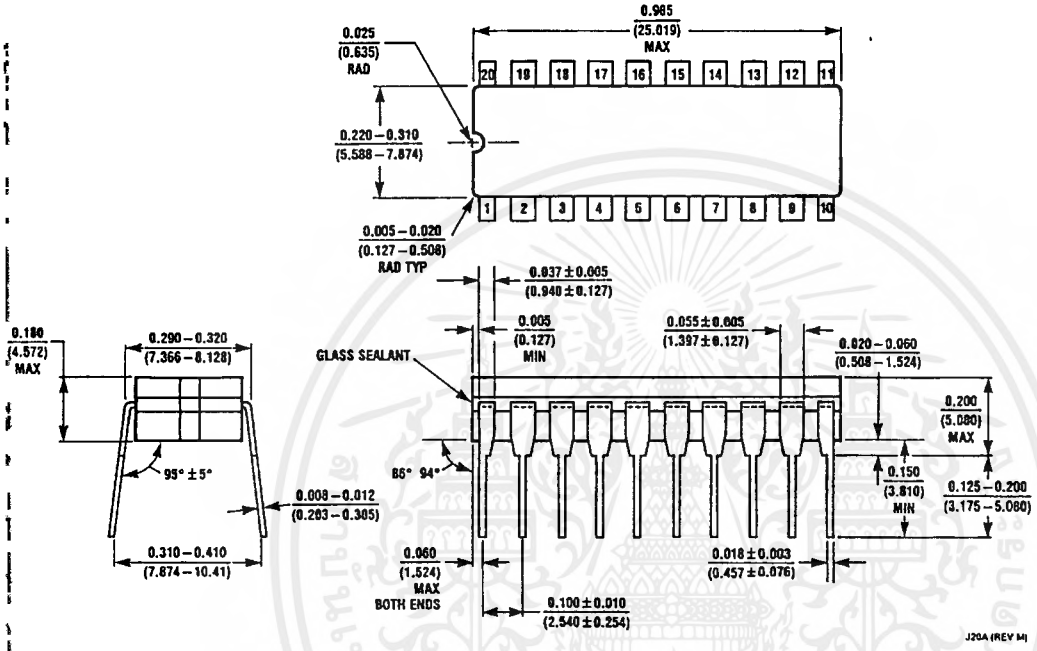
- Output responds exponentially to input changes and automatically stops when $V_{OUT} = V_{IN}$
- Output time constant is directly proportional to the DAC input code and capacitor C
- Input voltage must be positive (See section 2.7)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ordering Information

Temperature Range		0°C to +70°			−40°C to +85°C	−55°C to +125°C
Non linearity	0.05% FSR	DAC0830LCN	DAC0830LCM	DAC0830LCV	DAC0830LCJ	DAC0830LJ
	0.1% FSR	DAC0831LCN				
	0.2% FSR	DAC0832LCN	DAC0832LCM	DAC0832LCV	DAC0832LCJ	DAC0832LJ
Package Outline		N20A—Molded DIP	M20B Small Outline	V20A Chip Carrier	J20A—Ceramic DIP	

Physical Dimensions inches (millimeters)



Ceramic Dual-In-Line Package (J)
Order Number DAC0830LCJ,
DAC0830LJ, DAC0832LJ or DAC0832LCJ
NS Package Number J20A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14067B
MC14097B

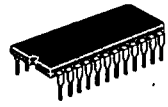
nalog
ultiplexers/Demultiplexers

he MC14067 and MC14097 multiplexers/demultiplexers are digitally ntrolled analog switches featuring low ON resistance and very low kage current. These devices can be used in either digital or analog plications.

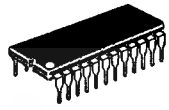
he MC14067 is a 16–channel multiplexer/demultiplexer with an inhibit d four binary control inputs A, B, C, and D. These control inputs select of–16 channels by turning ON the appropriate analog switch (see C14067 truth table.)

he MC14097 is a differential 8–channel multiplexer/demultiplexer with an ibit and three binary control inputs A, B, and C. These control inputs ect 1 of 8 pairs of channels by turning ON the appropriate analog switches e MC14097 truth table).

- Low OFF Leakage Current
- Matched Channel Resistance
- Low Quiescent Power Consumption
- Low Crosstalk Between Channels
- Wide Operating Voltage Range: 3 to 18 V
- Low Noise
- Pin for Pin Replacement for CD4067B and CD4097B



L SUFFIX
CERAMIC
CASE 623



P SUFFIX
PLASTIC
CASE 709

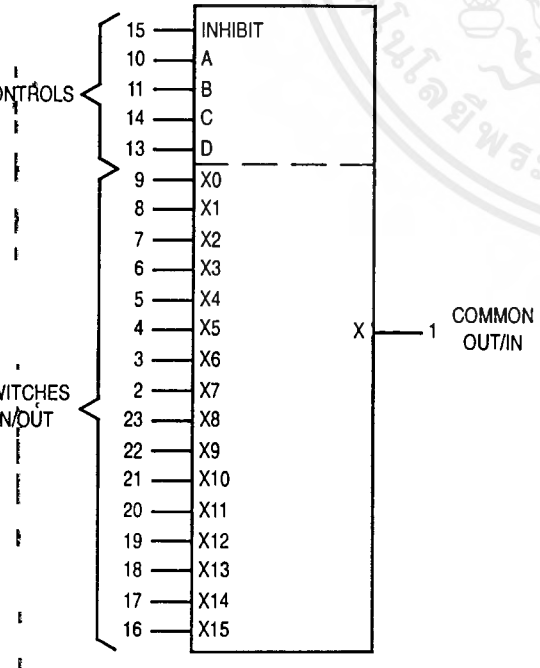
DW SUFFIX
SOIC
CASE 751E

ORDERING INFORMATION

MC14XXXBCP	Plastic
MC14XXXBCL	Ceramic
MC14XXXBDW	SOIC

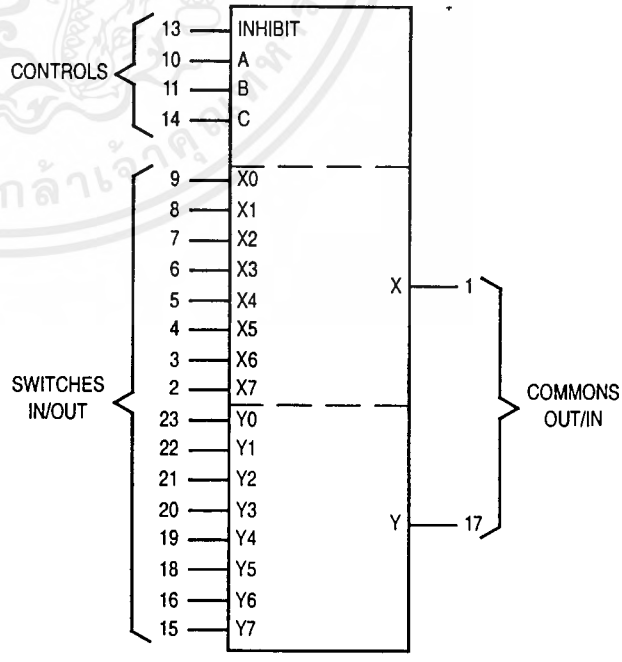
T_A = – 55° to 125°C for all packages.

MC14067B
16–Channel Analog
Multiplexer/Demultiplexer



V_{DD} = PIN 24
V_{SS} = PIN 12

MC14097B
Dual 8–Channel Analog
Multiplexer/Demultiplexer



otorola, Inc. 1995

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AXIMUM RATINGS* (Voltages Referenced to V_{SS})

ymbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage	– 0.5 to + 18.0	V
n, V_{out}	Input or Output Voltage (DC or Transient)	– 0.5 to V_{DD} + 0.5	V
I_{in}	Input Current (DC or Transient), per Control Pin	± 10	mA
I_{sw}	Switch Through Current	± 25	mA
P_D	Power Dissipation, per Package†	500	mW
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature (8–Second Soldering)	260	°C

aximum Ratings are those values beyond which damage to the device may occur.
mperature Derating:
Plastic "P and D/DW" Packages: – 7.0 mW/°C From 65°C To 125°C
Ceramic "L" Packages: – 12 mW/°C From 100°C To 125°C

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.

MC14067 TRUTH TABLE

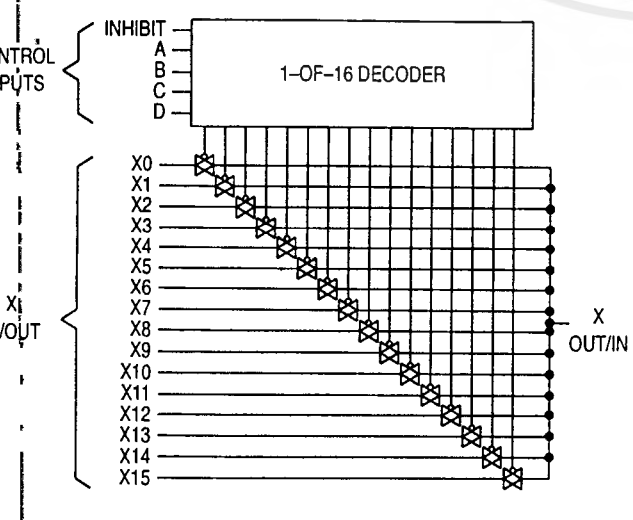
Control Inputs					Selected Channel
A	B	C	D	Inh	
X	X	X	X	1	None
0	0	0	0	0	X0
1	0	0	0	0	X1
0	1	0	0	0	X2
1	1	0	0	0	X3
0	0	1	0	0	X4
1	0	1	0	0	X5
0	1	1	0	0	X6
1	1	1	0	0	X7
0	0	0	1	0	X8
1	0	0	1	0	X9
0	1	0	1	0	X10
1	1	0	1	0	X11
0	0	1	1	0	X12
1	0	1	1	0	X13
0	1	1	1	0	X14
1	1	1	1	0	X15

MC14097 TRUTH TABLE

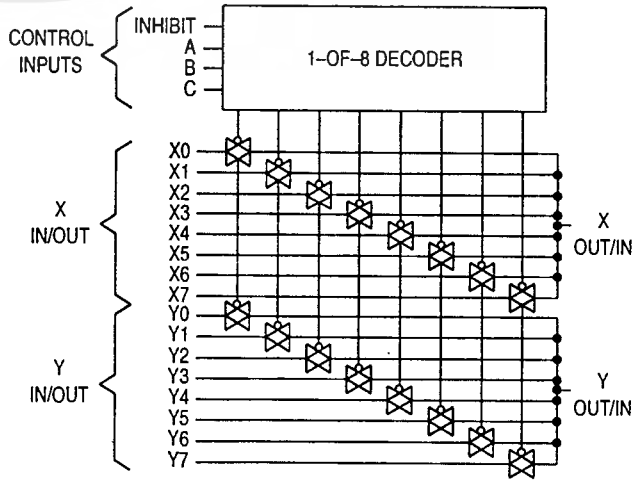
Control Inputs				Selected Channels	
A	B	C	Inh		
X	X	X	1	None	
0	0	0	0	X0	Y0
1	0	0	0	X1	Y1
0	1	0	0	X2	Y2
1	1	0	0	X3	Y3
0	0	1	0	X4	Y4
1	0	1	0	X5	Y5
0	1	1	0	X6	Y6
1	1	1	0	X7	Y7

X = Don't Care

MC14067 FUNCTIONAL DIAGRAM



MC14097 FUNCTIONAL DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LECTRICAL CHARACTERISTICS

Characteristic	Symbol	V_{DD}	Test Conditions	−55°C Min	−55°C Max	25°C Min	25°C Typ #	25°C Max	125°C Min	125°C Max	Unit
IPPLY REQUIREMENTS (Voltages Referenced to V_{SS})											
ower Supply Voltage Range	V_{DD}	—		3.0	18	3.0	—	18	3.0	18	V
uiescent Current Per Package	I_{DD}	5.0 10 15	Control Inputs: V_{in} = V_{SS} or V_{DD}, Switch I/O: $V_{SS} \le V_{I/O} \le V_{DD}$, and $\Delta V_{switch} \le 500$ mV**	— — —	5.0 10 20	— — —	0.005 0.010 0.015	5.0 10 20	— — —	150 300 600	μA
otal Supply Current (Dynamic Plus Quiescent, Per Package	$I_{D(AV)}$	5.0 10 15	T_A = 25°C only (The channel component, $(V_{in} - V_{out})/R_{on}$, is not included.)	Typical			(0.07 μA/kHz) f + I_{DD} (0.20 μA/kHz) f + I_{DD} (0.36 μA/kHz) f + I_{DD}				μA
ONTROL INPUTS — INHIBIT, A, B, C, D (Voltages Referenced to V_{SS})											
ow–Level Input Voltage	V_{IL}	5.0 10 15	R_{on} = per spec, I_{off} = per spec	— — —	1.5 3.0 4.0	— — —	2.25 4.50 6.75	1.5 3.0 4.0	— — —	1.5 3.0 4.0	V
igh–Level Input Voltage	V_{IH}	5.0 10 15	R_{on} = per spec, I_{off} = per spec	3.5 7.0 11	— — —	3.5 7.0 11	2.75 5.50 8.25	— — —	3.5 7.0 11	— — —	V
put Leakage Current	I_{in}	15	V_{in} = 0 or V_{DD}	—	± 0.1	—	±0.00001	± 0.1	—	1.0	μA
put Capacitance	C_{in}	—		—	—	—	5.0	7.5	—	—	pF
WITCHES IN/OUT AND COMMONS OUT/IN — X, Y (Voltages Referenced to V_{SS})											
ecommended Peak–to–Peak Voltage Into or Out of the Switch	$V_{I/O}$	—	Channel On or Off	0	V_{DD}	0	—	V_{DD}	0	V_{DD}	V_{p-p}
ecommended Static or Dynamic Voltage Across the Switch'* (Figure 1)	ΔV_{switch}	—	Channel On	0	600	0	—	600	0	300	mV
utput Offset Voltage	V_{OO}	—	V_{in} = 0 V, No Load	—	—	—	10	—	—	—	μV
N Resistance	R_{on}	5.0 10 15	$\Delta V_{switch} \le 500$ mV**, V_{in} = V_{IL} or V_{IH} (Control), and V_{in} 0 to V_{DD} (Switch)	— — —	800 400 220	— — —	250 120 80	1050 500 280	— — —	1300 550 320	Ω
ON Resistance Between Any Two Channels in the Same Package	ΔR_{on}	5.0 10 15		— — —	70 50 45	— — —	25 10 10	70 50 45	— — —	135 95 65	Ω
f–Channel Leakage Current (Figure 2)	I_{off}	15	V_{in} = V_{IL} or V_{IH} (Control) Channel to Channel or Any One Channel	—	± 100	—	± 0.05	± 100	—	±1000	nA
pacitance, Switch I/O	$C_{I/O}$	—	Inhibit = V_{DD}	—	—	—	10	—	—	—	pF
pacitance, Common O/I	$C_{O/I}$	—	Inhibit = V_{DD} (MC14067B) (MC14097B)	— —	— —	— —	100 60	— —	— —	— —	pF
pacitance, Feedthrough (Channel Off)	$C_{I/O}$	— —	Pins Not Adjacent Pins Adjacent	—	—	—	0.47	—	—	—	pF

a labeled "Typ" is not to be used for design purposes, but is intended as an indication of the IC's potential performance.
For voltage drops across the switch (ΔV_{switch}) > 600 mV (> 300 mV at high temperature), excessive V_{DD} current may be drawn; i.e. the current out of the switch may contain both V_{DD} and switch input components. The reliability of the device will be unaffected unless the Maximum Ratings are exceeded. (See first page of this data sheet.)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ECTRICAL CHARACTERISTICS (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	$V_{DD} - V_{SS}$ Vdc	Typ #	Max	Unit
opagation Delay Times	t_{PLH}, t_{PHL}				ns
Channel Input–to–Channel Output (R_L = 200 kΩ)					
MC14067B	(Figure 3)	5.0	35	90	
		10	15	40	
		15	12	30	
MC14097B		5.0	25	65	ns
		10	10	25	
		15	7	18	
Control Input–to–Channel Output	t_{PZH}, t_{PZL}				ns
Channel Turn–On Time (R_L = 10 kΩ)					
MC14067B/097B	(Figure 4)	5.0	240	600	
		10	115	290	
		15	75	190	
Channel Turn–Off Time (R_L = 300 kΩ)	t_{PHZ}, t_{PLZ}				ns
MC14067B/097B					
	(Figure 4)	5.0	250	625	
		10	120	300	
		15	75	190	
Any Pair of Address Inputs to Output	t_{PLH}, t_{PHL}				ns
MC14067B					
		5.0	280	700	
		10	115	290	
		15	85	215	
MC14097B					ns
	(Figure 10)	5.0	250	625	
		10	100	250	
		15	75	190	
cond Harmonic Distortion	—	10	0.3	—	%
(R_L = 10 kΩ, f = 1 kHz, V_{in} = 5 V_{p-p})					
Ghannel Bandwidth	BW				MHz
[R_L = 1 kΩ, V_{in} = 1/2 ($V_{DD} - V_{SS}$) $_{p-p}$(sine–wave)]					
20 Log10 (V_{out}/V_{in}) = – 3 dB MC14067B	(Figure 5)	10	15	—	
MC14097B		10	25	—	
Channel Feedthrough Attenuation	—	10	– 40	—	dB
[R_L = 1 kΩ, V_{in} = 1/2 (V_{DD}–V_{SS}) $_{p-p}$(sine–wave)]					
f_{in} = 20 MHz – MC14067B	(Figure 5)				
f_{in} = 12 MHz – MC14097B					
annel Separation	—	10	– 40	—	dB
[R_L = 1 kΩ, V_{in} = 1/2 (V_{DD}–V_{SS}) $_{p-p}$ (sine–wave)]					
f_{in} = 20 MHz	(Figure 6)				
sstalk, Control Inputs–to–Common O/I	—	10	30	—	mV
(R1 = 1 kΩ, R_L = 10 kΩ,					
Control t_r = t_f = 20 ns, Inhibit = V_{SS})	(Figure 7)				

ta labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

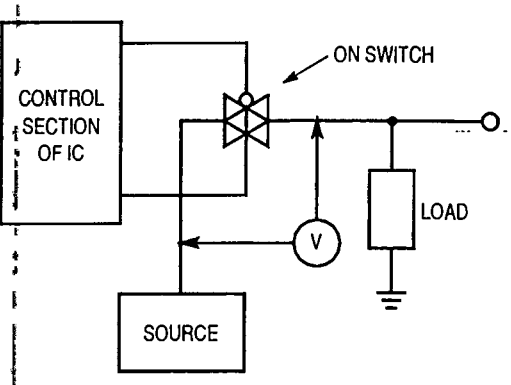


Figure 1. ΔV Across Switch

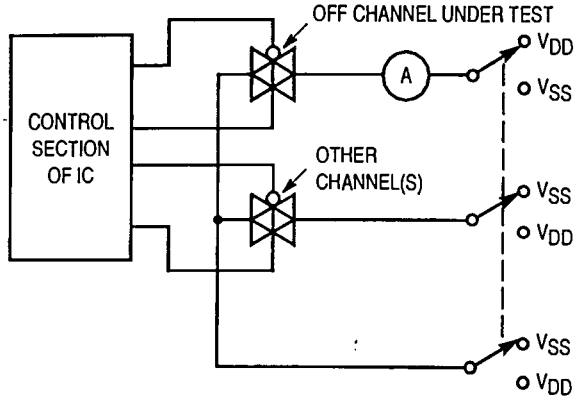
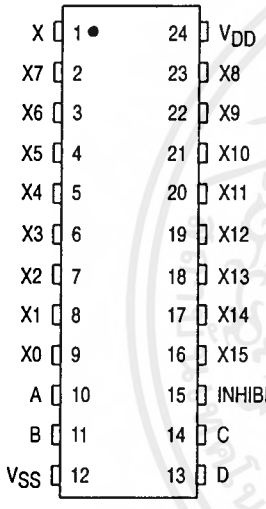
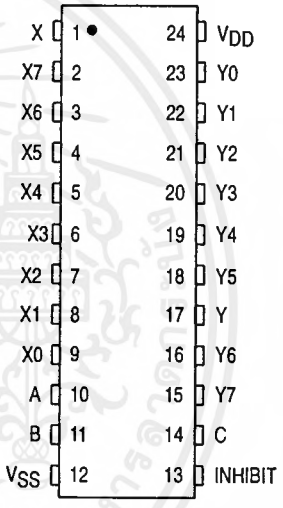


Figure 2. Off Channel Leakage

MC14067B
PIN ASSIGNMENT



MC14097B
PIN ASSIGNMENT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

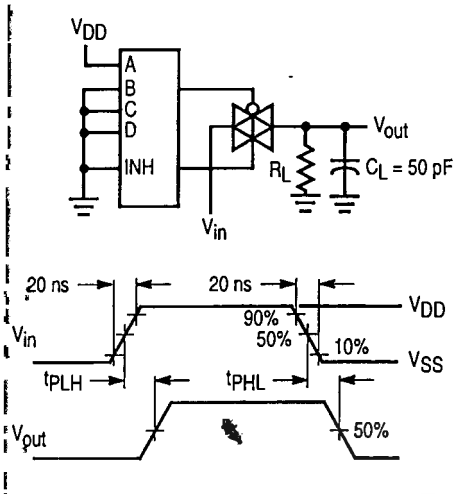


Figure 3. Propagation Delay Test Circuit and Waveforms V_{in} to V_{out}

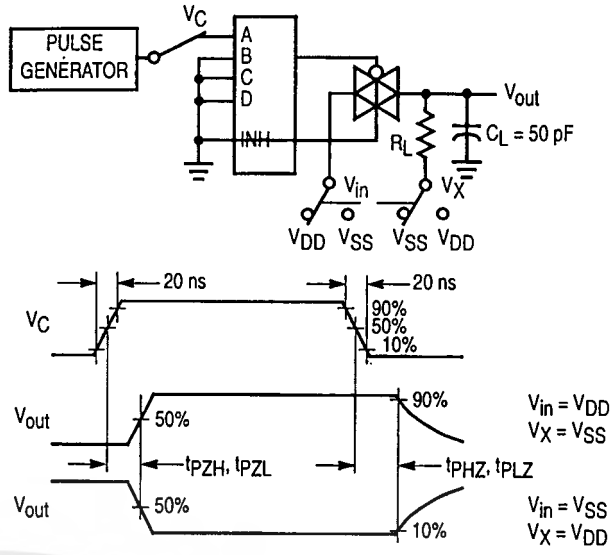


Figure 4. Turn–On and Delay Turn–Off Test Circuit and Waveforms

A, B, and C inputs used to turn ON or OFF the switch under test.

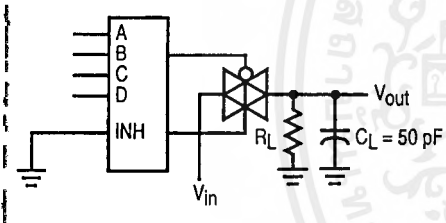


Figure 5. Bandwidth and Off–Channel Feedthrough Attenuation

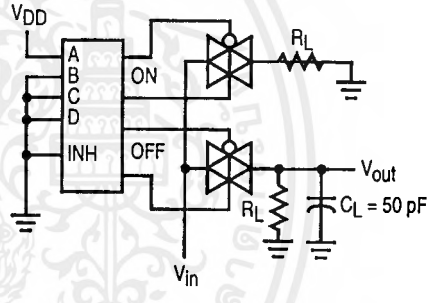


Figure 6. Channel Separation (Adjacent Channels Used for Setup)

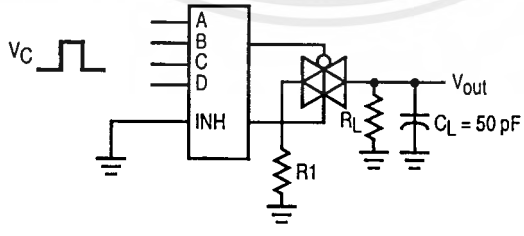


Figure 7. Crosstalk, Control to Common O/I

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

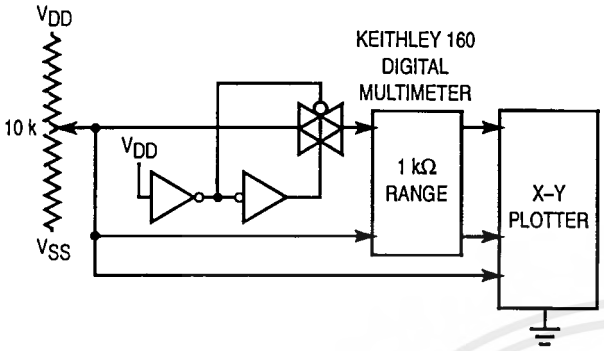


Figure 8. Channel Resistance (R_{ON}) Test Circuit

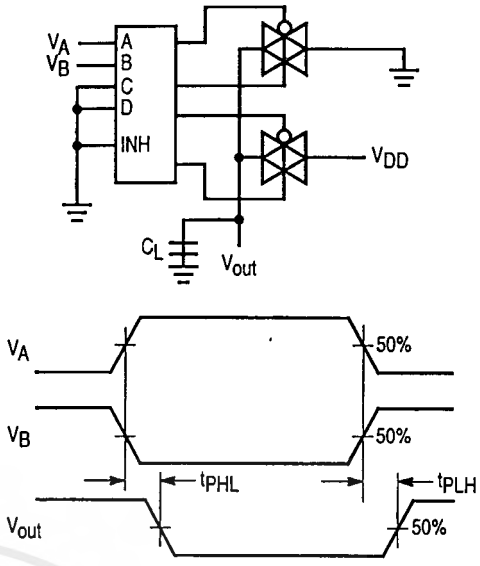


Figure 9. Propagation Delay, Any Pair of Address Inputs to Output

TYPICAL RESISTANCE CHARACTERISTICS

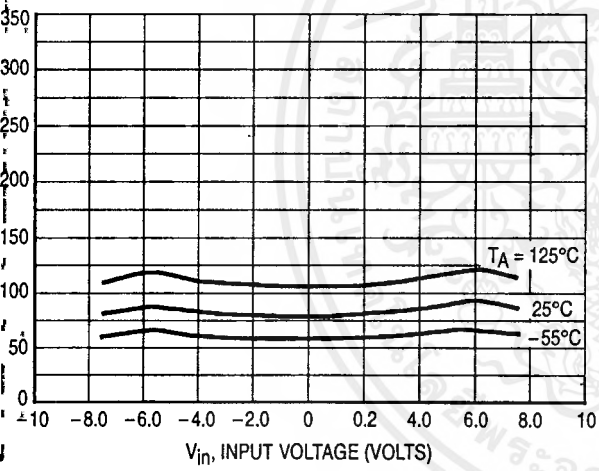


Figure 10. V_{DD} = 7.5 V, V_{SS} = – 7.5 V

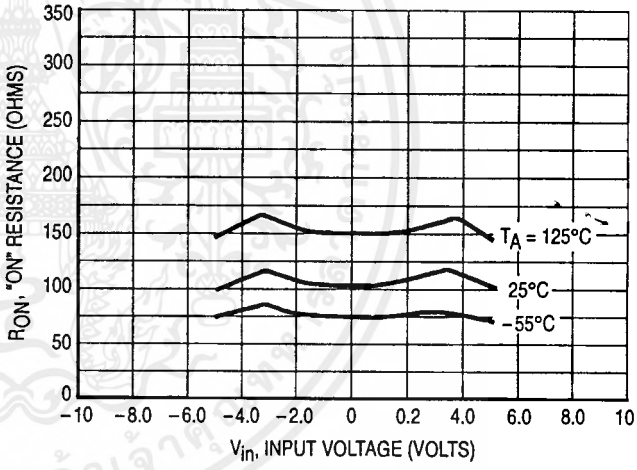


Figure 11. V_{DD} = 5.0 V, V_{SS} = – 5.0 V

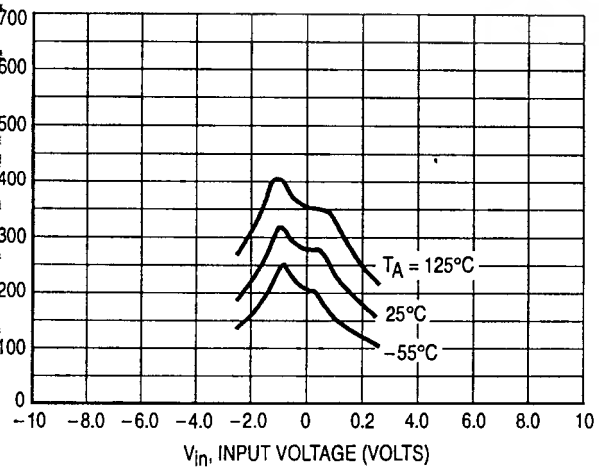


Figure 12. V_{DD} = 2.5 V, V_{SS} = – 2.5 V

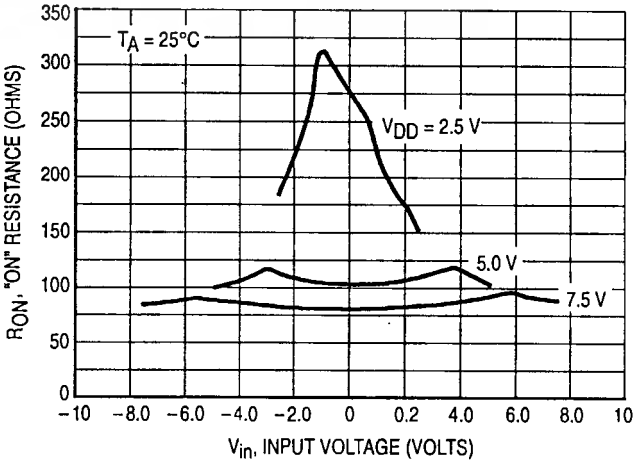


Figure 13. Comparison at 25°C, V_{DD} = –V_{SS}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

APPLICATIONS INFORMATION

igure A illustrates use of the Analog Multiplexer/Demulti-xer. The 0–to–5 volt Digital Control signal is used to ctly control a 5 V_{p-p} analog signal.

he digital control logic levels are determined by V_{DD} and S. The V_{DD} voltage is the logic high voltage; the V_{SS} volt- is logic low. For the example. V_{DD} = + 5 V = logic high at control inputs; V_{SS} = GND = 0 V = logic low.

he maximum analog signal level is determined by V_{DD} V_{SS}. The analog voltage must swing neither higher than D nor lower than V_{SS}. The example shows a 5 V_{p-p} signal which allows no margin at either peak. If voltage transients above V_{DD} and/or below V_{SS} are anticipated on the analog channels, external diodes (D_X) are recommended as shown in Figure B. These diodes should be small signal types able to absorb the maximum anticipated current surges during clipping.

The absolute maximum potential difference between V_{DD} and V_{SS} is 18.0 volts. Most parameters are specified up to 15 V which is the recommended maximum difference between V_{DD} and V_{SS}.

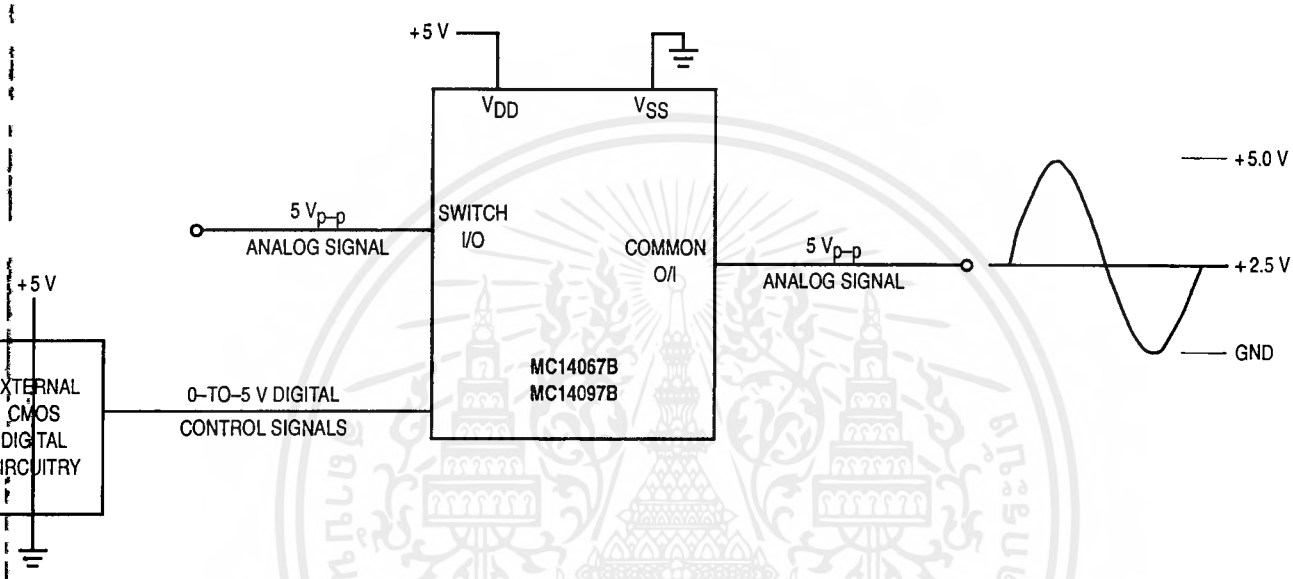


Figure A. Application Example

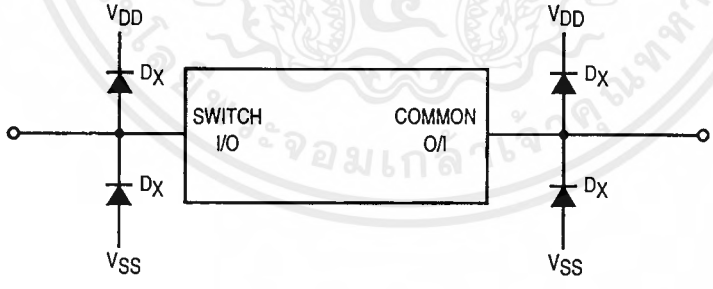
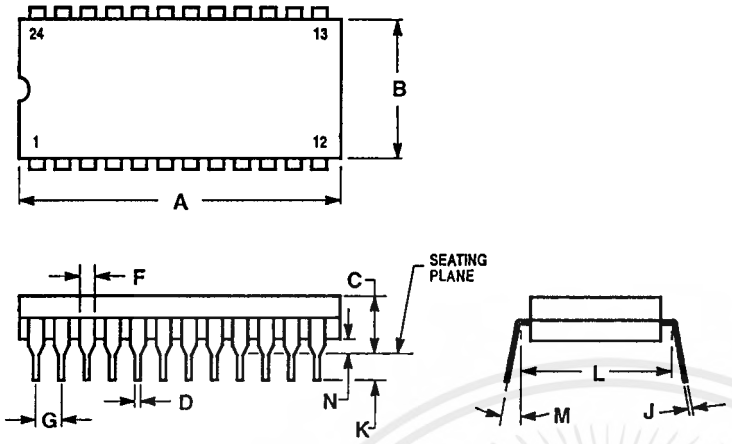


Figure B. External Germanium or Schottky Clipping Diodes

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

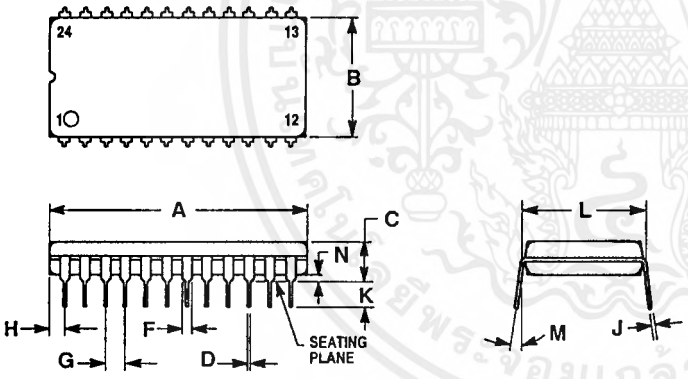
L SUFFIX
CERAMIC DIP PACKAGE
CASE 623–05
ISSUE M



NOTES:
1. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
2. LEADS WITHIN 0.13 (0.005) RADIUS OF TRUE POSITION AT SEATING PLANE AT MAXIMUM MATERIAL CONDITION (WHEN FORMED PARALLEL).

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	31.24	32.77	1.230	1.290
B	12.70	15.49	0.500	0.610
C	4.06	5.59	0.160	0.220
D	0.41	0.51	0.016	0.020
F	1.27	1.52	0.050	0.060
G	2.54 BSC		0.100 BSC	
J	0.20	0.30	0.008	0.012
K	3.18	4.06	0.125	0.160
L	15.24 BSC		0.600 BSC	
M	0°	15°	0°	15°
N	0.51	1.27	0.020	0.050

P SUFFIX
PLASTIC DIP PACKAGE
CASE 709–02
ISSUE C



NOTES:
1. POSITIONAL TOLERANCE OF LEADS (D), SHALL BE WITHIN 0.25 (0.010) AT MAXIMUM MATERIAL CONDITION, IN RELATION TO SEATING PLANE AND EACH OTHER.
2. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
3. DIMENSION B DOES NOT INCLUDE MOLD FLASH.

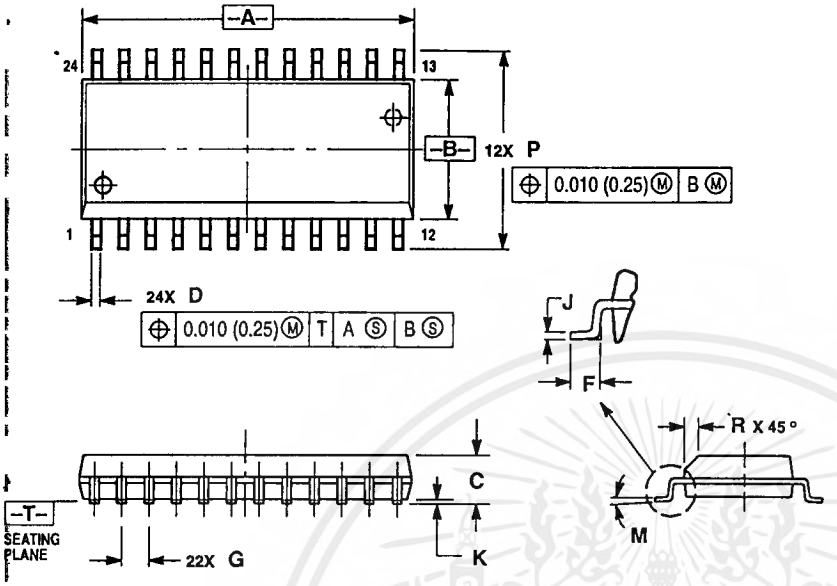
	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	31.37	32.13	1.235	1.265
B	13.72	14.22	0.540	0.560
C	3.94	5.08	0.155	0.200
D	0.36	0.56	0.014	0.022
F	1.02	1.52	0.040	0.060
G	2.54 BSC		0.100 BSC	
H	1.65	2.03	0.065	0.080
J	0.20	0.38	0.008	0.015
K	2.92	3.43	0.115	0.135
L	15.24 BSC		0.600 BSC	
M	0°	15°	0°	15°
N	0.51	1.02	0.020	0.040

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTLINE DIMENSIONS

DW SUFFIX
PLASTIC SOIC PACKAGE
CASE 751E–04
ISSUE E



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.13 (0.005) TOTAL IN EXCESS OF D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	15.25	15.54	0.601	0.612
B	7.40	7.60	0.292	0.299
C	2.35	2.65	0.093	0.104
D	0.35	0.49	0.014	0.019
F	0.41	0.90	0.016	0.035
G	1.27 BSC		0.050 BSC	
J	0.23	0.32	0.009	0.013
K	0.13	0.29	0.005	0.011
M	0°	8°	0°	8°
P	10.05	10.55	0.395	0.415
R	0.25	0.75	0.010	0.029

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters which may be provided in Motorola data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and M are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

ow to reach us:

SA/EUROPE/Locations Not Listed: Motorola Literature Distribution; O. Box 20912; Phoenix, Arizona 85036. 1–800–441–2447 or 602–303–5454

FAX: RMFAX0@email.sps.mot.com – TOUCHTONE 602–244–6609
TERNET: http://Design–NET.com

JAPAN: Nippon Motorola Ltd.; Tatsumi–SPD–JLDC, 6F Seibu–Butsuryu–Center, 3–14–2 Tatsumi Koto–Ku, Tokyo 135, Japan. 03–81–3521–8315

ASIA/PACIFIC: Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park, 51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852–26629298

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

December 1994

LM158/LM258/LM358/LM2904
Low Power Dual Operational Amplifiers

General Description

The LM158 series consists of two independent, high gain, internally frequency compensated operational amplifiers which were designed specifically to operate from a single power supply over a wide range of voltages. Operation from split power supplies is also possible and the low power supply current drain is independent of the magnitude of the power supply voltage.

Application areas include transducer amplifiers, dc gain blocks and all the conventional op amp circuits which now can be more easily implemented in single power supply systems. For example, the LM158 series can be directly operated off of the standard +5V power supply voltage which is used in digital systems and will easily provide the required interface electronics without requiring the additional ±15V power supplies.

Unique Characteristics

- In the linear mode the input common-mode voltage range includes ground and the output voltage can also swing to ground, even though operated from only a single power supply voltage.
- The unity gain cross frequency is temperature compensated.
- The input bias current is also temperature compensated.

Advantages

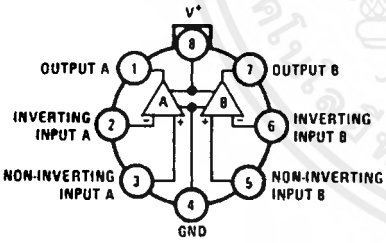
- Two internally compensated op amps in a single package
- Eliminates need for dual supplies
- Allows directly sensing near GND and V_{OUT} also goes to GND
- Compatible with all forms of logic
- Power drain suitable for battery operation
- Pin-out same as LM1558/LM1458 dual operational amplifier

Features

- Internally frequency compensated for unity gain
- Large dc voltage gain 100 dB
- Wide bandwidth (unity gain) 1 MHz (temperature compensated)
- Wide power supply range:
  - Single supply 3V to 32V
  - or dual supplies ±1.5V to ±16V
- Very low supply current drain (500 μA)—essentially independent of supply voltage
- Low input offset voltage 2 mV
- Input common-mode voltage range includes ground
- Differential input voltage range equal to the power supply voltage
- Large output voltage swing 0V to V^+ − 1.5V

Connection Diagrams (Top Views)

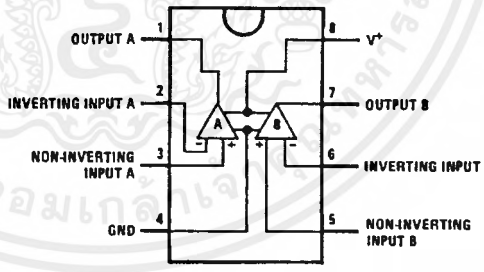
Metal Can Package



TL/H/7787–1

Order Number LM158AH, LM158AH/883*, LM158H, LM158H/883*, LM258H or LM358H
See NS Package Number H08C

DIP/SO Package



TL/H/7787–2

Order Number LM158J, LM158J/883*, LM158AJ or LM158AJ/883*
See NS Package Number J08A
Order Number LM358M, LM358AM or LM2904M
See NS Package Number M08A
Order Number LM358AN, LM358N or LM2904N
See NS Package Number N08E

*LM158 is available per SMD #5962-8771001
LM158A is available per SMD #5962-8771002

©1995 National Semiconductor Corporation TL/H/7787

RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by MC7800/D

MOTOROLA

MC7800, MC7800A, LM340, LM340A Series

Three-Terminal Positive Voltage Regulators

THREE–TERMINAL POSITIVE FIXED VOLTAGE REGULATORS

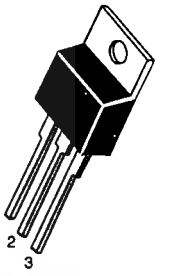
SEMICONDUCTOR TECHNICAL DATA

These voltage regulators are monolithic integrated circuits designed as fixed–voltage regulators for a wide variety of applications including local, on–card regulation. These regulators employ internal current limiting, thermal shutdown, and safe–area compensation. With adequate heatsinking they can deliver output currents in excess of 1.0 A. Although designed primarily as a fixed voltage regulator, these devices can be used with external components to obtain adjustable voltages and currents.

- Output Current in Excess of 1.0 A
- No External Components Required
- Internal Thermal Overload Protection
- Internal Short Circuit Current Limiting
- Output Transistor Safe–Area Compensation
- Output Voltage Offered in 2% and 4% Tolerance
- Available in Surface Mount D^{2}PAK and Standard 3–Lead Transistor Packages
- Previous Commercial Temperature Range has been Extended to a Junction Temperature Range of –40°C to +125°C

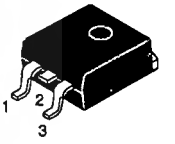
T SUFFIX
PLASTIC PACKAGE
CASE 221A

Heatsink surface connected to Pin 2.



Pin 1. Input
2. Ground
3. Output

D2T SUFFIX
PLASTIC PACKAGE
CASE 936
(D^{2}PAK)

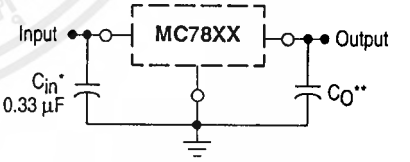


Heatsink surface (shown as terminal 4 in case outline drawing) is connected to Pin 2.

DEVICE TYPE/NOMINAL OUTPUT VOLTAGE

MC7805AC LM340AT–5 MC7805C LM340T–5	5.0 V	MC7812C LM340T–12	12 V
MC7806AC MC7806C	6.0 V	MC7815AC LM340AT–15 MC7815C LM340T–15	15 V
MC7808AC MC7808C	8.0 V	MC7818AC MC7818C	18 V
MC7809C	9.0 V	MC7824AC MC7824C	24 V
MC7812AC LM340AT–12	12 V		

STANDARD APPLICATION



A common ground is required between the input and the output voltages. The input voltage must remain typically 2.0 V above the output voltage even during the low point on the input ripple voltage.

XX, These two digits of the type number indicate nominal voltage.

* C_{in} is required if regulator is located an appreciable distance from power supply filter.

** C_O is not needed for stability; however, it does improve transient response. Values of less than 0.1 µF could cause instability.

ORDERING INFORMATION

Device	Output Voltage Tolerance	Operating Temperature Range	Package
MC78XXACT	2%	T_J = –40° to +125°C	Insertion Mount
LM340AT–XX			
MC78XXACD2T			Surface Mount
MC78XXCT	4%		Insertion Mount
LM340T–XX			
MC78XXCD2T			Surface Mount

XX indicates nominal voltage.

© Motorola, Inc. 1997

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by MC7900/D

MOTOROLA

MC7900 Series

Three-Terminal Negative Voltage Regulators

The MC7900 series of fixed output negative voltage regulators are intended as complements to the popular MC7800 series devices. These negative regulators are available in the same seven–voltage options as the MC7800 devices. In addition, one extra voltage option commonly employed in MECL systems is also available in the negative MC7900 series.

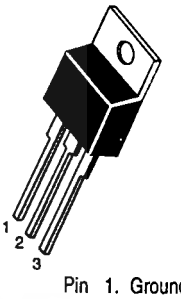
Available in fixed output voltage options from –5.0 V to –24 V, these regulators employ current limiting, thermal shutdown, and safe–area compensation – making them remarkably rugged under most operating conditions. With adequate heatsinking they can deliver output currents in excess of 1.0 A.

- No External Components Required
- Internal Thermal Overload Protection
- Internal Short Circuit Current Limiting
- Output Transistor Safe–Area Compensation
- Available in 2% Voltage Tolerance (See Ordering Information)

THREE–TERMINAL NEGATIVE FIXED VOLTAGE REGULATORS

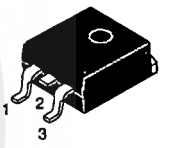
T SUFFIX
PLASTIC PACKAGE
CASE 221A

Heatsink surface connected to Pin 2.



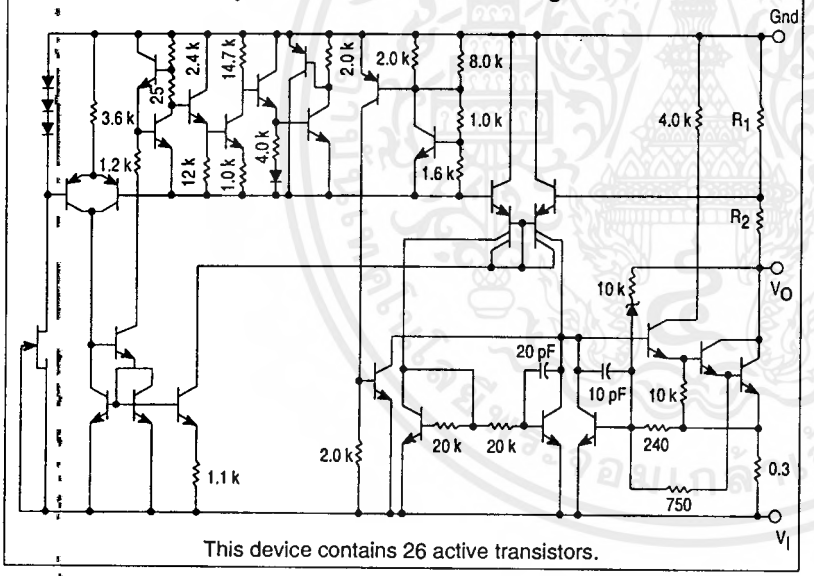
Pin 1. Ground
2. Input
3. Output

D2T SUFFIX
PLASTIC PACKAGE
CASE 936
(D^2PAK)



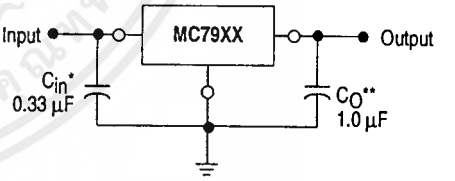
Heatsink surface (shown as terminal 4 in case outline drawing) is connected to Pin 2.

Representative Schematic Diagram



This device contains 26 active transistors.

STANDARD APPLICATION



A common ground is required between the input and the output voltages. The input voltage must remain typically 2.0 V above more negative even during the high point of the input ripple voltage.

XX, These two digits of the type number indicate nominal voltage.
* C_{in} is required if regulator is located an appreciable distance from power supply filter.
** C_O improve stability and transient response.

ORDERING INFORMATION

Device	Output Voltage Tolerance	Operating Temperature Range	Package
MC79XXACD2T	2%	T_J = 0° to +125°C	Surface Mount
MC79XXCD2T	4%		
MC79XXACT	2%		Insertion Mount
MC79XXCT	4%		
MC79XXBD2T	4%	T_J = –40° to +125°C	Surface Mount
MC79XXBT			Insertion Mount

XX indicates nominal voltage.

DEVICE TYPE/NOMINAL OUTPUT VOLTAGE

MC7905	5.0 V	MC7912	12 V
MC7905.2	5.2 V	MC7915	15 V
MC7906	6.0 V	MC7918	28 V
MC7908	8.0 V	MC7924	24 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

© Motorola, Inc. 1996