การควบคุมระดับโดยตัวควบคุมแบบฟัซซี

LEVEL CONTROL BY FUZZY CONTROLLER

จัดทำโดย

นส.ชมัยพร	พจนสุวรรณชัย	37014078
นส.ณัฐพร	โพธิ์อ่อง	37014111
นายศุภชัย	พินิจสะวะ	37014443

วัน เดือน ปี -5.ต.ค.2541
เลขทะเบียน 038538
เลขเรียกหนังสือ T 40056 ก 185ป

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมการวัดคุมทางอุตสาหกรรม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

038538

ปริญญานิพนธ์ ปีการศึกษา 2540

ภาควิชา เทคโนโลยีการวัดคุมทางอุตสาหกรรม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การควบคุมระดับโดยตัวควบคุมแบบฟัซซี
(LEVEL CONTROL BY FUZZY CONTROLLER)

ผู้จัดทำ

1.	นางสาว ชมัยพร	พจนสุวรรณชัย	37014078
2.	นางสาว ณัฐพร	โพธิ์อ่อง	37014111
2.	นาย ศุภชัย	พินิจสะวะ	37014443

.....อาจารย์ที่ปรึกษา
รองศาสตราจารย์ กิตติ ตีรเศรษฐ

.....อาจารย์ที่ปรึกษา
อาจารย์ ประสิทธิ์ จุลเสรีวงศ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	การควบคุมระดับโดยตัวควบคุมแบบฟัซซี
จัดทำโดย	นางสาว ชมัยพร พจนสุวรรณชัย
	นางสาว ณัฐพร โพธิ์อ่อง
	นาย ศุภชัย พินิจสะวะ
ระดับการศึกษา	ปริญญาวิศวกรรมศาสตรบัณฑิต
	สาขาวิศวกรรมการวัดคุมทางอุตสาหกรรม
ภาควิชา	เทคโนโลยีการวัดคุมทางอุตสาหกรรม
ปีการศึกษา	2540
อาจารย์ผู้ควบคุมปริญญานิพนธ์	รองศาสตราจารย์ กิตติ ตีรเศรษฐ
	อาจารย์ ประสิทธิ์ จุลเสรีวงศ์

บทคัดย่อ

โครงงานการควบคุมระดับโดยตัวควบคุมแบบฟัซซี ฉบับนี้เป็นการศึกษาทฤษฎีและหลักการฟัซซี แล้วนำมาประยุกต์ใช้ในการออกแบบตัวควบคุมระดับ โดยใช้ไมโครคอนโทรลเลอร์ที่ใช้งานทั่วไป ซึ่งจะแบ่งระดับการควบคุมออกเป็นระดับหยาบ และระดับละเอียด เพื่อเพิ่มความรวดเร็วและความแม่นยำของเอาท์พุทรอบสัญญาณอ้างอิง ในการออกแบบการควบคุมระดับหยาบ ใช้การปิด - เปิด วาล์วที่ 0 % หรือ100% เพื่อสามารถควบคุมเอาท์พุทของระบบ ให้ลู่เข้าสู่ค่าอ้างอิงได้เร็วและมีโครงสร้างไม่ซับซ้อน สามารถคำนวณได้เร็วและใช้หน่วยความจำน้อย และในการออกแบบตัวควบคุมสำหรับควบคุมระดับละเอียด โดยใช้หลักการฟัซซี เพื่อให้ค่าเอาท์พุทเข้าสู่ค่าอ้างอิงโดยไม่เกิดโอเวอร์ชูตมากนัก และลดค่าผิดพลาดที่สภาวะคงตัว ซึ่งโครงงานนี้สามารถนำไปประยุกต์ใช้ควบคุมระดับของกระบวนการได้จริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

THESIS	LEVEL CONTROL BY FUZZY CONTROLLER	
BY	Miss CHAMAIPORN	POJANASUWANCHAI
	Miss NATTAPORN	PHO-ONG
	Mr. SUPHACHAI	PHINIJSAVA
DEGREE	BACHELOR OF ENGINEERING	
ACADEMIC	1997	
THESIS ADVISOR	Assoc.Prof. KITTI	TIRASESTH
	Mr. PRASIT	JULSEREEWONG

ABSTRACT

This project is about studying in level control by Fuzzy controller which is concerned about fuzzy theory and application for level control design with microcontroller. This level control can be divided in rough and fine order in order to increase speed and accuracy of the output around the setting point. The on-off valve at 0% or 100% is used for design the rough controller in order to cotrol the system output. The target is getting the reference value quickly by using simple structure system. About the fine controller, the output overshoot and error must be limited. According to this project, level control by controller can be applied in real system.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทที่ 1 บทนำ

แนวคิดในการนำเสนอปริญญานิพนธ์ 1

วัตถุประสงค์ของปริญญานิพนธ์ 2

ขอบเขตของปริญญานิพนธ์ 2

บทที่ 2 ทฤษฎีทางคณิตศาสตร์เกี่ยวกับฟัซซี

ฟัซซีเซต

- ทฤษฎีเซตแบบเดิม..... 4
- ทฤษฎีฟัซซีเซต 5

ฟัซซีลอจิก

- ทฤษฎีฟัซซีลอจิก 8
- การหาข้อสรุปตามหลักการเหตุผลโดยใช้ทฤษฎีฟัซซีลอจิก 11

ความสัมพันธ์ฟัซซี 13

การคอมโพสิชันแบบฟัซซี..... 15

การอินเฟอเรนซ์แบบฟัซซี 16

การฟัซซิฟิเคชัน 19

การดีฟัซซิฟิเคชัน 20

ตัวควบคุมฟัซซี 22

- หน่วยฟัซซีฟิเคชัน..... 23
- ฐานกฎการควบคุมฟัซซี 23
- หน่วยอินเฟอเรนซ์ 23
- หน่วยดีฟัซซิฟิเคชัน 24

บทที่ 3 การออกแบบตัวควบคุมฟัซซี

การออกแบบตัวควบคุมฟัซซีที่ใช้ในการควบคุมระดับหยาบ 25

การออกแบบตัวควบคุมฟัซซีที่ใช้ในการควบคุมระดับละเอียด 27

1.การกำหนดจำนวนตัวแปรอินพุทและเอาท์พุทของตัวควบคุม 27

2.การนอมอลไลซ์ตัวแปรอินพุทให้อยู่ในเอกภพสัมพัทธ์ที่กำหนด 27

3.การดีนอมอลไลซ์ตัวแปรเอาท์พุทให้อยู่ในเอกภพสัมพัทธ์ที่กำหนด 27

4.การกำหนดค่าเกนของตัวแปรอินพุทและเอาท์พุท 28

5.การเลือกวิธีและระดับการควอนไตซ์ 28

6.การเลือกวิธีการฟัซซิฟิเคชัน 28

7.การกำหนดจำนวนฟัซซีเซตของตัวแปรอินพุท 28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8.การกำหนดฟังก์ชันในการเป็นสมาชิกของตัวแปรอินพุท..... 29
9.การกำหนดจำนวนฟัซซีเซตของตัวแปรเอาท์พุทบนเอกพจน์สัมพัทธ์ 30
10.การกำหนดจำนวนฟังก์ชันการเป็นสมาชิกของตัวแปรเอาท์พุท 30
11.การกำหนดรูปแบบของกฎการควบคุม 30
12.การเลือกวิธีการอินเฟอเรนซ์ 31
13.การเลือกวิธีการดีฟัซซิฟิเคชัน 31
ตารางแสดงกฎการควบคุม 33
ตารางแสดงค่า error และ change of error 35
โครงสร้างของกระบวนการ 38

บทที่ 4 แผนภาพแสดงการทำงาน

แผนภาพแสดงโหมดการทำงานต่างๆ 39
แผนภาพแสดงขั้นตอนการควบคุมระดับละเอียด 40
แผนภาพแสดงการทำงานของโปรแกรม 41
วงจรอินเตอร์เฟส..... 45

บทที่ 5 การทดลองและผลการทดลอง

การทดลองวงจรอินเตอร์เฟส 51
ผลการทดลองวงจรอินเตอร์เฟส 52
การทดลองการควบคุมกระบวนการ 54
- การควบคุมโดยตัวควบคุมแบบฟัซซี 54
- การควบคุมโดยตัวควบคุม PID 58
รูปแสดงตัวควบคุมและกระบวนการ..... 62

บทที่ 6 สรุปผลและแนวทางการพัฒนา

สรุปผลการทดลอง 64
ปัญหาที่พบ 64
แนวทางการพัฒนา 64

ภาคผนวก ก. รายละเอียดข้อมูล INTERFACE..... 65
กิตติกรรมประกาศ..... 94
บรรณานุกรม 95

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

แนวคิดในการนำเสนอโครงงาน

ในการออกแบบระบบควบคุมอัตโนมัติ สำหรับควบคุมกระบวนการทางอุตสาหกรรม แบบที่ใช้อยู่เดิม ใช้วิธีการประมาณโมเดลทางคณิตศาสตร์ของกระบวนการ สำหรับในอุตสาหกรรมขนาดใหญ่และมีความซับซ้อน เช่น กระบวนการผลิตซีเมนต์, กระบวนการทำปฏิกิริยาทางเคมี, Biotechnological production process, และกระบวนการหลอมโลหะ เป็นต้น มักจะพบปัญหาว่ากระบวนการเหล่านี้จะไม่เป็นเชิงเส้น (Non linear) ซึ่งในการประมาณโมเดลทางคณิตศาสตร์ของกระบวนการทำได้ยาก และถ้าการประมาณค่าโมเดลทางคณิตศาสตร์ของกระบวนการผิดพลาด จะทำให้ได้สมรรถนะของระบบควบคุมไม่ดี

ตามปกติความรู้และประสบการณ์ในการควบคุมกระบวนการเหล่านี้ มักจะอยู่ในรูปภาษามนุษย์ ซึ่งง่ายต่อการทำความเข้าใจและปฏิบัติตาม แต่ยากสำหรับการนำไปออกแบบและสร้างเป็นตัวควบคุมอัตโนมัติโดยวิธีการแบบดั้งเดิม ทั้งนี้เนื่องจากวิธีการในการควบคุมของผู้ปฏิบัติการจะเป็นกฎ ซึ่งอยู่ในรูปเงื่อนไข ถ้า.....แล้ว..... โดยตัวแปรที่ใช้ในกฎการควบคุมจะถูกนิยามในเชิงคุณภาพ และค่าของตัวแปรนี้มีความคลุมเครือ ด้วยเหตุนี้จึงได้นำหลักการของฟัซซีมาประยุกต์ใช้ในการออกแบบระบบควบคุม โดยแปลงความรู้ที่ได้จากประสบการณ์การควบคุมของผู้ปฏิบัติการที่อยู่ในรูปเงื่อนไข ถ้า.....แล้ว..... ให้เป็นกฎการควบคุมที่มีตัวแปรเป็นฟัซซีเซต (Fuzzy rule) ตัวควบคุมฟัซซี (Fuzzy controller) นี้ จะเป็นตัวกลางในการเชื่อมโยงระหว่างสัญญาณที่ใช้งานจริง เช่น สัญญาณในการตรวจวัดจากอุปกรณ์เซ็นเซอร์ และสัญญาณในการควบคุมอุปกรณ์ ซึ่งถูกวัดเป็นตัวแปรในเชิงปริมาณกับกฎการควบคุมซึ่งถูกนิยามด้วยตัวแปรฟัซซี ดังนั้นการทำงานของตัวควบคุมฟัซซีจะประกอบด้วยโครงสร้างหลัก 3 ส่วน คือ

1. การฟัซซิฟิเคชัน (Fuzzification) การแปลงสัญญาณจากอุปกรณ์เซ็นเซอร์ซึ่งเป็นตัวแปรเชิงปริมาณให้เป็นตัวแปรฟัซซี
2. การฟัซซิอินเฟอเรนซ์ (Fuzzy Inference) การประมวลผลเพื่อหาสัญญาณควบคุม จากกฎการควบคุม โดยใช้วิธีการหาข้อสรุปจากหลักการเหตุผล ตามอัลกอริทึมของฟัซซี
3. การดีฟัซซิฟิ เคชัน (Defuzzification) การหาขนาดของสัญญาณควบคุม โดยการแปลงตัวแปรฟัซซีให้เป็นตัวแปรเชิงปริมาณ

ตัวควบคุมฟัซซีมีข้อดีที่เป็นจุดเด่นหลายประการดังนี้

- สามารถออกแบบตัวควบคุมได้ โดยไม่ต้องรู้โมเดลทางคณิตศาสตร์ของกระบวนการ เนื่องจากการออกแบบตัวควบคุมใช้วิธีแปลงความรู้หรือ ประสบการณ์ของผู้เชี่ยวชาญ ให้เป็นกฎการควบคุมในรูปเงื่อนไข
- สามารถควบคุมกระบวนการที่ไม่เป็นเชิงเส้นได้ เนื่องจากความไม่เป็นเชิงเส้นนี้ จะถูกควบคุมได้โดยการกำหนดความสัมพันธ์ของกฎการควบคุมแบบไม่เป็นเชิงเส้น
- สามารถออกแบบตัวควบคุมสำหรับควบคุมกระบวนการที่มีหลายอินพุท และหลายเอาท์พุทได้สะดวก เนื่องจากความซับซ้อนของความสัมพันธ์ ระหว่างแต่ละอินพุทและเอาท์พุท จะถูกแทนด้วยความสัมพันธ์ของกฎการควบคุม ซึ่งอยู่ในรูปแบบที่สามารถทำความเข้าใจ และทำการปรับเปลี่ยนได้ง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบตัวควบคุมแบบ fuzzy เพื่อใช้สำหรับควบคุมกระบวนการในเวลาจริง สิ่งสำคัญที่จะต้องคำนึงถึงประการหนึ่งคือ ในการสร้างตัวควบคุมด้วยซอฟแวร์บนไมโครคอนโทรลเลอร์ มักจะประสบปัญหาเรื่องขีดจำกัดของหน่วยความจำของฮาร์ดแวร์ที่ใช้ และเวลาที่ใช้ในการคำนวณ ซึ่งเวลาที่ใช้ในการคำนวณนี้จะต้องน้อยกว่าคาบเวลาในการสุ่มสัญญาณ และมีการลดค่าเวลาการทำงานในการคำนวณ โดยคำนวณค่าสัญญาณควบคุม สำหรับแต่ละค่าในการควอนไตซ์ของอินพุท แล้วนำค่าสัญญาณที่ได้มาสร้างเป็นตัวควบคุมไว้ล่วงหน้า เพื่อนำมาใช้ในการควบคุม โดยไม่จำเป็นต้องทำการคำนวณระหว่างการควบคุม

ในโครงงานนี้ นำเสนอการออกแบบการควบคุมระดับด้วยซอฟแวร์บนไมโครคอนโทรลเลอร์ โดยใช้หลักการของฟัซซี ซึ่งจะแบ่งการควบคุมออกเป็น 2 ระดับคือ ระดับหยาบและระดับละเอียด

การออกแบบตัวควบคุมแบบหยาบ มีวัตถุประสงค์ของการควบคุมคือ ต้องการให้เอาท์พุทเข้าสู่ระดับค่าอ้างอิงด้วยความเร็วที่สุด ซึ่งมีโครงสร้างไม่ซับซ้อนโดยสามารถคำนวณได้เร็ว และใช้หน่วยความจำน้อย

การออกแบบตัวควบคุมแบบละเอียด มีจุดประสงค์ของการควบคุมคือต้องการให้เอาท์พุทของระบบสู่ค่าอ้างอิงโดยไม่เกิดโอเวอร์ชูท (over shoot) และค่าผิดพลาดที่สภาวะคงตัว ที่สูงเกินไป

ในปัจจุบันการนำหลักการฟัซซี มาใช้ในการควบคุมกระบวนการยังไม่เป็นที่แพร่หลายทั่วไป ดังนั้นโครงงานนี้จึงนำเสนอ การออกแบบการควบคุมระดับด้วยซอฟแวร์บนไมโครคอนโทรลเลอร์ โดยใช้หลักการฟัซซี แล้วนำผลของการควบคุมที่ได้จากการทดลอง มาเปรียบเทียบกับผลการควบคุมแบบ PID ซึ่งเป็นการควบคุมที่นิยมใช้กันอยู่ เพื่อการศึกษาและพัฒนาระบบต่อไป

วัตถุประสงค์ของโครงงาน

1. ศึกษาหลักการการควบคุมแบบฟัซซี
2. ออกแบบโปรแกรมเพื่อใช้ควบคุมกระบวนการโดยใช้หลักการฟัซซี
3. สามารถควบคุมระดับโดยใช้ไมโครคอนโทรลเลอร์ ซึ่งอาศัยหลักการของฟัซซี
4. เปรียบเทียบผลการควบคุมโดยใช้หลักการฟัซซี กับผลของการควบคุมแบบ PID

ขอบเขตของโครงงาน

โครงงานนี้นำเสนอการออกแบบตัวควบคุมระดับ โดยการใช้ซอฟแวร์บนไมโครคอนโทรลเลอร์ ซึ่งแบ่งการควบคุมออกเป็น 2 ระดับคือ ระดับหยาบ และระดับละเอียด โดยคอนโทรลเลอร์จะรับค่าจากกระบวนการ ซึ่งจะได้ค่า Error และ Change of error แล้วทำการตัดสินใจว่าจะใช้การควบคุมระดับใด โดยพิจารณาจากค่า error หากค่า error อยู่นอกขอบเขตที่กำหนดไว้ จะใช้การควบคุมระดับหยาบ ซึ่งจะปิด-เปิดวาล์ว 0 % หรือ 100 % หากค่า error อยู่ภายในขอบเขตที่กำหนด ก็จะใช้การควบคุมระดับละเอียด ซึ่งใช้หลักการฟัซซี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยจะนำค่า error และ Change of error มาผ่านกระบวนการตัดสินใจเพื่อเลือกค่าที่เหมาะสม ณ เวลานั้น ส่งออกไปควบคุมกระบวนการต่อไป และค่าที่เหมาะสมนี้ จะเปลี่ยนแปลงไปเรื่อย ๆ จนกระทั่ง error และ Change of error มีค่าเป็น 0 นั่นคือระบบเข้าสู่ stable แล้ว และนำผลที่ได้จากการทดลองนี้ ไปเปรียบเทียบกับผลที่ได้จากการควบคุมโดย PID นอกจากนี้ยังกำหนดให้มีโหมดการควบคุมแบบ Manual อีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีทางคณิตศาสตร์เกี่ยวกับฟัซซี

ระบบควบคุมฟัซซี (Fuzzy control) มีพื้นฐานแนวความคิดมาจากทฤษฎีฟัซซีลอจิก (Fuzzy logic) และทฤษฎีฟัซซีเซต (Fuzzy set) ฟัซซีลอจิกมีพื้นฐานอยู่บนทฤษฎีฟัซซีเซต ซึ่งจะช่วยให้สามารถอธิบายการปฏิบัติการและกฎการควบคุมของระบบเป็นคำพูดได้ชัดเจนขึ้น หลักสำคัญของทฤษฎีฟัซซีเซต คือ ยอมรับสมาชิกที่มีลักษณะตามเซตเพียงบางส่วนเข้ามาเป็นสมาชิก ซึ่งแตกต่างจากทฤษฎีเซตดั้งเดิมที่เน้นชัดเจนเลยว่าเป็นสมาชิกของเซตหรือไม่เท่านั้น ไม่มีการเป็นสมาชิกของเซตเพียงบางส่วน

ฟัซซีเซต (Fuzzy Set)

ทฤษฎีเซตแบบเดิม(Crisp Set Theory)

นิยาม 1 คลิซป์เซต (Crisp Set)

คลิซป์เซต คือ กลุ่มของสมาชิกที่มีคุณสมบัติตามข้อกำหนด ซึ่งอาจจะมีจำนวนจำกัดหรือไม่จำกัดก็ได้

นิยาม 2 เอกภพสัมพัทธ์ (Universe of Discourse : U)

เอกภพสัมพัทธ์ คือ เซตที่มีสมาชิกเป็นสมาชิกทั้งหมดของขอบเขตที่ทำการพิจารณา กำหนดให้ u เป็นสมาชิกใดๆของ U เขียนแทนด้วยสัญลักษณ์ $u \in U$

นิยาม 3 ฟังก์ชันการเป็นสมาชิก (Membership Function : μ)

ฟังก์ชันการเป็นสมาชิกของเซตเขียนแทนด้วยสัญลักษณ์ μ ถูกนิยามดังนี้

μ_A (u) มีค่าเท่ากับ 1 เมื่อ u เป็นสมาชิกของเซต A

μ_A (u) มีค่าเท่ากับ 0 เมื่อ u ไม่เป็นสมาชิกของเซต A

จะได้ว่า $\mu_A (u) : U \in \{0,1\}$

$$\mu_A(u) = \begin{cases} 1; u \in A \\ 0; u \notin A \end{cases} \qquad (2.1)$$

นิยาม 4 การเท่ากันของเซต

เซต A จะเท่ากับเซต B ก็ต่อเมื่อ สมาชิกทุกตัวของเซต A เป็นสมาชิกของเซต B และสมาชิกทุกตัวของเซต B เป็นสมาชิกของเซต A เขียนแทนด้วยสัญลักษณ์ A = B

$$(A = B) \leftrightarrow \left((\forall a \in B) \wedge (\forall b \in A); a \in A, b \in B\right) \qquad (2.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นิยาม 5 การเป็นสับเซต (Subset)

เซต A จะเป็นสับเซตของ B ก็ต่อเมื่อสมาชิกของทุกตัว A เป็นสมาชิกของเซต B เขียนแทนด้วยสัญลักษณ์ $A \subseteq B$

$$(A \subseteq B) \leftrightarrow (\forall a \in B; a \in A) \qquad (2.3)$$

เซต A เป็นสับเซตแท้ของเซต B ก็ต่อเมื่อ สมาชิกทุกตัวของเซต A เป็นสมาชิกของเซต B และเซต A ไม่เท่ากับเซต B เขียนแทนด้วย $A \subset B$

$$(A \subset) \leftrightarrow ((\forall a \in B) \wedge (A = B); a \in A) \qquad (2.4)$$

นิยาม 6 ปฏิบัติการพื้นฐานของเซต

คอมพลีเมนต์ คือ ตัวปฏิบัติการในการสร้างเซตใหม่จากเซตเดิม โดยที่สมาชิกของเซตใหม่คือสมาชิกของเอกภพสัมพัทธ์ U ที่ไม่เป็นสมาชิกของเซตเดิม เขียนแทนด้วยสัญลักษณ์ดังนี้

$$A' = \{x / (x \in U) \wedge (x \notin A)\} \qquad (2.5)$$

ยูเนียน คือ ตัวปฏิบัติการในการสร้างเซตใหม่จากเซตเดิม 2 เซต โดยที่สมาชิกของเซตใหม่ได้จากการรวมสมาชิกทั้งหมด ที่เป็นสมาชิกของเซตใดเซตหนึ่ง หรือทั้งสอง เซต เขียนแทนด้วยสัญลักษณ์ดังนี้

$$A \cup B = \{x / (x \in A) \vee (x \in B)\} \qquad (2.6)$$

อินเตอร์เซคชัน คือตัวปฏิบัติการในการสร้างเซตใหม่จากเซตเดิม 2 เซต โดยที่สมาชิกของเซตใหม่ได้จากการรวมสมาชิกทั้งหมดที่เป็นสมาชิกของเซตเดิมทั้ง 2เซต เขียนแทนด้วยสัญลักษณ์ดังนี้

$$A \cap B = \{x / (x \in A) \wedge (x \in B)\} \qquad (2.7)$$

ทฤษฎีฟัซซีเซต (Fuzzy Set Theory)

นิยาม 7 ฟัซซีเซต (Fuzzy Set)

ฟัซซีเซต คือ เซตของคู่อันดับ u และฟังก์ชันของการเป็นสมาชิก $\mu_A(u)$ โดยที่ u เป็นสมาชิกใดของเอกภพสัมพัทธ์ U เขียนแทนด้วยสัญลักษณ์ดังนี้

$$A = \{(u, \mu_A(u)) / u \in U\} \qquad (2.8)$$

นิยาม 8 ฟังก์ชันการเป็นสมาชิกของฟัซซีเซต (Membership Function of fuzzy set : μ_A (u))

ฟังก์ชันการเป็นสมาชิกของเซต A ถูกนิยามให้มีค่าอยู่ในช่วง 0 ถึง 1 เขียนแทนด้วยสัญลักษณ์ μ_A (u)

โดยที่ ค่า μ_A (u) เป็นค่าที่ระบุถึงระดับการเป็นสมาชิก ของ u ในฟัซซีเซต A

ถ้า μ_A (u) มีค่าเท่ากับ 0 แสดงว่า u ไม่มีความเป็นสมาชิกของฟัซซีเซต A

ถ้า μ_A (u) มีค่าน้อย แสดงว่า u มีความเป็นสมาชิกของฟัซซีเซต A น้อย

ถ้า μ_A (u) มีค่ามาก แสดงว่า u มีความเป็นสมาชิกของฟัซซีเซต A มาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้า μ_A (u) มีค่าเท่ากับ 1 แสดงว่า u มีความเป็นสมาชิกของฟัซซีเซต A อย่างสมบูรณ์ จะได้ว่า

$$\mu_A(u): U \rightarrow [0,1] \qquad (2.9)$$

นิยาม9 การเท่ากันของฟัซซีเซต

ฟัซซีเซต Aจะเท่ากับฟัซซีเซต B ก็ต่อเมื่อ สมาชิกทุกตัวในเอกภพสัมพัทธ์ Uมีค่าฟังก์ชันการเป็นสมาชิกของฟัซซีเซต A เท่ากับค่าฟังก์ชันการเป็นสมาชิกของเซตB เขียนแทนด้วยสัญลักษณ์ A = B

$$(A = B) \leftrightarrow \left(\mu_A(u) = \mu_B(u); \forall u \in U\right) \qquad (2.10)$$

นิยาม 10 การเป็นสับเซตของฟัซซีเซต

ฟัซซีเซต A จะเป็นสับเซตของฟัซซีเซต B ก็ต่อเมื่อ สมาชิกทุกตัว u ในเอกภพสัมพัทธ์U มีค่าฟังก์ชันของการเป็นสมาชิก ของฟัซซีเซต A น้อยกว่าหรือเท่ากับ ค่าฟังก์ชันการเป็นสมาชิก ฟัซซีเซต เขียนแทนด้วย สัญลักษณ์ $A \subset B$

$$(A \subset B) \leftrightarrow \left(\mu_A(u) \leq \mu_B(u); \forall u \in U\right) \qquad (2.11)$$

นิยาม 11 ซัพพอร์ตของฟัซซีเซต (support : S(A))

ซัพพอร์ตของฟัซซีเซต คือ เซตของสมาชิก u ในเอกภพสัมพัทธ์ U มีค่าการเป็นสมาชิกของฟังก์ชันมากกว่า 0 เขียนแทนด้วยสัญลักษณ์

$$S(A) = \left\{u \in U \middle| \mu_A(u) > 0\right\} \qquad (2.12)$$

นิยาม 12 ฟัซซีซิงเกิลตัน (Fuzzy Singleton)

ฟัซซีซิงเกิลตัน คือ ฟัซซีที่มีซัพพอร์ตของเซตมีสมาชิกเพียงตัวเดียว และมีค่าฟังก์ชันของการเป็นสมาชิกเท่ากับ 1

นิยาม 13 เซต α -Level ของฟัซซีเซต $\left(A_\alpha\right)$

เซต α -Level ของฟัซซีเซต A คือ เซตของสมาชิก u ในเอกภพสัมพัทธ์ U ที่มีค่าฟังก์ชันการเป็นสมาชิก ของเซต A มากกว่าหรือเท่ากับ α เขียนแทนด้วยสัญลักษณ์ดังนี้

$$A_\alpha = \left\{u \in U \ \middle| \mu_A(u) \geq \alpha\right\} \qquad (2.13)$$

นิยาม14 ความสูงของฟัซซีเซต (Height of Fuzzy Set)

ความสูงของฟัซซีเซต A คือ ค่าฟังก์ชันการเป็นสมาชิกสูงสุดของฟัซซีเซต A เขียนแทนด้วยสัญลักษณ์ hgt (A)

$$\text{hgt(A)} = \max_{u \in U} \mu_A(u) \qquad (2.14)$$

นิยาม 15 คุณสมบัติการนอมอลไลซ์ของฟัซซีเซต (Normalization)

ฟัซซีเซต A จะมีคุณสมบัติการนอมอลไลซ์ ก็ต่อเมื่อ ฟัซซีเซต A มีความสูงเท่ากับ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\text{A is normalize} \quad \leftrightarrow \quad \text{hgt (A)} = 1 \qquad (2.15)$$

นิยาม 16 คุณสมบัติการคอนเว็กซ์ของฟัซซีเซต (Convexity)

ฟัซซีเซต A จะมีคุณสมบัติการคอนเว็กซ์ก็ต่อเมื่อ ฟังก์ชันการเป็นสมาชิกของ A สอดคล้องตามเงื่อนไขนี้

$$\text{A is convex.} \leftrightarrow \mu_A\left(\lambda u_1 \div (1-\lambda)u_2\right) \geq \min\left\{\mu_A(u_1), \mu_A(u_2)\right\}; u_1, u_2 \in U, \lambda \in [0,1] \qquad (2.16)$$

นิยาม 17 ฟัซซีนัมเบอร์ (Fuzzy Number)

ฟัซซีนัมเบอร์ คือฟัซซีที่มีคุณสมบัติการนอมอลไลซ์และการคอนเว็กซ์

นิยาม 18 คาร์ดินาลิตี้ของฟัซซีเซต (Cardinality)

สกาลาร์คาร์ดินาลิตี้ (Scalar Cardinarity) ของฟัซซีเซต A บนเอกภพสัมพัทธ์ U คือ ผลบวกของค่าฟังก์ชันการเป็นสมาชิก ของ u ทุกตัวในฟัซซีเซต A เขียนแทนด้วยสัญลักษณ์ดังนี้

$$|A| = \sum_{u \in U} \mu_A(u) \qquad (2.17)$$

คาร์ดินาลิตี้สัมพัทธ์ (Relative Cardinality) ของฟัซซีเซต A บนเอกภพสัมพัทธ์ U คืออัตราส่วนระหว่างค่าสกาลาร์คาร์ดินาลิตี้ของฟัซซีเซต A กับ ค่าสกาลาร์คาร์ดินาลิตี้ของเอกภพสัมพัทธ์ U เขียนแทนด้วยสัญลักษณ์ดังนี้

$$\|A\| = \frac{|A|}{|U|} \qquad (2.18)$$

นิยาม 19 ปฏิบัติการขั้นพื้นฐานของฟัซซีเซต

คอมพลีเมนต์ของฟัซซีเซต A เขียนแทนด้วยสัญลักษณ์ A ถูกนิยามในรูปฟังก์ชันการเป็นสมาชิกดังนี้

$$\mu_{A'}(u) = 1 - \mu_A(u) \qquad (2.19)$$

ยูเนียนของฟัซซีเซต A เขียนแทนด้วยสัญลักษณ์ $A \cup B$ ถูกนิยามในรูปฟังก์ชันการเป็นสมาชิกดังนี้

$$\mu_{A \cup B}(u) = s\left(\mu_A(u), \mu_B(u)\right) \geq \max\left\{\mu_A(u), \mu_B(u)\right\} \qquad (2.20)$$

โดยที่ s คือตัวปฏิบัติการ Triangular co-norms

อินเตอร์เซ็คชันของฟัซซีเซต A เขียนแทนด้วยสัญลักษณ์ $A \cap B$ ถูกกนิยามการอยู่ในรูปของฟังก์ชันดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\mu_{A\cap B}(u) = t\left(\mu_A(u), \mu_B(u)\right) \le \min\left\{\mu_A(u), \mu_B(u)\right\} \qquad (2.21)$$

โดยที่ t คือตัวปฏิบัติการ Triangular norms

ฟัซซีลอจิต (Fuzzy Logic)

ทฤษฎีฟัซซีลอจิค

ฟัซซีลอจิค เป็นทฤษฎีทางตรรกศาสตร์ที่ขยายมาจากทฤษฎีตรรกศาสตร์หลายค่า (multivaliued logic) โดยนิยามค่าความจริงของประพจน์เป็นตัวลิงกวิสติก ได้มีการนิยามการปฏิบัติการท่างตรรกศาสตร์สำหรับฟัซซีลอจิคไว้ต่างๆ กัน ในปริญญานิพน์ธ์จะอ้างอิงจากนิยามดั้งเดิม Zadeh ดังต่อไปนี้

นิยาม 20 ค่าความจริงของประพจน์ในทางฟัซซีลอจิค

กำหนดให้ $v(A)$ เป็นฟัซซีเซตในเอกภพสัมพัทธ์ $V = [0,1]$ ซึ่งแทนค่าความจริงของประพจน์ A

จะได้ว่า
$$v(A) = \left\{(v_i, \mu_i) \middle| i = 1,2,\ldots,n; v_i \in [0,1]\right. \qquad (2.22)$$

$$v(notA) = 1 - v(A) = \left\{(1 - v_i, \mu_A) \middle| i = 1,2,\ldots,n; v_i \in [0,1]\right\} \qquad (2.23)$$

นิยาม 21 การปฏิบัติการทางตรรกศาสตร์ในทางทฤษฎีฟัซซีลอจิค

กำหนดให้
$$v(A) = \left\{(v, \mu_A(v)) \middle| \ \mu_A(v) \in [0,1]; v \in [0,1]\right\}$$
$$v(B) = \left\{(v, \mu_B(v)) \middle| \ \mu_B(v) \in [0,1]; v \in [0,1]\right\}$$

จะได้ว่า
$$v(A) \wedge v(B) = v(AandB) = \left\{(v, \min\left\{\mu_A(v), \mu_B(v)\right\})\right\} \qquad (2.24)$$

$$v(A) \vee v(B) = v(AorB) = \left\{(v, \max\left\{\mu_A(v), \mu_B(v)\right\})\right\} \qquad (2.25)$$

$$-v(A) = not\left(v(A)\right) = \left\{(v, 1 - \mu_A(v))\right\} \qquad (2.26)$$

$$v(A) \to v(B) = v(A \to B) = -v(A) \vee v(B)$$
$$= \left\{\left(v, \max\left\{(1 - \mu_A(v)), \mu_B(v)\right\}\right)\right\} \qquad (2.27)$$

ในกรณีที่
$$v(A) = \left\{\left(v_i, \alpha_i\right) \middle| i = 1,2,\ldots,n; v_i \in [0,1]; \alpha_i \in [0,1]\right\}$$
$$v(B) = \left\{\left(\omega_i, \beta_i\right) \middle| i = 1,2,\ldots,n; \omega_i \in [0,1]; \beta_i \in [0,1]\right\}$$

จะได้ว่า

$$v(A) \wedge v(B) = v(AandB) = \left\{\left(\min\left\{v_i, \omega_i\right\}, \max_{\min\{v_i, \omega_i\}} \min\left\{\alpha_i, \beta_i\right\}\right)\right\} \qquad (2.28)$$

$$v(A) \vee v(B) = v(AorB) = \left\{\left(\max\left\{v_i, \omega_i\right\}, \max_{\max\{v_i, \omega_i\}} \min\left\{\alpha_i, \beta_i\right\}\right)\right\} \qquad (2.29)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\nu(A) \to \nu(B) = \nu(A \to B) = -\nu(A) \vee \nu(B)$$
$$= \left\{\left(\max\{\nu_i, \omega_i\}, \max_{\max\{\nu_i,\omega_i\}} \min\{1-\alpha_i, \beta_i\}\right)\right\} \qquad (2.30)$$

Zadeh ได้เสนอตารางความจริง สำหรับการพิจารณาค่าความจริงในการปฏิบัติการของฟัซซีลอจิค โดยขยายจากตรรกศาสตร์บูลีน มาเป็นตรรกะ 3 ค่า คือ true(T), false(F) และ unknown(T+F)ได้ตารางต่อไปนี้

A	B	$\wedge$		-A
T	T	T	T	F
T	F	F	T	F
T	T+F	T+F	T	F
F	T	F	T	T
F	F	F	F	T
F	T+F	F	T+F	T
T+F	T	T+F	T	T+F
T+F	F	F	T+F	T+F
T+F	T+F	T+F	T+F	T+F

Baldwin ได้เสนอการสร้างตารางความจริงสำหรับฟัซซีลอจิค โดยทำการนิยามเทอมและฟังก์ชันการเป็นสมาชิกของตัวแปรลิงกวิสติค "Truth " ซึ่งแสดงไว้ดังนี้

true $= \left\{(\nu, \mu_{true}(\nu) = \nu) \mid \nu \in [0,1]\right\}$

false $= \left\{(\nu, \mu_{false}(\nu) = 1 - \mu_{true}(\nu)) \mid \nu \in [0,1]\right\}$

very true $= \left\{(\nu, (\mu_{true}(\nu))^2) \mid \nu \in [0,1]\right\}$

very false $= \left\{(\nu, (1 - \mu_{true}(\nu))^2) \mid \nu \in [0,1]\right\}$

fairly true $= \left\{(\nu, (\mu_{true}(\nu))^{1/2}) \mid \nu \in [0,1]\right\}$

fairly false $= \left\{(\nu, (1 - \mu_{true}(\nu))^{1/2}) \mid \nu \in [0,1]\right\}$

undecided $= \left\{(\nu, 1) \mid \nu \in [0,1]\right\}$

absolutely true $= \left\{(\nu, \mu_{at}(\nu)) \mid \nu \in [0,1]\right\}; \mu_{at}(\nu) = \mu_{at}(\nu) = \begin{cases} 1; \nu = 1 \\ 0; \nu \neq 1 \end{cases}$

absolutely false $= \left\{(\nu, \mu_{af}(\nu)) \mid \nu \in [0,1]\right\}; \mu_{af}(\nu) = \mu_{at}(\nu) = \begin{cases} 1; \nu = 0 \\ 0; \nu \neq 0 \end{cases}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น

$(very)^k$ true $\rightarrow$ absolutely true เมื่อ $k \rightarrow \infty$

$(very)^k$ false $\rightarrow$ absolutely false เมื่อ $k \rightarrow \infty$

$(very)^k$ true $\rightarrow$ undecided เมื่อ $k \rightarrow \infty$

$(very)^k$ false $\rightarrow$ undecided เมื่อ $k \rightarrow \infty$

นอกจากนี้ Baldwin ได้นิยามตัวปฏิบัติการ "and" และ "or" ด้วย minimum และ maximum ตามลำดับ และสร้างตารางความจริงของการปฏิบัติการฟัซซีลอจิกได้ผลลัพธ์ดังตาราง

v (P)	v (Q)	v (P and Q)	v (P or Q)
false	false	false	false
true	false	false	true
true	true	true	true
undecided	false	false	undecided
undecided	true	undecided	true
undecided	undecided	undecided	undecided
true	very true	true	very true
true	fairly true	fairly true	true

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การหาข้อสรุปตามหลักการเหตุผลโดยใช้ทฤษฎีฟัซซีลอจิค

การหาข้อสรุปตามหลักการเหตุผล โดยใช้ทฤษฎีฟัซซีลอจิค จะเป็นการขยายนิยามของสัจนิรันดร์ที่ใช้ในตรรกศาสตร์แบบเดิม เพื่อใช้หาข้อสรุปตามหลักการเหตุผลของประพจน์ที่เป็นฟัซซีเซต โดยทำการขยายนิยามของ Modus Ponens และ Modus Tollens สำหรับฟัซซีลอจิคเรียกว่า Generalized Modus Ponens : GMP และ Generalized Modus Tollens : GMT ดังแสดงในนิยาม 22 และนิยาม 23 ตามลำดับ

นิยาม22 Generalized Modus Ponens : GMP

Generalized Modus Ponens_ คือ การหาข้อสรุปจากเหตุไปหาผล (forward data - driven)

GMP :	Premise	u is A'
	Implication	If u is A then v is B
	Conclusion	v is B'

โดยที่ GMP Implication ถูกนิยามดังสมการ (2.31)

$$A \rightarrow B = \max\{c \in [0,1], t(A,c) \le B\} \qquad (2.31)$$

นิยาม 23 Generalized Modus Tollens : GMT

Generalized Modus Tollens คือ การหาข้อสรุปจากผลไปหาเหตุ (backup goal driven)

GMP :	Premise	v is B'
	Implication	If u is A then v is B
	Conclusion	u is A'

GMT Implication ถูกนิยามดังสมการ (2.32)

$$A \rightarrow B = \min\{c \in [0,1], s(B,c) \le A\} \qquad (2.32)$$

นิยาม24 ฟัซซีอิมพลิเคชัน (Fuzzy Implication)

ฟัซซีอิมฟลิเคชัน คือ เงื่อนไขความสัมพันธ์แบบฟัซซีระหว่างส่วนเหตุ (antecedent) และ ส่วนผล (consequence) ที่ใช้ในการหาข้อสรุปตามหลักการและเหตุผล

จากนิยามของ GMP implication จากนิยาม 22 และนิยามของ GMT implication ตามนิยาม 23 จะเห็นว่าฟัซซีอิมพลิเคชันจะขึ้นอยู่กับการเลือกใช้ตัวปฏิบัติการ t-norms และs-normsซึ่งมีผู้นำเสนอวิธีการทำฟัซซีอิมพลิเคชันแบบต่างๆ กัน ตามตัวปฏิบัติการ t-norms และ s -norm ที่เลือกใช้ดังตัวอย่างต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Mamdani 's Implication

$$R_m = A \times B = \left\{\left((u,v), \min\left\{\mu_A(u), \mu_B(v)\right\}\right)\right\} \quad (2.33)$$

Larsen 's Implication

$$R_L = A \times B = \left\{(u,v), \left\{\mu_A(u) \cdot \mu_B(v)\right\}\right\} \quad (2.34)$$

Zadeh 's Arithmetic Rule of Fuzzy Implication

$$Rz_a = (notA \times V) \oplus (U \times B) = \left\{((u,v), \min\left\{1, \left(1 - \mu_A(u) + \mu_B(v)\right)\right\})\right\} \quad (2.35)$$

Boolean Fuzzy implication

$$R_B = (notA \times V) \cup (U \times B) = \left\{((u,v), \max\left\{\left(1 - \mu_A(u), \mu_B(v)\right)\right\})\right\} \quad (2.36)$$

Zadeh 's Max Min Rules of Fuzzy Implication

$$Rz_m = (A \times B) \cup (notA \times V) = \left\{\left((u,v), \max\left\{\min\left\{\mu_A(u), \mu_B(v)\right\}, \left(1 - \mu_A(u)\right)\right\}\right)\right\} \quad (2.37)$$

Standard SeQuence Fuzzy Implication

$$R_s = A \times V \rightarrow U \times B = \left\{\left((u,v), \mu_{R_s}(u,v)\right) \mid \mu_{R_s}(u,v) = \begin{cases} 1; \mu_A(u) \le \mu_B(v) \\ 0; \mu_A(u) > \mu_B(v) \end{cases}\right\} \quad (2.38)$$

Fukami et al ได้พิสูจน์หลักการการเลือกฟังก์ชันสำหรับการอิมพลิเคชัน ของ GMT และGMPไว้ดังนี้

ตารางแสดงผลการหาข้อสรุปตามหลักการและเหตุผลโดยใช้ GMP ตามหลักการของ Fukami

Criteria	Premise(u is A')	Conclusion (v is B')
1	u is A	v is B
2a	u is (very A)	v is (very B)
2b	u is (very A)	v is B
3a	u is (more or less A)	v is (more or less B)
3b	u is (more or less A)	v is B
4a	u is (not A)	v is unknown
4b	u is (not A)	v is (not B)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางแสดงผลการหาข้อสรุปตามหลักการและเหตุผลโดยใช้ GMT ตามหลักการของ Fukami

Criteria	Premise (v is B')	Conclusion (u is A')
1	v is (not B)	u is (not A)
2	v is (not very B)	u is (not very A)
3	v is (not more or less B)	u is (not more or less A)
4a	v is B	u is unknown
4b	v is B	u is A

ความสัมพันธ์ฟัซซี (Fuzzy Relation)

นิยาม 25 ผลคูณ คาร์ทีเซียน (cartesian Product)

กำหนด ให้ $A_1,..,A_n$ เป็นฟัซซีเซตในเอกภพสัมพัทธ์ $U_1,...,U_n$

โดยที่ $u_1,...,u_n \in U_1,...,U_n$ ตามลำดับ

ผลคูณคาร์ทีเซียนของ $A_1,..,A_n$ คือ ฟัซซีเซตในเอกภพสัมพัทธ์ $U_1 \times ... \times U_n$ ที่มีฟังก์ชันการเป็นสมาชิกดังนี้

$$\mu_{A_1 \times ... A_n}(u_1,...,u_n) = \begin{cases} \min\{\mu_{A_1}(u_1),...,\mu_{A_n}(u_n)\} & \text{min-intersection} \\ \mu_{A_1}(u_1),...,\mu_{A_n}(u_n) & \text{algebraic product} \end{cases} \quad (2.39)$$

นิยาม 26 ความสัมพันธ์ฟัซซี

กำหนดให้ R เป็นความสัมพันธ์ฟัซซีเซตจาก A ไปยังฟัซซีเซต B

โดยที่ A เป็นฟัซซีเซตในเอกภพสัมพัทธ์ U ; $u \in U$

และ B เป็นฟัซซีเซตในเอกภพสัมพัทธ์ V ; $v \in V$

จะได้ว่า

$$R_{U \times V} = A \times B = \{((u,v), \mu_R(u,v)) \mid (u,v) \in U \times V\} \quad (2.40)$$

$$\mu_R(u,v) = \mu_{A \times B}(u,v) = \begin{cases} \min\{\mu_A(u), \mu_B(v) & \text{Min-intersection} \\ \mu_A(u) \cdot \mu_B(v) & \text{algebraic product} \end{cases} \quad (2.41)$$

ความสัมพันธ์ฟัซซีเซตขนาด n มิติของฟัซซีเซต $A_1,..,A_n$ (เมื่อ $A_1,..,A_n$ เป็นฟัซซีเซตในเอกภพสัมพัทธ์ $U_1,...,U_n$ ตามลำดับ) คือ ฟัซซีเซตสับเซตในเอกภพสัมพัทธ์ $U_1 \times ... \times U_n$ ที่ถูกกำหนดดังนี้

$$R_{U_1,...,U_n} = \{((u_1,...,u_n), \mu_R(u_1,...,u_n)) \mid (u_1,...,u_n) \in U_1 \times ... \times U_n\} \quad (2.42)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ $$\mu_R(u_1,\ldots,u_n) \le \mu_{A_i}(u_i); i=1,\ldots,n; \forall(u_1,u_n) \in U_1 \times \ldots \times U_n \qquad (2.43)$$

นิยาม 27 การปฏิบัติการความสัมพันธ์ฟัซซีเซต

กำหนดให้ R_1 และ R_2 เป็นความสัมพันธ์บนระนาบเดียวกันคือ $U_1 \times \ldots \times U_n$

ยูเนียน นิยามโดยใช้ตัวปฏิบัติการ maximum ดังนี้

$$\mu_{R_1 \cup R_2}(u_1,\ldots,u_n) = \max\left\{\mu_{R_1}(u_1,\ldots,u_n), \mu_{R_2}(u_1,\ldots,u_n)\right\} \qquad (2.44)$$

โดยที่ $u_1,\ldots,u_n \in U_1,\ldots,U_n$

อินเตอร์เซ็คชัน นิยามโดยใช้ตัวปฏิบัติการ minimum ดังนี้

$$\mu_{R_1 \cap R_2}(u_1,\ldots,u_n) = \min\left\{\mu_{R_1}(u_1,\ldots,u_n), \mu_{R_2}(u_1,\ldots,u_n)\right\} \qquad (2.45)$$

โดยที่ $u_1,\ldots,u_n \in U_1,\ldots,U_n$

นิยาม 28 คุณสมบัติความสัมพันธ์ของฟัซซี

กำหนดให้ $R = \left\{\left((u,v), \mu_R(u,v)\right) \mid (u,v) \in U \times V\right\}$

Reflexitivity R จะมีคุณสมบัติเป็น Reflexitivity ก็ต่อเมื่อ $\mu_R(u,u) = 1; \forall u \in U$

Irreflexitivity R จะมีคุณสมบัติเป็น Irreflexitivity ก็ต่อเมื่อ $\mu_R(u,u) = 0; \forall u \in U$

Symmetry R จะมีคุณสมบัติเป็น symmetry ก็ต่อเมื่อ $R(u,v) = R(v,u)$

Antisymmetry R จะมีคุณสมบัติ antisymmetry ก็ต่อเมื่อ

ถ้า $u \ne v$ แล้ว $\mu_R(u,v) \ne \mu_R(v,u)$ หรือ $\mu_R(u,v) = \mu_R(u,v) = 0; \forall u, \forall v \in U$

Perfectly Antisymmetry R จะมีคุณสมบัติเป็น antisymmetry อย่างสมบูรณ์ ก็ต่อเมื่อ

ถ้า $u \ne v$ และ $\mu_R(u,v) > 0$ แล้ว $\mu_R(v,u) = 0; \forall u, \forall v \in U$

Transitivity R จะมีคุณสมบัติเป็น transitivity ก็ต่อเมื่อ

$$R \circ R \subseteq R \text{ หรือ } \max_{v \in V}\left\{\min\left[\mu_R(u,v), \mu_R(v,w)\right]\right\} \le \mu_R(u,w)$$

นิยาม 29 โปรเจคชันของความสัมพันธ์ทางฟัซซีเซต (Fuzzy Relation Projecttion)

กำหนดให้ $R = \left\{\left((u,v), \mu_R(u,v)\right) \mid (u,v) \in U \times V\right\}$ เป็นความสัมพันธ์ฟัซซีเซต

โปรเจคชันของควาสัมพันธ์ของ R ถูกนิยามดังนี้

first projection: $$R^{(1)} = \left\{\left(u, \max_v \mu_R(u,v)\right) \mid (u,v) \in U \times V\right\} \qquad (2.46)$$

second projection: $$R^{(2)} = \left\{\left(v, \max_v \mu_R(u,v)\right) \mid (u,v) \in U \times V\right\} \qquad (2.47)$$

total projection: $$R^{(T)} = \left\{\left((u,v), \max_u \max_v \mu_R(u,v)\right) \mid (u,v) \in U \times V\right\} \qquad (2.48)$$

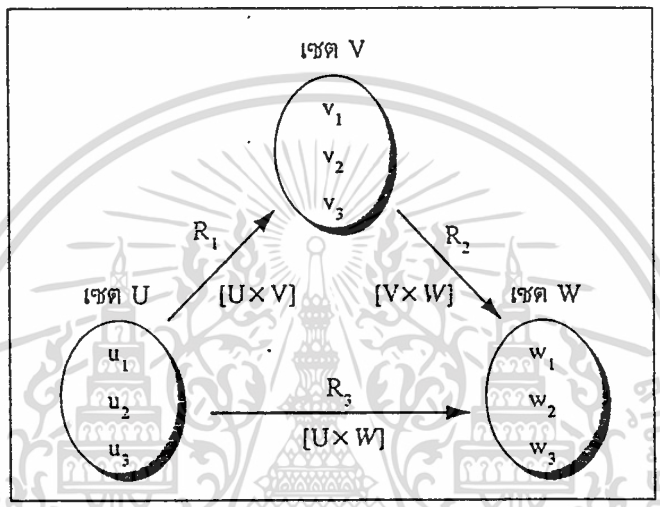
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การคอมโพซิชันแบบฟัซซี (Fuzzy Composition)

กำหนดให้ $R_1(u,v)$ เป็นความสัมพันธ์จากเอกภพสัมพัทธ์ U ไป V โดยที่ $(u,v) \in U \times V$

และ $R_2(v,w)$ เป็นความสัมพันธ์จากเอกภพสัมพัทธ์ V ไป W โดยที่ $(v,w) \in V \times W$

การคอมโพซิชันก็คือ ปฏิบัติการในการหาความสัมพันธ์ $R_3(u,w)$ จากความสัมพันธ์ที่ถ่ายทอดต่อเนื่องกันเป็นลูกโซ่ $R_1(u,v)$ และ $R_2(v,w)$ ดังรูป 2.1



รูปที่ 2.1 แสดงการคอมโพซิชันของความสัมพันธ์ฟัซซี

กำหนดให้ $R_1(u,v)$ เป็นความสัมพันธ์ฟัซซี บนระนาบ $U \times V$ โดยที่ $(u,v) \in U \times V$

$R_2(v,w)$ เป็นความสัมพันธ์ฟัซซีบนระนาบ $V \times W$ โดยที่ $(v,w) \in V \times W$

การคอมโพซิชันของความสัมพันธ์ฟัซซี ถูกนิยามดังนี้

นิยาม 30 MAX -MIN Composition

$$R_3 = R_1 \circ R_2 = \left\{ \left((u,w), \max_{v \in V} \left\{ \min \left[\mu_{R_1}(u,v), \mu_{R_2}(v,w) \right] \right\} \right) \middle| u \in U, v \in V, w \in W \right\} \quad (2.49)$$

นิยาม 31 Max Product Composition

$$R_3 = R_1 * R_2 = \left\{ \left((u,w), \max_{v \in V} \left\{ \left[\mu_{R_1}(u,v), \mu_{R_2}(v,w) \right] \right\} \right) \middle| u \in U, v \in V, w \in W \right\} \quad (2.50)$$

นิยาม 32 Max Average Composition

$$R_3 = R_1 av R_2 = \left\{ \left((u,w), \max_{v \in V} \left\{ \frac{\mu_{R_1}(u,v) + \mu_{R_2}(v,w)}{2} \right\} \right) \middle| u \in U, v \in V, w \in W \right\} \quad (2.51)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นิยาม 33 Min - Max Composition

$$R_3 = R_1 \bullet R_2 = \left\{\left((u,w), \min_{v \in V}\left\{\max\left[\mu_{R_1}(u,v), \mu_{R_2}(v,w)\right]\right\}\right) \middle| u \in U, v \in V, w \in W\right\} \quad (2.52)$$

วิธี การ Max min composition เป็นวิธีที่นิยมใช้มากที่สุด มีคุณสมบัติที่สำคัญดังนี้

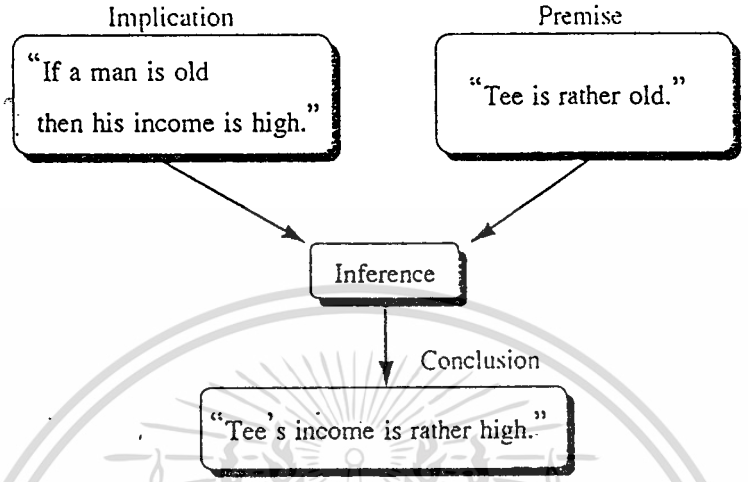
1. $\left(R_1 \cup R_2\right) \circ R_3 = \left(R_1 \circ R_3\right) \cup \left(R_2 \circ R_3\right)$ distributed w.r.t union
2. $\left(R_1 \cap R_2\right) \circ R_3 \subset \left(R_1 \circ R_3\right) \cap \left(R_2 \circ R_3\right)$ non distributed w.r.t intersection
3. $\left(R_1 \circ R_2\right) \circ R_3 = R_1 \circ \left(R_2 \circ R_3\right)$ association property
4. ถ้า $R_1 \subset R_2$
   แล้ว $\left(R_1 \circ R_3\right) \subset \left(R_2 \circ R_3\right)$ inclusion property
5. ถ้า R_1, R_2 มีคุณสมบัติเป็น reflexitivity
   แล้ว $R_1 \circ R_2$ จะมีคุณสมบัติเป็น reflexibility
6. ถ้า R_1, R_2 มีคุณสมบัติเป็น symmetry และ $R_1 \circ R_2 = R_2 \circ R_1$
   แล้ว $R_1 \circ R_2$ จะมีคุณสมบัติเป็น symmetry
7. ถ้า R_1, R_2 มีคุณสมบัติเป็น transitivity $R_1 \circ R_2 = R_2 \circ R_1$
   แล้ว $R_1 \circ R_2$ จะมีคุณสมบัติเป็น transitivity
8. ถ้า R มีคุณสมบัติเป็น symmetry และ transitivity
   แล้ว $\mu_A(u,v) \le \mu_R(u,u); \forall u, \forall v \in U$
9. ถ้า R มีคุณสมบัติเป็น reflexitivity
   แล้ว $R \subset R \circ R$
10. ถ้า R มีคุณสมบัติเป็น reflexitivity และ transitivity
    แล้ว $R \circ R = R$

การอินเฟอเรนซ์แบบฟัซซี (Fuzzy Inference)

นิยาม 34 การอินเฟอร์เรนซ์

การอินเฟอร์เรนซ์ คือ กระบวนการหาข้อสรุป conclusion จากหลักฐาน (premise) โดยใช้เงื่อนไขความสัมพันธ์ระหว่างเหตุและผล(implication) ดังรูป 2.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 แสดงการหาข้อสรุปจากหลักฐาน โดยการใช้เงื่อนไขความสัมพันธ์ระหว่างเหตุและผล

นิยาม 35 กฎการคอมโพซิชันของการอินเฟอร์เรนซ์ (Compositional Rule of inference : CRI)

กำหนดให้

Premise	u is A'.
Implication	If u is A then v is B
Conclusion	v is B'.

เมื่อ A, A' เป็นฟัซซีเซตในเอกภพสัมพัทธ์ U โดยที่ $u \in U$

B, B' เป็นฟัซซีเซตในเอกภพสัมพัทธ์ V โดยที่ $v \in V$

ทำการเปลี่ยนแปลง อิมพลิเคชันเป็นความสัมพันธ์ R ใน U*V ดังนั้นจะหา B' ได้ดังนี้

$$B' = \begin{cases} A' \circ R & \text{max-min composition} \\ A' * R & \text{max-product composition} \\ A' avR & \text{max-average composition} \\ A' \bullet R & \text{min-max composition} \end{cases} \qquad (2.53)$$

วิธีการคอมโพซิชันที่นิยมใช้กันมากที่สุดในการอินเฟอเรนซ์ คือ CRI ของ Zadeh ซึ่งจะใช้ตัวปฏิบัติการ max. -min ในปฏิบัติการ s- norm และ t- norm ตามลำดับ สามารถ B' ได้ดังสมการต่อไปนี้

$$B' = A' \circ R = \left\{ \left(v, \max_{A' \in U} \left\{ \min \left[\mu_{A_i}(u), \mu_{R_2}(u,v) \right] \right\} \right) \middle| u \in U, v \in V \right\} \qquad (2.54)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการอินเฟอร์เรนซ์ดังกล่าวข้างต้น ทำให้สามารถหา B' จาก $A' \circ R$ ซึ่งเป็นความสัมพันธ์ฟัซซีที่สำคัญในการควบคุม แต่นอกจากนี้ ยังพบปัญหาสำคัญอย่างอื่นๆ คือ

- ปัญหาการสร้างโมเดล โดยการหาความสัมพันธ์ฟัซซีเซต R จากฟัซซีเซต AและB
- ปัญหาการออกแบบตัวควบคุม โดยการหาฟัซซีเซต A จากความสัมพันธ์ ฟัซซีR และฟัซซีเซต B

ซึ่งจะเห็นได้ว่า การแก้ปัญหาทั้งสองนี้ จะต้องใช้ตัวปฏิบัติ-การผกผัน(inverse) ของการคอมโพซิชัน จึงมีการนิยามตังปฏิบัติการ $\varnothing$ - composition สำหรับการคอมโพสิชันผกผันดังนี้

นิยาม 36 ตัวปฏิบัติการ $\varnothing$ - composition

$\varnothing$ - composition คือ ตัวปฏิบัติการผกผันของการคอมโพซิชัน เป็นฟังก์ชันจาก $[0,1] \times [0,1]$ ไปยัง $[0,1]$ ซึ่งถูกนิยามดังนี้

$$\varnothing = \max\left[c \in [0,1] \mid t(x,c) \le y; x, y \in [0,1]\right] \qquad (2.55)$$

$\varnothing$ - composition ของความสัมพันธ์ฟัซซี R บนระนาบ $U \times V$ กับฟัซซีเซต B ซึ่งถูกเขียน แทนด้วยสัญลักษณ์ R$\varnothing$B' และถูกนิยามในรูปนิยามการเป็นสมาชิกของฟังก์ชันการเป็นสมาชิกดังนี้

$$\mu_{(R\Phi B')}(u) = \min_{v \in B'}\left[\mu_R(u,v) \Phi \mu_{B'}(v)\right] \qquad (2.56)$$

นิยาม 37 คุณสมบัติของตัวปฏิบัติการ $\varnothing$ - composition

1. $x \varnothing \max.(y,z) \ge \max.(x \varnothing y, x \varnothing z); z \in [0,1]$
2. $t(x,(x \varnothing y)) \le y$
3. $x \varnothing t(x,y) \ge y$
4. $A' \circ \left(A' \phi B'\right) \subseteq B'; \forall A', \forall B'$
5. $R \subseteq A' \phi (A' \circ R); \forall A', \forall B'$
6. $(R \phi B') \circ R \subseteq B'; \forall A', \forall B'$
7. $A' \subseteq R(A' \circ R); \forall A', \forall R \in (U \times V)$
8. $R = A' \phi B'$ คือคำตอบของการคอมโพสิชันผกผัน $A' = B' \circ R$
9. $A' = R \phi B'$ คือคำตอบของการหา ฟัซซีผกผัน $A' \circ R = B'$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การฟัซซิฟิเคชัน (Fuzzification)

นิยาม 38 การฟัซซิฟิเคชัน

การฟัซซิฟิเคชัน คือกระบวนการหาค่าฟัซซีเซตบนเอกภพสัมพัทธ U ของอินพุท เพื่อเป็นตัวแทนของอินพุทซึ่งมีค่าเป็นตัวเลข สำหรับการใช้อินพุทของระบบฟัซซี

การฟัซซิฟิเคชัน สามารถหาได้ 2 วิธีดังนี้

1. การใช้ฟัซซิฟิเคชันโดยใช้วิธีซิงเกิลตัน จะได้ว่า fuzzification (u_0)=A

โดยที่ A เป็นฟัซซีซิงเกิลตันที่มี S(A) = $\{u_0\}$

หรือ
$$\mu_A(u) = \begin{cases} 1; u = u_0 \\ 0; u \neq u_0 \end{cases} \qquad (2.57)$$

2. การฟัซซิฟิเคชันโดยใช้ฟัซซีนัมเบอร์ จะได้ว่า fuzzification (u_0)= A

โดยที่ A เป็นฟัซซีนัมเบอร์

$\mu_A(u) = 1$ เมื่อ $u = u_0$

และ $\mu_A(u)$ ลดลง เมื่อ u อยู่ห่างออกไปจาก u_0

ตัวอย่างของการฟัซซิฟิเคชันโดยใช้ ฟัซซีนัมเบอร์ เช่น
$$\mu_A(u) = \exp\left[-\frac{(u-u_0)^T(u-u_0)}{\sigma^2}\right] \qquad (2.58)$$

โดยที่ σ เป็นพารามิเตอร์ในการกำหนดรูปร่างของ $\mu_A(u)$

3. การฟัซซิฟิเคชัน โดยใช้ไฮบริทนัมเบอร์ (hybrid number) จะได้ว่า fuzzificaton (u_0)= A

โดยที่ A เป็น ไฮบริดนัมเบอร์ (ไฮบริดนัมเบอร์ คือ ฟัซซีนัมเบอร์ที่เป็นสมาชิกในเอกภพสัมพัทธ์ random number)

$\mu_A(u) = 1$ เมื่อ u = u_0

และ $\mu_A(u)$ ลดลง เมื่อ u อยู่ห่างออกไปจาก u_0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
038538

การดีฟัซซิฟิเคชัน (Defuzzification)

นิยาม 39 การดีฟัซซิฟิเคชัน

การดีฟัซซิฟิเคชัน คือ กระบวนการหาค่าเอาท์พุทเพียงค่าเดียว (ซิงเกิลตัน) ที่เหมาะสมที่สุดเพื่อเป็นสัญญาณเอาท์พุทที่ถูกต้องที่มีค่าความเป็นไปได้กระจายอยู่บนเอกภพสัมพัทธ์ V ของเอาท์พุท

กำหนดให้ R คือ ความสัมพันธ์ฟัซซีจากเอกภพสัมพัทธ์ UไปV ที่แสดงถึงความสัมพันธ์ระหว่างอินพุทu และเอาท์พุท v

u_0 คือ อินพุทที่วัดได้เป็นซิงเกิลตัน

ในการคอมโพซิชันระหว่างฟัซซีซิงเกิลตัน u_0 กับ ความสัมพันธ์ฟัซซี R จะได้ผลลัพธ์เป็นฟัซซีเซต B ซึ่งเป็น สับเซตของเอกภพสัมพัทธ์ V และเมื่อทำดีฟัซซิฟิเคชัน จะหาฟัซซีซิงเกิลตัน v_0 ซึ่งเป็นตัวแทนของฟัซซีเอาท์พุท B เพื่อใช้เป็นเอาท์พุทที่แท้จริงของระบบได้

ตัวอย่าง วิธีการดีฟัซซิฟิเคชันที่นิยมดังนี้

1. MAX Procedure เป็นวิธีการดีฟัซซิฟิเคชัน โดยเลือกค่าเอาท์พุทที่มีค่าฟังก์ชันการเป็นสมาชิกมากที่สุด เพื่อใช้เป็นตัวแทนของฟัซซีเอาท์พุท สามารถแสดงได้ดังสมการดังต่อไปนี้

$$v_0 = \max_{v \in V} \mu_B(v) \qquad (2.59)$$

2. Mean of maximum (MOM) เป็นวิธีที่ขยายมาจากวิธี max. procedure เพื่อใช้ในกรณีที่ค่าเอาท์พุทมีค่าฟังก์ชันการเป็นสมาชิกสูงสุดเท่ากันหลายค่า ให้ทำการหาค่าเฉลี่ยของเอาท์พุทที่มีค่าฟังก์ชันการเป็นสมาชิกสูงสุดเท่ากัน โดยใช้สมการดังนี้

$$v_0 = MOM(B) = \sum_{j=1}^{J} \frac{v_j}{J} \qquad (2.60)$$

เมื่อ v_j คือ ค่าเอาท์พุทแต่ละค่ามีค่าฟังก์ชันการเป็นสมาชิกสูงสุดเท่ากัน

J คือ จำนวนเอาท์พุทที่มีค่าการเป็นสมาชิกสูงสุดเท่ากัน

3. Center of area (COA) / Center of gravity (COG)

วิธี COA เป็นวิธีหาจุดศูนย์กลางของพื้นที่ใต้กราฟของฟังก์ชันการเป็นสมาชิก เพื่อใช้เป็นตัวแทนของฟัซซีเอาท์พุท ซึ่งทำได้โดยการแบ่งพื้นที่ใต้กราฟของฟังก์ชันการเป็นสมาชิกออกเป็น 2 ส่วนเท่าๆกันและค่า V จะหาได้จากค่าของ v_0 ที่ตำแหน่งเส้นแบ่งครึ่ง สามารถหาได้โดยสมการดังต่อไปนี้

$$\int_{-\infty}^{COA(B)} \mu_B(v)dv = \int_{COA(B)}^{\infty} \mu_B(v)dv \qquad (2.61)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในทางปฏิบัติ การคำนวณโดยใช้สมการ ทำได้ยาก จึงประมาณการคำนวณของวิธี COA โดยใช้วิธี COG ซึ่งเป็นการหาจุดศูนย์กลางการถ่วงน้ำหนักแทนการหาจุดศูนย์กลางของพื้นที่ใต้กราฟ สมการของการดีฟัซซิฟิเคชัน โดยใช้วิธี COG สามารถแสดงได้ดังนี้

$$v_0 = COG(B) = \frac{\int_v v\mu_B(v)dv}{\int_v \mu_B(v)dv} \qquad (2.62)$$

ในกรณีที่เอกภพสัมพัทธ์ V มีสมาชิกเป็นค่าความไม่ต่อเนื่อง (discrete) สามารถหาค่า v_0 ได้จากสมการดังต่อไปนี้

$$v_0 = COG(B) = \frac{\sum_{i=1}^{N_q} v_i \mu_B(v_i)}{\sum_{i=1}^{N_q} \mu_B(v_i)} \qquad (2.63)$$

เมื่อ N_q คือ ระดับการควอนไตซ์

v_i คือ ค่าเอาท์พุทของแต่ละค่าในการควอนไตซ์

4. Fuzzy Mean Method (FM) เป็นวิธีที่ปรับปรุงมาจากวิธี COG เพื่อลดเวลาในการคำนวณ โดยการลดระดับการควอนไตซ์ลงให้เท่ากับจำนวนเทอมของตัวแปรเอาท์พุทในเอกภพสัมพัทธ์ V และใช้ค่าเฉลี่ยของแต่ละเทอม เป็นตัวแปรของค่าเอาท์พุทแต่ละการควอนไตซ์สมการของการฟัซซิฟิเคชัน โดยใช้สมการของการดีฟัซซิฟิเคชัน มีวิธีการดังนี้

$$v_0 = FM(B) = \frac{\sum_{k=1}^{Nv} \gamma_k v_k}{\sum_{k=1}^{Nv} \gamma_k} \qquad (2.64)$$

เมื่อ N_v คือ จำนวน ฟัซซีเซตของตัวแปรเอาท์พุทในเอกภพสัมพัทธ์ V

γ_k คือ ค่าเฉลี่ยที่ใช้เป็นตัวแทนของฟัซซีเซตของตัวแปรเอาท์พุทแต่ละเทอม บนเอกภพสัมพัทธ์ V

v_k คือ ค่าระดับการเป็นสมาชิกของฟัซซีเซตของตัวแปรเอาท์พุทแต่ละเทอม บนเอกภพสัมพัทธ์ V

5. Weight Fuzzy Mean Method (WFM) เป็นวิธีที่ขยายมาจากวิธี FM โดยเพิ่มการคูณสัมประสิทธ์ถ่วงน้ำหนักของตัวแปรเอาท์พุทแต่เละเทอม ซึ่งมีสมการเป็นดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$v_0 = WFM(B) = \frac{\sum_{k=1}^{Nv} \omega_k \gamma_k v_k}{\sum_{k=1}^{Nv} \omega_k \gamma_k} \qquad (2.65)$$

เมื่อ ω_k คือ สัมประสิทธิ์ การถ่วงน้ำหนักของแต่ละเทอมของตัวแปรเอาท์พุท ภายในเอกภพสัมพัทธ์ V

6. Indexed Defuzzificaiton method (IDFZ) เป็นวิธีการที่ขยายมาจากการดีฟัซซิฟิเคชันแบบเดิม โดยตัดเอาท์พุทบางส่วนที่มีค่าฟังก์ชันการเป็นสมาชิกน้อยกว่าค่า เทรชโฮลด์(threshold)ที่กำหนด โดยจะคำนวณเฉพาะค่าเอาท์พุทที่มีค่าฟังก์ชันการเป็นสมาชิกมากกว่าค่าเทรชโฮลด์ ดังสมการดังต่อไปนี้

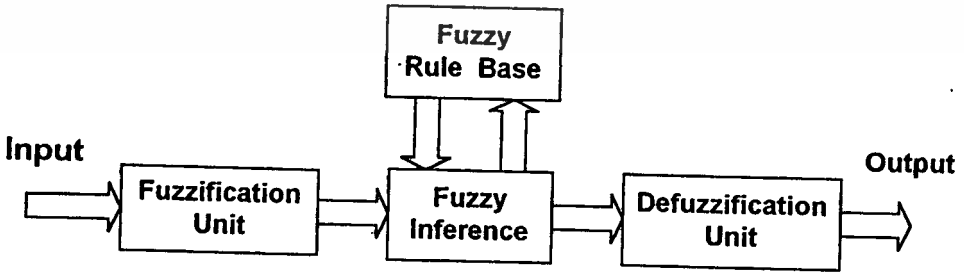
$$IDFZ(B,\alpha_i) = DFZ(\alpha - cut(B,\alpha_i)) \qquad (2.66)$$

ตัวควบคุมฟัซซี

โครงสร้างของตัวควบคุมฟัซซี ประกอบด้วย 4 หน่วย คือ

1. หน่วยฟัซซิฟิเคชัน
2. หน่วยอินเฟอเรนซ์
3. หน่วยดีฟัซซิฟิเคชัน
4. ฐานการควบคุมฟัซซี (Fuzzy rule base)

ดังรูป 2.3



รูปที่ 2.3 แสดงโครงสร้างพื้นฐานของตัวควบคุมฟัซซี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน่วยฟัซซิฟิเคชัน

หน่วยฟัซซิฟิเคชันหน้าที่นอมอลไลซ์ตัวแปรสถานะของระบบ $x = [x_1, \ldots, x_m]^T$ จะใช้เป็นอินพุทของตัวแปรควบคุมให้อยู่ในเอกภพสัมพัทธ์ที่กำหนด และทำการแปลงตัวแปรอินพุท x ให้เป็นตัวแปรฟัซซี X' โดยใช้ฟัซซีซิงเกิลตัน ฟัซซีนัมเบอร์และ ไฮบริทนัมเบอร์

ฐานกฎการควบคุมของฟัซซี

ฐานกฎการควบคุมของฟัซซี เป็นหน่วยที่รวบรวมกฎการควบคุมแบบฟัซซีซึ่งอยู่ในรูปแบบ IF ....THEN....

กำหนดให้ กฎการควบคุมอยู่ในระบบดังนี้

IF $x_1 is X_1^k$ and ... and $x_m is X_m^k$ THEN y is Y^k

หรือ IF $x is X^k$ THEN y is Y^k ; k = 1,2,...,M (2.67)

โดยที่ X คือ ตัวแปรสถานะของกระบวนการซึ่งใช้เป็นอินพุทของตัวควบคุมฟัซซี

$$x = [x_1, \ldots, x_m]^T$$

X^k คือ ฟัซซีเซตของตัวแปรอินพุท ในส่วนของกฎการควบคุม

$$X^k = X_1^k \times \ldots \times X_m^k$$

m คือ จำนวนตัวแปรอินพุทของตัวควบคุม

y คือ ตัวแปรเอาท์พุทของตัวควบคุมฟัซซี

Y^k คือ ฟัซซีเซตของตัวแปรเอาท์พุทในส่วนผลของกฎการควบคุมที่k

M คือ จำนวนกฎการควบคุมทั้งหมดของฐานกฎการควบคุม

หน่วยอินเฟอเรนซ์

หน่วยอินเฟอร์เรนซ์ ทำหน้าที่หาค่าเอาท์พุทของระบบฟัซซีจากค่าตัวแปรอินพุทแบบฟัซซี X' โดยใช้วิธี GMP Implication หาค่าระดับการเป็นสมาชิก (fire strength)ของแต่ละกฎจากความสัมพันธ์ระหว่างตัวแปรอินพุทแบบฟัซซี X' กับฟัซซีเซตในส่วนเหตุของแต่ละกฎ X^k แล้วจึงคำนวณหาค่าเอาท์พุทแบบฟัซซีจากระดับการเป็นสมาชิกกับฟัซซีเซตในส่วนผลของแต่ละกฎ Y^k ตัวอย่างการอินเฟอเรนซ์ โดยใช้CRI ของ Zadeh แสดงด้วยสมการดังนี้

$$\mu_{Y^k}(y) = \underset{x \in U}{V}\left[\mu_{X^k \to Y^k}(x,y) \wedge \mu_{X'}(x)\right] \quad (2.68)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน่วยดีฟัซซิฟิเคชัน

หน่วยดีฟัซซิฟิเคชัน ทำหน้าที่แปลงตัวแปรเอาท์พุทให้เป็นค่าชิงเกิลตัน และทำการดีนอมอลไลซ์ให้อยู่ในเอกภพสัมพัทธ์ที่ต้องการ เพื่อใช้เป็นค่าเอาท์พุทของตัวควบคุม โดยใช้วิธีการที่ได้กล่าวถึงในเรื่องการดีฟัซซิฟิเคชัน

ตัวอย่างของการดีฟัซซิฟิเคชัน โดยใช้วิธี FM แสดงดังสมการ

$$y = \frac{\sum_{k=1}^{M} \bar{y}^k \mu_{y^k}(\bar{y}^k)}{\sum_{k=1}^{M} \mu_{y^k}(\bar{y}^k)} \qquad (2.69)$$

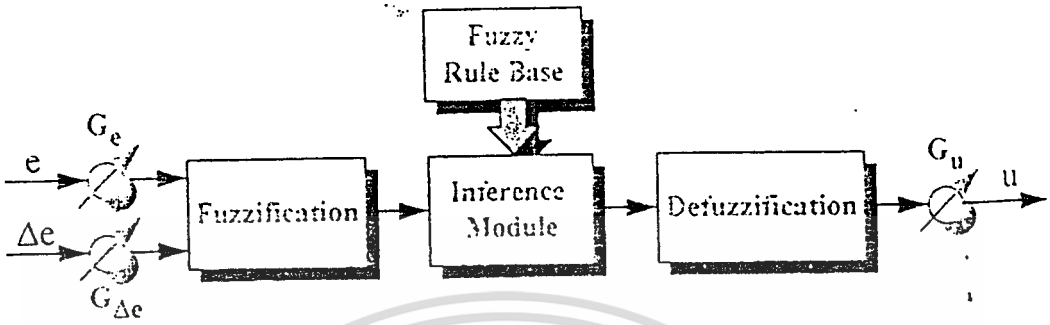
เมื่อ $\bar{y}^k$ คือ ค่าเฉลี่ยที่ใช้เป็นตัวแทนของฟัซซีเซตของเอาท์พุท Y^k ในส่วนผลของ กฎที่ k

$\mu_{y^k}(\bar{y}^k)$ คือค่าระดับการเป็นสมาชิกของ $\bar{y}^k$ ใน ฟัซซีเอาท์พุท Y^k

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบตัวควบคุมด้วย Fuzzy

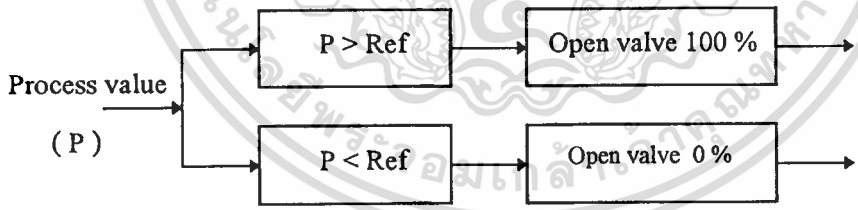


รูปที่ 3.1 รูปแสดงโครงสร้างของตัวควบคุม

ในวิทยานิพนธ์แบ่งการควบคุมออกเป็น 2 ระดับคือ ระดับหยาบและระดับละเอียด และการกำหนดขอบเขตในการเปลี่ยนไปใช้ในการควบคุมแบบละเอียด เมื่อค่าผิดพลาดของเอาท์พุทมีค่าเป็น 20% ของสัญญาณควบคุม (0-100) ซึ่งเท่ากับ 20

<u>การออกแบบตัวควบคุมที่ใช้ในการควบคุมแบบหยาบ</u>

ในการควบคุมระดับหยาบมีจุดประสงค์หลัก คือ ต้องการให้ค่าเอาท์พุทของระบบลู่เข้าสู่ค่าอ้างอิงเร็วที่สุด โดยใช้วิธีการที่ไม่ซับซ้อน รวดเร็วและใช้หน่วยความจำน้อย



รูปที่ 3.2

การควบคุมระดับหยาบประกอบด้วยขั้นตอนการออกแบบดังนี้

1. การกำหนดจำนวนตัวแปรอินพุทและเอาท์พุทของตัวควบคุม ซึ่งจะใช้เพียง 1 อินพุทและ 1 เอาท์พุท โดยตัวแปรอินพุทของตัวควบคุมคือ สัญญาณควบคุมจากไมโครคอนโทรลเลอร์ (control output)

2. เปรียบเทียบค่า Process value (P) กับค่า Ref หาก P < Ref จะส่งสัญญาณเอาท์พุทออกไปควบคุมให้คอนโทรลวาล์วเปิด 100 % และถ้า P > Ref ก็จะส่งสัญญาณควบคุมให้ คอนโทรลวาล์วเปิด 0 % แสดงได้ดังรูปที่ 3.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การคำนวณค่าสัญญาณควบคุม จะกระทำในทุกคาบเวลาของการสุ่มสัญญาณโดยขั้นตอนในการคำนวณดังนี้

การกำหนดคุณสมบัติของ level Transmitter (LT) ที่ใช้ในการควบคุมนี้

- ค่าอินพุทสูงสุดของ LT เท่ากับ 100 cm น้ำ จะให้ค่าเอาท์พุทเป็นกระแส 20 mA
- ค่าอินพุทต่ำสุดของ LT เท่ากับ 0 cm น้ำ จะให้ค่าเอาท์พุทเป็นกระแส 4 mA

เมื่อแปลงสัญญาณเอาท์พุทของ LT เป็น voltage โดยใช้ความต้านทาน 250 โอห์ม คร่อม จะได้ค่า voltage สูงสุดเท่ากับ 5 volt และค่า voltage ต่ำสุด เท่ากับ 1 volt

เมื่อผ่าน condition circuit จะได้สัญญาณ 0-5 volt

เมื่อผ่าน A/D ขนาด 8 bit

- ค่าอินพุทสูงสุดของ A/D เท่ากับ 5 V จะให้ค่าเอาท์พุทเป็นดิจิตอล 255
- ค่าอินพุทต่ำสุดของ A/D เท่ากับ 0 V จะให้ค่าเอาท์พุทเป็นดิจิตอล 0

การส่งค่าสัญญาณควบคุมเพื่อไปควบคุมอุปกรณ์ควบคุมสุดท้าย จะใช้วงจร D/A ขนาด 8 BIT

- ค่าอินพุทสูงสุดของ D/A เป็นค่าดิจิตอล 255 จะให้เอาท์พุทเป็นกระแสไฟฟ้า 20 mA
- ค่าอินพุทต่ำสุดของ D/A เป็นค่าดิจิตอล 0 จะให้เอาท์พุทเป็นกระแสไฟฟ้า 4 mA

1. การแปลงค่าสัญญาณจากกระบวนการ ซึ่งเป็นสัญญาณดิจิตอลจาก A/D ให้อยู่ในช่วง 0-100 cmH_2O สมมุติให้สัญญาณจาก A/D เป็น 102 จะให้ค่า

$$P(nt) = \frac{\Pr ocess(nt)}{255} \times 100 \qquad (3.1)$$

$$P(nt) = \frac{102}{255} \times 100 = 40$$

นั้นคือ สัญญาณค่าระดับเท่ากับ 40 cm

โดยที่ Process (nt) คือ ค่าสัญญาณป้อนกลับจากกระบวนการที่เวลา nt (output ของ A/D)

P (nt) คือ สัญญาณค่าระดับของกระบวนการที่เวลา nt

2. คำนวณค่าตัวแปรอินพุท e ของตัวควบคุม จากผลต่างของค่าสัญญาณอ้างอิงกับค่าสัญญาณป้อนกลับจาก กระบวนการ

$$e(nt) = REF - P(nt) \qquad (3.2)$$

โดยที่ e(nt) คือ ค่าผิดพลาดของระบบที่เวลา nt

Ref คือ ค่าสัญญาณอ้างอิงซึ่งรับจากคีย์บอร์ด

สมมุติให้ ค่าสัญญาณอ้างอิงมีค่าเท่ากับ 50 จะได้ว่า

$$e(nt) = 50 - 40 = 10$$

การคำนวณหาค่าตัวแปรอินพุทของตัวควบคุม ได้จากผลต่างของค่าที่ผิดพลาดปัจจุบัน กับค่าของเวลาที่เกิดขึ้นก่อนหน้านั้น ดังนี้

$$\Delta e(nt) = e(nt) - e(nt-t) \qquad (3.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ $\Delta e(nt)$ คือ ค่าการเปลี่ยนแปลงของค่าผิดพลาดของระบบที่เวลา nt

e(nt-t) คือ ค่าผิดพลาดของระบบที่เวลา nt-t

สมมุติให้ ค่าผิดพลาดของระบบซึ่งคำนวณได้จากข้อ 2 ที่เวลา nt-t เท่ากับ 20

จะได้ว่า

$$\Delta e(nt) = 10 - 20 = -10$$

3. เปรียบเทียบค่าผิดพลาดของระบบควบคุมกับค่าขอบเขตในการควบคุมแบบละเอียด เพื่อเลือกระดับการควบคุม กำหนดให้ค่าขอบเขตในการควบคุมระดับละเอียดเท่ากับ 20 จะได้ว่า

$$\text{Bound} = \pm 20$$

โดยที่ Bound คือ ค่าของขอบเขตในการควบคุมระดับแบบละเอียด

จากตัวอย่างนี้เนื่องจาก ค่าของ e(nt) อยู่ภายในขอบเขตของ Bound ดังนั้นจึงใช้การควบคุมแบบละเอียด

<u>การออกแบบตัวควบคุมที่ใช้ในกระบวนการควบคุมแบบละเอียด</u>

การควบคุมแบบละเอียด มีจุดประสงค์หลักของการควบคุม คือต้องการให้เอาท์พุทของระบบลู่เข้าสู่ค่าอ้างอิงและไม่ส่งผลให้เกิด over shoot และค่าผิดพลาดที่สภาวะคงตัวที่สูงเกินไป

การออกแบบตัวควบคุมแบบละเอียดมีการควบคุมดังนี้

1. การกำหนดจำนวนตัวแปรอินพุทของตัวควบคุม ซึ่งประกอบด้วย 2 อินพุท และ 1 เอาท์พุท โดยที่ตัวแปรอินพุทของตัวควบคุม คือ ตัวแปรสถานะที่อยู่ในรูปค่าผิดพลาด e(error) และค่าการเปลี่ยนแปลงของค่าผิดพลาด Δe (change of error) ของระบบควบคุม และค่าตัวแปรเอาท์พุทของตัวควบคุม คือสัญญาณควบคุม (control output ; u)

2. การนอมอลไลซ์ (Normalize) ตัวแปรอินพุทของตัวควบคุมให้อยู่ในเอกภพสัมพัทธ์ที่กำหนด จะต้องรู้ช่วงหรือเอกภพสัมพัทธ์ที่แท้จริงของตัวแปร อินพุท ซึ่งจะอยู่ในช่วง 0 - 100 ดังนั้นในการนอมอลไลซ์ตัวแปรอินพุท ให้อยู่ในเอกภพสัมพัทธ์ x = (1,1) จึงทำโดยสมการดังนี้

$$x_{norm} = \frac{x}{100} \qquad (3.4)$$

เมื่อ x คือ ค่า ตัวแปร อินพุท ของตัวควบคุม (e และ Δe)

x_{norm} คือ ค่าที่ได้จากการนอมอลไลซ์ตัวแปรอินพุทให้อยู่ในช่วง (0,1)

3. การดีนอมอลไลซ์ (Denormalize) ตัวแปรเอาท์พุทให้อยู่ในเอกภพสัมพัทธ์ที่กำหนด จะต้องรู้ช่วงหรือเอกภพสัมพัทธ์ที่แท้จริงตัวแปรเอาท์พุท ซึ่งสามารถหาได้จากระดับสัญญาณไฟฟ้า ที่มีค่า 4 - 20 mA เนื่องจากในการทดลองนี้ใช้ตัวแปรแปลงสัญญาณดิจิตอลเป็นอนาลอก (D/A) ขนาด 8 bit สำหรับสร้างสัญญาณควบคุม ดังนั้นค่าเอาท์พุทของตัวควบคุม จึงเป็นสัญญาณทางดิจิตอล 0-255 ในการออกแบบได้กำหนดเอกภพสัมพัทธ์ของตัวแปรเอาท์พุทของตัวควบคุมไมโครคอนโทรลเลอร์ให้อยู่ในช่วง(0-100)จึงต้องทำการดีนอมอลไลซ์ตัวแปรเอาท์พุท ให้อยู่ในช่วง (0,255) โดยสมการที่ 3.5 แล้วจึงส่งออกไปเป็นสัญญาณควบคุมที่แท้จริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$u_{denorm} = \frac{u \times 255}{100} \qquad (3.5)$$

เมื่อ u คือ ตัวแปรเอาท์พุทของตัวควบคุม

u_{dorm} คือ ค่าที่ได้จากการ ดีนอมอลไลซ์ตัวแปรเอาท์พุท ให้อยู่ในช่วง (0,255)

4. การกำหนดค่าเกน(Gain) ของตัวแปรอินพุทและเอาท์พุท

ค่าเกนของตัวแปรอินพุทและเอาท์พุท คือสัมประสิทธิ์ในการถ่วงน้ำหนัก เพื่อกำหนดความสำคัญของตัวแปรสถานะแต่ละตัวของกระบวนการ โดยจะเป็นตัวกำหนดขอบเขตสูงสุดของตัวแปรสถานะแต่ละตัว โดยในปริญญานิพนธ์นี้จะใช้ค่าเกน เท่ากับ 2.5

5. การเลือกวิธีและระดับควอนไตซ์(Quantize)

การกำหนดระดับควอนไตซ์ จะขึ้นอยู่กับความต้องการของผู้ออกแบบและข้อจำกัดทางฮาร์ดแวร์ของอุปกรณ์ที่นำมาใช้ในการสร้างตัวควบคุม กรณีที่ต้องการให้ความถูกต้องสูง จะต้องใช้ระดับการควอนไตซ์สูง แต่ขณะเดียวกันก็ต้องใช้เวลาและหน่วยความจำในการคำนวณมาก ดังนั้นในการออกแบบจึงต้องเลือกระดับที่เหมาะสมระหว่างความถูกต้องในการควบคุมและข้อจำกัดทางฮาร์ดแวร์

6. วิธีการฟัซซิฟิเคชัน (Fuzzlification)

จะขึ้นอยู่กับลักษณะสัญญาณของอินพุทของตัวควบคุม ในที่นี้คือสัญญาณป้อนกลับจากกระบวนการ ซึ่งได้จากอุปกรณ์เซ็นเซอร์โดยมีหลักการเลือกดังนี้

- ในกรณีที่สัญญาณการวัดเป็นซิงเกิลตัน และมีระดับของสัญญาณรบกวนต่ำ ควรเลือกวิธีการฟัซซิฟิเคชัน โดยใช้วิธีซิงเกิลตัน เนื่องจากเป็นวิธีที่ง่ายและให้ผลดีที่สุด
- ในกรณีที่สัญญาณการวัดมีระดับสัญญาณการรบกวนสูง ควรเลือกใช้วิธีการฟัซซีฟิเคชันนัมเบอร์ ซึ่งได้ผลดีกว่า เนื่องจากการฟัซซิฟิเคชันโดยใช้ฟัซซินัมเบอร์ มีความคงทนต่อสัญญาณนอยซ์สูงกว่าการใช้วิธีแบบซิงเกิลตัน แต่วิธีนี้จะใช้เวลาในการคำนวณมากกว่า
- ในกรณีที่สัญญาณที่วัดได้เป็นสัญญาณในรูปการกระจายทางสถิติควรเลือกใช้วิธีการฟัซซิฟิเคชันโดยใช้ไฮบริทนัมเบอร์ ซึ่งเป็นฟัซซินัมเบอร์ที่มีสมาชิกอยู่ในรูปการกระจายทางสถิติ

ในระบบควบคุมที่ใช้ในการทดลองนี้ สัญญาณที่วัดได้เป็นสัญญาณที่วัดได้ เป็นสัญญาณซิงเกิลตัน และมีสัญญาณรบกวนไม่สูงมากนัก จึงเลือกใช้วิธีการฟัซซิฟิเคชันโดยใช้ฟัซซิฟิเคชันแบบซิงเกิลตัน ดังแสดงในสมการ (2.55)

$$\mu_A = \begin{cases} 1; u = u_0 \\ 0; u \neq u_0 \end{cases}$$

7. การกำหนดจำนวนฟัซซีเซตของตัวแปรอินพุทและเอาท์พุท ซึ่งเป็นการกำหนด control hypersurface โดยจำนวนฟัซซีเซตของตัวแปรอินพุทแต่ละตัว จะมีผลต่อขนาดของฐานกฎการควบคุมดังสมการต่อไปนี้

$$M = N_e \times N_{\Delta e} \qquad (3.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย M คือ ขนาดของฐานกฎการควบคุม

N_e คือ จำนวนเทอมของตัวแปรอินพุท e-

$N_{\Delta e}$ คือ จำนวนเทอมของตัวแปรอินพุท Δe

8. การกำหนดฟังก์ชันการเป็นสมาชิกของตัวแปรอินพุท

การกำหนดรูปร่างของฟังก์ชันการเป็นสมาชิกของตัวแปรอินพุท จะเป็นการกำหนดความสัมพันธ์ในการแมปปิ้งค่าของตัวแปรอินพุทในเอกภพสัมพัทธ์กับฟัซซีเซตของตัวแปรอินพุท ถ้าต้องการให้ความสัมพันธ์เป็นเชิงเส้น ก็ต้องกำหนดรูปร่างของฟังก์ชันการเป็นสมาชิกแบบเชิงเส้น เช่น รูปสามเหลี่ยมหรือสี่เหลี่ยมคางหมู แต่ถ้าต้องการให้ความสัมพันธ์ไม่เป็นเชิงเส้น ควรกำหนดรูปร่างของฟังก์ชันการเป็นสมาชิกแบบไม่เป็นเชิงเส้น เช่น รูประฆังคว่ำ

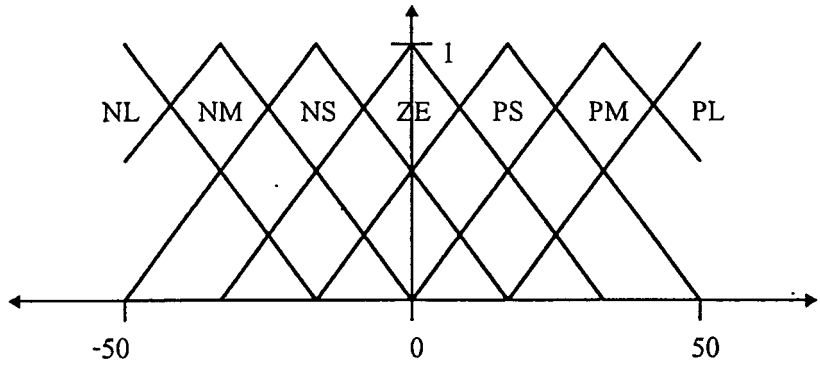
การกำหนดการกระจายของฟัซซีเซตบนเอกภพสัมพัทธ์ สามารถกำหนดได้ทั้งแบบที่เป็นเชิงเส้นและแบบไม่เป็นเชิงเส้น ขึ้นอยู่กับความต้องการของผู้ออกแบบ โดยบริเวณที่มีความหนาแน่นของฟังก์ชันการเป็นสมาชิกสูง จะแสดงถึงความสัมพันธ์ของตัวแปรอินพุทและตัวแปรเอาท์พุทที่มีความซับซ้อนมากกว่าบริเวณที่มีความหนาแน่นของฟังก์ชันการเป็นสมาชิกต่ำ

การซ้อนทับ (over lap) ของฟังก์ชันการเป็นสมาชิกเป็นคุณสมบัติที่สำคัญอย่างหนึ่งของตัวควบคุมแบบฟัซซี เนื่องจากในการอินเฟอร์เรนของฟัซซี ต้องการให้เกิดกริยาระหว่างกันของกฎการควบคุมมากกว่า 1 กฎ การกำหนดเปอร์เซนต์การซ้อนทับกันจะขึ้นอยู่กับความคลุมเครือหรือการซ้อนทับของระบบ การออกแบบให้ฟังก์ชันการเป็นสมาชิกของตัวแปรอินพุทมีการซ้อนทับกันมากกว่า 2 เซต จะทำให้ Control hypersurface มีความเรียบมากขึ้น แต่ในกรณีที่มีการเปลี่ยนแปลงกฎการควบคุมใดๆ จะมีผลกระทบต่อการควบคุมของกฎที่อยู่ติดกันมาก ทำให้เกิดการรบกวนกันของกฎการควบคุมดังนั้น ในการออกแบบฟังก์ชันการเป็นสมาชิกของตัวแปรอินพุทจึงไม่ควรให้มีการซ้อนทับกันมากกว่า 2 เซต

- การกำหนดฟังก์ชันการเป็นสมาชิกของตัวแปรอินพุท มีแนวทางสรุปได้ดังต่อไปนี้ ในกรณีที่ต้องการเวลาในการคำนวณน้อย ควรใช้รูปแบบฟังก์ชันการเป็นสมาชิกเป็นรูปสามเหลี่ยมหรือรูปสี่เหลี่ยมคางหมู
- การกำหนดการกระจายของฟัซซีเซตบนเอกภพสัมพัทธ์ ควรกำหนดให้สมมาตรกัน
- การกำหนดฟังก์ชันการเป็นสมาชิกของตัวแปรอินพุท ควรกำหนดให้มีการซ้อนทับกันของฟัซซีที่อยู่ติดกัน เพื่อให้เกิดกิริยาร่วมกันระหว่างกฎของการควบคุม และเพื่อให้มีการยืนยันว่าจะมีกำการควบคุมกันอย่างน้อยหนึ่งกฎ รองรับสำหรับการสร้างสัญญาณควบคุมทุกสถานะของอินพุท ซึ่งจะแสดงถึงความสมบูรณ์ของฐานกฎการควบคุมโดยปกติจะออกแบบให้มีเปอร์เซนต์การซ้อนทับของฟัซซีเซต ประมาณ 15-25%

ในปริญญานิพนธ์นี้ ได้ออกแบบตัวควบคุม โดยกำหนดให้รูปร่างของฟังก์ชันการเป็นสมาชิกของฟัซซีเซตของตัวแปรอินพุท e และΔ e เป็นรูปสามเหลี่ยม โดยมีการกระจายของฟัซซีเซตเป็นแบบเชิงเส้นและมีการซ้อนทับกันของฟัซซีเซต ดังรูป 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 แสดงฟังก์ชันการเป็นสมาชิกเซตของตัวแปรอินพุท e และ Δe

โดยที่ NL = negative large PL = positive large
NM = negative medium PM = positive medium
NS = negative small PS = positive small
ZE = zero equal

9. การกำหนดจำนวนฟัซซีเซตของตัวแปรเอาท์พุทบนเอกภพสัมพัทธ์ เป็นการกำหนดความละเอียดของผลการควบคุม แต่จะไม่เป็นการกำหนดความละเอียดของสัญญาณควบคุมเนื่องจากความละเอียดของสัญญาณควบคุมขึ้นอยู่กับวิธีการดีฟัซซิฟิเคชัน

10. การกำหนดฟังก์ชันของการเป็นสมาชิกของตัวแปรเอาท์พุท จะมีแนวทางคล้ายกันกับในการกำหนดฟังก์ชันการเป็นสมาชิกในตัวแปรอินพุท แต่จากการทดลองพบว่าผลการทดลองจะขึ้นอยู่กับกฎของการควบคุมมากกว่าฟังก์ชันการเป็นสมาชิกของตัวแปรเอาท์พุท ในที่นี้กำหนดให้ฟัซซีเซตของตัวแปรเอาท์พุท เป็นฟัซซีซิงเกิลตัน เพื่อความสะดวกในการคำนวณ และกำหนดให้จำนวนฟัซซีเซตเท่ากับ 201 เซต โดยให้จุดกึ่งกลางของฟัซซีเซตแต่ละเซต อยู่ที่ค่าจำนวนเต็ม 0 ถึง 100

11. การกำหนดรูปแบบของกฎการควบคุม

รูปแบบทั่วไปของกฎการควบคุมจะอยู่ในรูปของเงื่อนไข IF ..... THEN ..... โดยในส่วนสาเหตุเป็นการกำหนดเงื่อนไขของตัวแปรอินพุทในรูปฟัซซีเซต และในส่วนผลแสดงถึงผลลัพธ์ คือ ค่าตัวแปรเอาท์พุทในรูปฟัซซีเซต เมื่อตัวแปรอินพุทเป็นไปตามเงื่อนไขในส่วนสาเหตุ รูปแบบของกฎการควบคุมใช้กันในทั่วไปเป็นกฎที่ถูกนิยามโดย Professor Mamdani มีรูปแบบดังนี้

IF (E is E^k) AND (ΔE is ΔE^k) THEN U is U^k ; k = 1,...,M

โดยที่ E, ΔE คือ ตัวแปรฟัซซีอินพุทที่ได้จากการทำฟัซซิฟิเคชันตัวแปรสถานะ e และ Δe

U คือ ตัวแปรฟัซซีเอาท์พุท

$E^k, \Delta E^k, U^k$ คือ ฟัซซีเซตของตัวแปร E , ΔE , U ตามลำดับ

M คือ จำนวนกฎการควบคุมทั้งหมด ในที่นี้ M = 7 * 7 = 49 กฎ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการคำนวณกฎการควบคุมจะถูกแทนที่ด้วยความสัมพันธ์ฟัซซี ซึ่งเป็นผลของคาร์ทีเซียนระหว่างฟัซซีเซตของตัวแปรอินพุทในส่วนของกฎ รูปแบบความสัมพันธ์ R ซึ่งแทนกฎการควบคุมของฟัซซี แสดงได้ตามสมการ

$$R = \underset{k=1}{\overset{M}{Y}}\left(E^k \times \Delta E^k\right) \times U^k$$

โดยที่ $$\mu_R(E,\Delta E,U) = \vee_{1\le k\le M}\left(\left(\mu_{E^k}(E^k) \wedge \mu_{\Delta E^k}(\Delta E^k)\right)\mu_{U^k}(U^k)\right)$$

12. การเลือกวิธีอินเฟอร์เรนซ์ จะขึ้นอยู่กับการเลือกใช้ตัวปฏิบัติการ t- norm และ s-norm ในการทำ CRI วิธีที่นิยมใช้กันมากที่สุดคือวิธี CRI ของ Zadeh เนื่องจากสะดวกและใช้เวลาในเวลาในการคำนวณน้อย โดยจะใช้ตัวปฏิบัติการ max. และ min ในการปฏิบัติการ s-norm และ t-norm ตามลำดับ ซึ่งสามารถหาตัวแปรเอาท์พุทแบบฟัซซี จากสมการ 2.54 จะได้

$$U' = X' oR = \left\{\left(u, \max_{X'\in X}\left\{\min\left[\mu_{X'}(x), \mu_R(x,u)\right]\right\}\right)\right\} \mid x \in X, u \in U$$

ในการอินเฟอร์เรนซ์แบบฟัซซีโดยใช้ตัวปฏิบัติการที่ไม่เป็นเชิงเส้น จะมีผลทำให้ control hypersurface ไม่เป็นเชิงเส้นด้วย ดังนั้นถ้าต้องการให้ control hypersurface เป็นเชิงเส้น ควรจะเลือกใช้ตัวปฏิบัติการที่เป็นเชิงเส้น เช่น sum product แต่ทั้งนี้จะต้องสัมพันธ์กับการกำหนดฟังก์ชันการเป็นสมาชิกของตัวแปรอินพุท และตัวแปรเอาท์พุท การเลือกวิธีการฟัซซีฟิเคชัน และวิธีการดีฟัซซิฟิเคชัน เนื่องจากหลักการของการควบคุมแบบฟัซซีเซต เป็นการควบคุมที่ไม่เป็นเชิงเส้นจึงใช้วิธีการ CRI ของ Zadeh

13. การเลือกวิธีการดีฟัซซีฟิเคชัน จะเป็นการกำหนดความละเอียดของสัญญาณเอาท์พุท โดยจะต้องสัมพันธ์กับการกำหนดฟังก์ชันการเป็นสมาชิกของตัวแปรอินพุทและตัวแปรเอาท์พุท การเลือกวิธีการดีฟัซซิฟิเคชัน จะขึ้นอยู่กับความต้องการของผู้ออกแบบ ซึ่งจะมีข้อดี ข้อเสียต่างกันดังนี้

- วิธี Max Procedure เป็นวิธีการที่สามารถหาได้ง่ายและรวดเร็วที่สุด แต่จะให้สัญญาณการควบคุมที่หยาบมากจึงไม่เหมาะสมกับการใช้งาน

- วิธี MoM เป็นวิธีการที่สามารถหาได้ง่ายและรวดเร็ว ซึ่งการดีฟัซซีฟิเคชันด้วยวิธการดังนี้ จะได้ผลเช่นเดียวกับการกำหนดฟังก์ชันการเป็นสมาชิกของตัวแปรเอาท์พุทเป็นฟัซซีซิงเกิลตัน เนื่องจากค่าของตัวแปรอินพุทที่ตำแหน่งอื่นๆ ที่มีค่าระดับการเป็นสมาชิกต่ำกว่าค่าระดับการเป็นสมาชิกสูงสุด จะไม่มีผลต่อค่าเอาท์พุท วิธีนี้จะใช้สัญญาณการควบคุมที่หยาบ และผลการควบคุมไม่ดี แต่จะถูกเลือกใช้ในกรณีที่มีการคำนวณน้อย และไม่ต้องการความถูกต้องมากนัก

- วิธี COG เป็นวิธีที่นิยมกันมากที่สุด เนื่องจากเป็นการหาจุดศูนย์กลางของเอาท์พุทที่แท้จริง โดยพิจารณาผลจากอินพุททุกตัว ทำให้ได้ค่าที่ถูกต้องกว่าวิธีอื่น แต่ใช้เวลาในการคำนวณมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

● วิธี FM เป็นวิธีที่ดัดแปลงมาจากวิธี COG โดยใช้ระดับการควอนไตซ์ที่น้อยกว่า เพื่อลดเวลาการคำนวณ ในการดีฟัซซีฟิเคชันด้วนวิธีนี้ จะได้ผลเช่นเดียวกับการกำหนดค่าฟังก์ชันการเป็นสมาชิกของตัวแปรเอาท์พุทเป็นฟัซซีซิงเกิงตัน แต่มีข้อจำกัดคือ ควรใช้ในการออกแบบตัวควบคุมโดยกำหนดค่าฟังก์ชันของการเป็นสมาชิกของตัวแปรเอาท์พุทแบบสมมาตรเท่านั้น ทั้งนี้จากการดีฟัซซีฟิเคชันด้วยวิธีนี้จะใช้ค่าจุดกึ่งกลางของฟัซซีเซตของตัวแปรเอาท์พุทเพื่อเป็นตัวแทนของแต่ละเซต

ในปริญญานิพนธ์นี่จะใช้แบบ FM เพราะกำหนดให้ฟังก์ชันการเป็นตัวแปรของเอาท์พุทเป็นแบบซิงเกิลตัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางแสดงกฎการควบคุม

e \ de	NL	NM	NS	ZE	PS	PM	PL
NL	NL	NM	NM	NM	NM	NL	NL
NM	NM	NM	NS	NM	NM	NM	NL
NS	NS	NS	NS	NS	NM	NM	NL
ZE	NS	NS	NS	ZE	PS	PM	PL
PS	PS	PS	PS	PM	PM	PM	PL
PM	PS	PM	PM	PM	PM	PM	PL
PL	PM	PM	PM	PM	PL	PL	PL

ตารางแสดงกฎการควบคุมที่ปรับปรุงแก้ไข

e \ de	NL	NM	NS	ZE	PS	PM	PL
NL	NL	NM	NM	NM	NM	NL	NL
NM	NM	NM	NS	NM	NM	NM	NL
NS	NS	NS	NS	NS	NM	NM	NL
ZE	ZE	ZE	ZE	ZE	ZE	ZE	ZE
PS	PS	PS	PS	PM	PM	PM	PL
PM	PS	PM	PM	PM	PM	PM	PL
PL	PM	PM	PM	PM	PL	PL	PL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางแสดงกฎการควบคุม

e \ de	NL	NM	NS	ZE	PS	PM	PL
NL	-3	-2	-2	-2	-2	-2	-2
NM	-2	-2	-1	-2	-2	-3	-3
NS	-1.5	-1.5	-1.5	-1.6	-2.2	-2.4	-3.3
ZE	0	0	0	0	0	0	0
PS	1.5	1.5	1.6	2.6	2.6	2.6	3.6
PM	1.2	2.2	2.2	2.2	2.2	2.2	3.3
PL	3	3	3	2	3	3	3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางแสดงค่า erroer และ change of error

	NL	NM	NS	ZE	PS	PM	PL
-50	1.0000	0.5000	0.0000	0	0	0	0
-49	0.9697	0.5303	0.0303	0	0	0	0
-48	0.9394	0.5606	0.0606	0	0	0	0
-47	0.9091	0.5909	0.0909	0	0	0	0
-46	0.8788	0.6212	0.1212	0	0	0	0
-45	0.8485	0.6515	0.1515	0	0	0	0
-44	0.8182	0.6818	0.1818	0	0	0	0
-43	0.7879	0.7121	0.2121	0	0	0	0
-42	0.7576	0.7424	0.2424	0	0	0	0
-41	0.7273	0.7727	0.2727	0	0	0	0
-40	0.6970	0.8030	0.3030	0	0	0	0
-39	0.6667	0.8333	0.3333	0	0	0	0
-38	0.6364	0.8636	0.3636	0	0	0	0
-37	0.6061	0.8939	0.3939	0	0	0	0
-36	0.5758	0.9242	0.4242	0	0	0	0
-35	0.5455	0.9545	0.4545	0	0	0	0
-34	0.5152	0.9848	0.4848	0	0	0	0
-33	0.4848	1.0000	0.5152	0	0	0	0
-32	0.4545	0.9697	0.5455	0.0303	0	0	0
-31	0.4242	0.9394	0.5758	0.0606	0	0	0
-30	0.3939	0.9091	0.6061	0.0909	0	0	0
-29	0.3636	0.8788	0.6364	0.1212	0	0	0
-28	0.3333	0.8485	0.6667	0.1515	0	0	0
-27	0.3030	0.8182	0.6970	0.1818	0	0	0
-26	0.2727	0.7879	0.7273	0.2121	0	0	0
-25	0.2424	0.7576	0.7576	0.2424	0	0	0
-24	0.2121	0.7273	0.7879	0.2727	0	0	0
-23	0.1818	0.6970	0.8182	0.3030	0	0	0
-22	0.1515	0.6667	0.8485	0.3333	0	0	0
-21	0.1212	0.6364	0.8788	0.3636	0	0	0
-20	0.0909	0.6061	0.9091	0.3939	0	0	0
-19	0.0606	0.5758	0.9394	0.4242	0	0	0
-18	0.0303	0.5455	0.9697	0.4545	0	0	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

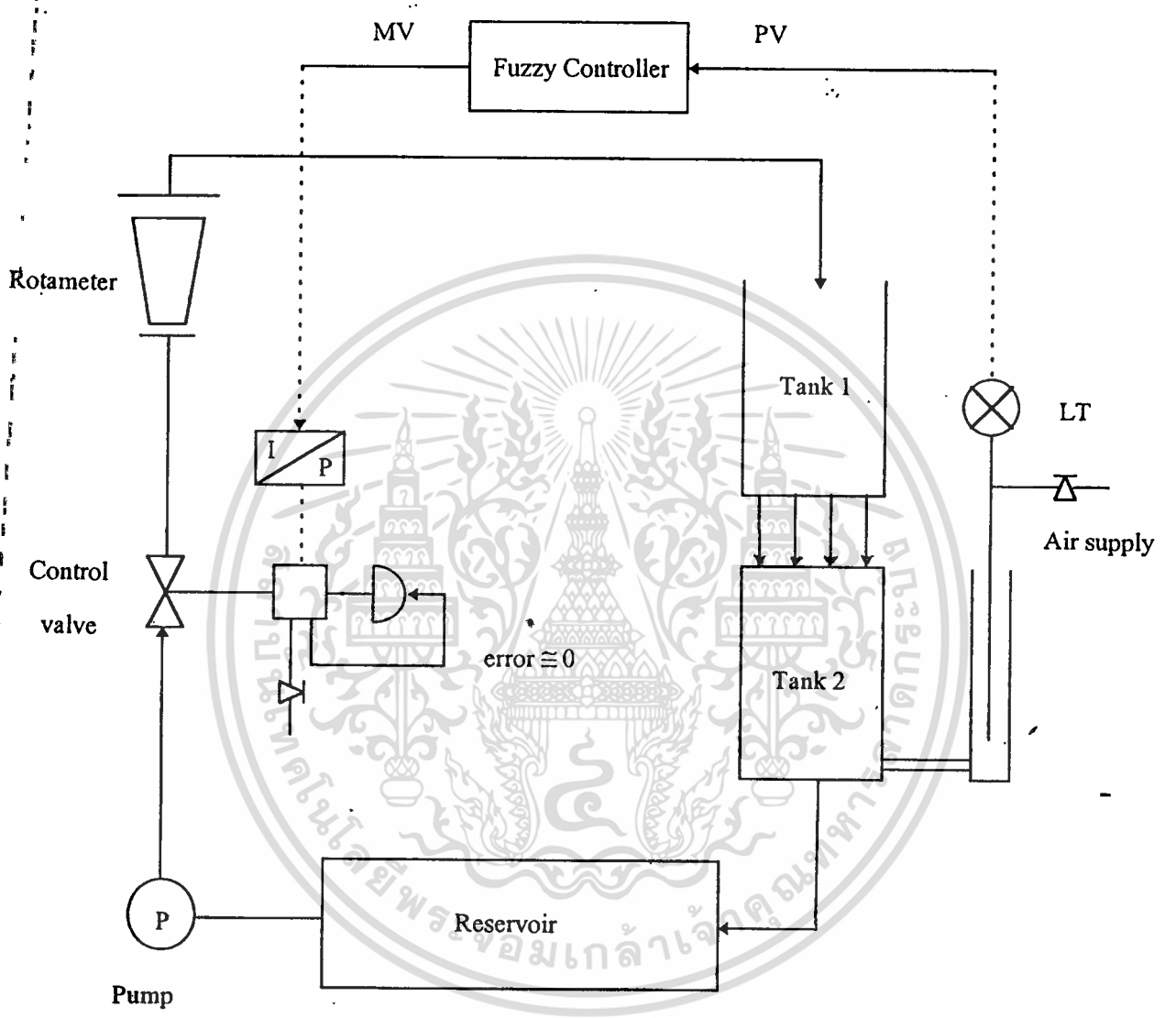
-17	0	0.5152	1.0000	0.4848	0	0	0
-16	0	0.4848	0.9697	0.5152	0.0303	0	0
-15	0	0.4545	0.9394	0.5455	0.0606	0	0
-14	0	0.4242	0.9091	0.5758	0.0909	0	0
-13	0	0.3939	0.8788	0.6061	0.1212	0	0
-12	0	0.3636	0.8485	0.6364	0.1515	0	0
-11	0	0.3333	0.8182	0.6667	0.1818	0	0
-10	0	0.3030	0.7879	0.6970	0.2121	0	0
-9	0	0.2727	0.7576	0.7273	0.2424	0	0
-8	0	0.2424	0.7273	0.7576	0.2727	0	0
-7	0	0.2121	0.6970	0.7879	0.3030	0	0
-6	0	0.1818	0.6667	0.8182	0.3333	0	0
-5	0	0.1515	0.6364	0.8485	0.3636	0	0
-4	0	0.1212	0.6061	0.8788	0.3939	0	0
-3	0	0.0909	0.5758	0.9091	0.4242	0	0
-2	0	0.0606	0.5455	0.9394	0.4545	0	0
-1	0	0.0303	0.5152	0.9697	0.4848	0	0
0	0	0	0.4848	1.0000	0.5152	0	0
1	0	0	0.4545	0.9697	0.5455	0.0303	0
2	0	0	0.4242	0.9394	0.5758	0.0606	0
3	0	0	0.3939	0.9091	0.6061	0.0909	0
4	0	0	0.3636	0.8788	0.6364	0.1212	0
5	0	0	0.3333	0.8485	0.6667	0.1515	0
6	0	0	0.3030	0.8182	0.6970	0.1818	0
7	0	0	0.2727	0.7879	0.7273	0.2121	0
8	0	0	0.2424	0.7576	0.7576	0.2424	0
9	0	0	0.2121	0.7273	0.7879	0.2727	0
10	0	0	0.1818	0.6970	0.8182	0.3030	0
11	0	0	0.1515	0.6667	0.8485	0.3333	0
12	0	0	0.1212	0.6364	0.8788	0.3636	0
13	0	0	0.0909	0.6061	0.9091	0.3939	0
14	0	0	0.0606	0.5758	0.9394	0.4242	0
15	0	0	0.0303	0.5455	0.9697	0.4545	0
16	0	0	0	0.5152	1.0000	0.4848	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

17	0	0	0	0.4848	1.0000	0.5152	0
18	0	0	0	0.4545	0.9697	0.5455	0.0303
19	0	0	0	0.4242	0.9394	0.5758	0.0606
20	0	0	0	0.3939	0.9091	0.6061	0.0909
21	0	0	0	0.3636	0.8788	0.6364	0.1212
22	0	0	0	0.3333	0.8485	0.6667	0.1515
23	0	0	0	0.3030	0.8182	0.6970	0.1818
24	0	0	0	0.2727	0.7879	0.7273	0.2121
25	0	0	0	0.2424	0.7576	0.7576	0.2424
26	0	0	0	0.2121	0.7273	0.7879	0.2727
27	0	0	0	0.1818	0.6970	0.8182	0.3030
28	0	0	0	0.1515	0.6667	0.8485	0.3333
29	0	0	0	0.1212	0.6364	0.8788	0.3636
30	0	0	0	0.0909	0.6061	0.9091	0.3939
31	0	0	0	0.0606	0.5758	0.9394	0.4242
32	0	0	0	0.0303	0.5455	0.9697	0.4545
33	0	0	0	0	0.5152	1.0000	0.4848
34	0	0	0	0	0.4848	0.9697	0.5152
35	0	0	0	0	0.4545	0.9394	0.5455
36	0	0	0	0	0.4242	0.9091	0.5758
37	0	0	0	0	0.3939	0.8788	0.6061
38	0	0	0	0	0.3636	0.8485	0.6364
39	0	0	0	0	0.3333	0.8182	0.6667
40	0	0	0	0	0.3030	0.7879	0.6970
41	0	0	0	0	0.2727	0.7576	0.7273
42	0	0	0	0	0.2424	0.7273	0.7576
43	0	0	0	0	0.2121	0.6970	0.7879
44	0	0	0	0	0.1818	0.6667	0.8182
45	0	0	0	0	0.1515	0.6364	0.8485
46	0	0	0	0	0.1212	0.6061	0.8788
47	0	0	0	0	0.0909	0.5758	0.9091
48	0	0	0	0	0.0606	0.5455	0.9394
49	0	0	0	0	0.0303	0.5152	0.9697
50	0	0	0	0	0	0.5000	1.0000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

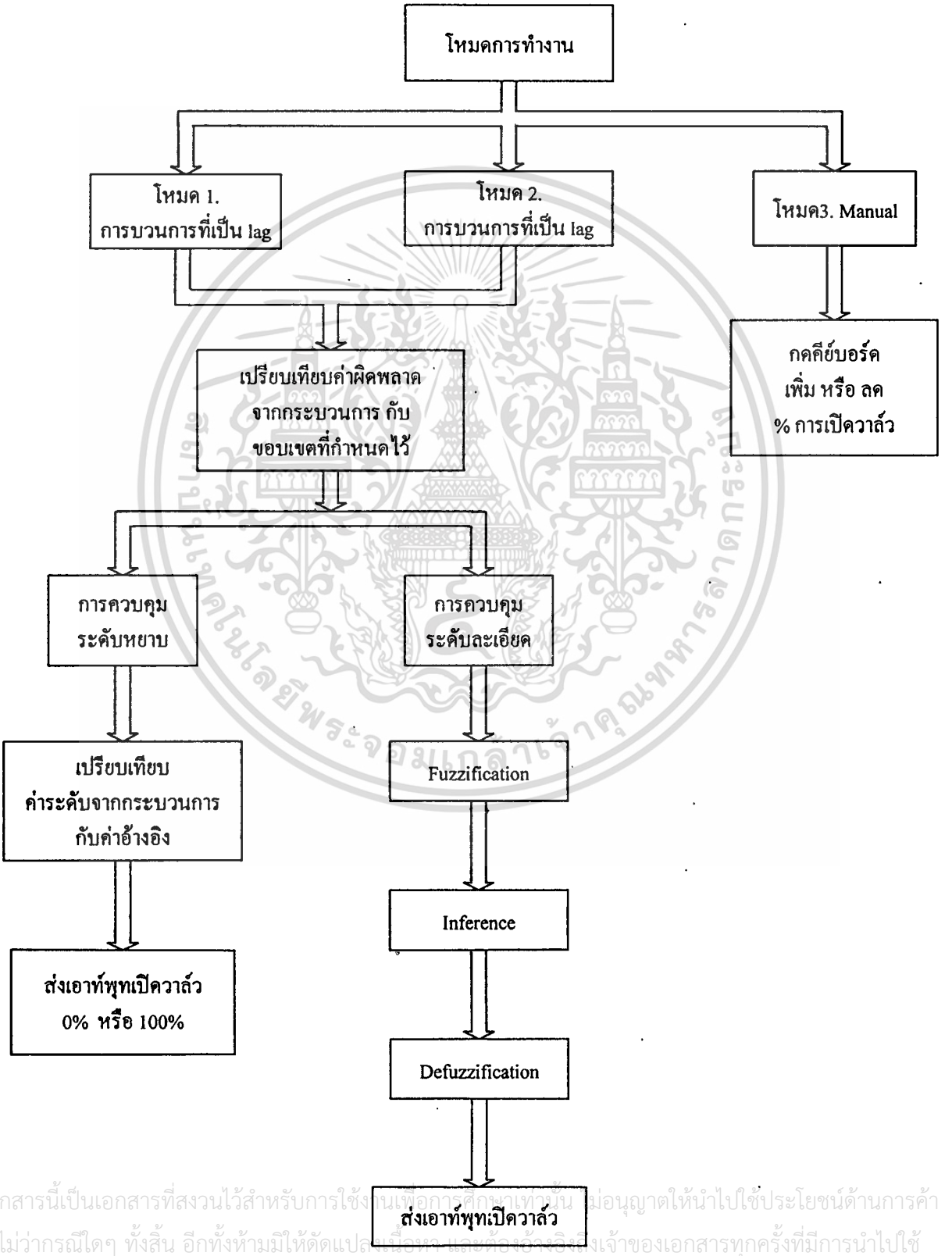
โครงสร้างของกระบวนการ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

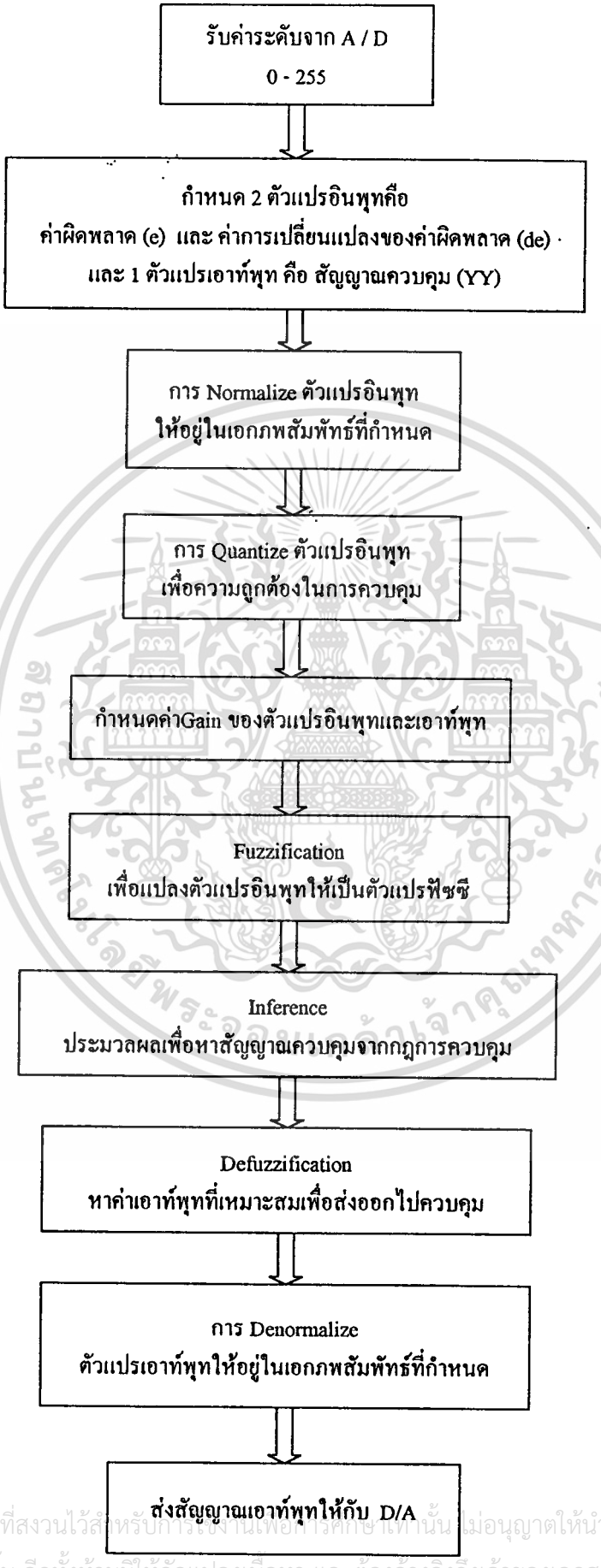
บทที่ 4
แผนภาพแสดงการทำงาน

แสดงโหมดการทำงานต่างๆ



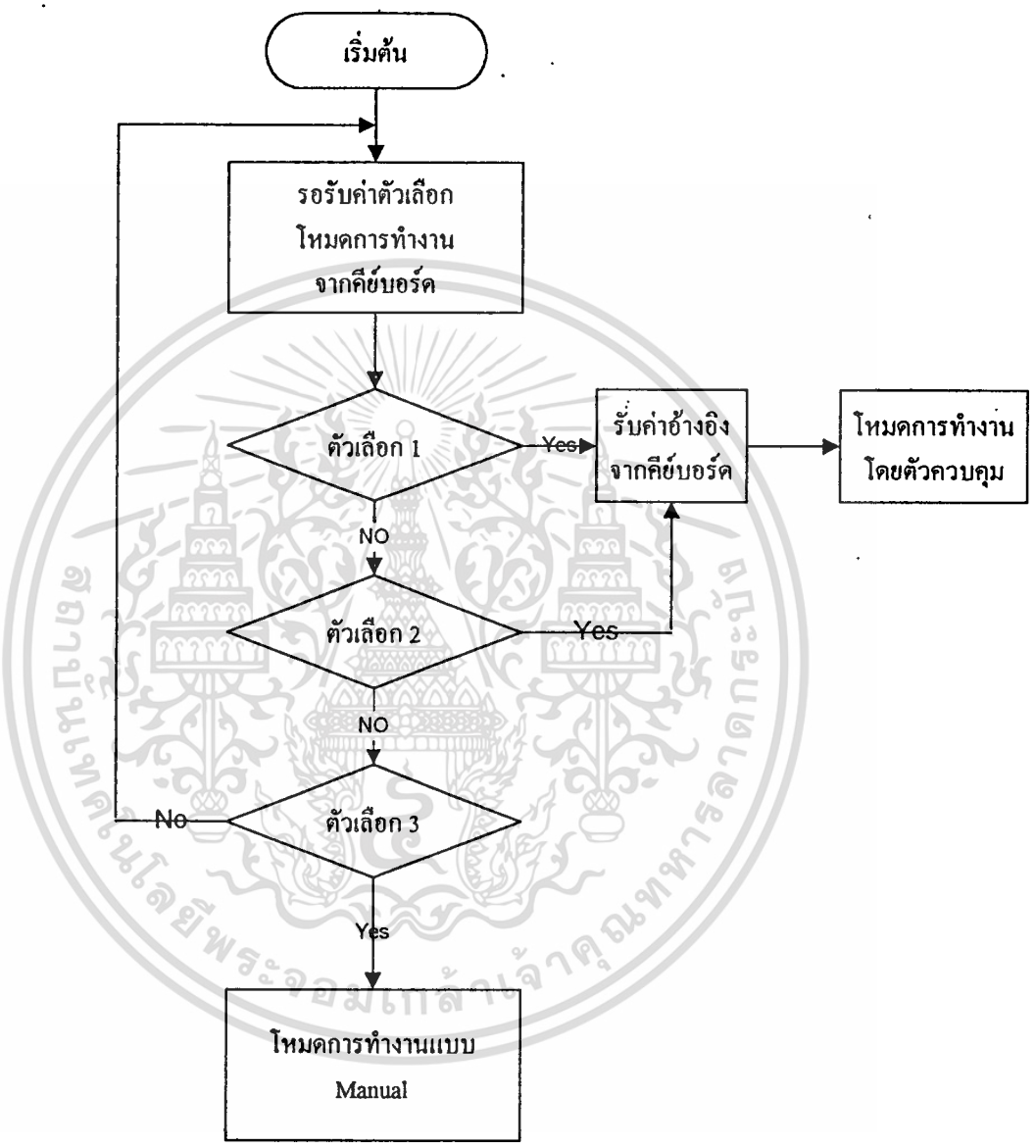
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดงขั้นตอนการควบคุมระดับละเอียด



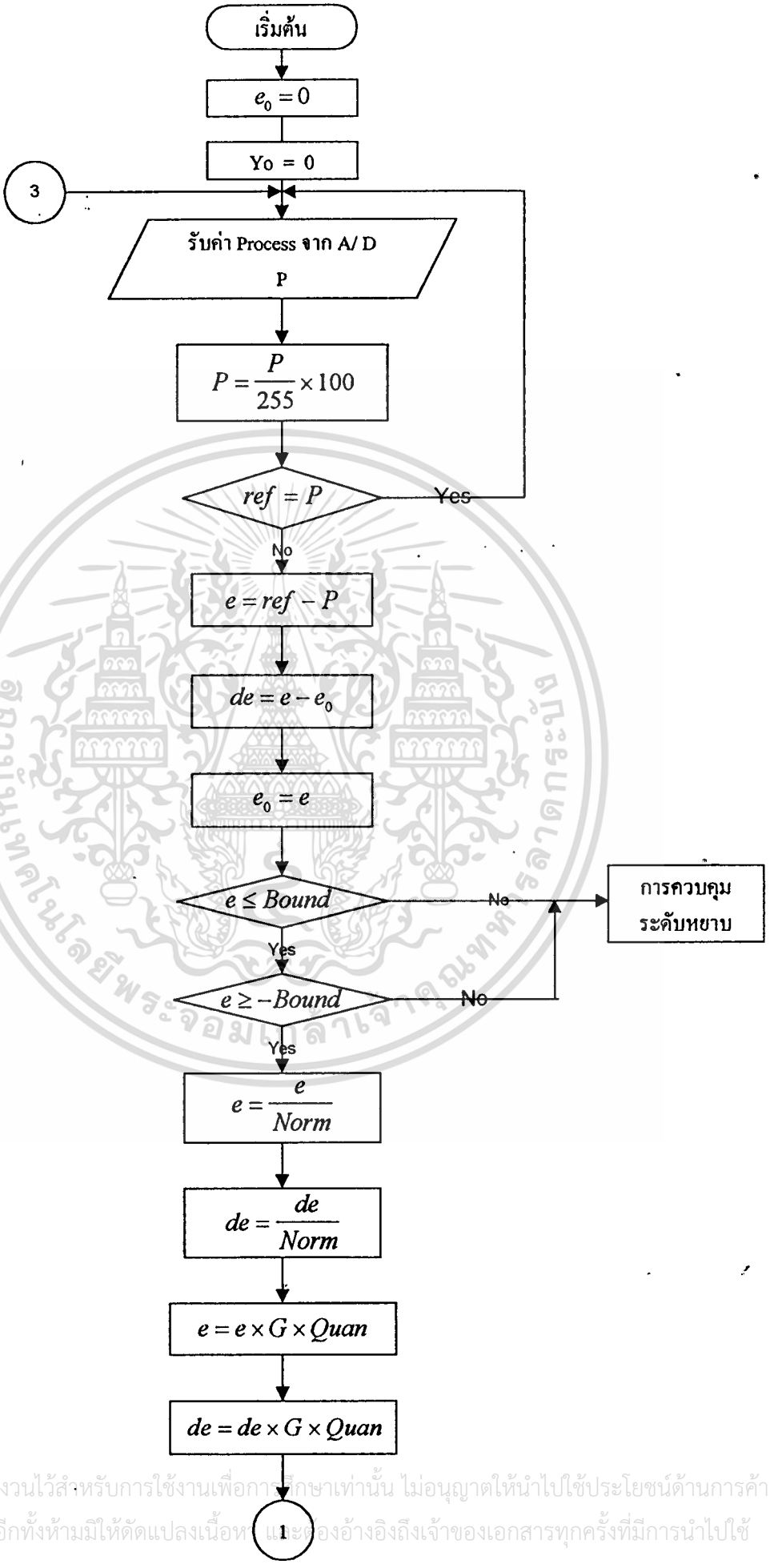
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมหลัก

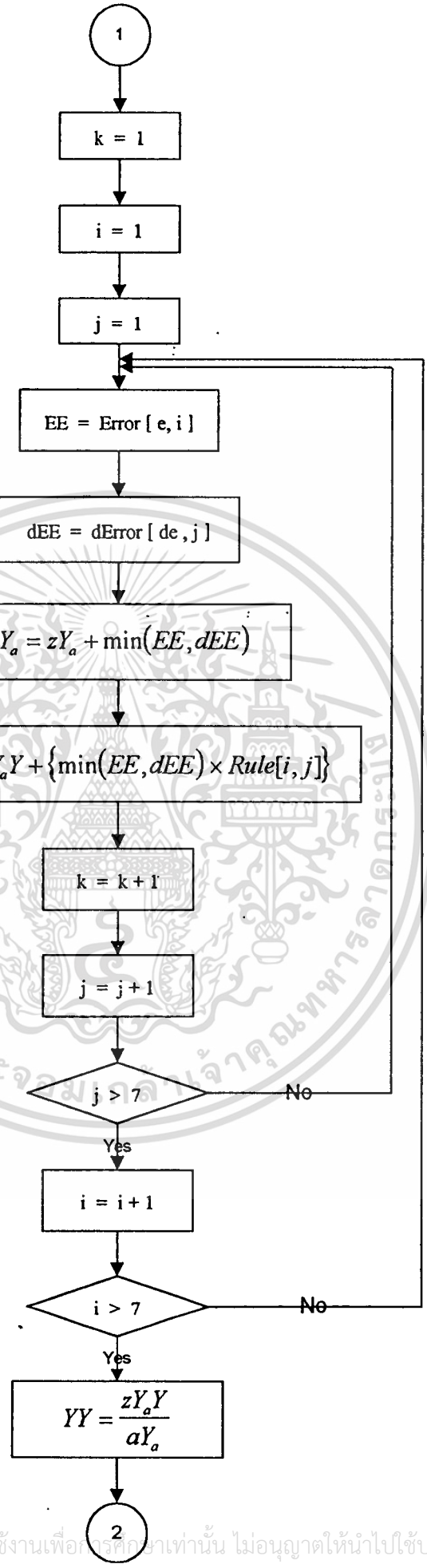


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

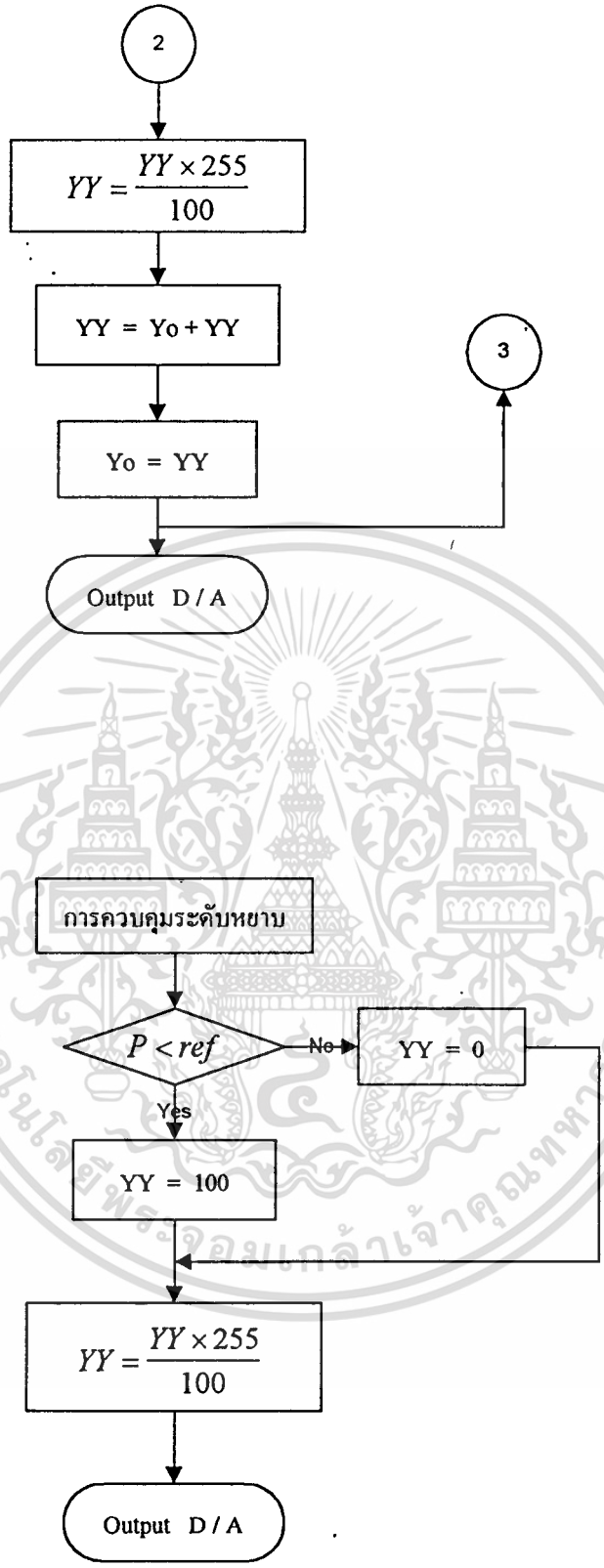
การควบคุมโดยตัวควบคุม



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรอินเตอร์เฟส

1. วงจร Signal Condition

มี 2 ชนิด คือ

1. แปลงสัญญาณ 1 - 5 Vdc เป็น 0 - 5 Vdc
2. แปลงสัญญาณ 0 - 5 Vdc เป็น 1 - 5 Vdc

แบบแปลงสัญญาณ 1 - 5 Vdc เป็น 0 - 5 Vdc

ใช้แปลงสัญญาณ ซึ่งได้รับมาจาก process เป็นแรงดันขนาด 1 - 5 Vdc โดยจะแปลงเป็นแรงดันขนาด 0 - 5 Vdc เพื่อใช้ในการแปลงวงจร Analog to Digital ต่อไป

หลักการทำงาน ที่แรงดัน Vin = 1 Vdc จะอาศัยหลักการแบ่งแรงดัน โดยปรับ Zero ให้ output เท่ากับ 0 ซึ่งก็เท่ากับว่ามีแรงดันออกไป เท่ากับ - 1 Vdc ที่แรงดัน 5 Vdc เมื่อผ่านจุดที่แบ่งแรงดัน แรงดันจะลดลงเหลือ 4 Vdc เพราะฉะนั้นเราจึงต้องปรับ Span ให้ได้ค่า Gain = 1.25 เพื่อที่จะได้ out put = 5 Vdc

แสดงดังรูปในภาคผนวก ก.-4

แบบแปลงสัญญาณ 0 - 5 Vdc เป็น 1 - 5 Vdc

ใช้แปลงสัญญาณที่ได้รับจากวงจร Digital to Analog ที่เป็นแรงดันขนาด 0 - 5 Vdc โดยจะแปลงเป็นแรงดันขนาด 1 - 5 Vdc เพื่อใช้ในการควบคุมการเปิด - ปิดวาล์วต่อไป

หลักการทำงาน เหมือนกับวงจรแรก เพียงแต่ที่ Zero เราจะปรับค่าให้แรงดันเพิ่มเป็น + 1 และ Span ต้องปรับค่าให้ได้ค่า Gain = 0.83

แสดงดังรูปในภาคผนวก ก.-3

2. Analog to Digital

ใช้แปลงสัญญาณ Analog เป็น Digital เพื่อส่งสัญญาณให้กับคอนโทรลเลอร์ ซึ่งจะรับสัญญาณเป็นแบบ Digital

แสดงดังรูปในภาคผนวก ก.-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการทำงาน

A/D ที่ใช้ เป็นแบบ successive approximation A/D converter ซึ่ง จะใช้วิธีการประมาณค่าทาง digital ขนาด 8 bit เพื่อสร้างแรงดันขึ้นมาเปรียบเทียบ และทำการปรับเปลี่ยนที่ละ bit จนกว่าจะได้แรงดันที่ถูกต้องกับ Vin โดยไม่จำเป็นต้องเริ่มค่า digital จากค่า 0 ใหม่ทุกครั้ง

การทำงานของ A/D จะเริ่มเมื่อได้รับสัญญาณเข้าทางขา $\overline{CS}$ และ $\overline{WR}$ เป็น Logic - 0 จากนั้น A/D จึงจะทำการแปลงสัญญาณโดยใช้ค่าทาง digital สร้างแรงดันขึ้นมาเปรียบเทียบกับแรงดันที่ได้รับเข้ามาทางขา Vin และทำการปรับเปลี่ยนค่าทาง digital จนกว่าจะได้ค่าแรงดันที่เท่ากัน ขั้นตอนนี้จะใช้เวลาประมาณ 100 μs จากนั้น A/D จะทำการส่งสัญญาณออกทางขา INTR เป็น Logic - 1 เพื่อบอกว่าการเปลี่ยนแปลงค่าสิ้นสุดลง และเมื่อได้รับสัญญาณเข้าที่ขา $\overline{CS}$ และ $\overline{RD}$ เป็น Logic - 0 A/D ก็จะทำการส่งค่า digital ขนาด 8 bit ที่ได้ออกทาง DB0 - DB7

3. Digital to Analog

ใช้แปลงสัญญาณ Digital เป็น Analog เพื่อนำสัญญาณจากคอนโทรลเลอร์ไปใช้ควบคุมกระบวนการต่อไป

แสดงดังรูปในภาคผนวก ก.-2

หลักการทำงาน

D/A จะทำการเปลี่ยนแปลงค่าทาง digital เป็น Analog การทำงานจะเริ่มขึ้นเมื่อได้รับสัญญาณทาง digital เข้าที่ขา B1 - B8 การแปลงสัญญาณจะเริ่มขึ้นโดยอัตโนมัติ จนได้ค่าทาง analog จากขาที่เป็น output ซึ่งจะใช้เวลาในการแปลงสัญญาณเพียง 100 ms. เท่านั้น สัญญาณที่ได้จะเป็นกระแส ดังนั้นจึงต้องมีวงจรขยายกระแสให้เป็นแรงดันที่ opamp LM741

4. Supply

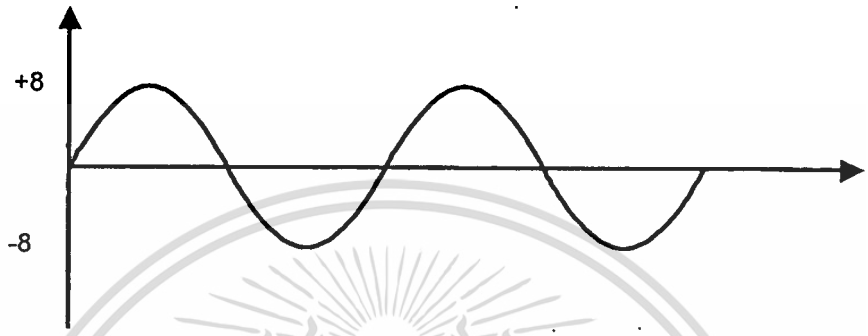
เป็นวงจรสร้างแรงดันขนาด +5 , -5 , +15 และ - 15 V. เพื่อจ่ายแรงดันให้กับวงจรอื่น ๆ

แสดงดังรูปในภาคผนวก ก-6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

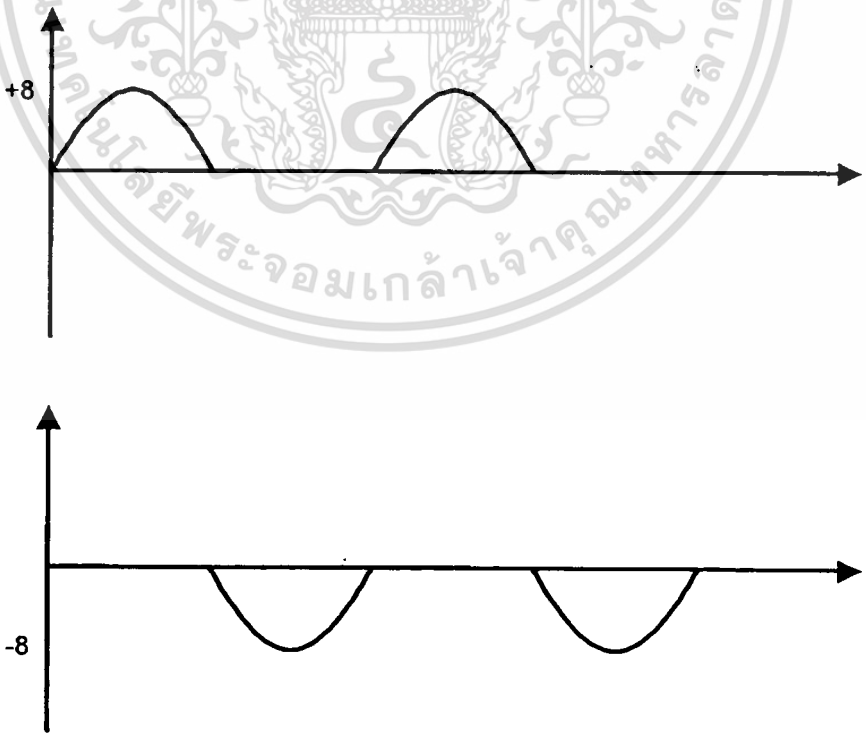
หลักการทำงาน

1. ใช้ หม้อแปลงไฟฟ้าแบบ Center tap แปลงแรงดันขนาด 220 V ให้เหลือเท่าพิกัดของหม้อแปลง จะได้สัญญาณไฟฟ้าดังรูปที่ 4.1



รูปที่ 4.1

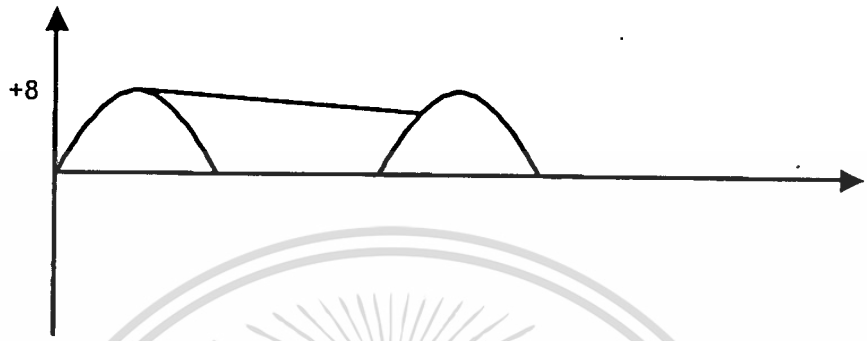
2. วงจร full wave bridge จะป้อนแรงดันด้านบวกให้กับวงจรบวก ดังรูปที่ 4.2 และป้อนแรงดันลบให้กับวงจรลบ



รูปที่ 4.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. Capacitor ขนาด 2200 μF จะทำให้สัญญาณ Sine wave ที่ป้อนมาครึ่งคลื่น เป็นสัญญาณต่อเนื่อง โดยช่วงที่ป้อนลูกคลื่น Capacitor จะ Charge เมื่อแรงดันเริ่มจาก Capacitor จะ Discharge ทำให้สัญญาณต่อเนื่องดังรูปที่ 4.3



รูปที่ 4.3

4. ตัว Regulator จะแปลงแรงดันให้ได้ตามที่ต้องการ

5. Capacitor ขนาด 0.1 μF จะทำให้สัญญาณที่ได้เรียบขึ้น เป็น filter กรองสัญญาณ

5. V/I

รับสัญญาณแรงดันขนาด 1 - 5 Vdc จากวงจร Conditioner มาแปลงเป็นกระแสขนาด 4 -20 mA เพื่อใช้ในการควบคุมการเปิดปิดวาล์วของ process

แสดงดังรูปในภาคผนวก ก.-5

หลักการทำงาน

แรงดันที่รับเข้ามา เมื่อต่อเข้ากับตัวต้านทานจะเกิดกระแสขึ้น เราจะใช้ transistor ขยายสัญญาณกระแส และใช้ Zener Diode ในการกำหนดแรงดันไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

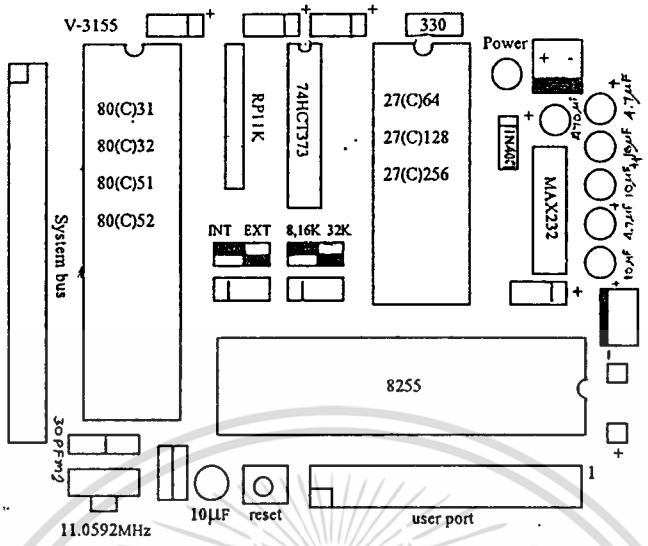
วงจรไมโครคอนโทรลเลอร์ 8051

ซึ่งมีคุณสมบัติดังนี้

CPU	80C31 (40 PIN - DIP OF MCS - 51)
CLOCK	11.0592 MHz
MEMORY	0 / 32 K SOCKET (PROGRAM)
PORT	8 BIT (PORT 1 OF MCS - 51)
	4 BIT (/ INT0, / INT1, / T0, / T1 OF MCS - 51)
	24 BIT (PORT OF 8255)
	1 SERIAL PORT (RS232)
LED	1 POWER LED
SWITCH	1 RESET SWITCH
CONENNTER	40 PIN MCS - 51 SYSTEM - BUS
	26 PIN 8255
	3 PIN RS232
	2 PIN 5 VDC
JUMPER	2 WAY JUMPER FOR / EA SELECT (EXT, INT)
	2 WAY JUMPER FOR MEMORY SOCKET (8-16K, 32 K)
POWER SUPPLY	5 VDC CURRENT 210 mA (WITH 27C256 EPROM)
PCB SIZE	8.8 × 7.1 cm

ดังแสดงในรูปที่ 4.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 แสดงตำแหน่งต่างๆ บนบอร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

การทดลองและผลการทดลอง

<u>การทดลองส่วนของวงจร Interface</u>

1. การทดลองทางด้านอินพุท มีการทดลองดังนี้

- การทดลองวงจร Signal Conditioner Circuit ซึ่งแปลงสัญญาณ 1 - 5 Volt. เป็นสัญญาณ 0 - 5 Volt. ผลการทดลองดังแสดงในตารางที่ 1
- ป้อนให้กับวงจร A/D เพื่อแปลงสัญญาณอนาลอก (0 - 5 V) เป็นสัญญาณดิจิตอล (0 - 255) ผลการทดลองดังแสดงในตารางที่ 3

2. การทดลองทางด้านเอาพุท มีการทดสอบดังนี้

- วงจร D/A ซึ่งรับสัญญาณดิจิตอล (0 - 255) มา แล้วแปลงเป็นสัญญาณอนาลอก (0 - 5 V) แล้วส่งสัญญาณให้กับวงจร Signal Conditioner Circuit ผลการทดลองดังแสดงในตารางที่ 4
- วงจร Signal Conditioner Circuit ซึ่งแปลงสัญญาณจาก 0 - 5 Volt. เป็น 1 - 5 Volt. แล้วส่งสัญญาณให้กับวงจร V/I ผลการทดลองดังแสดงในตารางที่ 2
- วงจร V/I จะแปลงสัญญาณ 1 - 5 Volt. ที่ได้รับจาก วงจร Signal Conditioner Circuit เป็นกระแส 4 - 20 mA. ผลการทดลองดังแสดงในตารางที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางบันทึกผลการทดลองวงจร Interface

ตารางที่ 1 ผลการทดลอง Signal conditioner circuit แปลง (1 - 5 V) เป็น (0 - 5 V)

Vin (volt)	Vout (volt)
1	0.02
2	1.28
3	2.52
4	3.77
5	5.03

ตารางที่ 2 ผลการทดลอง Signal conditioner circuit แปลง (0 - 5 V) เป็น (1 - 5 V)

Vin (volt)	Vout (volt)
0	1.01
1	1.66
2	2.49
3	3.32
4	4.15
5	5.02

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3 ผลการทดลองวงจร Analog to Digital แปลง (0 - 5 V) เป็น (0 - 255)

Vin (volt)	Digital output	ค่าที่ได้
0	0000 0001	1
1	0011 0011	52
2	0110 0110	102
3	1001 1001	153
4	1100 1100	204
5	1111 1111	255

ตารางที่ 4 ผลการทดลองวงจร Digital to Analog แปลง (0 - 255) เป็น (0 - 5 V)

Digital intput	ค่าที่ได้	Vout (volt)
0000 0000	0	0.2
0110 0100	100	1.98
1001 0110	150	2.97
1111 1111	255	5.01

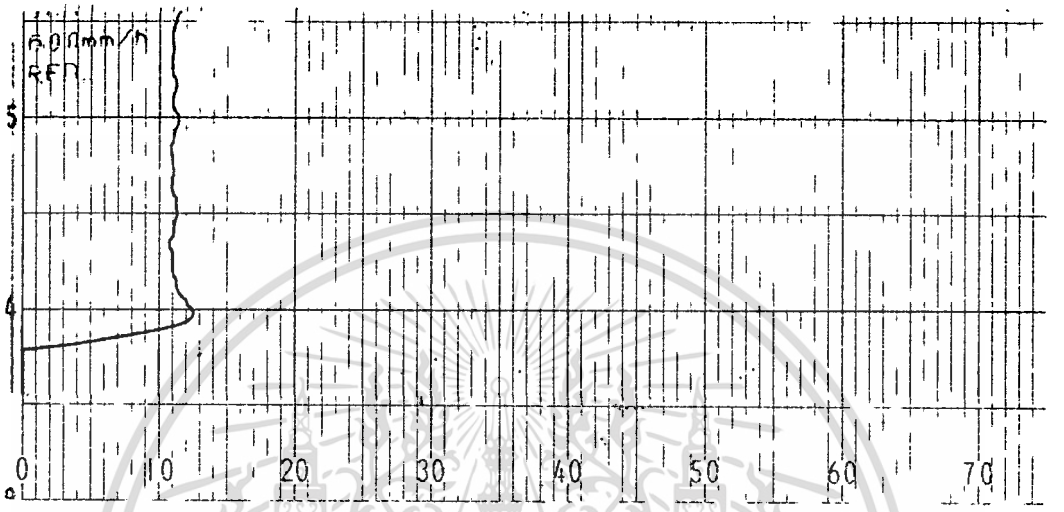
ตารางที่ 5 ผลการทดลองวงจร V / I แปลง (1 - 5 V) เป็น (4 - 20 mA)

V (volt)	I (mA)
1	3.95
2	7.98
3	11.97
4	15.96
5	19.7

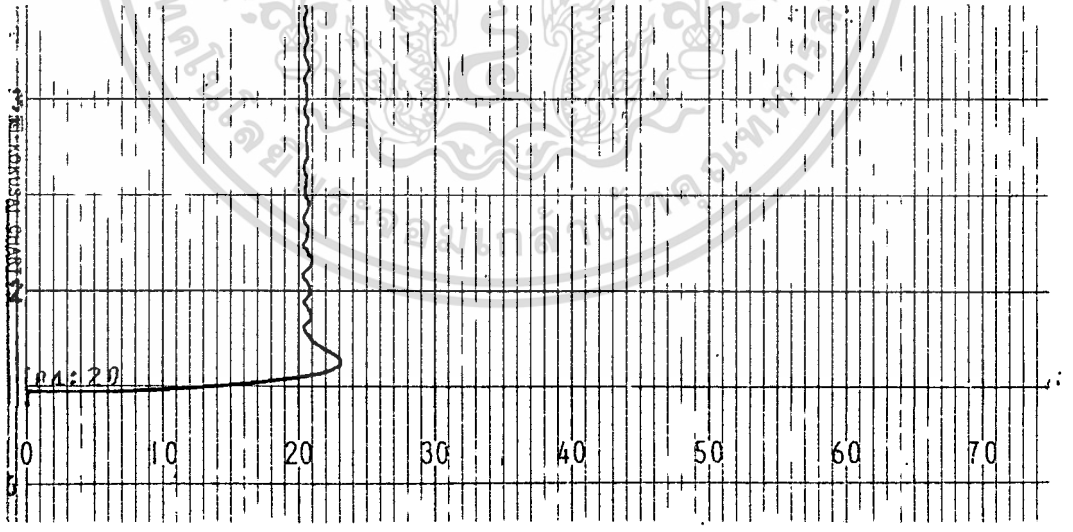
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองกับกระบวนการ

การควบคุมระดับโดยใช้ตัวควบคุมแบบฟัซซี ที่ระดับค่าอ้างอิงต่างๆ ได้ผลการทดลองดังนี้

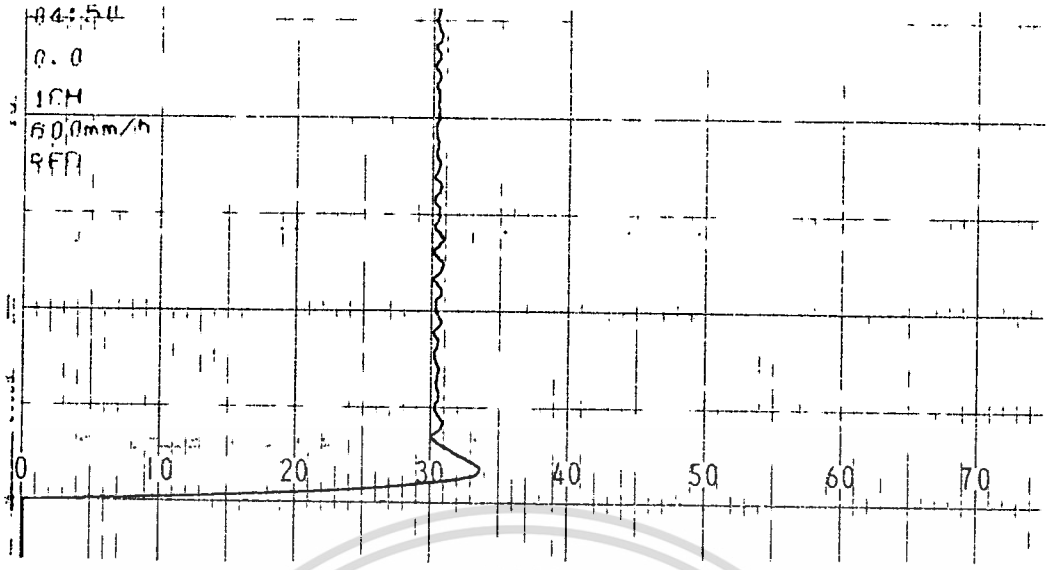


ค่าระดับอ้างอิง 10 %

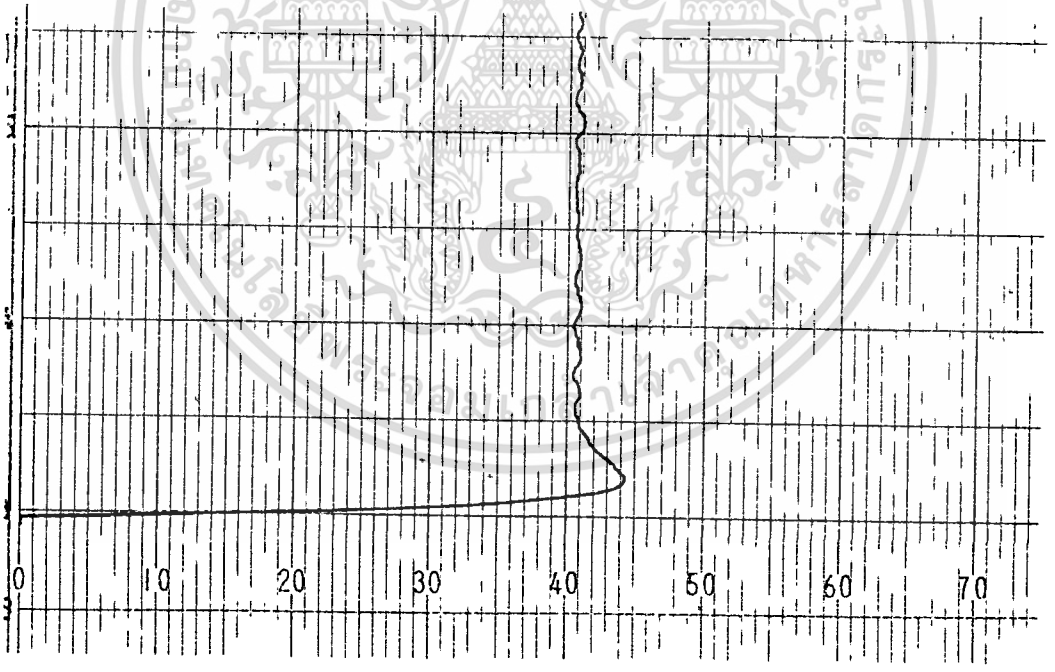


ค่าระดับอ้างอิง 20 %

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

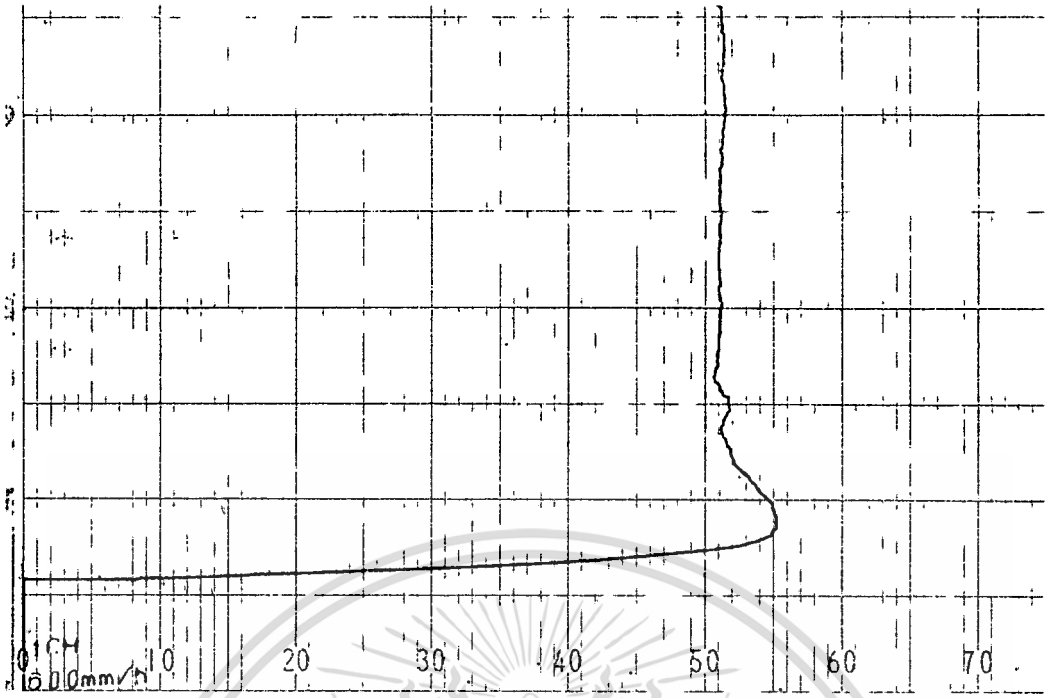


ค่าระดับอ้างอิง 30 %

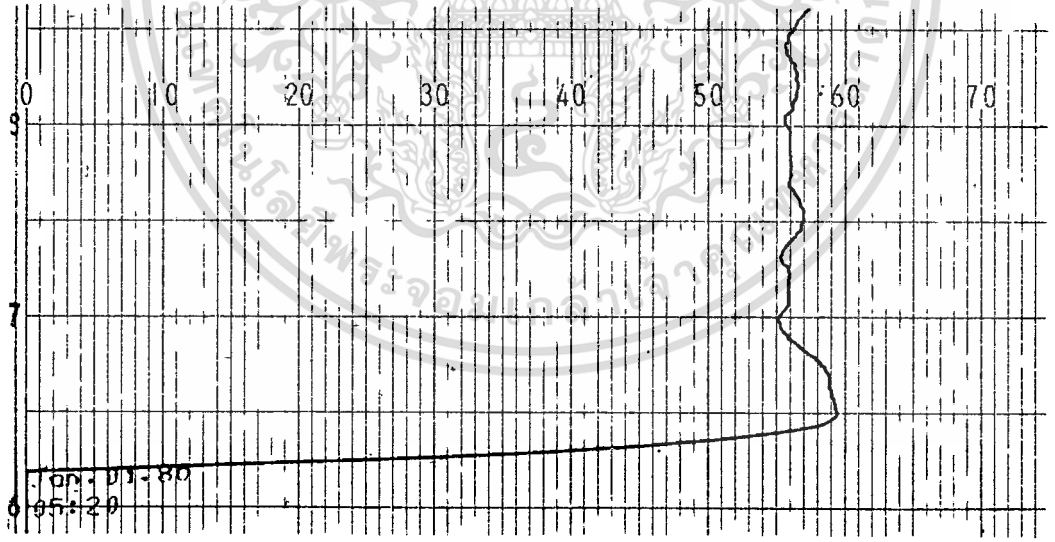


ค่าระดับอ้างอิง 40 % .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

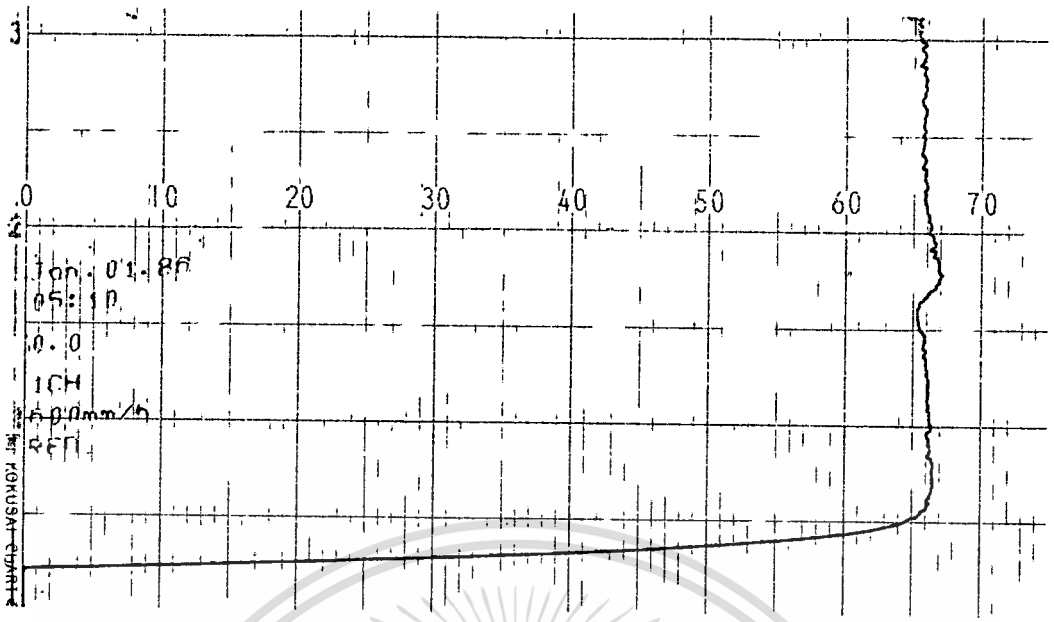


ค่าระดับอ้างอิง 50 %

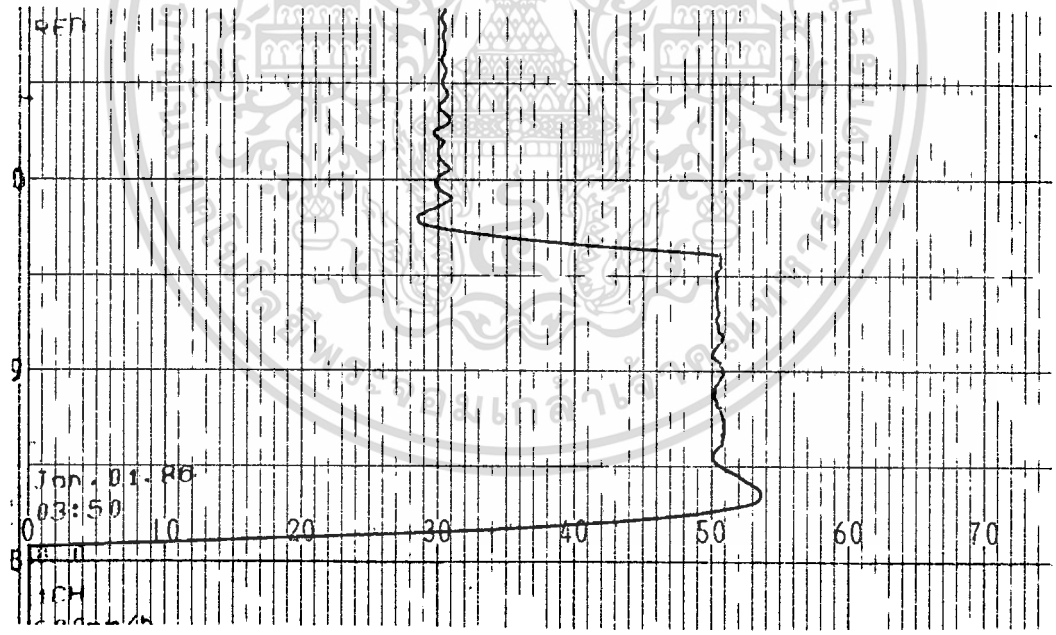


ค่าระดับอ้างอิง 55 %

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



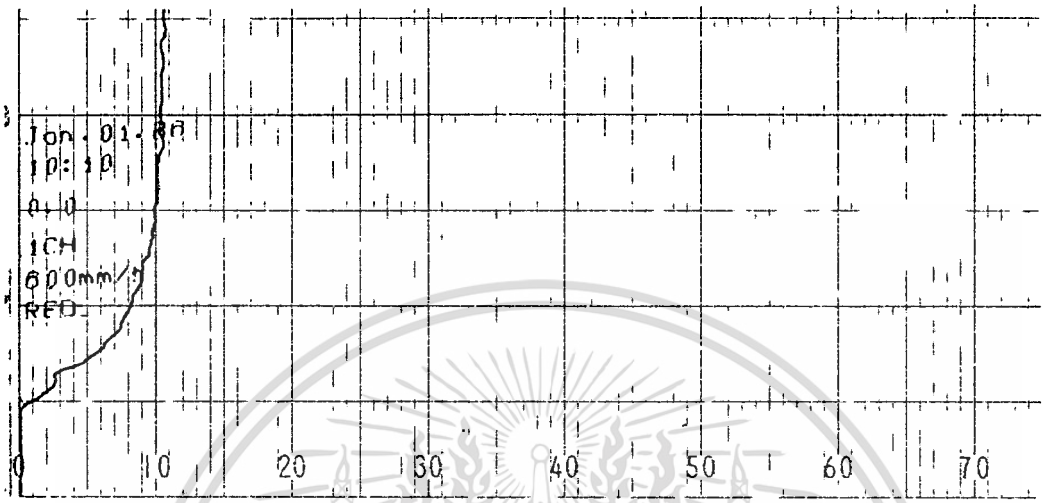
ค่าระดับอ้างอิง 65 %



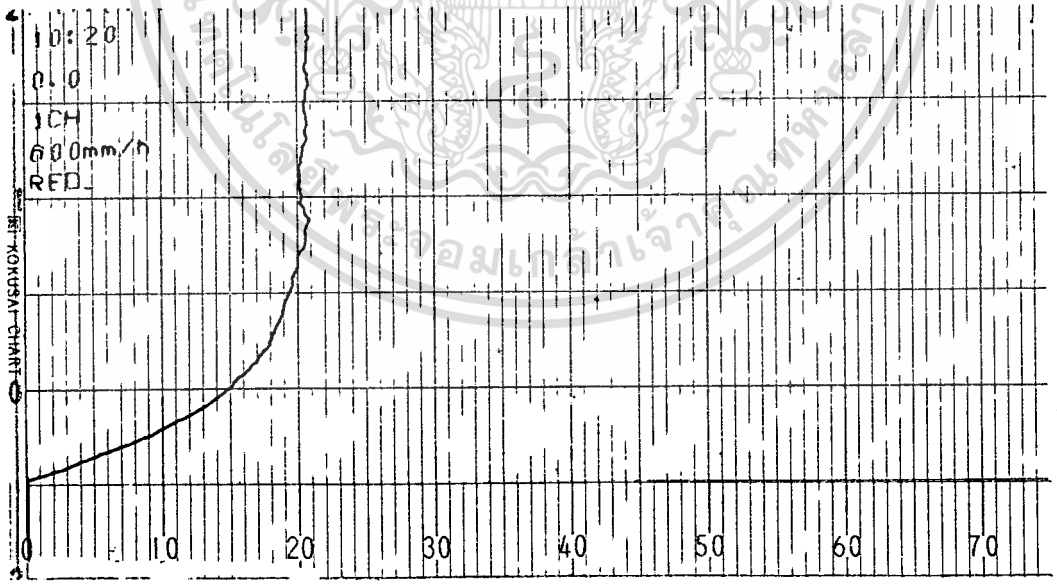
เปลี่ยนค่าระดับอ้างอิงจาก 50 % เป็น 30 %

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เปรียบเทียบกับการควบคุมระดับโดยใช้ตัวควบคุมแบบ PID ที่ระดับค่าอ้างอิงต่างๆ ได้ผลการทดลองดังนี้

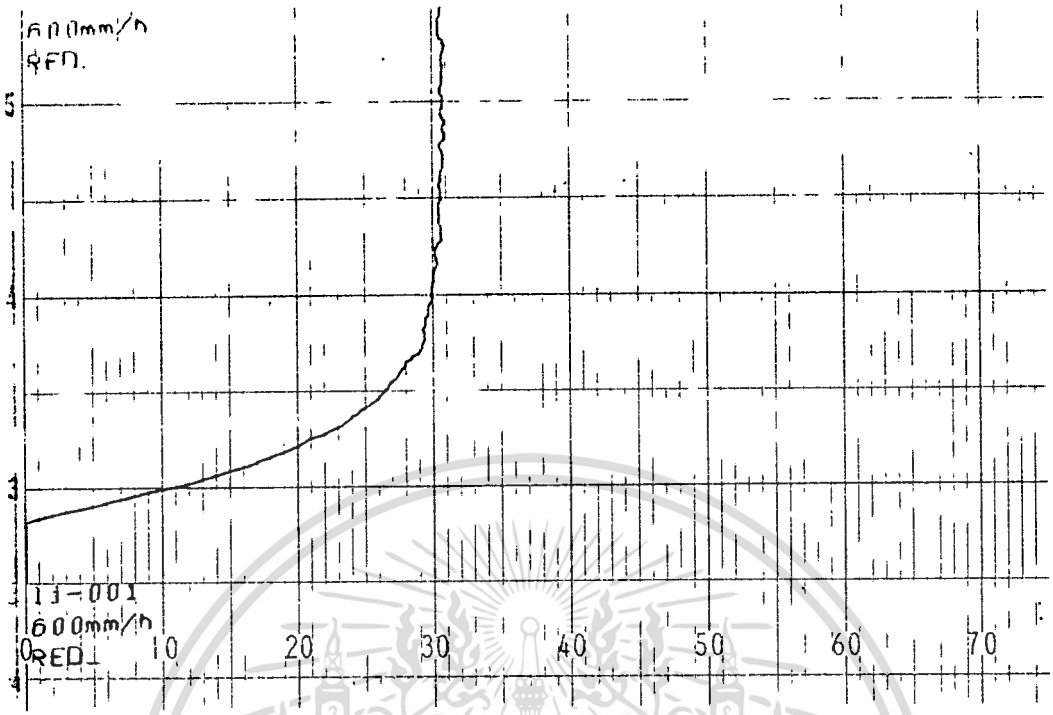


ค่าระดับอ้างอิง 10 %

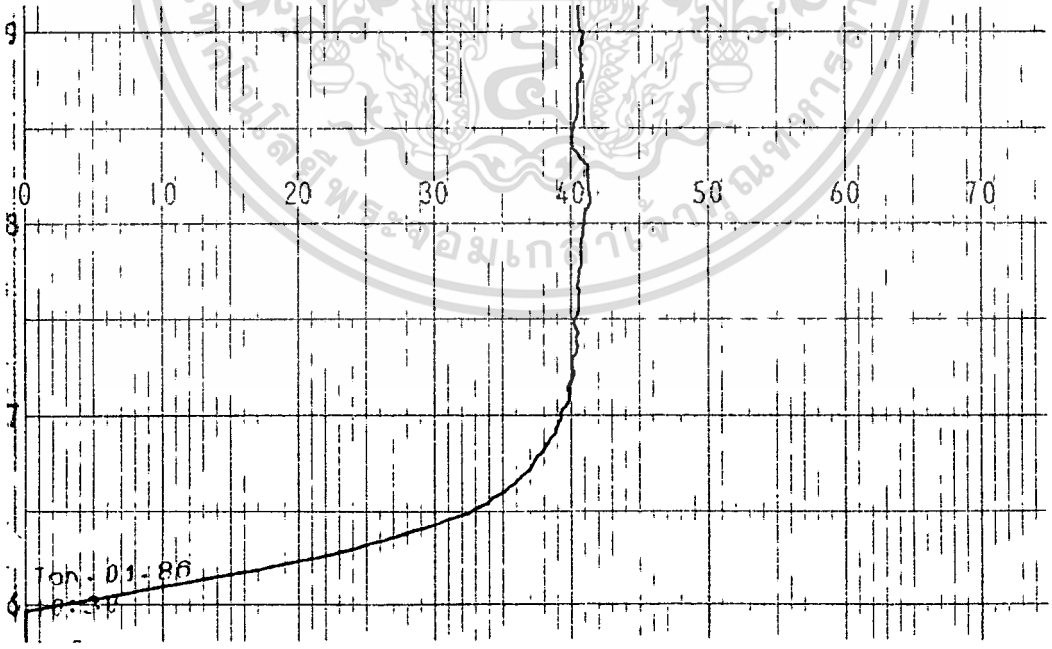


ค่าระดับอ้างอิง 20 %

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

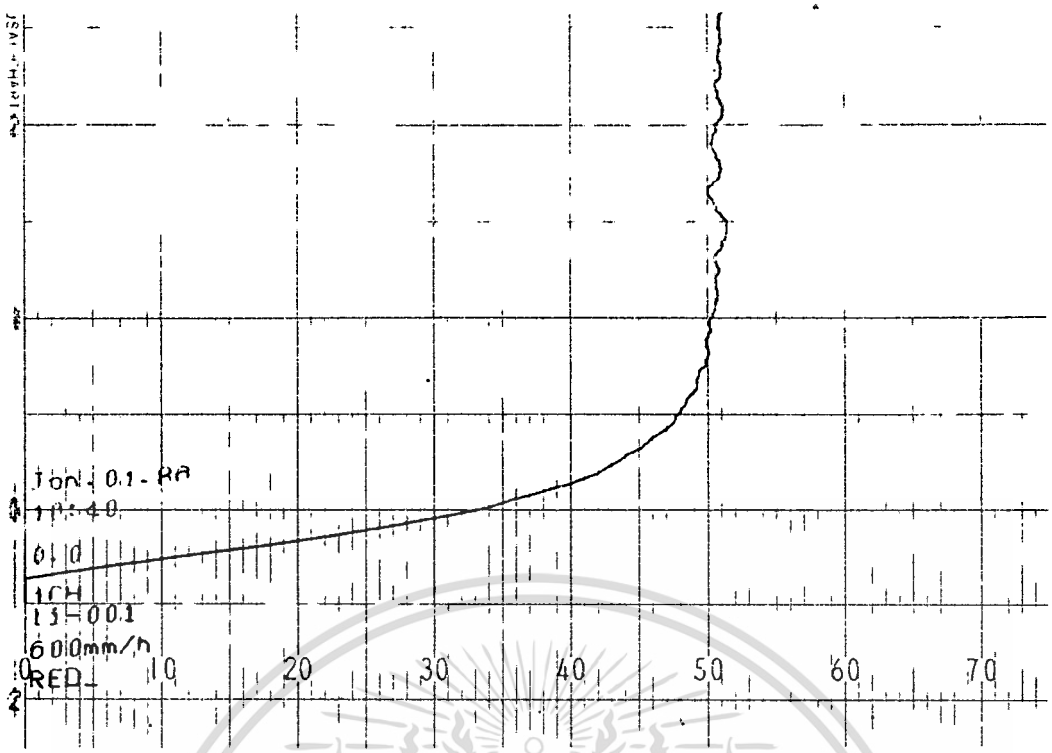


ค่าระดับอ้างอิง 30 %

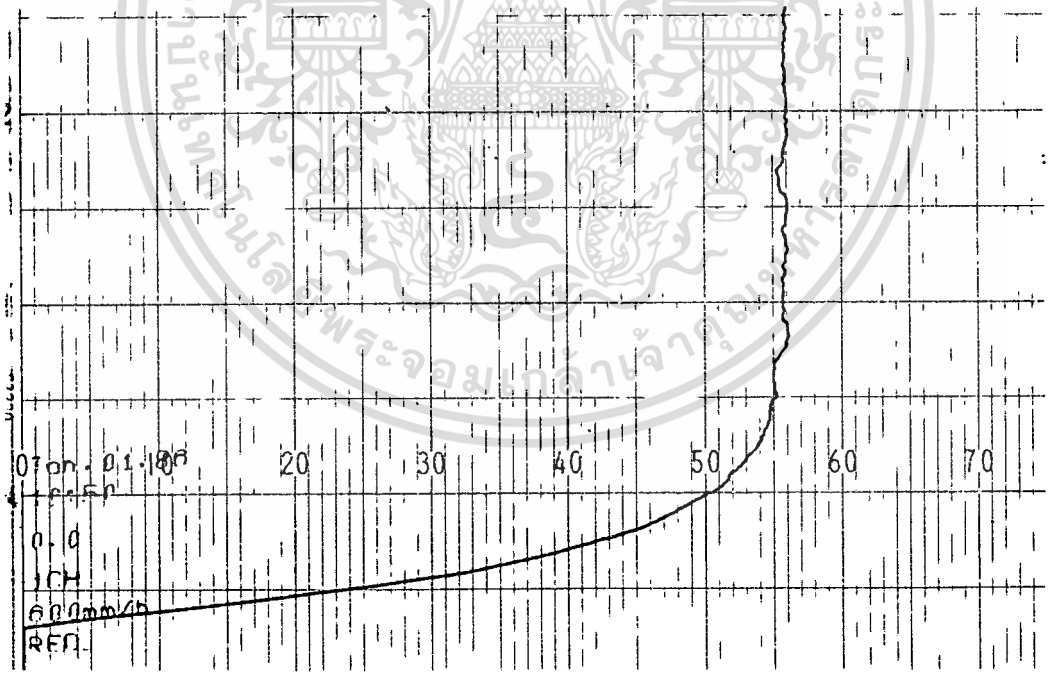


ค่าระดับอ้างอิง 40 %

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

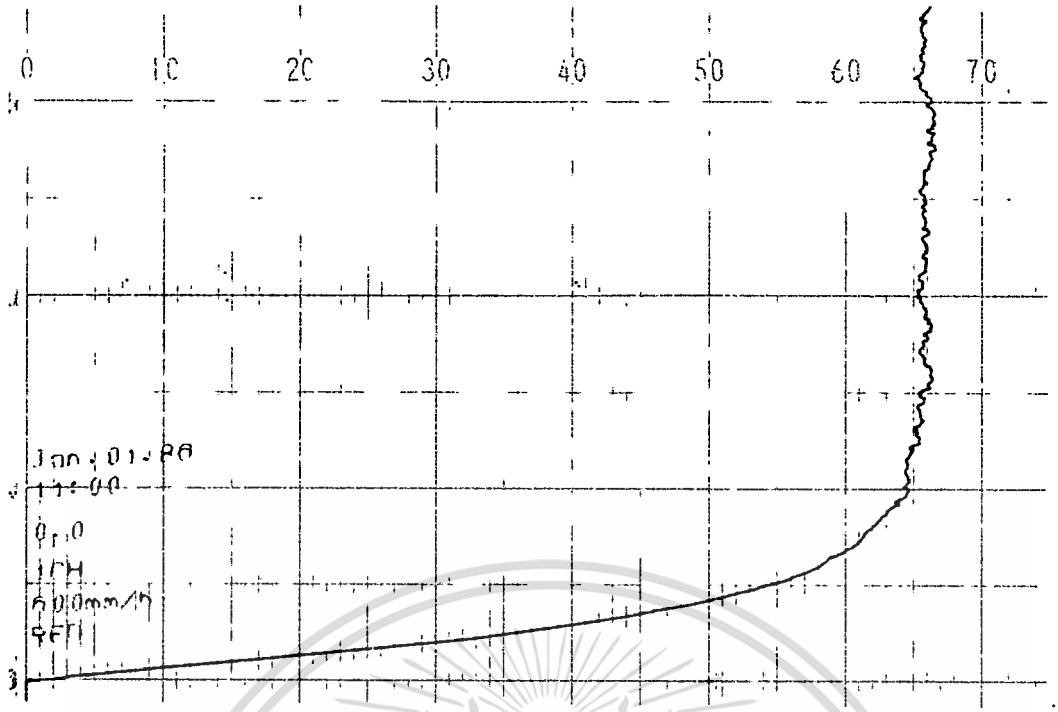


ค่าระดับอ้างอิง 50 %

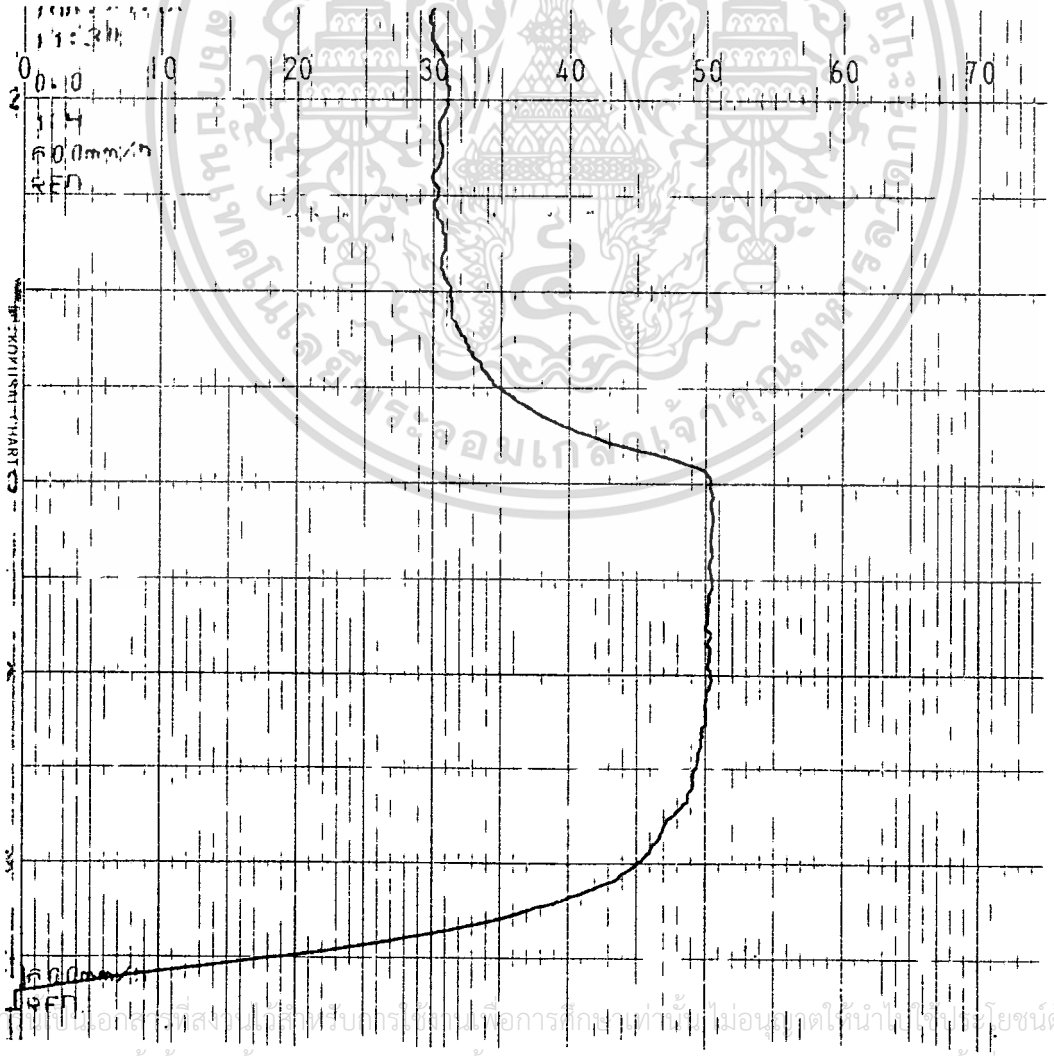


ค่าระดับอ้างอิง 55 %

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



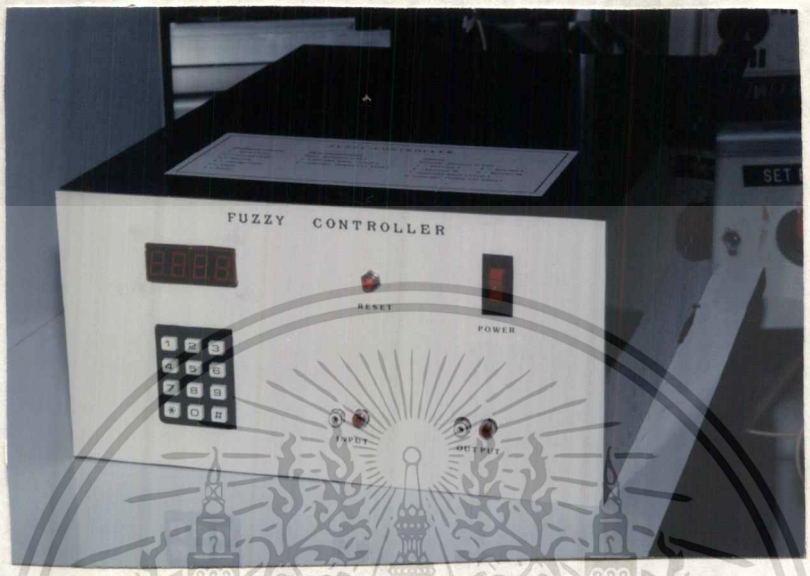
ค่าระดับอ้างอิง 65 %



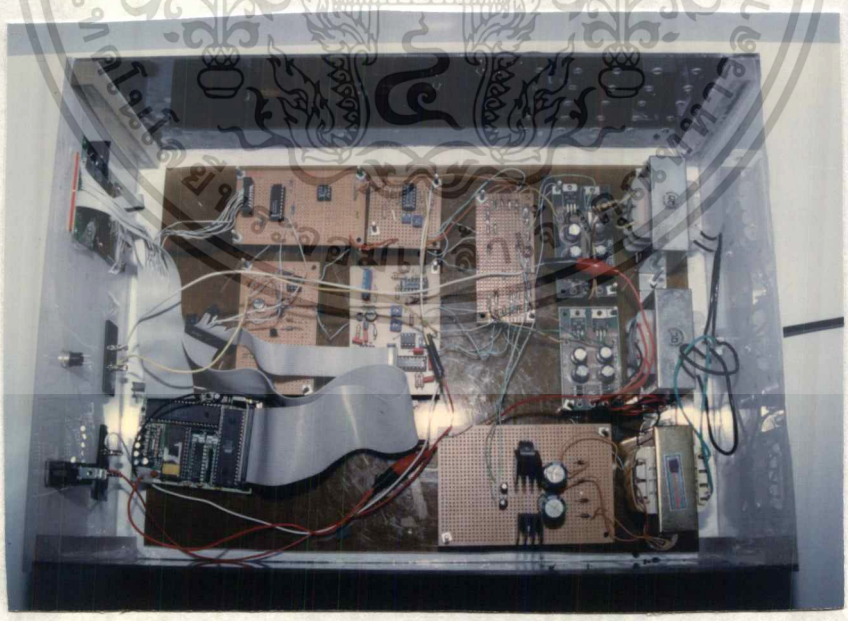
เปลี่ยนค่าระดับอ้างอิงจาก 50 % เป็น 30 %

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปแสดงตัวควบคุมและกระบวนการ

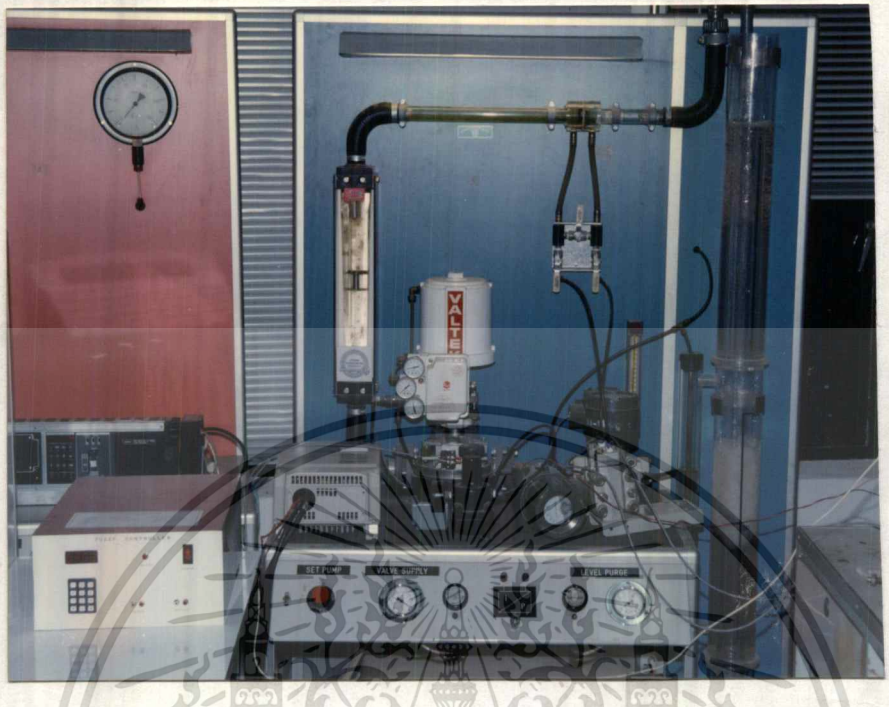


รูปที่ 5.1 แสดงตัวควบคุมแบบฟัซซี



รูปที่ 5.2 แสดงวงจรภายในของตัวควบคุมแบบฟัซซี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.3 แสดงการควบคุมกระบวนการโดยตัวควบคุมแบบฟัซซี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

สรุปผลและแนวทางการพัฒนา

สรุปผลการทดลอง

จากการทดลองควบคุมกระบวนการในเวลาจริง พบว่าตัวควบคุมสามารถควบคุมกระบวนการควบคุมระดับของน้ำในถัง โดยที่ค่าเอาท์พุทของระบบควบคุมลู่เข้าสู่ค่าอ้างอิงได้เร็ว โดยเกิดค่าผิดพลาดที่สภาวะคงตัวไม่สูงนัก และสามารถปรับตัวเพื่อลดผลกระทบที่เกิดจากการรบกวนจากภายนอกได้ในระดับหนึ่ง

เมื่อเปรียบเทียบผลการควบคุมระบบของตัวควบคุมแบบฟัซซี กับการควบคุมโดยตัวควบคุม PID พบว่าการควบคุมด้วยตัวควบคุมแบบฟัซซีจะมีค่าเวลาไรซ์ไทม์น้อยกว่า แต่จะมีค่าโอเวอร์ชูทสูงกว่า พบว่าระบบควบคุมแบบฟัซซีจะเข้าสู่สภาวะคงตัวเร็วกว่า โดยที่เกิดค่าผิดพลาดที่สภาวะคงตัวไม่แตกต่างกันนัก

ปัญหาที่พบ

1. อินพุทที่ป้อนให้กับตัวควบคุม ใช้ตัวแปลงสัญญาณ A/D ขนาด 8 bit ซึ่งจะให้ค่าความละเอียดเพียง 256 ค่า มีผลให้การควบคุมไม่ละเอียด และเกิดค่าผิดพลาดได้ง่าย
2. กระบวนการที่ใช้ในการทดลองนี้ เป็นแบบมีการปรับความเร็วรอบของมอเตอร์ของปั๊มน้ำด้วย ดังนั้นความเร็วรอบของมอเตอร์ที่ต่างกันจะให้ผลการควบคุมที่ต่างกัน ซึ่งสำหรับการทดลองนี้จะปรับให้ความเร็วรอบของมอเตอร์คงที่ที่ค่าค่าหนึ่ง หากเกิดการเปลี่ยนแปลงค่านี้ การควบคุมจะปรับตัวเพื่อลดผลกระทบนี้ได้เพียงในระดับหนึ่งเท่านั้น
3. จากกราฟแสดงผลการทดลอง จะพบว่าเกิดการแกว่งรอบสัญญาณอ้างอิงทั้งในการควบคุมแบบฟัซซี และแบบ PID ซึ่งมีผลมาจากลักษณะของคอนโทรลวาล์วที่ใช้ในการทดลองนี้

แนวทางการพัฒนา

สามารถนำหลักการฟัซซีไปควบคุมตัวแปรอื่นที่มีผลต่อกระบวนการได้ เช่น ' อัตราการไหล ความเร็วรอบของมอเตอร์ เป็นต้น โดยใช้ Neuaral Fuzzy จะทำให้ประสิทธิภาพของการควบคุมกระบวนดีขึ้น นอกจากนี้สามารถนำไปควบคุมระบบที่ประกอบด้วยกระบวนการหลายๆ กระบวนการได้

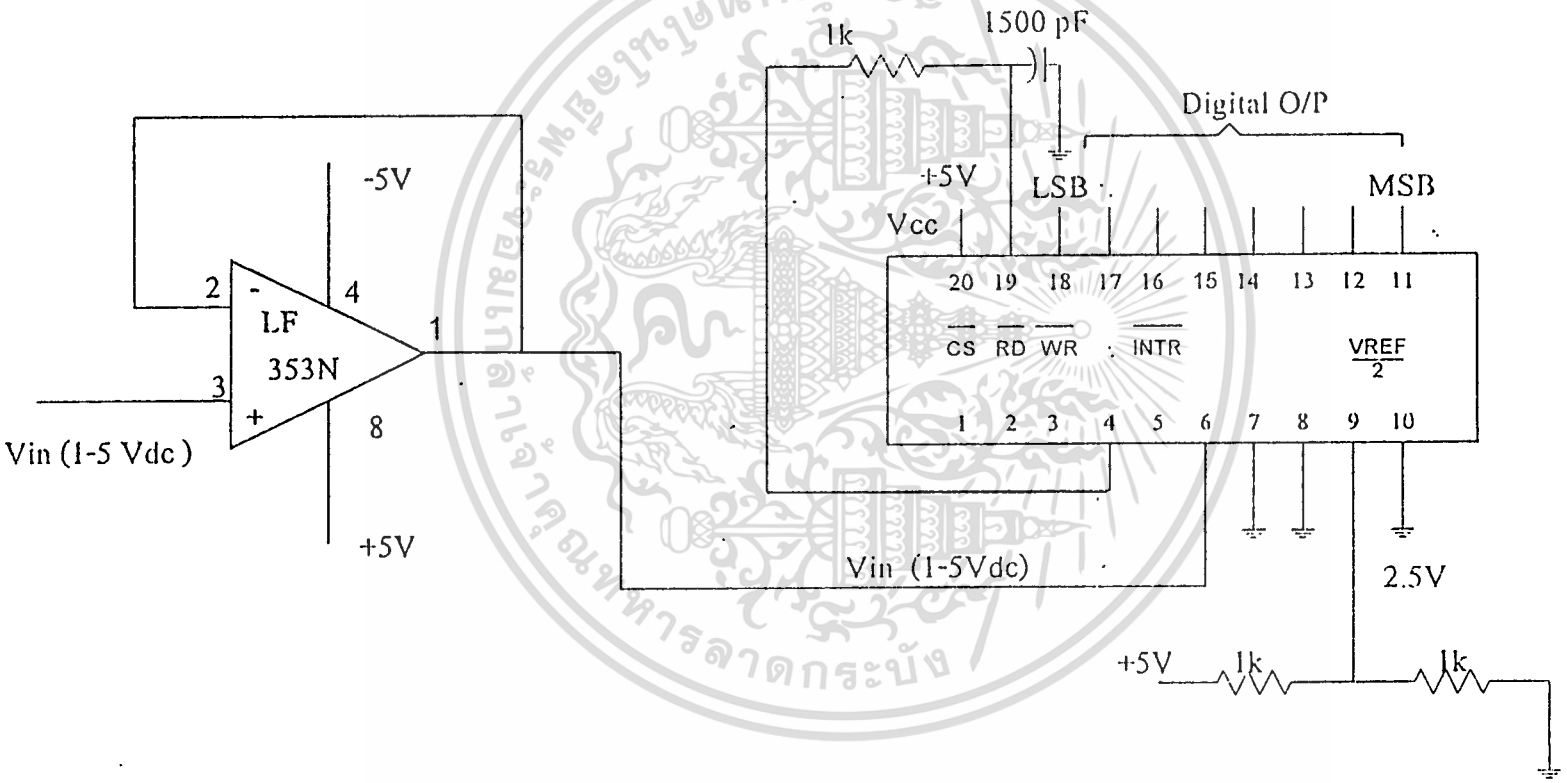
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

รายละเอียดข้อมูล INTERFACE

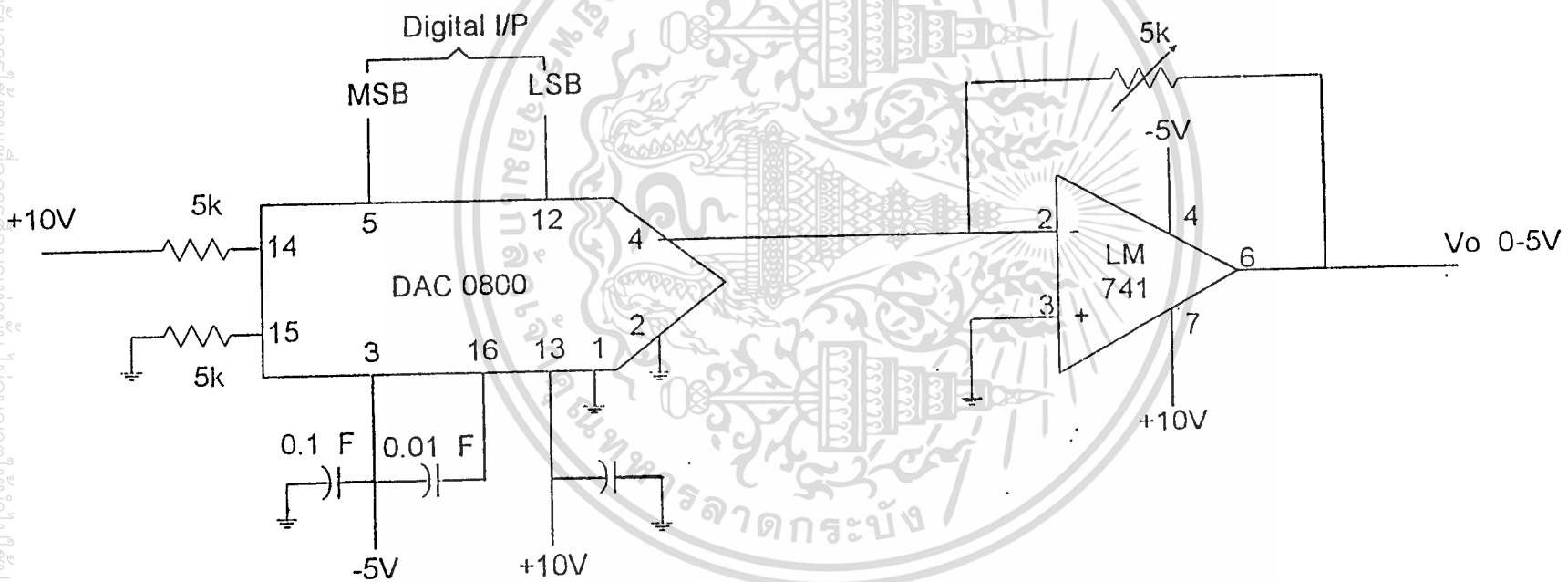
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรแปลงสัญญาณ ANALOG เป็น DIGITAL (33 - FF)

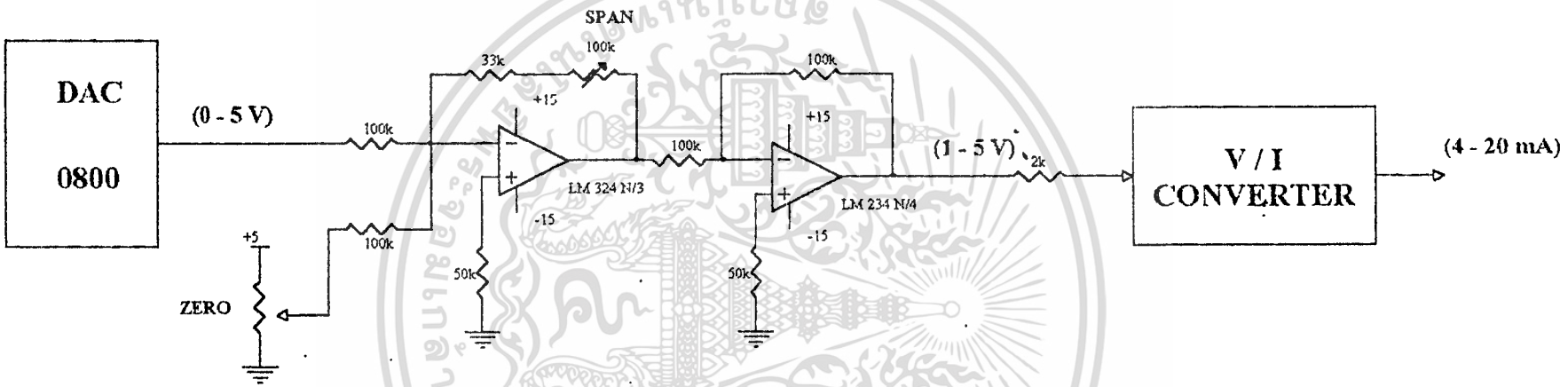


รูป ก-1

วงจรแปลงสัญญาณ DIGITAL เป็น ANALOG (0 - 5 V)

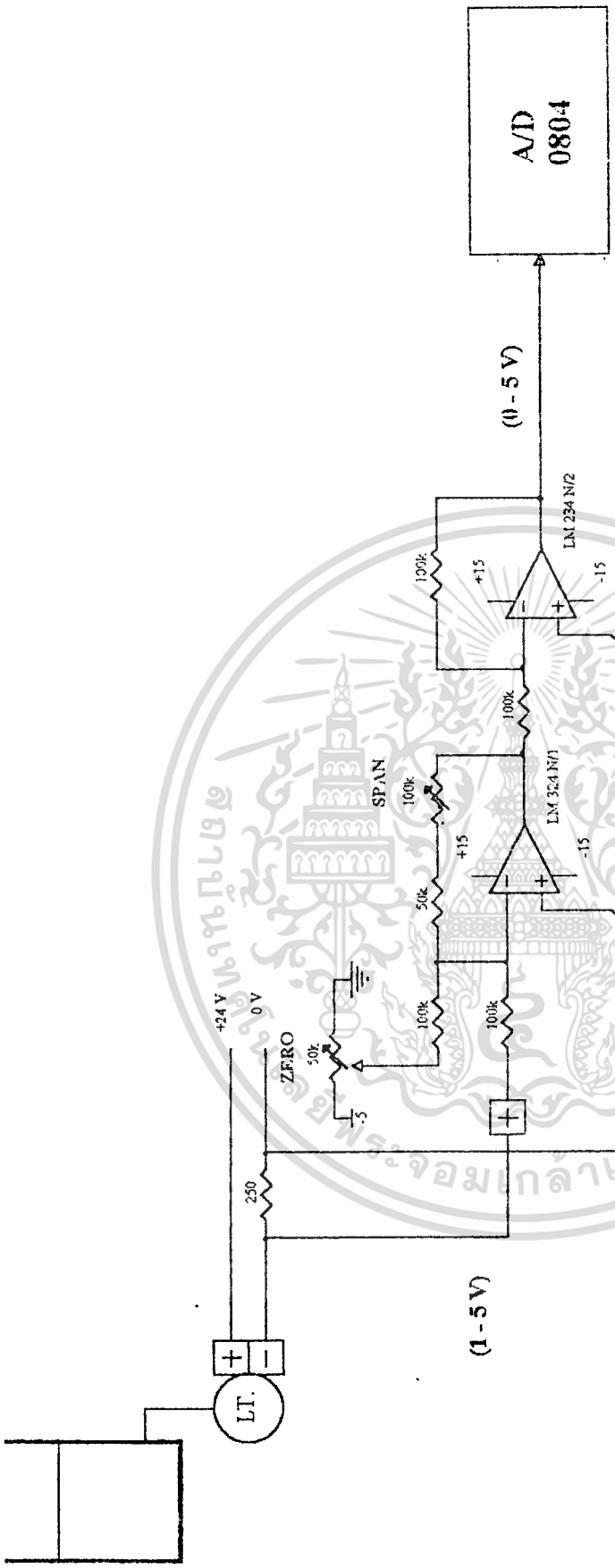


รูป ก-2



SIGNAL CODITIONER CIRCUIT

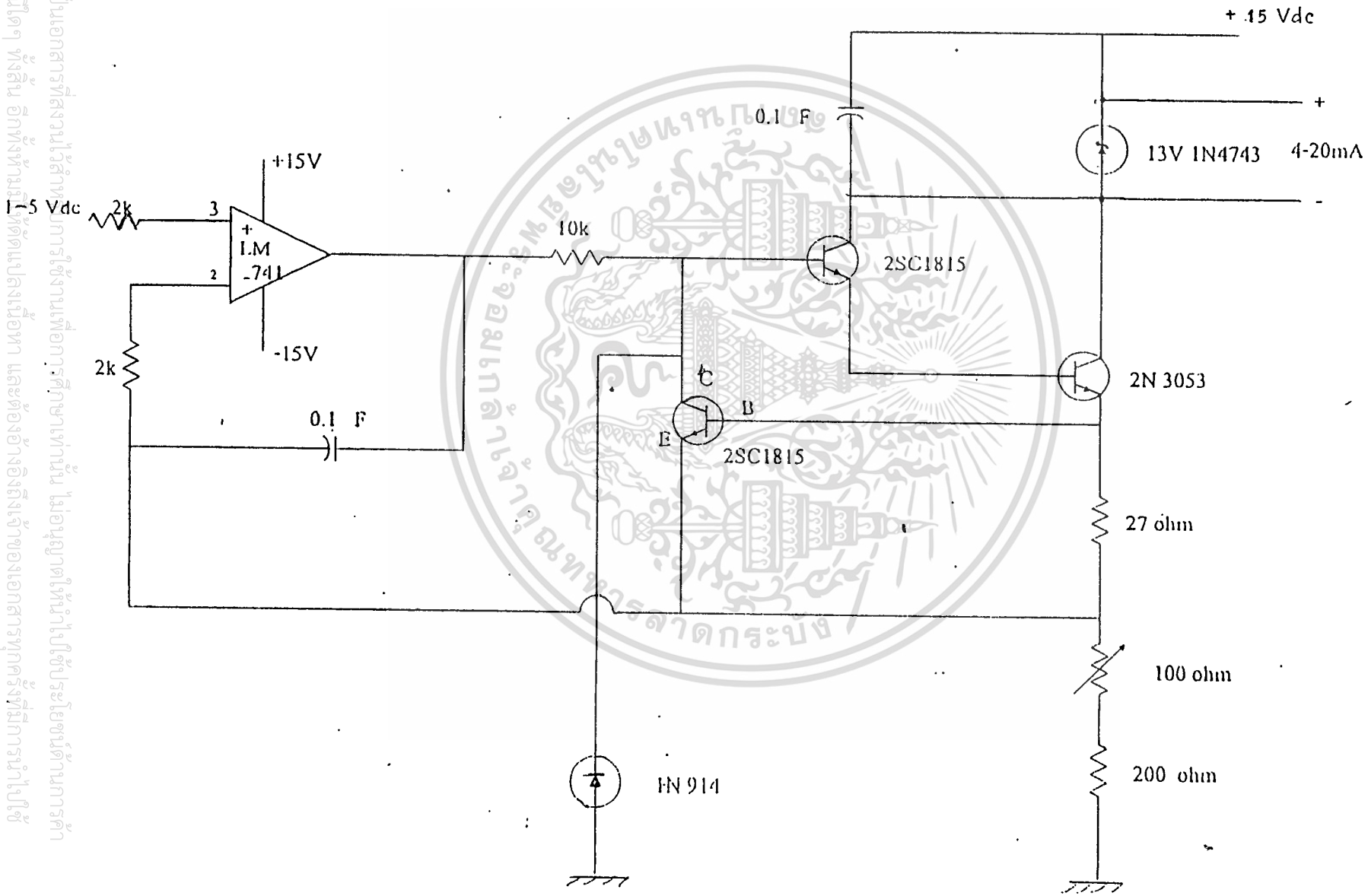
รูป ก-3



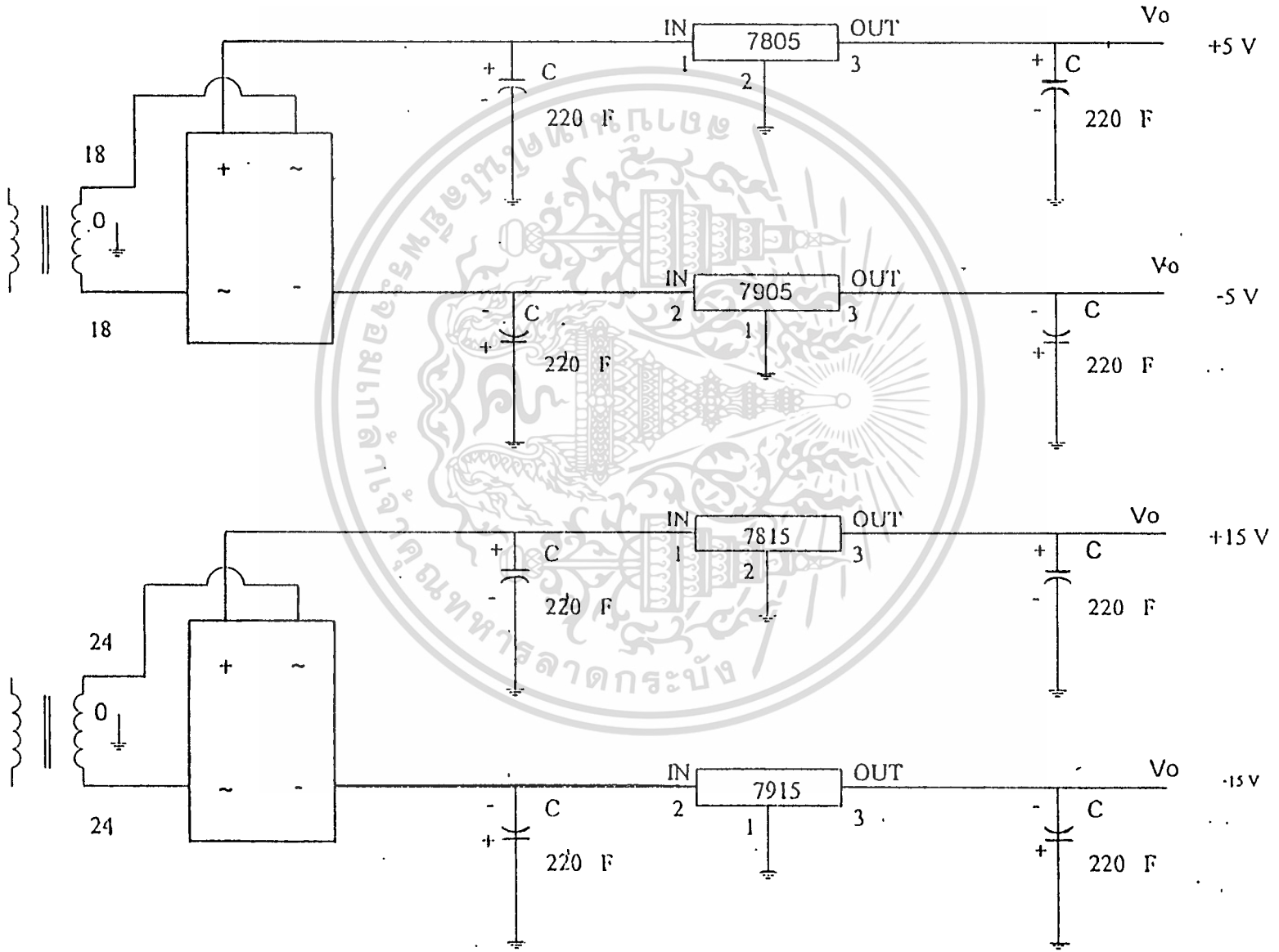
รูป ก-4 SIGNAL CODITIONER CIRCUIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป ก-5 วงจรแปลงแรงดันเป็นกระแส



รูป ก-6 วงจรสร้าง SUPPLY (+5,-5 V & +15,-15 V)



National Semiconductor

December 1994

ADC0801/ADC0802/ADC0803/ADC0804/ADC0805
8-Bit μP Compatible A/D Converters

General Description

The ADC0801, ADC0802, ADC0803, ADC0804 and ADC0805 are CMOS 8-bit successive approximation A/D converters that use a differential potentiometric ladder—similar to the 256R products. These converters are designed to allow operation with the NSC800 and INS8080A derivative control bus with TRI-STATE® output latches directly driving the data bus. These A/Ds appear like memory locations or I/O ports to the microprocessor and no interfacing logic is needed.

Differential analog voltage inputs allow increasing the common-mode rejection and offsetting the analog zero input voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

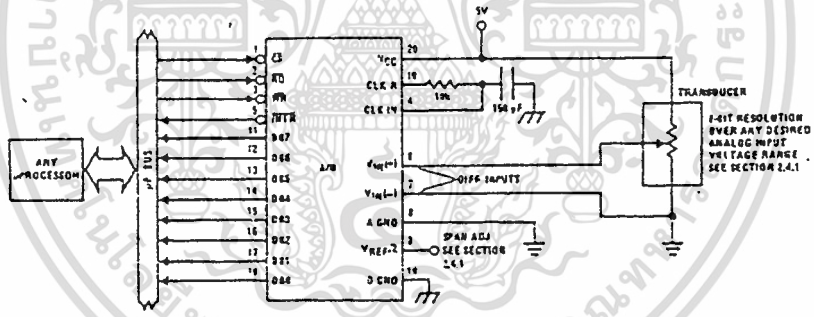
Features

- Compatible with 8080 μP derivatives—no interfacing logic needed - access time - 135 ns
- Easy interface to all microprocessors, or operates "stand alone"
- Differential analog voltage inputs
- Logic inputs and outputs meet both MOS and TTL voltage level specifications
- Works with 2.5V (LM336) voltage reference
- On-chip clock generator
- 0V to 5V analog input voltage range with single 5V supply
- No zero adjust required
- 0.3" standard width 20-pin DIP package
- 20-pin molded chip carrier or small outline package
- Operates ratiometrically or with 5 V_{DC}, 2.5 V_{DC}, or analog span adjusted voltage reference

Key Specifications

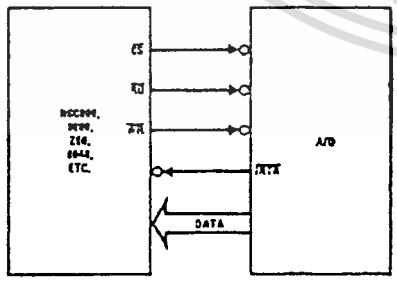
- Resolution — 8 bits
- Total error — ±¼ LSB, ±½ LSB and ±1 LSB
- Conversion time — 100 μs

Typical Applications



TL/H/5671–1

8080 Interface



TL/H/5671–31

Error Specification (Includes Full-Scale, Zero Error, and Non-Linearity)			
Part Number	Full-Scale Adjusted	$V_{REF}/2$ = 2.500 V_{DC} (No Adjustments)	$V_{REF}/2$ = No Connection (No Adjustments)
ADC0801	±¼ LSB		
ADC0802		±½ LSB	
ADC0803	±½ LSB		
ADC0804		±1 LSB	
ADC0805			±1 LSB

TRI-STATE® is a registered trademark of National Semiconductor Corp.
Z-80® is a registered trademark of Zilog Corp.

© 1995 National Semiconductor Corporation

RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC}) (Note 3)	6.5V
Voltage	
Logic Control Inputs	−0.3V to +18V
At Other Input and Outputs	−0.3V to (V_{CC} +0.3V)
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A = 25°C	875 mW
ESD Susceptibility (Note 10)	800V

Operating Ratings (Notes 1 & 2)

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
ADC0801/02LJ, ADC0802LJ/883	−55°C ≤ T_A ≤ +125°C
ADC0801/02/03/04LCJ	−40°C ≤ T_A ≤ +85°C
ADC0801/02/03/05LCN	−40°C ≤ T_A ≤ +85°C
ADC0804LCN	0°C ≤ T_A ≤ +70°C
ADC0802/03/04LCV	0°C ≤ T_A ≤ +70°C
ADC0802/03/04LCWM	0°C ≤ T_A ≤ +70°C
Range of V_{CC}	4.5 V_{DC} to 6.3 V_{DC}

Electrical Characteristics

The following specifications apply for V_{CC} = 5 V_{DC}, $T_{MIN} \le T_A \le T_{MAX}$ and f_{CLK} = 640 kHz unless otherwise specified.

Parameter	Conditions	Min	Typ	Max	Units
ADC0801: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			±¼	LSB
ADC0802: Total Unadjusted Error (Note 8)	$V_{REF}/2$ = 2.500 V_{DC}			±½	LSB
ADC0803: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			±½	LSB
ADC0804: Total Unadjusted Error (Note 8)	$V_{REF}/2$ = 2.500 V_{DC}			±1	LSB
ADC0805: Total Unadjusted Error (Note 8)	$V_{REF}/2$-No Connection			±1	LSB
$V_{REF}/2$ Input Resistance (Pin 9)	ADC0801/02/03/05 ADC0804 (Note 9)	2.5 0.75	8.0 1.1		kΩ kΩ
Analog Input Voltage Range	(Note 4) V(+) or V(−)	Gnd−0.05		V_{CC} +0.05	V_{DC}
DC Common-Mode Error	Over Analog Input Voltage Range		±1/16	±⅛	LSB
Power Supply Sensitivity	V_{CC} = 5 V_{DC} ±10% Over Allowed V_{IN}(+) and V_{IN}(−) Voltage Range (Note 4)		±1/16	±⅛	LSB

AC Electrical Characteristics

The following specifications apply for V_{CC} = 5 V_{DC} and T_A = 25°C unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
T_C	Conversion Time	f_{CLK} = 640 kHz (Note 6)	103		114	μs
T_C	Conversion Time	(Note 5, 6)	66		73	$1/f_{CLK}$
f_{CLK}	Clock Frequency Clock Duty Cycle	V_{CC} = 5V, (Note 5) (Note 5)	100 40	640	1460 60	kHz %
CR	Conversion Rate in Free-Running Mode	$\overline{INTR}$ tied to $\overline{WR}$ with $\overline{CS}$ = 0 V_{DC}, f_{CLK} = 640 kHz	8770		9708	conv/s
$t_{W(\overline{WR})L}$	Width of $\overline{WR}$ Input (Start Pulse Width)	$\overline{CS}$ = 0 V_{DC} (Note 7)	100			ns
t_{ACC}	Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Data Valid)	C_L = 100 pF		135	200	ns
t_{1H}, t_{0H}	TRI-STATE Control (Delay from Rising Edge of $\overline{RD}$ to Hi-Z State)	C_L = 10 pF, R_L = 10k (See TRI-STATE Test Circuits)		125	200	ns
t_{WI}, t_{RI}	Delay from Falling Edge of $\overline{WR}$ or $\overline{RD}$ to Reset of $\overline{INTR}$			300	450	ns
C_{IN}	Input Capacitance of Logic Control Inputs			5	7.5	pF
C_{OUT}	TRI-STATE Output Capacitance (Data Buffers)			5	7.5	pF
CONTROL INPUTS [Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately]						
V_{IN} (1)	Logical "1" Input Voltage (Except Pin 4 CLK IN)	V_{CC} = 5.25 V_{DC}	2.0		15	V_{DC}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued)

The following specifications apply for $V_{CC} = 5V_{DC}$ and $T_{MIN} \leq T_A \leq T_{MAX}$, unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
CONTROL INPUTS [Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately]						
V_{IN} (0)	Logical "0" Input Voltage (Except Pin 4 CLK IN)	$V_{CC} = 4.75\ V_{DC}$			0.8	V_{DC}
I_{IN} (1)	Logical "1" Input Current (All Inputs)	$V_{IN} = 5\ V_{DC}$		0.005	1	μA_{DC}
I_{IN} (0)	Logical "0" Input Current (All Inputs)	$V_{IN} = 0\ V_{DC}$	−1	−0.005		μA_{DC}
CLOCK IN AND CLOCK R						
V_T+	CLK IN (Pin 4) Positive Going Threshold Voltage		2.7	3.1	3.5	V_{DC}
V_T-	CLK IN (Pin 4) Negative Going Threshold Voltage		1.5	1.8	2.1	V_{DC}
V_H	CLK IN (Pin 4) Hysteresis $(V_T+)-(V_T-)$		0.6	1.3	2.0	V_{DC}
V_{OUT} (0)	Logical "0" CLK R Output Voltage	$I_O = 360\ \mu A$ $V_{CC} = 4.75\ V_{DC}$			0.4	V_{DC}
V_{OUT} (1)	Logical "1" CLK R Output Voltage	$I_O = -360\ \mu A$ $V_{CC} = 4.75\ V_{DC}$	2.4			V_{DC}
DATA OUTPUTS AND $\overline{INTR}$						
V_{OUT} (0)	Logical "0" Output Voltage Data Outputs $\overline{INTR}$ Output	 $I_{OUT} = 1.5$ mA, $V_{CC} = 4.75\ V_{DC}$ $I_{OUT} = 1.0$ mA, $V_{CC} = 4.75\ V_{DC}$			 0.4 0.4	 V_{DC} V_{DC}
V_{OUT} (1)	Logical "1" Output Voltage	$I_O = -360\ \mu A$, $V_{CC} = 4.75\ V_{DC}$	2.4			V_{DC}
V_{OUT} (1)	Logical "1" Output Voltage	$I_O = -10\ \mu A$, $V_{CC} = 4.75\ V_{DC}$	4.5			V_{DC}
I_{OUT}	TRI-STATE Disabled Output Leakage (All Data Buffers)	$V_{OUT} = 0\ V_{DC}$ $V_{OUT} = 5\ V_{DC}$	−3		 3	μA_{DC} μA_{DC}
I_{SOURCE}		V_{OUT} Short to Gnd, $T_A = 25°C$	4.5	6		mA_{DC}
I_{SINK}		V_{OUT} Short to V_{CC}, $T_A = 25°C$	9.0	16		mA_{DC}
POWER SUPPLY						
I_{CC}	Supply Current (Includes Ladder Current) ADC0801/02/03/04LCJ/05 ADC0804LCN/LCV/LCWM	$f_{CLK} = 640$ kHz, $V_{REF}/2 =$ NC, $T_A = 25°C$ and $\overline{CS} = 5V$		 1.1 1.9	 1.8 2.5	 mA mA

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to Gnd, unless otherwise specified. The separate A Gnd point should always be wired to the D Gnd.

Note 3: A zener diode exists, internally, from V_{CC} to Gnd and has a typical breakdown voltage of 7 V_{DC}.

Note 4: For $V_{IN}(-) \geq V_{IN}(+)$ the digital output code will be 0000 0000. Two on-chip diodes are tied to each analog input (see block diagram) which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. Be careful, during testing at low V_{CC} levels (4.5V), as high level analog inputs (5V) can cause this input diode to conduct—especially at elevated temperatures, and cause errors for analog inputs near full-scale. The spec allows 50 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 50 mV, the output code will be correct. To achieve an absolute 0 V_{DC} to 5 V_{DC} input voltage range will therefore require a minimum supply voltage of 4.950 V_{DC} over temperature variations, initial tolerance and loading.

Note 5: Accuracy is guaranteed at $f_{CLK} = 640$ kHz. At higher clock frequencies accuracy can degrade. For lower clock frequencies, the duty cycle limits can be extended so long as the minimum clock high time interval or minimum clock low time interval is no less than 275 ns.

Note 6: With an asynchronous start pulse, up to 8 clock periods may be required before the internal clock phases are proper to start the conversion process. The start request is internally latched, see *Figure 2* and section 2.0.

Note 7: The $\overline{CS}$ input is assumed to bracket the $\overline{WR}$ strobe input and therefore timing is dependent on the $\overline{WR}$ pulse width. An arbitrarily wide pulse width will hold the converter in a reset mode and the start of conversion is initiated by the low to high transition of the $\overline{WR}$ pulse (see timing diagrams).

Note 8: None of these A/Ds requires a zero adjust (see section 2.5.1). To obtain zero code at other analog input voltages see section 2.5 and *Figure 5*.

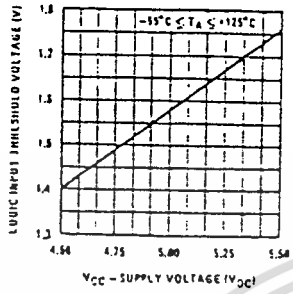
Note 9: The $V_{REF}/2$ pin is the center point of a two-resistor divider connected from V_{CC} to ground. In all versions of the ADC0801, ADC0802, ADC0803, and ADC0805, and in the ADC0804LCJ, each resistor is typically 15 kΩ. In all versions of the ADC0804 except the ADC0804LCJ, each resistor is typically 2.2 kΩ.

Note 10: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

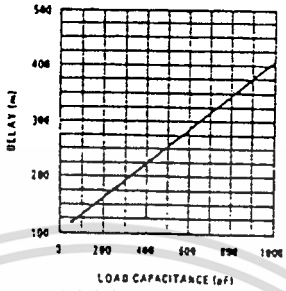
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

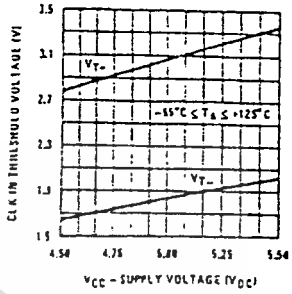
Logic Input Threshold Voltage vs. Supply Voltage



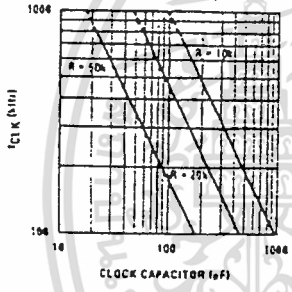
Delay From Falling Edge of $\overline{RD}$ to Output Data Valid vs. Load Capacitance



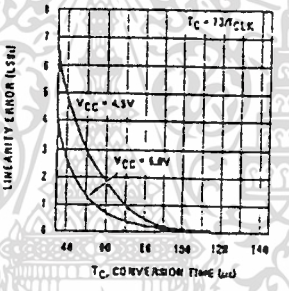
CLK IN Schmitt Trip Levels vs. Supply Voltage



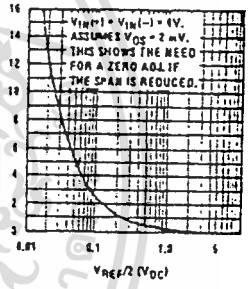
f_{CLK} vs. Clock Capacitor



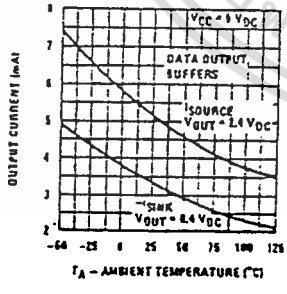
Full-Scale Error vs Conversion Time



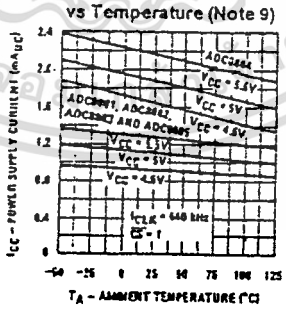
Effect of Unadjusted Offset Error vs. $V_{REF}/2$ Voltage



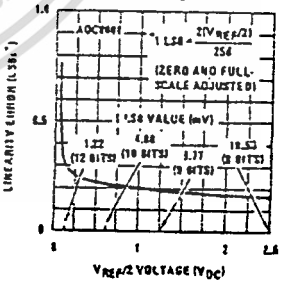
Output Current vs Temperature



Power Supply Current vs Temperature (Note 9)



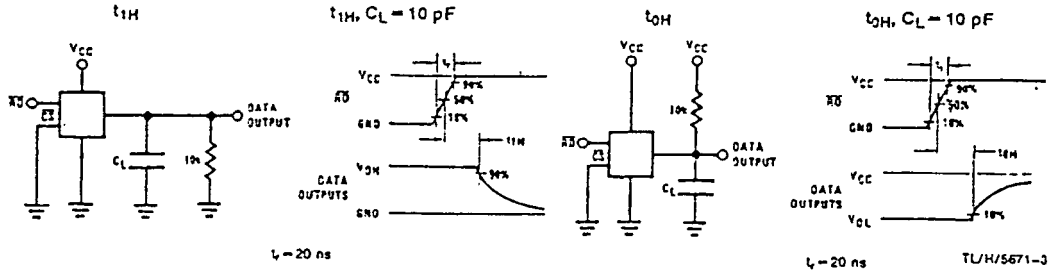
Linearity Error at Low $V_{REF}/2$ Voltages



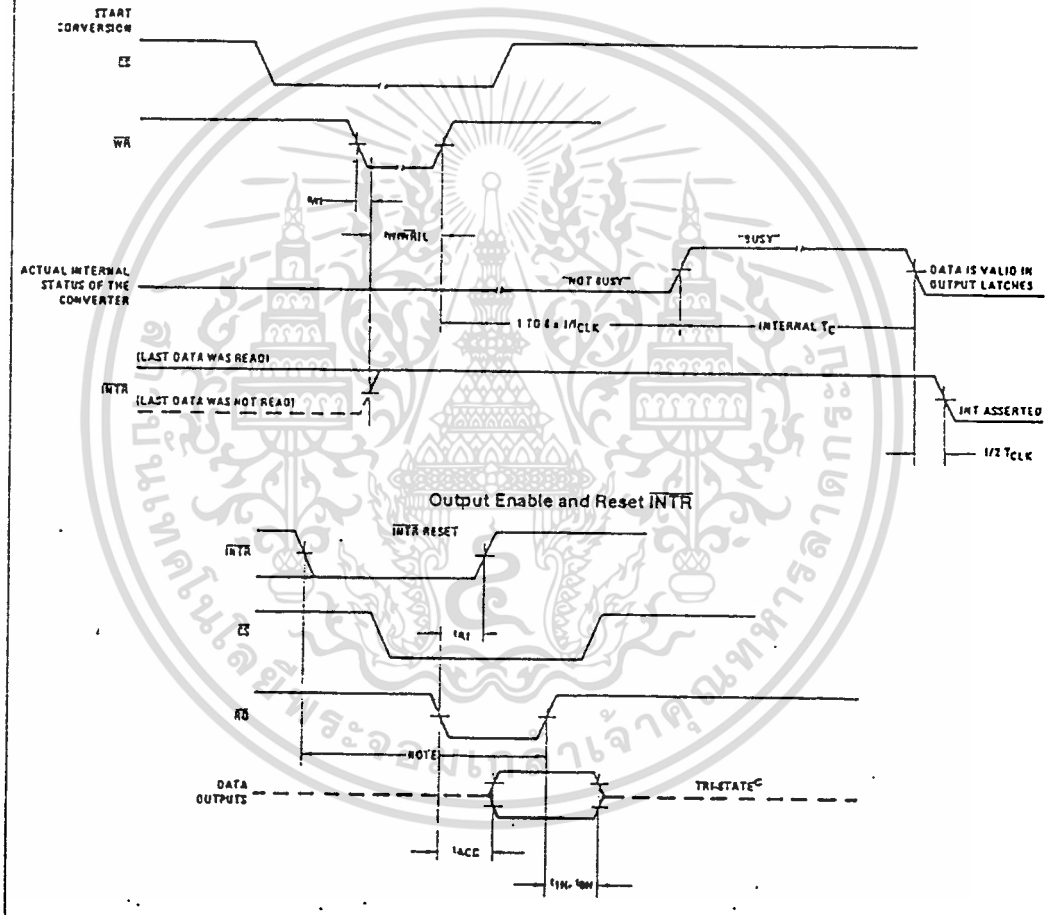
TL/H/5671–2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRI-STATE Test Circuits and Waveforms



Timing Diagrams (All timing is measured from the 50% voltage points)



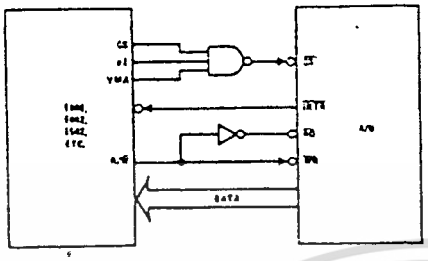
Note: Read strobe must occur 8 clock periods ($8/f_{CLK}$) after assertion of interrupt to guarantee reset of $\overline{INTR}$.

TL/H/5671–4

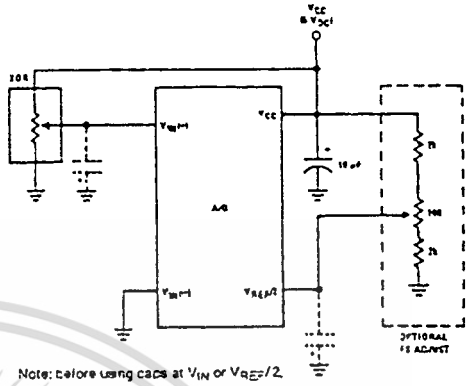
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

6800 Interface

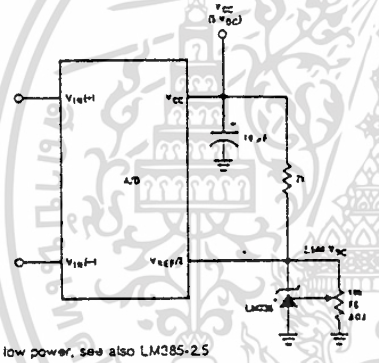


Ratiometric with Full-Scale Adjust



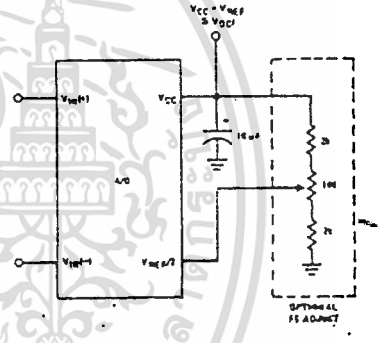
Note: Before using caps at V_{IN} or $V_{REF}/2$, see section 2.0 2 Input Bypass Capacitors.

Absolute with a 2.500V Reference

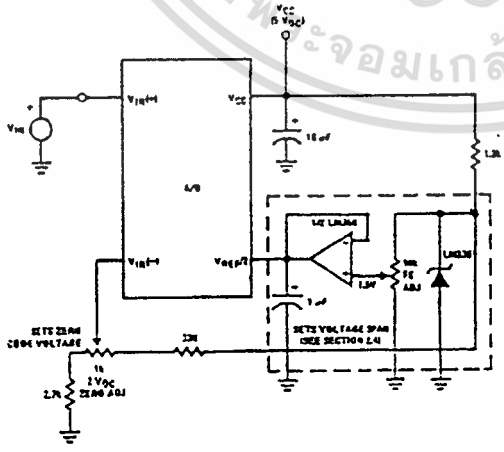


*For low power, see also LM385-2.5

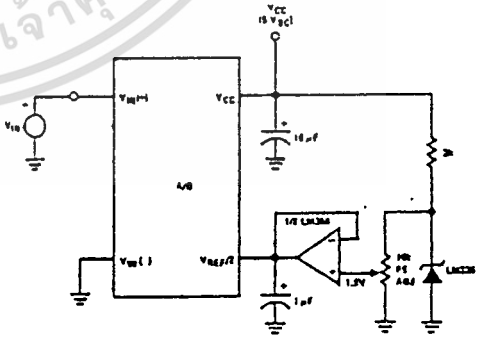
Absolute with a 5V Reference



Zero-Shift and Span Adjust: $2V \leq V_{IN} \leq 5V$



Span Adjust: $0V \leq V_{IN} \leq 3V$

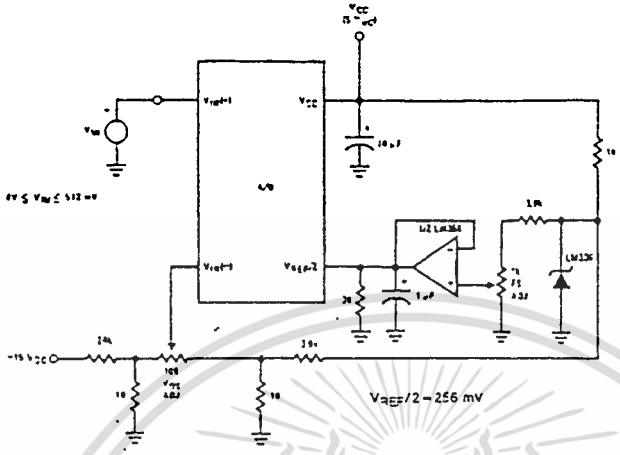


TL/H/5671–5

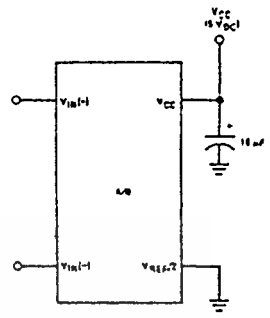
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

Directly Converting a Low-Level Signal



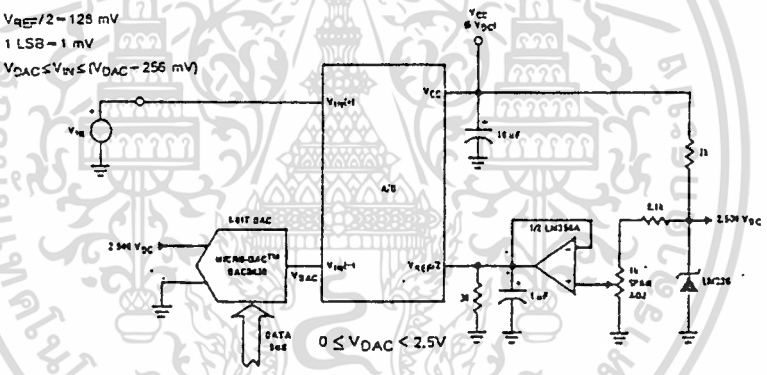
A µP Interfaced Comparator



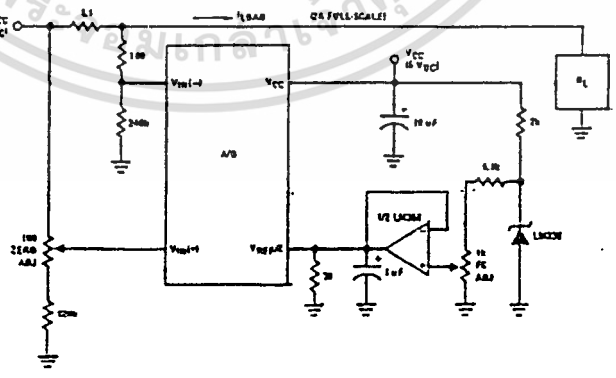
For: $V_{IN}(+) > V_{IN}(-)$
Output = FF$_{HEX}$
For: $V_{IN}(+) < V_{IN}(-)$
Output = 00$_{HEX}$

1 mV Resolution with µP Controlled Range

$V_{REF}/2 = 128$ mV
1 LSB = 1 mV
$V_{DAC} \leq V_{IN} \leq (V_{DAC} - 256$ mV)



Digitizing a Current Flow

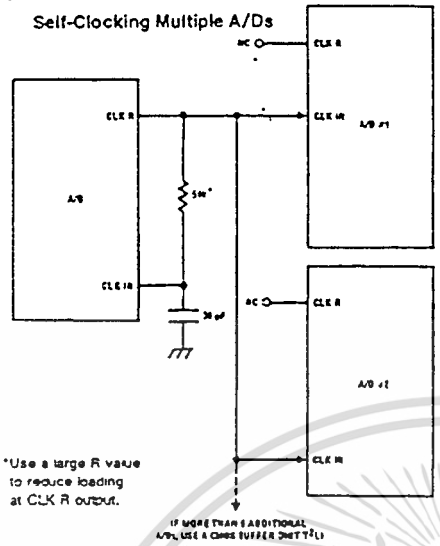


TL/H/5671–6

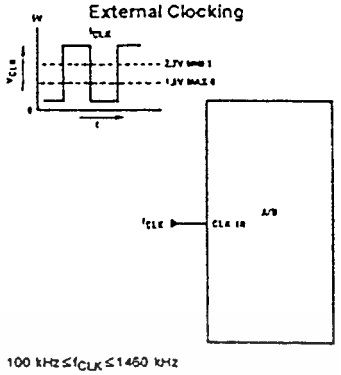
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

Self-Clocking Multiple A/Ds

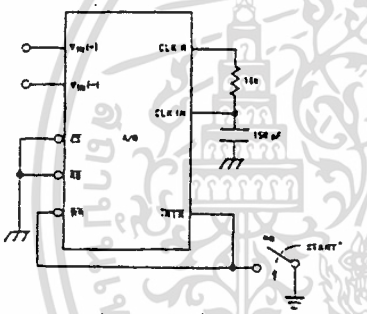


External Clocking



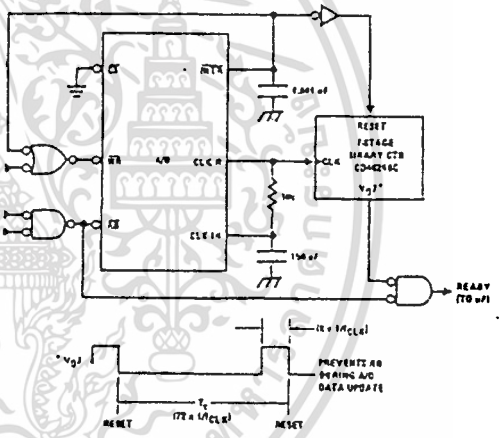
100 kHz ≤ f_{CLK} ≤ 1460 kHz

Self-Clocking in Free-Running Mode

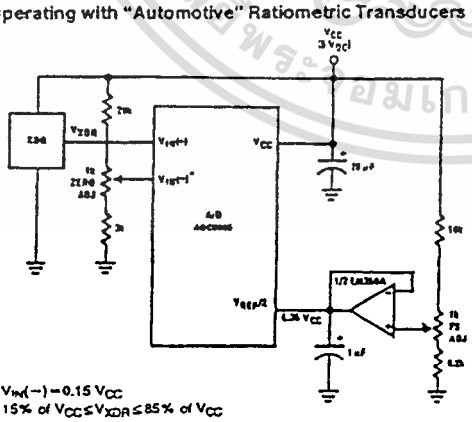


*After power-up, a momentary grounding of the $\overline{WR}$ input is needed to guarantee operation.

µP Interface for Free-Running A/D

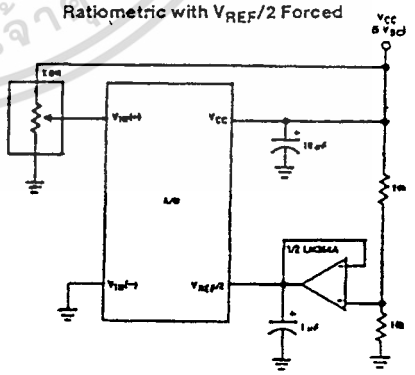


Operating with "Automotive" Ratiometric Transducers



*$V_{IN}(-)$ = 0.15 V_{CC}
15% of V_{CC} ≤ V_{XDR} ≤ 85% of V_{CC}

Ratiometric with $V_{REF}/2$ Forced

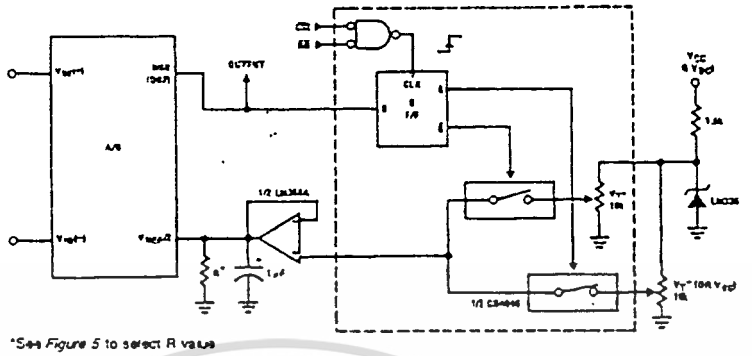


TL/H/5671–7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

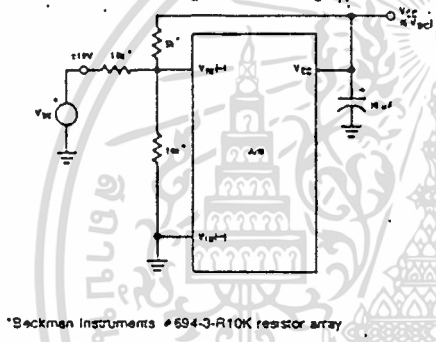
Typical Applications (Continued)

μP Compatible Differential-Input Comparator with Pre-Set V_{OS} (with or without Hysteresis)



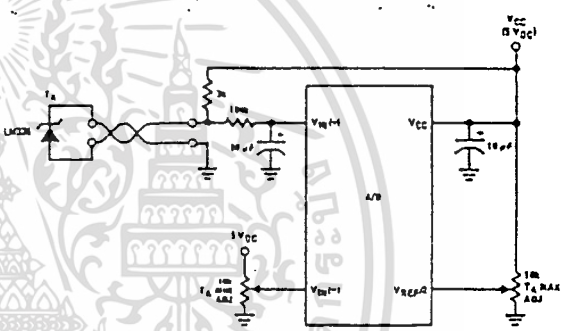
*See *Figure 5* to select R values
DS7 = "1" for $V_{IN}(+) > V_{IN}(-) + (V_{REF}/2)$
Omit circuitry within the dotted area if hysteresis is not needed

Handling ± 10V Analog Inputs

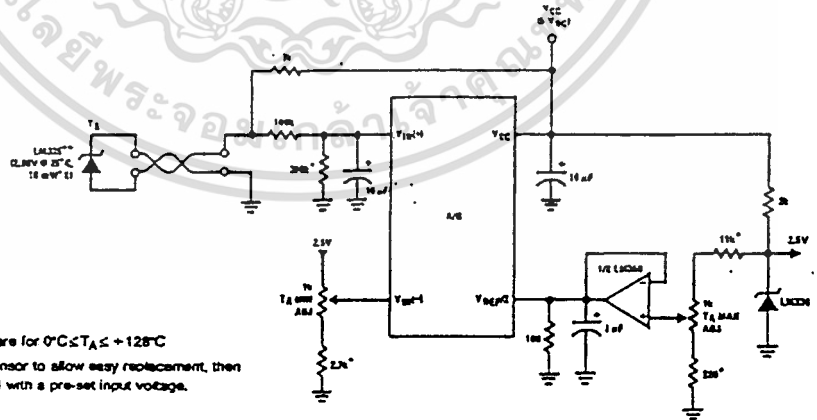


*Beckman Instruments #694-3-R10K resistor array

Low-Cost, μP Interfaced, Temperature-to-Digital Converter



μP Interfaced Temperature-to-Digital Converter



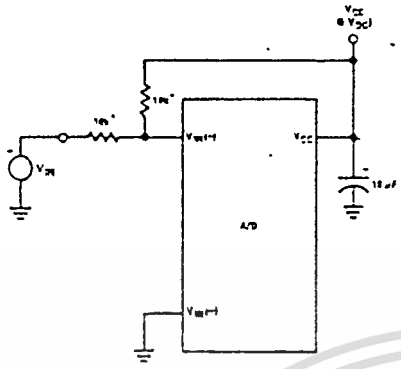
*Circuit values shown are for $0°C \leq T_A \leq +128°C$
**Can calibrate each sensor to allow easy replacement, then A/D can be calibrated with a pre-set input voltage.

TL/H/5671–8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

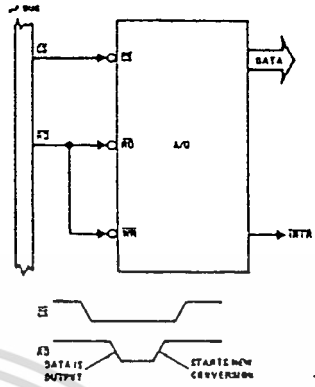
Handling ±5V Analog Inputs



TL/H/5671–33

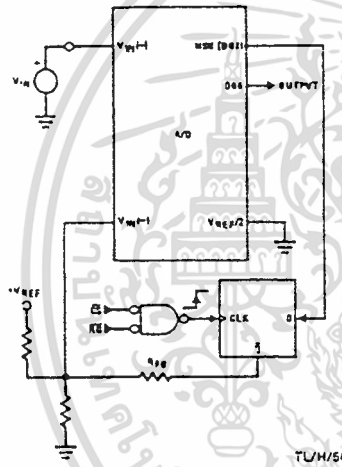
*Beckman Instruments #694-3-R10K resistor array

Read-Only Interface



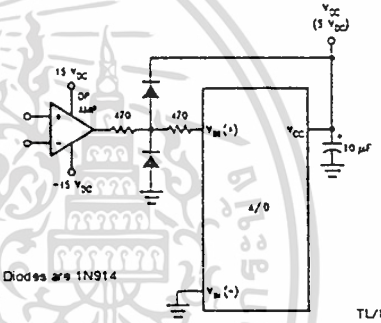
TL/H/5671–34

µP Interfaced Comparator with Hysteresis



TL/H/5671–35

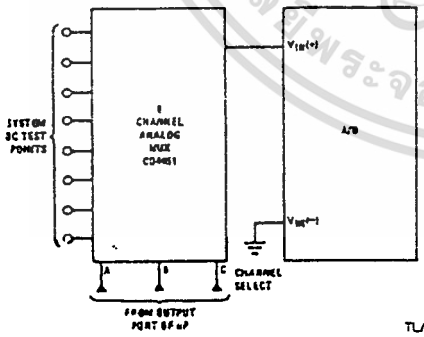
Protecting the Input



Diodes are 1N914

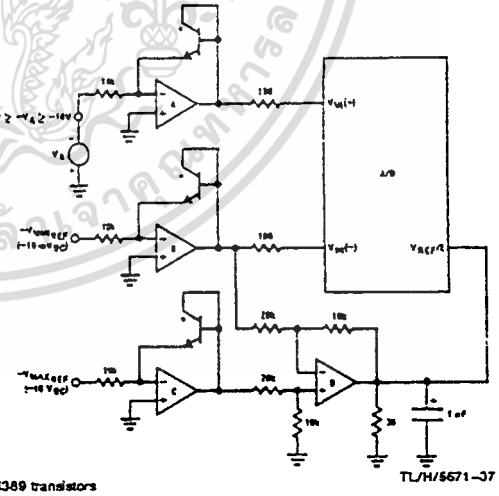
TL/H/5671–9

Analog Self-Test for a System



TL/H/5671–36

A Low-Cost, 3-Decade Logarithmic Converter



TL/H/5671–37

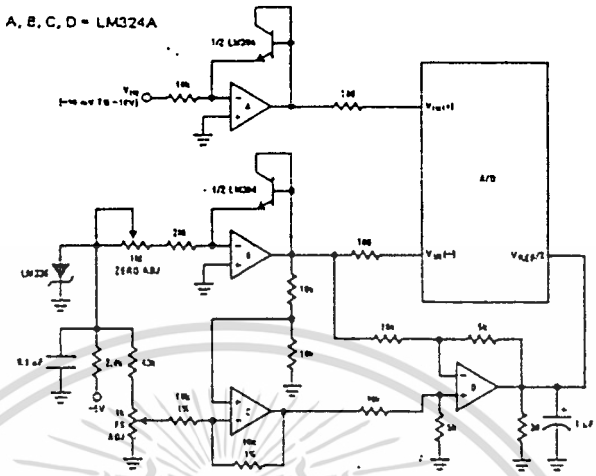
*LM389 transistors

A, B, C, D = LM324A quad op amp

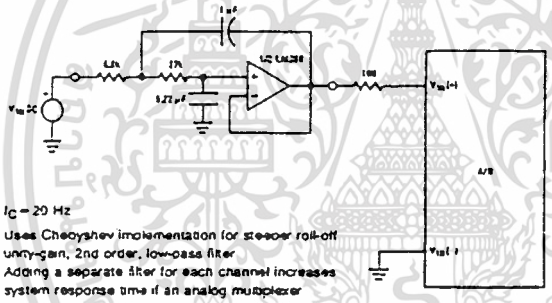
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

3-Decade Logarithmic A/D Converter



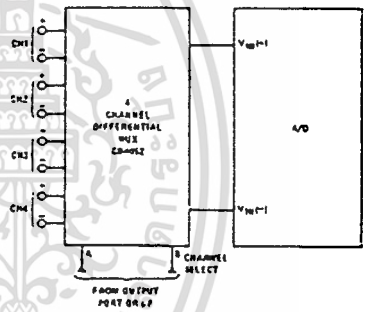
Noise Filtering the Analog Input



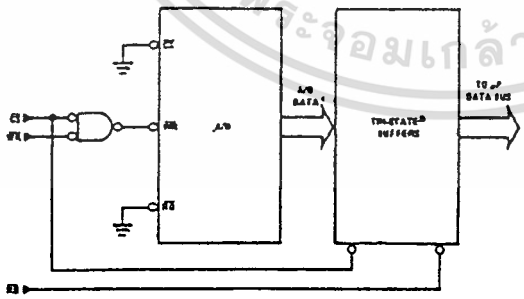
f_C = 20 Hz

Uses Chebyshev implementation for steeper roll-off unity-gain, 2nd order, low-pass filter
Adding a separate filter for each channel increases system response time if an analog multiplexer is used

Multiplexing Differential Inputs

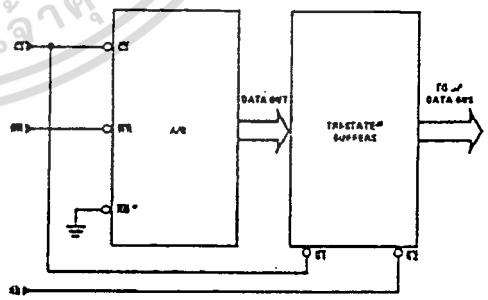


Output Buffers with A/D Data Enabled



*A/D output data is updated 1 CLK period prior to assertion of $\overline{INTR}$

Increasing Bus Drive and/or Reducing Time on Bus



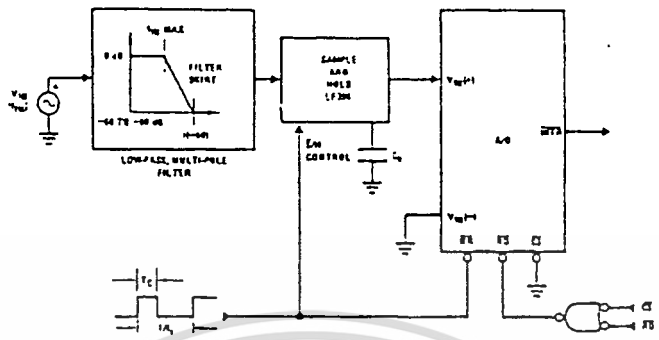
TL/H/5671–10

*Allows output data to set-up at falling edge of $\overline{CS}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

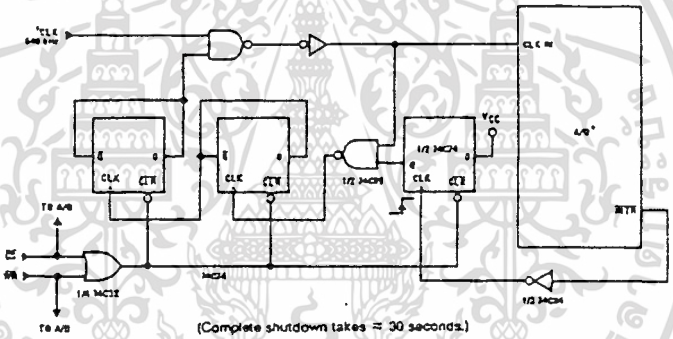
Sampling an AC Input Signal



Note 1: Oversample whenever possible (keep $f_S > 2(-60)$ to eliminate input frequency folding (aliasing) and to allow for the skirt response of the filter.

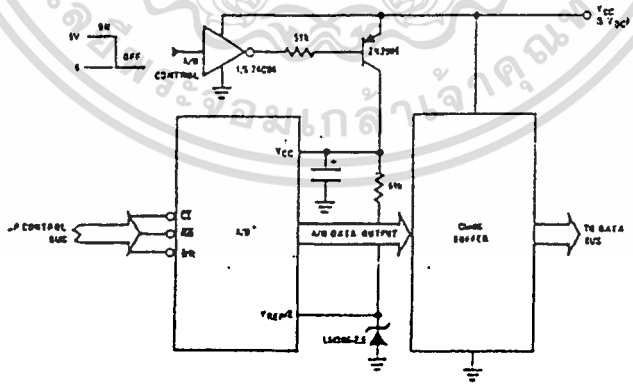
Note 2: Consider the amplitude errors which are introduced within the passband of the filter.

70% Power Savings by Clock Gating



(Complete shutdown takes ≈ 30 seconds.)

Power Savings by A/D and V_{REF} Shutdown



TL/H/5671–11

*Use ADC0801, 02, 03 or 05 for lowest power consumption.

Note: Logic inputs can be driven to V_{CC} with A/D supply at zero volts.

Buffer prevents data bus from overdriving output of A/D when in shutdown mode.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

January 1995

DAC0800/DAC0801/DAC0802 8-Bit Digital-to-Analog Converters

General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 Vp-p with simple resistor loads as shown in *Figure 1*. The reference-to-full-scale current matching of better than ±1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than ±0.1% over temperature minimizes system error accumulations.

The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, V_{LC}, grounded. Changing the V_{LC} potential will allow direct interface to other logic families. The performance and characteristics of the device are essentially unchanged over the full ±4.5V to ±18V power supply range; power dissipation is only 33 mW with ±5V supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C, DAC0801C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, DAC-08E and DAC-08H, respectively.

Features

- Fast settling output current — 100 ns
- Full scale error — ±1 LSB
- Nonlinearity over temperature — ±0.1%
- Full scale current drift — ±10 ppm/°C
- High output compliance — −10V to +18V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range — ±4.5V to ±18V
- Low power consumption — 33 mW at ±5V
- Low cost

Typical Applications

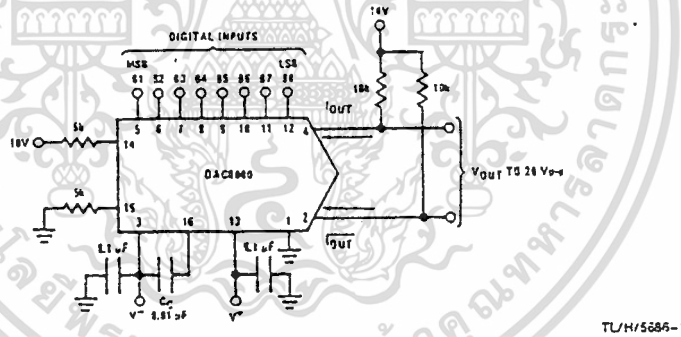


FIGURE 1. ±20 Vp-p Output Digital-to-Analog Converter (Note 4)

Ordering Information

Non-Linearity	Temperature Range	Order Numbers				
		J Package (J16A)*		N Package (N16A)*		SO Package (M16A)
±0.1% FS	0°C ≤ T_A ≤ +70°C	DAC0802LCJ	DAC-08HQ	DAC0802LCN	DAC-08HP	DAC0802LCM
±0.19% FS	−55°C ≤ T_A ≤ +125°C	DAC0800LJ	DAC-08Q			
±0.19% FS	0°C ≤ T_A ≤ +70°C	DAC0800LCJ	DAC-08EQ	DAC0800LCN	DAC-08EP	DAC0800LCM
±0.39% FS	0°C ≤ T_A ≤ +70°C			DAC0801LCN	DAC-08CP	DAC0801LCM

*Devices may be ordered by using either order number.

©1995 National Semiconductor Corporation TL/H/5686

RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage ($V^+ - V^-$)	±18V or 36V
Power Dissipation (Note 2)	500 mW
Reference Input Differential Voltage (V14 to V15)	V^- to V^+
Reference Input Common-Mode Range (V14, V15)	V^- to V^+
Reference Input Current	5 mA
Logic Inputs	V^- to V^- plus 36V
Analog Current Outputs ($V_S^- = -15V$)	4.25 mA
ESD Susceptibility (Note 3)	TBD V
Storage Temperature	−65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Operating Conditions (Note 1)

	Min	Max	Units
Temperature (T_A)			
DAC0800L	−55	+125	°C
DAC0800LC	0	+70	°C
DAC0801LC	0	+70	°C
DAC0802LC	0	+70	°C

Electrical Characteristics The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2$ mA and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
	Resolution		8	8	8	8	8	8	8	8	8	Bits
	Monotonicity		8	8	8	8	8	8	8	8	8	Bits
	Nonlinearity				±0.1			±0.19			±0.39	%FS
t_s	Settling Time	To ±½ LSB, All Bits Switched "ON" or "OFF", $T_A = 25°C$		100	135					100	150	ns
		DAC0800L					100	135				ns
		DAC0800LC					100	150				ns
t_{PLH}, t_{PHL}	Propagation Delay Each Bit	$T_A = 25°C$		35	60		35	60		35	60	ns
	All Bits Switched			35	60		35	60		35	60	ns
TCI_{FS}	Full Scale Tempco			±10	±50		±10	±50		±10	±80	ppm/°C
V_{OC}	Output Voltage Compliance	Full Scale Current Change <½ LSB, $R_{OUT} > 20$ MΩ Typ	−10		18	−10		18	−10		18	V
I_{FS4}	Full Scale Current	$V_{REF} = 10.000$V, R14 = 5.000 kΩ, R15 = 5.000 kΩ, $T_A = 25°C$	1.984	1.992	2.000	1.94	1.99	2.04	1.94	1.99	2.04	mA
I_{FSS}	Full Scale Symmetry	$I_{FS4} - I_{FS2}$		±0.5	±4.0		±1	±8.0		±2	±16	μA
I_{ZS}	Zero Scale Current			0.1	1.0		0.2	2.0		0.2	4.0	μA
I_{FSR}	Output Current Range	$V^- = -5V$	0	2.0	2.1	0	2.0	2.1	0	2.0	2.1	mA
		$V^- = -8V$ to $-18V$	0	2.0	4.2	0	2.0	4.2	0	2.0	4.2	mA
	Logic Input Levels											
V_{IL}	Logic "0"	$V_{LC} = 0V$			0.8			0.8			0.8	V
V_{IH}	Logic "1"		2.0			2.0			2.0			V
	Logic Input Current	$V_{LC} = 0V$										
I_{IL}	Logic "0"	$-10V \le V_{IN} \le +0.8V$		−2.0	−10		−2.0	−10		−2.0	−10	μA
I_{IH}	Logic "1"	$2V \le V_{IN} \le +18V$		0.002	10		0.002	10		0.002	10	μA
V_{IS}	Logic Input Swing	$V^- = -15V$	−10		18	−10		18	−10		18	V
V_{THR}	Logic Threshold Range	$V_S = \pm 15V$	−10		13.5	−10		13.5	−10		13.5	V
I_{15}	Reference Bias Current			−1.0	−3.0		−1.0	−3.0		−1.0	−3.0	μA
dI/dt	Reference Input Slew Rate	*(Figure 12)*	4.0	8.0		4.0	8.0		4.0	8.0		mA/μs
$PSSI_{FS+}$	Power Supply Sensitivity	$4.5V \le V+ \le 18V$		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
$PSSI_{FS-}$		$-4.5V \le V^- \le 18V$, $I_{REF} = 1$mA		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
	Power Supply Current	$V_S = \pm 5V$, $I_{REF} = 1$ mA										
$I+$				2.3	3.8		2.3	3.8		2.3	3.8	mA
$I-$				−4.3	−5.8		−4.3	−5.8		−4.3	−5.8	mA
		$V_S = 5V, -15V$, $I_{REF} = 2$ mA										
$I+$				2.4	3.8		2.4	3.8		2.4	3.8	mA
$I-$				−6.4	−7.8		−6.4	−7.8		−6.4	−7.8	mA
		$V_S = \pm 15V$, $I_{REF} = 2$ mA										
$I+$				2.5	3.8		2.5	3.8		2.5	3.8	mA
$I-$				−6.5	−7.8		−6.5	−7.8		−6.5	−7.8	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2$ mA and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
P_D	Power Dissipation	$\pm 5V$, $I_{REF} = 1$ mA		33	48		33	48		33	48	mW
		$5V, -15V$, $I_{REF} = 2$ mA		108	136		108	136		108	136	mW
		$\pm 15V$, $I_{REF} = 2$ mA		135	174		135	174		135	174	mW

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

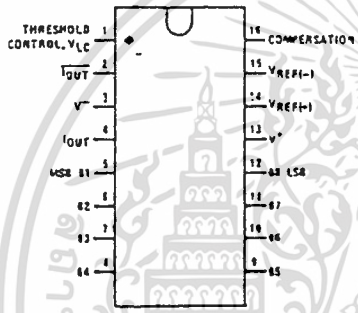
Note 2: The maximum junction temperature of the DAC0800, DAC0801 and DAC0802 is 125°C. For operating at elevated temperatures, devices in the Dual-In-Line J package must be derated based on a thermal resistance of 100°C/W, junction-to-ambient, 175°C/W for the molded Dual-In-Line N package and 100°C/W for the Small Outline M package.

Note 3: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 4: Pin-out numbers for the DAC080X represent the Dual-In-Line package. The Small Outline package pin-out differs from the Dual-In-Line package.

Connection Diagrams

Dual-In-Line Package

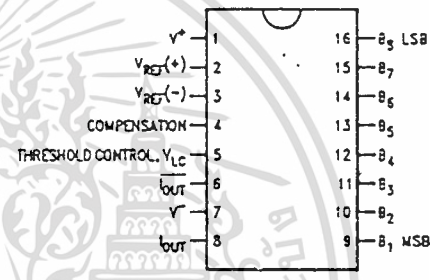


Top View

TL/H/5686–13

See Ordering Information

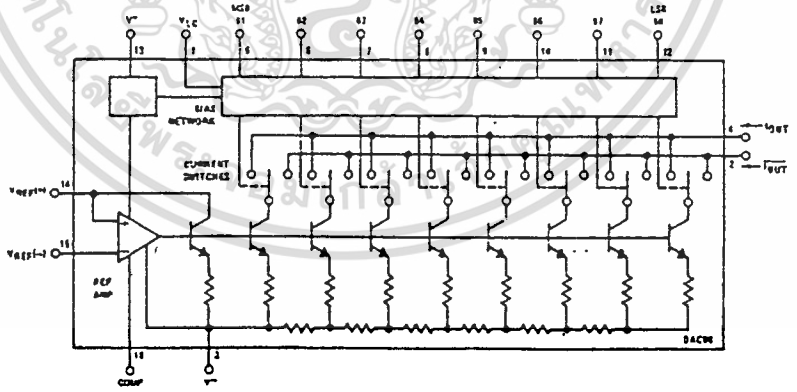
Small Outline Package



Top View

TL/H/5686–14

Block Diagram (Note 4)

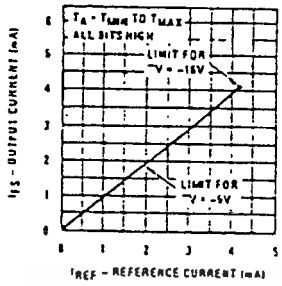


TL/H/5686–2

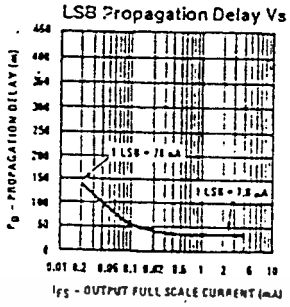
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

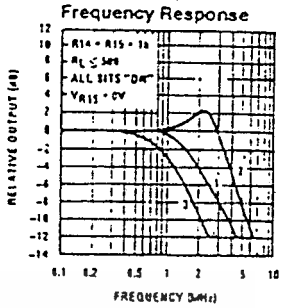
Full Scale Current vs Reference Current



LSB Propagation Delay Vs I_{FS}



Reference Input Frequency Response

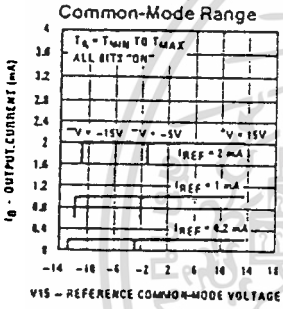


Curve 1: $C_C = 15$ pF, $V_{IN} = 2$ Vp-p centered at 1V.

Curve 2: $C_C = 15$ pF, $V_{IN} = 50$ mVp-p centered at 200 mV.

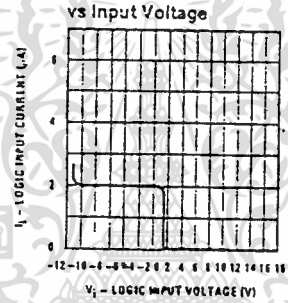
Curve 3: $C_C = 0$ pF, $V_{IN} = 100$ mVp-p at 0V and applied through 50 Ω connected to pin 14. 2V applied to R14.

Reference Amp Common-Mode Range

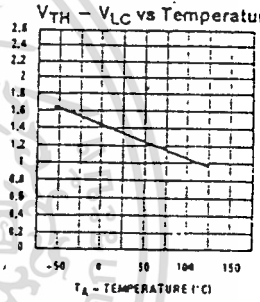


Note. Positive common-mode range is always (V+) − 1.5V.

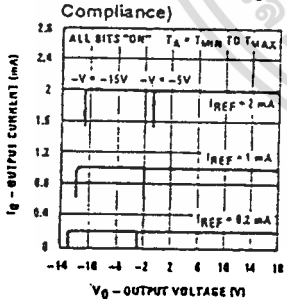
Logic Input Current vs Input Voltage



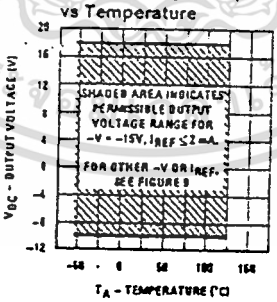
$V_{TH} - V_{LC}$ vs Temperature



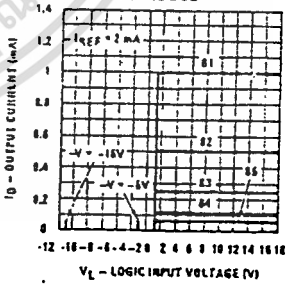
Output Current vs Output Voltage (Output Voltage Compliance)



Output Voltage Compliance vs Temperature



Bit Transfer Characteristics



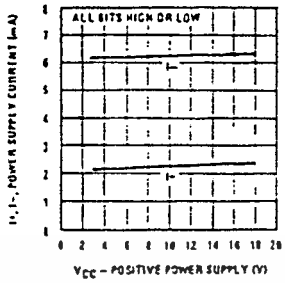
TL/H/5684–3

Note. B1–B8 have identical transfer characteristics. Bits are fully switched with less than ½ LSB error, at less than ±100 mV from actual threshold. These switching points are guaranteed to lie between 0.8 and 2V over the operating temperature range (V_{LC} = 0V).

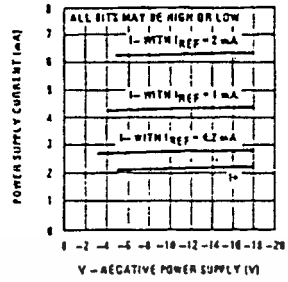
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

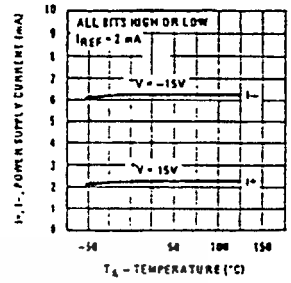
Power Supply Current vs +V



Power Supply Current vs −V

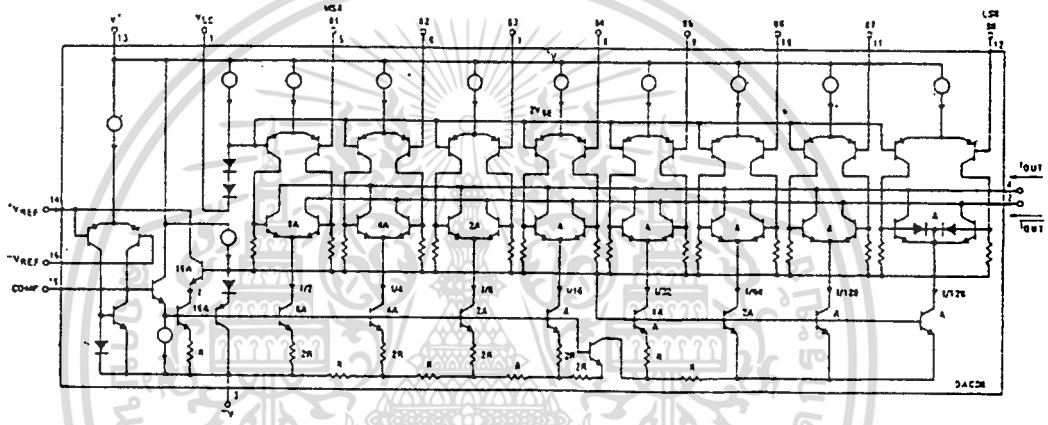


Power Supply Current vs Temperature



TL/H/5686–4

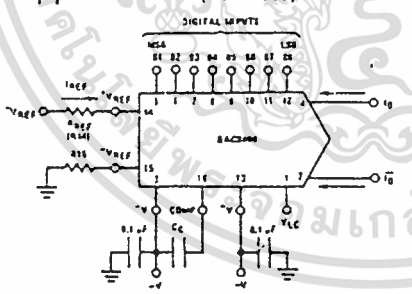
Equivalent Circuit



TL/H/5686–15

FIGURE 2

Typical Applications (Continued)



$$I_{FS} = \frac{-V_{REF}}{R_{REF}} \times \frac{255}{256}$$

$I_O + \overline{I_O} = I_{FS}$ for all logic states

For fixed reference, TTL operation, typical values are:

$V_{REF} = 10.000V$

$R_{REF} = 5.000k$

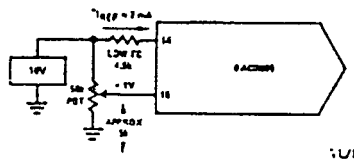
$R15 = R_{REF}$

$C_C = 0.01\ \mu F$

$V_{LC} = 0V$ (Ground)

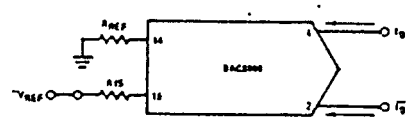
TL/H/5686–5

FIGURE 3. Basic Positive Reference Operation (Note 4)



TL/H/5686–21

FIGURE 4. Recommended Full Scale Adjustment Circuit (Note 4)



TL/H/5686–16

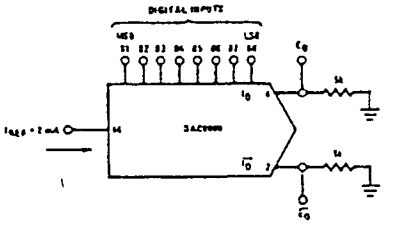
$$I_{FS} = \frac{-V_{REF}}{R_{REF}} \times \frac{255}{256}$$

Note. R_{REF} sets I_{FS}; R15 is for bias current cancellation

FIGURE 5. Basic Negative Reference Operation (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



TL/H/5686–17

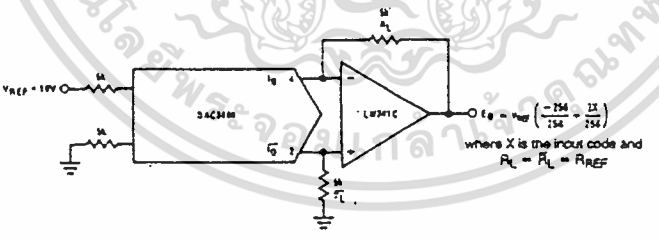
	B1	B2	B3	B4	B5	B6	B7	B8	I_O mA	$\overline{I_O}$ mA	E_O	$\overline{E_O}$
Full Scale	1	1	1	1	1	1	1	1	1.992	0.000	−9.960	0.000
Full Scale−LSB	1	1	1	1	1	1	1	0	1.984	0.008	−9.920	−0.040
Half Scale+LSB	1	0	0	0	0	0	0	1	1.008	0.984	−5.040	−4.920
Half Scale	1	0	0	0	0	0	0	0	1.000	0.992	−5.000	−4.960
Half Scale−LSB	0	1	1	1	1	1	1	1	0.992	1.000	−4.960	−5.000
Zero Scale+LSB	0	0	0	0	0	0	0	1	0.008	1.984	−0.040	−9.920
Zero Scale	0	0	0	0	0	0	0	0	0.000	1.992	0.000	−9.960

FIGURE 6. Basic Unipolar Negative Operation (Note 4)

TL/H/5686–6

	B1	B2	B3	B4	B5	B6	B7	B8	E_O	$\overline{E_O}$
Pos. Full Scale	1	1	1	1	1	1	1	1	−9.920	+10.000
Pos. Full Scale−LSB	1	1	1	1	1	1	1	0	−9.840	+9.920
Zero Scale+LSB	1	0	0	0	0	0	0	1	−0.080	+0.160
Zero Scale	1	0	0	0	0	0	0	0	0.000	+0.080
Zero Scale−LSB	0	1	1	1	1	1	1	1	+0.080	0.000
Neg. Full Scale+LSB	0	0	0	0	0	0	0	1	+9.920	−9.840
Neg. Full Scale	0	0	0	0	0	0	0	0	+10.000	−9.920

FIGURE 7. Basic Bipolar Output Operation (Note 4)



TL/H/5686–18

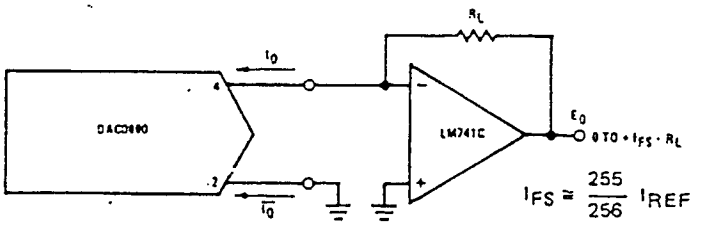
If $R_L = \overline{R_L}$ within ±0.05%, output is symmetrical about ground

	B1	B2	B3	B4	B5	B6	B7	B8	E_O
Pos. Full Scale	1	1	1	1	1	1	1	1	+9.960
Pos. Full Scale−LSB	1	1	1	1	1	1	1	0	+9.880
(+)Zero Scale	1	0	0	0	0	0	0	0	+0.040
(−)Zero Scale	0	1	1	1	1	1	1	1	−0.040
Neg. Full Scale+LSB	0	0	0	0	0	0	0	1	−9.880
Neg. Full Scale	0	0	0	0	0	0	0	0	−9.960

FIGURE 8. Symmetrical Offset Binary Operation (Note 4)

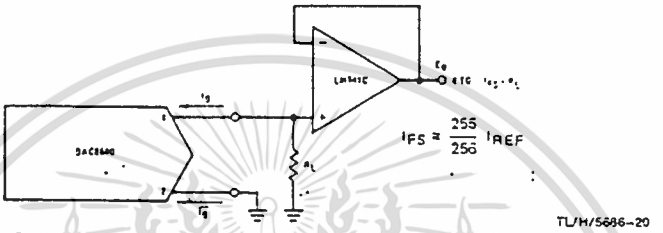
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



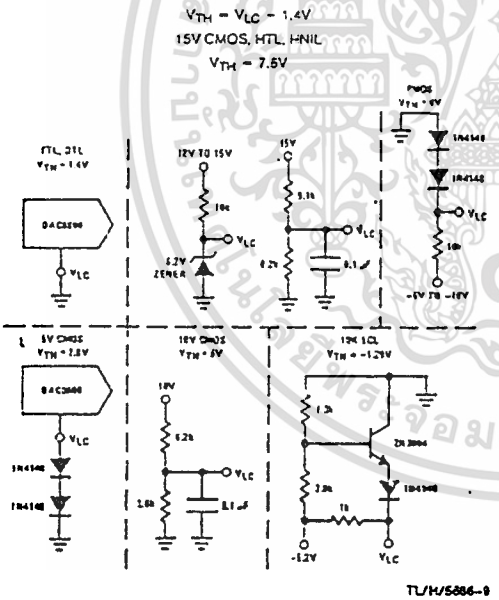
For complementary output (operation as negative logic DAC), connect inverting input of op amp to $\overline{I_O}$ (pin 2), connect I_O (pin 4) to ground.

FIGURE 9. Positive Low Impedance Output Operation (Note 4)



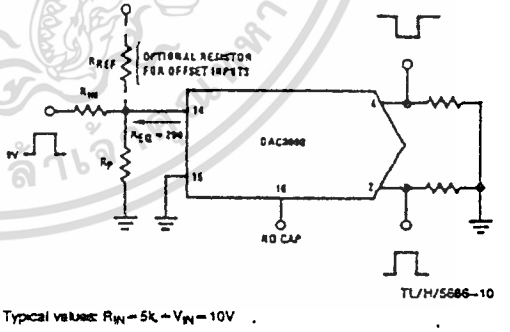
For complementary output (operation as a negative logic DAC) connect noninverting input of op amp to $\overline{I_O}$ (pin 2); connect I_O (pin 4) to ground.

FIGURE 10. Negative Low Impedance Output Operation (Note 4)



Note. Do not exceed negative logic input range of DAC.

FIGURE 11. Interfacing with Various Logic Families



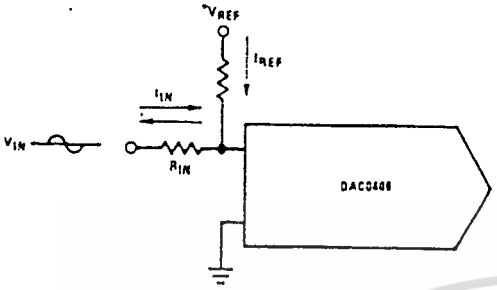
Typical values: $R_{IN} = 5k$, $V_{IN} = 10V$

FIGURE 12. Pulsed Reference Operation (Note 4)

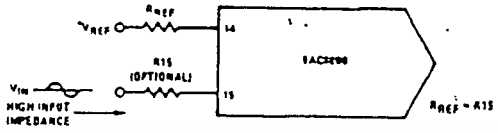
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

(a) $I_{REF} \geq$ peak negative swing of I_{IN}



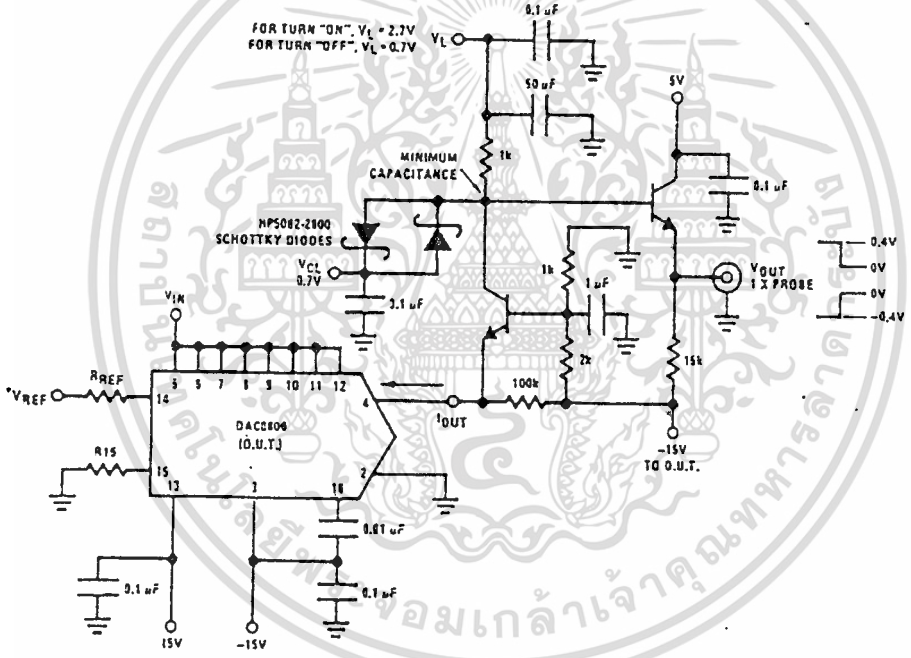
(b) $+V_{REF}$ must be above peak positive swing of V_{IN}



TL/H/5686–12

TL/H/5686–11

FIGURE 13. Accommodating Bipolar References (Note 4)

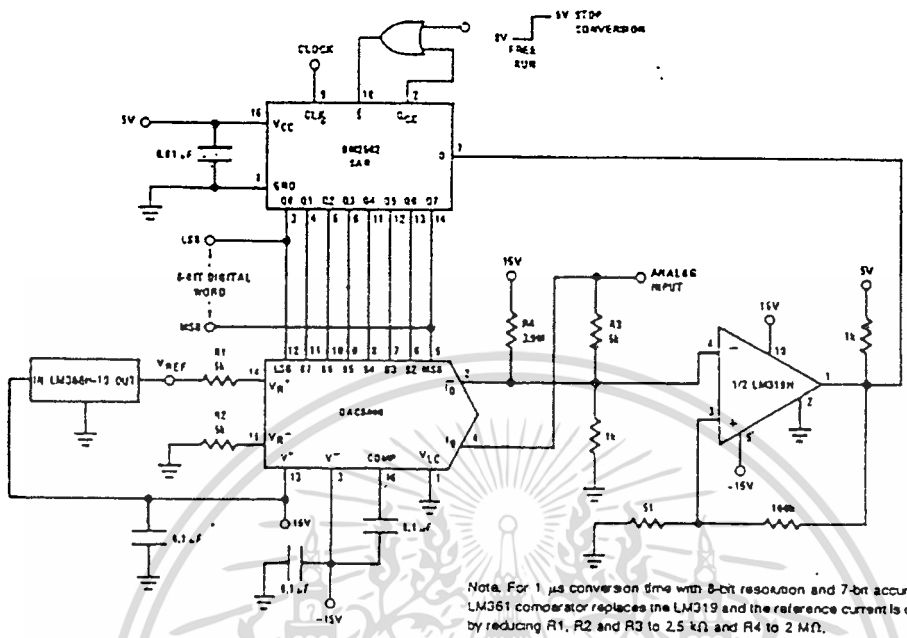


TL/H/5686–7

FIGURE 14. Settling Time Measurement (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

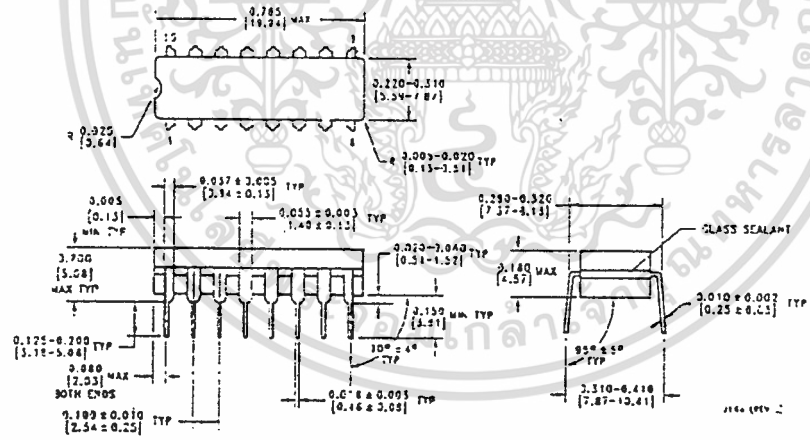


Note. For 1 μs conversion time with 8-bit resolution and 7-bit accuracy, an LM361 comparator replaces the LM319 and the reference current is doubled by reducing R1, R2 and R3 to 2.5 kΩ and R4 to 2 MΩ.

TL/H/5686–6

FIGURE 15. A Complete 2 μs Conversion Time, 8-Bit A/D Converter (Note 4)

Physical Dimensions inches (millimeters)

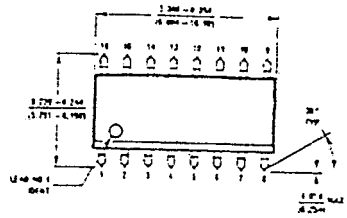


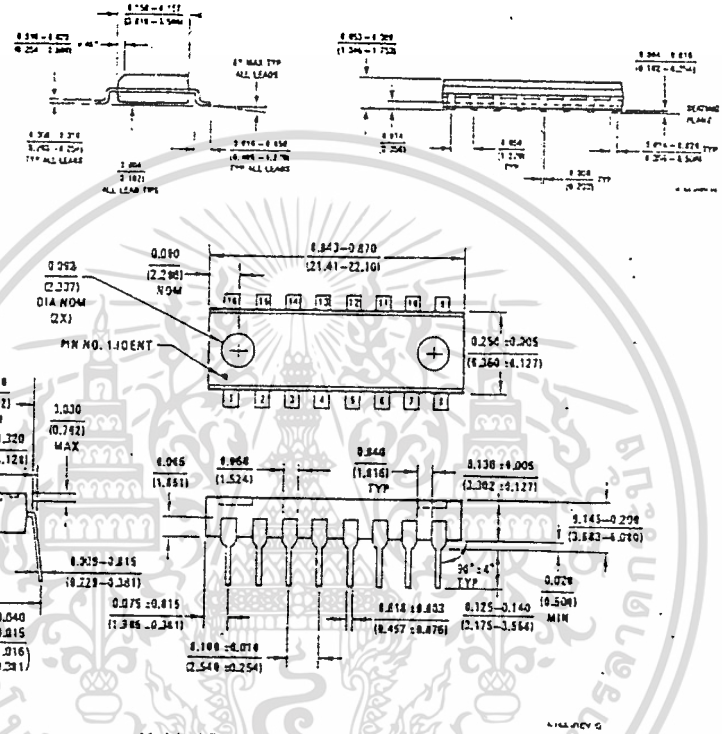
Molded Dual-In-Line Package
Order Numbers DAC0800 or DAC0802
NS Package Number J16A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)

Molded Small Outline Package (SO)
Order Numbers DAC0800LCM,
DAC0801LCM or DAC0802LCM
NS Package Number M16A





Molded Dual-In-Line Package
Order Numbers DAC0800, DAC0801, DAC0802
NS Package Number N16A

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.

2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnvgs@sevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

การจัดทำปริญญานิพนธ์นี้สามารถสำเร็จลุล่วงได้ด้วยดี เนื่องจากได้รับความช่วยเหลือจากอาจารย์หลายๆ ท่าน คณะผู้จัดทำโครงงานรู้สึกซาบซึ้งและขอกราบขอบพระคุณอาจารย์ทุกๆท่านในภาควิชาเทคโนโลยีการวัดคุมทางอุตสาหกรรมไว้เป็นอย่างสูง

ขอขอบพระคุณภาควิชาเทคโนโลยีการวัดคุมทางอุตสาหกรรม ที่เอื้อเฟื้ออุปกรณ์และเครื่องมือทั้งหมดตลอดจนถึงสถานที่ อาทิ ห้องทดลอง (Process Control Lab.) รวมทั้งการอำนวยความสะดวกจนสามารถทำปริญญานิพนธ์ นี้เสร็จสิ้น

ขอขอบพระคุณ พี่ๆ น้องๆ และเพื่อนสนิทมิตรสหายทุกท่าน ซึ่งเป็นที่ปรึกษา กำลังใจที่ดีและเป็นเรี่ยวแรงย่อยที่สำคัญในการทำปริญญานิพนธ์ฉบับนี้

และกราบขอบพระคุณ คุณพ่อ คุณแม่ ที่เคารพรักยิ่ง ตลอดจนถึงญาติผู้ใหญ่ ที่ให้การสนับสนุน เป็นกำลังใจที่ยิ่งใหญ่และกำลังทุนทรัพย์ที่สำคัญตลอดการทำปริญญานิพนธ์นี้

สุดท้ายนี้ หากปริญญานิพนธ์ฉบับนี้มีข้อผิดพลาดและข้อบกพร่องประการใด คณะผู้จัดทำขออภัยไว้ ณ ที่นี้ด้วย

คณะผู้จัดทำ

มีนาคม 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. Fuzzy Coontrol Systems. Crc press , Inc.1994
2. Modern Control Engineering ; Prentiee Hall , International Edition
   Okata
3. หลักการและการใช้งานเครื่องมือวัดทางอุตสาหกรรม
   สมศักดิ์ กีรติวุฒิเศรษฐ์ , สสท T8404
4. H.J. Zimmermann, "Fuzzy set theory and its applications," Kluwer Academic Publishers,1991
5. P.J. King and E.H.Mamdani, "the appication of fuzzy control of simple dynamic plant ," proc.IEEE.vol. 13,oo, 235-242,1977
6. L.A. Zadah,"Fuzzy sets " Information & Control,vol.8,pp. 338-353,1965
7. S.G. Tzafestas and A.N. Venetsanopouos , " Fuzzy reasoning in information,decision and control systems,"Kluwer Academic Publishers, pp. 165-197,1994.
8. Witold Pedrycz, "Fuzzy Control and Fuzzy Systems," Research Studies Press Ltd., John Wiley&Sons Inc., 1989
9. ธิดาพร พิทักษ์พรพันธุ์ "ตัวควบคุมฟัซซี่แบบสร้างและปรับแต่งพารามิเตอร์ด้วยตนเอง"วิศวสารลาดกระบัง 2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้