ปีการศึกษา 2540

เครื่องควบคุมระยะช่องอากาศคงที่

Constant Air Gap Control

โดย

1. นายธนพงศ์ วัฒนกำธรกุล
2. นายอนุรักษ์ ดุลิ กานนท์
3. นายอภิวุฒ คำนวณกิจ
4. นายอุทิศ เตชะธรรมนูกูล

วัน เดือน ปี -5 ต.ค. 2541
เลขทะเบียน 038583
เลขเรียกหนังสือ T 400 ...

อาจารย์ที่ปรึกษา

ผศ. พิชิต ลำยอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

038583

ปริญญานิพนธ์ปีการศึกษา 2540

ภาควิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องควบคุมระยะช่องอากาศคงที่

ผู้จัดทำ

1.	นายธนพงศ์ วัฒนกำธรกุล	37014153	4B
2.	นายอนุรักษ์ ดุลิกานนท์	37014555	4B
3.	นายอภิวุฒ คำนวณกิจ	37014562	4B
4.	นายอุทิศ เตชะธรรมนุกูล	37014598	4B

_____ อาจารย์ที่ปรึกษา

(ผศ. พิชิต ล้ายอง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องควบคุมระยะช่องอากาศคงที่

นายธนพงศ์ วัฒนกำธรกุล
นายอนุรักษ์ ดุลิกานนท์
นายอภิวุฒ คำนวณกิจ
นายอุทิศ เตชะธรรมนุกูล
ผศ. พิชิต ลำยอง อาจารย์ที่ปรึกษา
ปีการศึกษา2540

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ได้กล่าวถึงการศึกษา และ ออกแบบเครื่องควบคุมระยะช่องอากาศให้คงที่ ของระบบยกลอยของรถไฟฟ้า (Levitation System) โดยยังเป็นเครื่องควบคุมต้นแบบ ระบบที่ทำการศึกษาเป็นระบบประเภทน้ำหนักคงที่ ซึ่งส่วนประกอบของเครื่องควบคุมนี้ประกอบไปด้วย 3 ส่วนหลัก ๆ ได้แก่ ตัวตรวจจับระยะช่องอากาศแบบใช้สนามแม่เหล็ก (Magnetic Sensor) , ส่วนควบคุมการยกลอย ซึ่งใช้ไมโครคอนโทรลเลอร์ตระกูล MCS 51 เป็นตัวประมวลผลหลัก สำหรับส่วนประกอบส่วนสุดท้ายคือ ส่วนวงจรกำลังที่เป็นส่วนที่จ่ายพลังงานไปให้วงจรแม่เหล็กหลักเพื่อกำเนิดแรงยก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Constant Air Gap Control

Thanapong Watthanakumtornkul
Anurak Dulekanon
Apivut Kumnuankij
Uttit Techatumhnukul
Asst.Prof. Pichit Lumyong Advisor
1998

ABSTRACT

This thesis is concerning about the study case and modeling design of the constant airgap control that similar to the levitation system of the Magnetically Levitation (MAGLEV) . The experiment of this project is looking for the characteristic of the magnetic sensor that use to send the gap distance to controller unit (MCS 51) that will compute and enforce the main magnetic circuit to give the optimize electromagnetic force .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	I
ABSTRACT	II
สารบัญรูป	III
สารบัญตาราง	IV
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	7
2.1 ทฤษฎีพื้นฐานของตัวตรวจจับระยะช่องอากาศ (Sensor)	7
2.1.1 ความสัมพันธ์ระหว่าง E-I Curve กับความถี่	7
2.1.2 ความสัมพันธ์ระหว่าง E-I Curve กับระยะช่องอากาศ	8
2.1.3 ความสัมพันธ์ระหว่างค่าความเหนี่ยวนำ (L)กับระยะห่างช่องอากาศ	10
2.1.4 ค่าความสูญเสียในแกนเหล็ก (Steel)	11
2.1.5 ค่าการสูญเสียในแกนเฟอร์ไรต์ (Ferrite)	12
2.2 ทฤษฎีพื้นฐานของส่วนยกลอย	12
2.2.1 แรงที่เกิดจากสนามแม่เหล็ก (Magnetic Force)	12
2.3 ทฤษฎีพื้นฐานของแหล่งจ่ายไฟแบบสวิตช์ชิ่ง (Switching Power Supply)	14
2.3.1 ฟูลบริดจ์คอนเวอร์เตอร์ (Full Bridge Converter)	16
2.3.2 ฟลายแบคคอนเวอร์เตอร์	25
2.3.3 วงจรควบคุมแหล่งจ่ายไฟแบบสวิตช์ชิ่ง	34
2.3.4 วงจรขับเบส	37
2.3.5 วงจรสนับเบอร์	38
2.4 ทฤษฎีการเปลี่ยนแปลงและอ้างถึงข้อมูล (Data Acquisition and Converter)	42
2.4.1 DAC (Digital and Analog Converter)	45
2.4.2 ADC (Analog to Digital Converter)	45
2.5 ทฤษฎีไมโครคอนโทรลเลอร์ตระกูล 8051	46
2.5.1 ฐานเวลาในการทำงานของซีพียูภายใน 8051	47
2.6 ทฤษีการควบคุม	49
2.6.1 การเลือกและปรับเครื่องควบคุม	52
2.6.2 การเลือกเครื่องควบคุมแบบป้อนกลับ	53

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3 การศึกษาและออกแบบ 56
3.1 ระบบวงจร Constant Air Gap Controller 56
3.1.1 การทำงานของระบบ 56
3.2 การออกแบบตัวตรวจจับระยะช่องอากาศ (sensor) 57
3.3 การออกแบบวงจรแม่เหล็กส่วนยกลอย 61
3.3.1 การหาค่าความต้านทานแม่เหล็ก (Reluctance) ของแกนเหล็ก 63
3.4 การออกแบบในส่วนแหล่งจ่ายไฟแบบสวิตช์ชิ่ง (Switching Power Supply) 64
3.5 การออกแบบวงจรขับกระแสเบส 65
3.6 การออกแบบวงจรฟูลบริดจ์คอนเวอเตอร์ ที่เป็นวงจรกำลังในส่วนยกลอย 67
3.7 การควบคุมไมโครคอนโทรลเลอร์ตระกูล 8051 71
3.7.1 การเชื่อมต่อ (interface) ของส่วนควบคุมและประมวลผล 71
3.7.2 การเชื่อมต่อ (interface) ของส่วนควบคุมและประมวลผลระยะช่องอากาศ 72
3.7.3 การออกแบบซอร์ฟแวร์ส่วนแสดงผล 73
บทที่ 4 การทดลองและผลการทดลอง 75
4.1 การทดลองและผลการทดลองตัวตรวจจับระยะช่องอากาศ 75
4.2 การทดลองและผลการทดลองวงจรขับเบส 89
4.3 การทดลองและผลการทดลองวงจรกำลัง 93
4.4 การทดลองและผลการทดลองส่วนยกลอย 95
4.5 การทดลองและผลการทดลองแรงดูดของแม่เหล็ก 98
บทที่ 5 สรุปผลและวิจารณ์ 104
ภาคผนวก
กิตติกรรมประกาศ
เอกสารอ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

	หน้า
รูปที่ 1.1 ส่วนประกอบต่าง ๆ ในรถไฟฟ้า MAGLEV โดยทั่ว ๆ ไป	1
รูปที่ 1.2 แสดง Levitation System แบบ Attraction Type	2
รูปที่ 1.3 แสดง Levitation System แบบ Repulsion Type	2
รูปที่ 1.4 แสดงฟลักซ์แม่เหล็กรั่วไหล ในระบบ Attraction กับ Repulsion	3
รูปที่ 1.5 แสดงแนวคิดของระบบควบคุมการยกลอย	4
รูปที่ 1.6 Principle of Levitation System	6
รูปที่ 2.1 แสดงความสัมพันธ์ระหว่าง E กับ I (E-I curve)	7
รูปที่ 2.2 แสดงความสัมพันธ์ระหว่าง E-I curve กับ ความถี่	8
รูปที่ 2.3 แสดงความสัมพันธ์ระหว่าง E-I curve กับ gap	10
รูปที่ 2.4 แสดงความสัมพันธ์ระหว่าง L กับ Gap	10
รูปที่ 2.5 Hysteresis loop	11
รูปที่ 2.6 แสดงการเกิดแรงเนื่องจากสนามแม่เหล็ก	13
รูปที่ 2.7 แสดงความสัมพันธ์ระหว่าง λ กับ I แบบ linear	13
รูปที่ 2.8 แสดงองค์ประกอบพื้นฐานของสวิตชิ่งพาวเวอร์ซัพพลายโดยทั่วไป	15
รูปที่ 2.9 แสดงวงจรพื้นฐานของ Full bridge Converter	16
รูปที่ 2.10(ก) แสดงลักษณะของกระแสในลักษณะปกติ	19
รูปที่ 2.10(ข) ลักษณะของกระแสขณะคิดความไม่สมมาตรของฟลักซ์แม่เหล็กในหม้อแปลง	19
รูปที่ 2.11 (ก) แสดงการไม่สมมาตรของฟลักซ์เนื่องจาก Q_1 นำกระแสมากกว่า Q_2	21
รูปที่ 2.11 (ข) แสดงผลของการต่อตัวเก็บประจะบล็อคกิ้ง C_b เข้ามาในวงจรเพื่อลดความไม่สมมาตรฟลักซ์	22
รูปที่ 2.12 แสดงลักษณะของการเกิดความลด (D_{roop}) ขึ้นบนแรงดันที่ตกคร่อมขดไพรมารี่เมื่อต่อตัวเก็บประจุบล็อคกิ้ง C_b คั่นเข้ามาในวงจร	23
รูปที่ 2.13 แสดงวงจรพื้นฐานของฟลายแบคคอนเวอร์เตอร์	26
รูปที่ 2.14 แสดงลักษณะของกระแสที่ขด ปฐมภูมิ และขดทุตติยภูมิขณะที่วงจรทำงาน	27
รูปที่ 2.15 แสดงลักษณะกระแสและแรงดันที่เกิดขึ้นในวงจรขณะทำงานของฟลายแบค คอนเวอร์เตอร์	28
รูปที่ 2.16 แสดงลักษณะกระแสเมื่อ คอนเวอร์เตอร์ทำงานใน mode กระแสต่อเนื่อง	29
รูปที่ 2.17 การกำหนดค่าเวลาเผื่อ t_d เพื่อให้ฟลายแบคคอนเวอร์เตอร์ ยังคงทำงานในกระแสไม่	31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อเนื่องที่เวลา $t = t_{on(max)}$
รูปที่ 2.18 แสดงการจัดโครงสร้างภายในและการจัดขาของ TL 494 34
รูปที่ 2.19 แสดงความสัมพันธ์ของค่า R_TC_T ในการกำหนดความถี่ 35
รูปที่ 2.20 แสดงรูปคลื่นลักษณะการทำงานของ TL 494 36
รูปที่ 2.21 แสดงลักษณะการเลือกใช้ output ของ TL 494 37
รูปที่ 2.22 แสดงลักษณะการลดลงของกระแสและเพิ่มของแรงดันตกคร่อมของ Power MOSFET ขณะหยุดนำกระแส 38
รูปที่ 2.23 แสดงการต่อวงจรสนับเบอร์ช่วยหยุดนำกระแสเพื่อหน่วงแรงดันตกคร่อมให้เพิ่มขึ้นอย่างช้าๆ 39
รูปที่ 2.24 แสดงการต่อสนับเบอร์ป้องกันแรงดันเกินเพื่อกำจัดกระแสสูงสุดที่จะตกคร่อมขณะเริ่มหยุดนำกระแส 41
รูปที่ 2.25 แสดงการ Sampling สัญญาณ input ที่เป็น Sine wave 44
รูปที่ 2.26 แสดงบล็อคไดอะแกรมของ DAC 45
รูปที่ 2.27 แผนภาพแสดงหน่วยการทำงานของ MCS-51 46
รูปที่ 2.28 การกำหนดหน้าที่ขาสัญญาณของ IC 8051 47
รูปที่ 2.29 แสดงการใช้คริสตอลภายนอกต่อเข้ากับภายใน ออสซิลเลเตอร์ ภายใน IC 8051 48
รูปที่ 2.30 แสดงแผนภายเวลาพื้นฐานของ IC 8051 และสำคัญของช่วงเวลาในการทำคำสั่ง 49
รูปที่ 2.31 แสดงสัญญาณการควบคุมของเครื่องควบคุมแบบต่าง ๆ 53
รูปที่ 3.1 แสดงระบบการทำงานโดยรวมของวงจร Constant Air-gap Controller 56
รูปที่ 3.2 วงจร Sensor 57
รูปที่ 3.3 แสดงการเปรียบเทียบการบรรจุฟลักซ์แม่เหล็กในแกนเหล็กชนิดเดียวกันแต่มีพื้นที่หน้าตัด (A) ต่างกัน 58
รูปที่ 3.4 แสดงจุดอิ่มตัว ช่วงของการอิ่มตัวและช่วง Linear 58
รูปที่ 3.5 แสดงจุดอิ่มตัวที่สูงขึ้น เมื่อเพิ่มความถี่ 59
รูปที่ 3.6 แสดงประมาณกระแสที่แตกต่างกัน เมื่อ V_{source} และR มีค่าเท่ากันทั้ง 2 วงจร 59
รูปที่ 3.7 แสดงจุดอิ่มตัวที่สูงขึ้น เมื่อเพิ่มรอบการพัน (N) 60
รูปที่ 3.8 แสดงจุดใช้งานจะอยู่ในช่วง Linear ถ้าความถี่ที่ใช้ในวงจรมีค่าสูง 61
รูปที่ 3.9 แสดงมิติของแกนเหล็กรูปตัว E มาตรฐาน 62
รูปที่ 3.10 วงจรสวิตชิ่งเพาเวอร์ซัพพลาย 64
รูปที่ 3.11 ไอซีควบคุมการสวิตชิ่ง เบอร์ TL494 65

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.12 วงจรขับเบส 4 เอาท์พุท 66
รูปที่ 3.13 ไอซีกำเนิดสัญญาณทริกเกท เบอร์ TL494 67
รูปที่ 3.14 วงสนับเบอร์ช่วงหยุดนำกระแส 70
รูปที่ 3.15 วงจร Switching Power Supply ที่สร้างจาก Full bridge converter 71
รูปที่ 3.16 แสดงวงจรรวมในการควบคุม 7-Segment 72
รูปที่ 3.17 แสดงการอินเตอร์เฟซของส่วนควบคุมและประมวลผลระยะห่างช่องอากาศ 73
รูปที่ 4.1 วงจรการทดลองหาค่าความสัมพันธ์ของพารามิเตอร์ Sensor 75
รูปที่ 4.2 เปรียบเทียบความสัมพันธ์ E-I Curve ของแกน Ferrite (POT CoreType) ที่ความถี่ 1 kHz, 10 kHz, 20 kHz และ 30 kHz ขณะ Close gap 86
รูปที่ 4.3 เปรียบเทียบความสัมพันธ์ E-I Curve ของแกน Ferrite (POT CoreType) ขณะClose gap จนถึงที่ GAP = 4 mm และขณะ Open gap ที่ความถี่20 kHz 86
รูปที่ 4.5 เปรียบเทียบความสัมพันธ์ระหว่าง L กับ gap ที่ความถี่ 1 kHz , 10 kHz , 20 kHz และ 30 kHz 88
รูปที่ 4.6 เปรียบเทียบความสัมพันธ์ระหว่าง X_L กับ gap ที่ความถี่ 1 kHz , 10 kHz , 20 kHz และ 30 kHz 89
รูปที่ 4.6 แสดงการต่อวงจรขับเบส 90
รูปที่ 4.7 แสดงสัญญาณทริกของ Power MOSFET ตัวที่ 1และ 2 ที่ In phase กัน 91
รูปที่ 4.8 แสดงสัญญาณทริกของ Power MOSFET ตัวที่ 3และ 4 ที่ In phase กัน 92
รูปที่ 4.9 แสดงสัญญาณทริกของ Power MOSFET ตัวที่ 1กับ 3 และ 2 กัน 4 ที่ Out of phase กัน 93
รูปที่ 4.10 แสดงการต่อวงจรกำลัง 94
รูปที่ 4.11 แสดงสัญญาณเอาท์พุทของวงจรกำลัง 95
รูปที่ 4.12 แสดงวงจรทดลองส่วนยกลอย 96
รูปที่ 4.13 แสดงสัญญาณที่ป้อนเข้า ส่วนยกลอย ที่มีระยะช่องอากาศ 8 mm.แล้วดูดติดพอดี 97
รูปที่ 4.14 กราฟผลการทดลอง E-F Curve ทาง AC 99
รูปที่ 4.15 กราฟผลการทดลอง I-F Curve ทาง AC 99
รูปที่ 4.16 กราฟแสดงผลการทดลอง I-F Curve ทาง DC 100
รูปที่ 4.17 กราฟการคำนวณแรงดูดทาง DC 102
รูปที่ 4.18 กราฟการทดลองแรงดูดจากการทดลองเทียบกับการคำนวณทาง DC 103

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 4.1 ความสัมพันธ์ระหว่าง E-I , X_L , L ของแกน Ferrite (POT Core Type) ที่ ความถี่ 1 kHz , 10 kHz , 20 kHz และ 30 kHz ขณะ close gap 76

ตารางที่ 4.2 ความสัมพันธ์ระหว่าง E-I , X_L , L ของแกน Ferrite (POT Core Type) ที่ ความถี่ 1 kHz , 10 kHz , 20 kHz และ 30 kHz ขณะ gap = 1 mm. 77

ตารางที่ 4.3 ความสัมพันธ์ระหว่าง E-I , X_L , L ของแกน Ferrite (POT Core Type) ที่ ความถี่ 1 kHz , 10 kHz , 20 kHz และ 30 kHz ขณะ gap = 2 mm. 78

ตารางที่ 4.4 ความสัมพันธ์ระหว่าง E-I , X_L , L ของแกน Ferrite (POT Core Type) ที่ ความถี่ 1 kHz , 10 kHz , 20 kHz และ 30 kHz ขณะ gap = 3 mm. 79

ตารางที่ 4.5 ความสัมพันธ์ระหว่าง E-I , X_L , L ของแกน Ferrite (POT Core Type) ที่ ความถี่ 1 kHz , 10 kHz , 20 kHz และ 30 kHz ขณะ gap = 4 mm. 80

ตารางที่ 4.6 ความสัมพันธ์ระหว่าง E-I , X_L , L ของแกน Ferrite (POT Core Type) ที่ ความถี่ 1 kHz , 10 kHz , 20 kHz และ 30 kHz ขณะ gap = 5 mm. 81

ตารางที่ 4.7 ความสัมพันธ์ระหว่าง E-I , X_L , L ของแกน Ferrite (POT Core Type) ที่ ความถี่ 1 kHz , 10 kHz , 20 kHz และ 30 kHz ขณะ gap = 6 mm. 82

ตารางที่ 4.8 ความสัมพันธ์ระหว่าง E-I , X_L , L ของแกน Ferrite (POT Core Type) ที่ ความถี่ 1 kHz , 10 kHz , 20 kHz และ 30 kHz ขณะ gap = 7 mm. 83

ตารางที่ 4.9 ความสัมพันธ์ระหว่าง E-I , X_L , L ของแกน Ferrite (POT Core Type) ที่ ความถี่ 1 kHz , 10 kHz , 20 kHz และ 30 kHz ขณะ gap = 8 mm. 84

ตารางที่ 4.10 ความสัมพันธ์ระหว่าง E-I , X_L , L ของแกน Ferrite (POT Core Type) ที่ ความถี่ 1 kHz , 10 kHz , 20 kHz และ 30 kHz ขณะ open gap 85

ตารางที่ 4.11 ความสัมพันธ์ระหว่างค่าความเหนี่ยวนำ (L) กับระยะ gap ที่ความถี่ 1 kHz , 10 kHz , 20 kHz และ 30 kHz

ตารางที่ 4.12 แสดงค่ากระแส (rms.) ที่ระยะช่องอากาศต่าง ๆ ทาง AC 98

ตารางที่ 4.13 แสดงค่าของ induced voltage (rms.) ที่ระยะช่องอากาศต่าง ๆ ทาง AC 98

ตารางที่ 4.14 แสดงค่าของกระแสที่ระยะช่องอากาศต่าง ๆ ทาง DC 100

ตารางที่ 4.15 แสดงค่าของกระแสที่คำนวณได้จากสมการ 101

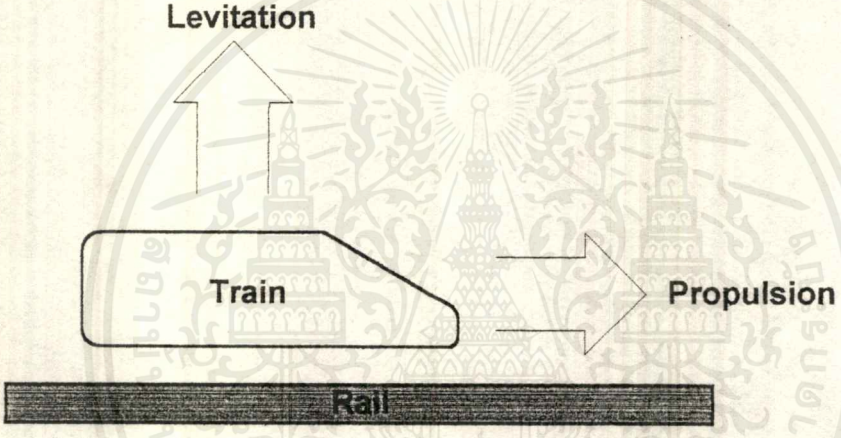
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

รถไฟฟ้าที่อาศัยแรงแม่เหล็กยกตัวรถให้ลอยขึ้นมาจากรางจะเรียกว่า Magnetically Levitation (MAGLEV) ตัวรถจะลอยขึ้นมาจากรางและขับเคลื่อนด้วย Linear Motor

เนื่องจากมีระยะช่องอากาศที่เกิดขึ้นด้านใต้ระหว่างของตัวรถกับตัวราง จึงทำให้แรงเสียดทานในขณะเคลื่อนที่เกิดมาจากแรงเสียดทานทางอากาศเพียงอย่างเดียว โดยไม่มีผลมาจากแรงเสียดทานระหว่างตัวรถกับตัวรางเลย

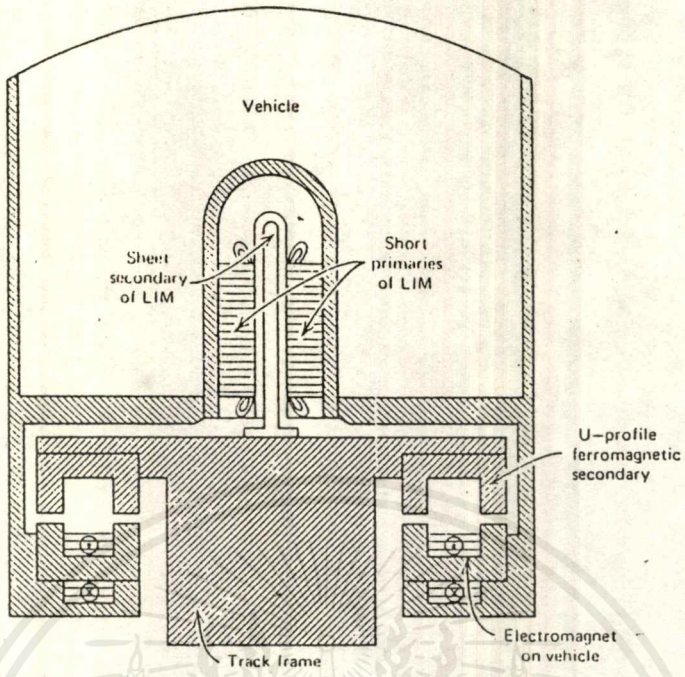


รูปที่1.1ส่วนประกอบต่าง ๆ ในรถไฟฟ้า MAGLEV โดยทั่ว ๆ ไป

ประเภทของ Levitation System แบ่งเป็นประเภทใหญ่ ๆ ได้ 2 ประเภทคือ

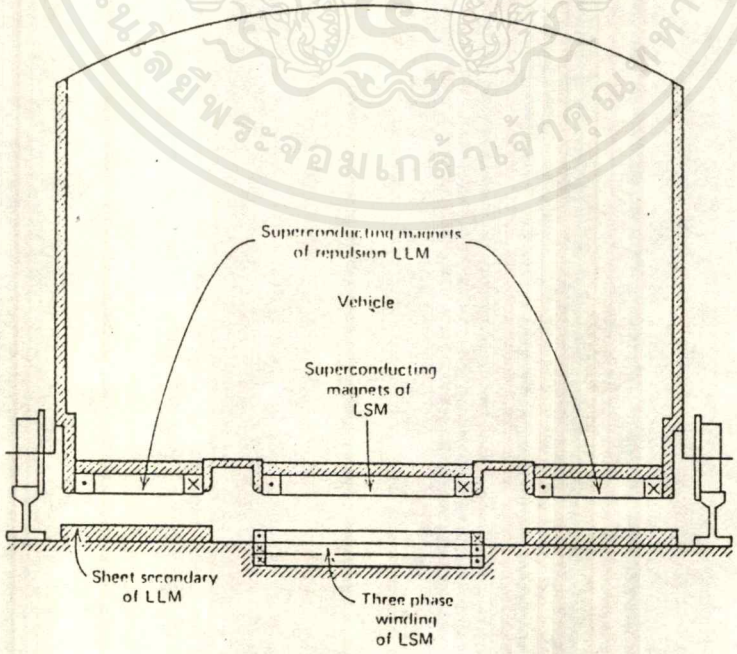
1. Attraction Type จะอาศัยหลักการดูดเป็นตัวยกให้ตัวรถลอยขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่1.2 แสดง Levitation System แบบ Attraction Type

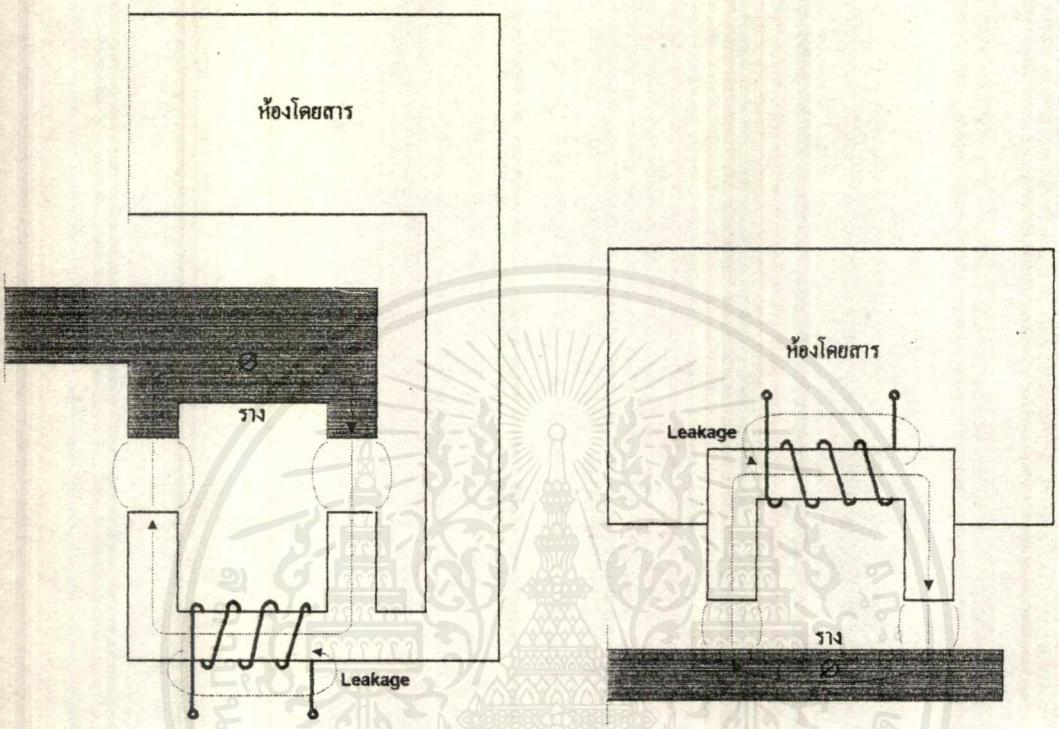
2. Repulsion Type จะอาศัยหลักการผลักเป็นตัวยกตัวรถให้ลอยขึ้น



รูปที่1.3 แสดงLevitation System แบบ Repulsion Type

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อดีของระบบ Attraction Type คือ มี Leakage Flux รั่วไหลเข้าไปในห้องโดยสารน้อยกว่า ระบบ Repulsion Type

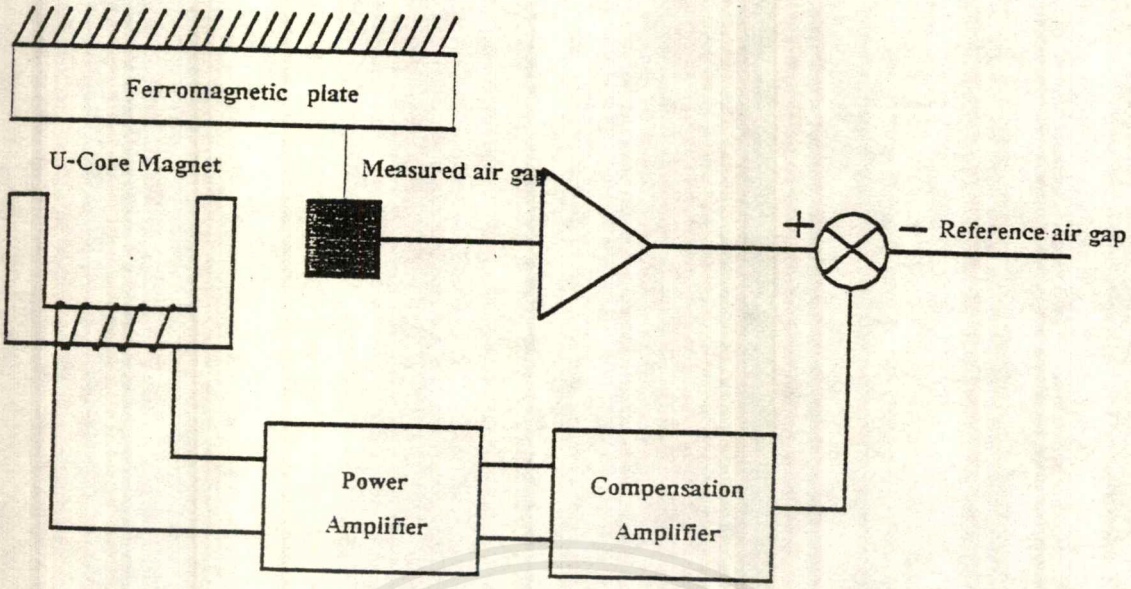


รูปที่ 1.4 แสดงฟลักซ์แม่เหล็กรั่วไหล ในระบบ Attraction กับ Repulsion

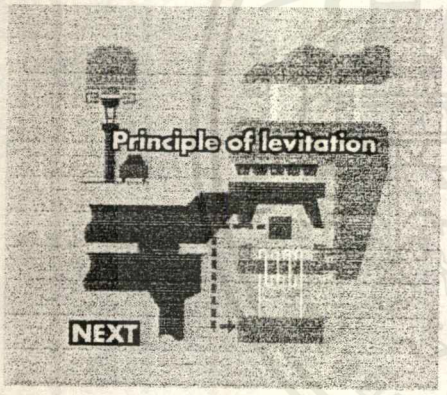
ส่วน ข้อดีของระบบ Repulsion Type คือ ระบบจะมีเสถียรภาพในการลอยตัวสูงกว่าระบบ Attraction Type ซึ่งการยกลอยลอยในระบบ Attraction Type ต้องอาศัยการควบคุมระยะช่องอากาศที่เกิดขึ้นด้านใต้ของตัวรถไม่ให้สัมผัสกับราง และไม่ให้เกิดการยกลอยที่สูงเกินไปจนทำให้แม่เหล็กดูดติดกับรางตลอดเส้นทางการวิ่ง นั่นคือระยะช่องอากาศที่เกิดขึ้นด้านใต้ของตัวรถควรมีค่าคงที่

" โครงงานนี้จึงมีเป้าหมายอยู่ที่ การควบคุมระยะช่องอากาศที่เกิดขึ้น ให้มีค่าคงที่ "

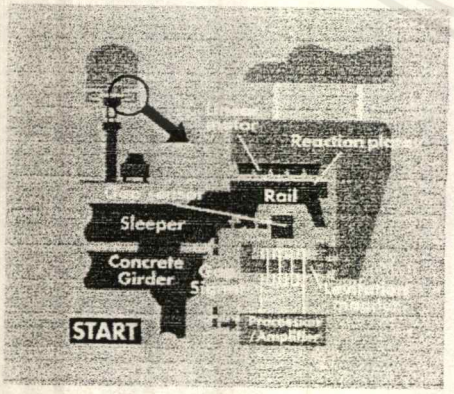
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่1.5 แสดงแนวคิดของระบบควบคุมการยกลอย

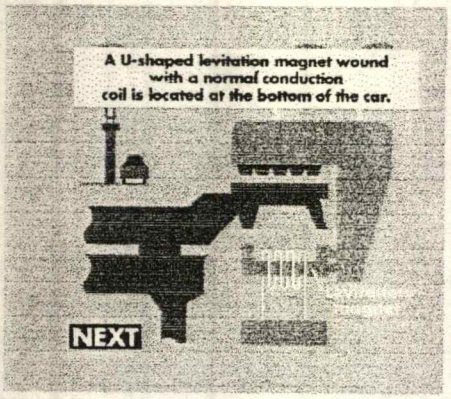


แนวคิดของการยกลอยพื้นฐานสามารถอธิบายได้ดังนี้

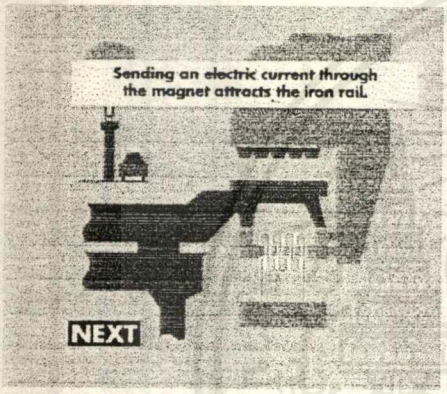


การยกลอยของตัวรถจะอาศัยแรงดูดที่เกิดจากแม่เหล็กที่ติดอยู่ด้านใต้ของตัวรถ ระยะ gap ระหว่างตัวรางกับตัวรถจะถูกวัดโดย gap sensor

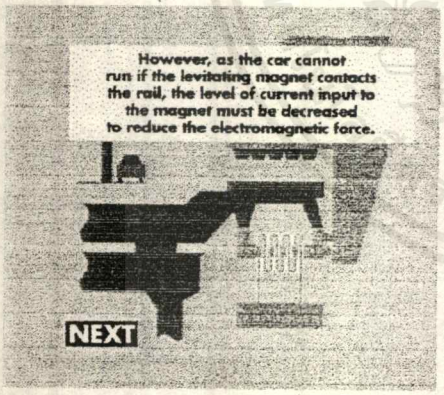
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



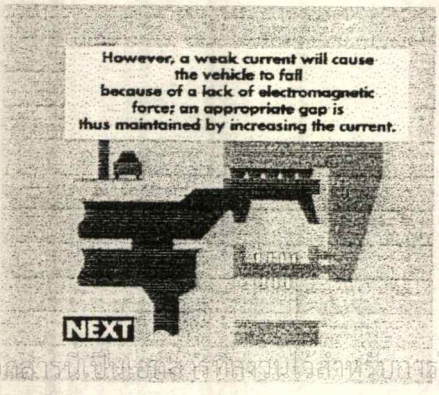
แกนเหล็กรูปตัว U จะพันด้วยตัวนำเพื่อทำเป็นแม่เหล็ก



เมื่อทำการจ่ายกระแสให้กับตัวนำที่พันอยู่นี้จะเกิดแรงดูดขึ้น ทำให้ตัวรถลอยขึ้นได้

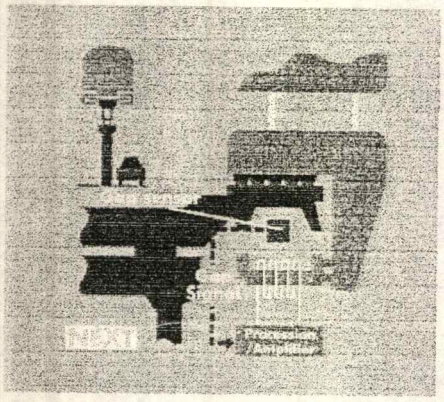


อย่างไรก็ตาม ตัวรถก็ยังไม่สามารถเคลื่อนที่ได้เนื่องจากแม่เหล็กดูดติดกับราง จึงต้องทำการลดกระแสที่จ่ายให้กับแม่เหล็กลงซึ่งเป็นการลดแรงดูดทางแม่เหล็กลงด้วย

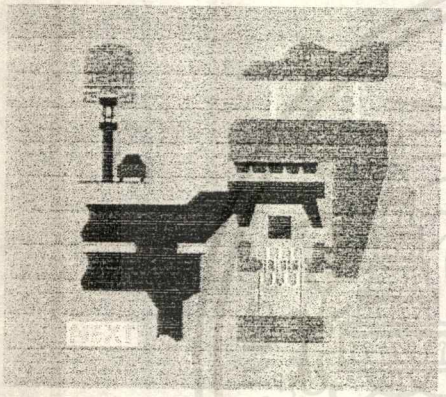


อย่างไรก็ตาม กระแสที่น้อยเกินไปก็จะทำให้แรงดูดลดลงจนตัวรถตกลงมาอยู่บนรางเหมือนเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ระยะช่องอากาศจะถูกวัดโดย gap sensor แล้วส่งค่าระยะช่องอากาศที่วัดได้ ส่งต่อไปให้ในส่วน control



ส่วน control จะทำการประมวลผลระยะช่องอากาศที่เหมาะสม แลวจะทำการจ่ายกระแสที่เหมาะสมไปให้แม่เหล็ก เพื่อทำให้เกิดแรงดูดยกตัวรถให้ลอยขึ้นมาในตำแหน่งที่ต้องการ

รูปที่ 1.6 Principle of Levitation System

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

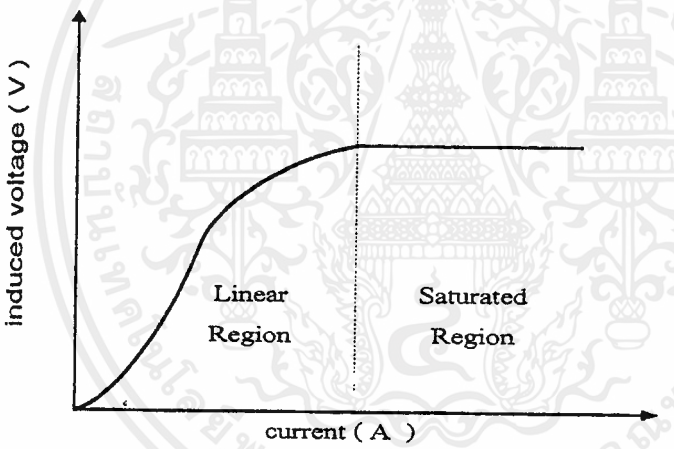
บทที่ 2

ทฤษฎีและหลักการ

เครื่องควบคุมระยะห่างช่องอากาศคงที่ (Constant Air Gap Controller) อาศัยหลักการทำงานของวงจรแม่เหล็ก ไม่ว่าจะเป็นส่วน Sensor หรือส่วนยกลอย โดยอาศัยสนามแม่เหล็กเป็นตัวกลางในการแปรรูปพลังงาน

2.1ทฤษฎีพื้นฐานของ Sensor

ความสัมพันธ์ระหว่าง Induce Voltage (E) กับ Current (I) ของแกนเหล็กที่ทำมาจากสารแม่เหล็ก (Ferromagnetic) ทั้ง แกน Steel และ Ferrite สามารถดูได้จาก Magnetization curve หรือ E-I curve ดังรูปที่2.1 โดยจะเห็นได้ว่าความสัมพันธ์ไม่เป็นเชิงเส้น (Non-linear) โดยเรียกช่วงที่เพิ่มค่า I ขึ้นไปมากๆ แต่ค่า E กลับเพิ่มขึ้นเพียงเล็กน้อยนี้ว่า ช่วงแกนเหล็กอิ่มตัว (Saturated Region)



รูป 2.1 ความสัมพันธ์ระหว่าง E กับ I (E-I curve)

2.1.1ความสัมพันธ์ระหว่าง E-I curve กับความถี่

จากสมการการเหนี่ยวนำศักดาไฟฟ้า (Induced Voltage) จะได้ว่า

$$E_{rms} = 4.44 f N A_C B_{max} \tag{2.1}$$

$$B = \mu H \tag{2.2}$$

$$H = \frac{NI}{l} \tag{2.3}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อกำหนดให้

E : ค่าศักดาไฟฟ้าเหนี่ยวนำ มีหน่วยเป็น V

B : ค่าความหนาแน่นเส้นแรงแม่เหล็ก มีหน่วยเป็น Tesla

N : จำนวนรอบของขดลวด มีหน่วยเป็น turn

A_c: พื้นที่หน้าตัดของแกนเหล็ก มีหน่วยเป็น m^2

H : ความเข้มของสนามแม่เหล็ก มีหน่วยเป็น A.t/m

i : กระแสไฟฟ้าป้อนเข้าขดลวด มีหน่วยเป็น A

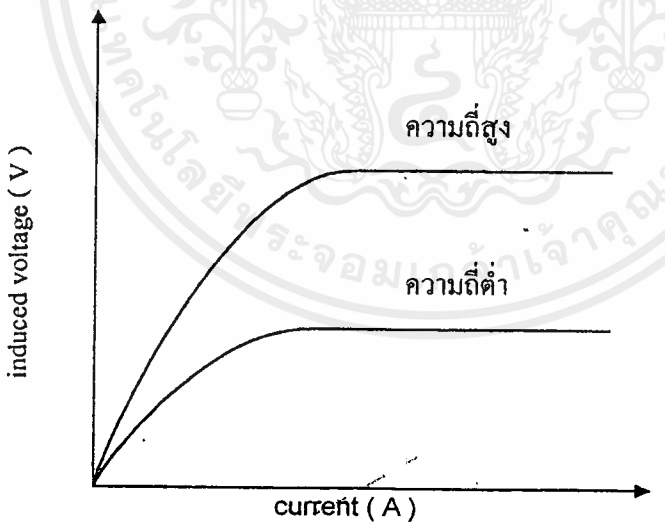
l : ความยาวของแกนเหล็กโดยเฉลี่ย มีหน่วยเป็น m

μ : ความซึมซาบของตัวกลาง (permeability) มีหน่วยเป็น H/m

จากสมการ (2.4) จะเห็นว่า

- ณ ที่ค่า Induced Voltage (E) คงที่ เมื่อค่าความถี่เพิ่มขึ้น ค่ากระแสจะลดลง
- ณ ที่ค่ากระแสคงที่ เมื่อค่าความถี่เพิ่มขึ้น ค่า Induced Voltage จะเพิ่มขึ้นตามด้วย

ดังนั้นนำความสัมพันธ์ที่ได้มา Plot E-I curve ณ ที่ความถี่ต่างๆ จะได้กราฟดังรูปที่ 2.2



รูปที่ 2.2 ความสัมพันธ์ระหว่าง E-I curve กับ ความถี่

2.1.2ความสัมพันธ์ระหว่าง E-I curve กับระยะห่างช่องอากาศ (gap)

จากสมการค่าความเหนี่ยวนำ (L) จะได้

$$L = \frac{N^2}{\Re_C + \Re_g} \qquad (2.5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$L = \frac{N^2}{\Re_C + \Re_g} \tag{2.5}$$

$$\Re = \frac{l}{\mu A} \tag{2.6}$$

เมื่อกำหนดให้

L : เป็นค่าความเหนี่ยวนำ มีหน่วยเป็น H

$\Re$: เป็นค่าความต้านทานแม่เหล็ก (Reluctance) มีหน่วยเป็น A.t/Wb

จากสมการ (2.5) และ (2.6) จะเห็นว่า

— เมื่อ gap กว้างมากๆ จะได้ว่า $\Re_g >> \Re_c$

$$\therefore L = L_g = \frac{N^2}{\Re_g} \tag{2.7}$$

— เมื่อ gap = 0 จะได้ว่า

$$L = L_C = \frac{N^2}{\Re_C} \tag{2.8}$$

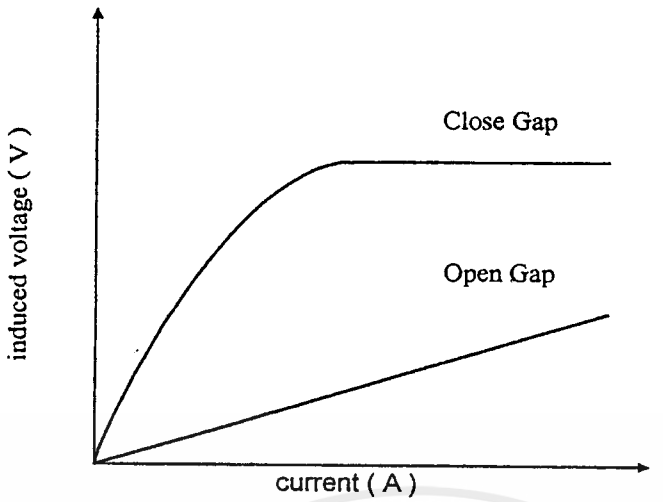
จากสมการ (2.7) และ (2.8) ค่า $\Re_g > \Re_c$ ดังนั้นจะได้ว่า $L_g < L_c$ หรือ $X_{L,g} < X_{L,c}$ เพราะฉะนั้น

— ณ ที่ค่ากระแสคงที่ ค่า Induced Voltage จะลดลงตามระยะ gap

— ณ ที่ค่า Induce Voltage คงที่ ค่ากระแสจะเพิ่มขึ้นตามระยะ gap

ดังนั้นนำความสัมพันธ์ที่ได้มา Plot E-I curve ณ ที่ระยะห่างช่องอากาศต่างๆจะได้ดังรูปที่ 2.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 ความสัมพันธ์ระหว่าง E-I curve กับ gap

2.1.3ความสัมพันธ์ระหว่างค่าความเหนี่ยวนำ (L) กับ ระยะห่างช่องอากาศ (gap)

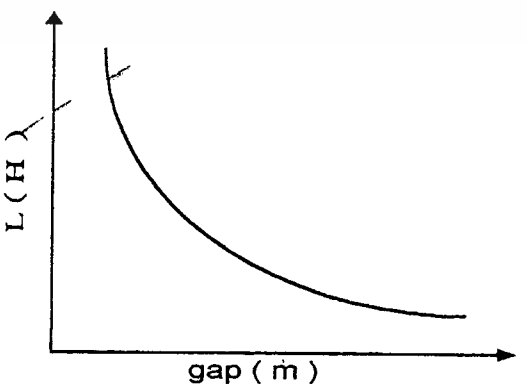
เมื่อวงจรแม่เหล็กมีระยะห่างช่องอากาศ จะทำให้ $\Re_g >> \Re_c$ ดังนั้น จากสมการ (2.5) และ (2.6) จะเขียนความสัมพันธ์ได้ใหม่ดังนี้

$$L = \frac{N^2}{\Re_g} = \frac{N^2 \mu_0 A}{2g} \qquad (2.9)$$

เมื่อกำหนดให้

g : ระยะห่างช่องอากาศ มีหน่วยเป็น m

จากสมการ (2.9) จะได้ความสัมพันธ์คือ เมื่อระยะห่างช่องอากาศมากขึ้น ค่าความเหนี่ยวนำจะลดลง โดยมีลักษณะการลดลงเป็นฟังก์ชันของสมการไฮเพอร์โบลา ซึ่งถ้านำมา Plot curve จะได้ดังรูปที่ 2.4



รูปที่ 2.4 ความสัมพันธ์ระหว่าง L กับ gap

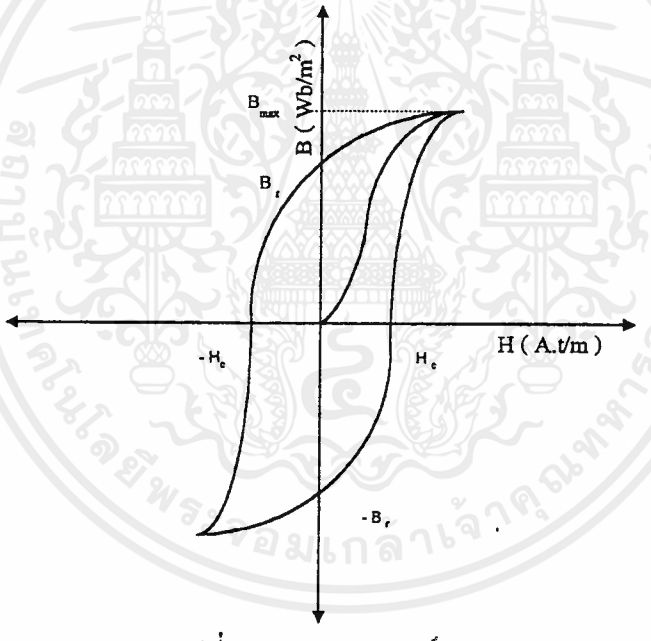
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.4ค่าความสูญเสียในแกนเหล็ก (Steel)

การสูญเสียที่เกิดขึ้นในแกนเหล็กชนิด Steel มีสาเหตุหลัก 2 ประการ คือ

1)Hysteresis loss

ลักษณะความสัมพันธ์ระหว่าง B กับ H ในแกนเหล็กเป็นไปอย่าง Non-linear ซึ่ง เมื่อ H เป็นศูนย์ B ยังไม่เป็นศูนย์ แต่จะมีค่าเท่ากับความหนาแน่นแม่เหล็กตกค้าง (Residual Flux Density, B_r) และเมื่อเพิ่มค่า H ทิศทางตรงข้ามจนถึงค่าหนึ่ง เรียกว่า แรงคืนตัว (Coercive Force, H_c) ค่าความหนาแน่นเส้นแรงแม่เหล็กจะเป็นศูนย์ ซึ่งจะมีผลให้ความสัมพันธ์ระหว่าง B กับ H เป็น Loop เรียกว่า Hysteresis Loop ดังแสดงในรูปที่ 2.5 การเกิด Loop ที่ดงที่จะต้องป้อนไฟฟ้ากระแสสลับซ้ำๆกัน หลายคาบ จึงจะได้ Loop ที่ซ้ำกัน และที่ค่า B_{max} แต่ละค่าจะได้ค่า B_r และ H_c ที่แตกต่างกัน



รูปที่ 2.5 Hysteresis Loop

เราสามารถหากำลังที่สูญเสียในแกนเหล็กเนื่องมาจาก Hysteresis Loop (Hysteresis Loss, P_h) ได้ดังนี้

$$P_h = K_h v f B_{max}^x \qquad (2.10)$$

เมื่อกำหนดให้

$v = A_c l_c$ เป็นปริมาตรของแกนเหล็ก มีหน่วยเป็น m^3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ค่า K_h และ x จะถูกกำหนดโดยคุณสมบัติของสารที่จะนำมาทำเป็นวงจรแม่เหล็ก และค่าสูงสุดของความหนาแน่นของเส้นแรงแม่เหล็ก ซึ่งค่าของ x จะมีค่าระหว่าง 1.5 ถึง 2.5

2)Eddy Current Loss

เป็นความสูญเสียเนื่องมาจากกระแสไหลวน (Eddy Current) ในแกนเหล็ก โดยเหตุที่ทำให้เกิดกระแสไหลวนเพราะมีสนามแม่เหล็กที่มีการเปลี่ยนแปลงกับเวลา ทำให้เกิดการเหนี่ยวนำศักดาไฟฟ้า เมื่อแกนเหล็กเป็นตัวนำก็จะเกิดกระแสไหล เป็นผลให้เกิดความสูญเสียในแกนเหล็ก เรียกว่า Eddy Current Loss

เราสามารถหากำลังที่สูญเสียเนื่องมาจาก Eddy Current (Eddy Current Loss, P_e) ได้ดังนี้

$$P_e = K_e v f^2 \tau^2 B_{max}^2 \qquad (2.11)$$

เมื่อกำหนดให้

v : ปริมาตรของแผ่นเหล็ก Laminate มีหน่วยเป็น m^3

τ : ความหนาของแผ่นเหล็ก Laminate มีหน่วยเป็น m

K_e : ค่าคงที่ขึ้นอยู่กับเนื้อสารที่นำมาทำแกนเหล็ก

2.1.5ค่าการสูญเสียในแกนเฟอร์ไรต์

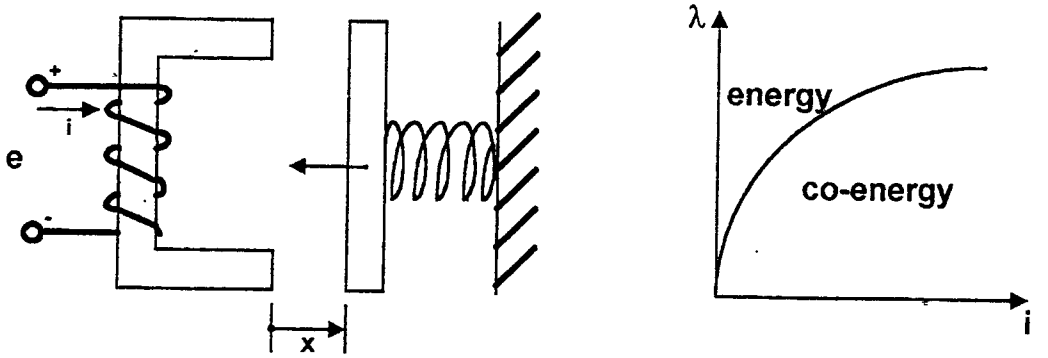
การสูญเสียที่เกิดขึ้นในแกนเฟอร์ไรต์จะทำให้แกนเฟอร์ไรต์ร้อน ซึ่งมีสาเหตุหลัก 2 ประการ คือ การสูญเสียที่เกิดจากลักษณะฮิสเตอร์รีซิสของแกน (Hysteresis Loss) และการสูญเสียจากการเกิดกระแสไหลวนภายในแกนเฟอร์ไรต์ (Eddy Current Loss)

ที่ความถี่ต่ำกว่า 100 kHz การสูญเสียจากการเกิดกระแสไหลวนในแกนจะมีค่าน้อย สำหรับแกนที่มีขนาดไม่ใหญ่มากนัก ดังนั้น การสูญเสียที่ก่อให้เกิดความร้อนในแกน อาจพิจารณาได้จากการสูญเสียทางฮิสเตอร์รีซิสเพียงอย่างเดียว ซึ่งจะมีค่าขึ้นอยู่กับความหนาแน่นฟลักซ์แม่เหล็ก และความถี่การใช้งาน

2.2ทฤษฎีพื้นฐานส่วนยกลอย

แรงที่เกิดจากสนามแม่เหล็ก (Magnetic Force)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 แสดงการเกิดแรงเนื่องจากสนามแม่เหล็ก

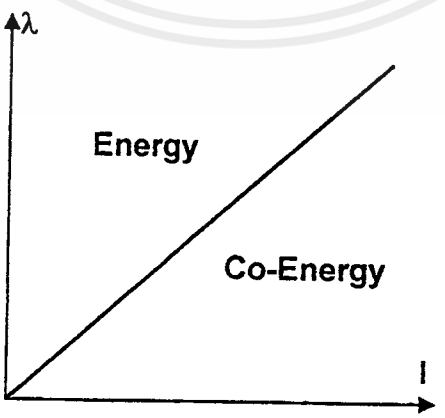
$$F = \frac{\partial W_{fld}}{\partial x}(\lambda, x) \qquad (2.12)$$

โดยที่ : W_{fld} = (energy) พลังงานสะสมในวงจรแม่เหล็ก (J.)

x = ระยะเคลื่อนที่ (m.)

λ = ฟลักซ์แม่เหล็กเกี่ยวคล้อง (Wb.)

ถ้าหากในระบบเป็นแบบ linear จะได้ดังรูปที่2.7



รูปที่2.7 แสดงความสัมพันธ์ระหว่าง λ กับ I แบบ Linear

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$F = \frac{\partial W'_{fld}}{\partial x}(i,x) \qquad (2.13)$$

โดยที่ : W'_{fld} = co – energy

จะเห็นได้ว่า จากสมการที่ 2.13 จะมีตัวแปรอยู่ในรูปของ i กับ x ซึ่งสามารถเข้าใจและสามารถวัดได้ง่ายกว่า สมการที่ 2.12 ซึ่งมีตัวแปร คือ λ กับ x จึงทำให้การคำนวณหาแรงที่เกิดจากสนามแม่เหล็กนิยมใช้วิธี co - energy โดยที่

$$W'_{fld} = \frac{1}{2}L(x)i^2 \qquad (2.14)$$

โดยที่ : $L(x)$ = ค่า inductance ของวงจรแม่เหล็ก (H.)

ในการคำนวณค่า L(x) จะสมมติว่า ความสัมพันธ์ของ x กับ i เป็นเชิงเส้น (linear) และถือว่าไม่มี Leakage Flux จะได้ว่า

$$L(x) = \frac{N^2}{\Re(x)} \qquad (2.15)$$

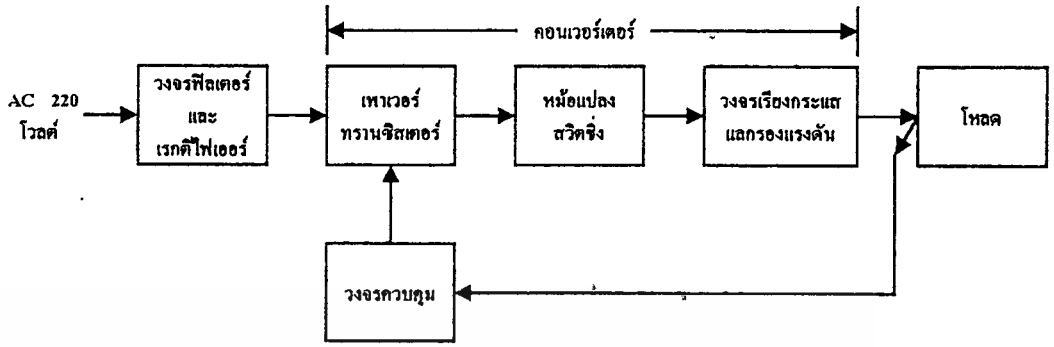
โดยที่ : $\Re(x)$ = ค่าความต้านทานแม่เหล็กรวมในวงจรแม่เหล็ก (A.t/Wb.)

2.3ทฤษฎีพื้นฐานของแหล่งจ่ายไฟสวิตชิ่ง (Switching Power Supply)

สวิตชิ่งเพาเวอร์ซัพพลายเป็นแหล่งจ่ายไฟตรงคงแรงดันแบบหนึ่ง และสามารถเปลี่ยนแรงดันไฟจากระบบแรงดันไฟสลับที่ 110 โวลต์ หรือ 220 โวลต์ ให้เป็นแรงดันไฟตรงค่าต่ำ เพื่อใช้ในงานอิเล็กทรอนิกส์ได้เช่นเดียวกับแหล่งจ่ายไฟตรงแบบเชิงเส้น หรือที่เรียกว่าลิเนียร์เพาเวอร์ซัพพลาย เพาเวอร์ซัพพลายทั้งสองแบบจำเป็นต้องใช้หม้อแปลงในการลดทอนแรงดันที่ 220 โวลต์ลงมาเป็นแรงดันไฟค่าต่ำเช่นเดียวกัน แต่มีข้อแตกต่างอยู่ที่ขนาดและน้ำหนักของหม้อแปลง โดยที่หม้อแปลงของลิเนียร์เพาเวอร์ซัพพลายจะมีขนาดใหญ่และมีน้ำหนักมากเมื่อเปรียบเทียบกับหม้อแปลงของสวิตชิ่งเพาเวอร์ซัพพลาย การพัฒนาของลิเนียร์เพาเวอร์ซัพพลายจึงมีขีดจำกัดอยู่ที่การใช้หม้อแปลงขนาดใหญ่และมีน้ำหนักมาก รวมถึงประสิทธิภาพที่ได้ค่อนข้างต่ำ

หัวใจสำคัญของสวิตชิ่งเพาเวอร์ซัพพลายจะอยู่ที่คอนเวอร์เตอร์ เนื่องจากจะเป็นทั้งตัวลดทอนแรงดันและคงค่าแรงดันที่เอาท์พุตด้วย ส่วนองค์ประกอบต่างๆ จะทำงานเป็นลำดับดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 แสดงองค์ประกอบพื้นฐานของสวิตชิ่งเพาเวอร์ซัพพลายโดยทั่วไป

-สวิตชิ่งเพาเวอร์ซัพพลายเมื่อเปรียบเทียบกับลิเนียร์เพาเวอร์ซัพพลาย

ข้อได้เปรียบของสวิตชิ่งเพาเวอร์ซัพพลายก็คือ มีประสิทธิภาพสูง ขนาดเล็ก และมีน้ำหนักเบากว่าลิเนียร์เพาเวอร์ซัพพลาย ลิเนียร์เพาเวอร์ซัพพลายนั้นใช้หม้อแปลงความถี่ต่ำซึ่งมีขนาดใหญ่และมีน้ำหนักมาก และขณะใช้งานจะมีแรงดันและกระแสผ่านตัวหม้อแปลงตลอดเวลา กำลังงานสูญเสียที่อินพุตของหม้อแปลงจะมีค่าสูง การคงค่าแรงดันของลิเนียร์เพาเวอร์ซัพพลายส่วนใหญ่จะใช้เพาเวอร์ทรานซิสเตอร์ต่ออนุกรมที่เอาท์พุตเพื่อจ่ายกระแสและคงค่าแรงดัน กำลังงานสูญเสียในรูปความร้อนจะมีค่าสูงและต้องใช้แผ่นระบายความร้อนขนาดใหญ่ซึ่งกินเนื้อที่ เมื่อเพาเวอร์ซัพพลายต้องจ่ายกำลังงานสูงๆ จะทำให้มีขนาดใหญ่และมีน้ำหนักมาก ปกติลิเนียร์เพาเวอร์ซัพพลายจะมีประสิทธิภาพประมาณ 30% หรืออาจทำได้สูงถึง 50% ในบางกรณี ซึ่งนับได้ว่าค่อนข้างต่ำ เมื่อเปรียบเทียบกับสวิตชิ่งเพาเวอร์ซัพพลายซึ่งมีประสิทธิภาพในช่วง 65% - 80%

สวิตชิ่งเพาเวอร์ซัพพลายมีช่วงเวลาโฮลด์อัพประมาณ 20×10^{-3} ถึง 50×10^{-3} วินาที ในขณะที่ลิเนียร์เพาเวอร์ซัพพลายสามารถทำได้เพียงแค่ประมาณ 2×10^{-3} วินาที ซึ่งมีผลต่อการจัดหาแหล่งจ่ายไฟสำรองเพื่อป้องกันการหยุดทำงานของอุปกรณ์ที่ใช้กับเพาเวอร์ซัพพลายเมื่อเกิดการหยุดจ่ายแรงดันไฟสลับ รวมทั้งสวิตชิ่งเพาเวอร์ซัพพลายสามารถทำงานได้ในช่วงแรงดันอินพุตค่อนข้างกว้าง จึงยังคงสามารถทำงานได้เมื่อเกิดกรณีแรงดันตกอีกด้วย

อย่างไรก็ตาม สวิตชิ่งเพาเวอร์ซัพพลายมีเสถียรภาพในการทำงานที่ต่ำกว่า และก่อให้เกิดสัญญาณรบกวนได้สูงเมื่อเปรียบเทียบกับลิเนียร์เพาเวอร์ซัพพลาย รวมทั้งสวิตชิ่งเพาเวอร์ซัพพลายยังมีความซับซ้อนของวงจรมากกว่าและมีราคาสูง ที่กำลังงานต่ำๆ ลิเนียร์เพาเวอร์ซัพพลายจะประหยัดกว่าและให้ผลดีได้เช่นกัน ดังนั้นสวิตชิ่งเพาเวอร์ซัพพลายจึงมักจะนิยมใช้กันในงานที่ต้องการกำลังงานตั้งแต่ 20 วัตต์ขึ้นไปเท่านั้น

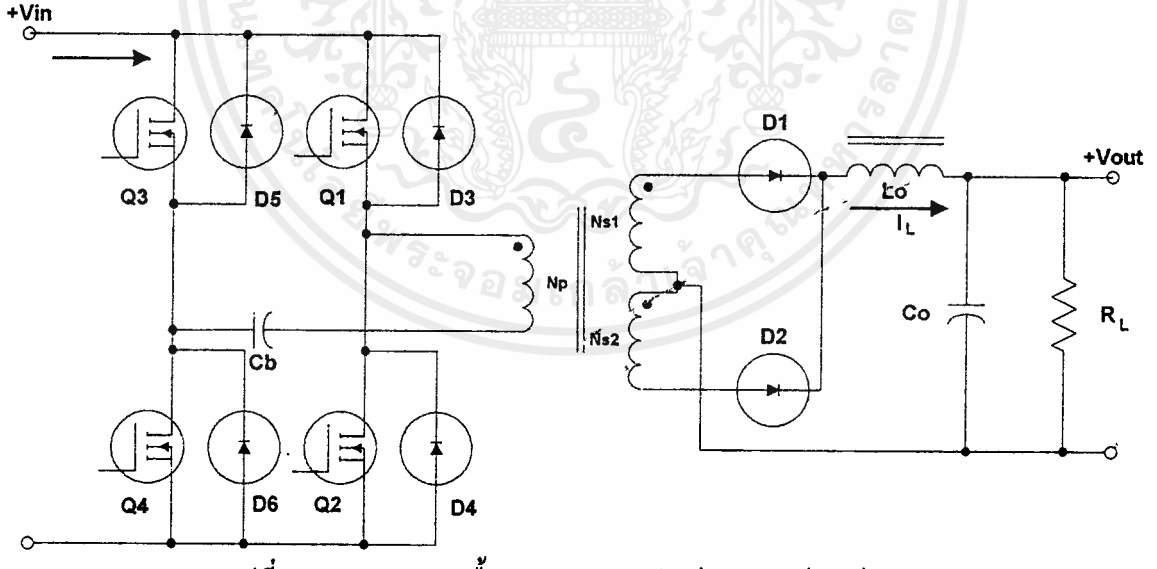
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.1 ฟูลบริดจ์คอนเวอร์เตอร์ (Full-bridge Converter)

ฟูลบริดจ์คอนเวอร์เตอร์ (Full-bridge Converter) ขณะทำงานจะมีแรงดันตกคร่อมขดไพรมารีเท่ากับแรงดันอินพุต แต่แรงดันตกคร่อมเพาเวอร์มอสเฟตมีค่าเพียงครึ่งหนึ่งของแรงดันอินพุตเท่านั้น และค่ากระแสสูงสุดที่เพาเวอร์มอสเฟตแต่ละตัวนั้นมีค่าเป็นครึ่งหนึ่งของค่ากระแสสูงสุดในฮาล์พบริดจ์คอนเวอร์เตอร์ที่กำลังขาออกเท่ากัน เนื่องจากข้อจำกัดด้านเพาเวอร์มอสเฟต ลดน้อยลงไป กำลังงานสูงสุดที่จะได้จากฟูลบริดจ์คอนเวอร์เตอร์จึงมีค่าสูงได้ตั้งแต่ 500 วัตต์ จนถึง 1000 วัตต์

-พื้นฐานการทำงานของฟูลบริดจ์คอนเวอร์เตอร์

วงจรพื้นฐานของฟูลบริดจ์คอนเวอร์เตอร์แสดงไว้ในรูปที่ 2.9 การทำงานของวงจรจะเป็นดังนี้



รูปที่ 2.9 แสดงวงจรพื้นฐานของฟูลบริดจ์คอนเวอร์เตอร์

เพาเวอร์มอสเฟตทั้ง 4 ตัวจะทำงานโดยนำกระแสและหยุดนำกระแสสลับกันเป็นคู่ๆ ในแต่ละครึ่งคาบเวลา $Q_{1,4}$ จะนำกระแสพร้อมกันในครึ่งคาบเวลา และเมื่อหยุดนำกระแส $Q_{2,3}$ จะนำกระแสในครึ่งคาบเวลาที่เหลือ สลับกันเช่นนี้เรื่อยไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ $Q_{1,4}$ นำกระแสและ $Q_{2,3}$ ไม่นำกระแส แรงดันตกคร่อม $Q_{2,3} = V_{in} - V_{CEQ_{2(sat)}}$ ส่วนแรงดันตกคร่อมของไพรมารี N_p จะมีค่าเท่ากับ $V_{in} - 2V_{CE(sat)}$ นั่นเอง และในทำนองเดียวกัน เมื่อ $Q_{2,3}$ นำกระแส $Q_{1,4}$ ไม่นำกระแส แรงดันตกคร่อม $Q_{1,4}$ จะมีค่าเท่ากับ $V_{in} - V_{CEQ_{2(sat)}}$ เช่นเดียวกัน แรงดันตกคร่อมไพมารี N_p ก็ยังคงเท่ากับ $V_{in} - 2V_{CE_{(sat)}}$

ส่วนไดโอด D_3 - D_6 ที่ต่อคร่อมเพาเวอร์มอสเฟต $Q_{1,2,3,4}$ อยู่นั้นเรียกว่า คอมมิวเตติ้งไดโอด (Commutating Diode) มีหน้าที่คือป้องกันการเกิดแรงดันสไปค์ในขณะที่เพาเวอร์มอสเฟตเริ่มหยุดนำกระแสเนื่องจากค่าความเหนี่ยวนำแฝงในหม้อแปลง โดยพลังงานที่สะสมอยู่ในตัวเหนี่ยวนำแฝงนี้จะถูกถ่ายเทออกไปยังภาคอินพุตด้วยคอมมิวเตติ้งไดโอด จึงไม่ทำให้เกิดแรงดันสไปค์เมื่อเพาเวอร์มอสเฟตเริ่มหยุดนำกระแส

-<u>ค่าเวลาเผื่อ t_D สำหรับฟูลบริดจ์คอนเวอร์เตอร์</u>

การกำหนดค่าเวลาเผื่อ (dead time) ไว้เพื่อไม่ให้เพาเวอร์มอสเฟตมีช่วงเวลานำกระแสมากเกินไป มีเหตุผลหลักสองประการคือ ประการแรก ถ้าไม่มีการจำกัดช่วงเวลานำกระแสเอาไว้ เมื่อเกิดกรณีโหลดดึงกระแสมากขึ้น วงจรควบคุมจะสั่งงานให้เพาเวอร์มอสเฟตมีค่าช่วงเวลานำกระแสเพิ่มขึ้น ทำให้ช่วงเวลานำกระแสของเพาเวอร์มอสเฟตตัวที่เหลือมีค่าลดลง และเกิดการไม่สมมาตรฟลักซ์ขึ้นในแกนเฟอร์ไรต์ของหม้อแปลง แกนเฟอร์ไรต์จะเข้าสู่จุดอิ่มตัวอย่างรวดเร็วทำให้เพาเวอร์มอสเฟตพังเสียหายได้ เหตุผลอีกประการหนึ่งก็คือ ถึงแม้จะกำหนดให้วงจรควบคุมสั่งงานเพาเวอร์มอสเฟตที่ครึ่งหนึ่งของคาบเวลาเท่ากันแล้วก็ตาม เพาเวอร์มอสเฟตก็ยังไม่ปลอดภัยเพียงพอ เพราะการตอบสนองของเพาเวอร์มอสเฟตอาจเป็นไปได้ช้าเนื่องจากการเกิดประจุสะสมขึ้นในมอสเฟตนำกระแส เมื่อหยุดจ่ายกระแสไบแอสให้กับเพาเวอร์มอสเฟตที่เวลา $t = T/2$ ประจุจะสะสมจะทำให้เพาเวอร์มอสเฟตนำกระแสต่อไปได้อีกชั่วระยะเวลาหนึ่งก่อนที่กระแสจะลดลงจนมีค่าเป็นศูนย์ ในขณะเดียวกันกับเพาเวอร์มอสเฟตตัวที่เหลือเริ่มได้รับกระแสไบแอสที่เวลา $t = T/2$ เช่นเดียวกัน ทำให้เพาเวอร์มอสเฟตทั้งสองตัวเกิดนำกระแสพร้อมกัน ในกรณีนี้แรงดันตกคร่อมมอสเฟตทั้งสองตัวขณะนำกระแสจะเท่ากับค่าของแรงดันอินพุต และทำให้เกิดการพังเสียหายอย่างรวดเร็ว

วงจรฟูลบริดจ์คอนเวอร์เตอร์เมื่อพิจารณาจากวงจรจะเห็นว่า Q_1 กับ Q_2 และ Q_3 กับ Q_4 จะนำกระแสพร้อมกันไม่ได้ เพราะจะทำให้เกิดการลัดวงจรของแรงดันอินพุตและมอสเฟตจะพังเสียหายได้ การกำหนดค่าเวลาเผื่อ t_D จึงมีความจำเป็น ถ้ากำหนดค่าเวลาเผื่อ t_D ไว้ที่ 20% ของค่าครึ่งคาบเวลา ช่วงเวลานำกระแสสูงสุดของเพาเวอร์มอสเฟต $t_{ON(max)}$ ก็จะมีค่าได้ไม่เกิน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

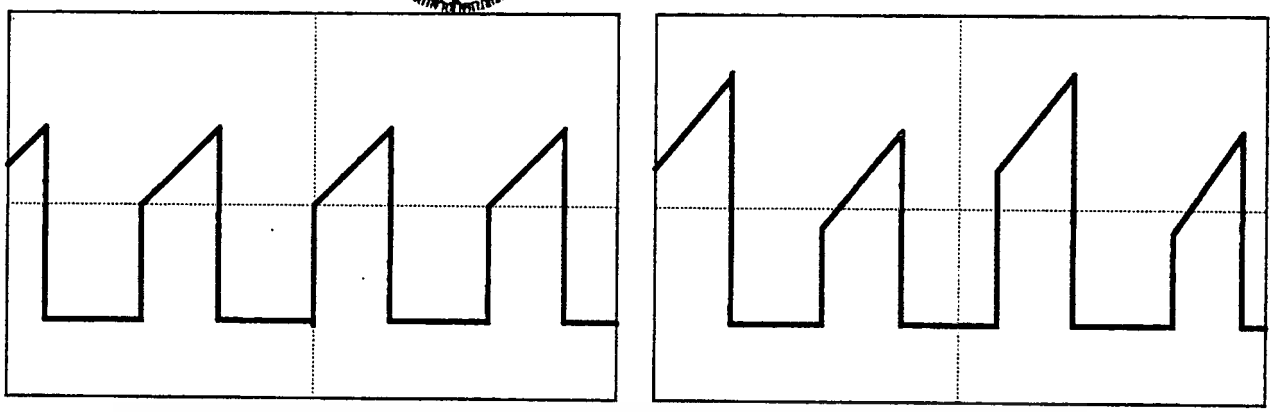
$$t_{ON(max)} = 0.8\left(\frac{T}{2}\right)$$
$$= 0.4T$$

-การไม่สมมาตรฟลักซ์ในแกนเฟอร์ไรต์ (Flux imbalance)

การเกิดไม่สมมาตรฟลักซ์ (Flux imbalance) ขึ้นในแกนเฟอร์ไรต์ของหม้อแปลง ซึ่งจะทำให้แกนเฟอร์ไรต์อิ่มตัวอย่างรวดเร็วและเพาเวอร์มอสเฟตเกิดพังเสียหายขึ้นได้ สาเหตุสำคัญที่ทำให้เกิดการไม่สมมาตรฟลักซ์ของแกนเฟอร์ไรต์นั้นไม่เท่ากันอย่างแท้จริง เนื่องจากข้อจำกัดในการผลิตมอสเฟต ถ้ามอสเฟตตัวใดใช้เวลาในการหยุดนำกระแสมากกว่า จะทำให้ค่ากระแสสูงสุดของมันในช่วงที่นำกระแสมีค่ามากกว่าของอีกตัวหนึ่งลักษณะเช่นนี้จะทำให้ฟลักซ์แม่เหล็กที่เกิดขึ้นในแกนหม้อแปลงมีลักษณะไม่สมมาตร และจะมีการเลื่อนของค่าฟลักซ์สูงสุดได้หรือที่เรียกว่า "flux walking" เกิดขึ้น โดยค่าฟลักซ์สูงสุดจะวิ่งเข้าหาจุดอิ่มตัวอย่างรวดเร็ว ถ้าแกนเกิดการอิ่มตัวของฟลักซ์แม่เหล็ก ก็จะเป็นอันตรายต่อเพาเวอร์มอสเฟตในวงจรได้

การสังเกตการเกิดการไม่สมมาตรของฟลักซ์นั้น ให้สังเกตจากลักษณะของกระแสที่ไหลผ่านมอสเฟตใน branch เดียวกัน (Q_1 กับ Q_2 หรือ Q_3 กับ Q_4 ซึ่งปกติค่ากระแสสูงสุดต้องมีค่าเท่ากัน) ถ้าเกิดลักษณะไม่เท่ากันก็แสดงว่าเกิดการไม่สมมาตรฟลักซ์ในแกนเฟอร์ไรต์ขึ้นแล้ว ดังแสดงในรูปที่ 2.10 ปัญหาการไม่สมมาตรฟลักซ์นับเป็นอุปสรรคใหญ่ในการสร้างพุช-พูลคอนเวอร์เตอร์ การแก้ปัญหาอาจทำได้โดยการใช้การควบคุมในโหมดกระแส การเปลี่ยนมาใช้เพาเวอร์มอสเฟตจะช่วยลดการเกิดไม่สมมาตรฟลักซ์ได้มาก หรืออาจเปลี่ยนมาใช้วงจรฮาล์พบริดจ์หรือฟูลบริดจ์คอนเวอร์เตอร์ เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) (ข)

รูปที่ 2.10 แสดงลักษณะของกระแสในลักษณะปกติ (ก) และลักษณะของกระแสเมื่อเกิดไม่สมมาตรฟลักซ์แม่เหล็กในหม้อแปลง (ข)

-แรงดันเอาท์พุต

เนื่องจากฟูลบริดจ์คอนเวอร์เตอร์มีเพาเวอร์มอสเฟตต่อดั่นระหว่างขดไพรมารี N_p กับแรงดันอินพุตอยู่ถึงสองตัว ถ้ากำหนดให้แรงดันตกคร่อมขณะนำกระแส $V_{CE(sat)}$ ของเพาเวอร์มอสเฟตทั้งสองตัวมีค่าเท่ากัน แรงดันเอาท์พุตจะหาได้จาก

$$V_{out} = \frac{N_s}{N_p}\left(V_{in} - 2V_{CE(sat)}\right)\frac{t_{ON}}{(T/2)} - V_D \qquad (2.16)$$

-อัตราส่วนจำนวนรอบ N_p / N_s และจำนวนรอบ N_p และ N_s

ค่าอัตราส่วนจำนวนรอบ N_p/N_s จะหาได้จากสมการที่ 2.17 ดังนี้

$$\frac{N_p}{N_s} = \frac{\left(V_{in(min)} - 2V_{CE(sat)}\right)t_{ON(max)}}{\left(V_{out} + V_D\right)(T/2)} \qquad (2.17)$$

กำหนดจำนวนรอบ N_p โดย

$$N_p = \frac{\left(V_{in(min)} - 2V_{CE(sat)}\right)t_{ON(max)}}{\Delta B_{(max)} A_e} \times 10^8 \qquad (2.18)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้ง
038583

-ค่ากระแสสูงสุดไพรมารี

ค่ากระแสสูงสุดไพรมารี $I_{p(PK)}$ จะหาได้จาก

$$I_{p(PK)} = \frac{P_O T}{2\eta V_{in(\min)} t_{ON(\max)}} + \frac{\left(V_{in(\max)} - 2V_{CE(sat)}\right)}{L_p} t_{ON(\max)} \qquad (2.19)$$

เมื่อเปรียบเทียบกับฮาล์พบริดจ์คอนเวอร์เตอร์ จะเห็นว่าที่กระแสไพรมารีเท่ากัน ฟูลบริดจ์คอนเวอร์เตอร์จะให้กำลังขาออกได้มากกว่าเป็นสองเท่า อย่างไรก็ตาม ฟูลบริดจ์คอนเวอร์เตอร์ก็ต้องใช้เพาเวอร์มอสเฟตถึง 4 ตัวเช่นเดียวกัน

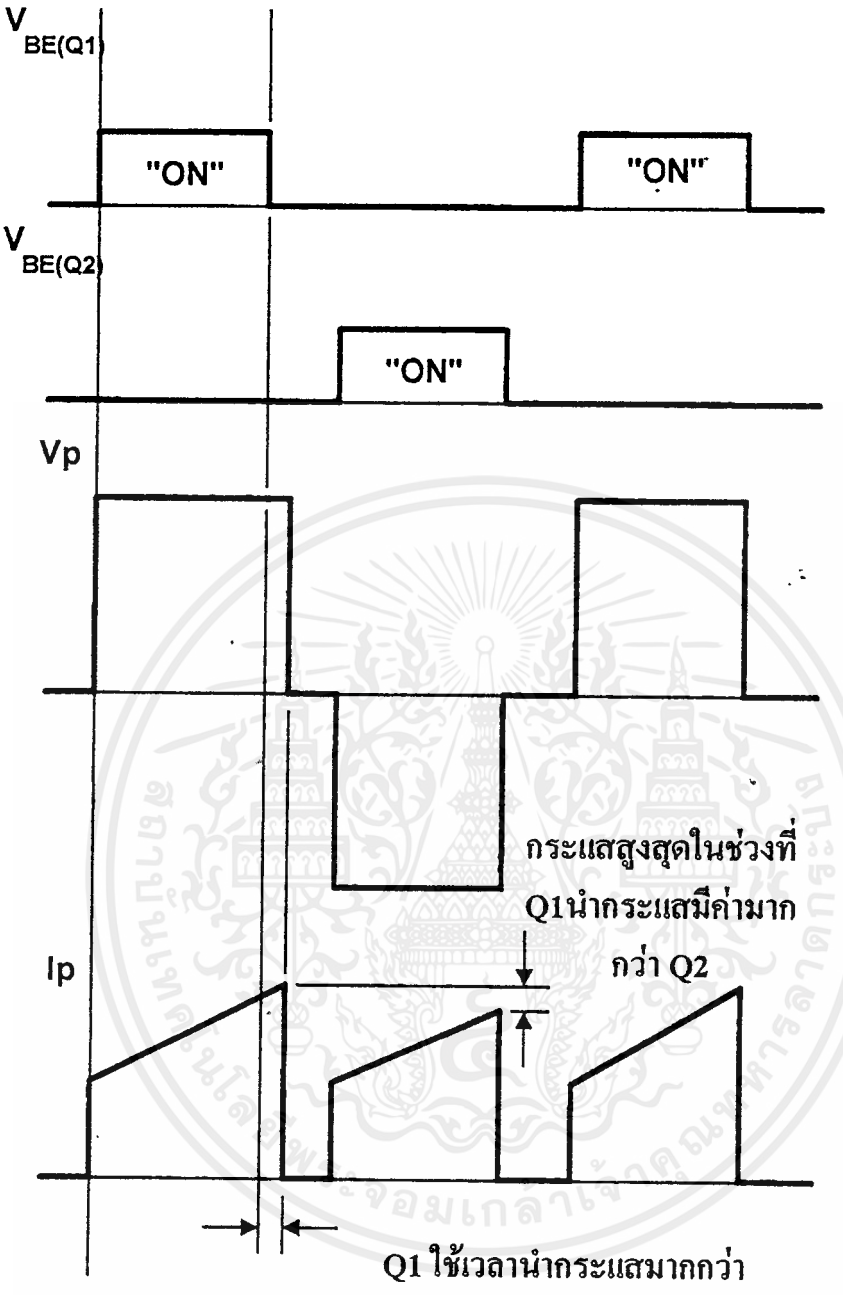
-การกำหนดค่า C_b , L_g และ C_g

1) ตัวเก็บประจุบล็อคกิ้ง C_b เพื่อป้องกันการไม่สมมาตรฟลักซ์แม่เหล็ก

ตัวเก็บประจุบล็อคกิ้ง (Blocking Capacitor) C_b ที่ต่อเพิ่มเข้ามาในวงจรนั้น มีหน้าที่หลักคือ ป้องกันการเกิดไม่สมมาตรฟลักซ์ขึ้นในแกนเฟอร์ไรต์ขณะวงจรทำงาน เพราะในทางปฏิบัติการไม่แมตช์กันของเพาเวอร์มอสเฟตอาจก่อให้เกิดปัญหาการไม่สมมาตรฟลักซ์ขึ้นได้

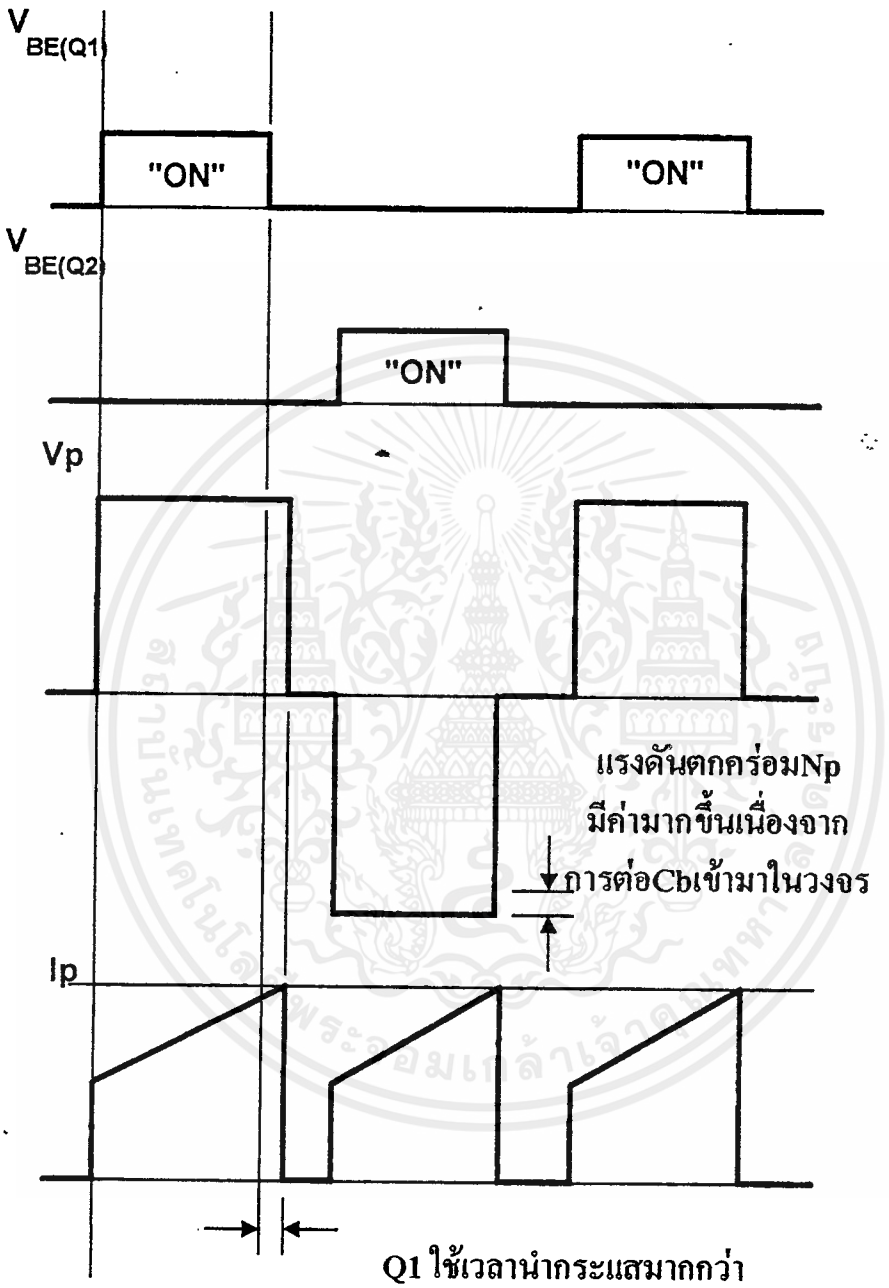
การต่อตัวเก็บประจุบล็อคกิ้ง C_b คั่นเข้ามาในวงจร จะทำให้ C_b มีการเก็บประจุและคายประจุสลับกันไปตามทิศทางของกระแสที่ไหลในขดไพรมารี N_p ถ้าผลของการเกิดประจุสะสมทำให้ $Q_{1,4}$ และ $Q_{2,3}$ มีช่วงเวลานำกระแสไม่เท่ากัน ก็จะทำให้การเก็บประจุและคายประจุของ C_b ใช้เวลาไม่เท่ากันด้วยเป็นผลทำให้มีประจุเหลือค้างใน C_b และทำให้เกิดค่าแรงดันตกคร่อม C_b นั่นคือ หากเพาเวอร์มอสเฟตตัวใดมีค่าช่วงเวลานำกระแสมากกว่า ในกรณีนี้ค่ากระแสสูงสุดจะมีค่ามากขึ้นตามช่วงเวลาที่เพิ่มขึ้นด้วย อย่างไรก็ตามก็จะทำให้มีประจุเหลือค้างใน C_b ดังนั้นเมื่อเพาเวอร์มอสเฟตอีกตัวเริ่มนำกระแส แรงดันตกคร่อมใน C_b จะช่วยเพิ่มค่าแรงดันตกคร่อมขดไพรมารีให้มีค่ามากขึ้น ค่าของกระแสสูงสุดก็จะมีค่าเท่ากันได้และไม่เกิดการไม่สมมาตรฟลักซ์ขึ้น ส่วนการทำงานของ C_b ในกรณีที่แรงดันตกคร่อม C_1 และ C_2 มีค่าไม่เท่ากันนั้นก็จะเป็นไปในทำนองเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 (ก) แสดงลักษณะของการไม่สมมาตรฟลักซ์เนื่องจาก Q_1 ใช้เวลานำกระแสมากกว่า Q_2

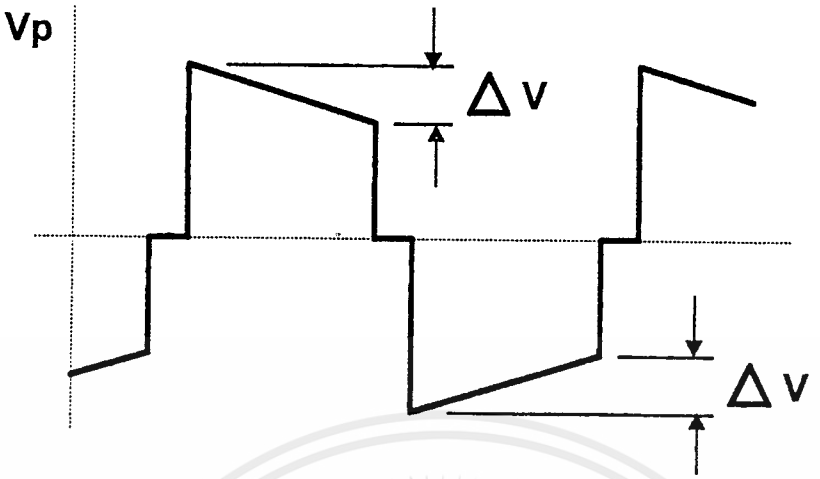
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข)

รูปที่ 2.11 (ข) แสดงผลของการต่อตัวเก็บประจุบล็อคกิ้ง C_b เข้ามาในวงจร เพื่อลดการไม่สมมาตรฟลักซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 แสดงลักษณะของการเกิดความลาด (D_{roop}) ขึ้นบนแรงดันที่ตกคร่อมขดไพรมารี เมื่อต่อตัวเก็บประจุบล็อคกิ้ง C_b คั่นเข้ามาในวงจร

อย่างไรก็ตาม การต่อตัวเก็บประจุบล็อคกิ้ง C_b คั่นเข้าไปในวงจร จะทำให้แรงดันที่ตกคร่อมขดไพรมารีมีค่าลดลงตามเวลาหรือเกิดความลาด (droop) ขึ้นบนแรงดัน เนื่องจากแรงดันส่วนหนึ่งไปตกคร่อม C_b นั่นเอง และจะมีผลต่อแรงดันทางด้านเซคั่นดารี่ทำให้เกิดการกระเพื่อมของแรงดันที่เอาท์พุตซึ่งไม่เป็นที่ต้องการเช่นกัน ดังนั้นจึงจำเป็นต้องกำหนดค่า C_b ให้มีค่าเหมาะสม เพื่อให้เกิดความลาดบนแรงดันที่ขดไพรมารีต่ำที่สุด การกำหนดค่าของ C_b อาจทำได้ดังนี้คือ

$$C_b = \frac{I_{p(PK)}(0.4T)}{\Delta V} \qquad (2.20)$$

เมื่อ $I_{p(PK)}$ คือ ค่ากระแสสูงสุดที่ขดไพรมารี

ΔV คือ ค่าของความลาดแรงดันสูงสุดที่ยอมได้ (ไม่เกิน 20 % ของ V_{in} / 2)

T คือ ค่าคาบเวลาการทำงานของคอนเวอร์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) เอาท์พุตโช้ค L_o

เพื่อให้คอนเวอร์เตอร์คงการทำงานในโหมดกระแสต่อเนื่อง การกำหนดค่าความเหนี่ยวนำของเอาท์พุตโช้ค L_o ที่เหมาะสมนับเป็นสิ่งจำเป็น ค่าของ L_o ที่ต่ำเกินไป คอนเวอร์เตอร์จะไม่สามารถคงการทำงานในโหมดกระแสต่อเนื่องที่โหลดค่าต่ำๆ และทำให้เกิดแรงดันกระเพื่อมที่เอาท์พุตสูง ส่วนการกำหนดค่าของ L_o ให้มีค่าสูงเกินไป เอาท์พุตโช้คจะมีขนาดใหญ่และมีราคาแพง และทำให้คอนเวอร์เตอร์ตอบสนองต่อโหลดที่มีการเปลี่ยนแปลงอย่างทันทีทันใดได้ช้า

-การกำหนดค่าต่ำสุด $L_{o(min)}$

ค่าต่ำสุดของเอาท์พุตโช้ค $L_{o(min)}$ จะถูกจำกัดได้ในสองลักษณะคือ

1. ค่า L_o ที่ต่ำสุด ที่จะไม่ทำให้เกิดการทำงานในโหมดกระแสไม่ต่อเนื่องเมื่อโหลดมีค่าต่ำสุด

2. ค่า L_o ที่ต่ำสุด เพื่อไม่ให้แรงดันระลอกที่เอาท์พุตมีค่าเกินที่กำหนด

ดังนั้นเพื่อไม่ให้ฟอร์เวิร์ดคอนเวอร์เตอร์เปลี่ยนการทำงานจากโหมดกระแสต่อเนื่องเป็นการทำงานในโหมดกระแสไม่ต่อเนื่องที่กระแสโหลดค่าต่ำสุด ค่าของเอาท์พุตโช้คจะต้องมีค่าเท่ากับ

$$L_{o(min)} = \frac{1}{4}\frac{\left(V_{out}+V_D\right)}{I_{o(min)}}\left(T-2t_{ON(max)}\frac{V_{in(min)}}{V_{in(max)}}\right) \qquad (2.21)$$

ค่าต่ำสุดของ L_o ที่กำหนดจากค่าแรงดันกระเพื่อมที่เอาท์พุต จะหาได้จาก

$$L_{o(min)} = \frac{\left(V_{out}+V_D\right)ESR}{2V_{ripple}}\left(T-2t_{ON(max)}\frac{V_{in(min)}}{V_{in(max)}}\right) \qquad (2.22)$$

และค่าสูงสุดของ L_o ที่ค่าเวลาคืนตัวเท่ากับ t_R จะหาได้จาก

$$L_{o(max)} = \frac{\left(V_{out}+V_D\right)\left(T-t_{ON(max)}\right)}{\Delta I_o \times 2t_{ON(max)}}t_R \qquad (2.23)$$

เมื่อ ESR คือ ค่าความต้านทานแฝงของตัวเก็บประจุเอาท์พุต C_o เป็นโอห์ม

V_{ripple} คือ ค่าแรงดันกระเพื่อมสูงสุดที่ยอมให้เกิดได้ที่เอาท์พุต เป็นโวลต์

t_R คือ ค่าเวลาคืนตัวตอบสนองต่อการเปลี่ยนแปลงโหลดอย่างทันทีทันใด เป็นวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ΔI_o คือ ค่ากระแสที่เกิดการเปลี่ยนแปลงอย่างทันทีทันใด เป็นแอมป์

3) ค่าตัวเก็บประจุที่เอาท์พุต C_o

คอนเวอร์เตอร์ที่ทำงานในโหมดกระแสต่อเนื่อง จะมีกระแสไหลผ่านโหลดในลักษณะต่อเนื่องทำให้มีค่าแรงดันกระเพื่อมที่เอาท์พุตค่อนข้างต่ำ ตัวเก็บประจุเอาท์พุต C_o จึงไม่จำเป็นต้องมีค่ามากนัก อย่างไรก็ตามในกรณีที่โหลดเป็นลักษณะพัลส์หรือเกิดการเปลี่ยนแปลงโหลดอย่างทันทีทันใด จะเกิดการกระชากของกระแสเอาท์พุตสูง ดังนั้นตัวเก็บประจุที่มีค่าความจุต่ำๆ ซึ่งมักจะมีค่า ESR ขณะโหลดมีการเปลี่ยนแปลงได้ โดยค่าแรงดันกระเพื่อมที่เกิดขึ้นอาจพิจารณาได้จาก

$$V_{ripple} = ESR \times \Delta I_o \qquad (2.24)$$

เมื่อ V_{ripple} คือ ค่าแรงดันกระเพื่อมที่เอาท์พุตของคอนเวอร์เตอร์

ESR คือ ค่าความต้านทานแฝงของตัวเก็บประจุ C_o

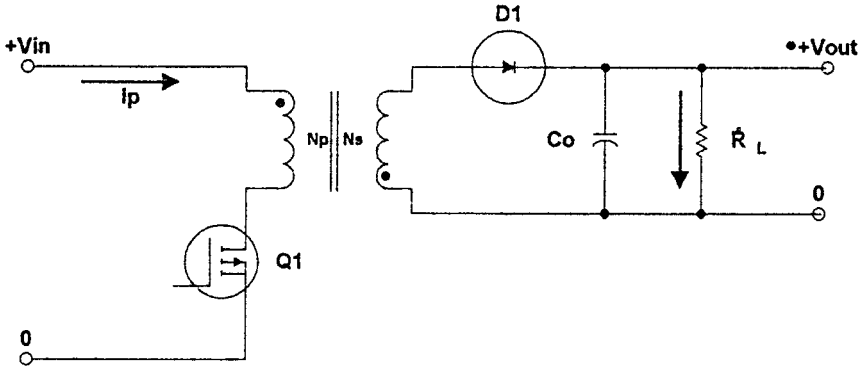
ΔI_o คือ ค่ากระแสที่เปลี่ยนไปเนื่องจากการเปลี่ยนแปลงโหลดอย่างทันทีทันใด

2.3.2 ฟลายแบคคอนเวอร์เตอร์

-พื้นฐานการทำงานของฟลายแบคคอนเวอร์เตอร์

วงจรพื้นฐานฟลายแบคคอนเวอร์เตอร์แสดงไว้ในรูปที่ 2.13 การทำงานของวงจรจะเป็นดังนี้ เพาเวอร์มอสเฟต Q_1 จะทำงานโดยนำกระแส (ON) และหยุดนำกระแส (OFF) สลับกันไปเมื่อ Q_1 นำกระแสจะมีกระแสไหลผ่านขดไพรมารี (I_p) แต่เนื่องจากหม้อแปลงถูกกำหนดให้ขดไพรมารีและ ขดเซคั่นดารีพันอยู่ในลักษณะกลับทิศกัน ดังนั้นในขณะที่ Q_1 นำกระแส ไดโอด D_1 จะอยู่ในลักษณะถูกไบแอสกลับและไม่มีกระแสไหลผ่านไปยังโหลด R_L พลังงานจึงถูกสะสมอยู่ที่ขดไพรมารีของหม้อแปลง เมื่อ Q_1 หยุดนำกระแส สนามแม่เหล็กในแกนหม้อแปลงยุบตัว ทำให้มีการกลับขั้วของแรงดันที่ขดเซคั่นดารี ไดโอด D_1 จึงอยู่ในลักษณะถูกไบแอสตรง พลังงานที่ถูกสะสมไว้ที่ขดไพรมารีจะถูกถ่ายเทไปยังขดเซคั่นดารี และมีกระแสไหลผ่านไปยังโหลดและตัวเก็บประจุเอาท์พุต C_o ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 แสดงวงจรพื้นฐานของฟลายแบคคอนเวอร์เตอร์

เมื่อวงจรทำงานอยู่ในสภาวะคงที่ ค่าแรงดันเอาท์พุตที่ได้จากคอนเวอร์เตอร์จะเป็นไปตามสมการ

$$V_{out} = \frac{t_{ON} \times \left(N_s / N_p\right)\left(V_{in} - V_{CE(sat)}\right)}{\left(T - t_{ON}\right)} - V_D \qquad (2.25)$$

โดยที่ T คือ คาบเวลาการทำงานของ Q_1 เป็นวินาที

t_{ON} คือ ช่วงเวลาที่ Q_1 นำกระแส เป็นวินาที

N_p คือ จำนวนรอบของขดไพรมารี เป็นรอบ

N_s คือ จำนวนรอบของขดเซคั่นดารี เป็นรอบ

V_{out} คือ แรงดันที่เอาท์พุตของคอนเวอร์เตอร์ เป็นโวลท์

V_{in} คือ แรงดันที่อินพุตของคอนเวอร์เตอร์ เป็นโวลท์

$V_{CE(sat)}$ คือ แรงดันตกคร่อม Q_1 ขณะนำกระแสที่จุดอิ่มตัว เป็นโวลท์

V_D คือ แรงดันตกคร่อมไดโอด D_1 ขณะนำกระแส เป็นโวลท์

จะเห็นได้ว่า วงจรจะสามารถคงค่าแรงดันเอาไว้ได้ด้วยการเพิ่มหรือลดช่วงเวลานำกระแส (t_{ON}) ของเพาเวอร์มอสเฟต Q_1 เท่านั้น ไม่ว่าจะมีการเปลี่ยนแปลงของแรงดันอินพุตหรือมีการเปลี่ยนแปลงโหลดก็ตาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-ลักษณะกระแสและแรงดันภายในวงจร

กระแสที่ไหลผ่าน Q_1 และขดไพรมารี ขณะที่ Q_1 นำกระแสนั้น จะเป็นลักษณะของกระแสที่ไหลผ่านตัวเหนี่ยวนำ ซึ่งจะเป็นไปตามสมการ

$$\frac{di}{dt} = \frac{V}{L}$$

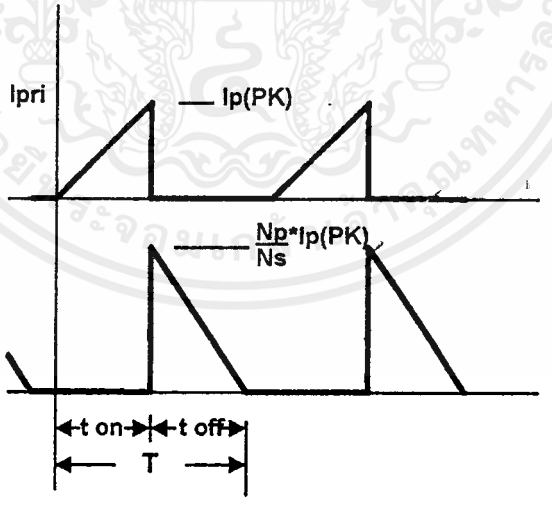
ดังนั้น กระแส I_p จะมีลักษณะเพิ่มขึ้นตามเวลาและมีค่าสูงสุดเมื่อ Q_1 เริ่มหยุดนำกระแส ที่เวลา $t = t_{ON}$ ดังนั้นกระแสสูงสุดจะมีค่าเท่ากับ

$$I_{p(PK)} = \frac{\left(V_{in} - V_{CE(sat)}\right)}{L_p} t_{ON} \qquad (2.26)$$

โดยที่ $I_{p(PK)}$ คือ ค่ากระแสสูงสุดที่ไหลผ่านขดไพรมารี เป็นแอมป์

L_p คือ ค่าความเหนี่ยวนำของขดไพรมารี เป็นเฮนรี่

เมื่อ Q_1 เริ่มหยุดนำกระแส ขดเซคั่นดารีจะเริ่มมีกระแสไหล แต่เนื่องจากกระแสที่ตัวเหนี่ยวนำจะเปลี่ยนแปลงในทันทีทันใดไม่ได้ กระแสที่ขดเซคั่นดารี (I_s) จะต้องเริ่มต้นที่ค่าสูงสุดของกระแสที่ขดไพรมารี $I_{p(PK)}$ โดยมีค่าเป็นสัดส่วนตามอัตราส่วนจำนวนรอบ N_p/N_s ดังนั้น กระแสที่ขดเซคั่นดารีจะมีค่าเริ่มต้นที่ $I_s = (N_p/N_s)I_{p(PK)}$ และมีค่าลดลงตามเวลา ลักษณะของกระแสที่ขดไพรมารีและเซคั่นดารีตามเวลาจะเป็นดังที่แสดงไว้ในรูปที่ 2.14

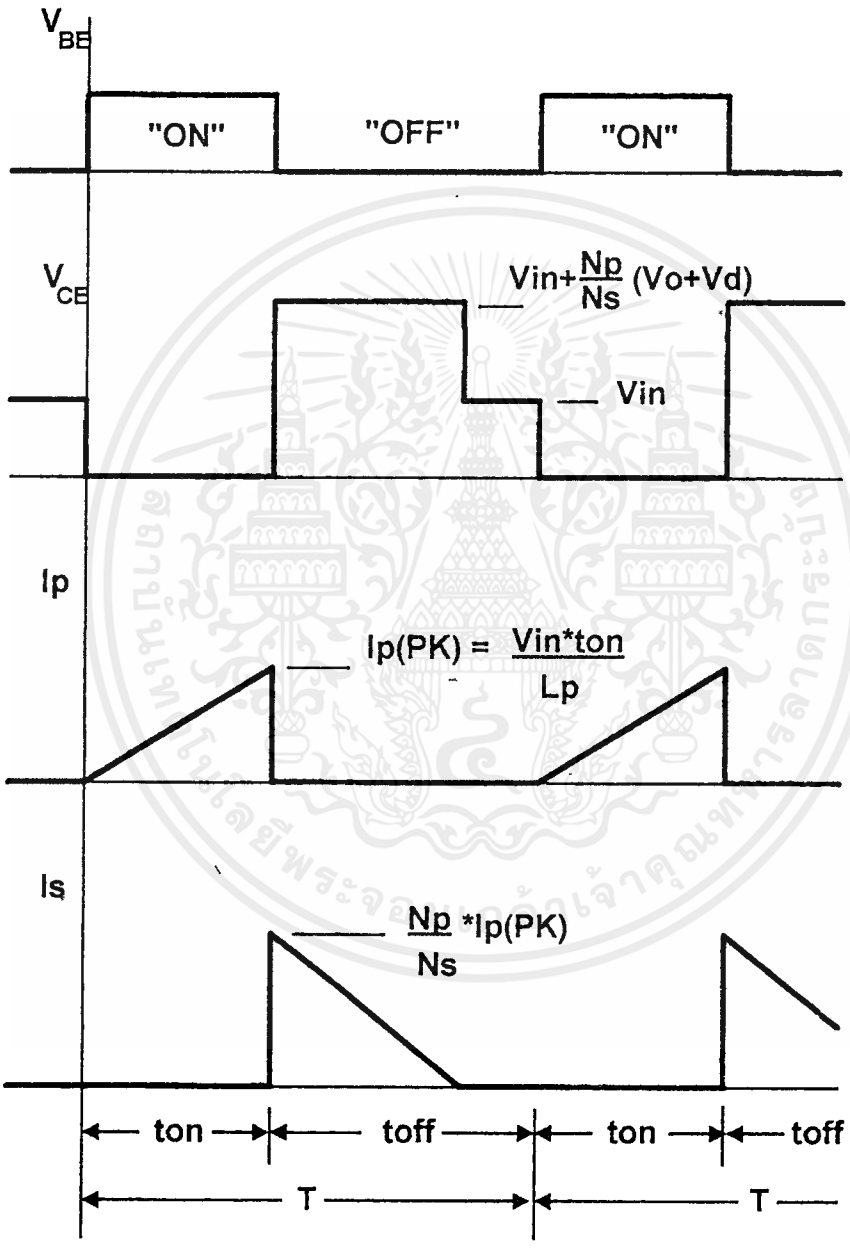


รูปที่ 2.14 แสดงลักษณะของกระแสที่ขดไพรมารีและกระแสที่ขดเซคั่นดารีขณะที่วงจรทำงาน

เมื่อมีกระแสไหลที่ขดเซคั่นดารีในขณะที่ Q_1 หยุดนำกระแส จะทำให้เกิดแรงดันตกคร่อมขดไพรมารีด้วย เนื่องจากแรงดันตกคร่อมของเซคั่นดารีมีค่าเท่ากับ $V_{out} + V_D$ ดังนั้นแรงดันที่ตก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คร่อมขดไพรมารีจึงมีค่าเท่ากับ $(N_p/N_s)(V_{out} + V_D)$ ทำให้แรงดันตกคร่อม Q_1 ขณะหยุดนำกระแสมีค่าเป็น $V_{in} + (N_p/N_s)(V_{out} + V_D)$ จนกระทั่งกระแสที่ไหลในขดเซคั่นดารีมีค่าลดลงเป็นศูนย์ แรงดันที่ตกคร่อม Q_1 จึงลดลงมามีค่าเท่าแรงดันอินพุต V_{in} ในรูปที่ 2.15 จะแสดงลักษณะของกระแสและแรงดันที่เกิดขึ้นภายในวงจรฟลายแบคคอนเวอร์เตอร์ขณะทำงาน



รูปที่ 2.15 แสดงลักษณะของกระแสและแรงดันที่เกิดขึ้นในวงจรขณะทำงานของฟลายแบคคอนเวอร์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

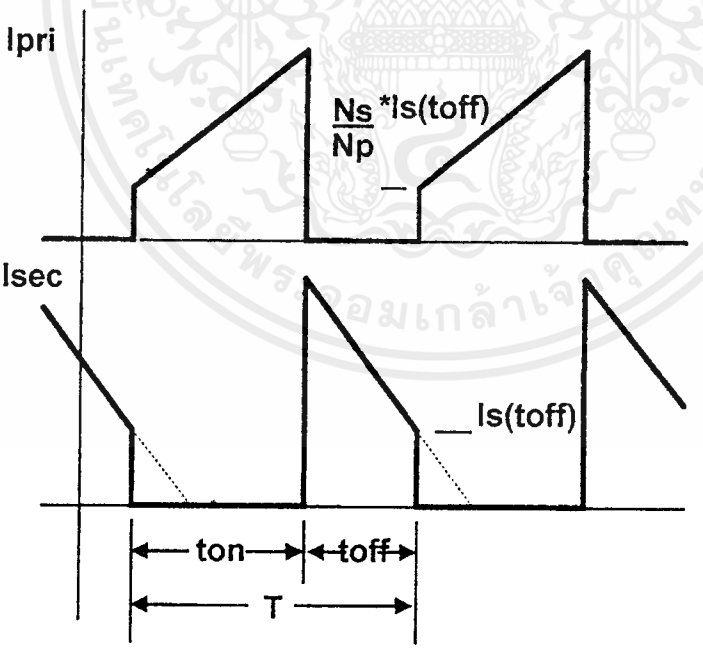
-การทำงานในโหมดกระแสต่อเนื่องและโหมดกระแสไม่ต่อเนื่อง

โหมดกระแสไม่ต่อเนื่อง (Discontinuous Mode)

เราจะกล่าวว่าฟลายแบคคอนเวอร์เตอร์มีการทำงานในโหมดกระแสไม่ต่อเนื่องก็ต่อเมื่อในขณะที่ Q_1 หยุดนำกระแส พลังงานที่ถูกสะสมไว้ในขดไพรมารีถูกถ่ายเทออกไปยังขดเซคั่นดารีจนหมด กล่าวคือกระแสที่ไหลในขดเซคั่นดารีมีค่าลดลงจนเป็นศูนย์ ก่อนที่ Q_1 จะเริ่มนำกระแสอีกครั้ง (คือลักษณะของกระแสในรูปที่ 2.13)

โหมดกระแสต่อเนื่อง (Continuous Mode)

จากรูปที่ 2.16 ถ้าคาบเวลา T มีค่าคงที่ เมื่อเพิ่มช่วงเวลานำกระแส t_{ON} ของ Q_1 ให้มากขึ้น ช่วงเวลาหยุดนำกระแส t_{off} ก็จะมีค่าน้อยลงและกระแสสูงสุดที่ขดไพรมารีจะมีค่าเพิ่มขึ้นตามเวลาไปด้วย แต่เนื่องจากช่วงเวลาหยุดนำกระแส t_{off} มีค่าน้อย กระแสที่ขดเซคั่นดารีไม่สามารถลดลงจนมีค่าเป็นศูนย์ได้ทันภายในช่วงเวลา t_{off} จึงยังคงมีพลังงานบางส่วนเหลือค้างอยู่ในขดไพรมารี และเนื่องจากกระแสไม่สามารถเปลี่ยนแปลงได้ทันทีทันใด เมื่อ Q_1 เริ่มนำกระแสอีกครั้ง กระแสที่ขดไพรมารี จึงต้องเริ่มต้นด้วยค่าของกระแสเซคั่นดารีสุดท้ายที่ลดลงได้ คูณด้วยอัตราส่วนจำนวนรอบ N_S/N_p (ดูรูปที่ 2.16 ประกอบ) การทำงานในลักษณะนี้เราจะเรียกว่า *การทำงานในโหมดกระแสต่อเนื่อง*



รูปที่ 2.16 แสดงลักษณะของกระแสเมื่อคอนเวอร์เตอร์ทำงานในโหมดกระแสต่อเนื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-<u>การออกแบบฟลายแบคคอนเวอร์เตอร์</u>

ในหัวข้อต่อไปนี้จะได้กล่าวถึงขั้นตอนการคำนวณค่าต่างๆ เพื่อเป็นแนวทางในการเลือกใช้อุปกรณ์ และควบคุมการทำงานของวงจรดังต่อไปนี้

<u>กำหนดค่าอัตราส่วนจำนวนรอบ N_p/N_s</u>

การกำหนดอัตราส่วนจำนวนรอบ N_p/N_s ของหม้อแปลง เป็นสิ่งที่ควรทำเป็นอันดับแรก เนื่องจากค่าอัตราส่วนจำนวนรอบ N_p/N_s นี้จะมีผลต่อแรงดันตกคร่อมสูงสุดของเพาเวอร์มอสเฟต ขณะหยุดนำกระแสโดย

$$V_{CE(max)} = V_{in(max)} + \frac{N_p}{N_s}\left(V_{out} + V_D\right) \qquad (2.26)$$

ดังนั้นเพื่อเป็นการป้องกันการพังเสียหายของเพาเวอร์มอสเฟตที่จะนำมาใช้ จึงควรกำหนดอัตราส่วนจำนวนรอบ N_p/N_s ดังนี้

$$\frac{N_p}{N_s} < \frac{V_{CEO} - \left(V_{in(max)} + V_{spike}\right)}{\left(V_{out} + V_D\right)} \qquad (2.27)$$

เมื่อ V_{CEO} คือค่าอัตราทนแรงดันได้สูงสุดของเพาเวอร์มอสเฟตที่ใช้ และ V_{spike} คือค่าแรงดันพุ่งหรือสไปค์ (spike) ที่เกิดขึ้นขณะเพาเวอร์มอสเฟตเริ่มหยุดนำกระแส สไปค์นี้เกิดขึ้นเนื่องจากฟลักซ์รั่วภายในหม้อแปลง ซึ่งทำให้เกิดค่าความเหนี่ยวนำแฝงขึ้นที่ขดไพรมารี และมีการสะสมพลังงานเช่นเดียวกับขดไพรมารี แรงดันสไปค์ที่เกิดขึ้นนี้จะมีค่าประมาณ 0.3 V_{in} และเกิดขึ้นในช่วงเวลาสั้นๆ จนกว่าพลังงานที่ถูกสะสมในตัวเหนี่ยวนำแฝงจะถูกถ่ายเทหมดไป

การกำหนดอัตราส่วนจำนวนรอบ N_p/N_s ที่มีค่ามากหรือน้อยเกินไป จะมีผลต่อขนาดของหม้อแปลงและกระแสสูงสุดที่จะเกิดขึ้นในวงจร การพิจารณากำหนดค่า N_p/N_s นั้นจึงต้องพิจารณาผลของค่า N_p/N_s ที่มีผลต่อองค์ประกอบต่างๆ ในวงจรอย่างเหมาะสมด้วย

<u>ช่วงเวลานำกระแสสูงสุด $t_{ON(max)}$</u>

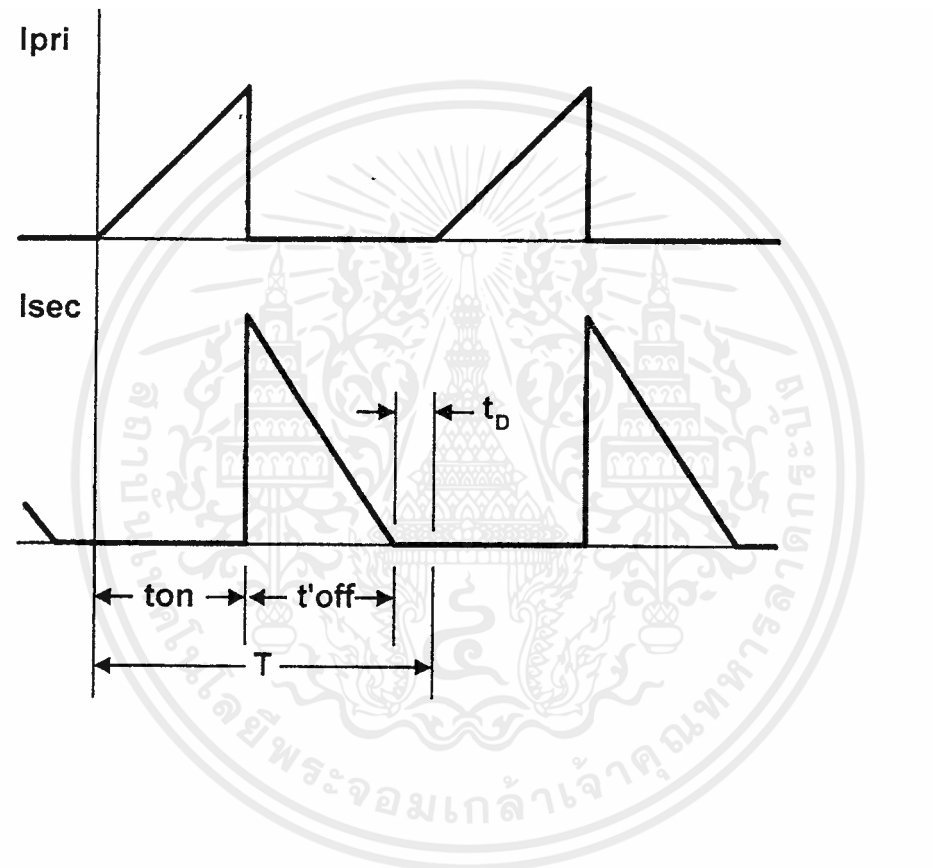
การจำกัดค่าของ t_{ON} สามารถทำได้โดยการกำหนดค่าเวลาเผื่อ (dead time) t_D ไว้ดังรูปที่กล่าวคือ การลดลงของกระแสที่ขดเซคั่นดารีจนเป็นศูนย์จะต้องใช้เวลาไม่เกิน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$t'_{off} = T - \left(t_{ON} + t_D\right)$$

ค่าของ t_D จะกำหนดให้เป็นเท่าใดก็ได้ โดยทั่วไปมักกำหนดไว้ที่ประมาณ 20% ของค่าคาบเวลา T หรือเท่ากับ 0.2T ดังนั้น

$$t_{ON(max)} + t'_{off} = 0.8T \qquad (2.28)$$



รูปที่ 2.17 แสดงการกำหนดค่าเวลาเผื่อ t_D เพื่อให้ฟลายแบคคอนเวอร์เตอร์ยังคงการทำงานในโหมดกระแสไม่ต่อเนื่องที่เวลา $t = t_{ON(max)}$

เนื่องจากกระแสที่ขดไพรมารีต้องลดลงจนมีค่าเป็นศูนย์ โดยใช้เวลามากที่สุดเท่ากับ t'_{off} นั่นคือ

$$-\left(0 - I_{s(PK)}\right) = \frac{\left(V_{out} + V_D\right)}{L_s} t'_{off} \qquad (2.29)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{N_p}{N_s} I_{p(PK)} = \frac{\left(V_{out} + V_D\right)}{L_s} t'_{off} \qquad (2.30)$$

จากสมการที่ (2.26) แทนค่า $I_{p(PK)}$ ใน (2.30) จะได้ว่า

เนื่องจาก $\frac{N_p}{N_s} = \sqrt{\frac{L_p}{L_s}}$ และแทนค่า $t'_{off} = 0.8T - t_{ON(max)}$

$$\frac{N_p}{N_s} \frac{\left(V_{in(min)} - V_{CE(sat)}\right) t_{ON(max)}}{L_p} = \frac{\left(V_{out} + V_D\right) t'_{off}}{L_s} \qquad (2.31)$$

ดังนั้น

$$t_{ON(max)} = \frac{\left(V_{out} + V_D\right)\left(N_p / N_s\right)\left(0.8T\right)}{\left(V_{in(min)} - V_{CE(sat)}\right) + \left(V_{out} + V_D\right)\left(N_p / N_s\right)} \qquad (2.32)$$

<u>การกำหนดค่าความเหนี่ยวนำของขดไพรมารี L_p</u>

ฟลายแบคคอนเวอร์เตอร์ทำงานด้วยการเก็บสะสมพลังงานในช่วงเวลาที่เพาเวอร์มอสเฟตนำกระแส และส่งผ่านพลังงานออกไปขณะที่เพาเวอร์มอสเฟตหยุดนำกระแสโดยในแต่ละช่วงเวลาที่เพาเวอร์มอสเฟตนำกระแส พลังงานที่เก็บสะสมไว้ที่ขดไพรมารี (E) จะมีค่า

$$E = \frac{1}{2} L_p I^2_{p(PK)} \quad \text{จูล} \qquad (2.33)$$

และในขณะที่เพาเวอร์มอสเฟตหยุดนำกระแสคอนเวอร์เตอร์ไม่มีการสะสมพลังงาน ดังนั้นกำลังงานที่ใช้ไปในหนึ่งคาบเวลาจึงมีค่าเท่ากับ

$$P_{in} = \frac{1/2 L_p I^2_{p(PK)}}{T} \quad \text{(วัตต์)} \qquad (2.34)$$

จาก (2.33) แทนค่าลงใน (2.34) จะได้ว่า

$$P_{in} = \frac{\left[\left(V_{in(min)} - V_{CR(sat)}\right) t_{ON(max)}\right]^2}{2TL_p} \qquad (2.35)$$

ถ้าประสิทธิภาพการส่งผ่านพลังงานของคอนเวอร์เตอร์มีค่าเท่ากับ η (ประมาณ 65-80% สำหรับสวิตชิ่งเพาเวอร์ซัพพลาย) กำลังงานที่คอนเวอร์เตอร์จะสามารถจ่ายให้กับโหลดได้จะมีค่า

$$P_{out} = \eta P_{in} = \eta \frac{\left[\left(V_{in\,(min)} - V_{CE(sat)}\right) t_{ON(mx)}\right]^2}{2TL_p} \qquad (2.36)$$

ดังนั้น เพื่อให้ฟลายแบคคอนเวอร์เตอร์จ่ายกำลังงานได้เท่ากับกำลังงานที่ต้องการด้านเอาท์พุต P_{out} ค่าความเหนี่ยวนำของขดไพรมารี L_p ต้องมีค่าอย่างต่ำเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$L_p = \eta \frac{\left[\left(V_{in(max)} - \tilde{V}_{CE(sat)}\right) t_{ON(max)}\right]^2}{2TP_{out}} \qquad (2.37)$$

<u>จำนวนรอบขดไพรมารี N_p และจำนวนรอบขดเซคั่นดารี N_s</u>

การกำหนดจำนวนรอบขดไพรมารี N_p จะขึ้นอยู่กับขนาดของแกนเฟอร์ไรต์และความหนาแน่นฟลักซ์สูงสุดที่ยอมให้เกิดขึ้นได้ในแกน โดยจำนวนรอบ N_p จะมีค่าเท่ากับ

$$N_p = \frac{V_{in(min)} t_{ON(max)}}{\Delta B_{max} A_e} \times 10^8 \quad \text{(รอบ)} \qquad (2.38)$$

โดยที่ ΔB_{max} คือ ค่าความหนาแน่นฟลักซ์สูงสุดที่ยอมให้เกิดขึ้น เป็นเกาส์

A_e คือ พื้นที่หน้าตัดของแกนเฟอร์ไรต์ เป็นตารางเซนติเมตร

สำหรับจำนวนรอบของขดเซคั่นดารี N_s นั้น สามารถหาได้จากค่าอัตราส่วนจำนวนรอบ N_p/N_s และจำนวนรอบขดไพรมารีที่หาได้จากสมการที่ (2.38)

<u>ตัวเก็บประจุเอาท์พุต C_o</u>

ตัวเก็บประจุที่เอาท์พุต C_o จะทำหน้าที่จ่ายกระแสให้กับโหลดในช่วงที่เพาเวอร์มอสเฟตนำกระแส ซึ่งจะไม่มีกระแสไหลจากขดเซคั่นดารี เป็นการลดแรงดันกระเพื่อมที่เอาท์พุต ดังนั้นตัวเก็บประจุ C_o จึงต้องสามารถจ่ายกระแสได้เท่ากับค่ากระแสที่ต้องการในช่วงเวลา t_{ON} เพื่อคงค่าแรงดันเอาท์พุตไม่ให้เกิดการกระเพื่อมมากเกินไป ค่าของ C_o สามารถกำหนดได้ดังนี้

$$C_o = \frac{I_o t_{ON(max)}}{V_{ripple}} \qquad (2.39)$$

โดยที่ I_o คือ ค่ากระแสเฉลี่ยสูงสุดที่เอาท์พุต เป็นแอมป์

V_{ripple} คือ ค่าแรงดันกระเพื่อมสูงสุดที่ยอมให้เกิดได้ เป็นโวลท์

<u>ค่า ESR ของตัวเก็บประจุเอาท์พุต</u>

ESR (Equivalent Series Resistance) คือความต้านทานไฟฟ้าซึ่งแฝงอยู่ในตัวเก็บประจุ โดยเฉพาะอย่างยิ่งตัวเก็บประจุชนิดอิเล็กทรอไลต์จะมีค่า ESR ค่อนข้างสูง ตัวเก็บประจุยิ่งมีค่าความจุสูง ESR จะมีค่าต่ำลง อย่างไรก็ตาม ค่าต่ำสุดของ ESR จะถูกจำกัดอยู่ที่ประมาณ 0.03 โอห์ม (ที่ 20°C) เนื่องจากปัญหาความต้านทานที่รอยต่อระหว่างแผ่นฟลอยด์และขาของตัวเก็บประจุ

ถ้าตัวเก็บประจุเอาท์พุตที่ใช้มีค่า ESR สูง จะทำให้เกิดปัญหาแรงดันกระเพื่อมขึ้นที่แรงดันเอาท์พุต เนื่องจากขณะที่ขดเซคั่นดารีเริ่มนำกระแส ที่ขอบขาขึ้นของกระแสจะมีค่าสูง ค่าความ

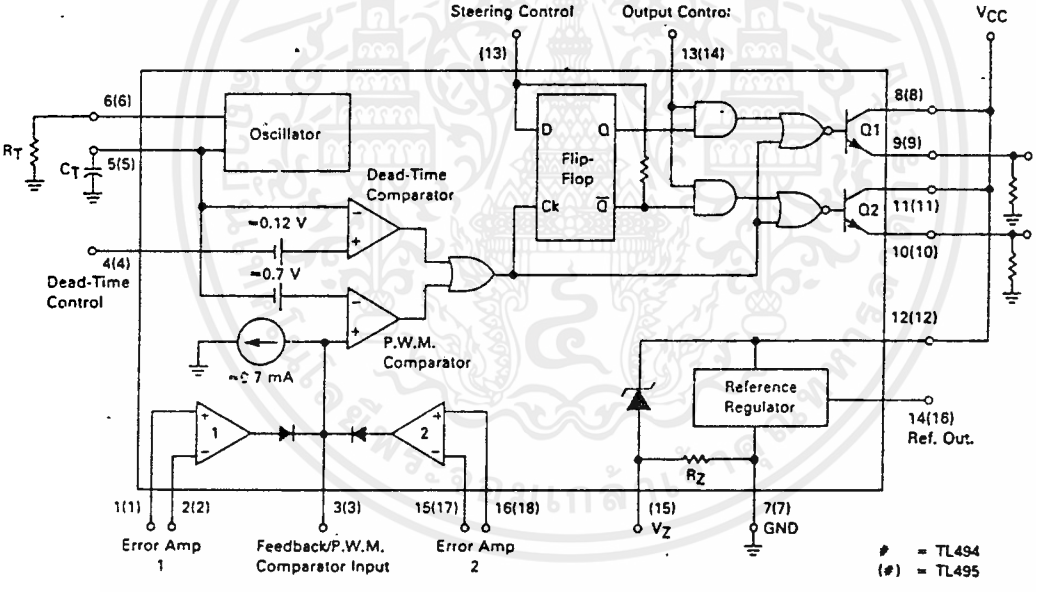
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต้านทานแฝง ESR ในตัวเก็บประจุจะทำให้เกิดแรงดันตกคร่อมตัวเก็บประจุในลักษณะพุ่งในช่วงสั้นๆ ของการชาร์จประจุของตัวเก็บประจุ และจะทำให้เกิดแรงดันกระเพื่อมขึ้นที่เอาท์พุต

การแก้ปัญหานี้อาจทำได้โดยการเพิ่มวงจร LC-Filter ที่เอาท์พุต หรือเพิ่มค่าตัวเก็บประจุเอาท์พุตเพื่อลดค่า ESR การใช้ตัวเก็บประจุขนานกันหลายตัวเพื่อเพิ่มค่าความจุจะทำให้ลดค่า ESR ได้เช่นเดียวกัน

2.3.3 วงจรควบคุมสำหรับสวิตชิ่งเพาเวอร์ซัพพลาย

เนื่องจากคอนเวอร์เตอร์เกือบทุกแบบ จะคงค่าแรงดันเอาท์พุตได้ด้วยการควบคุมช่วงเวลานำกระแส (t_{on}) ของเพาเวอร์ทรานซิสเตอร์ ดังนั้นวงจรควบคุมการทำงานของคอนเวอร์เตอร์โดยทั่วไป จึงมักนิยมใช้เทคนิคพัลส์วิดท์มอดูเลชั่น (Pulse Width Modulation) หรือ PWM เป็นหลัก การใช้ PWM เพื่อควบคุมช่วงเวลานำกระแสของเพาเวอร์ทรานซิสเตอร์ในคอนเวอร์เตอร์สามารถทำได้โดยการนำไอซีเบอร์ TL 494 มาใช้งานโดยทำงานด้วยโหมดควบคุมจากแรงดัน โครงสร้างภายในและการจัดขาของ TL 494 แสดงในรูปที่ 2.18



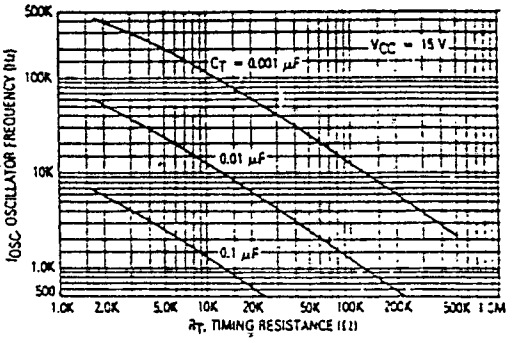
รูปที่ 2.18 แสดงการจัดโครงสร้างภายในและการจัดขาของไอซี TL 494

-การกำหนดคาบเวลาการทำงาน

วงจรของ TL 494 เป็นวงจร PWM ที่มีความถี่คงที่ คาบเวลาการทำงานของเอาท์พุตพัลส์กำหนดโดยค่าของ R_T และ C_T จากภายนอกที่ขา 6 และขา 5 ของไอซี ค่าคาบเวลาการทำงานจะกำหนดได้จาก

$$T = \frac{R_T C_T}{1.1} \qquad (2.40)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



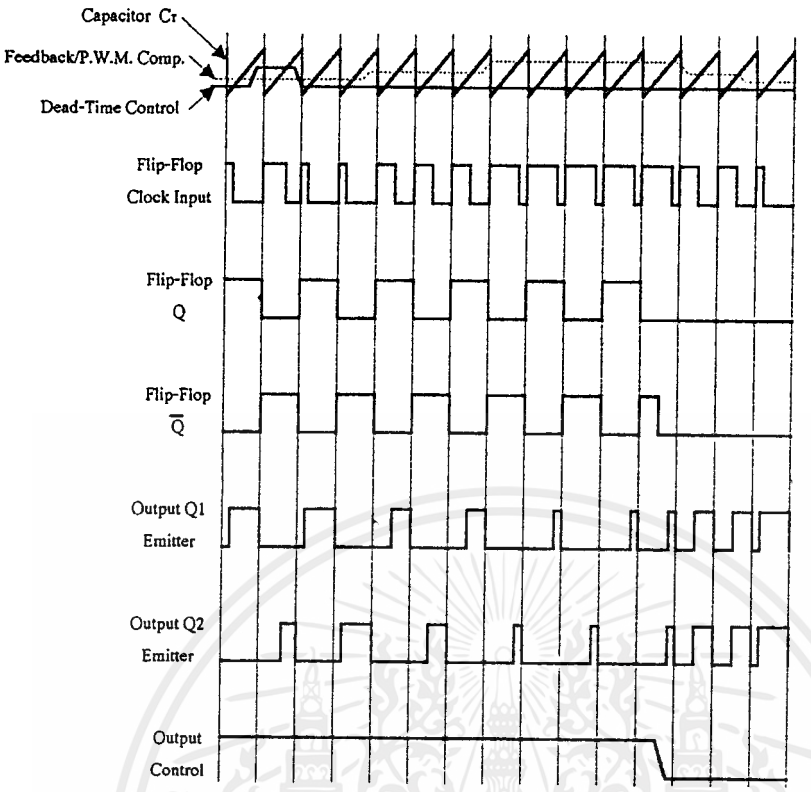
รูปที่ 2.19 แสดงความสัมพันธ์ของค่า R_TC_T ในการกำหนดความถี่

-การทำงานของไอซีในการคงค่าแรงดันของคอนเวอร์เตอร์

ความกว้างเอาท์พุตพัลส์ของไอซี จะได้จากการเปรียบเทียบสัญญาณฟันเลื่อยที่ขา S กับแรงดันที่ได้จากวงจรขยายความแตกต่าง (Error Amp) ทั้ง 2 ตัวที่ PWM Comparator ส่วน NOR Gate ที่ควบคุมทรานซิสเตอร์เอาท์พุต Q_1 และ Q_2 จะทำงานก็ต่อเมื่อขา C_k ของ Flip-Flop อยู่ในสถานะ "Low" เท่านั้น ซึ่ง C_k จะเป็น "Low" ได้ ก็ต่อเมื่อแรงดันของสัญญาณฟันเลื่อยมีค่ามากกว่าแรงดันที่มาจาก Error Amp ทั้ง 2 ตัว นั่นคือแรงดันป้อนกลับจากเอาท์พุตของคอนเวอร์เตอร์หากมีค่าสูงขึ้น ความกว้างเอาท์พุตพัลส์ของไอซีจะเพิ่มขึ้น

ความกว้างเอาท์พุตพัลส์ของไอซีนี้สามารถกำหนดให้มีค่ามากที่สุดหรือมีค่าเท่ากับ ศูนย์ได้ด้วยการเปลี่ยนแปลงแรงดันที่ขา 3 จาก 0.5 โวลท์จนถึง 3.5 โวลท์ ส่วน Error Amp ทั้งสองตัวจะมีช่วงของอินพุตคอมมอนโหมด ตั้งแต่ -0.3 ถึง (V_{cc} -2) โวลท์ และสามารถใช้ตรวจจับแรงดันหรือกระแสที่เอาท์พุตของคอนเวอร์เตอร์ได้ Error Amp ทั้ง 2 ตัวจะให้เอาท์พุตในลักษณะให้สถานะ "High" (Active high) โดยต่อกันอยู่ในลักษณะ OR ที่ขา non-inverting ของ PWM Comparator การต่อกันในลักษณะนี้ Error Amp ตัวที่ทำให้เกิดความกว้างเอาท์พุตพัลส์ต่ำสุด จะเป็นตัวควบคุมความกว้างของเอาท์พุตพัลส์ของไอซี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.20 แสดงรูปคลื่นลักษณะการทำงานของ TL 494

-การกำหนดค่าเวลาเผื่อ T_D

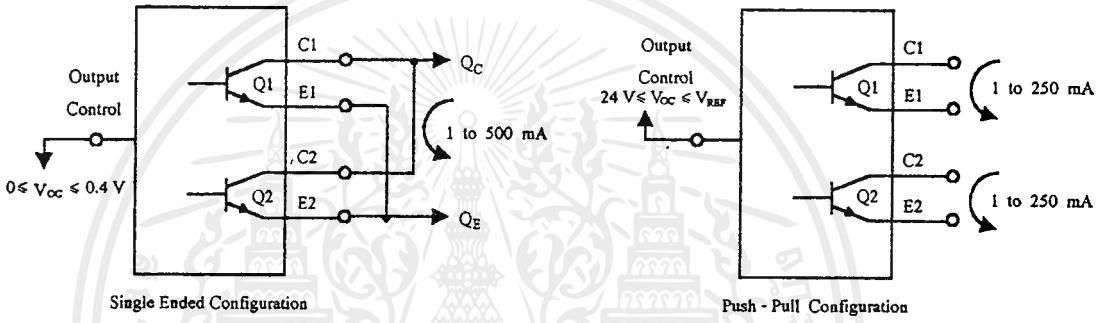
TL 494 สามารถให้ผู้ใช้กำหนดค่าเวลาเผื่อ T_D ของวงจรได้เอง ด้วยการต่อแรงดันระหว่าง 0 ถึง 3.3 โวลท์ขา 4 ของไอซี อย่างไรก็ตาม หากแรงดันที่ขา 4 มีค่าเท่ากับ 0 โวลท์ ค่าเวลาเผื่อต่ำสุดของไอซีจะไม่ต่ำกว่า 4% ของค่าคาบเวลาการทำงาน เนื่องจากมีแรงดันออฟเซต 120 มิลลิโวลท์ต่ออยู่ภายใน ดังนั้นช่วงเวลา t_{on} สูงสุดของคอนเวอร์เตอร์ที่ได้จากไอซีจะเท่ากับ 48% ของค่าคาบเวลาเมื่อต่อขา 13 (output control) เข้ากับขา 14 (+5 V_{ref}) และมีค่าเท่ากับ 96% ของค่าคาบเวลาเมื่อต่อขา 13 ลงกราวด์

-การเลือกใช้ Q_1 และ Q_2 ที่เอาท์พุตของไอซี

เอาท์พุต Q_1 และ Q_2 ของไอซีสามารถทำงานได้ 2 โหมด คือ การทำงานพร้อมกัน หรือสลับกันทำงาน ซึ่งสามารถเลือกทำงานได้ที่ขา 13 (output control) โดยขณะที่ C_T ดิสชาร์จ เอาท์พุตของ Dead-time Comparator จะให้พัลส์ออกมา C_k จะมีลักษณะเป็น "High" และหยุดการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำงานของ Q_1 และ Q_2 ถ้ากำหนดให้ขา 13 มีสถานะเป็น "High" โดยการต่อเข้ากับขา 14 (+5 V_{ref}) Q_1 และ Q_2 จะสลับกันทำงานตามจังหวะของ Flip-Flop เพื่อใช้ขับคอนเวอร์เตอร์แบบ Push-Pull ในกรณีนี้คาบเวลาการทำงานจะเป็น 2 เท่าของค่าคาบเวลาสัญญาณฟันเลื่อยของไอซี แต่ถ้ากำหนดให้ขา 13 มีสถานะเป็น "Low" โดยการต่อลงกราวด์ (ยกเลิก Flip-Flop) Q_1 และ Q_2 จะทำงานพร้อมกันและสามารถขนาน Q_1 และ Q_2 เข้าด้วยกันได้ ถ้าต้องการให้นำกระแสได้มากขึ้น ในกรณีนี้คาบเวลาการทำงานจะมีค่าเท่ากับค่าคาบเวลาของสัญญาณฟันเลื่อยของไอซี (ช่วงเวลานำกระแสสูงสุดเท่ากับ 96% ของค่าคาบเวลา)



รูปที่ 2.21 แสดงลักษณะการเลือกใช้เอาท์พุตของ TL 494

TL 494 ต้องการไฟเลี้ยงในช่วง $7 \leq V_{cc} \leq 40$ โวลท์ มีแรงดันอ้างอิงภายใน $V_{ref} = 5$ โวลท์ และสามารถจ่ายกระแสได้ถึง 10 มิลลิแอมป์เพื่อใช้กับวงจรภายนอกได้ โดยมีค่าความถูกต้อง $\pm 1.5\%$ ความคลาดเคลื่อนทางอุณหภูมิมีค่าน้อยกว่า 50 มิลลิโวลท์เมื่อทำงานในช่วง 0 ถึง 70° C

2.3.4 วงจรขับเบส

ในการที่จะใช้เพาเวอร์มอสเฟตเป็นอุปกรณ์สวิตชิ่งนั้น ต้องคำนึงถึงเรื่องของการขับเบสด้วย เพราะคุณสมบัติที่สำคัญบางอย่างของเพาเวอร์มอสเฟต เช่น ช่วงเวลาเริ่มนำกระแส (t_{on}) และช่วงเวลาหยุดนำกระแส (t_{off}) จะขึ้นอยู่กับลักษณะการขับเบส ในปัจจุบันได้มีการเสนอวิธีการขับเบสหลายวิธี ซึ่งส่วนใหญ่แล้วมีวัตถุประสงค์ที่จะลดเวลาในการสวิตซ์ เพื่อลดกำลังสูญเสียในการสวิตซ์ และเพิ่มความถี่ในการทำงานให้สูงขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

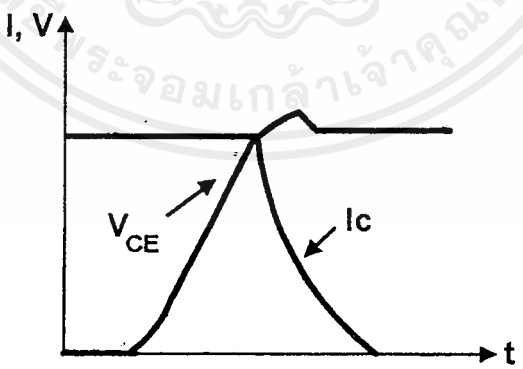
วงจรขับเบสควรที่จะเป็นวงจรที่มีความเชื่อถือได้สูง และถ้าหากมีการแยกกันทางไฟฟ้าระหว่างวงจรควบคุมกับวงจรขับเบสจะเป็นการลดปัญหาเรื่องกราวด์ การแยกอาจทำได้โดยใช้ Opto Couple ก็ได้ ในการออกแบบวงจรขับเบสนั้นจะออกแบบเป็นวงจร Darlington ซึ่งมีอัตราการขยายกระแสสูง ทำให้กระแสเบสเพียงเล็กน้อยก็สามารถขับให้เพาเวอร์มอสเฟตสามารถนำกระแสได้ ดังนั้นในการออกแบบวงจรขับเบสจึงต้องคำนึงถึงการให้กระแสเบสอย่างเหมาะสมและต้องปลอดภัยกับเพาเวอร์มอสเฟตด้วย

2.3.5วงจรสนับเบอร์

-วงจรสนับเบอร์ช่วงหยุดนำกระแส

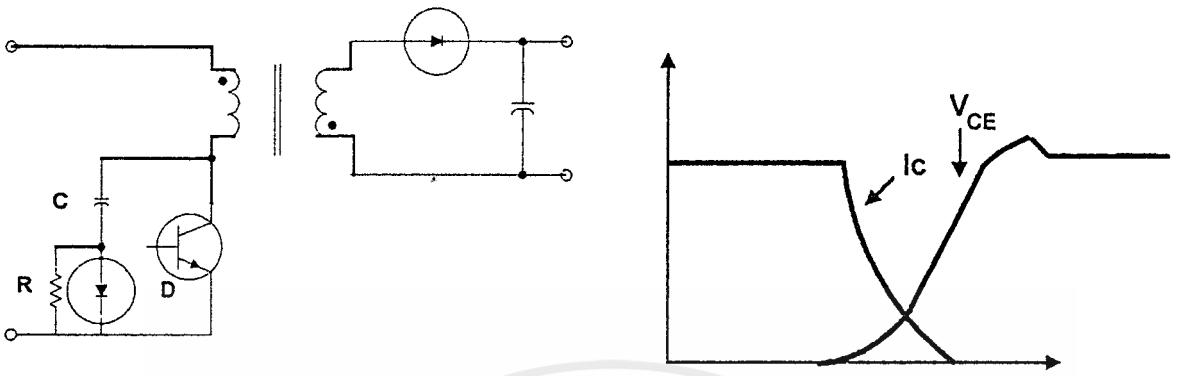
ดังที่ได้กล่าวมาแล้วว่า กำลังงานสูญเสียที่เกิดในเพาเวอร์มอสเฟตจะเป็นไปได้สูงขณะเปลี่ยนสถานะการทำงาน โดยเฉพาะอย่างยิ่งขณะเริ่มหยุดนำกระแส ก่อนที่เพาเวอร์มอสเฟตจะหยุดนำกระแสนั้น กระแสจะลดลงอย่างช้าๆ ในขณะที่แรงดันเพิ่มขึ้นสู่ค่าแรงดันอินพุตอย่างรวดเร็ว (ดูรูปที่ 2.22 ประกอบ) กำลังงานสูญเสียในรูปความร้อนในช่วงนี้จึงเกิดขึ้นสูง

เพื่อลดการเกิดกำลังงานสูญเสียในช่วงนี้อาจทำได้โดยการต่อวงจรสนับเบอร์เข้ากับเพาเวอร์มอสเฟต เพื่อควบคุมแรงดันตกคร่อมที่คอลเล็กเตอร์และอีมิตเตอร์ให้เพิ่มขึ้นอย่างช้าๆ จนกระทั่งกระแสที่ไหลผ่านตัวเพาเวอร์มอสเฟตลดลงได้ทันกัน ซึ่งจะทำให้กำลังงานสูญเสียที่เกิดขึ้นมีค่าต่ำลักษณะของการต่อวงจรสนับเบอร์ อาจทำได้ดังในรูปที่ 2.23



รูปที่ 2.22 แสดงลักษณะการลดลงของกระแสและการเพิ่มขึ้นของแรงดันตกคร่อมเพาเวอร์มอสเฟตขณะเริ่มหยุดนำกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.23 แสดงการต่อวงจรสนับเบอร์ช่วงหยุดนำกระแส
เพื่อหน่วงแรงดันตกคร่อมเพาเวอร์มอสเฟตให้เพิ่มขึ้นอย่างช้าๆ

การทำงานของวงจร RCD สนับเบอร์ช่วงเริ่มหยุดนำกระแสจะเป็นดังนี้คือ เมื่อเพาเวอร์มอสเฟต Q_1 เริ่มหยุดนำกระแส แรงดันที่ขาคอลเล็กเตอร์จะมีค่าเพิ่มขึ้น ทำให้มีกระแสบางส่วนไหลผ่านตัวเก็บประจุ C_1 และไดโอด D_1 ของวงจรสนับเบอร์ทำให้เกิดแรงดันตกคร่อม C_1 ด้วย แรงดันที่ตกคร่อม C_1 จะทำให้แรงดันที่คอลเล็กเตอร์ของเพาเวอร์มอสเฟตเพิ่มขึ้นอย่างช้าๆ ดังนั้น ถ้าให้ C_1 มีค่ามากพอ การเพิ่มขึ้นของแรงดันที่ขาคอลเล็กเตอร์จะถูกหน่วงออกไปเพื่อให้กระแสที่ไหลผ่านเพาเวอร์มอสเฟตลดลงจนมีค่าน้อยๆ ได้ทันกัน และจะลดการเกิดกำลังงานสูญเสียในตัวเพาเวอร์มอสเฟตได้

ขณะที่เพาเวอร์มอสเฟตเริ่มนำกระแสอีกครั้ง C_1 จะคายประจุผ่านตัวต้านทาน R_1 ทิ้งไป แรงดันตกคร่อม C_1 จึงลดต่ำลงได้อีกครั้งและสามารถทำงานได้ในช่วงต่อไป ค่าของ C_1 และ R_1 ที่เหมาะสมอาจหาได้จาก

$$C_1 = \frac{I_{p(PK)} \times t_{off}}{2V_{in}} \qquad (2.41)$$

$$R_1 = \frac{t_{ON(min)}}{2 \cdot 3C_1} \qquad (2.42)$$

เมื่อ $I_{p(PK)}$ คือ ค่ากระแสสูงสุดขณะเริ่มหยุดนำกระแสของเพาเวอร์มอสเฟต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V_{in} คือ ค่าแรงดันอินพุตของคอนเวอร์เตอร์

t_{ON} คือ ช่วงเวลานำกระแสของเพาเวอร์มอสเฟต

t_{off} คือ ช่วงเวลาหยุดนำกระแสของเพาเวอร์มอสเฟต

การคายประจุของ C_1 จะทำให้เกิดกำลังงานสูญเสียในตัว R_1 สูง ตัวต้านทาน R_1 จะต้องทนกำลังได้สูง โดยค่ากำลังงานสูญเสียใน R_1 อาจหาได้จาก

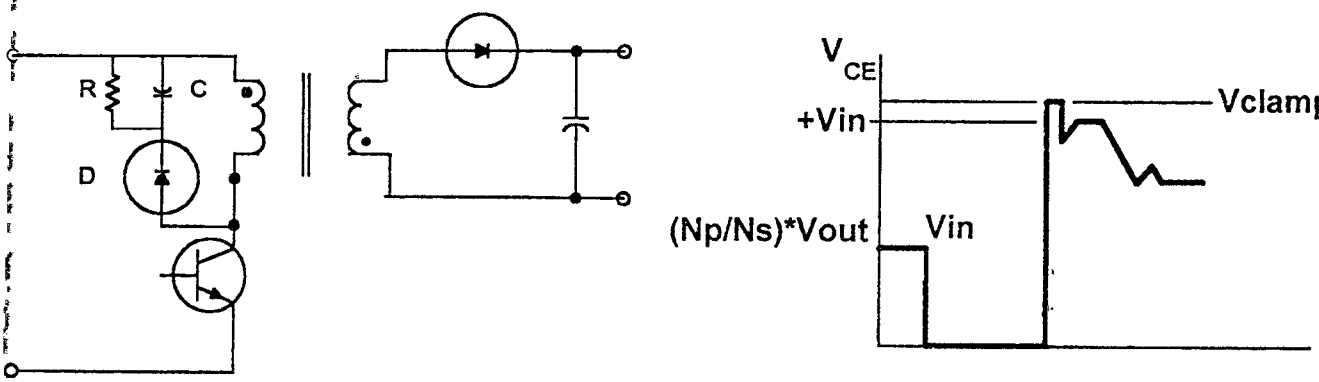
$$P_D = \frac{C_1(2V_{in})^2}{2T} \qquad (2.43)$$

เมื่อ T คือ ค่าคาบเวลาการทำงานของเพาเวอร์ทรานซิสเตอร์

<u>-วงจรสนับเบอร์ป้องกันแรงดันเกิน</u>

ปกติการพังเสียหายของเพาเวอร์ทรานซิสเตอร์ขณะทำงาน มักมีสาเหตุหลักมาจากการทำงานเกินพิกัดปลอดภัย RBSOA แรงดันสไปค์ขณะหยุดนำกระแสโดยเฉพาะอย่างยิ่งในฟลายแบคและฟอร์เวิร์ดคอนเวิร์เตอร์ มักทำให้ค่าของแรงดันตกคร่อมเพาเวอร์ทรานซิสเตอร์ขณะเริ่มหยุดนำกระแสมีค่าสูงเกินค่าแรงดันสูงสุดที่มันจะทนได้ และเกิดการพังเสียหายขึ้น วงจรสนับเบอร์ป้องกันแรงดันเกินจึงมีหน้าที่ป้องกันค่าแรงดันสไปค์ที่เกิดขึ้นไม่ให้เกินค่าปลอดภัยของเพาเวอร์ทรานซิสเตอร์ การต่อวงจร RCD สนับเบอร์เพื่อป้องกันแรงดันเกินอาจทำได้ดังรูปที่ 2.24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.24 แสดงการต่อสนับเบอร์ป้องกันแรงดันเกินเพื่อจำกัดค่ากระแสสูงสุดที่จะตกคร่อมเพาเวอร์ทรานซิสเตอร์ขณะเริ่มหยุดนำกระแส

การทำงานของวงจรสนับเบอร์ป้องกันแรงดันเกินจะเป็นดังนี้คือ ในขณะที่เพาเวอร์ทรานซิสเตอร์เริ่มหยุดนำกระแส ตัวเก็บประจุ C จะถูกชาร์จประจุผ่านไดโอด D จากค่าแรงดันสไปค์ ค่าของ R_1จะทำให้แรงดันตกคร่อม C มีค่าต่ำกว่าแรงดันสไปค์ และมีค่าคงที่ตลอดช่วงของการเกิดแรงดันสไปค์ค่าแรงดันสูงสุดที่คอลเล็กเตอรขณะเกิดสไปค์จึงถูกกันไว้ด้วยแรงดันที่ตกคร่อมตัวเก็บประจุ C และเนื่องจากแรงดันสไปค์จะเกิดขึ้นในช่วงเวลาสั้น ๆ ดังนั้นขณะที่แรงดันสไปค์มีค่าลดลง C_1 จะคายประจุออกมาผ่านตัวต้านทาน R แรงดันตกคร่อมที่คอลเล็กเตอร์จะกลับสู่ค่าแรงดันตามการทำงานปกติ

อาจกล่าวได้ว่า วงจรสนับเบอร์ป้องกันแรงดันเกินนั้น ทำงานโดยการถ่ายเทพลังงานที่สะสมในตัวเหนี่ยวนำแฝงอันเป็นตัวทำให้เกิดแรงดันสไปค์ ไปไว้ที่ตัวเก็บประจุ C แทน นั่นคือ

$$\frac{1}{2}CV_C^2 = \frac{1}{2}L_i I_{p(pk)}^2 \qquad (2.44)$$

เนื่องจาก V_c จะมีค่าได้ไม่เกิน V_{CEO} - V_{Clamp} ดังนั้น

$$C = \frac{L_i I_{p(pk)}^2}{(V_{CEO} - V_{Clamp})} \qquad (2.45)$$

เมื่อ L_1 คือ ค่าความเหนี่ยวนำแฝงที่เกิดจากฟลักซ์รั่วของขดไพรมารี่ (leakage inductance)

$I_{p(PK)}$ คือ ค่ากระแสสูงสุดขณะเริ่มหยุดนำกระแสของเพาเวอร์ทรานซิสเตอร์

V_{ceo} คือ อัตราทนแรงดันตกคร่อมสูงสุดของเพาเวอร์ทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V_{Clamp} คือ ค่าแรงดันสูงสุดที่ยอมให้เกิดได้เมื่อเพาเวอร์ทรานซิสเตอร์เริ่มหยุดนำกระแส

ค่าของ R อาจหาได้จาก

$$R = \frac{T_{OFF(\min)}}{2 \cdot 3C} \qquad (2.46)$$

กำลังงานสูญเสียใน R จะมีค่าเท่ากับ

$$P_D = \frac{1}{2}\frac{L_l I_{p(PK)}^2}{T} \qquad (2.47)$$

เมื่อ T คือ คาบเวลาการทำงานของเพาเวอร์ทรานซิสเตอร์

t_{OFF} คือ ช่วงเวลาหยุดนำกระแสของเพาเวอร์ทรานซิสเตอร์

2.4ทฤษฎีการเปลี่ยนแปลงและอ้างถึงข้อมูล (Data Acquisition and Conversion)

-ทฤษฎีการ Sampling

ในการแปลงสัญญาณ Analog เป็นรหัส Digital นั้น ADC จะต้องใช้เวลาช่วงหนึ่งในการจัดการ ซึ่งช่วงเวลาดังกล่าวนั้นขึ้นอยู่กับหลายๆ Factor เช่น ความละเอียดของการแปลงสัญญาณ (จำนวน Digital Bit) เทคนิคของการแปลงสัญญาณและความเร็วในการทำงานของอุปกรณ์ร่วมอื่นๆ การกำหนดความเร็วของการแปลงสัญญาณนี้ขึ้นกับการประยุกต์ใช้งานเฉพาะอย่าง และความแม่นยำที่ต้องการ ช่วงเวลาในการแปลงสัญญาณบางครั้งเรียกว่า Aperture time ซึ่งความหมายโดยทั่วไปหมายถึงช่วงเวลาที่เกิดความไม่แน่นอนขึ้นในการวัด และผลก็คือเกิดความผิดผลาด (error) ต่อค่าที่วัดได้ รหัส Digital ที่ได้อาจจะตรงกับขนาดของสัญญาณ Analog ค่าใดค่าหนึ่งในช่วงเวลานี้ และส่วนอื่นๆที่เหลือคือ error ที่เกิดขึ้น เรียก error ที่เกิดขึ้นนี้ว่า Aperture time error วิธีอื่นที่ไม่จำเป็นต้องใช้ ADC ความเร็วสูงในการลด Aperture time นี้คือ การใช้ Sample and Hold ซึ่ง Sample and Hold ที่มี Aperture time น้อย ๆ นั้นสามารถทำได้ง่าย

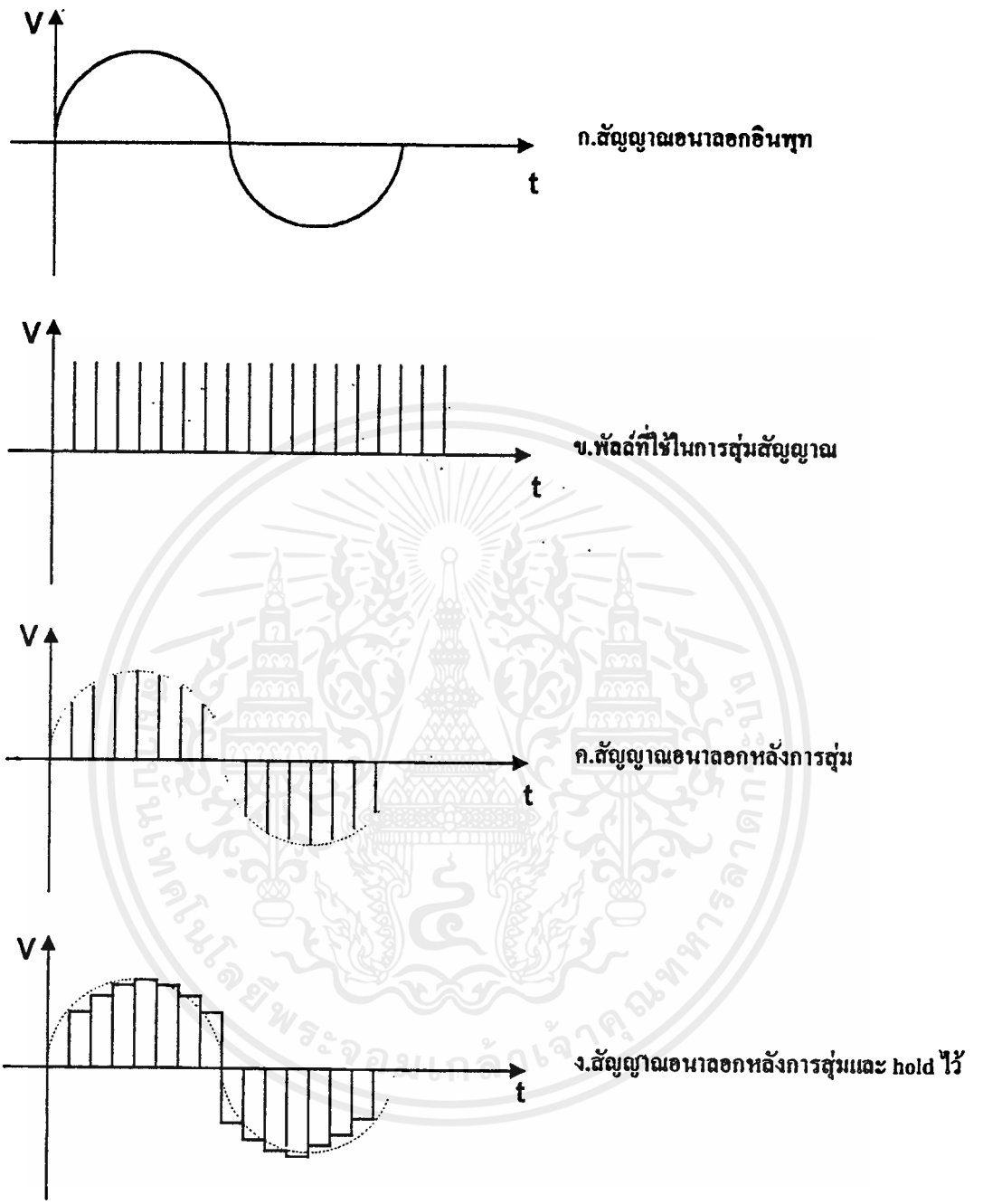
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Sampling and Hold และ Aperture error

วงจร Sample and Hold จะทำการสุ่ม (Sampling) สัญญาณอินพุท และนำสัญญาณที่สุ่มนั้นมาเก็บ (Hold) ไว้ในช่วงเวลาหนึ่งได้ ซึ่งส่วนใหญ่จะใช้การประจุแรงดันไว้ในตัวเก็บประจุที่รั่วไหลต่ำ Aperture time ของ Sample and Hold คือเวลาตั้งแต่เริ่มสุ่มสัญญาณจนเก็บประจุค่าแรงดันจนถึงค่าที่สุ่ม ซึ่งสำหรับ Sample and Hold แล้ว Aperture time ขึ้นอยู่กับBandwidth และ Switching time ของอุปกรณ์แอคทีฟ ที่ใช้ในวงจร ซึ่งหาและสร้างได้ง่าย ในการสุ่มสัญญาณ Analog จะถูกสุ่มออกเป็นระยะ ๆ คงที่ การสุ่มจะเป็นการตัดต่อสัญญาณ Analog ในช่วงเวลาอันสั้นด้วย Switch ที่ทำงานด้วยความเร็วสูง ผลของการสุ่มสัญญาณด้วยความเร็วจะเสมือนกับการคูณขบวนสัญญาณพัลส์แคบ ๆ กับสัญญาณ Analog ซึ่งจะได้เป็นสัญญาณมอดูเลทระหว่างขบวนพัลส์กับสัญญาณ Analog โดยเสมือนว่าสัญญาณ Analog จะขี่มาบนขบวนพัลส์

มีปัญหาที่ว่าอัตราการสุ่มสัญญาณนั้นควรมีขนาดเท่าใดจึงจะไม่ทำให้ข้อมูลสูญเสียไปเมื่อสัญญาณนั้นถูกเปลี่ยนกลับมาเป็นสัญญาณเช่นเดิม (reconstruction) คำตอบก็คือ ขึ้นอยู่กับความถี่ของสัญญาณ Analog ทฤษฎีการสุ่มกล่าวไว้ว่า ถ้าสัญญาณต่อเนื่องซึ่งมีความถี่ Harmonic ไม่เกิน Fc ถูกสุ่มด้วยอัตราการสุ่มไม่น้อยกว่า 2Fc แล้ว สัญญาณดังกล่าวจะสามารถเปลี่ยนกลับมาได้อย่างเดิมโดยไม่สูญเสียรายละเอียดไปหรือผิดเพี้ยนไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.25 แสดงการ Sampling สัญญาณอินพุทที่เป็น Sine wave

-Quantizing theory

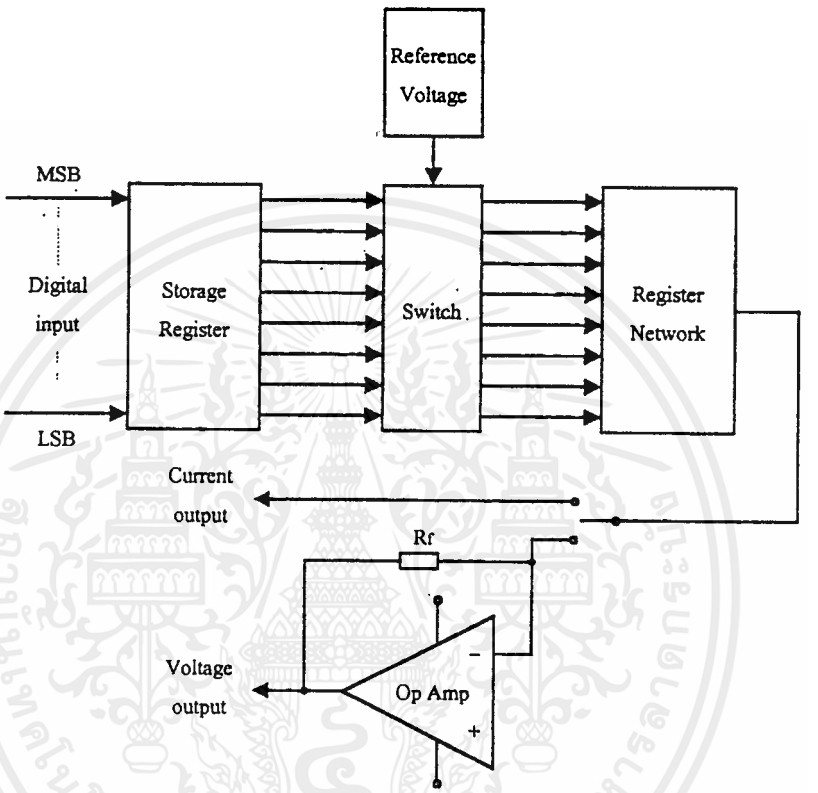
Quantizing เป็นขบวนการที่เปลี่ยนแปลงสัญญาณ Analog เป็นสัญญาณที่ไม่ต่อเนื่อง (discrete signal) หลังการสุ่ม โดยผ่านขบวนการเข้ารหัส (Coding) จัดให้สัญญาณที่ไม่ต่อเนื่องนั้นอยู่ในรูปที่ง่ายต่อการประมวลผลและเป็นอัตราส่วนสัมพันธ์กับสัญญาณ Analog

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จำนวนสถานะ output ได้จากการจำนวนบิทคือ $=2^n$ สถานะ ตัวอย่างเช่นกรณี ADC 8 bit Quantizer จะให้ output 256 สถานะ และ 12 bit ให้ 4096 สถานะต่อค่าเต็มสเกลของ Analog

Digital to Analog Converter (DAC)

หลักการทำงานของวงจร Digital to Analog Converter นั้นสามารถอธิบายได้ดังรูปต่อไปนี้



รูปที่ 2.26 แสดงบล๊อคไดอะแกรมของ DAC

หัวใจสำคัญของ DAC คือ อาเรย์สวิทช์ที่ควบคุมด้วยลอจิกซึ่งมีจำนวน n ชุด เท่ากับจำนวนไบนารีบิท สวิทช์เหล่านี้จะตัดต่อแรงดันอ้างอิงขนาดหนึ่งเข้ากับวงจรอาเรย์ Resister ค่าต่างๆที่ weight ตามรหัสไบนารีเอาท์พุท บัฟเฟอร์แอมปริไฟเออร์จะทำหน้าที่เปลี่ยนกระแสที่ถูก weight โดยวงจร Register ให้เป็นแรงดัน Analog ที่มีความสัมพันธ์ต่อกัน ใน DAC บางวงจรมี digital register อยู่ในตัวเพื่อ latch รหัสอินพุทไว้ ในขณะที่ DAC กำลังทำการเปลี่ยนสัญญาณ Analog

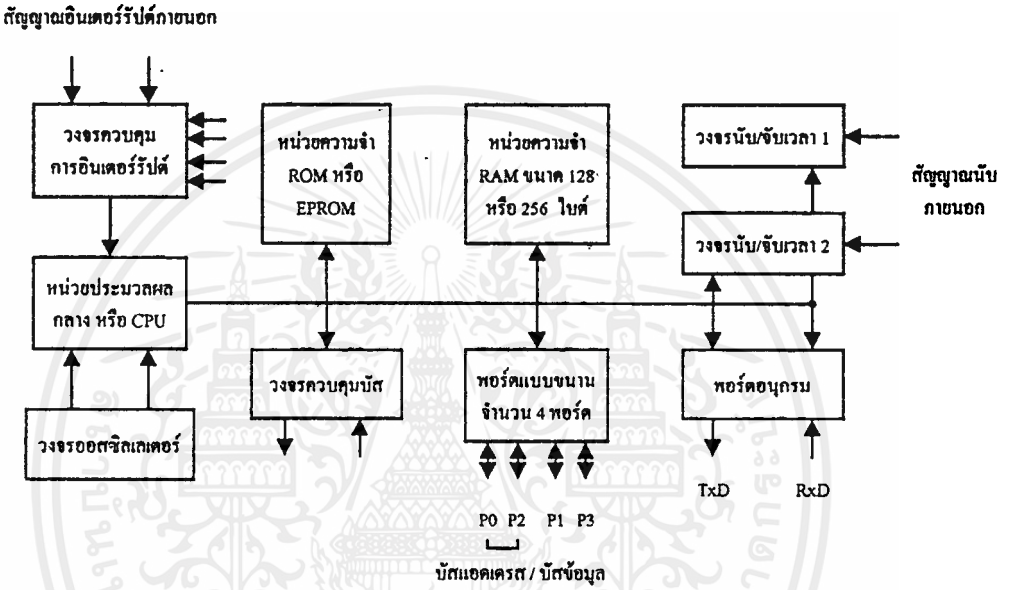
Analog to Digital Converter

หลักการทำงานของวงจร Analog to Digital Converter นั้นสามารถเรียงลำดับการทำงานได้โดยเริ่มจากการที่มีสัญญาณอินพุทอนาลอกเข้ามาในวงจร วงจรจะทำการนำเอาสัญญาณที่ได้มาทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเปรียบเทียบกับสัญญาณอ้างอิงตามหลักการและทฤษฎีการ Sampling and Hold และทฤษฎีการ Quantization เพื่อให้ได้สัญญาณเอาท์พุทเป็นสัญญาณดิจิตอล และสามารถส่งค่าดังกล่าวเพื่อนำออกไปใช้งานต่อไป

2.5 ไมโครคอนโทรลเลอร์ตระกูล 8051



รูปที่ 2.27 แผนภาพแสดงหน่วยการทำงานของ MCS-51

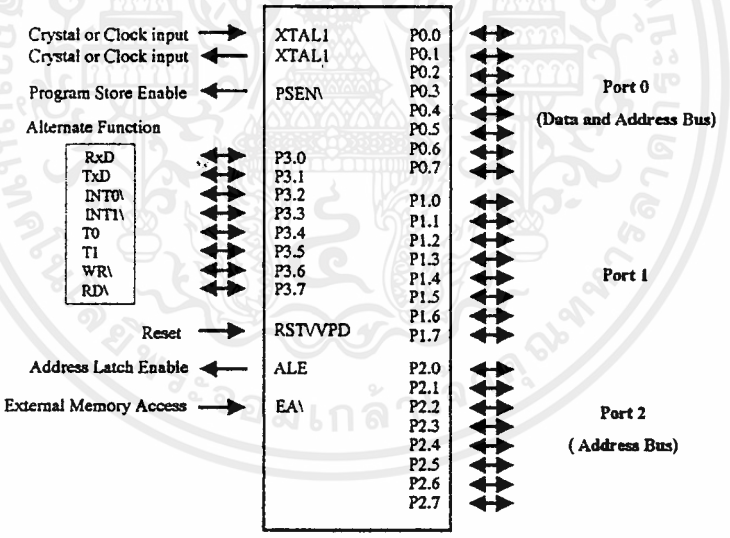
จากแผนภาพในรูปที่ 2.27 แสดงให้เห็นถึงหน่วยการทำงานพื้นฐานของไมโครคอนโทรลเลอร์เบอร์ต่างๆ ที่จัดอยู่ภายในตระกูล MCS-51 นี้ประกอบด้วย

- หน่วยประมวลผลกลางขนาด 8 บิท
- หน่วยประมวลผลสำหรับข้อมูลแบบบิท (Boolean Processor)
- ความสามารถในการอ้างตำแหน่งของหน่วยความจำโปรแกรม 64 กิโลไบต์
- ความสามารถในการอ้างตำแหน่งของหน่วยความจำข้อมูล 64 กิโลไบต์
- หน่วยความจำโปรแกรมภายใน 4 กิโลไบต์แบบ EPROM (เบอร์ 8751) หรือแบบ ROM (เบอร์ 8051)
- หน่วยความจำแบบ RAM ภายในจำนวน 128 ไบต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- พอร์ตอินพุต / เอาท์พุตแบบขนานจำนวน 32 เส้น ซึ่งสามารถแยกทำงานได้อย่างอิสระ
- วงจรนับ / จับเวลาขนาด 16 บิทจำนวน 2 วงจร
- วงจรสื่อสารแบบอนุกรมแบบ Full Duplex
- วงจรควบคุมการอินเทอร์รัพจากแหล่งกำเนิดสัญญาณ 6 ประเภทพร้อมการกำหนดลำดับความสำคัญไว้ 2 ระดับ
- วงจรออสซิลเลเตอร์ภายใน

ไมโครคอนโทรลเลอร์ตระกูลนี้จะมีรูปร่างไอซีเป็นแบบ DIP ขนาด 40 ขา ดังรูปที่ 2.28 ซึ่งแต่ละขาสัญญาณจะมีหน้าที่ที่ระบุชัดเจนตามสัญลักษณ์ชื่อย่อที่กำกับในแต่ละขา อย่างไรก็ตาม จะมีบางขาสัญญาณที่อาจจะมีหน้าที่ได้มากกว่า 1 อย่าง (ซึ่งเขียนกำกับไว้ว่า Alternate Functions ในรูปที่ 2.28) ซึ่งไม่สามารถใช้งานในเวลาเดียวกันได้



รูปที่ 2.28 การกำหนดหน้าที่ขาสัญญาณของไอซี 8051

-ฐานเวลาในการทำงานของหน่วยประมวลผลภายใน 8051

8051 มีวงจรออสซิลเลเตอร์อยู่ภายในสำหรับสร้างพัลส์สัญญาณนาฬิกา ซึ่งจะนำไปเป็นฐานเวลาหรือการกำหนดจังหวะการทำงานของหน่วยการทำงานทั้งหมดให้สอดคล้องกัน โดยปกติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แล้วมักจะทำกันโดยการใช้คริสตอลเชื่อมต่อเข้ากับสัญญาณ XTAL 1 และ XTAL 2 พร้อมกับตัวเก็บประจุดังลักษณะในรูปที่ 2.29 หรืออาจจะเป็นสัญญาณนาฬิกาจากภายนอกก็ได้

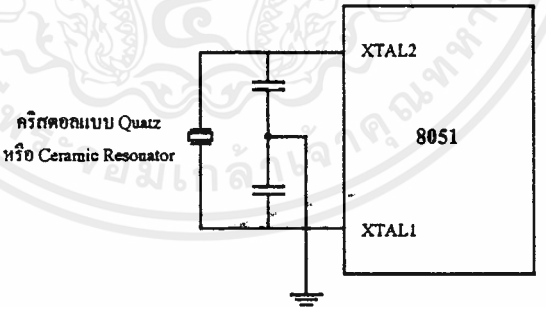
พัลส์ความถี่ของสัญญาณนาฬิกาจะเรียกว่า Pulse (ใช้สัญลักษณ์เป็น P) และคาบของสัญญาณนาฬิกานี้เรียกว่าคาบเวลาออสซิลเลเตอร์ (Oscillator Period) คาบเวลาออสซิลเลเตอร์จำนวน 2 คาบเรียกว่า State (ใช้สัญลักษณ์เป็น S) ซึ่งจะนำไปใช้เป็นช่วงเวลาพื้นฐานการทำงานย่อยของไมโครคอนโทรลเลอร์ เช่น การนำคำสั่ง (Fetch) การถอดความหมาย (Decode) การประมวลผล (Execute) และการเขียนข้อมูล (Write) ดังแสดงเป็นแผนภาพในรูปที่ 2.30 ช่วงเวลาของ State จำนวน 6 ครั้งจะเรียกว่าแมชชีนไซเคิล (Machine Cycle) ดังนั้นค่า 1 Machine Cycle จะใช้เวลา 12 คาบเวลาออสซิลเลเตอร์ ค่าแมชชีนไซเคิลจัดว่าเป็นช่วงเวลาที่น้อยที่สุดในการทำคำสั่งใดคำสั่งหนึ่ง ซึ่งหากเป็นคำสั่งที่ซับซ้อนมากก็จะต้องใช้เวลานาน 2 - 3 แมชชีนไซเคิล

เวลาที่ใช้ในการทำคำสั่งใดจนเสร็จสิ้นสามารถคำนวณได้จากสูตร

$$T = \frac{C \times 12}{\text{Crystal Frequency}} \qquad (2.48)$$

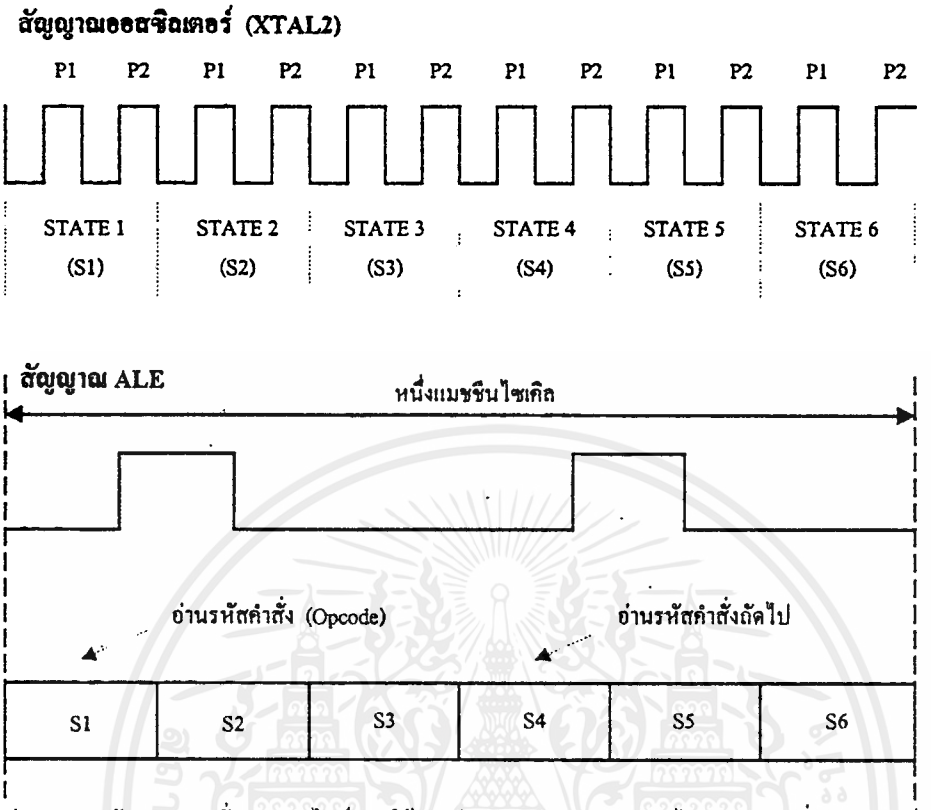
โดย C : เป็นค่าจำนวนแมชชีนไซเคิลของคำสั่ง

Crystal Frequency : เป็นค่าความถี่ของคริสตอลที่ใช้กับ 8051



รูปที่ 2.29 แสดงการใช้คริสตอลภายนอกต่อเข้ากับออสซิลเลเตอร์ภายใน 8051

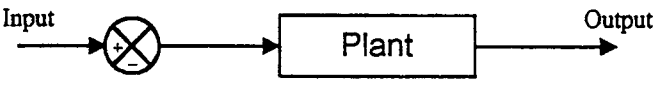
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.30 แสดงแผนภาพเวลาพื้นฐานของ 8051
และลำดับของช่วงเวลา State ในการทำคำสั่งหนึ่งไบต์

2.6 ทฤษฎีการควบคุม

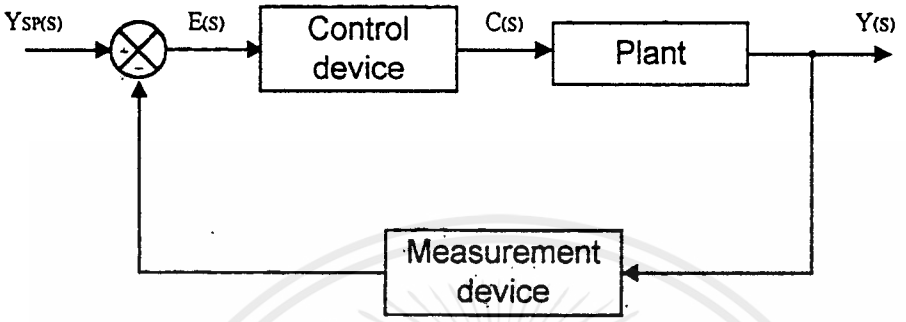
ส่วนควบคุมสามารถเขียนเป็น Block Diagram แสดงการทำงานของระบบได้ดังนี้



จากรูป เรียกว่า Open loop คือไม่ได้มีการนำเอาค่า out put ไปทำการเปรียบเทียบและนำกลับไปใช้ใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการควบคุมให้ระบบสามารถทำงานได้ในจุดที่ต้องการ (Set Point) ต้องมีการนำค่า out put กลับมาใช้เป็นข้อมูลในการควบคุม หรือ เรียกว่า Close loop Control จะทำให้ระบบควบคุมสามารถปรับตัวเองจนเข้าสู่จุดที่ต้องการมีลักษณะดังรูป



ในส่วนของอุปกรณ์ควบคุมจะใช้หลักการชดเชยระบบควบคุม (Compensation) คือการปรับปรุงคุณสมบัติของระบบควบคุมให้มีคุณสมบัติการตอบสนองชั่วคณะ คุณสมบัติการตอบสนองสุดท้าย และคุณสมบัติการตอบสนองเชิงความถี่ ตามข้ากำหนดที่ต้องการ

การปรับปรุงคุณสมบัติของระบบควบคุมควรใช้การชดเชยแบบใด และอุปกรณ์ชดเชยแบบใดขึ้นกับลักษณะของระบบควบคุมและข้อกำหนดเกี่ยวกับคุณสมบัติของระบบควบคุมที่ต้องการ อุปกรณ์ชดเชยนั่นมีอยู่หลายชนิดด้วยกัน ตัวอย่างเช่น

- การชดเชยแบบมุมนำ Lead Compensation
- การชดเชยแบบมุมตาม Lag Compensation
- การชดเชยแบบ P
- การชดเชยแบบ PI
- การชดเชยแบบ PID

จากตัวอย่างที่ยกมาให้นี้ การชดเชยแบบ Lead และ Lag Compensation จะเหมาะสำหรับระบบที่ทราบสมการของระบบและสามารถหาค่า Transfer Function ของระบบได้ แต่เนื่องจากในระบบที่ใช้งานจริงๆนั้น ส่วนใหญ่มักจะไม่ทราบค่า Transfer Function ทั้งหมดจึงไม่สามารถใช้ได้ จึงมีการใช้วิธี P, PI และ PID มาควบคุมระบบโดยต้องอาศัยผลการทดลองและอาศัยความชำนาญของผู้ควบคุมในการปรับแต่งค่าอีกด้วย

เครื่องควบคุมจะทำหน้าที่ตรวจสอบสภาพของกระบวนการ โดยใช้ค่าที่ได้จากการวัดค่าตัวแปรจากเครื่องวัด Y_m เปรียบเทียบกับเป้าหมายการควบคุม Y_{SP} และสร้างสัญญาณควบคุม C(s)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อปรับสภาพของกระบวน โดยใช้ค่าความคลาดเคลื่อนในการควบคุม $\varepsilon = Y_{SP} - Y_m$ ในการตัดสินใจ สำหรับความสัมพันธ์ของ E(s) และ C(s) นั้น ขึ้นกับชนิดของการควบคุมว่ามีลักษณะอย่างไร ซึ่งมีอยู่ 3 ชนิดด้วยกัน

1. เครื่องควบคุมแบบพี (Proportional Control หรือ P-Controller) สัญญาณควบคุมจะแปรผันตรงตราค่าความคลาดเคลื่อนในการควบคุม

$$C(t) = K_C \varepsilon(t) + C_s \qquad (2.49)$$

เมื่อ K_C คือ อัตราการควบคุมแบบพี (Proportional Gain) ของเครื่องควบคุม

C_s คือ สัญญาณถ่วงของเครื่องควบคุม เป็นค่าตัวแปรออกของเครื่องควบคุมเมื่อค่าความคลาดเคลื่อนในการควบคุมมีค่า 0

เครื่องควบคุมแบบพี สามารถแสดงอัตราการควบคุม 2 วิธี คือ อัตราการควบคุมแบบพี และแถบการควบคุมแบบพี โดย PB = $100/K_C$ % แถบการควบคุมแบบพี หมายถึง ค่าความคลาดเคลื่อนในการควบคุม ที่ทำให้สัญญาณควบคุมมีค่าสูงสุด

ทรานซิสเตอร์ฟังก์ชั่นของเครื่องควบคุมแบบพี

$$G_C(s) = K_C \qquad (2.50)$$

2. เครื่องควบคุมแบบ PI (Proportional – Integral Controller หรือ PI Controller)

สัญญาณควบคุมมีความสัมพันธ์กับค่าความคลาดเคลื่อนในการควบคุมตามสมการ

$$C(t) = K_C \varepsilon(t) + \frac{K_C}{T_i} \int_0^t \varepsilon(t)\, d(t) + C_s \qquad (2.51)$$

เมื่อ T_i คือ ค่าคงที่ของช่วงเวลาอินทริเกรต (Integral Time Constant) หรือช่วงเวลาการเริ่มต้นอินทริเกรต (Reset Time) ของเครื่องควบคุมแบบไอ

ช่วงเวลาการเริ่มต้นอินทริเกรต T_i หมายถึง ช่วงเวลาที่เครื่องควบคุมใช้ในการเพิ่มสัญญาณการควบคุมแบบไอจนมีค่าเท่ากับสัญญาณที่ได้รับจากการควบคุมแบบพีอย่างเดียวหนึ่งครั้ง เครื่องควบคุมแบบไอมีสมบัติต่างจากแบบ พี คือ สัญญาณควบคุมจะมีการเปลี่ยนแปลงค่าเพิ่มขึ้นหรือลดลงตลอดเวลาที่ยังมีค่าความคลาดเคลื่อนในการควบคุมอยู่

ทรานเฟอร์ฟังก์ชั่นของเครื่องควบคุมแบบ P-I คือ

$$G_S(s) = K_C\left(1 + \frac{1}{T_i s}\right) \qquad (2.52)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การควบคุมของเครื่องควบคุมแบบพีไอ เมื่อเวลาผ่านไป T_i สัญญาณควบคุมจากการควบคุมแบบไอ จะมีค่าเท่ากับสัญญาณควบคุมแบบ พี อย่างเดียว

$$\frac{K_C}{T_i}\int_0^{T_i}\varepsilon(t)d(t)=\frac{K_C}{T_i}\varepsilon T_i = K_C\varepsilon 2 \qquad (2.53)$$

3. การควบคุมแบบพีไอดี (Proportional-Integral-Derivative Controller) มีสัญญาณควบคุมคือ

$$C(t)=\frac{K_c}{T_i}\int_0^t \varepsilon(t)\,d(t)+K_cT_D\frac{d}{dt}\varepsilon(t)+C_s \qquad (2.54)$$

T_Dคือ ค่าคงที่ของเวลาอนุพันธ์ ของเครื่องควบคุมแบบดี

สัญญาณการควบคุมแบบดีจะถูกสร้างขึ้นเพื่อความคลาดเคลื่อนในการควบคุมล่วงหน้าทันที

ทรานเฟอร์ฟังก์ชั่นของเครื่องควบคุมแบบพีไอดี คือ

$$G_S(s)=K_C\left[1+\frac{1}{T_is}+T_Ds\right] \qquad (2.55)$$

- ถ้าค่าความคลาดเคลื่อนคงที่ จะไม่มีสัญญาณการควบคุมแบบดีเกิดขึ้น
- กระบวนการที่ค่าวัดเปลี่ยนแปลงอยู่เสมอหรือค่าวัดมีการรบกวนจากสัญญาณภายนอกจะทำให้สัญญาณการควบคุมแบบดีจะมีค่าสูง ถึงแม้ว่าความคลาดเคลื่อนในการควบคุม จะมีค่าน้อย

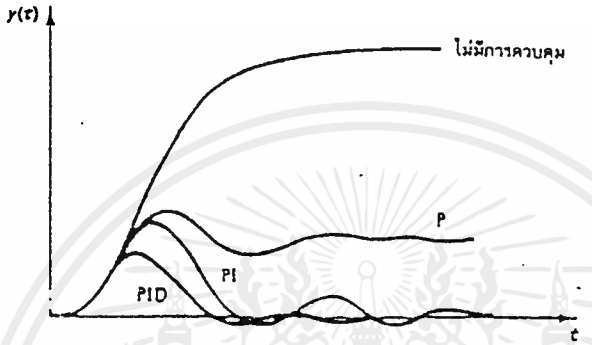
2.6.1 การเลือกและปรับเครื่องควบคุม

หลักเกณฑ์ที่ใช้ในการตัดสินใจเลือกเครื่องควบคุมและปรับตัวแปรควบคุมมีหลายวิธีขึ้นกับวัตถุประสงค์ในการควบคุมและวัตถุประสงค์ในการออกแบบระบบควบคุม เช่น

- ต้องการลดค่าการตอบสนองสูงสุดของระบบให้น้อยที่สุด
- ต้องการลดค่าช่วงเวลาสมดุลให้สั้นที่สุด
- ต้องการลดค่าความคลาดเคลื่อนรวมในการควบคุมให้มีค่าน้อยที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้หลักเกณฑ์ในการเลือกและตัดสินใจต่างกัน จะทำให้ระบบควบคุมได้ผลการควบคุมต่างกันดังรูปข้างล่างนี้ แสดงการเปลี่ยนแปลงสภาพของกระบวนการและผลการควบคุมของเครื่องควบคุมแบบต่าง ๆ เมื่อภาระการควบคุมเปลี่ยนแปลงเป็นระดับสัญญาณ ซึ่งพบว่าการใช้เครื่องควบคุมต่างชนิดกันจะทำให้ได้ผลการควบคุมต่างกัน



2.6.2 การเลือกเครื่องควบคุมแบบป้อนกลับ

การเลือกให้เครื่องควบคุมแบบ P, PI , PID ในระบบควบคุมแบบป้อนกลับ ให้เหมาะสมกับกระบวนการ ต้องทำการหาค่าอินทริเกรตค่าเวลาความคลาดเคลื่อน , คำนวนค่าตัวแปรควบคุม คือ K_C T_i และ T_D ที่ทำให้ค่าอินทริเกรตมีค่าน้อยที่สุด

จากหลักการดังกล่าว แม้จะถูกต้องตามทฤษฎีทางคณิตศาสตร์แต่ไม่สามารถจะทำได้สำหรับกระบวนการจริง ๆ เนื่องจากต้องแก้ปัญหาทางคณิตศาสตร์ของกระบวนการ และอุปกรณ์ต่าง ๆ ในระบบควบคุมทั้งหมด คือ กระบวนการ เครื่องวัด และอุปกรณ์ควบคุมสุดท้ายอย่างถูกต้อง ซึ่งไม่สามารถทำได้ นอกจากนี้การกำหนดหลักเกณฑ์การหาค่าอินทริเกรตเวลาความคลาดเคลื่อน และการเลือกสัญญาณทดสอบที่ใช้ในการอินทริเกรตอาจไม่เหมาะสมกับกระบวนการและความต้องการในการออกแบบระบบควบคุมที่แท้จริง

การเลือกเครื่องควบคุมเพื่อลดความยุ่งยาก สามารถทำได้โดยพิจารณาการตอบสนองของกระบวนการจากผลการควบคุมแบบพี พีไอ และ พีไอดี ดังนี้

1. การควบคุมแบบพี

- การควบคุมแบบพี ทำให้กระบวนการตอบสนองต่อตัวแปรเข้าเร็วขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- การควบคุมแบบพี ทำให้ระบบควบคุมรวมมีความคลาดเคลื่อนในการควบคุมเสมอ ภายหลังการเปลี่ยนแปลงเป้าหมายก่ารควบคุมหรือภาระการควบคุม นอกจากการควบคุมกระบวนการที่มีคุณสมบัติเป็นกระบวนการความจุอย่างเดียวที่ transfer function ประกอบด้วยพจน์ 1/s

2. การควบคุมแบบไอ
   - การควบคุมแบบไอทำให้ระบบควบคุมรวมไม่มีความคลาดเคลื่อนในการควบคุม แต่มีค่าการตอบสนองสูงสุดเกิดขึ้น ทำให้ความคลาดเคลื่อนในการควบคุมของกระบวนการในช่วงแรกมากกว่ากระบวนการเดิม
   - การควบคุมแบบไอ ทำให้กระบวนการตอบสนองต่อตัวแปรเข้าภายนอกช้าลงเมื่อเปรียบเทียบกับกระบวนการเดิมและผบการตอบสนองจะมีการแกว่งเกิดขึ้นเสมอ
   - การปรับค่า K_c เพิ่มขึ้นในการควบคุมแบบไอทำให้กระบวนการการตอบสนองเร็วขึ้น แต่มีการแกว่งเพิ่มขึ้นทำให้เสถียรภาพของระบบรวมลดลง
3. การควบคุมแบบดี
   - การควบคุมแบบดีส่งสัญญาณการควบคุมเพื่อปรับสภาพกระบวนการ ก่อนความคลาดเคลื่อนจริงจะเกิดขึ้นกับกระบวนการทำให้การควบคุมมีผลดีกว่าการควมคุมแบบอื่น
   - การควบคุมแบบดี ช่วยเพิ่มเสถียรภาพรวมของกระบวนการให้ดีขึ้น

การเลือกชนิดของเครื่องควบคุมแบบป้อนกลับ ให้การควบคุมกระบวนการได้ผลดีและสามารถปรับเครื่องควบคุมได้ง่าย ควรใช้หลักเกณฑ์การพิจารณาต่อไปนี้

1. การเลือกใช้เครื่องควบคุมแบบพี ถ้าการควบคุมกระบวนการไม่จำเป็นต้องได้ผลการควบคุมที่แม่นยำมากนัก โดยปรับค่า K_c ของเครื่องควบคุมให้มีความคลาดเคลื่อนในการควบคุมเกิดขึ้นในช่วงที่ยอมรับได้ การควบคุมแบบพีเพียงอย่างเดียวก็เป็นการเพียงพอและไม่มีความคลาดเคลื่อนในการควบคุมเกิดขึ้น
2. การเลือกใช้เครื่องควบคุมแบบพีไอ ถ้าไม่สามารถใช้เครื่องควบคุมแบบพี เนื่องจากการควบคุมไม่ต้องการให้มีความคลาดเคลื่อนในการควบคุมเกิดขึ้นเลย มักพบเสมอในกระบวนการควบคุมอัตราการไหลของของเหลวหรือ ที่มีการตอบสนองของกระบวนการค่อนข้างเร็ว โดยผลการควบคุมแบบไอของเครื่องควบคุม ทำให้ระบบรวมมีผลตอบสนองช้าลง
3. เลือกใช้เครื่องควยคุมแบบ PID ถ้าไม่สามารถใช้เครื่องควบคุมแบบ พีไอ เนื่องจากการควบคุมพีไอไม่ทำให้เกิดความคลาดเคลื่อนในการควบคุม เกิดขึ้นและการตอบสนองของกระบวนการช้าลง การเพิ่มความเร็วในการตอบสนองของกระบวนการโดยปรับค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

K_c เพิ่มขึ้นจะทำให้ผลการตอบสนองของระบบรวมมีการแก่วงเพิ่มขึ้นและเสถียรภาพลดลง การใช้เครื่องควบคุมแบบ PID จะทำให้ผลการควบคุมไม่มีความคลาดเคลื่อนในการควบคุมเกิดขึ้น สามารถปรับค่า K_c เพื่อให้กระบวนการตอบสนองเร็วขึ้นโดยเสถียรภาพของระบบยังคงเดิม เครื่องควบคุมแบบ PID เหมาะสำหรับการควบคุมกระบวนการที่มีผลการตอบสนองค่อนข้างช้า

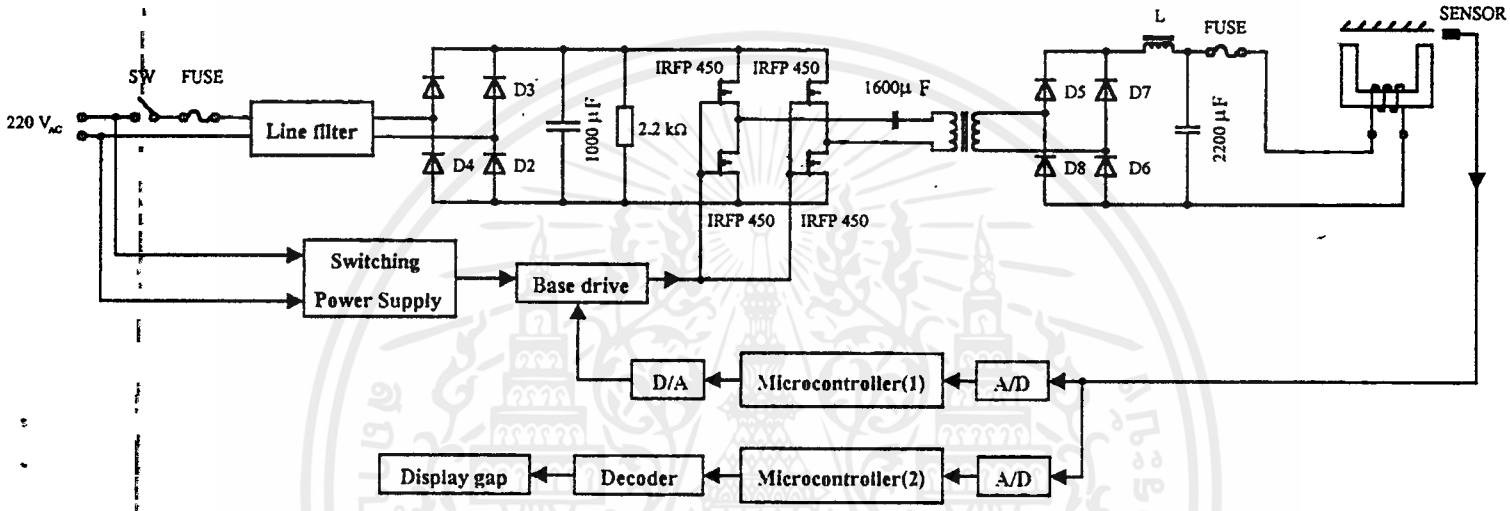
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การศึกษาและออกแบบ

3.1 ระบบวงจร Constant Air-gap Controller

ลักษณะการทำงานโดยรวมของระบบ **Constant Air-gap Controller** ที่ได้ทำการออกแบบไว้มีลักษณะดังรูปที่ 3.1



รูปที่ 3.1 แสดงระบบการทำงานโดยรวมของวงจร **Constant Air-gap Controller**

3.1.1 การทำงานของระบบ

เมื่อทำการตั้งค่าระยะห่างของช่องอากาศค่าหนึ่ง ในโปรแกรมของไมโครคอนโทรลเลอร์ แล้วทำการป้อนไฟจากแหล่งจ่ายไฟสลับเข้าไปยังระบบ ส่งผลให้ไมโครคอนโทรลเลอร์ทำการควบคุมความกว้างของสัญญาณพัลส์ (Pulse Width) ในวงจรขับเบสที่จะเป็นสัญญาณทริกเกทให้กับวงจรกำลัง โดยที่สัญญาณที่ออกจากวงจรกำลังนี้จะผ่านหม้อแปลงความถี่สูงแบบแปลงแรงดันลง (Step down switching transformer) ซึ่งจะทำให้กระแสที่ออกจากหม้อแปลงมีค่าเพิ่มขึ้น แล้วไหลผ่านวงจรฟูลบริดจ์เรคติไฟเออร์ (Full-bridge Rectifier) และวงจรกรองกระแส (Filter) เพื่อให้สัญญาณไฟตรงที่ได้มีความเรียบ ซึ่งสัญญาณไฟกระแสตรงนี้จะไหลเข้าไปยังส่วนยกลอยทำให้เกิดแรงแม่เหล็กขึ้น (Magnetic Force) เกิดการดูดกันระหว่างแม่เหล็กส่วนที่อยู่กับที่กับส่วนที่เคลื่อนที่ ส่งผลให้ส่วนยกลอยลอยขึ้น โดยที่จะมีตัวตรวจจับระยะ (Magnetic Sensor) คอยวัดระยะห่างของช่องอากาศ แล้วส่งผลที่วัดได้กลับไปยังไมโครคอนโทรลเลอร์เพื่อแสดงผลระยะห่างของช่องอากาศ และนำผลสัญญาณไปประมวลผลว่าขณะนี้ระยะที่ได้ตรงตามที่ต้องการหรือไม่ ถ้ายังก็จะทำการประมวลผลว่าต้องทำการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

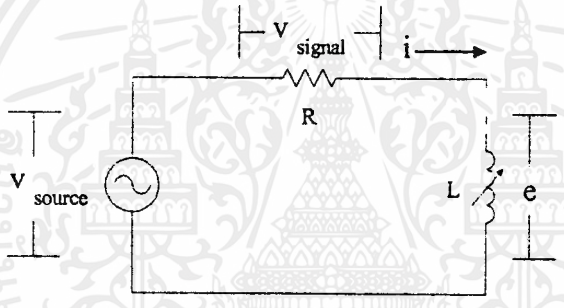
ปรับให้ไฟกระแสตรงไหลเข้าส่วนยกลอยมีค่าเพิ่มขึ้นหรือลดลง ซึ่งจะควบคุมความกว้างของสัญญาณพัลส์ที่เป็นเอาท์พุตของวงจรขับเบสนั่นเอง จนกระทั่งระยะห่างของช่องอากาศตรงตามค่าที่ตั้งไว้แล้ว ไมโครคอนโทรลเลอร์ก็จะทำการควบคุมให้รักษาระดับสัญญาณดังกล่าวให้คงที่ต่อไป

จากที่กล่าวมาทั้งหมดจะเห็นว่าระบบที่ใช้งานเป็นระบบแบบ Closed Loop โดยอาศัยตัวตรวจจับระยะ (Magnetic Sensor) ทำหน้าที่เป็นตัว Feedback สัญญาณกลับไปยังไมโครคอนโทรลเลอร์ เพื่อให้ทำการประมวลผลและส่งสัญญาณไปควบคุมเพื่อให้ได้ระยะห่างช่องอากาศตามค่าที่ตั้งไว้

3.2 การออกแบบตัว Sensor

โดยปกติแล้ว Sensor ที่ดีจะต้องมีขนาดเล็ก กะทัดรัด น้ำหนักเบา ใช้ Power ต่ำ ซึ่งการที่จะออกแบบให้ Sensor มีคุณสมบัติดังกล่าวนั้น จำเป็นต้องคำนึงถึงค่าพารามิเตอร์ต่างๆให้ดี

Sensor ในโครงงานนี้เป็น Sensor แม่เหล็กที่อาศัยการเปลี่ยนแปลงของค่า Inductance (L) เป็นตัวตรวจจับระยะของช่องอากาศ (gap)

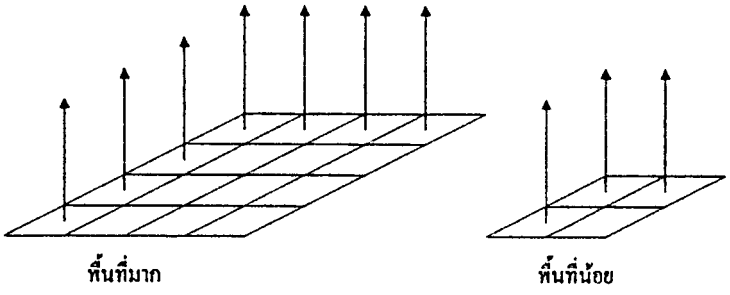


รูปที่ 3.2 วงจร Sensor

การเปลี่ยนแปลงของ L มีผลทำให้ค่า Inductive reactance (X_L) เปลี่ยนแปลงเช่นกัน ดังนั้นจึงทำให้กระแสในวงจร (i) เปลี่ยนแปลงเช่นกัน เป็นผลให้ v_{signal} เปลี่ยนแปลง ซึ่ง v_{signal} นี้จะนำไปเป็น signal เพื่อประมวลผลระยะช่องอากาศต่อไป

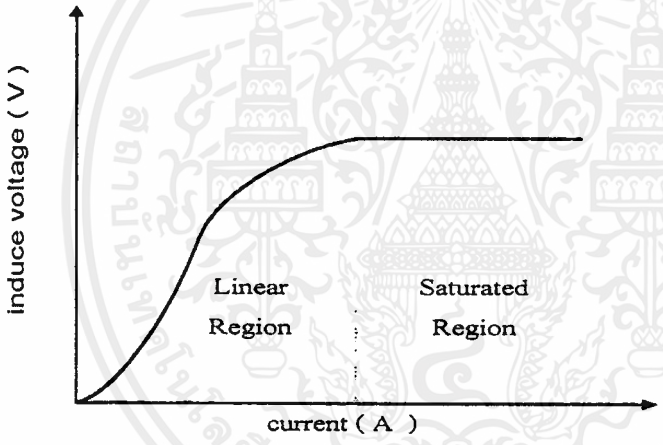
จากลักษณะ curve ของการอิ่มตัวของแกนเหล็ก ทำให้ทราบว่าแกนเหล็กที่มีพื้นที่หน้าตัด (A) น้อยจะบรรจุฟลักซ์แม่เหล็ก (ϕ) ได้ปริมาณน้อยเช่นกัน ทำให้เกิดการอิ่มตัวได้ง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 แสดงการเปรียบเทียบการบรรจุฟลักซ์แม่เหล็กในแกนเหล็กชนิดเดียวกัน แต่มีพื้นที่หน้าตัด (A) ต่างกัน

จากปรากฏการณ์อิ่มตัวของแกนเหล็กจะทำให้เกิดกระแสไหลในวงจรมีปริมาณมาก , เกิดความร้อน และเกิดเสียงคราง ของแกน ซึ่งเป็นปรากฏการณ์ที่ไม่พึงปรารถนาทั้งสิ้น

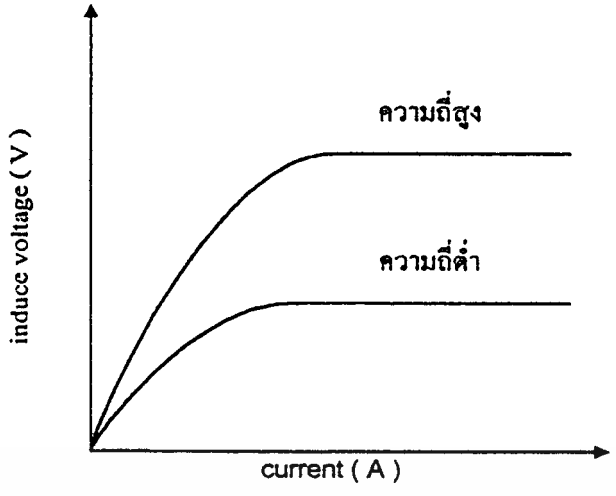


รูปที่ 3.4 แสดงจุดอิ่มตัว ช่วงของการอิ่มตัวและช่วง Linear

ดังนั้น จึงควรให้ช่วงการทำงานของวงจรอยู่ในช่วง Linear

จากปัญหาการอิ่มตัวง่ายดังกล่าว สามารถแก้ได้โดยการเพิ่มความถี่ (f) ในวงจร Sensor ให้มีค่าสูงขึ้น ซึ่งการใช้ความถี่ที่สูงขึ้นจะทำให้จุดอิ่มตัวอยู่สูงขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

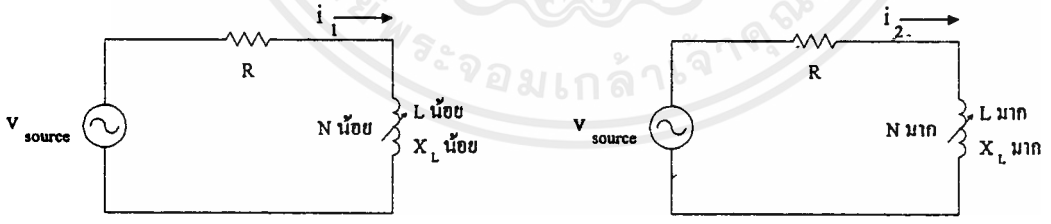


รูปที่ 3.5 แสดงจุดอิ่มตัวที่สูงขึ้น เมื่อเพิ่มความถี่

การที่ความถี่ในวงจรสูงขึ้น ทำให้เกิด Core loss มากขึ้นด้วย ซึ่งถ้าเราใช้แกนที่ทำจากเหล็กธรรมดา จะทำให้ Core loss สูงมาก ดังนั้น ต้องใช้แกนที่ทำจากเฟอร์ไรต์

*** เพราะฉะนั้น แกนที่จะใช้พันตัว L นี้ต้องมีขนาดเล็ก ทำมาจากเฟอร์ไรต์ และใช้ความถี่สูง***

จำนวนรอบที่ใช้ในการพัน (N) ก็มีผล ต่อการอิ่มตัวเช่นกัน การพันจำนวนรอบมาก ทำให้ค่า L มาก ส่วนการพันจำนวนรอบน้อย ทำให้ค่า L น้อย ตามสมการที่ (1.9) เมื่อป้อน v_{source} ที่เท่ากัน จะทำให้กระแส (i) ในวงจรที่ค่า L มาก จะมีค่าต่ำกว่าในวงจรที่ค่า L น้อย

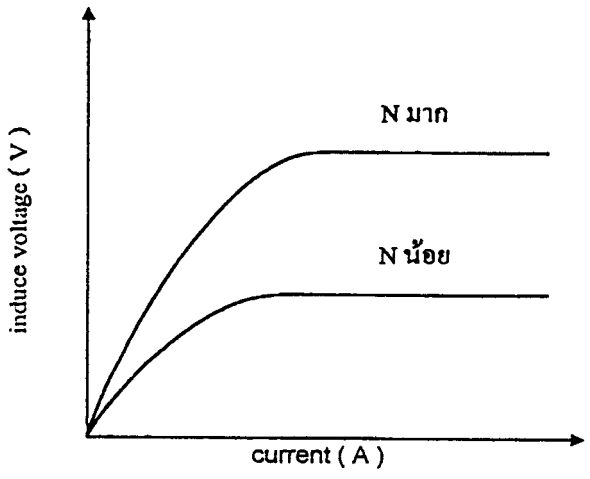


$i_1 > i_2$

รูปที่ 3.6 แสดงปริมาณกระแสที่แตกต่างกัน เมื่อ v_{source} และ R มีค่าเท่ากันทั้ง 2 วงจร

จากกระแสที่มีปริมาณมาก ก็จะทำให้เกิด ϕ ปริมาณมากเช่นกัน $\left(I = \frac{\Phi\Re}{N}\right)$ ฉะนั้น การพันรอบน้อยจะทำให้จุดอิ่มตัวอยู่ต่ำกว่าการพันรอบมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 แสดงจุดอิ่มตัวที่สูงขึ้น เมื่อเพิ่มรอบการพัน (N)

และจากการพันรอบน้อยที่ทำให้เกิดกระแสไหลในวงจรสูงนั้น จะทำให้ต้องใช้ขนาดลวดทองแดงขนาดใหญ่ เป็นผลให้ Sensor มีขนาดใหญ่ขึ้น และน้ำหนักมากขึ้น ซึ่งเป็นสิ่งที่ไม่พึงปรารถนา

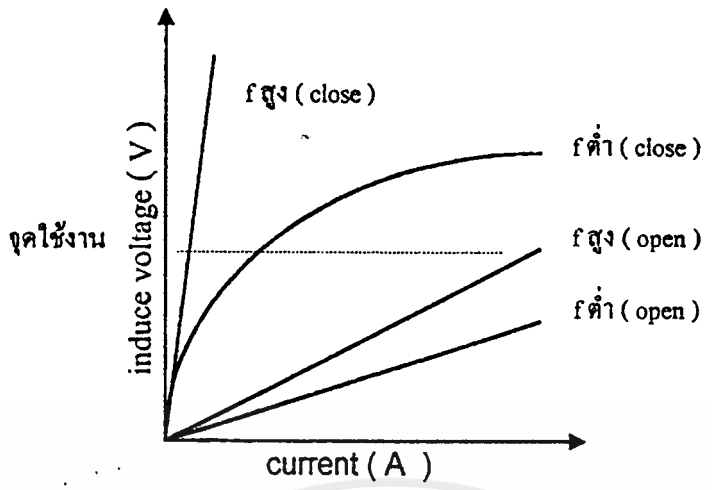
*** เพราะฉะนั้น จึงควรพันให้ได้รอบมากที่สุด โดยใช้ลวดขนาดเล็กที่สามารถทนต่อกระแสที่จะเกิดขึ้นในวงจรได้ด้วย (และขอบเขตของจำนวนรอบการพันจะถูกกำหนดโดยขนาดของ Bobbin และขนาด window ของแกนเหล็กเอง)***

สรุปหลักการออกแบบในส่วนของ Sensor ที่ต้องการให้มีขนาดเล็ก

1. ความถี่ต้องสูง เนื่องจากแกนจะอิ่มตัวได้ยากกว่าที่ความถี่ต่ำ
2. ลวดทองแดงที่ใช้พันต้องมีขนาดเล็ก เนื่องจากจะทำให้พันได้จำนวนรอบมากกว่าใช้ลวดขนาดใหญ่ ทำให้ได้ค่า L สูงกว่า (X_L ก็สูงกว่า) เป็นผลให้กระแสที่ไหลในวงจรมีค่าต่ำลง
3. กระแสที่ใช้ในวงจรต้องมีค่าต่ำ เนื่องจากจะทำให้แกนเหล็กอิ่มตัวได้ยากกว่า และขนาดลวดทองแดงที่ใช้พันมีขนาดเล็ก
4. ถึงแม้จะใช้ลวดขนาดเล็กลง แต่ก็อาจจะทำให้จำนวนรอบในการพันยังน้อยอยู่ซึ่งอาจจะทำให้ค่า L ยังน้อยอยู่ ค่า X_L อาจเป็นผลให้กระแสที่ไหลในวงจรยังสูงอยู่ อาจจะแก้ปัญหาค่า L ที่น้อยอยู่นี้ โดยการเพิ่มความถี่ขึ้นไปให้สูง ซึ่งค่า L ถึงแม้จะน้อย แต่ X_L จะมีค่าเพิ่มขึ้นที่ความถี่สูงขึ้น ทำให้กระแสที่ไหลในวงจรลดลง

    4.1 ผลพลอยได้จากการเพิ่มความถี่ คือ ทำให้แรงดูดลดลง และทำให้ช่วงแรงดันใช้งานอยู่ในช่วง Linear

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 แสดงจุดใช้งานจะอยู่ในช่วง Linear ถ้าความถี่ที่ใช้ในวงจรมีค่าสูง

ช่วง Linear จะทำให้ค่า X_L คงที่ที่ gap ตำแหน่งต่างๆ (Slope ของ E-I curve คือ ค่า X_L)

4.2 ผลเสียของการเพิ่มความถี่ที่สูงขึ้น

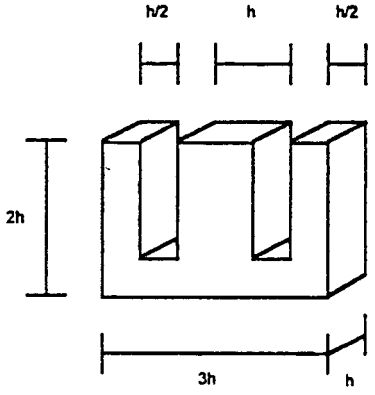
- ทำให้ Core loss มีค่าสูงขึ้น (Hysteresis & Eddy Current loss)
- ทำให้ผลของ X_C และ X_L ที่ไม่ได้คาดว่าจะเกิด ก็อาจจะมีผลทำให้ Impedance ของวงจรเปลี่ยนไป (ค่า X_C ที่อาจจะเกิดขึ้น ได้แก่ ระยะห่างระหว่างทางเดินกระแสที่ไหลในวงจร ค่า X_L ที่อาจจะเกิดขึ้น ได้แก่ วงรอบของทางเดินกระแสที่ไหลในวงจร)

5. ชนิดของแกนที่จะนำมาใช้ต้องเป็นแกนเฟอร์ไรต์ เนื่องจากใช้ความถี่ที่สูง หากใช้แกนเหล็กธรรมดาจะมี Core loss มากกว่า

3.3การออกแบบส่วนยกลอย

แกนเหล็กที่เลือกใช้เป็นแกนชนิด E laminate Steel ซึ่งแกนชนิด E มาตรฐานทั่วไป จะสามารถหาซื้อได้ง่าย และมีขนาดที่มาตราฐานดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 แสดงมิติของแกนเหล็กรูปตัว E มาตรฐาน

จากทฤษฎีการหาแรงดูดที่เกิดจากสนามแม่เหล็ก เราสามารถหาความสัมพันธ์ของพารามิเตอร์ต่าง ๆ ออกมาเป็นสมการแรงดูดที่เกิดจากสนามแม่เหล็กได้จากภาคผนวก สมการแรงดูดของแกนชนิด E มาตรฐาน เป็นดังนี้คือ

$$\therefore F = \frac{-\mu_0 N^2 h^2 i^2}{\left(2x + \mu_0 h^2 \Re_{core}\right)^2}(N)$$

โดย : $\mu_0 = 4\pi \times 10^{-7}$

N = จำนวนรอบการพัน

h = ความกว้างของแกนกลางในแกนเหล็กรูปตัว E

I = กระแสป้อนเข้าขดลวด

X = ระยะช่องอากาศ

$\Re$ = Reluctance ของแกนเหล็กหาค่าได้จากสมการในภาคผนวก ข.

จะเห็นได้ว่า ที่กระแสคงที่ต่าง ๆ แรงดูดจะแปรผกผันกับระยะช่องอากาศยกกำลังสอง และที่ระยะช่องอากาศคงที่ค่าต่าง ๆ แรงดูดจะแปรผันโดยตรงกระแสยกกำลังสอง

จึงสรุปได้ว่า

$F \propto i^2$

$F \propto 1/x^2$

$i \propto x$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.1 การหาค่า Reluctance ของแกนเหล็ก

จากสมการในภาคผนวก ข.

$$\Re = \frac{2\pi f N^2 I \sin\phi}{V_t}$$

จากข้อมูลแกนเหล็กที่ใช้เป็นแม่เหล็กหลักมีค่าดังนี้คือ

N = 328 รอบ

h = 0.0255

จากกราฟในภาคผนวก ค. เนื่องจากเป็นกราฟ E-I ขณะช่องอากาศเป็น 0 ฉะนั้นค่า $\Re_0$ จะเป็นค่า $\Re_{core}$ ทั้งหมดทำการเลือกค่าจากกราฟในช่วง linear นั้นคือเลือกที่

$$E = 20\ V_{rms}$$

$$\therefore I = 0.05\ A_{rms}$$

จากการทดลองที่เงื่อนไขดังกล่าวได้ค่ามุม $\phi = 82.8^\circ$

และถือได้ว่า ค่าความต้านทานของเส้นลวด = 0 ไม่มีค่า Leakage flux ทำให้ค่า $X_l = 0$

จะได้

$$V_t = E = 20\ Vrms$$

$$\therefore \Re_{core} = \frac{2\pi \times 50 \times 328^2 \times 0.05 \times \sin 82.8^\circ}{20}$$

$$= 83829.998$$

$$\approx 83830$$

จากสมการแรงดูดในภาคผนวก ก.

$$\therefore F = \frac{-\mu_0 N^2 h^2 i^2}{\left(2x + \mu_0 h^2 \Re_{core}\right)^2}\ (N)$$

แทนค่า $\Re_{core} = 83830$ และค่าอื่น ๆ ลงในสมการ

$$F = -\frac{4\pi \times 10^{-7} \times 328^2 \times 0.0255^2 \times i^2}{\left(2x + 4\pi \times 10^{-7} \times 0.0255^2 \times 83830\right)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$F = -\frac{8.791\times10^{-5}i^2}{\left(2x+6.85\times10^{-5}\right)^2}$$

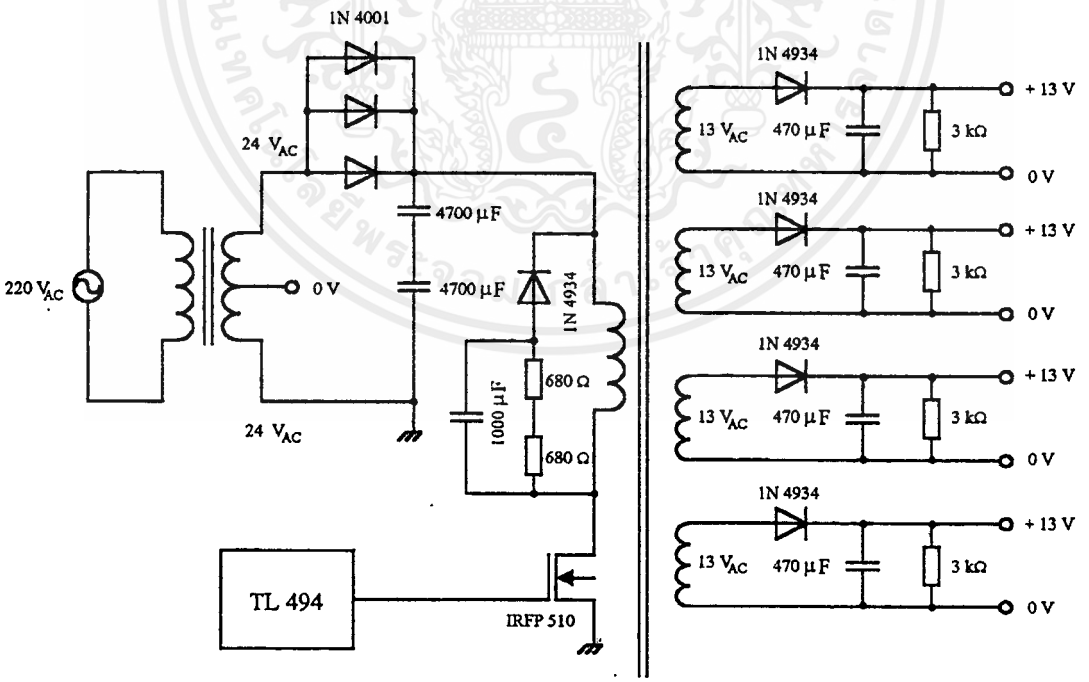
ถ้าต้องการทำเป็น kg ให้หารด้วย 9.8 จะได้

$$F = -\frac{8.97\times10^{-5}i^2}{\left(2x+6.85\times10^{-5}\right)^2}(kg) \qquad (3.1)$$

$$i = \sqrt{\frac{-F}{8.97\times10^{-6}}}\left(2x+6.85\times10^{-5}\right) \qquad (3.2)$$

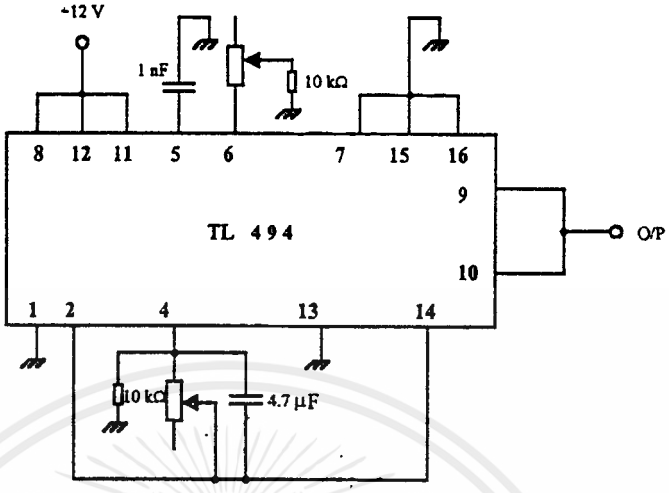
3.4การออกแบบวงจรสวิตชิ่งเพาเวอร์ซัพพลาย

ในโครงงานนี้จะออกแบบสวิตชิ่งเพาเวอร์ซัพพลายเพื่อใช้เป็นแหล่งจ่ายไฟตรงให้กับชุดขับเบส (Base Drive) ซึ่งชุดสวิตชิ่งเพาเวอร์ซัพพลายนี้ออกแบบให้มี 4 เอาท์พุต โดยมีแรงดันเอาท์พุตเท่ากับ 13 โวลท์ ซึ่งวงจรควบคุมสวิตชิ่งจะใช้ไอซีเบอร์ TL 494 ซึ่งมีวงจรดังต่อไปนี้



รูปที่ 3.10 วงจรสวิตชิ่งเพาเวอร์ซัพพลาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 ไอซีควบคุมการสวิตชิ่งเบอร์ TL 494

3.5การออกแบบวงจรขับเบส

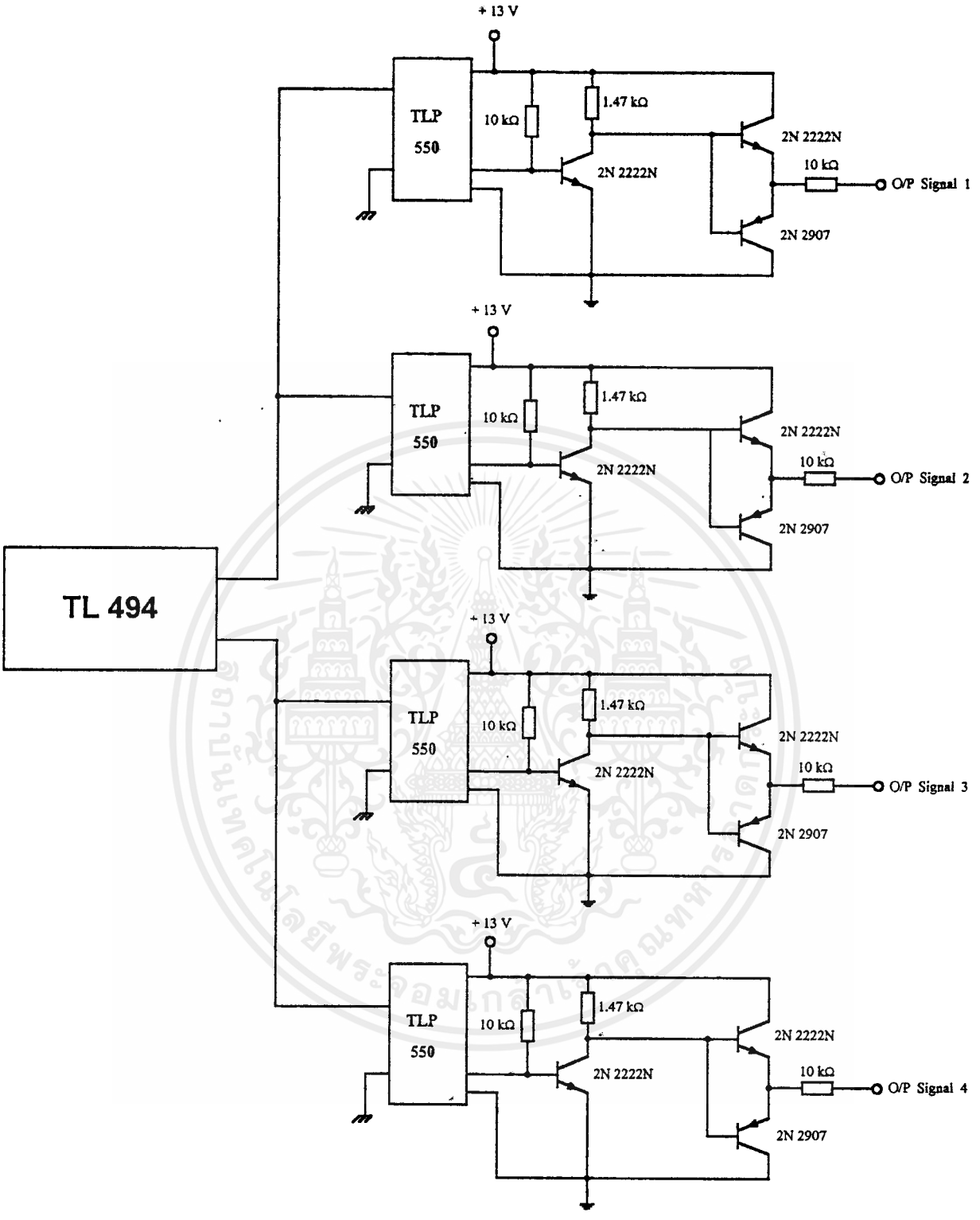
วงจรขับเบสที่ได้ออกแบบขึ้นมานั้นมีจุดประสงค์เพื่อทำเป็นสัญญาณทริกเกทของเพาเวอร์มอสเฟตในวงจรกำลัง ซึ่งในวงจรกำลังจะมีเพาเวอร์มอสเฟตอยู่ 4 ตัวคอยทำหน้าที่เป็นสวิตช์สร้างสัญญาณเข้าสู่ส่วนยกลอย ดังนั้นวงจรขับเบสจึงต้องสร้างสัญญาณทริกเกทออกมา 4 สัญญาณ คือ Signal 1 , Signal 2 , Signal 3 และ Signal 4 โดยที่ Signal 1 inphase กับ Signal 2 และ Signal 3 inphase กับ Signal 4 แต่ Signal 1 และ Signal 2 จะ out of phase กับ Signal 3 และ Signal 4 ที่เป็นเช่นนี้เพื่อให้เพาเวอร์มอสเฟตทำงานพร้อมกันทีละ 2 ตัว โดยที่ 2 ตัวนี้จะอยู่คนละ branch กัน

วงจรขับเบสที่ได้ออกแบบขึ้นจะประกอบด้วยส่วนต่างๆ ที่สำคัญดังต่อไปนี้

1. วงจรควบคุมการกำเนิดสัญญาณทริกเกทใช้ไอซีเบอร์ TL 494 กำเนิดสัญญาณเอาท์พุตออกมา 2 สัญญาณที่ out of phase กัน ถ้าพิจารณาจากวงจรรูปที่ 3.13 จะเห็นว่าสัญญาณที่ออกจากขา 9 กับขา 10 จะมีลักษณะ out of phase กัน
2. ส่วนแยกกราวด์ระหว่างวงจรควบคุมกับวงจรขับเบสเพื่อป้องกันการรบกวนโดยใช้ Opto Couple เบอร์ TLP 550
3. ส่วนวงจรขยายสัญญาณเบสเพื่อทริกเพาเวอร์มอสเฟตใช้วงจร Darlington

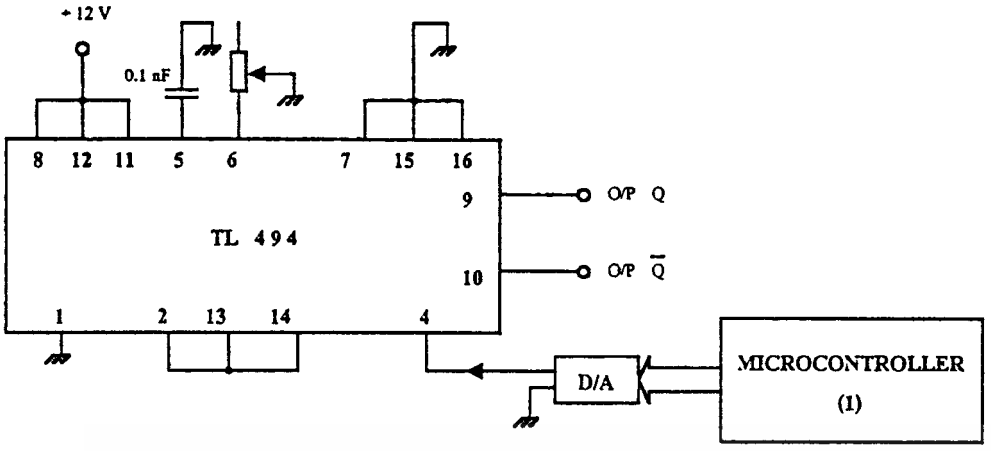
สำหรับวงจรขับเบสที่ได้ออกแบบไว้แสดงได้ดังรูปที่ 3.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 วงจรขับเบส 4 เอาท์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 ไอซีกำเนิดสัญญาณทริกเกท TL 494

3.6 การออกแบบ Full Bridge Converterที่ใช้เป็นวงจรกำลังส่วนยกลอย

ในการสร้างแหล่งจ่ายไฟฟ้ากระแสตรงที่ใช้ในการสร้างแรงยกในวงจรแม่เหล็กหลักส่วนยกลอยจะต้องทำการออกแบบวงจร Power Supply แบบ Full bridge Converter ที่มีขนาดต่อไปนี้

- แรงดันอินพุทไฟฟ้ากระแสสลับ 220v
- แรงดันเอาท์พุทไฟฟ้ากระแสตรง 15v
- กระแสเอาท์พุท 10 A
- ความถี่สวิตชิ่ง 20 Hz

จากทฤษฎีการออกแบบ Full bridge Converter สามารถคำนวณหาค่าพารามิเตอร์ต่างๆ ได้ดังต่อไปนี้

1) หา t_d : เวลาที่เพิ่มเข้าไปเพื่อไม่ให้ Q_1กับ Q_4 และ Q_2 กับ Q_3 ทำงานพร้อมกัน

จาก $t_{on\,(max)} = 0.4\,T$

$$T = \frac{1}{f}$$

$$= \frac{1}{20*10^3}$$

$$= 50\mu s$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) คำนวณอัตราส่วนของหม้อปลงสวิตชิ่ง (Np / Ns)

จาก

$$\frac{N_p}{N_s} = \frac{\left[V_{in(\min)} - 2V_{ce(sat)} \right] t_{on(\max)}}{(V_{out} + V_d)\,(T/2)}$$

$$= \frac{[310 - 2(2)] \times 20 \times 10^{-6}}{(15+1)\,(\frac{50 \times 10^{-6}}{2})}$$

$$= 15.3$$

$$\frac{N_p}{N_s} \cong 16$$

และสามารถหา N_p ได้จาก

$$N_p = \frac{(V_{in(\min)} - 2V_{ce(sat)})\, t_{on(\max)} \times 10^8}{\Delta B_{(\max)} \bullet A_c}$$

$$= \frac{(310 - 2(2)) \times 20 \times 10^{-6} \times 10^8}{1600 \times 1.48}$$

$$= 258.446$$

$$N_p \cong 260 \text{ รอบ}$$

$$\therefore N_s = 17 \text{ รอบ}$$

ดังนั้นสามารถเลือกใช้หม้อแปลงสวิตชิ่งที่มีขดลวดที่มีจำนวนรอบทางด้านปฐมภูมิเป็น260 รอบ ทางด้านทุติยภูมิเป็น 17 รอบ

3) หา $I_{p(pk)}$: กระแสสูงสุดทางด้านปฐมภูมิ

จากการคำนวณค่ากระแสทางปฐมภูมิทำให้สามารถเลือกขนาดลวดทองแดงที่ใช้ได้เป็น ลวดทองแดงหุ้มฉนวนเบอร์ 24 และขนาดของลวดทองแดงทางด้านทุติยภูมิเป็นลวดทองแดงหุ้มฉนวนเบอร์ 19 จำนวน 3 เส้นพันแบบตีเกลียวเพื่อต้องการให้สามารถทนค่ากระแสได้สูงขึ้น

4) หา C_b : ตัวเก็บประจุ บล็อคกิ้ง

จาก $I_{p(pk)} = \frac{p_o T}{2\eta\, v_{in(\min)}\, t_{on(\max)}} + \frac{(V_{in(\min)} - 2V_{ce(sat)})}{L_p} t_{n(\max)}$

เนื่องจาก $p_o = I_o V_o$

$= 10 \times 15 = 150$ watt

เนื่องจาก $L_p = \frac{4\pi\, A_e N_p^2}{l_g} \times 10^{-8}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ $l_g \approx 0.1$ m.m. ; $L_p = 20$

$$\therefore L_p = \frac{4\pi \times 1.48 \times 260^2}{0.1} \times 10^{-8}$$

$$= 0.126 \text{ H}$$

$$\therefore I_{p(pk)} = \frac{150 \times 50 \times 10^{-6}}{2 \times 0.8 \times 310 \times 20 \times 10^{-6}} + \frac{(310 - 2(2))\,20 \times 10^{-6}}{0.126}$$

$$= 0.806 \text{ A}$$

จาก $C_b = \dfrac{I_{p(pk)}(0.4T)}{\Delta v}$

$$= \frac{0.806 \times 20 \times 10^{-6}}{0.01}$$

$$= 1.612 \times 10^{-3} \text{ F}$$

ในการเลือกค่าตัวเก็บประจุบล็อคกิ้งได้ทำการเลือกค่าตัวเก็บประจุที่มีขนาด 400μ F จำนวน 4 ตัวต่อขนานกันได้ค่าของตัวเก็บประจุรวมเป็น 1600μ F ต่ออนุกรมเข้ากับขดลวดปฐมภูมิเพื่อป้องกันไม่ให้เกิดความไม่สมมาตรของฟลักซ์แม่เหล็กในหม้อแปลงสวิตชิ่ง

5) หา L_o : เอาต์พุทโช้ค

จาก $L_{o(min)} = \dfrac{(V_o + V_D)}{4 I_{o(max)}} \left(T - t_{on(max)} \dfrac{V_{o(min)}}{V_{o(max)}}\right)$

$$= \frac{1}{4} \times \frac{(15+1)}{0.1} \left(50 \times 10^{-6} - 20 \times 10^{-6} \times 0.1\right)$$

$$= 1200 \mu \text{H}$$

จาก $L_{o(max)} = \dfrac{(V_o + V_D)(T - t_{on(max)})\, t_R}{\Delta I_o \times 2 t_{on(max)}}$

เนื่องจาก $V_{ripple} = \Delta I_o \times ESR$

$$\Delta I_o = \frac{V_{ripple}}{ESR}$$

$$= \frac{0.1}{50 \times 10^{-3}}$$

$$= 2$$

และ $t = 1$ ms.

$$\therefore L_{O(max)} = \frac{(15+1)\left(50 \times 10^{-6} - 20 \times 10^{-6}\right) \times 10^{-3}}{2 \times 2 \times 20 \times 10^{-6}}$$

$$= 6000 \mu \text{H}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นการสร้างเอาท์พุทโช้ค ได้ทำการเลือกใช้แกนเฟอร์ไรท์แบบ EI 40 H45 4600nH/N^2 $\pm$ 25% เป็นแกนที่ใช้พันโดยลวดที่ใช้เป็นลวดทองแดงหุ้มฉนวนเบอร์ 19 จำนวน 3 เส้นพันแบบตีเกลียว เพื่อต้องการให้สามารถทนกระแสเอาท์พุทขนาด 10 A ได้โดยจำนวนรอบของขดลวดที่ใช้เป็น 35 รอบ คิดเป็นค่าความเหนี่ยวนำเป็น 3,755 μ H ที่ความถี่ใช้งาน 20 kHz

6) C_o : ตัวเก็บประจุเอาท์พุท

จาก

$$C_0 = \frac{I_0 \, t_{on(\max)}}{V_{ripple}}$$

$$= \frac{10 \times 20 \times 10^{-6}}{0.1}$$

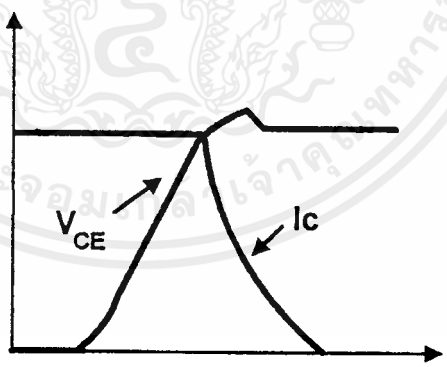
$$= 2nF$$

$$= 2000\mu F$$

ดังนั้นจากการคำนวณจึงทำการเลือกค่าตัวเก็บประจุเอาท์พุทเป็นขนาด 2,200 μ F แทน

7) วงจร Snubber : วงจรช่วงหยุดการนำกระแส

โดยจะทำการเลือกค่าของอุปกรณ์ต่างๆของวงจร Snubber ได้ดังแสดงได้จากรูปที่ 3.14



รูปที่ 3.14 แสดงวงจร Snubber ช่วงหยุดนำกระแส

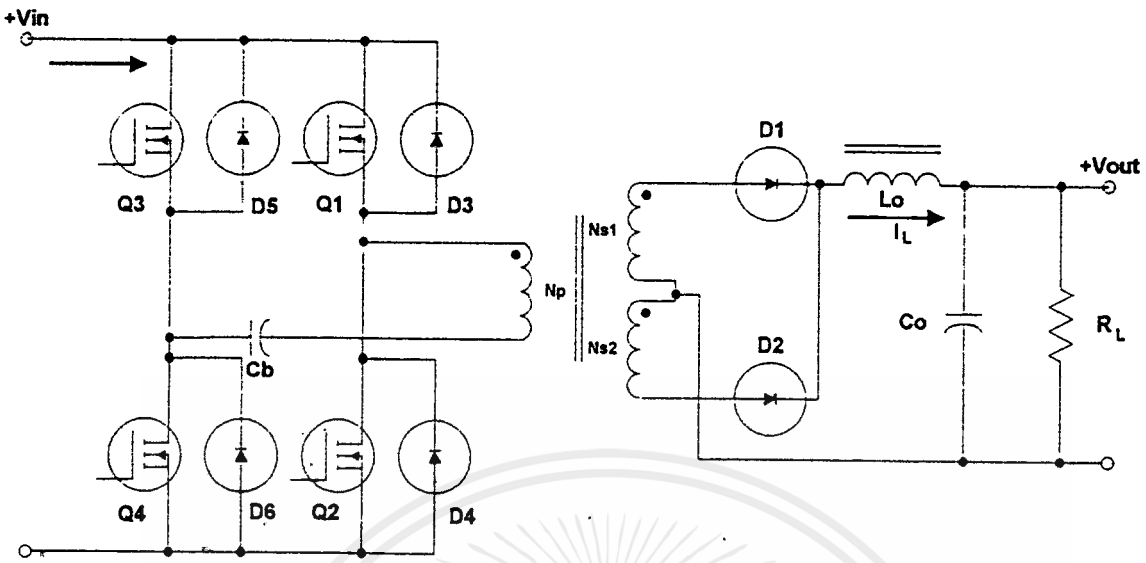
เมื่อ D = Diode เบอร์ 1N5404

C = Capacitor ขนาด 1 nF

R = Resister ขนาด 560 Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการออกแบบดังกล่าวสามารถแสดงวงจร Full bridge Converter ได้ดังรูปที่



รูปที่ 3.15 แสดงวงจร Switching Power Supply ที่สร้างจาก Full bridge converter

รายการอุปกรณ์ที่ใช้ในวงจร Switching Power Supply ที่สร้างจาก Full bridge converter

- Q1, Q2, Q3 และ Q4 = Power MOSFET เบอร์ IRFP 450
- D1, D2 = Power Diode เบอร์ U1540
- L_o = 3,755 μ H
- C_b = 1,600 μ F
- C_o = 2,200μ F
-

3.7การควบคุมไมโครคอนโทรลเลอร์ตระกูล 8051

3.7.1การอินเตอร์เฟซของส่วนแสดงผล

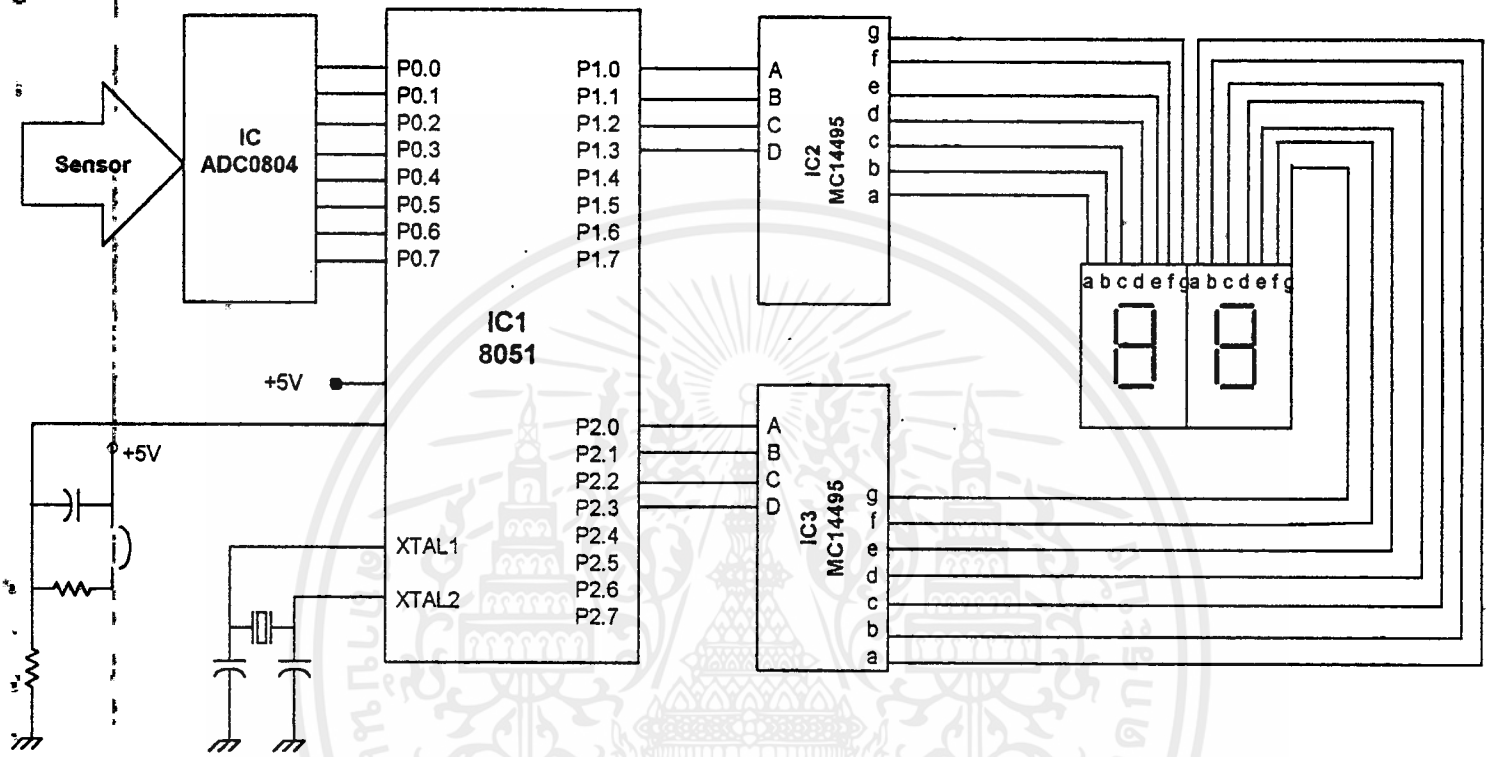
เป็นการเชื่อมต่ออุปกรณ์ภายนอกเข้ากับไมโครคอนโทรลเลอร์ เพื่อทำการแสดงผลระยะช่องอากาศ (Display gap) ขณะนั้นว่ามีค่าเป็นเท่าไร ซึ่งวงจรการอินเตอร์เฟซนี้ประกอบด้วยวงจรย่อยดังนี้

- วงจร Analog to Digital เป็นอินพุทเข้าไมโครคอนโทรลเลอร์ ซึ่งใช้ IC เบอร์ ADC0804
- วงจรถอดรหัส (Decode) จากเลขฐาน 2 แสดงผลออกมาเป็นเลขฐาน 16 ทาง Seven-Segment โดยใช้ IC เบอร์ MC14495 ซึ่ง IC ดังกล่าวยังสามารถที่จะ Latch ข้อมูลได้อีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- LED Module เพื่อแสดงตัวเลขผ่าน Seven-Segment ซึ่งมีการต่อวงจรภายใน Module เป็นแบบ Common Cathode

การเชื่อมต่อส่วนแสดงผลพิจรณาได้จากรูปที่ 3.16



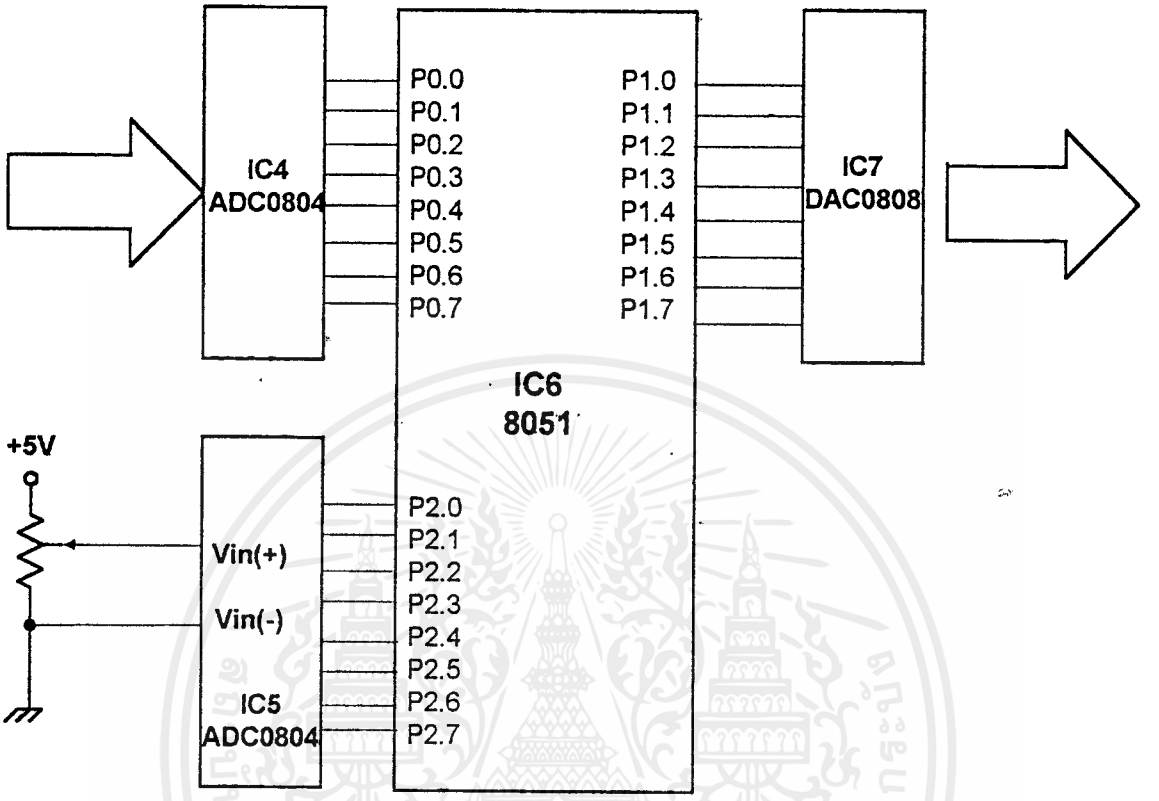
รูปที่ 3.16 แสดงวงจรรวมในการควบคุม Seven-Segment

3.7.2การอินเตอร์เฟซของส่วนควบคุมและประมวลผลระยะห่างของช่องอากาศ

เป็นการเชื่อมต่ออุปกรณ์ภายนอกเข้ากับไมโครคอนโทรลเลอร์ที่ทำหน้าที่ประมวลผลและควบคุมระยะห่างช่องอากาศให้คงที่ โดยมีการนำเอาสัญญาณอินพุทจากตัวตรวจจับระยะห่างของช่องอากาศ (Sensor) เข้ามายังไมโครคอนโทรลเลอร์โดยผ่านวงจร Analog to Digital Converter (IC เบอร์ ADC0804) และสัญญาณที่ประมวลผลเสร็จแล้วจะถูกส่งเข้าวงจร Digital to Analog Converter (IC เบอร์ DAC0808) เพื่อแปลงสัญญาณดิจิตอล 8 บิท เป็นสัญญาณอนาลอกแล้วส่งไปควบคุมความกว้างของพัสซ์ที่ใช้ในการควบคุมขนาดของกระแสจาก SwitchingPower Supply ซึ่งพิจรณาได้จากรูปที่ 3.12 และรูปที่ 3.13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนการแสดงเชื่อมต่อระหว่างไมโครคอนโทรลเลอร์ที่ทำการประมวลผลและควบคุมระยะห่างช่องอากาศให้คงที่กับอุปกรณ์ภายนอกนั้น พิจารณาได้จากรูปที่ 3.17



รูปที่ 3.17 แสดงการอินเตอร์เฟซของส่วนควบคุมและประมวลผลระยะห่างของช่องอากาศ

3.7.3การออกแบบซอร์ฟแวร์ส่วนแสดงผล

แสดงโปรแกรมการทำงานได้ดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;PROGRAM DISPLAY 7-SEGMENT
;DESIGN BY THANAPONG WATTANAKUMTONKL

        ORG     0000H
        LJMP    START
        ORG     0100H
START:
        MOV     R7,#00H ;R7=INDEX
        READ_INPUT:
        MOV     R0,P0    ; R0= INPUT
        CJNE    R0,#037H,NOT_EQ1
        MOV     P1,#07H
        MOV     P2,#05H
NOT_EQ1:
        JC      COMPARE_AGAIN    ; R0<7.5
        MOV     P1,#0EH
        MOV     P2,#0EH
        LJMP    START
COMPARE_AGAIN:
        CLR     C
        MOV     DPTR,#X
        MOV     A,R7
        MOVC    A,@A+DPTR
        SUBB    A,R0
        JZ      ZERO
        JNC     LESS
        INC     R7
        JMP     COMPARE_AGAIN
 ZERO:
        MOV     DPTR,#Y_HI
        MOV     A,R7
        MOVC    A,@A+DPTR
        MOV     P1,A
        MOV     DPTR,#Y_LOW
        MOV     A,R7
        MOVC    A,@A+DPTR
        MOV     P2,A
        LJMP    START
LESS:
        DEC     R7
        MOV     DPTR,#Y_HI
        MOV     A,R7
        MOVC    A,@A+DPTR
        MOV     P1,A
        MOV     DPTR,#Y_LOW
        MOV     A,R7
        MOVC    A,@A+DPTR
        ADD     A,#02H
        MOV     P2,A
        LJMP    START
X:      DB      00H,06H,012H,01AH,020H,025H,028H,02BH
        DB      ,02EH,030H,032H,033H,034H,035H,036H,037H
Y_HI:   DB      00H,00H,01H,01H,02H,02H,03H,03H,04H
        DB      ,04H,05H,05H,06H,06H,07H,07H
Y_LOW:  DB      00H,05H,00H,05H,00H,05H,00H,05H,
        DB      00H,05H,00H,05H,00H,05H,00H,05H

 END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

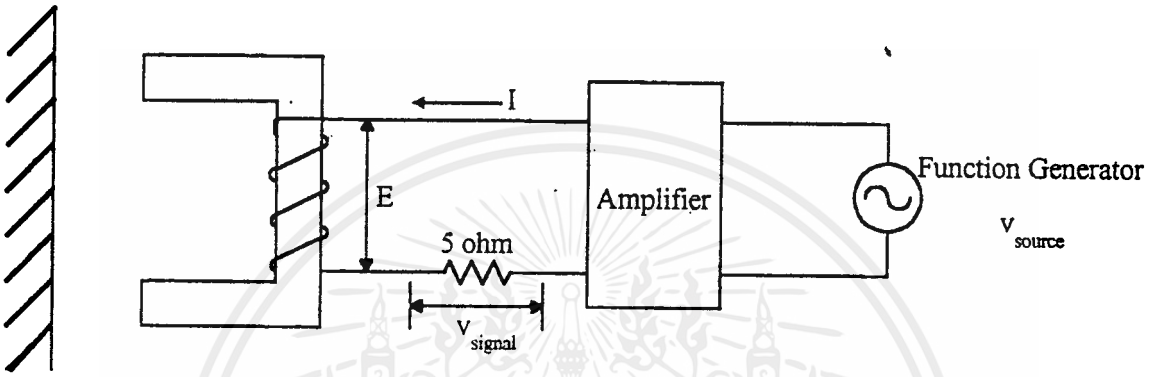
บทที่4

การทดลองและผลการทดลอง

4.1การทดลองตัวตรวจจับระยะห่างช่องอากาศ

วิธีการทดลอง

1.ต่อวงจรดังรูปที่ 4.1



รูปที่ 4.1 วงจรทดลองหาความสัมพันธ์ของพารามิเตอร์ของ Sensor

2.การทดลองเปรียบเทียบความสัมพันธ์ E-I Curve ของแกน Ferrite (POT Core) ขณะ gap ระยะต่างๆที่ความถี่ 1 kHz, 10 kHz, 20 kHzและ 30 kHz

ผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.1 ความสัมพันธ์ระหว่าง E-I , X_L , L ของแกน Ferrite (POT Core Type) ที่ความถี่ 1 kHz , 10 kHz , 20 kHz และ 30 kHz ขณะ close gap

I* (mA.)	ความถี่							
	1 kHz		10 kHz		20 kHz		30 kHz	
	E* (V)	$X_L(\Omega)$	E* (V)	$X_L(\Omega)$	E* (V)	$X_L(\Omega)$	E* (V)	$X_L(\Omega)$
5	0.19	38.00	1.84	368.00	3.75	750.00	6.11	1222.00
10	0.39	39.00	3.82	382.00	7.92	792.00	11.88	1188.00
15	0.62	41.33	5.66	377.33	11.66	777.33	17.72	1181.33
20	0.82	41.00	7.64	382.00	15.91	795.50	23.87	1193.50
25	1.02	40.80	9.62	384.80	20.15	806.00	30.23	1209.20
30	1.42	41.33	11.67	389.00	25.46	848.67	38.19	1273.00
35	1.48	42.29	14.14	404.00	29.69	848.29	41.57	1187.71
40	1.66	41.50	15.91	397.75	33.94	848.50	47.52	1188.00
45	1.91	42.44	18.38	408.44	37.48	832.89	52.47	1166.00
50	2.08	41.60	19.79	395.80	41.72	834.40	58.41	1168.20
55	2.33	42.36	22.27	404.91	45.25	822.73	65.61	1192.91
60	2.55	42.50	24.39	406.50	49.49	824.83	74.24	1237.33
X_L เฉลี่ย (Ω)		41.18		391.71		815.10		1200.60
L เฉลี่ย (mH)		6.55		6.23		6.49		6.37

* เป็นค่า *root mean square*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>ตารางที่ 4.2</u> ความสัมพันธ์ระหว่าง E-I , X_L , L ของแกน Ferrite (POT Core Type) ที่ความถี่ 1 kHz , 10 kHz , 20 kHz และ 30 kHz ขณะ gap = 1 mm.

I* (mA.)	ความถี่							
	1 kHz		10 kHz		20 kHz		30 kHz	
	E* (V)	$X_L(\Omega)$	E* (V)	$X_L(\Omega)$	E* (V)	$X_L(\Omega)$	E* (V)	$X_L(\Omega)$
5	0.08	16.00	0.76	152.00	1.56	312.00	2.26	452.55
10	0.16	16.00	1.56	156.00	3.18	318.00	4.67	466.69
15	0.25	16.67	2.29	152.67	4.67	311.33	6.93	461.98
20	0.33	16.50	3.11	155.50	6.22	311.00	7.92	395.98
25	0.42	16.80	3.89	155.60	7.92	316.80	11.67	466.69
30	0.51	17.00	4.74	158.00	9.62	320.67	14.14	471.40
35	0.61	17.43	5.66	161.71	11.31	323.14	16.97	484.87
40	0.68	17.00	6.51	162.75	12.73	318.25	19.09	477.30
45	0.78	17.33	7.35	163.33	14.85	330.00	21.92	487.12
50	0.85	17.00	7.92	158.40	16.26	325.20	24.04	480.83
55	0.93	16.91	8.91	162.00	18.03	327.82	26.52	482.12
60	1.05	17.5	9.62	160.33	19.79	329.83	28.28	471.40
X_L เฉลี่ย (Ω)		16.85		158.19		320.24		466.58
L เฉลี่ย (mH)		2.68		2.52		2.55		2.48

* *เป็นค่า root mean square*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.3 ความสัมพันธ์ระหว่าง E-I , X_L , L ของแกน Ferrite (POT Core Type) ที่ความถี่ 1 kHz , 10 kHz , 20 kHz และ 30 kHz ขณะ gap = 2 mm.

I* (mA.)	ความถี่							
	1 kHz		10 kHz		20 kHz		30 kHz	
	E* (V)	$X_L(\Omega)$	E* (V)	$X_L(\Omega)$	E* (V)	$X_L(\Omega)$	E* (V)	$X_L(\Omega)$
5	0.06	12.00	0.57	114.00	1.20	240.00	1.84	367.70
10	0.12	12.00	1.20	120.00	2.40	240.00	3.68	367.70
15	0.19	12.67	1.77	118.00	3.60	240.00	5.52	367.70
20	0.25	12.50	2.37	118.50	4.81	240.50	7.35	367.70
25	0.31	12.40	2.97	118.80	5.94	237.60	9.19	367.70
30	0.38	12.67	3.54	118.00	7.35	245.00	11.17	372.41
35	0.45	12.86	4.24	121.14	8.77	250.57	13.08	373.76
40	0.50	12.50	4.74	118.50	9.76	244.00	14.50	362.39
45	0.58	12.89	5.37	119.33	11.17	248.22	16.62	369.27
50	0.64	12.80	5.94	118.80	12.02	240.40	18.38	367.70
55	0.71	12.91	6.65	120.91	13.44	244.36	20.51	372.84
60	0.78	13.00	7.21	120.17	14.49	241.50	22.27	371.23
X_L เฉลี่ย (Ω)		12.60		118.85		242.68		399.65
L เฉลี่ย (mH)		2.00		1.89		1.93		2.12

* เป็นค่า *root mean square*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.4 ความสัมพันธ์ระหว่าง E-I , X_L , L ของแกน Ferrite (POT Core Type) ที่ความถี่ 1 kHz , 10 kHz , 20 kHz และ 30 kHz ขณะ gap = 3 mm.

I* (mA.)	ความถี่							
	1 kHz		10 kHz		20 kHz		30 kHz	
	E* (V)	$X_L(\Omega)$	E* (V)	$X_L(\Omega)$	E* (V)	$X_L(\Omega)$	E* (V)	$X_L(\Omega)$
5	0.06	12.00	0.52	104.00	1.06	212.00	1.59	318.20
10	0.11	11.00	1.03	103.00	2.12	212.00	3.25	325.27
15	0.17	11.33	1.66	110.67	3.18	212.00	4.81	320.56
20	0.23	11.50	2.12	106.00	4.24	212.00	6.50	325.27
25	0.28	11.20	2.62	104.80	5.30	212.00	8.06	322.44
30	0.34	11.33	3.18	106.00	6.50	216.67	9.62	320.56
35	0.40	11.43	3.75	107.14	7.64	218.29	11.31	323.25
40	0.45	11.25	4.24	106.00	8.63	215.75	12.73	318.20
45	0.51	11.33	4.81	106.89	9.76	216.89	14.50	322.13
50	0.56	11.20	5.30	106.00	10.61	212.20	16.26	325.27
55	0.62	11.27	5.94	108.00	12.02	218.55	18.03	327.84
60	0.68	11.33	6.51	108.5	13.08	218.00	19.45	324.10
X_L เฉลี่ย (Ω)		11.35		106.42		214.69		322.76
L เฉลี่ย (mH)		1.81		1.69		1.71		1.71

* *เป็นค่า root mean square*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.5 ความสัมพันธ์ระหว่าง E-I , X_L , L ของแกน Ferrite (POT Core Type) ที่ความถี่ 1 kHz , 10 kHz , 20 kHz และ 30 kHz ขณะ gap = 4 mm.

I* (mA.)	ความถี่							
	1 kHz		10 kHz		20 kHz		30 kHz	
	E* (V)	$X_L(\Omega)$	E* (V)	$X_L(\Omega)$	E* (V)	$X_L(\Omega)$	E* (V)	$X_L(\Omega)$
5	0.05	10.00	0.48	96.00	0.99	198.00	1.56	311.13
10	0.11	11.00	0.99	99.00	2.05	205.00	3.19	311.13
15	016	10.67	1.52	101.33	3.11	207.33	4.53	301.70
20	0.21	10.50	2.02	101.00	4.10	205.00	5.94	296.98
25	0.27	10.58	2.51	100.40	5.09	203.60	7.64	305.47
30	0.32	10.67	3.04	101.33	6.08	202.67	9.33	311.13
35	0.38	10.86	3.54	101.14	7.21	206.00	11.33	315.17
40	0.42	10.50	4.03	100.75	8.20	205.00	12.37	309.36
45	0.48	10.67	4.53	100.67	9.19	204.22	14.14	314.27
50	0.54	10.80	4.95	99.00	10.18	203.00	15.56	311.13
55	0.59	10.73	5.52	100.36	11.31	205.64	16.97	308.56
60	0.65	10.83	6.22	103.67	12.37	206.17	18.38	306.41
X_L เฉลี่ย (Ω)		10.67		100.39		204.35		308.54
L เฉลี่ย (mH)		1.70		1.60		1.63		1.64

* *เป็นค่า root mean square*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.6 ความสัมพันธ์ระหว่าง E-I , X_L , L ของแกน Ferrite (POT Core Type) ที่ความถี่ 1 kHz , 10 kHz , 20 kHz และ 30 kHz ขณะ gap = 5 mm.

I* (mA.)	ความถี่							
	1 kHz		10 kHz		20 kHz		30 kHz	
	E* (V)	$X_L(\Omega)$	E* (V)	$X_L(\Omega)$	E* (V)	$X_L(\Omega)$	E* (V)	$X_L(\Omega)$
5	0.05	10.00	0.47	94.00	0.99	198.00	1.48	296.98
10	0.10	10.00	0.95	95.00	1.98	198.00	2.97	296.98
15	0.16	10.67	1.48	98.67	2.97	198.00	4.45	296.98
20	0.21	10.50	1.94	97.00	3.96	198.00	5.94	296.98
25	0.26	10.40	2.44	97.60	4.95	198.00	7.35	294.16
30	0.31	10.33	2.89	96.33	6.08	202.67	8.77	292.27
35	0.37	1057	3.46	98.86	7.07	202.00	10.47	299.00
40	0.42	1050	3.89	97.25	8.06	201.50	11.67	291.68
45	0.47	10.44	4.38	97.33	9.05	201.11	13.44	298.56
50	0.52	10.40	4.81	96.20	9.89	197.80	14.50	289.91
55	0.58	1055	5.37	97.64	11.03	200.55	16.26	295.70
60	0.62	10.53	5.94	99.00	11.67	194.50	18.03	300.52
X_L เฉลี่ย (Ω)		10.39		97.07		199.18		295.81
L เฉลี่ย (mH)		1.65		1.54		1.59		1.57

* เป็นค่า *root mean square*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.7 ความสัมพันธ์ระหว่าง E-I , X_L , L ของแกน Ferrite (POT Core Type) ที่ความถี่ 1 kHz , 10 kHz , 20 kHz และ 30 kHz ขณะ gap = 6 mm.

I* (mA.)	ความถี่							
	1 kHz		10 kHz		20 kHz		30 kHz	
	E* (V)	$X_L(\Omega)$	E* (V)	$X_L(\Omega)$	E* (V)	$X_L(\Omega)$	E* (V)	$X_L(\Omega)$
5	0.05	10.00	0.47	94.00	0.95	190.00	1.45	289.91
10	0.10	10.00	0.93	93.00	1.91	191.00	2.97	296.98
15	0.15	10.00	1.45	96.67	2.89	192.67	4.45	296.98
20	0.20	10.00	1.94	97.00	3.82	191.00	6.79	296.98
25	0.25	10.00	2.40	96.00	4.74	189.60	7.35	294.16
30	0.30	10.00	2.83	94.33	5.66	188.67	8.77	292.27
35	0.36	10.29	3.40	97.14	6.79	194.00	10.47	299.00
40	0.40	10.00	3.82	95.50	7.64	191.00	11.67	291.68
45	0.47	10.44	4.38	97.33	8.77	194.89	13.44	298.56
50	0.50	10.00	4.81	96.20	9.48	189.60	14.50	289.91
55	0.56	10.18	5.30	96.36	10.61	192.91	16.26	295.70
60	0.61	10.17	5.94	99.00	11.67	194.50	17.68	294.63
X_L เฉลี่ย (Ω)		10.09		96.04		191.65		294.73
L เฉลี่ย (mH)		1.61		1.53		1.53		1.56

* *เป็นค่า root mean square*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.8 ความสัมพันธ์ระหว่าง E-I , X_L , L ของแกน Ferrite (POT Core Type) ที่ความถี่ 1 kHz , 10 kHz , 20 kHz และ 30 kHz ขณะ gap = 7 mm.

I* (mA.)	ความถี่							
	1 kHz		10 kHz		20 kHz		30 kHz	
	E* (V)	$X_L(\Omega)$	E* (V)	$X_L(\Omega)$	E* (V)	$X_L(\Omega)$	E* (V)	$X_L(\Omega)$
5	0.05	10.00	0.47	94.00	0.95	190.00	0.38	289.91
10	0.10	10.00	0.92	92.00	1.91	191.00	2.90	289.91
15	0.15	10.00	1.41	94.00	2.90	193.33	4.31	287.56
20	0.20	10.00	1.87	93.50	3.82	191.00	5.80	289.91
25	0.25	10.00	2.33	93.20	4.74	189.60	7.35	294.15
30	0.30	10.00	2.83	94.33	5.66	188.67	8.77	292.27
35	0.36	10.29	3.39	96.86	6.79	194.00	10.47	299.00
40	0.40	10.00	3.75	93.75	7.64	191.00	11.67	291.68
45	0.46	10.22	4.24	94.22	8.63	191.78	13.44	298.56
50	0.50	10.00	4.74	94.80	9.48	189.60	14.50	289.91
55	0.55	10.00	5.23	95.09	10.47	190.36	16.26	295.70
60	0.59	9.83	5.94	99.00	11.67	194.50	19.45	294.63
X_L เฉลี่ย (Ω)		10.03		94.56		191.24		292.77
L เฉลี่ย (mH)		1.60		1.50		1.52		1.55

* *เป็นค่า root mean square*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.9 ความสัมพันธ์ระหว่าง E-I , X_L , L ของแกน Ferrite (POT Core Type) ที่ความถี่ 1 kHz , 10 kHz , 20 kHz และ 30 kHz ขณะ gap = 8 mm.

I* (mA.)	ความถี่							
	1 kHz		10 kHz		20 kHz		30 kHz	
	E* (V)	$X_L(\Omega)$	E* (V)	$X_L(\Omega)$	E* (V)	$X_L(\Omega)$	E* (V)	$X_L(\Omega)$
5	0.05	10.00	0.46	92.00	0.92	184.00	1.41	282.84
10	0.10	10.00	0.92	92.00	1.91	191.00	2.83	282.84
15	0.15	10.00	1.41	94.00	2.90	193.33	4.31	287.56
20	0.20	10.00	1.87	93.50	3.82	191.00	5.80	289.91
25	02.25	10.00	2.33	93.20	4.74	189.60	7.21	288.50
30	0.29	9.67	2.83	94.33	5.66	188.67	8.77	292.27
35	0.35	10.00	3.39	96.86	6.79	194.00	10.32	294.96
40	0.39	9.75	3.75	93.75	7.50	187.50	11.31	282.84
45	0.45	10.00	4.24	94.22	8.49	188.67	13.08	290.70
50	0.49	9.80	4.67	93.40	9.33	186.60	14.14	282.84
55	0.55	10.00	5.23	95.10	10.32	187.64	15.91	289.27
60	0.59	9.83	5.80	96.67	11.31	188.50	17.32	288.74
X_L เฉลี่ย (Ω)		9.92		94.09		189.21		287.77
L เฉลี่ย (mH)		1.58		1.50		1.51		1.53

* เป็นค่า *root mean square*

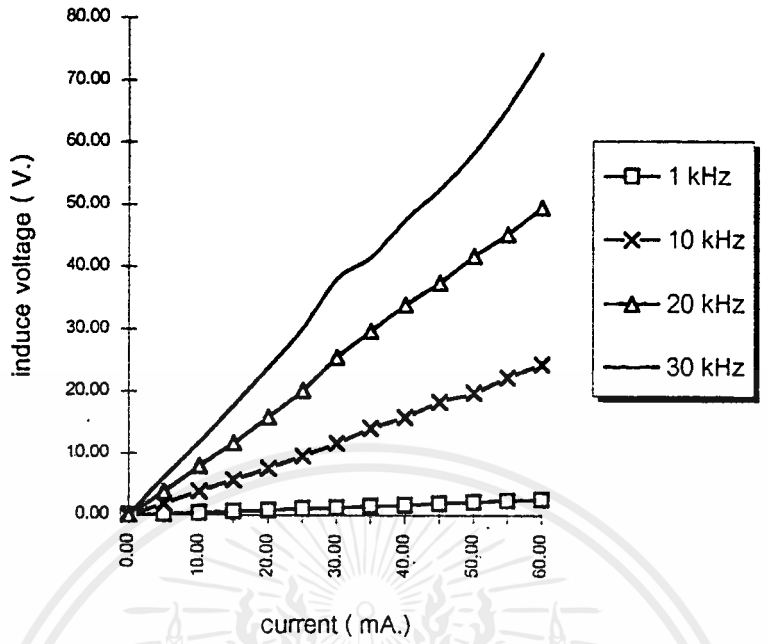
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.10 ความสัมพันธ์ระหว่าง E-I , X_L , L ของแกน Ferrite (POT Core Type) ที่ความถี่ 1 kHz , 10 kHz , 20 kHz และ 30 kHz ขณะ open gap

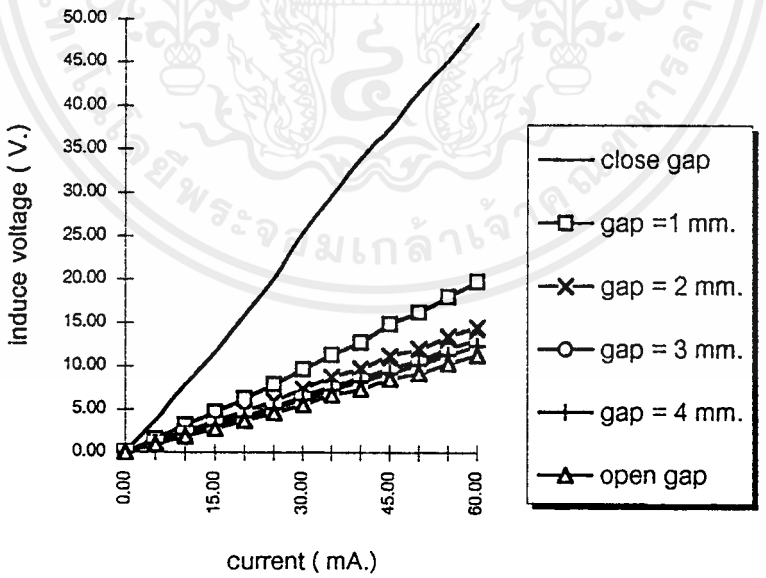
I* (mA.)	ความถี่							
	1 kHz		10 kHz		20 kHz		30 kHz	
	E* (V)	$X_L(\Omega)$	E* (V)	$X_L(\Omega)$	E* (V)	$X_L(\Omega)$	E* (V)	$X_L(\Omega)$
5	0.05	10.00	0.45	90.00	0.92	184.00	1.41	282.84
10	0.10	10.00	0.91	91.00	1.87	187.00	2.83	282.84
15	0.14	9.33	1.41	94.00	2.76	184.00	4.24	282.84
20	0.19	9.50	1.84	92.00	3.68	184.00	5.66	282.84
25	0.24	9.60	2.30	92.00	4.60	184.00	7.07	282.84
30	0.30	10.00	2.76	92.00	5.52	184.00	8.49	282.84
35	0.35	10.00	3.32	94.86	6.65	190.00	10.18	290.92
40	0.39	9.75	3.68	92.00	7.35	183.75	11.31	282.84
45	0.45	10.00	4.24	94.22	8.49	188.67	12.73	282.84
50	0.49	9.80	4.60	92.00	9.19	183.80	14.14	282.84
55	0.54	9.82	5.09	92.55	10.32	187.64	15.56	282.84
60	0.60	10.00	5.66	94.33	11.31	188.50	16.97	282.84
X_L เฉลี่ย (Ω)		9.82		92.58		185.78		283.51
L เฉลี่ย (mH)		1.56		1.47		1.48		1.50

* *เป็นค่า root mean square*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



<u>รูปที่</u> 4.2 เปรียบเทียบความสัมพันธ์ E-I curve ของแกน Ferrite (POT core Type) ที่ความถี่ 1 kHz , 10 kHz , 20 kHz และ 30 kHz ขณะ close gap



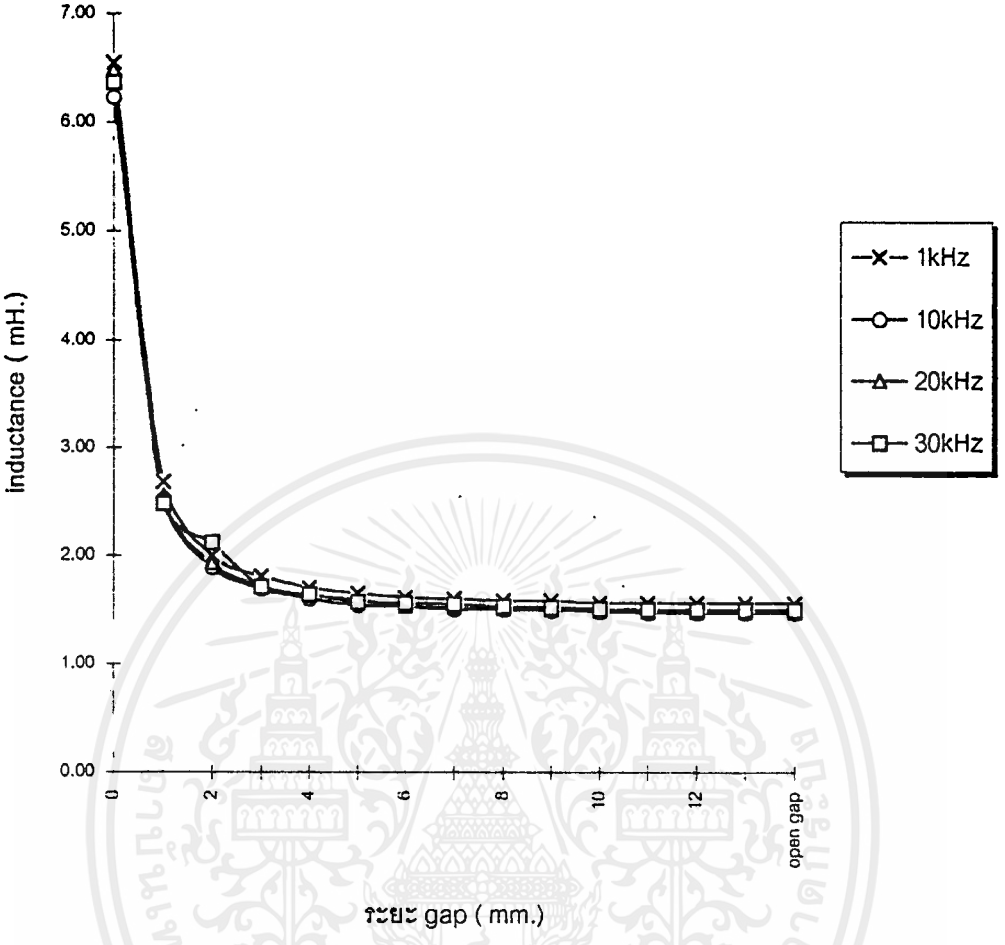
<u>รูปที่</u> 4.3 เปรียบเทียบความสัมพันธ์ E-I curve ของแกน Ferrite (POT core Type) ขณะ close gapจนถึงที่ gap = 4 mm. และ ขณะ open gap ที่ความถี่ 20 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.11 ความสัมพันธ์ระหว่างค่าความเหนี่ยวนำ (L) กับระยะ gap ที่ความถี่ 1 kHz , 10 kHz , 20 kHz และ 30 kHz

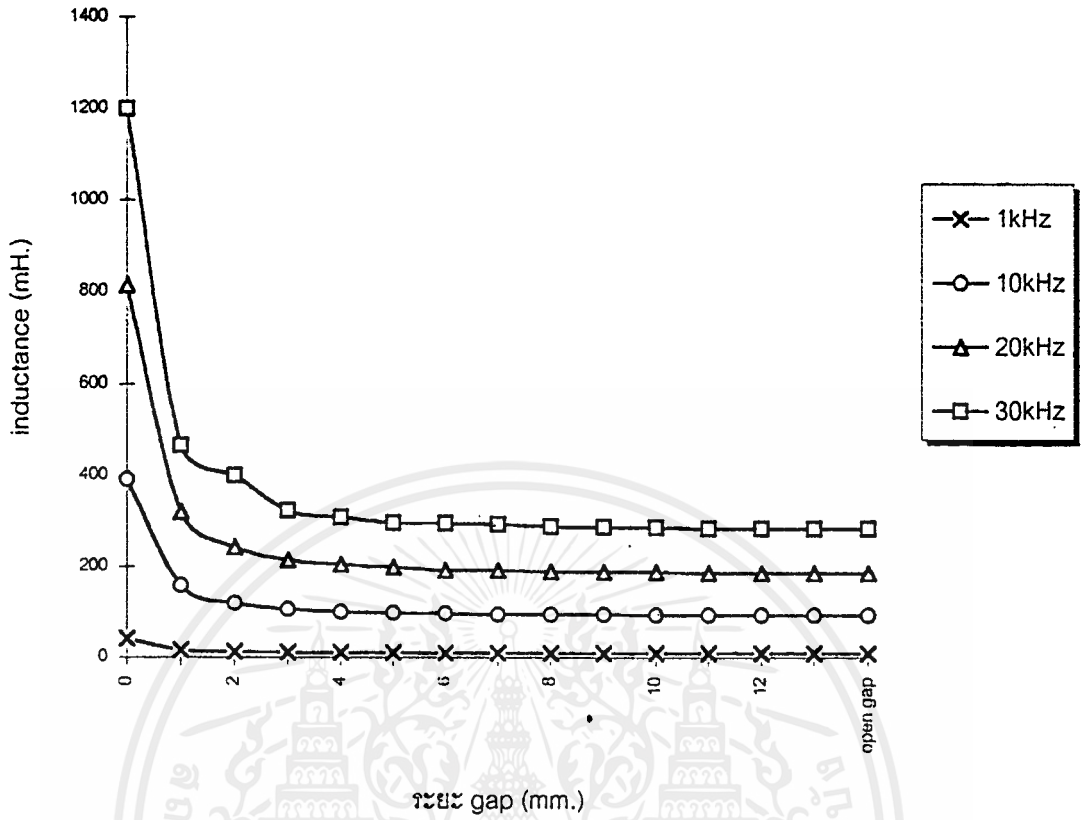
gap (mm.)	L (mH.)			
	1 kHz	10 kHz	20 kHz	30 kHz
close gap	6.55	6.23	6.49	6.37
1	2.68	2.52	2.55	2.48
2	2.00	1.89	1.93	2.12
3	1.81	1.69	1.71	1.71
4	1.70	1.60	1.63	1.64
5	1.65	1.54	1.59	1.57
6	1.61	1.53	1.53	1.56
7	1.60	1.50	1.52	1.55
8	1.58	1.50	1.51	1.53
9	1.58	1.49	1.50	1.52
10	1.56	1.48	1.49	1.51
11	1.56	1.47	1.48	1.50
12	1.56	1.47	1.48	1.50
13	1.56	1.47	1.48	1.50
open gap	1.56	1.47	1.48	1.50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



<u>รูปที่</u> 4.4 เปรียบเทียบความสัมพันธ์ระหว่าง L กับ gap ที่ความถี่ 1kHz 10 kHz , 20 kHz และ 30 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



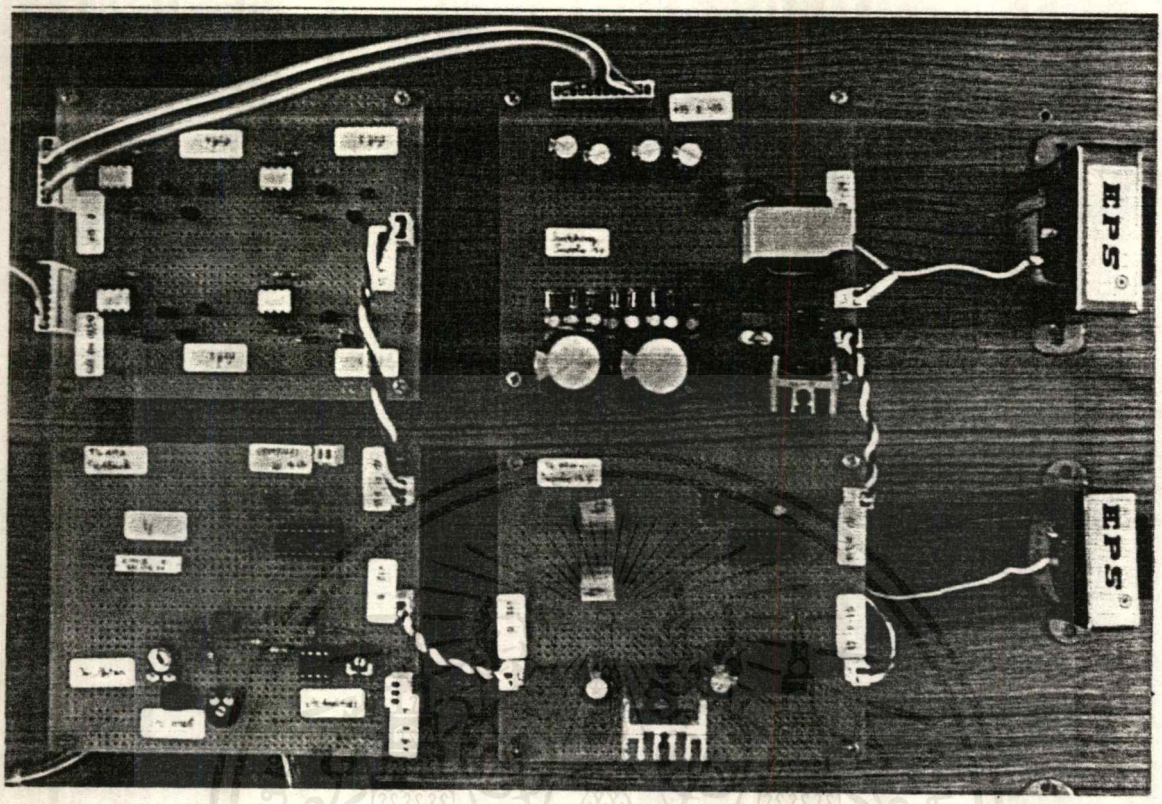
รูปที่ 4.5 เปรียบเทียบความสัมพันธ์ระหว่าง X_L กับ gap ที่ความถี่ 1kHz 10 kHz , 20 kHz และ 30 kHz

4.2การทดลองวงจรขับเบส

วิธีการทดลอง

1.ต่อวงจรทดลองดังรูปที่ 4.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

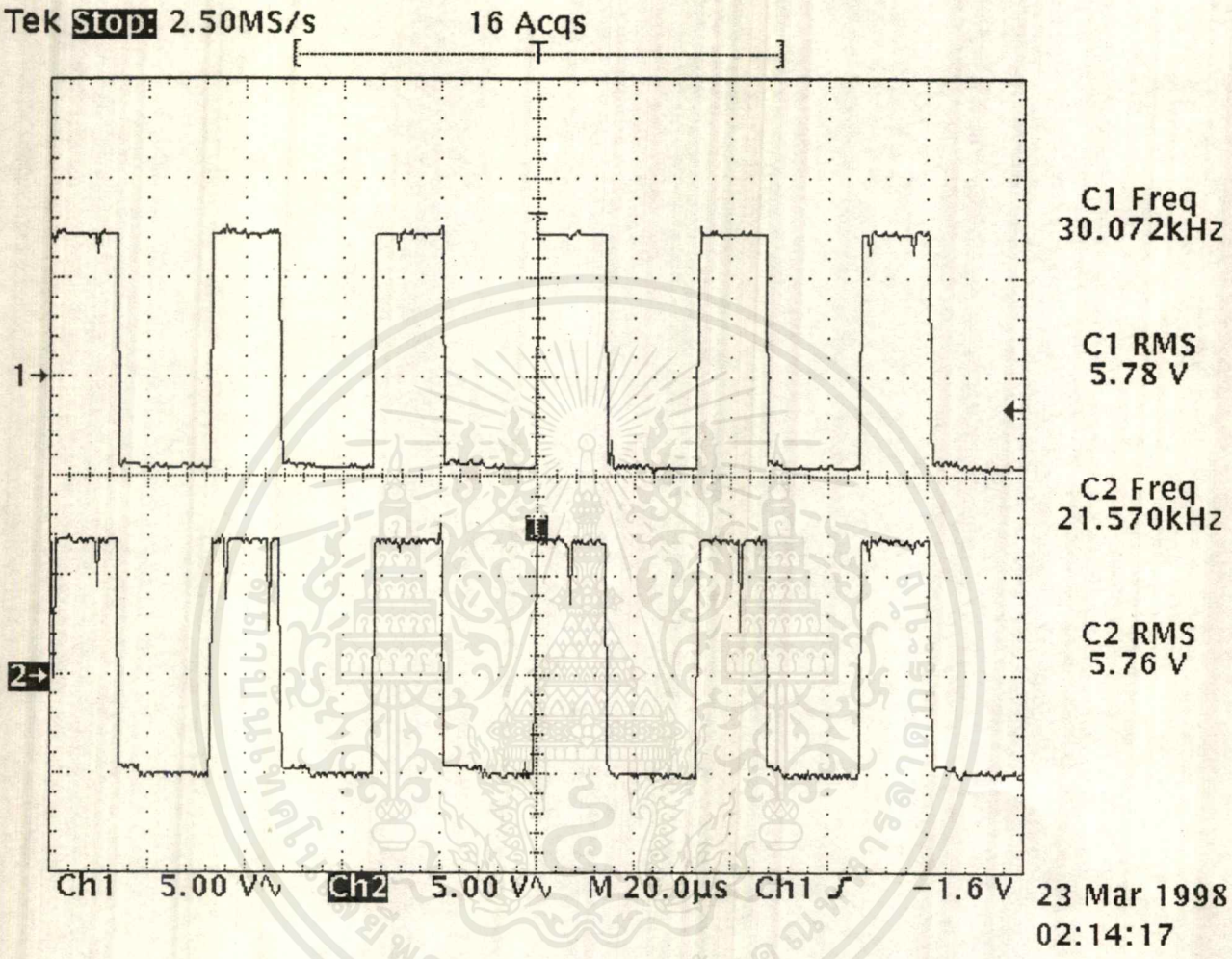


รูปที่ 4.6 แสดงการต่อวงจรขับเบส

2.บันทึกผลจากออสซิลโลสโคป เพื่อหาคาบเวลาการทำงานของสัญญาณทริกเกทของ Power MOSFET ในวงจรกำลังส่วนยกลอย

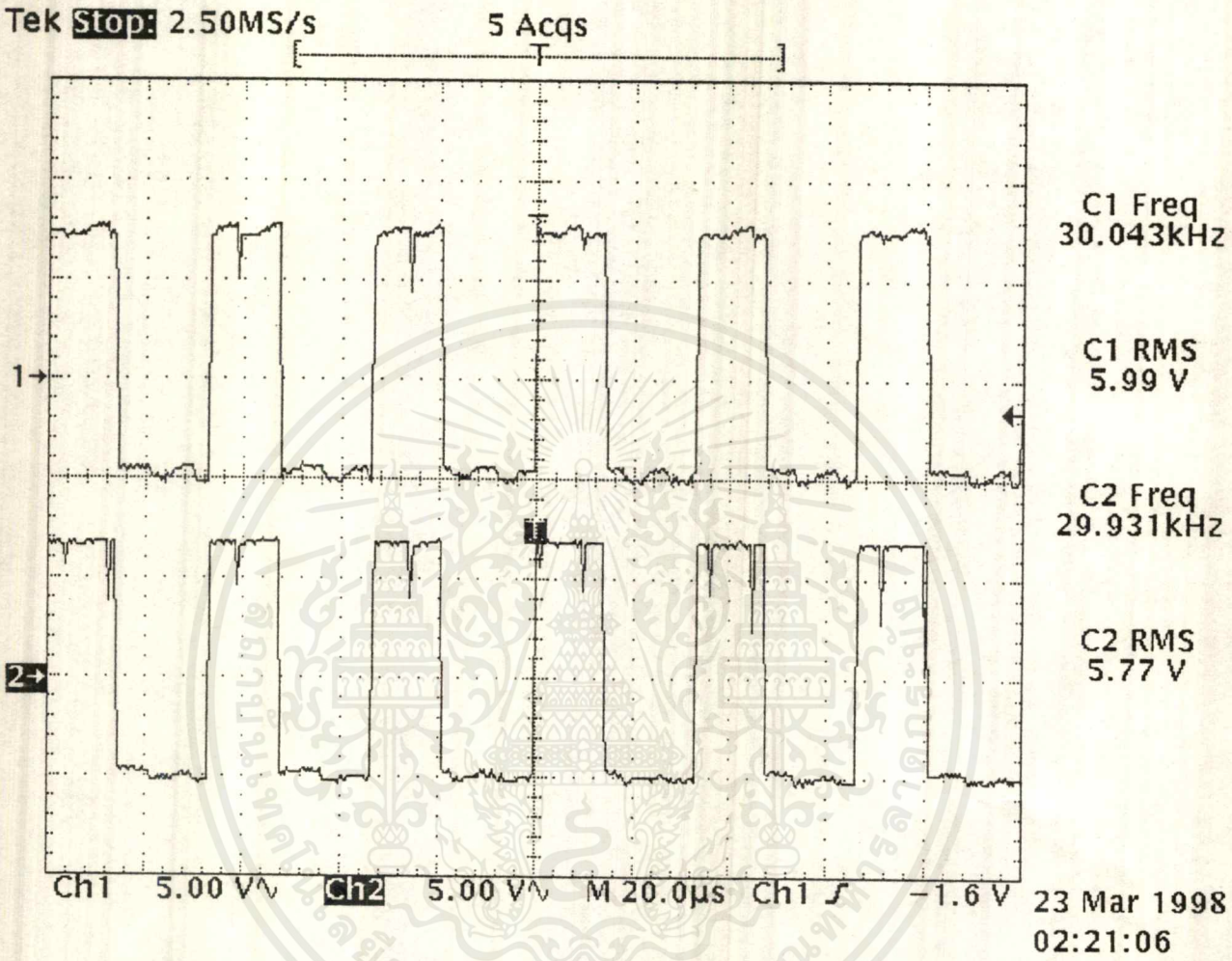
ผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



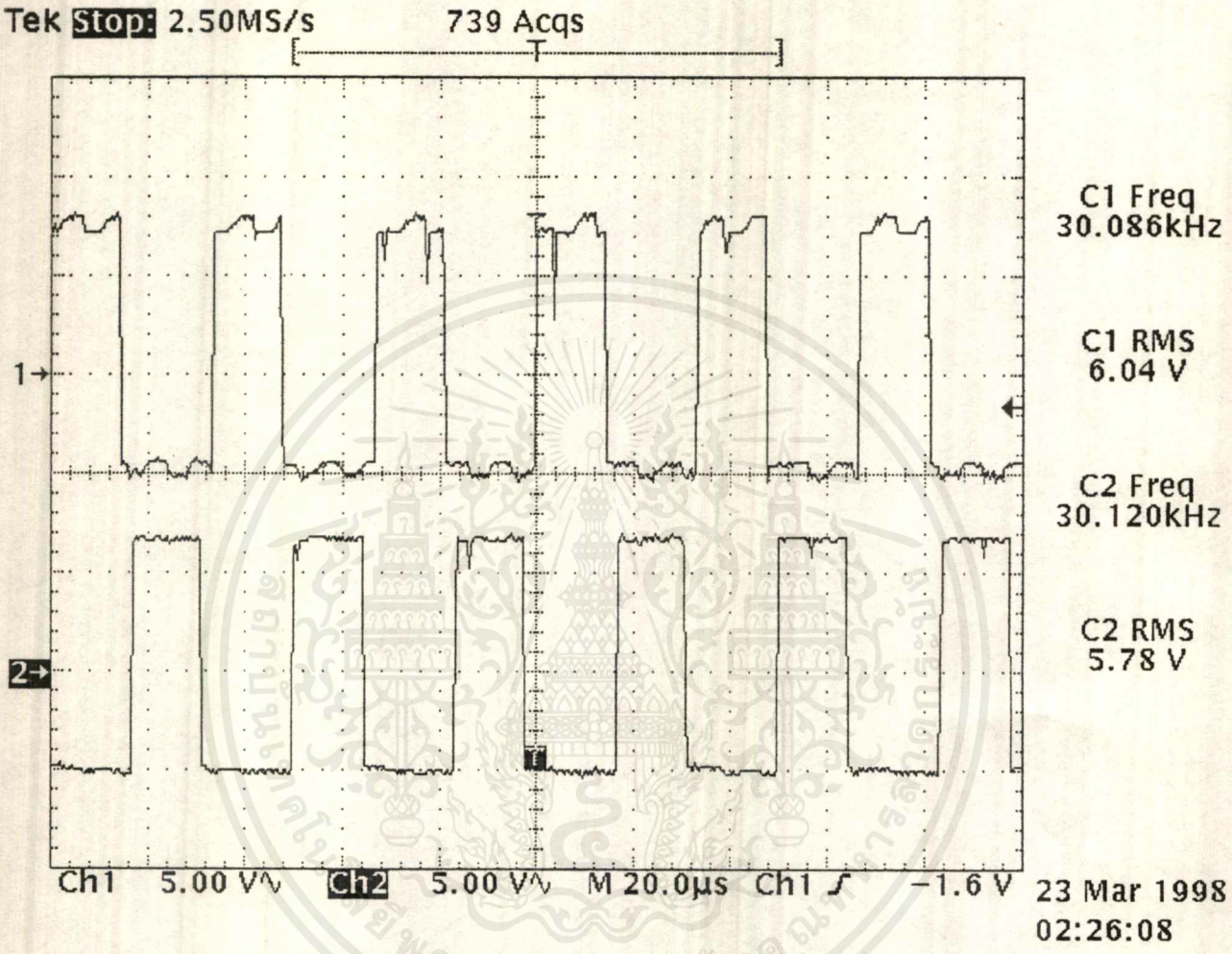
รูปที่ 4.7 แสดงสัญญาณทริกของ Power MOSFET ตัวที่ 1 และ 2 ที่ inphase กัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8 แสดงสัญญาณทริก Power MOSFET ตัวที่ 3 และ 4 ที่ inphase กัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



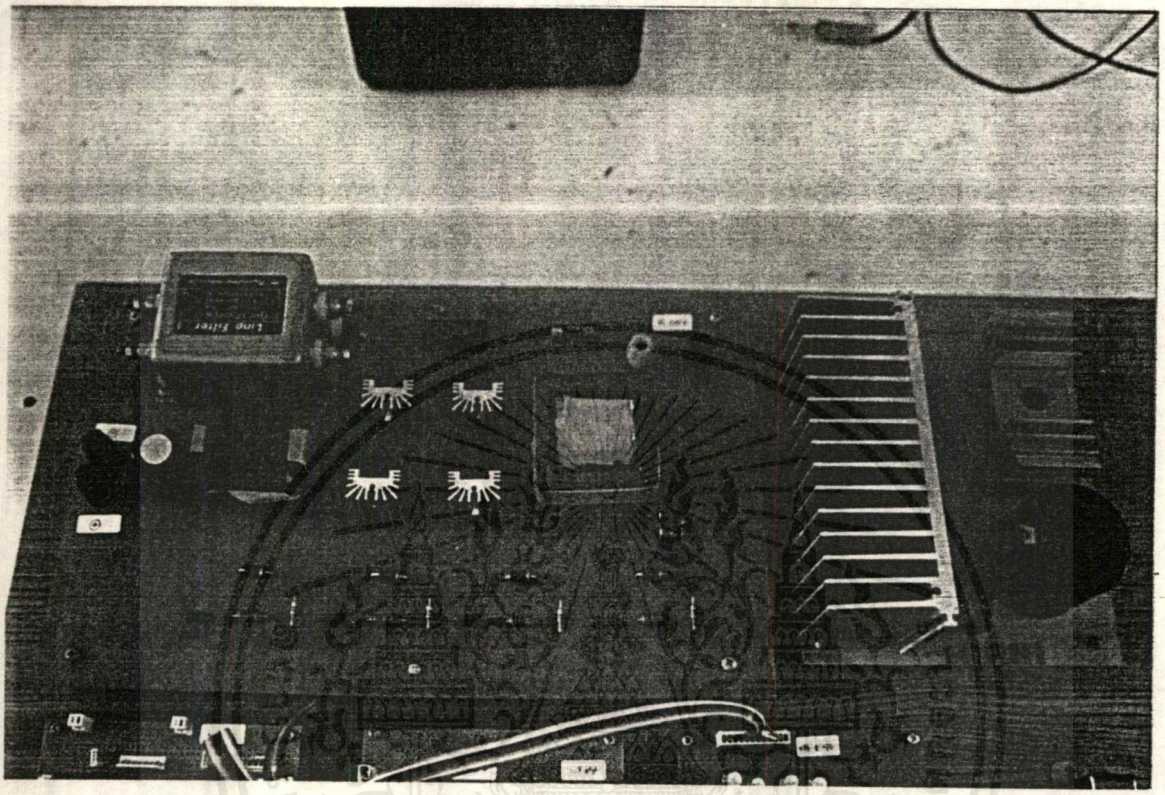
รูปที่ 4.9 แสดงสัญญาณทริก Power MOSFET ตัวที่ 1 กับ 3 และ 2 กับ 4 ที่ out of phase กัน

4.3การทดลองวงจรกำลัง

วิธีการทดลอง

1. ต่อวงจรทดลองดังรูปที่ 4.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

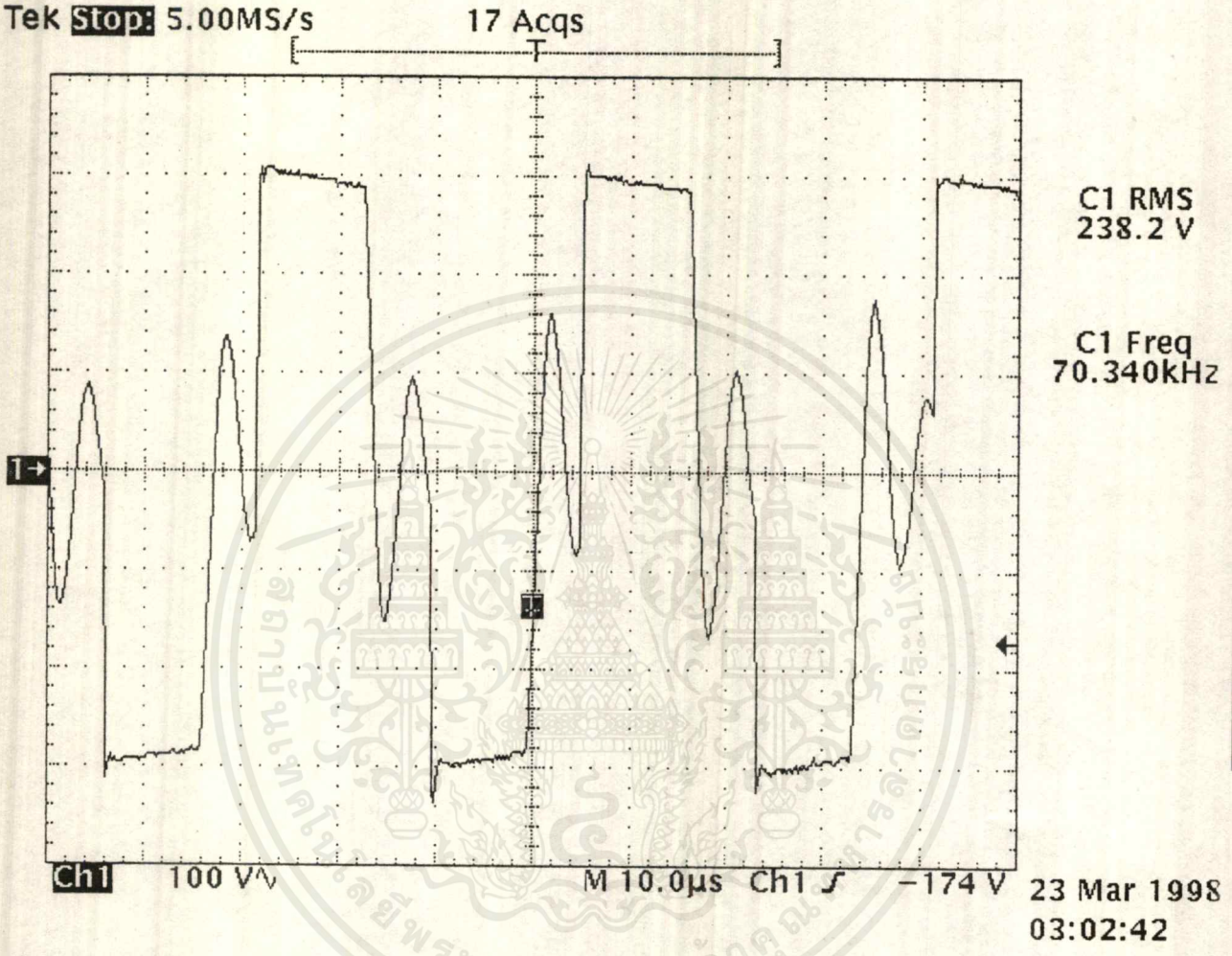


รูปที่ 4.10 แสดงการต่อวงจรกำลัง

2. บันทึกผลจากออสซิลโลสโคป เพื่อหาลักษณะรูปคลื่นแรงดันเอาท์พุทของวงจรกำลัง

ผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



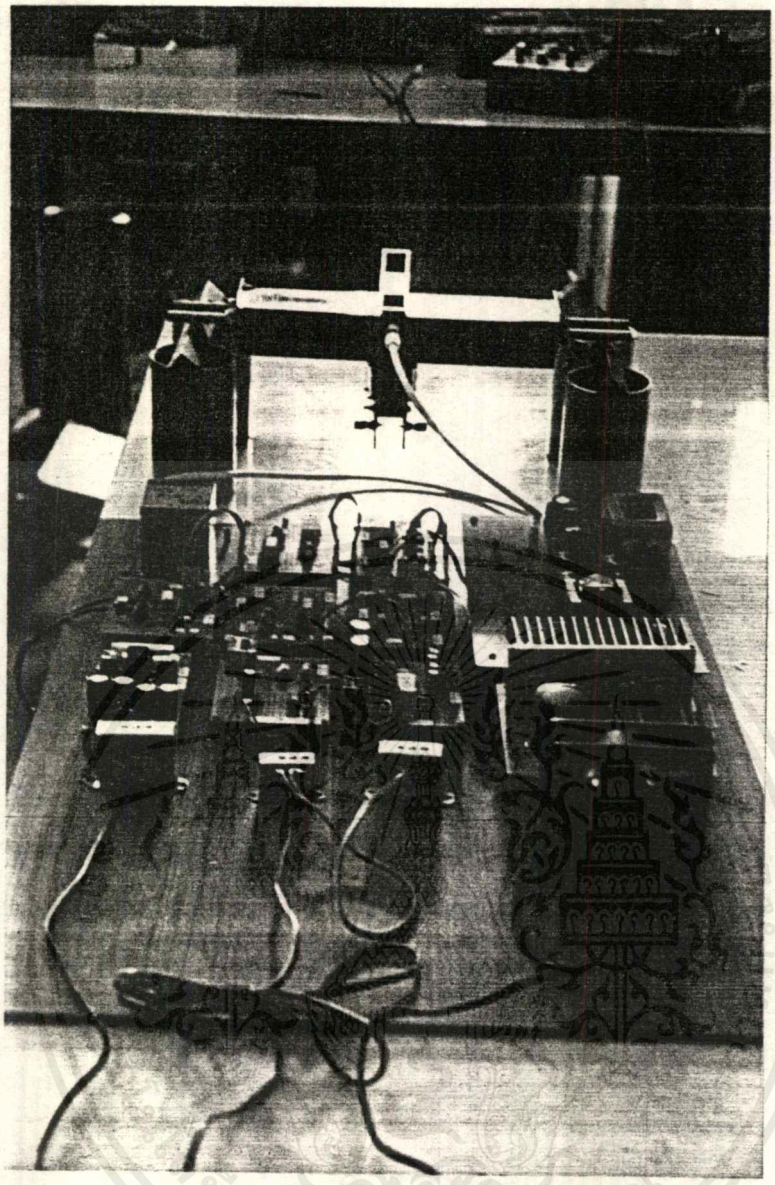
รูปที่ 4.11 แสดงสัญญาณเอาท์พุทของวงจรกำลัง

4.4การทดลองส่วนยกลอย

วิธีการทดลอง

1. ต่อวงจรทดลองดังรูปที่ 4.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

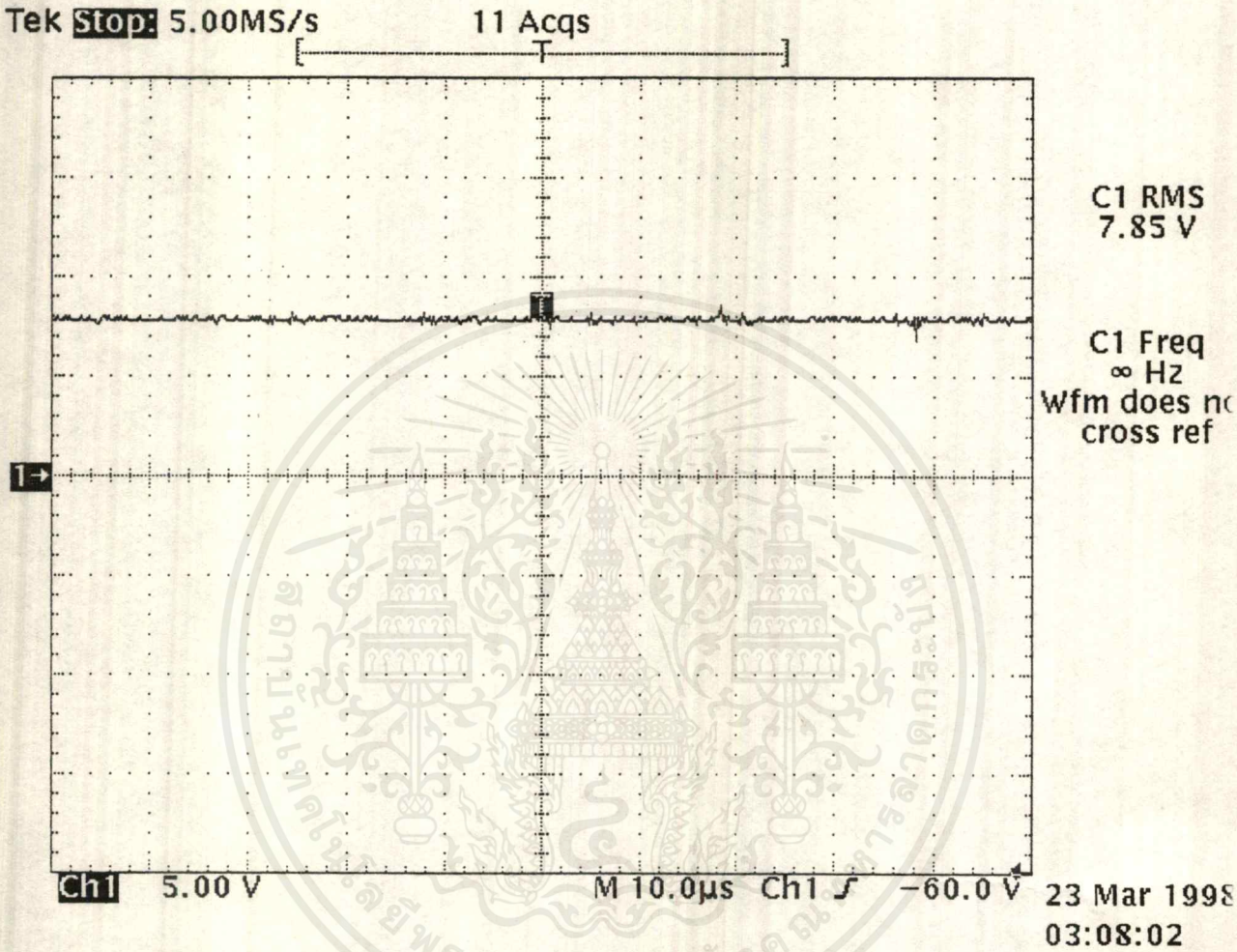


รูปที่ 4.12 วงจรการทดลองส่วนยกลอย

2. บันทึกผลจากออสซิลโลสโคป เพื่อหาสัญญาณแรงดัน และกระแสที่ป้อนเข้าส่วนยกลอย เมื่อระยะห่างของช่องอากาศมีค่าเท่ากับ 8 mm

ผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.13 แสดงสัญญาณแรงดันที่ถูกป้อนเข้าส่วนยกลอยที่มีระยะห่างช่องอากาศ 8 mm แล้วทำให้ลอยดูดติดพอดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 การทดลองแรงดูดของแม่เหล็ก

การทดลองในส่วนของแรงดูดทางแม่เหล็กสามารถทำได้โดย ทำการเปลี่ยนแปลงค่าน้ำหนักถ่วงไปเรื่อย ๆ แล้วทำการวัดพารามิเตอร์ต่าง ๆ เช่น กระแส , Voltage ที่ทำให้เกิดแรงดูดยกตัวลอยขึ้นไปติดกับตัวราง ซึ่งทำการบันทึกผลได้ดังนี้

ผลการทดลองแรงดูดทาง AC

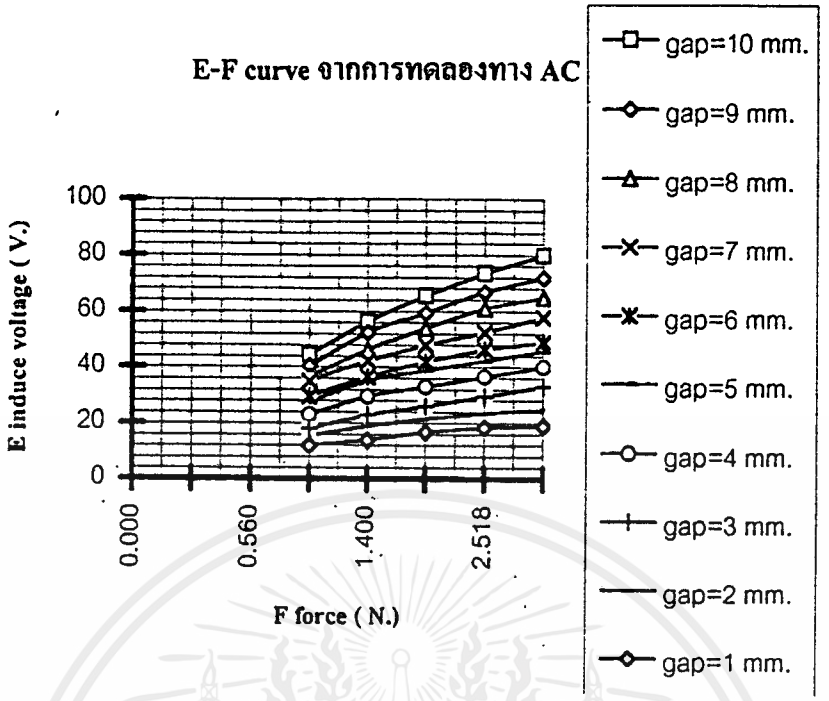
Force kg.	current ที่ระยะช่องอากาศต่าง ๆ (A. rms.)									
	gap=10 mm.	Gap=9 mm.	gap=8 mm.	gap=7 mm.	gap=6 mm.	gap=5 mm.	gap=4 mm.	gap=3 mm.	gap=2 mm.	gap=1 mm.
0.840	5.300	4.650	4.050	3.700	2.950	2.550	2.120	1.420	1.000	0.570
1.400	6.700	6.000	5.200	4.550	3.650	3.400	2.650	1.700	1.150	0.690
1.960	7.800	6.950	6.000	5.200	4.150	3.650	2.920	1.950	1.400	0.780
2.518	8.900	7.750	6.800	5.550	4.600	4.050	3.250	2.150	1.450	0.850
3.078	10.100	8.500	7.300	6.100	4.950	4.350	3.500	2.560	1.600	0.900

ตารางที่ 4.12 แสดงค่าของกระแส (rms.) ที่ระยะช่องอากาศต่าง ๆ ทาง AC

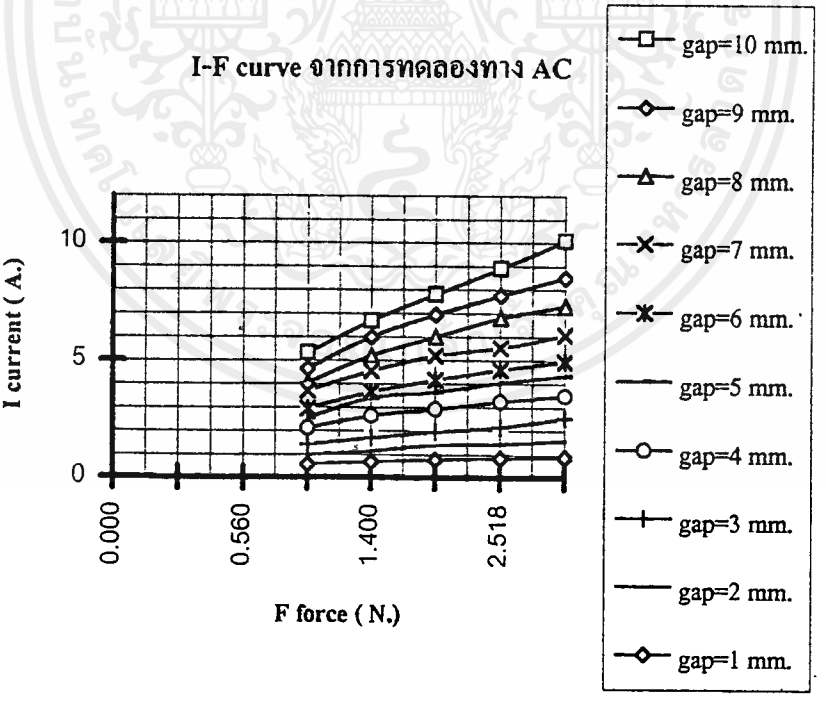
Force kg.	induce voltage ที่ระยะช่องอากาศต่าง ๆ (V. rms.)									
	gap=10 mm.	Gap=9 mm.	gap=8 mm.	gap=7 mm.	gap=6 mm.	gap=5 mm.	gap=4 mm.	gap=3 mm.	gap=2 mm.	gap=1 mm.
0.840	44.500	40.500	36.500	35.000	29.500	27.500	23.000	18.000	15.500	12.000
1.400	56.500	52.500	46.500	42.500	36.500	35.500	29.500	23.000	19.000	14.000
1.960	65.500	59.500	54.000	48.000	42.000	39.000	33.000	26.000	21.500	17.000
2.518	73.500	67.000	61.000	52.500	46.500	42.500	36.500	29.500	23.500	18.500
3.078	80.000	72.000	65.000	58.000	49.000	46.000	40.000	33.000	25.000	19.000

ตารางที่ 4.13 แสดงค่าของ induce voltage (rms.) ที่ระยะช่องอากาศต่าง ๆ ทาง AC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.14 กราฟผลการทดลอง E-F curve ทาง AC



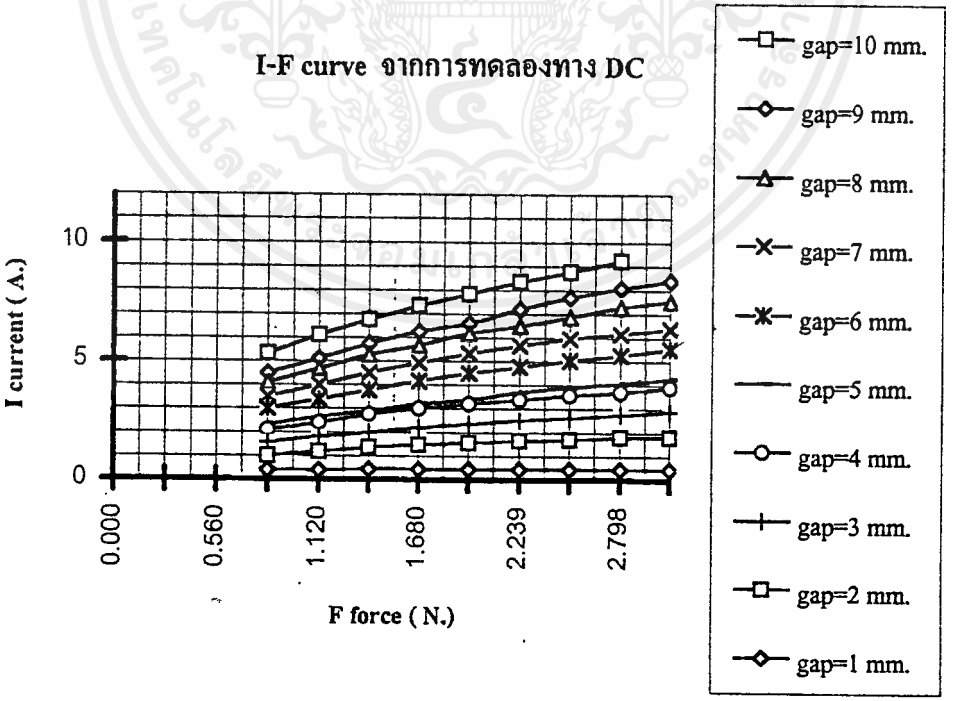
รูปที่ 4.15 กราฟผลการทดลอง I-F curve ทาง AC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลองแรงดูดทาง DC

Force kg.	current ที่ระยะช่องอากาศต่าง ๆ (A.)									
	gap=10 mm.	gap=9 mm.	gap=8 mm.	gap=7 mm.	gap=6 mm.	gap=5 mm.	gap=4 mm.	gap=3 mm.	gap=2 mm.	gap=1 mm.
0.840	5.300	4.483	4.100	3.500	3.00	2.300	2.100	1.550	1.000	0.400
1.120	6.100	5.100	4.670	4.000	3.400	2.633	2.400	1.800	1.167	0.400
1.400	6.767	5.733	5.267	4.500	3.767	2.900	2.750	2.000	1.350	0.450
1.680	7.350	6.267	5.670	4.930	4.167	3.200	3.000	2.200	1.463	0.450
1.960	7.8467	6.630	6.200	5.330	4.500	3.400	3.200	2.350	1.550	0.450
2.239	8.367	7.217	6.500	5.670	4.767	3.700	3.400	2.517	1.650	0.450
2.518	8.767	7.700	6.900	5.967	5.030	3.900	3.567	2.630	1.700	0.450
2.798	9.230	8.100	7.300	6.167	5.267	4.067	3.700	2.750	1.800	0.450
3.078	-	8.400	7.550	6.400	5.530	4.267	3.900	2.900	1.800	0.450

ตารางที่ 4.13 แสดงค่าของกระแสที่ระยะช่องอากาศต่าง ๆ



รูปที่ 4.16 กราฟแสดงผลการทดลอง I-F curve ทาง DC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการในการออกแบบส่วนยกลอย สมการที่ (3.1) , (3.2) สามารถนำมาหาความสัมพันธ์ระหว่าง ค่ากระแส กับ แรงดูด เทียบกับผลการทดลองได้ดังนี้

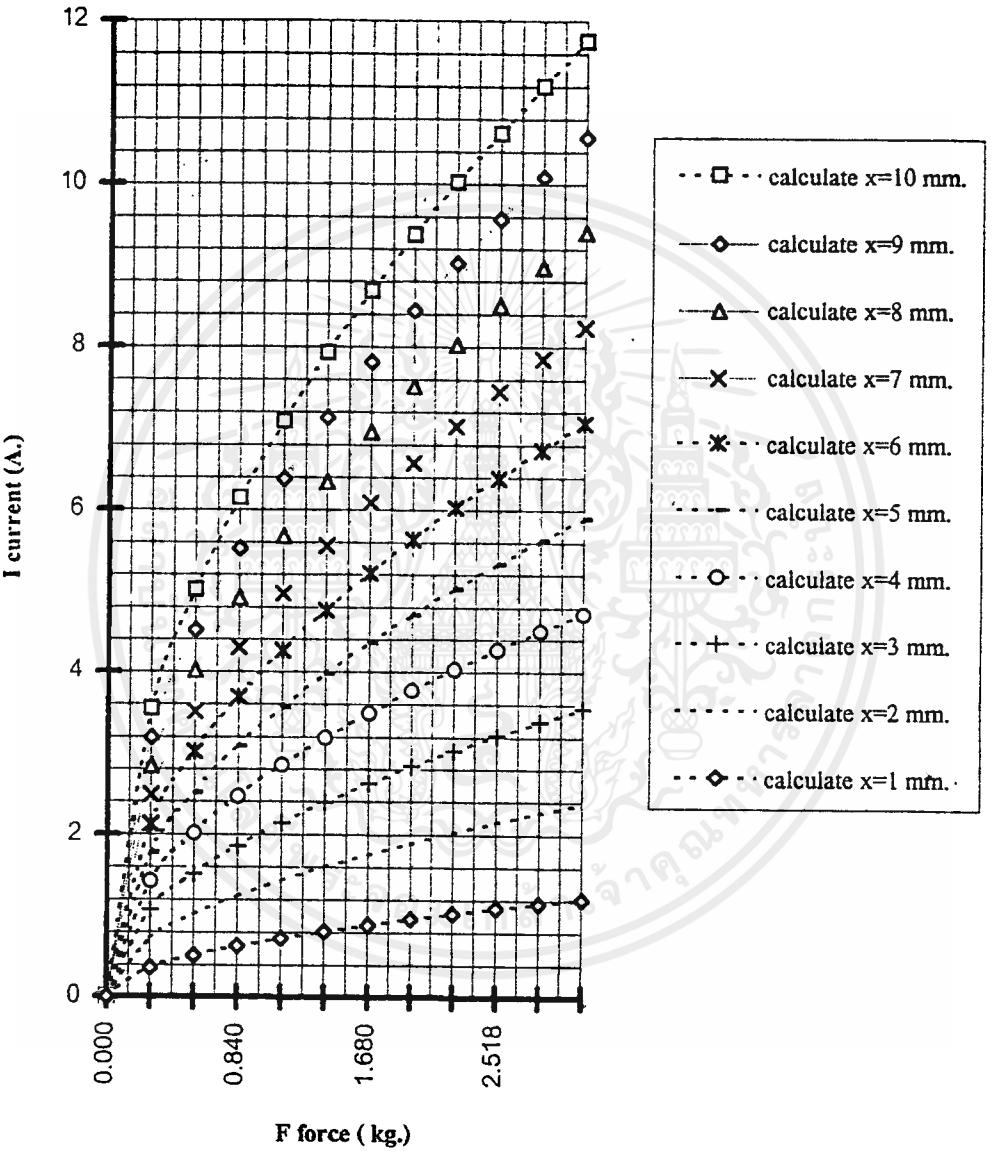
<u>ตารางผลการคำนวณแรงดูดทาง DC</u>

Force kg.	current ที่ระยะช่องอากาศต่าง ๆ (A.)									
	calculate x=10 mm.	calculate x=9 mm.	calculate x=8 mm.	calculate x=7 mm.	calculate x=6 mm.	calculate x=5 mm.	calculate x=4 mm.	calculate x=3 mm.	calculate x=2 mm.	calculate x=1 mm.
0.000	0.000	0.000	0.000	0.000	0.000	0.000	0.000	0.000	0.000	0.000
0.280	3.546	3.192	2.839	2.486	2.132	1.779	1.426	1.072	0.719	0.365
0.560	5.014	4.515	4.015	3.515	3.015	2.516	2.016	1.516	1.017	0.517
0.840	6.141	5.529	4.917	4.305	3.693	3.081	2.469	1.857	1.245	0.633
1.120	7.091	6.385	5.678	4.971	4.264	3.558	2.851	2.144	1.438	0.731
1.400	7.928	7.138	6.348	5.558	4.768	3.978	3.188	2.397	1.607	0.817
1.680	8.685	7.820	6.954	6.088	5.223	4.357	3.492	2.626	1.761	0.895
1.960	9.381	8.446	7.511	6.576	5.641	4.706	3.772	2.837	1.902	0.967
2.239	10.026	9.027	8.028	7.029	6.030	5.030	4.031	3.032	2.033	1.033
2.518	10.633	9.573	8.513	7.454	6.394	5.335	4.275	3.215	2.156	1.096
2.798	11.209	10.092	8.975	7.858	6.741	5.624	4.506	3.389	2.272	1.155
3.078	11.757	10.585	9.413	8.242	7.070	5.898	4.727	3.555	2.383	1.212

<u>ตารางที่</u> 4.15 แสดงค่ากระแสที่คำนวณได้จากสมการ ทาง DC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

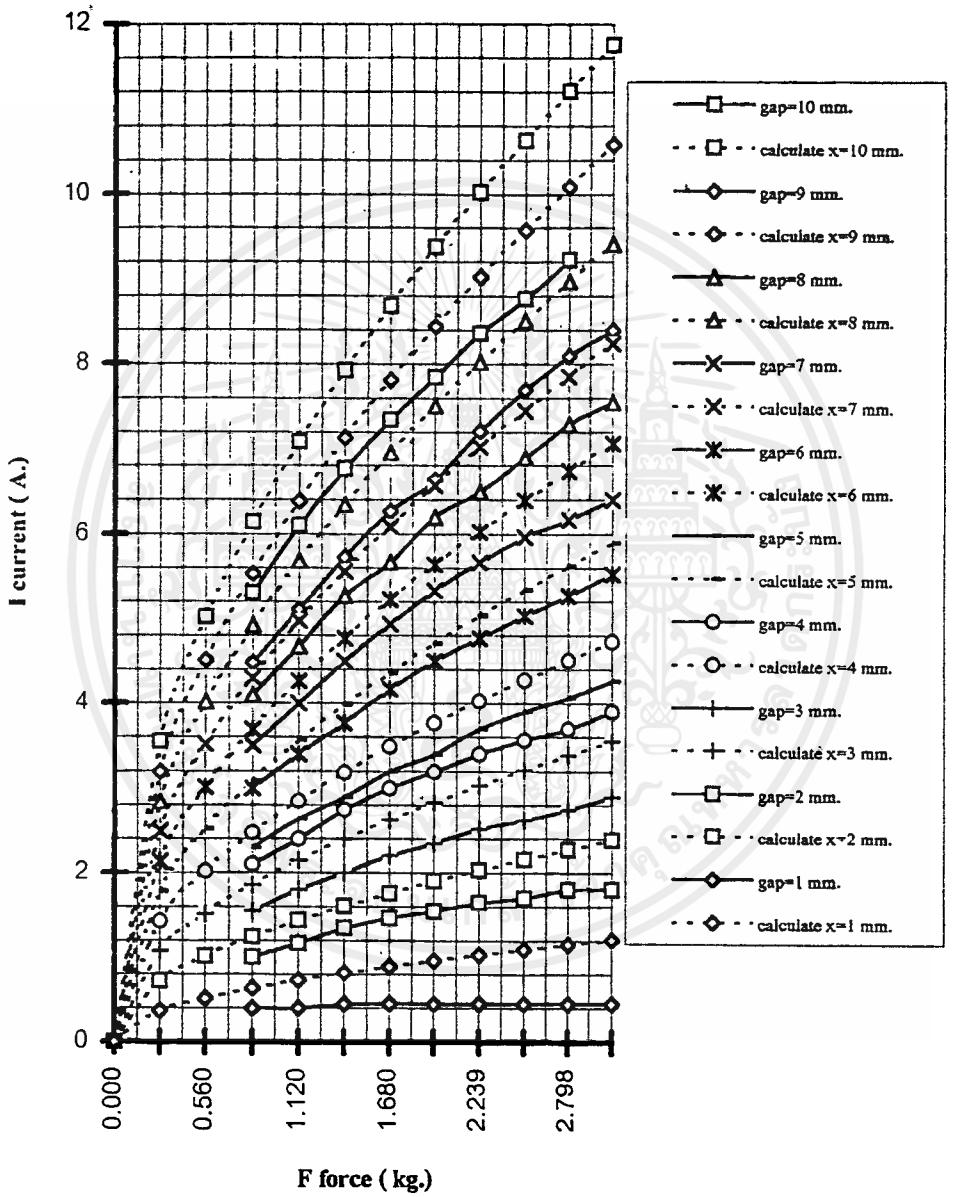
I-F curve จากการคำนวณ



รูปที่ 4.17 กราฟการคำนวณแรงดูดทาง DC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

I-F curve จากการทดลองเทียบกับการคำนวณทาง DC



<u>รูปที่</u> 4.18 กราฟการทดลองแรงดูดจากการทดลองเทียบกับการคำนวณ ทาง DC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปวิจารณ์

เครื่องควบคุมระยะห่างช่องอากาศให้คงที่ ที่สร้างขึ้นนี้เป็นการจำลองการควบคุมการยกลอยของรถไฟฟ้าที่อาศัยหลักการของแรงดูดระหว่างตัวโครงรถกับตัวราง ในโครงงานนี้ได้ออกแบบไว้ให้ระบบสามารถรักษาระยะห่างช่องอากาศให้คงที่ได้ที่ระยะ4 mm ขณะที่รับน้ำหนักได้ประมาณ 3 kg ระบบจะอาศัยการทำงานที่สัมพันธ์กันระหว่างตัว Sensor ตรวจจับระยะห่างกับไมโครคอนโทรลเลอร์ เป็นหลักสำคัญ ซึ่งตัว Sensor แม่เหล็กที่ใช้งานเป็นแกนเฟอร์ไรต์มีมิติและขนาดตามรูปในภาคผนวก ง. สามารถตรวจจับระยะได้สูงสุด 8 mm ณ.ที่ความถี่ใช้งาน 20 kHz ส่วนตัวไมโครคอนโทรลเลอร์ เป็นตัวประมวลผลและสั่งการควบคุมขนาดแรงดูดของส่วนยกลอยในการทำให้ส่วนยกลอยเกิดการเคลื่อนที่

ตัว Sensor ที่ได้ทำการออกแบบไว้นั้นสามารถนำมาตรวจจับระยะได้จริง แต่ผลที่ได้ไม่ถูกต้องชัดเจนนัก เนื่องจากปัญหาของสัญญาณรบกวนในวงจรการทำงานของ Sensor จึงตัดสินใจแก้ปัญหาโดยการใช้วงจรการทำงานของส่วน Sensor ที่มีการใช้งานจริง มาแทนที่ส่วนวงจรการทำงานเดิมที่ได้ออกแบบไว้แต่ Sensor ก็ยังคงใช้ตัวเดิมอยู่ ซึ่งช่วยขจัดปัญหาไปได้ 2 เรื่องคือ สามารถลดผลของสัญญาณรบกวนลงไปได้มาก และลดปัญหาเรื่องความไม่เป็นเชิงเส้น (non-linear) ระหว่างระยะห่างช่องอากาศกับสัญญาณที่จะส่งไปยังไมโครคอนโทรลเลอร์ลงไปได้มาก สำหรับสิ่งที่เป็นปัญหาอยู่ในขณะนี้คือ ความถูกต้องและแม่นยำของวงจรต่างๆยังเป็นสิ่งที่ต้องทำการลดค่าความคลาดเคลื่อนให้มีค่าน้อยที่สุดเพื่อป้องกันไม่ให้เกิดข้อผิดพลาดในการควบคุมระบบ สำหรับโปรแกรมควบคุมที่ใช้ในการประมวลผลก็ควรจะได้รับการพัฒนาโดยคำนึงถึงเวลาที่ใช้ในการประมวลผลตามโปรแกรมให้สอดคล้องกับความไวในการรับส่งข้อมูลของ Sensor และอุปกรณ์ต่างๆ อีกทั้งยังต้องศึกษาเกี่ยวกับค่าคงที่ของเวลา (Time Constant) ในส่วนของอุปกรณ์ในแต่ละส่วนและผลกระทบเนื่องจากฟลักซ์แม่เหล็กตกค้างในวงจรแม่เหล็กส่วนยกลอย ซึ่งเป็นสาเหตุสำคัญที่ทำให้เครื่องควบคุมระยะห่างช่องอากาศคงที่ยังไม่สมบูรณ์ในปัจจุบัน

สำหรับข้อมูลที่ได้จากการทดลองทั้งในส่วน Sensor , วงจรควบคุม และส่วนยกลอย สามารถนำไปใช้เพื่อเป็นแนวทางในการพัฒนาระบบควบคุมระยะห่างช่องอากาศคงที่ให้มีความสมบูรณ์แบบทั้งมีประสิทธิภาพในการทำงานสูงขึ้นต่อไปได้ โดยตัวอย่างในการพัฒนาก็คือการปรับปรุงส่วนต่างๆของโครงงานให้มีค่าความคลาดเคลื่อนน้อยที่สุด พัฒนาให้สามารถควบคุมระยะห่างช่องอากาศให้คงที่ได้ แม้จะมีการเปลี่ยนแปลงน้ำหนักส่วนยกลอย หรือแม้กระทั่งการปรับตั้งค่าระยะห่างของช่องอากาศให้คงที่ที่ระยะต่างๆ ได้อย่างอิสระ ซึ่งเป็นการเพิ่มขีดความสามารถในการนำเอาผลของโครงงานไปใช้ประโยชน์ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

การหาสมการอธิบายปรากฏการณ์ของแรงดูดในทาง DC

ขั้นตอนในการหา คือ

1. หาค่า $\Re$ รวมของวงจรแม่เหล็กให้อยู่ใน FUNCTION ของระยะ gap นั่นคือ $\Re(x)$
2. นำค่า $\Re(x)$ ไปหาค่า L ที่อยู่ใน FUNCTION ของระยะ gap นั่นคือ L (x)

โดย

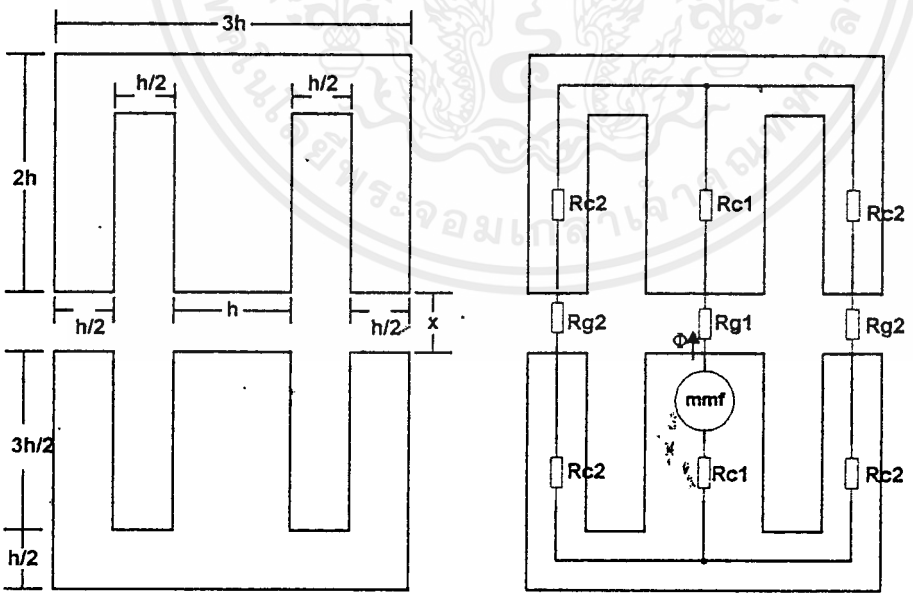
$$L(x) = \frac{N^2}{\Re(x)}$$

3. จากนั้นทำการหา พลังงานที่สะสมในวงจรแม่เหล็ก

$$W'_{fld} = \frac{1}{2}L(x)i^2$$

4. สุดท้ายสมการแรงดูดจะหาได้จากการ Partial Derivative พลังงานที่สะสมในวงจรแม่เหล็กเทียบกับระยะการเคลื่อนที่

$$F = \frac{\partial W'_{fld}}{\partial x}$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\Re_{total} = \Re_{g1} + \Re_{c1} + \frac{\Re_{c2} + \Re_{g2} + \Re_{c2}}{2} + \Re_{c1}$$

$$= \Re_{g1} + \frac{\Re_{g2}}{2} + (2\Re_{c1} + \Re_{c2})$$

โดยกำหนดให้ $(2\Re_{c1} + \Re_{c2}) = \Re_{core}$

$$\therefore \Re_{total} = \Re_{g1} + \frac{\Re_{g2}}{2} + \Re_{core}$$

$$L(x) = \frac{N^2}{\Re_{total}}$$

$$= \frac{N^2}{\Re_{g1} + \frac{\Re_{g2}}{2} + \Re_{core}}$$

$$= \frac{N^2}{\frac{x}{\mu_0 h^2} + \frac{2x}{2\mu_0 h^2} + \Re_{core}}$$

$$= \frac{N^2}{\frac{2x}{\mu_0 h^2} + \Re_{core}}$$

$$= \frac{\mu_0 N^2 h^2}{2x + \mu_0 h^2 \Re_{core}}$$

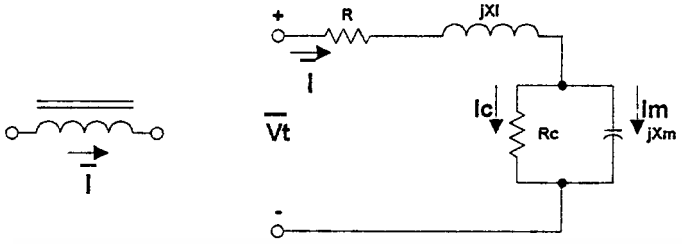
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

การหาค่าReluctanceของแกนเหล็ก



รูปที่ ผ.ข.1 วงจรสมมูลย์ทางไฟฟ้าของ L

โดยที่ : R = ค่าความต้านทานเส้นลวดที่ใช้พัน (Ω)

X_l = Leakage Reactance (Ω)

X_m = Mutual Reactance (Ω)

R_c = Core Loss Reactance (Ω)

I_c = Core Loss Current (A)

I_m = Magnetizing Current (A)

V_t = Terminal Voltage

จากวงจรสมมูลย์ทางไฟฟ้าของ L

ถ้าถือว่า R = 0 และ j x l = 0 (ไม่มี Leakage Flux)

$$\hat{I} = \hat{I}_c + \hat{I}_m$$

โดยที่

$$I_m = I \sin\theta$$

$$X_m = \frac{V_t}{I_m} = \frac{V_t}{I \sin\theta}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$X_m = 2\pi fL = \frac{V_t}{I \sin\theta}$$

$$\therefore\ L = \frac{V_t}{2\pi f\, I \sin\theta}$$

$$L = \frac{N^2}{R} = \frac{V_t}{2\pi f\, I \sin\theta}$$

$$\therefore\ \Re = \frac{2\pi f N^2\, I \sin\theta}{V_t}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

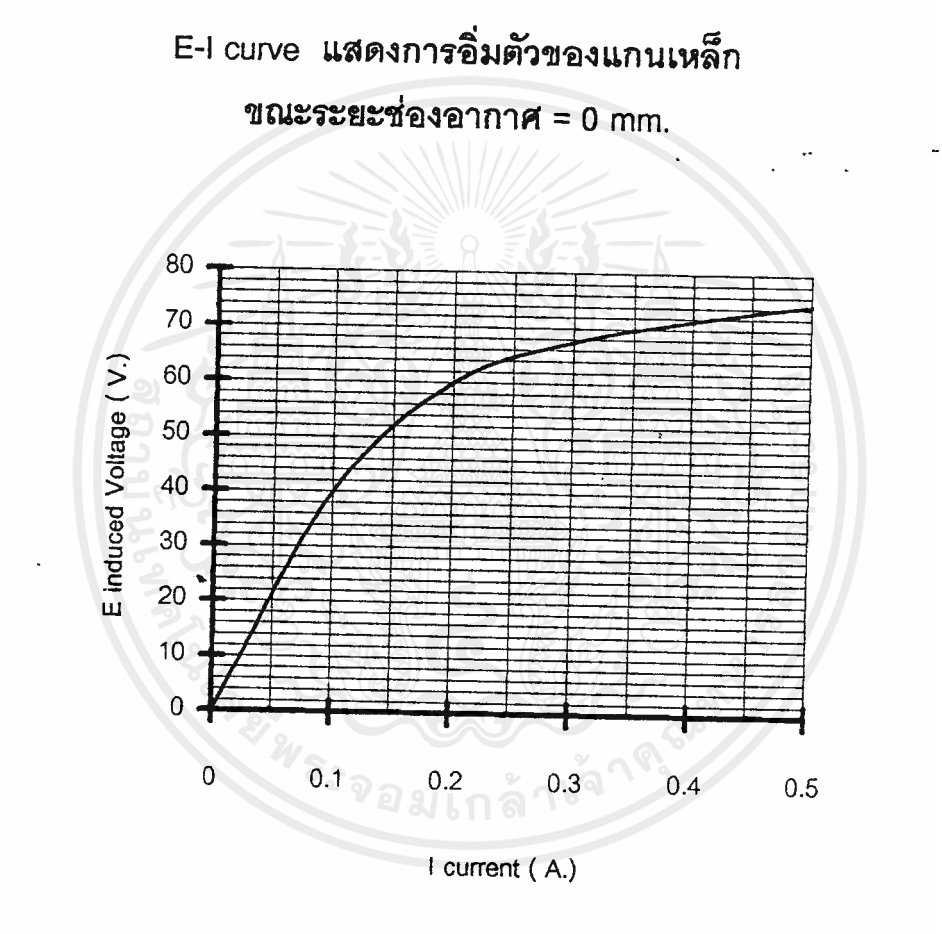
ภาคผนวก ค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค

กราฟการอิ่มตัวของแกนเหล็กที่ใช้ทำเป็นแม่เหล็กหลัก

จากการทดลองหาความสัมพันธ์ระหว่าง induced voltage กับ กระแส ของแกนเหล็กที่ใช้ทำเป็นแม่เหล็กยกลอย ในขณะระยะช่องอากาศมีค่า = 0 ได้ความสัมพันธ์ดังนี้



รูปที่ ผ.ค.1 แสดงกราฟ E-I curve

ช่วงที่ความสัมพันธ์ของกราฟเป็นเชิงเส้น (linear) จะเลือกใช้ที่ช่วง E = 0 ถึง 20 จะได้ค่ากระแส = 0.05 A. ที่ E = 20 ซึ่งมุมของกระแสจะล้าหลังมุมของ induced voltage อยู่ 82.8 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

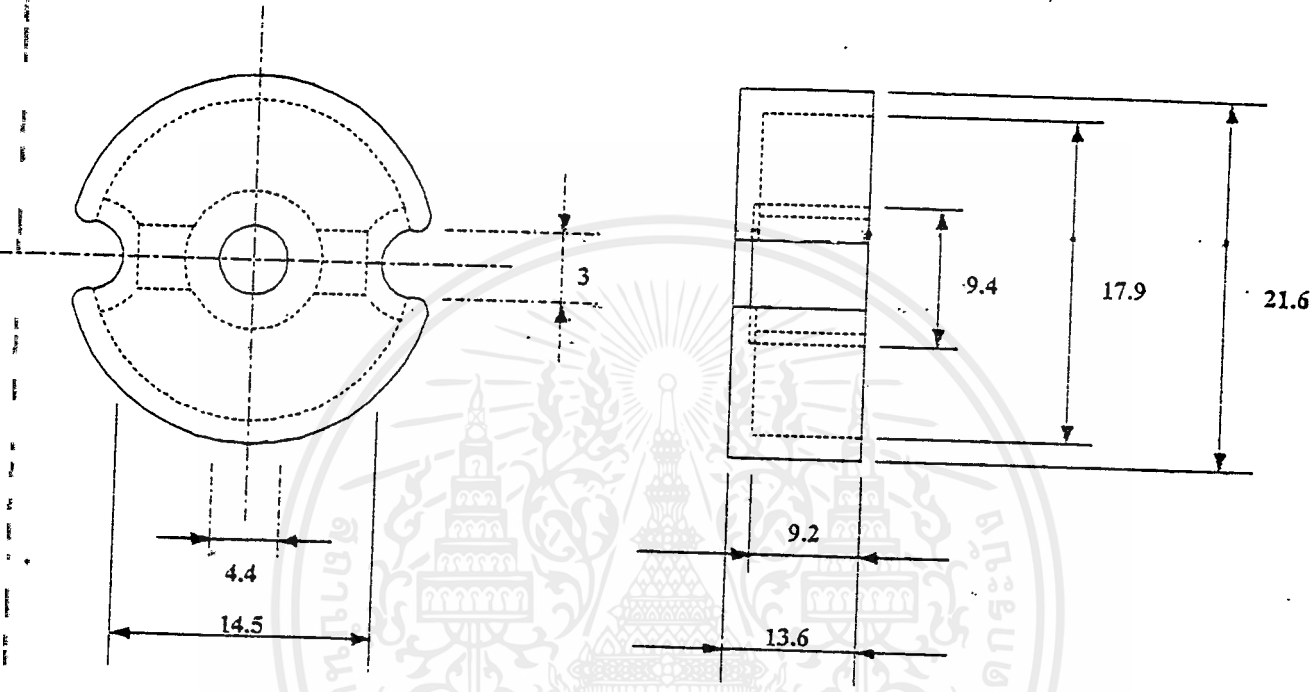
ภาคผนวก ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ง

ข้อมูล , ขนาด และ มิติ ต่าง ๆ ที่ใช้ในโครงงาน

มิติต่าง ๆ ของหัวตรวจจับระยะช่องอากาศ (Sensor)

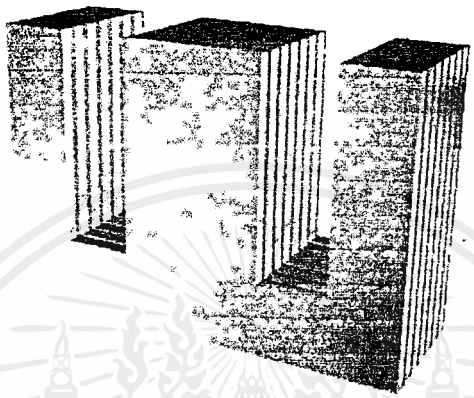


แกนที่ใช้เป็นแกน Ferrite ชนิด POT core

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แกนเหล็กที่ใช้ในส่วนแม่เหล็กหลัก

- เป็นแกนชนิด E laminate Steel
- ความกว้างของขากลาง (h) = 0.0255 m.
- จำนวนรอบการพัน (N) = 328 รอบ



วงจรแม่เหล็กหลักในส่วนยกลอย มีระยะช่องอากาศ 8 mm.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อประกอบวงจรแม่เหล็กในส่วนยกลอยเข้ากับชุดขาตั้ง โดยหัวตรวจจับจะติดใน ส่วนกลางด้านบนของโครงยกลอย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก จ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

ADC0801/ADC0802/ADC0803/ADC0804/ADC0805 8-Bit μP Compatible A/D Converters

General Description

The ADC0801, ADC0802, ADC0803, ADC0804 and ADC0805 are CMOS 8-bit successive approximation A/D converters that use a differential potentiometric ladder—similar to the 256R products. These converters are designed to allow operation with the NSC800 and INS8080A derivative control bus with TRI-STATE® output latches directly driving the data bus. These A/Ds appear like memory locations or I/O ports to the microprocessor and no interfacing logic is needed.

Differential analog voltage inputs allow increasing the common-mode rejection and offsetting the analog zero input voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

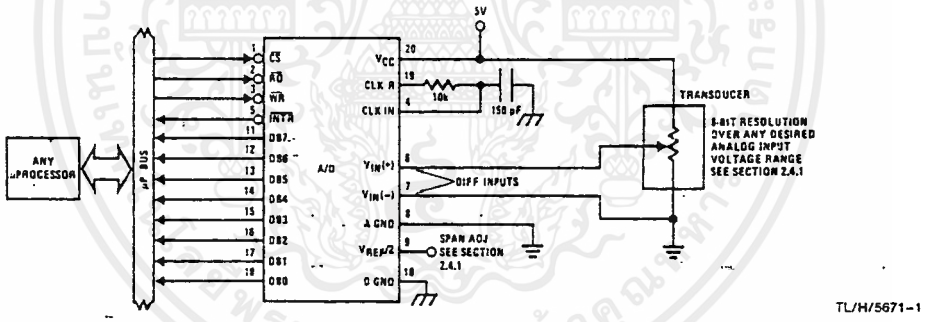
Features

- Compatible with 8080 μP derivatives—no interfacing logic needed - access time - 135 ns
- Easy interface to all microprocessors, or operates "stand alone"
- Differential analog voltage inputs
- Logic inputs and outputs meet both MOS and TTL voltage level specifications
- Works with 2.5V (LM336) voltage reference
- On-chip clock generator
- 0V to 5V analog input voltage range with single 5V supply
- No zero adjust required
- 0.3" standard width 20-pin DIP package
- 20-pin molded chip carrier or small outline package
- Operates ratiometrically or with 5 V_{DC}, 2.5 V_{DC}, or analog span adjusted voltage reference

Key Specifications

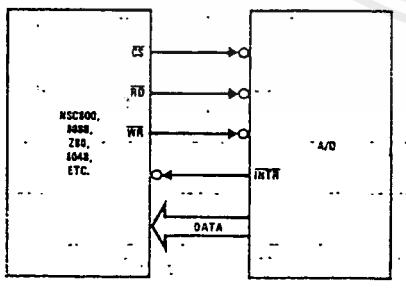
- Resolution: 8 bits
- Total error: ±¼ LSB, ±½ LSB and ±1 LSB
- Conversion time: 100 μs

Typical Applications



TL/H/5671-1

8080 Interface



TL/H/5671-31

Error Specification (Includes Full-Scale, Zero Error, and Non-Linearity)			
Part Number	Full-Scale Adjusted	$V_{REF}/2$ = 2.500 V_{DC} (No Adjustments)	$V_{REF}/2$ = No Connection (No Adjustments)
ADC0801	±¼ LSB		
ADC0802		±½ LSB	
ADC0803	±½ LSB		
ADC0804		±1 LSB	
ADC0805			±1 LSB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC}) (Note 3)	6.5V
Voltage	
Logic Control Inputs	−0.3V to +18V
At Other Input and Outputs	−0.3V to (V_{CC} + 0.3V)
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A = 25°C	875 mW
ESD Susceptibility (Note 10)	800V

Operating Ratings (Notes 1 & 2)

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
ADC0801/02LJ, ADC0802LJ/883	−55°C ≤ T_A ≤ +125°C
ADC0801/02/03/04LCJ	−40°C ≤ T_A ≤ +85°C
ADC0801/02/03/05LCN	−40°C ≤ T_A ≤ +85°C
ADC0804LCN	0°C ≤ T_A ≤ +70°C
ADC0802/03/04LCV	0°C ≤ T_A ≤ +70°C
ADC0802/03/04LCWM	0°C ≤ T_A ≤ +70°C
Range of V_{CC}	4.5 V_{DC} to 6.3 V_{DC}

Electrical Characteristics

The following specifications apply for V_{CC} = 5 V_{DC}, $T_{MIN} \le T_A \le T_{MAX}$ and f_{CLK} = 640 kHz unless otherwise specified.

Parameter	Conditions	Min	Typ	Max	Units
ADC0801: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			±¼	LSB
ADC0802: Total Unadjusted Error (Note 8)	$V_{REF}/2$ = 2.500 V_{DC}			±½	LSB
ADC0803: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			±½	LSB
ADC0804: Total Unadjusted Error (Note 8)	$V_{REF}/2$ = 2.500 V_{DC}			±1	LSB
ADC0805: Total Unadjusted Error (Note 8)	$V_{REF}/2$-No Connection			±1	LSB
$V_{REF}/2$ Input Resistance (Pin 9)	ADC0801/02/03/05 ADC0804 (Note 9)	2.5 0.75	8.0 1.1		kΩ kΩ
Analog Input Voltage Range	(Note 4) V(+) or V(−)	Gnd−0.05		V_{CC} + 0.05	V_{DC}
DC Common-Mode Error	Over Analog Input Voltage Range		±1/16	±⅛	LSB
Power Supply Sensitivity	V_{CC} = 5 V_{DC} ±10% Over Allowed V_{IN}(+) and V_{IN}(−) Voltage Range (Note 4)		±1/16	±⅛	LSB

AC Electrical Characteristics

The following specifications apply for V_{CC} = 5 V_{DC} and T_A = 25°C unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
T_C	Conversion Time	f_{CLK} = 640 kHz (Note 6)	103		114	μs
T_C	Conversion Time	(Note 5, 6)	66		73	$1/f_{CLK}$
f_{CLK}	Clock Frequency Clock Duty Cycle	V_{CC} = 5V, (Note 5) (Note 5)	100 40	640	1460 60	kHz %
CR	Conversion Rate in Free-Running Mode	$\overline{INTR}$ tied to $\overline{WR}$ with $\overline{CS}$ = 0 V_{DC}, f_{CLK} = 640 kHz	8770		9708	conv/s
$t_{W(\overline{WR})L}$	Width of $\overline{WR}$ Input (Start Pulse Width)	$\overline{CS}$ = 0 V_{DC} (Note 7)	100			ns
t_{ACC}	Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Data Valid)	C_L = 100 pF		135	200	ns
t_{1H}, t_{0H}	TRI-STATE Control (Delay from Rising Edge of $\overline{RD}$ to Hi-Z State)	C_L = 10 pF, R_L = 10k (See TRI-STATE Test Circuits)		125	200	ns
t_{WI}, t_{RI}	Delay from Falling Edge of $\overline{WR}$ or $\overline{RD}$ to Reset of $\overline{INTR}$			300	450	ns
C_{IN}	Input Capacitance of Logic Control Inputs			5	7.5	pF
C_{OUT}	TRI-STATE Output Capacitance (Data Buffers)			5	7.5	pF
CONTROL INPUTS [Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately]						
V_{IN} (1)	Logical "1" Input Voltage (Except Pin 4 CLK IN)	V_{CC} = 5.25 V_{DC}	2.0		15	V_{DC}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued)

The following specifications apply for V_{CC} = 5V_{DC} and $T_{MIN} \le T_A \le T_{MAX}$, unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
CONTROL INPUTS [Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately]						
V_{IN} (0)	Logical "0" Input Voltage (Except Pin 4 CLK IN)	V_{CC} = 4.75 V_{DC}			0.8	V_{DC}
I_{IN} (1)	Logical "1" Input Current (All Inputs)	V_{IN} = 5 V_{DC}		0.005	1	μA_{DC}
I_{IN} (0)	Logical "0" Input Current (All Inputs)	V_{IN} = 0 V_{DC}	−1	−0.005		μA_{DC}
CLOCK IN AND CLOCK R						
V_T+	CLK IN (Pin 4) Positive Going Threshold Voltage		2.7	3.1	3.5	V_{DC}
V_T-	CLK IN (Pin 4) Negative Going Threshold Voltage		1.5	1.8	2.1	V_{DC}
V_H	CLK IN (Pin 4) Hysteresis $(V_T+)-(V_T-)$		0.6	1.3	2.0	V_{DC}
V_{OUT} (0)	Logical "0" CLK R Output Voltage	I_O = 360 μA V_{CC} = 4.75 V_{DC}			0.4	V_{DC}
V_{OUT} (1)	Logical "1" CLK R Output Voltage	I_O = −360 μA V_{CC} = 4.75 V_{DC}	2.4			V_{DC}
DATA OUTPUTS AND $\overline{INTR}$						
V_{OUT} (0)	Logical "0" Output Voltage Data Outputs $\overline{INTR}$ Output	 I_{OUT} = 1.6 mA, V_{CC} = 4.75 V_{DC} I_{OUT} = 1.0 mA, V_{CC} = 4.75 V_{DC}			 0.4 0.4	 V_{DC} V_{DC}
V_{OUT} (1)	Logical "1" Output Voltage	I_O = −360 μA, V_{CC} = 4.75 V_{DC}	2.4			V_{DC}
V_{OUT} (1)	Logical "1" Output Voltage	I_O = −10 μA, V_{CC} = 4.75 V_{DC}	4.5			V_{DC}
I_{OUT}	TRI-STATE Disabled Output Leakage (All Data Buffers)	V_{OUT} = 0 V_{DC} V_{OUT} = 5 V_{DC}	−3		 3	μA_{DC} μA_{DC}
I_{SOURCE}		V_{OUT} Short to Gnd, T_A = 25°C	4.5	6		mA_{DC}
I_{SINK}		V_{OUT} Short to V_{CC}, T_A = 25°C	9.0	16		mA_{DC}
POWER SUPPLY						
I_{CC}	Supply Current (Includes Ladder Current) ADC0801/02/03/04LCJ/05 ADC0804LCN/LCV/LCWM	f_{CLK} = 640 kHz, $V_{REF}/2$ = NC, T_A = 25°C and $\overline{CS}$ = 5V		 1.1 1.9	 1.8 2.5	 mA mA

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to Gnd, unless otherwise specified. The separate A Gnd point should always be wired to the D Gnd.

Note 3: A zener diode exists, internally, from V_{CC} to Gnd and has a typical breakdown voltage of 7 V_{DC}.

Note 4: For $V_{IN}(-) \ge V_{IN}(+)$ the digital output code will be 0000 0000. Two on-chip diodes are tied to each analog input (see block diagram) which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. Be careful, during testing at low V_{CC} levels (4.5V), as high level analog inputs (5V) can cause this input diode to conduct—especially at elevated temperatures, and cause errors for analog inputs near full-scale. The spec allows 50 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 50 mV, the output code will be correct. To achieve an absolute 0 V_{DC} to 5 V_{DC} input voltage range will therefore require a minimum supply voltage of 4.950 V_{DC} over temperature variations, initial tolerance and loading.

Note 5: Accuracy is guaranteed at f_{CLK} = 640 kHz. At higher clock frequencies accuracy can degrade. For lower clock frequencies, the duty cycle limits can be extended so long as the minimum clock high time interval or minimum clock low time interval is no less than 275 ns.

Note 6: With an asynchronous start pulse, up to 8 clock periods may be required before the internal clock phases are proper to start the conversion process. The start request is internally latched, see *Figure 2* and section 2.0.

Note 7: The $\overline{CS}$ input is assumed to bracket the $\overline{WR}$ strobe input and therefore timing is dependent on the $\overline{WR}$ pulse width. An arbitrarily wide pulse width will hold the converter in a reset mode and the start of conversion is initiated by the low to high transition of the $\overline{WR}$ pulse (see timing diagrams).

Note 8: None of these A/Ds requires a zero adjust (see section 2.5.1). To obtain zero code at other analog input voltages see section 2.5 and *Figure 5*.

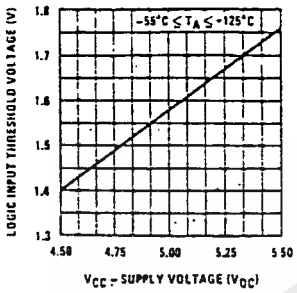
Note 9: The $V_{REF}/2$ pin is the center point of a two-resistor divider connected from V_{CC} to ground. In all versions of the ADC0801, ADC0802, ADC0803, and ADC0805, and in the ADC0804LCJ, each resistor is typically 16 kΩ. In all versions of the ADC0804 except the ADC0804LCJ, each resistor is typically 2.2 kΩ.

Note 10: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

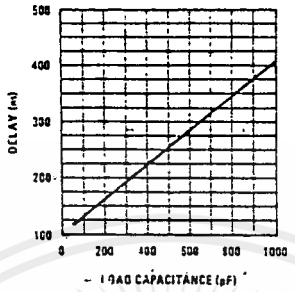
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

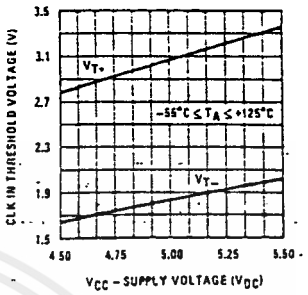
Logic Input Threshold Voltage vs. Supply Voltage



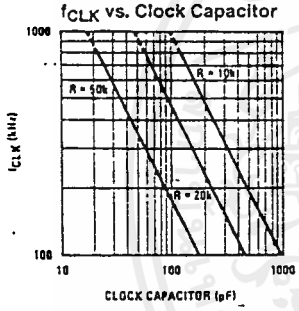
Delay From Falling Edge of $\overline{RD}$ to Output Data Valid vs. Load Capacitance



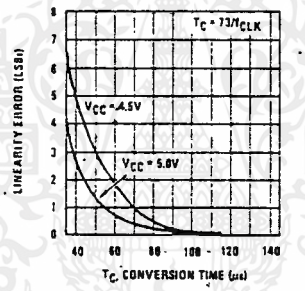
CLK IN Schmitt Trip Levels vs. Supply Voltage



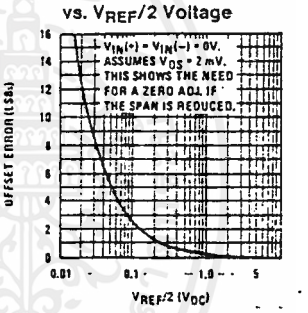
f_{CLK} vs. Clock Capacitor



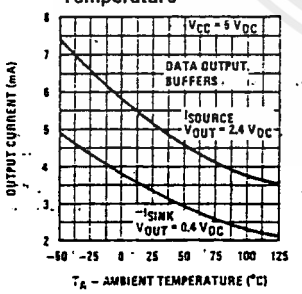
Full-Scale Error vs Conversion Time



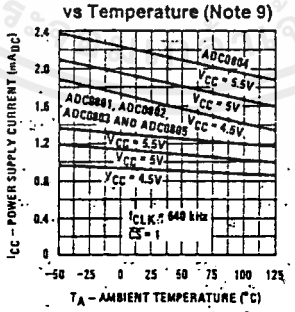
Effect of Unadjusted Offset Error vs. $V_{REF}/2$ Voltage



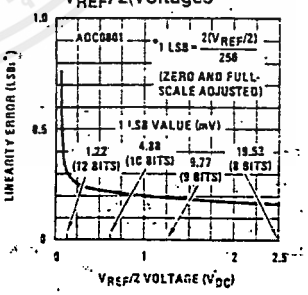
Output Current vs Temperature



Power Supply Current vs Temperature (Note 9)



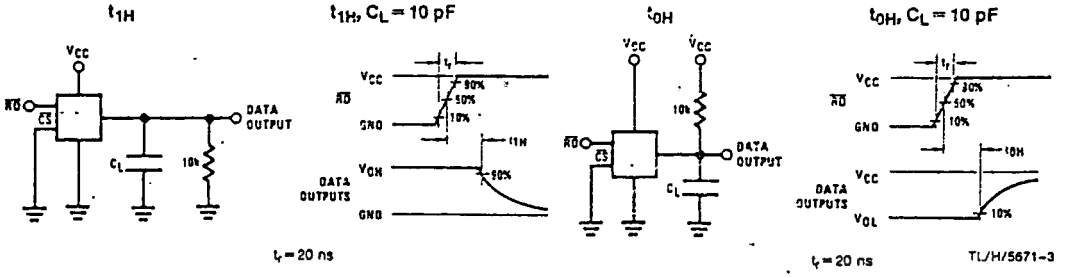
Linearity Error at Low $V_{REF}/2$ Voltages



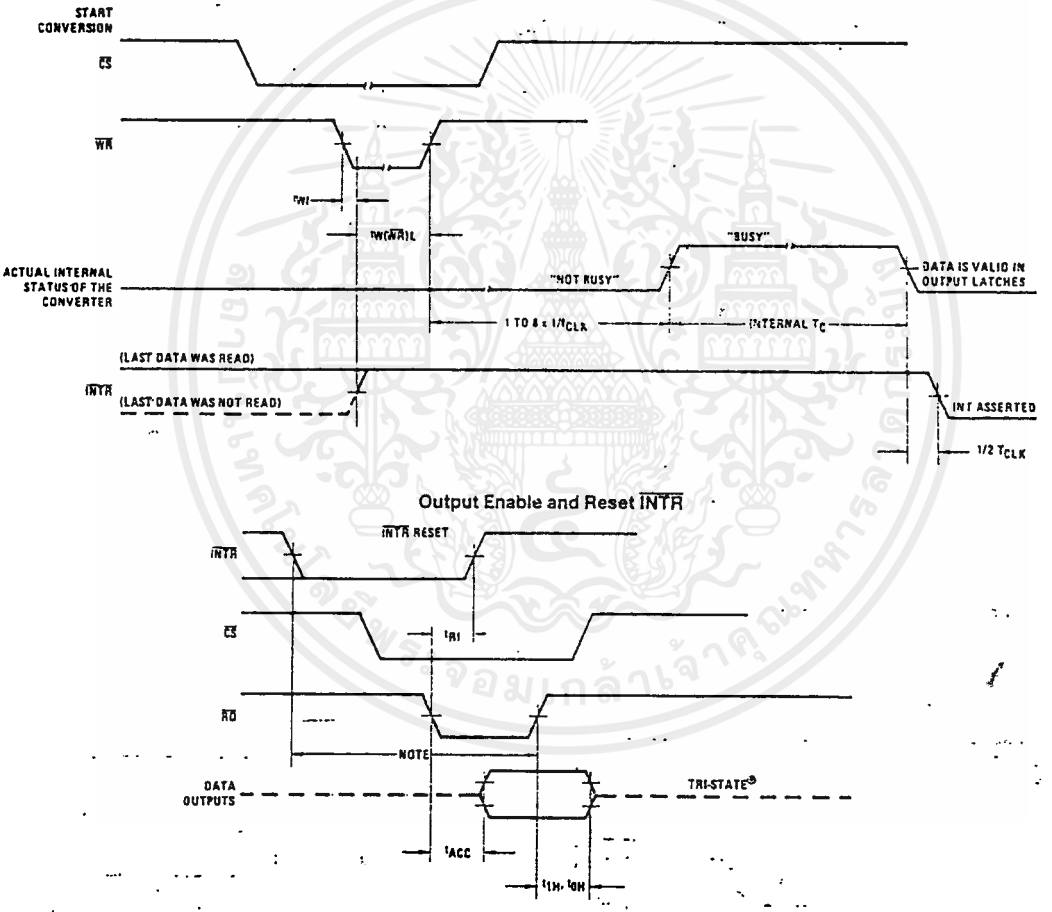
TL/H/5671–2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRI-STATE Test Circuits and Waveforms



Timing Diagrams (All timing is measured from the 50% voltage points)



Output Enable and Reset $\overline{INTR}$

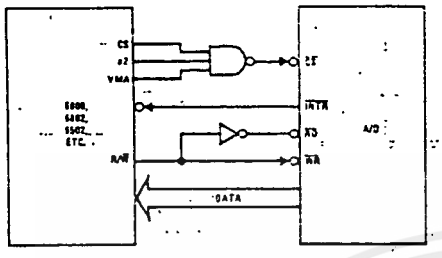
Note: Read strobe must occur 8 clock periods ($8/f_{CLK}$) after assertion of interrupt to guarantee reset of $\overline{INTR}$.

TL/H/5671–4

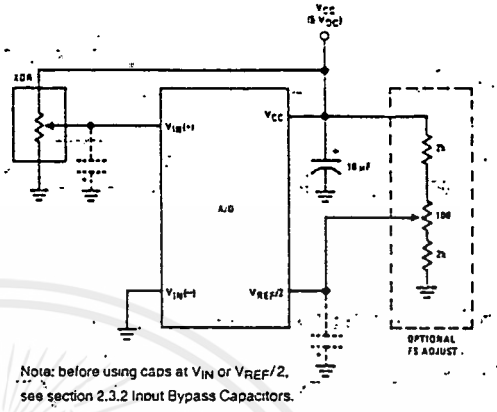
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

6300 Interface

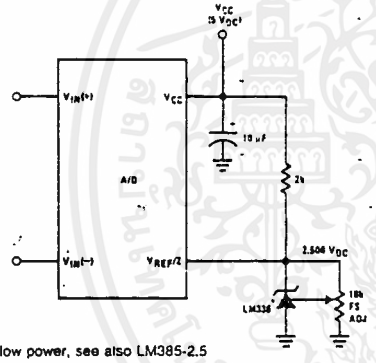


Ratiometric with Full-Scale Adjust



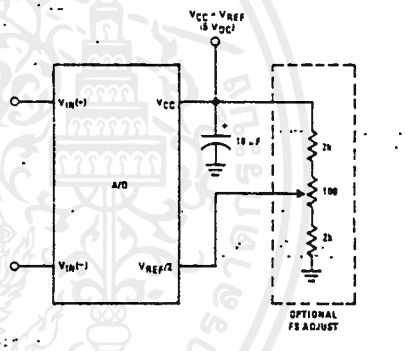
Note: before using caps at V_{IN} or $V_{REF}/2$, see section 2.3.2 Input Bypass Capacitors.

Absolute with a 2.500V Reference

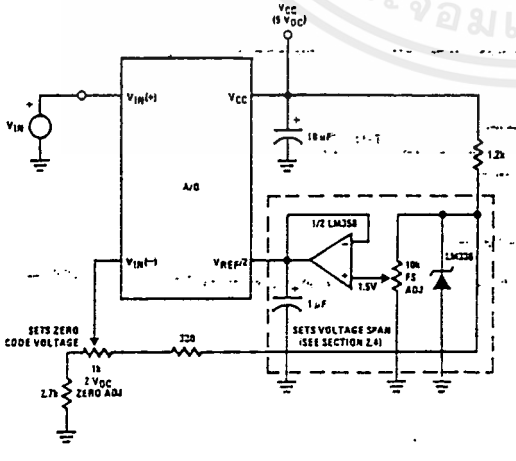


*For low power, see also LM385-2.5

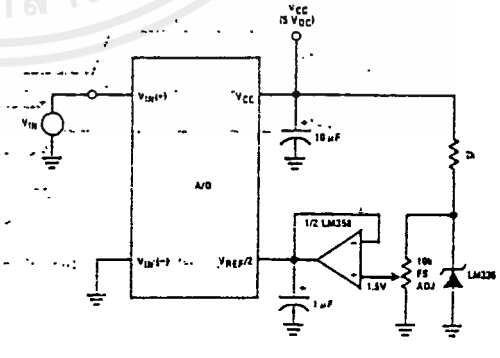
Absolute with a 5V Reference



Zero-Shift and Span Adjust: $2V \leq V_{IN} \leq 5V$



Span Adjust: $0V \leq V_{IN} \leq 3V$

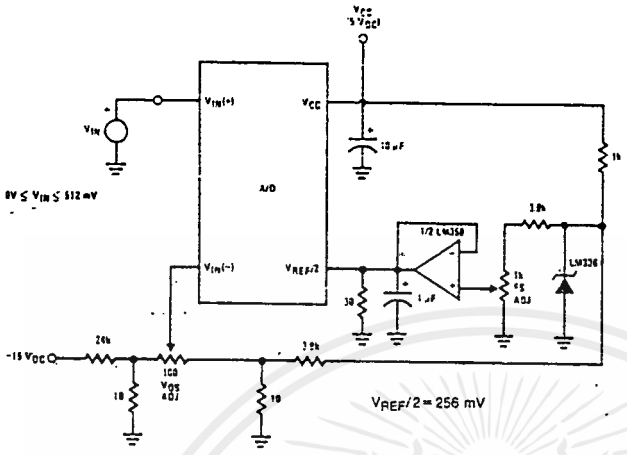


TL/H/5671–5

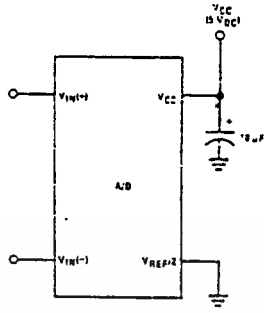
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

Directly Converting a Low-Level Signal



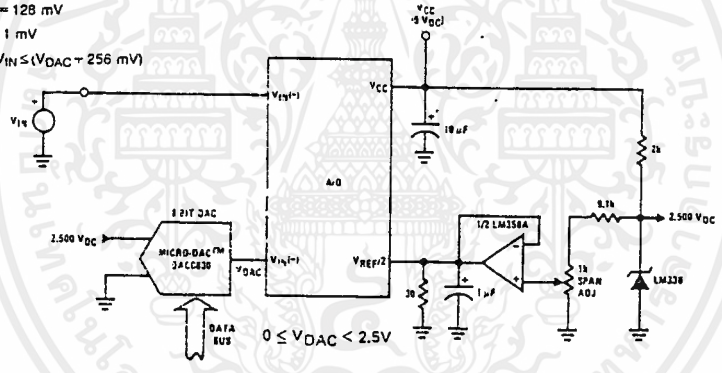
A μP Interfaced Comparator



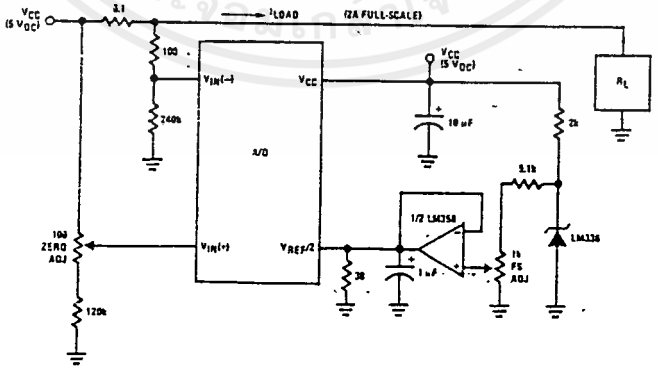
For: $V_{IN}(+) > V_{IN}(-)$
Output = FF_{HEX}
For: $V_{IN}(+) < V_{IN}(-)$
Output = 00_{HEX}

1 mV Resolution with μP Controlled Range

$V_{REF}/2 = 128$ mV
1 LSB = 1 mV
$V_{DAC} \leq V_{IN} \leq (V_{DAC} + 256$ mV)



Digitizing a Current Flow

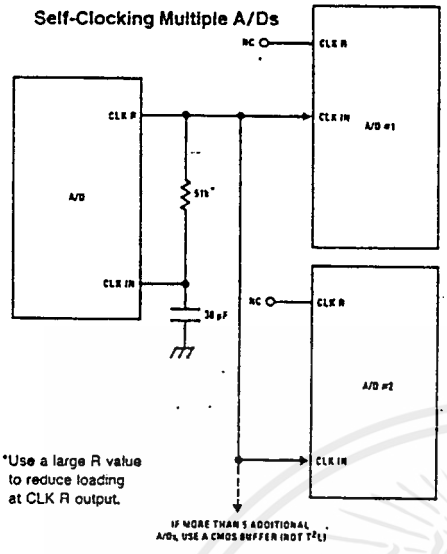


TL/H/5671–6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

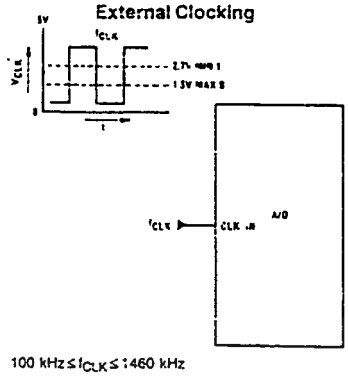
Self-Clocking Multiple A/Ds



*Use a large R value to reduce loading at CLK R output.

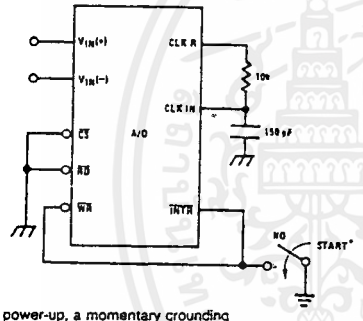
IF MORE THAN 5 ADDITIONAL A/Ds, USE A CMOS BUFFER (NOT T²L)

External Clocking



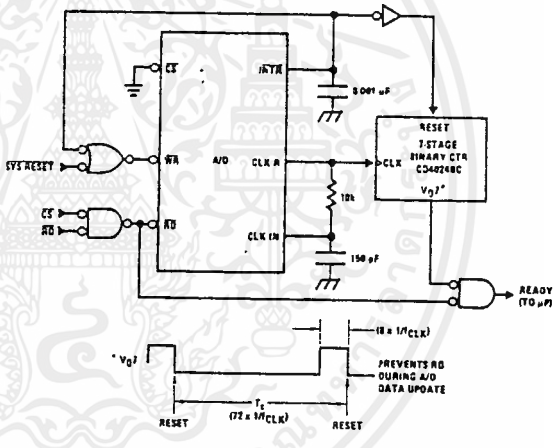
100 kHz ≤ f_{CLK} ≤ 1460 kHz

Self-Clocking in Free-Running Mode

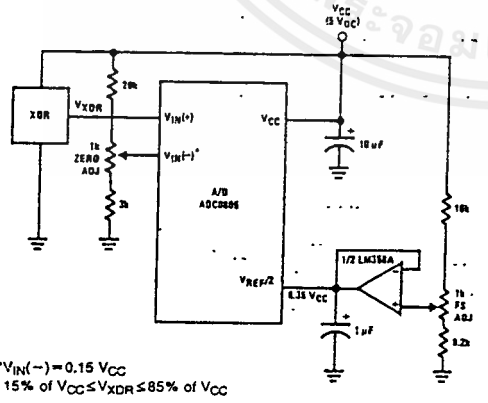


*After power-up, a momentary grounding of the $\overline{WR}$ input is needed to guarantee operation.

µP Interface for Free-Running A/D

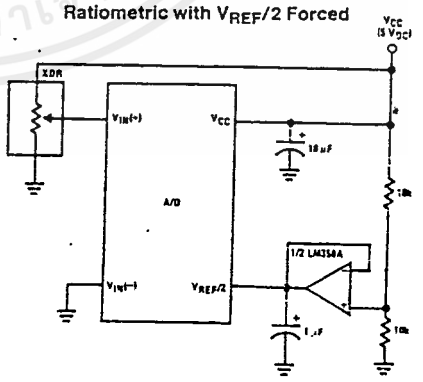


Operating with "Automotive" Ratiometric Transducers



*$V_{IN}(-) = 0.15\ V_{CC}$
15% of $V_{CC} \leq V_{XDR} \leq 85\%$ of V_{CC}

Ratiometric with $V_{REF}/2$ Forced

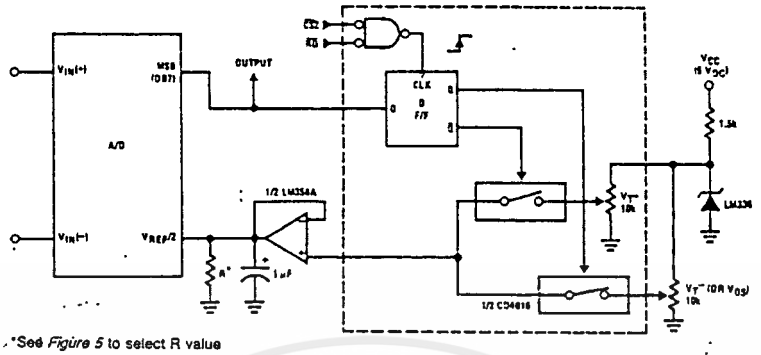


TL/H/5671–7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

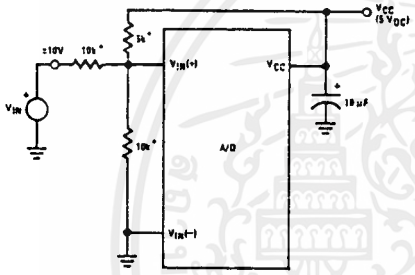
Typical Applications (Continued)

μP Compatible Differential-Input Comparator with Pre-Set V_{OS} (with or without Hysteresis)



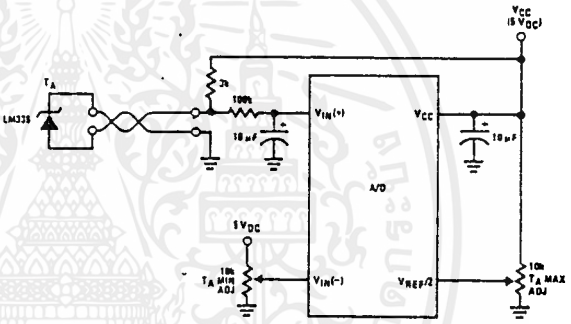
*See *Figure 5* to select R value
DB7 = "1" for $V_{IN}(+) > V_{IN}(-) + (V_{REF}/2)$
Omit circuitry within the dotted area if hysteresis is not needed

Handling ±10V Analog Inputs

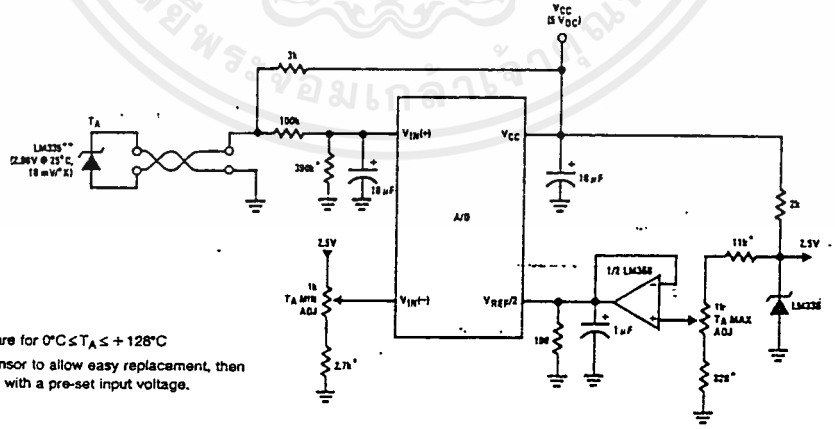


*Beckman Instruments #694-3-R10K resistor array

Low-Cost, μP Interfaced, Temperature-to-Digital Converter



μP Interfaced Temperature-to-Digital Converter



*Circuit values shown are for $0°C \leq T_A \leq +126°C$

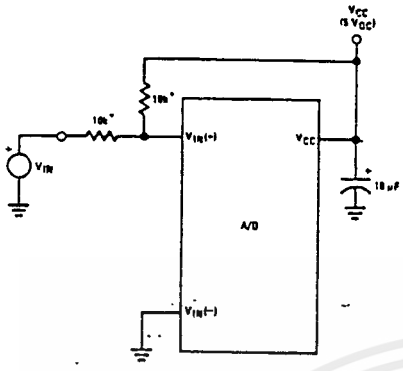
**Can calibrate each sensor to allow easy replacement, then A/D can be calibrated with a pre-set input voltage.

TL/H/5671–8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

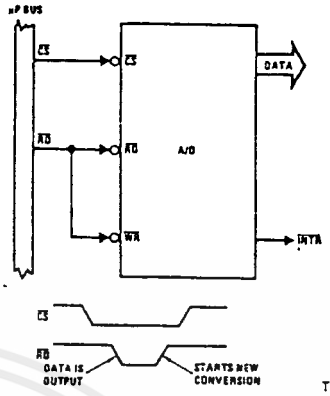
Handling ±5V Analog Inputs



TL/H/5671-33

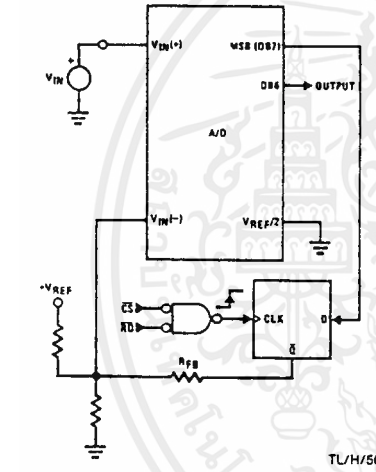
*Beckman Instruments #694-3-R10K resistor array

Read-Only Interface



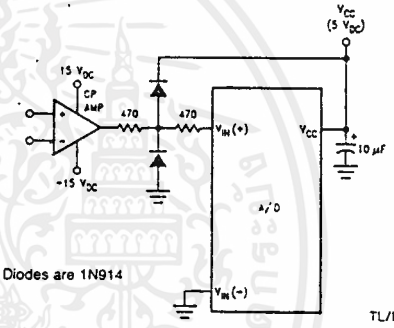
TL/H/5671-34

µP Interfaced Comparator with Hysteresis



TL/H/5671-35

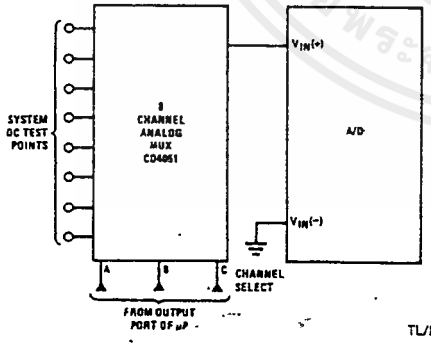
Protecting the Input



Diodes are 1N914

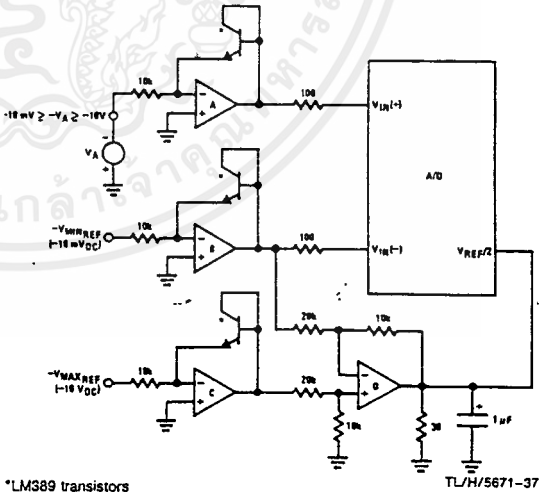
TL/H/5671-9

Analog Self-Test for a System



TL/H/5671-36

A Low-Cost, 3-Decade Logarithmic Converter



*LM389 transistors

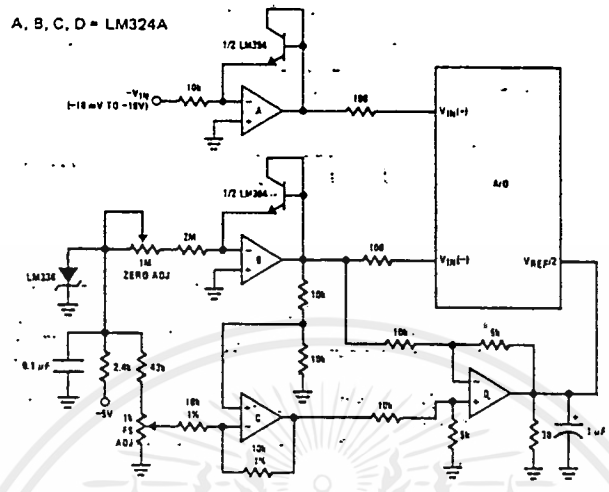
A, B, C, D = LM324A quad op amp

TL/H/5671-37

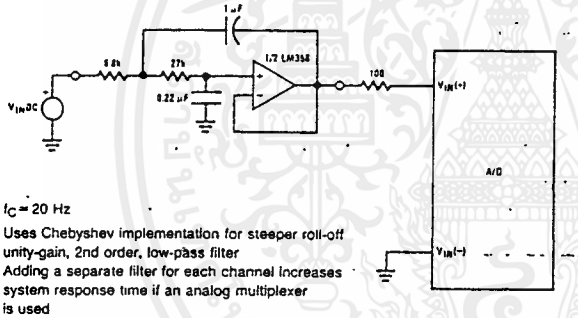
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

3-Decade Logarithmic A/D Converter



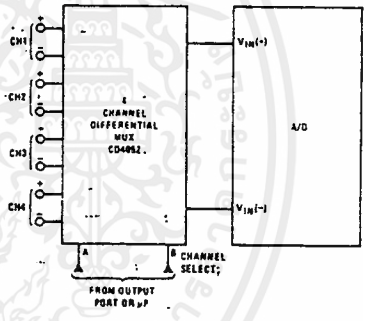
Noise Filtering the Analog Input



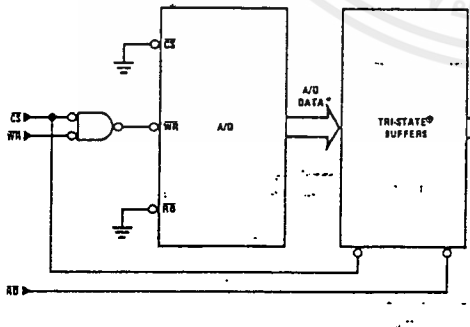
f_C = 20 Hz

Uses Chebyshev implementation for steeper roll-off unity-gain, 2nd order, low-pass filter
Adding a separate filter for each channel increases system response time if an analog multiplexer is used

Multiplexing Differential Inputs

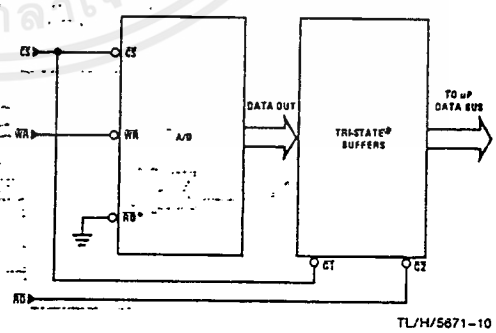


Output Buffers with A/D Data Enabled*



*A/D output data is updated 1 CLK period prior to assertion of $\overline{INTR}$

Increasing Bus Drive and/or Reducing Time on Bus



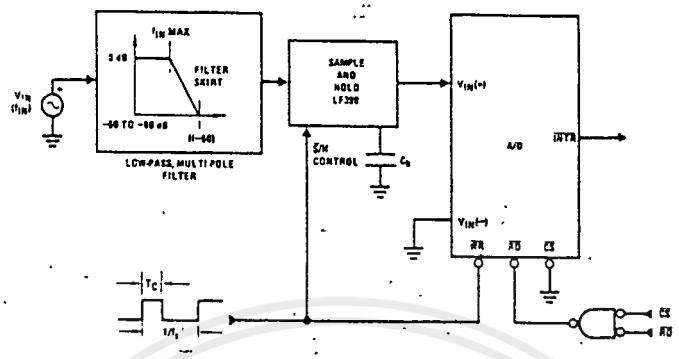
*Allows output data to set-up at falling edge of $\overline{CS}$

TL/H/5671–10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

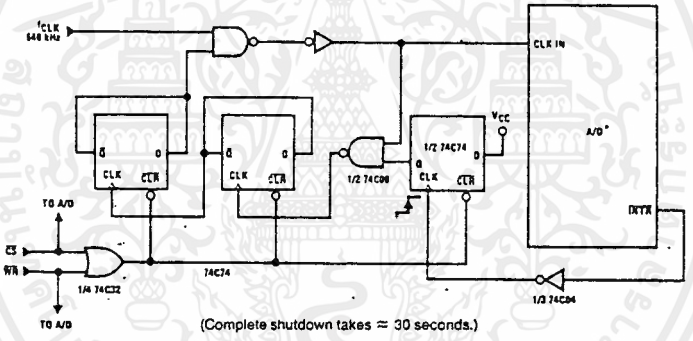
Sampling an AC Input Signal



Note 1: Oversample whenever possible (keep $f_S > 2f(-60)$) to eliminate input frequency folding (aliasing) and to allow for the skirt response of the filter.

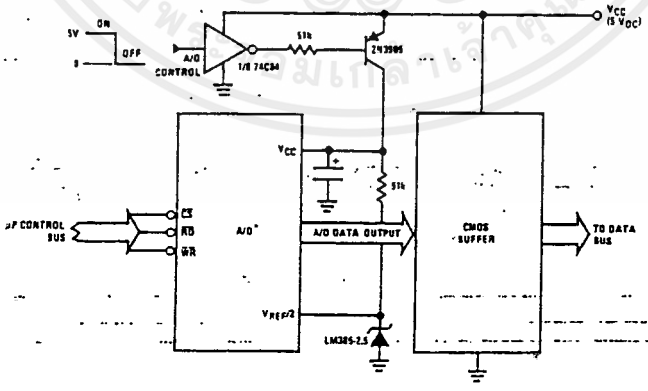
Note 2: Consider the amplitude errors which are introduced within the passband of the filter.

70% Power Savings by Clock Gating



(Complete shutdown takes ≈ 30 seconds.)

Power Savings by A/D and V_{REF} Shutdown



TL/H/5671–11

*Use ADC0801, 02, 03 or 05 for lowest power consumption.

Note: Logic inputs can be driven to V_{CC} with A/D supply at zero volts.

Buffer prevents data bus from overdriving output of A/D when in shutdown mode.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

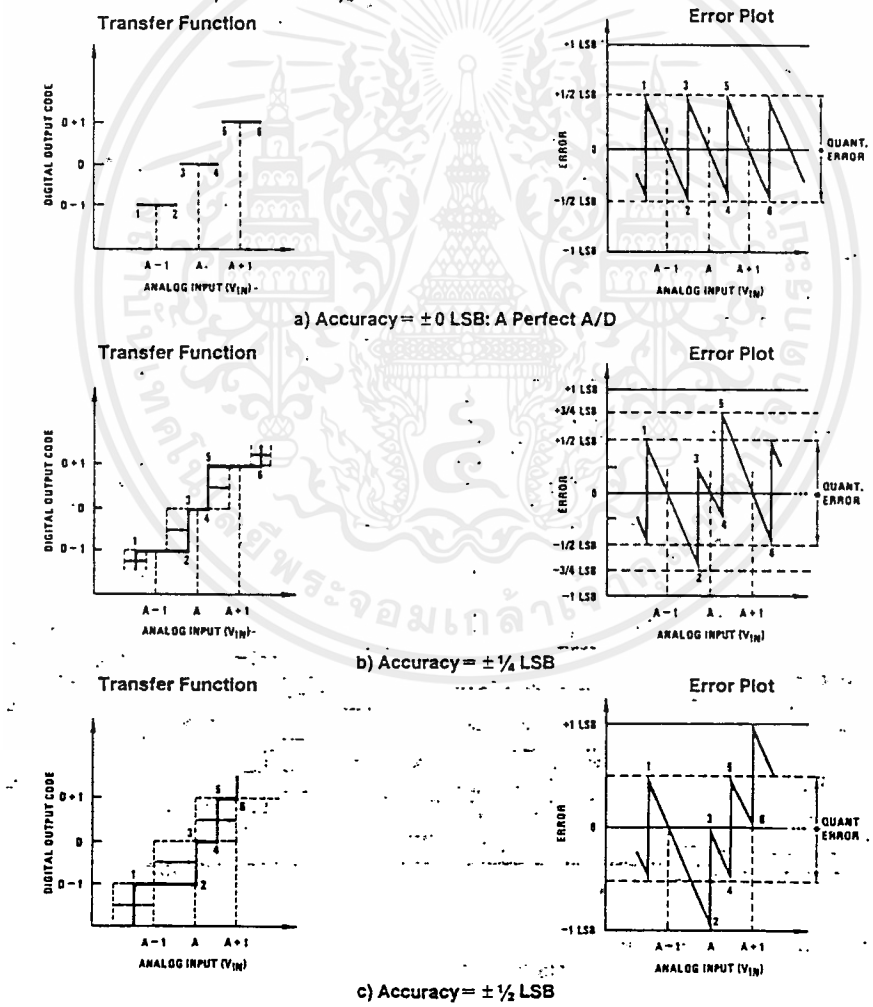
1.0 UNDERSTANDING A/D ERROR SPECS

A perfect A/D transfer characteristic (staircase waveform) is shown in *Figure 1a*. The horizontal scale is analog input voltage and the particular points labeled are in steps of 1 LSB (19.53 mV with 2.5V tied to the $V_{REF}/2$ pin). The digital output codes that correspond to these inputs are shown as D−1, D, and D+1. For the perfect A/D, not only will center-value (A−1, A, A+1, ...) analog inputs produce the correct output ditigal codes, but also each riser (the transitions between adjacent output codes) will be located ±½ LSB away from each center-value. As shown, the risers are ideal and have no width. Correct digital output codes will be provided for a range of analog input voltages that extend ±½ LSB from the ideal center-values. Each tread (the range of analog input voltage that provides the same digital output code) is therefore 1 LSB wide.

Figure 1b shows a worst case error plot for the ADC0801. All center-valued inputs are guaranteed to produce the correct output codes and the adjacent risers are guaranteed to be no closer to the center-value points than ±¼ LSB. In other words, if we apply an analog input equal to the center-value ±¼ LSB, *we guarantee* that the A/D will produce the correct digital code. The maximum range of the position of the code transition is indicated by the horizontal arrow and it is guaranteed to be no more than ½ LSB.

The error curve of *Figure 1c* shows a worst case error plot for the ADC0802. Here we guarantee that if we apply an analog input equal to the LSB analog voltage center-value the A/D will produce the correct digital code.

Next to each transfer function is shown the corresponding error plot. Many people may be more familiar with error plots than transfer functions. The analog input voltage to the A/D is provided by either a linear ramp or by the discrete output steps of a high resolution DAC. Notice that the error is continuously displayed and includes the quantization uncertainty of the A/D. For example the error at point 1 of *Figure 1a* is +½ LSB because the digital code appeared ½ LSB in advance of the center-value of the tread. The error plots always have a constant negative slope and the abrupt upside steps are always 1 LSB in magnitude.



TL/H/5671–12

FIGURE 1. Clarifying the Error Specs of an A/D Converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

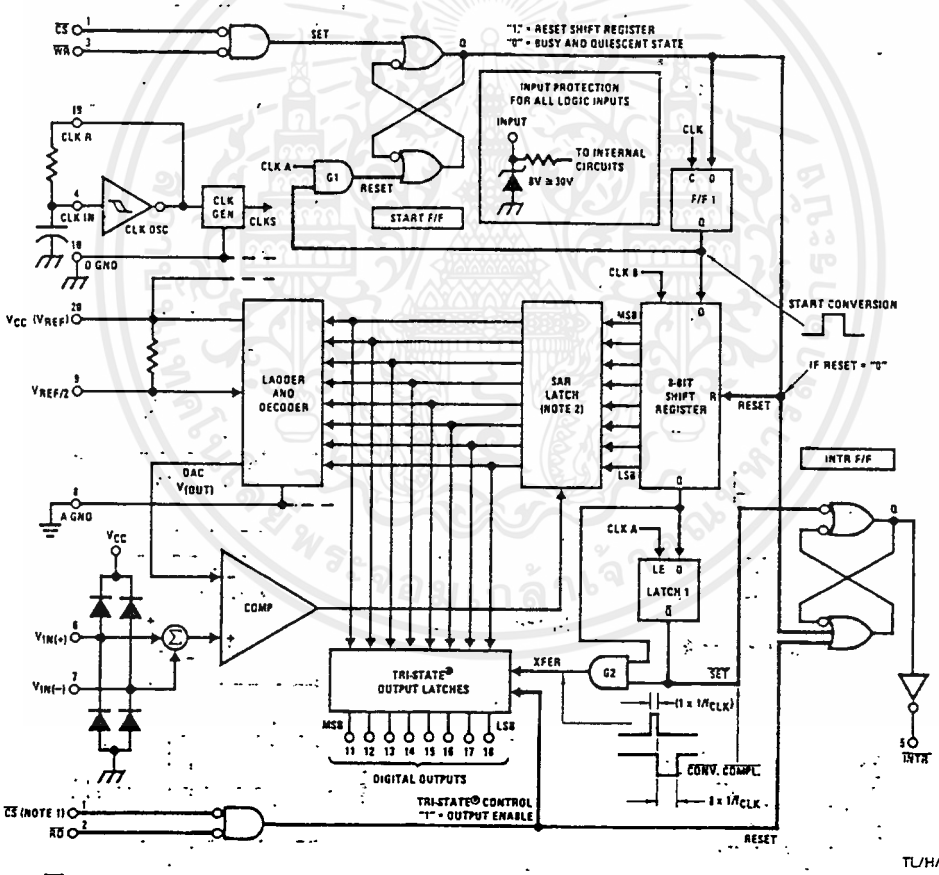
2.0 FUNCTIONAL DESCRIPTION

The ADC0801 series contains a circuit equivalent of the 256R network. Analog switches are sequenced by successive approximation logic to match the analog difference input voltage $[V_{IN(+)} - V_{IN(-)}]$ to a corresponding tap on the R network. The most significant bit is tested first and after 8 comparisons (64 clock cycles) a digital 8-bit binary code (1111 1111 = full-scale) is transferred to an output latch and then an interrupt is asserted ($\overline{INTR}$ makes a high-to-low transition). A conversion in process can be interrupted by issuing a second start command. The device may be operated in the free-running mode by connecting $\overline{INTR}$ to the $\overline{WR}$ input with $\overline{CS} = 0$. To ensure start-up under all possible conditions, an external $\overline{WR}$ pulse is required during the first power-up cycle.

On the high-to-low transition of the $\overline{WR}$ input the internal SAR latches and the shift register stages are reset. As long as the $\overline{CS}$ input and $\overline{WR}$ input remain low, the A/D will remain in a reset state. *Conversion will start from 1 to 8 clock periods after at least one of these inputs makes a low-to-high transition.*

A functional diagram of the A/D converter is shown in *Figure 2*. All of the package pinouts are shown and the major logic control paths are drawn in heavier weight lines.

The converter is started by having $\overline{CS}$ and $\overline{WR}$ simultaneously low. This sets the start flip-flop (F/F) and the resulting "1" level resets the 8-bit shift register, resets the Interrupt ($\overline{INTR}$) F/F and inputs a "1" to the D flop, F/F1, which is at the input end of the 8-bit shift register. Internal clock signals then transfer this "1" to the Q output of F/F1. The AND gate, G1, combines this "1" output with a clock signal to provide a reset signal to the start F/F. If the set signal is no longer present (either $\overline{WR}$ or $\overline{CS}$ is a "1") the start F/F is reset and the 8-bit shift register then can have the "1" clocked in, which starts the conversion process. If the set signal were to still be present, this reset pulse would have no effect (both outputs of the start F/F would momentarily be at a "1" level) and the 8-bit shift register would continue to be held in the reset mode. This logic therefore allows for wide $\overline{CS}$ and $\overline{WR}$ signals and the converter will start after at least one of these signals returns high and the internal clocks again provide a reset signal for the start F/F.



TL/H/5671–13

Note 1: $\overline{CS}$ shown twice for clarity.

Note 2: SAR = Successive Approximation Register.

FIGURE 2. Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

After the "1" is clocked through the 8-bit shift register (which completes the SAR search) it appears as the input to the D-type latch, LATCH 1. As soon as this "1" is output from the shift register, the AND gate, G2, causes the new digital word to transfer to the TRI-STATE output latches. When LATCH 1 is subsequently enabled, the Q output makes a high-to-low transition which causes the INTR F/F to set. An inverting buffer then supplies the $\overline{INTR}$ input signal.

Note that this $\overline{SET}$ control of the INTR F/F remains low for 8 of the external clock periods (as the internal clocks run at 1/8 of the frequency of the external clock). If the data output is continuously enabled ($\overline{CS}$ and $\overline{RD}$ both held low), the $\overline{INTR}$ output will still signal the end of conversion (by a high-to-low transition), because the $\overline{SET}$ input can control the Q output of the INTR F/F even though the RESET input is constantly at a "1" level in this operating mode. This $\overline{INTR}$ output will therefore stay low for the duration of the $\overline{SET}$ signal, which is 8 periods of the external clock frequency (assuming the A/D is not started during this interval).

When operating in the free-running or continuous conversion mode ($\overline{INTR}$ pin tied to $\overline{WR}$ and $\overline{CS}$ wired low—see also section 2.8), the START F/F is SET by the high-to-low transition of the $\overline{INTR}$ signal. This resets the SHIFT REGISTER which causes the input to the D-type latch, LATCH 1, to go low. As the latch enable input is still present, the $\overline{Q}$ output will go high, which then allows the INTR F/F to be RESET. This reduces the width of the resulting $\overline{INTR}$ output pulse to only a few propagation delays (approximately 300 ns).

When data is to be read, the combination of both $\overline{CS}$ and $\overline{RD}$ being low will cause the INTR F/F to be reset and the TRI-STATE output latches will be enabled to provide the 8-bit digital outputs.

2.1 Digital Control Inputs

The digital control inputs ($\overline{CS}$, $\overline{RD}$, and $\overline{WR}$) meet standard T²L logic voltage levels. These signals have been renamed when compared to the standard A/D Start and Output Enable labels. In addition, these inputs are active low to allow an easy interface to microprocessor control busses. For non-microprocessor based applications, the $\overline{CS}$ input (pin 1) can be grounded and the standard A/D Start function is obtained by an active low pulse applied at the $\overline{WR}$ input (pin 3) and the Output Enable function is caused by an active low pulse at the $\overline{RD}$ input (pin 2).

2.2 Analog Differential Voltage Inputs and Common-Mode Rejection

This A/D has additional applications flexibility due to the analog differential voltage input. The $V_{IN}(-)$ input (pin 7) can be used to automatically subtract a fixed voltage value from the input reading (tare correction). This is also useful in 4 mA–20 mA current loop conversion. In addition, common-mode noise can be reduced by use of the differential input.

The time interval between sampling $V_{IN}(+)$ and $V_{IN}(-)$ is 4-1/2 clock periods. The maximum error voltage due to this slight time difference between the input voltage samples is given by:

$$\Delta V_e(MAX) = (V_P)(2\pi f_{cm})\left(\frac{4.5}{f_{CLK}}\right),$$

where:

ΔV_e is the error voltage due to sampling delay

V_P is the peak value of the common-mode voltage

f_{cm} is the common-mode frequency

As an example, to keep this error to 1/4 LSB (~5 mV) when operating with a 60 Hz common-mode frequency, f_{cm}, and using a 640 kHz A/D clock, f_{CLK}, would allow a peak value of the common-mode voltage, V_P, which is given by:

$$V_P = \frac{[\Delta V_{e(MAX)}(f_{CLK})]}{(2\pi f_{cm})(4.5)}$$

or

$$V_P = \frac{(5 \times 10^{-3})(640 \times 10^3)}{(6.28)(60)(4.5)}$$

which gives

$V_P \cong 1.9V$.

The allowed range of analog input voltages usually places more severe restrictions on input common-mode noise levels.

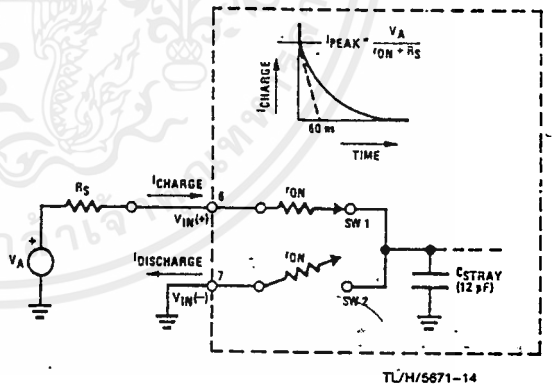
An analog input voltage with a reduced span and a relatively large zero offset can be handled easily by making use of the differential input (see section 2.4 Reference Voltage).

2.3 Analog Inputs

2.3.1 Input Current

Normal Mode

Due to the internal switching action, displacement currents will flow at the analog inputs. This is due to on-chip stray capacitance to ground as shown in *Figure 3*.



TL/H/5671–14

r_{ON} of SW 1 and SW 2 ≅ 5 kΩ

$\tau = r_{ON} C_{STRAY} \cong 5\ k\Omega \times 12\ pF = 60\ ns$.

FIGURE 3. Analog Input Impedance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

The voltage on this capacitance is switched and will result in currents entering the $V_{IN}(+)$ input pin and leaving the $V_{IN}(-)$ input which will depend on the analog differential input voltage levels. These current transients occur at the leading edge of the internal clocks. They rapidly decay and *do not cause errors* as the on-chip comparator is strobed at the end of the clock period.

Fault Mode

If the voltage source applied to the $V_{IN}(+)$ or $V_{IN}(-)$ pin exceeds the allowed operating range of $V_{CC}+50$ mV, large input currents can flow through a parasitic diode to the V_{CC} pin. If these currents can exceed the 1 mA max allowed spec, an external diode (1N914) should be added to bypass this current to the V_{CC} pin (with the current bypassed with this diode, the voltage at the $V_{IN}(+)$ pin can exceed the V_{CC} voltage by the forward voltage of this diode).

2.3.2 Input Bypass Capacitors

Bypass capacitors at the inputs will average these charges and cause a DC current to flow through the output resistances of the analog signal sources. This charge pumping action is worse for continuous conversions with the $V_{IN}(+)$ input voltage at full-scale. For continuous conversions with a 640 kHz clock frequency with the $V_{IN}(+)$ input at 5V, this DC current is at a maximum of approximately 5 μA. Therefore, *bypass capacitors should not be used at the analog inputs or the $V_{REF}/2$ pin* for high resistance sources (> 1 kΩ). If input bypass capacitors are necessary for noise filtering and high source resistance is desirable to minimize capacitor size, the detrimental effects of the voltage drop across this input resistance, which is due to the average value of the input current, can be eliminated with a full-scale adjustment while the given source resistor and input bypass capacitor are both in place. This is possible because the average value of the input current is a precise linear function of the differential input voltage.

2.3.3 Input Source Resistance

Large values of source resistance where an input bypass capacitor is not used, *will not cause errors* as the input currents settle out prior to the comparison time. If a low pass filter is required in the system, use a low valued series resistor (≤ 1 kΩ) for a passive RC section or add an op amp RC active low pass filter. For low source resistance applications, (≤ 1 kΩ), a 0.1 μF bypass capacitor at the inputs will prevent noise pickup due to series lead inductance of a long wire. A 100Ω series resistor can be used to isolate this capacitor—both the R and C are placed outside the feedback loop—from the output of an op amp, if used.

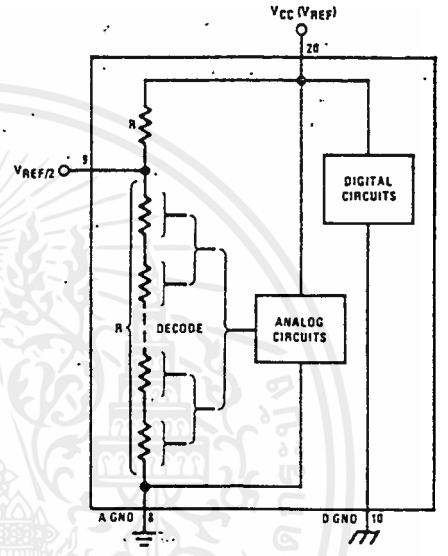
2.3.4 Noise

The leads to the analog inputs (pin 6 and 7) should be kept as short as possible to minimize input noise coupling. Both noise and undesired digital clock coupling to these inputs can cause system errors. The source resistance for these inputs should, in general, be kept below 5 kΩ. Larger values of source resistance can cause undesired system noise pickup. Input bypass capacitors, placed from the analog inputs to ground, will eliminate system noise pickup but can create analog scale errors as these capacitors will average the transient input switching currents of the A/D (see section 2.3.1.). This scale error depends on both a large source resistance and the use of an input bypass capacitor. This error can be eliminated by doing a full-scale adjustment of the A/D (adjust $V_{REF}/2$ for a proper full-scale reading—see section 2.5.2 on Full-Scale Adjustment) with the source resistance and input bypass capacitor in place.

2.4 Reference Voltage

2.4.1 Span Adjust

For maximum applications flexibility, these A/Ds have been designed to accommodate a 5 V_{DC}, 2.5 V_{DC} or an adjusted voltage reference. This has been achieved in the design of the IC as shown in *Figure 4*.



TL/H/5671–15

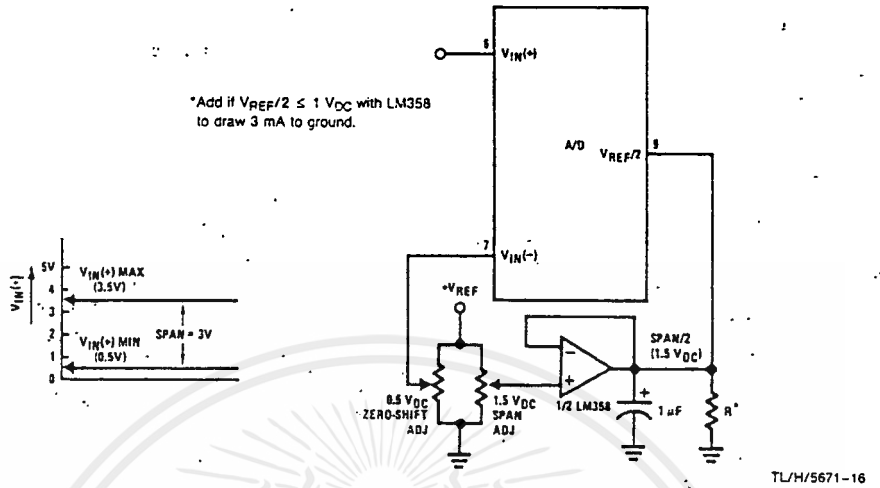
FIGURE 4. The $V_{REFERENCE}$ Design on the IC

Notice that the reference voltage for the IC is either ½ of the voltage applied to the V_{CC} supply pin, or is equal to the voltage that is externally forced at the $V_{REF}/2$ pin. This allows for a ratiometric voltage reference using the V_{CC} supply, a 5 V_{DC} reference voltage can be used for the V_{CC} supply or a voltage less than 2.5 V_{DC} can be applied to the $V_{REF}/2$ input for increased application flexibility. The internal gain to the $V_{REF}/2$ input is 2, making the full-scale differential input voltage twice the voltage at pin 9.

An example of the use of an adjusted reference voltage is to accommodate a reduced span—or dynamic voltage range of the analog input voltage. If the analog input voltage were to range from 0.5 V_{DC} to 3.5 V_{DC}, instead of 0V to 5 V_{DC}, the span would be 3V as shown in *Figure 5*. With 0.5 V_{DC} applied to the $V_{IN}(-)$ pin to absorb the offset, the reference voltage can be made equal to ½ of the 3V span or 1.5 V_{DC}. The A/D now will encode the $V_{IN}(+)$ signal from 0.5V to 3.5 V with the 0.5V input corresponding to zero and the 3.5 V_{DC} input corresponding to full-scale. The full 8 bits of resolution are therefore applied over this reduced analog input voltage range.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)



a) Analog Input Signal Example

b) Accommodating an Analog Input from 0.5V (Digital Out = = 00_{HEX}) to 3.5V (Digital Out = FF_{HEX})

FIGURE 5. Adapting the A/D Analog Input Voltages to Match an Arbitrary Input Signal Range

2.4.2 Reference Accuracy Requirements

The converter can be operated in a ratiometric mode or an absolute mode. In ratiometric converter applications, the magnitude of the reference voltage is a factor in both the output of the source transducer and the output of the A/D converter and therefore cancels out in the final digital output code. The ADC0805 is specified particularly for use in ratiometric applications with no adjustments required. In absolute conversion applications, both the initial value and the temperature stability of the reference voltage are important factors in the accuracy of the A/D converter. For $V_{REF}/2$ voltages of 2.4 V_{DC} nominal value, initial errors of ±10 mV_{DC} will cause conversion errors of ±1 LSB due to the gain of 2 of the $V_{REF}/2$ input. In reduced span applications, the initial value and the stability of the $V_{REF}/2$ input voltage become even more important. For example, if the span is reduced to 2.5V, the analog input LSB voltage value is correspondingly reduced from 20 mV (5V span) to 10 mV and 1 LSB at the $V_{REF}/2$ input becomes 5 mV. As can be seen, this reduces the allowed initial tolerance of the reference voltage and requires correspondingly less absolute change with temperature variations. Note that spans smaller than 2.5V place even tighter requirements on the initial accuracy and stability of the reference source.

In general, the magnitude of the reference voltage will require an initial adjustment. Errors due to an improper value of reference voltage appear as full-scale errors in the A/D transfer function. IC voltage regulators may be used for references if the ambient temperature changes are not excessive. The LM336B 2.5V IC reference diode (from National Semiconductor) has a temperature stability of 1.8 mV typ (6 mV max) over $0°C \leq T_A \leq +70°C$. Other temperature range parts are also available.

2.5 Errors and Reference Voltage Adjustments

2.5.1 Zero Error

The zero of the A/D does not require adjustment. If the minimum analog input voltage value, $V_{IN(MIN)}$, is not ground, a zero offset can be done. The converter can be made to output 0000 0000 digital code for this minimum input voltage by biasing the A/D $V_{IN}(-)$ input at this $V_{IN(MIN)}$ value (see Applications section). This utilizes the differential mode operation of the A/D.

The zero error of the A/D converter relates to the location of the first riser of the transfer function and can be measured by grounding the V_{IN} (−) input and applying a small magnitude positive voltage to the V_{IN} (+) input. Zero error is the difference between the actual DC input voltage that is necessary to just cause an output digital code transition from 0000 0000 to 0000 0001 and the ideal ½ LSB value (½ LSB = 9.8 mV for $V_{REF}/2 = 2.500\ V_{DC}$).

2.5.2 Full-Scale

The full-scale adjustment can be made by applying a differential input voltage that is 1½ LSB less than the desired analog full-scale voltage range and then adjusting the magnitude of the $V_{REF}/2$ input (pin 9 or the V_{CC} supply if pin 9 is not used) for a digital output code that is just changing from 1111 1110 to 1111 1111.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

2.5.3 Adjusting for an Arbitrary Analog Input Voltage Range

If the analog zero voltage of the A/D is shifted away from ground (for example, to accommodate an analog input signal that does not go to ground) this new zero reference should be properly adjusted first. A $V_{IN}(+)$ voltage that equals this desired zero reference plus ½ LSB (where the LSB is calculated for the desired analog span, 1 LSB = analog span/256) is applied to pin 6 and the zero reference voltage at pin 7 should then be adjusted to just obtain the 00_{HEX} to 01_{HEX} code transition.

The full-scale adjustment should then be made (with the proper $V_{IN}(-)$ voltage applied) by forcing a voltage to the $V_{IN}(+)$ input which is given by:

$$V_{IN}(+) \text{ fs adj} = V_{MAX} - 1.5\left[\frac{(V_{MAX} - V_{MIN})}{256}\right],$$

where:

V_{MAX} = The high end of the analog input range

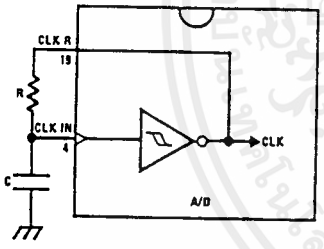
and

V_{MIN} = the low end (the offset zero) of the analog range. (Both are ground referenced.)

The $V_{REF}/2$ (or V_{CC}) voltage is then adjusted to provide a code change from FE_{HEX} to FF_{HEX}. This completes the adjustment procedure.

2.6 Clocking Option

The clock for the A/D can be derived from the CPU clock or an external RC can be added to provide self-clocking. The CLK IN (pin 4) makes use of a Schmitt trigger as shown in *Figure 6*.



$$f_{CLK} \cong \frac{1}{1.1\ RC}$$

$$R \cong 10\ k\Omega$$

TL/H/5671–17

FIGURE 6. Self-Clocking the A/D

Heavy capacitive or DC loading of the clock R pin should be avoided as this will disturb normal converter operation. Loads less than 50 pF, such as driving up to 7 A/D converter clock inputs from a single clock R pin of 1 converter, are allowed. For larger clock line loading, a CMOS or low power TTL buffer or PNP input logic should be used to minimize the loading on the clock R pin (do not use a standard TTL buffer).

2.7 Restart During a Conversion

If the A/D is restarted ($\overline{CS}$ and $\overline{WR}$ go low and return high) during a conversion, the converter is reset and a new conversion is started. The output data latch is not updated if the conversion in process is not allowed to be completed, therefore the data of the previous conversion remains in this latch. The $\overline{INTR}$ output simply remains at the "1" level.

2.8 Continuous Conversions

For operation in the free-running mode an initializing pulse should be used, following power-up, to ensure circuit operation. In this application, the $\overline{CS}$ input is grounded and the $\overline{WR}$ input is tied to the $\overline{INTR}$ output. This $\overline{WR}$ and $\overline{INTR}$ node should be momentarily forced to logic low following a power-up cycle to guarantee operation.

2.9 Driving the Data Bus

This MOS A/D, like MOS microprocessors and memories, will require a bus driver when the total capacitance of the data bus gets large. Other circuitry, which is tied to the data bus, will add to the total capacitive loading, even in TRI-STATE (high impedance mode). Backplane bussing also greatly adds to the stray capacitance of the data bus.

There are some alternatives available to the designer to handle this problem. Basically, the capacitive loading of the data bus slows down the response time, even though DC specifications are still met. For systems operating with a relatively slow CPU clock frequency, more time is available in which to establish proper logic levels on the bus and therefore higher capacitive loads can be driven (see typical characteristics curves).

At higher CPU clock frequencies time can be extended for I/O reads (and/or writes) by inserting wait states (8080) or using clock extending circuits (6800).

Finally, if time is short and capacitive loading is high, external bus drivers must be used. These can be TRI-STATE buffers (low power Schottky such as the DM74LS240 series is recommended) or special higher drive current products which are designed as bus drivers. High current bipolar bus drivers with PNP inputs are recommended.

2.10 Power Supplies

Noise spikes on the V_{CC} supply line can cause conversion errors as the comparator will respond to this noise. A low inductance tantalum filter capacitor should be used close to the converter V_{CC} pin and values of 1 μF or greater are recommended. If an unregulated voltage is available in the system, a separate LM340LAZ-5.0, TO-92, 5V voltage regulator for the converter (and other analog circuitry) will greatly reduce digital noise on the V_{CC} supply.

2.11 Wiring and Hook-Up Precautions

Standard digital wire wrap sockets are not satisfactory for breadboarding this A/D converter. Sockets on PC boards can be used and all logic signal wires and leads should be grouped and kept as far away as possible from the analog signal leads. Exposed leads to the analog inputs can cause undesired digital noise and hum pickup, therefore shielded leads may be necessary in many applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

A single point analog ground that is separate from the logic ground points should be used. The power supply bypass capacitor and the self-clocking capacitor (if used) should both be returned to digital ground. Any $V_{REF}/2$ bypass capacitors, analog input filter capacitors, or input signal shielding should be returned to the analog ground point. A test for proper grounding is to measure the zero error of the A/D converter. Zero errors in excess of ¼ LSB can usually be traced to improper board layout and wiring (see section 2.5.1 for measuring the zero error).

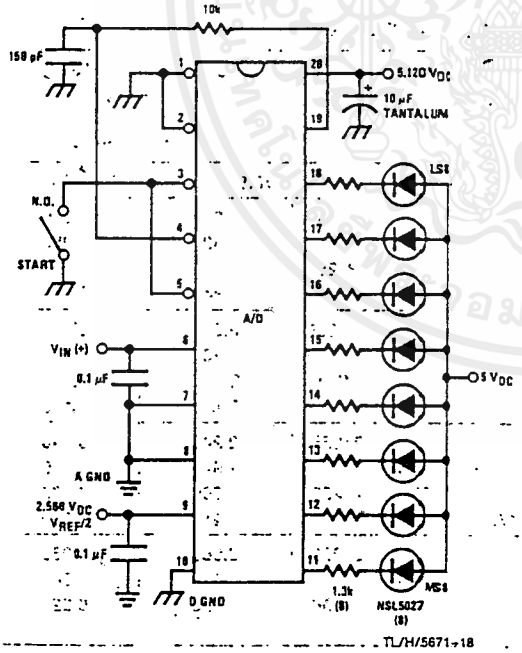
3.0 TESTING THE A/D CONVERTER

There are many degrees of complexity associated with testing an A/D converter. One of the simplest tests is to apply a known analog input voltage to the converter and use LEDs to display the resulting digital output code as shown in *Figure 7*.

For ease of testing, the $V_{REF}/2$ (pin 9) should be supplied with 2.560 V_{DC} and a V_{CC} supply voltage of 5.12 V_{DC} should be used. This provides an LSB value of 20 mV.

If a full-scale adjustment is to be made, an analog input voltage of 5.090 V_{DC} (5.120−1½ LSB) should be applied to the $V_{IN}(+)$ pin with the $V_{IN}(-)$ pin grounded. The value of the $V_{REF}/2$ input voltage should then be adjusted until the digital output code is just changing from 1111 1110 to 1111 1111. This value of $V_{REF}/2$ should then be used for all the tests.

The digital output LED display can be decoded by dividing the 8 bits into 2 hex characters, the 4 most significant (MS) and the 4 least significant (LS). Table I shows the fractional binary equivalent of these two 4-bit groups. By adding the voltages obtained from the "VMS" and "VLS" columns in Table I, the nominal value of the digital display (when $V_{REF}/2$ = 2.560V) can be determined. For example, for an output LED display of 1011 0110 or B6 (in hex), the voltage values from the table are 3.520 + 0.120 or 3.640 V_{DC}. These voltage values represent the center-values of a perfect A/D converter. The effects of quantization error have to be accounted for in the interpretation of the test results.



TL/H/5671–18

FIGURE 7. Basic A/D Tester

For a higher speed test system, or to obtain plotted data, a digital-to-analog converter is needed for the test set-up. An accurate 10-bit DAC can serve as the precision voltage source for the A/D. Errors of the A/D under test can be expressed as either analog voltages or differences in 2 digital words.

A basic A/D tester that uses a DAC and provides the error as an analog output voltage is shown in *Figure 8*. The 2 op amps can be eliminated if a lab DVM with a numerical subtraction feature is available to read the difference voltage, "A−C", directly. The analog input voltage can be supplied by a low frequency ramp generator and an X-Y plotter can be used to provide analog error (Y axis) versus analog input (X axis).

For operation with a microprocessor or a computer-based test system, it is more convenient to present the errors digitally. This can be done with the circuit of *Figure 9*, where the output code transitions can be detected as the 10-bit DAC is incremented. This provides ¼ LSB steps for the 8-bit A/D under test. If the results of this test are automatically plotted with the analog input on the X axis and the error (in LSB's) as the Y axis, a useful transfer function of the A/D under test results. For acceptance testing, the plot is not necessary and the testing speed can be increased by establishing internal limits on the allowed error for each code.

4.0 MICROPROCESSOR INTERFACING

To dicuss the interface with 8080A and 6800 microprocessors, a common sample subroutine structure is used. The microprocessor starts the A/D, reads and stores the results of 16 successive conversions, then returns to the user's program. The 16 data bytes are stored in 16 successive memory locations. All Data and Addresses will be given in hexadecimal form. Software and hardware details are provided separately for each type of microprocessor.

4.1 Interfacing 8080 Microprocessor Derivatives (8048, 8085)

This converter has been designed to directly interface with derivatives of the 8080 microprocessor. The A/D can be mapped into memory space (using standard memory address decoding for $\overline{CS}$ and the $\overline{MEMR}$ and $\overline{MEMW}$ strobes) or it can be controlled as an I/O device by using the $\overline{I/O\ R}$ and $\overline{I/O\ W}$ strobes and decoding the address bits A0 → A7 (or address bits A8 → A15 as they will contain the same 8-bit address information) to obtain the $\overline{CS}$ input. Using the I/O space provides 256 additional addresses and may allow a simpler 8-bit address decoder but the data can only be input to the accumulator. To make use of the additional memory reference instructions, the A/D should be mapped into memory space. An example of an A/D in I/O space is shown in *Figure 10*.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

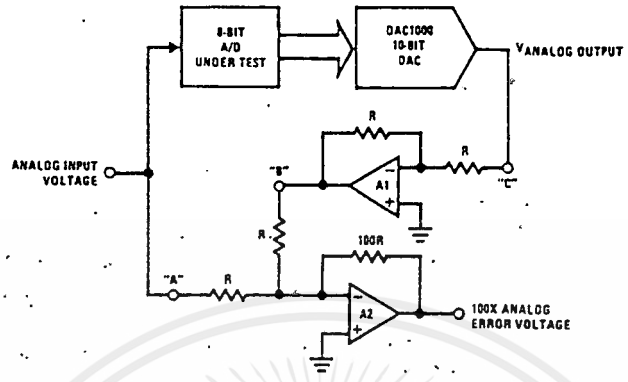


FIGURE 8. A/D Tester with Analog Error Output

TL/H/5671–19

FIGURE 9. Basic "Digital" A/D Tester

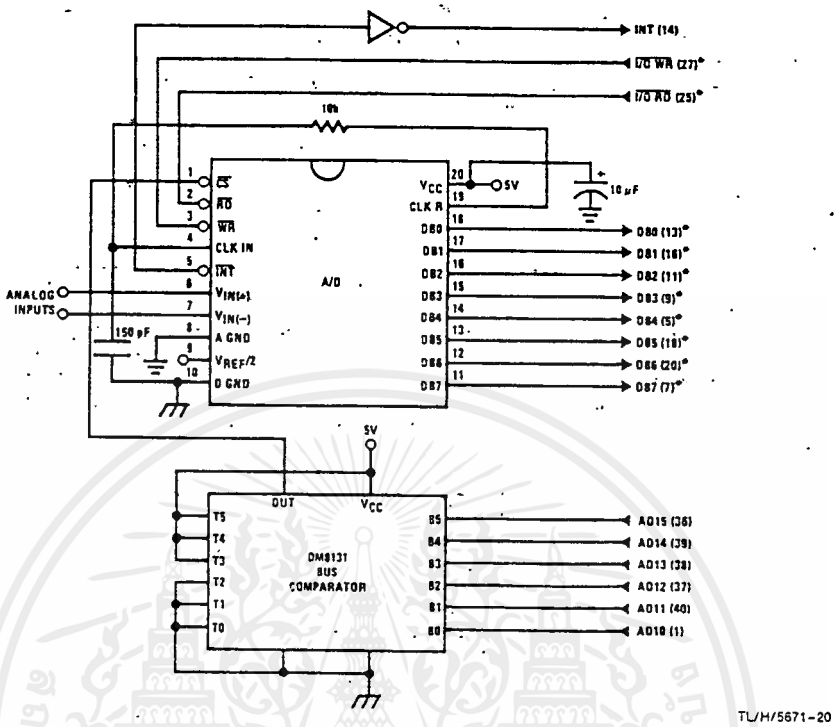
TABLE I. DECODING THE DIGITAL OUTPUT LEDs

HEX	BINARY	FRACTIONAL BINARY VALUE FOR		OUTPUT VOLTAGE CENTER VALUES WITH $V_{REF}/2 = 2.560\ V_{DC}$	
		MS GROUP	LS GROUP	VMS GROUP*	VLS GROUP*
F	1 1 1 1	15/16	15/256	4.800	0.300
E	1 1 1 0	7/8	7/128	4.480	0.280
D	1 1 0 1	13/16	13/256	4.160	0.260
C	1 1 0 0	3/4	3/64	3.840	0.240
B	1 0 1 1	11/16	11/256	3.520	0.220
A	1 0 1 0	5/8	5/128	3.200	0.200
9	1 0 0 1	9/16	9/256	2/880	0.180
8	1 0 0 0	1/2	1/32	2/560	0.160
7	0 1 1 1	7/16	7/256	2.240	0.140
6	0 1 1 0	3/8	3/128	1.920	0.120
5	0 1 0 1	5/16	2/256	1.600	0.100
4	0 1 0 0	1/4	1/64	1/280	0.080
3	0 0 1 1	3/16	3/256	0.960	0.060
2	0 0 1 0	1/8	1/128	0.640	0.040
1	0 0 0 1	1/16	1/256	0.320	0.020
0	0 0 0 0			0	0

*Display Output = VMS Group + VLS Group

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)



TL/H/5671–20

Note 1: *Pin numbers for the DP8228 system controller, others are INS8080A.

Note 2: Pin 23 of the INS8228 must be tied to +12V through a 1 kΩ resistor to generate the RST 7 instruction when an interrupt is acknowledged as required by the accompanying sample program.

FIGURE 10. ADC0801–INS8080A CPU Interface

SAMPLE PROGRAM FOR *FIGURE 10* ADC0801–INS8080A CPU INTERFACE

```
0038    C3 00 03    RST 7:          JMP     LD DATA
  •         •           •
  •         •           •
0100    21 00 02    START:          LXI H 0200H     ; HL pair will point to
                                                    ; data storage locations
0103    31 00 04    RETURN:         LXI SP 0400H    ; Initialize stack pointer (Note 1)
0106    7D                          MOV A, L        ; Test # of bytes entered
0107    FE 0F                       CPI 0F H        ; If # = 16, JMP to
0109    CA 13 01                    JZ CONT         ; user program
010C    D3 E0                       OUT E0 H        ; Start A/D
010E    FB                          EI              ; Enable interrupt
010F    00          LOOP:           NOP             ; Loop until end of
0110    C3 0F 01                    JMP LOOP        ; conversion
0113        •       CONT:           •
  •         •           •               •
  •         •       (User program to    •
  •         •       process data)       •
  •         •           •               •
  •         •           •               •
0300    DB E0       LD DATA:        IN E0 H         ; Load data into accumulator
0302    77                          MOV M, A        ; Store data
0303    23                          INX H           ; Increment storage pointer
0304    C3 03 01                    JMP RETURN
```

Note 1: The stack pointer must be dimensioned because a RST 7 instruction pushes the PC onto the stack.

Note 2: All address used were arbitrarily chosen.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

The standard control bus signals of the 8080 $\overline{CS}$, $\overline{RD}$ and $\overline{WR}$) can be directly wired to the digital control inputs of the A/D and the bus timing requirements are met to allow both starting the converter and outputting the data onto the data bus. A bus driver should be used for larger microprocessor systems where the data bus leaves the PC board and/or must drive capacitive loads larger than 100 pF.

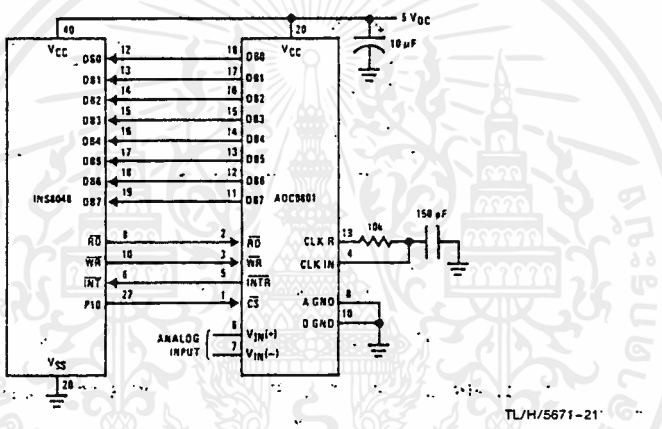
4.1.1 Sample 8080A CPU Interfacing Circuitry and Program

The following sample program and associated hardware shown in *Figure 10* may be used to input data from the converter to the INS8080A CPU chip set (comprised of the INS8080A microprocessor, the INS8228 system controller and the INS8224 clock generator). For simplicity, the A/D is controlled as an I/O device, specifically an 8-bit bi-directional port located at an arbitrarily chosen port address, E0. The TRI-STATE output capability of the A/D eliminates the need for a peripheral interface device, however address decoding is still required to generate the appropriate $\overline{CS}$ for the converter.

It is important to note that in systems where the A/D converter is 1-of-8 or less I/O mapped devices, no address decoding circuitry is necessary. Each of the 8 address bits (A0 to A7) can be directly used as $\overline{CS}$ inputs—one for each I/O device.

4.1.2 INS8048 Interface

The INS8048 interface technique with the ADC0801 series (see *Figure 11*) is simpler than the 8080A CPU interface. There are 24 I/O lines and three test input lines in the 8048. With these extra I/O lines available, one of the I/O lines (bit 0 of port 1) is used as the chip select signal to the A/D, thus eliminating the use of an external address decoder. Bus control signals $\overline{RD}$, $\overline{WR}$ and $\overline{INT}$ of the 8048 are tied directly to the A/D. The 16 converted data words are stored at on-chip RAM locations from 20 to 2F (Hex). The $\overline{RD}$ and $\overline{WR}$ signals are generated by reading from and writing into a dummy address, respectively. A sample interface program is shown below.



TL/H/5671–21

FIGURE 11. INS8048 Interface

SAMPLE PROGRAM FOR *FIGURE 11* INS8048 INTERFACE

```
04 10                    JMP     10H          ;Program starts at addr 10
                         ORG     3H
04 50                    JMP     50H          ;Interrupt jump vector
                         ORG     10H          ;Main program
99 FE                    ANL     P1, #0FEH    ;Chip select
81                       MOVX    A, @R1       ;Read in the 1st data
                                              ;to reset the intr
89 01          START:    ORL     P1, #1       ;Set port pin high
B8 20                    MOV     R0, #20H     ;Data address
B9 FF                    MOV     R1, #0FFH    ;Dummy address
BA 10                    MOV     R2, #10H     ;Counter for 16 bytes
23 FF          AGAIN:    MOV     A, #0FFH     ;Set ACC for intr loop
99 FE                    ANL     P1, #0FEH    ;Send CS (bit 0 of P1)
91                       MOVX    @R1, A       ;Send WR out
05                       EN      I            ;Enable interrupt
96 21          LOOP:     JNZ     LOOP         ;Wait for interrupt
EA 1B                    DJNZ    R2, AGAIN    ;If 16 bytes are read
00                       NOP                  ;go to user's program
00                       NOP
                         ORG     50H
81             INDATA:   MOVX    A, @R1       ;Input data, CS still low
A0                       MOV     @R0, A       ;Store in memory
18                       INC     R0           ;Increment storage counter
89 01                    ORL     P1, #1       ;Reset CS signal
27                       CLR     A            ;Clear ACC to get out of
93                       RETR                 ;the interrupt loop
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

4.2 Interfacing the Z-80

The Z-80 control bus is slightly different from that of the 8080. General $\overline{RD}$ and $\overline{WR}$ strobes are provided and separate memory request, $\overline{MREQ}$, and I/O request, $\overline{IORQ}$, signals are used which have to be combined with the generalized strobes to provide the equivalent 8080 signals. An advantage of operating the A/D in I/O space with the Z-80 is that the CPU will automatically insert one wait state (the $\overline{RD}$ and $\overline{WR}$ strobes are extended one clock period) to allow more time for the I/O devices to respond. Logic to map the A/D in I/O space is shown in *Figure 13.*

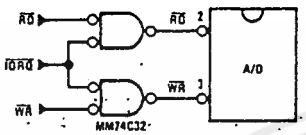


FIGURE 13. Mapping the A/D as an I/O Device for Use with the Z-80 CPU

Additional I/O advantages exist as software DMA routines are available and use can be made of the output data transfer which exists on the upper 8 address lines (A8 to A15) during I/O input instructions. For example, MUX channel selection for the A/D can be accomplished with this operating mode.

4.3 Interfacing 6800 Microprocessor Derivatives (6502, etc.)

The control bus for the 6800 microprocessor derivatives does not use the $\overline{RD}$ and $\overline{WR}$ strobe signals. Instead it employs a single R/$\overline{W}$ line and additional timing, if needed, can be derived fom the $\phi 2$ clock. All I/O devices are memory mapped in the 6800 system, and a special signal, VMA, indicates that the current address is valid. *Figure 14* shows an interface schematic where the A/D is memory mapped in the 6800 system. For simplicity, the $\overline{CS}$ decoding is shown using ½ DM8092. Note that in many 6800 systems, an already decoded $\overline{475}$ line is brought out to the common bus at pin 21. This can be tied directly to the $\overline{CS}$ pin of the A/D, provided that no other devices are addressed at HX ADDR: 4XXX or 5XXX.

The following subroutine performs essentially the same function as in the case of the 8080A interface and it can be called from anywhere in the user's program.

In *Figure 15* the ADC0801 series is interfaced to the M6800 microprocessor through (the arbitrarily chosen) Port B of the MC6820 or MC6821 Peripheral Interface Adapter, (PIA). Here the $\overline{CS}$ pin of the A/D is grounded since the PIA is already memory mapped in the M6800 system and no $\overline{CS}$ decoding is necessary. Also notice that the A/D output data lines are connected to the microprocessor bus under program control through the PIA and therefore the A/D $\overline{RD}$ pin can be grounded.

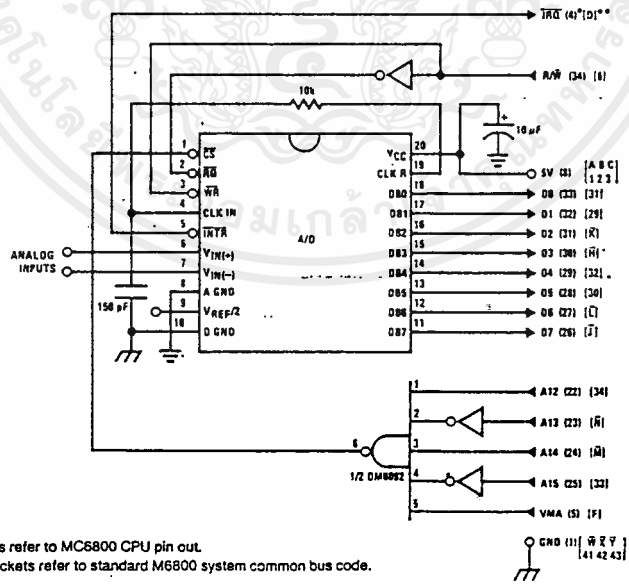
A sample interface program equivalent to the previous one is shown below *Figure 15.* The PIA Data and Control Registers of Port B are located at HEX addresses 8006 and 8007, respectively.

5.0 GENERAL APPLICATIONS

The following applications show some interesting uses for the A/D. The fact that one particular microprocessor is used is not meant to be restrictive. Each of these application circuits would have its counterpart using any microprocessor that is desired.

5.1 Multiple ADC0801 Series to MC6800 CPU Interface

To transfer analog data from several channels to a single microprocessor system, a multiple converter scheme presents several advantages over the conventional multiplexer single-converter approach. With the ADC0801 series, the differential inputs allow individual span adjustment for each channel. Furthermore, all analog input channels are sensed simultaneously, which essentially divides the microprocessor's total system servicing time by the number of channels, since all conversions occur simultaneously. This scheme is shown in *Figure 16.*



Note 1: Numbers in parentheses refer to MC6800 CPU pin out.
Note 2: Number or letters in brackets refer to standard M6800 system common bus code.

TL/H/5671–24

FIGURE 14. ADC0801-MC6800 CPU Interface

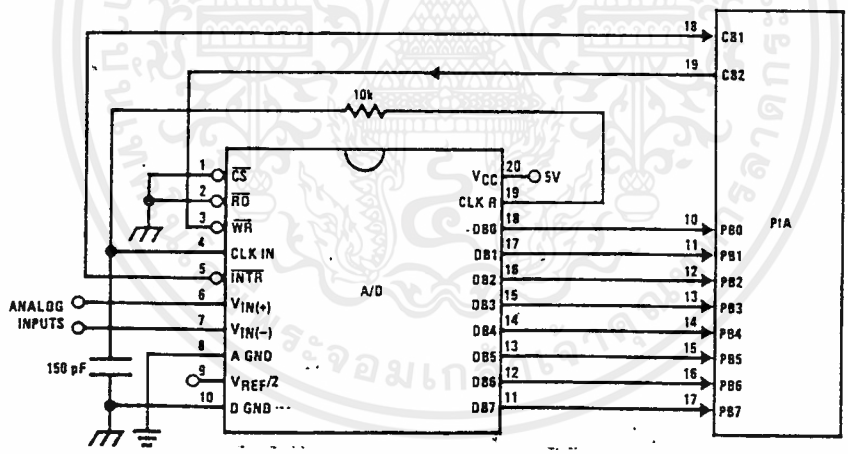
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

SAMPLE PROGRAM FOR *FIGURE 14* ADC0801-MC6800 CPU INTERFACE

```
0010  DF 36      DATAIN   STX   TEMP2     ; Save contents of X
0012  CE 00 2C             LDX   #$002C    ; Upon IRQ low CPU
0015  FF FF F8             STX   $FFF8     ; jumps to 002C
0018  B7 50 00             STAA  $5000     ; Start ADC0801
001B  0E                   CLI
001C  3E         CONVRT    WAI             ; Wait for interrupt
001D  DE 34                LDX   TEMP1
001F  8C 02 0F             CPX   #$020F    ; Is final data stored?
0022  27 14                BEQ   ENDP
0024  B7 50 00             STAA  $5000     ; Restarts ADC0801
0027  08                   INX
0028  DF 34                STX   TEMP1
002A  20 F0                BRA   CONVRT
002C  DE 34      INTRPT    LDX   TEMP1
002E  B6 50 00             LDAA  $5000     ; Read data
0031  A7 00                STAA  X         ; Store it at X
0033  3B                   RTI
0034  02 00      TEMP1    FDB   $0200     ; Starting address for
                                           ; data storage
0036  00 00      TEMP2    FDB   $0000
0038  CE 02 00   ENDP     LDX   #$0200    ; Reinitialize TEMP1
003B  DF 34                STX   TEMP1
003D  DE 36                LDX   TEMP2
003F  39                   RTS             ; Return from subroutine
                                           ; To user's program
```

Note 1: In order for the microprocessor to service subroutines and interrupts, the stack pointer must be dimensioned in the user's program.



TL/H/5671–25

FIGURE 15. ADC0801–MC6820 PIA Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

SAMPLE PROGRAM FOR *FIGURE 15* ADC0801–MC6820 PIA INTERFACE

```
0010  CE 00 38     DATAIN   LDX    #$0038      ; Upon IRQ low CPU
0013  FF FF F8              STX    $FFF8       ; jumps to 0038
0016  B6 80 06              LDAA   PIAORB      ; Clear possible IRQ flags
0019  4F                    CLRA
001A  B7 80 07              STAA   PIACRB
001D  B7 80 06              STAA   PIAORB      ; Set Port B as input
0020  0E                    CLI
0021  C6 34                 LDAB   #$34
0023  86 3D                 LDAA   #$3D
0025  F7 80 07     CONVRT   STAB   PIACRB      ; Starts ADC0801
0028  B7 80 07              STAA   PIACRB
002B  3E                    WAI                ; Wait for interrupt
002C  DE 40                 LDX    TEMP1
002E  8C 02 0F              CPX    #$020F      ; Is final data stored?
0031  27 0F                 BEQ    ENDP
0033  08                    INX
0034  DF 40                 STX    TEMP1
0036  20 ED                 BRA    CONVRT
0038  DE 40        INTRPT   LDX    TEMP1
003A  B6 80 06              LDAA   PIAORB      ; Read data in
003D  A7 00                 STAA   X           ; Store it at X
003F  3B                    RTI
0040  02 00        TEMP1    FDB    $0200       ; Starting address for
                                               ; data storage
0042  CE 02 00     ENDP     LDX    #$0200      ; Reinitialize TEMP1
0045  DF 40                 STX    TEMP1
0047  39                   RTS                ; Return from subroutine
                  PIAORB   EQU    $8006       ; To user's program
                  PIACRB   EQU    $8007
```

The following schematic and sample subroutine (DATA IN) may be used to interface (up to) 8 ADC0801's directly to the MC6800 CPU. This scheme can easily be extended to allow the interface of more converters. In this configuration the converters are (arbitrarily) located at HEX address 5000 in the MC6800 memory space. To save components, the clock signal is derived from just one RC pair on the first converter. This output drives the other A/Ds.

All the converters are started simultaneously with a STORE instruction at HEX address 5000. Note that any other HEX address of the form 5XXX will be decoded by the circuit, pulling all the $\overline{CS}$ inputs low. This can easily be avoided by using a more definitive address decoding scheme. All the interrupts are ORed together to insure that all A/Ds have completed their conversion before the microprocessor is interrupted.

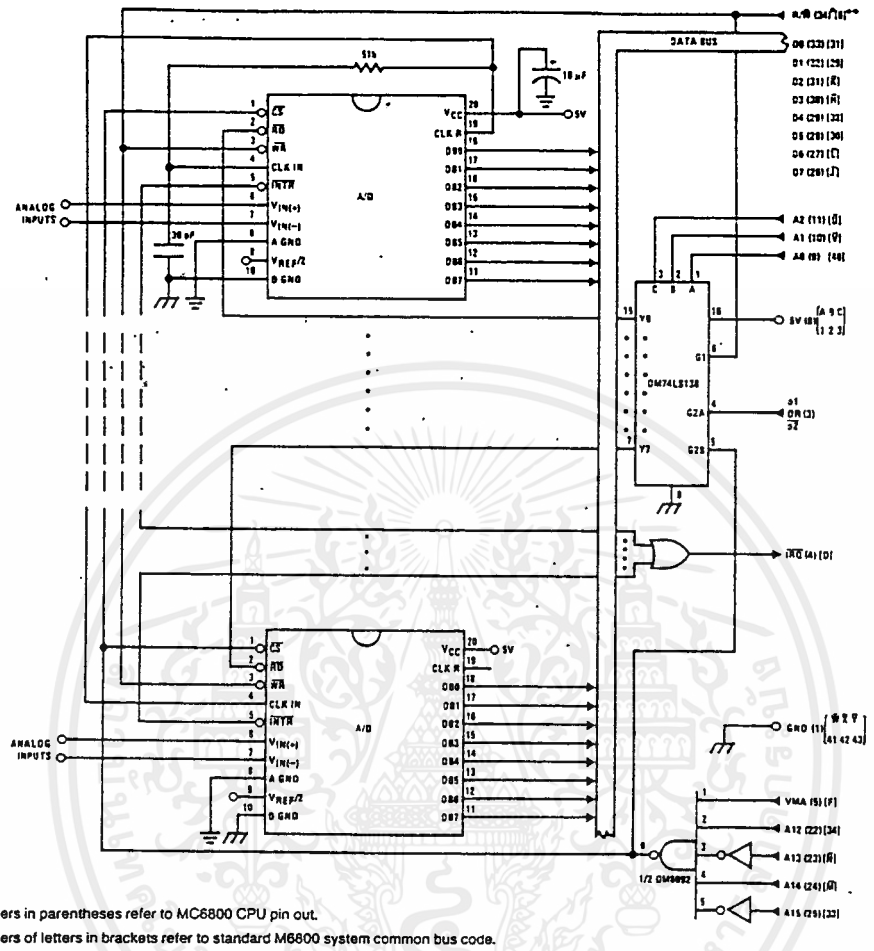
The subroutine, DATA IN, may be called from anywhere in the user's program. Once called, this routine initializes the CPU, starts all the converters simultaneously and waits for the interrupt signal. Upon receiving the interrupt, it reads the converters (from HEX addresses 5000 through 5007) and stores the data successively at (arbitrarily chosen) HEX addresses 0200 to 0207, before returning to the user's program. All CPU registers then recover the original data they had before servicing DATA IN.

5.2 Auto-Zeroed Differential Transducer Amplifier and A/D Converter

The differential inputs of the ADC0801 series eliminate the need to perform a differential to single ended conversion for a differential transducer. Thus, one op amp can be eliminated since the differential to single ended conversion is provided by the differential input of the ADC0801 series. In general, a transducer preamp is required to take advantage of the full A/D converter input dynamic range.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)



Note 1: Numbers in parentheses refer to MC6800 CPU pin out.

Note 2: Numbers of letters in brackets refer to standard M6800 system common bus code.

TL/H/5671–26

FIGURE 16. Interfacing Multiple A/Ds in an MC6800 System

SAMPLE PROGRAM FOR *FIGURE 16* INTERFACING MULTIPLE A/Ds IN AN MC6800 SYSTEM

ADDRESS	HEX CODE		MNEMONICS		COMMENTS
0010	DF 44	DATAIN	STX	TEMP	; Save Contents of X
0012	CE 00 2A		LDX	#$002A	; Upon $\overline{IRQ}$ LOW CPU
0015	FF FF F8		STX	$FFF8	; Jumps to 002A
0018	B7 50 00		STAA	$5000	; Starts all A/D's
001B	0E		CLI		
001C	3E		WAI		; Wait for interrupt
001D	CE 50 00		LDX	#$5000	
0020	DF 40		STX	INDEX1	; Reset both INDEX
0022	CE 02 00		LDX	#$0200	; 1 and 2 to starting
0025	DF 42		STX	INDEX2	; addresses
0027	DE 44		LDX	TEMP	
0029	39		RTS		; Return from subroutine
002A	DE 40	INTRPT	LDX	INDEX1	; INDEX1 → X
002C	A6 00		LDAA	X	; Read data in from A/D at X
002E	08		INX		; Increment X by one
002F	DF 40		STX	INDEX1	; X → INDEX1
0031	DE 42		LDX	INDEX2	; INDEX2 → X

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

SAMPLE PROGRAM FOR *FIGURE 16* INTERFACING MULTIPLE A/Ds IN AN MC6800 SYSTEM

ADDRESS	HEX CODE		MNEMONICS		COMMENTS
0033	A7 00		STAA	X	; Store data at X
0035	8C 02 07		CPX	#$0207	; Have all A/D's been read?
0038	27 05		BEQ	RETURN	; Yes: branch to RETURN
003A	08		INX		; No: increment X by one
003B	DF 42		STX	INDEX2	; X → INDEX2
003D	20 EB		BRA	INTRPT	; Branch to 002A
003F	3B	RETURN	RTI		
0040	50 00	INDEX1	FDB	$5000	; Starting address for A/D
0042	02 00	INDEX2	FDB	$0200	; Starting address for data storage
0044	00 00	TEMP	FDB	$0000	

Note 1: In order for the microprocessor to service subroutines and interrupts, the stack pointer must be dimensioned in the user's program.

For amplification of DC input signals, a major system error is the input offset voltage of the amplifiers used for the preamp. *Figure 17* is a gain of 100 differential preamp whose offset voltage errors will be cancelled by a zeroing subroutine which is performed by the INS8080A microprocessor system. The total allowable input offset voltage error for this preamp is only 50 μV for ¼ LSB error. This would obviously require very precise amplifiers. The expression for the differential output voltage of the preamp is:

$$V_O = \underbrace{[V_{IN}(+) - V_{IN}(-)]}_{\text{SIGNAL}} \underbrace{\left[1 + \frac{2R2}{R1}\right]}_{\text{GAIN}} +$$

$$\underbrace{(V_{OS_2} - V_{OS_1} - V_{OS_3} \pm I_X R_X)}_{\text{DC ERROR TERM}} \underbrace{\left(1 + \frac{2R2}{R1}\right)}_{\text{GAIN}}$$

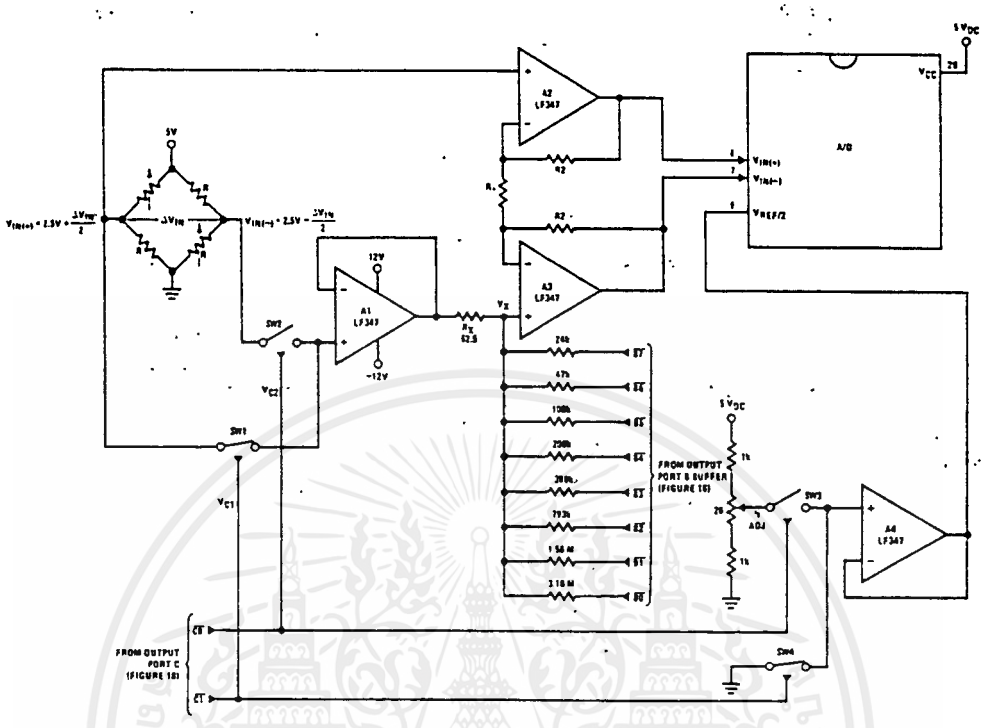
where I_X is the current through resistor R_X. All of the offset error terms can be cancelled by making $\pm I_X R_X = V_{OS1} + V_{OS3} - V_{OS2}$. This is the principle of this auto-zeroing scheme.

The INS8080A uses the 3 I/O ports of an INS8255 Programable Peripheral Interface (PPI) to control the auto zeroing and input data from the ADC0801 as shown in *Figure 18*. The PPI is programmed for basic I/O operation (mode 0) with Port A being an input port and Ports B and C being output ports. Two bits of Port C are used to alternately open or close the 2 switches at the input of the preamp. Switch SW1 is closed to force the preamp's differential input to be zero during the zeroing subroutine and then opened and SW2 is then closed for conversion of the actual differential input signal. Using 2 switches in this manner eliminates concern for the ON resistance of the switches as they must conduct only the input bias current of the input amplifiers.

Output Port B is used as a successive approximation register by the 8080 and the binary scaled resistors in series with each output bit create a D/A converter. During the zeroing subroutine, the voltage at V_X increases or decreases as required to make the differential output voltage equal to zero. This is accomplished by ensuring that the voltage at the output of A1 is approximately 2.5V so that a logic "1" (5V) on any output of Port B will source current into node V_X thus raising the voltage at V_X and making the output differential more negative. Conversely, a logic "0" (0V) will pull current out of node V_X and decrease the voltage, causing the differential output to become more positive. For the resistor values shown, V_X can move ±12 mV with a resolution of 50 μV, which will null the offset error term to ¼ LSB of full-scale for the ADC0801. It is important that the voltage levels that drive the auto-zero resistors be constant. Also, for symmetry, a logic swing of 0V to 5V is convenient. To achieve this, a CMOS buffer is used for the logic output signals of Port B and this CMOS package is powered with a stable 5V source. Buffer amplifier A1 is necessary so that it can source or sink the D/A output current.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

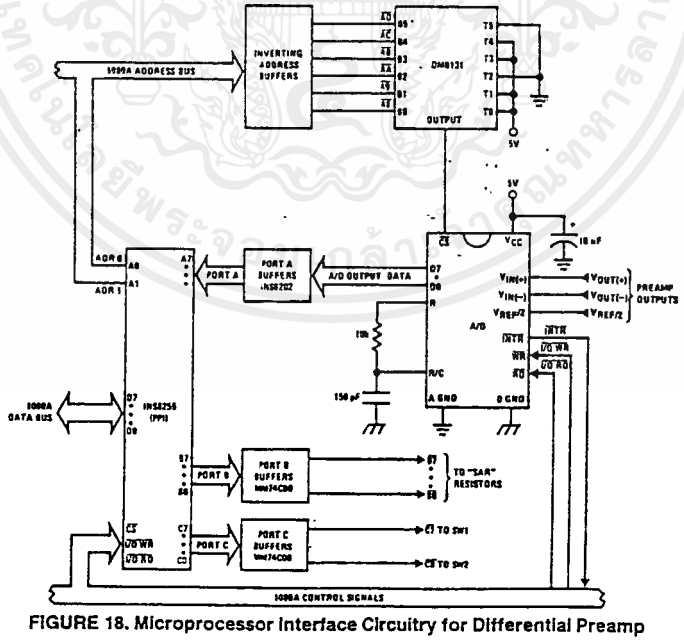


Note 1: R2 = 49.5 R1

Note 2: Switches are LMC13334 CMOS analog switches.

Note 3: The 9 resistors used in the auto-zero section can be ±5% tolerance.

FIGURE 17. Gain of 100 Differential Transducer Preamp



TL/H/5671–27

FIGURE 18. Microprocessor Interface Circuitry for Differential Preamp

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A flow chart for the zeroing subroutine is shown in *Figure 19*. It must be noted that the ADC0801 series will output an all zero code when it converts a negative input [$V_{IN}(-) \geq V_{IN}(+)$]. Also, a logic inversion exists as all of the I/O ports are buffered with inverting gates.

Basically, if the data read is zero, the differential output voltage is negative, so a bit in Port B is cleared to pull V_X more negative which will make the output more positive for the next conversion. If the data read is not zero, the output voltage is positive so a bit in Port B is set to make V_X more positive and the output more negative. This continues for 8 approximations and the differential output eventually converges to within 5 mV of zero.

The actual program is given in *Figure 20*. All addresses used are compatible with the BLC 80/10 microcomputer system. In particular:

Port A and the ADC0801 are at port address E4

Port B is at port address E5

Port C is at port address E6

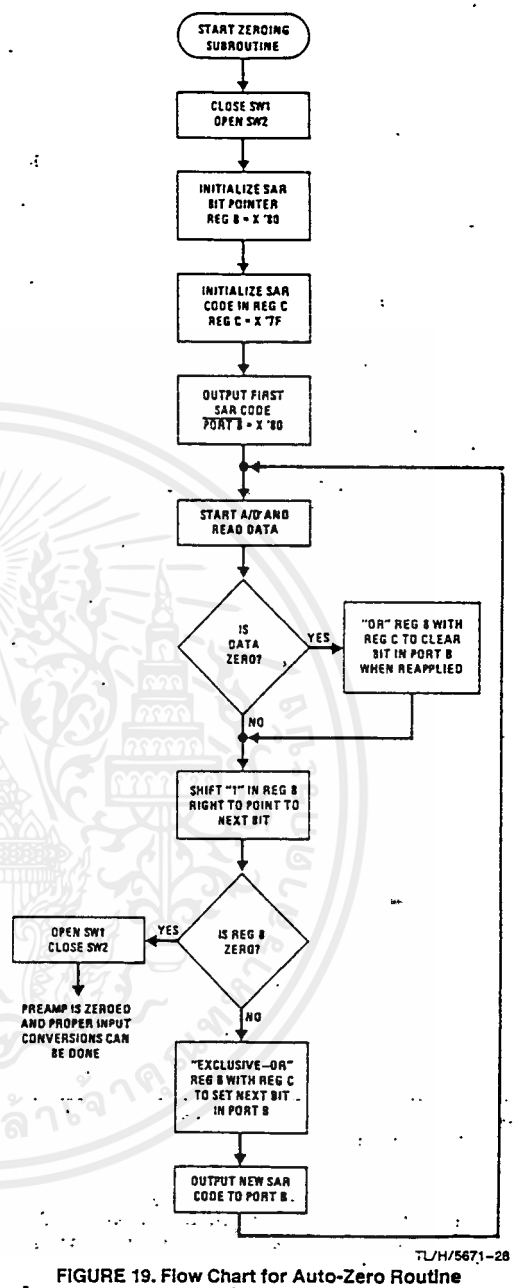
PPI control word port is at port address E7

Program Counter automatically goes to ADDR:3C3D upon acknowledgement of an interrupt from the ADC0801

5.3 Multiple A/D Converters in a Z-80 Interrupt Driven Mode

In data acquisition systems where more than one A/D converter (or other peripheral device) will be interrupting program execution of a microprocessor, there is obviously a need for the CPU to determine which device requires servicing. *Figure 21* and the accompanying software is a method of determining which of 7 ADC0801 converters has completed a conversion ($\overline{INTR}$ asserted) and is requesting an interrupt. This circuit allows starting the A/D converters in any sequence, but will input and store valid data from the converters with a priority sequence of A/D 1 being read first, A/D 2 second, etc., through A/D 7 which would have the lowest priority for data being read. Only the converters whose INT is asserted will be read.

The key to decoding circuitry is the DM74LS373, 8-bit D type flip-flop. When the Z-80 acknowledges the interrupt, the program is vectored to a data input Z-80 subroutine. This subroutine will read a peripheral status word from the DM74LS373 which contains the logic state of the $\overline{INTR}$ outputs of all the converters. Each converter which initiates an interrupt will place a logic "0" in a unique bit position in the status word and the subroutine will determine the identity of the converter and execute a data read. An identifier word (which indicates which A/D the data came from) is stored in the next sequential memory location above the location of the data so the program can keep track of the identity of the data entered.



TL/H/5671–28

FIGURE 19. Flow Chart for Auto-Zero Routine

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
3D00   3E90     MVI 90
3D02   D3E7     Out Control Port                    ; Program PPI
3D04   2601     MVI H 01        Auto-Zero Subroutine
3D06   7C       MOV A,H
3D07   D3E6     OUT C                              ; Close SW1 open SW2
3D09   0680     MVI B 80                           ; Initialize SAR bit pointer
3D0B   3E7F     MVI A 7F                           ; Initialize SAR code
3D0D   4F       MOV C,A         Return
3D0E   D3E5     OUT B                              ; Port B = SAR code
3D10   31AA3D   LXI SP 3DAA     Start              ; Dimension stack pointer
3D13   D3E4     OUT A                              ; Start A/D
3D15   FB       IE
3D16   00       NOP             Loop               ; Loop until INT asserted
3D17   C3163D   JMP Loop
3D1A   7A       MOV A,D         Auto-Zero
3D1B   C600     ADI 00
3D1D   CA2D3D   JZ Set C                           ; Test A/D output data for zero
3D20   78       MOV A,B         Shift B
3D21   F6C0     ORI 00.                            ; Clear carry
3D23   1F       RAR                                ; Shift "1" in B right one place
3D24   FE00     CPI 00                             ; Is B zero? If yes last
3D26   CA373D   JZ Done                            ; approximation has been made
3D29   47       MOV B,A
3D2A   C3333D   JMP New C
3D2D   79       MOV A,C         Set C
3D2E   B0       ORA B                              ; Set bit in C that is in same
3D2F   4F       MOV C,A                            ; position as "1" in B
3D30   C3203D   JMP Shift B
3D33   A9       XRA C           New C              ; Clear bit in C that is in
3D34   C30D3D   JMP Return                         ; same position as "1" in B
3D37   47       MOV B,A         Done               ; then output new SAR code.
3D38   7C       MOV A,H                            ; Open SW1, close SW2 then
3D39   EE03     XRI 03                             ; proceed with program. Preamp
3D3B   D3E6     OUT C                              ; is now zeroed.
3D3D            •               Normal
                •
                •
                Program for processing
                proper data values
3C3D   DBE4     IN A            Read A/D Subroutine ; Read A/D data
3C3F   EEFF     XRI FF                             ; Invert data
3C41   57       MOV D,A
3C42   78       MOV A,B                            ; Is B Reg = 0? If not stay
3C43   E6FF     ANI FF                             ; in auto zero subroutine
3C45   C21A3D   JNZ Auto-Zero
3C48   C33D3D   JMP Normal
```

Note: All numerical values are hexadecimal representations.

FIGURE 20. Software for Auto-Zeroed Differential A/D

5.3 Multiple A/D Converters in a Z-80® Interrupt Driven Mode (Continued)

The following notes apply:

1) It is assumed that the CPU automatically performs a RST 7 instruction when a valid interrupt is acknowledged (CPU is in interrupt mode 1). Hence, the subroutine starting address of X0038.

2) The address bus from the Z-80 and the data bus to the Z-80 are assumed to be inverted by bus drivers.

3) A/D data and identifying words will be stored in sequential memory locations starting at the arbitrarily chosen address X 3E00.

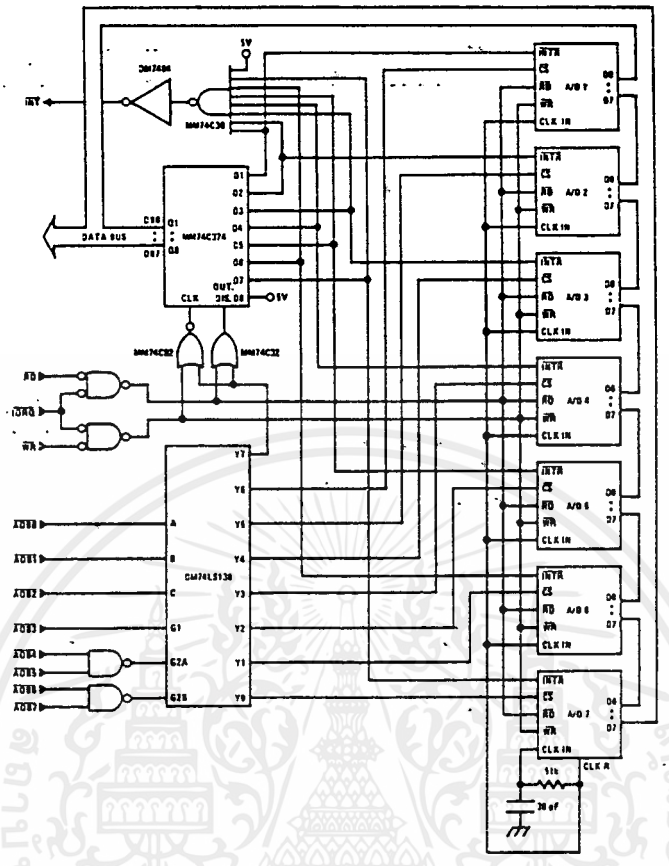
4) The stack pointer must be dimensioned in the main program as the RST 7 instruction automatically pushes the PC onto the stack and the subroutine uses an additional 6 stack addresses.

5) The peripherals of concern are mapped into I/O space with the following port assignments:

HEX PORT ADDRESS	PERIPHERAL
00	MM74C374 8-bit flip-flop
01	A/D 1
02	A/D 2
03	A/D 3
04	A/D 4
05	A/D 5
06	A/D 6
07	A/D 7

This port address also serves as the A/D identifying word in the program.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



TL/H/5671-29

FIGURE 21. Multiple A/Ds with Z-80 Type Microprocessor

INTERRUPT SERVICING SUBROUTINE

LOC	OBJ CODE	SOURCE STATEMENT		COMMENT
0038	E5		PUSH HL	; Save contents of all registers affected by
0039	C5		PUSH BC	; this subroutine.
003A	F5		PUSH AF	; Assumed INT mode 1 earlier set.
003B	21 00 3E		LD (HL), X3E00	; Initialize memory pointer where data will be stored.
003E	0E 01		LD C, X01	; C register will be port ADDR of A/D converters.
0040	D300		OUT X00, A	; Load peripheral status word into 8-bit latch.
0042	DB00		IN A, X00	; Load status word into accumulator.
0044	47		LD B, A	; Save the status word.
0045	79	TEST	LD A, C	; Test to see if the status of all A/D's have
0046	FE 08		CP, X08	; been checked. If so, exit subroutine
0048	CA 60 00		JPZ, DONE	
004B	78		LD A, B	; Test a single bit in status word by looking for
004C	1F		RRA	; a "1" to be rotated into the CARRY (an $\overline{INT}$
004D	47		LD B, A	; is loaded as a "1"). If CARRY is set then load
004E	DA 5500		JPC, LOAD	; contents of A/D at port ADDR in C register.
0051	0C	NEXT	INC C	; If CARRY is not set, increment C register to point
0052	C3 4500		JP, TEST	; to next A/D, then test next bit in status word.
0055	ED 78	LOAD	IN A, (C)	; Read data from interrupting A/D and invert
0057	EE FF		XOR FF	; the data.
0059	77		LD (HL), A	; Store the data
005A	2C		INC L	
005B	71		LD (HL), C	; Store A/D identifier (A/D port ADDR).
005C	2C		INC L	
005D	C3 51 00		JP, NEXT	; Test next bit in status word.
0060	F1	DONE	POP AF	; Re-establish all registers as they were
0061	C1		POP BC	; before the interrupt.
0062	E1		POP HL	
0063	C9		RET	; Return to original program

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

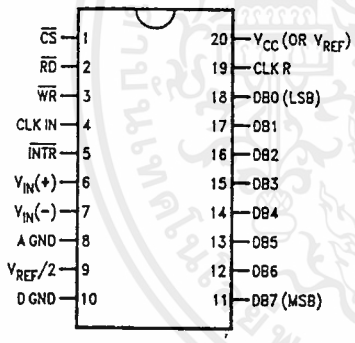
Ordering Information

TEMP RANGE		0°C TO 70°C	0°C TO 70°C	0°C TO 70°C	−40°C TO +85°C
ERROR	±¼ Bit Adjusted				ADC0801LCN
	±½ Bit Unadjusted	ADC0802LCWM	ADC0802LCV		ADC0802LCN
	±½ Bit Adjusted	ADC0803LCWM	ADC0803LCV		ADC0803LCN
	±1Bit Unadjusted	ADC0804LCWM	ADC0804LCV	ADC0804LCN	ADC0805LCN
PACKAGE OUTLINE		M20B—Small Outline	V20A—Chip Carrier	N20A—Molded DIP	

TEMP RANGE		−40°C TO +85°C	−55°C TO +125°C
ERROR	±¼ Bit Adjusted	ADC0801LCJ	ADC0801LJ
	±½ Bit Unadjusted	ADC0802LCJ	ADC0802LJ, ADC0802LJ/883
	±½ Bit Adjusted	ADC0803LCJ	
	±1Bit Unadjusted	ADC0804LCJ	
PACKAGE OUTLINE		J20A—Cavity DIP	J20A—Cavity DIP

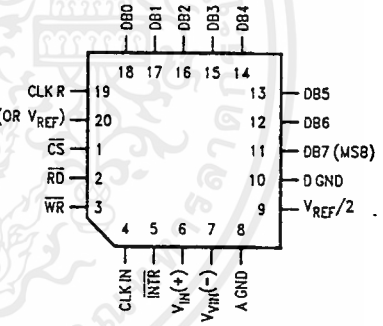
Connection Diagrams

ADC080X
Dual-In-Line and Small Outline (SO) Packages



TL/H/5671–30

ADC080X
Molded Chip Carrier (PCC) Package



TL/H/5671–32

See Ordering Information

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

DAC0808/DAC0807/DAC0806 8-Bit D/A Converters

General Description

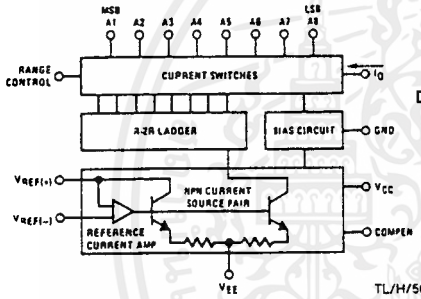
The DAC0808 series is an 8-bit monolithic digital-to-analog converter (DAC) featuring a full scale output current settling time of 150 ns while dissipating only 33 mW with ±5V supplies. No reference current (I_{REF}) trimming is required for most applications since the full scale output current is typically ±1 LSB of 255 I_{REF}/ 256. Relative accuracies of better than ±0.19% assure 8-bit monotonicity and linearity while zero level output current of less than 4 μA provides 8-bit zero accuracy for $I_{REF} \geq 2$ mA. The power supply currents of the DAC0808 series are independent of bit codes, and exhibits essentially constant device characteristics over the entire supply voltage range.

The DAC0808 will interface directly with popular TTL, DTL or CMOS logic levels, and is a direct replacement for the MC1508/MC1408. For higher speed applications, see DAC0800 data sheet.

Features

- Relative accuracy: ±0.19% error maximum (DAC0808)
- Full scale current match: ±1 LSB typ
- 7 and 6-bit accuracy available (DAC0807, DAC0806)
- Fast settling time: 150 ns typ
- Noninverting digital inputs are TTL and CMOS compatible
- High speed multiplying input slew rate: 8 mA/μs
- Power supply voltage range: ±4.5V to ±18V
- Low power consumption: 33 mW @ ±5V

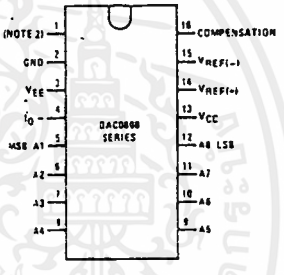
Block and Connection Diagrams



TL/H/5687–1

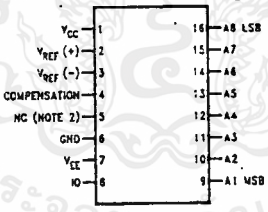
Order Number DAC0808, DAC0807, or DAC0806 See NS Package Number J16A, M16A or N16A

Dual-In-Line Package



TL/H/5687–2

Small-Outline Package



TL/H/5687–13

Top View

Ordering Information

ACCURACY	OPERATING TEMPERATURE RANGE	ORDER NUMBERS				
		J PACKAGE (J16A)*		N PACKAGE (N16A)*		SO PACKAGE (M16A)
7-bit	$0°C \leq T_A \leq +75°C$	DAC0807LCJ	MC1408L7	DAC0807LCN	MC1408P7	DAC0807LCM
6-bit	$0°C \leq T_A \leq +75°C$	DAC0806LCJ	MC1408L6	DAC0806LCN	MC1408P6	DAC0806LCM
				DAC0808LCN	MC1408P8	DAC0808LCM

*Note. Devices may be ordered by using either order number.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Power Supply Voltage	
V_{CC}	$+18\ V_{DC}$
V_{EE}	$-18\ V_{DC}$
Digital Input Voltage, V5–V12	$-10\ V_{DC}$ to $+18\ V_{DC}$
Applied Output Voltage, V_O	$-11\ V_{DC}$ to $+18\ V_{DC}$
Reference Current, I_{14}	5 mA
Reference Amplifier Inputs, V14, V15	V_{CC}, V_{EE}
Power Dissipation (Note 3)	1000 mW
ESD Susceptibility (Note 4)	TBD
Storage Temperature Range	−65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (Plastic)	260°C
Dual-In-Line Package (Ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Operating Ratings

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
DAC0808LC Series	$0 \le T_A \le +75°C$

Electrical Characteristics

(V_{CC} = 5V, V_{EE} = −15 V_{DC}, $V_{REF}/R14$ = 2 mA, DAC0808: T_A = −55°C to +125°C, DAC0808C, DAC0807C, DAC0806C, T_A = 0°C to +75°C, and all digital inputs at high logic level unless otherwise noted.)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
E_r	Relative Accuracy (Error Relative to Full Scale I_O)	*(Figure 4)*				%
	DAC0808LC (LM1408-8)				**±0.19**	%
	DAC0807LC (LM1408-7), (Note 5)				±0.39	%
	DAC0806LC (LM1408-6), (Note 5)				±0.78	%
	Settling Time to Within ½ LSB (Includes t_{PLH})	T_A = 25°C (Note 6), *(Figure 5)*		150		ns
t_{PLH}, t_{PHL}	Propagation Delay Time	T_A = 25°C, *(Figure 5)*		30	100	ns
TCI_O	Output Full Scale Current Drift			±20		ppm/°C
MSB	Digital Input Logic Levels	*(Figure 3)*				
V_{IH}	High Level, Logic "1"		2			V_{DC}
V_{IL}	Low Level, Logic "0"				0.8	V_{DC}
MSB	Digital Input Current	*(Figure 3)*				
	High Level	V_{IH} = 5V		0	0.040	mA
	Low Level	V_{IL} = 0.8V		−0.003	−0.8	mA
I_{15}	Reference Input Bias Current	*(Figure 3)*		−1	−3	μA
	Output Current Range	*(Figure 3)*				
		V_{EE} = −5V	0	2.0	2.1	mA
		V_{EE} = −15V, T_A = 25°C	0	2.0	4.2	mA
I_O	Output Current	V_{REF} = 2.000V, R14 = 1000Ω, *(Figure 3)*	1.9	1.99	2.1	mA
	Output Current, All Bits Low	*(Figure 3)*		0	4	μA
	Output Voltage Compliance (Note 2)	$E_r \le 0.19\%$, T_A = 25°C				
	V_{EE} = −5V, I_{REF} = 1 mA				−0.55, +0.4	V_{DC}
	V_{EE} Below −10V				−5.0, +0.4	V_{DC}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

(V_{CC} = 5V, V_{EE} = −15 V_{DC}, $V_{REF}/R14$ = 2 mA, DAC0808: T_A = −55°C to +125°C, DAC0808C, DAC0807C, DAC0806C, T_A = 0°C to +75°C, and all digital inputs at high logic level unless otherwise noted.)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
SRI_{REF}	Reference Current Slew Rate	*(Figure 6)*	4	8		mA/μs
	Output Current Power Supply Sensitivity	−5V ≤ V_{EE} ≤ −16.5V		0.05	2.7	μA/V
	Power Supply Current (All Bits Low)	*(Figure 3)*				
I_{CC}				2.3	22	mA
I_{EE}				−4.3	−13	mA
	Power Supply Voltage Range	T_A = 25°C, *(Figure 3)*				
V_{CC}			4.5	−5.0	5.5	V_{DC}
V_{EE}			−4.5	−15	−16.5	V_{DC}
	Power Dissipation					
	All Bits Low	V_{CC} = 5V, V_{EE} = −5V		33	170	mW
		V_{CC} = 5V, V_{EE} = −15V		106	305	mW
	All Bits High	V_{CC} = 15V, V_{EE} = −5V		90		mW
		V_{CC} = 15V, V_{EE} = −15V		160		mW

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: Range control is not required.

Note 3: The maximum power dissipation must be derated at elevated temperatures and is dictated by T_{JMAX}, θ_{JA}, and the ambient temperature, T_A. The maximum allowable power dissipation at any temperature is $P_D = (T_{JMAX} - T_A)/\theta_{JA}$ or the number given in the Absolute Maximum Ratings, whichever is lower. For this device, T_{JMAX} = 125°C, and the typical junction-to-ambient thermal resistance of the dual-in-line J package when the board mounted is 100°C/W. For the dual-in-line N package, this number increases to 175°C/W and for the small outline M package this number is 100°C/W.

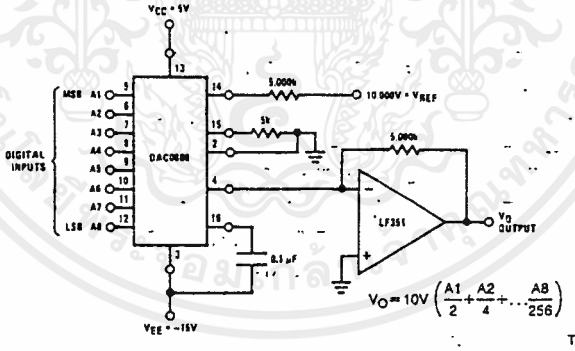
Note 4: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 5: All current switches are tested to guarantee at least 50% of rated current.

Note 6: All bits switched.

Note 7: Pin-out numbers for the DAL080X represent the dual-in-line package. The small outline package pinout differs from the dual-in-line package.

Typical Application



TL/H/5687–3

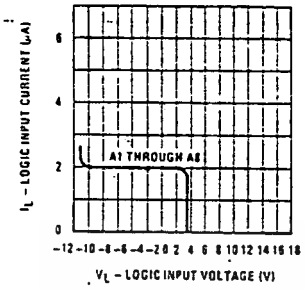
FIGURE 1. + 10V Output Digital to Analog Converter (Note 7)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

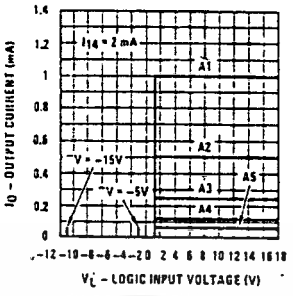
Typical Performance Characteristics

V_{CC} = 5V, V_{EE} = −15V, T_A = 25°C, unless otherwise noted

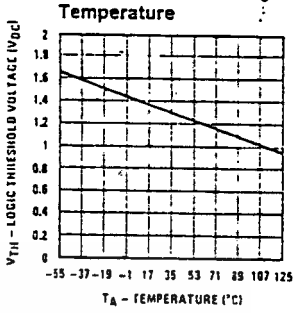
Logic Input Current vs Input Voltage



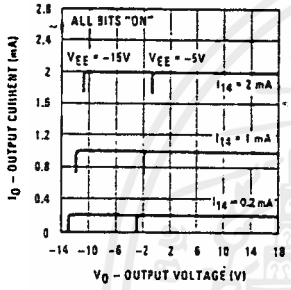
Bit Transfer Characteristics



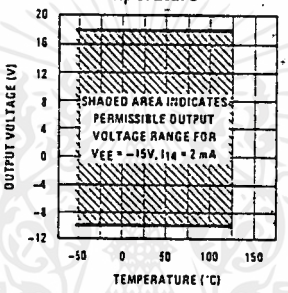
Logic Threshold Voltage vs Temperature



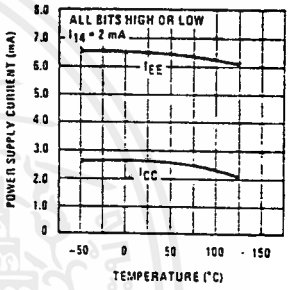
Output Current vs Output Voltage (Output Voltage Compliance)



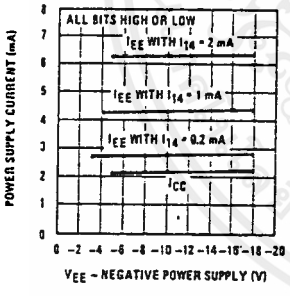
Output Voltage Compliance vs Temperature



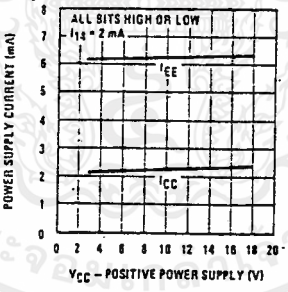
Typical Power Supply Current vs Temperature



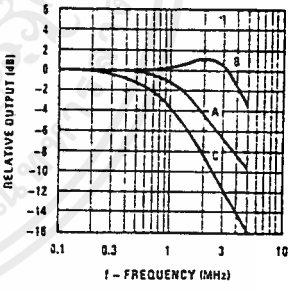
Typical Power Supply Current vs V_{EE}



Typical Power Supply Current vs V_{CC}



Reference Input Frequency Response



TL/H/5687–5

Unless otherwise specified: R14 = R15 = 1 kΩ, C = 15 pF, pin 16 to V_{EE}; R_L = 50Ω, pin 4 to ground.

Curve A: Large Signal Bandwidth Method of *Figure 7*, V_{REF} = 2 Vp-p offset 1 V above ground.

Curve B: Small Signal Bandwidth Method of *Figure 7*, R_L = 250Ω, V_{REF} = 50 mVp-p offset 200 mV above ground.

Curve C: Large and Small Signal Bandwidtn Method of *Figure 9* (no op amp, R_L = 50Ω), R_S = 50Ω, V_{REF} = 2V, V_S = 100 mVp-p centered at 0V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

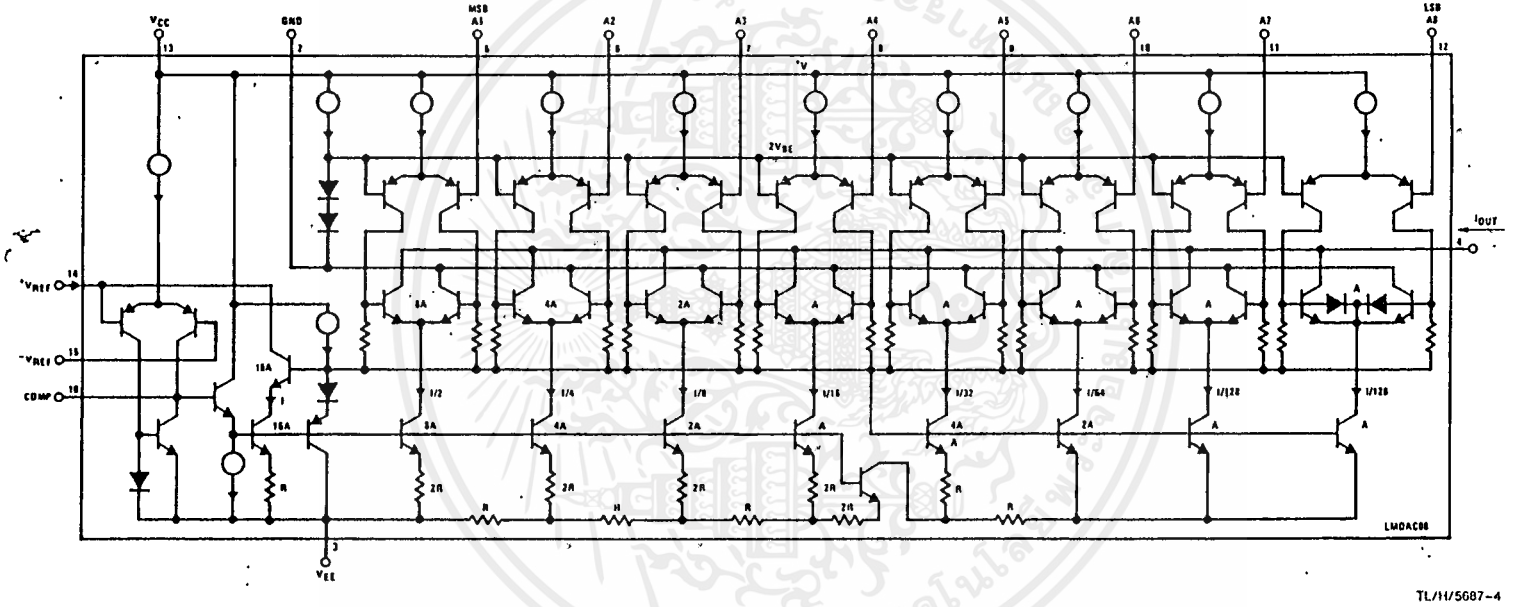
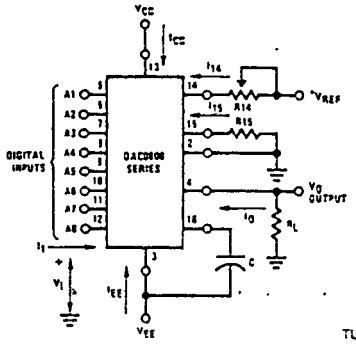


FIGURE 2. Equivalent Circuit of the DAC0808 Series (Note 7)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits



V_I and I_1 apply to inputs A1–A8.

The resistor tied to pin 15 is to temperature compensate the bias current and may not be necessary for all applications.

$$I_O = K\left(\frac{A1}{2} + \frac{A2}{4} + \frac{A3}{8} + \frac{A4}{16} + \frac{A5}{32} + \frac{A6}{64} + \frac{A7}{128} + \frac{A8}{256}\right)$$

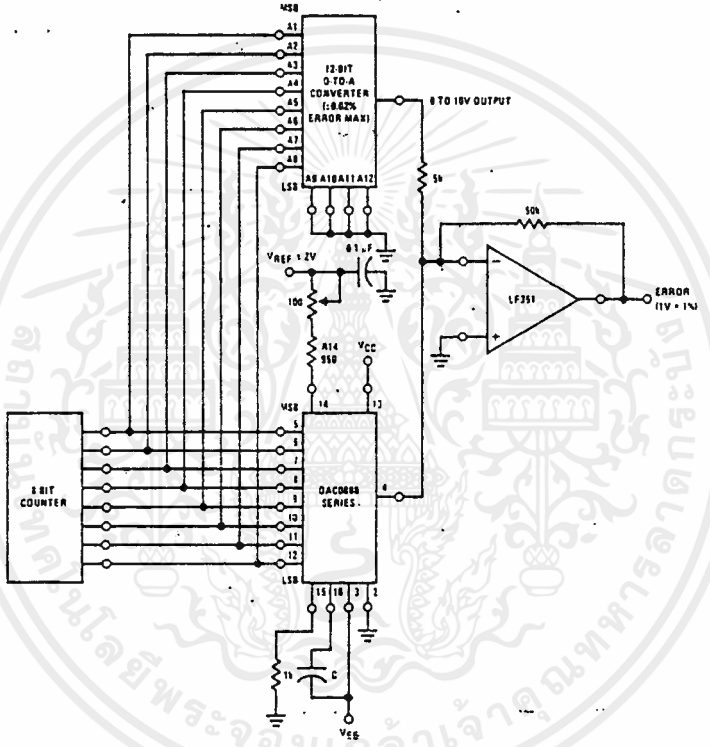
where $K \cong \frac{V_{REF}}{R14}$

and A_N = "1" if A_N is at high level

A_N = "0" if A_N is at low level

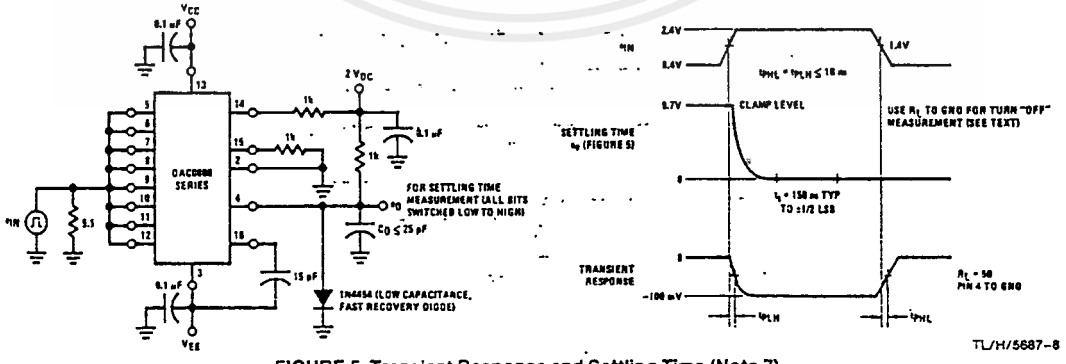
TL/H/5687–6

FIGURE 3. Notation Definitions Test Circuit (Note 7)



TL/H/5687–7

FIGURE 4. Relative Accuracy Test Circuit (Note 7)



TL/H/5687–8

FIGURE 5. Transient Response and Settling Time (Note 7)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits (Continued)

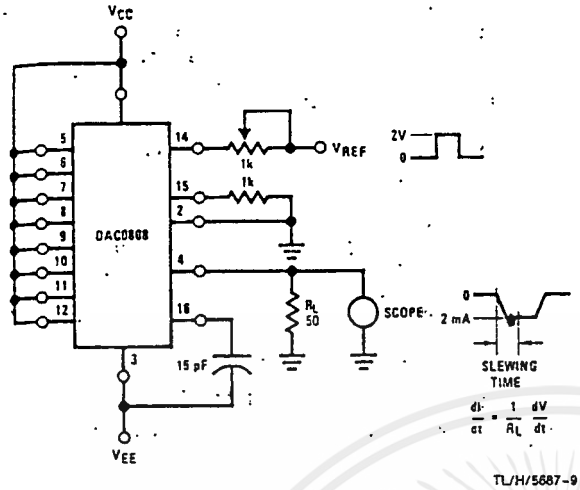


FIGURE 6. Reference Current Slew Rate Measurement (Note 7)

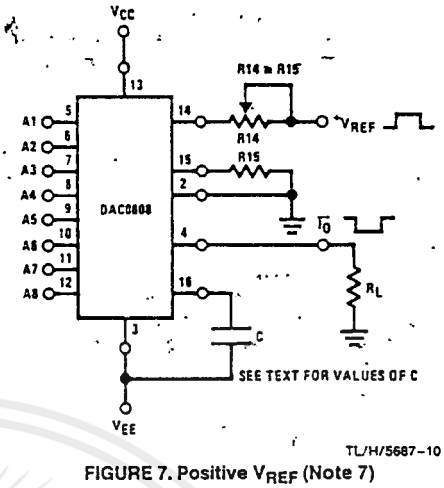


FIGURE 7. Positive V_{REF} (Note 7)

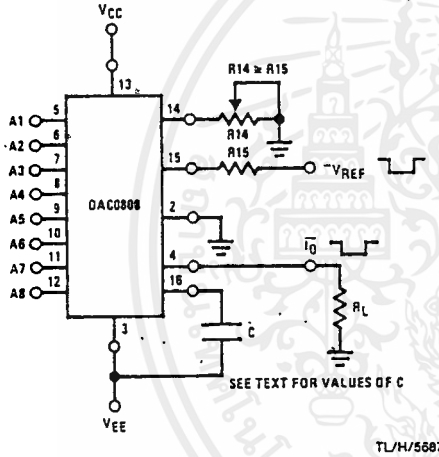


FIGURE 8. Negative V_{REF} (Note 7)

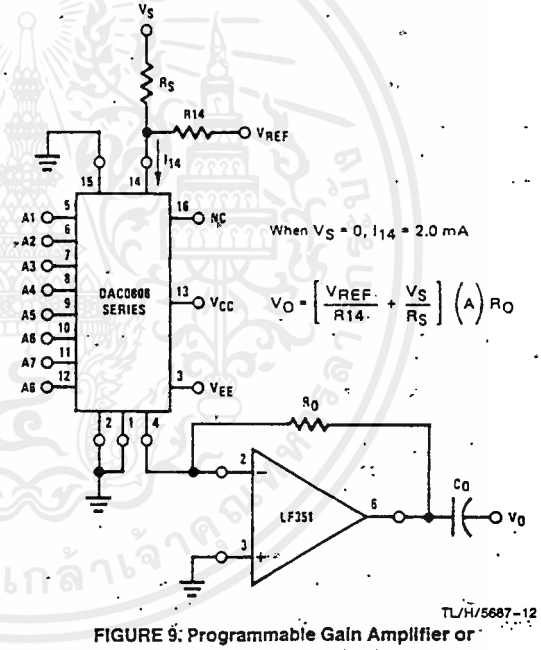


FIGURE 9. Programmable Gain Amplifier or Digital Attenuator Circuit (Note 7)

Application Hints

REFERENCE AMPLIFIER DRIVE AND COMPENSATION

The reference amplifier provides a voltage at pin 14 for converting the reference voltage to a current, and a turn-around circuit or current mirror for feeding the ladder. The reference amplifier input currrent, I_{14}, must always flow into pin 14, regardless of the set-up method or reference voltage polarity.

Connections for a positive voltage are shown in *Figure 7*. The reference voltage source supplies the full current I_{14}. For bipolar reference signals, as in the multiplying mode, R15 can be tied to a negative voltage corresponding to the minimum input level. It is possible to eliminate R15 with only a small sacrifice in accuracy and temperature drift.

The compensation capacitor value must be increased with increases in R14 to maintain proper phase margin; for R14 values of 1, 2.5 and 5 kΩ, minimum capacitor values are 15, 37 and 75 pF. The capacitor may be tied to either V_{EE} or ground, but using V_{EE} increases negative supply rejection.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

LM555/LM555C Timer

General Description

The LM555 is a highly stable device for generating accurate time delays or oscillation. Additional terminals are provided for triggering or resetting if desired. In the time delay mode of operation, the time is precisely controlled by one external resistor and capacitor. For astable operation as an oscillator, the free running frequency and duty cycle are accurately controlled with two external resistors and one capacitor. The circuit may be triggered and reset on falling waveforms, and the output circuit can source or sink up to 200 mA or drive TTL circuits.

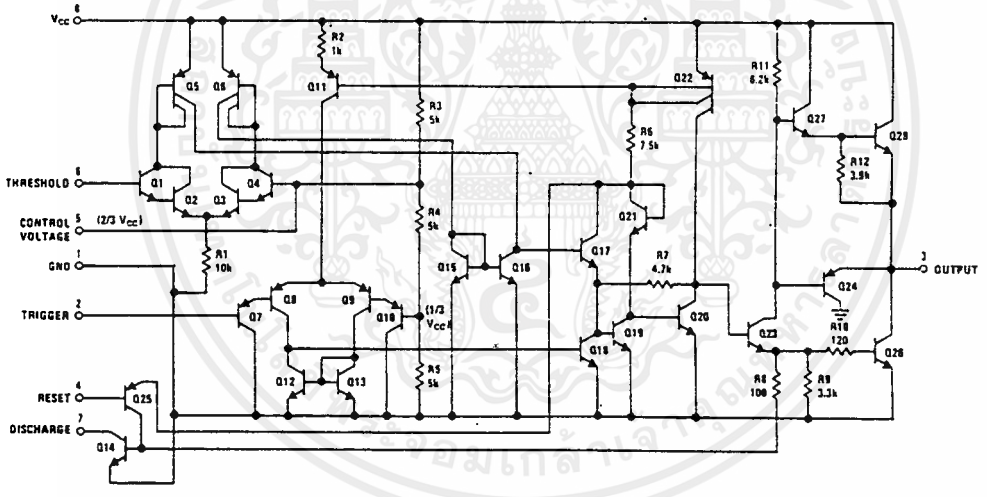
Features

- Direct replacement for SE555/NE555
- Timing from microseconds through hours
- Operates in both astable and monostable modes
- Adjustable duty cycle
- Output can source or sink 200 mA
- Output and supply TTL compatible
- Temperature stability better than 0.005% per °C
- Normally on and normally off output

Applications

- Precision timing
- Pulse generation
- Sequential timing
- Time delay generation
- Pulse width modulation
- Pulse position modulation
- Linear ramp generator

Schematic Diagram



TL/H/7851–1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	+18V
Power Dissipation (Note 1)	
LM555H, LM555CH	760 mW
LM555, LM555CN	1180 mW
Operating Temperature Ranges	
LM555C	0°C to +70°C
LM555	−55°C to + 125°C
Storage Temperature Range	−65°C to +150°C
Soldering Information	
Dual-In-Line Package	
Soldering (10 Seconds)	260°C
Small Outline Package	
Vapor Phase (60 Seconds)	215°C
Infrared (15 Seconds)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics (T_A = 25°C, V_{CC} = +5V to +15V, unless othewise specified)

Parameter	Conditions	Limits						Units
		LM555			LM555C			
		Min	Typ	Max	Min	Typ	Max	
Supply Voltage		4.5		18	4.5		16	V
Supply Current	V_{CC} = 5V, R_L = ∞		3	5		3	6	mA
	V_{CC} = 15V, R_L = ∞ (Low State) (Note 2)		10	12		10	15	mA
Timing Error, Monostable								
Initial Accuracy			0.5			1		%
Drift with Temperature	R_A = 1k to 100 kΩ, C = 0.1 μF, (Note 3)		30			50		ppm/°C
Accuracy over Temperature			1.5			1.5		%
Drift with Supply			0.05			0.1		%/V
Timing Error, Astable								
Initial Accuracy			1.5			2.25		%
Drift with Temperature	R_A, R_B = 1k to 100 kΩ, C = 0.1 μF, (Note 3)		90			150		ppm/°C
Accuracy over Temperature			2.5			3.0		%
Drift with Supply			0.15			0.30		%/V
Threshold Voltage			0.667			0.667		x V_{CC}
Trigger Voltage	V_{CC} = 15V	4.8	5	5.2		5		V
	V_{CC} = 5V	1.45	1.67	1.9		1.67		V
Trigger Current			0.01	0.5		0.5	0.9	μA
Reset Voltage		0.4	0.5	1	0.4	0.5	1	V
Reset Current			0.1	0.4		0.1	0.4	mA
Threshold Current	(Note 4)		0.1	0.25		0.1	0.25	μA
Control Voltage Level	V_{CC} = 15V	9.6	10	10.4	9	10	11	V
	V_{CC} = 5V	2.9	3.33	3.8	2.6	3.33	4	V
Pin 7 Leakage Output High			1	100		1	100	nA
Pin 7 Sat (Note 5)								
Output Low	V_{CC} = 15V, I_7 = 15 mA		150			180		mV
Output Low	V_{CC} = 4.5V, I_7 = 4.5 mA		70	100		80	200	mV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics $T_A = 25°C$, $V_{CC} = +5V$ to $+15V$, (unless othewise specified) (Continued)

Parameter	Conditions	Limits						Units
		LM555			LM555C			
		Min	Typ	Max	Min	Typ	Max	
Output Voltage Drop (Low)	$V_{CC} = 15V$							
	$I_{SINK} = 10$ mA		0.1	0.15		0.1	0.25	V
	$I_{SINK} = 50$ mA		0.4	0.5		0.4	0.75	V
	$I_{SINK} = 100$ mA		2	2.2		2	2.5	V
	$I_{SINK} = 200$ mA		2.5			2.5		V
	$V_{CC} = 5V$							
	$I_{SINK} = 8$ mA		0.1	0.25				V
	$I_{SINK} = 5$ mA					0.25	0.35	V
Output Voltage Drop (High)	$I_{SOURCE} = 200$ mA, $V_{CC} = 15V$		12.5			12.5		V
	$I_{SOURCE} = 100$ mA, $V_{CC} = 15V$	13	13.3		12.75	13.3		V
	$V_{CC} = 5V$	3	3.3		2.75	3.3		V
Rise Time of Output			100			100		ns
Fall Time of Output			100			100		ns

Note 1: For operating at elevated temperatures the device must be derated above 25°C based on a +150°C maximum junction temperature and a thermal resistance of 164°c/w (T0-5), 106°c/w (DIP) and 170°c/w (S0-8) junction to ambient.

Note 2: Supply current when output high typically 1 mA less at $V_{CC} = 5V$.

Note 3: Tested at $V_{CC} = 5V$ and $V_{CC} = 15V$.

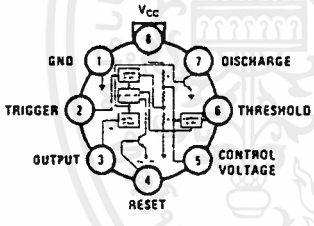
Note 4: This will determine the maximum value of $R_A + R_B$ for 15V operation. The maximum total ($R_A + R_B$) is 20 MΩ.

Note 5: No protection against excessive pin 7 current is necessary providing the package dissipation rating will not be exceeded.

Note 6: Refer to RETS555X drawing of military LM555H and LM555J versions for specifications.

Connection Diagrams

Metal Can Package

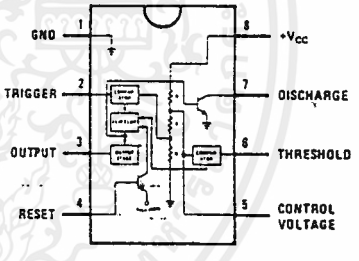


TL/H/7851–2

Top View

Order Number LM555H or LM555CH
See NS Package Number H08C

Dual-In-Line and Small Outline Packages



TL/H/7851–31

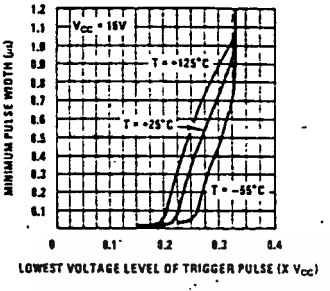
Top View

Order Number LM555J, LM555CJ,
LM555CM or LM555CN
See NS Package Number J08A, M08A or N08E

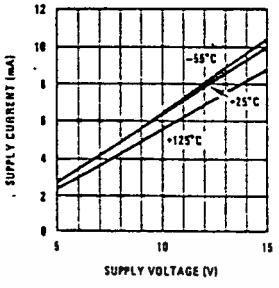
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

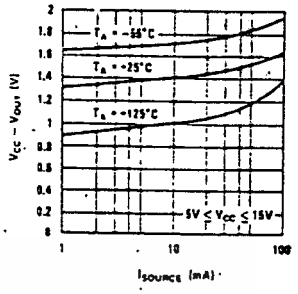
Minimum Pulse Width Required for Triggering



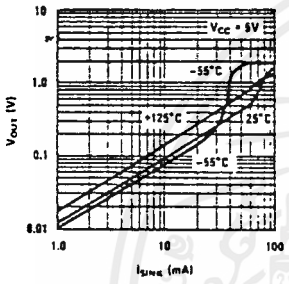
Supply Current vs Supply Voltage



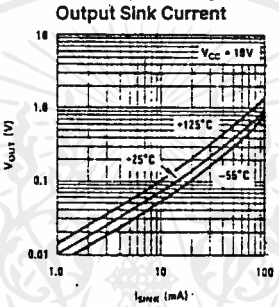
High Output Voltage vs Output Source Current



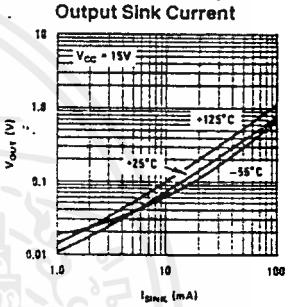
Low Output Voltage vs Output Sink Current



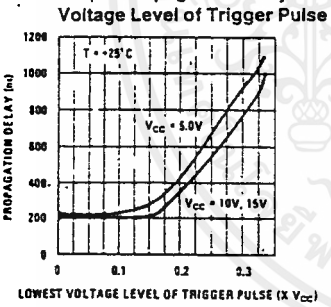
Low Output Voltage vs Output Sink Current



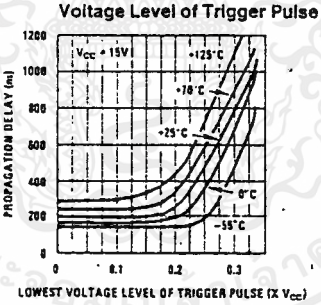
Low Output Voltage vs Output Sink Current



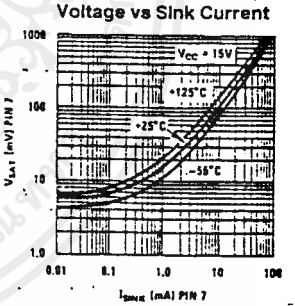
Output Propagation Delay vs Voltage Level of Trigger Pulse



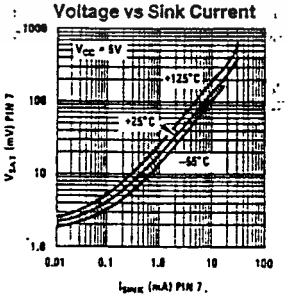
Output Propagation Delay vs Voltage Level of Trigger Pulse



Discharge Transistor (Pin 7) Voltage vs Sink Current



Discharge Transistor (Pin 7) Voltage vs Sink Current



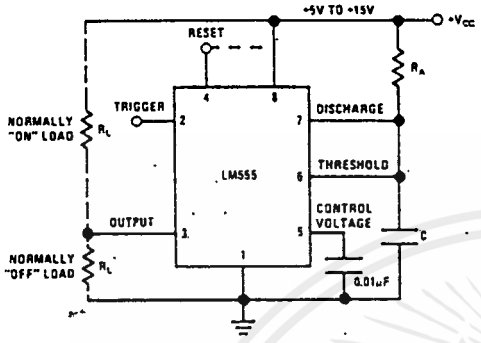
TL/H/7851–4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information

MONOSTABLE OPERATION

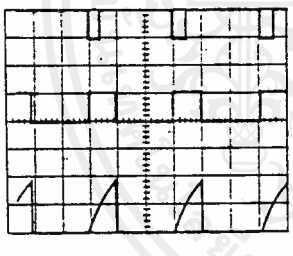
In this mode of operation, the timer functions as a one-shot *(Figure 1)*. The external capacitor is initially held discharged by a transistor inside the timer. Upon application of a negative trigger pulse of less than 1/3 V_{CC} to pin 2, the flip-flop is set which both releases the short circuit across the capacitor and drives the output high.



TL/H/7851–5

FIGURE 1. Monostable

The voltage across the capacitor then increases exponentially for a period of t = 1.1 R_A C, at the end of which time the voltage equals 2/3 V_{CC}. The comparator then resets the flip-flop which in turn discharges the capacitor and drives the output to its low state. *Figure 2* shows the waveforms generated in this mode of operation. Since the charge and the threshold level of the comparator are both directly proportional to supply voltage, the timing internal is independent of supply.



TL/H/7851–6

V_{CC} = 5V
TIME = 0.1 ms/DIV.
R_A = 9.1 kΩ
C = 0.01 μF

Top Trace: Input 5V/Div.
Middle Trace: Output 5V/Div.
Bottom Trace: Capacitor Voltage 2V/Div.

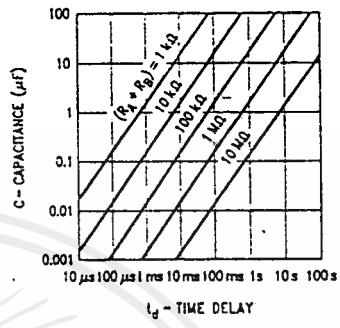
FIGURE 2. Monostable Waveforms

During the timing cycle when the output is high, the further application of a trigger pulse will not effect the circuit so long as the trigger input is returned high at least 10 μs before the end of the timing interval. However the circuit can be reset during this time by the application of a negative pulse to the reset terminal (pin 4). The output will then remain in the low state until a trigger pulse is again applied.

When the reset function is not in use, it is recommended that it be connected to V_{CC} to avoid any possibility of false triggering.

Figure 3 is a nomograph for easy determination of R, C values for various time delays.

NOTE: In monostable operation, the trigger should be driven high before the end of timing cycle.

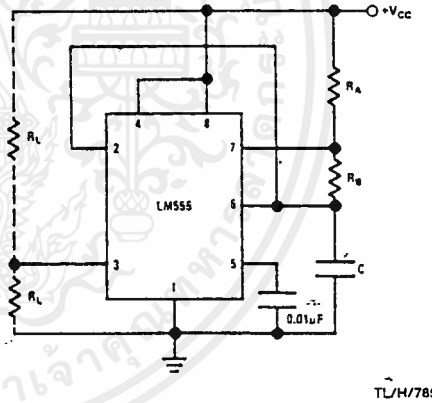


TL/H/7851–7

FIGURE 3. Time Delay

ASTABLE OPERATION

If the circuit is connected as shown in *Figure 4* (pins 2 and 6 connected) it will trigger itself and free run as a multivibrator. The external capacitor charges through R_A + R_B and discharges through R_B. Thus the duty cycle may be precisely set by the ratio of these two resistors.



TL/H/7851–8

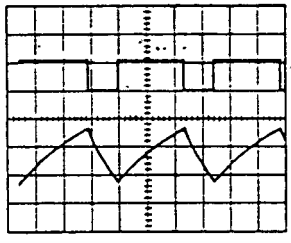
FIGURE 4. Astable

In this mode of operation, the capacitor charges and discharges between 1/3 V_{CC} and 2/3 V_{CC}. As in the triggered mode, the charge and discharge times, and therefore the frequency are independent of the supply voltage.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

Figure 5 shows the waveforms generated in this mode of operation.



TL/H/7851–9

V_{CC} = 5V
TIME = 20 μs/DIV.
R_A = 3.9 kΩ
R_B = 3 kΩ
C = 0.01 μF

Top Trace: Output 5V/Div.
Bottom Trace: Capacitor Voltage 1V/Div.

FIGURE 5. Astable Waveforms

The charge time (output high) is given by:

$$t_1 = 0.693 (R_A + R_B) C$$

And the discharge time (output low) by:

$$t_2 = 0.693 (R_B) C$$

Thus the total period is:

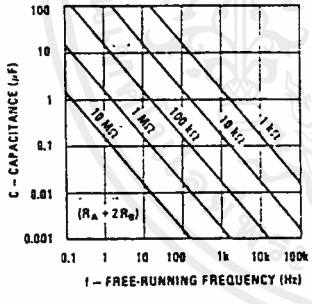
$$T = t_1 + t_2 = 0.693 (R_A + 2R_B) C$$

The frequency of oscillation is:

$$f = \frac{1}{T} = \frac{1.44}{(R_A + 2R_B) C}$$

Figure 6 may be used for quick determination of these RC values.

The duty cycle is: $D = \frac{R_B}{R_A + 2R_B}$

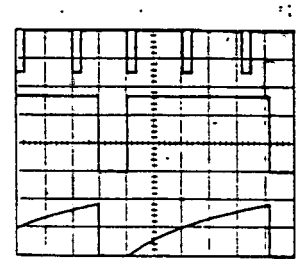


TL/H/7851–10

FIGURE 6. Free Running Frequency

FREQUENCY DIVIDER

The monostable circuit of *Figure 1* can be used as a frequency divider by adjusting the length of the timing cycle. *Figure 7* shows the waveforms generated in a divide by three circuit.



TL/H/7851–11

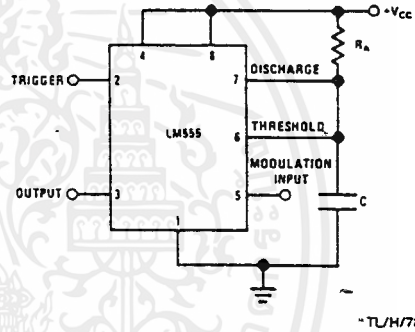
V_{CC} = 5V
TIME = 20 μs/DIV.
R_A = 9.1 kΩ
C = 0.01 μF

Top Trace: Input 4V/Div.
Middle Trace: Output 2V/Div.
Bottom Trace: Capacitor 2V/Div.

FIGURE 7. Frequency Divider

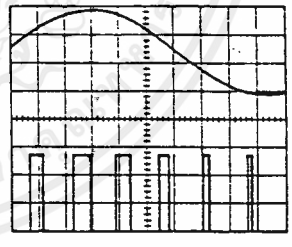
PULSE WIDTH MODULATOR

When the timer is connected in the monostable mode and triggered with a continuous pulse train, the output pulse width can be modulated by a signal applied to pin 5. *Figure 8* shows the circuit, and in *Figure 9* are some waveform examples.



TL/H/7851–12

FIGURE 8. Pulse Width Modulator



TL/H/7851–13

V_{CC} = 5V
TIME = 0.2 ms/DIV.
R_A = 9.1 kΩ
C = 0.01 μF

Top Trace: Modulation 1V/Div.
Bottom Trace: Output Voltage 2V/Div.

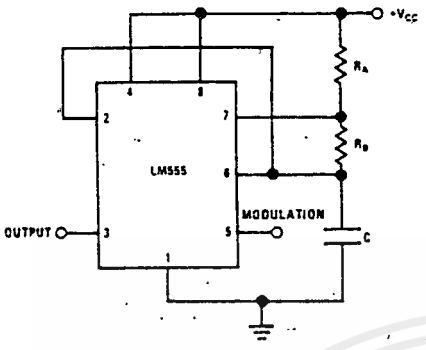
FIGURE 9. Pulse Width Modulator

PULSE POSITION MODULATOR

This application uses the timer connected for astable operation, as in *Figure 10*, with a modulating signal again applied to the control voltage terminal. The pulse position varies with the modulating signal, since the threshold voltage and hence the time delay is varied. *Figure 11* shows the waveforms generated for a triangle wave modulation signal.

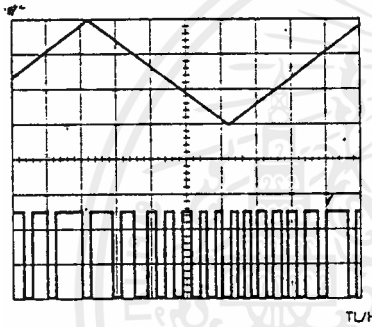
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)



TL/H/7851–14

FIGURE 10. Pulse Position Modulator



TL/H/7851–15

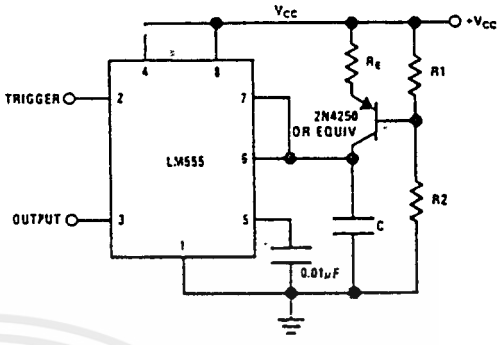
V_{CC} = 5V
TIME = 0.1 ms/DIV.
R_A = 3.9 kΩ
R_B = 3 kΩ
C = 0.01 μF

Top Trace: Modulation Input 1V/Div.
Bottom Trace: Output 2V/Div.

FIGURE 11. Pulse Position Modulator

LINEAR RAMP

When the pullup resistor, R_A, in the monostable circuit is replaced by a constant current source, a linear ramp is generated. *Figure 12* shows a circuit configuration that will perform this function.



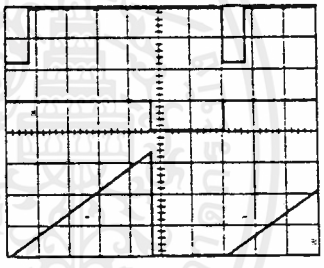
TL/H/7851–16

FIGURE 12

Figure 13 shows waveforms generated by the linear ramp. The time interval is given by:

$$T = \frac{2/3\, V_{CC}\, R_E\, (R_1 + R_2)\, C}{R_1\, V_{CC} - V_{BE}\, (R_1 + R_2)}$$

$$V_{BE} \cong 0.6V$$



TL/H/7851–17

V_{CC} = 5V
TIME = 20 μs/DIV.
R_1 = 47 kΩ
R_2 = 100 kΩ
R_E = 2.7 kΩ
C = 0.01 μF

Top Trace: Input 3V/Div.
Middle Trace: Output 5V/Div.
Bottom Trace: Capacitor Voltage 1V/Div.

FIGURE 13. Linear Ramp

50% DUTY CYCLE OSCILLATOR

For a 50% duty cycle, the resistors R_A and R_B may be connected as in *Figure 14*. The time period for the out-

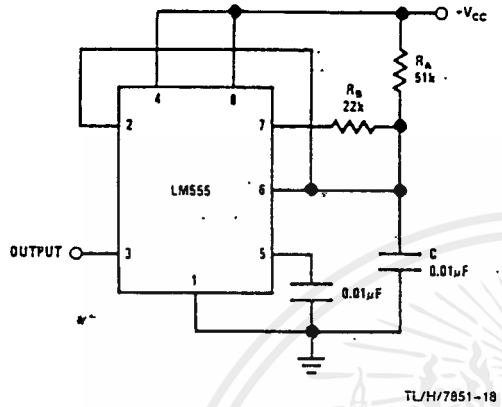
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

put-high is the same as previous, $t_1 = 0.693\ R_A\ C$. For the output low it is $t_2 =$

$$\left[(R_A\ R_B)/(R_A + R_B)\right] C\ \ell n \left[\frac{R_B - 2R_A}{2R_B - R_A}\right]$$

Thus the frequency of oscillation is $f = \dfrac{1}{t_1 + t_2}$



TL/H/7851–18

FIGURE 14. 50% Duty Cycle Oscillator

Note that this circuit will not oscillate if R_B is greater than 1/2 R_A because the junction of R_A and R_B cannot bring pin 2 down to 1/3 V_{CC} and trigger the lower comparator.

ADDITIONAL INFORMATION

Adequate power supply bypassing is necessary to protect associated circuitry. Minimum recommended is 0.1 μF in parallel with 1 μF electrolytic.

Lower comparator storage time can be as long as 10 μs when pin 2 is driven fully to ground for triggering. This limits the monostable pulse width to 10 μs minimum.

Delay time reset to output is 0.47 μs typical. Minimum reset pulse width must be 0.3 μs, typical.

Pin 7 current switches within 30 ns of the output (pin 3) voltage.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

LM741 Operational Amplifier

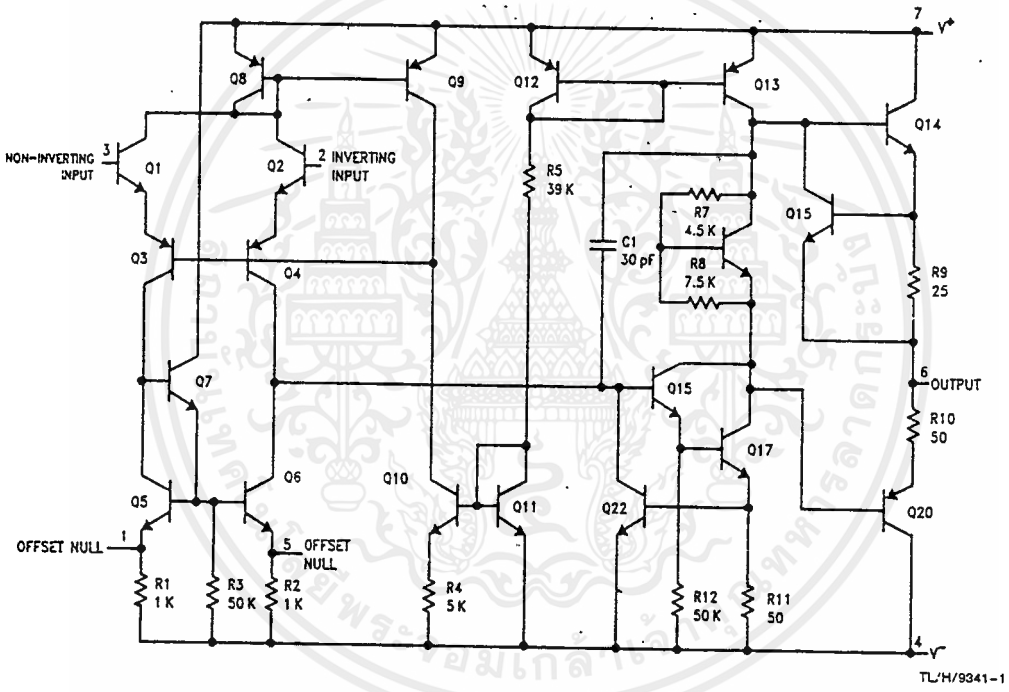
General Description

The LM741 series are general purpose operational amplifiers which feature improved performance over industry standards like the LM709. They are direct, plug-in replacements for the 709C, LM201, MC1439 and 748 in most applications.

The amplifiers offer many features which make their application nearly foolproof: overload protection on the input and output, no latch-up when the common mode range is exceeded, as well as freedom from oscillations.

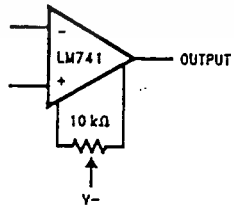
The LM741C/LM741E are identical to the LM741/LM741A except that the LM741C/LM741E have their performance guaranteed over a 0°C to +70°C temperature range, instead of −55°C to +125°C.

Schematic Diagram



TL/H/9341–1

Offset Nulling Circuit



TL/H/9341–7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

(Note 5)

	LM741A	LM741E	LM741	LM741C
Supply Voltage	±22V	±22V	±22V	±18V
Power Dissipation (Note 1)	500 mW	500 mW	500 mW	500 mW
Differential Input Voltage	±30V	±30V	±30V	±30V
Input Voltage (Note 2)	±15V	±15V	±15V	±15V
Output Short Circuit Duration	Continuous	Continuous	Continuous	Continuous
Operating Temperature Range	−55°C to +125°C	0°C to +70°C	−55°C to +125°C	0°C to +70°C
Storage Temperature Range	−65°C to +150°C	−65°C to +150°C	−65°C to +150°C	−65°C to +150°C
Junction Temperature	150°C	100°C	150°C	100°C
Soldering Information				
N-Package (10 seconds)	260°C	260°C	260°C	260°C
J- or H-Package (10 seconds)	300°C	300°C	300°C	300°C
M-Package				
Vapor Phase (60 seconds)	215°C	215°C	215°C	215°C
Infrared (15 seconds)	215°C	215°C	215°C	215°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD Tolerance (Note 6)	400V	400V	400V	400V

Electrical Characteristics (Note 3)

Parameter	Conditions	LM741A/LM741E			LM741			LM741C			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage	$T_A = 25°C$ $R_S \le 10\ k\Omega$ $R_S \le 50\Omega$		 0.8	 3.0		1.0	5.0		2.0	6.0	mV mV
	$T_{AMIN} \le T_A \le T_{AMAX}$ $R_S \le 50\Omega$ $R_S \le 10\ k\Omega$			4.0			 6.0			 7.5	mV mV
Average Input Offset Voltage Drift				15							µV/°C
Input Offset Voltage Adjustment Range	$T_A = 25°C, V_S = \pm 20V$	±10				±15			±15		mV
Input Offset Current	$T_A = 25°C$		3.0	30		20	200		20	200	nA
	$T_{AMIN} \le T_A \le T_{AMAX}$			70		85	500			300	nA
Average Input Offset Current Drift				0.5							nA/°C
Input Bias Current	$T_A = 25°C$		30	80		80	500		80	500	nA
	$T_{AMIN} \le T_A \le T_{AMAX}$			0.210			1.5			0.8	µA
Input Resistance	$T_A = 25°C, V_S = \pm 20V$	1.0	6.0		0.3	2.0		0.3	2.0		MΩ
	$T_{AMIN} \le T_A \le T_{AMAX}$, $V_S = \pm 20V$	0.5									MΩ
Input Voltage Range	$T_A = 25°C$							±12	±13		V
	$T_{AMIN} \le T_A \le T_{AMAX}$				±12	±13					V
Large Signal Voltage Gain	$T_A = 25°C, R_L \ge 2\ k\Omega$ $V_S = \pm 20V, V_O = \pm 15V$ $V_S = \pm 15V, V_O = \pm 10V$	50			 50	 200		 20	 200		V/mV V/mV
	$T_{AMIN} \le T_A \le T_{AMAX}$, $R_L \ge 2\ k\Omega$, $V_S = \pm 20V, V_O = \pm 15V$ $V_S = \pm 15V, V_O = \pm 10V$ $V_S = \pm 5V, V_O = \pm 2V$	 32 10			 25			 15			 V/mV V/mV V/mV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Note 3) (Continued)

Parameter	Conditions	LM741A/LM741E			LM741			LM741C			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Output Voltage Swing	$V_S = \pm 20V$ $R_L \geq 10\ k\Omega$ $R_L \geq 2\ k\Omega$	 ±16 ±15									 V V
	$V_S = \pm 15V$ $R_L \geq 10\ k\Omega$ $R_L \geq 2\ k\Omega$				±12 ±10	±14 ±13		±12 ±10	±14 ±13		V V
Output Short Circuit Current	$T_A = 25°C$ $T_{AMIN} \leq T_A \leq T_{AMAX}$	10 10	25	35 40		25			25		mA mA
Common-Mode Rejection Ratio	$T_{AMIN} \leq T_A \leq T_{AMAX}$ $R_S \leq 10\ k\Omega$, $V_{CM} = \pm 12V$ $R_S \leq 50\Omega$, $V_{CM} = \pm 12V$	 80	 95		 70	 90		 70	 90		 dB dB
Supply Voltage Rejection Ratio	$T_{AMIN} \leq T_A \leq T_{AMAX}$, $V_S = \pm 20V$ to $V_S = \pm 5V$ $R_S \leq 50\Omega$ $R_S \leq 10\ k\Omega$	 86	 96		 77	 96		 77	 96		 dB dB
Transient Response Rise Time Overshoot	$T_A = 25°C$, Unity Gain		 0.25 6.0	 0.8 20		 0.3 5			 0.3 5		 µs %
Bandwidth (Note 4)	$T_A = 25°C$	0.437	1.5								MHz
Slew Rate	$T_A = 25°C$, Unity Gain	0.3	0.7			0.5			0.5		V/µs
Supply Current	$T_A = 25°C$					1.7	2.8		1.7	2.8	mA
Power Consumption	$T_A = 25°C$ $V_S = \pm 20V$ $V_S = \pm 15V$		 80	 150		 50	 85		 50	 85	 mW mW
LM741A	$V_S = \pm 20V$ $T_A = T_{AMIN}$ $T_A = T_{AMAX}$			 165 135							 mW mW
LM741E	$V_S = \pm 20V$ $T_A = T_{AMIN}$ $T_A = T_{AMAX}$			 150 150							 mW mW
LM741	$V_S = \pm 15V$ $T_A = T_{AMIN}$ $T_A = T_{AMAX}$					 60 45	 100 75				 mW mW

Note 1: For operation at elevated temperatures, these devices must be derated based on thermal resistance, and T_j max. (listed under "Absolute Maximum Ratings"). $T_j = T_A + (\theta_{jA} P_D)$.

Thermal Resistance	Cerdip (J)	DIP (N)	HO8 (H)	SO-8 (M)
θ_{jA} (Junction to Ambient)	100°C/W	100°C/W	170°C/W	195°C/W
θ_{jC} (Junction to Case)	N/A	N/A	25°C/W	N/A

Note 2: For supply voltages less than ±15V, the absolute maximum input voltage is equal to the supply voltage.

Note 3: Unless otherwise specified, these specifications apply for $V_S = \pm 15V$, $-55°C \leq T_A \leq +125°C$ (LM741/LM741A). For the LM741C/LM741E, these specifications are limited to $0°C \leq T_A \leq +70°C$.

Note 4: Calculated value from: BW (MHz) = 0.35/Rise Time(µs).

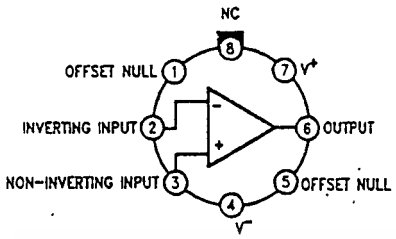
Note 5: For military specifications see RETS741X for LM741 and RETS741AX for LM741A.

Note 6: Human body model, 1.5 kΩ in series with 100 pF.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection Diagrams

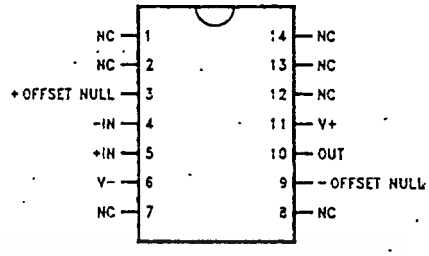
Metal Can Package



TL/H/9341–2

Order Number LM741H, LM741H/883*, LM741AH/883 or LM741CH
See NS Package Number H08C

Ceramic Dual-In-Line Package

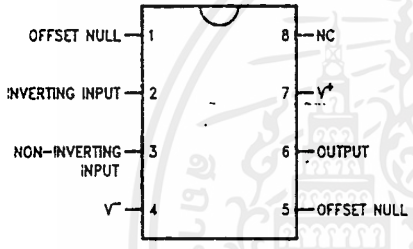


TL/H/9341–5

Order Number LM741J-14/883*, LM741AJ-14/883**
See NS Package Number J14A

*also available per JM38510/10101
**also available per JM38510/10102

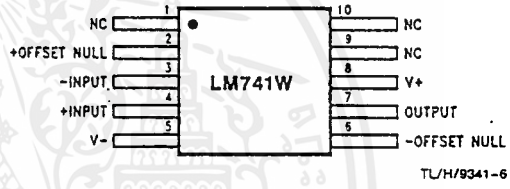
Dual-In-Line or S.O. Package



TL/H/9341–3

Order Number LM741J, LM741J/883, LM741CM, LM741CN or LM741EN
See NS Package Number J08A, M08A or N08E

Ceramic Flatpak



TL/H/9341–6

Order Number LM741W/883
See NS Package Number W10A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14495-1

CMOS MSI

(LOW-POWER COMPLEMENTARY MOS)

HEXADECIMAL-TO-SEVEN SEGMENT LATCH/DECODER LED DRIVER

HEXADECIMAL-TO-SEVEN SEGMENT LATCH/ DECODER LED DRIVER

The MC14495-1 is constructed with CMOS enhancement-mode devices and NPN bipolar output drivers in a monolithic structure. The circuit provides the functions of a 4-bit storage latch. The decoder is implemented utilizing a mask-programmable ROM. With a 5-volt power supply, it can be used without resistor interface to drive seven segment LEDs. The series output resistors of, typically, 290 ohms are internal to the device.

Applications include MPU systems display driver, instrument display driver, computer/calculator display driver, clockpit display driver, and various clock, watch, and timer uses.

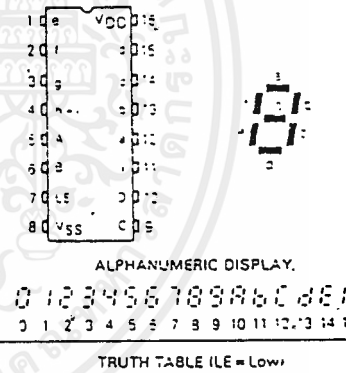
- Low Logic-Circuit Power Dissipation
- High Current-Sourcing Outputs with Internal Limiting Resistors
- Latch Storage of Code
- Supply Voltage Range = 4.5 to 18 V
- CMOS Input Switching Levels
- Standard ROM Provides Hex-to-Seven Segment Decoding
- Other ROM Options Available Upon Request (Contact your Motorola Sales Office)
- Chip Complexity: 187 FETs plus 9 NPNs or 49 Equivalent Gates

P SUFFIX
PLASTIC DIP
CASE 648

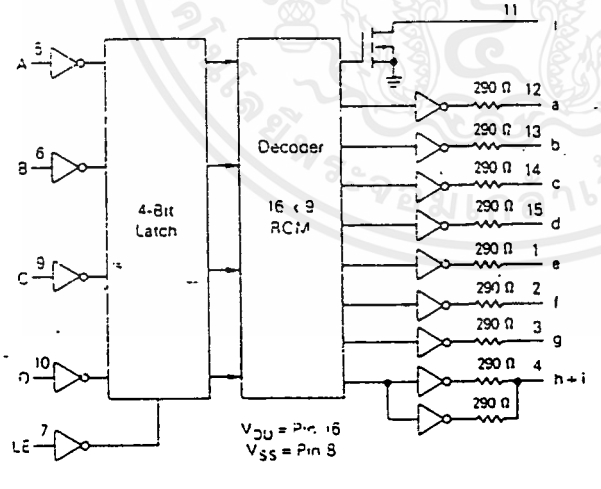
DW SUFFIX
SOG
CASE 751G

ORDERING INFORMATION

MC14495P1	Plastic DIP
MC14495DW1	SOG Package



BLOCK DIAGRAM



TRUTH TABLE (LE = Low)

INPUTS				OUTPUTS								
D	C	B	A	a	b	c	d	e	f	g	h+i	DISPLAY
0	0	0	0	1	1	1	1	1	1	0	0	0
0	0	0	1	0	1	1	0	0	0	0	0	1
0	0	1	0	1	1	0	1	1	0	1	0	2
0	0	1	1	1	1	1	1	0	0	1	0	3
0	1	0	0	0	1	1	0	0	1	1	0	4
0	1	0	1	1	0	1	1	0	1	1	0	5
0	1	1	0	1	0	1	1	1	1	1	0	6
0	1	1	1	1	1	1	0	0	0	0	0	7
1	0	0	0	1	1	1	1	1	1	1	0	8
1	0	0	1	1	1	1	1	0	1	1	0	9
1	0	1	0	1	1	1	0	1	1	1	1	A
1	0	1	1	0	0	1	1	1	1	1	1	b
1	1	0	0	1	0	0	1	1	1	0	1	C
1	1	0	1	0	1	1	1	1	0	1	1	d
1	1	1	0	1	0	0	1	1	1	1	1	E
1	1	1	1	1	0	0	0	1	1	1	1	F

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (Voltages referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to +18	V
Input Voltage, All Inputs	V_{in}	-0.5 to V_{DD} +0.5	V
DC Current Drain per Input Pin	I	10	mA
Operating Temperature Range	T_A	-40 to +85	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C
Maximum Continuous Output Power (Source) per Output @ 25°C Pins 1, 2, 3, 12, 13, 14, 15 Pin 4	P_{OHmax}*	 50 100	mW

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \leq (V_{in}$ or $V_{out}) \leq V_{DD}$.

* $P_{OHmax} = I_{OH}(V_{DD}-V_{OH})$

ELECTRICAL CHARACTERISTICS (Voltages referenced to V_{SS})

Characteristic	Symbol	V_{DD} V	-40°C Min	-40°C Max	25°C Min	25°C Typ#	25°C Max	85°C Min	85°C Max	Unit
Input Voltage "0" Level	V_{IL}									V
(V_O = 3.8 or 0.5 V)		5	–	1.5	–	2.25	1.5	–	1.5	
(V_O = 8.8 or 1.0 V)		10	–	3.0	–	4.50	3.0	–	3.0	
(V_O = 13.8 or 1.5 V)		15	–	4.0	–	6.00	4.0	–	4.0	
(V_O = 0.5 or 3.8 V) "1" Level	V_{IH}	5	3.5	–	3.5	2.75	–	3.5	–	V
(V_O = 1.0 or 8.8 V)		10	7.0	–	7.0	5.50	–	7.0	–	
(V_O = 1.5 or 13.5 V)		15	11.0	–	11.0	8.25	–	11.0	–	
Output Voltage: a – g, h = 1	V_{OL}	5	–	0.1	–	0	0.05	–	0.05	V
V_{in} = V_{DD} or 0, I_{out} = 0 μA		10	–	0.1	–	0	0.05	–	0.05	
		15	–	0.1	–	0	0.05	–	0.05	
Output Drive Voltage: a – g, h = 1	V_{OH}	5								V
(I_{OH} = 0 mA)			4.0	–	4.0	4.8	–	4.0	–	
(I_{OH} = 5 mA)			2.45	–	2.4	3.0	–	2.05	–	
(I_{OH} = 10 mA)			1.3	–	0.8	1.7	–	–	–	
(I_{OH} = 0 mA)		10	9.0	–	9.0	9.8	–	9.0	–	V
(I_{OH} = 5 mA)			7.4	–	7.2	9.0	–	6.9	–	
(I_{OH} = 10 mA)			6.4	–	5.8	6.7	–	5.0	–	
(I_{OH} = 15 mA)			5.3	–	4.4	5.3	–	3.05	–	
(I_{OH} = 0 mA)		15	14.0	–	14.0	14.8	–	14.0	–	V
(I_{OH} = 5 mA)			12.2	–	12.0	13.0	–	11.7	–	
(I_{OH} = 10 mA)			10.9	–	10.4	11.7	–	9.6	–	
(I_{OH} = 15 mA)			9.7	–	8.8	10.3	–	7.45	–	
(I_{OH} = 20 mA)			8.5	–	7.2	8.8	–	5.25	–	
(I_{OH} = 25 mA)			7.4	–	5.6	7.1	–	3.0	–	
Output Sink Current:	I_{OL}									mA
(V_{OL} = 0.4 V)		5	–	–	0.3	1.00	–	–	–	
(V_{OL} = 0.5 V)		10	–	–	–	–	–	–	–	
(V_{OL} = 1.5 V)		15	–	–	0.5	1.25	–	–	–	
Input Current (L Device)	I_{in}	15	–	±0.1	–	±0.00001	±0.1	–	±1.0	μA
Input Current (P Device)	I_{in}	15	–	±0.3	–	±0.00001	±0.3	–	±1.0	μA
Input Capacitance	C_{in}	–	–	–	–	5.0	7.5	–	–	pF
Quiescent Current	I_{DD}	5	–	0.3	–	0.08	0.25	–	0.2	mA
(V_{in} = 0 or V_{DD}, I_{out} = 0 μA		10	–	1.5	–	0.40	1.25	–	1.0	
(Per Package)		15	–	3.0	–	0.85	2.50	–	2.0	
Total Supply Current**†	I_T	5	$I_T = (1.9\ \mu A/kHz)f + I_{DD}$							μA
(Dynamic plus Quiescent,		10	$I_T = (3.8\ \mu A/kHz)f + I_{DD}$							
Per Package)		15	$I_T = (5.7\ \mu A/kHz)f + I_{DD}$							
(C_L = 50 pF on all outputs, all buffers switching)										

† To calculate total supply current at loads other than 50 pF: $I_T(C_L) = I_T(50\ pF) + 3.5 \times 10^{-3}(C_L - 50)\ V_{DD}f$

where: I_T is in μA (per package), C_L in pF, V_{DD} in V, and f in kHz is input frequency.

** The formulas given are for the typical characteristics only at 25°C.

Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

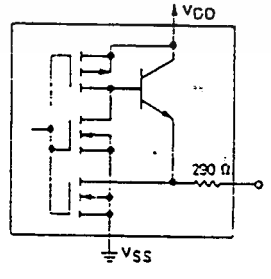
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING CHARACTERISTICS (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD} V	Min	Typ[#]	Max	Unit
Output Rise Time, a – g, h → Outputs (Figure 1)	t_{TLH}					ns
		5	–	210	450	
		10	–	145	300	
		15	–	80	200	
Output Fall Time, a – g, h → Outputs (Figure 1)	t_{THL}					μs
		5	–	1.5	3.5	
		10	–	1.3	2.75	
		15	–	1.1	2.25	
Output Fall Time, j Output (Figures 3 and 4)	t_{THL}					ns
		5	–	105	250	
		10	–	40	100	
		15	–	30	75	
Propagation Delay Time, A, B, C, D to a – g, h → Outputs (Figure 2)	t_{PLH}					ns
		5	–	935	2400	
		10	–	340	900	
		15	–	230	500	
	t_{PHL}	5	–	7.0	18.0	μs
		10	–	3.5	9.0	
		15	–	2.0	5.0	
Propagation Delay Time, A, B, C, D to j Output (Figures 3 and 4)	t_{PLZ}					μs
		5	–	11.0	25.0	
		10	–	8.0	20.0	
		15	–	4.0	10.0	
	t_{PZL}	5	–	800	1500	ns
		10	–	400	1000	
		15	–	200	500	
Propagation Delay Time, LE to a – g, h → Outputs (Figure 5)	t_{PLH}					ns
		5	–	1300	3000	
		10	–	500	1500	
		15	–	350	1000	
	t_{PHL}	5	–	16.0	30.0	μs
		10	–	8.0	15.0	
		15	–	5.0	10.0	
Propagation Delay Time, LE to j Output (Figures 4 and 6)	t_{PLZ}					μs
		5	–	14.0	30	
		10	–	8.0	20	
		15	–	6.0	15	
	t_{PZL}	5	–	10.0	25	μs
		10	–	5.0	15	
		15	–	4.0	10	
Setup Time, A, B, C, D to LE (Figure 7)	t_{su}	5	100	35	–	ns
		10	65	25	–	
		15	65	25	–	
Hold Time, LE to A, B, C, D (Figure 7)	t_h	5	125	45	–	ns
		10	75	30	–	
		15	75	35	–	
Latch Enable Pulse Width, LE (Figure 7)	t_w	5	525	210	–	ns
		10	200	80	–	
		15	140	55	–	

[#]Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

OUTPUT CIRCUIT
(Except Pin 11)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INPUT/OUTPUT FUNCTIONS

SEGMENT DRIVER (a, b, c, d, e, f, g, h + i; PINS 12, 13, 14 15, 1, 2, 3, 4)

The segment drivers are emitter-follower NPN transistors To limit the output current, a resistor, typically 290 ohms, is integrated internally at each output. Therefore, external resistors are not necessary when driving an LED at the supply voltage of V_{DD} = 5.0 volts

OUTPUT (j; PIN 11)

This open-drain output is activated (goes low) whenever inputs A, B, C, and D are all set to a logic one. Otherwise the output is in the high-impedance state. See the truth table.

INPUT DATA (A, B, C, D; PINS 5, 6, 9, 10)

The inputs A, B, C, and D are fed to a 4-bit latch which is controlled by the Latch Enable input

LATCH ENABLE (LE; PIN 7)

The data on inputs A, B, C and D will pass through the latch and will be decoded immediately when LE is low. In this mode of operation the circuit is performing the function of a conventional decoder/driver. The data may be loaded into the latch when LE = low and will be latched with the rising edge of LE. The data will remain stored as long as LE is high.

SWITCHING WAVEFORMS

Figure 1

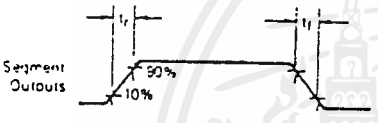


Figure 2

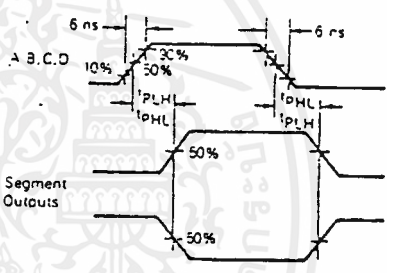


Figure 3

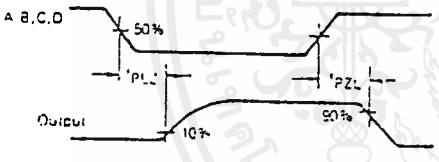


Figure 4

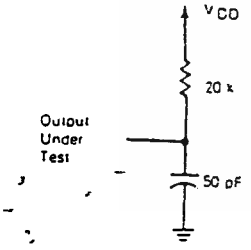
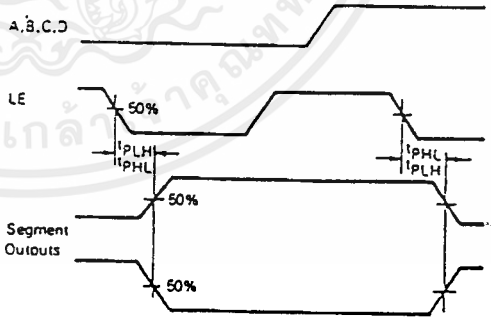


Figure 5



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING WAVEFORMS

Figure 6

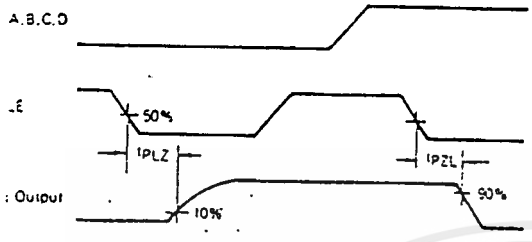
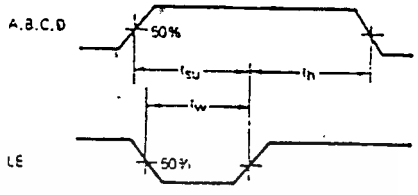
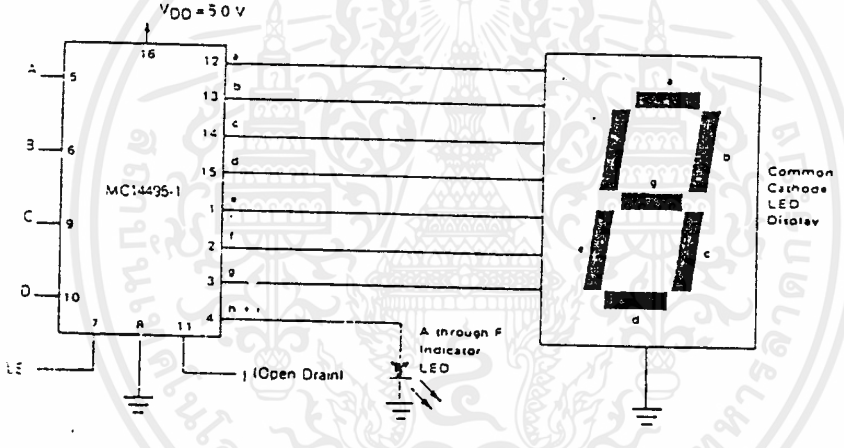


Figure 7



TYPICAL CIRCUIT @ V_{DD} = 5.0 V



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

TL494
TL495

Specifications and Applications Information

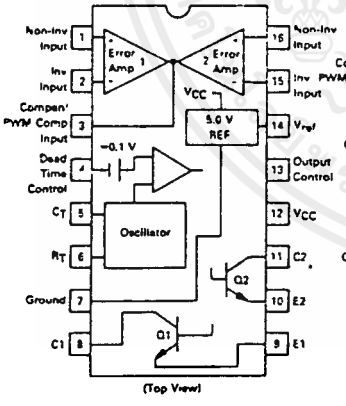
SWITCHMODE PULSE WIDTH MODULATION CONTROL CIRCUITS

The TL494 and TL495 are fixed frequency, pulse width modulation control circuits designed primarily for Switchmode power supply control. These devices feature:

- Complete Pulse Width Modulation Control Circuitry
- On-Chip Oscillator With Master Or Slave Operation
- On-Chip Error Amplifiers
- On-Chip 5 Volt Reference
- Adjustable Dead-Time Control
- Uncommitted Output Transistors For 200 mA Source Or Sink
- Output Control For Push-Pull Or Single-Ended Operation
- On-Chip 39 Volt Zener (TL495 Only)
- Output Steering Control (TL495 Only)

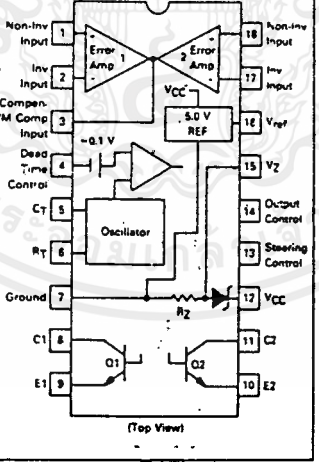
PIN CONNECTIONS

TL494



(Top View)

TL495



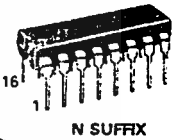
(Top View)

The TL494C/495C are specified over the commercial operating range of 0°C to 70°C. The TL494I/495I are specified over the industrial range of −25°C to 85°C. The TL494M is specified over the full military range of −55°C to 125°C.

SWITCHMODE PULSE WIDTH MODULATION CONTROL CIRCUITS

SILICON MONOLITHIC INTEGRATED CIRCUITS

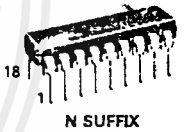
TL494



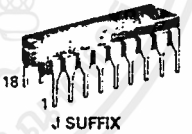
N SUFFIX
PLASTIC PACKAGE
CASE 648-05

J SUFFIX
CERAMIC PACKAGE
CASE 620-02

TL495



N SUFFIX
PLASTIC PACKAGE
CASE 707-02



J SUFFIX
CERAMIC PACKAGE
CASE 726-01

ORDERING INFORMATION

Device	Temperature Range	Package
TL494CN	0 To 70°C	Plastic DIP
TL494CJ	0 To 70°C	Ceramic DIP
TL494IN	−25 To 85°C	Plastic DIP
TL494IJ	−25 To 85°C	Ceramic DIP
TL494MJ	−55 To 125°C	Ceramic DIP
TL495CN	0 To 70°C	Plastic DIP
TL495CJ	0 To 70°C	Ceramic DIP
TL495IN	−25 To 85°C	Plastic DIP
TL495IJ	−25 To 85°C	Ceramic DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Description

The TL494 495 are fixed-frequency pulse width modulation control circuit, incorporating the primary building blocks required for the control of a switching power supply. (See Figure 1.) An internal-linear sawtooth oscillator is frequency-programmable by two external components, R_T and C_T. The oscillator frequency is determined by:

$$f_{osc} \approx \frac{1.1}{R_T \bullet C_T}$$

Output pulse width modulation is accomplished by comparison of the positive sawtooth waveform across capacitor C_T to either of two control signals. The NOR gates, which drive output transistors Q1 and Q2, are enabled only when the flip-flop clock-input line is in its low state. This happens only during that portion of time when the sawtooth voltage is greater than the control signals. Therefore, an increase in control-signal amplitude causes a corresponding linear decrease of output pulse width. (Refer to the timing diagram shown in Figure 2.)

The control signals are external inputs that can be fed into the dead-time control, the error amplifier inputs, or the feedback input. The dead-time control comparator has an effective 120 mV input offset which limits the minimum output dead time to approximately the first 4% of the sawtooth-cycle time. This would result in a maximum duty cycle on a given output of 96% with the output control grounded, and 48% with it connected to the reference line. Additional dead time may be imposed on the output by setting the dead time-control input to a fixed voltage, ranging between 0 to 3.3 V.

The pulse width modulator comparator provides a means for the error amplifiers to adjust the output pulse width from the maximum percent on-time, established by the dead time control input, down to zero, as the voltage at the feedback pin varies from 0.5 to 3.5 V. Both error amplifiers have a common-mode input range from − 0.3 V to (V_{CC} − 2 V), and may be used to sense power-supply output voltage and current. The error-amplifier outputs are active high and are ORed together at the non-inverting input of the pulse-width modulator comparator. With this configuration, the amplifier that demands minimum output on time, dominates control of the loop.

When capacitor C_T is discharged, a positive pulse is generated on the output of the dead-time comparator, which clocks the pulse-steering flip-flop and inhibits the output transistors, Q1 and Q2. With the output-control connected to the reference line, the pulse-steering flip-flop directs the modulated pulses to each of the two output transistors alternately for push-pull operation. The output frequency is equal to half that of the oscillator. Output drive can also be taken from Q1 or Q2, when single-ended operation with a maximum on-time of less than 50% is required. This is desirable when the output transformer has a ringback winding with a catch diode used for snubbing. When higher output-drive currents are required for single-ended operation, Q1 and Q2 may be connected in parallel, and the output-mode pin must be tied to ground to disable the flip-flop. The output frequency will now be equal to that of the oscillator.

The TL494,495 has an internal 5.0 V reference capable of sourcing up to 10 mA of load current for external bias circuits. The reference has an accuracy of ± 5% with a thermal drift of less than 50 mV over an operating temperature range of 0 to 70°C.

The TL495 contains an on-chip 39 volt zener diode for high voltage applications where V_{CC} is greater than 40 volts, and an output steering control that overrides the internal control of the pulse-steering flip-flop. (Refer to the functional table shown in Figure 3.)

FIGURE 3 — FUNCTIONAL TABLE

Inputs		Output Function	$\frac{f_{out}}{f_{osc}}$ =
Output Control	Steering Control		
Grounded	Open	Single-ended P.W.M. at Q1 and Q2	1
At V_{ref}	Open	Push-pull operation	0.5
At V_{ref}	V1 <0.4 V	Single-ended P.W.M. at Q1 only	1
At V_{ref}	V1 >2.4 V	Single-ended P.W.M. at Q2 only	1

See Engineering Bulletin EB100 for further information.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (Full operating ambient temperature range applies unless otherwise noted.)

Rating	Symbol	TL494M	TL494I/TL495I	TL494C/TL495C	Unit
Power Supply Voltage	V_{CC}	42	42	42	V
Collector Output Voltage	V_{C1}, V_{C2}	42	42	42	V
Collector Output Current (each transistor)	I_{C1}, I_{C1}	250	250	250	mA
Amplifier Input Voltage	V_{in}	V_{CC} + 3.0	V_{CC} + 3.0	V_{CC} + 3.0	V
Power Dissipation @ $T_A \leq 45°C$	P_D	1000	1000	1000	mW
Operating Junction Temperature	T_J	150	150	150	°C
Operating Ambient Temperature Range	T_A	−55 to 125	−25 to 85	0 to 70	°C
Storage Temperature Range	T_{stg}	−65 to +150	−65 to +150	−65 to +150	°C

THERMAL CHARACTERISTICS

Characteristics	Symbol	J Suffix Ceramic Package	N Suffix Plastic Package	Unit
Thermal Resistance, Junction to Ambient	$R_{\theta JA}$	100	80	°C/W
Power Derating Factor	$1/R_{\theta JA}$	10.0	12.5	mW/°C
Derating Ambient Temperature	T_A	50	45	°C

RECOMMENDED OPERATING CONDITIONS

Condition/Value	Symbol	TL494/TL495			Unit
		Min	Typ	Max	
Power Supply Voltage	V_{CC}	7.0	15	40	V
Collector Output Voltage	V_{C1}, V_{C2}	—	30	40	V
Collector Output Current (each transistor)	I_{C1}, I_{C2}	—	—	200	mA
Amplifier Input Voltage	V_{in}	−0.3	—	V_{CC} − 2.0	V
Current Into Feedback Terminal	$I_{f.b.}$	—	—	0.3	mA
Reference Output Current	I_{ref}	—	—	10	mA
Timing Resistor	R_T	1.8	30	500	kΩ
Timing Capacitor	C_T	0.47	1.0	10,000	nF
Oscillator Frequency	f_{osc}	1.0	40	200	kHz

ELECTRICAL CHARACTERISTICS (V_{CC} = 15 V, f_{osc} = 10 kHz unless otherwise noted.)
For typical values T_A = 25°C, for min max values T_A is the operating ambient temperature range that applies unless otherwise noted.

Characteristic	Symbol	TL494M			TL494C, I/TL495C,I			Unit
		Min	Typ	Max	Min	Typ	Max	
REFERENCE SECTION								
Reference Voltage (I_O = 1.0 mA)	V_{ref}	4.75	5.0	5.25	4.75	5.0	5.25	V
Reference Voltage Change with Temperature (ΔT_A = Min to Max)	ΔV_{ref} (ΔT)	—	0.2	2.0	—	1.3	2.6	%
Input Regulation (V_{CC} = 7.0 V to 40 V)	Regline	—	2.0	25	—	2.0	25	mV
Output Regulation (I_O = 1.0 mA to 10 mA)	Regload	—	3.0	15	—	3.0	15	mV
Short-Circuit Output Current (V_{ref} = 0 V, T_A = 25°C)	I_{SC}	10	35	50	—	35	—	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (V_{CC} = 15 V, f_{osc} = 10 kHz unless otherwise noted.)
For typical values T_A = 25°C, for min/max values T_A is the operating ambient temperature range that applies unless otherwise noted.

Characteristic	Symbol	TL494M			TL494C, I/TL495C, I			Unit
		Min	Typ	Max	Min	Typ	Max	
OUTPUT SECTION								
Collector Off-State Current (V_{CC} = 40 V, V_{CE} = 40 V)	$I_{C(off)}$	—	2.0	100	—	2.0	100	μA
Emitter Off-State Current (V_{CC} = 40 V, V_C = 40 V, V_E = 0 V)	$I_{E(off)}$	—	—	−150	—	—	−100	μA
Collector-Emitter Saturation Voltage Common-Emitter (V_E = 0 V, I_C = 200 mA)	$V_{sat(C)}$	—	1.1	1.5	—	1.1	1.3	V
Emitter-Follower (V_C = 15 V, I_E = −200 mA)	$V_{sat(E)}$	—	1.5	2.5	—	1.5	2.5	V
Output Control Pin Current Low State (V_{OC} ≤ 0.4 V)	I_{OCL}	—	10	—	—	10	—	μA
High State (V_{OC} = V_{ref})	I_{OCH}	—	0.2	−3.5	—	0.2	3.5	mA
Output Voltage Rise Time (T_A = 25°C) Common-Emitter (See Figure 13)	t_r	—	100	200	—	100	200	ns
Emitter-Follower (See Figure 14)		—	100	200	—	100	200	ns
Output Voltage Fall Time (T_A = 25°C) Common-Emitter (See Figure 13)	t_f	—	25	100	—	25	100	ns
Emitter-Follower (See Figure 14)		—	40	100	—	40	100	ns

Characteristic	Symbol	TL494 TL495			Unit
		Min	Typ	Max	
ERROR AMPLIFIER SECTIONS					
Input Offset Voltage (V_O (Pin 3) = 2.5 V)	V_{IO}	—	2.0	10	mV
Input Offset Current (V_O (Pin 3) = 2.5 V)	I_{IO}	—	5.0	250	nA
Input Bias Current (V_O (Pin 3) = 2.5 V)	I_{IB}	—	0.1	1.0	μA
Input Common-Mode Voltage Range (V_{CC} = 7.0 V to 40 V)	V_{ICR}	−0.3	—	V_{CC} − 2.0	V
Open-Loop Voltage Gain (ΔV_O = 3.0 V, V_O = 0.5 to 3.5 V, R_L = 2.0 kΩ)	A_{VOL}	70	95	—	dB
Unity-Gain Crossover Frequency (V_O = 0.5 to 3.5 V, R_L = 2.0 kΩ)	f_C	—	350	—	kHz
Phase Margin at Unity-Gain (V_O = 0.5 to 3.5 V, R_L = 2.0 kΩ)	θ_m	—	65	—	deg.
Common-Mode Rejection Ratio (V_{CC} = 40 V)	CMRR	65	90		dB
Power Supply Rejection Ratio (ΔV_{CC} = 33 V, V_O = 2.5 V, R_L = 2.0 kΩ)	PSRR	—	100	—	dB
Output Sink Current (V_O (Pin 3) = 0.7 V)	I_O-	0.3	0.7	—	mA
Output Source Current (V_O (Pin 3) = 3.5 V)	I_O+	−2.0	−4.0	—	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (V_{CC} = 15 V, f_{osc} = 10 xHz unless otherwise noted.)
For typical values T_A = 25°C, for min/max values T_A is the operating ambient temperature range that applies unless otherwise noted.

Characteristic	Symbol	TL494/TL495 Min	Typ	Max	Unit
PWM COMPARATOR SECTION (Test Circuit Figure 12)					
Input Threshold Voltage (Zero duty cycle)	V_{TH}	—	3.5	4.5	V
Input Sink Current ($V_{(Pin\ 3)}$ = 0.7 V)	I_{I-}	0.3	0.7	—	mA
DEAD-TIME CONTROL SECTION (Test Circuit Figure 12)					
Input Bias Current (Pin 4) (V_{in} = 0 to 5.25 V)	$I_{IB\ (DT)}$	—	−2.0	−10	μA
Maximum Duty Cycle, Each Output, Push-Pull Mode (V_{in} = 0 V, C_T = 0.1 μF, R_T = 12 kΩ) (V_{in} = 0 V, C_T = 0.001 μF, R_T = 30 kΩ)	DC_{max}	 45 —	 48 45	 50 50	%
Input Threshold Voltage (Pin 4) (Zero Duty Cycle) (Maximum Duty Cycle)	V_{TH}	 — 0	 2.8 —	 3.3 —	V
OSCILLATOR SECTION					
Frequency (C_T = 0.001 μF, R_T = 30 kΩ)	f_{osc}	—	40	—	kHz
Standard Deviation of Frequency* (C_T = 0.001 μF, R_T = 30 kΩ)	σf_{osc}	—	3.0	—	%
Frequency Change with Voltage (V_{CC} = 7.0 V to 40 V, T_A = 25°C)	$\Delta f_{osc}\ (\Delta V)$	—	0.1	—	%
Frequency Change with Temperature (ΔT_A = T_{low} to T_{high}) (T = 0.01 μF, R_T = 12 k)	$\Delta f_{osc}\ (\Delta T)$	—	—	12	%

Characteristic	Symbol	TL495 Min	Typ	Max	Unit
STEERING CONTROL					
Input Current Low ($V_{(Pin\ 13)}$ = 0.4 V)	I_{STL}	—	−25	−200	μA
Input Current High ($V_{(Pin\ 13)}$ = 2.4 V) ($V_{(Pin\ 13)}$ = V_{ref})	I_{STH}	 — —	 25 75	 200 —	μA
ZENER CHARACTERISTICS					
Zener Breakdown Voltage (I_Z = 2.0 mA)	V_Z	—	39	—	V
Sink Current ($V_{(Pin\ 15)}$ = 1.0 V)	I_{RZ}	—	0.3	—	mA
TOTAL DEVICE					
Standby Supply Current (Pin 6 at V_{ref}, All Other Inputs and Outputs Open) (V_{CC} = 15 V) (V_{CC} = 40 V)	I_{CC}	 — —	 5.5 7.0	 10 15	mA
Average Supply Current ($V_{(Pin\ 4)}$ = 2.0 V) (See Figure 12.) (C_T = 0.001, R_T = 12 kΩ, V_{CC} = 15 V)	—	—	7.0	—	mA

* Standard deviation is a measure of the statistical distribution about the mean as derived from the formula, $\sigma = \sqrt{\frac{\sum_{n=1}^{N} (X_n - \bar{X})^2}{N-1}}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 4 — OSCILLATOR FREQUENCY versus TIMING RESISTANCE

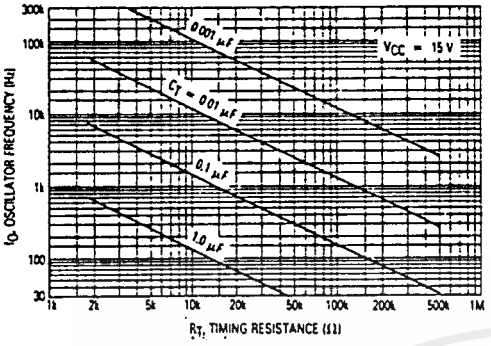


FIGURE 5 — OPEN LOOP VOLTAGE GAIN AND PHASE versus FREQUENCY

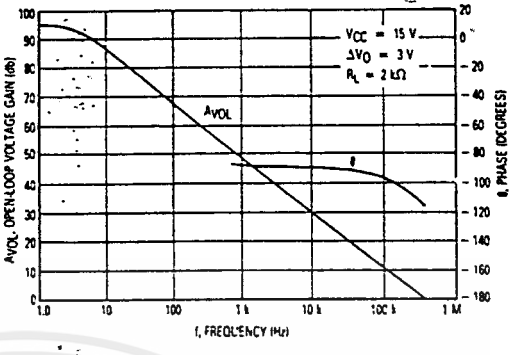


FIGURE 6 — PERCENT DEAD TIME versus OSCILLATOR FREQUENCY

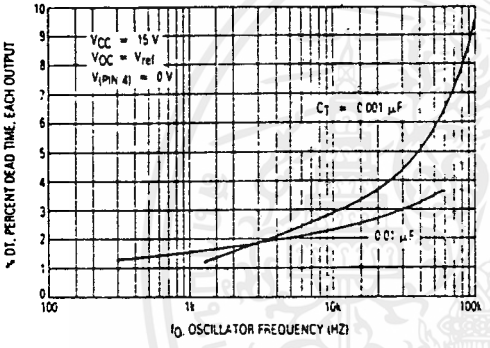


FIGURE 7 — PERCENT DUTY CYCLE versus DEAD-TIME CONTROL VOLTAGE

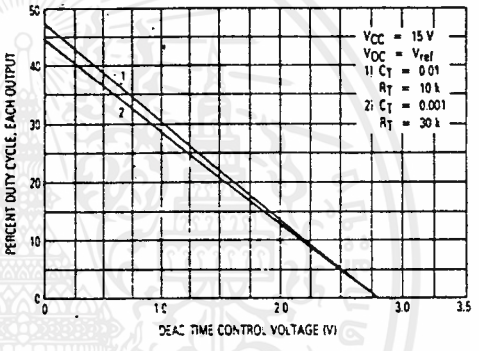


FIGURE 8 — EMITTER-FOLLOWER CONFIGURATION, OUTPUT-SATURATION VOLTAGE versus EMITTER CURRENT

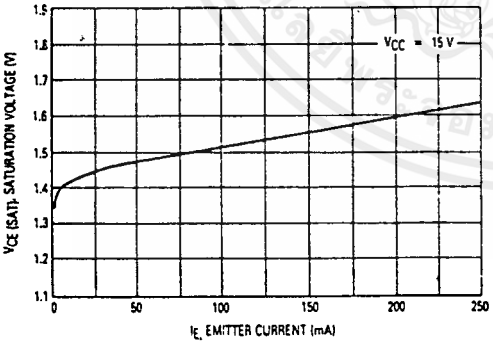
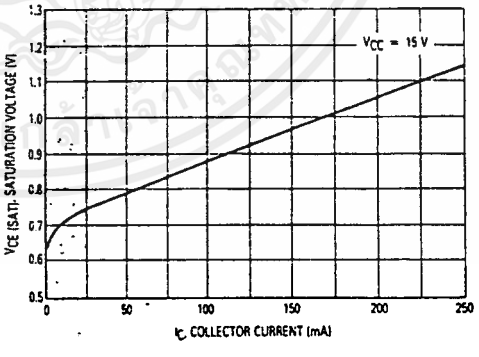


FIGURE 9 — COMMON-EMITTER CONFIGURATION OUTPUT-SATURATION VOLTAGE versus COLLECTOR CURRENT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 10 — STANDBY-SUPPLY CURRENT versus SUPPLY VOLTAGE

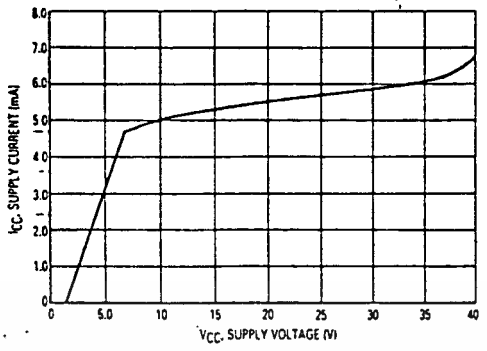


FIGURE 11 — ERROR AMPLIFIER CHARACTERISTICS

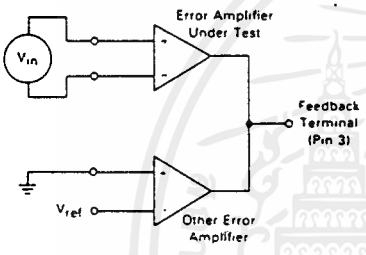


FIGURE 12 — DEAD-TIME AND FEEDBACK CONTROL TEST CIRCUIT

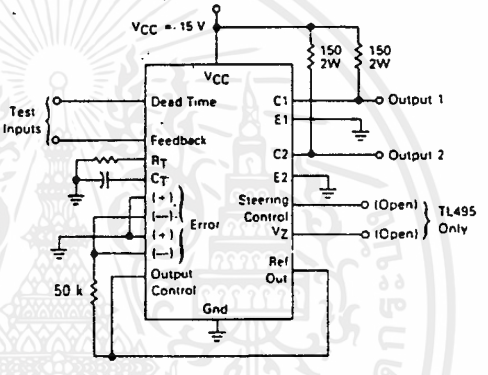


FIGURE 13 — COMMON-EMITTER CONFIGURATION TEST CIRCUIT AND WAVEFORM

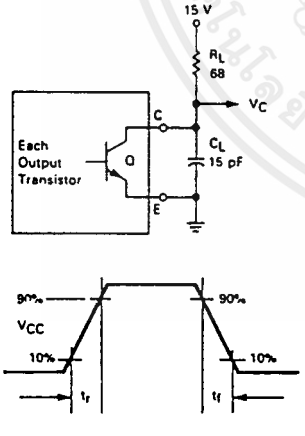
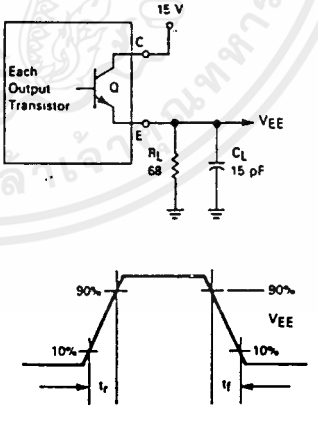
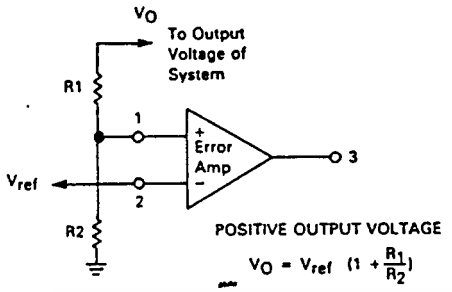


FIGURE 14 — EMITTER-FOLLOWER CONFIGURATION TEST CIRCUIT AND WAVEFORM



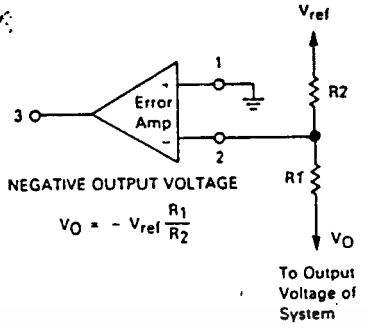
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 15 — ERROR-AMPLIFIER SENSING TECHNIQUES



POSITIVE OUTPUT VOLTAGE

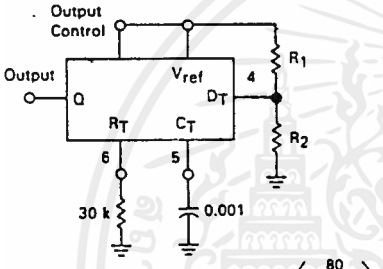
$$V_O = V_{ref}\ (1 + \frac{R_1}{R_2})$$



NEGATIVE OUTPUT VOLTAGE

$$V_O = -V_{ref}\frac{R_1}{R_2}$$

FIGURE 16 — DEAD-TIME CONTROL CIRCUIT



Max % on Time, Each Output = $45 - \left(\frac{80}{1 + \frac{R_1}{R_2}}\right)$

FIGURE 17 — SOFT-START CIRCUIT

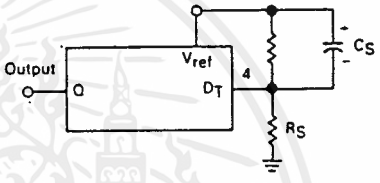
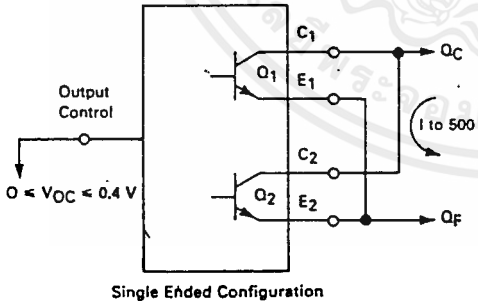
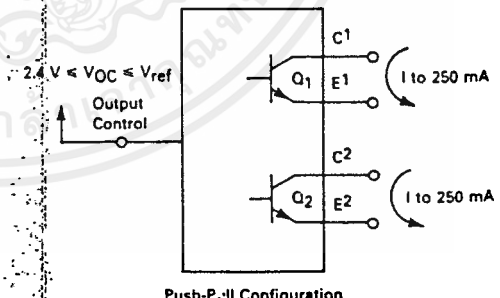


FIGURE 18 — OUTPUT CONNECTIONS FOR SINGLE-ENDED AND PUSH-PULL CONFIGURATIONS



Single Ended Configuration



Push-Pull Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 19 — SLAVING TWO OR MORE CONTROL CIRCUITS

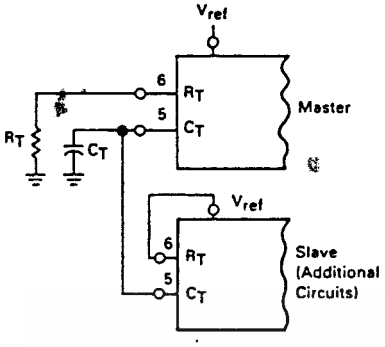


FIGURE 20 — OPERATION WITH V_{IN} > 40 V USING INTERNAL ZENER (TL495 ONLY)

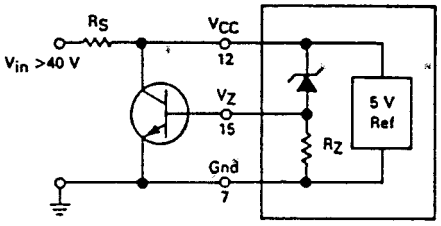
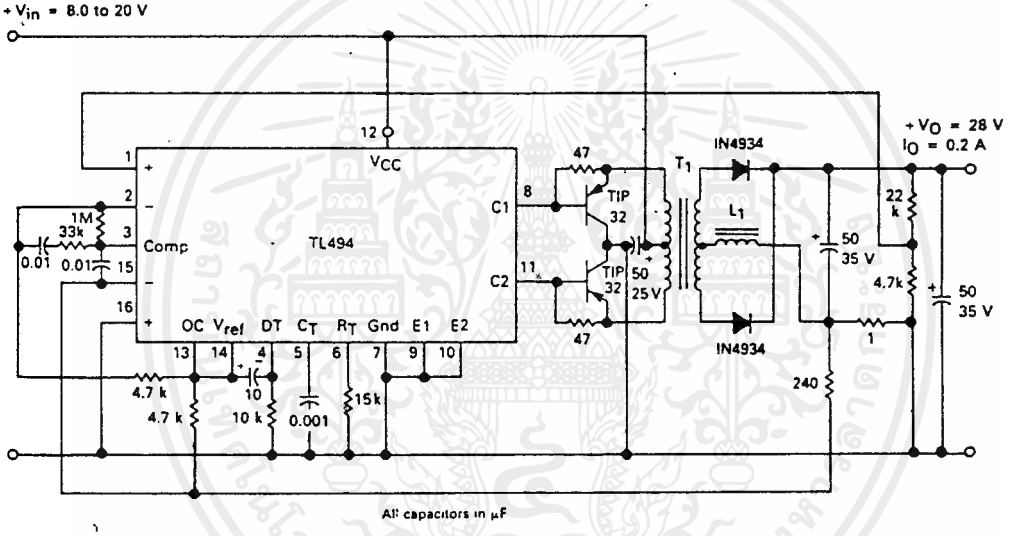


FIGURE 21 — PULSE-WIDTH MODULATED PUSH-PULL CONVERTER

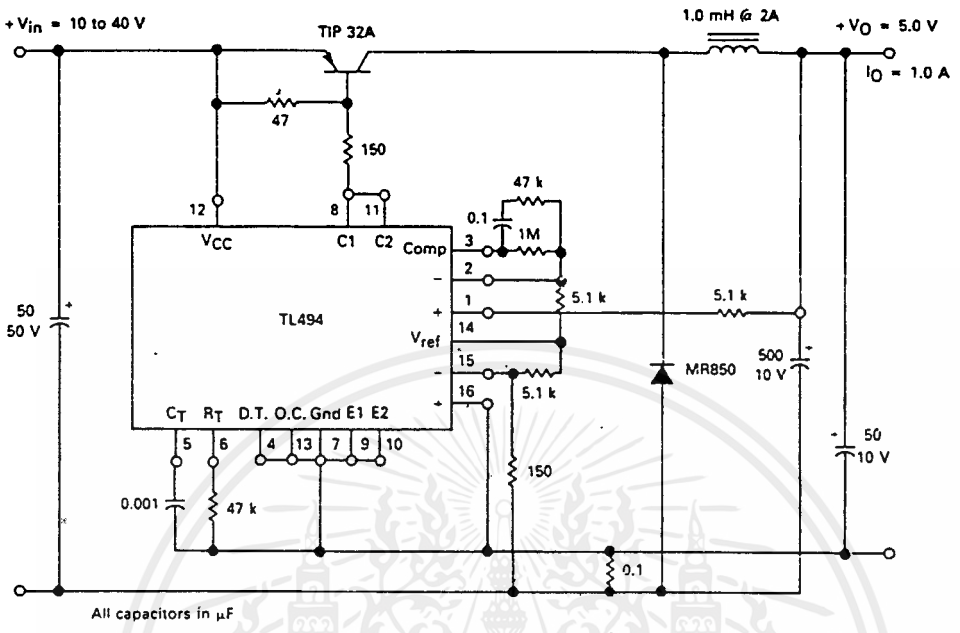


L1 — 3.5 mH @ 0.3 A
T1 — Primary: 20T C.T. #28 AWG
Secondary: 120T C.T. #36 AWG
Core: Ferroxcube 1408P-L00-3C8

TEST	CONDITIONS	RESULTS
Line Regulation	V_{in} = 8.0 to 20 V	3.0 mV 0.01%
Load Regulation	V_{in} = 12.6 V, I_O = 0.2 to 200 mA	5.0 mV 0.02%
Output Ripple	V_{in} = 12.6 V, I_O = 200 mA	40 mV F-P P.A.R.D.
Short Circuit Current	V_{in} = 12.6 V, R_L = 0.1 Ω	250 mA
Efficiency	V_{in} = 12.6 V, I_O = 200 mA	72%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 22 — PULSE-WIDTH MODULATED STEP-DOWN CONVERTER



TEST	CONDITIONS	RESULTS
Line Regulation	V_{in} = 10 V to 40 V	14 mV 0.28%
Load Regulation	V_{in} = 28 V, I_O = 1.0 mA to 1.0 mA	3.0 mV 0.06%
Output Ripple	V_{in} = 28 V, I_O = 1.0 A	65 mV P-P P.A.R.D.
Short Circuit Current	V_{in} = 28 V, R_L = 0.1 Ω	1.6 amps
Efficiency	V_{in} = 28 V, I_O = 1.0 A	71%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ได้ถูกจัดทำขึ้นจนกระทั่งเป็นรูปเล่ม คณะผู้จัดขอขอบคุณอาจารย์พิชิต ลำยอง ซึ่งเป็นอาจารย์ที่ปรึกษา ซึ่งให้คำชี้แนะตลอดจนดูแลเอาใจใส่แก่นักศึกษา ขอขอบคุณเพื่อนๆที่ให้ความช่วยเหลือในด้านต่างๆ พี่ๆที่ทำหน้าที่เบิกจ่ายอุปกรณ์ที่ให้ความสะดวกในการเบิกจ่ายเครื่องมือ อุปกรณ์ต่างๆ ภาควิชาระบบควบคุม ภาควิชาอิเล็กทรอนิกส์ ภาควิชาเครื่องกล และภาควิชาโทรคมนาคมที่ให้ความช่วยเหลือในการให้ข้อมูลเพิ่มเติมตลอดจนบุคคลที่เกี่ยวข้องทุกๆท่านที่มีส่วนช่วยเหลือให้ปริญญานิพนธ์ฉบับนี้ลุล่วงไปด้วยดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] A.E. Fitzgerald,Charles Kingsley,Stephen D. Umans "Electrical Machinery",5th Edition McGrall-Hill Book Company

[2] I.Boldea,S.A.Nasar, "Linear Motion Electromagnetic System",John Wiley & Sons,1985

[3] พิชิต ลำยอง, "เครื่องจักรกลไฟฟ้า",คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง,2537

[4] สุนทร วิทูสุรพจน์, "การใช้งานไมโครคอนโทรลเลอร์ตระกูล 8051",บริษัท ซีเอ็ดยูเคชั่น จำกัด (มหาชน).2537

[5] สุวัฒน์ ดั่น, "เทคนิคและการออกแบบสวิตชิ่งเพาเวอร์ซัพพลาย",บริษัท เอนเทลไทย จำกัด,2537

[6] อิน มาน หยาง,ทศพล ปราชญสมพงษ์, "การออกแบบระบบไมโครคอนโทรลเลอร์ตระกูล 8051",มหาวิทยาลัยรังสิต,2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้