ปีการศึกษา 2540

เครื่องวัดองค์ประกอบสมมาตรของกระแสไฟฟ้า

ELECTRICAL SYMMETRICAL COMPONENTS METER

โดย

นาย ชัยธร ลิมาภรณ์วณิชย์

นาย ชัยพฤกษ์ วรกวีไนยวงศ์

นาย โชคชัย แซ่เฉิน

วัน เดือน ปี -5 ต.ค. 2541

เลขทะเบียน 038472

เลขเรียกหนังสือ T 400152 ส๓ค

อาจารย์ที่ปรึกษา

รศ. ศิริวัฒน์ โพธิเวชกุล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

038479

ปริญญานิพนธ์ปีการศึกษา 2540

ภาควิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องวัดองค์ประกอบสมมาตรของกระแสไฟฟ้า

ผู้จัดทำ

1. นาย ชัยธร ลิมาภรณ์วณิชย์
2. นายชัยพฤกษ์ วรกวีไนยวงศ์
3. นายโชคชัย แซ่เฉิน

อาจารย์ที่ปรึกษา

(รศ. ศิริวัฒน์ โพธิเวชกุล)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	I
ABSTRACT	II
สารบัญรูป	III
สารบัญตาราง	V
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎี	3
2.1 โครงสร้างของเฟสเซอร์ไม่สมมาตรจากองค์ประกอบสมมาตร	3
2.2 โอเปอเรเตอร์	4
2.3 องค์ประกอบสมมาตรของเฟสเซอร์ไม่สมมาตร	6
บทที่ 3 หลักการสร้างและส่วนประกอบของเครื่องมือวัดองค์ประกอบสมมาตรของกระแสไฟฟ้า	11
3.1 หลักการของเครื่องมือวัด	11
3.2 หลักในการคำนวณและการสร้าง	12
3.2.1 ตัวจับสัญญาณกระแส	12
3.2.2 วงจรขยายแบบไม่กลับเฟส	14
3.2.3 วงจรกรองสัญญาณรบกวนความถี่สูง	15
3.2.4 วงจรครึ่งคลื่นสัญญาณ	15
3.2.5 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล	16
3.2.6 ไมโครคอนโทรเลอร์	17
3.2.7 ส่วนแสดงผล	19
3.2.8 วงจรสร้างสัญญาณคล๊อก	19
3.3 การเขียนโปรแกรมของไมโครคอนโทรลเลอร์	22
3.3.1 โปรแกรมรับอินพุท	22
3.3.2 โปรแกรมหาค่าพีค	22
3.3.3 โปรแกรมหาค่ามุมเฟสชิพ	23
3.3.4 โปรแกรมคำนวณหาค่า Symmetrical Components	24
3.3.5 โปรแกรมหาค่าฟังก์ชันตรีโกณมิติ	25
3.3.6 โปรแกรมแสดงค่าเอาท์พุท	27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 โฟลวชาร์ตโปรแกรมการทำงานของเครื่องวัดองค์ประกอบสมมาตร 27
3.4.1 โฟลวชาร์ตโปรแกรมรับค่า INPUT 27
3.4.2 โฟลวชาร์ตโปรแกรมหาค่า PEAK 30
3.4.3 โฟลวชาร์ตโปรแกรมหาค่า PhaseShift 30
3.4.4 โฟลวชาร์ตโปรแกรมหาค่า COS,SINE 30
3.4.5 โฟลวชาร์ตโปรแกรมหา SYMMETRICAL COMPONENTS 34
3.4.6 โฟลวชาร์ตการทำงานของโปรแกรม LCD 34
บทที่ 4 การทดลองเครื่องวัดองค์ประกอบสมมาตรของกระแสไฟฟ้า 37
4.1 การทดลองวงจรอิเลคทรอนิคส์ 37
4.2 การทดลองการทำงานของเครื่องวัดองค์ประกอบสมมาตร 40
4.2.1 การทดลองที่ 1 Unity Power Factor Load 41
4.2.2 การทดลองที่ 2 Lagging Power Factor Load 1 Phase 42
4.2.3 การทดลองที่ 3 Lagging Power Factor Load 2 Phase 43
4.2.4 การทดลองที่ 4 Lagging Power Factor Load 3 Phase 44
4.3 ตัวอย่างการหาค่าองค์ประกอบสมมาตรจากการคำนวณ 50
4.4 ตัวอย่างการหาค่าองค์ประกอบสมมาตรจากเฟสเซอร์ 52
4.5 ตัวอย่างการหาค่าความผิดพลาด 56
4.6 สรุปผลการทดลอง 57
บทที่ 5 สรุปผลของโครงงานและข้อเสนอแนะ 58

ภาคผนวก
ก. โปรแกรมภาษาแอสเซมบลี
ข. DATASHEET
กิตติกรรมประกาศ
เอกสารอ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องวัดองค์ประกอบสมมาตรของกระแสไฟฟ้า

นายชัยธร ลิมาภรณ์วณิชย์
นายชัยพฤกษ์ วรกวีไนยวงศ์
นายโชคชัย แซ่เฉิน
รศ. ศิริวัฒน์ โพธิเวชกุล อาจารย์ที่ปรึกษา
ปีการศึกษา 2540

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ เป็นการทดลองสร้างเครื่องวัดองค์ประกอบสมมาตรของกระแสไฟฟ้า เพื่อให้ทราบถึงปริมาณทางไฟฟ้าของระบบไฟฟ้ากำลัง 3 เฟส ทั้งในระบบที่สมดุล และไม่สมดุล โดยใช้ CURRENT SENSORS เป็นตัวตรวจจับสัญญาณกระแสไฟฟ้าในแต่ละเฟส และนำค่าที่ตรวจจับได้มาประมวลผลด้วยไมโครคอนโทรลเลอร์ โดยจะแสดงออกมาในรูปขององค์ประกอบสมมาตร 3 องค์ประกอบ คือ องค์ประกอบลำดับบวก องค์ประกอบลำดับลบ และองค์ประกอบลำดับศูนย์ โดยผ่านทาง LCD ซึ่งจะเป็นประโยชน์ในการป้องกันมอเตอร์เหนี่ยวนำอันเนื่องมาจากผลของระบบไฟฟ้าไม่สมดุล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL SYMMETRICAL COMPONENTS METER

Chaiyatorn Limapornvanich
Chaiyapruek Warakawenaiyawong
Chokchai Saechoen
Assc.Prof. Siriwat Potivejkul Advisor
1997

ABSTRACT

This project is a study of experiment to make the electric symmetrical components meter. That used to measure current in balance or unbalance 3 phase power system which separate to 3 components. Such as positive-sequence component , negative- sequence component and zero-sequence component. The ratio of negative to positive (called unbalance value) is useful for a practical induction motor protection algorithm because the unbalance results in undue of the machine particularly the rotor. So this measurement device will help to find unbalance value. For this idea we use CSM (current sensors base on magnetic sensor device) to detect current from line current , use Microcontroller to calculate the components and display by LCD.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

		หน้า
รูปที่ 2.1	เฟสเซอร์องค์ประกอบสมมาตรของเฟสเซอร์สมดุล	3
รูปที่ 2.2	ไดอะแกรมเฟสเซอร์ของโอเปอร์เรเตอร์ a และ j	5
รูปที่ 2.3	$a-a^2$ เป็น j โอเปอร์เรเตอร์มีค่า $j\sqrt{3}$	5
รูปที่ 2.4	1-a เป็น j โอเปอร์เรเตอร์มีค่า $j\sqrt{3}a$	6
รูปที่ 2.5	a^2-1 เป็น j โอเปอร์เรเตอร์มีค่า $j\sqrt{3}a$	6
รูปที่ 2.6	การรวมเฟสเซอร์ขององค์ประกอบสมมาตร	10
รูปที่ 3.1	หลักการของเครื่องมือวัด	11
รูปที่ 3.2	ตัวตรวจจับสัญญาณกระแส	12
รูปที่ 3.3	วิธีการพันตามพิกัดของตัวตรวจจับกระแส	12
รูปที่ 3.4	วงจรขยายแบบไม่กลับเฟส	14
รูปที่ 3.5	วงจรกรองสัญญาณรบกวนความถี่สูง	15
รูปที่ 3.6	วงจรฮาร์ฟเวฟ	16
รูปที่ 3.7	ไอซี ADC0820 แปลงสัญญาณอนาลอกเป็นดิจิตอล	18
รูปที่ 3.8	ตำแหน่งต่าง ๆ บนบอร์ด ANT-31PJ V2.0	18
รูปที่ 3.9	วงจรสัญญาณคล๊อก	19
รูปที่ 3.10	จังหวะการทำงานของสัญญาณคล๊อก ทั้งสองสัญญาณ	20
รูปที่ 3.11	วงจรการทำงานของเครื่องวัดองค์ประกอบสมมาตรทางไฟฟ้า	21
รูปที่ 3.12	การแปลง cos , sine ในกรณีที่อยู่ต่างควอทแดรนท์	26
รูปที่ 3.13	FLOWCHART โปรแกรมการทำงานของเครื่องวัดองค์ประกอบสมมาตรทางไฟฟ้า	28
รูปที่ 3.14	FLOWCHART โปรแกรมการรับค่า INPUT	29
รูปที่ 3.15	FLOWCHART โปรแกรมหาค่า PEAK	31
รูปที่ 3.16	FLOWCHART โปรแกรมหาค่า PhaseShift	32
รูปที่ 3.17	FLOWCHART โปรแกรมหาค่า COS,SINE	33
รูปที่ 3.18	FLOWCHART โปรแกรมหา SYMMETRICAL COMPONENTS	35
รูปที่ 3.19	FLOWCHART โปรแกรมการทำงานของ LCD	36
รูปที่ 4.1	เปรียบเทียบสัญญาณอินพุทและเอาท์พุทของวงจรขยายแบบไม่กลับเฟส	37
รูปที่ 4.2	สัญญาณ Half Wave ที่ผ่าน Half Wave Rectifier	38
รูปที่ 4.3	สัญญาณคล๊อกขา 13	38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.4 สัญญาณคล๊อกขา 8 ที่ยังไม่ผ่าน inverter 39
รูปที่ 4.5 เปรียบเทียบสัญญาณคล๊อกขา 13 และขา 8 ที่ผ่าน inverter 39
รูปที่ 4.6 วงจรการทดลอง 40
รูปที่ 4.7 ลักษณะของโหลดแบบต่าง ๆ 45
รูปที่ 4.8 การรวมเฟสเซอร์เพื่อหากระแสในแต่ละเฟส 53
รูปที่ 4.9 การรวมทางเฟสเซอร์ของ Symmetrical Components 55

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 3.1 เปรียบเทียบการทำงานของตัวตรวจจับกระแสกับค่าที่ได้จากการคำนวณ 13

ตารางที่ 3.2 เปรียบเทียบการทำงานของตัวตรวจจับกระแสกับค่าที่ได้จากการคำนวณ 14

ตารางที่ 3.3 ตารางแสดงตำแหน่งการเก็บค่า peak และตำแหน่งที่อยู่ของค่า peak ในแต่ละเฟส 23

ตารางที่ 4.1 เปรียบเทียบแรงดันและกระแสของการทดลองที่ 4.2.1 41

ตารางที่ 4.2 เปรียบเทียบแรงดันและกระแสของการทดลองที่ 4.2.2 42

ตารางที่ 4.3 เปรียบเทียบแรงดันและกระแสของการทดลองที่ 4.2.3 43

ตารางที่ 4.4 เปรียบเทียบแรงดันและกระแสของการทดลองที่ 4.2.4 44

ตารางที่ 4.5 ผลการทดลองที่ 1 Unity Power Factor Load 46

ตารางที่ 4.6 ผลการทดลองที่ 2 Lagging Power Factor Load 1 Phase 47

ตารางที่ 4.7 ผลการทดลองที่ 3 Lagging Power Factor Load 2 Phase 48

ตารางที่ 4.8 ผลการทดลองที่ 4 Lagging Power Factor Load 3 Phase 49

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในปัจจุบันระบบไฟฟ้าโดยทั่วๆ ไปที่ใช้งานอยู่อาจมีการเปลี่ยนของโหลดตลอดเวลาและบางครั้งระบบส่งจ่ายของการไฟฟ้าเกิดขัดข้อง เช่น แรงดันแต่ละเฟสมาไม่เท่ากัน เฟสหายไป 1 เฟสหรือ 2 เฟส ซึ่งเป็นสาเหตุที่ทำให้เกิดความไม่สมดุลทางไฟฟ้ากับระบบ ซึ่งระบบที่ไม่สมดุลนี้จะก่อให้เกิดปัญหากับอุปกรณ์หรือเครื่องจักรที่ใช้งานอยู่ ทำให้อายุการใช้งานของอุปกรณ์หรือเครื่องจักรนั้นสั้นลงไป ซึ่งจากผลกระทบจากระบบไม่สมดุลทางไฟฟ้าต่างๆ นี้ จึงได้มีการค้นคว้าและคิดที่จะพยายามแก้ปัญหาจากการที่ระบบไฟฟ้าไม่สมดุลนี้ขึ้นมา

ในปี ค.ศ. 1918 C.L. Fortescue ได้ศึกษาถึงวิธีการขององค์ประกอบสมมาตร ซึ่งมีความสำคัญและเป็นหัวข้อสำคัญที่กล่าวถึงอย่างแพร่หลาย มาศึกษาฟอลท์ (faults) ไม่สมมาตรในสายส่งในระบบส่งจ่ายกำลังไฟฟ้าที่อาจประกอบด้วย การลัดวงจรของระบบสายส่งเฟสใดเฟสหนึ่ง การลัดวงจรจากเฟสลงดิน หรือเฟสใดเฟสหนึ่งขาดหายไป เป็นต้น ปี ค.ศ. 1933 มีการเขียนหลักการในการวัดองค์ประกอบสมมาตรโดย C.F. WAGNER และ R.D. EVANS และมีการสร้างเครื่องมือวัดองค์ประกอบสมมาตรสำหรับวิเคราะห์แรงดันและกระแสที่ไม่สมดุลขึ้น ในปี ค.ศ. 1938 ในบทความของ T.A. Rich ซึ่งสร้างโดยอาศัยหลักการเลื่อนเฟส (Phase shift) และการรวมฟลักซ์แม่เหล็กไฟฟ้ามาเหนี่ยวนำกัลวานอมิเตอร์ ตามสมการและทฤษฎีของการกระจายองค์ประกอบสมมาตร

ดังนั้นในโครงงานนี้จึงได้คิดสร้างเครื่องมือวัดตามสมการและทฤษฎีการแยกองค์ประกอบสมมาตรทางไฟฟ้าโดยมุ่งเน้นในเรื่องการวัดปริมาณกระแสไฟฟ้า โดยใช้ไมโครคอนโทรลเลอร์เป็นส่วนประกอบหลักเพื่อใช้ในการประมวลผลข้อมูลสมการการแยกองค์ประกอบสมมาตรทางไฟฟ้า ซึ่งหลักการเดิมของโครงงานเดิมนั้นจะใช้อุปกรณ์อิเลคทรอนิคส์เป็นส่วนประกอบหลักซึ่งค่าที่อ่านได้อาจผิดพลาดได้ง่าย และเพื่อลดปัญหาเหล่านี้จึงได้ใช้ไมโครคอนโทรลเลอร์แทนโดยเขียนโปรแกรมด้วยภาษาแอสเซมบลีและประมวลผลด้วยวิธีการทางคณิตศาสตร์ ซึ่งจะทำให้ค่าที่อ่านได้มีความถูกต้องมากยิ่งขึ้น

ขอบเขตของโครงงานนี้ เป็นการรวบรวมข้อมูลที่เกี่ยวข้องกับการสร้างเครื่องมือวัด ศึกษาแนวทางตลอดจนออกแบบและทดลองสร้างเครื่องมือวัดองค์ประกอบสมมาตรของกระแสไฟฟ้าให้สามารถวัดและอ่านค่าได้เที่ยงตรงและมีประสิทธิภาพมากที่สุดเท่าที่จะเป็นไปได้

วัตถุประสงค์ของโครงงานนี้ เพื่อสร้างเครื่องมือวัดองค์ประกอบสมมาตรของกระแสไฟฟ้า ให้วัดและอ่านค่าได้จริง เที่ยงตรง และมีประสิทธิภาพมากที่สุดเท่าที่สามารถทำได้ และในการประยุกต์ใช้งานในอนาคต เช่นในโรงงานอุตสาหกรรมที่มีภาระประเภทมอเตอร์ต่างๆ และกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในแต่ละเฟสไม่เท่ากัน ซึ่งเป็นผลให้อุปกรณ์ต่างๆ โดยเฉพาะมอเตอร์ประเภทเหนี่ยวนำซึ่งมีใช้กันมากในโรงงานอุตสาหกรรม มีอายุการใช้งานสั้นลง และเกิดความเสียหายในที่สุด ซึ่งการประยุกต์ใช้งาน อาจจะตั้งค่าสักค่าหนึ่งขององค์ประกอบลำดับบวก ลำดับลบ และลำดับศูนย์ของเครื่องมือวัด และให้เครื่องมือวัดส่งสัญญาณให้กับอุปกรณ์ตัดต่อวงจรของระบบทำการตัดวงจรของระบบจ่ายกำลังไฟฟ้าออก หรืออาจส่งสัญญาณให้กับอุปกรณ์ที่สามารถชดเชยองค์ประกอบต่างๆ เพื่อให้ระบบไฟฟ้าเกิดความสมดุลและมีเสถียรภาพมากที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

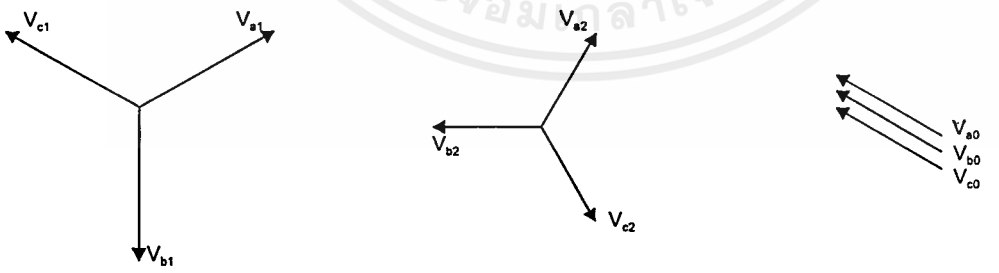
บทที่ 2
ทฤษฎี

การวิเคราะห์วงจรไฟฟ้าสามเฟส ซึ่งแรงดันและกระแสไฟฟ้าอยู่ในสภาพสมดุล (ขนาดแต่ละเฟสเท่ากัน และมุมแต่ละเฟสห่างกัน 120 องศาไฟฟ้า) จะวิเคราะห์เหมือนวงจรไฟฟ้าหนึ่งเฟส โดยเขียนเป็นวงจรสมมูลหนึ่งเฟส (Single phase equivalent circuit) และใช้กฎของกระแสและแรงดันไฟฟ้าของ Kirchoff (Kirchoff current's law) และเมื่อวงจรสามเฟสไม่สมมาตร อันเนื่องมาจากภาระ (Loads) ไม่สมดุล , ฟอล์ท (faults) หรือเกิดลัดวงจร จะไม่สามารถวิเคราะห์จากวงจรสมมูลหนึ่งเฟสได้ จึงต้องใช้วิธีการขององค์ประกอบสมมาตรกับวงจรดังกล่าวจึงสามารถคำนวณโดยใช้วงจรสมมูลหนึ่งเฟสได้

2.1 โครงสร้างของเฟสเซอร์ไม่สมมาตรจากองค์ประกอบสมมาตร

จากงานวิจัยของ Fortescue พิสูจน์ให้เห็นว่าระบบไม่สมดุลของเฟสเซอร์สัมพัทธ์ n สามารถแก้ปัญหาให้ระบบเฟสเซอร์สมดุล n ที่เรียกว่า องค์ประกอบสมมาตรของเฟสเซอร์เริ่มต้น (the symmetrical components of the original phasors) ได้โดยที่เฟสเซอร์ n ของชุดองค์ประกอบแต่ละชุดมีขนาดและมุมระหว่างเฟสเซอร์แต่ละชุดเท่ากัน แม้ว่าวิธีการนำมาใช้กับระบบโพลีเฟสไม่สมดุล (Unbalabnce polyphase system) ได้ แต่เราจะอธิบายถึงระบบสามเฟสเท่านั้น

ตามทฤษฎีของ Fortescue เฟสเซอร์ไม่สมดุล 3 เฟสเซอร์ ของระบบ 3 เฟส สามารถแก้ปัญหาให้ระบบเฟสเซอร์สมดุล 3 ระบบได้ โดยที่เฟสเซอร์ไม่สมดุลในระบบ 3 เฟส สามารถแยกเป็นระบบเฟสเซอร์สมดุลออกได้เป็น องค์ประกอบลำดับบวก องค์ประกอบลำดับลบ และองค์ประกอบลำดับศูนย์ ดังรูปที่ 2.1



(ก) องค์ประกอบลำดับบวก (ข) องค์ประกอบลำดับลบ (ค) องค์ประกอบลำดับศูนย์

รูปที่ 2.1 เฟสเซอร์องค์ประกอบสมมาตรของเฟสเซอร์ไม่สมดุล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. องค์ประกอบลำดับบวก (positive-sequence component) ดังรูปที่ 2.1 (ก) เลขห้อยท้าย 1 ประกอบด้วย 3 เฟสเซอร์ที่มีขนาดเท่ากัน ระยะห่างแต่ละเฟส 120° เรียงลำดับเฟสเช่นเดียวกับเฟสเซอร์เดิม องค์ประกอบลำดับบวกจะหมุนตามเข็มนาฬิกา หมุนตามลำดับ abc

2. องค์ประกอบลำดับลบ (negative-sequence component) ดังรูปที่ 2.1 (ข) เลขห้อยท้าย 2 ประกอบด้วย 3 เฟสเซอร์ที่มีขนาดเท่ากัน ระยะห่างแต่ละเฟส 120° เรียงลำดับเฟสตรงกันข้ามกับเฟสเซอร์เดิม องค์ประกอบลำดับลบ จะหมุนกลับลำดับเฟสกับทิศทางเดิม abc

3. องค์ประกอบลำดับศูนย์ (Zero-sequence component) ดังรูปที่ 2.1 (ค) เลขห้อยท้าย 0 ประกอบด้วย 3 เฟสเซอร์ที่มีขนาดเท่ากัน มีทิศทางไปทางเดียวกัน

แต่ละเฟสเซอร์ไม่สมดุลเดิมเป็นผลรวมของส่วนประกอบเฟสเซอร์เดิมในสมการดังนี้

$$V_a = V_{a1} + V_{a2} + V_{a0}$$
$$V_b = V_{b1} + V_{b2} + V_{b0} \quad \text{..... 2.1 [1]}$$
$$V_c = V_{c1} + V_{c2} + V_{c0}$$

2.2 โอเปอเรเตอร์ (OPERATOR)

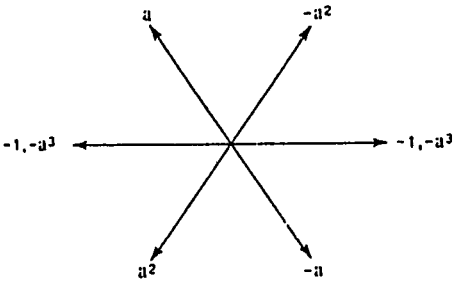
เนื่องจากเฟสเซอร์องค์ประกอบสมมาตรของแรงดันและกระแสไฟฟ้าในระบบ 3 เฟสห่างกัน 120° ผลการคูณจำนวนเชิงซ้อนของขนาดยูนิตและมุม θ แล้ว จำนวนเชิงซ้อนผลลัพธ์จะแสดงเฟสเซอร์ได้เท่ากับเฟสเซอร์เริ่มต้นที่ห่างจากมุม θ

จำนวนเชิงซ้อนของขนาดยูนิตและมุมที่เชื่อมโยง θ นี้เป็นโอเปอเรเตอร์ที่หมุนเฟสเซอร์ซึ่งมันทำงานอยู่ตามมุม θ

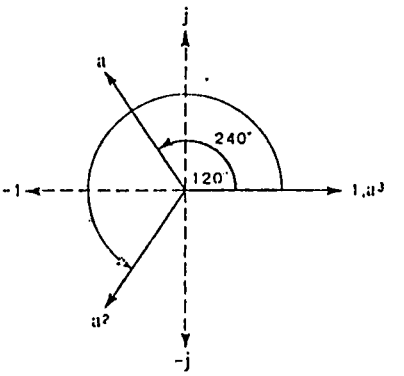
เราได้คุ้นเคยกับโอเปอเรเตอร์ j ที่ทำให้การหมุนตามเป็นมุม 90° และโอเปอเรเตอร์ -1 ที่ทำให้การหมุนตามเป็นมุม 180° มาแล้วจะเห็นว่าโอเปอเรเตอร์ j ทำให้การหมุนเป็นมุม +90° ซึ่งได้ j x j เป็น 180° และ j^2 เท่ากับ -1 ส่วนกำลังไฟฟ้าอื่นของโอเปอเรเตอร์ j หาได้จากการวิเคราะห์ในลักษณะเดียวกัน

โดยทั่วไปแล้วตัวอักษร a ใช้แสดงโอเปอเรเตอร์ที่ทำให้การหมุนเป็นมุม 120° ขนาดจำนวนค่าเชิงซ้อนและมุม θ เป็นค่าโอเปอเรเตอร์หมุนตามเฟสเซอร์ดังรูปที่ 2.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) a โอเปอเรเตอร์



(ข) j โอเปอเรเตอร์

รูปที่ 2.2 ไดอะแกรมเฟสเซอร์ของโอเปอร์เรเตอร์ a และ j

จากรูปที่ 2.2 (ข)

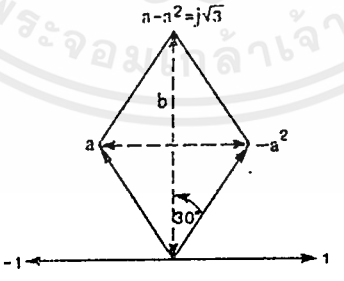
$a = 1\angle 120^\circ = 1(\cos 120^\circ + j \sin 120^\circ) = -0.5 + j0.866$

$a^2 = 1\angle 240^\circ = 1(\cos 240^\circ + j \sin 240^\circ) = -0.5 - j0.866$

$a^3 = 1\angle 360^\circ = 1\angle 0^\circ = 1$

$a^4 = 1\angle 120^\circ = a = -0.5 + j0.866$

$a^4 - a^2 = a - a^2 = j\sqrt{3}$ ดังรูปที่ 2.3



รูปที่ 2.3 $a - a^2$ เป็น j โอเปอร์เรเตอร์มีค่า $j\sqrt{3}$

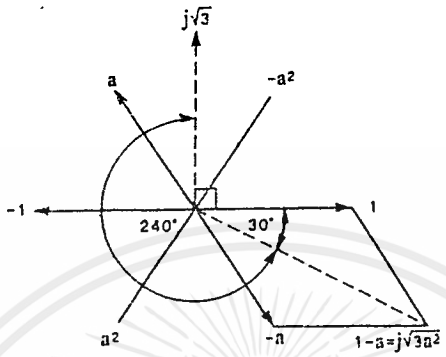
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$a^2 - a = -j\sqrt{3}$

$1 + a = -a^2 = -(0.5 - j0.866) = 0.5 + j0.866$

$1 - a = 1 - (-0.5 + j0.866) = 1.5 - j0.866 = 1.732\angle -30° = j\sqrt{3}\angle 240°$

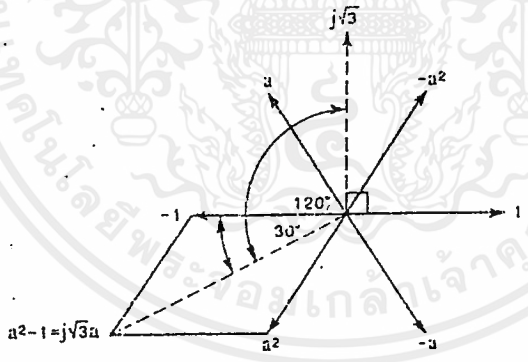
$= j\sqrt{3}a^2$ ดังรูปที่ 2.4



รูปที่ 2.4 1 - a เป็น j โอเปอเรเตอร์มีค่า $j\sqrt{3}a^2$

$a^2 - 1 = (-0.5 - j0.866) - 1 = -1.5 - j0.866 = 1.732\angle -150° = j\sqrt{3}\angle 120°$

$= j\sqrt{3}a$ ดังรูปที่ 2.5



รูปที่ 2.5 $a^2 - 1$ เป็น j โอเปอร์เรเตอร์ มีค่า $j\sqrt{3}a$

2.3 องค์ประกอบสมมาตรของเฟสเซอร์ไม่สมมาตร (symmetrical componet of unsymmetrical phaser) เพื่อให้สอดคล้องกับสมการที่ 2.1 เมื่อเทียบกับรูปที่ 2.1จะได้สมการดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{b1} = a^2 V_{a1} \qquad V_{c1} = aV_{a1}$$
$$V_{b2} = aV_{a2} \qquad V_{c2} = a^2 V_{a2} \qquad \text{..... 2.2 [1]}$$
$$V_{b0} = aV_{a0} \qquad V_{c0} = V_{a0}$$

แทนค่าสมการที่ 2.2 ลงในสมการที่ 2.1 จะได้สมการใหม่ดังนี้

$$V_a = V_{a1} + V_{a2} + V_{a0}$$
$$V_b = a^2 V_{a1} + aV_{a2} + V_{a0} \qquad \text{..... 2.3 [1]}$$
$$V_c = aV_{a1} + a^2 V_{a2} + V_{a0}$$

เขียนฟอร์มใหม่ในรูปของเมตริกซ์ดังนี้

$$\begin{bmatrix} V_a \\ V_b \\ V_c \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 1 & a^2 & a \\ 1 & a & a^2 \end{bmatrix} \begin{bmatrix} V_{a0} \\ V_{a1} \\ V_{a2} \end{bmatrix} \qquad \text{..... 2.4 [1]}$$

$$A = \begin{bmatrix} 1 & 1 & 1 & 1 & 1 \\ 1 & a^2 & a & 1 & a^2 \\ 1 & a & a^2 & 1 & a \end{bmatrix} \qquad \text{เมื่อคูณลงเป็นบวก คูณขึ้นเป็นลบ}$$

ดีเทอร์มิแนนต์ $|A| = a^4 + a + a - (a^2 + a^2 + a^2)$

$= 3a - 3a^2$

$= 3(a - a^2)$

ในรูปที่ 2.3 $a - a^2 = j\sqrt{3}$

$|A| = 3j\sqrt{3}$

หาค่าโคแฟกเตอร์

$$A = \begin{bmatrix} A_{11} & A_{12} & A_{13} \\ A_{21} & A_{22} & A_{23} \\ A_{31} & A_{32} & A_{33} \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 1 & a^2 & a \\ 1 & a & a^2 \end{bmatrix} \qquad \text{..... 2.5}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าโคแฟกเตอร์เลขคู่เป็นบวกและเลขคี่เป็นลบ

$$A_{11} = \begin{bmatrix} a^2 & a \\ a & a^2 \end{bmatrix} = a^4 - a^2 = a - a^2 = j\sqrt{3}$$

$$A_{12} = \begin{bmatrix} 1 & a \\ 1 & a^2 \end{bmatrix} = -(a^2 - a) = a - a^2 = j\sqrt{3}$$

$$A_{13} = \begin{bmatrix} 1 & a^2 \\ 1 & a \end{bmatrix} = a - a^2 = j\sqrt{3}$$

$$A_{21} = \begin{bmatrix} 1 & 1 \\ a & a^2 \end{bmatrix} = -(a^2 - a) = a - a^2 = j\sqrt{3}$$

$$A_{22} = \begin{bmatrix} 1 & 1 \\ 1 & a^2 \end{bmatrix} = a^2 - 1 = j\sqrt{3}\,a$$

$$A_{23} = \begin{bmatrix} 1 & 1 \\ 1 & a \end{bmatrix} = 1 - a = j\sqrt{3}a^2$$

$$A_{31} = \begin{bmatrix} 1 & 1 \\ a^2 & a \end{bmatrix} = a - a^2 = j\sqrt{3}$$

$$A_{32} = \begin{bmatrix} 1 & 1 \\ 1 & a^2 \end{bmatrix} = 1 - a = j\sqrt{3}\,a^2$$

$$A_{33} = \begin{bmatrix} 1 & 1 \\ 1 & a^2 \end{bmatrix} = a^2 - 1 = j\sqrt{3}\,a$$

แทนค่าโคแฟกเตอร์ A ลงในสมการที่ 2.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โคแฟกเตอร์ A = $\begin{bmatrix} j\sqrt{3} & j\sqrt{3} & j\sqrt{3} \\ j\sqrt{3} & j\sqrt{3}\,a & j\sqrt{3}\,a^2 \\ j\sqrt{3} & j\sqrt{3}\,a^2 & j\sqrt{3}\,a \end{bmatrix}$

โคแฟกเตอร์ A ทรานสโพส (cofactor A rtanspose) เปลี่ยนโรว์เป็นคอลัมน์และจากคอลัมน์เป็นโรว์

$$A^T = \begin{bmatrix} j\sqrt{3} & j\sqrt{3} & j\sqrt{3} \\ j\sqrt{3} & j\sqrt{3}\,a & j\sqrt{3}\,a^2 \\ j\sqrt{3} & j\sqrt{3}\,a^2 & j\sqrt{3}\,a \end{bmatrix}$$

อินเวิร์สเมตริกซ์ (inverse matrix)

$$A^{-1} = \frac{A^T}{|A|} = 1/3j\sqrt{3} \begin{bmatrix} j\sqrt{3} & j\sqrt{3} & j\sqrt{3} \\ j\sqrt{3} & j\sqrt{3}a & j\sqrt{3}\,a^2 \\ j\sqrt{3} & j\sqrt{3}a^2 & j\sqrt{3}\,a \end{bmatrix}$$

$$A^{-1} = 1/3 \begin{bmatrix} 1 & 1 & 1 \\ 1 & a & a^2 \\ 1 & a^2 & a \end{bmatrix} \quad \text{..... 2.6}$$

จากสมการที่ 2.4 เมื่ออินเวิร์สเมตริกซ์ จะได้

$$\begin{bmatrix} V_{a0} \\ V_{a1} \\ V_{a2} \end{bmatrix} = 1/3 \begin{bmatrix} 1 & 1 & 1 \\ 1 & a & a^2 \\ 1 & a^2 & a \end{bmatrix} \begin{bmatrix} V_a \\ V_b \\ V_c \end{bmatrix} \quad \text{..... 2.7}$$

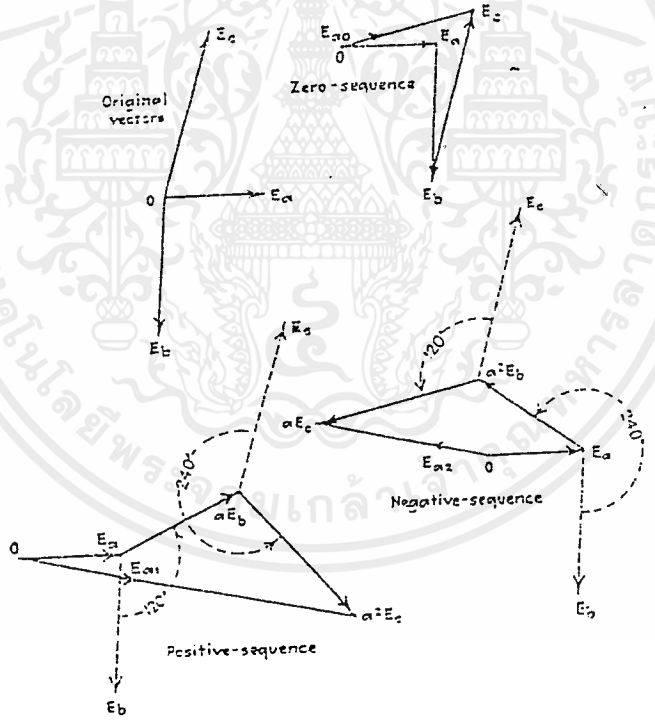
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{a1} = 1/3\,[\,V_a + aV_b + a^2V_c\,]$$
$$V_{a2} = 1/3\,[\,V_a + a^2V_b + aV_c\,] \quad \text{..... 2.8}$$
$$V_{a0} = 1/3\,[\,V_a + V_b + V_c\,]$$

อย่างไรก็ตามสามารถหาในเทอมของกระแสได้เช่นกัน ซึ่งจะได้

$$I_{a1} = 1/3\,[\,I_a + aI_b + a^2I_c\,]$$
$$I_{a2} = 1/3\,[\,I_a + a^2I_b + aI_c\,] \quad \text{..... 2.9}$$
$$I_{a0} = 1/3\,[\,I_a + I_b + I_c\,]$$

จากสมการที่ 2.8 สามารถแสดงการรวมเฟสเซอร์ ขององค์ประกอบสมมาตรได้ดังรูปที่ 2.6



รูปที่ 2.6 การรวมเฟสเซอร์ขององค์ประกอบสมมาตร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

หลักการสร้างและส่วนประกอบของเครื่องมือวัดองค์ประกอบสมมาตรของกระแสไฟฟ้า

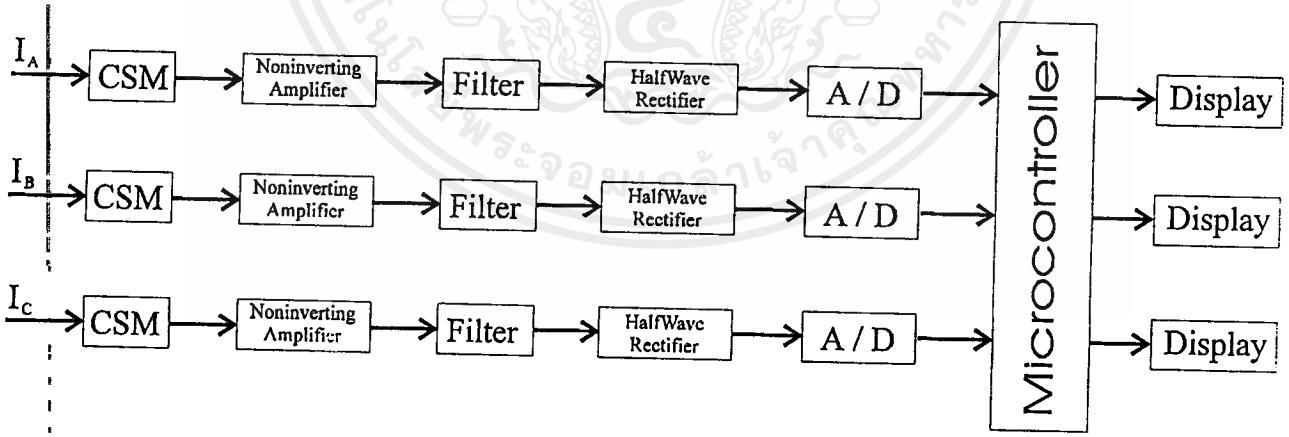
3.1 หลักการของเครื่องมือวัด

ในการหาค่าของกระแสลำดับบวก ลำดับลบ และลำดับศูนย์ จากทฤษฎีจะเห็นว่าจะต้องรับ ค่ากระแสทั้ง 3 เฟส เพื่อนำค่าสัญญาณทั้งสามค่ามาคำนวณตามสมการที่ 2.9 และแสดงผลออกมา เป็นค่ากระแสลำดับบวก กระแสลำดับลบ และกระแสลำดับศูนย์ตามลำดับ เพราะฉะนั้นในการศึกษาและออกแบบเครื่องมือวัด จะสามารถแยกพิจารณาได้เป็น 3 ส่วนดังนี้

1. ส่วนรับสัญญาณป้อนเข้า จะเป็นส่วนที่รับค่าสัญญาณเข้ามาเพื่อแปลงค่าสัญญาณให้เหมาะสมก่อนที่จะส่งต่อไปยังส่วนที่ 2 ต่อไป ในส่วนนี้จะประกอบไปด้วยวงจรอิเลคทรอนิกส์เป็นส่วนใหญ่

2. ส่วนประมวลผล จะเป็นส่วนที่รับค่าสัญญาณจากวงจรอิเลคทรอนิกส์เข้ามาทำการประมวลผลโดยใช้ไมโครคอนโทรลเลอร์เป็นตัวทำหน้าที่ในการประมวลผล

3. ส่วนของการแสดงผล จะเป็นส่วนที่รับค่าที่ได้จากการประมวลผลด้วยไมโครคอนโทลเลอร์ แล้วแสดงผลออกมาทางหน้าจอและจะสามารถแทนส่วนประกอบทั้ง 3 ส่วนด้วยบล็อกได้ดังนี้



รูปที่ 3.1 หลักการของเครื่องมือวัด

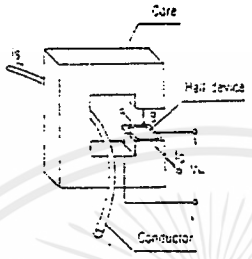
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 หลักในการคำนวณและการสร้าง

จากหลักการของเครื่องมือวัดที่แสดงด้วยรูปที่ 3.1 จะเห็นได้ว่าจะมีส่วนที่เป็นอุปกรณ์ที่นำมาใช้งานร่วม และส่วนที่เป็นการออกแบบและสร้างขึ้นมา ซึ่งจะแยกแสดงได้ดังนี้

3.2.1 ตัวจับสัญญาณกระแส (CSM)

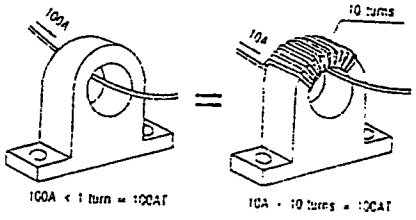
ตัวจับสัญญาณกระแส (Current Sensor) จะทำหน้าที่ในการแปลงขนาดของกระแสให้เป็นแรงดันที่มีขนาดเป็นสัดเป็นส่วนกัน ซึ่งจะสามารถแสดงได้ดังรูปที่ 3.2



รูปที่ 3.2 ตัวตรวจจับสัญญาณกระแส

จากรูปเมื่อมีสัญญาณกระแสผ่านเข้ามาในสายตัวนำจะทำให้เกิดฟลักแม่เหล็กขึ้นเมื่อฟลักซ์แม่เหล็กผ่านส่วนที่เป็น Hall Device ส่วนของ Hall Device จะสร้างแรงดันที่มีขนาดเป็นสัดส่วนกับความเข้มสนามแม่เหล็กที่ผ่านตัวมัน และค่าแรงดันที่ได้นี้จะเป็นค่าสัญญาณที่จะนำไปใช้ต่อไป

เมื่อพิกัดการป้องกันกระแสอยู่ในรูปของแอมป์เทิร์น (AT) โดยมีพิกัดที่ 100 แอมป์เทิร์น หากเราต้องการให้ได้แรงดันที่พิกัด 4 โวลท์ ก็จะต้องจ่ายกระแสถึง 100 แอมป์ ในการคล้องสายไฟ 1 รอบ แต่ถ้าเพิ่มจำนวนสายไฟที่คล้องเป็น 10 รอบ ก็จะจ่ายกระแสเพียง 10 แอมป์ ซึ่งจะแสดงได้ดังรูปที่ 3.3



รูปที่ 3.3 วิธีการพันตามพิกัดของตัวตรวจจับสัญญาณกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซีเอสเอ็มจะมีอยู่ 2 รุ่นคือรุ่นที่ไม่มีแอมปลิฟลายเออร์ (Amplifier) ซึ่งจะให้แรงดันที่พิกัดได้เพียง 30 มิลลิโวลท์ จึงเลือกใช้รุ่นที่มีแอมปลิฟลายเออร์ คือรุ่น CSM-161 ซึ่งจะให้แรงดันได้ถึง 4 โวลท์ที่พิกัด 75 แอมเทิร์น

และทำการทดลองเพื่อเปรียบเทียบค่าแรงดันที่ได้จากการวัดกับค่าแรงดันที่ได้จากคำนวณดังนี้

เมื่อจำนวนรอบการพันเป็น 5 รอบ ที่พิกัด 75 แอมป์เทิร์น จะได้ว่า

I_{peak} = 75 / 5 แอมป์

= 15 แอมป์ ซึ่งจะให้ค่าแรงดัน 4 โวลท์ ที่พิกัด 15 แอมป์

ดังนั้น $I_{rms} = 15 / \sqrt{2}$

= 10.6 แอมป์ ซึ่งในการทดลองไม่ควรจ่ายกระแสเกินพิกัดนี้

ดังนั้น $V_{peak} = [I_{peak} \times \sqrt{2} \times 4] / 15$ โวทล์

I_{rms} (จากการวัด) (A)	V_{peak} (จากการวัด) (V)	V_{peak} (จากการคำนวณ) (V)
1.78	0.69	0.67
2.60	1.00	0.98
3.50	1.35	1.31
4.85	1.85	1.82
5.75	2.20	2.16
7.50	2.80	2.80
8.85	3.40	3.33
9.70	3.70	3.65

ตารางที่ 3.1 ตารางเปรียบเทียบการทำงานของตัวตรวจจับกระแสกับค่าที่ได้จากการคำนวณ

เมื่อจำนวนรอบการพันเป็น 10 รอบ พิกัด 75 แอมป์เทิร์น จะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

I_{peak} = 75 / 10

= 7.5 แอมป์ ซึ่งจะให้แรงดัน 4 โวลท์ ที่พิกัด 7.5 แอมป์

I_{rms} = $7.5 / \sqrt{2}$

= 5.3 แอมป์

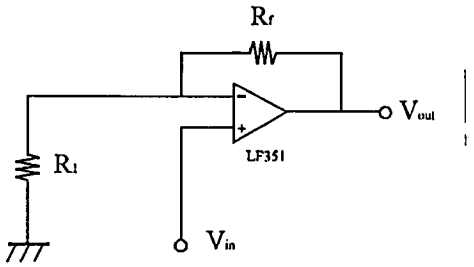
ดังนั้น $V_{peak} = [I_{rms} \times \sqrt{2} \times 4] / 7.5$ โวทล์

I_{rms} (จากการวัด) (A)	V_{peak} (จากการวัด) (V)	V_{peak} (จากการคำนวณ) (V)
0.90	0.62	0.67
1.75	1.30	1.31
2.65	1.95	1.99
3.50	2.60	2.63
3.95	2.95	2.97
4.85	3.60	3.65

ตารางที่ 3.2 ตารางเปรียบเทียบการทำงานของตัวตรวจจับกระแสกับค่าที่ได้จากการคำนวณ

3.2.2 วงจรขยายแบบไม่กลับเฟส (Noninverting Amplifier)

จากหลักการของเครื่องมือวัดในรูปที่ 3.1 จะเห็นว่าสัญญาณจะต้องผ่านวงจรฮาล์ฟเวฟ (Half Wave Rectifier) ซึ่งจะทำให้ค่าแรงดันที่จะส่งไปประมวลผลนั้นตกคร่อมที่ไดโอดไปประมาณ 0.6 โวลท์ และค่าแรงดันที่พิกัดของ CSM มีเพียง 4 โวลท์ ในขณะที่ค่าแรงดันที่จะส่งเข้าไปประมวลผลด้วยไมโครคอนโทรลเลอร์มีค่าสูงสุดที่ 5 โวลท์ ดังนั้นจึงต้องมีการขยายแรงดันเพิ่มขึ้นเพื่อให้ค่าแรงดันที่นำไปประมวลผลมีความถูกต้องยิ่งขึ้น



รูปที่ 3.4 วงจรขยายแบบไม่กลับเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการคำนวณหาค่าอัตราการขยาย (Gain) จะเป็นไปตามสมการที่ 3.1

$$V_o / V_{in} = 1 + R_f / R_1 \qquad \text{..... 3.1}$$

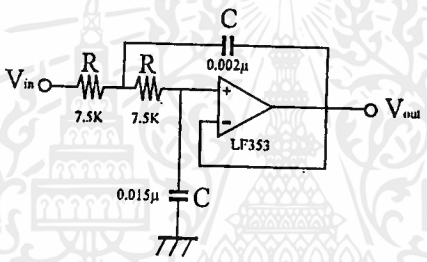
เมื่อเลือกให้อัตราขยายมีค่าเป็น 1.4 เท่าของอินพุท เพราะฉะนั้นจากสมการที่ 3.1 จึงเลือก

$$R_1 = 5\ k\Omega$$

$$R_f = 2\ k\Omega$$

3.2.3 <u>วงจรกรองสัญญาณรบกวนความถี่สูง (Active Lowpass Filter)</u>

เนื่องจากสัญญาณรบกวนที่จะทำให้เกิดความผิดพลาดในการนำค่าสัญญาณไปประมวลผล นั้นจะเป็นสัญญาณรบกวนความถี่สูง ดังนั้นจึงต้องใช้วงจรกรองสัญญาณรบกวนความถี่สูงมาช่วยกำจัดสัญญาณรบกวน



<u>รูปที่ 3.5</u> วงจรกรองสัญญาณรบกวนความถี่สูง

การหาค่า ความถี่คัทออฟ (Cutoff) จะเป็นไปตามสมการที่ 3.2

$$f_H = 1 / [\, 2\sqrt{2\Pi RC}\,] \qquad \text{..... 3.2}$$

เลือกความถี่ Cutoff ประมาณ 700 Hz

เลือกใช้ตัวเก็บประจุ C = 0.015 µF

เพราะฉะนั้นเลือก R = 7.5 kΩ

จากสมการที่ 3.2 จะได้ค่าความถี่ Cutoff ประมาณ 750 Hz

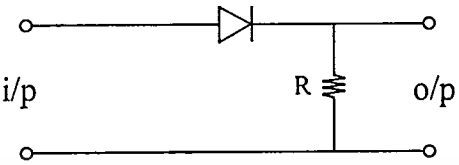
เพราะฉะนั้น สัญญาณที่มีความถี่สูงกว่า 750 Hz จะไม่สามารถผ่านไปได้

3.2.4 <u>วงจรครึ่งคลื่นสัญญาณ (Half Wave Rectifier)</u>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากในส่วนของการแปลงสัญญาณจากอนาลอก (Analog) เป็นสัญญาณดิจิตอล (Digital) จะรับค่าสัญญาณที่มีค่าเป็นบวกกับศูนย์เท่านั้น

วงจรนี้จะใช้ไดโอดต่อดังรูปที่ 3.6 โดยค่าสัญญาณเอาท์พุท (Output) ที่ได้ จะมีค่าเป็น 0.45 เท่าของสัญญาณป้อนเข้า (Input)



รูปที่ 3.6 วงจรฮาล์ฟเวฟ

3.2.5 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (A/D)

ในส่วนของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลจะใช้ไอซีเบอร์ ADC0820 ซึ่งเป็นไอซีขนาด 8 บิต มีความเร็วในการแปลงสัญญาณ (Conversion Time) สูง รับสัญญาณป้อนเข้า (Input) ที่มีค่าแรงดันตั้งแต่ 0-5 โวทล์ การแปลงสัญญาณจะใช้วิธีการสุ่มค่าสัญญาณป้อนเข้าแล้วแปลงเป็นสัญญาณดิจิตอลขนาด 8 บิต เนื่องจากเป็นไอซีขนาด 8 บิต ดังนั้นค่าที่ได้จากการสุ่มจึงมีค่าได้ถึง 256 ค่า

เนื่องจากเป็นไอซีที่มีความเร็วในการแปลงสัญญาณสูง(ประมาณ 2.5μs) ดังนั้นจึงสามารถแปลงค่าสัญญาณที่ป้อนเข้าได้อย่างละเอียด ซึ่งจะทำให้ข้อมูลที่ส่งไปประมวลผลมีความสมบูรณ์มากยิ่งขึ้นด้วย

ในส่วนของ ADC0820 นี้จะต้องมีสัญญาณสั่งการทำงานสองสัญญาณต่อเข้ากับขา 8(ขา/RD) และ ขา 13(ขา /CS) สัญญาณทั้งสองนี้จะมีจังหวะที่แตกต่างกันโดยที่ขา 13(ขา /CS) จะเป็นขาสัญญาณแสดงความพร้อมของ ADC (ทำงานที่สภาวะ low)ขา 8(ขา /RD) จะเป็นขาสัญญาณสั่งการแปลงค่าของ ADC (ทำงานที่สภาวะ low) ดั้งนั้นจึงจำเป็นที่จะต้องมีวงจรสร้างสัญญาณคล็อก(Clock)สองวงจร ซึ่งทั้งสองวงจรควรจะมีความถี่ที่เท่ากันแต่มี duty cycle ที่แตกต่างกัน โดยที่สัญญาณคล็อกที่ขา 8 จะมีช่วง duty cycle ที่น้อยกว่าสัญญาณคล็อกขา 13 (จะกล่าวต่อไปในหัวข้อ 3.2.8 วงจรสร้างสัญญาณคล็อก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

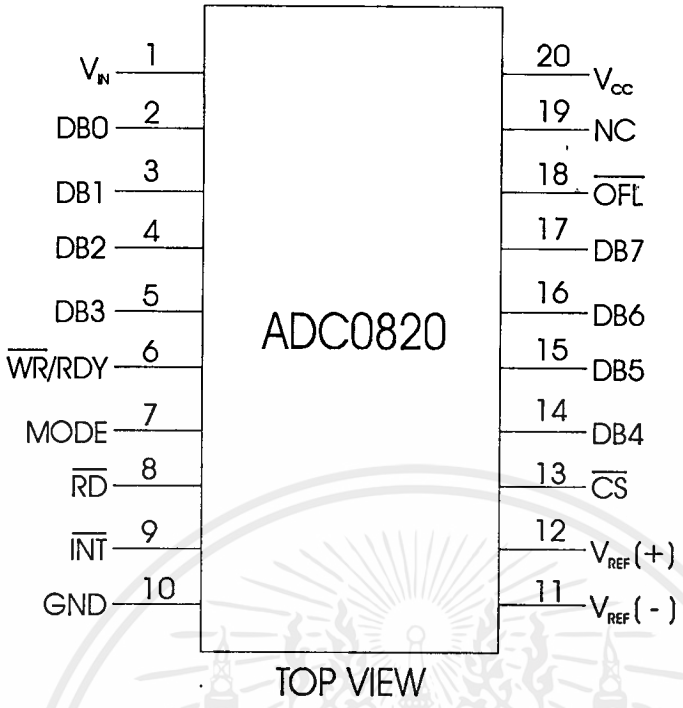
3.2.6 ไมโครคอนโทรลเลอร์

สำหรับการประมวลผล จะเลือกใช้ไมโครคอนโทรลเลอร์เป็นส่วนที่ใช้ในการประมวลผล โดยการรับค่าข้อมูลขนาด 8 บิต เข้ามาประมวลผลตามโปรแกรมที่เขียนไว้ ในส่วนชนิดของไมโครคอนโทรลเลอร์จะเลือกใช้ไมโครคอนโทรลเลอร์ตระกูล 8051 ซึ่งเป็นไมโครคอนโทรลเลอร์ขนาด 8 บิต ซึ่งจะสัมพันธ์กับสัญญาณส่งออกของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล

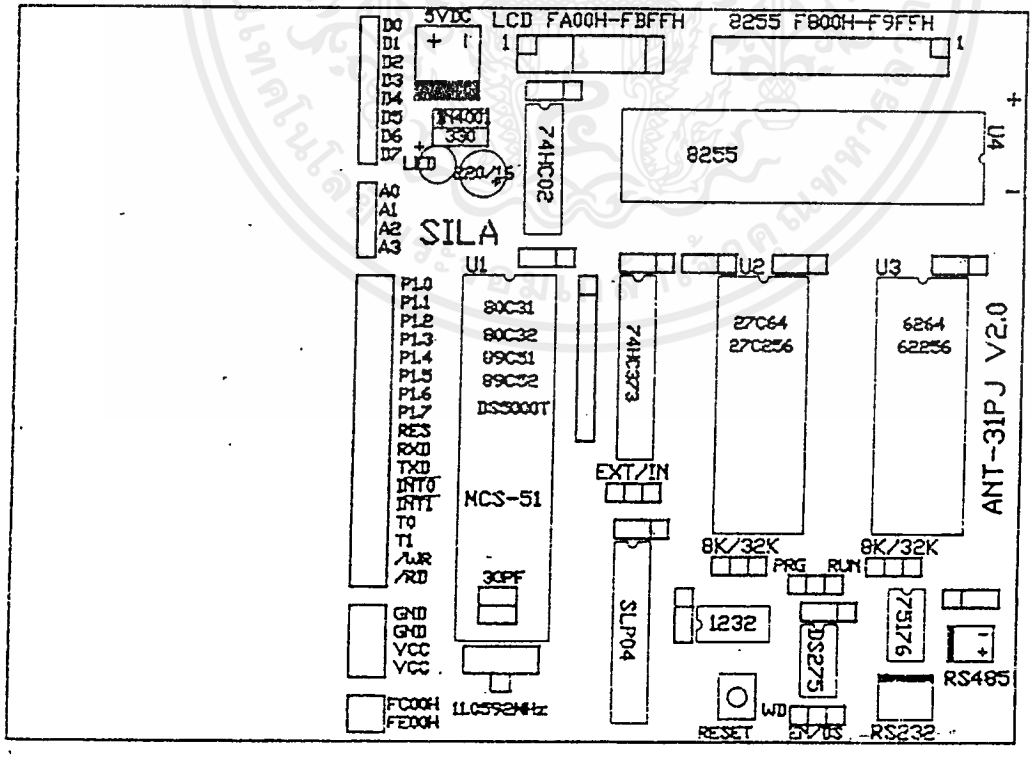
สำหรับในปริญญานิพนธ์นี้จะใช้บอร์ดรุ่น ANT-31PJ ซึ่งจะมีคุณสมบัติต่างๆ ดังนี้

CPU	: 80C31 (On Board) ,87C51FA,8C51,8C52,DS5000T
CLOCK	: 11.0592 MHz
MEMORY	: U2 0/32K EPROM SOCKET (2764,27128,27256)
	ADDRESS 0000H - 7FFFH (PMEM 27256)
	: U3 8/30K RAM PMEP+DMEM (6264,62256)
	ADDRESS 8000H - 9FFFH (DMEM 6264)
PORT	: 24 BIT 8255 USER PORT (26 PIN CONNECTOR)
	: LCD PORT (DOT MARTIX ONLY) (20 PIN CONNECTOR)
	: SERIAL RS232 (DS275 = OPTION) (3 PIN CONNECTOR)
	: SERIAL RS485 (75617 = OPTION) (2 PIN CONNECTOR)
RESET	: MAX1232 (WATCHDOG)
ONBOARD	: 1 2-PIN 5VDC CONNECTOR
	: 2 TEST POINT FOR CLIP (VCC,GND)
	: 4" x 2" WIRKING AREA PCB
JUMPER	: WATCHDOG (EN,DIS)
	: EA (INT,EXT)
	: DS5OOOT (R,P)
	: ROM U2 (2764,27128,27256)
	: RAM U3 (6264,62256)
POWER	: 5VDC CURRENT 80mA (WITH 27C256 EPROM)
	: 5VDC 220mA (FULL OPTION)
SIZE	: 4" x 5.5"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 ไอซี ADC0820 แปลงสัญญาณอนาลอกเป็นดิจิตอล



รูปที่ 3.8 ตำแหน่งต่างๆ บนบอร์ด ANT-31PJ V2.0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.7 ส่วนแสดงผล

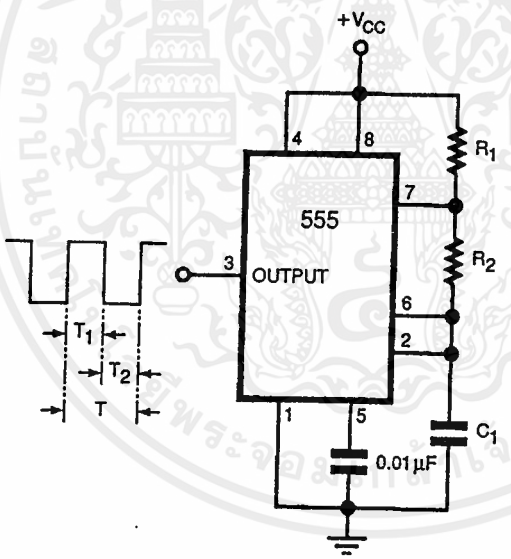
จะเป็นส่วนที่รับค่าจากการประมวลผลของไมโครคอนโทรลเลอร์เพื่อแสดงค่าเอาท์พุท ออกมาเป็นค่ากระแสลำดับบวก กระแสลำดับลบ และกระแสลำดับศูนย์ ตามลำดับ โดยจะแสดงออกมาทางหน้าจอแอลซีดี (LCD) ซึ่งในการสั่งการประมวลผลนั้นจะใช้โปรแกรมภาษาแอสเซมบลีจากสั่งการผ่านทางไมโครคอนโทรลเลอร์

3.2.8 วงจรสร้างสัญญาณคล็อก (Clock)

ในการทำงานของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลจะต้องให้สัญญาณที่เป็นจังหวะในการทำงาน (Clock) ซึ่งตามคุณสมบัติของไอซี ADC0820 จะต้องมีสัญญาณให้จังหวะการทำงาน 2 สัญญาณ

การหาค่าความถี่ของสัญญาณคล็อกจะเป็นไปตามสมการที่ 3.3

$$f \approx 1.44 / [(R_1 + 2R_2) C_1] \qquad .....3.3$$



รูปที่ 3.9 วงจรสร้างสัญญาณคล็อก

สัญญาณคล็อกที่จะส่งให้เอทูดีจะมี 2 สัญญาณโดยสัญญาณที่ 1 จะป้อนเข้าที่ขาที่ 8 และสัญญาณที่ 2 จะป้อนเข้าที่ขาที่ 13 ของเอทูดี

วงจรสร้างสัญญาณที่ 1 เลือก

R_1 และ R_2 = 5 kΩ

C_1 = 1 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

038479

ซึ่งจะทำให้ได้ค่าความถี่ f = 96 MHz

โดยที่สัญญาณที่ได้จะต้องผ่านอินเวอร์เตอร์ก่อนที่จะป้อนเข้าขาที่ 8 ของเอทูดี

วงจรสร้างสัญญาณที่ 2 เลือก

R_1 = 2.5 kΩ

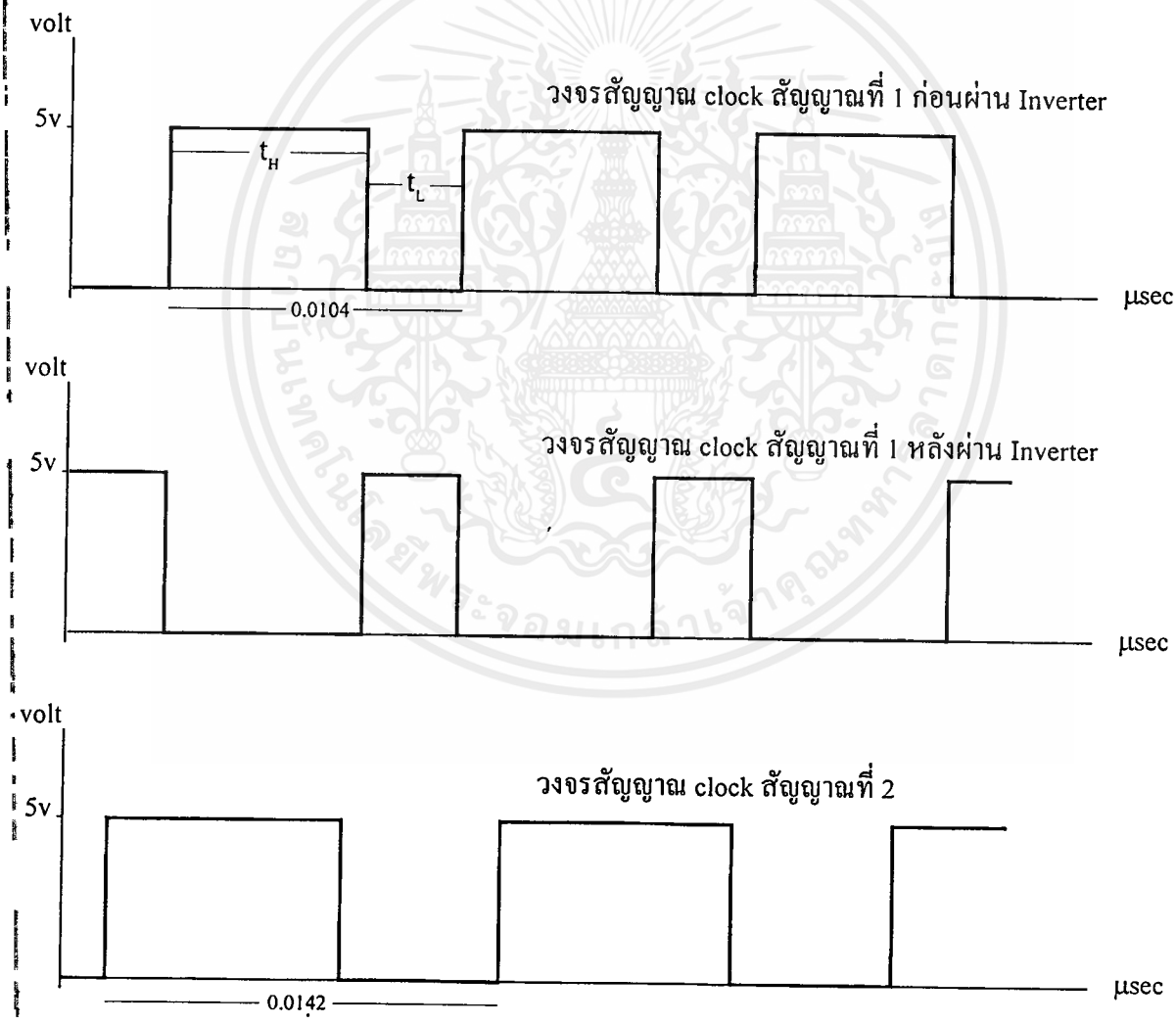
R_2 = 5.6 kΩ

C_1 = 1.5 pF

ซึ่งจะทำให้ได้ค่าความถี่ f = 70 MHz

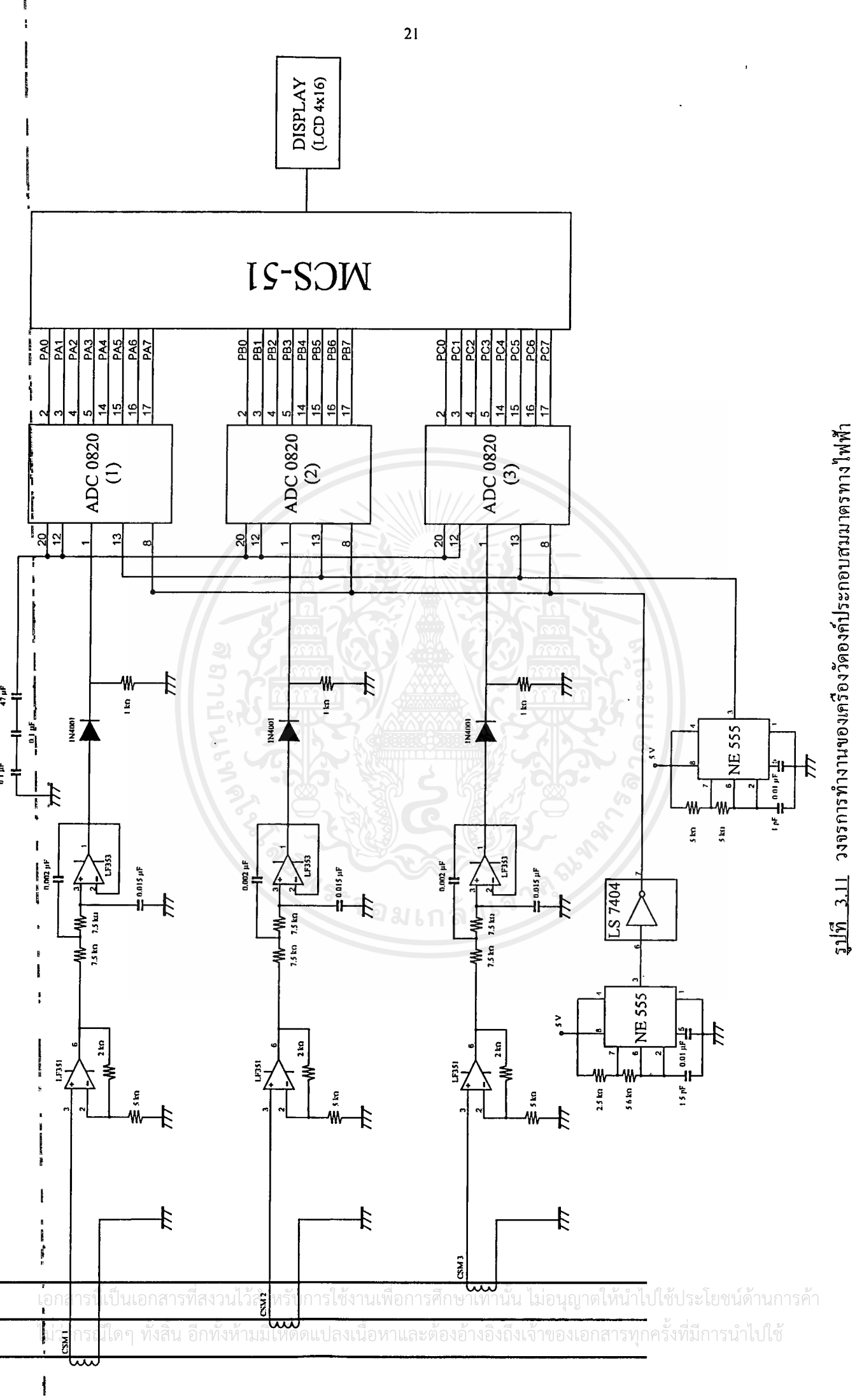
ลักษณะของสัญญาณจะขึ้นอยู่กับ R_1 และ R_2 โดยช่วงเวลาในการสะสมประจุ (t_H) เมื่อเทียบกับช่วงเวลาในการคายประจุ (t_L) จะเป็น $(R_1+R_2) / R_2$ ดังรูปที่ 3.10

[จากวงจร ASTABLE MULTIVIBRATION ภาคผนวก]



รูปที่ 3.10 จังหวะการทำงานของสัญญาณ clock ทั้งสองสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 วงจรการทำงานของเครื่องวัดองค์ประกอบสมมาตรทางไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 การเขียนโปรแกรมของไมโครคอนโทรลเลอร์

ในการเขียนโปรแกรมจะใช้ภาษาแอสเซมบลี (Assembly) ซึ่งใช้กับไมโครคอนโทรลเลอร์เบอร์ 8051 และใช้โปรแกรม SXA51 และ XTALK ในการพัฒนาโปรแกรม

ในการเขียนโปรแกรมสามารถแยกเป็นส่วนประกอบของโปรแกรมได้ดังนี้

- โปรแกรมรับอินพุท
- โปรแกรมหาค่า Peak
- โปรแกรมหาค่ามุม Phase Shift
- โปรแกรมคำนวณค่าองค์ประกอบสมมาตรลำดับต่างๆ
- โปรแกรมหาค่าฟังก์ชั่นตรีโกณมิติ (ค่า sine , cos , arctan)
- โปรแกรมแสดงค่าเอาท์พุททางหน้าจอแอลซีดี

3.3.1 โปรแกรมรับอินพุท

เป็นโปรแกรมรับค่าอินพุทที่ถูกแปลงเป็นสัญญาณดิจิตอล โดยจะนำค่าอินพุทที่ได้มาเก็บไว้ในหน่วยความจำข้อมูล(RAM)มีหลักการดังนี้

- รับค่าสัญญาณดิจิตอลจากวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (A to D)มาเก็บไว้ในหน่วยความจำข้อมูลเป็นเลขฐานสิบหก โดยค่าที่นำมาเก็บในหน่วยความจำข้อมูลจะมีลักษณะเรียงกันตามแบบอินพุทที่รับเข้ามาคือ เรียงค่าเป็นฮาล์ฟเวฟ ซึ่งค่าจะเพิ่มขึ้น จากศูนย์จนเป็นค่าสูงสุด และลดลงเป็นศูนย์
- ในการรับค่าจะรับค่าอินพุทจาก A to D ของเฟส A , เฟส B, เฟส C ทีละค่าตามลำดับแล้ววนกลับมารับค่าที่ละเฟสใหม่ โดยทำซ้ำๆ ไปอีกประมาณ 770 รอบ จะรับได้ประมาณ 3 ลูกคลื่น ซึ่งจะใช้เวลาทำงานประมาณ 60 ms ต่อเฟส
- ค่าที่ได้รับจาก A to D ในแต่ละคาบสัญญาณจะรับค่าได้มากหรือน้อยต่อหนึ่งคาบนั้นขึ้น อยู่กับความเร็วในการแปลงสัญญาณของ A to D (A to D เบอร์ ADC0820 มีความเร็วในการแปลงสูงสุด 2.5 Microsecond) และความถี่ของสัญญาณอินพุท และการเขียน โปรแกรมรับค่าจากพอร์ท 8255 ในไมโครคอนโทรลเลอร์ ก็เป็นอีกส่วนหนึ่งซึ่งมีผลต่อความละเอียดของค่าที่จะรับ
- ค่าที่ได้จากอินพุทของไฟแต่ละเฟสจะถูกเก็บ ณ ตำแหน่ง(Address)ต่างๆ ดังนี้
  เฟส A จะถูกเก็บ ณ ตำแหน่ง(Address) 9200H ถึง 94FFH
  เฟส B จะถูกเก็บ ณ ตำแหน่ง(Address) 9500H ถึง 97FFH
  เฟส C จะถูกเก็บ ณ ตำแหน่ง(Address) 9800H ถึง 9AFFH

3.3.2 โปรแกรมหาค่า Peak

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเรารับอินพุททั้ง 3 เฟส เข้ามาแล้ว เราจะนำอินพุททั้ง 3 เฟส มาหาค่าสูงสุด(peak) เพื่อนำไปหารด้วยรากที่สองของสอง($\sqrt{2}$)ออกมาเป็นค่า R.M.S แล้วนำค่าไปแทนใน สมการหา Symmetical Component

โปรแกรมการหาค่า peak นี้เราจะทำการหาทีละเฟส โดยการนำค่า FEHไปเปรียบเทียบกับอินพุท ที่รับเข้ามาทั้งหมดหาก

- อินพุทที่รับเข้ามามีค่ามากกว่าก็จะทำการเก็บค่านั้นไว้และเก็บตำแหน่งที่อยู่ (Address)ของอินพุทนั้นไว้เพื่อนำไปหาค่า Phase Shift (หัวข้อ 3.3.3 โปรแกรมหาค่ามุม Phase Shift)
- อินพุท ที่รับเข้ามามีค่าน้อยกว่าก็จะทำการลดค่า FEH ลง 1 ค่า แล้วนำไปเปรียบเทียบกับ อินพุททั้งหมดอีกรอบ ทำจนกระทั่งได้ค่าที่มากกว่าแล้วจึงเก็บตำแหน่งที่อยู่(Address)ของ อินพุทนั้นไว้เพื่อนำไปหาค่า Phase Shift

เมื่อหาค่า peak และตำแหน่งที่อยู่ของอินพุทได้แล้ว ก็จะทำการเปลี่ยนเฟส เพื่อหาค่า peak และตำแหน่งที่อยู่ของเฟสต่อไป

Address (RAM)	DATA(ฐาน 16)	
9000H	F8H	ค่า peak ของอินพุทจาก port A
9001H	20H	ตำแหน่ง Address ของค่า peak ของเฟส A (8 บิตล่าง)
9002H	92H	ตำแหน่ง Address ของค่า peak ของเฟส A (8 บิตบน)
9003H	F8H	ค่า peak ของอินพุทจาก port B
9004H	75H	ตำแหน่ง Address ของค่า peak ของเฟส B (8 บิตล่าง)
9005H	95H	ตำแหน่ง Address ของค่า peak ของเฟส B (8 บิตบน)
9006H	F8H	ค่า peak ของอินพุทจาก port C
9007H	CAH	ตำแหน่ง Address ของค่า peak ของเฟส C (8 บิตล่าง)
9008H	98H	ตำแหน่ง Address ของค่า peak ของเฟส C (8 บิตบน)

ตารางที่ 3.3 ตารางแสดงตำแหน่งการเก็บค่า peak และตำแหน่งที่อยู่ของค่า peak ในแต่ละเฟส

3.3.3 โปรแกรมหาค่ามุม Phase Shift

เป็นโปรแกรมหาค่าความต่างเฟสระหว่างเฟส A,B และ C โดยอาศัยการเปรียบเทียบตำแหน่งที่อยู่ (Address) ของค่า peak ในแต่ละเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากโปรแกรมรับอินพุทจะสามารถรับค่าได้ประมาณ 256 ค่าต่อ 1 คาบ(360°) ดังนั้นค่าตำแหน่ง 1 Address จะเป็นมุมขนาด 360/256 = 1.4° ดังตัวอย่างการคำนวณต่อไปนี้

จากตารางที่ 3.3 ตำแหน่ง Address เฟส A คือ 9220H

ตำแหน่ง Address เฟส B คือ 9575H

ตำแหน่ง Address เฟส C คือ 98CAH

ดังนั้นค่าต่างเฟสระหว่างเฟส A และ B เป็น 20H-75H = ABH (มีแฟลกทด)

ซึ่งคิดเป็น -85(ฐานสิบ)×1.4° = -120° (มีแฟลกทดจึงกลายเป็นลบ)

ดังนั้นค่าต่างเฟสระหว่างเฟส A และ C เป็น 20H-CAH = 56H (มีแฟลกทด)

ซึ่งคิดเป็น -170(ฐานสิบ)×1.4° = -240° (มีแฟลกทดจึงกลายเป็นลบ)

3.3.4 <u>โปรแกรมคำนวณหาค่า Symmetrical Component</u>

- ใช้ในการหาค่า องค์ประกอบลำดับต่างๆ ของแรงดัน 3 เฟส ซึ่งประกอบด้วย องค์ประกอบลำดับบวก องค์ประกอบลำดับลบ และองค์ประกอบลำดับศูนย์
- จากโปรแกรมหาค่า peak และมุมเฟส shift แต่ละเฟส จะนำค่าเหล่านี้มาคำนวณหาค่าองค์ประกอบลำดับต่างๆ ดังสมการ 3.4

$$V_{a1} = [V_A + aV_B + a^2V_C]/3 \quad \text{..... 3.4}$$

$$V_{a2} = [V_A + a^2V_B + aV_C]/3 \quad \text{..... 3.5}$$

$$V_{a0} = [V_A + V_B + V_C]/3 \quad \text{..... 3.6}$$

เมื่อ

$$a = 1\angle 120°$$

$$a^2 = 1\angle 240°$$

V_A, V_B, V_C : ค่า peak voltage ของเฟส A, เฟส B และเฟส C ตามลำดับ

เมื่อกำหนด V_A เป็นจุดเปรียบเทียบ จะได้ $V_A\angle 0°, V_B\angle b°, V_C\angle c°$

การหาค่าองค์ประกอบลำดับบวก

- แทน $aV_B\angle b°$ ด้วย $V_B\angle y°$ โดย $y = b + 120°$
- แทน $a^2V_C\angle c°$ ด้วย $V_C\angle z°$ โดย $z = c + 240°$

การหาค่าองค์ประกอบลำดับลบ

- แทน $a^2V_B\angle b°$ ด้วย $V_B\angle y°$ โดย $y = b + 240°$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- แทน $aV_C \angle c°$ ด้วย $V_C \angle z°$ โดย $z = c + 120°$

การหาค่าองค์ประกอบลำดับศูนย์

- ไม่ต้องเปลี่ยนแปลงค่าใดๆ ใช้สมการที่ 3.6 ได้เลย

ดังนั้นขนาดของแต่ละ Component คือ $[V_A \angle a° + V_B \angle y° + V_C \angle z°] / 3$

เมื่อ $V_A \angle a° + V_B \angle y° + V_C \angle z° = [V_A \cos a° + iV_A \sin a°] + [V_B \cos y° + iV_B \sin y°] + [V_C \cos z° + iV_C \sin z°]$ 3.7

แบ่งสมการเป็นส่วนจริง (m) : $V_A \cos a° + V_B \cos y° + V_C \cos z°$

ส่วนจินตภาพ (n) : $V_A \sin a° + V_B \sin y° + V_C \sin z°$

ดังนั้น

$$m + n = [\sqrt{m^2 + n^2}] \angle \tan^{-1} (n/m) \quad \text{.....3.8}$$

เพราะฉะนั้น

$$\text{ขนาด} = [(\sqrt{m^2 + n^2}) / 3] / \sqrt{2}$$

$$\text{มุม} = \tan^{-1} (n/m)$$

และคำนวณหาค่า Square Root ได้จากสมการที่ 3.9

$$\text{new x} = [\text{old x} + (s) / \text{old x}] / 2 \quad \text{.....3.9}$$

เมื่อค่าที่ต้องการหาคือ $\sqrt{s}$ และค่า old x เริ่มต้นที่ 1 โดยทำการหาซ้ำๆ หลายๆ ครั้งเพื่อให้ได้ค่า s ที่ใกล้เคียงค่าจริงมากที่สุด

เพราะฉะนั้นสมการรวมจะได้ดังสมการที่ 3.10

$$V_{a0} \text{ หรือ } V_{a1} \text{ หรือ } V_{a2} = \sqrt{[V_A + V_B \cos y° + V_C \sin z°]^2 + [V_B \sin y° + V_C \sin z°]^2} \quad \text{..... 3.10}$$

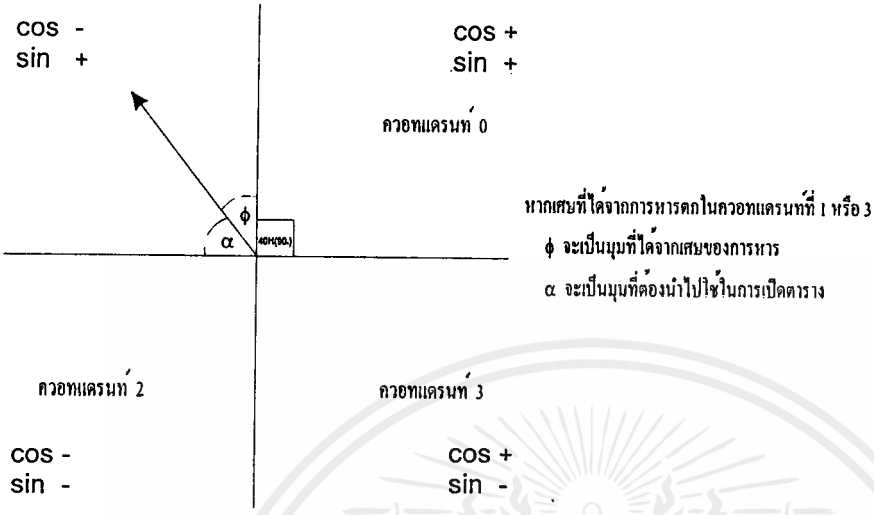
และทำการหารค่าที่ได้ด้วย $\sqrt{2}$ เพื่อทำเป็นค่า R.M.S

3.3.5 <u>โปรแกรมหาค่าฟังก์ชั่นตรีโกณมิติ (ค่า cos , sine , arctan)</u>

โปรแกรการหาค่าฟังก์ชั่น cos , sine และ arctan นั้นเราจะอาศัยการเปิดค่าจากตาราง ซึ่งเราเก็บไว้ในหน่วยความจำโปรแกรม(ROM) ณ ตำแหน่ง 7D00H สำหรับค่า arctan ตำแหน่ง 7E00H สำหรับค่า cos และ 7F00H สำหรับค่า sine

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยการหาค่า cos และ sine นั้นเราจะอาศัยค่ามุมที่เราได้จากการหา phase shift ซึ่งค่ามุมนี้เราจะหารด้วยค่า 40H(90°) แล้วนำเศษของการหารนี้มาเปิดค่าตาราง และนำค่าส่วนของการหารนี้มาแปลงค่าของมุมในกรณีที่อยู่ต่าง ควอทแดรนท์ดังรูปที่ 3.11



รูปที่ 3.12 การแปลงค่า cos , sine ในกรณีที่อยู่ต่าง ควอทแดรนท์

จากรูปที่ 3.11

หากมุม phase shift ตกลงใน ควอทแดรนท์ที่ 1 และ 3 แล้ว เศษที่ได้จากการหารนั้นจะต้องนำไปลบดับ 40H(90°) ก่อนแล้วจึงสามารถนำไปเปิดตารางได้ ซึ่งสามารถอธิบายได้จากรูปที่ 3.11 คือ เมื่อเราได้เศษจากการหารที่ตกลงในควอทแดรนท์ที่ 1 และ 3 เศษนั้นจะเป็นมุม ϕ แต่มุมที่เราต้องนำไปเปิดตารางนั้นจะต้องเป็นมุม α ดังนั้นเราจึงต้องนำลบ 90° ก่อน

ค่าส่วนของการหารนั้นเราสามารถนำมาแปลงค่า cos และ sine ที่เปิดจากตารางได้ เพราะเนื่องจากคุณสมบัติของควอทแดรนท์ต่างๆ ดังนี้

ควอทแดรนท์ 0 จะมีค่า cos เป็น + และค่า sine เป็น +

ควอทแดรนท์ 1 จะมีค่า cos เป็น − และค่า sine เป็น +

ควอทแดรนท์ 2 จะมีค่า cos เป็น − และค่า sine เป็น −

ควอทแดรนท์ 3 จะมีค่า cos เป็น + และค่า sine เป็น −

ซึ่ง 2 บิตหลังของค่าส่วนที่ได้จากการหารนั้นจะถูกนำมาใช้พิจารณา

ควอทแดรนท์ 0 จะมีค่า XXXXXX00B

ควอทแดรนท์ 1 จะมีค่า XXXXXX01B

ควอทแดรนท์ 2 จะมีค่า XXXXXX10B

ควอทแดรนท์ 3 จะมีค่า XXXXXX11B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นจะเห็นได้ว่าหากบิตรองสุดท้ายของค่าส่วนเป็น 0 แสดงว่าค่า sine เป็น + และหากต้องการหาค่า cos จะต้องเพิ่มค่าส่วนที่ได้จากการหาร 1 ค่าก่อนแล้วจึงมาพิจารณาว่าบิตรองสุดท้ายของค่าส่วนหากเป็น 0 แสดงว่าค่า cos เป็น +

3.3.6 โปรแกรมแสดงค่าเอาท์พุท

ทำการรับค่าขนาดและมุมเฟสขององค์ประกอบลำดับบวก ลำดับลบ และลำดับศูนย์จากโปรแกรมการคำนวณแล้วผ่านโปรแกรมแสดงผลทางจอแอลซีดีโดยตัวอักษรจะถูกแปลงเป็นแอสกีก่อนแล้วจึงแสดงเป็นค่าออกมา ซึ่งแอลซีดีที่ใช้จะมีขนาด 4 แถว 16 ตัวอักษร

3.4 โฟลวชาร์ตโปรแกรมการทำงานของเครื่องวัดองค์ประกอบสมมาตรทางไฟฟ้า

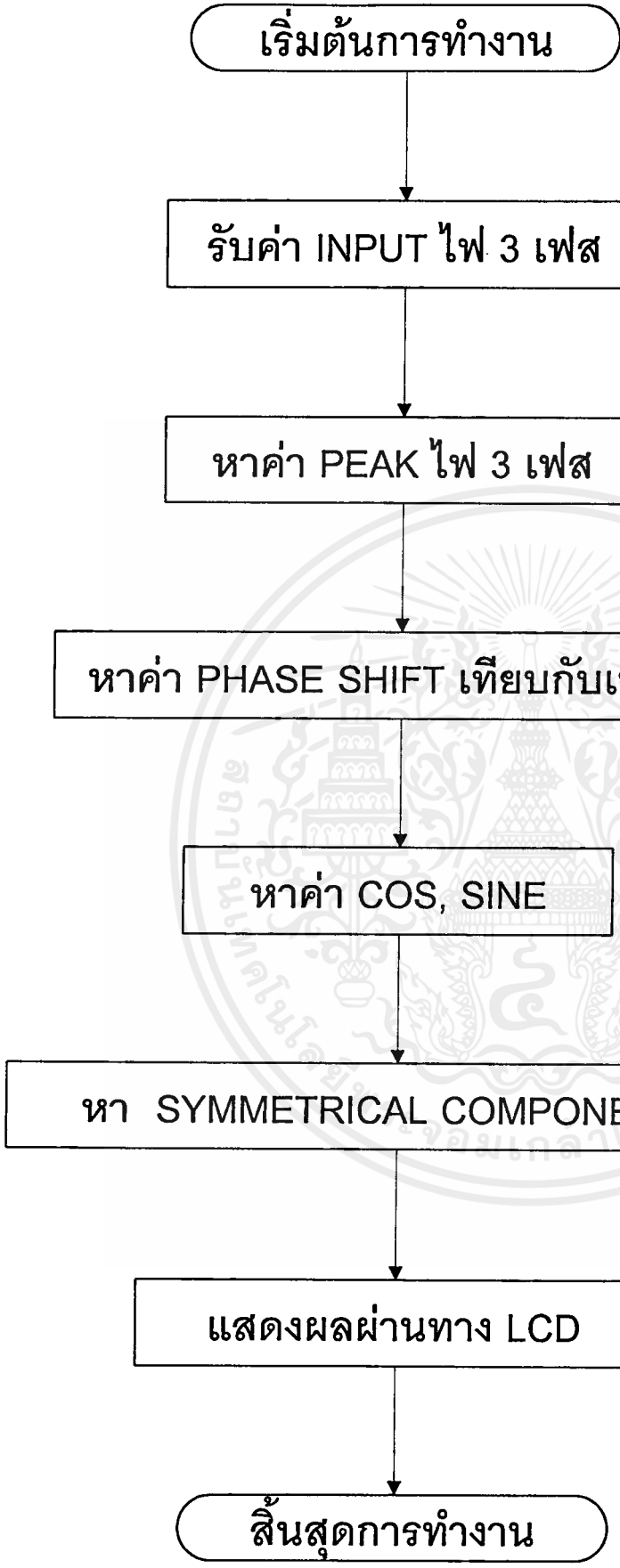
เราสามารถแบ่งการทำงานของโปรแกรมออกได้เป็น 6 ขั้นตอนหลักๆ ดังรูปที่ 3.13 ซึ่งในแต่ละขั้นตอนจะสามารถแสดงเป็น FLOWCHART รายละเอียดได้อีก ในส่วนของโปรแกรมหลักสามารถแบ่งได้ดังนี้คือ

1. รับ INPUT ไฟ 3 เฟส
2. หาค่า PEAK ไฟ 3 เฟส
3. หาค่า PHASE SHIFT เทียบกับเฟส A
4. หาค่า COS, SINE
5. หา SYMMETRICAL COMPONENTS
6. แสดงผลผ่านทาง LCD

3.4.1 โฟลวชาร์ตโปรแกรมรับค่า INPUT

ในการรับค่า input นั้นเริ่มต้นเราจะต้องกำหนดค่าของ controlbit เสียก่อน เพื่อที่จะได้กำหนดการทำงานของ port ของ 8255 ซึ่งในบอร์ด ANT-31PJ ที่เราใช้อยู่นี้จะมี controlbit อยู่ที่ตำแหน่ง 0F803H จากนั้นก็จะเป็นการรับ ของไฟ 3 เฟส ซึ่งเราจะทำการสลับการรับ input ของไฟแต่ละเฟสโดยที่จะรับทีละ 1 ค่าแล้วนำไปเก็บไว้ในหน่วยความจำข้อมูลภายนอก (ดังรูปที่ 3.14)

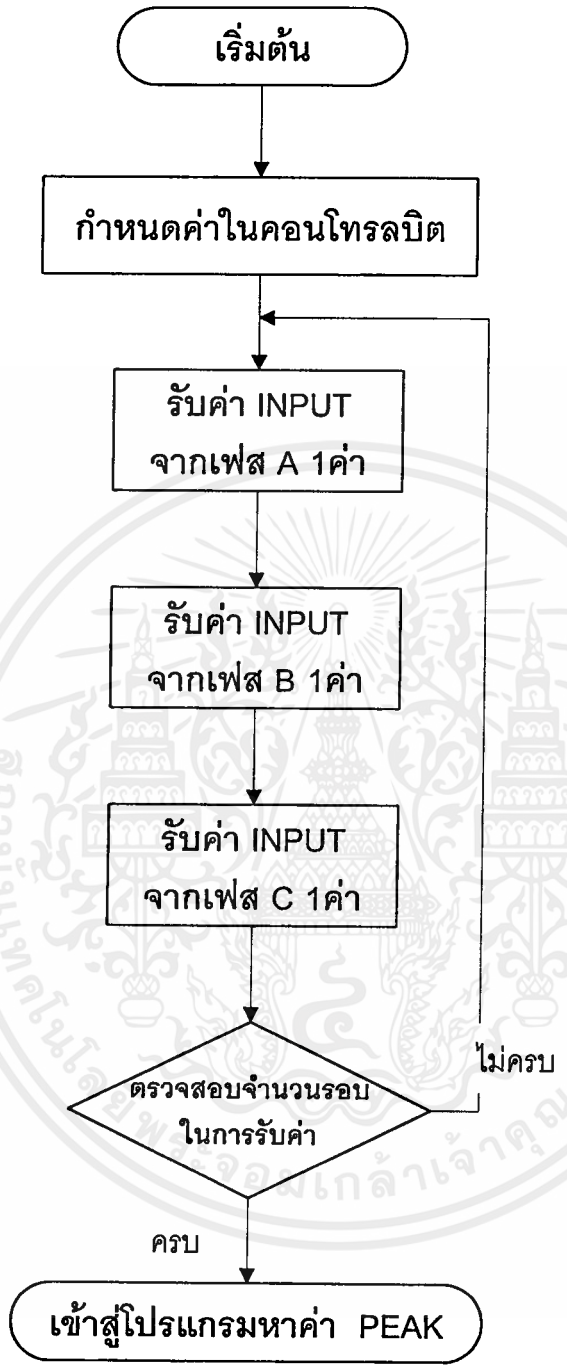
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



FLOWCHART แสดงการทำงานหลักของโปรแกรมภายในไมโครคอนโทรลเลอร์โดยจะสามารถแยกเป็น flowchart การทำงานย่อยต่อไป

<u>รูปที่ 3.13</u> FLOWCHART โปรแกรการทำงานของเครื่องวัดองค์ประกอบสมมาตร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.14 FLOWCHART โปรแกรมรับค่า INPUT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.2 โฟลวชาร์ตโปรแกรมหาค่า PEAK

ในการหาค่า peak นั้นเราจะนำค่า 0FFH มาเปรียบเทียบ (SUBB) กับค่า input ทั้งหมดในเฟสนั้น หากการเปรียบเทียบนั้นทำให้เกิด carry flag หรือไม่

- หากมี carry flag เกิดขึ้นก็แสดงว่า input มีค่าน้อยกว่าค่าที่นำมาเปรียบเทียบ ก็จะทำ การลดค่า 0FFH ลงแล้วทำการเปรียบเทียบต่อ
- หากไม่มี carry flag เกิดขึ้นก็แสดงว่า input มีค่ามากกว่าค่าที่นำมาเปรียบเทียบ ก็จะทำการเก็บค่า input และ Address แล้วทำการเปลี่ยนเฟสเพื่อเก็บค่าต่อไป

เมื่อเราสามารถหาค่า peak และ Address ของค่า peak ทั้ง 3 เฟสได้แล้วเราก็จะเข้าสู่โปรแกรมการหาค่า PhaseShift ต่อไป

3.4.3 โฟลวชาร์ตโปรแกรมหาค่า PhaseShift

ในการหาค่า PhaseShift นั้นเราจะนำค่า Address ของไฟเฟส A ลบด้วยค่า Address ของไฟเฟส B แล้วตรวจสอบดูว่ามี carry flag

- หากมี carry flag เราก็จะทำการ complement (CPL) ผลลบ
- หากไม่มี carry flag เราก็สามารถนำค่าผลลบมาใช้ได้เลย

จากนั้นเราก็เปลี่ยนไปหาในไฟเฟส C เป็นลำดับต่อไป ซึ่งค่าที่ได้จากการหาผลต่างนี้เราจะนำไปหาค่า cos และค่า sine ต่อไปเพื่อนำค่า cos และค่า sine นั้นไปหาองค์ประกอบสมมาตรต่อไป

3.4.4 โฟลวชาร์ตโปรแกรมหาค่า COS,SINE

ในการหาค่า cos และค่า sine นั้นเราจะนำค่าจากการหา PhaseShift ไปหาค่า cos และค่า sine จากตารางเก็บค่าภายในหน่วยความจำโปรแกรม โดยการนำค่า 40H ไปหารแล้วนำค่าเศษจากการหารไปหาค่าจากตาราง และเนื่องจากค่า cos และค่า sine ที่เก็บในตารางจะเป็นค่าบวกดังนั้นเราจึงต้องนำผลหารมาช่วยในการหาเครื่องหมายของค่า cos และค่า sine

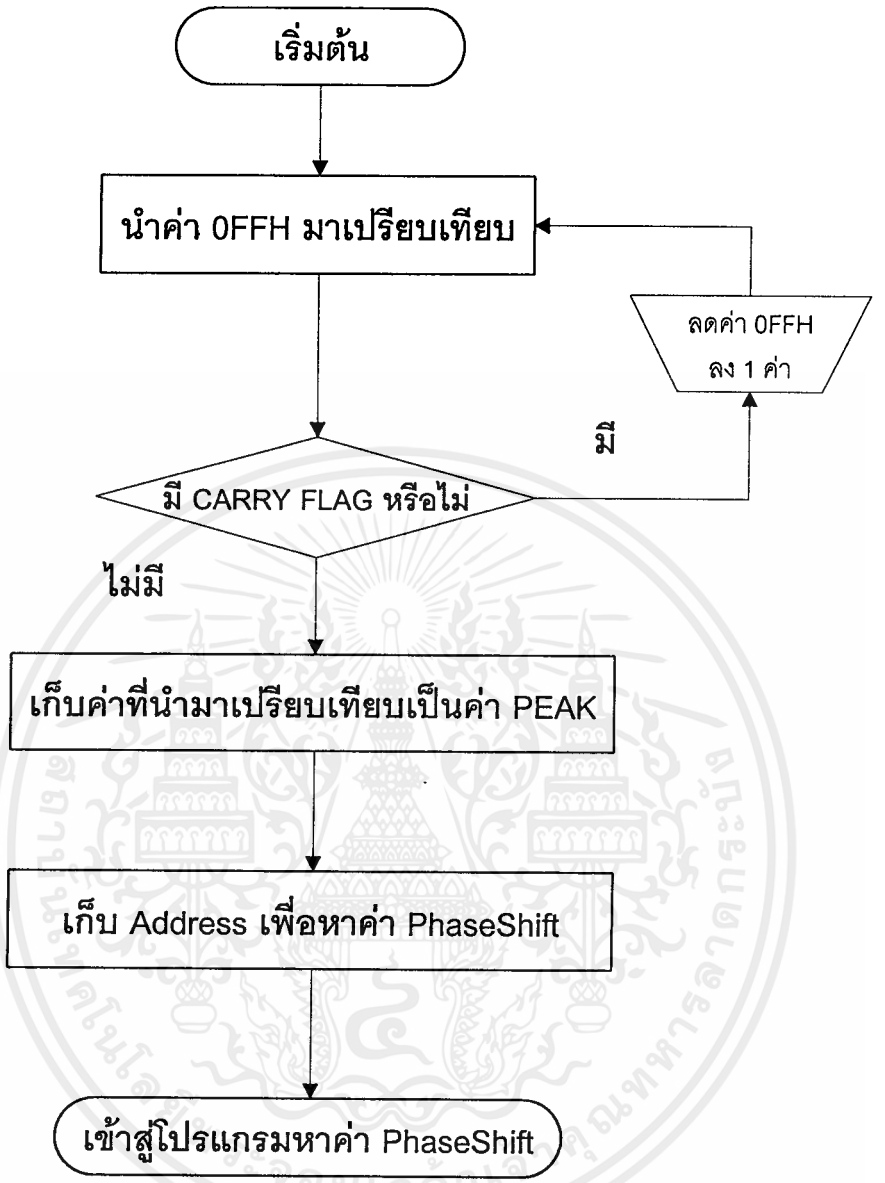
SINE จะนำค่าในบิตที่ 2 ของผลหารไปตรวจสอบหาค่า

- หากเป็น 0 ค่า sine จะเป็นบวก
- หากเป็น 1 ค่า sine จะเป็นลบ

COS จะเพิ่มค่าในบิตที่ 2 ของผลหาร 1 ค่าแล้วค่อยนำไปตรวจสอบหาค่า

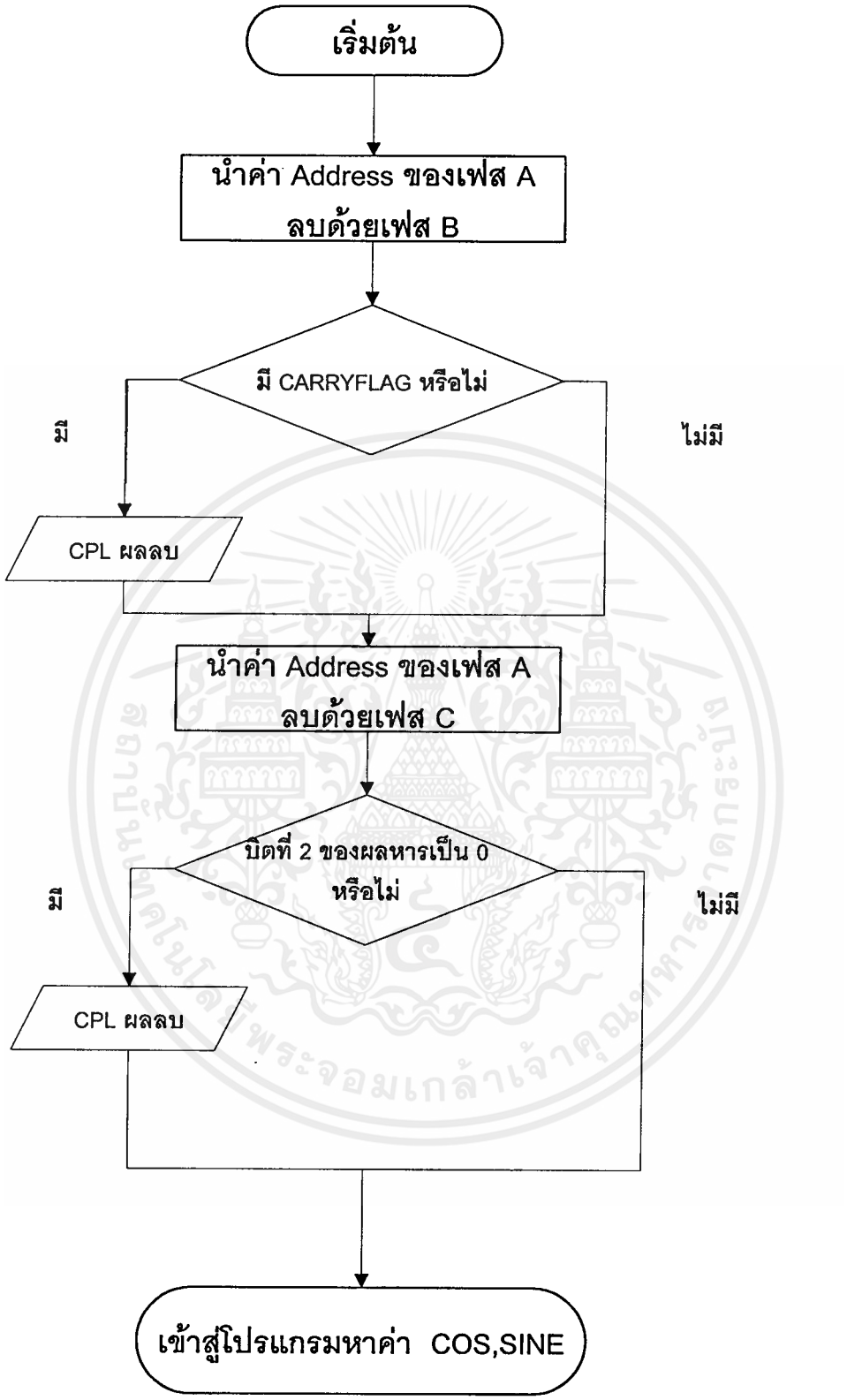
- หากเป็น 0 ค่า sine จะเป็นบวก
- หากเป็น 1 ค่า sine จะเป็นลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



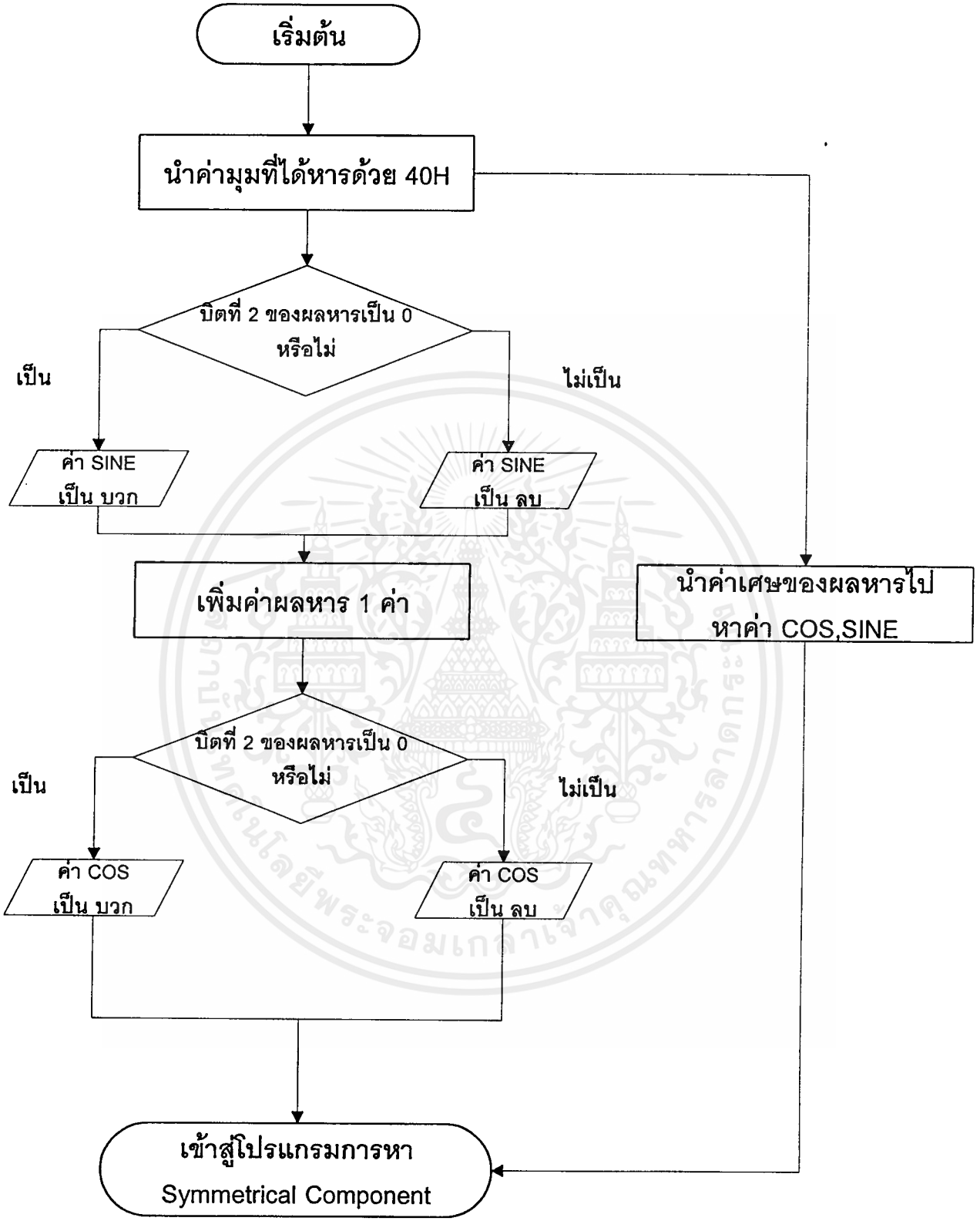
รูปที่ 3.15 FLOWCHART โปรแกรมหาค่า PEAK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



<u>รูปที่ 3.16</u> FLOWCHART โปรแกรมหาค่า PhaseShift

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.17 FLOWCHART โปรแกรมหาค่า COS,SINE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.5 โฟลวชาร์ตโปรแกรมหา SYMMETRICAL COMPONENTS

การทำงานของโปรแกรมหา SYMMETRICAL COMPONENTS เริ่มต้นด้วยการคูณกันของค่า peak และค่า COS , SIN ของแต่ละ component พร้อมทั้งตรวจสอบเครื่องหมายของค่า COS , SIN นั้น จากนั้น

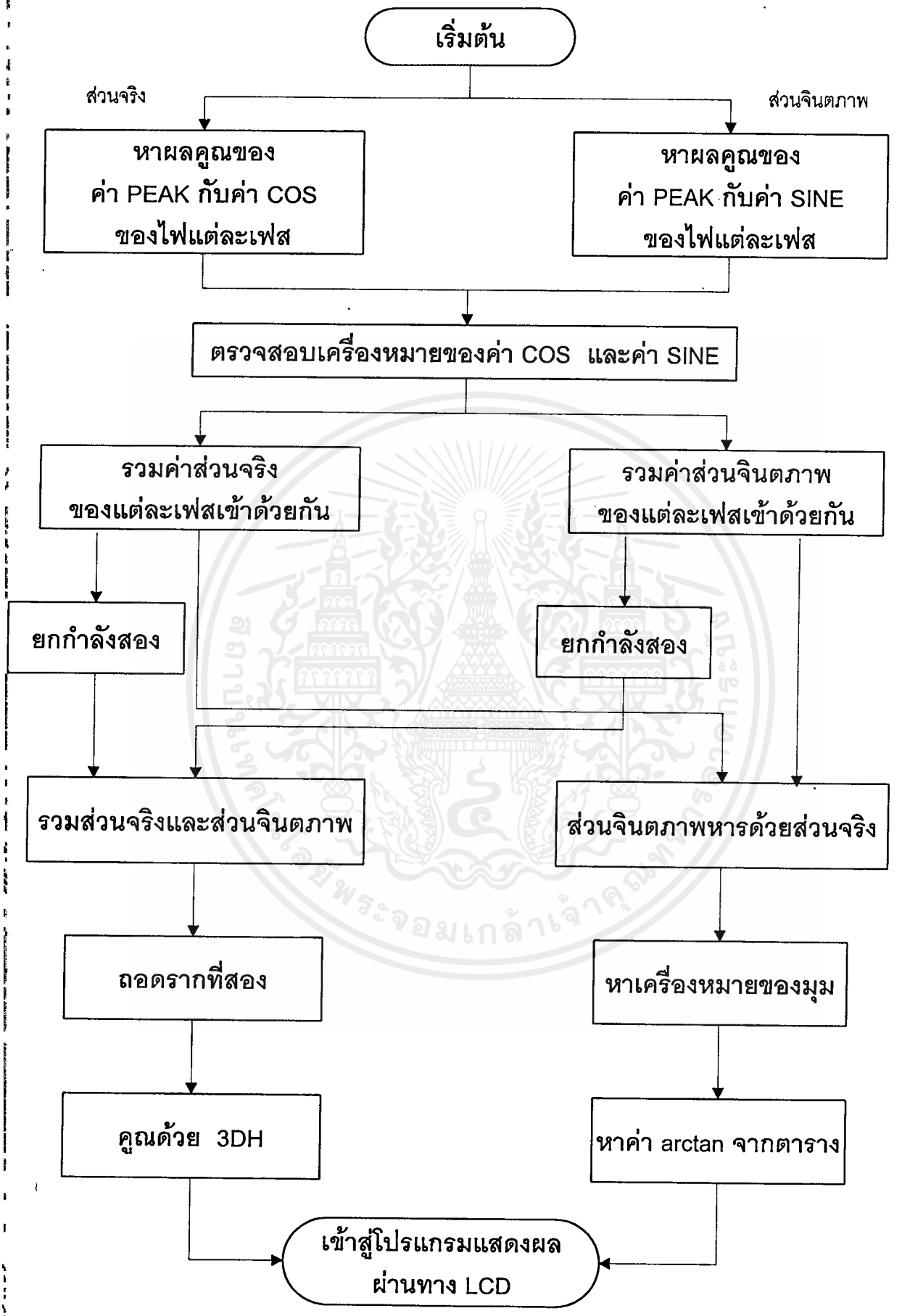
หาขนาดโดย ยกกำลังสอง และรวมส่วนจริงและส่วนจินตภาพแล้วถอดรากที่สอง หารด้วย 3 ตามสมการ , หารด้วย รากที่สอง ของ 2 เพื่อทำเป็นค่า rms.

หามุมโดย นำส่วนจินตภาพหารด้วยส่วนจริง แล้วเทียบค่ามุมจากตาราง พร้อมทั้งหาเครื่องหมายของมุม

3.4.6 โฟลวชาร์ตการทำงานของโปรแกรม LCD

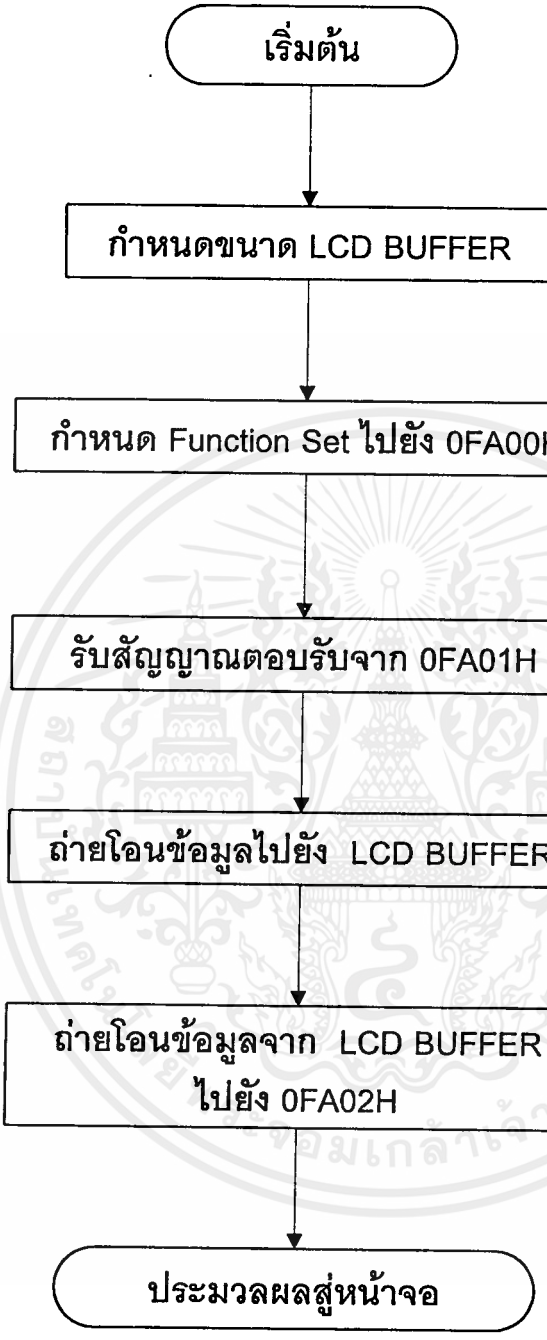
ในการทำงานของ LCD ของบอร์ด ANT-31PJ นั้นจะใช้การทำงานแบบ memmory map ซึ่งจะเปรียบ LCD เป็นหน่วยความจำตำแหน่งหนึ่ง (ในบอร์ด ANT-31PJ จะอยู่ที่ตำแหน่ง 0FA02H) โดยเราจะโอนข้อมูลที่ทำการแปลงเป็น ASCII แล้วไปยังตำแหน่ง 0FA02H แต่เราจำเป็นต้องเลือกโหมดการทำงานและตรวจสอบการทำงานของ LCD ด้วยว่าพร้อมสำหรับการทำงานหรือไม่ โดยเราสามารถติดต่อได้ที่ตำแหน่ง 0FA00H และ 0FA01H ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.18 FLOWCHART โปรแกรมหาค่า SYMMETRICAL COMPONENTS



รูปที่ 3.19 FLOWCHART โปรแกรมการทำงานของ LCD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

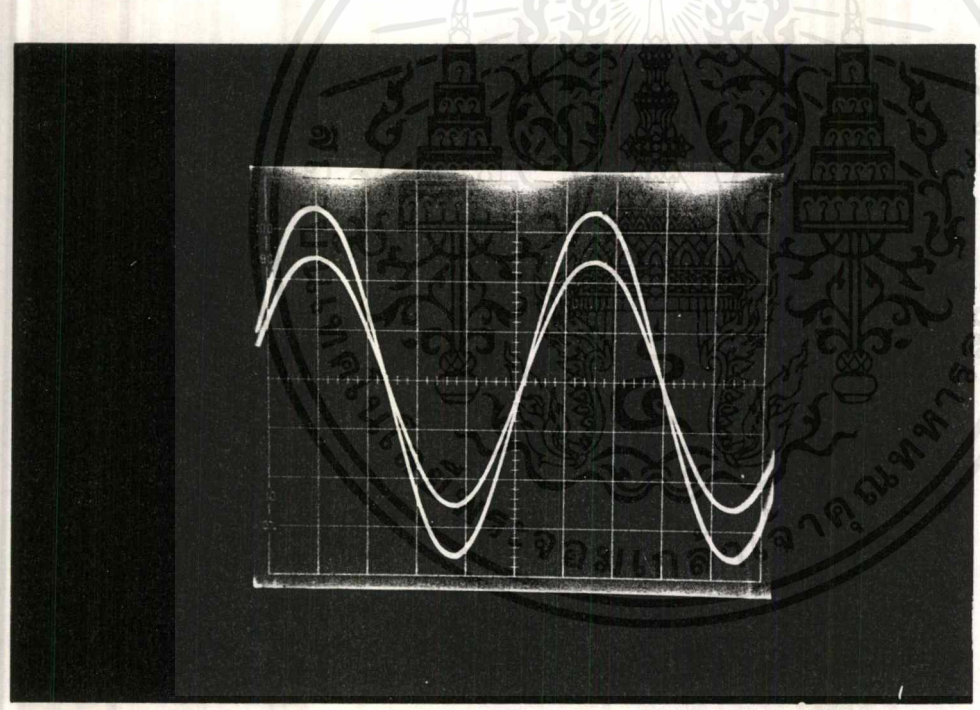
บทที่ 4
การทดลองเครื่องวัดองค์ประกอบสมมาตรของกระแสไฟฟ้า

ในบทนี้จะเป็นการทดลองเครื่องวัดโดยจะแบ่งออกเป็นสองส่วนคือ

- ส่วนของวงจรอิเลคทรอนิคส์ซึ่งจะแสดงค่าและผลที่ได้รับจากวงจรต่างๆ ภายในเครื่องวัด
- ส่วนของโปรแกรมภายในไมโครคอนโทรลเลอร์โดยจะเป็นการเปรียบเทียบค่าที่วัดได้กับค่าที่ได้จากการคำนวณในสภาวะเดียวกัน โดยการจำลองระบบไฟฟ้าขึ้นมาในเงื่อนไขต่างๆ

4.1 การทดลองวงจรอิเลคทรอนิคส์

Noninverting Amp



รูปที่ 4.1 เปรียบเทียบสัญญาณ i/p และ o/p ของ Noninvetring Amp

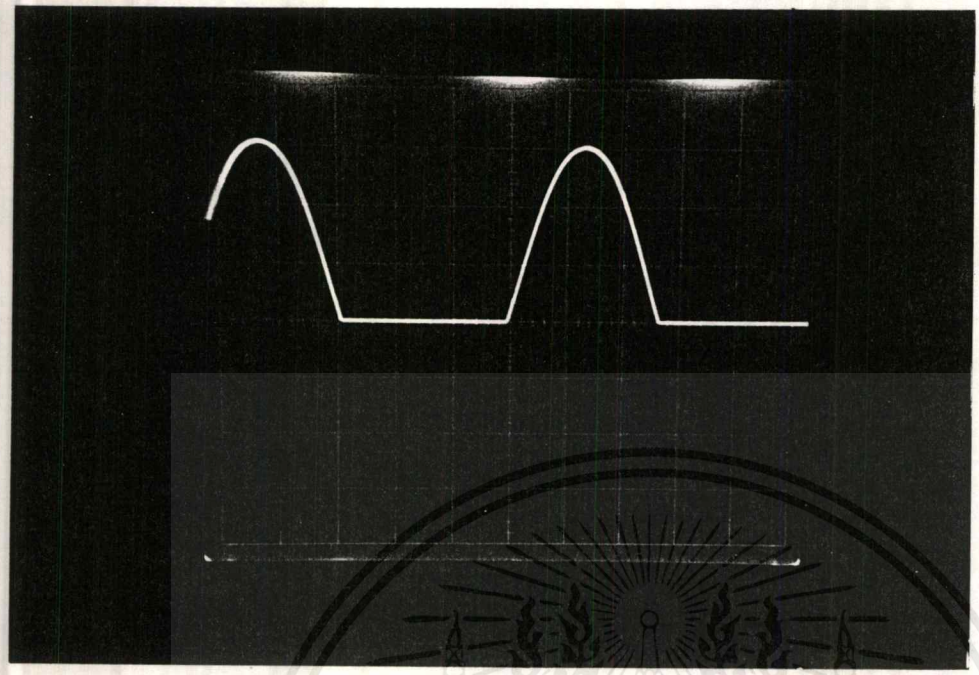
รูปที่ 4.1 เป็นการเปรียบเทียบสัญญาณที่ผ่าน Noninverting Amp เมื่อสัญญาณ input เป็นสัญญาณซายน์ความถี่ 90 Hz ขนาด 5 Volt จะได้สัญญาณ output ขนาด 7 Volt ดังนั้นกำลังขยายที่ได้จากการวงจรจึงเป็น 7/5 = 1.4 เท่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HalfWave Rectifier

2 VOLT / DIV

2 msec / DIV

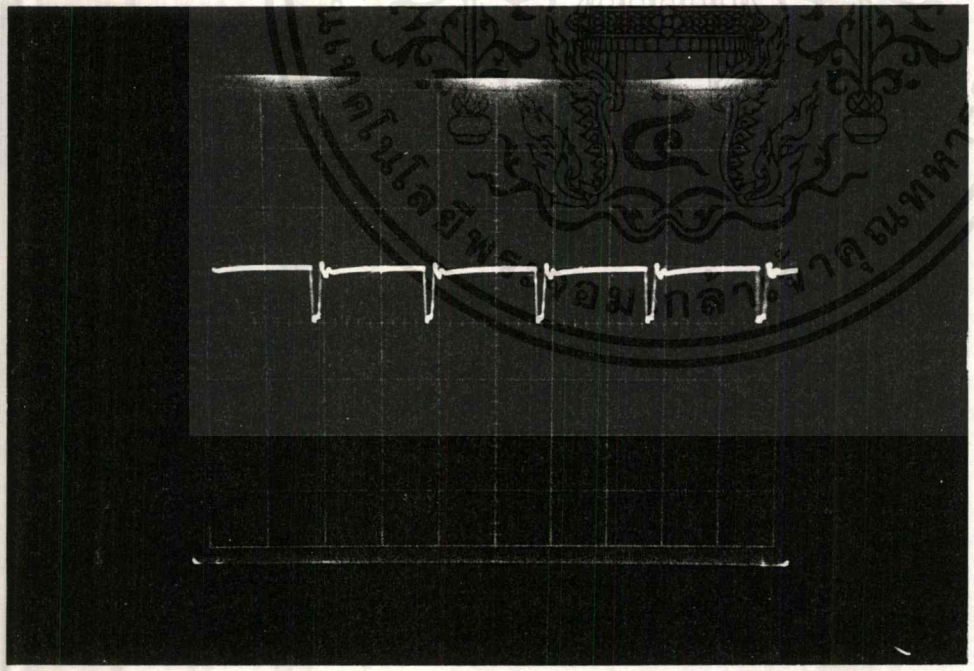


รูปที่ 4.2 สัญญาณ HalfWave ที่ผ่านวงจร HalfWave Rectifier

สัญญาณ Clock

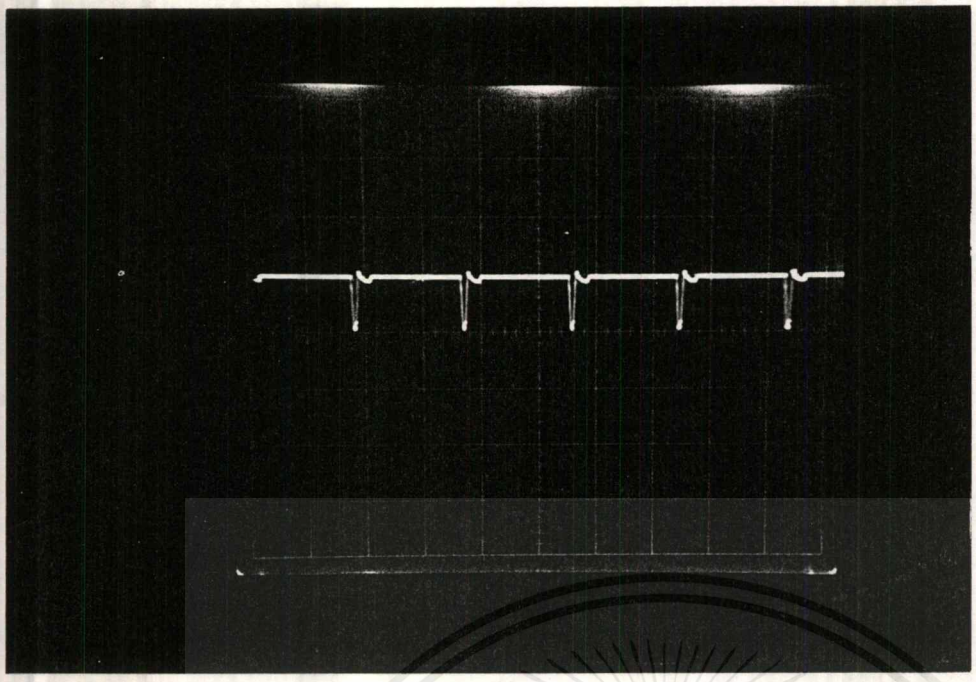
5 VOLT / DIV

2 μsec / DIV



รูปที่ 4.3 สัญญาณ Clock ขา 13

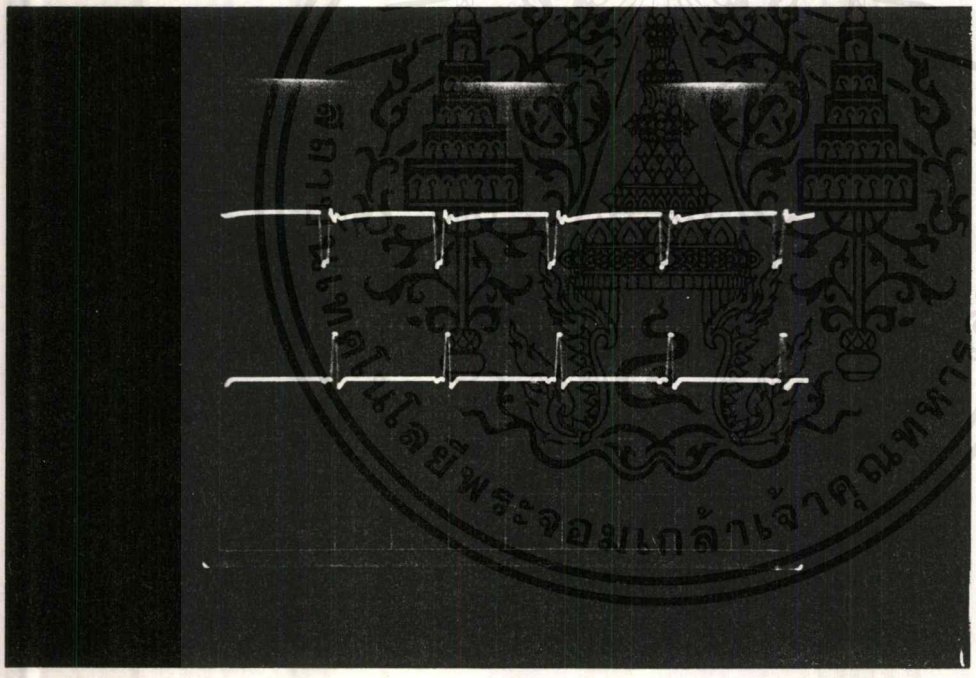
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



5 VOLT / DIV

2 μsec / DIV

รูปที่ 4.4 สัญญาณ Clock ขา 8 ที่ยังไม่ผ่าน inverter



5 VOLT / DIV

2 μsec / DIV

รูปที่ 4.5 เปรียบเทียบสัญญาณ Clock ขา 13 และขา 8 ที่ผ่าน inverter

รูปที่ 4.3 , 4.4 และ 4.5 จะเป็นการเปรียบเทียบสัญญาณ Clock ที่จ่ายเข้าวงจร A/D จากรูปจะเห็นได้ว่าวงจรทั้งสองจะมีความถี่ประมาณ 250 kHz ซึ่งถึงแม้จะไม่ได้ความถี่ตามการคำนวณจากสมการที่ 3.3 แต่ก็สามารถนำไปใช้งานกับ ADC0820 ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การทดลองการทำงานของเครื่องวัดองค์ประกอบสมมาตร

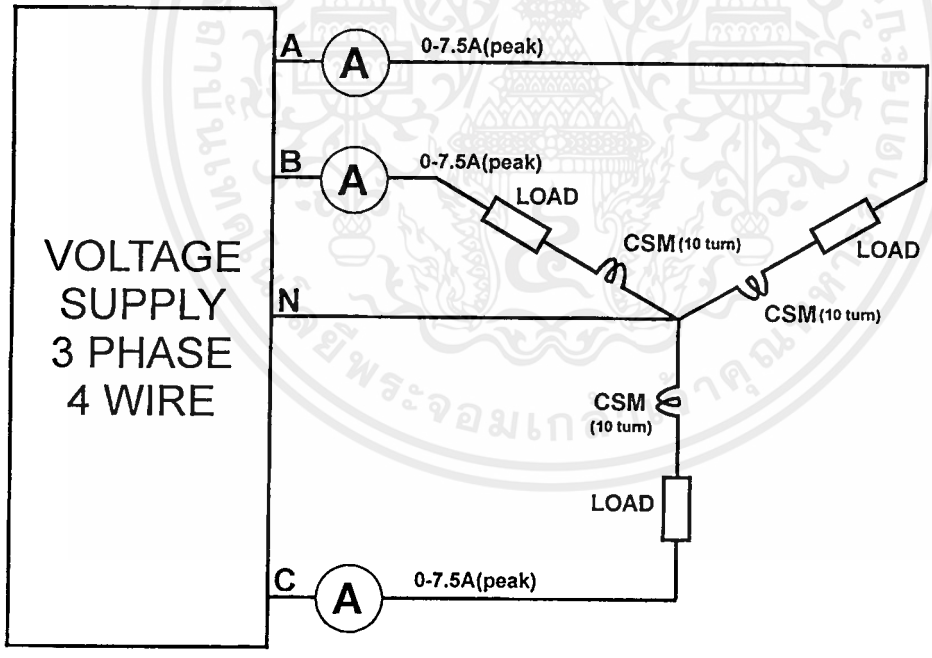
ในการทดลองเราจะทำการจำลองระบบไฟฟ้าขึ้นมาโดยแบ่งตามสภาวะของแรงดันในระบบส่งจ่าย และชนิดของโหลดโดยจะแบ่งการพิจารณาออกเป็นดังนี้

สภาวะแรงดัน

- เมื่อ Voltage แต่ละเฟสเท่ากัน
- เมื่อ Voltage แต่ละเฟสไม่เท่ากัน
- เมื่อ Voltage เกิดเฟสหาย

ชนิดของโหลด

- เมื่อเป็น Unity Power Factor Load
- เมื่อเป็น Lagging Power Factor Load



รูปที่ 4.6 วงจรการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.1 <u>การทดลองที่ 1</u> Unity Power Factor Load

โหลดที่ต่อในแต่ละเฟสจะมีลักษณะดังนี้

Phase A เป็น Pure Incandescent Lamp

หลอดไฟ 100 W จำนวน 10 หลอด

ที่แรงดัน 220 V วัดกระแสได้ 4.5 A วัดกำลังไฟฟ้าได้ 97X10 W p.f. = 0.97

175 V วัดกระแสได้ 3.95 A วัดกำลังไฟฟ้าได้ 68X10 W p.f. = 0.98

125 V วัดกระแสได้ 3.25 A วัดกำลังไฟฟ้าได้ 38X10 W p.f. = 0.93

Phase B เป็น Pure Incandescent Lamp

หลอดไฟ 100 W จำนวน 10 หลอด

ที่แรงดัน 220 V วัดกระแสได้ 4.5 A วัดกำลังไฟฟ้าได้ 97X10 W p.f. = 0.97

175 V วัดกระแสได้ 3.95 A วัดกำลังไฟฟ้าได้ 68X10 W p.f. = 0.98

125 V วัดกระแสได้ 3.25 A วัดกำลังไฟฟ้าได้ 38X10 W p.f. = 0.93

Phase C เป็น Pure Incandescent Lamp

หลอดไฟ 100 W จำนวน 10 หลอด

ที่แรงดัน 220 V วัดกระแสได้ 4.5 A วัดกำลังไฟฟ้าได้ 97X10 W p.f. = 0.97

175 V วัดกระแสได้ 3.95 A วัดกำลังไฟฟ้าได้ 68X10 W p.f. = 0.98

125 V วัดกระแสได้ 3.25 A วัดกำลังไฟฟ้าได้ 38X10 W p.f. = 0.93

VOLT	I_a	I_b	I_c
220	4.5∠-14°	4.5∠-134°	4.5∠106°
175	3.95∠-14°	3.95∠-134°	3.95∠106°
125	3.25∠-21°	3.25∠-141°	3.25∠98°

<u>ตารางที่ 4.1</u> เปรียบเทียบแรงดันและกระแสของการทดลองที่ 4.2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 <u>การทดลองที่ 2</u> Lagging Power Factor Load 1 Phase

โหลดที่ต่อในแต่ละเฟสจะมีลักษณะดังนี้

Phase A เป็น Pure Incandescent Lamp

หลอดไฟ 100 W จำนวน 10 หลอด

ที่แรงดัน 220 V วัดกระแสได้ 4.5 A วัดกำลังไฟฟ้าได้ 97X10 W p.f. = 0.97

175 V วัดกระแสได้ 3.95 A วัดกำลังไฟฟ้าได้ 68X10 W p.f. = 0.98

125 V วัดกระแสได้ 3.25 A วัดกำลังไฟฟ้าได้ 38X10 W p.f. = 0.93

Phase B เป็น Pure Resistor

ความต้านทานขนาด 60 Ω

ที่แรงดัน 220 V วัดกระแสได้ 3.5 A วัดกำลังไฟฟ้าได้ 75.5X10 W p.f. = 0.98

175 V วัดกระแสได้ 2.85 A วัดกำลังไฟฟ้าได้ 48X10 W p.f. = 0.96

125 V วัดกระแสได้ 2 A วัดกำลังไฟฟ้าได้ 25X10 W p.f. = 1.00

Phase C เป็น Pure Inductor

ตัวเหนี่ยวนำขนาด 77 Ω

ที่แรงดัน 220 V วัดกระแสได้ 3.1 A วัดกำลังไฟฟ้าได้ 6X10 W p.f. = 0.08

175 V วัดกระแสได้ 2.5 A วัดกำลังไฟฟ้าได้ 4X10 W p.f. = 0.09

125 V วัดกระแสได้ 1.75 A วัดกำลังไฟฟ้าได้ 2X10 W p.f. = 0.09

VOLT	I_a	I_b	I_c
220	4.5∠-14°	3.5∠-131°	3.1∠35°
175	3.95∠-14°	2.85∠-136°	2.5∠35°
125	3.25∠-21°	2∠-120°	1.75∠35°

<u>ตารางที่ 4.2</u> เปรียบเทียบแรงดันและกระแสของการทดลองที่ 4.2.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.3 <u>การทดลองที่ 3</u> Lagging Power Factor Load 2 Phase

โหลดที่ต่อในแต่ละเฟสจะมีลักษณะดังนี้

Phase A เป็น Pure Incandescent Lamp

หลอดไฟ 100 W จำนวน 10 หลอด

ที่แรงดัน 220 V วัดกระแสได้ 4.5 A วัดกำลังไฟฟ้าได้ 97X10 W p.f. = 0.97

175 V วัดกระแสได้ 3.95 A วัดกำลังไฟฟ้าได้ 68X10 W p.f. = 0.98

125 V วัดกระแสได้ 3.25 A วัดกำลังไฟฟ้าได้ 38X10 W p.f. = 0.93

Phase B เป็น Inductor Siries Lamp

หลอดไฟ 100 W จำนวน 10 หลอด อนุกรมกับตัวเหนี่ยวนำขนาด 77 Ω

ที่แรงดัน 220 V วัดกระแสได้ 2.75 A วัดกำลังไฟฟ้าได้ 29X10 W p.f. = 0.48

175 V วัดกระแสได้ 2.25 A วัดกำลังไฟฟ้าได้ 16.5X10 W p.f. = 0.42

125 V วัดกระแสได้ 1.65 A วัดกำลังไฟฟ้าได้ 7X10 W p.f. = 0.34

Phase C เป็น inductor Parallel Resistor

ตัวเหนี่ยวนำขนาด 77 Ω ขนานกับความต้านทานขนาด 60 Ω

ที่แรงดัน 220 V วัดกระแสได้ 4.9 A วัดกำลังไฟฟ้าได้ 81.5X10 W p.f. = 0.75

175 V วัดกระแสได้ 3.9 A วัดกำลังไฟฟ้าได้ 52X10 W p.f. = 0.76

125 V วัดกระแสได้ 2.27 A วัดกำลังไฟฟ้าได้ 27X10 W p.f. = 0.95

VOLT	I_a	I_b	I_c
220	4.5∠-14°	2.75∠-182°	4.9∠79°
175	3.95∠-14°	2.25∠-185°	3.9∠80°
125	3.25∠-21°	1.65∠-190°	2.7∠82°

<u>ตารางที่ 4.3</u> เปรียบเทียบแรงดันและกระแสของการทดลองที่ 4.2.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.4 <u>การทดลองที่ 4</u> Lagging Power Factor Load 3 Phase

โหลดที่ต่อในแต่ละเฟสจะมีลักษณะดังนี้

Phase A เป็น Inductor Siries Lamp

หลอดไฟ 100 W จำนวน 10 หลอด อนุกรมกับตัวเหนี่ยวนำขนาด 77 Ω

ที่แรงดัน 220 V วัดกระแสได้ 2.75 A วัดกำลังไฟฟ้าได้ 29X10 W p.f. = 0.48

175 V วัดกระแสได้ 2.25 A วัดกำลังไฟฟ้าได้ 16.5X10 W p.f. = 0.42

125 V วัดกระแสได้ 1.65 A วัดกำลังไฟฟ้าได้ 7X10 W p.f. = 0.34

Phase B เป็น Inductor Siries Lamp

หลอดไฟ 100 W จำนวน 10 หลอด อนุกรมกับตัวเหนี่ยวนำขนาด 77 Ω

ที่แรงดัน 220 V วัดกระแสได้ 2.75 A วัดกำลังไฟฟ้าได้ 29X10 W p.f. = 0.48

175 V วัดกระแสได้ 2.25 A วัดกำลังไฟฟ้าได้ 16.5X10 W p.f. = 0.42

125 V วัดกระแสได้ 1.65 A วัดกำลังไฟฟ้าได้ 7X10 W p.f. = 0.34

Phase C เป็น Inductor Siries Lamp

หลอดไฟ 100 W จำนวน 10 หลอด อนุกรมกับตัวเหนี่ยวนำขนาด 77 Ω

ที่แรงดัน 220 V วัดกระแสได้ 2.75 A วัดกำลังไฟฟ้าได้ 29X10 W p.f. = 0.48

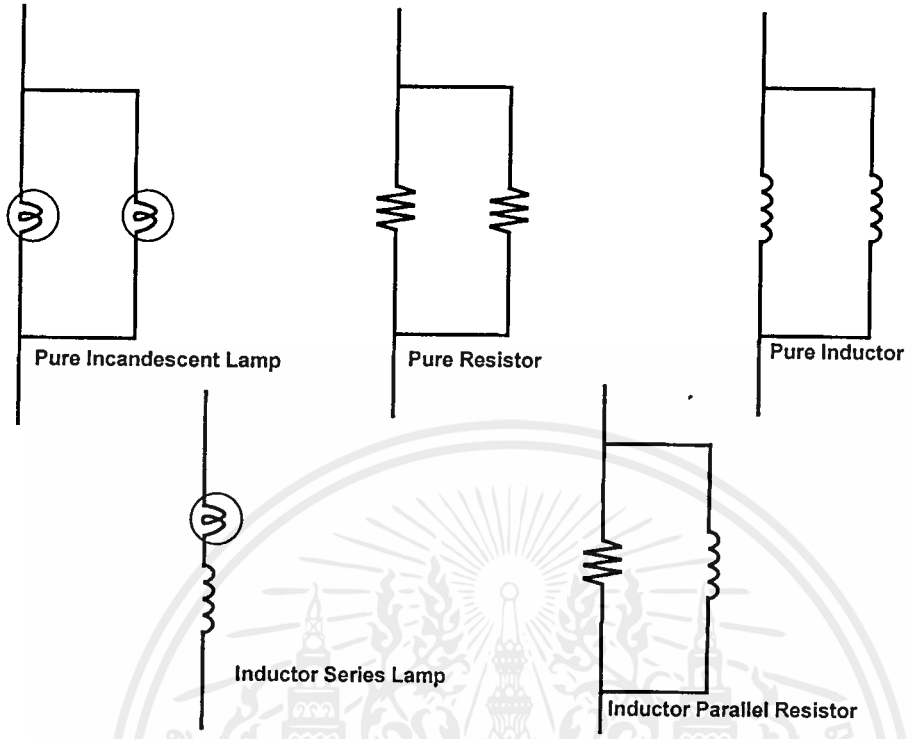
175 V วัดกระแสได้ 2.25 A วัดกำลังไฟฟ้าได้ 16.5X10 W p.f. = 0.42

125 V วัดกระแสได้ 1.65 A วัดกำลังไฟฟ้าได้ 7X10 W p.f. = 0.34

VOLT	I_a	I_b	I_c
220	2.75∠-62°	2.75∠-182°	2.75∠58°
175	2.25∠-65°	2.25∠-185°	2.25∠55°
125	1.65∠-70°	1.65∠-190°	1.65∠50°

<u>ตารางที่ 4.4</u> เปรียบเทียบแรงดันและกระแสของการทดลองที่ 4.2.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 ลักษณะของโหลดแบบต่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 1 Unity Power Factor Load

Phase Vlotage			Measurement			Calculation			EROR		
V_{an}	V_{bn}	V_{cn}	I_{a1}	I_{a2}	I_{a0}	I_{a1}	I_{a2}	I_{a0}	I_a(%)	I_b(%)	I_c(%)
220∠0°	220∠-120°	220∠120°	4.29∠1°	0.39∠7°	0.15∠1°	4.49∠-14°	0.1∠62°	0∠90°	10	0.5	1.4
220∠0°	220∠-120°	175∠120°	3.99∠-1°	0.75∠18°	0.27∠1°	4.16∠-23°	0.18∠45°	0.18∠-73°	0.6	1.2	3.1
220∠0°	220∠-120°	125∠120°	3.81∠-6°	0.75∠63°	0.42∠-26°	4.06∠-16°	0.45∠65°	0.45∠-55°	4.8	0.9	3.4
220∠0°	220∠-120°	0	2.88∠-3°	1.59∠63°	1.29∠-63°	2.9∠-39°	1.49∠45°	1.49∠-73°	5.6	5.1	--
220∠0°	175∠-120°	220∠120°	4.08∠-1°	0.57∠-11°	0.21∠-1°	4.49∠-32°	0.18∠-76°	0.18∠47°	5.7	10.1	5
220∠0°	175∠-120°	175∠120°	3.81∠-1°	0.69∠7°	0.27∠1°	4.12∠-15°	0.18∠-13°	0.18∠-12°	4	11.7	8.8
220∠0°	175∠-120°	125∠120°	3.57∠-2°	0.78∠-63°	0.42∠63°	3.88∠-16°	0.33∠45°	0.45∠31°	3.3	8.6	9.4
220∠0°	175∠-120°	0	2.7∠-2°	1.47∠63°	1.23∠-63°	2.81∠-14°	1.41∠40°	1.41∠-58°	1	8.9	--
220∠0°	125∠-120°	220∠120°	3.81∠-1°	0.51∠-26°	0.35∠86°	4.19∠-29°	0.44∠-57°	0.44∠63°	5.5	4.1	8.5
220∠0°	125∠-120°	175∠120°	3.48∠-26°	0.54∠-11°	0.27∠76°	3.88∠-16°	0.43∠-32°	0.33∠42°	8	10.2	10.1
220∠0°	125∠-120°	125∠120°	3.36∠-6°	0.63∠18°	0.45∠9°	3.15∠-18°	0.43∠6°	0.46∠4°	2.8	10	7.2
220∠0°	125∠-120°	0	2.46∠4°	1.47∠-26°	1.05∠26°	2.57∠-30°	1.46∠29°	1.2∠-60°	5.4	8.7	--
220∠0°	0	220∠120°	2.82∠4°	1.56∠-63°	1.14∠63°	2.99∠-14°	1.49∠-74°	1.49∠46°	6.9	--	6.9
220∠0°	0	175∠120°	2.61∠-3°	1.14∠-63°	1.47∠63°	2.74∠-7°	1.41∠-68°	1.41∠42°	8.2	--	6.3
220∠0°	0	125∠120°	2.34∠-5°	0.99∠-26°	1.50∠26°	2.57∠-16°	1.08∠24°	1.48∠29°	0.2	--	4.1
220∠0°	0	0	1.47∠0°	1.47∠0°	1.47∠0°	1.49∠-14°	1.49∠-14°	1.49∠-14°	2	--	--

ตารางที่ 4.5 ผลการทดลองที่ 1 Unity Power Factor Load

การทดลองที่ 2 Lagging Power Factor Load 1 Phase

Phase Vlotage			Measurement			Calculation			EROR		
V_{an}	V_{bn}	V_{cn}	I_{a1}	I_{a2}	I_{a0}	I_{a1}	I_{a2}	I_{a0}	I_a(%)	I_b(%)	I_c(%)
220∠0°	220∠-120°	220∠120°	2.82∠-18°	1.31∠83°	1.65∠-11°	3.13∠-31°	2.16∠72°	1.56∠-12°	2.1	3.7	0.1
220∠0°	220∠-120°	175∠120°	2.64∠-14°	1.5∠63°	1.29∠-18°	3.01∠-28°	1.13∠74°	1.56∠-29°	11.2	0.1	8.8
220∠0°	220∠-120°	125∠120°	2.64∠-9°	1.32∠63°	1.05∠-26°	2.89∠-24°	1.12∠61°	1.47∠-38°	10.8	0.1	12
220∠0°	220∠-120°	0	2.49∠-7°	1.65∠26°	0.96∠-63°	2.66∠-13°	1.3∠35°	1.4∠-61°	2.5	3.9	--
220∠0°	175∠-120°	220∠120°	2.43∠-18°	1.32∠72°	1.77∠-7°	2.95∠-34°	1.03∠74°	1.66∠-15°	9.8	10.7	4
220∠0°	175∠-120°	175∠120°	2.31∠-14°	1.23∠63°	1.47∠-11°	2.83∠-31°	1.02∠63°	1.5∠-20°	11.7	7	10.7
220∠0°	175∠-120°	125∠120°	2.44∠-9°	1.14∠26°	1.42∠-14°	2.69∠-26°	1.06∠49°	1.42∠-29°	5.5	2.8	10.8
220∠0°	175∠-120°	0	2.25∠-6°	1.53∠26°	0.99∠-26°	2.44∠-18°	1.34∠25°	1.27∠-52°	6.2	4.5	--
220∠0°	125∠-120°	220∠120°	2.22∠-26°	1.11∠63°	1.86∠2°	2.60∠-32°	0.67∠74°	1.98∠-10°	11.7	1.5	6.6
220∠0°	125∠-120°	175∠120°	2.04∠-18°	1.17∠26°	1.61∠-4°	2.49∠-28°	0.67∠57°	1.85∠14°	5.3	10.2	2
220∠0°	125∠-120°	125∠120°	2.1∠-11°	0.99∠26°	1.5∠-3°	2.36∠-23°	0.75∠38°	1.70∠-20°	4.8	8.4	4.3
220∠0°	125∠-120°	0	1.95∠-3°	1.41∠18°	1.14∠-14°	2.14∠10°	1.14∠10°	1.46∠-40°	7	9.2	--
220∠0°	0	220∠120°	1.71∠-26°	0.72∠8°	2.25∠9°	2.07∠42°	0.52∠8°	2.30∠6°	1.3	--	8.2
220∠0°	0	175∠120°	1.56∠-18°	0.87∠14°	1.98∠7°	1.93∠-38°	0.7∠-1°	2.13∠3°	4	--	7.7
220∠0°	0	125∠120°	1.56∠-9°	1.14∠2°	1.68∠8°	1.77∠-32°	0.9∠-7°	1.93∠-1°	5.5	--	6.8
220∠0°	0	0	1.47∠0°	1.47∠0°	1.47∠0°	1.49∠-14°	1.49∠-14°	1.49∠-14°	2	--	--

ตารางที่ 4.6 ผลการทดลองที่ 2 Lagging Power Factor Load 1 Phase

การทดลองที่ 3 Lagging Power Factor Load 2 Phase

Phase Vlotage			Measurement			Calculation			EROR		
V_{an}	V_{bn}	V_{cn}	I_{a1}	I_{a2}	I_{a0}	I_{a1}	I_{a2}	I_{a0}	I_a(%)	I_b(%)	I_c(%)
220∠0°	220∠-120°	220∠120°	3.36∠-26°	0.42∠18°	1.92∠63°	3.13∠-31°	0.41∠-16°	1.52∠56°	3.1	14	3.4
220∠0°	220∠-120°	175∠120°	2.94∠-26°	0.87∠63°	1.5∠26°	3.10∠-34°	0.98∠-9°	1.21∠51°	8.2	12	11
220∠0°	220∠-120°	125∠120°	2.64∠-18°	1.17∠11°	1.14∠63°	3.11∠-34°	1.1∠1°	0.86∠40°	4.4	10	10.4
220∠0°	220∠-120°	0	2.04∠-18°	1.83∠14°	0.75∠9°	2.21∠-31°	1.94∠5°	0.63∠-31°	2.2	10	--
220∠0°	175∠-120°	220∠120°	3.21∠-26°	0.33∠-8°	1.98∠63°	3.63∠-34°	0.43∠-38°	1.65∠52°	11.5	11	2.6
220∠0°	175∠-120°	175∠120°	3.00∠-26°	0.63∠-1°	1.32∠63°	3.34∠-34°	0.68∠-16°	1.35∠46°	8.8	11.5	8.7
220∠0°	175∠-120°	125∠120°	2.64∠-14°	0.87∠11°	1.14∠26°	2.9∠-11°	1.27∠-9°	1.02∠35°	2.6	13	7
220∠0°	175∠-120°	0	1.89∠-11°	1.78∠14°	0.63∠-8°	2.05∠-30°	1.89∠8°	0.76∠-22°	4.6	10	--
220∠0°	125∠-120°	220∠120°	3.03∠-26°	0.30∠-45°	2.16∠63°	3.46∠-34°	0.53∠-61°	1.80∠47°	8	14	1.8
220∠0°	125∠-120°	175∠120°	2.64∠-18°	0.78∠-18°	1.65∠63°	3.14∠-32°	0.69∠-33°	1.52∠42°	7.1	12	11.7
220∠0°	125∠-120°	125∠120°	2.31∠-18°	1.02∠-4°	1.41∠26°	2.08∠-31°	1.01∠-15°	1.20∠31°	13	12.5	8.5
220∠0°	125∠-120°	0	1.74∠-7°	1.53∠11°	1.14∠-5°	1.86∠-28°	1.80∠2°	0.95∠-15°	4.6	13	--
220∠0°	0	220∠120°	2.85∠-10°	0.51∠-89°	2.28∠26°	3.04∠-28°	1.89∠-95°	2.15∠35°	2.8	--	5.3
220∠0°	0	175∠120°	2.49∠-11°	0.75∠-63°	1.77∠26°	2.72∠-26°	1.83∠-73°	1.91∠29°	8.6	--	8.7
220∠0°	0	125∠120°	2.16∠-9°	0.84∠-18°	1.65∠26°	2.34∠-23°	1.93∠-49°	1.66∠19°	9.5	--	5.1
220∠0°	0	0	1.47∠0°	1.47∠0°	1.47∠0°	1.49∠-14°	1.49∠-14°	1.49∠-14°	5.1	--	--

ตารางที่ 4.7 ผลการทดลองที่ 3 Lagging Power Factor Load 2 Phase

การทดลองที่ 4 Lagging Power Factor Load 3 Phase

Phase Vlotage			Measurement			Calculation			EROR		
V_{an}	V_{bn}	V_{cn}	I_{a1}	I_{a2}	I_{a0}	I_{a1}	I_{a2}	I_{a0}	I_a(%)	I_b(%)	I_c(%)
220∠0°	220∠-120°	220∠120°	2.31∠-1°	0.99∠-1°	0.12∠26°	2.76∠-68°	1.07∠13°	0∠0°	0.7	9.8	5.6
220∠0°	220∠-120°	175∠120°	2.16∠-1°	0.15∠63°	0.27∠-63°	2.57∠-63°	0.16∠1°	0.17∠-108°	6.1	10	7.3
220∠0°	220∠-120°	125∠120°	1.92∠2°	0.39∠63°	0.45∠-63°	2.37∠-63°	0.37∠10°	0.37∠-110°	7.8	8	11.5
220∠0°	220∠-120°	0	1.59∠0°	0.75∠63°	0.75∠-63°	1.82∠-61°	0.91∠2°	0.91∠-122°	8.4	8	--
220∠0°	175∠-120°	220∠120°	2.04∠1°	0.09∠26°	0.09∠-26°	2.57∠-63°	0.17∠-110°	0.16∠12°	11.5	6.5	9
220∠0°	175∠-120°	175∠120°	1.83∠-4°	0.15∠26°	0.24∠9°	1.53∠-63°	0.16∠-80°	0.17∠-49°	10.1	7.2	7.6
220∠0°	175∠-120°	125∠120°	1.74∠2°	0.39∠26°	0.33∠-26°	2.20∠-64°	0.33∠-17°	0.32∠-84°	10.5	8.4	12.1
220∠0°	175∠-120°	0	1.38∠-26°	0.69∠3°	0.6∠63°	0.82∠-63°	0.87∠-13°	0.80∠-113°	12	9.1	--
220∠0°	125∠-120°	220∠120°	1.83∠-14°	0.30∠63°	0.3∠-63°	2.37∠-63°	0.37∠-111°	0.37∠10°	11.5	10.2	8.4
220∠0°	125∠-120°	175∠120°	1.74∠-1°	0.39∠18°	0.27∠-26°	2.20∠-65°	0.32∠-84°	0.33∠-18°	8.5	11.7	7.6
220∠0°	125∠-120°	125∠120°	1.5∠2°	0.48∠1°	0.39∠-11°	1.90∠-64°	0.37∠-50°	0.38∠-50°	7.3	9.5	4.3
220∠0°	125∠-120°	0	1.17∠1°	0.66∠26°	0.66∠-26°	1.45∠-65°	0.87∠-27°	0.72∠-99°	9.7	8.4	--
220∠0°	0	220∠120°	1.41∠3°	0.78∠-63°	0.6∠63°	1.76∠-60°	0.91∠-122°	0.91∠-2°	10.2	--	6.5
220∠0°	0	175∠120°	0.75∠26°	0.78∠-26°	0.6∠-26°	1.66∠-63°	0.8∠-113°	0.88∠-13°	11.4	--	7
220∠0°	0	125∠120°	1.05∠4°	0.75∠-18°	0.51∠18°	1.45∠-65°	0.71∠-99°	0.87∠-27°	11.1	--	10.4
220∠0°	0	0	0.78∠0°	0.78∠0°	0.78∠0°	0.91∠-62°	0.91∠-62°	0.91∠-62°	10.3	--	--

ตารางที่ 4.8 ผลการทดลองที่ 4 Lagging Power Factor Load 3 Phase

4.3 ตัวอย่างการหาค่าองค์ประกอบสมมาตรจากการคำนวณ

เพื่อเปรียบเทียบกับค่าจากการวัดจากเครื่องวัดองค์ประกอบสมมาตร โดยการคำนวณเพื่อหา Symmetrical Components of Current โดยใช้ข้อมูลจากการทดลองที่ 2 (ตารางที่ 4.6) บรรทัดที่

จาก

$$I_{a1} = [I_a + aI_b + a^2 I_c] / 3$$
$$I_{a2} = [I_a + a^2 I_b + aI_c] / 3$$
$$I_{a0} = [I_a + I_b + I_c] / 3$$

จะได้ $I_a = 4.5\angle -14°$ $I_b = 2.85\angle -136°$ $I_c = 1.75\angle 35°$

Zero Sequence Current

$$I_{a0} = [4.5\angle -14° + 2.85\angle -136° + 1.75\angle 35°] / 3$$
$$= [4.36 - j1.088 - 2.05 - j1.97 + 1.43 + j1.0] / 3$$
$$= [3.74 - j2.06] / 3$$
$$= 1.42\angle -29°$$

Positive Sequence Current

$$I_{a1} = [4.5\angle -14° + 2.85\angle -136° + 120° + 1.75\angle 35° + 240°] / 3$$
$$= [4.5\angle -14° + 2.85\angle -16° + 1.75\angle -85°] / 3$$
$$= [4.36 - j1.088 + 2.73 - j0.78 + 0.15 - j1.74] / 3$$
$$= [7.24 - j3.6] / 3$$
$$= 2.69\angle -26°$$

Negative Sequence Current

$$I_{a2} = [4.5\angle -14° + 2.85\angle -136° + 240° + 1.75\angle 35° + 120°] / 3$$
$$= [4.5\angle -14° + 2.85\angle 104° + 1.75\angle 155°] / 3$$
$$= [4.36 - j1.088 - 0.68 + j2.76 - 1.58 + j0.74] / 3$$
$$= [2.1 - j2.41] / 3$$
$$= 1.06\angle 49°$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการคำนวณเพื่อหากระแสในแต่ละเฟสนั้นเราสามารถหาได้จากสูตรดังนี้

จาก

$$I_a = I_{a1} + I_{a2} + I_{a0}$$
$$I_b = a^2 I_{a1} + aI_{a2} + I_{a0}$$
$$I_c = aI_{a1} + a^2 I_{a2} + I_{a0}$$

เนื่องจากค่าของมุมจากการวัดมีค่าผิดพลาดจึงนำมุมจากการคำนวณมาใช้แทน

กระแสในเฟส A

$I_a = 2.52\angle -26° + 1.14\angle 49° + 1.32\angle -29°$

$= 2.26 - j1.1 + 0.75 + j0.86 + 1.15 - j0.64$

$= 4.16 - j0.88$

$= 4.25\angle -12°$

กระแสในเฟส B

$I_b = 2.52\angle -26°+240° + 1.14\angle 49°+ 120° + 1.32\angle -29°$

$= 2.52\angle 214° + 1.14\angle 169° + 1.32\angle -29°$

$= - 2.1 - j1.41 - 1.12 + j0.2 + 1.15 - j0.64$

$= - 2.07 - j1.85$

$= 2.77\angle -138°$

กระแสในเฟส C

$I_c = 2.52\angle -26°+120° + 1.14\angle 49°+240° + 1.32\angle -29°$

$= 2.52\angle 94° + 1.14\angle -71° + 1.32\angle -29°$

$= - 0.17 + j2.51 + 0.37 - j1.07 + 1.15 - j0.64$

$= 1.35 + j8$

$= 1.56\angle 30°$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

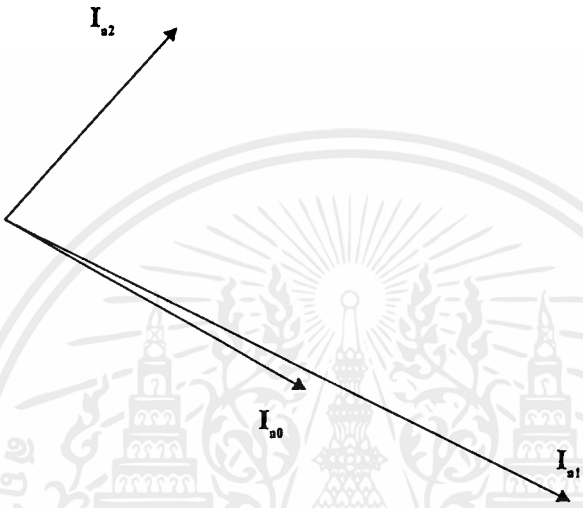
4.4 ตัวอย่างการหาค่าองค์ประกอบสมมาตรจากเฟสเซอร์

โดยใช้ข้อมูลจากการทดลองที่ 2 (ตารางที่ 4.6) บรรทัดที่ 7

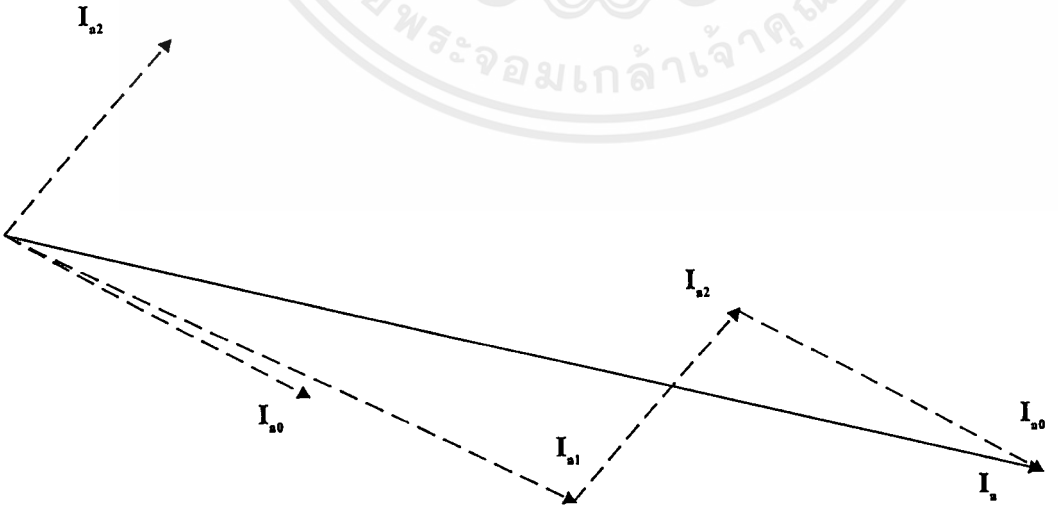
$$I_{a1} = 2.69\angle -26°$$

$$I_{a2} = 1.06\angle 49°$$

$$I_{a0} = 1.42\angle -29°$$

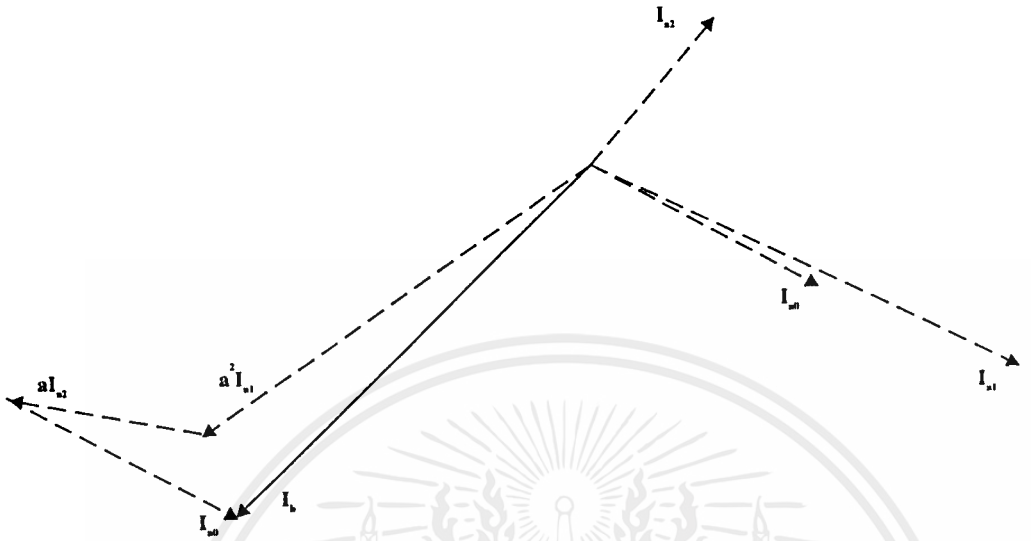


เฟสเซอร์ของ Symmetrical Components

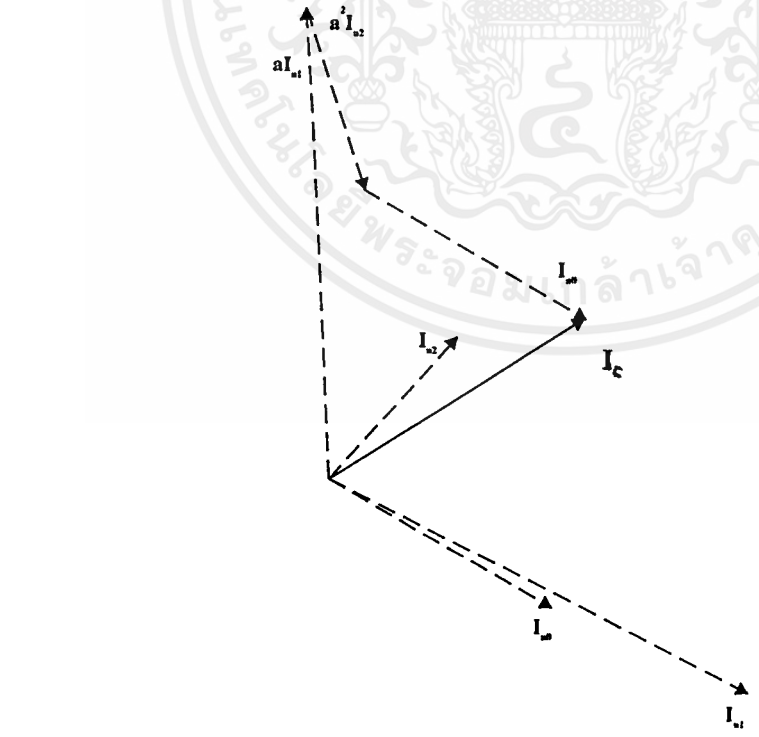


กระแส Phase A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



กระแส Phase B



กระแส Phse C

รูปที่ 4.8 การรวมเฟสเซอร์เพื่อหากระแสในแต่ละเฟส

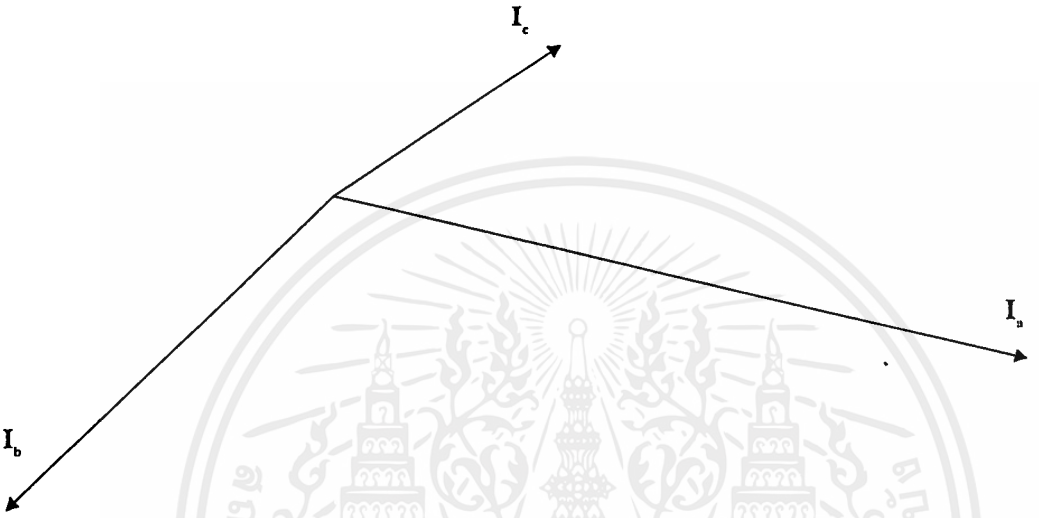
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การวิเคราะห์หา Symmetrical Components ซึ่งใช้ขอมูลในการทดลองที่ 2 (ตารางที่ 4.6) บรรทัดที่ 7

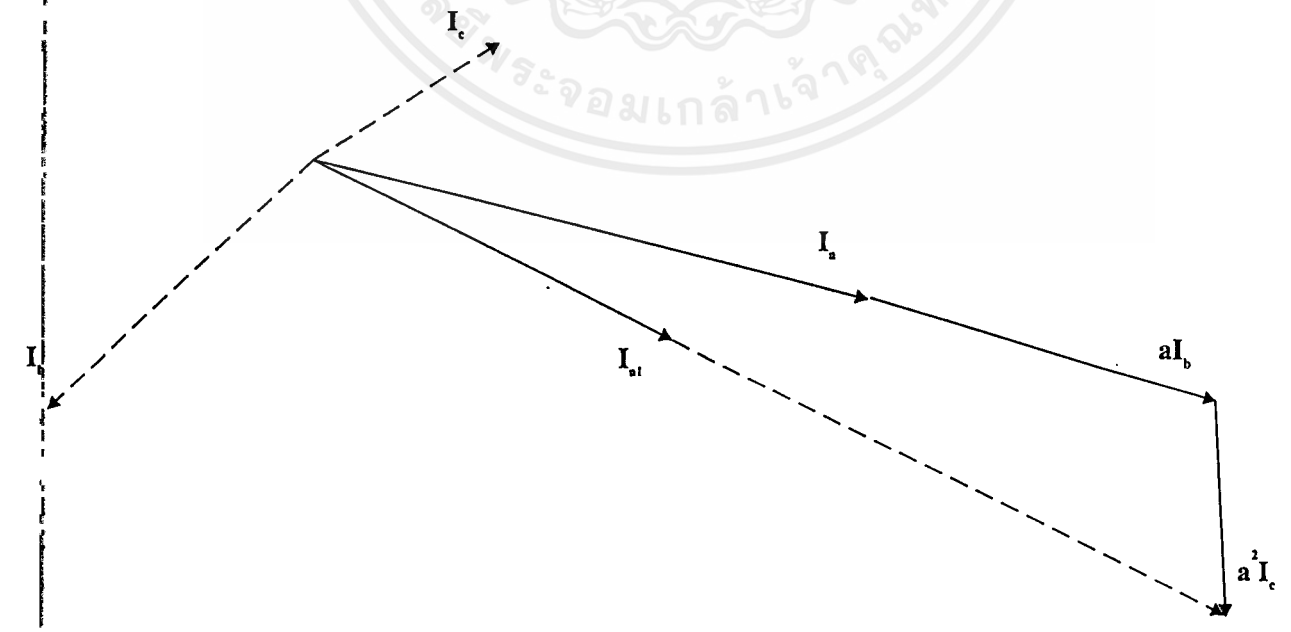
$I_a = 4.5\angle -14°$

$I_b = 2.85\angle -136°$

$I_c = 1.75\angle 35°$

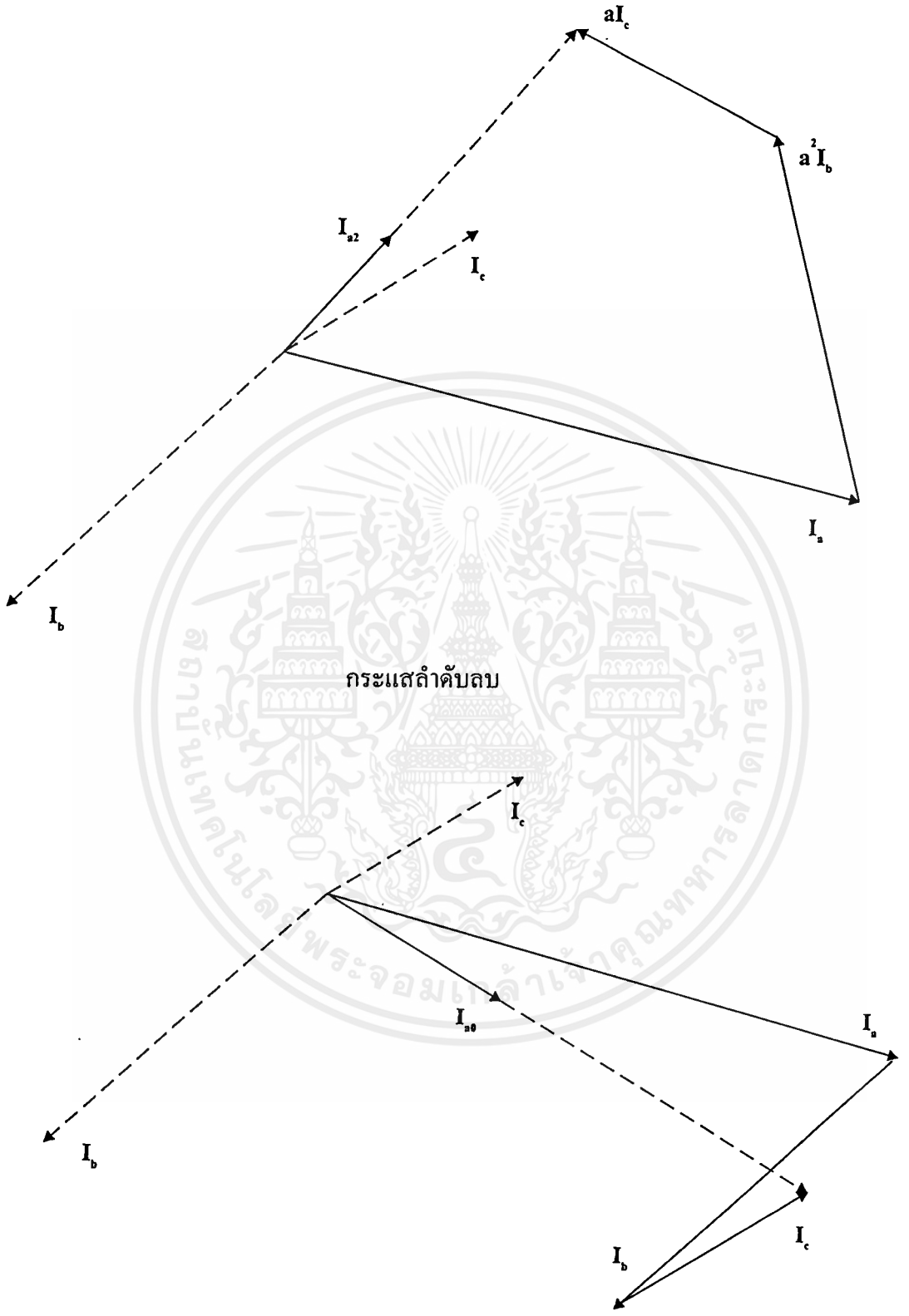


เฟสเซอร์ของกระแสในเฟส



กระแสลำดับบวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 การรวมทางเฟสเซอร์ของ Symmetrical Component

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 ตัวอย่างการหาค่าความผิดพลาด (EROR)

ในการคำนวณหาค่าความผิดพลาดนั้นเราจะใช้การเปรียบเทียบ I_a I_b และ I_c จากการวัดกับการคำนวณจากผลการทดลอง ดังต่อไปนี้จากการทดลองที่ 2 (ตารางที่ 4.6) บรรทัดที่ 7

จากการวัด $I_a = 4.5\angle -14^\circ$ $I_b = 2.85\angle -136^\circ$ $I_c = 1.75\angle 35^\circ$

จากการทดลอง $I_a = 4.25\angle -12^\circ$ $I_b = 2.77\angle -138^\circ$ $I_c = 1.56\angle 30^\circ$

ค่าความผิดพลาดในกระแสเฟส A

$$I_a \ EROR(\%) = [\,(4.5 - 4.25) / 4.5\,] \times 100$$
$$= 5.5\ \%$$

ค่าความผิดพลาดในกระแสเฟส B

$$I_b \ EROR(\%) = [\,(2.85 - 2.77) / 2.85\,] \times 100$$
$$= 2.8\ \%$$

ค่าความผิดพลาดในกระแสเฟส C

$$I_c \ EROR(\%) = [\,(1.75 - 1.56) / 1.75\,] \times 100$$
$$= 10.8\ \%$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 สรุปผลการทดลอง

เมื่อได้ทำการทดลองต่อโหลดแบบสตาร์ 3 เฟส 4 สาย (ทั้งรีซีสทีฟ และรีแอคทีฟ) ที่แรงดัน 220 โวลท์ ค่าที่อ่านได้จากการประมวลผลด้วยโปรแกรม (ค่าอาร์เอ็มเอสของกระแส ลำดับบวก ลำดับลบ และลำดับศูนย์) เมื่อเปรียบเทียบกับค่าที่ได้จากการคำนวณ จะมีความผิดพลาดอยู่บ้างเล็กน้อย

ค่าความผิดพลาดนั้น เป็นผลมาจากข้อจำกัดทางด้านภาษาที่ใช้ในการเขียนโปรแกรม เนื่องจากโปรแกรมที่เขียนเป็นการเขียนเพื่อการคำนวณซึ่งภาษาที่ใช้ในการเขียนโปรแกรมเป็นภาษาแอสเซมบลีนั้นเหมาะที่จะใช้เขียนเพื่อการควบคุมมากกว่าการคำนวณ ซึ่งในการเขียนโปรแกรมเพื่อการคำนวณจะต้องมีการปัดค่าเศษที่เป็นผลมาจากการคูณและการหารอันเนื่องจากข้อจำกัดของโปรแกรมนั้น อีกทั้งในการคำนวณค่า sine กับค่า cos นั้นจะต้องใช้วิธีการเปิดตาราง จึงทำให้ค่าที่คำนวณได้ทีความผิดพลาดเกิดขึ้น

การควบคุมและอุปกรณ์ที่ใช้ในการทดลอง ซึ่งอุปกรณ์เกือบทั้งหมดที่ใช้ในการทดลองเป็นอุปกรณ์ที่ใช้เข็มในการวัดจึงทำให้ค่าที่ได้จากาการวัดไม่ว่าจะเป็น เครื่องวัดกระแส เครื่องวัดแรงดัน หรือ เครื่องวัดกำลังงาน มีความแม่นยำไม่เพียงพอจึงทำให้ค่าที่ได้จากการคำนวณมีค่าผิดเพี้ยนเกิดขึ้นดังเช่นค่าที่ได้จากการทดลองที่ 1 (ตารางที่ 4.5) บรรทัดสุดท้ายซึ่งเป็นการทดลองต่อโหลดแบบ Pure Incandescent Lamp ค่ามุมระหว่าง V_a และ I_a ควรจะเป็น 0 องศา แต่จากการคำนวณจากเครื่องมือวัดมุมมีขนาดเป็น -14 องศา ดังนั้นจึงอาจจะกล่าวได้ว่าการใช้เครื่องมือวัดและการอ่านค่าจากเครื่องมือวัดมีส่วนทำให้เกิดค่าความผิดพลาดขึ้น

ส่วนค่ามุมเฟสที่ได้จะมีความผิดพลาดค่อนข้างสูงเนื่องจากค่านี้จะใช้การหาโดยการเปิดตารางค่า arctan เนื่องจากค่า arctan มีค่า 0.001-45 องศา ในช่วง 0-1 และมีค่า 45-89.999 องศา เมื่อค่าที่นำมาหามีค่าตั้งแต่ 1 ขึ้นไป ซึ่งผลจากค่าในตาราง arctan นี้ทำให้การนำค่าที่ได้จากการคำนวณมาเทียบกับค่าในตารางจะมีโอกาสเกิดความผิดพลาดได้สูง

ดังนั้นจึงสรุปได้ว่าความผิดพลาดที่เกิดขึ้นจะเกิดขึ้นกับมุมเฟส ส่วนขนาดนั้นจะมีความผิดพลาดค่อนข้างต่ำ ซึ่งผลของความผิดพลาดนั้นอาจสรุปได้ว่าเกิดจากข้อจำกัดด้านภาษาที่ใช้ในการเขียนโปรแกรม และอุปกรณ์การวัดที่ใช้ประกอบในการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปผลของโครงงานและข้อเสนอแนะ

ปริญญานิพนธ์ฉบับนี้ได้นำเสนอรายละเอียดในการสร้างเครื่องมือวัดองค์ประกอบสมมาตรทางไฟฟ้า เพื่อใช้ในการศึกษาตลอดจนควบคุมความไม่สมดุลของกระแสไฟฟ้าในระบบต่อไป โดยจะแสดงอยู่ในรูปอาร์เอ็มเอสของกระแสลำดับบวก ลำดับลบ และลำดับศูนย์ พร้อมทั้งมุมเฟสของแต่ละองค์ประกอบในเวลาเดียวกัน ซึ่งในโครงงานนี้ใช้ไมโครคอนโทรลเลอร์เบอร์ 8051 ในการประมวลผลข้อมูลตามขบวนการทางคณิตศาสตร์ และใช้ภาษาแอสเซมบลีในการเขียนโปรแกรม

จากผลการทดลอง จะเห็นได้ว่ามีความผิดพลาดเกิดขึ้นเพียงเล็กน้อยเมื่อเทียบกับเครื่องวัดองค์ประกอบสมมาตรทางไฟฟ้าที่ประมวลผลโดยวงจรอิเล็คทรอนิกส์ ซึ่งความผิดพลาดที่เกิดขึ้นนี้เป็นผลมาจากข้อจำกัดของภาษาแอสเซมบลีที่ทำให้การเขียนโปรแกรมมีความยาก และความแม่นยำในการประมวลผลตามขบวนการทางคณิตศาสตร์มีค่าลดลง ซึ่งในการลดความยากในการเขียนโปรแกรมก็อาจใช้ภาษาซีมาช่วยในการเขียน หรือ อาจเลือกใช้ไมโครคอนโทรลเลอร์ขนาด 16 บิต ซึ่งจะสามารถทำการประมวลผลได้ละเอียดมากยิ่งขึ้น (แต่จะทำให้ราคาในการผลิตสูงขึ้นด้วย)

ความผิดพลาดอีกส่วนหนึ่งก็คือ ค่ามุมเฟสของกระแสลำดับบวก ลำดับศูนย์ และลำดับลบ ทั้งนี้เนื่องจากการหาค่ามุมเฟสต้องหาจากค่า arctan โดยจะต้องใช้การเปิดตาราง ซึ่งค่าในตารางเป็นค่าที่มีความละเอียดต่ำ จึงทำให้ค่าที่ได้มีความผิดพลาดเกิดขึ้น

ขอบเขตของงานที่ได้ทำแล้ว

- ศึกษาแนวทางของโครงงานเดิม
- ศึกษาทฤษฎี Symmetrical components
- ศึกษาแนวทางในการวัด Symmetrical components ของกระแส
- ศึกษาแนวทางการใช้งานไมโครคอนโทรลเลอร์เบอร์ 8051
- ศึกษาภาษาแอสเซมบลีเพื่อใช้ในการเขียนโปรแกรมสำหรับไมโครคอนโทรลเลอร์
- ศึกษาการแนวทางการใช้งานแอลซีดี
- ออกแบบและสร้างวงจรสำหรับรับค่าที่เหมาะสมเพื่อประมวลผลด้วยไมโครคอนโทรลเลอร์
- เขียนโปรแกรมเพื่อทำการประมวลผลหาค่า
  - กระแสลำดับบวกและมุมเฟส
  - กระแสลำดับลบและมุมเฟส
  - กระแสลำดับศูนย์และมุมเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ประกอบส่วนต่างๆ ของเครื่องมือวัดองค์ประกอบสมมาตรของกระแสไฟฟ้า
- ทดลองเครื่องมือวัดองค์ประกอบสมมาตรของกระแสและเปรียบเทียบกับการคำนวณ
- จัดทำกล่องเครื่องมือวัดองค์ประกอบสมมาตรของกระแสไฟฟ้า

ประโยชน์ของเครื่องมือวัดองค์ประกอบสมมาตรของกระแสไฟฟ้า

ในปัจจุบันนั้นระบบไฟฟ้าที่ใช้งานทั่วๆ ไปจะเป็นระบบที่ Unbalance เนื่องจากการเปลี่ยนแปลงของโหลดเป็นไปตลอดเวลาและไม่สามารถควบคุมได้ และสาเหตุจากการขัดข้องของระบบส่งจ่ายของการไฟฟ้า เช่น แรงดันมาไม่เท่ากันในแต่ละเฟสหรือเกิดเฟสหาย โดยในปัจจุบันจะเห็นว่ามีการตรวจเช็คระบบที่เกิดการ Unbalance โดยการใช้ Negative Over Current Relay ตรวจเช็คกระแส Negative ถ้ามีค่ามากจนถึงระดับที่ตั้งไว้ ตัว relay จะทำหน้าที่ปลดวงจรออกจากระบบไฟฟ้า หรือใช้ Ampmeter วัดกระแสในแต่ละเฟส ซึ่งสามารถรู้เฉพาะขนาดของกระแสเท่านั้น หรือใช้ Power facter meter ซึ่งสามารถตรวจเช็คได้เฉพาะขนาดของมุมเฟสเท่านั้น

แต่สำหรับในเครื่องมือวัดนี้เมื่อนำไปต่อไว้ในระบบที่ต้องการตรวจเช็คกระแสของระบบโดยหลักการของเครื่องมือวัดแล้วเป็นการนำกระแสจากทั้ง 3 เฟสมาทำการประมวลผล ซึ่งจะทำให้เราสามารถตรวจเช็คระบบได้อย่างสมบูรณ์ และที่สำคัญค่าที่เครื่องวัดแสดงผลออกมานั้นเป็นค่าจริงในขณะนั้น (Real time) ซึ่งเป็นข้อได้เปรียบเมื่อเทียบกับวิธีการอื่นๆ ซึ่งต้องนำค่าที่วัดได้ว่าวิเคราะห์หรือคำนวณก่อนจึงสามารถทราบค่านั้นๆ ด้วยเหตุผลที่ระบบมีการเปลี่ยนแปลงตลอดเวลา ฉะนั้นค่าที่วิเคราะห์ได้จึงไม่ใช่ค่าที่เป็น Real time

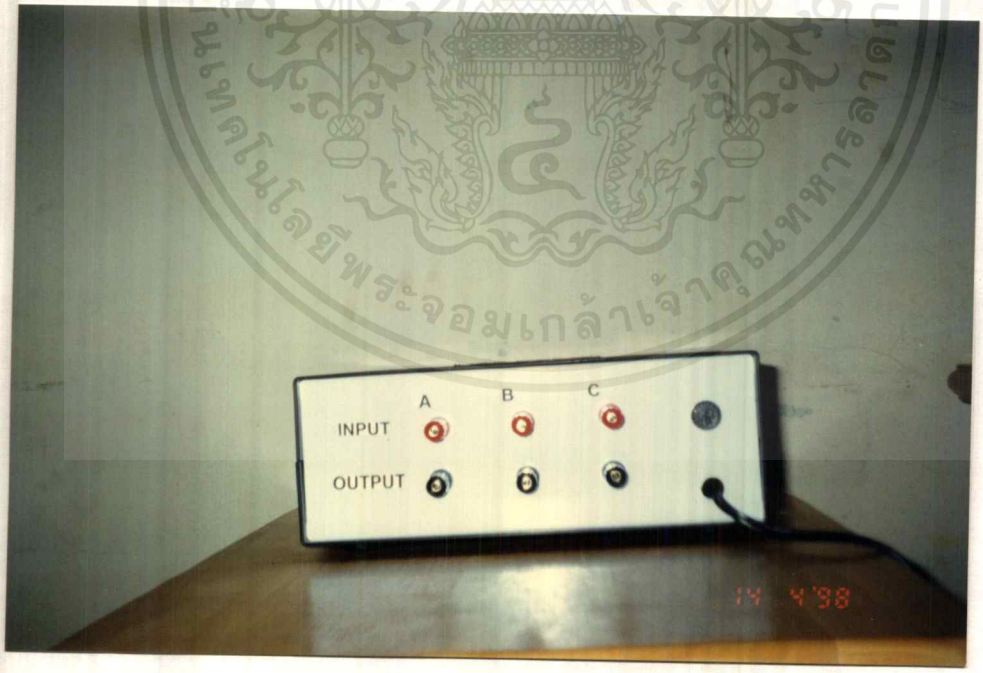
และเนื่องจากเครื่องมือวัดนี้ใช้ไมโครคอนโทรลเลอร์เป็นส่วนประกอบ ดังนั้นเครื่องมือวัดนี้สามารถทำการปลดวงจรออกจากระบบได้โดยตั้งค่ากระแส Negative ไว้ ถ้าค่ากระแสมีค่ามากจนถึงระดับที่ตั้งไว้ ก็ให้ไมโครคอนโทรลเลอร์ส่งสัญญาณไปยังอุปกรณ์ตัดต่อทำการปลดวงจรออกจากระบบไฟฟ้าได้ทันที

ข้อเสนอแนะ

- โครงงานนี้ได้ทำการสร้างเครื่องมือวัด ดังนั้นจึงควรหามาตรฐานมารองรับ
- ควรมีการพัฒนาโปรแกรมการทำงานขึ้นอีกเพื่อให้การทำงานมีประสิทธิภาพสูงยิ่งขึ้น
- เนื่องจากโครงงานนี้มุ่งเน้นในการสร้างเครื่องมือวัดจึงควรมีการพัฒนาให้สามารถนำไปใช้ร่วมกับอุปกรณ์ตัดต่อวงจร เพื่อเป็นการใช้ประสิทธิภาพของไมโครคอนโทรลเลอร์อย่างเต็มที่
- เพื่อให้การวัดมีประสิทธิภาพมากยิ่งขึ้นจึงควรทดลองใช้กับไมโครคอนโทรลเลอร์ 16 บิต

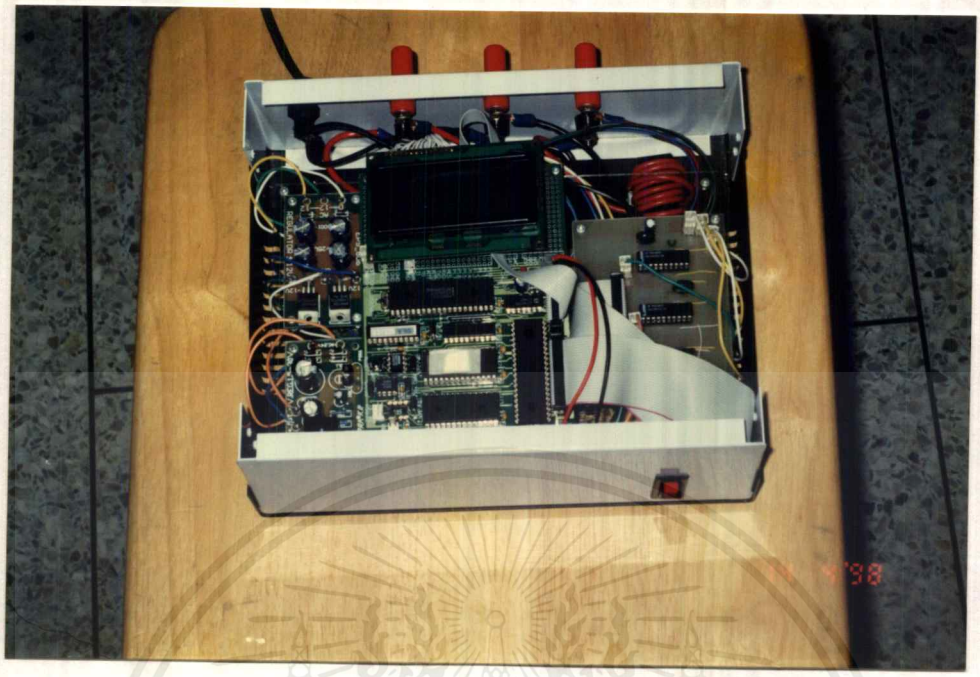
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปภาพ ด้านบนของเครื่องวัดองค์ประกอบสมมาตรของกระแสไฟฟ้า



รูปภาพ ด้านหลังของเครื่องวัดองค์ประกอบสมมาตรของกระแสไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปภาพ ภายในของเครื่องวัดองค์ประกอบสมมาตรของกระแสไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก. โปรแกรมภาษาแอสเซมบลี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;*****************************************
;START PROGRAM SYMMETRICAL COMPONENTS METER
;*****************************************
;**************PROGRAM   TEST**************

      LCDWRC EQU 0FA00H    ;LCD-A  WRITE CONTROL
      LCDRDC EQU 0FA01H    ;      READ  CONTROL
      LCDWRD EQU 0FA02H    ;      WRITE DATA
      LCDRDD EQU 0FA03H    ;      READ  DATA
      LLCDBUF EQU 9B00H    ;LCD DATA BUFFER EXTERNAL

      ORG  00H
      DS   8
SYSSTK: DS   64
LCDBUF: DS   64
ENDINT:

      ORG  0000H

;**************POWER ON WORD***************
POWON:  LCALL LCDSET
      MOV  DPTR,#7A00H
      LCALL LCDLDX
      LCALL LCDOUT
      MOV  R2,#10H
      LCALL DELAY

;**************PROGRAM  INPUT**************
      MOV    DPTR,#0F803H   ; CONTROL ADDRESS
      MOV    A,#9BH         ; CONTROL WORD
      MOVX   @DPTR,A
      MOV    R0,#00H
      MOV    R1,#00H
      MOV    R2,#00H
      MOV    R3,#03H

MAIN:  MOV    DPTR,#0F800H   ; PHASE A
      MOVX   A,@DPTR
      CALL   A1
      MOV    DPL,R0
      MOVX   @DPTR,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV    DPTR,#0F801H   ; PHASE B
        MOVX   A,@DPTR
        CALL   B1
        MOV    DPL,R0
        MOVX   @DPTR,A

        MOV    DPTR,#0F802H   ; PHASE C
        MOVX   A,@DPTR
        CALL   CI1
        MOV    DDPL,R0
        MOVX   @DPTR,A

        INC    R0

        NOP             ; DELAY
        NOP
        NOP
        NOP
        NOP
        NOP
        NOP
        NOP
        NOP
        NOP
        NOP
        NOP
        NOP
        NOP
        NOP
        NOP
        NOP
        NOP
        NOP
        NOP
        DJNZ   R1,MAIN
        INC    R2
        DJNZ   R3,PEAK_A      ; TO PEAK PROGRAM
        LJMP   MAIN

A1:     CJNE   R2,#00H,A2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV    DPH,#92H      ; PH A 9200-94FF
        RET
A2:     CJNE   R2,#01H,A3
        MOV    DPH,#93H
        RET
A3:     MOV    DPH,#94H
        RET

B1:     CJNE   R2,#00H,B2
        MOV    DPH,#95H      ; PH B 9500-97FF
        RET
B2:     CJNE   R2,#01H,B3
        MOV    DPH,#96H
        RET
B3:     MOV    DPH,#97H
        RET

CI1:    CJNE   R2,#00H,CI2   ; PH C 9800-9AFF
        MOV    DPH,#98H
        RET
CI2:    CJNE   R2,#01H,CI3
        MOV    DPH,#99H
        RET
CI3:    MOV    DPH,#9AH
        RET

;*************PROGRAM PEAK_INPUT************
PEAK_A: MOV    R2,#0FFH
        MOV    R4,#0FFH
CON1:   MOV    R3,#0FFH
        DEC    R2
        DEC    R4
        MOV    DPTR,#9200H
CON2:   DEC    R3
        MOV    A,R3
        JZ     CON1
        MOV    A,R4
        JZ     ALT1
        MOVX   A,@DPTR
        INC    82H
        SUBB   A,R2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        JC    CON2
ALT1:   DEC   82H
        MOVX  A,@DPTR
        MOV   R0,82H
        MOV   R1,83H
        MOV   DPTR,#9000H
        MOVX  @DPTR,A
        INC   82H
        MOV   A,R0
        MOVX  @DPTR,A
        INC   82H
        MOV   A,R1
        MOVX  @DPTR,A

PEAK_B: MOV   R2,#0FFH
        MOV   R4,#0FFH
CON3:   MOV   R3,#0FFH
        DEC   R2
        DEC   R4
        MOV   DPTR,#9500H
CON4:   DEC   R3
        MOV   A,R3
        JZ    CON3
        MOV   A,R4
        JZ    ALT2
        MOVX  A,@DPTR
        INC   82H
        SUBB  A,R2
        JC    CON4
ALT2:   DEC   82H
        MOVX  A,@DPTR
        MOV   R0,82H
        MOV   R1,83H
        MOV   DPTR,#9003H
        MOVX  @DPTR,A
        INC   82H
        MOV   A,R0
        MOVX  @DPTR,A
        INC   82H
        MOV   A,R1
        MOVX  @DPTR,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
PEAK_C: MOV    R2,#0FFH
        MOV    R4,#0FFH
CON5:   MOV    R3,#0FFH
        DEC    R2
        DEC    R4
        MOV    DPTR,#9800H
CON6:   DEC    R3
        MOV    A,R3
        JZ     CON5
        MOV    A,R4
        JZ     ALT3
        MOVX   A,@DPTR
        INC    82H
        SUBB   A,R2
        JC     CON6
ALT3:   DEC    82H
        MOVX   A,@DPTR
        MOV    R0,82H
        MOV    R1,83H
        MOV    DPTR,#9006H
        MOVX   @DPTR,A
        INC    82H
        MOV    A,R0
        MOVX   @DPTR,A
        INC    82H
        MOV    A,R1
        MOVX   @DPTR,A

;**********PROGRAM RESET_NO_INPUT**********
NO_A:   MOV    DPTR,#9000H
        MOVX   A,@DPTR
        MOV    R2,#1FH
        SUBB   A,R2
        JNC    NO_B
        MOV    A,#00H
        MOVX   @DPTR,A
NO_B:   MOV    DPTR,#9003H
        MOVX   A,@DPTR
        SUBB   A,R2
        JNC    NO_C
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV    A,#00H
        MOVX   @DPTR,A
NO_C:   MOV    DPTR,#9006H
        MOVX   A,@DPTR
        SUBB   A,R2
        JNC    SHIFT
        MOV    A,#00H
        MOVX   @DPTR,A


;************PROGRAM PHASE_SHIFT************
SHIFT:  MOV    DPTR,#9000H
        MOVX   A,@DPTR
        MOV    DPTR,#9100H
        MOVX   @DPTR,A
        MOV    DPTR,#9003H
        MOVX   A,@DPTR
        MOV    DPTR,#9101H
        MOVX   @DPTR,A
        MOV    DPTR,#9006H
        MOVX   A,@DPTR
        MOV    DPTR,#9102H
        MOVX   @DPTR,A

        MOV    25H,#00H
        MOV    26H,#00H
        MOV    27H,#00H
        MOV    DPTR,#9007H
        MOVX   A,@DPTR
        MOV    R7,A
        MOV    DPTR,#9004H
        MOVX   A,@DPTR
        MOV    R6,A
        MOV    DPTR,#9001H
        MOVX   A,@DPTR
        MOV    R5,A
        SUBB   A,R6
        JNC    STORE1
        CPL    A
STORE1: MOV    R3,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV    A,R5
        SUBB   A,R7
        JNC    STORE2
        CPL    A
STORE2: MOV    R4,A
        CALL   POS_B
        CALL   POS_C
        CALL   NEG_B
        CALL   NEG_C
        CALL   ZER_B
        CALL   ZER_C

;*******PROGRAM SYMMETRICAL COMPONENT*******
        MOV  DPTR,#9100H     ; Va ADDRESS
        MOVX A,@DPTR
        MOV  R7,A            ; Va IN R7

        MOV  DPTR,#9103H     ; COS B (ZERO)
        MOVX A,@DPTR
        MOV  B,A
        MOV  DPTR,#9101H     ; Vb
        MOVX A,@DPTR
        MUL  AB
        MOV  00H,A           ;LSB  (RESULT REGISTER)
        MOV  06H,B           ;MSB

        MOV  DPTR,#9104H     ; COS C (ZERO)
        MOVX A,@DPTR
        MOV  B,A
        MOV  DPTR,#9102H     ; Vc
        MOVX A,@DPTR
        MUL  AB
        MOV  0AH,A           ;LSB
        MOV  0BH,B           ;MSB

        MOV  DPTR,#9105H     ; SIN B (ZERO)
        MOVX A,@DPTR
        MOV  B,A
        MOV  DPTR,#9101H
        MOVX A,@DPTR
        MUL  AB
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
MOV  0CH,A          ;LSB
MOV  0DH,B          ;MSB

MOV  DPTR,#9106H    ; SIN C (ZERO)
MOVX A,@DPTR
MOV  B,A
MOV  DPTR,#9102H
MOVX A,@DPTR
MUL  AB
MOV  0EH,A          ;LSB
MOV  0FH,B          ;MSB

MOV  DPTR,#9107H    ; COS B (POS)
MOVX A,@DPTR
MOV  B,A
MOV  DPTR,#9101H
MOVX A,@DPTR
MUL  AB
MOV  10H,A          ;LSB
MOV  11H,B          ;MSB

MOV  DPTR,#9108H    ; COS C (POS)
MOVX A,@DPTR
MOV  B,A
MOV  DPTR,#9102H
MOVX A,@DPTR
MUL  AB
MOV  12H,A          ;LSB
MOV  13H,B          ;MSB

MOV  DPTR,#9109H    ; SIN B (POS)
MOVX A,@DPTR
MOV  B,A
MOV  DPTR,#9101H
MOVX A,@DPTR
MUL  AB
MOV  14H,A          ;LSB
MOV  15H,B          ;MSB

MOV  DPTR,#910AH    ; SIN C (POS)
MOVX A,@DPTR
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
MOV  B,A
MOV  DPTR,#9102H
MOVX A,@DPTR
MUL  AB
MOV  16H,A          ;LSB
MOV  17H,B          ;MSB

MOV  DPTR,#910BH    ; COS B (NEG)
MOVX A,@DPTR
MOV  B,A
MOV  DPTR,#9101H
MOVX A,@DPTR
MUL  AB
MOV  18H,A          ;LSB
MOV  19H,B          ;MSB

MOV  DPTR,#910CH    ; COS C (NEG)
MOVX A,@DPTR
MOV  B,A
MOV  DPTR,#9102H
MOVX A,@DPTR
MUL  AB
MOV  1AH,A          ;LSB
MOV  1BH,B          ;MSB

MOV  DPTR,#910DH    ; SIN B (NEG)
MOVX A,@DPTR
MOV  B,A
MOV  DPTR,#9101H
MOVX A,@DPTR
MUL  AB
MOV  1CH,A          ;LSB
MOV  1DH,B          ;MSB

MOV  DPTR,#910EH    ; SIN C (NEG)
MOVX A,@DPTR
MOV  B,A
MOV  DPTR,#9102H
MOVX A,@DPTR
MUL  AB
MOV  1EH,A          ;LSB
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
MOV  1FH,B          ;MSB

MOV  DPL,00H
MOV  DPH,06H
MOV  R2,#00H
MOV  R3,#0FFH
CALL DPDIV          ; DIV COS B (ZERO) by FF
MOV  00H,DPL        ; RESULT REGISTER

MOV  DPL,0AH
MOV  DPH,0BH
MOV  R2,#00H
MOV  R3,#0FFH
CALL DPDIV
MOV  0AH,DPL

MOV  DPL,10H
MOV  DPH,11H
MOV  R2,#00H
MOV  R3,#0FFH
CALL DPDIV
MOV  10H,DPL

MOV  DPL,12H
MOV  DPH,13H
MOV  R2,#00H
MOV  R3,#0FFH
CALL DPDIV
MOV  12H,DPL

MOV  DPL,18H
MOV  DPH,19H
MOV  R2,#00H
MOV  R3,#0FFH
CALL DPDIV
MOV  18H,DPL

MOV  DPL,1AH
MOV  DPH,1BH
MOV  R2,#00H
MOV  R3,#0FFH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CALL DPDIV
MOV 1AH,DPL

MOV DPL,0CH
MOV DPH,0DH
MOV R2,#00H
MOV R3,#0FFH
CALL DPDIV
MOV 0CH,DPL

MOV DPL,0EH
MOV DPH,0FH
MOV R2,#00H
MOV R3,#0FFH
CALL DPDIV
MOV 0EH,DPL

MOV DPL,14H
MOV DPH,15H
MOV R2,#00H
MOV R3,#0FFH
CALL DPDIV
MOV 14H,DPL

MOV DPL,16H
MOV DPH,17H
MOV R2,#00H
MOV R3,#0FFH
CALL DPDIV
MOV 16H,DPL

MOV DPL,1CH
MOV DPH,1DH
MOV R2,#00H
MOV R3,#0FFH
CALL DPDIV
MOV 1CH,DPL

MOV DPL,1EH
MOV DPH,1FH
MOV R2,#00H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV  R3,#0FFH
        CALL DPDIV
        MOV  1EH,DPL
        LJMP CZ

;****** COS (ZERO) **************

CZ:   MOV  0BH,00H        ; COS B
      MOV  13H,0AH        ; COS C
      MOV  C,2BH          ; SIGN COSB IN 25H
      ORL  C,2AH          ; SIGN COSC by 1=(-),0=(+)

; SELECT +,- OPERATION

      JNC  CO1
      MOV  C,2BH
      ANL  C,2AH
      JC   CO4
      SETB C
      ANL  C,2BH
      JC   CO3
      CALL COS2
      MOV  00H,0BH
      MOV  06H,13H
      MOV  30H,0BH
      MOV  31H,13H
      MOV  C,46H
      MOV  40H,C          ; SIGN COS(ZERO) IN 28H
      LJMP CP

CO1:  CALL COS1
      MOV  00H,0BH
      MOV  06H,13H
      MOV  30H,0BH
      MOV  31H,13H
      CLR  40H
      LJMP CP
CO3:  CALL COS3
      MOV  00H,0BH
      MOV  06H,13H
      MOV  30H,0BH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV  31H,13H
        MOV  C,46H
        MOV  40H,C
        LJMP CP
CO4:    CALL COS4
        MOV  00H,0BH
        MOV  06H,13H
        MOV  30H,0BH
        MOV  31H,13H
        MOV  C,46H
        MOV  40H,C
        LJMP CP

;****** COS POSITIVE **********

CP:     MOV  0BH,10H        ; COS B
        MOV  13H,12H        ; COS C
        MOV  C,33H          ; IN 26H
        ORL  C,32H
        JNC  COO1
        MOV  C,33H
        ANL  C,32H
        JC   COO4
        SETB C
        ANL  C,33H
        JC   COO3
        CALL COS2
        MOV  10H,0BH
        MOV  11H,13H
        MOV  46H,0BH
        MOV  47H,13H
        MOV  C,46H
        MOV  42H,C          ; SIGN COS(POS) IN 28H
        LJMP CN

COO1:   CALL COS1
        MOV  10H,0BH
        MOV  11H,13H
        MOV  46H,0BH
        MOV  47H,13H
        CLR  42H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        LJMP CN
COO3:   CALL COS3
        MOV 10H,0BH
        MOV 11H,13H
        MOV 46H,0BH
        MOV 47H,13H
        MOV C,46H
        MOV 42H,C
        LJMP CN
COO4:   CALL COS4
        MOV 10H,0BH
        MOV 11H,13H
        MOV 46H,0BH
        MOV 47H,13H
        MOV C,46H
        MOV 42H,C
        LJMP CN

;****** COS NEG **************

CN:     MOV 0BH,18H         ; COS B
        MOV 13H,1AH         ; COS C
        MOV C,3BH           ; IN 27H
        ORL C,3AH
        JNC COOO1
        MOV C,3BH
        ANL C,3AH
        JC COOO4
        SETB C
        ANL C,3BH
        JC COOO3
        CALL COS2
        MOV 18H,0BH
        MOV 19H,13H
        MOV 4CH,0BH
        MOV 4DH,13H
        MOV C,46H
        MOV 44H,C           ; SIGN COS(NEG) IN 28H
        LJMP SZ

COOO1:  CALL COS1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV  18H,0BH
        MOV  19H,13H
        MOV  4CH,0BH
        MOV  4DH,13H
        CLR  44H
        LJMP SZ
COOO3:  CALL COS3
        MOV  18H,0BH
        MOV  19H,13H
        MOV  4CH,0BH
        MOV  4DH,13H
        MOV  C,46H
        MOV  44H,C
        LJMP SZ
COOO4:  CALL COS4
        MOV  18H,0BH
        MOV  19H,13H
        MOV  4CH,0BH
        MOV  4DH,13H
        MOV  C,46H
        MOV  44H,C
        LJMP SZ

;****** SINE ZERO ************

SZ:     MOV  0BH,0CH        ; SIN B
        MOV  13H,0EH        ; SIN C
        MOV  C,29H          ; IN 25H
        ORL  C,28H
        JNC  SN1
        MOV  C,29H
        ANL  C,28H
        JC   SN4
        SETB C
        ANL  C,29H
        JC   SN3
        CALL SIN2
        MOV  0CH,0BH
        MOV  0DH,13H
        MOV  42H,0BH
        MOV  43H,13H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV  C,47H
        MOV  41H,C          ; IN 28H
        LJMP SPT

SN1:    CALL SIN1
        MOV  0CH,0BH
        MOV  0DH,13H
        MOV  42H,0BH
        MOV  43H,13H
        CLR  41H
        LJMP SPT
SN3:    CALL SIN3
        MOV  0CH,0BH
        MOV  0DH,13H
        MOV  42H,0BH
        MOV  43H,13H
        MOV  C,47H
        MOV  41H,C
        LJMP SPT
SN4:    CALL SIN4
        MOV  0CH,0BH
        MOV  0DH,13H
        MOV  42H,0BH
        MOV  43H,13H
        SETB 41H
        LJMP SPT

;****** SINE POSITIVE *********

SPT:    MOV  0BH,14H        ; SIN B
        MOV  13H,16H        ; SIN C
        MOV  C,31H          ; IN 26H
        ORL  C,30H
        JNC  SNN1
        MOV  C,31H
        ANL  C,30H
        JC   SNN4
        SETB C
        ANL  C,31H
        JC   SNN3
        CALL SIN2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV  14H,0BH
        MOV  15H,13H
        MOV  48H,0BH
        MOV  49H,13H
        MOV  C,47H
        MOV  43H,C          ; IN 28H
        LJMP SN

SNN1:   CALL SIN1
        MOV  14H,0BH
        MOV  15H,13H
        MOV  48H,0BH
        MOV  49H,13H
        CLR  43H
        LJMP SN
SNN3:   CALL SIN3
        MOV  14H,0BH
        MOV  15H,13H
        MOV  48H,0BH
        MOV  49H,13H
        MOV  C,47H
        MOV  43H,C
        LJMP SN
SNN4:   CALL SIN4
        MOV  14H,0BH
        MOV  15H,13H
        MOV  48H,0BH
        MOV  49H,13H
        SETB 43H
        LJMP SN

;****** SINE NEGATIVE *********

SN:     MOV  0BH,1CH        ; SIN B
        MOV  13H,1EH        ; SIN C
        MOV  C,39H          ; IN 27H
        ORL  C,38H
        JNC  SNNN1
        MOV  C,39H
        ANL  C,38H
        JC   SNNN4
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        SETB C
        ANL  C,39H
        JC   SNNN3
        CALL SIN2
        MOV  1CH,0BH
        MOV  1DH,13H
        MOV  2AH,0BH
        MOV  2BH,13H
        MOV  C,47H
        MOV  45H,C          ; IN 28H
        LJMP POWER

SNNN1:  CALL SIN1
        MOV  1CH,0BH
        MOV  1DH,13H
        MOV  2AH,0BH
        MOV  2BH,13H
        CLR  45H
        LJMP POWER
SNNN3:  CALL SIN3
        MOV  1CH,0BH
        MOV  1DH,13H
        MOV  2AH,0BH
        MOV  2BH,13H
        MOV  C,47H
        MOV  45H,C
        LJMP POWER
SNNN4:  CALL SIN4
        MOV  1CH,0BH
        MOV  1DH,13H
        MOV  2AH,0BH
        MOV  2BH,13H
        SETB 45H
        LJMP POWER

;****** SUB COS ******
; Va + Vb.COSB + Vc.COSC
; RESULT SIGN IN 28H(BIT 46H)

COS1:   MOV  DPH,#00H       ; COS +,+
        MOV  DPL,R7
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV  R2,#00H
        MOV  R3,0BH
        CALL DPADD
        MOV  R3,13H
        CALL DPADD
        MOV  0BH,DPL
        MOV  13H,DPH
        CLR. 46H
        RET

COS2:   MOV  DPH,#00H       ; COS +,-
        MOV  DPL,R7
        MOV  R2,#00H
        MOV  R3,0BH
        CALL DPADD
        MOV  R3,13H
        CALL DPSUB
        JNC  C2
        SETB 46H
        MOV  R2,DPH
        MOV  R3,DPL
        MOV  DPH,#0FFH
        MOV  DPL,#0FFH
        CALL DPSUB
        INC  DPTR
        LJMP C22
C2:     CLR  46H
C22:    MOV  0BH,DPL
        MOV  13H,DPH
        RET

COS3:   MOV  DPH,#00H       ; COS -,+
        MOV  DPL,R7
        MOV  R2,#00H
        MOV  R3,0BH
        CALL DPSUB
        JNC  C3
        MOV  R2,DPH
        MOV  R3,DPL
        MOV  DPH,#0FFH
        MOV  DPL,#0FFH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        CALL  DPSUB
        INC   DPTR
        MOV   7CH,DPL
        MOV   7DH,DPH
        LJMP  C33
C3:     CLR   46H
        MOV   R2,#00H
        MOV   R3,13H
        CALL  DPADD
        MOV   0BH,DPL
        MOV   13H,DPH
        RET
C33:    MOV   R2,#00H
        MOV   R3,13H
        MOV   7EH,#00H
        MOV   7FH,13H
        CALL  DPADD
        MOV   0BH,DPL
        MOV   13H,DPH
        MOV   DPL,20H
        MOV   DPH,21H
        MOV   R3,22H
        MOV   R2,23H
        CALL  DPSUB
        JNC   CCC
        CLR   46H
        RET
CCC:    SETB  46H
        RET

COS4:   MOV   DPH,#00H      ; COS -,-
        MOV   DPL,0BH
        MOV   R2,#00H
        MOV   R3,13H
        CALL  DPADD
        MOV   R2,DPH
        MOV   R3,DPL
        MOV   DPH,#00H
        MOV   DPL,R7
        CALL  DPSUB
        JNC   C4
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        SETB 46H
        MOV  DPH,R2
        MOV  DPL,R3
        MOV  DPH,#0FFH
        MOV  DPL,#0FFH
        CALL DPSUB
        INC  DPTR
        LJMP C44
C4:     CLR  46H
C44:    MOV  0BH,DPL
        MOV  13H,DPH
        RET

;****** SUB SIN ******
; + Vb.SINB + Vc.SINC
; RESULT SIGN IN 28H(BIT 47H)

SIN1:   MOV  DPH,#00H       ; SIN +,+
        MOV  DPL,0BH
        MOV  R2,#00H
        MOV  R3,13H
        CALL DPADD
        MOV  0BH,DPL
        MOV  13H,DPH
        CLR  47H
        RET

SIN2:   MOV  DPH,#00H       ; SIN +,-
        MOV  DPL,0BH
        MOV  R2,#00H
        MOV  R3,13H
        CALL DPSUB
        JNC  S2
        SETB 47H
        MOV  R2,DPH
        MOV  R3,DPL
        MOV  DPH,#0FFH
        MOV  DPL,#0FFH
        CALL DPSUB
        INC  DPTR
        LJMP S22
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
S2:   CLR  47H
S22:  MOV  0BH,DPL
      MOV  13H,DPH
      RET

SIN3: MOV  DPH,#00H       ; SIN -,+
      MOV  DPL,13H
      MOV  R2,#00H
      MOV  R3,0BH
      CALL DPSUB
      JNC  S3
      SETB 47H
      MOV  R2,DPH
      MOV  R3,DPL
      MOV  DPH,#0FFH
      MOV  DPL,#0FFH
      CALL DPSUB
      INC  DPTR
      LJMP S33
S3:   CLR  47H
S33:  MOV  0BH,DPL
      MOV  13H,DPH
      RET

SIN4: MOV  DPH,#00H       ; SIN -,-
      MOV  DPL,0BH
      MOV  R2,#00H
      MOV  R3,13H
      CALL DPADD
      MOV  0BH,DPL
      MOV  13H,DPH
      CLR  47H
      RET

;****** DIV SUB ******

DPDIV: CLR   C
      MOV   R4,#0
      MOV   R5,#0
      MOV   R1,#16
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
DPDIV1: MOV    A,DPL
        RLC    A
        MOV    DPL,A
        MOV    A,DPH
        RLC    A
        MOV    DPH,A

        MOV    A,R5
        ADDC   A,R5
        MOV    R5,A
        MOV    A,R4
        ADDC   A,R4
        MOV    R4,A

        MOV    A,R5
        SUBB   A,R3
        MOV    R5,A
        MOV    A,R4
        SUBB   A,R2
        MOV    R4,A
        JNC    DPDIV2

        MOV    A,R5
        ADD    A,R3
        MOV    R5,A
        MOV    A,R4
        ADDC   A,R2
        MOV    R4,A

DPDIV2: CPL    C
        DJNZ   R1,DPDIV1

        MOV    A,DPL
        ADDC   A,DPL
        MOV    DPL,A
        MOV    A,DPH
        ADDC   A,DPH
        MOV    DPH,A

        MOV    A,R4
        ORL    A,R5
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        JZ     DPDIV3
        SETB   C
        RET

DPDIV3: CLR    C
        RET

;****** ADD SUB ******

DPADD:  MOV    A,DPL
        ADD    A,R3
        MOV    DPL,A
        MOV    A,DPH
        ADDC   A,R2
        MOV    DPH,A
        RET

;****** SUBTRACT SUB ******

DPSUB:  CLR    C
        MOV    A,DPL
        SUBB   A,R3
        MOV    DPL,A
        MOV    A,DPH
        SUBB   A,R2
        MOV    DPH,A
        RET

;****** CROSS SUB ******

DPMUL:  MOV    R4,#0
        MOV    R5,#0
        CLR    PSW.2
        MOV    R1,#16
DPMUL1: MOV    A,R5
        ADD    A,R5
        MOV    R5,A
        MOV    A,R4
        ADDC   A,R4
        MOV    R4,A
        JNC    DPMUL2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        SETB   PSW.2
DPMUL2: MOV    A,R3
        RLC    A
        MOV    R3,A
        MOV    A,R2
        RLC    A
        MOV    R2,A
        JNC    DPMUL3
        MOV    A,R5
        ADD    A,DPL
        MOV    R5,A
        MOV    A,R4
        ADDC   A,DPH
        MOV    R4,A
        JNC    DPMUL3
        SETB   PSW.2
DPMUL3: DJNZ   R1,DPMUL1
        MOV    DPH,R4
        MOV    DPL,R5
        MOV    C,PSW.2
        RET

;****** DIV by 5H & POWER 2 ******

POWER:  MOV   DPL,00H
        MOV   DPH,06H
        MOV   R2,#00H
        MOV   R3,#05H
        CALL  DPDIV
        MOV   A,DPL
        MOV   B,DPL
        MUL   AB
        MOV   00H,A          ; RESULT LSB
        MOV   06H,B          ; RESULT MSB

        MOV   DPL,0CH
        MOV   DPH,0DH
        MOV   R2,#00H
        MOV   R3,#05H
        CALL  DPDIV
        MOV   A,DPL
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
MOV  B,DPL
MUL  AB
MOV  0CH,A
MOV  0DH,B

MOV  DPL,10H
MOV  DPH,11H
MOV  R2,#00H
MOV  R3,#05H
CALL DPDIV
MOV  A,DPL
MOV  B,DPL
MUL  AB
MOV  10H,A
MOV  11H,B

MOV  DPL,14H
MOV  DPH,15H
MOV  R2,#00H
MOV  R3,#05H
CALL DPDIV
MOV  A,DPL
MOV  B,DPL
MUL  AB
MOV  14H,A
MOV  15H,B

MOV  DPL,18H
MOV  DPH,19H
MOV  R2,#00H
MOV  R3,#05H
CALL DPDIV
MOV  A,DPL
MOV  B,DPL
MUL  AB
MOV  18H,A
MOV  19H,B

MOV  DPL,1CH
MOV  DPH,1DH
MOV  R2,#00H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV  R3,#05H
        CALL DPDIV
        MOV  A,DPL
        MOV  B,DPL
        MUL  AB
        MOV  1CH,A
        MOV  1DH,B

        MOV  DPL,00H
        MOV  DPH,06H
        MOV  R2,0DH
        MOV  R3,0CH
        CALL DPADD
        MOV  00H,DPL
        MOV  06H,DPH

        MOV  DPL,10H
        MOV  DPH,11H
        MOV  R2,15H
        MOV  R3,14H
        CALL DPADD
        MOV  10H,DPL
        MOV  11H,DPH

        MOV  DPL,18H
        MOV  DPH,19H
        MOV  R2,1DH
        MOV  R3,1CH
        CALL DPADD
        MOV  18H,DPL
        MOV  19H,DPH

;****** SQUARE ROOT ******
; NEW X = (OLD X + S/OLD X)/2
; S = SQUREROOT TERM

        MOV  1AH,00H
        MOV  1BH,06H
        CALL ROOT
        MOV  00H,1EH        ;1EH=LSB
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV  1AH,10H
        MOV  1BH,11H
        CALL ROOT
        MOV  10H,1EH        ;1EH=LSB

        MOV  1AH,18H
        MOV  1BH,19H
        CALL ROOT
        MOV  18H,1EH        ;1EH=LSB

        LJMP FINAL

ROOT:   MOV  1DH,#0BH       ;LOOP=11 ROUND
        MOV  1EH,#01H       ;LSB(START)
        MOV  1FH,#00H       ;MSB

SQR:    MOV  R2,1FH
        MOV  R3,1EH
        MOV  DPL,1AH
        MOV  DPH,1BH
        CALL DPDIV
        CALL DPADD
        MOV  R2,#00H
        MOV  R3,#02H
        CALL DPDIV
        MOV  1EH,DPL
        MOV  1FH,DPH
        DJNZ 1DH,SQR
        RET

FINAL:  MOV  B,00H          ; ZERO
        MOV  A,#3DH         ; 5/(3*ROOT2)
        MUL  AB
        MOV  DPL,A
        MOV  DPH,B
        MOV  R2,#00H
        MOV  R3,#33H        ; DIV by 33H
        CALL DPDIV
        MOV  20H,DPL
        MOV  21H,DPH
        CALL HTOD
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV  20H,R3        ; LSB (ZERO RESULT)
        MOV  21H,R2        ; MSB

        MOV  B,10H         ; POSITIVE
        MOV  A,#3DH
        MUL  AB
        MOV  DPL,A
        MOV  DPH,B
        MOV  R2,#00H
        MOV  R3,#33H
        CALL DPDIV
        MOV  10H,DPL
        MOV  11H,DPH
        CALL HTOD
        MOV  10H,R3        ; LSB (POS RESULT)
        MOV  11H,R2        ; MSB

        MOV  B,18H         ; NEGATIVE
        MOV  A,#3DH
        MUL  AB
        MOV  DPL,A
        MOV  DPH,B
        MOV  R2,#00H
        MOV  R3,#33H
        CALL DPDIV
        MOV  18H,DPL
        MOV  19H,DPH
        CALL HTOD
        MOV  18H,R3        ; LSB (NEG RESULT)
        MOV  19H,R2        ; MSB
        LJMP ART

;*********HTOD SUB (HEX TO DECIMAL)*********

HTOD:  CLR  A
       MOV  R1,A
       MOV  R2,A
       MOV  R3,A
       MOV  R4,#16
HTOD1: MOV  A,DPL
       RLC  A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV  DPL,A
        MOV  A,DPH
        RLC  A
        MOV  DPH,A
        MOV  R5,#3
        MOV  R0,#3
HTOD2:  MOV  A,@R0
        ADDC A,ACC
        DA   A
        MOV  @R0,A
        DEC  R0
        DJNZ R5,HTOD2
        DJNZ R4,HTOD1
        RET

;****** ARCTANGENT PROGRAM ******
;SIGN(ARCTAN)  ZERO = 48 , POS = 49 , NEG = 4A (IN 29H)

ART:    MOV  C,40H
        ORL  C,41H
        JNC  ZAD
        MOV  C,40H
        ANL  C,41H
        JC   ZAD
        SETB 48H
        LJMP PLOOP
ZAD:    CLR  48H

PLOOP:  MOV  C,42H
        ORL  C,43H
        JNC  PAD
        MOV  C,42H
        ANL  C,43H
        JC   PAD
        SETB 49H
        LJMP NLOOP
PAD:    CLR  49H

NLOOP:  MOV  C,44H
        ORL  C,45H
        JNC  NAD
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV  C,44H
        ANL  C,45H
        JC   NAD
        SETB 4AH
        LJMP TZERO
NAD:    CLR  4AH

;****** ANGLE(ARCTAN) ******
; ZERO ANGLE = 22H

TZERO:  MOV  A,30H
        JNZ  CHECKN
        MOV  A,31H
        JNZ  CHECKN
        LJMP MAIN          ;**************
CHECKN: MOV  A,42H
        JNZ  STAR0
        MOV  A,43H
        JNZ  STAR0
        LJMP ZD0
STAR0:  MOV  DPL,42H
        MOV  DPH,43H
        MOV  R3,30H
        MOV  R2,31H
        CALL DPSUB
        JC   ZMDIVN
        MOV  A,DPH
        JNZ  ZNDIVM
        MOV  A,DPL
        JZ   ZD45
ZNDIVM: MOV  DPL,42H
        MOV  DPH,43H
        MOV  R3,30H
        MOV  R2,31H
        CALL DPDIV
        MOV  A,DPH
        CJNE A,#00H,ZD89
        MOV  42H,DPL
        MOV  43H,DPH
        MOV  A,#28H
        SUBB A,DPL
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        JC   ZD89
        MOV  DPTR,#7F00H
        MOV  A,42H
        MOVC A,@A+DPTR
        MOV  22H,A
        LJMP TPOS
ZD0:    MOV  22H,#00H       ; 0 DEGREE
        LJMP TPOS
ZD45:   MOV  22H,#45H       ; 45 DEGREE
        LJMP TPOS
ZD89:   MOV  22H,#89H       ; 89 DEGREE
        LJMP TPOS
ZMDIVN: MOV  DPL,30H
        MOV  DPH,31H
        MOV  R3,42H
        MOV  R2,43H
        CALL DPDIV
        MOV  A,DPH
        CJNE A,#00H,ZD1
        MOV  42H,DPL
        MOV  43H,DPH
        MOV  A,#28H
        SUBB A,DPL
        JC   ZD1
        MOV  DPTR,#7E00H
        MOV  A,42H
        MOVC A,@A+DPTR
        MOV  22H,A
        LJMP TPOS
ZD1:    MOV  22H,#01H       ; 1 DEGREE
        LJMP TPOS

; POSITIVE ANGLE = 12H

TPOS:   MOV  A,46H
        JNZ  CHECKN1
        MOV  A,47H
        JNZ  CHECKN1
        LJMP MAIN           ;**************
CHECKN1:MOV  A,48H
        JNZ  STAR1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV  A,49H
        JNZ  STAR1
        LJMP PD0
STAR1:  MOV  DPL,48H
        MOV  DPH,49H
        MOV  R3,46H
        MOV  R2,47H
        CALL DPSUB
        JC   PMDIVN
        MOV  A,DPH
        JNZ  PNDIVM
        MOV  A,DPL
        JZ   PD45
PNDIVM: MOV  DPL,48H
        MOV  DPH,49H
        MOV  R3,46H
        MOV  R2,47H
        CALL DPDIV
        MOV  A,DPH
        CJNE A,#00H,PD89
        MOV  48H,DPL
        MOV  49H,DPH
        MOV  A,#28H
        SUBB A,DPL
        JC   PD89
        MOV  DPTR,#7F00H
        MOV  A,48H
        MOVC A,@A+DPTR
        MOV  12H,A
        LJMP TNEG
PD0:    MOV  12H;#00H
        LJMP TNEG
PD45:   MOV  12H,#45H
        LJMP TNEG
PD89:   MOV  12H,#89H
        LJMP TNEG
PMDIVN: MOV  DPL,46H
        MOV  DPH,47H
        MOV  R3,48H
        MOV  R2,49H
        CALL DPDIV
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV  A,DPH
        CJNE A,#00H,PD1
        MOV  48H,DPL
        MOV  49H,DPH
        MOV  A,#28H
        SUBB A,DPL
        JC   PD1
        MOV  DPTR,#7E00H
        MOV  A,48H
        MOVC A,@A+DPTR
        MOV  12H,A
        LJMP TNEG
PD1:    MOV  12H,#01H
        LJMP TNEG

; NEGATIVE ANGLE = 1AH

TNEG:   MOV  A,4CH
        JNZ  CHECKN2
        MOV  A,4DH
        JNZ  CHECKN2
        LJMP MAIN       ;************
CHECKN2:MOV  A,2AH
        JNZ  STAR2
        MOV  A,2BH
        JNZ  STAR2
        LJMP ND0
STAR2:  MOV  DPL,2AH
        MOV  DPH,2BH
        MOV  R3,4CH
        MOV  R2,4DH
        CALL DPSUB
        JC   NMDIVN
        MOV  A,DPH
        JNZ  NNDIVM
        MOV  A,DPL
        JZ   ND45
NNDIVM: MOV  DPL,2AH
        MOV  DPH,2BH
        MOV  R3,4CH
        MOV  R2,4DH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        CALL  DPDIV
        MOV   A,DPH
        CJNE  A,#00H,ND89
        MOV   2AH,DPL
        MOV   2BH,DPH
        MOV   A,#28H
        SUBB  A,DPL
        JC    ND89
        MOV   DPTR,#7F00H
        MOV   A,2AH
        MOVC  A,@A+DPTR
        MOV   1AH,A
        LJMP  PRELCD
ND0:    MOV   1AH,#00H
        LJMP  PRELCD
ND45:   MOV   1AH,#45H
        LJMP  PRELCD
ND89:   MOV   1AH,#89H
        LJMP  PRELCD
NMDIVN: MOV   DPL,4CH
        MOV   DPH,4DH
        MOV   R3,2AH
        MOV   R2,2BH
        CALL  DPDIV
        MOV   A,DPH
        CJNE  A,#00H,ND1
        MOV   2AH,DPL
        MOV   2BH,DPH
        MOV   A,#28H
        SUBB  A,DPL
        JC    ND1
        MOV   DPTR,#7E00H
        MOV   A,2AH
        MOVC  A,@A+DPTR
        MOV   1AH,A
        LJMP  PRELCD
ND1:    MOV   1AH,#01H
        LJMP  PRELCD

;**********SUB_PROGRAM PHASE_SHIFT**********
POS_B:  MOV    A,#55H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        ADD    A,R3
        MOV    B,#40H
        DIV    AB
        MOV    22H,A
        MOV    24H,B
        INC    A
        MOV    23H,A
        JNB    10H,ANG1
        CALL   CHANGE
ANG1:   CALL   COS
        MOV    DPTR,#9107H
        MOVX   @DPTR,A
        CALL   SIN
        MOV    DPTR,#9109H
        MOVX   @DPTR,A
        JNB    19H,JMP_01
        SETB   33H
JMP_01: JNB    11H,JMP_02
        SETB   31H
JMP_02: RET

POS_C:  MOV    A,#0AAH
        ADD    A,R4
        MOV    B,#40H
        DIV    AB
        MOV    22H,A
        MOV    24H,B
        INC    A
        MOV    23H,A
        JNB    10H,ANG2
        CALL   CHANGE
ANG2:   CALL   COS
        MOV    DPTR,#9108H
        MOVX   @DPTR,A
        CALL   SIN
        MOV    DPTR,#910AH
        MOVX   @DPTR,A
        JNB    19H,JMP_03
        SETB   32H
JMP_03: JNB    11H,JMP_04
        SETB   30H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
JMP_04: RET

NEG_B:  MOV    A,#0AAH
        ADD    A,R3
        MOV    B,#40H
        DIV    AB
        MOV    22H,A
        MOV    24H,B
        INC    A
        MOV    23H,A
        JNB    10H,ANG3
        CALL   CHANGE
ANG3:   CALL   COS
        MOV    DPTR,#910BH
        MOVX   @DPTR,A
        CALL   SIN
        MOV    DPTR,#910DH
        MOVX   @DPTR,A
        JNB    19H,JMP_05
        SETB   3BH
JMP_05: JNB    11H,JMP_06
        SETB   39H
JMP_06: RET

NEG_C:  MOV    A,#55H
        ADD    A,R4
        MOV    B,#40H
        DIV    AB
        MOV    22H,A
        MOV    24H,B
        INC    A
        MOV    23H,A
        JNB    10H,ANG4
        CALL   CHANGE
ANG4:   CALL   COS
        MOV    DPTR,#910CH
        MOVX   @DPTR,A
        CALL   SIN
        MOV    DPTR,#910EH
        MOVX   @DPTR,A
        JNB    19H,JMP_07
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        SETB   3AH
JMP_07: JNB    11H,JMP_08
        SETB   38H
JMP_08: RET

ZER_B:  MOV    A,R3
        MOV    B,#40H
        DIV    AB
        MOV    22H,A
        MOV    24H,B
        INC    A
        MOV    23H,A
        JNB    10H,ANG5
        CALL   CHANGE
ANG5:   CALL   COS
        MOV    DPTR,#9103H
        MOVX   @DPTR,A
        CALL   SIN
        MOV    DPTR,#9105H
        MOVX   @DPTR,A
        JNB    19H,JMP_09
        SETB   2BH
JMP_09: JNB    11H,JMP_10
        SETB   29H
JMP_10: RET

ZER_C:  MOV    A,R4
        MOV    B,#40H
        DIV    AB
        MOV    22H,A
        MOV    24H,B
        INC    A
        MOV    23H,A
        JNB    10H,ANG6
        CALL   CHANGE
ANG6:   CALL   COS
        MOV    DPTR,#9104H
        MOVX   @DPTR,A
        CALL   SIN
        MOV    DPTR,#9106H
        MOVX   @DPTR,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        JNB    19H,JMP_11
        SETB   2AH
JMP_11: JNB    11H,JMP_12
        SETB   28H
JMP_12: RET

CHANGE: MOV    A,#3FH
        SUBB   A,24H
        MOV    24H,A
        RET

;************SUB_PROGRAM COS_SIN**************
COS:    MOV    DPTR,#7C00H
        MOV    A,24H
        MOVC   A,@A+DPTR
        RET

SIN:    MOV    DPTR,#7D00H
        MOV    A,24H
        MOVC   A,@A+DPTR
        RET

;**********PROGRAM PRE_DIRPLAY_LCD**********
PRELCD: MOV  DPTR,#9C07H
        MOV  A,11H
        LCALL FONT_1
        INC  DPL
        MOV  A,10H
        LCALL FONT_2
        INC  DPL
        MOV  A,10H
        LCALL FONT_1
        MOV  DPTR,#9C0BH
        MOV  A,29H
        LCALL SIGN_P
        INC  DPL
        MOV  A,12H
        LCALL FONT_2
        INC  DPL
        MOV  A,12H
        LCALL FONT_1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
MOV  DPTR,#9C17H
MOV  A,19H
LCALL FONT_1
INC  DPL
MOV  A,18H
LCALL FONT_2
INC  DPL
MOV  A,18H
LCALL FONT_1
MOV  DPTR,#9C1BH
MOV  A,29H
LCALL SIGN_N
INC  DPL
MOV  A,1AH
LCALL FONT_2
INC  DPL
MOV  A,1AH
LCALL FONT_1

MOV  DPTR,#9C27H
MOV  A,21H
LCALL FONT_1
INC  DPL
MOV  A,20H
LCALL FONT_2
INC  DPL
MOV  A,20H
LCALL FONT_1
MOV  DPTR,#9C2BH
MOV  A,29H
LCALL SIGN_Z
INC  DPL
MOV  A,22H
LCALL FONT_2
INC  DPL
MOV  A,22H
LCALL FONT_1

LJMP LCD1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
FONT_1: ANL  A,#0FH
        ORL  A,#30H
        MOVX @DPTR,A
        RET

FONT_2: MOV  B,#10H
        DIV  AB
        ORL  A,#30H
        MOVX @DPTR,A
        RET

SIGN_P: ANL  A,#02H
        JNZ  PMINUS
PADD:   MOV  A,#2BH
        MOVX @DPTR,A
        RET
PMINUS: MOV  A,#2DH
        MOVX @DPTR,A
        RET

SIGN_N: ANL  A,#04H
        JNZ  PMINUS
NADD:   MOV  A,#2BH
        MOVX @DPTR,A
        RET
NMINUS: MOV  A,#2DH
        MOVX @DPTR,A
        RET

SIGN_Z: ANL  A,#01H
        JNZ  PMINUS
ZADD:   MOV  A,#2BH
        MOVX @DPTR,A
        RET
ZMINUS: MOV  A,#2DH
        MOVX @DPTR,A
        RET

;************PROGRAM DISPLAY_LCD************
LCD1:   MOV  R2,#5H
        LCALL DELAY
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV  SP,#SYSSTK

        SETB EA
        MOV  SCON,#01010010B
        MOV  PCON,#0
        MOV  TMOD,#00100000B
        MOV  TH1,#0FDH
        MOV  R0,#08H
        MOV  R2,#ENDINT-08H
RES:    MOV  @R0,#0
        INC  R0
        DJNZ R2,RES

LCD2:   MOV  DPTR,#7B00H
        LCALL TRANS

LDDATA: MOV  DPTR,#9B07H    ;POSITIVE_1
        INC  DPH
        MOVX A,@DPTR
        DEC  DPH
        MOVX @DPTR,A
        MOV  DPTR,#9B08H    ;POSITIVE_2
        INC  DPH
        MOVX A,@DPTR
        DEC  DPH
        MOVX @DPTR,A
        MOV  DPTR,#9B09H    ;POSITIVE_3
        INC  DPH
        MOVX A,@DPTR
        DEC  DPH
        MOVX @DPTR,A
        MOV  DPTR,#9B0BH    ;SIGN_POS_ANGLE
        INC  DPH
        MOVX A,@DPTR
        DEC  DPH
        MOVX @DPTR,A
        MOV  DPTR,#9B0CH    ;POS_ANGLE_1
        INC  DPH
        MOVX A,@DPTR
        DEC  DPH
        MOVX @DPTR,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
MOV  DPTR,#9B0DH    ;POS_ANGLE_2
INC  DPH
MOVX A,@DPTR
DEC  DPH
MOVX @DPTR,A
MOV  DPTR,#9B17H    ;NEGATIVE_1
INC  DPH
MOVX A,@DPTR
DEC  DPH
MOVX @DPTR,A
MOV  DPTR,#9B18H    ;NEGATIVE_2
INC  DPH
MOVX A,@DPTR
DEC  DPH
MOVX @DPTR,A
MOV  DPTR,#9B19H    ;NEGATIVE_3
INC  DPH
MOVX A,@DPTR
DEC  DPH
MOVX @DPTR,A
MOV  DPTR,#9B1BH    ;SIGN_NEG_ANGLE
INC  DPH
MOVX A,@DPTR
DEC  DPH
MOVX @DPTR,A
MOV  DPTR,#9B1CH    ;NEG_ANGLE_1
INC  DPH
MOVX A,@DPTR
DEC  DPH
MOVX @DPTR,A
MOV  DPTR,#9B1DH    ;NEG_ANGLE_2
INC  DPH
MOVX A,@DPTR
DEC  DPH
MOVX @DPTR,A
MOV  DPTR,#9B27H    ;ZERO_1
INC  DPH
MOVX A,@DPTR
DEC  DPH
MOVX @DPTR,A
MOV  DPTR,#9B28H    ;ZERO_2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        INC  DPH
        MOVX A,@DPTR
        DEC  DPH
        MOVX @DPTR,A
        MOV  DPTR,#9B29H    ;ZERO_3
        INC  DPH
        MOVX A,@DPTR
        DEC  DPH
        MOVX @DPTR,A
        MOV  DPTR,#9B2BH    ;SIGN_ZER_ANGLE
        INC  DPH
        MOVX A,@DPTR
        DEC  DPH
        MOVX @DPTR,A
        MOV  DPTR,#9B2CH    ;ZER_ANGLE_1
        INC  DPH
        MOVX A,@DPTR
        DEC  DPH
        MOVX @DPTR,A
        MOV  DPTR,#9B2DH    ;ZER_ANGLE_2
        INC  DPH
        MOVX A,@DPTR
        DEC  DPH
        MOVX @DPTR,A

        MOV  R2,#10H
        LCALL DELAY
        LCALL SHOW          ;DISPLAY SYMMETRICAL
        LJMP  LCD2
        MOV  R2,#10H
        LCALL DELAY

        PUSH PSW
        SETB PSW.4
        CLR  PSW.3
        MOV  R2,#1
        MOV  R3,#0
        POP  PSW

SYSON:  ORG  7A00H
        DB   '          '
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        DB   ' SYMMETRICAL  '
        DB   'COMPONENTS METER'
        DB   '      '

MAINT:  ORG  7B00H
        DB   ' Ia1 =   < '
        DB   0DFH
        DB   ''
        DB   ' Ia2 =   < '
        DB   0DFH
        DB   ''
        DB   ' Ia0 =   < '
        DB   0DFH
        DB   ''
        DB   ' X 0.03 '

TRANS:  MOV  R2,#64
TRANS0: CLR  A
        MOVC A,@A+DPTR
        LCALL DATARAM
        INC  DPTR
        DJNZ R2,TRANS0
        RET

DATARAM:PUSH DPH
        MOV  DPH,#9BH
        MOVX @DPTR,A
        POP  DPH
        RET

SHOW:   MOV  DPTR,#LLCDBUF
SHOWOUT:LCALL LCDLDX
        LCALL LCDOUT
        MOV  R2,#2H
        LCALL DELAY
        RET

DELAY:  MOV  R3,#179
DTSEC1: MOV  R4,#0
        DJNZ R4,$
        DJNZ R3,DTSEC1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        DJNZ  R2,DELAY
        RET

LCDSET: MOV  A,#00111000B
        LCALL LCDWI
        MOV  A,#00001100B
        LCALL LCDWI
        MOV  A,#01H
        LCALL LCDWI
        RET

LCDWD:  PUSH  DPH
        PUSH  DPL
        MOV  DPTR,#LCDWRD
        MOVX @DPTR,A
        MOV  DPTR,#LCDRDC
LCDWD1: MOVX A,@DPTR
        JB   ACC.7,LCDWD1
        POP  DPL
        POP  DPH
        RET

LCDWI:  PUSH  DPH
        PUSH  DPL
        MOV  DPTR,#LCDWRC
        MOVX @DPTR,A
        MOV  DPTR,#LCDRDC
LCDWI1: MOVX A,@DPTR
        JB   ACC.7,LCDWI1
        POP  DPL
        POP  DPH
        RET

LCDLDX: MOV  R2,#64
        MOV  R0,#LCDBUF
LCDLDX1:CLR  A
        MOVC A,@A+DPTR
        MOV  @R0,A
        INC  DPTR
        INC  R0
        DJNZ R2,LCDLDX1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        RET
LCDLD1: MOV  R2,#64
        MOV  R0,#LCDBUF
        SJMP LCDLDX1
LCDLDX2:JNB  ACC.0,ZERO
        MOV  @R0,#'1'
        SJMP GO
ZERO:   MOV  @R0,#'0'
GO:     RRC  A
        INC  R0
        DJNZ R2,LCDLDX2
        RET

LCDOUT: MOV  R0,#LCDBUF
        MOV  A,#80H
        LCALL LCDOUTS
        MOV  A,#0C0H
        LCALL LCDOUTS
        MOV  A,#90H
        LCALL LCDOUTS
        MOV  A,#0D4H
        LCALL LCDOUT2
        RET

LCDOUTS:LCALL LCDWI
        MOV  R2,#16
LCDOUT1:MOV  A,@R0
        LCALL LCDWD
        INC  R0
        DJNZ R2,LCDOUT1
        RET

LCDOUT2:LCALL LCDWI
        MOV  R2,#8
LCDOUT3:MOV  A,@R0
        LCALL LCDWD
        INC  R0
        DJNZ R2,LCDOUT3
        RET

;**********TABLE  COS_SIN_ARCTAN**********
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
TB_COS: ORG   7C00H
        DB    0FFH
        DB    0FFH
        DB    0FEH
        DB    0FEH
        DB    0FDH
        DB    0FDH
        DB    0FBH
        DB    0FAH
        DB    0F8H
        DB    0F7H
        DB    0F6H
        DB    0F4H
        DB    0F2H
        DB    0F0H
        DB    0EEH
        DB    0EBH
        DB    0E9H
        DB    0E7H
        DB    0E3H
        DB    0E1H
        DB    0DDH
        DB    0DAH
        DB    0D8H
        DB    0D3H
        DB    0D1H
        DB    0CBH
        DB    0C9H
        DB    0C6H
        DB    0C0H
        DB    0BDH
        DB    0B7H
        DB    0B4H
        DB    0B1H
        DB    0AAH
        DB    0A7H
        DB    0A0H
        DB    9DH
        DB    99H
        DB    92H
        DB    8EH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        DB    87H
        DB    83H
        DB    7FH
        DB    77H
        DB    73H
        DB    6BH
        DB    67H
        DB    63H
        DB    5BH
        DB    57H
        DB    4EH
        DB    4AH
        DB    41H
        DB    3DH
        DB    39H
        DB    30H
        DB    2CH
        DB    23H
        DB    1EH
        DB    1AH
        DB    11H
        DB    0CH
        DB    04H
        DB    00H

TB_SIN: ORG   7D00H
        DB    00H
        DB    03H
        DB    0CH
        DB    11H
        DB    1AH
        DB    1EH
        DB    23H
        DB    2BH
        DB    30H
        DB    39H
        DB    3DH
        DB    41H
        DB    4AH
        DB    4EH
        DB    57H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
DB    5BH
DB    63H
DB    67H
DB    6BH
DB    73H
DB    77H
DB    7FH
DB    83H
DB    87H
DB    8EH
DB    92H
DB    99H
DB    9DH
DB    0A0H
DB    0A7H
DB    0AAH
DB    0B1H
DB    0B4H
DB    0B7H
DB    0BDH
DB    0C0H
DB    0C6H
DB    0C9H
DB    0CBH
DB    0D1H
DB    0D3H
DB    0D8H
DB    0DAH
DB    0DDH
DB    0E1H
DB    0E3H
DB    0E7H
DB    0E9H
DB    0EBH
DB    0EEH
DB    0F0H
DB    0F2H
DB    0F4H
DB    0F6H
DB    0F7H
DB    0F8H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        DB    0FAH
        DB    0FBH
        DB    0FCH
        DB    0FDH
        DB    0FEH
        DB    0FEH
        DB    0FFH
        DB    0FFH

TBTAN1: ORG   7E00H
;DEGREE IS DECIMAL

        DB    45H
        DB    26H
        DB    18H
        DB    14H
        DB    11H
        DB    09H
        DB    08H
        DB    07H
        DB    06H
        DB    06H
        DB    05H
        DB    05H
        DB    04H
        DB    04H
        DB    04H
        DB    04H
        DB    03H
        DB    03H
        DB    03H
        DB    03H
        DB    03H
        DB    03H
        DB    02H
        DB    02H
        DB    02H
        DB    02H
        DB    02H
        DB    02H
        DB    02H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        DB    02H
        DB    02H
        DB    02H
        DB    02H
        DB    02H
        DB    02H
        DB    02H
        DB    02H
        DB    02H
        DB    01H
        DB    01H

TBTAN2: ORG   7F00H
; DEGREE IS DECIMAL

        DB    45H
        DB    63H
        DB    72H
        DB    76H
        DB    79H
        DB    81H
        DB    82H
        DB    83H
        DB    84H
        DB    84H
        DB    85H
        DB    85H
        DB    86H
        DB    86H
        DB    86H
        DB    86H
        DB    87H
        DB    87H
        DB    87H
        DB    87H
        DB    87H
        DB    87H
        DB    88H
        DB    88H
        DB    88H
        DB    88H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

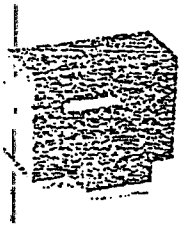
```
        DB    88H
        DB    88H
        DB    88H
        DB    88H
        DB    88H
        DB    88H
        DB    88H
        DB    88H
        DB    88H
        DB    88H
        DB    88H
        DB    88H
        DB    88H
        DB    89H

;**************END OF PROGRAM**************

        END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข. DATASHEET

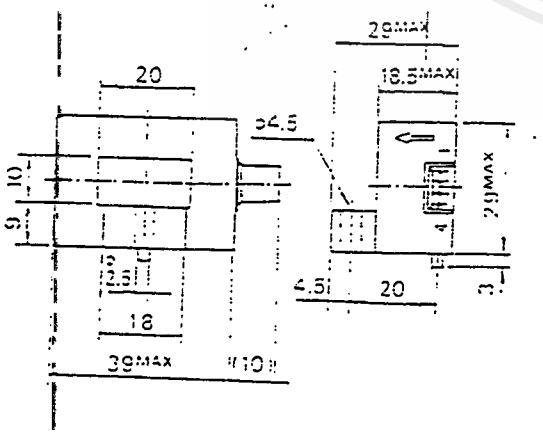
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

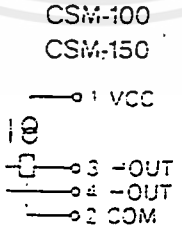
SERIES

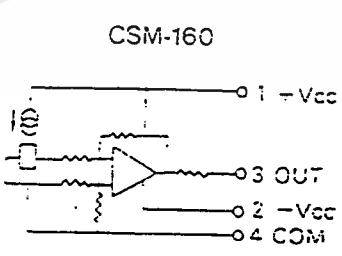


- Small size with a built-in amplifier
- High speed response type (response time: 7μs)
- With an external noise protective circuit (±500V 1μs)
- Excellent frequency characteristic
- Power supply: DC ±12V ±5% 30mA or less
- Withstand voltage: AC 2000V
- Insulation resistance: 500MΩ MIN(DC 500V)
- Ambient temperature: Operating temp: −10~+80°C
  Storage temp: −15~+85°C
- Mated connector: MOLEX 5051-4 (CONTACT 2759G)

ITEM	UNIT	CSM-161	CSM-162	CSM-163
Rated detected current	A	75	100	150
Sensor inductance	nH/N²	30	30	30
Offset voltage	mV	±100 MAX	±100 MAX	±100 MAX
Rated output voltage	V	4V ±3.5%	4V ±3.5%	4V ±3.5%
Linearity	%F.S	1 MAX	1 MAX	1 MAX
Load resistance	KΩ	10	10	10
Response speed	μS	7 MAX	7 MAX	7 MAX
Hysteresis width	mV	30 MAX	30 MAX	30 MAX
Output voltage temperature coefficient	%/K	0 to −0.1	0 to −0.1	0 to −0.1
Offset voltage temperature characteristic	mV/K	±5 MAX	±5 MAX	±5 MAX
Output voltage power source fluctuation characteristic	%/V	±0.4 MAX	±0.4 MAX	±0.4 MAX
Offset voltage power source fluctuation characteristic	mV/V	±20 MAX	±20 MAX	±20 MAX
Withstand surge voltage			1500V, 1μs	
Frequency characteristic	KHz		DC-30KHz	







Note: No dimensions assigned on the actual product

CSM-100, 150 & 160 SERIES

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

LF351 Wide Bandwidth JFET Input Operational Amplifier

General Description

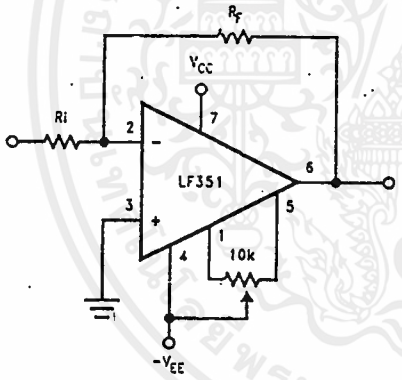
The LF351 is a low cost high speed JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF351 is pin compatible with the standard LM741 and uses the same offset voltage adjustment circuitry. This feature allows designers to immediately upgrade the overall performance of existing LM741 designs.

The LF351 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift, but for applications where these requirements are critical, the LF356 is recommended. If maximum supply current is important, however, the LF351 is the better choice.

Features

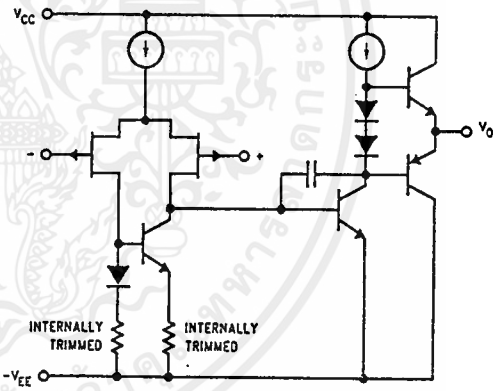
■ Internally trimmed offset voltage	10 mV
■ Low input bias current	50 pA
■ Low input noise voltage	25 nV/$\sqrt{Hz}$
■ Low input noise current	0.01 pA/$\sqrt{Hz}$
■ Wide gain bandwidth	4 MHz
■ High slew rate	13 V/μs
■ Low supply current	1.8 mA
■ High input impedance	$10^{12}\Omega$
■ Low total harmonic distortion $A_V = 10$, $R_L = 10k$, $V_O = 20$ Vp-p, BW = 20 Hz–20 kHz	<0.02%
■ Low 1/f noise corner	50 Hz
■ Fast settling time to 0.01%	2 μs

Typical Connection



TL/H/5648–11

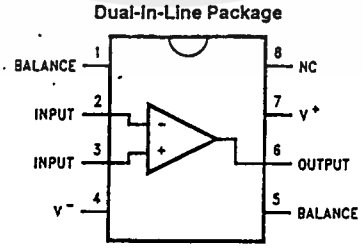
Simplified Schematic



TL/H/5648–12

Connection Diagrams

Dual-In-Line Package



TL/H/5648–13

Order Number LF351M or LF351N
See NS Package Number M08A or N08E

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	±18V
Power Dissipation (Notes 1 and 6)	670 mW
Operating Temperature Range	0°C to +70°C
$T_{j(MAX)}$	115°C
Differential Input Voltage	±30V
Input Voltage Range (Note 2)	±15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	−65°C to +150°C
Lead Temp. (Soldering, 10 sec.)	
Metal Can	300°C
DIP	260°C
θ_{jA}	
N Package	120°C/W
M Package	TBD
Soldering Information	
Dual-In-Line Package	
Soldering (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD rating to be determined.

DC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
V_{OS}	Input Offset Voltage	$R_S = 10\ k\Omega$, $T_A = 25°C$ Over Temperature		5	10 13	mV mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	$R_S = 10\ k\Omega$		10		µV/°C
I_{OS}	Input Offset Current	$T_j = 25°C$, (Notes 3, 4) $T_j \leq 70°C$		25	100 4	pA nA
I_B	Input Bias Current	$T_j = 25°C$, (Notes 3, 4) $T_j \leq +70°C$		50	200 8	pA nA
R_{IN}	Input Resistance	$T_j = 25°C$		10^{12}		Ω
A_{VOL}	Large Signal Voltage Gain	$V_S = \pm 15V$, $T_A = 25°C$ $V_O = \pm 10V$, $R_L = 2\ k\Omega$ Over Temperature	25 15	100		V/mV V/mV
V_O	Output Voltage Swing	$V_S = \pm 15V$, $R_L = 10\ k\Omega$	±12	±13.5		V
V_{CM}	Input Common-Mode Voltage Range	$V_S = \pm 15V$	±11	+15 −12		V V
CMRR	Common-Mode Rejection Ratio	$R_S \leq 10\ k\Omega$	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 5)	70	100		dB
I_S	Supply Current			1.8	3.4	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
SR	Slew Rate	$V_S = \pm 15V$, $T_A = 25°C$		13		V/μs
GBW	Gain Bandwidth Product	$V_S = \pm 15V$, $T_A = 25°C$		4		MHz
e_n	Equivalent Input Noise Voltage	$T_A = 25°C$, $R_S = 100\Omega$, $f = 1000$ Hz		25		$nV/\sqrt{Hz}$
i_n	Equivalent Input Noise Current	$T_j = 25°C$, $f = 1000$ Hz		0.01		$pA/\sqrt{Hz}$

Note 1: For operating at elevated temperature, the device must be derated based on the thermal resistance, θ_{JA}.

Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

Note 3: These specifications apply for $V_S = \pm 15V$ and $0°C \le T_A \le +70°C$. V_{OS}, I_B and I_{OS} are measured at $V_{CM} = 0$.

Note 4: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_j. Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D. $T_j = T_A + \theta_{jA} P_D$ where θ_{jA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

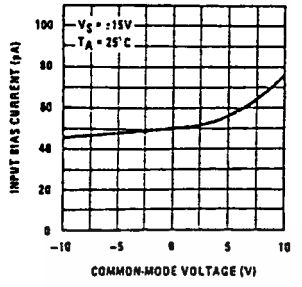
Note 5: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice. From ±15V to ±5V.

Note 6: Max. Power Dissipation is defined by the package characteristics. Operating the part near the Max. Power Dissipation may cause the part to operate outside guaranteed limits.

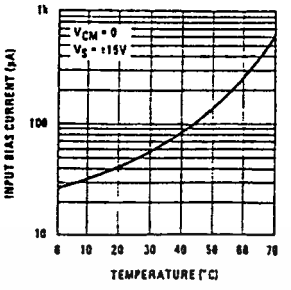
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

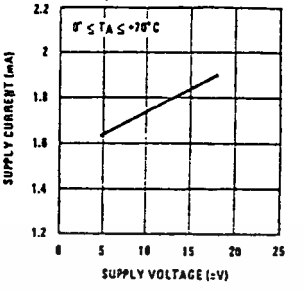
Input Bias Current



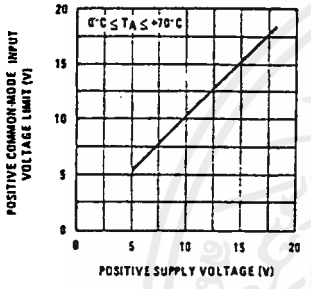
Input Bias Current



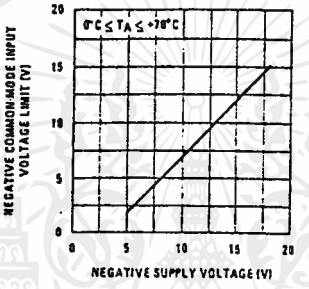
Supply Current



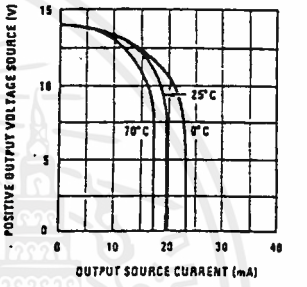
Positive Common-Mode Input Voltage Limit



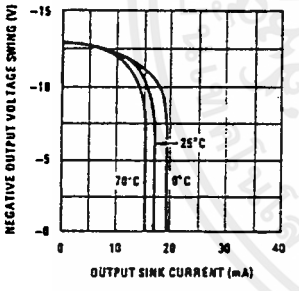
Negative Common-Mode Input Voltage Limit



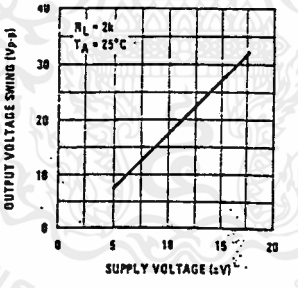
Positive Current Limit



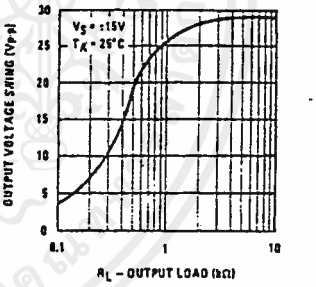
Negative Current Limit



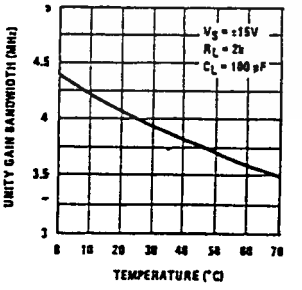
Voltage Swing



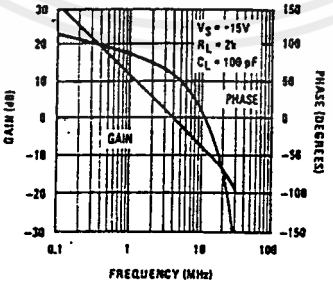
Output Voltage Swing



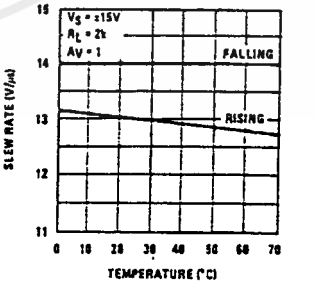
Gain Bandwidth



Bode Plot



Slew Rate

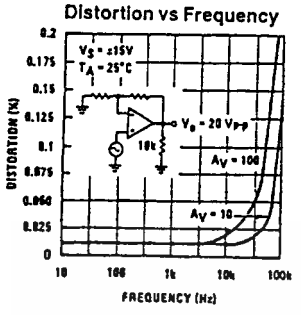


TL/H/5648–2

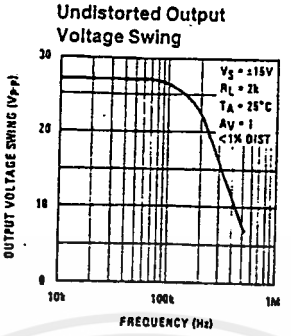
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

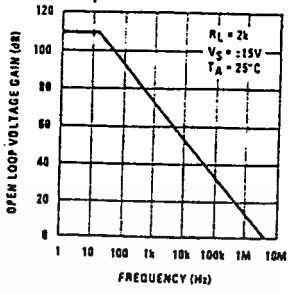
Distortion vs Frequency



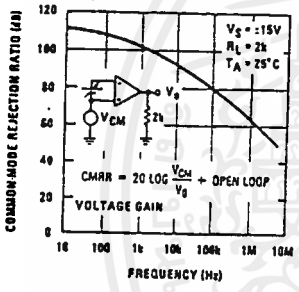
Undistorted Output Voltage Swing



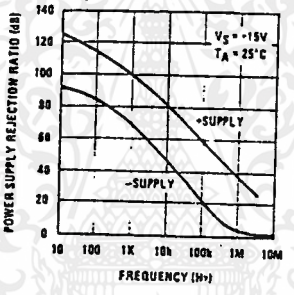
Open Loop Frequency Response



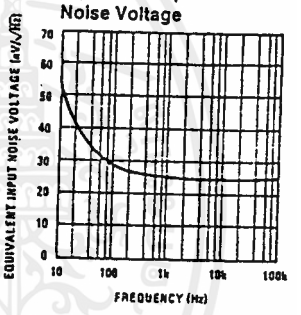
Common-Mode Rejection Ratio



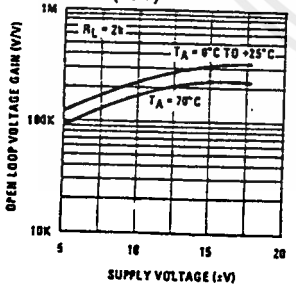
Power Supply Rejection Ratio



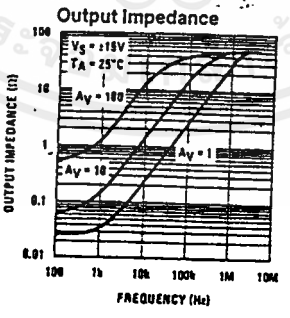
Equivalent Input Noise Voltage



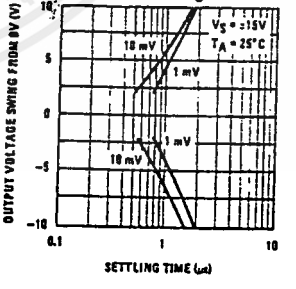
Open Loop Voltage Gain (V/V)



Output Impedance



Inverter Settling Time

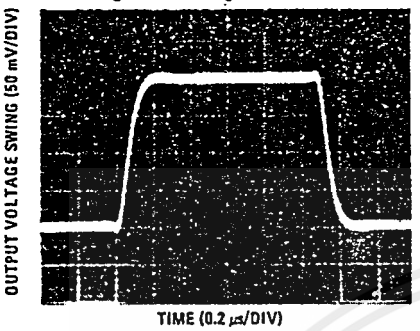


TL/H/5648–3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

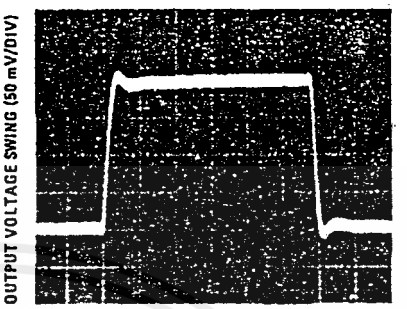
Pulse Response

Small Signal Inverting



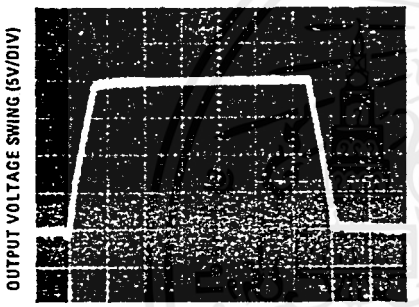
TL/H/5648–4

Small Signal Non-Inverting



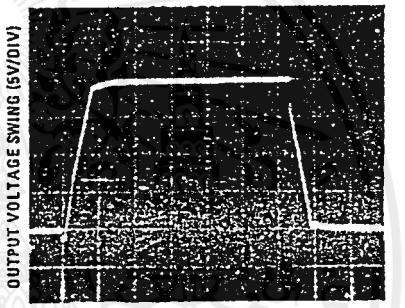
TL/H/5648–5

Large Signal Inverting



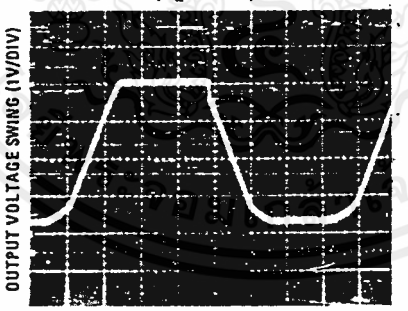
TL/H/5648–6

Large Signal Non-Inverting



TL/H/5648–7

Current Limit ($R_L = 100\Omega$)



TL/H/5648–8

Application Hints

The LF351 is an op amp with an internally trimmed input offset voltage and JFET input devices (BI-FET II™). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will force the output to a high state, potentially causing a reversal of phase to the output.

Exceeding the negative common-mode limit on both inputs will force the amplifier output to a high state. In neither case does a latch occur since raising the input back within the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifier will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

The LF351 is biased by a zener reference which allows normal circuit operation on ±4V power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

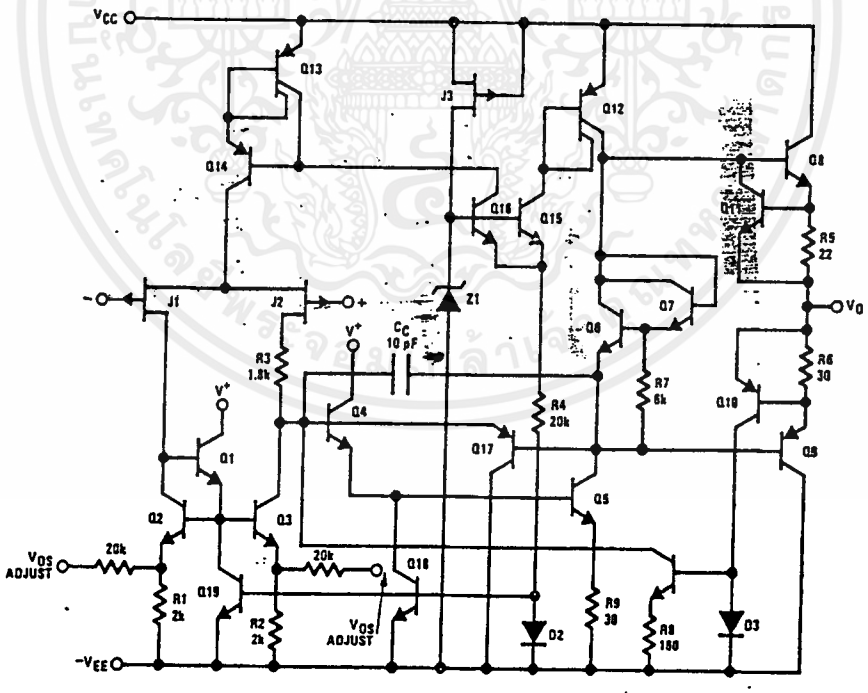
The LF351 will drive a 2 kΩ load resistance to ±10V over the full temperature range of 0°C to +70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

Detailed Schematic

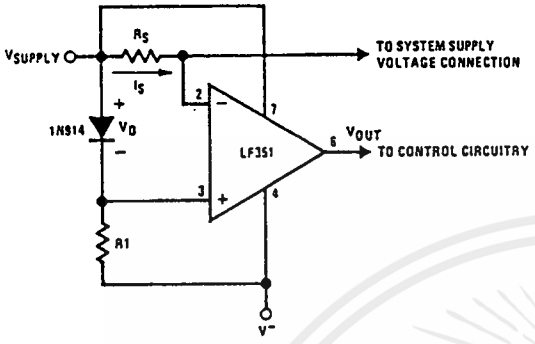


TL/H/5648–9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

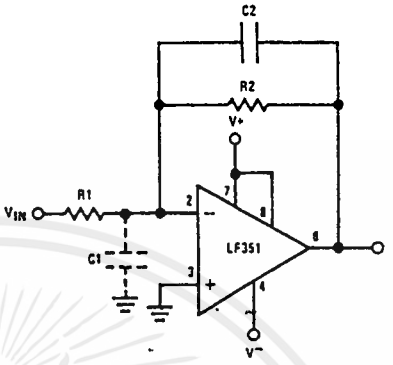
Typical Applications

Supply Current Indicator/Limiter



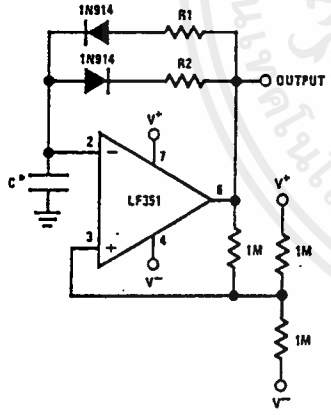
• V_{OUT} switches high when $R_S I_S > V_D$

Hi-Z_{IN} Inverting Amplifier



Parasitic input capacitance C1 ≈ (3 pF for LF351 plus any additional layout capacitance) interacts with feedback elements and creates undesirable high frequency pole. To compensate, add C2 such that: R2C2 ≈ R1C1.

Ultra-Low (or High) Duty Cycle Pulse Generator



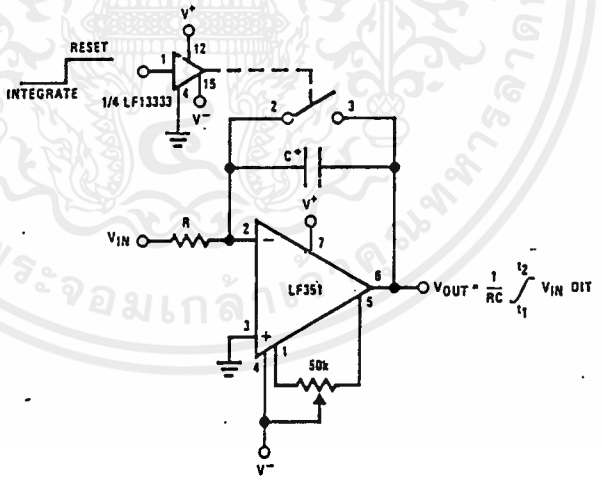
• $t_{OUTPUT\ HIGH} \approx R1C\ \ell n \frac{4.8 - 2V_S}{4.8 - V_S}$

• $t_{OUTPUT\ LOW} \approx R2C\ \ell n \frac{2V_S - 7.8}{V_S - 7.8}$

where $V_S = V^+ + |V^-|$

*low leakage capacitor

Long Time Integrator



TL/H/5648–10

*Low leakage capacitor

• 50k pot used for less sensitive V_{OS} adjust

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

LF353 Wide Bandwidth Dual JFET Input Operational Amplifier

General Description

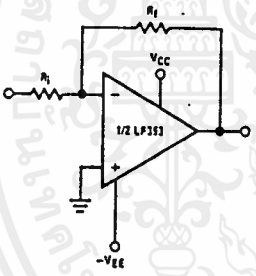
These devices are low cost, high speed, dual JFET input operational amplifiers with an internally trimmed input offset voltage (BI-FET II™ technology). They require low supply current yet maintain a large gain bandwidth product and fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF353 is pin compatible with the standard LM1558 allowing designers to immediately upgrade the overall performance of existing LM1558 and LM358 designs.

These amplifiers may be used in applications such as high speed integrators, fast D/A converters, sample and hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The devices also exhibit low noise and offset voltage drift.

Features

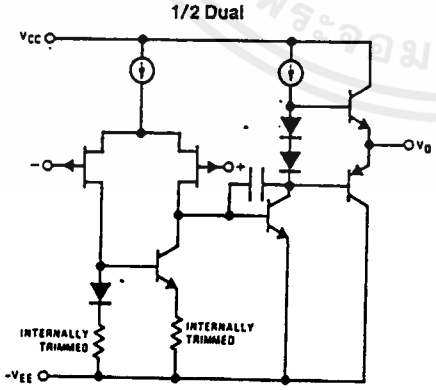
■ Internally trimmed offset voltage	10 mV
■ Low input bias current	50pA
■ Low input noise voltage	25 nV/√Hz
■ Low input noise current	0.01 pA/√Hz
■ Wide gain bandwidth	4 MHz
■ High slew rate	13 V/μs
■ Low supply current	3.6 mA
■ High input impedance	$10^{12}\Omega$
■ Low total harmonic distortion $A_V = 10$, $R_L = 10k$, $V_O = 20Vp-p$, BW = 20 Hz-20 kHz	<0.02%
■ Low 1/f noise corner	50 Hz
■ Fast settling time to 0.01%	2 μs

Typical Connection



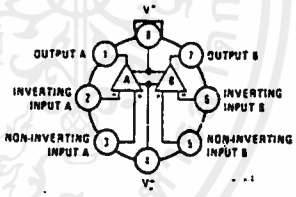
Simplified Schematic

1/2 Dual



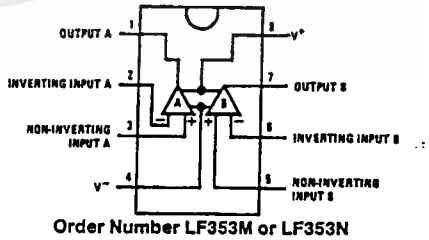
Connection Diagrams

Metal Can Package (Top View)



Order Number LF353H
See NS Package Number H08A

Dual-In-Line Package (Top View)



Order Number LF353M or LF353N
See NS Package Number M08A or N08E

TL/H/5649–1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	±18V
Power Dissipation	(Note 1)
Operating Temperature Range	0°C to +70°C
T_j(MAX)	150°C
Differential Input Voltage	±30V
Input Voltage Range (Note 2)	±15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	−65°C to +150°C
Lead Temp. (Soldering, 10 sec.)	260°C
Soldering Information	
Dual-In-Line Package	
Soldering (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD Tolerance (Note 7)	1700V
θ_{JA} M Package	TBD

DC Electrical Characteristics (Note 4)

Symbol	Parameter	Conditions	LF353			Units
			Min	Typ	Max	
V_{OS}	Input Offset Voltage	$R_S = 10k\Omega$, $T_A = 25°C$ Over Temperature		5	10 13	mV mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	$R_S = 10\ k\Omega$		10		µV/°C
I_{OS}	Input Offset Current	$T_j = 25°C$, (Notes 4, 5) $T_j \leq 70°C$		25	100 4	pA nA
I_B	Input Bias Current	$T_j = 25°C$, (Notes 4, 5) $T_j \leq 70°C$		50	200 8	pA nA
R_{IN}	Input Resistance	$T_j = 25°C$		10^{12}		Ω
A_{VOL}	Large Signal Voltage Gain	$V_S = \pm 15V$, $T_A = 25°C$ $V_O = \pm 10V$, $R_L = 2\ k\Omega$ Over Temperature	25 15	100		V/mV V/mV
V_O	Output Voltage Swing	$V_S = \pm 15V$, $R_L = 10k\Omega$	±12	±13.5		V
V_{CM}	Input Common-Mode Voltage Range	$V_S = \pm 15V$	±11	+15 −12		V V
CMRR	Common-Mode Rejection Ratio	$R_S \leq 10k\Omega$	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 6)	70	100		dB
I_S	Supply Current			3.6	6.5	mA

AC Electrical Characteristics (Note 4)

Symbol	Parameter	Conditions	LF353			Units
			Min	Typ	Max	
	Amplifier to Amplifier Coupling	$T_A = 25°C$, f = 1 Hz−20 kHz (Input Referred)		−120		dB
SR	Slew Rate	$V_S = \pm 15V$, $T_A = 25°C$	8.0	13		V/µs
GBW	Gain Bandwidth Product	$V_S = \pm 15V$, $T_A = 25°C$	2.7	4		MHz
e_n	Equivalent Input Noise Voltage	$T_A = 25°C$, $R_S = 100\Omega$, f = 1000 Hz		16		$nV/\sqrt{Hz}$
i_n	Equivalent Input Noise Current	$T_j = 25°C$, f = 1000 Hz		0.01		$pA/\sqrt{Hz}$

Note 1: For operating at elevated temperatures, the device must be derated based on a thermal resistance of 115°C/W typ junction to ambient for the N package, and 158°C/W typ junction to ambient for the H package.

Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

Note 3: The power dissipation limit, however, cannot be exceeded.

Note 4: These specifications apply for $V_S = \pm 15V$ and $0°C \leq T_A \leq +70°C$. V_{OS}, I_B and I_{OS} are measured at $V_{CM} = 0$.

Note 5: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_j. Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D. $T_j = T_A + \theta_{jA} P_D$ where θ_{jA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

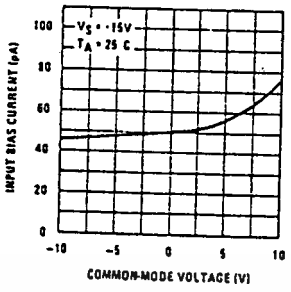
Note 6: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice. $V_S = \pm 6V$ to $\pm 15V$.

Note 7: Human body model, 1.5 kΩ in series with 100 pF.

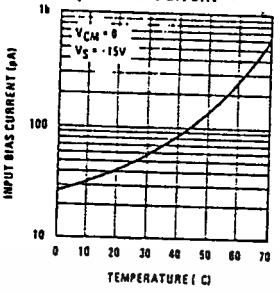
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

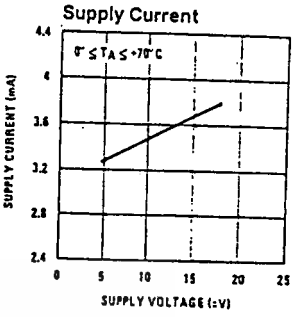
Input Bias Current



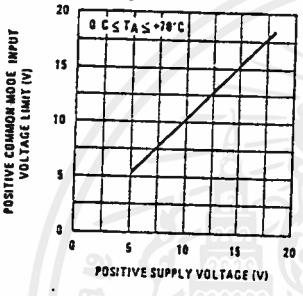
Input Bias Current



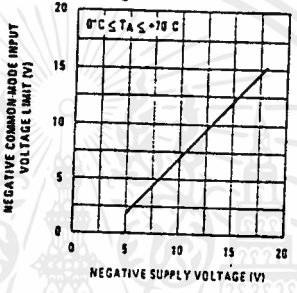
Supply Current



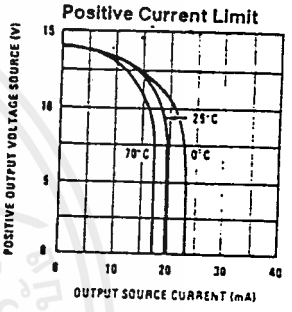
Positive Common-Mode Input Voltage Limit



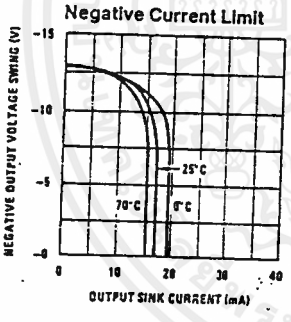
Negative Common-Mode Input Voltage Limit



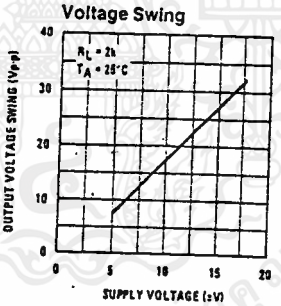
Positive Current Limit



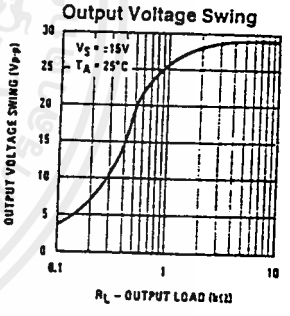
Negative Current Limit



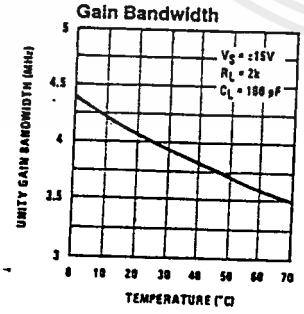
Voltage Swing



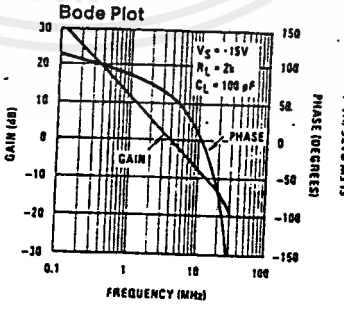
Output Voltage Swing



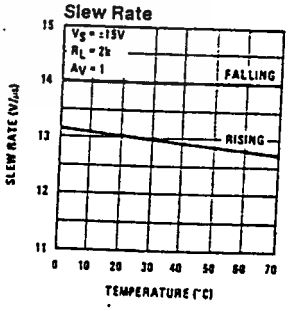
Gain Bandwidth



Bode Plot



Slew Rate

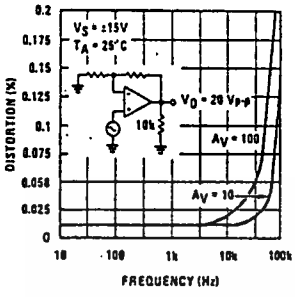


TL/H/5649–2

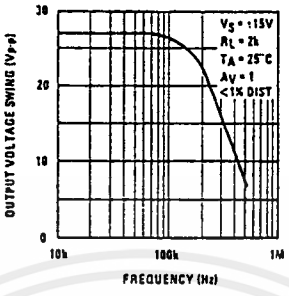
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

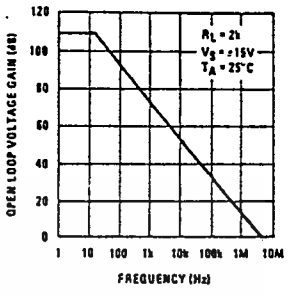
Distortion vs Frequency



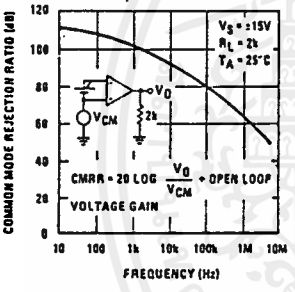
Undistorted Output Voltage Swing



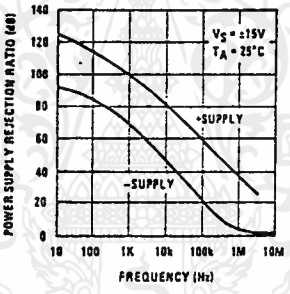
Open Loop Frequency Response



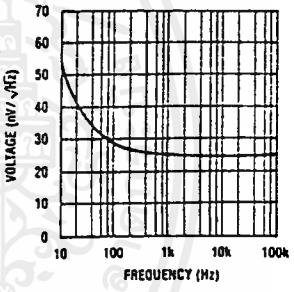
Common-Mode Rejection Ratio



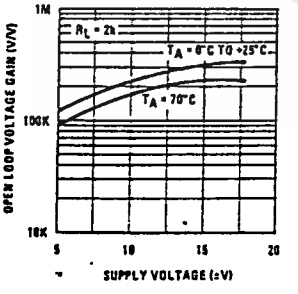
Power Supply Rejection Ratio



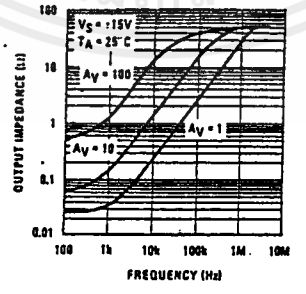
Equivalent Input Noise Voltage



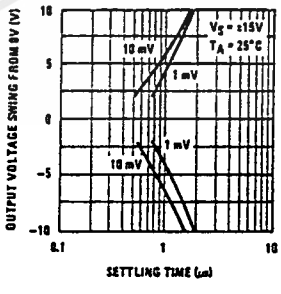
Open Loop Voltage Gain (V/V)



Output Impedance



Inverter Settling Time

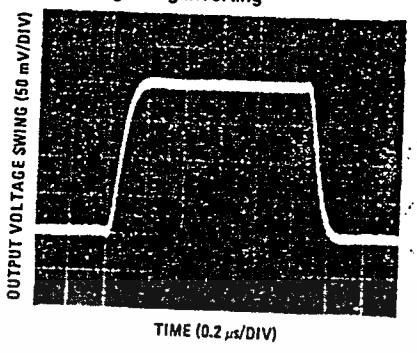


TL/H/5849–3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

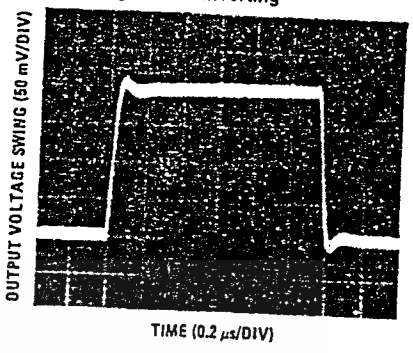
Pulse Response

Small Signaling Inverting



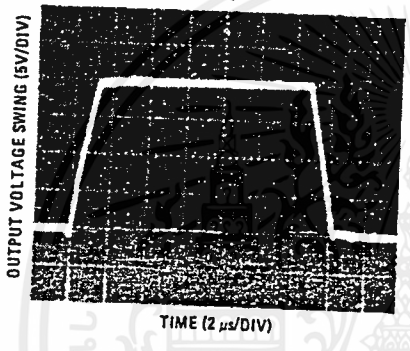
TL/H/5649–4

Small Signal Non-Inverting



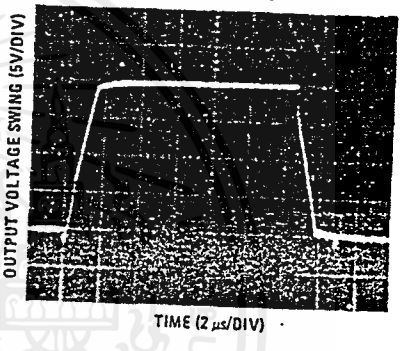
TL/H/5649–5

Large Signal Inverting



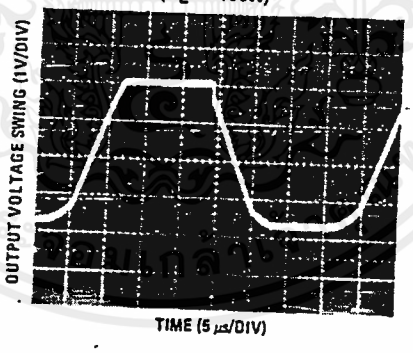
TL/H/5649–6

Large Signal Non-Inverting



TL/H/5649–7

Current Limit (R_L = 100Ω)



TL/H/5649–8

Application Hints

These devices are op amps with an internally trimmed input offset voltage and JFET input devices (BI-FET II). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will force the output to a high state, potentially causing a reversal of phase to the output. Exceeding the negative common-mode limit on both inputs will force the amplifier output to a high state. In neither case does a latch occur since raising the input back within the common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifiers will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

Each amplifier is individually biased by a zener reference which allows normal circuit operation on ±6V power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

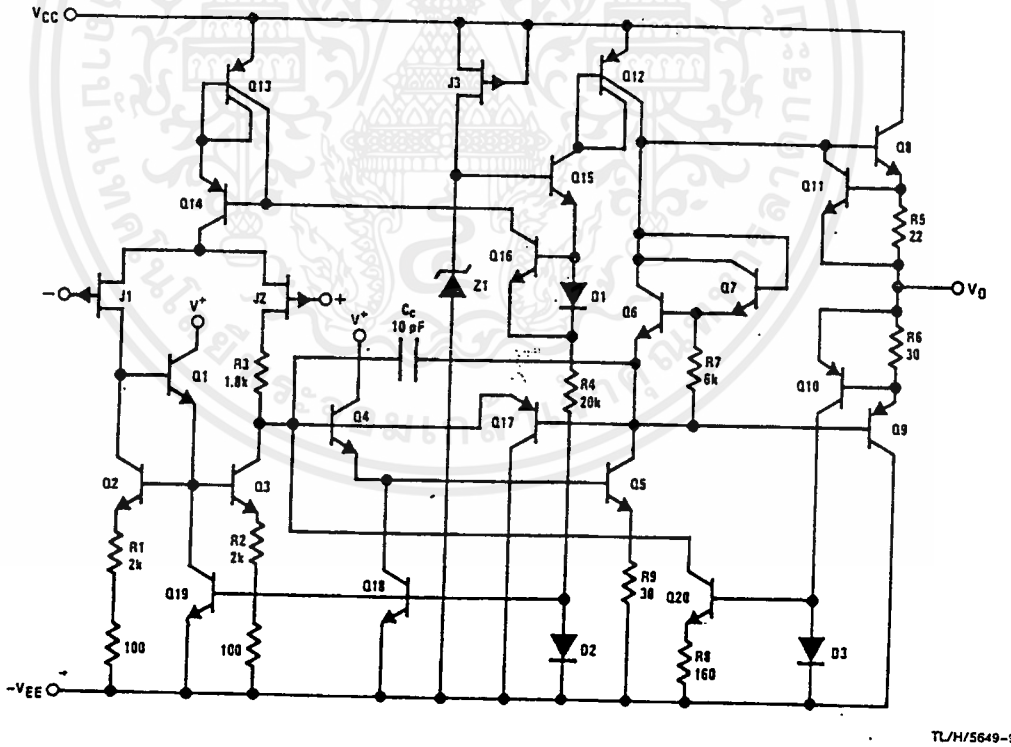
The amplifiers will drive a 2 kΩ load resistance to ±10V over the full temperature range of 0°C to +70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

Detailed Schematic

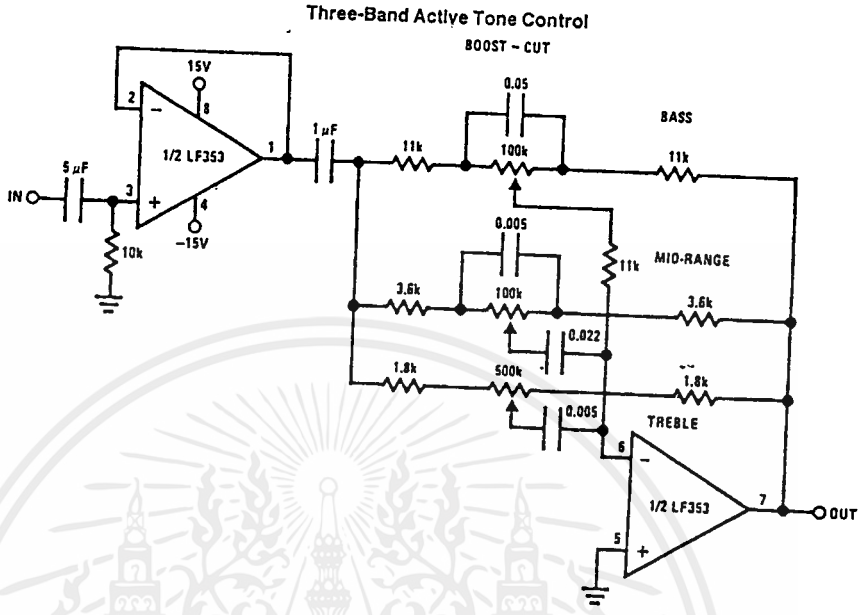


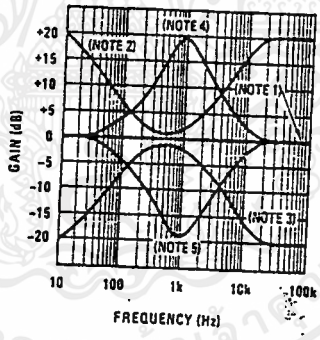
TL/H/5649–9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications

Three-Band Active Tone Control





TL/H/5649–10

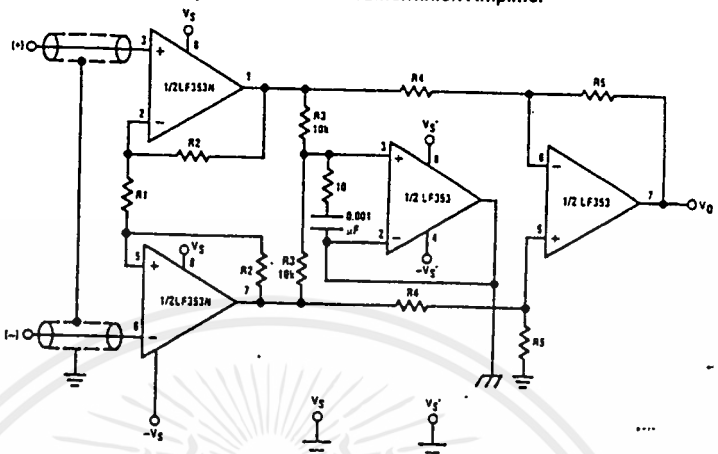
Note 1: All controls flat.
Note 2: Bass and treble boost, mid flat.
Note 3: Bass and treble cut, mid flat.
Note 4: Mid boost, bass and treble flat.
Note 5: Mid cut, bass and treble flat.

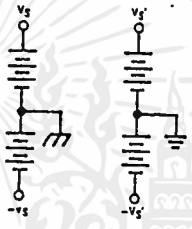
- All potentiometers are linear taper
- Use the LF347 Quad for stereo applications

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

Improved CMRR Instrumentation Amplifier





$$A_V = \left(\frac{2R2}{R1} + 1\right) \frac{R5}{R4}$$

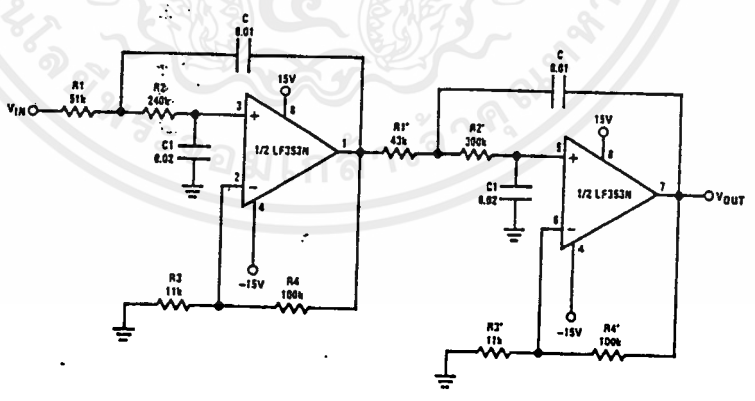
⏚ and ⏚ are separate isolated grounds

Matching of R2's, R4's and R5's control CMRR

With A_{V_T} = 1400, resistor matching = 0.01%: CMRR = 136 dB

- Very high input impedance
- Super high CMRR

Fourth Order Low Pass Butterworth Filter



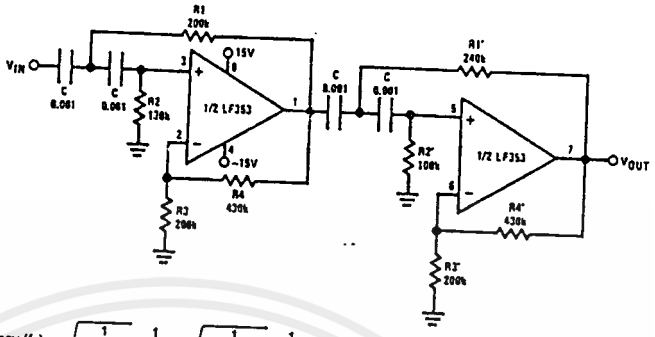
- Corner frequency (f_c) = $\sqrt{\frac{1}{R1R2CC1}} \cdot \frac{1}{2\pi} = \sqrt{\frac{1}{R1'R2'CC1}} \cdot \frac{1}{2\pi}$
- Passband gain (H_O) = (1 + R4/R3) (1 + R4'/R3')
- First stage Q = 1.31
- Second stage Q = 0.541
- Circuit shown uses nearest 5% tolerance resistor values for a filter with a corner frequency of 100 Hz and a passband gain of 100
- Offset nulling necessary for accurate DC performance

TL/H/5649–11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

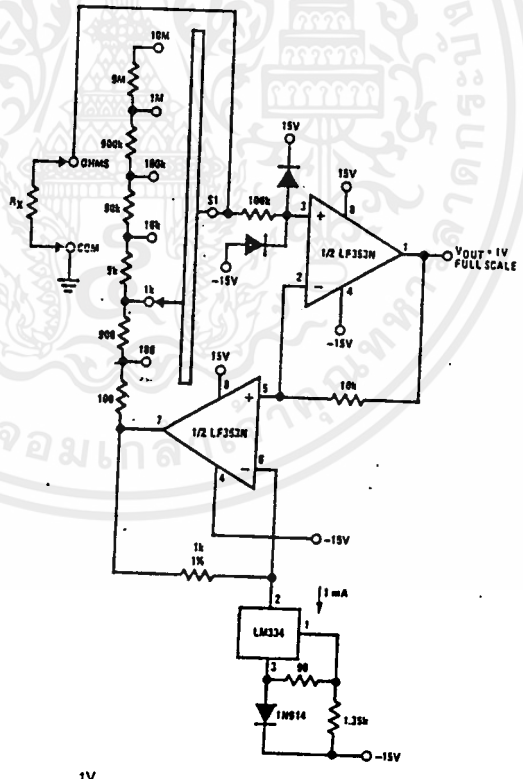
Typical Applications (Continued)

Fourth Order High Pass Butterworth Filter



- Corner frequency (f_c) = $\sqrt{\frac{1}{R1R2C^2}} \cdot \frac{1}{2\pi} = \sqrt{\frac{1}{R1'R2'C^2}} \cdot \frac{1}{2\pi}$
- Passband gain (H_O) = (1 + R4/R3) (1 + R4'/R3')
- First stage Q = 1.31
- Second stage Q = 0.541
- Circuit shown uses closest 5% tolerance resistor values for a filter with a corner frequency of 1 kHz and a passband gain of 10.

Ohms to Volts Converter



$$V_O = \frac{1V}{R_{LADDER}} \times R_X$$

Where R_{LADDER} is the resistance from switch S1 pole to pin 7 of the LF353.

TL/H/5649–13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5404/7404 Hex Inverter

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	
T.I.	SN54S04	J⑭			W⑭	SN54H04	J⑭			W⑭	SN54LS04	J⑭			W⑭	SN5404	J⑭			W⑭	SN54L04	J⑭	N⑭	T⑭	
	SN74S04	J⑭	N⑭			SN74H04	J⑭	N⑭			SN74LS04	J⑭	N⑭			SN7404	J⑭	N⑭			SN74L04	J⑭	N⑭	T⑭	
FAIRCHILD	FM54S04/FM9S04	D⑭				FM54H04/FM9H04	D⑭			F⑭	FM54LS04/FM9LS04	D⑭			F⑭	FM5404/FM9N04	D⑭			F⑭					
	FC74S04/FC9S04	D⑭	P⑭			FC74H04/FC9H04	D⑭	P⑭			FC74LS04/FC9LS04	D⑭	P⑭			FM7404/FC9N04	D⑭	P⑭							
MOTOROLA						MC3108	L⑭			F⑭						MC5404	L⑭			F⑭					
						MC3008	L⑭	P⑭		F⑭	SN74LS04		P⑭			MC7404	L⑭	P⑭							
N.S.C.						DM54H04	J⑭	N⑭			DM54LS04	J⑭	N⑭		W⑭	DM5404	J⑭	N⑭		W⑭	DM54L04	J⑭	N⑭		
	DM74S04		N⑭			DM74H04	J⑭	N⑭			DM74LS04					DM7404	J⑭	N⑭			DM74L04	J⑭	N⑭		
PHILIPS																									
	N74S04		⑭			N74H04		⑭			N74LS04		⑭			FJH241/7404		⑭							
SIGNETICS	S54S04	F⑭	A⑭		W⑭	S54H04	F⑭	A⑭		W⑭						S5404	F⑭	A⑭		W⑭					
	N74S04	F⑭	A⑭		W⑭	N74H04	F⑭	A⑭			N74LS04		A⑭			N7404	F⑭	A⑭							
SIEMENS																									
																FLH211		⑭							
FUJITSU																									
											74LS04		M⑭			MB418	⑭	M⑭							
HITACHI																									
	HD74S04		J⑭	P⑭							HD74LS04		P⑭			HD7404/HD2522	⑭	P⑭							
MITSUBISHI																									
	M5S004		P⑭								M74LS04		P⑭			M53204		P⑭							
NEC																									
	74S04		C⑭								74LS04		C⑭			μPB235	D⑭								
TOSHIBA																									
																TD3404A		P⑭							

Electrical Characteristics SN54LS04/SN74LS04

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

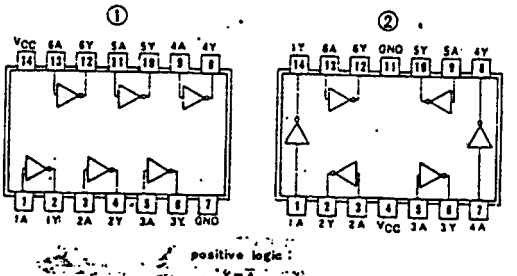
recommended operating conditions

	SN54LS04			SN74LS04			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

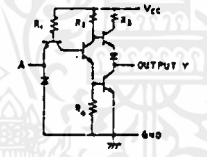
PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IL}=V_{IL} max, I_{OH}=MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, I_{OL}=4mA				0.4	V
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_{IH}=2.7V				20	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_{IL}=0.4V				−0.4	mA
I_{OS}	Short-circuit output current*	V_{CC}=MAX	54LS Family	−20		−100	mA
			74LS Family	−20		−100	
I_{CCH}	Supply current	V_{CC}=MAX	Total, outputs high		1.2	2.4	mA
I_{CCL}	Supply current		Total, outputs low		3.6	6.6	mA
I_{CC}	Supply current	V_{CC}=5V	Average per gate (50% duty cycle)		0.4		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=2kΩ			9	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output				10	15	ns

Pin Assignments (Top View)



positive logic: $Y = \overline{A}$

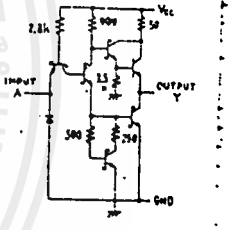
Schematics (each gate)



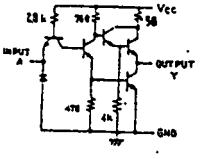
CIRCUIT	R1	R2	R3	R4
'04	4k	1.6k	130	1k
'L04	40k	20k	500	12k

Input clamp diodes not on SN54L73/74L* circuits.

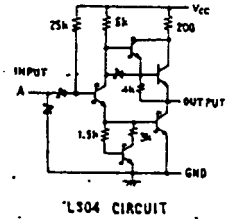
'04, 'L04 CIRCUITS



'S04 CIRCUIT



'H04 CIRCUIT.



'LS04 CIRCUIT

Resistor values shown are nominal and in

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC}=5V, T_A=25°C.
Not more than one output should be shorted at a time, and for SN54H/SN74H* and SN54S*/SN74S*, duration of short-circuit should not exceed 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC})	10V
Logic Control Inputs	$-0.2V$ to $V_{CC}+0.2V$
Voltage at Other Inputs and Output	$-0.2V$ to $V_{CC}+0.2V$
Storage Temperature Range	$-65°C$ to $+150°C$
Package Dissipation at $T_A = 25°C$	875 mW
Input Current at Any Pin (Note 5)	1 mA
Package Input Current (Note 5)	4 mA
ESD Susceptability (Note 9)	1200V
Lead Temp. (Soldering, 10 sec.)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

Operating Ratings (Notes 1 & 2)

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
ADC0820CCJ	$-40°C \le T_A \le +85°C$
ADC0820CIWM	$-40°C \le T_A \le +85°C$
ADC0820BCN, ADC0820CCN	$0°C \le T_A \le 70°C$
ADC0820BCV, ADC0820CCV	$0°C \le T_A \le 70°C$
ADC0820BCWM, ADC0820CCWM	$0°C \le T_A \le 70°C$
ADC0820CCMSA	$0°C \le T_A \le 70°C$
V_{CC} Range	4.5V to 8V

Converter Characteristics

The following specifications apply for RD mode (pin 7 = 0), $V_{CC} = 5V$, $V_{REF}(+) = 5V$, and $V_{REF}(-) = GND$ unless otherwise specified. **Boldface limits apply from T_{MIN} to T_{MAX};** all other limits $T_A = T_J = 25°C$.

Parameter	Conditions	ADC0820CCJ			ADC0820BCN, ADC0820CCN ADC0820BCV, ADC0820CCV ADC0820BCWM, ADC0820CCWM ADC0820CCMSA, ADC0820CIWM			Limit Units
		Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	
Resolution			8			8	8	Bits
Total Unadjusted Error (Note 3)	ADC0820BCN, BCWM					±½	±½	LSB
	ADC0820CCJ		±1					LSB
	ADC0820CCN, CCWM, CIWM,					±1	±1	LSB
	ADC0820CCMSA					±1	±1	LSB
Minimum Reference Resistance		2.3	1.00		2.3	1.2		kΩ
Maximum Reference Resistance		2.3	6		2.3	5.3	6	kΩ
Maximum $V_{REF}(+)$ Input Voltage			V_{CC}			V_{CC}	V_{CC}	V
Minimum $V_{REF}(-)$ Input Voltage			GND			GND	GND	V
Minimum $V_{REF}(+)$ Input Voltage			$V_{REF}(-)$			$V_{REF}(-)$	$V_{REF}(-)$	V
Maximum $V_{REF}(-)$ Input Voltage			$V_{REF}(+)$			$V_{REF}(+)$	$V_{REF}(+)$	V
Maximum V_{IN} Input Voltage			$V_{CC}+0.1$			$V_{CC}+0.1$	$V_{CC}+0.1$	V
Minimum V_{IN} Input Voltage			GND−0.1			GND−0.1	GND−0.1	V
Maximum Analog Input Leakage Current	$\overline{CS} = V_{CC}$							
	$V_{IN} = V_{CC}$		3			0.3	3	µA
	$V_{IN} = GND$		−3			−0.3	−3	µA
Power Supply Sensitivity	$V_{CC} = 5V \pm 5\%$	±1/16	±¼		±1/16	±¼	±¼	LSB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Electrical Characteristics

The following specifications apply for $V_{CC} = 5V$, unless otherwise specified. Boldface limits apply from T_{MIN} to T_{MAX}; all other limits $T_A = T_J = 25°C$.

Parameter	Conditions		ADC0820CCJ			ADC0820BCN, ADC0820CCN ADC0820BCV, ADC0820CCV ADC0820BCWM, ADC0820CCWM ADC0820CCMSA, ADC0820CIWM			Limit Units
			Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	
$V_{IN(1)}$, Logical "1" Input Voltage	$V_{CC} = 5.25V$	$\overline{CS}$, $\overline{WR}$, $\overline{RD}$		2.0			2.0	2.0	V
		Mode		3.5			3.5	3.5	V
$V_{IN(0)}$, Logical "0" Input Voltage	$V_{CC} = 4.75V$	$\overline{CS}$, $\overline{WR}$, $\overline{RD}$		0.8			0.8	0.8	V
		Mode		1.5			1.5	1.5	V
$I_{IN(1)}$, Logical "1" Input Current	$V_{IN(1)} = 5V$; $\overline{CS}$, $\overline{RD}$		0.005	1		0.005		1	µA
	$V_{IN(1)} = 5V$; $\overline{WR}$		0.1	3		0.1	0.3	3	µA
	$V_{IN(1)} = 5V$; Mode		50	200		50	170	200	µA
$I_{IN(0)}$, Logical "0" Input Current	$V_{IN(0)} = 0V$; $\overline{CS}$, $\overline{RD}$, $\overline{WR}$, Mode		−0.005	−1		−0.005		−1	µA
$V_{OUT(1)}$, Logical "1" Output Voltage	$V_{CC} = 4.75V$, $I_{OUT} = -360$ µA; DB0–DB7, $\overline{OFL}$, $\overline{INT}$			2.4			2.8	2.4	V
	$V_{CC} = 4.75V$, $I_{OUT} = -10$ µA; DB0–DB7, $\overline{OFL}$, $\overline{INT}$			4.5			4.6	4.5	V
$V_{OUT(0)}$, Logical "0" Output Voltage	$V_{CC} = 4.75V$, $I_{OUT} = 1.6$ mA; DB0–DB7, $\overline{OFL}$, $\overline{INT}$, RDY			0.4			0.34	0.4	V
I_{OUT}, TRI-STATE Output Current	$V_{OUT} = 5V$; DB0–DB7, RDY		0.1	3		0.1	0.3	3	µA
	$V_{OUT} = 0V$; DB0–DB7, RDY		−0.1	−3		−0.1	−0.3	−3	µA
I_{SOURCE}, Output Source Current	$V_{OUT} = 0V$; DB0–DB7, $\overline{OFL}$		−12	−6		−12	−7.2	−6	mA
	$\overline{INT}$		−9	−4.0		−9	−5.3	−4.0	mA
I_{SINK}, Output Sink Current	$V_{OUT} = 5V$; DB0–DB7, $\overline{OFL}$, $\overline{INT}$, RDY		14	7		14	8.4	7	mA
I_{CC}, Supply Current	$\overline{CS} = \overline{WR} = \overline{RD} = 0$		7.5	15		7.5	13	15	mA

AC Electrical Characteristics

The following specifications apply for $V_{CC} = 5V$, $t_r = t_f = 20$ ns, $V_{REF}(+) = 5V$, $V_{REF}(-) = 0V$ and $T_A = 25°C$ unless otherwise specified.

Parameter		Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
t_{CRD}, Conversion Time for RD Mode		Pin 7 = 0, *(Figure 2)*	1.6		2.5	µs
t_{ACC0}, Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)		Pin 7 = 0, *(Figure 2)*	$t_{CRD}+20$		$t_{CRD}+50$	ns
t_{CWR-RD}, Conversion Time for WR-RD Mode		Pin 7 = V_{CC}; t_{WR} = 600 ns, t_{RD} = 600 ns; *(Figures 3a* and *3b)*			1.52	µs
t_{WR}, Write Time	Min	Pin 7 = V_{CC}; *(Figures 3a* and *3b)*		600		ns
	Max	(Note 4) See Graph	50			µs
t_{RD}, Read Time	Min	Pin 7 = V_{CC}; *(Figures 3a* and *3b)* (Note 4) See Graph		600		ns
t_{ACC1}, Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)		Pin 7 = V_{CC}, $t_{RD} < t_l$; *(Figure 3a)* C_L = 15 pF	190		280	ns
		C_L = 100 pF	210		320	ns
t_{ACC2}, Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)		Pin 7 = V_{CC}, $t_{RD} > t_l$; *(Figure 3b)* C_L = 15 pF	70		120	ns
		C_L = 100 pF	90		150	ns
t_{ACC3}, Access Time (Delay from Rising Edge of RDY to Output Valid)		R_{PULLUP} = 1k and C_L = 15 pF	30			ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued) The following specifications apply for $V_{CC}=5V$, $t_r=t_f=20$ ns, $V_{REF}(+)=5V$, $V_{REF}(-)=0V$ and $T_A=25°C$ unless otherwise specified.

Parameter	Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
t_i, Internal Comparison Time	Pin 7 = V_{CC}; *(Figures 3b and 4)* $C_L=50$ pF	800		1300	ns
t_{1H}, t_{0H}, TRI-STATE Control (Delay from Rising Edge of $\overline{RD}$ to Hi-Z State)	$R_L=1k$, $C_L=10$ pF	100		200	ns
$t_{\overline{INTL}}$, Delay from Rising Edge of $\overline{WR}$ to Falling Edge of $\overline{INT}$	Pin 7 = V_{CC}, $C_L=50$ pF $t_{RD}>t_i$; *(Figure 3b)* $t_{RD}<t_i$; *(Figure 3a)*	 $t_{RD}+200$		 t_i $t_{RD}+290$	 ns ns
$t_{\overline{INTH}}$, Delay from Rising Edge of $\overline{RD}$ to Rising Edge of $\overline{INT}$	*(Figures 2, 3a and 3b)* $C_L=50$ pF	125		225	ns
$t_{\overline{INTHWR}}$, Delay from Rising Edge of $\overline{WR}$ to Rising Edge of $\overline{INT}$	*(Figure 4)*, $C_L=50$ pF	175		270	ns
t_{RDY}, Delay from $\overline{CS}$ to RDY	*(Figure 2)*, $C_L=50$ pF, Pin 7 = 0	50		100	ns
t_{ID}, Delay from $\overline{INT}$ to Output Valid	*(Figure 4)*	20		50	ns
t_{RI}, Delay from $\overline{RD}$ to $\overline{INT}$	Pin 7 = V_{CC}, $t_{RD}<t_i$ *(Figure 3a)*	200		290	ns
t_P, Delay from End of Conversion to Next Conversion	*(Figures 2, 3a, 3b and 4)* (Note 4) See Graph			500	ns
Slew Rate, Tracking		0.1			V/μs
C_{VIN}, Analog Input Capacitance		45			pF
C_{OUT}, Logic Output Capacitance		5			pF
C_{IN}, Logic Input Capacitance		5			pF

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to the GND pin, unless otherwise specified.

Note 3: Total unadjusted error includes offset, full-scale, and linearity errors.

Note 4: Accuracy may degrade if t_{WR} or t_{RD} is shorter than the minimum value specified. See Accuracy vs t_{WR} and Accuracy vs t_{RD} graphs.

Note 5: When the input voltage (V_{IN}) at any pin exceeds the power supply rails ($V_{IN}<V^-$ or $V_{IN}>V^+$) the absolute value of current at that pin should be limited to 1 mA or less. The 4 mA package input current limits the number of pins that can exceed the power supply boundaries with a 1 mA current limit to four.

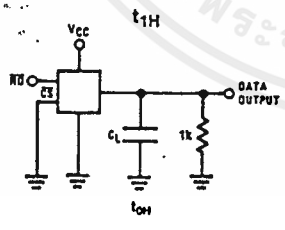
Note 6: Typicals are at 25°C and represent most likely parametric norm.

Note 7: Tested limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

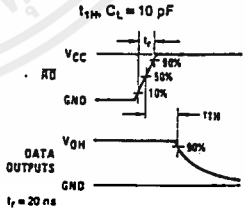
Note 8: Design limits are guaranteed but not 100% tested. These limits are not used to calculate outgoing quality levels.

Note 9: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

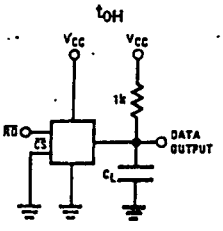
TRI-STATE Test Circuits and Waveforms



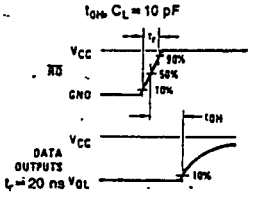
TL/H/5501-3



TL/H/5501-4



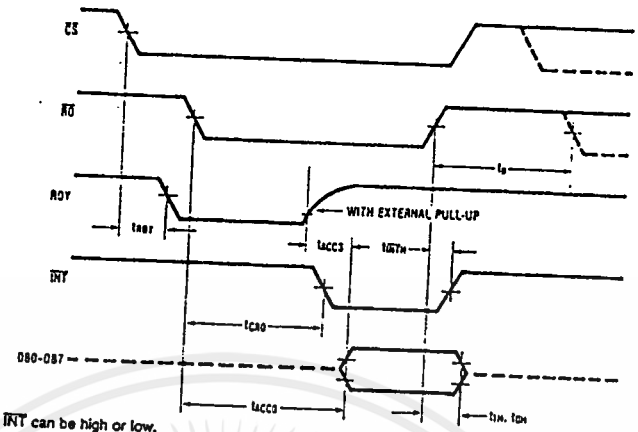
TL/H/5501-5



TL/H/5501-6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

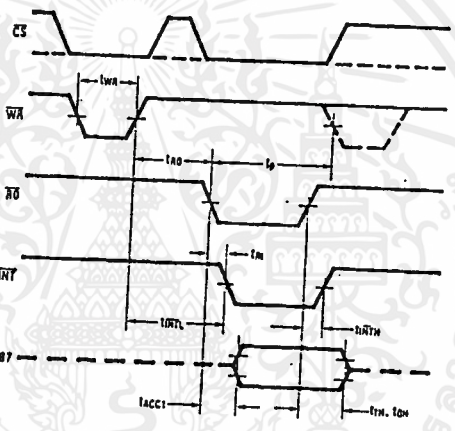
Timing Diagrams



Note: On power-up the state of $\overline{INT}$ can be high or low.

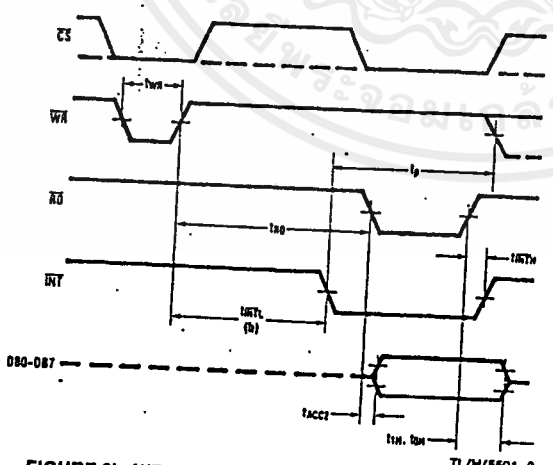
FIGURE 2. RD Mode (Pin 7 is Low)

TL/H/5501-7



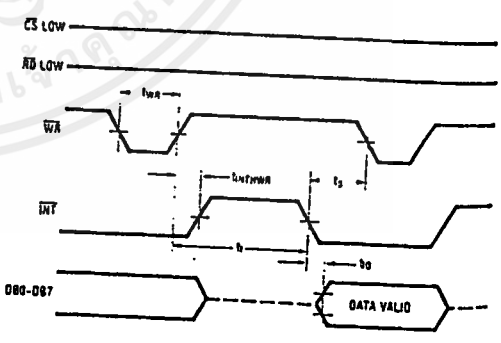
TL/H/5501-8

FIGURE 3a. WR-RD Mode (Pin 7 is High and $t_{RD} < t_I$)



TL/H/5501-9

FIGURE 3b. WR-RD Mode (Pin 7 is High and $t_{RD} > t_I$)



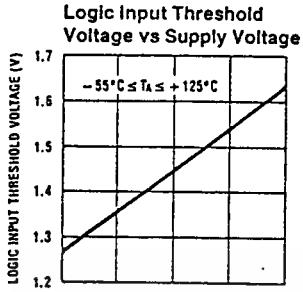
TL/H/5501-10

FIGURE 4. WR-RD Mode (Pin 7 is High) Stand-Alone Operation

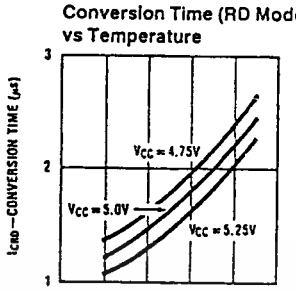
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

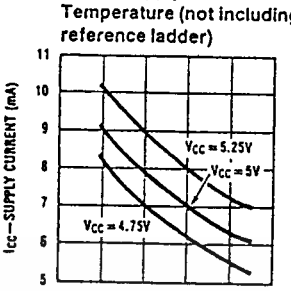
Logic Input Threshold Voltage vs Supply Voltage



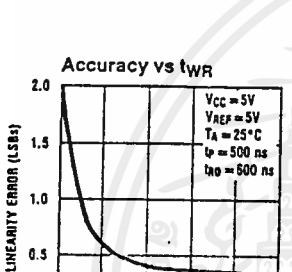
Conversion Time (RD Mode) vs Temperature



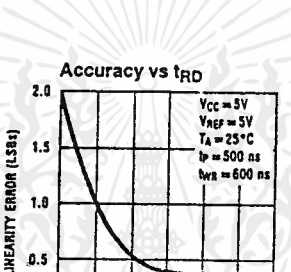
Power Supply Current vs Temperature (not including reference ladder)



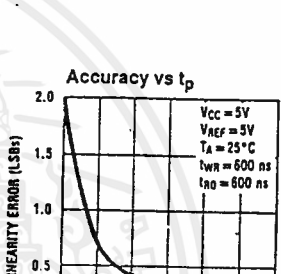
Accuracy vs t_{WR}



Accuracy vs t_{RD}

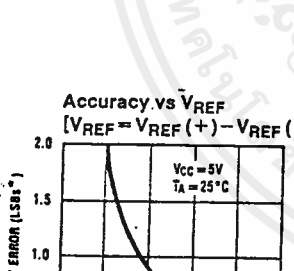


Accuracy vs t_P



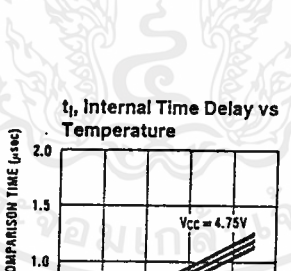
Accuracy vs V_{REF}

$[V_{REF} = V_{REF}(+) - V_{REF}(-)]$

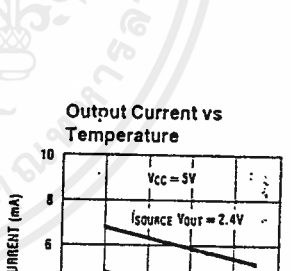


*1 LSB = $\frac{V_{REF}}{256}$

t_I, Internal Time Delay vs Temperature



Output Current vs Temperature



TL/H/5501–11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Description of Pin Functions

Pin	Name	Function
1	V_{IN}	Analog input; range $-GND \le V_{IN} \le V_{CC}$
2	DB0	TRI-STATE data output—bit 0 (LSB)
3	DB1	TRI-STATE data output—bit 1
4	DB2	TRI-STATE data output—bit 2
5	DB3	TRI-STATE data output—bit 3
6	$\overline{WR}$/RDY	**WR-RD Mode** $\overline{WR}$: With $\overline{CS}$ low, the conversion is started on the falling edge of $\overline{WR}$. Approximately 800 ns (the preset internal time out, t_i) after the $\overline{WR}$ rising edge, the result of the conversion will be strobed into the output latch, provided that $\overline{RD}$ does not occur prior to this time out (see *Figures 3a* and *3b*). **RD Mode** RDY: This is an open drain output (no internal pull-up device). RDY will go low after the falling edge of $\overline{CS}$; RDY will go TRI-STATE when the result of the conversion is strobed into the output latch. It is used to simplify the interface to a microprocessor system (see *Figure 2*).
7	Mode	Mode: Mode selection input—it is internally tied to GND through a 50 μA current source. **RD Mode:** When mode is low **WR-RD Mode:** When mode is high
8	$\overline{RD}$	**WR-RD Mode** With $\overline{CS}$ low, the TRI-STATE data outputs (DB0-DB7) will be activated when $\overline{RD}$ goes low (see *Figure 4*). $\overline{RD}$ can also be used to increase the speed of the converter by reading data prior to the preset internal time out (t_i, ~800 ns). If this is done, the data result transferred to output latch is latched after the falling edge of the $\overline{RD}$ (see *Figures 3a* and *3b*). **RD Mode** With $\overline{CS}$ low, the conversion will start with $\overline{RD}$ going low, also $\overline{RD}$ will enable the TRI-STATE data outputs at the completion of the conversion. RDY going TRI-STATE and $\overline{INT}$ going low indicates the completion of the conversion (see *Figure 2*).
9	$\overline{INT}$	**WR-RD Mode** $\overline{INT}$ going low indicates that the conversion is completed and the data result is in the output latch. $\overline{INT}$ will go low, ~800 ns (the preset internal time out, t_i) after the rising edge of $\overline{WR}$ (see *Figure 3b*); or $\overline{INT}$ will go low after the falling edge of $\overline{RD}$, if $\overline{RD}$ goes low prior to the 800 ns time out (see *Figure 3a*). $\overline{INT}$ is reset by the rising edge of $\overline{RD}$ or $\overline{CS}$ (see *Figures 3a* and *3b*). **RD Mode** $\overline{INT}$ going low indicates that the conversion is completed and the data result is in the output latch. $\overline{INT}$ is reset by the rising edge of $\overline{RD}$ or $\overline{CS}$ (see *Figure 2*).
10	GND	Ground
11	$V_{REF}(-)$	The bottom of resistor ladder, voltage range: $GND \le V_{REF}(-) \le V_{REF}(+)$ (Note 5)
12	$V_{REF}(+)$	The top of resistor ladder, voltage range: $V_{REF}(-) \le V_{REF}(+) \le V_{CC}$ (Note 5)
13	$\overline{CS}$	$\overline{CS}$ must be low in order for the $\overline{RD}$ or $\overline{WR}$ to be recognized by the converter.
14	DB4	TRI-STATE data output—bit 4
15	DB5	TRI-STATE data output—bit 5
16	DB6	TRI-STATE data output—bit 6
17	DB7	TRI-STATE data output—bit 7 (MSB)
18	$\overline{OFL}$	Overflow output—If the analog input is higher than the $V_{REF}(+)$, $\overline{OFL}$ will be low at the end of conversion. It can be used to cascade 2 or more devices to have more resolution (9, 10-bit). This output is always active and does not go into TRI-STATE as DB0–DB7 do.
19	NC	No connection
20	V_{CC}	Power supply voltage

1.0 Functional Description

1.1 GENERAL OPERATION

The ADC0820 uses two 4-bit flash A/D converters to make an 8-bit measurement (*Figure 1*). Each flash ADC is made up of 15 comparators which compare the unknown input to a reference ladder to get a 4-bit result. To take a full 8-bit reading, one flash conversion is done to provide the 4 most significant data bits (via the MS flash ADC). Driven by the 4 MSBs, an internal DAC recreates an analog approximation of the input voltage. This analog signal is then subtracted from the input, and the difference voltage is converted by a second 4-bit flash ADC (the LS ADC), providing the 4 least significant bits of the output data word.

The internal DAC is actually a subsection of the MS flash converter. This is accomplished by using the same resistor ladder for the A/D as well as for generating the DAC signal. The DAC output is actually the tap on the resistor ladder which most closely approximates the analog input. In addition, the "sampled-data" comparators used in the ADC0820 provide the ability to compare the magnitudes of several analog signals simultaneously, without using input summing amplifiers. This is especially useful in the LS flash ADC, where the signal to be converted is an analog difference.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.0 Functional Description (Continued)

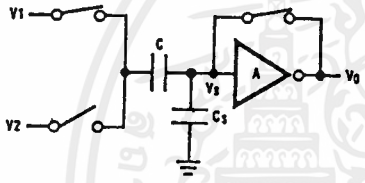
1.2 THE SAMPLED-DATA COMPARATOR

Each comparator in the ADC0820 consists of a CMOS inverter with a capacitively coupled input (*Figure 5*). Analog switches connect the two comparator inputs to the input capacitor (C) and also connect the inverter's input and output. This device in effect now has one differential input pair. A comparison requires two cycles, one for zeroing the comparator, and another for making the comparison.

In the first cycle, one input switch and the inverter's feedback switch (*Figure 5a*) are closed. In this interval, C is charged to the connected input (V1) less the inverter's bias voltage (V_B, approximately 1.2V). In the second cycle (*Figure 5b*), these two switches are opened and the other (V2) input's switch is closed. The input capacitor now subtracts its stored voltage from the second input and the difference is amplified by the inverter's open loop gain. The inverter's input (V_B') becomes

$$V_B - (V1 - V2)\frac{C}{C+C_S}$$

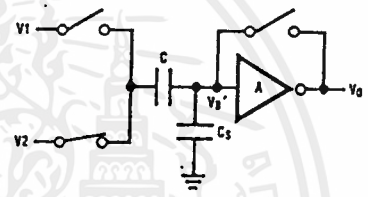
and the output will go high or low depending on the sign of $V_B' - V_B$.



TL/H/5501–12

- $V_O = V_B$
- V on C = $V1 - V_B$
- C_S = stray input node capacitor
- V_B = inverter input bias voltage

FIGURE 5a. Zeroing Phase



TL/H/5501–13

- $V_B' - V_B = (V2 - V1)\frac{C}{C+C_S}$
- $V_O' = \frac{-A}{C+C_S}[CV2 - CV1]$
- V_O' is dependent on V2 − V1

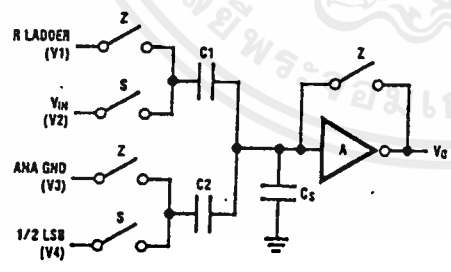
FIGURE 5b. Compare Phase

FIGURE 5. Sampled-Data Comparator

The actual circuitry used in the ADC0820 is a simple but important expansion of the basic comparator described above. By adding a second capacitor and another set of switches to the input (*Figure 6*), the scheme can be expanded to make dual differential comparisons. In this circuit, the feedback switch and one input switch on each capacitor (Z switches) are closed in the zeroing cycle. A comparison is then made by connecting the second input on each capacitor and opening all of the other switches (S switches). The change in voltage at the inverter's input, as a result of the change in charge on each input capacitor, will now depend on both input signal differences.

1.3 ARCHITECTURE

In the ADC0820, one bank of 15 comparators is used in each 4-bit flash A/D converter (*Figure 7*). The MS (most significant) flash ADC also has one additional comparator to detect input overrange. These two sets of comparators operate alternately, with one group in its zeroing cycle while the other is comparing.



$$V_O = \frac{-A}{C1+C2+C_S}[C1(V2-V1)+C2(V4-V3)]$$

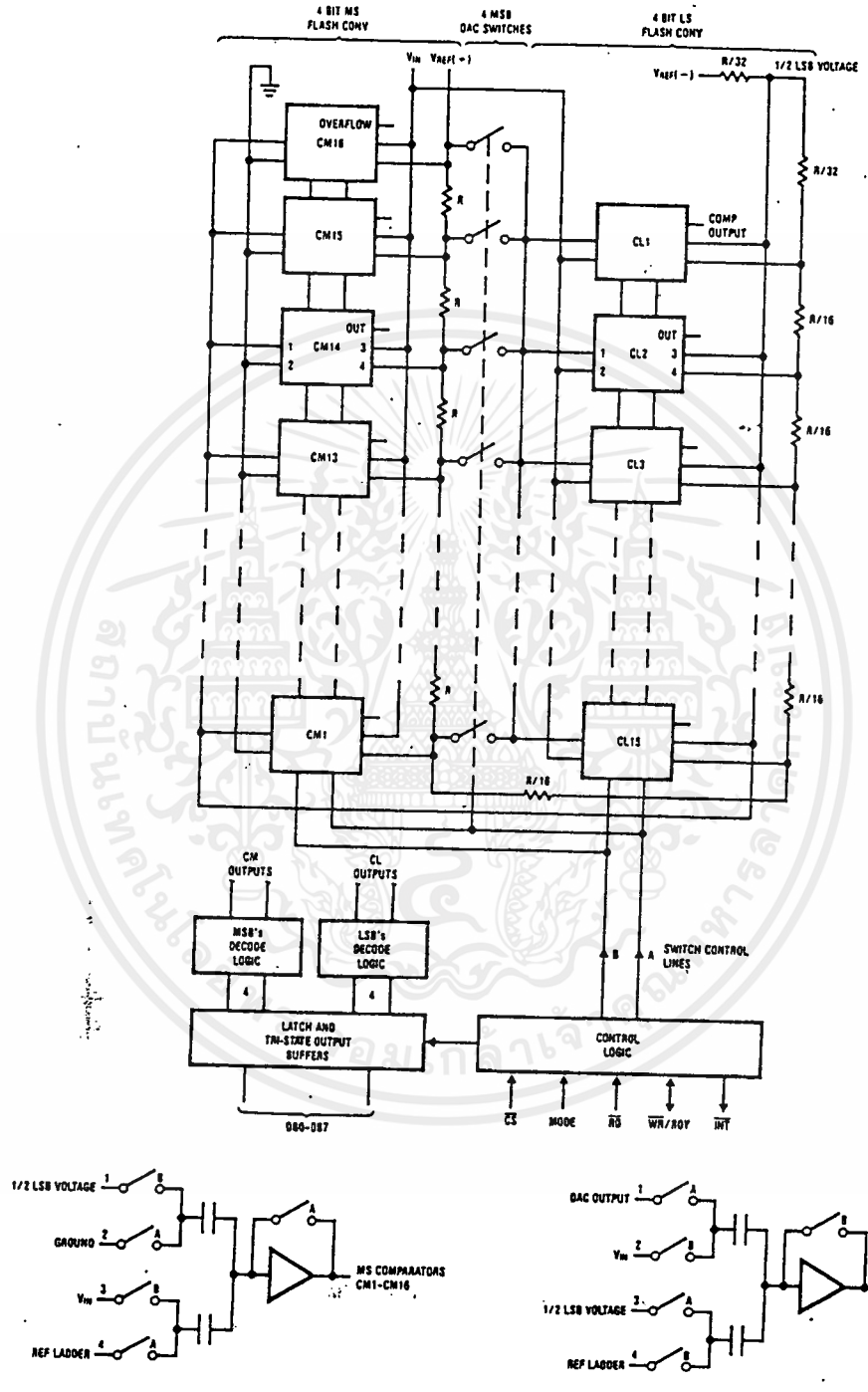
$$= \frac{-A}{C1+C2+C_S}[\Delta Q_{C1}+\Delta Q_{C2}]$$

TL/H/5501–14

FIGURE 6. ADC0820 Comparator (from MS Flash ADC)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Detailed Block Diagram



TL/H/5501–15

FIGURE 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.0 Functional Description (Continued)

When a typical conversion is started, the $\overline{WR}$ line is brought low. At this instant the MS comparators go from zeroing to comparison mode (*Figure B*). When $\overline{WR}$ is returned high after at least 600 ns, the output from the first set of comparators (the first flash) is decoded and latched. At this point the two 4-bit converters change modes and the LS (least significant) flash ADC enters its compare cycle. No less than 600 ns later, the $\overline{RD}$ line may be pulled low to latch the lower 4 data bits and finish the 8-bit conversion. When $\overline{RD}$ goes low, the flash A/Ds change state once again in preparation for the next conversion.

Figure B also outlines how the converter's interface timing relates to its analog input (V_{IN}). In WR-RD mode, V_{IN} is measured while $\overline{WR}$ is low. In RD mode, sampling occurs during the first 800 ns of $\overline{RD}$. Because of the input connections to the ADC0820's LS and MS comparators, the converter has the ability to sample V_{IN} at one instant (Section 2.4), despite the fact that two separate 4-bit conversions are being done. More specifically, when $\overline{WR}$ is low the MS flash is in compare mode (connected to V_{IN}), and the LS flash is in zero mode (also connected to V_{IN}). Therefore both flash ADCs sample V_{IN} at the same time.

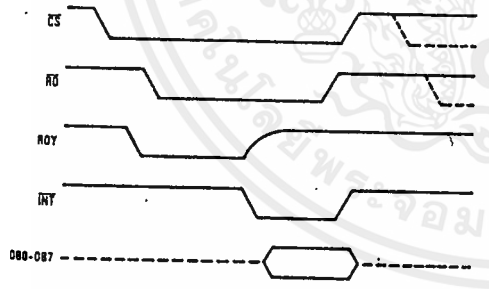
1.4 DIGITAL INTERFACE

The ADC0820 has two basic interface modes which are selected by strapping the MODE pin high or low.

RD Mode

With the MODE pin grounded, the converter is set to Read mode. In this configuration, a complete conversion is done by pulling $\overline{RD}$ low until output data appears. An $\overline{INT}$ line is provided which goes low at the end of the conversion as well as a RDY output which can be used to signal a processor that the converter is busy or can also serve as a system Transfer Acknowledge signal.

RD Mode (Pin 7 is Low)

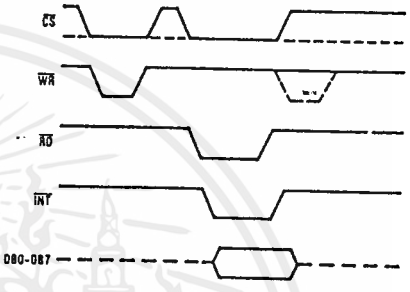


TL/H/5501–16

When in RD mode, the comparator phases are internally triggered. At the falling edge of $\overline{RD}$, the MS flash converter goes from zero to compare mode and the LS ADC's comparators enter their zero cycle. After 800 ns, data from the MS flash is latched and the LS flash ADC enters compare mode. Following another 800 ns, the lower 4 bits are recovered.

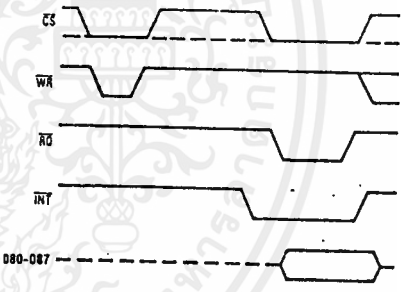
WR then RD Mode

With the MODE pin tied high, the A/D will be set up for the WR-RD mode. Here, a conversion is started with the $\overline{WR}$ input; however, there are two options for reading the output data which relate to interface timing. If an interrupt driven scheme is desired, the user can wait for $\overline{INT}$ to go low before reading the conversion result (*Figure B*). $\overline{INT}$ will typically go low 800 ns after $\overline{WR}$'s rising edge. However, if a shorter conversion time is desired, the processor need not wait for $\overline{INT}$ and can exercise a read after only 600 ns (*Figure A*). If this is done, $\overline{INT}$ will immediately go low and data will appear at the outputs.



TL/H/5501–17

FIGURE A. WR-RD Mode (Pin 7 is High and $t_{RD} < t_I$)



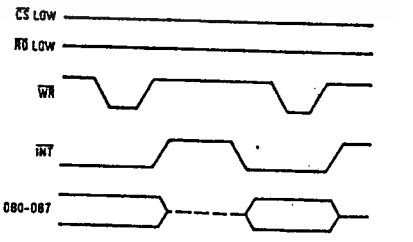
TL/H/5501–18

FIGURE B. WR-RD Mode (Pin 7 is High and $t_{RD} > t_I$)

Stand-Alone

For stand-alone operation in WR-RD mode, $\overline{CS}$ and $\overline{RD}$ can be tied low and a conversion can be started with $\overline{WR}$. Data will be valid approximately 800 ns following $\overline{WR}$'s rising edge.

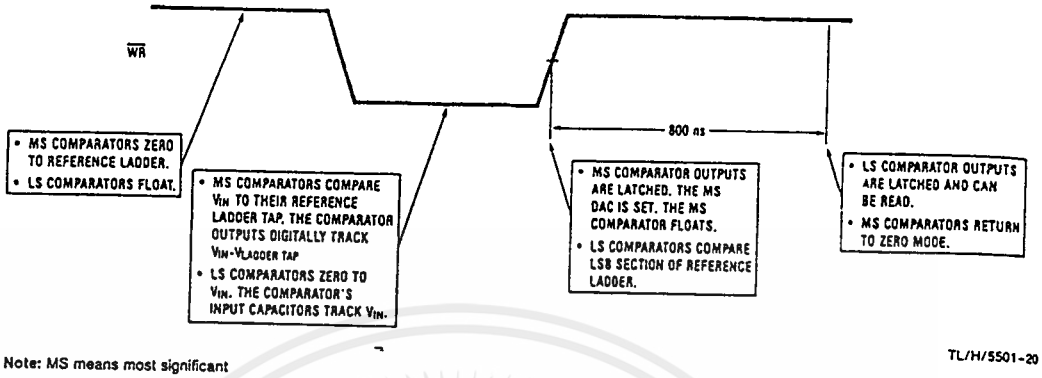
WR-RD Mode (Pin 7 is High) Stand-Alone Operation



TL/H/5501–19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.0 Functional Description (Continued)



Note: MS means most significant
LS means least significant

TL/H/5501-20

FIGURE 8. Operating Sequence (WR-RD Mode)

OTHER INTERFACE CONSIDERATIONS

In order to maintain conversion accuracy, $\overline{WR}$ has a maximum width spec of 50 μs. When the MS flash ADC's sampled-data comparators (Section 1.2) are in comparison mode ($\overline{WR}$ is low), the input capacitors (C, *Figure 6*) must hold their charge. Switch leakage and inverter bias current can cause errors if the comparator is left in this phase for too long.

Since the MS flash ADC enters its zeroing phase at the end of a conversion (Section 1.3), a new conversion cannot be started until this phase is complete. The minimum spec for this time (t_P, *Figures 2, 3a, 3b,* and *4*) is 500 ns.

2.0 Analog Considerations

2.1 REFERENCE AND INPUT

The two V_{REF} inputs of the ADC0820 are fully differential and define the zero to full-scale input range of the A to D converter. This allows the designer to easily vary the span of the analog input since this range will be equivalent to the voltage difference between $V_{IN}(+)$ and $V_{IN}(-)$. By reducing V_{REF}($V_{REF} = V_{REF}(+) - V_{REF}(-)$) to less than 5V, the sensitivity of the converter can be increased (i.e., if $V_{REF} = 2V$ then 1 LSB = 7.8 mV). The input/reference arrangement also facilitates ratiometric operation and in many cases the chip power supply can be used for transducer power as well as the V_{REF} source.

This reference flexibility lets the input span not only be varied but also offset from zero. The voltage at $V_{REF}(-)$ sets the input level which produces a digital output of all zeroes. Though V_{IN} is not itself differential, the reference design affords nearly differential-input capability for most measurement applications. *Figure 9* shows some of the configurations that are possible.

2.2 INPUT CURRENT

Due to the unique conversion techniques employed by the ADC0820, the analog input behaves somewhat differently than in conventional devices. The A/D's sampled-data comparators take varying amounts of input current depending on which cycle the conversion is in.

The equivalent input circuit of the ADC0820 is shown in *Figure 10a*. When a conversion starts ($\overline{WR}$ low, WR-RD mode), all input switches close, connecting V_{IN} to thirty-one 1 pF capacitors. Although the two 4-bit flash circuits are not both in their compare cycle at the same time, V_{IN} still sees all input capacitors at once. This is because the MS flash converter is connected to the input during its compare interval and the LS flash is connected to the input during its zeroing phase (Section 1.3). In other words, the LS ADC uses V_{IN} as its zero-phase input.

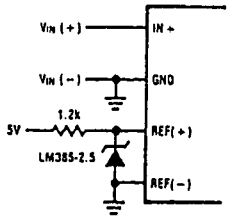
The input capacitors must charge to the input voltage through the on resistance of the analog switches (about 5 kΩ to 10 kΩ), in addition, about 12 pF of input stray capacitance must also be charged. For large source resistances, the analog input can be modeled as an RC network as shown in *Figure 10b*. As R_S increases, it will take longer for the input capacitance to charge.

In RD mode, the input switches are closed for approximately 800 ns at the start of the conversion. In WR-RD mode, the time that the switches are closed to allow this charging is the time that $\overline{WR}$ is low. Since other factors force this time to be at least 600 ns, input time constants of 100 ns can be accommodated without special consideration. Typical total input capacitance values of 45 pF allow R_S to be 1.5 kΩ without lengthening $\overline{WR}$ to give V_{IN} more time to settle.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

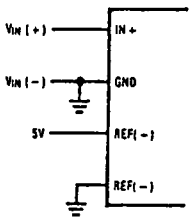
2.0 Analog Considerations (Continued)

External Reference 2.5V Full-Scale



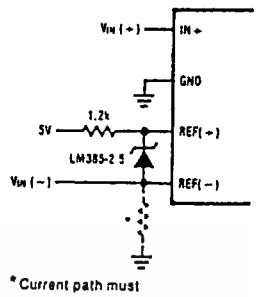
TL/H/5501–21

Power Supply as Reference



TL/H/5501–22

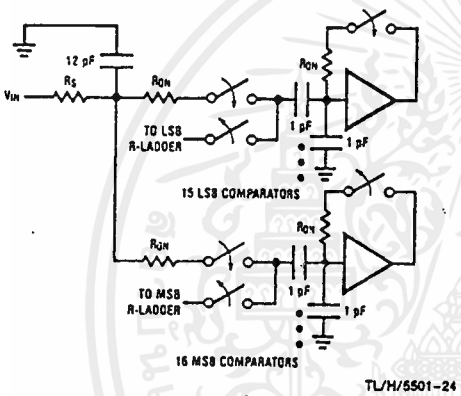
Input Not Referred to GND



*Current path must still exist from $V_{IN}(-)$ to ground

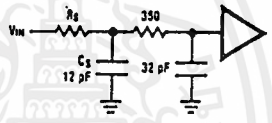
TL/H/5501–23

FIGURE 9. Analog Input Options



TL/H/5501–24

FIGURE 10a



TL/H/5501–25

FIGURE 10b

2.3 INPUT FILTERING

It should be made clear that transients in the analog input signal, caused by charging current flowing into V_{IN}, will not degrade the A/D's performance in most cases. In effect the ADC0820 does not "look" at the input when these transients occur. The comparators' outputs are not latched while $\overline{WR}$ is low, so at least 600 ns will be provided to charge the ADC's input capacitance. It is therefore not necessary to filter out these transients by putting an external cap on the V_{IN} terminal.

2.4 INHERENT SAMPLE-HOLD

Another benefit of the ADC0820's input mechanism is its ability to measure a variety of high speed signals without the help of an external sample-and-hold. In a conventional SAR type converter, regardless of its speed, the input must remain at least ½ LSB stable throughout the conversion process if full accuracy is to be maintained. Consequently, for many high speed signals, this signal must be externally sampled, and held stationary during the conversion.

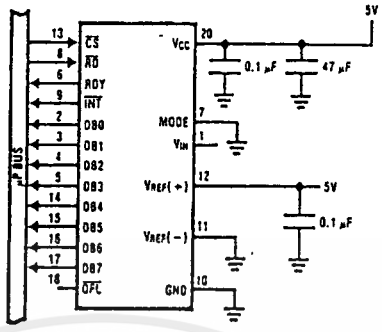
Sampled-data comparators, by nature of their input switching, already accomplish this function to a large degree (Section 1.2). Although the conversion time for the ADC0820 is 1.5 μs, the time through which V_{IN} must be 1/2 LSB stable is much smaller. Since the MS flash ADC uses V_{IN} as its "compare" input and the LS ADC uses V_{IN} as its "zero" input, the ADC0820 only "samples" V_{IN} when $\overline{WR}$ is low (Sections 1.3 and 2.2). Even though the two flashes are not done simultaneously, the analog signal is measured at one instant. The value of V_{IN} approximately 100 ns after the rising edge of $\overline{WR}$ (100 ns due to internal logic prop delay) will be the measured value.

Input signals with slew rates typically below 100 mV/μs can be converted without error. However, because of the input time constants, and charge injection through the opened comparator input switches, faster signals may cause errors. Still, the ADC0820's loss in accuracy for a given increase in signal slope is far less than what would be witnessed in a conventional successive approximation device. An SAR type converter with a conversion time as fast as 1 μs would still not be able to measure a 5V 1 kHz sine wave without the aid of an external sample-and-hold. The ADC0820, with no such help, can typically measure 5V, 7 kHz waveforms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

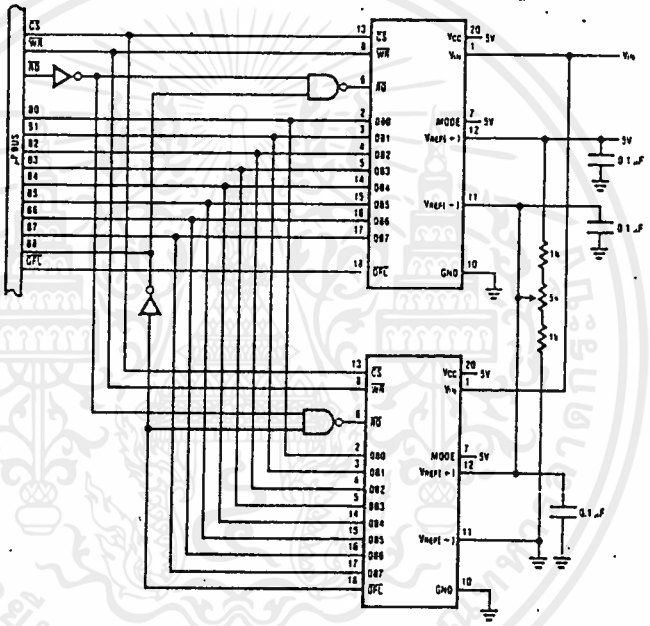
3.0 Typical Applications

8-Bit Resolution Configuration



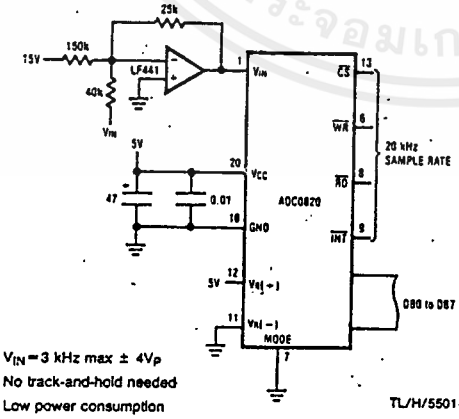
TL/H/5501–26

9-Bit Resolution Configuration



TL/H/5501–27

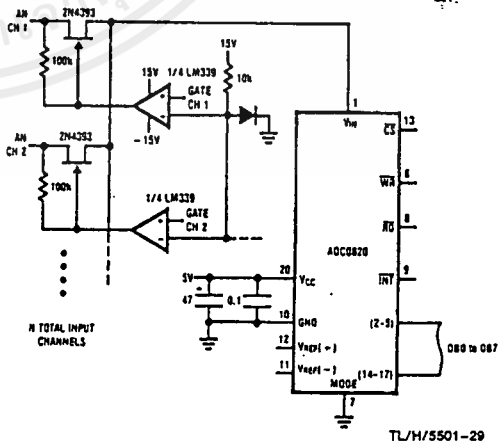
Telecom A/D Converter



- V_{IN} = 3 kHz max ± 4V_P
- No track-and-hold needed
- Low power consumption

TL/H/5501–28

Multiple Input Channels

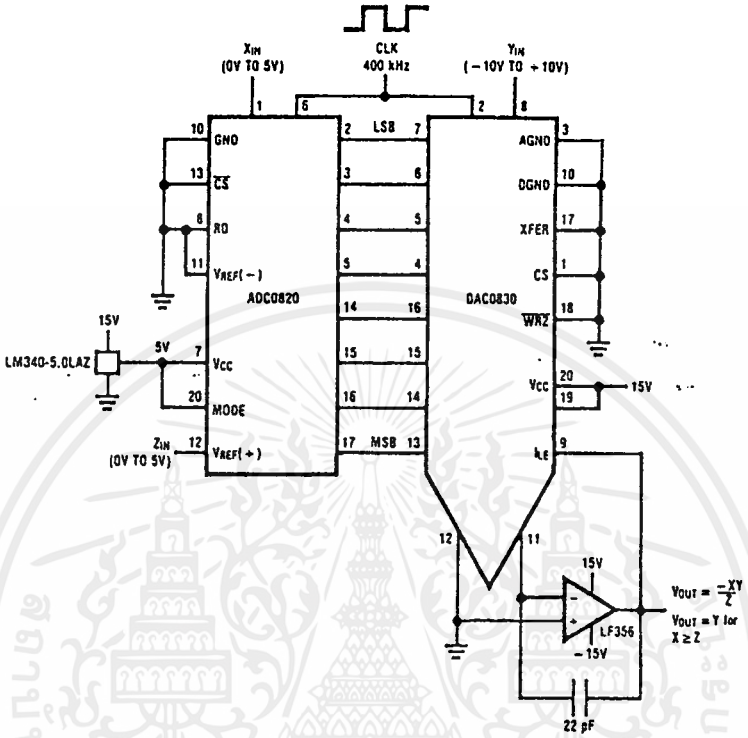


TL/H/5501–29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

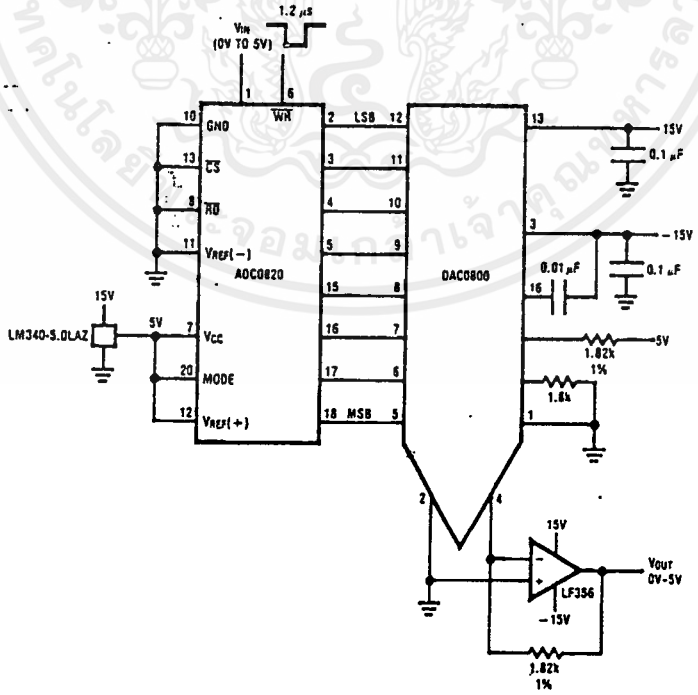
3.0 Typical Applications (Continued)

8-Bit 2-Quadrant Analog Multiplier



TL/H/5501–30

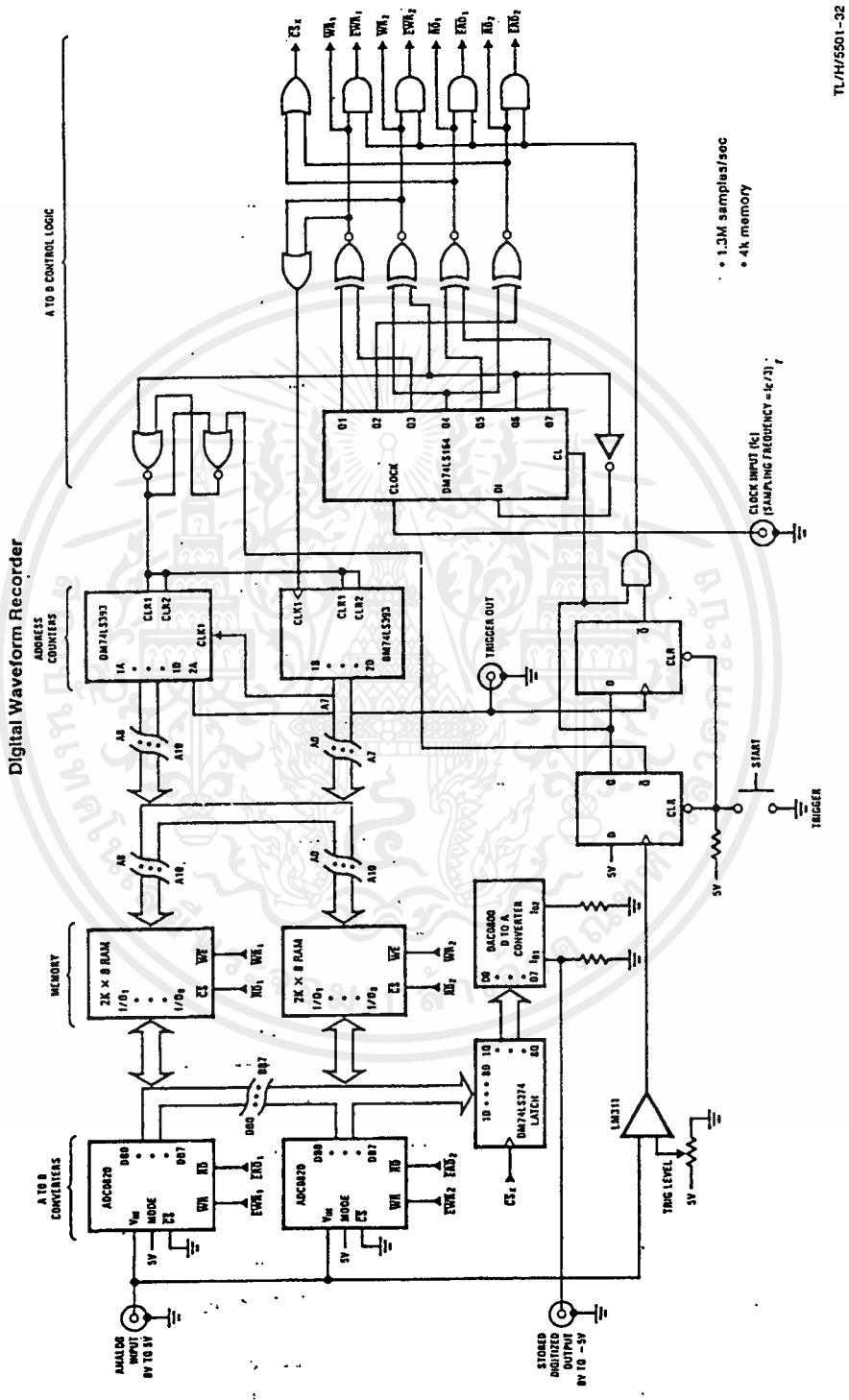
Fast Infinite Sample-and-Hold



TL/H/5501–31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.0 Typical Applications (Continued)



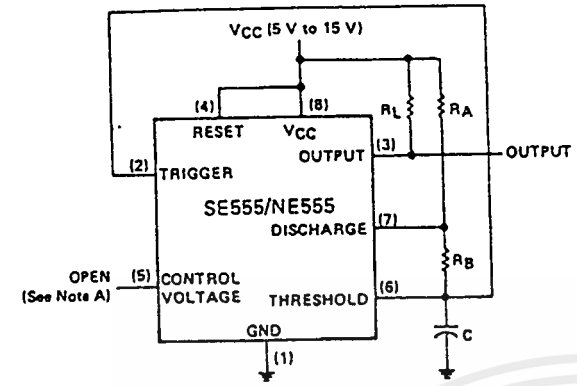
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ordering Information

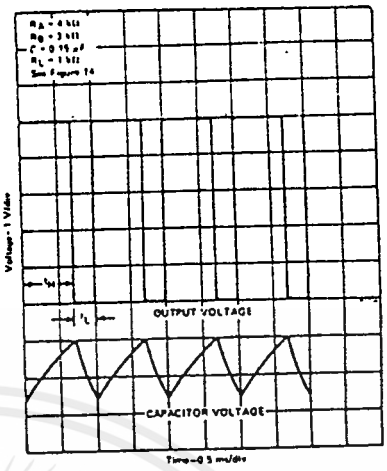
Part Number	Total Unadjusted Error	Package	Temperature Range
ADC0820BCV	±½ LSB	V20A—Molded Chip Carrier	0°C to +70°C
ADC0820BCWM		M20B—Wide Body Small Outline	0°C to +70°C
ADC0820BCN		N20A—Molded DIP	0°C to +70°C
ADC0820CCJ	±1 LSB	J20A—Cerdip	−40°C to +85°C
ADC0820CCMSA		MSA20— Shrink Small Outline Package	0°C to +70°C
ADC0820CCV		V20A—Molded Chip Carrier	0°C to +70°C
ADC0820CCWM		M20B—Wide Body Small Outline	0°C to +70°C
ADC0820CIWM		M20B—Wide Body Small Outline	−40°C to +85°C
ADC0820CCN		N20A—Molded DIP	0°C to +70°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ASTABLE MULTIVIBRATOR



NOTE A: Decoupling the control voltage input (pin 5) to ground with a capacitor may improve operation. This should be evaluated for individual applications.



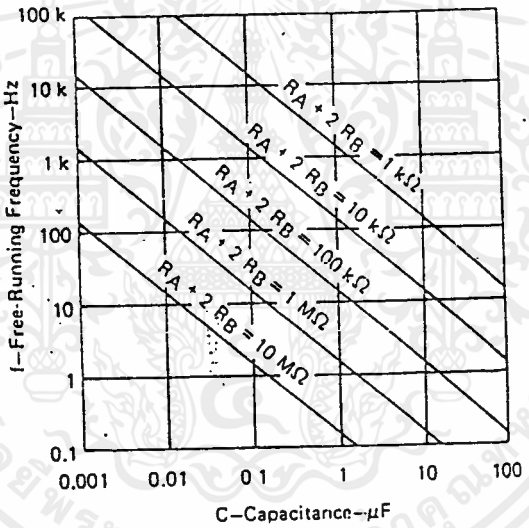


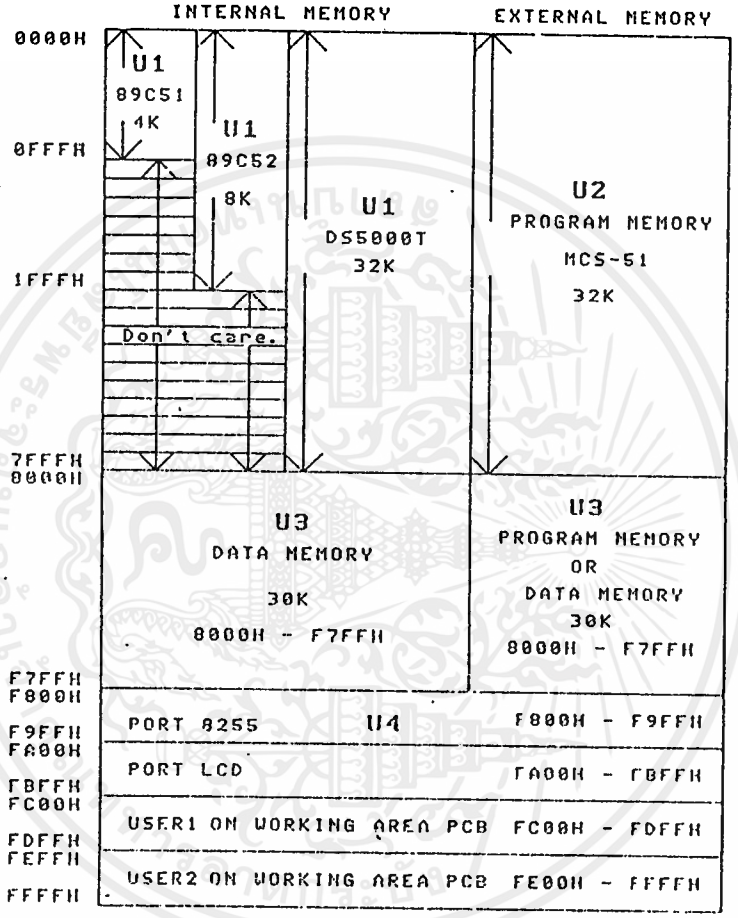
Fig. 58-2

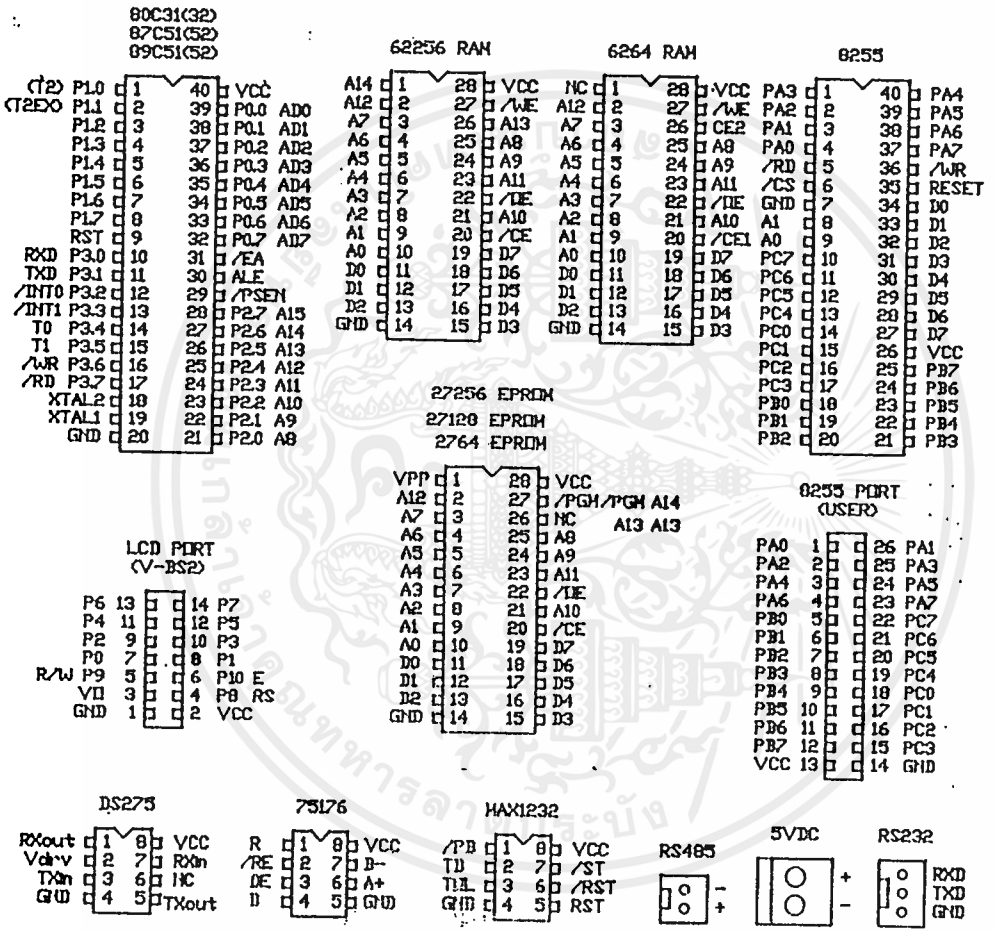
Circuit Notes

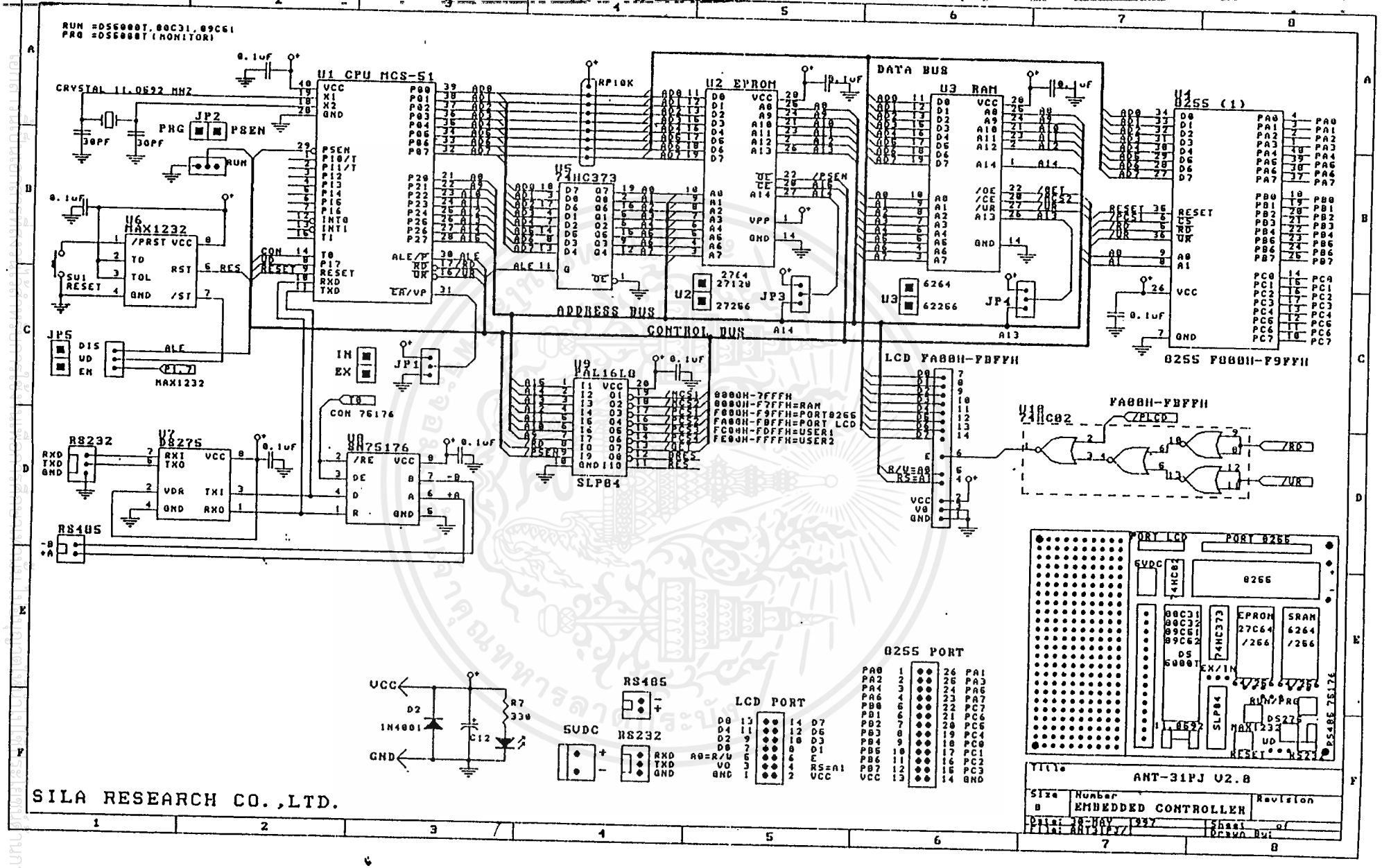
The capacitor C will charge through R_A and R_B, and then discharge through R_B only. The duty cycle may be controlled by the values of R_A and R_B.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MEMORY MAP SLP04




80C31(32)
87C51(52)
89C51(52)
(T2) P1.0 1 40 VCC
(T2EX) P1.1 2 39 P0.0 AD0
P1.2 3 38 P0.1 AD1
P1.3 4 37 P0.2 AD2
P1.4 5 36 P0.3 AD3
P1.5 6 35 P0.4 AD4
P1.6 7 34 P0.5 AD5
P1.7 8 33 P0.6 AD6
RST 9 32 P0.7 AD7
RXD P3.0 10 31 /EA
TXD P3.1 11 30 ALE
/INT0 P3.2 12 29 /PSEN
/INT1 P3.3 13 28 P2.7 A15
T0 P3.4 14 27 P2.6 A14
T1 P3.5 15 26 P2.5 A13
/WR P3.6 16 25 P2.4 A12
/RD P3.7 17 24 P2.3 A11
XTAL2 18 23 P2.2 A10
XTAL1 19 22 P2.1 A9
GND 20 21 P2.0 A8
62256 RAM
A14 1 28 VCC
A12 2 27 /WE
A7 3 26 A13
A6 4 25 A8
A5 5 24 A9
A4 6 23 A11
A3 7 22 /OE
A2 8 21 A10
A1 9 20 /CE
A0 10 19 D7
D0 11 18 D6
D1 12 17 D5
D2 13 16 D4
GND 14 15 D3
6264 RAM
NC 1 28 VCC
A12 2 27 /WE
A7 3 26 CE2
A6 4 25 A8
A5 5 24 A9
A4 6 23 A11
A3 7 22 /OE
A2 8 21 A10
A1 9 20 /CE1
A0 10 19 D7
D0 11 18 D6
D1 12 17 D5
D2 13 16 D4
GND 14 15 D3
8255
PA3 1 40 PA4
PA2 2 39 PA5
PA1 3 38 PA6
PA0 4 37 PA7
/RD 5 36 /WR
/CS 6 35 RESET
GND 7 34 D0
A1 8 33 D1
A0 9 32 D2
PC7 10 31 D3
PC6 11 30 D4
PC5 12 29 D5
PC4 13 28 D6
PC0 14 27 D7
PC1 15 26 VCC
PC2 16 25 PB7
PC3 17 24 PB6
PB0 18 23 PB5
PB1 19 22 PB4
PB2 20 21 PB3
27256 EPROM
27128 EPROM
2764 EPROM
VPP 1 28 VCC
A12 2 27 /PGM/PGM A14
A7 3 26 NC A13 A13
A6 4 25 A8
A5 5 24 A9
A4 6 23 A11
A3 7 22 /OE
A2 8 21 A10
A1 9 20 /CE
A0 10 19 D7
D0 11 18 D6
D1 12 17 D5
D2 13 16 D4
GND 14 15 D3
LCD PORT
(V-BS2)
P6 13 14 P7
P4 11 12 P5
P2 9 10 P3
P0 7 8 P1
R/W P9 5 6 P10 E
VO 3 4 P8 RS
GND 1 2 VCC
8255 PORT
(USER)
PA0 1 26 PA1
PA2 2 25 PA3
PA4 3 24 PA5
PA6 4 23 PA7
PB0 5 22 PC7
PB1 6 21 PC6
PB2 7 20 PC5
PB3 8 19 PC4
PB4 9 18 PC0
PB5 10 17 PC1
PB6 11 16 PC2
PB7 12 15 PC3
VCC 13 14 GND
DS275
RXout 1 8 VCC
Vdriv 2 7 RXin
TXin 3 6 NC
GND 4 5 TXout
75176
R 1 8 VCC
/RE 2 7 B-
DE 3 6 A+
D 4 5 GND
MAX1232
/PB 1 8 VCC
TD 2 7 /ST
TOL 3 6 /RST
GND 4 5 RST
RS485
5VDC
RS232
RXD
TXD
GND


RUN =DS8000T,80C31,89C61
PRG =DS8000T(MONITOR)
U1 CPU MCS-51
CRYSTAL 11.0592 MHZ
JP2
PRG
PSEN
RUN
U6 MAX1232
SW1 RESET
JP5
MAX1232
U5 74HC373
RP10K
U2 EPROM
2764 27128 27256
JP3
ADDRESS BUS
CONTROL BUS
DATA BUS
U3 RAM
6264 62266
JP4
U1 8255 (1)
8255 F800H-F9FFH
U9 PAL16L8
SLP84
IN EX
JP1
CON 76176
U8 SN75176
U7 8275
RS232
RS485
LCD F880H-FBFFH
U10 74C02
F880H-FBFFH
/PLCD
/RD
/WR
8000H-7FFFH
8800H-F7FFH=RAM
F800H-F9FFH=PORT8255
FA00H-FBFFH=PORT LCD
FC00H-FDFFH=USER1
FE00H-FFFFH=USER2
VCC
D2
1N4001
C12
R7
330
GND
5VDC
RS485
RS232
RXD
TXD
GND
LCD PORT
8255 PORT
PORT LCD
PORT 8255
8255
EPROM 27C64 /256
SRAM 6264 /256
74HC373
SLP84
MAX232
RS485 75176
ANT-31PJ V2.8
EMBEDDED CONTROLLER
SILA RESEARCH CO.,LTD.

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงด้วยดีด้วยความช่วยเหลือในหลาย ๆ ด้าน ทางคณะผู้จัดทำขอกล่าวขอบคุณบุคคลดังต่อไปนี้

บิดา มารดาของคณะผู้จัดทำ

รศ. ศิริวัฒน์ โพธิเวชกุล อาจารย์ที่ปรึกษา

คุณ สายัญ ศรีโหมด นศ. ปริญญาโท

และทุกๆ คนที่ให้คำแนะนำ กำลังใจ และความช่วยเหลือในด้านอื่นๆ

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] William D. Stevenson, Jr. "Element of Power sustem Analysis",4th, McGraw-hill Book Company. Singapore 1982.

[2] C.F. Wagner and R.D.Evans,"Symmerrical Components", McGraw-Hill Book Company,Inc. New York and London, 1933

[3] สุนทร วิทูสุรพจน์ " การใช้งานไมโครคอนโทรลเลอร์ตระกูล 8051 " , บริษัท ซีเอ็ด ยูเคชั่น จำกัด (มหาชน) , 2537.

[4] สุนทร วิทูสุรพจน์ " การโปรแกรมภาษาแอสเซมบลี ของไมโครคอนโทรลเลอร์ตระกูล 8051 " , บริษัท ซีเอ็ด ยูเคชั่น จำกัด (มหาชน) , 2537.

[5] JAZZ-31 Version 2.0 User's Manual, บริษัท ศิลารีเสิร์ช จำกัด

[6] ANT-31PJ Version 2.0 Project Enbedded Controller, บริษัท ศิลารีเสิร์ช จำกัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้