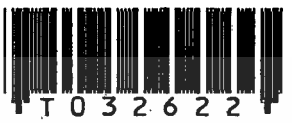
เครื่องรับส่ง 8-QAM

8-QAM TRANSMITTER AND RECEIVER



โดย

นางสาวชัตติยาพร โชติมานนท์

นายคงกระพัน ภู่บัว

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เลขหมู่.....

เลขทะเบียน.....32622.....

วัน, เดือน, ปี.....18 พ.ค. 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับส่ง 8-QAM

8-QAM TRANSMITTER AND RECEIVER

โดย

นางสาวชัตติยาพร โชติมานนท์ 38014047

นายคงกระพัน ภู่บัว 38014049

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2541

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **เครื่องรับส่ง 8-QAM**

8-QAM TRANSMITTER AND RECEIVER

ผู้จัดทำ

1. นางสาวขัตติยาพร โชติมานนท์ 38014047
2. นายคงกระพัน ภู่บัว 38014049

..... อาจารย์ที่ปรึกษา

(รศ.ดร. กอบชัย เดชหาญ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับส่ง 8-QAM

8-QAM TRANSMITTER AND RECEIVER

โดย นางสาวขัตติยาพร โชติมานนท์ 38014047
นายคงกระพัน ภู่บัว 38014049

อาจารย์ที่ปรึกษา รศ.ดร. กอบชัย เดชหาญ

บทคัดย่อ

โครงงานนี้เป็นการนำเสนอการทดลองการส่งสัญญาณดิจิตอลความเร็ว 9600 bps ไปตามสายโคแอกเชียล โดยใช้หลักการของการมอดูเลทแบบ 8-QAM ซึ่งเป็นรูปแบบหนึ่งในการส่งสัญญาณดิจิตอลข้อมูลดิจิตอลนั้นจะถูกบรรจุอยู่ในรูปเฟสและขนาดของสัญญาณพาหะ การส่งสัญญาณ 8-QAM นั้นทำให้มีประสิทธิภาพในการใช้แบนด์วิธมากกว่า BPSK สำหรับบิทเรทที่เท่ากันเพราะจะมีการเปลี่ยนแปลงที่เอาท์พุทเมื่อมีข้อมูลอินพุทเข้ามาทุกๆ 3 บิท ในปีการศึกษานี้จะทำการออกแบบวงจรทางภาคส่งและภาครับ พร้อมทำการทดสอบคุณสมบัติของแต่ละวงจร

ABSTRACT

This project presents a digital transmission system which is transmitted via the coaxial cable at 9600 bps speed by using the 8-QAM. A 8-QAM is a form of digital modulation which its data containing both amplitude and phase. The 8-QAM has more bandwidth efficiency than BPSK at the same bit rate because the output signal is changed every 3 bit of input data. This project presents an algorithm and method to design an 8-QAM Tx and Rx, as well as test the properties of each component.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทที่ 1 บทนำ 1

บทที่ 2 ทฤษฎีหรือหลักการ 2

2.1 ควอดราเจอร์แอมปลิจูดมอดูเลชั่น 2

2.2 ประสิทธิภาพของแถบความถี่ 5

2.3 การพิจารณาแถบความถี่ 8-QAM 6

2.4 เครื่องรับ 8-QAM 8

2.5 วงจรกรองความถี่แบบแอกทีฟ (Active Filter) 9

2.6 เฟสล็อกลูป (Phase Lock Loop : PLL) 13

2.5.1 หลักการของเฟสล็อกลูป 13

2.5.2 การสังเคราะห์ความถี่ด้วยเฟสล็อกลูป 15

บทที่ 3 การคำนวณและการสร้าง 16

3.1 วงจรกำเนิดสัญญาณข้อมูล 17

3.2 วงจรแยกสัญญาณดิจิตอล 18

3.3 วงแปลง 2 ลอจิก ไปเป็น 4 ระดับ 19

3.4 วงจรกรองช่วงความถี่ 20

3.5 วงจรกำเนิดสัญญาณพาหะ 76.8 kHz 23

3.6 วงจรกำเนิดสัญญาณนำร่อง 48 kHz 25

3.7 วงจรเลื่อนเฟส 90 องศา 25

3.8 วงจรบาลานซ์มอดูเลเตอร์ 27

3.9 วงจรขยายรวมสัญญาณแบบไม่กลับเฟส (Summing Amplifier) 28

3.10 วงจรกรองความถี่ช่วง 50-80kHz 31

3.11 วงจรกรองความถี่ช่วง 48 kHz 31

3.12 วงจรกู้สัญญาณนาฬิกา 32

3.13 วงจรกู้สัญญาณพาหะ 33

3.14 วงจรบาลานซ์ดีมอดูเลเตอร์ 34

3.15 วงจรกรองความถี่ต่ำผ่าน 35

3.16 วงจรแปลงสัญญาณ 4 ระดับ ไปเป็น 2 ระดับ 35

3.17 วงจรรวมสัญญาณดิจิตอล 38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

บทที่ 4 การทดลองและผลการทดลอง 46

4.1 วงจรกำเนิดสัญญาณข้อมูล 46

4.2 วงจรแยกสัญญาณดิจิตอล 3 บิท 47

4.3 วงจรแปลง 2 ลอจิกเป็น 4 ระดับ 47

4.4 วงจรกำเนิดสัญญาณนำร่อง 48 kHz 48

4.4.1 ส่วนวงจรเฟสล็อกลูปที่วงจรหาร 5 48

4.4.2 วงจรกรองช่วงความถี่ 48 kHz 49

4.5 วงจรกำเนิดสัญญาณพาหะ 76.8 kHz 51

4.5.1 ส่วนวงจรเฟสล็อกลูปที่วงจรหาร 8 51

4.5.2 วงจรกรองช่วงความถี่ 76.8 kHz 52

4.6 วงจรเลื่อนเฟส 90 องศา 53

4.7 วงจรบาลานซ์มอดูเลเตอร์ 54

4.8 วงจรขยายรวมสัญญาณแบบไม่กลับเฟส 55

4.9 วงจรกู้สัญญาณนาฬิกา 56

4.10 วงจรกู้สัญญาณพาหะ 57

4.11 วงจรบาลานซ์ดีมอดูเลเตอร์ 58

4.12 วงจรแปลงสัญญาณ 4 ระดับ ไปเป็น 2 ระดับ 59

4.13 วงจรรวมสัญญาณดิจิตอล 59

บทที่ 5 บทวิจารณ์และบทสรุป 61

ภาคผนวก 63

กิตติกรรมประกาศ 81

หนังสืออ้างอิง 82

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

บทที่ 2 ทฤษฎีหรือหลักการ

รูปที่ 2.1 แสดงบล็อกไดอะแกรมของเครื่องส่ง 8- QAM 2

รูปที่ 2.2 8-QAM มอดูเลเตอร์ 4

รูปที่ 2.3 แสดงความสัมพันธ์ระหว่างขนาดและเฟสของสัญญาณ
เอาท์พุทแบบ 8-QAM 5

รูปที่ 2.4 แสดงการพิจารณาแบนด์วิธของสัญญาณ 8-QAM 7

รูปที่ 2.5 แสดงบล็อกไดอะแกรมของเครื่องรับ 8-QAM 9

รูปที่ 2.6 แสดงกราฟการตอบสนองความถี่ของวงจรฟิลเตอร์แบบต่างๆ 12

รูปที่ 2.7 แสดงบล็อกไดอะแกรมของวงจรเฟสล็อกลูป 13

รูปที่ 2.8 แสดงคุณลักษณะความถี่กับค่าโวลท์เตจที่ผิดพลาดของเฟสล็อกลูป 15

รูปที่ 2.9 แสดงโครงสร้างเฟสล็อกลูปสำหรับการสังเคราะห์ความถี่ 15

บทที่ 3 การคำนวณและการสร้าง

รูปที่ 3.1 บล็อกไดอะแกรมที่ใช้ในการออกแบบวงจรทางด้านส่ง 16

รูปที่ 3.2 วงจรกำเนิดสัญญาณข้อมูลที่มีความเร็ว 9600 bps 17

รูปที่ 3.3 แสดงผังควบคุมการทำงานของ 74LS165 17

รูปที่ 3.4 วงจรแยกสัญญาณดิจิตอล 18

รูปที่ 3.5 วงจรแปลง 2 ลอจิกไปเป็น 4 ระดับ 19

รูปที่ 3.6 วงจร Positive Feedback Band Pass Filter 20

รูปที่ 3.7 กราฟแสดงความสัมพันธ์ระหว่างความถี่กับ K-pameter
ที่ตัวเก็บประจุค่าต่างๆ 21

รูปที่ 3.8 กราฟแสดงความสัมพันธ์ระหว่าง K-pameter
กับความต้านทานค่าต่างๆ 22

รูปที่ 3.9 วงจรกรองช่วงความถี่ 76.8 kHz 23

รูปที่ 3.10 วงจรกรองช่วงความถี่ 48 kHz 23

รูปที่ 3.11 วงจรกำเนิดสัญญาณพาหะ 76.8 kHz 24

รูปที่ 3.12 วงจรกำเนิดสัญญาณนำร่อง 48 kHz 25

รูปที่ 3.13 วงจรกรองผ่านทั้งหมดชนิด $V_{\circ}$ ล้าหลัง V_{in} 26

รูปที่ 3.14 วงจรเลื่อนเฟสสัญญาณพาหะ 90 องศา 27

รูปที่ 3.15 วงจรบาลานซ์มอดูเลเตอร์ 28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.16 วงจรขยายรวมสัญญาณแบบไม่กลับเฟส 29
รูปที่ 3.17 บล็อกไดอะแกรมที่ใช้ในการออกแบบวงจรทางด้านภาครับ 30
รูปที่ 3.18 วงจรกรองความถี่ช่วง 50-80 kHz 31
รูปที่ 3.19 วงจรกู้สัญญาณนาฬิกา 32
รูปที่ 3.20 วงจรกู้สัญญาณเพาหะ 33
รูปที่ 3.21 วงจรบาลานซ์ดีมอดูเลเตอร์ 34
รูปที่ 3.22 วงจรกรองความถี่ต่ำผ่าน 35
รูปที่ 3.23 วงจรขยายสัญญาณ 4 ระดับ 36
รูปที่ 3.24 วงจรแปลงสัญญาณ 4 ระดับ ไปเป็น 2 ระดับ 37
รูปที่ 3.25 วงจรรวมสัญญาณดิจิตอล 38
รูปที่ 3.26 วงจรภาคส่งส่วนที่ 1 40
รูปที่ 3.27 วงจรภาคส่งส่วนที่ 2 41
รูปที่ 3.28 วงจรภาคส่งส่วนที่ 3 42
รูปที่ 3.29 วงจรภาครับส่วนที่ 1 43
รูปที่ 3.30 วงจรภาครับส่วนที่ 2 44
รูปที่ 3.31 วงจรภาครับส่วนที่ 3 45
บทที่ 4 การทดลองและผลการทดลอง 46
รูปที่ 4.1 แสดงเอาท์พุทของวงจรกำเนิดสัญญาณเมื่อป้อน
รหัส 111001010 (CH1) เปรียบเทียบกับสัญญาณ clock (CH2) 46
รูปที่ 4.2 แสดงเอาท์พุทของวงจรกำเนิดสัญญาณเมื่อป้อน
รหัส11001011 (CH1) เปรียบเทียบกับสัญญาณ clock (CH2) 46
รูปที่ 4.3 แสดงเอาท์ที่ได้จากวงจาแยกสัญญาณดิจิตอล 3 บิท โดยมีช่อง
สัญญาณ I (R1) ช่องสัญญาณ C (R2) และช่องสัญญาณQ (CH1) 47
รูปที่ 4.4 แสดงการเปรียบเทียบระหว่างสัญญาณที่ได้จากวงจรแปลง 2 ลอจิก
เป็น 4 ระดับทางด้านบิทบนคือช่องสัญญาณ I กับ C (CH1)และ
สัญญาณที่ได้จากวงจรแปลง 2 ลอจิกเป็น 4 ระดับทางบิทล่าง
คือช่องสัญญาณ Qกับ C (CH2) 48
รูปที่ 4.5 แสดงบล็อกไดอะแกรมของวงจรเฟสล็อกลูปที่ใช้ในการทดลอง 48
รูปที่ 4.6 แสดงการเปรียบเทียบระหว่างสัญญาณรูปสี่เหลี่ยมเอาท์พุทที่ได้จากเฟส
ล็อกลูปที่มีความถี่ 48 kHz(CH1)กับสัญญาณ clock 9600 Hz (CH2) 49

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.7 แสดงคุณสมบัติของวงจรกรองช่วงความถี่ 48 kHz 49
รูปที่ 4.8 แสดงสัญญาณเอาท์พุทที่ได้จากวงจรกรองช่วงความถี่ 48 kHz
โดยดูจากเครื่องสเปกตรัมอนาไลเซอร์ 50
รูปที่ 4.9 แสดงการเปรียบเทียบระหว่างสัญญาณไซน์เอาท์พุทที่ได้จากวงจรกรอง
ช่วงความถี่ (CH1) สัญญาณ clock ความถี่ 48 kHz (CH2) 50
รูปที่ 4.10 แสดงบล็อกไดอะแกรมของวงจรเฟสล็อกลูปที่ใช้ในการทดลอง 51
รูปที่ 4.11 แสดงการเปรียบเทียบระหว่างสัญญาณรูปสี่เหลี่ยมเอาท์พุทที่ได้จากเฟส
ล็อกลูปที่มีความถี่ 76.8 kHz(CH1)กับสัญญาณ clock 9600 Hz (CH2) 51
รูปที่ 4.12 แสดงคุณสมบัติของวงจรกรองช่วงความถี่ 76.8 kHz 52
รูปที่ 4.13 แสดงสัญญาณเอาท์พุทที่ได้จากวงจรกรองช่วงความถี่ 76.8 kHz
โดยดูจากเครื่องสเปกตรัมอนาไลเซอร์ 52
รูปที่ 4.14 แสดงการเปรียบเทียบระหว่างสัญญาณไซน์เอาท์พุทที่ได้จากวงจรกรอง
ช่วงความถี่ (CH1) สัญญาณ clock ความถี่ 76.8 kHz (CH2) 53
รูปที่ 4.15 แสดงการเปรียบเทียบระหว่างสัญญาณเพาหะที่ได้จากวงจร
เลื่อนเฟส 90 องศา(CH1)กับสัญญาณเพาหะอินพุท 53
รูปที่ 4.16 แสดงสัญญาณเอาท์พุทที่ได้จากวงจรบาลานซ์มอดูเลเตอร์ 54
รูปที่ 4.17 แสดงการเปรียบเทียบระหว่างสัญญาณเอาท์พุทจากวงจรบาลานซ์
มอดูเลเตอร์ทางด้านบิทบน(CH1)กับสัญญาณ 4 ระดับ (CH2) 54
รูปที่ 4.18 แสดงการเปรียบเทียบระหว่างสัญญาณเอาท์พุทจากวงจรบาลานซ์
มอดูเลเตอร์ทางด้านบิทล่าง(CH1)กับสัญญาณ 4 ระดับ (CH2) 55
รูปที่ 4.19 แสดงเฟสเซอร์ไดอะแกรมของสัญญาณ 8-QAMทางภาคส่ง 55
รูปที่ 4.20 แสดงสัญญาณเอาท์พุทที่ได้วงจรขยายรวมสัญญาณโดยที่มีสัญญาณวงจร
บาลานซ์มอดูเลเตอร์ทั้งสองอันและสัญญาณจากวงจรกำเนิดสัญญาณ
นำร่องเทียบเฟสกับสัญญาณพาหะ 56
รูปที่ 4.21 แสดงเฟสเซอร์ไดอะแกรมของสัญญาณ 8-QAMทางภาครับ 56
รูปที่ 4.22 แสดงการเปรียบเทียบระหว่างสัญญาณนาฬิกาทางภาครับ (CH1)
ที่ได้จากวงจรกู้สัญญาณนาฬิกากับสัญญาณนาฬิกาทางภาคส่ง (CH2) 57
รูปที่ 4.23 แสดงการเปรียบเทียบระหว่างสัญญาณพาหะไซน์ทางภาครับ (CH1)
ที่ได้จากวงจรเลื่อนเฟส 0-180 องศากับสัญญาณพาหะไซน์
ทางภาคส่ง (CH2) 57

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.24 แสดงการเปรียบเทียบระหว่างสัญญาณพาหะไซน์ (CH1)
กับสัญญาณพาหะโคไซน์ (CH2) ที่ได้จากวงจรเลื่อนเฟส 90 องศา 58
รูปที่ 4.25 แสดงการเปรียบเทียบระหว่างสัญญาณที่ได้จากวงจรบาลานซ์-
ดีมอดูเลเตอร์ที่ผ่านวงจรกรองความถี่ต่ำผ่านทางด้านอินเฟส
(I กับ C ที่ CH1) 59
รูปที่ 4.26 แสดงการเปรียบเทียบระหว่างสัญญาณที่ได้จากวงจรบาลานซ์-
ดีมอดูเลเตอร์ที่ผ่านวงจรกรองความถี่ต่ำผ่านทางด้านทางด้าน
ควอดราเจอร์ (Q กับ C ที่ CH2) 59
รูปที่ 4.27 แสดงสัญญาณที่ได้จากการแปลงสัญญาณ 4 ระดับ ไปเป็น 2 ระดับ
ซึ่งช่องสัญญาณ C (R1) ช่องสัญญาณ I (CH1) และ
ช่องสัญญาณQ (CH2)โดยที่แต่ละสัญญาณผ่านการถอดรหัสเกรย์โค้ด 60
รูปที่ 4.28 แสดงการเปรียบเทียบระหว่างสัญญาณข้อมูลที่ได้จากภาครับ (CH1)
ที่ได้จากวงจรรวมสัญญาณดิจิตอล กับสัญญาณข้อมูลของภาคส่ง (CH2) 60

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

บทที่ 2 ทฤษฎีหรือหลักการ

ตารางที่ 2.1 แสดงตารางความจริงของ I และQที่เปลี่ยนแปลงเมื่อออกจากวงจรแปลง 2 ลอจิกเป็น 4 ระดับ 3

ตารางที่ 2.2 ตารางแสดงค่าแถบความถี่ที่น้อยที่สุดของรูปแบบการมอดูเลทในรูปแบบต่างๆ 5

ตารางที่ 2.3 ตารางแสดงสรุปข้อแตกต่างของ FSK , PSK และ QAM 6

บทที่ 3 การคำนวณและการสร้าง

ตารางที่ 3.1 แสดงการแปลงรหัสไบนารีไปเป็นรหัสเกรย์ 18

ตารางที่ 3.2 แสดงการเปลี่ยน 2 ลอจิกไปเป็น 4 ระดับ 19

ตารางที่ 3.3 การขยายสัญญาณก่อนเข้าวงจรตรวจระดับสัญญาณ 36

ตารางที่ 3.4 การตรวจจับระดับสัญญาณแล้วแปลงเป็นรหัสเกรย์โค้ด 37

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในระบบการสื่อสารโทรคมนาคมที่ใช้กันอยู่ในปัจจุบัน เราสามารถแบ่งระบบการสื่อสารเป็น 2 ระบบใหญ่ๆ คือ ระบบสื่อสารแบบดิจิตอล (Digital Communication System) และระบบสื่อสารแบบอนาลอก (Analog Communication System) แต่ในปัจจุบันนี้ แนวโน้มของระบบสื่อสารแบบอนาลอกจะมีการใช้งานลดลง เพราะประสบปัญหาทางเทคนิคนานับประการ ทำให้ระบบสื่อสารแบบดิจิตอลมีบทบาทสำคัญมาก ด้วยเหตุผลที่ว่าระบบสื่อสารแบบดิจิตอล ได้ให้ความถูกต้องแม่นยำกว่า จึงมีการใช้งานมากขึ้น อีกทั้งมีความต้องการเพิ่มขึ้นอย่างมากทั้งทางคุณภาพและปริมาณในการใช้งานไม่ว่าจะเป็นการส่งสัญญาณ หรือข้อมูลในระบบต่างๆ เช่น ระบบโทรศัพท์ ระบบสื่อสารผ่านดาวเทียมภาคพื้นดิน หรือระบบสื่อสารดาวเทียมอวกาศ (Aeronuatical or Land Mobile Sattelite System) เป็นต้น จึงจำเป็นที่จะต้องใช้เทคนิคการสื่อสารแบบดิจิตอลที่แม่นยำเพื่อพัฒนาให้ทันกับความต้องการของตลาดการสื่อสารที่เป็นอยู่

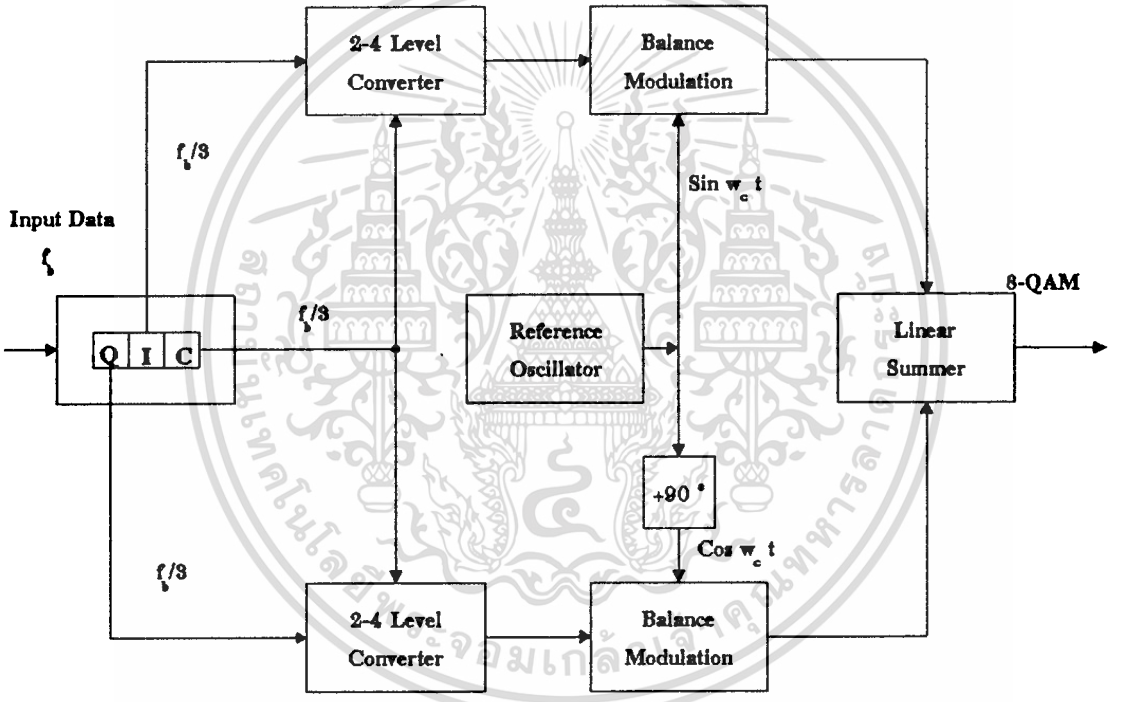
รูปแบบการมอดูเลทสัญญาณดิจิตอลนั้นมีหลายรูปแบบ อาทิเช่น FSK , PSK , BPSK , QPSK , 8-PSK , QAM , 8-QAM , 16-QAM ฯลฯ แต่ในการส่งสัญญาณดิจิตอลนั้น หากเป็นการส่งสัญญาณดิจิตอลที่มีอัตราเร็วสูงๆ จะมีผลทำให้ขนาดของแบนด์วิธ (Bandwidth) ที่กว้างมาก จึงทำให้ไม่เป็นการประหยัดในการใช้ช่องสัญญาณ จึงต้องมีเทคนิคในการลดแบนด์วิธของสัญญาณ ดังนั้นในโครงงานนี้จึงได้นำเสนอวิธีการส่งสัญญาณแบบ 8-QAM (8 Quadrature Amplitude Modulation) ซึ่งมีการเปลี่ยนแปลงของคลื่นพาหะจะมีทั้งเฟสและขนาดรวม 8 ตำแหน่งภายในหนึ่งคาบเวลา ซึ่งทำให้สามารถลดแบนด์วิธได้ถึง 3 เท่าของการส่งสัญญาณและPSK (Phase Shift Keying) ทำให้มีการใช้ช่องสัญญาณอย่างมีประสิทธิภาพเพิ่มขึ้น เพราะสามารถลดขนาดของแบนด์วิธของช่องสัญญาณได้ หรือกล่าวอีกนัยหนึ่งก็คือ สามารถเพิ่มบิทเรท (Bit Rate) ของสัญญาณข้อมูลได้ในขณะที่มีแบนด์วิธเท่าเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีหรือหลักการ

2.1 ควอดราเจอร์แอมปลิจูดมอดูเลชั่น (Quadrature Amplitude Modulation : QAM)

ควอดราเจอร์แอมปลิจูดมอดูเลชั่น เป็นการมอดูเลทสัญญาณดิจิตอลอีกรูปแบบหนึ่ง ซึ่งข้อมูลดิจิตอลจะถูกบรรจุในรูปของแอมปลิจูดและเฟสของสัญญาณพาหะ ซึ่ง ในโครงงานนี้จะเลือกใช้งานแบบ 8-QAM ซึ่งเป็นเทคนิคของการเข้ารหัสแบบ M-ary เมื่อ M = 8 ข้อมูลดิจิตอลถูกแบ่งเป็นกลุ่มละ 3 ($2^3 = 8$) สัญญาณเอาท์พุทจากการมอดูเลทแบบ 8-QAM จะแตกต่างจาก 8-PSK ที่ขนาดของสัญญาณจะมีค่าไม่คงที่ ซึ่งหลักการทำงานของเครื่องส่ง 8-QAM เป็นดังรูปที่ 2.1



รูปที่ 2.1 แสดงบล็อคไดอะแกรมของเครื่องส่ง 8-QAM

จากรูปที่ 2.1 จะเห็นว่า ข้อมูลอินพุทแบบเลขฐานสองจะถูกแบ่งโดยป้อนเข้าช่องต่างๆ 3 ช่อง คือ I , C และ Q บิทเรทในแต่ละช่องสัญญาณมีค่าเป็น 1/3 เท่าของบิทเรทอินพุท ($f_b / 3$) อินพุททั้ง 3 บิทจะถูกส่งแบบอนุกรมเข้าวงจรแยกบิทแล้วถูกส่งออกมาพร้อมๆกันเป็นเอาท์พุทแบบขนานด้วยช่อง I , C และ Q บิเรท I และ Q ทั้งคู่จะถูกป้อนเข้าสู่วงจรแปลง 2 ลอจิกไปเป็น 4 ระดับ โดยที่บิท I และ Q ทั้งคู่นี้จะเป็นตัวกำหนดโพลาริตี้ (polarity) ของเอาท์พุทที่ออกจากวงจรแปลง 2 ลอจิกเป็น 4 ระดับ(ลอจิก “1” เป็น บวก และลอจิก “ 0 ”เป็น ลบ) ส่วนบิท C เป็นตัวกำหนดขนาดของสัญญาณ (สมมุติว่า ให้ ลอจิก “ 1 ” เท่ากับ 1.307 V. และ ลอจิก “ 0 ” เท่ากับ 0.541 V.) ดังแสดงในตารางที่ 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

I/Q	C	Output
0	0	-0.541
0	1	-1.307
1	0	+0.541
1	1	+1.307

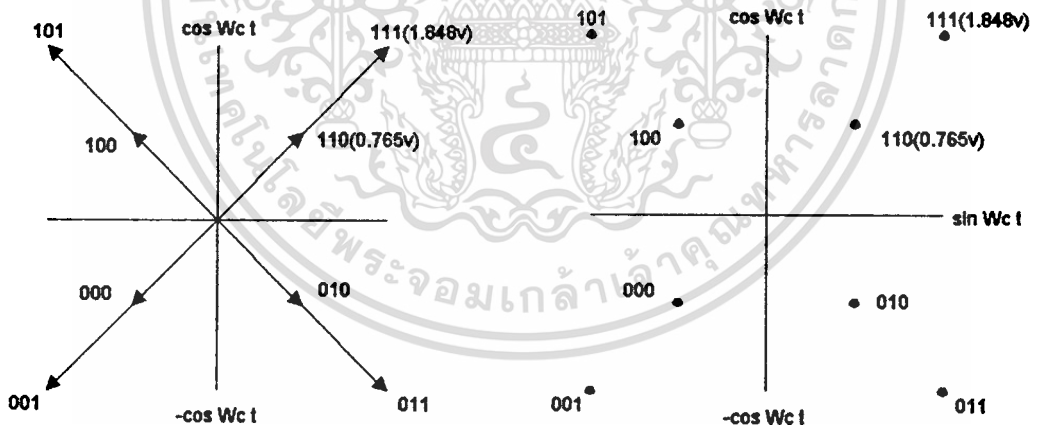
ตารางที่ 2.1 แสดงตารางความจริงของ I และ Q ที่เปลี่ยนแปลงเมื่อออกจากวงจรแปลง 2 ลอจิกเป็น 4 ระดับ

จากตารางที่ 2.1 จะเห็นได้ว่า วงจรแปลง 2 ลอจิกเป็น 4 ระดับ จะสร้างสัญญาณ PAM (Pulse Amplitude Modulation) ได้ 4 สัญญาณ คือมี 2 ขั้ว และ 2 ขนาดที่เป็นไปได้ที่เอาท์พุทของวงจรแปลง 2 ลอจิกเป็น 4 ระดับ และขนาดของสัญญาณ PAM บิท I และ Q จะต้องมีขนาดเท่ากันเสมอ เมื่อนำสัญญาณ PAM ที่ได้นี้เข้าไปมอดูเลทกับสัญญาณพาหะอินเฟส(Inphase)และสัญญาณพาหะควอดราเจอร์เฟส (Quadrature Phase) ด้วยวงจรคูณสัญญาณ ดังนั้นผลที่ได้จะมีเอาท์พุทสำหรับวงจรคูณแต่ละวงจร ดังนี้ วงจรคูณสัญญาณบิท I มีค่าเป็น +0.541sin w_o t , +1.307sin w_o t , - 0.541sin w_o t และ - 1.307sin w_o t ส่วนวงจรคูณสัญญาณบิท Q มีค่าเป็น +0.541 cos w_o t , +1.307cos w_o t , - 0.541 cos w_o t และ - 1.307 cos w_o t และเมื่อนำผลลัพธ์ที่ได้จากวงจรคูณสัญญาณบิท I และQ ไปรวมกันที่วงจรรวมสัญญาณแบบเชิงเส้นจะทำให้ได้เอาท์พุทถึง 8 รูปแบบ สำหรับ 8-QAM เพราะมีการส่งกลุ่มรหัส 3 บิท(tribit) ด้วยกันถึง 8 ตัว คือ 000 , 001 , 010 , 011 , 100 , 101 , 110 และ 111 ดังแสดงในรูปที่ 2.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Binary input			QAM output	
Q	I	C	Amplitude	Phase
0	0	0	0.765V	-135^0
0	0	1	1.848V	-135^0
0	1	0	0.765V	-45^0
0	1	1	1.848V	-45^0
1	0	0	0.765V	$+135^0$
1	0	1	1.848V	$+135^0$
1	1	0	0.765V	$+45^0$
1	1	1	1.848V	$+45^0$

(a)

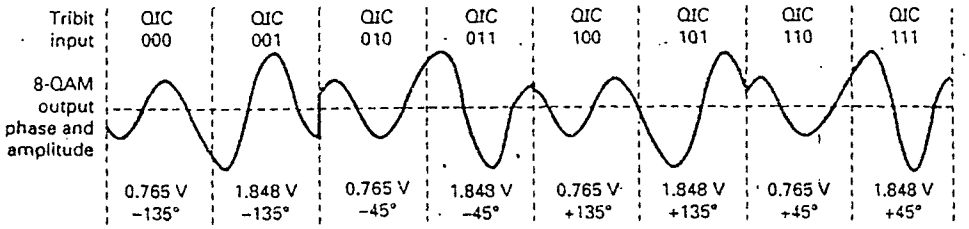


(b) (c)

รูปที่ 2.2 8-QAM มอดูเลเตอร์ (a) ตารางการทำงาน (b) เฟสเซอร์ไดอะแกรม(PhaseDiagram) (c) คอนสตีลเลชั่น (Constellation Diagram)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตารางในรูปที่2.2 (a) สามารถเขียนสัญญาณเอาท์พุทที่แสดงความสัมพันธ์ระหว่างเฟสกับเวลาของการมอดูเลทแบบ 8-QAM ดังรูปที่ 2.4



รูปที่ 2.3 แสดงความสัมพันธ์ระหว่างขนาดและเฟสของสัญญาณเอาท์พุทแบบ 8-QAM

2.2 ประสิทธิภาพของแถบความถี่ (Bandwidth Efficiency)

ประสิทธิภาพของแภบความถี่ หรือความหนาแน่นของข้อมูล ถูกใช้เปรียบเทียบการทำงานของเทคนิคการมอดูเลทกับแบบอื่นๆ สิ่งที่สำคัญก็คือ อัตราส่วนของบิทเรทในการส่งกับแถบความถี่ที่น้อยที่สุดที่ต้องการ สำหรับการมอดูเลทที่ต้องการความละเอียดประสิทธิภาพของแถบความถี่มักถูกจัดให้เป็น 1 เฮิรตซ์ เพื่อทำให้สามารถแยกจำนวนบิทที่สามารถส่งผ่านอุปกรณ์สำหรับแถบความถี่แต่ละเฮิรตซ์ได้ เราสามารถเขียนสมการประสิทธิภาพของแถบความถี่ได้เป็น

$$\text{ประสิทธิภาพของแถบความถี่ (BW efficiency)} = \frac{\text{อัตราเร็วในการส่ง (bps)}}{\text{แถบความถี่ที่น้อยที่สุด(Hz)}} \quad \text{....(2.1)}$$

$$= \text{บิท / ไซเคิล}$$

การหาประสิทธิภาพของแถบความถี่สำหรับการมอดูเลทแบบ BPSK , QPSK , 8-PSK และ 16-QAM ซึ่งแถบความถี่ที่น้อยที่สุดที่ใช้ในการส่งสัญญาณที่มีอัตราการส่ง 10 Mbps ด้วยการมอดูเลทในรูปแบบต่างๆสามารถแสดงได้ดังตารางที่ 2.2

รูปแบบการมอดูเลท	แถบความถี่น้อยสุด (MHz)
BPSK	10
QPSK	5
8-PSK	3.33
16-QAM	2.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.2 ตารางแสดงค่าแถบความถี่ที่น้อยที่สุดของรูปแบบการมอดูเลทในแบบต่างๆ

เมื่อแทนค่าต่างๆจากตารางลงในสมการ (2.1) จะได้ค่าประสิทธิภาพแถบความถี่ดังนี้

BPSK : BW efficiency = 10 Mbps/ 10 MHz = 1 bps/ Hz = 1 บิท/ไซเคิล

QPSK : BW efficiency = 10 Mbps / 5 MHz = 2 bps/ Hz = 2 บิท/ไซเคิล

8-PSK : BW efficiency = 10 Mbps/ 3.33 MHz = 3 bps/ Hz = 3 บิท/ไซเคิล

16-QAM : BW efficiency = 10 Mbps/ 2.5 MHz = 1 bps/ Hz = 4 บิท/ไซเคิล

ผลที่ได้แสดงให้เห็นว่า BPSK มีประสิทธิภาพต่ำที่สุด และ 16-QAM มีประสิทธิภาพสูงที่สุด และQPSK ต้องการเพียง1/2 ของแถบความถี่ที่ใช้ใน BPSK ในอัตราบิทเรทอินพุทที่เท่ากัน และสรุปข้อแตกต่างของ FSK , PSK และQAM ได้ดังตารางที่ 2.3

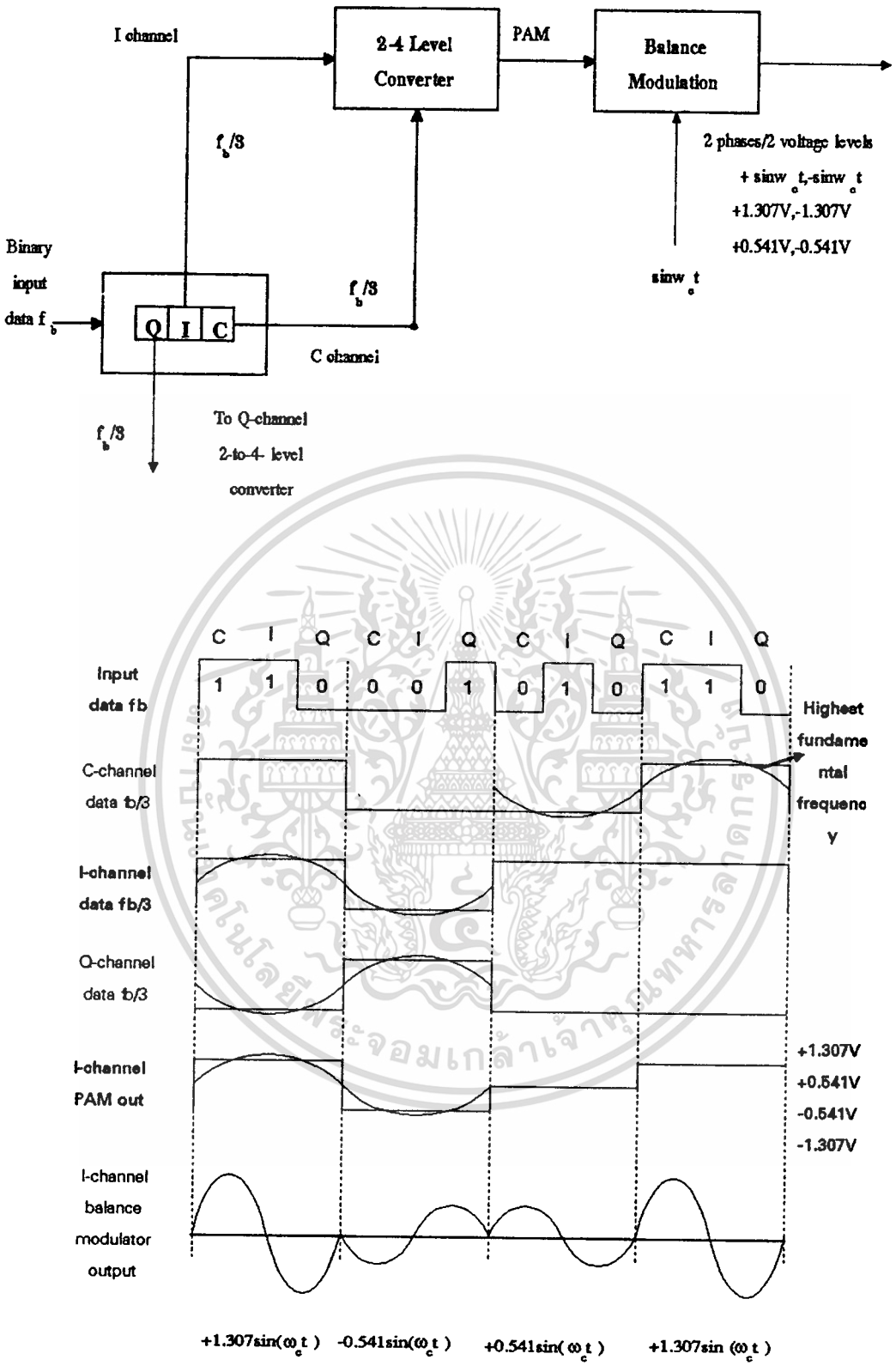
รูปแบบการมอดูเลท	การเข้ารหัส	แบนด์วิธ(Hz)	อัตราเร็ว	ประสิทธิภาพแถบความถี่ (bps/Hz)
FSK	Single bit	$\geq f_b$	f_b	≤ 1
BPSK	Single bit	f_b	f_b	1
QPSK	Dibit	$f_b/2$	$f_b/2$	2
8-PSK	Tribit	$f_b/3$	$f_b/3$	3
8-QAM	Tribit	$f_b/3$	$f_b/3$	3
16-PSK	Quadbit	$f_b/4$	$f_b/4$	4
16-QAM	Quadbit	$f_b/4$	$f_b/4$	4

ตารางที่ 2.3 ตารางแสดงสรุปข้อแตกต่างของ FSK , PSK และQAM

2.3 การพิจารณาแถบความถี่ของ 8-QAM

สัญญาณ 8-QAM จะมีบิทเรทในช่องสัญญาณ I C และ Q เท่ากับ 1/3ของอัตราการส่งสัญญาณไบนารีอินพุท($f_b/3$)เพราะข้อมูลถูกแบ่งออกเป็น 3 ช่องสัญญาณที่ออกมาพร้อมกันในขณะที่ขนานกันอยู่จะเห็นการเปลี่ยนแปลงความถี่ของสัญญาณทั้ง 3ได้จากสัญญาณก่อนเข้าวงจรแปลง 2 ลอจิกไปเป็น 4 ระดับเหมือนกับสัญญาณ 8-PSK ดังรูปที่ 2.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 แสดงการพิจารณาแบนด์วิธของสัญญาณ 8-QAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.4 จะแสดงความสัมพันธ์ระหว่างข้อมูลอินพุทไบนารี่ ข้อมูลในช่องสัญญาณ I C และQ และสัญญาณ PAM บนช่องสัญญาณ I และQ จะเห็นว่าความถี่พื้นฐาน(Fundamental Frequency) ในช่องสัญญาณ I C และQ ในการมอดูเลทสัญญาณมีค่าสูงสุดเท่ากับ 1/6 ของอัตราส่งสัญญาณไบนารีอินพุท ดังนั้นความถี่พื้นฐานสูงสุดในแต่ละสัญญาณ PAM จะมีค่าเท่ากับ 1/6 ของอัตราส่งสัญญาณไบนารีอินพุท

สำหรับเครื่องมอดูเลทสัญญาณ 8-QAM จะมีการเปลี่ยนแปลงเฟสที่เอาท์พุททุกๆ 3 บิทของข้อมูลอินพุทที่เข้ามา ดังนั้นอัตราเร็ว (baud rate) ของสัญญาณ 8-QAM เท่ากับ $f_b/3$ซึ่งเป็นค่าแบนด์วิธที่น้อยที่สุดที่สัญญาณ 8-QAM ต้องการ ซึ่งก็จะคล้าย 8-PSK นอกจากนั้นวงจรบาลานซ์มอดูเลเตอร์จะทำการมอดูเลทสัญญาณพาหะกับสัญญาณ PAM สามารถแสดงในรูปสมการทางคณิตศาสตร์ได้ดังนี้

$$\theta = (X \sin \omega_a t)(\sin \omega_c t) \quad \ldots (2.2)$$

เมื่อ $\omega_a t = 2\pi(f_b/6)t$ คือ สัญญาณมอดูเลท (Modulating signal)

$\omega_c t = 2\pi f_c t$ คือ สัญญาณพาหะ (Carrier Signal)

และ X เท่ากับ +1.307 , -1.307 หรือ +0.541 , -0.541

ดังนั้น $\theta = (X \sin 2\pi(f_b/6)t)(\sin 2\pi f_c t)$

$= (X/2) \cos 2\pi\{f_c - (f_b/6)t\} - (X/2) \cos 2\pi\{f_c + (f_b/6)t\}$

สเปคตรัมความถี่ คือ $f_c - (f_b/6)$ ถึง $f_c + (f_b/6)$ และแบนด์วิธต่ำสุด (f_N) คือ

$$\{ f_c + (f_b/6) \} - \{ f_c - (f_b/6) \} = 2(f_b/6) = f_b/3$$

ซึ่งจะเห็นได้ว่าจะมีแบนด์วิธต่ำสุดของสัญญาณ 8-QAM เท่ากับ $f_b/3$ ซึ่งมีเหมือนกับสัญญาณ 8-PSK

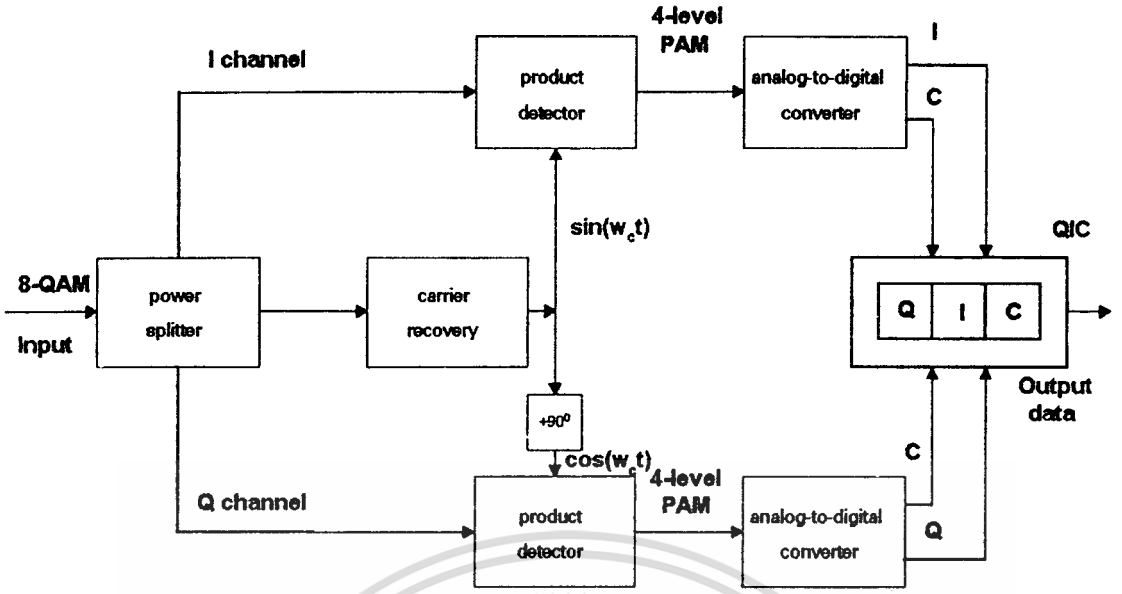
2.4 เครื่องรับ 8-QAM

วงจร 8-QAM ทางภาครับนั้นคล้ายกับวงจร 8-PSK ทางภาครับที่แสดงได้ดังรูปที่ 2.5 แต่มีข้อแตกต่างตรงที่ สัญญาณ PAM ที่เอาท์พุทของวงจรโพดักดีเทคเตอร์ และที่สัญญาณไบนารีที่เอาท์พุทของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

การที่ 8-QAM จะมีการส่งค่าแอมปลิจูดที่แตกต่างกัน 2 ค่าซึ่งเป็นข้อแตกต่างที่สำคัญระหว่าง 8-QAM และ 8-PSK สัญญาณ 4 ระดับของ 8-QAM ที่ทำการดีมอดูเลทออกมานั้นจะแตกต่างกับ 8-PSK และสัญญาณไบนารีเอาท์พุทของช่องสัญญาณ I นั้นเป็นบิท I และ C ไบนารีเอาท์พุทของช่องสัญญาณ Q นั้นเป็นบิท Q และ C

จากรูปที่2.5 แสดงบล็อคไดอะแกรมทางเครื่องรับ 8-QAM โดยที่ สัญญาณ 8-QAM ที่เข้ามาทางภาครับจะถูกแยกออกไปช่องสัญญาณ I และ Q และเข้าวงจรโพดักดีเทคเตอร์ และสัญญาณอีกส่วนหนึ่งจะถูกส่งไปยังวงจรกู้สัญญาณพาหะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 แสดงบล็อคไดอะแกรมของเครื่องรับ 8-QAM

วงจรกู้สัญญาณพาหะจะทำการสร้างสัญญาณพาหะขึ้นมาใหม่ให้เหมือนหรือคล้ายกับสัญญาณพาหะทางภาคส่งมากที่สุด สัญญาณ 8-QAM ที่เข้ามาจะถูกรวมกับสัญญาณพาหะที่กู้ได้ที่วงจรโพดักดีเทคเตอร์ เอาท์พุทของวงจรนี้ที่เป็นสัญญาณ 4 ระดับแบบ PAM จะถูกส่งต่อไปยังวงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิท เอาท์พุทของช่องสัญญาณ I นั้นจะเป็นบิท I และ C ไบนารีเอาท์พุทของช่องสัญญาณ Q นั้นจะเป็นบิท Q และ C จากนั้นทั้ง 2 ช่องสัญญาณ จะถูกส่งไปในวงจรแปลงสัญญาณขนานเป็นสัญญาณอนุกรม ซึ่งเอาท์พุทของวงจรนี้จะเป็นสัญญาณอนุกรมออกไปเหมือนกับทางภาคส่ง

2.5 วงจรกรองความถี่แบบแอกทีฟ(Active filter)

ฟิลเตอร์แบ่งออกได้เป็นหลายรูปแบบ ดังนี้

1) ฟิลเตอร์ชนิดอนาลอกหรือดิจิตอล

2) ฟิลเตอร์แบบแอกทีฟหรือพาสซีฟ

3) ฟิลตอร์ย่านความถี่เสียง(Audio frequency)หรือย่านความถี่วิทยุ(Radio frequency)

ฟิลเตอร์แบบอนาลอกออกแบบมาเพื่อใช้กับสัญญาณแบบอนาลอก ส่วนฟิลเตอร์แบบดิจิตอลใช้งานกับสัญญาณดิจิตอลโดยอาศัยเทคนิคทางอนาลอกเข้าช่วย แต่ถ้าคำนึงถึงชิ้นส่วนที่นำมาประกอบกันเป็นวงจรฟิลเตอร์นั้นก็สามารถแบ่งได้เป็นสองชนิดคือแบบแอกทีฟกับแบบพาสซีฟ ซึ่งชิ้นส่วนที่ใช้ในวงจรฟิลเตอร์แบบพาสซีฟนั้นได้แก่ ตัวต้านทาน ตัวเก็บประจุ ตัวลวดเหนี่ยวนำ ส่วนวงจรกรองความถี่แบบแอกทีฟนั้นจะอยู่ในรูปออปแอมป์ ตัวต้านทาน และตัวเก็บประจุ ทำงานร่วมกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับตัวต้านทาน ตัวเก็บประจุ และตัวลวดเหนี่ยวนำถือได้ว่าเป็นชิ้นส่วนประเภทพาสซีฟ การเลือกใช้ชิ้นส่วนใดชิ้นส่วนหนึ่งนั้นก็จะขึ้นอยู่กับย่านความถี่ของสัญญาณที่ต้องการให้วงจรฟิลเตอร์ทำงาน ยกตัวอย่างวงจร ฟิลเตอร์แบบ RC (RC filter) ที่ใช้งานกับย่านความถี่ต่ำหรือความถี่เสียง ในขณะที่วงจรฟิลเตอร์แบบ LC (LC filter) จะใช้ในย่านความถี่สูงหรือย่านความถี่วิทยุนั่นเอง

สำหรับวงจรกรองความถี่แบบแอกทีฟเป็นวงจรกรองความถี่ชนิดหนึ่งที่ยอมให้ความถี่ค่าคงที่หรือมีค่าอยู่ในช่วงใดช่วงหนึ่งผ่านได้ โดยวงจรจะประกอบด้วยตัวต้านทาน ตัวเก็บประจุ และออปแอมป์ และประโยชน์ที่ได้รับจากวงจรนี้คือ

1) การสูญเสียน้อย ทั้งนี้เนื่องจากออปแอมป์สามารถเลือกการกำหนดความถี่ได้

2) ราคาถูก โดยเฉลี่ยแล้ววงจรกรองความถี่แบบแอกทีฟ(Active) จะมีราคาถูกกว่าวงจรกรองความถี่แบบพาสซีฟ (Passive Filter) ทั้งนี้เนื่องจากวงจรกรองแบบพาสซีฟจะต้องใช้ขดลวดอินดักเตอร์ (Inductor)มาประกอบร่วมกัน ซึ่งมีราคาแพง และหาซื้อยาก

3) การปรับความถี่ได้กว้าง วงจรกรองแบบแอกทีฟจะง่ายต่อการปรับความถี่ให้อยู่ในช่วงที่กว้างตามความต้องการได้โดยปราศจากการดัดแปลงแก้ไขวงจร

4) มีการแยกอินพุท/เอาท์พุท ผลลัพธ์จากการนำออปแอมป์มาประกอบเป็นวงจรกรองแบบแอกทีฟ ทำให้อินพุท/เอาท์พุทแยกออกจากกันได้ ทั้งนี้เนื่องจากทางด้านอินพุทของวงจรกรองแบบแอกทีฟ จะมีค่าอิมพีแดนซ์ด้านอินพุทสูงและอิมพีแดนซ์ด้านเอาท์พุทต่ำ จึงทำให้ไม่เกิดปฏิกิริยาต่อกันระหว่างวงจรกรองแบบแอกทีฟกับแหล่งจ่ายกำลังและวงจรกรองแบบแอกทีฟกับโหลด

แต่อย่างไรก็ตาม ข้อจำกัดการใช้งานของวงจรกรองแบบแอกทีฟ ก็ยังกลายเป็นผลเสีย ดังต่อไปนี้

(ก) ความถี่ตอบสนอง (Frequency Response) มีค่าขึ้นอยู่กับ ชนิดของออปแอมป์ที่นำมาประกอบเป็นวงจร

(ข) แรงดันแหล่งจ่ายกำลังสำหรับวงจรกรองแบบแอกทีฟ ขนาดแรงดันของแหล่งจ่ายกำลังจะไม่เหมือนกับวงจรกรองแบบพาสซีฟ ทั้งนี้เนื่องจากแรงดันแหล่งจ่ายกำลังของวงจรกรองแบบแอกทีฟและมีค่าขึ้นอยู่กับแรงดันจ่ายกำลังที่ป้อนเข้าออปแอมป์ ดังนั้นจึงกลายเป็นข้อจำกัด

แอกทีฟฟิลเตอร์สามารถแบ่งตามลักษณะการทำงานได้ 5 ชนิด คือ

1) โลพาสฟิลเตอร์ (Low Pass Filter : LPF)

2) ไฮพาสฟิลเตอร์ (High Pass Filter : HPF)

3) แบนด์พาสฟิลเตอร์ (Band Pass Filter : BPF)

4) แบนด์รีเจคท์ หรือแบนด์สต็อบฟิลเตอร์ (Band Reject or Band Stop Filter : BSF)5) ออลพาสฟิลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การตอบสนองความถี่(Frequency Response) ของฟิลเตอร์ทั้ง 5 ชนิดแสดงได้ดังรูปที่ 2.5 เส้นประแสดงถึง การตอบสนอง (Response) ที่เป็นอุดมคติ ในทางทฤษฎี ส่วน กราฟการตอบสนอง (Response Curve) ในทางปฏิบัติแสดงด้วยเส้นทึบ

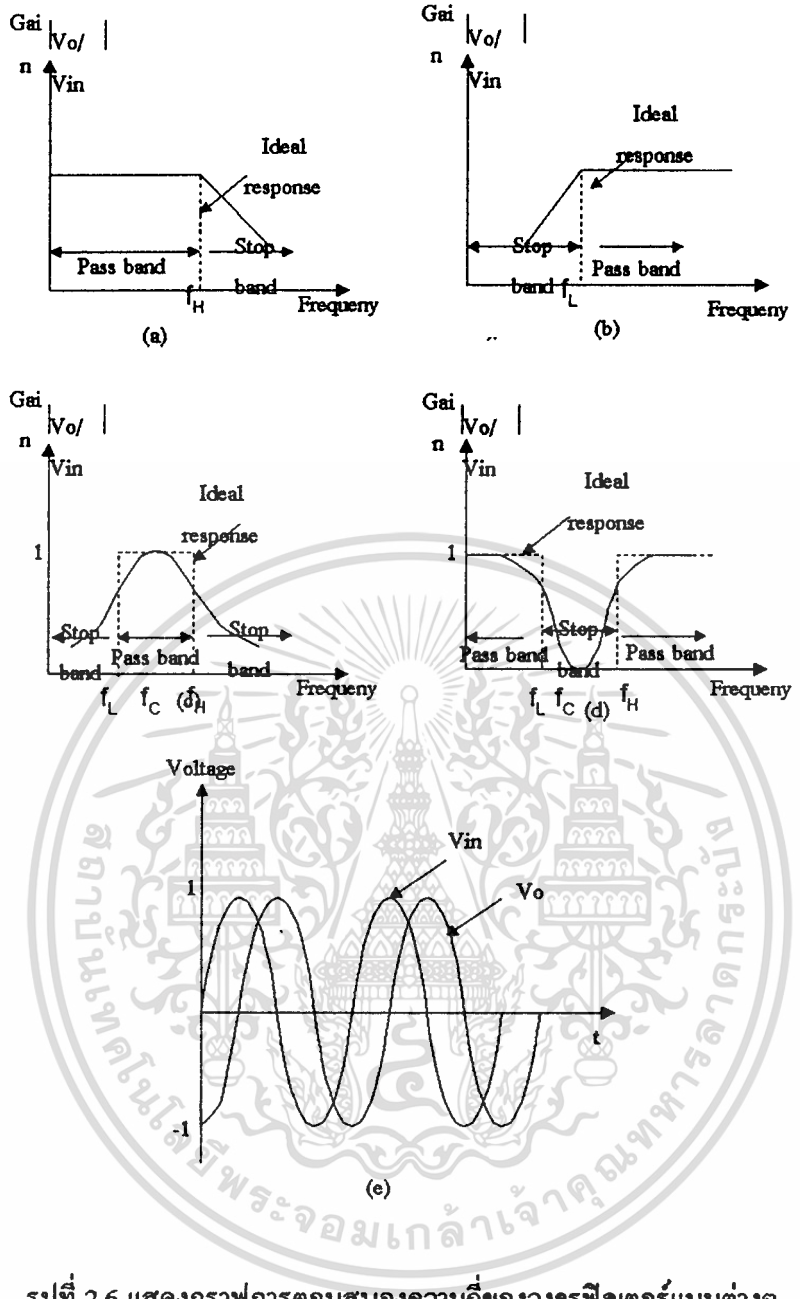
รูปที่ 2.6 (a) แสดงการตอบสนองความถี่ของวงจรโลพาสฟิลเตอร์ มีขนาดของเกน (gain) คงที่ จากความถี่ 0 เฮิรตซ์ ถึงความถี่ไฮคัทออฟ (High Cutoff Frequency: f_H) ค่าของแบนด์วิธจึงเท่ากับ f_H ที่ f_H หรือ ตำแหน่งความถี่ไฮคัทออฟนั้นค่าเกนจะลดลง 3 เดซิเบล (dB)และที่ความถี่มากกว่า f_H นั่นคือ ที่ $f > f_H$ อัตราการขยาย หรือเกนของวงจร ก็จะลดลงทุกขณะอย่างต่อเนื่อง ตามความถี่สัญญาณอินพุทที่เพิ่มขึ้น ช่วงความถี่ระหว่าง 0-f_H เราเรียกว่า พาสแบนด์ (Pass Band) ส่วนช่วงความถี่ที่สูงกว่า f_H ขึ้นไป ซึ่งเกิดการลดทอนลงของสัญญาณทุกขณะ เราเรียกว่า สต๊อปแบนด์ (Stop Band) จากการตอบสนองที่เป็นอุดมคติในเส้นประ แสดงให้เห็นว่า ฟิลเตอร์ที่เป็รอุดมคติ จะมีการลดทอนเป็นศูนย์ ตลอดช่วงพาสแบนด์ และมีการลดทอนเป็นอนันต์ในช่วงสต๊อปแบนด์ แต่สภาพความเป็นจริงในทางปฏิบัติมิได้เป็นเช่นนั้น เพราะโครงข่ายวงจรชนิดเชิงเส้น (Linear Network) ไม่สามารถสร้างคุณสมบัติของความไม่ต่อเนื่องขึ้นได้ อย่างไรก็ตามเราอาจสร้างกราฟการตอบสนองในทางปฏิบัติ ตามเส้นทึบ ให้ใกล้เคียงกับการตอบสนอง ที่เป็นอุดมคติตามเส้นประได้เช่นกัน โดยอาศัยเทคนิคการออกแบบวงจรเป็นพิเศษเข้าช่วยประกอบวงจร ด้วยชิ้นส่วนอุปกรณ์ เช่น รีซิสเตอร์ และ คาปาซิสเตอร์ ที่มีค่าถูกต้องแม่นยำ หรือ มีค่าผิดพลาดน้อยที่สุด และใช้ออปแอมป์ชนิด ไฮสปีด (High Speed)

รูปแบบของฟิลเตอร์ที่นิยมนำมาใช้กันมากในทางปฏิบัติ ซึ่งให้กราฟการตอบสนองประมาณใกล้เคียงทฤษฎี ได้แก่ รูปแบบบัทเตอร์เวิร์ธ (Butterworty) เชฟบีเชฟ (Chebyshev) และคอร์ (Caur) ซึ่งแต่ละรูปแบบมีคุณสมบัติลักษณะประจำตัวแตกต่างกันไป บัทเตอร์เวิร์ธฟิลเตอร์ ให้คุณลักษณะของทั้งพาสแบนด์ และสต๊อปแบนด์ในลักษณะค่อนข้างเรียบ บางโอกาสจึงเรียกว่า แฟลทฟิลเตอร์ (Flat Filter) สำหรับเชฟบีเชฟฟิลเตอร์มีคุณลักษณะพาสแบนด์ และสต๊อปแบนด์เป็นริปเปิ้ล (Ripple) ทั้งคู่ ซึ่งการออกแบบและยุ่งยากของวงจรก็แตกต่างกันไปตามลักษณะการใช้งาน

รูปที่ 2.6 (b) เป็นกราฟการตอบสนองของไฮพาสฟิลเตอร์ เมื่อให้ f เป็นความถี่ใดๆ และ f_L เป็น โลคัทออฟฟรีเควนซี (Low Cutoff Frequency) แล้ว ช่วงสต๊อปแบนด์จะอยู่ที่ความถี่ $0 < f < f_L$ และช่วงพาสแบนด์อยู่ที่ $f > f_L$

รูปที่ 2.6 (c) แสดงการตอบสนองความถี่ของวงจรแบนด์พาสฟิลเตอร์ ช่วงพาสแบนด์อยู่ระหว่างสองความถี่คัทออฟ ได้แก่ ไฮคัทออฟฟรีเควนซี (f_H) และโลคัทออฟฟรีเควนซี (f_L) ซึ่งเป็นตำแหน่งที่เกนลดลง 3 dB และช่วงสต๊อปแบนด์มีสองช่วงที่ $0 < f < f_H$ กับ $f > f_H$ โดยที่ $f > f_H$ เป็นค่าแบนด์วิธของของแบนด์พาสฟิลเตอร์เท่ากับ $f_H - f_L$ และเซ็นเตอร์ฟรีเควนซี (Center Frequency) อยู่ที่ความถี่ f_o ปรากฏที่ตำแหน่งกึ่งกลางช่วงพาสแบนด์เกน (Pass Band Gain) พอดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 แสดงกราฟการตอบสนองความถี่ของวงจรฟิลเตอร์แบบต่างๆ

รูปที่ 2.6 (d) แสดงการตอบสนองของแบนด์รีเจคฟิลเตอร์ มีกราฟคุณลักษณะตรงข้ามกับแบนด์พาสฟิลเตอร์ กล่าวคือ ช่วงสต๊อปแบนด์อยู่ระหว่างความถี่คัทออฟสองจุด คือ f_H กับ f_L และมีช่วงพาสแบนด์สองช่วงอยู่ระหว่างความถี่ $f > f_H$ และ $0 < f < f_L$ อาจเรียกแบนด์รีเจคฟิลเตอร์ว่า แบนด์สต๊อปฟิลเตอร์หรือแบนด์อลิมิเนชั่นฟิลเตอร์ (Band Elimination Filter) ก็ได้ ค่าแบนด์วิธของสต๊อปแบนด์เท่ากับ $f_H - f_L$ และตำแหน่งกึ่งกลางของช่วงสต๊อปแบนด์เป็นความถี่เซ็นเตอร์ฟรีเควนซี หรือ fc

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.6 (c) แสดงเฟสชิป (Phase Shift) ระหว่างอินพุทโวลเตจ (V_{in}) กับเอาท์พุทโวลเตจ (V_o) ของออลพาสฟิลเตอร์ มีคุณสมบัติในการให้สัญญาณทุกความถี่ผ่านได้เท่าๆกัน กล่าวคือ ให้ V_o เท่ากับ V_{in} ในทุกความถี่ โดยปรากฏเฟสชิปขึ้นระหว่าง V_o กับ V_{in} ในบางความถี่ แต่ค่าความถี่สูงสุดซึ่ง V_o กับ V_{in} ยังคงมีขนาดเท่ากัน ขึ้นอยู่กับคุณสมบัติยูนิตี้เกนแบนด์วิธ (Unity Gain Bandwidth) ของออปแอมป์ ที่ความถี่นี้เฟสชิปที่เกิดขึ้นระหว่าง V_o กับ V_{in} จะมีค่าสูงสุด

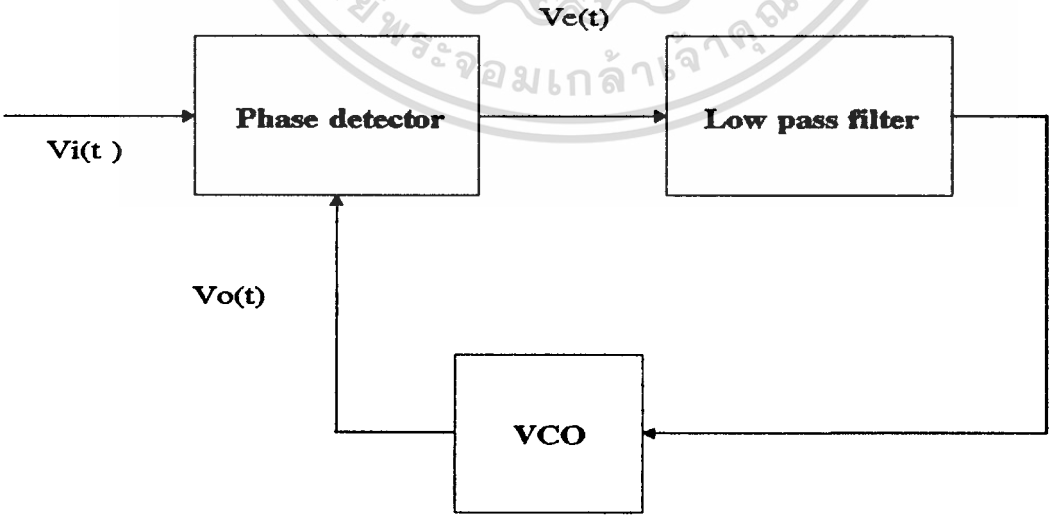
2.6 เฟสล็อกลูป (Phase Lock Loop : PLL)

เฟสล็อกลูปเป็นอิเล็กทรอนิกส์เซอร์โว ซึ่งสามารถควบคุมออสซิเลเตอร์ให้ผลิตความถี่ล็อกหรือซิงค์กับความถี่ที่เข้ามา เมื่อเฟสของความถี่จากออสซิเลเตอร์เปลี่ยน แสดงว่าสัญญาณที่เข้ามามีความถี่เปลี่ยนไป เอาท์พุทจากดีเทคเตอร์ (Phase Detecter) จะมีค่าเพิ่มขึ้นหรือลดลง ควบคุมให้ออสซิเลเตอร์ผลิตความถี่ให้ตรง และล็อกกับสัญญาณที่เข้ามา อาทิเช่น หากสัญญาณที่เข้ามาเป็นเอฟเอ็ม (Frequency Modulation) แล้วเอาท์พุทที่ได้จากเฟสดีเทคเตอร์ผ่านโลพาสฟิลเตอร์จะเป็นสัญญาณที่ทำการดีมอดูเลท (demodulate) นั่นเอง

ในปัจจุบันด้วยการพัฒนาทางด้านเซมิคอนดักเตอร์ทำให้วงจรเฟสล็อกลูปที่ซับซ้อนสามารถที่จะบรรจุอยู่ในไอซีเล็กๆเพียงตัวเดียว เมื่อใช้งานก็เพียงต่ออุปกรณ์ภายนอกไม่กี่ตัว ทำให้ง่าย สะดวก และประหยัดหลายประการ

2.6.1 หลักการของเฟสล็อกลูป

หลักการเบื้องต้นของเฟสล็อกลูปก็จะมาจากระบบการป้อนกลับ ซึ่งประกอบด้วย ส่วนที่สำคัญ 3 ส่วน ดังบล็อกไดอะแกรม ในรูปที่ 2.7 คือ เฟสดีเทคเตอร์ โลพาสฟิลเตอร์ และโวลท์เตจคอนโทรลออสซิเลเตอร์ (Voltage Control Oscillator : VCO)



รูปที่ 2.7 แสดงบล็อกไดอะแกรมของวงจรเฟสล็อกลูป

เอกสารนี้เป็นเอกสารที่ [illegible] ได้รับอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในขณะที่ไม่มีสัญญาณป้อนเข้ามาเข้า V_d จะเท่ากับศูนย์ และ VCO จะผลิตความถี่แบบที่เรียกว่า ฟรีรันนิ่ง (Free Running)เท่ากับ f_o เมื่อมีอินพุท V_i ป้อนเข้ามามีความถี่เท่ากับ f_i วงจรเฟสดีเทคเตอร์จะทำหน้าที่เปรียบเทียบเฟสและความถี่ของสัญญาณที่เข้ามากับสัญญาณที่ VCO

ถ้า f_i และ f_o แตกต่างกันจะได้ V_e (Error Voltage) จากเอาท์พุทของเฟสดีเทคเตอร์ผ่านโลพาสฟิลเตอร์ เป็น V_d ไปเข้า VCO ปรับความถี่ f_o ให้เท่ากับ f_i และเมื่อf_o เท่ากับ f_i ก็คือสภาวะล็อก หรือซิงค์ เอาท์พุทจากเฟสดีเทคเตอร์ V_e จะเป็นศูนย์และ V_d ก็จะเป็นศูนย์ด้วย

ในเรื่องเฟสล็อกลูปนี้จะมีคำที่มักเข้าใจผิดหรือสับสนกันบ่อยๆคือคำว่า ล็อกเรนจ์ (Lock Range) กับคำว่าแคปเจอร์เรจน์ (Capture Range) ซึ่งมีความหมายแตกต่างกันดังนี้

ล็อกเรนจ์ หมายถึงย่านความถี่ที่ใกล้เคียงกับ f_o ซึ่งเฟสล็อกลูปยังสามารถล็อกสัญญาณที่เข้ามา ค่าของล็อกเรนจ์จะลดลง เมื่ออัตราขยายทั้งหมดของเฟสล็อกลูปลดลง

แคปเจอร์เรนจ์ หมายถึงบริเวณแถบความถี่ที่ใกล้เคียงกับ f_o ที่เฟสล็อกลูปเริ่มล็อกกับสัญญาณที่เข้ามา ค่าแคปเจอร์เรนจ์ขึ้นอยู่กับแบนด์วิธของโลพาสฟิลเตอร์ คือจะลดลงหากแบนด์วิธแคบ และโดยปกติค่าแคปเจอร์เรนจ์จะมีค่าน้อยกว่าค่าล็อกเรนจ์

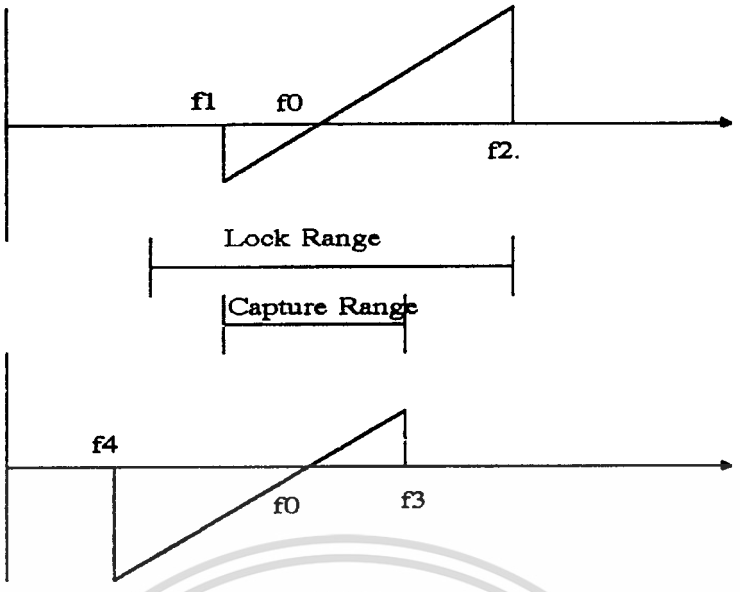
เพื่อให้เข้าใจคำว่า ล็อกเรนจ์ และแคปเจอร์เรนจ์ง่ายขึ้นลองพิจารณาจากรูปที่ 2.8 ซึ่งแสดงถึงคุณลักษณะระหว่างความถี่ กับค่าโวลท์เตจที่ผิดพลาดของเฟสล็อกลูปดังรูป 2.8 จากส่วนบนของรูปที่ 2.8 สมมุติว่าสัญญาณที่เข้ามามีความถี่ค่อยๆเปลี่ยนไปจากต่ำไปสูง ตอนแรกจะยังไม่มีอะไรเกิดขึ้น และ V_d เท่ากับศูนย์ จนกระทั่งความถี่ของสัญญาณที่เข้ามา f_i ซึ่งเป็นความถี่ต่ำสุดของแคปเจอร์เรนจ์ ทำให้เฟสล็อกลูปเริ่มล็อกกับ f_i และ V_d มีค่าเป็นลบ เพื่อปรับVCO ให้ f_o เท่ากับ f_i แต่ในที่นี้เราสมมุติว่า f_i เปลี่ยนไปเรื่อยๆซึ่งจะทำให้ค่าของ V_d เป็นลบน้อยลงจนกระทั่ง f_i เท่ากับ f_o ทำให้ V_d เท่ากับศูนย์ จากนั้น V_d จะเริ่มเป็นบวกและมากขึ้นเรื่อยๆจนกระทั่ง f_i เท่ากับ f_2 ซึ่งเป็นความถี่สูงสุดของล็อกเรนจ์ จะทำให้หลุดจากการล็อก และV_d เท่ากับศูนย์

ในทางกลับกัน ถ้า f_i เปลี่ยนจากสูงลงมาต่ำ ให้พิจารณารูปที่ 2.8 ส่วนล่างของเฟสล็อกลูปเมื่อ f_i เท่ากับ f_3 ซึ่งมีค่าสูงสุดของแคปเจอร์เรนจ์ ทำให้ V_d มีค่าเป็นบวกทันที เมื่อ f_i ลดลง f_i เท่ากับ f_o จะได้ V_d เท่ากับศูนย์ แล้วมีค่าเป็นลบมากขึ้นเรื่อยๆจนกระทั่ง f_i เท่ากับ f_4 ซึ่งเป็นค่าต่ำที่สุดของล็อกเรนจ์ จะทำให้ f_i หลุดจากการล็อกของเฟสล็อกลูป และ V_d กลับเป็นศูนย์อีกครั้ง เราจึงสรุปได้ว่า

ล็อกเรนจ์ = $f_2 - f_4$

แคปเจอร์เรนจ์ = $f_3 - f_1$

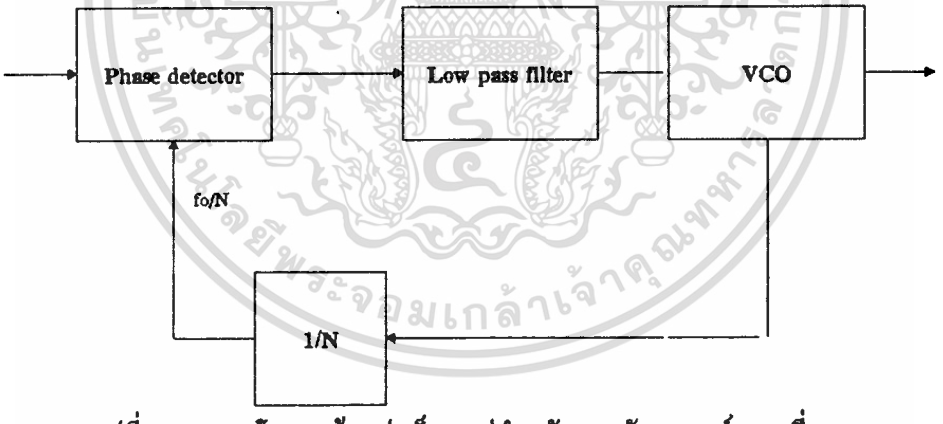
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 แสดงคุณลักษณะระหว่างความถี่กับค่าโวลท์เตจที่ผิดพลาดของเฟสล็อกลูป

2.6.2 การสังเคราะห์ความถี่ด้วยเฟสล็อกลูป

การสังเคราะห์ความถี่ด้วยเฟสล็อกลูปเป็นการสร้างความถี่ขึ้นมาใหม่ด้วยสัญญาณความถี่อ้างอิงที่มาตรฐาน โดยการสร้างสำหรับการสังเคราะห์ความถี่แสดงได้ดังรูปที่ 2.9



รูปที่ 2.9 แสดงโครงสร้างเฟสล็อกลูปสำหรับการสังเคราะห์ความถี่

จากรูปที่ 2.9 ส่วนที่เพิ่มเติมเข้าไปจากโครงสร้างเฟสล็อกลูปที่ได้กล่าวมาแล้ว คือวงจรหาร N (1/N) โดยถ้า f_r เป็นสัญญาณอ้างอิงที่มีความถี่คงที่แล้ว ความถี่เอาท์พุทของ VCO จะเท่ากับขนาดของความถี่อ้างอิง (Frequency Reference : f_r) คูณกับจำนวนหาร N หรือเขียนได้

$$f_r = f_r * N$$

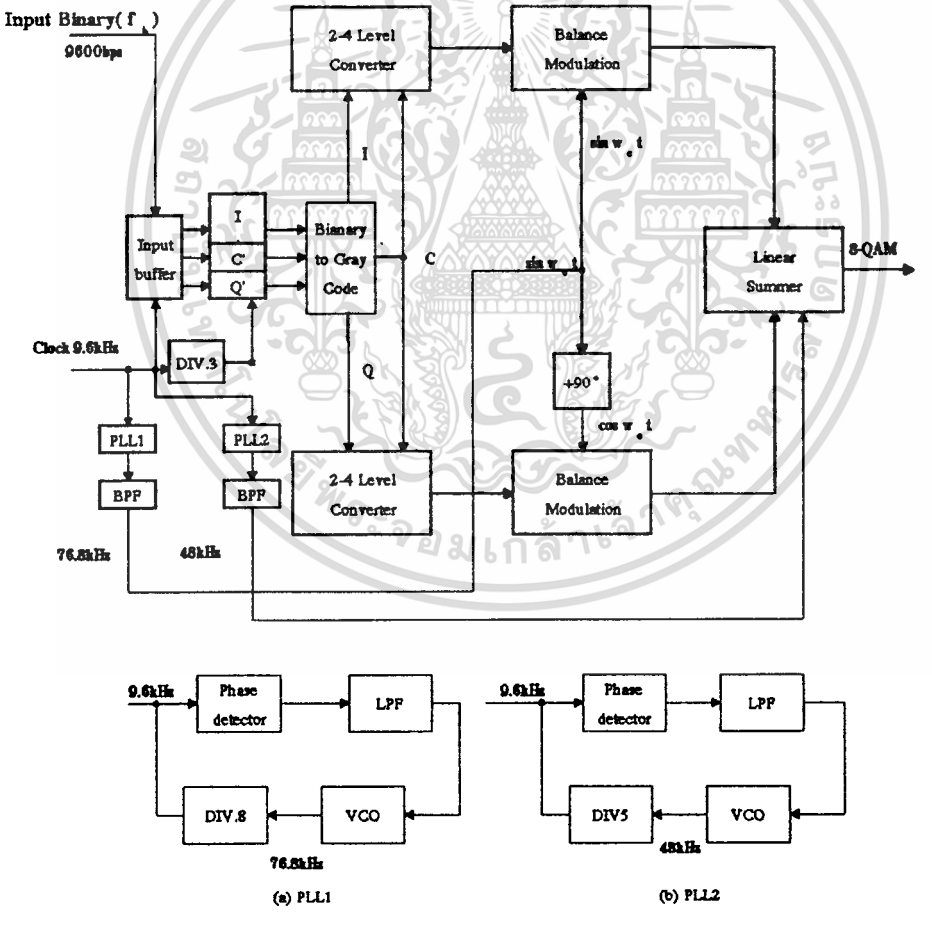
หรือกล่าวได้ว่าความถี่เอาท์พุท (f_o จะเป็นจำนวนเท่าของความถี่อ้างอิง) ความถี่ที่ป้อนกลับจากวงจร VCO ที่นำมาเปรียบเทียบกับความถี่อ้างอิงที่เฟสดีเทคเตอร์ (PD) หารด้วยจำนวน N ให้เท่ากับความถี่อ้างอิง

เอกสารนี้เป็นทรัพย์สินของจุฬาลงกรณ์มหาวิทยาลัย ห้ามมิให้ทำซ้ำ ดัดแปลง เผยแพร่ หรือใช้เพื่อการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น โดยไม่ได้รับอนุญาตจากเจ้าของลิขสิทธิ์ ผู้ใดฝ่าฝืนจะต้องรับโทษตามกฎหมาย

บทที่ 3
การคำนวณและการสร้าง

ในการออกแบบทางด้านภาคส่งนั้นเราจำเป็นจะต้องเพิ่มวงจรทางด้านภาคส่งเข้าไปอีกบางส่วน เพื่อต้องการให้เกิดการซิงโครไนซ์ (Synchronize) เราจึงต้องสร้างสัญญาณนำร่อง (Pilot Signal) และสัญญาณพาหะ (Carrier Signal) โดยใช้สัญญาณคล็อค(Clock) ที่มีความถี่9600Hzโดยใช้หลักการของเฟสล็อคลูป(Phase Lock Loop : PLL)ให้ได้ความถี่ที่คงที่แล้วทำการส่งไปยังภาครับต่อไป

การสร้างสัญญาณพาหะและสัญญาณนำร่องนั้นจะใช้สัญญาณคล็อคความถี่ 9600 Hzของวงจรกำเนิดสัญญาณดิจิตอลมาทำให้เป็นสัญญาณพาหะที่มีความถี่ 76.8 kHz และสัญญาณนำร่องที่มีความถี่ 48 kHz ซึ่งจะได้รายละเอียดของบล็อกไดอะแกรมของวงจรทางด้านส่งดังนี้



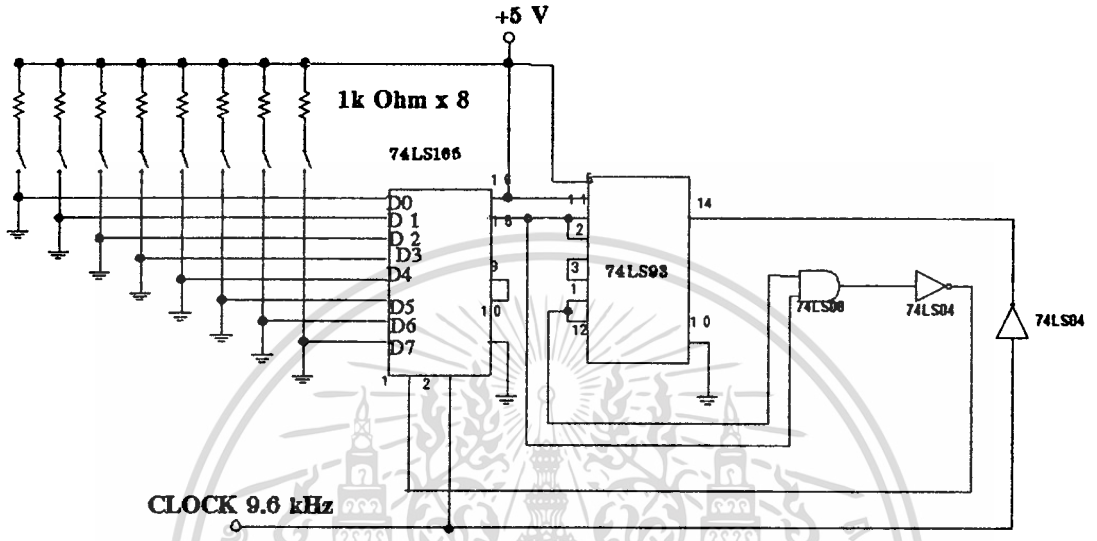
รูปที่ 3.1 บล็อกไดอะแกรมที่ใช้ในการออกแบบวงจรทางด้านส่ง

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

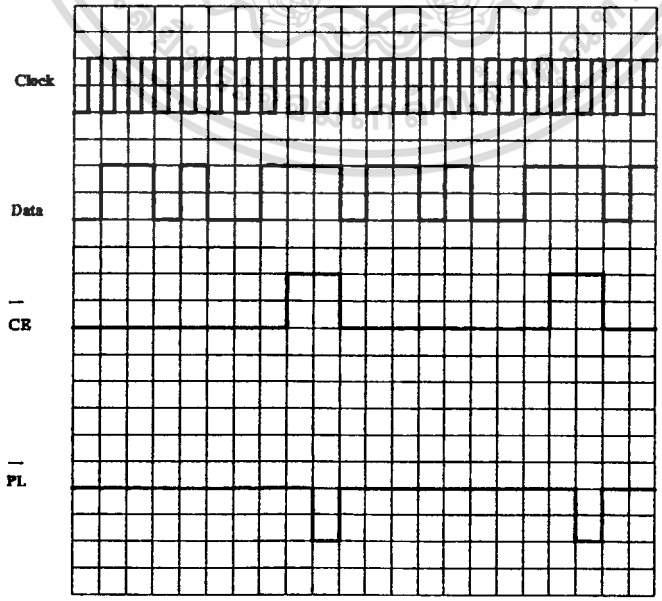
3.1 วงจรกำเนิดสัญญาณข้อมูล

วงจรนี้สร้างขึ้นเพื่อการทดสอบการทำงานของเครื่องส่งและรับซึ่งกำเนิดสัญญาณข้อมูลที่มีขนาดความเร็ว 9600 bps สามารถแสดงได้ดังรูป



รูปที่ 3.2 วงจรกำเนิดสัญญาณข้อมูลที่มีความเร็ว 9600 bps

จากรูปที่ 3.2 จะใช้ IC 74LS165 ซึ่งทำงานเป็น Parallel-Load 8 bit Shift Register ข้อมูลที่โหลดเข้ามาใช้ทดสอบสามารถกำหนดได้ โดยการปรับสวิทช์ หลักการทำงานสามารถแสดงได้ดังรูป

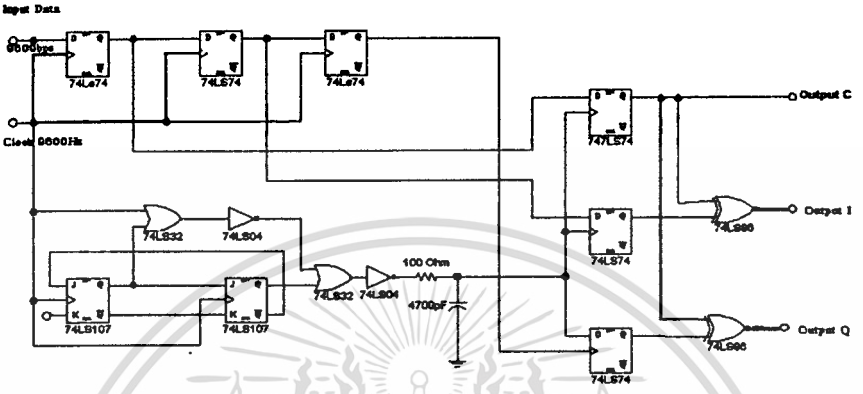


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.3 แสดงผังควบคุมการทำงานของ 74LS165

3.2 วงจรแยกสัญญาณดิจิตอล

เป็นวงจรที่ทำหน้าที่แบ่งข้อมูลอินพุทออกเป็น 2 ชุดๆละ 1 บิท พร้อมทั้งใช้วงจรหน่วงเวลา 3 บิท เพื่อควบคุมให้อินพุทที่เข้ามาครบ 3 บิทเสียก่อนแล้วค่อยทำการแยกสัญญาณ สามารถแสดงได้ดังรูป



รูปที่ 3.4 วงจรแยกสัญญาณดิจิตอล

จากรูปที่ 3.4 นั้นจะใช้ D-ฟลิปฟลอบ และJK-ฟลิปฟลอบ ทำงานร่วมกัน ซึ่งส่วนที่สำคัญของวงจรนี้ก็คือ วงจรหน่วงเวลา 3 บิท หรือวงจรหาร 3 นั่นเอง ซึ่งจะช่วยควบคุมจังหวะการรับส่งข้อมูลให้เหมาะสมกัน แนวทางของวงจรนี้อาศัยหลักการทำงานของวงจรเปลี่ยนสัญญาณข้อมูลจากแบบอนุกรมเป็นแบบขนาน (Serial to Parallel) นั่นเอง ซึ่งข้อมูลที่ได้ออกมาจะมี 3 บิทและจะมีการเปลี่ยนแปลงครั้งละ 3 บิทพร้อมๆกันจึงควรออกแบบเพื่อแปลงสัญญาณไบนารี(Binary Code)ดังกล่าวให้เป็นรหัสเกรย์ (Gray code) ทั้งนี้เพื่อช่วยลดอัตราความผิดพลาดของข้อมูล เพราะว่าบิทข้างเคียงของรหัสเกรย์นั้นจะแตกต่างกันเพียง 1 บิทเท่านั้นสามารถแสดงตารางได้ดังนี้

รหัสไบนารี	รหัสเกรย์
00	00
01	01
10	11
11	10

ตารางที่ 3.1 แสดงการแปลงรหัสไบนารีไปเป็นรหัสเกรย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

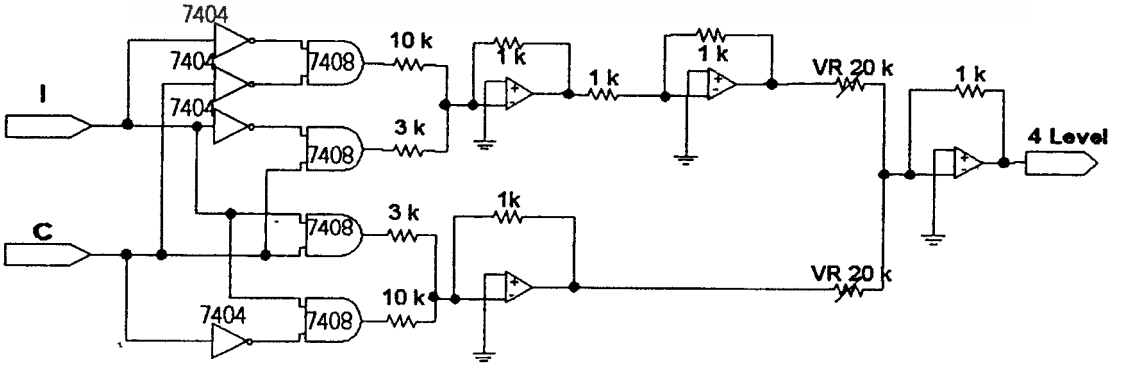
3.3 วงจรแปลง 2 ลอจิกไปเป็น 4 ระดับ

เนื่องจากโครงงานนี้เป็นการมอดูเลทสัญญาณดิจิตอลกับสัญญาณพาหะกันที่วงจรบาลานซ์มอดูเลเตอร์ และสัญญาณดิจิตอลที่จะนำไปมอดูเลทนั้นจะต้องเป็นสัญญาณเส้นเดียว แต่สัญญาณที่แยกออกมาเพื่อที่จะนำมามอดูเลทนั้นจะมีสัญญาณทั้งหมด 2 เส้น (2 บิท) จึงต้องมีการแปลงสัญญาณจาก 2 เส้นนี้ให้เป็นสัญญาณเพียงเส้นเดียว แต่มีหลายระดับเสียก่อน ในที่นี้ความเปลี่ยนแปลงอันจะเกิดจากสัญญาณ 2 บิท มีโอกาสเป็นไปได้ $2^2 = 4$ ระดับ และจากข้อกำหนดของไอซีเบอร์ MC1496 ที่กำหนดให้ระดับของสัญญาณอินพุทที่จะนำมามอดูเลทนั้นมีขนาดไม่เกิน
300 V_{P-P} จึงได้ทำการกำหนดระดับการแปลงสัญญาณให้เป็นไปตารางที่ 3.2

รหัสไบนารี	รหัสเกรย์	เอาท์พุท 4 ระดับ (mV)
00	00	-50
01	01	-150
10	11	+150
11	10	+50

ตารางที่ 3.2 แสดงการแปลง 2 ลอจิก ไปเป็น 4 ระดับ

ในส่วนของอุปกรณ์ที่ใช้ในวงจรนี้จะอาศัย NOT-เกท และAND-เกท ให้ทำหน้าที่แปลงสัญญาณ 2 บิทให้เป็น 4 เอาท์พุทแล้วออปแอมป์จะทำหน้าที่แปลงทั้ง 4 เอาท์พุทนั้นให้เป็น 4 ระดับ ดังข้อกำหนดในตารางที่ 3.2 ดังนั้นจึงสามารถออกแบบวงจรแปลงสัญญาณดิจิตอล 2 บิท ไปเป็น 4 ระดับ เพื่อที่จะนำไปมอดูเลทกับสัญญาณพาหะ ดังรูปที่ 3.5



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น การใช้งานเพื่อการศึกษาต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.5 วงจรแปลง 2 ลอจิก ไปเป็น 4 ระดับ

3.4 วงจรกรองช่วงความถี่ (Band Pass Filter : BPF)

วงจรกรองช่วงความถี่ เป็นวงจรกรองความถี่ที่ยอมให้ความถี่ที่อยู่ในช่วงที่ต้องการให้สามารถผ่านวงจรไปได้โดยที่ไม่ถูกลดทอน ส่วนความถี่ที่อยู่นอกเหนือจากนี้ไปจะไม่สามารถผ่านไปได้ ซึ่งวงจรกรองช่วงความถี่ที่ใช้ในภาคส่งนี้จะทำหน้าที่กรองเอาสัญญาณไซน์ออกจากสัญญาณรูปสี่เหลี่ยม ภายในส่วนของวงจรกำเนิดสัญญาณพาหะและวงจรกำเนิดสัญญาณนำร่อง และยังกำจัดสัญญาณรบกวนที่เกิดจากวงจรข้างเคียงก่อนที่จะส่งออกไปยังด้านรับอีกด้วย

วงจรกรองช่วงความถี่สามารถแบ่งออกได้เป็น 2 ชนิดคือ แบบแบนด์กว้าง (Wide Band Pass Filter) และแบบแบนด์แคบ (Narrow Band Pass Filter) ซึ่งดูได้จากค่าควอลิตี้แฟกเตอร์ (Quality factor : Q) ซึ่งถ้า Q<10 จะเป็นแบบแบนด์กว้าง และถ้า Q>10 จะเป็นแบบแบนด์แคบเราสามารถหาค่า Qได้จากสมการดังต่อไปนี้

$$Q = f_o / BW \quad ...(3.1)$$

$$= f_o / f_H - f_L$$

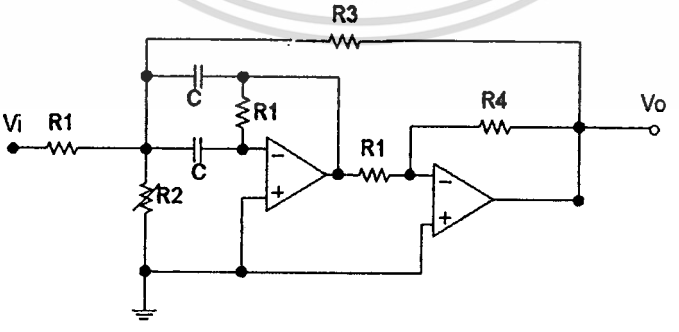
โดยที่ f_o คือ ความถี่กึ่งกลาง

BW คือความกว้างของแถบความถี่ (Band Width)

f_L คือ จุดตัดความถี่ต่ำสุด (Low Frequency Cuttoff)

f_H คือ จุดตัดความถี่สูงสุด (High Frequency Cuttoff)

สำหรับโครงงานนี้จะใช้วงจรกรองช่วงความถี่แบบแบนด์แคบโดยใช้วงจรที่ชื่อว่า Positive Feedback Band Pass Filter สามารถแสดงได้ดังรูป



รูปที่ 3.6 วงจร Positive Feedback Band Pass Filter

สำหรับการออกแบบวงจรกรองช่วงความถี่จะต้องมีการกำหนดความถี่ที่ต้องการ กำหนดค่า Q หรือBW และเกนที่ต้องการซึ่งจะมีขั้นตอนในการออกแบบดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1) เลือกค่าตัวเก็บประจุ และหาค่า K-parameter จากกราฟ

2) ใช้ค่า K ที่หาได้จากข้อ 1 มาหาความต้านทานจากกราฟอีกเช่นกันแต่เป็นกราฟคนละอันจาก ข้อ1 ซึ่งจะขึ้นอยู่กับค่า Q ,BW และเกนที่เรากำหนดขึ้นมา

3) เลือกความต้านทานที่ได้จากกราฟของข้อ 2 และทำการสร้างวงจร

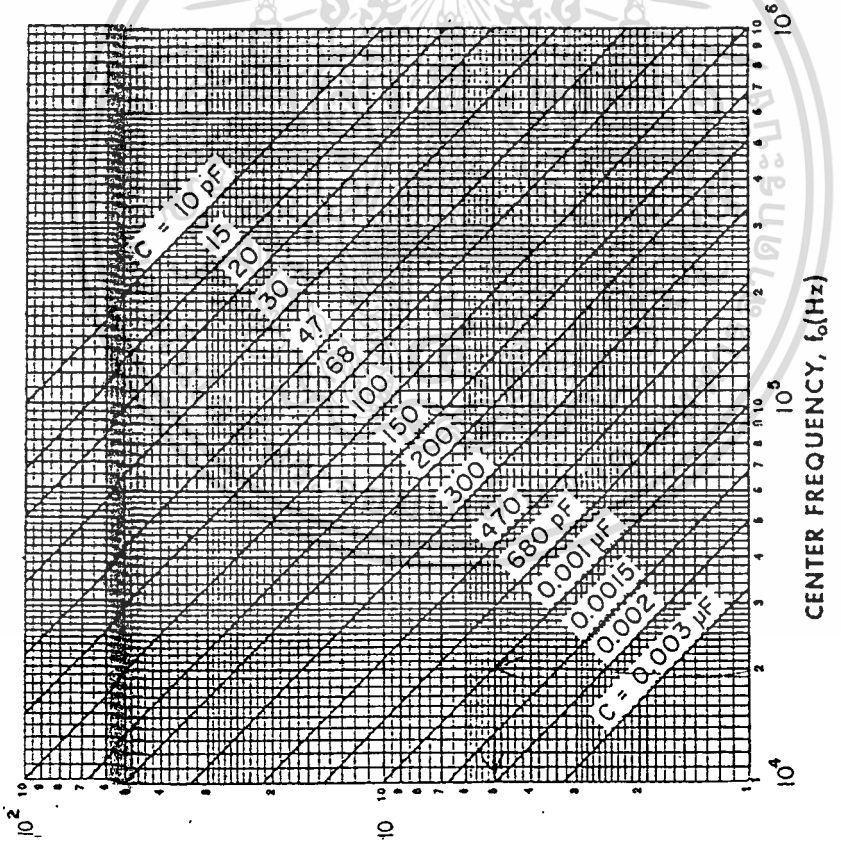
ในโครงงานทางภาคส่งนี้ได้กำหนดให้ค่า Q และเกนของวงจรกรองช่วงความถี่ที่ความถี่ 76.8 kHz เท่ากับ 20 และ 10 และ 48 kHz นั้นเท่ากับ 40 และ10 ตามลำดับ

โดยเริ่มจากวงจรกรองช่วงความถี่ 76.8 kHz จะมีขั้นตอนในการออกแบบดังนี้

1) เลือกค่าC=470pF จะได้ค่า K=2.8 จากรูปที่3.7

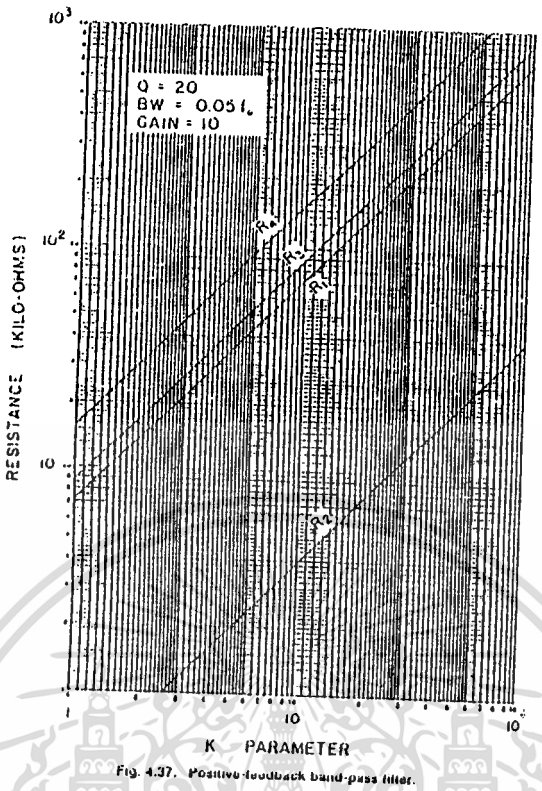
2)จาก K = 2.8 จะสามารถหาค่าความต้านทานค่าต่างๆได้จากรูปที่ 3.8 (a)

3) R_1 =12 kΩ R_2 = 5 kΩ R_3 = 25 kΩ R_4 = 47 kΩ

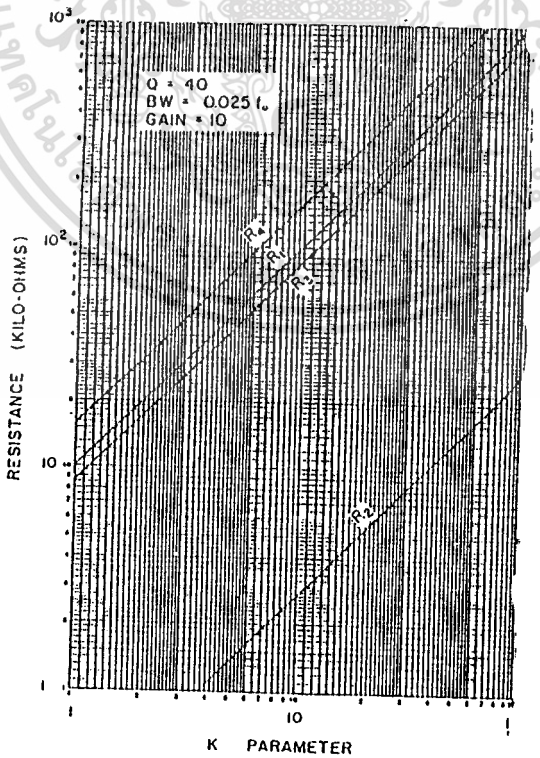


รูปที่ 3.7 กราฟแสดงความสัมพันธ์ระหว่างความถี่ กับค่า K-parameter ที่ตัวเก็บประจุค่าต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a) ที่ความถี่ 76.8kHz

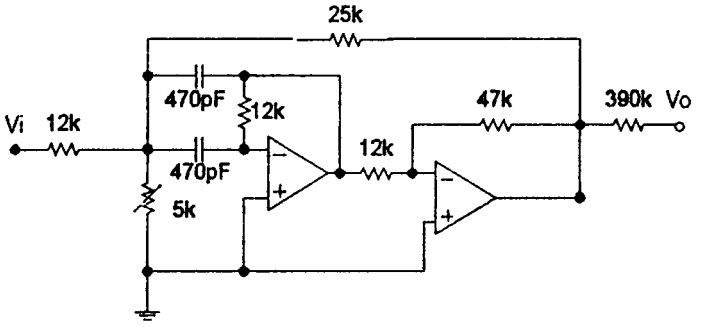


(b) ที่ความถี่ 48kHz

รูปที่ 3.8 กราฟแสดงความสัมพันธ์ระหว่างค่า K-parameter กับความต้านทานค่าต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะสามารถสร้างวงจรกรองช่วงความถี่ 76.8 kHz ได้ดังรูป



รูปที่ 3.9 วงจรกรองช่วงความถี่ 76.8 kHz

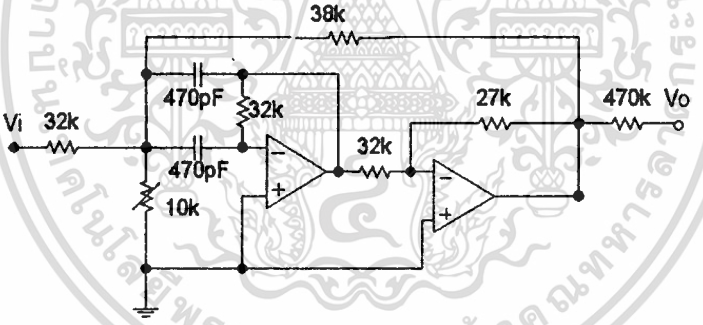
ต่อไปเป็นวงจรกรองช่วงความถี่ 48 kHz จะมีขั้นตอนในการออกแบบดังนี้

1) เลือกค่าC=470pF จะได้ค่า K= 4.4 จากรูปที่3.7

2)จาก K = 4.4จะสามารถหาค่าความต้านทานค่าต่างๆได้จากรูปที่ 3.8 (b)

3) R_1 = 32 kΩ R_2 = 10 kΩ R_3 = 38 kΩ R_4 = 27 kΩ

จะสามารถสร้างวงจรกรองช่วงความถี่ 48 kHz ได้ดังรูป

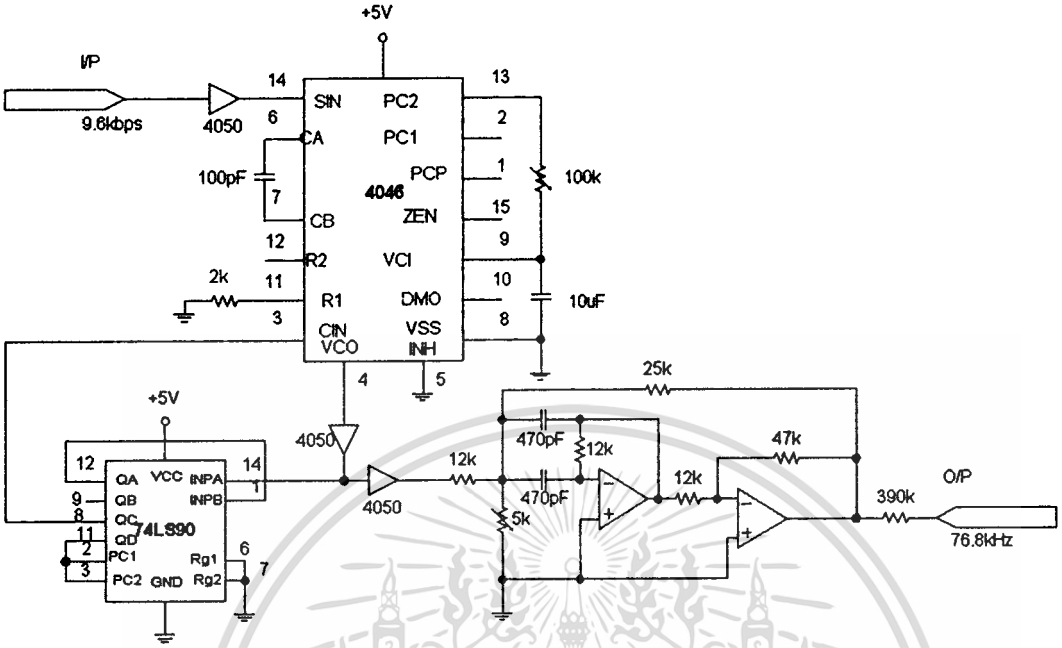


รูปที่ 3.10 วงจรกรองช่วงความถี่ 48 kHz

3.5 วงจรกำเนิดสัญญาณพาหะ 76.8 kHz

วงจรในส่วนนี้จะทำหน้าที่กำเนิดสัญญาณไซน์ความถี่ 76.8 kHz เพื่อใช้เป็นสัญญาณพาหะและนำไปคูณกับสัญญาณหลายระดับที่วงจรบาลานซ์มอดูเลเตอร์ เนื่องจากระบบการส่งสัญญาณดิจิตอลนี้ มีหัวใจสำคัญคือการซิงโครไนซ์ (Synchronization) ที่ทำให้จังหวะการทำงานของอุปกรณ์อิเล็กทรอนิกส์ในทั้งภาคส่งและภาครับมีความสัมพันธ์กันอย่างแม่นยำ ดังนั้นจึงอาศัยสัญญาณนาฬิกาที่ได้จากข้อมูลที่ทำการส่งในวงจรกำเนิดสัญญาณข้อมูล ในโครงงานนี้ต้องการข้อมูลความเร็ว 9600 bps จึงมีสัญญาณนาฬิกา 9600 bps มาใช้อ้างอิงกับสัญญาณพาหะที่มีความถี่ 76.8 kHz โดยใช้เฟสล็อกลูปช่วยล็อกสัญญาณนาฬิกาและคูณความถี่ให้สูงขึ้น โดยอาศัยสัญญาณนาฬิกาจากวงจรกำเนิดสัญญาณไปคูณกับ 8 ก็จะได้ความถี่ 76.8 kbps สามารถแสดงวงจรกำเนิดสัญญาณพาหะได้ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 วงจรกำเนิดสัญญาณพาหะ 76.8 kHz

จากรูปที่ 3.11 จะเห็นได้ว่าวงจรในส่วนนี้จะใช้ไอซีเฟสล็อกลูปเบอร์ 4046 เพราะมีอุปกรณ์ภายนอกไม่ยุ่งยาก แต่มีช่วงล็อกความถี่กว้างมาก เนื่องจากไม่ใช่วัตถุประสงค์หลักในการทำโครงงานครั้งนี้ เพราะเพียงแค่ต้องการทำเป็นวงจรอุณความถี่เท่านั้น ส่วนวงจรหารความถี่ลดลง 8 เท่า นั้นก็จะเลือกใช้ไอซี 74LS90 เพราะสะดวกในการต่อวงจรและมีความเชื่อถือได้พอสมควร สัญญาณที่ได้จากวงจรในส่วนนี้ควรเป็นสัญญาณนาฬิกาที่มีความสมบูรณ์แบบจึงได้นำไอซีเบอร์ 4050 ซึ่งทำหน้าที่เป็นบัฟเฟอร์ให้กับสัญญาณเข้ามาประกอบร่วมด้วยจึงทำให้สัญญาณที่ได้มีความสวยงามยิ่งขึ้น

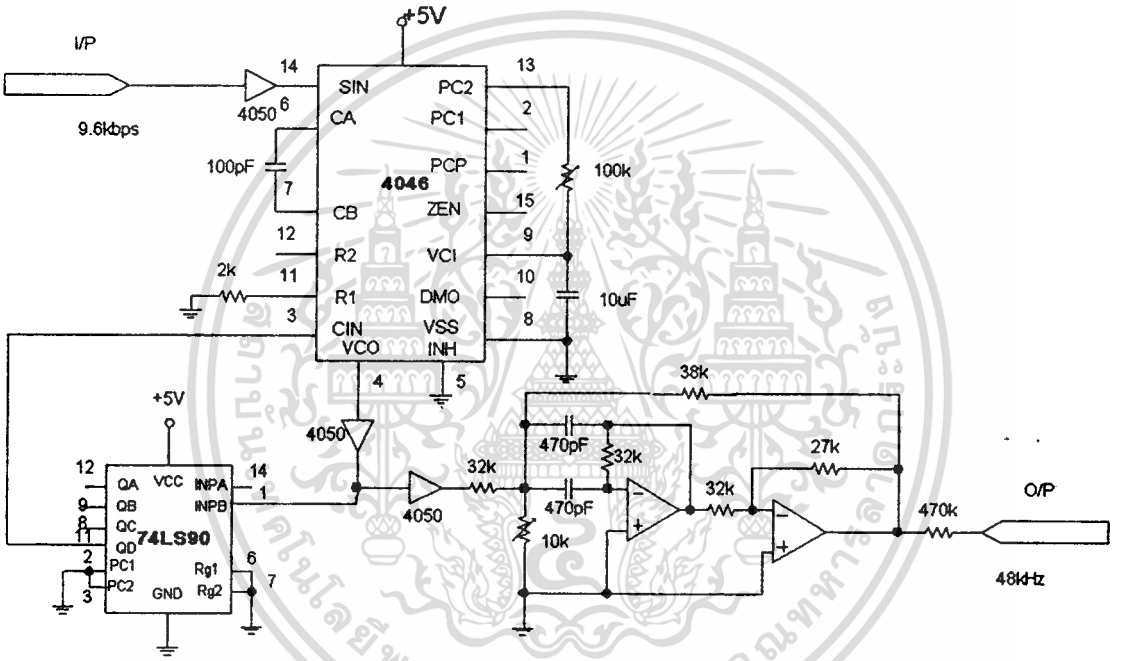
เมื่อสัญญาณนาฬิกาผ่านวงจรเฟสล็อกลูปแล้วก็ยังคงเป็นสัญญาณรูปสี่เหลี่ยมอยู่ซึ่งไม่สามารถนำไปใช้เป็นสัญญาณพาหะได้ เพราะสัญญาณรูปสี่เหลี่ยมจะประกอบด้วยฮาร์มอนิกมากมายจึงไม่เหมาะที่จะนำไปมอดูเลท ดังนั้นจึงต้องใช้วงจรกรองช่วงความถี่เพื่อทำการกรองเอาความถี่ฮาร์มอนิกที่ 1 ซึ่งเป็นสัญญาณไซน์ที่มีความถี่เท่ากับสัญญาณรูปสี่เหลี่ยม หรืออาจจะกล่าวได้ว่า เป็นการกรองเอาสัญญาณไซน์ออกจากสัญญาณรูปสี่เหลี่ยมนั่นเอง ซึ่งเราก็จะได้สัญญาณพาหะที่มีความถี่ 76.8 kHz จากการนำเอาสัญญานาฬิกาความถี่ 9600 Hz ผ่านวงจรเฟสล็อกลูปซึ่งมีวงจรหาร 8 ประกอบอยู่ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 วงจรกำเนิดสัญญาณนำร่อง (Pilot Signal) 48 kHz

สัญญาณนำร่องในที่นี้เป็นสัญญาณไซน์ที่มีความใกล้เคียงกันกับสัญญาณพาหะและมีความสัมพันธ์กับสัญญาณนาฬิกาของวงจรกำเนิดสัญญาณข้อมูลเช่นเดียวกันกับสัญญาณพาหะเพราะอาศัยนาฬิกาคูณความถี่ขึ้นมาเหมือนกับการสร้างสัญญาณพาหะ ซึ่งในโครงงานนี้จะเลือกกำเนิดที่ความถี่ 48 kHz ซึ่งจะอยู่ทางด้านที่มีความถี่ต่ำกว่า (Lower side Band) ของสเปคตรัมการมอดูเลทในโครงงานนี้ สาเหตุที่เลือก 48 kHz เพราะสะดวกในการออกแบบวงจรคูณความถี่ คือจะใช้วงจรหาร 5 ภายในเฟสล็อกลูป

สำหรับวงจรกำเนิดสัญญาณนำร่องที่ใช้ในโครงงานนี้แสดงได้ดังรูป



รูปที่ 3.12 วงจรกำเนิดสัญญาณนำร่อง 48 kHz

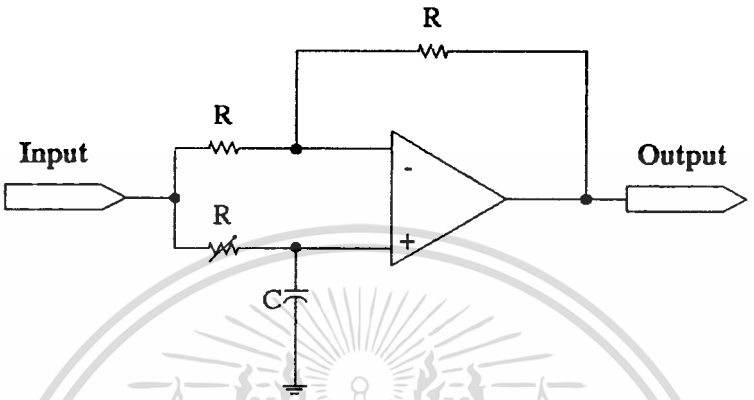
จากรูปที่ 3.12 จะเห็นว่าวงจรกำเนิดสัญญาณนำร่องจะเหมือนกับวงจรกำเนิดสัญญาณพาหะเกือบทุกอย่างจะต่างกันก็ตรงที่วงจรหารความถี่จากวงจรหาร 8 มาเป็นหาร 5 และวงจรกรองช่วงความถี่ก็จะออกแบบโดยใช้ความถี่กลางจาก 76.8 kHz ให้กลายเป็น 48 kHz แทน

3.7 วงจรเลื่อนเฟสสัญญาณพาหะ 90 องศา

จากการที่ทำการแยกสัญญาณดิจิตอลออกเป็น 2 ส่วนคือบิทล่าง (Quadraturephase) และบิทบน (Inphase) จึงต้องวงจรบาลานซ์มอดูเลเตอร์ 2 วงจร และมีสัญญาณพาหะ 2 ชุด เพื่อที่จะเป็นพาหะในการนำสัญญาณดิจิตอลออกไปด้วยเช่นกัน ซึ่งในโครงงานนี้จะใช้ความถี่พาหะตัวเดียวกันแต่มีเฟสต่างกัน 90 องศา โดยให้สัญญาณพาหะไซน์ที่ได้จากวงจรกำเนิดสัญญาณพาหะโดยตรงไปมอดูเลทกับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ 4 ระดับทางด้านบิทบน และใช้สัญญาณพาหะโคไซน์ที่ได้จากวงจรเลื่อนเฟสสัญญาณพาหะ 90 องศา ไปมอดูเลทกับสัญญาณ 4 ระดับที่อยู่ทางด้านบิทล่าง ดังนั้นจึงต้องทำการออกแบบวงจรเลื่อนเฟสโดยอาศัยหลักการของวงจรกรองผ่านทั้งหมด (All-Pass Filter) ชนิด V_o ล้าหลัง V_{in} ดังมีรายละเอียดดังต่อไปนี้



รูปที่ 3.13 วงจรกรองผ่านทั้งหมดชนิด V_o ล้าหลัง V_{in}

จากรูปที่ 3.13 จะสามารถหาสมการได้ดังนี้

$$V_o = -V_{in} + -j2Xc\ V_{in} / (R-jXc) \quad ....(3.2)$$

โดยที่ $-j = 1/j$

$Xc = 1/2\pi fC$

f = ความถี่ที่ใช้ในการเลื่อน

เมื่อแทนค่าต่างลงไปในสมการที่ 3.2 จะได้สมการใหม่ดังนี้

$$V_o = V_{in} \{ -1 + 2 / (j2\pi fRC - 1) \}$$

$$V_o / V_{in} = (1-j2\pi fRC) / (1-j2\pi fRC) = 1$$

สามารถคำนวณหาค่าของมุมวงจรเลื่อนเฟสได้จากสมการดังต่อไปนี้

$$\phi = -2\tan^{-1}(2\pi fRC) \quad ...(3.3)$$

เมื่อ V_o / V_{in} = อัตราขยายของวงจร

ϕ = ความแตกต่างทางเฟสระหว่าง V_o และ V_{in}

ขั้นตอนในการออกแบบ

1.เลือกค่า ϕ เท่ากับ -90 องศา

2.ใช้ค่าความถี่เท่ากับสัญญาณพาหะคือ 76.8 kHz

3.เลือกค่า C เท่ากับ 620 pF

เอกสารนี้เป็นการเผยแพร่เพื่อการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.จากสมการที่ 3.3 สามารถหา R ได้ดังนี้

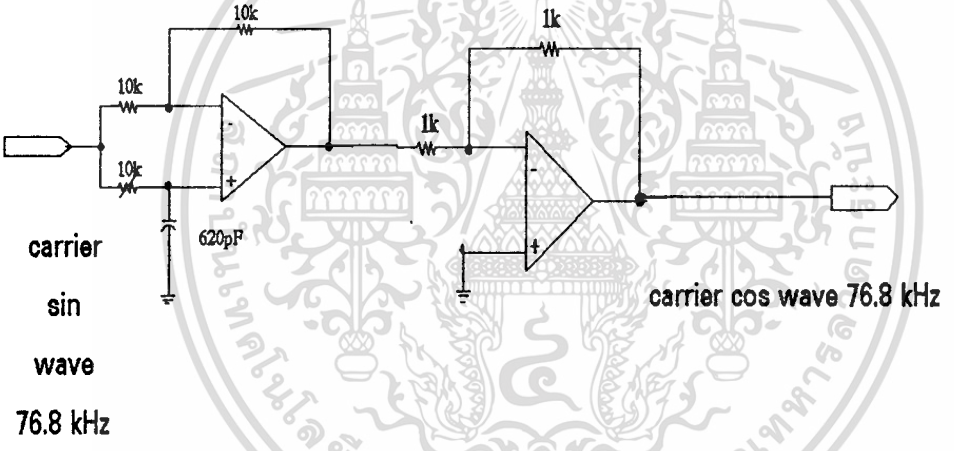
$$R = \tan(-\phi/2) / (2\pi fC)$$

$$= \tan(45) / (2\pi \times 76.8 \times 10^{3} \times 620 \times 10^{-12})$$

$$= 3.3\ k\Omega$$

ดังนั้นในการทดลองจะใช้ R ประมาณ 10 kΩ

วงจรเลื่อนเฟสชนิด V_o ล้าหลัง V_{in} นี้ ถ้าให้อินพุทเป็นสัญญาณไซน์ ดังนั้นสัญญาณเอาท์พุทที่ได้จะเป็นสัญญาณโคไซน์ที่มีเฟสตามหลังอยู่ 90 องศา จากบล็อกไดอะแกรมเครื่องส่งใช้ในการทดลองนั้นต้องการให้เอาท์พุทมีเฟสนำหน้าอยู่ 90 องศาจึงได้นำเอาท์พุทที่ได้จากวงจรเลื่อนเฟสชนิด V_o ล้าหลัง V_{in} มาผ่านวงจรขยายแบบกลับเฟสอีกทีจะได้วงจรในการออกแบบดังรูปที่ 3.14



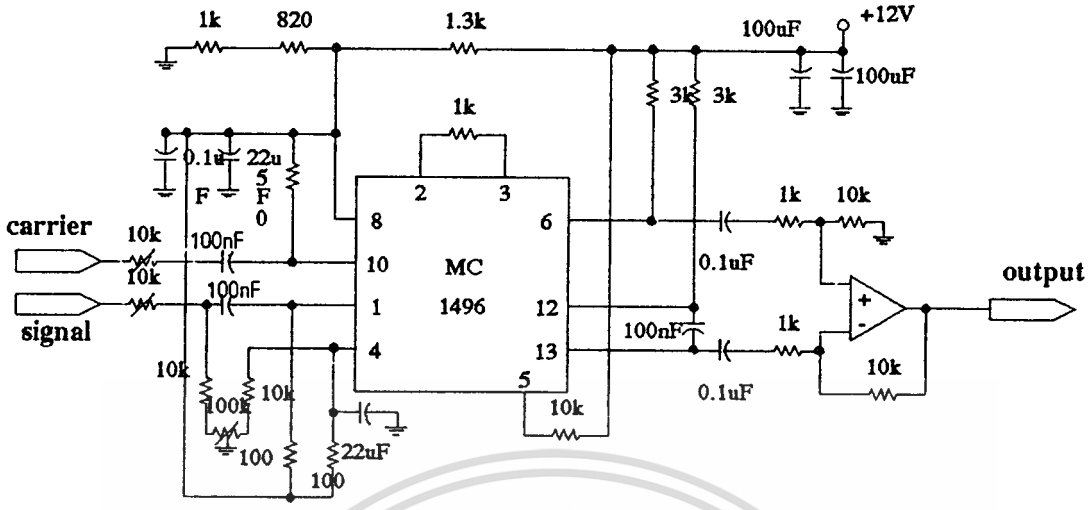
รูปที่ 3.14 วงจรเลื่อนเฟสสัญญาณพาหะ 90 องศา

3.8 วงจรบาลานซ์มอดูเลเตอร์

วงจรนี้นับว่าเป็นส่วนสำคัญอย่างยิ่งเพราะจะทำหน้าที่คูณสัญญาณพาหะกับสัญญาณ 4 ระดับ ซึ่งมี 2 ส่วนที่มีทั้งบิทล่างและบิทบนที่ได้จากวงจรแยกสัญญาณดิจิตอล

วงจรบาลานซ์มอดูเลเตอร์ทางด้านบิทบนก็จะทำหน้าที่คูณสัญญาณ 4 ระดับที่มาจากวงจรแยกสัญญาณทางด้านบิทบนกับสัญญาณพาหะที่ได้มาจากวงจรกำเนิดสัญญาณพาหะโดยตรง ส่วนวงจรบาลานซ์มอดูเลเตอร์ทางด้านบิทล่างก็จะทำหน้าที่คูณสัญญาณ 4 ระดับที่ได้จากวงจรแยกสัญญาณดิจิตอลทางด้านบิทล่างกับสัญญาณพาหะที่ได้จากวงจรกำเนิดสัญญาณพาหะ แล้วผ่านวงจรเลื่อนเฟส 90 องศา ซึ่งรายละเอียดของวงจรบาลานซ์มอดูเลเตอร์ทั้งสองจะเหมือนกันทุกประการดังแสดงไว้ในรูปที่ 3.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.15 วงจรบาลานซ์มอดูเลเตอร์

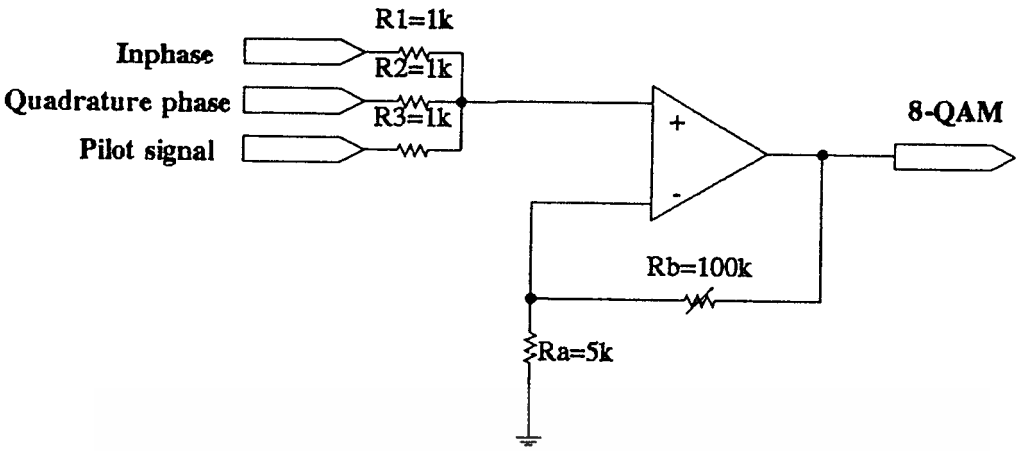
ข้อควรคำนึงในวงจรส่วนนี้คือ ข้อกำหนดของไอซีเบอร์ MC1496 ที่ได้ระบุไว้ว่า ขนาดของสัญญาณที่จะนำมามอดูเลทควรมีค่าประมาณ 300 mV_{rms} และขนาดของสัญญาณพาหะควรมีค่าประมาณ 150 mV_{rms}ดังนั้นสัญญาณทั้งสองก่อนที่จะนำเข้าไปคูณต้องผ่านตัวต้านทานปรับค่าได้เสียก่อนเพื่อจะได้ควบคุมระดับของสัญญาณทั้งสองให้เป็นไปตามข้อกำหนดดังกล่าว

สัญญาณที่ได้จากวงจรบาลานซ์มอดูเลเตอร์นั้นมีขนาดเล็กมากจึงต้องผ่านวงจรขยายความแตกต่าง (Differential Amplifier) โดยอาศัยสัญญาณที่ออกจากขา 6 และ ขา 12 (สัญญาณที่ขา 6 และ ขา 12 จะกลับเฟสกันอยู่) ป้อนเข้าที่ขาออปแอมป์ 3 และ 2 ตามลำดับ และสามารถกำหนดอัตราขยายจากอัตราส่วนตัวต้านทานทำนองเดียวกันกับวงจรขยายสัญญาณแบบกลับเฟส (Inverting Amplifier)

3.9 วงจรขยายรวมสัญญาณมอดูเลทแบบไม่กลับเฟส (Summing Amplifier)

เมื่อได้ทำการทั้งสองส่วนแล้วก็นำสัญญาณทั้งสองส่วนนี้มารวมกันแล้วส่งไปพร้อมๆกันซึ่งสัญญาณที่ต้องการส่งไปนั้นจะประกอบด้วยสัญญาณจากวงจรบาลานซ์มอดูเลเตอร์ทางด้านบิทบน สัญญาณจากวงจรบาลานซ์มอดูเลเตอร์ทางด้านบิทล่าง และสัญญาณนำร่องซึ่งทั้งสามสัญญาณจะต้องถูกส่งไปพร้อมๆกันด้วยวงจรขยายรวมสัญญาณโดยที่สัญญาณดังกล่าวจะถูกส่งไปตามสายโคแอกเชียล วงจรขยายรวมสัญญาณมีรูปแบบดังรูปที่ 3.16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.16 วงจรขยายรวมสัญญาณแบบไม่กลับเฟส

จากรูปที่ 3.16 เป็นวงจรขยายรวมสัญญาณแบบไม่กลับเฟส ใช้สำหรับการรวมสัญญาณหลายๆ ชุดเข้าด้วยกันเพื่อให้เป็นสัญญาณที่ถูกขยายแล้วเพียงชุดเดียวซึ่งแรงดันที่เอาท์พุทเราสามารถหาได้จาก

$$V_o = \{V_1 / R_1 + V_2 / R_2 + V_3 / R_3\}\{1 + R_b / R_a\} \quad \text{.... (3.4)}$$

โดยที่ สมมติให้ V_1 คือ สัญญาณเอาท์พุทจากวงจรบาลานซ์มอดูเลเตอร์ทางด้านบิทบน

V_2 คือ สัญญาณเอาท์พุทจากบาลานซ์มอดูเลเตอร์ทางด้านบิทล่าง

V_3 คือสัญญาณเอาท์พุทจากวงจรกำเนิดสัญญาณนำร่อง

ในการออกแบบนั้นได้กำหนดให้ $R_1 = R_2 = R_3 = R = 1\ k\Omega$ และให้ $V_{in} = \{V_1 + V_2 + V_3\}$

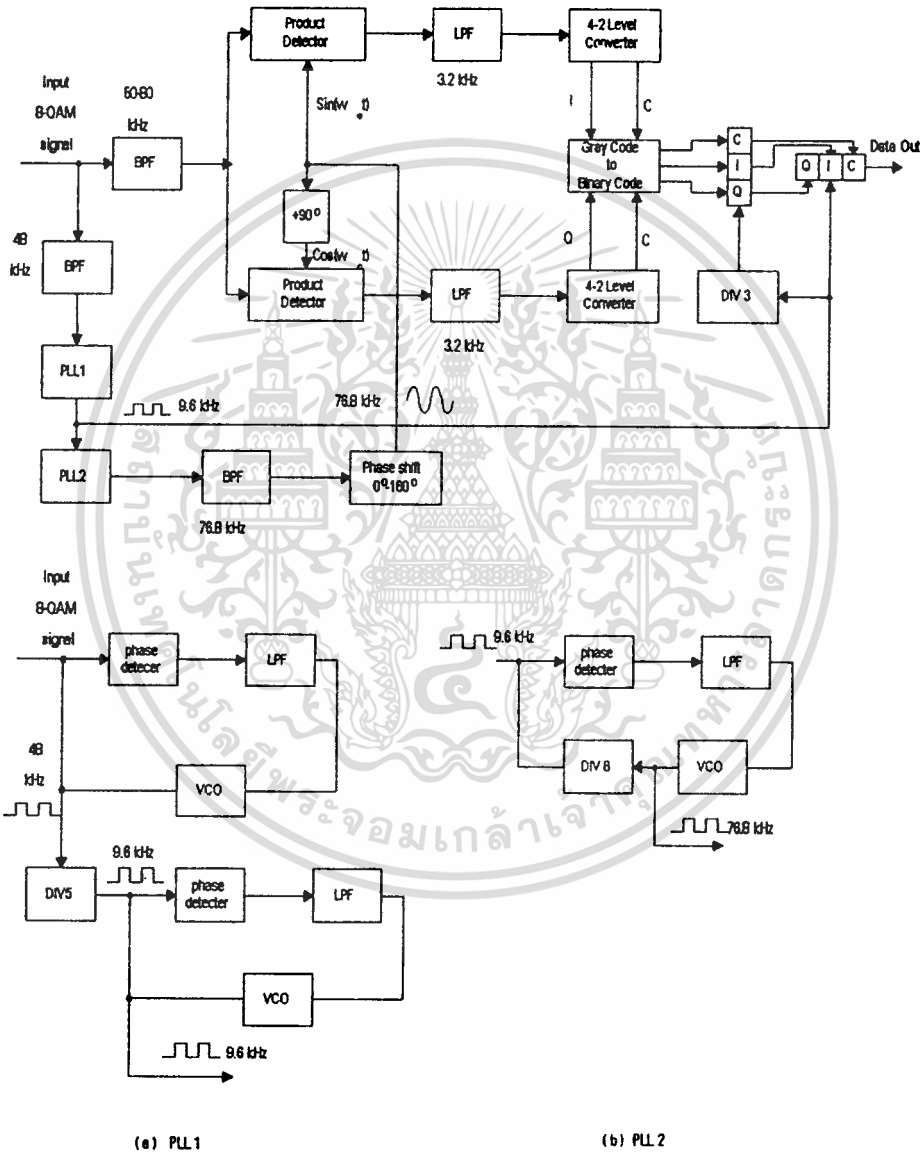
ดังนั้นจากสมการที่ 3.4 จะได้ว่า

$$V_o / V_{in} = \{1 + R_b / R_a\} \quad \text{.... (3.5)}$$

จากสมการที่ 3.5 จะเห็นได้ว่า อัตราขยายแรงดันของวงจรขยายรวมแบบไม่กลับเฟสนั้นจะต้องมีค่ามากกว่า 1 หรือมียูนิตี้ (Unity) เสมอ เนื่องจากแรงดันเอาท์พุทที่ได้ป้อนเข้าที่ขาอินพุทบวก (นอนอินเวอร์ติ้ง) ของออปแอมป์ และได้เฟสของแรงดันเอาท์พุทกับอินพุทเป็นเฟสเดียวกัน (Inphase) ในที่นี้ได้กำหนดให้ R_a มีค่าเป็น 5 $k\Omega$ และ R_b เป็นความต้านทานที่ปรับค่าได้ 100 $k\Omega$ ทำให้ได้อัตราขยายแรงดันที่สามารถปรับค่าได้ตั้งแต่ 1 ถึง 21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการออกแบบและทดลองทางด้านภาครับนั้น ต้องมีการเพิ่มเติมบางส่วนจากทฤษฎี เพื่อที่จะให้สอดคล้องกับสัญญาณที่ส่งมาทางด้านภาคส่งซึ่งสัญญาณที่ส่งมานั้นมีความถี่ทางด้านสัญญาณนำร่อง 48 kHz ร่วมส่งมากับสัญญาณเข้ารหัส ดังนั้นต้องมีวงจรกรองสัญญาณ 2 วงจร คือ วงจรกรองความถี่ช่วง 50-80 kHz และวงจรกรองช่วงความถี่ 48 kHz ดังแสดงในรูปที่ 3.17



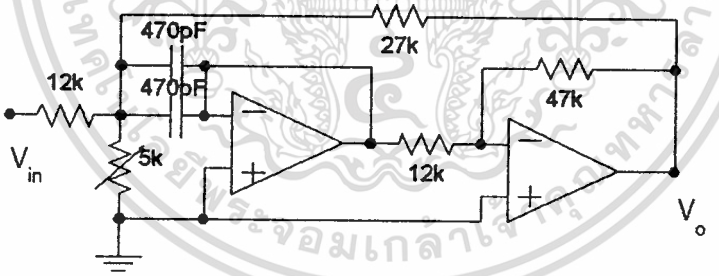
รูปที่ 3.17 บล็อกไดอะแกรมที่ใช้ในการออกแบบวงจรทางด้านภาครับ

เอกสารนี้เป็นเอกสาร... ใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.17 จะเห็นได้ว่าได้มีการนำสัญญาณนำร่อง 48 kHz มาใช้ในการกู้สัญญาณพาหะไซน์เวฟ 76.8 kHz ผ่านวงจรเลื่อนเฟส 90 องศา เพื่อทำการดีเทคสัญญาณข้อมูล หลังจากนั้นนำสัญญาณข้อมูลที่ได้ไปผ่านวงจรกรองความถี่ต่ำผ่าน แล้วนำมาเปรียบเทียบสัญญาณจะได้สัญญาณทางด้าน I′ C′ และQ′แล้วนำไปเข้าวงจรแปลงสัญญาณรหัสเกรย์ (Gray Code) เป็นสัญญาณไบนารี่ (Binary Code) ได้สัญญาณ I C และQ จากนั้นทำการเลื่อนข้อมูลแบบขนานเป็นอนุกรม ก็จะได้สัญญาณเอาท์พุทออกมา โดยที่สัญญาณนาฬิกา 9.6 kHz ได้จากการนำเอาสัญญาณนำร่องมากู้สัญญาณนาฬิกาโดยใช้วงจรเฟสล็อกลูปกู้สัญญาณนาฬิกา 9.6 kHz เพื่อใช้ในการกระตุ้นข้อมูลให้ออกมาทางเอาท์พุทได้

3.10 วงจรกรองความถี่ช่วง 50-80 kHz

เมื่อสัญญาณที่ได้เข้ารหัสแบบ 8-QAM แล้วจะถูกส่งมาตามสายโคแอกเชียล ทางด้านรับเมื่อได้รับสัญญาณแล้วต้องทำการตรวจรับสัญญาณขั้นต้นและกรองสัญญาณช่วงความถี่ที่ภาครับต้องการเท่านั้น อีกทั้งยังเป็นการกำจัดสัญญาณรบกวนอีกทางหนึ่งด้วย ลักษณะรายละเอียดในการออกแบบและทดลองวงจรจะคล้ายคลึงกันกับวงจรกรองช่วงความถี่ของวงจรในภาคส่ง แต่มีการนำเอาวงจรกรองช่วงความถี่ผ่านต่อแบบ Cascade เพื่อจะได้ช่วงความถี่ที่ต้องการมีความคมมากขึ้น เพื่อจะได้ความถี่ช่วง 50-80 kHz ดังในวงจรรูปที่ 3.18



รูปที่ 3.18 วงจรกรองความถี่ช่วง 50- 80 kHz

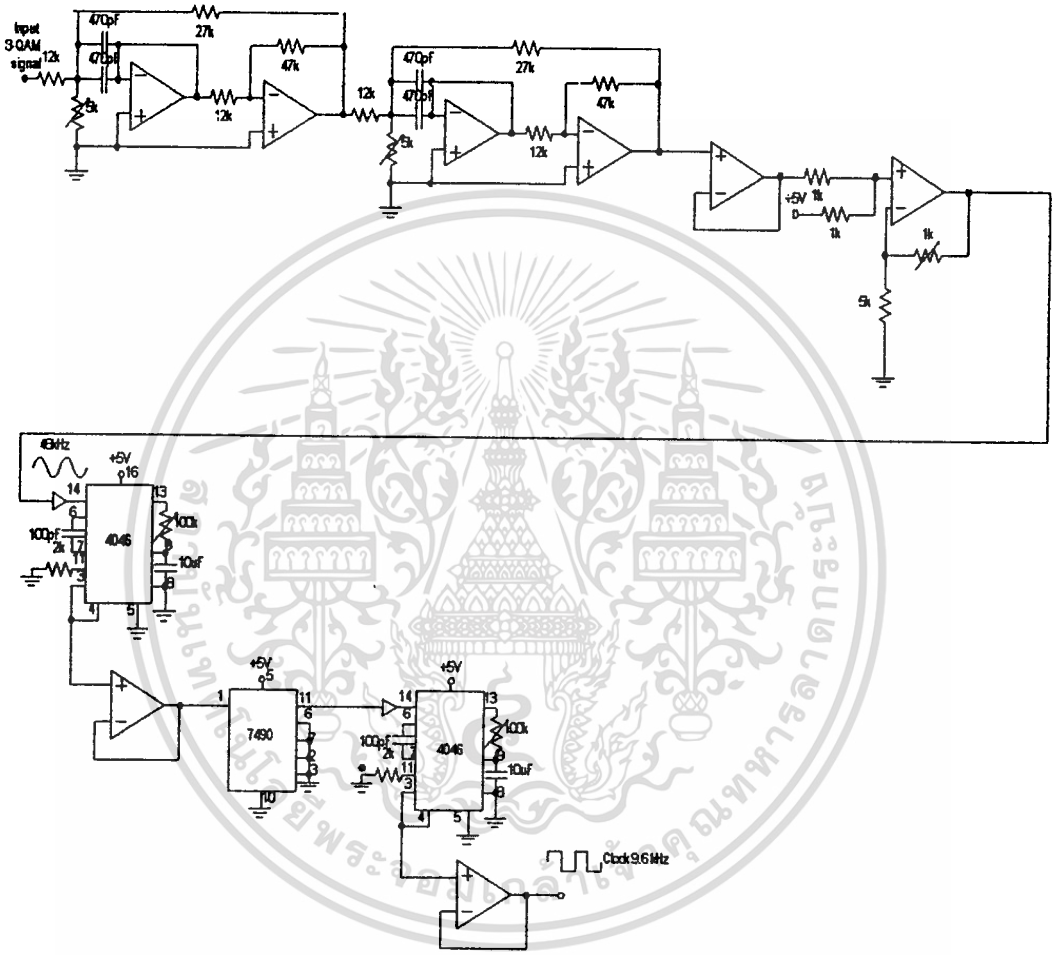
3.11 วงจรกรองความถี่ช่วง 48 kHz

วงจรนี้เป็นส่วนสำคัญในการนำมากู้สัญญาณพาหะและกู้สัญญาณนาฬิกา ดังนั้นจะต้องมีคุณสมบัติในการกรองความถี่ในช่วงแบนด์วิธที่แคบมาก ดังนั้นจึงทำการต่อแบบ Cascade จะได้วงจรเดียวกับวงจรกรองช่วงความถี่ 50-80 kHz โดยทำการปรับความถี่จากการปรับค่าความต้านทานเพียงเล็กน้อยเพื่อสะดวกในการออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.12 วงจรกู้สัญญาณนาฬิกา (Clock Recovery)

สำหรับวงจรกู้สัญญาณนาฬิกาที่ออกแบบแล้วใช้ในการทดลองนั้น เป็นดังรูปที่ 3.19



รูปที่ 3.19 วงจรกู้สัญญาณนาฬิกา

จากรูปที่ 3.19 เมื่อสัญญาณไพล็อทโทน 48 kHz ผ่านวงจรกรองช่วงความถี่ 48 kHzแล้ว จะถูกส่งต่อไปยังวงจรกู้สัญญาณนาฬิกา เพื่อทำการแปลงสัญญาณรูปไซน์เวฟให้เป็นสัญญาณรูปสแควร์เวฟ จากนั้นก็ผ่านวงจรหาร 5 เพื่อทำให้สัญญาณรูปสแควร์เวฟ 48 kHz มีความถี่ลดลงเหลือ 9.6 kHz ซึ่งมีค่าเท่ากับสัญญาณนาฬิกา 9.6 kHz ที่ภาคส่งพอดี

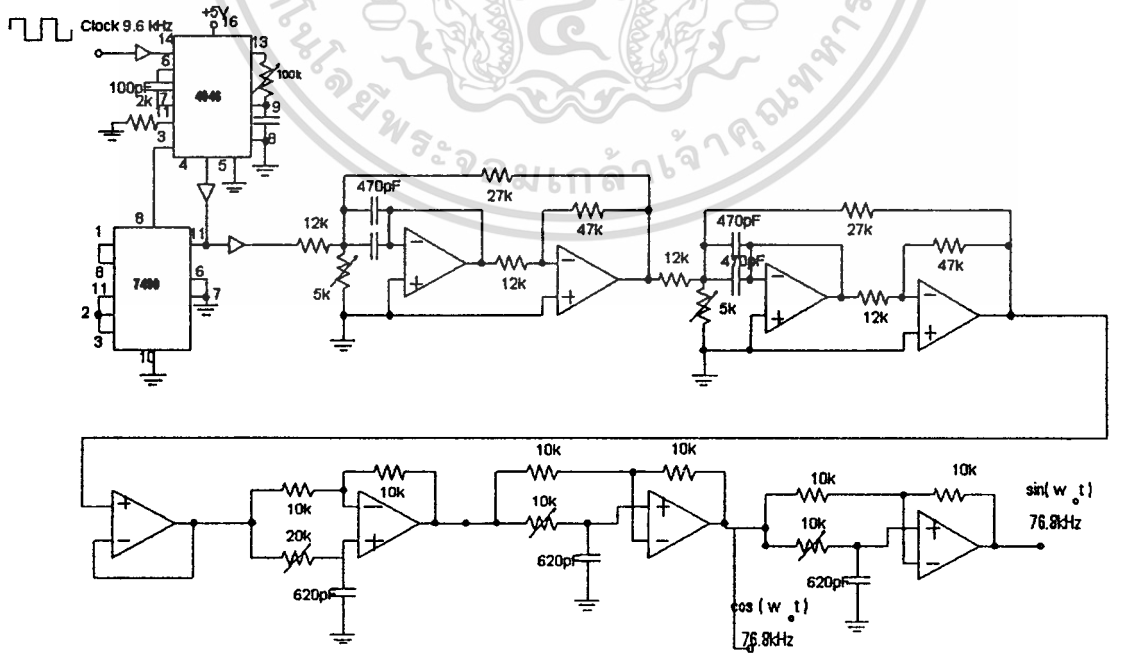
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากการที่ทางด้านภาคส่งนั้นส่งสัญญาณไพล็อทโทนโดยสร้างมาจากการอ้างอิงจากสัญญาณนาฬิกาโดยใช้เฟสล็อกลูปทำการล็อกสัญญาณนาฬิกาเอาไว้ แล้วคูณความถี่ให้สูงขึ้น หลังจากนั้นใช้วงจรกรองช่วงความถี่ช่วยทำให้สัญญาณรูปสแควร์เวฟกลายเป็นสัญญาณรูปไซน์เวฟ และที่ภาครับเมื่อรับสัญญาณไพล็อทโทนได้แล้วจะใช้วงจรเฟสล็อกลูปทำการล็อกสัญญาณเอาไว้ พร้อมกับแปลงสัญญาณไซน์เวฟให้เป็นรูปสัญญาณสแควร์เวฟ จากนั้นก็ใช้วงจรหารความถี่เพื่อให้ความถี่ลดลงเหลือ 9.6 kHz จากนั้นจึงนำสัญญาณที่ได้นี้ไปเข้าเฟสล็อกลูปเพื่อสร้างสัญญาณนาฬิกา 9.6 kHz ออกมา

ดังนั้นจะเห็นได้ว่า การสร้างไพล็อทโทนของทางภาคส่งและสัญญาณนาฬิกาของทางภาครับนั้นจะอาศัยการอ้างอิงและการเปรียบเทียบกับสัญญาณที่มีอยู่แล้วในวงจร อีกทั้งเป็นสัญญาณตัวเดียวกันอีกด้วย รวมทั้งการใช้วงจรเฟสล็อกลูปซึ่งเป็นวงจรผลิตความถี่และวงจรเปรียบเทียบเฟสสัญญาณอยู่ภายในจึงเป็นการทำให้เกิดการซิงค์โครไนซ์ (Synchronization) กันระหว่างภาคส่งและภาครับ

3.13 วงจรกู้สัญญาณพาหะ

วงจรกู้สัญญาณพาหะ (Carrier Recovery) นั้น ก็จะใช้หลักการและวิธีการเหมือนกันทุกประการกับวงจรกำเนิดสัญญาณพาหะของด้านภาคส่งกล่าว คือ จะอาศัยสัญญาณนาฬิกาที่ได้จากวงจรกู้สัญญาณนาฬิกามาใช้เป็นสัญญาณอ้างอิง แล้วคูณความถี่ให้สูงขึ้นโดยใช้วงจรเฟสล็อกลูปจากนั้นก็จะผ่านวงจรกรองช่วงความถี่ทำการคัดเลือกเฉพาะสัญญาณไซน์เวฟเพื่อนำเป็นสัญญาณพาหะสำหรับใช้ในวงจรบาลานซ์ดีมอดูเลเตอร์ต่อไป ดังจะแสดงวงจรกู้สัญญาณพาหะดังรูป



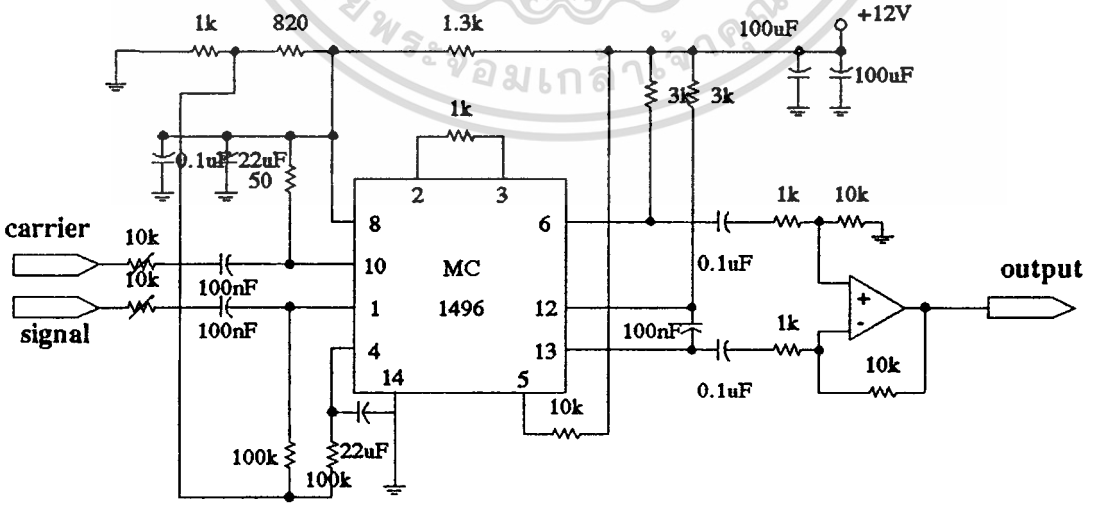
รูปที่ 3.20 วงจรกู้สัญญาณพาหะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากสัญญาณมอดูเลทที่รับมาได้นั้นจะประกอบไปด้วย สัญญาณดิจิตอลที่ถูกแยกออกเป็น 2 ส่วน และสัญญาณข้อมูล 2 บิทมี่ถูกแยกออกมานั้น จะกลายเป็นของสัญญาณ 4 ระดับแล้วมอดูเลทกับสัญญาณพาหะ โดยใช้วงจรบาลานซ์มอดูเลเตอร์ และนำมารวมกันระหว่างสัญญาณมอดูเลททางด้านอินเฟสที่ใช้สัญญาณไซน์เป็นสัญญาณพาหะ และสัญญาณมอดูเลททางด้านควอดราเจอร์เฟสที่ใช้สัญญาณโคน์เป็นสัญญาณพาหะ ในทำนองเดียวกัน ที่ภาครับนี้ สัญญาณพาหะก็ต้องมี 2 ชุดเช่นกัน โดยใช้สัญญาณไซน์เวฟที่ได้จากวงจรกู้สัญญาณพาหะ เพื่อนำไปใช้ในวงจรบาลานซ์ดีมอดูเลเตอร์ของทางด้านอินเฟส และจะใช้สัญญาณโคไซน์ที่ได้มาจากวงจรกู้สัญญาณพาหะที่ผ่านวงจรเลื่อนเฟส 90 องศา เพื่อนำไปใช้ในวงจรบาลานซ์ดีมอดูเลเตอร์ของทางด้างควอดราเจอร์เฟส สำหรับวงจรเลื่อนเฟส 90 องศาจะใช้วงจรเหมือนทางด้านส่งทุกประการ

3.14 วงจรบาลานซ์ดีมอดูเลเตอร์

ทางด้านภาครับวงจรบาลานซ์ดีมอดูเลเตอร์ (Balance Demodulator) จะใช้ ไอซี 1496 รูปแบบบของวงจรนั้นจะเหมือนกับวงจรบาลานซ์มอดูเลเตอร์ทางด้านภาคส่งเกือบทุกประการแต่จะต่างกับทางด้านภาคส่งเพียงเล็กน้อยเท่านั้นดังแสดงไว้ในรูปที่ 3.12 และด้วยเหตุผลที่ว่าข้อมูลที่ส่งมาที่ได้จากวงจรกรองช่วงความถี่ 50-80 kHz นั้นจะถูกแยกออกเป็น 2 ส่วน ดังนั้นจะต้องใช้วงจรบาลานซ์ดีมอดูเลเตอร์ 2 วงจร เพื่อทำการดีมอดูเลท ทางด้านอินเฟส (Inphase) และทางด้านควอดราเจอร์เฟส(Quadrature Phase) แต่ทั้ง 2 วงจรเหมือนกันทุกประการต่างกันตรงที่สัญญาณพาหะที่ทำการดีมอดูเลททางด้านอินเฟสเป็นสัญญาณไซน์ ส่วนทางด้านควอดราเจอร์เฟสเป็นสัญญาณโคไซน์



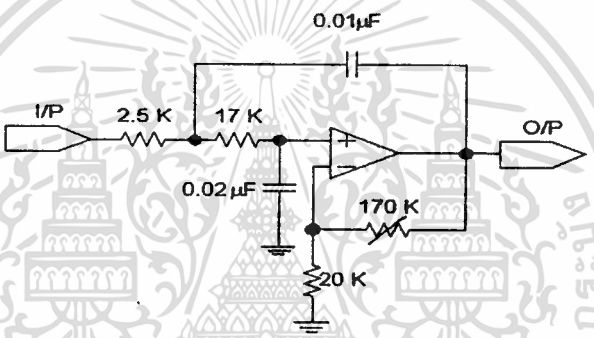
รูปที่ 3.21 วงจรบาลานซ์ดีมอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.15 วงจรกรองความถี่ต่ำผ่าน

เมื่อทำการดีมอดูเลททั้ง 2 ด้านแล้ว สัญญาณเอาท์พุทที่ได้ทั้งสองวงจรนั้นจะประกอบสัญญาณที่เกิดจากการคูณกันของสัญญาณพาหะกับสัญญาณมอดูเลท และผลที่ได้จะมีสัญญาณความถี่สูงและสัญญาณความถี่ต่ำ ซึ่งสัญญาณ 4 ระดับที่ต้องการนั้นอยู่ในรูปของสัญญาณความถี่ต่ำ ดังนั้นวงจรกรองความถี่ต่ำผ่านจะทำหน้าที่กรองเฉพาะสัญญาณความถี่ต่ำที่ต้องการเท่านั้น ส่วนสัญญาณความถี่สูงจะถูกตัดทิ้งไปเหลือแต่สัญญาณ 4 ระดับในส่วนของความถี่ต่ำผ่านเท่านั้น

ในส่วนการออกแบบนั้น จะใช้ความถี่คัท-ออฟ (Cut-off Frequency)ที่ประมาณ 3.2 kHz หลักการในการออกแบบจะคล้ายวงจรกรองช่วงความถี่โดยใช้การอ่านค่าพารามิเตอร์ต่างๆจากกราฟ รูปแบบของวงจรกรองความถี่ต่ำผ่านทั้ง 2 ด้านเหมือนกันทุกประการสามารถแสดงได้ดังรูปที่ 3.22



รูปที่ 3.22 วงจรกรองความถี่ต่ำผ่าน

3.16 วงจรแปลงสัญญาณ 4 ระดับ ไปเป็น 2 ระดับ

เมื่อสัญญาณผ่านวงจรบาลานซ์ดีมอดูเลเตอร์ทางภาครับแล้วผ่านวงจรกรองความถี่ต่ำ จะเป็นสัญญาณความถี่ต่ำ และเมื่อผ่านขบวนการตัดสินระดับและจัดรูปพัลซ์แล้ว จะเป็นสัญญาณ 4 ระดับเหมือนกันกับสัญญาณก่อนที่จะเข้าวงจรบาลานซ์มอดูเลเตอร์ของทางด้านภาคส่ง ดังนั้นเราจำเป็นต้องเปลี่ยนสัญญาณ 4 ระดับดังกล่าวให้เป็นสัญญาณดิจิตอล 2 ระดับ เพื่อที่จะนำไปรวมกันเป็นข้อมูลดิจิตอลส่งออกต่อไป

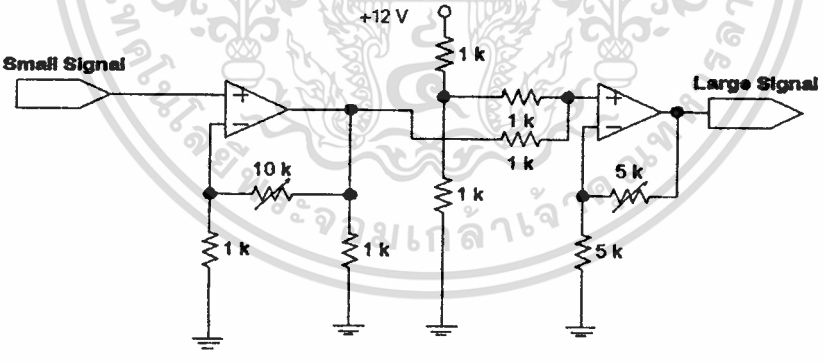
เพื่อความสะดวกในการตรวจจับระดับ จึงได้มีการออกแบบวงจรขยายสัญญาณ 4 ระดับซึ่งมีขนาดเล็กไม่ถึง 1 V_{P-P} ให้เป็นสัญญาณขนาดใหญ่ 8 V_{P-P} ดังสรุปการขยายสัญญาณ 4 ระดับ และแสดงไว้ในตารางที่ 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินพุท 4 ระดับ (สัญญาณขนาดเล็ก)	เอาท์พุท 4 ระดับ (สัญญาณขนาดใหญ่)
+150 mV	9 V
+50 mV	7 V
-50 mV	5 V
-150 mV	3 V

ตารางที่ 3.3 การขยายสัญญาณก่อนเข้าวงจรตรวจระดับสัญญาณ

ในส่วนของวงจรขยายสัญญาณดังกล่าวนี้ ได้ทำการออกแบบและทดลองวงจรดังแสดงไว้ในรูปที่ 3.23 โดยอาศัยวงจรขยายออปแอมป์แบบไม่กลับขั้ว (Non-Inverting) ใช้ตัวต้านทานแบ่งแรงดันจาก 12 โวลท์ ให้ได้ 6 โวลท์ เข้าที่ขา 3 ของออปแอมป์ เพื่อใช้เป็นระดับอ้างอิงในการขยายสัญญาณ ที่ขา 2 ของออปแอมป์ มีส่วน R_f ของวงจรนี้จะใช้ความต้านทานที่ปรับค่าได้ 5 kΩ เพื่อใช้ปรับอัตราการขยายของวงจรให้เป็นไปตามข้อกำหนดที่ได้ทำการออกแบบไว้



รูปที่ 3.23 วงจรขยายสัญญาณ 4 ระดับ

เมื่อระดับของสัญญาณมีขนาดใหญ่เพียงพอกับการตรวจจับระดับและมีความสามารถในการป้องกันความผิดพลาดของสัญญาณ แล้วจะถูกส่งไปเข้าวงจรแปลงระดับให้เป็น 2 ระดับ โดยใช้วงจรเปรียบเทียบแรงดัน ซึ่งอาศัยออปแอมป์ทำหน้าที่ตรวจจับระดับสัญญาณ ทำการตั้งจุดการทำงานของออปแอมป์ไว้ที่ระดับต่างๆกัน ดังนี้ 4 โวลท์ 6 โวลท์ และ 8โวลท์

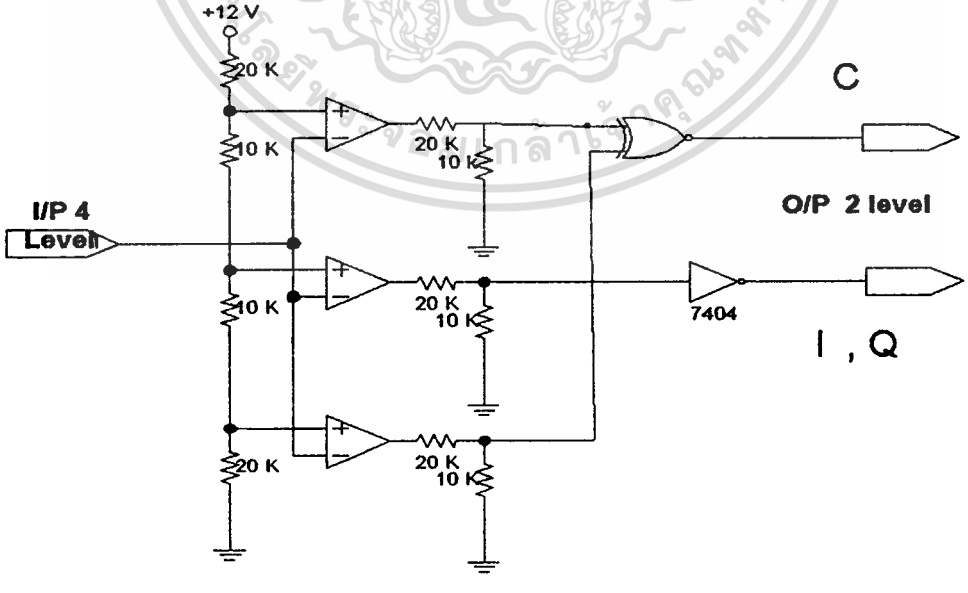
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อสัญญาณขาเข้ามาออปแอมป์แต่ละตัวจะตรวจสอบ เปรียบเทียบความต่างศักย์ระหว่าง ขากลับขั้ว และขาไม่กลับขั้ว แล้วให้เอาท์พุทตามลักษณะของตัวมัน และที่เอาท์พุทแต่ละตัวจะใช้ตัวต้านทานแบ่งแรงดันเพื่อที่ต้องการเพียง 5 โวลท์ ในขณะที่สัญญาณเข้ามาต่ำกว่าระดับที่ตั้งไว้ และ 0 โวลท์ ในขณะที่สัญญาณเข้ามาสูงกว่าระดับที่ตั้งไว้ของออปแอมป์ทุกตัว ทั้งนี้เพื่อให้สอดคล้องกับอินพุทที่ EX-OR Gate ต้องการ (ไฟเลี้ยงของออปแอมป์จะป้อน +12 โวลท์ เข้าที่ขา 7 และขา 4 ลงกราวน์ ดังรูปที่ 3.24 นั้นเอาท์พุทของออปแอมป์จะไม่มีโอกาสเป็นไฟลบ)ดังนั้นเอาท์พุทจากวงจรแปลงสัญญาณ 4 ระดับ ไปเป็น 2 ระดับจะเป็นสัญญาณดิจิตอลที่เป็นรหัสเกรย์ ดังตารางที่ 3.4

สัญญาณอินพุท	สัญญาณเอาท์พุทเกรย์โค้ด
9 V	11
7 V	10
5 V	00
3 V	01

ตารางที่ 3.4 การตรวจจับระดับสัญญาณแล้วแปลงสัญญาณเป็นรหัสเกรย์โค้ด

ดังนั้นก่อนที่จะนำสัญญาณ 2 ระดับไปเข้าวงจรรวมสัญญาณดิจิตอลนั้นจะต้องมีการถอดรหัสเกรย์เสียก่อนเพื่อแปลงเป็นสัญญาณไบนารีทำได้โดยเอาท์พุทที่ได้จากวงจรนี้ผ่าน EX-OR Gate

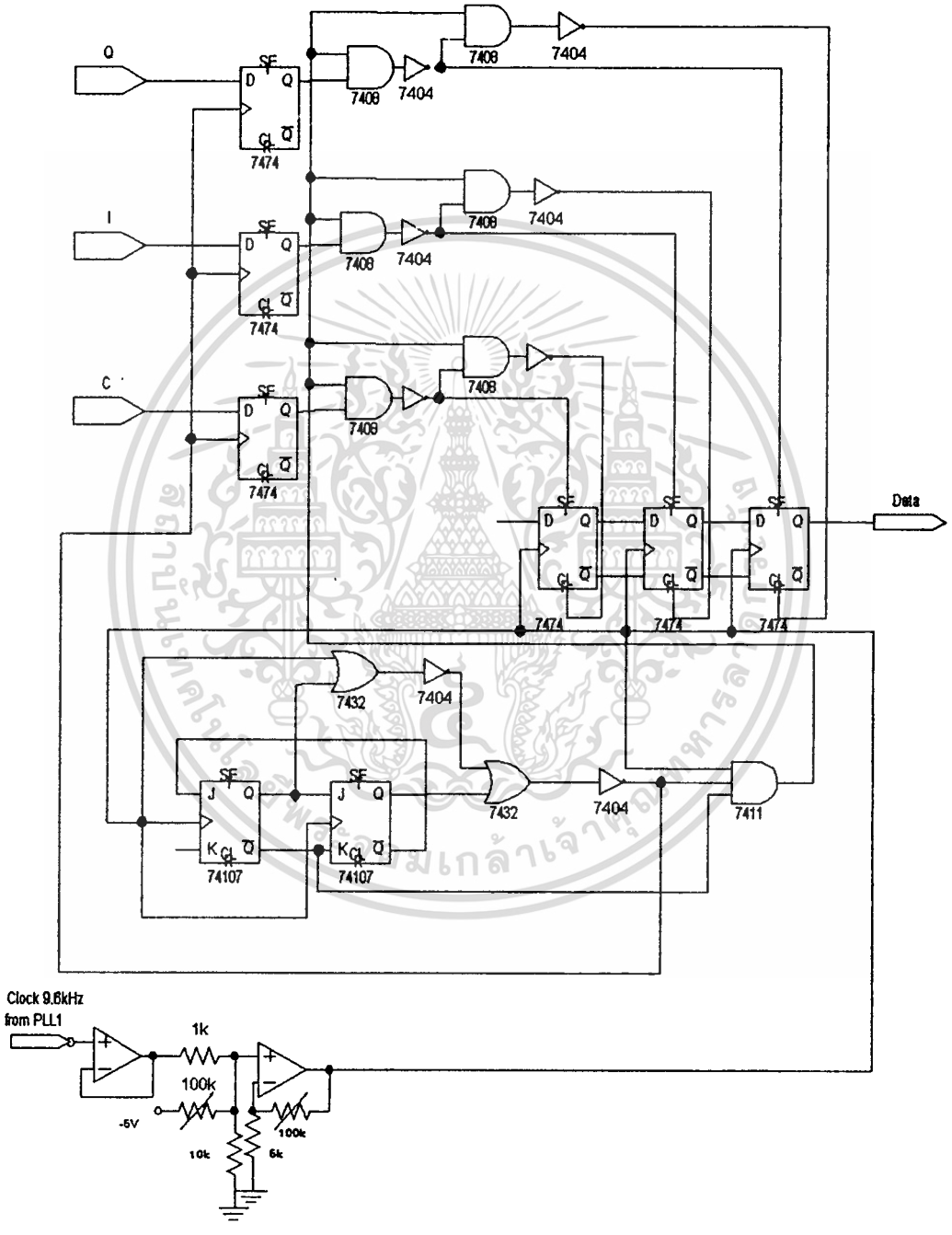


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.24 วงจรแปลงสัญญาณ 4 ระดับเป็น 2 ระดับ

3.17 วงจรรวมสัญญาณดิจิตอล

สำหรับวงจรรวมสัญญาณดิจิตอลนั้นมีการออกแบบใช้ในการทดลอง ดังรูปที่ 3.25



รูปที่ 3.25 วงจรรวมสัญญาณดิจิตอล

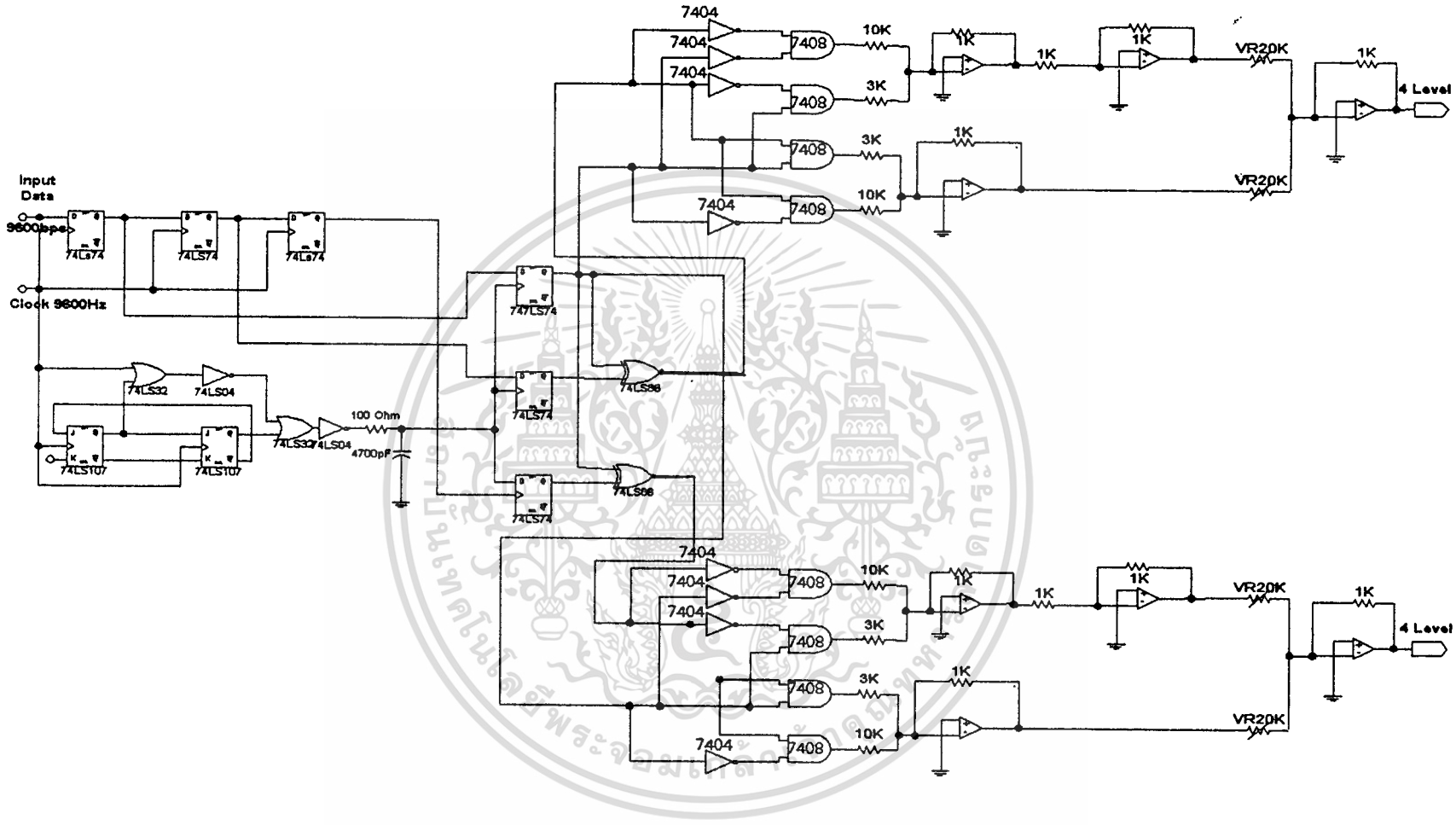
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.25 เป็นวงจรที่มีลักษณะและหน้าที่การทำงานตรงกันข้ามกันกับวงจรแยกสัญญาณดิจิตอลของทางภาคส่ง เพื่อทำหน้าที่รวมสัญญาณดิจิตอลทั้งด้านอินเฟส และด้านควอดราเจอร์เฟส (บิทบนและบิทล่าง) จากสัญญาณดิจิตอลแบบขนานไปเป็นสัญญาณดิจิตอลแบบอนุกรม โดยอาศัยการควบคุมจังหวะการทำงานของตัวฟลิปฟลอปจากสัญญาณนาฬิกาที่ได้จากวงจรกู้สัญญาณนาฬิกา

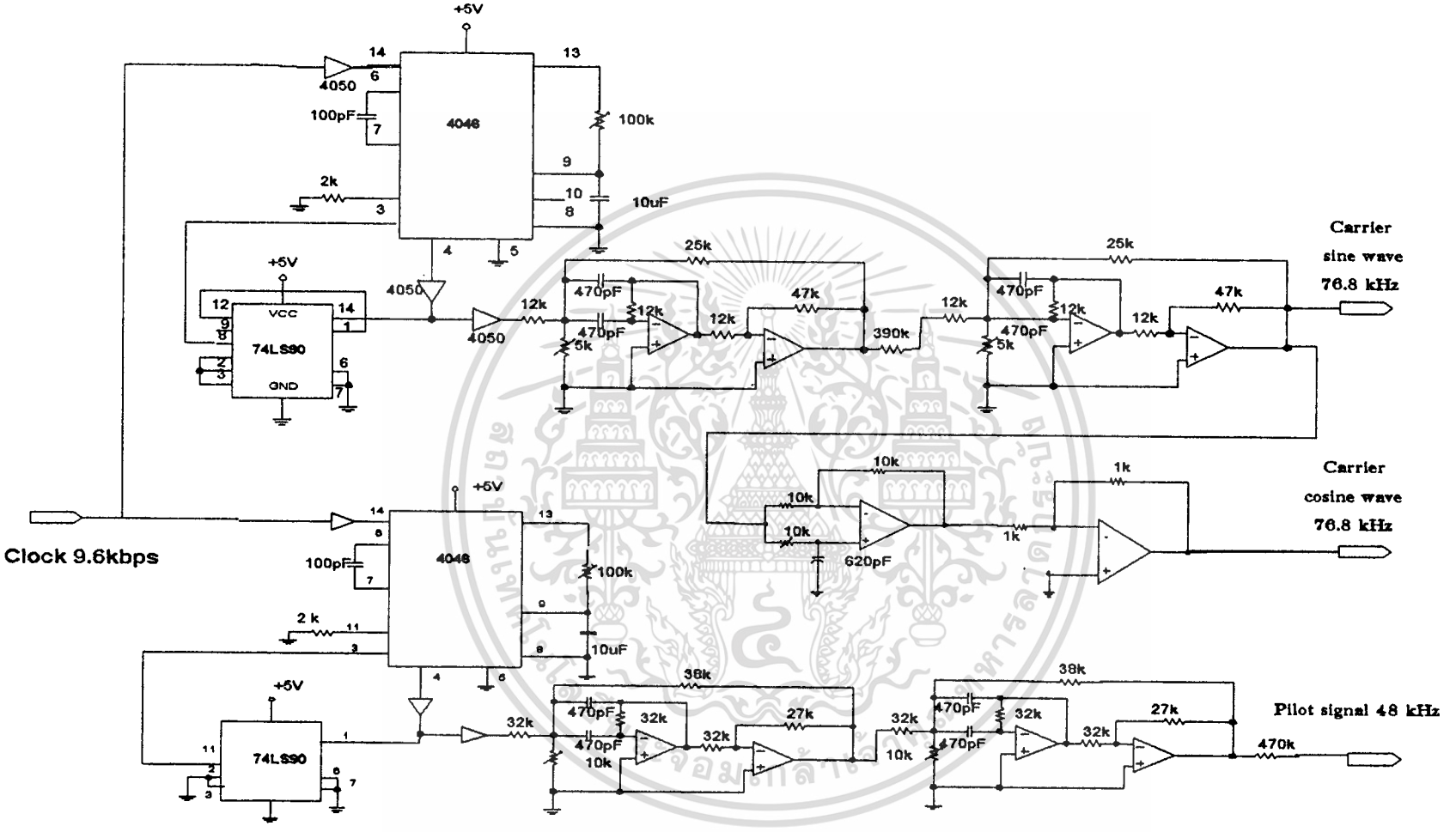
สัญญาณดิจิตอลที่ได้จากภาคส่งในส่วนของวงจรแยกสัญญาณดิจิตอลนั้น จะเป็นรหัสเกรย์จึงต้องทำการแปลงสัญญาณให้เป็นรหัสไบนารี โดยอาศัยหลักการทำงาน EX-OR Gate เหมือนกันกับทางด้านส่ง

วงจรหาร 3 หรือวงจรหน่วงเวลา 3 บิท ก็จะเข้ามามีบทบาทอีกเช่นเดิม แต่จะทำหน้าที่พิเศษในการบังคับ D ฟลิปฟลอปให้มีจังหวะพอดีกับความต้องการรับข้อมูลของ D ฟลิปฟลอป เพราะว่าข้อมูลจาก D ฟลิปฟลอป จะถูกส่งไปบังคับให้ D ฟลิปฟลอป มีเอาท์พุทเหมือนกันกับข้อมูลที่ได้รับมาโดยผ่านการควบคุมที่ขา SET และขา RESET ของ D ฟลิปฟลอปแต่ละตัว เมื่อ D ฟลิปฟลอป รับข้อมูลไปแล้วนั้นควรจะใช้เวลาเพียงสัญญาณนาฬิกาพัลซ์ลูกเดียวเท่านั้น จึงใช้ NAND Gate แบบ 3 อินพุท เข้าช่วยในการบังคับให้ D ฟลิปฟลอป ส่งข้อมูลเฉพาะสัญญาณนาฬิกาลูกแรกเท่านั้น (พัลซ์ควบคุม D ฟลิปฟลอป จะมี 3 ลูก) ซึ่งหลักการดังกล่าวนี้ก็เป็นหลักการของวงจรแปลงข้อมูลแบบขนานไปเป็นแบบอนุกรมนั่นเอง

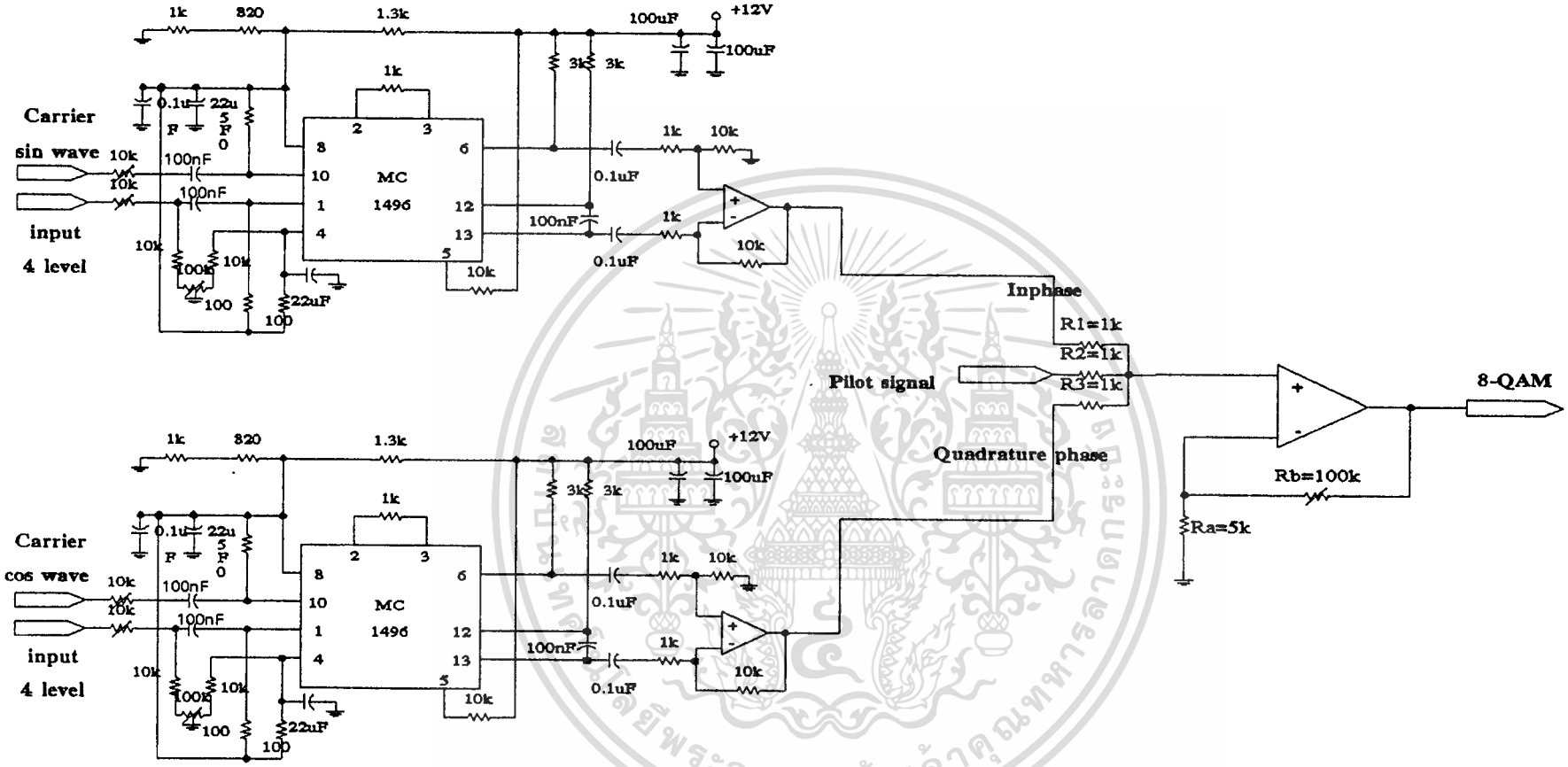
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



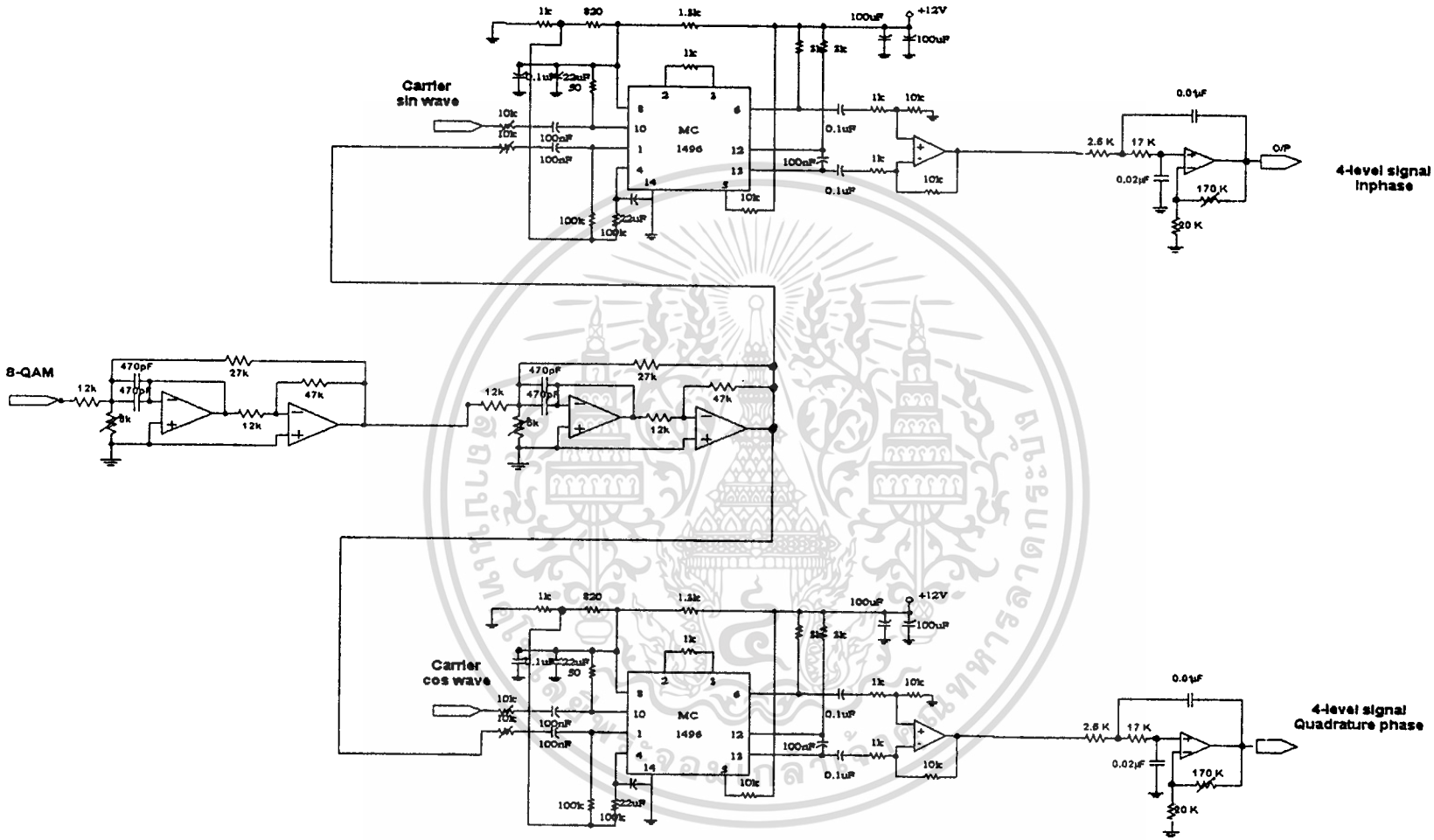
รูปที่ 3.26 แสดงวงจรภาคส่งส่วนที่ 1



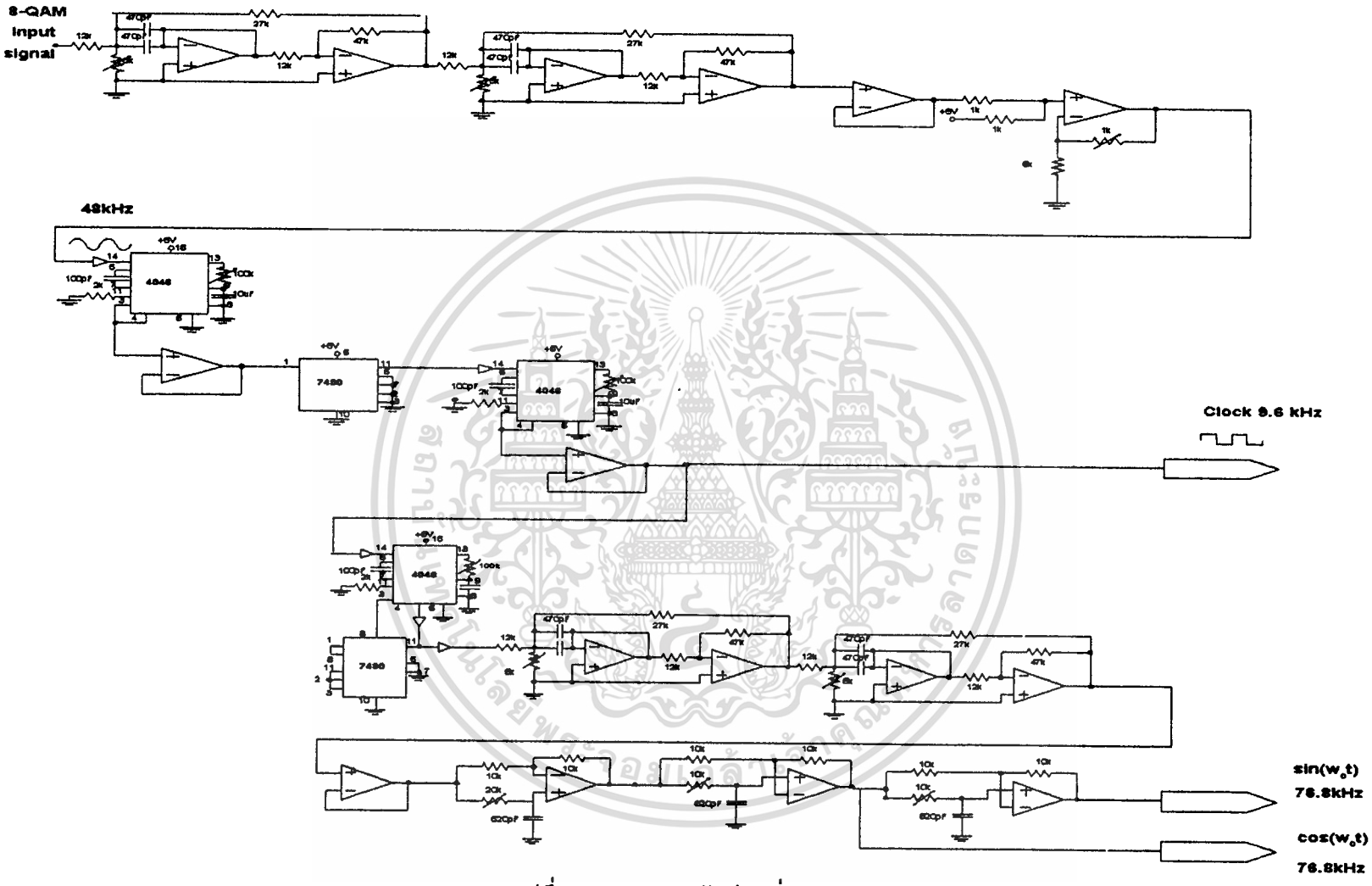
รูปที่ 3.27 แสดงวงจรภาคส่งส่วนที่ 2



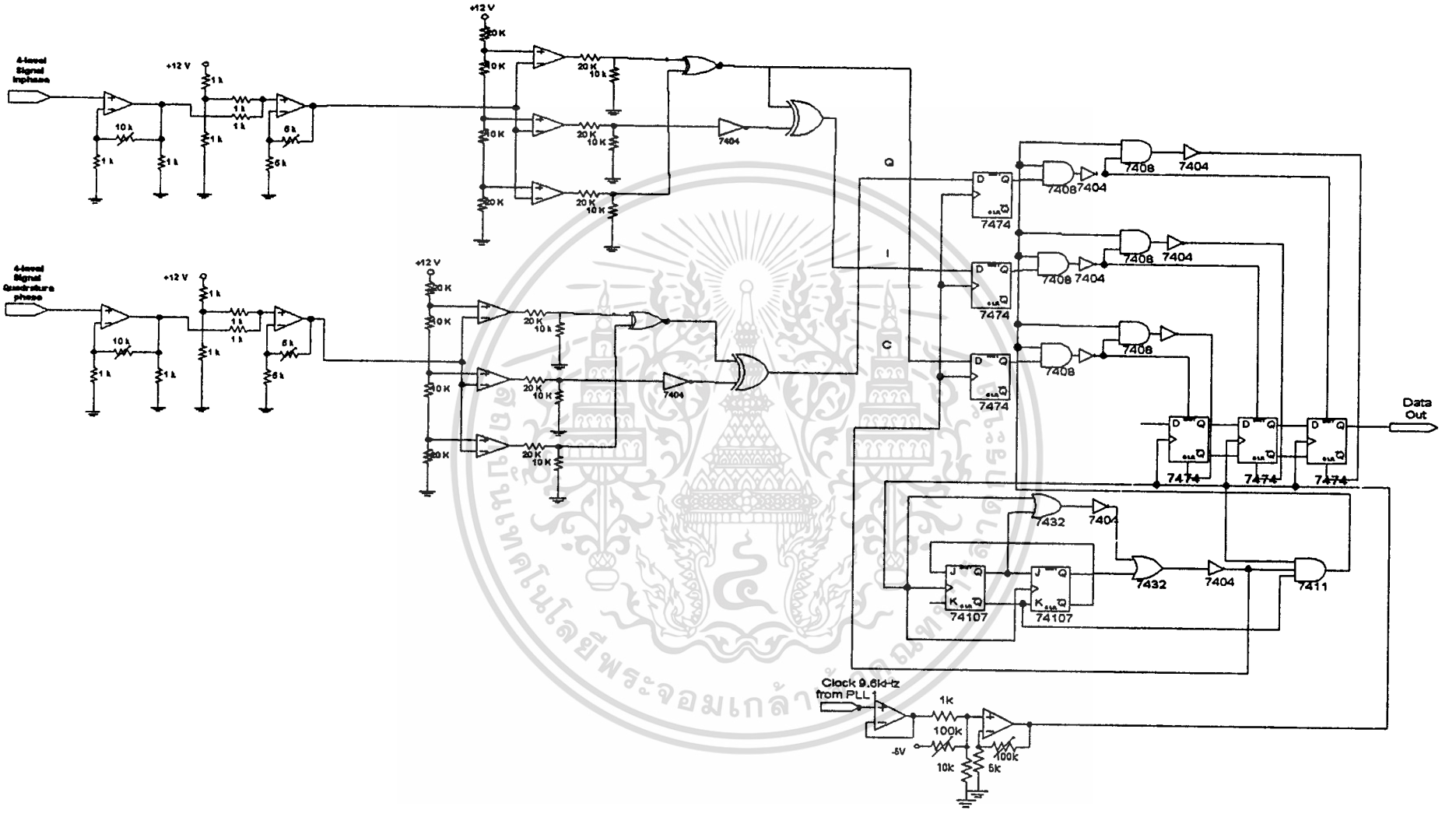
รูปที่ 3.28 แสดงวงจรภาคส่งส่วนที่ 3



รูปที่ 3.29 แสดงวงจรภาครับส่วนที่ 1



รูปที่ 3.30 วงจรภาครับส่วนที่ 2



รูปที่ 3.31 วงจรภาครับส่วนที่ 3

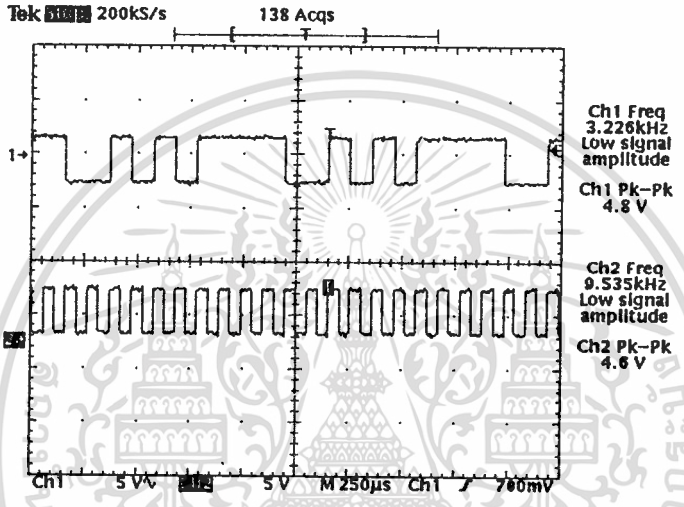
บทที่ 4

การทดลองและผลการทดลอง

การทดลองในส่วนของภาคส่งสัญญาณ 8-QAMจะมีผลการทดลองในส่วนของวงจรต่างๆดังนี้

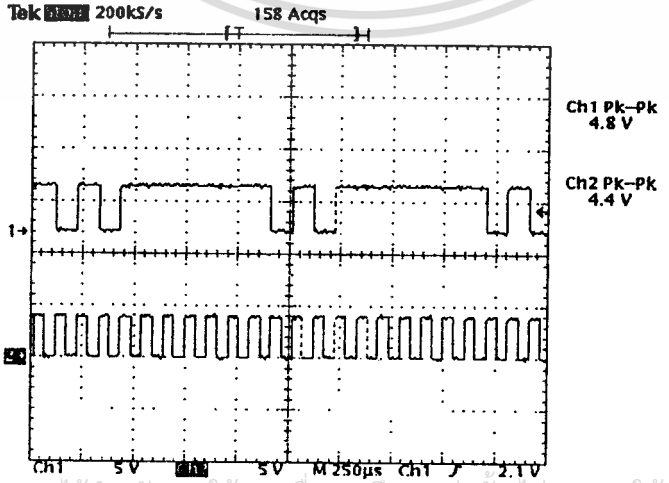
4.1 วงจรกำเนิดสัญญาณข้อมูล

จากรูปที่ 3.2 เมื่อทำการป้อนรหัส 1110010101 เข้าไปในวงจรกำเนิดสัญญาณโดยป้อนสัญญาณคล็อคที่มีบิทเรท 9600 bps ขนาด 5 V_{p-p} และแรงดันออฟเซต 2.5 V_{p-p} จะได้สัญญาณออกจากวงจรที่ขา 9 ดังรูปที่ 4.1



รูปที่ 4.1 แสดงเอาท์พุทของวงจรกำเนิดสัญญาณเมื่อป้อนรหัส1110010101 (CH1)
เปรียบเทียบกับสัญญาณ clock (CH2)

เมื่อทำการป้อนรหัสต่างๆเพื่อทำการทดสอบวงจรกำเนิดสัญญาณโดยป้อน 10101111เข้าไปในวงจรกำเนิดสัญญาณโดยป้อนสัญญาณคล็อคที่มีบิทเรท 9600 bps ขนาด 5 V_{p-p} และแรงดันออฟเซต 2.5 V_{p-p} จะได้สัญญาณออกจากวงจรที่ขา 9 ดังรูปที่ 4.2

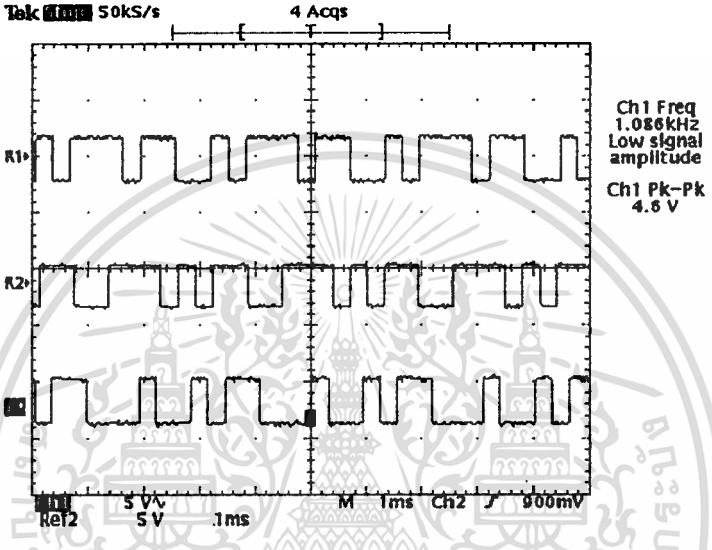


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.2 แสดงเอาท์พุทของวงจรกำเนิดสัญญาณเมื่อป้อนรหัส10101111 (CH1)
เปรียบเทียบกับสัญญาณ clock (CH2)

4.2 วงจรแยกสัญญาณดิจิตอล 3 บิท

เมื่อทำการป้อนรหัสที่ได้วงจรกำเนิดสัญญาณ คือ 11000110 เข้าไปในวงจรแยกสัญญาณดิจิตอล 3 บิท(รูปที่ 3.4) โดยที่มีสัญญาณ clock ตัวเดียวกันกับที่ป้อนให้กับวงจรกำเนิดสัญญาณซึ่งมีบิทเรท 9600 bps เพื่อให้เกิดการซิงโครไนซ์ เอาท์พุทที่ได้เป็นสัญญาณที่ผ่านเกรย์โค้ดแล้วจะได้ ผลการทดลองทั้ง 3 ช่องสัญญาณดังรูปที่ 4.3

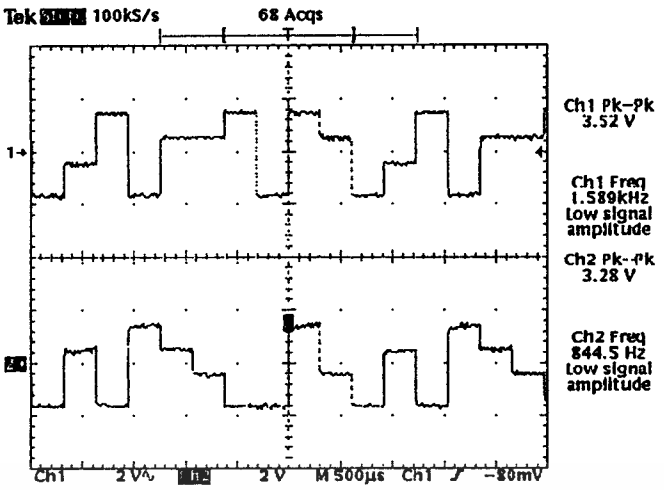


รูปที่ 4.3 แสดงเอาท์ที่ได้จากวงจาแยกสัญญาณดิจิตอล 3 บิท โดยมีช่องสัญญาณ I (R1) ช่องสัญญาณ C (R2) และช่องสัญญาณQ (CH1)

4.3 วงจรแปลง 2 ลอจิก เป็น 4 ระดับ

เมื่อได้ทั้ง 3 ช่องสัญญาณก็นำสัญญาณที่ได้ป้อนเข้ายังวงจรแปลง 2 ลอจิกเป็น 4 ระดับ ดังรูปที่ 3.1 ซึ่งจะมีการป้อนช่องสัญญาณ I กับช่องสัญญาณC เข้าวงจรแปลง 2 ลอจิกเป็น 4 ระดับทางด้านบิทบน และมีการช่องสัญญาณ Q กับช่องสัญญาณ C เข้าไปยังวงจรแปลง 2 ลอจิกเป็น 4 ระดับทางด้านบิทล่าง โดยที่วงจรแปลง 2 ลอจิกเป็น 4 ระดับทั้งด้านบิทบนและบิทล่างจะมีลักษณะวงจรดังรูปที่ 3.5 เมื่อทำการป้อนสัญญาณเข้าวงจรแปลง 2 ลอจิกเป็น 4 ระดับทั้งบิทบนและบิทล่างจะได้รูปสัญญาณดังรูปที่ 4.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

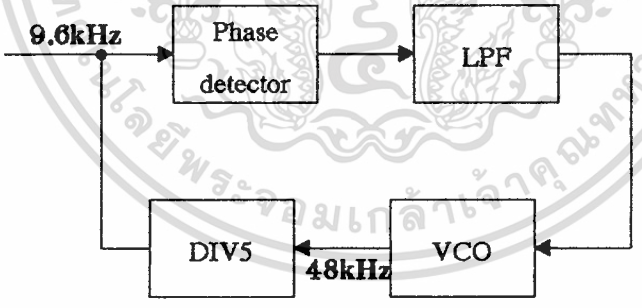


รูปที่ 4.4 แสดงการเปรียบเทียบระหว่างสัญญาณที่ได้จากวงจรแปลง 2 ลอจิกเป็น 4 ระดับทางด้านบิทบนคือช่องสัญญาณ I กับ C (CH1)และสัญญาณที่ได้จากวงจรแปลง 2 ลอจิกเป็น 4 ระดับทางบิทล่างคือช่องสัญญาณ Qกับ C (CH2)

4.4 วงจรกำเนิดสัญญาณนำร่อง 48 kHz

ในส่วนของวงจรจะประกอบด้วยวงจรที่สำคัญ 2 ส่วน คือ

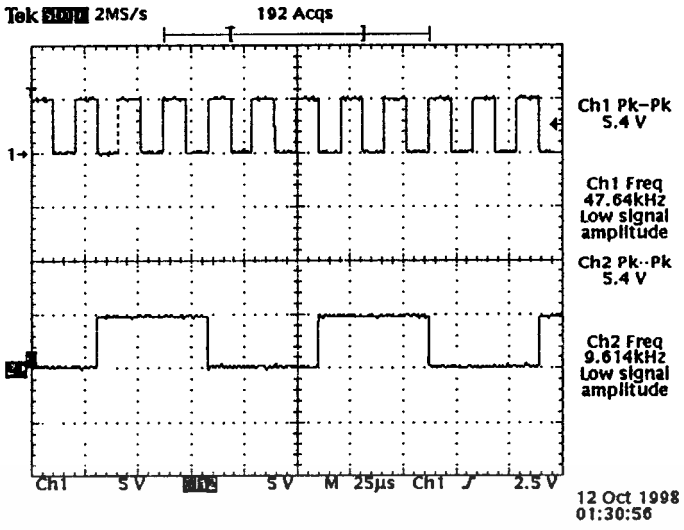
4.4.1 ส่วนเฟสล็อกลูปที่มีวงจรหาร 5 ดังรูป



รูปที่ 4.5 แสดงบล็อกไดอะแกรมของวงจรเฟสล็อกลูปที่ใช้ในการทดลอง

จากรูปที่ 4.5 เมื่อทำการป้อนสัญญาณ clock ตัวเดียวกันกับที่ป้อนให้กับวงจรกำเนิดสัญญาณเพื่อทำให้เกิดการซิงโครไนซ์ซึ่งมีความถี่ 9600 Hzนั้นจะได้สัญญาณที่ออกจากวงจร VCO (Voltage Control Oscillator)ที่อยู่ในไอซี 4046 นั้นจะได้สัญญาณดังรูปที่ 4.6

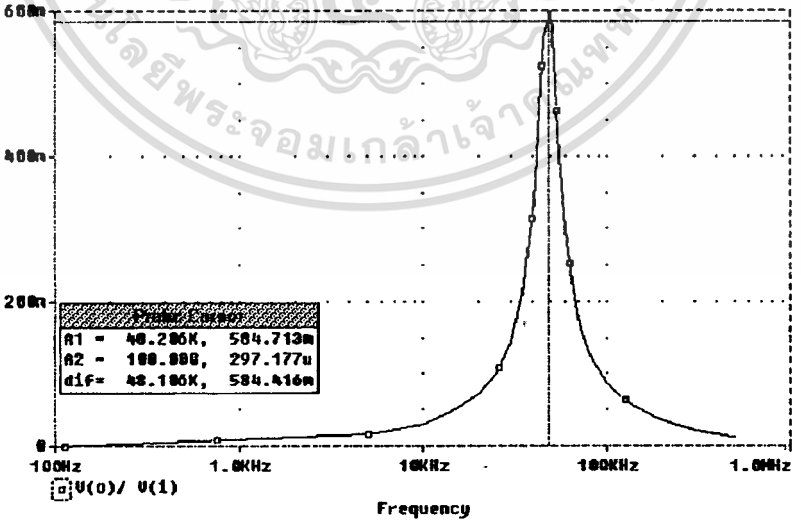
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 แสดงการเปรียบเทียบระหว่างสัญญาณรูปสี่เหลี่ยมเอาท์พุทที่ได้จากเฟสล็อกลูป ที่มีความถี่ 48 kHz(CH1)กับสัญญาณ clock 9600 Hz (CH2)

4.4.2 วงจรกรองช่วงความถี่ 48 kHz

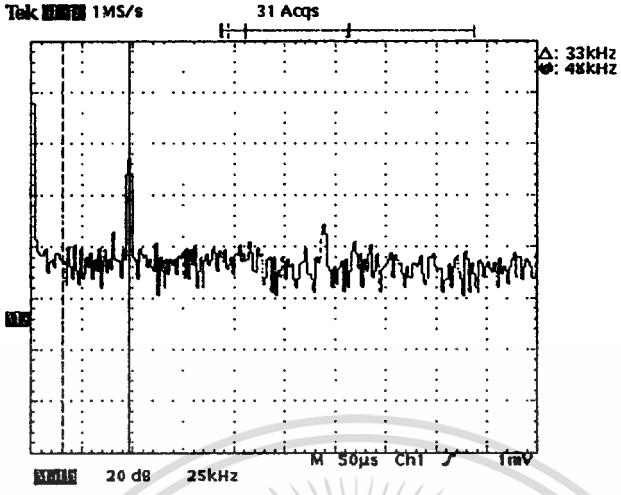
วงจรกรองความถี่ 48 kHz นี้มีเพื่อต้องการกรองเอาสัญญาณไซน์ฮาร์มอนิกที่ 1 ของสัญญาณรูปสี่เหลี่ยมออกมาซึ่งเมื่อทำการอออกแบบจะได้วงจรดังรูปที่ 3.10 แล้ววิเคราะห์ผลการทดลองจากการใช้โปรแกรมสำเร็จรูป PSPICE โดยวิเคราะห์ผลตอบสนองทางความถี่นั้นจะได้ผลการทดลองดังรูปที่ 4.7



รูปที่ 4.7 แสดงคุณสมบัติของวงจรกรองช่วงความถี่ 48 kHz ที่ได้จากการวิเคราะห์จากโปรแกรมสำเร็จรูป PSPICE

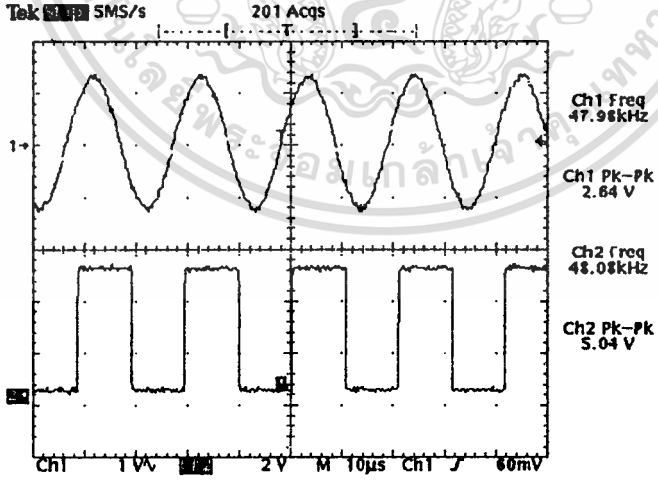
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือเมื่อทำการทดลองวงจรกรองความถี่เมื่อวิเคราะห์สเปคตรัมอนาไลเซอร์จะได้ดังรูปที่ 4.8



รูปที่ 4.8 แสดงสัญญาณเอาท์พุทที่ได้จากวงจรกรองช่วงความถี่ 48kHz โดยดูจากเครื่องสเปกตรัมอนาไลเซอร์

จากทั้งสองส่วนนี้รวมกันก็คือวงจรกำเนิดสัญญาณนำร่อง โดยมีรูปวงจรดังรูป 3.12 เมื่อนำเอาท์พุทที่ได้จากวงจรเฟสล็อกลูปมาต่อเข้ากับวงจรกรองช่วงความถี่นี้จะได้สัญญาณไซน์ที่นำมาใช้เป็นสัญญาณนำร่องจะได้ผลการทดลองดังรูปที่ 4.9

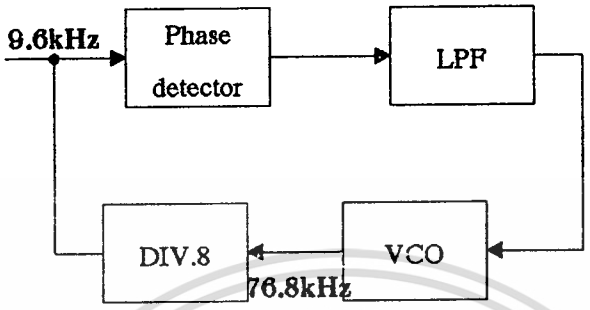


รูปที่ 4.9 แสดงการเปรียบเทียบระหว่างสัญญาณไซน์เอาท์พุทที่ได้จากวงจรกรองช่วงความถี่ (CH1) สัญญาณ clock ความถี่ 48 kHz (CH2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

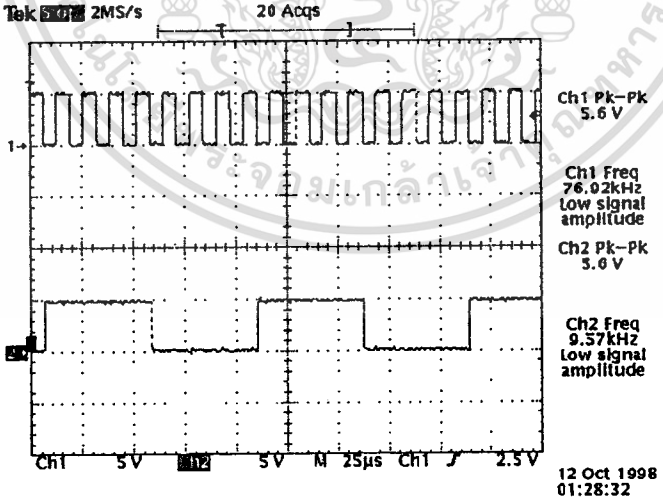
4.5 วงจรกำเนิดสัญญาณพาหะ 76.8 kHz

ในส่วนของวงจรจะประกอบด้วยวงจรที่สำคัญ 2 ส่วนเหมือนกับวงจรกำเนิดสัญญาณนำร่อง คือ 4.5.1 ส่วนเฟสล็อกลูปที่มีวงจรหาร 8 ดังรูปที่ 4.10



รูปที่ 4.10 แสดงบล็อกไดอะแกรมของวงจรเฟสล็อกลูปที่ใช้ในการทดลอง

จากรูปที่ 4.10 เมื่อทำการป้อนสัญญาณ clock ตัวเดียวกันกับที่ป้อนให้กับวงจรกำเนิดสัญญาณเพื่อทำให้เกิดการซิงโครไนซ์ซึ่งมีความถี่ 9600 Hzนั้นจะได้สัญญาณที่ออกจากวงจร VCO (Voltage Control Oscillator)ที่อยู่ในไอซี 4046 นั้นจะได้สัญญาณดังรูปที่ 4.11

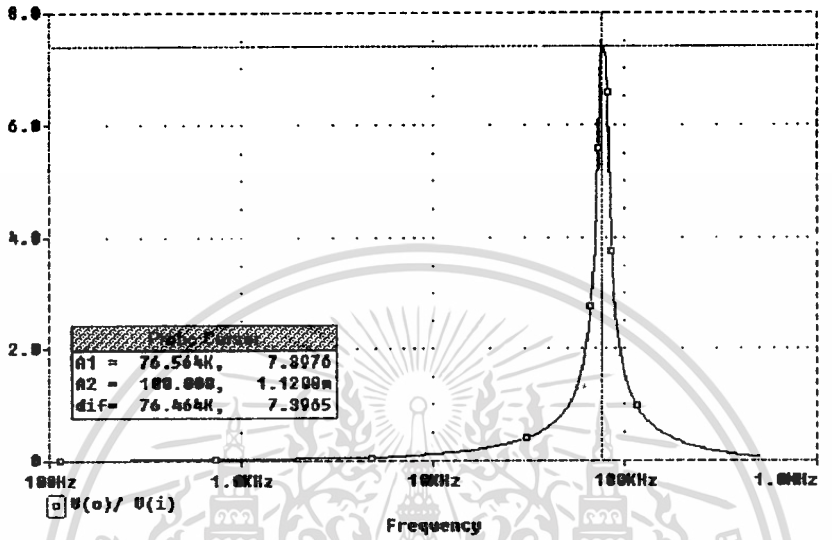


รูปที่ 4.11 แสดงการเปรียบเทียบระหว่างสัญญาณรูปสี่เหลี่ยมเอาท์พุทที่ได้จากเฟสล็อกลูป ที่มีความถี่ 76.8 kHz(CH1)กับสัญญาณ clock 9600 Hz (CH2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

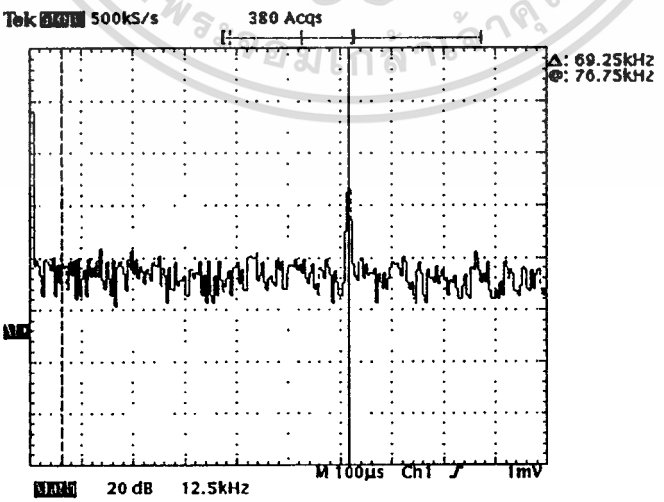
4.5.2 วงจรกรองช่วงความถี่ 76.8 kHz

วงจรกรองความถี่ 76.8 kHz นี้มีเพื่อต้องการกรองเอาสัญญาณไซน์ฮาร์มอนิกที่ 1 ของสัญญาณรูปสี่เหลี่ยมออกมาซึ่งเมื่อทำการอออกแบบจะได้วงจรดังรูปที่ 3.9 แล้ววิเคราะห์ผลการทดลองจากการใช้โปรแกรมสำเร็จรูป PSPICE โดยวิเคราะห์ผลตอบสนองทางความถี่นั้นจะได้ผลการทดลองดังรูปที่ 4.12



รูปที่ 4.12 แสดงคุณสมบัติของวงจรกรองช่วงความถี่ 76.8 kHzที่ได้จากการวิเคราะห์จากโปรแกรมสำเร็จรูป PSPICE

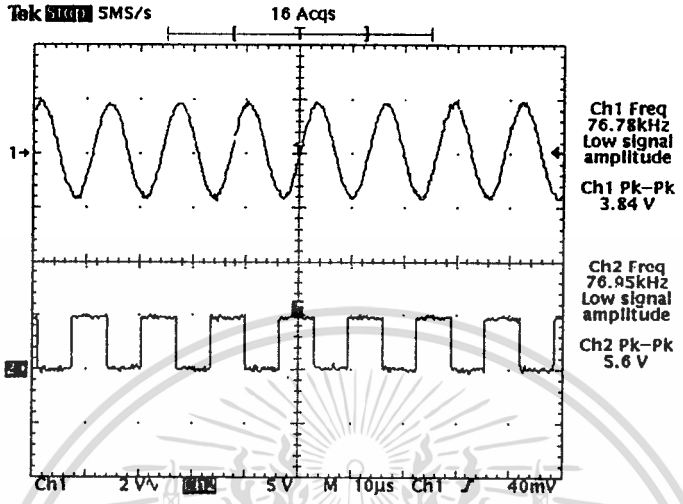
หรือเมื่อทำการทดลองวงจรกรองความถี่เมื่อวิเคราะห์สเปคตรัมอนาไลเซอร์จะได้ดังรูปที่ 4.13



รูปที่ 4.13 แสดงสัญญาณเอาท์พุทที่ได้จากวงจรกรองช่วงความถี่ 76.8kHz โดยดู จากเครื่องสเปกตรัมอนาไลเซอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

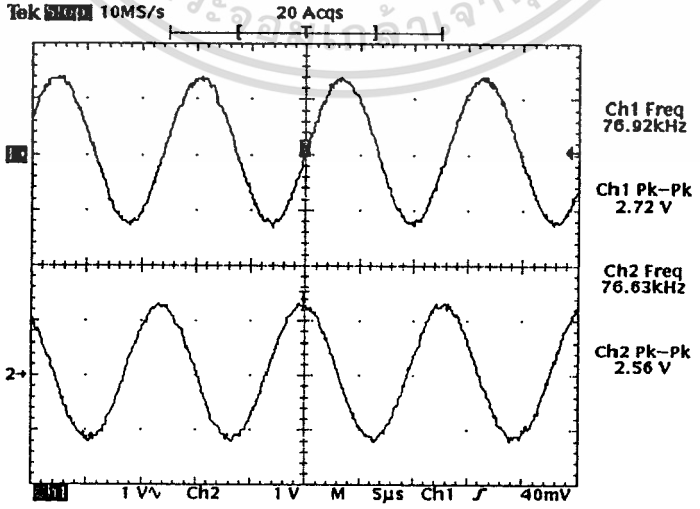
จากทั้งสองส่วนนี้รวมกันก็คือวงจรกำเนิดสัญญาณพาหะ โดยมีรูปวงจรดังรูป 3.11 เมื่อนำเอาท์พุทที่ได้จากวงจรเฟสล็อกลูปมาต่อเข้ากับวงจรกรองช่วงความถี่นี้จะได้สัญญาณไซน์ที่นำมาใช้เป็นสัญญาณพาหะจะได้ผลการทดลองดังรูปที่ 4.14



รูปที่ 4.14 แสดงการเปรียบเทียบระหว่างสัญญาณไซน์เอาท์พุทที่ได้จากวงจรกรองช่วงความถี่ (CH1) สัญญาณ clock ความถี่ 76.8 kHz (CH2)

4.6 วงจรเลื่อนเฟส 90 องศา

วงจรเลื่อนเฟส 90 องศานี้จะใช้สำหรับสัญญาณพาหะที่จะป้อนเข้าวงจรบาลานซ์มอดูเลเตอร์ทางด้านบิทล่าง เมื่อนำสัญญาณพาหะป้อนเข้าวงจรเลื่อนเฟส 90 องศาจะได้ผลการทดลองดังรูป 4.15

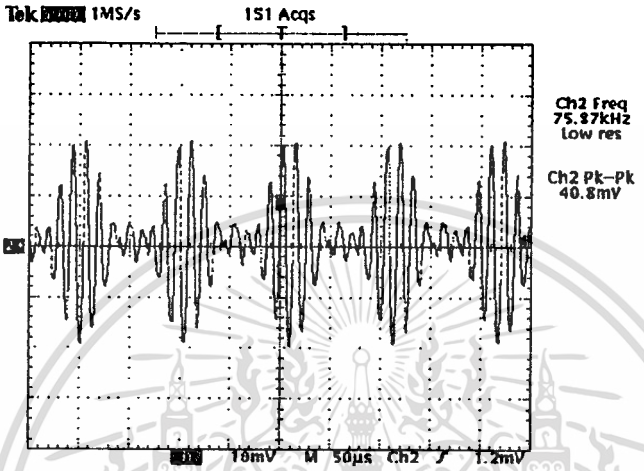


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.15 แสดงการเปรียบเทียบระหว่างสัญญาณพาหะที่ได้จากวงจรเลื่อนเฟส 90 องศา(CH1)กับสัญญาณพาหะอินพุท

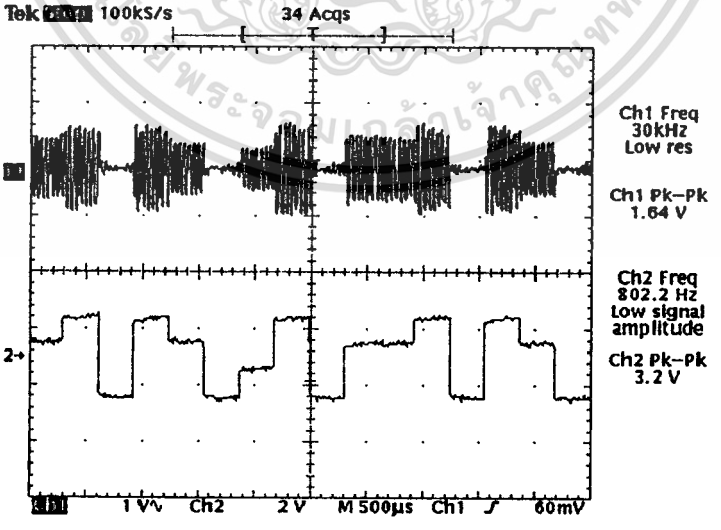
4.7 วงจรบาลานซ์มอดูเลเตอร์

วงจรนี้เป็นส่วนที่สำคัญอย่างยิ่งดังนั้นจึงมีการทดสอบคุณสมบัติของวงจรซึ่งสามารถทดสอบคุณสมบัติโดยป้อนสัญญาณไซน์ที่ขนาด 300 V_{p-p} และความถี่ 9.6 kHz และสัญญาณพาหะที่มีขนาด150 V_{rms} และความถี่ 76.8 kHz โดยที่ข้อควรระวังอยู่ที่การป้อนขนาดของทั้งสองสัญญาณจะต้องไม่เกินค่านี้ ซึ่งจะได้ผลดังรูปที่ 4.16



รูปที่ 4.16 แสดงสัญญาณเอาท์พุทที่ได้จากวงจรบาลานซ์มอดูเลเตอร์

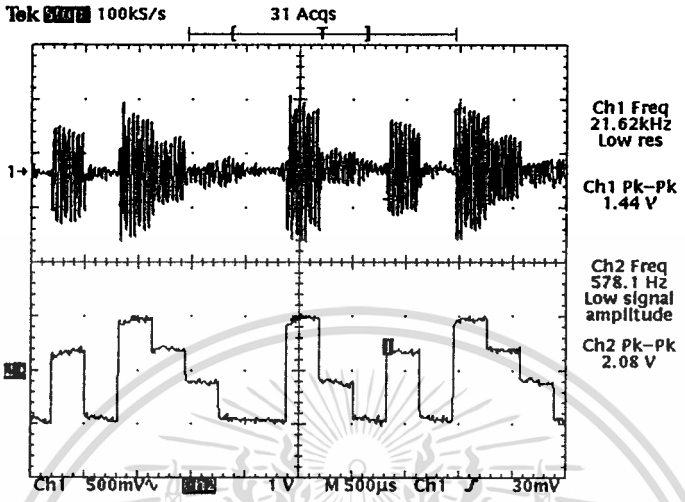
เมื่อนำมาป้อนสัญญาณ 4 ระดับที่ได้จากวงจรแปลง 2 ลอจิกเป็น 4 ระดับ และสัญญาณพาหะที่ได้จากวงจรกำเนิดสัญญาณพาหะที่วงจรบาลานซ์มอดูเลเตอร์ทางด้านบิทบนจะได้ผลดังรูปที่ 4.17



รูปที่ 4.17 แสดงการเปรียบเทียบระหว่างสัญญาณเอาท์พุทจากวงจรบาลานซ์มอดูเลเตอร์ทางด้านบิทบน(CH1)กับสัญญาณ 4 ระดับ (CH2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

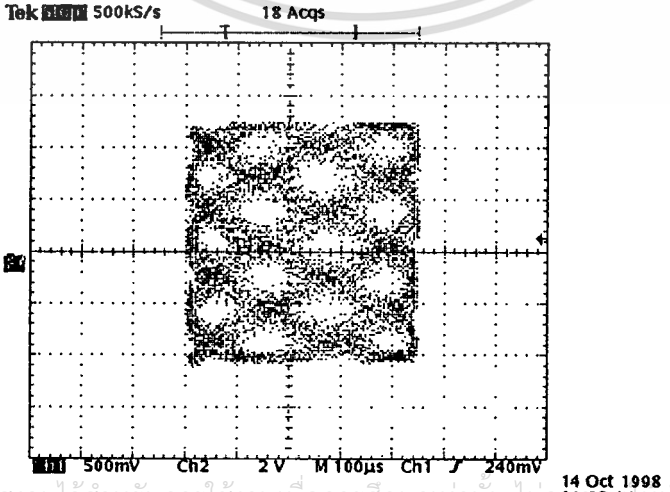
เมื่อนำมาป้อนสัญญาณ 4 ระดับที่ได้จากวงจรแปลง 2 ลอจิกเป็น 4 ระดับ และสัญญาณพาหะที่ผ่านวงจรเลื่อนเฟส 90 องศาที่วงจรบาลานซ์มอดูเลเตอร์ทางด้านบิทล่างจะได้ผลดังรูปที่ 4.18



รูปที่ 4.18 แสดงการเปรียบเทียบระหว่างสัญญาณเอาท์พุทจากวงจรบาลานซ์มอดูเลเตอร์ทางด้านบิทล่าง(CH1)กับสัญญาณ 4 ระดับ (CH2)

4.8 วงจรขยายรวมสัญญาณแบบไม่กลับเฟส

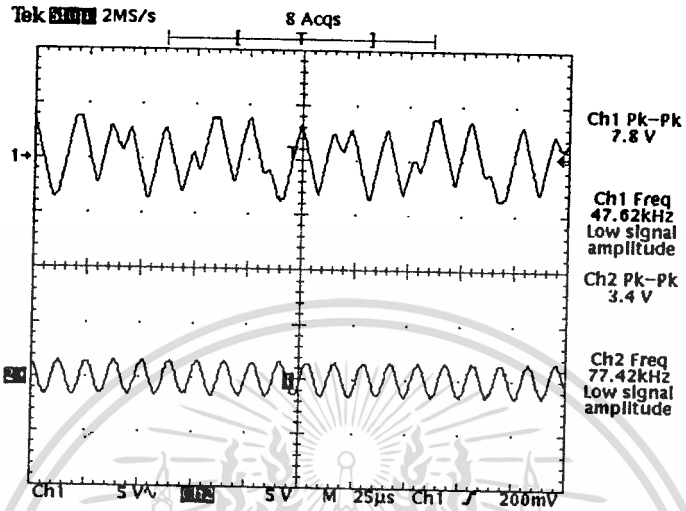
วงจรส่วนนี้เป็นส่วนสุดท้ายของเครื่องส่ง 8-QAM โดยที่เริ่มจากการรวมสัญญาณที่ได้จากวงจรบาลานซ์มอดูเตอร์ทั้งทางด้านบิทล่างกับบิทบนและสัญญาณนำร่องเมื่อนำมารวมกันแล้วดูเฟสเซอร์ไดอะแกรมโดยเปรียบเทียบกับสัญญาณพาหะจะได้ผลการทดลองดังรูปที่ 4.19



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

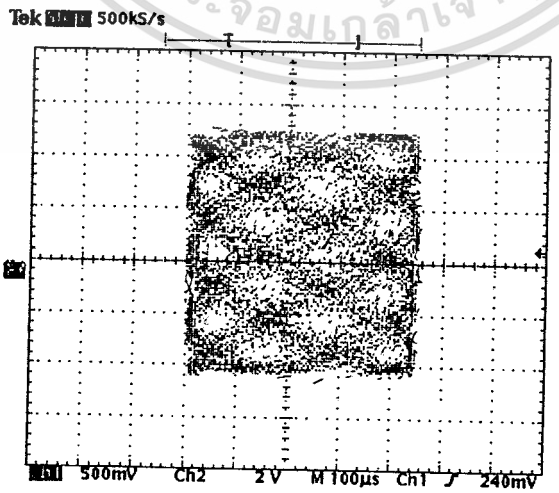
รูปที่ 4.19 แสดงเฟสเซอร์ไดอะแกรมของสัญญาณ 8-QAMทางภาคส่ง

เมื่อนำสัญญาณที่รวมกันมาวิเคราะห์ทางแกนเวลาจะได้สัญญาณเอาท์พุทเพื่อทำการส่งไปยังด้านรับ โดยที่จะได้สัญญาณดังรูปที่ 4.20



รูปที่ 4.20 แสดงสัญญาณเอาท์พุทที่ได้วงจรขยายรวมสัญญาณโดยที่มีสัญญาณจากวงจรบาลานซ์มอดูเลเตอร์ทั้งสองอันและสัญญาณจากวงจรกำเนิดสัญญาณนำร่อง (CH1) เทียบเฟสกับสัญญาณพาหะ (CH2)

เมื่อทำการส่งสัญญาณในรูปที่ 4.20 เข้าไปในสายโคแอกเชียลไปยังภาครับจะมีเฟสเซอร์ไดอะแกรมเข้าทางด้านภาครับดังรูปที่ 4.21



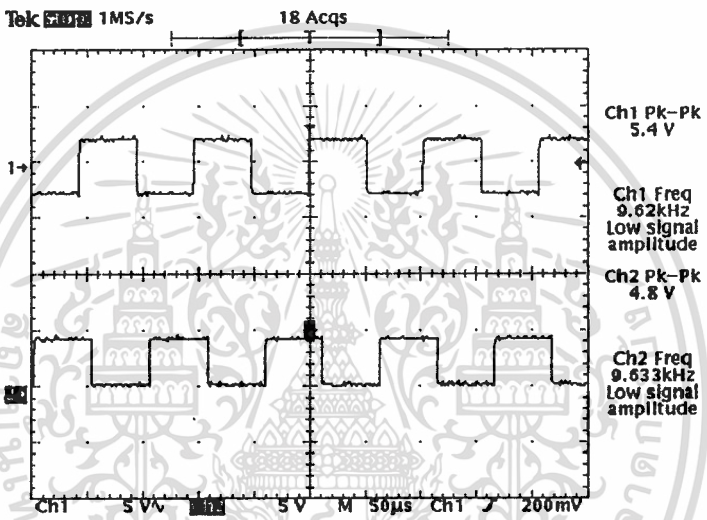
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น

รูปที่ 4.21 แสดงเฟสเซอร์ไดอะแกรมของสัญญาณ 8-QAM ทางรับ

สำหรับการทดลองในส่วนของภาครับสัญญาณ 8-QAM เมื่อได้รับสัญญาณ 8-QAM นั้นจะมีผลการทดลองในส่วนของวงจรต่างๆดังนี้

4.9 วงจรกู้สัญญาณนาฬิกา (Clock Recovery)

วงจรนี้เป็นวงจรที่ถือได้ว่าเป็นหัวใจสำคัญของการเกิดการซิงโครไนซ์ระหว่างภาคส่งกับภาครับสัญญาณซึ่งได้กล่าวรายละเอียดของวงจรไปแล้วในบทที่ 3 ในรูปที่ 3.19 เมื่อนำสัญญาณ 8-QAM มาผ่านวงจรนี้สามารถกู้สัญญาณนาฬิกาได้ดังรูปที่ 4.22

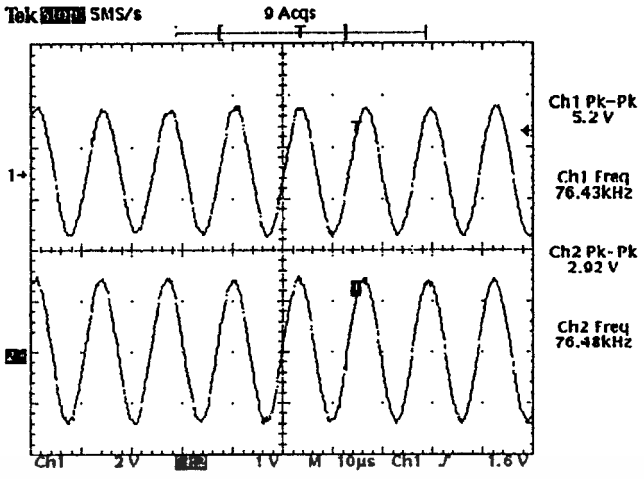


รูปที่ 4.22 แสดงการเปรียบเทียบระหว่างสัญญาณนาฬิกาทางภาครับ (CH1)
ที่ได้จากวงจรกู้สัญญาณนาฬิกากับสัญญาณนาฬิกาทางภาคส่ง (CH2)

4.10 วงจรกู้สัญญาณพาหะ (Carrier Recovery)

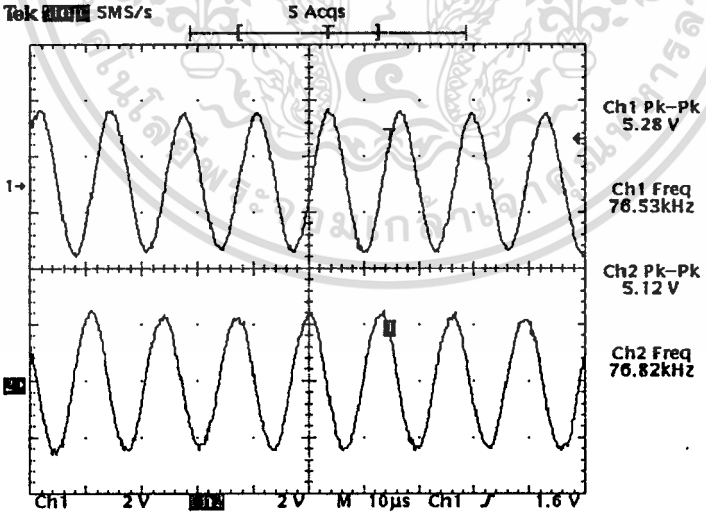
การกู้สัญญาณพาหะนั้นได้จากการนำสัญญาณนาฬิกาที่กู้ได้จากวงจรกู้สัญญาณนาฬิกานั้นมาผ่านวงจรกู้สัญญาณพาหะซึ่งได้ออกแบบวงจร ดังรูปที่ 3.20 นั้น สัญญาณนาฬิกาที่กู้ได้จากผลการทดลองในรูปที่ 4.22 นั้นมีการเลื่อนเฟสทำให้ที่วงจรกู้สัญญาณนาฬิกามีวงจรเลื่อนเฟส 0-180 องศา เพื่อให้ได้สัญญาณพาหะที่มีเฟสเดียวกันกับสัญญาณพาหะทางภาคส่ง ได้ผลการทดลองดังรูปที่ 4.23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.23 แสดงการเปรียบระหว่างสัญญาณเพาหะไซน์ภาครับที่กู้ได้ (CH1)
จากวงจรเลื่อนเฟส 0-180 องศากับสัญญาณเพาหะไซน์ภาคส่ง (CH2)

หลังจากที่สามารถกู้สัญญาณเพาหะไซน์ที่มีเฟสตรงกับด้านส่งได้แล้ว จากบล็อกไดอะแกรมของภาครับ 8-QAMนั้นจะต้องมีสัญญาณเพาหะ 2 สัญญาณคือไซน์ และโคไซน์ เพื่อนำมาดีมอดูเลททางด้านอินเฟส กับควอดราเจอร์เฟส ดังนั้นจะต้องนำสัญญาณเพาหะไซน์ที่กู้ได้นี้ผ่านวงจรเลื่อนเฟส 90 องศาทำให้สามารถกู้สัญญาณเพาหะโคไซน์ได้ดังรูปที่ 4.24

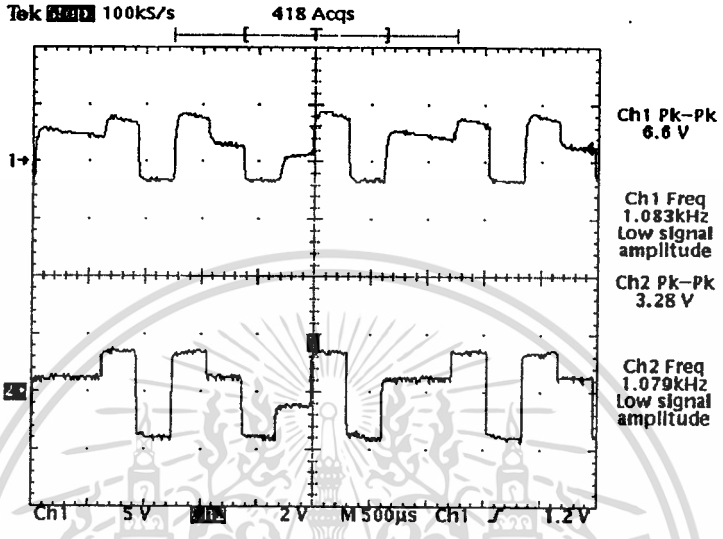


รูปที่ 4.24 แสดงการเปรียบระหว่างสัญญาณเพาหะไซน์ (CH1)
กับสัญญาณเพาหะโคไซน์(CH2) ที่ได้จากวงจรเลื่อนเฟส 90 องศา

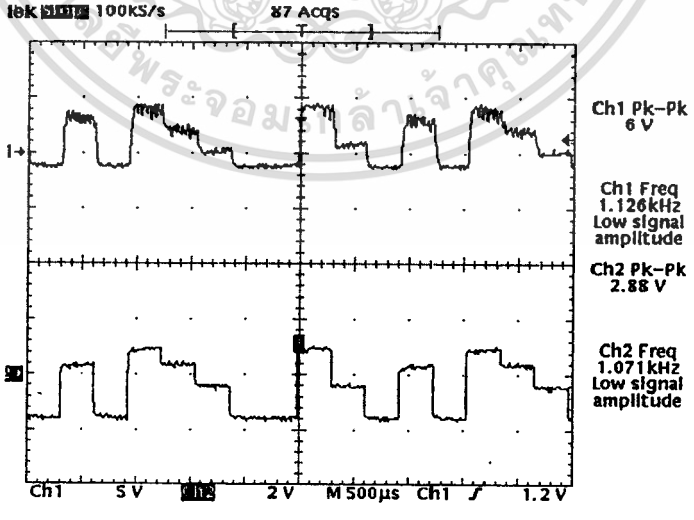
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.11 วงจรบาลานซ์ดีมอดูเลเตอร์

เมื่อนำสัญญาณพาหะที่กู้ได้ทั้งสัญญาณไซน์และโคไซน์ มาดีมอดูเลทกับสัญญาณ 8-QAM ที่ผ่านวงจรกรองช่วงความถี่ 50-80 kHz เพื่อกดสัญญาณนำร่องที่ส่งมาจากภาคส่งนั้น มาดีมอดูเลททั้งทางด้านอินเฟสกับทางด้านควอดราเจอร์เฟส เมื่อผ่านวงจรนี้ได้ผลการทดลอง ดังรูปที่ 4.25-4.26



รูปที่ 4.25 แสดงการเปรียบเทียบระหว่างสัญญาณที่ได้จากวงจรบาลานซ์ดีมอดูเลเตอร์ที่ผ่านวงจรกรองความถี่ต่ำผ่านทางด้านอินเฟส(I กับ C ที่ CH1)

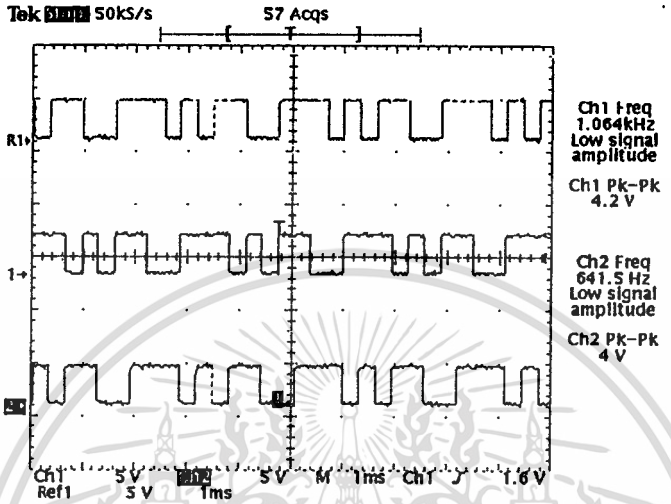


รูปที่ 4.26 แสดงการเปรียบเทียบระหว่างสัญญาณที่ได้จากวงจรบาลานซ์ดีมอดูเลเตอร์ที่ผ่านวงจรกรองความถี่ต่ำผ่านทางด้านควอดราเจอร์เฟส(Q กับ C ที่ CH1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.12 วงจรแปลงสัญญาณ 4 ระดับไปเป็น 2 ระดับ

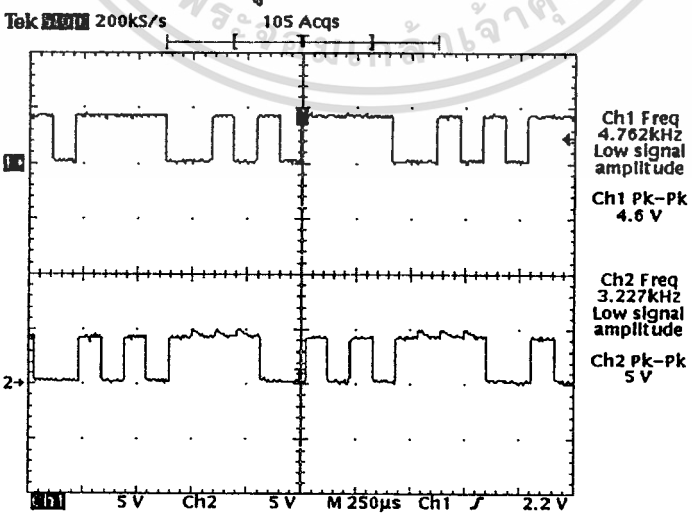
เมื่อนำสัญญาณที่ได้จากวงจรบาลานซ์ดีมอดูเลเตอร์ซึ่งเป็นสัญญาณที่มี 4 ระดับ ทั้งทางด้านอินเฟสกับควอดราเจอร์เฟส มาผ่านวงจรแปลงสัญญาณ 4 ระดับไปเป็น 2 ระดับ จะได้ช่องสัญญาณที่ 2 ระดับ 3 ช่องสัญญาณด้วยกัน คือ ช่องสัญญาณ I ,C และQ โดยผ่านการถอดรหัสเกรย์โค้ด ได้ผลการทดลองดังรูปที่ 4.26



รูปที่ 4.26 แสดงสัญญาณที่ได้จากการแปลงสัญญาณ 4 ระดับไปเป็น 2 ระดับ
ซึ่ง ช่องสัญญาณ C (R1) ช่องสัญญาณ I (CH1) และช่องสัญญาณ Q (CH2)
โดยที่แต่ละสัญญาณผ่านการถอดรหัสเกรย์โค้ดแล้ว

4.13 วงจรรวมสัญญาณดิจิตอล

เมื่อนำช่องสัญญาณทั้ง 3 ช่องสัญญาณที่ได้จากวงจรแปลงระดับสัญญาณ 4 ระดับ ไปเป็น 2 ระดับมาผ่านวงจรนี้จะได้ผลการทดลองดังรูปที่ 4.28



รูปที่ 4.28 แสดงการเปรียบเทียบระหว่างสัญญาณข้อมูลที่ได้จากภาครับ (CH1)
ที่ได้จากวงจรรวมสัญญาณดิจิตอล กับสัญญาณข้อมูลของภาคส่ง(CH2)

เอกสารนี้เป็น... ใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น... ครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และบทสรุป

โครงงานนี้เป็นการศึกษาระบบการทำงาน 8-QAM ซึ่งเป็นการส่งข้อมูลแบบดิจิตอลโดยแบ่งออกเป็น 2 ส่วน คือส่วนของภาคส่ง และส่วนของภาครับ การออกแบบวงจรในภาคต่างๆอาศัยวงจรพื้นฐานต่างๆมาประกอบกันเป็นวงจรรวมต่างกัน วงจรในแต่ละภาคนั้นบางวงจรนำมาจากคู่มือการใช้งานไอซี บางวงจรก็ออกแบบเอง บางวงจรก็นำมาจากปริญญานิพนธ์เก่าๆ ทำให้มีปัญหามากน้อยแตกต่างกันไป ซึ่งการทดลองของแต่ละวงจรต้องทำการทดสอบคุณสมบัติของแต่ละวงจรโดยที่ต่อลงแผ่นโฟโต้บอร์ดเสียก่อน เมื่อได้ผลเป็นที่น่าพอใจแล้ว ก็จะทำการต่อแต่ละวงจรลงในแผ่นปริ้นเอนกประสงค์ทำให้ปัญหาส่วนใหญ่นั้นเกิดจาก

1. การต่อลงแผ่นปริ้นเอนกประสงค์ที่เกิดการช็อตกันของวงจร
2. การที่มีบางจุดไม่ได้ต่อเชื่อมลงในแผ่นปริ้นเอนกประสงค์

ในส่วนของภาคส่งนั้น ปัญหาส่วนใหญ่ การเกิดการรบกวนกันของแต่ละวงจรโดยเฉพาะวงจรกำเนิดสัญญาณพาหะ กับวงจรกำเนิดสัญญาณนำร่อง การแก้ไขก็ทำได้โดยการต่อวงจรบัฟเฟอร์เข้าที่เอาท์พุทของวงจรกำเนิดสัญญาณทั้งสองก่อนที่จะนำสัญญาณทั้งสองป้อนเข้าในวงจรส่วนอื่นๆ ความยุ่งยากในการปรับสัญญาณ 4 ระดับก่อนเข้าวงจรบาลานซ์มอดูเลเตอร์ที่จะต้องมีการปรับขนาดของสัญญาณนี้ให้เป็นไปตามเงื่อนไขสัญญาณที่เข้าวงจรบาลานซ์มอดูเลเตอร์ซึ่งมีขนาดเล็กมากทำให้เกิดสัญญาณรบกวนได้ง่าย และปัญหาที่สำคัญคือการซิงโครไนซ์ระหว่างด้านรับและส่งคือการสร้างวงจรกรองช่วงความถี่ผ่านของกำเนิดสัญญาณนำร่องและกำเนิดสัญญาณพาหะนั้นจะต้องมีแบนด์ที่แคบมากเพื่อกรองเอาเฉพาะความถี่ที่ต้องการออกมาเท่านั้น เพื่อให้สัญญาณที่ส่งไปไม่มีความถี่ปะปนเข้ามาการแก้ปัญหานี้ทำโดยใช้วงจรกรองช่วงความถี่นั้นต่อแคสเคดอีกทีเพื่อให้มีความคมชัดของสัญญาณที่ภาคส่งอีกที ทำให้ภาคส่งสัญญาณ 8-QAMอยู่ในระดับที่น่าพอใจมากขึ้น

สำหรับส่วนของภาครับนั้น มีการส่งสัญญาณ 8-QAM รวมกับสัญญาณนำร่องที่มีแอมปลิจูดสูงเพื่อที่จะทำให้เกิดการซิงโครไนซ์ระหว่างด้านส่งกับด้านรับ ปัญหาแรกที่เจอคือวงจรกรองช่วงความถี่ซึ่งมีด้วยกัน 2 วงจร คือ วงจรกรองช่วงความถี่ 48 kHz เท่านั้นเพื่อนำสัญญาณนำร่องมากู้สัญญาณนาฬิกา วงจรนี้จะต้องตัดส่วนที่เป็นสัญญาณ 8-QAM ออกให้หมด เมื่อนำไปผ่านวงจรเฟสล็อกลูปเพื่อกู้สัญญาณนาฬิกาจะได้เกิดการล็อกความถี่ขึ้นที่เพียงค่าเดียว การแก้ปัญหานี้ก็จะนำวงจรกรองช่วงความถี่ 48 kHz ที่มีลักษณะวงจรเหมือนทางด้านภาคส่งมาต่อแคสเคดเพิ่มขึ้นจากภาคส่งอีกทีทำให้สามารถกำจัดสัญญาณรบกวนจากสัญญาณ 8-QAM ได้ผลที่น่าพอใจเช่นกันเพราะเกิดการซิงโครไนซ์ระหว่างด้านส่งและด้านรับ วงจรกรองช่วงความถี่ 50-80 kHz จะนำสัญญาณที่ส่งมาแล้วตัดความถี่ 48 kHz ซึ่งเป็นความถี่ของสัญญาณนำร่องออกให้หมด ให้เหมือนว่าส่งสัญญาณมาไม่มีสัญญาณนำร่องส่งมาเพื่อนำไปดีมอดูเลทที่วงจรบาลานซ์ดีมอดูเลทก็ทำการแก้ไขเหมือนส่วนแรกผลที่ได้ก็อยู่ในระดับที่น่าพอใจเช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปัญหาต่อไปของภาครับอยู่วงจรบาสานซ์ดีมอดูเลเตอร์มีลักษณะของวงจรคล้ายกับทางด้านภาคส่งมาก ในการทดสอบนั้นจะต้องทดสอบโดยทำเป็นวงจรมอดูเลเตอร์ให้ถูกต้องก่อนแล้วจึงนำมาทดลองทำการดีมอดูเลทโดยที่การตรวจสอบจะค่อนข้างยุ่งยากว่าถูกหรือผิด จึงต้องมีการต่อวงจรกรองความถี่ต่ำผ่าน ซึ่งการออกแบบวงจรกรองความถี่ต่ำผ่านก็ค่อนข้างทำได้ยาก เพราะถ้าออกแบบให้มีการตัดความถี่ที่คมเกินไปก็จะทำให้สัญญาณ 4 ระดับที่จะได้จากวงจรบาสานซ์ดีมอดูเลเตอร์นี้เป็นรูปสัญญาณคล้ายไซน์มากเกินไปในที่นี้ใช้ความถี่คัทออฟที่ 3.2 kHz และยังปัญหาถ้าเกิดการเลื่อนเฟสของสัญญาณพาหะซึ่งจะต้องมีการตรวจสอบเฟสสัญญาณพาหะที่ด้านรับให้ตรงกับด้านส่งก่อนจะทำให้ได้สัญญาณที่เป็นสัญญาณ 4 ระดับที่ต้องการทั้งทางด้านอินเฟสและทางด้านควอดราเจอร์เฟส และปัญหาที่เกิดขึ้นจากการลอยของสัญญาณมากเกินไปคือมีไฟ DC และขนาดของสัญญาณที่ได้น้อยเกินไปทำให้เมื่อป้อนเข้าวงจรเกทต่างๆมีปัญหาจึงต้องมีการสร้างวงจรที่สามารถลดหรือลอยของสัญญาณพร้อมทั้งเพิ่มขนาดของสัญญาณเข้าที่วงจรแปลงสัญญาณ 4 ระดับ ไปเป็น 2 ระดับ ผลที่ได้ทำให้สามารถได้สัญญาณไบนารีที่ต้องการ

สรุปแล้วโครงงานนี้ประกอบด้วนวงจรส่วนย่อยๆหลายส่วนทำให้ปัญหาที่เกิดขึ้นมีมากส่วนใหญ่นั้นจะเห็นได้ว่าเกิดจากความรู้เท่าไม่ถึงการณ์บ้าง ความสะเพร่าบ้างทำให้กว่าจะได้ผลของแต่ละวงจรก็นานพอสมควรกว่าที่จะให้งานสำเร็จได้ ซึ่งผลที่ได้ก็นับว่าเป็นที่น่าพอใจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

SN54/74LS74A

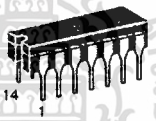
DUAL D-TYPE POSITIVE EDGE-TRIGGERED FLIP-FLOP

The SN54/74LS74A dual edge-triggered flip-flop utilizes Schottky TTL circuitry to produce high speed D-type flip-flops. Each flip-flop has individual clear and set inputs, and also complementary Q and $\overline{Q}$ outputs.

Information at input D is transferred to the Q output on the positive-going edge of the clock pulse. Clock triggering occurs at a voltage level of the clock pulse and is not directly related to the transition time of the positive-going pulse. When the clock input is at either the HIGH or the LOW level, the D input signal has no effect.

DUAL D-TYPE POSITIVE EDGE-TRIGGERED FLIP-FLOP

LOW POWER SCHOTTKY



J SUFFIX
CERAMIC
CASE 632-08

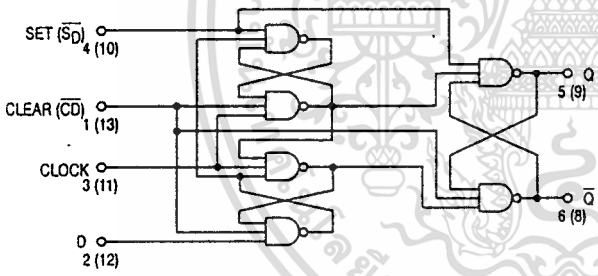
N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

LOGIC DIAGRAM (Each Flip-Flop)



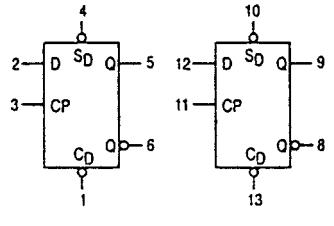
MODE SELECT — TRUTH TABLE

OPERATING MODE	INPUTS			OUTPUTS	
	$\overline{S_D}$	$\overline{S_D}$	D	Q	$\overline{Q}$
Set	L	H	X	H	L
Reset (Clear)	H	L	X	L	H
*Undetermined	L	L	X	H	H
Load "1" (Set)	H	H	h	H	L
Load "0" (Reset)	H	H	l	L	H

Both outputs will be HIGH while both $\overline{S}_D$ and $\overline{C}_D$ are LOW, but the output states are unpredictable if $\overline{S}_D$ and $\overline{C}_D$ go HIGH simultaneously. If the levels at the set and clear are near V_{IL} maximum then we cannot guarantee to meet the minimum level for V_{OH}.

h = HIGH Voltage Level
l = LOW Voltage Level
X = Don't Care
q (q) = Lower case letters indicate the state of the referenced input (or output) one set-up time prior to the HIGH to LOW clock transition.

LOGIC SYMBOL



V_{CC} = PIN 14
GND = PIN 7

5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54/74LS74A

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN., V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input High Current Data, Clock Set, Clear				20 40	µA	V_{CC} = MAX, V_{IN} = 2.7 V	
	Data, Clock Set, Clear				0.1 0.2	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current Data, Clock Set, Clear				−0.4 −0.8	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Output Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current				8.0	mA	V_{CC} = MAX	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C, V_{CC} = 5.0 V)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions	
f_{MAX}	Maximum Clock Frequency	25	33		MHz	Figure 1	V_{CC} = 5.0 V, C_L = 15 pF
t_{PLH} t_{PHL}	Clock, Clear, Set to Output		13 25	25 40	ns ns	Figure 1	

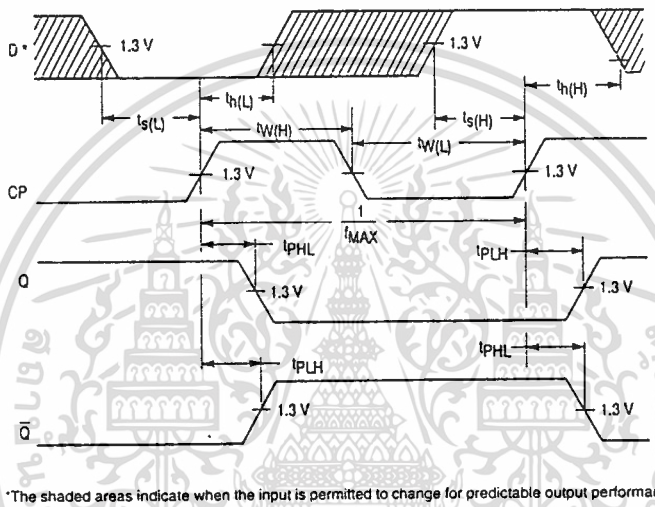
AC SETUP REQUIREMENTS (T_A = 25°C)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions	
$t_{W(H)}$	Clock	25			ns	Figure 1	V_{CC} = 5.0 V
$t_{W(L)}$	Clear, Set	25			ns	Figure 2	
t_s	Data Setup Time — HIGH	20			ns	Figure 1	
	LOW	20			ns		
t_h	Hold Time	5.0			ns	Figure 1	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54/74LS74A

AC WAVEFORMS



*The shaded areas indicate when the input is permitted to change for predictable output performance.

Figure 1. Clock to Output Delays, Data Set-Up and Hold Times, Clock Pulse Width

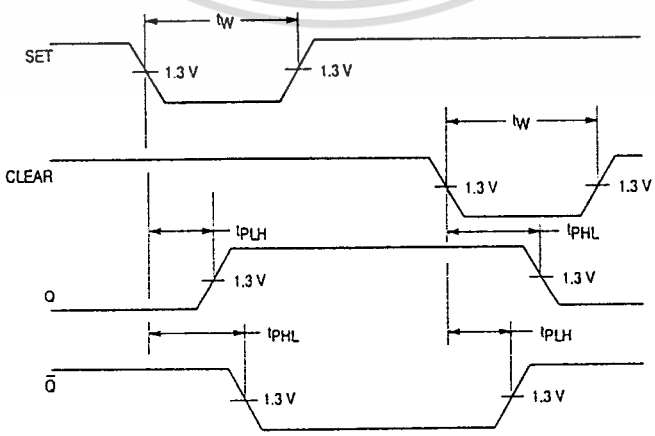


Figure 2. Set and Clear to Output Delays, Set and Clear Pulse Widths

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

SN54/74LS107A

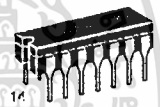
DUAL JK NEGATIVE EDGE-TRIGGERED FLIP-FLOP

The SN54/74LS107A is a Dual JK Flip-Flop with individual J, K, Direct Clear and Clock Pulse inputs. Output changes are initiated by the HIGH-to-LOW transition of the clock. A LOW signal on CD input overrides the other inputs and makes the Q output LOW.

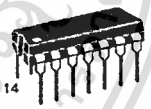
The SN54/74LS107A is the same as the SN54/74LS73A but has corner power pins.

DUAL JK NEGATIVE EDGE-TRIGGERED FLIP-FLOP

LOW POWER SCHOTTKY



J SUFFIX
CERAMIC
CASE 632-08



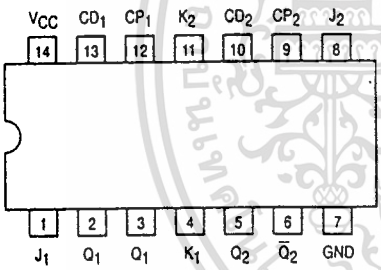
N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

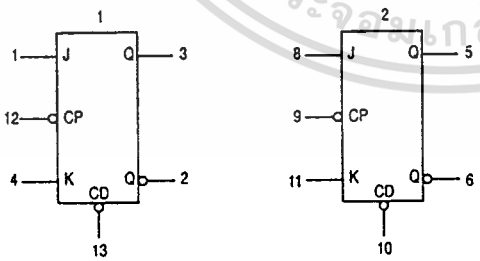
SN54LSXXXJ	Ceramic
SN74LSXXXN	Plastic
SN74LSXXXD	SOIC

CONNECTION DIAGRAM DIP (TOP VIEW)



NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

LOGIC SYMBOL



VCC = PIN 14
GND = PIN 7

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54/74LS107A

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current	J, K Clear Clock			20 60 80	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
		J, K Clear Clock			0.1 0.3 0.4	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current	J, K Clear and Clock			−0.4 −0.8	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current				6.0	mA	V_{CC} = MAX	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C, V_{CC} = 5.0 V)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions
f_{MAX}	Maximum Clock Frequency	30	45		MHz	V_{CC} = 5.0 V C_L = 15 pF
t_{PLH} t_{PHL}	Propagation Delay, Clock to Output		15	20	ns	
			15	20	ns	

AC SETUP REQUIREMENTS (T_A = 25°C, V_{CC} = 5.0 V)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions
t_W	Clock Pulse Width	20			ns	V_{CC} = 5.0 V
t_W	Clear Pulse Width	25			ns	
t_s	Setup Time	20			ns	
t_h	Hold Time	0			ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

SN54/74LS90
SN54/74LS92
SN54/74LS93

DECADE COUNTER; DIVIDE-BY-TWELVE COUNTER; 4-BIT BINARY COUNTER

DECADE COUNTER;
DIVIDE-BY-TWELVE COUNTER;
4-BIT BINARY COUNTER

LOW POWER SCHOTTKY

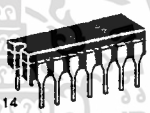
The SN54/74LS90, SN54/74LS92 and SN54/74LS93 are high-speed 4-bit ripple type counters partitioned into two sections. Each counter has a divide-by-two section and either a divide-by-five (LS90), divide-by-six (LS92) or divide-by-eight (LS93) section which are triggered by a HIGH-to-LOW transition on the clock inputs. Each section can be used separately or tied together (Q to $\overline{CP}$) to form BCD, bi-quinary, modulo-12, or modulo-16 counters. All of the counters have a 2-input gated Master Reset (Clear), and the LS90 also has a 2-input gated Master Set (Preset 9).

- Low Power Consumption . . . Typically 45 mW
- High Count Rates . . . Typically 42 MHz
- Choice of Counting Modes . . . BCD, Bi-Quinary, Divide-by-Twelve, Binary
- Input Clamp Diodes Limit High Speed Termination Effects

PIN NAMES

		LOADING (Note a) HIGH	LOW
$\overline{CP}_0$	Clock (Active LOW going edge) Input to +2 Section	0.5 U.L.	1.5 U.L.
$\overline{CP}_1$	Clock (Active LOW going edge) Input to +5 Section (LS90), +6 Section (LS92)	0.5 U.L.	2.0 U.L.
$\overline{CP}_1$	Clock (Active LOW going edge) Input to +8 Section (LS93)	0.5 U.L.	1.0 U.L.
MR_1, MR_2	Master Reset (Clear) Inputs	0.5 U.L.	0.25 U.L.
MS_1, MS_2	Master Set (Preset-9, LS90) Inputs	0.5 U.L.	0.25 U.L.
Q_0	Output from +2 Section (Notes b & c)	10 U.L.	5 (2.5) U.L.
Q_1, Q_2, Q_3	Outputs from +5 (LS90), +6 (LS92), +8 (LS93) Sections (Note b)	10 U.L.	5 (2.5) U.L.

NOTES:
a. 1 TTL Unit Load (U.L.) = 40 µA HIGH/1.6 mA LOW.
b. The Output LOW drive factor is 2.5 U.L. for Military, (54) and 5 U.L. for commercial (74) Temperature Ranges.
c. The Q_0 Outputs are guaranteed to drive the full fan-out plus the $\overline{CP}_1$ input of the device.
d. To insure proper operation the rise (t_r) and fall time (t_f) of the clock must be less than 100 ns.



J SUFFIX
CERAMIC
CASE 632-08

N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

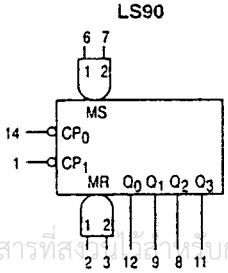
ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

5

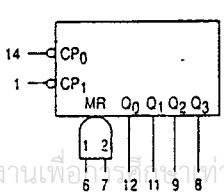
LOGIC SYMBOL

LS90



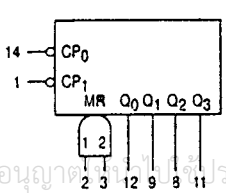
V_{CC} = PIN 5
GND = PIN 10
NC = PINS 4, 13

LS92



V_{CC} = PIN 5
GND = PIN 10
NC = PINS 2, 3, 4, 13

LS93



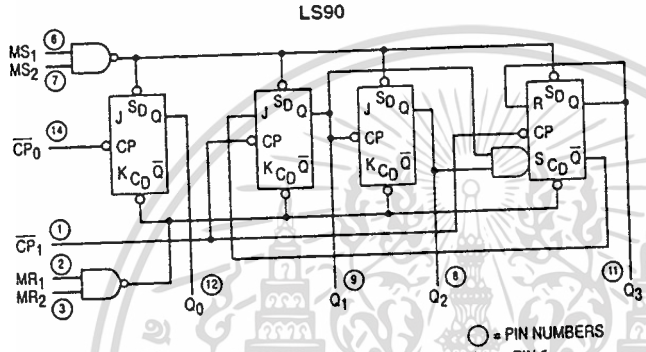
V_{CC} = PIN 5
GND = PIN 10
NC = PIN 4, 6, 7, 13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

SN54/74LS90 • SN54/74LS92 • SN54/74LS93

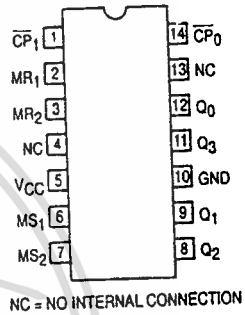
LOGIC DIAGRAM

LS90



○ = PIN NUMBERS
V_{CC} = PIN 5
GND = PIN 10

CONNECTION DIAGRAM
DIP (TOP VIEW)

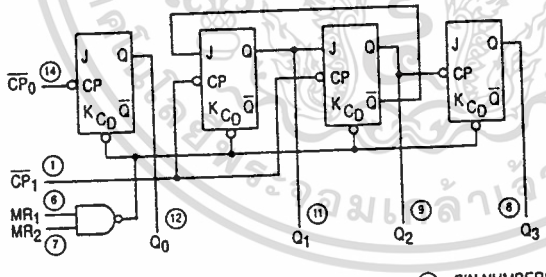


NC = NO INTERNAL CONNECTION

NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

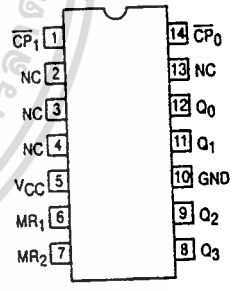
LOGIC DIAGRAM

LS92



○ = PIN NUMBERS
V_{CC} = PIN 5
GND = PIN 10

CONNECTION DIAGRAM
DIP (TOP VIEW)

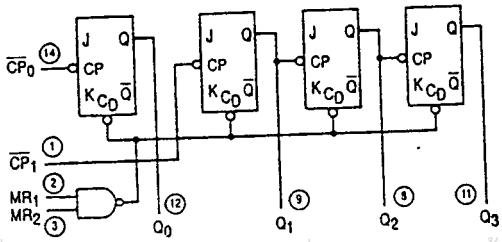


NC = NO INTERNAL CONNECTION

NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

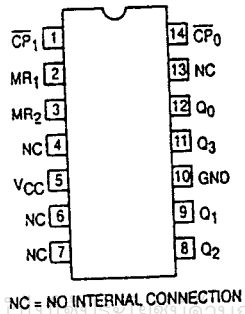
LOGIC DIAGRAM

LS93



○ = PIN NUMBERS
V_{CC} = PIN 5
GND = PIN 10

CONNECTION DIAGRAM
DIP (TOP VIEW)



NC = NO INTERNAL CONNECTION

NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54/74LS90 • SN54/74LS92 • SN54/74LS93

FUNCTIONAL DESCRIPTION

The LS90, LS92, and LS93 are 4-bit ripple type Decade, Divide-By-Twelve, and Binary Counters respectively. Each device consists of four master/slave flip-flops which are internally connected to provide a divide-by-two section and a divide-by-five (LS90), divide-by-six (LS92), or divide-by-eight (LS93) section. Each section has a separate clock input which initiates state changes of the counter on the HIGH-to-LOW clock transition. State changes of the Q outputs do not occur simultaneously because of internal ripple delays. Therefore, decoded output signals are subject to decoding spikes and should not be used for clocks or strobes. The Q_0 output of each device is designed and specified to drive the rated fan-out plus the $\overline{CP}_1$ input of the device.

A gated AND asynchronous Master Reset ($MR_1 \bullet MR_2$) is provided on all counters which overrides and clocks and resets (clears) all the flip-flops. A gated AND asynchronous Master Set ($MS_1 \bullet MS_2$) is provided on the LS90 which overrides the clocks and the MR inputs and sets the outputs to nine (HLLH).

Since the output from the divide-by-two section is not internally connected to the succeeding stages, the devices may be operated in various counting modes.

LS90

A. BCD Decade (8421) Counter — The $\overline{CP}_1$ input must be externally connected to the Q_0 output. The $\overline{CP}_0$ input receives the incoming count and a BCD count sequence is produced.

B. Symmetrical Bi-quinary Divide-By-Ten Counter — The Q_3 output must be externally connected to the $\overline{CP}_0$ input. The input count is then applied to the $\overline{CP}_1$ input and a divide-by-ten square wave is obtained at output Q_0.

C. Divide-By-Two and Divide-By-Five Counter — No external interconnections are required. The first flip-flop is used as a binary element for the divide-by-two function ($\overline{CP}_0$ as the input and Q_0 as the output). The $\overline{CP}_1$ input is used to obtain binary divide-by-five operation at the Q_3 output.

LS92

A. Modulo 12, Divide-By-Twelve Counter — The $\overline{CP}_1$ input must be externally connected to the Q_0 output. The $\overline{CP}_0$ input receives the incoming count and Q_3 produces a symmetrical divide-by-twelve square wave output.

B. Divide-By-Two and Divide-By-Six Counter —No external interconnections are required. The first flip-flop is used as a binary element for the divide-by-two function. The $\overline{CP}_1$ input is used to obtain divide-by-three operation at the Q_1 and Q_2 outputs and divide-by-six operation at the Q_3 output.

LS93

A. 4-Bit Ripple Counter — The output Q_0 must be externally connected to input $\overline{CP}_1$. The input count pulses are applied to input $\overline{CP}_0$. Simultaneous divisions of 2, 4, 8, and 16 are performed at the Q_0, Q_1, Q_2, and Q_3 outputs as shown in the truth table.

B. 3-Bit Ripple Counter— The input count pulses are applied to input $\overline{CP}_1$. Simultaneous frequency divisions of 2, 4, and 8 are available at the Q_1, Q_2, and Q_3 outputs. Independent use of the first flip-flop is available if the reset function coincides with reset of the 3-bit ripple-through counter.

5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

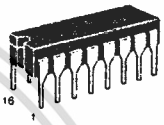
MC14046B

PHASE LOCKED LOOP

The MC14046B phase locked loop contains two phase comparators, a voltage-controlled oscillator (VCO), source follower, and zener diode. The comparators have two common signal inputs, PCA_{in} and PCB_{in}. Input PCA_{in} can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor) to small voltage signals. The self-bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator 1 (an exclusive OR gate) provides a digital error signal $PC1_{out}$, and maintains 90^{o} phase shift at the center frequency between PCA_{in} and PCB_{in} signals (both at 50% duty cycle). Phase comparator 2 (with leading edge sensing logic) provides digital error signals, $PC2_{out}$ and LD, and maintains a 0^{o} phase shift between PCA_{in} and PCB_{in} signals (duty cycle is immaterial). The linear VCO produces an output signal VCO_{out} whose frequency is determined by the voltage of input VCO_{in} and the capacitor and resistors connected to pins $C1_A$, $C1_B$, R1, and R2. The source-follower output SF_{out} with an external resistor is used where the VCO_{in} signal is needed but no loading can be tolerated. The inhibit input Inh, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode can be used to assist in power supply regulation.

Applications include FM and FSK modulation and demodulation, frequency synthesis and multiplication, frequency discrimination, tone decoding, data synchronization and conditioning, voltage-to-frequency conversion and motor speed control.

- Buffered Outputs Compatible with MHTL and Low-Power TTL
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 to 18 V
- Pin-for-Pin Replacement for CD4046B
- Phase Comparator 1 is an Exclusive Or Gate and is Duty Cycle Limited
- Phase Comparator 2 switches on Rising Edges and is not Duty Cycle Limited



L SUFFIX
CERAMIC
CASE 620

P SUFFIX
PLASTIC
CASE 648

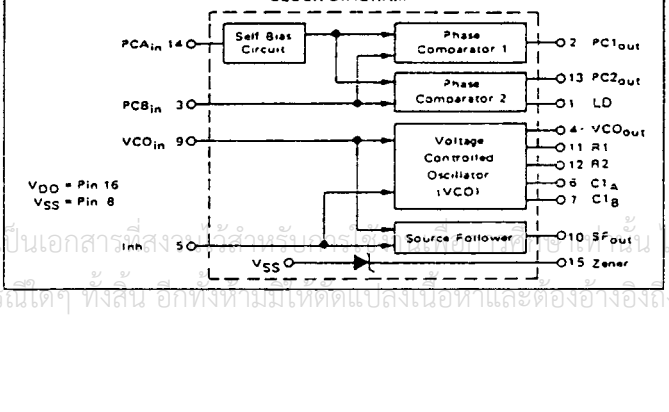
DW SUFFIX
SOIC
CASE 751G

ORDERING INFORMATION

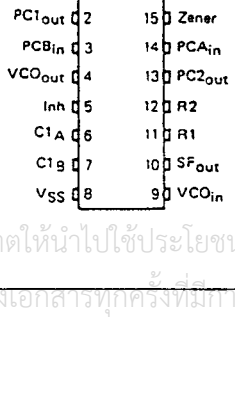
MC14XXXBCP Plastic
MC14XXXBCL Ceramic
MC14XXXBDW SOIC

T_A = −55° to 125°C for all packages.

BLOCK DIAGRAM



PIN ASSIGNMENT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14046B

MAXIMUM RATINGS* (Voltages referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	−0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	−0.5 to V_{DD} +0.5	Vdc
DC Input Current, per Pin	I_{in}	±10	mAdc
Power Dissipation, per Package†	P_D	500	mW
Operating Temperature Range	T_A	−55 to +125	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C

*Maximum Ratings are those values beyond which damage to the device may occur.
†Temperature Derating: Plastic "P and D/DW" Packages: −7.0 mW/°C From 65°C To 125°C
Ceramic "L" Packages: −12 mW/°C From 100°C To 125°C

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Characteristic	Symbol	V_{DD} Vdc	−55°C Min	−55°C Max	25°C Min	25°C Typ	25°C Max	125°C Min	125°C Max	Unit
Output Voltage "0" Level V_{in} = V_{DD} or 0	V_{OL}	5.0	—	0.05	—	0	0.05	—	0.05	Vdc
		10	—	0.05	—	0	0.05	—	0.05	
		15	—	0.05	—	0	0.05	—	0.05	
"1" Level V_{in} = 0 or V_{DD}	V_{OH}	5.0	4.95	—	4.95	5.0	—	4.95	—	Vdc
		10	9.95	—	9.95	10	—	9.95	—	
		15	14.95	—	14.95	15	—	14.95	—	
Input Voltage # "0" Level (V_O = 4.5 or 0.5 Vdc)	V_{IL}	5.0	—	1.5	—	2.25	1.5	—	1.5	Vdc
(V_O = 9.0 or 1.0 Vdc)		10	—	3.0	—	4.50	3.0	—	3.0	
(V_O = 13.5 or 1.5 Vdc)		15	—	4.0	—	6.75	4.0	—	4.0	
"1" Level (V_O = 0.5 or 4.5 Vdc)	V_{IH}	5.0	3.5	—	3.5	2.75	—	3.5	—	Vdc
(V_O = 1.0 or 9.0 Vdc)		10	7.0	—	7.0	5.50	—	7.0	—	
(V_O = 1.5 or 13.5 Vdc)		15	11	—	11	8.25	—	11	—	
Output Drive Current (V_{OH} = 2.5 Vdc) Source	I_{OH}	5.0	−1.2	—	−1.0	−1.7	—	−0.7	—	mAdc
(V_{OH} = 4.6 Vdc)		5.0	−0.25	—	−0.2	−0.36	—	−0.14	—	
(V_{OH} = 9.5 Vdc)		10	−0.62	—	−0.5	−0.9	—	−0.35	—	
(V_{OH} = 13.5 Vdc)		15	−1.8	—	−1.5	−3.5	—	−1.1	—	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.64	—	0.51	0.88	—	0.36	—	mAdc
(V_{OL} = 0.5 Vdc)		10	1.6	—	1.3	2.25	—	0.9	—	
(V_{OL} = 1.5 Vdc)		15	4.2	—	3.4	8.8	—	2.4	—	
Input Current	I_{in}	15	—	±0.1	—	±0.00001	±0.1	—	±1.0	μAdc
Input Capacitance	C_{in}	—	—	—	—	5.0	7.5	—	—	pF
Quiescent Current (Per Package) Inh = PCA_{in} = V_{DD}, Zener = VCO_{in} = 0 V, PCB_{in} = V_{DD} or 0 V, I_{out} = 0 μA	I_{DD}	5.0	—	5.0	—	0.005	5.0	—	150	μAdc
		10	—	10	—	0.010	10	—	300	
		15	—	20	—	0.015	20	—	600	
Total Supply Current† (Inh = "0", f_O = 10 kHz, C_L = 50 pF, R1 = 1.0 MΩ, R2 = ∞, R_{SF} = ∞, and 50% Duty Cycle)	I_T	5.0	I_T = (1.46 μA/kHz) f + I_{DD}							μAdc
		10	I_T = (2.91 μA/kHz) f + I_{DD}							
		15	I_T = (4.37 μA/kHz) f + I_{DD}							

#Noise immunity specified for worst-case input combination.
Noise Margin for both "1" and "0" level = 1.0 Vdc min @ V_{DD} = 5.0 Vdc
2.0 Vdc min @ V_{DD} = 10 Vdc
2.5 Vdc min @ V_{DD} = 15 Vdc

†To Calculate Total Current in General:

$$I_T \approx 2.2 \times V_{DD}\left(\frac{VCO_{in}-1.65}{R1}+\frac{V_{DD}-1.35}{R2}\right)^{3/4} + 1.6 \times \left(\frac{VCO_{in}-1.65}{R_{SF}}\right)^{3/4} + 1 \times 10^{-3}\,(C_L - 9)\,V_{DD}\,f +$$

$$1 \times 10^{-1}\,V_{DD}^2\left(\frac{100\%\text{ Duty Cycle of }PCA_{in}}{100}\right) + I_Q$$

where: I_T in μA, C_L in pF, VCO_{in}, V_{DD} in Vdc, f in kHz, and R1, R2, R_{SF} in MΩ, C_L on VCO_{out}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14046B

ELECTRICAL CHARACTERISTICS* (C_L = 50 pF, T_A = 25°C)

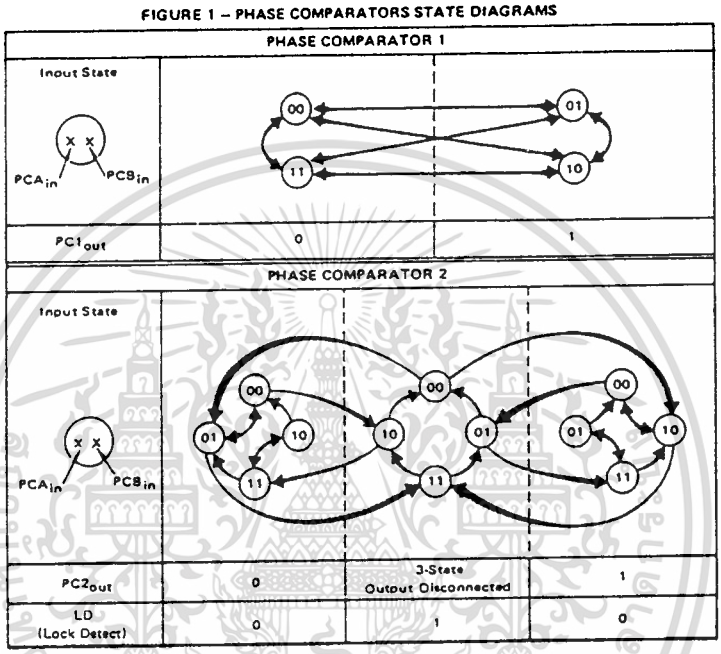
Characteristic	Symbol	V_{DD} Vdc	Minimum Device	Typical	Maximum Device	Units
Output Rise Time	t_{TLH}					ns
t_{TLH} = (3.0 ns/pF) C_L + 30 ns		5.0	—	180	350	
t_{TLH} = (1.5 ns/pF) C_L + 15 ns		10	—	90	150	
t_{TLH} = (1.1 ns/pF) C_L + 10 ns		15	—	65	110	
Output Fall Time	t_{THL}					ns
t_{THL} = (1.5 ns/pF) C_L + 25 ns		5.0	—	100	175	
t_{THL} = (0.75 ns/pF) C_L + 12.5 ns		10	—	50	75	
t_{THL} = (0.55 ns/pF) C_L + 9.5 ns		15	—	37	55	
PHASE COMPARATORS 1 and 2						
Input Resistance — PCA_{in}	R_{in}	5.0	1.0	2.0	—	MΩ
		10	0.2	0.4	—	
		15	0.1	0.2	—	
— PCB_{in}	R_{in}	15	150	1500	—	MΩ
Minimum Input Sensitivity	V_{in}	5.0	—	200	300	mV p-p
AC Coupled — PCA_{in}		10	—	400	600	
C series = 1000 pF, f = 50 kHz		15	—	700	1050	
DC Coupled — PCA_{in}, PCB_{in}	—	5 to 15	See Noise Immunity			
VOLTAGE CONTROLLED OSCILLATOR (VCO)						
Maximum Frequency	f_{max}	5.0	0.5	0.7	—	MHz
(VCO_{in} = V_{DD}, C1 = 50 pF		10	1.0	1.4	—	
R1 = 5.0 kΩ, and R2 = ∞)		15	1.4	1.9	—	
Temperature — Frequency Stability	—	5.0	—	0.12	—	%/°C
(R2 = ∞)		10	—	0.04	—	
		15	—	0.015	—	
Linearity (R2 = ∞)	—					%
(VCO_{in} = 2.5 V ± 0.3 V, R1 > 10 kΩ)		5.0	—	1.0	—	
(VCO_{in} = 5.0 V ± 2.5 V, R1 > 400 kΩ)		10	—	1.0	—	
(VCO_{in} = 7.5 V ± 5.0 V, R1 ≥ 1000 kΩ)		15	—	1.0	—	
Output Duty Cycle	—	5 to 15	—	50	—	%
Input Resistance — VCO_{in}	R_{in}	15	150	1500	—	MΩ
SOURCE-FOLLOWER						
Offset Voltage	—	5.0	—	1.65	2.2	V
(VCO_{in} minus SF_{out}, R_{SF} > 500 kΩ)		10	—	1.65	2.2	
		15	—	1.65	2.2	
Linearity	—					%
(VCO_{in} = 2.5 V ± 0.3 V, R_{SF} > 50 kΩ)		5.0	—	0.1	—	
(VCO_{in} = 5.0 V ± 2.5 V, R_{SF} > 50 kΩ)		10	—	0.6	—	
(VCO_{in} = 7.5 V ± 5.0 V, R_{SF} > 50 kΩ)		15	—	0.8	—	
ZENER DIODE						
Zener Voltage (I_Z = 50 μA)	V_Z	—	6.7	7.0	7.3	V
Dynamic Resistance (I_Z = 1.0 mA)	R_Z	—	—	100	—	Ω

*The formula given is for the typical characteristics only.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14046B

FIGURE 1 – PHASE COMPARATORS STATE DIAGRAMS



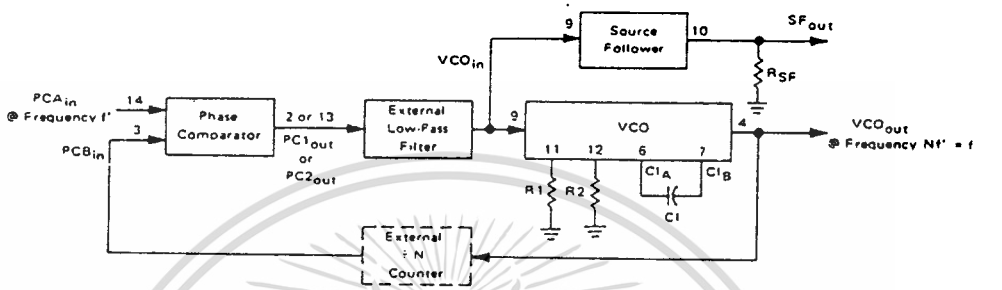
Refer to Waveforms in Figure 3.

FIGURE 2 – DESIGN INFORMATION

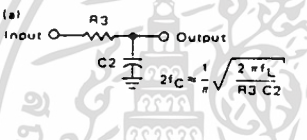
Characteristic	Using Phase Comperetor 1	Using Phase Comperator 2
No signal on input PCA$_{in}$.	VCO in PLL system adjusts to center frequency (f_0).	VCO in PLL system adjusts to minimum frequency (f_{min}).
Phase angle between PCA$_{in}$ and PCB$_{in}$.	90° at center frequency (f_0), approaching 0° and 180° at ends of lock range ($2f_L$).	Always 0° in lock (positive rising edges).
Locks on harmonics of center frequency.	Yes	No
Signal input noise rejection.	High	Low
Lock frequency range ($2f_L$).	The frequency range of the input signal on which the loop will stay locked if it was initially in lock. $2f_L$ = full VCO frequency range = $f_{max} - f_{min}$.	
Capture frequency range ($2f_C$).	The frequency range of the input signal on which the loop will lock if it was initially out of lock.	
	Depends on low-pass filter characteristics (see Figure 3). $f_C < f_L$	$f_C = f_L$
Center frequency (f_0).	The frequency of VCO$_{out}$ when VCO$_{in}$ = 1/2 V_{DD}	
VCO output frequency (f).	$f_{min} = \frac{1}{R_2(C_1 + 32\ pF)}$ (V_{CO} input = V_{SS})	
	$f_{max} = \frac{1}{R_1(C_1 + 32\ pF)} + f_{min}$ (V_{CO} input = V_{DD})	
Note: These equations are intended to be a design guide. Since calculated component values may be in error by as much as a factor of 4, laboratory experimentation may be required for fixed designs. Part to part frequency variation with identical passive components is typically less than ±20%.	Where: 10K < R_1 < 1M 10K < R_2 < 1M 100pF < C_1 < .01 μF	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 3 – GENERAL PHASE-LOCKED LOOP CONNECTIONS AND WAVEFORMS



Typical Low-Pass Filters



$$2f_C = \frac{1}{\pi}\sqrt{\frac{2\pi f_L}{R3\ C2}}$$

Typically:

$$R_4 C_2 = \frac{6N}{f_{max}} - \frac{N}{2\pi\Delta f}$$

$$(R_3 + 3{,}000\Omega)\ C_2 = \frac{100N\Delta f}{f_{max}^2} - R_4 C_2$$

$$\Delta f = f_{max} - f_{min}$$

Note: Sometimes R3 is split into two series resistors each R3 ÷ 2. A capacitor C_C is then placed from the midpoint to ground. The value for C_C should be such that the corner frequency of this network does not significantly affect ω_n. In Figure 8, the ratio of R3 to R4 sets the damping, R4 ≈ (0.1)(R3) for optimum results.

Definitions: N = Total division ratio in feedback loop

$K_\phi = V_{DD}/\pi$ for Phase Comparator 1

$K_\phi = V_{DD}/4\pi$ for Phase Comparator 2

$$K_{VCO} = \frac{2\pi\Delta f_{VCO}}{V_{DD} - 2\ V}$$

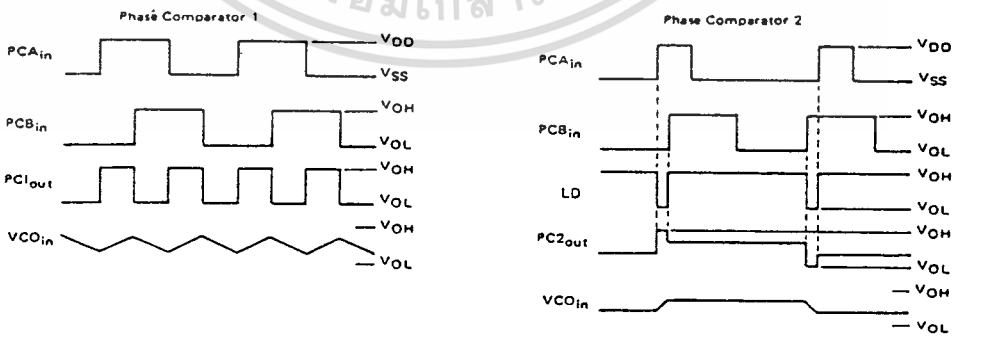
for a typical design $\omega_n \approx \frac{2\pi f_r}{10}$ (at phase detector input)

$\zeta \approx 0.707$

LOW-PASS FILTER

Filter A	Filter B
$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NR_3C_2}}$	$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NC_2(R_3+R_4)}}$
$\zeta = \frac{N\omega_n}{2K_\phi K_{VCO}}$	$\zeta = 0.5\ \omega_n\left(R_3C_2 + \frac{N}{K_\phi K_{VCO}}\right)$
$F(s) = \frac{1}{R_3C_2S+1}$	$F(s) = \frac{R_3C_2S+1}{S(R_3C_2+R_4C_2)+1}$

Waveforms



Note: for further information, see:

(1) F. Gardner, "Phase-Lock Techniques", John Wiley and Son, New York, 1966.
(2) G. S. Moschytz, "Miniature RC Filters Using Phase-Locked Loop", BSTJ, May, 1965.
(3) Garth Nash, "Phase-Lock Loop Design Fundamentals", AN-535, Motorola Inc.
(4) A. B. Przedpelski, "Phase-Locked Loop Design Articles", AR254, reprinted by Motorola Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

LM1596/LM1496 Balanced Modulator-Demodulator

General Description

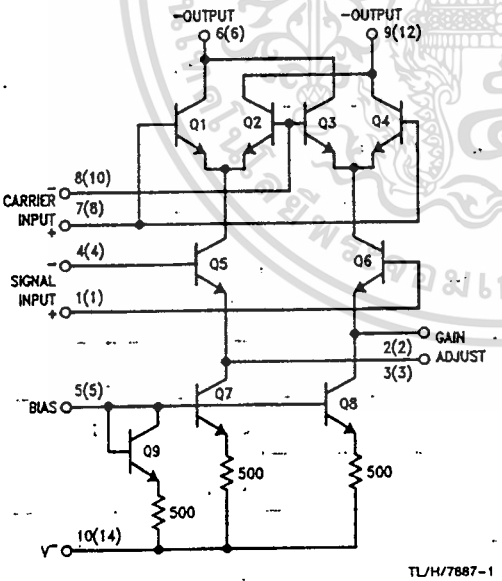
The LM1596/LM1496 are doubled balanced modulator-demodulators which produce an output voltage proportional to the product of an input (signal) voltage and a switching (carrier) signal. Typical applications include suppressed carrier modulation, amplitude modulation, synchronous detection, FM or PM detection, broadband frequency doubling and chopping.

The LM1596 is specified for operation over the −55°C to +125°C military temperature range. The LM1496 is specified for operation over the 0°C to +70°C temperature range.

Features

- Excellent carrier suppression
  - 65 dB typical at 0.5 MHz
  - 50 dB typical at 10 MHz
- Adjustable gain and signal handling
- Fully balanced inputs and outputs
- Low offset and drift
- Wide frequency response up to 100 MHz

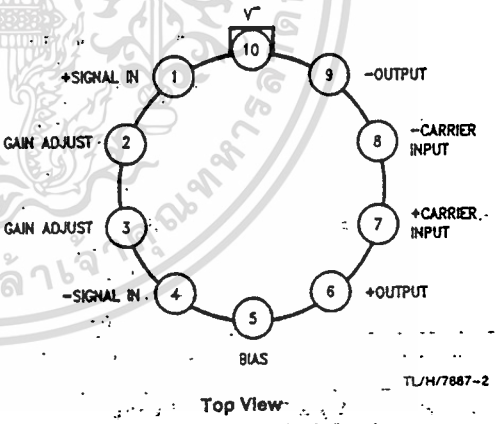
Schematic and Connection Diagrams



TL/H/7887–1

Numbers in parentheses show DIP connections.

Metal Can Package



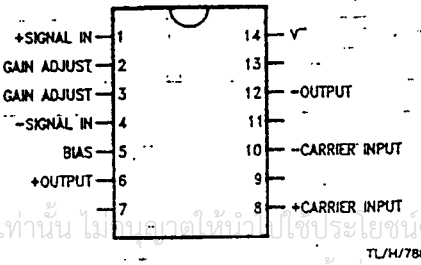
TL/H/7887–2

Top View

Note: Pin 10 is connected electrically to the case through the device substrate.

Order Number LM1496H or LM1596H
See NS Package Number H08C

Dual-In-Line and Small Outline Packages



TL/H/7887–3

Order Number LM1496M or LM1496N
See NS Package Number M14A or N14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Internal Power Dissipation (Note 1)	500 mW
Applied Voltage (Note 2)	30V
Differential Input Signal ($V_7 - V_8$)	±5.0V
Differential Input Signal ($V_4 - V_1$)	$\pm(5 + I_5R_0)$V
Input Signal ($V_2 - V_1$, $V_3 - V_4$)	5.0V
Bias Current (I_5)	12 mA
Operating Temperature Range LM1596	−55°C to +125°C
LM1496	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Soldering Information

- Dual-In-Line Package
  - Soldering (10 seconds) 260°C
- Small Outline Package
  - Vapor Phase (60 seconds) 215°C
  - Infrared (15 seconds) 220°C

See AN-450 "Surface Mounting Methods and their effects on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics (T_A = 25°C, unless otherwise specified, see test circuit)

Parameter	Conditions	LM1596			LM1496			Units
		Min	Typ	Max	Min	Typ	Max	
Carrier Feedthrough	V_C = 60 mVrms sine wave f_C = 1.0 kHz, offset adjusted		40			40		μVrms
	V_C = 60 mVrms sine wave f_C = 10 kHz, offset adjusted		140			140		μVrms
	V_C = 300 mV_{pp} square wave f_C = 1.0 kHz, offset adjusted		0.04	0.2		0.04	0.2	mVrms
	V_C = 300 mV_{pp} square wave f_C = 1.0 kHz, not offset adjusted		20	100		20	150	mVrms
Carrier Suppression	f_S = 10 kHz, 300 mVrms f_C = 500 kHz, 60 mVrms sine wave offset adjusted	50	65		50	65		dB
	f_S = 10 kHz, 300 mVrms f_C = 10 MHz, 60 mVrms sine wave offset adjusted		50			50		dB
Transadmittance Bandwidth	R_L = 50Ω Carrier Input Port, V_C = 60 mVrms sine wave		300			300		MHz
	f_S = 1.0 kHz, 300 mVrms sine wave Signal Input Port, V_S = 300 mVrms sine wave $V_7 - V_8$ = 0.5Vdc		80			80		MHz
Voltage Gain, Signal Channel	V_S = 100 mVrms, f = 1.0 kHz $V_7 - V_8$ = 0.5 Vdc	2.5	3.5		2.5	3.5		V/V
Input Resistance, Signal Port	f = 5.0 MHz $V_7 - V_8$ = 0.5 Vdc		200			200		kΩ
Input Capacitance, Signal Port	f = 5.0 MHz $V_7 - V_8$ = 0.5 Vdc		2.0			2.0		pF
Single Ended Output Resistance	f = 10 MHz		40			40		kΩ
Single Ended Output Capacitance	f = 10 MHz		5.0			5.0		pF
Input Bias Current	$(I_1 + I_4)/2$		12	25		12	30	μA
Input Bias Current	$(I_7 + I_8)/2$		12	25		12	30	μA
Input Offset Current	$(I_1 - I_4)$		0.7	5.0		0.7	5.0	μA
Input Offset Current	$(I_7 - I_8)$		0.7	5.0		5.0	5.0	μA
Average Temperature Coefficient of Input Offset Current	(−55°C < T_A < +125°C) (0°C < T_A < +70°C)		2.0			2.0		nA/°C nA/°C
Output Offset Current	$(I_6 - I_9)$		14	50		14	60	μA
Average Temperature Coefficient of Output Offset Current	(−55°C < T_A < +125°C) (0°C < T_A < +70°C)		90			90		nA/°C nA/°C

เอกสารนี้จัดทำขึ้นเพื่อสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (T_A = 25°C, unless otherwise specified, see test circuit) (Continued)

Parameter	Conditions	LM1596			LM1496			Units
		Min	Typ	Max	Min	Typ	Max	
Signal Port Common Mode Input Voltage Range	f_S = 1.0 kHz		5.0			5.0		V_{p-p}
Signal Port Common Mode Rejection Ratio	$V_7 - V_8$ = 0.5 Vdc		−85			−85		dB
Common Mode Quiescent Output Voltage			8.0			8.0		Vdc
Differential Output Swing Capability			8.0			8.0		V_{p-p}
Positive Supply Current	$(I_6 + I_9)$		2.0	3.0		2.0	3.0	mA
Negative Supply Current	(I_{10})		3.0	4.0		3.0	4.0	mA
Power Dissipation			33			33		mW

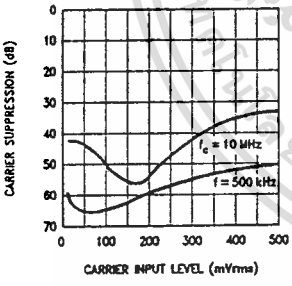
Note 1: LM1596 rating applies to case temperatures to +125°C; derate linearly at 6.5 mW/°C for ambient temperature above 75°C. LM1496 rating applies to case temperatures to +70°C.

Note 2: Voltage applied between pins 6-7, 8-1, 9-7, 9-8, 7-4, 7-1, 8-4, 6-8, 2-5, 3-5.

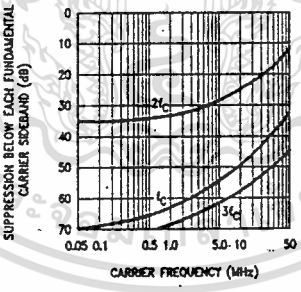
Note 3: Refer to rets1596x drawing for specifications of military LM1596H versions.

Typical Performance Characteristics

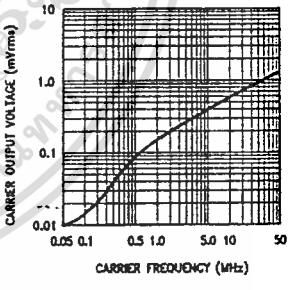
Carrier Suppression vs Carrier Input Level



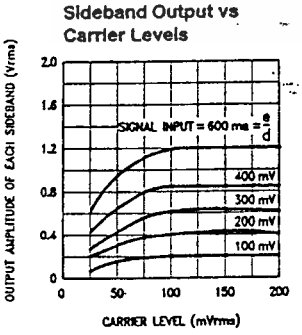
Carrier Suppression vs Frequency



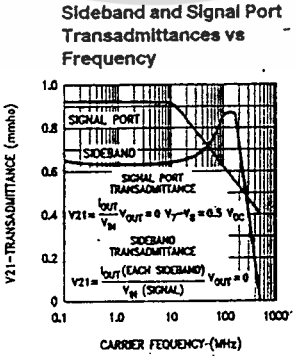
Carrier Feedthrough vs Frequency



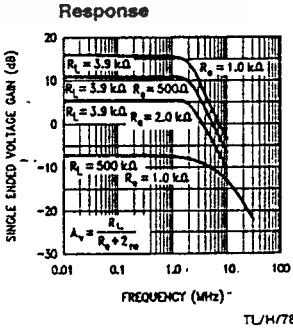
Sideband Output vs Carrier Levels



Sideband and Signal Port Transadmittances vs Frequency



Signal-Port Frequency Response

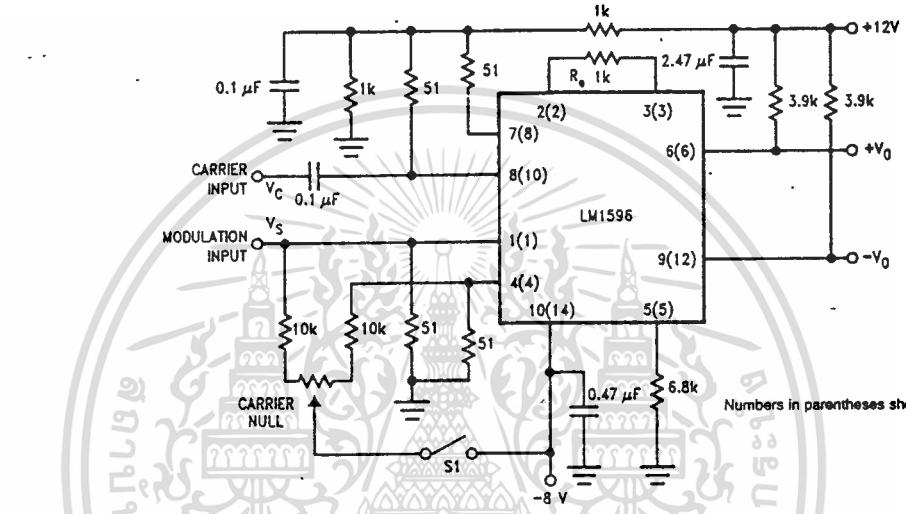


TL/H/7887–5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Application and Test Circuit

Suppressed Carrier Modulator

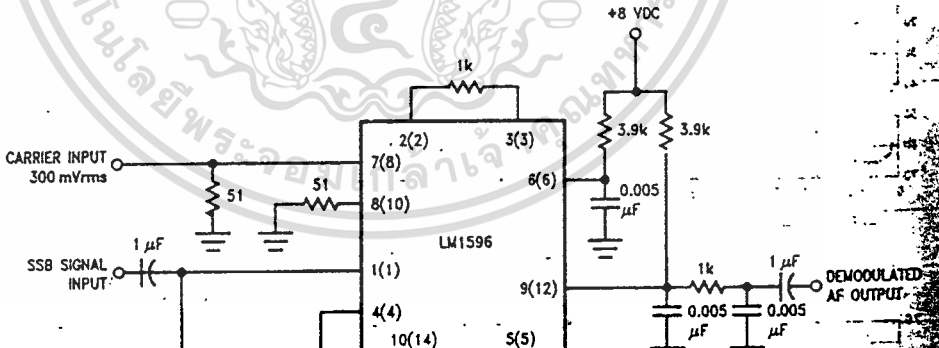


Numbers in parentheses show DIP connections

Note: S_1 is closed for "adjusted" measurements.

TL/H/7667–4

SSB Product Detector



Numbers in parentheses show DIP connec

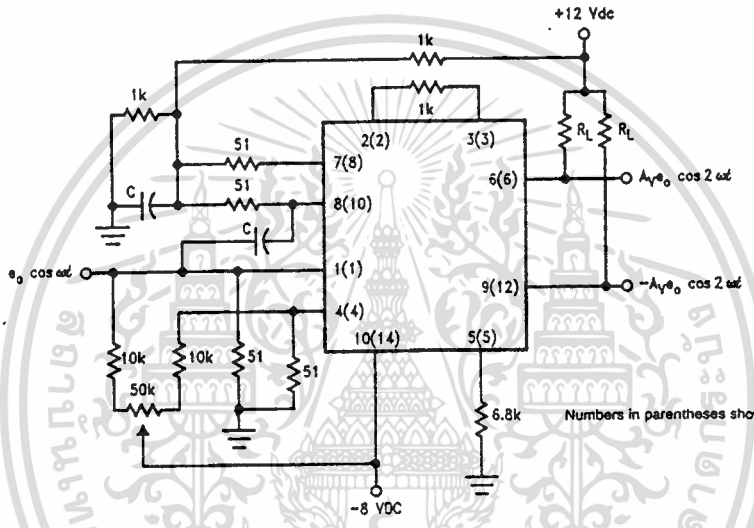
TL/H/7

This figure shows the LM1596 used as a single sideband (SSB) suppressed carrier demodulator (product detector). The carrier signal is applied to the carrier port with sufficient amplitude for switching operation. A carrier input level of 300 mVrms is optimum. The composite SSB signal is applied to the signal input with an amplitude of 5.0 to 500 mVrms. All output signal components except the desired demodulated audio are filtered out, so that an offset adjustment is not required. This circuit may also be used as an AM detector by applying composite and carrier signals in the same manner as described for product detector operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการ
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

Broadband Frequency Doubler



TL/H/7887–7

The frequency doubler circuit shown will double low-level signals with low distortion. The value of C should be chosen for low reactance at the operating frequency. Signal level at the carrier input must be less than 25 mV peak to maintain operation in the linear region of the switching differential amplifier. Levels to 50 mV peak may be used with some distortion of the output waveform. If a larger input signal is available a resistive divider may be used at the carrier input, with full signal applied to the signal input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบพระคุณอาจารย์ รศ.ดร.กอบชัย เดชหาญ ผู้ซึ่งเป็นอาจารย์ที่ปรึกษาที่ให้ความช่วยเหลือตลอดจนคำแนะนำต่างๆในการจัดทำปริญญานิพนธ์นี้ และพี่ๆนักศึกษาปริญญาโททุกท่านที่คอยช่วยเหลือและคำปรึกษาปัญหาต่างๆที่เกิดขึ้น

ขอบคุณ นายทศพล ปานกรด ที่ช่วยให้คำแนะนำและทดลองในโครงงานชิ้นนี้ และนายธงชัย มลิวัลย ที่เอื้อเฟื้อในด้านอุปกรณ์ต่างๆ ขอขอบคุณบิดา มารดา ที่ให้การสนับสนุนและให้กำลังใจ ไว้ ณ โอกาสนี้เป็นอย่างสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

[1] Wayne Tomasi, "Advanced Electronic Communication System,"Prentice Hall, 1992

[2] J.Hilburn and D.E. Johnson, "Manual of Active Filter Design,"McGraw-Hill, 1973

[3] A.B. William and F.J.Taylor,"Electronic Filter Design Handbook,"McGraw-Hill, 1979

[4] Walter G. Jung, "IC Op-Amp Cookbook ," Howard W. Sam & Company Fifth Printing, 581p,1989

[5] ผศ.ดำรง จีนขาวขำ," Design of Op-Amp Circuit with Experiment," สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ

[6] มงคล ทองสงคราม," อิเล็กทรอนิกส์ 2 ,"พิมพ์ครั้งที่2 ห้างหุ้นส่วนจำกัด วี.เจ.พริ้นติ้ง, พฤษภาคม 2536

[7] ชูชัย ธนสารตั้งเจริญ& AEG,."การออกแบบ วงจรออสซิเลเตอร์ วงจรฟิลเตอร์ และวงจรเร็กกูเลเตอร์ โดยใช้ออปแอมป์ ,"หจก.สำนักพิมพ์ฟิสิกส์เซ็นเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้