สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องสังเคราะห์ความถี่

Frequency Synthesizer

โดย

นายปวีณ อุสาหะ

นายปิยะ วงศ์หริเชาว์

นายเศรษฐพงศ์ สัมฤทธิ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เลขหมู่.....
เลขทะเบียน.....32578
วัน, เดือน, ปี.....18 พ.ค. 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้

เครื่องสังเคราะห์ความถี่

Frequency Synthesizer

โดย

นายปวีณ อุสาหะ 38014286

นายปิยะ วงศ์หริเชาว์ 38014297

นายเศรษฐพงศ์ สัมฤทธิ์ 38014518

อาจารย์ที่ปรึกษา

รศ.ดร.กอบชัย เดชหาญ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2541

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **เครื่องสังเคราะห์ความถี่**

Frequency Synthesizer

ผู้จัดทำ

1. นายปวีณ อุสาหะ 38014286
2. นายปิยะ วงศ์หริเชาว์ 38014297
3. นายเศรษฐพงศ์ สัมฤทธิ์ 38014518

อาจารย์ที่ปรึกษา

(รศ. ดร. กอบชัย เดชหาญ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องสังเคราะห์ความถี่

Frequency Synthesizer

โดย นายปวีณ อุสาหะ 38014286

นายปิยะ วงศ์หริเชาว์ 38014297

นายเศรษฐพงศ์ สัมฤทธิ์ 38014518

อาจารย์ที่ปรึกษา รศ. ดร. กอบชัย เลขหาญ

บทคัดย่อ

การสังเคราะห์ความถี่นั้นเป็นการรวมส่วนหรือชิ้นส่วนต่างๆ ของความถี่เข้าด้วยกันเพื่อให้ได้ความถี่ที่ต้องการ ซึ่งสามารถกระทำได้โดยการบวก ลบ คูณ หรือหารความถี่ ปริญญานิพนธ์นี้สามารถสร้างความถี่ในช่วง 100 ถึง 120 MHz ด้วยขนาดระหว่างขั้นเท่ากับ 10 kHz สำหรับปริญญานิพนธ์นั้นใช้การสังเคราะห์ความถี่แบบอ้อม เช่น เฟสล็อคลูปในการสังเคราะห์ความถี่ ในส่วนแสดงผลนั้นจะแสดงด้วยตัวเลข 7 ส่วนทั้งหมด 8 หลัก

ABSTRACT

Frequency synthesizing means to combine parts or elements of frequencies together in order to generate desired frequencies. This can be done either by adding, subtracting, multiplying, or dividing frequencies. The purpose of this "Frequency Synthesizer" thesis is to generate frequencies ranging from 100 to 120 MHz with the resolution of 10 kHz The thesis uses indirect frequency synthesis, such as PLL, to generate output frequencies. Displays will be done by 8 digits of 7-segments.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎี	6
- ระบบสังเคราะห์ความถี่แบบที่ใช้เฟสล็อกลูป	6
- ดูอัล-โมดูลัส พรีสเกลลิ่ง	30
- ฟิลเตอร์	33
บทที่ 3 การคำนวณและการสร้าง	34
บทที่ 4 การทดลองและผลการทดลอง	45
บทที่ 5 บทวิจารณ์และสรุปผล	64
ภาคผนวก	
กิตติกรรมประกาศ	
หนังสืออ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

รูปที่ 1.1 การสังเคราะห์แบบอินโดเฮอร์เรนท์ 2
รูปที่ 1.2 การสังเคราะห์แบบอินโดเฮอร์เรนท์ 4
รูปที่ 1.3 การสังเคราะห์แบบบรูท-ฟอร์ซ 5
รูปที่ 2.1 แสดงบล็อคไดอะแกรมของวงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อคลูป 6
รูปที่ 2.2 แสดงบล็อคไดอะแกรมของเฟสล็อคลูป 7
รูปที่ 2.3 ก ผลต่างเฟสเมื่อเฟสเท่ากัน 8
รูปที่ 2.3 ข เมื่อเฟสของอินพุทไม่เท่ากัน 8
รูปที่ 2.4 แสดงบล็อคไดอะแกรมของระบบ PLL ที่ระบบป้อนกลับเป็นลิเนียร์ 15
รูปที่ 2.5 แสดงเออร์เรอร์โวลท์เตจชั่วขณะในระหว่างเวลากระบวนการแคปเจอร์ 20
รูปที่ 2.6 แสดงถึงคุณสมบัติการแปลงความถี่ไปเป็นโวลท์เตจ 23
รูปที่ 2.7 แสดงถึงคุณสมบัติรวมในการแปลงความถี่เป็นโวลท์เตจของระบบ PLL 24
รูปที่ 2.8 ระบบเฟสล็อคลูป 25
รูปที่ 2.9 พิสัยการล็อคของระบบเฟสล็อคลูป 27
รูปที่ 2.10 แสดงถึงคุณสมบัติเอาท์พุทของเฟสดีเทคเตอร์กับเฟสเออร์เรอร์ 28
รูปที่ 2.11 แสดงพิสัยแคปเจอร์ของระบบเฟสล็อคลูป 30
รูปที่ 2.12 แสดงบล็อคไดอะแกรมของดูอัล-โมดูลัส พรีสเกลลิ่ง 31
รูปที่ 2.13 ลูปฟิลเตอร์ชนิดต่างๆ 35
รูปที่ 2.14 แสดงลูปฟิลเตอร์ที่ได้จากการปรับปรุง 36
รูปที่ 2.15 ตัวอย่างของไซด์แบนด์ฟิลเตอร์ 36
รูปที่ 3.1 วงจรสังเคราะห์ความถี่ 38
รูปที่ 3.2 วงจรแสดงผลด้วยตัวเลขเจ็ดหลัก 39
รูปที่ 3.3 แสดงวงจรลูปฟิลเตอร์ 40
รูปที่ 3.4 แสดงวงจรสมมูลย์ของวงจรขยาย 42
รูปที่ 3.5 แสดงรูปวงจรที่ใช้ในการคำนวณหาอินพุทอินพีแดนซ์ 43
รูปที่ 4.1 แสดงเอาท์พุทจาก IC HD 10551 เมื่อป้อนความถี่ 100 MHz 45
รูปที่ 4.2 แสดงเอาท์พุทจาก IC HD 10551 เมื่อป้อนความถี่ 120 MHz 45
รูปที่ 4.3 แสดงเอาท์พุทจาก IC HD 10551 เมื่อป้อนความถี่ 140 MHz 46
รูปที่ 4.4 สัญญาณ 10 MHz จาก IC HD 10551 ก่อนและหลังผ่านวงจรบัฟเฟอร์ 46
รูปที่ 4.5 สัญญาณ 12 MHz จาก IC HD 10551 ก่อนและหลังผ่านวงจรบัฟเฟอร์ 47
รูปที่ 4.6 สัญญาณ 14 MHz จาก IC HD 10551 ก่อนและหลังผ่านวงจรบัฟเฟอร์ 47
รูปที่ 4.7 เปรียบเทียบสัญญาณ 10 MHz ก่อนและหลังผ่าน IC 74HC390 48
รูปที่ 4.8 เปรียบเทียบสัญญาณ 12 MHz ก่อนและหลังผ่าน IC 74HC390 48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.9 เปรียบเทียบสัญญาณ 14 MHz ก่อนและหลังผ่าน IC 74HC390 49
รูปที่ 4.10 กราฟแสดงความถี่วีซีโอที่ 110.2 MHz 49
รูปที่ 4.11 กราฟแสดงความถี่วีซีโอที่ 112.1 MHz 50
รูปที่ 4.12 กราฟแสดงความถี่วีซีโอที่ 116.5 MHz 50
รูปที่ 4.13 กราฟแสดงความถี่วีซีโอที่ 117.6 MHz 51
รูปที่ 4.14 กราฟแสดงความถี่วีซีโอที่ 122.1 MHz 51
รูปที่ 4.15 กราฟแสดงความถี่วีซีโอที่ 131.9 MHz 52
รูปที่ 4.16 การแสดงผลของเซเว่นเซคเมนท์กับความถี่อินพุท 1.1 MHz 52
รูปที่ 4.17 การแสดงผลของเซเว่นเซคเมนท์กับความถี่อินพุท 1.2 MHz 53
รูปที่ 4.18 การแสดงผลของเซเว่นเซคเมนท์กับความถี่อินพุท 1.3 MHz 53
รูปที่ 4.19 การแสดงผลของเซเว่นเซคเมนท์กับความถี่อินพุท 1.4 MHz 54
รูปที่ 4.20 การแสดงผลของเซเว่นเซคเมนท์กับความถี่อินพุท 1.5 MHz 54
รูปที่ 4.21 แสดงการเปรียบเทียบสัญญาณ ล็อคดีเทค (LD) ϕ_R และ ϕ_V 55
รูปที่ 4.22 รูปแสดงการเปรียบเทียบระหว่างสัญญาณก่อนและหลังการพรีเสกล 55
รูปที่ 4.23 แสดงความถี่ 94.74 MHz ที่ได้จากวีซีโอ 56
รูปที่ 4.24 แสดงเสปกตรัมของสัญญาณที่ความถี่ 94.74 MHz 56
รูปที่ 4.25 แสดงความถี่ 100.1 MHz ที่ได้จากวีซีโอ 57
รูปที่ 4.26 แสดงเสปกตรัมของสัญญาณที่ความถี่ 100.1 MHz 57
รูปที่ 4.27 แสดงความถี่ 105 MHz ที่ได้จากวีซีโอ 58
รูปที่ 4.28 แสดงเสปกตรัมของสัญญาณที่ความถี่ 105 MHz 58
รูปที่ 4.29 แสดงความถี่ 110.1 MHz ที่ได้จากวีซีโอ 59
รูปที่ 4.30 แสดงเสปกตรัมของสัญญาณที่ความถี่ 110.1 MHz 59
รูปที่ 4.31 แสดงความถี่ 115 MHz ที่ได้จากวีซีโอ 60
รูปที่ 4.32 แสดงเสปกตรัมของสัญญาณที่ความถี่ 115 MHz 60
รูปที่ 4.33 แสดงความถี่ 120 MHz ที่ได้จากวีซีโอ 61
รูปที่ 4.34 แสดงเสปกตรัมของสัญญาณที่ความถี่ 120 MHz 61
รูปที่ 4.35 แสดงความถี่ 125 MHz ที่ได้จากวีซีโอ 62
รูปที่ 4.36 แสดงเสปกตรัมของสัญญาณที่ความถี่ 125 MHz 62
รูปที่ 4.37 แสดงความถี่ 130.1 MHz ที่ได้จากวีซีโอ 63
รูปที่ 4.38 แสดงเสปกตรัมของสัญญาณที่ความถี่ 130.1 MHz 63

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

การสังเคราะห์ความถี่เป็นระบบที่มีการนำอุปกรณ์ต่างๆ มาใช้เพื่อกำเนิดความถี่หนึ่งความถี่หรือหลายๆ ความถี่จากแหล่งกำเนิดที่น้อยที่สุด ในอดีตมีการควบคุมการออสซิเลตด้วยคริสตอล (Crystal Control Oscillator) เพื่อใช้ในการเลือกความถี่แบบแมนนวล (Manual) ความถูกต้องและเสถียรภาพของความถี่ที่ได้จะขึ้นกับอุปกรณ์ที่ใช้เป็นตัวกำหนด และเสถียรภาพของตัวคริสตอลเองด้วย

การใช้ตัวควบคุมการออสซิเลตนั้นเราเรียกวิธีการนี้ว่า การสังเคราะห์แบบอินโคเฮอร์เรนท์ (Incoherent Synthesis) เป็นการใช้คริสตอลออสซิเลเตอร์หลายๆ ตัวเพื่อใช้ในการกำเนิดความถี่

ในปัจจุบันมีการพัฒนาทางด้านอุปกรณ์และการเจริญเติบโตในอุตสาหกรรม ทางด้านการสื่อสารมีความต้องการใช้งานทางด้านนี้มากขึ้น ในบางระบบต้องการความถูกต้องแม่นยำและมีเสถียรภาพที่มากกว่าการสังเคราะห์แบบอินโคเฮอร์เรนท์จึงได้มีการค้นคิดวิธีการขึ้นใหม่ เรียกว่า การสังเคราะห์แบบโคเฮอร์เรนท์ (Coherent Synthesis) ซึ่งก็คือ การสร้างความถี่ขึ้นหลายๆ ความถี่จากแหล่งกำเนิดความถี่ (Reference Source) เพียงตัวเดียว และจะต้องมีความถูกต้องแม่นยำและมีเสถียรภาพ

เทคนิคและวิธีการต่างๆ นั้นจะได้ผลลัพธ์ทางด้านเอาท์พุท (Output) ที่มีความถี่แปลกปลอม (Spurious Frequency) ปะปนอยู่ ดังนั้นเราจึงต้องทำการแยกออกไปโดยใช้ฟิลเตอร์ (Filter) สำหรับส่วนของเฟสนอยส์ (Phase Noise) นั้นมีไม่มากนักจึงไม่นำมาพิจารณา

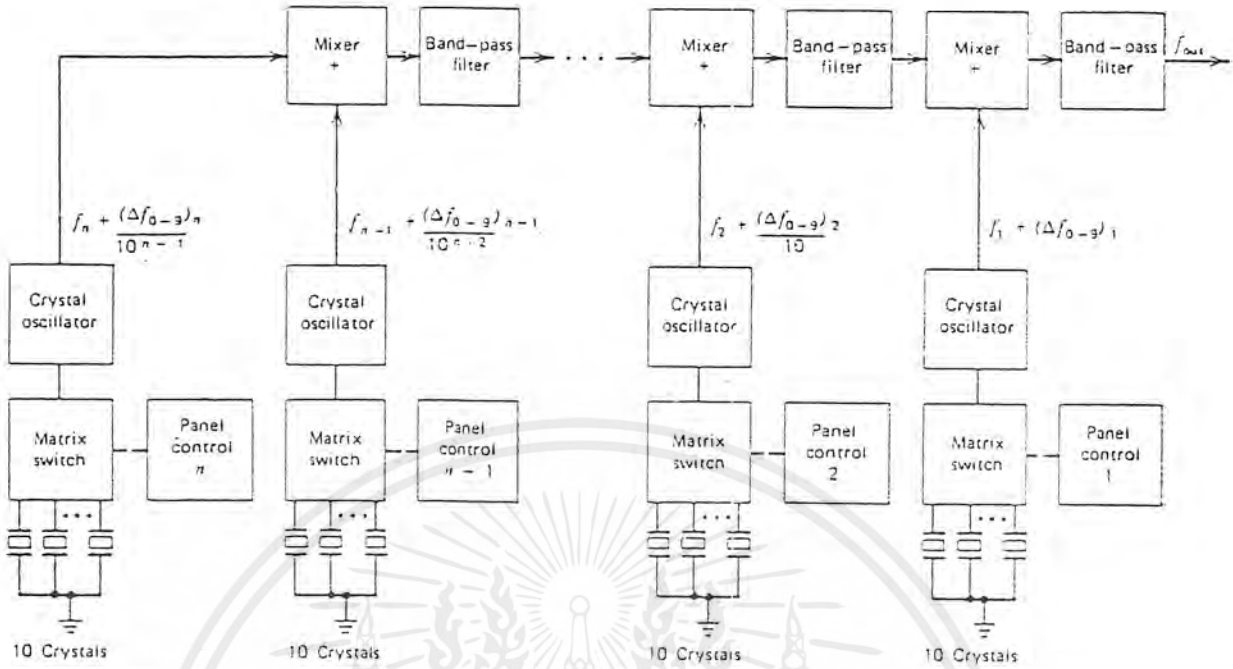
สำหรับการใช้งานนั้นจะเป็นประโยชน์ในระบบงานต่างๆ มากกว่าที่ใช้ในการสื่อสารภาคพื้นดิน เช่น ใช้เป็นดอปเปลอร์เรดาร์ (Doppler Radar) ความสามารถในการโปรแกรม (Programming) และการสวิตช์ชิ่ง (Switching) สัญญาณที่ความถี่สูงนั้นได้มีการทดลองและทดสอบด้วยวงจรอิเล็กทรอนิคส์ที่หลากหลาย ตัวอย่างเช่น การทดสอบคริสตอลฟิลเตอร์ (Crystal Filter) ที่ช่วงแคบของความถี่ และการตรวจสอบช่องสัญญาณเทเลมิทรี (Telemetry) ของระบบ

1.1 การสังเคราะห์แบบอินโคเฮอร์เรนท์

การสังเคราะห์แบบอินโคเฮอร์เรนท์จะเป็นลักษณะที่ค่าเอาท์พุทที่ได้จะแปรเปลี่ยนตามความถี่อินพุท (Input) ของคริสตอลออสซิเลเตอร์ดังรูปที่ 1.1 ซึ่งจุดมุ่งหมายของการสร้างนั้นต้องการให้มีส่วนคริสตอลออสซิเลเตอร์น้อยที่สุด และให้ส่วนต่างๆ ในรูปจะประกอบด้วยมิกเซอร์ (Mixers) และฟิลเตอร์

จากรูปที่ 1.1 จะใช้การสังเคราะห์แบบเฮทเทอร์โรดายน์ (Heterodyne) คือ การใช้มิกเซอร์ในการเปลี่ยนแปลงความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.1 การสังเคราะห์แบบอินโคเฮอร์เรนท์

เพราะฉะนั้นค่าเอาท์พุทในแต่ละส่วนของมิกเซอร์จะได้เป็น

$$f_{n-1} + f_n + \frac{(\Delta f_{0-9})_{n-1}}{10^{n-2}} + \frac{(\Delta f_{0-9})_n}{10^{n-1}} \qquad (1.1)$$

ค่า Δf_{0-9} หมายถึง ค่าความถี่ที่เปลี่ยนไปในแต่ละขั้น 10 ความถี่จากความถี่พื้นฐานที่ $\Delta f_0 = 0$ ดังตัวอย่างเช่น $f_n + (\Delta f_{0-9})_n/10^{n-1}$ หมายถึง การออสซิเลเตอร์ที่ n สามารถตั้งค่าความถี่ได้ 10 ความถี่ ดังต่อไปนี้

$$f_n,\ f_n + \frac{(\Delta f_1)_n}{10^{n-1}},\ f_n + \frac{(\Delta f_2)_n}{10^{n-1}},\ \ldots,\ f_n + \frac{(\Delta f_9)_n}{10^{n-1}} \qquad (1.2)$$

ค่าตัวหาร $(\Delta f_{0-9})_n$ เป็นส่วนที่แสดงขนาดหลักของความถี่เอาท์พุทส่วนสุดท้าย ซึ่งมีค่ามากขึ้นตามลำดับจากซ้ายไปขวาของรูปที่ 1.1 เช่น Δf_{0-9} เป็นค่าที่แสดงหลักที่มากที่สุด ส่วนค่า $(\Delta f_{0-9})_n$ เป็นค่าแสดงหลักที่น้อยที่สุด

เมื่อพิจารณาจากรูปที่ 1.1 จะได้ค่าเอาท์พุทเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f_{out} = f_1 + f_2 + \ldots + f_{n-1} + f_n + (\Delta f_{0\text{-}9})_1 + \frac{(\Delta f_{0\text{-}9})_2}{10} + \ldots + \frac{(\Delta f_{0\text{-}9})_{n-1}}{10^{n-2}} + \frac{(\Delta f_{0\text{-}9})_n}{10^{n-1}} \quad (1.3)$$

ตัวอย่างในการใช้งาน เช่น ถ้าเราต้องการจะกำเนิดความถี่ 58 ถึง 59 MHz โดยให้มีการเปลี่ยนความถี่ไปขั้นละ 1 kHz ดังรูปที่ 1.2 เราจะต้องกำหนดตัวหารเป็น 10^3 คือ n = 3 ส่วนที่สำคัญคือการเลือก f_1 ถึง f_3 จะต้องพิจารณาเพื่อป้องกันการเกิดความถี่แปลกปลอมที่ด้านเอาท์พุท สมมติว่า กำหนด f_1, f_2 และ f_3 ให้มีค่าดังต่อไปนี้ คือ

f_1 = 47.0 MHz

f_2 = 6.0 MHz

f_3 = 5.0 MHz

จะให้มีความถี่เปลี่ยนไปทุก ๆ 1 kHz

$$\frac{(\Delta f_1)_n}{10^{n-1}} = \frac{(\Delta f_1)_3}{10^2} = 1 \text{ kHz}$$

หรือ $\Delta f_1 = 0.1$ MHz

เพราะฉะนั้นจะได้ $\Delta f_0 = 0.0$ MHz

$\Delta f_1 = 0.1$ MHz

$\Delta f_2 = 0.2$ MHz

⋮

$\Delta f_9 = 0.9$ MHz

กำหนดให้ $(\Delta f_0)_1 = (\Delta f_0)_2 = (\Delta f_0)_3 = 0$ และใช้สมการที่ 1.3 ในการคำนวณจะได้ค่าความถี่ที่ต่ำที่สุดเป็น

$$(f_{out})_{min} = 47 + 6 + 5 = 58.0 \text{ MHz}$$

ในทำนองเดียวกันค่า $(\Delta f_9)_1 = (\Delta f_9)_2 = (\Delta f_9)_3 = 0.9$ MHz จะได้ค่าความถี่เอาท์พุทที่สูงที่สุดเป็น

$$(f_{out})_{max} = 47.9 + 6.09 + 5.009 = 58.999 \text{ MHz}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

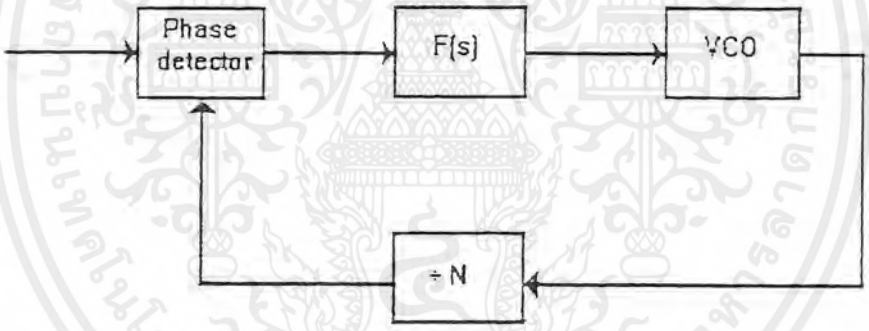
บทที่ 2

ทฤษฎีและหลักการ

2.1 ระบบสังเคราะห์ความถี่แบบที่ใช้เฟสล็อคลูป

เฟสล็อคลูปซินธิไซเซอร์ (Phase lock loop synthesizer) เป็นวงจรสังเคราะห์ความถี่ชนิดโปรแกรมได้ ทำหน้าที่ผลิตสัญญาณความถี่ขนาดพอเหมาะและให้มีความถี่ตามที่เรากำหนดโดยการประยุกต์ใช้งานของเฟสล็อคลูป ซึ่งเป็นระบบป้อนกลับที่มีการเปลี่ยนความถี่และเฟสของวงจรของออสซิเลเตอร์ตามสัญญาณอินพุทที่ป้อนเข้ามา บล็อกไดอะแกรมเบื้องต้นของเฟสล็อคลูปซินธิไซเซอร์แสดงดังรูปที่ 2.1 ประกอบด้วยส่วนสำคัญ 4 ส่วนดังนี้

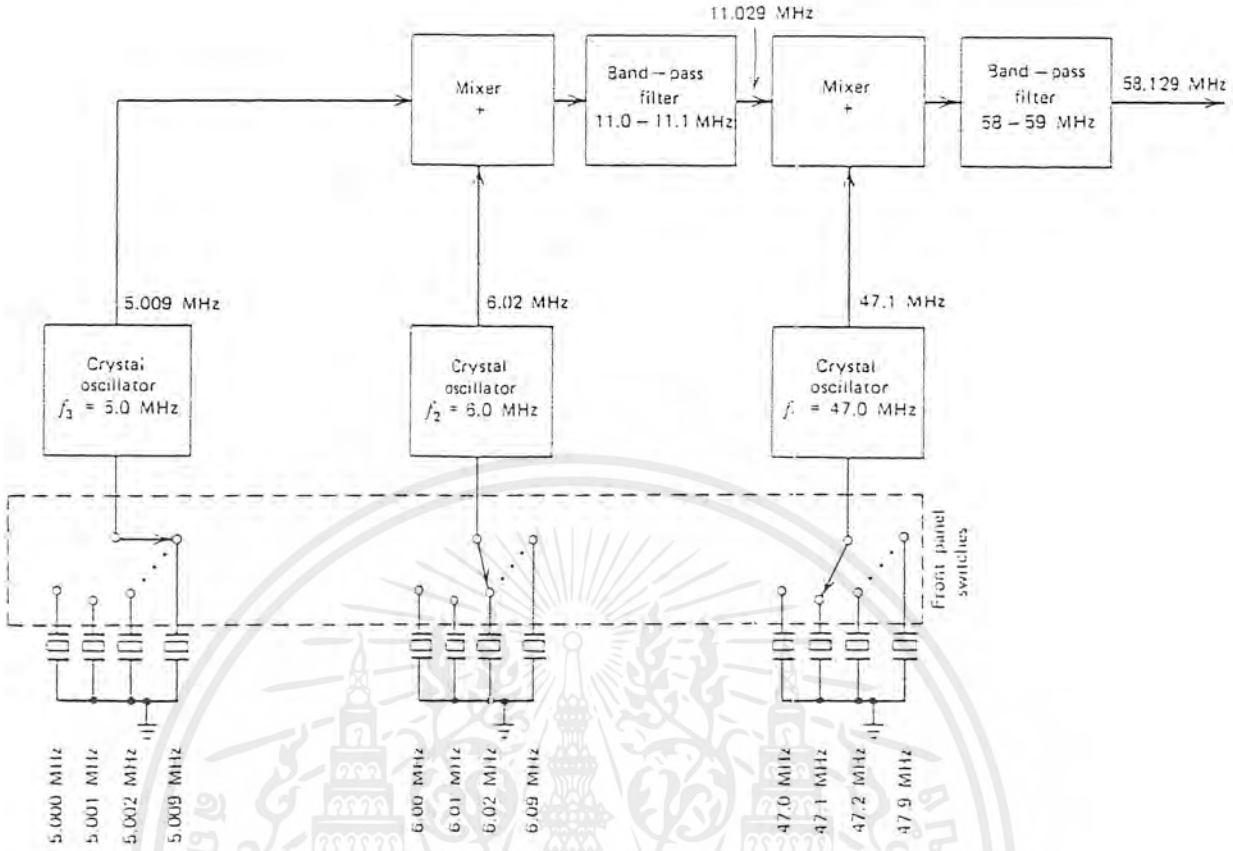
1. ส่วนเปรียบเทียบเฟส (Phase Detector :PD)
2. ลูปฟิลเตอร์ (Loop Filter : LF)
3. วงจรออสซิเลเตอร์ควบคุมความถี่ด้วยแรงดัน (Voltage Control Oscillator : VCO)
4. วงจรหารความถี่ที่สามารถโปรแกรมได้ (Programmable Divider)



รูปที่ 2.1 แสดงบล็อคไดอะแกรมของวงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อคลูป

สามารถอธิบายการทำงานคร่าว ๆ ได้ดังนี้ ขณะที่ยังไม่มีสัญญาณเข้าไปในระบบ แรงดันควบคุม (control voltage) $V_C(t)$ จะเท่ากับศูนย์ VCO จะทำงานโดยตั้งความถี่ไว้ที่ f_0 ซึ่งเรียกว่า ความถี่ฟรีรันนิ่ง (free running frequency) ถ้ามีสัญญาณเข้าไปในระบบ เฟสดีเทคเตอร์จะทำการเปรียบเทียบเฟสและความถี่ของสัญญาณอินพุท f_i กับความถี่ของ VCO ถ้าเกิดความแตกต่างของสัญญาณทั้งสองเนื่องจากความถี่ไม่ตรงกันจะเกิดแรงดันคลาดเคลื่อนออกมา $V_E(t)$ แรงดันคลาดเคลื่อนนี้จะถูกกรองผ่านวงจรลูปฟิลเตอร์ ขยายแล้วป้อนให้กับ VCO ในการนี้แรงดันควบคุม $V_C(t)$ จะไปบังคับความถี่ของ VCO ให้เปลี่ยนไปในทิศทางที่จะลดความถี่ที่แตกต่างระหว่างความถี่ f_0 กับความถี่ f_1 ถ้าความถี่ f_1 ใกล้เคียงกับความถี่ f_0 จากการป้อนกลับของเฟสล็อคลูปซึ่งสัญญาณที่ป้อนกลับไปยังลูปฟิลเตอร์จะเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.2 การสังเคราะห์แบบอินโดเฮอร์เรนท์

ตัวอย่างเช่น ถ้าต้องการกำเนิดความถี่ 58.129 MHz จะต้องตั้งค่า $(\Delta f_{0\text{-}9})_n$ ในแต่ละส่วนให้มีค่าดังต่อไปนี้

$$(\Delta f_{0\text{-}9})_1 \longrightarrow (\Delta f_1)_1 = 0.1 \text{ MHz}$$

$$(\Delta f_{0\text{-}9})_2 \longrightarrow (\Delta f_2)_2 = 0.2 \text{ MHz}$$

$$(\Delta f_{0\text{-}9})_3 \longrightarrow (\Delta f_3)_3 = 0.3 \text{ MHz}$$

จะได้ $f_{out} = 47.1 + 6.02 + 5.009 = 58.129$ MHz

ถ้าต้องการจะกำเนิดความถี่ในช่วงที่กว้างกว่านี้สามารถใช้มิกเซอร์เพิ่มเข้าไปในวงจรได้ และการใช้หลักการของเฮทเทอร์โรดายน์นั้นมีประโยชน์ คือ ความถี่ที่ได้จะมีความถูกต้องแม่นยำ

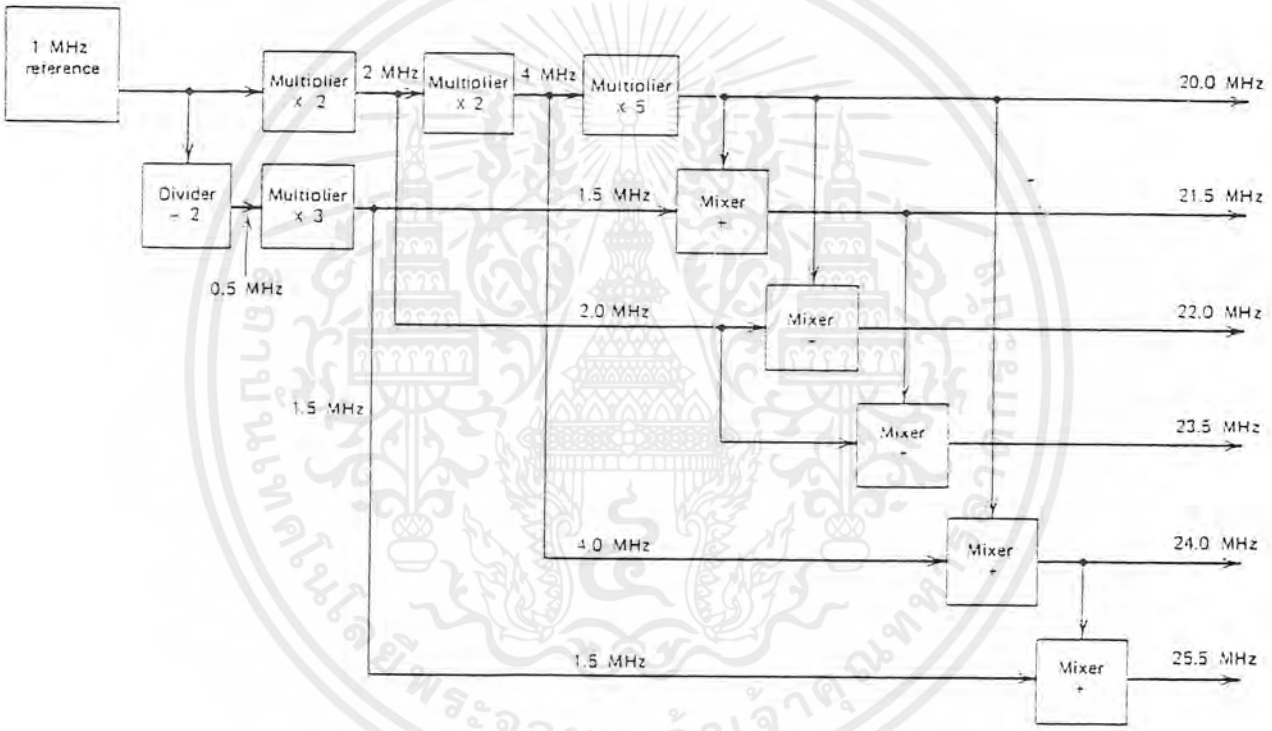
ส่วนค่าเฟสนอยส์จะมีค่าคงตัวและมีเสถียรภาพเช่นกัน ทั้งนี้ก็ขึ้นอยู่กับออสซิเลเตอร์ การทำให้เกิดเสถียรภาพนั้นสามารถทำได้หลายอย่าง เช่น การบวกและการลบ (การเฮทเทอร์โรดายน์) และการพูลลิ่ง (Pulling) ความถี่ของคริสตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การลดทอนความถี่แปลกปลอมทางด้านเอาท์พุทนั้น สามารถใช้ฟิลเตอร์กรองเอาส่วนนอกแบนด์ (Band) ที่ไม่ต้องการทิ้งไปได้

1.2 การสังเคราะห์โดยตรงแบบโคเฮอร์เรนท์

การสังเคราะห์แบบนี้จะแตกต่างจากแบบอินโคเฮอร์เรนท์ คือ จะใช้แหล่งกำเนิดอ้างอิงเพียงตัวเดียว เพราะฉะนั้นความมีเสถียรภาพและความถูกต้องแม่นยำจะขึ้นอยู่กับแหล่งกำเนิดที่ใช้ การสังเคราะห์แบบนี้สามารถทำได้หลายวิธี เช่น ตัวอย่างในรูปที่ 1.3 จะประกอบไปด้วย วงจรคูณความถี่ (Frequency Multiplier), วงจรหาร (Divider), มิกเซอร์, และแหล่งกำเนิดอ้างอิง จากรูปจะได้ความถี่ 6 ความถี่ คือ 20.0, 21.5, 22.0, 23.5, 24.0 และ 25.5 ตามลำดับ



รูปที่ 1.3 การสังเคราะห์แบบบรูท-ฟอร์ซ (Brute-force Synthesis)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

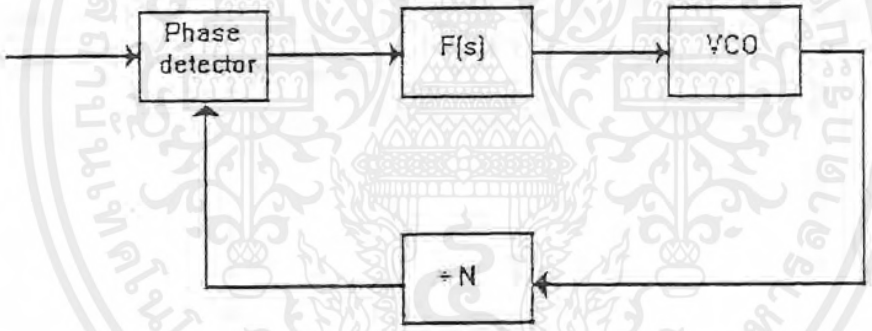
บทที่ 2

ทฤษฎีและหลักการ

2.1 ระบบสังเคราะห์ความถี่แบบที่ใช้เฟสล็อคลูป

เฟสล็อคลูปซินธิไซเซอร์ (Phase lock loop synthesizer) เป็นวงจรสังเคราะห์ความถี่ชนิดโปรแกรมได้ ทำหน้าที่ผลิตสัญญาณความถี่ขนาดพอเหมาะและให้มีความถี่ตามที่เรากำหนดโดยการประยุกต์ใช้งานของเฟสล็อคลูป ซึ่งเป็นระบบป้อนกลับที่มีการเปลี่ยนความถี่และเฟสของวงจรของออสซิเลเตอร์ตามสัญญาณอินพุทที่ป้อนเข้ามา บล็อกไดอะแกรมเบื้องต้นของเฟสล็อคลูปซินธิไซเซอร์แสดงดังรูปที่ 2.1 ประกอบด้วยส่วนสำคัญ 4 ส่วนดังนี้

1. ส่วนเปรียบเทียบเฟส (Phase Detector :PD)
2. ลูปฟิลเตอร์ (Loop Filter : LF)
3. วงจรออสซิเลเตอร์ควบคุมความถี่ด้วยแรงดัน (Voltage Control Oscillator : VCO)
4. วงจรหารความถี่ที่สามารถโปรแกรมได้ (Programmable Divider)



รูปที่ 2.1 แสดงบล็อคไดอะแกรมของวงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อคลูป

สามารถอธิบายการทำงานคร่าว ๆ ได้ดังนี้ ขณะที่ยังไม่มีสัญญาณเข้าไปในระบบ แรงดันควบคุม (control voltage) $V_C(t)$ จะเท่ากับศูนย์ VCO จะทำงานโดยตั้งความถี่ไว้ที่ f_0 ซึ่งเรียกว่า ความถี่ฟรีรันนิ่ง (free running frequency) ถ้ามีสัญญาณเข้าไปในระบบ เฟสดีเทคเตอร์จะทำการเปรียบเทียบเฟสและความถี่ของสัญญาณอินพุท f_r กับความถี่ของ VCO ถ้าเกิดความแตกต่างของสัญญาณทั้งสองเนื่องจากความถี่ไม่ตรงกันจะเกิดแรงดันคลาดเคลื่อนออกมา $V_E(t)$ แรงดันคลาดเคลื่อนนี้จะถูกกรองผ่านวงจรลูปฟิลเตอร์ ขยายแล้วป้อนให้กับ VCO ในการนี้แรงดันควบคุม $V_C(t)$ จะไปบังคับความถี่ของ VCO ให้เปลี่ยนไปในทิศทางที่จะลดความถี่ที่แตกต่างระหว่างความถี่ f_0 กับความถี่ f_1 ถ้าความถี่ f_1 ใกล้เคียงกับความถี่ f_0 จากการป้อนกลับของเฟสล็อคลูปซึ่งสัญญาณที่ป้อนกลับไปยังลูปฟิลเตอร์จะเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่เอาท์พุทของ VCO ที่ถูกหารโดย N จะทำให้ VCO ซิงโครไนส์หรือล็อค (lock) กับสัญญาณอินพุทที่ป้อนเข้ามา ขณะที่ทำการล็อคนั้นความถี่ของ VCO จะเท่ากับความถี่ของสัญญาณอินพุทพอดี

ในสภาวะล็อคความถี่จะได้ว่า

$$f_r = f_d \tag{2.1}$$

และความถี่ที่ได้จากวงจรหาร

$$f_d = f_o / N \tag{2.2}$$

ดังนั้นความถี่ที่เอาท์พุทจะได้เป็น

$$f_d = Nf_r \tag{2.3}$$

แต่ในสภาวะล็อคความถี่ เฟสของสัญญาณทั้งสองจะยังคงต่างกันอยู่ซึ่งมีความจำเป็นต่อการผลิตแรงดันคลาดเคลื่อน $V_E(t)$ ที่จะไปคอยปรับความถี่ VCO จากค่าความถี่ฟรีรันนิ่งให้เท่ากับความถี่ที่เข้ามา ดังนั้นเฟสล็อคลูปจะยังคงรักษาสภาพการล็อคอยู่ การที่ระบบสามารถที่จะปรับตัวได้เอง ทำให้เฟสล็อคลูปสามารถติดตามการล็อคกับระบบซึ่งจะขึ้นกับแรงดันคลาดเคลื่อน

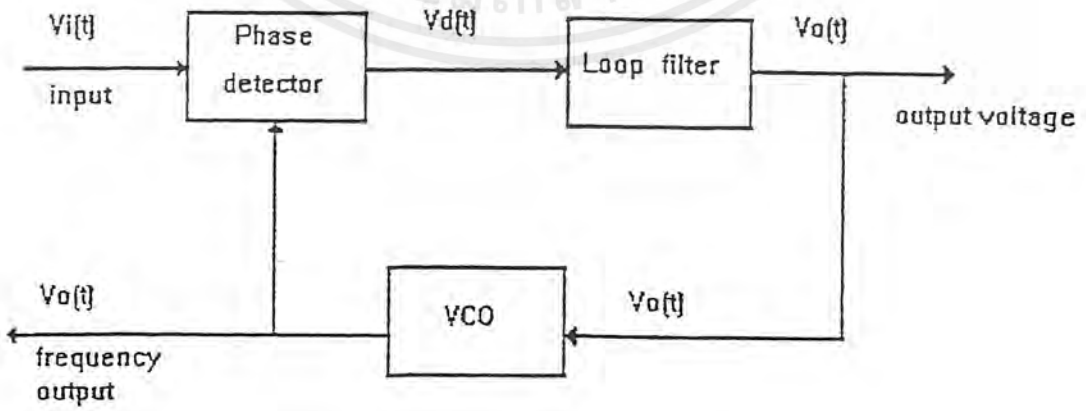
ช่วงของความถี่ซึ่งเฟสล็อคลูปสามารถทำการล็อคอย่างแท้จริงกับสัญญาณอินพุทเรียกว่า ช่วงแคปเจอร์ (capture range) จะขึ้นอยู่กับขอบแบนด์ของมิเตอร์และอัตราขยายลูปปิดของระบบทั้งหมด

เฟสล็อคลูปที่มีการหารความถี่ชนิดโปรแกรมได้ภายในลูปเป็นวิธีที่เหมาะสำหรับการสังเคราะห์ความถี่ที่มีค่ามาจากความถี่อ้างอิงความถี่เดียว

คุณสมบัติที่ต้องการของวงจรสังเคราะห์ความถี่จะต้องผลิตสัญญาณความถี่ขนาดพอเหมาะและให้มีความถี่ตามที่เรากำหนด ช่วงความถี่ใช้งานของวงจรสังเคราะห์ความถี่จะจำกัดอยู่ในช่วงที่แน่นอน แล้วแต่การใช้งานและความละเอียดของความถี่ที่เปลี่ยนแปลงได้ทีละขั้น ซึ่งเรียกว่า รีโซลูชั่น (resolution)

2.1 ระบบเฟสล็อคลูป

ระบบเฟสล็อคลูปเบื้องต้นแสดงดังรูปที่ 2.2

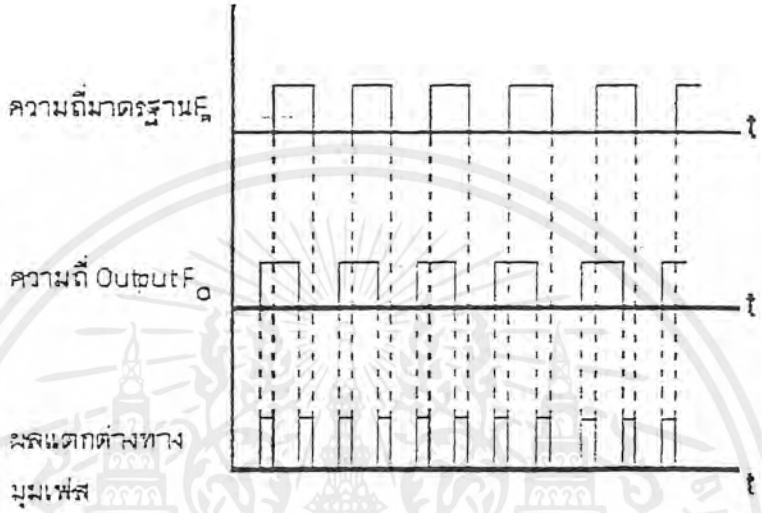


รูปที่ 2.2 แสดงบล็อกไดอะแกรมของวงจรเฟสล็อคลูป

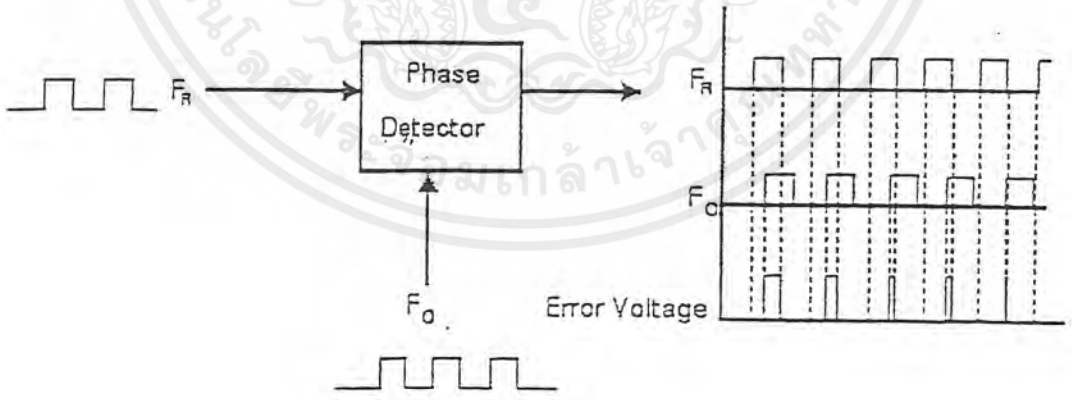
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่ละส่วนมีผลต่อคุณสมบัติและการทำงานของระบบ หน้าที่ของแต่ละส่วนจะได้อธิบายดังนี้

1. เฟสดีเทคเตอร์ เฟสดีเทคเตอร์ทำหน้าที่เปรียบเทียบเฟสของอินพุทซึ่งจะมีสองผลของเฟสที่ต่างกัน เรียกว่า เฟสเออร์เรอร์ เฟสเออร์เรอร์นี้จะมีค่าน้อยที่สุดเป็นศูนย์ และจะมีค่ามากที่สุดเป็น $\pi/2$ เฟสดีเทคเตอร์จะทำการเปลี่ยนเฟสเออร์เรอร์นี้ให้กลายเป็นระดับโวลท์เตทด้วยค่าเวอร์ชั่นเกน K_d (volt/radian) ลักษณะการเปรียบเทียบเฟสของอินพุททั้งสองของเฟสดีเทคเตอร์จะได้แสดงดังรูปที่ 2.3ก



รูปที่ 2.3ก ผลต่างเฟสเมื่อเฟสเท่ากัน



รูปที่ 2.3ข เมื่อเฟสของอินพุทไม่เท่ากัน

2. ลูปฟิลเตอร์ ทำหน้าที่กรองสัญญาณความถี่สูงที่ออกมาจากเฟสดีเทคเตอร์ เนื่องจากเฟสดีเทคเตอร์ให้เอาท์พุทเป็นสัญญาณดีซีที่เอซีโวลท์เตทร่วมมาด้วย สัญญาณความถี่ที่ได้เกิดจากความต่างเฟส ยิ่งต่างเฟสมากความถี่ยิ่งสูง ดังนั้นลูปฟิลเตอร์จึงช่วยกรองเอาสัญญาณความถี่สูงซึ่งแสดงว่ามี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความต่างเฟสมากออกทำให้ระบบสามารถแคปเจอร์ (capture) สัญญาณได้ในช่วงหนึ่งและช่วยให้ระบบรักษาการล็อคไว้ได้อีกด้วย

3. วีซีโอ จะทำหน้าที่ผลิตสัญญาณความถี่โดยการควบคุมระดับโวลท์เตทอินพุทด้วยคอนเวอร์ชั่นเกนเท่ากับ K_o (radian / volt) ระดับโวลท์เตทนี้จะได้จากเอาท์พุทของลูปฟิลเตอร์ ความถี่ที่ล็อคมาจากลูปฟิลเตอร์จะมีผลทำให้เอาท์พุทของวีซีโอเปลี่ยนความถี่ด้วยเช่นกัน

การทำงานของระบบเฟสล็อคลูปสามารถอธิบายอย่างคร่าวๆ ได้ดังนี้ เฟสดีเทคเตอร์จะเปรียบเทียบเฟสของสัญญาณอินพุท $V_i(t)$ กับความถี่เอาท์พุทของ VCO และทำให้ได้เออร์เรอร์โวลท์เตจ $V_d(t)$ สัญญาณเออร์เรอร์โวลท์เตจนี้จะถูกกรองด้วยลูปฟิลเตอร์และถูกป้อนกลับไปยังคอนโทรลอินพุทของ VCO ในรูปของแรงดันควบคุมความถี่ของ VCO

ตามปกติเมื่อไม่มีสัญญาณอินพุทป้อนให้กับระบบเฟสล็อคลูปเออร์เรอร์โวลท์เตจที่ผ่านลูปฟิลเตอร์ $V_o(t)$ ในฟีดแบ็คลูปจะมีค่าเป็นศูนย์ VCO จะทำงานที่ความถี่ศูนย์กลาง $\omega_o = 2\pi f_o$ ซึ่งเราเรียกว่าความถี่ฟรีรันนิ่งของ VCO

ถ้ามีสัญญาณอินพุทเป็นเอซีป้อนกับระบบเฟสล็อคลูปและสัญญาณดังกล่าวมีความถี่อินพุท $\omega_1 = 2\pi f_o$ ใกล้เคียงกับความถี่ฟรีรันนิ่งพอเพียง การฟีดแบ็คของเฟสล็อคลูปจะทำให้ได้เออร์เรอร์โวลท์เตจไปขับ VCO ให้มีความถี่ซิงโครไนส์กับความถี่อินพุทเมื่อความถี่ของ VCO ซิงโครไนส์กับความถี่อินพุทแสดงว่าระบบเฟสล็อคลูปมีความถี่เอาท์พุทล็อคกับความถี่ของสัญญาณอินพุท

การทำงานของระบบเฟสล็อคลูปสามารถแบ่งได้เป็น 3 ลักษณะตามคุณสมบัติของลูปดังนี้

ก. <u>เมื่อระบบไม่อยู่ในสภาวะล็อค</u> ($\omega_i \neq \omega_o$)

จากระบบเฟสล็อคลูปในรูปที่ 2.1 เราสมมติสัญญาณ V_i และ V_o เป็นสัญญาณรูปคลื่นซายน์มีค่าเป็น

$$V_i(t) = E_i \sin(\omega_i t + \theta_i) \tag{2.4}$$

$$V_o(t) = E_o \sin(\omega_o t + \theta_o) \tag{2.5}$$

เมื่อ

ω_i เป็นความถี่เชิงมุมของสัญญาณอินพุท

ω_o เป็นความถี่เชิงมุมศูนย์กลางของ VCO

θ_i และ ϕ_o เป็นค่าเฟสคงที่ซึ่งขึ้นอยู่กับช่วงเวลาที่กำหนด

ถ้าเฟสดีเทคเตอร์มีคุณสมบัติเป็นอนาลอกมัลติพลายเออร์ เราจะได้สัญญาณเอาท์พุทของเฟสดีเทคเตอร์ (V_d) เป็น

$$V_d(t) = K_d \cos[(\omega_i - \omega_o)t + \theta_i - \phi_o] \tag{2.6}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจาก V_i และ V_o ไม่ซิงโครไนส์กัน

ดังนั้นสัญญาณเอาท์พุทของเฟสดีเทคเตอร์ V_d จะเป็นสัญญาณรูปคลื่นซายน์ที่มีแอมปลิจูดสูงสุดเท่ากับ K_d และมีความถี่เชิงมุมเท่ากับความถี่เชิงมุมระหว่างสัญญาณ V_i และ V_o คือ ω_i และ ω_o มีค่าแตกต่างกันมาก ดังนั้นโวลท์เตจ V_d จะไม่สามารถผ่านลูปฟิลเตอร์ได้ ทำให้ได้ค่า $V_C = 0$ และการฟีดแบ็คของลูปจะไม่มีผลอะไรคือ ไม่เกิดการเปลี่ยนแปลงใดๆ ภายในลูป เอาท์พุทโวลท์เตจของ VCO จะมีค่าอยู่ที่ความถี่ฟรีรันนิ่ง ดังนั้น ω_o และ ϕ_o จะมีค่าเป็นอิสระอย่างสมบูรณ์ต่อ ω_i และ θ_i พูดได้ว่าลูปไม่อยู่ในสภาวะล็อค แต่ถ้า $\omega_i - \omega_o = \pm \Delta\omega$ มีค่าน้อยกว่าแบนด์วิดธ์ของลูปซึ่งกำหนดได้โดยพารามิเตอร์ของลูปและการฟีดแบ็คจะมีผลขับให้ระบบเข้าสู่สภาวะล็อคได้

ข. <u>เมื่อระบบเข้าสู่สภาวะล็อค</u> ($\omega_i = \omega_o$)

ในกรณีที่สัญญาณเอาท์พุท VCO มีความถี่ซิงโครไนส์กับสัญญาณอินพุท V_i สัญญาณเอาท์พุท V_o จะมีค่าเป็น

$$V_o(t) = E_o \sin(\omega_i t + \psi_o) \tag{2.7}$$

นอกจากนั้นค่าของเฟสของสัญญาณเอาท์พุท ϕ_o จะเป็นลิเนียร์ฟังก์ชั่นกับเวลา ซึ่งมีค่าเป็น

$$\phi_o = (\omega_i + \omega_o)t + \psi_o \tag{2.8}$$

และสัญญาณเอาท์พุทของเฟสดีเทคเตอร์หรือสัญญาณเออร์เรอร์จะกลายเป็นสัญญาณดีซี มีค่าเท่ากับ

$$V_d = K_d \cos(\theta_i - \psi_o) \tag{2.9}$$

ลูปฟิลเตอร์จะยอมให้สัญญาณดีซี V_d ผ่านได้และมีค่าเท่ากับ

$$V_C = V_d = K_d \cos(\theta_i - \psi_o) \tag{2.10}$$

VCO จะเป็นฟรีเควนซีโมดูเลทเตดออสซิเลเตอร์ ความถี่เชิงมุมที่เปลี่ยนแปลงอย่างทันทีทันใดของ VCO ω_{inst} จะเป็นลิเนียร์ฟังก์ชั่นกับสัญญาณคอนโทรลอินพุท V_C โดยรอบความถี่เชิงมุมศูนย์กลาง

$$\omega_{inst} = d/dt(\omega_o t + \phi_o) = \omega_o + K_o V_C \tag{2.11}$$

$$d/dt(\phi_o) = K_o V_0 \tag{2.12}$$

เมื่อ K_o เป็นคอนเวอร์ชั่นคอนสแตนท์ซึ่งแสดงถึงความไวในการโมดูเลชั่นของ VCO แทนค่าสมการ (2.8) และ (2.9) ลงในสมการ (2.12) จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\omega_i - \omega_o = K_d K_o \cos(\theta_i - \psi_o) \quad (2.13)$$

$$\psi_o = \theta_i - \cos^{-1}(\omega_i - \omega_o / K_d K_o) \quad (2.14)$$

ดังนั้นสัญญาณเอาท์พุทของเฟสดีเทคเตอร์ V_d สามารถเขียนได้เป็น

$$V_d = \omega_i - \omega_o / K_o \quad (2.15)$$

ส่วนประกอบดีซีของเฟสดีเทคเตอร์เอาท์พุท V_d จะผ่านโลว์พาสฟิลเตอร์ไปเป็นคอนโทรลโวลท์เตจให้กับอินพุทของ VCO

$$V_C = V_d = \omega_i - \omega_o / K_o \quad (2.16)$$

จากสมการ (2.16) จะเห็นได้ชัดเจนว่า สัญญาณดีซี V_C จะไปทำให้ความถี่เชิงมุมของ VCO มีค่าเปลี่ยนไปจากศูนย์กลางของ VCO ω_o ไปเท่ากับความถี่เชิงมุมของสัญญาณอินพุท ω_i นั่นคือ

$$\omega_{inst} = \omega_o + K_o V_C = \omega_o + \omega_i + \omega_o = \omega_i \quad (2.17)$$

ถ้าความแตกต่างของความถี่เชิงมุมเริ่มต้น $(\omega_i - \omega_o)$ มีค่าน้อยกว่าผลคูณของ $K_d K_o$ อย่างมาก สมการ (2.14) จะมีค่าเป็น

$$\theta_i - \psi \cong \cos^{-1} 0 = \pi / 2 \quad (2.18)$$

จากสมการ (2.18) หมายความว่าถ้าความถี่ออฟเซทระหว่างสัญญาณอินพุทและสัญญาณ VCO จะมีค่าน้อยเมื่อลูปไม่อยู่ในสภาวะล็อคและสัญญาณ VCO จะมีเฟสต่างกับสัญญาณอินพุท 90° เมื่อลูปอยู่ในสภาวะล็อคหรือเฟสควอดดราเจอร์จะสอดคล้องกับ $\omega_i = \omega_o$ ด้วยเหตุผลนี้จึงแทนค่า ψ_o ด้วยค่าเฟสเอาท์พุท θ_o ดังนั้น

$$\theta_o = \psi_o - \pi / 2 \quad (2.19)$$

เอาท์พุทโวลท์เตจของเฟสดีเทคเตอร์เขียนใหม่ได้เป็น

$$V_d = K_d \cos(\theta_i - \psi_o)$$

$$= K_d \cos[(\theta_1 - \theta_o) - \pi / 2]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_d = K_d \sin(\theta_i - \theta_o) \tag{2.20}$$

จากสมการ (2.18) และ (2.19) จะได้ว่าเฟสเออร์เรอร์เป็น

$$\theta_i - \theta_o = \sin^{-1} \omega_i - \omega_o / K_d K_o \tag{2.21}$$

เมื่อผลต่างของเฟส $(\theta_i - \theta_o)$ มีค่าน้อยพอเพียงจะได้ว่า

$$V_d \cong K_d(\theta_i - \theta_o) \cong K_d \theta_o \tag{2.22}$$

เมื่อ $\theta_o = \theta_i - \theta_o$ แต่เนื่องจากคุณสมบัติของเฟสดีเทคเตอร์แบบนี้เมื่อลูปเข้าสู่การล็อค สัญญาณของวีซีโอจะมีเฟสต่างไปจากสัญญาณอินพุท 90° คือ $[\theta_i - (\theta_o + \pi / 2)]$ เป็นลักษณะของเฟสควอดดราเจอร์ดังนั้นเฟสดีเทคเตอร์จะให้เอาท์พุทโวลท์เตจที่เป็นสัดส่วนกับความต่างเฟสระหว่างสัญญาณอินพุท V_i กับสัญญาณเอาท์พุทของวีซีโอ V_o ในลักษณะของควอดดราเจอร์ คือ

$$V_d = K_d [\theta_i - (\theta_o + \pi / 2)]$$

$$= K_d [(\theta_i - \theta_o) - \pi / 2]$$

$$V_d = K_d (\theta_e - \pi / 2) \tag{2.23}$$

สัญญาณเฟสเซ็นซิทีพ V_d นี้จะผ่านลูปฟิลเตอร์ไปป้อนให้กับคอนโทรลอินพุทของวีซีโอเพื่อแก้ไขให้ความถี่ของวีซีโอเปลี่ยนจาก ω_o ไปเป็น ω_i และดำรงการล็อคให้คงอยู่จะได้

$$V_d = V_C = \omega_o - \omega_i / K_o \tag{2.24}$$

$$\omega_1 = \omega_o + K_o V_C \tag{2.25}$$

จากสมการ (2.20) และ (2.21) จะหาค่าของเฟสเออร์เรอร์ θ_e ได้เป็น

$$\theta_e = \pi / 2 + (\omega_1 - \omega_o / K_d K_o) \tag{2.26}$$

จากสมการ (2.23) จะสังเกตได้ว่าเมื่อ $\omega_i = \omega_o$ โวลท์เตจเอาท์พุทของวีซีโอจะมีเฟสควอดดราเจอร์คือเฟสต่างไปจากเฟสของสัญญาณอินพุทโวลท์เตจ 90° เมื่อ ω_i เคลื่อนที่ไปทางด้านสูงกว่า ω_o

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มุมของเฟสจะเพิ่มขึ้นจาก 90° ไปสู่ค่าสูงสุด 180° ที่อยู่เหนือสุดของพิกัดการล็อคและถ้า ω_i เคลื่อนไปทางด้านต่ำกว่า ω_o มุมของเฟสจะลดลงจาก 90° ไปสู่ค่า 0° ที่ล่างสุดของพิกัดการล็อค

ค. <u>การทำงานของระบบในลักษณะไดนามิก</u> ($\theta_i(t) = \Delta\omega t$)

ถ้าความถี่ของสัญญาณอินพุทเปลี่ยนแปลงอย่างช้าๆ ระบบเฟสล็อคลูปยังสามารถอยู่ในสภาวะล็อคได้และเปลี่ยนแปลงตามสัญญาณอินพุทโดยจะเพิ่มค่าของเฟสเออร์เรอร์ θ_e ระหว่างวีซีโอและสัญญาณอินพุทให้มากขึ้นตามเวลา จากนั้น θ_e ที่เพิ่มขึ้นจะถูกเปลี่ยนไปเป็นดีซีเออร์เรอร์โวลท์เตจ V_d ด้วยเฟสดีเทคเตอร์ เออร์เรอร์โวลท์เตจนี้จะไปขับให้ความถี่ของ VCO เลื่อนไปเท่ากับความถี่ของสัญญาณอินพุทขณะที่รับเฟสล็อคลูปเปลี่ยนแปลงตามสัญญาณอินพุท ลูปเออร์เรอร์โวลท์เตจ V_d จะมีค่าเป็นสัดส่วนโดยตรงกับผลต่างระหว่างความถี่สัญญาณอินพุท ω_i กับความถี่ฟรีรันนิ่ง ω_o ของ VCO

การพิจารณาเรื่องการแทรคคิ่งของระบบเฟสล็อคลูปก็คือ การพิจารณาถึงเฟสเออร์เรอร์ θ_e ของระบบ ระบบที่มีการแทรคคิ่งที่ดีจะต้องมีเฟสเออร์เรอร์น้อย

สมมุติว่าระบบเฟสล็อคลูปมีเฟสอินพุทเปลี่ยนแปลงไปในลักษณะสเตป หมายว่า $\Delta\omega$ เท่ากับผลต่างระหว่างความถี่อินพุทกับความถี่ฟรีรันนิ่งของ VCO ($\Delta\omega = \omega_i - \omega_o$)

ลูปจะต้องการคอนโทรลโวลท์เตจเพื่อไปขับ VCO ให้มีความถี่เลื่อนไปเท่ากับ $\Delta\omega$ ดังนั้น V_C จะต้องมีค่าเป็น

$$R_c = \Delta\omega / K_0 \tag{2.28}$$

เมื่อลูปเข้าสู่สภาวะคงที่ $V_c = V_d F(0)$ เมื่อ $F(0)$ คืออัตราขยายต่อสัญญาณดีซีของลูปฟิลเตอร์ สัญญาณ V_c จะทำให้ลูปเข้าสู่สภาวะล็อคดังเดิม เฟสดีเทคเตอร์เอาท์พุทจะให้เฟสเออร์เรอร์จะต้องเป็น

$$\theta_e = V_d / K_d \tag{2.29}$$

ดังนั้นเพื่อให้ได้คอนโทรลโวลท์เตจ V_c ตามที่ต้องการ เฟสเออร์เรอร์จะต้องมีค่าเป็น

$$\theta_e = \Delta\omega / K_0 K_d F(0) \tag{2.30}$$

เมื่อเฟสเออร์เรอร์มีค่าเพิ่มขึ้นตามสมการ (2.30) ลูปสามารถปรับตัวเองให้ความถี่เอาท์พุทของระบบการแทรคตามการเปลี่ยนแปลงของความถี่ของสัญญาณอินพุทหรือเฟสอินพุทที่เปลี่ยนไปตามเวลาและล็อคได้กับสัญญาณอินพุทเหมือนเดิม

พิกัดความถี่ตลอดช่วงที่ระบบเฟสล็อคลูปสามารถดำรงการล็อคไว้ได้กับสัญญาณอินพุทเราเรียกว่า "พิสัยการล็อคของระบบ"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมมุติว่าเราให้ ω_i เบี่ยงเบนไปจากความถี่ศูนย์กลาง ω_o ของ VCO $|\omega_i - \omega_o|$ มากกว่าค่าอัตราขยายลูป K $(\theta_\phi - \theta_o)$ จะมีค่าไม่สอดคล้องหรือไม่เป็นจริงตามสมการ (2.21) สภาวะสมดุลของการซิงโครไนส์จะไม่สามารถดำรงอยู่ต่อไปได้และลูปจะหลุดออกไปจากการล็อคกับความถี่ของสัญญาณอินพุท ความถี่ของ VCO จะกลับไปมีค่าเป็นความถี่ศูนย์กลาง ω_o และ V_d ก็จะกลับมาอยู่ในลักษณะของสัญญาณเอซี

สำหรับเฟสดีเทคเตอร์แบบมีคุณสมบัติการเปลี่ยนแปลงความถี่ไปเป็นโวลท์เตจเป็นลักษณะรูปคลื่นซายน์ ขีดจำกัดการแทรคตามความถี่สัญญาณอินพุทของลูปจะอยู่ในพิสัยจาก $\omega_o - K$ ถึง $\omega_o + K$ เมื่อ ω_o เท่ากับความถี่เชิงมุมศูนย์กลางของ VCO และ K เท่ากับอัตราการขยายลูป $(K = K_d K_o)$

เอาท์พุทโวลท์เตจของเฟสล็อคลูปจะนำไปประยุกต์ใช้งานเกี่ยวกับฟรีเควนซี่ดิสคริมิเนเตอร์ (Frequency discriminator) ส่วนความถี่เอาท์พุทจะนำไปใช้งานเกี่ยวกับการประมวลสภาวะของสัญญาณฟรีเควนซีชินเทซีสหรือการคืนรูปของสัญญาณนาฬิกา

ในการนำเอาเอาท์พุทโวลท์เตจของเฟสล็อคลูปมาใช้งานเมื่อลูปอยู่ในสภาวะล็อคกับความถี่อินพุท เออร์เรอร์โวลท์เตจ $V_d(t)$ ที่ได้จากเฟสดีเทคเตอร์จะมีค่าเป็นสัดส่วนกับความต่างของความถี่ระหว่างสัญญาณอินพุท ω_i และความถี่ฟรีรันนิ่งของ VCO และเออร์เรอร์โวลท์เตจนี้จะผ่านโลว์พาสฟิลเตอร์และถูกป้อนไปเป็นคอนโทรลโวลท์เตจให้กับอินพุทของ VCO เพื่อที่จะเปลี่ยนความถี่ของ VCO จาก ω_o ไปเป็น ω_i ให้การล็อคคงอยู่ ถ้าความถี่ของอินพุทเปลี่ยนไปอย่างกรณีของสัญญาณ FM เออร์เรอร์โวลท์เตจจะเปลี่ยนไปเป็นสัดส่วนกับความถี่อินพุทที่เปลี่ยนแปลง เพื่อดำรงการล็อคให้คงอยู่ดังนั้นเอาท์พุทโวลท์เตจจะเปรียบเสมือนฟรีเควนซีดิสคริมิเนเตอร์คือ สามารถแปลงการเปลี่ยนแปลงของความถี่อินพุทให้เป็นการเปลี่ยนแปลงของโวลท์เตจ

การนำเอาความถี่เอาท์พุทของเฟสล็อคลูปมาใช้งานเมื่อลูปอยู่ในสภาวะล็อคกับสัญญาณอินพุท เอาท์พุทของ VCO จะให้ลูกคลื่นที่เปลี่ยนแปลงเป็นคาบเวลาด้วยความถี่ที่แน่นอนและเท่ากับสัญญาณอินพุท ยกเว้นเฟสจะมีความต่างกัน θ_θ และด้วยความต่างเฟสนี้จะทำให้เกิดเออร์เรอร์โวลท์เตจเพื่อรักษาให้เฟสล็อคลูปอยู่ในสภาวะล็อค ถ้าสัญญาณอินพุทประกอบด้วยคอมโพเนนท์ความถี่ต่างๆ มากมายซึ่งได้แก่ นอยส์ (Noise) หรือสัญญาณรบกวนอื่น ๆ เราสามารถทำให้ระบบเฟสล็อคลูปคอมโพเนนท์ความถี่จำเพาะที่กำหนดของสัญญาณอินพุทดังนั้นเอาท์พุทของ VCO จะให้กำเนิดความถี่จำเพาะนั้นใหม่ ขณะเดียวกันก็จะลดทอนหรือจำกัดความถี่ที่ไม่ต้องการอื่นๆ นอกจากนั้นเอาท์พุทของ VCO สามารถใช้สำหรับให้กำเนิดใหม่หรือแยกเอาสัญญาณความถี่ที่ต้องการออกจากสัญญาณที่ไม่ต้องการ คุณสมบัตินี้ของเฟสล็อคลูปทำให้ระบบเฟสล็อคลูปเป็นระบบที่น่าสนใจสำหรับให้กำเนิดสัญญาณใหม่หรือแยกเอาสัญญาณต่ำๆ ที่ปนอยู่ในนอยส์ออกมาใหม่ได้

เมื่อระบบเฟสล็อคลูปอยู่ในสภาวะล็อค ลักษณะนอนลิเนียร์ของการแคปเจอร์ซึ่งจะเกิดขึ้นชั่วขณะก็จะหายไปแทนที่ด้วยความสัมพันธ์ที่เป็นลิเนียร์เกิดขึ้นระหว่างเอาท์พุทของเฟสดีเทคเตอร์และผลต่างของเฟสระหว่างสัญญาณอินพุทและเอาท์พุทของ VCO ภายใต้สภาวะที่เราสามารถจะวิเคราะห์ระบบ

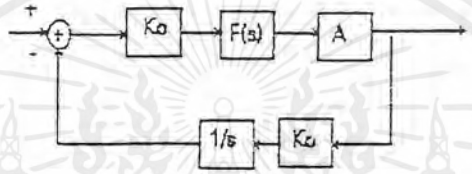
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เฟสล็อคลูปได้ในลักษณะระบบป้อนกลับที่เป็นลิเนียร์โดยใช้เทคนิคการวิเคราะห์ระบบป้อนกลับแบบทั่วไปด้วยลาปลาซทรานส์ฟอร์มและสมการดิฟเฟอเรนเชียล

$$\theta_C(s) / \theta_r(s) = B(s) = \text{forward gain} / 1 + \text{open loop gain}$$

θ_C คือ เฟสของ VCO

θ_r คือ เฟสของสัญญาณอ้างอิง (2.31)



รูปที่ 2.4 แสดงบล็อคไดอะแกรมของระบบ PLL ในลักษณะระบบป้อนกลับที่เป็นลิเนียร์

รูปที่ 2.4 แสดงถึงบล็อคไดอะแกรมของระบบเฟสล็อคลูปที่เป็นระบบป้อนกลับลิเนียร์ในโดเมนคอมเพล็กซ์เควนซีเมื่อ $s = 6 + j\ \omega$ คือตัวแปรตามความถี่เชิงซ้อน เฟสดีเทคเตอร์จะให้เอาท์พุทโวลท์เตจเป็นสัดส่วนกับผลต่างของเฟส θ_θ ระหว่างสัญญาณอินพุทและเอาท์พุท VCO ที่มีคอนเวอร์ชันเกน K_d และมีหน่วยเป็น (โวลท์ / เรเดียน) ทรานส์เฟอร์ฟังก์ชันของลูปฟิลเตอร์เท่ากับ F(s) และของแอมปลิฟลายเออร์เท่ากับ A สมมติ F(s) จะมีอัตราขยายเป็นหนึ่งที่ความถี่ดีซี อัตราขยายโวลท์เตจไปเป็นความถี่ของ VCO มีค่าเท่ากับ K_o และมีหน่วยเป็น (เรเดียน / วินาที / โวลท์)

เอาท์พุทของเฟสดีเทคเตอร์เป็นสัดส่วนกับผลต่างของเฟสระหว่างสัญญาณอินพุท

$$V_\theta = K_d (\theta_r - \theta_i) \qquad (2.32)$$

เมื่อ θ_i คือเฟสของ VCO ที่ถูกหาร

สมมติให้ VCO เป็นอุปกรณ์ที่มีลักษณะเป็นลิเนียร์ มีความถี่เอาท์พุทแตกต่างจากความถี่ฟรีรันนิ่งโดยการเพิ่มขึ้นของความถี่

$$2\pi\delta f = K_o V_c \qquad (2.33)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ V_o คือโวลท์เตจเอาท์พุทของโลว์พาสฟิลเตอร์
ดังนั้นความถี่ก็เป็นเวลาที่เบี่ยงเบนของเฟสจากขั้นตอนของ VCO สามารถอธิบายได้ว่า

$$2\pi\delta f = d / dt (\theta_C) = K_o V_o \quad (2.34)$$

ซึ่งจากสมการนี้สมมติระบบเฟสล็อคลูปสามารถแทนได้ในลักษณะของเส้นตรง ฟังก์ชันที่สัมพันธ์กับ $\theta_C(s)$ และ $\theta_r(s)$ คือ

$$B(s) = \theta_C(s) / \theta_r(s) = [K_d V_o F(s) / s] / 1 + K_d V_o F(s) / Ns \quad (2.35)$$

จะได้ฟอร์เวิร์ดเกนเท่ากับ $G(s) = K_d K_0 F(s) / S$ (2.36)

และโอเพนลูปเกนเท่ากับ $G(s)H(s) = K_d K_0 F(s) / Ns$ (2.37)

2.1.1 ผลของลูปฟิลเตอร์และอัตราขยายลูปที่มีต่อคุณสมบัติการทำงานของระบบเฟสล็อคลูป

ฟังก์ชันของลูปฟิลเตอร์ $F(s)$ มีผลต่อคุณสมบัติการทำงานของระบบเฟสล็อคลูปอย่างมาก เมื่อระบบเฟสล็อคลูปอยู่ในสภาวะล็อค หน้าที่ของลูปฟิลเตอร์ร่วมกันกับอัตราการขยายลูป $K_d K_o A$ จะเป็นตัวกำหนดที่ผลตอบสนองชั่วขณะและคุณสมบัติของผลตอบสนองทางความถี่ของระบบ เมื่อระบบเฟสล็อคลูปไม่อยู่ในสภาวะล็อค ลูปฟิลเตอร์จะมีผลเด่นชัดเจนในการควบคุมคุณสมบัติของการแคปเจอร์ของลูป

ก. ลูปลำดับที่หนึ่ง

การทำงานของเฟสล็อคลูปในกรณีง่ายที่สุดก็คือลูปฟิลเตอร์ไม่ได้ต่ออยู่ในลูปกระทำโดยการตั้งให้ $F(s) = 1.0$ ระบบเฟสล็อคลูปแบบนี้เรียกว่า "ลูปลำดับที่หนึ่ง" เนื่องจากทรานส์เฟอร์ฟังก์ชันจะลดลงเหลือโพลเดียวของโลว์พาสฟิลเตอร์

$$V_C / \Delta\omega_1 = 1 / K_o * 1 / (1 + s / K_d K_o A) \quad (2.38)$$

$$\Delta\omega_1 = d / dt (\theta_1) \quad (2.39)$$

$\Delta\omega_1$ คือการเบี่ยงเบนไปของความถี่ของสัญญาณอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ระบบจะมีลักษณะเหมือนกับโลว์พาสฟิลเตอร์แบบโพลเดียวที่มีคอนเวอร์ชันเกนที่ความถี่ต่ำเท่ากับ $1 / K_o$ และมีแบนด์วิดธ์ -3 dB เท่ากับ $K_d K_o A$ นอกจากนั้นที่ดีซีหรือความถี่ต่ำๆ เมื่อ $S \rightarrow 0$ และ $F(s) \cong 1.0$ จะได้ว่า

$$V_C / \Delta\omega_1 \Big|_{s=0} = 1 / K_o \qquad (2.40)$$

สมการ (2.14) แสดงถึงคุรสมบัติการเปลี่ยนแปลงความถี่ไปเป็นโวลท์เตจที่เป็นลิเนียร์

ผลตอบสนองของระบบเฟสล็อคลูปในสภาวะล็อคต่อการเปลี่ยนแปลงของความถี่อินพุทจะได้รับอิทธิพลจากพารามิเตอร์สองตัว คือ ทรานส์เฟอร์ฟังก์ชันของฟิลเตอร์ F(s) และแฟคเตอร์ของอัตราขยายลูป $K_d K_o A$

ลูปลำดับที่หนึ่งจะมีขีดจำกัดในการใช้งานเนื่องจากลูปลำดับที่หนึ่งจะมีการเลือกเฟ้นและคุณสมบัติการกำจัดสัญญาณรบกวนไม่ดี สาเหตุจากในระบบไม่มีลูปฟิลเตอร์ เมื่อไม่มีลูปฟิลเตอร์คอมโพเนนท์ความถี่สูงที่ออกมาจากเฟสดีเทคเตอร์จะปรากฏโดยตรงที่เอาท์พุท เอาท์พุท V_o นี้จะประกอบด้วยคอมโพเนนท์เนื่องจากนอยส์หรือสัญญาณที่ไม่ต้องการที่เอาท์พุทที่มีความถี่ใกล้เคียงกับความถี่สัญญาณที่ต้องการ ดังนั้นคุณสมบัติการเลือกเฟ้นของระบบเฟสล็อคลูปจะเลวลง

การทำงานของเฟสล็อคลูปที่ไม่มีฟิลเตอร์จะมีข้อเสีย คือ ถ้าหากสัญญาณอินพุทมีสัญญาณรบกวนที่อยู่นอกแบนด์รวมเข้ามาด้วยจะมีผลทำให้ความถี่เอาท์พุทเปลี่ยนแปลงตามไปด้วย ดังนั้นลูปฟิลเตอร์มีความจำเป็นอย่างมากในกรณีที่สัญญาณรบกวนที่อินพุทเพื่อจำกัดเอาท์พุทสัญญาณรบกวนออกไป

ข. ลูปลำดับที่สอง

ในการประยุกต์ใช้งานทั่ว ๆ ไป ระบบเฟสล็อคลูปจะใช้โลว์พาสฟิลเตอร์แบบมีโพลเดียวและระบบเฟสล็อคลูปจะอธิบายได้ทรานส์เฟอร์ฟังก์ชั่นที่มีสองโพลซึ่งเรียกกันทั่ว ๆ ไปว่า "ลูปลำดับที่สอง" โครงสร้างของโลว์พาสฟิลเตอร์ที่ใช้กันทั่วไปเป็นฟิลเตอร์แบบโพลเดียว ซึ่งมีทรานส์เฟอร์ฟังก์ชั่นเป็น

$$F(s) = 1 / (1 + s / \omega_1) \qquad (2.41)$$

เมื่อ $\omega_1 = 1 / R_1 C_1$ เป็นแบนด์ของโลว์พาสฟิลเตอร์

เนื่องจากฟิลเตอร์จะทำให้เกิดเฟสล้าหลังไป 90° ที่ความถี่สูง ซึ่งเรียกว่า "แล็กฟิลเตอร์" จะได้ทรานส์เฟอร์ฟังก์ชั่นเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
32578

$$V_C(s) / \Delta\omega_1(s) = 1 / K_o [1 / (1 + s / K_L + s^2 / \omega_1 K_L)] \quad (2.42)$$

ค่ารากหรือโพลของระบบเฟสล็อคลูปจะได้ว่า

$$S_1, S_2 = \omega_1 / 2 [1 \pm \sqrt{1 - (4K_L / \omega_1)}]$$

$$K_L = K_d K_o A \quad (2.43)$$

เมื่อเพิ่มค่าของ K_L โพลจะกลายเป็นค่าเชิงซ้อนคู่เสมือนและระบบจะเป็นอันเดอร์แดมพ์ (Underdamped) จากสมการ (2.42) จะเขียนในเทอมใหม่ได้เป็น

$$V_C / \Delta\omega_1 = 1 / k_o [1 / s^2/\omega^2_n + (2\xi / \omega_n) s + 1] \quad (2.44)$$

เมื่อ $$\omega_n = \sqrt{K_L \omega_1} \quad (2.45)$$

และ $$\xi = (1/2) \sqrt{\omega_1 / K_L} \quad (2.46)$$

จะสังเกตได้ว่าหากแบนด์วิธของลูปฟิลเตอร์ ω_1 ลดลงหรือ K_L เพิ่มขึ้น ค่าแดมปิ้งของลูปจะลดลง (หมายความถึงค่า ξ จะลดลง) ผลตอบสนองทางความถี่ของลูปจะเป็นพีค (peaking) และผลตอบสนองต่อสเตปของลูปในช่วงเริ่มต้นชั่วขณะจะเกิดการออสซิเลท

ค่าพีค (peaking) ในผลตอบสนองทางความถี่จะเป็นสาเหตุให้เกิดความผิดเพี้ยนในสัญญาณเอาท์พุทที่ถูกมอดูเลทมาจากเอฟเอ็มและเป็นสาเหตุให้เกิดการแกว่งไกวหรือให้ผลตอบสนองที่เลวเมื่อลูปมีการรบกวนเกิดขึ้นชั่วขณะ การออกแบบระบบเฟสล็อคลูปให้มีคุณสมบัติการทำงานให้ดีที่สุดควรกำหนดให้โครงสร้างโพลของโลว์พาสฟิลเตอร์มีค่าแฟลต (flat) มากที่สุด แดมปิ้งแฟคเตอร์ควรมีค่าเท่ากับ $1 / \sqrt{2}$ จะได้ ω_1 ที่เหมาะสมเป็น

$$\omega_1 = 2K_L \quad (2.47)$$

และความถี่ที่ -3 dB แบนด์วิธของลูปจะได้เป็น

$$\omega - 3\ dB = \omega_n = \sqrt{K_L \omega_1} = \sqrt{2}\ K_L \quad (2.48)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเฟสล็อคลูปที่ใช้ในระบบสื่อสารทั่วไปจะต้องการให้มีพิสัยการล็อคกว้างเพื่อที่จะได้สามารถติดตามการเปลี่ยนแปลงความถี่ของสัญญาณอินพุทได้ช่วงกว้าง นอกนั้นก็ต้องการให้ระบบมีแบนด์วิธของลูปแคบๆ เพื่อกำจัดสัญญาณที่อยู่นอกแบนด์

2.1.2 กระบวนการแคปเจอร์สัญญาณอินพุท

คุณสมบัติที่สำคัญในการทำงานของระบบเฟสล็อคลูป คือ กระบวนการแคปเจอร์ (Capture Process) เป็นกระบวนการที่จะทำให้ระบบได้มาซึ่งการล็อคกับสัญญาณอินพุทโดยที่ลูปจะเริ่มต้นจากสภาวะฟรีรันนิ่ง กระบวนการแคปเจอร์นี้เป็นกระบวนการที่ค่อนข้างยุ่งยากและมีลักษณะเป็นนอนลิเนียร์ซึ่งเราจะได้อธิบายถึงคุณสมบัติของกระบวนการนี้ต่อไป

ขั้นแรกสมมติว่า ฟีดแบ็คลูปของระบบเฟสล็อคลูปถูกตัดขาดระหว่างลูปฟิลเตอร์เอาท์พุทและคอนโทรลอินพุทของ VCO ซึ่งจะทำให้ V_d มีค่าเป็นศูนย์และ VCO จะออสซิลเลทอย่างต่อเนื่องที่ความถี่ฟรีรันนิ่ง ω_0 ต่อจากนั้นสมมติว่าสัญญาณอินพุทถูกป้อนให้ลูปด้วยความถี่ ω_1 ซึ่งเป็นความถี่ที่ใกล้เคียงกับ ω_0 แต่ไม่เท่ากับ ω_0 ในกรณีนี้เฟสดีเทคเตอร์มีฟังก์ชั่นเหมือนกับมัลติพลายเออร์หรือมิกเซอร์ ดังนั้นเอาท์พุทโวลท์เตจที่ได้จากเฟสดีเทคเตอร์จะเป็นคอมโพเนนท์ของสองความถี่มีผลบวกของความถี่

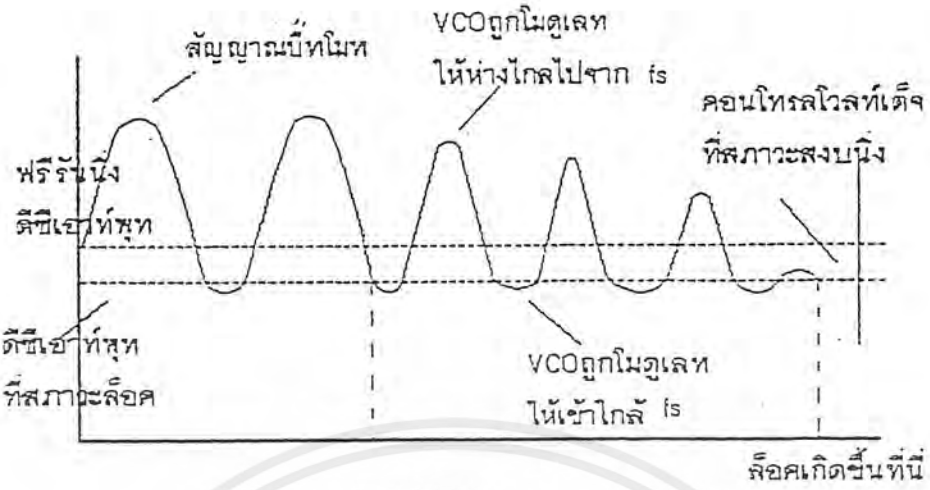
$$\omega_{sum} = \omega_0 + \omega_1 \tag{2.49}$$

และผลต่างของความถี่

$$\Delta\omega = |\omega_0 - \omega_1| \tag{2.50}$$

ตามปกติแบนด์วิธของโลว์พาสลูปฟิลเตอร์จะแคบมากพอที่จะกรองเอาคอมโพเนนท์ผลบวกของความถี่ออกไปได้อย่างสมบูรณ์ ถ้า ω_1 มีค่าใกล้เคียงกับค่า ω_0 ดังนั้นผลต่างของความถี่ $(\omega_1 - \omega_0)$ จะมีค่าน้อยมาก และมีค่าอยู่พาสแบนด์ของโลว์พาสลูปฟิลเตอร์ในลักษณะของบีทโนท (beat note) ลูกคลื่นนี้อยู่ทางด้านซ้ายมือของรูปที่ 2.5 ซึ่งแสดงว่า $\omega_0 > \omega_1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 แสดงเออร์เรอร์โวลท์เตจชั่วขณะในระหว่างเวลากระบวนการแคปเจอร์

ต่อไปสมมติว่าลูปถูกต่อให้ครบลูปอย่างทันทีทันใดโดยการต่อโลว์พาสฟิลเตอร์เอาท์พุทเข้ากับขั้วคอนโทรลอินพุทของ VCO ซึ่งจะทำให้ความถี่ของ VCO ถูกโมดูเลทด้วย บีทโนทหรือผลต่างของสัญญาณเมื่อเกิดการโมดูเลทชั่นดังกล่าวความถี่บีทโนท $\Delta\omega$ จะกลายเป็นฟังก์ชั่นที่แปรไปตามเวลา คือ $\Delta\omega$ จะแปรค่าสลับกันไประหว่างมีค่าเข้าใกล้ความถี่อินพุทและมีค่าห่างไกลไปจากความถี่อินพุทและโวลท์เตจนี้จะมีความถี่ที่เปลี่ยนสลับกันไป คือ ความถี่จะลดลงในช่วงครึ่งไซเกิลลบและความถี่จะเพิ่มขึ้นในช่วงครึ่งไซเกิลบวก ดังนั้นภายใต้สภาวะนี้บีทโนทจะมีลักษณะไม่สมมาตรและดูเหมือนกับอนุกรมของยอดแหลมดังแสดงในส่วนกลางของรูปที่ 2.5 เราจะสังเกตได้ว่าส่วนของบีทโนทที่โมดูเลทให้ VCO มีความถี่ห่างไกลไปจากสัญญาณอินพุทจะมีลักษณะเป็นยอดแหลมมากกว่า เนื่องจากความไม่สมมาตรนี้ลูกคลื่นของบีทโนทจะประกอบดีซีโวลท์เตจซึ่งจะไปขับให้ความถี่ของ VCO มีค่าเข้าสู่สัญญาณอินพุทเมื่อ VCO มีแนวโน้มเข้าสู่ ω_i ความถี่ของบีทโนทจะลดลงอย่างรวดเร็วความไม่สมมาตรก็จะเพิ่มขึ้นและในที่สุดก็จะลู่เข้าสู่ค่าดีซีที่มีค่าคงที่อย่างรวดเร็ว ในชั่วเวลาขณะหนึ่งลูปก็จะเข้าสู่สภาวะล็อคเมื่อความถี่ของ VCO เท่ากับ ω_i อย่างแน่นอน ระบบก็จะเข้าสู่การล็อคผลต่างของความถี่ $\Delta\omega$ จะมีค่าเท่ากับศูนย์และคงเหลือแต่ดีซีโวลท์เตจที่เอาท์พุทของลูปฟิลเตอร์ ดีซีโวลท์เตจนี้เกิดขึ้นจากผลต่างของเฟส θ_θ ระหว่างเอาท์พุทของ VCO และสัญญาณอินพุท สมมติว่าลูปฟิลเตอร์มีอัตราขยายดีซีเป็นหนึ่งและเฟสดีเทคเตอร์มีคอนเวอร์ชั่นเกน K_d (โวลท์ / เรเดียน) เออร์เรอร์โวลท์เตจที่สถานะคงที่นี้จะมีค่าเป็น

$$V_C = V_C(t)\Big|_{\text{สถานะคงที่}} = -K_d\theta_\theta$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องหมายลบในสมการเนื่องมาจากเราได้สมมติไว้ในตัวอย่างของรูปที่ 2.5 ว่า $\omega_o > \omega_i$ ซึ่งจะทำให้ได้โวลท์เตจลบที่ขั้วคอนโทรลอินพุทของ VCO เพื่อไปเลื่อน ω_o ให้ไปเท่ากับ ω_i

เวลาทั้งหมดที่ใช้ไปเพื่อให้ระบบเฟสล็อคลูปเกิดการล็อคเราเรียกว่า "พูลอินไทม์" จะขึ้นอยู่กับเฟสเริ่มต้นและผลต่างของความถี่ระหว่างสองสัญญาณ และยังขึ้นอยู่กับอัตราขยายลูป และคุณสมบัติของลูปฟิลเตอร์

จุดประสงค์หลักของลูปฟิลเตอร์คือ การกรองเอาคอมโปเน้นท์ต่าง ๆ ซึ่งเป็นสัญญาณที่ไม่ต้องการและมีความห่างไกลจากความถี่ฟรีรันนิ่งของ VCO คุณลักษณะดังกล่าวนี้แสดงถึงคุณสมบัติการกำจัดสัญญาณรบกวนของระบบเฟสล็อคลูป หรือพูดอีกอย่างหนึ่งระบบเฟสล็อคลูปจะมีคุณสมบัติในการแคปเจอร์เฉพาะสัญญาณที่มีความถี่ใกล้เคียงกับความถี่ฟรีรันนิ่งของ VCO ซึ่งหมายความว่าผลต่างของความถี่ $\Delta\omega$ จะต้องมีค่าโดยประมาณอยู่ภายใต้แบนด์วิดท์ของลูปฟิลเตอร์

ฟังก์ชันที่สำคัญอีกอันหนึ่งของโลว์พาสฟิลเตอร์คือมันจะเป็นตัวเก็บความจำได้ในช่วงเวลาสั้น ๆ ของระบบเฟสล็อคลูปเพื่อช่วยให้ระบบสามารถแคปเจอร์สัญญาณได้ใหม่อย่างรวดเร็วถ้าระบบหลุดออกไปจากการล็อคในช่วงเวลาสั้น ๆ เนื่องจากการรบกวนในชั่วขณะหนึ่งได้ว่าโลว์พาสฟิลเตอร์จะบังคับให้เออร์เรอร์โวลท์เตจ $V_c(t)$ เปลี่ยนแปลงไปตามเวลาอย่างช้า ๆ และในกรณีนี้ถ้าระบบเฟสล็อคลูปหลุดไปจากการล็อคเพียงชั่วขณะเนื่องจากน้อยส์หรือสัญญาณรบกวนความถี่ของ VCO จะไม่เปลี่ยนแปลงไปมากนักในช่วงเวลาสั้น ๆ ดังกล่าว ดังนั้นในสภาวะนี้จะช่วยให้ระบบสามารถแคปเจอร์สัญญาณอินพุทได้ใหม่อย่างรวดเร็วทันทีทันใดเมื่อเวลาได้ผ่านไปชั่วขณะแล้ว

สรุปได้ว่าโลว์พาสลูปฟิลเตอร์จะทำหน้าที่ลดทอนคอมโปเน้นท์ความถี่สูงของเออร์เรอร์โวลท์เตจในระบบเฟสล็อคลูป โลว์พาสฟิลเตอร์ก่อให้เกิดผลที่สำคัญต่อการแคปเจอร์และคุณสมบัติการตอบสนองชั่วขณะของระบบ การลดแบนด์วิดธ์ของฟิลเตอร์ จะมีผลเกิดขึ้นต่อการทำงานของระบบดังต่อไปนี้

(1) กระบวนการแคปเจอร์จะช้าลงไปและพูลอินไทม์จะเพิ่มขึ้น

(2) พิสัยการแคปเจอร์จะลดลง

(3) ทันทีที่ลูปเกิดการล็อค คุณสมบัติของเฟสล็อคลูปเกี่ยวกับการกำจัดสัญญาณรบกวนจะเกิดผลคือ เออร์เรอร์โวลท์เตจที่เกิดจากความถี่ของสัญญาณรบกวนจะถูกลดทอนลงไปโดยโลว์พาสฟิลเตอร์

(4) ผลตอบสนองชั่วขณะของระบบเฟสล็อคลูปต่อการเปลี่ยนแปลงความถี่อินพุทอย่างทันทีทันใดภายในพิสัยการแคปเจอร์จะได้เป็นลักษณะอันเดอร์แดมป์ (Underdamp)

2.1.3 คุณสมบัติการแทร็คตามสัญญาณอินพุท

ทันทีที่ระบบเฟสล็อคลูปล็อคกับสัญญาณอินพุท ระบบสามารถจะแทร็คตามการเปลี่ยนแปลงอย่างช้าๆ ของสัญญาณอินพุทได้ด้วยการเพิ่มเฟสเออร์เรอร์ θ_θ ระหว่าง VCO และสัญญาณอินพุท จากนั้นเฟสเออร์เรอร์ที่เพิ่มขึ้นนี้จะถูกแปลงไปเป็นดีซีเออร์เรอร์โวลท์เตจ V_d ด้วยเฟสดีเทค เออร์เรอร์โวลท์เตจนี้จะไปรักษาให้ความถี่ของ VCO เคลื่อนไปเท่ากับความถี่ของสัญญาณอินพุท ขณะที่ระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เฟสล็อคลูปแทร็คตามสัญญาณอินพุทลูปเออร์เรอร์โวลท์เตจ V_d จะมีค่าเป็นสัดส่วนโดยตรงกับผลต่างระหว่างความถี่สัญญาณอินพุท ω_i กับความถี่ฟรีรันนิ่ง ω_o ของ VCO หรือพูดอีกอย่างหนึ่งได้ว่าขณะที่ระบบเฟสล็อคลูปแทร็คตามสัญญาณอินพุท เอาท์พุทโวลท์เตจของลูปจะมีฟังก์ชั่นเหมือนกับการแปลงความถี่เป็นโวลท์เตจ

พิสัยการแทร็คตามสัญญาณอินพุทของระบบเฟสล็อคจะกำหนดได้ด้วยการพิจารณาว่า โวลท์เตจเออร์เรอร์ที่เกิดขึ้นในลูปได้สูงสุดเท่าไร สมมติว่าในลูปไม่มีแอมปลิไฟเออร์ ปริมาณของเออร์เรอร์โวลท์เตจจะมีค่าสูงสุด $(V_d)_{max}$ เมื่อผลต่างของเฟส θ_θ มีค่าอยู่ที่ค่าจำกัดสูงสุด $\pm \pi / 2$ ดังนั้นพิสัยการแทร็คตามสัญญาณอินพุทของระบบเฟสล็อคลูปมีค่าเป็น

$$\pm \Delta\omega = \pm(V_d)_{max} K_o \qquad (2.51)$$

เมื่อ K_o คือคอนเวอร์ชั่นเกนของ VCO หน่วยเป็น (เฮอร์ท / โวลท์)

รูปที่ 2.6 แสดงถึงคุณสมบัติการแปลงความถี่ไปเป็นโวลท์เตจของระบบเฟสล็อคลูป สมมติว่าอินพุทเป็นสัญญาณลูกคลื่นซายน์ซึ่งความถี่ของมันจะกวาดไปอย่างช้าๆ ได้ในช่วงพิสัยความถี่ที่กว้างชั้นแรกความถี่อินพุทจะกวาดไปจากความถี่ต่ำผ่านพิสัยแคปเจอร์และพิสัยการล็อคของระบบเฟสล็อคลูปไปยังความถี่สูงและจากนั้นกวาดไปยังความถี่ต่ำ ส่วนสเกลทางด้านแกนตั้งเป็นค่าของเออร์เรอร์โวลท์เตจที่ผ่านลูปฟิลเตอร์แล้ว และสมมติว่า VCO จะเพิ่มขึ้นเป็นสัดส่วนที่ลิเนียร์กับการเพิ่มขึ้นของคอนโทรลโวลท์เตจ

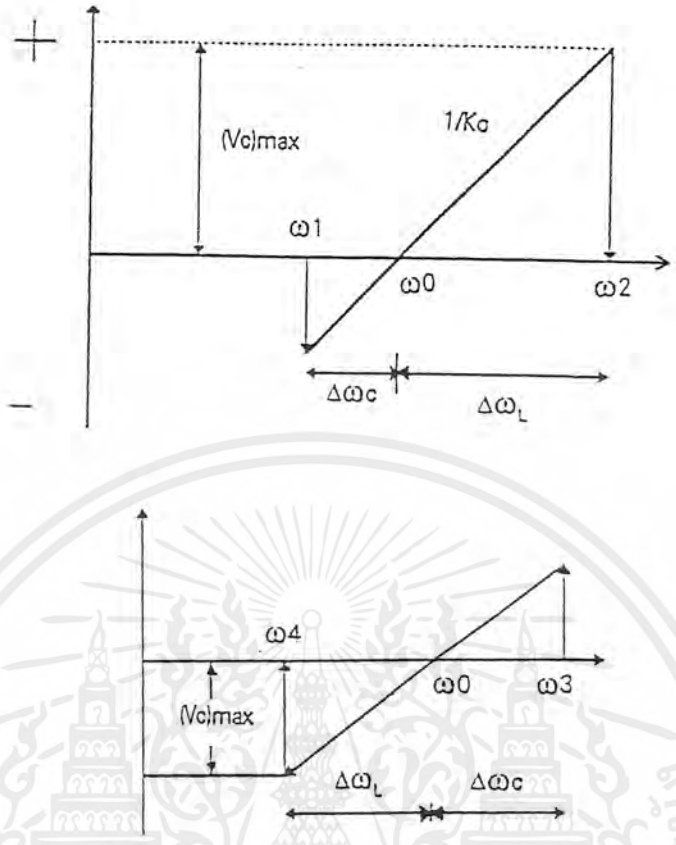
คุณสมบัติการแปลงความถี่ไปเป็นโวลท์เตจของระบบเฟสล็อคลูปแสดงได้ในรูปที่ 2.6 (ก) เมื่อความถี่อินพุทเพิ่มขึ้นอย่างช้าๆ (ข) เมื่อความถี่อินพุทลดลงอย่างช้าๆ ความกว้างของความถี่ระหว่าง ω_1, ω_3 เท่ากับพิสัยแคปเจอร์และความกว้างของความถี่ระหว่าง ω_2, ω_4 เท่ากับพิสัยการแทร็คตามสัญญาณอินพุทของระบบ นั่นคือ

$$\omega_3 - \omega_1 = 2\Delta\omega_C \qquad (2.52)$$

และ

$$\omega_2 - \omega_4 = 2\Delta\omega_L \qquad (2.53)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



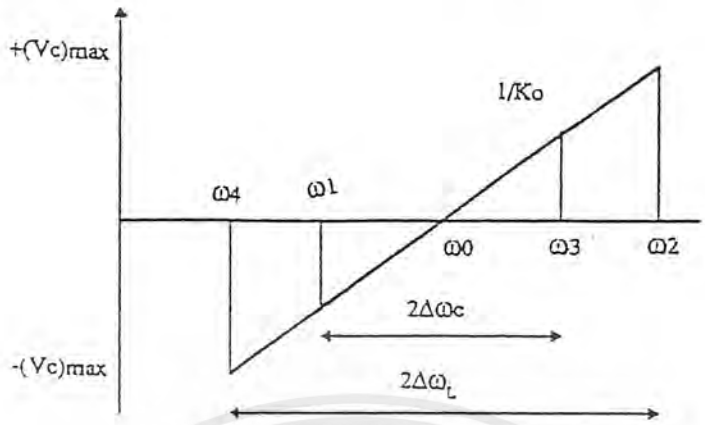
รูปที่ 2.6 แสดงถึงคุณสมบัติการแปลงความถี่ไปเป็นโวลท์เตจ

(ก) เมื่อความถี่อินพุทเพิ่มขึ้นอย่างช้าๆ

(ข) เมื่อความถี่อินพุทลดลง

ในรูปที่ 2.7 แสดงสมบัติการแปลงความถี่ไปเป็นโวลท์เตจของระบบเฟสล็อคลูปที่ผสมผสานกันระหว่างคุณสมบัติของพิสัยแคปเจอร์และพิสัยการล็อคที่แสดงในรูปที่ 2.6 จากรูป 2.7 คุณสมบัติการตอบสนองของระบบเฟสล็อคลูปเบื้องต้นสามารถสรุปได้ดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 แสดงถึงคุณสมบัติรวมในการแปลงความถี่เป็นโวลท์เตจของระบบเฟสล็อคลูป

(1) ระบบเฟสล็อคลูปแสดงคุณสมบัติการเลือกเฟ้นความถี่และการแปลงความถี่ไปเป็นโวลท์เตจซึ่งมีความถี่ศูนย์กลางอยู่ที่ความถี่ฟรีรันนิ่ง ω_o ของ VCO

(2) ระบบสามารถจะแคปเจอร์ (ได้มาซึ่งการล็อค) กับสัญญาณที่มีความถี่อยู่ภายในพิสัยแคปเจอร์เท่านั้น $2\Delta\omega_c$ และมีศูนย์กลางอยู่ที่ ω_o

(3) ทันทีที่ระบบเกิดการล็อคมันจะสามารถแทร็คตามสัญญาณอินพุทได้ตลอดช่วงพิสัยการล็อค $2\Delta\omega_L$ และมีศูนย์กลางอยู่ที่ ω_o

(4) สโลปของคุณสมบัติการแปลงความถี่ไปเป็นโวลท์เตจจะเท่ากับส่วนกลับของอัตราขยายการแปลงโวลท์เตจไปเป็นความถี่ของ VCO

รูปที่ 2.6 และ 2.7 ยังแสดงถึงพารามิเตอร์ที่สำคัญบางอย่างในการออกแบบระบบเฟสล็อคลูป พิสัยการล็อค = $(V_d)_{max} K_o$ ตามสมการ (2.51) ดังนั้นเราสามารถจะเพิ่ม $(V_d)_{max}$ ได้ด้วยการเพิ่มแอมปลิไฟเออร์เข้าในลูปของเฟสล็อคลูปเบื้องต้นเพื่อเพิ่มอัตราขยายโวลท์เตจในลูปป้อนกลับพิสัยการล็อคจะเพิ่มขึ้นเป็น = $A (V_d)_{max} K_o$ เมื่อ A คือ อัตราขยายโวลท์เตจของแอมปลิไฟเออร์เมื่อระบบเฟสล็อคลูปอยู่ในสภาวะล็อค V_d จะมีค่าเป็นดีซีโวลท์เตจ ดังนั้นลูปฟิลเตอร์จะไม่มีผลกระทบต่อพิสัยการล็อค

ความถี่ฟรีรันนิ่ง ω_o ของ VCO จะเป็นตัวกำหนดความถี่ศูนย์กลางของพิสัยแคปเจอร์และพิสัยการล็อค ดังนั้นความเที่ยงตรงและเสถียรภาพของความถี่ฟรีรันนิ่ง ω_o ของ VCO มีความสำคัญอย่างยิ่ง เนื่องจากเรามักจะออกแบบให้พิสัยแคปเจอร์และพิสัยการล็อคมีช่วงแคบมากๆ ดังนั้นความต้องการเกี่ยวกับความเที่ยงตรงและเสถียรภาพของพิสัยทั้งสองดังกล่าวจึงกลายเป็นปัญหาขึ้นมา

คุณสมบัติการคอนโทรล VCO มีความสำคัญอย่างยิ่งดังแสดงในรูปที่ 2.7 ต่อ:

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ก) คุณสมบัติการแปลง F - V ของระบบ PLL

(ข) สโลปของโวลท์เตจเอาท์พุทของระบบ PLL ($1 / K_o$)

(ค) ความเป็นลิเนียร์ของคุณสมบัติการแปลง F - V ของระบบ PLL

ดังนั้นเราสามารถสรุปได้ว่า : ดีซีลูปเกน

คุณสมบัติของลูปฟิลเตอร์

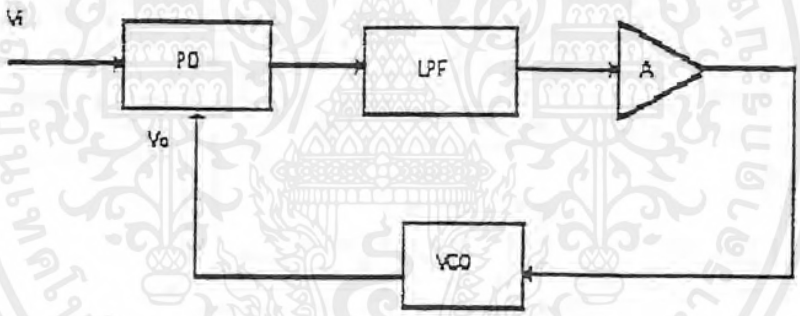
เสถียรภาพของ VCO

คุณสมบัติของคอนโทรล VCO

ค่าเหล่านี้จะเป็นพารามิเตอร์พื้นฐานในการออกแบบวงจรโมโนลิทิคเฟสล็อคลูป PLL

2.1.4 พิสัยการล็อค

วงจรเฟสล็อคลูปในการใช้งานจริงๆ มักจะเพิ่มแอมปลิไฟเออร์เข้าในลูปของวงจรเฟสล็อคเบื้องต้นเพื่อเพิ่มอัตราขยายโวลท์เตจในลูปป้อนกลับและเป็นการเพิ่มพิสัยการล็อคให้กับระบบด้วยวงจรเฟสล็อคลูป ดังกล่าวแสดงได้ดังในรูปที่ 2.8



รูปที่ 2.8 ระบบเฟสล็อคลูป

เมื่อระบบเฟสล็อคลูปเข้าสู่สภาวะล็อคกับความถี่อินพุท ω_i เราจะได้ว่า

$$\omega = \omega_i = \omega_o + \omega_o V_C \qquad (2.54)$$

และ $$V_C = (\omega_i - \omega_o) / k_o = K_d A (\theta_\theta - \pi / 2) \qquad (2.55)$$

เมื่อ A คือ อัตราขยายโวลท์เตจของแอมปลิฟลายเออร์จากสมการ (2.55) เราจะได้ว่า

$$\phi - \pi / 2 = (\omega_i - \omega_o) / K_o K_d A \qquad (2.56)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นเมื่อระบบล็อคอยู่กับสัญญาณอินพุท ความต่างเฟสระหว่างสัญญาณอินพุทโวลท์เตจกับเอาท์พุทโวลท์เตจของ VCO จะมีค่าเท่ากับ θ_e และเราจะหาความต่างเฟสนี้ได้เป็น

$$\theta_e = \pi / 2 + (\omega_i - \omega_o) / K_o K_d A \tag{2.57}$$

และความถี่ของสัญญาณทั้งสองจะซิงโครไนส์กันอย่างเที่ยงตรง

เอาท์พุทที่ได้จากเฟสดีเทคเตอร์จะมีค่าแมกนิจูดสูงสุดเมื่อ $\phi = \pi$ และ 0 เรเดียน คือ

$$(V_C)_{max} = \pm K_d(\pi / 2) \tag{2.58}$$

ในเวลาเดียวกันเราจะได้คอนโทรลโวลท์เตจที่มีค่าสูงสุดสอดคล้องกับค่า $(V_C)_{max}$ เพื่อไปขับ VCO จะมีค่าเท่ากับ

$$(V_C)_{max} = \pm (\pi / 2)K_d A \tag{2.59}$$

ความถี่ของ VCO จะสวิงได้สูงสุดเท่ากับ

$$(\omega - \omega_o)_{max} = K_o V_{C(max)}$$

$$= \pm K_o K_d (\pi / 2)A \tag{2.60}$$

ดังนั้นพิสัยสูงสุดของความถี่สัญญาณอินพุทที่ระบบเฟสล็อคลูปสามารถดำรงรักษาการล็อคได้ตลอดพิสัยสูงสุดนี้จะมีค่าเท่ากับ

$$\omega_i = \omega_o \pm K_o K_d (\pi / 2)A$$

$$= \omega_o \pm \Delta\omega_L \tag{2.61}$$

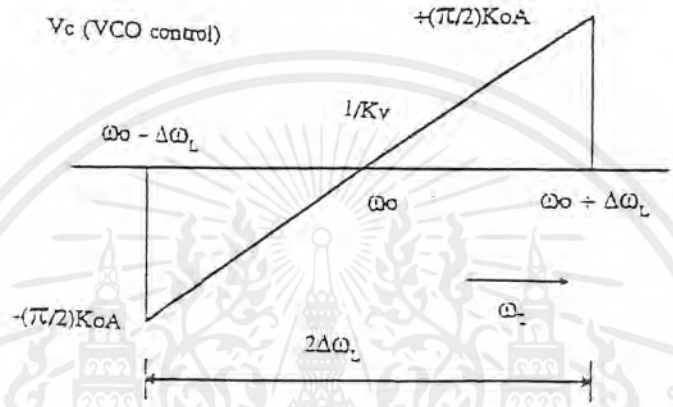
เมื่อ $2\Delta\omega_L$ จะเท่ากับพิสัยการล็อคและได้เป็น

$$\text{พิสัยการล็อค} = 2\Delta\omega_L = K_o K_d A\pi \tag{2.62}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราจะสังเกตได้ว่า พิสัยการล็อคจะมีตำแหน่งที่สมมาตรกันเมื่อเอาฟรีรันนิ่งฟรีเควนซี (ω_o) ของ VCO เป็นหลักศูนย์กลาง

ในรูปที่ 2.9 แสดงถึงกราฟของคอนโทรลโวลท์เตจ V_C ของ VCO ต่อความถี่ของสัญญาณอินพุท ω_i ความถี่ที่อยู่นอกพิสัยการล็อคของระบบความถี่ของ VCO ไม่สามารถจะซิงโครไนส์กับความถี่อินพุทได้ ผลของความต่างเฟสจะมีค่าเท่ากับ



รูปที่ 2.9 พิสัยการล็อคของระบบเฟสล็อคลูป

$$\theta_\theta = (\omega_i t + \theta_i) - (\omega_o t + \theta_o) \quad (2.63)$$

$$= (\omega_i + \omega_o) + (\theta_i - \theta_o) \quad (2.64)$$

และความต่างเฟสนี้จะเปลี่ยนแปลงอย่างรวดเร็วต่อเวลา อัตราการเปลี่ยนแปลง θ_C ต่อเวลาจะเท่ากับ

$$d\theta_\theta / dt = \omega_i - \omega_o \quad (2.65)$$

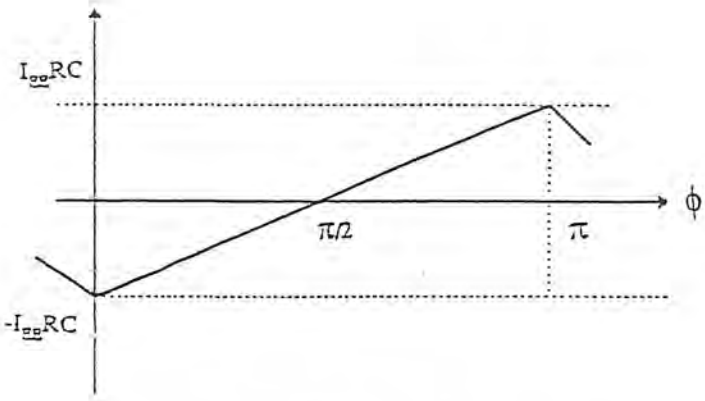
ดังนั้นเอาท์พุทโวลท์เตจของเฟสดีเทคเตอร์จะเปลี่ยนค่าไปอย่างรวดเร็วต่อเวลาและถูกลดทอนแมกนิจูดลงอย่างมากด้วยโลว์พาสฟิลเตอร์ ซึ่งจะยังผลให้เหลือโวลท์เตจที่มีแมกนิจูดเพียงเล็กน้อยที่จะไปขับ VCO และความถี่ของ VCO จะกลับคืนไปยังค่าฟรีรันนิ่งฟรีเควนซี ω_o เดิม ดังนั้นเราเห็นได้ว่าช่วงความถี่ที่อยู่นอกเหนือพิสัยการล็อคของระบบคอนโทรลโวลท์เตจของ VCO จะลดลงเป็นศูนย์

เมื่อ VCO ล็อคกับสัญญาณอินพุท เราจะได้ว่า

$$\theta_\theta = (\pi / 2) - [(\omega_i - \omega_o) / K_d K_o A] \quad (2.66)$$

เราจะสังเกตได้ว่าเมื่อ $\omega_i = \omega_o$ โวลท์เตจของ VCO จะมีเฟสควอดดราเจอร์ (phase quadrature) คือมีเฟสต่างไปจากเฟสของสัญญาณอินพุทโวลท์เตจ 90° เมื่อ ω_i เคลื่อนไปทางด้านสูงกว่า ω_o มุมของเฟสจะเพิ่มขึ้นจาก 90° ไปสู่ค่า 0 องศา ที่ล่างสุดของพิสัยการล็อค ดังแสดงในรูปที่ 2.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 แสดงคุณสมบัติเอาท์พุทของเฟสดีเทคเตอร์กับเฟสเออร์เรอร์

2.1.5 พิสัยแคปเจอร์

การวิเคราะห์ถึงพิสัยการล็อคจะต้องอยู่บนหลักการที่ว่า ระบบเฟสล็อคลูป (PLL) จะมีสภาวะเดิมล็อคอยู่กับสัญญาณอินพุทแล้ว ในตอนนี้เราจะได้สังเกตถึงสถานะของลูปที่มีสภาวะเดิมไม่ล็อคกับสัญญาณอินพุทเพื่อกำหนดช่วงความถี่ซึ่งระบบเฟสล็อคลูปสามารถล็อคกับสัญญาณอินพุทในช่วงความถี่ดังกล่าว ความถี่ช่วงนี้ เราเรียกว่า "พิสัยแคปเจอร์" หรือ "พิสัยแอคควิซิชั่น"

เมื่อระบบเฟสล็อคลูป (PLL) มีสภาวะเดิมระบบไม่ล็อคกับสัญญาณอินพุท ความถี่ของ VCO จะอยู่ที่ฟรีรันนิ่งฟรีเควนซี ω_o มุมของความต่างเฟสระหว่างสัญญาณอินพุทและโวลท์เตจของ VCO จะเท่ากับ

$$\begin{aligned}\theta_\theta &= (\omega_i t - \theta_i) - (\omega_o t - \theta_o) \\ &= (\omega_i - \omega_o)t + \Delta\theta \end{aligned} \quad (2.67)$$

และค่าของ θ_θ จะไม่คงที่ แต่เปลี่ยนแปลงต่อเวลาด้วยอัตราความเร็ว $d\theta_\theta / dt = \omega_i - \omega_o$ ดังนั้นเอาท์พุทโวลท์เตจของเฟสดีเท็คเตอร์จะไม่มีส่วนของดีซีคอมโปเน้นท์ แต่จะให้เอซีโวลท์เตจกับลูกคลื่นที่มีพีคแอทปลิจูด $K_d(\pi / 2)$ และความถี่พื้นฐาน $(\omega_i - \omega_o)$

ถ้าโลว์พาสฟิลเตอร์เป็นวงจร RC โลว์พาสฟิลเตอร์ง่าย ๆ และมีทรานสเฟอร์ฟังก์ชั่นเป็น

$$F(j\omega) = 1 / [1 + j(\omega / \omega_1)] \quad (2.68)$$

เมื่อ $\tau = RC$ และ $\omega_1 = 1 / RC$ ดังนั้นจุดจำกัดความถี่ $f_1 = 1/2\pi RC$ ที่สภาวะ $(\omega / \omega_1)^2 >> 1$, ทรานเฟอร์ฟังก์ชันของลูปฟิลเตอร์จะมีค่าประมาณ

$$F(j\omega) = \omega_1 / j\omega \quad (2.69)$$

และ $$|F(j\omega)| = \omega_1 / \omega \quad (2.70)$$

เทอมความถี่พื้นฐานที่เป็นอินพุทให้กับโลว์พาสฟิลเตอร์โดยมาจากเฟสดีเท็คเตอร์จะเป็นค่าผลต่างของความถี่ $\Delta\omega = (\omega_i - \omega_o)$ ถ้า $\Delta\omega > 3\omega_1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรานเฟอร์ฟังก์ชั่นของ LPF จะมีค่าโดยประมาณเป็น

$$|F(\Delta\omega)| \cong \omega_1 / \Delta\omega = \omega_1 / (\omega_1 - \omega_o) \quad (2.71)$$

เราจะได้คอนโทรลโวลท์เตจไว้สำหรับขับ VCO จะมีค่าเป็น

$$V_C = V_d |F(\Delta\omega)| \quad (2.72)$$

และ $$V_{C(max)} = \pm K_d (\pi / 2) (\omega_1 / \Delta\omega) A \quad (2.73)$$

ด้วยเหตุผล $$V_{C(max)} = K_o V_C (max) \cong \pm K_o K_d (\pi / 2) (\omega_1 / \Delta\omega) \quad (2.74)$$

เพื่อที่จะจับ (Acquisition) ความถี่สัญญาณอินพุทให้ได้เราจะต้องให้ $\omega = \omega_1$ ดังนั้นพิสัยสูงสุดของความถี่สัญญาณอินพุทที่ระบบ PLL สามารถจับหรือยึดสัญญาณความถี่ดังกล่าวได้ตลอดช่วงมีค่าเท่ากับ

$$(\omega_1 - \omega_0)_{max} = \pm K_d K_o (\pi / 2) A (\omega_1 / \Delta\omega_C) \quad (2.75)$$

เมื่อ $\Delta\omega_C = (\omega_1 - \omega_0)_{max}$ ดังนั้นจากสมการ (2.75) เราจะได้ว่า

$$(\Delta\omega_C)^2 \cong K_o K_d (\pi / 2) A \omega_1 \quad (2.76)$$

เนื่องจาก $$\Delta\omega_L = K_o K_d (\pi / 2) A \quad (2.77)$$

ดังนั้น $$(\Delta\omega_C)^2 \cong \omega_1 \Delta\omega_L \quad (2.78)$$

และ $$\Delta\omega_C \cong \pm \sqrt{(\omega_1 \Delta\omega_L)} \quad (2.79)$$

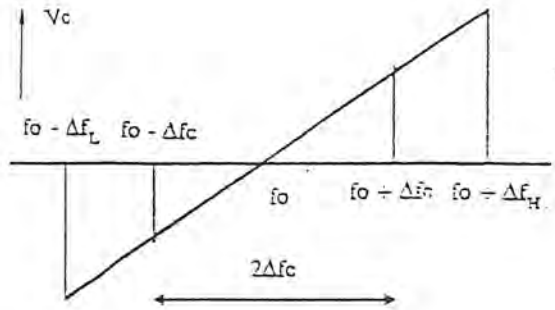
ดังนั้นระบบ PLL สามารถจะแคปเจอร์ (Capture) สัญญาณอินพุทได้ตลอดพิสัยความถี่นี้พิสัยแคปเจอร์จะมีค่าเป็น

$$\text{พิสัยแคปเจอร์} = 2\Delta\omega_C \cong 2\sqrt{(\omega_1 \Delta\omega_L)} \quad (2.80)$$

ในกรณีทั่วไป $\Delta\omega_L \gg \omega_1$ เราจะสังเกตได้ว่าพิสัยแคปเจอร์จะมีค่าตำแหน่งที่สมมาตรกันเมื่อยึดฟรีรันนิ่งฟรีเควนซีของ VCO เป็นหลักศูนย์กลาง

ในรูปที่ 2.11 แสดงถึงกราฟของคอนโทรลโวลท์เตจของ VCO, V_C ต่อความถี่ของสัญญาณอินพุท พร้อมทั้งแสดงถึงพิสัยแคปเจอร์และพิสัยการล็อค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 แสดงพิสัยแคปเจอร์ของระบบเฟสล็อคลูป

ในระบบเฟสล็อคลูปต้องการพิสัยแคปเจอร์ที่มีความกว้างมากบนจุดยืนของความสามารถในการล็อคกับสัญญาณอินพุท อย่างไรก็ตามพิสัยแคปเจอร์ที่มีความกว้างมาก ๆ จะทำให้ระบบ PLL อ่อนแอสัญญาณรบกวนด้วยสัญญาณที่ไม่ต้องการและน้อยส์ สำหรับระบบ PLL ที่สามารถกำจัดสัญญาณรบกวนและน้อยส์ได้สูงสุดจะต้องมีพิสัยแคปเจอร์แคบ ในกรณีทั่วไประบบ PLL จะเลือกพิสัยแคปเจอร์ที่เหมาะสมเพื่อให้ได้คุณสมบัติที่ดีทั้งสองอย่างคือกำจัดสัญญาณรบกวนได้ดีและสามารถล็อคกับสัญญาณอินพุทได้ในช่วงความถี่กว้าง

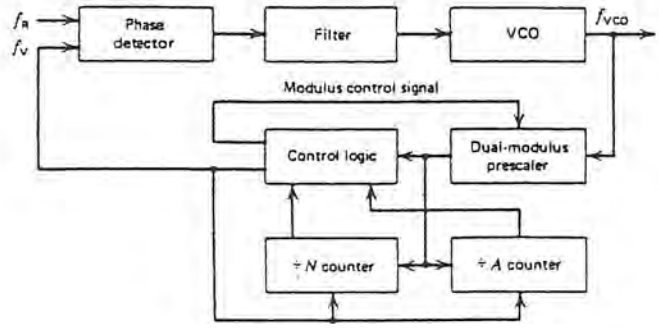
แต่ในบางกรณีที่ระบบ PLL ไม่สามารถเลือกพิสัยแคปเจอร์ที่เหมาะสมได้ เราจะต้องตั้งแบนด์วิดท์ของโลว์พาสฟิลเตอร์ให้มีค่ามากไว้ก่อนในตอนแรกเพื่อให้ลูปสามารถเริ่มต้นแคปเจอร์สัญญาณอินพุทได้เมื่อลูปสามารถแคปเจอร์สัญญาณอินพุทได้แล้วและระบบ PLL ก็จะล็อคกับสัญญาณรบกวนและน้อยส์ลักษณะเด่นของระบบ PLL คือลูปสามารถจะดำรงรักษาการล็อคกับสัญญาณอินพุทได้แม้ว่าสัญญาณอินพุทจะอยู่ในสภาวะที่มีน้อยส์รบกวนมาก คือมีอัตราส่วนของซิกแนลต่อน้อยส์น้อยกว่าหนึ่งก็ตาม ระบบ PLL มักนิยมใช้งานประเภทที่สัญญาณอินพุทมีระดับต่ำ เช่นระบบสื่อสารของดาวเทียมเป็นต้น

2.2 ดูอัล-โมดูลัส พรีสเกลลิ่ง (Dual-Modulus prescaling)

ดูอัล-โมดูลัส พรีสเกลลิ่ง เป็นระบบที่มีความเร็วสูงในส่วนของการป้อนกลับ (feedback) สามารถใช้ปรับเลือกความถี่ที่ปรับได้ (tunning resolution) ตามค่าความถี่อ้างอิง f_R ที่สามารถใช้ได้ ทั้งนี้ขึ้นกับค่าตัวหาร N เคาน์เตอร์ (devide-by-N counter) ที่เลือกใช้ ทำให้มีข้อได้เปรียบมากกว่าแบบการใช้ค่าพรีสเกลลิ่งแบบตายตัว (fixed prescaling) ที่ใช้ค่า f_R เป็นตัวเพิ่มระดับ (step) ของความถี่ VCO ที่ต้องการเท่านั้น การลดค่าความถี่ยับยั้ง f_R เป็นสิ่งที่ไม่ทำกัน เพราะว่าจะทำให้คุณสมบัติของระบบเลวลง

พื้นฐานของเทคนิคการใช้ดูอัล-โมดูลัสแสดงดังรูป 2.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.12 แสดงบล็อกไดอะแกรมของดูอัล-โมดูลัส พรีสเกลลิ่ง

ที่ใช้ในการสังเคราะห์ความถี่ (frequency synthesizer)

จากรูปจะประกอบไปด้วยส่วนต่าง ๆ ดังนี้ ส่วนเคาน์เตอร์ที่เลือกโปรแกรมได้ (programmable counter) กับดูอัลโมดูลัส พรีสเกลลิ่ง IC ที่รวมอยู่กับเคาน์เตอร์โปรแกรมได้ในตัวเดียวกัน ซึ่งมีความเร็วเท่ากับตัวพรีสเกลเลอร์ (prescaler) ตัวพรีสเกลเลอร์นั้นมีค่าหาร 2 ค่าได้แก่ ค่าหาร P และค่าหาร P+X ซึ่งสามารถทำงานได้ที่ความเร็วต่ำกว่า เพราะมีการใช้โลจิก (logic) ในการควบคุมว่าจะเลือกหารค่า P หรือค่า P+X โดยปกติค่า X ที่ใช้จะมีค่าเป็น 1

ค่าหารโดยรวมของทั้งระบบมีค่าเป็น N_{total} เป็นฟังก์ชันของค่า P,X และ A ที่จะโปรแกรมลงในหาร A เคาน์เตอร์ ส่วนค่า N จะถูกโปรแกรมลงในส่วนของหาร N เคาน์เตอร์ การทำงานเริ่มต้นของระบบจะเริ่มนับอย่างต่อเนื่องโดยใช้ตัวควบคุมโมดูลัส (modulus control) จะอยู่ในโลจิกที่ต่ำ (low) จะทำให้พรีสเกลเลอร์ หารด้วยค่า P+X ทำให้ส่วนของหาร A เคาน์เตอร์จะนับถอยหลังจากค่าที่โปรแกรมไว้ ระหว่างช่วงเวลานี้ จำนวนพัลส์ทุก ๆ P+X พัลส์จะป้อนเข้าสู่ตัวพรีสเกลเลอร์ ทั้งส่วนของหาร A เคาน์เตอร์และหาร N เคาน์เตอร์ จะมีค่าลดลงทีละหนึ่ง จนกระทั่งค่าในหาร A เคาน์เตอร์เป็นศูนย์จะได้จำนวนพัลส์ที่นับได้จาก VCO มีค่าเป็น (P+1X)A ส่วนค่าในหาร N เคาน์เตอร์จะมีค่าเหลือ N-A เมื่อ N เป็นจำนวนที่โปรแกรมลงในหาร N เคาน์เตอร์

เมื่อหาร A เคาน์เตอร์มีค่าเป็นศูนย์ ระบบจะทำการตรวจจับ (detect) และใช้ทริกเกอร์ (trigger) ในวงจรแลช (latch circuit) เพื่อให้ตัวควบคุมโมดูลัส (modulus control) อยู่ในสภาวะลอจิกสูง (high) ดูอัล-โมดูลัส พรีสเกลเลอร์จึงจะเริ่มหารด้วยค่า P พรีสเกลเลอร์จะยังคงหารด้วยค่า P ทุก ๆ ค่าของลำดับ N จนกระทั่งมีการนับจำนวนพัลส์ N-A พัลส์มีค่าเท่ากับค่าของหาร N เคาน์เตอร์ เพราะฉะนั้นความถี่ที่เกิดขึ้นที่เอาท์พุทของ VCO เกิดจากค่าที่หารทั้งหมดคิดเป็น $N_{total} = (P+X)A + (N-A)P = (N)(P) + XA$ เป็นจำนวนรอบทั้งหมดในการนับ เมื่อค่าหาร N เคาน์เตอร์มีค่าเป็นศูนย์รวมทั้งค่าในหาร A เคาน์เตอร์มีค่าเป็น 0 ด้วยกันทั้งคู่แล้วจะเกิดการพรีเซ็ต (preset) และส่วนควบคุมโมดูลัส(modulus control) จะเซ็ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นลอจิกต่ำ (low) ทำให้เริ่มต้นค่าหารด้วย P+X อีกครั้ง สิ่งที่สำคัญคือ ค่าในหาร N เคาน์เตอร์ควรจะมีค่ามากกว่าหรือเท่ากับค่าในหาร A เคาน์เตอร์แต่โดยปกติก็ไม่จำเป็นเสมอไปนัก

ระบบการหารทั้งหมด Ntotal = (N)(P) + XA ที่ได้อธิบายข้างต้นนั้น เป็นการแสดงให้เห็นว่าระดับความถี่ที่เอาท์พุทของ VCO มีค่าเป็นจำนวนเท่าของความถี่ f_R โดยสามารถโปรแกรมในแต่ละระดับ (step) ได้ การที่เราเลือกใช้พรีสเกลเลอร์ (prescaler) ที่มีค่าหารด้วย P และ P+1 (ค่า X=1) เราสามารถแสดงค่าหารทั้งหมดที่คิดได้เป็น

$$N_{total} = (N)(P) + A$$

เมื่อ $N \geq A$

ค่าของ N_{total} แสดงถึงจำนวนหารทั้งหมดซึ่งก็คือระดับความถี่เอาท์พุทของ VCOที่ต้องการ มีความสัมพันธ์เป็น $N_{total} = f_{VCO}/f_R$ เพื่อให้ได้ครอบคลุมช่วงของค่า N_{total} ค่า A จะมีค่าอยู่ในช่วง 1 ถึง P=1 ในแต่ละระดับของค่า N ค่าใน N จะถูกเพิ่มขึ้นเป็น N+1 ทุก ๆ ค่าของ P-1 ในหาร A เคาน์เตอร์ซ้ำกันตลอด กระบวนการที่กล่าวมาจะกระทำอย่างต่อเนื่องจนค่าของ N มีค่าสูงสุดที่จะโปรแกรมได้ จากที่กล่าวมาจึงสรุปได้ว่าขนาดของหาร A เคาน์เตอร์จะขึ้นอยู่กับค่า P และขนาดของหาร N เคาน์เตอร์ จะสามารถแสดงได้ด้วยค่าหารสูงสุด ($N_{total\ max}$)

ในการเลือกค่า P โดยมีข้อบังคับว่า $N \geq A$ ช่วงของการหาร A และหาร N เคาน์เตอร์สามารถเซ็ต (set) ค่าได้ต่ำสุดและสูงสุดบนค่า N_{total} ถ้าให้ $A_{max} = P-1$ และ $N_{min} \geq P-1$ จะได้ว่า

$$N_{total(min)} = (P-1)(P) + A_{min}$$

ดังนั้น

$$N_{total(max)} = (N_{max})P + A_{max}$$

เพราะว่าการเลือกค่า P และ P+1 กับค่า $N_{total(min)}$ และ $N_{total(max)}$ มีค่าไม่คงตัว ทำให้เกิดปัญหาในการออกแบบการสังเคราะห์ความถี่ขึ้น จึงต้องมีวิธีในการเลือกค่า P ตามข้อกำหนด

กฎของการเลือกค่า P

สำหรับค่าความถี่สูงสุด $f_{VCO(max)}$ ค่า P ที่ใช้จะต้องมีขนาดมากเพียงพอดังนี้

1. $f_{VCO(max)}$ หารด้วยค่า P จะต้องไม่เกินค่าที่หาร N และหาร A เคาน์เตอร์สามารถโปรแกรมได้
2. คาบเวลาของสัญญาณเอาท์พุท $f_{VCO(max)}$ ต้องมากกว่าผลบวกของช่วงเวลาใน a, b และ c ดังแสดงด้านล่าง

a. ค่าดีเลย์การแพร่กระจาย (propagation delay) ของดูอัล-โมดูลัส พรีสเกลเลอร์ (dual-modulus prescaler) จะกำหนดได้จากสัญญาณอินพุทของพรีสเกลเลอร์ถึงขอบสัญญาณเอาท์พุทจากพรีสเกลเลอร์ที่จะต้องมีความเหมาะสมกับการทริก(trig) ของหาร A และหาร N เคาน์เตอร์ ซึ่งเอาท์พุทของพรีสเกลเลอร์ที่เกิดขึ้นในแต่ละครั้งสำหรับการเลือกค่า P หรือ P+1 ในรอบการทำงานของอินพุทพรีสเกลเลอร์

b. ค่าการเซ็ตอัพพรีสเกลเลอร์หรือค่าเวลาการคลาย (release time) ที่จะควบคุมโมดูลัส (modulus control)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

c. การแพร่กระจายเวลาจากอินพุทของหาร A และหาร N เคาน์เตอร์ไปยังส่วนควบคุมโมดูลัส เป็นเวลาที่ใช้เพื่อให้มีการเปลี่ยนระดับสัญญาณควบคุมโมดูลัสที่ขอบสัญญาณเอาท์พุทในการตอบสนองร่วมกับค่าใน A ว่าจะเป็น ÷P หรือ ÷(P+1) จะนับอย่างต่อเนื่องจากพรีสเกลเลอร์ค่า

ถึงแม้ว่าการเลือกค่า P และ P+1 บางครั้งสามารถทำได้ไม่ยากนัก ขึ้นอยู่กับการโปรแกรมโค้ด (code) เข้าไปที่หาร A และหาร N เคาน์เตอร์ เช่นค่า 10/11, 20/21 และ 40/41 จะถูกใช้งานดีที่สุดเมื่อใช้เคาน์เตอร์ด้วย BCO สำหรับการใช้ไบนารี(binary) เคาน์เตอร์ในหาร A และหาร N ฟังก์ชัน สำหรับกรณีแบบไบนารี ค่า N_{total} ที่ต้องการจะเป็นค่าไบนารีที่ใช้โปรแกรมเข้าไปในหาร A และหาร N เคาน์เตอร์ตามกฎที่กำหนดไว้

การโปรแกรมค่าลงในเคาน์เตอร์

1. ค่าโปรแกรมได้ในหาร A เคาน์เตอร์ ถ้ามี b บิท (bits) จะสามารถโปรแกรมได้ $2^b = P$
2. ถ้าหาร A เคาน์เตอร์มีค่ามากกว่า b บิท จะโปรแกรมในลำดับที่สูงกว่า
3. ถ้าสมมติว่าหาร N และหาร A เคาน์เตอร์ (ไม่คิดค่าลำดับที่สูงกว่า b ใน ÷A) ถูกรวมเข้าด้วยกัน ค่าบิทลำดับสำคัญที่สุด (Most Significant Bit; MSB) จะสมมุติว่าเป็น MSB ของหาร N ส่วนบิทลำดับสำคัญน้อยสุด (Least Significant Bit: LSB) จะคิดเป็น LSB ของหาร A

2.3 ฟิลเตอร์ (Filter)

ฟิลเตอร์เป็นส่วนที่สำคัญส่วนหนึ่ง แบ่งได้เป็น 2 ชนิดได้แก่ แบบลูป (Loop) และแบบไซด์แบนด์ (Sideband) ฟิลเตอร์ พื้นฐานของฟิลเตอร์แบบลูปมีคุณลักษณะต่างๆ ได้แก่ ลูปแบนด์วิธ (Loop bandwidth), เวลาล็อค (Lock time) และผลตอบสนองทรานเซี้ยน (Transient response) จะเป็นองค์ประกอบของลูปฟิลเตอร์ ทั้งนี้ค่าต่างๆ จะขึ้นกับความถี่ธรรมชาติ (Natural frequency; ω_n) และแฟกเตอร์ความหน่วง (Damping factor; δ)

ไซด์แบนด์ฟิลเตอร์จะทำหน้าที่ในการฟิลเตอร์ สัญญาณที่ผิดพลาด (Error signal) โดยจะทำให้เกิดเสถียรภาพ (Stable) เพื่อป้อนให้กลับ วงจรออสซิเลตควบคุมโดยแรงดัน (Voltage oscillator; VCO) ซึ่งถ้าหากมีการรบกวนเกิดขึ้นจะทำให้สัญญาณที่ออกจาก VCO เป็นสัญญาณมอดูเลตความถี่ (Frequency modulate) ทำให้เกิดความถี่ของสัญญาณที่เราไม่ต้องการที่เรียกว่า ไซด์แบนด์ ผลลัพธ์ที่ได้จะทำให้ขาดความมีเสถียรภาพและสเปกตรัมที่ไม่ต้องการเกิดขึ้นที่เอาท์พุท เนื่องจากสัญญาณที่ผิดพลาดที่มาจากเฟสดีเทคเตอร์ (Phase detector) จะอยู่ในรูปแบบพัลส์ (Pulse) ที่ความถี่ f_R ส่วนความถี่ที่ฮาร์โมนิกต่ำกว่า f_R จะถูกกรองทิ้งออกไปโดยฟิลเตอร์ ลูปฟิลเตอร์สามารถที่จะลดทอนความถี่ส่วนนี้ออกไปได้ ทั้งนี้ย่อมขึ้นอยู่กับการออกแบบตามส่วนที่ต้องการ โดยอาจจะไม่จำเป็นต้องใช้ไซด์แบนด์ฟิลเตอร์

แอคทีฟฟิลเตอร์ (active filter) และพาสซีฟฟิลเตอร์ (passive filter) สามารถใช้ได้ทั้งนี้ลูปฟิลเตอร์และไซด์แบนด์ฟิลเตอร์ แต่ละแบบย่อมมีข้อได้เปรียบและเสียเปรียบดังนี้ แอคทีฟฟิลเตอร์จะให้ค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อัตราขยายแรงดัน (voltage gain) และสามารถให้แรงดันในช่วงกว้างเพื่อควบคุม VCO ในขณะที่สามารถรักษาระดับแรงดันได้เป็นอย่างดี ลูปฟิลเตอร์แบบนี้ยังให้ค่าอัตราขยายแรงดันไฟตรงสูง (high de gain) และใช้กระแสอินพุทน้อย ทำให้ได้ค่าประมาณความผิดพลาดทางเฟส (phase error) ระหว่าง f_R กับ f'_r มีค่าต่ำ และทำให้ส่วนของพลังงานที่ไม่ต้องการถูกฟิลเตอร์ออกไปทำให้เข้าสู่สภาวะล็อก ส่วนข้อเสียของแอคทีฟลูปฟิลเตอร์ (active loop filter) คือจะทำให้เกิดสัญญาณรบกวน (noise) ปรากฏที่เอาท์พุทของ VCO ระดับของสัญญาณรบกวนนี้จะต้องมีค่าน้อย เพื่อไม่ให้เกิดปัญหาในการใช้งานได้ เช่นในกรณีของสัญญาณเอฟเอ็มแบบแบนด์แคบ (narrowband FM) จะมีปัญหาเกิดขึ้นมา

ส่วนพาสซีฟ RC ฟิลเตอร์ (passive RC filter) จะไม่ทำให้เกิดสัญญาณรบกวน แต่จะทำให้ค่า k_ϕ ของเฟสดีเทคเตอร์มีค่าเปลี่ยนไป ทำให้ความถี่ของ VCO ไม่ได้อยู่ในช่วงที่ต้องการ อีกทั้งยังทำให้ค่าผิดพลาดทางเฟสระหว่าง f_R กับ f_r มีค่ามากกว่าแบบแอคทีฟฟิลเตอร์ แต่อย่างไรก็ตาม การใช้พาสซีฟฟิลเตอร์ก็ไม่เกิดปัญหามากนัก

ชนิดต่าง ๆ ของพาสซีฟ และแอคทีฟฟิลเตอร์ แสดงดังรูป 2.13 ตามลำดับ

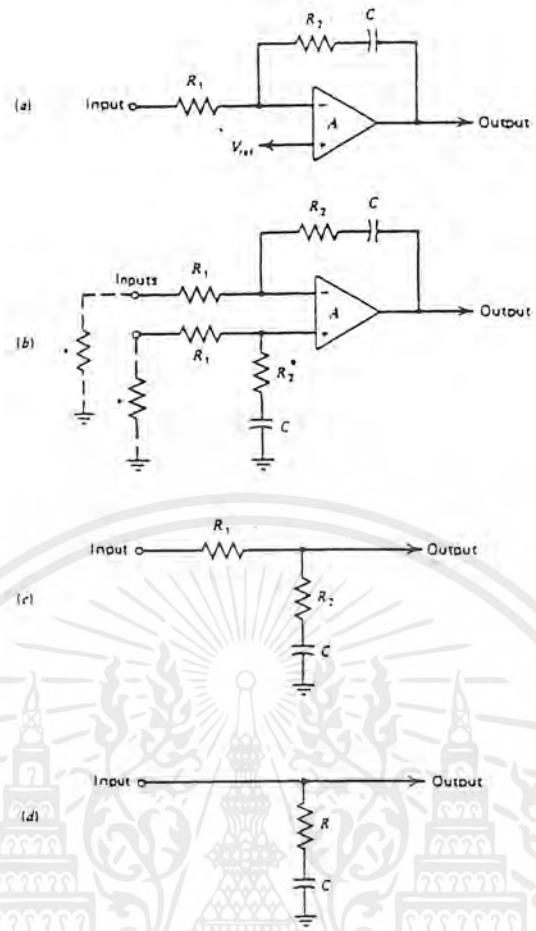
จากรูปได้แสดงค่าทรานเฟอร์ฟังก์ชัน (transfer function) และค่าความสัมพันธ์อื่น ๆ รูป 2.13 เป็นการใช้เฟสดีเทคเตอร์ที่มีเอาท์พุท 2 ขา เป็นการใช้ฟิลเตอร์เพื่อทำการกรองสัญญาณทั้งซีกบวกและซีกลบ ค่าระดับแรงดันในแต่ละส่วนจะมีค่าเป็น $v_{DD}/2$ (เมื่อ v_{DD} เป็นแรงดันที่ป้อนให้กลับอุปกรณ์ไอซีจำพวก CMOS เช่น MC 4044 มีเอาท์พุท 3 สถานะ จากรูป 2.13a จะมีระดับแรงดันอ้างอิง v_{vcf} ซึ่งถ้าเป็นแบบพาสซีฟ ฟิลเตอร์ตัว c จะทำหน้าที่ในการชาร์จ (charge) เพื่อเก็บประจุ และระดับแรงดันจะแปรเปลี่ยนตลอดเวลาทำให้ไม่สามารถที่จะควบคุมความถี่เอาท์พุทที่ออกจาก VCO ได้อย่างถูกต้อง

เมื่อเกิดการผิดพลาดของสัญญาณในกรณีใช้แบบ 3 สถานะ (3-state) จะใช้ลักษณะทรานส์เฟอร์ฟังก์ชันของกระแสมากกว่าแบบใช้แรงดันในเฟสดีเทคเตอร์ ค่า k_ϕ ที่ใช้มีหน่วยเป็นแอมป์ต่อเรเดียน (A/rad) ซึ่งจะมีความคงตัวเมื่อใช้ดีเทคเตอร์กับฟิลเตอร์รวมกัน ลูปฟิลเตอร์ที่กล่าวว่าแสดงดังรูป 2.13d

แอคทีฟลูปฟิลเตอร์ที่แสดงดังรูป 2.13a และ b มีจุดอิ่มตัวที่พอเพียงหรือมีการคลิปพัลส์ (pulse clipping) เมื่อมีค่าผิดพลาดทางเฟสมาก ค่าผิดพลาดทางเฟสที่เกิดขึ้นจากเฟสดีเทคเตอร์คือการเกิดโอเวอร์ชูต (overshoot) ทำให้การจัดตั้งเวลา (setting time) ไม่ดีพอ วิธีการแก้ไขคือทำให้ค่าสัดส่วน R_2/R_1 มีค่าน้อยที่สุด (ควรมีค่าน้อยกว่า 1) แต่ว่าอาจจะใช้ไม่ได้ในทางปฏิบัติ ทั้งนี้ทั้งนั้นย่อมขึ้นอยู่กับการออกแบบด้วย

วิธีการแก้ไขการคลิปพัลส์มีหลายวิธีด้วยกัน เช่นการแยกค่า R_1 ในคู่ R_c ดังแสดงในรูป 2.14

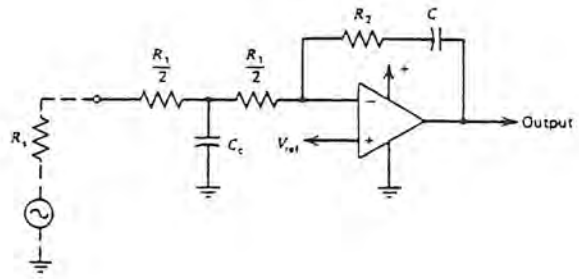
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.13 ลูปฟิลเตอร์ชนิดต่าง ๆ แสดงค่าทรานส์เฟอร์ฟังก์ชันของแรงดัน F(s) และส่วนค่าที่เกี่ยวข้องคือความถี่ธรรมชาติ (Natural frequency; ω_n) และแฟกเตอร์ความหน่วง (Damping factor; δ) ค่า F(s), ω_n และ δ ในรูป a และ b คิดจากกรณีลูปแกนเปิด (open loop gain; A) สำหรับแอคทีฟอีลีเมนท์โดยลดรูปจากค่าทรานส์เฟอร์ฟังก์ชัน $F(s)' = \dfrac{A(1+sR_2C)}{1+s[R_1C(A+1)+R_2C]}$ ค่าทรานส์เฟอร์ฟังก์ชันของเฟสดีเทคเตอร์ k_ϕ มีหน่วยเป็นโวลต์ต่อเรเดียน ในรูป a, b และ c ส่วนในรูป d มีหน่วยเป็นแอมป์ต่อเรเดียน

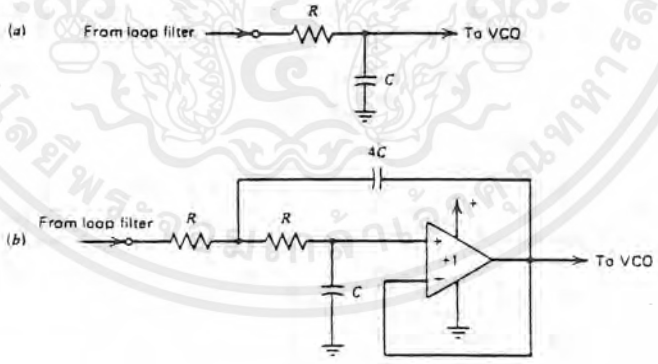
เพื่อให้เกิดเสถียรภาพ ค่าความถี่คัทออฟ (cutoff frequency; ω_c ควรจะมีค่า 5-10 เท่าของค่า ω_n เพื่อให้มีประสิทธิภาพ แต่อย่างไรก็ตามค่าสูงสุดของ ω_c จะต้องมีค่าต่ำกว่า ω_R ($\omega_R = 2\pi f_R$) เพราะว่าค่าความถี่อ้างอิง (reference frequency) f_R เป็นส่วนแรกที่จะต้องถูกลดทอน ในR_1C เน็ตเวิร์คดังรูป 2.14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.14 แสดงลูปฟิลเตอร์ที่ได้จากการปรับปรุงจากรูป 17.11a ส่วนที่เพิ่มเข้ามาในฟิลเตอร์เพื่อทำให้การคลิปฟัลส์มีค่าน้อยและลดค่าระดับของไซด์แบนด์ จะมีส่วนช่วยในการลดไซด์แบนด์ที่เอาท์พุทของ VCO ซึ่งจะถูกจัดไว้ในส่วนของไซด์แบนด์ฟิลเตอร์ จากสิ่งที่กล่าวมา เราสามารถใช้ฟิลเตอร์ในรูป 2.13c ได้ด้วย

สำหรับไซด์แบนด์ส่วนอื่นที่ไม่ได้เกี่ยวข้อง สามารถใช้พาสซีฟหรือแอคทีฟฟิลเตอร์กรองทิ้งได้ การออกแบบวงจรกรองความถี่ต่ำแสดงดังรูป 2.15a สามารถใช้ร่วมกับลูปฟิลเตอร์ในรูป 2.13a, b หรือ c



รูป 2.15 ตัวอย่างของไซด์แบนด์ฟิลเตอร์
(a) แบบพาสซีฟ (b) แบบ 2 โพล (pole) ค่าอัตราการขยายเป็น 1 (unity gain)

ลักษณะของไซด์แบนด์ฟิลเตอร์ที่ใช้กับรูป 2.13d มีลักษณะคล้ายกัน เพียงแต่เพิ่มตัวเก็บประจุ C' ขนานกับตัวต้านทาน R เพื่อทำให้เกิดความถี่หักมุม (corner frequency) $\omega_c = 1/RC'$ rad/s ถ้าเกิดมีไซด์แบนด์มากกว่า 1 ไซด์แบนด์ แอคทีฟฟิลเตอร์จะทำให้ค่าเกิดการเลื่อนเฟส (phase shift) มีค่าน้อยสุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนพาสซีฟ RC จะทำให้เกิดการเลื่อนเฟสมากขึ้นอย่างรวดเร็วมากกว่าการกดสัญญาณ (signal suppression) การเกิดการเลื่อนของเฟสนี้จะไปหักออกจากค่าเฟสมาร์จิน (phase margin) ของ PLL จะทำให้ไม่มีเสถียรภาพ เราสามารถใช้แอคทีฟฟิลเตอร์ดังแสดงในรูป 2.15b โดยเลือกค่าแฟกเตอร์การหน่วง (damping factor) ประมาณ 0.5 เป็นการชดเชยกันระหว่างการลดทอนของความถี่คัทออฟกับการทำให้การเลื่อนเฟสมีค่าต่ำกว่าความถี่คัทออฟ

ในกรณีที่ใช้พาสซีฟไซด์แบนด์ฟิลเตอร์ต่อกับพาสซีฟลูปฟิลเตอร์ สิ่งที่เราจะพิจารณาคือการโหลด (loading) หรือผลกระทบที่เกิดขึ้นกับลูปฟิลเตอร์ ถ้าให้ ω_c มีค่าคงที่ และ RC เป็นผลคูณของไซด์แบนด์ฟิลเตอร์ มีระดับการควบคุมที่สามารถทำงานได้ที่ค่า RC ต่าง ๆ

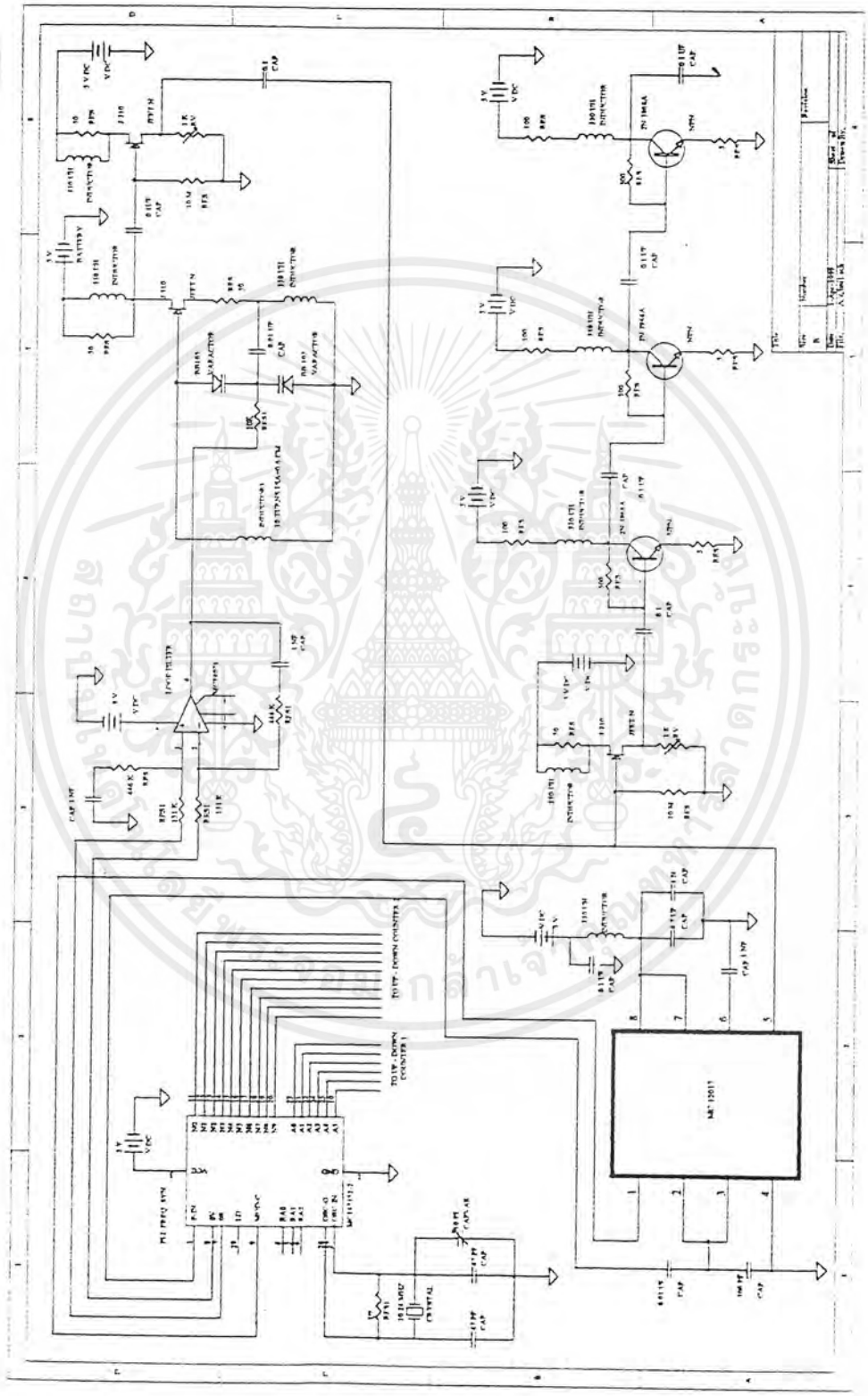
สัญญาณที่ถูกกด (suppression signal) ที่ความถี่อ้างอิงที่อยู่ในรูป ω_c และ ω_R สามารถแสดงได้เป็นเดซิเบล (decibels) ดังนี้

$$\text{Signal Suppression} \cong n20\log_{10}(\omega_c/\omega_R)$$

เมื่อ n เป็นอันดับ (order) ของฟิลเตอร์ การคำนวณค่าดังสมการข้างต้นจะมีความถูกต้องเมื่อทำการคำนวณส่วนของ R_1C_c ในรูปของฟิลเตอร์ของรูป 2.14 ด้วย ถ้าเราใช้ลูปฟิลเตอร์ตามรูปนี้ ข้อควรระวังคือสัญญาณที่ถูกกด (signal suppression) นี้ ไม่ใช่ไซด์แบนด์ที่เกิดขึ้นที่เอาท์พุทของ VCO แต่ปริมาณที่ถูกกดนี้จะรวมถึงค่าผิดพลาดของพัลส์ (error pulse) ที่ไม่ได้เกิดขึ้นจากเฟสดีเทคเตอร์และ VCO ทรานเฟอร์ฟังก์ชัน อย่างไรก็ตามก็สามารถใช้ประมาณค่าระดับสัญญาณไซด์แบนด์ได้

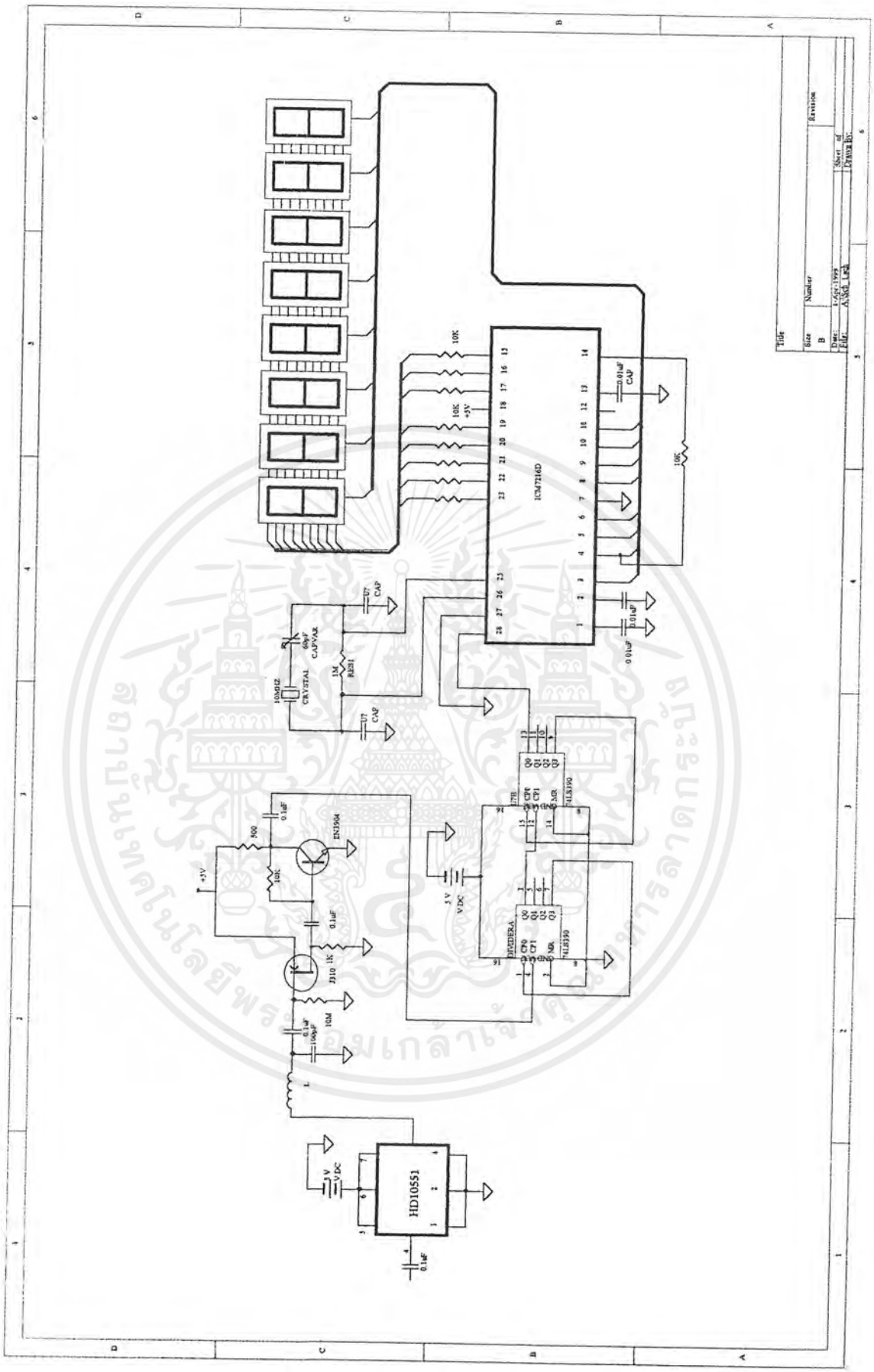
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การคำนวณและการสร้าง



รูปที่ 3.1 วงจรสังเคราะห์ความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

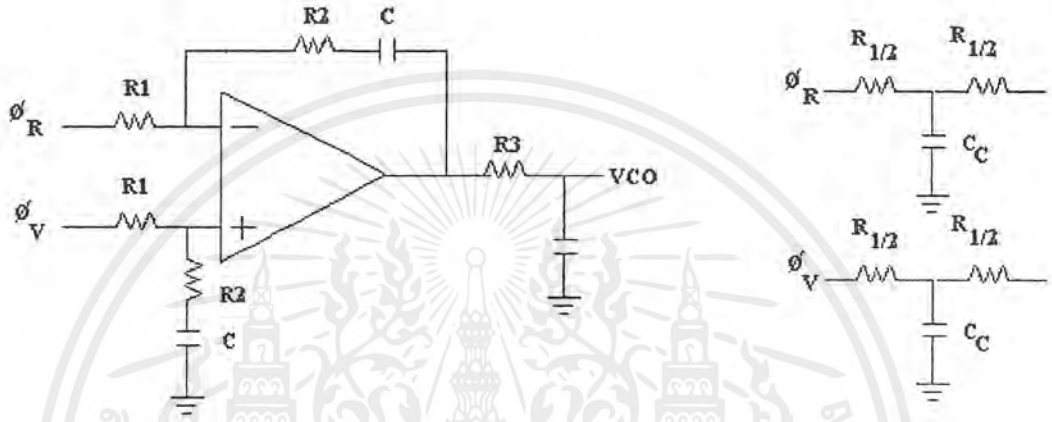


รูปที่ 3.2 วงจรแสดงผลด้วยตัวเลขเจ็ดหลัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปวงจรจะประกอบไปด้วย parallel-input PLL frequency synthesizer, loop filter, VCO (voltage control oscillator) ส่วนของวงจรวีซีโอนั้นเราสามารถคำนวณหาความถี่ได้จากสูตร $f = 1/2\pi\sqrt{LC}$ โดย LC เป็นแทงค์เซอร์กิต ค่า L เป็นค่าอินดักแตนส์ซึ่งสามารถกำหนดได้จากการพันขดลวด (coil) ส่วนค่า C นั้นเป็นค่าของตัวเก็บประจุในวารีแคป ส่วนเฟทที่ต่อนั้นเป็นส่วนของวงจรขยาย ตัว RFC เป็นส่วนช่วยในการออสซิเลทที่ความถี่สูง

ส่วนของลูปฟิลเตอร์จะเป็นโลว์พาสฟิลเตอร์เพื่อกรองส่วนไซด์แบนด์ทำให้ได้ค่าแรงดันไฟตรงเพื่อควบคุมวีซีโอดังแสดงดังรูป



รูปที่ 3.3 แสดงวงจรลูปฟิลเตอร์

ค่า R_1 สามารถแตกออกได้เป็น $R_1/2$ ค่าตัวเก็บประจุ C_C จะต่อเข้าระหว่างตัวต้านทาน โดยค่าของความถี่หักมุม (corner frequency) จะต้องไม่ส่งผลกระทบต่อ ω_n (nature frequency) ส่วนของออปแอมป์นั้นจะต้องสามารถเข้ากันได้กับช่วงคอมมอนโหมดอินพุทของสัญญาณที่ค่า $\varnothing_R$ และ $\varnothing_V$ เราสามารถคำนวณค่าต่างๆ ในวงจรได้ดังนี้

ข้อกำหนด

N = เป็นค่าสัดส่วนระหว่างความถี่ของวีซีโอต่อความถี่อ้างอิง

$K_\varnothing$ = เฟสดีเทคเตอร์เกน = $V_{DO}/2\pi$ (เมื่อ V_{DO} เป็นแรงดันที่จ่ายให้กับวงจรวีซีโอ)

K_{VCO} (วีซีโอเกน) = $2\pi\Delta f_{VCO}/\Delta V_{VCO}$ เมื่อ Δf_{VCO} เป็นช่วงความถี่ที่ทำการล็อคและ ΔV_{VCO} เป็นช่วงแรงดันที่ใช้ควบคุมวีซีโอ

$\omega_n \cong 2\pi f_r / 10$ (f_r เป็นความถี่อ้างอิง)

แดมป์ปิ้งแฟคเตอร์ = 0.7

$$\omega_n = \sqrt{K_\varnothing K_{VCO}/NCR}$$

N เป็นค่าแฉลี่ยระหว่างจำนวนหารสูงสุดกับจำนวนหารต่ำสุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$N = (N_{max} + N_{min})/2$

$N_{max} = f_{VCO\,max} / f_r$ และ $N_{min} = f_{VCO\,min} / f_r$

ตัวอย่างในการออกแบบ เราหาคำนวณความสัมพันธ์ระหว่างแรงดันควบคุมกับความถี่จะได้แรงดัน 0 โวลท์ ได้ความถี่ 106.5 MHz และแรงดัน 9 โวลท์ ได้ความถี่ 143.5 MHz

$\Delta f_{VCO} = 143.5 - 106.5 = 37$ MHz และ $\Delta V = 9$ โวลท์

หาค่า $K_{\varnothing} = V_{DO} / 2\pi = 1.43$ โวลท์ / เรเดียน

$K_{VCO} = 2\pi\Delta f_{VCO} / \Delta V_{VCO} = 2\pi * 37 * 10^6 / 9 = 25.83 * 10^6$ เรเดียน / วินาที / โวลท์

$\omega_n = 2\pi f_r / 10 = 2\pi * 5 * 10^3 / 10 = 3141.6$ เรเดียน / วินาที

$N_{max} = f_{max} / f_r = 143.5 * 10^6 / 5 * 10^3 = 28700$

$N_{min} = f_{min} / f_r = 106.5 * 10^6 / 5 * 10^3 = 21300$

$N = (28700 + 21300) / 2 = 25000$

จาก $\omega = \sqrt{K_{\varnothing} K_{VCO} / NCR_1}$ เลือกตัวเก็บประจุ $= 1$ F จะได้

$R_1 = K_{\varnothing} K_{VCO} / \omega_n^2 NC = 1.43 * 25.83 * 10^6 / (3141.6)^2 * 25000 * 10^{-9} = 150$ กิโลโอห์ม

$\xi = \omega_n R_2 C / 2$

$R_2 = 2\xi / \omega_n C = 2 * 0.7 / 3141.6 * 10^{-9} = 446$ กิโลโอห์ม

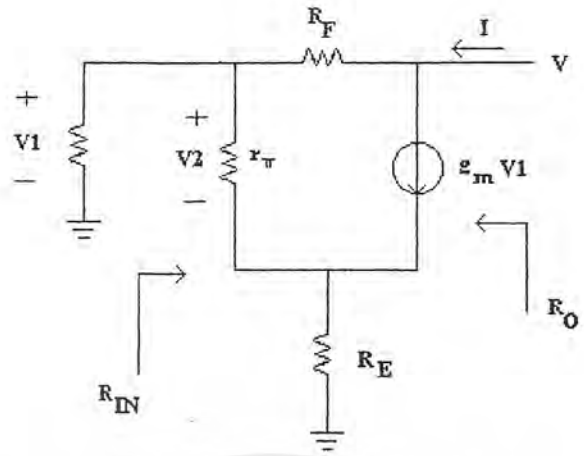
คิดฟิลเตอร์ส่วนที่ 2 ใช้ฟรีเควนซี่คัตออฟ $= 3\omega_n$

$3\omega_n = \sqrt{K K_{VCO} / NCR_3}$

$R_3 = R_1 / 9 = 150 / 9 = 17$ กิโลโอห์ม

วงจรขยายใช้วงรขยายสัญญาณต่อเรียงกัน 3 สถานะ โดยเขียนวงจรสมมูลย์ได้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 แสดงวงจนสมมูลย์ของวงจรขยาย

$$V_2 = (R / R + R_F) * v$$

$$V_1 + g_m v_1 R_E = v_2$$

$$V_1 = 1 / (1 + g_m R_E) * (R / R + R_F) * v$$

$$I = g_m v_1 + v / (R + R_F)$$

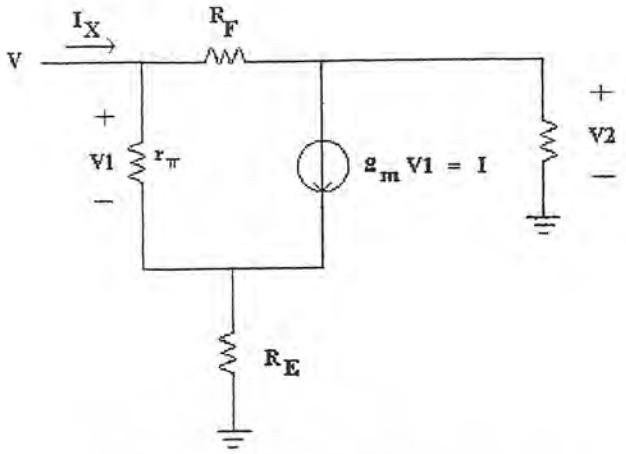
$$I = g_m / (1 + g_m R_E) * (R / R + R_E) * v + v / (R + R_F)$$

ค่าเอาท์พุทอิมพีแดนซ์ $R_o = v / I = (1 + g_m R_E)(R + R_F) / (g_m R + 1 + g_m R_E)$

ถ้า $g_m R_E >> 1$ จะได้ $R_o = R_E * (R + R_F) / (R + R_E)$

หาค่าอินพุทอิมพีแดนซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 แสดงรูปวงจรที่ใช้ในการคำนวณหาอินพุทอิมพีแดนซ์

$$V_1 = v / (1 + g_m R_E)$$

$$I = g_m v / (1 + g_m R_E)$$

$$I_x = v / (R + R_F) + I * R * (R + R_F)$$

$$I_x = g_m v / (1 + g_m R_E)((R / R + R_F) + v / (R + R_F))$$

$$I_x / v = (g_m R + 1 + g_m R_E) / (1 + g_m R_E)(R + R_F)$$

$$R_i = v / I_x = (1 + g_m R_E)(R + R_F) / (g_m R + 1 + g_m R_E)$$

ถ้า $g_m R_E >> 1$

$$R_i = R_E (R + R_F) / (R + R_E)$$

ถ้า $R_E << R$ และ $R_F >> R$

$$R_i \cong R_F R_E / R \text{ และ } R_o \cong R_F R_E / R$$

หาค่าเกน (A_V)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$v_i = v / (1 + g_m R_E)$$

$$g_m v_i = g_m v / (1 + g_m R_E)$$

$$v_o = -g_m v / (1 + g_m R_E) * (RR_F / R + R_F)$$

ถ้า $g_m R_E >> 1$ ได้

$$A_v = -(1 / R_E) / (RR_F / (R + R_F))$$

ถ้า $R_i = R_o = R$

$$R = \sqrt{R_F R_E}$$

จากวงจรเราเลือกค่า R_F = 500 โอห์ม, R_E = 5 โอห์ม (ทำการแมตช์อิมพีแดนซ์)

$$R = \sqrt{500 * 5} = 50 \text{ โอห์ม}$$

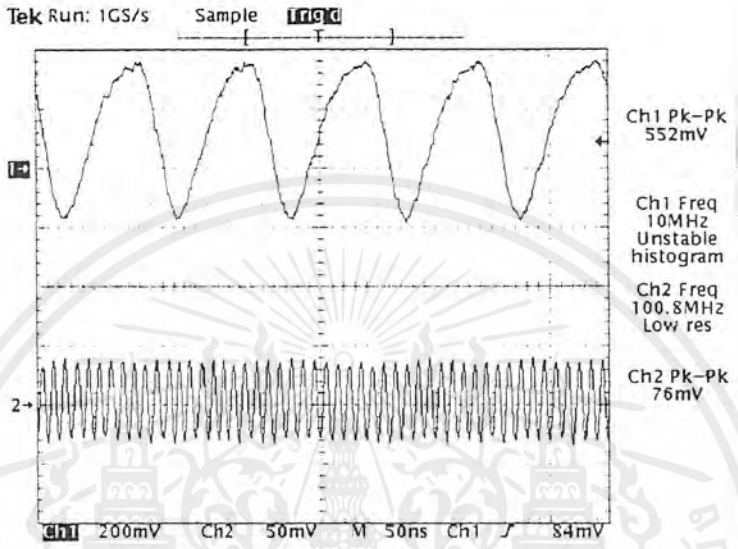
และเกนเท่ากับ $\left| -1 / 5 * 50 * 500 / (50 + 500) \right|$ = 10 เท่า = 1 dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

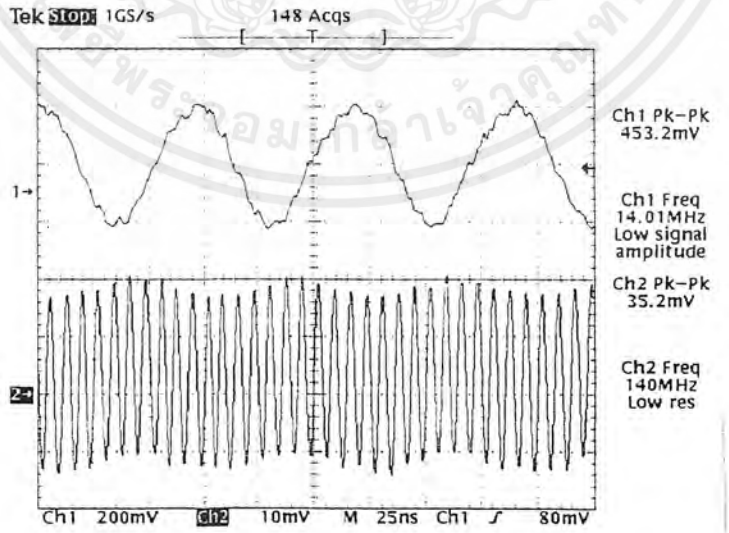
บทที่ 4

การทดลองและผลการทดลอง

4.1 แสดงผลการทดลองในส่วนการแสดงผล

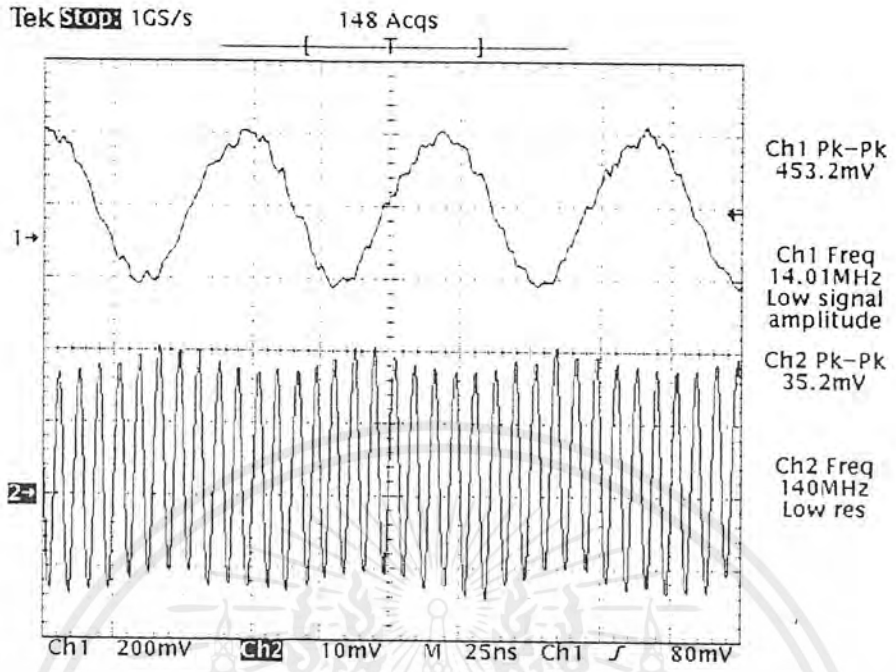


รูปที่ 4.1 แสดงเอาท์พุทจาก IC HD10551 เมื่อป้อนความถี่ 100 MHz

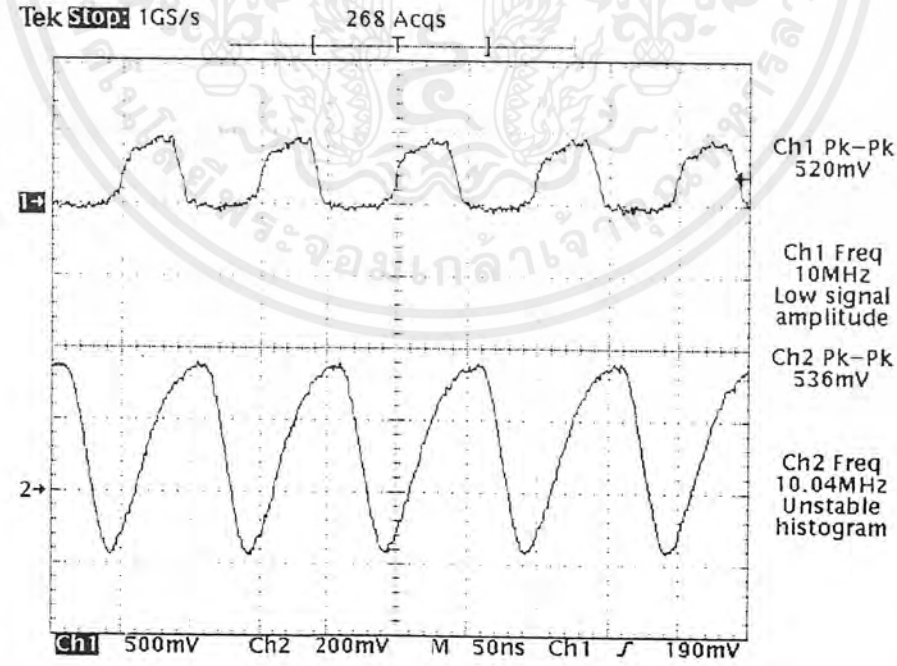


รูปที่ 4.2 แสดงเอาท์พุทจาก IC HD10551 เมื่อป้อนความถี่ 120 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

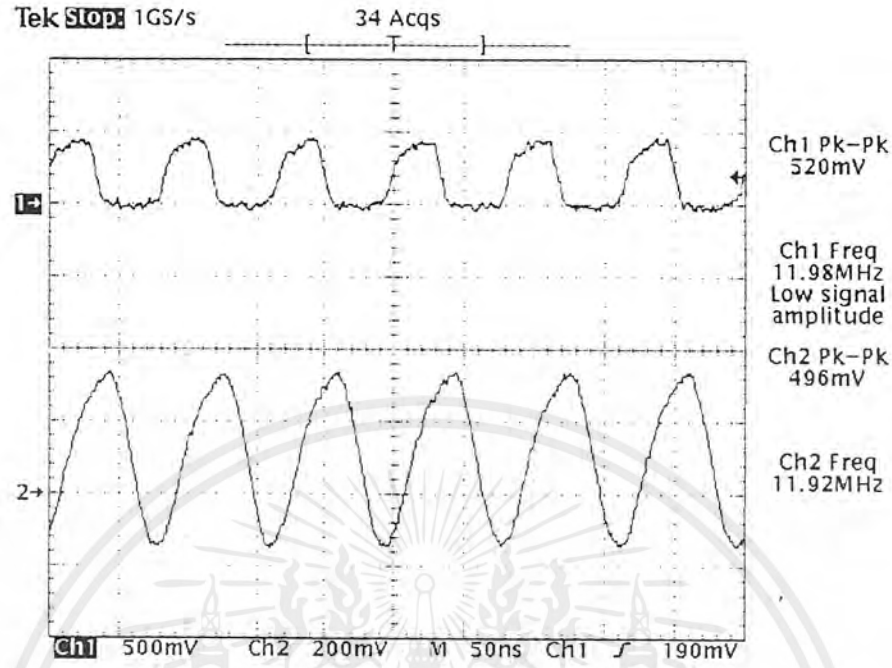


รูปที่ 4.3 แสดงเอาท์พุทจาก IC HD10551 เมื่อป้อนความถี่ 140 MHz

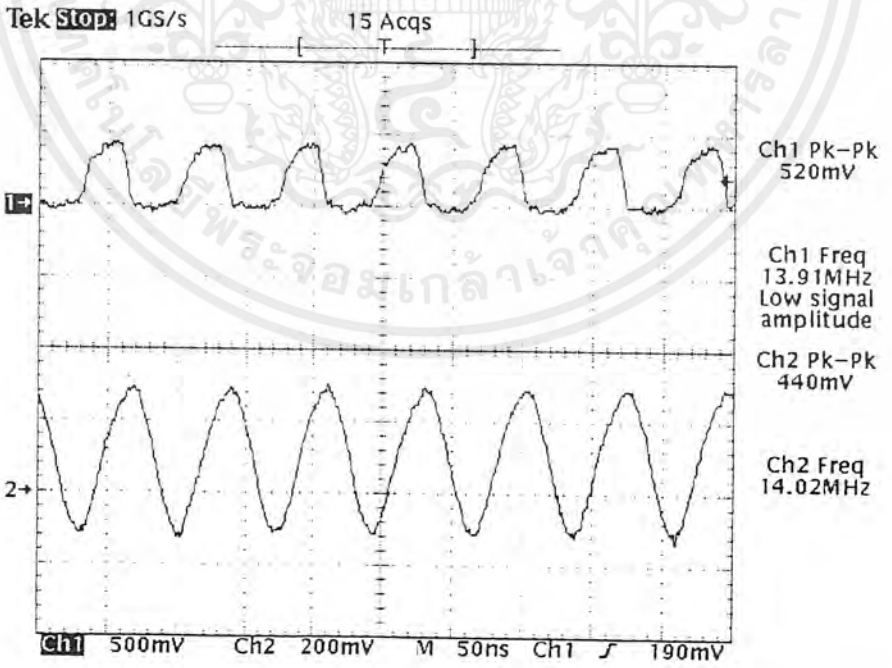


รูปที่ 4.4 สัญญาณ 10 MHz จาก IC HD10551 ก่อนและหลังผ่านวงจรบัฟเฟอร์และขยาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

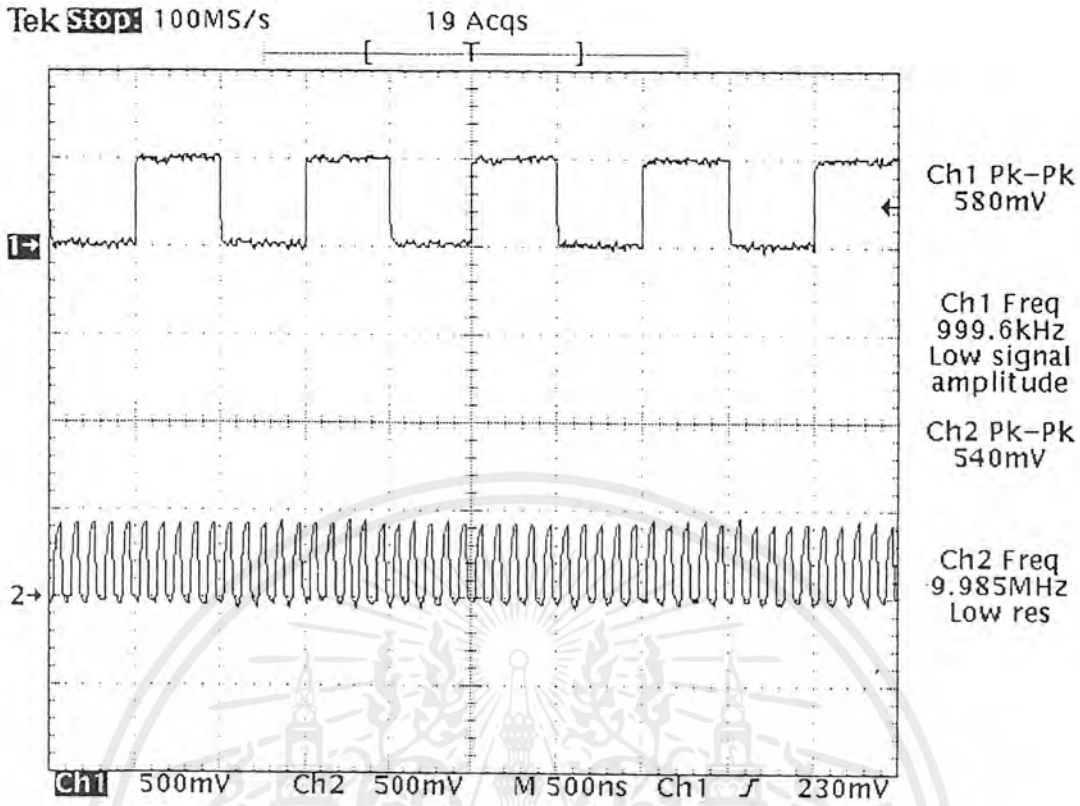


รูปที่ 4.5 สัญญาณ 12 MHz จาก IC HD10551 ก่อนและหลังผ่านวงจรบัฟเฟอร์และขยาย

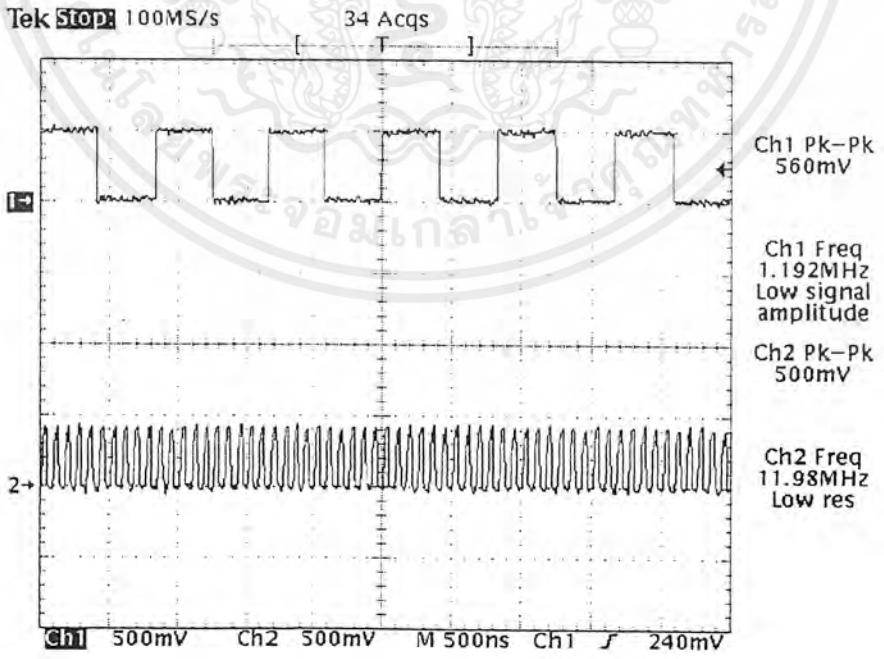


รูปที่ 4.6 สัญญาณ 14 MHz จาก IC HD10551 ก่อนและหลังผ่านวงจรบัฟเฟอร์และขยาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

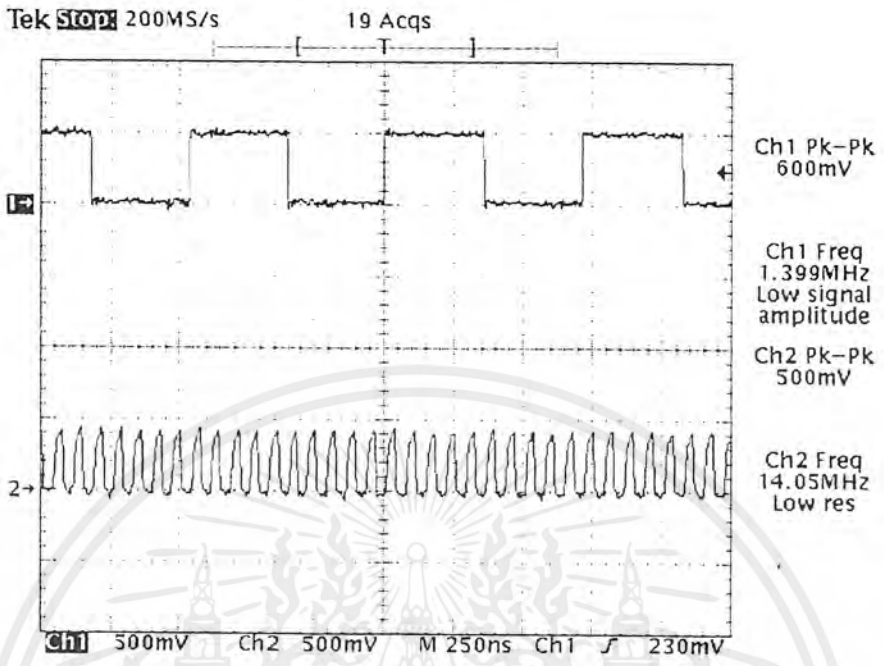


รูปที่ 4.7 เปรียบเทียบสัญญาณ 10 MHz จากวงจรบัฟเฟอร์และขยายก่อนและหลังผ่าน IC 74HC390

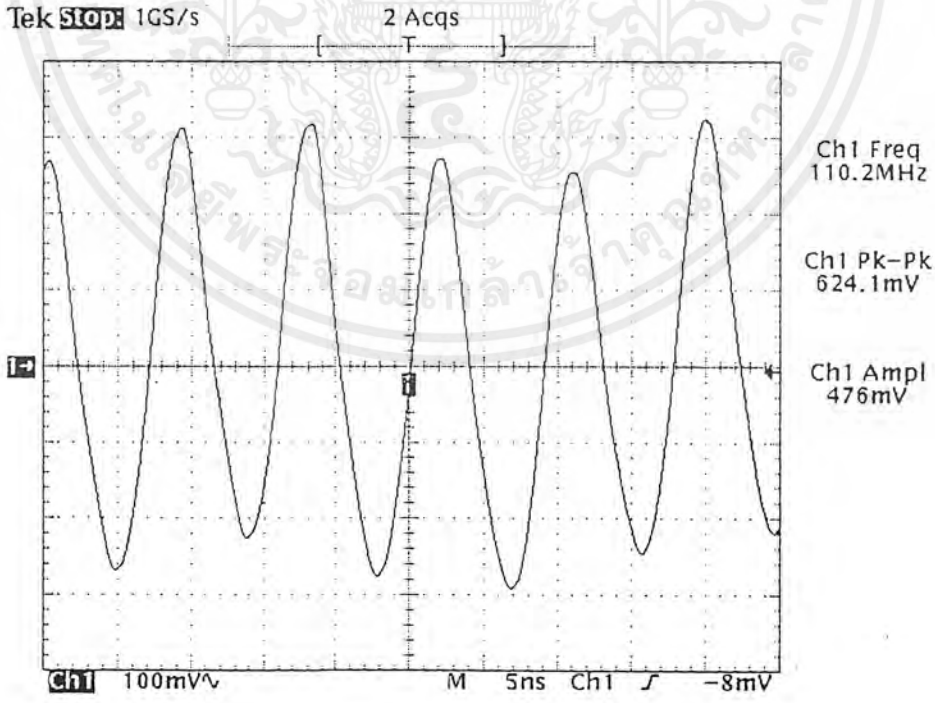


รูปที่ 4.8 เปรียบเทียบสัญญาณ 12 MHz จากวงจรบัฟเฟอร์และขยายก่อนและหลังผ่าน IC 74HC390

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

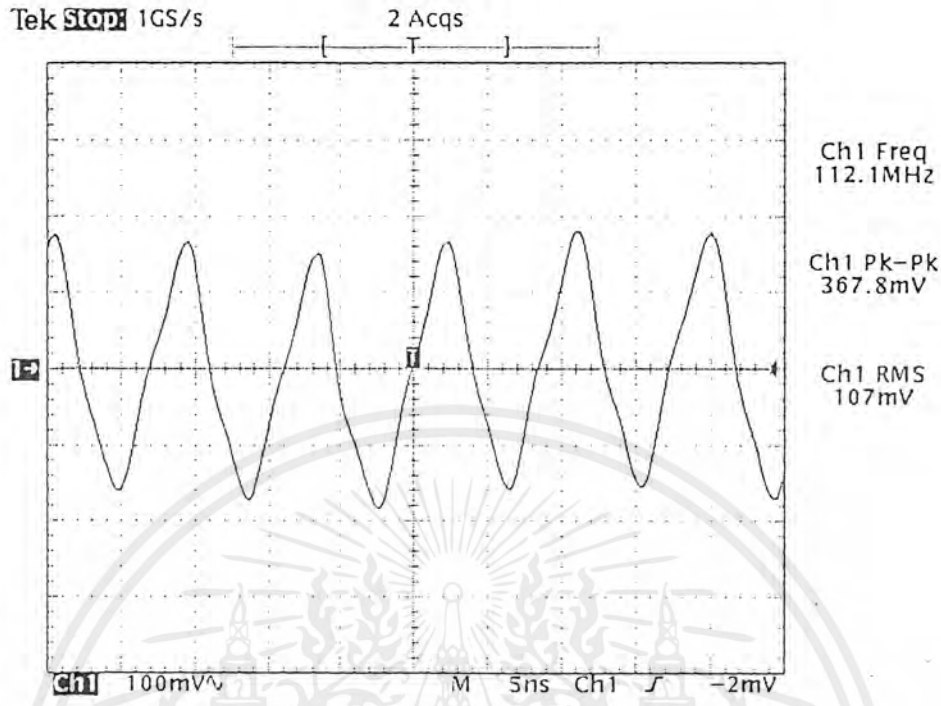


รูปที่ 4.9 เปรียบเทียบสัญญาณ 14 MHz จากวงจรบัฟเฟอร์และขยายก่อนและหลังผ่าน IC 74HC390

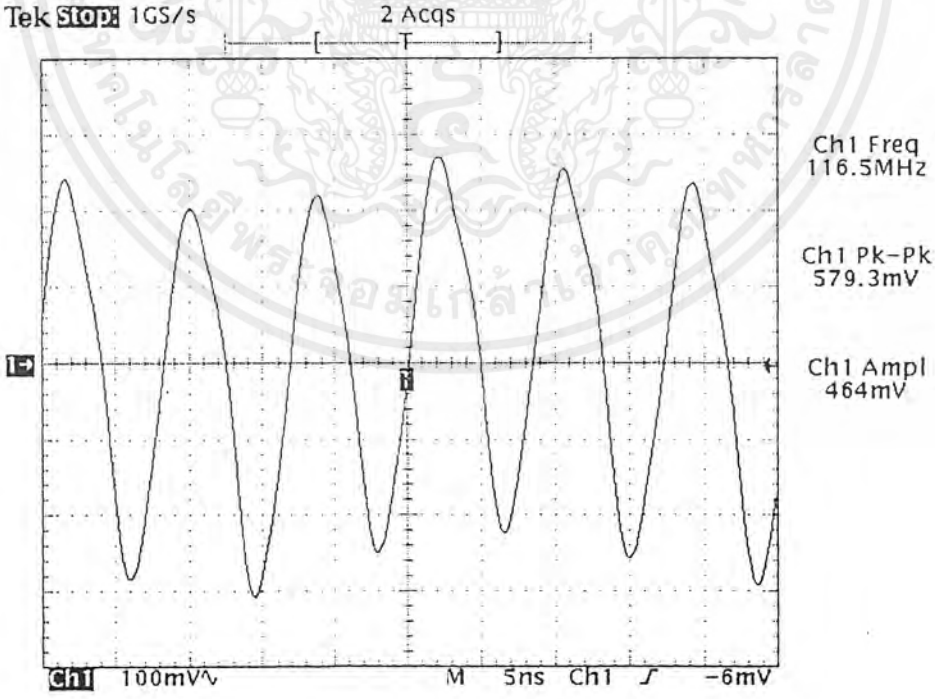


รูปที่ 4.10 กราฟแสดงความถี่วีซีโอที่ 110.2 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

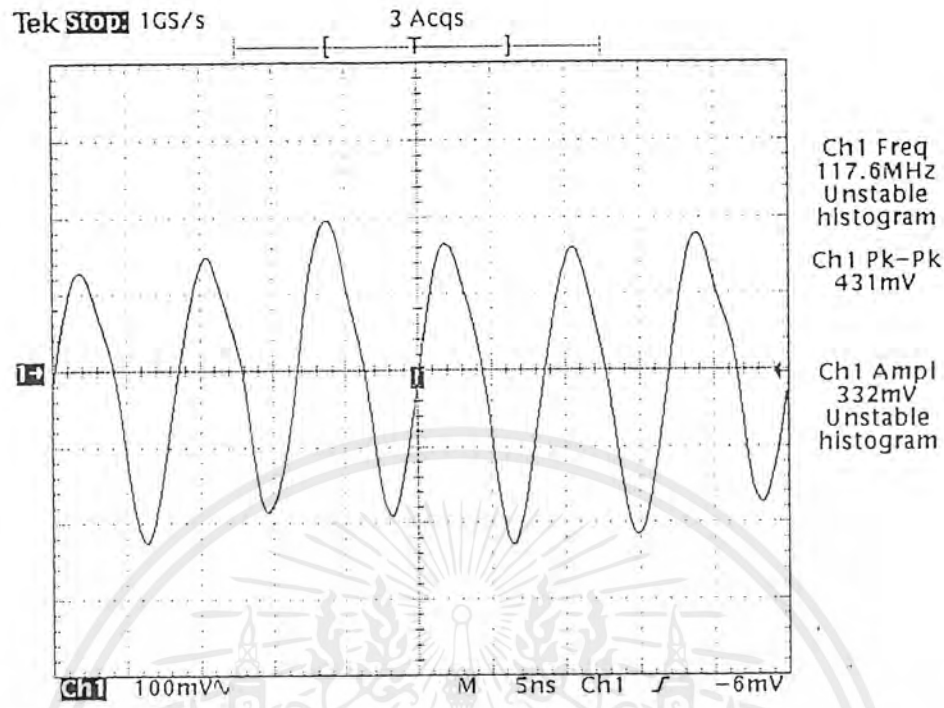


รูปที่ 4.11 กราฟแสดงความถี่วีซีโอที่ 112.1 MHz

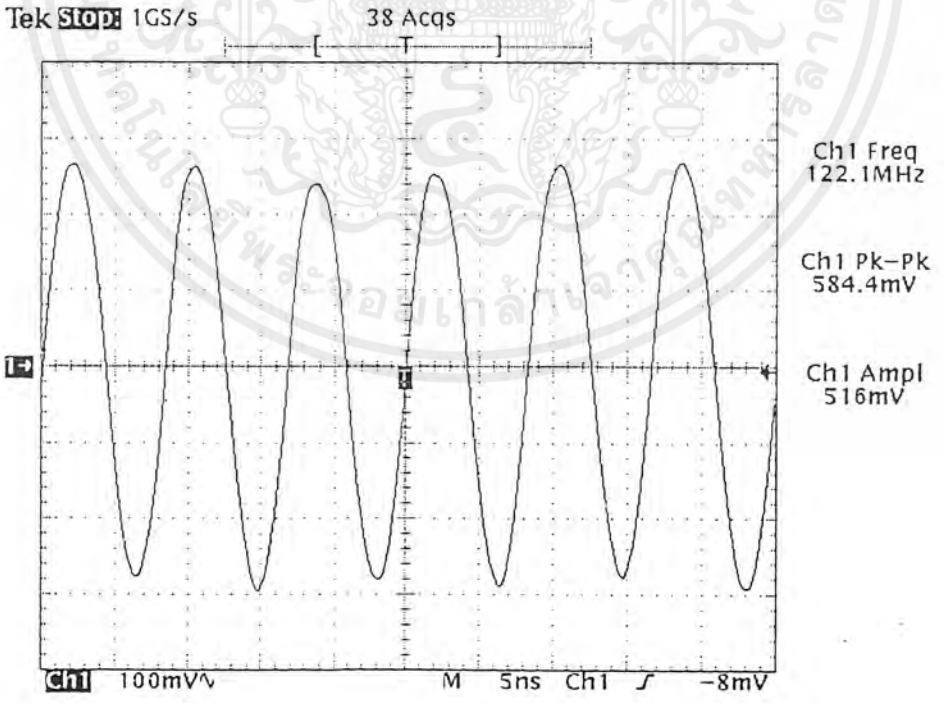


รูปที่ 4.12 กราฟแสดงความถี่วีซีโอที่ 116.5 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

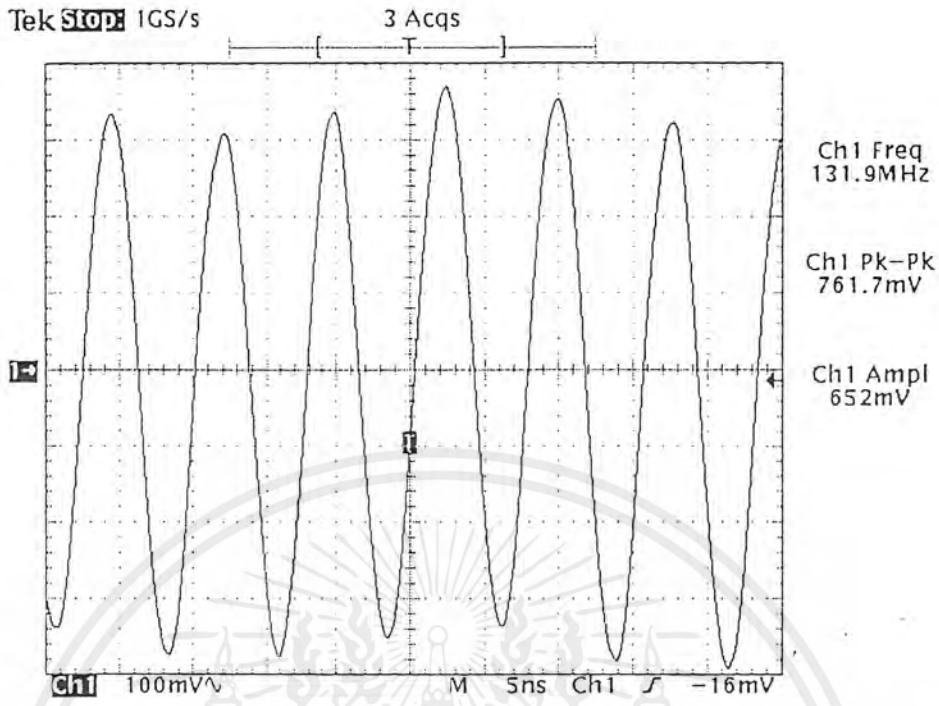


รูปที่ 4.13 กราฟแสดงความถี่วีซีโอที่ 117.6 MHz



รูปที่ 4.14 กราฟแสดงความถี่วีซีโอที่ 122.1 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.15 กราฟแสดงความถี่วีซีโอที่ 131.9 MHz

รูปที่ 4.16 การแสดงผลของเซเว่นเซดเมนท์เทียบกับความถี่อินพุทจากแหล่งกำเนิด 1.1 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.17 การแสดงผลของเซเว่นเซคเมนท์เทียบกับความถี่อินพุทจากแหล่งกำเนิด 1.2 MHz

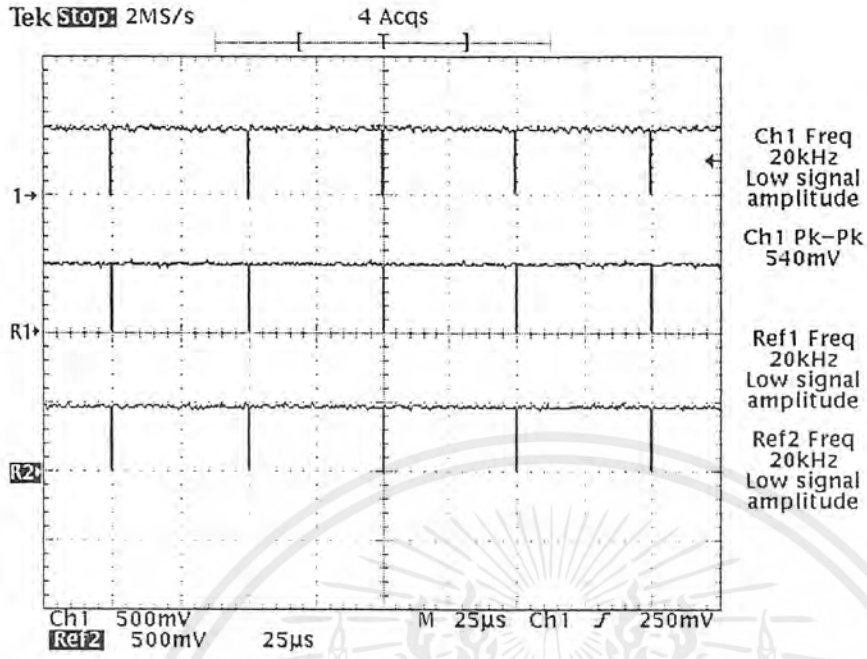
รูปที่ 4.18 การแสดงผลของเซเว่นเซคเมนท์เทียบกับความถี่อินพุทจากแหล่งกำเนิด 1.3 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

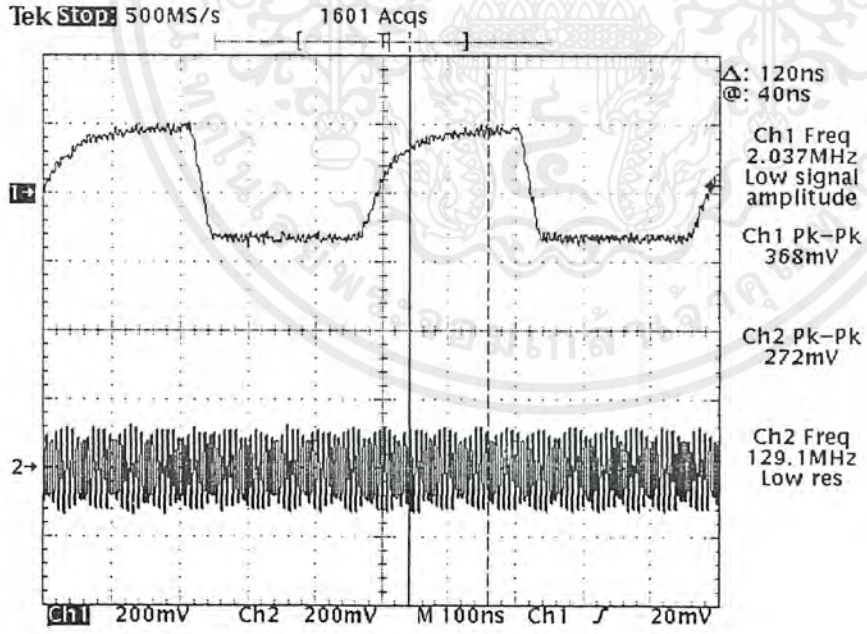
รูปที่ 4.19 การแสดงผลของเซเว่นเซคเมนท์เทียบกับความถี่อินพุทจากแหล่งกำเนิด 1.4 MHz

รูปที่ 4.20 การแสดงผลของเซเว่นเซคเมนท์เทียบกับความถี่อินพุทจากแหล่งกำเนิด 1.5 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

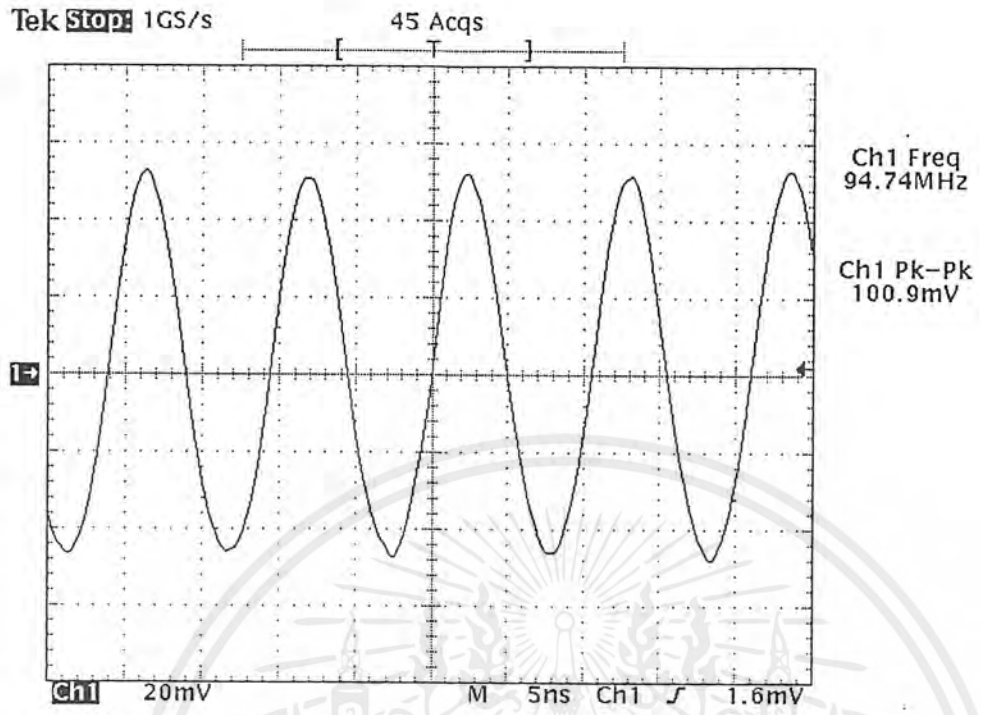


รูปที่ 4.21 แสดงการเปรียบเทียบสัญญาณ ล็อคดีเทค (LD) ϕ_R และ ϕ_V

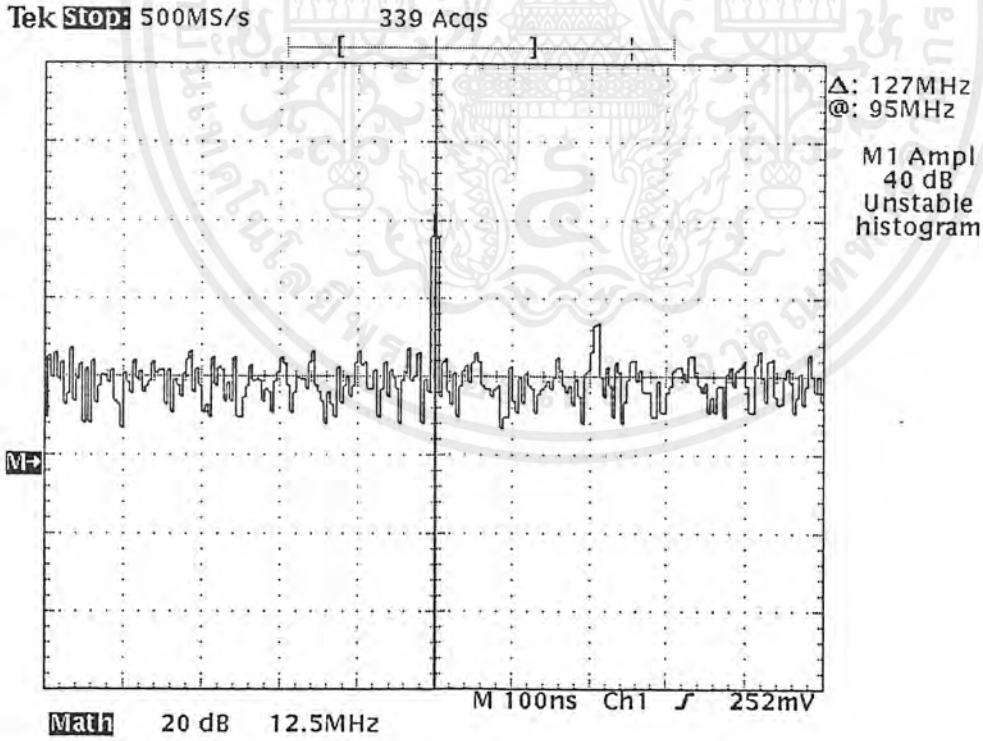


รูปที่ 4.22 รูปแสดงการเปรียบเทียบระหว่างสัญญาณก่อนและหลังการพรีเสกล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

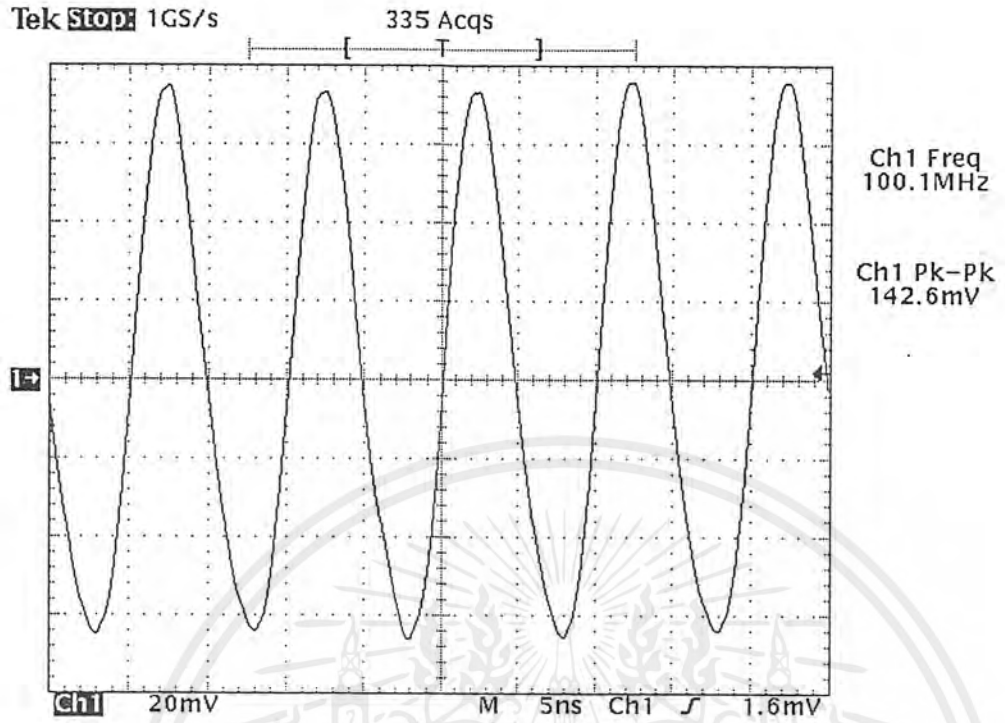


รูปที่ 4.23 แสดงความถี่ 94.74 MHz ที่ได้จากวีซีโอ

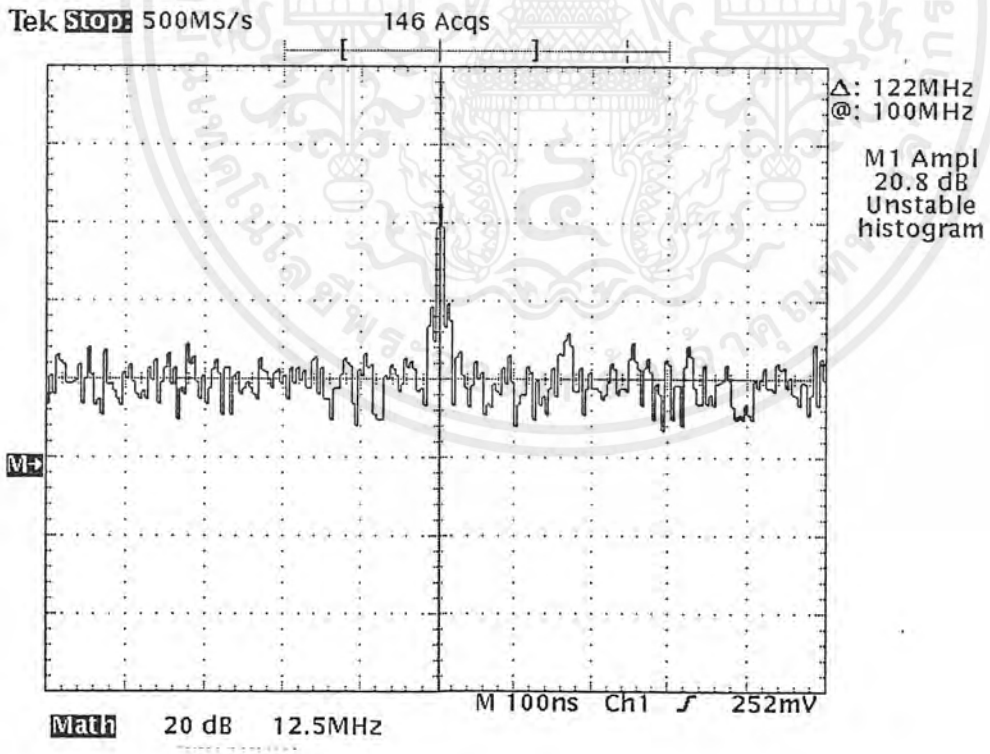


รูปที่ 4.24 แสดงเสปกตรัมของสัญญาณที่ความถี่ 94.74 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

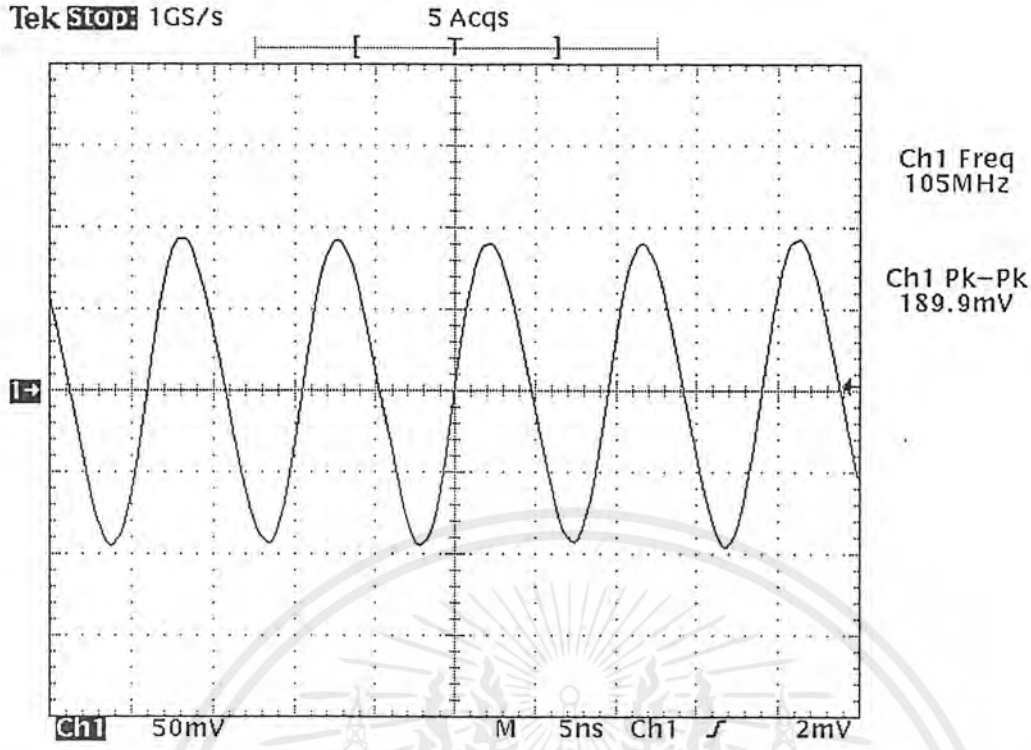


รูปที่ 4.25 แสดงความถี่ 100.1 MHz ที่ได้จากวีซีโอ

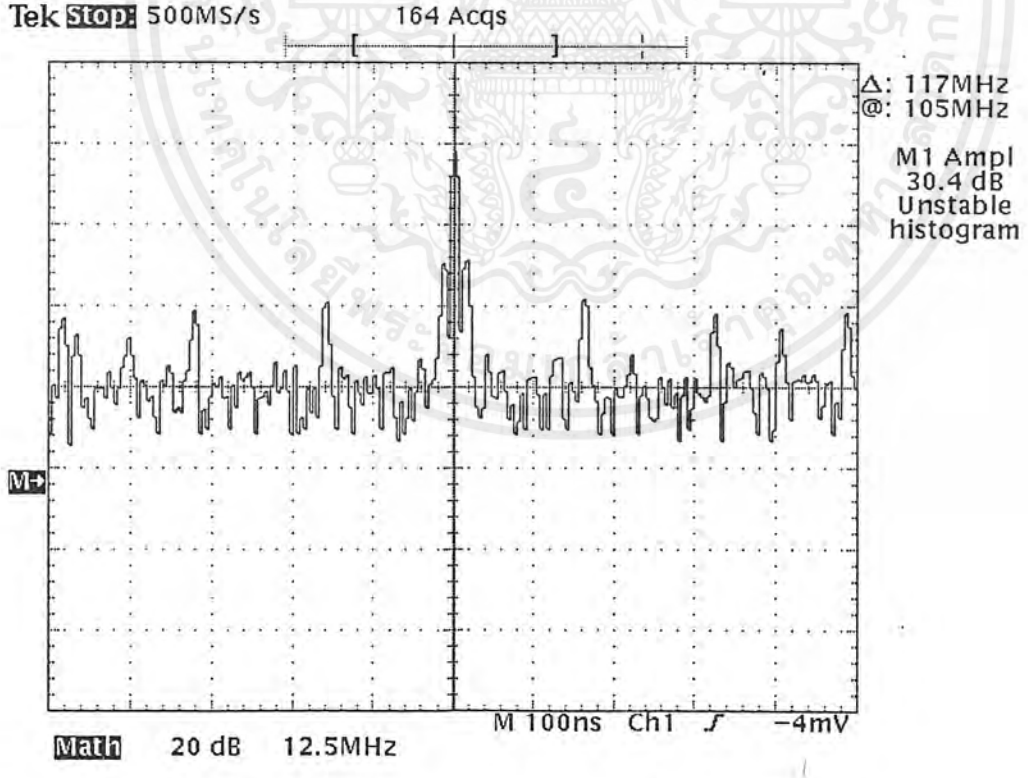


รูปที่ 4.26 แสดงเสปกตรัมของสัญญาณที่ความถี่ 100.1 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

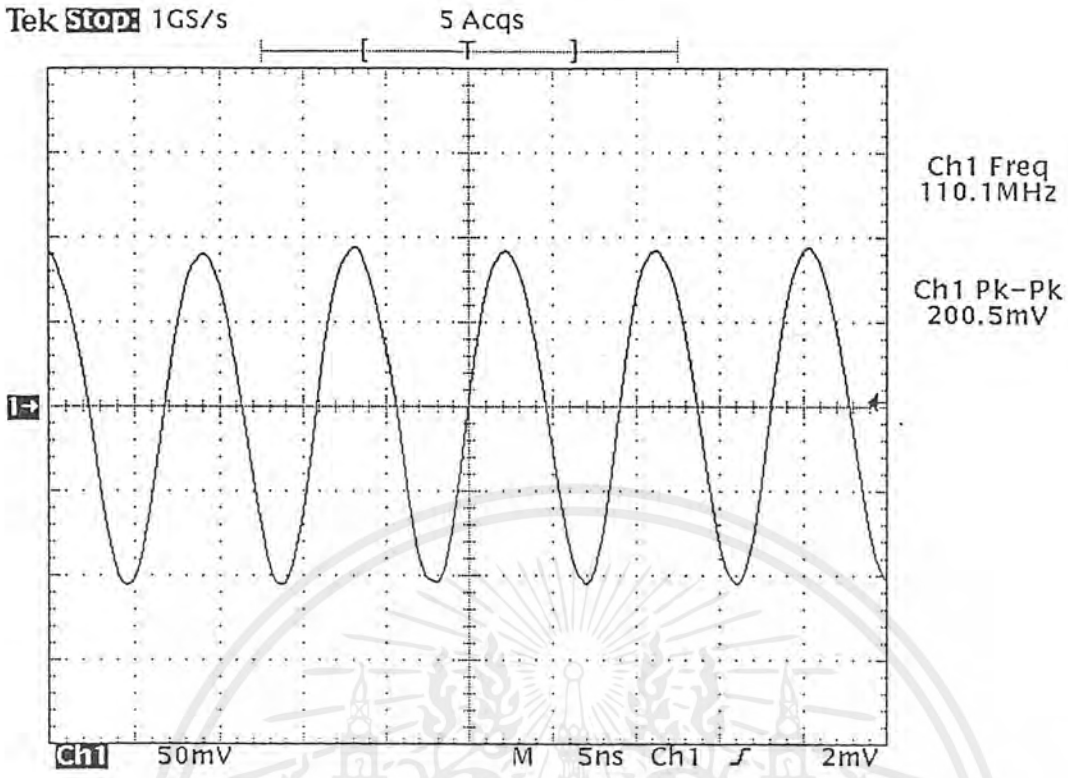


รูปที่ 4.27 แสดงความถี่ 105 MHz ที่ได้จากวีซีโอ

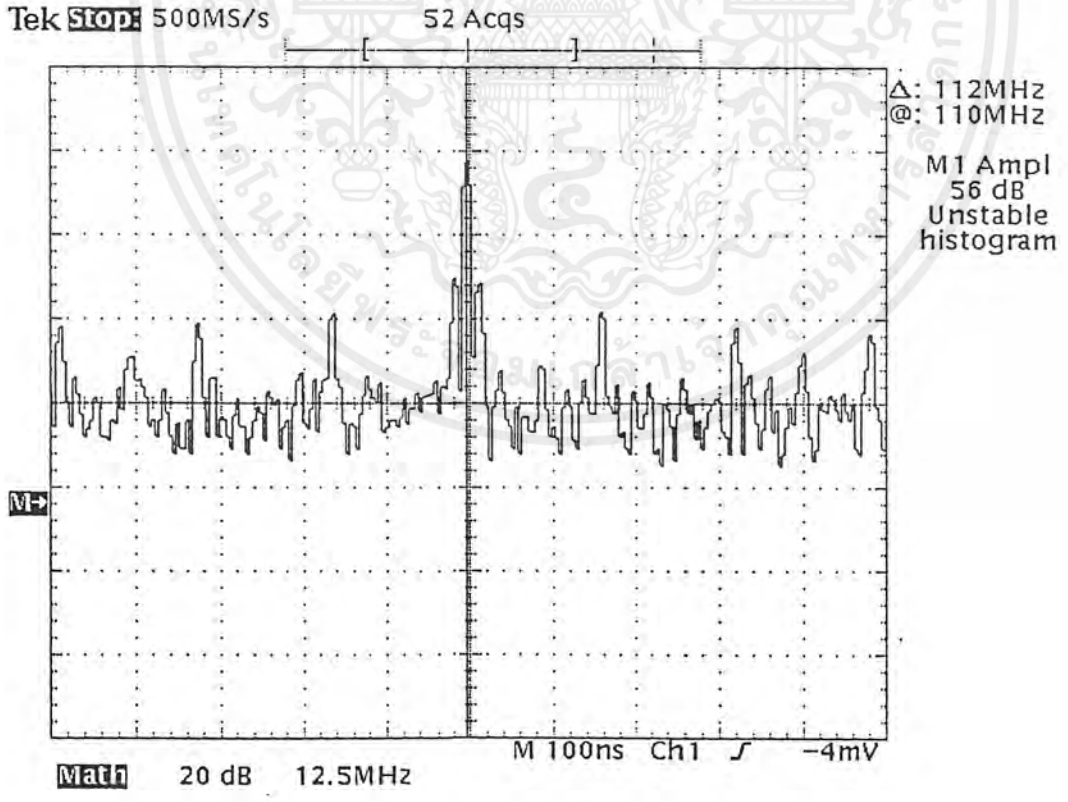


รูปที่ 4.28 แสดงเสปกตรัมของสัญญาณที่ความถี่ 105 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

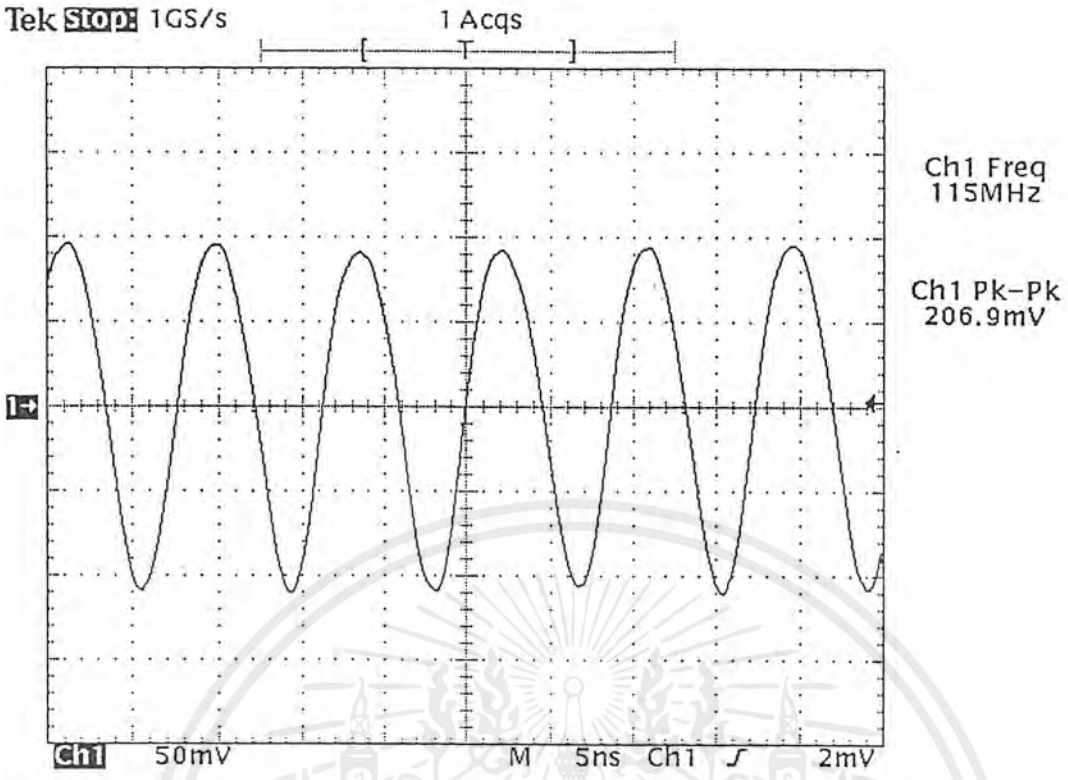


รูปที่ 4.29 แสดงความถี่ 110.1 MHz ที่ได้จากวีซีโอ

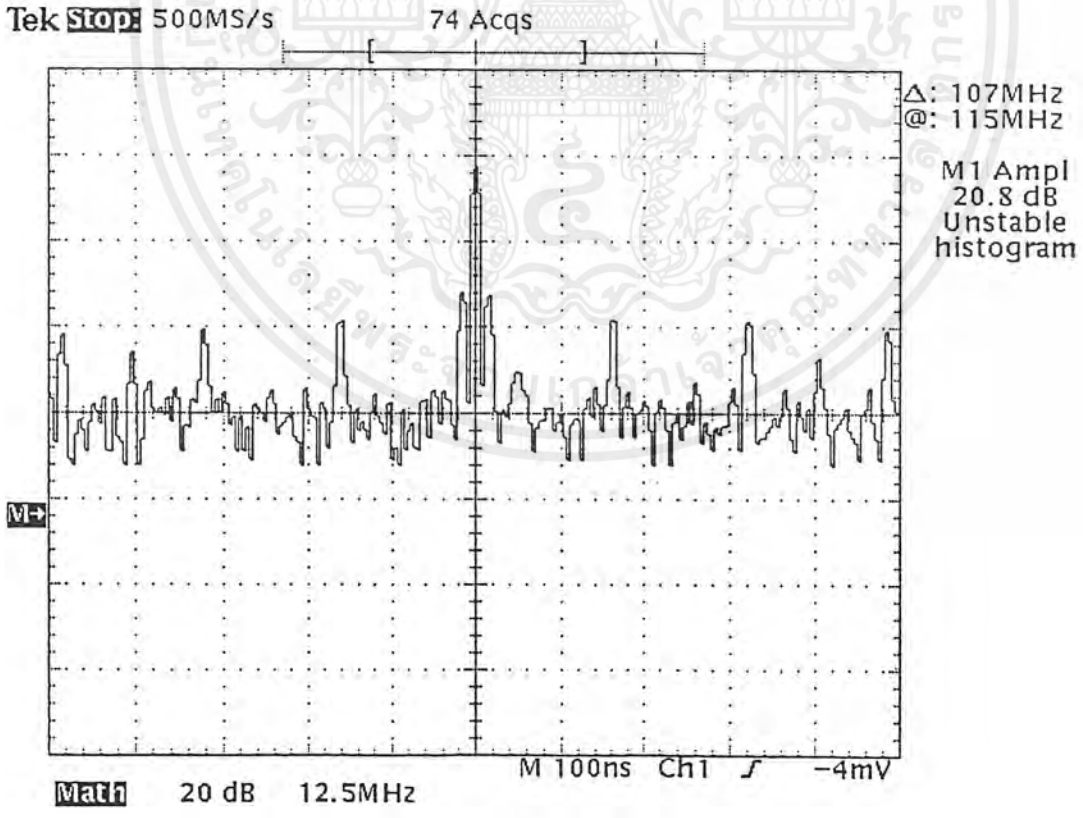


รูปที่ 4.30 แสดงเสปกตรัมของสัญญาณที่ความถี่ 110.1 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

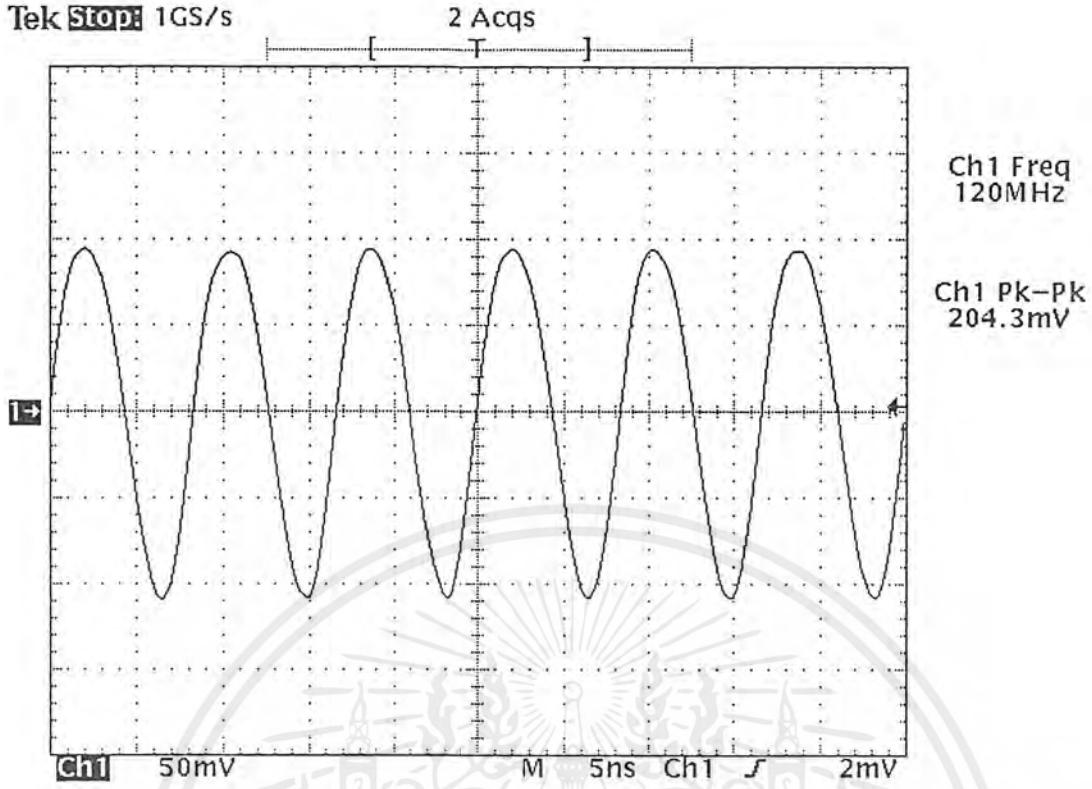


รูปที่ 4.31 แสดงความถี่ 115 MHz ที่ได้จากวีซีโอ

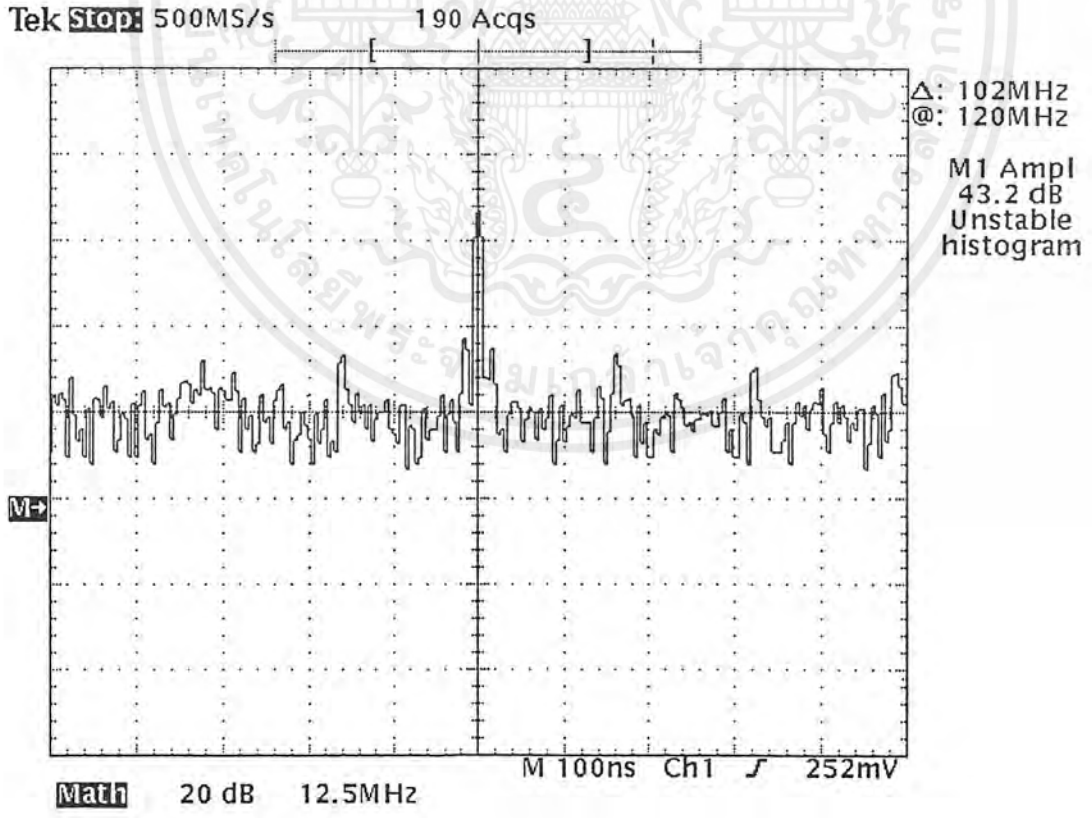


รูปที่ 4.32 แสดงเสปกตรัมของสัญญาณที่ความถี่ 115 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

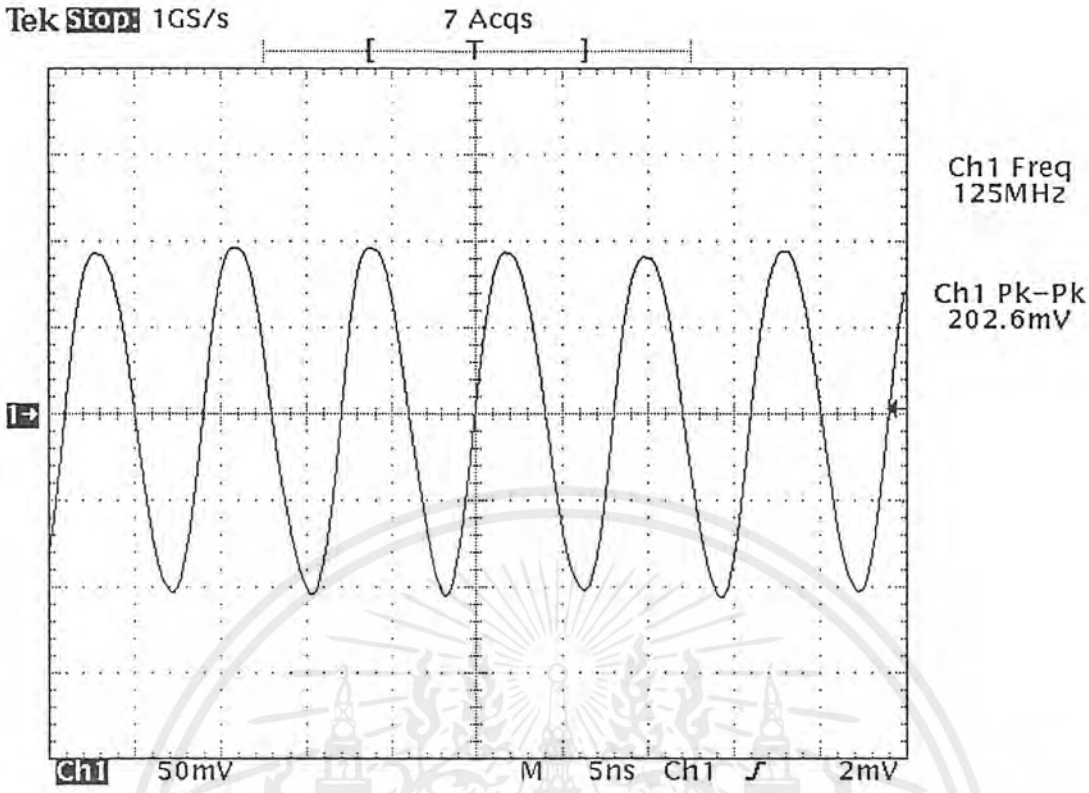


รูปที่ 4.33 แสดงความถี่ 120 MHz ที่ได้จากวีซีโอ

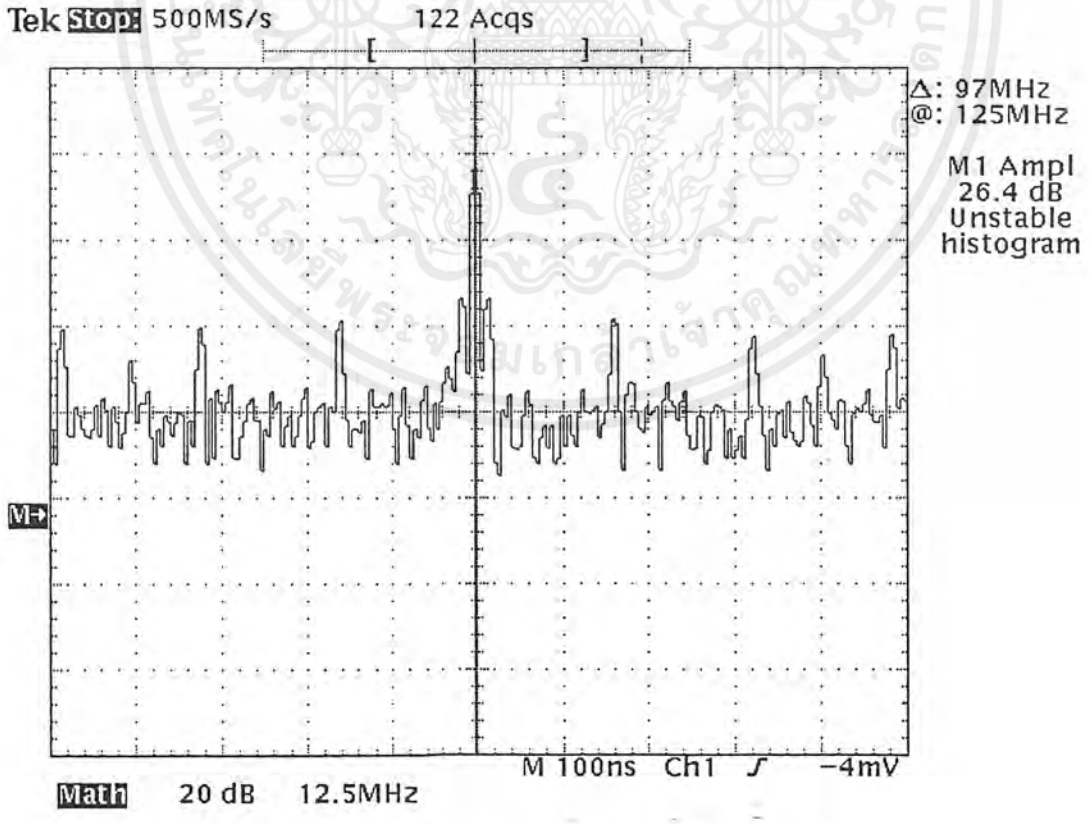


รูปที่ 4.34 แสดงเสปกตรัมของสัญญาณที่ความถี่ 120 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

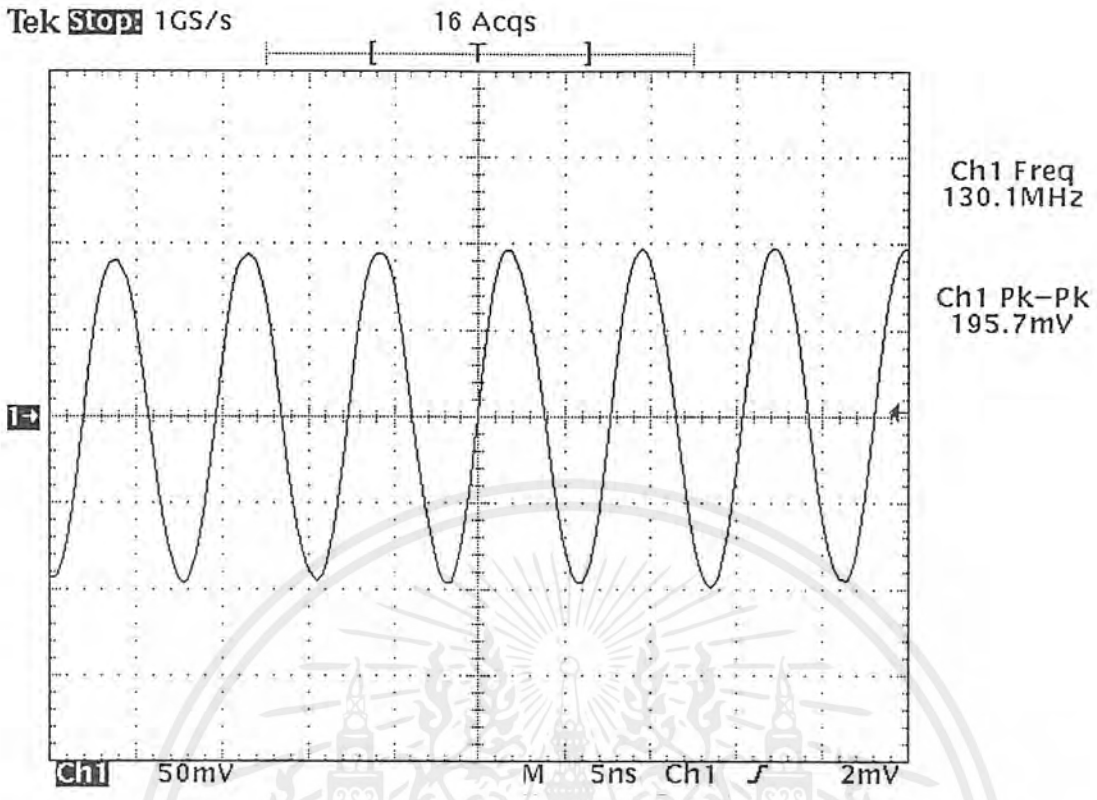


รูปที่ 4.35 แสดงความถี่ 125 MHz ที่ได้จากวีซีโอ

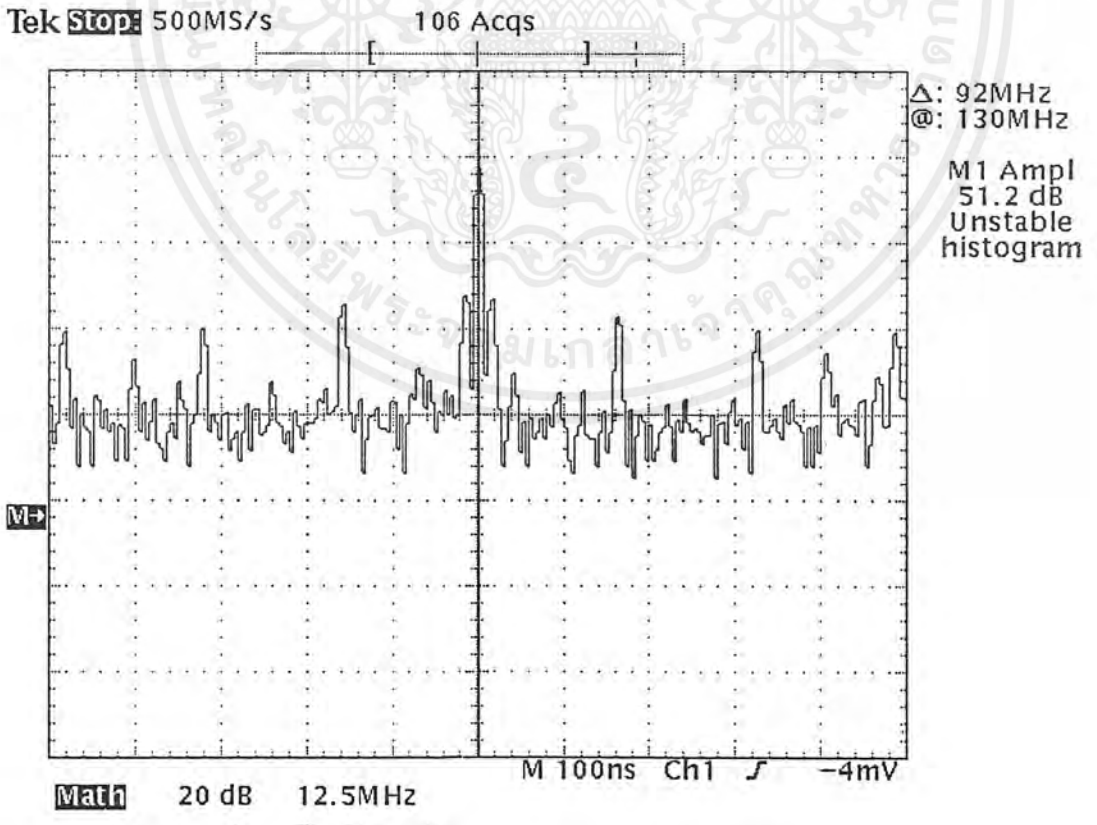


รูปที่ 4.36 แสดงเสปกตรัมของสัญญาณที่ความถี่ 125 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.37 แสดงความถี่ 130.1 MHz ที่ได้จากวีซีโอ



รูปที่ 4.38 แสดงเสปกตรัมของสัญญาณที่ความถี่ 130.1 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และบทสรุป

จากผลการทดลองจะเห็นได้ว่า รูปกราฟที่แสดงออกมามีค่าผิดพลาดซึ่งมีสาเหตุต่างๆ ได้แก่ ความไม่เป็นเชิงเส้นของวีซีโอ, ค่าความผิดเพี้ยนที่เกิดจากไซด์แบนด์ที่ลูปฟิลเตอร์, และค่าการสูญเสียที่จุดต่างๆ ทำให้ค่าของความถี่ที่ได้ในแต่ละช่วงไม่แปรผันแบบเชิงเส้นกับแรงดันควบคุม ทำให้เกิดความผิดเพี้ยนของสัญญาณบ้างเล็กน้อย รวมทั้งการแมตช์กันของค่าอิมพีแดนซ์ตามจุดต่างๆ ไม่สมบูรณ์ทำให้เกิดการสูญเสียตามจุดต่างๆ

วิธีการปรับปรุงแก้ไขให้ดีขึ้นก็คือ จะต้องออกแบบวงจรโดยเลือกอุปกรณ์ให้เหมาะสม, การต่ออุปกรณ์ตามจุดต่างๆ จะต้องทำให้เกิดการสูญเสียน้อยที่สุด และค่าอิมพีแดนซ์จะต้องแมตช์กันเพื่อไม่ให้เกิดการลดทอนของสัญญาณที่ความถี่สูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HARRIS Semiconductor

ICM7216A, ICM7216B, ICM7216D

8-Digit, Multi-Function, Frequency Counters/Timers

August 1997

Features All Versions

- Functions as a Frequency Counter (DC to 10MHz)
- Four Internal Gate Times: 0.01s, 0.1s, 1s, 10s in Frequency Counter Mode
- Directly Drives Digits and Segments of Large Multiplexed LED Displays (Common Anode and Common Cathode Versions)
- Single Nominal 5V Supply Required
- Highly Stable Oscillator, Uses 1MHz or 10MHz Crystal
- Internally Generated Decimal Points, Interdigit Blanking, Leading Zero Blanking and Overflow Indication
- Display Off Mode Turns Off Display and Puts Chip Into Low Power Mode
- Hold and Reset Inputs for Additional Flexibility

Features ICM7216A and ICM7216B

- Functions Also as a Period Counter, Unit Counter, Frequency Ratio Counter or Time Interval Counter
- 1 Cycle, 10 Cycles, 100 Cycles, 1000 Cycles in Period, Frequency Ratio and Time Interval Modes
- Measures Period From 0.5µs to 10s

Features ICM7216D

- Decimal Point and Leading Zero Banking May Be Externally Selected.

Ordering Information

PART NUMBER	TEMP. RANGE (°C)	PACKAGE	PKG. NO.
ICM7216AIJI	-25 to 85	28 Ld CERDIP	F28.6
ICM7216BIPI	-25 to 85	28 Ld PDIP	E28.6
ICM7216DIPI	-25 to 85	28 Ld PDIP	E28.6

Description

The ICM7216A and ICM7216B are fully integrated Timer Counters with LED display drivers. They combine a high frequency oscillator, a decade timebase counter, an 8-decade data counter and latches, a 7-segment decoder, digit multiplexers and 8-segment and 8-digit drivers which directly drive large multiplexed LED displays. The counter inputs have a maximum frequency of 10MHz in frequency and unit counter modes and 2MHz in the other modes. Both inputs are digital inputs. In many applications, amplification and level shifting will be required to obtain proper digital signals for these inputs.

The ICM7216A and ICM7216B can function as a frequency counter, period counter, frequency ratio (f_A/f_B) counter, time interval counter or as a totalizing counter. The counter uses either a 10MHz or 1MHz quartz crystal timebase. For period and time interval, the 10MHz timebase gives a 0.1µs resolution. In period average and time interval average, the resolution can be in the nanosecond range. In the frequency mode, the user can select accumulation times of 0.01s, 0.1s, 1s and 10s. With a 10s accumulation time, the frequency can be displayed to a resolution of 0.1Hz in the least significant digit. There is 0.2s between measurements in all ranges.

The ICM7216D functions as a frequency counter only, as described above.

All versions of the ICM7216 incorporate leading zero blanking. Frequency is displayed in kHz. In the ICM7216A and ICM7216B, time is displayed in µs. The display is multiplexed at 500Hz with a 12.2% duty cycle for each digit. The ICM7216A is designed for common anode displays with typical peak segment currents of 25mA. The ICM7216B and ICM7216D are designed for common cathode displays with typical peak segment currents of 12mA. In the display off mode, both digit and segment drivers are turned off, enabling the display to be used for other functions.

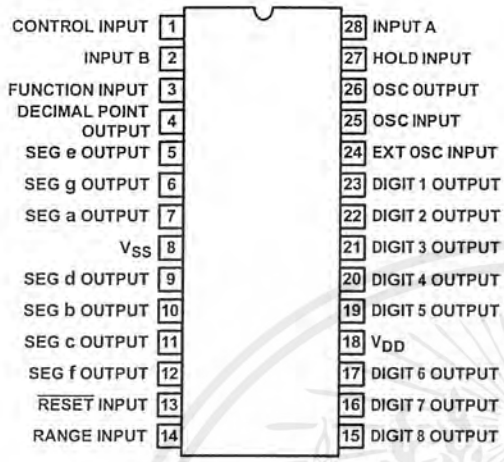
CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper IC Handling Procedures.
Copyright © Harris Corporation 1997

File Number 3166.1

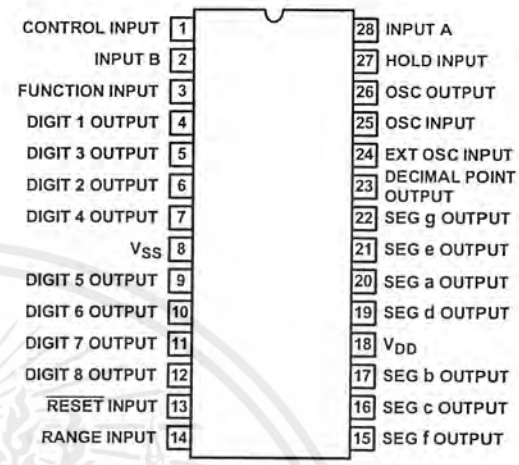
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pinouts

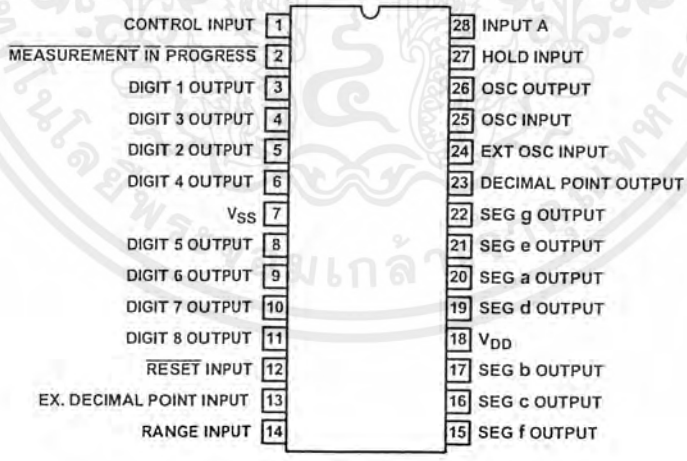
ICM7216A
COMMON ANODE
(CERDIP)
TOP VIEW



ICM7216B
COMMON CATHODE
(PDIP)
TOP VIEW

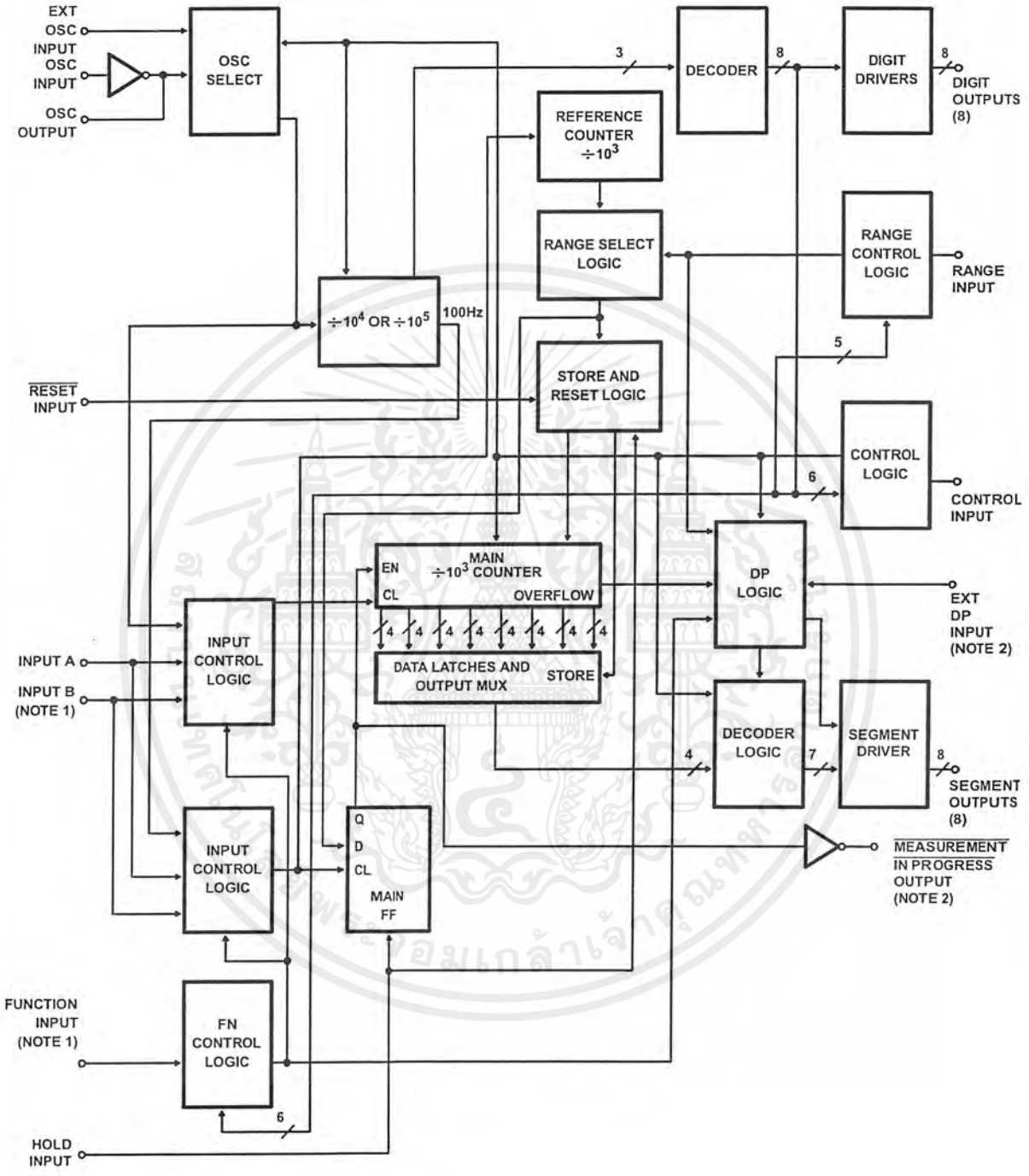


ICM7216D
COMMON CATHODE
(PDIP)
TOP VIEW



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Block Diagram



NOTES:

1. Function input and input B available on ICM7216A/B only.
2. Ext DP input and $\overline{\text{MEASUREMENT IN PROGRESS}}$ output available on ICM7216D only.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Maximum Supply Voltage (V_{DD} - V_{SS}) 6.5V
Maximum Digit Output Current 400mA
Maximum Segment Output Current 60mA
Voltage On Any Input or
Output Terminal (Note 1) . . . . . (V_{DD} +0.3V) to (V_{SS} -0.3V)

Operating Conditions

Temperature Range . . . . . -25 °C to 85°C

Thermal Information

Thermal Resistance (Typical, Note 2)	θ_{JA} (°C/W)	θ_{JC} (°C/W)
CERDIP Package	50	10
PDIP Package	55	N/A

Maximum Junction Temperature
CERDIP Package . . . . . 175 °C
PDIP Package . . . . . 150 °C
Maximum Storage Temperature Range . . . . . -65 °C to 150°C
Maximum Lead Temperature (Soldering 10s) . . . . . 300 °C

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTES:

1. The ICM7216 may be triggered into a destructive latchup mode if either input signals are applied before the power supply is a pplied or if input or outputs are forced to voltages exceeding V_{DD} to V_{SS} by more than 0.3V.
2. θ_{JA} is measured with the component mounted on an evaluation PC board in free air.

Electrical Specifications

V_{DD} = 5.0V, V_{SS} = 0V, T_A = 25°C, Unless Otherwise Specified

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
ICM7216A/B					
Operating Supply Current, I_{DD}	Display Off, Unused Inputs to V_{SS}	-	2	5	mA
Supply Voltage Range (V_{DD} -V_{SS}), V_{SUPPLY}	INPUT A, INPUT B Frequency at f_{MAX}	4.75	-	6.0	V
Maximum Frequency INPUT A, Pin 28, $f_{A(MAX)}$	Figure 9, Function = Frequency, Ratio, Unit Counter	10	-	-	MHz
	Function = Period, Time Interval	2.5	-	-	MHz
Maximum Frequency INPUT B, Pin 2, $f_{B(MAX)}$	Figure 10	2.5	-	-	MHz
Minimum Separation INPUT A to INPUT B Time Interval Function	Figure 1	250	-	-	ns
Maximum Oscillator Frequency and External Oscillator Frequency, f_{OSC}		10	-	-	MHz
Minimum External Oscillator Frequency, f_{OSC}		-	-	100	kHz
Oscillator Transconductance, g_M	V_{DD} = 4.75V, T_A = 85°C	2000	-	-	µS
Multiplex Frequency, f_{MUX}	f_{OSC} = 10MHz	-	500	-	Hz
Time Between Measurements	f_{OSC} = 10MHz	-	200	-	ms
Input Voltages: Pins 2, 13, 25, 27, 28 Input Low Voltage, V_{INL}		-	-	1.0	V
Input High Voltage, V_{INH}		3.5	-	-	V
Input Resistance to V_{DD} Pins 13, 24, R_{IN}	V_{IN} = V_{DD} -1.0V	100	400	-	kΩ
Input Leakage Pins 27, 28, 2, I_{ILK}		-	-	20	µA
Input Range of Change, dV_{IN}/dt	Supplies Well Bypassed	-	15	-	mV/µs
ICM7216A					
Digit Driver: Pins 15, 16, 17, 19, 20, 21, 22, 23 High Output Current, I_{OH}	V_{OUT} = V_{DD} -2.0V	-140	-180	-	mA
Low Output Current, I_{OL}	V_{OUT} = V_{SS} +1.0V	-	0.3	-	mA
Segment Driver: Pins 4, 5, 6, 7, 9,10, 11, 12 Low Output Current, I_{OL}	V_{OUT} = V_{SS} +1.5V	20	35	-	mA
High Output Current, I_{OH}	V_{OUT} = V_{DD} -2.5V	-	-100	-	µA
Multiplex Inputs: Pins 1, 3, 14 Input Low Voltage, V_{INL}		-	-	0.8	V
Input High Voltage, V_{INH}		2.0	-	-	V
Input Resistance to V_{SS}, R_{IN}	V_{IN} = V_{SS} +1.0V	50	100	-	kΩ

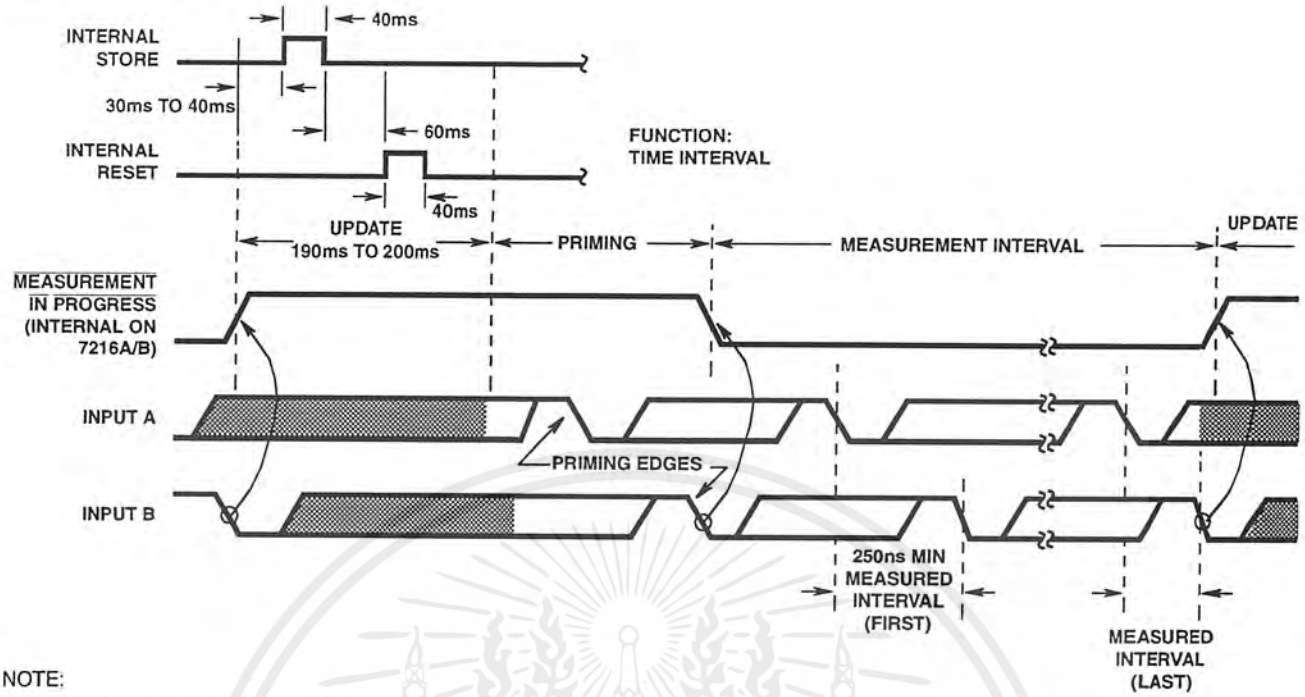
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Specifications V_{DD} = 5.0V, V_{SS} = 0V, T_A = 25°C, Unless Otherwise Specified **(Continued)**

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
ICM7216B					
Digit Driver: Pins 4, 5, 6, 7, 9, 10, 11, 12					
Low Output Current, I_{OL}	$V_{OUT} = V_{SS}$ +1.3V	50	75	-	mA
High Output Current, I_{OH}	$V_{OUT} = V_{DD}$ -2.5V	-	-100	-	µA
Segment Driver: Pins 15, 16, 17, 19, 20, 21, 22, 23					
High Output Current, I_{OH}	$V_{OUT} = V_{DD}$ -2.0V	-10	-	-	mA
Leakage Current, I_{SLK}	$V_{OUT} = V_{DD}$ -2.5V	-	-	10	µA
Multiplex Inputs: Pins 1, 3, 14					
Input Low Voltage, V_{INL}		-	-	V_{DD} -2.0	V
Input High Voltage, V_{INH}		V_{DD} -0.8	-	-	V
Input Resistance to V_{DD}, R_{IN}	$V_{IN} = V_{DD}$ -2.5V	100	360	-	kΩ
ICM7216D					
Operating Supply Current, I_{DD}	Display Off, Unused Inputs to V_{SS}	-	2	5	mA
Supply Voltage Range (V_{DD} -V_{SS}), V_{SUPPLY}	INPUT A Frequency at f_{MAX}	4.75	-	6.0	V
Maximum Frequency INPUT A, Pin 28, $f_{A(MAX)}$	Figure 9	10	-	-	MHz
Maximum Oscillator Frequency and External Oscillator Frequency, f_{OSC}		10	-	-	MHz
Minimum External Oscillator Frequency, f_{OSC}		-	-	100	kHz
Oscillator Transconductance, g_M	V_{DD} = 4.75V, T_A = 85°C	2000	-	-	µS
Multiplex Frequency, f_{MUX}	f_{OSC} = 10MHz	-	500	-	Hz
Time Between Measurements	f_{OSC} = 10MHz	-	200	-	ms
Input Voltages: Pins 12, 27, 28					
Input Low Voltage, V_{INL}		-	-	1.0	V
Input High Voltage, V_{INH}		3.5	-	-	V
Input Resistance to V_{DD}, Pins 12, 24, R_{IN}	$V_{IN} = V_{DD}$ -1.0V	100	400	-	kΩ
Input Leakage, Pins 27, 28, I_{ILK}		-	-	20	µA
Output Current, Pin 2, I_{OL}	V_{OL} = +0.4V	0.36	-	-	mA
Output Current, Pin 2, I_{OH}	$V_{OH} = V_{DD}$ -0.8V	265	-	-	µA
Input Rate of Change, dV_{IN}/dt	Supplies Well Bypassed	-	15	-	mV/ µs
Digit Driver: Pins 3, 4, 5, 6, 8, 9, 10, 11					
Low Output Current, I_{OL}	V_{OUT} = +1.3V	50	75	-	mA
High Output Current, I_{OH}	$V_{OUT} = V_{DD}$ -2.5V	-	100	-	µA
Segment Driver: Pins 15, 16, 17, 19, 20, 21, 22, 23					
High Output Current, I_{OH}	$V_{OUT} = V_{DD}$ -2.0V	10	15		mA
Leakage Current, I_{SLK}	$V_{OUT} = V_{DD}$ -2.5V	-	-	10	µA
Multiplex Inputs: Pins 1, 13, 14					
Input Low Voltage, V_{INL}		-	-	V_{DD} -2.0	V
Input High Voltage, V_{INH}		V_{DD} -0.8	-	-	V
Input Resistance to V_{DD}, R_{IN}	$V_{IN} = V_{DD}$ -1.0V	100	360	-	kΩ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Diagram



NOTE:

1. If range is set to 1 event, first and last measured interval will coincide.

FIGURE 1. WAVEFORMS FOR TIME INTERVAL MEASUREMENT (OTHERS ARE SIMILAR, BUT WITHOUT PRIMING PHASE)

Typical Performance Curves

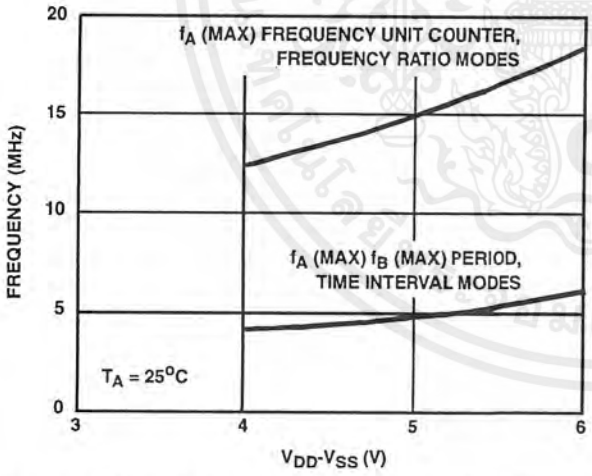


FIGURE 2. f_A(MAX), f_B(MAX) AS A FUNCTION OF SUPPLY

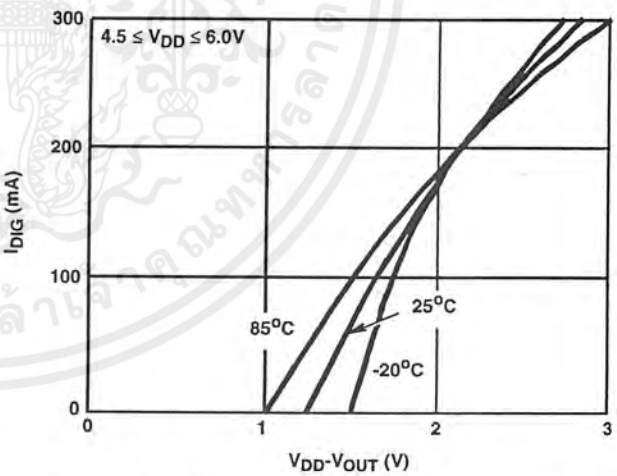


FIGURE 3. ICM7216A TYPICAL I_{DIG} vs V_{DD}-V_{OUT}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves (Continued)

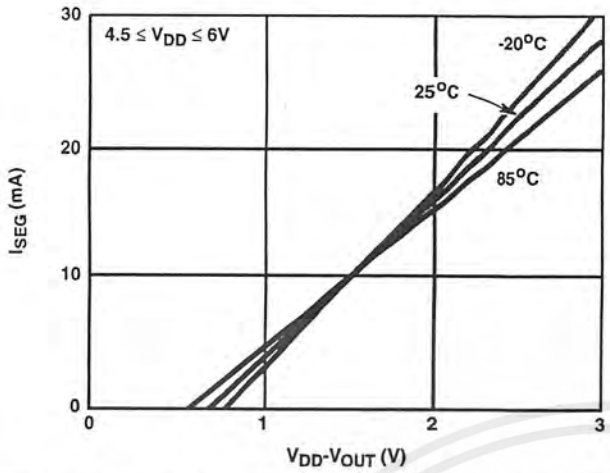


FIGURE 4. ICM7216B AND ICM7216D TYPICAL I_{SEG} vs V_{DD}-V_{OUT}

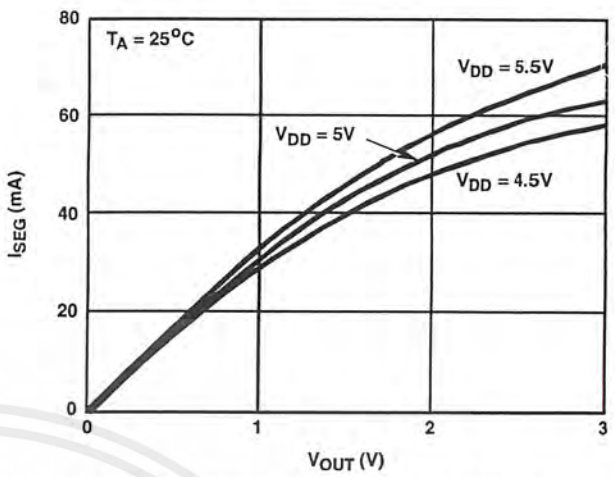


FIGURE 5. ICM7216A TYPICAL I_{SEG} vs V_{OUT}

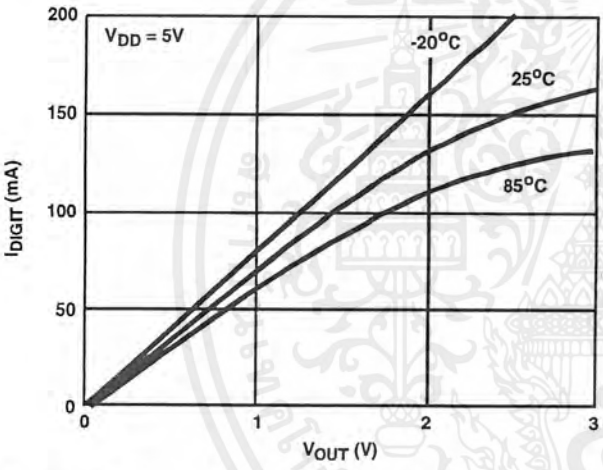


FIGURE 6. ICM7216B AND ICM7216D TYPICAL I_{DIGIT} vs V_{OUT}

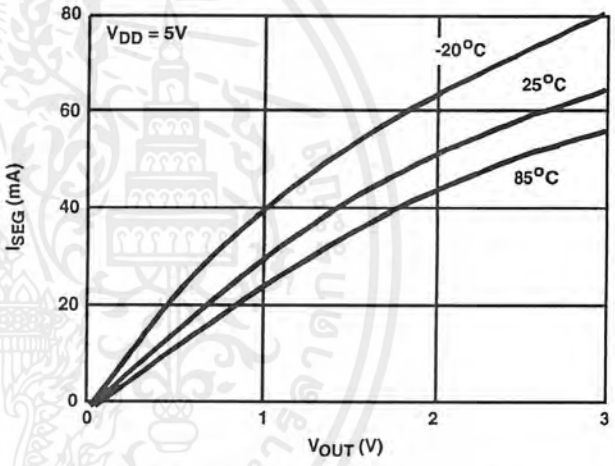


FIGURE 7. ICM7216A TYPICAL I_{SEG} vs V_{OUT}

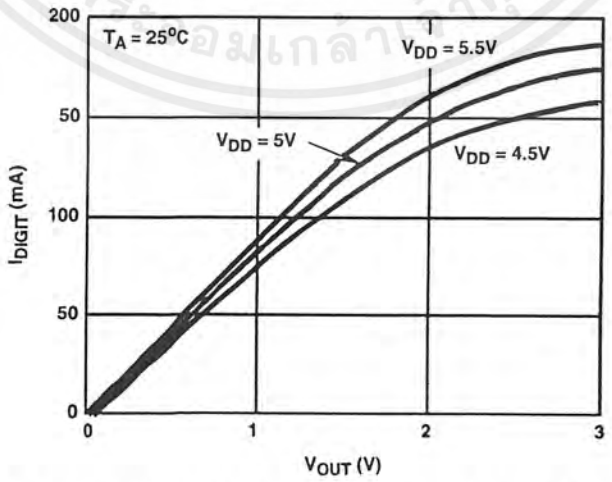


FIGURE 8. ICM7216B AND ICM7216D TYPICAL I_{DIGIT} vs V_{OUT}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Description

INPUTS A and B

INPUTS A and B are digital inputs with a typical switching threshold of 2V at V_{DD} = 5V. For optimum performance the peak-to-peak input signal should be at least 50% of the supply voltage and centered about the switching voltage. When these inputs are being driven from TTL logic, it is desirable to use a pullup resistor. The circuit counts high to low transitions at both inputs. (INPUT B is available only on ICM7216A and ICM7216B).

Note that the amplitude of the input should not exceed the device supply (above the V_{DD} and below the V_{SS}) by more than 0.3V, otherwise the device may be damaged.

Multiplexed Inputs

The FUNCTION, RANGE, CONTROL and EXTERNAL DECIMAL POINT inputs are time multiplexed to select the function desired. This is achieved by connecting the appropriate Digit driver output to the inputs. The function, range and control inputs must be stable during the last half of each digit output, (typically 125µs). The multiplexed inputs are active high for the common anode ICM7216A and active low for the common cathode ICM7216B and ICM7216D.

Noise on the multiplex inputs can cause improper operation. This is particularly true when the **unit counter** mode of operation is selected, since changes in voltage on the digit drivers can be capacitively coupled through the LED diodes to the multiplex inputs. For maximum noise immunity, a 10kΩ resistor should be placed in series with the multiplexed inputs as shown in the application circuits.

Table 1 shows the functions selected by each digit for these inputs.

TABLE 1. MULTIPLEXED INPUT FUNCTIONS

	FUNCTION	DIGIT
FUNCTION INPUT (Pin 3, ICM7216A and B Only)	Frequency	D1
	Period	D8
	Frequency Ratio	D2
	Time Interval	D5
	Unit Counter	D4
	Oscillator Frequency	D3
RANGE INPUT, Pin 14	0.01s/1 Cycle	D1
	0.1s/10 Cycles	D2
	1s/100 Cycles	D3
	10s/1K Cycles	D4
CONTROL INPUT, Pin 1	Display Off	D4 and Hold
	Display Test	D8
	1MHz Select	D2
	External Oscillator Enable	D1
	External Decimal Point Enable	D3
External DP INPUT (Pin 13, ICM7216D Only)	Decimal point is output for same digit that is connected to this input.	

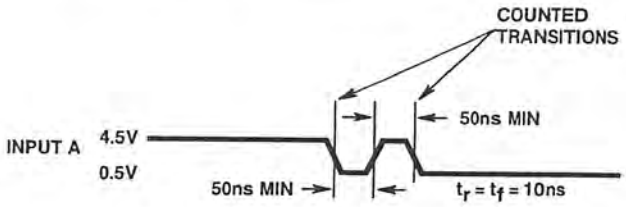


FIGURE 9. WAVEFORM FOR GUARANTEED MINIMUM f_A(MAX) FUNCTION = FREQUENCY, FREQUENCY RATIO, UNIT COUNTER

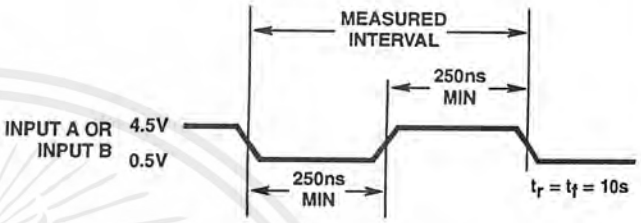


FIGURE 10. WAVEFORM FOR GUARANTEED MINIMUM f_B(MAX) AND f_A(MAX) FOR FUNCTION = PERIOD AND TIME INTERVAL

Function Input

The six functions that can be selected are: **Frequency, Period, Time Interval, Unit Counter, Frequency Ratio** and **Oscillator Frequency.** This input is available on the ICM7216A and ICM7216B only.

The implementation of different functions is done by routing the different signals to two counters, called "Main Counter" and "Reference Counter". A simplified block diagram of the device for functions realization is shown in Figure 11. Table 2 shows which signals will be routed to each counter in different cases. The output of the Main Counter is the information which goes to the display. The Reference Counter divides its input by 1, 10, 100 and 1000. One of these outputs will be selected through the range selector and drive the enable input of the Main Counter. This means that the Reference Counter, along with its associated blocks, directs the Main Counter to begin counting and determines the length of the counting period. Note that Figure 11 does not show the complete functional diagram (See the Functional Block Diagram). After the end of each counting period, the output of the Main Counter will be latched and displayed, then the counter will be reset and a new measurement cycle will begin. Any change in the FUNCTION INPUT will stop the present measurement without updating the display and then initiate a new measurement. This prevents an erroneous first reading after the FUNCTION INPUT is changed. In all cases, the 1-0 transitions are counted or timed.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

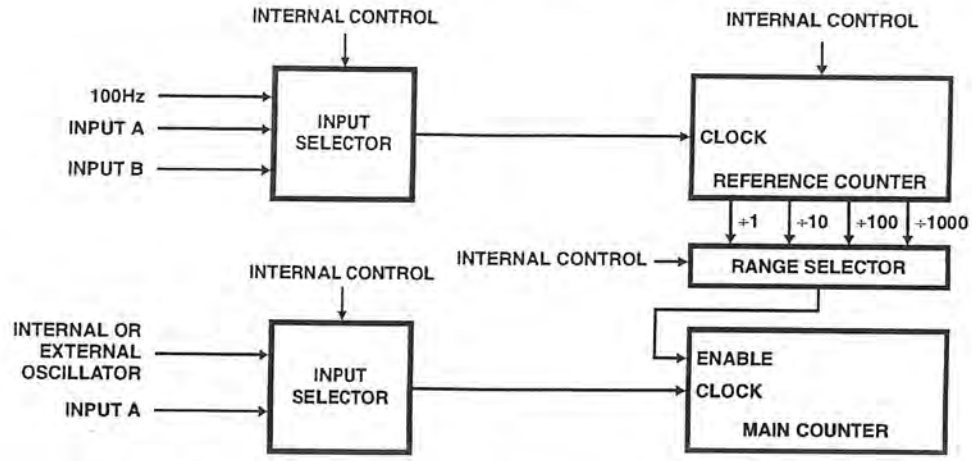


FIGURE 11. SIMPLIFIED BLOCK DIAGRAM OF FUNCTIONS IMPLEMENTATION

TABLE 2. 7216A/B INPUT ROUTING

FUNCTION	MAIN COUNTER	REFERENCE COUNTER
Frequency (f_A)	Input A	100Hz (Oscillator $\div 10^5$ or 10^4)
Period (t_A)	Oscillator	Input A
Ratio (f_A/f_B)	Input A	Input B
Time Interval (A→B)	Oscillator	Input A Input B
Unit Counter (Count A)	Input A	Not Applicable
Osc. Freq. (f_{OSC})	Oscillator	100Hz (Oscillator $\div 10^5$ or 10^4)

Frequency - In this mode input A is counted by the Main Counter for a precise period of time. This time is determined by the time base oscillator and the selected range. For the 10MHz (or 1MHz) time base, the resolutions are 100Hz, 10Hz, 1Hz and 0.1Hz. The decimal point on the display is set for kHz reading.

Period - In this mode, the timebase oscillator is counted by the Main Counter for the duration of 1, 10, 100 or 1000 (range selected) periods of the signal at input A. A 10MHz timebase gives resolutions of 0.1µs to 0.0001µs for 1000 periods averaging. Note that the maximum input frequency for period measurement is 2.5MHz.

Frequency Ratio - In this mode, the input A is counted by the Main Counter for the duration of 1, 10, 100 or 1000 (range selected) periods of the signal at input B. The frequency at input A should be higher than input B for meaningful result. The result in this case is unitless and its resolution can go up to 3 digits after decimal point.

Time Interval - In this mode, the timebase oscillator is counted by the Main Counter for the duration of a 1-0 transition of input A until a 1-0 transition of input B. This means input A starts the counting and input B stops it. If other ranges, except 0.01s/1 cycle are selected the sequence of input A and B transitions must happen 10, 100 or 1000 times until the display becomes updated; note this when measuring long time intervals to give enough time for measurement completion. The resolution in this mode is the same as for period measurement. See the Time Interval Measurement section also.

Unit Counter - In this mode, the Main Counter is always enabled. The input A is counted by the Main Counter and displayed continuously.

Oscillator Frequency - In this mode, the device makes a frequency measurement on its timebase. This is a self test mode for device functionality check. For 10MHz timebase the display will show 10000.0, 10000.00, 10000.000 and Overflow in different ranges.

Range Input

The RANGE INPUT selects whether the measurement period is made for 1, 10, 100 or 1000 counts of the Reference Counter. As it is shown in Table 1, this gives different counting windows for frequency measurement and various cycles for other modes of measurement.

In all functional modes except Unit Counter, any change in the RANGE INPUT will stop the present measurement without updating the display and then initiate a new measurement. This prevents an erroneous first reading after the RANGE INPUT is changed.

Control Input

Unlike the other multiplexed inputs, to which only one of the digit outputs can be connected at a time, this input can be tied to different digit lines to select combination of controls. In this case, isolation diodes must be used in digit lines to avoid crosstalk between them (see Figure 17). The direction of diodes depends on the device version, common anode or common cathode. For maximum noise immunity at this input, in addition to the 10K resistor which was mentioned before, a 39pF to 100pF capacitor should also be placed between this input and the V_{DD} or V_{SS} (See Figure 17).

Display Off - To disable the display drivers, it is necessary to tie the D4 line to the CONTROL INPUT and have the HOLD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

input at V_{DD}. While in Display Off mode, the segments and digit drivers are all off, leaving the display lines floating, so the display can be shared with other devices. In this mode, the oscillator continues to run with a typical supply current of 1.5mA with a 10MHz crystal, but no measurements are made and multiplexed inputs are inactive. A new measurement cycle will be initiated when the HOLD input is switched to V_{SS}.

Display Test - Display will turn on with all the digits showing 8s and all decimal points on. The display will be blanked if Display Off is selected at the same time.

1MHz Select - The 1MHz select mode allows use of a 1MHz crystal with the same digit multiplex rate and time between measurement as with a 10MHz crystal. This is done by dividing the oscillator frequency by 10^4 rather than 10^5. The decimal point is also shifted one digit to the right in period and time interval, since the least significant digit will be in µs increment rather than 0.1µs increment.

External Oscillator Enable - In this mode, the signal at EXT OSC INPUT is used as a timebase instead of the on-board crystal oscillator (built around the OSC INPUT, OSC OUTPUT inputs). This input can be used for an external stable temperature compensated crystal oscillator or for special measurements with any external source. The on-board crystal oscillator continues to work when the external oscillator is selected. This is necessary to avoid hang-up problems, and has no effect on the chip's functional operation. If the on-board oscillator frequency is less than 1MHz or only the external oscillator is used, THE OSC INPUT MUST BE CONNECTED TO THE EXT OSC INPUT providing the timebase has enough voltage swing for OSC INPUT (See Electrical Specifications). If the external timebase is TTL level a pullup resistor must be used for OSC INPUT. The other way is to put a 22MΩ resistor between OSC INPUT and OSC OUTPUT and capacitively couple the EXT OSC INPUT to OSC INPUT. This will bias the OSC INPUT at its threshold and the drive voltage will need to be only $2V_{P-P}$. The external timebase frequency must be greater than 100kHz or the [illegible] to enable the on-board oscillator.

[illegible] Enable - In this mode, the EX DP [illegible] 7216D only). A decimal point will be [illegible] that its output line is connected to this input (EX DP INPUT). Digit 8 should not be used since it will override the overflow output. Leading zero blanking is effective for the digits to the left of selected decimal point.

Hold Input

Except in the **unit counter mode**, when the HOLD input is at V_{DD}, any measurement in progress (before $\overline{\text{STORE}}$ goes low) is stopped, the main counter is reset and the chip is held ready to initiate a new measurement as soon as HOLD goes low. The latches which hold the main counter data are not updated, so the last complete measurement is displayed. In **unit counter** mode when HOLD input is at V_{DD}, the counter is not stopped or reset, but the display is frozen at that instantaneous value. When HOLD goes low the count continues from the new value in the new counter.

$\overline{\text{RESET}}$ Input

The $\overline{\text{RESET}}$ input resets the main counter, stops any measurement in progress, and enables the main counter latches, resulting in an all zero output. A capacitor to ground will prevent any hang-ups on power-up.

$\overline{\text{MEASUREMENT}}$ IN PROGRESS

This output is provided in ICM7216D. It stays low during measurements and goes high for intervals between measurements. It is provided for system interfacing and can drive a low power Schottky TTL or one ECL load if the ECL device is powered from the same supply as ICM7216D.

Decimal Point Position

Table 3 shows the decimal point position for different modes of ICM7216 operation. Note that the digit 1 is the least significant digit. Table 3 is for 10MHz timebase frequency.

Overflow Indication

When overflow happens in any measurement it will be indicated on the decimal point of the digit 8. A separate LED indicator can be used. Figure 12 shows how to connect this indicator.

FIGURE 12. SEGMENT IDENTIFICATION AND DISPLAY FONT

Overflow will be indicated on the decimal point output of digit 8. A separate LED overflow indicator can be connected as follows:

DEVICE	CATHODE	ANODE
ICM7216A	Decimal Point	D8
ICM7216B/D	D8	Decimal Point

TABLE 3. DECIMAL POINT POSITIONS

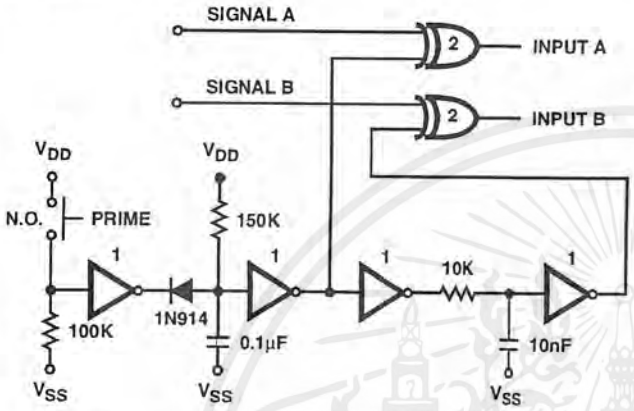
RANGE	FREQUENCY	PERIOD	FREQUENCY RATIO	TIME INTERVAL	UNIT COUNTER	OSCILLATOR FREQUENCY
0.01s/1 Cycle	D2	D2	D1	D2	D1	D2
[illegible] Cycle	D3	D3	D2	D3	D1	D3
[illegible]	D4	D4	D3	D4	D1	D4
[illegible]	D5	D5	D4	D5	D1	D5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Time Interval Measurement

When in the **time interval** mode and measuring a single event, the ICM7216A and ICM7216B must first be "primed" prior to measuring the event of interest. This is done by first generating a negative going edge on Channel A followed by a negative going edge on Channel B to start the "measurement interval". The inputs are then primed ready for the measurement. Positive going edges on A and B, before or after the priming, will be needed to restore the original condition.

Priming can be easily accomplished using the circuit in Figure 13.



DEVICE	TYPE
1	CD4049B Inverting Buffer
2	CD4070B Exclusive - OR

FIGURE 13. PRIMING CIRCUIT, SIGNALS A AND B BOTH HIGH OR LOW

Following the priming procedure (when in single event or 1 cycle range) the device is ready to measure one (only) event.

When timing repetitive signals, it is not necessary to "prime" the ICM7216A and ICM7216B as the first alternating signal states automatically prime the device. See Figure 1.

During any time interval measurement cycle, the ICM7216A and ICM7216B require 200ms following B going low to update all internal logic. A new measurement cycle will not take place until completion of this internal update time.

Oscillator Considerations

The oscillator is a high gain CMOS inverter. An external resistor of 10MΩ to 22MΩ should be connected between the OSCillator INPUT and OUTPUT to provide biasing. The oscillator is designed to work with a parallel resonant 10MHz quartz crystal with a static capacitance of 22pF and a series resistance of less than 35Ω.

For a specific crystal and load capacitance, the required g_M can be calculated as follows:

$$g_M = \omega^2 C_{IN} C_{OUT} R_S \left(1 + \frac{C_O}{C_L}\right)^2$$

where $C_L = \left(\frac{C_{IN} C_{OUT}}{C_{IN} + C_{OUT}}\right)$

C_O = Crystal Static Capacitance

R_S = Crystal Series Resistance

C_{IN} = Input Capacitance

C_{OUT} = Output Capacitance

$\omega = 2\pi f$

The required g_M should not exceed 50% of the g_M specified for the ICM7216 to insure reliable startup. The OSCillator INPUT and OUTPUT pins each contribute about 5pF to C_{IN} and C_{OUT}. For maximum stability of frequency, C_{IN} and C_{OUT} should be approximately twice the specified crystal static capacitance.

In cases where non decade prescalers are used it may be desirable to use a crystal which is neither 10MHz or 1MHz. In that case both the multiplex rate and time between measurements will be different. The multiplex rate is

$f_{MUX} = \frac{f_{OSC}}{2 \times 10^4}$ for 10MHz mode and $f_{MUX} = \frac{f_{OSC}}{2 \times 10^3}$ for the 1MHz mode. The time between measurements is $\frac{2 \times 10^6}{f_{OSC}}$ in the 10MHz mode and $\frac{2 \times 10^5}{f_{OSC}}$ in the 1MHz mode.

The crystal and oscillator components should be located as close to the chip as practical to minimize pickup from other signals. Coupling from the EXTERNAL OSCILLATOR INPUT to the OSCILLATOR OUTPUT or INPUT can cause undesirable shifts in oscillator frequency.

Display Considerations

The display is multiplexed at a 500Hz rate with a digit time of 244µs. An interdigit blanking time of 6µs is used to prevent display ghosting (faint display of data from previous digit superimposed on the next digit). Leading zero blanking is provided, which blanks the left hand zeroes after decimal point or any non zero digits. Digits to the right of the decimal point are always displayed. The leading zero blanking will be disabled when the Main Counter overflows.

The ICM7216A is designed to drive common anode LED displays at peak current of 25mA/segment, using displays with V_F = 1.8V at 25mA. The average DC current will be over 3mA under these conditions. The ICM7216B and ICM7216D are designed to drive common cathode displays at peak current of 15mA/segment using displays with V_F = 1.8V at 15mA. Resistors can be added in series with the segment drivers to limit the display current in very efficient displays, if required. The Typical Performance Curves show the digit and segment currents as a function of output voltage.

To get additional brightness out of the displays, V_{DD} may be increased up to 6.0V. However, care should be taken to see that maximum power and current ratings are not exceeded.

The segment and digit outputs in ICM7216s are not directly compatible with either TTL or CMOS logic when driving LEDs. Therefore, level shifting with discrete transistors may be required to use these outputs as logic signals.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Accuracy

In a Universal Counter crystal drift and quantization effects cause errors. In **frequency, period** and **time interval** modes, a signal derived from the oscillator is used in either the Reference Counter or Main Counter. Therefore, in these modes an error in the oscillator frequency will cause an identical error in the measurement. For instance, an oscillator temperature coefficient of $20_{PPM}/^{o}C$ will cause a measurement error of $20_{PPM}/^{o}C$.

In addition there is a quantization error inherent in any digital measurement of ±1 count. Clearly this error is reduced by displaying more digits. In the **frequency** mode the maximum accuracy is obtained with high frequency inputs and in **period** mode maximum accuracy is obtained with low frequency inputs (as can be seen in Figure 14). In time interval measurements there can be an error of 1 count per interval. As a result there is the same inherent accuracy in all ranges as shown in Figure 15. In **frequency ratio** measurements can be more accurately obtained by averaging over more cycles of INPUT B as shown in Figure 16.

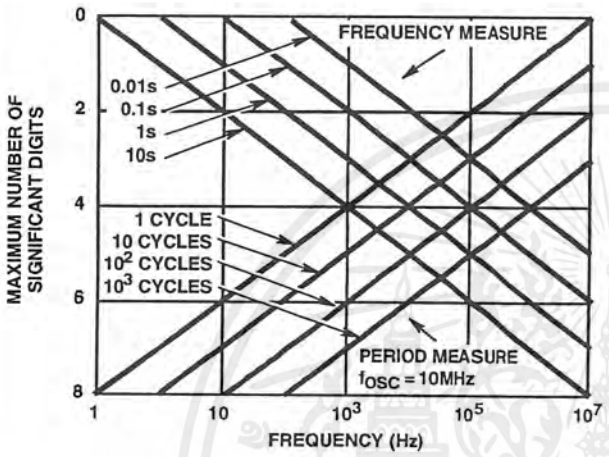


FIGURE 14. MAXIMUM ACCURACY OF FREQUENCY AND PERIOD MEASUREMENTS DUE TO LIMITATIONS OF QUANTIZATION ERRORS

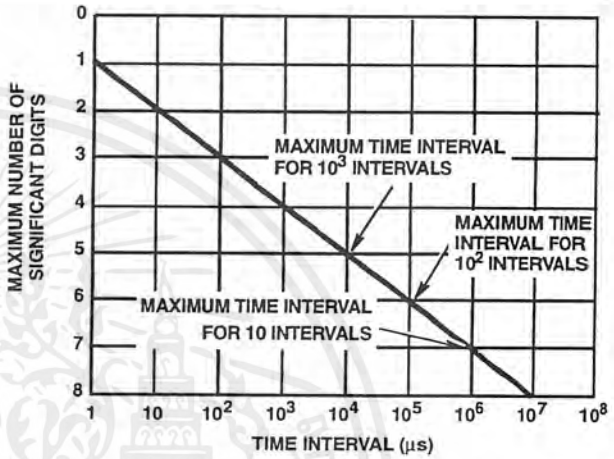


FIGURE 15. MAXIMUM ACCURACY OF TIME INTERVAL MEASUREMENT DUE TO LIMITATIONS OF QUANTIZATION ERRORS

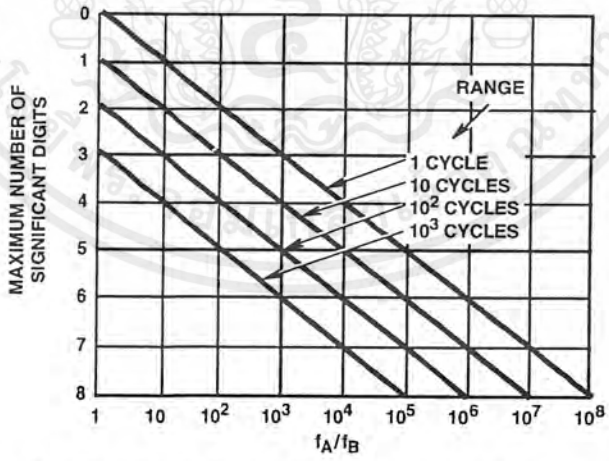


FIGURE 16. MAXIMUM ACCURACY FOR FREQUENCY RATIO MEASUREMENT DUE TO LIMITATION OF QUANTIZATION ERRORS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HD10551

Pre-scaler for Digital Tuning System

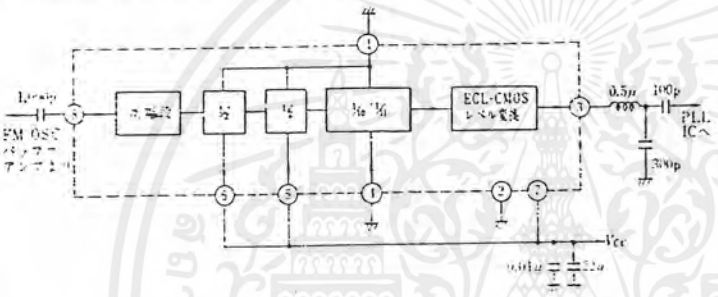
■特　長

- 6種類の分周比がDC的に選択できます。
  1/8, 1/8, 1/8, 1/8, 1/8, 1/8
- 前置増幅段を内蔵しているため、入力感度が高くなっています。
  40mV rms(typ)
- 出力段にECL-CMOSレベル変換回路を内蔵しています。
- 1電源動作です。(V_{CC}=5.0±0.5V)

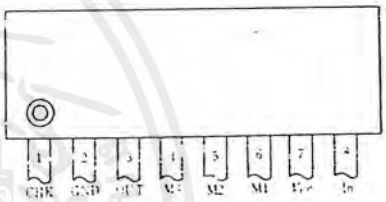
SP-8

■ブロックダイアグラムおよび動作回路例

(欧州向FM OSCの1/8分周の場合)



■ピン配置



■絶対最大定格 (T_a=25℃)

項目	記号	定格値	単位
電源電圧	V_{CC}	8	V
入力電圧	V_{in}	8	V
許容損失*	P_T	350	mW
動作温度	T_{opr}	−30～+75	℃
保存温度	T_{stg}	−55～+125	℃

* T_a=75℃において許容値

■分周比設定表

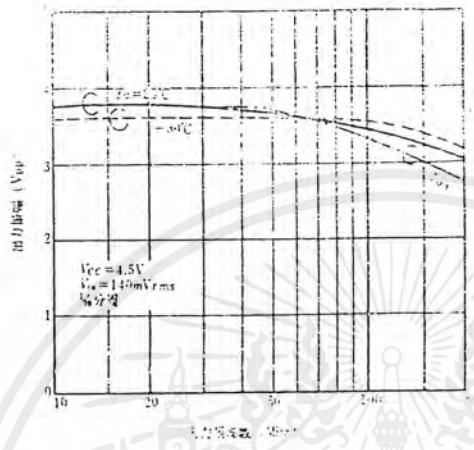
分周比	設定条件 CHK ①ピン	M1 ⑥ピン	M2 ⑤ピン	M3 ④ピン
1/8	GND	V_{CC}	V_{CC}	GND
1/8	GND	V_{CC}	V_{CC}	V_{CC}
1/8	GND	GND	V_{CC}	GND
1/2	GND	GND	V_{CC}	V_{CC}
1/8	GND	GND	GND	GND
1/8	GND	GND	GND	V_{CC}

■電気的特性 (V_{CC}=5V, T_a=25℃)

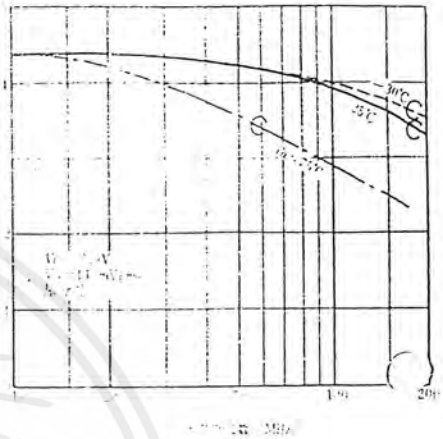
項目	記号	測定回路	測定条件	min	typ	max	単位
推奨使用電源電圧				4.5	5.0	5.5	V
出力電圧	V_{OH}	2	③ピン, I_{OH}=−0.2mA, 直流試験	4.0	4.8	—	V
	V_{OL}	2	③ピン, I_{OL}=1mA, 直流試験	—	0.8	1.0	V
消費電流	I_{CC}		③ピン出力のハイおよびロウレベル時の電流の平均値	—	40	52	mA
入力感度		1	⑧ピン入力, 150MHz正弦波, 1/8分周時	—	40	140	mVrms
入力周波数		1	⑧ピン入力, 140mVrms正弦波, 1/8分周時	150	250		MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

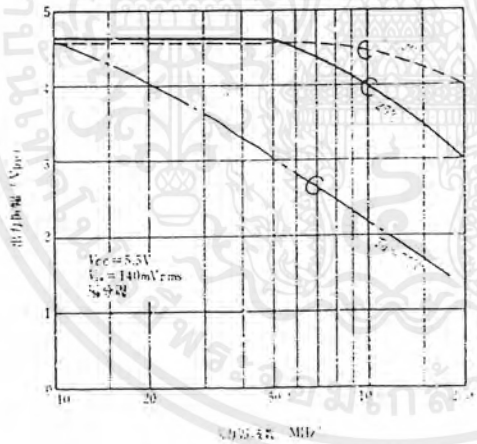
出力振幅対入力周波数特性（1）



出力振幅対入力周波数特性（2）



出力振幅対入力周波数特性（3）



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Dual Modulus Prescaler

MC12015
MC12016
MC12017

MECL PLL COMPONENTS

DUAL MODULUS PRESCALER

The MC12015, MC12016 and MC12017 are dual modulus prescalers which will drive divide by 32 and 33, 40 and 41, and 64 and 65, respectively. An internal regulator is provided to allow these devices to be used over a wide range of power–supply voltages. The devices may be operated by applying a supply voltage of 5.0Vdc ±10% at Pin 7, or by applying an unregulated voltage source from 5.5Vdc to 9.5Vdc to Pin 8.

- 225MHz Toggle Frequency
- Low–Power 7.5mA Maximum at 6.8V
- Control Input and Output Are Compatible With Standard CMOS
- Connecting Pins 2 and 3 Allows Driving One TTL Load
- Supply Voltage 4.5V to 9.5V

P SUFFIX
PLASTIC PACKAGE
CASE 626–05

D SUFFIX
PLASTIC SOIC PACKAGE
CASE 751–05

MAXIMUM RATINGS

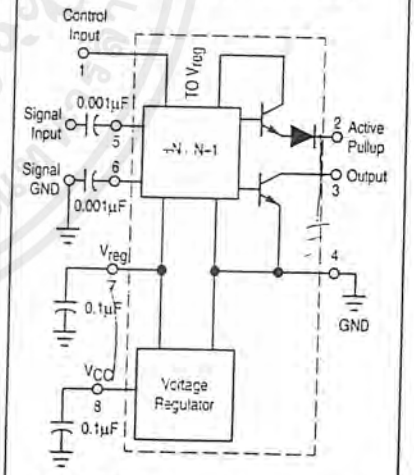
Symbol	Characteristic	Range	Unit
V_{reg}	Regulated Voltage, Pin 7	8.0	Vdc
V_{CC}	Power Supply Voltage, Pin 8	10.0	Vdc
T_A	Operating Temperature Range	–40 to +85	°C
T_{stg}	Storage Temperature Range	–65 to +175	°C

ELECTRICAL CHARACTERISTICS (V_{CC} = 5.5 to 9.5V; V_{reg} = 4.5 to 5.5V; T_A = –40 to +85°C)

Symbol	Characteristic	Min	Typ	Max	Unit
f_{max} f_{min}	Toggle Frequency (Sine Wave Input)	225		 35	MHz
I_{CC}	Supply Current		6.0	7.8	mA
V_{IH}	Control Input HIGH (÷32, 40 or 64)	2.0			V
V_{IL}	Control Input LOW (÷33, 41 or 65)			0.8	V
V_{OH}	Output Voltage HIGH[1] (I_{source} = 50µA)	2.5			V
V_{OL}	Output Voltage LOW[1] (I_{sink} = 2mA)			0.5	V
V_{in}	Input Voltage Sensitivity 35MHz 50–225MHz	 400 200		 800 800	mVpp
t_{PLL}	PLL Response Time (Notes 2 and 3)			t_{out}–70	ns

1. Pin 2 connected to Pin 3
2. t_{PLL} = the period of time the PLL has from the prescaler rising output transition (50%) to the modulus control input edge transition (50%) to ensure proper modulus selection
3. t_{out} = period of output waveform

PRESCALER BLOCK DIAGRAM



1. V_{reg} at Pin 7 is not guaranteed to be between 4.5 and 5.5V when V_{CC} is being applied to Pin 8
2. Pin 7 is not to be used as a source of regulated output voltage

© Motorola, Inc. 1996

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2N3866
2N3866A

JAN, JTX, JTXV AVAILABLE
CASE 79-02, STYLE 1
TO-39 (TO-205AD)

HIGH FREQUENCY TRANSISTOR

NPN SILICON

MAXIMUM RATINGS

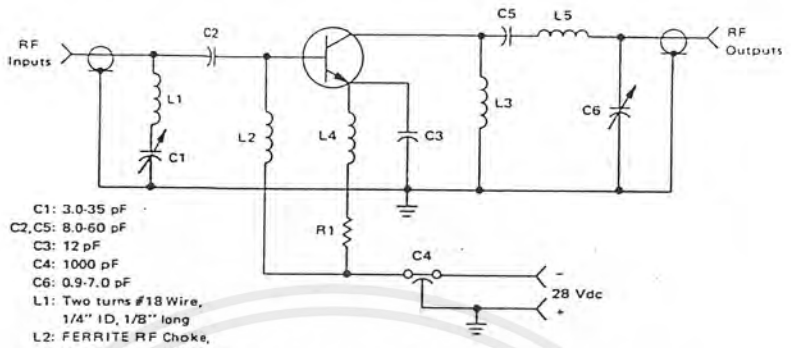
Rating	Symbol	Value	Unit
Collector-Emitter Voltage	V_{CEO}	30	Vdc
Collector-Base Voltage	V_{CBO}	55	Vdc
Emitter-Base Voltage	V_{EBO}	3.5	Vdc
Collector Current — Continuous	I_C	0.4	Adc
Total Device Dissipation @ T_C = 25°C Derate above 25°C	P_D	5.0 28.6	Watts mW/°C
Storage Temperature	T_{stg}	−65 to +200	°C

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted.)

Characteristic		Symbol	Min	Max	Unit
OFF CHARACTERISTICS					
Collector-Emitter Breakdown Voltage (I_C = 5.0 mAdc, R_{BE} = 10 Ω)		$V_{CER(sus)}$	55	—	Vdc
Collector-Emitter Sustaining Voltage (I_C = 5.0 mAdc, I_B = 0)		$V_{CEO(sus)}$	30	—	Vdc
Emitter-Base Breakdown Voltage (I_E = 100 μAdc, I_C = 0)		$V_{(BR)EBO}$	3.5	—	Vdc
Collector Cutoff Current (V_{CE} = 28 Vdc, I_B = 0)		I_{CEO}	—	0.02	mAdc
Collector Cutoff Current (V_{CE} = 30 Vdc, V_{BE} = −1.5 Vdc (Rev.), T_C = 200°C) (V_{CE} = 55 Vdc, V_{BE} = −1.5 Vdc (Rev.)		I_{CEX}	— —	5.0 0.1	mAdc
Emitter Cutoff Current (V_{BE} = 3.5 Vdc, I_C = 0)		I_{EBO}	—	0.1	mAdc
ON CHARACTERISTICS					
DC Current Gain (I_C = 360 mAdc, V_{CE} = 5.0 Vdc) (I_C = 50 mAdc, V_{CE} = 5.0 Vdc)	Both 2N3866 2N3866A	h_{FE}	5.0 10 25	— 200 200	—
Collector-Emitter Saturation Voltage (I_C = 100 mAdc, I_B = 20 mAdc)		$V_{CE(sat)}$	—	1.0	Vdc
SMALL SIGNAL CHARACTERISTICS					
Current-Gain — Bandwidth Product (I_C = 50 mAdc, V_{CE} = 15 Vdc, f = 200 MHz)	2N3866 2N3866A	f_T	500 800	— —	MHz
Output Capacitance (V_{CB} = 28 Vdc, I_E = 0, f = 1.0 MHz)		C_{obo}	—	3.0	pF
FUNCTIONAL TEST (FIGURE 1)					
Amplifier Power Gain (V_{CC} = 28 Vdc, P_{out} = 1.0 W, f = 400 MHz)		G_{pe}	10	—	dB
Collector Efficiency (V_{CC} = 28 Vdc, P_{out} = 1.0 W, f = 400 MHz)		η	45	—	%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 1 – 400 MHz TEST CIRCUIT SCHEMATIC



C1: 3.0-35 pF
C2,C5: 8.0-60 pF
C3: 12 pF
C4: 1000 pF
C6: 0.9-7.0 pF
L1: Two turns #18 Wire, 1/4" ID, 1/8" long
L2: FERRITE RF Choke, One Turn, z = 450 Ohms
L3,L4: RF Choke, 0.1 μH
L5: 2-3/4 Turns, #18 Wire, 1/4" ID, 3/16" long
R1: 5.6 Ohms

FIGURE 2 – POWER OUTPUT versus FREQUENCY (Class C)

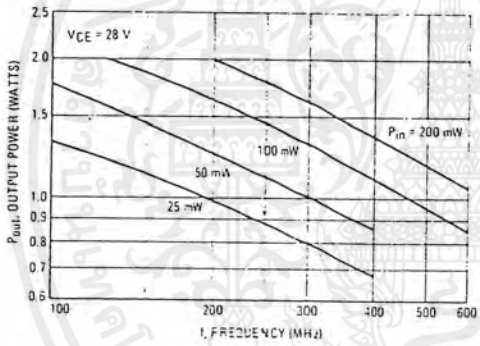


FIGURE 3 – CURRENT-GAIN – BANDWIDTH PRODUCT

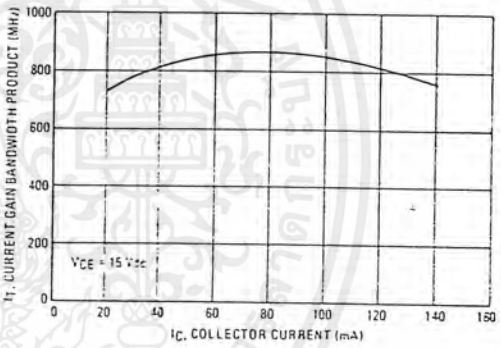


FIGURE 4 – COLLECTOR-BASE TIME CONSTANT

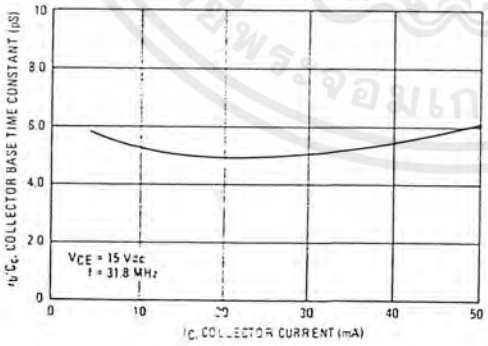
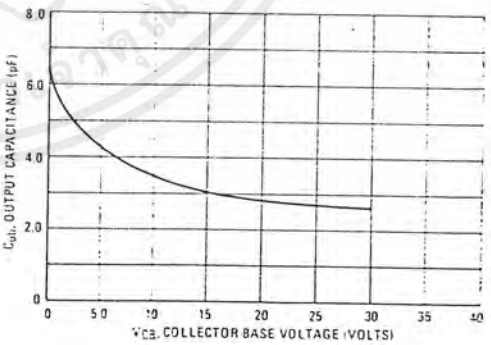


FIGURE 5 – OUTPUT CAPACITANCE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 6 – OUTPUT POWER versus INPUT POWER (CLASS C)

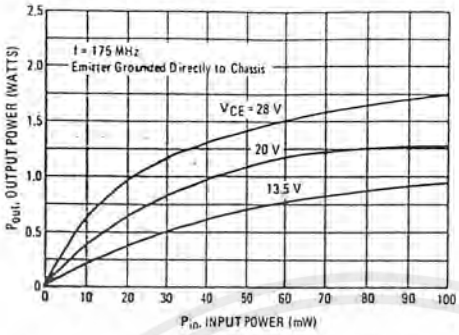


FIGURE 7 – SMALL-SIGNAL CURRENT GAIN

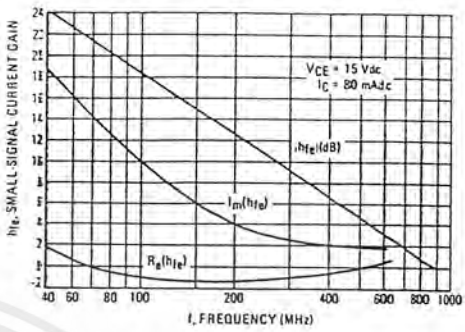


FIGURE 8 – LARGE-SIGNAL SERIES EQUIVALENT IMPEDANCES

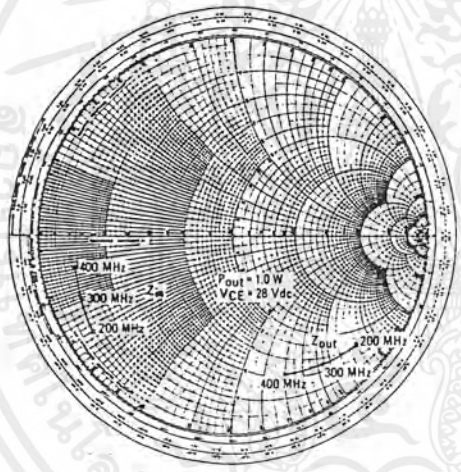
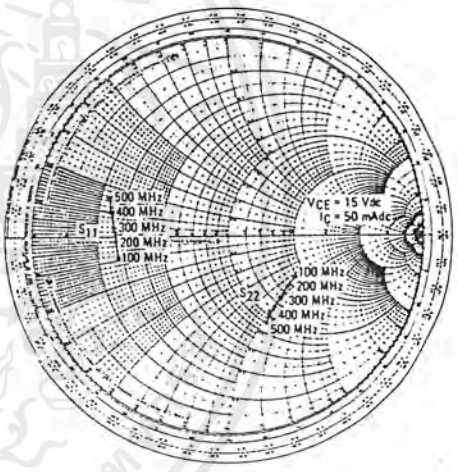


FIGURE 9 – S_{11} AND S_{22} versus FREQUENCY



7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 10 – S_{21} versus FREQUENCY

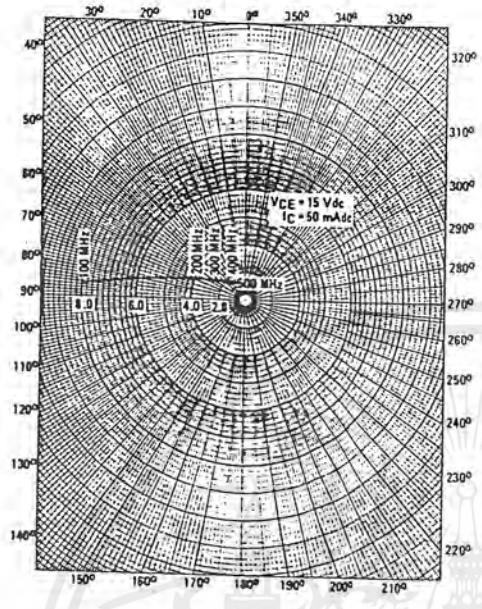
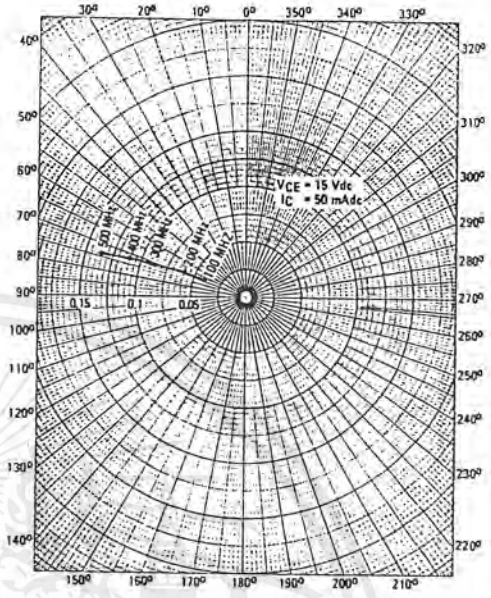


FIGURE 11 – S_{12} versus FREQUENCY



7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145152-2

Parallel-Input PLL Frequency Synthesizer

Interfaces with Dual–Modulus Prescalers

The MC145152–2 is programmed by sixteen parallel inputs for the N and A counters and three input lines for the R counter. The device features consist of a reference oscillator, selectable–reference divider, two–output phase detector, 10–bit programmable divide–by–N counter, and 6–bit programmable ÷ A counter.

The MC145152–2 is an improved–performance drop–in replacement for the MC145152–1. Power consumption has decreased and ESD and latch–up performance have improved.

- Operating Temperature Range: – 40 to 85°C
- Low Power Consumption Through Use of CMOS Technology
- 3.0 to 9.0 V Supply Range
- On– or Off–Chip Reference Oscillator Operation
- Lock Detect Signal
- Dual Modulus/Parallel Programming
- 8 User–Selectable ÷ R Values: 8, 64, 128, 256, 512, 1024, 1160, 2048
- ÷ N Range = 3 to 1023, ÷ A Range = 0 to 63
- Chip Complexity: 8000 FETs or 2000 Equivalent Gates
- See Application Note AN980

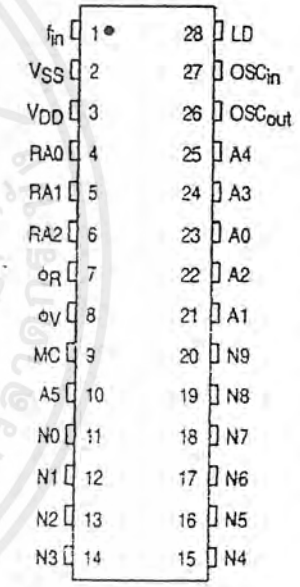
P SUFFIX
PLASTIC DIP
CASE 710

DW SUFFIX
SOG PACKAGE
CASE 751F

ORDERING INFORMATION

MC145152P2	Plastic DIP
MC145152DW2	SOG Package

PIN ASSIGNMENT

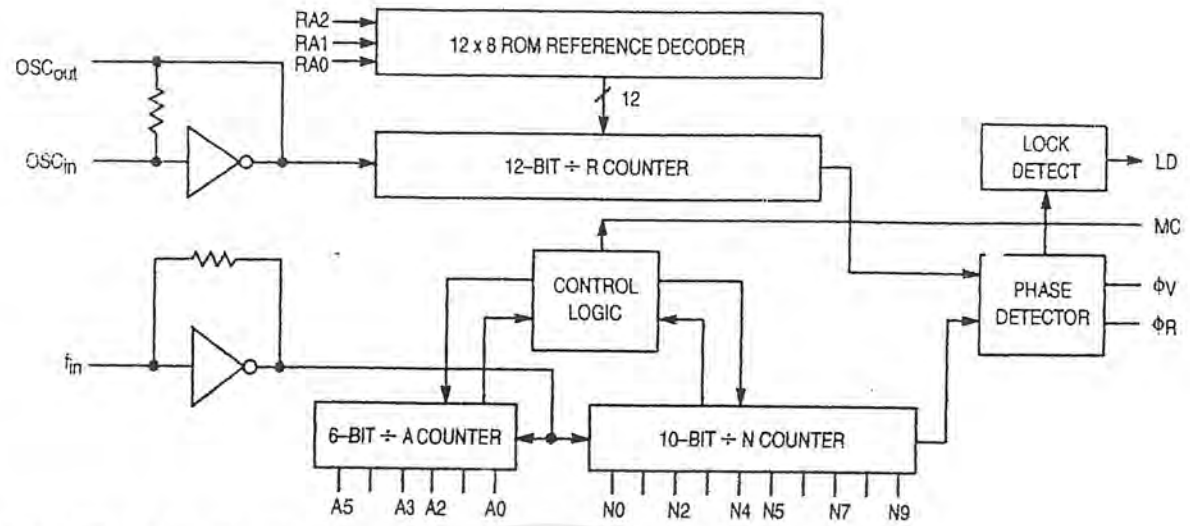


REV 1
8/95

© Motorola, Inc. 1995

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145152–2 BLOCK DIAGRAM



NOTE: N0 – N9, A0 – A5, and RA0 – RA2 have pull–up resistors that are not shown.

PIN DESCRIPTIONS

INPUT PINS

f_{in}
Frequency Input (Pin 1)

Input to the positive edge triggered ÷ N and ÷ A counters. f_{in} is typically derived from a dual–modulus prescaler and is ac coupled into the device. For larger amplitude signals (standard CMOS logic levels) dc coupling may be used.

RA0, RA1, RA2
Reference Address Inputs (Pins 4, 5, 6)

These three inputs establish a code defining one of eight possible divide values for the total reference divider. The total reference divide values are as follows:

Reference Address Code			Total Divide Value
RA2	RA1	RA0	
0	0	0	8
0	0	1	64
0	1	0	128
0	1	1	256
1	0	0	512
1	0	1	1024
1	1	0	1160
1	1	1	2048

N0 – N9
N Counter Programming Inputs (Pins 11 – 20)

The N inputs provide the data that is preset into the ÷ N counter when it reaches the count of 0. N0 is the least significant digit and N9 is the most significant. Pull–up resistors ensure that inputs left open remain at a logic 1 and require only a SPST switch to alter data to the zero state.

A0 – A5
A Counter Programming Inputs
(Pins 23, 21, 22, 24, 25, 10)

The A inputs define the number of clock cycles of f_{in} that require a logic 0 on the MC output (see **Dual–Modulus Prescaling** section). The A inputs all have internal pull–up resistors that ensure that inputs left open will remain at a logic 1.

OSC_{in}, OSC_{out}
Reference Oscillator Input/Output (Pins 27, 26)

These pins form an on–chip reference oscillator when connected to terminals of an external parallel resonant crystal. Frequency setting capacitors of appropriate value must be connected from OSC_{in} to ground and OSC_{out} to ground. OSC_{in} may also serve as the input for an externally–generated reference signal. This signal is typically ac coupled to OSC_{in}, but for larger amplitude signals (standard CMOS logic levels) dc coupling may also be used. In the external reference mode, no connection is required to OSC_{out}.

OUTPUT PINS

ϕR, ϕV
Phase Detector B Outputs (Pins 7, 8)

These phase detector outputs can be combined externally for a loop–error signal.

If the frequency f_V is greater than f_R or if the phase of f_V is leading, then error information is provided by ϕV pulsing low. ϕR remains essentially high.

If the frequency f_V is less than f_R or if the phase of f_V is lagging, then error information is provided by ϕR pulsing low. ϕV remains essentially high.

If the frequency of $f_V = f_R$ and both are in phase, then both ϕV and ϕR remain high except for a small minimum time period when both pulse low in phase.

MC
Dual–Modulus Prescale Control Output (Pin 9)

Signal generated by the on–chip control logic circuitry for controlling an external dual–modulus prescaler. The MC level will be low at the beginning of a count cycle and will remain low until the ÷ A counter has counted down from its programmed value. At this time, MC goes high and remains high until the ÷ N counter has counted the rest of the way down from its programmed value (N – A additional counts since both ÷ N and ÷ A are counting down during the first portion of the cycle). MC is then set back low, the counters preset to

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

their respective programmed values, and the above sequence repeated. This provides for a total programmable divide value (N_T) = N • P + A where P and P + 1 represent the dual–modulus prescaler divide values respectively for high and low MC levels, N the number programmed into the ÷ N counter, and A the number programmed into the ÷ A counter.

LD
Lock Detector Output (Pin 28)

Essentially a high level when loop is locked (f_R, f_V of same phase and frequency). Pulses low when loop is out of lock.

POWER SUPPLY

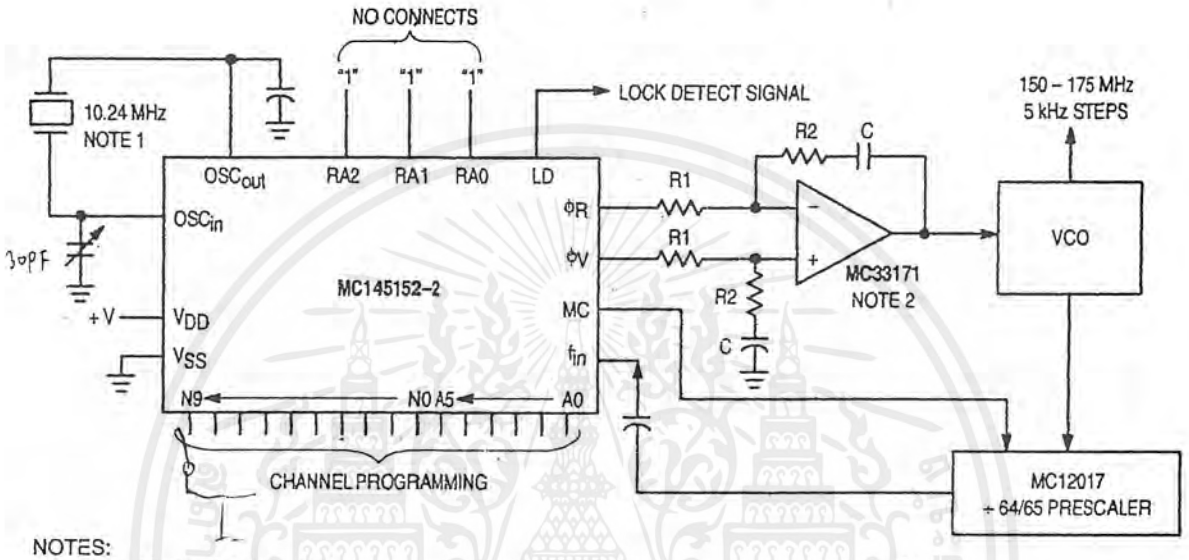
V_{DD}
Positive Power Supply (Pin 3)

The positive power supply potential. This pin may range from + 3 to + 9 V with respect to V_{SS}.

V_{SS}
Negative Power Supply (Pin 2)

The most negative supply potential. This pin is usually ground.

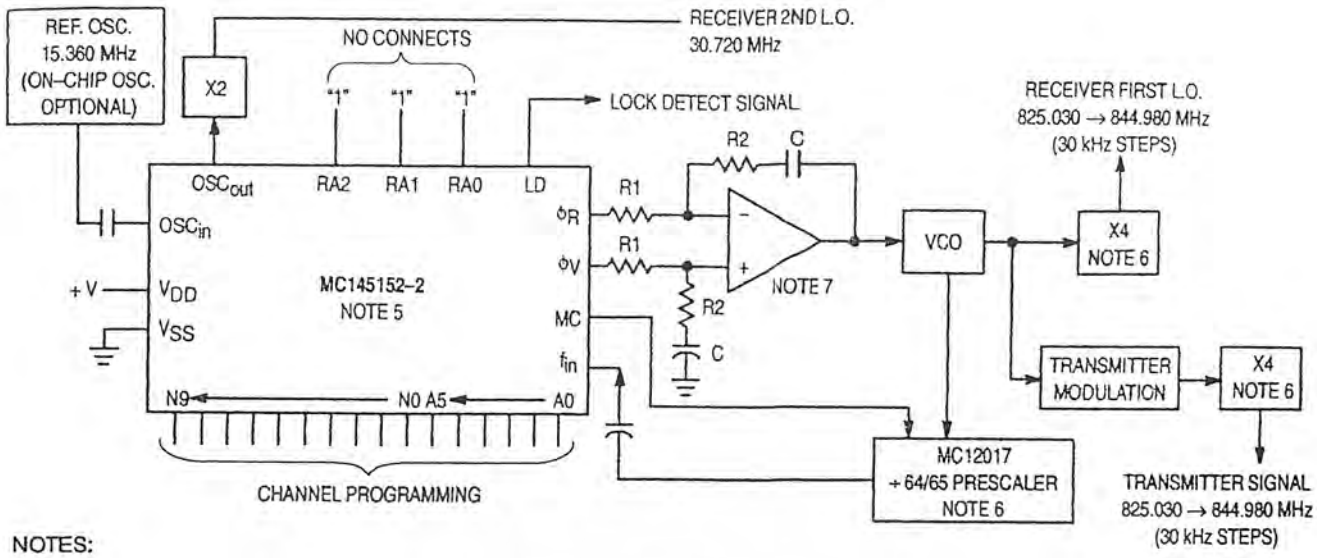
TYPICAL APPLICATIONS



NOTES:
1. Off–chip oscillator optional.
2. The ϕ_R and ϕ_V outputs are fed to an external combiner/loop filter. See the Phase–Locked Loop — Low–Pass Filter Design page for additional information. The ϕ_R and ϕ_V outputs swing rail–to–rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

Figure 1. Synthesizer for Land Mobile Radio VHF Bands

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTES:

1. Receiver 1st I.F. = 45 MHz, low side injection; Receiver 2nd I.F. = 11.7 MHz, low side injection.
2. Duplex operation with 45 MHz receiver/transmit separation.
3. f_R = 7.5 kHz; ÷ R = 2048.
4. N_{total} = N • 64 + A = 27501 to 28166; N = 429 to 440; A = 0 to 63.
5. MC145158–2 may be used where serial data entry is desired.
6. High frequency prescalers (e.g., MC12018 [520 MHz] and MC12022 [1 GHz]) may be used for higher frequency VCO and f_{ref} implementations.
7. The ϕ_R and ϕ_V outputs are fed to an external combiner/loop filter. See the Phase–Locked Loop — Low–Pass Filter Design page for additional information. The ϕ_R and ϕ_V outputs swing rail–to–rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

Figure 2. 666–Channel, Computer–Controlled, Mobile Radiotelephone Synthesizer for 800 MHz Cellular Radio Systems

MC145152–2 Data Sheet Continued on Page 23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage	– 0.5 to + 10.0	V
V_{in}, V_{out}	Input or Output Voltage (DC or Transient) except SW1, SW2	– 0.5 to V_{DD} + 0.5	V
V_{out}	Output Voltage (DC or Transient), SW1, SW2 ($R_{pull-up}$ = 4.7 kΩ)	– 0.5 to + 15	V
I_{in}, I_{out}	Input or Output Current (DC or Transient), per Pin	± 10	mA
I_{DD}, I_{SS}	Supply Current, V_{DD} or V_{SS} Pins	± 30	mA
P_D	Power Dissipation, per Package†	500	mW
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 seconds	260	°C

*Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the limits in the Electrical Characteristics tables or Pin Descriptions section.

†Power Dissipation Temperature Derating:
Plastic DIP: – 12 mW/°C from 65 to 85°C
SOG Package: – 7 mW/°C from 65 to 85°C

These devices contain protection circuitry to protect against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to these high–impedance circuits. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$ except for SW1 and SW2.

SW1 and SW2 can be tied through external resistors to voltages as high as 15 V, independent of the supply voltage.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}), except for inputs with pull–up devices. Unused outputs must be left open.

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Symbol	Parameter	Test Condition	V_{DD} V	– 40°C Min	– 40°C Max	25°C Min	25°C Max	85°C Min	85°C Max	Unit
V_{DD}	Power Supply Voltage Range		—	3	9	3	9	3	9	V
I_{ss}	Dynamic Supply Current	$f_{in} = OSC_{in}$ = 10 MHz, 1 V p–p ac coupled sine wave R = 128, A = 32, N = 128	3 5 9	— — —	3.5 10 30	— — —	3 7.5 24	— — —	3 7.5 24	mA
I_{SS}	Quiescent Supply Current (not including pull–up current component)	$V_{in} = V_{DD}$ or V_{SS} I_{out} = 0 µA	3 5 9	— — —	800 1200 1600	— — —	800 1200 1600	— — —	1600 2400 3200	µA
V_{in}	Input Voltage — f_{in}, OSC_{in}	Input ac coupled sine wave	—	500	—	500	—	500	—	mV p–p
V_{IL}	Low–Level Input Voltage — f_{in}, OSC_{in}	$V_{out} \ge 2.1$ V Input dc $V_{out} \ge 3.5$ V coupled $V_{out} \ge 6.3$ V square wave	3 5 9	— — —	0 0 0	— — —	0 0 0	— — —	0 0 0	V
V_{IH}	High–Level Input Voltage — f_{in}, OSC_{in}	$V_{out} \le 0.9$ V Input dc $V_{out} \le 1.5$ V coupled $V_{out} \le 2.7$ V square wave	3 5 9	3.0 5.0 9.0	— — —	3.0 5.0 9.0	— — —	3.0 5.0 9.0	— — —	V
V_{IL}	Low–Level Input Voltage — except f_{in}, OSC_{in}		3 5 9	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	V
V_{IH}	High–Level Input Voltage — except f_{in}, OSC_{in}		3 5 9	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	V
I_{in}	Input Current (f_{in}, OSC_{in})	$V_{in} = V_{DD}$ or V_{SS}	9	± 2	± 50	± 2	± 25	± 2	± 22	µA
I_{IL}	Input Leakage Current (Data, CLK, ENB — without pull–ups)	$V_{in} = V_{SS}$	9	—	– 0.3	—	– 0.1	—	– 1.0	µA
I_{IH}	Input Leakage Current (all inputs except f_{in}, OSC_{in})	$V_{in} = V_{DD}$	9	—	0.3	—	0.1	—	1.0	µA

(continued)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (continued)

Symbol	Parameter	Test Condition	V_{DD} V	−40°C		25°C		85°C		Unit
				Min	Max	Min	Max	Min	Max	
I_{IL}	Pull–up Current (all inputs with pull–ups)	$V_{in} = V_{SS}$	9	− 20	− 400	− 20	− 200	− 20	− 170	µA
C_{in}	Input Capacitance		—	—	10	—	10	—	10	pF
V_{OL}	Low–Level Output Voltage — OSC_{out}	$I_{out} \approx 0$ µA $V_{in} = V_{DD}$	3 5 9	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	V
V_{OH}	High–Level Output Voltage — OSC_{out}	$I_{out} \approx 0$ µA $V_{in} = V_{SS}$	3 5 9	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	V
V_{OL}	Low–Level Output Voltage — Other Outputs	$I_{out} \approx 0$ µA	3 5 9	— — —	0.05 0.05 0.05	— — —	0.05 0.05 0.05	— — —	0.05 0.05 0.05	V
V_{OH}	High–Level Output Voltage — Other Outputs	$I_{out} \approx 0$ µA	3 5 9	2.95 4.95 8.95	— — —	2.95 4.95 8.95	— — —	2.95 4.95 8.95	— — —	V
$V_{(BR)DSS}$	Drain–to–Source Breakdown Voltage — SW1, SW2	$R_{pull-up} = 4.7$ kΩ	—	15	—	15	—	15	—	V
I_{OL}	Low–Level Sinking Current — MC	$V_{out} = 0.3$ V $V_{out} = 0.4$ V $V_{out} = 0.5$ V	3 5 9	1.30 1.90 3.80	— — —	1.10 1.70 3.30	— — —	0.66 1.08 2.10	— — —	mA
I_{OH}	High–Level Sourcing Current — MC	$V_{out} = 2.7$ V $V_{out} = 4.6$ V $V_{out} = 8.5$ V	3 5 9	− 0.60 − 0.90 − 1.50	— — —	− 0.50 − 0.75 − 1.25	— — —	− 0.30 − 0.50 − 0.80	— — —	mA
I_{OL}	Low–Level Sinking Current — LD	$V_{out} = 0.3$ V $V_{out} = 0.4$ V $V_{out} = 0.5$ V	3 5 9	0.25 0.64 1.30	— — —	0.20 0.51 1.00	— — —	0.15 0.36 0.70	— — —	mA
I_{OH}	High–Level Sourcing Current — LD	$V_{out} = 2.7$ V $V_{out} = 4.6$ V $V_{out} = 8.5$ V	3 5 9	− 0.25 − 0.64 − 1.30	— — —	− 0.20 − 0.51 − 1.00	— — —	− 0.15 − 0.36 − 0.70	— — —	mA
I_{OL}	Low–Level Sinking Current — SW1, SW2	$V_{out} = 0.3$ V $V_{out} = 0.4$ V $V_{out} = 0.5$ V	3 5 9	0.80 1.50 3.50	— — —	0.48 0.90 2.10	— — —	0.24 0.45 1.05	— — —	mA
I_{OL}	Low–Level Sinking Current — Other Outputs	$V_{out} = 0.3$ V $V_{out} = 0.4$ V $V_{out} = 0.5$ V	3 5 9	0.44 0.64 1.30	— — —	0.35 0.51 1.00	— — —	0.22 0.36 0.70	— — —	mA
I_{OH}	High–Level Sourcing Current — Other Outputs	$V_{out} = 2.7$ V $V_{out} = 4.6$ V $V_{out} = 8.5$ V	3 5 9	− 0.44 − 0.64 − 1.30	— — —	− 0.35 − 0.51 − 1.00	— — —	− 0.22 − 0.36 − 0.70	— — —	mA
I_{OZ}	Output Leakage Current — PD_{out}	$V_{out} = V_{DD}$ or V_{SS} Output in Off State	9	—	± 0.3	—	± 0.1	—	± 1.0	µA
I_{OZ}	Output Leakage Current — SW1, SW2	$V_{out} = V_{DD}$ or V_{SS} Output in Off State	9	—	± 0.3	—	± 0.1	—	± 3.0	µA
C_{out}	Output Capacitance — PD_{out}	PD_{out} — Three–State	—	—	10	—	10	—	10	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, input $t_r = t_f$ = 10 ns)

Symbol	Parameter	V_{DD} V	Guaranteed Limit 25°C	Guaranteed Limit −40 to 85°C	Unit
t_{PLH}, t_{PHL}	Maximum Propagation Delay, f_{in} to MC (Figures 1 and 4)	3 5 9	110 60 35	120 70 40	ns
t_{PHL}	Maximum Propagation Delay, ENB to SW1, SW2 (Figures 1 and 5)	3 5 9	160 80 50	180 95 60	ns
t_W	Output Pulse Width, ϕ_R, ϕ_V, and LD with f_R in Phase with f_V (Figures 2 and 4)	3 5 9	25 to 200 20 to 100 10 to 70	25 to 260 20 to 125 10 to 80	ns
t_{TLH}	Maximum Output Transition Time, MC (Figures 3 and 4)	3 5 9	115 60 40	115 75 60	ns
t_{THL}	Maximum Output Transition Time, MC (Figures 3 and 4)	3 5 9	60 34 30	70 45 38	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, LD (Figures 3 and 4)	3 5 9	180 90 70	200 120 90	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Other Outputs (Figures 3 and 4)	3 5 9	160 80 60	175 100 65	ns

SWITCHING WAVEFORMS

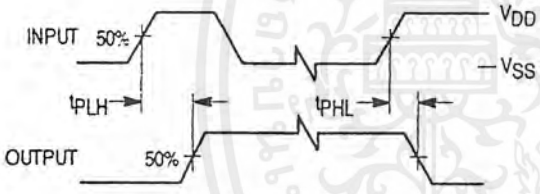
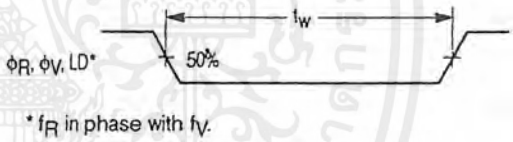


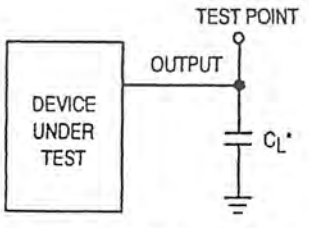
Figure 1.



* f_R in phase with f_V.

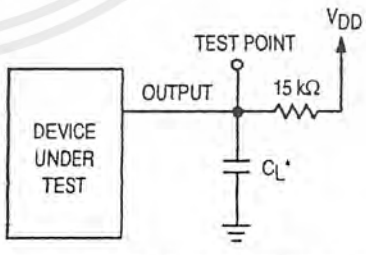
Figure 2.

Figure 3.



* Includes all probe and fixture capacitance.

Figure 4. Test Circuit



* Includes all probe and fixture capacitance.

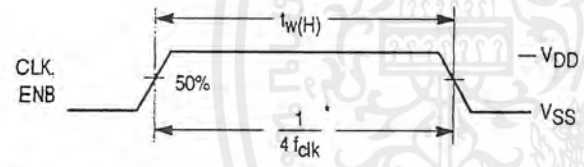
Figure 5. Test Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช

TIMING REQUIREMENTS (Input $t_r = t_f = 10$ ns unless otherwise indicated)

Symbol	Parameter	V_{DD} V	Guaranteed Limit 25°C	Guaranteed Limit – 40 to 85°C	Unit
f_{clk}	Serial Data Clock Frequency, Assuming 25% Duty Cycle NOTE: Refer to CLK $t_{w(H)}$ below (Figure 6)	3 5 9	dc to 5.0 dc to 7.1 dc to 10	dc to 3.5 dc to 7.1 dc to 10	MHz
t_{su}	Minimum Setup Time, Data to CLK (Figure 7)	3 5 9	30 20 18	30 20 18	ns
t_h	Minimum Hold Time, CLK to Data (Figure 7)	3 5 9	40 20 15	40 20 15	ns
t_{su}	Minimum Setup Time, CLK to ENB (Figure 7)	3 5 9	70 32 25	70 32 25	ns
t_{rec}	Minimum Recovery Time, ENB to CLK (Figure 7)	3 5 9	5 10 20	5 10 20	ns
$t_{w(H)}$	Minimum Pulse Width, CLK and ENB (Figure 6)	3 5 9	50 35 25	70 35 25	ns
t_r, t_f	Maximum Input Rise and Fall Times — Any Input (Figure 8)	3 5 9	5 4 2	5 4 2	µs

SWITCHING WAVEFORMS



*Assumes 25% Duty Cycle.

Figure 6.

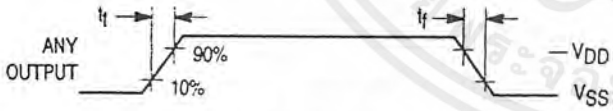


Figure 8.

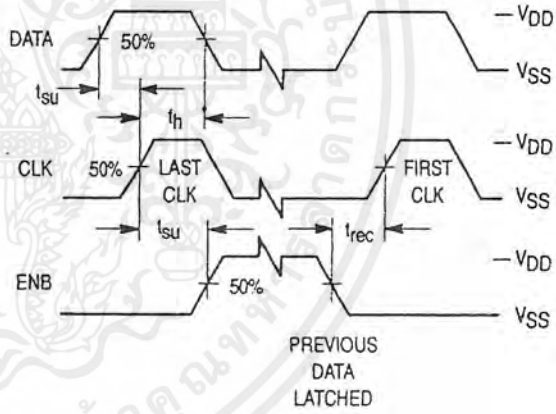


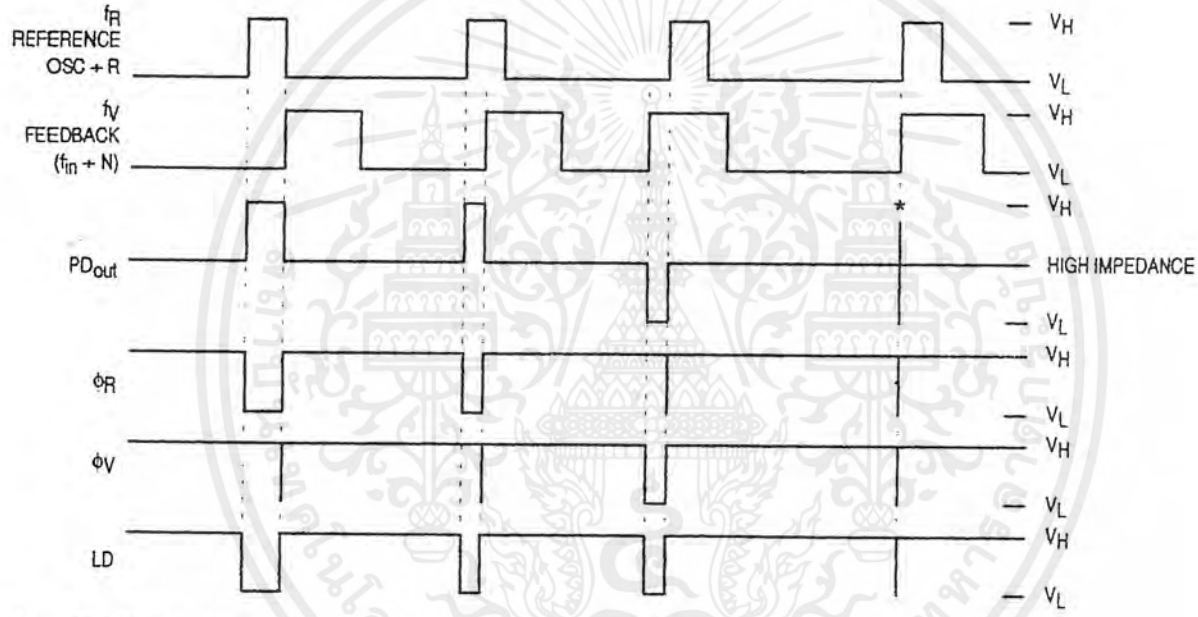
Figure 7.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช

FREQUENCY CHARACTERISTICS (Voltages References to V_{SS}, C_L = 50 pF, Input $t_r = t_f$ = 10 ns unless otherwise indicated)

Symbol	Parameter	Test Condition	V_{DD} V	-40°C		25°C		85°C		Unit
				Min	Max	Min	Max	Min	Max	
f_i	Input Frequency (f_{in}, OSC_{in})	R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = 500 mV p–p ac coupled sine wave	3 5 9	— — —	6 15 15	— — —	6 15 15	— — —	6 15 15	MHz
		R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = 1 V p–p ac coupled sine wave	3 5 9	— — —	12 22 25	— — —	12 20 22	— — —	7 20 22	MHz
		R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = V_{DD} to V_{SS} dc coupled square wave	3 5 9	— — —	13 25 25	— — —	12 22 25	— — —	8 22 25	MHz

NOTE: Usually, the PLL's propagation delay from f_{in} to MC plus the setup time of the prescaler determines the upper frequency limit of the system. The upper frequency limit is found with the following formula: $f = P/(t_P + t_{set})$ where f is the upper frequency in Hz, P is the lower of the dual modulus prescaler ratios, t_P is the f_{in} to MC propagation delay in seconds, and t_{set} is the prescaler setup time in seconds. For example, with a 5 V supply, the f_{in} to MC delay is 70 ns. If the MC12028A prescaler is used, the setup time is 16 ns. Thus, if the 64/65 ratio is utilized, the upper frequency limit is $f = P/(t_P + t_{set}) = 64/(70 + 16) = 744$ MHz.



V_H = High Voltage Level.
V_L = Low Voltage Level.
* At this point, when both f_R and f_V are in phase, the output is forced to near mid–supply.
NOTE: The PD_{out} generates error pulses during out–of–lock conditions. When locked in phase and frequency the output is high and the voltage at this pin is determined by the low–pass filter capacitor.

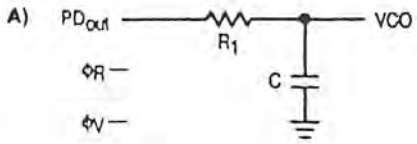
Figure 9. Phase Detector/Lock Detector Output Waveforms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESIGN CONSIDERATIONS

PHASE-LOCKED LOOP — LOW-PASS FILTER DESIGN

A)

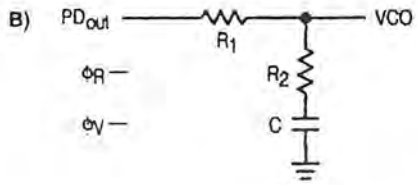


$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NR_1C}}$$

$$\zeta = \frac{N\omega_n}{2K_\phi K_{VCO}}$$

$$F(s) = \frac{1}{R_1sC + 1}$$

B)

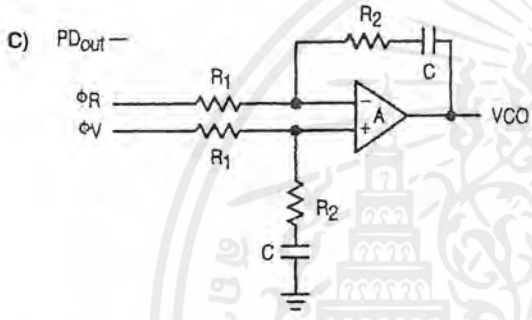


$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NC(R_1 + R_2)}}$$

$$\zeta = 0.5\,\omega_n \left(R_2C + \frac{N}{K_\phi K_{VCO}}\right)$$

$$F(s) = \frac{R_2sC + 1}{(R_1 + R_2)sC + 1}$$

C)



$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NCR_1}}$$

$$\zeta = \frac{\omega_n R_2 C}{2}$$

ASSUMING GAIN A IS VERY LARGE, THEN:

$$F(s) = \frac{R_2sC + 1}{R_1sC}$$

NOTE: Sometimes R_1 is split into two series resistors, each $R_1 \div 2$. A capacitor C_C is then placed from the midpoint to ground to further filter ϕ_V and ϕ_R. The value of C_C should be such that the corner frequency of this network does not significantly affect ω_n. The ϕ_R and ϕ_V outputs swing rail–to–rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

DEFINITIONS:

N = Total Division Ratio in feedback loop

K_ϕ (Phase Detector Gain) = $V_{DD}/4\pi$ for PD_{out}

K_ϕ (Phase Detector Gain) = $V_{DD}/2\pi$ for ϕ_V and ϕ_R

K_{VCO} (VCO Gain) = $\frac{2\pi\Delta f_{VCO}}{\Delta V_{VCO}}$

for a typical design w_n (Natural Frequency) $\approx \frac{2\pi fr}{10}$ (at phase detector input).

Damping Factor: $\zeta \cong 1$

RECOMMENDED READING:

Gardner, Floyd M., *Phaselock Techniques (second edition).* New York, Wiley–Interscience, 1979.

Manassewitsch, Vadim, *Frequency Synthesizers: Theory and Design (second edition).* New York, Wiley–Interscience, 1980.

Blanchard, Alain, *Phase–Locked Loops: Application to Coherent Receiver Design.* New York, Wiley–Interscience, 1976.

Egan, William F., *Frequency Synthesis by Phase Lock.* New York, Wiley–Interscience, 1981.

Rohde, Ulrich L., *Digital PLL Frequency Synthesizers Theory and Design.* Englewood Cliffs, NJ, Prentice–Hall, 1983.

Berlin, Howard M., *Design of Phase–Locked Loop Circuits, with Experiments.* Indianapolis, Howard W. Sams and Co., 1978.

Kinley, Harold, *The PLL Synthesizer Cookbook.* Blue Ridge Summit, PA, Tab Books, 1980.

AN535, Phase–Locked Loop Design Fundamentals, Motorola Semiconductor Products, Inc., 1970.

AR254, Phase–Locked Loop Design Articles, Motorola Semiconductor Products, Inc., Reprinted with permission from *Electronic Design*, 1987.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CRYSTAL OSCILLATOR CONSIDERATIONS

The following options may be considered to provide a reference frequency to Motorola's CMOS frequency synthesizers.

Use of a Hybrid Crystal Oscillator

Commercially available temperature–compensated crystal oscillators (TCXOs) or crystal–controlled data clock oscillators provide very stable reference frequencies. An oscillator capable of sinking and sourcing 50 µA at CMOS logic levels may be direct or dc coupled to OSC_{in}. In general, the highest frequency capability is obtained utilizing a direct–coupled square wave having a rail–to–rail (V_{DD} to V_{SS}) voltage swing. If the oscillator does not have CMOS logic levels on the outputs, capacitive or ac coupling to OSC_{in} may be used. OSC_{out}, an unbuffered output, should be left floating.

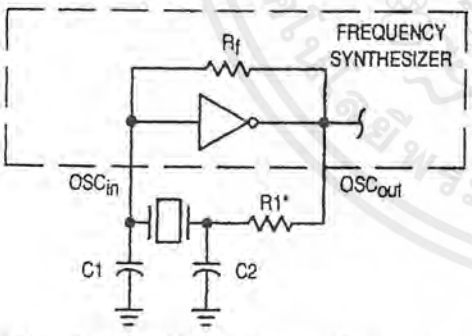
For additional information about TCXOs and data clock oscillators, please consult the latest version of the *eem Electronic Engineers Master Catalog*, the *Gold Book*, or similar publications.

Design an Off–Chip Reference

The user may design an off–chip crystal oscillator using ICs specifically developed for crystal oscillator applications, such as the MC12061 MECL device. The reference signal from the MECL device is ac coupled to OSC_{in}. For large amplitude signals (standard CMOS logic levels), dc coupling is used. OSC_{out}, an unbuffered output, should be left floating. In general, the highest frequency capability is obtained with a direct–coupled square wave having rail–to–rail voltage swing.

Use of the On–Chip Oscillator Circuitry

The on–chip amplifier (a digital inverter) along with an appropriate crystal may be used to provide a reference source frequency. A fundamental mode crystal, parallel resonant at the desired operating frequency, should be connected as shown in Figure 10.



* May be deleted in certain cases. See text.

Figure 10. Pierce Crystal Oscillator Circuit

For V_{DD} = 5.0 V, the crystal should be specified for a loading capacitance, C_L, which does not exceed 32 pF for frequencies to approximately 8.0 MHz, 20 pF for frequencies in the area of 8.0 to 15 MHz, and 10 pF for higher frequencies. These are guidelines that provide a reasonable compromise between IC capacitance, drive capability, swamping variations in stray and IC input/output capacitance, and realistic C_L values. The shunt load capacitance, C_L, presented across the crystal can be estimated to be:

$$C_L = \frac{C_{in}C_{out}}{C_{in} + C_{out}} + C_a + C_O + \frac{C1 \cdot C2}{C1 + C2}$$

where

C_{in} = 5 pF (see Figure 11)
C_{out} = 6 pF (see Figure 11)
C_a = 1 pF (see Figure 11)
C_O = the crystal's holder capacitance (see Figure 12)
C1 and C2 = external capacitors (see Figure 10)

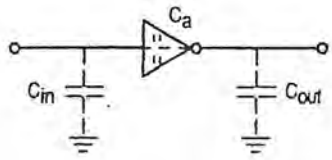
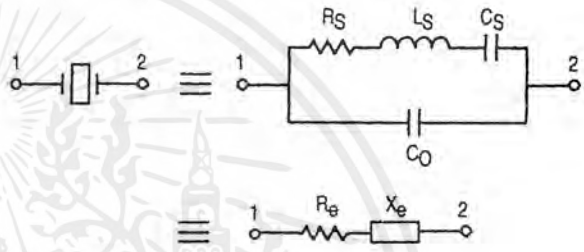


Figure 11. Parasitic Capacitances of the Amplifier



NOTE: Values are supplied by crystal manufacturer (parallel resonant crystal).

Figure 12. Equivalent Crystal Networks

The oscillator can be "trimmed" on–frequency by making a portion or all of C1 variable. The crystal and associated components must be located as close as possible to the OSC_{in} and OSC_{out} pins to minimize distortion, stray capacitance, stray inductance, and startup stabilization time. In some cases, stray capacitance should be added to the value for C_{in} and C_{out}.

Power is dissipated in the effective series resistance of the crystal, R_e, in Figure 12. The drive level specified by the crystal manufacturer is the maximum stress that a crystal can withstand without damage or excessive shift in frequency. R1 in Figure 10 limits the drive level. The use of R1 may not be necessary in some cases (i.e., R1 = 0 Ω).

To verify that the maximum dc supply voltage does not overdrive the crystal, monitor the output frequency as a function of voltage at OSC_{out}. (Care should be taken to minimize loading.) The frequency should increase very slightly as the dc supply voltage is increased. An overdriven crystal will decrease in frequency or become unstable with an increase in supply voltage. The operating supply voltage must be reduced or R1 must be increased in value if the overdriven condition exists. The user should note that the oscillator start–up time is proportional to the value of R1.

Through the process of supplying crystals for use with CMOS inverters, many crystal manufacturers have developed expertise in CMOS oscillator design with crystals. Discussions with such manufacturers can prove very helpful (see Table 1).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Partial List of Crystal Manufacturers

Motorola — Internet Address *http://motorola.com* (Search for resonators)
United States Crystal Corp.
Crystek Crystal
Statek Corp.
Fox Electronics

NOTE: Motorola cannot recommend one supplier over another and in no way suggests that this is a complete listing of crystal manufacturers.

RECOMMENDED READING

Technical Note TN–24, Statek Corp.

Technical Note TN–7, Statek Corp.

E. Hafner, "The Piezoelectric Crystal Unit – Definitions and Method of Measurement", *Proc. IEEE*, Vol. 57, No. 2 Feb., 1969.

D. Kemper, L. Rosine, "Quartz Crystals for Frequency Control", *Electro–Technology*, June, 1969.

P. J. Ottowitz, "A Guide to Crystal Selection", *Electronic Design*, May. 1966.

DUAL–MODULUS PRESCALING

OVERVIEW

The technique of dual–modulus prescaling is well established as a method of achieving high performance frequency synthesizer operation at high frequencies. Basically, the approach allows relatively low–frequency programmable counters to be used as high–frequency programmable counters with speed capability of several hundred MHz. This is possible without the sacrifice in system resolution and performance that results if a fixed (single–modulus) divider is used for the prescaler.

In dual–modulus prescaling, the lower speed counters must be uniquely configured. Special control logic is necessary to select the divide value P or P + 1 in the prescaler for the required amount of time (see modulus control definition). Motorola's dual–modulus frequency synthesizers contain this feature and can be used with a variety of dual–modulus prescalers to allow speed, complexity and cost to be tailored to the system requirements. Prescalers having P, P + 1 divide values in the range of ÷ 3/÷ 4 to ÷ 128/÷ 129 can be controlled by most Motorola frequency synthesizers.

Several dual–modulus prescaler approaches suitable for use with the MC145152–2, MC145156–2, or MC145158–2 are:

MC12009	÷ 5/÷ 6	440 MHz
MC12011	÷ 8/÷ 9	500 MHz
MC12013	÷ 10/÷ 11	500 MHz
MC12015	÷ 32/÷ 33	225 MHz
MC12016	÷ 40/÷ 41	225 MHz
MC12017	÷ 64/÷ 65	225 MHz
MC12018	÷ 128/÷ 129	520 MHz
MC12028A	÷ 32/33 or ÷ 64/65	1.1 GHz
MC12052A	÷ 64/65 or ÷ 128/129	1.1 GHz
MC12054A	÷ 64/65 or ÷ 128/129	2.0 GHz

DESIGN GUIDELINES

The system total divide value, N_{total} (N_T) will be dictated by the application:

$$N_T = \frac{\text{frequency into the prescaler}}{\text{frequency into the phase detector}} = N \bullet P + A$$

N is the number programmed into the ÷ N counter, A is the number programmed into the ÷ A counter, P and P + 1 are the two selectable divide ratios available in the dual–modulus prescalers. To have a range of N_T values in sequence, the ÷ A counter is programmed from zero through P – 1 for a particular value N in the ÷ N counter. N is then incremented to N + 1 and the ÷ A is sequenced from 0 through P – 1 again.

There are minimum and maximum values that can be achieved for N_T. These values are a function of P and the size of the ÷ N and ÷ A counters.

The constraint N ≥ A always applies. If $A_{max} = P - 1$, then $N_{min} \geq P - 1$. Then $N_{Tmin} = (P - 1)\,P + A$ or $(P - 1)\,P$ since A is free to assume the value of 0.

$$N_{Tmax} = N_{max} \bullet P + A_{max}$$

To maximize system frequency capability, the dual–modulus prescaler output must go from low to high after each group of P or P + 1 input cycles. The prescaler should divide by P when its modulus control line is high and by P + 1 when its MC is low.

For the maximum frequency into the prescaler (f_{VCOmax}), the value used for P must be large enough such that:

1. f_{VCOmax} divided by P may not exceed the frequency capability of f_{in} (input to the ÷ N and ÷ A counters).
2. The period of f_{VCO} divided by P must be greater than the sum of the times:
   a. Propagation delay through the dual–modulus prescaler.
   b. Prescaler setup or release time relative to its MC signal.
   c. Propagation time from f_{in} to the MC output for the frequency synthesizer device.

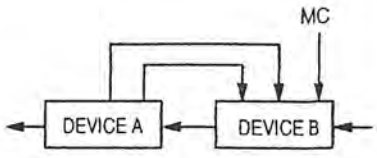
A sometimes useful simplification in the programming code can be achieved by choosing the values for P of 8, 16, 32, or 64. For these cases, the desired value of N_T results when N_T in binary is used as the program code to the ÷ N and ÷ A counters treated in the following manner:

1. Assume the ÷ A counter contains "a" bits where $2^a \geq P$.
2. Always program all higher order ÷ A counter bits above "a" to 0.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. Assume the ÷ N counter and the ÷ A counter (with all the higher order bits above "a" ignored) combined into a single binary counter of n + a bits in length (n = number of divider stages in the ÷ N counter). The MSB of this "hypothetical" counter is to correspond to the MSB of ÷ N and the LSB is to correspond to the LSB of ÷ A. The system divide value, N_T, now results when the value of N_T in binary is used to program the "new" n + a bit counter.

By using the two devices, several dual–modulus values are achievable (shown in Figure 13).



DEVICE A \ DEVICE B	MC12009	MC12011	MC12013
MC10131	÷ 20/÷ 21	÷ 32/÷ 33	÷ 40/÷ 41
MC10138	÷ 50/÷ 51	÷ 80/÷ 81	÷ 100/÷ 101

NOTE: MC12009, MC12011, and MC12013 are pin equivalent.
MC12015, MC12016, and MC12017 are pin equivalent.

Figure 13. Dual–Modulus Values

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

- ขอกราบขอบพระคุณ รศ. ดร. กอบชัย เลชหาญ ที่คอยช่วยเหลือและให้สิ่งดีๆ มาโดยตลอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. Wayne Tomasi, "ELECTRONIC COMMUNICATION SYSTEMS Fundamental Through Advanced ", Third edition, Prentice-Hall, Inc, USA.
2. Stephen R. Fleeman, "Electronic Devices Discrete and Integrated", Prentice-Hall 1990.
3. ดร. สิทธิชัย โภไคยอุดม และ ดร. พีรศักดิ์ วรสุนทโรสถ, "ทฤษฎีการคำนวณวงจรอิเล็กทรอนิกส์", พิมพ์ครั้งที่ 1 พ.ศ. 2533, บริษัทซีเอ็ดยูเคชั่น จำกัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้