

การสื่อสารสัญญาณคลื่นไฟฟ้าหัวใจผ่านเครือข่ายอินเทอร์เน็ต
ELECTROCARDIOGRAM COMMUNICATION VIA INTERNET



ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาวิศวกรรมโทรคมนาคม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2541

เลขที่.....
เลขทะเบียน... 32630
วัน, เดือน, ปี... 18 พ.ค. 2542

เอกสารนี้เป็นเอกสารลิขสิทธิ์สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์อื่นใด
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสื่อสารสัญญาณคลื่นไฟฟ้าหัวใจผ่านเครือข่ายอินเทอร์เน็ต
ELECTROCARDIOGRAM COMMUNICATION VIA INTERNET

โดย

นางสาวกชกร วุฒิวิภู 38014001
นายปัทมพงษ์ ปานระวี 38014289

อาจารย์ที่ปรึกษา

รศ. ดร. สุวิพล สัทธิชีวกาศ

ผศ. เกรียงไกร วงศ์โรจนภรณ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาวิศวกรรมโทรคมนาคม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญาโทปีการศึกษา 2541

ภาควิชาวิศวกรรมโทรคมนาคม

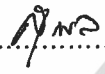
คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การสื่อสารสัญญาณคลื่นไฟฟ้าหัวใจผ่านเครือข่ายอินเทอร์เน็ต

ELECTROCARDIOGRAM COMMUNICATION VIA INTERNET

ผู้จัดทำ

- | | | |
|----------------|----------|----------|
| 1. นางสาวกชกร | วุฒิวิภู | 38014001 |
| 2. นายปัทมพงษ์ | ปานระวี | 38014289 |

.....อาจารย์ที่ปรึกษา
(รศ.ดร. สุวิทย์ สาทิธิวิภาค)

.....อาจารย์ที่ปรึกษา
(ผศ. เกรียงไกร วงศ์โรจนกรณ์)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสื่อสารสัญญาณคลื่นไฟฟ้าหัวใจผ่านเครือข่ายอินเทอร์เน็ต

ELECTROCARDIOGRAM COMMUNICATION VIA INTERNET

โดย นางสาว กชกร วุฒิวิภู 38014001

นาย ปัทมพงษ์ ปานระวี 38014289

อาจารย์ที่ปรึกษา รศ.ดร. สุวิพล สิริธีรวิภาค

ผศ. เกียรติกร วงศ์โรจนภรณ์

บทคัดย่อ

โครงการนี้นำเสนอการสื่อสารสัญญาณคลื่นไฟฟ้าหัวใจผ่านเครือข่ายอินเทอร์เน็ต ซึ่งจะใช้อุปกรณ์ที่ทำหน้าที่ขยายสัญญาณ ซึ่งประกอบไปด้วย วงจรขยายความแตกต่าง วงจรกรองความถี่ และวงจรขยายสัญญาณ และใช้การ์ดแปลงสัญญาณอนาลอกเป็นดิจิทัลสำเร็จรูปเพื่อแปลงสัญญาณนั้นให้เป็นข้อมูลดิจิทัล ส่วนภาคการแสดงผลและส่งสัญญาณผ่านเครือข่ายอินเทอร์เน็ต จะใช้การเขียนโปรแกรมด้วย C++ Builder เป็นตัวควบคุม

ABSTRACT

This project, Electrocardiogram (ECG) Communication Via Internet, uses the ECG receiver which consists of a differential amplifier, low pass filters and amplifiers. An analog to digital converter card is used to convert the ECG signal to digital signal. Finally we write a program using C++ Builder to control displaying and transferring the ECG signal between computers via the network.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีหรือหลักการ	2
2.1 สัญญาณคลื่นไฟฟ้าหัวใจ	2
2.2 หลักการของการวัดคลื่นไฟฟ้าหัวใจ	4
2.3 ออปเปอร์เรชันแนล แอมพลิฟายเออร์	10
2.4 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล	18
2.5 อินเตอร์เน็ต	20
2.6 ทีซีพี/ไอพี	20
2.7 วินซอค	26
บทที่ 3 การคำนวณและการสร้าง	28
3.1 บล็อกไดอะแกรม	28
3.2 เครื่องรับสัญญาณไฟฟ้าหัวใจ	28
3.3 วงจรกรองความถี่ต่ำแบบแอกทีฟ	31
3.4 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล	33
3.5 การออกแบบโปรแกรม	34
บทที่ 4 การทดลองและผลการทดลอง	47
4.1 วงจรอินสตรูเมนต์แอมพลิฟายเออร์	47
4.2 วงจรกรองความถี่ต่ำแบบพาสซีฟ	50
4.3 วงจรกรองความถี่ต่ำแบบแอกทีฟ	51
4.4 เอาท์พุทรวมทุกสแตจ	51
4.5 เอาท์พุทเมื่อใช้สัญญาณ ECG เป็นอินพุท	52
4.6 ผลการทำงานของโปรแกรมแต่ละขั้นตอน	54
บทที่ 5 บทวิจารณ์และบทสรุป	59
ภาคผนวก	
หนังสืออ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

	หน้า
รูปที่ 2.1 รูปหัวใจและลักษณะของคลื่นไฟฟ้าหัวใจ	2
รูปที่ 2.2 องค์ประกอบต่างๆของคลื่นไฟฟ้าหัวใจ	3
รูปที่ 2.3 ความสัมพันธ์ของความต่างศักย์ไฟฟ้าบวก/ลบกับแรงดัน/เวลา ในคลื่นไฟฟ้าหัวใจ	4
รูปที่ 2.4 แสดงตำแหน่งการวัด Bipolar Standard Leads	5
รูปที่ 2.5 แสดงตำแหน่งการวัด Unipolar Limb Leads	5
รูปที่ 2.6 แสดงตำแหน่งการวัด Unipolar Chest Leads	6
รูปที่ 2.7 แสดง LEAD V1-V6	6
รูปที่ 2.8 แสดงตำแหน่งการวัดคลื่นไฟฟ้าหัวใจทั้ง 12 LEADS มาตรฐาน	7
รูปที่ 2.9 แสดงสัญญาณของ Lead I, Lead II และ Lead III	8
รูปที่ 2.10 แสดงสัญญาณของ Lead aVR, Lead aVL, Lead aVF และ Unipolar chest leads	9
รูปที่ 2.11 วงจรขยายแบบกลับ	10
รูปที่ 2.12 วงจรขยายความแตกต่าง	11
รูปที่ 2.13 การหาค่า Common Mode Gain	12
รูปที่ 2.14 การหาค่า Differential Mode Gain	12
รูปที่ 2.15 วงจร Instrumentation Amplifier	13
รูปที่ 2.16 การตอบสนองความถี่ของวงจรกรอง ความถี่ต่ำ	14
รูปที่ 2.17 วงจรกรองความถี่ต่ำ	14
รูปที่ 2.18 วงจรกรองความถี่ต่ำแบบ Sallen and Key	15
รูปที่ 2.19 การตอบสนองความถี่ของวงจรมอธฟิลเตอร์	16
รูปที่ 2.20 วงจรมอธฟิลเตอร์พื้นฐาน	17
รูปที่ 2.21 แสดงตำแหน่งของโพล,ซีโร และการสูญเสียในย่านความถี่ต่างๆของความถี่ของวงจรกรองความถี่แบบมอธฟิลเตอร์	17
รูปที่ 2.22 แสดงตำแหน่งของโพล,ซีโร และการสูญเสียในย่านความถี่ต่างๆของความถี่ของวงจรกรองความถี่ต่ำแบบมอธฟิลเตอร์	18
รูปที่ 2.23 แสดงบล็อกไดอะแกรมของ Successive-approximation ADC Converter	18
รูปที่ 2.24 วิธีการ Successive-Approximation	19
รูปที่ 2.25 แสดงการแปลงแบบ Successive approximation ที่ใช้ sample-and-hold	19
รูปที่ 2.26 แสดงการเติมส่วนหัวในแต่ละขั้นของทีซีที/ไอพี	20
รูปที่ 2.27 การเปรียบเทียบระหว่าง OSI และทีซีที/ไอพี	21
รูปที่ 2.28 แสดงการต่อเครือข่ายคอมพิวเตอร์แบบต่างๆ	21
รูปที่ 2.29 แสดงแพคเกจที่ใช้ส่งในชั้นอินเตอร์เน็ต	22
รูปที่ 2.30 แสดงการแบ่งคลาสของไอพีแอดเดรส	23

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าพระนครเหนือ ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านอื่น

ไม่ว่าในรูปแบบใดก็ตาม หากมีข้อผิดพลาดประการใดขออภัยเป็นอย่างสูงและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำเอกสารไปใช้

รูปที่ 2.31 แสดงตัวอย่างซับริตมาสต์	23
รูปที่ 2.32 แสดงเส้นทางและจำนวนฮอป	24
รูปที่ 2.33 แสดงทีซีพีแพ็คเกจ	25
รูปที่ 2.34 แสดงความสัมพันธ์แต่ละชั้นของทีซีพี/ไอพี	26
รูปที่ 2.35 แสดงลำดับการรีเคเวสต์	27
รูปที่ 3.1 บล็อกไดอะแกรมของโครงการ	28
รูปที่ 3.2 บล็อกไดอะแกรมของเครื่องแสดงคลื่นสัญญาณไฟฟ้าหัวใจ	28
รูปที่ 3.3 วงจร Instrumentation Amplifier และวงจร RL driver	29
รูปที่ 3.4 วงจรกรองความถี่ต่ำแบบนอ้ทชฟิลเตอร์	30
รูปที่ 3.5 วงจรกรองความถี่ต่ำแบบแอกทีฟ	31
รูปที่ 3.6 รูปฮาร์ดแวร์ด้านหน้า	31
รูปที่ 3.7 รูปฮาร์ดแวร์ด้านหลัง	32
รูปที่ 3.8 แสดงภายในส่วนของฮาร์ดแวร์	32
รูปที่ 3.9 การ์ดแปลงสัญญาณอนาล็อกเป็นดิจิตอลสำเร็จรูป TETRA AT-14	33
รูปที่ 3.10 แผนผังแสดงขั้นตอนการทำงานของ โปรแกรมฝั่งเซิร์ฟเวอร์	34
รูปที่ 3.11 แผนผังแสดงขั้นตอนการทำงานของ โปรแกรมฝั่ง ไคลแอนท์	35
รูปที่ 4.1 การหาคอมมอน โหมดเกณฑ์ความถี่ 100 Hz	47
รูปที่ 4.2 การหาคอมมอน โหมดเกณฑ์ความถี่ 200 Hz	48
รูปที่ 4.3 การหาค่าดิฟเฟอเรนเชียล โหมดเกณฑ์ความถี่ 100 Hz	48
รูปที่ 4.4 การหาค่าดิฟเฟอเรนเชียล โหมดเกณฑ์ความถี่ 200 Hz	49
รูปที่ 4.5 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำแบบนอ้ทชฟิลเตอร์ทั้งสามสเตจ	50
รูปที่ 4.6 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำแบบแอกทีฟ	51
รูปที่ 4.7 ผลตอบสนองทางความถี่ของวงจรรวมทั้งหมด	52
รูปที่ 4.8 รูปซั่วอิเล็กทรอนิกส์	52
รูปที่ 4.9 แสดงการติดซั่วอิเล็กทรอนิกส์	53
รูปที่ 4.10 สัญญาณ ECG ที่รับได้	54
รูปที่ 4.11 เซิร์ฟเวอร์ตั้งชื่อไฟล์ที่จะบันทึกสัญญาณ ECG	54
รูปที่ 4.12 เซิร์ฟเวอร์กำลังรับสัญญาณ ECG	55
รูปที่ 4.13 เซิร์ฟเวอร์แสดงรูปสัญญาณ ECG ที่รับเข้ามาได้	55
รูปที่ 4.14 ระบุหมายเลขไอพีเพื่อทำการเชื่อมต่อ	56
รูปที่ 4.15 ไคลแอนท์ร้องขอให้เซิร์ฟเวอร์ส่งไฟล์และตั้งชื่อไฟล์นั้น	56
รูปที่ 4.16 เซิร์ฟเวอร์เลือกไฟล์ที่จะส่ง	57
รูปที่ 4.17 ไคลแอนท์ได้รับไฟล์แล้ว	57
รูปที่ 4.18 ไคลแอนท์แสดงผลจากไฟล์ที่ได้รับ	58

เอกสารรูปที่ 4.17 ไคลแอนท์ได้รับไฟล์แล้ว ช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้าน 57

ไม่ว่ารูปที่ 4.18 ไคลแอนท์แสดงผลจากไฟล์ที่ได้รับ และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำ 58



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

ความก้าวหน้าทางด้านเครือข่ายคอมพิวเตอร์ทำให้เราสามารถใช้งานคอมพิวเตอร์ในงานด้านต่างๆ ได้มากขึ้น จนในปัจจุบันสามารถจะกล่าวได้ว่าเครื่องคอมพิวเตอร์ถือเป็นเครื่องใช้ชนิดหนึ่งที่จำเป็นในการดำเนินชีวิต โดยโครงการนี้เป็นการส่งสัญญาณคลื่นไฟฟ้าหัวใจจากคอมพิวเตอร์ต้นทางไปยังคอมพิวเตอร์ปลายทางผ่านเครือข่ายอินเทอร์เน็ต ซึ่งเป็นเครือข่ายคอมพิวเตอร์ขนาดใหญ่ เป็นที่นิยมกันอย่างกว้างขวาง และมีแนวโน้มของผู้ใช้เพิ่มมากขึ้นอย่างรวดเร็ว ซึ่งโครงการนี้น่าจะก่อให้เกิดประโยชน์ต่อวงการแพทย์ได้บ้าง โดยเฉพาะอย่างยิ่งเมื่อผู้ป่วยและแพทย์อยู่ห่างไกลกัน หรือผู้ป่วยไม่สะดวกที่จะเดินทางไปโรงพยาบาล ซึ่งอุปกรณ์ที่ใช้นั้นก็ไม่ต้องลงทุนมาก มีขนาดพอเหมาะ และใช้งานได้ง่ายไม่ยุ่งยาก



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

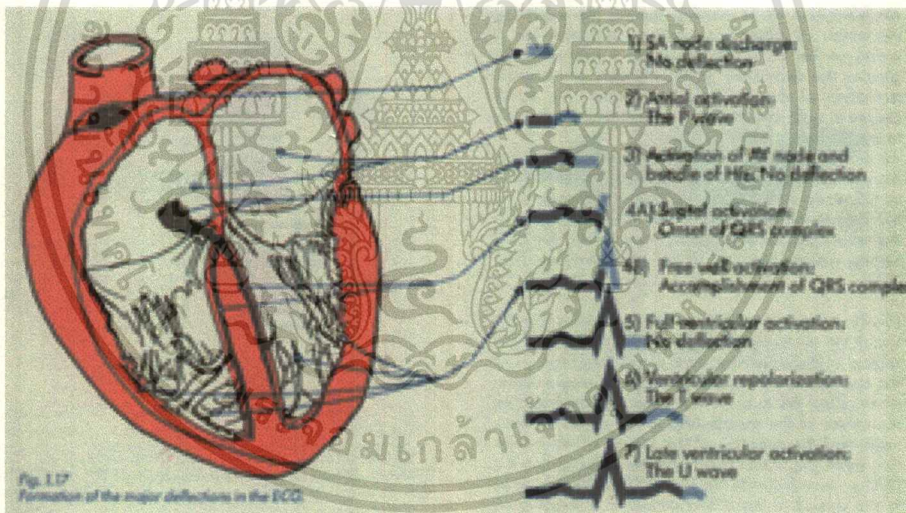
ทฤษฎีหรือหลักการ

2.1 คลื่นไฟฟ้าหัวใจ (Electrocardiogram - E.C.G.)

เซลล์ของหัวใจแบ่งได้ 3 ประเภทคือ

1. Pace maker cell เซลล์ที่ทำหน้าที่เป็นตัวก่อกำเนิด การเต้นของหัวใจ
2. Conducting cell เซลล์ที่เป็นตัวนำคลื่นไฟฟ้า
3. Myocardium เซลล์ที่มีหน้าที่บีบตัวเมื่อถูกกระตุ้น

Pace maker cell มีคุณสมบัติพิเศษ สามารถเกิดการเปลี่ยนแปลงศักดาไฟฟ้าในตัวเองได้เป็นรอบๆ โดยการเคลื่อนย้าย electrolyte คือ Na^+ และ K^- ผ่านผนังเซลล์ เริ่มต้นแต่ละรอบเป็นไซเคิล (cycle) ด้วยการที่ศักดาไฟฟ้าในเซลล์เพิ่มขึ้นอย่างทันทีทันใดเรียกว่า depolarization แล้วกลับลงไปที่ระดับเดิมใหม่เรียกว่า repolarization



รูปที่ 2.1 รูปหัวใจและลักษณะของคลื่นไฟฟ้าหัวใจ

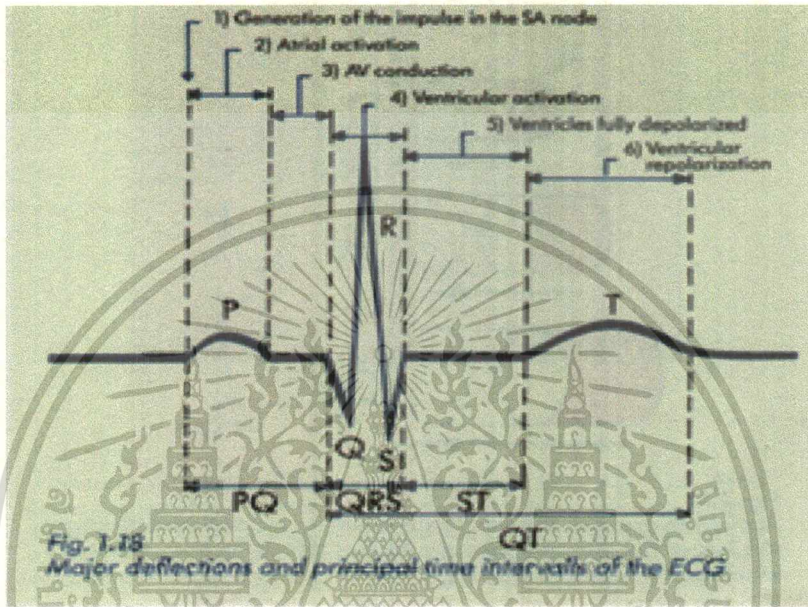
การเปลี่ยนแปลงศักดาไฟฟ้านี้ จะถูกนำไปเกิดจากเซลล์หนึ่งไปยังอีกเซลล์หนึ่ง ต่อๆกันไปโดยผ่าน conducting cell ไปจนถึง myocardium ซึ่งจะหดตัว เมื่อเกิดการเปลี่ยนศักดาไฟฟ้าขึ้น การที่คลื่นของการเปลี่ยนศักดาไฟฟ้า ถูกเหนี่ยวนำให้เกิดต่อๆ กันไปในหัวใจนี้ ทำให้มีคลื่นไฟฟ้ารวมของหัวใจเกิดขึ้น และผ่านเซลล์ของร่างกายมายังผิวหนัง เมื่อเอาขั้วบวกหรือขั้วลบจาก Galvanometer ไฟฟ้าซึ่งเราเรียกว่า อิเล็กโทรด (electrode) ไปวางที่ผิวหนัง จึงสามารถรับคลื่น ไฟฟ้านี้ได้ซึ่งเรียกว่า คลื่นไฟฟ้าหัวใจ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คลื่นไฟฟ้าหัวใจ ที่เกิดขึ้นในแต่รอบ มีลักษณะเป็นคลื่นสูงๆ ต่ำๆ ซึ่งถูกเรียกชื่อ เพื่อความสะดวกดังนี้

P wave เป็นคลื่นแรกของแต่ละไซเคิลเกิดจากกล้ามเนื้อหัวใจห้องบนบีบตัว

QRS complex เกิดจากกล้ามเนื้อหัวใจห้องล่างบีบตัว

T wave เกิดจากกล้ามเนื้อหัวใจห้องล่างคลายตัว



รูปที่ 2.2 องค์ประกอบต่างๆ ของคลื่นไฟฟ้าหัวใจ

ช่วงเวลาต่าง ๆ ของคลื่นไฟฟ้าหัวใจ	ช่วงเวลปกติ (วินาที)
ช่วงเวลาของ PR (P-R Interval)	0.12-0.20
ช่วงเวลาของ QT (Q-T Interval)	0.35-0.44
ช่วงเวลาของ ST (S-T Segment)	0.05-0.15
ช่วงเวลาของ P (P Wave Interval)	0.11
ช่วงเวลาของ QRS (QRS Interval)	0.09

ตารางที่ 2.1 แสดงช่วงเวลาต่างๆ ของคลื่นไฟฟ้าหัวใจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 หลักการของการวัดคลื่นไฟฟ้าหัวใจ (Principle of electrocardiography)

เป็นการวัดความต่างศักย์ไฟฟ้าที่เกิดจากคลื่นไฟฟ้าหัวใจ ระหว่างจุด 2 จุด บนผิวหนัง โดยอาศัยอุปกรณ์ต่างๆ ซึ่งประกอบด้วย

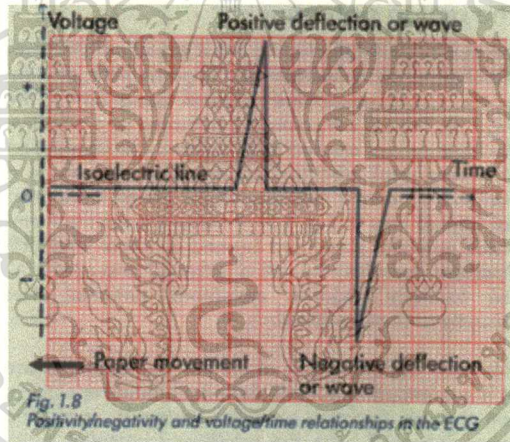
1. ขั้วไฟฟ้า (The electrode)
2. สายนำไฟฟ้า (The leads)
3. ภาขยาย (The amplifier)
4. ภาคบันทึก (The recorder)
5. กระดาษบันทึก (The paper)

โดยอาศัยหลักการคือ

ถ้าความต่างศักย์ไฟฟ้าเป็นบวก เส้นกราฟจะมีทิศทางขึ้นด้านบน

ถ้าความต่างศักย์ไฟฟ้าเป็นลบ เส้นกราฟจะมีทิศทางลงล่าง

ถ้าความต่างศักย์เป็นศูนย์ กราฟจะเป็นเส้นตรง



รูปที่ 2.3 ความสัมพันธ์ของความต่างศักย์ไฟฟ้าบวก/ลบกับแรงดัน/เวลา ในคลื่นไฟฟ้าหัวใจ

การนับจากขณะเริ่มเกิด P wave ไปจนเริ่มเกิด QRS complex ซึ่งเรียกว่า PR interval ปกติไม่ควรนานกว่า 0.2 วินาที การเกิด QRS complex ตั้งแต่ต้นจนจบ ไม่ควรนานกว่า 0.12 วินาที ถ้านานกว่านั้น แสดงว่าผิดปกติ

การวัดคลื่นไฟฟ้าหัวใจ ประกอบด้วย lead มาตรฐาน 12 leads ได้แก่

-Bipolar Standard Leads จำนวน 3 leads : LEAD I, LEAD II, LEAD III

-Unipolar Limb Leads จำนวน 3 leads :LEAD aVR, LEAD aVL, LEAD aVF

-Unipolar Chest Leads จำนวน 3 leads :LEAD V1-V6

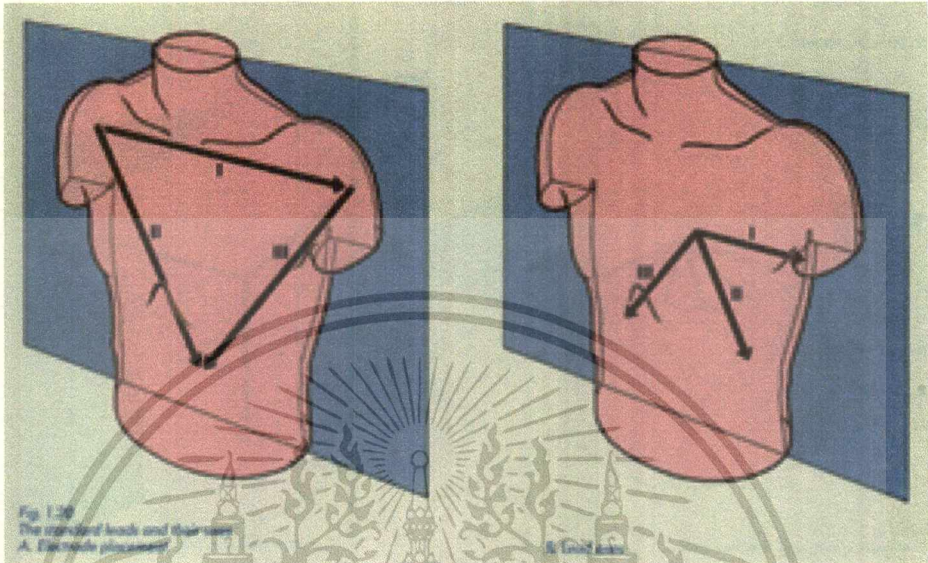
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมีเหตุดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Bipolar Standard Leads

LEAD I = แขนซ้าย (ขั้วบวก) กับแขนขวา (ขั้วลบ)

LEAD II = ขาซ้าย (ขั้วบวก) กับแขนขวา (ขั้วลบ)

LEAD III = ขาซ้าย (ขั้วบวก) กับแขนซ้าย (ขั้วลบ)



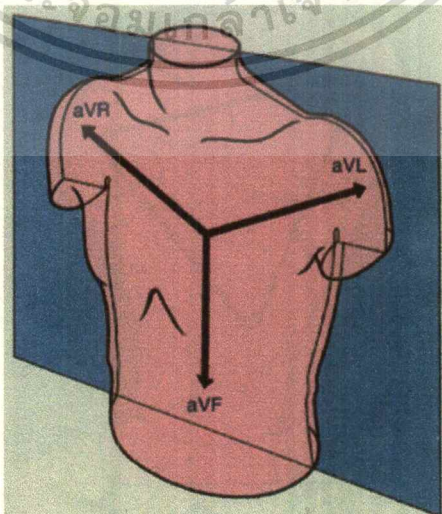
รูปที่ 2.4 แสดงตำแหน่งการวัด Bipolar Standard Leads

Unipolar Limb Lead

aVR = แขนขวา

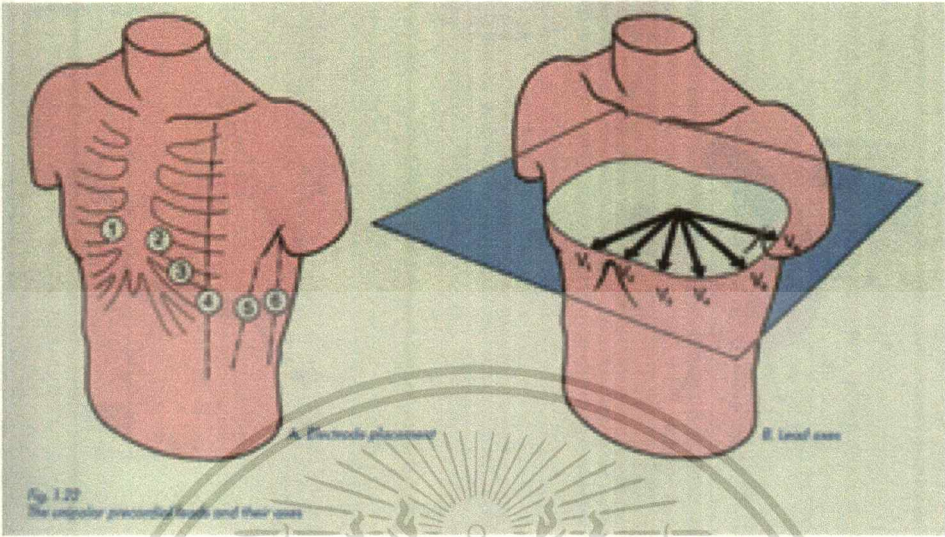
aVL = แขนซ้าย

aVF = ขาซ้าย

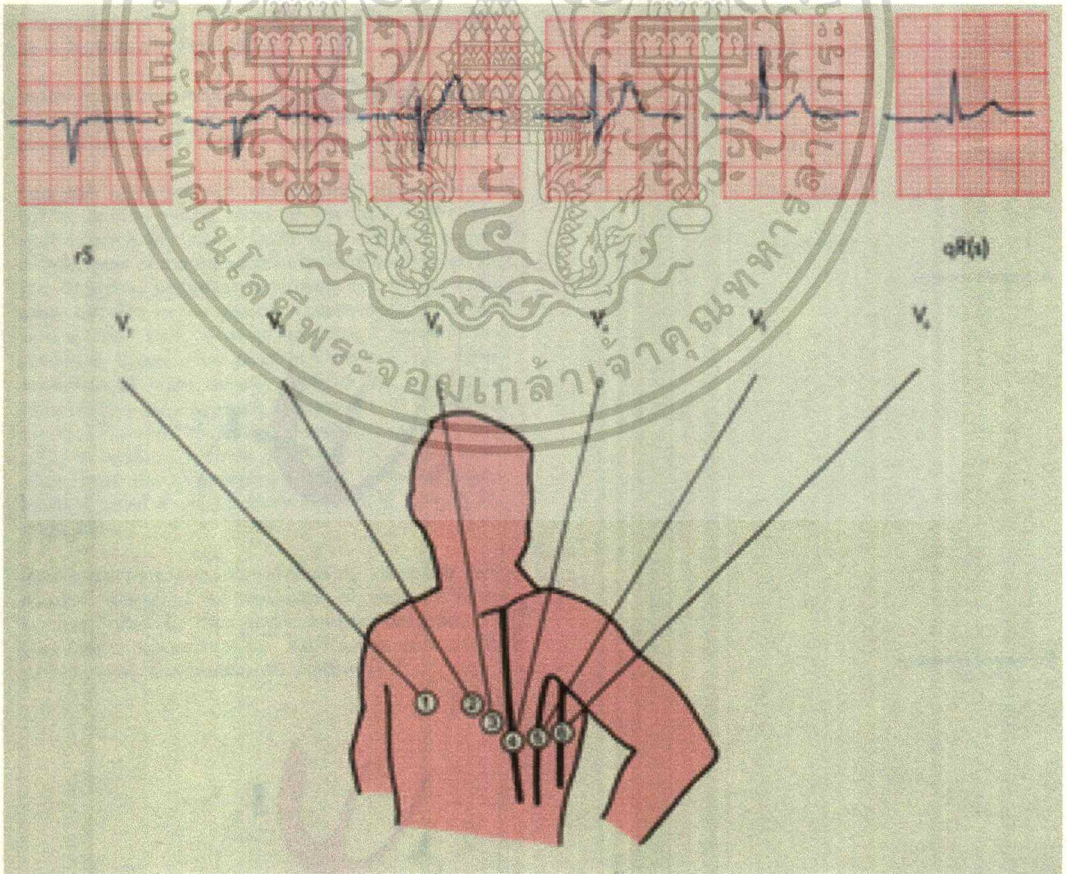


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อยุติให้นำไปใช้ประโยชน์ด้านการค้า
รูปที่ 2.5 แสดงตำแหน่งการวัด Unipolar Limb Leads
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Unipolar Chest Leads

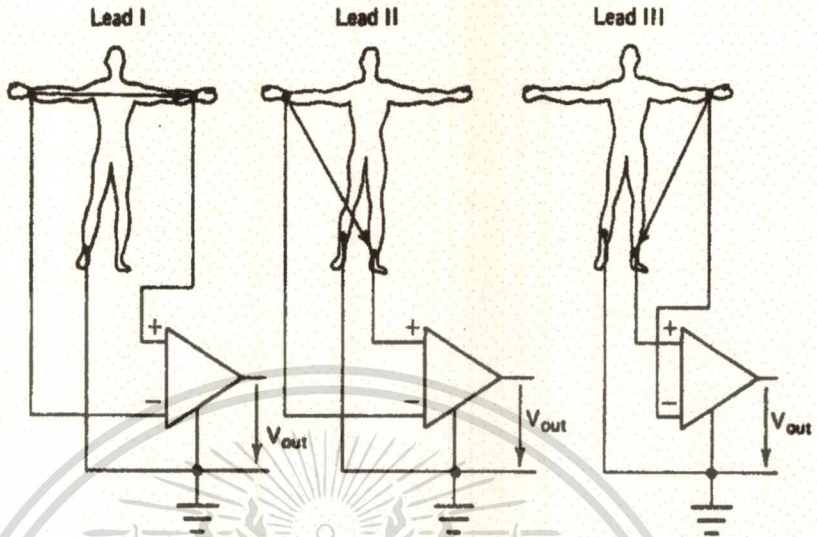


รูปที่ 2.6 แสดงตำแหน่งการวัด Unipolar Chest Leads

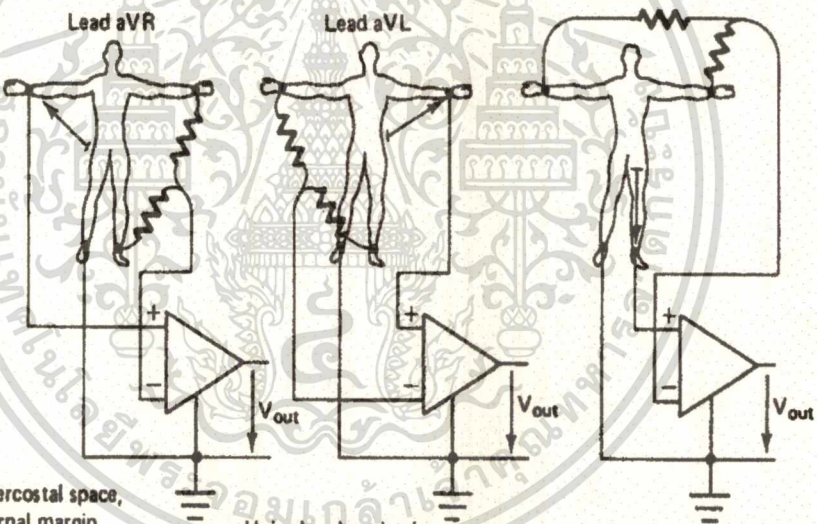


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงรูปที่ 2.7 แสดง LEAD V1-V6 ของเอกสารทุกครั้งที่มีการนำไปใช้

Bipolar limb leads

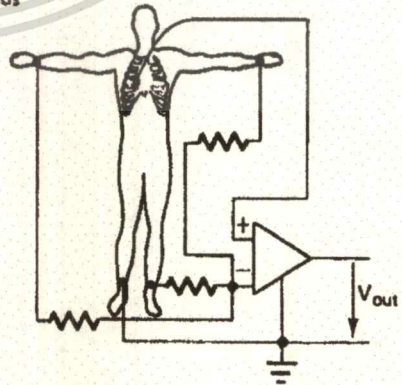
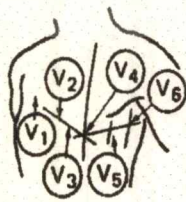


(Augmented) Unipolar limb leads

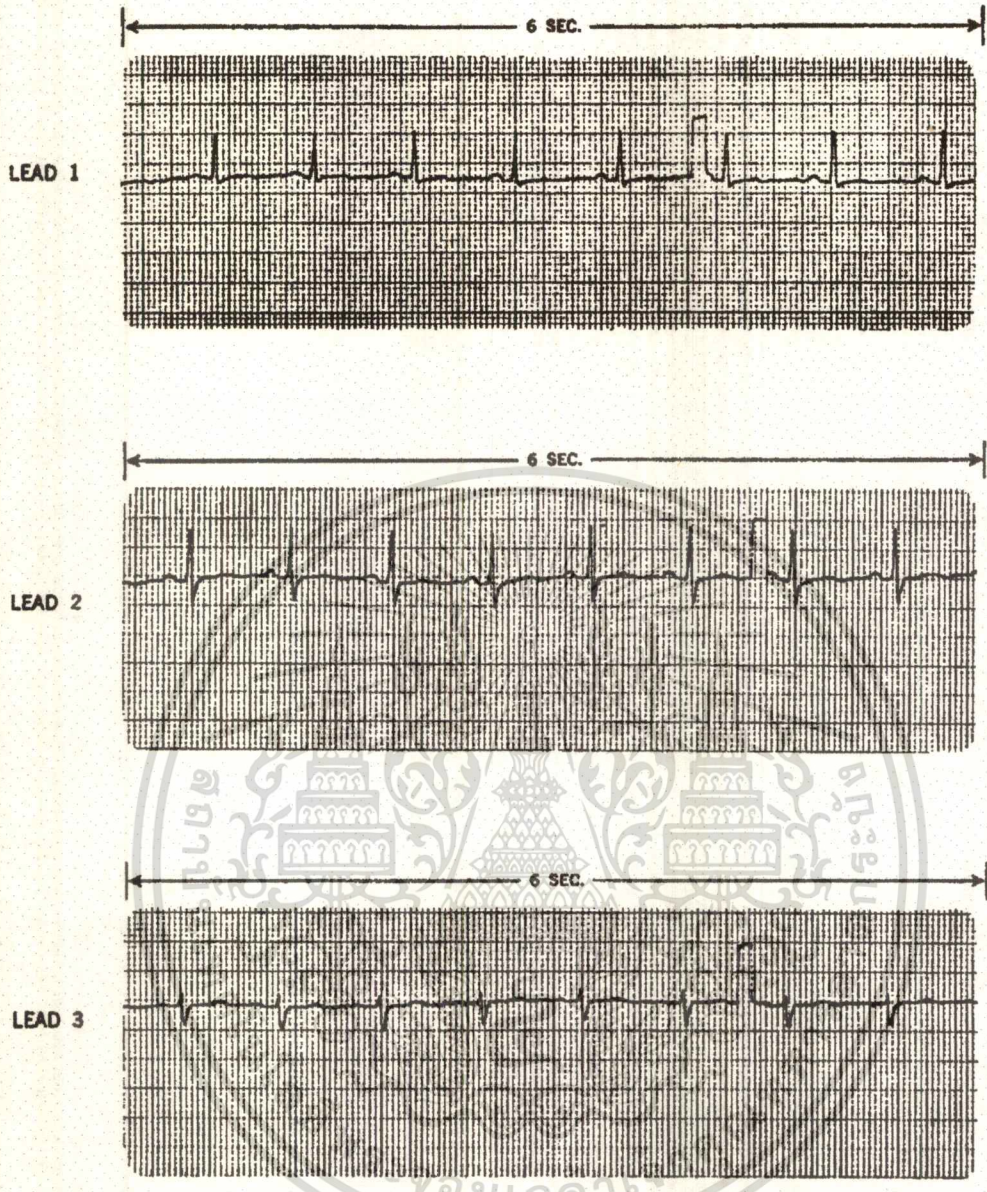


Unipolar chest leads

- V₁ Fourth intercostal space, at right sternal margin.
- V₂ Fourth intercostal space, at left sternal margin.
- V₃ Midway between V₂ and V₄.
- V₄ Fifth intercostal space, at mid-clavicular line.
- V₅ Same level as V₄, on anterior axillary line.
- V₆ Same level as V₄, on mid-axillary line.

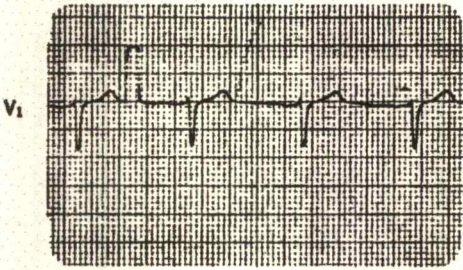


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น รูปที่ 2.8 แสดงตำแหน่งการวัดคลื่นไฟฟ้าหัวใจทั้ง 12 LEADS มาตรฐานที่มีการนำไปใช้

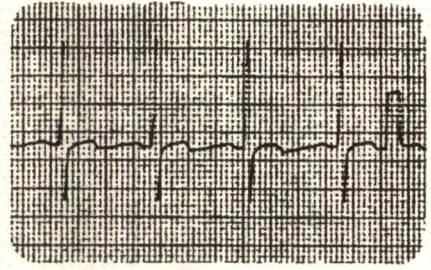


รูปที่ 2.9 แสดงสัญญาณของ Lead I, Lead II และ Lead III

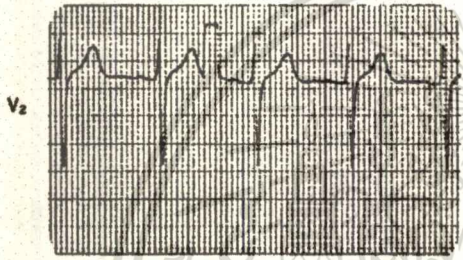
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



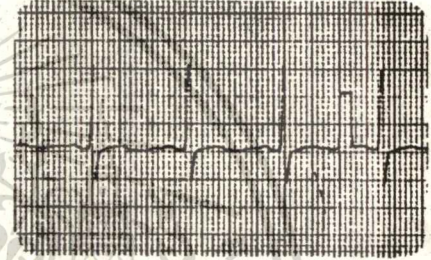
V₁



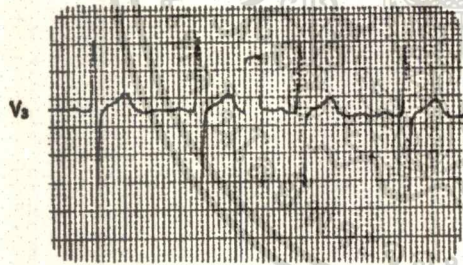
V₄



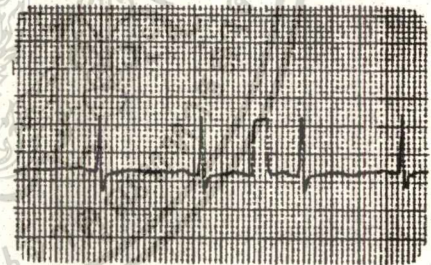
V₂



V₅



V₃

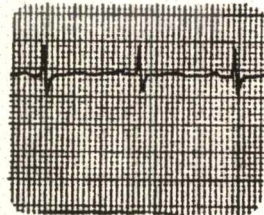
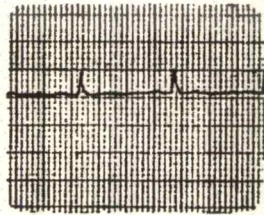
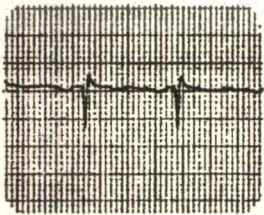


V₆

AVR

AVL

AVF



เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อใช้ในการศึกษาเท่านั้น ไม่ควรเอาไปทำสิ่งใดที่ใช้ประโยชน์ด้านการค้า
รูปที่ 2.10 แสดงสัญญาณของ Lead aVR, Lead aVL, Lead aVF และ Unipolar chest leads
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 ออปเปอร์เรชันแนล แอมพลิฟายเออร์ (Operational Amplifier)

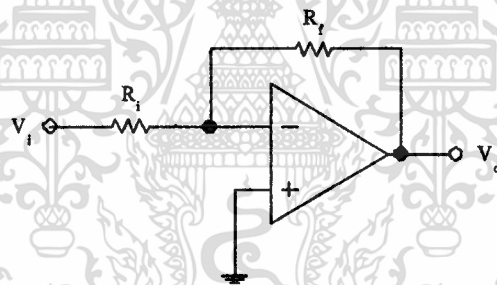
ออปเปอร์เรชันแนล แอมพลิฟายเออร์ (Operational Amplifier) หรือที่เรียกกันสั้น ๆ ว่า ออปแอมป์ (Op-Amp) เป็นวงจรมাত্রฐานอย่างหนึ่งที่สามารถต่อออกมาภายนอกได้หลาย ๆ แบบ โดยใช้อุปกรณ์น้อยชิ้นเพื่อให้ได้การใช้งานต่าง ๆ ตามต้องการ

สำหรับวงจรการใช้งานของออปแอมป์มีอยู่มากมายหลายแบบ ในที่นี่จะขอลงกล่าวถึงหัวข้อต่อไปนี้

- วงจรขยายแบบกลับ (Inverting Amplifier)
- วงจรขยายความแตกต่าง (Differential Amplifier)
- วงจรอินสตรูเมนต์แอมพลิฟายเออร์ (Instrumentation Amplifier)
- วงจรกรองความถี่ (Filter Amplifier)

2.3.1 วงจรขยายแบบกลับ

วงจรขยายแบบกลับ เป็นวงจรที่รับเอาสัญญาณเข้าทางขั้วอินเวอร์ตติ้ง (Inverting terminal) และเอาท์พุทที่ได้จะเป็นสัญญาณที่มีเฟสต่างกัน 180 องศา กับสัญญาณอินพุท โดยวงจรมีลักษณะเป็นดังรูปที่ 2.11



รูปที่ 2.11 วงจรขยายแบบกลับ

สัญญาณเอาท์พุทที่ได้จะมีค่ามากน้อยเพียงใด ขึ้นอยู่กับอัตราขยายแรงดัน (Voltage Gain) จากรูปที่ 2.11 อัตราขยายแรงดันของวงจรควบคุมได้โดย R_f และ R_i และสามารถคำนวณหาได้จากสูตร

$$\text{Voltage Gain (A}_v\text{)} = \frac{-R_f}{R_i}$$

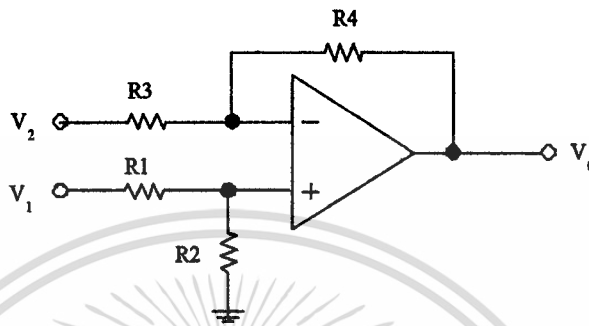
เครื่องหมายลบเป็นการแสดงให้เห็นว่ามีกรกลับเฟสของวงจร และสำหรับแรงดันเอาท์พุทสามารถคำนวณได้จากสูตร

$$\begin{aligned} V_{out} &= A_v V_i \\ &= \frac{-R_f}{R_i} V_i \end{aligned}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.2 วงจรขยายความแตกต่าง

วงจรขยายความแตกต่าง เป็นวงจรขยายสัญญาณความแตกต่างที่เข้ามาทางขั้วอินเวอร์ตติ้งและขั้วนอน-อินเวอร์ตติ้ง (Noninverting terminal) มีลักษณะพิเศษในการกำจัดสัญญาณรบกวนได้ดี อุปกรณ์ประกอบภายนอกเป็นตัวต้านทานไม่จำเป็นต้องใช้ตัวเก็บประจุเลย สำหรับวงจร Differential Amplifier แสดงดังรูปที่ 2.12



รูปที่ 2.12 วงจรขยายความแตกต่าง

รูปที่ 2.12 เป็นวงจรพื้นฐานของวงจร Differential Amplifier โดยแรงดันเอาต์พุตหาได้ดังนี้

$$v_o = \left(\frac{R_3 + R_4}{R_3} \right) \left(\frac{R_2}{R_1 + R_2} \right) v_1 - \left(\frac{R_4}{R_3} \right) v_2$$

เมื่อ $R_1 = R_2 = R_3 = R_4$ อัตราขยายความแตกต่างจะเท่ากับ 1

ส่วนค่าอินพุตอิมพีแดนซ์จะเป็นดังนี้

$$\text{อินพุตอิมพีแดนซ์ของขั้ว อินเวอร์ตติ้ง} = R_3$$

$$\text{อินพุตอิมพีแดนซ์ของขั้ว นอน-อินเวอร์ตติ้ง} = R_1 + R_2$$

โดยเอาต์พุตของ Differential op-amp จะเท่ากับ

$$v_o = (v^+ - v^-) A$$

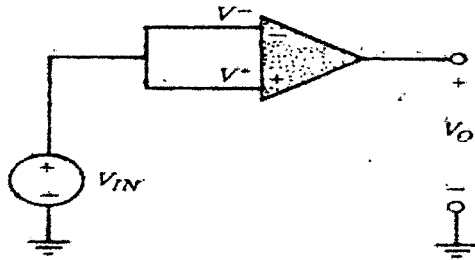
เมื่อ A เป็นค่าเกนของออปแอมป์, v^+ เป็นแรงดันที่ขั้วบวก และ v^- เป็นแรงดันที่ขั้วลบ

ถ้าหากต่อ Differential op-amp ในแบบคอมมอน โหมดดังรูปที่ 2.13 ซึ่งจะมีแรงดันที่เท่ากันป้อนเข้าที่ขั้วทั้งสอง แรงดันเอาต์พุตควรจะเป็นศูนย์ แต่จากสมการข้างบนนี้แสดงว่าออปแอมป์อุดมคติมีความสมมาตร คือเกนจากขั้วลบไปยังเอาต์พุต, A^- มีค่าเท่ากับเกนจากขั้วบวกไปยังเอาต์พุต, A^+ ออปแอมป์ที่ใช้จริงจะไม่สมมาตรกัน นำไปสู่แรงดันเอาต์พุตในแบบคอมมอน โหมดดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้รวมเมื่อรวมเข้าด้วยกัน ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทอม $(A^+ - A^-)$ คือ คอมมอนโหมดเกน (Common Mode Gain) ในออปแอมป์อุคมคติ นั้น ค่าคอมมอนโหมดเกนนี้จะเท่ากับศูนย์

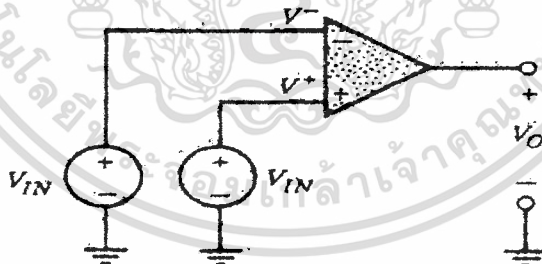


รูปที่ 2.13 การหาค่าของ Common Mode Gain

ต่อไปทำการพิจารณาการต่อ Differential op-amp ทางอุคมคติในแบบคิฟเฟอร์เรนเชียลโหมดดังแสดงในรูปที่ 2.14 ซึ่งอินพุตทั้งสองมีขนาดเท่ากัน แต่มีเครื่องหมายตรงข้ามกัน จะเห็นว่าแรงดันเอาต์พุตของออปแอมป์ทางอุคมคติมีค่าเป็น $2A_{V_{IN}}$ แต่ในความเป็นจริงแล้ว เอาต์พุตจะเท่ากับ

$$V_o = (A^+ + A^-) V_{IN} = 2 \left(\frac{A^+ + A^-}{2} \right) V_{IN}$$

เทอม $\left(\frac{A^+ + A^-}{2} \right)$ จะเรียกว่า คิฟเฟอร์เรนเชียลโหมดเกน (Differential Mode Gain)



รูปที่ 2.14 การหาค่าของ Differential Mode Gain

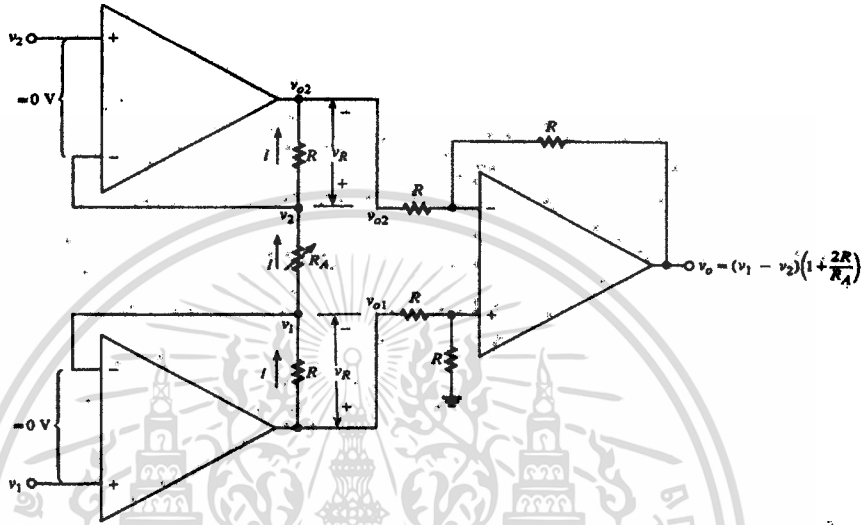
ในการวัดการกคของสัญญาณคอมมอนโหมดที่ไม่ต้องการ เทียบกับสัญญาณคิฟเฟอร์เรนเชียลโหมดซึ่งเป็นสัญญาณที่ต้องการ จะกล่าวถึงในรูปของ Common Mode Rejection Ratio (CMRR) ซึ่งกำหนดให้เท่ากับ

$$CMRR = \frac{\text{Differential Mode Gain}}{\text{Common Mode Gain}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ภายในเท่านั้น กรุณาอย่าเผยแพร่ให้ผู้อื่นภายนอกหน่วยงานโดยไม่ได้รับอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= \frac{\left(\frac{A^+ + A^-}{2} \right)}{|A^+ - A^-|}$$

2.3.3 วงจรอินสตรูเมนเทนซ์แอมพลิฟายเออร์



รูปที่ 2.15 วงจร Instrumentation Amplifier

วงจรนี้ใช้วงจร Differential Amplifier เป็นพื้นฐาน โดยส่วนที่เพิ่มขึ้นมาก็คืออินพุตทั้งสองสเตจที่มีสัญญาณอินพุตต่อเข้าที่ขั้วอินอินเวอร์ตติ้ง (Noninverting terminal) ของออปแอมป์ ในการวิเคราะห์ตามรูปที่ 2.15 โดยสมมติว่า $v_1 > v_2$ ดังนั้นกระแสที่ไหลผ่าน R_A จะเท่ากับ

$$i = \frac{v_1 - v_2}{R_A}$$

เนื่องจากไม่มีกระแสไหลเข้าไปที่ขั้วอินพุตของแอมพลิฟายเออร์ แรงดัน V_R มีค่าเป็น

$$v_R = iR = \frac{(v_1 - v_2)R}{R_A}$$

ซึ่ง

$$v_{01} = v_1 + v_R$$

และ

$$v_{02} = v_2 - v_R$$

โดยแรงดัน v_{01} และ v_{02} ก็เป็นแรงดันอินพุตของ differential stage ซึ่งมีอัตราขยายความแตกต่างเป็น 1

ซึ่งก็คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำให้ได้ว่า

$$v_o = (v_1 + v_R) - (v_2 - v_R) = v_1 - v_2 + 2v_R$$

$$v_o = (v_1 - v_2) + \frac{2(v_1 - v_2)R}{R_A} = (v_1 - v_2) \left(1 + \frac{2R}{R_A}\right)$$

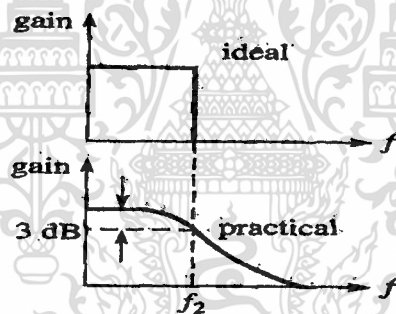
จะเห็นว่าเอาต์พุตของ Instrumentation Amplifier เป็นสัดส่วนกับผลต่างของแรงดันอินพุตทั้งสอง

2.3.4 วงจรกรองความถี่ (Filter Circuit)

ในการใช้งานอิเล็กทรอนิกส์ บางครั้งเราอาจต้องการให้สัญญาณบางความถี่ผ่านเข้ามาเท่านั้น โดยที่สัญญาณซึ่งมีความถี่นอกเหนือจากนี้จะถูกกำจัดออกไปซึ่งก็คือประโยชน์ของวงจรกรองความถี่ สำหรับคลื่น อี.ซี.จี. นั้นจะมีความถี่อยู่ในช่วง 0.1 - 200 เฮิรตซ์ จึงจำเป็นอย่างมากที่จะต้องใช้วงจรกรองความถี่ในการกำจัดสัญญาณที่ไม่ต้องการออกไป เพื่อให้สัญญาณที่ออกมามีความถูกต้องมากที่สุด

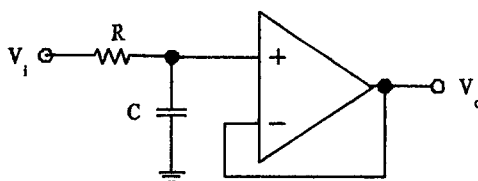
2.3.4.1 วงจรกรองความถี่ต่ำ (Low-Pass Filter)

วงจรกรองความถี่ต่ำเป็นวงจรที่กันไม่ให้สัญญาณที่มีความถี่สูงกว่าความถี่คัทออฟ (Cutoff frequency) ผ่านเข้าไปในวงจรเลย แต่ในทางปฏิบัติไม่ได้เป็นไปในลักษณะนั้นแต่จะค่อย ๆ ลดลงอัตราขยายลงเรื่อย ๆ ดังรูปที่ 2.16



รูปที่ 2.16 การตอบสนองความถี่ของวงจรกรองความถี่ต่ำ

วงจรกรองความถี่ต่ำนี้จะลดทอนขนาดของสัญญาณที่มีความถี่สูงกว่าความถี่คัทออฟ ซึ่งเรียกว่า ช่วงสัญญาณที่มีความถี่ต่ำกว่าความถี่คัทออฟว่า ช่วง Pass Band และเรียกว่าช่วงที่มีความถี่สูงกว่าความถี่สัญญาณคัทออฟว่า ช่วง Stop Band จากรูปที่ 2.17 แสดงตัวอย่างของวงจรกรองความถี่ต่ำแบบพื้นฐาน



รูปที่ 2.17 วงจรกรองความถี่ต่ำ

เมื่อมีสัญญาณอินพุตที่มีความถี่ต่ำ ค่ารีแอกแตนซ์ของตัวเก็บประจุ (X_C) จะมีค่าสูงทำให้แรงดันทั้งหมดจากอินพุตตกคร่อมตัวเก็บประจุ เป็นผลทำให้แรงดันเอาต์พุต V_o มีค่าประมาณเท่ากับแรงดันอินพุต V_{in} ด้วย หากสัญญาณอินพุตที่เข้ามามีความถี่สูง จะทำให้ค่ารีแอกแตนซ์ของตัวเก็บประจุ มีค่าต่ำ เป็นผลให้ตัวเก็บประจุเสมือนลัดวงจร ดังนั้น V_o จึงมีค่าต่ำด้วย สรุปได้ว่า ช่วงของสัญญาณที่มีค่าความถี่ต่ำจะผ่านไปยังปรากฏที่เอาต์พุต โดยที่สัญญาณที่มีความถี่สูงจะถูกกั้นเอาไว้ เราสามารถหาความถี่ f_c ได้จากสมการ

$$f_c = \frac{1}{2\pi RC}$$

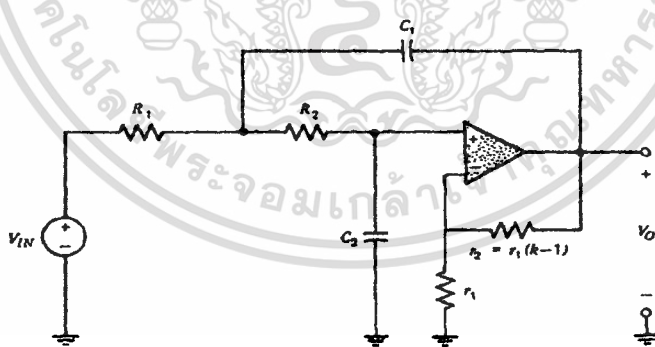
2.3.4.2 วงจรกรองความถี่ต่ำแบบแอกทีฟฟิลเตอร์ (Active Low-Pass Filter)

ในที่นี้จะใช้วงจรกรองความถี่แบบ Sallen and Key ดังแสดงในรูปที่ 2.18 โดยทรานสเฟอ์ฟังก์ชันของวงจรแอกทีฟ(สมมติเป็นอุดมคติ) และให้อัตราการขยายของออปแอมป์มีค่าเป็นอนันต์แล้วจะได้

$$T_V = \frac{k/R_1 R_2 C_1 C_2}{s^2 + s \left(\frac{1}{R_1 C_1} + \frac{1}{R_2 C_2} + \frac{1-K}{R_2 C_2} \right) + \frac{1}{R_1 R_2 C_1 C_2}}$$

$$k = 1 + \frac{r_2}{r_1}$$

โดย



รูปที่ 2.18 วงจรกรองความถี่ต่ำแบบ Sallen and Key

พิจารณาทรานสเฟอ์ฟังก์ชันของวงจรกรองความถี่ต่ำ

$$T_{LP} = \frac{K}{s^2 + \frac{\omega_p}{Q} s + \omega_p^2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ซึ่งจะได้ว่า ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\omega_p = \sqrt{\frac{1}{R_1 R_2 C_1 C_2}}$$

$$Q_p = \frac{\omega_p}{(bw)_p} = \frac{\sqrt{R_1 R_2 C_1 C_2}}{\frac{1}{R_1 C_1} + \frac{1}{R_2 C_1} + \frac{1-k}{R_2 C_2}}$$

$$K = \frac{k}{R_1 R_2 C_1 C_2}$$

จากสมการข้างบนกำหนดให้

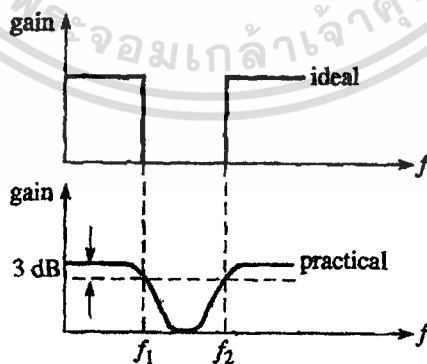
$$C_1 = C_2 = 1 \quad R_1 = R_2 = R$$

ก็จะได้

$$R_1 = R_2 = \frac{1}{\omega_p} \quad k = 3 - \frac{1}{Q_p}$$

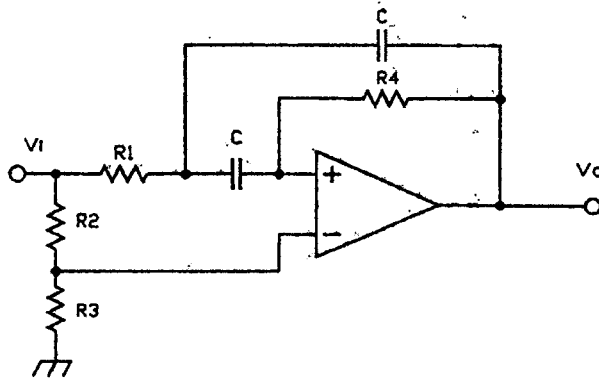
2.3.4.3 วงจรนอ้ชฟิลเตอร์ (Notch Filter)

วงจรถนอ้ชฟิลเตอร์นี้จะยอมให้ความถี่ทุก ๆ ค่าผ่านยกเว้นความถี่ช่วงหนึ่งซึ่งได้กำหนดไว้ โดยทั่วไปวงจรถนอ้ชฟิลเตอร์นี้มักใช้เพื่อกันสัญญาณรบกวนที่พวกเรารับค่าความถี่แล้ว ดังรูปที่ 2.19 แสดงการตอบสนองต่อความถี่ของวงจรถนอ้ชฟิลเตอร์



รูปที่ 2.19 การตอบสนองความถี่ของวงจรถนอ้ชฟิลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

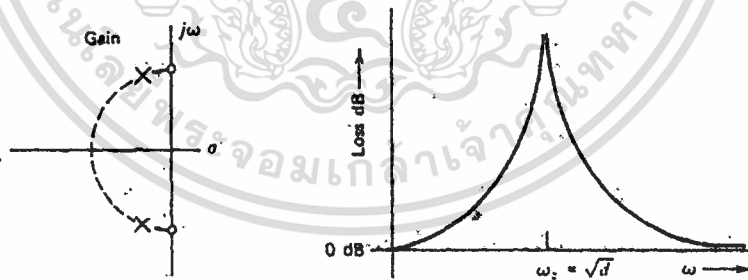


รูปที่ 2.20 วงจรนอ้ชฟิลเตอร์พื้นฐาน

ทรานสเฟอร์ฟังก์ชันอันดับสองเท่ากับ

$$\frac{V_o}{V_{IN}} = \frac{s^2 + d}{s^2 + as + d} = \frac{s^2 + \omega_z^2}{s^2 + \frac{\omega_p}{Q_p}s + \omega_p^2}$$

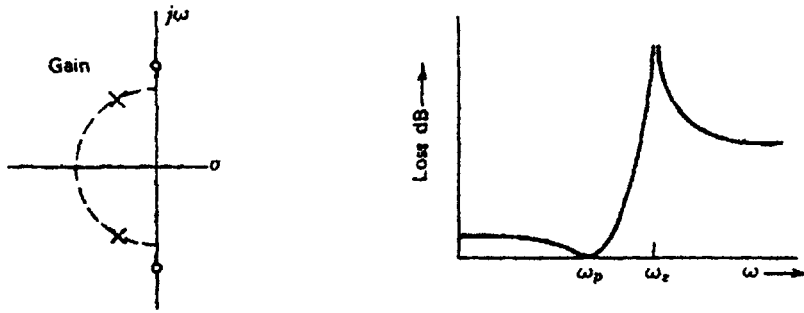
พิจารณาค่าแห่งของโพลและซีโรของสมการข้างบน เมื่อ $\omega_z = \omega_p$ จะพบว่าสมการมีโพลเชิงซ้อนอยู่ที่เส้นรอบวง และมีซีโรเชิงซ้อนอยู่บนแกนจินตภาพตามรูปที่ 2.21



รูปที่ 2.21 แสดงตำแหน่งของ โพล,ซีโร และการสูญเสียในย่านความถี่ของวงจรกรองความถี่แบบนอ้ชฟิลเตอร์

เมื่อ $\omega_z \gg \omega_p$ จะมีลักษณะเป็นวงจรกรองความถี่ต่ำแบบนอ้ชฟิลเตอร์ (Low-Pass Notch Filter) ตามรูปที่ 2.22

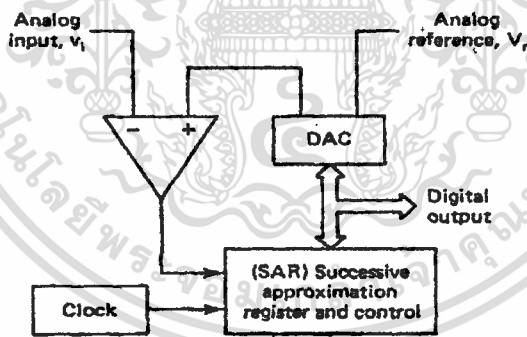
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.22 แสดงตำแหน่งของ โพล,ซีโร และการสูญเสียในย่านความถี่ต่างๆของ วงจรกรองความถี่ต่ำแบบนอซ์ฟิลเตอร์

2.4 วงจรแปลงสัญญาณอนาลอกเป็นดิจิทัล (Analog to Digital Converter : A/D Converter : ADC)

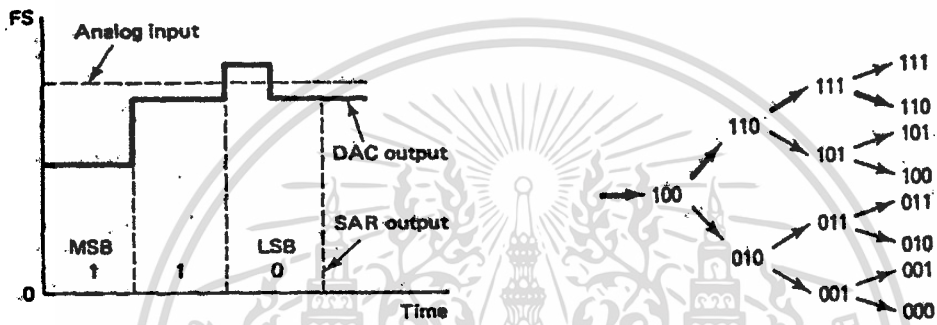
A/D Converter เป็นอุปกรณ์ชนิดหนึ่งซึ่งรับสัญญาณแรงดันอนาลอกเข้ามาเป็นอินพุต แล้วสร้างสัญญาณดิจิทัลที่ใช้แรงดันอนาลอกนั้นขึ้น โดยจะมีอยู่ 2 กระบวนการที่เกี่ยวข้องกับการทำข้อมูลอนาลอกให้เป็นดิจิทัล กระบวนการแรกคือ การแซมปลิง (Sampling) ซึ่งเป็นการหาค่าแรงดันอนาลอก ณ จุดที่ไม่ต่อเนื่องทางเวลา แรงดันที่ถูกแซมเปิลแล้วต้องนำไปจัดระดับต่อไป ซึ่งเป็นกระบวนการที่สอง การจัดระดับคือการเลือกค่าดิจิทัลที่มีความยาวค่าหนึ่งที่จะใช้แทนแรงดันอนาลอกนั้น



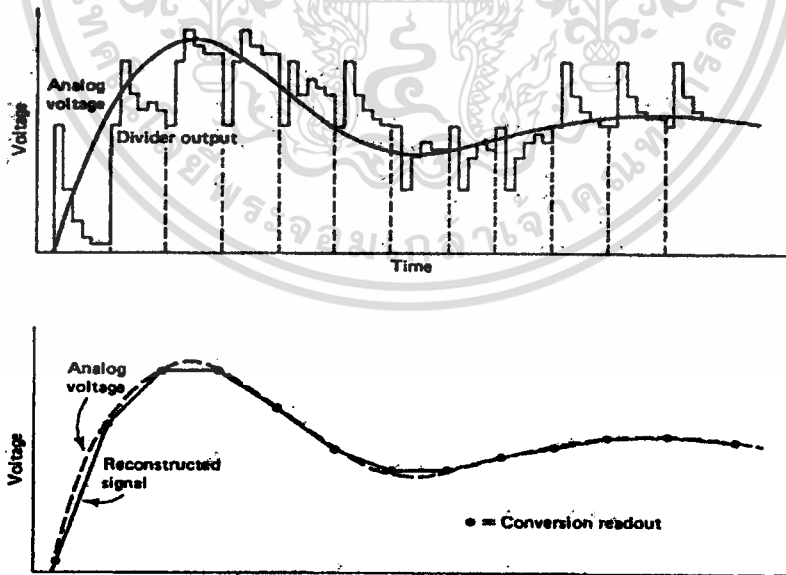
รูปที่ 2.23 แสดงบล็อกไดอะแกรมของ Successive-approximation ADC Converter

ในรูปที่ 2.23 เป็นบล็อกไดอะแกรมของ Successive-approximation ADC Converter โดยทั่วไปแล้ววิธีการที่ใช้ในการแปลงข้อมูลอนาลอกเป็นดิจิทัลที่ใช้กันส่วนมาก คือวิธีการเปรียบเทียบค่าในรีจิสเตอร์กับแรงดันอินพุต ส่วนวิธีการที่จะปรับค่าสัญญาณดิจิทัลให้ตรงกับสัญญาณอินพุตนั้นมีหลายวิธีด้วยกัน และวิธีการ Successive-approximation นี้ก็เป็นเทคนิคหนึ่งที่ใช้บ่อย จากรูปที่ 2.23 จะเห็นว่าวงจรนี้มีวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก (Digital to Analog Converter : DAC) อยู่ภายใน ทำหน้าที่สร้างสัญญาณอนาลอกให้สอดคล้องกับสัญญาณดิจิทัลที่ออกมาจาก Successive-Approximation Register ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(SAR) ซึ่งรีจิสเตอร์นี้ก็คือชุดของฟลิปฟล็อปนั่นเอง โดยแต่ละบิตจะถูกตรวจสอบว่า การเพิ่มค่าในรีจิสเตอร์นั้นจะทำให้ค่าในรีจิสเตอร์มากกว่าค่าของสัญญาณอินพุตหรือไม่ ถ้ายังไม่เกิน บิตที่ถูกตรวจสอบนั้นก็จะมีค่าเป็น 1 แต่ถ้าเกินค่าสัญญาณอินพุต บิตนั้นก็จะมีค่าเป็น 0 โดยกระบวนการดังกล่าวนี้ เริ่มต้นจากบิตที่มีความสำคัญมากที่สุด(Most Significant Bit)และทำต่อไปเรื่อยๆ จากบิตซ้ายไปขวา ข้อดีของกระบวนการนี้คือ ช่วงเวลาการแปลงสัญญาณจะคงที่ ไม่ขึ้นกับสัญญาณอินพุต อีกทั้งยังให้ผลตอบสนองที่ดีต่อการเปลี่ยนแปลงอย่างรวดเร็วของสัญญาณอินพุต โดยจะใช้วงจรแรมป์แอนคัลโฮลเป็นตัวอ่านค่าแรงดันที่เวลาเริ่มต้นของการแปลง และคงค่านั้นไว้ระหว่างทำการแปลง ซึ่งจะทำให้ผลลัพธ์ที่ได้มีค่าใกล้เคียงกับสัญญาณอินพุตมากยิ่งขึ้น



รูปที่ 2.24 วิธีการ Successive-Approximation



รูปที่ 2.25 แสดงการแปลงแบบ Successive approximation ที่ใช้วงจร sample-and-hold

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 อินเทอร์เน็ต (Internet)

Internet เป็นชื่อเครือข่ายที่ใหญ่ที่สุดในโลกมีการส่งแบบแพคเกจสวิตซิง (Packet switching) โดยในการติดต่อสื่อสารบนระบบ Internet จะใช้โปรโตคอลที่ซีพี/ไอพี(TCP/IP) เป็นหลัก

ส่วนคำว่า internet เป็นชื่อระบบเครือข่ายทั่วไป ในการติดต่อกันของคอมพิวเตอร์ 2 เครื่องจะใช้ IP Address เป็นตัวอ้างอิงที่อยู่ของคอมพิวเตอร์แต่ละเครื่องซึ่งเป็นเลขฐานสอง ที่มี 8 bit เป็นจำนวน 4 ชุด (xxx.xxx.xxx.xxx) หลังจากได้จุดหมายปลายทางแล้วจะทำการแปลงข้อมูลให้อยู่ในรูปแบบที่เหมาะสม โดยในการส่งจะทำการเติมข้อมูลบางข้อมูล เพื่อกำหนดจุดหมายปลายทางและอื่นๆ

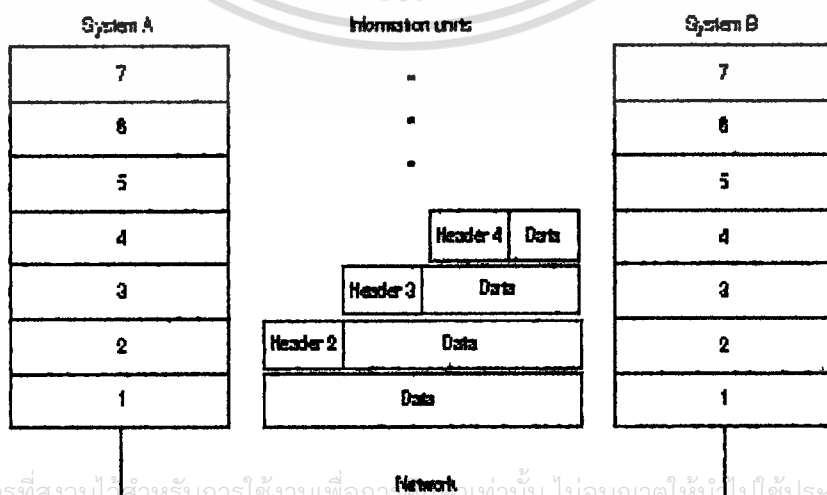
ในระบบเน็ตเวิร์คทั่วไปจะทำงานแบบ ไคลเอนท์/เซิร์ฟเวอร์ (Client/Server) จะมีผู้ทำหน้าที่บริการข้อมูลต่าง ๆ ทรัพยากรต่างๆ ให้แก่ ไคลเอนท์ ที่จะคอยทำการร้องขอและรับข้อมูล ไปใช้ประโยชน์ เน็ตเวิร์คที่เชื่อมต่อกันนั้นสามารถแบ่งแยกตามขนาดได้ ได้แก่

1. โลกัลแอเรียเน็ตเวิร์ค (LAN:Local Area Network) เป็นการเชื่อมต่อภายในท้องถิ่น
2. วยด์แอเรียเน็ตเวิร์ค (WAN:Wide Area Network) เป็นการเชื่อมต่อระยะไกลขึ้นมาอีกอาจเป็น LAN 2 ระบบมาต่อกัน
3. เมโทรโพลิแทนเน็ตเวิร์ค (MAN:Metropolitan Area Network) เป็นการต่อเน็ตเวิร์คใหญ่ขึ้นมา จาก WAN อาจเป็นการต่อเน็ตเวิร์คในเมือง

2.6 ทีซีพี/ไอพี (TCP/IP)

โปรโตคอลที่ซีพี/ไอพี (Transmission Control Protocol/Internet Protocol) เป็นกลุ่มโปรโตคอลที่พัฒนาขึ้นเพื่อให้คอมพิวเตอร์สามารถใช้ทรัพยากรและบริการฟังก์ชันพื้นฐานสำหรับการใช้งานระบบสื่อสารข้อมูลคอมพิวเตอร์ได้

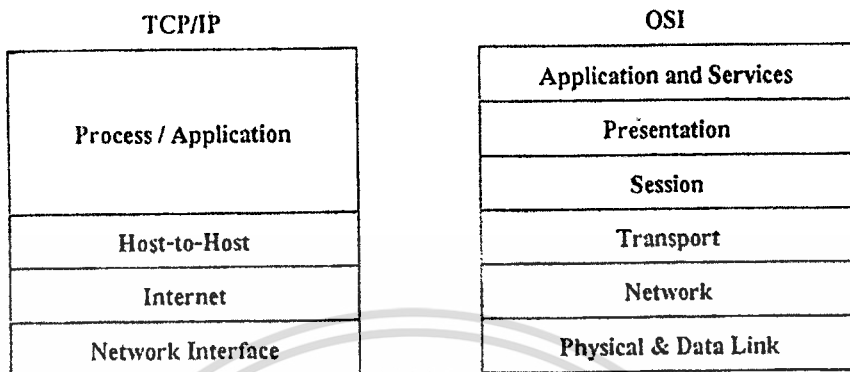
ข้อมูลที่ใช้ทีซีพี/ไอพีจะถูกแบ่งออกเป็นข้อมูลย่อยๆ เพื่อทยอยส่ง เมื่อถึงปลายทางก็ทำการรวบรวมข้อมูลให้เหมือนเดิม มีการจัดรูปแบบแพคเกจในการสื่อสารเพื่อประโยชน์ต่อการส่งสัญญาณ โดยทำการเติมส่วนหัว (Header) ดังรูป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับดูและใช้เฉพาะที่โรงเรียนเท่านั้น ไม่อนุญาตให้ใช้ในวัตถุประสงค์อื่น

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกที่รูปที่ 2.26 แสดงการเติมส่วนหัวในแต่ละชั้นของทีซีพี/ไอพี การทุกครั้งที่มีการนำไปใช้

การติดต่อสื่อสารของทีซีพี/ไอพี จะถูกกำหนดให้ทำงานเป็นระดับชั้น (Layer) เพื่อให้มีการทำงานเป็นอิสระต่อกัน เมื่อทำการเปรียบเทียบ โมเดลอ้างอิงระบบเปิด โอเอสไอ(Open Systems Interconnection Reference Model: OSI-RM) กับทีซีพี/ไอพีจะเป็นดังรูปที่ 2.27



รูปที่ 2.27 การเปรียบเทียบระหว่าง OSI และ ทีซีพี/ไอพี

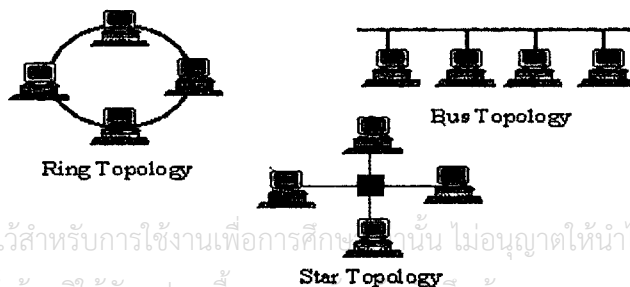
จากรูปสามารถอธิบายชั้นต่างๆ ของ ทีซีพี/ไอพี และ OSI ได้ดังนี้

2.6.1 ชั้นเชื่อมต่อระบบเครือข่าย (Network Interface Layer)

ทำงานในชั้นเดียวกับ OSI physical layer และ Data link layer ชั้นนี้จะทำหน้าที่ในการสื่อสารข้อมูลทางกายภาพ ในระดับสัญญาณนำส่ง คำนวณที่ใช้ส่ง ระบบสื่อสัญญาณ และรูปแบบสัญญาณที่ใช้ในการแทนข้อมูลว่าเป็นสัญญาณลอจิกศูนย์ "0" หรือ "1" ตัวอย่างของระบบที่ทำงานใน ชั้นนี้ เช่น ระบบเครือข่ายแบบอีเทอร์เน็ต หรือระบบเครือข่ายแบบ โทแกนริงและจัดข้อมูลเป็นกลุ่มที่เรียกว่าเฟรม (Frame) เฟรมจะมีส่วนหัวใช้แสดงตำแหน่งของต้นทางและปลายทางข่าวสารที่ใช้ในการควบคุม และ ส่วนท้ายที่ใช้ในการตรวจสอบข้อผิดพลาด

การติดต่อสื่อสารระดับล่างสุดเฟรมจะถูกส่งจากอุปกรณ์เชื่อมต่อระบบเครือข่าย (Network Interface Device) ของเครื่องต้นทางผ่านระบบสื่อสัญญาณต่างๆ ไปถึงอุปกรณ์เชื่อมต่อระบบเครือข่าย ของเครื่องปลายทาง ตัวอย่างการต่อระบบเน็ตเวิร์คมีดังนี้

Network Topologies

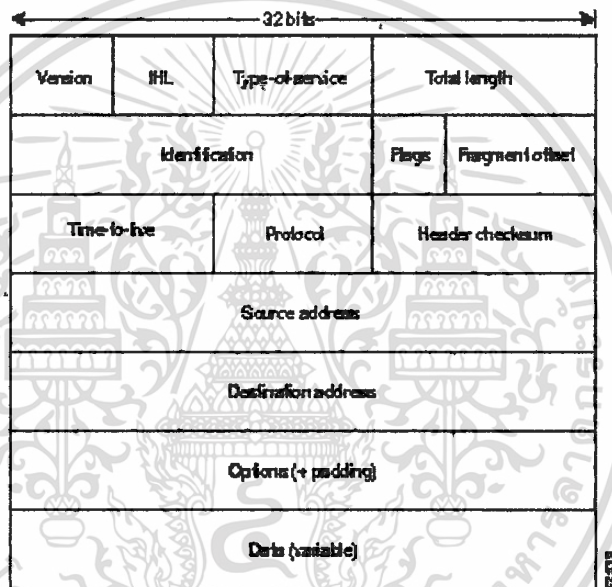


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.28 แสดงการต่อเครือข่ายคอมพิวเตอร์แบบต่างๆ

2.6.2 ชั้นอินเทอร์เน็ต (Internet layer)

ชั้นนี้จะมีอินเทอร์เน็ต โปรโตคอล (ไอพี) เป็นโปรโตคอลหลัก คอยทำหน้าที่ค้นหาเส้นทางที่เหมาะสม ข้อมูลที่จะส่งเรียกว่าคำดาแกรม (Datagram) ชั้นนี้ไม่มีการรับประกันว่าข้อมูลที่ผ่านจากไอพีขึ้นไปนั้นจะถูกดอง ไอพีมีหน้าที่หลักคือรับข้อมูลมาจากที่ซีพีหรือยูดีพี แล้วสร้างเป็นคำดาแกรม ไอพีจะทำงานแบบไม่มีการเชื่อมต่อก่อน (Connectionless) คำดาแกรมจะถูกจัดเส้นทางที่เป็นอิสระต่อกัน และไม่มีการจัดลำดับคำดาแกรมให้ถูกต้อง ดังนั้น ไอพีจะต้องมีความสามารถในการแลกเปลี่ยนข่าวสารที่ใช้ กับโปรโตคอลตัวอื่นด้วย โดยข้อมูลแต่ละแพ็คเกจที่ส่งจะมีหมายเลขของเครื่องต้นทางปลายทางอยู่ในแพ็คเกจนั้นๆด้วย เพื่อบอกจุดหมายปลายทางของแพ็คเกจและบอกที่มา เมื่อใดที่ปลายทางนี้ได้รับแพ็คเกจก็จะจัดเก็บแพ็คเกจและรวบรวมไว้แล้วส่งให้ชั้น โสสต์ทูโอสต์ ส่วนแพ็คเกจที่หมายเลขเครื่องไม่ตรงกับหมายเลขเครือข่ายตนเองก็จะส่งไปยังเครือข่ายอื่น โดยมีรูปแบบของแพ็คเกจที่ใช้ส่งดังนี้



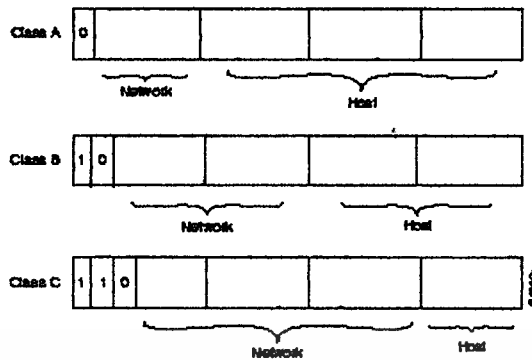
รูปที่ 2.29 แสดงแพ็คเกจที่ใช้ส่งในชั้นอินเทอร์เน็ต

2.6.2.1 ไอพีแอดเดรส (IP Address)

ไอพีแอดเดรสเป็นเลขฐานสองขนาด 32 บิต ที่เขียนเป็นเลขฐานสิบ 4 ตัวเรียงลำดับกัน และถูกแบ่งโดยเครื่องหมายจุด เรียกกันว่า คอทเดซิมีอล (dotted decimal) ตัวอย่างเช่น 161.246.10.21 ไอพีแอดเดรสเป็นเลขแอดเดรสที่มีจุดประสงค์เกี่ยวกับระบบการหาเส้นทางและเราสามารถแบ่งตัวเลขภายในไอพีแอดเดรสของเน็ตเวิร์คที่ต่ออยู่เป็น 2 ส่วน คือ เน็ตเวิร์คไอดีเอ็นดีไฟเออร์ (NET_ID :Network Identifier) เป็นเลขที่บ่งชี้ถึง เน็ตเวิร์คย่อยที่ต่ออยู่กับอินเทอร์เน็ต มีลักษณะคล้ายกับรหัสประเทศ, รหัสเมือง และ โสสต์ไอดีเอ็นดีไฟเออร์ (Host_ID : Host identifier) ส่วนนี้จะบ่งชี้ถึงแต่ละ Host ภายใน เน็ตเวิร์คย่อย หรือ โลกคอลแอดเดรส ในแต่ละเน็ตเวิร์คย่อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไอพีแอดเดรส จะแบ่งเป็นคลาสต่าง ๆ คือ class A, B และ C โดยแบ่งตามขนาดของจำนวนโฮสต์แอดเดรส แบ่งได้ดังนี้



รูปที่ 2.30 แสดงการแบ่งคลาสของ ไอพีแอดเดรส

คลาส เอ (Class A) 7 bit เป็น NET_ID และ 24 bit เป็น Host_ID สามารถมีโฮสต์ภายในเน็ตเวิร์คได้ $2^{24} = 16,777,216$ โฮสต์ ซึ่งเป็นเน็ตเวิร์คที่มีขนาดใหญ่มาก ค่าในของ NET_ID มีค่าตั้งแต่ 1-126 ตัวอย่าง class A เช่น 9.0.0.0 (IBM)

คลาส บี (Class B) 14 bit เป็น NET_ID และ 16 bit เป็น Host_ID เป็นเน็ตเวิร์คขนาดกลางมีโฮสต์ แอดเดรสภายในได้ $2^{16} = 65,536$ โฮสต์ ค่าใน NET_ID มีค่าตั้งแต่ 128-191 ตัวอย่าง class B เช่น 128.138.0.0 (Nestnet)

คลาส ซี (Class C) 21 bit เป็น NET_ID และ 8 bit เป็น Host_ID เป็นเน็ตเวิร์คขนาดเล็กจะมีโฮสต์แอดเดรสได้แก่ $(2^8 - 2) = 254$ โฮสต์ ค่าใน NET_ID ชุดแรกจะมีค่าตั้งแต่ 192-223 ตัวอย่าง class C เช่น 208.162.102.0 (Hill associates)

นอกจากนี้ยังมี class D ที่เลขชุดแรกมีค่าตั้งแต่ 224-239 ใช้สำหรับมัลติแคสติง(Multicasting) เช่นการส่งวิดีโอแบบหนึ่งชุดไปยังโฮสต์หลาย ๆ โฮสต์ และ Class E เริ่มใช้ตั้งแต่ 246-255 จะถูกจองไว้เพื่อใช้ในการทดลอง

บางแอดเดรสจะถูกจองไว้ทำหน้าที่เฉพาะอย่างเช่น ถ้าในHost_ID เป็น 0 หมด จะหมายถึงเน็ตเวิร์คย่อยนั้น ๆ ถ้า Host_ID เป็น 1 หมด จะเป็นบรอดคาสท์แอดเดรส จะบอกถึงโฮสต์ทุกๆตัวในเน็ตเวิร์ค ถ้า NET_ID เป็น 127 จะเป็นลูปแบ็คแอดเดรส (Loopback Address) นอกจากไอพีแอดเดรสแล้วยังมีซับเน็ตมาสก์มีหน้าที่บอกถึงสัดส่วนทางแอดเดรสเพื่อบ่งชี้เน็ตเวิร์ค ถ้าห้บการค้นหาเส้นทาง ตัวอย่างซับเน็ตมาสก์มีดังนี้

	0010 1100	1000 1000	0001 1000	0000 0000
	44	136	24	0
dotted decimal	1111 1111	1111 1111	1111 1110	0000 0000
subnet mask	255	255	254	0

← 23 bits for the network
← 9 bits for hosts

รูปที่ 2.31 แสดงตัวอย่างซับเน็ตมาสก์

ชั้นเน็ตมาส์สามารถแบ่งจำนวน โฮสต์ภายในเน็ตเวิร์คให้มีขนาดเล็กลงได้โดยแบ่งย่อยๆเป็น เน็ตเวิร์คย่อยๆ

2.6.2.2 โดเมนเนมซิสเต็ม (Domain Name System)

เป็นการยากที่จะจำเลขไอพีแอดเดรสขนาด 32 บิตดังนั้นจึงทำการเปลี่ยนเป็น ชื่อที่จำได้ง่ายแทนเพื่อความสะดวกของผู้ใช้งาน เช่นเปลี่ยนจาก ไอพีแอดเดรส 161.246.10.21 เป็น chaokhun.kmitl.ac.th โดยมีหลักเกณฑ์การตั้งชื่อ เช่น .th คือ thailand .ac คือ academic เป็นต้น

โดเมนเนมหลักได้แก่ .com, .edu, .net, .org, .int, .gov, .mil เป็นต้น โดเมนเนมที่ได้ จะอ่านจากขวาไปซ้ายตามลำดับความสำคัญ แต่อย่างไรก็ตาม โดเมนเนมก็จะถูกเปลี่ยนเป็น ไอพีแอดเดรส เพื่อนำไปบอกถึงเส้นทางและปลายทาง

2.6.2.3 เออาร์พี และแอดเดรสรี โซลูชัน (ARP and Address Resolution)

อินเทอร์เน็ตใช้ไอพีแอดเดรสขนาด 32 บิต ในการกำหนดเบอร์ประจำตัวของ โฮสต์ในระบบเครือข่ายเสมือนของมัน แต่ในการส่งข้อมูลจริง ๆ ในระบบเครือข่านั้นจำเป็นต้องมีแอดเดรสอีกแบบคือ แม็คนัมเบอร์ (MAC number: Medium Access Control) หรือฟิสิคัลแอดเดรส เป็นเบอร์แอดเดรสที่ผู้ผลิตฮาร์ดแวร์กำหนดให้ฮาร์ดแวร์คอนสตรัคชันมา โดยส่วนใหญ่เป็นการ์คเชื่อม โยงเครือข่าย (Network Interform Card - NIC)

MAC Number เป็นเลขขนาด 48 บิต ในระบบเครือข่ายอีเทอร์เน็ตแบ่งเป็น 3 ไบท์แรกเป็นเบอร์ประจำตัวผู้ผลิต และ 5 ไบท์ที่เหลือเป็นเบอร์ที่ผู้ผลิตกำหนดให้กับการ์ด ถ้ามีโฮสต์ 2 ตัว ต่ออยู่บนระบบเครือข่ายเดียวกัน แต่ละตัวมีไอพีแอดเดรสเป็น IA และ IB และมี ฟิสิคัลแอดเดรส P_A และ P_B ผู้ใช้จะใช้ไอพีแอดเดรสอ้างอิงตำแหน่งเท่านั้น แต่การทำงานจริง ๆ แล้วระบบเครือข่ายจะติดต่อกันโดยใช้ฟิสิคัลแอดเดรสดังนั้นถ้า A รู้แค่ไอพีแอดเดรสของ B และอยากติดต่อกับ B จำเป็นต้องแปลงไอพีแอดเดรสของ B เป็นฟิสิคัลแอดเดรสโดยใช้โปรโตคอล ARP (Address Resolution Protocol) เป็นโปรโตคอล ในการหาฟิสิคัลแอดเดรสทางไอพีแอดเดรสที่รู้แล้ว

2.6.2.4 ไอพีเร้าท์ติง: โอเอสพีเอฟ, อาร์ไอพี และ บีจีพี (IP Routing : OSPF, RIP และ BGP)

ในการส่งเคต้าแกรมนั้นจะต้องมาวิเคราะห์หาเส้นทางที่เหมาะสมโดยดูจากตารางข่าวสารเส้นทาง (Routing Information Table) จะมีทั้งแบบสแตติกและไดนามิค แบบสแตติกจะกำหนดเส้นทางตายตัว ซึ่งไม่เหมาะในระบบเครือข่ายขนาดใหญ่ที่มีการเปลี่ยนแปลงตลอดเวลา แบบไดนามิคจะปรับเปลี่ยนตลอดเวลาเพื่อให้ได้ระยะทางสั้นที่สุด

Destination address	Next hop
34100	54 34 23 12
79200	54 34 23 12
147 95 0	
171200	
	54 32 12 10
	54 32 12 10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยจะใช้โปรโตคอล IGP (Interior Gateway Protocol) ในการช่วยหาเส้นทางภายในระบบเครือข่าย (Intranetwork) และโปรโตคอลอาร์ไอพี (Routing Information Protocol) ก็เป็น interior gateway protocol ที่ใช้หาเส้นทางแบบ distance vector algorithm โดยทุกระบบจะกำหนดทุกๆ รอบให้มีค่าเป็น 1 เราท์เตอร์จะคูณผลรวมของระบบแล้วดูว่าเส้นทางไหนผลรวมน้อยที่สุด

2.6.2.5 โปรโตคอลโอเอสทีเอฟ (OSPF-Open Shortest Path First Protocol)

เป็นโปรโตคอลในการจัดเส้นทางที่ทำงานโดยใช้อัลกอริทึมแบบ link state เป็นการจัดโครงสร้างในการจัดการข่าวสารเส้นทางเป็นแบบลำดับขั้น สามารถปรับเปลี่ยนเส้นทางได้อย่างมีประสิทธิภาพ

2.6.2.6 โปรโตคอลไอซีเอ็มพี (ICMP:Internet Control Message Protocol)

ไอซีเอ็มพีโปรโตคอลเป็นโปรโตคอลที่ใช้รายงานข้อผิดพลาดที่เกิดจากการประมวลผลคำสั่งแกรมเท่านั้น ไอซีเอ็มพีถูกใช้งานมากมาย เช่น ในกรณีที่คำสั่งแกรมเดินทางไปไม่ถึงปลายทาง ซึ่งอาจเกิดมาจากข้อมูลมีข้อผิดพลาด หรือค่า Time to Live ของคำสั่งแกรมนั้นหมด หรือเส้นทางที่ใช้ส่งมีปัญหา โมดูลไอพีที่ตรวจพบปัญหานั้นก็จะสร้างข่าวสารไอซีเอ็มพีส่งกลับไปยังผู้ส่ง

2.6.3 ชั้นโฮสต์ทูโฮสต์ (Host-to-Host Layer)

โปรโตคอลที่ทำงานในชั้นโฮสต์ทูโฮสต์มี 2 แบบ คือ

1. ทีซีพี จะทำงานแบบมีการเชื่อมต่อก่อน (connection orient) มีหน้าที่นำส่งข้อมูลโดยรับประกันความน่าเชื่อถือให้ได้ว่าข้อมูลที่นำส่งจะไม่มีข้อผิดพลาดและเรียงลำดับถูกต้อง โดยโปรโตคอลจะเพิ่มส่วนหัวเพื่อสร้างเซกเมนต์ (Segment) จะทำการรวบรวมข้อมูลในกรณีข้อมูลที่เข้ามาไม่มีการเรียงลำดับ การร้องขอให้ส่งข้อมูลมาใหม่ในกรณีที่ไม่ได้รับข้อมูล การตัดข้อมูลทิ้งในกรณีที่ได้รับข้อมูลซ้ำ ข้อมูลที่ผ่านชั้นนี้จะถือว่าเป็นข้อมูลปราศจากข้อผิดพลาด (Error Free)

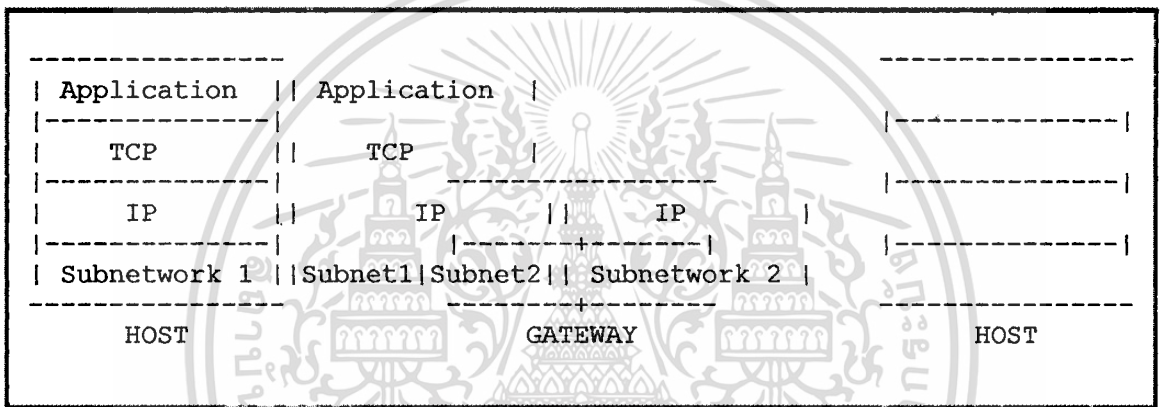
Source port		Destination port	
Sequence number			
Acknowledgment number			
Data offset	Reserved	Flags	Window
Checksum		Urgent pointer	
Options (+ padding)			
Data (variable)			

๓๓๔

2. ยูดีพี (UDP = User Datagram Protocol) ทำงานแบบไม่มีการเชื่อมต่อ (connectionless) ไม่มีการรับประกันความถูกต้องของข้อมูล เรียกข้อมูลที่ส่งโดยยูดีพีว่า User Datagram ตัวอย่างการทำงานเช่น การสอบถามเบอร์อินเทอร์เน็ตเนตแอดเดรส เป็นการร้องขอที่ไม่ต้องการให้ตรวจสอบการส่งข้อมูลได้ ไม่มีการส่งข้อมูลซ้ำอีกครั้งเมื่อเกิดข้อผิดพลาด

2.6.4 ชั้นโปรแกรมประยุกต์ (Application Layer)

เป็นชั้นที่มีโปรแกรมประยุกต์มากมายเพื่อให้ผู้ใช้ ใช้งานได้สะดวกเห็นส่วนที่ติดต่อกับผู้ใช้โดยตรง ตัวอย่างโปรแกรมประยุกต์ เช่น การล็อกอินระยะไกล (Remote login) การส่งแฟ้มข้อมูล (Files transfer) เทลเน็ต (Telnet : Telecommunication Network) เอฟทีพี (FTP:File Transfer Protocol) และบริการเว็ลด์ไวด์เว็บ (World Wide Web) เป็นต้น



รูปที่ 2.34 แสดงความสัมพันธ์แต่ละชั้นของทีซีพี/ไอพี

2.7 วินซอก (WINSOCK)

มาจากคำว่า Windows sockets ซึ่งเป็น โปรแกรมมิ่งอินเตอร์เฟส (programming interface) และเป็นโปรแกรมเสริม(supporting program) ที่จัดการกับอินพุท/เอาต์พุทรีควีสต์สำหรับอินเทอร์เน็ตแอปพลิเคชันในระบบปฏิบัติการวินโดวส์ ที่ถูกเรียกว่า วินซอกนั้นก็เพราะว่า ได้รับการปรับปรุงมาจาก Unix sockets interface ของมหาวิทยาลัยเบิร์คลีย์ เพื่อใช้กับวินโดวส์ ซึ่ง Sockets ก็เป็นวิธีที่ใช้สื่อสารระหว่างโปรแกรมเซิร์ฟเวอร์กับไคลแอนท์ หรือกล่าวได้ว่าเป็นวิธีสำหรับเชื่อมต่อกับหรือแลกเปลี่ยนข้อมูลระหว่างสองโปรเซสภายในเครื่องคอมพิวเตอร์เดียวกันหรือข้ามเครือข่าย

วินซอกนี้อยู่ระหว่างโปรแกรมประยุกต์(application program) เช่น Netscape browser กับโปรแกรมอินเทอร์เน็ตในเครื่องคอมพิวเตอร์ ซึ่งก็หมายถึง ทีซีพี/ไอพี นั่นเอง

ขั้นตอนการทำงานของวินซอกจะเป็นไฟล์แบบไดนามิกไลบรารี (.dll:Dynamic Link Library) ซึ่งเป็นไฟล์ที่ทำงานภายใต้ระบบปฏิบัติการวินโดวส์จะเป็นไฟล์ที่เก็บฟังก์ชันต่างๆที่จำเป็นต้องใช้ในการติดต่อระหว่างระบบปฏิบัติการวินโดวส์กับทีซีพี/ไอพี

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WINSOCK-COMPLIANT APPLICATION

↓
WINSOCK.DLL

↓
TCP/IP

↓
MODEM หรือ เน็ตเวิร์คการ์ด

↓
เครือข่ายอินเทอร์เน็ต และจุดหมายปลายทาง

รูปที่ 2.35 แสดงลำดับการรีเคเวสต์

วินซอกจะเป็นขั้นที่อยู่ระหว่างวินโดวส์แอปพลิเคชันกับทีซีพี/ไอพี โดยแอปพลิเคชันจะบอกให้วินซอกรู้ว่าต้องทำอะไร จากนั้นวินซอกจะทำแปลงข้อมูลเพื่อให้สามารถติดต่อกับทีซีพี/ไอพีได้ ข้อควรระวัง วินซอกที่ใช้จะต้องมีเวอร์ชันตรงกับทีซีพี/ไอพี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การคำนวณและการสร้าง

3.1 บล็อกไดอะแกรม



รูปที่ 3.1 บล็อก ไดอะแกรมของโครงการ



รูปที่ 3.2 บล็อก ไดอะแกรมของเครื่องรับสัญญาณไฟฟ้าหัวใจ

3.2 เครื่องรับสัญญาณไฟฟ้าหัวใจ

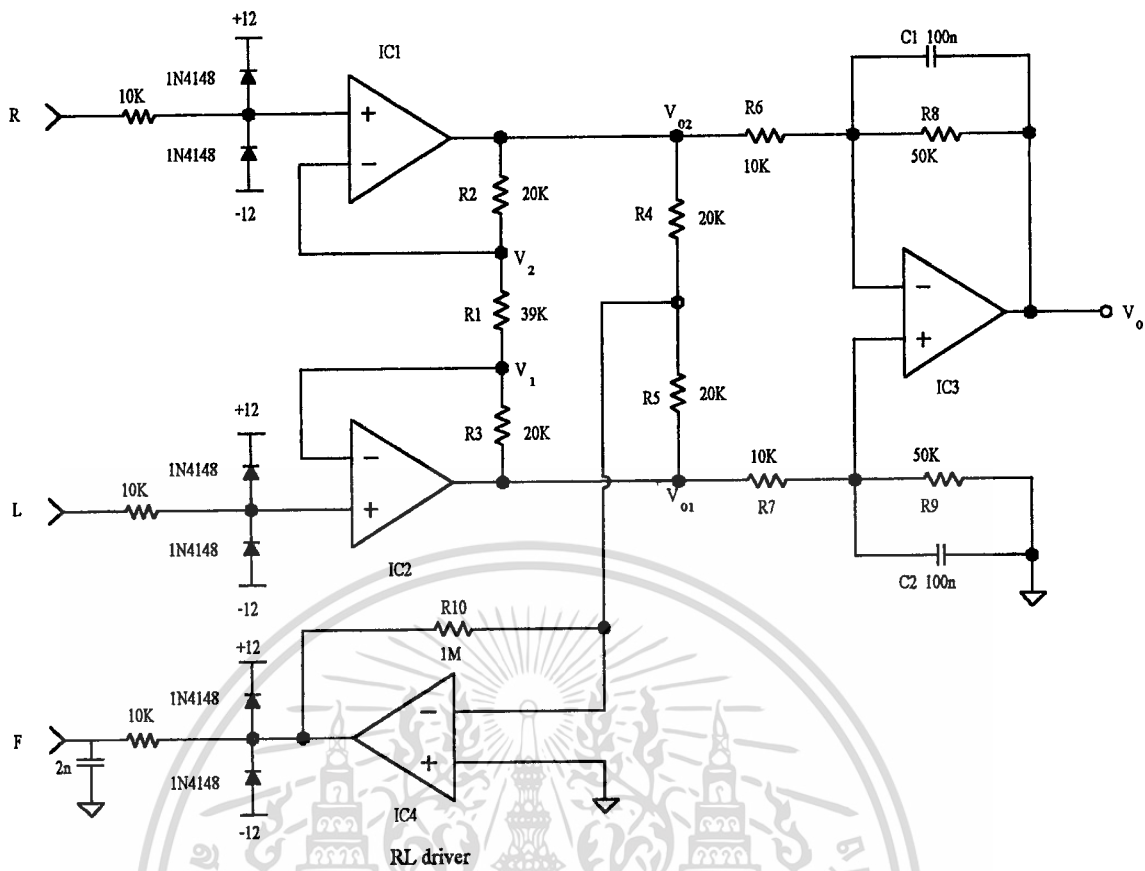
ในภาคนี้ประกอบไปด้วยวงจรต่างๆดังต่อไปนี้

3.2.1 ส่วนที่ทำหน้าที่ขยายคลื่น ไฟฟ้าหัวใจ

วงจรอินสตรูเมนเทชันแอมพลิฟายเออร์ (Instrumentation Amplifier) ดังแสดงในรูปที่ 3.3 เป็นวงจรแรกที่ขยายคลื่นไฟฟ้าหัวใจที่มีขนาดของสัญญาณน้อยมากเพียงประมาณ 1 มิลลิโวลท์ โดยการรับสัญญาณจากอิเล็กโทรดที่ติดบนผิวหนัง ซึ่งมีค่าความต้านทานสูง และมีสัญญาณรบกวนจากไฟบ้านกระแสสลับความถี่ 50 เฮิรตซ์ปนมาด้วย ดังนั้นวงจรขยายที่จะนำมาใช้ต้องมีคุณสมบัติพิเศษดังต่อไปนี้

- มีอินพุตอิมพีแดนซ์สูงมาก เมื่อเทียบกับความต้านทานของผิวหนัง เพื่อป้องกันการเสียมวลของวงจรและการบั่นทอนสัญญาณที่ป้อนเข้าสู่อินพุต การเสียมวลของวงจรจะมีผลเสียต่อวงจรขยายคือสัญญาณรบกวนที่เข้ามาในลักษณะสัญญาณคอมมอนโหมด(Common Mode Signal) ไม่สามารถกำจัดออกไปได้ และยังทำให้เกิดคิกคาไฟฟ้าออฟเซต(Offset voltage) ซึ่งจะถูกลบออกให้มีค่ามากขึ้นที่เอาต์พุต ถ้าคิกคาไฟฟ้าออฟเซตมีค่ามากจะทำให้วงจรขยายอ้อมตัวมีคิกคาไฟฟ้าเอาต์พุตค้างอยู่ที่ค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการรักษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ในการค้า
ไม่วารณใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 วงจร Instrumentation Amplifier และวงจร RL driver

- มีค่า CMRR (Common Mode Rejection Ratio) สูง ค่า CMRR เป็นคุณสมบัติอย่างหนึ่งของวงจรขยายความแตกต่างที่สามารถกำจัดสัญญาณรบกวนได้ คุณสมบัติอื่นก็คือ การมีอัตราขยายของสัญญาณดิฟเฟอเรนเชียลโหมด(Differential Mode Signal)สูง และมีอัตราขยายของสัญญาณคอมมอน โหมดต่ำทั้งนี้เนื่องจากสัญญาณที่ต้องการขยาย (ECG) จะเข้าไปที่อินพุทในลักษณะสัญญาณดิฟเฟอเรนเชียลโหมด

สำหรับอปแอมป์ตัวที่ 4 ในรูปที่ 3.3 เป็นวงจรป้อนกลับแบบลบ (Negative Feedback) เพื่อใช้แทนกราวด์ (Ground) หรือเรียกว่า RL driver (Right Leg driver) ทำหน้าที่ลดศักดาไฟฟ้าคอมมอน โหมด(Common Mode Potential) ซึ่งสามารถเกิดขึ้นได้ระหว่างร่างกายของคนไข้กับกราวด์ของวงจรพีแอมป์ จากหัวข้อ 2.3.2 จะได้ว่า

$$v_o = \left(\frac{10K + 50K}{10K}\right)\left(\frac{50K}{10K + 50K}\right)v_{o1} - \left(\frac{50K}{10K}\right)v_{o2}$$

$$= 5(v_{o1} - v_{o2})$$

และจากหัวข้อ 2.3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา $v_{o1} = v_1 + v_R$ ของเอกสารทุกครั้งที่มีการนำไปใช้

$$v_{02} = v_2 - v_R$$

และ

$$v_R = \frac{(v_1 - v_2)20K}{39K}$$

ดังนั้น

$$v_0 = 5(v_1 - v_2 + 2v_R)$$

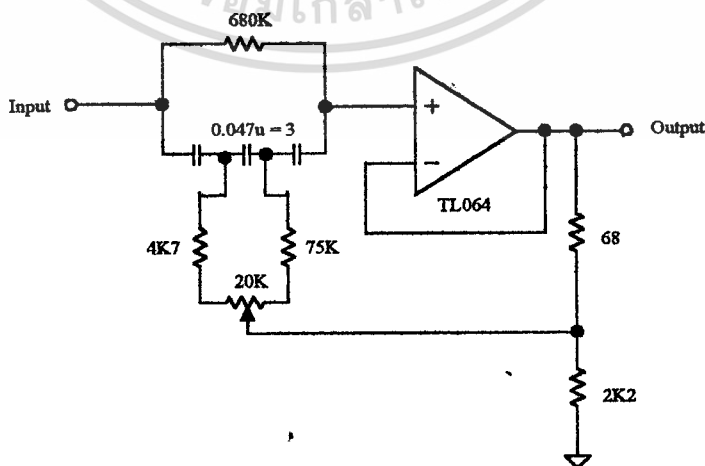
$$v_0 = 10(v_1 - v_2)$$

ดังนั้นอัตราขยายของคิกคาไฟที่มีค่าประมาณ 10 เท่า ส่วน C1 และ C2 ในรูปที่ 3.3 ทำหน้าที่ กรองความถี่สูงไม่ให้ผ่านวงจรขยายไปได้ IC4, R4, R5 และ R10 เป็นส่วนของวงจรป้อนกลับที่เรียกว่า RL driver

วงจรถ่ายในภาคแรกไม่ควรให้มีอัตราขยายมากเกินไป เพราะว่าถ้าเกิดมีคิกคาไฟที่เอาต์พุตเข้าที่เกินขึ้นที่อินพุตไม่ว่าจะสาเหตุใดก็ตามจะทำให้สัญญาณออกที่เอาต์พุตลอยขึ้นไปหรือต่ำลงจากระดับศูนย์มากซึ่งบางครั้งอาจจะถึงกับอ้อมตัวอยู่ที่ค่าใกล้คิกคาไฟที่เอาต์พุตของแหล่งจ่ายไฟ ทำให้วงจรไม่สามารถทำงานได้

3.2.2 วงจรกรองความถี่ต่ำแบบนอกรีทเดเตอร์ (Low Pass Notch Filter)

ถึงแม้ว่าวงจรถ่ายในภาคแรกจะเป็นวงจรถ่ายความแตกต่าง ซึ่งมีคุณสมบัติในการกำจัดสัญญาณรบกวนได้ก็ตาม แต่ถ้าเกิดความไม่สมดุลของวงจรขึ้นมา สัญญาณรบกวนซึ่งส่วนใหญ่มีความถี่ 50 เฮิรตซ์ ก็สามารถผ่านไปได้ แต่เนื่องจากคลื่นไฟฟ้าหัวใจมีความถี่ต่ำอยู่ในช่วง 0.5 ถึง 200 เฮิรตซ์ ถ้าเราใช้วงจรกรองความถี่ต่ำแบบธรรมดา (Low Pass Filter) ที่ยอมให้ความถี่ต่ำกว่า 50 เฮิรตซ์ ผ่านไปได้ ก็จะทำให้สัญญาณไฟฟ้าหัวใจส่วนที่มีความถี่สูงกว่า 50 เฮิรตซ์ ถูกกำจัดออกไป ดังนั้น เราจึงต้องใช้วงจรกรองความถี่ต่ำแบบ Low Pass Notch Filter ซึ่งจะยอมให้สัญญาณความถี่สูงและต่ำกว่า 50 เฮิรตซ์ ผ่านไปได้ ส่วนสัญญาณรบกวน 50 เฮิรตซ์ จะถูกกำจัดออกไป วงจรแสดงดังรูปที่ 3.4

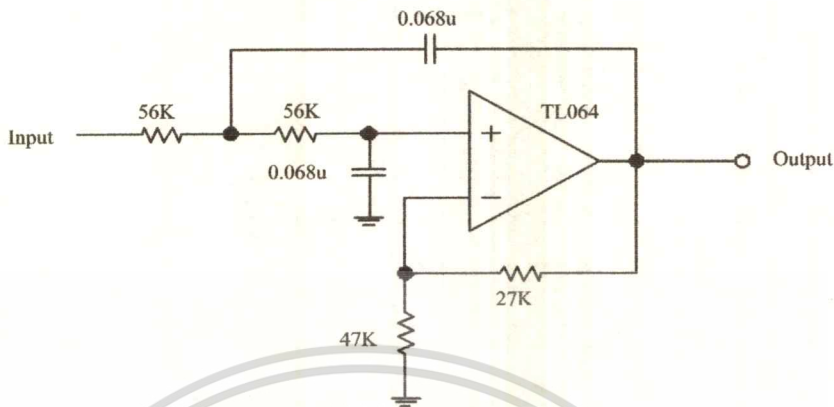


รูปที่ 3.4 วงจรกรองความถี่ต่ำแบบนอกรีทเดเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้เฉพาะเพื่อการวิจัยเท่านั้น ไม่ให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 วงจรกรองความถี่ต่ำแบบแอคทีฟ (Active Low Pass Filter)

เป็นวงจรกรองความถี่ต่ำที่ยอมให้ความถี่ในช่วงความถี่ของสัญญาณคลื่นไฟฟ้าหัวใจผ่านได้ ดังแสดงในรูปที่ 3.5



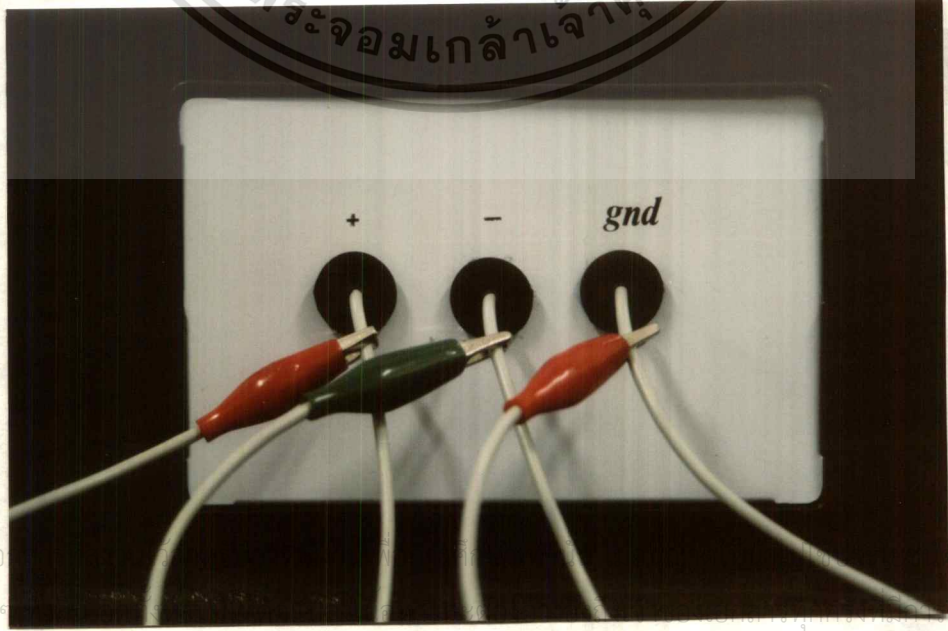
รูปที่ 3.5 วงจรกรองความถี่ต่ำแบบแอคทีฟ

วงจรนี้เป็น Active Low Pass Filter แบบ Sallen And Key Circuit ซึ่งจากหัวข้อ 2.3.4.2 จะได้ว่าความถี่คัทออฟ (Cut Off Frequency or Passband Edge Frequency) หรือ

$$\omega_p = \frac{1}{\sqrt{(56 \text{ K} \times 0.068 \mu)^2}} = 262 \text{ เฮิรท์ซ}$$

และ $k = 1 + \frac{27 \text{ K}}{47 \text{ K}} = 1.5745$

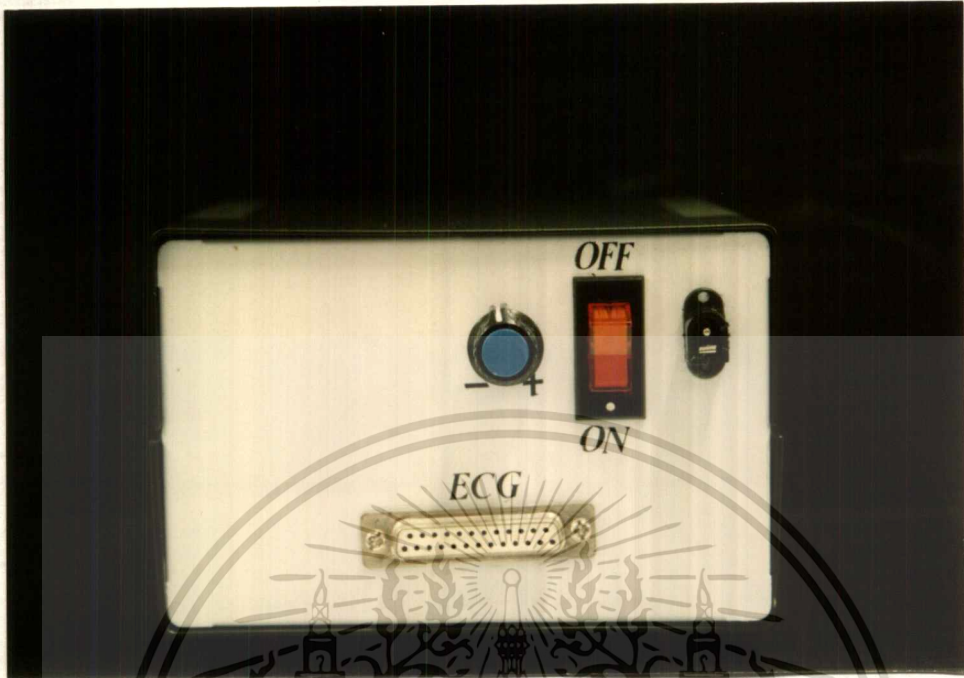
ดังนั้น $\text{PoleQ } (Q_p) = \frac{262}{1 + \frac{1}{56 \text{ K} \times 0.068 \mu} + \frac{1}{56 \text{ K} \times 0.068 \mu} + \frac{1 - 1.5745}{56 \text{ K} \times 0.068 \mu}} \approx 0.7$



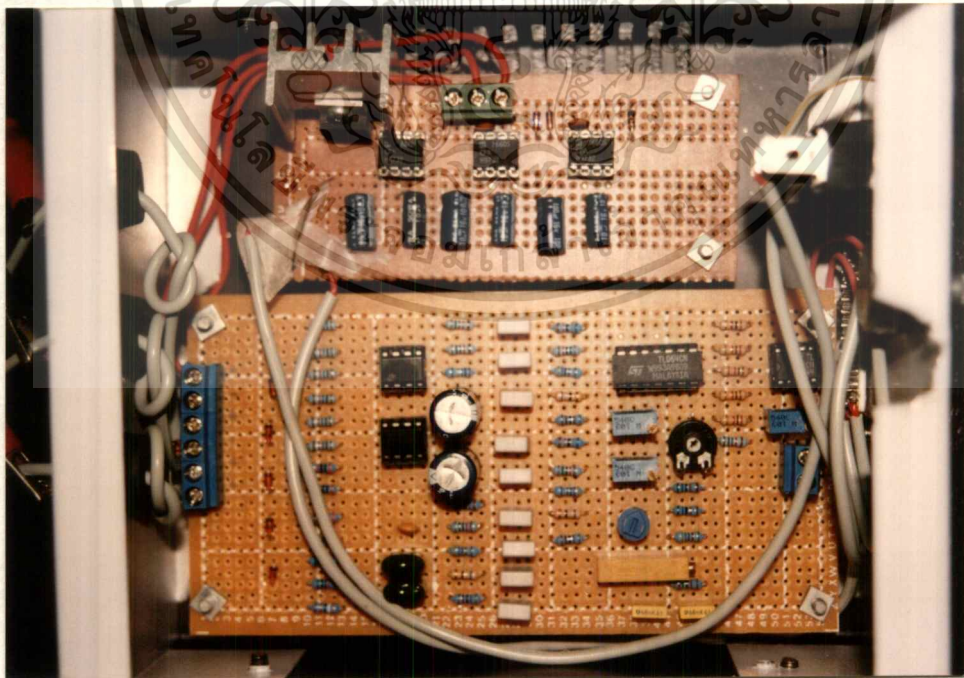
รูปที่ 3.6 รูปฮาร์ดแวร์ด้านหน้า

เอกสารนี้เป็นเอกสาร
ไม่ว่ากรณีใดๆ

งานการค้า
นำไปใช้



รูปที่ 3.7 รูปฮาร์ดแวร์ด้านหลัง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและโครงสร้างของเอกสารทุกครั้งที่มีการนำไปใช้

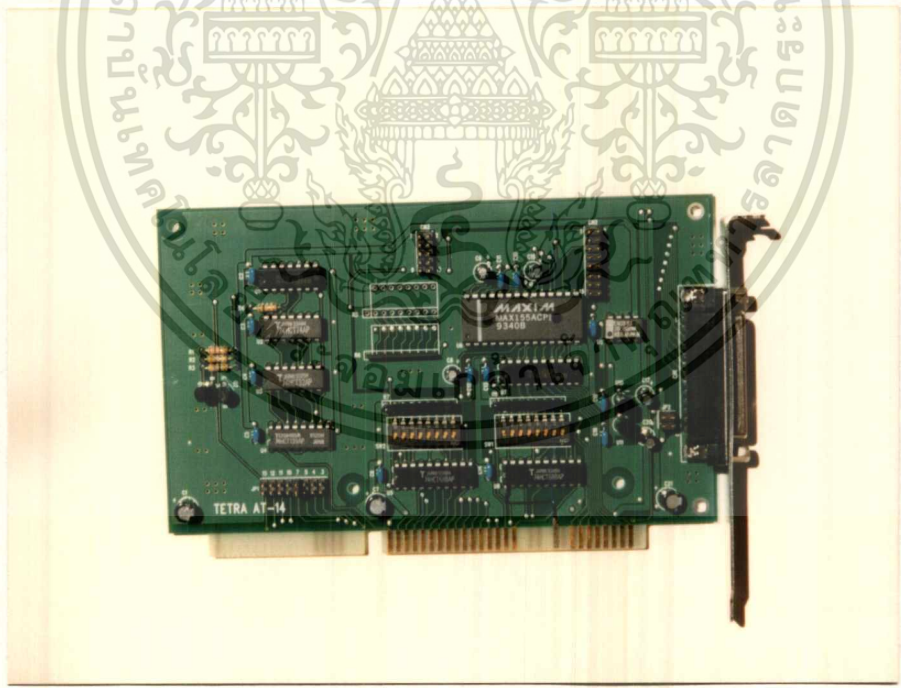
3.4 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog to Digital Converter)

ในที่นี้ได้ใช้การ์ดสำเร็จรูปในการแปลงสัญญาณอนาลอกเป็นดิจิตอล รุ่น TETRA AT-14 ดังรูปที่ 3.9 ซึ่งการ์ดนี้ใช้ไอซี MAX 155 เป็นตัวแปลงสัญญาณ

MAX 155 เป็นวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล 8 บิต มัลติแชนแนล (multi-channel) ที่มีความเร็วสูงและมีวงจรแทรคแอนด์โฮลด์ (Track/Holds :T/Hs) ซึ่งใช้กำจัดความแตกต่างกันของไทม์มิ่ง (timing)ระหว่างแซมเปิล (sample) ในแต่ละช่องสัญญาณอินพุท (input channel) MAX 155 นี้มี 8 ช่องสัญญาณอินพุทอนาลอก (analog input channel) แต่ละช่องสัญญาณก็จะมี T/H โดย T/H ทุกตัวจะแซมเปิลที่เวลาเดียวกัน ADC (Analog to Digital Converter) ใช้เวลาในการแปลง 3.6 ในหนึ่งช่องสัญญาณ และเก็บผลลัพธ์ไว้ใน 8x8 RAMที่อยู่ภายใน

เมื่อจ่ายไฟ +5 โวลต์ ให้กับMAX 155 มันจะทำการแปลงได้ในโหมดต่างๆกันดังนี้ unipolar single-ended, unipolar differential, bipolar single-ended หรือ bipolar differential สำหรับงานที่ต้องการช่วงการทำงานที่กว้างขึ้นนั้นก็อาจนำ Vss ไปต่อกับ 5 โวลต์ ได้ การแปลงสัญญาณนั้นเริ่มต้นขึ้นเมื่อมีพัลส์เข้ามาที่ขา และการเข้าถึงข้อมูลจะเกิดขึ้นเมื่อมีพัลส์เข้ามาที่ขา

MAX 155 ประกอบด้วย 3.6 successive approximation ADC และ 8 track-and-hold (T/H) inputs เมื่อการแปลงสัญญาณเริ่มต้นขึ้น ทุกช่องสัญญาณจะถูกแซมเปิลทั้งหมด ไม่ว่าช่องสัญญาณนั้นได้ถูกเลือกไว้หรือไม่

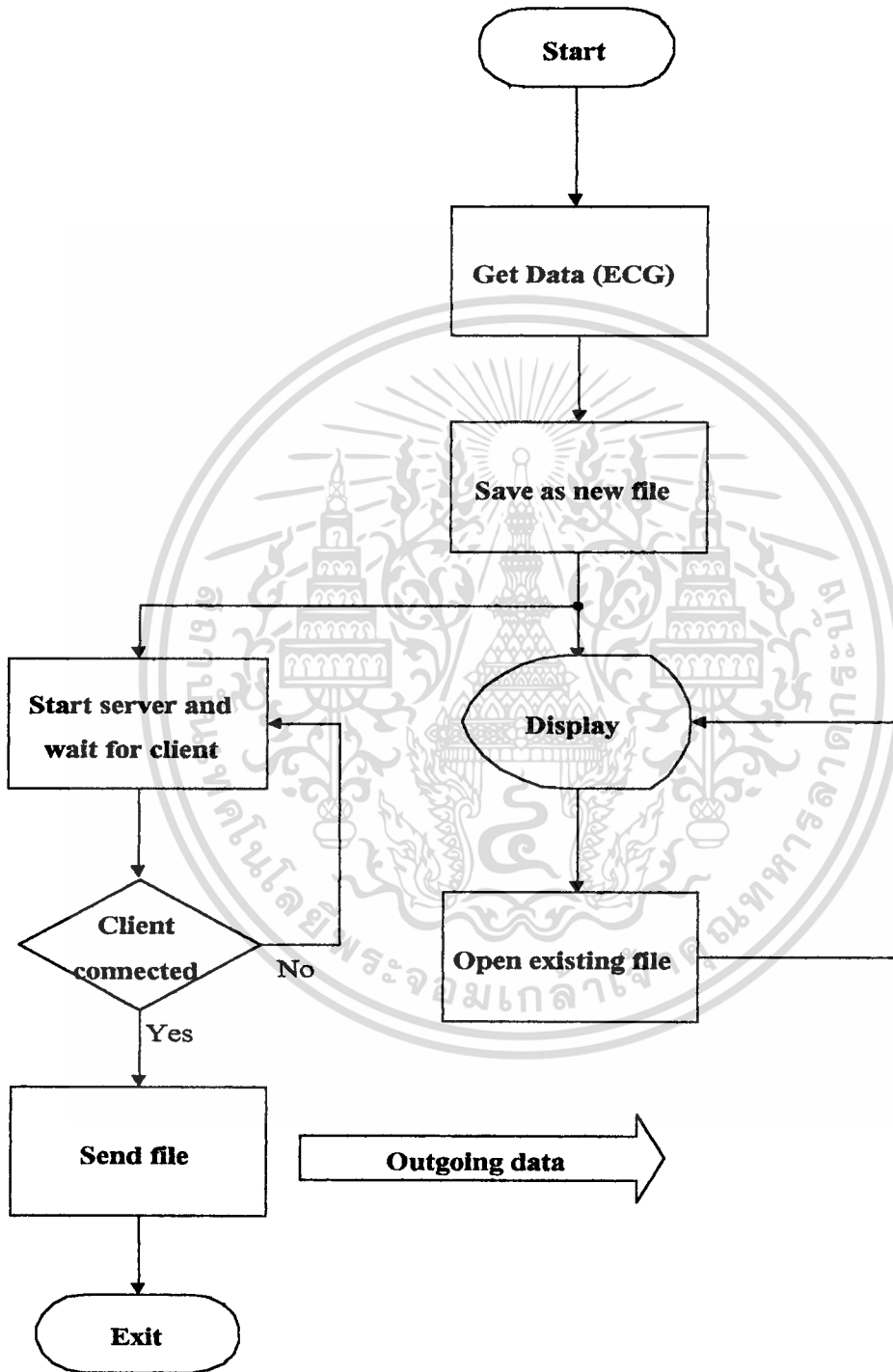


รูปที่ 3.9 การ์ดแปลงสัญญาณอนาลอกเป็นดิจิตอลสำเร็จรูป TETRA AT-14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

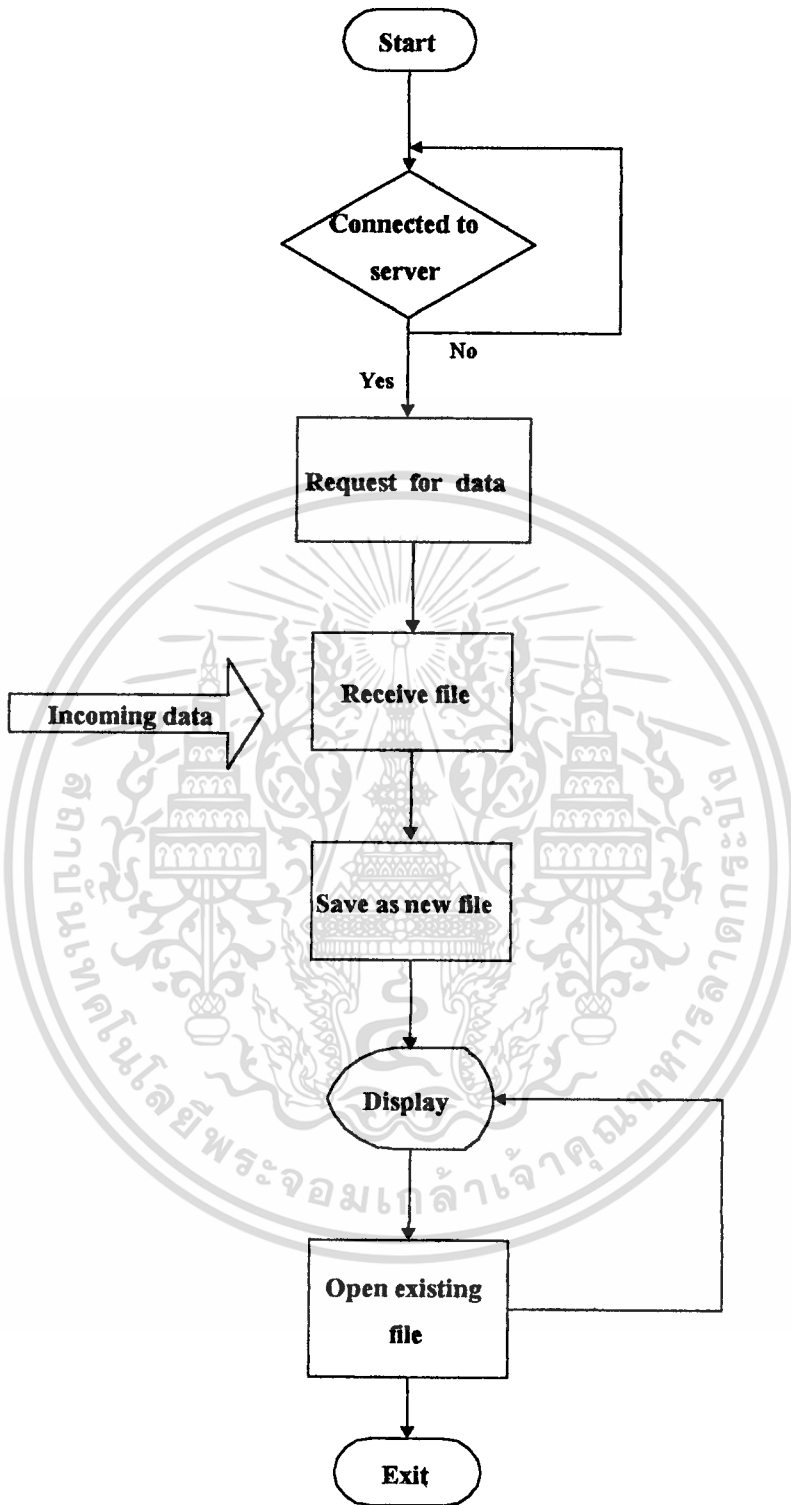
3.5 การออกแบบโปรแกรม

ในที่นี้เราจะเขียนโปรแกรมด้วยภาษา C++ โดยขั้นแรกทำการเขียนแผนผังแสดงการทำงานของโปรแกรมเซิร์ฟเวอร์และไคลแอนท์



รูปที่ 3.10 แผนผังแสดงขั้นตอนการทำงานของโปรแกรมฝั่งเซิร์ฟเวอร์

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์หรือการเชิงนี้เพื่อการศึกษาค้นคว้า เมื่อผู้ใดเห็นจำเป็นต้องใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 แผนผังแสดงขั้นตอนการทำงานของโปรแกรมฝั่งไคลแอนท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5.1 ส่วนของโปรแกรมมีดังนี้

3.5.1.1 โปรแกรมของฝั่งเซิร์ฟเวอร์

```
#include <vcl.h>
#include <time.h>
#include <dos.h>
#include <stdio.h>
#pragma hdrstop
#include "ServerUnit.h"
#include "PopUp.h"
#include <dstring.h>
#pragma package(smart_init)
#pragma link "buffsock"
#pragma link "dWinsock"
#pragma resource "*.dfm"

TMainForm *MainForm;
bool EndProg;
signed char dt[5000];
const int n=5000;
FILE *DataStream;
int mx,my,count,HR, NextX;
char* SaveAsName;
clock_t start, end;
double Time1;

__fastcall TMainForm::TMainForm(TComponent* Owner)
: TForm(Owner)
{
    Image->Canvas->Brush->Color = clBlack;
    Image->Canvas->Pen->Width = 1;
    mx = Image->Width-1;
    my = Image->Height-1;
    Grid();
    Image->Canvas->CopyMode = cmSrcCopy;
}

void __fastcall TMainForm::GetDataClick(TObject *Sender)
{
    GetData->Enabled = false;
    Exit->Enabled = false;
    Label8->Caption = "";
    if (SaveAsDlg->Execute())
    {
        ShowWin->Show();
        ShowWin->Begin();
        count = 1;
        at14_init(0x100,"BS"); /*--- Initializing Card ---*/
        start = clock();
        for(int i=0;i<n;i++)
        {
            ShowWin->Label3->Caption = count;
            ShowWin->ProgressBar1->Position = i;
            Application->ProcessMessages();
            for (int i=0;i<30000;i++)
            {
                for (int i=0;i<3;i++){
            }
            (unsigned char) dt[i] = at14_in(0);
            count++;
        }
        end = clock();
        Time1 = (end - start) / CLK_TCK;
        ShowWin->Finish();

        /*----- Write Data Into File -----*/
        HR = HeartRate();
        SaveAsName = SaveAsDlg->FileName.c_str();
    }
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

    DataStream = fopen(SaveAsName,"wb+");
    fwrite(dt,n,1,DataStream);
    fwrite(STime1,sizeof(Time1),1,DataStream);
    fwrite(&HR,sizeof(HR),1,DataStream);
    fclose(DataStream) ;
    Grid();
}
else
{
    GetData->Enabled = true;
    Exit->Enabled = true;
}
}

void __fastcall TMainForm::StartClick(TObject *Sender)
{
    const int ST = 1;
    int x = 0, i = 0, HR;
    signed int ave = 0,sum = 0;
    Grid();
    GetData->Enabled = false;
    Start->Enabled = false;
    Stop->Enabled = true;
    Exit->Enabled = false;
    EndProg = false;
    StatusBar->SimpleText = "Data being displayed...";
    for (int i=0;i<n;i++)
        sum += dt[i];
    ave = sum/n;

    HR = HeartRate();

    Label8->Caption = "Heart Rate = " + IntToStr(HR) + " bpm";

    while (!EndProg)
    {
        Image->Canvas->Pen->Color = clLime;
        Application->ProcessMessages();

/*----- Show signal on the screen -----*/

        Image->Canvas->MoveTo (x, my/2-dt[i]+ave);
        Image->Canvas->LineTo (x+ST, my/2-dt[i+1]+ave);
        if (x >= mx-ST-1)
        {
            Image->Canvas->CopyRect (Rect(0,0,mx-ST,my+1), Image->Canvas,
                                   Rect(ST,0,mx,my+1));
            Image->Canvas->FillRect (Rect(mx-ST,0,mx+1,my+1));
            NextX--;
            Image->Canvas->Pen->Color = clGray;
            if (NextX == mx-7)
            {
                Image->Canvas->MoveTo (mx-1,0);
                Image->Canvas->LineTo (mx-1,my);
                NextX = mx-1;
            }

            for (int y=0;y<my;y+=6)
            {
                Image->Canvas->MoveTo (mx-1,y);
                Image->Canvas->LineTo (mx,y);
            }
        }
        else x+=ST;
        i++;

        if(i==sizeof(dt))
        {
            EndProg = true;
            Stop->Enabled = false;
            Start->Enabled = true;
            Exit->Enabled = true;

```

เอกสารนี้เป็นเอกสาร
 ไม่ว่ากรณีใดๆ ทั้ง
 ใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ปัญหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


```

    _DX = iPort;
    _AX = iDatum;
    __emit__(0xEE);
}

```

```

unsigned char TMainForm::inp(unsigned short iPort)
{
    _DX = iPort;
    __emit__(0xEC);
    return(_AL);
}

```

/*-----Get Ready To Establish Connection-----*/

```

void __fastcall TMainForm::ListenClick(TObject *Sender)
{
    Listen->Enabled = false;
    SendFileServer->Listen( __classid (TBufferedSocket));
    StatusBar->SimpleText = "Server started";
    StopServer->Enabled =true;
}

```

/*----- Receive Client Request -----*/

```

void __fastcall TMainForm::SendFileServerRead(TObject *Sender,
    TSocketBase *Socket)

```

```

{
    char buff;
    ((TBufferedSocket *)Socket)->ReadFromBuffer(&buff, 1);
    ((TBufferedSocket *)Socket)->ClearReadBuffer();
    if (buff == 'a')
    {
        StatusBar->SimpleText = "Client requested for data.";

```

/*----- Send File To Client -----*/

```

{
    ((TBufferedSocket *)Socket)->SendFile(SendDlg->FileName);
    ((TBufferedSocket *)Socket)->SendBuffer();
}
else
{
    char deny[4] = "DENY"; /*--- Cancel sending file ---*/
    ((TBufferedSocket *)Socket)->WriteToBuffer(&deny, 4);
    ((TBufferedSocket *)Socket)->SendBuffer();
    StatusBar->SimpleText = "You canceled sending file.";
}
}

```

```

void __fastcall TMainForm::SendFileServerFileSent(
    TBufferedSocketBase *socket)

```

```

{
    StatusBar->SimpleText = "Sending data..."; /*--- Sending File ---*/
}

```

```

void __fastcall TMainForm::SendFileServerWriteBufferEmpty(
    TBufferedSocketBase *socket)

```

```

{
    StatusBar->SimpleText = "File sent successfully."; /*---Data sent---*/
}

```

/*----- Open File -----*/

```

void __fastcall TMainForm::OpenFileClick(TObject *Sender)

```

```

{
    AnsiString Path1,Path2;
    Label8->Caption = "";
    if (OpenDlg->Execute())
        Grid();
}

```

เอกสารนี้
ไม่ว่ากร
ไม่ว่ากร
ไม่ว่ากร

```

StatusBar->SimpleText = "Opening file please wait...";
char* Name = OpenDlg->FileName.c_str();
DataStream = fopen(Name,"rb");
fread(dt,n,1,DataStream);
fread(&Time1,sizeof(Time1),1,DataStream);
fread(&HR,sizeof(HR),1,DataStream);
fclose(DataStream);

if (OpenDlg->FileName.Length() > 61)
{
    Path1 = OpenDlg->FileName.SubString(0,28);
    Path2 = OpenDlg->FileName.SubString(OpenDlg->FileName.Length()-
        27,28);
    ShowFileName->Caption = Path1 + "..."+ Path2;
}
else ShowFileName->Caption = Name;

Start->Enabled = true;
Stop->Enabled = false;
SaveAsFile->Enabled = true;
StatusBar->SimpleText = "File opened. Ready to view.";
}
}

```

/*----- Save File -----*/

```

void __fastcall TMainForm::SaveAsFileClick(TObject *Sender)

```

```

{
    if (SaveAsDlg->Execute())
    {
        Start->Enabled = true;
        Stop->Enabled = false;
        SaveAsFile->Enabled = false;
        StatusBar->SimpleText = "Saving file...";
        SaveAsName = SaveAsDlg->FileName.c_str();
        DataStream = fopen(SaveAsName,"wb");
        fwrite(dt,n,1,DataStream);
        fwrite(&Time1,sizeof(Time1),1,DataStream);
        fwrite(&HR,sizeof(HR),1,DataStream);
        fclose(DataStream);
        StatusBar->SimpleText = "Save as done.";
        ShowFileName->Caption = SaveAsName;
    }
}

```

```

void __fastcall TMainForm::StopServerClick(TObject *Sender)

```

```

{
    int button;
    button = Application->MessageBox("Are you sure you want to stop
server?",
    "Warning!",MB_YESNO + MB_ICONWARNING);
    if (button == IDYES)
    {
        SendFileServer->CloseDown();
        Listen->Enabled = true;
        StopServer->Enabled = false;
        StatusBar->SimpleText = "Server stopped.";
    }
}

```

```

void __fastcall TMainForm::SendFileServerAccept(TObject *Sender,
TSocketBase *Socket)

```

```

{
    StopServer->Enabled =true;
    StatusBar->SimpleText = "Connection established.";
}

```

```

void __fastcall TMainForm::SendFileServerDisconnect(TObject *Sender,
TSocketBase *Socket)

```

```

{
    StatusBar->SimpleText = "";
}

```

```

void TMainForm::Grid()
{
    Image->Canvas->FillRect (Rect(0,0,mx,my+1));
    Image->Canvas->Pen->Color = clGray;
    for (int x=0;x<mx;x+=6)
    {
        Image->Canvas->MoveTo (x,0);
        Image->Canvas->LineTo (x,my);
        NextX = x;
    }
    for (int y=0;y<my;y+=6)
    {
        Image->Canvas->MoveTo (0,y);
        Image->Canvas->LineTo (mx,y);
    }
}

int TMainForm::HeartRate()
{
    int XMark = 0, Peak = 0, L, HR;
    bool AddNextPeak = true;
    for (int i=0;i<n;i++)
    {
        if (!(dt[i] < dt[XMark]+10) && (dt[i] > dt[XMark]-10))
        {
            L = i-XMark;
            if (L > 25)
            {
                if (AddNextPeak) Peak++;
                AddNextPeak = false;
            }
            else AddNextPeak = true;
            XMark = i;
        }
    }
    HR = (double)Peak*60/Time1;
    return(HR);
}

```

```

#include <vcl.h>
#pragma hdrstop
#include "PopUp.h"
#include "ServerUnit.h"
#pragma package(smart_init)
#pragma resource "*.dfm"

```

```
TShowWin *ShowWin;
```

```

__fastcall TShowWin::TShowWin(TComponent* Owner)
: TForm(Owner)
{
    ShowWin->Caption = "";
}

```

```

void TShowWin::Begin()
{
    Label1->Visible = false;
    Label2->Visible = true;
    Label3->Visible = true;
    Label4->Visible = true;
    OkBtn->Visible = false;
    ProgressBar1->Visible = true;
}

```

เอกสารนี้เป็นลิขสิทธิ์ของสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ไม่ควรเผยแพร่โดยไม่ได้รับอนุญาต

```

void TShowWin::Finish()
{
    Label1->Visible = true;
    Label2->Visible = false;
}

```

```

Label3->Visible = false;
Label4->Visible = false;
OkBtn->Visible = true;
ProgressBar1->Visible = false;
}

void __fastcall TShowWin::OkBtnClick(TObject *Sender)
{
    MainForm->ShowFileName->Caption = MainForm->SaveAsDlg->FileName.c_str();
    MainForm->StatusBar->SimpleText = "Data written into file.";
    MainForm->SaveAsFile->Enabled = true;
    MainForm->Start->Enabled = true;
    MainForm->GetData->Enabled = true;
    MainForm->Exit->Enabled = true;
    Close();
}

```

3.5.1.2 โปรแกรมของฝั่งไคลเอนท์

```

#include <vcl.h>
#pragma hdrstop
#include "ClientUnit.h"
#include <stdio.h>
#include <stdlib.h>
#pragma package(smart_init)
#pragma link "buffsock"
#pragma link "dWinsock"
#pragma resource "*.dfm"

TMainForm *MainForm;
TBufferedSocket *MySocket;
int mx, my, HR, NextX;
FILE *DataStream;
signed char dt[5000];
const int n=5000;
bool EndProg;
char* SaveAsName;
double Time1;

__fastcall TMainForm::TMainForm(TComponent* Owner)
: TForm(Owner)
{
    Image->Canvas->Brush->Color = clBlack;
    Image->Canvas->Pen->Width = 1;
    mx = Image->Width-1;
    my = Image->Height-1;
    Grid();
    Image->Canvas->CopyMode = cmSrcCopy;
}

/*----- Open file -----*/

void __fastcall TMainForm::OpenClick(TObject *Sender)
{
    AnsiString Path1,Path2;
    if (OpenDlg->Execute())
    {
        char* Name = OpenDlg->FileName.c_str();
        Grid();
        for (int i=0;i<n;i++)
            dt[i] = 0;
        DataStream = fopen(Name,"rb");
        fread(dt,n,1,DataStream);
        fread(&Time1,sizeof(Time1),1,DataStream);
        fread(&HR,sizeof(HR),1,DataStream);
        fclose(DataStream);
    }
}

```

เอกสารนี้เป็นเอกสารเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดก็ตาม หากมีข้อผิดพลาดประการใด ขออภัยไว้ล่วงหน้า และขอสงวนสิทธิ์ในสิ่งที่ปรากฏ

```

    Path1 = OpenFileDialog->FileName.SubString(0,28);
    Path2 = OpenFileDialog->FileName.SubString(OpenDlg->FileName.Length()-
27,28);
    ShowFileName->Caption = Path1 + "... " + Path2;
}
else ShowFileName->Caption = Name;

Start->Enabled = true;
SaveAs->Enabled = true;
}
}

```

/*----- Save as -----*/

```
void __fastcall TMainForm::SaveAsClick(TObject *Sender)
```

```

{
    if (SaveAsDlg->Execute())
    {
        SaveAsName = SaveAsDlg->FileName.c_str();
        DataStream = fopen(SaveAsName,"wb");
        fwrite(dt,n,1,DataStream);
        fwrite(&Time1,sizeof(Time1),1,DataStream);
        fwrite(&HR,sizeof(HR),1,DataStream);
        fclose(DataStream);
        SaveAs->Enabled = false;
        ShowFileName->Caption = SaveAsName;
    }
}

```

```
void __fastcall TMainForm::ConnectClick(TObject *Sender)
```

```

{
    Connect->Enabled = false;
    Start->Enabled = false;
    Stop->Enabled = false;
    Exit->Enabled = true;

    GetFileClient->Address = Edit->Text;
    GetFileClient->Open(__classid (TBufferedSocket));
    StatusBar->SimpleText = "Connecting to " + Edit->Text + "...";
}

```

* /*----- Connection -----*/

```
void __fastcall TMainForm::GetFileClientConnect(TObject *Sender,
TSocketBase *Socket)
```

```

{
    MySocket = (TBufferedSocket *)Socket;
    MySocket->ClearReadBuffer();
    if (GetFileClient->Connected())
    {
        StatusBar->SimpleText = "Connected to " + Edit->Text + ".";
        Connect->Enabled = false;
        Disconnect->Enabled = true;
        RequestData->Enabled = true;
    }
    else {
        Connect->Enabled = true;
        StatusBar->SimpleText = "You are not connected to server.";
    }
}

```

/*----- File received -----*/

```
void __fastcall TMainForm::GetFileClientFileReceived(
TBufferedSocketBase *socket)
```

```

{
    Start->Enabled = true;
    RequestData->Enabled = true;
    SaveAs->Enabled = true;
    ShowFileName->Caption = SaveAsName;
    Grid();
    for (int i=0;i<n;i++)

```

เอกสารนี้เป็นงานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า
ไม่ว่าในรูปแบบใดก็ตาม


```

    }
}
else x+=ST;
i++;
if(i==n)
{
    EndProg = true;
    Stop->Enabled = false;
    Start->Enabled = true;
    Exit->Enabled = true;
    StatusBar->SimpleText = "All data displayed.";
    break;
}
}
}

/*----- Stop display -----*/

void __fastcall TMainForm::StopClick(TObject *Sender)
{
    EndProg = true;
    Stop->Enabled = false;
    Start->Enabled = true;
    Exit->Enabled = true;
    StatusBar->SimpleText = "Stopped displaying.";
}

/*----- Request for data -----*/

void __fastcall TMainForm::RequestDataClick(TObject *Sender)
{
    char rq = 'a';
    RequestData->Enabled = false;
    StatusBar->SimpleText = "Requesting for data please wait....";
    Label4->Caption = "";

    if (SaveAsDlg->Execute()) /*-- File sent by server --*/
    {
        MySocket->WriteToBuffer(&rq,1);
        MySocket->SendBuffer();
        SaveAsName = SaveAsDlg->FileName.c_str();
        MySocket->RecvFile(SaveAsName, n*sizeof(double)+sizeof(int));
        if (MySocket->ReceivingStream)
            StatusBar->SimpleText = "Receiving data please wait...";
    }
    else
    {
        StatusBar->SimpleText = "You canceled receiving the file.";
        RequestData->Enabled = true;
        MySocket->ClearReadBuffer();
    }
}

/*----- Disconnect -----*/

void __fastcall TMainForm::DisconnectClick(TObject *Sender)
{
    int button;
    button = Application->MessageBox("Are you sure you want to disconnect?",
        "Warning!", MB_YESNO + MB_ICONWARNING);
    if (button == IDYES)
    {
        GetFileClient->Close();
        Connect->Enabled = true;
        RequestData->Enabled = false;
        Disconnect->Enabled = false;
        StatusBar->SimpleText = "Disconnected.";
    }
}

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใด / *----- Time out -----* เอกสารทุกครั้งที่มีการนำไปใช้

```

void __fastcall TMainForm::GetFileClientTimeOut(TObject *Sender,
    TSocketBase *Socket)
{
    Socket->Close();
    Connect->Enabled = true;
    RequestData->Enabled = false;
    Disconnect->Enabled = false;
    StatusBar->SimpleText = "Connection timed out.";
}

void __fastcall TMainForm::GetFileClientRead(TObject *Sender,
    TSocketBase *Socket)
{
    /*----- Check whether server sent file or not -----*/

    char buff[4];
    MySocket->PeekReadBuffer(&buff, 4);
    if (buff == "DENY")
    {
        MySocket->ClearReadBuffer();
        StatusBar->SimpleText = "Server denied sending file. Try to request
again.";
        RequestData->Enabled = true;
    }
}

void TMainForm::Grid()
{
    Image->Canvas->FillRect (Rect(0,0,mx+1,my+1));
    Image->Canvas->Pen->Color = clGray;
    for (int x=0;x<mx;x+=6)
    {
        Image->Canvas->MoveTo (x,0);
        Image->Canvas->LineTo (x,my);
        NextX = x;
    }
    for (int y=0;y<my;y+=6)
    {
        Image->Canvas->MoveTo (0,y);
        Image->Canvas->LineTo (mx,y);
    }
}

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

การทำกรทดลองนั้นจะตรวจสอบการทำงานของแต่ละส่วนของวงจร โดยในขั้นแรกจะป้อนสัญญาณไซน์เป็นอินพุตแทนสัญญาณ ECG ไปก่อน โดยผลการทดลองเป็นดังนี้

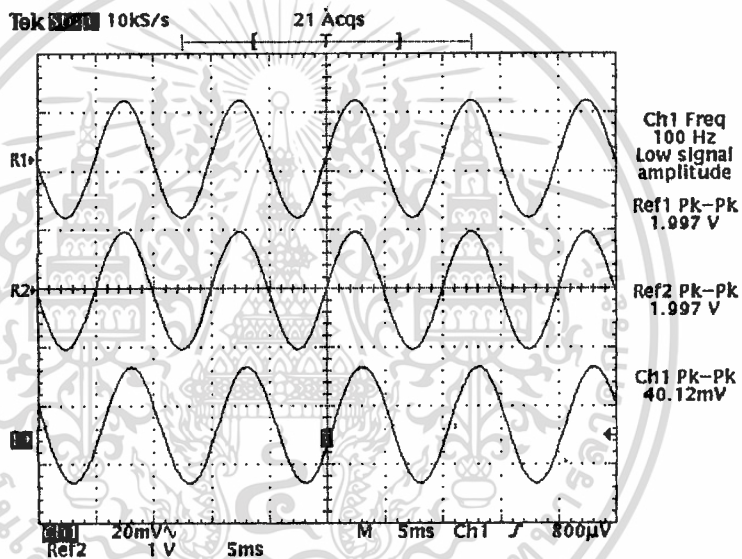
4.1 วงจรอินสตรูเมนเทชั่นแอมพลิฟายเออร์

ผลการทดลองแบ่งเป็น 3 กรณีดังนี้

4.1.1 การหาค่าคอมมอน โหมดเกน

โดย Ref1 คือสัญญาณอินพุตที่เข้าขาลบของออปแอมป์

Ref2 คือสัญญาณอินพุตที่เข้าขบวกของออปแอมป์

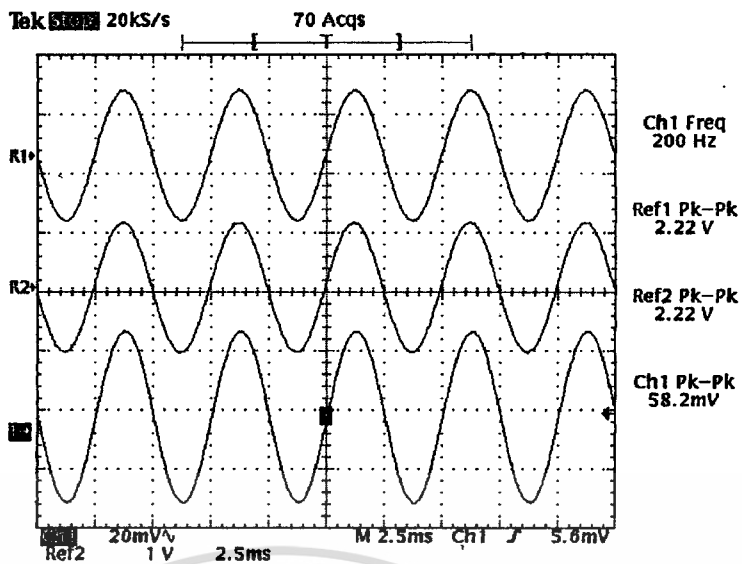


รูปที่ 4.1 การหาค่าคอมมอน โหมดเกนที่ความถี่ 100Hz

ในโหมดนี้สัญญาณที่เข้าลิต1 (Ref1) และลิต2 (Ref2) จะมีเฟสตรงกัน และจะได้เอาท์พุท (CH1) ออกมา มีเฟสตรงกันกับอินพุตด้วย ดังนั้นที่ความถี่ 100 เฮิรตซ์ค่าคอมมอน โหมดเกนจะเท่ากับ

$$\begin{aligned} A^+ - A^- &= \frac{V_o}{V_{IN}} \\ &= \frac{40.12\text{mV}}{1.997\text{V}} \\ &= 0.02 \end{aligned}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

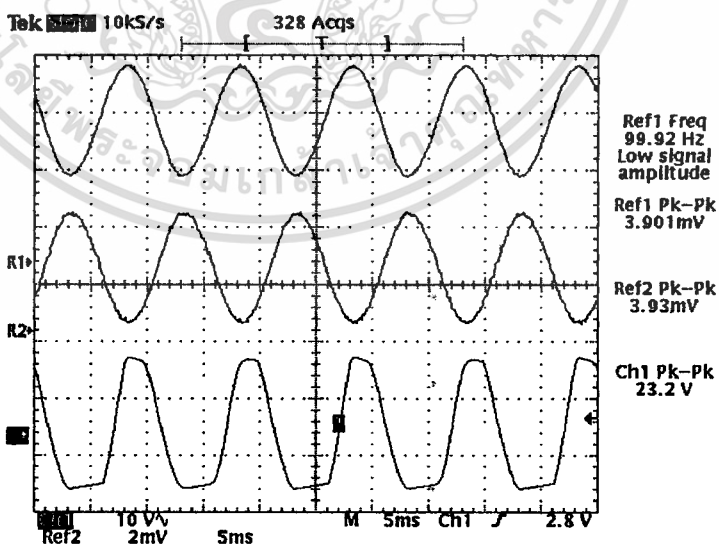


รูปที่ 4.2 การหาคอมมอนโหมดเกณฑ์ความถี่ 200Hz

ที่ความถี่ 200 Hz จะมีคอมมอน โหมดเกณฑ์ $= \frac{58.2\text{mV}}{2.22\text{V}} = 0.0262$

4.1.2 การหาค่าคิฟเฟอร์เรนเชียลโหมดเกณฑ์

ทำการป้อนสัญญาณอินพุตเป็นสัญญาณไซน์ที่มีขนาดเท่ากัน แต่กลับเฟสกัน 180 องศา เข้าที่ ขั้วทั้งสองของออปแอมป์



รูปที่ 4.3 การหาค่าคิฟเฟอร์เรนเชียลโหมดเกณฑ์ความถี่ 100 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆก็ตาม บริษัทฯ ขอสงวนสิทธิ์ในทางและแจ้งอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ref1 คือ สัญญาณอินพุตเข้าขาคบของออปแอมป์

Ref2 คือ สัญญาณอินพุตเข้าขาบวกของออปแอมป์ที่มีเฟสต่างกับ Ref1 180 องศา จากหัวข้อที่ 2.3.2

$$A^+ + A^- = \frac{V_o}{V_{IN}}$$

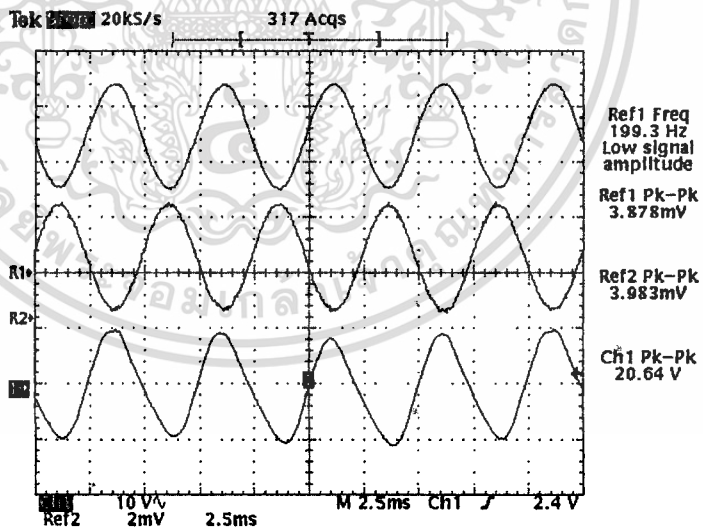
และจากรูปที่ 4.3 จะได้ว่า

$$\frac{A^+ + A^-}{2} = \frac{23.2V}{2 \times 3.9mV} = 2974.36$$

เพราะฉะนั้น ค่าคิฟเฟอเรนเชียลเกนที่ความถี่ 100 เฮิรตซ์เท่ากับ 2974.36

และจากรูปที่ 4.3 จะเห็นว่าสัญญาณเอาต์พุตที่ได้จะผิดเพี้ยนไปเล็กน้อย (สัญญาณถูกขลิบ - clipped waveform) ซึ่งเกิดขึ้นเนื่องจากสัญญาณอินพุตที่เข้าไบนั้นมีค่ามาก เมื่อสัญญาณถูกขยาย สัญญาณเอาต์พุตที่ได้ก็จะไม่สามารถมีค่าเกินไฟเลี้ยงที่ป้อนให้กับออปแอมป์ (ออปแอมป์ในที่นี้จะทำงานในช่วง -12 โวลต์ ถึง +12 โวลต์ เท่านั้น) ซึ่งในการแก้ปัญหานั้นทำได้โดยการลดขนาดของอินพุตให้ต่ำกว่าเดิม

ในรูปที่ 4.4 นั้นใช้ในการหาค่าคิฟเฟอเรนเชียลโหมดเกนที่ความถี่ 200 Hz เมื่อความถี่มีค่าสูงขึ้น อัตราขยายแรงดันจะน้อยกว่าในย่านความถี่ต่ำ ทำให้สัญญาณเอาต์พุตมีความผิดเพี้ยนน้อย



รูปที่ 4.4 การหาค่าคิฟเฟอเรนเชียลโหมดเกนที่ความถี่ 200 Hz

จากรูปที่ 4.4 จะได้ว่า

$$\frac{A^+ + A^-}{2} = \frac{20.64V}{2 \times 3.9mV} = 2646.15$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาดูเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า เพราะฉะนั้น ค่าคิฟเฟอเรนเชียลเกนที่ความถี่ 200 เฮิรตซ์เท่ากับ 2646.15 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากค่าเฟออร์เรนเซียน โหมดแกนและคอมมอน โหมดแกนที่ทำได้ดังกล่าว สามารถนำไปคำนวณค่า CMRR ได้ดังนี้

ค่า CMRR ที่ความถี่ 100 เฮิร์ตซ์เท่ากับ

$$\frac{2974.36}{0.02} = 148718$$

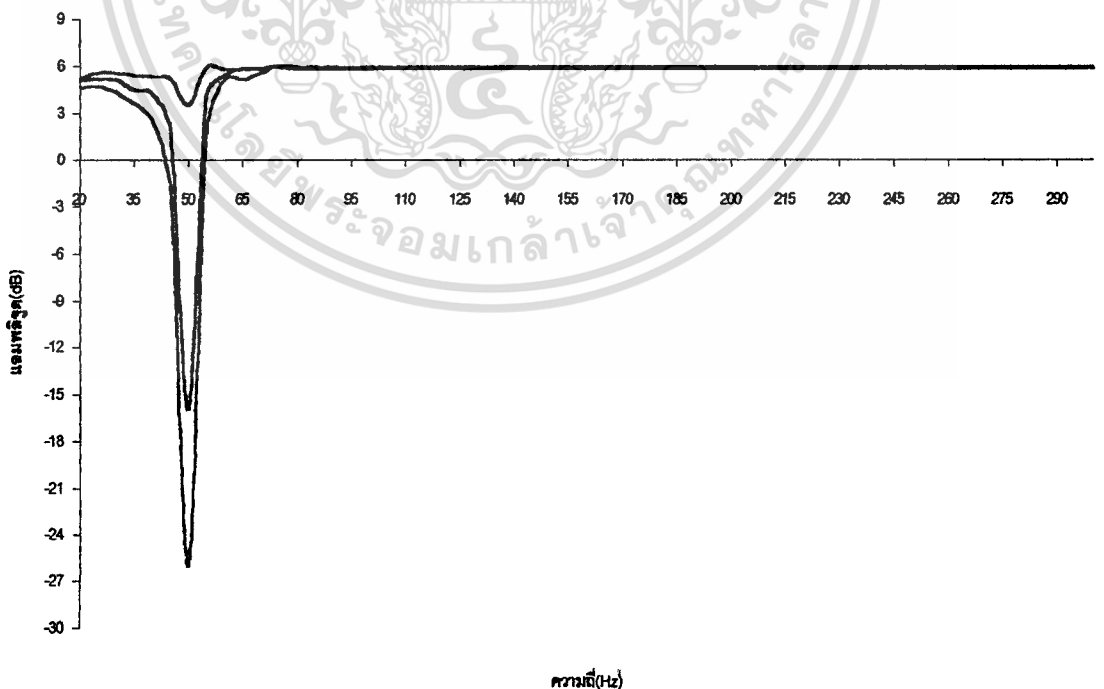
ค่า CMRR ที่ความถี่ 200 เฮิร์ตซ์เท่ากับ

$$\frac{2646.15}{0.0262} = 1009981$$

สังเกตได้ว่า ค่า CMRR ที่ความถี่ต่ำๆ มีค่ามากกว่าที่ความถี่สูงๆ เนื่องจากอัตราการขยายมักจะขึ้นอยู่กับความถี่ และเพราะว่าในช่วงจรกรองความถี่ต่ำๆ นั้น สัญญาณที่ความถี่สูงจะไม่ถูกขยายด้วยอัตราการขยายที่สูงนัก

4.2 วงจรกรองความถี่ต่ำแบบนอ้ทซ์ฟิลเตอร์

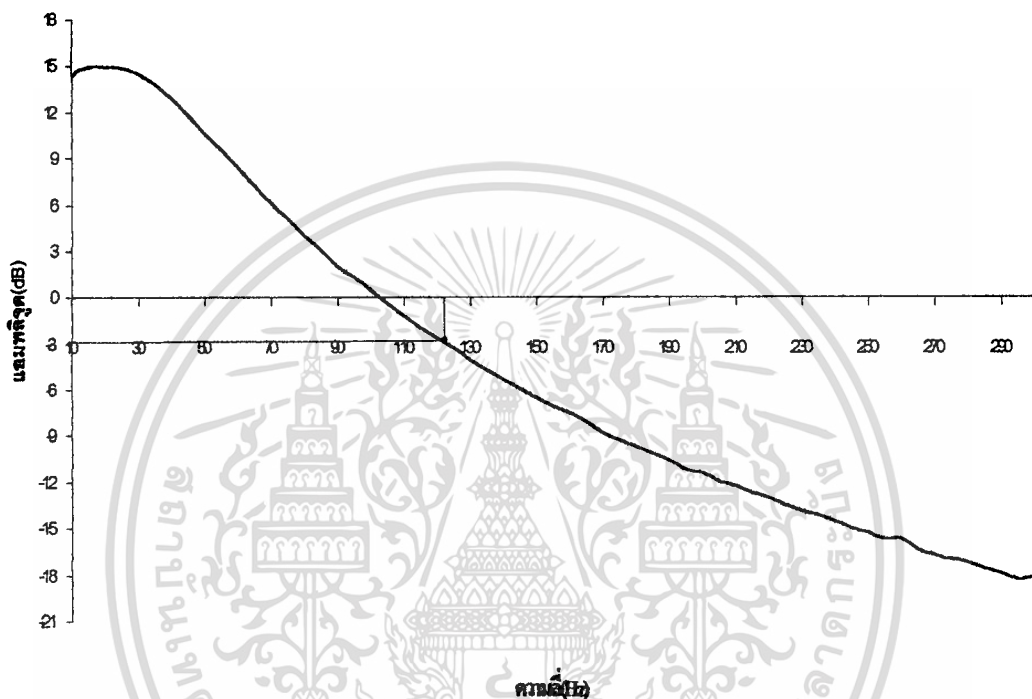
ทำการป้อนสัญญาณไซน์เป็นอินพุตของวงจรกรองความถี่ต่ำแบบนอ้ทซ์ฟิลเตอร์ ด้วยขนาดคงที่ค่าหนึ่ง เริ่มที่ความถี่ 15 เฮิร์ตซ์ ไปจนถึง 200 เฮิร์ตซ์ จากนั้นบันทึกผลของสัญญาณเอาต์พุตที่ความถี่ต่างๆ จากรูปที่ 4.5 เป็นผลการทดลองที่ได้ โดยสัญญาณที่มีความถี่ 50 Hz จะถูกกรองไม่ให้ผ่านออกไปได้ จากสัญญาณอินพุตที่ใส่เข้าไปเท่ากับ 2 โวลต์ จะได้เอาต์พุตแต่ละสแตจของวงจรเท่ากับ 1.5 V, 0.16 V และ 0.05 V ตามลำดับ



เอกสารนี้เป็นรูปที่ 4.5 ผลตอบรับสองทางความถี่ของวงจรกรองความถี่ต่ำแบบนอ้ทซ์ฟิลเตอร์ทั้งสามสแตจ ซึ่งด้านการคำนวณว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 วงจรกรองความถี่ต่ำแบบแอคทีฟ

ทำการป้อนสัญญาณไซน์เป็นอินพุตเข้าไปที่วงจร Active Low-Pass Filter เริ่มด้วยความถี่ 10 เฮิรตซ์ ถึง 300 เฮิรตซ์ แต่มีขนาดคงที่ แล้วบันทึกขนาดของสัญญาณเอาต์พุตที่ได้ ที่แต่ละความถี่ ซึ่งจะ ได้ผลการทดลองเป็นรูปที่ 4.6



รูปที่ 4.6 แสดงผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำแบบแอคทีฟ

4.4 เอาต์พุตของวงจรรวม

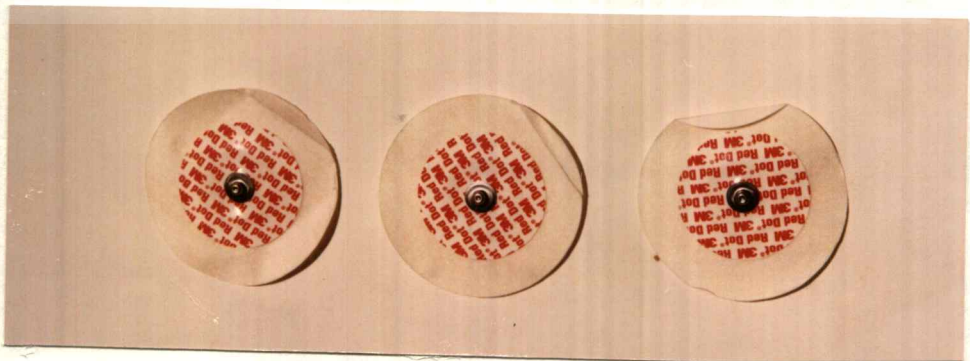
เมื่อทำการวัดสัญญาณเอาต์พุตที่ผ่านวงจรรวมทั้งหมดแล้ว จะเห็นว่า สัญญาณที่มีความถี่ 50 เฮิรตซ์สามารถผ่านมาทางเอาต์พุตได้น้อยมากๆ ดังแสดงในรูปที่ 4.7



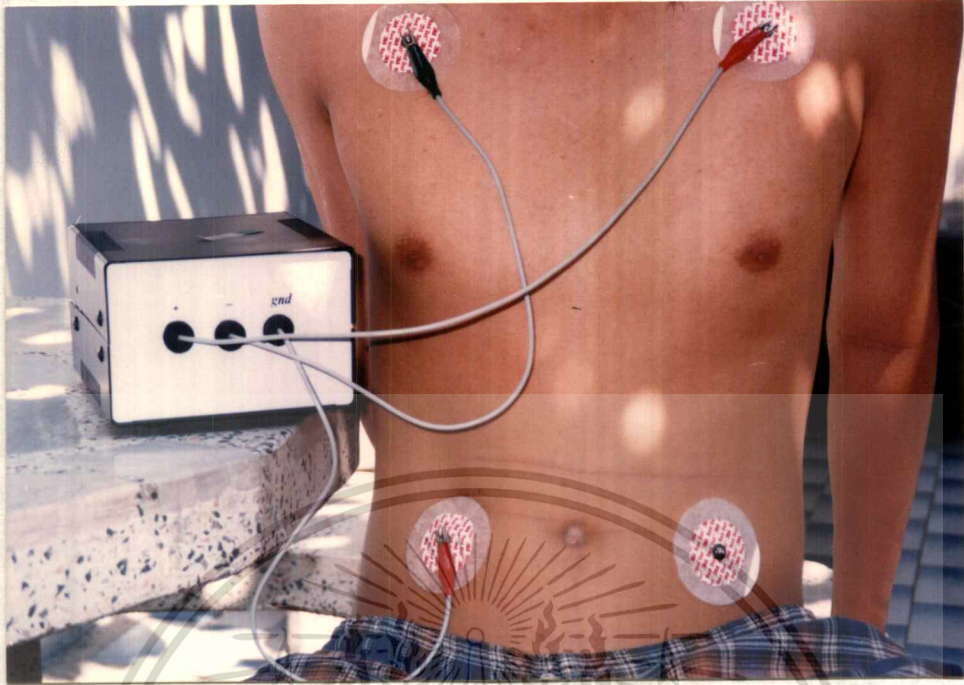
รูปที่ 4.7 ผลตอบสนองทางความถี่ของวงจรรวมทั้ง

4.5 เาท์พุทเมื่อใช้สัญญาณ ECG เป็นอินพุท

ทำการติดขั้วอิเล็กทรอนิกส์ที่มีลักษณะดังรูปที่ 4.8 ลงบนผิวหน้า โดยยึดตามตำแหน่งในรูปที่ 4.9



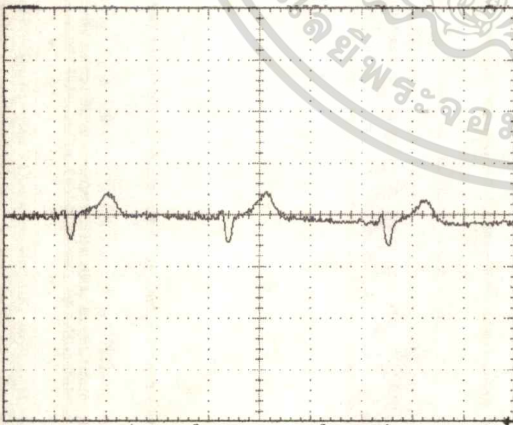
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
รูปที่ 4.8 รูปขั้วอิเล็กทรอนิกส์
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



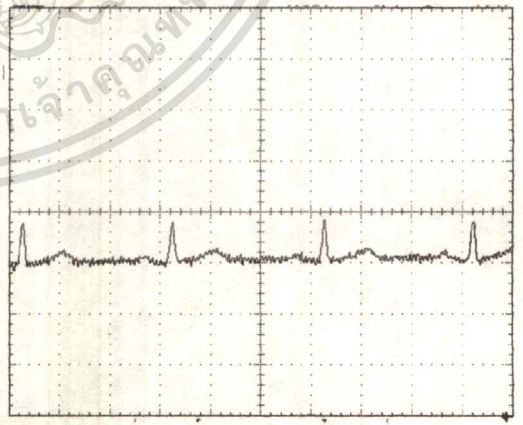
รูปที่ 4.9 แสดงการติดขั้วอิเล็กโทรด

สัญญาณ ECG ที่หน้าจอสโคปจะเป็นดังรูปต่อไปนี้

หมายเหตุ* สามารถเปรียบเทียบสัญญาณที่วัดจากเครื่อง ECG ของโรงพยาบาลได้ในภาคผนวก

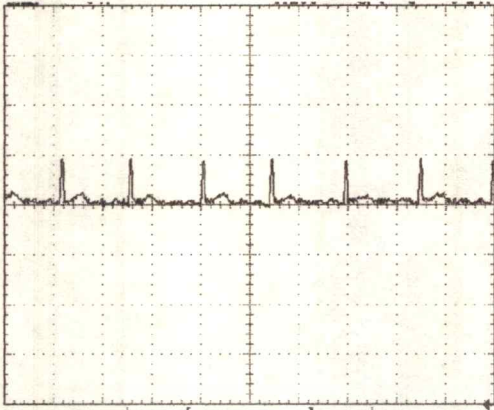


Lead I

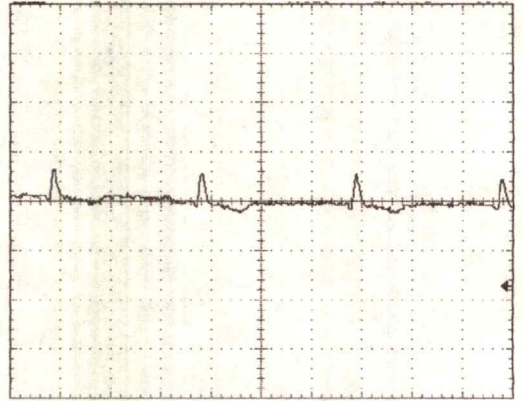


Lead II

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



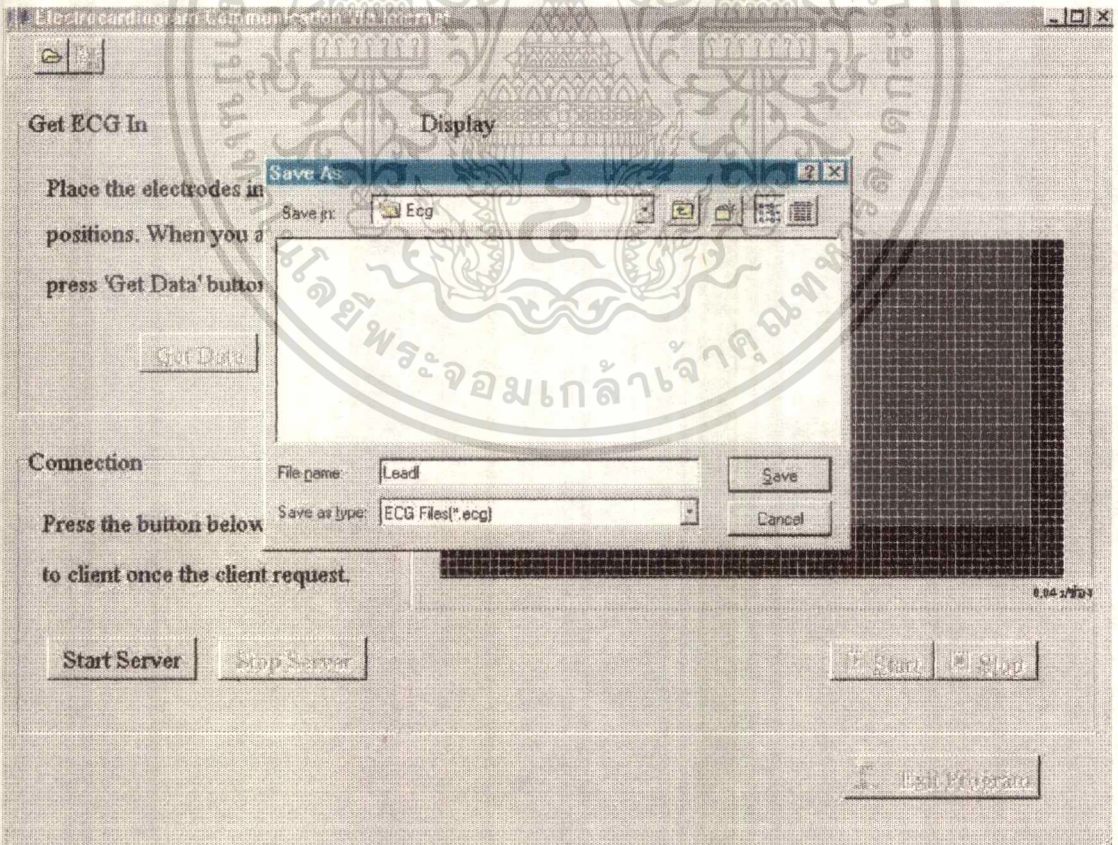
Lead III



Lead V4

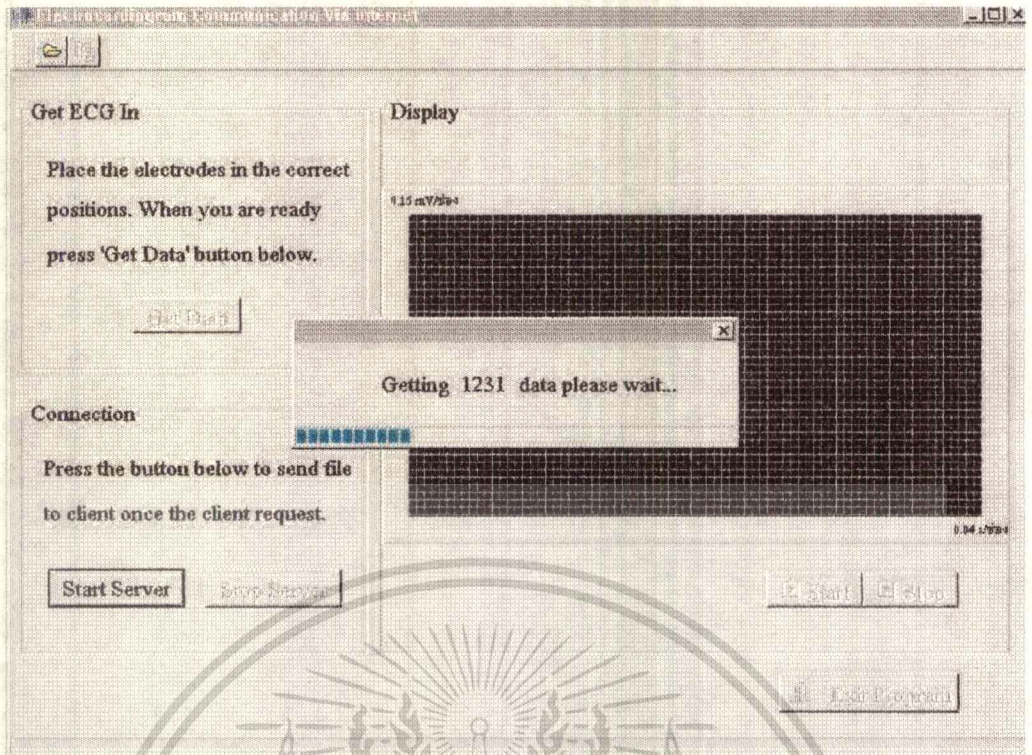
รูปที่ 4.10 สัญญาณ ECG ที่รับได้

4.6 ผลของการทำงานของโปรแกรมแต่ละขั้นตอน

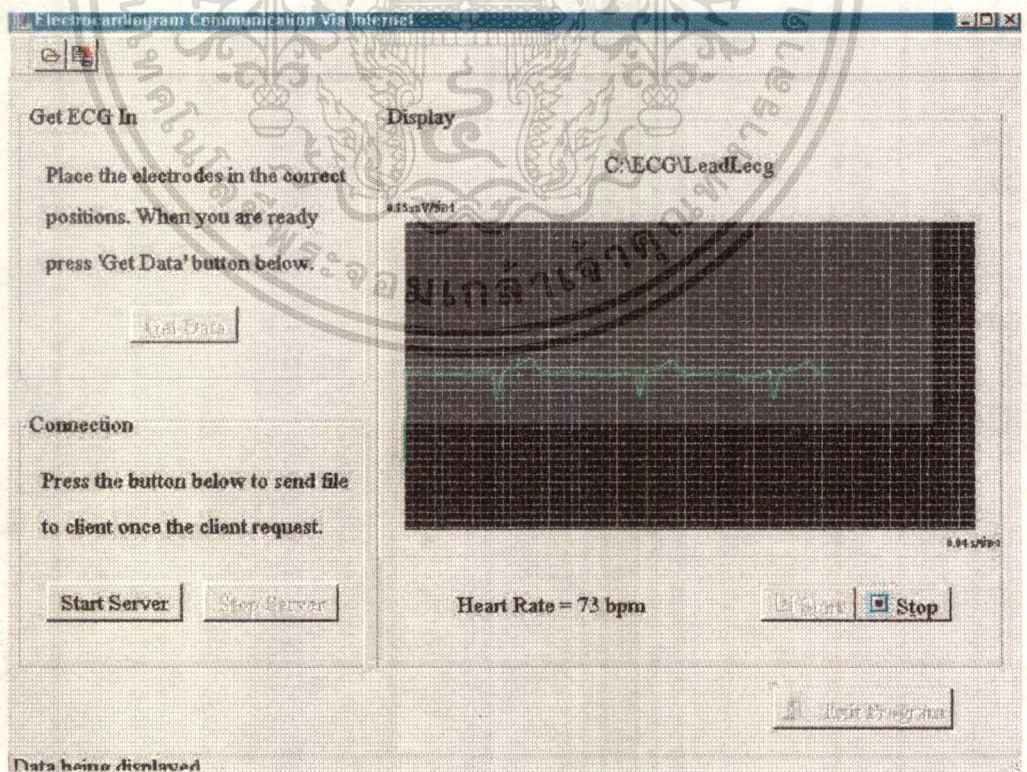


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม้ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมีเหตุดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

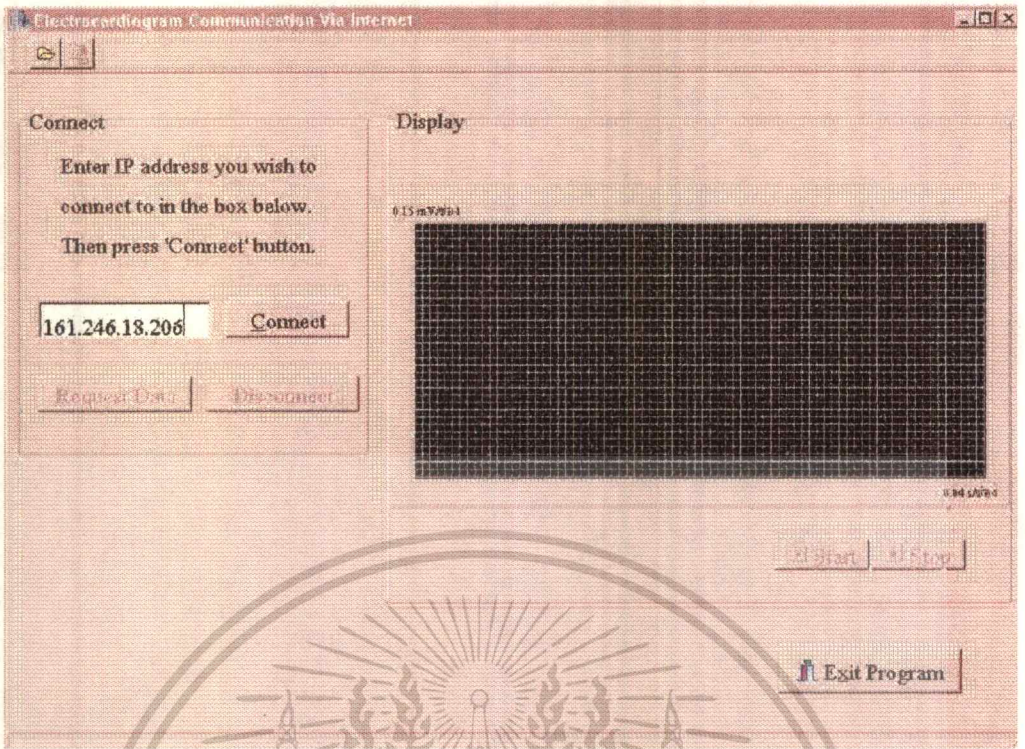
รูปที่ 4.11 เซิร์ฟเวอร์ตั้งชื่อไฟล์ที่จะบันทึกสัญญาณ ECG



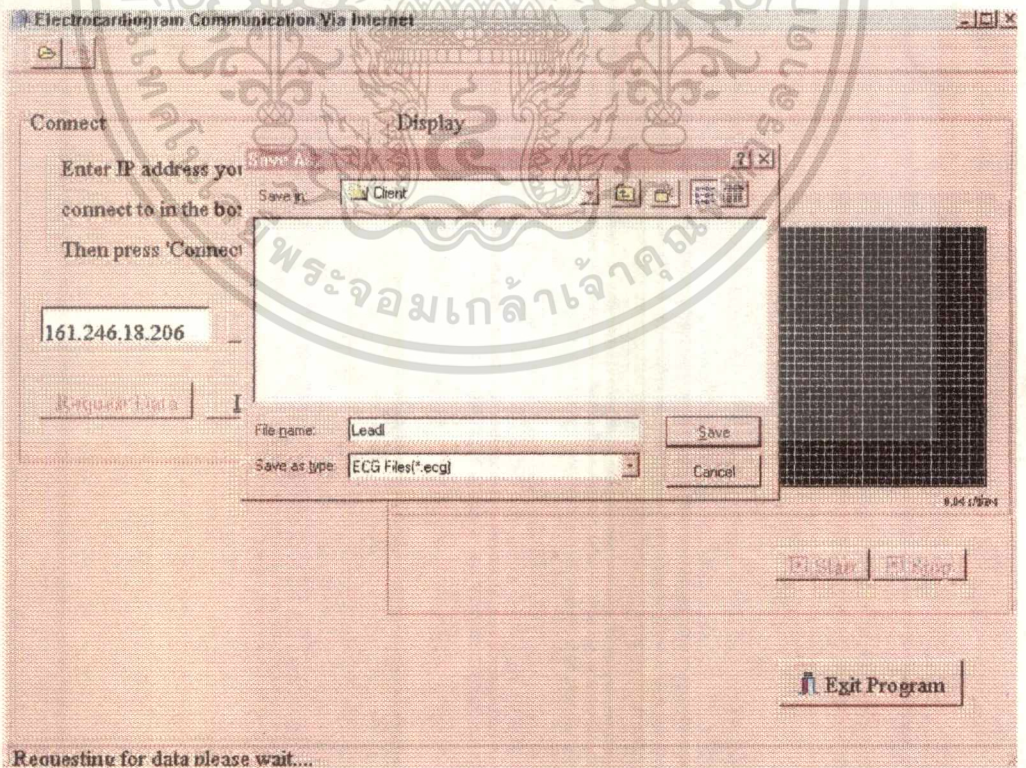
รูปที่ 4.12 เซิร์ฟเวอร์กำลังรับสัญญาณ ECG



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งรูปที่ 4.13 เซิร์ฟเวอร์แสดงรูปสัญญาณ ECG ที่รับเข้ามาได้ก็ครั้งที่มีการนำไปใช้

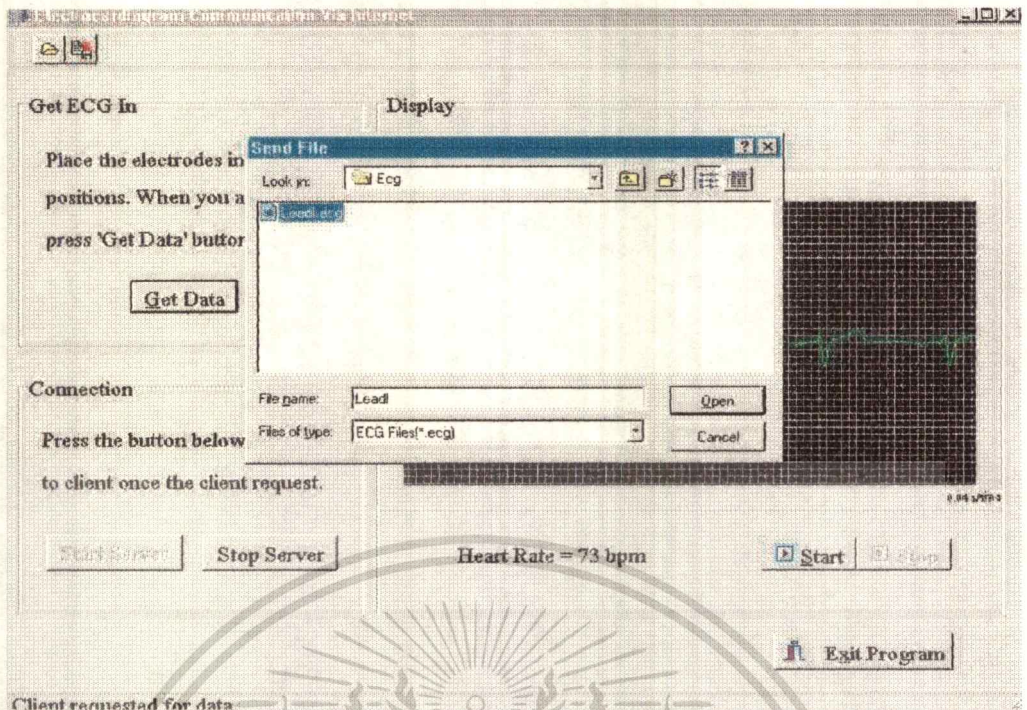


รูปที่ 4.14 ระบุหมายเลขไอพีเพื่อทำการเชื่อมต่อ

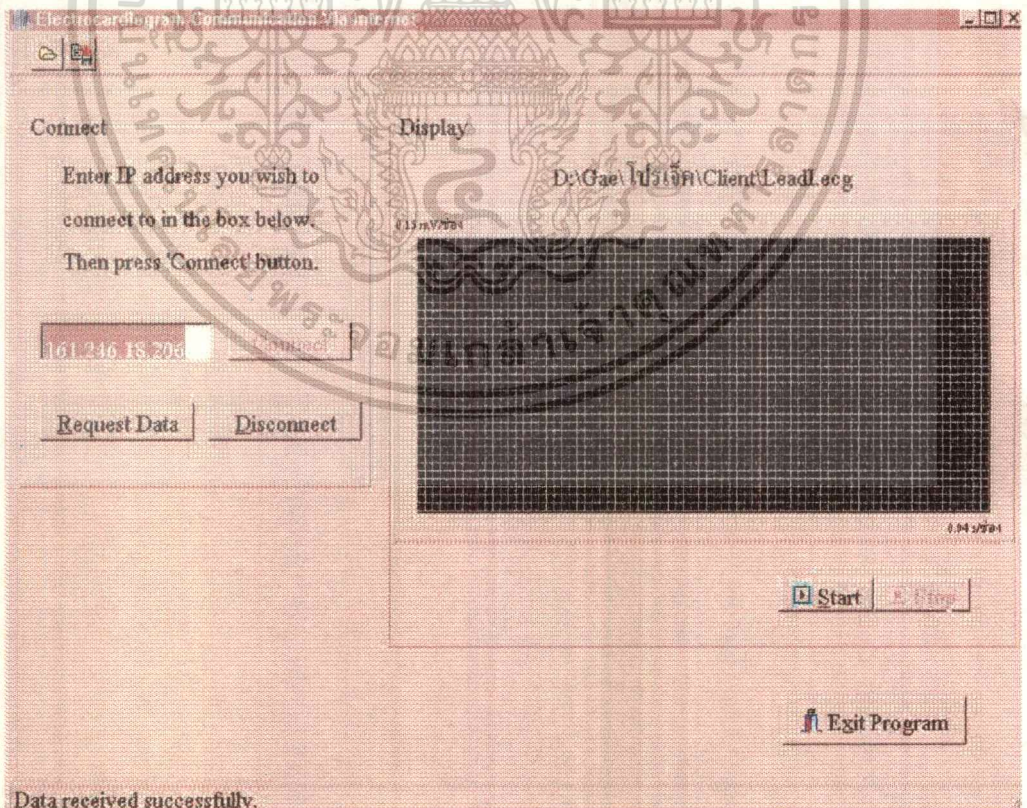


รูปที่ 4.15 โคลนแอนทีร็อกขอให้เซิร์ฟเวอร์ส่งไฟล์และใส่ชื่อไฟล์ที่จะรับ

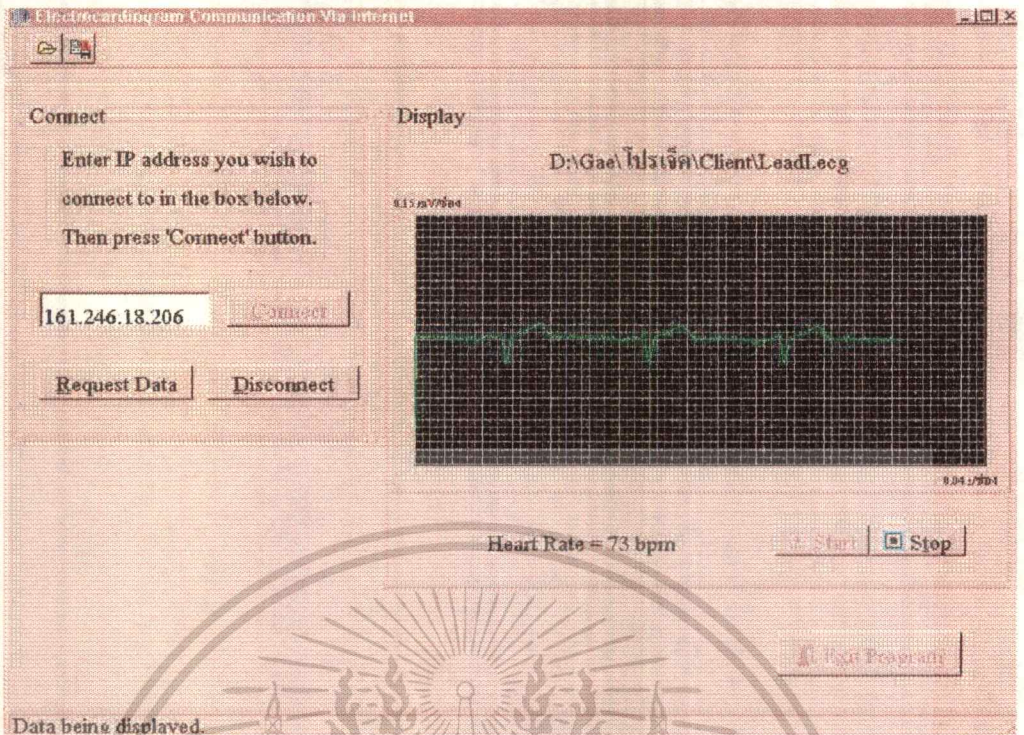
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามเผยแพร่ต่อแหล่งเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.16 เซิร์ฟเวอร์เลือกไฟล์ที่จะส่ง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 รูปที่ 4.17 ไคลเอนท์ได้รับไฟล์แล้ว
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.18 โคลแอนที่แสดงผลจากไฟล์ที่ได้รับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

บทวิจารณ์และบทสรุป

จะเห็นได้ว่าโปรเจกต์นี้มีประโยชน์ทางด้านการแพทย์ โดยได้อำนวยความสะดวกให้แก่แพทย์และผู้ป่วย คือจะทำการส่งสัญญาณคลื่นไฟฟ้าหัวใจระหว่างเครื่องคอมพิวเตอร์ผ่านทางเครือข่ายอินเทอร์เน็ต โดยช่วยให้ผู้ป่วยไม่ต้องเผชิญกับปัญหาการจราจรคับคั่งในปัจจุบัน ซึ่งช่วยประหยัดเวลาได้อย่างมาก

หลังจากที่ได้ทำการทดลองจริงแล้ว ก็พบว่ายังมีปัญหาเกิดขึ้นบางประการ เช่น สัญญาณคลื่นหัวใจที่ได้มีสัญญาณอื่นมารบกวนมากเกินไป แนวทางแก้ไขคือ เพิ่มส่วนของวงจรฟิลเตอร์เข้าไป หรือเพิ่มส่วนของดิจิตอลฟิลเตอร์เข้าไปในโปรแกรมเพื่อทำการลดสัญญาณรบกวนดังกล่าว ในส่วนของโปรแกรมที่ใช้ส่งและรับข้อมูลนั้น ยังมีข้อเสีย คือ จะต้องทำการรับข้อมูลทั้งหมดเข้ามาเก็บไว้ก่อน แล้วจึงจะสามารถแสดงและทำการส่งในภายหลัง จะเห็นว่าไม่ได้ทำเป็นแบบ real time แนวทางแก้ไขก็คือ เขียนโปรแกรมที่ขณะทำการรับค่าอยู่ ก็ให้ส่งข้อมูลเป็นแพ็คเกจเล็กๆ ออกไปด้วยพร้อมๆกัน แต่กระนั้นก็ขึ้นอยู่กับความสามารถของคอมพิวเตอร์ที่ใช้ด้วย



ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

29-MAR-1999

MR. PATTAPONG PANRAHEE

Linked Medtrans

BANGKOK HEART INSTITUTE

15:55:03

ID: 00000000000

BRUCE

Clock-1: 00:08

Measured At: 30Sec post J (10mm/mV)

25mm/s

PRE-TEST

Clock-2: 00:00

Auto Potency

10mm/mV

HR: 57bpm

Speed: 0.0mph

Lead ST(mm)

Lead ST(mm)

20Hz

Grade: 0.0%

V1 2.8

V1 0.3

V2 2.8

V2 5.2

V3 0.4

V3 5.1

V4 2.8

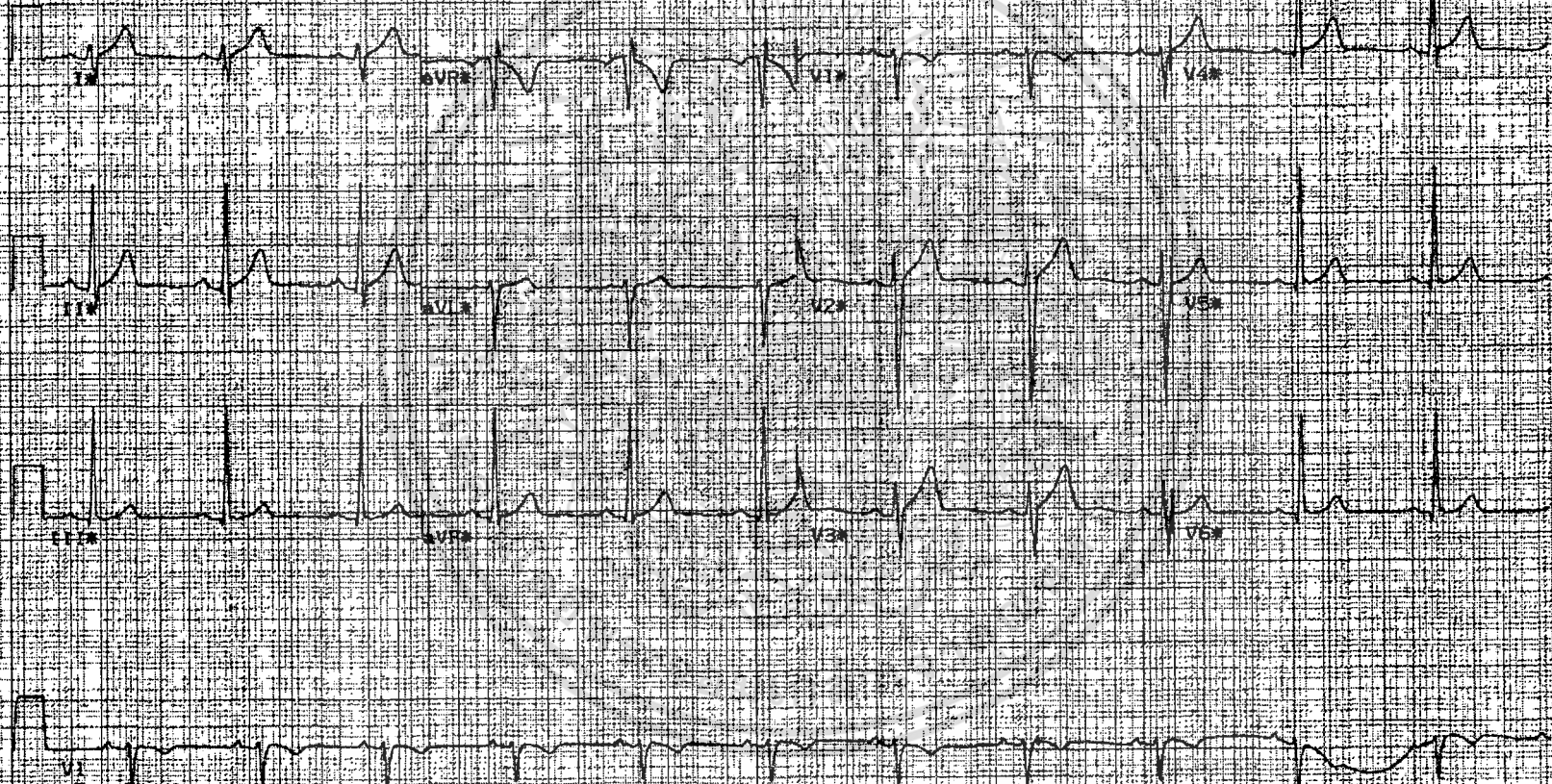
V4 5.1

V5 1.0

V5 1.4

V6 1.5

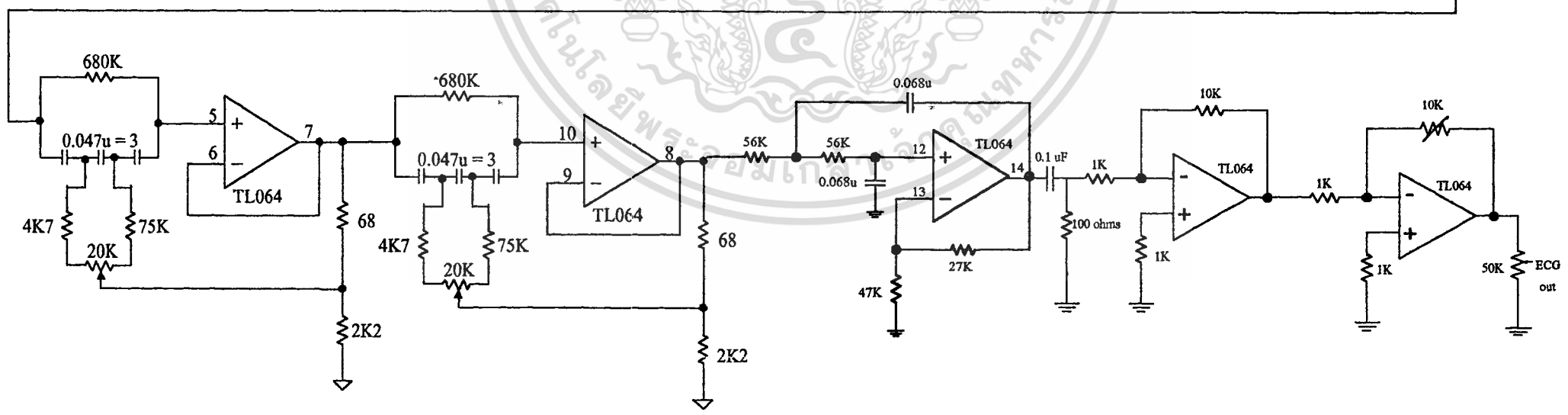
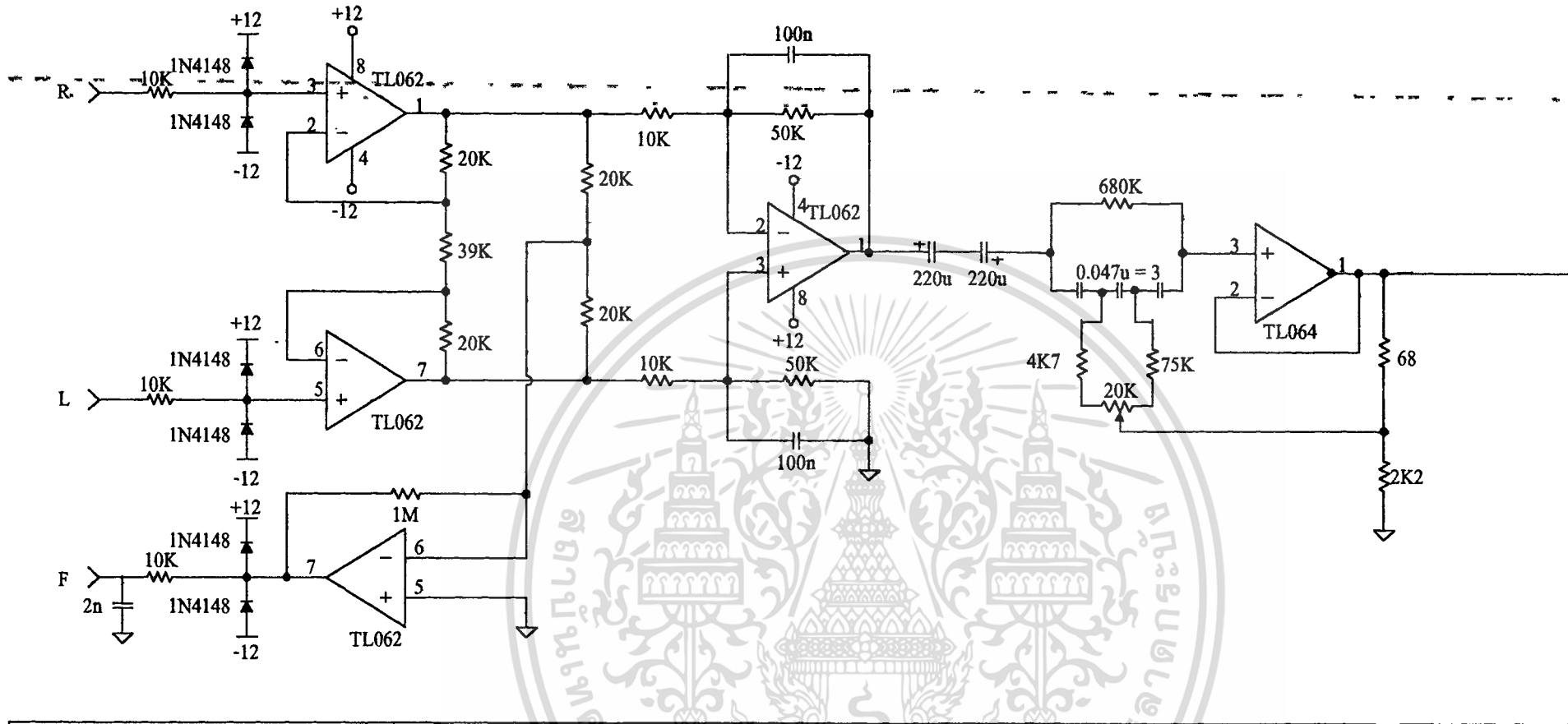
V6 0.2



RA Rhythm

LA-H-5-J-60-5123-H442-65312-CASE 008D

* Computer Synthesized Rhythm



August 1997

CMOS Voltage Converters

Features

- Simple Conversion of +5V Logic Supply to ±5V Supplies
- Simple Voltage Multiplication ($V_{OUT} = (-) nV_{IN}$)
- Typical Open Circuit Voltage Conversion Efficiency 99.9%
- Typical Power Efficiency 98%
- Wide Operating Voltage Range
 - ICL7660 1.5V to 10.0V
 - ICL7660A 1.5V to 12.0V
- ICL7660A 100% Tested at 3V
- Easy to Use - Requires Only 2 External Non-Critical Passive Components
- No External Diode Over Full Temp. and Voltage Range

Applications

- On Board Negative Supply for Dynamic RAMs
- Localized μ Processor (8080 Type) Negative Supplies
- Inexpensive Negative Supplies
- Data Acquisition Systems

Ordering Information

PART NO.	TEMP. RANGE (°C)	PACKAGE	PKG. NO.
ICL7660CTV	0 to 70	8 Pin Metal Can	T8.C
ICL7660CBA	0 to 70	8 Ld SOIC (N)	M8.15
ICL7660CPA	0 to 70	8 Ld PDIP	E8.3
ICL7660MTV†	0 to 70	8 Pin Metal Can	T8.C
ICL7660ACBA	0 to 70	8 Ld SOIC (N)	M8.15
ICL7660ACBAT	0 to 70	8 Ld SOIC (N) Tape and Reel	M8.15
ICL7660ACPA	0 to 70	8 Ld PDIP	E8.3
ICL7660AIBA	-40 to 85	8 Ld SOIC (N)	M8.15
ICL7660AIBAT	-40 to 85	8 Ld SOIC (N) Tape and Reel	M8.15
ICL7660AIPA	-40 to 85	8 Ld PDIP	E8.3

† Add /883B to part number if 883B processing is required.

Description

The Harris ICL7660 and ICL7660A are monolithic CMOS power supply circuits which offer unique performance advantages over previously available devices. The ICL7660 performs supply voltage conversions from positive to negative for an input range of +1.5V to +10.0V resulting in complementary output voltages of -1.5V to -10.0V and the ICL7660A does the same conversions with an input range of +1.5V to +12.0V resulting in complementary output voltages of -1.5V to -12.0V. Only 2 noncritical external capacitors are needed for the charge pump and charge reservoir functions. The ICL7660 and ICL7660A can also be connected to function as voltage doublers and will generate output voltages up to +18.6V with a +10V input.

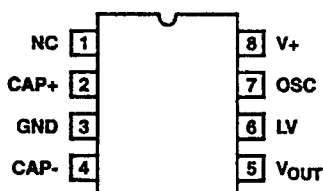
Contained on the chip are a series DC supply regulator, RC oscillator, voltage level translator, and four output power MOS switches. A unique logic element senses the most negative voltage in the device and ensures that the output N-Channel switch source-substrate junctions are not forward biased. This assures latchup free operation.

The oscillator, when unloaded, oscillates at a nominal frequency of 10kHz for an input supply voltage of 5.0V. This frequency can be lowered by the addition of an external capacitor to the "OSC" terminal, or the oscillator may be overdriven by an external clock.

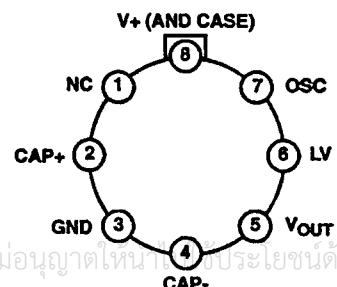
The "LV" terminal may be tied to GROUND to bypass the internal series regulator and improve low voltage (LV) operation. At medium to high voltages (+3.5V to +10.0V for the ICL7660 and +3.5V to +12.0V for the ICL7660A), the LV pin is left floating to prevent device latchup.

Pinouts

ICL7660, ICL7660A (PDIP, SOIC)
TOP VIEW



ICL7660 (METAL CAN)
TOP VIEW



CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper IC Handling Procedures.

ICL7660, ICL7660A

Absolute Maximum Ratings

Supply Voltage	
ICL7660	+10.5V
ICL7660A	+13.0V
LV and OSC Input Voltage	-0.3V to (V+ +0.3V) for V+ < 5.5V (Note 2)
	(V+ -5.5V) to (V+ +0.3V) for V+ > 5.5V
Current into LV (Note 2)	20µA for V+ > 3.5V
Output Short Duration (V _{SUPPLY} ≤ 5.5V)	Continuous

Thermal Information

Thermal Resistance (Typical, Note 1)	θ_{JA} (°C/W)	θ_{JC} (°C/W)
PDIP Package	150	N/A
SOIC Package	165	N/A
Metal Can Package (ICL7660 Only)	160	70
Maximum Storage Temperature Range	-65°C to 150°C	
Maximum Lead Temperature (Soldering, 10s)	300°C (SOIC - Lead Tips Only)	

Operating Conditions

Temperature Range

ICL7660M	-55°C to 125°C	ICL7660AI	-40°C to 85°C
ICL7660C	0°C to 70°C	ICL7660AC	0°C to 70°C

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTE:

- θ_{JA} is measured with the component mounted on an evaluation PC board in free air.

Electrical Specifications

ICL7660 and ICL7660A, V+ = 5V, T_A = 25°C, C_{OSC} = 0, Test Circuit Figure 11
Unless Otherwise Specified

PARAMETER	SYMBOL	TEST CONDITIONS	ICL7660			ICL7660A			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
Supply Current	I+	R _L = ∞	-	170	500	-	80	165	µA
Supply Voltage Range - Lo	V _{L+}	MIN ≤ T _A ≤ MAX, R _L = 10kΩ, LV to GND	1.5	-	3.5	1.5	-	3.5	V
Supply Voltage Range - Hi	V _{H+}	MIN ≤ T _A ≤ MAX, R _L = 10kΩ, LV to Open	3.0	-	10.0	3	-	12	V
Output Source Resistance	R _{OUT}	I _{OUT} = 20mA, T _A = 25°C	-	55	100	-	60	100	Ω
		I _{OUT} = 20mA, 0°C ≤ T _A ≤ 70°C	-	-	120	-	-	120	Ω
		I _{OUT} = 20mA, -55°C ≤ T _A ≤ 125°C	-	-	150	-	-	-	Ω
		I _{OUT} = 20mA, -40°C ≤ T _A ≤ 85°C	-	-	-	-	-	120	Ω
		V ⁺ = 2V, I _{OUT} = 3mA, LV to GND 0°C ≤ T _A ≤ 70°C	-	-	300	-	-	300	Ω
V ⁺ = 2V, I _{OUT} = 3mA, LV to GND, -55°C ≤ T _A ≤ 125°C	-	-	400	-	-	-	Ω		
Oscillator Frequency	f _{OSC}		-	10	-	-	10	-	kHz
Power Efficiency	P _{EF}	R _L = 5kΩ	95	98	-	96	98	-	%
Voltage Conversion Efficiency	V _{OUT EF}	R _L = ∞	97	99.9	-	99	99.9	-	%
Oscillator Impedance	Z _{OSC}	V ⁺ = 2V	-	1.0	-	-	1	-	MΩ
		V = 5V	-	100	-	-	-	-	kΩ

ICL7660A, V+ = 3V, T_A = 25°C, OSC = Free running, Test Circuit Figure 11, Unless Otherwise Specified

Supply Current (Note 3)	I+	V+ = 3V, R _L = ∞, 25°C	-	-	-	-	26	100	µA
		0°C < T _A < 70°C	-	-	-	-	-	125	µA
		-40°C < T _A < 85°C	-	-	-	-	-	125	µA
Output Source Resistance	R _{OUT}	V+ = 3V, I _{OUT} = 10mA	-	-	-	-	97	150	Ω
		0°C < T _A < 70°C	-	-	-	-	-	200	Ω
		-40°C < T _A < 85°C	-	-	-	-	-	200	Ω
Oscillator Frequency (Note 3)	f _{OSC}	V+ = 3V (same as 5V conditions)	-	-	-	5.0	8	-	kHz
		0°C < T _A < 70°C	-	-	-	3.0	-	-	kHz
		-40°C < T _A < 85°C	-	-	-	3.0	-	-	kHz
Voltage Conversion Efficiency	V _{OUT EFF}	V+ = 3V, R _L = ∞	-	-	-	99	-	-	%
		T _{MIN} < T _A < T _{MAX}	-	-	-	99	-	-	%

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ICL7660, ICL7660A

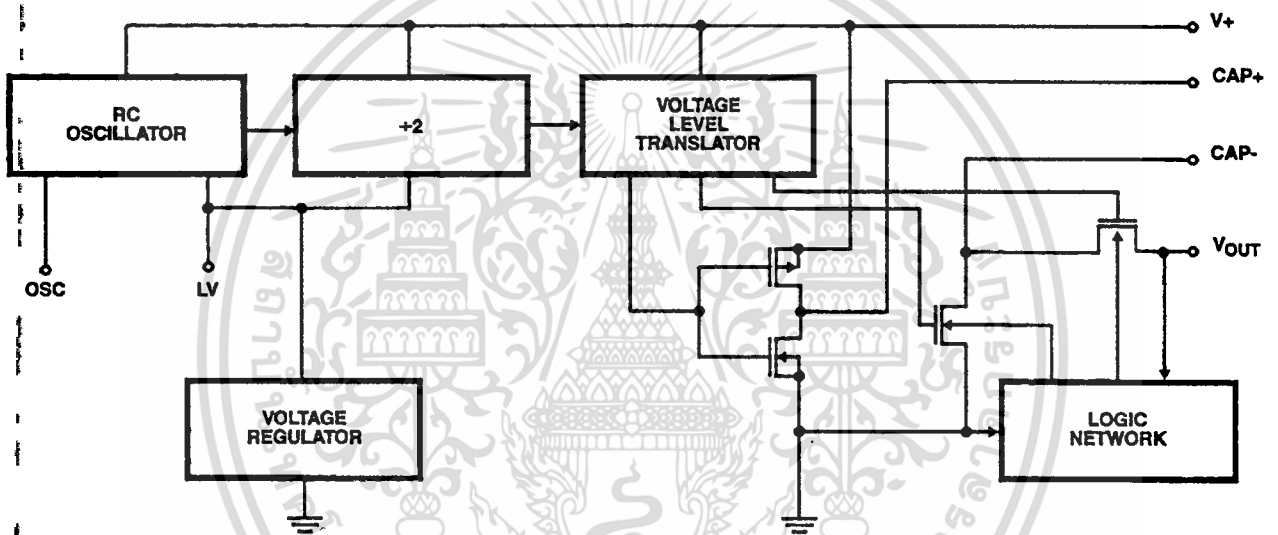
Electrical Specifications ICL7660 and ICL7660A, $V_+ = 5V$, $T_A = 25^\circ C$, $C_{OSC} = 0$, Test Circuit Figure 11
Unless Otherwise Specified (Continued)

PARAMETER	SYMBOL	TEST CONDITIONS	ICL7660			ICL7660A			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
Power Efficiency	PEFF	$V_+ = 3V$, $R_L = 5k\Omega$	-	-	-	96	-	-	%
		$T_{MIN} < T_A < T_{MAX}$	-	-	-	95	-	-	%

NOTES:

- Connecting any input terminal to voltages greater than V_+ or less than GND may cause destructive latchup. It is recommended that no inputs from sources operating from external supplies be applied prior to "power up" of the ICL7660, ICL7660A.
- Derate linearly above $50^\circ C$ by $5.5mW/^\circ C$.
- In the test circuit, there is no external capacitor applied to pin 7. However, when the device is plugged into a test socket, there is usually a very small but finite stray capacitance present, of the order of $5pF$.
- The Harris ICL7660A can operate without an external diode over the full temperature and voltage range. This device will function in existing designs which incorporate an external diode with no degradation in overall circuit performance.

Functional Block Diagram



Typical Performance Curves (Test Circuit of Figure 11)

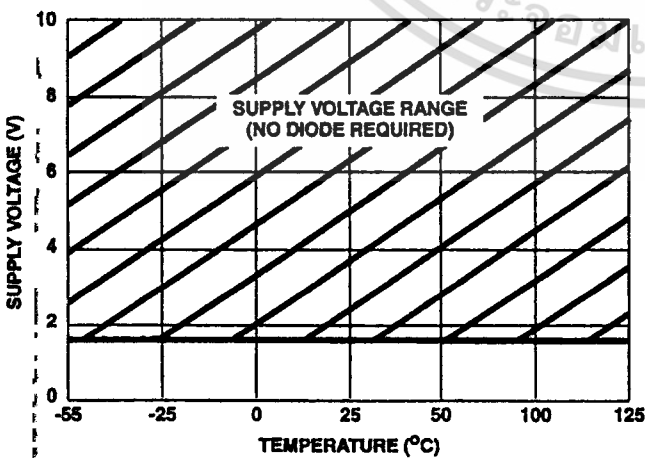


FIGURE 1. OPERATING VOLTAGE AS A FUNCTION OF TEMPERATURE

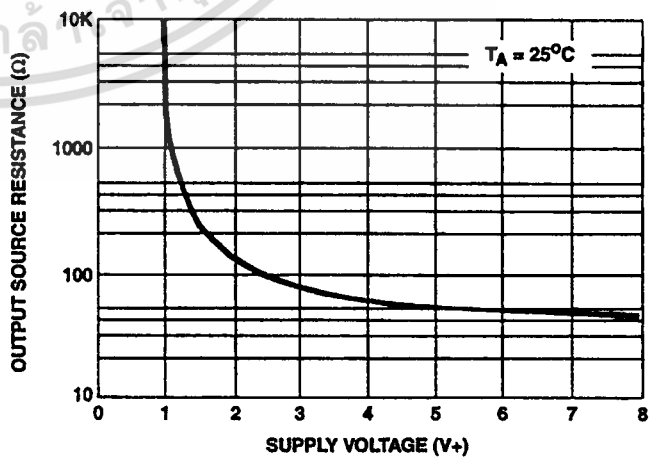


FIGURE 2. OUTPUT SOURCE RESISTANCE AS A FUNCTION OF SUPPLY VOLTAGE

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves (Test Circuit of Figure 11) (Continued)

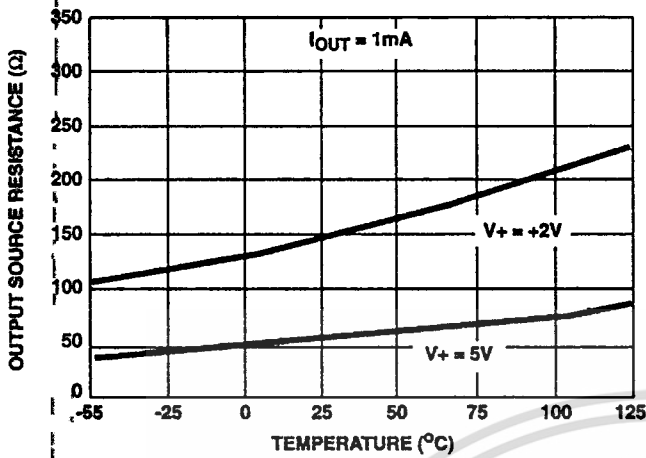


FIGURE 3. OUTPUT SOURCE RESISTANCE AS A FUNCTION OF TEMPERATURE

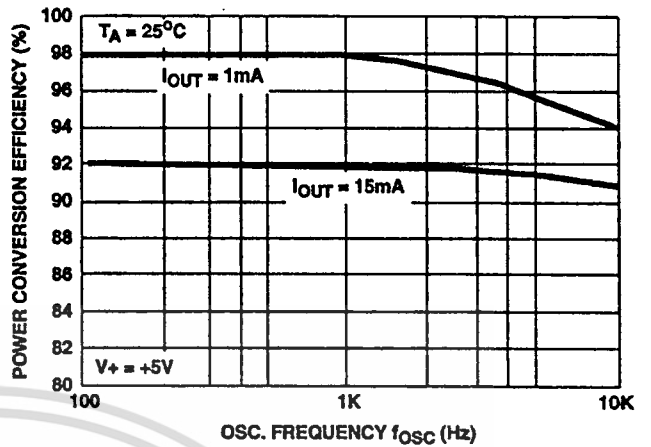


FIGURE 4. POWER CONVERSION EFFICIENCY AS A FUNCTION OF OSC. FREQUENCY

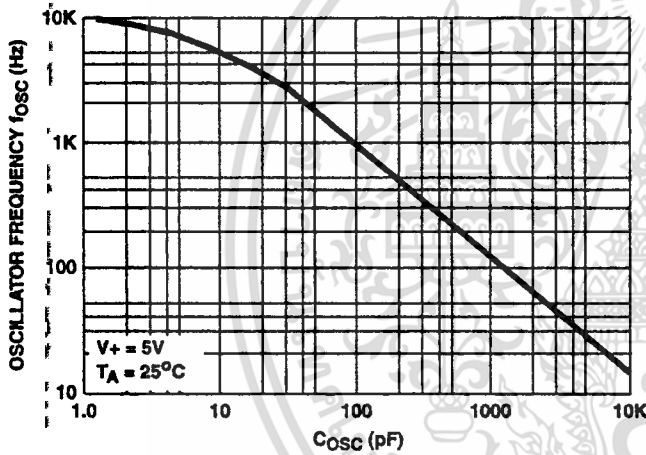


FIGURE 5. FREQUENCY OF OSCILLATION AS A FUNCTION OF EXTERNAL OSC. CAPACITANCE

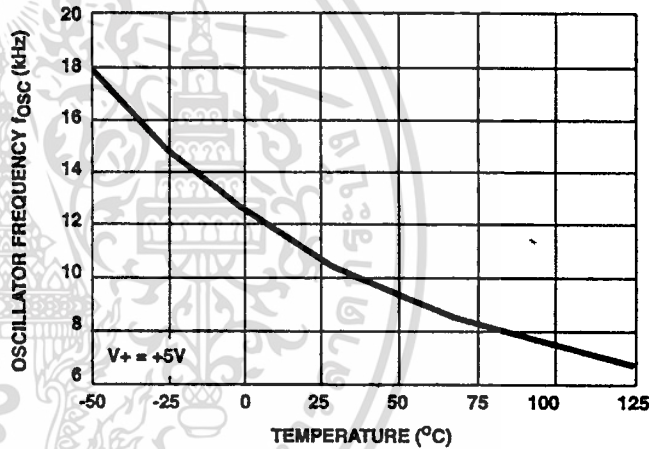


FIGURE 6. UNLOADED OSCILLATOR FREQUENCY AS A FUNCTION OF TEMPERATURE

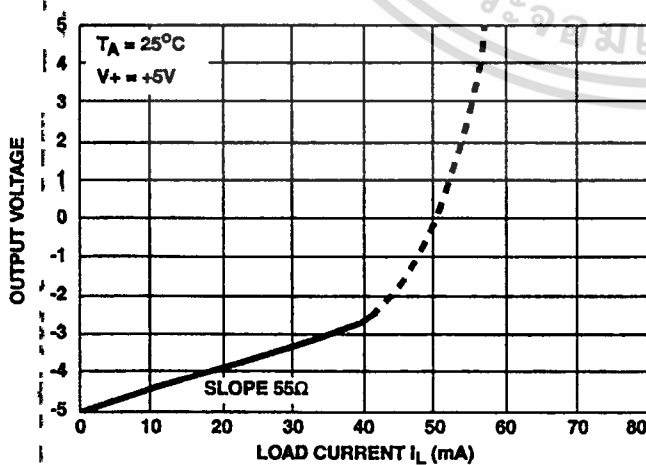


FIGURE 7. OUTPUT VOLTAGE AS A FUNCTION OF OUTPUT CURRENT

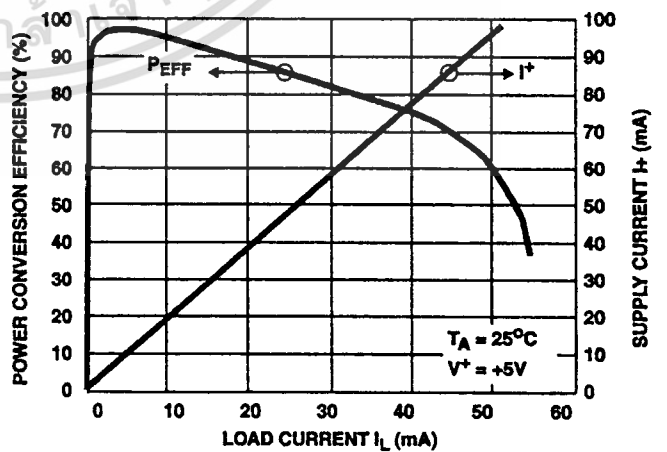


FIGURE 8. SUPPLY CURRENT AND POWER CONVERSION EFFICIENCY AS A FUNCTION OF LOAD CURRENT

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves (Test Circuit of Figure 11) (Continued)

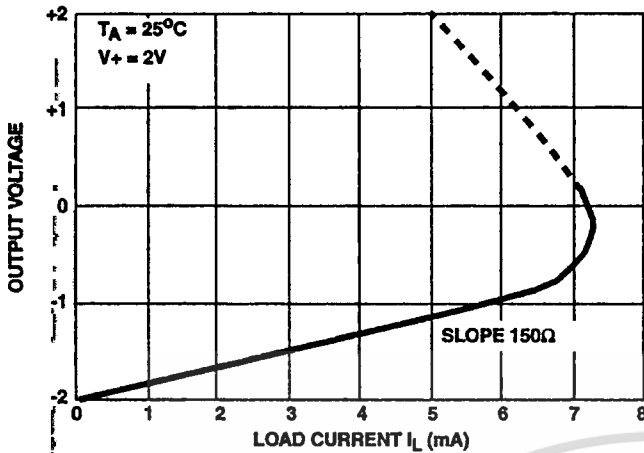


FIGURE 9. OUTPUT VOLTAGE AS A FUNCTION OF OUTPUT CURRENT

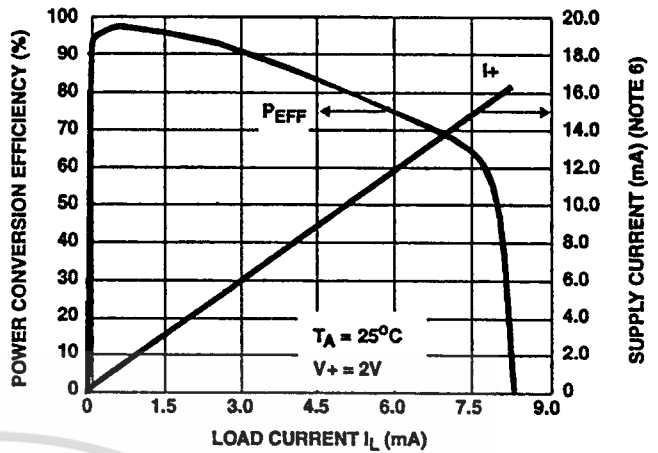
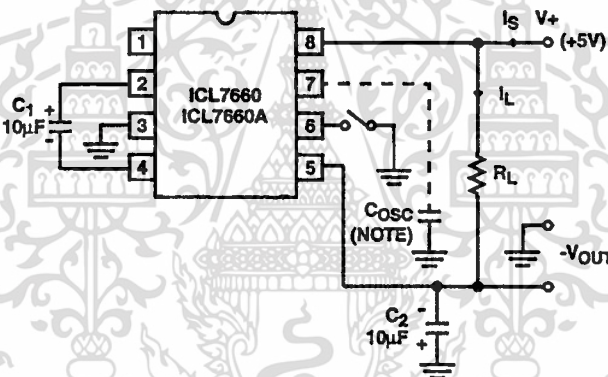


FIGURE 10. SUPPLY CURRENT AND POWER CONVERSION EFFICIENCY AS A FUNCTION OF LOAD CURRENT

NOTE:

6. These curves include in the supply current that current fed directly into the load R_L from the V_+ (See Figure 11). Thus, approximately half the supply current goes directly to the positive side of the load, and the other half, through the ICL7660/ICL7660A, to the negative side of the load. Ideally, $V_{OUT} = 2V_{IN}$, $I_S = 2I_L$, so $V_{IN} \times I_S = V_{OUT} \times I_L$.



NOTE: For large values of C_{OSC} (>1000pF) the values of C_1 and C_2 should be increased to 100µF.

FIGURE 11. ICL7660, ICL7660A TEST CIRCUIT

Detailed Description

The ICL7660 and ICL7660A contain all the necessary circuitry to complete a negative voltage converter, with the exception of 2 external capacitors which may be inexpensive 10µF polarized electrolytic types. The mode of operation of the device may be best understood by considering Figure 12, which shows an idealized negative voltage converter. Capacitor C_1 is charged to a voltage, V_+ , for the half cycle when switches S_1 and S_3 are closed. (Note: Switches S_2 and S_4 are open during this half cycle.) During the second half cycle of operation, switches S_2 and S_4 are closed, with S_1 and S_3 open, thereby shifting capacitor C_1 negatively by V_+ volts. Charge is then transferred from C_1 to C_2 such that the voltage on C_2 is exactly V_+ , assuming ideal switches and no load on C_2 . The ICL7660 approaches this ideal situation more closely than existing non-mechanical circuits.

In the ICL7660 and ICL7660A, the 4 switches of Figure 12 are MOS power switches; S_1 is a P-channel device and S_2 , S_3 , and S_4 are N-channel devices. The main difficulty with

this approach is that in integrating the switches, the substrates of S_3 and S_4 must always remain reverse biased with respect to their sources, but not so much as to degrade their "ON" resistances. In addition, at circuit start-up, and under output short circuit conditions ($V_{OUT} = V_+$), the output voltage must be sensed and the substrate bias adjusted accordingly. Failure to accomplish this would result in high power losses and probable device latchup.

This problem is eliminated in the ICL7660 and ICL7660A by a logic network which senses the output voltage (V_{OUT}) together with the level translators, and switches the substrates of S_3 and S_4 to the correct level to maintain necessary reverse bias.

The voltage regulator portion of the ICL7660 and ICL7660A is an integral part of the anti-latchup circuitry, however its inherent voltage drop can degrade operation at low voltages. Therefore, to improve low voltage operation the "LV" pin should be connected to GROUND, disabling the regulator. For supply voltages greater than 3.5V the LV terminal must be left open to insure latchup proof operation, and prevent device damage.

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

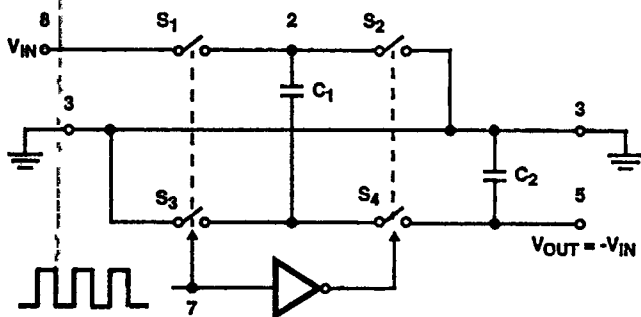


FIGURE 12. IDEALIZED NEGATIVE VOLTAGE CONVERTER

Theoretical Power Efficiency Considerations

In theory a voltage converter can approach 100% efficiency if certain conditions are met.

- A) The driver circuitry consumes minimal power.
- B) The output switches have extremely low ON resistance and virtually no offset.
- C) The impedances of the pump and reservoir capacitors are negligible at the pump frequency.

The ICL7660 and ICL7660A approach these conditions for negative voltage conversion if large values of C₁ and C₂ are used.

ENERGY IS LOST ONLY IN THE TRANSFER OF CHARGE BETWEEN CAPACITORS IF A CHANGE IN VOLTAGE OCCURS. The energy lost is defined by:

$$E = \frac{1}{2} C_1 (V_1^2 - V_2^2)$$

where V₁ and V₂ are the voltages on C₁ during the pump and transfer cycles. If the impedances of C₁ and C₂ are relatively high at the pump frequency (refer to Figure 12) compared to the value of R_L, there will be a substantial difference in the voltages V₁ and V₂. Therefore it is not only desirable to make C₂ as large as possible to eliminate output voltage ripple, but also to employ a correspondingly large value for C₁ in order to achieve maximum efficiency of operation.

Do's And Don'ts

1. Do not exceed maximum supply voltages.
2. Do not connect LV terminal to GROUND for supply voltages greater than 3.5V.
3. Do not short circuit the output to V+ supply for supply voltages above 5.5V for extended periods, however, transient conditions including start-up are okay.
4. When using polarized capacitors, the + terminal of C₁ must be connected to pin 2 of the ICL7660 and ICL7660A and the + terminal of C₂ must be connected to GROUND.
5. If the voltage supply driving the ICL7660 and ICL7660A has a large source impedance (25Ω - 30Ω), then a 2.2μF capacitor from pin 8 to ground may be required to limit rate of rise of input voltage to less than 2V/μs.
6. User should insure that the output (pin 5) does not go more positive than GND (pin 3). Device latch up will occur under these conditions. A 1N914 or similar diode placed in parallel with C₂ will prevent the device from latching up under these conditions. (Anode pin 5, Cathode pin 3).

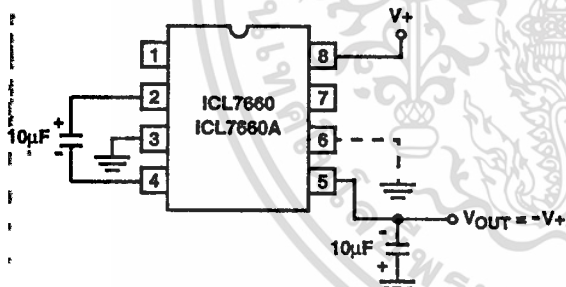


FIGURE 13A. CONFIGURATION

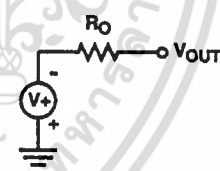


FIGURE 13B. THEVENIN EQUIVALENT

FIGURE 13. SIMPLE NEGATIVE CONVERTER

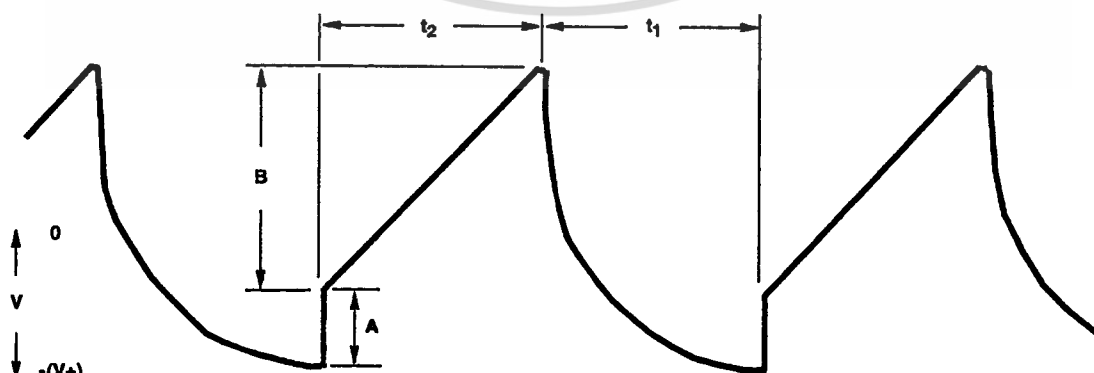


FIGURE 14. OUTPUT RIPPLE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ในเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่มีกรรมสิทธิ์ ทั้งสิ้น อีกทั้งไม่มีให้ที่แสดงเนื้อหา และที่ยังคงมีลิขสิทธิ์ของเอกสารทุกทั้งที่ปรากฏในเอกสาร

ICL7660, ICL7660A

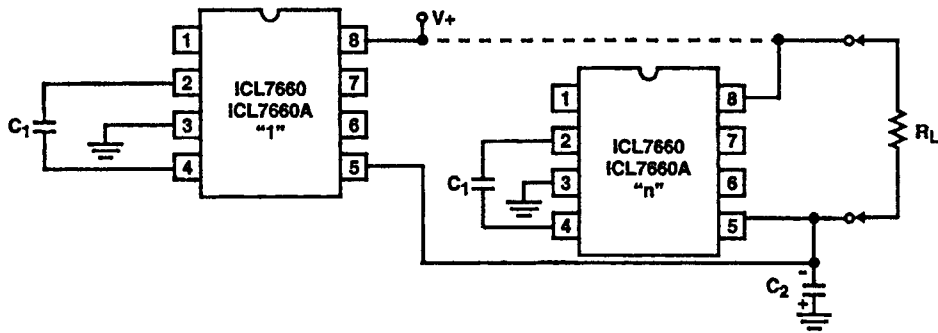


FIGURE 15. PARALLELING DEVICES

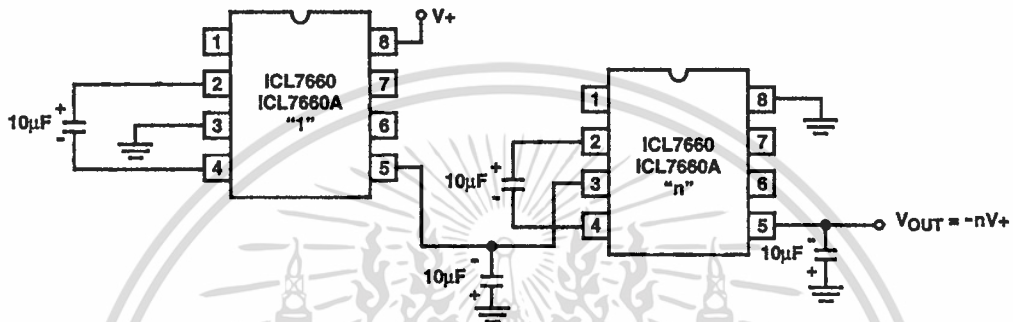


FIGURE 16. CASCADING DEVICES FOR INCREASED OUTPUT VOLTAGE

Typical Applications

Simple Negative Voltage Converter

The majority of applications will undoubtedly utilize the ICL7660 and ICL7660A for generation of negative supply voltages. Figure 13 shows typical connections to provide a negative supply voltage (GND) for supply voltages below 3.5V.

The output characteristics of the circuit in Figure 13A can be approximated by an ideal voltage source in series with a resistance as shown in Figure 13B. The voltage source has a value of $-V+$. The output impedance (R_O) is a function of the ON resistance of the internal MOS switches (shown in Figure 12), the switching frequency, the value of C_1 and C_2 , and the ESR (equivalent series resistance) of C_1 and C_2 . A good first order approximation for R_O is:

$$R_O \cong 2(R_{SW1} + R_{SW3} + ESR_{C1}) + 2(R_{SW2} + R_{SW4} + ESR_{C1}) + \frac{1}{(f_{PUMP})(C1)} + ESR_{C2}$$

$$(f_{PUMP} = \frac{f_{OSC}}{2}, R_{SWX} = \text{MOSFET switch resistance})$$

Combining the four R_{SWX} terms as R_{SW} , we see that:

$$R_O \cong 2(R_{SW}) + \frac{1}{(f_{PUMP})(C1)} + 4(ESR_{C1}) + ESR_{C2}$$

R_{SW} , the total switch resistance, is a function of supply voltage and temperature (See the Output Source Resistance graphs), typically 23Ω at 25°C and 5V. Careful selection of C_1 and C_2 will reduce the remaining terms, minimizing the output impedance. High value capacitors will

reduce the $1/(f_{PUMP} \cdot C_1)$ component, and low ESR capacitors will lower the ESR term. Increasing the oscillator frequency will reduce the $1/(f_{PUMP} \cdot C1)$ term, but may have the side effect of a net increase in output impedance when $C_1 > 10\mu F$ and there is no longer enough time to fully charge the capacitors every cycle. In a typical application where $f_{OSC} = 10\text{kHz}$ and $C = C_1 = C_2 = 10\mu F$:

$$R_O \cong 2(23) + \frac{1}{(5 \cdot 10^3)(10^{-5})} + 4(ESR_{C1}) + ESR_{C2}$$

$$R_O \cong 46 + 20 + 5(ESR_C)$$

Since the ESRs of the capacitors are reflected in the output impedance multiplied by a factor of 5, a high value could potentially swamp out a low $1/(f_{PUMP} \cdot C_1)$ term, rendering an increase in switching frequency or filter capacitance ineffective. Typical electrolytic capacitors may have ESRs as high as 10Ω.

$$R_O \cong 2(23) + \frac{1}{(5 \cdot 10^3)(10^{-5})} + 4(ESR_{C1}) + ESR_{C2}$$

$$R_O \cong 46 + 20 + 5(ESR_C)$$

Since the ESRs of the capacitors are reflected in the output impedance multiplied by a factor of 5, a high value could potentially swamp out a low $1/(f_{PUMP} \cdot C_1)$ term, rendering an increase in switching frequency or filter capacitance ineffective. Typical electrolytic capacitors may have ESRs as high as 10Ω.

Output Ripple

ESR also affects the ripple voltage seen at the output. The total ripple is determined by 2 voltages, A and B, as shown in Figure 14. Segment A is the voltage drop across the ESR of

C_2 at the instant it goes from being charged by C_1 (current flowing into C_2) to being discharged through the load (current flowing out of C_2). The magnitude of this current change is $2 \cdot I_{OUT}$, hence the total drop is $2 \cdot I_{OUT} \cdot eSR_{C_2}V$. Segment B is the voltage change across C_2 during time t_2 , the half of the cycle when C_2 supplies current to the load. The drop at B is $I_{OUT} \cdot t_2/C_2V$. The peak-to-peak ripple voltage is the sum of these voltage drops:

$$V_{RIPPLE} \cong \left[\frac{1}{2 (f_{PUMP}) (C_2)} + 2 (ESR_{C_2}) \right] I_{OUT}$$

Again, a low ESR capacitor will result in a higher performance output.

Paralleling Devices

Any number of ICL7660 and ICL7660A voltage converters may be paralleled to reduce output resistance. The reservoir capacitor, C_2 , serves all devices while each device requires its own pump capacitor, C_1 . The resultant output resistance would be approximately:

$$R_{OUT} = \frac{R_{OUT} \text{ (of ICL7660/ICL7660A)}}{n \text{ (number of devices)}}$$

Cascading Devices

The ICL7660 and ICL7660A may be cascaded as shown to produce larger negative multiplication of the initial supply voltage. However, due to the finite efficiency of each device, the practical limit is 10 devices for light loads. The output voltage is defined by:

$$V_{OUT} = -n (V_{IN}),$$

where n is an integer representing the number of devices cascaded. The resulting output resistance would be approximately the weighted sum of the individual ICL7660 and ICL7660A R_{OUT} values.

Changing the ICL7660/ICL7660A Oscillator Frequency

It may be desirable in some applications, due to noise or other considerations, to increase the oscillator frequency. This is achieved by overdriving the oscillator from an external clock, as shown in Figure 17. In order to prevent possible device latchup, a 1kΩ resistor must be used in series with the clock output. In a situation where the designer has generated the external clock frequency using TTL logic, the addition of a 10kΩ pullup resistor to $V+$ supply is required. Note that the pump frequency with external clocking, as with internal clocking, will be $1/2$ of the clock frequency. Output transitions occur on the positive-going edge of the clock.

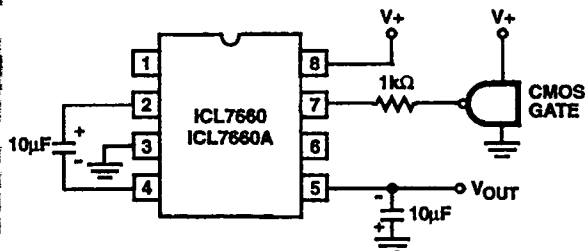


FIGURE 17. EXTERNAL CLOCKING

It is also possible to increase the conversion efficiency of the ICL7660 and ICL7660A at low load levels by lowering the oscillator frequency. This reduces the switching losses, and is shown in Figure 18. However, lowering the oscillator frequency will cause an undesirable increase in the impedance of the pump (C_1) and reservoir (C_2) capacitors; this is overcome by increasing the values of C_1 and C_2 by the same factor that the frequency has been reduced. For example, the addition of a 100pF capacitor between pin 7 (OSC) and $V+$ will lower the oscillator frequency to 1kHz from its nominal frequency of 10kHz (a multiple of 10), and thereby necessitate a corresponding increase in the value of C_1 and C_2 (from 10µF to 100µF).

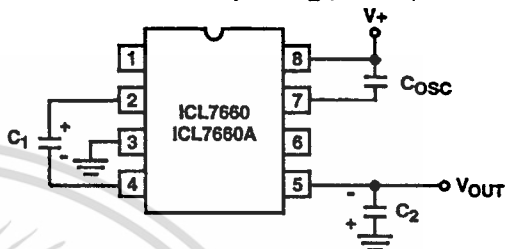


FIGURE 18. LOWERING OSCILLATOR FREQUENCY

Positive Voltage Doubling

The ICL7660 and ICL7660A may be employed to achieve positive voltage doubling using the circuit shown in Figure 19. In this application, the pump inverter switches of the ICL7660 and ICL7660A are used to charge C_1 to a voltage level of $V+ - V_F$ (where $V+$ is the supply voltage and V_F is the forward voltage drop of diode D_1). On the transfer cycle, the voltage on C_1 plus the supply voltage ($V+$) is applied through diode D_2 to capacitor C_2 . The voltage thus created on C_2 becomes $(2V+) - (2V_F)$ or twice the supply voltage minus the combined forward voltage drops of diodes D_1 and D_2 .

The source impedance of the output (V_{OUT}) will depend on the output current, but for $V+ = 5V$ and an output current of 10mA it will be approximately 60Ω.

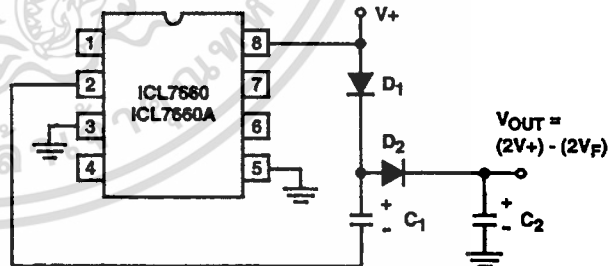


FIGURE 19. POSITIVE VOLT DOUBLER

Combined Negative Voltage Conversion and Positive Supply Doubling

Figure 20 combines the functions shown in Figures 13 and Figure 19 to provide negative voltage conversion and positive voltage doubling simultaneously. This approach would be, for example, suitable for generating +9V and -5V from an existing +5V supply. In this instance capacitors C_1 and C_3 perform the pump and reservoir functions respectively for the generation of the negative voltage, while capacitors C_2 and C_4 are pump and reservoir respectively for the doubled

เอกสารนี้เป็นลิขสิทธิ์ของ บริษัท เซมิคอนดักเตอร์ไทย จำกัด การใช้งานเพื่อการศึกษาค้นคว้าวิจัยเท่านั้น ไม่ควรนำไปใช้โดยไม่ได้รับอนุญาต
 ไม่ควรแก้ไขใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

positive voltage. There is a penalty in this configuration which combines both functions, however, in that the source impedances of the generated supplies will be somewhat higher due to the finite impedance of the common charge pump driver at pin 2 of the device.

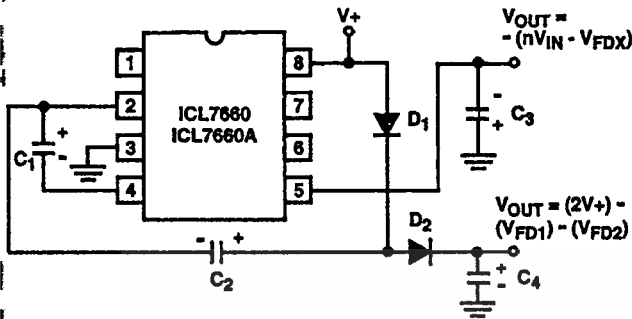


FIGURE 20. COMBINED NEGATIVE VOLTAGE CONVERTER AND POSITIVE DOUBLER

Voltage Splitting

The bidirectional characteristics can also be used to split a higher supply in half, as shown in Figure 21. The combined load will be evenly shared between the two sides. Because the switches share the load in parallel, the output impedance is much lower than in the standard circuits, and higher currents can be drawn from the device. By using this circuit, and then the circuit of Figure 16, +15V can be converted (via +7.5, and -7.5) to a nominal -15V, although with rather high series output resistance (~250Ω).

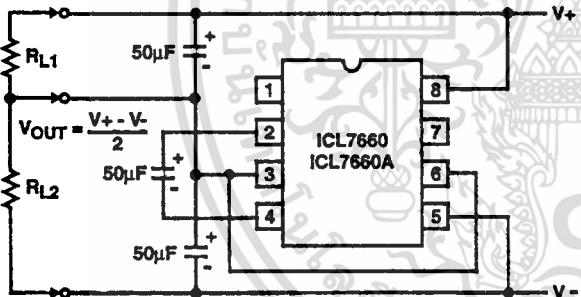


FIGURE 21. SPLITTING A SUPPLY IN HALF

Regulated Negative Voltage Supply

In some cases, the output impedance of the ICL7660 and ICL7660A can be a problem, particularly if the load current varies substantially. The circuit of Figure 22 can be used to overcome this by controlling the input voltage, via an ICL7611 low-power CMOS op amp, in such a way as to maintain a nearly constant output voltage. Direct feedback is inadvisable, since the ICL7660s and ICL7660As output does not respond instantaneously to change in input, but only after the switching delay. The circuit shown supplies enough delay to accommodate the ICL7660 and ICL7660A, while maintaining adequate feedback. An increase in pump and storage capacitors is desirable, and the values shown provides an output impedance of less than 5Ω to a load of 10mA.

Other Applications

Further information on the operation and use of the ICL7660 and ICL7660A may be found in A051 "Principals and Applications of the ICL7660 and ICL7660A CMOS Voltage Converter".

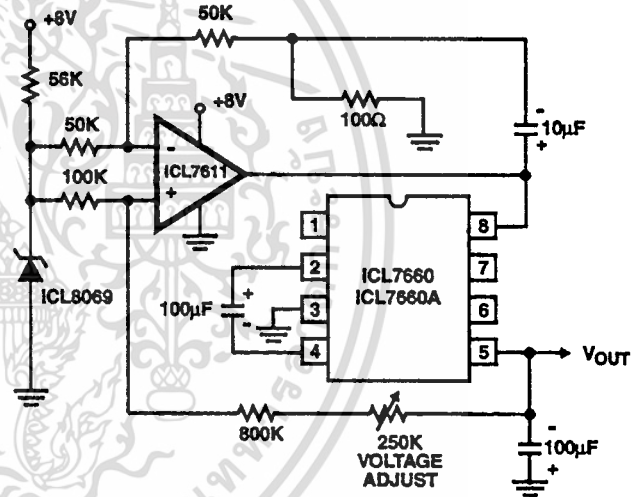


FIGURE 22. REGULATING THE OUTPUT VOLTAGE

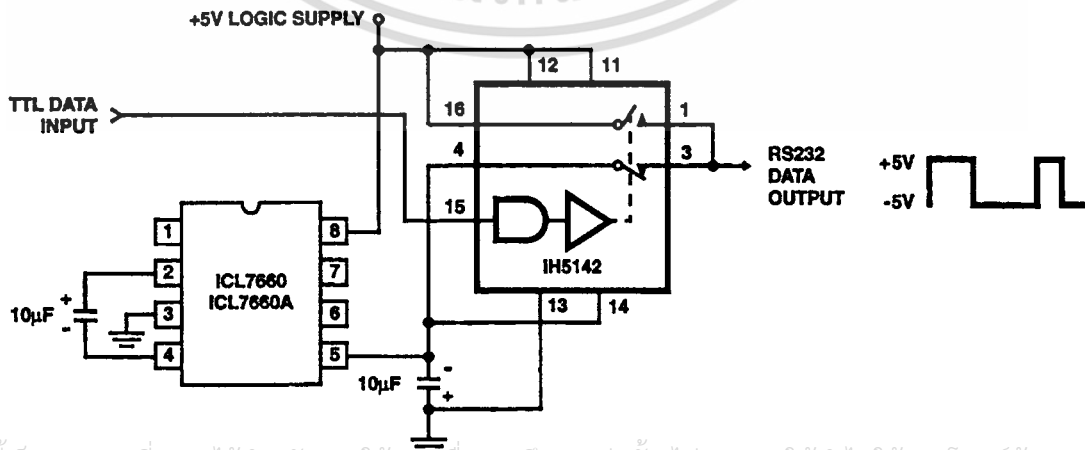
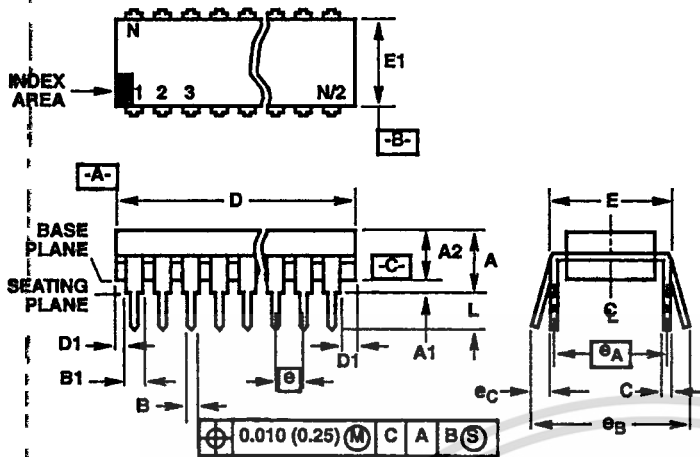


FIGURE 23. RS232 LEVELS FROM A SINGLE 5V SUPPLY

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ส่วนตัวของคุณเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Dual-In-Line Plastic Packages (PDIP)



E8.3 (JEDEC MS-001-BA ISSUE D)
8 LEAD DUAL-IN-LINE PLASTIC PACKAGE

SYMBOL	INCHES		MILLIMETERS		NOTES
	MIN	MAX	MIN	MAX	
A	-	0.210	-	5.33	4
A1	0.015	-	0.39	-	4
A2	0.115	0.195	2.93	4.95	-
B	0.014	0.022	0.356	0.558	-
B1	0.045	0.070	1.15	1.77	8, 10
C	0.008	0.014	0.204	0.355	-
D	0.355	0.400	9.01	10.16	5
D1	0.005	-	0.13	-	5
E	0.300	0.325	7.62	8.25	6
E1	0.240	0.280	6.10	7.11	5
e	0.100 BSC		2.54 BSC		-
eA	0.300 BSC		7.62 BSC		6
eB	-	0.430	-	10.92	7
L	0.115	0.150	2.93	3.81	4
N	8		8		9

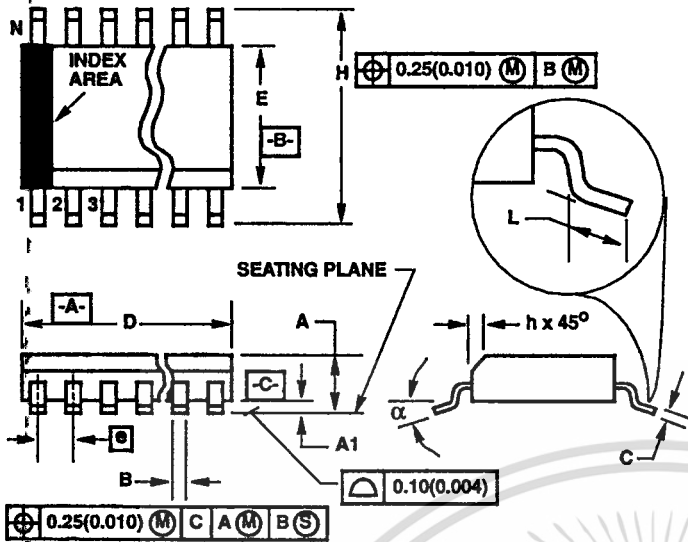
NOTES:

- Controlling Dimensions: INCH. In case of conflict between English and Metric dimensions, the inch dimensions control.
- Dimensioning and tolerancing per ANSI Y14.5M-1982.
- Symbols are defined in the "MO Series Symbol List" in Section 2.2 of Publication No. 95.
- Dimensions A, A1 and L are measured with the package seated in JEDEC seating plane gauge GS-3.
- D, D1, and E1 dimensions do not include mold flash or protrusions. Mold flash or protrusions shall not exceed 0.010 inch (0.25mm).
- E and eA are measured with the leads constrained to be perpendicular to datum -C-.
- eB and eC are measured at the lead tips with the leads unconstrained. eC must be zero or greater.
- B1 maximum dimensions do not include dambar protrusions. Dambar protrusions shall not exceed 0.010 inch (0.25mm).
- N is the maximum number of terminal positions.
- Corner leads (1, N, N/2 and N/2 + 1) for E8.3, E16.3, E18.3, E28.3, E42.6 will have a B1 dimension of 0.030 - 0.045 inch (0.76 - 1.14mm).

Rev. 0 12/93

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า
ไปว่ากรณิดจ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างถึงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Small Outline Plastic Packages (SOIC)



M8.15 (JEDEC MS-012-AA ISSUE C)
8 LEAD NARROW BODY SMALL OUTLINE PLASTIC PACKAGE

SYMBOL	INCHES		MILLIMETERS		NOTES
	MIN	MAX	MIN	MAX	
A	0.0532	0.0688	1.35	1.75	-
A1	0.0040	0.0098	0.10	0.25	-
B	0.013	0.020	0.33	0.51	9
C	0.0075	0.0098	0.19	0.25	-
D	0.1890	0.1968	4.80	5.00	3
E	0.1497	0.1574	3.80	4.00	4
e	0.050 BSC		1.27 BSC		-
H	0.2284	0.2440	5.80	6.20	-
h	0.0099	0.0196	0.25	0.50	5
L	0.016	0.050	0.40	1.27	6
N	8		8		7
alpha	0°	8°	0°	8°	-

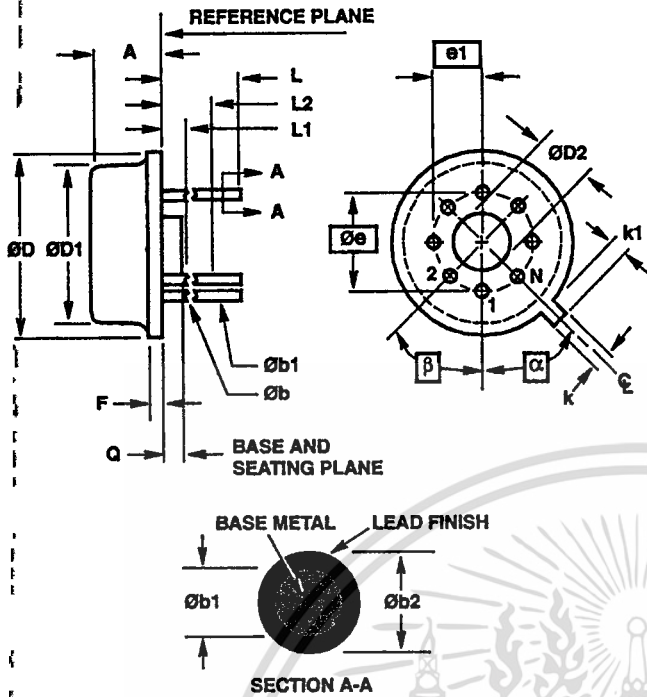
NOTES:

1. Symbols are defined in the "MO Series Symbol List" in Section 2.2 of Publication Number 95.
2. Dimensioning and tolerancing per ANSI Y14.5M-1982.
3. Dimension "D" does not include mold flash, protrusions or gate burrs. Mold flash, protrusion and gate burrs shall not exceed 0.15mm (0.006 inch) per side.
4. Dimension "E" does not include interlead flash or protrusions. Interlead flash and protrusions shall not exceed 0.25mm (0.010 inch) per side.
5. The chamfer on the body is optional. If it is not present, a visual index feature must be located within the crosshatched area.
6. "L" is the length of terminal for soldering to a substrate.
7. "N" is the number of terminal positions.
8. Terminal numbers are shown for reference only.
9. The lead width "B", as measured 0.36mm (0.014 inch) or greater above the seating plane, shall not exceed a maximum value of 0.61mm (0.024 inch).
10. Controlling dimension: MILLIMETER. Converted inch dimensions are not necessarily exact.

Rev. 0 12/93

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Metal Can Packages (Can)



**T8.C MIL-STD-1835 MACY1-X8 (A1)
8 LEAD METAL CAN PACKAGE**

SYMBOL	INCHES		MILLIMETERS		NOTES
	MIN	MAX	MIN	MAX	
A	0.165	0.185	4.19	4.70	-
Øb	0.016	0.019	0.41	0.48	1
Øb1	0.016	0.021	0.41	0.53	1
Øb2	0.016	0.024	0.41	0.61	-
ØD	0.335	0.375	8.51	9.40	-
ØD1	0.305	0.335	7.75	8.51	-
ØD2	0.110	0.160	2.79	4.06	-
e	0.200 BSC		5.08 BSC		-
e1	0.100 BSC		2.54 BSC		-
F	-	0.040	-	1.02	-
k	0.027	0.034	0.69	0.86	-
k1	0.027	0.045	0.69	1.14	2
L	0.500	0.750	12.70	19.05	1
L1	-	0.050	-	1.27	1
L2	0.250	-	6.35	-	1
Q	0.010	0.045	0.25	1.14	-
α	45° BSC		45° BSC		3
β	45° BSC		45° BSC		3
N	8		8		4

Rev. 0 5/18/94

NOTES:

1. (All leads) Øb applies between L1 and L2. Øb1 applies between L2 and 0.500 from the reference plane. Diameter is uncontrolled in L1 and beyond 0.500 from the reference plane.
2. Measured from maximum diameter of the product.
3. α is the basic spacing from the centerline of the tab to terminal 1 and β is the basic spacing of each lead or lead position (N -1 places) from α, looking at the bottom of the package.
4. N is the maximum number of terminal positions.
5. Dimensioning and tolerancing per ANSI Y14.5M - 1982.
6. Controlling dimension: INCH.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



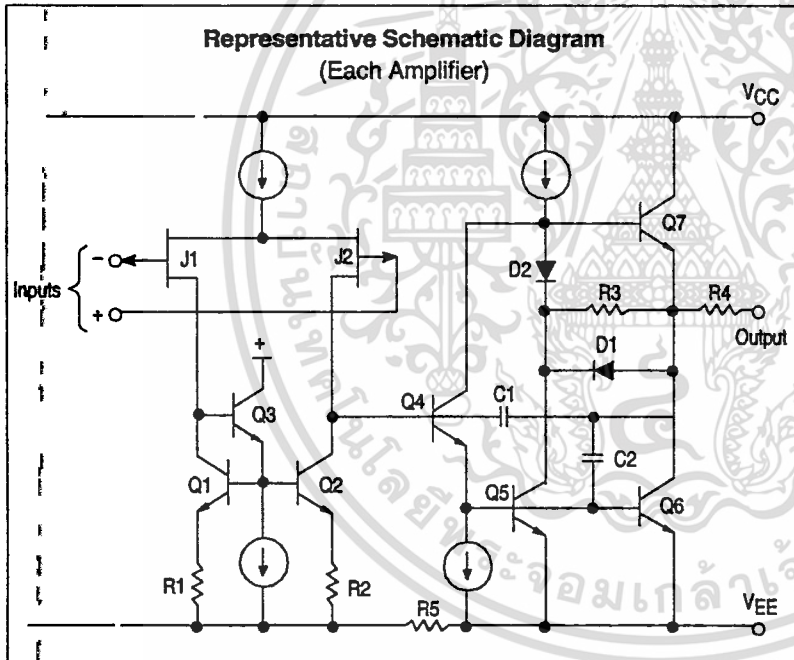
TL062 TL064

Low Power JFET Input Operational Amplifiers

These JFET input operational amplifiers are designed for low power applications. They feature high input impedance, low input bias current and low input offset current. Advanced design techniques allow for higher slew rates, gain bandwidth products and output swing.

The commercial and vehicular devices are available in Plastic dual in-line and SOIC packages.

- Low Supply Current: 200 μ A/Amplifier
- Low Input Bias Current: 5.0 pA
- High Gain Bandwidth: 2.0 MHz
- High Slew Rate: 6.0 V/ μ s
- High Input Impedance: $10^{12} \Omega$
- Large Output Voltage Swing: ± 14 V
- Output Short Circuit Protection



ORDERING INFORMATION

Op Amp Function	Device	Operating Temperature Range	Package
Dual	TL062CD, ACD TL062CP, ACP	$T_A = 0^\circ \text{ to } +70^\circ\text{C}$	SO-8 Plastic DIP
	TL062VD TL062VP	$T_A = -40^\circ \text{ to } +85^\circ\text{C}$	SO-8 Plastic DIP
Quad	TL064CD, ACD TL064CN, ACN	$T_A = 0^\circ \text{ to } +70^\circ\text{C}$	SO-14 Plastic DIP
	TL064VD TL064VN	$T_A = -40^\circ \text{ to } +85^\circ\text{C}$	SO-14 Plastic DIP

LOW POWER JFET INPUT OPERATIONAL AMPLIFIERS

SEMICONDUCTOR TECHNICAL DATA

DUAL

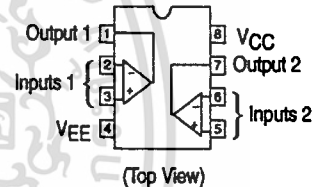


P SUFFIX
PLASTIC PACKAGE
CASE 626



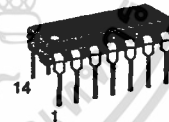
D SUFFIX
PLASTIC PACKAGE
CASE 751
(SO-8)

PIN CONNECTIONS

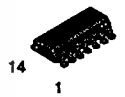


(Top View)

QUAD

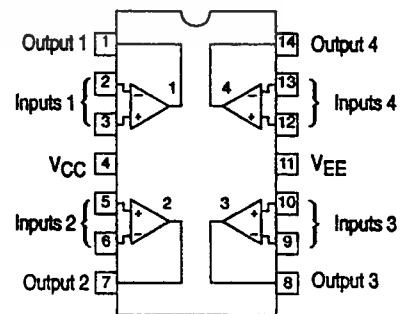


N SUFFIX
PLASTIC PACKAGE
CASE 646



D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO-14)

PIN CONNECTIONS



(Top View)

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Supply Voltage (from V_{CC} to V_{EE})	V_S	+36	V
Input Differential Voltage Range (Note 1)	V_{IDR}	± 30	V
Input Voltage Range (Notes 1 and 2)	V_{IR}	± 15	V
Output Short Circuit Duration (Note 3)	t_{SC}	Indefinite	sec
Operating Junction Temperature	T_J	+150	$^{\circ}C$
Storage Temperature Range	T_{stg}	-60 to +150	$^{\circ}C$

- NOTES:** 1. Differential voltages are at the noninverting input terminal with respect to the inverting input terminal.
 2. The magnitude of the input voltage must never exceed the magnitude of the supply or 15 V, whichever is less.
 3. Power dissipation must be considered to ensure maximum junction temperature (T_J) is not exceeded. (See Figure 1.)

ELECTRICAL CHARACTERISTICS ($V_{CC} = +15\text{ V}$, $V_{EE} = -15\text{ V}$, $T_A = 0^{\circ}$ to $+70^{\circ}C$, unless otherwise noted.)

Characteristics	Symbol	TL062AC TL064AC			TL062C TL064C			Unit
		Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage ($R_S = 50\ \Omega$, $V_O = 0\text{ V}$) $T_A = 25^{\circ}C$ $T_A = 0^{\circ}$ to $+70^{\circ}C$	V_{IO}	—	3.0	6.0	—	3.0	15	mV
Average Temperature Coefficient for Offset Voltage ($R_S = 50\ \Omega$, $V_O = 0\text{ V}$)	$\Delta V_{IO}/\Delta T$	—	10	—	—	10	—	$\mu V/^{\circ}C$
Input Offset Current ($V_{CM} = 0\text{ V}$, $V_O = 0\text{ V}$) $T_A = 25^{\circ}C$ $T_A = 0^{\circ}$ to $+70^{\circ}C$	I_{IO}	—	0.5	100	—	0.5	200	pA nA
Input Bias Current ($V_{CM} = 0\text{ V}$, $V_O = 0\text{ V}$) $T_A = 25^{\circ}C$ $T_A = 0^{\circ}$ to $+70^{\circ}C$	I_{IB}	—	3.0	200	—	3.0	200	pA nA
Input Common Mode Voltage Range $T_A = 25^{\circ}C$	V_{ICR}	—	+14.5	+11.5	—	+14.5	+11	V
Large Signal Voltage Gain ($R_L = 10\text{ k}\Omega$, $V_O = \pm 10\text{ V}$) $T_A = 25^{\circ}C$ $T_A = 0^{\circ}$ to $+70^{\circ}C$	A_{VOL}	4.0	58	—	3.0	58	—	V/mV
Output Voltage Swing ($R_L = 10\text{ k}\Omega$, $V_{ID} = 1.0\text{ V}$) $T_A = 25^{\circ}C$ $T_A = 0^{\circ}$ to $+70^{\circ}C$	V_{O+} V_{O-} V_{O+} V_{O-}	+10 — +10 —	+14 -14 — —	— -10 — -10	+10 — +10 —	+14 -14 — -10	— -10 — -10	V
Common Mode Rejection ($R_S = 50\ \Omega$, $V_{CM} = V_{ICR}\text{ min}$, $V_O = 0\text{ V}$, $T_A = 25^{\circ}C$)	CMR	80	84	—	70	84	—	dB
Power Supply Rejection ($R_S = 50\ \Omega$, $V_{CM} = 0\text{ V}$, $V_O = 0$, $T_A = 25^{\circ}C$)	PSR	80	86	—	70	86	—	dB
Power Supply Current (each amplifier) (No Load, $V_O = 0\text{ V}$, $T_A = 25^{\circ}C$)	I_D	—	200	250	—	200	250	μA
Total Power Dissipation (each amplifier) (No Load, $V_O = 0\text{ V}$, $T_A = 25^{\circ}C$)	P_D	—	6.0	7.5	—	6.0	7.5	mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TL062 TL064

DC ELECTRICAL CHARACTERISTICS ($V_{CC} = +15\text{ V}$, $V_{EE} = -15\text{ V}$, $T_A = T_{low}$ to T_{high} [Note 4], unless otherwise noted.)

Characteristics	Symbol	TL062V			TL064V			Unit
		Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage ($R_S = 50\ \Omega$, $V_O = 0\text{ V}$) $T_A = 25^\circ\text{C}$ $T_A = T_{low}$ to T_{high}	V_{IO}	— —	3.0 —	6.0 9.0	— —	3.0 —	9.0 15	mV
Average Temperature Coefficient for Offset Voltage ($R_S = 50\ \Omega$, $V_O = 0\text{ V}$)	$\Delta V_{IO}/\Delta T$	—	10	—	—	10	—	$\mu\text{V}/^\circ\text{C}$
Input Offset Current ($V_{CM} = 0\text{ V}$, $V_O = 0\text{ V}$) $T_A = 25^\circ\text{C}$ $T_A = T_{low}$ to T_{high}	I_{IO}	— —	5.0 —	100 20	— —	5.0 —	100 20	pA nA
Input Bias Current ($V_{CM} = 0\text{ V}$, $V_O = 0\text{ V}$) $T_A = 25^\circ\text{C}$ $T_A = T_{low}$ to T_{high}	I_{IB}	— —	30 —	200 50	— —	30 —	200 50	pA nA
Input Common Mode Voltage Range ($T_A = 25^\circ\text{C}$)	V_{ICR}	— -11.5	+14.5 -12.0	+11.5 —	— -11.5	+14.5 -12.0	+11.5 —	V
Large Signal Voltage Gain ($R_L = 10\text{ k}\Omega$, $V_O = \pm 10\text{ V}$) $T_A = 25^\circ\text{C}$ $T_A = T_{low}$ to T_{high}	A_{VOL}	4.0 4.0	58 —	— —	4.0 4.0	58 —	— —	V/mV
Output Voltage Swing ($R_L = 10\text{ k}\Omega$, $V_{ID} = 1.0\text{ V}$) $T_A = 25^\circ\text{C}$ $T_A = T_{low}$ to T_{high}	V_{O+} V_{O-} V_{O+} V_{O-}	+10 — +10 —	+14 -14 — —	— -10 — -10	+10 — +10 —	+14 -14 — —	— -10 — -10	V
Common Mode Rejection ($R_S = 50\ \Omega$, $V_{CM} = V_{ICR}\text{ min}$, $V_O = 0$, $T_A = 25^\circ\text{C}$)	CMR	80	84	—	80	84	—	dB
Power Supply Rejection ($R_S = 50\ \Omega$, $V_{CM} = 0\text{ V}$, $V_O = 0$, $T_A = 25^\circ\text{C}$)	PSR	80	86	—	80	86	—	dB
Power Supply Current (each amplifier) (No Load, $V_O = 0\text{ V}$, $T_A = 25^\circ\text{C}$)	I_D	—	200	250	—	200	250	μA
Total Power Dissipation (each amplifier) (No Load, $V_O = 0\text{ V}$, $T_A = 25^\circ\text{C}$)	P_D	—	6.0	7.5	—	6.0	7.5	mW

NOTE: 4. $T_{low} = -40^\circ\text{C}$ $T_{high} = +85^\circ\text{C}$ for TL062,4V

AC ELECTRICAL CHARACTERISTICS ($V_{CC} = +15\text{ V}$, $V_{EE} = -15\text{ V}$, $T_A = +25^\circ\text{C}$, unless otherwise noted.)

Characteristics	Symbol	Min	Typ	Max	Unit
Slew Rate ($V_{in} = -10\text{ V}$ to $+10\text{ V}$, $R_L = 10\text{ k}\Omega$, $C_L = 100\text{ pF}$, $A_V = +1.0$)	SR	2.0	6.0	—	V/ μs
Rise Time ($V_{in} = 20\text{ mV}$, $R_L = 10\text{ k}\Omega$, $C_L = 100\text{ pF}$, $A_V = +1.0$)	t_r	—	0.1	—	μs
Overshoot ($V_{in} = 20\text{ mV}$, $R_L = 10\text{ k}\Omega$, $C_L = 100\text{ pF}$, $A_V = +1.0$)	OS	—	10	—	%
Settling Time ($V_{CC} = +15\text{ V}$, $V_{EE} = -15\text{ V}$, $A_V = -1.0$, $R_L = 10\text{ k}\Omega$, $V_O = 0\text{ V}$ to $+10\text{ V}$ step)	t_s	— —	1.6 2.2	— —	μs
Gain Bandwidth Product ($f = 200\text{ kHz}$)	GBW	—	2.0	—	MHz
Equivalent Input Noise ($R_S = 100\ \Omega$, $f = 1.0\text{ kHz}$)	e_n	—	47	—	nV/ $\sqrt{\text{Hz}}$
Input Resistance	R_i	—	10^{12}	—	Ω
Channel Separation ($f = 10\text{ kHz}$)	CS	—	120	—	dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 1. Maximum Power Dissipation versus Temperature for Package Variations

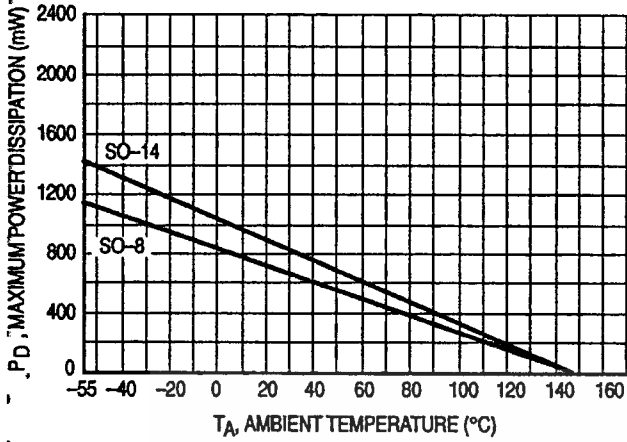


Figure 2. Output Voltage Swing versus Supply Voltage

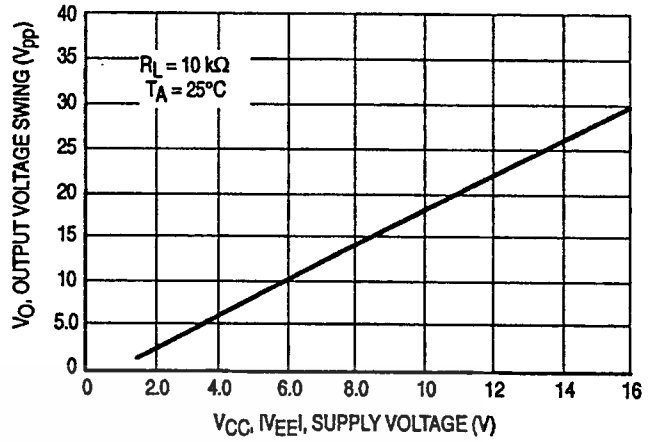


Figure 3. Output Voltage Swing versus Temperature

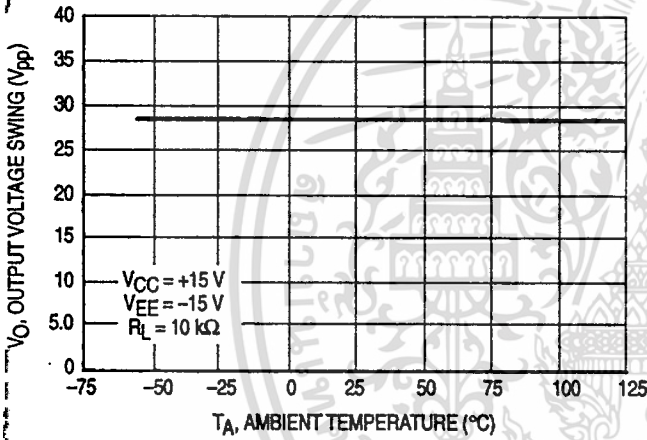


Figure 4. Output Voltage Swing versus Load Resistance

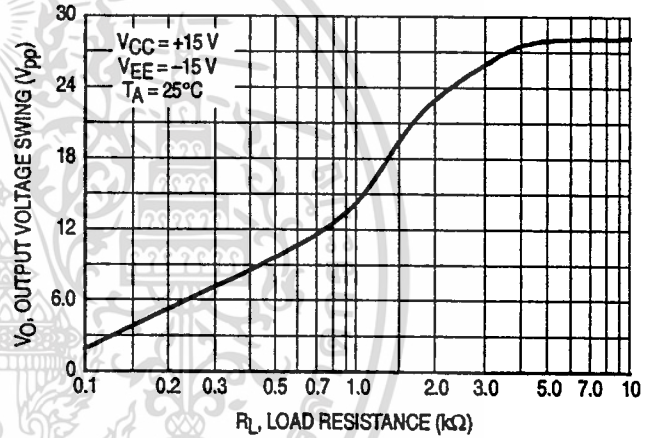


Figure 5. Output Voltage Swing versus Frequency

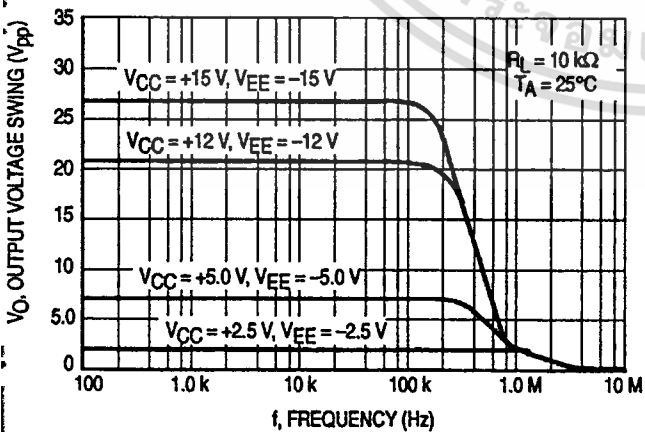
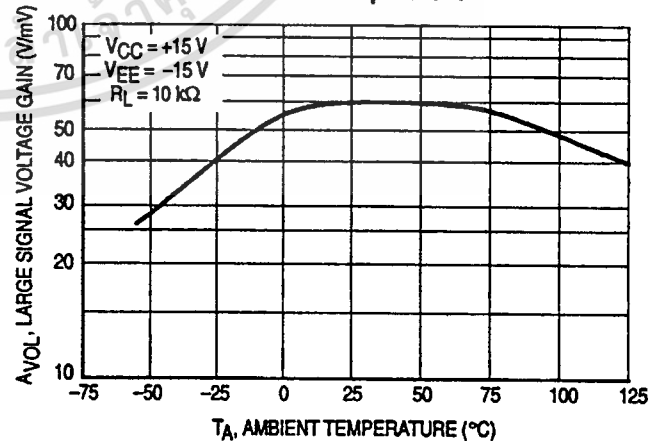


Figure 6. Large Signal Voltage Gain versus Temperature



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 7. Open Loop Voltage Gain and Phase versus Frequency

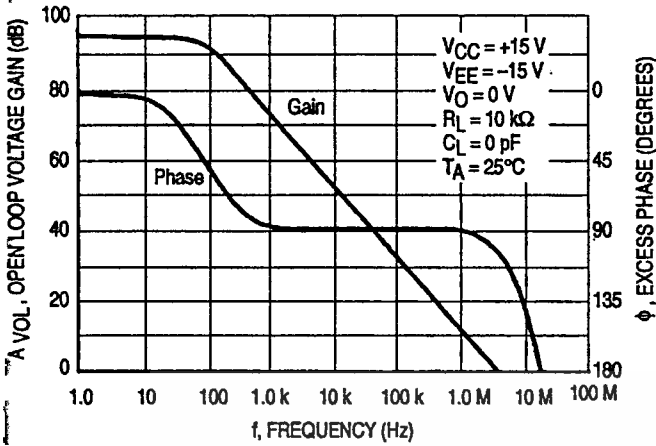


Figure 8. Supply Current per Amplifier versus Supply Voltage

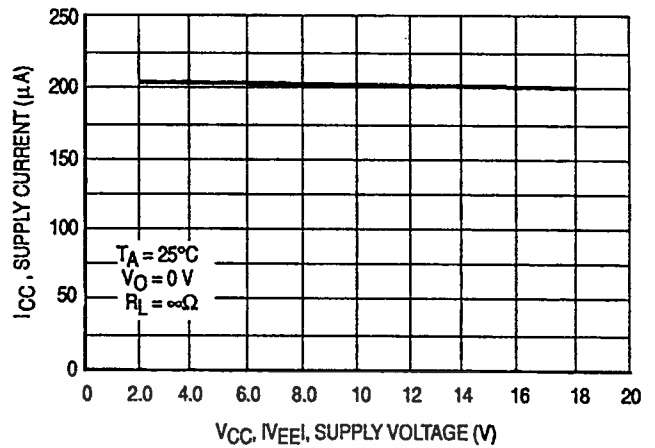


Figure 9. Supply Current per Amplifier versus Temperature

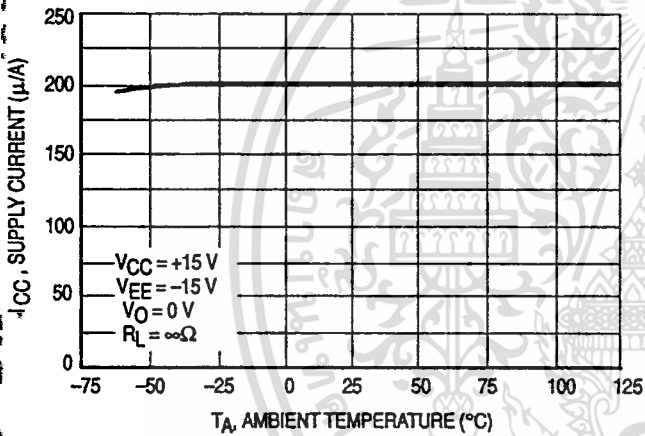


Figure 10. Total Power Dissipation versus Temperature

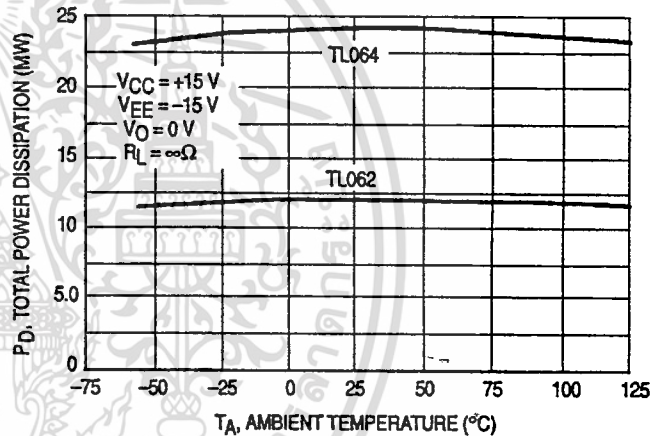


Figure 11. Common Mode Rejection versus Temperature

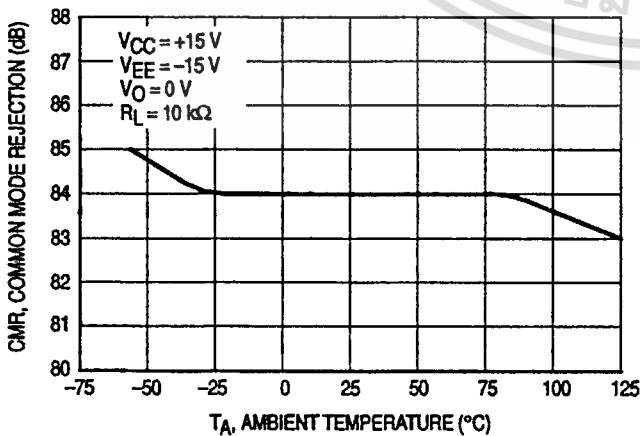
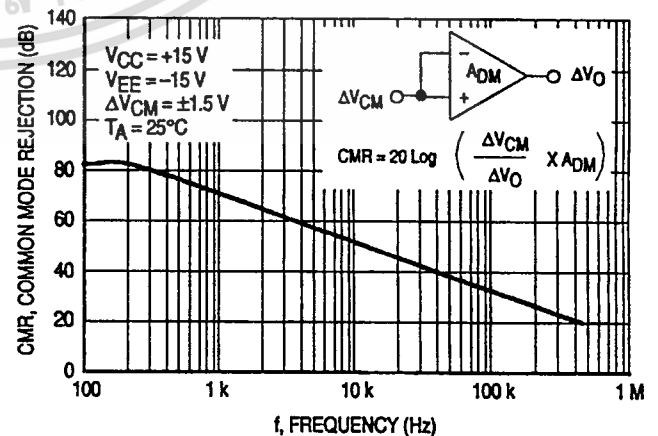


Figure 12. Common Mode Rejection versus Frequency



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 13. Power Supply Rejection versus Frequency

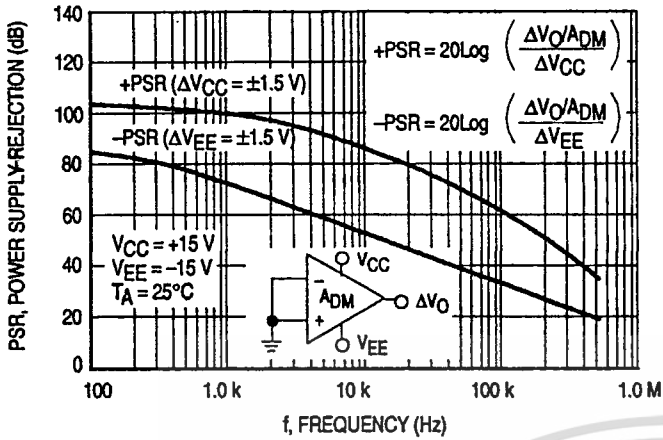


Figure 14. Normalized Gain Bandwidth Product, Slew Rate and Phase Margin versus Temperature

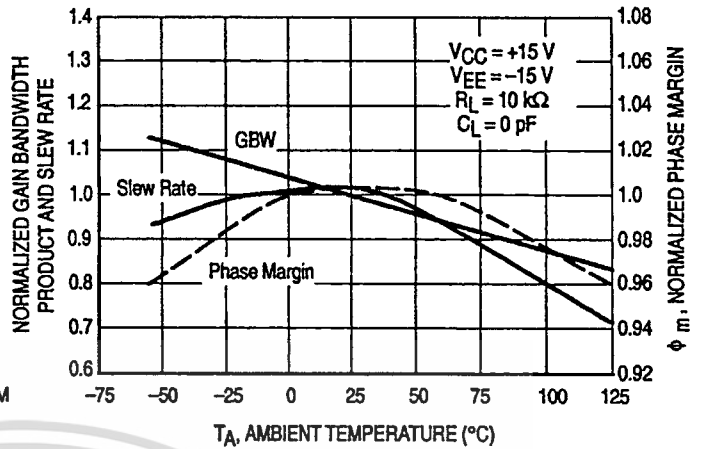


Figure 15. Input Bias Current versus Temperature

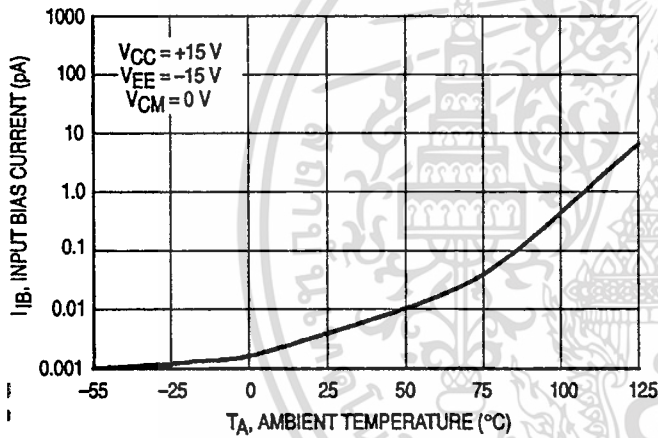


Figure 16. Input Noise Voltage versus Frequency

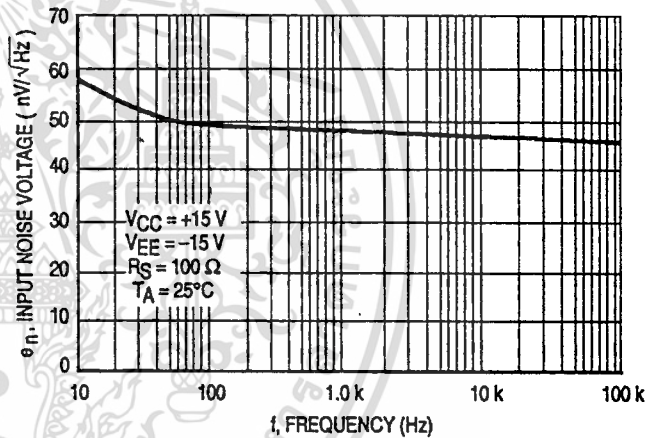


Figure 17. Small Signal Response

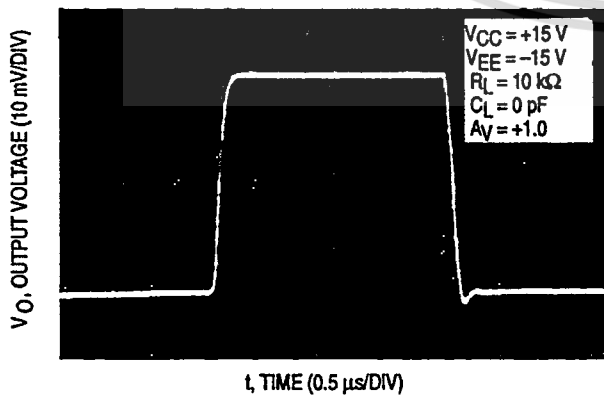
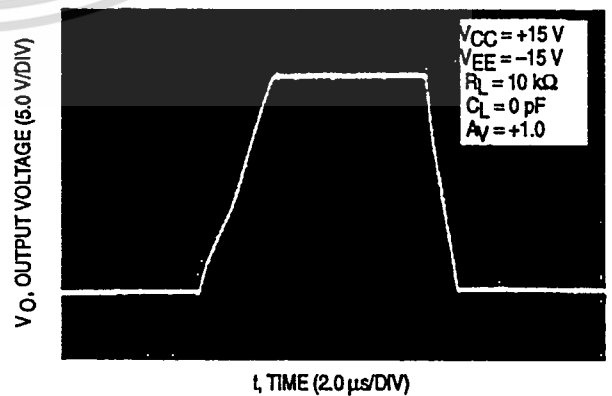


Figure 18. Large Signal Response



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 19. AC Amplifier

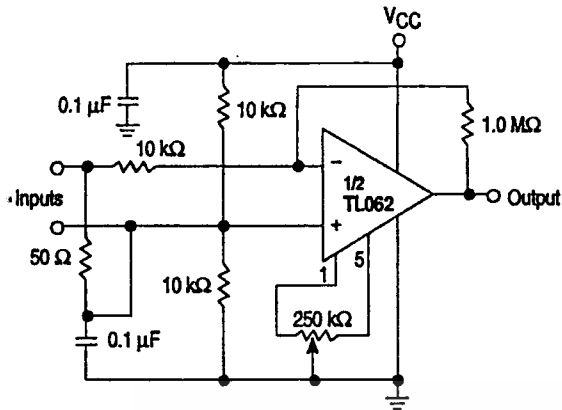


Figure 20. High-Q Notch Filter

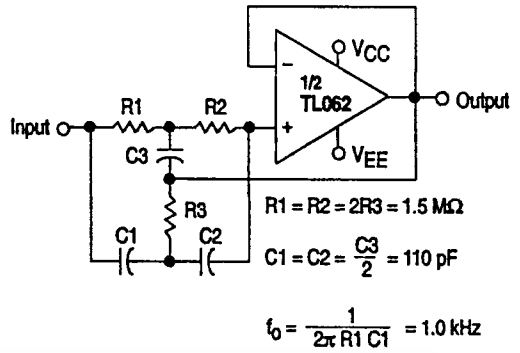


Figure 21. Instrumentation Amplifier

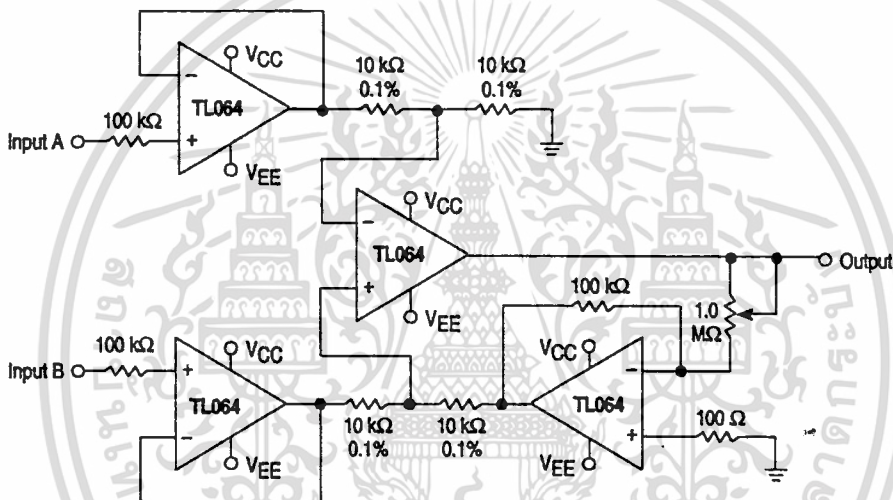


Figure 22. 0.5 Hz Square-Wave Oscillator

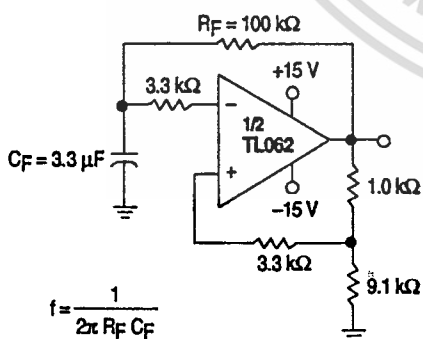
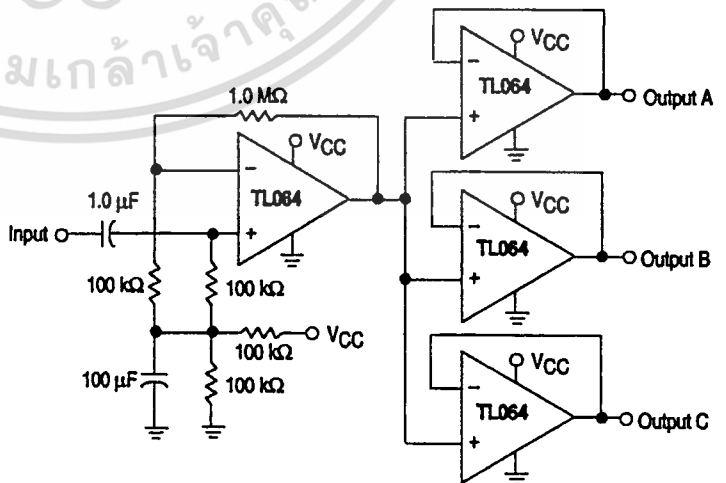


Figure 23. Audio Distribution Amplifier

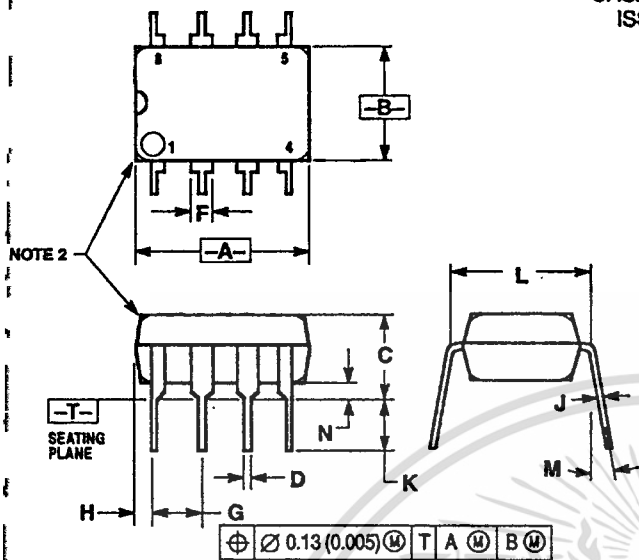


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TL062 TL064

OUTLINE DIMENSIONS

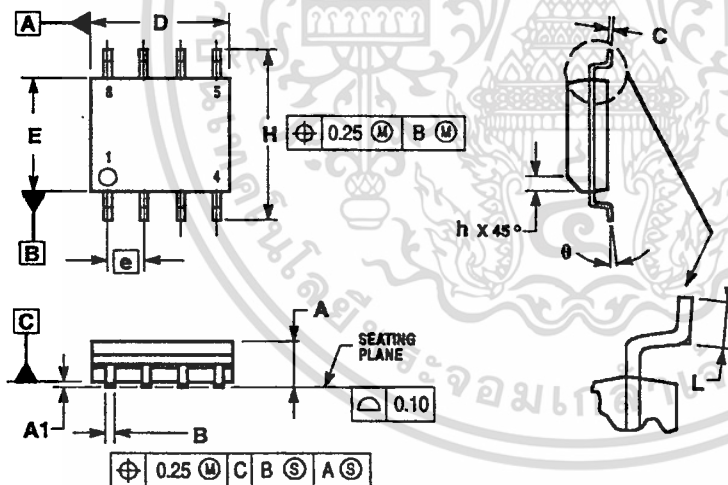
P SUFFIX PLASTIC PACKAGE CASE 626-05 ISSUE K



- NOTES:
1. DIMENSION L TO CENTER OF LEAD WHEN FORMED PARALLEL
 2. PACKAGE CONTOUR OPTIONAL (ROUND OR SQUARE CORNERS).
 3. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	9.40	10.16	0.370	0.400
B	6.10	6.60	0.240	0.260
C	3.94	4.45	0.155	0.175
D	0.38	0.51	0.015	0.020
F	1.02	1.78	0.040	0.070
G	2.54 BSC		0.100 BSC	
H	0.76	1.27	0.030	0.050
J	0.20	0.30	0.008	0.012
K	2.92	3.43	0.115	0.135
L	7.62 BSC		0.300 BSC	
M	— 10°		— 10°	
N	0.76	1.01	0.030	0.040

D SUFFIX PLASTIC PACKAGE CASE 751-05 (SO-8) ISSUE R



- NOTES:
1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M, 1994.
 2. DIMENSIONS ARE IN MILLIMETERS.
 3. DIMENSIONS D AND E DO NOT INCLUDE MOLD PROTRUSION.
 4. MAXIMUM MOLD PROTRUSION 0.15 PER SIDE.
 5. DIMENSION B DOES NOT INCLUDE MOLD PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 TOTAL IN EXCESS OF THE B DIMENSION AT MAXIMUM MATERIAL CONDITION.

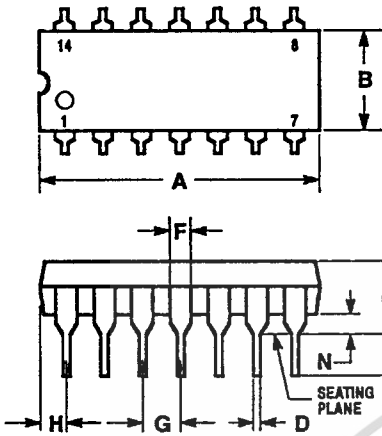
DIM	MILLIMETERS	
	MIN	MAX
A	1.35	1.75
A1	0.10	0.25
B	0.35	0.49
C	0.18	0.25
D	4.80	5.00
E	3.80	4.00
e	1.27 BSC	
H	5.80	6.20
h	0.25	0.50
L	0.40	1.25
θ	0° 7°	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TL062 TL064

OUTLINE DIMENSIONS

N SUFFIX
PLASTIC PACKAGE
CASE 646-06
ISSUE L

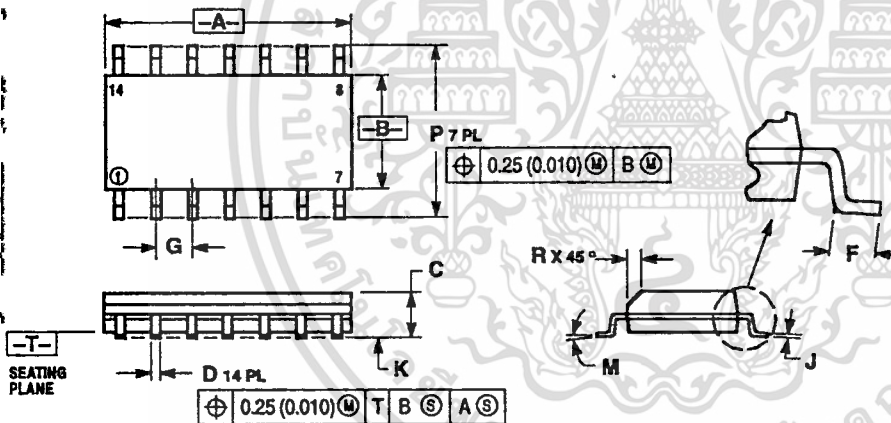


NOTES:

- LEADS WITHIN 0.13 (0.005) RADII OF TRUE POSITION AT SEATING PLANE AT MAXIMUM MATERIAL CONDITION.
- DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
- DIMENSION B DOES NOT INCLUDE MOLD FLASH.
- ROUNDED CORNERS OPTIONAL.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.715	0.770	18.16	19.58
B	0.240	0.280	6.10	6.60
C	0.145	0.185	3.69	4.69
D	0.015	0.021	0.38	0.53
F	0.040	0.070	1.02	1.78
G	0.100 BSC		2.54 BSC	
H	0.052	0.095	1.32	2.41
J	0.008	0.015	0.20	0.38
K	0.115	0.135	2.92	3.43
L	0.300 BSC		7.62 BSC	
M	0°	10°	0°	10°
N	0.015	0.039	0.39	1.01

D SUFFIX
PLASTIC PACKAGE
CASE 751A-03
(SO-14)
ISSUE F



NOTES:

- DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
- CONTROLLING DIMENSION: MILLIMETER.
- DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
- MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
- DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	8.55	8.75	0.337	0.344
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.90	9.20	0.223	0.244
R	0.25	0.50	0.010	0.019

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIM

8-1/4-Channel ADCs with Simultaneous T/Hs and Reference

MAX155/MAX156

General Description

The MAX155/MAX156 are high-speed, 8-bit, multi-channel analog-to-digital converters (ADCs) with simultaneous track/holds (T/Hs) to eliminate timing differences between input channel samples. The MAX155 has 8 analog input channels, and the MAX156 has 4 analog input channels. Each channel has its own T/H, and all T/Hs sample at the same instant. The ADC converts a channel in 3.6µs and stores the result in an internal 8x8 RAM. The MAX155/MAX156 also feature a 2.5V internal reference and power-down capability, providing a complete, sampling data-acquisition system.

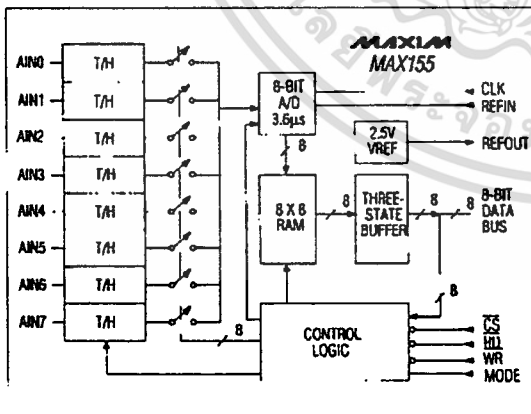
When operating from a single +5V supply, the MAX155/MAX156 perform either unipolar or bipolar, single-ended or differential conversions. For applications requiring wider dynamic range or bipolar conversions around ground, the VSS supply pin may be connected to -5V.

Conversions are initiated with a pulse to the WR pin, and data is accessed from the ADC's RAM with a pulse to the RD pin. A bidirectional interface updates the channel configuration and provides output data. The ADC may also be wired for output-only operation. The MAX155 comes in 28-pin DIP and wide SO packages, and the MAX156 comes in 24-pin narrow plastic DIP and 28-pin wide SO packages.

Applications

- Phase-Sensitive Data Acquisition
- Vibration and Waveform Analysis
- DSP Analog Input
- AC Power Meters
- Portable Data Loggers

Functional Diagram



Features

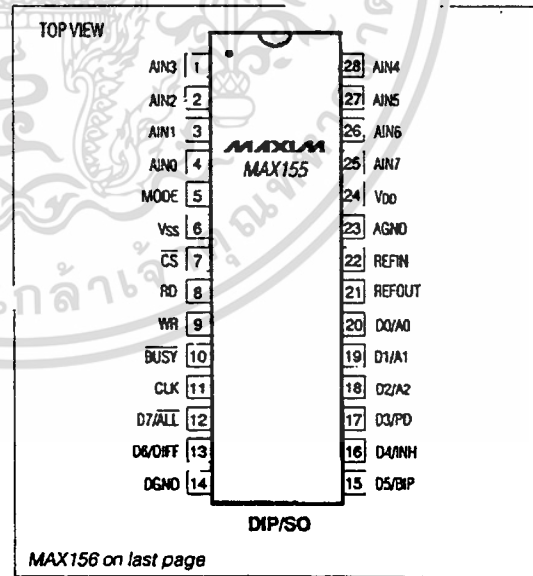
- ◆ 8 Simultaneously Sampling Track/Hold Inputs
- ◆ 3.6µs Conversion Time per Channel
- ◆ Unipolar or Bipolar Input Range
- ◆ Single-Ended or Differential Inputs
- ◆ Mixed Input Configurations Possible
- ◆ +2.5V Internal Reference
- ◆ Single +5V or Dual ±5V Supply Operation

Ordering Information

PART	TEMP. RANGE	PIN-PACKAGE	ERROR (LSBs)
MAX155ACPI	0°C to +70°C	28 Plastic DIP	±1/2
MAX155BCPI	0°C to +70°C	28 Plastic DIP	±1
MAX155ACWI	0°C to +70°C	28 Wide SO	±1/2
MAX155BCWI	0°C to +70°C	28 Wide SO	±1
MAX155BC/D	0°C to +70°C	Dice*	±1

Ordering information continued on last page.
* Contact factory for dice specifications.

Pin Configurations



MAX156 on last page

MAXIM

Maxim Integrated Products 1

MAXIM is a registered trademark of Maxim Integrated Products.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8-/4-Channel ADCs with Simultaneous T/Hs and Reference

ABSOLUTE MAXIMUM RATINGS

VDD to AGND	-0.3V, +6V
VDD to DGND	-0.3V, +6V
AGND to DGND	-0.3V, VDD +0.3V
VSS to AGND	+0.3V, -6V
VSS to DGND	+0.3V, -6V
CS, WR, RD, CLK, MODE to DGND	-0.3V, VDD +0.3V
BUSY, D0-D7 to DGND	-0.3V, VDD +0.3V
REFOUT to AGND	-0.3V, VDD +0.3V
REFIN to AGND	-0.3V, VDD +0.3V
AIN to AGND	VSS -0.3V, VDD +0.3V
Output Current (REFOUT)	30mA

Continuous Power Dissipation (TA = +70°C)	
24-Pin Plastic DIP (derate 8.7mW/°C above +70°C)	696mW
24-Pin CERDIP (derate 12.5mW/°C above +70°C)	1000mW
28-Pin Plastic DIP (derate 9.09mW/°C above +70°C)	727mW
28-Pin Wide SO (derate 12.5mW/°C above +70°C)	1000mW
28-Pin CERDIP (derate 16.67mW/°C above +70°C)	1333mW
Operating Temperature Ranges:	
MAX155/MAX156_C__	0°C to +70°C
MAX155/MAX156_E__	-40°C to +85°C
MAX155_MJI	-55°C to +125°C
Storage Temperature Range	-65°C to +160°C
Lead Temperature (soldering, 10 sec)	+300°C

Stresses beyond those listed under 'Absolute Maximum Ratings' may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(VDD = +5V, REFIN = +2.5V, External Reference, AGND = DGND = 0V, VSS = 0V or -5V, fCLK = 5MHz External, Unipolar Range, Single-Ended Mode, TA = TMIN to TMAX, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ACCURACY (Note 1)						
Resolution			8			Bits
Integral Linearity Error		MAX15_A		±1/2		LSB
		MAX15_B		±1		
No Missing Codes Resolution		Guaranteed monotonic	8			Bits
Offset Error (Unipolar)		MAX15_A		±1/2		LSB
		MAX15_B		±1		
Offset Error (Bipolar)		MAX15_A		±1		LSB
		MAX15_B		±2		
Gain Error		Unipolar	MAX15_A		±1	LSB
			MAX15_B		±1	
		Bipolar	MAX15_A		±1	
			MAX15_B		±2	
Channel-to-Channel Matching		MAX15_A		±1/2		LSB
		MAX15_B		±1		
DYNAMIC PERFORMANCE (VIN = 50kHz, 2.5Vp-p sine wave sampled at 220ksamples/sec)						
Signal-to-Noise and Distortion Ratio	SINAD	MAX15_A		48		dB
		MAX15_B		47		
Total Harmonic Distortion	THD			-60		dB
Spurious-Free Dynamic Range	SFDR			-62		dB
Small-Signal Bandwidth				4		MHz
Aperture Delay				20		ns
Aperture Delay Matching (Note 2)					4	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8-/4-Channel ADCs with Simultaneous T/Hs and Reference

MAX155/MAX156

ELECTRICAL CHARACTERISTICS (continued)

(VDD = +5V, REFIN = +2.5V, External Reference, AGND = DGND = 0V, VSS = 0V or -5V, fCLK = 5MHz External, Unipolar Range, Single-Ended Mode, TA = TMIN to TMAX, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS				
ANALOG INPUT										
Voltage Range Unipolar, Single-Ended		AIN_(+) to AGND	0		VREF	V				
Unipolar, Differential		AIN_(+) to AIN_(-)	0		VREF					
Bipolar, Single-Ended		AIN_(+) to AGND	-VREF		VREF					
Bipolar, Differential		AIN_(+) to AIN_(-)	-VREF		VREF					
Common-Mode Range		Differential mode	VSS		VDD					
DC Input Impedance		AIN = VDD	10			MΩ				
REFERENCE INPUT										
REFIN Range (for specified performance) (Note 2)			2.375	2.500	2.625	V				
IREF		REFIN = 2.5V			1	mA				
REFERENCE OUTPUT (CL = 4.7μF)										
Output Voltage		IL = 0mA	TA = +25°C	2.44	2.50	2.56	V			
			TA = TMIN to TMAX	2.38	2.50	2.62				
Load Regulation		TA = +25°C, IOU = 0mA to 10mA			-10	mV				
Power-Supply Sensitivity		TA = +25°C, VDD = 5V ±5%		±1	±3	mV				
Temperature Drift				±100		ppm/°C				
LOGIC INPUTS (Mode = Open Circuit)										
CS, RD, WR, CLK, D0-D7 (when inputs) Input Low Voltage	VIL				0.8	V				
							Input High Voltage	VIH	2.4	
Input Current	IIN				±10	μA				
Input Capacitance (Note 2)	CIN				15	pF				
MODE Input Low Voltage	VIL				0.5	V				
							Input High Voltage	VIH	VDD - 0.5	
							Input Mid-Level Voltage	VMID	VDD/2 - 0.5	VDD/2 + 0.5
							Input Floating Voltage	VFLT	VDD/2	
							Input Current	IIN		±50
LOGIC OUTPUTS										
BUSY, D0-D7 Output Low Voltage	VOL		IOU = 1.6mA		0.4	V				
							Output High Voltage	VOH	IOU = -360μA	4
D0-D7 Floating State Leakage					±10	μA				
Floating State Output Capacitance (Note 2)	COU				15	pF				
Conversion Time		fCLK = 5MHz, single channel	3.6		3.8	μs				

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8-/4-Channel ADCs with Simultaneous T/Hs and Reference

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = +5V, REF_{IN} = +2.5V, External Reference, AGND = DGND = 0V, V_{SS} = 0V or -5V, f_{CLK} = 5MHz External, Unipolar Range, Single-Ended Mode, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER REQUIREMENTS						
Positive Power-Supply Voltage	V _{DD}		4.75		5.25	V
Positive Power-Supply Current	I _{DD}	PD = 0	MAX155	18	24	mA
			MAX156	9	12	
		PD = 1	CLK, $\overline{\text{CS}}$, $\overline{\text{WR}}$, RD = 0V or V _{DD} ; DOUT = 0V or V _{DD}	25	100	μA
Negative Power-Supply Voltage	V _{SS}		0		-5	V
Neg. Supply Current	I _{SS}	PD = 0		2	50	μA
		PD = 1		2	50	
P _{oa} (cha) rejection scale error)		V _{DD} = 5V ±5%, V _{SS} = 0V		±0.1	±0.25	LSB
		V _{DD} = 5V, V _{SS} = -5V ±5%		±0.1		

TIMING CHARACTERISTICS (Note 3, Figures 1-7)

(V_{DD} = +5V, REF_{IN} = +2.5V, External Reference, AGND = DGND = 0V, V_{SS} = 0V or -5V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
$\overline{\text{CS}}$ to $\overline{\text{WR}}$ Setup Time	t _{CWS}		0			ns
$\overline{\text{CS}}$ to $\overline{\text{WR}}$ Hold Time	t _{CWH}		0			ns
$\overline{\text{CS}}$ to RD Setup Time	t _{CRS}		0			ns
$\overline{\text{CS}}$ to RD Hold Time (Note 2)	t _{CRH}		0			ns
$\overline{\text{WR}}$ Low Pulse Width	t _{WR}	MAX15_C/E	100		2000	ns
		MAX155M	120		2000	
RD Low Pulse Width	t _{RDL}	MAX15_C/E	100			ns
		MAX155M	120			
$\overline{\text{RD}}$ High Pulse Width (Note 2)	t _{RDH}	MAX15_C/E	180			ns
		MAX155M	200			
$\overline{\text{WR}}$ to $\overline{\text{RD}}$ Delay (Note 2)	t _{WRD}	MAX15_C/E	280			ns
		MAX155M	300			
$\overline{\text{WR}}$ to $\overline{\text{BUSY}}$ Low Delay	t _{WBD}	MAX15_C/E			220	ns
		MAX155M			240	
$\overline{\text{BUSY}}$ High to $\overline{\text{WR}}$ Delay (to update configuration register) (Notes 2, 3)	t _{BWD}		50			ns
CLK to $\overline{\text{WR}}$ Delay (acquisition time) (Note 2)	t _{ACQ}		800			ns
$\overline{\text{BUSY}}$ High to RD Delay (Notes 2, 3)	t _{BRD}		50			ns
Address-Setup Time	t _{AS}		120			ns
Address-Hold Time	t _{AH}		0			ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8-/4-Channel ADCs with Simultaneous T/Hs and Reference

MAX155/MAX156

TIMING CHARACTERISTICS (continued) (Note 3, Figures 1-7)

($V_{DD} = +5V$, $R_{FFIN} = +2.5V$, External Reference, $AGND = DGND = 0V$, $V_{SS} = 0V$ or $-5V$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
\overline{RD} to Data Valid (Note 4)	t_{DV}	MAX15_C/E	100			ns
		MAX155M	120			
\overline{RD} to Data Three-State Output (Note 5)	t_{TR}	MAX15_C/E	80			ns
		MAX155M	100			
CLK to \overline{BUSY} Delay (Note 2)	t_{CB}			100	300	ns
CLK Frequency			0.5		5.0	MHz

Note 1: $V_{DD} = +5V$, $REFIN = +2.5V$, $V_{SS} = 0V$. Performance at $\pm 5\%$ power-supply tolerance is guaranteed by Power-Supply Rejection test.

Note 2: Guaranteed by design, not production tested.

Note 3: All input control signals are specified with $t_r = t_f = 20ns$ (10% to 90% of +5V) and timed from a +1.6V voltage level. Output signals are timed from V_{OH} and V_{OL} .

Note 4: t_{DV} is the time required for an output to cross +0.8V or +2.4V measured with load circuit of Figure 1.

Note 5: t_{TR} is the time required for the data lines to change 0.5V, measured with load circuits of Figure 2.

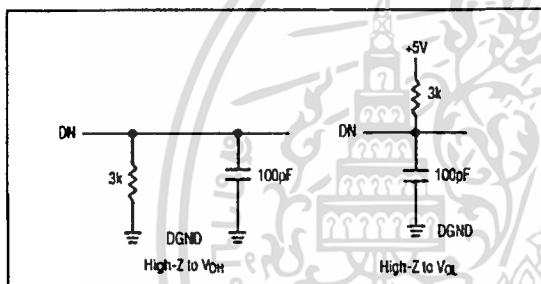


Figure 1. Load Circuits for Data-Access Timing

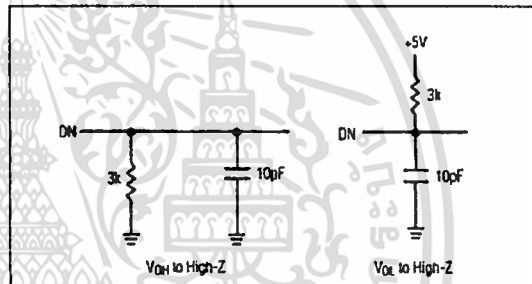


Figure 2. Load Circuits for Three-State Output Timing

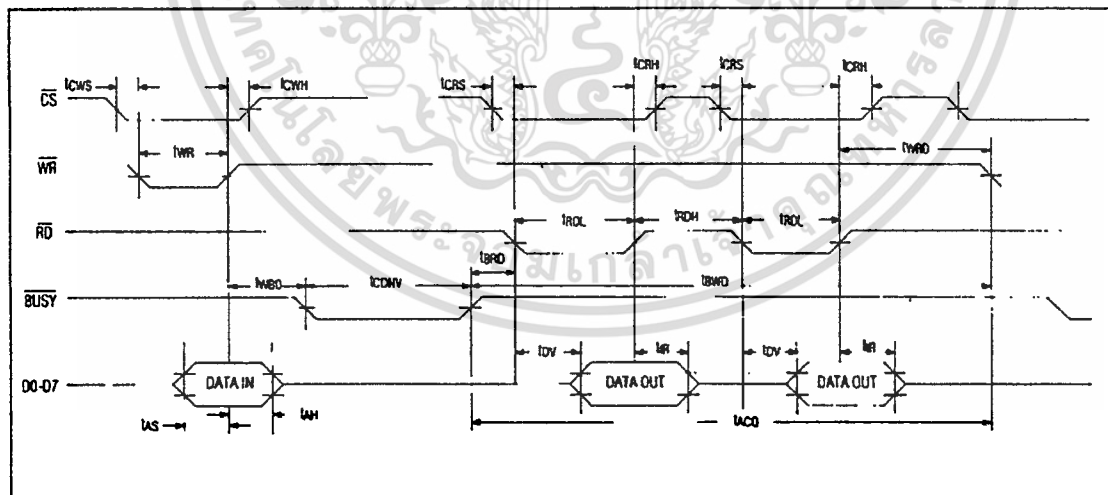


Figure 3. Write and Read Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8-/4-Channel ADCs with Simultaneous T/Hs and Reference

Pin Description

MAX155 DIP/SO	MAX156		NAME	FUNCTION
	DIP	SO		
1	23	26	AIN3	Sampling Analog Input, channel 3
2	24	28	AIN2	Sampling Analog Input, channel 2
3	1	2	AIN1	Sampling Analog Input, channel 1
4	2	4	AIN0	Sampling Analog Input, channel 0
5	3	5	MODE	Mode configures multiplexer and converter. See Table 4.
6	4	6	VSS	Negative Supply. Power VSS with -5V for extended input range.
7	5	7	CS	CHIP SELECT Input must be low for the ADC to recognize RD, or WR.
8	6	8	RD	READ Input reads data sequentially from RAM.
9	7	9	WR	WRITE Input's rising edge initiates conversion and updates channel configuration register. Falling edge samples inputs.
10	8	10	BUSY	BUSY Output low when conversion is in progress.
11	9	11	CLK	External Clock Input
12	10	12	D7/ALL	Three-State Data Output Bit 7 (MSB) / Sequential or Specific Conversion
13	11	13	D6/DIFF	Three-State Data Output Bit 6 / Single-Ended/Differential Select
14	12	14	DGND	Digital Ground
15	13	15	D5/BIP	Three-State Data Output Bit 5 / Unipolar/Bipolar Conversion
16	14	16	D4/INH	Three-State Data Output Bit 4 / Inhibit Conversion Input
17	15	17	D3/PD	Three-State Data Output Bit 3 / Power-Down Input
18	16	18	D2/A2	Three-State Data Output Bit 2 / RAM Address Bit A2 (MAX155 only)
19	17	19	D1/A1	Three-State Data Output Bit 1 / RAM Address Bit A1
20	18	20	D0/A0	Three-State Data Output Bit 0 / RAM Address Bit A0
21	19	21	REFOUT	Reference Output, +2.5V
22	20	22	REFIN	Reference Input, +2.5V normally
23	21	23	AGND	Analog Ground
24	22	24	VDD	Power-Supply Voltage, +5V normally
25-28	—	—	AIN7-4	Sampling Analog Input, channels 7-4
—	—	1, 3, 25, 27	N.C.	No Internal Connection - floating pin.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8-/4-Channel ADCs with Simultaneous T/Hs and Reference

MAX155/MAX156

Detailed Description

A/D Converter Operation

The MAX155/MAX156 contain a 3.6 μ s successive approximation ADC and 8/4 track-and-hold (T/H) inputs. When a conversion is started, all AIN inputs are simultaneously sampled. All channels sample whether or not they are selected for the conversion. Either a single-channel or multi-channel conversion may be requested and channel configurations may be mixed. ADC results are then stored in an internal RAM.

In hard-wired mode (see *Multiplexer and A/D Configurations* section) multi-channel conversions are initiated with one write operation. In input/output (I/O) mode, multi-channel configurations are set up prior to the conversion by loading channel selections into the configuration reg-

ister. This register also selects single-ended/differential, unipolar/bipolar (Figure 9), power-down and other functions. Each channel selection requires a separate write operation (i.e. 8 writes for 8 channels), but only after power-up. Once the desired channel arrangement is loaded, each subsequent write converts all selected channels without reconfiguring the multiplexer (mux). I/O mode requires more write operations, but provides more flexibility than hard-wired mode.

To access conversion results, successive \overline{RD} pulses automatically sequence through RAM, beginning with channel 0. Each \overline{RD} pulse increments the RAM address counter, which resets to 0 when \overline{WR} goes low in multi-channel conversions. An arbitrary RAM location may also be read by writing a 1 to INH while loading the RAM address (A0-A2), and then performing a read operation.

Table 1. Multiplexer Configurations

PIN*	INPUT	FUNCTION
D0/A0 D1/A1 D2/A2	1 or 0	A0-A2 select a multiplexer channel for the configurations described below, or select a RAM address for reading with a subsequent \overline{RD} .
D3/PD	0	Normal ADC operation
	1	Power-Down reduces the power-supply current. Configuration data may be loaded and is maintained during power-down.
D4/INH	0	A conversion starts when \overline{WR} goes high.
	1	Inhibits the conversion when \overline{WR} goes high. Allows mux configuration to be loaded and RAM locations to be accessed without starting a conversion.
D5/BIP**	0	Unipolar conversion (Figure 9a) for the channel specified by A0-A2. Input range = 0V to VREF.
	1	Bipolar conversion (Figure 9b) for the channel specified by A0-A2. Input range = \pm VREF.
D6/DIFF**	0	Single-ended configuration for the channel specified by A0-A2 as described in Table 2.
	1	Differential configuration for the channel specified by A0-A2 as described in Table 2.
D7/ALL	0	All previously configured channels are converted. Data is read with consecutive \overline{RD} pulses, beginning with the lowest configured channel.
	1	Only the channel specified by A2-A0 is converted. A single \overline{RD} pulse reads the result of that conversion.

* Configuration inputs are shared with data outputs D0-D7. The functions of D0-D7 are not described in this table.

** DIFF and BIP are not implemented on the current conversion, but go into effect on the following conversion.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8-/4-Channel ADCs with Simultaneous T/Hs and Reference

Multiplexer and A/D Configuration

A conversion is started with a \overline{WR} pulse. All channels sample on \overline{WR} 's falling edge. Mux configuration data is loaded on \overline{WR} 's rising edge. In I/O mode (MODE = Open Circuit), selections for channel number, single- or multi-channel conversion, unipolar or bipolar input, and single-ended or differential input are made with A0-A2, ALL, BIP, and DIFF (Table 1). These input pins are also shared with the RAM data outputs D0-D7. An alternate, simpler interface is provided by the hard-wired mode, which selects some general mux configurations without requiring ADC programming. Hard-wired connections of MODE and Vss

select from 4 mux configurations as listed in Table 4 (see *Hard-Wired Mode* section).

On the rising edge of \overline{WR} , the mux configuration register is updated; falling edge initiates sampling of all inputs. A channel selection can be implemented on the current conversion, but changes from unipolar to bipolar (with BIP) or from single-ended to differential operation (with DIFF) do not go into effect until the following \overline{WR} . This can be overcome by writing to the configuration register while inhibiting the conversion (INH = 1), or by changing DIFF and BIP one conversion early, i.e. on the previous write.

Table 2. Single-Ended Channel Selection (MODE = Open Circuit)

MUX ADDRESS				SINGLE-ENDED CHANNEL SELECTION								
A0	A1	A2	DIFF	0	1	2	3	4	5	6	7	AGND
0	0	0	0	+								-
1	0	0	0		+							-
0	1	0	0			+						-
1	1	0	0				+					-
0	0	1	0					+				-
1	0	1	0						+			-
0	1	1	0							+		-
1	1	1	0								+	-

Note: Shaded areas represent MAX156 operation.

Table 3. Differential Channel Selection (MODE = Open Circuit)

MUX ADDRESS				DIFFERENTIAL CHANNEL SELECTION							
A0	A1	A2	DIFF	0	1	2	3	4	5	6	7
0	0	0	1	+	-						
0	1	0	1			+	-				
0	0	1	1					+	-		
0	1	1	1							+	-
1	0	0	1	-	+						
1	1	0	1			-	+				
1	0	1	1					-	+		
1	1	1	1							-	+

Note: Shaded areas represent MAX156 operation.

8-/4-Channel ADCs with Simultaneous T/Hs and Reference

MAX155/MAX156

Interface Timing Input/Output Mode, Multi-Channel Conversion Timing

I/O mode is selected when the MODE input is open circuit. In I/O mode, the mux configuration register determines the conversion type. The register is updated on the rising edge of \overline{WR} .

Table 1 lists all conversion options. For example, at D6/DIFF, a logic 0 or 1 selects a single-ended or differential conversion. Data is loaded into addressed locations in the configuration register with a series of \overline{WR} pulses. If INH is high while writing, no conversion takes place. A conversion is started by writing INH = 0 to the configuration register. When a change is made to the contents of the configuration register, a "dummy" conversion may be necessary. This is due to a built-in latency of one full conversion for unipolar/bipolar and single-ended/differential selections.

It is not necessary to update the configuration register before every conversion. A particular mux configuration must be loaded only once after power-up (but the configuration may require several writes to be loaded). A mux configuration is retained for successive conversions and during power-down (PD = 1) so that reconfiguring is unnecessary when the ADC returns to normal operation (PD = 0). Configuration and RAM data is lost only when power is removed from the ADC at VDD.

When updating the configuration register, INH should be high for all except the last \overline{WR} so the conversion is not started until the mux is set. On \overline{WR} 's falling edge, all input channels sample simultaneously. BUSY goes low at the beginning of the conversion, and channels are converted sequentially starting with the lowest selected channel. When BUSY goes high, conversion results are stored in RAM. At conversion end, a microprocessor (μ P) can access the RAM contents with consecutive \overline{RD} pulses. The first accessed data is the lowest channel's result.

Subsequent \overline{RD} pulses access conversion results for the remaining channels.

The configuration data determines which RAM locations are sequentially read by consecutive \overline{RD} pulses, so new data should be placed in the configuration register only after a full \overline{RD} operation. It is not necessary to update the configuration register for every conversion. A new conversion is initiated with a \overline{WR} pulse (when INH = 0), regardless of the number of channels that have been read.

Figure 4a shows the MAX155 timing for an 8-channel unipolar configuration. 8 channels are configured and 8 consecutive \overline{RD} pulses access data. Figure 4b illustrates 4-channel differential conversion timing involving 4 sampled channels and 4 \overline{RD} pulses. In cases where conflicting differential configurations are loaded, the last channel selected with DIFF = 1 will be the positive input of the differential channel.

Input/Output Mode, Single-Channel Conversion Timing

Figure 5a shows timing for a single-channel ($\overline{ALL} = 1$), single-ended conversion; Figure 5b shows a differential conversion. With MODE floating, the configuration register is updated on the rising edge of \overline{WR} . BUSY goes low at the beginning of the conversion and returns high when the channel designated by the configuration register has been converted. All channels are sampled on the falling edge of \overline{WR} even if only a single channel has been requested. At conversion end, the μ P can read the result for the selected channel with a single \overline{RD} pulse. Subsequent \overline{RD} pulses will access old conversion results remaining in other RAM locations. The next conversion is initiated with a \overline{WR} pulse, regardless of the number of channels that have been read.

INH and A0-A2, in the configuration register, access locations in RAM. INH = 1 allows the RAM address pointer to be updated without starting a conversion. A READ pulse then reads the contents of the addressed location.

8-/4-Channel ADCs with Simultaneous T/Hs and Reference

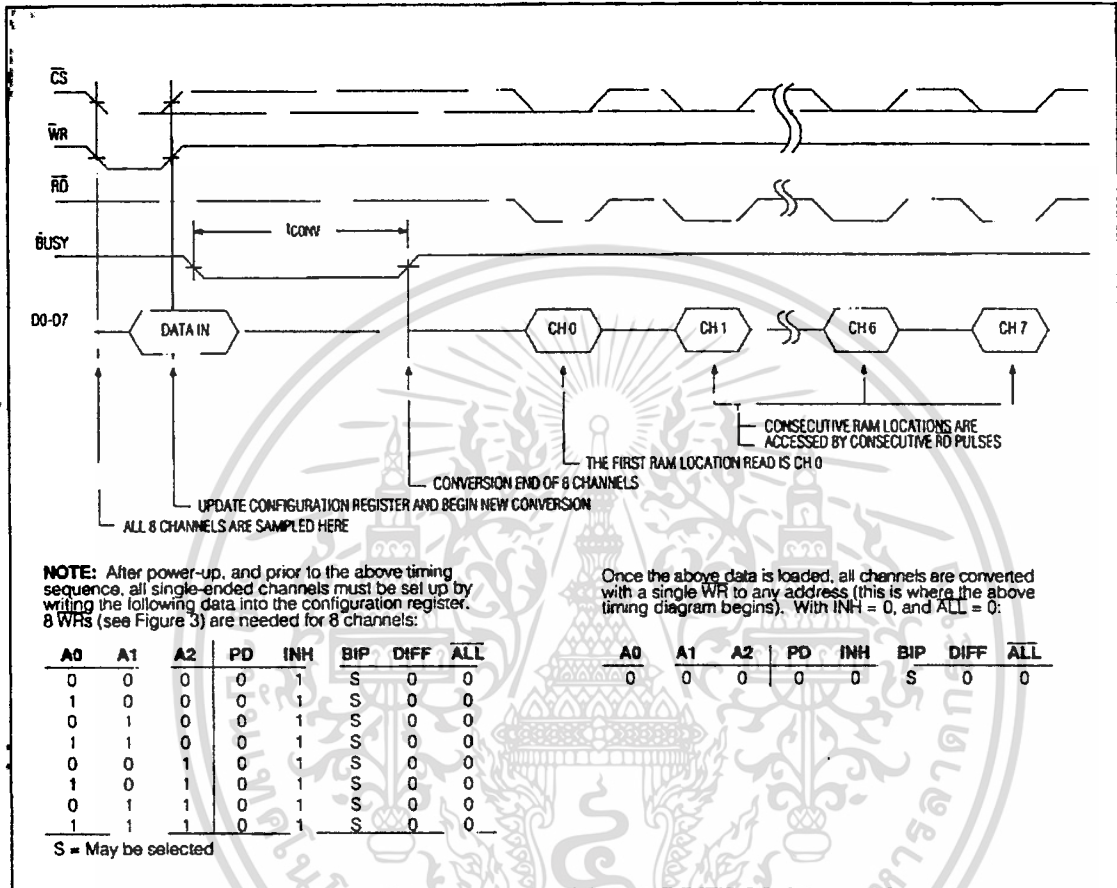


Figure 4a. Input/Output Mode Timing - Eight Single-Ended Conversions

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8-/4-Channel ADCs with Simultaneous T/Hs and Reference

MAX155/MAX156

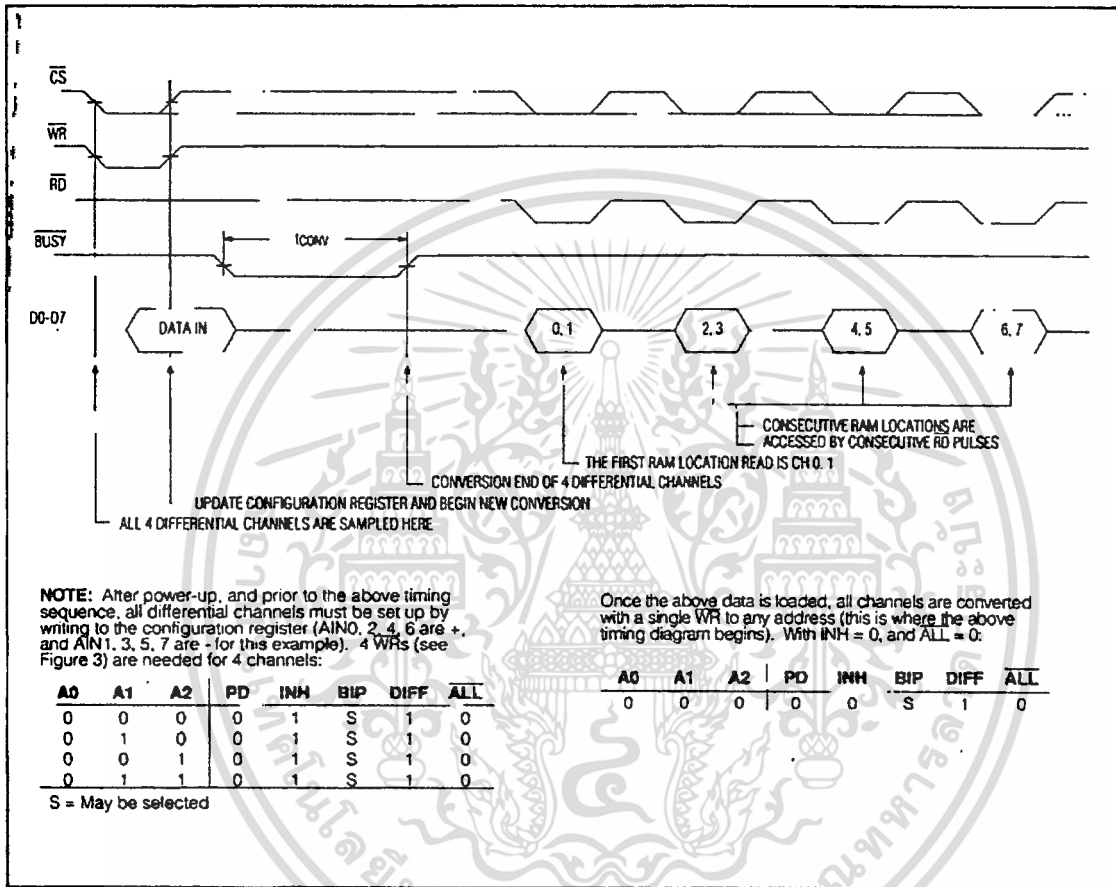


Figure 4b. Input/Output Mode Timing - Four Differential Conversions

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8-/4-Channel ADCs with Simultaneous T/Hs and Reference

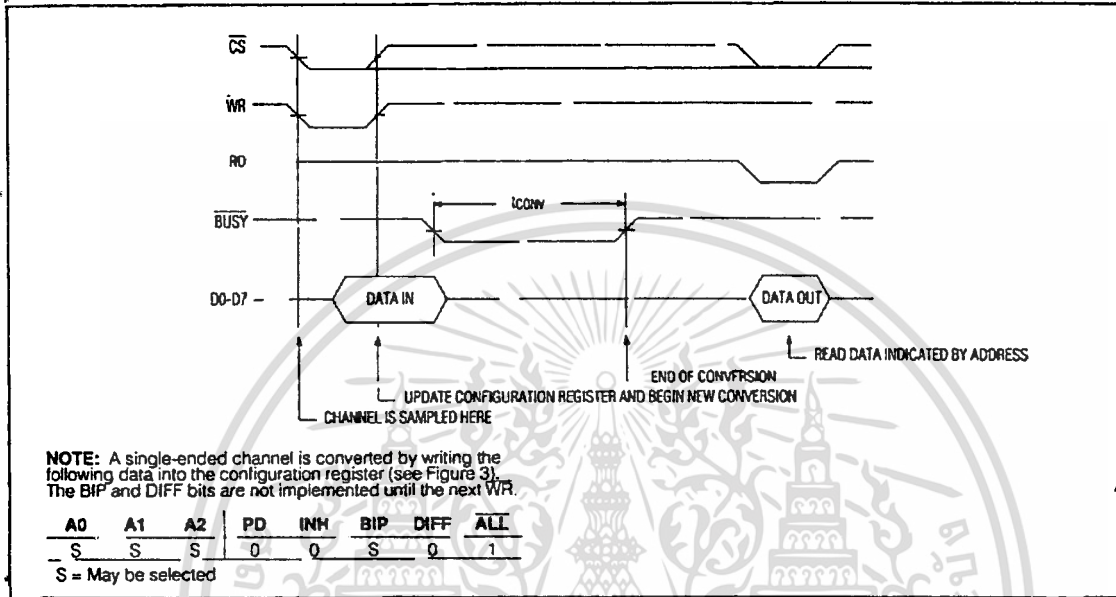


Figure 5a. Input/Output Mode Timing - Single-Channel, Single-Ended Conversion

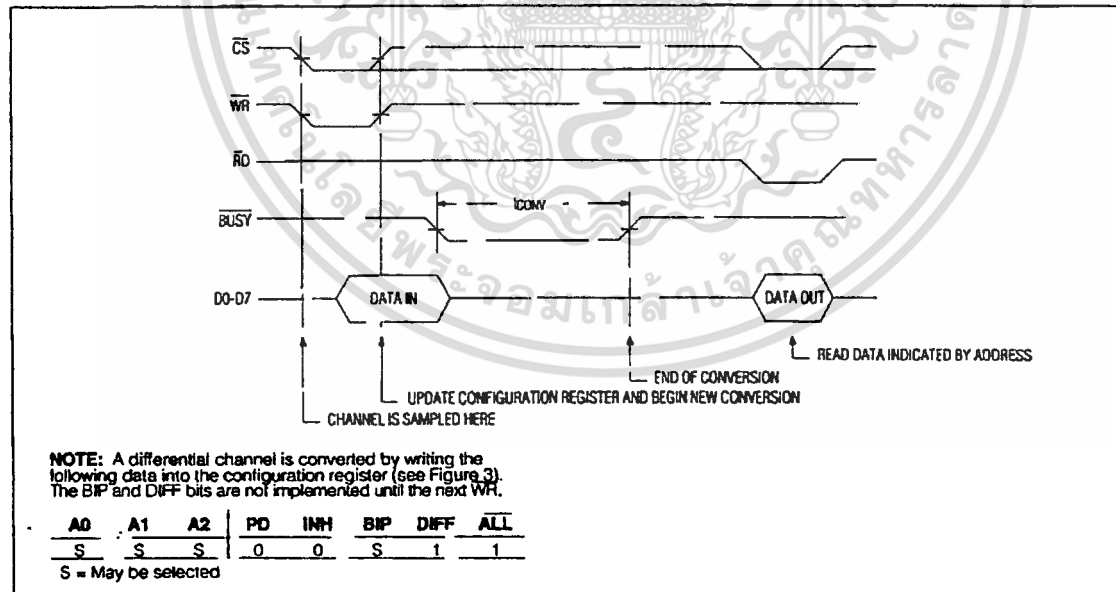


Figure 5b. Input/Output Mode Timing - Single-Channel, Differential Conversion

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8-/4-Channel ADCs with Simultaneous T/Hs and Reference

MAX155/MAX156

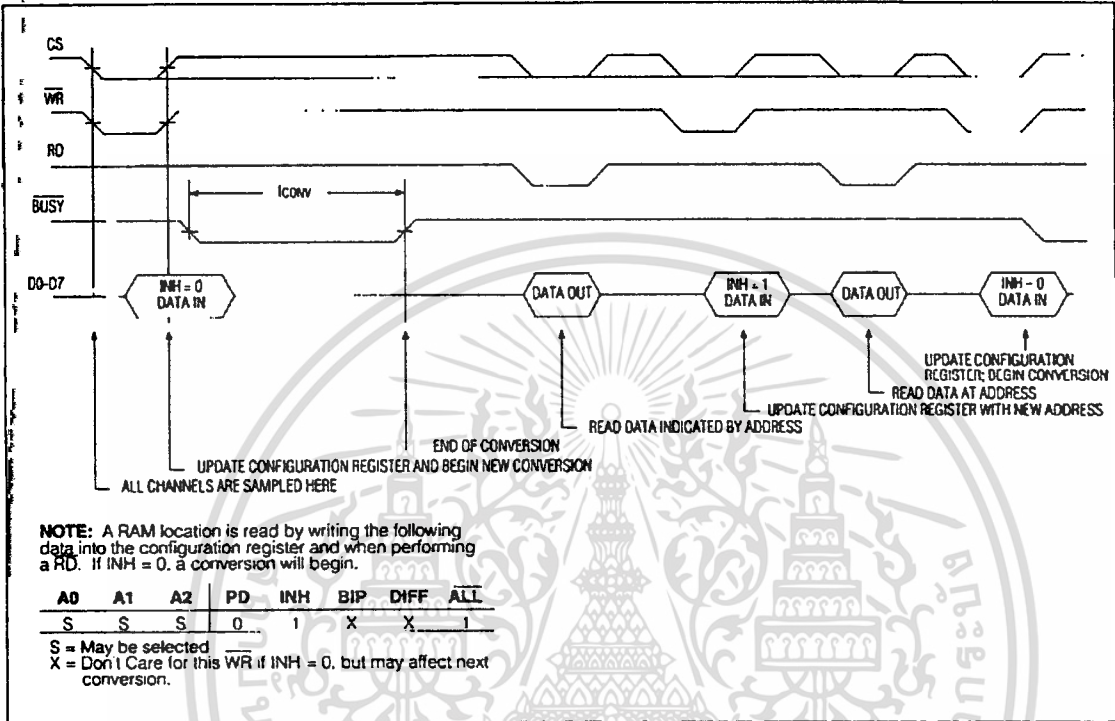


Figure 6. Input/Output Mode Timing - Reading Arbitrary RAM Locations

Hard-Wired Mode

For simpler applications, the MODE and VSS pins can be hard-wired to specify the type of conversion as outlined in Table 4. In this mode, the configuration register is not used, so input data on D0-D7 is ignored. For example, with MODE tied low, an 8-channel, single-ended conversion begins with WR. With MODE tied high, a 4-channel, differential conversion is initiated with WR. Again, the configuration register is not affected by the data present on D0-D7. These conversions are otherwise identical to those shown in Figure 4.

Table 4. Hard-Wired Mode - Multiplexer Selections

MODE	VSS	CONVERSION TYPE
OPEN CIRCUIT	X	Multiplexer configuration register determines conversion type. Not hard-wired.
0	AGND	8-Channel, Single-Ended, Unipolar Conversion
1	AGND	4-Channel, Differential, Unipolar Conversion
0	-5V	8-Channel, Single-Ended, Bipolar Conversion
1	-5V	4-Channel, Differential, Bipolar Conversion

Analog Considerations

Internal Reference

The internal 2.5V reference (REFOUT) must be bypassed to AGND (Figure 8a) with a 4.7µF electrolytic and a 0.1µF ceramic capacitor to ensure stability.

External Reference

If an external voltage reference is used at REFIN, REFOUT must either be bypassed (Figure 8b) or disabled to pre-

vent its output from oscillating and generating unwanted conversion noise elsewhere in the ADC. If component count is critical when using an external reference, REFOUT may be disabled by connecting it to VDD. In this case, the unused internal reference does not need a bypass cap. A disadvantage of tying REFOUT to VDD is that power-down current will be increased by about 250µA above the specification limits.

8-/4-Channel ADCs with Simultaneous T/Hs and Reference

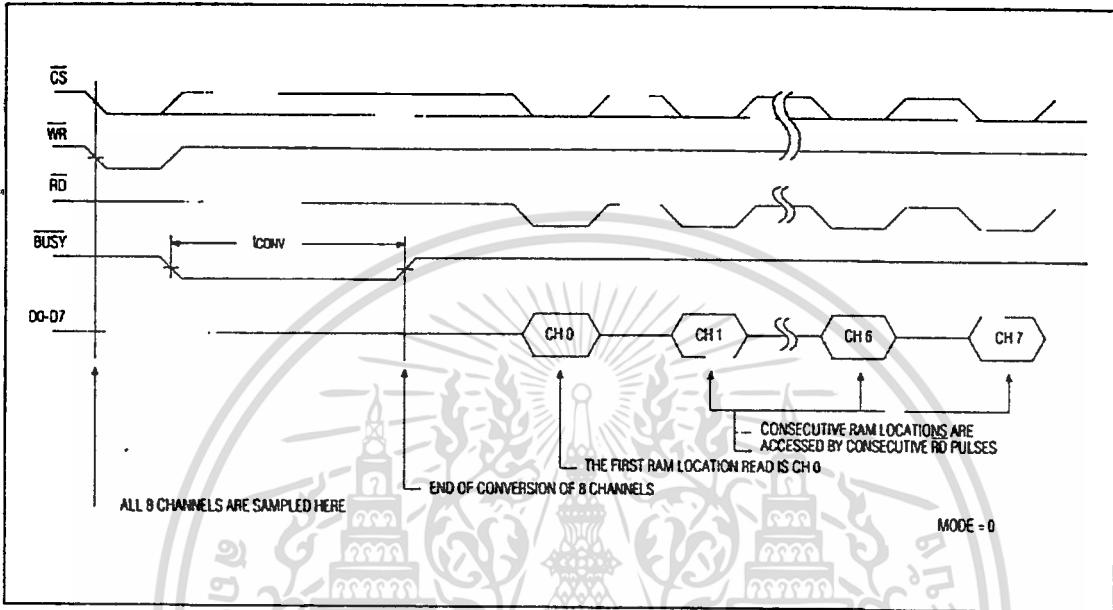


Figure 7a. Hard-Wired Mode Timing - Eight Single-Ended Conversions

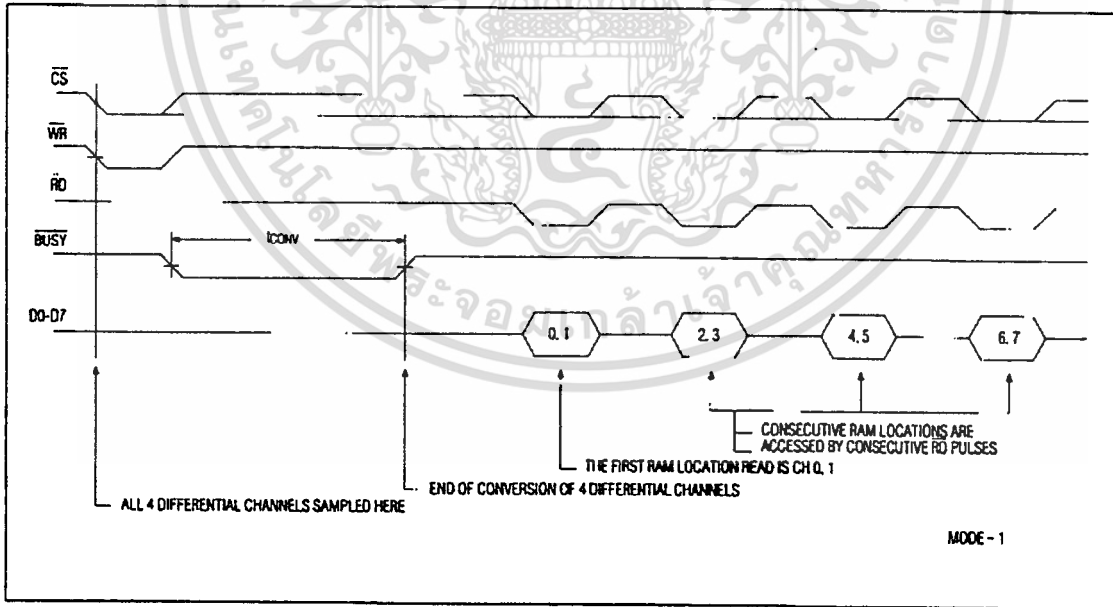


Figure 7b. Hard-Wired Mode Timing - Four Differential Conversions

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8-/4-Channel ADCs with Simultaneous T/Hs and Reference

MAX155/MAX156

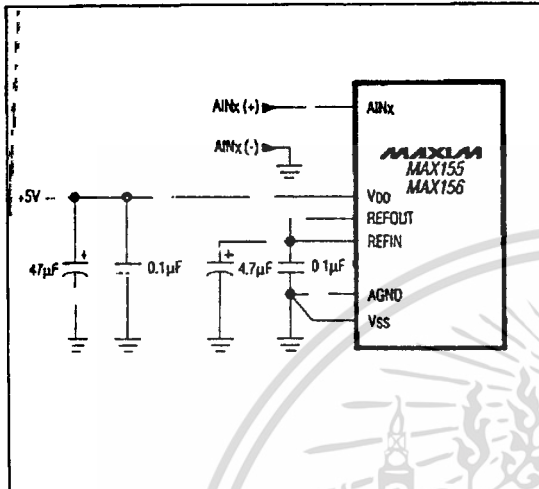


Figure 8a. Internal Reference

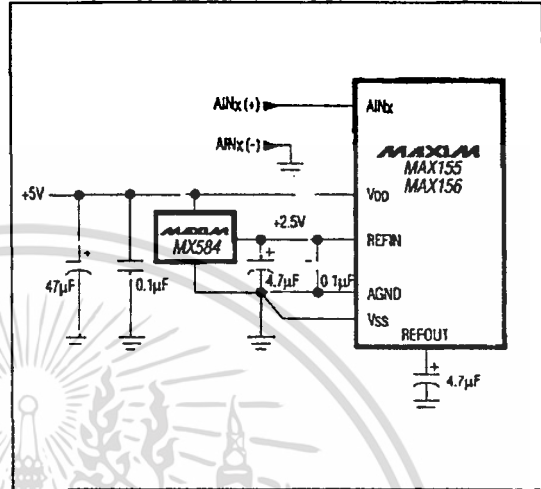


Figure 8b. External Reference, +2.5V Full Scale

Power-Down Mode

The MAX155/MAX156 may be placed in a powered-down state by writing a 1 to the PD location in the configuration register (Table 1). The register may be updated while in this state (to change mux configurations or exit power-down mode) and all register contents are retained; however, no data can be read from RAM and no conversions can be started. The power-down command is implemented on WR's rising edge.

To minimize current drain, the MAX155/MAX156 internal reference is turned off during power-down. When returning to normal operation (PD = 0), up to 5ms may be needed to allow the reference to recharge its 4.7µF bypass capacitor before a conversion is performed. If an external reference is used, and remains on during power-down, a conversion can be started within 50µs after loading PD with a 0.

Bypassing

A 4.7µF electrolytic and a 0.1µF ceramic capacitor should bypass VDD to AGND. If input signals below ground are expected, a negative supply is necessary. In that case, VSS should be bypassed to AGND with a 4.7µF and 0.1µF combination.

The internal reference requires a 4.7µF and 0.1µF combination. If an external voltage reference is used, bypass REFIN to AGND with a 4.7µF capacitor close to the chip. When an external reference is used, REFOUT must still be either bypassed or connected to VDD.

Track/Hold Amplifiers

The MAX155/MAX156 T/H amplifiers' high input impedance usually requires no input buffering. All T/Hs sample simultaneously. For best results, the analog inputs should not exceed the power-supply rails (VDD, VSS) by more than 50mV.

The time required for the T/H to acquire an input signal for one channel is a function of how quickly the channel input capacitance is charged. If the source impedance of the input signal is high, acquisition takes longer, and more time must be allowed between conversions. Acquisition time is calculated by:

$$t_{ACQ} = 8(R_S + R_{IN}) \times 4pF \text{ (but never less than 800ns),}$$

where $R_{IN} = 15k\Omega$, and R_S = source impedance of the ADC's input signal.

Conversion Time

Conversion time is calculated by:

$$t_{CONV} = (9 \times N \times 2)/f_{CLK},$$

where N is the number of channels converted. This includes one clock cycle of uncertainty. For a single channel and 5MHz clock, the conversion time is $(9 \times 1 \times 2)/5MHz = 3.6\mu s$. For the MAX155, the maximum conversion time for 8 channels is $(9 \times 8 \times 2)/5MHz = 28.8\mu s$. In the application example (Figure 10), six conversions are configured, and the conversion time is $(9 \times 6 \times 2)/5MHz = 21.6\mu s$.

8-/4-Channel ADCs with Simultaneous T/Hs and Reference

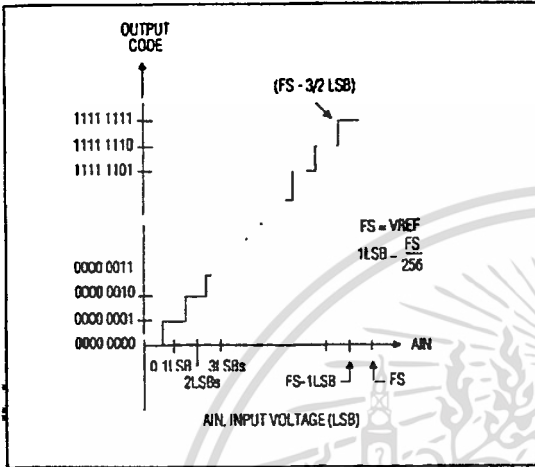


Figure 9a. Transfer Function - Unipolar Operation

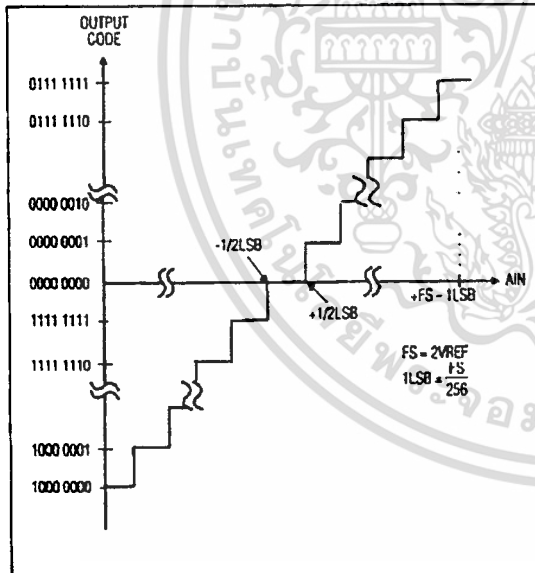


Figure 9b. Transfer Function - Bipolar Operation

Application Information

9-Bit A/D Conversion

In I/O Mode, a 9th bit of resolution can be created by performing two unipolar differential conversions with opposite input polarities (i.e. first with AIN0[+] and AIN1[-], then with AIN0[-] and AIN1[+]). Only the A0 bit must be changed to reverse input channel polarity (Table 3). The sign reversal also occurs on the current write without a one conversion delay. For a differential input signal, one of the two conversions will read 0 while the other will contain an 8-bit result. The input polarity that provides the 8-bit result indicates the 9th (sign) bit. 4 channels can be measured this way. A major drawback of this technique is that many of the sampling features of the MAX155/MAX156 are defeated since two separate samples are needed.

If only two 9-bit channels are needed, then two separate differential channels with reversed input polarities can be connected so that both input pairs sample at the same time. This way the simultaneous sampling advantages of the MAX155/MAX156 are retained.

Typical I/O Mode Application

MAX155/MAX156 address and configuration inputs for this example were determined by selecting the desired channel configurations in Tables 2 and 3. Figure 10 illustrates the configuration outlined in Table 5.

Table 5. Typical Multiplexer Configuration

A2	A1	A0	DIFF	BIP	FUNCTION
0	0	1	1	1	Channel (1, 0), Differential, Bipolar
0	1	0	0	0	Channel 2, Single-Ended, Unipolar
0	1	1	0	1	Channel 3, Single-Ended, Bipolar
1	0	0	0	1	Channel 4, Single-Ended, Bipolar
1	0	1	0	0	Channel 5, Single-Ended, Unipolar
1	1	0	1	0	Channel (6, 7), Differential, Unipolar

8-/4-Channel ADCs with Simultaneous T/Hs and Reference

MAX155/MAX156

An A/D conversion in I/O Mode involves the following three steps:

1. Configure the mux by loading data into the configuration register based on selections from Table 2 and/or 3 (with $\text{INH} = 1$ and $\text{MODE} = \text{open circuit}$). For this example, 6 write operations (with each address and data setting in Table 5 above) load the mux after power-up.
2. Sample all selected channels with a $\overline{\text{WR}}$ pulse (and $\text{INH} = 0$), and update or rewrite any one location of the configuration register.

This write operation may be skipped by loading INH with a 0 on the last $\overline{\text{WR}}$ of the above step. The conversion then starts on the 6th $\overline{\text{WR}}$. DIFF and BIP cannot be changed on the 6th $\overline{\text{WR}}$ if the conversion is started at that time.

When the conversion starts, $\overline{\text{BUSY}}$ goes low while all selected channels are sequentially converted. Conversion results are stored in RAM and are ready to read when $\overline{\text{BUSY}}$ returns high.

3. Data is read from RAM with $\text{INH} = \text{L}$ and consecutive $\overline{\text{RD}}$ strobes. Note that in the 6 channel configurations described in this example (Figure 10), 6 $\overline{\text{RD}}$ pulses access all available data, starting with the differential channel (1,0). Additional $\overline{\text{RD}}$ pulses loop around, accessing the lowest channel data again.
4. To start a new conversion cycle with the same mux configuration, repeat steps 2 and 3.

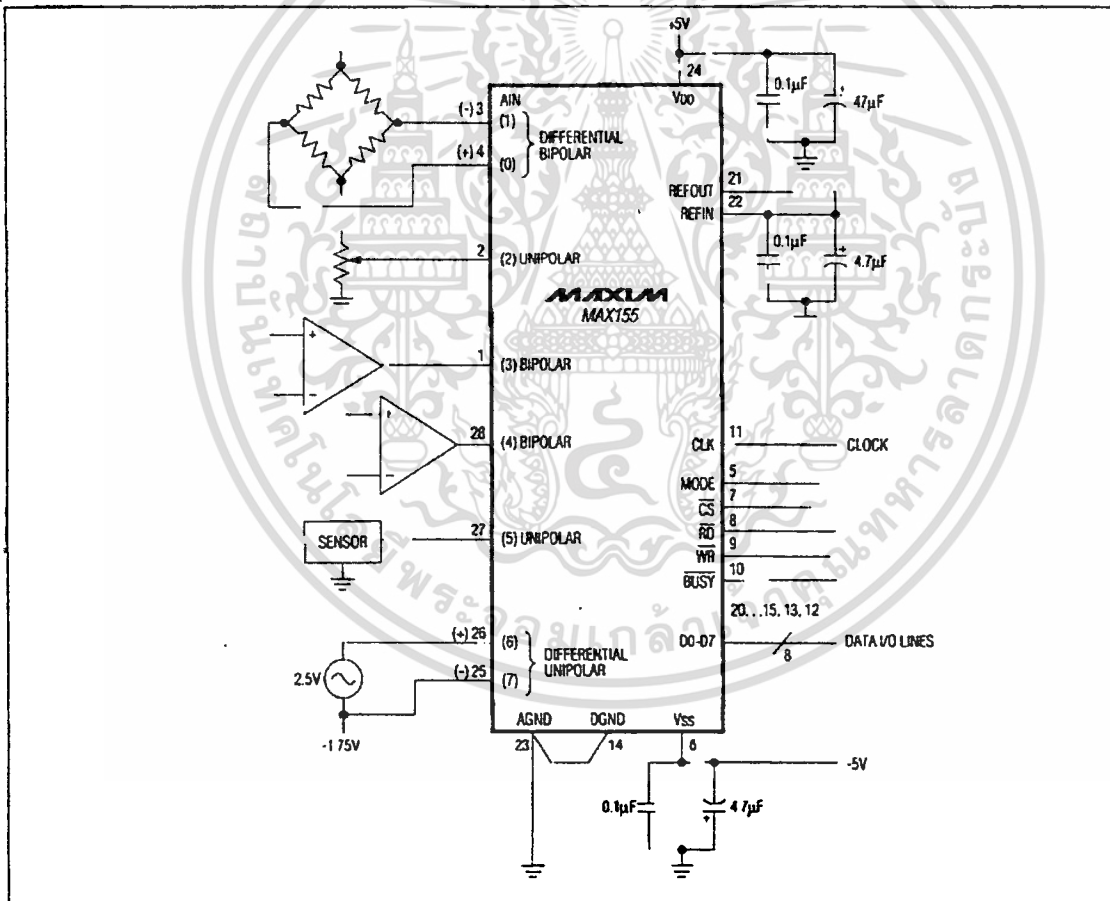


Figure 10. MAX155/MAX156 Typical Operating Circuit

MAXIM

17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8-/4-Channel ADCs with Simultaneous T/Hs and Reference

MAX155/MAX156

An A/D conversion in I/O Mode involves the following three steps:

1. Configure the mux by loading data into the configuration register based on selections from Table 2 and/or 3 (with $\overline{INH} = 1$ and $\overline{MODE} = \text{open circuit}$). For this example, 6 write operations (with each address and data setting in Table 5 above) load the mux after power-up.
2. Sample all selected channels with a \overline{WR} pulse (and $\overline{INH} = 0$), and update or rewrite any one location of the configuration register.

This write operation may be skipped by loading \overline{INH} with a 0 on the last \overline{WR} of the above step. The conversion then starts on the 6th \overline{WR} . DIFF and BIP cannot be changed on the 6th \overline{WR} if the conversion is started at that time.

When the conversion starts, \overline{BUSY} goes low while all selected channels are sequentially converted. Conversion results are stored in RAM and are ready to read when \overline{BUSY} returns high.

3. Data is read from RAM with $\overline{INH} = L$ and consecutive \overline{RD} strobes. Note that in the 6 channel configurations described in this example (Figure 10), 6 \overline{RD} pulses access all available data, starting with the differential channel (1,0). Additional \overline{RD} pulses loop around, accessing the lowest channel data again.

4. To start a new conversion cycle with the same mux configuration, repeat steps 2 and 3.

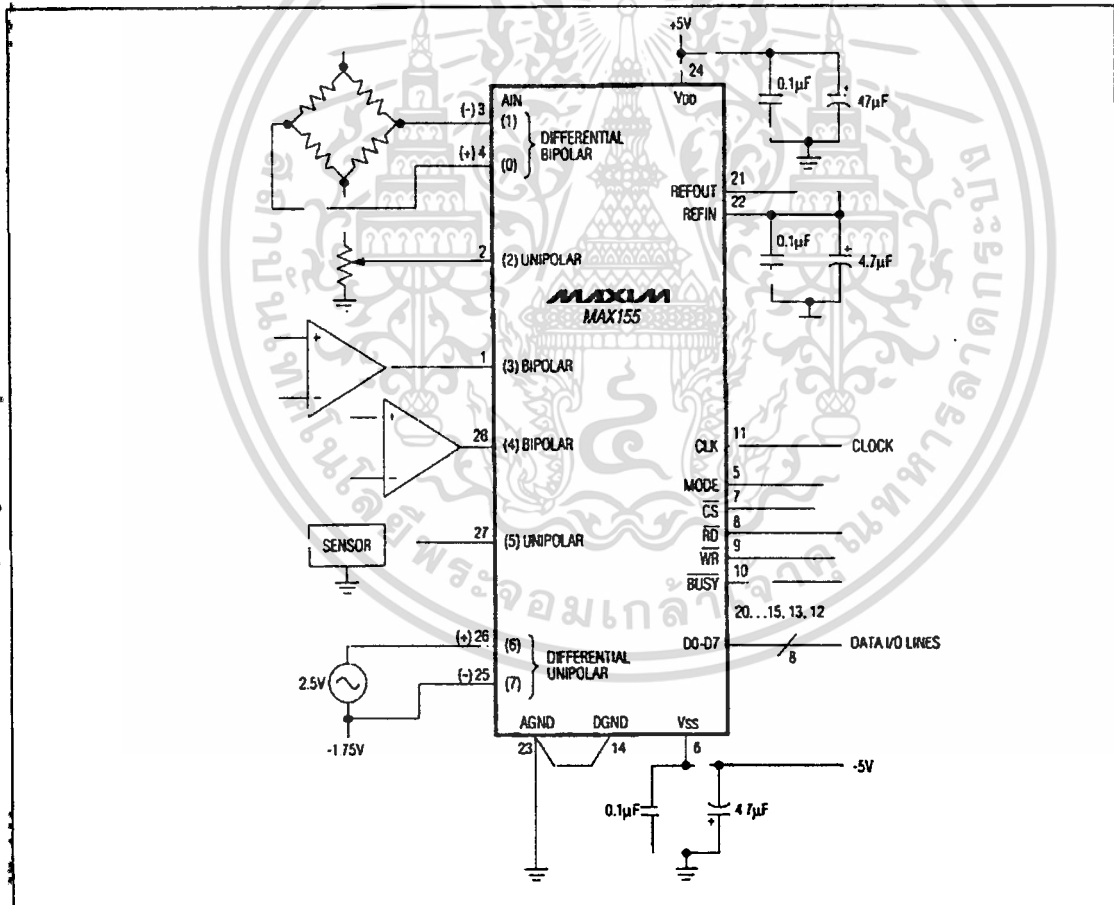


Figure 10. MAX155/MAX156 Typical Operating Circuit

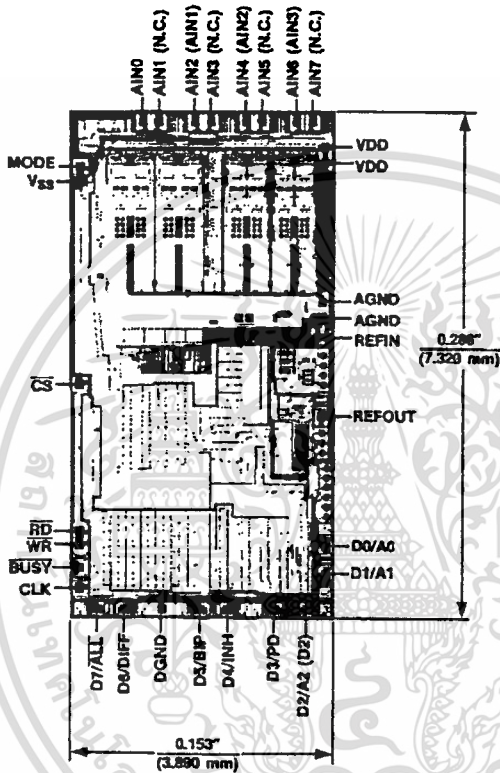
MAXIM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8-/4-Channel ADCs with Simultaneous T/Hs and Reference

Chip Topography

MAX155/MAX156

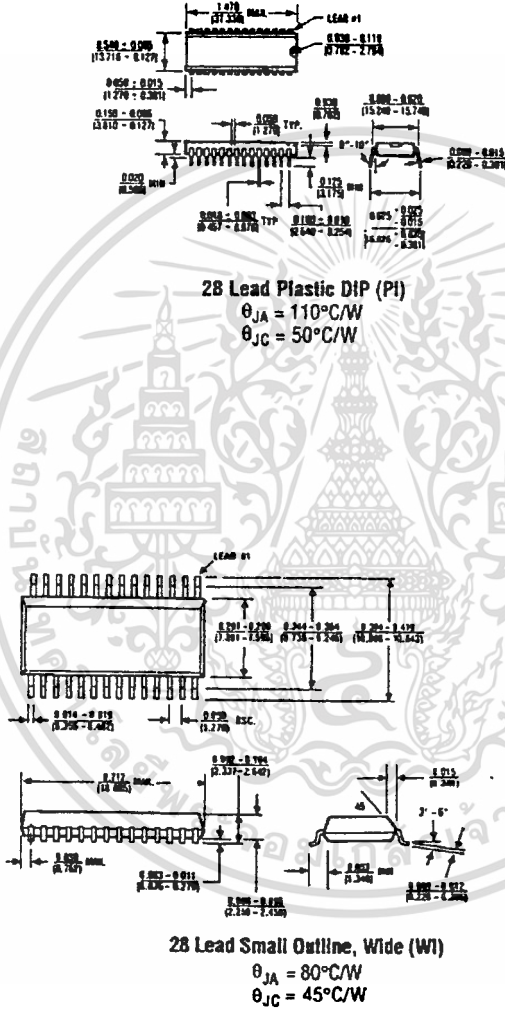


NOTE: LABELS IN () ARE FOR MAX156.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8-/4-Channel ADCs with Simultaneous T/Hs and Reference

Package Information



Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.

20 Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600

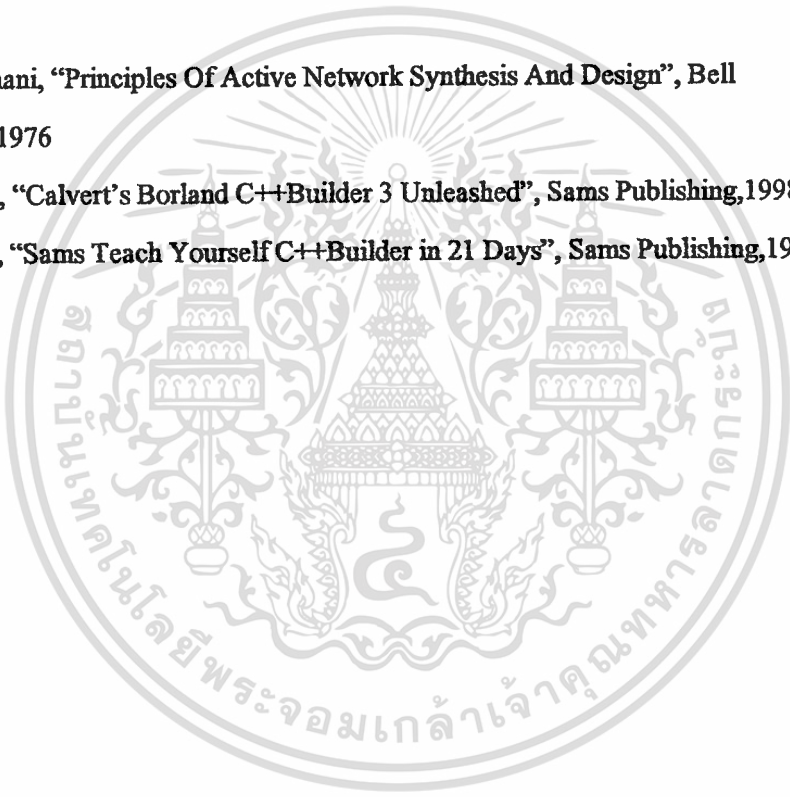
© 1991 Maxim Integrated Products

Printed USA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

- [1] ชันวา ศรีประ โมง, “การเขียนโปรแกรมภาษาซีสำหรับวิศวกรรม”, พ.ศ. 2539
- [2] Theodore F. Bogart Jr., “Electronic Devices And Circuit”, Merrill, 1990
- [3] Cromwell, Weibell, Pfeiffer, “Biomedical Instrumentation and Measurements”, Prentice-Hall, Englewood Cliffs, NJ, 1973
- [4] Coughlin, Driscoll, “Operational Amplifiers and Linear Integrated Circuits”, Forth Edition, Prentice-Hall, Englewood Cliffs, NJ, 1991
- [5] Tompkins, Webster, “Interfacing sensors to the IBM PC”, Prentice-Hall, Englewood Cliffs, NJ, 1988
- [6] Gobind Daryanani, “Principles Of Active Network Synthesis And Design”, Bell Laboratories, Inc., 1976
- [7] Charlie Calvert, “Calvert’s Borland C++Builder 3 Unleashed”, Sams Publishing, 1998
- [8] Kent Reisdorph, “Sams Teach Yourself C++Builder in 21 Days”, Sams Publishing, 1998



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้