



ภาควิชาครุศาสตร์วิศวกรรม

คณะครุศาสตร์อุตสาหกรรม

ศูนย์บริการเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ใบรับรองปริญญาโท

ปริญญาโท การสร้างวงจรเชิงเลขโดยใช้อุปกรณ์ FPGA

IMPLEMENTATION DIGITAL CIRCUIT USING FPGA

- ชื่อนักศึกษา
1. นายคณศักร ปัทมชัยภูมิ รหัสประจำตัว 37031303
  2. นายชาญชัย ไชยวัฒน์ รหัสประจำตัว 37031304
  3. นายไพบุลย์ พวงวงศ์ตระกูล รหัสประจำตัว 37031315
  4. นายเสนีย์ ทองผาสุข รหัสประจำตัว 37031329

หลักสูตร ครุศาสตร์อุตสาหกรรมบัณฑิต สาขาวิชา อิเล็กทรอนิกส์และคอมพิวเตอร์

อาจารย์ผู้ควบคุมปริญญาโท

1. อาจารย์กิติพงษ์ มะโน
2. อาจารย์สันติ ตันตระกูล
3. อาจารย์ปิยะ จิตธรรมมาภิรมย์

คณะกรรมการสอบปริญญาโท	ลายมือชื่อ
1. อาจารย์ ดร.สุรสิทธิ์ ราตรี	
2. อาจารย์กิติพงษ์ มะโน	
3. อาจารย์วรวิทย์ สมหา	
4. อาจารย์สุชิน อจหาญ	
5. อาจารย์ปิยะ จิตธรรมมาภิรมย์	

วันเดือนปีที่สอบ วันที่ 9 ธันวาคม 2538 เวลา 16.30 น. ถึง 17.30 น.

สถานที่สอบ ห้อง ค.303 คณะครุศาสตร์อุตสาหกรรม

ภาควิชารับรองแล้ว

ลงนาม

(ผศ.ดร.ธีระพล เทพหัสดิน ณ อยุธยา)

หัวหน้าภาควิชาครุศาสตร์วิศวกรรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
วันที่ ..... เดือน ..... พ.ศ. ....  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญาานิพนธ์  
การสร้างวงจรเชิงเลขโดยใช้อุปกรณ์ FPGA  
IMPLEMENTATION DIGITAL CIRCUIT USING FPGA

นายคณศักร

ปัทม์ชัยภูมิ

นายชาญชัย

ไชยวัฒน์

นายไพบุลย์

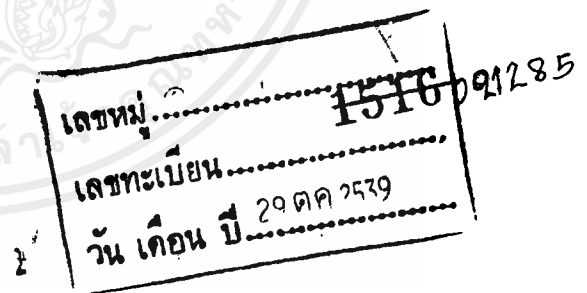
พวงวงศ์ตระกูล

นายเสนีย์

ทองผาสุข



A021285



ปริญญาานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรครุศาสตร์อุตสาหกรรมบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์

ภาควิชาครุศาสตร์วิศวกรรม

คณะครุศาสตร์อุตสาหกรรม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ปริญญานิพนธ์

เรื่อง การสร้างวงจรเชิงเลขโดยใช้อุปกรณ์ FPGA

IMPLEMENTATION DIGITAL CIRCUIT USING FPGA

## ผู้จัดทำ

1. นายคณศักร ปกรณ์ชัยภูมิ
2. นายชาญชัย ไชยวัฒน์
3. นายไพบุลย์ พวงวงศ์ตระกูล
4. นายเสนีย์ ทองผาสุข

## อาจารย์ที่ปรึกษา

ลงนาม.....

(อาจารย์กิติพงษ์ มะโน)

ลงนาม.....

(อาจารย์สันติ คันทระกุล)

ลงนาม.....

(อาจารย์ปิยะ จิตธรรมมาภิรมย์)

## หัวหน้าภาควิชาครุศาสตร์วิศวกรรม

ลงนาม.....

(ผศ.ดร.ธีระพล เทพหัสดิน ณ อยุธยา)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ปริญญานิพนธ์

เรื่อง การสร้างวงจรเชิงเลขโดยใช้อุปกรณ์ FPGA

IMPLEMENTATION DIGITAL CIRCUIT USING FPGA

### วัตถุประสงค์

1. เพื่อศึกษาอุปกรณ์ FIELD PROGRAMMABLE GATE ARRAY (FPGA) และโปรแกรมสำหรับพัฒนา FPGA
2. เพื่อศึกษาโปรแกรมที่ใช้สร้างวงจร และเขียนแบบการทำงานของวงจรที่จะใช้ในการโปรแกรมอุปกรณ์บน FPGA
3. เพื่อสร้างวงจรดิจิทัล 1 วงจร เพื่อใช้ทดสอบอุปกรณ์ FPGA
4. เพื่อสร้างวงจรดิจิทัลให้ทำงานได้โดยใช้ FPGA
5. เพื่อนำ FPGA มาทดสอบและใช้งานจริงได้

### ประโยชน์ที่คาดว่าจะได้รับ

1. ได้ความรู้เกี่ยวกับอุปกรณ์ FPGA และโปรแกรมสำหรับพัฒนา FPGA
2. ได้ความรู้เกี่ยวกับโปรแกรมที่ใช้สร้างวงจร และเขียนแบบการทำงานของวงจรเพื่อจะใช้ในการโปรแกรมอุปกรณ์ FPGA
3. รู้วิธีการออกแบบวงจรดิจิทัล เพื่อใช้ทดสอบอุปกรณ์ FPGA
4. รู้จักวิธีการสร้างวงจรดิจิทัลโดยใช้ FPGA
5. สามารถนำ FPGA มาทดสอบและใช้งานจริงได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## การสร้างวงจรเชิงเลขโดยใช้อุปกรณ์ FPGA

นายคณิตกร	ปัทม์ชัยภูมิ
นายชาตชัย	ไชยวัฒน์
นายไพบุลย์	พวงวงศ์ตระกูล
นายเสนีย์	ทองผาสุข

อาจารย์ที่ปรึกษา	
อาจารย์กิติพงศ์	มะโน
อาจารย์สันติ	ตันตระกูล
อาจารย์ปิยะ	จิตรธรรมาภิรมย์
ปีการศึกษา 2538	

### บทคัดย่อ

ปฏิญานิพนธ์ฉบับนี้ เสนอถึงอุปกรณ์ชนิด FPGA โปรแกรมในการออกแบบและเลียนแบบการทำงานของวงจรดิจิทัล พร้อมทั้งได้ทำการออกแบบวงจรตั้งเวลา 1 ช่อง เพื่อเป็นตัวช่วยในการสร้างวงจรดิจิทัล โดยใช้อุปกรณ์ชนิด FPGA พร้อมทั้งได้ทำการทดสอบและสร้างเครื่องตั้งเวลาเป็นเครื่องต้นแบบ และในการทดลองการทำงานพบว่า เครื่องตั้งเวลาที่สร้างด้วยอุปกรณ์ FPGA สามารถทำงานได้ตามที่คาดหมายไว้ทุกประการ

## IMPLEMENTATION DIGITAL CIRCUIT USING FPGA

MR.KANASUK      PAKCHAIYAPOOM  
 MR.CHANCHAI      CHAIWAT  
 MR.PAIBOON      PONGVONGTRAKUL  
 MR.SANEE      TONGPASUK

### ADVISOR

MR.KITTIPONG      MANO  
 MR.SUNTI      TONTRAKOOL  
 MR.PIYA      JITTROMMAPIROM

1995

### ABSTRACT

This paper presents the Field Programable Gate Arrays (FPGA) device, tools for design Metology and simulate of digital circuit, design and test timmer circuit one channel using FPGA device. After that have test and implement original of timer circuit. In tester, the timer circuit with FPGA device are in close agreement with the theoretical prediction.

## กิติกรรมประกาศ

โครงการชุดนี้สามารถสำเร็จลุล่วงไปได้ด้วยความกรุณาในการให้คำปรึกษา คำแนะนำและความช่วยเหลือต่างๆ ตลอดจนให้โอกาสในการทำโครงการอย่างเต็มที่ ทั้งทางด้านเครื่องมืออุปกรณ์ต่างๆ เวลาและสถานที่จากอาจารย์กิติพงศ์ซึ่งเป็นอาจารย์ที่ปรึกษารวมทั้งอาจารย์ประจำภาควิชาครุศาสตร์วิศวกรรมทุกท่าน

ขอขอบคุณผู้ให้กำเนิดที่ให้โอกาสในการศึกษา อาจารย์ รุ่นพี่และเพื่อนๆ ที่ให้คำแนะนำและข้อมูลต่างๆ ท่านที่มีส่วนเกี่ยวข้องช่วยเหลือทำให้โครงการนี้สำเร็จได้ด้วยดี



## สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญตาราง	VII
สารบัญรูปภาพ	VIII
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	3
2.1 ทฤษฎีและหลักการของ FPGA	3
2.1.1 โครงสร้างภายใน	3
2.1.2 ส่วนที่เป็นองค์ประกอบของลอจิก	5
2.1.3 ส่วนอินพุตและเอาต์พุต	6
2.1.4 รายละเอียดการใช้งาน	7
2.2 การใช้ซอฟต์แวร์วีวลอจิกและไอซีลิงค์	13
2.2.1 ขั้นตอนในการออกแบบและจำลองการทำงาน โดยใช้วีวลอจิก	13
2.2.2 ขั้นตอนในการทดสอบวงจรโดยใช้ไอซีลิงค์	14
2.3 ทฤษฎีเกี่ยวกับวงจรดิจิทัล	14
2.3.1 วงจรนับแบบรีบิเฟิล	14
2.3.2 อุปกรณ์แสดงผล	15
2.3.3 วงจรกำเนิดความถี่	16
2.3.4 วงจรซิมิทริกเกอร์	16

## สารบัญ

เรื่อง	หน้า
<b>บทที่ 3 การออกแบบและการสร้าง</b>	18
3.1 ลักษณะของการออกแบบ	18
3.1.1 การออกแบบจากล่างขึ้นบน	18
3.1.2 การออกแบบจากบนลงล่าง	18
3.2 วิธีการออกแบบ	18
3.3 การออกแบบวงจรตั้งเวลา	20
3.3.1 ข้อกำหนดรายละเอียดของวงจรตั้งเวลา 1 ช่องและ 3 ช่อง	20
3.3.2 ผังของวงจรตั้งเวลา 1 ช่อง	22
3.3.3 ผังของวงจรตั้งเวลา 3 ช่อง	23
3.4 บอร์ดตัวอย่างที่ใช้ FPGA	25
<b>บทที่ 4 การทดสอบและผลการทดลอง</b>	27
4.1 ขั้นตอนในการสร้างไฟล์องค์ประกอบ	27
4.1.1 การกำหนดองค์ประกอบให้กับซอฟต์แวร์ XDM และ XMAKE	28
4.1.2 การตรวจสอบเฮดไฟล์ของ XMAKE	29
4.1.3 การเข้าสู่หน้าต่างของการออกแบบ	30
4.1.4 การหาตำแหน่งของบล็อก	31
4.2 การทดลองวงจรตั้งเวลา 1 ช่อง	33
4.3 ผลการทดลอง	43
<b>บทที่ 5 สรุปอภิปรายและข้อเสนอแนะ</b>	44
5.1 สรุป	44
5.2 ปัญหาและแนวทางแก้ไข	44
5.3 แนวทางในการพัฒนา	45

## สารบัญ

เรื่อง	หน้า
ภาคผนวก ก วงจรตั้งเวลา 1 ช่อง	46
ภาคผนวก ข วงจรตั้งเวลา 3 ช่อง	58
ภาคผนวก ค เอกสารของ XC4000A	71
บรรณานุกรม	



## สารบัญตาราง

ตาราง	หน้า
ตารางที่ 2.1 คุณสมบัติของ FPGA ตระกูลต่างๆ	3
ตารางที่ 2.2 ประมาณการนับเกตของเกตพื้นฐาน	4
ตารางที่ 2.3 โหมดต่างๆ ขององค์ประกอบ	8
ตารางที่ 4.1 การตั้งสวิตช์ต่างๆ ใน บอร์ดตัวอย่างที่ใช้ FPGA	32



## สารบัญรูปภาพ

รูปภาพ	หน้า
รูปที่ 2.1 แผนผัง CLB ของตระกูล 4000	6
รูปที่ 2.2 แผนผัง IOB ของตระกูล 4000	7
รูปที่ 2.3 ผังลำดับในการคอนฟีกเมื่อเริ่มป้อนแหล่งจ่ายไฟ เข้าไอซีและการโปรแกรมใหม่	9
รูปที่ 2.4 การต่อใช้งานในโหมดสเลฟซีเรียล	10
รูปที่ 2.5 แผนภูมิเวลาการป้อนข้อมูล โปรแกรมคอนฟีกในแบบ สเลฟซีเรียล	10
รูปที่ 2.6 การต่อใช้งานในโหมดมาสเตอร์ซีเรียล	11
รูปที่ 2.7 การต่อใช้งานในโหมดมาสเตอร์พาราเรล	12
รูปที่ 2.8 วงจรนับริบเฟิลจำนวน 4 บิต	15
รูปที่ 2.9 รูปร่างและชื่อส่วนต่างๆ ของแผงแสดงผลตัวเลข 7 ส่วน	15
รูปที่ 2.10 วงจรออสซิลเลเตอร์	16
รูปที่ 2.11 วงจรซมิตทริกเกอร์	17
รูปที่ 3.1 ขั้นตอนในการออกแบบ	19
รูปที่ 3.2 ผังการทำงานของกรออกแบบวงจรโดยใช้ซอฟต์แวร์ ของบริษัทวิวลอจิกและบริษัทไซลิงค์	21
รูปที่ 3.3 ผังการทำงานของวงจรตั้งเวลา 1 ช่อง	22
รูปที่ 3.4 ผลของการใช้วีวเทอร์สจจะแสดงสัญญาณต่างๆ ของวงจรตั้งเวลา 1 ช่อง	23
รูปที่ 3.5 ผังการทำงานของเครื่องตั้งเวลา 3 ช่อง	24
รูปที่ 3.6 ผลของการใช้วีวเทอร์สจจะแสดงสัญญาณต่างๆ ของวงจรตั้งเวลา 3 ช่อง	25

## สารบัญรูปภาพ

รูปภาพ	หน้า
รูปที่ 3.7 วงจรของบอร์ดตัวอย่างที่ใช้ FPGA	26
รูปที่ 4.1 บอร์ดตัวอย่างของ FPGA	27
รูปที่ 4.2 หน้าต่าง XDE EditLCA , XC4003APC840	31
รูปที่ 4.3 การเชื่อมต่อกันระหว่างคอมพิวเตอร์กับวงจรใน บอร์ดตัวอย่างที่ใช้ FPGA	33
รูปที่ 4.4 ส่วนแสดงผล 7 ส่วนจะแสดงผลเป็น 00:00:00	34
รูปที่ 4.5 วงจรนับทำการนับจนกว่าจะมีการกด STOP จึงจะหยุดนับ และกด CLEAR จะให้แสดงผลเป็น 00:00:00	34
รูปที่ 4.6 เมื่ออยู่ในโหมดของการนับ LED 1 จะติดและ LED 2 จะดับ	35
รูปที่ 4.7 เมื่ออยู่ในโหมดของการตั้งเวลา LED 1 จะดับและ LED 2 จะติด	35
รูปที่ 4.8 หลักชั่วโมงจะกระพริบ	36
รูปที่ 4.9 หลักนาทีที่กระพริบ	36
รูปที่ 4.10 หลักวินาทีที่กระพริบ	36
รูปที่ 4.11 ไม่มีหลักใดจะกระพริบ	37
รูปที่ 4.12 ส่วนแสดงผล 7 ส่วน แสดงค่าเป็น 00:00:00	37
รูปที่ 4.13 LED 1 จะดับส่วน LED 2 จะติดซึ่งอยู่ในโหมดของการตั้งเวลา	37
รูปที่ 4.14 หลักชั่วโมงจะกระพริบ	38
รูปที่ 4.15 ส่วนแสดงผล 7 ส่วนแสดงผลเป็น 1 ในหลักชั่วโมง พร้อมกระพริบ	38
รูปที่ 4.16 หลักนาทีที่กระพริบ	38
รูปที่ 4.17 ส่วนแสดงผล 7 ส่วน แสดงผลเป็น 25 ในหลักนาที พร้อมกระพริบ	39
รูปที่ 4.18 หลักวินาทีที่กระพริบ	39

## สารบัญรูปภาพ

รูปภาพ	หน้า
รูปที่ 4.19 ส่วนแสดงผล 7 ส่วน แสดงผลเป็น 5 ในหลักวินาที พร้อมกระพริบ	39
รูปที่ 4.20 ไม่มีหลักใดกระพริบ	40
รูปที่ 4.21 LED 5 จะติด พร้อมกับรีเลย์ทำงาน	40
รูปที่ 4.22 LED 1 จะติด ส่วน LED 2 จะดับแสดงว่าอยู่ในโหมด ของการนับ	40
รูปที่ 4.23 LED 5 จะดับและรีเลย์จะตัด	41
รูปที่ 4.24 ภาพถ่ายการเชื่อมต่อของควาน์โพลเคเบิลกับบอร์ด ตัวอย่างของ FPGA	42
รูปที่ 4.25 ภาพถ่ายแสดงการติดของ LED 5 ซึ่งเป็นตัวบอกวารีเลย์ทำงาน	42
รูปที่ 4.26 ภาพถ่ายแสดงบอร์ดตัวอย่างของ FPGA	43

# บทที่ 1

## บทนำ

การออกแบบวงจรดิจิทัลได้มีวิวัฒนาการอย่างรวดเร็ว โดยใช้ช่วงเวลาเพียงเล็กน้อย ซึ่งกระบวนการออกแบบได้เปลี่ยนแปลงอย่างรวดเร็ว ส่วนประกอบต่างๆ ของวงจร ได้พัฒนาจากทรานซิสเตอร์ จนกระทั่งนำไปสู่เทคโนโลยีวีแอลเอสไอ (VLSI :Very Large Scale Integrated Circuits) ทั้งนี้ได้มีการนำระบบคอมพิวเตอร์ช่วยในการออกแบบ (CAD) มาเป็นเครื่องมือช่วยในการออกแบบอุปกรณ์ลอจิกที่สามารถโปรแกรมได้ (Programmable logic device) ซึ่งจะช่วยลดความยุ่งยากในการทำต้นแบบของวงจร โดยทำให้ขั้นตอนการออกแบบทางกายภาพ (Physical) ใช้เวลาน้อยลง อย่างไรก็ตามผู้ที่ทำการออกแบบจะต้องเข้าใจเทคโนโลยีด้านสถาปัตยกรรมของฮาร์ดแวร์ของอุปกรณ์ชนิดนี้พร้อมทั้งต้องเข้าใจการใช้ซอฟต์แวร์ที่ช่วยในการออกแบบควบคู่ไปด้วยเช่นกัน

การดำเนินการกับวงจรที่ได้นั้นแบ่งเป็นกลุ่มหลักๆ ได้ 2 กลุ่มคือแบบเต็มรูปแบบ (Fully Custom) และไม่เต็มรูปแบบ (Semi Custom) โดยในแบบเต็มรูปแบบนั้นเราไม่สามารถดำเนินการออกแบบได้จนสิ้นสุดกระบวนการเพราะในขั้นตอนสุดท้ายเราจะต้องให้โรงงานผลิตเป็นไอซีให้ แต่ในที่นี้เราจะเลือกใช้แบบไม่เต็มรูปแบบเนื่องจากเราสามารถดำเนินการได้เองจนสิ้นสุดกระบวนการออกแบบโดยวิธีที่เราเลือกใช้คือการใช้ FPGA (Field Programable Gate Arrays)

FPGA จะรวมอะเรย์ของเกตกับอุปกรณ์โปรแกรมได้ของ PLDs ( PLDs จะประกอบด้วยอะเรย์ของเกตที่สามารถโปรแกรมได้ อุปกรณ์ที่ใช้ในการเชื่อมต่ออาจเป็นพิวส์ หรือทรานซิสเตอร์ โดย PLDs จะเป็นอุปกรณ์ที่มีความหนาแน่นค่าที่สุดในอุปกรณ์ประเภทที่สามารถโปรแกรมลอจิก การใช้ประโยชน์จะเปลี่ยนแปลงไปตามการประยุกต์ใช้งาน แต่มันสามารถโปรแกรมตามแบบได้ต่ำเพราะสถาปัตยกรรมของเกตมีคงที่ตายตัว) เข้าด้วยกัน โดยภายในตัว FPGA จะมีส่วนที่สำคัญคือเส้นทางการเชื่อมต่อระหว่างบล็อกซึ่งเส้นทางเหล่านี้เราสามารถโปรแกรมได้ ซึ่งจะกล่าวรายละเอียดในบทที่ 2 จำนวนเกตที่เราสามารถนำมาใช้ได้มีอยู่ระหว่าง 3,000 ถึง 10,000 เกต ซึ่งถือว่าใช้ประโยชน์ได้กว้างขวางเพราะสามารถโปรแกรมให้ทำงานเป็นฟังก์ชันต่างๆ ได้ และยังมีข้อดีคือเราสามารถโปรแกรมใหม่ได้

จากที่กล่าวมาทั้งหมดจะเห็นว่ามียุทธศาสตร์หลายอย่างด้วยกันประกอบกันเป็นเทคโนโลยีที่น่าสนใจจึงได้ทำโครงการนี้ขึ้นมาโดยกำหนดโครงการภายใต้หัวข้อการสร้างวงจรมัลติฟังก์ชันโดยใช้ FPGA โดยมีเป้าหมายคือ ใช้โปรแกรมเชื่อมวงจร และจำลองแบบการทำงานของวงจรมัลติฟังก์ชันที่ออกแบบขึ้น และนำวงจรที่ได้ผลการเลียนแบบถูกต้องมาแปลงเป็นข้อมูลที่จะกำหนดฟังก์ชันการทำงานให้กับอุปกรณ์ FPGA เพื่อนำ FPGA ไปใช้งานเป็นไอซีที่มีฟังก์ชันตามที่กำหนดได้ สำหรับรายละเอียดของโครงการที่เสนอในปฏิญญานี้ยังประกอบด้วยรายละเอียดต่างๆ ดังนี้ ในบทที่ 2 เป็นส่วนของทฤษฎีและหลักการจะประกอบด้วย ทฤษฎีและหลักการของ FPGA , การใช้ซอฟต์แวร์ของบริษัทวิวลอคจิก (Viewlogic) และบริษัทไซลิงค์ (Xilinx) , ทฤษฎีเกี่ยวกับวงจรมัลติฟังก์ชัน ส่วนในบทที่ 3 จะเป็นการออกแบบและการสร้างซึ่งจะประกอบด้วย ลักษณะของการออกแบบ , วิธีการออกแบบ , การออกแบบวงจรมัลติฟังก์ชัน ส่วนในบทที่ 4 จะเป็นส่วนของการทดลองจะประกอบด้วย ขั้นตอนในการสร้างไฟล์องค์ประกอบ , การทดลองวงจรมัลติฟังก์ชัน 1 ช่อง และในบทสุดท้ายคือบทที่ 5 จะเป็นส่วนของการสรุปผลการทดลอง , ปัญหาที่พบและการแก้ไขปัญหา , แนวทางในการพัฒนาโครงการ

## บทที่ 2

### ทฤษฎีและหลักการ

FPGA จัดเป็นวงจรรวมเฉพาะกิจชนิดหนึ่งที่สามารถโปรแกรมเป็นวงจรถิจิตอลใดๆ ก็ได้เช่นเดียวกับ EPLD ต่างกันที่ EPLD โปรแกรมลงบน EPROM ภายใน และสามารถโปรแกรมใหม่ได้หลังจากนำไปลบด้วยแสงอุลตราไวโอเลต แต่สำหรับ FPGA จะโปรแกรมลงบนสแตติกแรมภายในด้วยข้อมูลที่อยู่นอก และสามารถโปรแกรมใหม่ได้โดยการรีเซตด้วยสัญญาณไฟฟ้า นอกจากนั้น FPGA ยังประหยัดพลังงานและมีความจุจริงที่มีขนาดใหญ่ (จำนวนเกตมากๆ) ได้อีกด้วย

#### 2.1 ทฤษฎีและหลักการของ FPGA

##### 2.1.1 โครงสร้างภายใน

วงจรรวมชนิดนี้ผลิตโดยบริษัทไซลิงค์ซึ่งเป็นบริษัทที่ร่วมกันทำการค้นคว้ากับบริษัทเอ็มเอ็มไอ (MMI) สร้างเป็นอะเรย์ที่ประกอบด้วยเกตจำนวน 600 - 25,000 เกต ดังแสดงในตารางที่ 2.1 การที่ต้องบอกขนาดของวงจรรวมเป็นจำนวนเกตเพราะจะได้รู้ว่าขนาดของวงจรถือได้ออกแบบไว้สามารถโปรแกรมลงบนวงจรรวม FPGA ได้หรือไม่

FPGA	Appr. Gate Count	Max I/Os	Flip-Flops	RAM bits	Available CLBs
XC2064	1,000	58	122	0	64
XC2018	1,500	74	174	0	100
XC3020/3120	1,800	64	256	0	64
XC3030/3130	2,700	80	360	0	100
XC3042/3142	3,700	96	480	0	144
XC3064/3164	5,500	120	688	0	224

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับตารางที่ 2.1 คุณสมบัติของ FPGA ตระกูลต่างๆ นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.1 (ต่อ)

FPGA	Appr. Gate Count	Max I/Os	Flip-Flops	RAM bits	Available CLBs
XC30903190	7,500	144	928	0	320
XC3195	9,000	176	1,320	0	484
XC4002A	2,000	64	256	2,048	64
XC4003/4003A	3,000	80	360	3,200	100
XC4003H	3,000	160	200	3,200	100
XC4004A	4,000	960	480	4,608	144
XC4005/4005A	5,000	122	616	6,272	196
XC4005H	5,000	192	392	6,272	196
XC4006	6,000	128	768	8,192	256
XC4008	8,000	144	936	10,368	324
XC4010	10,000	160	1,120	12,800	400
XC4010D	10,000	160	1,120	0	400
XC4013	13,000	192	1,536	18,432	576
XC4025	25,000	256	2,560	32,768	1,024

(NAIINR2 หมายถึงเกต NAND2 หรือเกต NOR2)

Gate	Equivalent gate count	Gate	Equivalent gate count
INV	1	RS Latch	3
NAIINR2	1	D Latch	4
NA/NR3	2	D Latch with CLR	5
NAIINR4	2	D Latch with PRE	5

ตารางที่ 2.2 การนับเกตของเกตพื้นฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ตารางที่ 2.2 (ต่อ)

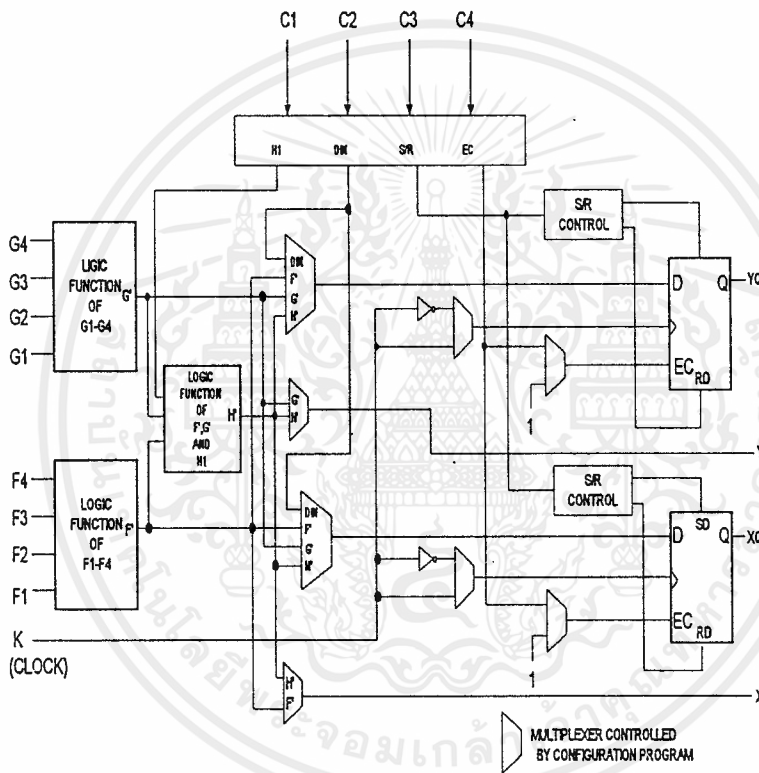
Gate	Equivalent gate count	Gate	Equivalent gate count
NAIINR6	5	D Latch with PRE/CLR	6
NAIINR8	6	DFF	6
NAIINR9	7	DFF with CLR	7
NAIINR12	8	DFF with PRE	7
NAIINR16	11	DFF with PRE/CLR	8
BUFF	2	JKFF	9
ANIIOR2	2	JKFF with CLR	12
ANIIOR3	2	JKFF with PRE/CLR	13
ANIIOR4	3	TFF with CLR	8
XOR2	3	TFF with PRE	8
XNOR2	3	TFF with PRE/CLR/	9

FPGA มีโครงสร้างภายในใกล้เคียงกับสถาปัตยกรรมของเกตอะเรย์มาก สามารถโปรแกรมและลอบอกประกอบ (Configuration) สเตติกแรม (Static RAM) ภายในได้โดยใช้กระแสไฟฟ้า ซึ่งทำการโปรแกรมได้โดยดึงข้อมูลฐานสิบหกมาจากภายนอก เช่น Parallel EPROM หรือ Serial PROM ต่างกับ EPLD, PAL ที่มี EPROM อยู่ในตัว ภายใน FPGA จะจัดเรียงเป็นลอจิกเซลล์ล้อมรอบภายนอกด้วยอินพุตเอาต์พุตเซลล์ FPGA ตัวแรกที่ผลิตโดยไซลิงค์คือ XC2064 (2000 Family) ประกอบด้วยเซลล์เรียงกันเป็นเมตริกซ์ (Matrix) เป็นจำนวน 64 เซลล์ หลังจากนั้น ผลิตตระกูล 3000 และ 4000 มีโครงสร้างซับซ้อนขึ้นสามารถบรรจุจำนวนเกตได้สูงและดีขึ้น แต่ละเซลล์เรียกว่า CLB (Configurable Logic Block)

### 2.1.2 ส่วนที่เป็นองค์ประกอบของลอจิก (CONFIGURABLE LOGIC BLOCKS)

CLB จะจัดเรียงกันเป็นแบบเมตริกซ์แบบอะเรย์ขนาด  $M \times N$  การออกแบบนั้นสามารถทำได้โดยการจัดวาง CLB และต่อเชื่อมขาของ CLB ให้ต่อกัน เราสามารถจัด CLB ให้เชื่อมต่อกันได้โดยการทำได้ด้วยมือหรือให้โปรแกรมที่สนับสนุน FPGA ทำให้โดยอัตโนมัติโดยวิธีเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยามให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

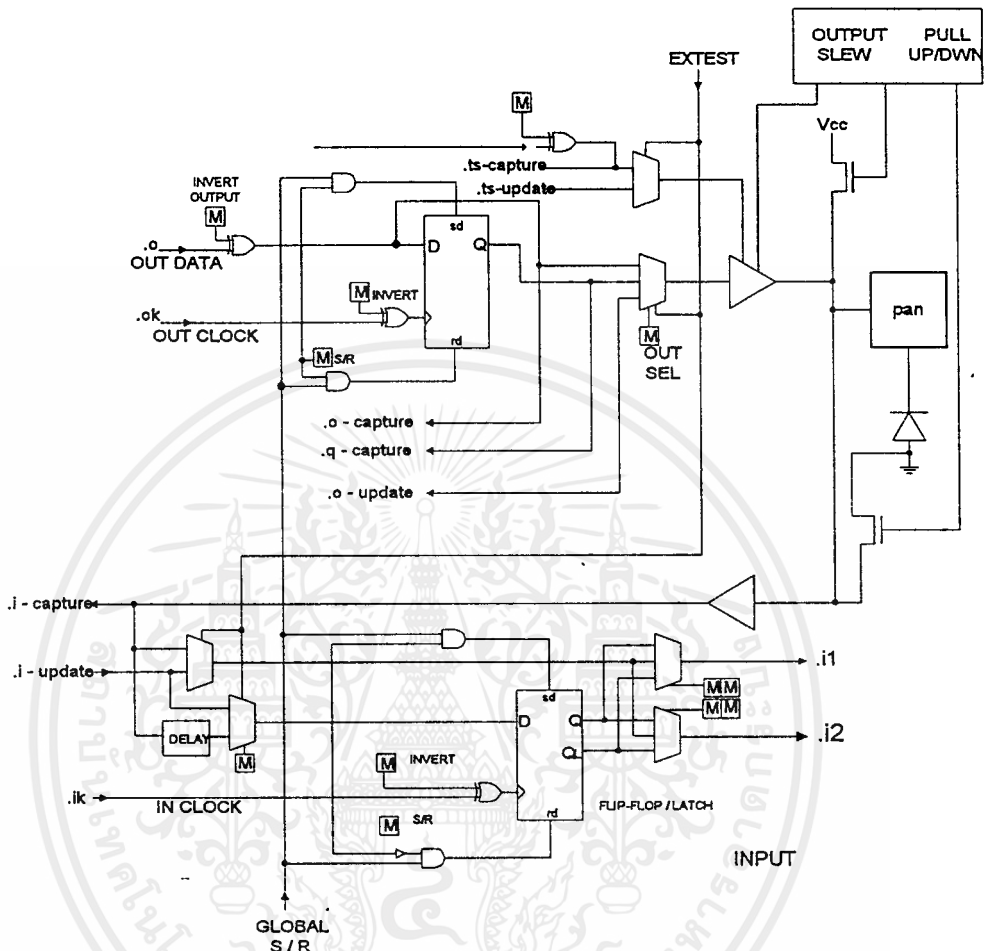
ของมันเอง สำหรับไฟล์ที่ได้จากโปรแกรมเหล่านี้เราเรียกว่า ไฟล์โครงร่าง (Configuration file) ซึ่งจะบรรจุโครงร่างภายในของ CLB ตามความเหมาะสม ในอีกด้านหนึ่งไฟล์โครงร่างนั้นจะเป็นไฟล์กระแสข้อมูล (Bitstream) ซึ่งสามารถใช้โปรแกรมหน่วยความจำภายในของ FPGA (Internal FPGA configuration memory) ได้ สำหรับรูปแสดง CLB ของ FPGA ตระกูล 4000 แสดงดังรูปที่ 2.1



รูปที่ 2.1 แผนผัง CLB ของตระกูล 4000

### 2.1.3 ส่วนอินพุตและเอาต์พุต (I/O Block)

รอบๆ นอกของ FPGA จะประกอบด้วย IOBs ประมาณ 64 ถึง 144 ตัวซึ่งขึ้นอยู่กับตระกูลของ FPGA ซึ่ง IOBs จะเป็นตัวเชื่อมต่อระหว่างภายในกับภายนอกของวงจรถอดจิกของ FPGA ลักษณะของ IOBs จะมีลักษณะ 2 ทิศทาง สามารถโปรแกรมให้เป็นอินพุตหรือเอาต์พุตก็ได้ สำหรับรูปที่ 2.2 แสดง IOBs ของ FPGA ตระกูล 4000 ให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 แผนผัง IOB ของตระกูล 4000

### 2.1.4 รายละเอียดการใช้งาน

FPGA สามารถทำงานได้หลายรูปแบบ (Mode) โดยกำหนดได้ที่ขาสัญญาณ M0 M1 และ M2 ดังแสดงในตารางที่ 2.3 ในแบบมาสเตอร์พาราเรล (Master Parallel) รับโปรแกรมคอนฟิกทีละ 1 ไบต์ (Byte) จากหน่วยความจำภายนอกที่เป็นแบบขนานโดยสามารถรับโปรแกรมคอนฟิก (Config) จากตำแหน่ง (Address) ค่าหรือสูงก่อนก็ได้ แบบเพริเฟอรัล (Peripheral) รับโปรแกรมคอนฟิกทีละ 1 ไบต์จากไมโครโปรเซสเซอร์ โดยสามารถโต้ตอบกันได้ว่าพร้อมหรือไม่พร้อมที่จะรับข้อมูลต่อไป แบบสเลฟ (Slave) รับโปรแกรมคอนฟิกทีละ 1 บิตจากไมโครโปรเซสเซอร์ตามสัญญาณอินพุต CCLK ส่วนในแบบมาสเตอร์ซีเรียล เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Master Serial) รับโปรแกรมคอนฟิกทีละ 1 บิต จากหน่วยความจำจากภายนอกที่เป็นแบบอนุกรม

MO	M1	M2	CCLK	MODE	DATA
0	0	0	output	Master Serial	Bit Serial
0	0	1	output	Master Parallel	Byte Wide Addr.=0000 up
0	1	0	-----	reserved	-----
0	1	1	output	Master Parallel	ByteWideAddr.=FFFFdown
1	0	0	-----	reserved	-----
1	0	1	output	Peripheral	Byte Wide
1	1	0	-----	Reserved	-----
1	1	1	input	Slave Serial	Bit Serial

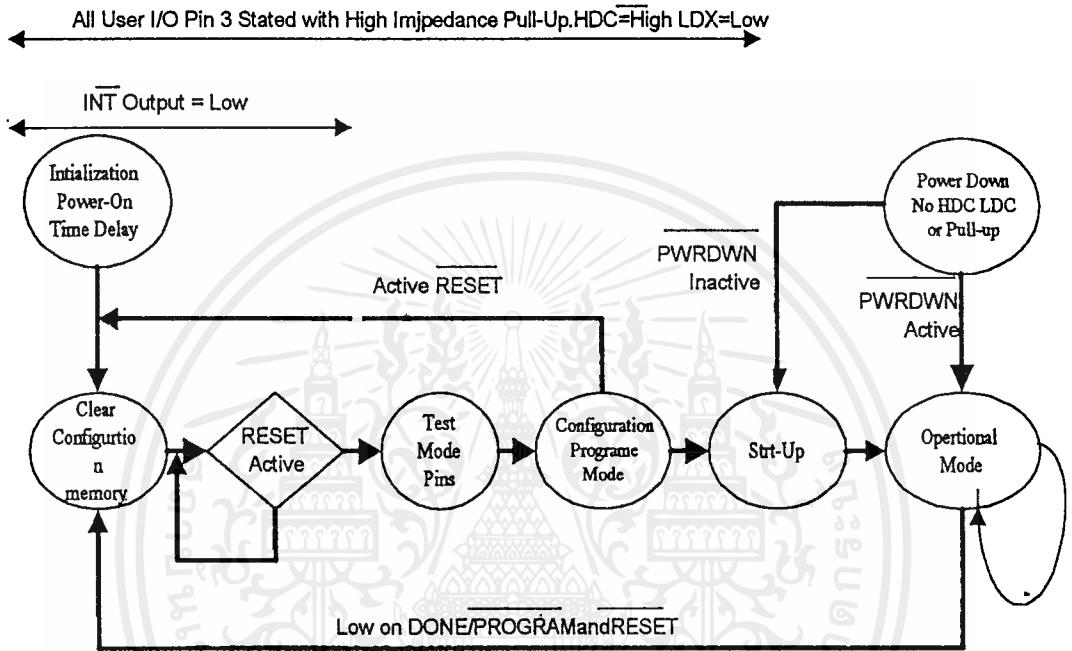
ตารางที่ 2.3 รูปแบบต่างๆ ของการกำหนดคอน์ประกอบในการทำงาน

จากความต้องการสร้างให้ใช้กระแสไฟฟ้าต่ำ ในแบบการต่อใช้งานทั้ง 5 แบบจึงมีเพียง 2 แบบเท่านั้นที่เหมาะสม คือ มาสเตอร์ซีเรียลแบบ (Master Serial Mode) และสเลฟซีเรียลแบบ (Slave Serial Mode) ส่วนใน มาสเตอร์พาราเรลแบบต้องใช้ EPROM 27Cxxx ซึ่งกินกระแสมากกว่า PROM XC17xxx เหมาะในการทดสอบต้นแบบก่อนเมื่อวงจรต้นแบบทำงานได้ถูกต้องแล้วจึงทำการอัปเดตโปรแกรมลง PROM อีกทีหนึ่งเพราะว่าในแบบพาราเรล EPROM สามารถโปรแกรมได้ใหม่ต่างกับ PROM ที่โปรแกรมได้ครั้งเดียว

การใช้งาน FPGA ในแบบสเลฟซีเรียลและมาสเตอร์ซีเรียล เมื่อเริ่มจ่ายไฟเข้าตัว FPGA จะทำการเคลียร์ (Clear) หน่วยความจำที่ใช้ในคอนฟิก (Configuration Memory) ตรวจสอบแบบการทำคอนฟิกว่าเป็นแบบใดในตารางที่ 2.3 (เป็นแบบอนุกรมหรือขนาน) หลังจากนั้นจะเริ่มทำการโปรแกรมคอนฟิก สัญญาณ DONE/PROGRAM เป็น "0" (อยู่ในระหว่างโปรแกรม) และเมื่อข้อมูลในการคอนฟิกที่รับมาจากภายนอกเต็มหน่วยความจำที่ใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการคอนฟิกและความยาวของข้อมูลตรงกับที่ส่วนหัวของข้อมูลส่วนคอนฟิกสัญญาณ DONE/PROGRAM เป็น “1” (โปรแกรมคอนฟิกเสร็จสิ้น) รูป 2.3 ประกอบ

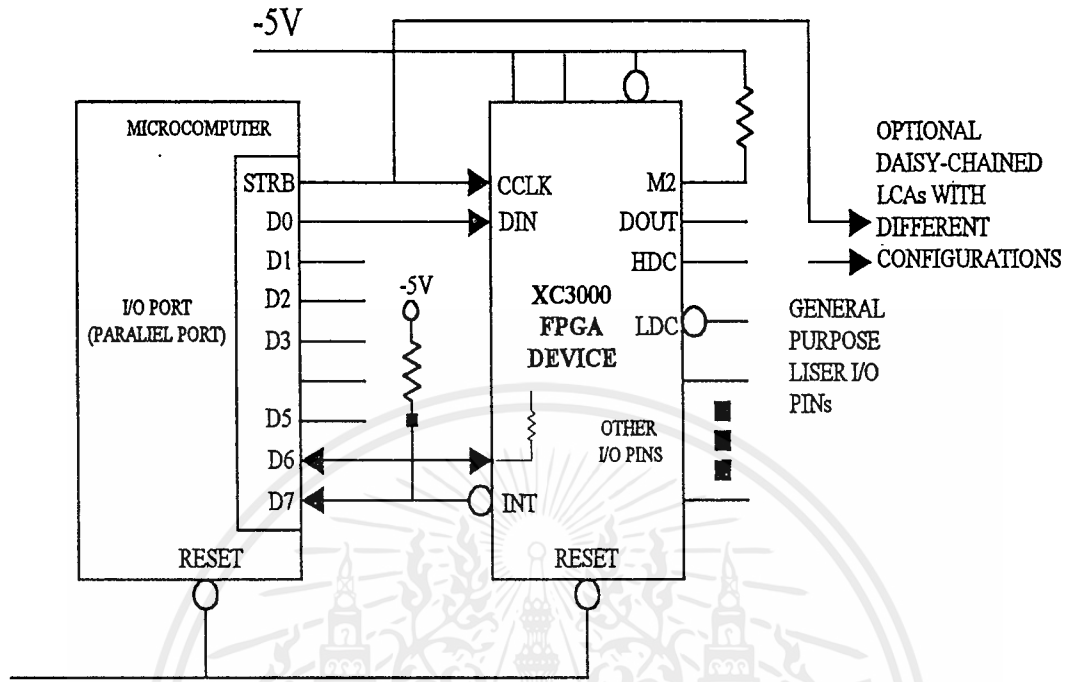


รูปที่ 2.3 สำคัญในการคอนฟิกเมื่อเริ่มป้อนแหล่งไฟ  
เข้าไอซีและการโปรแกรมใหม่

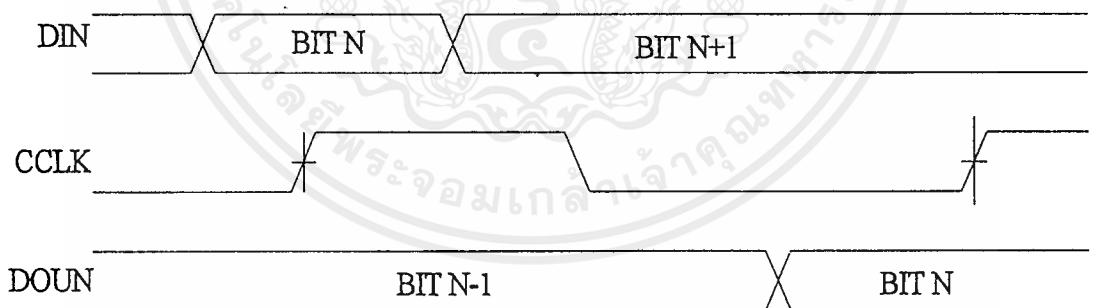
**การใช้งานในแบบสเลฟซีเรียล(Slave Serial)**

การต่อใช้งานในแบบนี้เหมาะสมกับวงจรที่ออกแบบมาเพื่อทำงานร่วมกับไมโครคอมพิวเตอร์อยู่แล้วทั้งนี้เพราะ FPGA ได้ใช้ความสามารถของไมโครคอมพิวเตอร์ในการเก็บและส่งข้อมูลคอนฟิกให้ เพียงแต่ต้องเขียนโปรแกรมเพื่อส่งโปรแกรมคอนฟิกให้เพิ่ม ลักษณะการต่อในแบบนี้เป็นเป็นดังรูปที่ 2.4 ซึ่งในแบบนี้ไมโครคอมพิวเตอร์จะสร้างสัญญาณเพื่อทำการคอนฟิกให้กับอุปกรณ์ FPGA การป้อนโปรแกรมคอนฟิกให้ FPGA ทำได้โดยต่อสัญญาณ Strobe เข้ากับขา CCLK และพอร์ต DO เข้ากับขา DIN สร้างสัญญาณนาฬิกาป้อนที่ขา CCLK และป้อนโปรแกรมคอนฟิกแบบอนุกรมเข้าที่ขา DIN ดังแผนภูมิในรูปที่ 2.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 การต่อใช้งานในแบบสเลฟซีเรียล



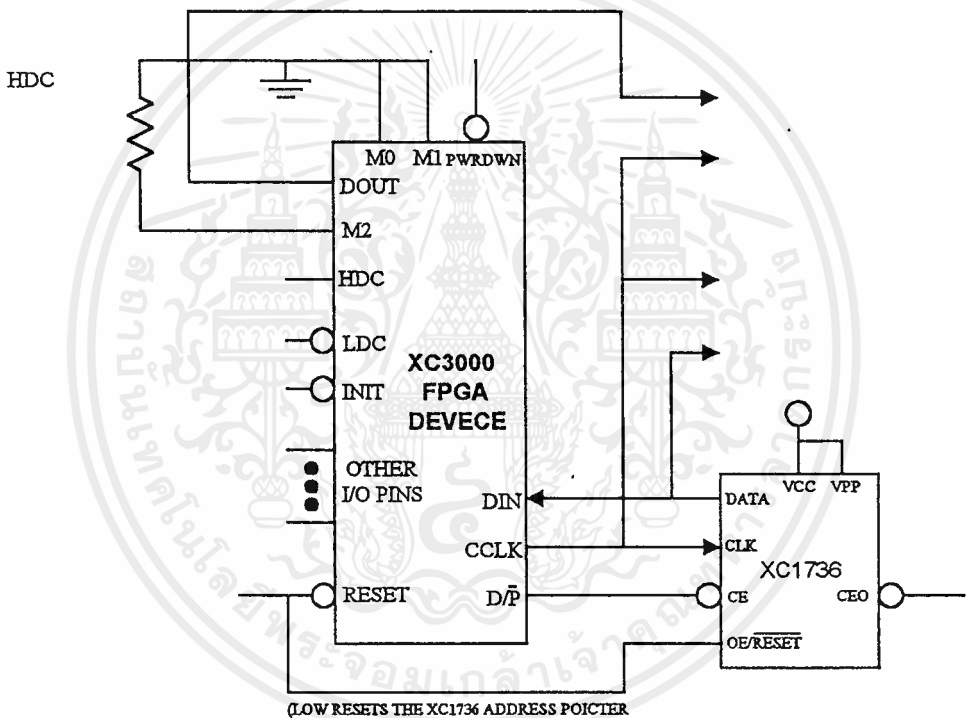
รูปที่ 2.5 แผนภูมิเวลาการป้อนข้อมูลโปรแกรมคอนฟิกในแบบสเลฟซีเรียล

**การใช้งานในแบบมาสเตอร์ซีเรียล (Master Serial)**

การต่อใช้งานในแบบนี้ ส่วนที่เก็บโปรแกรมคอนฟิกจะต่างจากแบบแรกคือใช้ PROM XC17xxx เป็นตัวเก็บโปรแกรม ทำให้ไม่ต้องเสียเวลาเขียนโปรแกรมเพื่อทำการคอนฟิก ซึ่งวิธีการอัปเดตโปรแกรมคอนฟิกลง PROM ทำตามขั้นตอนดังนี้คือ เมคบิต (MakeBits) สร้าง BIT ไฟล์จากวงจรที่ออกแบบ และใช้โปรแกรม MakePROM สร้าง Hex

ไฟล์ แล้วทำการอัดโปรแกรมลง PROM ด้วยอุปกรณ์อัด PROM ที่มาพร้อมกับตัวโปรแกรมของไซลิงก์ (Xilinx)

แบบนี้ PROM XC17xxx จะส่งสัญญาณเพื่อทำการคอนฟิกให้กับอุปกรณ์ FPGA ดังแสดงในรูปที่ 2.6 DIN เป็นขารับข้อมูลที่ใช้ในการคอนฟิกแบบอนุกรม ส่วนอุปกรณ์ FPGA จะกำเนิดสัญญาณ CCLK ให้กับ PROM เพื่อเป็นจังหวะในการอ่านข้อมูลโปรแกรมคอนฟิกมาไว้ในสแตติกแรม (Static RAM)

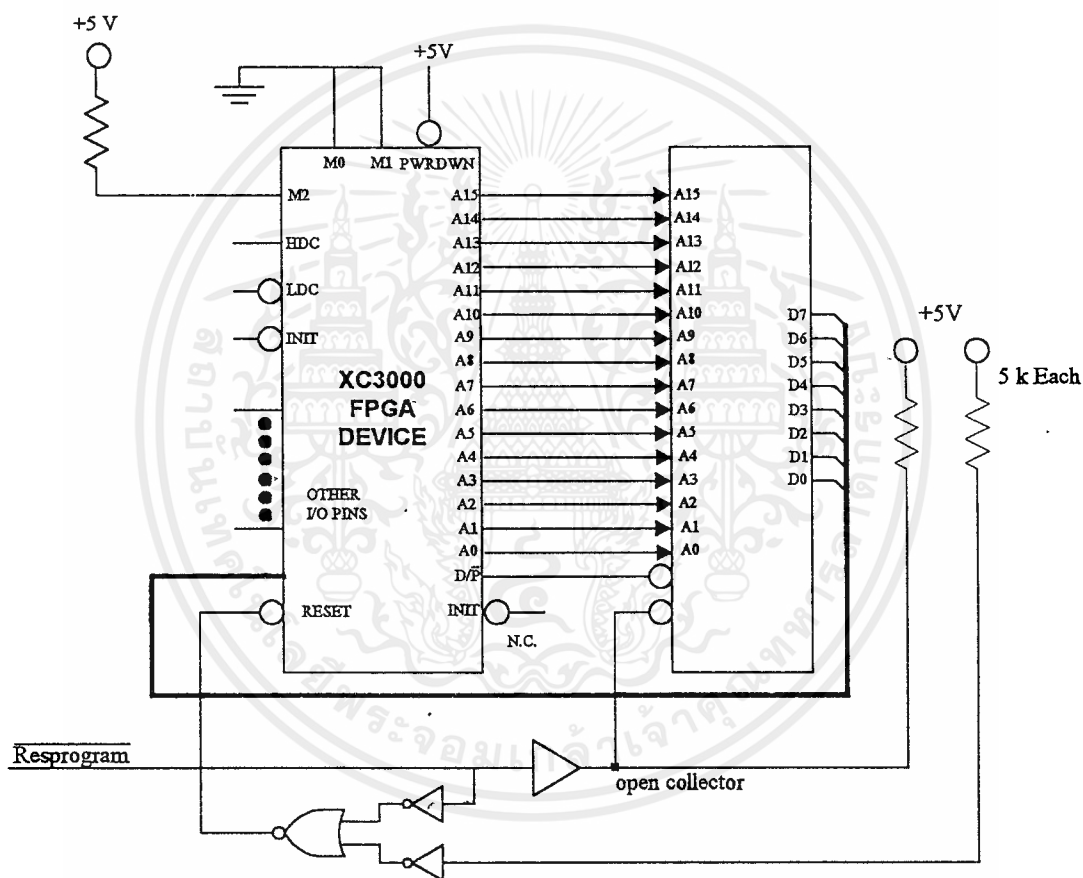


รูปที่ 2.6 การต่อใช้งานในแบบมาสเตอร์ซีเรียล

### การใช้งานในแบบมาสเตอร์พาราเรล (Master Parallel)

การต่อใช้งานในแบบนี้ ส่วนที่เก็บโปรแกรมคอนฟิกจะต่างจากแบบมาสเตอร์ซีเรียลคือใช้ EPROM 27xxx เป็นตัวเก็บโปรแกรม ทำให้ไม่ต้องเสียเวลาเขียนโปรแกรมเพื่อทำการคอนฟิก ซึ่งวิธีการอัดโปรแกรมคอนฟิกลง EPROM ทำได้โดยใช้โปรแกรม MakePROM ใน XACT สร้าง Hex ไฟล์ MCS แล้วทำการอัดโปรแกรมลง EPROM ด้วยอุปกรณ์อัด EPROM ที่มีใช้ทั่วไป

แบบนี้ EPROM 27xxx จะส่งสัญญาณที่ละไบต์เพื่อทำการคอนฟิกให้กับอุปกรณ์ FPGA ดังแสดงในรูปที่ 2.7 D0-D7 เป็นขารับข้อมูลที่ใช้ในการคอนฟิกแบบขนานนี้ A0-A15 เป็นตำแหน่งที่ FPGA สร้างให้กับ EPROM เพื่ออ่านข้อมูลจากหน่วยความจำ (โปรแกรมคอนฟิก) มาเก็บไว้ในสแตติกแรม ตำแหน่งทั้ง 16 เส้นไม่จำเป็นต้องต่อครบก็ได้ขึ้นอยู่กับขนาดหน่วยความจำ EPROM ที่ใช้ และสามารถกำหนดให้นับขึ้นหรือลงก็ได้



รูปที่ 2.7 การต่อใช้งานในแบบมาสเตอร์พาราเรล

### ข้อควรระวังในการใช้ FPGA

สิ่งแรกที่สำคัญคือ ไอซีกลัวความร้อนเป็นที่สุด การบัดกรีโดยหัวแร้งกำลังสูง หรือ บัดกรีโดยจี้หัวแร้งที่ขาไอซีนานๆ จะทำให้ไอซีเสียหายได้ง่าย ระยะเวลาในการบัดกรีหนึ่งจุดไม่ควรเกิน 5-10 วินาที ควรใช้ซ็อกเกต (Socket) ไอซีในการประกอบวงจรลงแผ่นปริ้นต์

เอกสารนี้เป็นเอกสารป้องกันแหล่งจ่ายไฟให้ไอซีไม่ควรฝัดขั้วที่นั่น ถ้าสลับขั้วบวกหรือลบกันจะทำให้ค่าไม่เท่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไอซีเสียได้ นอกจากนั้นแรงดันของแหล่งจ่ายไฟต้องอยู่ในช่วงที่โรงงานกำหนดมา สำหรับ FPGA แรงดันที่ไอซีอยู่ในช่วงทำงานได้  $V_{cc} = 4.75-5.25$  โวลต์ และแรงดันที่ทนได้อยู่ในช่วง  $-0.5 - 7$  โวลต์ ดังนั้นก่อนป้อนแรงดันควรตรวจเช็คให้แน่ใจก่อน

การต่อวงจรผิดที่มีผลให้ไอซีเสียหายทันทีได้แก่ การต่อเอาต์พุตของไอซีไปเข้าขั้วบวกหรือลบของแหล่งจ่ายไฟโดยตรง ไอซีทีทีแอล (TTL) ในขณะที่ CMOS ยังพอทนได้บ้าง เพราะมีการจำกัดกระแสขาออกอยู่ภายในตัว ดังนั้นก่อนป้อนแรงดันเข้าไอซีควรตรวจดูบริเวณเอาต์พุตของไอซีด้วย

อีกประการหนึ่งที่ไอซีประเภท MOS กลัวมากที่สุดคือ ไฟฟ้าสถิต ขาที่เป็นอินพุต ใด้ง่ายที่สุดคือขาอินพุต ความต้านทานขาเข้าของขาอินพุตของไอซีประเภทนี้มักจะสูงมากจนมีคุณสมบัติเหมือนกับเป็นฉนวนที่ขาอินพุตนี้อาจรับไฟฟ้าสถิตย์จากที่ใดมาเก็บไว้ เมื่อสะสมไว้มากๆ ไม่มีทางระบายออกก็จะทำให้วงจรบริเวณอินพุตเสียหายได้ ในปัจจุบันเทคโนโลยีการผลิตไอซีเจริญรุดหน้าไปมาก ทางค่านินพุตของไอซี MOS จะมีวงจรป้องกันไว้ภายใน อย่างไรก็ตามเพื่อป้องกันเหตุการณ์ดังกล่าวควรเก็บรักษาไอซีที่ถูกต้องและควรเก็บไว้ในที่ปลอดภัยจากไฟฟ้าสถิตโดยเก็บไว้ในบรรจุภัณฑ์แบบนำกระแสได้หรือห่อหุ้มด้วยกระดาษอลูมิเนียม

ไอซีประเภท CMOS มีความต้านทานขาเข้าสูงมาก กระแสจึงไม่ไหลจากแหล่งจ่ายไฟเข้าไปที่ขาอินพุตของ CMOS นั้นถึงแม้จะต่อความต้านทานคั่นกลางอยู่ แรงดัน 5 โวลต์จากแหล่งจ่ายไฟก็ยังป้อนเข้าขาอินพุต 5 โวลต์ โดยที่ไม่มีแรงดันตกคร่อมบนตัวต้านทานเลย ถ้ามีกระแสไหลแสดงว่าไอซีตัวนั้นเสีย เอาต์พุตของไอซี CMOS อยู่ในสภาวะ "1" จะสามารถขับโหลดได้หลายมิลลิแอมป์ และถ้าเอาต์พุตอยู่ในสภาวะ "0" ก็สามารถจะรับกระแสไหลเข้าได้หลายมิลลิแอมป์

## 2.2 การใช้ซอฟต์แวร์ของบริษัทวิวลอจิกและของบริษัทไซลิงค์

### 2.2.1 ขั้นตอนในการออกแบบและจำลองการทำงานโดยใช้ซอฟต์แวร์ของบริษัท

#### วิวลอจิก

เริ่มต้นกำหนดไลบรารีที่ต้องการจะใช้ให้เป็น FPGA ตระกูล XC4000 และใช้โปรแกรมวาดวงจรเขียนวงจร จากนั้นแปลงไฟล์ที่เป็นผังวงจรเป็น Wirlist เพื่อนำไปจำลองการทำงานโดยโปรแกรม Vivisim และใช้วีวเทรสเพื่อดูรูปร่างของสัญญาณที่ขาอินพุตและเอาต์พุต โดยรับสัญญาณอินพุตที่ผู้ออกแบบวงจรได้สร้างไว้ เพื่อทดสอบวงจรให้ได้ตรงกับความต้องการ ซึ่งมีหลายวิธีโดยอาจจะป้อนที่ละคำสั่งหรือเขียนเป็นคำสั่งต่อๆ กันเก็บไว้ในรูปของไฟล์ข้อความนามสกุล .CMD

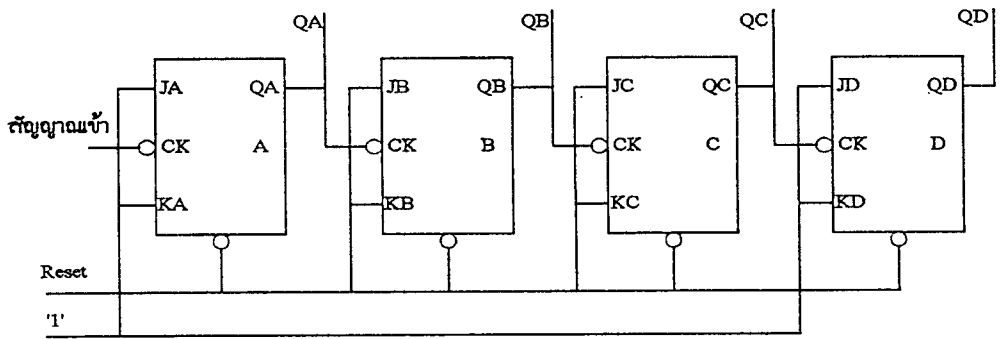
### 2.2.2 ขั้นตอนในการทดสอบวงจรโดยใช้ซอฟต์แวร์ของบริษัทไซลิงค์

สร้างแม่พิมพ์จากเน็ตลิส(Netlist) โดยใช้โปรแกรม XNFMAP และใช้โปรแกรม MAP2LCA สร้างไฟล์ .LCA ซึ่งสามารถแก้ไขได้โดยผู้ออกแบบหรือใช้โปรแกรม APR(Automatic Place and Route) จัดการให้อัตโนมัติ ในขั้นตอนทั้งหมดที่กล่าวมาข้างต้นสามารถใช้โปรแกรม XMAKE จากนั้นแปลงไฟล์จาก .LCA เป็น .BIT โดยโปรแกรม Makebit จากนั้นแปลงเป็น Intel Hex File เพื่อใช้เป็นคอนฟิกให้กับ FPGA ในกรณีที่ทดสอบวงจรในแบบมาสเตอร์พาราเรลหรือแปลงเป็นบิตสตรีม เพื่อใช้โปรแกรมลงบน PROM ตระกูล XC17xxx ซึ่งเป็นตัวโหลดโปรแกรมคอนฟิกให้กับอุปกรณ์ FPGA ในกรณีที่ทดสอบวงจรในแบบมาสเตอร์ซีเรียล เพื่อให้จำลองการทำงานของวงจรสมบูรณ์มากยิ่งขึ้น หลังจากที่ได้อไฟล์ที่มีโครงสร้างเป็น .LCA แล้วโดยใช้ซอฟต์แวร์แปลงกลับไปเป็นผังวงจรเพื่อจำลองการทำงานใหม่อีกครั้ง ให้ผลการจำลองตรงกันกับครั้งแรกที่จำลองการทำงาน ซึ่งข้อดีของผังวงจรใหม่ที่สร้างขึ้นนี้เปรียบเสมือนการยวบวงจรให้มันเอง

## 2.3 ทฤษฎีเกี่ยวกับวงจรดิจิทัล

### 2.3.1 วงจรนับแบบริบเบิล (Ripple Counter)

เป็นวงจรนับพื้นฐานที่ใช้กันแพร่หลาย ง่ายต่อการออกแบบ เช่นในรูปที่ 2.8 เป็นวงจรนับแบบริบเบิล สามารถนับได้ตั้งแต่ 0-15 ประกอบด้วย เจเคฟลิปฟล็อปจำนวน 4 ตัว โดยต่อขาเจและเคไว้กับลอจิก “1” ทำให้เจเคฟลิปฟล็อปเป็นที่ฟลิปฟล็อป



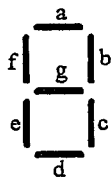
รูปที่ 2.8 วงจรนับแบบริบเบิลจำนวน 4 บิต

ฟลิปฟล็อป A เปลี่ยนสถานะทุกๆ ครั้งเมื่อสัญญาณเข้าเปลี่ยนจาก “1” ไป “0” และฟลิปฟล็อป B ถูกกระตุ้นโดยสัญญาณออกที่มาจากฟลิปฟล็อป A จะเปลี่ยนสถานะเมื่อสัญญาณออกจาก A เปลี่ยนจาก “1” ไป “0” และในทำนองเดียวกันฟลิปฟล็อป C และ D จะเปลี่ยนสถานะเมื่อถูกกระตุ้นโดยสัญญาณที่ออกมาจากฟลิปฟล็อป B และ C

### 2.3.2 อุปกรณ์แสดงผล

อุปกรณ์แสดงผลคืออุปกรณ์อิเล็กทรอนิกส์ที่ใช้เปลี่ยนสัญญาณทางไฟฟ้าให้เปล่งแสงออกเพื่อใช้แสดงการทำงานทางลอจิกของระบบดิจิทัล อุปกรณ์เหล่านี้ใช้แสงระดับของลอจิกได้แก่หลอด ไลโอดเปล่งแสง (LED หรือ Light Emitting Diode) แผงไลโอดเปล่งแสง 7 ส่วน (7-Segment LED Display) และอื่นๆ

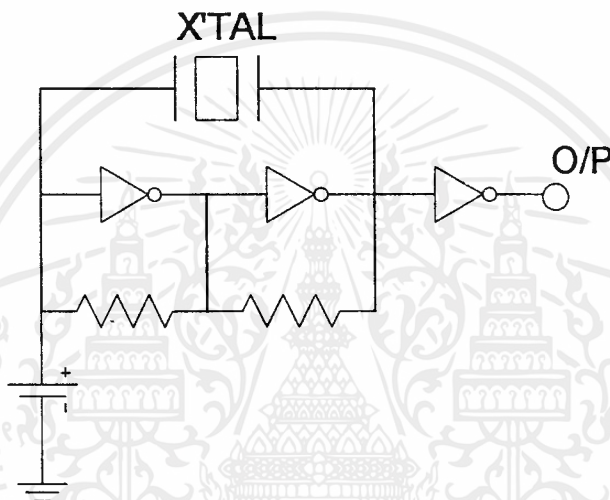
แผงแสดงตัวเลข 7 ส่วน คือ การนำเอาไลโอดเปล่งแสงมาเรียงกัน 7 ส่วน โดยในแต่ละส่วนคือ LED 1 ตัว มีต้องการให้ส่วนใดสว่างก็ป้อนแรงดันไฟตรงแก่ส่วนนั้น รูปที่ 2.9 แสดงรูปร่างและชื่อของส่วนต่างๆ



รูปที่ 2.9 รูปร่างและชื่อส่วนต่างๆ ของแผงแสดงผลตัวเลข 7 ส่วน

### 2.3.3 วงจรกำเนิดความถี่ (Oscillator)

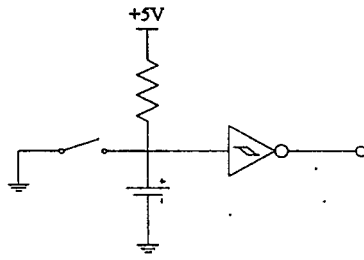
ได้มีการนำเอาวงจรถูกกำเนิดสัญญาณพัลส์ไปใช้ในวงงานต่างๆ มากมาย ในบางครั้งเราต้องการวงจรถูกกำเนิดสัญญาณที่ให้ประสิทธิภาพและมีความแน่นอนของความถี่ที่สร้างสูง ในการสร้างวงจรถูกกำเนิดสัญญาณที่ให้ประสิทธิภาพและมีความแน่นอนสูงนั้นเรามักใช้แท่งของผลึกเป็นตัวควบคุมความถี่ที่เราเรียกว่า วงจรถูกกำเนิดความถี่แบบผลึกควอทซ์



รูปที่ 2.10 วงจรถูกกำเนิดความถี่แบบผลึกควอทซ์

### 2.3.4 วงจรชmittริกเกอร์ (Schmitt Trigger)

สัญญาณบางชนิดนั้นอาจมีขอบขาขึ้น (Rise-time) ยาวมากและอาจทำให้เกิดปัญหาในวงจรดิจิทัลได้ เช่น เกิดแบบที่ที่แอลและวงจรถูกพลิกฟลิปฟล็อปนั้นสัญญาณอินพุตที่ป้อนเข้ามาจะต้องทำให้ไอซีอยู่ในช่วงการทำงานแบบแอคทีฟ (Active) ในช่วงระยะเวลาที่สั้นที่สุด เป็นเศษส่วนของสิบของเวลาเป็นนาโนวินาที เพราะหากการทำงานอยู่ในช่วงแอคทีฟนานเกินไป อาจมีสัญญาณรบกวนหรือการออสซิลเลชัน (Oscillation) ที่เราไม่ต้องการให้เกิดขึ้น ทำให้เอาต์พุตที่ออกมาเกิดผิดพลาดไป ในหลายๆ กรณีนั้นที่เราจะต้องทำก็คือการเปลี่ยนสัญญาณที่มีการเปลี่ยนอย่างช้าๆ ให้เกิดการเปลี่ยนแปลงเร็ว โดยการคักจากระดับแรงดัน วงจรถูกทำงานในลักษณะนี้เรียกว่าวงจรถูกชmittริกเกอร์



รูปที่ 2.11 วงจรขมิตริกเกอร์



## บทที่ 3

### การออกแบบและการสร้าง

ในปัจจุบันนี้ได้มีการแข่งขันกันทางด้านอิเล็กทรอนิกส์สูงมาก ทางด้านผู้ผลิตได้พยายามพัฒนาคุณภาพผลิตภัณฑ์ของตนเองให้สะดวกและรวดเร็วที่สุด

#### 3.1 ลักษณะของการออกแบบ

##### 3.1.1 การออกแบบจากล่างขึ้นบน (Bottom Up Design)

ซึ่งในอดีตถึงปัจจุบันการออกแบบในระบบดิจิทัลจะเป็นลักษณะที่เรียกว่า “ การออกแบบจากล่างขึ้นบน” (Bottom-Up Design) คือผู้ออกแบบจะเริ่มต้นกำหนดหัวข้องานแล้วให้หลักการทางทฤษฎีแบ่งออกเป็นฟังก์ชันการทำงานต่างๆ แล้วเริ่มต้นออกแบบเมื่อได้วงจรตามที่ต้องการแล้วจะต้องหาอุปกรณ์มาตรฐานต่างๆ เช่น IC 74LSXX เป็นต้น เพื่อนำมารองรับฟังก์ชันการทำงานต่างๆ ถ้าไม่สามารถหาอุปกรณ์ได้ก็ต้องออกแบบหรือคัดแปลงวงจรใหม่ และในขั้นสุดท้ายก็ต้องทดลองจากวงจรจริง

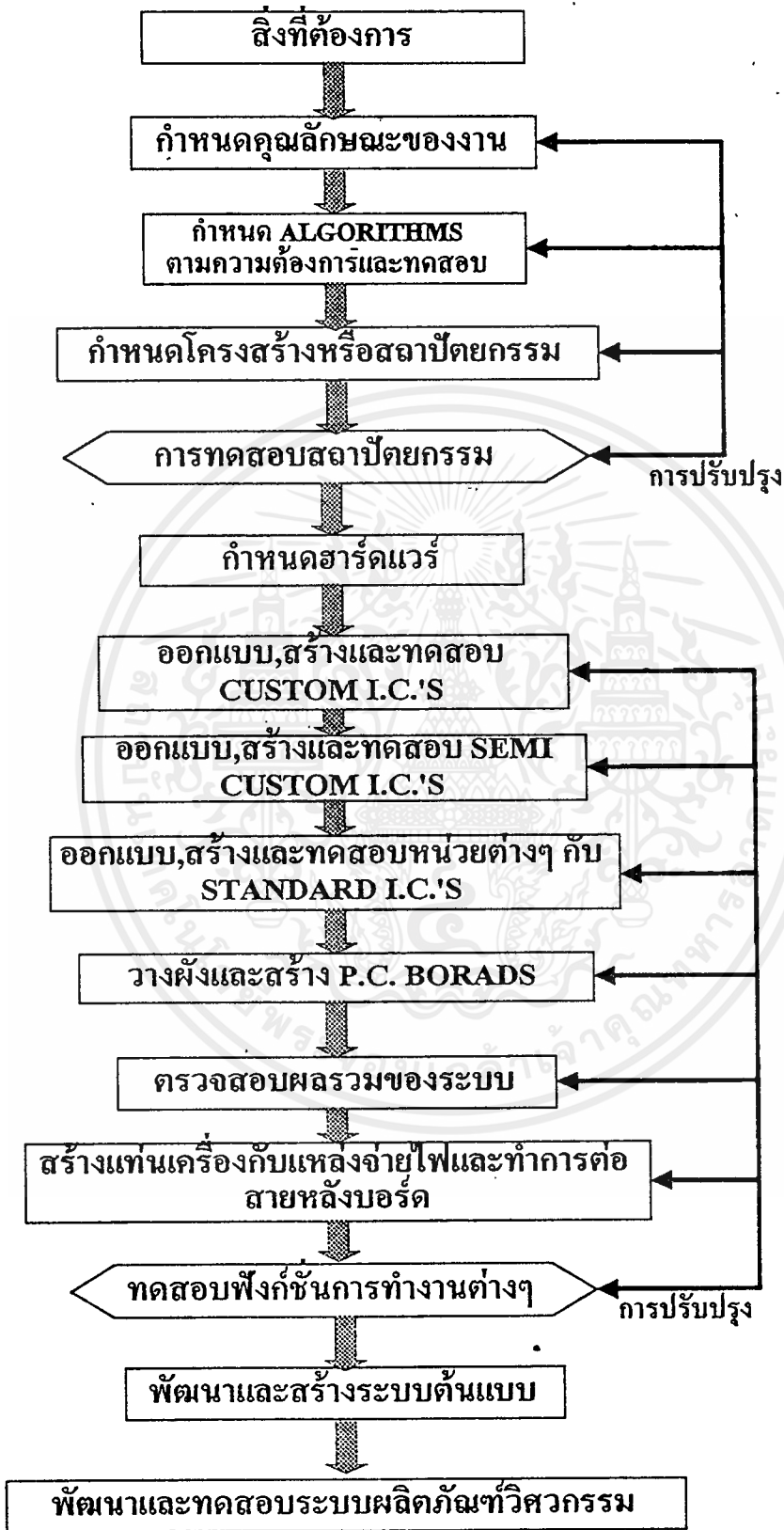
##### 3.1.2 การออกแบบจากบนลงล่าง (Top Down Design)

จากการออกแบบในหัวข้อที่ 3.1.1 นั้นในกรณีที่การทำงานของวงจรไม่ตรงตามข้อกำหนดก็ต้องออกแบบและประกอบวงจรใหม่อีกครั้ง ซึ่งจะเห็นว่าขั้นตอนและกระบวนการดังกล่าวยุ่งยากและใช้เวลามาก ดังนั้นในการออกแบบวงจรสมัยใหม่สามารถจะออกแบบระบบดิจิทัลได้จากแนวคิดโดยสังเขป โดยวิธีการเขียนรูปแบบแล้วทดลองการทำงานของรูปแบบนั้นจนเป็นที่พอใจ แล้วค่อยๆ เพิ่มเติมรายละเอียดของระบบไปที่ละขั้น ซึ่งในแต่ละขั้นตอนสามารถที่จะจำลองการทำงานภายใต้สภาพแวดล้อมได้ ทำให้ไม่มีโอกาสที่รูปจะทำงานผิดพลาดประสงค์เดิม ซึ่งเมื่อผิดพลาดก็สามารถแก้ไขได้ทันที หลังจากนั้นจึงนำไปลงอุปกรณ์จริงภายหลัง การออกแบบในลักษณะนี้เรียกว่า “ การออกแบบจากบนลงล่าง” (Top-Down Design) ซึ่งลดเวลาในการพัฒนาได้มาก

#### 3.2 วิธีการออกแบบ

การออกแบบวงจรมีขั้นตอนการออกแบบดังแสดงในรูปที่ 3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 ขั้นตอนในการออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับครูเชิงงานเพื่อการศึกษาเท่านั้น มิอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากขั้นตอนดังกล่าวนี้เราได้แยกการทำงานออกเป็น 3 ส่วนคือ

- การออกแบบวงจรหรือสิ่งที่ต้องการ (Desing Entry)
- การสร้างตามที่ได้ออกแบบไว้ (Design Implementation)
- การตรวจสอบการออกแบบ (Design Verification)

### 3.3 การออกแบบวงจรตั้งเวลา

จากวิธีการออกแบบในหัวข้อ 3.2 ดังนั้นในปริิญาณีพนธ์จึงกำหนดออกแบบวงจรตั้งเวลาโดยได้ทำการออกแบบวงจรตั้งเวลา 1 ช่องและสามารถปรับปรุงให้เป็นการตั้งเวลาแบบ 3 ช่องได้ โดยกำหนดการออกแบบด้วยซอฟต์แวร์ของบริษัทวิทลจิกและไซลิงค์โดยใช้วิธีในหัวข้อ 3.1.2 นั้นสามารถเขียนขั้นตอนการออกแบบ โดยอาศัยซอฟต์แวร์ดังกล่าวดังแสดงได้ดังรูป 3.2

#### 3.3.1 ข้อกำหนดรายละเอียดของวงจรตั้งเวลา 1 ช่องและ 3 ช่อง

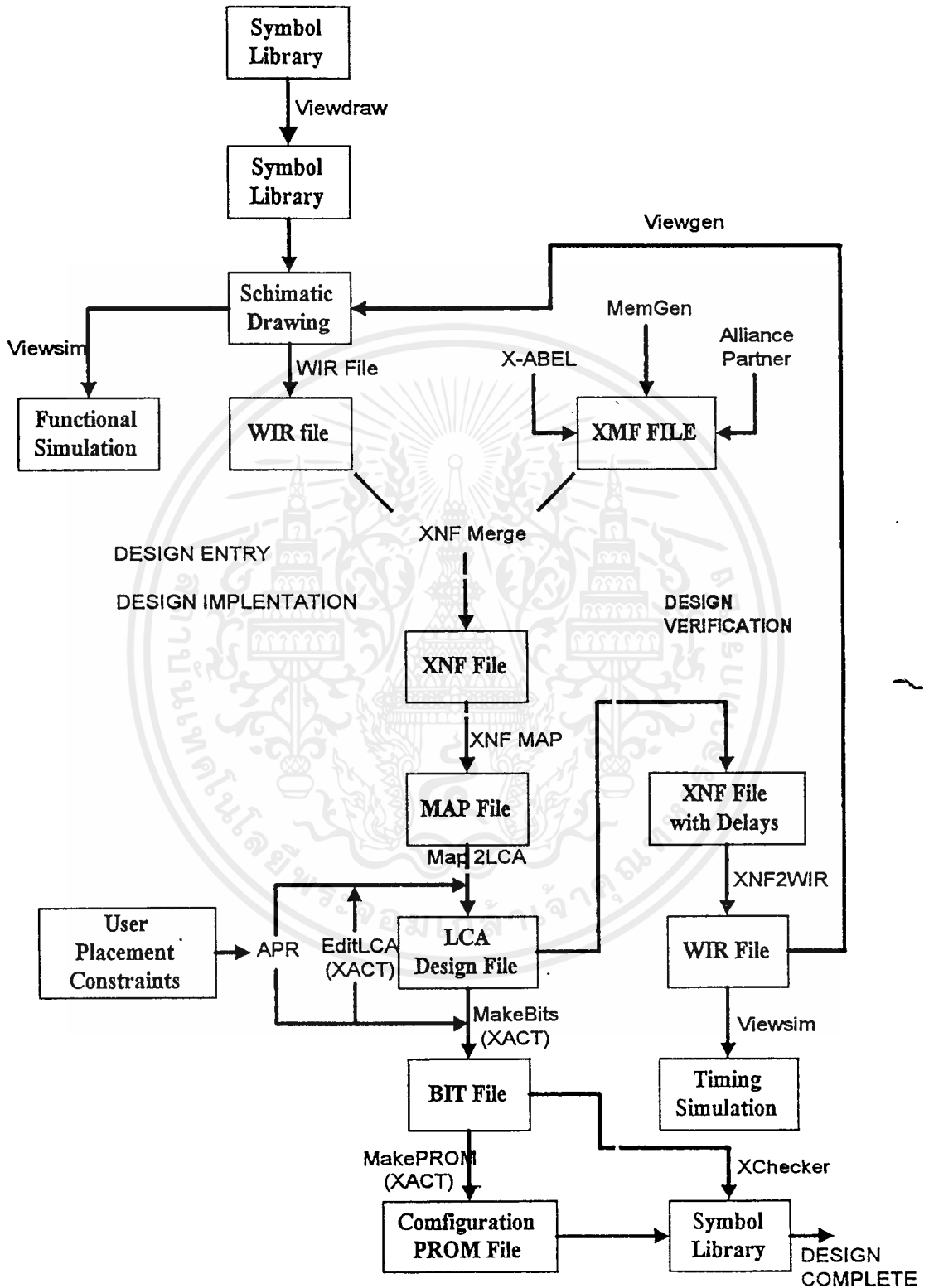
วงจรตั้งเวลา 1 ช่องที่จะทำการออกแบบได้กำหนดรายละเอียดไว้ดังนี้คือ

- แสดงผลการทำงานโดยใช้ส่วนแสดงผล 7 ส่วนได้
- แสดงผลการทำงานโดยใช้หลักการสแกน
- สามารถสลับหน้าจอกการทำงานระหว่างวงจรมับและวงจรตั้งเวลา
- วงจรสามารถตั้งเวลาได้ตั้งแต่ 1 วินาทีจนถึง 23 ชั่วโมง 59 นาที 59 วินาที
- วงจรตั้งเวลาสามารถตั้งแบบไม่กำหนดค่าได้จนกว่าจะทำการเคลียร์
- วงจรนั้นสามารถนับได้ตั้งแต่ 0 วินาทีจนถึง 23 ชั่วโมง 59 นาที 59 วินาที
- มีสวิตช์ควบคุมการทำงาน 5 สวิตช์
- สามารถสร้างได้ด้วยอุปกรณ์ FPGA
- สามารถตั้งเวลาได้ 1 ช่อง
- เมื่อตั้งเวลา หลักที่เราจะตั้งเวลาจะกระพริบเพื่อบอกให้เราทราบที่กำลังตั้งหลักนั้น

อยู่

- วงจรตั้งเวลาตั้งเวลา 3 ช่องเหมือนกับวงจรตั้งเวลา 1 ช่อง ต่างกันเพียงสามารถตั้งเวลา

ได้ 3 ช่อง

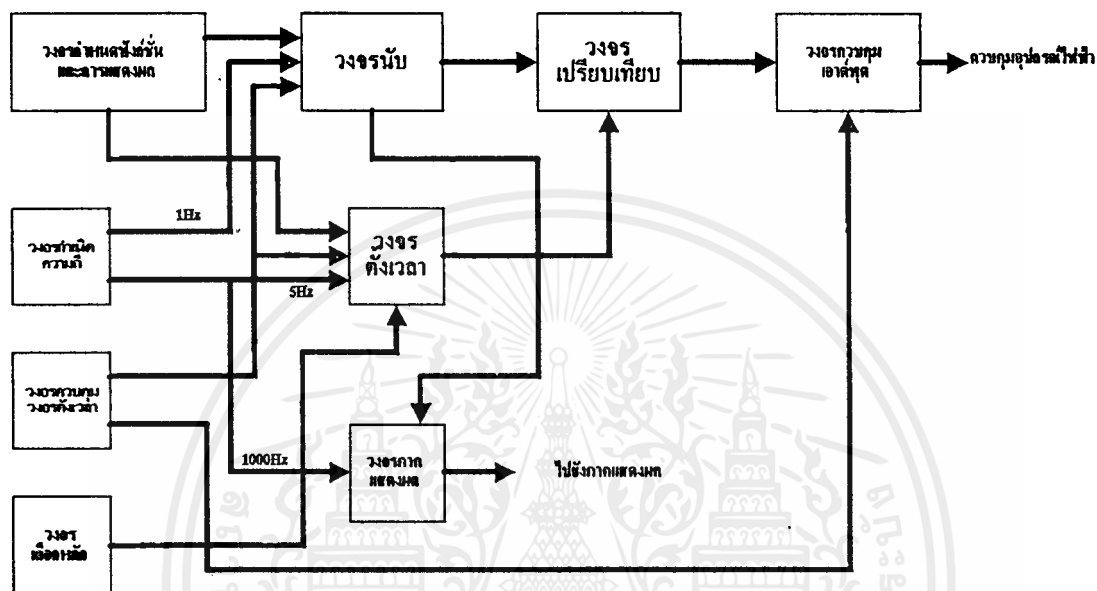


รูปที่ 3.2 ผังการทำงานของกรออกแบบวงจรโดยใช้ซอฟต์แวร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ภายในเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าของบริษัททิวอลจิกและของบริษัทไซลิงค์  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.3.2 ฟังก์ชันการทำงานของวงจรตั้งเวลา 1 ช่อง

ฟังก์ชันการทำงานของวงจรตั้งเวลา 1 ช่องที่ได้ออกแบบขึ้นมาแสดงได้ดังรูปที่ 3.3

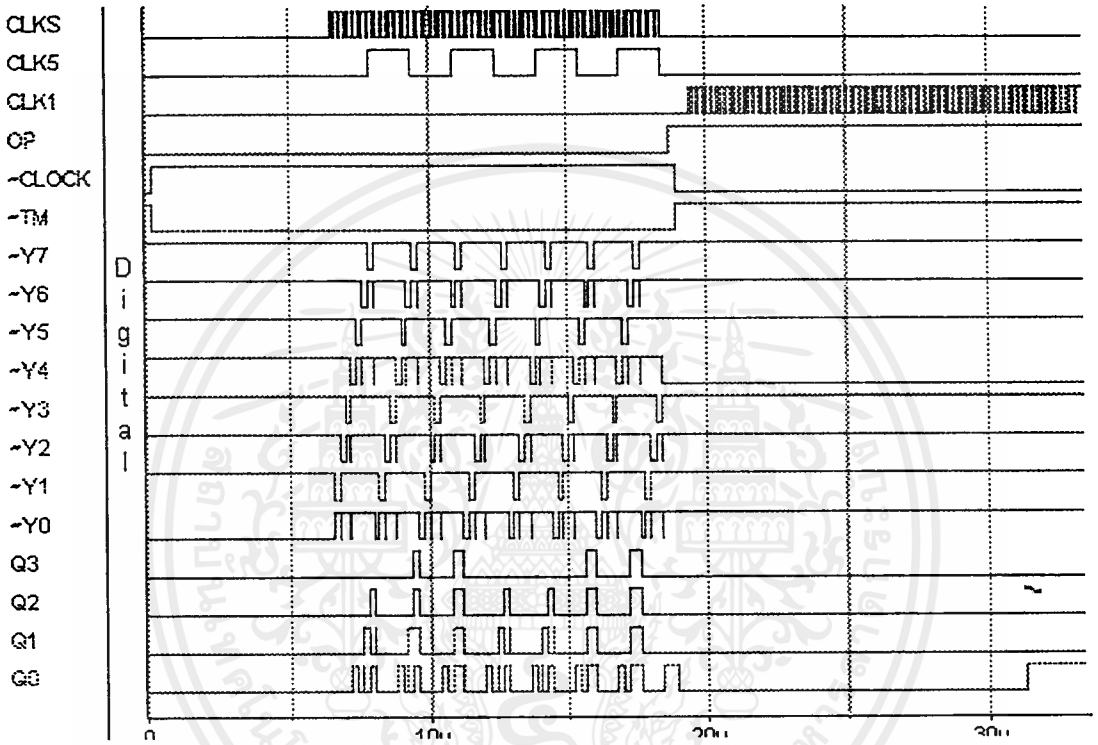


รูปที่ 3.3 ฟังก์ชันการทำงานของวงจรตั้งเวลา 1 ช่อง

จากรูปที่ 3.3 มีการทำงานดังนี้คือ เมื่อทำการเปิดเครื่องทุกวงจรจะทำการรีเซ็ตตัวเอง จากนั้นวงจรกำเนิดความถี่จะผลิตความถี่ขึ้นมา 3 ความถี่คือ 1 Hz สำหรับจ่ายให้วงจรถ่ายค่าเพื่อใช้เป็นสัญญาณพิกัดอ้างอิงในการนับ ความถี่ 5 Hz จะจ่ายให้กับวงจรถ่ายค่าเพื่อทำหน้าที่ที่ต้องการตั้งเวลาครบรอบ วงจรกำหนดฟังก์ชันและการแสดงผลจะใช้เป็นวงจรถ่ายค่าให้แสดงผลเป็นค่าของวงจรถ่ายค่าหรือวงจรถ่ายค่า และถ้าเลือกวงจรถ่ายค่าจะสามารถทำให้ตั้งเวลาของวงจรถ่ายค่าได้ วงจรถ่ายค่าของวงจรถ่ายค่าจะเป็นพวกสวิตช์ต่างๆ ที่ออกจากภายนอก FPGA เพื่อป้อนเป็นอินพุตให้กับ FPGA วงจรภาคแสดงผลจะทำหน้าที่แสดงผลโดยใช้ ส่วนแสดงผล 7 ส่วน โดยการสแกนโดยใช้ความถี่ 1,000 Hz วงจรถ่ายค่าจะเป็นตัวเก็บค่าเวลาที่ตั้งไว้ ส่วนของวงจรถ่ายค่าจะทำการนับความถี่ 1 Hz ซึ่งก็คือ 1 วินาทีนั่นเอง เมื่อทำการตั้งเวลาเสร็จและให้วงจรถ่ายค่าเริ่มทำงานนับเท่ากับวงจรถ่ายค่า แล้ววงจรถ่ายค่าจะให้เอาต์พุตเพื่อทำให้วงจรถ่ายค่าหยุดทำงาน

เอกสารนี้เป็นเอกสารรูปที่ 3.3 เราสามารถออกแบบวงจรได้ดังรูปในภาคผนวก ก็นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรการทำงานในรูปแบบในภาคผนวก ก การออกแบบโดยใช้ซอฟต์แวร์ VSM และทำการรันไฟล์ที่เป็น .CMD ในซอฟต์แวร์วีวลจิก และใช้วิวเทรซ (Viewtrace) เป็นตัวแสดงผลของสัญญาณต่างๆ ดังในรูปที่ 3.4 ของวงจรตั้งเวลา 1 ช่อง



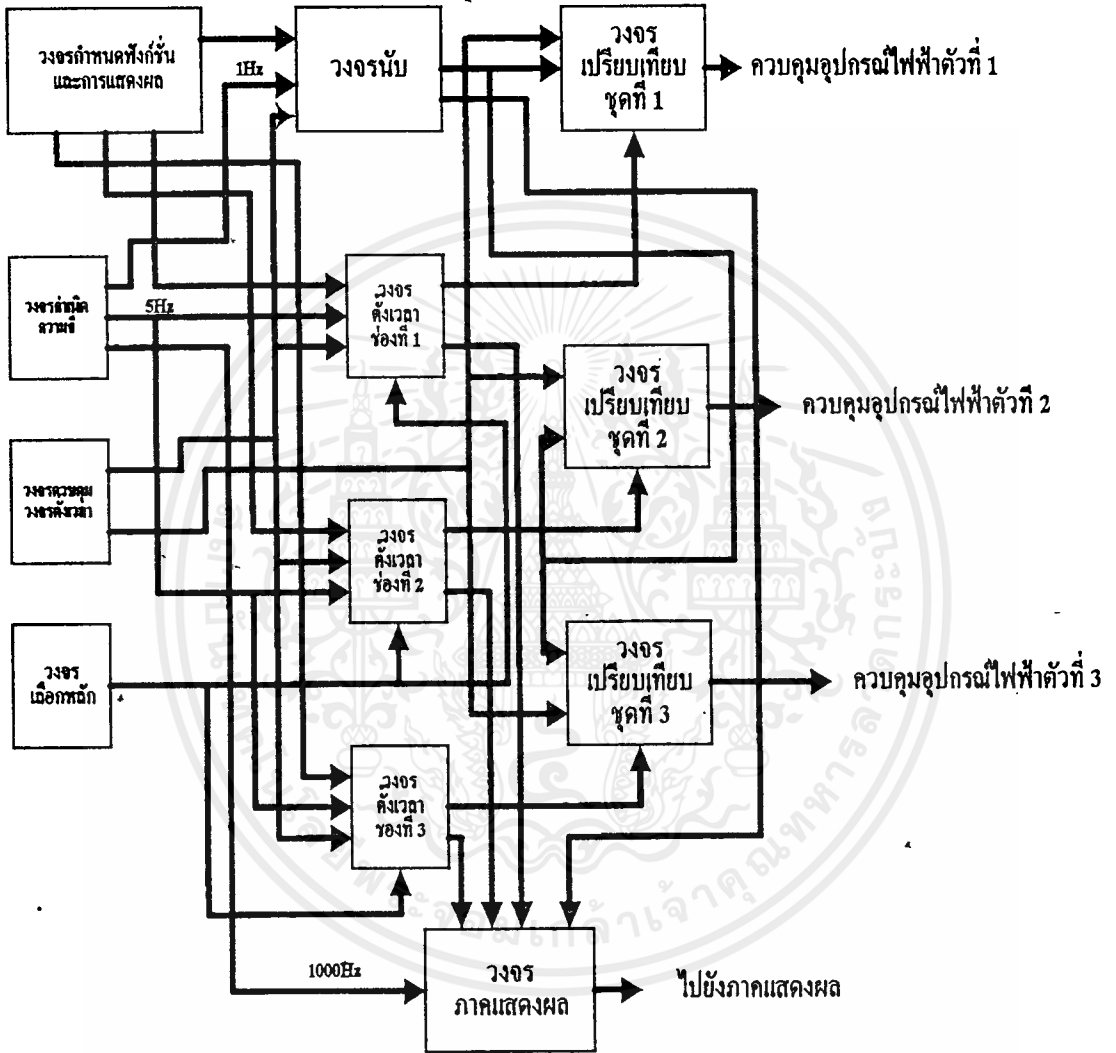
รูปที่ 3.4 ผลของการใช้วิวเทรซ จะแสดงสัญญาณต่างๆ ของวงจรตั้งเวลา 1 ช่อง

### 3.3.3 ฟังก์ชันการทำงานของวงจรตั้งเวลา 3 ช่อง

ฟังก์ชันการทำงานของวงจรตั้งเวลา 3 ช่องที่ได้ออกแบบขึ้นมาแสดงได้ดังรูปที่ 3.5

จากรูปที่ 3.5 มีการทำงานดังนี้คือ เมื่อเปิดเครื่อง ทุกวงจรจะทำการรีเซตตัวเอง จากนั้นวงจรกำเนิดจะผลิตความถี่ขึ้นมา 3 ความถี่ คือ 1 Hz สำหรับจ่ายให้กับวงจรนับ ส่วนความถี่ 5 Hz สำหรับวงจรตั้งเวลาทุกช่อง เพื่อให้ครบรอบ ขณะทำการตั้งเวลาถ้าต้องการตั้งหลักใดก็กดสวิทซ์ที่วงจรเลือกหลัก จนกว่าจะครบรอบที่หลักนั้น วงจรภาคแสดงผลจะทำหน้าที่แสดงผลโดยใช้ส่วนแสดงผล 7 ส่วนโดยการสแกนโดยใช้ความถี่ 1,000 Hz วงจรตั้งเวลาจะเป็นตัวเก็บค่าเวลาที่ตั้งไว้ ส่วนวงจรนับจะทำการนำความถี่ 1 Hz ซึ่งก็คือหลักวินาทีนั่นเอง เมื่อตั้งเวลาเสร็จทุกช่องหรือเฉพาะช่องที่ต้องการ และกดสวิทซ์เพื่อให้วงจรนับเริ่มทำงาน ถ้าไม่ทำการนี้ใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อค่าในวงจรมับเท่ากับเวลาของช่องที่ตั้งไว้ช่องใด วงจรเปรียบเทียบจะให้เอาต์พุตเป็น “L” ที่วงจรควบคุมเอาต์พุตเพื่อให้วงจรควบคุมเอาต์พุตหยุดทำงาน

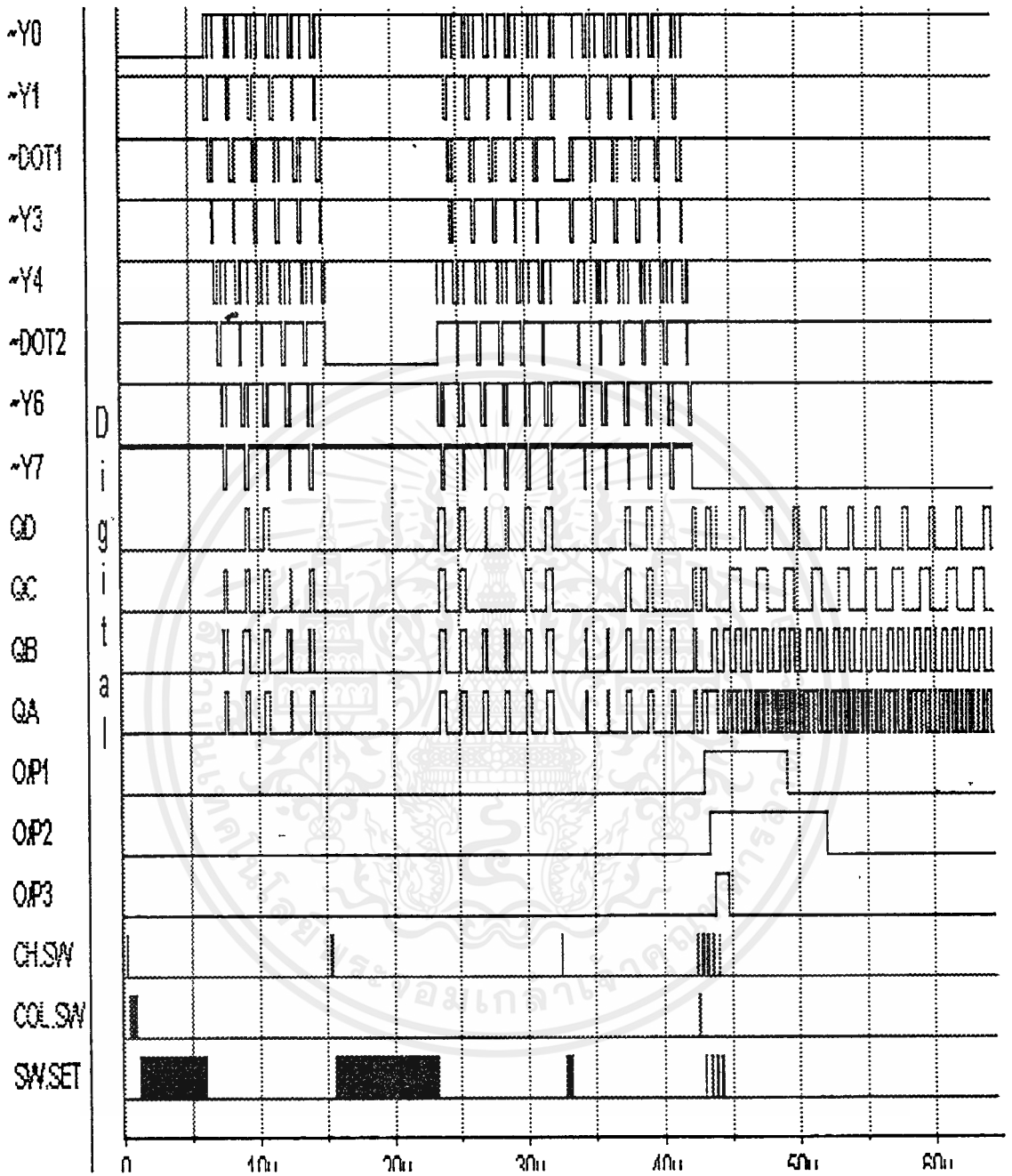


รูปที่ 3.5 ผังการทำงานของเครื่องตั้งเวลา 3 ช่อง

จากวงจรในรูปที่ 3.5 เราสามารถออกแบบวงจรได้ดังรูปในภาคผนวก ข

จากวงจรการทำงานในรูปในภาคผนวก ข การออกแบบโดยใช้ซอฟต์แวร์ VSM และทำการรันไฟล์ .CMD ในซอฟต์แวร์วีลจิกและใช้วีเทรสเป็นตัวแสดงผลของสัญญาณต่างๆ ของวงจรตั้งเวลา 3 ช่อง ดังแสดงในรูปที่ 3.6

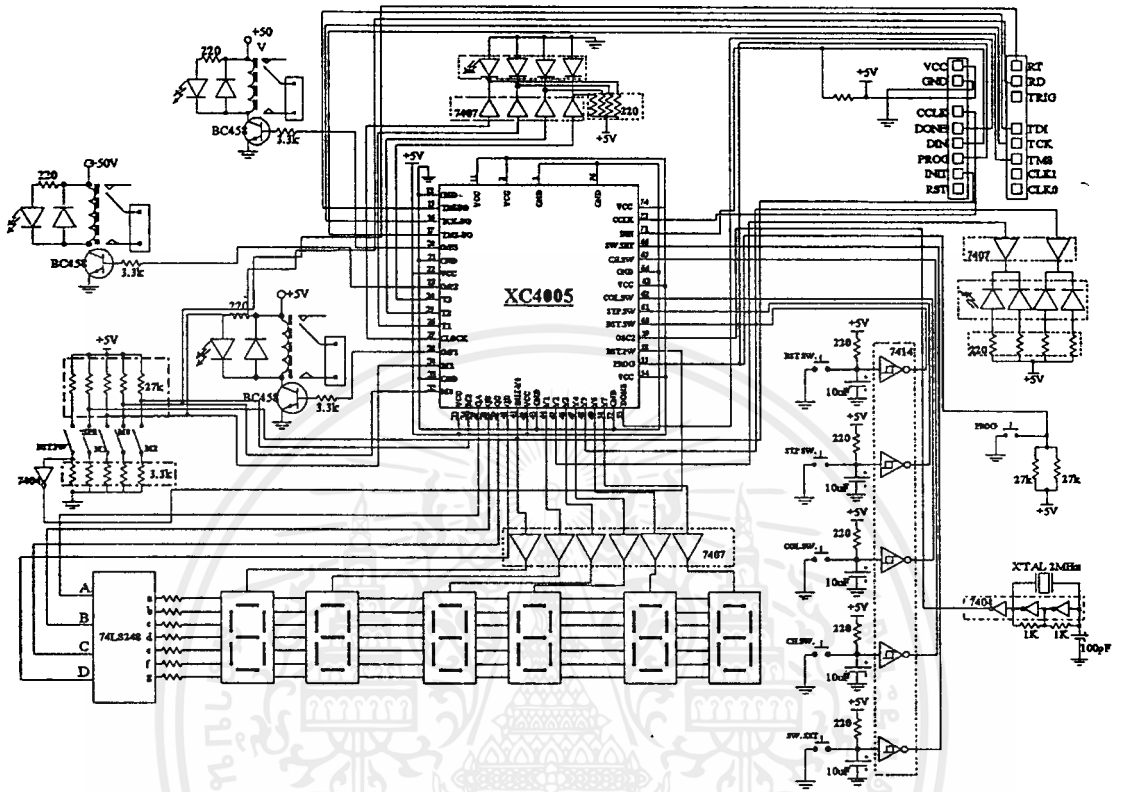
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 ผลของการใช้วีลเทรสจะแสดงสัญญาณต่างๆ ของวงจรตั้งเวลา 3 ช่อง

### 3.4 บอร์ดตัวอย่างของ FPGA

สำหรับบอร์ดที่ใช้ในการทดสอบวงจรตั้งเวลานั้น จะทำเป็นแบบบอร์ดตัวอย่างของ FPGA ซึ่งจะทำการโปรแกรมผ่านทางคาน์โพลดเคเบิล (Download Cable) แสดงดังรูปที่ 3.7 เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 วงจรของบอร์ดตัวอย่างของ FPGA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(Download Cable) เป็นตัวส่งองค์ประกอบซึ่งเป็นบิตสตรีมให้กับ FPGA XC4003APC84-6 ซึ่งจะเป็นไฟล์ .BIT ซึ่งขั้นตอนการสร้างไฟล์สามารถทำได้ตามขั้นตอนต่างๆ ดังต่อไปนี้

#### 4.1.1 การกำหนดองค์ประกอบให้กับ XDM และ XMAKE

ใน XDM ( XACT Design Manager) นั้น XMAKE จะทำการแปลงโปรแกรมส่วนต่างๆ โดยอัตโนมัติโดยใช้กระบวนการของ Xilinx (Xilinx design flow) ในการทำกระบวนการออกแบบที่สลับซับซ้อน เช่นในการทำโปรแกรมหนึ่งต้องป้อนชื่อในชั้น (level) สูงสุดของสกีแมททิกที่วาดไว้ แล้ว XMAKE จะทำการค้นหาและกระทำทุกๆ ชั้นที่ต่ำลงมาของการออกแบบ (lower-level drawing) ซึ่งจะได้ไฟล์ LCA ที่ทำการจัดวางและหาเส้นทางแล้ว และให้ไฟล์นามสกุล .BIT ออกมาซึ่งพร้อมที่จะดาวน์โหลดลง FPGA

ใช้ XDM ทำการกำหนดองค์ประกอบให้กับ XMAKE จะทำได้ดังนี้คือ

1. เข้าสู่โปรแกรม XDM

2. ตรวจสอบไดเรกทอรีที่ตั้งไว้ ในที่นี้ก็คือตัว PROJECT ไดเรกทอรีนั่นเอง ซึ่งจะแสดงที่มุมล่างด้านซ้ายของจอภาพ ถ้ายังไม่ได้กำหนดหรือตั้งไว้ไม่ถูกต้องให้คลิกที่ Directory: และใช้เมาส์เลือกไดเรกทอรีที่ต้องการ

3. ทำการคลิกบน Family : ที่มุมล่างด้านซ้ายของ Family ก็จะมีปรากฏซึ่งเราสามารถเลือกได้ ในที่นี้เราเลือก 4000APC84 สำหรับไฟล์ PJ1.1

4. จากเมนูหลักของ XDM เลือก Profile => Options => Xmake

5. เลือก -V (Verbose message mode) ซึ่ง Xmake จะให้ดูข้อมูลแสดงกระบวนการออกแบบ

6. เลือก Done => Done เพื่อกลับสู่เมนูหลักของ XDM

7. ทำการเก็บข้อมูล (Save) ทุกอย่างที่ได้เปลี่ยนไปโดยเลือก Profile => Saveprofile => Yes ซึ่งจะทำการเก็บข้อมูลในชื่อ xdm.pro การแปลงไฟล์ในการออกแบบ (Translating the Design)

ในขณะนี้ได้ทำการกำหนดคอนฟิกูเลชันไว้แล้ว ต่อไปทำตามขั้นตอนดังต่อไปนี้

1. เลือก Translate จะปรากฏเมนูของ Translate ซึ่งประกอบด้วยโปรแกรมของ Xilinx

อีกมากมาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ทำการแปลงโดยอัตโนมัติโดยเลือก XMAKE แล้วตัวเลือก (Options) ต่างๆ ก็จะมีปรากฏ
  3. ในการออกแบบนี้เราจะใช้ตัวเลือกที่ตั้งไว้ใน xdm.pro ดังนั้นจึงเลือกจึงเลือก Done แล้วไคเรคทอรีที่เป็นเมนูก็จะปรากฏ
  4. เลือกไฟล์ชั้นสูงสุดที่ได้ออกแบบไว้ ในที่นี้คือเลือก PJ1.1 สำหรับ 4003APC84-6 พร้อม Select target : ก็จะปรากฏเราจะเลือกการแปลงที่สมบูรณ์โดยการสร้างเป็นสตรีม (Bitstream)
  5. เลือก Make bitstream
- โปรแกรม Xmake จะกระทำทุกๆ ไฟล์ในการออกแบบที่จำเป็นและแสดงความเป็นห่วงใยหน้าจอภาพ เมื่อทำการแปลงเสร็จ Xmake จะแสดงข้อความว่า
- 'pj1.bit' has been made, check out put in 'pj1.out'
6. กดปุ่มใดๆ เพื่อกลับสู่ XDM

#### 4.1.2 การตรวจสอบเอาต์พุตไฟล์ของ Xmake

ในการจัดทำเส้นทางไฟล์ .LCA และทำบิตสตรีมไฟล์ .BIT นั้น Xmake จะให้ไฟล์ที่เป็นขึ้นมาอีก 3 ไฟล์คือ

1. ไฟล์ .OUT จะบรรจุข้อมูลที่สำเนา (copy) จากหน้าจอแสดงผล เราสามารถตรวจสอบอีกครั้งจากไฟล์ .OUT
2. ไฟล์ .PRP จะเป็นไฟล์ที่รายงานเกี่ยวกับ DRC ที่ถูกสร้างขึ้นโดย XNFPRep ตรวจสอบพบข้อผิดพลาด (errors) หรือการเตือน (warnings) ที่เป็นไฟล์ .OUT ก็จะสามารถตรวจสอบได้จากไฟล์นี้ นอกจากนี้ยังอธิบายถึงสภาพลอจิก (logic) ที่ได้ทำไว้เรียบร้อยแล้ว และลอจิกที่ไม่จำเป็น ไฟล์นี้สามารถใช้เป็น Debugging tool ได้
3. ไฟล์ .RPT จะเป็นไฟล์ที่รายงานผลลัพธ์ของการจัดวางและหาเส้นทาง ซึ่งจะสร้างโดยโปรแกรม Place and route ซึ่งการทำ PPR และ APR จะขึ้นอยู่กับตระกูล (Family)

การตรวจสอบไฟล์ .OUT .PRP และ .RPT ในการออกแบบ โดยที่เมนูหลักของ XDM เลือก Utilities => Edit และเลือกไฟล์ที่ต้องการการตรวจสอบเส้นทางที่ได้ออกแบบไว้กับ XDE (Examining Routed Designs With XDE)

ถ้าเราทำการออกแบบสมบูรณ EditLCA ในโปรแกรมย่อยของ XDE (XACT Desing Editor) จะทำให้เราเข้าสู่โหมดกราฟฟิกเพื่อเข้าไปดูการ Place and route ที่ได้ออกแบบไว้

XDE และ EditLCA ได้ทำการเตรียมไว้หลายฟังก์ชันให้เราใช้ เช่น การออกแบบด้วยมือ การแทรกโพรบขณะทำการตรวจสอบเป็นต้น

#### 4.1.3 การเข้าสู่หน้าต่างของการออกแบบ (Design Editor)

ทำการเรียก XDE จาก XDM ทำตามขั้นตอนดังต่อไปนี้

1. ที่พูลดาวน์เมนู (Pulldown Menu) เลือก PlaceRoute => XDE เมนูตัวเลือกจะปรากฏและตัวเลือกที่ได้กำหนดไว้ก็ถูกต้อง
2. เลือก Done
3. คลิกบน Mode โดยใช้ปุ่มซ้ายของเมาส์ แล้วเมนูตัวเลือกของ Safe หรือ Expert จะปรากฏ
4. คลิกบน Cancel เพื่อให้อยู่ในโหมด Safe
5. โพลดวงจรที่ได้ทำการออกแบบไว้เข้าสู่หน้าต่างอิดิเตอร์ (editor) โดยเลือก Designs พูลดาวน์เมนูก็จะปรากฏ
6. ทำการเลือกไฟล์ .LCA ที่จะใช้โดยเลือก Design แล้วเมนูของไฟล์ .LCA ก็ จะปรากฏ ในลักษณะนี้จะเลือกได้เพียงไฟล์เดียวซึ่งเส้นทางที่ได้จัดไว้ในไฟล์เกิดจากการใช้ Xmake
7. เลือก PJ1.LCA ซึ่งก็จะไปปรากฏที่บริเวณแสดงสถานะเหนือคอมมานด์ไลน์

(Commandline)

8. เข้าสู่ Design Editor โดยเลือก Programs => EditLCA

การออกแบบที่ได้ทำไว้จะเริ่มถูกเรียกเข้าสู่อิดิเตอร์ ดูได้จากแถบแสดงสถานะ (Status Line) ที่อยู่เหนือคอมมานด์ไลน์และจะปรากฏข้อความดังนี้

Loading die/package file...

Loading design file...

Building pip drawing information...

Drawing Screen

Timing nets...



เมื่อเราได้ไฟล์องค์ประกอบออกมาแล้ว ขั้นตอนต่อไปเราจะทำการทดสอบโดยการดาวน์โหลดบิตสตรีม (.BIT) นั้นลงไป เพื่อทำการทดสอบ เมื่อต่อสายเคเบิลเข้ากับเครื่องคอมพิวเตอร์เรียบร้อยแล้ว สามารถทำการดาวน์โหลดได้ด้วยขั้นตอนต่อไปนี้

1. ทำการตั้งสวิตช์ต่างๆ ในบอร์ดตัวอย่างของ FPGA โดยให้อยู่ในแบบของสเลฟ ซึ่งสามารถควบคุมได้โดยการตั้งสวิตช์ต่าง ๆ ดังนี้ คือ

SWITCH (DIP.SW)	LABEL	SETTING
3	SPE	OFF
4	M0	OFF
5	M1	OFF
6	M2	OFF
1	RST	ON

ตารางที่ 4.1 การตั้งสวิตช์ต่างๆ ในบอร์ดตัวอย่างของ FPGA

2. ใน XDM ทำการเลือกเมนู Verify
3. เลือก XCHECKER ซึ่งโปรแกรม XCHECKER จะใช้ต่างกันในแต่ละสายเคเบิล
4. เลือก - Port <name> และพิมพ์พอร์ตที่ถูกต้องในที่นี้คือพอร์ต COM1
5. เลือก Done และป้อนชื่อไฟล์ที่ถูกต้องในที่นี้คือ PROJECT.BIT  
ถ้าทำการพิมพ์จากพร้อมของระบบ ให้พิมพ์ดังนี้

XCHECKER -PORT COM1 PROJECT ↵

เมื่อเราทำการตั้งค่าทุกอย่างถูกต้องแล้ว เราสามารถจะเก็บข้อมูลไว้ในไฟล์ชื่อว่า XCHECKER.PRO ซึ่งทำให้เราไม่จำเป็นต้องตั้งใหม่ทุกครั้ง

6. ถ้าเราใช้ดาวน์โหลดเคเบิลในการ โปรแกรมก็ไม่จำเป็นต้องกดสวิตช์ PROG

7. กดปุ่ม Enter ซึ่งถ้าทำการ โปรแกรมได้สมบูรณ์ จะปรากฏข้อความนี้บนจอภาพ

DONE signal went high

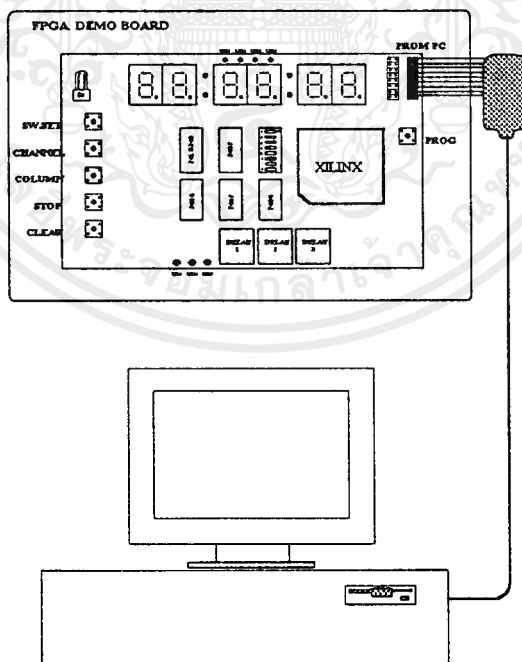
#### 8. กดปุ่มใดๆ เพื่อกลับเข้าสู่ XDM

ถ้าสัญญาณ DONE ไม่ไปที่ HIGH ให้ตรวจสอบการเชื่อมต่อระหว่าง สายเคเบิล และบอร์ดตัวอย่างของ FPGA ไฟเลี้ยง สวิตซ์ไฟและพยายามทำการดาวน์โหลดอีกครั้ง

### 4.2 การทดลองวงจรตั้งเวลา 1 ช่อง

ลำดับขั้นการทดลอง

1. ต่อสายดาวน์โหลดเคเบิลกับบอร์ดของวงจรตั้งเวลา และคอมพิวเตอร์ผ่านทางพอร์ตอนุกรม COM 1
2. ถ่ายไฟเลี้ยงให้กับวงจรในบอร์ดดังแสดงในรูปที่ 4.3



รูปที่ 4.3 การเชื่อมต่อกันระหว่างคอมพิวเตอร์กับวงจรในบอร์ดตัวอย่างของ FPGA

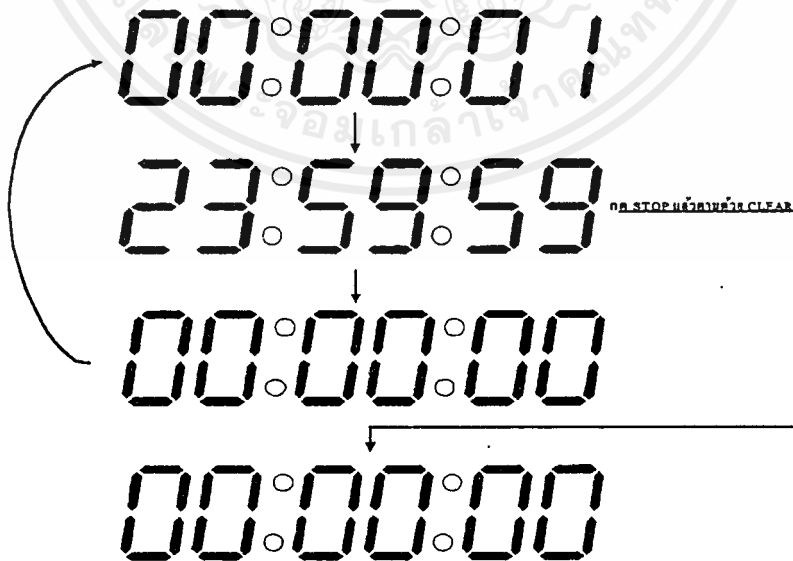
3. ทำการแปลงไฟล์ที่เขียนกับวีดิครอร์ ให้เป็นไฟล์ .BIT สามารถทำได้โดยวิธีในหัวข้อที่ 4.1

4. เมื่อทำการดาวน์โหลด (download Cable) แล้วบนส่วนแสดงผล 7 ส่วนจะแสดงผลเป็น 00:00:00 ดังรูปที่ 4.4



รูปที่ 4.4 ส่วนแสดงผล 7 ส่วนจะแสดงผลเป็น 00:00:00

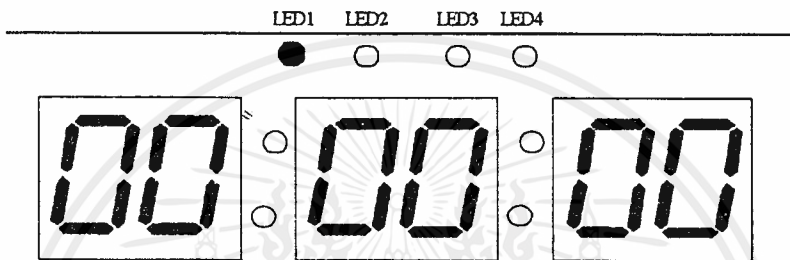
5. การทดสอบวงจรนับโดยกดปุ่ม SW.SET จากนั้นวงจรนับก็จะเริ่มนับและที่ส่วนแสดงผล 7 ส่วนจะแสดงผลการนับจาก 0 ไปจนถึง 23:59:59 และจะวนกลับมาเป็น 00:00:00 อีกครั้ง และทำการนับต่อไปอีกจนกว่าจะกดปุ่ม STOP เพื่อให้หยุดนับ และกดปุ่ม CLEAR เพื่อให้กลับเป็น 00:00:00 ดังแสดงในรูปที่ 4.5



รูปที่ 4.5 วงจรนับทำการนับจนกว่าจะมีการกด STOP จึงจะหยุดนับ

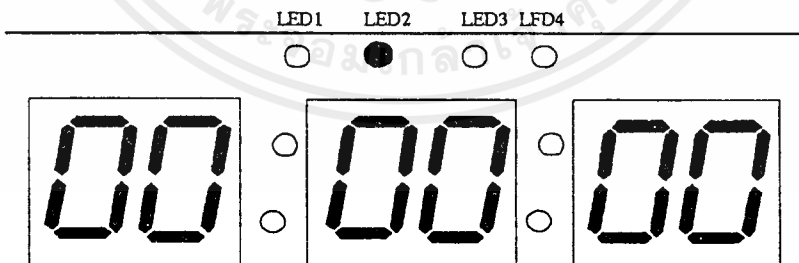
## 6. การทดสอบปุ่ม CHANNEL

- เมื่อทำการจ่ายไฟและทำการดาวน์โหลดให้กับบอร์ดตัวอย่างเรียบร้อยแล้ว จะเห็นว่า LED1 จะติดและ LED2 จะดับ ดังรูปที่ 4.6 ซึ่งแสดงว่าอยู่ในโหมดของการนับซึ่งในโหมดนี้เราสามารถทำการเริ่มนับได้ดังข้อ 5



รูปที่ 4.6 เมื่ออยู่ในโหมดของการนับ LED1 จะติดและ LED2 จะดับ

- ทำการกดสวิตช์ CHANNEL จะเห็นว่า LED1 และ LED2 จะติด ดังแสดงในรูปที่ 4.7 ซึ่งจะอยู่ในโหมดของการตั้งเวลาซึ่งจะสามารถตั้งเวลาได้ตามต้องการ แต่ไม่เกิน 23 ชั่วโมง 59 นาที 59 วินาที



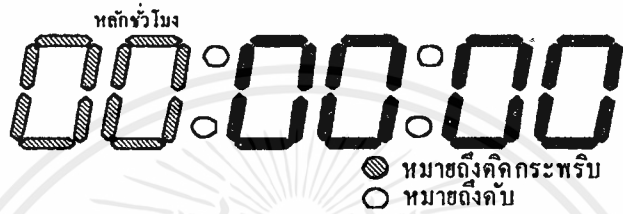
รูปที่ 4.7 เมื่ออยู่ในโหมดของการตั้งเวลา LED1 จะดับและ LED2 จะติด

- เมื่อทำการกดสวิตช์ CHANNEL อีกครั้ง จะอยู่ในโหมดของการนับอีกครั้ง ดังรูปที่ 4.6

## 7. การทดสอบปุ่ม COLUMN

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- เมื่อเปิดเครื่องครั้งแรกจะอยู่ในโหมดของการนับและการทำให้ตัวควบคุมอุปกรณ์ไฟฟ้าภายนอกทำงาน
- ทำการกดสวิตช์ COLUMN หนึ่งครั้งจะทำให้ส่วนแสดงผล 7 ส่วนในหลัก ชั่วโมงกระพริบดังรูป 4.8



รูปที่ 4.8 หลักชั่วโมงกระพริบ

- ทำการกดสวิตช์ COLUMN หนึ่งครั้งจะทำให้ส่วนแสดงผล 7 ส่วนในหลัก นาทีกระพริบดังรูปที่ 4.9



รูปที่ 4.9 หลักนาทีกระพริบ

- ทำการกดสวิตช์ COLUMN หนึ่งครั้งจะทำให้ส่วนแสดงผล 7 ส่วนในหลัก วินาทีกระพริบดังรูปที่ 4.10



รูปที่ 4.10 หลักวินาทีกระพริบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้เฉพาะกรณีเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- เมื่อทำการกดสวิตช์ COLUMN อีกครั้งจะไม่มีหลักใดกระพริบเลย ดังรูปที่

4.11



● หมายถึง ดับ

รูปที่ 4.11 ไม่มีหลักใดกระพริบ

8. การทดลองตั้งเวลา 1 ชั่วโมง 25 นาที 5 วินาที สามารถทำได้โดย

- เมื่อทำการจ่ายไฟและดาวน์โหลดโปรแกรมให้กับบอร์ดตัวอย่างเรียบร้อยแล้ว

แล้วจะปรากฏค่าบนส่วนแสดงผล 7 ส่วนดังรูปที่ 4.12

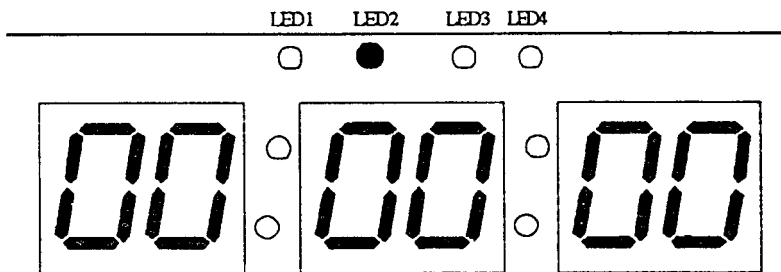


● หมายถึง ดับ  
○ หมายถึง คับ

รูปที่ 4.12 ส่วนแสดงผล 7 ส่วนแสดงค่าเป็น 00:00:00

- กดสวิตช์ CHANNEL หนึ่งครั้งจะทำให้ LED2 ดับและ LED1 คับแสดงว่า

อยู่ในโหมดของการตั้งเวลา ดังรูปที่ 4.13



รูปที่ 4.13 LED 1 จะดับ ส่วน LED 2 จะคับซึ่งอยู่ในโหมดของการตั้งเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- กดสวิทช์ COLUMN หนึ่งครั้ง ส่วนแสดงผล 7 ส่วนในหลักชั่วโมงจะ  
กระพริบ ดังรูปที่ 4.14

● หมายถึง ตีตกกระพริบ

รูปที่ 4.14 หลักชั่วโมงจะกระพริบ

- กดสวิทช์ SW.SET หนึ่งครั้ง ส่วนแสดงผล 7 ส่วนจะแสดงเป็นเลข 1 ใน  
หลักชั่วโมงพร้อมกับกระพริบ ดังรูปที่ 4.15

● หมายถึง ตีตกกระพริบ

รูปที่ 4.15 ส่วนแสดงผล 7 ส่วนแสดงผลเป็น 1 ในหลักชั่วโมงพร้อมกระพริบ

- กดสวิทช์ CULUMN หนึ่งครั้ง ส่วนแสดงผล 7 ส่วนในหลักนาทีกะพริบ  
ดังรูปที่ 4.16

● หมายถึง ตีตกกระพริบ

รูปที่ 4.16 หลักนาทีกะพริบ

- กดสวิทช์ SW.SET 25 ครั้ง เพื่อตั้งเวลาในหลักนาทีให้เป็น 25 นาที  
ส่วนแสดงผล 7 ส่วนจะแสดงดังรูปที่ 4.17

0 1:25:00

● หมายถึง คติกระพริบ

รูปที่ 4.17 ส่วนแสดงผล 7 ส่วนแสดงผลเป็น 25 ในหลักนาทีพร้อมกระพริบ

- กดสวิทช์ COLUMN หนึ่งครั้ง ส่วนแสดงผล 7 ส่วนในหลักวินาทีจะ  
กระพริบดังรูปที่ 4.18

0 1:25:00

● หมายถึง คติกระพริบ

รูปที่ 4.18 หลักวินาทีกระพริบ

- กดสวิทช์ SW.SET 5 ครั้ง เพื่อตั้งเวลาในหลักวินาทีเป็น 5 วินาที ส่วน  
แสดงผล 7 ส่วนในหลักวินาทีจะแสดงเป็น 5 วินาที พร้อมกระพริบดังรูปที่ 4.19

0 1:25:05

● หมายถึง คติกระพริบ

รูปที่ 4.19 ส่วนแสดงผล 7 ส่วนแสดงผลเป็น 5 ในหลักวินาทีพร้อมกระพริบ

- กดสวิทช์ COLUMN อีกครั้ง จะไม่มีหลักใดกระพริบ และส่วนแสดงผล  
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
7 ส่วนจะแสดงผล ดังรูปที่ 4.20  
ไม่ว่ากรณีใดๆ ทั้งสิ้น ออกกฎหมายมีเหตุเปลี่ยนแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

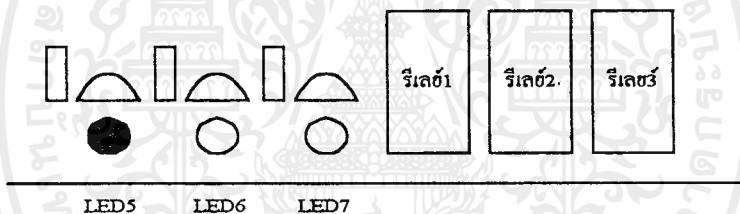
0 1:25:05

● หมายถึง คติ

รูปที่ 4.20 ไม่มีหลักใดกระพริบ

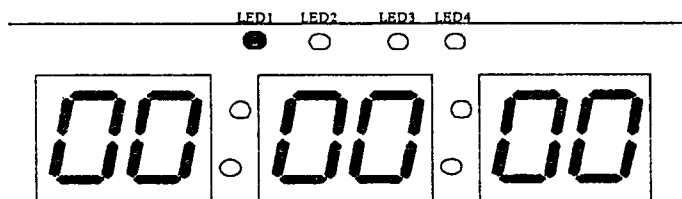
- กดสวิตช์ SW.SET หนึ่งครั้ง LED5 จะติดแสดงว่าช่องนั้นถูกต้องแล้วดังรูป

รูปที่ 4.21



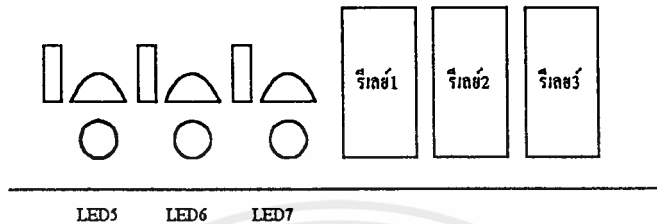
รูปที่ 4.21 LED 5 จะติดพร้อมกับรีเลย์ทำงาน

- กดสวิตช์ CHANNEL หนึ่งครั้ง LED1 จะติด LED2 จะดับแสดงว่าอยู่ในโหมดของการนับและส่วนแสดงผลจะแสดงดังรูปที่ 4.22



รูปที่ 4.22 LED 1 จะติดส่วน LED 2 จะดับแสดงว่าอยู่ในโหมดของการนับ

- กดสวิตช์ SW.SET หนึ่งครั้ง LED จะเริ่มนับจาก 00:00:00 ไปเรื่อยๆ จนถึง 01:25:05 LED5 จะดับและรีเลย์จะตัด แสดงว่าถึงเวลาที่ตั้งแล้ว ดังรูปที่ 4.23



รูปที่ 4.23 LED 5 จะดับและรีเลย์จะตัด

- วงจรนับยังคงนับต่อไปจนกว่าจะกดสวิตช์ STOP เพื่อให้หยุดนับหรือ RST

9. การยกเลิกการตั้งเวลา สามารถทำได้โดย

- เมื่ออยู่ในโหมดของการนับ กดสวิตช์ CHANNEL หนึ่งครั้ง จะอยู่ในโหมดของการตั้งเวลา

- กดสวิตช์ CLEAR แล้ว LED5 จะดับ แสดงว่าได้ทำการยกเลิกการตั้งเวลาแล้ว

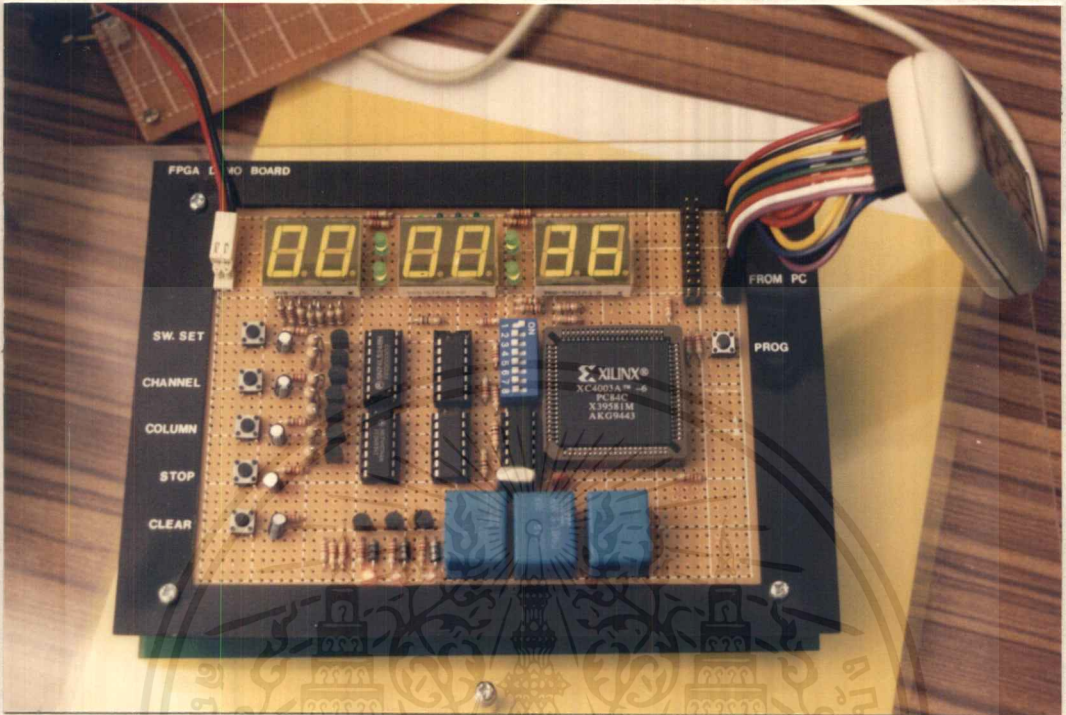
10. ทำการตั้งเวลาเป็น 23:59:59 ตามวิธีตั้งที่ได้กล่าวมาแล้วจะสังเกตเห็นว่า เมื่อวงจรมับๆ ถึงเวลาที่ได้ตั้งไว้ LED 5 จะดับและรีเลย์จะหยุดการทำงาน

11. ทำการตั้งเวลาเป็น 00:00:00 ตามวิธีตั้งที่ได้กล่าวมาแล้วจะสังเกตเห็นว่า เมื่อวงจรมับๆ ถึงเวลาที่ได้ตั้งไว้ LED 5 จะดับและรีเลย์จะหยุดการทำงาน

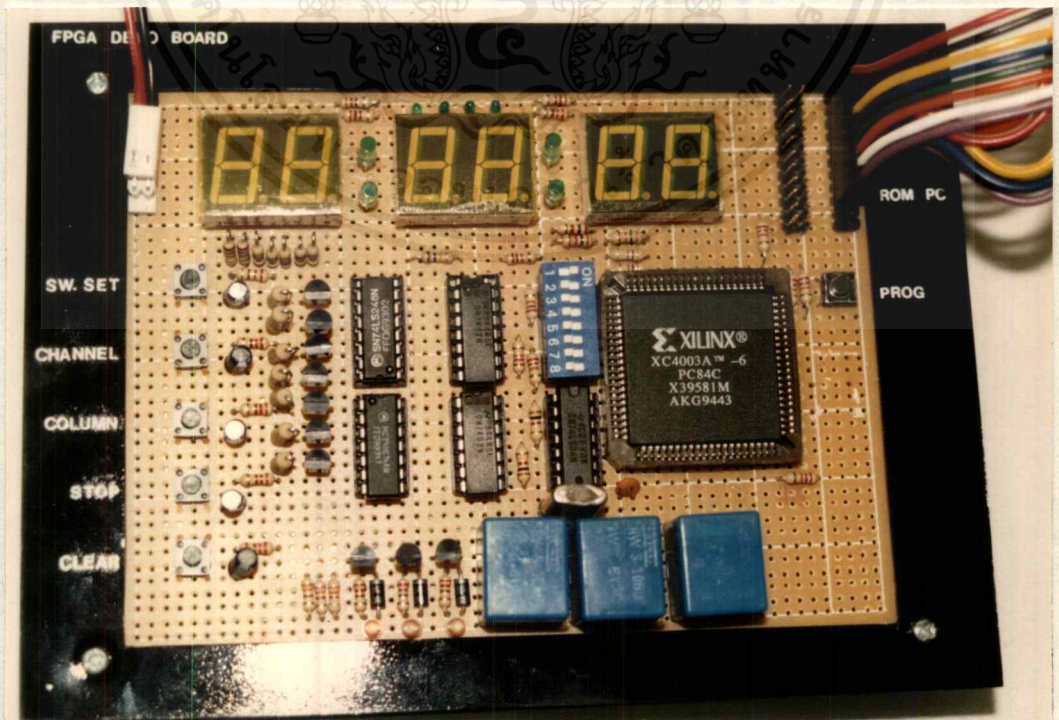
12. สำหรับภาพถ่ายของการเชื่อมต่อของควาน์โทลคเคเบิลกับบอร์ดตัวอย่างของ FPGA แสดงดังรูปที่ 4.24

13. สำหรับภาพถ่ายแสดงการติดของ LED 5 ซึ่งเป็นตัวบอกว่ารีเลย์ทำงานได้แสดงไว้ดังรูปที่ 4.25

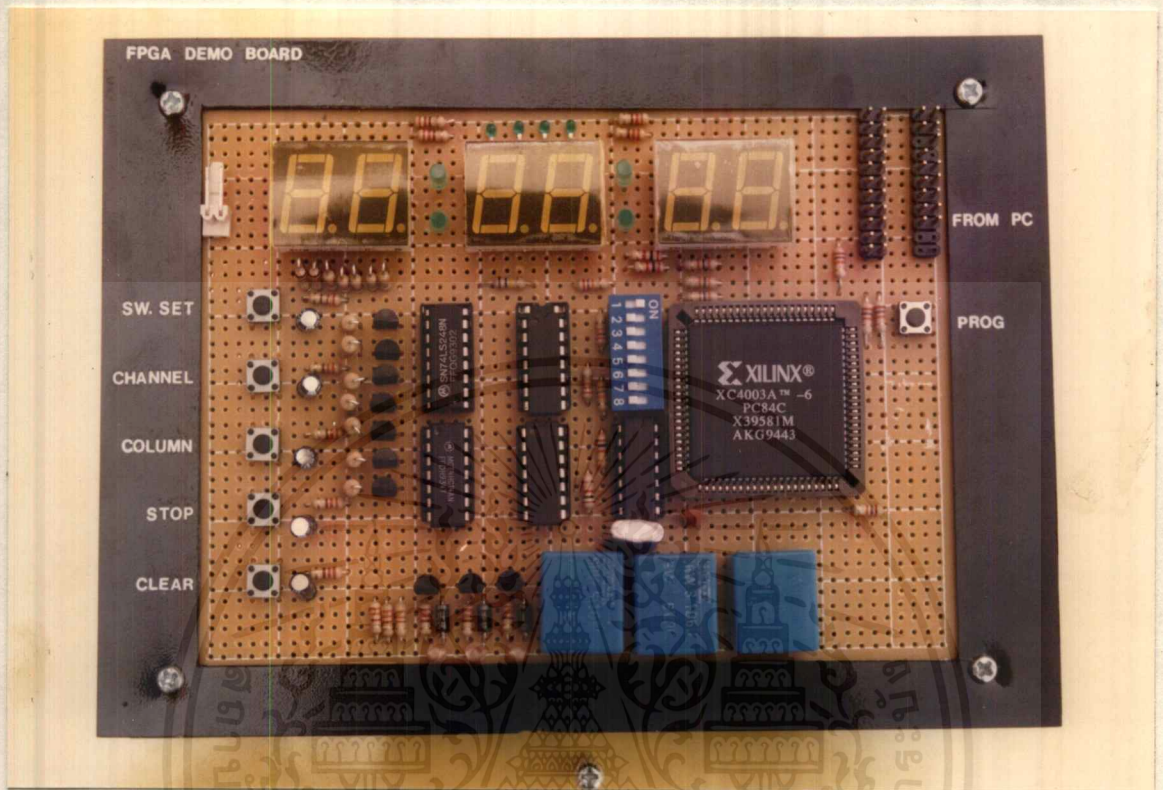
14. สำหรับภาพถ่ายบอร์ดตัวอย่างของ FPGA ได้แสดงไว้ดังรูปที่ 4.26



รูปที่ 4.24 ภาพถ่ายการเชื่อมต่อของคานาไหลลคเคเบิ้ลกับบอร์ดตัวอย่างของ FPGA



เอกสารนี้เป็นเอกสารรูปที่ 4.25 ภาพถ่ายแสดงการติคของ LED 5 ซึ่งเป็นตัวบอกอาร์เลย์ทำงานยชนด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.26 ภาพถ่ายแสดงบอร์ดตัวอย่างของ FPGA

#### 4.3 ผลการทดลอง

จากการทดลองวงจรตั้งเวลาที่ใช้ FPGA โดยการทดลองตั้งเวลาและสังเกตผลที่ปรากฏที่บอร์ดตัวอย่างที่ใช้ FPGA ผลปรากฏว่าสามารถตั้งเวลาได้ตามที่ต้องการ

## บทที่ 5

### สรุปอภิปรายและข้อเสนอแนะ

#### 5.1 สรุป

เครื่องตั้งเวลาที่สร้างขึ้นมานี้ ทำขึ้นเพื่อศึกษาการประยุกต์ใช้งานด้าน FPGA โดยขอบเขตที่วางไว้ในขั้นต้นคือ ทำการออกแบบและสร้างวงจรตั้งเวลา 3 ช่องโดยใช้อุปกรณ์ FPGA โดยในการสร้างนั้นคณะผู้จัดทำได้วางขอบเขตการสร้างและการพัฒนาเพื่อเป็นแนวทางการออกแบบไว้ดังนี้

- แสดงผลการทำงานโดยใช้ส่วนแสดงผล 7 ส่วน จำนวน 6 หลัก
- สามารถสลับหน้าจอการทำงานได้ระหว่างวงจรมานิปิก้าและวงจรตั้งเวลา
- สามารถตั้งเวลาได้ตั้งแต่ 1 วินาทีไปจนถึง 23 ชั่วโมง 59 นาที 59 วินาที
- วงจรตั้งแล้วสามารถตั้งได้ตั้งได้โดยไม่กำหนดเวลาจนกว่าจะกดปุ่ม CLEAR
- มีสวิทช์ควบคุมการทำงาน 5 สวิทช์

จากการที่ได้ศึกษาและทดลองสร้าง ปรากฏว่าผลที่ได้อยู่ในระดับน่าพอใจในระดับหนึ่ง กล่าวคือวงจรตั้งเวลาที่ได้นั้นสามารถทำการตั้งเวลาและทำงานได้ถูกต้องตามที่ต้องการทุกประการ

#### 5.2 ปัญหาและแนวทางการแก้ไข

ในระหว่างการทำปริญญาณิพนธ์ ทางคณะผู้จัดทำได้พบกับปัญหาและอุปสรรคต่างๆ ดังนี้

1. ปัญหา อุปกรณ์ FPGA เบอร์ XC4003APC84 ไม่สามารถดาวน์โหลดวงจรตั้งเวลา 3 ช่องได้

- วิธีแก้ปัญหา ได้พยายามติดต่อซื้อ FPGA เบอร์ XC4005APC84 แต่ต้องใช้เวลาในการจัดส่ง จึงได้ดัดแปลงวงจรเป็นตั้งเวลาได้หนึ่งช่องแทน

2. ปัญหา ไม่สามารถสั่งซื้อ EEPROM ได้ทันตามที่กำหนด

- วิธีแก้ปัญหา เลือกใช้วิธีการดาวน์โหลดเคเบิลแทน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ตัวแสดงผลที่เป็นส่วนแสดงผล 7 ส่วน มีความสว่างไม่มาก

- วิธีแก้ปัญหา ใช้ทรานซิสเตอร์ต่อเพื่อช่วยขับกระแสที่จ่ายแก่ส่วนแสดงผล 7 ส่วน

### 5.3 แนวทางในการพัฒนา

เราสามารถประยุกต์ใช้งาน FPGA ได้มากมาย เช่น

- เนื่องจาก XC4000 ในไลบรารีของไซลิงค์มีฟังก์ชันการบวก ลบ และการเปรียบเทียบ ดังนั้นจึงสามารถนำมาใช้ทำเป็นไมโครโปรเซสเซอร์ได้ ซึ่งอาจจะเป็นแบบ 4 บิตหรือแบบ 8 บิตแล้วแต่การออกแบบของผู้ใช้

- สามารถนำมาใช้ทำเป็นไอซีใช้งานเฉพาะอย่างได้ โดยเฉพาะที่เราไม่ต้องการให้เกิดการลอกเลียนแบบวงจรได้ เนื่องจากเป็นไอซีตัวเดียว

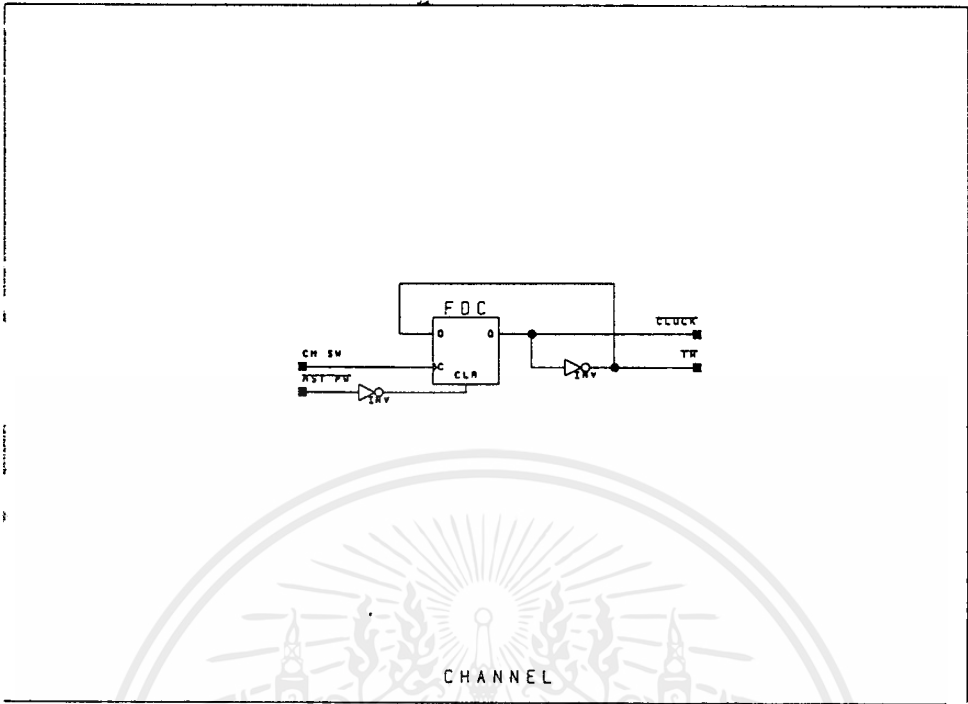
- สามารถนำมาประยุกต์ใช้ทำเป็นฮาร์ดลอค (Hard Lock) ได้เนื่องจากมีขนาดเล็กและสามารถโปรแกรมได้เอง โดยขึ้นอยู่กับผู้ออกแบบ

- นอกจากนี้ยังสามารถนำประยุกต์ใช้ได้อีกมากมายแล้วแต่การออกแบบของผู้ออกแบบ ซึ่งทั้งนี้ก็ขึ้นอยู่กับความเหมาะสมและการเลือกใช้อุปกรณ์ FPGA ที่สามารถรองรับการออกแบบของเราได้ด้วย

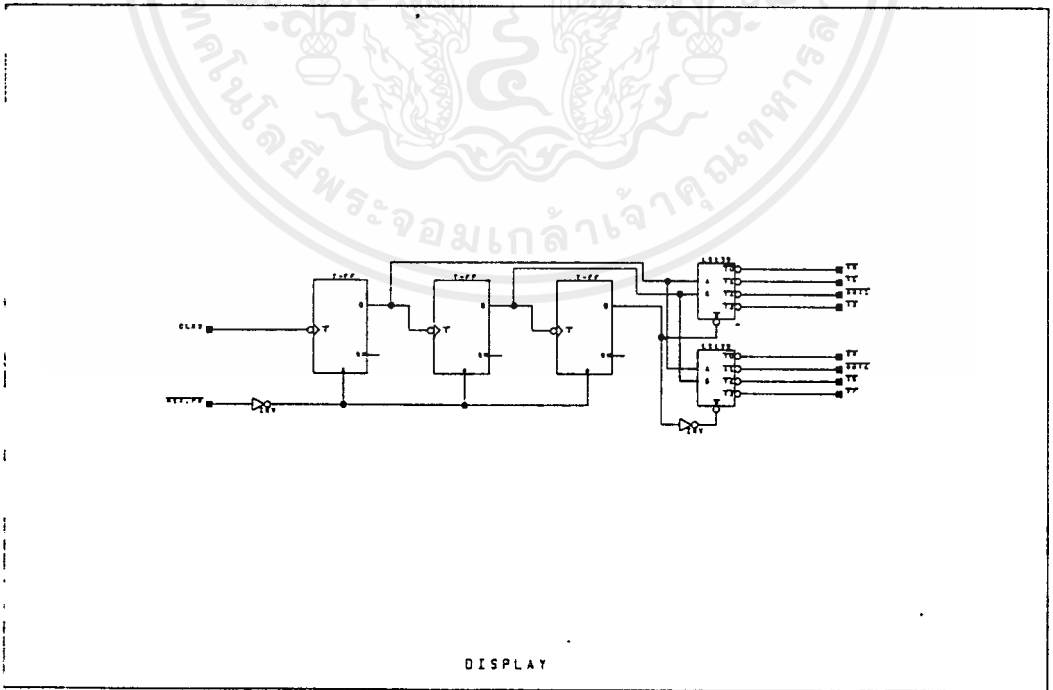


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



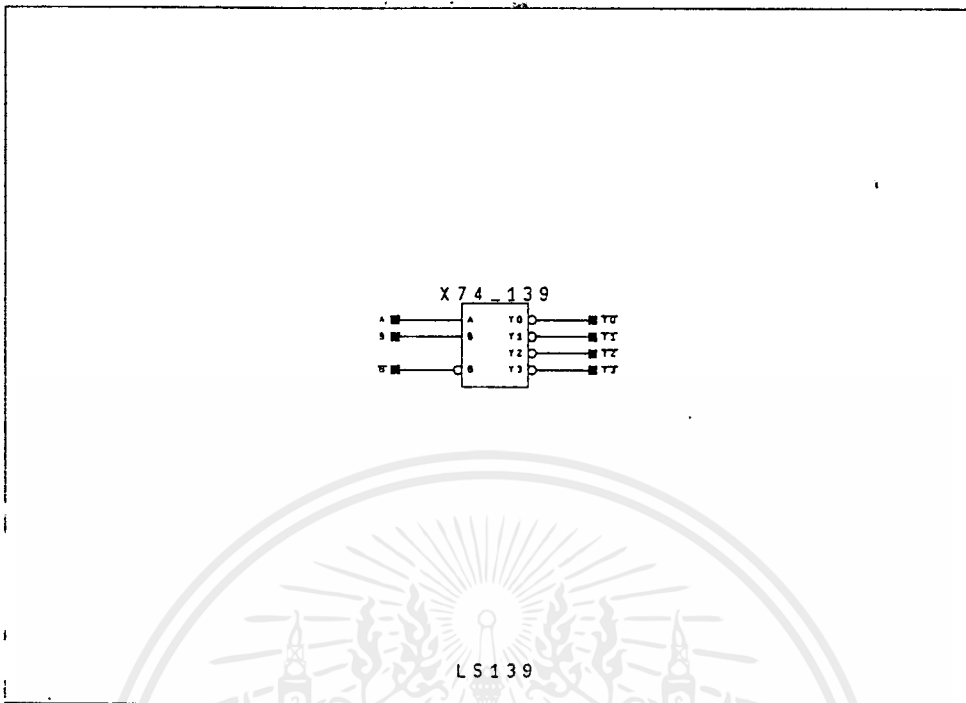


รูปวงจร CHANNEL

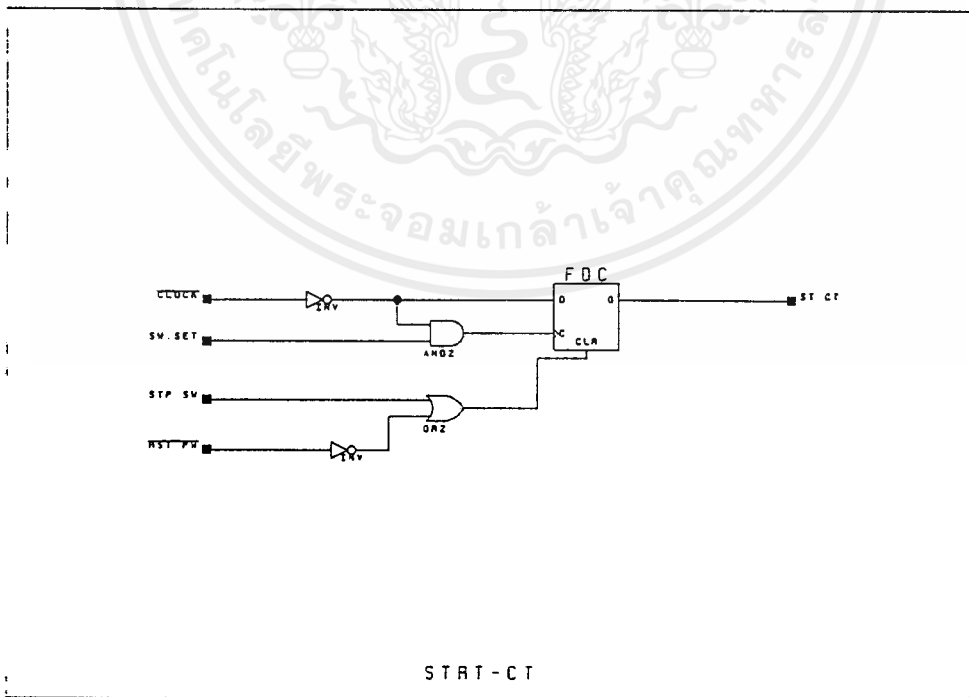


รูปวงจร DISPLAY

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

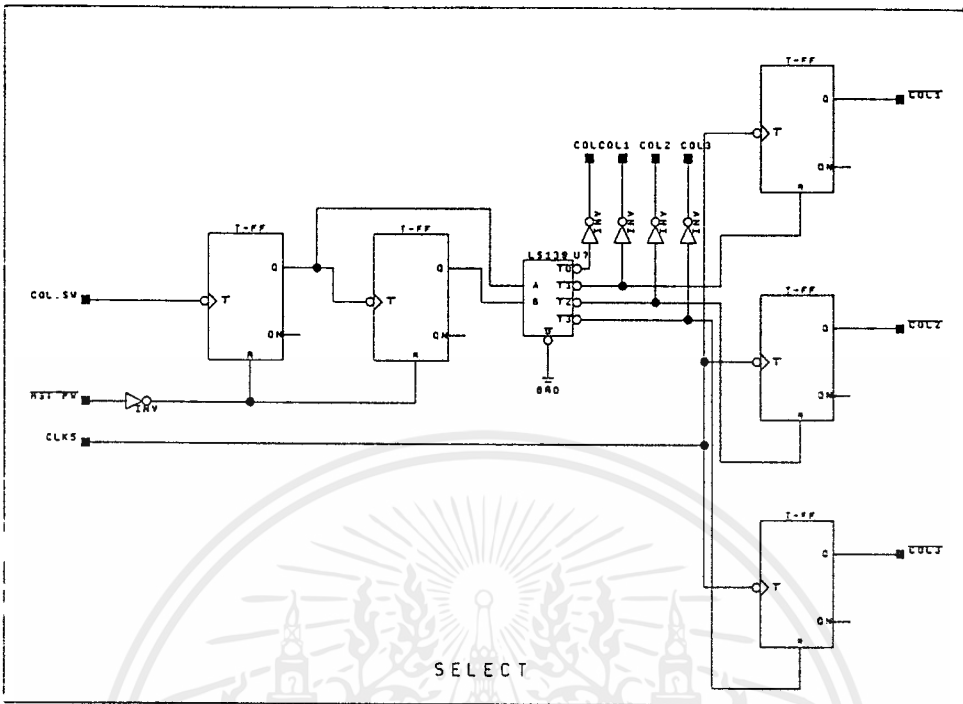


รูปวงจร LS139

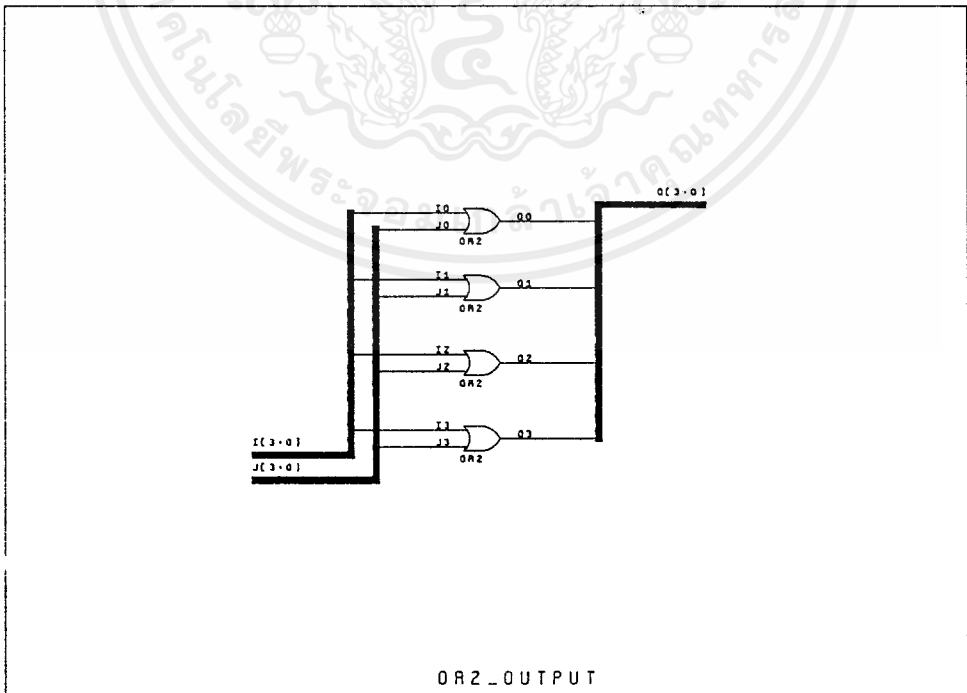


รูปวงจร START-CT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

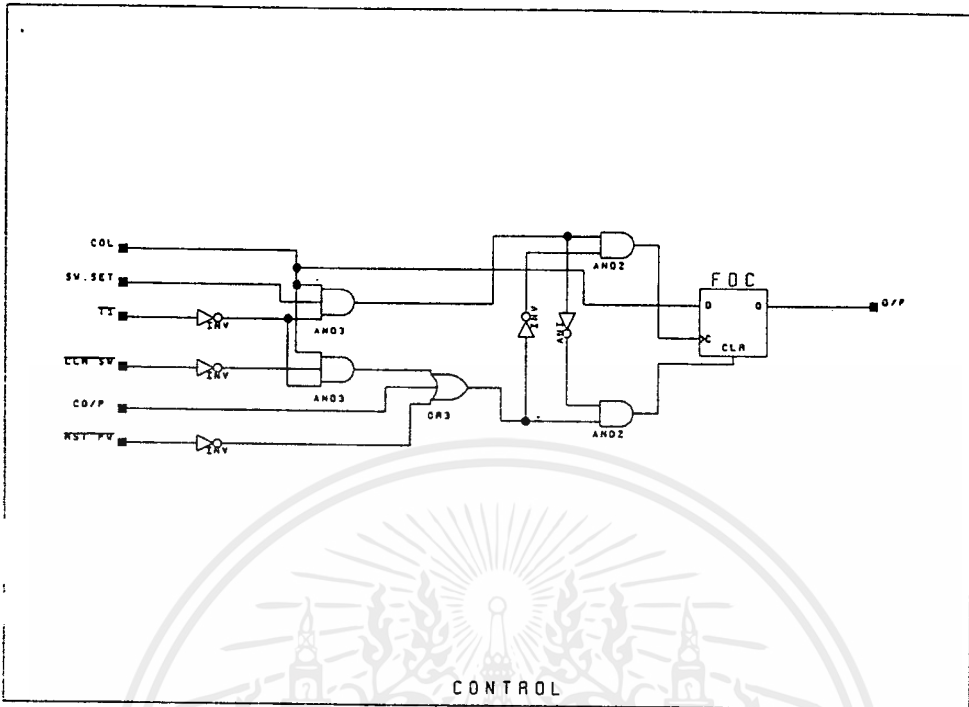


รูปวงจร SELECT

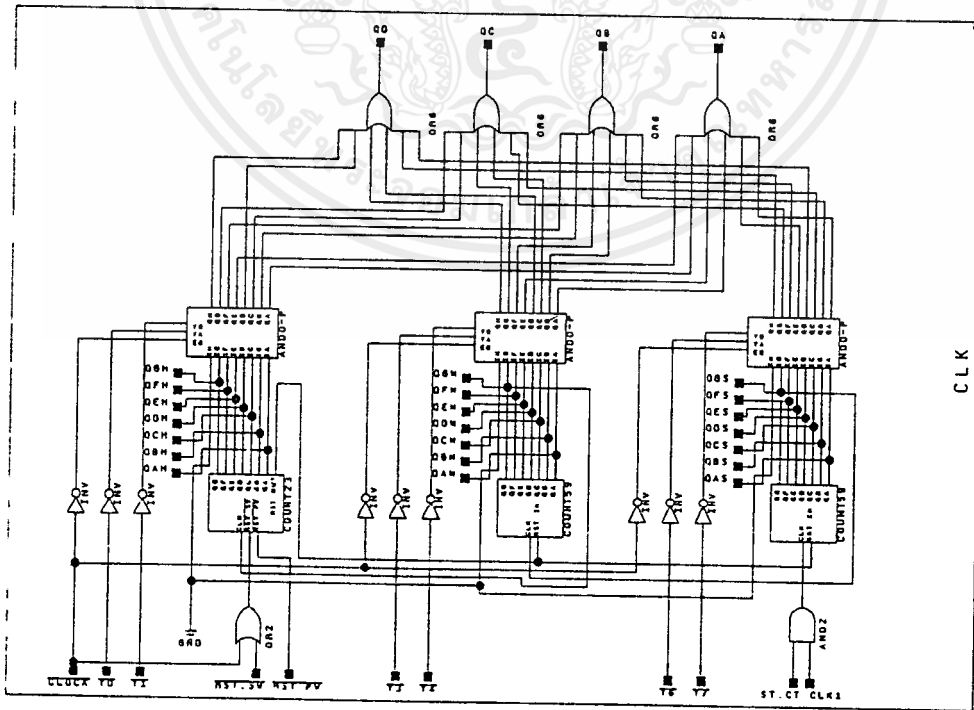


รูปวงจร OR2-OUTPUT

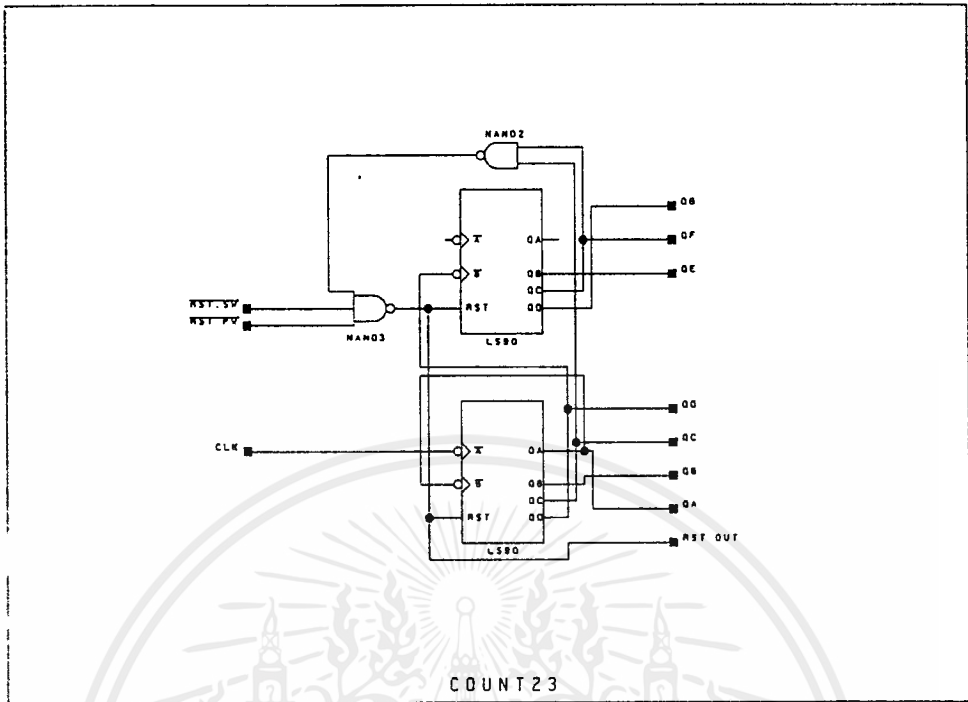
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนุญาตให้ท่านไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



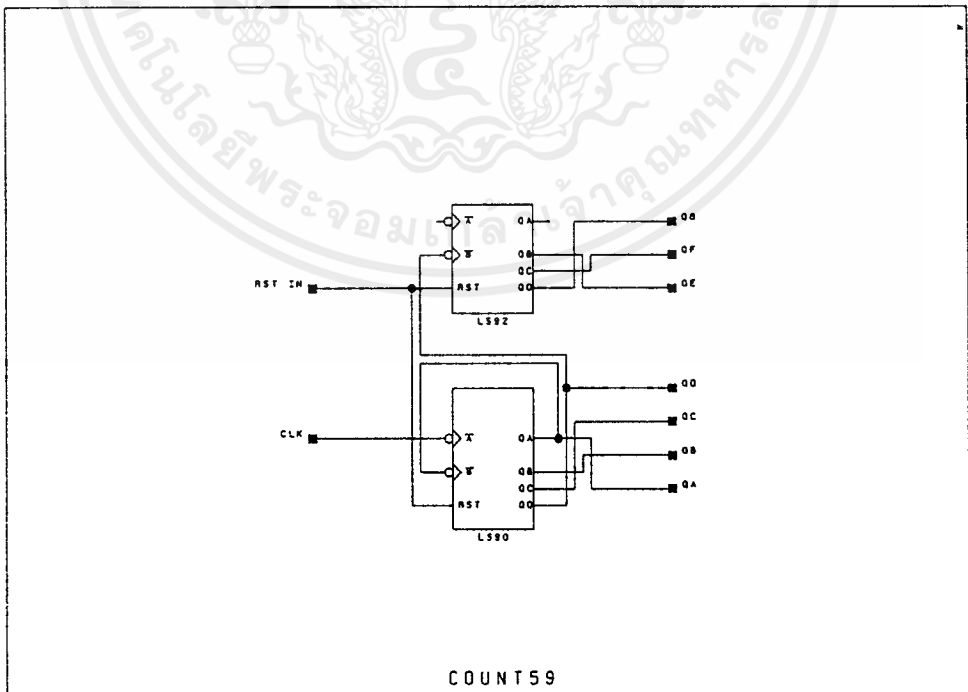
รูปวงจร CONTROL



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานรูปวงจร CLK เท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

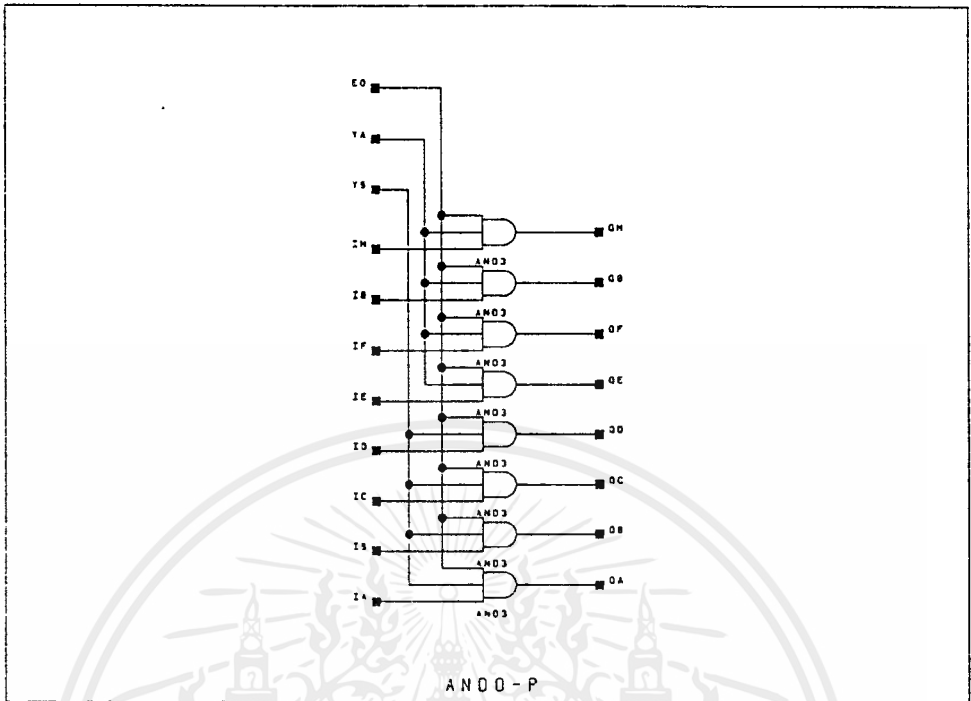


รูปวงจร COUNT23

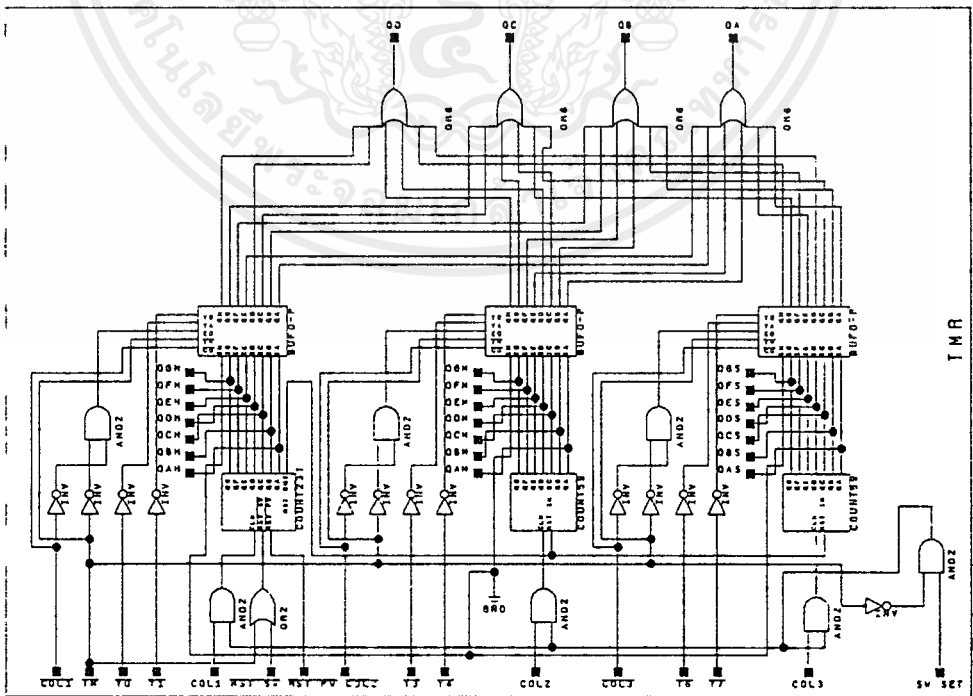


รูปวงจร COUNT59

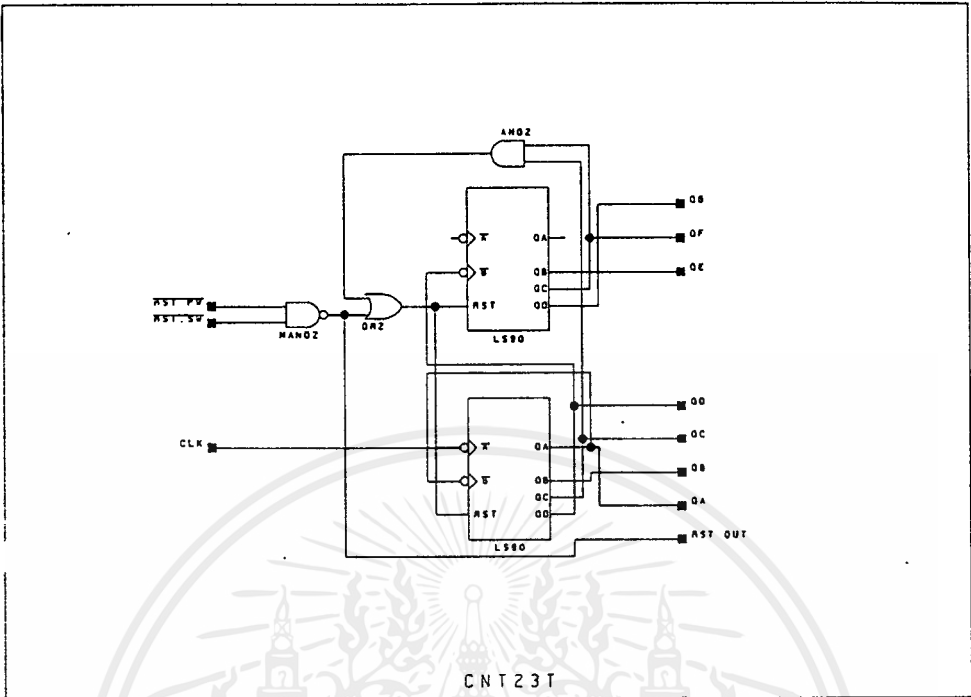
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



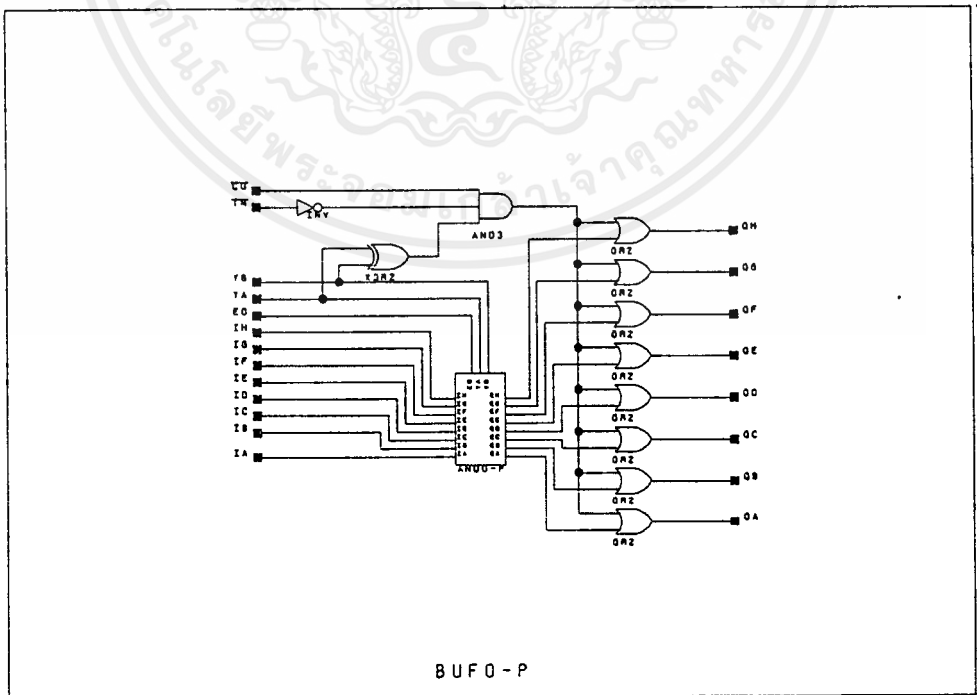
รูปวงจร ANDO-P



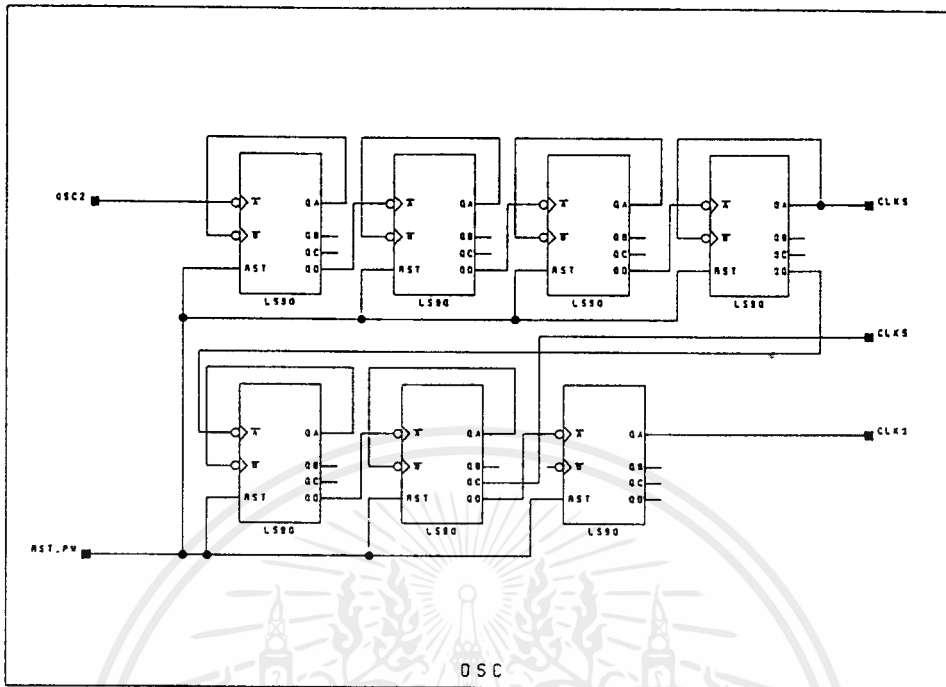
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อรูปวงจรถ่าย TMR นั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



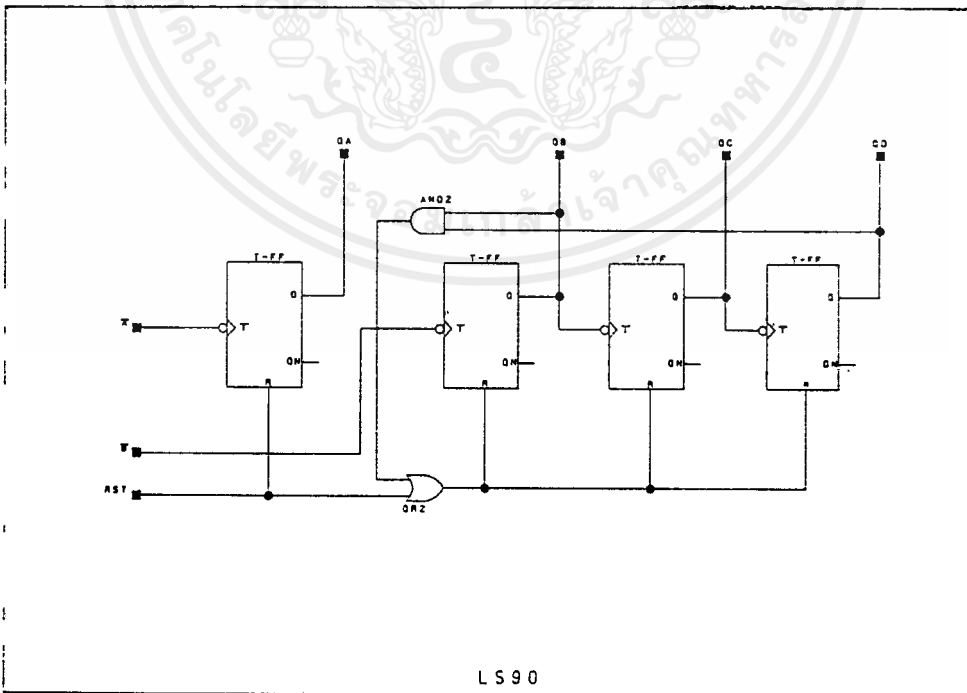
รูปวงจร CNT23T



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานที่ **รูปวงจร BUFO-P** ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

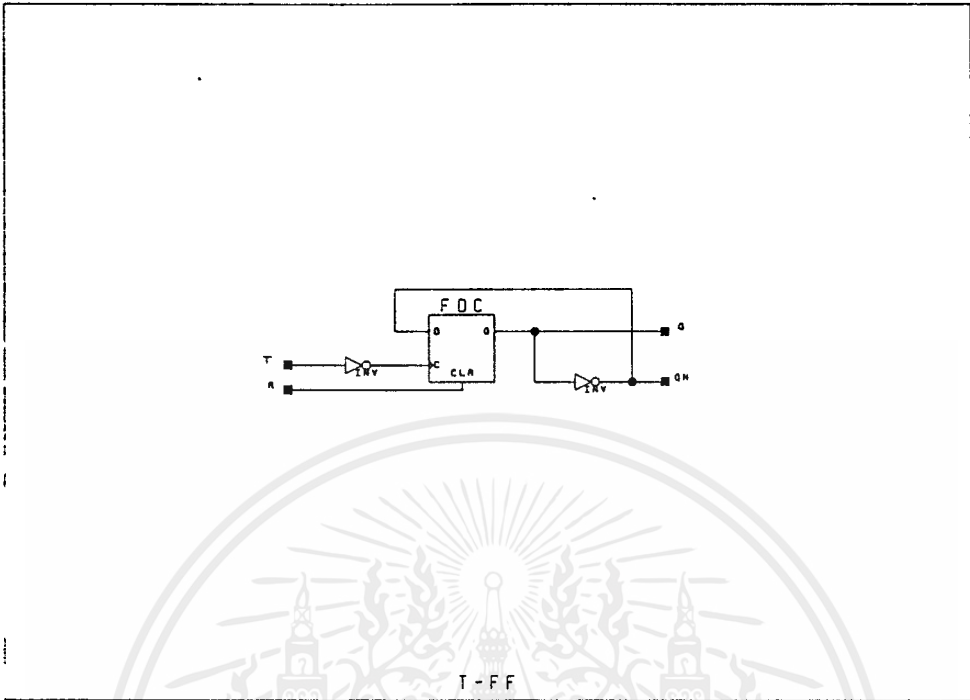


รูปวงจร OSC

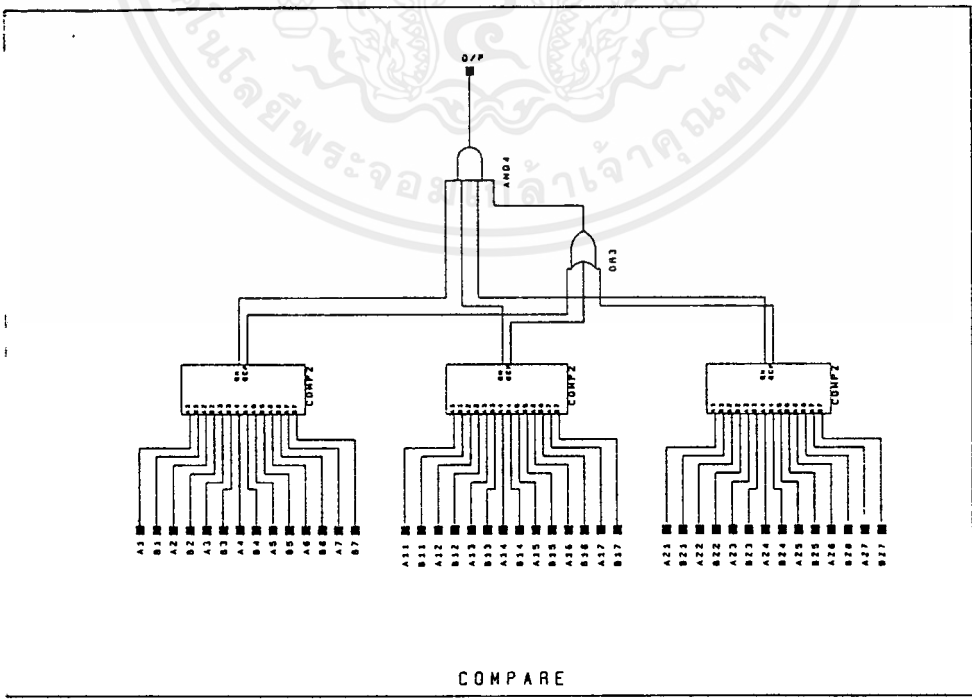


LS90

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

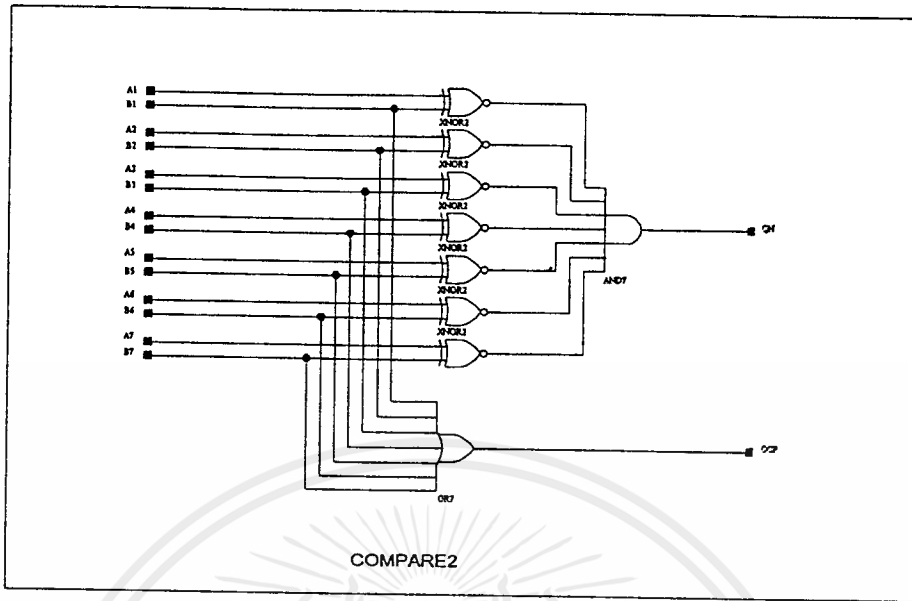


รูปวงจร T-FF



COMPARE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานรูปวงจร COMPARE ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

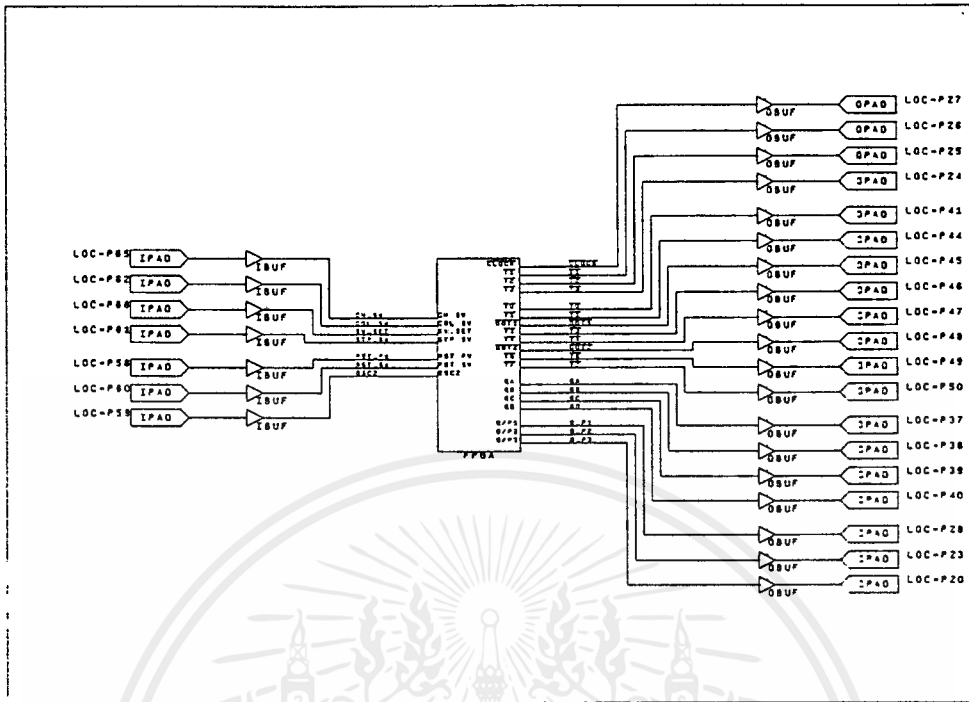


รูปวงจร COMP2

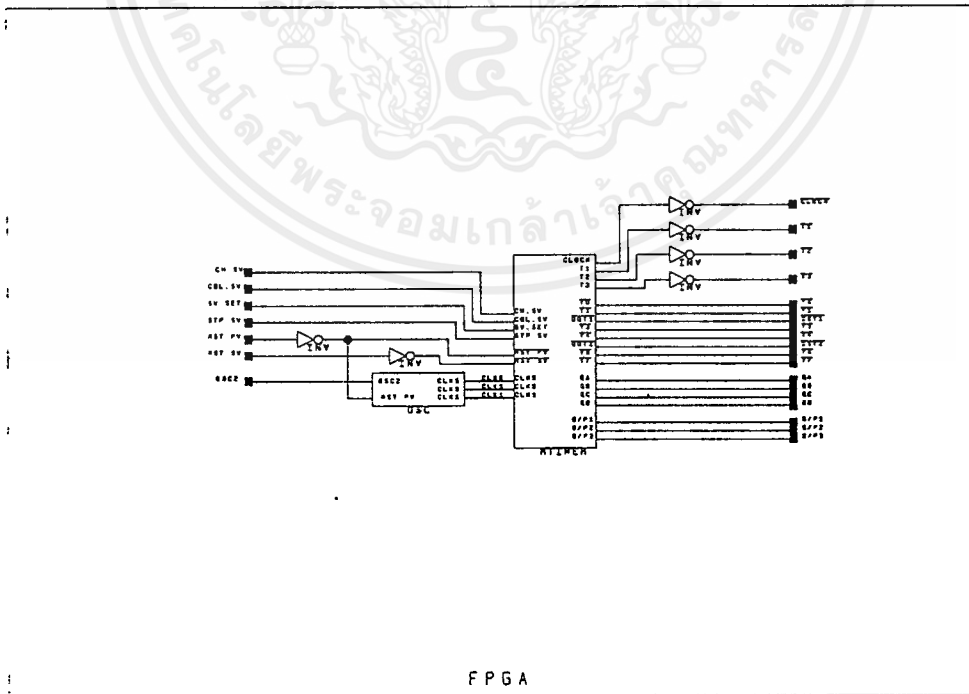
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

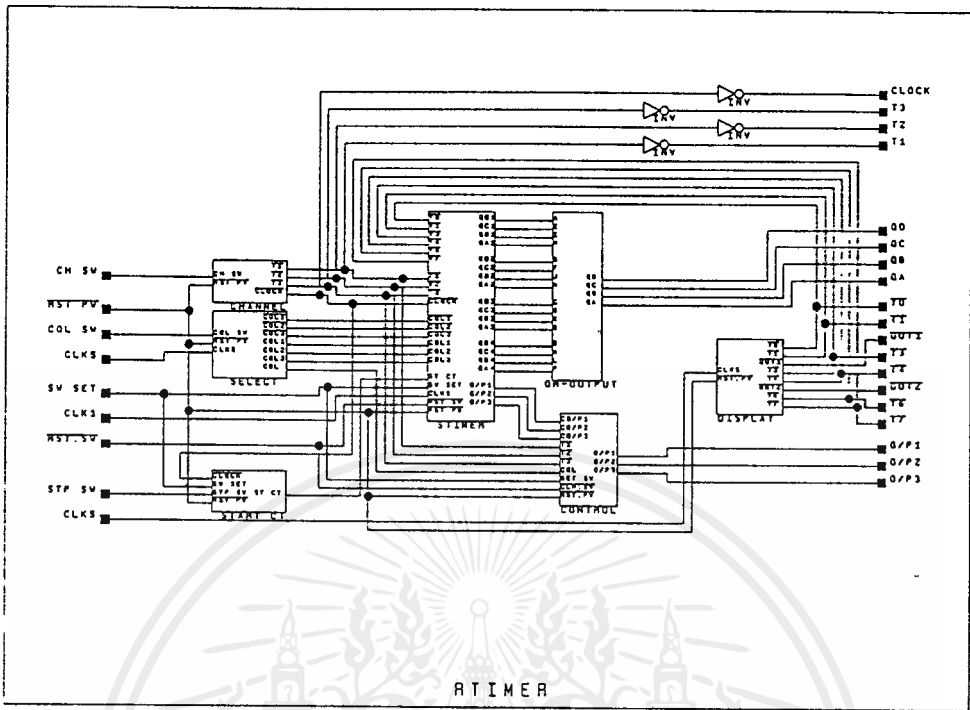


รูปวงจรรวมของวงจรตั้งเวลา 3 ช่อง

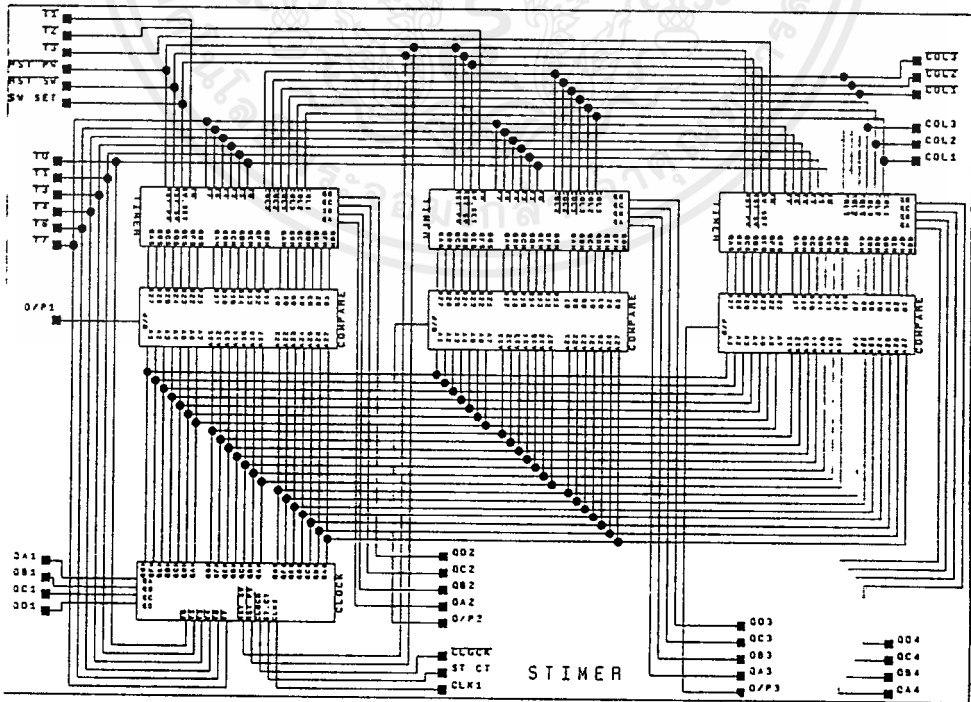


FPGA

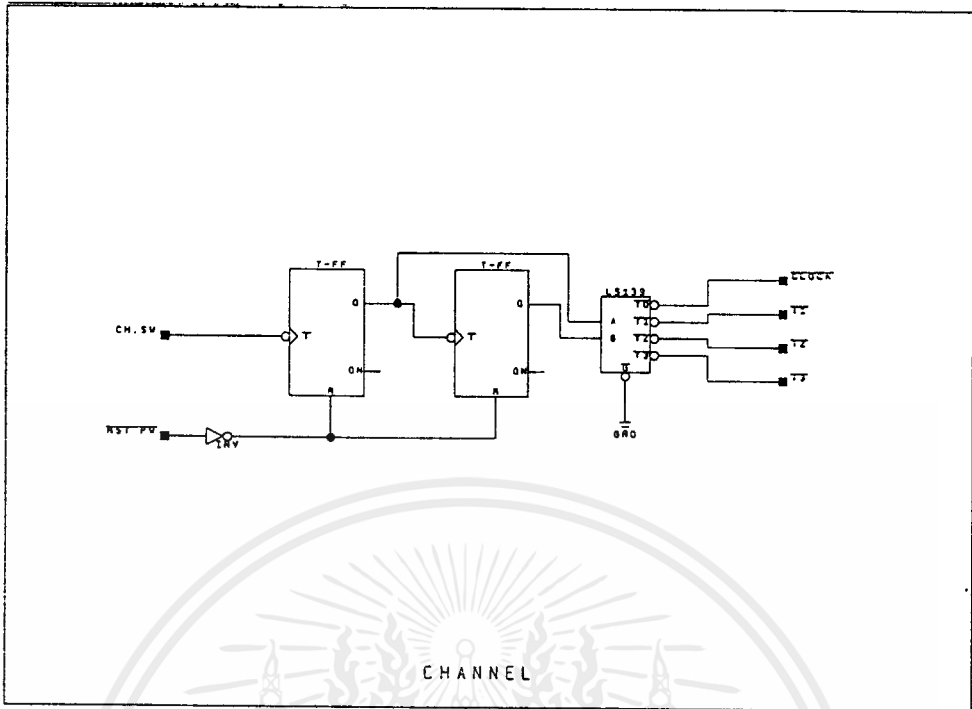
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานภายในเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



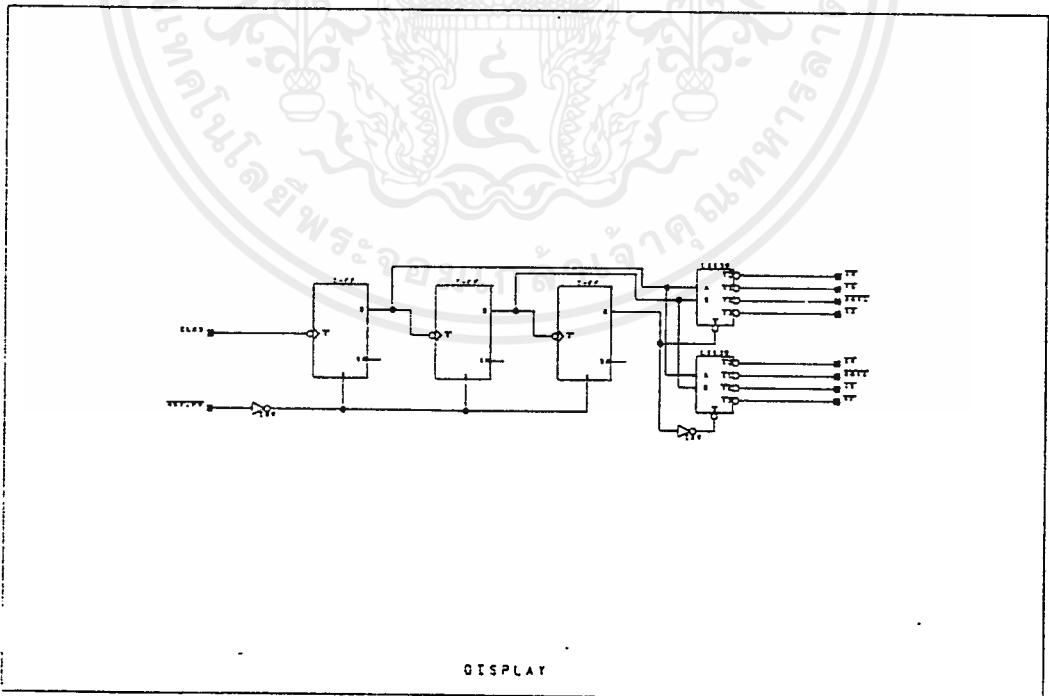
รูปวงจร RTIMER



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานภายในเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

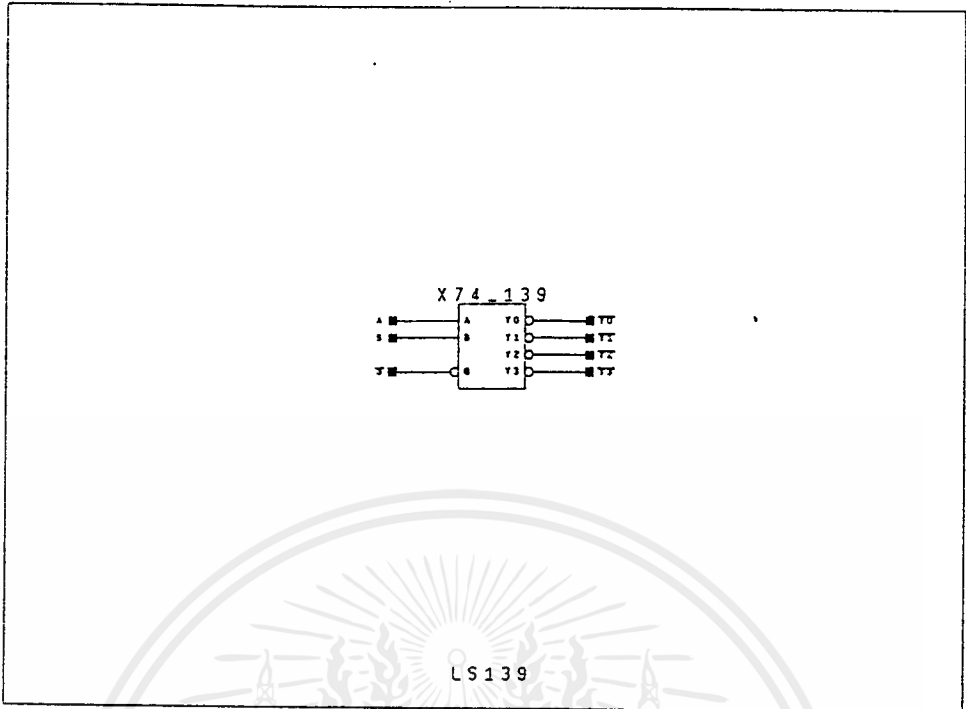


รูปวงจร CHANNEL

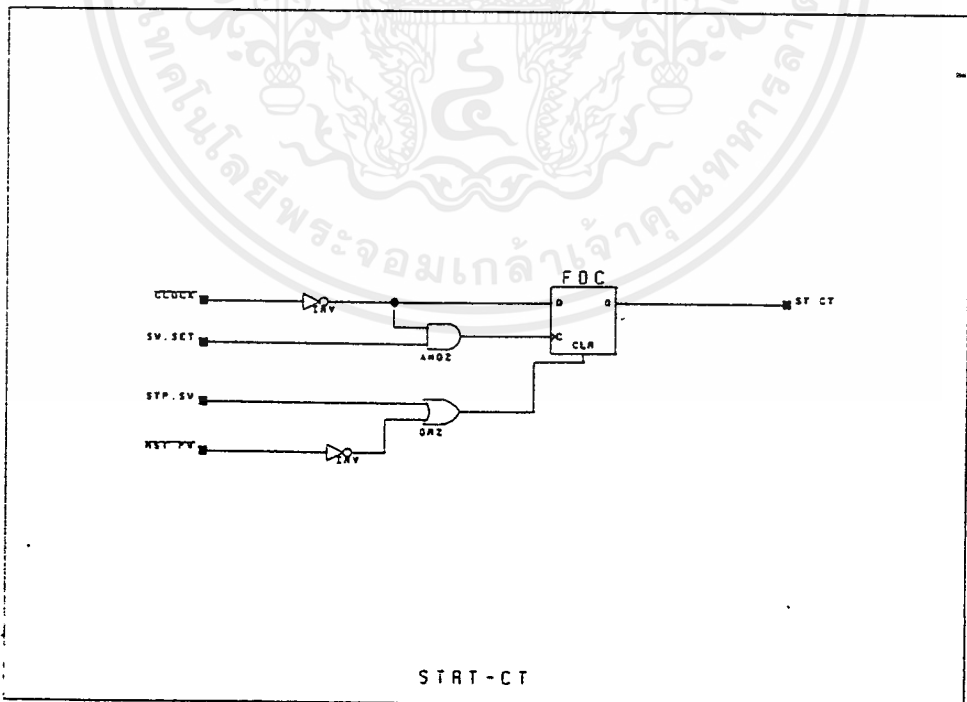


รูปวงจร DISPLAY

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

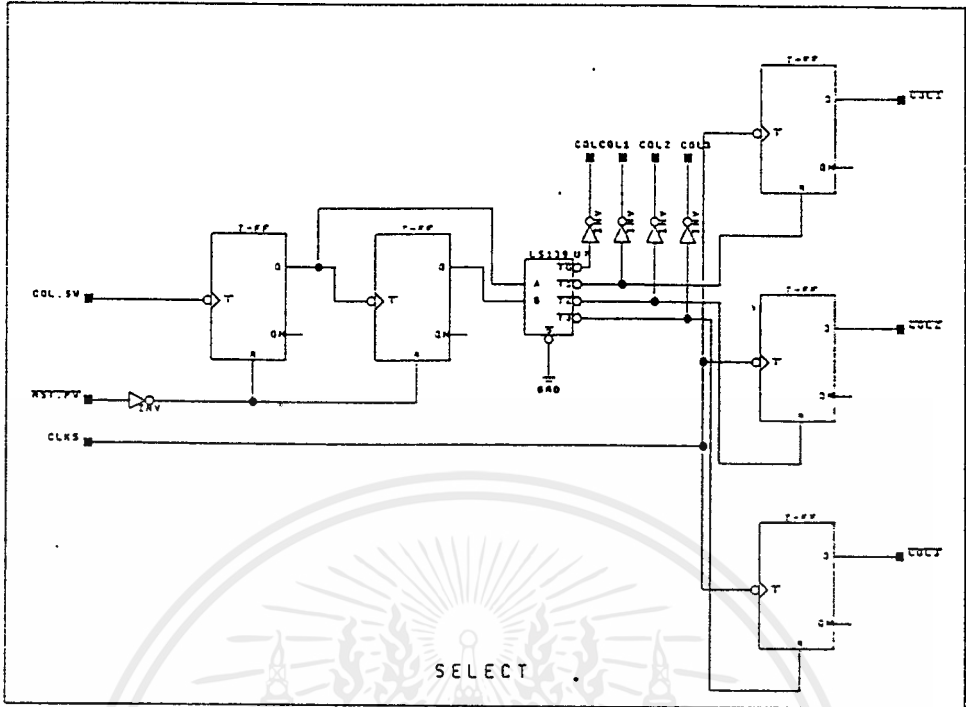


รูปวงจร LS139

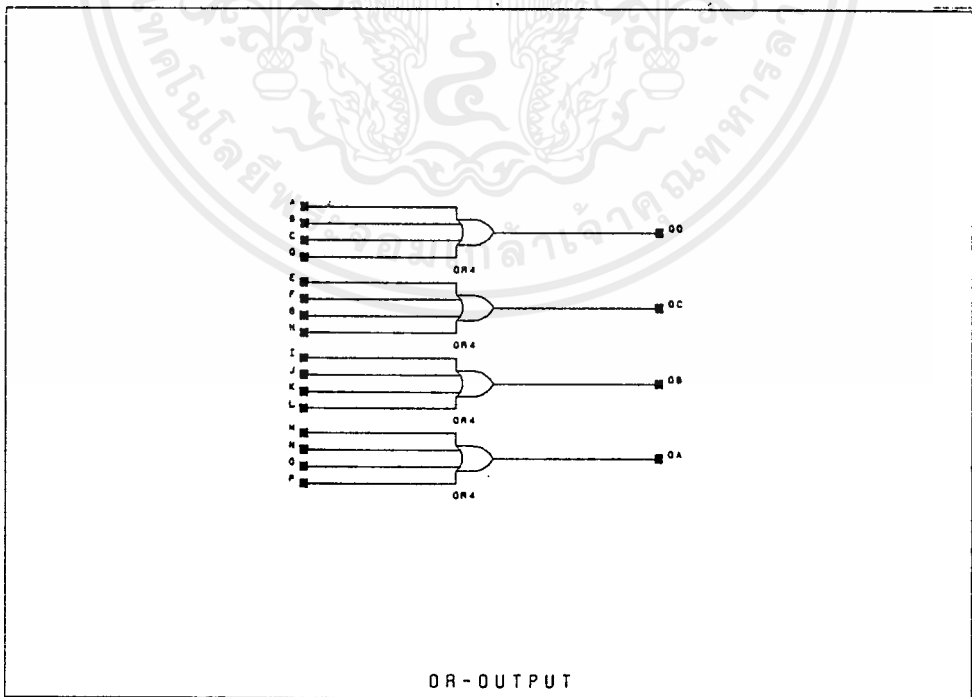


รูปวงจร START-CT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

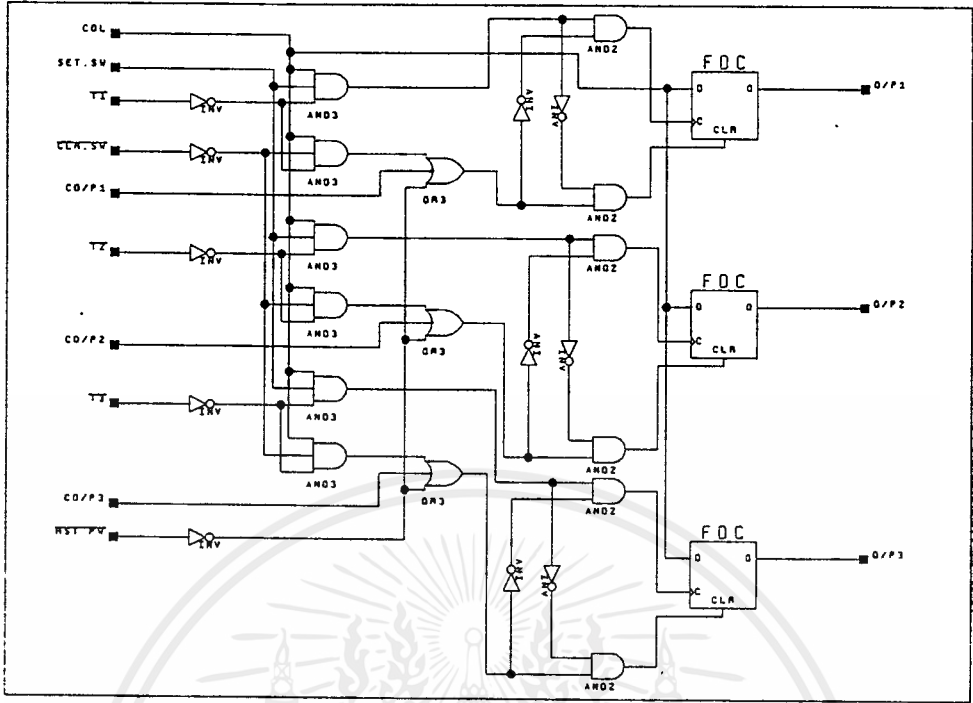


รูปวงจร SELECT

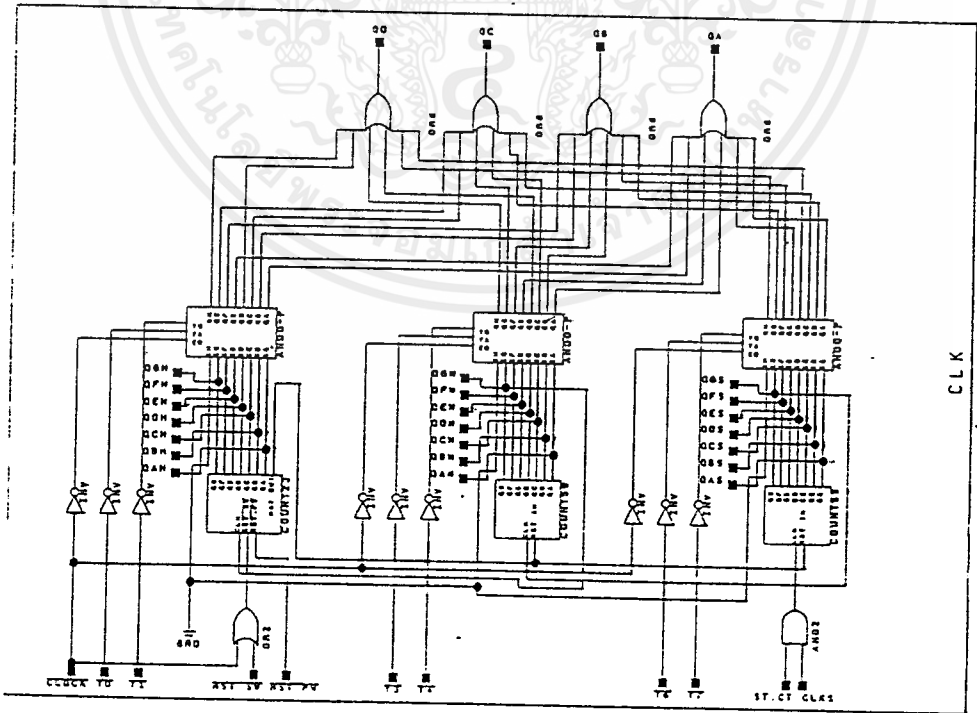


รูปวงจร OR-OUTPUT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

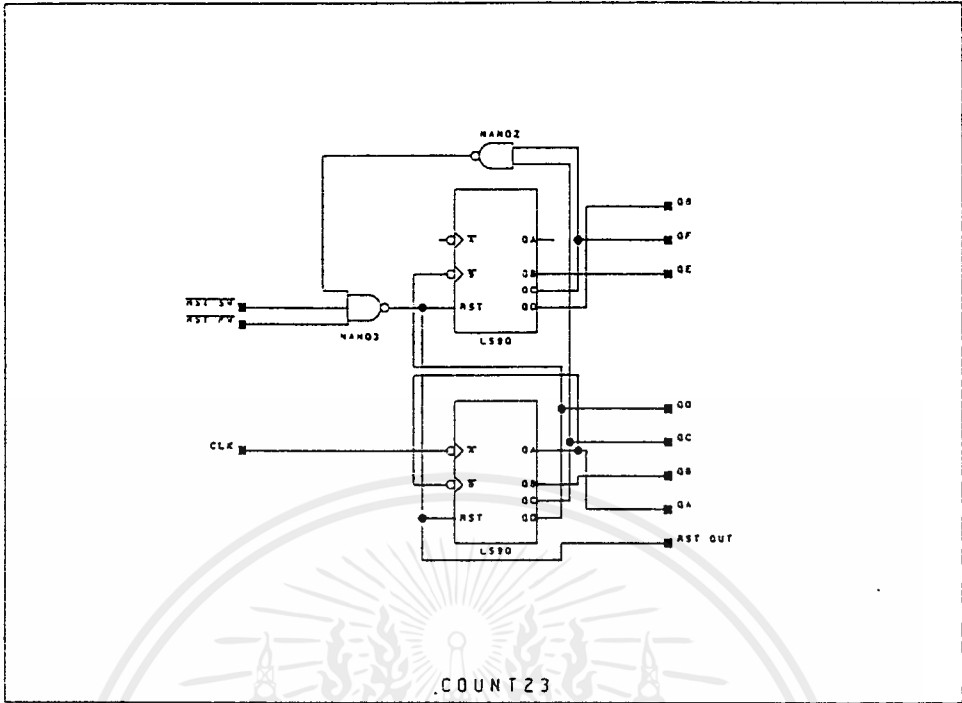


รูปวงจร CONTROL

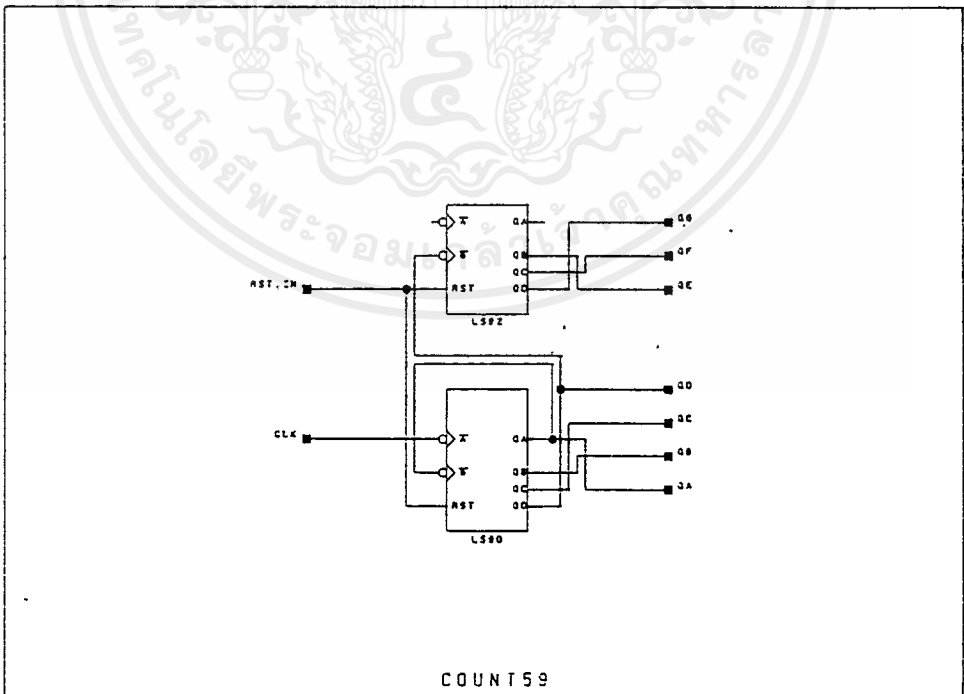


รูปวงจร CLK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

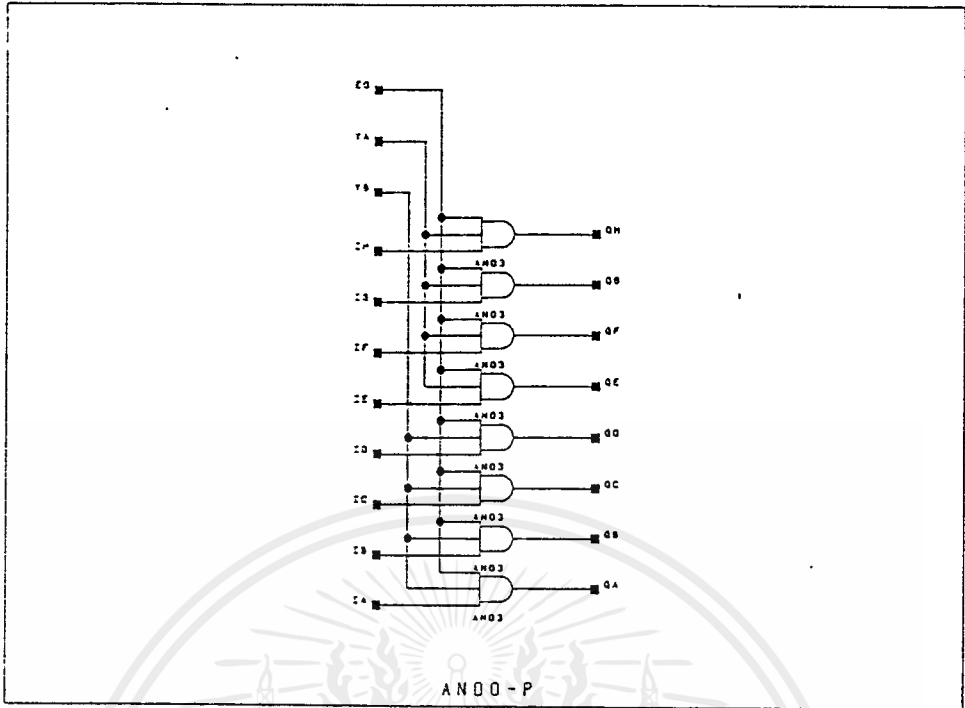


รูปวงจร COUNT23

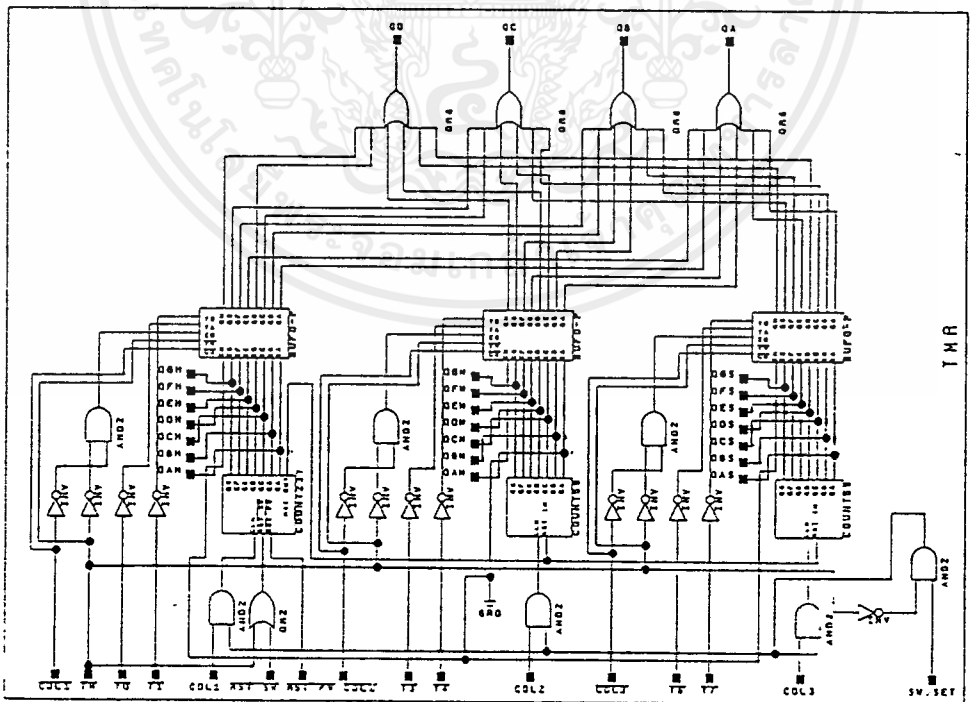


รูปวงจร COUNT59

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

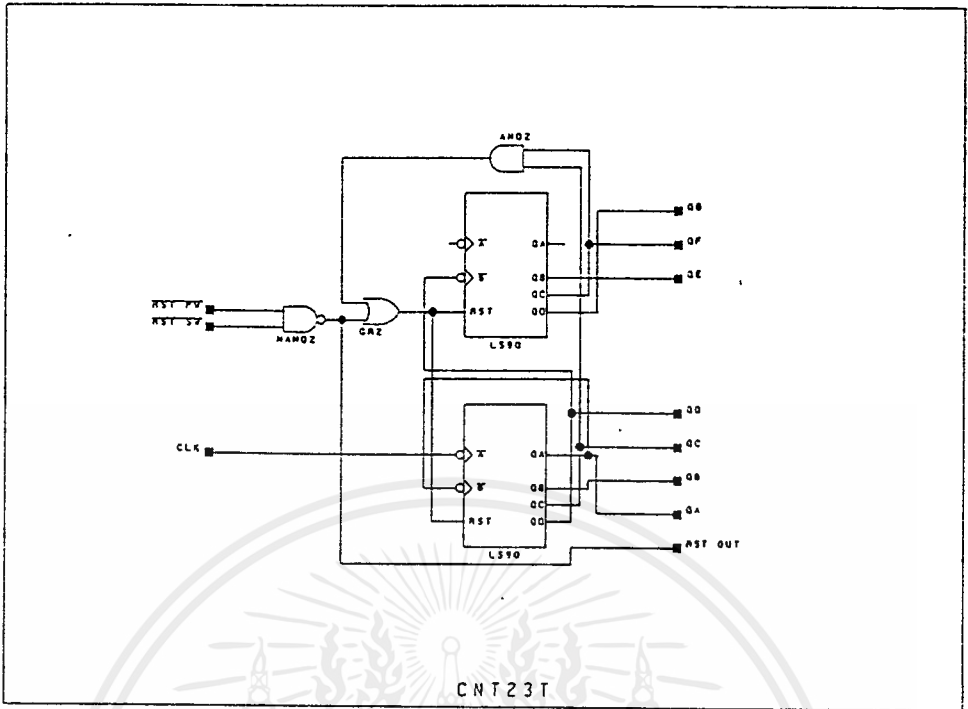


รูปวงจร ANDO-P

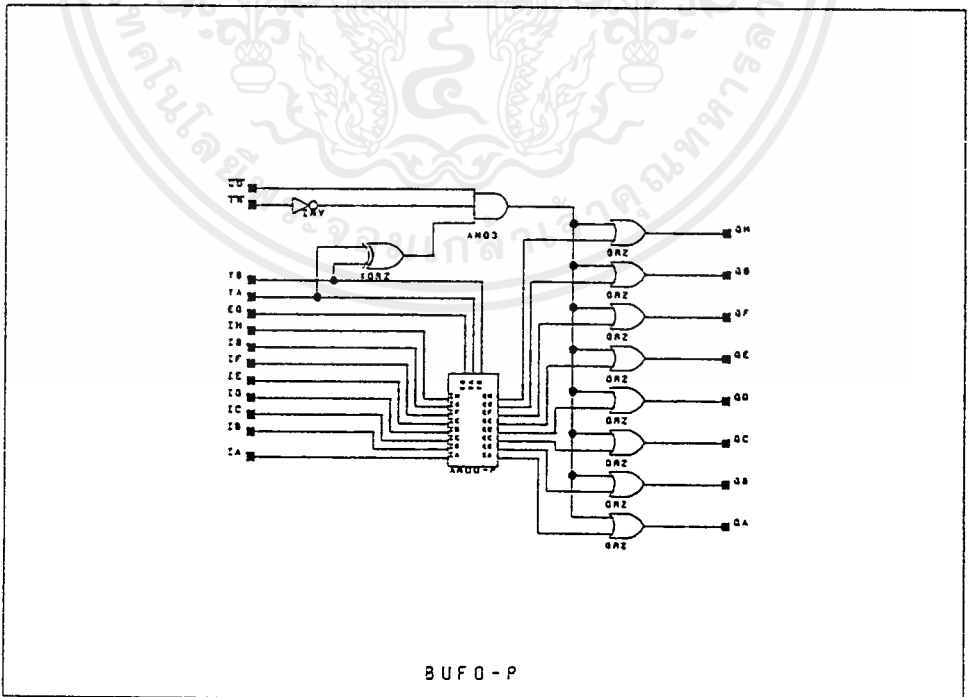


รูปวงจร TMR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

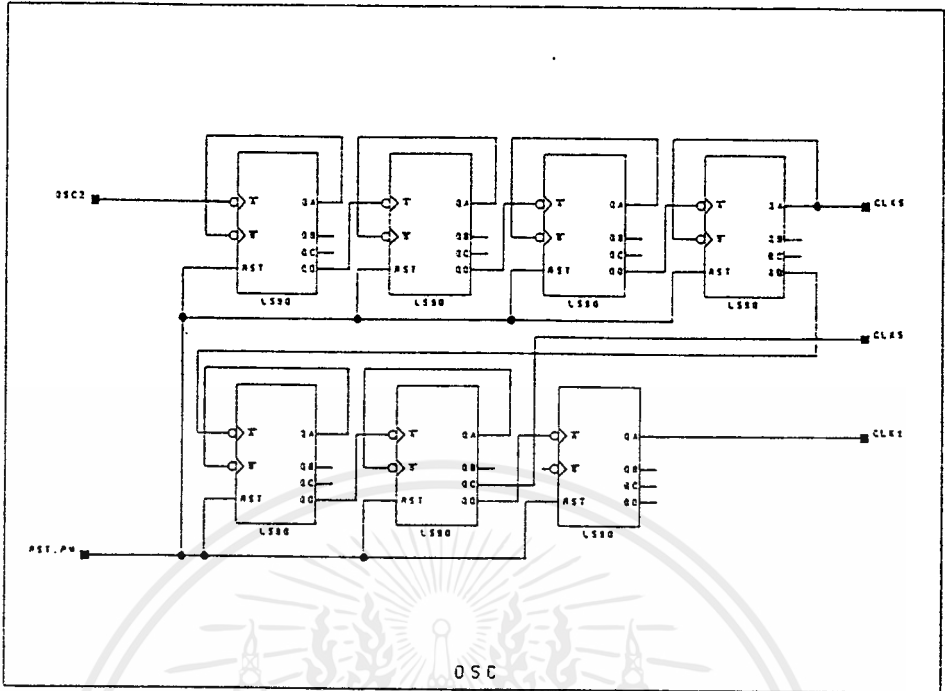


รูปวงจร CNT23T

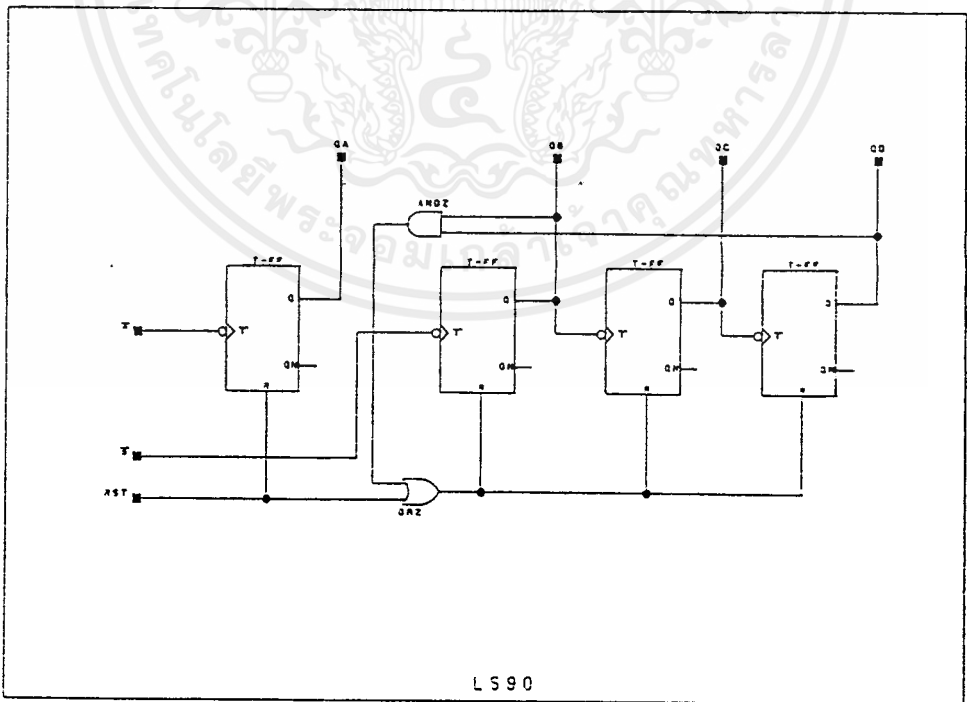


รูปวงจร BUFO-P

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

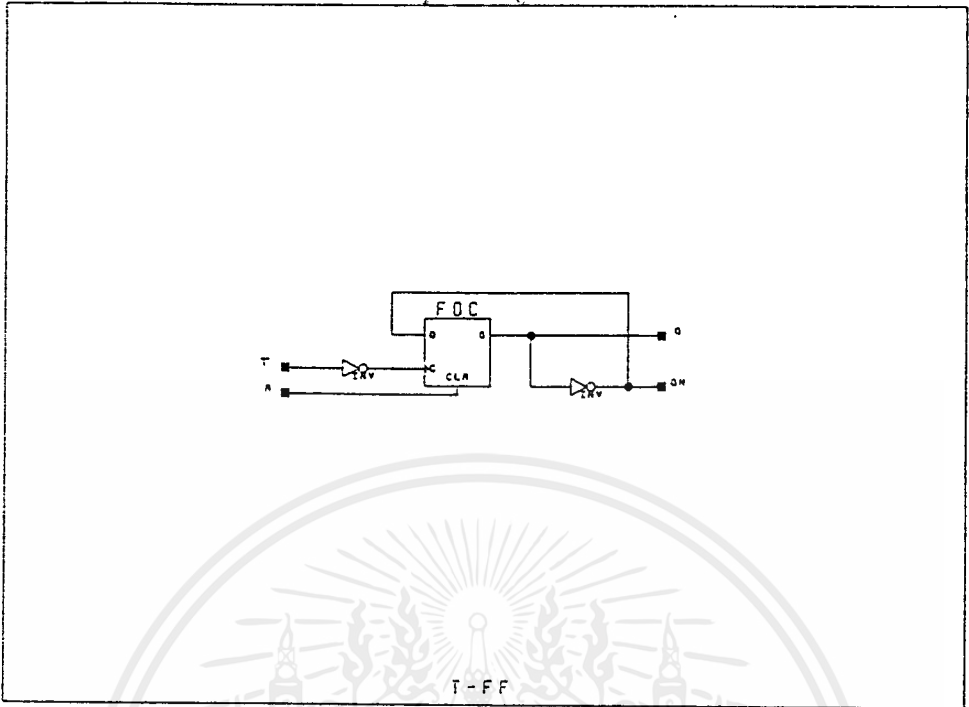


รูปวงจร OSC

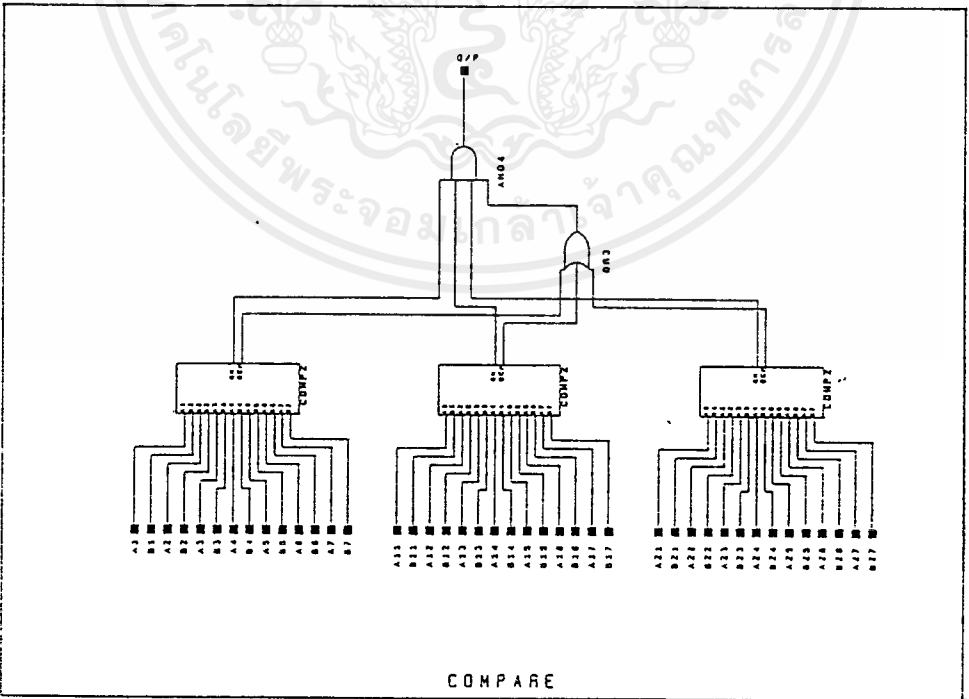


รูปวงจร LS90

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



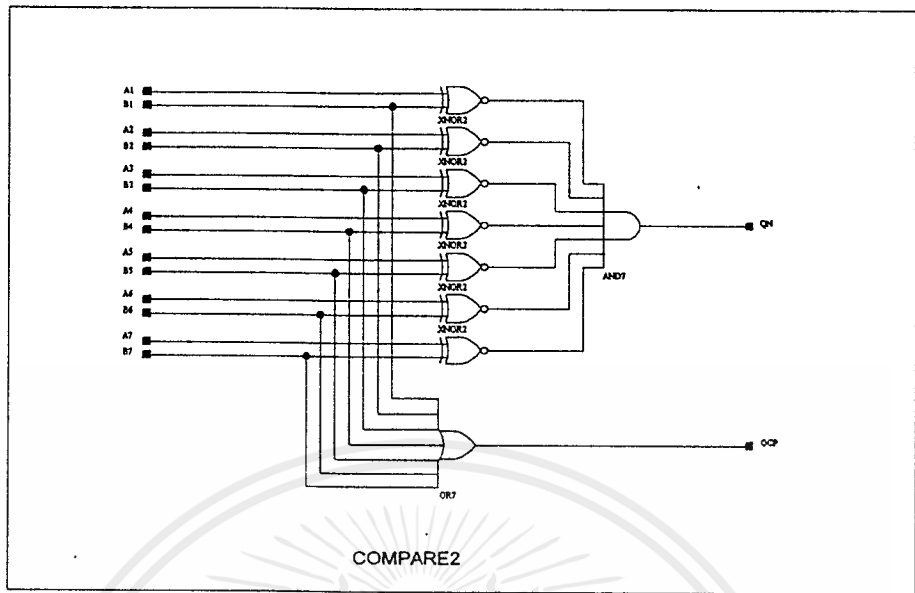
รูปวงจร T-FF



COMPARE

รูปวงจร COMPARE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปวงจร COMP2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ค

เอกสารของ xc4000A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



## XC4000A Logic Cell Array Family

### Product Specifications

#### Features

- Third Generation Field-Programmable Gate Arrays
  - Abundant flip-flops
  - Flexible function generators
  - On-chip ultra-fast RAM
  - Dedicated high-speed carry-propagation circuit
  - Wide edge decoders (two per edge)
  - Hierarchy of interconnect lines
  - Internal 3-state bus capability
  - Eight global low-skew clock or signal distribution network
- Flexible Array Architecture
  - Programmable logic blocks and I/O blocks
  - Programmable interconnects and wide decoders
- Sub-micron CMOS Process
  - High-speed logic and Interconnect
  - Low power consumption
- Systems-Oriented Features
  - IEEE 1149.1-compatible boundary-scan logic support
  - Programmable output slew rate (4 modes)
  - Programmable input pull-up or pull-down resistors
  - 24-mA sink current per output (48 per pair)
- Configured by Loading Binary File
  - Unlimited reprogrammability
  - Six programming modes
- XACT Development System runs on '386/486-type PC, NEC PC, Apollo, Sun-4, and Hewlett-Packard 700 Series
  - Interfaces to popular design environments like Viewlogic, Mentor Graphics and OrCAD
  - Fully automatic partitioning, placement and routing
  - Interactive design editor for design optimization
  - 288 macros, 34 hard macros, RAM/ROM compiler

#### Description

The XC4000A family of FPGAs offers four devices at the low end of the XC4000 family complexity range. XC4000A differs from XC4000 in four areas: fewer routing resources, fewer wide-edge decoders, higher output sink current, and improved output slew-rate control.

- The XC4000 routing structure is optimized for smaller designs, naturally requiring fewer routing resources. The XC4000A devices have four Longlines and four single-length lines per row and column, while the XC4000 devices have six Longlines and eight single-length lines per row and column. This results in a smaller chip area and lower cost per device.
- XC4000A has two wide-edge decoders on every device edge, while the XC4000 has four. All other wide-decoder features are identical in XC4000 and XC4000A.
- XC4000A outputs are specified at 24 mA, sink current, while XC4000 outputs are specified at 12 mA. The source current is the same 4 mA for both families.
- The XC4000A family offers a more sophisticated output slew-rate control structure with four configurable options for each individual output driver: fast, medium fast, medium slow, and slow. Slew-rate control can alleviate ground-bounce problems when multiple outputs switch simultaneously, and it can reduce or eliminate crosstalk and transmission-line effects on printed circuit boards.

Note that the XC4003 and XC4005 devices are available in both flavors, the lower-priced XC4003A/XC4005A with reduced routing, and the higher-priced XC4003/XC4005 with more abundant routing resources. The XC4000A devices are intended for less demanding and more structured designs, and the XC4000 devices for more random designs requiring additional routing resources.

The equivalent devices are pin-compatible and are available in identical packages, but they are not bitstream compatible. In order to move from a XC4000A to a XC4000, or vice versa, the design must be recompiled.

Table 1. The XC4000A Family of Field-Programmable Gate Arrays

Device	XC4002A	XC4003A	XC4004A	XC4005A
Appr. Gate Count	2,000	3,000	4,000	5,000
CLB Matrix	8 x 8	10 x 10	12 x 12	14 x 14
Number of CLBs	64	100	144	196
Number of Flip-Flops	256	360	480	616
Max Decode Inputs (per side)	24	30	36	42
Max RAM Bits	2,048	3,200	4,608	6,272
Number of IOBs	64	80	96	112

## XC4000A Logic Cell Array Family

## Absolute Maximum Ratings

Symbol	Description		Units
V <sub>CC</sub>	Supply voltage relative to GND	-0.5 to +7.0	V
V <sub>IN</sub>	Input voltage with respect to GND	-0.5 to V <sub>CC</sub> +0.5	V
V <sub>TS</sub>	Voltage applied to 3-state output	-0.5 to V <sub>CC</sub> +0.5	V
T <sub>STG</sub>	Storage temperature (ambient)	-65 to +150	°C
T <sub>SOL</sub>	Maximum soldering temperature (10 s @ 1/16 in. = 1.5 mm)	+260	°C
T <sub>J</sub>	Junction temperature	+150	°C

Note: Stresses beyond those listed under Absolute Maximum Ratings may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those listed under Recommended Operating Conditions is not implied. Exposure to Absolute Maximum Ratings conditions for extended periods of time may affect device reliability.

## Operating Conditions

Symbol	Description	Min	Max	Units
V <sub>CC</sub>	Supply voltage relative to GND Commercial 0°C to 85°C junction	4.75	5.25	V
	Supply voltage relative to GND Industrial -40°C to 100°C junction	4.5	5.5	V
	Supply voltage relative to GND Military -55°C to 125°C case	4.5	5.5	V
V <sub>IH</sub>	High-level input voltage (XC4000 has TTL-like input thresholds)	2.0	V <sub>CC</sub>	V
V <sub>IL</sub>	Low-level input voltage (XC4000 has TTL-like input thresholds)	0	0.8	V
T <sub>IN</sub>	Input signal transition time		250	ns

At junction temperatures above those listed as Operating conditions, all delay parameters increase by 0.35% per °C.

## DC Characteristics Over Operating Conditions

Symbol	Description	Min	Max	Units
V <sub>OH</sub>	High-level output voltage @ I <sub>OH</sub> = -4.0 mA, V <sub>CC</sub> min	2.4		V
V <sub>OL</sub>	Low-level output voltage @ I <sub>OL</sub> = 24 mA, V <sub>CC</sub> min (Note 1)		0.4	V
I <sub>CC0</sub>	Quiescent LCA supply current (Note 2)		10	mA
I <sub>IL</sub>	Leakage current	-10	+10	μA
C <sub>IN</sub>	Input capacitance (sample tested)		15	pF
I <sub>RIN</sub>	Pad pull-up (when selected) @ V <sub>IN</sub> = 0V (sample tested)	0.02	0.25	mA
I <sub>RLL</sub>	Horizontal Long Line pull-up (when selected) @ logic Low	0.2	2.5	mA

Note: 1. With 50% of the outputs simultaneously sinking 24 mA.  
2. With no output current loads, no active input or longline pull-up resistors, all package pins at V<sub>CC</sub> or GND, and the LCA configured with a MakeBits tie option.

### Wide Decoder Switching Characteristic Guidelines

Testing of the switching parameters is modeled after testing methods specified by MIL-M-38510/605. All devices are 100% functionally tested. Since many internal timing parameters cannot be measured directly, they are derived from benchmark timing patterns. The following guidelines reflect worst-case values over the recommended operating conditions. For more detailed, more precise, and more up-to-date timing information, use the values provided by the XACT timing calculator and used in the simulator.

Description	Speed Grade		-6	-5	-4	Units
	Symbol	Device	Max	Max	Max	
Full length, both pull-ups, inputs from IOB I-pins	$T_{WAF}$	XC4002A	8.5	7.5	6.0	ns
		XC4003A	9.0	8.0		ns
		XC4004A	9.5	8.5		ns
		XC4005A	10.0	9.0		ns
Full length, both pull-ups inputs from internal logic	$T_{WAFL}$	XC4002A	11.5	10.5	7.0	ns
		XC4003A	12.0	11.0		ns
		XC4004A	12.5	11.5		ns
		XC4005A	13.0	12.0		ns
Half length, one pull-up inputs from IOB I-pins	$T_{WAO}$	XC4002A	8.5	7.5	6.0	ns
		XC4003A	9.0	8.0		ns
		XC4004A	9.5	8.5		ns
		XC4005A	10.0	9.0		ns
Half length, one pull-up inputs from internal logic	$T_{WAOL}$	XC4002A	11.5	10.5	8.0	ns
		XC4003A	12.0	11.0		ns
		XC4004A	12.5	11.5		ns
		XC4005A	13.0	12.0		ns

Note: These delays are specified from the decoder input to the decoder output. For pin-to-pin delays, add the input delay ( $T_{PI0}$ ) and output delay (one of 4 modes), as listed on page 2-70.

### Global Buffer Switching Characteristic Guidelines

Testing of the switching parameters is modeled after testing methods specified by MIL-M-38510/605. All devices are 100% functionally tested. Since many internal timing parameters cannot be measured directly, they are derived from benchmark timing patterns. The following guidelines reflect worst-case values over the recommended operating conditions. For more detailed, more precise, and more up-to-date timing information, use the values provided by the XACT timing calculator and used in the simulator.

Description	Speed Grade		-6	-5	-4	Units
	Symbol	Device	Max	Max	Max	
Global Signal Distribution From pad through primary buffer, to any clock k	$T_{PG}$	XC4002A	7.7	5.7	5.0	ns
		XC4003A	7.8	5.8		ns
		XC4004A	7.9	5.9		ns
		XC4005A	8.0	6.0		ns
From pad through secondary buffer, to any clock k	$T_{SG}$	XC4002A	8.7	6.7	6.0	ns
		XC4003A	8.8	6.8		ns
		XC4004A	8.9	6.9		ns
		XC4005A	9.0	7.0		ns

## XC4000A Logic Cell Array Family

## Horizontal Longline Switching Characteristic Guidelines

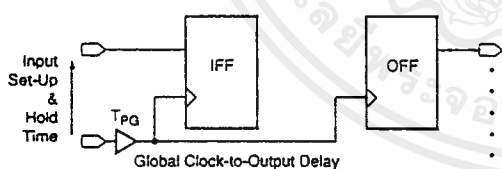
Testing of the switching parameters is modeled after testing methods specified by MIL-M-38510/605. All devices are 100% functionally tested. Since many internal timing parameters cannot be measured directly, they are derived from benchmark timing patterns. The following guidelines reflect worst-case values over the recommended operating conditions. For more detailed, more precise, and more up-to-date timing information, use the values provided by the XACT timing calculator and used in the simulator.

Description	Speed Grade		-6	-5	-4	Units
	Symbol	Device	Max	Max	Max	
TBUF driving a Horizontal Longline (L.L.) I going High or Low to L.L. going High or Low, while T is Low, i.e. buffer is constantly active	$T_{IO1}$	XC4002A	8.2	6.0	4.4	ns
		XC4003A	8.8	6.2	4.4	ns
		XC4004A	9.4	6.6	5.5	ns
		XC4005A	10.0	7.0	5.5	ns
I going Low to L.L. going from resistive pull-up High to active Low, (TBUF configured as open drain)	$T_{IO2}$	XC4002A	8.7	6.5	5.0	ns
		XC4003A	9.3	6.7	5.0	ns
		XC4004A	9.9	7.1	6.0	ns
		XC4005A	10.5	7.5	6.0	ns
T going Low to L.L. going from resistive pull-up or floating High to active Low, (TBUF configured as open drain)	$T_{ON}$	XC4002A	10.1	8.4	7.2	ns
		XC4003A	10.7	9.0	7.2	ns
		XC4004A	11.4	9.5	8.0	ns
		XC4005A	12.0	10.0	8.0	ns
T going High to TBUF going inactive, not driving L.L.	$T_{OFF}$	All devices	3.0	2.0	1.8	ns
T going High to L.L. going from Low to High, pulled up by a single resistor	$T_{PUS}$	XC4002A	23.0	19.0	14.0	ns
		XC4003A	24.0	20.0	14.0	ns
		XC4004A	25.0	21.0	16.0	ns
		XC4005A	26.0	22.0	16.0	ns
T going High to L.L. going from Low to High, pulled up by two resistors	$T_{PUF}$	XC4002A	10.5	8.5	7.0	ns
		XC4003A	11.0	9.0	7.0	ns
		XC4004A	11.5	9.5	7.0	ns
		XC4005A	12.0	10.0	8.0	ns

### Guaranteed Input and Output Parameters (Pin-to-Pin)

All values listed below are tested directly, and guaranteed over the operating conditions. The same parameters can also be derived indirectly from the IOB and Global Buffer specifications. The XACT delay calculator uses this indirect method. When there is a discrepancy between these two methods, the directly tested values listed below should be used, and the derived values should be ignored.

Description	Symbol	Device	Speed Grade			Units
			-6	-5	-4	
Global Clock to Output (fast)	T <sub>ICKOF</sub> (Max)	XC4002A	14.9	12.2	11.6	ns
		XC4003A	15.1	12.5	12.0	ns
		XC4004A	15.3	12.8	12.0	ns
		XC4005A	15.5	13.0	12.0	ns
Global Clock to Output (slew limited)	T <sub>ICKO</sub> (Max)	XC4002A	19.9	15.2	14.6	ns
		XC4003A	20.1	15.5	14.6	ns
		XC4004A	20.3	15.8	15.0	ns
		XC4005A	20.5	16.0	15.0	ns
Input Set-up Time, using IFF (no delay)	T <sub>PSUF</sub> (Min)	XC4002A	2.6	2.3	1.6	ns
		XC4003A	2.4	2.0	1.6	ns
		XC4004A	2.2	1.7	1.2	ns
		XC4005A	2.0	1.5	1.2	ns
Input Hold time, using IFF (no delay)	T <sub>PHF</sub> (Min)	XC4002A	4.9	3.7	4.0	ns
		XC4003A	5.1	4.0	4.0	ns
		XC4004A	5.3	4.3	4.5	ns
		XC4005A	5.5	4.5	4.5	ns
Input Set-up Time, using IFF (with delay)	T <sub>PSU</sub> (Min)	XC4002A	21.8	18.8	12.0	ns
		XC4003A	21.5	18.5	12.0	ns
		XC4004A	21.2	18.2	12.0	ns
		XC4005A	21.0	18.0	12.0	ns
Input Hold Time, using IFF (with delay)	T <sub>PH</sub> (Min)	XC4002A	0	0	0	ns
		XC4003A	0	0	0	ns
		XC4004A	0	0	0	ns
		XC4005A	0	0	0	ns



Timing is measured at pin threshold, with 50 pF external capacitive loads (incl. test fixture). When testing fast outputs, only one output switches. When testing slew-rate limited outputs, half the number of outputs on one side of the device are switching. These parameter values are tested and guaranteed for worst-case conditions of supply voltage and temperature, and also with the most unfavorable clock polarity choice.

#### TPDLI for -4 Speed Grade

Pad to I1, I2 via transparent latch, with delay	XC4003A	17.6 ns
	XC4005A	17.9 ns

See page 2-76

#### TPICKD for -4 Speed Grade

Input set-up time pad to clock (IK) with delay	XC4003A	15.6 ns
	XC4005A	15.9 ns

X6081

## XC4000A Logic Cell Array Family

## IOB Switching Characteristic Guidelines

Testing of the switching parameters is modeled after testing methods specified by MIL-M-38510/605. All devices are 100% functionally tested. Since many internal timing parameters cannot be measured directly, they are derived from benchmark timing patterns. The following guidelines reflect worst-case values over the recommended operating conditions. For more detailed, more precise, and more up-to-date timing information, use the values provided by the XACT timing calculator and used in the simulator.

Description	Symbol	-6		-5		XC4003A XC4005A -4		Units
		Min	Max	Min	Max	Min	Max	
<b>INPUT</b>								
Propagation Delays								
Pad to I1, I2	$T_{PID}$		4.0		3.0		2.8	ns
Pad to I1, I2, via transparent latch (no delay)	$T_{PLI}$		8.0		7.0		6.0	ns
Pad to I1, I2, via transparent latch (with delay)	$T_{POLI}$		26.0		24.0		6.0	ns
Clock (IK) to I1, I2, (flip-flop)	$T_{IKRI}$		8.0		7.0		6.0	ns
Clock (IK) to I1, I2 (latch enable, active Low)	$T_{IKLI}$		8.0		7.0		6.0	ns
Set-up Time (Note 3)								
Pad to Clock (IK), no delay	$T_{PICK}$		7.0		6.0		4.0	ns
Pad to Clock (IK) with delay	$T_{PICKD}$		25.0		24.0		1.0	ns
Hold Time (Note 3)								
Pad to Clock (IK), no delay	$T_{IKPI}$		1.0		1.0		1.0	ns
Pad to Clock (IK) with delay	$T_{IKPID}$		neg		neg		neg	ns
<b>OUTPUT</b>								
Propagation Delays								
Clock (OK) to Pad (fast)	$T_{OKPOF}$		7.5		7.0		6.5	ns
Output (O) to Pad (fast)	$T_{OFF}$		9.0		7.0		5.5	ns
3-state to Pad begin hi-Z (slew-rate independent)	$T_{TSHZ}$		9.0		7.0		6.5	ns
3-state to Pad active and valid (fast)	$T_{TSONF}$		13.0		10.0		9.5	ns
Additional Delay								
For medium fast outputs			2.0		1.5		1.0	ns
For medium slow outputs			4.0		3.0		2.0	ns
For slow outputs			6.0		4.5		3.0	ns
Set-up and Hold Times								
Output (O) to clock (OK) set-up time	$T_{OOK}$		8.0		6.0		5.5	ns
Output (O) to clock (OK) hold time	$T_{OKO}$		0.0		0.0		0.0	ns
Clock								
Clock High or Low time	$T_{CH}/T_{CL}$		5.0		4.0		4.0	ns
Global Set/Reset								
Delay from GSR net through Q to I1, I2	$T_{RRI}$		14.5		13.5		13.5	ns
Delay from GSR net to Pad	$T_{RPO}$		18.0		17.0		14.6	ns
GSR width*	$T_{MRW}$		21.0		18.0		18.0	ns

\* Timing is based on the XC4005. For other devices see XACT timing calculator.

\*\* See preceding page.

Notes: 1. Timing is measured at pin threshold, with 50 pF external capacitive loads (incl. test fixture).

2. Voltage levels of unused (bonded and unbonded) pads must be valid logic levels. Each can be configured with the internal pull-up or pull-down resistor or alternatively configured as a driven output or be driven from an external source.
3. Input pad setup times and hold times are specified with respect to the internal clock (IK). To calculate system setup time, subtract clock delay (clock pad to IK) from the specified input pad setup time value, but do not subtract below zero. Negative hold time means that the delay in the input data is adequate for the external system hold time to be zero, provided the input clock uses the Global signal distribution from pad to IK.

### CLB Switching Characteristic Guidelines

Testing of the switching parameters is modeled after testing methods specified by MIL-M-38510/605. All devices are 100% functionally tested. Since many internal timing parameters cannot be measured directly, they are derived from benchmark timing patterns. The following guidelines reflect worst-case values over the recommended operating conditions. For more detailed, more precise, and more up-to-date timing information, use the values provided by the XACT timing calculator and used in the simulator.

Description	Symbol	Speed Grade		-6		-5		XC4003A XC4005A -4	Units
		Min	Max	Min	Max	Min	Max		
Combinatorial Delays									
F/G inputs to X/Y outputs	$T_{ILO}$		6.0		4.5		4.0		ns
F/G inputs via H' to X/Y outputs	$T_{IHO}$		8.0		7.0		6.0		ns
C inputs via H' to X/Y outputs	$T_{HHO}$		7.0		5.0		4.5		ns
CLB Fast Carry Logic									
Operand inputs (F1,F2,G1,G4) to $C_{OUT}$	$T_{OPCY}$		7.0		5.5		5.0		ns
Add/Subtract input (F3) to $C_{OUT}$	$T_{ASCY}$		8.0		6.0		5.5		ns
Initialization inputs (F1,F3) to $C_{OUT}$	$T_{INCY}$		6.0		4.0		3.5		ns
$C_{IN}$ through function generators to X/Y outputs	$T_{SUM}$		8.0		6.0		5.5		ns
$C_{IN}$ to $C_{OUT}$ , bypass function generators.	$T_{BYP}$		2.0		1.5		1.5		ns
Sequential Delays									
Clock K to outputs Q	$T_{CKO}$		5.0		3.0		3.0		ns
Set-up Time before Clock K									
F/G inputs	$T_{ICK}$	6.0		4.5		4.5			ns
F/G inputs via H'	$T_{IHCK}$	8.0		6.0		6.0			ns
C inputs via H1	$T_{HHCK}$	7.0		5.0		5.0			ns
C inputs via DIN	$T_{DICK}$	4.0		3.0		3.0			ns
C inputs via EC	$T_{ECK}$	7.0		4.0		3.0			ns
C inputs via S/R, going Low (inactive)	$T_{RCK}$	6.0		4.5		4.0			ns
$C_{IN}$ input via F/G'		8.0		6.0		5.5			ns
$C_{IN}$ input via F/G' and H'		10.0		7.5		7.3			ns
Hold Time after Clock K									
F/G inputs	$T_{CKI}$	0		0		0			ns
F/G inputs via H'	$T_{CKIH}$	0		0		0			ns
C inputs via H1	$T_{CKHH}$	0		0		0			ns
C inputs via DIN	$T_{CKDI}$	0		0		0			ns
C inputs via EC	$T_{CKEC}$	0		0		0			ns
C inputs via S/R, going Low (inactive)	$T_{CKR}$	0		0		0			ns
Clock									
Clock High time	$T_{CH}$	5.0		4.0		4.0			ns
Clock Low time	$T_{CL}$	5.0		4.0		4.0			ns
Set/Reset Direct									
Width (High)	$T_{RPW}$	5.0		4.0		4.0			ns
Delay from C inputs via S/R, going High to Q	$T_{RIO}$		9.0		8.0		7.0		ns
Master Set/Reset*									
Width (High or Low)	$T_{MRW}$	21.0		18.0		18.0			ns
Delay from Global Set/Reset net to Q	$T_{MRO}$		33.0		31.0		28.0		ns

\* Timing is based on the XC4005. For other devices see XACT timing calculator.

## XC4000A Logic Cell Array Family

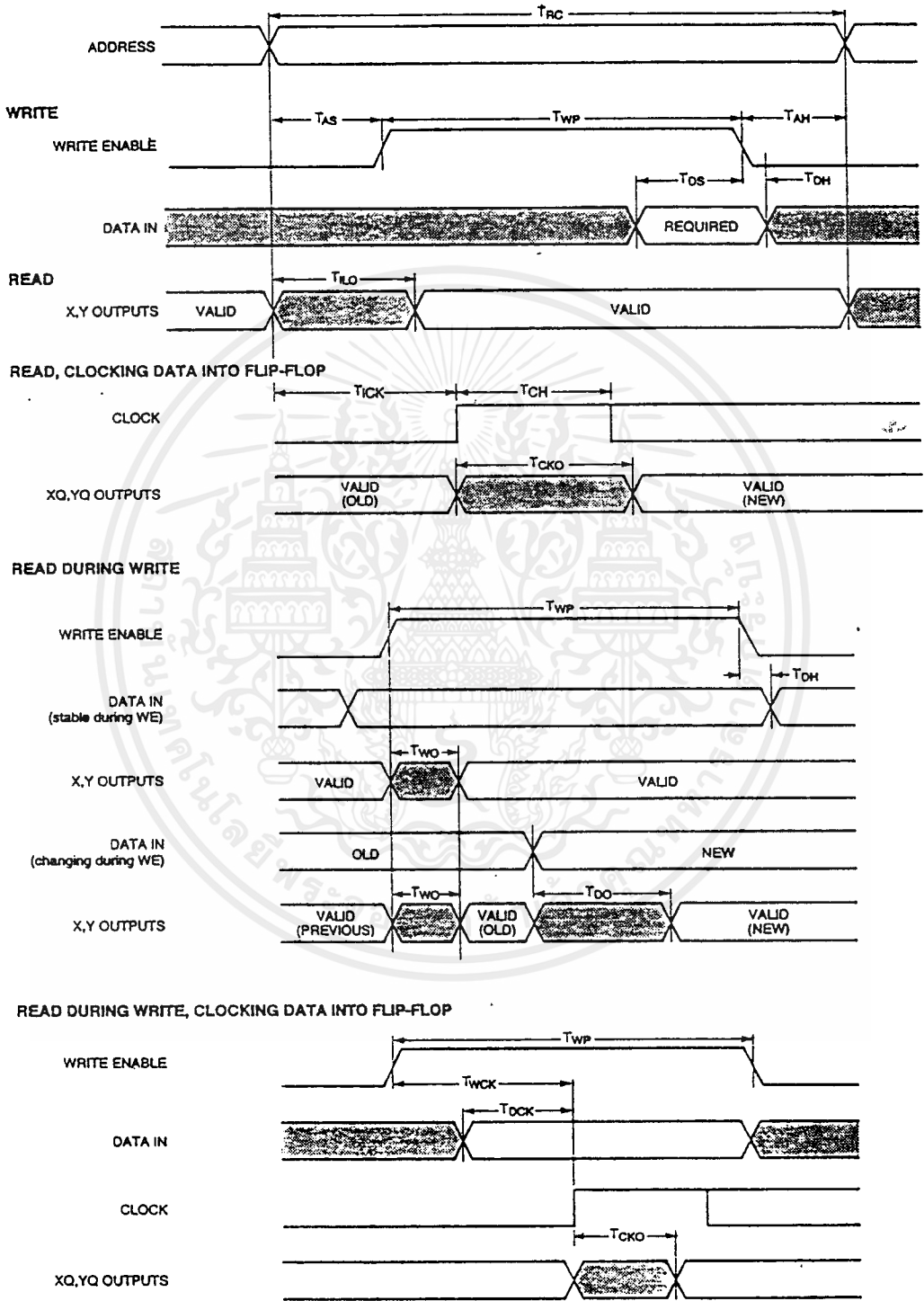
## CLB Switching Characteristic Guidelines (continued)

Testing of the switching parameters is modeled after testing methods specified by MIL-M-38510/605. All devices are 100% functionally tested. Since many internal timing parameters cannot be measured directly, they are derived from benchmark timing patterns. The following guidelines reflect worst-case values over the recommended operating conditions. For more detailed, more precise, and more up-to-date timing information, use the values provided by the XACT timing calculator and used in the simulator.

CLB RAM OPTION	Speed Grade		-6		-5		XC4003A XC4005A -4		Units
			Min	Max	Min	Max	Min	Max	
Description	Symbol		Min	Max	Min	Max	Min	Max	Units
<b>Write Operation</b>									
Address write cycle time	16 x 2	T <sub>WC</sub>	9.0		8.0		8.0		ns
	32 x 1	T <sub>WCT</sub>	9.0		8.0		8.0		ns
Write Enable pulse width (High)	16 x 2	T <sub>WP</sub>	5.0		4.0		4.0		ns
	32 x 1	T <sub>WPT</sub>	5.0		4.0		4.0		ns
Address set-up time before beginning of WE	16 x 2	T <sub>AS</sub>	2.0		2.0		2.0		ns
	32 x 1	T <sub>AST</sub>	2.0		2.0		2.0		ns
Address hold time after end of WE	16 x 2	T <sub>AH</sub>	2.0		2.0		2.0		ns
	32 x 1	T <sub>AHT</sub>	2.0		2.0		2.0		ns
DIN set-up time before end of WE	16 x 2	T <sub>DS</sub>	4.0		4.0		4.0		ns
	32 x 1	T <sub>DST</sub>	5.0		5.0		5.0		ns
DIN hold time after end of WE	both	T <sub>DHT</sub>	2.0		2.0		2.0		ns
<b>Read Operation</b>									
Address read cycle time	16 x 2	T <sub>RC</sub>	7.0		5.5		5.0		ns
	32 x 1	T <sub>RCT</sub>	10.0		7.5		7.0		ns
Data valid after address change (no Write Enable)	16 x 2	T <sub>ILO</sub>		6.0		4.5		4.0	ns
	32 x 1	T <sub>IHO</sub>		8.0		7.0		6.0	ns
<b>Read Operation, Clocking Data into Flip-Flop</b>									
Address setup time before clock K	16 x 2	T <sub>ICK</sub>	6.0		4.5		4.5		ns
	32 x 1	T <sub>IHCK</sub>	8.0		6.0		6.0		ns
<b>Read During Write</b>									
Data valid after WE going active (DIN stable before WE)	16 x 2	T <sub>WO</sub>		12.0		10.0		9.0	ns
	32 x 1	T <sub>WOT</sub>		15.0		12.0		11.0	ns
Data valid after DIN (DIN change during WE)	16 x 2	T <sub>DO</sub>		11.0		9.0		8.5	ns
	32 x 1	T <sub>DOT</sub>		14.0		11.0		11.0	ns
<b>Read During Write, Clocking Data into Flip-Flop</b>									
WE setup time before clock K	16 x 2	T <sub>WCK</sub>	12.0		10.0		9.5		ns
	32 x 1	T <sub>WCKT</sub>	15.0		12.0		11.5		ns
Data setup time before clock K	16 x 2	T <sub>DCK</sub>	11.0		9.0		9.0		ns
	32 x 1	T <sub>DCKT</sub>	14.0		11.0		11.0		ns

Note: Timing for the 16 x 1 RAM option is identical to 16 x 2 RAM timing

CLB RAM Timing Characteristics



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



---

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## XC4002A Pinouts

Pin Description	PC 84	PQ100	VQ100	PG120	Bound Scan	Pin Description	PC 84	PQ100	VQ100	PG120	Bound Scan	Pin Description	PC 84	PQ100	VQ100	PG120	Bound Scan	
VCC	2	92	89	G3	-	I/O	28	23	20	C9	92	-	-	-	-	-	L9	-
I/O (A8)	3	93	90	G1	28	SGCK2 (I/O)	29	24	21	A12	95	I/O (D6)	58	58	55	M10	157	
I/O (A9)	4	94	91	F1	29	O (M1)	30	25	22	B11	98	I/O	-	59	58	N11	160	
-	-	95*	92*	E1*	-	GND	31	26	23	C10	-	I/O (D5)	59	60	57	M9	163	
-	-	96*	93*	F2*	-	I (M0)	32	27	24	C11	101†	I/O (CS0)	60	61	58	N10	168	
I/O (A10)	5	97	94	F3	32	VCC	33	28	25	D11	-	-	-	62*	59*	L8*	-	
I/O (A11)	6	98	95	D1	35	I (M2)	34	29	26	B12	102†	-	-	63*	60*	N9*	-	
-	-	-	-	E2*	-	PGCK2 (I/O)	35	30	27	C12	103	I/O (D4)	61	64	61	M8	169	
I/O (A12)	7	99	96	C1	38	I/O (HDC)	36	31	28	A13	106	I/O	62	65	62	N8	172	
I/O (A13)	8	100	97	D2	41	-	-	-	-	B13*	-	VCC	63	66	63	M7	-	
-	-	-	-	E3*	-	-	-	-	-	E11*	-	GND	64	67	64	L7	-	
-	-	-	-	B1*	-	I/O	-	32	29	D12	109	I/O (D3)	65	68	65	N7	175	
I/O (A14)	9	1	98	C2	44	I/O (LDC)	37	33	30	C13	112	I/O (RS)	66	69	66	N6	178	
SGCK1 (A15, I/O)	10	2	99	D3	47	I/O	38	34	31	E12	115	-	-	70*	67*	N5*	-	
VCC	11	3	100	C3	-	I/O	39	35	32	D13	118	-	-	-	-	M6*	-	
GND	12	4	1	C4	-	-	-	36*	33*	F11*	-	I/O (D2)	67	71	68	L6	181	
PGCK1 (A16, I/O)	13	5	2	B2	50	-	-	37*	34*	E13*	-	I/O	68	72	69	N4	184	
I/O (A17)	14	6	3	B3	53	I/O	40	38	35	F12	121	I/O (D1)	69	73	70	M5	187	
-	-	-	-	A1*	-	I/O (ERR, INIT)	41	39	36	F13	124	I/O (POLY-BUS#/FOY)	70	74	71	N3	190	
-	-	-	-	A2*	-	VCC	42	40	37	G12	-	-	-	-	-	M4*	-	
I/O (TDI)	15	7	4	C5	56	GND	43	41	38	G11	-	-	-	-	-	L5*	-	
I/O (TCK)	16	8	5	B4	59	I/O	44	42	39	G13	127	I/O (D0, DIN)	71	75	72	N2	193	
-	-	-	-	A3*	-	I/O	45	43	40	H13	130	SGCK4 (DOUT, I/O)	72	76	73	M3	196	
I/O (TMS)	17	9	6	B5	62	-	-	44*	41*	J13*	-	CCLK	73	77	74	L4	-	
I/O	18	10	7	A4	65	-	-	45*	42*	H12*	-	VCC	74	78	75	L3	-	
-	-	-	-	C6*	-	I/O	46	46	43	H11	133	O (TDO)	75	79	76	M2	-	
-	-	11*	8*	A5*	-	I/O	47	47	44	K13	136	GND	76	80	77	K3	-	
I/O	19	12	9	B6	68	I/O	48	48	45	J12	139	I/O (A0, WS)	77	81	78	L2	2	
I/O	20	13	10	A6	71	I/O	49	49	46	L13	142	PGCK4 (I/O,A1)	78	82	79	N1	5	
GND	21	14	11	B7	-	-	-	-	-	K12*	-	-	-	-	-	M1*	-	
VCC	22	15	12	C7	-	-	-	-	-	J11*	-	-	-	-	-	J3*	-	
I/O	23	16	13	A7	74	I/O	50	50	47	M13	145	I/O (CS1, A2)	79	83	80	K2	8	
I/O	24	17	14	A8	77	SGCK3 (I/O)	51	51	48	L12	148	I/O (A3)	80	84	81	L1	11	
-	-	18*	15*	A9*	-	GND	52	52	49	K11	-	I/O (A4)	81	85	82	J2	14	
-	-	-	-	B8*	-	DONE	53	53	50	L11	-	I/O (A5)	82	86	83	K1	17	
I/O	25	19	16	C8	80	VCC	54	54	51	L10	-	-	-	87*	84*	H3*	-	
I/O	26	20	17	A10	83	PROG	55	55	52	M12	-	-	-	88*	85*	J1*	-	
I/O	27	21	18	B9	86	I/O (D7)	56	56	53	M11	151	I/O (A6)	83	89	86	H2	20	
I/O	-	22	19	A11	89	PGCK3 (I/O)	57	57	54	N13	154	I/O (A7)	84	90	87	H1	23	
-	-	-	-	B10*	-	-	-	-	-	N12*	-	GND	1	91	88	G2	-	

\* Indicates unconnected package pins.

† Contributes only one bit (i) to the boundary scan register.

Boundary Scan Bit 0 = TDO.T

Boundary Scan Bit 1 = TDO.O

Boundary Scan Bit 199 = BSCANT.UPD

## XC4000A Logic Cell Array Family

## XC4003A Pinouts

Pin Description	PC84	VQ100	PQ100	PG120	Bound Scan
VCC	2	89	92	G3	-
I/O (A8)	3	90	93	G1	32
I/O (A9)	4	91	94	F1	35
I/O	-	92	95	E1	38
I/O	-	93	96	F2	41
I/O (A10)	5	94	97	F3	44
I/O (A11)	6	95	98	D1	47
-	-	-	-	E2*	-
I/O (A12)	7	96	99	C1	50
I/O (A13)	8	97	100	D2	53
-	-	-	-	E3*	-
-	-	-	-	B1*	-
I/O (A14)	9	98	1	C2	56
SGCK1 (A15, I/O)	10	99	2	D3	59
VCC	11	100	3	C3	-
GND	12	1	4	C4	-
PGCK1 (A16, I/O)	13	2	5	B2	62
I/O (A17)	14	3	6	B3	65
-	-	-	-	A1*	-
-	-	-	-	A2*	-
I/O (TDI)	15	4	7	C5	68
I/O (TCK)	16	5	8	B4	71
-	-	-	-	A3*	-
I/O (TMS)	17	6	9	B5	74
I/O	18	7	10	A4	77
I/O	-	-	-	C6	80
I/O	-	8	11	A5	83
I/O	19	9	12	B6	86
I/O	20	10	13	A6	89
GND	21	11	14	B7	-
VCC	22	12	15	C7	-
I/O	23	13	16	A7	92
I/O	24	14	17	A8	95
I/O	-	15	18	A9	98
I/O	-	-	-	B8	101
I/O	25	16	19	C8	104
I/O	26	17	20	A10	107
I/O	27	18	21	B9	110
I/O	-	19	22	A11	113
-	-	-	-	B10*	-
I/O	28	20	23	C9	116
SGCK2 (I/O)	29	21	24	A12	119
O (M1)	30	22	25	B11	122
GND	31	23	26	C10	-
I (M0)	32	24	27	C11	125†
VCC	33	25	28	D11	-
I (M2)	34	26	29	B12	126†
PGCK2 (I/O)	35	27	30	C12	127
I/O (HDC)	36	28	31	A13	130
-	-	-	-	B13*	-
-	-	-	-	E11*	-
I/O	-	29	32	D12	133
I/O (LDC)	37	30	33	C13	136
I/O	38	31	34	E12	139
I/O	39	32	35	D13	142
I/O	-	33	36	F11	145
I/O	-	34	37	E13	148
I/O	40	35	38	F12	151
I/O (ERR, IIRm)	41	36	39	F13	154
VCC	42	37	40	G12	-

\* Indicates unconnected package pins.

† Contributes only one bit (i) to the boundary scan register.

Boundary Scan Bit 0 = TDO.T

Boundary Scan Bit 1 = TDO.O

Boundary Scan Bit 247 = BSCANT.UPD

Pin Description	PC84	VQ100	PQ100	PG120	Bound Scan
GND	43	38	41	G11	-
I/O	44	39	42	G13	157
I/O	45	40	43	H13	160
I/O	-	41	44	J13	163
I/O	-	42	45	H12	166
I/O	46	43	46	H11	169
I/O	47	44	47	K13	172
I/O	48	45	48	J12	175
I/O	49	46	49	L13	178
-	-	-	-	K12*	-
-	-	-	-	J11*	-
I/O	50	47	50	M13	181
SGCK3 (I/O)	51	48	51	L12	184
GND	52	49	52	K11	-
DONE	53	50	53	L11	-
VCC	54	51	54	L10	-
PROG	55	52	55	M12	-
I/O (D7)	56	53	56	M11	187
PGCK3 (I/O)	57	54	57	N13	190
-	-	-	-	J12*	-
-	-	-	-	L9*	-
I/O (D6)	58	55	58	M10	193
I/O	-	56	59	N11	196
I/O (D5)	59	57	60	M9	199
I/O (CS0)	60	58	61	N10	202
I/O	-	59	62	L8	205
I/O	-	60	63	N9	208
I/O (D4)	61	61	64	M8	211
I/O	62	62	65	N8	214
VCC	63	63	66	M7	-
GND	64	64	67	L7	-
I/O (D3)	65	65	68	N7	217
I/O (RS)	66	66	69	N6	220
I/O	-	67	70	N5	223
I/O	-	-	-	M6	226
I/O (D2)	67	68	71	L5	229
I/O	68	69	72	N4	232
I/O (D1)	69	70	73	M5	235
I/O (RCLK-BUSY/RDY)	70	71	74	N3	238
-	-	-	-	M4*	-
-	-	-	-	L5*	-
I/O (D0, DIN)	71	72	75	N2	241
SGCK4 (DOUT, I/O)	72	73	76	M3	244
CCLK	73	74	77	L4	-
VCC	74	75	78	L3	-
O (TDO)	75	76	79	M2	-
GND	76	77	80	K3	-
I/O (A0, WS)	77	78	81	L2	2
PGCK4 (A1, I/O)	78	79	82	N1	5
-	-	-	-	M1*	-
-	-	-	-	J3*	-
I/O (CS1, A2)	79	80	83	K2	8
I/O (A3)	80	81	84	L1	11
I/O (A4)	81	82	85	J2	14
I/O (A5)	82	83	86	K1	17
I/O	-	84	87	H3	20
I/O	-	85	88	J1	23
I/O (A6)	83	86	89	H2	26
I/O (A7)	84	87	90	H1	29
GND	1	88	91	G2	-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XC4004A Pinouts

Pin Description	PC84	TQ144	PQ160	PG120	Bound Scan
VCC	2	128	142	G3	-
VO (A8)	3	129	143	G1	38
VO (A9)	4	130	144	F1	41
VO	-	131	145	E1	44
VO	-	132	146	F2	47
VO (A10)	5	133	147	F3	50
VO (A11)	6	134	148	D1	53
-	-	135*	149*	-	-
-	-	136*	150*	-	-
GND	-	137	151	E2	-
-	-	-	152*	-	-
-	-	-	153*	-	-
VO (A12)	7	138	154	C1	56
VO (A13)	8	139	155	O2	59
VO	-	140	156	E3	62
VO	-	141	157	B1	65
VO (A14)	9	142	158	C2	68
SGCK1 (A15, VO)	10	143	159	O3	71
VCC	11	144	160	C3	-
GND	12	1	1	C4	-
PGCK1 (A16, VO)	13	2	2	B2	74
VO (A17)	14	3	3	B3	77
VO	-	4	4	A1	80
VO	-	5	5	A2	83
VO (TDI)	15	6	6	C5	86
VO (TCK)	16	7	7	B4	89
-	-	-	8*	-	-
-	-	-	9*	-	-
GND	-	8	10	A3	-
-	-	9*	11*	-	-
-	-	10*	12*	-	-
VO (TMS)	17	11	13	B5	92
VO	18	12	14	A4	95
VO	-	13	15	C6	98
VO	-	14	16	A5	101
VO	19	15	17	B6	104
VO	20	16	18	A6	107
GND	21	17	19	B7	-
VCC	22	18	20	C7	-
VO	23	19	21	A7	110
VO	24	20	22	A8	113
VO	-	21	23	A9	116
VO	-	22	24	B8	119
VO	25	23	25	C8	122
VO	26	24	26	A10	125
-	-	25*	27*	-	-
-	-	26*	28*	-	-
GND	-	27	29	-	-
-	-	-	30*	-	-
-	-	-	31*	-	-
VO	27	28	32	B9	128
VO	-	29	33	A11	131
VO	-	30	34	B10	134
VO	-	31	35	-	137

Pin Description	PC84	TQ144	PQ160	PG120	Bound Scan
VO	28	32	36	C9	140
SGCK2 (VO)	29	33	37	A12	143
O (M1)	30	34	38	B11	146
GND	31	35	39	C10	-
I (M0)	32	36	40	C11	149†
VCC	33	37	41	D11	-
I (M2)	34	38	42	B12	150†
PGCK2 (VO)	35	39	43	C12	151
VO (HDC)	36	40	44	A13	154
VO	-	41	45	B13	157
VO	-	42	46	E11	160
VO	-	43	47	D12	163
VO (LDC)	37	44	48	C13	166
-	-	-	49*	-	-
-	-	-	50*	-	-
GND	-	45	51	-	-
-	-	46*	52*	-	-
-	-	47*	53*	-	-
VO	38	48	54	E12	169
VO	39	49	55	D13	172
VO	-	50	56	F11	175
VO	-	51	57	E13	178
VO	40	52	58	F12	181
VO (ERR, INT)	41	53	59	F13	184
VCC	42	54	60	G12	-
GND	43	55	61	G11	-
VO	44	56	62	G13	187
VO	45	57	63	H13	190
VO	-	58	64	J13	193
VO	-	59	65	H12	196
VO	46	60	66	H11	199
VO	47	61	67	K13	202
-	-	62*	68*	-	-
-	-	63*	69*	-	-
GND	-	64	70	-	-
-	-	-	71*	-	-
-	-	-	72*	-	-
VO	48	65	73	J12	205
VO	49	66	74	L13	201
VO	-	67	75	K12	211
VO	-	68	76	J11	214
VO	50	69	77	M13	217
SGCK3 (VO)	51	70	78	L12	220
GND	52	71	79	K11	-
DONE	53	72	80	L11	-
VCC	54	73	81	L10	-
PROG	55	74	82	M12	-
VO (D7)	56	75	83	M11	223
PGCK3 (VO)	57	76	84	N13	226
VO	-	77	85	N12	229
VO	-	78	86	L9	232
VO (D6)	58	79	87	M10	235
VO	-	80	88	N11	238
-	-	-	89*	-	-

Pin Description	PC84	TQ144	PQ160	PG120	Bound Scan
-	-	-	90*	-	-
GND	-	81	91	-	-
-	-	82*	92*	-	-
-	-	83*	93*	-	-
VO (D5)	59	84	94	M9	241
VO (CS0)	60	85	95	N10	244
VO	-	86	96	L8	247
VO	-	87	97	N9	250
VO (D4)	61	88	98	M8	253
VO	62	89	99	N8	256
VCC	63	90	100	M7	-
GND	64	91	101	L7	-
VO (D3)	65	92	102	N7	259
VO (RS)	56	93	103	N6	262
VO	-	94	104	N5	265
VO	-	95	105	M6	268
VO (D2)	57	96	106	L6	271
VO	68	97	107	N4	274
-	-	98*	108*	-	-
-	-	99*	109*	-	-
GND	-	100	110	-	-
-	-	-	111*	-	-
-	-	-	112*	-	-
VO (D1)	59	101	113	M5	277
VO (RCLK-BUSY/RDY)	70	102	114	N3	280
VO	-	103	115	M4	283
VO	-	104	116	L5	286
VO (D0, DIN)	71	105	117	N2	289
SOCK4 (DOUT, VO)	72	106	118	M3	292
CCLK	73	107	119	L4	-
VCC	74	108	120	L3	-
O (TDO)	75	109	121	M2	-
GND	76	110	122	K3	-
VO (AO, WS)	77	111	123	L2	2
PGCK4 (VO,A1)	78	112	124	N1	5
VO	-	113	125	M1	8
VO	-	114	126	J3	11
VO (CS1, A2)	79	115	127	K2	14
VO (A3)	80	116	128	L1	17
-	-	-	129*	-	-
-	-	-	130*	-	-
GND	-	118	131	-	-
-	-	119*	132*	-	-
-	-	120*	133*	-	-
VO (A4)	81	121	134	J2	20
VO (A5)	82	122	135	K1	23
-	-	-	136*	-	-
VO	-	123	137	H3	26
VO	-	124	138	J1	29
VO (A6)	83	125	139	H2	32
VO (A7)	84	126	140	H1	35
GND	1	127	141	G2	-

\* Indicates unconnected package pins.  
 † Contributes only one bit (i) to the boundary scan register.  
 Boundary Scan Bit 0 = TDO,T  
 Boundary Scan Bit 1 = TDO,O  
 Boundary Scan Bit 295 = BSCANT,UPD

XC4000A Logic Cell Array Family

XC4005A Pinouts

Pin Description	PC84	TQ144	PQ160	PQ208	PG156	Bound Scan
VCC	2	128	142	183	H3	-
VO (A8)	3	129	143	184	H1	44
VO (A9)	4	130	144	185	G1	47
VO	-	131	145	186	G2	50
VO	-	132	146	187	G3	53
-	-	-	-	188*	-	-
-	-	-	-	189*	-	-
VO (A10)	5	133	147	190	F1	56
VO (A11)	6	134	148	191	F2	59
VO	-	135	149	192	E1	62
VO	-	136	150	193	E2	65
GND	-	137	151	194	F3	-
-	-	-	-	195*	-	-
-	-	-	-	196*	-	-
-	-	-	152*	197*	D1*	-
-	-	-	153*	198*	D2*	-
VO (A12)	7	138	154	199	E3	68
VO (A13)	8	139	155	200	C1	71
-	-	-	-	-	-	-
VO	-	140	156	201	C2	74
VO	-	141	157	202	D3	77
VO (A14)	9	142	158	203	B1	80
SGCK1 (A15, VO)	10	143	159	204	B2	83
VCC	11	144	160	205	C3	-
-	-	-	-	206*	-	-
-	-	-	-	207*	-	-
-	-	-	-	208*	-	-
-	-	-	-	1*	-	-
GND	12	1	1	2	C4	-
-	-	-	-	3*	-	-
PGCK1 (A16, VO)	13	2	2	4	B3	86
VO (A17)	14	3	3	5	A1	89
VO	-	4	4	6	A2	92
VO	-	5	5	7	C5	95
-	-	-	-	-	-	-
VO (TD0)	15	6	6	8	B4	98
VO (TCK)	16	7	7	9	A3	101
-	-	-	8*	10*	A4*	-
-	-	-	9*	11*	-	-
-	-	-	-	12*	-	-
-	-	-	-	13*	-	-
GND	-	8	10	14	C8	-
VO	-	9	11	15	B5	104
VO	-	10	12	16	B6	107
VO (TMS)	17	11	13	17	A5	110
VO	18	12	14	18	C7	113
-	-	-	-	19*	-	-
-	-	-	-	20*	-	-
VO	-	13	15	21	B7	116
VO	-	14	16	22	A6	119
VO	19	15	17	23	A7	122
VO	20	16	18	24	A8	125
GND	21	17	19	25	C8	-
VCC	22	18	20	25	B8	-
VO	23	19	21	27	C9	128
VO	24	20	22	28	B9	131
VO	-	21	23	29	A9	134
VO	-	22	24	30	B10	137
-	-	-	-	31*	-	-
-	-	-	-	32*	-	-
VO	25	23	25	33	C10	140
VO	26	24	26	34	A10	143
VO	-	25	27	35	A11	146
VO	-	26	28	36	B11	149
GND	-	27	29	37	C11	-
-	-	-	-	38*	-	-
-	-	-	-	39*	-	-
-	-	-	30*	40*	A12*	-
-	-	-	31*	41*	-	-
VO	27	28	32	42	B12	152
VO	-	29	33	43	A13	155
VO	-	30	34	44	A14	158

Pin Description	PC84	TQ144	PQ160	PQ208	PG156	Bound Scan
VO	-	31	35	45	C12	161
-	-	-	-	-	-	-
VO	28	32	36	46	B13	164
SGCK2 (VO)	29	33	37	47	B14	167
O (M1)	30	34	38	48	A15	170
GND	31	35	39	49	C13	-
I (M0)	32	36	40	50	A16	173†
-	-	-	-	51*	-	-
-	-	-	-	52*	-	-
-	-	-	-	53*	-	-
-	-	-	-	54*	-	-
VCC	33	37	41	55	C14	-
I (M2)	34	38	42	56	B15	174†
PGCK2 (VO)	35	39	43	57	B16	175
VO (HDC)	36	40	44	58	D14	178
VO	-	41	45	59	C15	181
-	-	-	-	-	-	-
VO	-	42	46	60	D15	184
VO	-	43	47	61	E14	187
VO (LDC)	37	44	48	62	C16	190
-	-	-	49*	63*	E15*	-
-	-	-	50*	64*	D16*	-
-	-	-	-	65*	-	-
-	-	-	-	66*	-	-
GND	-	45	51	67	F14	-
VO	-	46	52	68	F15	193
VO	-	47	53	69	E16	196
VO	38	48	54	70	F16	199
VO	39	49	55	71	G14	202
-	-	-	-	72*	-	-
-	-	-	-	73*	-	-
VO	-	50	56	74	G15	205
VO	-	51	57	75	G16	206
VO	40	52	58	76	H16	211
VO (ERR, INIT)	41	53	59	77	H15	214
VCC	42	54	60	78	H14	-
GND	43	55	61	79	J14	-
VO	44	56	62	80	J15	217
VO	45	57	63	81	J16	220
VO	-	58	64	82	K16	223
VO	-	59	65	83	K15	226
-	-	-	-	84*	-	-
-	-	-	-	85*	-	-
VO	46	60	66	86	K14	229
VO	47	61	67	87	L16	232
VO	-	62	68	88	M16	235
VO	-	63	69	89	L15	238
GND	-	64	70	90	L14	-
-	-	-	-	91*	-	-
-	-	-	-	92*	-	-
-	-	-	71*	93*	N16*	-
-	-	-	72*	94*	M15*	-
VO	48	65	73	95	P16	241
VO	49	66	74	96	M14	244
VO	-	67	75	97	N15	247
VO	-	68	76	98	P15	250
VO	50	69	77	99	N14	253
SGCK3 (VO)	51	70	78	100	R16	256
GND	52	71	79	101	P14	-
-	-	-	-	102*	-	-
DONE	53	72	80	103	R15	-
-	-	-	-	104*	-	-
-	-	-	-	105*	-	-
VCC	54	73	81	106	P13	-
-	-	-	-	107*	-	-
PROG	55	74	82	108	R14	-
VO (D7)	56	75	83	109	T16	259
PGCK3 (VO)	57	76	84	110	T15	262
VO	-	77	85	111	R13	265
-	-	-	-	-	-	-
VO	-	78	86	112	P12	268
VO(D6)	58	79	87	113	T14	271

\* Indicates unconnected package pins.  
 † Contributes only one bit (.) to the boundary scan register.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## XC4005A Pinouts (continued)

Pin Descriptions	PC84	TQ144	PQ160	PC208	PG158	Bound Scan
VO	-	80	88	114	T13	274
-	-	-	89 <sup>a</sup>	115 <sup>a</sup>	R12 <sup>a</sup>	-
-	-	-	90 <sup>a</sup>	116 <sup>a</sup>	T12 <sup>a</sup>	-
-	-	-	-	117 <sup>a</sup>	-	-
-	-	-	-	118 <sup>a</sup>	-	-
GND	-	81	91	119	P11	-
VO	-	82	92	120	R11	277
VO	-	83	93	121	T11	280
VO (D5)	59	84	94	122	T10	283
VO (CS0)	60	85	95	123	P10	286
-	-	-	-	124 <sup>a</sup>	-	-
-	-	-	-	125 <sup>a</sup>	-	-
VO	-	86	96	126	R10	289
VO	-	87	97	127	T9	292
VO (D4)	61	88	98	128	R9	295
VO	62	89	99	129	P9	298
VCC	63	90	100	130	R8	-
GND	64	91	101	131	P8	-
VO (D3)	55	92	102	132	T8	301
VO (RS)	66	93	103	133	T7	304
VO	-	94	104	134	T6	307
VO	-	95	105	135	R7	310
-	-	-	-	136 <sup>a</sup>	-	-
-	-	-	-	137 <sup>a</sup>	-	-
VO (D2)	57	96	106	138	P7	313
VO	68	97	107	139	T5	316
VO	-	98	108	140	R6	319
VO	-	99	109	141	T4	322
GND	-	100	110	142	P6	-
-	-	-	-	143 <sup>a</sup>	-	-
-	-	-	-	144 <sup>a</sup>	-	-
-	-	-	111 <sup>a</sup>	145 <sup>a</sup>	R5 <sup>a</sup>	-
-	-	-	112 <sup>a</sup>	146 <sup>a</sup>	-	-
VO (D1)	69	101	113	147	T3	325
VO (CLK-BUSY/ROY)	70	102	114	148	P5	328
VO	-	103	115	149	R4	331
-	-	-	-	-	-	-
VO	-	104	116	150	R3	334
VO (D0, DIN)	71	105	117	151	P4	337
SGCK4 (DOUT, VO)	72	106	118	152	T2	340
CCLK	73	107	119	153	R2	-
VCC	74	108	120	154	P3	-
-	-	-	-	155 <sup>a</sup>	-	-
-	-	-	-	156 <sup>a</sup>	-	-
-	-	-	-	157 <sup>a</sup>	-	-
-	-	-	-	158 <sup>a</sup>	-	-
O (TD0)	75	109	121	159	T1	-
GND	76	110	122	160	N3	-
VO (A0, WS)	77	111	123	161	R1	2
PGCK4 (A1, VO)	78	112	124	162	P2	5
VO	-	113	125	163	N2	8
-	-	-	-	-	-	-
VO	-	114 <sup>a</sup>	126	164	M3	11
VO (CS1, A2)	79	115	127	165	P1	14
VO (A3)	80	116	128	166	N1	17
-	-	117 <sup>a</sup>	129 <sup>a</sup>	167 <sup>a</sup>	M2 <sup>a</sup>	-
-	-	-	130 <sup>a</sup>	168 <sup>a</sup>	M1 <sup>a</sup>	-
-	-	-	-	169 <sup>a</sup>	-	-
-	-	-	-	170 <sup>a</sup>	-	-
GND	-	118	131	171	L3	-
VO	-	119	132	172	L2	20
VO	-	120	133	173	L1	23
VO (A4)	81	121	134	174	K3	28
VO (A5)	82	122	135	175	K2	29
-	-	-	-	176 <sup>a</sup>	-	-
-	-	-	136 <sup>a</sup>	177 <sup>a</sup>	-	-
VO	-	123	137	178	K1	32
VO	-	124	138	179	J1	35
VO (A6)	83	125	139	180	J2	38
VO (A7)	84	126	140	181	J3	41
GND	1	127	141	182	H2	-

<sup>a</sup> Indicates unconnected package pins.  
Boundary Scan Bit 0 = TD0.T

Boundary Scan Bit 1 = TD0.O  
Boundary Scan Bit 343 = BSCANT.UPD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**XC4000A Logic Cell Array Family**

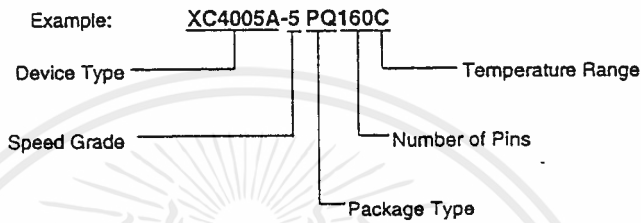
For a detailed description of the device architecture, see pages 2-9 through 2-31.

For a detailed description of the configuration modes and their timing, see pages 2-32 through 2-55.

For detailed lists of package pinouts, see pages 2-57 through 2-81 through 2-85.

For package physical dimensions and thermal data, see Section 4.

**Ordering Information**



**Component Availability**

PINS	84		100		120	144	156	160	164	191	196	208	223	225	240	299			
	PLAST. PLCC	PLAST. PQFP	PLAST. VOFP	BRAZED CQFP	CERAM. PGA	PLAST. TOFP	CERAM. PGA	PLAST. PQFP	BRAZED COFP	CERAM. PGA	BRAZED CQFP	PLAST. PQFP	METAL PQFP	CERAM. PGA	PLAST. BGA	PLAST. PQFP	METAL PQFP	METAL PQFP	
CODE	PC84	PQ100	VQ100	CB100	PG120	TO144	PG156	PQ160	CB164	PG191	CB196	PQ208	MQ208	PG223	BG225	PQ240	MQ240	PG299	
XC4002A	-6	C	C	C	C														
	-5	C	C	C	C														
	-4																		
XC4003A	-10				M B	M B													
	-6	C	C	C	M B	C I M B													
	-5	C	C	C		C													
XC4004A	-6	C			C	C		C											
	-5	C			C	C		C											
	-4																		
XC4005A	-6	C				C	C	C				C							
	-5	C				C	C	C				C							
	-4	C				C	C	C				C							

C = Commercial = 0° to +85° C    I = Industrial = -40° to +100° C    M = Mil Temp = -55° to +125° C  
 B = MIL-STD-883C Class B    Parentheses indicate future product plans



## XC4000H High I/O Count Logic Cell Array Family

### Product Specifications

#### Features

- Third-generation Field-Programmable Gate Arrays
  - Very high number of I/O pins
  - Abundant flip-flops
  - Flexible function generators
  - On-chip ultra-fast RAM
  - Dedicated high-speed carry-propagation circuit
  - Wide edge decoders (four per edge)
  - Efficient implementation of multi-level logic
  - Hierarchy of interconnect lines
  - Internal 3-state bus capability
  - Eight global low-skew clock or signal distribution network
  - IEEE 1149.1-compatible boundary-scan logic support
  - Programmable output slew rate with (two modes including SoftEdge)
- Per-pin individually configurable input threshold and output high level, either TTL or CMOS
  - Programmable input pull-up or pull-down resistors
- Flexible Array Architecture
  - Programmable logic blocks and I/O blocks
  - Programmable interconnects and wide decoders
- Sub-micron CMOS Process
  - High-speed logic and interconnect
  - Low power consumption
- Configured by Loading Binary File
  - Unlimited reprogrammability
  - Six programming modes
- XACT Development System runs on '386/486-type PC, NEC PC, Apollo, Sun-4, and Hewlett Packard 700 Series
  - Interfaces to popular design environments like Viewlogic, Mentor Graphics and OrCAD
  - Fully automatic partitioning, placement and routing
  - Interactive design editor for design optimization
  - 288 macros, 34 hard macros, RAM/ROM compiler

#### Description

The XC4000 family of Field-Programmable Gate Arrays (FPGAs) provides the benefits of custom CMOS VLSI, while avoiding the initial cost, time delay, and inherent risk of a conventional masked gate array.

The XC4000 family provides a regular, flexible, programmable architecture of Configurable Logic Blocks (CLBs),

Device	XC4003H	XC4005H
Approximate Gate Count	3,000	5,000
Number of IOBs	160	192
CLB Matrix	10 x 10	14 x 14
Number of CLBs	100	196
Number of Flip-Flops	200	392
Max Decode Inputs (per side)	30	42
Max RAM Bits	3,200	6,272

interconnected by a powerful hierarchy of versatile routing resources, and surrounded by a perimeter of programmable Input/Output Blocks (IOBs).

The XC4000H family is intended for I/O-intensive applications. Compared to the XC4000, the XC4000H devices have almost double the number of IOBs and I/O pins, and offer a choice of CMOS- or TTL-level outputs and input thresholds, selectable per pin. The XC4000H outputs sink 24 mA and offer improved 3-state and slew-rate control.

The devices are customized by loading configuration data into the internal memory cells. The FPGA can either actively read configuration data out of external serial or byte-parallel PROM (master modes), or the configuration data can be written into the FPGA (slave and peripheral modes).

The XC4000H family is supported by the same powerful and sophisticated software as the XC4000 family, covering every aspect of design: from schematic entry, to simulation, to automatic block placement and routing of interconnects, and finally to the creation of the configuration bit stream.

Since Xilinx FPGAs can be reprogrammed an unlimited number of times, they can be used in innovative designs where hardware is changed dynamically, or where hardware must be adapted to different user applications. FPGAs are ideal for shortening the design and development cycle, but they also offer a cost-effective solution for production rates well beyond 1000 systems per month.

For a detailed description of the device features, architecture, configuration methods and pin descriptions, see pages 2-9 through 2-45.

## XC4000H High I/O Count Logic Cell Array Family

### XC4000H Compared to XC4000

For readers already familiar with the XC4000 family, here is a concise list of the major new features in the XC4000H family.

- Number of IOBs is, roughly, doubled compared to the XC4000.

- Output slew-rate control is significantly improved.

Resistive Load means a strong pull-down all the way to ground, capable of sinking 24 mA continuously. If many outputs switch simultaneously, the resulting ground bounce might be objectionable.

Capacitive Load, or SoftEdge, means a more sophisticated pull-down that decreases in strength as it approaches ground. It can only sink 4 mA at  $V_{OL}$ , which is irrelevant when driving capacitive loads. The benefit is a substantial reduction in ground bounce when several outputs switch simultaneously.

In the XC4000, limiting the slew rate of the output reduces ground bounce, but also introduces a significant additional delay. In the XC4000H, the additional delay in the capacitive-load mode is usually insignificant.

- All input and output flip-flops have been eliminated in the XC4000H family. Use the CLB flip-flops instead.
- Outputs can sink 24 mA, guaranteed at  $V_{OL} = 0.5$  V, compared to the 12 mA at 0.4 V of the XC4000 family.
- Number of decoder inputs per side
- Each output may be individually configured as one of the following.
  - TTL-compatible (like the XC4000) that uses n-channel transistors for both pull-down and pull-up,
  - A totem-pole output structure with reduced  $V_{OH}$
  - CMOS-compatible (like the XC2000 and XC3000) that means n-channel pull-down and p-channel pull-up with  $V_{OH}$  close to the  $V_{CC}$  rail.
- Each input can individually be configured for either TTL-compatible threshold (1.2 V) or for CMOS-compatible threshold ( $V_{CC}/2$ ). Each input can be configured to be inverting or non-inverting.
- Any combination of programmable input and output levels on any I/O pin is possible, even the dubious combination of TTL output and CMOS input on the same I/O pin.
- Output 3-state operation is controlled by a two-input multiplexer.
- The first activation of outputs after the end of the configuration process, as they change from 3-state to their active level, is always in the SoftEdge mode. This

prevents potential ground-bounce problems when all outputs turn on simultaneously. A few nanoseconds later, each output assumes the current-sink capability determined by its configuration. This soft wake-up operation is transparent to the user.

### Architectural Overview

Except for the I/O structure, the XC4000H family is identical to the original XC4000 family. A matrix of Configurable Logic Blocks is interconnected through a hierarchy of flexible routing resources. The powerful system-integration features of the XC4000 family, such as on-chip RAM, dedicated fast carry, and wide decoders, are retained in the XC4000H family.

The XC4000H family almost doubles the number of input/output pins compared to the XC4000, an attractive feature for I/O-intensive applications. The output drivers were redesigned to be more powerful and more flexible.

#### Input/Output Blocks (IOBs)

The IOBs form the interface between the internal logic and the I/O pads of the XC4000H device. Each IOB consists of a programmable output section that can drive the pad, and a programmable input section, that can receive data from the pad. Aside from being connected to the same pad, the input and output sections have nothing else in common.

#### Input

In XC4000H devices, there are no input flip-flops.

The input section receives data from the pad. Each input can be configured individually with TTL or CMOS input thresholds. As a configuration option, the input can be either inverted or non-inverted, before it is made available to the internal logic.

#### Pad

Each I/O pad can be configured with or without a pull-up or pull-down resistor, independent of the pin usage.

#### Boundary Scan

The XC4000H IOBs have the same IEEE 1149.1 boundary-scan capabilities as the IOBs in the original XC4000.

#### Output

In an XC4000H IOB, there is no output flip-flop. The output section receives data and 3-state control information from the CLB interconnect structure.

Under configuration control, the data can be inverted or non-inverted. The output driver assumes one of the following states.

- Permanently disabled, making the pad an input only pad
- 3-state controlled from the internal logic

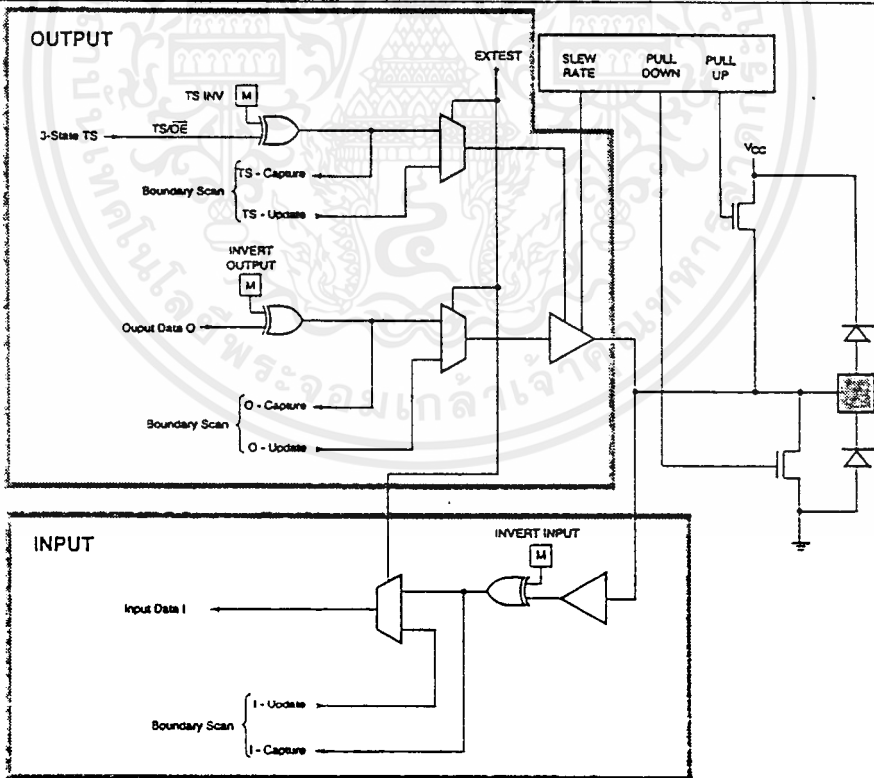
There are two potential sources of the 3-state-control information, selected by a multiplexer. The output of the multiplexer driving the 3-state control can be inverted as a configuration option. The signal can be active High 3-state, which is identical to the more popular connotation of active-Low Output Enable, or it can be active-High Output Enable, which is identical to active Low 3-state.

Each output can be individually configured as either TTL- or CMOS-compatible. A TTL-compatible output uses n-channel transistors for both pull-down and pull-up. As a result, the output High voltage,  $V_{OH}$ , is at least one threshold voltage drop below  $V_{CC}$ . Depending on the load current, this means a voltage drop of 1.0 to 2.4 V. In a system using TTL input thresholds of 1.2 V, this lower output voltage results in shorter delays when switching from High to Low, and thus a better delay balance between the two signal directions. The smaller signal amplitude also generates less noise. The reduction in High-level noise margin is irrelevant because it is still much better than the Low-level noise margin. TTL-level outputs are, therefore, the best choice for systems that use TTL-level input thresholds. (XC4000 and XC4000A devices have only TTL-level outputs and have only TTL-level input thresholds).

When the output is configured as CMOS-compatible, an additional p-channel transistor pulls the output towards the  $V_{CC}$  rail. This results in an unloaded rail-to-rail signal swing, ideal for systems that use CMOS input thresholds. (XC2000 and XC3000 devices have only CMOS-level outputs).

Each output can be configured for either of two slew-rate options, which affect only the pull-down operation. When configured for resistive load, the pull-down transistor is driven hard, resulting in a practically constant on-resistance of about  $10\ \Omega$ . This results in the fastest High-to-Low transition, and the capability to sink 24 mA with a voltage of 500 mV. When many outputs switch High to Low simultaneously, especially when they are discharging a capacitive load, this configuration option might result in excessive ground bounce.

When configured for capacitive load, or SoftEdge, the High-to-Low transition starts as described above, but the drive to the pull-down transistor is reduced as soon as the output voltage reaches a value around 1 V. This results in a higher resistance in the pull-down transistor, a slowing down of the falling edge, and a significantly reduced ground bounce.



24120

Figure 1. XC4000H Input/Output Block

## Slew-Rate Control with SoftEdge

The XC4000H outputs use a novel, patent-pending method of slew-rate control that reduces ground bounce without any significant delay penalty. Each output is configured with a choice between two slew-rate options. Both options reduce the positive ground bounce that occurs when the output current is turned on. They differ in the way the output current is turned off.

- The slew-rate-limited default mode is called capacitive, or SoftEdge. At the beginning of a High-to-Low transition, the pull-down transistor is gradually turned on, and kept fully conductive until the output voltage has reached +1 V. The pull-down transistor is then gradually turned off, so that it finally has an on-resistance of about 100  $\Omega$ , low enough to sink 4 mA continuously. Gradually turning off the sink current reduces the max value of current change ( $di/dt$ ) that is normally responsible for the negative voltage spike over the common ground inductance (bonding wires), called ground bounce.

*The capacitive, or SoftEdge, mode is the best choice for capacitively loaded outputs, or for outputs requiring less than 4 mA of dc sink current.*

- The non-slew-rate limited mode is called resistive. At the beginning of a High-to-Low transition, the pull-down transistor is gradually turned on, and kept fully conductive as long as the output data is a logic Low. The pull-down transistor has an impedance of <20  $\Omega$ , capable of sinking 24 mA continuously.

Resistive mode is required for driving terminated transmission lines with 4 to 24 mA of dc sink current. The abrupt current change when the output voltage reaches zero causes a voltage spike over the ground inductance (bonding wire) and can result in objectionable ground bounce when many outputs switch High-to-Low simultaneously.

The following figures show output rising and falling edges when one output drives different loads. The tests were performed on a multi-ground-plane test PC board, manufactured by Urban Instruments (Encino, CA). Measurements were done with a Tektronix TDS540 digital storage oscilloscope. The figures below are unedited files from these measurements, the time scale is 2 ns/division.

The upper trace in each figure shows a second output driven from the same internal signal, but unloaded. It acts as a timing reference, and triggers the oscilloscope.

Resistive mode and capacitive mode transitions start with practically the same delay from the internal logic. Resistive mode falls faster, and has more undershoot; capacitive mode rises slightly faster. For a 200- $\Omega$  pull-up, 330- $\Omega$  pull-down termination, only resistive mode is meaningful. A TTL-output with a 1000- $\Omega$  pull-up, 150-pF termination has a slow (150 ns) final rise time that extends outside the 10-ns timing window of these figures.

Trace A shows Resistive mode with CMOS outputs  
Trace B shows Resistive mode with TTL outputs  
Trace C shows Capacitive mode with CMOS outputs  
Trace D shows Capacitive mode with TTL outputs

### Summary

Use resistive mode for applications that require >4 mA of dc sink current, and for heavy capacitive loads when they must be discharged fast. Use capacitive mode for all other applications, especially for light capacitive loads (50 to 200 pF) and for all timing-uncritical outputs that require <4 mA dc current. The Low-to-High transition is not affected by the choice of slew-rate mode.

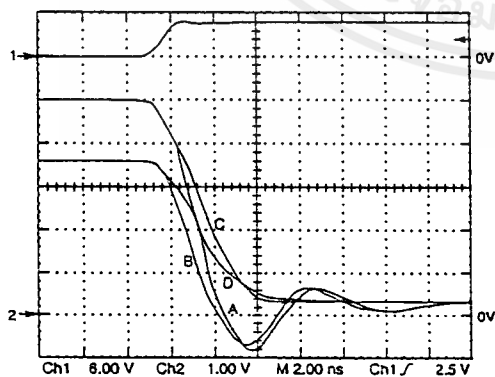


Figure 2. Falling Edge, 50 pF Load

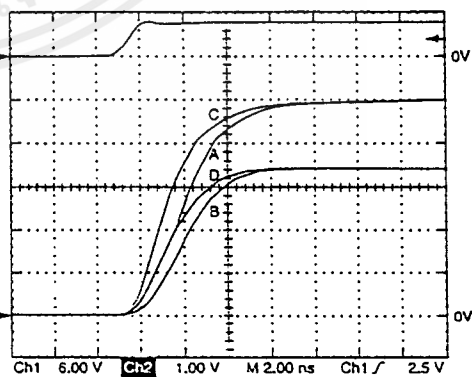
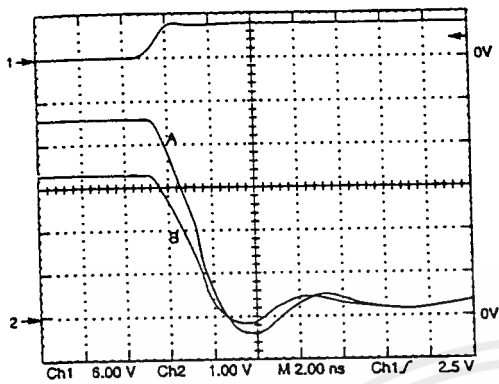
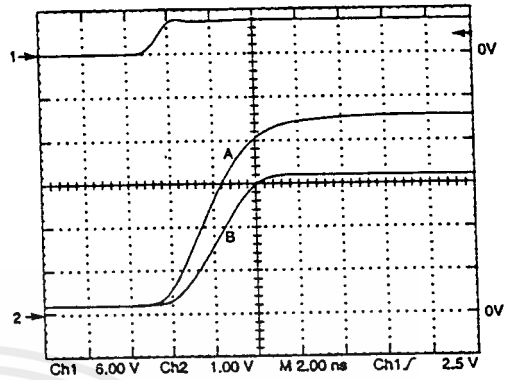


Figure 3. Rising Edge, 50 pF Load



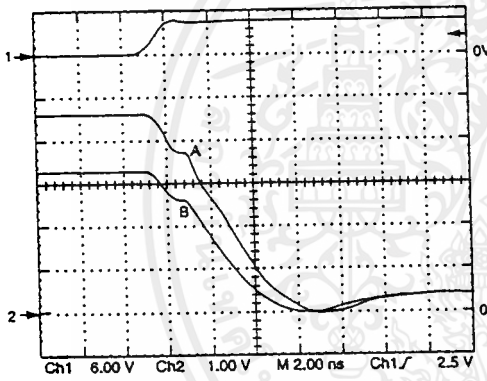
X3344



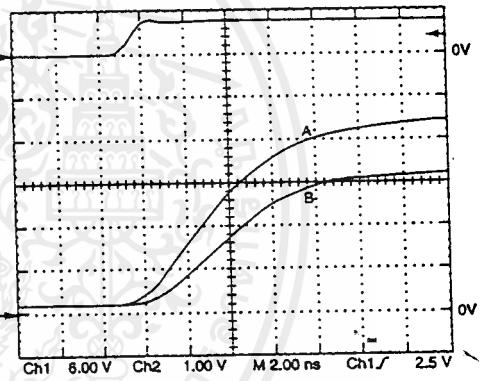
X3345

Figure 4. Falling Edge, 200/330  $\Omega$ , 50 pF Load

Figure 5. Rising Edge, 200/330  $\Omega$ , 50 pF Load



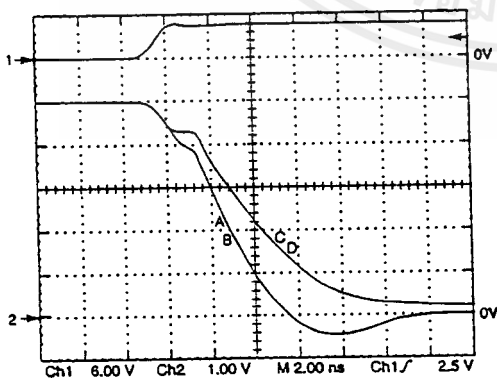
X3346



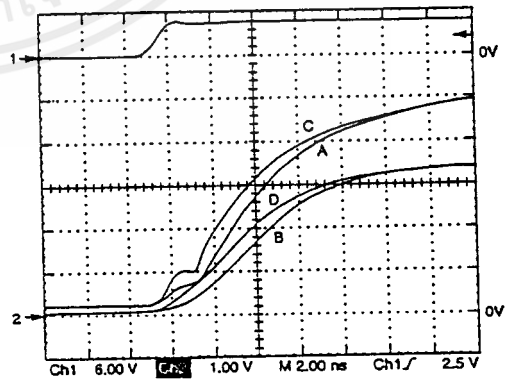
X3347

Figure 6. Falling Edge, 200/330  $\Omega$ , 150 pF Load

Figure 7. Rising Edge, 200/330  $\Omega$ , 150 pF Load



X3348



X3349

Figure 8. Falling Edge, 1000  $\Omega$ , 150 pF Load

Figure 9. Rising Edge, 1000  $\Omega$ , 150 pF Load

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## XC4000H High I/O Count Logic Cell Array Family

## Absolute Maximum Ratings

Symbol	Description		Units
$V_{CC}$	Supply voltage relative to GND	-0.5 to +7.0	V
$V_{IN}$	Input voltage with respect to GND	-0.5 to $V_{CC} + 0.5$	V
$V_{TS}$	Voltage applied to 3-state output	-0.5 to $V_{CC} + 0.5$	V
$T_{STG}$	Storage temperature (ambient)	-65 to +150	°C
$T_J$	Junction temperature	+150	°C

Note: Stresses beyond those listed under absolute maximum ratings may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those listed under Recommended Operating Conditions is not implied. Exposure to Absolute Maximum Ratings conditions for extended periods of time may affect device reliability.

## Operating Conditions

Symbol	Description	Min	Max	Units
$V_{CC}$	Supply voltage relative to GND Commercial 0°C to 85°C junction	4.75	5.25	V
	Supply voltage relative to GND Industrial -40°C to 100°C junction	4.5	5.5	V
	Supply voltage relative to GND Military -55°C to 125°C case	4.5	5.5	V
$V_{IH}$	High-level input voltage for TTL threshold	2.0	$V_{CC}$	V
$V_{IH}$	High-level input voltage for CMOS threshold	70%	100%	$V_{CC}$
$V_{IL}$	Low-level input voltage for TTL threshold	0	0.8	V
$V_{IL}$	Low-level input voltage CMOS threshold	0	20%	$V_{CC}$

At junction temperatures above those listed as Operating Conditions, all delay parameters increase by 0.35% per °C.

## DC Characteristics Over Operating Conditions

Symbol	Description	Min	Max	Units
$V_{OH}$	High-level output voltage, TTL option @ $I_{OH} = -4.0$ mA	2.4		V
$V_{OH}$	High-level output voltage, CMOS option @ $I_{OH} = -1$ mA	$V_{CC} - 0.5$		V
$V_{OL}$	Low-level output voltage @ $I_{OL} = 24$ mA, $V_{CC}$ max (Note 1)		0.5	V
$I_{CCO}$	Quiescent LCA supply current (Note 2)		10	mA
$I_{IL}$	Leakage current	-10	+10	μA
$C_{IN}$	Input capacitance (sample tested)		15	pF
$I_{RIN}$	Pad pull-up (when selected) @ $V_{IN} = 0$ V (estimate)	0.02	0.20	mA
$I_{RLL}$	Horizontal Long Line pull-up (when selected) @ logic Low	0.2	2.5	mA

Note: 1. XC4003H—with 50% of the outputs simultaneously sinking 24 mA. XC4005H—with 33% of the outputs simultaneously sinking 24 mA.  
2. With no output current loads, no active input or long line pull-resistors, all package pins at  $V_{CC}$  or GND, and the LCA configured with a MakeBits tie option.

### Wide Decoder Switching Characteristic Guidelines

Testing of the switching parameters is modeled after testing methods specified by MIL-M-38510/605. All devices are 100% functionally tested. Since many internal timing parameters cannot be measured directly, they are derived from benchmark timing patterns. The following guidelines reflect worst-case values over the recommended operating conditions. For more detailed, more precise, and more up-to-date timing information, use the values provided by the XACT timing calculator and used in the simulator.

Description	Symbol	Device	Speed Grade		Units
			-6 Max	-5 Max	
Full length, both pull-ups, inputs from IOB i-pins	$T_{WAF}$	XC4003H XC4005H	9.0	8.0	ns
			10.0	9.0	ns
Full length, both pull-ups inputs from internal logic	$T_{WAFI}$	XC4003H XC4005H	12.0	11.0	ns
			13.0	12.0	ns
Half length, one pull-up inputs from IOB i-pins	$T_{WAO}$	XC4003H XC4005H	9.0	8.0	ns
			10.0	9.0	ns
Half length, one pull-up inputs from internal logic	$T_{WAOI}$	XC4003H XC4005H	12.0	11.0	ns
			13.0	12.0	ns

Note: These delays are specified from the decoder input to the decoder output. For pin-to-pin delays, add the input delay ( $T_{PI0}$ ) and output delay ( $T_{OPR}$  or  $T_{OPC}$ ), as listed on page 2-93.

### Global Buffer Switching Characteristic Guidelines

Testing of the switching parameters is modeled after testing methods specified by MIL-M-38510/605. All devices are 100% functionally tested. Since many internal timing parameters cannot be measured directly, they are derived from benchmark timing patterns. The following guidelines reflect worst-case values over the recommended operating conditions. For more detailed, more precise, and more up-to-date timing information, use the values provided by the XACT timing calculator and used in the simulator.

Description	Symbol	Device	Speed Grade		Units
			-6 Max	-5 Max	
Global Signal Distribution From pad through primary buffer, to any clock k	$T_{PG}$	XC4003H XC4005H	7.8	5.8	ns
			8.0	6.0	ns
From pad through secondary buffer, to any clock k	$T_{SG}$	XC4003H XC4005H	8.8	6.8	ns
			9.0	7.0	ns

## XC4000H High I/O Count Logic Cell Array Family

## Horizontal Longline Switching Characteristic Guidelines

Testing of the switching parameters is modeled after testing methods specified by MIL-M-38510/605. All devices are 100% functionally tested. Since many internal timing parameters cannot be measured directly, they are derived from benchmark timing patterns. The following guidelines reflect worst-case values over the recommended operating conditions. For more detailed, more precise, and more up-to-date timing information, use the values provided by the XACT timing calculator and used in the simulator.

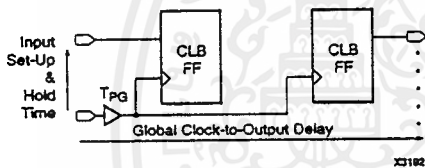
Description	Speed Grade		-6	-5	Units
	Symbol	Device	Max	Max	
TBUF driving a Horizontal Longline (L.L.) I going High or Low to L.L. while T is Low, i.e. buffer is constantly active	T <sub>IO1</sub>	XC4003H	8.8	6.2	ns
		XC4005H	10.0	7.0	ns
I going Low to L.L. going from resistive pull-up High to active Low, (TBUF configured as open drain)	T <sub>IO2</sub>	XC4003H	9.3	6.7	ns
		XC4005H	10.5	7.5	ns
T going Low to L.L. going from resistive pull-up or float- ing High to active Low, (TBUF configured as open drain)	T <sub>ON</sub>	XC4003H	10.7	9.0	ns
		XC4005H	12.0	10.0	ns
T going High to TBUF going inactive, not driving the L.L.	T <sub>OFF</sub>	All devices	3.0	2.0	ns
T going High to L.L. going from Low to High, pulled up by single resistor	T <sub>PUS</sub>	XC4003H	24.0	20.0	ns
		XC4005H	26.0	22.0	ns
T going High to L.L. going from Low to High, pulled up by two resistors	T <sub>PUF</sub>	XC4003H	11.0	9.0	ns
		XC4005H	12.0	10.0	ns

**Input and Output Parameters (Pin-to-Pin)**

All values listed below are tested directly and guaranteed over the operating conditions. The same parameters can also be derived indirectly from the IOB and Global Buffer specifications. The XACT delay calculator uses this indirect method. When there is a discrepancy between these two methods, the directly tested values listed below should be used, and the indirectly derived values must be ignored.

Description	Symbol	Speed Grade		Units
		-6*	-5*	
Global Clock to Output (fast) using nearest CLB FF	T <sub>ICKOF</sub> (Max)	XC4003H		ns
		XC4005H		ns
Global Clock to Output (slew limited) using nearest CLB FF	T <sub>ICKO</sub> (Max)	XC4003H		ns
		XC4005H		ns
Input Set-up Time, using nearest CLB FF	T <sub>PSUF</sub> (Min)	XC4003H		ns
		XC4005H		ns
Input Hold time, using nearest CLB FF	T <sub>PHF</sub> (Min)	XC4003H		ns
		XC4005H		ns

\* Data not available at press time



and also with the most unfavorable clock polarity choice. The use of a rising-edge clock reduces the effective clock delay by 1 to 2 ns.

The use of a rising clock edge, therefore, reduces the clock-to-output delay, and ends the hold-time requirement earlier. The use of a falling clock edge reduces the input set-up time requirement.

Timing is measured at pin threshold, with 50 pF external capacitive loads (incl. test fixture).

When testing fast outputs, only one output switches. When testing slew-rate limited outputs, half the number of outputs on one side of the device are switching.

These parameter values are tested and guaranteed for worst-case conditions of supply voltage and temperature,

In the tradition of guaranteeing absolute worst-case parameter values, the table above does not take advantage of these improvements. The user can choose between a rising clock edge with slightly shorter output delay, or a falling clock edge with slightly shorter input set-up time. One of these parameters is inevitably better than the guaranteed specification listed above, albeit by only one to two nanoseconds.

## XC4000H High I/O Count Logic Cell Array Family

## CLB Switching Characteristic Guidelines

Testing of the switching parameters is modeled after testing methods specified by MIL-M-38510/605. All devices are 100% functionally tested. Since many internal timing parameters cannot be measured directly, they are derived from benchmark timing patterns. The following guidelines reflect worst-case values over the recommended operating conditions. For more detailed, more precise, and more up-to-date timing information, use the values provided by the XACT timing calculator and used in the simulator.

Description	Symbol	Speed Grade				Units
		-6		-5		
		Min	Max	Min	Max	
Combinatorial Delays						
F/G inputs to X/Y outputs	$T_{ILO}$		6.0		4.5	ns
F/G inputs via H' to X/Y outputs	$T_{IHO}$		8.0		7.0	ns
C inputs via H' to X/Y outputs	$T_{HHO}$		7.0		5.0	ns
CLB Fast Carry Logic						
Operand inputs (F1,F2,G1,G4) to $C_{OUT}$	$T_{OPCY}$		7.0		5.5	ns
Add/Subtract input (F3) to $C_{OUT}$	$T_{ASCY}$		8.0		6.0	ns
Initialization inputs (F1,F3) to $C_{OUT}$	$T_{INCY}$		6.0		4.0	ns
$C_{IN}$ through function generators to X/Y outputs	$T_{SUM}$		8.0		6.0	ns
$C_{IN}$ to $C_{OUT}$ , bypass function generators.	$T_{BYP}$		2.0		1.5	ns
Sequential Delays						
Clock K to outputs Q	$T_{CKO}$		5.0		3.0	ns
Set-up Time before Clock K						
F/G inputs	$T_{ICK}$	6.0		4.5		ns
F/G inputs via H'	$T_{IHCK}$	8.0		6.0		ns
C inputs via H1	$T_{HHCK}$	7.0		5.0		ns
C inputs via DIN	$T_{DICK}$	4.0		3.0		ns
C inputs via EC	$T_{ECCK}$	7.0		4.0		ns
C inputs via S/R, going Low (inactive)	$T_{RCK}$	6.0		4.5		ns
$C_{IN}$ input via F/G'		8.0		6.0		ns
$C_{IN}$ input via F/G' and H'		10.0		7.5		ns
Hold Time after Clock K						
F/G inputs	$T_{CKI}$	0		0		ns
F/G inputs via H'	$T_{CKIH}$	0		0		ns
C inputs via H1	$T_{CKHH}$	0		0		ns
C inputs via DIN	$T_{CKDI}$	0		0		ns
C inputs via EC	$T_{CKEC}$	0		0		ns
C inputs via S/R, going Low (inactive)	$T_{CKR}$	0		0		ns
Clock						
Clock High time	$T_{CH}$	5.0		4.0		ns
Clock Low time	$T_{CL}$	5.0		4.0		ns
Set/Reset Direct						
Width (High)	$T_{RPW}$	5.0		4.0		ns
Delay from C inputs via S/R, going High to Q	$T_{RIO}$		9.0		8.0	ns
Master Set/Reset*						
Width (High or Low)	$T_{MRW}$	21.0		18.0		ns
Delay from Global Set/Reset net to Q	$T_{MRQ}$		33.0		31.0	ns

\* Timing is based on the XC4005H. For other devices see XACT timing calculator.

**CLB Switching Characteristic Guidelines (continued)**

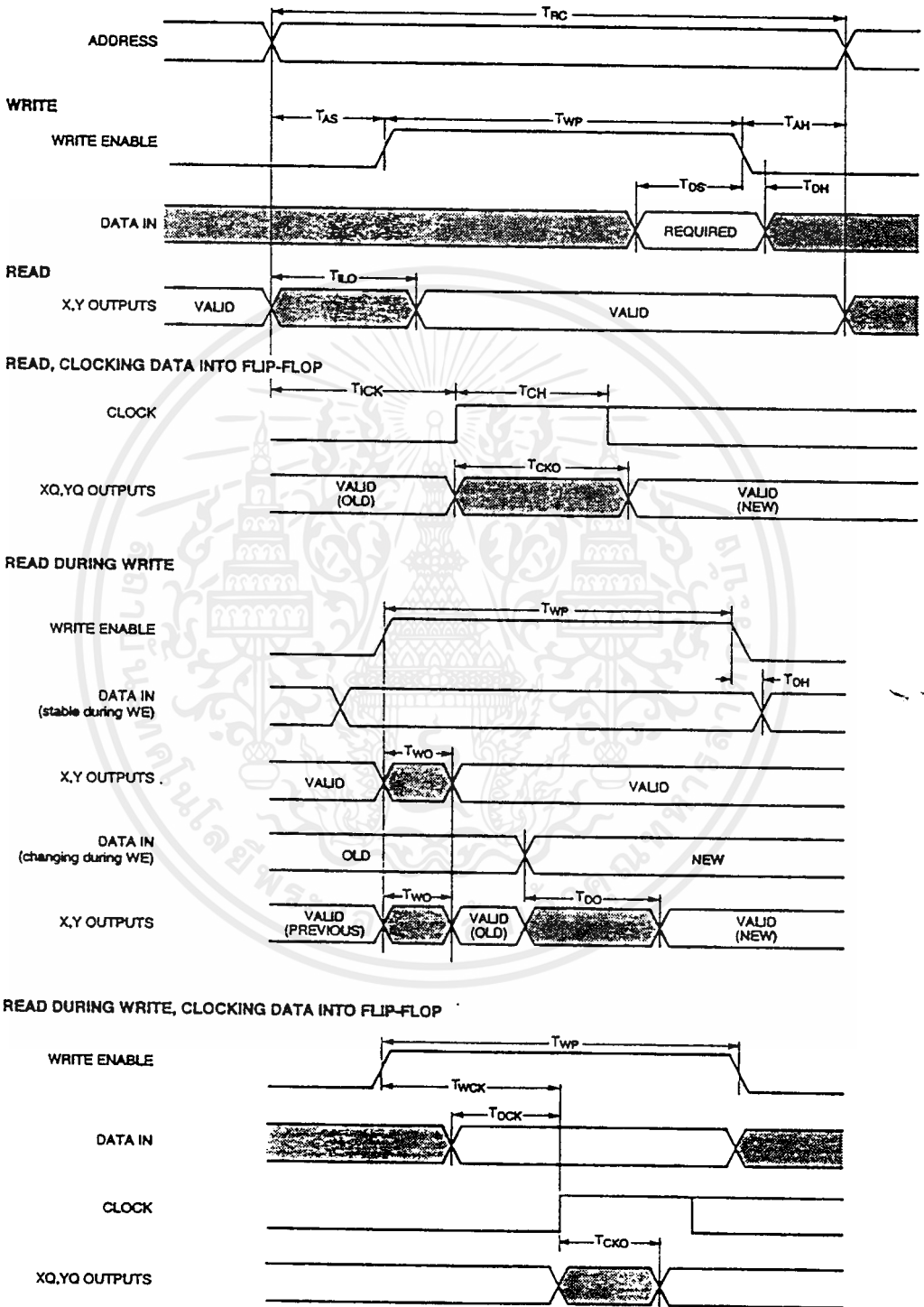
Testing of the switching parameters is modeled after testing methods specified by MIL-M-38510/605. All devices are 100% functionally tested. Since many internal timing parameters cannot be measured directly, they are derived from benchmark timing patterns. The following guidelines reflect worst-case values over the recommended operating conditions. For more detailed, more precise, and more up-to-date timing information, use the values provided by the XACT timing calculator and used in the simulator.

CLB RAM Option	Speed Grade		-6		-5		Units
			Min	Max	Min	Max	
Description	Symbol		Min	Max	Min	Max	Units
<b>Write Operation</b>							
Address write cycle time	16 x 2	$T_{WC}$	9.0		8.0		ns
	32 x 1	$T_{WCT}$	9.0		8.0		ns
Write Enable pulse width (High)	16 x 2	$T_{WP}$	5.0		4.0		ns
	32 x 1	$T_{WPT}$	5.0		4.0		ns
Address set-up time before beginning of WE	16 x 2	$T_{AS}$	2.0		2.0		ns
	32 x 1	$T_{AST}$	2.0		2.0		ns
Address hold time after end of WE	16 x 2	$T_{AH}$	2.0		2.0		ns
	32 x 1	$T_{AHT}$	2.0		2.0		ns
DIN set-up time before end of WE	16 x 2	$T_{DS}$	4.0		4.0		ns
	32 x 1	$T_{DST}$	5.0		5.0		ns
DIN hold time after end of WE	both	$T_{DHT}$	2.0		2.0		ns
<b>Read Operation</b>							
Address read cycle time	16 x 2	$T_{RC}$	7.0		5.5		ns
	32 x 1	$T_{RCT}$	10.0		7.5		ns
Data valid after address change (no Write Enable)	16 x 2	$T_{ILO}$		6.0		4.5	ns
	32 x 1	$T_{IHO}$		8.0		7.0	ns
<b>Read Operation, Clocking Data into Flip-Flop</b>							
Address setup time before clock K	16 x 2	$T_{ICK}$	6.0		4.5		ns
	32 x 1	$T_{IHCK}$	8.0		6.0		ns
<b>Read During Write</b>							
Data valid after WE going active (DIN stable before WE)	16 x 2	$T_{WO}$		12.0		10.0	ns
	32 x 1	$T_{WOT}$		15.0		12.0	ns
Data valid after DIN (DIN change during WE)	16 x 2	$T_{DO}$		11.0		9.0	ns
	32 x 1	$T_{DOT}$		14.0		11.0	ns
<b>Read During Write, Clocking Data into Flip-Flop</b>							
WE setup time before clock K	16 x 2	$T_{WCK}$	12.0		10.0		ns
	32 x 1	$T_{WCKT}$	15.0		12.0		ns
Data setup time before clock K	16 x 2	$T_{DCK}$	11.0		9.0		ns
	32 x 1	$T_{DCKT}$	14.0		11.0		ns

Note: Timing for the 16 x 1 RAM option is identical to 16 x 2 RAM timing

XC4000H High I/O Count Logic Cell Array Family

CLB RAM Timing Characteristics



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## IOB Switching Characteristic Guidelines

Testing of the switching parameters is modeled after testing methods specified by MIL-M-38510/605. All devices are 100% functionally tested. Since many internal timing parameters cannot be measured directly, they are derived from benchmark timing patterns. The following guidelines reflect worst-case values over the recommended operating conditions. For more detailed, more precise, and more up-to-date timing information, use the values provided by the XACT timing calculator and used in the simulator.

## Inputs

Description	Symbol	-6		-5		Units
		Min	Max	Min	Max	
Propagation Delays from CMOS or TTL Levels Pad to I1, I2	$T_{PID}$		4.0		3.0	ns

## Outputs

Description	Symbol	-6		-5		Units
		Min	Max	Min	Max	
Propagation Delays to TTL Levels						
Output (O) to Pad (Resistive Mode)	$T_{OPR}$		9.5		7.5	ns
Output (O) to Pad (Capacitive Mode)	$T_{OPC}$		10.5		8.0	ns
3-state to Pad begin hi-Z (Resistive Mode)	$T_{TSHZR}$		10.5		8.5	ns
3-state to Pad begin hi-Z (Capacitive Mode)	$T_{TSHZC}$		8.0		6.5	ns
3-state to Pad active and valid (Resistive Mode)	$T_{TSONR}$		14.0		11.0	ns
3-state to Pad active and valid (Capacitive Mode)	$T_{TSONC}$		16.0		12.0	ns
Propagation Delays to CMOS Levels						
Output (O) to Pad (Resistive Mode)	$T_{OPR}$		9.5		7.5	ns
Output (O) to Pad (Capacitive Mode)	$T_{OPC}$		9.0		7.0	ns
3-state to Pad begin hi-Z (Resistive Mode)	$T_{TSHZR}$		10.5		8.5	ns
3-state to Pad begin hi-Z (Capacitive Mode)	$T_{TSHZC}$		8.0		6.5	ns
3-state to Pad active and valid (Resistive Mode)	$T_{TSONR}$		14.0		11.0	ns
3-state to Pad active and valid (Capacitive Mode)	$T_{TSONC}$		14.0		11.0	ns

Notes: 1. Timing is measured at pin threshold, with 50 pF external capacitive loads (incl. test fixture).

2. Output delays change with capacitive loading as described in the following table.

	TTL Levels	CMOS Levels	Units
Resistive Mode	0.03	0.03	ns/pF
Capacitive Mode	0.04	0.03	ns/pF

3. Voltage levels of unused (bonded and unbonded) pads must be valid logic levels. Each can be configured with the internal pull-up or pull-down resistor, or alternatively, configured as a driven output or be driven from an external source.

XC4000H High I/O Count Logic Cell Array Family

XC4003H Pinouts

Pin Description	PG191	PQ208	Bound Scan	Pin Description	PG191	PQ208	Bound Scan	Pin Description	PG191	PQ208	Bound Scan	Pin Description	PG191	PQ208	Bound Scan
VCC	J4	183	-	I/O	C10	27	182	GND	K15	79	-	GND	R9	131	-
I/O (A8)	J3	184	62	I/O	B10	28	185	I/O	K16	80	307	I/O (D3)	T9	132	42*
I/O (A9)	J2	185	65	I/O	A9	29	188	I/O	K17	81	310	I/O (BS)	U9	133	43*
I/O	J1	186	68	I/O	A10	30	191	I/O	K18	82	313	I/O	V9	134	43*
I/O	H1	187	71	I/O	A11	31	194	I/O	L18	83	316	I/O	V8	135	43*
I/O	H2	188	74	I/O	C11	32	197	I/O	L17	84	319	I/O	U8	136	43*
I/O	H3	189	77	I/O	B11	33	200	I/O	L16	85	322	I/O	T8	137	44*
I/O (A10)	G1	190	80	I/O	A12	34	203	I/O	M18	86	325	I/O (D2)	V7	138	44*
I/O (A11)	G2	191	83	I/O	B12	35	206	I/O	M17	87	328	I/O	U7	139	44*
I/O	F1	192	86	I/O	A13	36	209	I/O	N18	88	331	I/O	V6	140	45*
I/O	E1	193	89	GND	C12	37	-	I/O	P18	89	334	I/O	U6	141	45*
GND	G3	194	-	I/O	B13	38	212	GND	M16	90	-	GND	T7	142	-
I/O	F2	195	92	I/O	A14	39	215	I/O	N17	91	337	I/O	V5	143	45*
I/O	D1	196	95	I/O	A15	40	218	I/O	R18	92	340	I/O	U4	144	46*
I/O	C1	197	98	I/O	C13	41	221	I/O	T18	93	343	I/O	V4	145	46*
I/O	E2	198	101	I/O	B14	42	224	I/O	P17	94	346	I/O	T6	146	46*
I/O (A12)	F3	199	104	I/O	A16	43	227	I/O	N16	95	349	I/O (D1)	V3	147	46*
I/O (A13)	D2	200	107	I/O	B15	44	230	I/O	T17	96	352	I/O (RCLK-BUSY/RDY)	V2	148	47*
I/O	B1	201	110	I/O	C14	45	233	I/O	R17	97	355	I/O	U4	149	47*
I/O	E3	202	113	I/O	A17	46	236	I/O	P16	98	358	I/O	T5	150	47*
I/O (A14)	C2	203	116	SGCK2 (I/O)	B16	47	239	I/O	U18	99	361	I/O (DO, DIN)	U3	151	48*
SGCK1 (A15, I/O)	B2	204	119	O (M1)	C15	48	242	SGCK3 (I/O)	T16	100	364	SGCK4 (DOUT, I/O)	T4	152	48*
VCC	D3	205	-	GND	D15	49	-	GND	R16	101	-	CCLK	V1	153	-
-	-	206*	-	I (M0)	A18	50	245†	-	-	102*	-	VCC	R4	154	-
-	-	207*	-	-	-	51*	-	DONE	U17	103	-	-	-	155*	-
-	-	208*	-	-	-	52*	-	-	-	104*	-	-	-	156*	-
-	-	1*	-	-	-	53*	-	-	-	105*	-	-	-	157*	-
GND	D4	2	-	-	-	54*	-	VCC	R15	106	-	-	-	158*	-
-	-	3*	-	VCC	D16	55	-	-	-	107*	-	O (TDO)	U2	159	-
PGCK1 (A16, I/O)	C3	4	122	I (M2)	C16	56	246†	PROG	V18	108	-	GND	R3	160	-
I/O (A17)	C4	5	125	PGCK2 (I/O)	B17	57	247	I/O (D7)	T15	109	367	I/O (A0, WS)	T3	161	2
I/O	B3	6	128	I/O (HDC)	E16	58	250	PGCK3 (I/O)	U16	110	370	PGCK4 (I/O, A1)	U1	162	5
I/O	C5	7	131	I/O	C17	59	253	I/O	T14	111	373	I/O	P3	163	8
I/O (TDI)	A2	8	134	I/O	D17	60	256	I/O	U15	112	376	I/O	R2	164	11
I/O (TCK)	B4	9	137	I/O	B18	61	259	I/O (D6)	V17	113	379	I/O (CS1, A2)	T2	165	14
I/O	C6	10	140	I/O (LDC)	E17	62	262	I/O	V16	114	382	I/O (A3)	N3	166	17
I/O	A3	11	143	I/O	F16	63	265	I/O	T13	115	385	I/O	P2	167	20
I/O	B5	12	146	I/O	C18	64	268	I/O	U14	116	388	I/O	T1	168	23
I/O	B6	13	149	I/O	D18	65	271	I/O	V15	117	391	I/O	R1	169	26
GND	C7	14	-	I/O	F17	66	274	I/O	V14	118	394	I/O	N2	170	29
I/O	A4	15	152	GND	G16	67	-	GND	T12	119	-	GND	M3	171	-
I/O	A5	16	155	I/O	E18	68	277	I/O	U13	120	397	I/O	P1	172	32
I/O (TMS)	B7	17	158	I/O	F18	69	280	I/O	V13	121	400	I/O	N1	173	35
I/O	A6	18	161	I/O	G17	70	283	I/O (D5)	U12	122	403	I/O (A4)	M2	174	38
I/O	C8	19	164	I/O	G18	71	286	I/O (CS0)	V12	123	406	I/O (A5)	M1	175	41
I/O	A7	20	167	I/O	H16	72	289	I/O	T11	124	409	I/O	L3	176	44
I/O	B8	21	170	I/O	H17	73	292	I/O	U11	125	412	I/O	L2	177	47
I/O	A8	22	173	I/O	H18	74	295	I/O	V11	126	415	I/O	L1	178	50
I/O	B9	23	176	I/O	J16	75	298	I/O	V10	127	418	I/O	K1	179	53
I/O	C9	24	179	I/O	J17	76	301	I/O (D4)	U10	128	421	I/O (A6)	K2	180	56
GND	D9	25	-	I/O (ERR, INDI)	J16	77	304	I/O	T10	129	424	I/O (A7)	K3	181	59
VCC	D10	26	-	VCC	J15	78	-	VCC	R10	130	-	GND	K4	182	-

\* Indicates unconnected package pins.  
 † Contributes only one bit (J) to the boundary scan register.  
 Boundary Scan Bit 0 = TDO.T  
 Boundary Scan Bit 1 = TDO.O  
 Boundary Scan Bit 487 = BSCANT.UPD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XC4005H Pinouts

Pin Description	PG223	MQ240	Bound Scan	Pin Description	PG223	MQ240	Bound Scan	Pin Description	PG223	MQ240	Bound Scan	Pin Description	PG223	MQ240	Bound Scan
VCC	J4	212	-	I/O	B10	32	221	I/O	K16	92	367	I/O (D3)	T9	152	511
I/O (A8)	J3	213	74	I/O	A9	33	224	I/O	K17	93	370	I/O (RS)	U9	153	514
I/O (A9)	J2	214	77	I/O	A10	34	227	I/O	K18	94	373	I/O	V9	154	517
I/O	J1	215	80	I/O	A11	35	230	I/O	L18	95	376	I/O	V8	155	520
I/O	H1	216	83	I/O	C11	36	233	I/O	L17	96	379	I/O	U8	156	523
I/O	H2	217	86	GND		37		I/O	L16	97	382	I/O	T8	157	526
I/O	H3	218	89	I/O	D11	38	236	GND	-	98	-	GND		158	
GND	-	219	-	I/O	D12	39	239	I/O	L15	99	385	I/O (D2)	V7	159	529
I/O (A10)	G1	220	92	VCC	-	40	-	I/O	M15	100	388	I/O	U7	160	532
I/O (A11)	G2	221	95	I/O	B11	41	242	VCC	-	101	-	VCC	-	161	-
VCC	-	222	-	I/O	A12	42	245	I/O	M18	102	391	I/O	V6	162	535
I/O	H4	223	98	I/O	B12	43	248	I/O	M17	103	394	I/O	U6	163	538
I/O	G4	224	101	I/O	A13	44	251	I/O	N18	104	397	I/O	R8	164	541
I/O	F1	225	104	GND	C12	45	-	I/O	P18	105	400	I/O	R7	165	544
I/O	E1	226	107	I/O	D13	46	254	GND	M16	106	-	GND	T7	166	-
GND	G3	227	-	I/O	D14	47	257	I/O	N15	107	403	I/O	R6	167	547
I/O	F2	228	110	I/O	B13	48	260	I/O	P15	108	406	I/O	R5	168	550
I/O	D1	229	113	I/O	A14	49	263	I/O	N17	109	409	I/O	V5	169	553
I/O	C1	230	116	I/O	A15	50	266	I/O	R18	110	412	I/O	V4	170	556
I/O	E2	231	119	I/O	C13	51	269	I/O	T18	111	415	I/O	U5	171	559
I/O (A12)	F3	232	122	I/O	B14	52	272	I/O	P17	112	418	I/O	T6	172	562
I/O (A13)	D2	233	125	I/O	A16	53	275	I/O	N16	113	421	I/O (D1)	V3	173	565
I/O	F4	234	128	I/O	B15	54	278	I/O	T17	114	424	I/O (RCLK-BUSY/ RDY)	V2	174	568
I/O	E4	235	131	I/O	C14	55	281	I/O	R17	115	427	I/O	U4	175	571
I/O	B1	236	134	I/O	A17	56	284	I/O	P16	116	430	I/O	T5	176	574
I/O	E3	237	137	SGCK2 (I/O)	B16	57	287	I/O	U18	117	433	I/O (D0, DIN)	U3	177	577
I/O (A14)	C2	238	140	O (M1)	C15	58	290	SGCK3 (I/O)	T16	118	436	SGCK4 (DOUT, VO)	T4	178	580
SGCK1 (A15, VO)	B2	239	143	GND	D15	59	-	GND	R18	119	-	CCLK	V1	179	-
VCC	D3	240	-	I (M0)	A18	60	293†	DONE	U17	120	-	VCC	R4	180	-
GND	D4	1	-	VCC	D16	61	-	VCC	R15	121	-	O (TDO)	U2	181	-
PGCK1 (A16, VO)	C3	2	146	I (M2)	C16	62	294†	PROG	V18	122	-	GND	R3	182	-
I/O (A17)	C4	3	149	PGCK2 (I/O)	B17	63	295	I/O (D7)	T15	123	439	I/O (A0, WS)	T3	183	2
I/O	B3	4	152	I/O (HDC)	E16	64	298	PGCK3 (I/O)	U16	124	442	PGCK4 (VO, A1)	U1	184	5
I/O	C5	5	155	I/O	C17	65	301	I/O	T14	125	445	I/O	P3	185	8
I/O (TDI)	A2	6	158	I/O	D17	66	304	I/O	U15	126	448	I/O	R2	186	11
I/O (TCK)	B4	7	161	I/O	B18	67	307	I/O	R14	127	451	I/O (CS1, A2)	T2	187	14
I/O	C6	8	164	I/O (LDC)	E17	68	310	I/O	R13	128	454	I/O (A3)	N3	188	17
I/O	A3	9	167	I/O	F16	69	313	I/O (D6)	V17	129	457	I/O	P4	189	20
I/O	B5	10	170	I/O	C18	70	316	I/O	V16	130	460	I/O	N4	190	23
I/O	B6	11	173	I/O	D18	71	319	I/O	T13	131	463	I/O	P2	191	26
I/O	D5	12	176	I/O	F17	72	322	I/O	U14	132	466	I/O	T1	192	29
I/O	D6	13	179	I/O	E15	73	325	I/O	V15	133	469	I/O	R1	193	32
GND	C7	14	-	I/O	F15	74	328	I/O	V14	134	472	I/O	N2	194	35
I/O	A4	15	182	GND	G16	75	-	GND	T12	135	-	-	-	195*	-
I/O	A5	16	185	I/O	E18	76	331	I/O	R12	136	475	GND	M3	196	-
I/O (TMS)	B7	17	188	I/O	F18	77	334	I/O	R11	137	478	I/O	P1	197	38
I/O	A6	18	191	I/O	G17	78	337	I/O	U13	138	481	I/O	N1	198	41
VCC	-	19	-	I/O	G18	79	340	I/O	V13	139	484	I/O	M4	199	44
I/O	D7	20	194	VCC	-	80	-	VCC	-	140	-	I/O	L4	200	47
I/O	D8	21	197	I/O	H16	81	343	I/O (D5)	U12	141	487	VCC	-	201	-
GND	-	22	-	I/O	H17	82	346	I/O (CS0)	V12	142	490	I/O (A4)	M2	202	50
I/O	C8	23	200	GND	-	83	-	GND	-	143	-	I/O (A5)	M1	203	53
I/O	A7	24	203	I/O	G15	84	349	I/O	T11	144	493	GND	-	204	-
I/O	B8	25	206	I/O	H15	85	352	I/O	U11	145	496	I/O	L3	205	56
I/O	A8	26	209	I/O	H18	86	355	I/O	V11	146	499	I/O	L2	206	59
I/O	B9	27	212	I/O	J18	87	358	I/O	V10	147	502	I/O	L1	207	62
I/O	C9	28	215	I/O	J17	88	361	I/O (D4)	U10	148	505	I/O	K1	208	65
GND	D9	29	-	I/O (ERR, INIT)	J16	89	364	I/O	T10	149	508	I/O (A6)	K2	209	68
VCC	D10	30	-	VCC	J15	90	-	VCC	R10	150	-	I/O (A7)	K3	210	71
I/O	C10	31	218	GND	K15	91	-	GND	R9	151	-	GND	K4	211	-

\* Indicates unconnected package pins.  
 † Contributes only one bit (i) to the boundary scan register.  
 Boundary Scan Bit 0 = TDO,T  
 Boundary Scan Bit 1 = TDO,O

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**XC4000H High I/O Count Logic Cell Array Family**

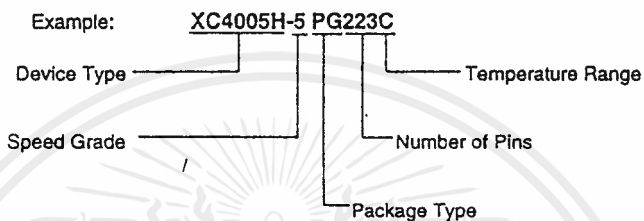
For a detailed description of the device architecture, see page 2-9 through 2-31.

For a detailed description of the configuration modes and their timing, see pages 2-32 through 2-55.

For detailed lists of package pinouts, see pages 2-100 through 2-101.

For package physical dimensions and thermal data, see Section 4.

**Ordering Information**



**Component Availability**

PINS	84	100			120	144	156	160	164	191	196	208		223	225	240		299
TYPE	PLAST. PLCC	PLAST. PQFP	PLAST. VQFP	TOP BRAZED CQFP	CERAM. PGA	PLAST. TQFP	CERAM. PGA	PLAST. PQFP	TOP BRAZED CQFP	CERAM. PGA	TOP BRAZED CQFP	PLAST. PQFP	METAL PQFP	CERAM. PGA	PLAST. BGA	PLAST. PQFP	METAL PQFP	METAL PQFP
CODE	PC84	PQ100	VQ100	CB100	PG120	TQ144	PG156	PQ160	CB164	PG191	CB196	PQ208	MQ208	PG223	BG225	PQ240	MQ240	PG299
XC4003H	-6									C I		C I						
	-5									C		C						
XC4005H	-6																C I	C I
	-5																C	C

C = Commercial = 0° to +85° C    I = Industrial = -40° to +100° C    M = Mil Temp = -55° to +125° C  
 B = MIL-STD-883C Class B    Parentheses indicate future product plans

## บรรณานุกรม

สาริต วงศ์ประทีป “ดิจิทัลคอมพิวเตอรฺ์ลอจิก” โรงพิมพ์จุฬาลงกรณ์มหาวิทยาลัย 2537.

Pak K. Chan Samiha Mourad. “Digital Design Using Field Programmable Gate Arrays”  
: Prentice-Hall Inc., 1994.

Richard Larry Ukeiley. “Filed Programable Gate Arrays (FPGAs) The 3000 Series”  
: Prentice-Hall Inc., 1993.

Viewlogic Systems Inc. “Workview PLUS on Windows”: Viewlogic Systems Inc., 1993.

Xilinx Inc. “The Programable logic data Book”: Xinlinx Inc., 1994.

