

ภาควิชาครุศาสตร์วิศวกรรม
คณะครุศาสตร์อุตสาหกรรม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองปริญญาโท

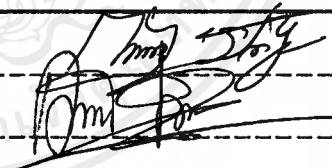
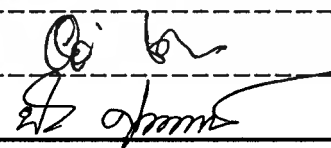
ปริญญาโท การควอนไทซ์เวกเตอร์ที่เวลาจริงโดยใช้ TMS320C50

REAL TIME IMPLEMENTATION OF VECTOR QUANTIZER
USING TMS320C50

ชื่อนักศึกษา 1. นายทวีพร เทียงขุน รหัสประจำตัว 38031306
2. นายธวัช แก้วทงงค์ รหัสประจำตัว 38031310
3. นายสวัสดิ์ ธงไชย รหัสประจำตัว 38031326
4. นายสัมพันธ์ กันญะรัตน์ รหัสประจำตัว 38031327

หลักสูตร ครุศาสตร์อุตสาหกรรมบัณฑิต สาขาวิชา อิเล็กทรอนิกส์และคอมพิวเตอร์
อาจารย์ผู้ควบคุมปริญญาโท

1. ดร.สุรสิทธิ์ ราตรี
2. อาจารย์ วรวิทย์ สมหา
3. อาจารย์ อำพล ทองระอา

คณะกรรมการสอบปริญญาโท	ลายมือชื่อ
1. อาจารย์ กิติพงศ์ มะโน	
2. อาจารย์ วรวิทย์ สมหา	
3. อาจารย์ ปิยะ จิตธรรมาภิรมย์	
4. อาจารย์ อำพล ทองระอา	
5. อาจารย์ ปิยะ ศุภวาราสุวัฒน์	

วันเดือนปีที่สอบ วันที่ 11 ธันวาคม 2539 เวลา 14.00 น. ถึง 15.00 น.

สถานที่สอบ ห้อง ค.303 คณะครุศาสตร์อุตสาหกรรม

ผู้ควบคุมสอบแล้ว
ลงนาม 
(ศษ.ดร.สุรสิทธิ์ ราตรี) (ผศ.ดร.ธีระพงษ์ ใจเพชรสิน ณ อยุธยา)
ผู้อำนวยการ
ภาควิชาครุศาสตร์วิศวกรรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษา วันที่ ๑๑ ธันวาคม ๒๕๓๙ พ.ศ. ๕๐
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



การควอนไทซ์เวกเตอร์ที่เวลาจริงโดยใช้ TMS320C50

REAL TIME IMPLEMENTATION OF VECTOR QUANTIZER USING
TMS320C50

นายทวีพร เทียงขุน
นายธวัช แก้วทนต์
นายสวัสดิ์ ธงไชย
นายสัมพันธ์ กันญะรัตน์



A021624

เลขหมู่.....
เลขทะเบียน..... 1355
วัน เดือน ปี..... 23 พค 2540

021624

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรครุศาสตรบัณฑิต
สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์
ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตรบัณฑิต
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์

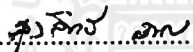
เรื่อง การควอนไทซ์เวกเตอร์ที่เวลาจริงโดยใช้ TMS320C50

REAL TIME IMPLEMENTATION OF VECTOR QUANTIZER USING TMS320C50

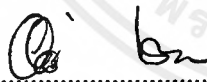
ผู้จัดทำ

- | | |
|----------------|-------------|
| 1. นายทวีพร | เที่ยงขุน |
| 2. นายรัช | แกลั่วทงงค์ |
| 3. นายสวัสดิ์ | ธงไชย |
| 4. นายสัมพันธ์ | กันณูรัตน์ |

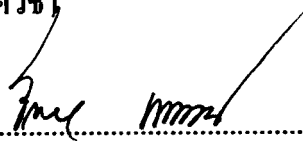
อาจารย์ที่ปรึกษา

ลงนาม.....
(ดร.สุรสิทธิ์ ราตรี)

ลงนาม.....
(อาจารย์จรรวิทย์ สมหา)

ลงนาม.....
(อาจารย์อำพล ทองระอา)

หัวหน้าภาควิชา

ลงนาม.....
(ผศ.ดร.ธีระพล เทพหัสดิน ณ อยุธยา)

ปริญญานิพนธ์

เรื่อง การควอนไทซ์เวกเตอร์ที่เวลาจริง โดยใช้ TMS320C50

REAL TIME IMPLEMENTATION OF VECTOR QUANTIZER USING TMS320C50

วัตถุประสงค์

1. เพื่อศึกษาถึงระบบการควอนไทซ์เวกเตอร์ที่เวลาจริง โดยใช้ TMS320C50
2. เพื่อออกแบบระบบการควอนไทซ์เวกเตอร์ที่เวลาจริง โดยใช้ TMS320C50
3. เพื่อสร้างเครื่องควอนไทซ์เวกเตอร์ที่เวลาจริง โดยใช้ TMS320C50
4. เพื่อศึกษาการเขียนโปรแกรมบนชิพ TMS320C50
5. เพื่อสามารถนำไปใช้รับ - ส่งสัญญาณเสียงแบบดิจิทัล ขนาด 9.6 Kbps.

ประโยชน์ที่คาดว่าจะได้รับ

1. สามารถนำการควอนไทซ์เวกเตอร์มาประยุกต์ใช้งานได้
2. สามารถออกแบบระบบการควอนไทซ์ที่เวลาจริง โดยใช้ TMS320C50 ได้
3. สามารถสร้างเครื่องควอนไทซ์เวกเตอร์ที่เวลาจริง โดยใช้ TMS320C50 ได้
4. สามารถเขียนโปรแกรมการควอนไทซ์เวกเตอร์ที่เวลาจริง โดยใช้ TMS320C50 ได้
5. สามารถนำไปรับ - ส่งสัญญาณเสียงขนาด 9.6 Kbps. ได้

การควอนไทซ์เวกเตอร์ที่เวลาจริง โดยใช้ TMS320C50

นายทวีพร	เที่ยงขุน
นายรัช	แก้วทนต์
นายสวัสดิ์	ธงไชย
นายสัมพันธ์	กันญะรัตน์

อาจารย์ที่ปรึกษา	
ดร.สุรสิทธิ์	ราตรี
อาจารย์บรรวิทย์	สมหา
อาจารย์อำพล	ทองระอา
ปีการศึกษา 2539	

บทคัดย่อ

การส่งสัญญาณเสียงในระบบดิจิทัลจำเป็นต้องมีการเข้ารหัสสัญญาณเสียง เพื่อลดจำนวนบิตเรต (Bit-Rate) ในการส่งข้อมูลให้ต่ำลง ซึ่งจะทำให้ความจุของช่องสัญญาณเพิ่มมากขึ้น การเข้ารหัสสัญญาณเสียงมีหลายวิธีการด้วยกัน และวิธีการของการควอนไทซ์เวกเตอร์ (Vector Quantization) เป็นอีกวิธีการหนึ่งที่ได้นำมาประยุกต์ใช้ ในการเข้ารหัสสัญญาณเสียง

ปริญญาณีพนธ์ฉบับนี้ นำเสนอวิธีการควอนไทซ์เวกเตอร์แบบมาตรฐาน (Standard Vector Quantization) เพื่อการเข้ารหัสสัญญาณเสียง โดยการออกแบบกำหนดบิตเรตไว้ที่ 9.6 Kbps. และได้เสนอแนวทางการออกแบบ โค้ดบุ๊ก (Code Book) พร้อมทั้งได้ทำการสร้างให้สามารถติดต่อสื่อสารกันได้ที่เวลาจริง (Real-Time) ผ่านหูฟังโทรศัพท์ (HandSet) โดยใช้ตัวประมวลผลสัญญาณ ดิจิตอล (DSP : Digital Signal Processor) เบอร์ TMS320C50 ซึ่งผลการทดลองคุณภาพของสัญญาณเสียงที่ได้ อยู่ในเกณฑ์ที่สามารถยอมรับได้

REAL TIME IMPLEMENTATION OF VECTOR QUANTIZER USING TMS320C50

MR.THAWEEPORN	THIENGKUN
MR.TAWAT	KLAWTHANONG
MR.SAWAT	THONGCHAI
MR.SUMPUN	KANYARAT

ADVISORS

DR.SURASIT	RATREE
MR.WORAWIT	SOMHA
MR.AMPHON	THONGRA-AR

1996

ABSTRACT

Digital transmission of speech signal must be used speech coding for transmission signal at lower bit-rate and increase of channel. Speech coding have many of algorithms and vector quantization (VQ) is one of many algorithms which can use to application to speech coding.

This thesis presents the algorithms of standard vector quantization (SVQ) for speech coding and presents the code book design. It's implement at real-time by using digital signal processor (DSP) TMS320C50. In designing bit-rate is set 9.6 Kbps. The result of this was calculate signal to noise ratio of the output signal of standard vector quantization and the result was satisfied.

III

กิตติกรรมประกาศ

ปริญญาานิพนธ์ฉบับนี้ สามารถสำเร็จลุล่วงไปด้วยดี ด้วยความช่วยเหลือจากเพื่อน และความร่วมมือจากสมาชิกในกลุ่ม และโดยเฉพาะอย่างยิ่ง อาจารย์ที่ปรึกษาทั้งสามท่านขอกราบขอบพระคุณไว้ ณ ที่นี้

ขอกราบขอบพระคุณ อาจารย์วรวิทย์ สมหา และอาจารย์ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่กรุณาให้คำปรึกษา แนะนำ ทางด้านข้อมูลในการทำปริญญาานิพนธ์ฉบับนี้ และขอขอบคุณบุคคลใกล้ชิด ที่ให้กำลังใจ จนมีส่วนผลักดันให้ปริญญาานิพนธ์ฉบับนี้ สำเร็จลุล่วงไปได้

สุดท้าย ขอกราบขอบพระคุณ คุณพ่อและคุณแม่ ผู้เป็นแรงกำลังอันยิ่งใหญ่ ทั้งกำลังใจ กำลังทรัพย์ และเป็นผู้ให้ตลอดมา

อนึ่ง ประโยชน์ และคุณความดีใดๆ ก็ตามที่เกิดจากปริญญาานิพนธ์ฉบับนี้ ขอมอบให้แค่ คุณพ่อ คุณแม่ และ คุณครูบาอาจารย์ ที่ได้ประสิทธิ์ประสาทวิชามาตั้งแต่ต้น จนถึงปัจจุบัน

IV

สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญรูปภาพ	VII
สารบัญตาราง	IX
บทที่ 1. บทนำ	1
1.1 แนวความคิดในการทำปริญญาานิพนธ์	1
1.2 เนื้อหาโดยสังเขปของปริญญาานิพนธ์	4
บทที่ 2. ทฤษฎีและหลักการ	6
2.1 การควอนไทซ์เวกเตอร์แบบมาตรฐาน	6
2.1.1 หลักการของการควอนไทซ์เวกเตอร์แบบมาตรฐาน	6
2.1.2 การออกแบบโค้ดบุ๊ก	8
2.2 ทฤษฎีการแปลงสัญญาณ	12
2.3 วงจรแปลงสัญญาณแอนาล็อกเป็นดิจิตอล และวงจรแปลงสัญญาณดิจิตอลเป็นแอนาล็อก	13
2.4 วงจรแปลงสัญญาณแอนาล็อกเป็นสัญญาณดิจิตอล	13
2.4.1 A/D แบบเชอร์โว	13
2.4.2 A/D แบบคูอัล-สโโลบ อินทีเกรต	14
2.4.3 A/D แบบซัคเซสซีฟ-แอฟฟร็อกซิเมชัน	14
2.4.4 A/D แบบคอมพาราเตอร์ขนาน	14
2.5 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนาล็อก	14
2.5.1 แบ่งตามน้ำหนักที่อินพุต	14
2.5.2 R-2R แลคเคอร์	14
2.6 ทฤษฎีการสุ่มสัญญาณ	14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรื่อง	หน้า
2.6.1 การคำนวณหาค่าอัตราการสุมของระบบโทรศัพท์โดยละเอียด	16
2.7 ตัวประมวลผลสัญญาณดิจิทัล	17
2.7.1 ตัวประมวลผลสัญญาณดิจิทัลตระกูล TMS320	17
2.7.2 ลักษณะโครงสร้างของ TMS320C50	18
2.7.3 สถาปัตยกรรมของ TMS320C50 ชิป DSP โดยทั่วไป	19
2.7.4 ตัวประมวลผลกลาง	20
2.7.5 หน่วยความจำข้อมูลภายใน	22
2.7.6 หน่วยความจำโปรแกรม/หน่วยความจำข้อมูลภายใน	22
2.7.7 ซอฟต์แวร์สภาวะการคอย	22
2.7.8 พอร์ตอินพุต เอาต์พุตแบบขนาน	22
2.7.9 พอร์ตอินพุต เอาต์พุตแบบอนุกรม	22
2.7.10 ขาของ TMS320C50 DSP	22
2.7.11 การอ้างถึงตำแหน่งข้อมูล	23
2.7.12 การควบคุมการนำข้อมูลเข้า และส่งออก	23
2.7.13 การจัดหน่วยความจำ	25
2.7.14 สรุปสถาปัตยกรรมโดยทั่วไป	26
บทที่ 3 การออกแบบ และการสร้าง	28
3.1 หลักการออกแบบฮาร์ดแวร์	28
3.1.1 บอร์ดควอนไทซ์เวคเตอร์	29
3.1.2 บอร์ดอีพรอมภายนอก	31
3.1.3 บอร์ดอินเทอร์เฟซ	33
3.2 หลักการออกแบบซอฟต์แวร์	36
3.2.1 หลักการออกแบบโปรแกรมการหาค่าโคไซน์	36
3.2.2 หลักการออกแบบซอฟต์แวร์ควบคุมการควอนไทซ์	38
3.2.3 การออกแบบซอฟต์แวร์ควบคุม	40

เรื่อง	หน้า
บทที่ 4 ผลการทดลองและทดสอบ	41
4.1 การทดสอบการทำงานของเครื่องควอนตัมไคซ์เวคเตอร์ที่เวลาจริง โดยใช้ TMS320C50	41
4.1.1 ลำดับขั้นการทดลอง	41
4.1.2 ผลการทดลอง	49
บทที่ 5. บทสรุป ปัญหา แนวทางแก้ไขและพัฒนา	50
5.1 บทสรุป	50
5.2 ปัญหาที่พบ	50
5.2.1 ปัญหาในส่วนของฮาร์ดแวร์	50
5.2.2 ปัญหาในส่วนของซอฟต์แวร์	50
5.3 แนวทางในการพัฒนา	51
ภาคผนวก ก วงจรที่ใช้ในปริยญานิพนธ์	52
ภาคผนวก ข รูปเครื่องต้นแบบในปริยญานิพนธ์	62
ภาคผนวก ค โปรแกรมที่ใช้ในปริยญานิพนธ์	67
ภาคผนวก ง รายละเอียดของอุปกรณ์	160
บรรณานุกรม	188

VII

สารบัญรูปรภาพ

รูปภาพ	หน้า
รูปที่ 2.1 การควอนไตซ์เวกเตอร์แบบมาตรฐาน	7
รูปที่ 2.2 วิธีการของ LBG โดยการประยุกต์จากวิธีการของ Lloyd	11
รูปที่ 2.3 ระบบที่มีการประมวลผลข้อมูลทางดิจิทัล	12
รูปที่ 2.4 รูปสัญญาณที่ผ่านการสุ่มเทียบกับสัญญาณต้นฉบับ	15
รูปที่ 2.5 ลักษณะภายนอกของ TMS320C50	24
รูปที่ 2.6 การจัดหน่วยความจำของ TMS320C50	25
รูปที่ 3.1 ผังการทำงานของเครื่องควอนไตซ์เวกเตอร์ที่เวลาจริง โดยใช้ TMS320C50	28
รูปที่ 3.2 ลักษณะของบอร์ด DSK	29
รูปที่ 3.3 การต่อสาย Connector ของเครื่องควอนไตซ์	30
รูปที่ 3.4 การต่อเครื่องควอนไตซ์เวกเตอร์กับคอมพิวเตอร์ระหว่างการพัฒนา	31
รูปที่ 3.5 การเชื่อมต่อระหว่าง DSK 2 ชุด	31
รูปที่ 3.6 บอร์ดอีพรอมภายนอก	32
รูปที่ 3.7 วงจรอีพรอมภายนอก	32
รูปที่ 3.8 วงจรปริโมโครโฟน	34
รูปที่ 3.9 วงจรเพาเวอร์แอมป์	35
รูปที่ 3.10 วงจรแหล่งจ่ายไฟ	36
รูปที่ 3.11 วิธีการของ LBG โดยการประยุกต์จากวิธีการของ Lloyd	37
รูปที่ 3.12 ผังการทำงานของเครื่องควอนไตซ์เวกเตอร์ที่เวลาจริง	39
รูปที่ 4.1 เครื่องควอนไตซ์เวกเตอร์ที่เวลาจริง โดยใช้ TMS320C50	42
รูปที่ 4.2 การต่อเอาต์พุตจากเครื่องควอนไตซ์เวกเตอร์ ไปยังเครื่องคอมพิวเตอร์	43
รูปที่ 4.3 สัญญาณเสียงที่ใช้ออกแบบโค้ดบู้ค	43
รูปที่ 4.4 สัญญาณเสียงที่ได้จากการควอนไตซ์โดยใช้โปรแกรม SNRSPL เมื่อป้อนอินพุตเป็นสัญญาณเสียงที่ใช้ออกแบบโค้ดบู้ค	44
รูปที่ 4.5 สัญญาณเสียงอินพุตที่ได้จากการพูด หนึ่ง สอง สาม	44
รูปที่ 4.6 สัญญาณเสียงที่ได้จากเครื่องควอนไตซ์เมื่อป้อนสัญญาณอินพุตในรูปที่ 4.5	45

VIII

รูปภาพ	หน้า
รูปที่ 4.7 สัญญาณเสียงอินพุตที่ได้จากการพูด สี่ ห้า หก	45
รูปที่ 4.8 สัญญาณเสียงที่ได้จากเครื่องควอนไทซ์ เมื่อป้อนสัญญาณอินพุตในรูปที่ 4.7	46
รูปที่ 4.9 สัญญาณเสียงอินพุตจากเครื่องกำเนิดสัญญาณ Sine Wave 300 Hz.	46
รูปที่ 4.10 สัญญาณที่ได้จากเครื่องควอนไทซ์เมื่อป้อนอินพุตในรูปที่ 4.9	47
รูปที่ 4.11 สัญญาณเสียงอินพุตจากเครื่องกำเนิดสัญญาณ Square Wave 300 Hz.	47
รูปที่ 4.12 สัญญาณที่ได้จากเครื่องควอนไทซ์เมื่อป้อนอินพุตในรูปที่ 4.11	48
รูปที่ 4.13 สัญญาณเสียงอินพุตจากเครื่องกำเนิดสัญญาณ Triangle Wave 300 Hz.	48
รูปที่ 4.14 สัญญาณที่ได้จากเครื่องควอนไทซ์เมื่อป้อนอินพุตในรูปที่ 4.13	49



สารบัญตาราง

ตาราง

หน้า

ตารางที่ 2.1 รีจิสเตอร์ภายใน 'C50

20



บทที่ 1

บทนำ

1.1 แนวความคิดในการทำปฏิญานิพนธ์

ปัจจุบันเป็นยุคสมัยของการสื่อสารข้อมูล หรือเรียกว่าเป็นยุคเทคโนโลยีสารสนเทศ ซึ่งมีการพัฒนาระบบสื่อสารโทรคมนาคม เพื่อที่จะรองรับความต้องการการติดต่อสื่อสารที่มีมากขึ้น การสื่อสารระบบดิจิทัล ก็เป็นส่วนสำคัญในรูปแบบหนึ่งของการติดต่อสื่อสาร และส่วนสำคัญประการหนึ่งที่ต้องคำนึงถึง คือการลดจำนวนบิตเรต ในการส่งข้อมูลให้ต่ำลง ซึ่งจะเป็นผลทำให้ความจุของช่องสัญญาณเพิ่มมากขึ้น แต่การลดบิตเรตให้น้อยลง อาจทำให้คุณภาพของการสื่อสารลดลง การควอนไทซ์แอมพลิจูดเป็นวิธีการที่มีประสิทธิภาพอีกวิธีหนึ่ง ซึ่งถูกนำมาประยุกต์ใช้ในการเข้ารหัสสัญญาณเสียง เพื่อลดจำนวนบิตเรตในการส่งข้อมูลให้ต่ำลง โดยที่ยังให้คุณภาพของการสื่อสารอยู่ในเกณฑ์ที่ยอมรับได้

ในปัจจุบันได้มีการศึกษาค้นคว้าวิจัยในด้านการประยุกต์ใช้งานการเข้ารหัสสัญญาณทั้งทางด้านการติดต่อสื่อสารวิทยุ โทรศัพท์แบบเซลลูลาร์ มีการเร่งศึกษาทั้งทางด้านการเข้ารหัสเสียงพูดและการมอดูเลต (Modulate) แบบดิจิทัลเพื่อเพิ่มจำนวนช่องสัญญาณในแบนด์วิดท์ที่ได้กำหนดไว้ให้มากยิ่งขึ้น

พัฒนาการของระบบการเข้ารหัสข้อมูลเริ่มต้นเมื่อปี 1948 เมื่อ เคลาด์ แชนนอน (Claude Shannon) ได้พัฒนาทฤษฎีการเข้ารหัสสัญญาณซึ่งเป็นผลงานที่ได้รับความสำเร็จอย่างมาก คือ การแปลงสัญญาณจากสัญญาณแอนาล็อกเป็นสัญญาณดิจิทัล (Analog-to-Digital Conversion) และระบบการบีบอัดข้อมูล (Data Compression System) ซึ่งทฤษฎีนี้ทำให้เกิดความเที่ยงตรงอย่างมากระหว่างอัตราบิตเรตและคุณภาพของการสร้างข้อมูลกลับคืน เพื่อให้ได้ระบบการสื่อสารที่มีความถูกต้องแน่นอนและทฤษฎีนี้ได้กำเนิดแนวความคิดของ โครงสร้างของการเข้ารหัสที่ดีต่อมา

แชนนอนได้นำเสนอแนวความคิด 2 แบบที่นำไปสู่เทคนิคการออกแบบการเข้ารหัสสัญญาณในเวลาต่อมา

แนวความคิดแบบแรก สัญญาณดิจิทัลน่าจะสามารถบีบอัดได้ โดยการกำหนดโค้ดเวิร์ด (Codeword) สั้นๆ ซึ่งเป็นสัญญาณที่เชื่อถือได้มากที่สุด และการเข้ารหัสที่

ประสบความสำเร็จสูงสุด น่าจะหาได้จากคำสถิติรูปร่างลักษณะของสัญญาณ ซึ่งนำไปสู่แนวความคิดเกี่ยวกับการเข้ารหัสสัญญาณที่ไม่มีผลผลิตหรือไม่เกิดการสูญเสีย

แนวความคิดที่สอง ระบบการเข้ารหัสสัญญาณสามารถปฏิบัติได้ดีถ้าใช้การเข้ารหัสแบบเวกเตอร์มากกว่าที่จะใช้แต่ละแซมเปิล

แนวความคิดแรกของแซนนอน นำมาซึ่งการเปลี่ยนแปลงอย่างรวดเร็วของการเข้ารหัสสัญญาณหลายๆแบบ แต่ไม่ใช่กับแนวความคิดที่สอง โดยเหตุที่แนวความคิดของการเข้ารหัสแบบเวกเตอร์ได้เกิดขึ้นหลายปีก่อนที่การเข้ารหัสสัญญาณจะถูกนำมาใช้ให้เกิดผลอย่างไรก็ตามระบบการเข้ารหัสเพื่อแปลงสัญญาณจากสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลและการเข้ารหัสได้ถูกพัฒนาขึ้น ซึ่งมีความสำคัญต่อการปฏิบัติงานในแบบสเกลาร์เป็นอย่างมาก ในเวลานั้นการเข้ารหัสสัญญาณแบบเวกเตอร์หรือเวกเตอร์ควอนไทซ์ไม่สามารถนำมาใช้ในเวลาจริงได้ โดยเหตุที่ไม่มีสิ่งอำนวยความสะดวกเพียงพอ เช่น ไม่มีวงจรประมวลผลสัญญาณที่มีความเร็วเพียงพอและหน่วยความจำไม่มีขนาดใหญ่พอ รวมทั้งขาดการออกแบบอัลกอริทึม สำหรับการเข้ารหัสอีกด้วย อย่างไรก็ตามในปี 1980 ได้มีการพัฒนาการออกแบบอัลกอริทึมและโครงสร้างของการเข้ารหัสที่นำมาใช้ประโยชน์ได้ การเข้ารหัสแบบเวกเตอร์หรือเวกเตอร์ควอนไทซ์ ได้เริ่มต้นนำมาใช้งานในเทคโนโลยีการเข้ารหัส การพัฒนาอย่างรวดเร็วของตัวประมวลผลสัญญาณดิจิทัลใน 10 ปีที่ผ่านมาและการให้ความสนใจอย่างกว้างขวางในระบบการเข้ารหัสแบบเวกเตอร์นำไปสู่แนวความคิดในการผลิตเป็นสินค้าที่ใช้การเข้ารหัสแบบเวกเตอร์เป็นพื้นฐาน โดยเฉพาะการเข้ารหัสเสียงพูดและแนวความคิดในการเข้ารหัส

เวกเตอร์ควอนไทซ์ เป็นโครงร่างของการเข้ารหัสที่พัฒนาขึ้นโดยแซนนอน ในการพัฒนาทฤษฎีของการเข้ารหัสสัญญาณกับบรรทัดฐานที่มีลักษณะตรงกับความเป็นจริง แนวความคิดนี้ ได้ขยายการควอนไทซ์ที่ใช้แบบสเกลาร์ไปเป็นหลายๆมิติ (Dimension) เวกเตอร์ควอนไทซ์นี้ ทำงานในแบบเวกเตอร์แทนที่จะเป็นสเกลาร์ โครงร่างของเวกเตอร์ควอนไทซ์นี้ง่ายและเหมาะสมที่จะนำมาใช้ รหัส (Code) มักจะถูกออกแบบโดยอัลกอริทึมที่มีกลุ่มข้อมูลที่ซ้ำกัน และการออกแบบนี้สามารถนำไปใช้ในการออกแบบเวกเตอร์ควอนไทซ์ ที่เพิ่มความหนาแน่นของสัญญาณได้อีกด้วย

ในทางทฤษฎีแล้วแนวความคิดนี้น่าจะเป็นไปได้ แต่ในทางปฏิบัติแล้วไม่ง่ายเลย อุปสรรคที่สำคัญได้แก่ การนำเสนอในเวลาจริง (Real Time) และข้อจำกัดในการนำเวกเตอร์ควอนไทซ์มาใช้งาน สมมุติว่าเราพิจารณาการเข้ารหัสสัญญาณที่มีรูปร่างลำดับของการสุ่มคงที่ และเราเพิ่งเล็งถึงปัญหาที่ทำไมที่จะแบ่งลำดับไปเป็นเวกเตอร์ เพื่อใช้ในเวกเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ควอนไทซ์ โดยทั่วไป ถ้าเราบังคับให้ค่ารีโซลูชัน (Resolution,b) วัดในรูปของบิต/เวกเตอร์ เราทราบว่าการทำงานของเวกเตอร์ควอนไทซ์ สามารถเพิ่มไคเมนชัน (N) ของเวกเตอร์ที่เพิ่มขึ้นได้เท่านั้น การปรับปรุงการทำงานเกี่ยวกับไคเมนชันนี้สามารถอธิบายได้ โดยอาศัยการจำได้ (Recognizing) พื้นที่ของโค้ดบุ๊ก (Codebook) ที่ต้องการจัดเก็บในรูปเวกซ์และการค้นหา (จำนวนของการทำงานต่ออินพุตเวกเตอร์ในการค้นหาอย่างละเอียดในโค้ดบุ๊ก) เป็นปฏิภาคกับ LN (L คือ ขนาดของโค้ดบุ๊ก) ด้วยเหตุนี้ $LN=N2^{bN}$ หนึ่งเวกซ์ที่เก็บไว้สามารถแทนได้ด้วยหนึ่งส่วนประกอบของหนึ่งโค้ดเวกเตอร์ และการทำงานหนึ่งครั้งเทียบได้กับการทำงานแบบสเกลาร์ 2 หรือ 4 ค่า จากที่ทราบว่า สัญญาณพูดจะถูกสุ่มที่ความถี่ $F_s = 8 \text{ KHz}$. สมมุติว่าเราต้องการใช้เวกเตอร์ควอนไทซ์ที่มีขนาด 1 บิตต่อแซมเปิล สำหรับอัตราการส่งขนาด 8 Kbps. ขนาด N แซมเปิล ในหนึ่งเวกเตอร์ต้องการโค้ดบุ๊กขนาด $L=2^N$ และพื้นที่ของการจัดเก็บ $N2^N$ จำนวนของการทำงานต่อหนึ่งหน่วยเวลา สำหรับการค้นหาในโค้ดบุ๊กกับค่าความผิดพลาดขึ้นอยู่กับความเร็วของตัวประมวลผล โดย $Nf_s = 2^N f_s$ ตัวอย่างเช่น ให้ค่า $N=16$ จะมีขนาดของโค้ดบุ๊ก $L = 65536$ สำหรับตัวประมวลผลสัญญาณดิจิทัลที่ดีที่สุดในปี 1993

ในอดีตการควอนไทซ์เวกเตอร์ มีปัญหาเนื่องจากการควอนไทซ์เวกเตอร์จำเป็นจะต้องใช้ตัวประมวลผลสัญญาณดิจิทัล (DSP : Digital Signal Processor) ที่มีความเร็วสูงมาก จึงจะทำงานที่เวลาจริงได้ แต่ในปัจจุบันไม่เป็นเรื่องยาก เมื่อทางบริษัทเท็กซัสอินสตรูเมนต์ ได้ผลิตชิปตระกูล TMS320Cxx และได้จัดทำชุดพัฒนาที่สมบูรณ์โดยประกอบด้วย ตัวชิพ คู่มือ และอุปกรณ์ต่างๆทั้งหมด พร้อมทั้งซอฟต์แวร์และโปรแกรมตัวอย่าง จำหน่ายในราคาถูก เพื่อต้องการให้ใช้งานได้อย่างแพร่หลาย ในปัจจุบันได้มีผู้นำเข้าชุดพัฒนาระบบประมวลผลสัญญาณดิจิทัล TMS320C50 DSP Starter Kit (DSK) ของเท็กซัสอินสตรูเมนต์เข้ามาจำหน่ายให้กับนักศึกษา นักออกแบบ ได้ทดลองศึกษาใช้งาน เป็นการพัฒนา DSP ในประเทศไทย

ชุดพัฒนา DSK สามารถใช้งานแทนระบบแอนะล็อก (Analog) ได้อย่างกว้างขวาง ซึ่งใช้โปรเซสเซอร์ประมวลผลสัญญาณเบอร์ TMS320C50 พร้อมด้วย ตัวแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล (Analog To Digital : A/D) และตัวแปลงสัญญาณดิจิทัลเป็นแอนะล็อก (Digital To Analog : D/A) โดยการต่อสัญญาณเสียงอินพุตที่ต้องการส่งผ่านชุดอินเทอร์เฟซ (Interface) ผ่านวงจรแปลงสัญญาณ A/D จากนั้น TMS320C50 จะทำการควอนไทซ์ แล้วส่งรหัสสัญญาณเสียงที่ได้จากการควอนไทซ์ไปยังเครื่องรับ ซึ่งเป็นชุด DSK อีกชุดหนึ่ง จากนั้นสัญญาณที่ได้จะถูกถอดรหัสการควอนไทซ์ ส่งผ่านตัวแปลงสัญญาณ D/A และส่งต่อไปยังชุดอินเทอร์เฟซที่ชุดรับ ผ่านไปยังหูฟัง ซึ่งกระบวนการทั้งหมดนี้จะทำในเวลา

จริง (Real Time) และใช้การควอนไทซ์เวกเตอร์แบบมาตรฐาน (Standard Vector Quantize) โดยชุดพัฒนา DSK จะได้รับการพัฒนาโปรแกรม แก้ไข ทดสอบ และปรับปรุงซอฟต์แวร์ให้ได้ผลตามต้องการ โดยใช้สายเชื่อมโยงกับคอมพิวเตอร์ผ่านทางพอร์ต (Port) RS 232

การสร้างเครื่องควอนไทซ์เวกเตอร์ที่เวลาจริงนี้ เพื่อที่จะศึกษา การทำงานของระบบประมวลผลสัญญาณดิจิทัล โดยนำมาประยุกต์ใช้งานจริง เพื่อใช้ในการควอนไทซ์เวกเตอร์แบบมาตรฐานที่เวลาจริง โดยการเขียนโปรแกรมควบคุมส่วนต่างๆ ทั้งชิพ TMS320C50 และโปรแกรมสร้างโค้ดบุ๊ก (Code Book) เมื่อพัฒนาเสร็จแล้วสามารถสนทนากันผ่านชุด DSK ได้ โดยชุด DSK จะใช้บิตเรต ในการส่งสัญญาณระหว่างกันเท่ากับ 9.6 Kbps. ซึ่งจากการทดลองสัญญาณเสียงที่ได้มีคุณภาพเป็นที่ยอมรับได้

1.2 เนื้อหาโดยสังเขปของปริญญาานิพนธ์

เนื้อหาของปริญญาานิพนธ์ฉบับนี้ มีการจัดแบ่งไว้อย่างเป็นสัดส่วน โดยเริ่มจากบทนำ ซึ่งกล่าวถึงความสำคัญและที่มาของปัญหา ตลอดจนทฤษฎีและหลักการอย่างคร่าวๆ เพื่อให้ผู้อ่านได้เข้าใจหลักการออกแบบโครงการ ทั้งยังกล่าวถึงวัตถุประสงค์ ขอบเขต และประโยชน์ของการทำปริญญาานิพนธ์

บทที่ 2. ทฤษฎีและหลักการ บทนี้ประกอบด้วยรายละเอียดของสถาปัตยกรรมชิพ TMS320C50 ซึ่งเป็นตัวประมวลผลสัญญาณดิจิทัล วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลและดิจิทัลเป็นแอนะล็อก การสุ่มสัญญาณ ตลอดจนทฤษฎีการควอนไทซ์เวกเตอร์แบบมาตรฐาน

บทที่ 3 การออกแบบและการสร้าง กล่าวถึงเนื้อหาโดยละเอียด ขั้นตอนในการออกแบบวงจรส่วนต่างๆ การนำส่วนต่างๆ มาเชื่อมต่อเข้าด้วยกัน เพื่อให้สามารถทำงานร่วมกันได้อย่างมีประสิทธิภาพ

บทที่ 4 ผลของการทดลองและทดสอบ โดยการนำเครื่องต้นแบบการควอนไทซ์เวกเตอร์แบบมาตรฐานที่เวลาจริง มาทดลองและทดสอบการทำงาน และเปรียบเทียบผลการทดลองกับวัตถุประสงค์ที่วางไว้

บทที่ 5 บทสรุป ปัญหา แนวทางแก้ไข และพัฒนา เป็นการสรุปผลและอภิปรายเกี่ยวกับความสามารถ ประสิทธิภาพของเครื่องควอนไทซ์เวกเตอร์แบบมาตรฐานที่เวลาจริง โดยใช้ชิพ TMS320C50 เป็นตัวประมวลผล ปัญหาที่เกิดขึ้นในระหว่างการทำโครงการ แนวทาง

แก้ไขปัญหที่เกิดขึ้น และเสนอแนะแนวทางในการพัฒนาปรับปรุงโครงการให้มีประสิทธิภาพมากยิ่งขึ้น

ปฏิญญานិพนธ์ฉบับนี้ รวบรวมเนื้อหาไว้บางส่วน หากท่านต้องการรายละเอียด นอกเหนือจากที่ได้เรียบเรียงไว้ สามารถอ่านเพิ่มเติมได้ ตามหนังสือที่ได้อ้างอิงไว้ในบรรณานุกรม



บทที่ 2 ทฤษฎีและหลักการ

สำหรับทฤษฎีที่ใช้ในการออกแบบโครงงานนี้ ประกอบด้วย ทฤษฎีของเวกเตอร์ คอวนไคซ์ ทฤษฎีการแปลงสัญญาณ ทฤษฎีการสุ่มสัญญาณ และทฤษฎีของตัวประมวลผลสัญญาณดิจิทัล ซึ่งจะนำเสนอเป็นส่วนๆ ไป

2.1 การคอวนไคซ์เวกเตอร์แบบมาตรฐาน

2.1.1 หลักการของการคอวนไคซ์เวกเตอร์แบบมาตรฐาน

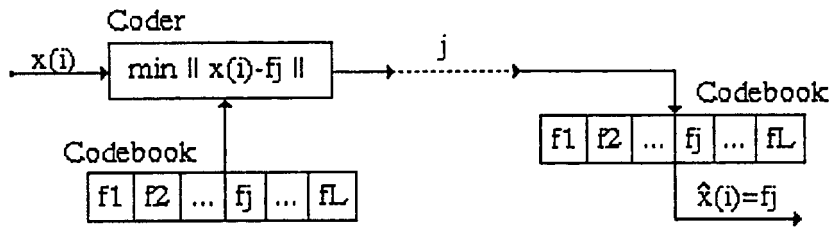
เป็นการคอวนไคซ์เวกเตอร์ที่ใช้หลักการของ LBG (LBG Algorithms) แสดงได้ดังรูปที่ 2.1

วงจรถูกส่ง (Transmitter) ประกอบไปด้วยส่วนที่เป็นโค้ดบุ๊กที่มี N มิต ซึ่ง N คือจำนวนของตัวอย่าง (samples) หรืออีลีเมนต์ (element) ในหนึ่งเวกเตอร์ และมีจำนวน L เวกเตอร์คือ f_j , $\{j = 1, 2, 3, \dots, L\}$ โดยเป็นส่วนที่มีความสำคัญเนื่องจากโค้ดบุ๊กจะต้องเป็นที่เก็บคุณลักษณะของเสียงไว้ทั้งหมด จากรูปที่ 2.1 ในขบวนการเริ่มต้นสัญญาณอินพุต $x(i)$ จะถูกส่งเข้ามาจำนวน N แซมเปิ้ล (เท่ากับ มิตของโค้ดบุ๊กหรือหนึ่งเวกเตอร์) โดยวงจรถูกส่งจะแทนสัญญาณ $x(i)$ ด้วยค่าเวกเตอร์ f_j จากโค้ดบุ๊ก ซึ่งจะมีเพียงหนึ่งเวกเตอร์ที่มีคุณลักษณะใกล้เคียงกับสัญญาณอินพุตมากที่สุด โดยการหาค่าต่ำสุด (Minimize the Euclidean distance)

$$\|x(i) - f_j\| < \|x(i) - f_k\| \quad (1)$$

โดยที่ $k = 1, 2, 3, \dots, L$; $k \neq j$

และจะได้ค่าดัชนี (Index) ของเวกเตอร์จากโค้ดบุ๊ก คือ j เพื่อทำการส่งไปที่วงจรถูกรับ ในส่วนของวงจรถูกรับจะนำเอาค่าดัชนี j มาทำการ ถอดรหัสจากโค้ดบุ๊ก (โค้ดบุ๊กที่เครื่องส่งและเครื่องรับ จะต้องมียุขอมูลที่เหมือนกัน) ซึ่งจะได้สัญญาณที่ถูกสร้างขึ้นใหม่คือ $\hat{x}(i)$ ซึ่งมีค่าเท่ากับ f_j ที่เก็บอยู่ในโค้ดบุ๊กนั่นเอง



(ก). วงจรเครื่องส่ง

(ข). วงจรเครื่องรับ

รูปที่ 2.1 การควอนไทซ์เวกเตอร์แบบมาตรฐาน

ค่า Parameter ที่สำคัญอีกประการหนึ่ง ของการควอนไทซ์เวกเตอร์คือ ความละเอียด (Resolution) ของจำนวนบิตที่ใช้ในหนึ่งอีลีเมนต์ของเวกเตอร์สามารถคำนวณได้ดังนี้

$$R = \frac{\log_2 L}{N} \text{ (bit / element)} \quad (2)$$

ถ้ากำหนดให้โค้ดบุ๊กมีมิติ $N = 5$ และ จำนวนเวกเตอร์ในโค้ดบุ๊ก $L = 64$ จะได้

$$R = \frac{\log_2 64}{5} = \frac{6}{5} = 1.2 \text{ bit / element}$$

นั่นหมายความว่าในหนึ่งแซมเปิลของการสุ่มสัญญาณที่ส่งไปยังเครื่องรับต้องการข้อมูลเพียง 1.2 บิต จะสังเกตเห็นว่าความละเอียดของตัวแปลง สัญญาณ A/D จะไม่มีผลต่ออัตราการส่งข้อมูล ถ้าหากเรานำหลักการควอนไทซ์เวกเตอร์ไปประยุกต์ใช้ในการเข้ารหัสสัญญาณเสียง และจากสมการที่ (2) สามารถคำนวณหาค่าบิตเรตในการส่งข้อมูลได้ดังนี้

$$\text{Bitrate} = R \times F_s \text{ (bit / sec)} \quad (3)$$

$$F_s = \text{ความถี่ในการสุ่มสัญญาณ (Hz)}$$

ถ้าอัตราการสุ่มสัญญาณ $F_s = 8\text{kHz}$ มิติของโค้ดบุ๊ก $N = 5$ และจำนวนของเวกเตอร์ $L = 64$ นั้นหมายความว่าค่าดัชนีเวกเตอร์ j ที่ส่งไปยังเครื่องรับจำนวน 6 บิต สามารถสร้างสัญญาณ $\hat{x}(i)$ ได้จำนวน 5 แซมเปิ้ล ดังนั้น จำนวนบิตเรตในการส่งข้อมูลจะได้เป็น

$$\text{Bitrate} = 1.2 \times 8000 = 9600\text{bps}$$

2.1.2 การออกแบบโค้ดบุ๊ก

คุณภาพของสัญญาณเสียงที่เอาต์พุตจะขึ้นอยู่กับโค้ดบุ๊ก และในการออกแบบโค้ดบุ๊กจะนำเอาสัญญาณเสียงต้นฉบับหรือสัญญาณที่ใช้ในการออกแบบโค้ดบุ๊ก $\{x(i)\}$ (Training Vector) มาทำการแยกกลุ่ม (Clustering) เพื่อหาคุณลักษณะของสัญญาณเสียงที่เหมาะสมที่สุดและให้มีความผิดพลาด (Distortion) น้อยที่สุด โดยได้ใช้วิธีการของ LBG ซึ่งได้พัฒนามาจากวิธีการของ Lloyd (Lloyd Algorithms) มาประยุกต์ใช้ในการออกแบบซึ่งเขียนเป็นผังการทำงานได้ดังแสดงในรูปที่ 2.2 และเขียนเป็นขั้นตอนการออกแบบได้ดังนี้

กำหนดให้โค้ดบุ๊กที่ต้องการออกแบบมีจำนวน L เวกเตอร์ในแต่ละเวกเตอร์มีจำนวนอีลีเมนต์เท่ากับ N

$P(f_j) = \text{Voronoi Cell}$ โดยมีโค้ดบุ๊กเวกเตอร์ (Codebook Vector) f_j เป็นค่า Centriod ของ $P(f_j), \{j = 1, 2, 3, \dots, L\}$

$\{x(i)\} = \text{สัญญาณเสียงต้นฉบับสำหรับการออกแบบโค้ดบุ๊กโดย } \{i = 1, 2, 3, \dots, M\}$
และ M คือจำนวนของเวกเตอร์ใน $\{x(i)\}$

= เวกเตอร์สำหรับการ Splitting โดยมีจำนวนอีลีเมนต์เท่ากับ N ในที่นี้เลือกใช้ค่า

$$= [0.01, 0.01, \dots, 0.01]$$

$\epsilon = \text{Theshold}$ เลือกใช้ค่า (0.005)

ขั้นตอนการออกแบบ

1. กำหนดให้ Iteration $m = 0$
2. ทัดตั้งโค้ดบุ๊กเวกเตอร์ $f_{j(m)}$ ที่ $j = 1$ โดยการหาค่า Centriod ของสัญญาณเสียงต้นฉบับ $\{x(i)\}$ ได้จาก

$$f_{j(m)} = \frac{1}{M} \sum_{i=1}^M x(i) \quad (4)$$

3. ทำการแยกโศคคบูคเวคเตอร์ $f_{j(m)}$ ออกเป็น 2 ส่วน โดยการบวกและลบด้วยเวคเตอร์ ซึ่งมีจำนวนอิลีเมนต์เท่ากับโศคคบูคเวคเตอร์ และจะได้โศคคบูคเวคเตอร์ใหม่เป็น 2 เท่าของจำนวนโศคคบูคเวคเตอร์เดิมดังนี้

$$\begin{aligned} f_{j(m)}^{new} &= f_{j(m)}^{old} + \alpha \\ f_{j+1(m)}^{new} &= f_{j(m)}^{old} - \alpha \end{aligned} \quad (5)$$

4. กำหนดให้ $m = m + 1$

5. แยกสัญญาณเสียงต้นฉบับ $\{x(i)\}$ ให้เข้ากลุ่มของ $P(f_{j(m)})$ ดังนี้

$$x(i) \in P(f_{j(m)}) \text{ if } \hat{x}(i) = f_j \quad (6)$$

$$\begin{aligned} \text{โดยที่ } \{i &= 1, 2, 3, \dots, M\} \\ \{j &= 1, 2, 3, \dots, L\} \end{aligned}$$

และในการจัดเข้ากลุ่มในแต่ละ $P(f_{j(m)})$ มีเงื่อนไขดังนี้

$$\|x(i) - f_{j(m)}\| < \|x(i) - f_k\|$$

$$\begin{aligned} \text{โดยที่ } \{i &= 1, 2, 3, \dots, M\} \\ \{k &= 1, 2, 3, \dots, L\} \quad ; k \neq j \end{aligned}$$

6. คำนวณหาค่า Centroid ในแต่ละ $P(f_{j(m)})$ โดยนำเอา $\{x(i)\}$ ที่ถูกจัดกลุ่มในขั้นตอนที่ 5 มาทำการคำนวณดังนี้

$$f_{j(m)} = \frac{1}{M_j} \sum_{x(i) \in P(f_{j(m)})} x(i) \quad (7)$$

$$\{j = 1, 2, 3, \dots, L\}$$

โดยที่ M_j คือจำนวนของ Training Vector ในแต่ละ $P(f_{j(m)})$

7. คำนวณค่าความเพี้ยนเฉลี่ย (Average Distortion) $D(m)$ รวมทั้งหาค่าของโค้ดบุ๊กเวกเตอร์ $f_{j(m)}$

$$D(m) = \sum_{j=1}^L \frac{M_j}{M} D_j(m) \quad (8)$$

$$\{j = 1, 2, 3, \dots, L\}$$

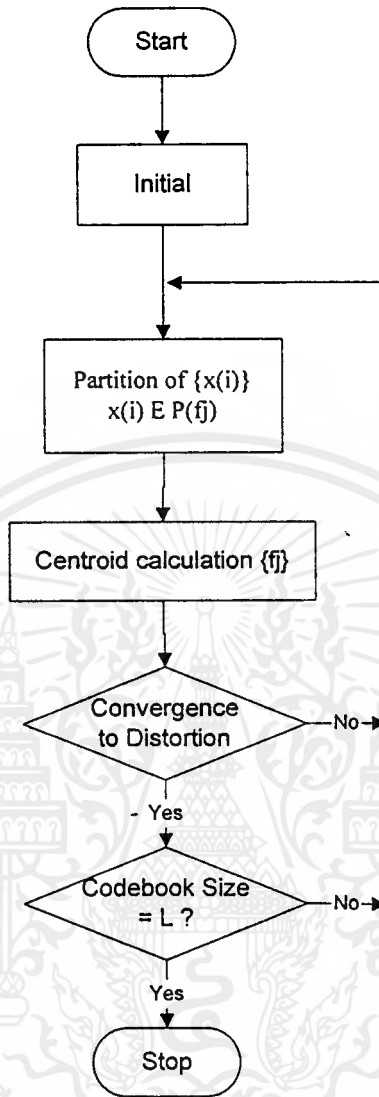
โดยที่ $D_j(m)$ คือความเพี้ยนเฉลี่ยในแต่ละ $P(f_{j(m)})$ ซึ่งเกิดจากการเปรียบเทียบระหว่าง สัญญาณเสียงต้นฉบับ $\{x(i)\}$ และโค้ดบุ๊กเวกเตอร์ $f_{j(m)}$ ในแต่ละ $P(f_{j(m)})$

$$D_j(m) = \frac{1}{M_j} \sum_{x(i) \in P(f_{j(m)})} \|x(i) - f_{j(m)}\|^2 \quad (9)$$

$$\{j = 1, 2, 3, \dots, L\}$$

8. ตรวจสอบค่าความผิดพลาดเทียบกับค่า Threshold

$$\frac{D(m-1) - D(m)}{D(m-1)} < \varepsilon \quad (10)$$



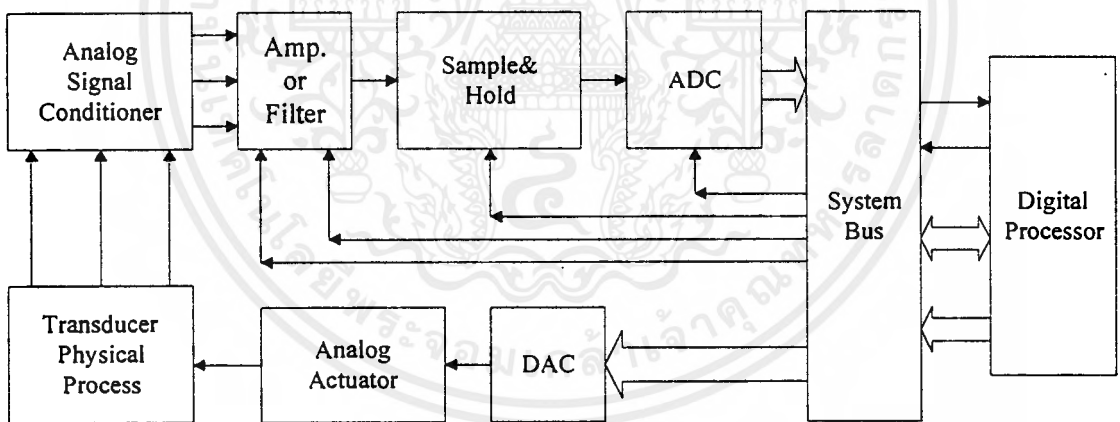
รูปที่ 2.2 วิธีการของ LBG โดยการประยุกต์จากวิธีการของ Lloyd

เมื่อ $D(m-1)$ คือค่าความผิดพลาดที่เกิดขึ้นในครั้งก่อน ถ้าข้อกำหนดจากสมการที่ (10) ไม่เป็นจริงให้กลับไปกระทำในขั้นตอนที่ 4 และถ้าข้อกำหนดจากสมการที่ (10) เป็นจริง จะกำหนดให้ $m = 0$ และกระจายโค้ดบุ๊กเวกเตอร์ f_j ในแต่ละ $P(f_j)$ ออกเป็น 2 เวกเตอร์โดยการบวกและลบ ด้วยเวกเตอร์ เช่นเดียวกับกับขั้นตอนที่ 3 และ ให้กลับไปกระทำใน ขั้นตอนที่ 4 โดยการกระทำในแต่ละรอบจำนวนของโค้ดบุ๊กเวกเตอร์ f_j จะเพิ่ม เป็น 2 เท่าคือ $1, 2, 4, 8, \dots, L$ ซึ่งจะได้โค้ดบุ๊ก เวกเตอร์ f_j ในแต่ละ $P(f_j)$ จำนวน L เวกเตอร์อันเป็นการสิ้นสุดการออกแบบโค้ดบุ๊ก

2.2 ทฤษฎีการแปลงสัญญาณ (Data Acquisition and Conversion)

ในอดีต รูปแบบของสัญญาณไฟฟ้าโดยมากมักจะอยู่ในรูปสัญญาณแอนาล็อก การนำเอาสัญญาณไฟฟ้ามาประมวลผล เพื่อให้เกิดรูปแบบที่ต้องการนั้น ต้องใช้อุปกรณ์ทางแอนาล็อก แต่ปัจจุบันนี้เทคโนโลยีทางด้านดิจิทัลก้าวหน้าไปมาก ทำให้การประมวลผลสัญญาณทางดิจิทัล สามารถทำได้อย่างรวดเร็ว และมีประสิทธิภาพ

ดังนั้นการแปลงรูปแบบสัญญาณ (Conversion) จึงมีความจำเป็นในการแปลงสัญญาณแอนาล็อกที่มีอยู่แล้วให้เป็นสัญญาณดิจิทัล โดยอุปกรณ์การแปลงสัญญาณแอนาล็อกเป็นสัญญาณดิจิทัล และจะถูกประมวลผลโดยตัวประมวลผลสัญญาณดิจิทัล เช่น คอมพิวเตอร์ เป็นต้น จากผลลัพธ์ที่ได้อาจถูกนำมาแสดงผลโดยตรงเลย หรืออาจถูกแปลงให้อยู่ในรูปของสัญญาณแอนาล็อกที่ใช้งานได้ การที่จะแปลงสัญญาณแอนาล็อกเป็นดิจิทัลได้นั้น สามารถทำได้โดยใช้อุปกรณ์แปลงสัญญาณดิจิทัลเป็นสัญญาณแอนาล็อก สำหรับระบบที่มีการประมวลผลข้อมูลทางดิจิทัลแสดงดังรูปที่ 2.3



รูปที่ 2.3 ระบบที่มีการประมวลผลข้อมูลทางดิจิทัล

จากรูปที่ 2.3 การเปลี่ยนแปลงทางกายภาพในลักษณะใดๆ ก็ตาม เช่น อุณหภูมิ ความดัน ความเร็ว จะถูกเปลี่ยนให้มาเป็นสัญญาณไฟฟ้าแบบแอนาล็อก โดยทรานสดิวเซอร์ ทฤษฎีการสุ่มที่มีรูปแบบเหมาะสมกับลักษณะทางกายภาพนั้นๆ จากนั้นสัญญาณทางไฟฟ้า ก็จะถูกปรับให้อยู่ในรูปแบบ และขนาดที่เหมาะสมก่อน โดยวงจรต่างๆ เช่น วงจรขยาย หรือ วงจร กรองสัญญาณเป็นต้น วงจรแชนเนลเปิดแอนด์โฮลด์ จะสุ่มขนาดของสัญญาณแอนาล็อก มา แล้วจะทำการ โฮลด์สัญญาณนั้นไว้ชั่วขณะ โดยไม่จำเป็นต้องใช้ วงจร ADC แล้วข้อมูลทาง

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดิจิทัล จะถูกส่งต่อไปยังบัซของระบบ จากนั้นตัวโปรเซสเซอร์ จะทำการประมวลผลข้อมูลกลับมา เพื่อควบคุมกิจการทางกายภาพของระบบโดยผ่านตัวกระทำทางกล (Analog Actuator)

2.3 วงจรแปลงสัญญาณแอนาล็อกเป็นดิจิทัล และวงจรแปลงสัญญาณดิจิทัลเป็นแอนาล็อก

การติดต่อระหว่างมนุษย์ส่วนมากจะใช้สัญญาณต่อเนื่อง (Analog) เป็นสัญญาณติดต่อกัน แต่ว่าการทำงานของระบบคอมพิวเตอร์ จะใช้สัญญาณเป็นช่วงดิจิทัลเป็นสัญญาณในการทำงาน ดังนั้นถ้าเราต้องการให้คอมพิวเตอร์ช่วยเราทำงานแล้ว เราจะต้องเปลี่ยนสัญญาณแอนาล็อกที่เราใช้อยู่ให้เป็นสัญญาณดิจิทัล เพื่อให้คอมพิวเตอร์ หรือเครื่องประมวลสัญญาณดิจิทัลรับรู้ได้ เมื่อประมวลผลสัญญาณเสร็จก็จะส่งข้อมูลออกมาเป็นสัญญาณดิจิทัล ซึ่งเป็นเรื่องที่ยุ่ยากที่เราจะเข้าใจในข้อมูลนั้น ดังนั้นเราจึงเปลี่ยนข้อมูลที่เป็นสัญญาณดิจิทัล ให้เป็นสัญญาณแอนาล็อก เพื่อให้มนุษย์เข้าใจในข้อมูลนั้น ดังนั้นพอสรุปได้ว่าการเปลี่ยนสัญญาณแอนาล็อกเป็นสัญญาณดิจิทัล และการเปลี่ยนสัญญาณดิจิทัลเป็นแอนาล็อก ซึ่งเป็นการประสานโลกของคอมพิวเตอร์เข้ากับโลกของมนุษย์ เพื่อให้มนุษย์ได้ใช้คอมพิวเตอร์ได้อย่างสมบูรณ์ยิ่งขึ้น การเปลี่ยนสัญญาณแอนาล็อกไปเป็นดิจิทัลเรียกว่า Analog To Digital Converter (ADC) หรือเรียกย่อๆ ว่า A TO D หรือ A / D ในทำนองเดียวกันการเปลี่ยนสัญญาณดิจิทัลเป็นสัญญาณแอนาล็อกเรียกว่า Digital To Analog Converter (DAC) เรียกย่อๆ ว่า D TO A หรือ D / A

2.4 วงจรแปลงสัญญาณแอนาล็อกเป็นสัญญาณดิจิทัล

การเปลี่ยนสัญญาณแอนาล็อกเป็นสัญญาณดิจิทัล (A/D) มีขบวนการอยู่หลายวิธี แต่ละวิธี มีข้อดีและข้อเสียรวมทั้งราคาที่แตกต่างกันไป ซึ่งในปริยญาณีพนธ์ฉบับนี้ได้ใช้บอร์ด DSK ซึ่งมีชิพแปลงสัญญาณ A/D และ D/A เบอร์ TLC32040C อยู่ในตัว จึงขอกล่าววิธีแปลงสัญญาณอย่างคร่าวๆ ซึ่งมีหลักการดังนี้

2.4.1 A/D แบบ เซอร์โว (Servo)

เป็นแบบที่ง่ายและราคาถูกที่สุด แต่การทำงานที่ไม่เที่ยงตรง อันเนื่องมาจาก อุณหภูมิ เวลา และความไวในการรับสัญญาณอินพุต

2.4.2 A/D แบบคู่อัล-สโลบ อินทีเกรต (Dual-Slope Intergrator)

เป็นแบบที่มีความละเอียดถูกต้องสูง ราคาค่อนข้างแพง ทางด้านอุณหภูมิมีผลน้อย แต่มีความเร็วในการทำงานต่ำ

2.4.3 A/D แบบซัคเซสซีฟ-แอฟพร็อกซิเมชัน (Successive-Approximation)

เป็นแบบที่ใช้งานทั่วไป และเป็นแบบซึ่งทำงานได้อย่างรวดเร็วมีความถูกต้องสูง แต่การสร้างวงจรนั้นต้องใช้ D/A

2.4.4 A/D แบบคอมพาราเตอร์ขนาน (Parallel-Comparator)

เป็นแบบที่มีความเร็วในการทำงานสูงแบบหนึ่ง แต่ราคาก็สูงที่สุดในบรรดา A/D ทุกชนิด หลักการทำงานไม่ยุ่งยากซับซ้อน แต่ต้องใช้ส่วนประกอบอื่นค่อนข้างมาก

2.5 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนาล็อก

การเปลี่ยน D/A โดยทั่วไปจะสามารถแบ่งตามความต้านทาน ที่ต่ออยู่สองแบบคือ

2.5.1 แบ่งตามน้ำหนักที่อินพุต (Binary Weighted Resistor Ladder)

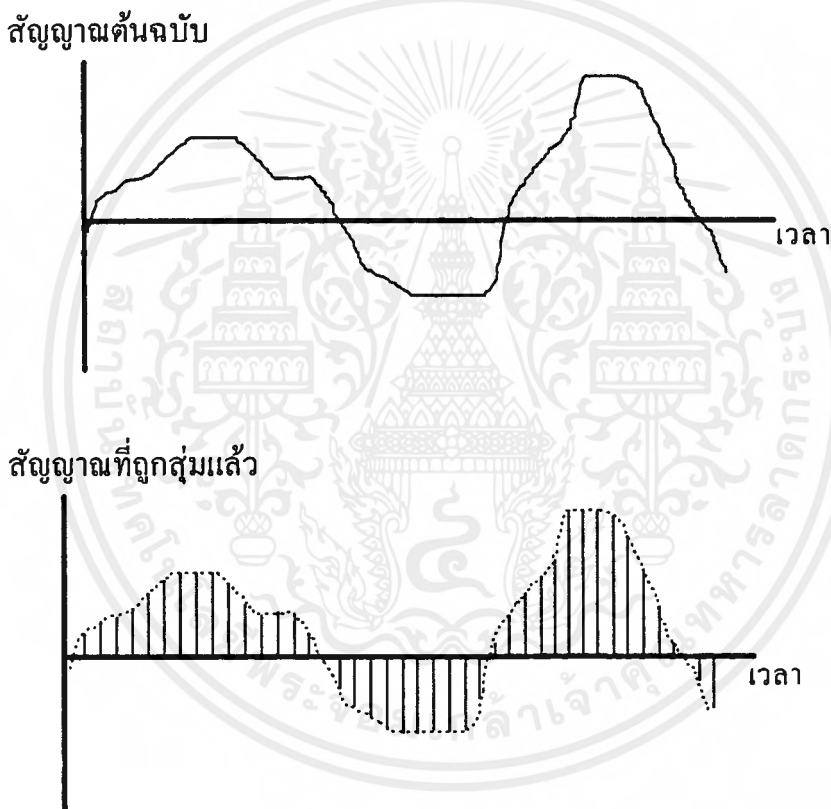
ในการเปลี่ยนสัญญาณของเลขไบนารี ให้เป็นแรงดันแอนาล็อกนั้น จะต้องใช้แรงดันค่าหนึ่งๆ สำหรับหนึ่งบิตของเลขไบนารีที่เข้ามา ค่าแรงดันที่ตำแหน่งบิตจะเป็นสัดส่วนกับน้ำหนักไบนารีของบิตนั้นๆ

2.5.2 R-2R แลด์เดอร์ (R-2R Ladder)

D/A ชนิดนี้เป็นอีกแบบหนึ่งซึ่งจะแก้ปัญหาในการหาความต้านทานซึ่งมีค่าที่แตกต่างกันมากๆ ให้เป็นวงจรที่ใช้ค่าความต้านทานต่างกันเพียง 2 ค่าเท่านั้น โดยการต่อวงจรที่เรียกว่า R-2R Network หรือ R-2R Ladder สัญญาณอินพุตแต่ละบิตที่ป้อนเข้าวงจรจะทำให้เอาต์พุตที่ได้เปลี่ยนแปลงไป D/A R-2R Ladder เป็นแบบที่ใช้ในการแปลงสัญญาณดิจิตอลเป็นแอนาล็อก

2.6 ทฤษฎีของการสุ่มสัญญาณ (Sampling)

การสุ่มสัญญาณเป็นขั้นตอนแรกในการแปลงสัญญาณแอนะล็อกให้เป็นสัญญาณดิจิทัล โดยวงจรสุ่มสัญญาณจะตรวจจับขนาดของสัญญาณแอนะล็อกที่ถูกส่งตามช่วงเวลาที่ถูกกำหนด โดยทั่วไปมักจะวัดขนาดในรูปของแรงดันไฟฟ้า ซึ่งแท้จริงแล้วกระบวนการสุ่มสัญญาณ เป็นกระบวนการตรวจวัดค่าแรงดันของสัญญาณ ที่ช่วงเวลาต่างๆ ซึ่งมีคาบการตรวจจับคงที่ดังแสดงในรูปที่ 2.4



รูปที่ 2.4 สัญญาณที่ผ่านการสุ่ม เทียบกับสัญญาณต้นฉบับ

อัตราหรือความถี่ของการสุ่มสัญญาณเป็นคาบนี้จะกำหนดให้อยู่ในหน่วยของจำนวนจุดสุ่มต่อหนึ่งหน่วยเวลา ยกตัวอย่างเช่น ในระบบโทรศัพท์อัตราการสุ่มดังกล่าวจะมีค่าเป็น 8,000 ครั้งต่อวินาที หรือ 8 KHz. หรืออาจกล่าวได้ว่าคาบของการสุ่ม (ช่วงเวลาระหว่างการสุ่มแต่ละครั้ง) มีค่าเป็น $1/8,000$ หรือ 125 ไมโครวินาที สำหรับวิธีในการคำนวณหาค่าอัตราการสุ่มของระบบโทรศัพท์จะแยกอธิบายโดยละเอียดในหัวข้อที่ 2.6.1 โดยเป็นไปตามเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา ~~1855~~ ส่งถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อกำหนดในทฤษฎีของการสุ่มสัญญาณ ซึ่งถูกกำหนดขึ้นโดยแซมมอน นักคณิตศาสตร์ชาวสหรัฐอเมริกา กล่าวว่าอัตราการสุ่มจะต้องมีความถี่ไม่น้อยไปกว่า 2 เท่าของความถี่สูงสุดของสัญญาณแอนะล็อกที่จะทำการส่งนั้น จึงจะสามารถสร้างสัญญาณต้นฉบับกลับคืนจากสัญญาณสุ่มได้

2.6.1 การคำนวณหาค่าอัตราการสุ่มของระบบโทรศัพท์โดยละเอียด

ตามทฤษฎีของการสุ่มสัญญาณของไนควิสต์ (Nyquist) และทฤษฎีข่าวสารข้อมูลของแซมมอน กล่าวไว้ว่า ในกรณีของการส่งข้อมูลที่เป็นสัญญาณแอนะล็อกผ่านเครือข่ายดิจิทัลนั้น อัตราการสุ่มของสัญญาณของวงจรสุ่มสัญญาณ จะต้องมีความถี่สูงกว่าความถี่สูงสุดของสัญญาณแอนะล็อกที่ต้องการจะส่งผ่านนั้น อย่างน้อย 2 เท่า จึงจะสามารถแปลงสัญญาณดิจิทัลกลับมาเป็นสัญญาณแอนะล็อกได้เหมือนเดิมทุกประการที่เครื่องรับปลายทาง สำหรับระบบโทรศัพท์ทั่วไป กำหนดให้สามารถส่งผ่านเสียงพูดของผู้ใช้งานได้ในช่วงความถี่ตั้งแต่ 300 Hz. ถึง 3,400 Hz. ซึ่งอาจกล่าวได้ว่าความถี่สูงสุดของการสนทนาตามปกติที่ส่งผ่านทางคู่สายโทรศัพท์มีค่าประมาณ 4 KHz. ดังนั้นการแปลงสัญญาณเสียงพูดในระบบโทรศัพท์เป็นสัญญาณดิจิทัลจึงจะต้องมีการสุ่มสัญญาณด้วยอัตราเท่ากับ

$$\begin{aligned} \text{อัตราการสุ่มอย่างน้อยที่สุด} &= 2 \times \text{ความถี่สูงสุดของสัญญาณแอนะล็อกที่จะถูกสุ่ม} \\ &= 2 \times 4,000 \\ &= 8,000 \text{ Hz.} \end{aligned}$$

ตามข้อกำหนดของ CCITT หรือองค์การบริหารโทรคมนาคมนานาชาติ กำหนดให้ใช้ความถี่ในการสุ่มเป็น 8 KHz. ซึ่งหมายถึงมีการสุ่มสัญญาณจำนวน 8,000 ครั้งภายใน 1 วินาที คาบเวลาระหว่างการสุ่มแต่ละครั้งมีค่าเป็น

$$\begin{aligned} \text{คาบเวลาระหว่างจุดสุ่ม} &= 1/\text{ความถี่ของการสุ่ม} \\ &= 1/8,000 \\ &= 125 \text{ ไมโครวินาที} \end{aligned}$$

2.7 ตัวประมวลผลสัญญาณดิจิทัล (Digital Signal Processor : DSP)

2.7.1 ตัวประมวลผลสัญญาณดิจิทัลตระกูล TMS320

ตัวประมวลผลสัญญาณดิจิทัลชิปเดี่ยว (Single Chip) ประกอบด้วย การประมวลผล ชนิด 16 บิตแบบไม่คิดจุดทศนิยม และชนิด 32 บิตแบบคิดจุดทศนิยม เป็นตัวประมวลผลที่ใช้งานเกี่ยวกับการประมวลผลสัญญาณที่ต้องการความเร็วสูง (Real Time) และใช้สำหรับการประมวลผลเกี่ยวกับตัวเลข ซึ่งเป็นความสามารถหลักของตัวประมวลผลตระกูล TMS320 โดยเฉพาะ

ตัวประมวลผล TMS320 ใช้เทคโนโลยีแบบ VLSI (Very Large Scale Integration) และได้แยกไมโครโปรเซสเซอร์ชิปในตระกูลนี้ตามระดับ และการประยุกต์ใช้งาน คือ TMS320C1x , TMS320C2x , TMS320C5x เป็นกลุ่มไมโครโปรเซสเซอร์ที่ประมวลผลโดยไม่คิดจุดทศนิยม และ TMS320C3x , TMS320C4x เป็นกลุ่มที่ประมวลผลโดยคิดจุดทศนิยมด้วย

ในปี พ.ศ. 2525 บริษัทเท็กซัสอินสตรูเมนต์ ได้แนะนำชิป DSP เป็นครั้งแรก ในตระกูล TMS320 ซึ่งเป็นชิปที่ใช้ในการประมวลผลสัญญาณดิจิทัลแบบไม่คิดจุดทศนิยม คือเบอร์ TMS320C10 และปีนั้นเองก็ได้รับรางวัล “ผลิตภัณฑ์ดีเด่นแห่งปี” จากนิตยสารผลิตภัณฑ์อิเล็กทรอนิกส์ และชิปเบอร์ TMS320C10 ได้ใช้เป็นต้นแบบให้กับรุ่นต่อมา

ในปัจจุบันชิปตระกูล TMS320 ประกอบด้วย 5 รุ่นคือ 'C1x 'C2x, 'C3x, 'C4x 'C5x ในแต่ละเบอร์ของชิป TMS320 มี CPU (Central Processing Unit) ภายในมีหน่วยความจำ และอุปกรณ์สำหรับเชื่อมต่อภายนอก ซึ่งคุณลักษณะต่างๆ เป็นที่ต้องการทั่วไปของตลาดอิเล็กทรอนิกส์ และการที่ชิป DSP มีหน่วยความจำ อุปกรณ์ และระบบต่างๆ อยู่ภายในชิปตัวเดียวทำให้มีขนาดลดลง และประหยัดพื้นที่มากขึ้น

'C5x ประกอบด้วยเบอร์ต่างๆ คือ 'C50 , 'C51 และ 'C53 ชิป DSP ใช้เทคโนโลยีวงจรรวมแบบ CMOS (Complementary Metal - Oxide Semiconductor) โครงสร้างหลักโดยทั่วไปถูกออกแบบคล้ายกับ 'C25 โดยใช้สถาปัตยกรรมแบบ “ฮาร์วาร์ด” (Harvard) และแยกหน่วยความจำออกเป็น 2 ส่วนคือ หน่วยความจำโปรแกรม (Program Memory) และหน่วยความจำข้อมูล (Data Memory) มีหน่วยความจำ อุปกรณ์เชื่อมต่อภายใน มีกลุ่มคำสั่งพิเศษทำให้มีความยืดหยุ่น และความเร็วของชิป DSP สูง

'C50 ได้ถูกออกแบบให้มีไซเคิลของคำสั่งเพียง 35 ถึง 50 นาโนวินาที ในการกระทำคำสั่งแต่ละคำสั่ง จากความสามารถนี้ทำให้ 'C50 สามารถประมวลผลสัญญาณได้ถึง 28 ล้านคำสั่งต่อวินาที (MIPS) ทำให้ชิพ DSP TMS320C5x ซึ่งเป็นชิพประมวลผลสัญญาณดิจิทัลชิพเดี่ยว ขนาด 16 บิต สามารถประมวลผลที่เวลาจริงได้ทันที ซึ่ง 'C5x จะประมวลผลสัญญาณแบบไม่คิดจุดทศนิยมทำให้มีความยืดหยุ่นในการควบคุมด้วยความเร็วสูง

คุณสมบัติทั่วไป

1. กลุ่มคำสั่งมีความยืดหยุ่นสูงมาก
2. สะดวกต่อการใช้งาน
3. มีความเร็วในการปฏิบัติงานได้มากกว่า 28 ล้านคำสั่งต่อวินาที
4. ออกแบบด้วยสถาปัตยกรรมแบบขนาน
5. ราคาต่ำ

2.7.2 ลักษณะโครงสร้างของ TMS320C50

1. ไซเคิลในการทำงานของคำสั่งใช้เวลา 35 ถึง 50 นาโนวินาที
2. ซอร์สโค้ดเข้ากันได้กับ 'C1x และ 'C2x
3. ทำคำสั่งได้ 28.6 ล้านคำสั่งต่อวินาที
4. มีหน่วยความจำข้อมูล RAM ภายในชิพ 9 กิโลเวิร์ด
5. มีหน่วยความจำโปรแกรม ROM 2 กิโลเวิร์ด
6. มีทางเข้าถึงหน่วยความจำข้อมูล 2 ทาง ภายในชิพ RAM 1056 เวิร์ด
7. มีพื้นที่หน่วยความจำภายนอก 224 กิโลเวิร์ด
8. มีหน่วยประมวลผลคณิตศาสตร์ (Arithmetic Logic Unit : ALU) , แอคคิวมูลเตอร์ (Accumulator : ACC) และ แอคคิวมูลเตอร์บัฟเฟอร์ (Accumulator Buffer : ACCB) ขนาด 32 บิต
9. มีหน่วยลอจิกขนานขนาด 16 บิต
10. การคูณเป็นแบบขนานขนาด 16 x 16 บิต ซึ่งจะได้ผลลัพธ์เป็น 32 บิต
11. คูณเลขโดยใช้สัญญาณนาฬิกาหนึ่งไซเคิล
12. มีอ็อกซิลารี่รีจิสเตอร์ (Auxiliary Register) จำนวน 8 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

13. เพิ่มฮาร์ดแวร์สแตคขึ้นถึง 8 ระดับ
14. มีตัวเลื่อนบิต (Shifter) แบบขนาน 16 บิต และ 64 บิตในการเลื่อนข้อมูล
15. มีการทวนคำสั่งที่เป็นคำสั่งเดี่ยว และทวนรหัสโปรแกรมหรือข้อมูลเป็นบล็อก
16. มีการจัดการ โปรแกรมหรือข้อมูลไปไว้ในบล็อกหน่วยความจำที่ดีกว่า
17. มีพอร์ตอนุกรมแบบเข้าจังหวะ (Synchronous) 2 ทาง (Full Duplex) สำหรับติดต่อกับพอร์ตอนุกรมกับอุปกรณ์อื่นๆ
18. มีพอร์ตอินพุต เอาต์พุต แบบขนานทั้งหมด 64 K และมี 16 พอร์ต อยู่ในพื้นที่หน่วยความจำ
19. มี โปรแกรม Wait-state เพื่อใช้ในการติดต่อกับอุปกรณ์ หรือหน่วยความจำภายนอกที่ทำงานช้ากว่า
20. ปฏิบัติงานแบบ 4 ไปป์ไลน์ (Pipe Line)
21. โหมดการอ้างข้อมูลแบบชี้ตำแหน่ง (Index-addressing)
22. มีตัวกำเนิดสัญญาณนาฬิกาภายในชิพ
23. ใช้เทคโนโลยีแบบ CMOS ใช้ไฟเลี้ยง 5 โวลต์
24. มี 132 ขา

2.7.3 สถาปัตยกรรมของ TMS320C50 ชิพ DSP โดยทั่วไป

โครงสร้างส่วนสำคัญของ TMS320C50 DSP ประกอบด้วยส่วนสำคัญ 3 ส่วนคือ

1. หน่วยประมวลผลกลาง (CPU)
2. หน่วยความจำ (Memory)
3. วงจรอินเทอร์เฟสกับอุปกรณ์ภายนอก

TMS320C50 เป็นโปรเซสเซอร์ที่ใช้สำหรับในการประมวลผลสัญญาณดิจิทัล ซึ่งจะมีลักษณะการทำงานคล้ายคลึงกับ TMS320C25 และใช้สถาปัตยกรรมเดียวกัน คือ สถาปัตยกรรมแบบ “ฮาร์ดแวร์” โดยจะแบ่งโครงสร้างของหน่วยความจำออกเป็น 2 ส่วนแยกจากกัน คือ หน่วยความจำโปรแกรม และหน่วยความจำข้อมูล ซึ่งจะทำให้การทำงานต่างๆ เป็นไปด้วยความเร็วสูง นอกจากนั้นยังสามารถทำการโอนย้ายข้อมูลระหว่างกันได้

ในการคำนวณทางคณิตศาสตร์นั้น จะทำการคำนวณโดยใช้เลขแบบ ทศนิยมพลีเมนต์ โดยใช้ ALU ซึ่งเป็นหน่วยกระทำทางคณิตศาสตร์และลอจิก จะใช้ตัวกระทำขนาด 16 บิตเวิร์ด และแอกคิวมูลเตอร์ขนาด 32 บิต

2.7.4 ตัวประมวลผลกลาง

การพัฒนาปรับปรุง CPU 'C5x ยังคงรักษาซอร์สโค้ด (Source Code) ให้เข้ากันได้กับ 'C1x, 'C2x ในขณะที่มีการปรับปรุงสมรรถนะ และความสะดวกในการใช้งาน ในการปรับปรุง มีแอกคิวมูลเตอร์บัพเฟอร์ 32 บิต และเพิ่มการตรวจสอบมีคำสั่งใหม่ในการอินเทอร์เฟส อุปกรณ์ภายนอกสำหรับผู้ใช้งานมากขึ้น

มีฟังก์ชัน (Function) ควบคุมอิสระของหน่วยลอจิกแบบขนาน (PLU : Parallel logic Unit) สำหรับการปฏิบัติงานแบบบูลีน (Boolean) และ เซ็ต (Set) รีจิสเตอร์ (Register) คอนแทคสวิทช์ (Contaxt - Switch Register) ในการกำหนด Zero - latency ซึ่ง Contaxt - Switch สามารถทำการให้บริการตำแหน่งการอินเทอร์รัพต์ (Interrupt)

TMS320C50 มีหน่วยความจำที่ใช้เก็บข้อมูลหรือตำแหน่ง (Register) ขนาด 1 ไบต์ ภายในซีพียู จำนวน 28 ตัว ดังตารางที่ 2.1

ชื่อ	ตำแหน่ง		คำอธิบาย
	'C50 Dec	'C50 Hex	
-	0 - 3	0 - 3	ตำแหน่งที่จองไว้
IMR	4	4	รีจิสเตอร์แสดงสถานะอินเทอร์รัพต์
GREG	5	5	รีจิสเตอร์หน่วยความจำทั่วไป
IFR	6	6	รีจิสเตอร์อินเทอร์แฟล็ก
PMST	7	7	รีจิสเตอร์แสดงสถานะตัวประมวลผล
RPTC	8	8	รีจิสเตอร์ ตัวนับทวน
BRCR	9	9	รีจิสเตอร์นับทวนแบบบล็อก

ตารางที่ 2.1 รีจิสเตอร์ภายใน 'C50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อ	ตำแหน่ง		คำอธิบาย
	'C50 Dec	'C50 Hex	
PASR	10	A	รีจิสเตอร์ทวนแอดเดรสเริ่มต้น โปรแกรมแบบ บล็อก
PAER	11	B	รีจิสเตอร์ทวนแอดเดรสสิ้นสุด โปรแกรม แบบ บล็อก
TREG0	12	C	รีจิสเตอร์ชั่วคราวสำหรับการคูณ
TREG1	13	D	รีจิสเตอร์ชั่วคราวสำหรับไดนามิก ชิฟต์เคาน์
TREG2	14	E	รีจิสเตอร์ชั่วคราวสำหรับชิบิต ในบิตทดสอบ ไดนามิก
DBMR	15	F	รีจิสเตอร์ย้ายบิตไดนามิก
AR0	16	10	รีจิสเตอร์ช่วย 0
AR1	17	11	รีจิสเตอร์ช่วย 1
AR2	18	12	รีจิสเตอร์ช่วย 2
AR3	19	13	รีจิสเตอร์ช่วย 3
AR4	20	14	รีจิสเตอร์ช่วย 4
AR5	21	15	รีจิสเตอร์ช่วย 5
AR6	22	16	รีจิสเตอร์ช่วย 6
AR7	23	17	รีจิสเตอร์ช่วย 7
INDX	24	18	รีจิสเตอร์อินเด็กซ์
ARCR	25	19	รีจิสเตอร์เปรียบเทียบ รีจิสเตอร์ช่วย
CBSR1	26	1A	รีจิสเตอร์แอดเดรสเริ่มต้น บัฟเฟอร์หมุนวน 1
CBER1	27	1B	รีจิสเตอร์แอดเดรสสิ้นสุด บัฟเฟอร์หมุนวน 1
CBSR2	28	1C	รีจิสเตอร์แอดเดรสเริ่มต้น บัฟเฟอร์หมุนวน 2
CBER2	29	1D	รีจิสเตอร์แอดเดรสสิ้นสุด บัฟเฟอร์หมุนวน 2

ตารางที่ 2.1 รีจิสเตอร์ภายใน 'C50 (ต่อ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อ	ตำแหน่ง		คำอธิบาย
	'C50 Dec	'C50 Hex	
CBCR	30	1E	รีจิสเตอร์ควบคุม บัฟเฟอร์หมุนวน
BMAR	31	1F	รีจิสเตอร์เคลื่อนย้ายกลุ่มแอดเดรส
-	32-79	20-4F	รีจิสเตอร์สำหรับหน่วยความจำ

ตารางที่ 2.1 รีจิสเตอร์ภายใน 'C50 (ต่อ)

ทำให้ TMS320C50 มีลักษณะพิเศษ เนื่องจากมีหน่วยความจำรอม (ROM) ภายในขนาด $2\text{ k} \times 16$ บิต สามารถโปรแกรมได้ (EPROM) เป็นหน่วยความจำใช้ในการบูต (Boot) หน่วยความจำรอมจากภายนอก ด้วยโปรแกรมความเร็วสูงที่อยู่ภายใน หรือจาก SRAM ภายนอก สามารถเลือกกรีเซ็ท (Reset) หน่วยความจำรอมได้โดยการให้ขา MP / MC' มีสถานะเป็น Low

2.7.5 หน่วยความจำข้อมูลภายใน (On - Chip Data Ram)

TMS320C50 มีหน่วยความจำข้อมูลภายในทั้งหมดขนาด 1056×16 บิต สามารถทำการเข้าถึงข้อมูลแบบ Twice Per Machine Cycle (Dual - access RAM) ชุดของหน่วยความจำเดิมที่จะใช้ในการเก็บค่าข้อมูล แต่สามารถใช้ในการเก็บคำสั่งได้ดีเท่าๆกับการเก็บข้อมูล ซึ่งสามารถแยกโครงสร้างในหน่วยความจำได้เป็น 2 ทาง คือ จากขนาดหน่วยความจำข้อมูลทั้งหมด 1056×16 บิต เป็นหน่วยความจำข้อมูลมีขนาดเท่ากับ 544×16 บิต และเป็นหน่วยความจำโปรแกรมขนาด 512×16 บิต กำหนดได้โดย ใช้บิต CNF ในสถานะ รีจิสเตอร์ ST1

2.7.6 หน่วยความจำโปรแกรม/ หน่วยความจำข้อมูล ภายใน (On - Ship Program/Data RAM)

TMS320C50 มีหน่วยความจำแรมภายในขนาด $9\text{ k} \times 16$ บิต แยกเป็นหน่วยความจำคำสั่ง หรือหน่วยความจำข้อมูล โดยสามารถที่จะบูตได้จากหน่วยความจำภายนอก ซีพียู

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7.7 ซอฟต์แวร์ สถานะการคอย (Software Wait State)

เป็นโปรแกรมสถานะการคอยลอจิก (Soft Wait State Logic) ของฮาร์ดแวร์ภายนอก ที่นำมาต่อพ่วงกับ TMS320C50 ซึ่งหน่วยความจำภายใน และอุปกรณ์อินพุตเอาต์พุตจะมีความเร็วกว่า ซึ่งผู้ใช้สามารถโปรแกรมเองได้ ในการปฏิบัติงาน จะมี 0, 1, 2, 3 หรือ 7 Wait State

2.7.8 พอร์ตอินพุตเอาต์พุต แบบขนาน (Parallel I/O Port)

TMS320C50 มีพอร์ต อินพุต - เอาต์พุตแบบขนาน ขนาด 64 k 16 บิตเวิร์ด ในการเข้าถึงข้อมูลกับคำสั่งใดๆ เพื่อเขียนและอ่านข้อมูลในหน่วยความจำ เมื่อ IS' มีสถานะเป็น Low

2.7.9 พอร์ตอินพุตเอาต์พุต แบบอนุกรม (Serial I/O Port)

ใช้ลักษณะการส่งข้อมูลแบบ TDM (Time Division Multiple Access) เป็นการประยุกต์ใช้ตัวประมวลผลพร้อมๆ กันหลายตัว

2.7.10 ขาของ TMS320C50 DSP

ชิปประมวลสัญญาณดิจิทัลคอลเบอร์ TMS 320C50 จะมีลักษณะเป็นแพ็คเกจ มีขาต่างๆ 132 ขา รอบแพ็คเกจทั้งสี่ด้าน (Quad Flat Pack Package : QFP) ซึ่งแต่ละขามีความสัมพันธ์กัน ดังรูปที่ 2.5

2.7.11 การอ้างถึงตำแหน่งข้อมูล

TMS320C5x สามารถอ้างหน่วยความจำโปรแกรมได้ 64 กิโลเวิร์ด และอ้างหน่วยความจำข้อมูล 96 กิโลเวิร์ด มีโหมดการอ้างถึงหน่วยความจำข้อมูล 8 โหมด โหมดที่สำคัญมี 6 โหมดคือ

1. การอ้างตำแหน่งโดยตรง (Direct addressing mode)
2. การอ้างตำแหน่งโดยอ้อม (Indirect addressing mode)
3. การอ้างตำแหน่งแบบทันที (Immediate addressing mode)
4. การอ้างตำแหน่งรีจิสเตอร์ (Dedicated register addressing mode)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. การอ้างตำแหน่งผังหน่วยความจำรีจิสเตอร์ (Memory-mapped register addressing mode)
6. การอ้างตำแหน่งแบบแฉ่ง (Circular addressing mode)

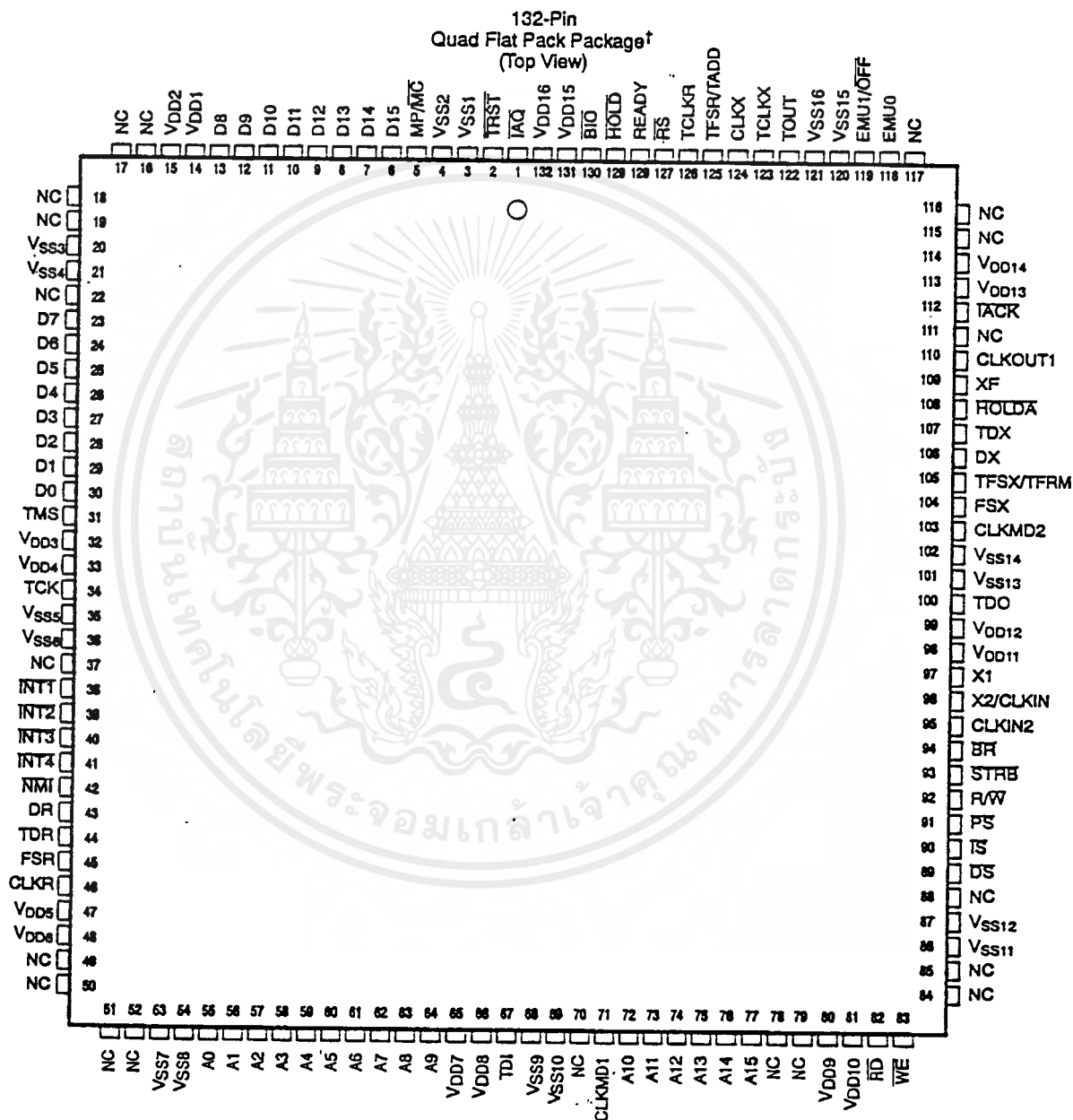
2.7.12 การควบคุมการนำข้อมูลเข้าและส่งออก (Peripheral Control)

ใน 'C50 มีคอนเนกเตอร์เชื่อมต่อกับ CPU ได้แก่ พอร์ตอนุกรม, พอร์ตขนาน TDM, ไทม์เมอร์, ซอฟต์แวร์โปรแกรมสถานะการคอย อินพุต-เอาต์พุตพอร์ต, การหารโดยใช้สัญญาณนาฬิกาหนึ่งลูก (Device by One Clock) และขา XF กับ BIO โดยอุปกรณ์เชื่อมต่อเหล่านี้สามารถควบคุมได้โดยตรงจากรีจิสเตอร์ที่เก็บผังหน่วยความจำเอาไว้



A.1 Pinout and Signal Descriptions

Figure A-1. TMS320C5x Pinout



† See Pin Assignments, Table A-1 (page A-3) for location and description of all pins. The 'C50, 'C51, and 'C53 are packaged in 132-pin plastic QFP in production. See Figure A-20 for mechanical data.
 Note: NC = No connect. (These pins are reserved.)

รูปที่ 2.5 ลักษณะภายนอกของ TMS320C50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7.13 การจัดหน่วยความจำ

ในตัว TMS320C50 มีหน่วยความจำความเร็วสูงขนาด 1,056 เวิร์ด โดยที่แต่ละเวิร์ด มีขนาด 16 บิต และมีรวมภายในขนาด 256 เวิร์ด สามารถอ้างอิงหน่วยความจำภายนอกได้ถึง 224 กิโลเวิร์ด แบ่งเป็นหน่วยความจำข้อมูล, หน่วยความจำโปรแกรม และหน่วยความจำ อินพุต เอาต์พุต อย่างละ 64 กิโลเวิร์ด นอกนั้นอีก 32 กิโลเวิร์ด สำหรับใช้งานทั่วๆ ไป ส่วน ALU , แอคคิวมูเลเตอร์ และแอคคิวมูเลเตอร์บัฟเฟอร์มีขนาด 32 บิต ที่สามารถคูณเลขขนาด 32 บิตได้ภายใน 1 แมกซ์ซีไซเคิล ทั้งนี้เนื่องจากตัว ALU มีวงจรคูณแบบ 16 x 16 บิต แบ่งเป็น อินพุต 16 แชนแนล เอาต์พุต 16 แชนแนล วงจรติดต่อกับหน่วยความจำร่วม (Globaldata Memory Interface)

Program		Program		Data	
Hex		Hex		Hex	
0000	Interrupts and Reserved External	0000	Interrupts and Reserved On Chip	0000	Memory-Mapped Registers
002F	External	002F	on-chip ROM	005F	On-chip DARAM B
0030		0030		0060	
07FF	On-Chip SARAM (RAM=1) External (RAM=0)	07FF	On-Chip SARAM (RAM=1) External (RAM=0)	007F	Reserved
0800		0800		0080	
2BFF	External	2BFF	External	02FF	On-chip DARAM '0' Reserved '1'
2C00		2C00		0300	
FDFE	On-Chip DARAM B0(CNF=1) External(CNF=0)	FDFE		04FF	On-chip DARAM B
FE00		FE00		0500	
FFFF		FFFF		07FF	Reserved
				0800	On-chip SARAM '1' External '0'
				2BBF	External
				2C00	
				FFFF	

MP/MC = 1
Microprocessor Mode

MP/MC = 0
Microprocessor Mode

รูปที่ 2.6 การจัดหน่วยความจำของ TMS320C50

ตัว TMS320C50 สามารถต่อใช้งานเพียงตัวเดียวหรือจะต่อใช้งานขนานกันหลายตัวที่เรียกว่าเป็นระบบ Multi-Processor System ก็ได้

ในการใช้งานกับหน่วยความจำภายนอก ไม่ว่าจะเป็นอีพรอมหรือรอม ตัวชิพจะทำงานได้ช้ามาก จึงได้เน้นให้ใช้หน่วยความจำแบบภายในชิพเป็นที่เก็บโปรแกรมแทน ในการใช้งานให้ดาวน์โหลดโปรแกรมจากหน่วยความจำภายนอกมาเก็บในชิพ แล้วจึงรันโปรแกรมทำงาน โดย TMS320C50 ได้เพิ่มคำสั่ง “Block Transfer” ที่ใช้ในการโหลดข้อมูลจากหน่วยความจำภายนอกมาที่ละบล็อก แล้วมาเก็บไว้ในแรมของชิพ วิธีการนี้จะช่วยให้การทำงานเร็วขึ้น

2.7.14 สรุปสถาปัตยกรรม โดยทั่วไป

TMS320C50 เป็นตัวประมวลผลสัญญาณทางดิจิทัลที่มีสมรรถนะสูงมาก ซึ่งโดยทั่วไปได้ถูกออกแบบให้มีโครงสร้างเหมือนกับ C2x ทางด้านโครงสร้างใช้เทคโนโลยีแบบ “ฮาร์วาร์ด”

มีสมรรถนะในการประมวลผลสูงสุด โดยแยกหน่วยความจำออกจากกัน เป็นหน่วยความจำโปรแกรม และหน่วยความจำข้อมูล สำหรับการเอ็กรหัสคำสั่งได้ด้วยความเร็วสูงสุด คำสั่งจะรองรับการส่งข้อมูลระหว่างสองระยะเวลา

TMS320C50 ใช้ปฏิบัติการคำนวณแบบ 2's Complement ขนาด 32 บิต ของหน่วยคำนวณแบบคณิตศาสตร์และลอจิก และแอสคิมูเลเตอร์

ALU จุดประสงค์ทั่วไปใช้ป็นหน่วยคำนวณมีขนาด 16 บิต เวิร์ด จากหน่วยความจำโครงสร้างคำสั่ง หรือผลของการคูณขนาด 32 บิต เป็นการเพิ่มการปฏิบัติงานเกี่ยวกับคณิตศาสตร์ ทำให้ ALU สามารถปฏิบัติงานแบบบูลีนได้ โดยมีแอสคิมูเลเตอร์เป็นตัวเก็บผลลัพธ์ที่ได้จากการคำนวณของ ALU และเป็นอินพุตให้กับ ALU อีกด้วย

แอสคิมูเลเตอร์มีขนาด 32 บิต แบ่งออกเป็นไบต์ระดับสูง (บิตที่ 31 ถึง บิต 16) และตำแหน่งไบต์ระดับต่ำ (บิต 15 ถึง บิต 0) คำสั่งในการเก็บข้อมูลจะอยู่ในเงื่อนไขสำหรับการเก็บที่ตำแหน่งระดับสูงหรือระดับต่ำในหน่วยความจำของแอสคิมูเลเตอร์ ในการเก็บข้อมูลชั่วคราวของแอสคิมูเลเตอร์จะมีแอสคิมูเลเตอร์ขนาด 32 บิต

วิธีการบวกของ ALU จะมีหน่วยลอจิกแบบขนาน PLU จะเป็นตัวจัดการเกี่ยวกับบิตที่ความเร็วสูงมาก และทำให้ไม่มีความสลับซับซ้อน ในการกำหนดบิต การทดสอบความต้องการในการควบคุม และการปฏิบัติการของรีจิสเตอร์สถานะ

การดำเนินการของตัวคูณมีขนาด 16×16 บิต แบบ 2's Complement ผลของการคูณจะมีขนาด 32 บิต คำสั่งเดียวในหนึ่งไซเคิล ตัวคูณพื้นฐานจะมีอยู่ 3 ตัว คือ

1. Multiplier Array
2. PREG (Product Register)
3. TREG0 (Temporary Register)

Multiplier Array เป็นตัวคูณแบบอาร์เรย์

TREG0 (Temporary Register) เป็นรีจิสเตอร์เก็บผลคูณชั่วคราว มีขนาด 16 บิต

PREG (Product Register) เป็นรีจิสเตอร์ใช้ในการเก็บผลคูณมีขนาด 32 บิต ซึ่งค่าของตัวคูณนำมาจากหน่วยความจำข้อมูล และนำมาจากหน่วยความจำโปรแกรม ตัวคูณภายในชิพจะมีความเร็วมาก ทำให้มีประสิทธิภาพในการจัดการ การปฏิบัติงานที่เป็นปัจจัยพื้นฐานของ DSP เช่น การหมุนวน การเกี่ยวพันกัน และการยอมให้คำสั่งหรือโปรแกรม มีข้อมูลหรือสภาพ ตามเงื่อนไขที่กำหนด

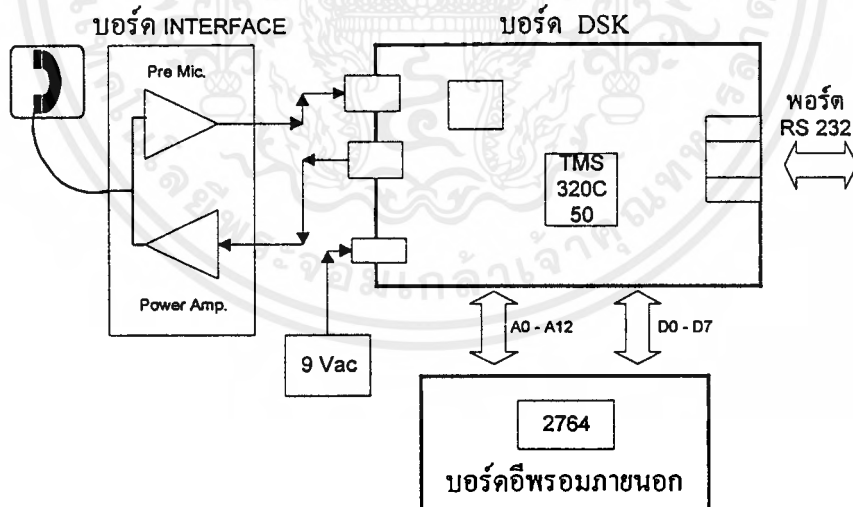
บทที่ 3

การออกแบบและการสร้าง

ในการออกแบบ และการสร้างเครื่องควอนไทซ์เวกเตอร์ที่เวลาจริง โดยใช้ TMS320C50 ได้แบ่งการออกแบบเป็น 2 ส่วน ส่วนที่ 1 จะเป็นการออกแบบทางด้านฮาร์ดแวร์ ซึ่งประกอบไปด้วยการออกแบบ บอร์ด (Board) ควอนไทซ์เวกเตอร์ บอร์ดอีพรอมภายนอก และบอร์ดอินเตอร์เฟส ในส่วนที่ 2 จะเป็นการออกแบบทางด้านซอฟต์แวร์ ซึ่งประกอบไปด้วยการออกแบบโปรแกรมคำนวณ คณิตศาสตร์ และโปรแกรมควบคุมการควอนไทซ์

3.1 หลักการออกแบบฮาร์ดแวร์

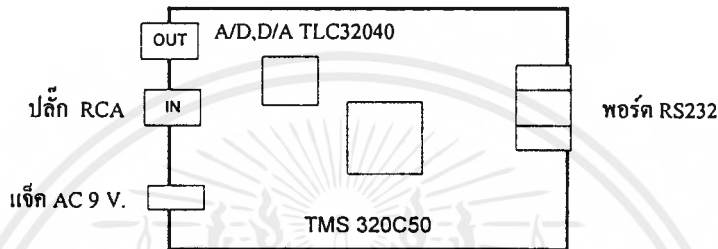
ในการออกแบบทางฮาร์ดแวร์นี้ ประกอบไปด้วย บอร์ดควอนไทซ์เวกเตอร์ บอร์ดอีพรอมภายนอก และบอร์ดอินเตอร์เฟส ซึ่งแต่ละบอร์ดจะต่อกันในเครื่องควอนไทซ์ที่เวลาจริง โดยใช้ TMS320C50 โดยเขียนเป็นผังการทำงานได้ดังรูปที่ 3.1



รูปที่ 3.1 ผังการทำงานของเครื่องควอนไทซ์เวกเตอร์ที่เวลาจริง โดยใช้ TMS320C50

3.1.1 บอร์ดควอนไทซ์แวกเตอร์

บอร์ดควอนไทซ์แวกเตอร์เลือกใช้ชิพ DSP เบอร์ TMS320C50 ซึ่งมีการจัดทำเป็นชุดรวมเป็นบอร์ด ซึ่งเรียกว่าบอร์ด DSP Starter Kit หรือบอร์ด DSK รูปร่างภายนอกของบอร์ด DSK แสดงดังรูปที่ 3.2



รูปที่ 3.2 ลักษณะของบอร์ด DSK

ในรูปที่ 3.2 จะแสดงส่วนประกอบต่างๆ ของบอร์ด DSK ซึ่งในบอร์ดจริงนั้น อุปกรณ์โดยส่วนใหญ่จะติดตั้งบนผิวหน้าของแผ่นวงจรพิมพ์ โดยบอร์ด DSK จะมีชิพที่เป็นหัวใจหลักๆ อยู่ 2 ตัว คือ TMS320C50 ซึ่งเป็น DSP โปรเซสเซอร์ และชิพแปลงสัญญาณจากดิจิทัลเป็นแอนะล็อกและแอนะล็อกเป็นดิจิทัลเบอร์ TLC32040CFN ทีคอนเน็กเตอร์ชนิด D ตัวเมียเพื่อใช้ในการเชื่อมต่อกับคอมพิวเตอร์ ผ่านทางพอร์ตอนุกรม RS232C 1 ชุด การใช้พอร์ตนี้ต่อกับคอมพิวเตอร์ จะต่อในขณะที่กำลังพัฒนาเท่านั้น เมื่อเวลาจริงพอร์ตนี้จะใช้สำหรับการรับส่งสัญญาณระหว่างเครื่องควอนไทซ์ที่ต้องการติดต่อกัน สำหรับขั้วต่ออีกขั้วหนึ่งของบอร์ด DSK คือ แจ็ค RCA สำหรับการรับ และส่งสัญญาณแอนะล็อกจากชุดอินเทอร์เฟซ ซึ่งคุณลักษณะโดยทั่วไปของบอร์ดมีดังนี้

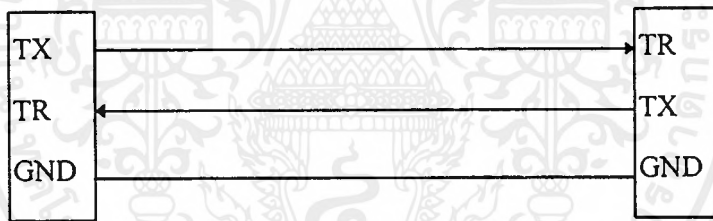
1. มีความเร็วถึง 40 MHz.
2. มีหน่วยความจำแรม (RAM) ในชิพ 10 กิโลเวิร์ด
3. ประมวลผลข้อมูลได้สูงถึง 28 ล้านคำสั่งต่อวินาที
4. มีชิพแอนะล็อกอินเทอร์เฟซเบอร์ TLC 32040 ขนาด 14 บิต เป็นทั้ง A/D และ D/A
5. มีแจ็ค RCA 2 แจ็ค เป็นทั้งอินพุตและเอาต์พุต โดยสามารถรับและส่งสัญญาณในระดับลายน์ (Line) ได้โดยตรง
6. มีพอร์ตอนุกรม RS 232 สำหรับต่อกับคอมพิวเตอร์

7. ใช้แหล่งจ่าย 9 V_{AC}

8. มีขนาดเล็กกระทัดรัด

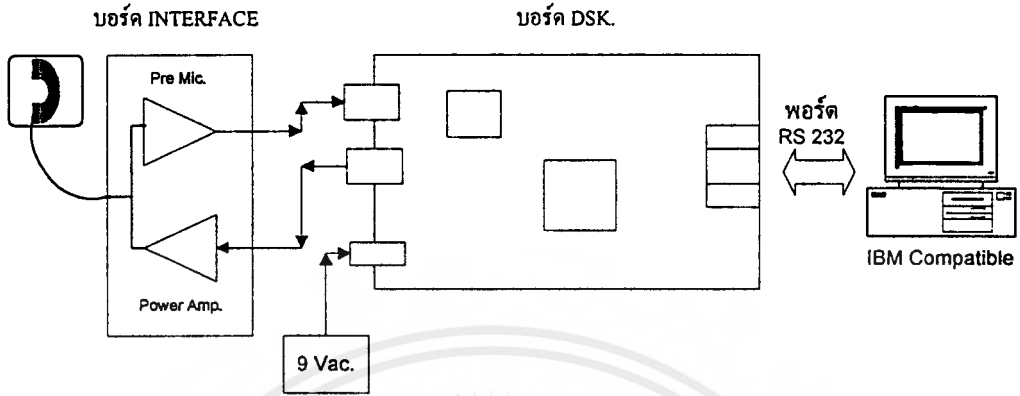
ในบอร์ด DSK มีชิพอินเทอร์เฟซแอนะล็อก เบอร์ TLC 32040 เป็น A/D และ D/A ในตัว ทำหน้าที่รับสัญญาณแอนะล็อกทางอินพุตที่จ่ายเข้ามา แล้วแปลงข้อมูลทาง ดิจิตอลส่งไปประมวลผลต่อที่ชิพ DSP ความละเอียดของการแปลงสัญญาณดิจิตอล จะมีขนาด 14 บิต สามารถกำหนดอัตราแซมปลิ่งได้สูงสุด 19,200 แซมปลิ่ง ใน 1 วินาที ดังนั้นจึงมีความสะดวกในการใช้งานบอร์ด DSK ที่มีชิพ DSP TMS320C50 ซึ่งเป็นหัวใจสำคัญของบอร์ดประมวลผลสัญญาณ ชิพ DSP จะเป็นตัวควบคุมการรับส่งสัญญาณ รวมทั้งกระบวนการของการควอนไทซ์ทั้งหมด

สำหรับการต่อสาย คอนเนคเตอร์ ที่ใช้ในการรับส่งสัญญาณระหว่างเครื่องควอนไทซ์ สองเครื่องแสดงดังรูปที่ 3.3

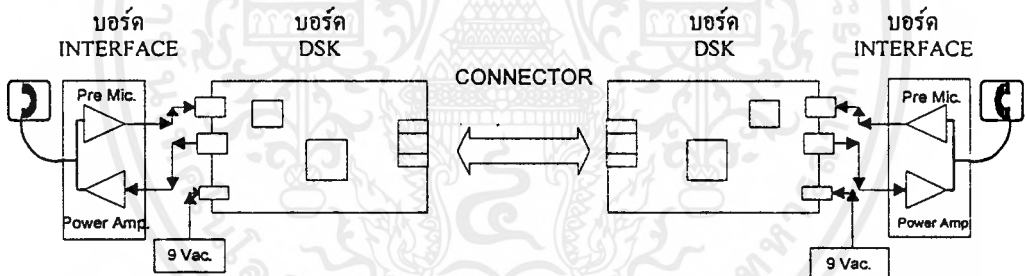


รูปที่ 3.3 การต่อสาย คอนเนคเตอร์ ของเครื่องควอนไทซ์

รูปที่ 3.4 เป็นการต่อเครื่องควอนไทซ์เวคเตอร์กับคอมพิวเตอร์ระหว่างการพัฒนา โดยเชื่อมต่อบอร์ดทั้งสอง ทางพอร์ต RS 232 เมื่อพัฒนาโปรแกรมเสร็จแล้ว จะนำข้อมูลไปบันทึกลงบนอีพროม (EPROM) และนำ อีพროมไปต่อกับชุด DSK ซึ่งทำให้ชุด DSK สามารถทำงานได้ด้วยตนเอง โดยไม่ต้องใช้คอมพิวเตอร์ แสดงดังรูปที่ 3.5



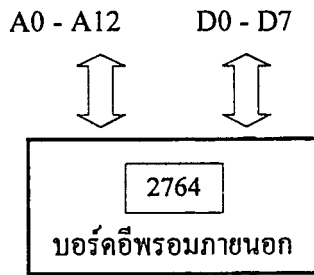
รูปที่ 3.4 การต่อเครื่องควอนไทซ์เวคเตอร์กับคอมพิวเตอร์ระหว่างการพัฒนา



รูปที่ 3.5 แสดงการเชื่อมต่อระหว่าง DSK 2 ชุด

3.1.2 บอร์ดอีพรอมภายนอก

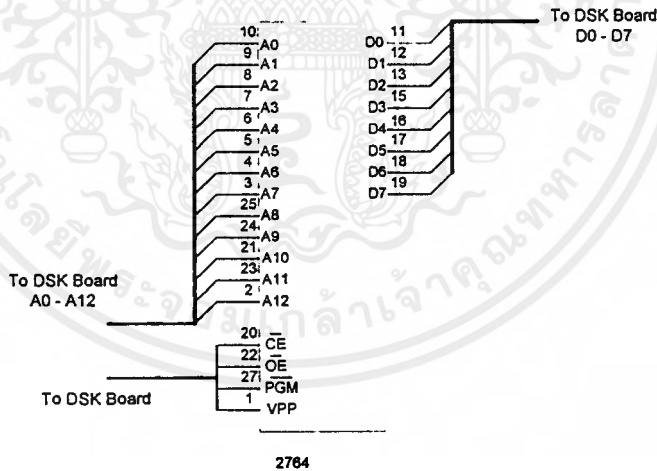
ในการพัฒนาชุด DSK นั้นจะเชื่อมต่อกับคอมพิวเตอร์โดยผ่านพอร์ตอนุกรม RS 232 และเมื่อพัฒนาโปรแกรมสมบูรณ์แล้วจะต้องบรรจุโปรแกรมลงในอีพรอมภายนอก เนื่องจากบอร์ด DSK ไม่มีอีพรอมที่จะบรรจุโปรแกรมได้ ทำให้ต้องออกแบบบอร์ดอีพรอมภายนอกขึ้นมา ซึ่งมีลักษณะดังรูปที่ 3.6



รูปที่ 3.6 บอร์ดอีพรมภายนอก

เมื่อบรรจุโปรแกรมจากคอมพิวเตอร์ลงบนบอร์ดอีพรมภายนอกแล้ว จะทำให้เครื่องควอนไทซ์เวคเตอร์นี้สามารถที่จะทำงานได้ด้วยตัวเอง โดยไม่จำเป็นต้องต่อกับคอมพิวเตอร์อีกต่อไป ซึ่งจะเป็นผลดีคือ ทำให้พอร์ตอนุกรม RS 232 ของบอร์ด DSK ว่าง ซึ่งจะถูกใช้เป็นจุดรับส่งสัญญาณระหว่างเครื่องควอนไทซ์เวคเตอร์ 2 เครื่องได้

สำหรับวงจรของอีพรมภายนอก แสดงดังรูปที่ 3.7



รูปที่ 3.7 วงจรอีพรมภายนอก

เนื่องจากในบอร์ด DSK จะมี Boot PROM ภายใน ดังนั้น เพื่อไม่ให้ Boot PROM ทำงาน จึงจำเป็นต้องตัดไฟเลี้ยงไอซี Boot PROM ออก ซึ่งในบอร์ด DSK จะใช้ไอซีเบอร์ 27PC256FM ซึ่งไฟเลี้ยงคือขา 2 ของไอซี 27PC256FM

3.1.3 บอร์ดอินเทอร์เฟส

บอร์ดอินเทอร์เฟสจะทำหน้าที่เป็นตัวอินเทอร์เฟสระหว่าง HandSet กับบอร์ด DSK เนื่องจากว่าบอร์ด DSK จะรับและส่งสัญญาณแอนาล็อกระดับลายน์ ซึ่งไม่เพียงพอที่จะรับสัญญาณเสียงจากไมโครโฟน หรือส่งสัญญาณเสียงออกไปขับลำโพงได้โดยตรง และเพื่อเป็นการเพิ่มความปลอดภัยให้กับบอร์ด DSK ในกรณีที่โหลดทางเอาต์พุตลัดวงจร (Short) ซึ่งอาจจะทำให้บอร์ด DSK ซึ่งมีราคาค่อนข้างแพงเสียหายได้

ในการออกแบบบอร์ดอินเทอร์เฟสนี้มีหลักการที่จะต้องพิจารณาดังนี้คือ

1. มีคุณภาพเสียงดี
2. มีสัญญาณรบกวนต่ำ
3. รับอินพุตจากไมโครโฟนได้โดยตรง
4. ขับลำโพงได้โดยตรง
5. มีขนาดเล็กกระทัดรัด

จากหลักการดังกล่าว การออกแบบจึงเลือกใช้ไอซีเบอร์ LM389 ซึ่งมีคุณสมบัติครบถ้วน ภายในตัวไอซี ประกอบไปด้วย เพาเวอร์แอมป์ขนาด 500 mW ทรานซิสเตอร์อาร์เรย์ จำนวน 3 ตัว รวมอยู่ภายในตัวถังเดียวกัน ซึ่งมีคุณสมบัติโดยทั่วไป มีดังนี้

1. ใช้แรงดันไฟเลี้ยงต่ำ
2. ใช้อุปกรณ์ภายนอกน้อย
3. ใช้กระแสต่ำ
4. มีอัตราขยายสูง
5. ความเพี้ยนต่ำ

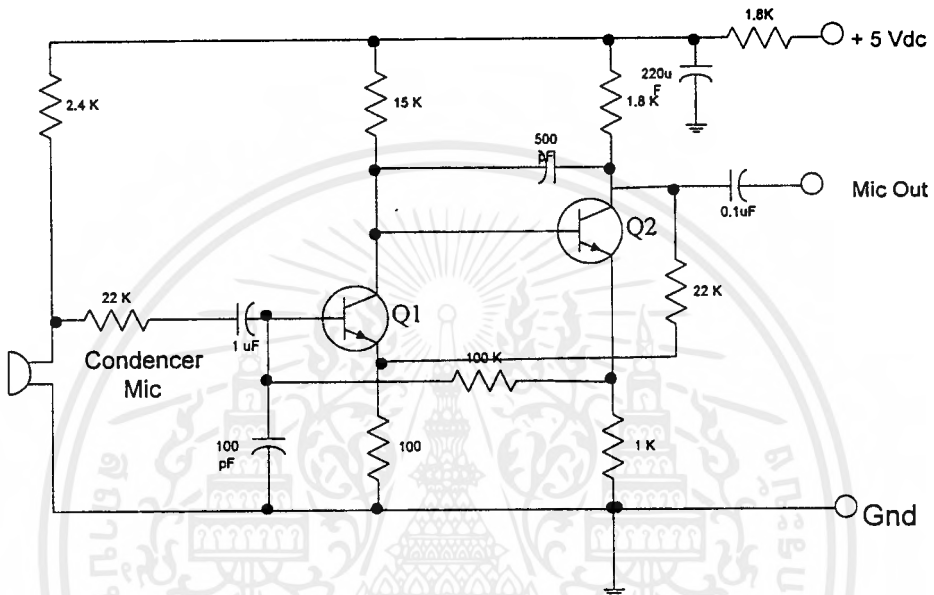
ในส่วนของทรานซิสเตอร์มีคุณสมบัติดังนี้

1. กระแสใช้งานกว้าง จาก 1 uA ถึง 25 mA
2. ช่วงความถี่จาก DC ถึง 100 MHz.
3. มีคุณสมบัติที่เหมือนกันดีเยี่ยม (Excellent Matching)

การออกแบบจะจัดวงจรเป็น 3 ส่วน คือ ส่วนของวงจรปรีไมโครโฟน ส่วนของเพาเวอร์แอมป์ และส่วนของแหล่งจ่ายไฟ ซึ่งจะพิจารณาเป็นส่วนๆ ไป

วงจรปรีไมโครโฟน

วงจรปรีไมโครโฟน จะใช้ทรานซิสเตอร์อาร์ยี่ ภายในไอซี LM 389 จำนวน 2 ตัว ลักษณะวงจรแสดงดังรูปที่ 3.8



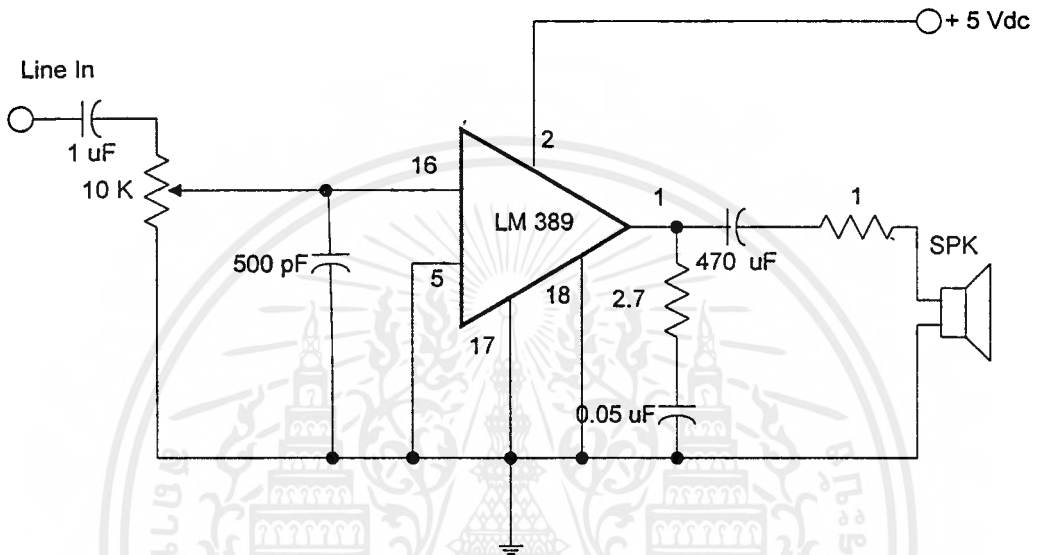
รูปที่ 3.8 วงจรปรีไมโครโฟน

จากรูปที่ 3.8 สัญญาณเสียงจะเข้าสู่ Condenser Mic. โดย R 2.4 k จะเป็นตัวไบอัสให้กับ Condenser ไมค์ จากนั้นสัญญาณจะผ่าน R 22 k , C 1 μF เข้าสู่ขา B ของ ทรานซิสเตอร์ Q1 ขยายให้มีความแรงสูงขึ้น ออกที่ขา C ของทรานซิสเตอร์ Q1 เข้าสู่ขา B ของทรานซิสเตอร์ Q2 ออกขา C ของทรานซิสเตอร์ Q2 ผ่าน C 0.1 μF เป็นสัญญาณ Mic. Out ซึ่งจะส่งเข้าสู่ขาอินพุตของบอร์ด DSK เพื่อทำการควอนไทซ์ต่อไป

วงจรเพาเวอร์แอมป์

วงจรเพาเวอร์แอมป์ จะใช้เพาเวอร์แอมป์จากไอซี LM389 ซึ่งสามารถขับลำโพงได้โดยตรงและใช้อุปกรณ์ภายนอกน้อย ลักษณะวงจรแสดงดังรูปที่ 3.9

จากรูปที่ 3.9 Line In จะรับสัญญาณมาจากเอาต์พุตของบอร์ด DSK ผ่าน C 1 μF Volume 10 $\text{k}\Omega$ เข้าขา 16 ของไอซี LM389 ซึ่งจะทำการขยายสัญญาณออกที่ขา 1 ผ่าน C 470 μF ,R 1 Ω เข้าสู่ลำโพง



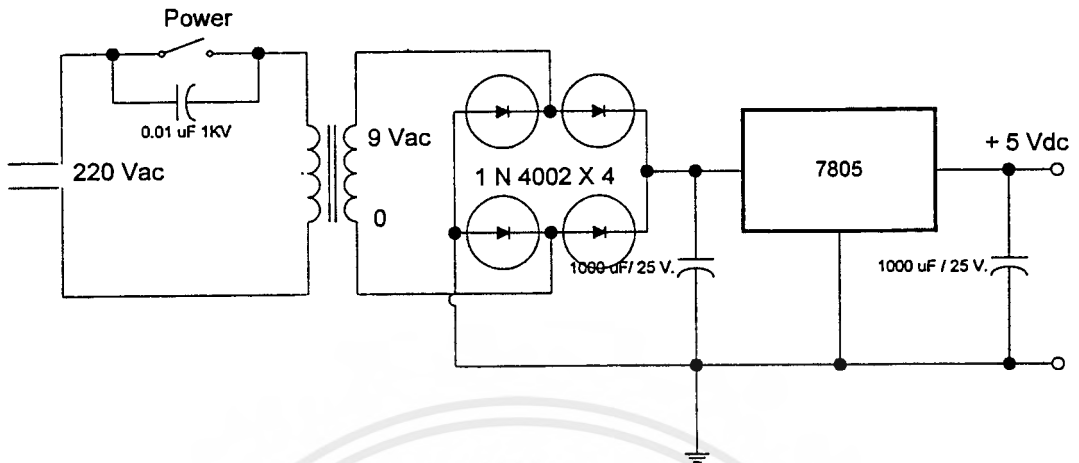
รูปที่ 3.9 วงจรเพาเวอร์แอมป์

วงจรแหล่งจ่ายไฟ

เนื่องจากวงจรปริโมโครโฟน และวงจรเพาเวอร์แอมป์ ใช้แรงดันไฟเลี้ยงขนาด 5 Vdc. เท่ากันจึงสามารถใช้แหล่งจ่ายไฟร่วมกันได้ ซึ่งในการออกแบบจะใช้ไอซีเรกกูเรเตอร์ เบอร์ LM 7805 ร่วมกับหม้อแปลง วงจรเรียงกระแส และวงจรกรองกระแสดังรูปที่ 3.10

วงจรแหล่งจ่ายไฟในรูปที่ 3.10 นี้ได้ออกแบบหลายวงจรไว้ในแผ่นวงจรพิมพ์เดียวกันกับวงจรปริโมโครโฟน และวงจรเพาเวอร์แอมป์ เพื่อความสะดวก แต่วงจรจ่ายไฟหรือหม้อแปลงในรูปที่ 3.10 นี้ไม่สามารถนำไปใช้กับ แหล่งจ่ายไฟของบอร์ด DSK ได้ เนื่องจากจะเกิดการลัดวงจรของบอร์ด DSK

สำหรับวงจรและลายวงจรที่สมบูรณ์ดูได้ในภาคผนวก



รูปที่ 3.10 วงจรแหล่งจ่ายไฟ

3.2 หลักการออกแบบซอฟต์แวร์

ในการออกแบบซอฟต์แวร์นั้น ได้จัดแบ่งการออกแบบเป็นสองส่วน โดยส่วนที่ 1 จะเป็นการออกแบบโปรแกรมหาค่าโศดัญญู และ ส่วนที่ 2 จะเป็นการออกแบบโปรแกรมควบคุมไคซ์

3.2.1 หลักการออกแบบโปรแกรมการหาค่าโศดัญญู

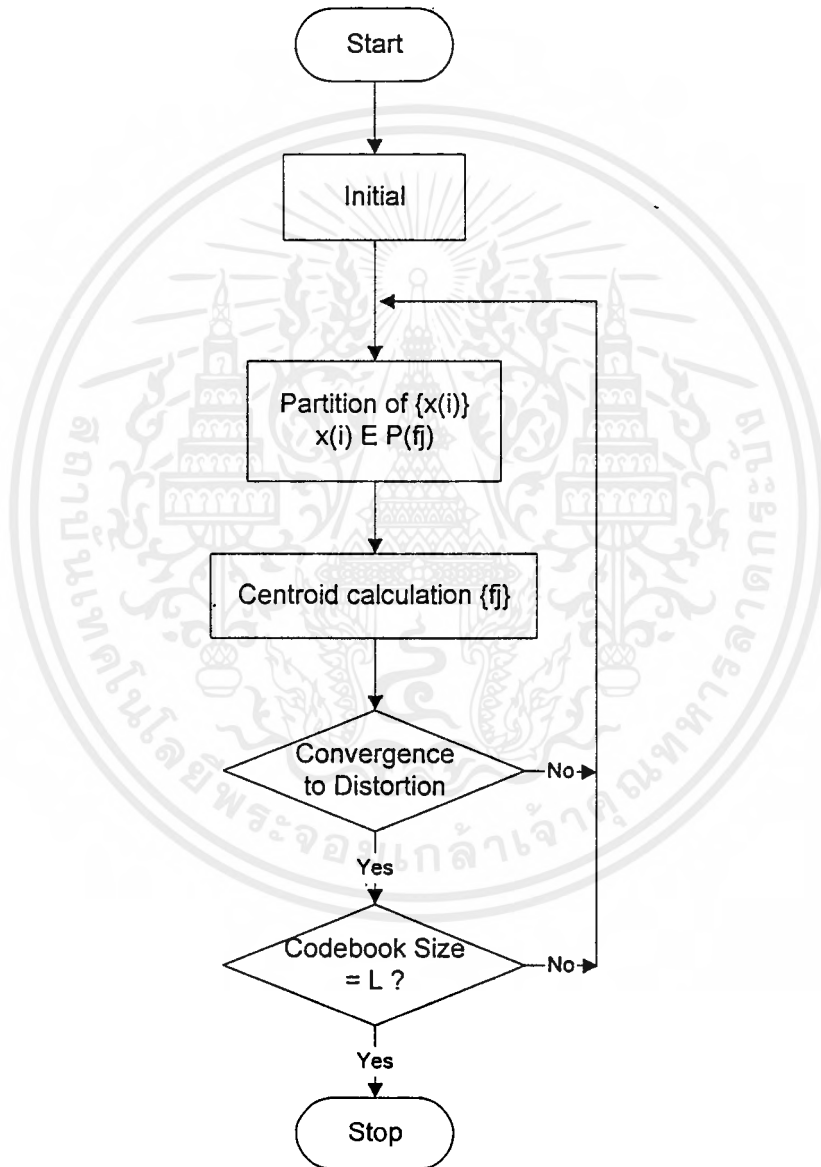
การออกแบบโปรแกรมหาค่าโศดัญญูจะใช้วิธีการของ LBG ซึ่งประยุกต์จากวิธีการของ Lloyd ดังรูปที่ 3.11 ขั้นตอนการออกแบบมีดังนี้

1. กำหนดให้ Iteration $m = 0$
2. ดัดตั้งโศดัญญูเวกเตอร์ $f_{j(m)}$ ที่ $j = 1$ โดยการหาค่า Centroid ของสัญญาณเสียงต้นฉบับ
3. ทำการแยกโศดัญญูเวกเตอร์ $f_{j(m)}$ ออกเป็น 2 ส่วน โดยการบวกและลบด้วยเวกเตอร์ ซึ่งมีจำนวนอิลิเมนต์เท่ากับ โศดัญญูเวกเตอร์ และจะได้โศดัญญูเวกเตอร์ใหม่เป็น 2 เท่าของจำนวนโศดัญญูเวกเตอร์เดิม
4. กำหนดให้ $m = m + 1$
5. แยกสัญญาณเสียงต้นฉบับ $\{x(i)\}$ ให้เข้ากลุ่มของ $P(f_{j(m)})$
6. คำนวณหาค่า Centroid ในแต่ละ $P(f_{j(m)})$ โดยนำเอา $\{x(i)\}$ ที่ถูกจัดกลุ่มในขั้นตอนที่ 5 มาทำการคำนวณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7. คำนวณค่าความเพี้ยนเฉลี่ย (Average Distortion) $D(m)$ รวมทั้งหาค่าของโค้ดบุ๊กเวกเตอร์ $f_{j(m)}$

โดยที่ $D_j(m)$ คือความเพี้ยนเฉลี่ยในแต่ละ $P(f_{j(m)})$ ซึ่งเกิดจากการเปรียบเทียบระหว่างสัญญาณเสียงต้นฉบับ $\{x(i)\}$ และโค้ดบุ๊กเวกเตอร์ $f_{j(m)}$ ในแต่ละ $P(f_{j(m)})$



รูปที่ 3.11 วิธีการของ LBG โดยการประยุกต์จากวิธีการของ Lloyd

8. ตรวจสอบค่าความผิดพลาดเทียบกับค่า Theshold

เมื่อ $D(m-1)$ คือค่าความผิดพลาดที่เกิดขึ้นในครั้งก่อน ถ้าข้อกำหนดจากสมการที่ (10) ไม่เป็นจริงให้กลับไปกระทำในขั้นตอนที่ 4 และถ้า ข้อกำหนดจากสมการที่ (10) เป็นจริง จะกำหนดให้ $m = 0$ และกระจายโค้ดบิตเวกเตอร์ f_j ในแต่ละ $P(f_j)$ ออกเป็น 2 เวกเตอร์ โดยการบวกและลบ ด้วยเวกเตอร์ เช่นเดียวกับกับขั้นตอนที่ 3 และ ให้กลับไปกระทำในขั้นตอนที่ 4 โดยการกระทำในแต่ละรอบจำนวนของโค้ดบิตเวกเตอร์ f_j จะเพิ่ม เป็น 2 เท่าคือ 1,2,4,8,...,L ซึ่งจะได้โค้ดบิต เวกเตอร์ f_j ในแต่ละ $P(f_j)$ จำนวน L เวกเตอร์อันเป็นการสิ้นสุดการออกแบบโค้ดบิต

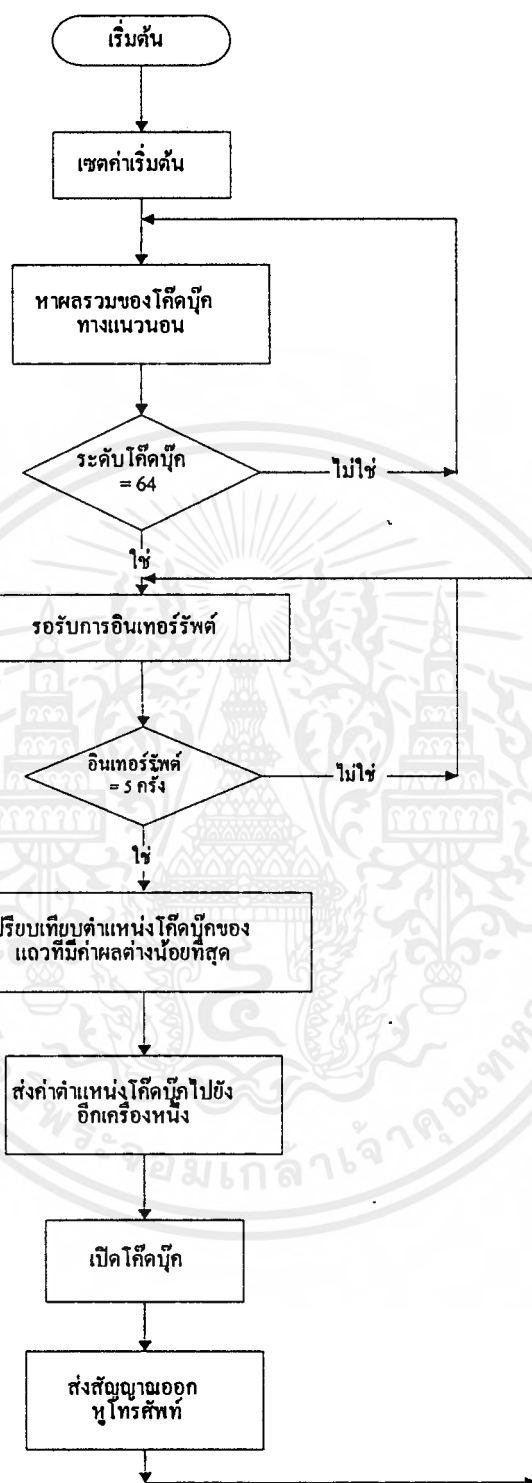
3.2.2 การออกแบบโปรแกรมควอนไทซ์

โปรแกรมควอนไทซ์ จะเป็น โปรแกรมที่ควบคุมการควอนไทซ์ของบอร์ด DSK ซึ่ง ภาษาที่ใช้เป็นภาษาแอสเซมบลี ของไอซี TMS320C50 ซึ่งมีขั้นตอนการออกแบบดังนี้

โปรแกรมแอสเซมเบลอร์และดีบั๊กเกอร์ จะให้มาพร้อมกับบอร์ดชุดพัฒนา DSK เพื่อใช้ในการเขียน แก้ไข ทดสอบ และปรับปรุงซอฟต์แวร์ ให้ได้ผลตามที่ต้องการ

ขั้นตอนการเขียนโปรแกรม เริ่มต้นจากการเขียนโปรแกรมภาษาแอสเซมบลี ได้ไฟล์ที่มีส่วนขยาย *.ASM ซึ่งเป็นภาษาแอสเซมบลีของ DSP แล้วทำการคอมไพล์ โดยแอสเซมเบลอร์ของ DSK ได้ไฟล์ที่มีส่วนขยาย *.DSK ในการรันโปรแกรม และการดาวน์โหลดข้อมูลจะเขียนโปรแกรมส่งข้อมูลทาง Serial Port ชื่อ send.c ด้วยภาษาซี ซึ่งจะใช้ดีบั๊กเกอร์ของ DSK ไม่ได้ เพราะถ้าถอดสาย Serial Port ออก บอร์ด DSK จะทำการรีเซ็ตทันที ในการทดลองจำเป็นจะต้องถอดสาย Serial Port ออก เพื่อเชื่อมต่อกับบอร์ด DSK อีกเครื่องหนึ่ง เมื่อได้โปรแกรมที่สมบูรณ์แล้ว ทำการแปลงไฟล์ *.DSK ให้เป็น *.HEX เพื่อใช้อัดโปรแกรมลงอีพรอม ซึ่งได้ทำการเขียนโปรแกรมชื่อ DSK.H ขึ้น ด้วยภาษาซี เพื่อทำการแปลงไฟล์ที่มีส่วนขยาย *.DSK ให้เป็นไฟล์ที่มีส่วนขยาย *.H ก่อน เพื่อแยกให้รู้ว่า ส่วนใดเป็นโปรแกรม ส่วนใดเป็นข้อมูล ลำดับต่อมา ทำการแปลงไฟล์ที่มีส่วนขยาย *.H ให้เป็นไฟล์ที่มีส่วนขยาย *.HEX

* ในรูปที่ 3.12 เป็นผังแสดงการทำงานของเครื่องควอนไทซ์เวกเตอร์ที่เวลาจริง สำหรับผู้ที่สนใจในรายละเอียดให้ศึกษาโปรแกรมทุกโปรแกรมได้จากภาคผนวก



รูปที่ 3.12 ผังการทำงานของเครื่องควอนไทซ์เวกเตอร์ที่เวลาจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.3 การออกแบบซอฟต์แวร์ควบคุม

เริ่มต้นด้วยการหาผลรวมของโศดบู้คในแต่ละระดับ โดยในแต่ละระดับจะมี 5 มิติ เก็บผลรวมไว้ระดับละ 1 ค่า จนครบ 64 ระดับ จากนั้นรอนินเทอร์รัพท์ที่ได้จากการสุ่มสัญญาณเสียงจนครบ 5 ครั้ง และรวมขนาดสัญญาณ 5 ครั้งนั้นเข้าด้วยกัน แล้วนำไปเปรียบเทียบกับผลรวมทั้ง 64 ค่านั้น และนำค่าตำแหน่งของระดับที่มีค่าผลต่างของระดับน้อยที่สุดส่งออกไป และรอรับตำแหน่งจากอีกเครื่องหนึ่งที่จะส่งมา เมื่อรับตำแหน่งจากอีกเครื่องหนึ่งได้ ก็จะมาเปรียบเทียบกับตำแหน่งใน โศดบู้ค ตรงกับตำแหน่งใดก็นำสัญญาณของระดับนั้นส่งออกไป ผ่านวงจร D/A และวนรับอินเทอร์รัพท์อีกครั้ง



บทที่ 4

ผลการทดลองและทดสอบ

เครื่องควอนไทซ์เวคเตอร์ที่เวลาจริงโดยใช้ TMS320C50 เป็นเครื่องที่สร้างขึ้นเพื่อควอนไทซ์สัญญาณเสียง โดยวิธีการควอนไทซ์เวคเตอร์แบบมาตรฐาน ซึ่งในบทที่ 1-3 ได้กล่าวถึงแนวความคิด ทฤษฎี การออกแบบและการสร้างมาแล้วมาแล้ว ในบทนี้จะกล่าวถึงการทดสอบการทำงานของเครื่องควอนไทซ์เวคเตอร์

การทดสอบการทำงานของเครื่อง จะกระทำโดยการต่อเครื่องควอนไทซ์เวคเตอร์ สองเครื่องเข้าด้วยกัน จากนั้นทดลองป้อนสัญญาณที่ต้องการส่ง โดยผ่านการควอนไทซ์เวคเตอร์เข้าที่เครื่องส่ง และทดลองฟังหรือทำการวัดสัญญาณที่เครื่องรับ

4.1 การทดสอบการทำงานของเครื่องควอนไทซ์เวคเตอร์ที่เวลาจริง โดยใช้ TMS 320C50

4.1.1 ลำดับขั้นการทดลอง

การทดลองพูดและฟัง

1. ต่อ Connector ของเครื่องควอนไทซ์ทั้งสองเครื่องเข้าด้วยกัน
2. ต่อ Handset ของเครื่องควอนไทซ์ทั้งสอง
3. ทดลองพูดที่ Handset ของเครื่องส่ง และรับฟังที่ Handset ของเครื่องรับ

การทดสอบโดยใช้เครื่องมือ

1. ต่อ Connector ของเครื่องควอนไทซ์ทั้งสองเครื่องเข้าด้วยกัน
2. ต่อแหล่งจ่ายสัญญาณอินพุตแทนสัญญาณจาก Handset
3. ต่อเอาต์พุตของเครื่องควอนไทซ์เข้ากับเครื่องคอมพิวเตอร์ ดังรูปที่ 4.2
4. บันทึกสัญญาณเอาต์พุตที่ได้ในฟอร์แมต *.TIM โดยใช้โปรแกรม Hyper Signal
5. ใช้โปรแกรม SNRSPL เปรียบเทียบสัญญาณต้นฉบับกับสัญญาณที่ได้จากการควอนไทซ์ ซึ่งผลการทดลองแสดงในรูปที่ 4.4

การทดสอบการหาค่าอัตราส่วนสัญญาณต่อสัญญาณรบกวน (SNR)

การทดสอบการหาค่า SNR โดยทำการคำนวณครั้งละหนึ่งเฟรม (Frame) ในแต่ละเฟรมจะใช้จำนวนตัวอย่าง 128 แซมเปิล (Samples) ซึ่งเขียนแทนด้วย SNR_m

$$SNR_m = 10 \log_{10} \frac{\sum_{n=1}^{128} (x_n)^2}{\sum_{n=1}^{128} (x_n - \hat{x}_n)^2}$$

x_n = สัญญาณอินพุต

\hat{x}_n = สัญญาณที่ผ่านขบวนการควอนไทซ์เวกเตอร์

หลังจากที่ได้ค่า SNR_m แล้ว จะนำค่า SNR_m ในแต่ละเฟรมมาทำการหาค่าเฉลี่ยทั้งหมด ซึ่งเขียนแทนด้วย SNR_{seg} (Segmental Signal to Noise Ratio) ดังนี้

$$SNR_{seg} = \frac{1}{S} \sum_{m=1}^S SNR_m (dB)$$

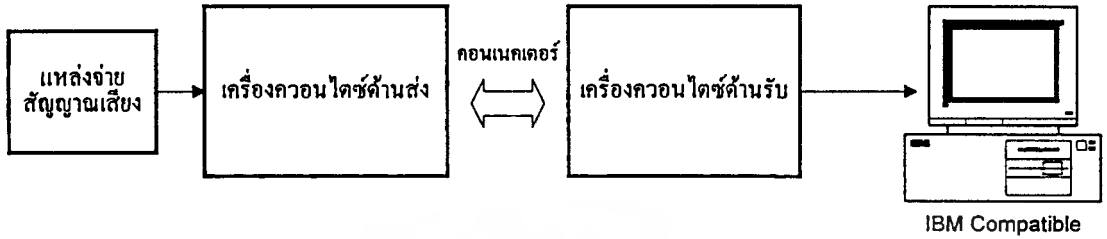
ซึ่งขบวนการทั้งหมดนี้ได้เขียนเป็น โปรแกรม ชื่อ SNR_{SPL} ซึ่งจะใช้การหาค่า SNR ใน

รูปที่ 4.4

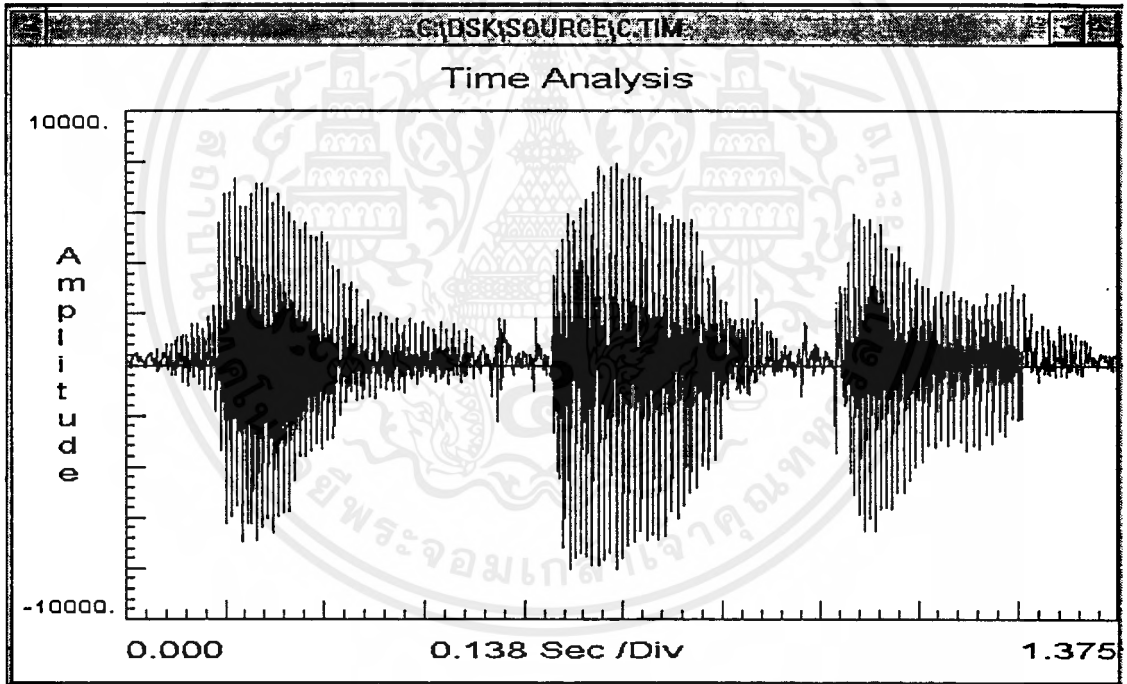


รูปที่ 4.1 เครื่องควอนไทซ์เวกเตอร์ที่เวลาจริงโดยใช้ TMS320C50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

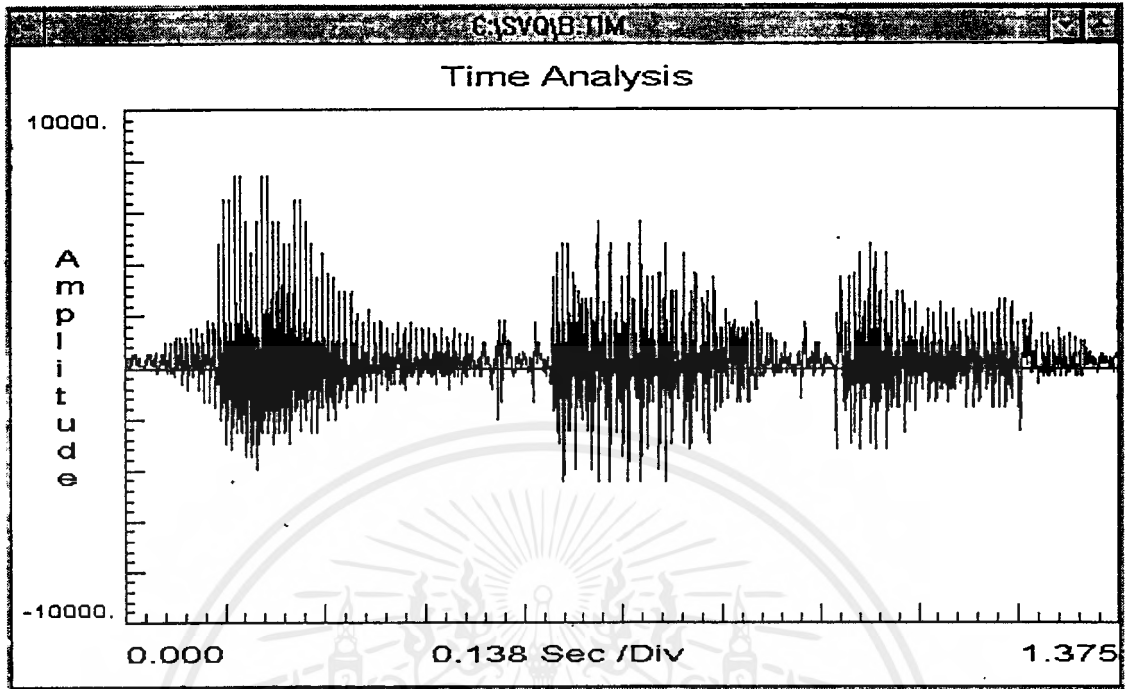


รูปที่ 4.2 การต่อเอาต์พุตจากเครื่องควอนไทซ์แวกเตอร์ไปยังเครื่องคอมพิวเตอร์

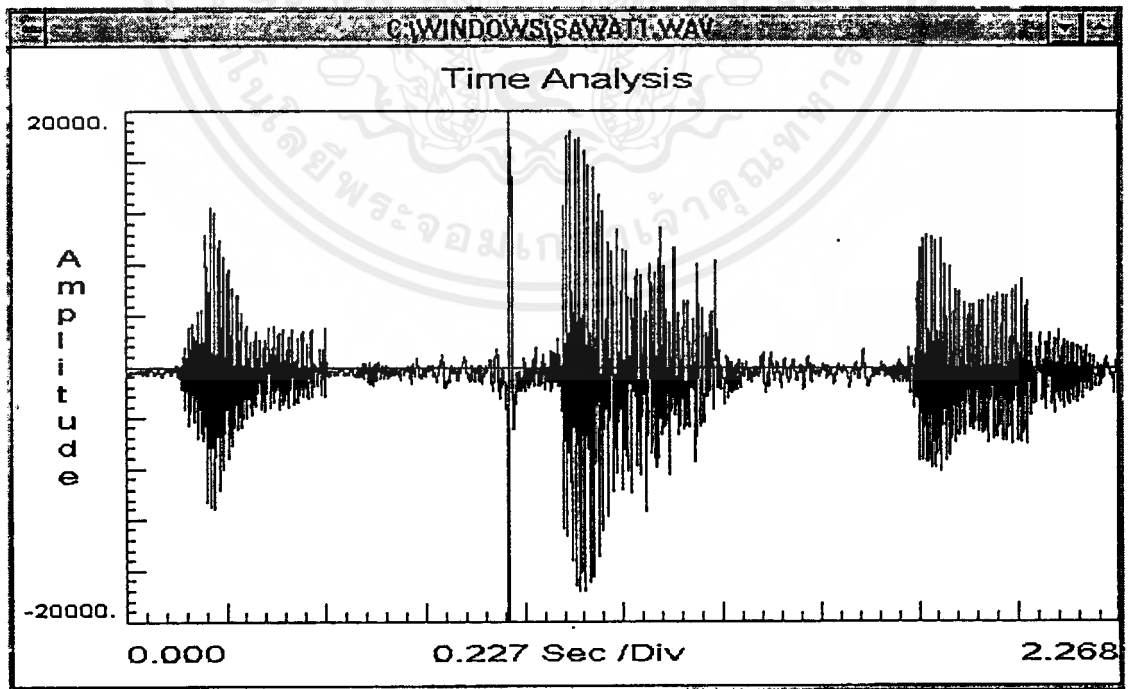


รูปที่ 4.3 สัญญาณเสียงที่ใช้ออกแบบโค้ดบิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

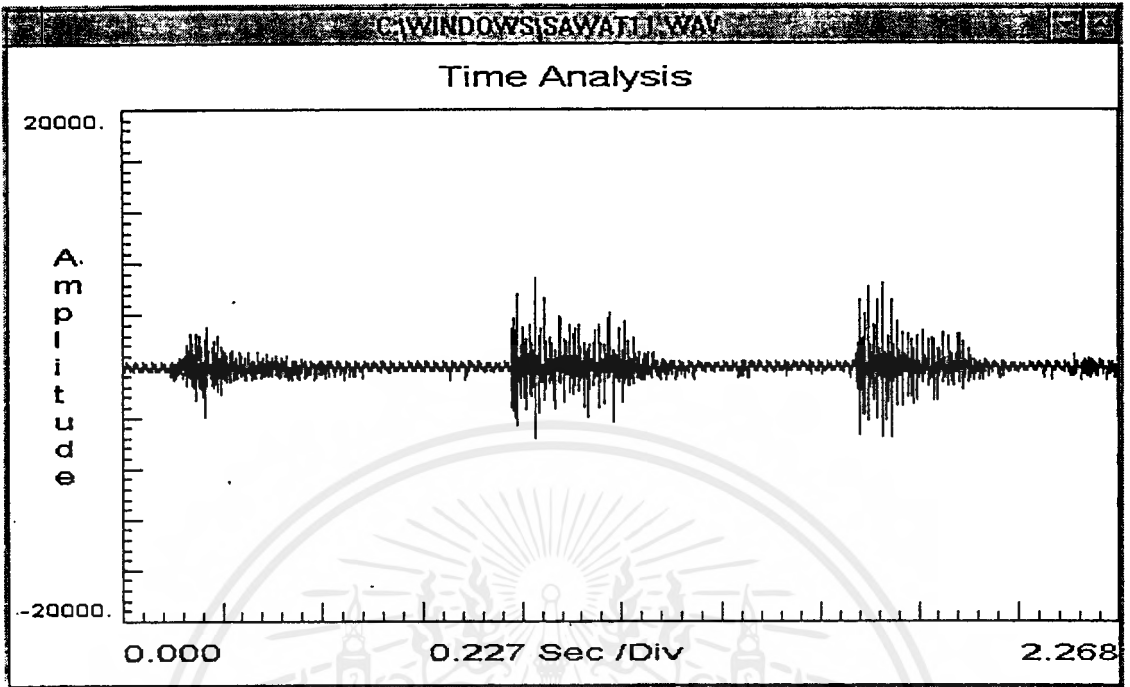


รูปที่ 4.4 สัญญาณเสียงที่ได้จากการควอนไทซ์ เมื่อป้อนอินพุตเป็นสัญญาณเสียงที่ใช้แบบโคตบู้ค ซึ่งมีค่า SNR เท่ากับ 6.885 dB

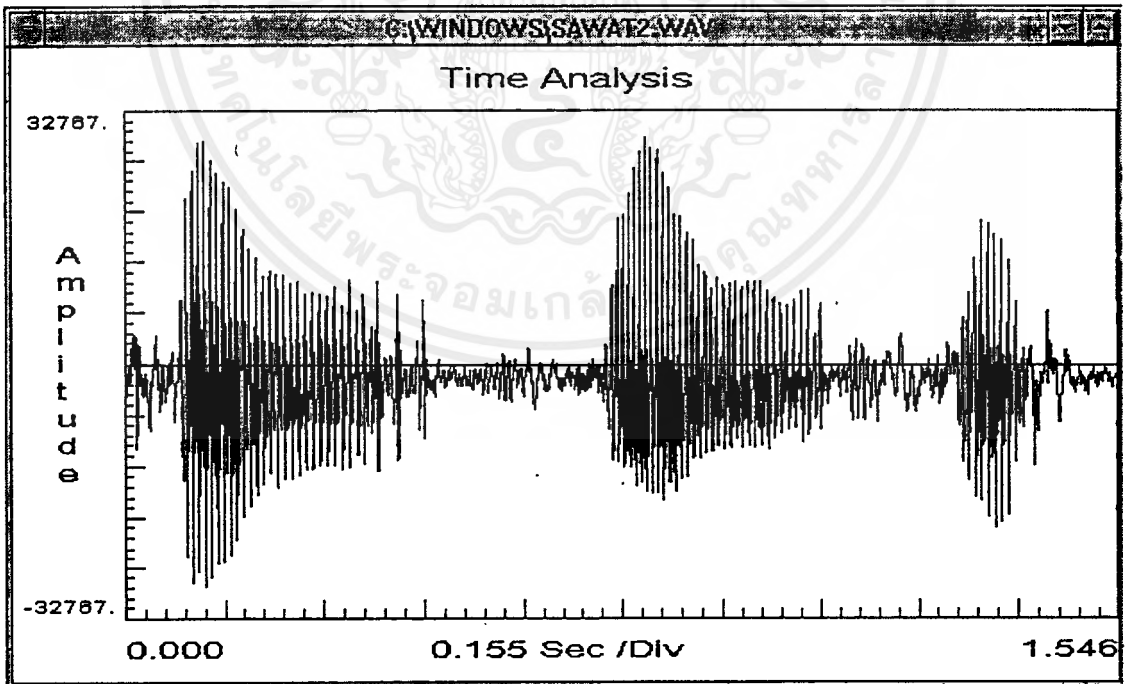


รูปที่ 4.5 สัญญาณเสียงอินพุตที่ได้จากการพูด หนึ่ง สอง สาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

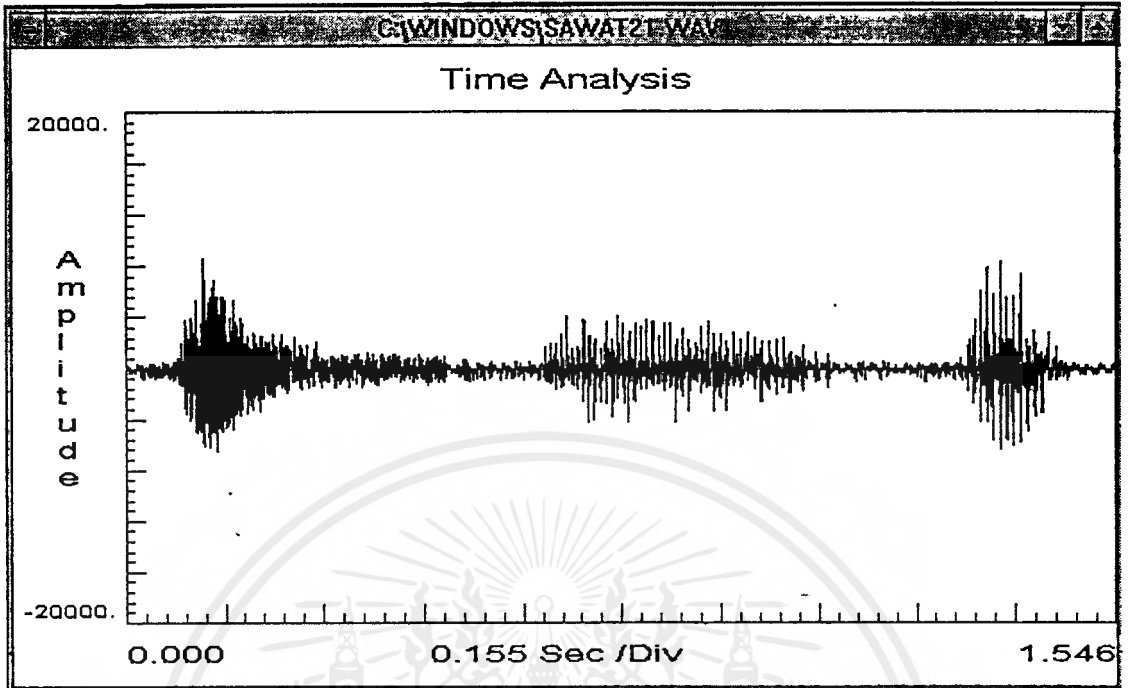


รูปที่ 4.6 สัญญาณเสียงที่ได้จากเครื่องควอนไทซ์ เมื่อป้อนสัญญาณอินพุตในรูปที่ 4.5

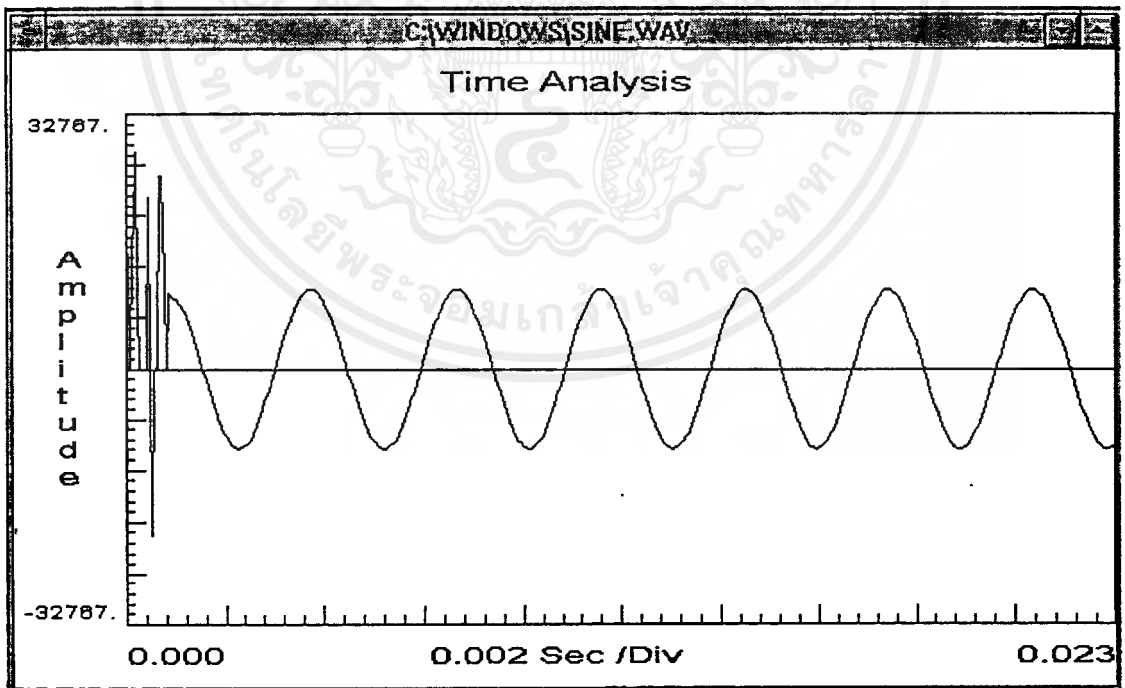


รูปที่ 4.7 สัญญาณเสียงอินพุตที่ได้จากการพูด สี่ ห้า หก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

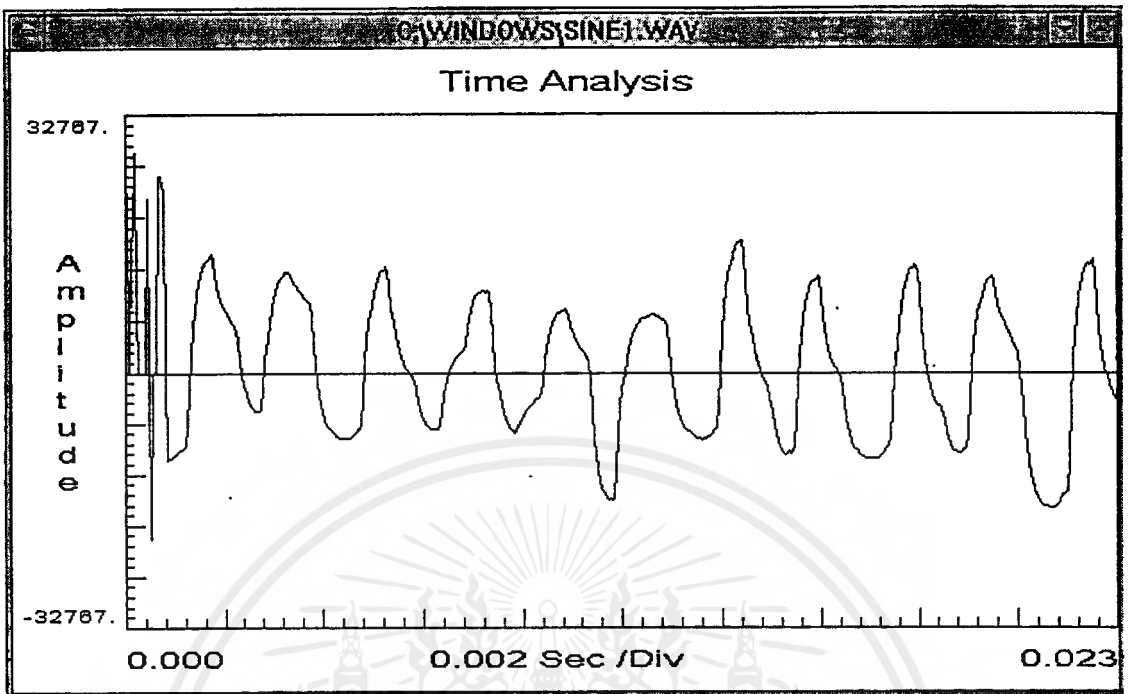


รูปที่ 4.8 สัญญาณเสียงที่ได้จากเครื่องควอนไทซ์ เมื่อป้อนอินพุตในรูปที่ 4.7

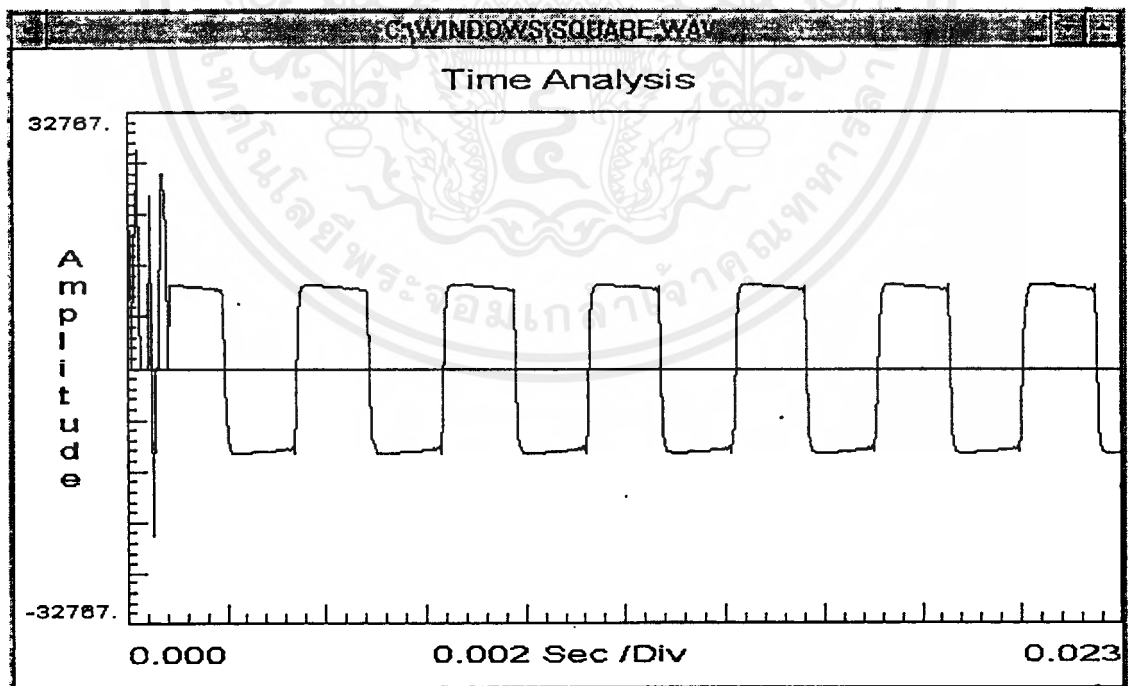


รูปที่ 4.9 สัญญาณเสียงอินพุต จากเครื่องกำเนิดสัญญาณ Sine wave 300 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

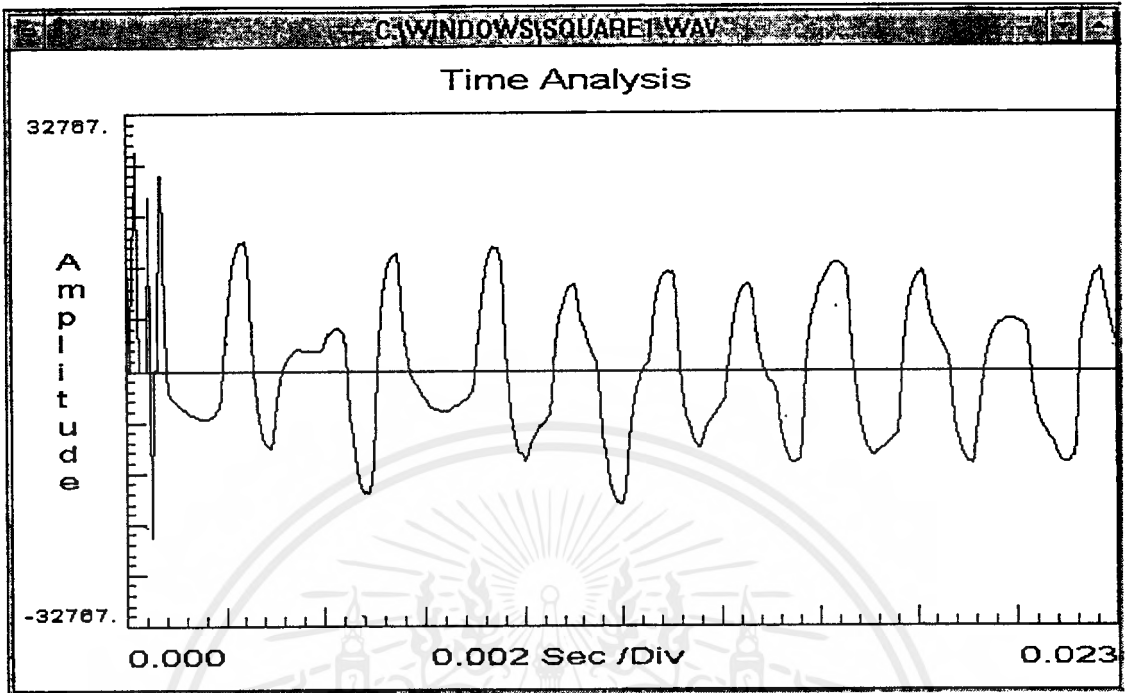


รูปที่ 4.10 สัญญาณที่ได้จากเครื่องควอนไทซ์ เมื่อป้อนอินพุตในรูปที่ 4.9

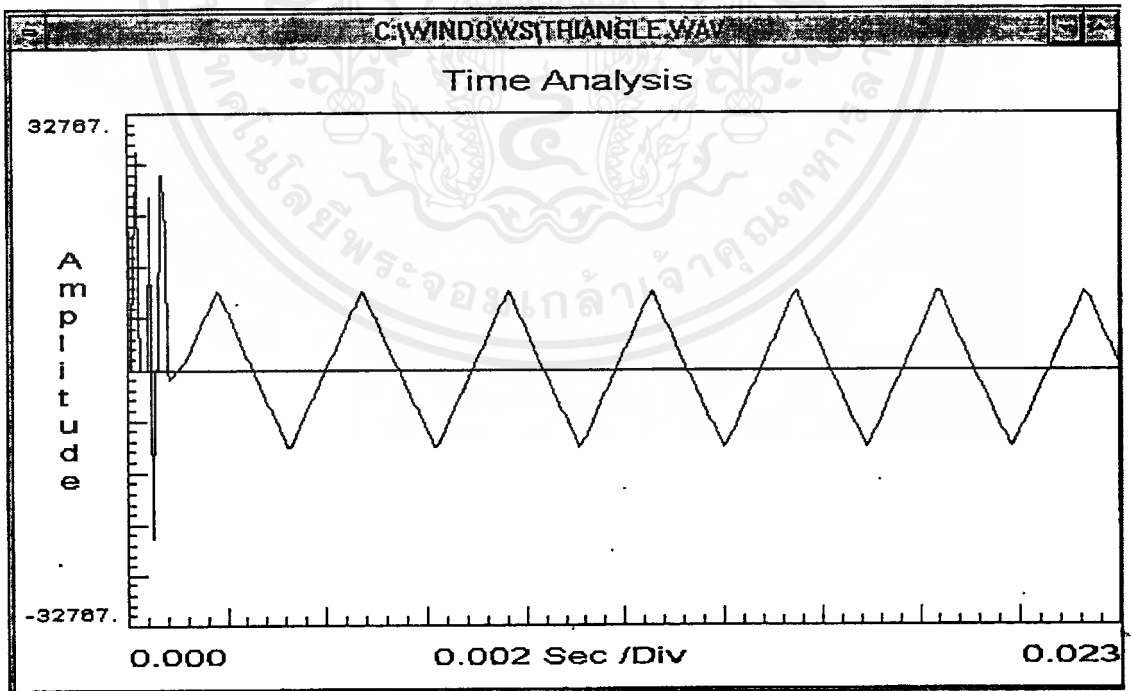


รูปที่ 4.11 สัญญาณเสียงอินพุต จากเครื่องกำเนิดสัญญาณ Square wave 300 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

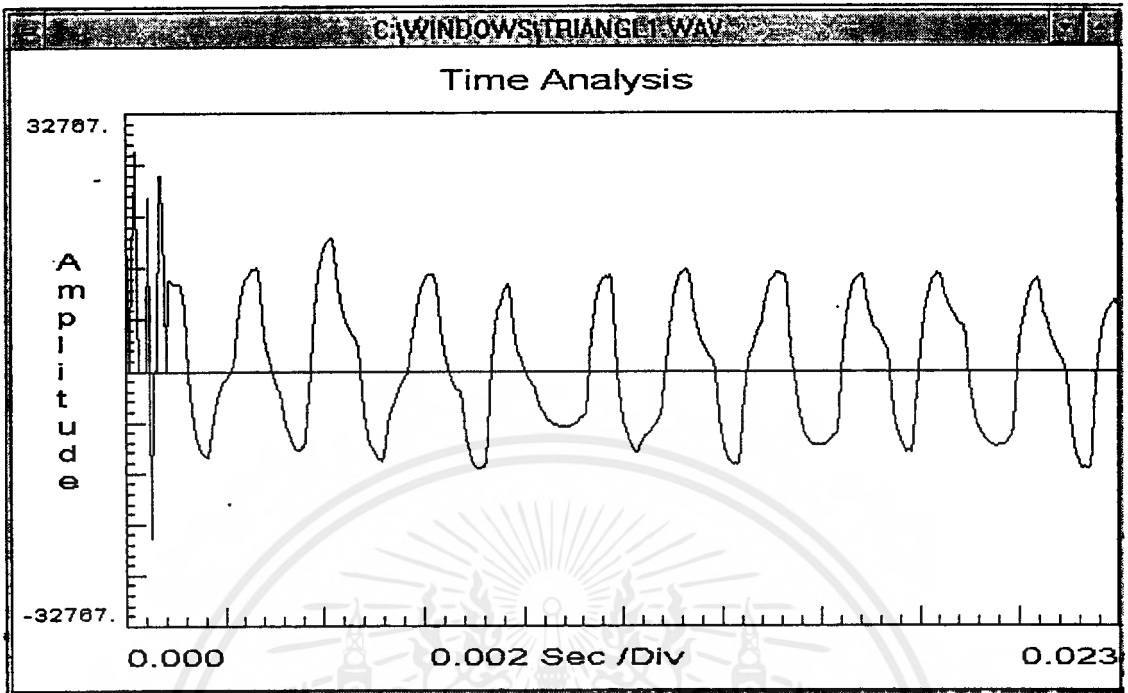


รูปที่ 4.12 สัญญาณที่ได้จากเครื่องควอนไทซ์ เมื่อป้อนอินพุตในรูปที่ 4.11



รูปที่ 4.13 สัญญาณเสียงอินพุต จากเครื่องกำเนิดสัญญาณ Triangle wave 300 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.14 สัญญาณที่ได้จากเครื่องควอนไทซ์ เมื่อป้อนอินพุตในรูปที่ 4.13

4.1.2 ผลการทดลอง

จากการทดลองการทำงานของเครื่องควอนไทซ์เวกเตอร์ที่เวลาจริง โดยใช้ตัวประมวลผลสัญญาณดิจิทัลเบอร์ TMS320C50 และทดลองฟังเสียง ปรากฏว่าสัญญาณเสียงที่รับฟัง อยู่ในเกณฑ์ที่ยอมรับได้ แต่ยังไม่ดีพอที่จะนำไปใช้งานทั่วไปได้ ส่วนการทดสอบกับสัญญาณโดยใช้เครื่องมืออื่น ปรากฏว่า สัญญาณมีความเพี้ยนบางส่วน โดยเฉพาะเมื่อสัญญาณมีความดังมากๆ ความเพี้ยนก็จะสูงตามไปด้วย โดยมีข้อสังเกตคือ เมื่อป้อนสัญญาณอินพุตเป็นสัญญาณเดียวกับสัญญาณที่ใช้ออกแบบโค้ดบู๊ค เฮาด์พุทที่ได้จะมีความเพี้ยนน้อยกว่าอินพุตทั่วไป

บทที่ 5

บทสรุป ปัญหา แนวทางแก้ไขและพัฒนา

5.1 บทสรุป

เครื่องควอนตัมไซเบอร์ที่เวลาจริงโดยใช้ TMS320C50 นี้สร้างขึ้นเพื่อศึกษาการประยุกต์ใช้งานระบบประมวลผลสัญญาณดิจิทัล ในการเข้ารหัสสัญญาณด้วยวิธีการควอนตัมไซเบอร์ ซึ่งขอบเขตที่วางไว้ในขั้นต้นคือ สามารถรับส่งสัญญาณเสียงซึ่งได้เข้ารหัสด้วยวิธีการควอนตัมไซเบอร์ โดยมีบิตเรตในการรับส่งที่ 9.6 Kbps ได้ และสัญญาณเสียงที่ต้องการส่งโดยเครื่องควอนตัมไซเบอร์นี้ สามารถพูดและรับฟังจาก Handset ได้โดยตรง

จากการที่ได้ศึกษาและทดลองสร้าง ปรากฏว่า ผลที่ได้รับอยู่ในระดับที่น่าพอใจ กล่าวคือ สัญญาณเสียงที่พูดผ่านเครื่องควอนตัมไซเบอร์ สามารถรับฟังได้ มีความผิดเพี้ยนอยู่ในระดับที่น่าพอใจ

5.2 ปัญหาที่พบ

5.2.1 ปัญหาในส่วนของฮาร์ดแวร์

ปัญหา	สัญญาณรบกวนทั้งความถี่ต่ำและความถี่สูง
แนวทางแก้ไข	เพิ่มวงจรแบนด์พาสฟิลเตอร์และการต่อกราวด์ลงแทน
ปัญหา	ในการอินเทอร์เน็ตเฟส ความเร็วในการทำงานไม่ทันกัน
แนวทางแก้ไข	หน่วงเวลาในส่วนที่ทำงานเร็วกว่า

5.2.2 ปัญหาในส่วนของซอฟต์แวร์

ปัญหา	ในการเขียนโปรแกรมและการติดต่อกับ DSK ซึ่งไม่เคยศึกษามาก่อน
แนวทางแก้ไข	ต้องใช้เวลาในการศึกษาและทดลองมาก

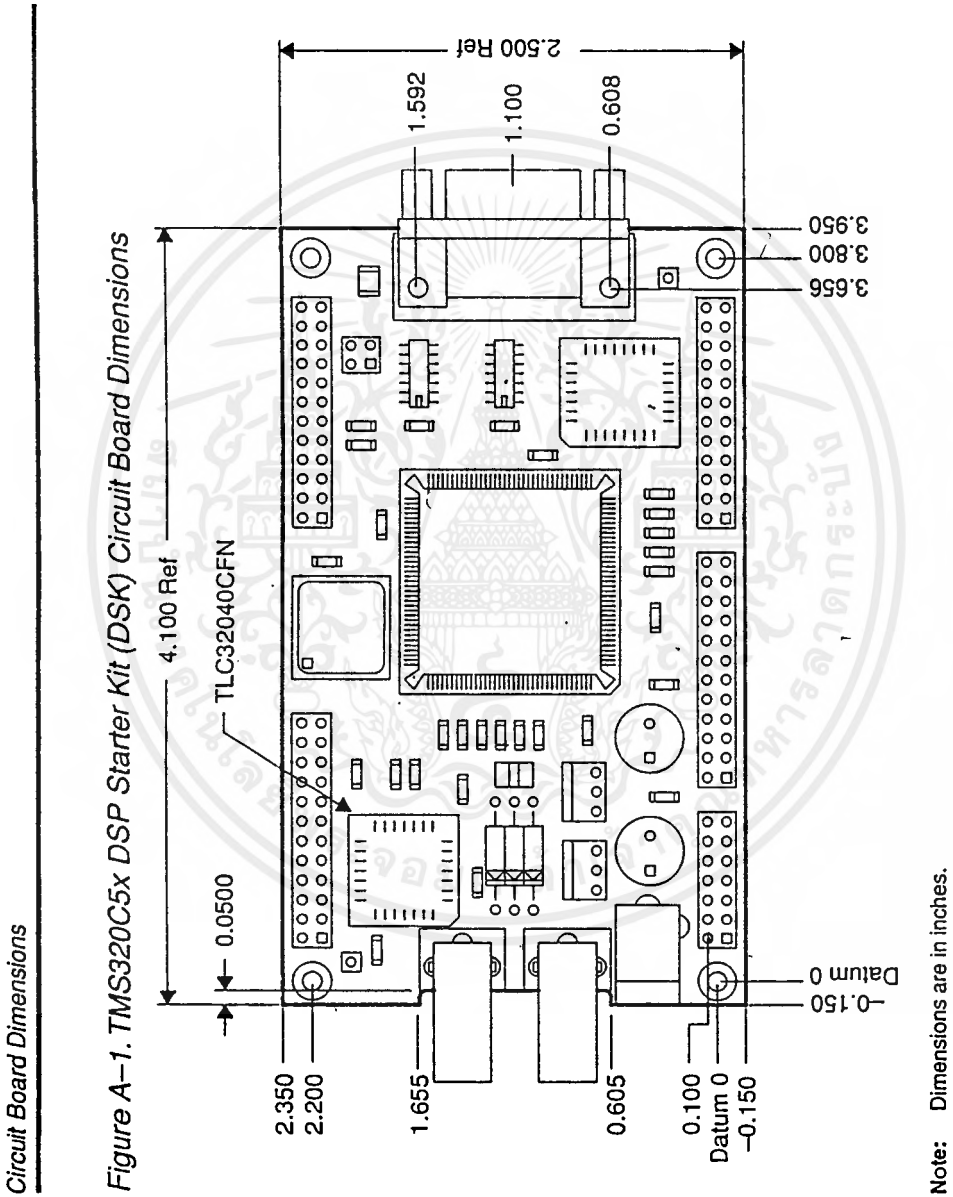
5.3 แนวทางในการพัฒนา

1. ควรปรับปรุงระบบกราวด์ของเครื่อง จะทำให้สัญญาณรบกวนลดลงได้
2. ควรปรับปรุงอัลกอริทึมในการออกแบบโค้ดบู้คให้ดีขึ้น เพื่อให้ได้คุณภาพเสียงที่สูงขึ้น
3. ควรปรับปรุงให้บิตเรตในการรับส่งน้อยลง
4. ควรปรับปรุงโปรแกรมเพื่อให้สามารถสนทนากันได้สองทางในเวลาเดียวกัน
5. ควรปรับปรุงประสิทธิภาพให้สามารถใช้งานจริงได้



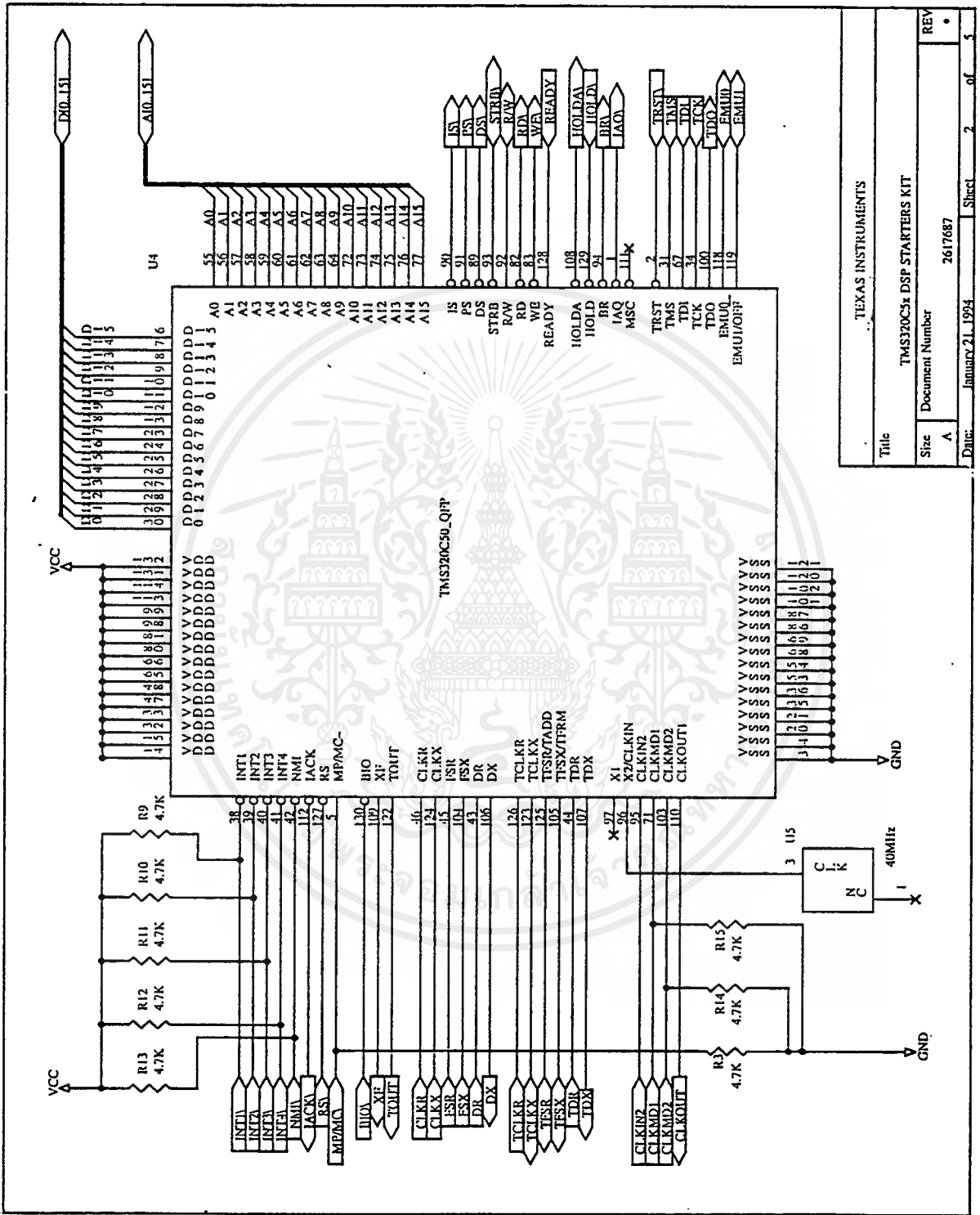


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ก.1 การวางอุปกรณ์บนบอร์ด DSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



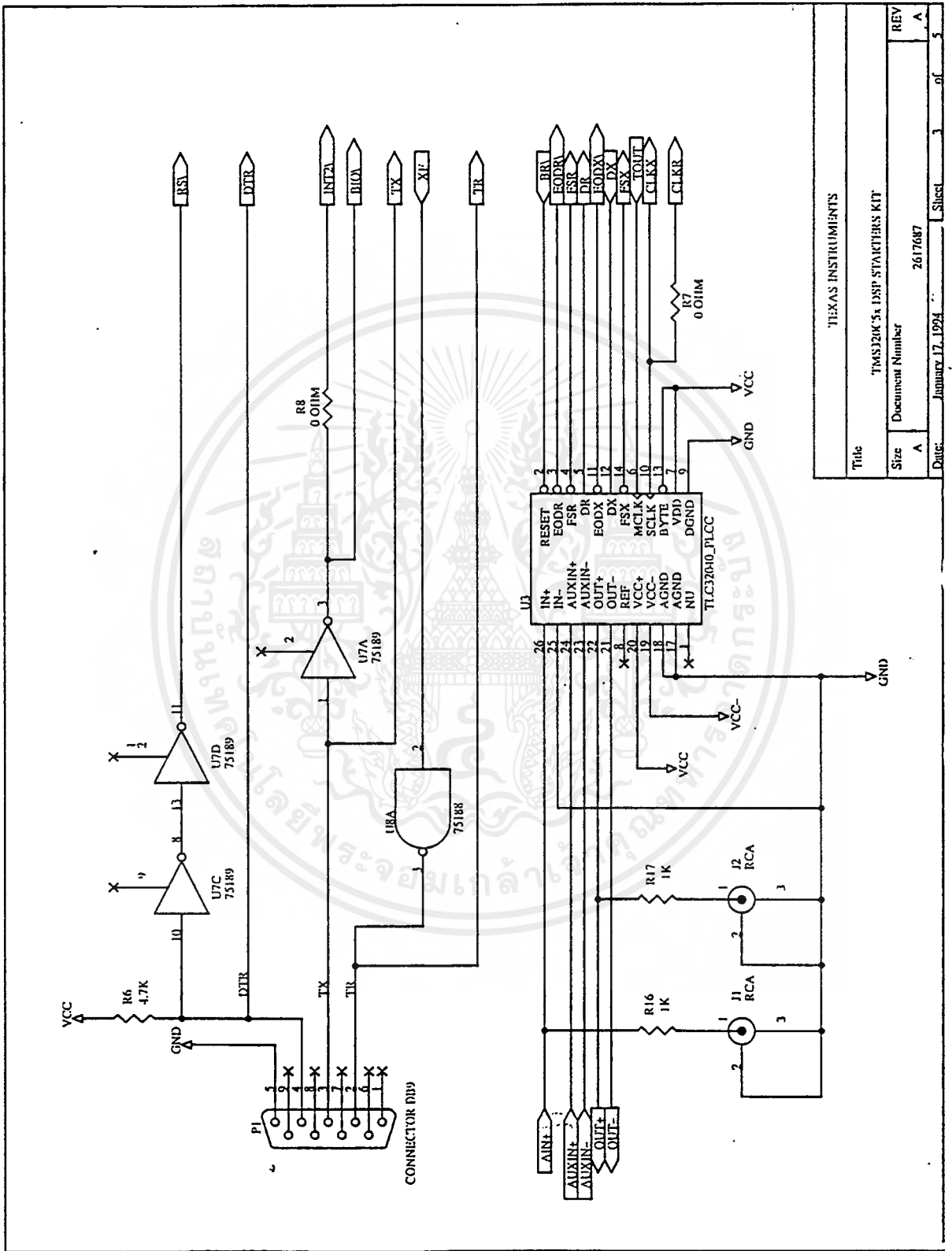
TEXAS INSTRUMENTS	
Title	TMS320C5x DSP STARTERS KIT
Size	A
Document Number	2617687
Date	January 21, 1994
Sheet	2 of 5
REV	•

DSK Circuit Board Dimensions and Schematic Diagrams

รูปที่ ก.2 วงจร TMS320C50 DSK 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

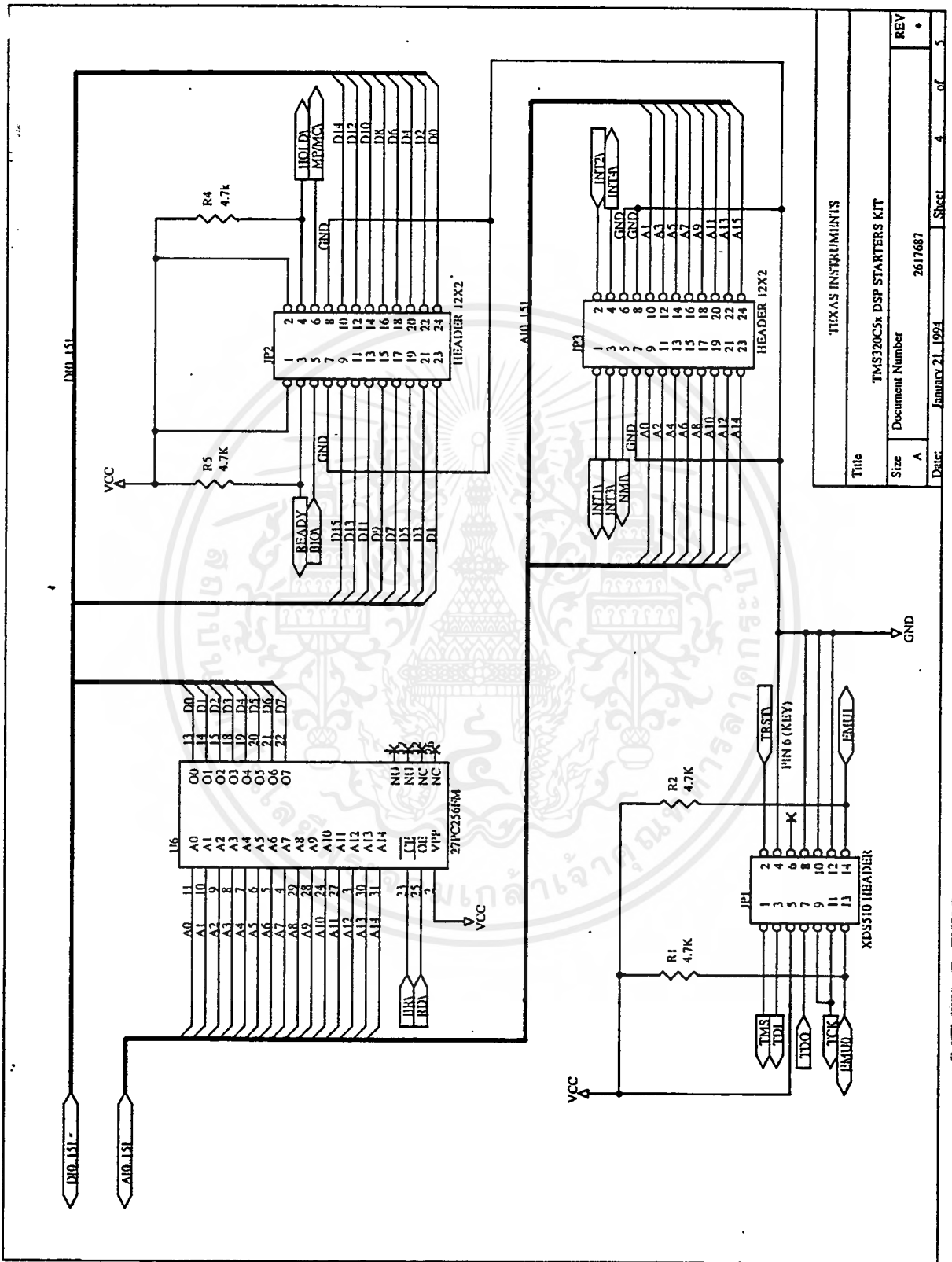
Schematic Diagrams



Title		TEXAS INSTRUMENTS	
Size		TMS320C50 DSP STARTERS KIT	
Document Number		2617687	
REV	A	Date	January 17, 1994
		Sheet	3 of 5

รูปที่ ก.3 วงจร TMS320C50 DSK 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



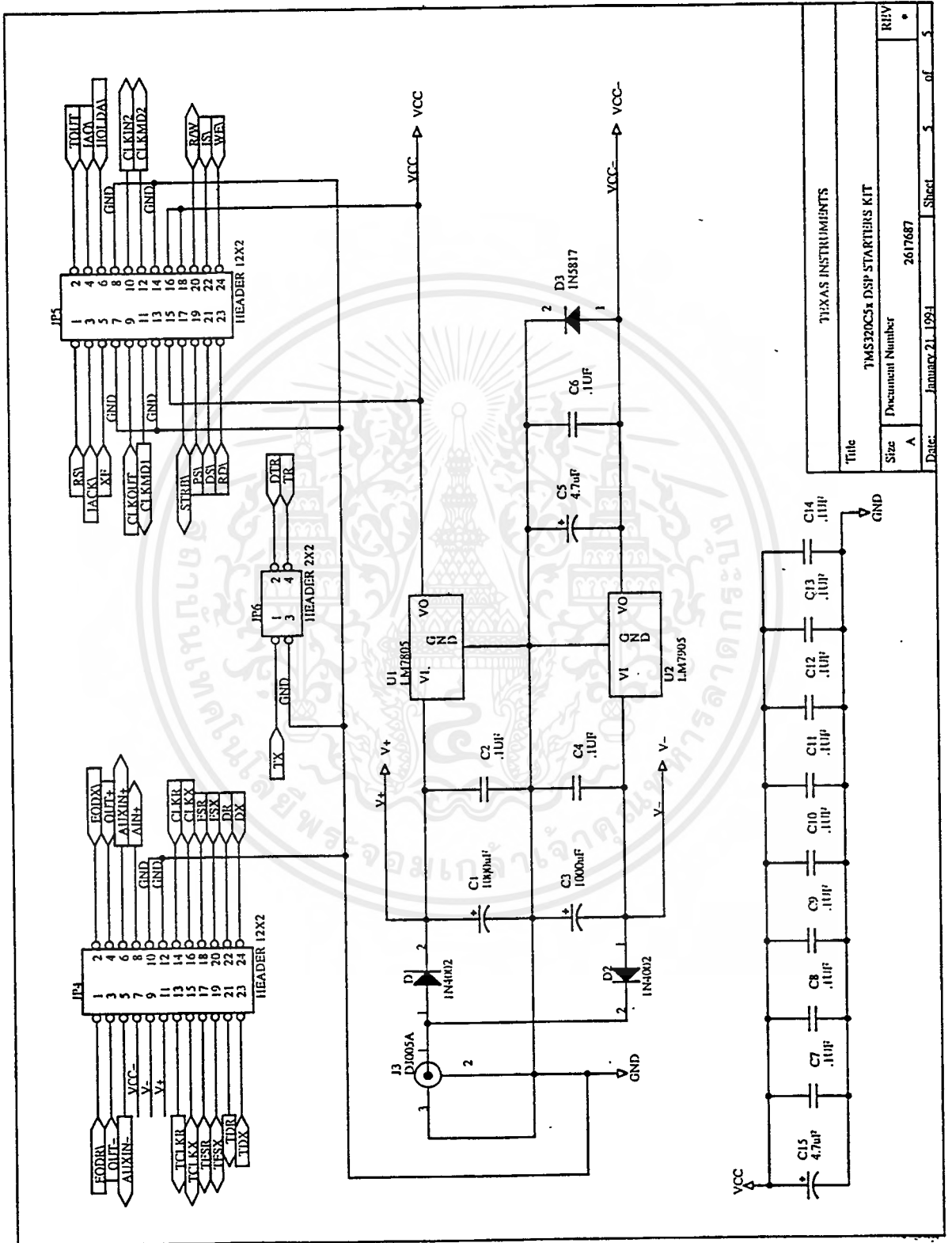
Title		TEXAS INSTRUMENTS	
Size		A	
Document Number		TMS320C50 DSP STARTERS KIT	
Date:		January 21, 1994	
Sheet		4 of 5	
REV		2617687	

DSK Circuit Board Dimensions and Schematic Diagrams

รูปที่ ก.4 วงจร TMS320C50 DSK 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

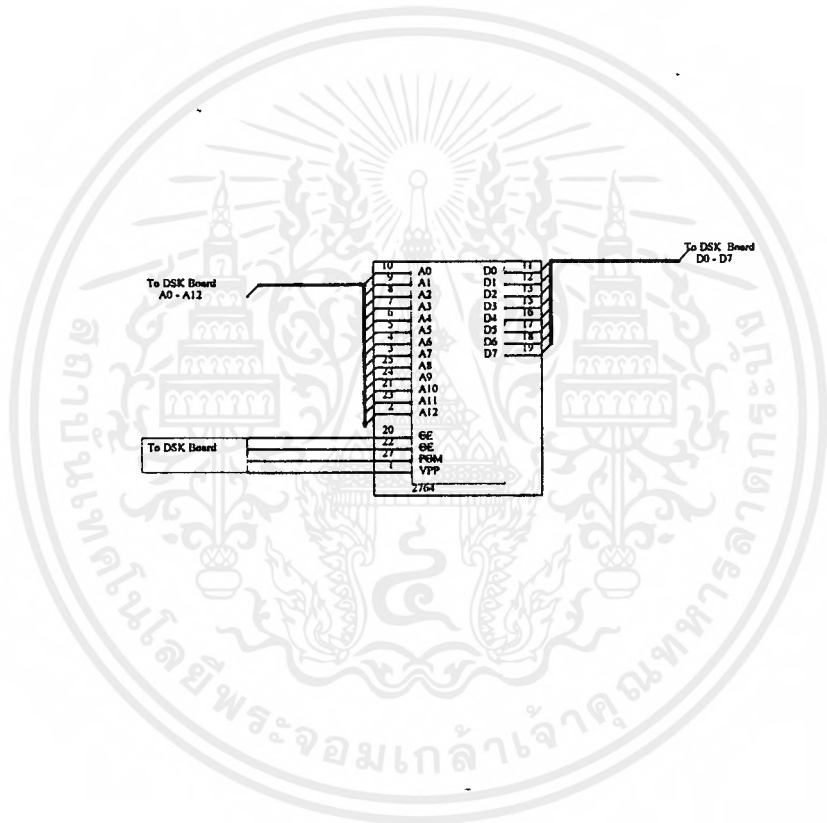
Schematic Diagrams



Title		TEXAS INSTRUMENTS	
Size		TMS320C55 DSP STARTERS KIT	
Document Number		2617687	
Date:		January 21, 1991	Sheet 5 of 5

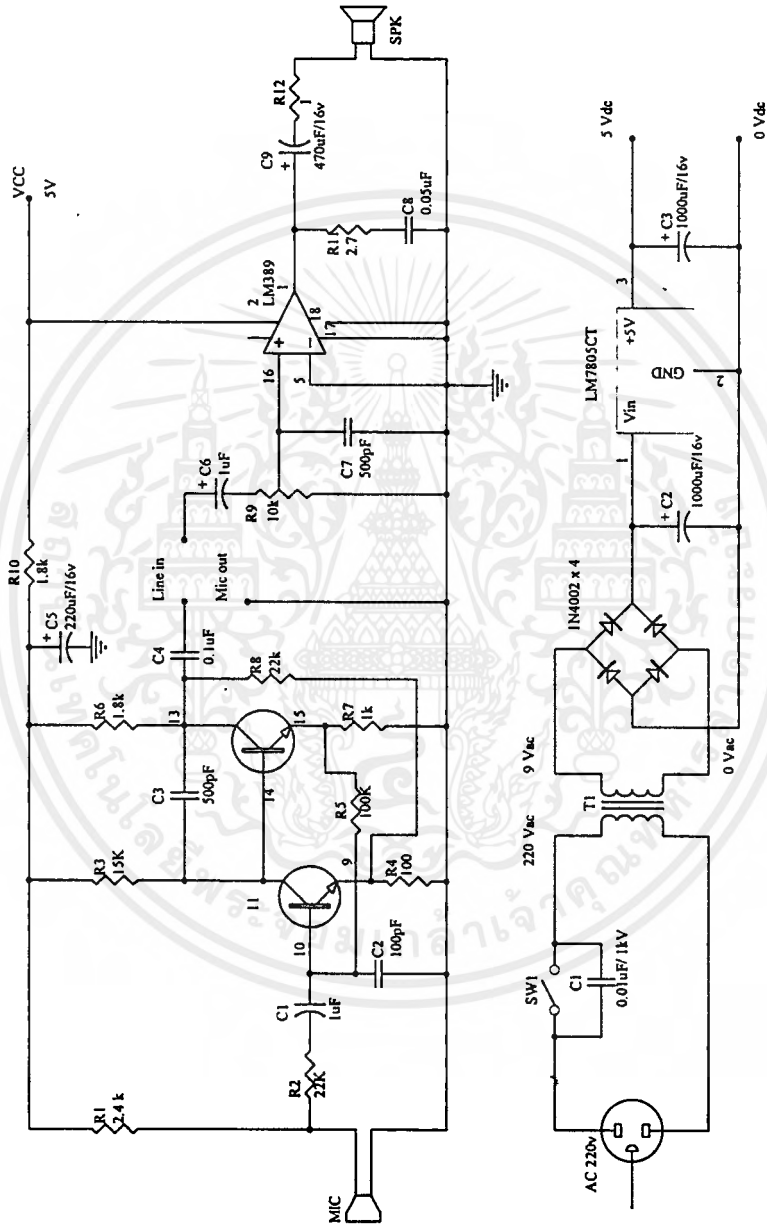
รูปที่ ก.5 วงจร TMS320C55 DSK 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



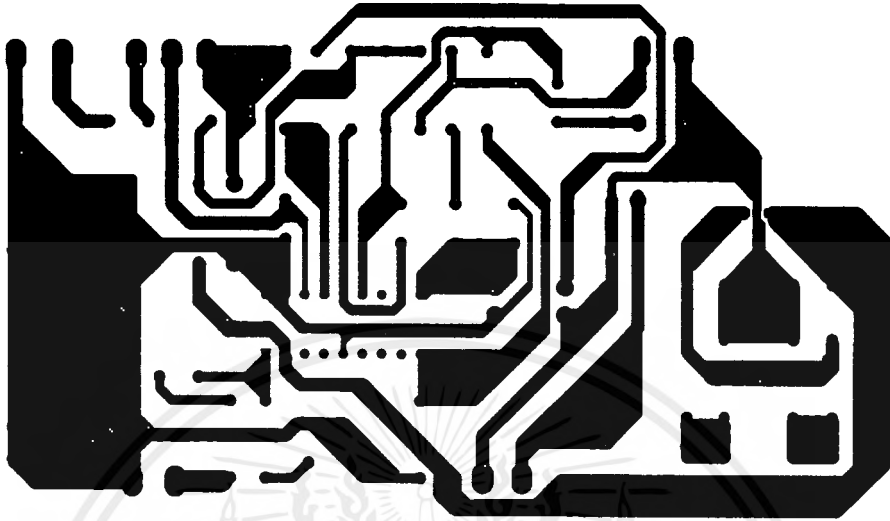
รูปที่ ก.6 วงจรอีพროมภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

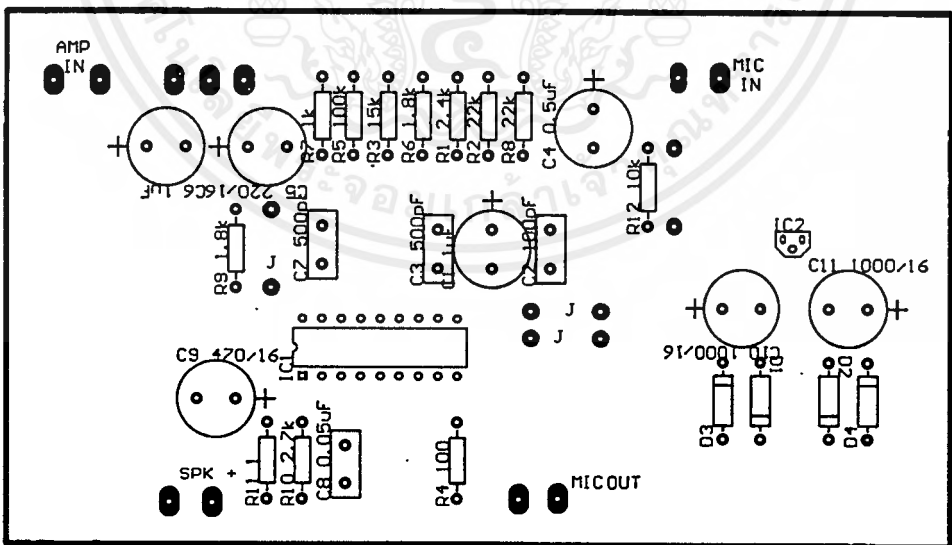


รูปที่ ก.7 วงจรอินเทอร์เฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ก.8 ลายวงจรบอร์ดอินเทอร์เฟส



รูปที่ ก.9 การวางอุปกรณ์บอร์ดอินเทอร์เฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ข

รูปเครื่องต้นแบบในปริณายนิพนธ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ข.1 เครื่องควอนไตซ์เวกเตอร์ที่เวลาจริง โคยไซ้ TMS320C50



รูปที่ ข.2 ค้านหน้าของเครื่องควอนไตซ์เวกเตอร์ที่เวลาจริง โคยไซ้ TMS320C50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

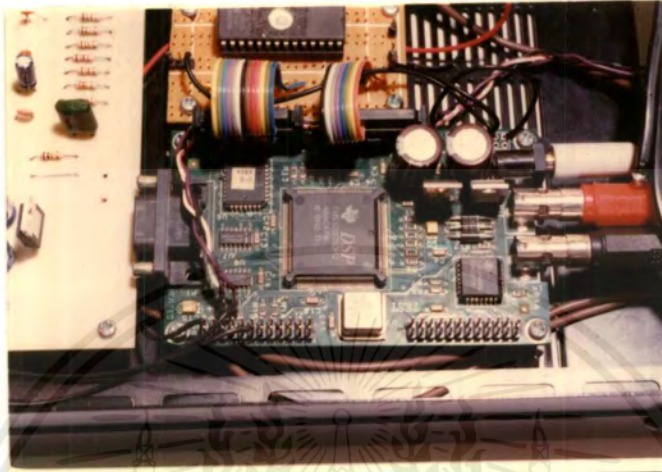


รูปที่ ข.3 ด้านหลังของเครื่องควอนตัมเวกเตอร์ที่เวลาจริง โดยใช้ TMS320C50

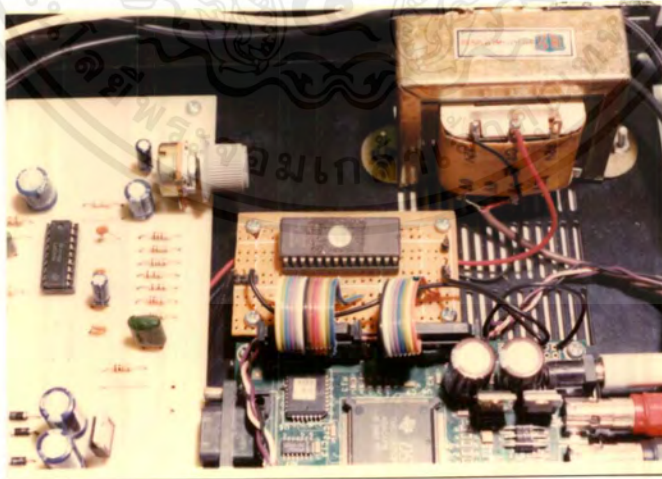


รูปที่ ข.4 การวางอุปกรณ์ภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

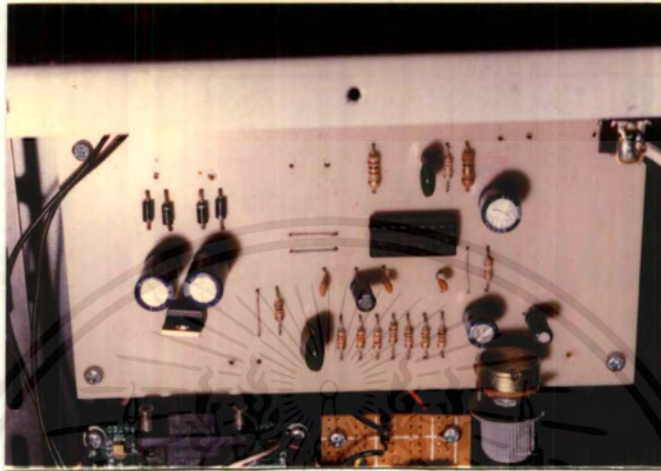


รูปที่ ข.5 บอร์ด DSK



รูปที่ ข.6 บอร์ดอิทรอมภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ข.7 บอร์ดอินเทอร์เฟส





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

#include <stdio.h>
#include <conio.h>

main(argc,argv)
int argc;
char *argv[];
{
    FILE *Inputfile,*Outfile;
    char i,j,Och,Ich[80],filename[10];
    int line;
    clrscr();
    if(argc<2)
    {
        printf("\n Usage : Converse File .dsk to .h\n DSKHEX.EXE[file.dsk]");
        exit();
    }
    /*Open input file*/
    if((Inputfile=fopen(argv[1],"rt"))==NULL)
    {
        printf("Error in input File:");
        exit(1);
    }
    sprintf(filename,"%s",argv[1]);
    for(i=0;filename[i]!='.';i++);
        filename[++i] = 'H';
        filename[++i] = ".";
        filename[++i] = ".";

```

/*Open Output file*/

```

if((Outfile=fopen(filename,"w+"))==NULL)
{
    printf("Error in output File:");
    exit(1);
}
line = 1;
rewind(Inputfile);
fgets(Ich,80,Inputfile);
fgets(Ich,80,Inputfile);
fprintf(Outfile,"80\n");
do{
    Och = fgetc(Inputfile);
    if(Och=='\0'||Och==EOF) break;
    if(Och=='9')Ich[0]='0';
    else
    {
        printf("Input file error:");
        fclose(Inputfile);
        fclose(Outfile);
        remove(filename);
        exit(1);
    }
    for(i=0;i<4;i++) Ich[i+2] = fgetc(Inputfile);
    j=0;
    for(;;)
    {
        Och = fgetc(Inputfile);

```

```

if(Och=='7' || j > 10) break;
if(Och=='B') {j++; Ich[1] = '3';}
else if(Och=='M') {j++; Ich[1]='2';}
else {
    printf("Input file error.");
    fclose(Inputfile);
    fclose(Outfile);
    remove(filename);
    exit(1);
}
for(i=0; i<4; i++)
{
    Ich[i+(j*4)+6] = fgetc(Inputfile);
}
}
if(j==0) { line--; }
else { for(i=6; i<9; i++) Ich[i] = '0';
    Ich[9] = 48+j-1;
    for(i=0; i<(j*4+10); i++) fputc(Ich[i], Outfile);
    fprintf(Outfile, "\n");
}
fgets(Ich, 80, Inputfile);
gotoxy(2, 2);
printf(" Loading.. Line: %d", line++);
} while(!feof(Inputfile));
fclose(Inputfile);
fclose(Outfile);
}

```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

/*****
*       This HHEX51 uses to convers *
*       file .h to .hex(MCS51)      *
*****/

#include <stdio.h>
#include <conio.h>
#include <ctype.h>
#include <stdlib.h>
#include <string.h>

FILE *Infile,*Outfile;
char IOch[80],file_name[10],Baddr[4]={'1','0','0','0'};
int i,j,p,sum_totel,sum,line;
char conv(char code)
{
    if(isxdigit(code))
    {
        if(isdigit(code))
        {
            code -= 48;
        }
    }
    else {
        if(isupper(code))
        {
            code -= 55;
        }
    }
}

```

```

        else code -= 87;
    }
}
else {
    printf("\n error Input.");
    remove(file_name);
    exit(1);
}
return code;
}

char hex_to_dec( char jj)
{
    if(jj>9) jj = jj+55;
    else
        jj = jj+48;
    return jj;
}

main(argc,argv)
int argc;
char *argv[];

{
    clrscr();
    if(argc < 2) {
        printf("\n Usage : Converse File .dsk to .h\n HEXH51.EXE [file.h] [startadd]");
        exit(1);
    }
}

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
/* Open File input */
```

```
if((Infile=fopen(argv[1],"rt"))==NULL)
```

```
{
```

```
    printf("\n Error in input File:");
```

```
    exit(1);
```

```
}
```

```
sprintf(file_name,"%s",argv[1]);
```

```
for(i=0;file_name[i]!='\0';i++);          /*change .h to .hex */
```

```
file_name[++i] = 'H';
```

```
file_name[++i] = 'E';
```

```
file_name[++i] = 'X';
```

```
/*Open File Output */
```

```
if((Outfile=fopen(file_name,"w+"))==NULL)
```

```
{
```

```
    printf("\n Error in output File:");
```

```
    exit(1);
```

```
}
```

```
printf("\n Start Address: ");
```

```
gets(Baddr);
```

```
printf("\n");
```

```
strupr(Baddr);
```

```
line = 1;
```

```
rewind(Infile);
```

```
do{                                          /*get char in file to IOch(32)*/
```

```
    sum_totel = 0;
```

```
    for(i=9;i<41;i+=2) {
```

```

IOch[i] = fgetc(Infile);
if(IOch[i]==EOF) break;
if(IOch[i]==0x0d || IOch[i]==0x0a)
    {
        i -= 2;
        continue;
    }
sum = conv(IOch[i]<<4;
IOch[i+1] = fgetc(Infile);
sum_totel += (sum | conv(IOch[i+1]));
}
p = i;
i = (i-9)/2;
sum_totel = (sum_totel+i+(conv(Baddr[0]<<4)+conv(Baddr[1]));
sum_totel = (0 - (sum_totel+(conv(Baddr[2]<<4)+conv(Baddr[3]))) & 0xff;
IOch[p] = sum_totel>>4;
IOch[p] = hex_to_dec(IOch[p]);
IOch[p+1] = sum_totel&0xf;
IOch[p+1] = hex_to_dec(IOch[p+1]);
IOch[0] = ':';
IOch[1] = i>>4;
IOch[1] = hex_to_dec(IOch[1]);
IOch[2] = i&0xf;
IOch[2] = hex_to_dec(IOch[2]);
for(j=3;j<7;j++)
    IOch[j] = Baddr[j-3];
j = ((conv(Baddr[0]<<12)|(conv(Baddr[1]<<8)|(conv(Baddr[2]<<4)));

```

```

/* if(j>0xffff) {
    printf("\n Out of address ?");
    exit(1);
} */

j += 0x10;
Baddr[2] = ((j>>4)&0xf);
Baddr[2] = hex_to_dec(Baddr[2]);
Baddr[1] = ((j>>8)&0xf);
Baddr[1] = hex_to_dec(Baddr[1]);
Baddr[0] = ((j>>12)&0xf);
Baddr[0] = hex_to_dec(Baddr[0]);
IOch[7] = '0';
IOch[8] = '0';
for(j=0;j<(i*2+11);j++) fputc(IOch[j],Outfile);
fprintf(Outfile,"\n");
printf("\r Lodeing... Line : %d",line++);
} while(!feof(Infile));
fclose(Infile);
fclose(Outfile);
}

```

—



โปรแกรม
ควบคุมการรับสัญญา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

*

* **Real time quantize vector (recieve)**

*

```

    .mmregs
BUF1 .SET 300h
BUF2 .SET 305h
BUF3 .SET 310h
BUF4 .SET 320h
lo   .set 5
CB   .SET 1500h
MCB  .SET 1700h
L1   .SET 3
L2   .SET 63
ACL  .SET 330h
BITLEN   .SET 081h
BITLEN2  .SET 020h

.ps 0806h
.ps 080ah
    b    int2
.ps 0a00h

.entry
    lar    ar0,#0h
    lar    ar0,#0h
start: ldp  #0      ; Set data page pointer
    CLRC  SXM
    clrc  IPTR
    OPL   #800h,PMST ; 9K on-chip RAM as Data, No ROM

```

```

splk #830h,PMST
lacl #0 ; Set Wait State Control Register
samm CWSR ; for 0 waits in pgm & data memory
samm PDWSR ;

```

*

*** initalize and reset serial port**

*

```

splk #20h,TCR
splk #1,PRD
mar *,AR0
lacl #08h ; set FSM bit for FSX/FSR per frame
samm spc ; Configure for 16 bit mode with
lacl #0C8h ; external CLKX, reset tx and rx
samm spc
lamm drr ; clear first int
lacc #0080h
sach dxr ; clear first int
saccl GREG ; Pulse AIC reset by setting it low
lar AR0,#0FFFFFFh
rpt #10000 ; and taking it high after 1000 cycles
lacc *,0,AR0 ; (.5ms at 50ns)
sach GREG
setc SXM
setc OVM
;-----

```

```
splk #0ffff,IFR
```

```
splk #10h,IMR
```

```

CLRC INTM
call  setcb      ;set code book
lar   ar0,#lo
LAR   AR1,#BUF1
LAR   AR5,#BUF4
mar   *,ar1
splk  #0h,*,ar1

loop1:
idle
b     loop1
end   b     end
;*****
int2:
call  reads
call  dcadd
splk  #0ffff,IFR
rete
;*****

rrint:
setc  intm
lamm  drr
mar   *,ar1
add   *,0,ar1
sac1  *,0,ar0
mar   *-,ar0
clrc  intm
splk  #0ffefh,IFR

```

```
ret
```

```
;*****
```

```
setcb:
```

```
lar ar0,#CB
```

```
lar ar1,#L2
```

```
lar ar3,#MCB
```

```
setcb2:
```

```
lar ar2,#L1
```

```
mar *,ar0
```

```
lacc *+
```

```
setcb1:
```

```
add *+,0,ar2
```

```
banz setcb1,*-,ar0
```

```
mar *,ar3
```

```
sacl *+,0,ar1
```

```
banz setcb2,*-,ar2
```

```
ret
```

```
;*****
```

```
fadd:
```

```
lar ar0,#lo
```

```
lar ar2,#BUF2
```

```
lar ar3,#BUF3
```

```
lar ar4,#MCB
```

```
lar ar6,#62
```

```
mar *,ar1
```

```
lacc *,0,ar1
```

```
splk #0h,* ,ar2
```

```

sac1    *,0,ar4
sub     *+,0,ar2
abs
sacb
fadd1:
mar     *,ar2
lacc    *,0,ar4
sub     *+,0,ar6
abs
crlt
banz    fadd2,*-,ar6
b       fadd3,*-,ar3
fadd2:
bcnd    fadd1,nc
sar     ar4,ar3
b       fadd1,*-,ar2
fadd3:
lacc    *-
lacc    ar3
sub     #1700h,0
setc    intm
call    xmtbyte
clrc    intm
ret
;*****
dcadd:
LAR     AR1,#BUF4
mar     *,ar1

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

sac1 *
lt *
mpy #5
lacc #1500h
apac
sac1 ar1

xt:
LAR AR7,#4
: mar *,ar1
XT1: lacc *,1,ar7
samm dxr
BANZ XT1,*-,AR1
XT2: ret
;*****
xmtbyte:
clrc c ; startbit=0
lar ar5,#8 ; counter: 1 startbit+ 8 databits (+ 2 stopbits)
nextbit1 bcnd snd0,nc ; if c=1 send 1 else send 0
snd1 setc xf ; send one
b snd
snd0 clrc xf
snd rpt #BITLEN ; send one bit
mar *,ar5
ror ; lsb(accum) -> carrybit
banz nextbit1,*- ; repeat for entire word (10 bits)
setc xf
rpt #BITLEN
nop
rpt #BITLEN

```

```

nop
ret
;*****
reads:
    rpt #BITLEN
    nop
wait   Bcndd STOK,bio   ;wait for start bit
    lar AR5,#7
    lacl #0
    B   wait   ;
STOK   rpt #BITLEN2   ;BITLEN is scaled and
    nop
    mar *,AR5   ;number of bits - 1
WTBIT  sfr
    rpt #BITLEN   ;decremented by 8/3 for
    nop           ;BITLEN/2 wait
    bcnd ZEROBT,bio
    add #80h
ZEROBT BANZ WTBIT,*-   ;last bit ?
    RET           ;ACC = read value
;*****
    .listoff
    .include "codeb.asm"
    .liston

```



โปรแกรม
ควบคุมการรับสัญญาณในรูปแบบ HEX ไฟล์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

:100000008001A0079800843BE3A8B00BE3A8B00B3
 :10001000BE3A8B00BE3A8B0079800874BE3A8B00D4
 :1000200000000000000000007980084300000008C
 :10003000000000000000000000000000000000C0
 :10004000000000000000000000000000000000B0
 :10005000000000000000000000000000000000A0
 :1000600000000000000000000000000000000090
 :1000700000000000000000000000000000000080
 :10003000B000B000BC00BE46BE5C5D070800AE0715
 :100090000830B900882A8828AE260020AE25000145
 :1000A0008B88B9088822B9C888220820BF800080C0
 :1000B00098219005BF08FFFFBEC42710108898053F
 :1000C000BE47BE43AE06FFFAE040010BE407A80BE
 :1000D0000885B005BF090300BF0D03208B89AE89D9
 :1000E0000000BE227980086F798008727A8008DF6C
 :1000F0007A8008BCAE06FFFFBE3ABE4108208B895D
 :10010000208990888B98BE40AE06FFEF00BF08B5
 :100110001500B13FBF0B1700B2038B8810A020AAB7
 :100120007B98088D8B8B90A97B9A088AEF00B0058D
 :10013000BF0A0305BF0B0310BF0C1700B63E8B8927
 :100140001089AE8A0000908C30AABE00BE1E8B8A39
 :10015000108C30AE00BE1C7B9E08AE798B08B3FF
 :10016000E30108A58413798A08A510901013BFA095
 :100170001700BE417A8008CCBE40EF00BF090320C3
 :100180008B8990807380C005BF801500BE049011DC
 :10019000B70411AF88217B9908C7EF00BE4EB508A0
 :1001A000E30108D3BE4D798008D4BE4CBB818B8D52
 :1001B000BE0D7B9008CEBE4DBB818B00BB818B00FA
 :1001C000EF00BB818B00F00008E7B507B90079802C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

:1001D00008E1BB208B008B8DBE0ABB818B00E00049
:1001E00008F0B8807B9008EAEF008B008B008B0086
:1001F0008B008B008B008B008B008B008B008B0086
:100200008B008B008B008B008B008B008B008B0086
:100210008B008B008B008B008B008B008B008B0086
:100220008B008B008B008B008B008B008B008B0076
:100230008B008B008B008B008B008B008B008B0066
:100240008B008B008B008B008B008B008B008B0056
:100250008B008B008B008B008B008B008B008B0046
:100260008B008B008B008B008B008B008B008B0036
:100270008B008B008B008B008B008B008B008B0026
:100280008B008B008B008B008B008B008B008B0016
:100290008B008B008B008B008B008B008B008B0006
:1002A0008B008B008B008B008B008B008B008B00F6
:1002B0008B008B008B008B008B008B008B008B00E6
:1002C0008B008B008B008B008B008B008B008B00D6
:1002D0008B008B008B008B008B008B008B008B00C6
:1002E0008B008B008B008B008B008B008B008B00B6
:1002F0008B008B008B008B008B008B008B008B00A6
:100300008B008B008B008B008B008B008B008B0095
:100310008B008B008B008B008B008B008B008B0085
:100320008B008B008B008B008B008B008B008B0075
:100330008B008B008B008B008B008B008B008B0065
:100340008B008B008B008B008B008B008B008B0055
:100350008B008B008B008B008B008B008B008B0045
:100360008B008B008B008B008B008B008B008B0035
:100370008B008B008B008B008B008B008B008B0025
:100380008B008B008B008B008B008B008B008B0015
:100390008B008B008B008B008B008B008B008B0005

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

:1003A0008B008B008B008B008B008B008B008B008B00F5
 :1003B0008B008B008B008B008B008B008B008B008B00E5
 :1003C0008B008B008B008B008B008B008B008B008B00D5
 :1003D0008B008B008B008B008B008B008B008B008B00C5
 :1003E0008B008B008B008B008B008B008B008B008B00B5
 :1003F0008B008B008B008B008B008B008B008B008B00A5
 :100400008B008B008B008B008B008B008B008B008B0094
 :100410008B008B008B008B008B008B008B008B008B0084
 :100420008B008B008B008B008B008B008B008B008B0074
 :100430008B008B008B008B008B008B008B008B008B0064
 :100440008B008B008B008B008B008B008B008B008B0054
 :100450008B008B008B008B008B008B008B008B008B0044
 :100460008B008B008B008B008B008B008B008B008B0034
 :100470008B008B008B008B008B008B008B008B008B0024
 :100480008B008B008B008B008B008B008B008B008B0014
 :100490008B008B008B008B008B008B008B008B008B0004
 :1004A0008B008B008B008B008B008B008B008B008B00F4
 :1004B0008B008B008B008B008B008B008B008B008B00E4
 :1004C0008B008B008B008B008B008B008B008B008B00D4
 :1004D0008B008B008B008B008B008B008B008B008B00C4
 :1004E0008B008B008B008B008B008B008B008B008B00B4
 :1004F0008B008B008B008B008B008B008B008B008B00A4
 :100500008B008B008B008B008B008B008B008B008B0093
 :100510008B008B008B008B008B008B008B008B008B0083
 :100520008B008B008B008B008B008B008B008B008B0073
 :100530008B008B008B008B008B008B008B008B008B0063
 :100540008B008B008B008B008B008B008B008B008B0053
 :100550008B008B008B008B008B008B008B008B008B0043
 :100560008B008B008B008B008B008B008B008B008B0033

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

:100570008B008B008B008B008B008B008B008B0023
 :100580008B008B008B008B008B008B008B008B0013
 :100590008B008B008B008B008B008B008B008B0003
 :1005A0008B008B008B008B008B008B008B008B00F3
 :1005B0008B008B008B008B008B008B008B008B00E3
 :1005C0008B008B008B008B008B008B008B008B00D3
 :1005D0008B008B008B008B008B008B008B008B00C3
 :1005E0008B008B008B008B008B008B008B008B00B3
 :1005F0008B008B008B008B008B008B008B008B00A3
 :100600008B008B008B008B008B008B008B008B0092
 :100610008B008B008B008B008B008B008B008B0082
 :100620008B008B008B008B008B008B008B008B0072
 :100630008B008B008B008B008B008B008B008B0062
 :100640008B008B008B008B008B008B008B008B0052
 :100650008B008B008B008B008B008B008B008B0042
 :100660008B008B008B008B008B008B008B008B0032
 :100670008B008B008B008B008B008B008B008B0022
 :100680008B008B008B008B008B008B008B008B0012
 :100690008B008B008B008B008B008B008B008B0002
 :1006A0008B008B008B008B008B008B008B008B00F2
 :1006B0008B008B008B008B008B008B008B008B00E2
 :1006C0008B008B008B008B008B008B008B008B00D2
 :1006D0008B008B008B008B008B008B008B008B00C2
 :1006E0008B008B008B008B008B008B008B008B00B2
 :1006F0008B008B008B008B008B008B008B008B00A2
 :100700008B008B008B008B008B008B008B008B0091
 :100710008B008B008B008B008B008B008B008B0081
 :100720008B008B008B008B008B008B008B008B0071
 :100730008B008B008B008B008B008B008B008B0061

:100740008B008B008B008B008B008B008B008B0051
 :100750008B008B008B008B008B008B008B008B0041
 :100760008B008B008B008B008B008B008B008B0031
 :100770008B008B008B008B008B008B008B008B0021
 :100780008B008B008B008B008B008B008B008B0011
 :100790008B008B008B008B008B008B008B008B0001
 :1007A0008B008B008B008B008B008B008B008B00F1
 :1007B0008B008B008B008B008B008B008B008B00E1
 :1007C0008B008B008B008B008B008B008B008B00D1
 :1007D0008B008B008B008B008B008B008B008B00C1
 :1007E0008B008B008B008B008B008B008B008B00B1
 :1007F0008B008B008B008B008B008B008B008B00A1
 :100800008B008B008B008B008B008B008B008B0090
 :100810008B008B008B008B008B008B008B008B0080
 :100820008B008B008B008B008B008B008B008B0070
 :100830008B008B008B008B008B008B008B008B0060
 :100840008B008B008B008B008B008B008B008B0050
 :100850008B008B008B008B008B008B008B008B0040
 :100860008B008B008B008B008B008B008B008B0030
 :100870008B008B008B008B008B008B008B008B0020
 :100880008B008B008B008B008B008B008B008B0010
 :100890008B008B008B008B008B008B008B008B0000
 :1008A0008B008B008B008B008B008B008B008B00F0
 :1008B0008B008B008B008B008B008B008B008B00E0
 :1008C0008B008B008B008B008B008B008B008B00D0
 :1008D0008B008B008B008B008B008B008B008B00C0
 :1008E0008B008B008B008B008B008B008B008B00B0
 :1008F0008B008B008B008B008B008B008B008B00A0
 :100900008B008B008B008B008B008B008B008B008F

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

:100910008B008B008B008B008B008B008B008B007F
 :100920008B008B008B008B008B008B008B008B006F
 :100930008B008B008B008B008B008B008B008B005F
 :100940008B008B008B008B008B008B008B008B004F
 :100950008B008B008B008B008B008B008B008B003F
 :100960008B008B008B008B008B008B008B008B002F
 :100970008B008B008B008B008B008B008B008B001F
 :100980008B008B008B008B008B008B008B008B000F
 :100990008B008B008B008B008B008B008B008B00FF
 :1009A0008B008B008B008B008B008B008B008B00EF
 :1009B0008B008B008B008B008B008B008B008B00DF
 :1009C0008B008B008B008B008B008B008B008B00CF
 :1009D0008B008B008B008B008B008B008B008B00BF
 :1009E0008B008B008B008B008B008B008B008B00AF
 :1009F0008B008B008B008B008B008B008B008B009F
 :100A00008B008B008B008B008B008B008B008B008E
 :100A10008B008B008B008B008B008B008B008B007E
 :100A20008B008B008B008B008B008B008B008B006E
 :100A30008B008B008B008B008B008B008B008B005E
 :100A40008B008B008B008B008B008B008B008B004E
 :100A50008B008B008B008B008B008B008B008B003E
 :100A60008B008B008B008B008B008B008B008B002E
 :100A70008B008B008B008B008B008B008B008B001E
 :100A80008B008B008B008B008B008B008B008B000E
 :100A90008B008B008B008B008B008B008B008B00FE
 :100AA0008B008B008B008B008B008B008B008B00EE
 :100AB0008B008B008B008B008B008B008B008B00DE
 :100AC0008B008B008B008B008B008B008B008B00CE
 :100AD0008B008B008B008B008B008B008B008B00BE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

:100AE0008B008B008B008B008B008B008B008B008B00AE
:100AF0008B008B008B008B008B008B008B008B008B009E
:100B00008B008B008B008B008B008B008B008B008B008D
:100B10008B008B008B008B008B008B008B008B008B007D
:100B20008B008B008B008B008B008B008B008B008B006D
:100B30008B008B008B008B008B008B008B008B008B005D
:100B40008B008B008B008B008B008B008B008B008B004D
:100B50008B008B008B008B008B008B008B008B008B003D
:100B60008B008B008B008B008B008B008B008B008B002D
:100B70008B008B008B008B008B008B008B008B008B001D
:100B80008B008B008B008B008B008B008B008B008B000D
:100B90008B008B008B008B008B008B008B008B008B00FD
:100BA0008B008B008B008B008B008B008B008B008B00ED
:100BB0008B008B008B008B008B008B008B008B008B00DD
:100BC0008B008B008B008B008B008B008B008B008B00CD
:100BD0008B008B008B008B008B008B008B008B008B00BD
:100BE0008B008B008B008B008B008B008B008B008B00AD
:100BF0008B008B008B008B008B008B008B008B008B009D
:100C00008B008B008B008B008B008B008B008B008B008C
:100C10008B008B008B008B008B008B008B008B008B007C
:100C20008B008B008B008B008B008B008B008B008B006C
:100C30008B008B008B008B008B008B008B008B008B005C
:100C40008B008B008B008B008B008B008B008B008B004C
:100C50008B008B008B008B008B008B008B008B008B003C
:100C60008B008B008B008B008B008B008B008B008B002C
:100C70008B008B008B008B008B008B008B008B008B001C
:100C80008B008B008B008B008B008B008B008B008B000C
:100C90008B008B008B008B008B008B008B008B008B00FC
:100CA0008B008B008B008B008B008B008B008B008B00EC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

:100CB0008B008B008B008B008B008B008B008B008B00DC
 :100CC0008B008B008B008B008B008B008B008B008B00CC
 :100CD0008B008B008B008B008B008B008B008B008B00BC
 :100CE0008B008B008B008B008B008B008B008B008B00AC
 :100CF0008B008B008B008B008B008B008B008B008B009C
 :100D00008B008B008B008B008B008B008B008B008B008B
 :100D10008B008B008B008B008B008B008B008B008B007B
 :100D20008B008B008B008B008B008B008B008B008B006B
 :100D30008B008B008B008B008B008B008B008B008B005B
 :100D40008B008B008B008B008B008B008B008B008B004B
 :100D50008B008B008B008B008B008B008B008B008B003B
 :100D60008B008B008B008B008B008B008B008B008B002B
 :100D70008B008B008B008B008B008B008B008B008B001B
 :100D80008B008B008B008B008B008B008B008B008B000B
 :100D90008B008B008B008B008B008B008B008B008B00FB
 :100DA0008B008B008B008B008B008B008B008B008B00EB
 :100DB0008B008B008B008B008B008B008B008B008B00DB
 :100DC0008B008B008B008B008B008B008B008B008B00CB
 :100DD0008B008B008B008B008B008B008B008B008B00BB
 :100DE0008B008B008B008B008B008B008B008B008B00AB
 :100DF0008B008B008B008B008B008B008B008B008B009B
 :100E00008B008B008B008B008B008B008B008B008B008A
 :100E10008B008B008B008B008B008B008B008B008B007A
 :100E20008B008B008B008B008B008B008B008B008B006A
 :100E30008B008B008B008B008B008B008B008B008B005A
 :100E40008B008B008B008B008B008B008B008B008B004A
 :100E50008B008B008B008B008B008B008B008B008B003A
 :100E60008B008B008B008B008B008B008B008B008B002A
 :100E70008B008B008B008B008B008B008B008B008B001A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

:100E80008B008B008B008B008B008B008B008B000A
 :100E90008B008B008B008B008B008B008B008B00FA
 :100EA0008B008B008B008B008B008B008B008B00EA
 :100EB0008B008B008B008B008B008B008B008B00DA
 :100EC0008B008B008B008B008B008B008B008B00CA
 :100ED0008B008B008B008B008B008B008B008B00BA
 :100EE0008B008B008B008B008B008B008B008B00AA
 :100EF0008B008B008B008B008B008B008B008B009A
 :100F00008B008B008B008B008B008B008B008B0089
 :100F10008B008B008B008B008B008B008B008B0079
 :100F20008B008B008B008B008B008B008B008B0069
 :100F30008B008B008B008B008B008B008B008B0059
 :100F40008B008B008B008B008B008B008B008B0049
 :100F50008B008B008B008B008B008B008B008B0039
 :100F60008B008B008B008B008B008B008B008B0029
 :100F70008B008B008B008B008B008B008B008B0019
 :100F80008B008B008B008B008B008B008B008B0009
 :100F90008B008B008B008B008B008B008B008B00F9
 :100FA0008B008B008B008B008B008B008B008B00E9
 :100FB0008B008B008B008B008B008B008B008B00D9
 :100FC0008B008B008B008B008B008B008B008B00C9
 :100FD0008B008B008B008B008B008B008B008B00B9
 :100FE0008B008B008B008B008B008B008B008B00A9
 :100FF0008B008B008B008B008B008B008B008B0099
 :101000008B008B008B008B008B008B008B008B0088
 :101010008B008B008B008B008B008B008B008B0078
 :101020008B008B008B008B008B008B008B008B0068
 :101030008B008B008B008B008B008B008B008B0058
 :101040008B008B008B008B008B008B008B008B0048

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

:101050008B008B008B008B008B008B008B008B0038
 :101060008B008B008B008B008B008B008B008B0028
 :101070008B008B008B008B008B008B008B008B0018
 :101080008B008B008B008B008B008B008B008B0008
 :101090008B008B008B008B008B008B008B008B00F8
 :1010A0008B008B008B008B008B008B008B008B00E8
 :1010B0008B008B008B008B008B008B008B008B00D8
 :1010C0008B008B008B008B008B008B008B008B00C8
 :1010D0008B008B008B008B008B008B008B008B00B8
 :1010E0008B008B008B008B008B008B008B008B00A8
 :1010F0008B008B008B008B008B008B008B008B0098
 :101100008B008B008B008B008B008B008B008B0087
 :101110008B008B008B008B008B008B008B008B0077
 :101120008B008B008B008B008B008B008B008B0067
 :101130008B008B008B008B008B008B008B008B0057
 :101140008B008B008B008B008B008B008B008B0047
 :101150008B008B008B008B008B008B008B008B0037
 :101160008B008B008B008B008B008B008B008B0027
 :101170008B008B008B008B008B008B008B008B0017
 :101180008B008B008B008B008B008B008B008B0007
 :101190008B008B008B008B008B008B008B008B00F7
 :1011A0008B008B008B008B008B008B008B008B00E7
 :1011B0008B008B008B008B008B008B008B008B00D7
 :1011C0008B008B008B008B008B008B008B008B00C7
 :1011D0008B008B008B008B008B008B008B008B00B7
 :1011E0008B008B008B008B008B008B008B008B00A7
 :1011F0008B008B008B008B008B008B008B008B0097
 :101200008B008B008B008B008B008B008B008B0086
 :101210008B008B008B008B008B008B008B008B0076

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

:101220008B008B008B008B008B008B008B008B0066
:101230008B008B008B008B008B008B008B008B0056
:101240008B008B008B008B008B008B008B008B0046
:101250008B008B008B008B008B008B008B008B0036
:101260008B008B008B008B008B008B008B008B0026
:101270008B008B008B008B008B008B008B008B0016
:101280008B008B008B008B008B008B008B008B0006
:101290008B008B008B008B008B008B008B008B00F6
:1012A0008B008B008B008B008B008B008B008B00E6
:1012B0008B008B008B008B008B008B008B008B00D6
:1012C0008B008B008B008B008B008B008B008B00C6
:1012D0008B008B008B008B008B008B008B008B00B6
:1012E0008B008B008B008B008B008B008B008B00A6
:1012F0008B008B008B008B008B008B008B008B0096
:101300008B008B008B008B008B008B008B008B0085
:101310008B008B008B008B008B008B008B008B0075
:101320008B008B008B008B008B008B008B008B0065
:101330008B008B008B008B008B008B008B008B0055
:101340008B008B008B008B008B008B008B008B0045
:101350008B008B008B008B008B008B008B008B0035
:101360008B008B008B008B008B008B008B008B0025
:101370008B008B008B008B008B008B008B008B0015
:101380008B008B008B008B008B008B008B008B0005
:101390008B008B008B008B008B008B008B008B00F5
:1013A0008B008B008B008B008B008B008B008B00E5
:1013B0008B008B008B008B008B008B008B008B00D5
:1013C0008B008B008B008B008B008B008B008B00C5
:1013D0008B008B008B008B008B008B008B008B00B5
:1013E0008B008B008B008B008B008B008B008B00A5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

:1013F0008B008B008B008B008B008B008B008B008B0095
:101400008B008B008B008B008B008B008B008B008B0084
:101410008B008B008B008B008B008B008B008B0074
:101420008B008B008B008B008B008B008B008B0064
:101430008B008B008B008B008B008B008B008B0054
:101440008B008B008B008B008B008B008B008B0044
:101450008B008B008B008B008B008B008B008B0034
:101460008B008B008B008B008B008B008B008B0024
:101470008B008B008B008B008B008B008B008B0014
:101480008B008B008B008B008B008B008B008B0004
:101490008B008B008B008B008B008B008B008B00F4
:1014A0008B008B008B008B008B008B008B008B00E4
:1014B0008B008B008B008B008B008B008B008B00D4
:1014C0008B008B008B008B008B008B008B008B00C4
:1014D0008B008B008B008B008B008B008B008B00B4
:1014E0008B008B008B008B008B008B008B008B00A4
:1014F0008B008B008B008B008B008B008B008B0094
:101500008B008B008B008B008B008B008B008B0083
:101510008B008B008B008B008B008B008B008B0073
:101520008B008B008B008B008B008B008B008B0063
:101530008B008B008B008B008B008B008B008B0053
:101540008B008B008B008B008B008B008B008B0043
:101550008B008B008B008B008B008B008B008B0033
:101560008B008B008B008B008B008B008B008B0023
:101570008B008B008B008B008B008B008B008B0013
:101580008B008B008B008B008B008B008B008B0003
:101590008B008B008B008B008B008B008B008B00F3
:1015A0008B008B008B008B008B008B008B008B00E3
:1015B0008B008B008B008B008B008B008B008B00D3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

:1015C0008B008B008B008B008B008B008B008B00C3
 :1015D0008B008B008B008B008B008B008B008B00B3
 :1015E0008B008B008B008B008B008B008B008B00A3
 :1015F0008B008B008B008B008B008B008B008B0093
 :101600008B008B008B008B008B008B008B008B0082
 :101610008B008B008B008B008B008B008B008B0072
 :101620008B008B008B008B008B008B008B008B0062
 :101630008B008B008B008B008B008B008B008B0052
 :101640008B008B008B008B008B008B008B008B0042
 :101650008B008B008B008B008B008B008B008B0032
 :101660008B008B008B008B008B008B008B008B0022
 :101670008B008B008B008B008B008B008B008B0012
 :101680008B008B008B008B008B008B008B008B0002
 :101690008B008B008B008B008B008B008B008B00F2
 :1016A0008B008B008B008B008B008B008B008B00E2
 :1016B0008B008B008B008B008B008B008B008B00D2
 :1016C0008B008B008B008B008B008B008B008B00C2
 :1016D0008B008B008B008B008B008B008B008B00B2
 :1016E0008B008B008B008B008B008B008B008B00A2
 :1016F0008B008B008B008B008B008B008B008B0092
 :101700008B008B008B008B008B008B008B008B0081
 :101710008B008B008B008B008B008B008B008B0071
 :101720008B008B008B008B008B008B008B008B0061
 :101730008B008B008B008B008B008B008B008B0051
 :101740008B008B008B008B008B008B008B008B0041
 :101750008B008B008B008B008B008B008B008B0031
 :101760008B008B008B008B008B008B008B008B0021
 :101770008B008B008B008B008B008B008B008B0011
 :101780008B008B008B008B008B008B008B008B0001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

:101960008B008B008B008B008B008B008B008B001F
 :101970008B008B008B008B008B008B008B008B000F
 :101980008B008B008B008B008B008B008B008B00FF
 :101990008B008B008B008B008B008B008B008B00EF
 :1019A0008B008B008B008B008B008B008B008B00DF
 :1019B0008B008B008B008B008B008B008B008B00CF
 :1019C0008B008B008B008B008B008B008B008B00BF
 :1019D0008B008B008B008B008B008B008B008B00AF
 :1019E0008B008B008B008B008B008B008B008B009F
 :1019F0008B008B008B008B008B008B008B008B008F
 :101A00008B008B0014B71E561B5314510B4014B798
 :101A10001E561B5214500B40FC160F7C13C21A5654
 :101A200017B50C5F0EF50EB90FCD0CE10A0A138342
 :101A3000111D0CAF043109BC0D1E0E7D0B2F07F6D6
 :101A40000A3F0CBB0BB308FE05D60751QA140B1353
 :101A500009030673043207A1096E094408ED064F15
 :101A6000064F08A60727061D052D0673071906ED64
 :101A700005B2042605EE06E006270584051205AE2C
 :101A800005BE05380467040404FE053604F304ADFE
 :101A900003C0045004EA04B8043603C0044B0466CF
 :101AA0000442039303BE0411040103980372033C30
 :101AB000037E03860386034A025B037503470344E0
 :101AC00002BD024B02F002BB02C20294026D028B05
 :101AD0000240024C02220251021801B801CC01E27C
 :101AE00001D7020701980183012800EF012D016F42
 :101AF00001C60159011F00F4010301100115010085
 :101B000000D800D600BF00BA005D006300BD00CF62
 :101B100000D2009F005E004D00560076003B00336F
 :101B2000003800380025FFFCFFF9FFFAFFED000C4C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

:101B3000FFCCFFA8FFAAFFAEFFB8FF6BFF62FF5309
:101B4000FF7DFF78ED80E8BDE470DDE8E7AFED8074
:101B5000E8BDE470DDE8E7AFEF85EADCE6B9E3F97C
:101B6000F49FEF85EADCE6B9E3F9F49FEEB0EBD140
:101B7000E598EBCBFA19EEB0EBD1E598EBCBFA197F
:101B8000F27FF03BED44EF5DF06FF27FF03BED4410
:101B9000EF5DF06FF49FF1D3F019F0AAF2DBF6627B
:101BA000F3D6F16BF039F157F7F2F445F0DAEFBA0A
:101BB000F426F64CF451F0E2F131F81AF481F10F09
:101BC000F2E7F629FA1CF8C0F5EDF427F42FF4FB40
:101BD000F57BF43BF4F2F69BF9E6F688F4E6F59F24
:101BE000F758FA0EFF04FED6FF13FF1FFF3FFE962
:101BF000FEB5FE84FE66FEB7FD7EFDE1FDCCFE8BEC
:101C0000FFB5FE56FDF0FDA6FDB5FDC0FE40FDABE7
:101C1000FD09FCF8FD33FD8AFCFBFCD9FD04FCBD8D
:101C2000FD96FC5FFC11FC54FC85FB5DFB26FBDB99
:101C3000FC66FD6AFA7FF935F94FF9ACFAF9FACA90
:101C4000F9DBF9DEFA73FB5DFB6BFB54FB66FA967E
:101C5000FA2CFB2AFB01FB21FBB5FC79F863F6713A
:101C6000F752F776F83DF925F786F754F826F8ABE2
:101C7000F8F2F743F843F90CFA38FAD0F98FF93053
:041C8000F892F84A94
:01FFFF008180



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

*

* **Real time Quantivector (transmit)**

*

```

    .mmregs
BUF1 .SET 300h
BUF2 .SET 305h
BUF3 .SET 310h
BUF4 .SET 320h
lo   .set 5
CB   .SET 1500h
MCB  .SET 1700h
L1   .SET 3
L2   .SET 63
ACL  .SET 330h
BITLEN .SET 081h
BITLEN2 .SET 020h

.ps 0806h
.ps 080ah
    b   rint
.ps 083Eh
.entry
    lar   ar0,#0h
    lar   ar0,#0h
start: ldp   #0           ; Set data page pointer
    CLRC  SXM
    clrc  IPTR
    OPL   #800h,PMST     ; 9K on-chip RAM as Data, No ROM

```

```

splk    #834h,PMST
lacl   #0           ; Set Wait State Control Register
samm   CWSR        ; for 0 waits in pgm & data memory
samm   PDWSR       ;

```

*

*** initialize and reset serial port**

*

```

splk   #20h,TCR
splk   #1,PRD
mar    *,AR0
lacl   #08h       ; set FSM bit for FSX/FSR per frame
samm   spc        ; Configure for 16 bit mode with
lacl   #0C8h      ; external CLKX, reset tx and rx
samm   spc
lamm   drr        ; clear first int
lacc   #0080h
sach   dxr        ; clear first int
sacl   GREG       ; Pulse AIC reset by setting it low
lar    AR0,#0FFFFh
rpt    #10000     ; and taking it high after 1000 cycles
lacc   *,0,AR0   ; (.5ms at 50ns)
sach   GREG
setc   SXM
setc   OVM

```

```
splk   #0ffff,IFR
```

```
splk   #10h,IMR
```

```

CLRC INTM
call  setcb      ;set code book
lar   ar0,#lo
LAR   AR1,#BUF1
LAR   AR5,#BUF4
mar   *,ar1
splk  #0h,*,ar1

loop1:
idle
banz  loop1,*,AR0
call  fadd,*,ar1
lar   ar0,#lo
LAR   AR1,#BUF1
mar   *,ar1
splk  #0h,*,ar1
b     loop1
end   b     end

;*****
jnt2:
call  dcadd
ret

;*****

rint:
setc  intm
lamm  drr
SAMM DXR
mar   *,ar1
add   *,0,ar1

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

sac1    *,0,ar0
mar     *-,ar0
clrc    intm
splk    #0ffff,IFR
rete

```

```

,*****

```

```

setcb:

```

```

lar     ar0,#CB
lar     ar1,#L2
lar     ar3,#MCB

```

```

setcb2:

```

```

lar     ar2,#L1
mar     *,ar0
lacc    *+

```

```

setcb1:

```

```

add     *+,0,ar2
banz    setcb1,*-,ar0
mar     *,ar3
sac1    *+,0,ar1
banz    setcb2,*-,ar2
ret

```

```

,*****

```

```

fadd:

```

```

lar     ar2,#BUF2
lar     ar3,#BUF3
lar     ar4,#MCB
lar     ar6,#62

```

```

mar    *,ar1
lacc   *,0,ar2
sac1   *,0,ar4
sub    *+,0,ar2
abs
sacb

```

fadd1:

```

mar    *,ar2
lacc   *,0,ar4
sub    *+,0,ar6
abs
crlt
banz   fadd2,*-,ar6
b      fadd3*,ar3

```

fadd2:

```

bcnd   fadd1,nc
sar    ar4,ar3
b      fadd1*,ar2

```

fadd3:

```

lacc   *-
lacc   ar3
sub    #1700h,0
setc   intm
call   xmtbyte
clrc   intm
ret

```

dcadd:

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

LAR   AR5,#BUF4
      mar   *,ar5
      sacl  *
      lt    *
      mpy   #5
      lacc  #1500h
      apac
      sacl  ar5

```

xt:

```

LAR   AR7,#4
XT1:  lacc  *,l,ar7
      samm dxr
      BANZ XT1,*-,AR5
      ret

```

;*****

xmtbyte:

```

      clrc c      ; startbit=0
      lar ar5,#8  ; counter: 1 startbit+ 8 databits (+ 2 stopbits)
nextbit1 bcnd snd0,nc ; if c=1 send 1 else send 0
snd1   setc xf    ; send one
      b  snd
snd0   clrc xf
snd    rpt #BITLEN ; send one bit
      mar *,ar5
      ror      ; lsb(accum) -> carrybit
      banz nextbit1,*- ; repeat for entire word (10 bits)
      setc xf
      rpt #BITLEN
      nop

```

```

rpt #BITLEN
nop
ret
;*****
reads:
    rpt #BITLEN
    nop
wait   Bcndd STOK,bio    ;wait for start bit
    lar  AR5,#7
    lacl #0
    B    wait    ;STOK    rpt #BITLEN2    ;BITLEN is scaled and
    nop
    mar  *,AR5    ;number of bits - 1
WTBIT  sfr
    rpt  #BITLEN    ;decremented by 8/3 for
    nop    ;BITLEN/2 wait
    bcnd ZEROBT,bio
    add  #80h
ZEROBT BANZ WTBIT,*-    ;last bit ?
    RET    ;ACC = read value
;*****
    ..listoff
    .include "codeb.asm"
    .liston

```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

:100000008001A0079800843BE3A8B00BE3A8B00B3
:10001000BE3A8B00BE3A8B0079800881BE3A8B00D4
:100020000000000000000079800843000000008C
:10003000000000000000000000000000000000C0
:10004000000000000000000000000000000000B0
:10005000000000000000000000000000000000A0
:1000600000000000000000000000000000000090
:1000700000000000000000000000000000000080
:10008000B000B000BC00BE46BE5C5D070800AE0715
:100090000834B900882A8828AE260020AE25000141
:1000A0008B88B9088822B9C888220820BF800080C0
:1000B00098219005BF08FFFFBEC42710108898053F
:1000C000BE47BE43AE06FFFFAE040010BE407A80BE
:1000D000088AB005BF090300BF0D03208B89AE89D4
:1000E0000000BE227B88086F7A89089AB005BF0994
:1000F00003008B89AE8900007980086F7980087CC5
:100100007A8008BEEF00082088218B89208990889A
:100110008B98AE06FFFFBE3ABF081500B13FBF0B7C
:100120001700B2038B8810A020AA7B9808928B8BB3
:1001300090A97B9A088FEF00BF0A0305BF0B03103D
:10014000BF0C1700B63E8B89108A908C30AABE0077
:10015000BE1E8B8A108C30AE00BE1C7B9E08B0CB
:10016000798B08B5E30108A78413798A08A7109052
:100170001013BFA01700BE417A8008CEBE40EF002A
:10018000BF0D03208B8D90807380C005BF8015004C
:10019000BE049015B70411AF88217B9D08C9EF00FC
:1001A000BE4EB508E30108D5BE4D798008D6BE4CD9
:1001B000BB818B8DBE0D7B9008D0BE4DBB818B006B
:1001C000BB818B00EF00BB818B00F00008E9B50715

:1001D000B900798008E3BB208B008B8DBE0ABB8100
:1001E0008B00E00008F2B8807B9008ECE008B0086
:1001F000EF008B008B008B008B008B008B0086
:100200008B008B008B008B008B008B008B0086
:100210008B008B008B008B008B008B008B0086
:100220008B008B008B008B008B008B008B0076
:100230008B008B008B008B008B008B008B0066
:100240008B008B008B008B008B008B008B0056
:100250008B008B008B008B008B008B008B0046
:100260008B008B008B008B008B008B008B0036
:100270008B008B008B008B008B008B008B0026
:100280008B008B008B008B008B008B008B0016
:100290008B008B008B008B008B008B008B0006
:1002A0008B008B008B008B008B008B008B00F6
:1002B0008B008B008B008B008B008B008B00E6
:1002C0008B008B008B008B008B008B008B00D6
:1002D0008B008B008B008B008B008B008B00C6
:1002E0008B008B008B008B008B008B008B00B6
:1002F0008B008B008B008B008B008B008B00A6
:100300008B008B008B008B008B008B008B0095
:100310008B008B008B008B008B008B008B0085
:100320008B008B008B008B008B008B008B0075
:100330008B008B008B008B008B008B008B0065
:100340008B008B008B008B008B008B008B0055
:100350008B008B008B008B008B008B008B0045
:100360008B008B008B008B008B008B008B0035
:100370008B008B008B008B008B008B008B0025
:100380008B008B008B008B008B008B008B0015
:100390008B008B008B008B008B008B008B0005

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

:1003A0008B008B008B008B008B008B008B008B008B00F5
 :1003B0008B008B008B008B008B008B008B008B008B00E5
 :1003C0008B008B008B008B008B008B008B008B008B00D5
 :1003D0008B008B008B008B008B008B008B008B008B00C5
 :1003E0008B008B008B008B008B008B008B008B008B00B5
 :1003F0008B008B008B008B008B008B008B008B008B00A5
 :100400008B008B008B008B008B008B008B008B008B0094
 :100410008B008B008B008B008B008B008B008B008B0084
 :100420008B008B008B008B008B008B008B008B008B0074
 :100430008B008B008B008B008B008B008B008B008B0064
 :100440008B008B008B008B008B008B008B008B008B0054
 :100450008B008B008B008B008B008B008B008B008B0044
 :100460008B008B008B008B008B008B008B008B008B0034
 :100470008B008B008B008B008B008B008B008B008B0024
 :100480008B008B008B008B008B008B008B008B008B0014
 :100490008B008B008B008B008B008B008B008B008B0004
 :1004A0008B008B008B008B008B008B008B008B008B00F4
 :1004B0008B008B008B008B008B008B008B008B008B00E4
 :1004C0008B008B008B008B008B008B008B008B008B00D4
 :1004D0008B008B008B008B008B008B008B008B008B00C4
 :1004E0008B008B008B008B008B008B008B008B008B00B4
 :1004F0008B008B008B008B008B008B008B008B008B00A4
 :100500008B008B008B008B008B008B008B008B008B0093
 :100510008B008B008B008B008B008B008B008B008B0083
 :100520008B008B008B008B008B008B008B008B008B0073
 :100530008B008B008B008B008B008B008B008B008B0063
 :100540008B008B008B008B008B008B008B008B008B0053
 :100550008B008B008B008B008B008B008B008B008B0043
 :100560008B008B008B008B008B008B008B008B008B0033

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

:100570008B008B008B008B008B008B008B008B0023
:100580008B008B008B008B008B008B008B008B0013
:100590008B008B008B008B008B008B008B008B0003
:1005A0008B008B008B008B008B008B008B008B00F3
:1005B0008B008B008B008B008B008B008B008B00E3
:1005C0008B008B008B008B008B008B008B008B00D3
:1005D0008B008B008B008B008B008B008B008B00C3
:1005E0008B008B008B008B008B008B008B008B00B3
:1005F0008B008B008B008B008B008B008B008B00A3
:100600008B008B008B008B008B008B008B008B0092
:100610008B008B008B008B008B008B008B008B0082
:100620008B008B008B008B008B008B008B008B0072
:100630008B008B008B008B008B008B008B008B0062
:100640008B008B008B008B008B008B008B008B0052
:100650008B008B008B008B008B008B008B008B0042
:100660008B008B008B008B008B008B008B008B0032
:100670008B008B008B008B008B008B008B008B0022
:100680008B008B008B008B008B008B008B008B0012
:100690008B008B008B008B008B008B008B008B0002
:1006A0008B008B008B008B008B008B008B008B00F2
:1006B0008B008B008B008B008B008B008B008B00E2
:1006C0008B008B008B008B008B008B008B008B00D2
:1006D0008B008B008B008B008B008B008B008B00C2
:1006E0008B008B008B008B008B008B008B008B00B2
:10Q6F0008B008B008B008B008B008B008B008B00A2
:100700008B008B008B008B008B008B008B008B0091
:100710008B008B008B008B008B008B008B008B0081
:100720008B008B008B008B008B008B008B008B0071
:100730008B008B008B008B008B008B008B008B0061

:100740008B008B008B008B008B008B008B008B005I
 :100750008B008B008B008B008B008B008B008B004I
 :100760008B008B008B008B008B008B008B008B003I
 :100770008B008B008B008B008B008B008B008B002I
 :100780008B008B008B008B008B008B008B008B001I
 :100790008B008B008B008B008B008B008B008B000I
 :1007A0008B008B008B008B008B008B008B008B00F1
 :1007B0008B008B008B008B008B008B008B008B00E1
 :1007C0008B008B008B008B008B008B008B008B00D1
 :1007D0008B008B008B008B008B008B008B008B00C1
 :1007E0008B008B008B008B008B008B008B008B00B1
 :1007F0008B008B008B008B008B008B008B008B00A1
 :100800008B008B008B008B008B008B008B008B0090
 :100810008B008B008B008B008B008B008B008B0080
 :100820008B008B008B008B008B008B008B008B0070
 :100830008B008B008B008B008B008B008B008B0060
 :100840008B008B008B008B008B008B008B008B0050
 :100850008B008B008B008B008B008B008B008B0040
 :100860008B008B008B008B008B008B008B008B0030
 :100870008B008B008B008B008B008B008B008B0020
 :100880008B008B008B008B008B008B008B008B0010
 :100890008B008B008B008B008B008B008B008B0000
 :1008A0008B008B008B008B008B008B008B008B00F0
 :1008B0008B008B008B008B008B008B008B008B00E0
 :1008C0008B008B008B008B008B008B008B008B00D0
 :1008D0008B008B008B008B008B008B008B008B00C0
 :1008E0008B008B008B008B008B008B008B008B00B0
 :1008F0008B008B008B008B008B008B008B008B00A0
 :100900008B008B008B008B008B008B008B008B008F

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

:100910008B008B008B008B008B008B008B008B007F
:100920008B008B008B008B008B008B008B008B006F
:100930008B008B008B008B008B008B008B008B005F
:100940008B008B008B008B008B008B008B008B004F
:100950008B008B008B008B008B008B008B008B003F
:100960008B008B008B008B008B008B008B008B002F
:100970008B008B008B008B008B008B008B008B001F
:100980008B008B008B008B008B008B008B008B000F
:100990008B008B008B008B008B008B008B008B00FF
:1009A0008B008B008B008B008B008B008B008B00EF
:1009B0008B008B008B008B008B008B008B008B00DF
:1009C0008B008B008B008B008B008B008B008B00CF
:1009D0008B008B008B008B008B008B008B008B00BF
:1009E0008B008B008B008B008B008B008B008B00AF
:1009F0008B008B008B008B008B008B008B008B009F
:100A00008B008B008B008B008B008B008B008B008E
:100A10008B008B008B008B008B008B008B008B007E
:100A20008B008B008B008B008B008B008B008B006E
:100A30008B008B008B008B008B008B008B008B005E
:100A40008B008B008B008B008B008B008B008B004E
:100A50008B008B008B008B008B008B008B008B003E
:100A60008B008B008B008B008B008B008B008B002E
:100A70008B008B008B008B008B008B008B008B001E
:100A80008B008B008B008B008B008B008B008B000E
:100A90008B008B008B008B008B008B008B008B00FE
:100AA0008B008B008B008B008B008B008B008B00EE
:100AB0008B008B008B008B008B008B008B008B00DE
:100AC0008B008B008B008B008B008B008B008B00CE
:100AD0008B008B008B008B008B008B008B008B00BE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

:100AE0008B008B008B008B008B008B008B008B008B00AE
:100AF0008B008B008B008B008B008B008B008B008B009E
:100B00008B008B008B008B008B008B008B008B008B008D
:100B10008B008B008B008B008B008B008B008B008B007D
:100B20008B008B008B008B008B008B008B008B008B006D
:100B30008B008B008B008B008B008B008B008B008B005D
:100B40008B008B008B008B008B008B008B008B008B004D
:100B50008B008B008B008B008B008B008B008B008B003D
:100B60008B008B008B008B008B008B008B008B008B002D
:100B70008B008B008B008B008B008B008B008B008B001D
:100B80008B008B008B008B008B008B008B008B008B000D
:100B90008B008B008B008B008B008B008B008B008B00FD
:100BA0008B008B008B008B008B008B008B008B008B00ED
:100BB0008B008B008B008B008B008B008B008B008B00DD
:100BC0008B008B008B008B008B008B008B008B008B00CD
:100BD0008B008B008B008B008B008B008B008B008B00BD
:100BE0008B008B008B008B008B008B008B008B008B00AD
:100BF0008B008B008B008B008B008B008B008B008B009D
:100C00008B008B008B008B008B008B008B008B008B008C
:100C10008B008B008B008B008B008B008B008B008B007C
:100C20008B008B008B008B008B008B008B008B008B006C
:100C30008B008B008B008B008B008B008B008B008B005C
:100C40008B008B008B008B008B008B008B008B008B004C
:100C50008B008B008B008B008B008B008B008B008B003C
:100C60008B008B008B008B008B008B008B008B008B002C
:100C70008B008B008B008B008B008B008B008B008B001C
:100C80008B008B008B008B008B008B008B008B008B000C
:100C90008B008B008B008B008B008B008B008B008B00FC
:100CA0008B008B008B008B008B008B008B008B008B00EC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

:100CB0008B008B008B008B008B008B008B008B008B00DC
 :100CC0008B008B008B008B008B008B008B008B008B00CC
 :100CD0008B008B008B008B008B008B008B008B008B00BC
 :100CE0008B008B008B008B008B008B008B008B008B00AC
 :100CF0008B008B008B008B008B008B008B008B008B009C
 :100D00008B008B008B008B008B008B008B008B008B008B
 :100D10008B008B008B008B008B008B008B008B008B007B
 :100D20008B008B008B008B008B008B008B008B008B006B
 :100D30008B008B008B008B008B008B008B008B008B005B
 :100D40008B008B008B008B008B008B008B008B008B004B
 :100D50008B008B008B008B008B008B008B008B008B003B
 :100D60008B008B008B008B008B008B008B008B008B002B
 :100D70008B008B008B008B008B008B008B008B008B001B
 :100D80008B008B008B008B008B008B008B008B008B000B
 :100D90008B008B008B008B008B008B008B008B008B00FB
 :100DA0008B008B008B008B008B008B008B008B008B00EB
 :100DB0008B008B008B008B008B008B008B008B008B00DB
 :100DC0008B008B008B008B008B008B008B008B008B00CB
 :100DD0008B008B008B008B008B008B008B008B008B00BB
 :100DE0008B008B008B008B008B008B008B008B008B00AB
 :100DF0008B008B008B008B008B008B008B008B008B009B
 :100E00008B008B008B008B008B008B008B008B008B008A
 :100E10008B008B008B008B008B008B008B008B008B007A
 :100E20008B008B008B008B008B008B008B008B008B006A
 :100E30008B008B008B008B008B008B008B008B008B005A
 :100E40008B008B008B008B008B008B008B008B008B004A
 :100E50008B008B008B008B008B008B008B008B008B003A
 :100E60008B008B008B008B008B008B008B008B008B002A
 :100E70008B008B008B008B008B008B008B008B008B001A

:100E80008B008B008B008B008B008B008B008B000A
 :100E90008B008B008B008B008B008B008B008B00FA
 :100EA0008B008B008B008B008B008B008B008B00EA
 :100EB0008B008B008B008B008B008B008B008B00DA
 :100EC0008B008B008B008B008B008B008B008B00CA
 :100ED0008B008B008B008B008B008B008B008B00BA
 :100EE0008B008B008B008B008B008B008B008B00AA
 :100EF0008B008B008B008B008B008B008B008B009A
 :100F00008B008B008B008B008B008B008B008B0089
 :100F10008B008B008B008B008B008B008B008B0079
 :100F20008B008B008B008B008B008B008B008B0069
 :100F30008B008B008B008B008B008B008B008B0059
 :100F40008B008B008B008B008B008B008B008B0049
 :100F50008B008B008B008B008B008B008B008B0039
 :100F60008B008B008B008B008B008B008B008B0029
 :100F70008B008B008B008B008B008B008B008B0019
 :100F80008B008B008B008B008B008B008B008B0009
 :100F90008B008B008B008B008B008B008B008B00F9
 :100FA0008B008B008B008B008B008B008B008B00E9
 :100FB0008B008B008B008B008B008B008B008B00D9
 :100FC0008B008B008B008B008B008B008B008B00C9
 :100FD0008B008B008B008B008B008B008B008B00B9
 :100FE0008B008B008B008B008B008B008B008B00A9
 :100FF0008B008B008B008B008B008B008B008B0099
 :101000008B008B008B008B008B008B008B008B0088
 :101010008B008B008B008B008B008B008B008B0078
 :101020008B008B008B008B008B008B008B008B0068
 :101030008B008B008B008B008B008B008B008B0058
 :101040008B008B008B008B008B008B008B008B0048

:101050008B008B008B008B008B008B008B008B0038
 :101060008B008B008B008B008B008B008B008B0028
 :101070008B008B008B008B008B008B008B008B0018
 :101080008B008B008B008B008B008B008B008B0008
 :101090008B008B008B008B008B008B008B008B00F8
 :1010A0008B008B008B008B008B008B008B008B00E8
 :1010B0008B008B008B008B008B008B008B008B00D8
 :1010C0008B008B008B008B008B008B008B008B00C8
 :1010D0008B008B008B008B008B008B008B008B00B8
 :1010E0008B008B008B008B008B008B008B008B00A8
 :1010F0008B008B008B008B008B008B008B008B0098
 :101100008B008B008B008B008B008B008B008B0087
 :101110008B008B008B008B008B008B008B008B0077
 :101120008B008B008B008B008B008B008B008B0067
 :101130008B008B008B008B008B008B008B008B0057
 :101140008B008B008B008B008B008B008B008B0047
 :101150008B008B008B008B008B008B008B008B0037
 :101160008B008B008B008B008B008B008B008B0027
 :101170008B008B008B008B008B008B008B008B0017
 :101180008B008B008B008B008B008B008B008B0007
 :101190008B008B008B008B008B008B008B008B00F7
 :1011A0008B008B008B008B008B008B008B008B00E7
 :1011B0008B008B008B008B008B008B008B008B00D7
 :1011C0008B008B008B008B008B008B008B008B00C7
 :1011D0008B008B008B008B008B008B008B008B00B7
 :1011E0008B008B008B008B008B008B008B008B00A7
 :1011F0008B008B008B008B008B008B008B008B0097
 :101200008B008B008B008B008B008B008B008B0086
 :101210008B008B008B008B008B008B008B008B0076

:101220008B008B008B008B008B008B008B008B0066
:101230008B008B008B008B008B008B008B008B0056
:101240008B008B008B008B008B008B008B008B0046
:101250008B008B008B008B008B008B008B008B0036
:101260008B008B008B008B008B008B008B008B0026
:101270008B008B008B008B008B008B008B008B0016
:101280008B008B008B008B008B008B008B008B0006
:101290008B008B008B008B008B008B008B008B00F6
:1012A0008B008B008B008B008B008B008B008B00E6
:1012B0008B008B008B008B008B008B008B008B00D6
:1012C0008B008B008B008B008B008B008B008B00C6
:1012D0008B008B008B008B008B008B008B008B00B6
:1012E0008B008B008B008B008B008B008B008B00A6
:1012F0008B008B008B008B008B008B008B008B0096
:101300008B008B008B008B008B008B008B008B0085
:101310008B008B008B008B008B008B008B008B0075
:101320008B008B008B008B008B008B008B008B0065
:101330008B008B008B008B008B008B008B008B0055
:101340008B008B008B008B008B008B008B008B0045
:101350008B008B008B008B008B008B008B008B0035
:101360008B008B008B008B008B008B008B008B0025
:101370008B008B008B008B008B008B008B008B0015
:101380008B008B008B008B008B008B008B008B0005
:101390008B008B008B008B008B008B008B008B00F5
:1013A0008B008B008B008B008B008B008B008B00E5
:1013B0008B008B008B008B008B008B008B008B00D5
:1013C0008B008B008B008B008B008B008B008B00C5
:1013D0008B008B008B008B008B008B008B008B00B5
:1013E0008B008B008B008B008B008B008B008B00A5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

:1013F0008B008B008B008B008B008B008B008B0095
:101400008B008B008B008B008B008B008B008B0084
:101410008B008B008B008B008B008B008B008B0074
:101420008B008B008B008B008B008B008B008B0064
:101430008B008B008B008B008B008B008B008B0054
:101440008B008B008B008B008B008B008B008B0044
:101450008B008B008B008B008B008B008B008B0034
:101460008B008B008B008B008B008B008B008B0024
:101470008B008B008B008B008B008B008B008B0014
:101480008B008B008B008B008B008B008B008B0004
:101490008B008B008B008B008B008B008B008B00F4
:1014A0008B008B008B008B008B008B008B008B00E4
:1014B0008B008B008B008B008B008B008B008B00D4
:1014C0008B008B008B008B008B008B008B008B00C4
:1014D0008B008B008B008B008B008B008B008B00B4
:1014E0008B008B008B008B008B008B008B008B00A4
:1014F0008B008B008B008B008B008B008B008B0094
:101500008B008B008B008B008B008B008B008B0083
:101510008B008B008B008B008B008B008B008B0073
:101520008B008B008B008B008B008B008B008B0063
:101530008B008B008B008B008B008B008B008B0053
:101540008B008B008B008B008B008B008B008B0043
:101550008B008B008B008B008B008B008B008B0033
:101560008B008B008B008B008B008B008B008B0023
:101570008B008B008B008B008B008B008B008B0013
:101580008B008B008B008B008B008B008B008B0003
:101590008B008B008B008B008B008B008B008B00F3
:1015A0008B008B008B008B008B008B008B008B00E3
:1015B0008B008B008B008B008B008B008B008B00D3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

:1015C0008B008B008B008B008B008B008B008B00C3
 :1015D0008B008B008B008B008B008B008B008B00B3
 :1015E0008B008B008B008B008B008B008B008B00A3
 :1015F0008B008B008B008B008B008B008B008B0093
 :10160008B008B008B008B008B008B008B008B0082
 :101610008B008B008B008B008B008B008B008B0072
 :101620008B008B008B008B008B008B008B008B0062
 :101630008B008B008B008B008B008B008B008B0052
 :101640008B008B008B008B008B008B008B008B0042
 :101650008B008B008B008B008B008B008B008B0032
 :101660008B008B008B008B008B008B008B008B0022
 :101670008B008B008B008B008B008B008B008B0012
 :101680008B008B008B008B008B008B008B008B0002
 :101690008B008B008B008B008B008B008B008B00F2
 :1016A0008B008B008B008B008B008B008B008B00E2
 :1016B0008B008B008B008B008B008B008B008B00D2
 :1016C0008B008B008B008B008B008B008B008B00C2
 :1016D0008B008B008B008B008B008B008B008B00B2
 :1016E0008B008B008B008B008B008B008B008B00A2
 :1016F0008B008B008B008B008B008B008B008B0092
 :10170008B008B008B008B008B008B008B008B0081
 :101710008B008B008B008B008B008B008B008B0071
 :101720008B008B008B008B008B008B008B008B0061
 :101730008B008B008B008B008B008B008B008B0051
 :101740008B008B008B008B008B008B008B008B0041
 :101750008B008B008B008B008B008B008B008B0031
 :101760008B008B008B008B008B008B008B008B0021
 :101770008B008B008B008B008B008B008B008B0011
 :101780008B008B008B008B008B008B008B008B0001

:101960008B008B008B008B008B008B008B008B001F
:101970008B008B008B008B008B008B008B008B000F
:101980008B008B008B008B008B008B008B008B00FF
:101990008B008B008B008B008B008B008B008B00EF
:1019A0008B008B008B008B008B008B008B008B00DF
:1019B0008B008B008B008B008B008B008B008B00CF
:1019C0008B008B008B008B008B008B008B008B00BF
:1019D0008B008B008B008B008B008B008B008B00AF
:1019E0008B008B008B008B008B008B008B008B009F
:1019F0008B008B008B008B008B008B008B008B008F
:101A00008B008B0014B71E561B5314510B4014B798
:101A10001E561B5214500B40FC160F7C13C21A5654
:101A200017B50C5F0EF50EB90FCD0CE10A0A138342
:101A3000111D0CAF043109BC0D1E0E7D0B2F07F6D6
:101A40000A3F0CBB0BB308FE05D607510A140B1353
:101A500009030673043207A1096E094408ED064F15
:101A6000064F08A60727061D052D0673071906ED64
:101A700005B2042605EE06E006270584051205AE2C
:101A800005BE05380467040404FE053604F304ADFE
:101A900003C0045004EA04B8043603C0044B0466CF
:101AA0000442039303BE0411040103980372033C30
:101AB000037E03860386034A025B037503470344E0
:101AC00002BD024B02F002BB02C20294026D028B05
:101AD0000240024C02220251021801B801CC01E27C
:101AE00001D7020701980183012800EF012D016F42
:101AF00001C60159011F00F4010301100115010085
:101B000000D800D600BF00BA005D006300BD00CF62
:101B100000D2009F005E004D00560076003B00336F
:101B2000003800380025FFFCFFF9FFFAFFED000C4C

:101B3000FFCCFFA8FFAAFFAEFFB8FF6BFF62FF5309
 :101B4000FF7DFF78ED80E8BDE470DDE8E7AFED8074
 :101B5000E8BDE470DDE8E7AFEF85EADCE6B9E3F97C
 :101B6000F49FEF85EADCE6B9E3F9F49FEEB0EBD140
 :101B7000E598EBCBFA19EEB0EBD1E598EBCBFA197F
 :101B8000F27FF03BED44EF5DF06FF27FF03BED4410
 :101B9000EF5DF06FF49FF1D3F019F0AAF2DBF6627B
 :101BA000F3D6F16BF039F157F7F2F445F0DAEFBA0A
 :101BB000F426F64CF451F0E2F131F81AF481F10F09
 :101BC000F2E7F629FA1CF8C0F5EDF427F42FF4FB40
 :101BD000F57BF43BF4F2F69BF9E6F688F4E6F59F24
 :101BE000F758FA0EFF04FED6FF13FF1FFF3FFE962
 :101BF000FEB5FE84FE66FEB7FD7EFDE1FDCCFE8BEC
 :101C0000FFB5FE56FDF0FDA6FDB5FDC0FE40FDABE7
 :101C1000FD09FCF8FD33FD8AFCFBFCD9FD04FCBD8D
 :101C2000FD96FC5FFC11FC54FC85FB5DFB26FBDB99
 :101C3000FC66FD6AFA7FF935F94FF9ACFAF9FACA90
 :101C4000F9DBF9DEFA73FB5DFB6BFB54FB66FA967E
 :101C5000FA2CFB2AFB01FB21FBB5FC79F863F6713A
 :101C6000F752F776F83DF925F786F754F826F8ABE2
 :101C7000F8F2F743F843F90CFA38FAD0F98FF93053
 :041C8000F892F84A94
 :01FFFF008180



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

#include <stdio.h>
#include <dos.h>
#include <conio.h>

void wait(int port,char ch);
void sport(int port,char ch);
char rport(int port);
char check_stat(int port);
void port_init(int port,char code);

main(int argc,char *argv[])
{
    int port,ch,c;
    char *fname;
    FILE *fp;
    port = 1;
    clrscr();
    printf(" %s ",argv[1]);
    if(!(fp=fopen(argv[1],"rb"))) {
        printf("cannot open input file \n");

        exit(1);
    }
    port_init(port,0xe7);
    ch = 0x80;
    do{
        sport(port,ch);
    }while(rport(port)!=0x1b);
    c = 0;ch = 0;
    do{

```

```

c = getc(fp);
if(c==0x0d)
{
    c = getc(fp);
    c = getc(fp);
}
c = conv(c)<<4;
ch = getc(fp);
ch = conv(ch);
ch = (ch | c);
iffeof(fp) break;
    printf("\t%X",ch);
    sport(port,ch);
    delay(20);
if(kbhit()) exit(1);
    printf(":%X",rport(port)&0x0ff);
    delay(10);
}while(!feof(fp));
ch = 0x05;
sport(port,ch);
    printf("\n:%X",rport(port)&0x0ff);
ch = 0x0A;
    delay(10);
sport(port,ch);
    printf(":%X",rport(port)&0x0ff);
h = 0x00;
    delay(10);
sport(port,ch);
    printf(":%X",rport(port)&0x0ff);

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

        ch = 0x80;
        delay(10);
        sport(port,ch);
        printf("\n\t\t*****()\n");
        delay(30);
do{
    printf("\t%X",rport(port)&0x0ff);
}while(!kbhit());
}

conv(int ch)
{
    ch = toupper(ch);
    if(ch>=65) {
        ch = ((ch - 65) + 10);
    }
    else {
        ch = ch - 48;
    }
}

void wait(int port,char ch)
{
    delay(10);
    printf(":%X",rport(port)&&0x0ff);

    /* if(rport(port)!=ch) {
        printf("communication error\n");
        exit(1);
    }
}

```

```

}    */

}

void sport(int port,char ch)

```

```

{
    union REGS r;
    r.x.dx = port;
    r.h.al = ch;
    r.h.ah = 1;
    int86(0x14,&r,&r);
    if(r.h.ah & 128) {
        printf("send error detected in serial port...!");
        exit(1);
    }
}

```

```

char rport(int port)
{
    union REGS r;
    /* while(!(check_stat(port)&256))
    if(kbhit()) {
        getch();
        exit(1);
    }*/
    r.x.dx = port;
    r.h.ah = 2;
    int86(0x14,&r,&r);

```

```

/* if(r.h.ah & 128)

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
printf("read error detected in serial port...!");*/
```

```
return r.h.al;
```

```
}
```

```
char check_stat(int port)
```

```
{
```

```
    union REGS r;
```

```
    r.x.dx = port;
```

```
    r.h.ah = 3;
```

```
    int86(0x14,&r,&r);
```

```
    return r.x.ax;
```

```
}
```

```
void port_init(int port,char code)
```

```
{
```

```
    union REGS r;
```

```
    r.x.dx = port;
```

```
    r.h.ah = 0;
```

```
    r.h.al = code;
```

```
    int86(0x14,&r,&r);
```

```
}
```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

#include <stdio.h>
#include <dos.h>
#include <stdlib.h>
#include <fcntl.h>
#include <io.h>
#include <graphics.h>
#include <math.h>

int      xx[1050], C[512], buf[1000], win[200], win1[200];
char     fname [20];
int      handle, GraphDriver=3, GraphMode=1, maxx, maxy,
         CodebookSize, CodebookDimension, *VectorPointer, Codeindex,
         Frame, color, id, cd, handle2, handle3;

char     c;
long     p1, fsize, fl, index, p2, p3, ct;
float    Volt, res1, res2, Stepsize, Theshould, snr, res3, res4;
double   Average[128], Error, ErrorOld=9.9E+10, s;
float    Codebook[10][512], Newbook[10][512], New[10];
float    xn[500], xnd[500];

FILE *record_file;          /* File to accept record-data */
int close_ret;             /* */
int write_ret =            0; /* */

main()
{
    unsigned int  a, b, d, e, f, g, h, i, mx, my;

```

```

clrscr ();
handle = _open ("spl.bin", FA_ARCH); /* Open file */
if (handle<0)
    exit (1);
_read (handle, Codebook, 512*10*4);
_close (handle);
handle2 = _creat ("d.tim", FA_ARCH); /* Open file */
if (handle<0)
    exit (1);
p2=0;
handle3 = _creat ("e.tim", FA_ARCH); /* Open file */
if (handle<0)
    exit (1);
p3=0;
printf ("      Welcome to Codebook design for Vector Quantization.\n");
printf ("\n\n\n");
printf ("Enter Speech file name (Hyper Signal format) : "); scanf ("%s", fname);
printf ("Codebook dimension (1-10) : "); scanf ("%d", &CodebookDimension);
printf ("Codebook size (1-512) : "); scanf ("%d", &CodebookSize);
handle = _open (fname, O_RDONLY); /* Open file */
if (handle<0)
    exit (1);
_read (handle, xx, 20);

/* _write (handle2, xx, 20);

p1=20;          Set file pointer skip header */
if (registerbgidriver(EGAVGA_driver) < 0) exit (1); /* Initialized BGI Driver */
initgraph (&GraphDriver, &GraphMode, ""); /* Initialized graphic */
maxx= getmaxx ();          /* Get MAX_X */

```

```

maxy= getmaxy ();          /* Get MAX_Y */
setfillstyle (SOLID_FILL, 0);
setcolor (11);
rectangle (0, 0, maxx, 12);
rectangle (0, 0, maxx, maxy/2);
rectangle (maxx/2, maxy/2, maxx, maxy);
setcolor (12);
outtextxy (0, 2, "          Vector quantizer application to speech coding.");

fl=filelength (handle);
fl-=20;
d=b=ct=0;
Frame=fl/(CodebookDimension*2);
moveto (0, maxy/2-60-12);

for (a=0; a<Frame; a++)
{
    VectorPointer=xx;
    GetFrameVector (VectorPointer, (long)a);
    res1=(float)(maxx+1)/(float)Frame;
    d=(float)res1*a;
    for (b=0; b<CodebookDimension; b++)
    {
        res2=(Average[b]/(float)(a+1));
        lineto (d, maxy/2-60-12-xx[b]/400);
    }
}

for (a=0; a<128; a++)
    Average[a]=0;

```

```

for (a=0; a<500; a++)
{
    xn[a]=0;
    xnd[a]=0;
}
d=0;
snr=0;
setcolor (15);
moveto (0, maxy/2-60-12);
id=cd=i=0;
for (a=0; a<Frame; a++)
{
    VectorPointer=xx;
    GetFrameVector (VectorPointer, (long)a);
    res1=0;
    g=0;
    for (b=0; b<CodebookDimension; b++, cd++)
    {
        buf[g]=0;
        g++;
        buf[g]=xx[b];
        g++;
        res1=(float)xx[b];
        xn[id]+=res1*res1;
    }
    lseek (handle3, p3, 0);
    _write (handle3, buf, CodebookDimension*4);
    p3+=CodebookDimension*4;
    res1=(float)(maxx+1)/(float)Frame;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

d=(float)res1*a;
f=Minimize (CodebookSize);
res1=0;
g=0;
setcolor (15);
for (b=0; b<CodebookDimension; b++)
{
    win[i]=xx[b];
    winl [i]=(int)Codebook[b][f];
    i++;
    buf[g]=0;
    g++;
    buf[g]=(int)Codebook[b][f];
    g++;
    e=(int)Codebook[b][f]/400;
    lineto (d, maxy/2-60-12-e);
    res1=(float)xx[b];
    res1-=Codebook[b][f];
    xnd[id]+=res1*res1;
}
lseek (handle2, p2, 0);
_write (handle2, buf, CodebookDimension*4);
p2+=CodebookDimension*4;
gotoxy (1, 15);
printf ("Analysis Frame : %d  \n",a );
printf ("Error : %f  Index : %d  ",res2 ,f);
if (cd>=127)
{
    bar (maxx/2+1, maxy/2+1, maxx-1, maxy-1);

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

setcolor (11);
line (maxx/2, (maxy/4)*3, maxx, (maxy/4)*3);
mx=getx ();
my=gety ();
moveto (maxx/2, (maxy/4)*3);
g=maxx/2;
setcolor (12);
for (h=0; h<128; h++, g+=2)
    lineto (g, (maxy/4)*3-win[h]/200);
    moveto (maxx/2, (maxy/4)*3);
    g=maxx/2;
setcolor (15);
for (h=0; h<128; h++, g+=2)
    lineto (g, (maxy/4)*3-win1[h]/200);
moveto (mx, my);
res3=0;
res1=0;
res2=0;
res4=0;
for (h=0; h<128; h++)
{
    res1=(float)(win[h]-win1[h]);
    res1=res1*res1;
    res3+=res1;
    res2=(float)win[h];
    res2=res2*res2;
    res4+=res2;
}
res4/=res3;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

res1=10*log10 (res4);
gotoxy (45, 25);
    printf (" SNR (block) : %f ", res1);
    res2=xn[id]/xnd[id];
    res1=10*log10 (res2);
    cd=0;
if (res1>1)
{
    id++;
    snr+=res1;
}
gotoxy (1, 17);
    printf ("SNR (frame) : %f \n", res1);
if (snr!=0)
    printf ("SNR (total) : %f \n", snr/id );
i=0;
}
if (kbhit()!=0)
{
    c=getch ();
    if (c==27)
    {
        _close (handle);
        closegraph ();
        exit (0);
    }
    else
        getch ();
}
}

```

```

}
_close (handle3);
_close (handle2);
_close (handle);
getch ();
closegraph ();
}

```

```

/*

```

```

GetFrameVector

```

```

*/

```

```

GetFrameVector (int *p, long a)
{
    int  b;
    long pt;

    pt=20+(long)(a*CodebookDimension*2);
    lseek (handle, pt, 0);
    b=_read (handle, p, CodebookDimension*2);
    pt+=b;
    if (b<=0)
    {
        closegraph ();
        printf ("Read Error.");
        getch ();
        exit (1);
    }
}

```

```

}

/*
Minimize
*/
Minimize (int Count)
{
    int a, b, x;
    float x1, x2;
    res2=9E+10;
    for (a=0; a<Count; a++)
    {
        res1=0;
        for (b=0; b<CodebookDimension; b++)
        {
            x1=(float)xx[b];
            x2=Codebook[b][a];
            res1+=x1-x2;
        }
        res1=fabs ((double)res1);
        if (res1<res2)
        {
            res2=res1;
            x=a;
        }
    }
    return (x);
}

```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

#include <stdio.h>
#include <dos.h>
#include <stdlib.h>
#include <fcntl.h>
#include <io.h>
#include <graphics.h>
#include <math.h>

int      xx[1050], C[512];
char     fname [20];
int      handle, GraphDriver=3, GraphMode=1, maxx, maxy,
         CodebookSize, CodebookDimension, *VectorPointer, Codeindex,
         Frame, color, Met;

char     c;
long     pl, fsize, fl, index;
float    Volt, res1, res2, Stepsize, Theshould;
float    Average[128], Error, ErrorOld=9.9E+6, s;
float    Codebook[10][512], Newbook[10][512], New[10];

FILE *record_file;      /* File to accept record-data */
int close_ret;          /* */
int write_ret =        0; /* */

main()
{
    unsigned int  a, b, d, f;

    clrscr ();

    printf ("      Welcome to Codebook design for Vector Quantization.\n");

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

printf ("\n\n\n");
printf ("Enter Speech file name (Hyper Signal format) : "); scanf ("%s", fname);
printf ("Codebook dimension (1-10) : "); scanf ("%d", &CodebookDimension);
printf ("Codebook size (1-512) : "); scanf ("%d", &CodebookSize);
printf ("Step size (0.1-100.0) : "); scanf ("%f", &Stepsize);
printf ("Theshould (0.00001-100.0) : "); scanf ("%f", &Theshould);

handle = _open (fname, O_RDONLY); /* Open file */

if (handle<0)
    exit (1);

pl=20; /* Set file pointer skip header */
if (registerbgidriver(EGAVGA_driver) < 0) exit (1); /* Initialized BGI Driver */
initgraph (&GraphDriver, &GraphMode, ""); /* Initialized graphic */
maxx= getmaxx (); /* Get MAX_X */
maxy= getmaxy (); /* Get MAX_Y */
setcolor (11);
rectangle (0, 0, maxx, 12);
rectangle (0, 0, maxx, maxy/2);
setcolor (12);
outtextxy (0, 2, " Vector quantizer application to speech coding.");

fl=filelength (handle);
fl-=20;
d=b=0;
Frame=fl/(CodebookDimension*2);
moveto (0, maxy/2-60-12);

for (a=0; a<Frame; a++)
{
    VectorPointer=xx;

```

```

GetFrameVector (VectorPointer, (long)a);
res1=(float)(maxx+1)/(float)Frame;
d=(float)res1*a;
for (b=0; b<CodebookDimension; b++)
{
    res2=(Average[b]/(float)(a+1));
    lineto (d, maxy/2-60-12-xx[b]/400);
}
}

for (a=0; a<128; a++)
    Average[a]=0;
d=0;
setcolor (15);
moveto (0, maxy/2-60-12);
for (a=0; a<Frame; a++)
{
    VectorPointer=xx;
    GetFrameVector (VectorPointer, (long)a);
    gotoxy (1, 15);
    printf ("Analysis Frame : %d \n",a);
    res1=(float)(maxx+1)/(float)Frame;
    d=(float)res1*a;
    for (b=0; b<CodebookDimension; b++)
    {
        Average[b]+=(float)xx[b];
        res2=(Average[b]/(float)(a+1));
        lineto (d, maxy/2-60-12-xx[b]/400);
    }
}

```

```

/* gotoxy (1, 16);
for (b=0; b<CodebookDimension; b++)
    printf ("AVX : %f ",Average[b]);
printf ("\nAV : %f ", res2); */

if (kbhit()!=0)
{
    c=getch ();
    if (c==27)
    {
        _close (handle);
        closegraph ();
        exit (0);
    }
    else
        getch ();
}
}

gotoxy (1, 25);
printf ("          S->Skip loop  Space bar->Pause  Esc->Exit");

for (a=0; a<CodebookDimension; a++)
    Codebook[a][0]=Average[a]/(float)Frame;
b=1;
color=12;
while (b<=CodebookSize/2)
{

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

    Splitting (b);
    b*=2;
    ErrorOld=9E+9;
    Error=1.0;
while (Theshould < Error)
{
    setcolor (color);
    color^=0x0003;
    gotoxy (1, 15);
    printf ("Error:%lf Theshould:%f Codebook size : %d \n",
           Error, Theshould, b);
    f=Minimize (b);
    if (f==27||f==100)
        break;
}
if (f==27)
    break;
}
getch ();
_close (handle);

if((record_file = fopen("spl.txt","wb")) == NULL)
{
    printf("\n\t\t\tDisk is full\n"); /* Open file; else exit */
    exit(1);
}

/* SYNCHRONIZE TO DSP */

```

```

handle = _creat ("spl.s30", FA_ARCH); /* Open file */
for (a=0; a<b; a++)
{
    for (d=0; d<CodebookDimension; d++)
    {
        write_ret = fprintf (record_file, "%0.02f  ", Codebook[d][a]);
        s=Codebook[d][a];
        lseek (handle, 0, 2);
        _write (handle, &s, 4);
    }
    fprintf (record_file, "\n");
}
_close (handle);
handle = _creat ("spl.bin", FA_ARCH); /* Open file */
_write (handle, Codebook, 512*10*4);
_close (handle);
closegraph ();
}

/*
GetFrameVector
*/

```

```

GetFrameVector (int *p, long a)

```

```

{
    int b;
    long pt;

```

```

pt=20+(long)(a*CodebookDimension*2);
lseek (handle, pt, 0);
b=_read (handle, p, CodebookDimension*2);
pt+=b;
if (b<=0)
{
    closegraph ();
    printf ("Read Error.");
    getch ();
    exit (1);
}
}
/*
Splitting Codebook
*/
Splitting (int Index)
{
    int a, b, c;
    c=0;
    for (a=0; a<Index; a++)
    {
        for (b=0; b<CodebookDimension; b++)
            Newbook[b][c]=(Codebook[b][a]+Stepsize);
        c++;
        for (b=0; b<CodebookDimension; b++)
            Newbook[b][c]=(Codebook[b][a]-Stepsize);
    }
}

```

```

        c++;
    }
    for (a=0; a<c; a++)
        for (b=0; b<CodebookDimension; b++)
            Codebook[b][a]=Newbook[b][a];
}

/*
Minimize
*/

Minimize (int Count)
{
    int a, b, c, d, x;
    char z;
    float x1, x2;

    Error=0;
    for (a=0; a<512; a++)
        C[a]=0;
    for (a=0; a<512; a++)
        for (b=0; b<10; b++)
            Newbook[b][a]=0;
    moveto (0, maxy/2-60-12);
    for (c=0; c<Frame; c++)
    {
        VectorPointer=xx;
        GetFrameVector (VectorPointer, (long)c);
    }
}

```

```

/* gotoxy (1, 12);
printf ("Analysis Frame : %d \n",c); */

res1=(float)(maxx+1)/(float)(Frame);
d=(float)res1*c;
res2=(Average[b]/(float)(a+1));
for (b=0; b<CodebookDimension; b++)
    lineto (d, maxy/2-60-12-xx[b]/400);
res2=9.9E+10;
for (a=0; a<Count; a++)
{
    res1=0;
    for (b=0; b<CodebookDimension; b++)
    {
        x1=(float)xx[b];
        x2=Codebook[b][a];
        res1+=(float)(x1-x2);
    }
    res1=fabs ((double)res1);
    if (res1<res2)
    {
        for (b=0; b<CodebookDimension; b++)
        {
            x1=(float)xx[b];
            New[b]=x1;
        }
        res2=res1;
        x=a;
    }
}

```

```

    }
}
Error+=res2;
for (b=0; b<CodebookDimension; b++)
    Newbook[b][x]+=New[b];
C[x]++;

if (kbhit ()!=0)
{
    z=getch ();
    if (z==27)
        return ((int)27);
    if (z==32)
        getch ();
    if (z=='s'||z=='S')
        return ((int)100);
}
}
gotoxy (1,16);
for (a=0; a<8; a++)
    printf ("                \n");
gotoxy (1,16);
for (a=0; a<Count; a++)
{
    if (C[a]!=0)
    {
        for (b=0; b<CodebookDimension; b++)
        {
            x1=(float)C[a];

```

```

x2=Newbook[b][a];
x2/=x1;
Newbook[b][a]=x2;
Codebook[b][a]=Newbook[b][a];
}
}
else
printf ("D:%d ", a);
}
s=ErrorOld-Error;
if (s!=0)
{
s=fabs (s);
ErrorOld=Error;
Error=s/Error;
}
else
Error=ErrorOld=0;
return ((int)0);
}

```



คำโคลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

* CODE BOOK *

.ds 1500h

codebook: .int 5303, 7766, 6995, 5201, 2880

.int 5303, 7766, 6994, 5200, 2880

.int -1002, 3964, 5058, 6742, 6069

.int 3167, 3829, 3769, 4045, 3297

.int 2570, 4995, 4381, 3247, 1073

.int 2492, 3358, 3709, 2863, 2038

.int 2623, 3259, 2995, 2302, 1494

.int 1873, 2580, 2835, 2307, 1651

.int 1074, 1953, 2414, 2372, 2285

.int 1615, 1615, 2214, 1831, 1565

.int 1325, 1651, 1817, 1773, 1458

.int 1062, 1518, 1760, 1575, 1412

.int 1298, 1454, 1470, 1336, 1127

.int 1028, 1278, 1334, 1267, 1197

.int 960, 1104, 1258, 1208, 1078

.int 960, 1099, 1126, 1090, 915

.int 958, 1041, 1025, 920, 882

.int 828, 894, 902, 902, 842

.int 603, 885, 839, 836, 701

.int 587, 752, 699, 706, 660

.int 621, 651, 576, 588, 546

.int 593, 536, 440, 460, 482

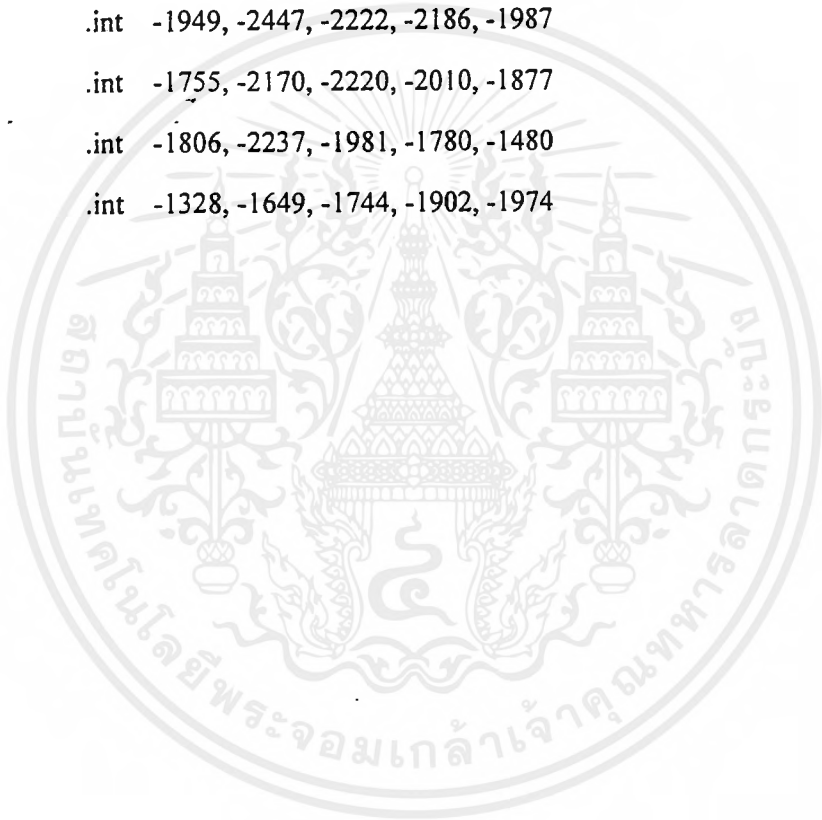
.int 471, 519, 408, 387, 296

.int 239, 301, 367, 454, 345

.int 287, 244, 259, 272, 277

.int 256, 216, 214, 191, 186
.int 93, 99, 189, 207, 210
.int 159, 94, 77, 86, 118
.int 59, 51, 56, 56, 37
.int -4, -7, -22, -19, 12
.int -52, -88, -86, -82, -72
.int -149, -158, -173, -131, -136
.int -4736, -5955, -7056, -8728, -6225
.int -4736, -5955, -7056, -8728, -6225
.int -4219, -5412, -6471, -7175, -2913
.int -4219, -5412, -6471, -7175, -2913
.int -4432, -5167, -6760, -5173, -1511
.int -4432, -5167, -6760, -5173, -1511
.int -3457, -4037, -4796, -4259, -3985
.int -3457, -4037, -4796, -4259, -3985
.int -2913, -3629, -4071, -3926, -3365
.int -2462, -3114, -3733, -4039, -3753,
.int -2062, -3003, -3878, -4166, -3034
.int -2484, -2991, -3870, -3791, -2022
.int -2943, -3825, -3353, -2519, -1508
.int -1856, -2579, -3033, -3025, -2821
.int -2693, -3013, -2830, -2405, -1562
.int -2424, -2842, -2657, -2216, -1522
.int -252, -298, -237, -225, -193
.int -263, -331, -380, -410, -329
.int -642, -543, -564, -373, -75
.int -426, -528, -602, -587, -576
.int -448, -597, -759, -776, -717

.int -630, -773, -807, -764, -835
.int -618, -929, -1007, -940, -891
.int -1187, -1242, -1061, -922, -662
.int -1409, -1739, -1713, -1620, -1287
.int -1334, -1573, -1570, -1421, -1187
.int -1173, -1196, -1178, -1386, -1492
.int -1238, -1279, -1247, -1099, -903
.int -1949, -2447, -2222, -2186, -1987
.int -1755, -2170, -2220, -2010, -1877
.int -1806, -2237, -1981, -1780, -1480
.int -1328, -1649, -1744, -1902, -1974



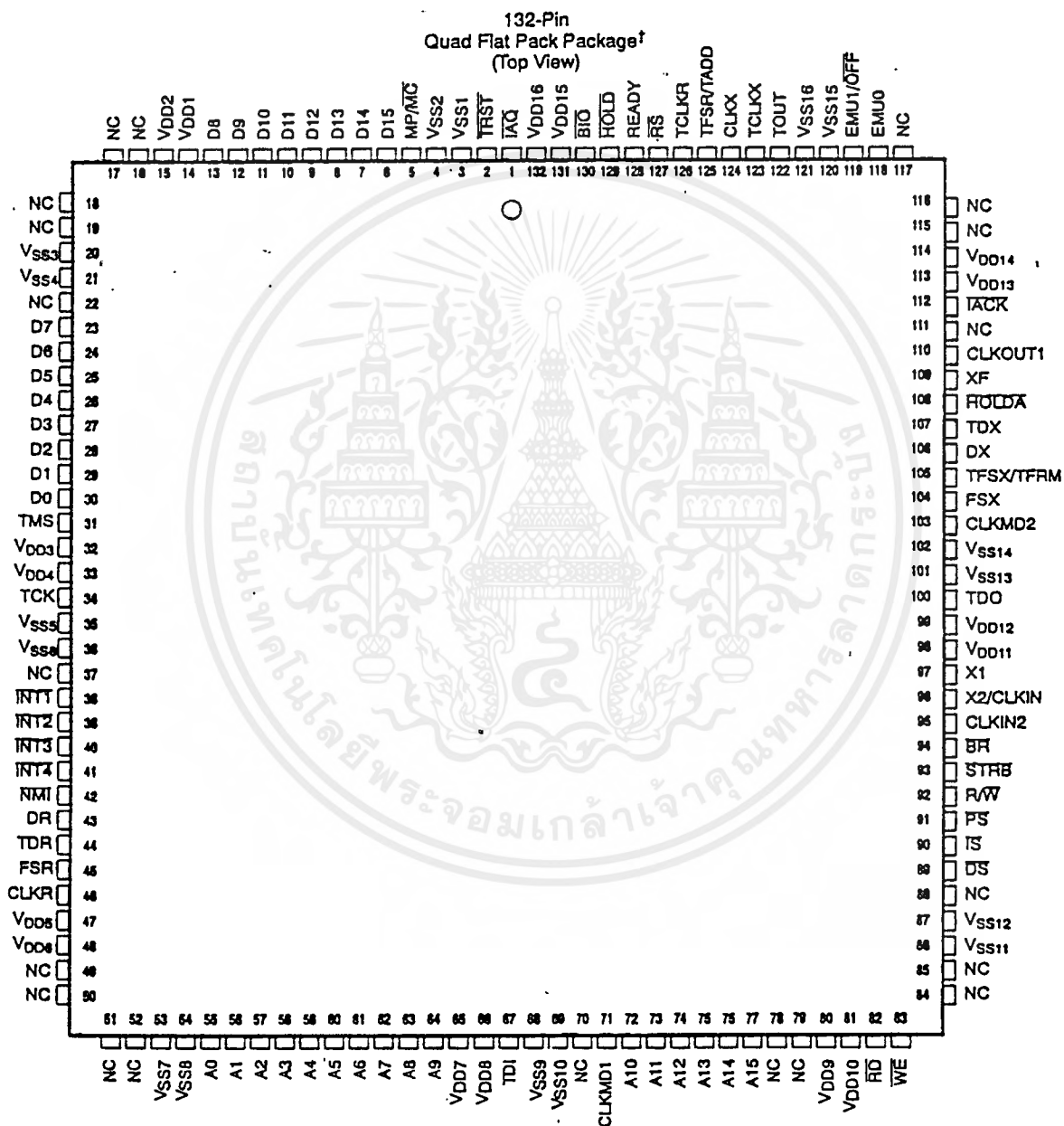


ภาคผนวก
รายละเอียดของอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.1 Pinout and Signal Descriptions

Figure A-1. TMS320C5x Pinout



† See Pin Assignments, Table A-1 (page A-3) for location and description of all pins. The 'C50, 'C51, and 'C53 are packaged in 132-pin plastic QFP in production. See Figure A-20 for mechanical data.
Note: NC = No connect. (These pins are reserved.)

Table A-1. TMS320C5x Pin Assignments

Pin	Name	Type	Description
1	IAQ	O/Z	Instruction Acquisition
2	TRST	I	JTAG Test Reset
3	V _{SS}	Supply	Ground
4	V _{SS}	Supply	Ground
5	MP/MC	I	Microprocessor/Microcomputer
6	D15 (MSB)	I/O/Z	Parallel Data Port, High-Byte (8 pins)
7	D14	I/O/Z	
8	D13	I/O/Z	
9	D12	I/O/Z	
10	D11	I/O/Z	
11	D10	I/O/Z	
12	D9	I/O/Z	
13	D8	I/O/Z	
14	V _{DD}	Supply	+5 V
15	V _{DD}	Supply	+5 V
16	NC†		Reserved
17	NC†		Reserved
18	NC†		Reserved
19	NC†		Reserved
20	V _{SS}	Supply	Ground
21	V _{SS}	Supply	Ground
22	NC†		Reserved
23	D7	I/O/Z	Parallel Data Port, Low-Byte (8 pins)
24	D6	I/O/Z	
25	D5	I/O/Z	
26	D4	I/O/Z	
27	D3	I/O/Z	
28	D2	I/O/Z	
29	D1	I/O/Z	
30	D0 (LSB)	I/O/Z	
31	TMS	I	JTAG Test Mode
32	V _{DD}	Supply	+5 V
33	V _{DD}	Supply	+5 V
34	TCK	I	JTAG Test Clock

† NC = No connect

Table A-1. TMS320C5x Pin Assignments (Continued)

Pin	Name	Type	Description
35	V _{SS}	Supply	Ground
36	V _{SS}	Supply	Ground
37	NC†		Reserved
38	INT1	I	Interrupt #1
39	INT2	I	Interrupt #2
40	INT3	I	Interrupt #3
41	INT4	I	Interrupt #4
42	NMI	I	Nonmaskable Interrupt
43	DR	I	Serial Port 1 Data Receive
44	TDR	I	Serial Port 2 Data Receive
45	FSR	I	Serial Port 1 Receiver Frame Sync
46	CLKR	I	Serial Port 1 Receiver Clock
47	V _{DD}	Supply	+5 V
48	V _{DD}	Supply	+5 V
49	NC†		Reserved
50	NC†		Reserved
51	NC†		Reserved
52	NC†		Reserved
53	V _{SS}	Supply	Ground
54	V _{SS}	Supply	Ground
55	A ₀ (LSB)	I/O/Z	Parallel Port Address Bus (10 pins)
56	A1	I/O/Z	
57	A2	I/O/Z	
58	A3	I/O/Z	
59	A4	I/O/Z	
60	A5	I/O/Z	
61	A6	I/O/Z	
62	A7	I/O/Z	
63	A8	I/O/Z	
64	A9	I/O/Z	
65	V _{DD}	Supply	+5 V
66	V _{DD}	Supply	+5 V
67	TDI	I	JTAG Scan Input

† NC = No connect

Table A-1. TMS320C5x Pin Assignments (Continued)

Pin	Name	Type	Description
68	V _{SS}	Supply	Ground
69	V _{SS}	Supply	Ground
70	NC†		Reserved
71	CLKMD1	I	Clock Mode Pin 1
72	A10	I/O/Z	Parallel Port Address Bus (6 pins)
73	A11	I/O/Z	
74	A12	I/O/Z	
75	A13	I/O/Z	
76	A14	I/O/Z	
77	A15	I/O/Z	
78	NC†		Reserved
79	NC†		Reserved
80	V _{DD}	Supply	+5 V
81	V _{DD}	Supply	+5 V
82	RD	O/Z	Read Enable
83	WE	O/Z	Write Enable
84	NC†		Reserved
85	NC†		Reserved
86	V _{SS}	Supply	Ground
87	V _{SS}	Supply	Ground
88	NC†		Reserved
89	DS	O/Z	Data Space Select
90	IS	O/Z	I/O Space Select
91	PS	O/Z	Program Space Select
92	R/W	I/O/Z	Read/Write
93	STRB	I/O/Z	External Parallel Access Active
94	BR	I/O/Z	Bus Request
95	CLKIN2	I	Divide-by-One Clock Input
96	X2/CLKIN	I	Divide-by-Two Clock Input
97	X1	O	Oscillator Output
98	V _{DD}	Supply	+5 V
99	V _{DD}	Supply	+5 V
100	TDO	O/Z	JTAG Scan Output

† NC = No connect

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table A-1. TMS320C5x Pins (Concluded)

Pin	Name	Type	Description
101	V _{SS}	Supply	Ground
102	V _{SS}	Supply	Ground
103	CLKMD2	I	Clock Mode Pin 2
104	FSX	I/O/Z	Serial Port 1 Transmitter Frame Sync
105	TFSX/TFRM	I/O/Z	Serial Port 2 Transmitter Frame Sync
106	DX	O/Z	Serial Port 1 Transmitter Output
107	TDX	O/Z	Serial Port 2 Transmitter Output
108	HOLDA	O/Z	Hold Acknowledge
109	XF	O/Z	External Flag
110	CLKOUT1	O/Z	Machine Clock Output
111	NC†		Reserved
112	IACK	O/Z	Interrupt Acknowledge
113	V _{DD}	Supply	+5 V
114	V _{DD}	Supply	+5 V
115	NC†		Reserved
116	NC†		Reserved
117	NC†		Reserved
118	EMU0	I/O/Z	Emulator Interrupt 0
119	EMU1/OFF	I/O/Z	Emulator Interrupt 1
120	V _{SS}	Supply	Ground
121	V _{SS}	Supply	Ground
122	TOUT	O/Z	Timer Output
123	TCLKX	I/O/Z	Serial Port 2 Transmitter Clock
124	CLKX	I/O/Z	Serial Port 1 Transmitter Clock
125	TFSR/TADD	I/O/Z	Serial Port 2 Receive Frame/Address
126	TCLKR	I	Serial Port 2 Receiver Clock
127	RS	I	Device Reset
128	READY	I	External Access Ready to Complete
129	HOLD	I	Request Access of Local Memory
130	BIO	I	Bit I/O Pin
131	V _{DD}	Supply	+5 V
132	V _{DD}	Supply	+5 V

† NC = No connect

A.2 Electrical Characteristics and Operating Conditions

Table A–2. Absolute Maximum Ratings Over Specified Temperature Range (Unless Otherwise Noted)†

Supply voltage range, V_{DD} ‡	–0.3 V to 7 V
Input voltage range	–0.3 V to 7 V
Output voltage range	–0.3 V to 7 V
Operating case temperature range	0° to 85°C
Storage temperature range	–55° to 150°C

† Stresses beyond those listed under "Absolute Maximum Ratings" may cause damage to the device. This is a stress rating only, and functional operation of the device at these or any other conditions beyond those indicated in the "Recommended Operating Conditions" sections of this specification is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect reliability.

‡ All voltage values are with respect to V_{SS} .

Table A–3. Recommended Operating Conditions

Parameter		Min	Nom	Max	Unit
V_{DD}	Supply voltage	4.75	5	5.25	V
V_{SS}	Supply voltage		0		V
V_{IH}	High-level input voltage	CLKIN, CLKIN2	3.0	$V_{DD}+0.3$	V
		CLKX, CLKR, TCLKX, TCLKR	2.5	$V_{DD}+0.3$	
		All others	2.0	$V_{DD}+0.3$	
V_{IL}	Low-level input voltage	–0.3		0.8	V
I_{OH}	High-level output current			–300†	μA
I_{OL}	Low-level output current			2	mA
T	Operating case temperature	0		85	°C

† This I_{OH} may be exceeded when using a 1-kΩ pull-down resistor on the TDM serial port TADD output, however, this output still meets V_{OH} specifications under these conditions.



LM389 Low Voltage Audio Power Amplifier with NPN Transistor Array

General Description

The LM389 is an array of three NPN transistors on the same substrate with an audio power amplifier similar to the LM386.

The amplifier inputs are ground referenced while the output is automatically biased to one half the supply voltage. The gain is internally set at 20 to minimize external parts, but the addition of an external resistor and capacitor between pins 4 and 12 will increase the gain to any value up to 200.

The three transistors have high gain and excellent matching characteristics. They are well suited to a wide variety of applications in DC through VHF systems.

Features

Amplifier

- Battery operation
- Minimum external parts
- Wide supply voltage range

- Low quiescent current drain
- Voltage gains from 20 to 200
- Ground referenced input
- Self-centering output quiescent voltage
- Low distortion ...

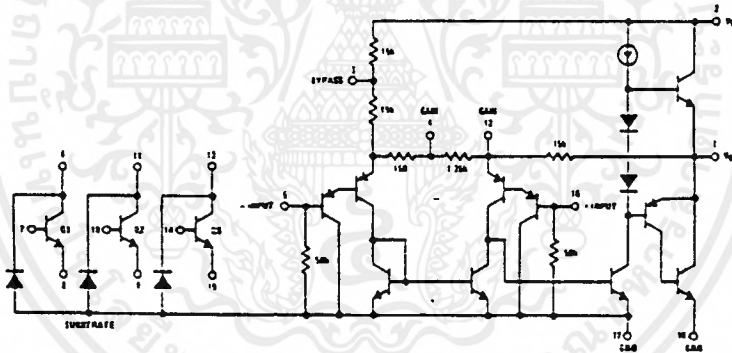
Transistors

- Operation from 1 μ A to 25 mA
- Frequency range from DC to 100 MHz
- Excellent matching

Applications

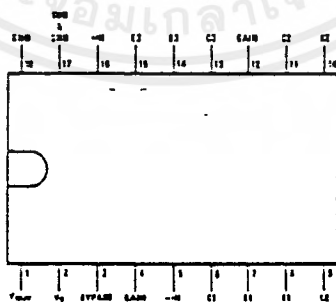
- AM-FM radios
- Portable tape recorders
- Intercoms
- Toys and games
- Walkie-talkies
- Portable phonographs
- Power converters

Equivalent Schematic and Connection Diagrams



TL/H/7847-1

Dual-In-Line Package



TL/H/7847-2

Order Number LM389N
See NS Package Number N18A

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	15V
Package Dissipation (Note 1)	1.39W
Input Voltage	$\pm 0.4V$
Storage Temperature	$-65^{\circ}C$ to $+150^{\circ}C$
Operating Temperature	$0^{\circ}C$ to $+70^{\circ}C$
Junction Temperature	$150^{\circ}C$

Lead Temperature (Soldering, 10 sec.)	$250^{\circ}C$
Collector to Emitter Voltage, V_{CE0}	12V
Collector to Base Voltage, V_{CB0}	15V
Collector to Substrate Voltage, $V_{C\bar{O}}$ (Note 2)	15V
Collector Current, I_C	25 mA
Emitter Current, I_E	25 mA
Base Current, I_B	5 mA
Power Dissipation (Each Transistor) $T_A \leq +70^{\circ}C$	150 mW

Electrical Characteristics $T_A = 25^{\circ}C$

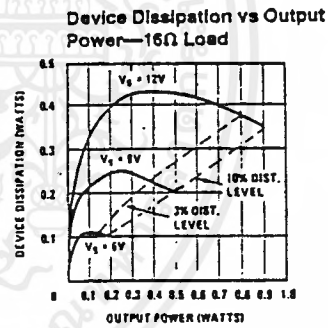
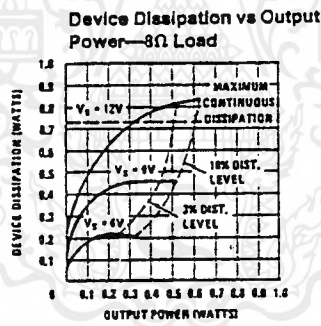
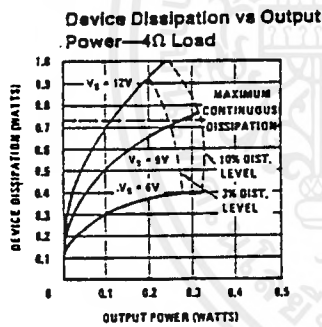
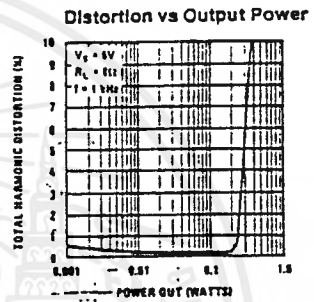
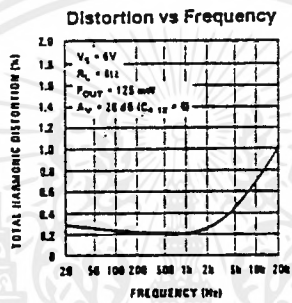
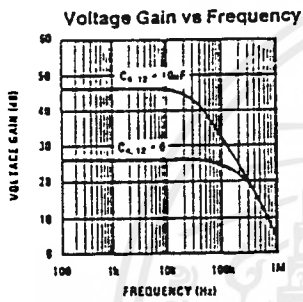
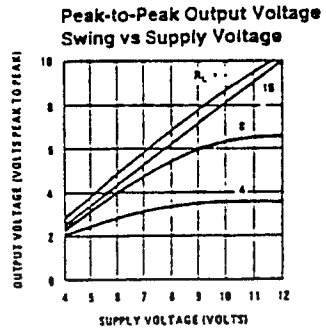
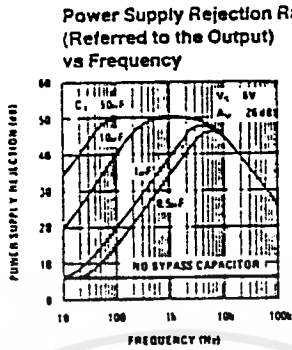
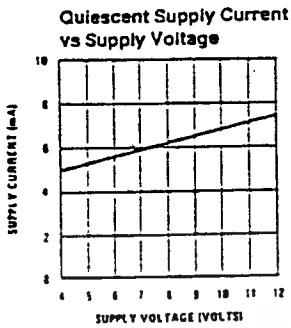
Symbol	Parameter	Conditions	Min	Typ	Max	Units
AMPLIFIER						
V_S	Operating Supply Voltage		4		12	V
I_Q	Quiescent Current	$V_S = 6V, V_{IN} = 0V$		6	12	mA
P_{OUT}	Output Power (Note 3)	THD = 10% $V_S = 6V, R_L = 8\Omega$ $V_S = 9V, R_L = 16\Omega$	250	325 500		mW mW
A_V	Voltage Gain	$V_S = 6V, f = 1\text{ kHz}$ $10\ \mu F$ from Pins 4 to 12	23	26 46	30	dB dB
BW	Bandwidth	$V_S = 6V$, Pins 4 and 12 Open		250		kHz
THD	Total Harmonic Distortion	$V_S = 6V, R_L = 8\Omega, P_{OUT} = 125\text{ mW}$, $f = 1\text{ kHz}$, Pins 4 and 12 Open		0.2	3.0	%
PSRR	Power Supply Rejection Ratio	$V_S = 6V, f = 1\text{ kHz}, C_{BYPASS} = 10\ \mu F$, Pins 4 and 12 Open, Referred to Output	30	50		dB
R_{IN}	Input Resistance		10	50		k Ω
I_{BIAS}	Input Bias Current	$V_S = 6V$, Pins 5 and 16 Open		250		nA
TRANSISTORS						
V_{CE0}	Collector to Emitter Breakdown Voltage	$I_C = 1\text{ mA}, I_B = 0$	12	20		V
V_{CB0}	Collector to Base Breakdown Voltage	$I_C = 10\ \mu A, I_E = 0$	15	40		V
$V_{C\bar{O}}$	Collector to Substrate Breakdown Voltage	$I_C = 10\ \mu A, I_E = I_B = 0$	15	40		V
V_{EB0}	Emitter to Base Breakdown Voltage	$I_E = 10\ \mu A, I_C = 0$	6.4	7.1	7.8	V
h_{FE}	Static Forward Current Transfer Ratio (Static Beta)	$I_C = 10\ \mu A$ $I_C = 1\text{ mA}$ $I_C = 10\text{ mA}$	100	100 275 275		
h_{oe}	Open-Circuit Output Admittance	$I_C = 1\text{ mA}, V_{CE} = 5V, f = 1.0\text{ kHz}$		20		μmho
V_{BE}	Base to Emitter Voltage	$I_E = 1\text{ mA}$		0.7	0.85	V
$ V_{BE1} - V_{BE2} $	Base to Emitter Voltage Offset	$I_E = 1\text{ mA}$		1	5	mV
V_{CESAT}	Collector to Emitter Saturation Voltage	$I_C = 10\text{ mA}, I_B = 1\text{ mA}$		0.15	0.5	V
C_{EB}	Emitter to Base Capacitance	$V_{EB} = 3V$		1.5		pF
C_{CB}	Collector to Base Capacitance	$V_{CB} = 3V$		2		pF
$C_{C\bar{I}}$	Collector to Substrate Capacitance	$V_{C\bar{I}} = 3V$		3.5		pF
h_{fe}	High Frequency Current Gain	$I_C = 10\text{ mA}, V_{CE} = 5V, f = 100\text{ MHz}$	1.5	5.5		

Note 1: For operation in ambient temperatures above $25^{\circ}C$, the device must be derated based on a $150^{\circ}C$ maximum junction temperature and a thermal resistance of $66^{\circ}C/W$ junction to ambient.

Note 2: The collector of each transistor is isolated from the substrate by an integral diode. Therefore, the collector voltage should remain positive with respect to pin 17 at all times.

Note 3: If oscillation exists under some load conditions, add 2.7Ω and $0.05\ \mu F$ series network from pin 1 to ground.

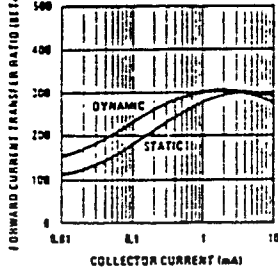
Typical Amplifier Performance Characteristics



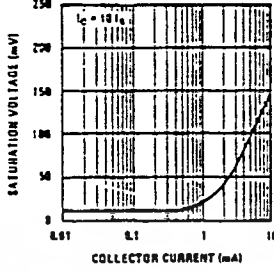
TL/H/7847-3

Typical Transistor Performance Characteristics

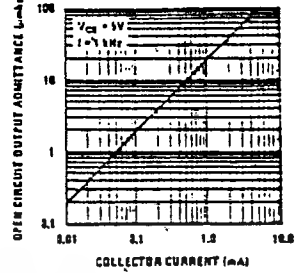
Forward Current Transfer Ratio vs Collector Current



Saturation Voltage vs Collector Current

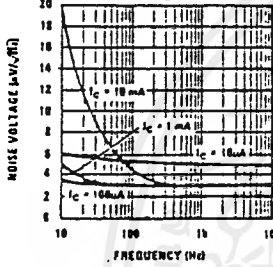


Open Circuit Output Admittance vs Collector Current

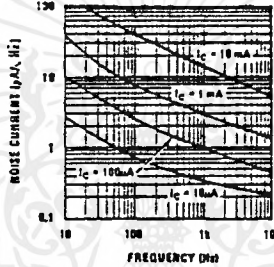


TL/H/7847-4

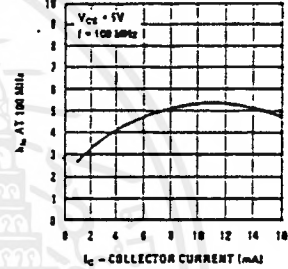
Noise Voltage vs Frequency



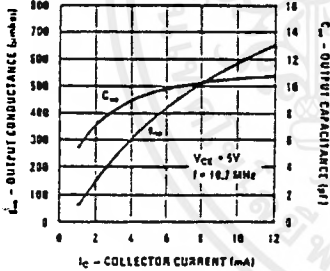
Noise Current vs Frequency



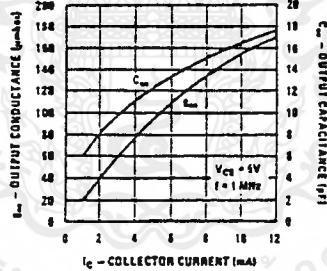
High Frequency Current Gain vs Collector Current



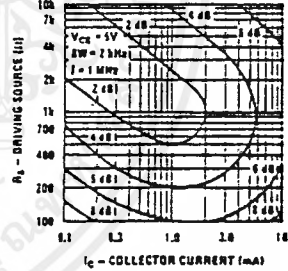
g_{oe} and C_{oe} vs Collector Current



g_{oe} and C_{oe} vs Collector Current



Contours of Constant Noise Figure



TL/H/7847-5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TLC32040C, TLC32040I, TLC32041C, TLC32041I
 TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS

SLAS014D - 02564, SEPTEMBER 1987 - REVISED MAY 1991

- Advanced LinCMOS™ Silicon-Gate Process Technology
- 14-Bit Dynamic Range ADC and DAC
- Variable ADC and DAC Sampling Rate Up to 19,200 Samples per Second
- Switched-Capacitor Antialiasing Input Filter and Output-Reconstruction Filter
- Serial Port for Direct Interface to TMS32011, TMS320C17, TMS32020, and TMS320C25 Digital Signal Process
- Synchronous or Asynchronous ADC and DAC Conversion Rate With Programmable Incremental ADC and DAC Conversion Timing Adjustments
- Serial Port Interface to SN74299 Serial-to-Parallel Shift Register for Parallel Interface to TMS32010, TMS320C15, or Other Digital Processors
- 600-Mil Wide N Package (C_L to C_L)

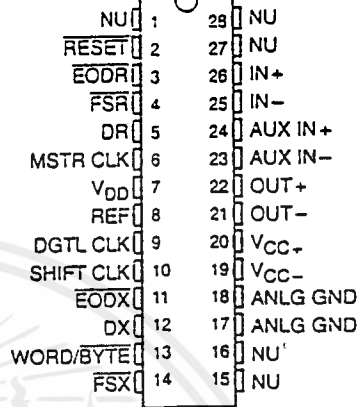
PART NUMBER	DESCRIPTION
TLC32040	Analog interface circuit with internal reference. Also a plug-in replacement for TLC32041.
TLC32041	Analog interface circuit without internal reference
TLC32042	Identical to TLC32040, but has a slightly wider bandpass filter bandwidth

description

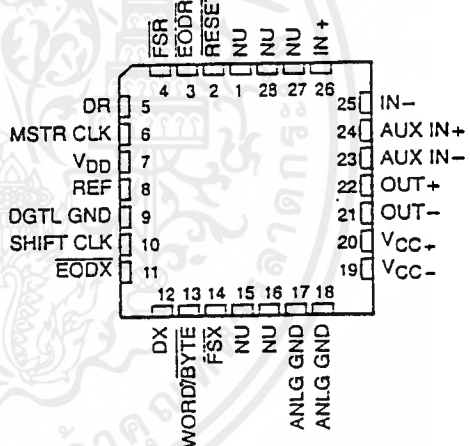
The TLC32040, TLC32041, and TLC32042 are complete analog-to-digital and digital-to-analog input/output systems, each on a single monolithic CMOS chip. This device integrates a bandpass switched-capacitor antialiasing input filter, a 14-bit-resolution A/D converter, four microprocessor-compatible serial port modes, a 14-bit-resolution D/A converter, and a low-pass switched-capacitor output-reconstruction filter. The device offers numerous combinations of master clock input frequencies and conversion/sampling rates, which can be changed via digital processor control.

Typical applications for this integrated circuit include modems (7.2-, 8-, 9.6-, 14.4-, and 19.2-kHz sampling rate), analog interface for digital signal processors (DSPs), speech recognition/storage systems, industrial process control, biomedical instrumentation, acoustical signal processing, spectral analysis, data acquisition, and instrumentation recorders. Four serial modes, which allow direct interface to the TMS32011, TMS320C17, TMS32020, and TMS320C25 digital signal processors, are provided. Also, when the transmit and receive

**N PACKAGE
(TOP VIEW)**



**FN PACKAGE
(TOP VIEW)**



NU - Nonusable: no external connection should be made to these pins.

Advanced LinCMOS™ is a trademark of Texas Instruments Incorporated

TLC32040C, TLC32040I, TLC32041C, TLC32041I
 TLC32042C, TLC32042I
 ANALOG INTERFACE CIRCUITS

SLAS0140 - D2964, SEPTEMBER 1987 - REVISED MAY 1991

description (continued)

sections of the analog interface circuit (AIC) are operating synchronously, it will interface to two SN74299 serial-to-parallel shift registers. These serial-to-parallel shift registers can then interface in parallel to the TMS32010, TMS320C15, other digital signal processors, or external FIFO circuitry. Output data pulses are emitted to inform the processor that data transmission is complete or to allow the DSP to differentiate between two transmitted bytes. A flexible control scheme is provided so that the functions of this integrated circuit can be selected and adjusted coincidentally with signal processing via software control.

The antialiasing input filter comprises seventh-order and fourth-order CC-type (Chebyshev/elliptic transitional) low-pass and high-pass filters, respectively and a fourth-order equalizer. The input filter is implemented in switched-capacitor technology and is preceded by a continuous time filter to eliminate any possibility of aliasing caused by sampled data filtering. When no filtering is desired, the entire composite filter can be switched out of the signal path. A selectable, auxiliary, differential analog input is provided for applications where more than one analog input is required.

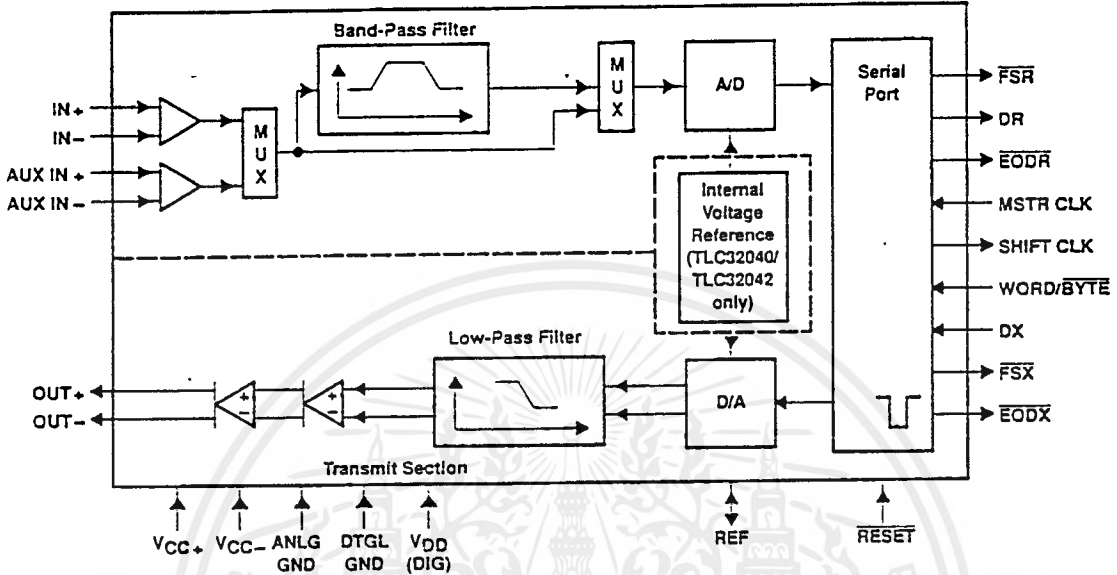
The A/D and D/A converters each have 14 bits of resolution. The A/D and D/A architectures ensure no missing codes and monotonic operation. An internal voltage reference is provided on the TLC32040 and TLC32042 to ease the design task and to provide complete control over the performance of this integrated circuit. The internal voltage reference is brought out to a pin and is available to the designer. Separate analog and digital voltage supplies and grounds are provided to minimize noise and ensure a wide dynamic range. Also, the analog circuit path contains only differential circuitry to keep noise to an absolute minimum. The only exception is the DAC sample and hold, which utilizes pseudo-differential circuitry.

The output-reconstruction filter is a seventh-order CC-type (Chebyshev/elliptic transitional low-pass filter followed by a fourth-order equalizer) and is implemented in switched-capacitor technology. This filter is followed by a continuous-time filter to eliminate images of the digitally encoded signal.

The TLC32040C, TLC32041C, and TLC32042C are characterized for operation from 0°C to 70°C, and the TLC32040I, TLC32041I and TLC32042I are characterized for operation from -40°C to 85°C.

TLC32040C, TLC32040I, TLC32041C, TLC32041I
 TLC32042C, TLC32042I
 ANALOG INTERFACE CIRCUITS
 SLAS0140 – 02964, SEPTEMBER 1987 – REVISED MAY 1991

functional block diagram



analog input

Two sets of analog inputs are provided. Normally, the IN+ and IN- input set is used; however, the auxiliary input set, AUX IN+ and AUX IN-, can be used if a second input is required. Each input set can be operated in either differential or single-ended modes, since sufficient common-mode range and rejection are provided. The gain for the IN+, IN-, AUX IN+, and AUX IN- inputs can be programmed to be either 1, 2, or 4 (see Table 2). Either input circuit can be selected via software control. It is important to note that a wide dynamic range is assured by the differential internal analog architecture and by the separate analog and digital voltage supplies and grounds.

A/D bandpass filter, A/D bandpass filter clocking, and A/D conversion timing

The A/D bandpass filter can be selected or bypassed via software control. The frequency response of this filter is presented in the following pages. This response results when the switched-capacitor filter clock frequency is 288 kHz. Several possible options can be used to attain a 288-kHz switched-capacitor filter clock. When the filter clock frequency is not 288 kHz, the filter transfer function is frequency scaled by the ratio of the actual clock frequency to 288 kHz. The low-frequency roll-off of the high-pass section is 300 Hz. However, the high-pass section low-frequency roll-off is less steep for the TLC32042 than for the TLC32040 and TLC32041.

The internal timing configuration and AIC DX data word format sections of this data sheet indicate the many options for attaining a 288-kHz bandpass switched-capacitor filter clock. These sections indicate that the RX Counter A can be programmed to give a 288-kHz bandpass switched-capacitor filter clock for several master clock input frequencies.

The A/D conversion rate is then attained by frequency dividing the 288-kHz bandpass switched-capacitor filter clock with the RX Counter B. Thus, unwanted aliasing is prevented because the A/D conversion rate is an integral submultiple of the bandpass switched-capacitor filter sampling rate, and the two rates are synchronously locked.

TLC32040C, TLC32040I, TLC32041C, TLC32041I
 TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS

SLASJ140 - 02954, SEPTEMBER 1987 - REVISED MAY 1991

A/D converter performance specifications

Fundamental performance specifications for the A/D converter circuitry are presented in the A/D converter operating characteristics section of this data sheet. The realization of the A/D converter circuitry with switched-capacitor techniques provides an inherent sample-and-hold.

analog output

The analog output circuitry is an analog output power amplifier. Both noninverting and inverting amplifier outputs are brought out of this integrated circuit. This amplifier can drive transformer hybrids or low-impedance loads directly in either a differential or single-ended configuration.

D/A low-pass filter, D/A low-pass filter clocking, and D/A conversion timing

The frequency response of this filter is presented in the following pages. This response results when the low-pass switched-capacitor filter clock frequency is 288 kHz. Like the A/D filter, the transfer function of this filter is frequency scaled when the clock frequency is not 288 kHz. A continuous-time filter is provided on the output of the D/A low-pass filter to greatly attenuate any switched-capacitor clock feedthrough.

The D/A conversion rate is then attained by frequency dividing the 288-kHz switched-capacitor filter clock with TX Counter B. Thus, unwanted aliasing is prevented because the D/A conversion rate is an integral submultiple of the switched-capacitor low-pass filter sampling rate, and the two rates are synchronously locked.

TLC32040C, TLC32040I, TLC32041C, TLC32041I
TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS

SLAS014D - D2964, SEPTEMBER 1987 - REVISED MAY '991

PRINCIPLES OF OPERATION

operation of TLC32040, TLC32041, or TLC32042 with external voltage reference

The REF pin may be driven from an external reference circuit if so desired. This external circuit must be capable of supplying 250 μ A and must be adequately protected from noise such as crosstalk from the analog input.

reset

A reset function is provided to initiate serial communications between the AIC and DSP and allow fast, cost-effective testing during manufacturing. The reset functional will initialize all AIC registers, including the control register. After a negative-going pulse on the RESET pin, the AIC will be initialized. This initialization allows normal serial port communications activity to occur between AIC and DSP (see AIC DX data word format section).

loopback

This feature allows the user to test the circuit remotely. In loopback, the OUT+ and OUT- pins are internally connected to the IN+ and the IN- pins. Thus, the DAC bits (d15 to d2), which are transmitted to the DX pin, can be compared with the ADC bits (d15 to d2), which are received from the DR pin. An ideal comparison would be that the bits on the DR pin equal the bits on the DX pin. However, in practice there will be some difference in these bits due to the ADC and DAC output offsets.

In loopback, if the IN+ and the IN- pins are enabled, the external signals on the IN+ and the IN- pins are ignored. If the AUX IN+ and AUX IN- pins are enabled, the external signals on these pins are added to the OUT+ and OUT- signals in loopback operation.

The loopback feature is implemented with digital signal processor control by transmitting the appropriate serial port bit to the control register (see AIC DX data word format section).

Terminal Functions

PIN NAME	NO.	I/O	DESCRIPTION
ANLG GND	17,18		Analog ground return for all internal analog circuits. Not internally connected to DGTL GND.
AUX IN+	24	I	Noninverting auxiliary analog input state. This input can be switched into the bandpass filter and A/D converter path via software control. If the appropriate bit in the control register is a 1, the auxiliary inputs will replace the IN+ and IN- inputs. If the bit is a 0, the IN+ and IN- inputs will be used (see the AIC DX data word format section).
AUX IN-	23	I	Inverting auxiliary analog input (see the above AUX IN+ pin description)
DGTL GND	9		Digital ground for all internal logic circuits. Not internally connected to ANLG GND.
DR	5	O	This pin is used to transmit the ADC output bits from the AIC to the TMS320 serial port. This transmission of bits from the AIC to the TMS320 serial port is synchronized with the SHIFT CLK signal.
DX	12	I	This pin is used to receive the DAC input bits and timing and control information from the TMS320. This serial transmission from the TMS320 serial port to the AIC is synchronized with the SHIFT CLK signal.
EODR	3	O	End of data receive. See the WORD/BYTE pin description and the Serial Port Timing diagrams. During the word-mode timing, this signal is a low-going pulse that occurs immediately after the 16 bits of A/D information have been transmitted from the AIC to the TMS320 serial port. This signal can be used to interrupt a microprocessor upon completion of serial communications. Also, this signal can be used to strobe and enable external serial-to-parallel shift registers, latches, or external FIFO RAM, and to facilitate parallel data bus communications between the AIC and the serial-to-parallel shift registers. During the byte-mode timing, this signal goes low after the first byte has been transmitted from the AIC to the TMS320 serial port and is kept low until the second byte has been transmitted. The TMS32011 or TMS320C17 can use this low-going signal to differentiate between the two bytes as to which is first and which is second. EODR does not occur after secondary communication.

PRINCIPLES OF OPERATION

asynchronous versus synchronous operation

If the transmit section of the AIC (low-pass filter and DAC) and receive section (bandpass filter and ADC) are operated asynchronously, the low-pass and band-pass filter clocks are independently generated from the master clock signal. Also, the D/A and A/D conversion rates are independently determined. If the transmit and receive sections are operated synchronously, the low-pass filter clock drives both low-pass and bandpass filters. In synchronous operation, the A/D conversion timing is derived from, and is equal to, the D/A conversion timing. (See description of the WORD/BYTE pin in the Terminal Functions table.)

D/A converter performance specifications

Fundamental performance specifications for the D/A converter circuitry are presented in the D/A converter operating characteristics section of the data sheet. The D/A converter has a sample-and-hold that is realized with a switched-capacitor ladder.

system frequency response correction

The $\sin x/x$ correction circuitry is performed in the digital processor software. The system frequency response can be corrected via DSP software to ± 0.1 -dB accuracy to band edge of 3000 Hz for all sampling rates. This correction is accomplished with a first-order digital correction filter, which requires only seven TMS320 instruction cycles. With a 200-ns instruction cycle, seven instructions represent an overhead factor of only 1.1% and 1.3% for sampling rates of 8 and 9.6 kHz, respectively (see the $\sin x/x$ correction section for more details).

serial port

The serial port has four possible modes that are described in detail in the Terminal Functions table. These modes are briefly described below and in the description for pin 13, WORD/BYTE.

1. The transmit and receive sections are operated asynchronously, and the serial port interfaces directly with the TMS32011 and TMS320C17.
2. The transmit and receive sections are operated asynchronously, and the serial port interfaces directly with the TMS32020 and the TMS320C25.
3. The transmit and receive sections are operated synchronously, and the serial port interfaces directly with the TMS32011 and TMS320C17.
4. The transmit and receive sections are operated synchronously, and the serial port interfaces directly with the TMS32020, TMS320C25, or two SN74299 serial-to-parallel shift registers, which can then interface in parallel to the TMS320C10, TMS32015, to any other digital signal processor, or to external FIFO circuitry.

operation of TLC32040 or TLC32042 with internal voltage reference

The internal reference of the TLC32040 and TLC32042 eliminates the need for an external voltage reference and provides overall circuit cost reduction. Thus, the internal reference eases the design task and provides complete control over the performance of this integrated circuit. The internal reference is brought out to a pin and is available to the designer. To keep the amount of noise on the reference signal to a minimum, an external capacitor may be connected between REF and ANLG GND.

Clock Characteristics and Timing

A.3.4 Memory and Parallel I/O Interface Read Timing

Table A-10. Switching Characteristics Over Recommended Operating Conditions
($H = 0.5t_{c(CO)}$)

Parameter	Min	Max	Unit
$t_{su(A)R}$ Setup time, address valid before \overline{RD} low †	$H - 10^\dagger$		ns
$t_{h(A)R}$ Hold time, address valid after \overline{RD} high †	0^\dagger		ns
$t_{w(RL)}$ \overline{RD} low pulse duration ‡#	$H - 2$	$H + 2$	ns
$t_{w(RH)}$ \overline{RD} high pulse duration ‡#	$H - 2$		ns
$t_{d(RW)}$ Delay time, \overline{RD} high to \overline{WE} low	$2H - 5$		ns

† A15-A0, PS, DS, IS, and BR timings are all included in timings referenced as address.

‡ STB and \overline{RD} rising and falling edges track and are 0-4 and ± 2 ns, respectively, from CLKOUT1 edges on reads, following the cycle after reset, which is always 7 wait states; thus, tolerance of resulting pulsewidths is ± 2 ns, not ± 4 ns. See Appendix B.

Values derived from characterization data and are not tested.

† See Figure A-9 for address bus timing variation with load capacitance.

Table A-11. Timing Requirements Over Recommended Operating Conditions
($H = 0.5t_{c(CO)}$)

Parameter	Min	Max	Unit
$t_a(A)$ Read data access from address valid	TMS320C5x-40	$2H - 18^\dagger$	ns
	TMS320C5x-57‡	$2H - 15^\dagger$	ns
$t_{su(D)R}$ Read data setup time before \overline{RD} high	10		ns
$t_{h(D)R}$ Read data hold time after \overline{RD} high	0		ns
$t_a(R)$ Read data access time after \overline{RD} low		$H - 10$	ns

† See Figure A-9 for address bus timing variation with load capacitance.

‡ Other timings for 57-MHz CLKIN devices are the same as for the 40-MHz devices, except where indicated otherwise.

A.3.5 Memory and Parallel I/O Interface Write Timing

Table A-12. Switching Characteristics Over Recommended Operating Conditions
($H = 0.5t_{c(CO)}$)

Parameter	Min	Max	Unit
$t_{su(A)W}$ Setup time, address valid before \overline{WE} low †	$H - 5^\#$		ns
$t_{h(A)W}$ Hold time, address valid after \overline{WE} high †	$H - 10^\#$		ns
$t_{w(WL)}$ \overline{WE} low pulse duration ‡†	$2H - 2$	$2H + 2$	ns
$t_{w(WH)}$ \overline{WE} high pulse duration ‡†	$2H - 2$		ns
$t_{d(WR)}$ Delay time, \overline{WE} high to \overline{RD} low	$2H - 10$		ns
$t_{su(D)W}$ Setup time, write data valid before \overline{WE} high ‡	$2H - 20$	$2H^{†\S}$	ns
$t_{h(D)W}$ Hold time, write data valid after \overline{WE} high ‡	$H - 5$	$H + 10^\dagger$	ns
$t_{en(D)W}$ Enable time, \overline{WE} to data bus driven	-5^\dagger		ns

† A15-A0, PS, DS, IS, R/W, and BR timings are all included in timings referenced as address.

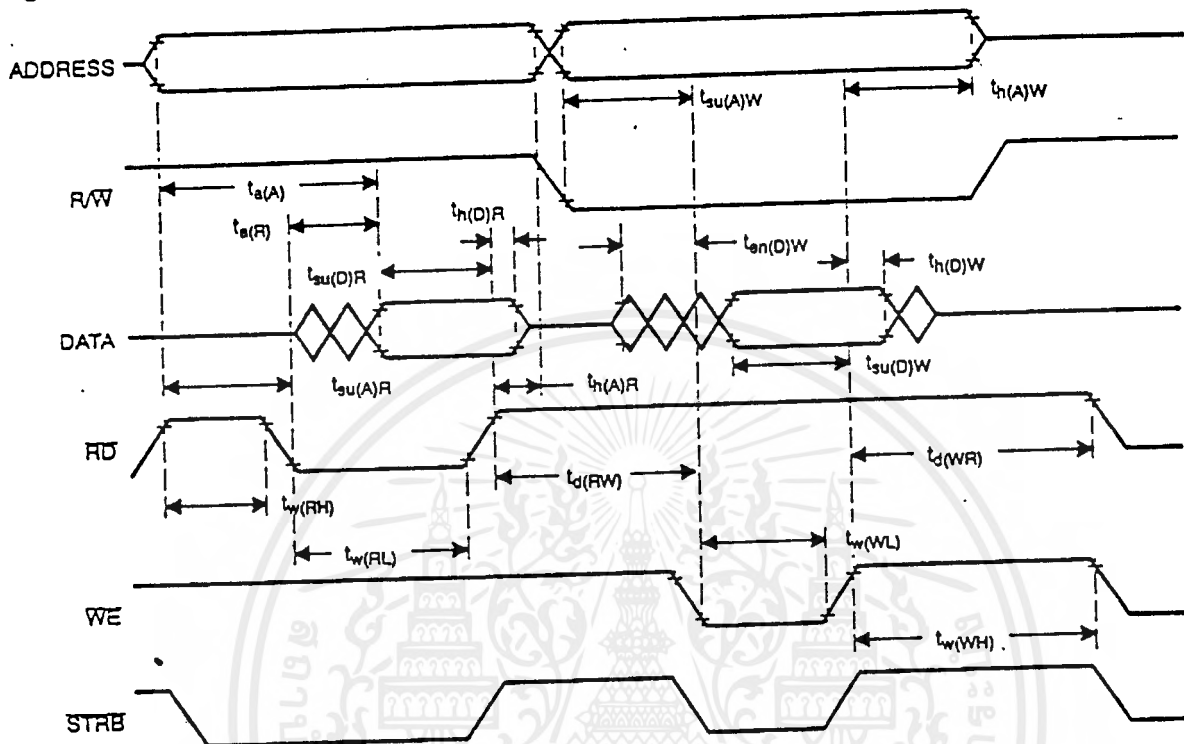
‡ STB and \overline{WE} edges are 0-4 ns from CLKOUT1 edges on writes. Rising and falling edges of these signals track each other; tolerance of resulting pulsewidths is ± 2 ns, not ± 4 ns. See Appendix B for logical device interface timings.

† Values derived from characterization data and are not tested.

§ This value holds true for zero or one wait state only.

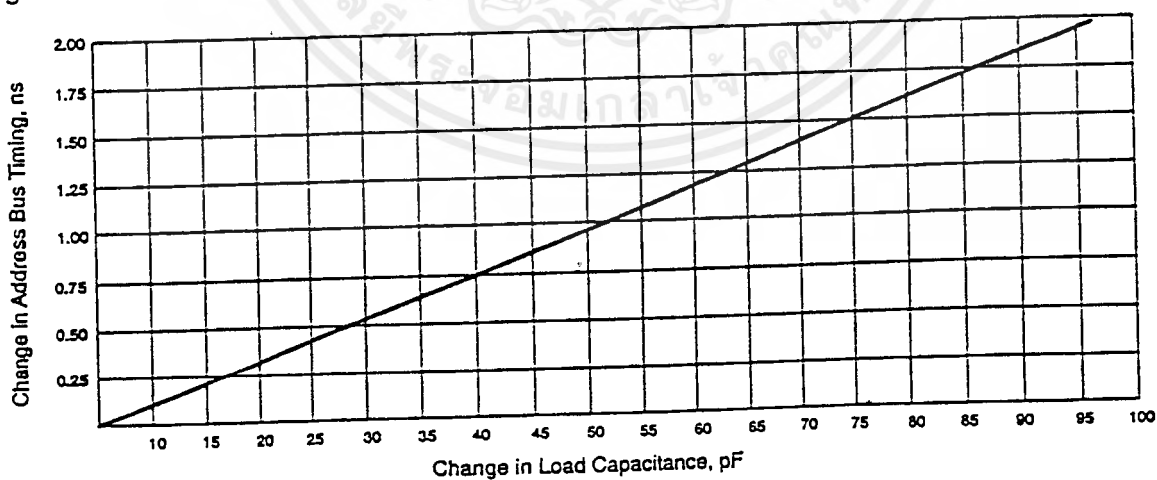
See Figure A-9 for address bus timing variation with load capacitance.

Figure A-8. Memory and Parallel I/O Interface Read and Write Timing



Note: All timings are for 0 wait states. However, external writes always require two cycles to prevent external bus conflicts. The above diagram illustrates a one-cycle read and a two-cycle write and is not drawn to scale. All external writes immediately preceded by an external read or immediately followed by an external read require three machine cycles.

Figure A-9. Address Bus Timing Variation With Load Capacitance



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.3.6 Ready Timing for Externally Generated Wait States

Table A-13. Timing Requirements Over Recommended Operating Conditions

Parameter		Min	Max	Unit
$t_{su}(R-CO)$	READY setup time before CLKOUT1 rises	10		ns
$t_h(CO-R)$	READY hold time after CLKOUT1 rises	0		ns
$t_{su}(R-R)$	READY setup time before RD falls	10		ns
$t_h(R-R)$	READY hold time after RD falls	5		ns
$t_{w,RIW}$	READY valid after WE falls	H - 15		ns
$t_{h,RIW}$	READY hold after WE falls	H + 5		ns

Note: The external READY input is sampled only after the internal software wait states are completed.

Figure A-10. Ready Timing for Externally Generated Wait States During an External Read Cycle

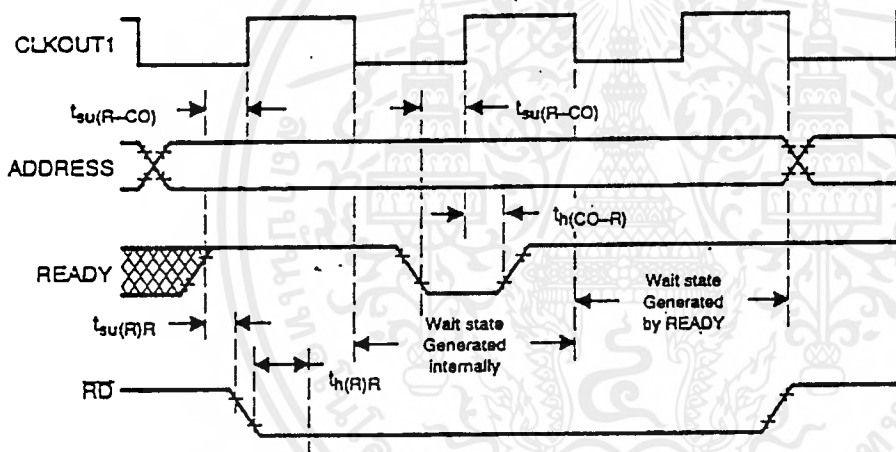
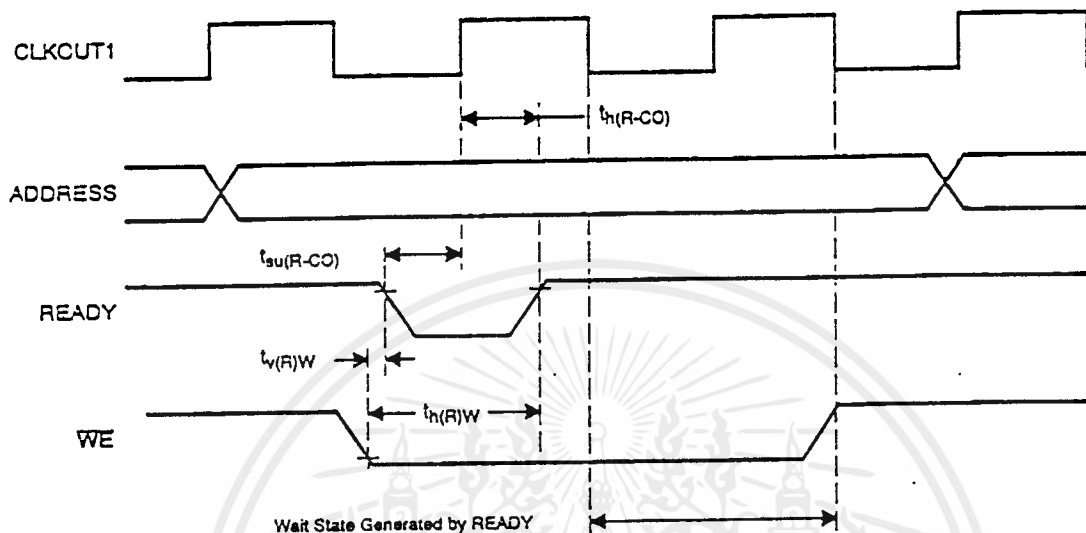


Figure A-11. Ready Timing for Externally Generated Wait States During an External Write Cycle



A.3.7 Reset, Interrupt, and BIO Timings

Table A-14. Timing Requirements Over Recommended Operating Conditions (H = 0.5tc(CO))

Parameter		Min	Max	Unit
tsu(IN)	INT1-INT4, NMI, RS setup time before CLKOUT1 low †	15		ns
th(IN)	INT1-INT4, NMI, RS hold time after CLKOUT1 low †	0		ns
tw(INL)s	INT1-INT4, NMI low pulse duration, synchronous	4H+15‡		ns
tw(INH)s	INT1-INT4, NMI high pulse duration, synchronous	2H+15‡		ns
tw(INL)a	INT1-INT4, NMI low pulse duration, asynchronous #	6H+15‡		ns
tw(INH)a	INT1-INT4, NMI high pulse duration, asynchronous #	4H+15‡		ns
tsu(R)	RS set up time before X2/CLKIN low	10		ns
tw(RSL)	RS low pulse duration	12H		ns
td(EX)	RS high to reset vector fetch	34H		ns
tw(BI)s	BIO low pulse duration, synchronous	15		ns
tw(BI)a	BIO low pulse duration, asynchronous #	H+15		ns
tsu(BI)	BIO setup before CLKOUT1 low	15		ns
th(BI)	BIO hold time after CLKOUT1 low	0		ns

† These parameters must be met to use the synchronous timings. Both reset and the interrupts can operate asynchronously. The pulse widths require an extra half-cycle to guarantee internal synchronization.

‡ If in IDLE2, add 4H to these timings.

Values derived from characterization data and are not tested.

Clock Characteristics and Timing

A.3.10 Serial Port Receive Timing

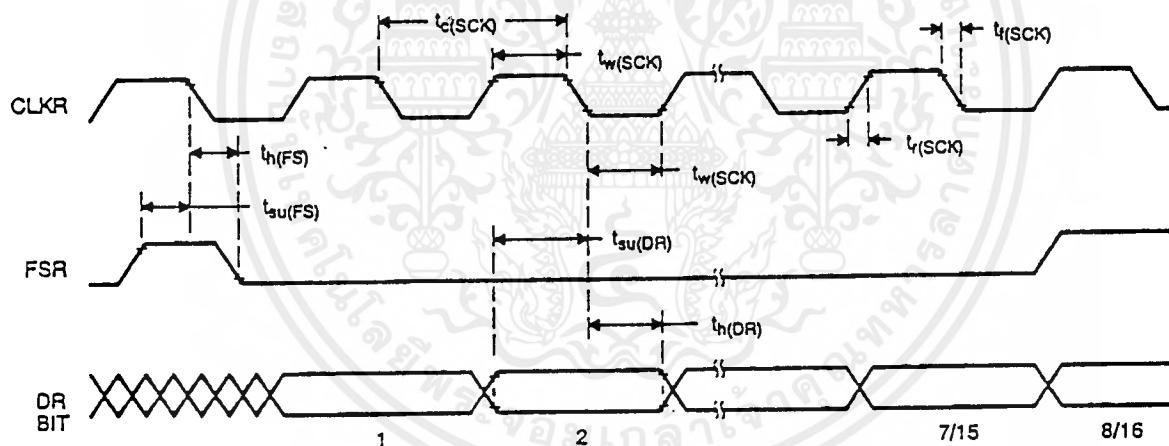
Table A-18. Timing Requirements Over Recommended Operating Conditions
($H = 0.5t_c(CO)$)

Parameter	Min	Max	Unit
$t_c(SCK)$ Serial port clock cycle time	5.2H	†	ns
$t_f(SCK)$ Serial port clock fall time		8†	ns
$t_r(SCK)$ Serial port clock rise time		8†	ns
$t_w(SCK)$ Serial port clock low/high pulse duration	2.1H		ns
$t_{su}(FS)$ FSR setup time before CLKR falling edge	10		ns
$t_h(FS)$ FSR hold time after CLKR falling edge	10		ns
$t_{su}(DR)$ DR setup time before CLKR falling edge	10		ns
$t_h(DR)$ DR hold time after CLKR falling edge	10		ns

† The serial port design is fully static and therefore can operate with $t_c(SCK)$ approaching ∞ . It is characterized approaching an input frequency of 0 Hz but tested at a much higher frequency to minimize test time.

† Values derived from characterization data and are not tested.

Figure A-15. Serial Port Receive Timing



A.3.11 Serial Port Transmit Timing of External Clocks and External Frames
(see Note)

Table A-19. Switching Characteristics Over Recommended Operating Conditions
($S = 0.5t_c(SCK)$)

Parameter	Min	Max	Unit
$t_d(DX)$ Delay time, DX valid after CLKX rising		25	ns
$t_{dis}(DX)$ Disable time, DX after CLKX rising		40	ns
$t_h(DX)$ Hold time, DX valid after CLKX rising	-5		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table A-20. Timing Requirements Over Recommended Operating Conditions
($H = 0.5t_{c(CO)}$)

Parameter	Min	Max	Unit
$t_{c(SCK)}$ Serial port clock cycle time	5.2H	∞	ns
$t_f(SCK)$ Serial port clock fall time		8 †	ns
$t_r(SCK)$ Serial port clock rise time		8 †	ns
$t_w(SCK)$ Serial port clock low/high pulse duration	2.1H		ns
$t_d(FSX)$ FSX delay time after CLKX rising edge		2H-8	ns
$t_h(FSX)$ FSX hold time after CLKX falling edge	10		ns
$t_h(FSX)H$ FSX hold time after CLKX rising edge		2H-8 †	ns

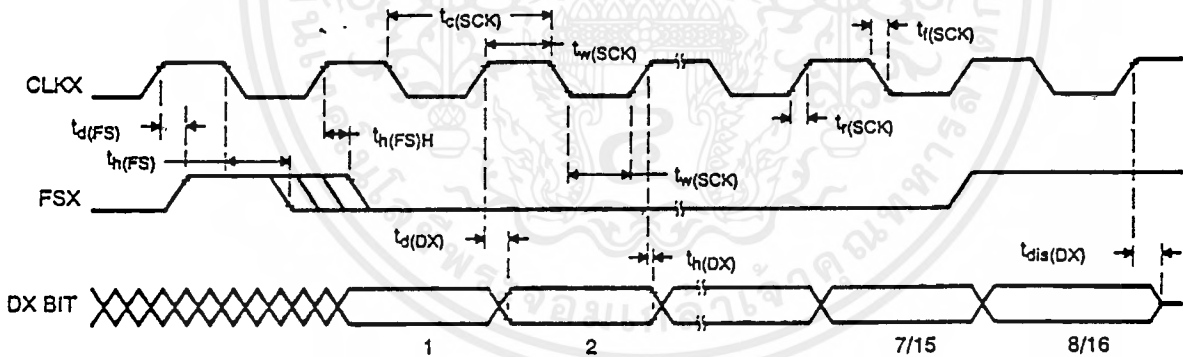
† If the FSX pulse does not meet this specification, the first bit of serial data will be driven on the DX pin until the falling edge of FSX. After the falling edge of FSX, data will be shifted out on the DX pin. The transmit buffer empty interrupt will be generated when the $t_h(FSX)$ and $t_h(FSX)H$ specification is met.

* The serial port design is fully static and therefore can operate with $t_{c(SCK)}$ approaching ∞ . It is characterized approaching an input frequency of 0 Hz but tested at a much higher frequency to minimize test time.

† Values derived from characterization data and are not tested.

Note: Internal clock with external FSX and vice versa are also allowable. However, FSX timings to CLKX are always defined depending on the source of FSX, and CLKX timings are always dependent upon the source of CLKX. Specifically, the relationship of FSX to CLKX is independent of the source of CLKX. Table A-20 shows external FSX and external CLKX timings; Table A-21 shows internal FSX and internal CLKX timings.

Figure A-16. Serial Port Transmit Timing of External Clocks and External Frames



Clock Characteristics and Timing

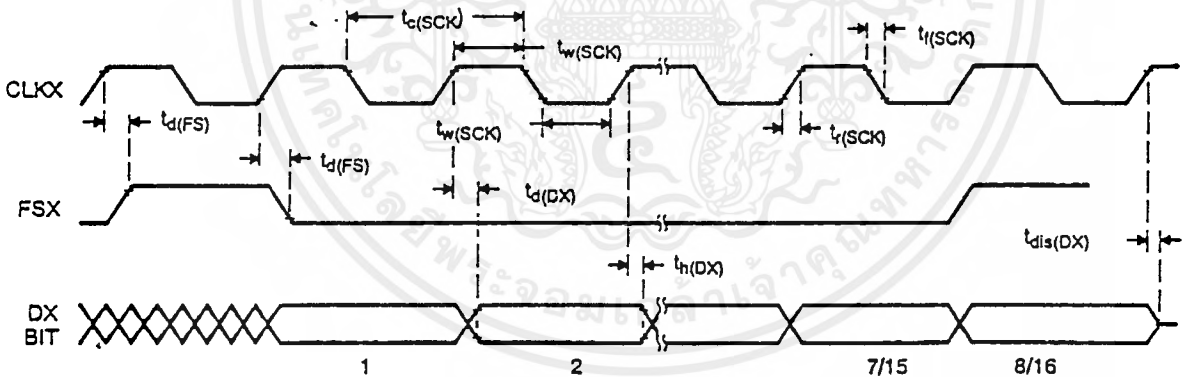
A.3.12 Serial Port Transmit Timing of Internal Clocks and Internal Frames
(see Note)

Table A-21. Switching Characteristics Over Recommended Operating Conditions
($H = 0.5t_{c(SCK)}$, $S = 0.5t_{c(SCK)}$)

Parameter	Min	Typ	Max	Unit
$t_{d(FSX)}$			25	ns
$t_{d(DX)}$			25	ns
$t_{dis(DX)}$			40	ns
$t_{c(SCK)}$		8H		ns
$t_{f(SCK)}$		5		ns
$t_{r(SCK)}$		5		ns
$t_w(SCK)$	4H - 20			ns
$t_h(DX)$	-5			ns

Note: Internal clock with external FSX and vice versa are also allowable. However, FSX timings to CLKX are always defined depending on the source of FSX, and CLKX timings are always dependent upon the source of CLKX. Specifically, the relationship of FSX to CLKX is independent of the source of CLKX. Table A-20 shows external FSX and external CLKX timings; Table A-21 shows internal FSX and internal CLKX timings.

Figure A-17. Serial Port Transmit Timing of Internal Clocks and Internal Frames



A.3.13 Serial Port Receive Timing in TDM Mode

Table A-22. Timing Requirements Over Recommended Operating Conditions
($H = 0.5t_{c(CO)}$)

Parameter	Min	Max	Unit
$t_{c(SCK)}$ Serial port clock cycle time	5.2H	§	ns
$t_{f(SCK)}$ Serial port clock fall time		8*	ns
$t_{r(SCK)}$ Serial port clock rise time		8*	ns
$t_{w(SCK)}$ Serial port clock low/high pulse duration	2.1H		ns
$t_{su(LB)}$ TDAT/TADD setup time before TCLK rising	30		ns
$t_{h(LB)}$ TDAT/TADD hold time after TCLK rising	-5		ns
$t_{su(SB)}$ TDAT/TADD setup time before TCLK rising †	25		ns
$t_{h(SB)}$ TDAT/TADD hold time after TCLK rising †	0		ns
$t_{su(FS)}$ TRFM setup time before TCLK rising edge ‡	10		ns
$t_{h(FS)}$ TRFM hold time after TCLK rising edge ‡	10		ns

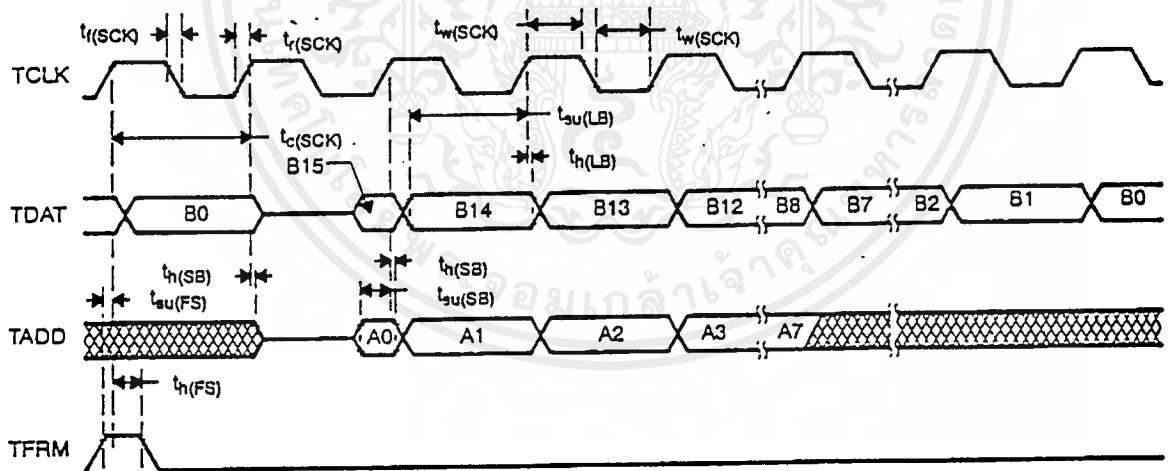
† These parameters apply only to the first bits in the serial bit string.

‡ TRFM timing and waveforms shown in Figure A-18 are for external TRFM. TRFM can also be configured as internal. The TRFM internal case is illustrated in the transmit timing diagram in Figure A-19.

§ The serial port design is fully static and therefore can operate with $t_{c(SCK)}$ approaching ∞ . It is characterized approaching an input frequency of 0 Hz but tested at a much higher frequency to minimize test time.

* Values derived from characterization data and are not tested.

Figure A-18. Serial Port Receive Timing in TDM Mode



A.3.14 Serial Port Transmit Timing in TDM Mode

Table A-23. Switching Characteristics Over Recommended Operating Conditions
($S = 0.5t_{c(SCK)}$)

Parameter	Min	Typ	Max	Unit
$t_h(AD)$	-2			ns
$t_d(FS)$	H		3H+10	ns
$t_1(AD)$			25	ns

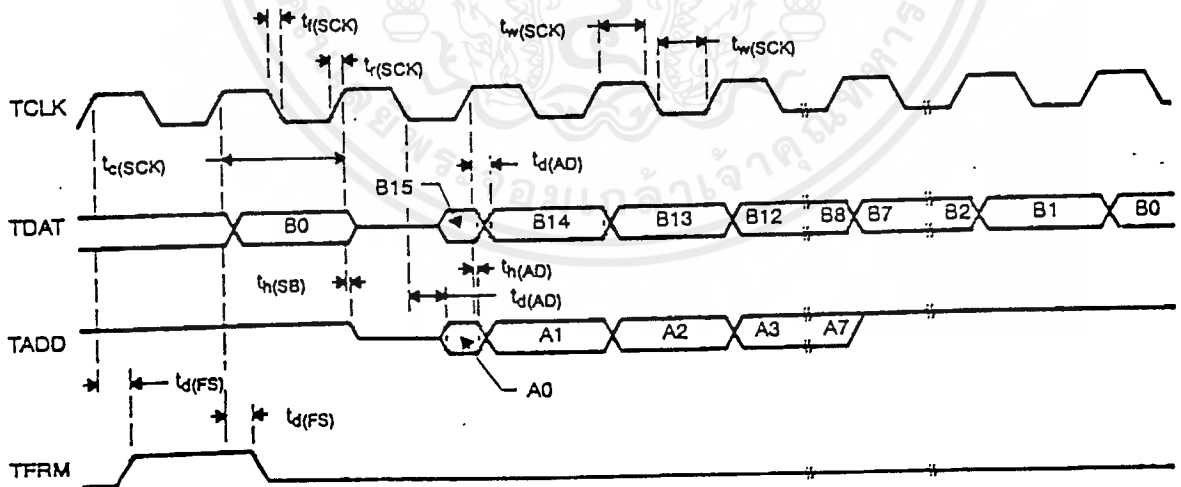
† These parameters apply only to the first bits in the serial bit string.
‡ TFRM timing and waveforms shown in Figure A-19 are for internal TFRM. TFRM can also be configured as external, and the TFRM external case is illustrated in the receive timing diagram in Figure A-18.

Table A-24. Timing Requirements Over Recommended Operating Conditions
($H = 0.5t_{c(CO)}$)

Parameter	Min	Typ	Max	Unit
$t_c(SCK)$	5.2H	8H†	‡	ns
$t_f(SCK)$			8#	ns
$t_r(SCK)$			8#	ns
$t_w(SCK)$	2.1H			ns

† When SCK is generated internally.
‡ The serial port design is fully static and therefore can operate with $t_c(SCK)$ approaching ∞ . It is characterized approaching an input frequency of 0 Hz but tested at a much higher frequency to minimize test time.
Values derived from characterization data and are not tested.

Figure A-19. Serial Port Transmit Timing in TDM Mode



TLC32040C, TLC32040I, TLC32041C, TLC32041I
 TLC32042C, TLC32042I
 ANALOG INTERFACE CIRCUITS

SLAS014D - C2964, SEPTEMBER 1987 - REVISED MAY 1991

Terminal Functions (continued)

PIN		I/O	DESCRIPTION
NAME	NO.		
WORD/BYTE	13	I	<p>This pin, in conjunction with a bit in the control register, is used to establish one of four serial modes. These four serial modes are described below.</p> <p><i>AIC transmit and receive sections are operated asynchronously.</i></p> <p>The following description applies when the AIC is configured to have asynchronous transmit and receive sections. If the appropriate data bit in the control register is a 0 (see the AIC DX data word format section), the transmit and receive sections will be asynchronous.</p> <p>L Serial port directly interfaces with the serial port of the TMS32011 or TMS320C17 and communicates in two 8-bit bytes. The operation sequence is as follows (see Serial Port Timing diagrams):</p> <ol style="list-style-type: none"> 1. The \overline{FSX} or \overline{FSR} pin is brought low. 2. One 8-bit byte is transmitted or one 8-bit byte is received. 3. The \overline{EODX} or \overline{EODR} pin is brought low. 4. The \overline{FSX} or \overline{FSR} pin emits a positive frame-sync pulse that is four shift clock cycles wide. 5. One 8-bit byte is transmitted or one 8-bit byte is received. 6. The \overline{EODX} or \overline{EODR} pin is brought high. 7. The \overline{FSX} or \overline{FSR} pin is brought high. <p>H Serial port directly interfaces with the serial port of the TMS32020, TMS320C25, or TMS320C30 and communicates in one 16-bit word. The operation sequence is as follows (see Serial Port Timing diagrams):</p> <ol style="list-style-type: none"> 1. The \overline{FSX} or \overline{FSR} pin is brought low. 2. One 16-bit word is transmitted or one 16-bit word is received. 3. The \overline{FSX} or \overline{FSR} pin is brought high. 4. The \overline{EODX} or \overline{EODR} pin emits a low-going pulse. <p><i>AIC transmit and receive sections are operated synchronously.</i></p> <p>If the appropriate data bit in the control register is a 1, the transmit and receive sections will be configured to be synchronous. In this case, the bandpass switched-capacitor filter and the A/D conversion timing will be derived from the TX Counter A, TX Counter B, and TA, TA', and TB registers, rather than the RX Counter A, RX Counter B, and RA, RA', and RB registers. In this case, the AIC \overline{FSX} and \overline{FSR} timing will be identical during primary data communication; however, \overline{FSR} will not be asserted during secondary data communication since there is no new A/D conversion result. The synchronous operation sequences are as follows (see Serial Port Timing diagrams):</p> <p>L Serial port directly interfaces with the serial port of the TMS32011 or TMS320C17 and communicates in two 8-bit bytes. The operation sequence is as follows (see Serial Port Timing diagrams):</p> <ol style="list-style-type: none"> 1. The \overline{FSX} and \overline{FSR} pins are brought low. 2. One 8-bit byte is transmitted and one 8-bit byte is received. 3. The \overline{EODX} and \overline{EODR} pins are brought low. 4. The \overline{FSX} and \overline{FSR} pins emit positive frame-sync pulses that are four Shift Clock cycles wide. 5. One 8-bit byte is transmitted and one 8-bit byte is received. 6. The \overline{EODX} and \overline{EODR} pins are brought high. 7. The \overline{FSX} and \overline{FSR} pins are brought high. <p>H Serial port directly interfaces with the serial port of the TMS32020, TMS320C25, or TMS320C30 and communicates in one 16-bit word. The operation sequence is as follows (see Serial Port Timing diagrams):</p> <ol style="list-style-type: none"> 1. The \overline{FSX} and \overline{FSR} pins are brought low. 2. One 16-bit word is transmitted and one 16-bit word is received. 3. The \overline{FSX} and \overline{FSR} pins are brought high. 4. The \overline{EODX} or \overline{EODR} pins emit low-going pulses. <p>Since the transmit and receive sections of the AIC are now synchronous, the AIC serial port with additional NOR and AND gates will interface to two SN74299 serial-to-parallel shift registers. Interfacing the AIC to the SN74299 shift register allows the AIC to interface to an external FIFO RAM and facilitates parallel data bus communications between the AIC and the digital signal processor. The operation sequence is the same as the above sequence (see Serial Port Timing diagrams).</p>

TLC32040C, TLC32040I, TLC32041, TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS

SLAS014D - 02964, SEPTEMBER 1987 - REVISED MAY 1991

Terminal Functions (continued)

PIN NAME	NO.	I/O	DESCRIPTION
EODX	11	O	End of data transmit. See the WORD/BYTE pin description and the Serial Port Timing diagram. During the word-mode timing, this signal is a low-going pulse that occurs immediately after the 16 bits of D/A converter and control or register information have been transmitted from the TMS320 serial port to the AIC. This signal can be used to interrupt a microprocessor upon the completion of serial communications. Also, this signal can be used to strobe and enable external serial-to-parallel shift registers, latches, or an external FIFO RAM, and to facilitate parallel data-bus communications between the AIC and the serial-to-parallel shift registers. During the byte-mode timing, this signal goes low after the first byte has been transmitted from the TMS320 serial port to the AIC and is kept low until the second byte has been transmitted. The TMS32011 or TMS320C17 can use this low-going signal to differentiate between the two bytes as to which is first and which is second.
FSR	4	O	Frame sync receive. In the serial transmission modes, which are described in the WORD/BYTE pin description, the FSR pin is held low during bit transmission. When the FSR pin goes low, the TMS320 serial port will begin receiving bits from the AIC via the DR pin of the AIC. The most significant DR bit will be present on the DR pin before FSR goes low. (See Serial Port Timing and Internal Timing Configuration diagrams.) FSR does not occur after secondary communication.
FSX	14	O	Frame Sync Transmit. When this pin goes low, the TMS320 serial port will begin transmitting bits to the AIC via the DX pin of the AIC. In all serial transmission modes, which are described in the WORD/BYTE pin description, the FSX pin is held low during bit transmission (see the Serial Port Timing and Internal Timing Configuration diagrams).
IN+	26	I	Noninverting input to analog input amplifier stage
IN-	25	I	Inverting input to analog input amplifier stage
MSTR CLK	6	I	The master clock signal is used to derive all the key logic signals of the AIC, such as the shift clock, the switched-capacitor filter clocks, and the A/D and D/A timing signals. The Internal Timing Configuration diagram shows how these key signals are derived. The frequencies of these key signals are synchronous submultiples of the Master Clock frequency to eliminate unwanted aliasing when the sampled analog signals are transferred between the switched-capacitor filters and the A/D and D/A converters (see the Internal Timing Configuration).
OUT+	22	O	Noninverting output of analog output power amplifier. Can drive transformer hybrids or high-impedance loads directly in either a differential or a single-ended configuration.
OUT-	21	O	Inverting output of analog output power amplifier. Functionally identical with and complementary to OUT+.
REF	8	I/O	For the TLC32040 and TLC32042, the internal voltage reference is brought out on this pin. For the TLC32040, TLC32041, and TLC32042, an external voltage reference can be applied to this pin.
RESET	2	I	A reset function is provided to initialize the TA, TA', TB, RA, RA', RB, and control registers. This reset function initiates serial communications between the AIC and DSP. The reset function will initialize all AIC registers including the control register. After a negative-going pulse on the RESET pin, the AIC registers will be initialized to provide an 8-KHz data conversion rate for a 5.184-MHz master clock input signal. The conversion rate adjust registers, TA' and RA', will be reset to 1. The control register bits will be reset as follows (see AIC DX data word format section): d7 = 1, d6 = 1, d5 = 1, d4 = 0, d3 = 0, d2 = 1 This initialization allows normal serial-port communication to occur between AIC and DSP.
SHIFT CLK	10	O	The shift clock signal is obtained by dividing the master clock signal frequency by four. This signal is used to clock the serial data transfers of the AIC, described in the WORD/BYTE pin description below (see the Serial Port Timing and Internal Timing Configuration diagrams).
VDD	7		Digital supply voltage, 5 V \pm 5%
VCC+	20		Positive analog supply voltage, 5 V \pm 5%
VCC-	19		Negative analog supply voltage, -5 V \pm 5%

บรรณานุกรม

- [1] ไพโรจน์ ไววานิชกิจ. “มาตรฐานการส่งข้อมูลแบบ PCM”.
วารสารเซมิคอนดักเตอร์อิเล็กทรอนิกส์, ฉบับที่ 155 (มกราคม 2539) : หน้า 68-77
- [2] ยืน ภู่วรรณ. “DSP : Digital Signal Processing TMS320C25,”
วารสารเซมิคอนดักเตอร์อิเล็กทรอนิกส์, ฉบับที่ 77 (เมษายน 2530) : หน้า 165-172
- [3] ยืน ภู่วรรณ. “DSP: Digital Signal Processing TMS320C25”,
วารสารเซมิคอนดักเตอร์อิเล็กทรอนิกส์, ฉบับที่ 78 (พฤษภาคม 2530) : หน้า 173-181
- [4] ยืน ภู่วรรณ. “DSP: Digital Signal Processing TMS320C25”,
วารสารเซมิคอนดักเตอร์อิเล็กทรอนิกส์, ฉบับที่ 79 (มิถุนายน - กรกฎาคม 2530) :
หน้า 204-210
- [5] ยืน ภู่วรรณ. “สถาปัตยกรรมไมโครโปรเซสเซอร์ 16/32 บิต”, บริษัทซีเอ็ด ยูเคชั่น จำกัด
- [6] โอภาส ศิริครรชิตถาวร. “บอร์ด DSP Starter Kit”.วารสารเซมิคอนดักเตอร์อิเล็กทรอนิกส์,
ฉบับที่ 148 (พฤษภาคม 2538) : หน้า 49-55
- [7] SURASIT TATREE. “Product code vector quantizers and their application to speech coding” WARSAW UNIVERSITY OF TECHNOLOGY 1994
- [8] N. S. JAYANT,PETER NOLL. “DIGITAL CODING OF WAVEFORMS
“Principles and Applications to Speech and Video”,PRENTICE-HALL,INC,1984
- [9] Microprocessor Development Systems, TMS320C5x DSP Starter Kit User’s Guide
Texas Instruments: 1993
- [10] Digital Signal Processing Products, TMS320C5x User’s Guide,Texas Instruments : 1993
- [11] Linear Databook 3, National Semiconductor Corporation : 1988

