ภาควิชาครุศาสตร์วิศวกรรม

คณะครุศาสตร์อุตสาหกรรม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ใบรับรองปริญญานิพนธ์

ปริญญานิพนธ์ ดิจิตอลอิควอไลเซอร์

DIGITAL EQUALIZER

ชื่อนักศึกษา 1. นางสาวนิตยา เทียมฉัตร รหัสประจำตัว 37031308

2. นายไพศาล พันธ์ดี รหัสประจำตัว 37031316

3. นายสมชาย รัตนะมงคลกุล รหัสประจำตัว 37031325

4. นายอำนาจ เกษโกมล รหัสประจำตัว 37031335

หลักสูตร ครุศาสตร์อุตสาหกรรมบัณฑิต สาขาวิชา อิเล็กทรอนิกส์และคอมพิวเตอร์

อาจารย์ผู้ควบคุมปริญญานิพนธ์

1. อาจารย์วรวิทย์ สมหา
2. อาจารย์ ดร.สุรสิทธิ์ ราตรี
3. อาจารย์สุชิน อาจหาญ

คณะกรรมการสอบปริญญานิพนธ์	ลายมือชื่อ
1. อาจารย์วรวิทย์ สมหา	
2. อาจารย์ ดร.สุรสิทธิ์ ราตรี	
3. อาจารย์สุชิน อาจหาญ	
4. อาจารย์โกศล ตราชู	
5. อาจารย์พีระวุฒิ สุวรรณจันทร์	

วันเดือนปีที่สอบ วันที่ 9 ธันวาคม 2538 เวลา 12.00 ถึง 14.00 น.

สถานที่สอบ ห้อง ค.303 คณะครุศาสตร์อุตสาหกรรม

ภาควิชารับรองแล้ว

ลงชื่อ .....

(ผู้ช่วยศาสตราจารย์ ดร.ธีระพล เทพหัสดิน ณ อยุธยา)

หัวหน้าภาควิชาครุศาสตร์วิศวกรรม

วันที่ 20 เดือน ธันวาคม พ.ศ. 2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์

ดิจิตอลอีควอไลเซอร์

DIGITAL EQUALIZER

นางสาวนิตยา เทียมฉัตร
นายไพศาล พันธ์ดี
นายสมชาย รัตนมงคลกุล
นายอำนาจ เกษโกมล

A021309

เลขหมู่ 1540 02130
เลขทะเบียน
วัน เดือน ปี 29 ตค 2539

ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรครุศาสตร์อุตสาหกรรมบัณฑิต
สาขาอิเล็กทรอนิกส์และคอมพิวเตอร์
ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์

เรื่อง ดิจิตอลอีควอไลเซอร์

DIGITAL EQUALIZER

ผู้จัดทำ

1. นางสาวนิตยา เทียมฉัตร
2. นายไพศาล พันธ์ดี
3. นายสมชาย รัตนมงคลกุล
4. นายอำนาจ เกษโกมล

อาจารย์ที่ปรึกษา

ลงนาม.....

(อาจารย์วรวิทย์ สมหา)

ลงนาม.....

(อาจารย์ ดร.สุรสิทธิ์ ราตรี)

ลงนาม.....

(อาจารย์สุชิน อาจหาญ)

หัวหน้าภาควิชา

ลงนาม.....

(ผศ.ดร.ธีระพล เทพหัสดิน ณ อยุธยา)

เอกสารนี้มีลิขสิทธิ์ สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์

ดิจิตอลอีควอไลเซอร์

DIGITAL EQUALIZER

วัตถุประสงค์

1. เพื่อศึกษาการประยุกต์ใช้งานระบบการประมวลผลสัญญาณเชิงเลข
2. เพื่อศึกษาวิธีการออกแบบระบบไมโครคอมพิวเตอร์โดยใช้ TMS320C50 เป็น CPU
3. เพื่อเขียนโปรแกรมใช้งาน TMS320C50
4. เพื่อสร้างดิจิตอลอีควอไลเซอร์สำหรับสัญญาณเสียง
5. เพื่อนำไปใช้งานเป็นอีควอไลเซอร์ในย่านความถี่ 20 Hz - 10 KHz

ประโยชน์ที่คาดว่าจะได้รับ

1. สามารถประยุกต์ใช้งานระบบประมวลผลสัญญาณเชิงเลขในการทำเป็นอีควอไลเซอร์
2. สามารถออกแบบระบบประมวลผลสัญญาณเชิงเลขที่มีความยืดหยุ่นในการใช้งาน
3. สามารถเขียนโปรแกรมใช้งาน TMS320C50 เป็นอีควอไลเซอร์ได้
4. สามารถสร้างดิจิตอลอีควอไลเซอร์สำหรับสัญญาณเสียงได้
5. สามารถนำไปใช้งานเป็นอีควอไลเซอร์ในย่านความถี่ 20 Hz - 10 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดิจิตอลอีควอไลเซอร์

น.ส.นิตยา เทียมฉัตร
นายไพศาล พันธ์ดี
นายสมชาย รัตนะมงคลกุล
นายอำนาจ เกษโกมล

อาจารย์ที่ปรึกษา
อาจารย์วรวิทย์ สมหา
อาจารย์ ดร.สุรสิทธิ์ ราตรี
อาจารย์สุชิน อาจหาญ

ปีการศึกษา 2538

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้เป็นการประยุกต์ใช้งานอีกด้านหนึ่งของระบบประมวลผลสัญญาณเชิงเลขโดยนำมาทำเป็นอีควอไลเซอร์ โดยใช้ดิจิตอลไมโครโปรเซสเซอร์ (DSP) เป็นตัวควบคุมการทำงานของอีควอไลเซอร์ ซึ่งผู้ใช้จะสามารถปรับแต่งค่าต่าง ๆ ได้ตามต้องการโดยวิธีสั่งการผ่านทางคีย์บอร์ด โดยไมโครโปรเซสเซอร์จะรับค่าปรับแต่งจากผู้ใช้ แล้วนำไปคำนวณหาค่า Impulse Responce ซึ่งค่านี้จะเป็นตัวกำหนดคุณสมบัติของฟิลเตอร์ จากนั้นจึงทำการส่งค่าที่ได้ไปยังบอร์ด DSP Starter Kit (DSK) โดยที่บอร์ด DSK จะทำหน้าที่เป็นดิจิตอลฟิลเตอร์ด้วยวิธีการของ Finite Impulse Response (FiR) ในลักษณะต่าง ๆ ตามรูปแบบของพาราเมตริกอีควอไลเซอร์ โดยจะรอรับค่า Impulse Responce ที่ส่งมาจากไมโครโปรเซสเซอร์ พร้อมทั้งแสดงผลที่จอกราฟฟิค LCD นอกจากนี้บอร์ด DSK ยังสามารถนำไปประยุกต์ใช้งานด้านอื่น ๆ ของระบบประมวลผลสัญญาณเชิงเลขได้อีกหลายด้าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DIGITAL EQUALIZER

MISS. NITTAYA THEAMCHAT

MR. PISAN PANDEE

MR SOMCHAI RATTANAMONGKUL

MR. AMNART KETKOMOL

ADVISOR

MR. WORAWIT SOMHA

Dr. SURASIT RATREE

MR. SUCHIN ADHAN

1995

ABSTRACT

This thesis is one of Appcications to digital signal processing (DSP), include which utilizes digital signal processing algorithms for parametric equalizer. The microprocesser was controled DSP starter kit (DSK) board and communicated with the user. The microprocesser calulated the parameter,given by user it is impulse responce as implement of filter and written to memory of the DSK board . The DSK board implementing finite impulse responce (FIR) digital filter,with the form of parametric equalizer, The microprocesser send impulse responce to the DSK board and then the output showing on graphic LCD display. The DSK board can applies to several digital signal processing applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

การจัดทำปริญญานิพนธ์นี้สำเร็จลุล่วงได้ด้วยดี เนื่องจากความร่วมมือกันของสมาชิกภายในกลุ่มทุกท่าน ซึ่งได้ให้ความร่วมมือกันอย่างเต็มที่ พร้อมทั้งยังได้รับความกรุณาจากท่านอาจารย์ผู้ควบคุมปริญญานิพนธ์ในด้านแนวความคิดในการจัดทำโครงงานพิเศษทั้งด้านฮาร์ดแวร์และซอฟแวร์ และได้รับงบประมาณสนับสนุนในการทำโครงงานพิเศษจากภาควิชาครุศาสตร์วิศวกรรม รวมทั้งวิทยาลัยเทคนิคอ่างทองและวิทยาลัยเทคนิคฉะเชิงเทราที่สนับสนุนในด้านเครื่องมือต่าง ๆ ที่ใช้ในการจัดทำโครงงานพิเศษครั้งนี้ และที่ควรระลึกถึงอย่างยิ่งคือ บุพการี ผู้สนับสนุนด้านการศึกษาตลอดมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทคัดย่อ	
ABSTRACT	
กิตติกรรมประกาศ	
บทที่ 1 บทนำ	1
1.1 วัตถุประสงค์ของการทำปริญญานิพนธ์	3
1.2 ขอบเขตของการทำปริญยานิพนธ์	3
1.3 ประโยชน์ที่คาดว่าจะได้รับ	3
1.4 เนื้อหาโดยสังเขป	3
บทที่ 2 ทฤษฎีและหลักการ	5
2.1 สถาปัตยกรรมของ TMS320C50	5
2.2 โครงสร้างโดยทั่วไป	5
2.3 สถาปัตยกรรมโดยทั่วไป	6
2.4 ฟังก์ชั่นบล็อกไดอะแกรม	6
2.5 การจัดหน่วยความจำ	6
2.6 ทฤษฎีการแปลงสัญญาณ	17
2.6.1 ทฤษฎีของการสุ่มข้อมูล	18
2.6.2 ทฤษฎีการควันไตซ์	18
2.6.3 วงจรแซมปลิ้งแอนด์โฮลด์	21
2.7 วงจรเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล (A/D CONVERTER)	23
2.7.1 แบบใช้วงจรเปรียบเทียบขนานหรือแบบแฟลช	23
2.7.2 วงจรเอทูดีที่ใช้ในการอินทีเกรต	25
2.7.3 แบบวงจรนับและวงจรดีทูเอประกอบกัน	32
2.8 วงจรเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก (D/A CONVERTER)	33
2.8.1 วิธีการ Weighted-current-source	33
2.8.2 วิธีการแบบใช้ตัวต้านทาน 2 ค่า (R/2R Ladder D/A converter)	35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.9 ทฤษฎีการออกแบบดิจิตอลพาราเมตริกอีควอไลเซอร์ 38
2.9.1 ในกระบวนการอีควอไลเซอร์ 38
2.9.2 คุณสมบัติของอนาล็อกพาราเมตริกอีควอไลเซอร์ 39
2.9.3 ผลการตอบสนองของ Q-Point Gain และ Frequency center 39
2.10 โครงสร้างสถาปัตยกรรม MCS-51 41
2.11 การจัดลักษณะภายนอกของ MCS-51 42
2.12 การจัดหน่วยความจำของ MCS-51 43
2.13 หลักการออกแบบดิจิตอลพาราเมตริกอีควอไลเซอร์ 44
2.14 การออกแบบ FIR Filter ด้วยวิธีแซมปลิ้งความถี่ 44
2.15 การสร้างดิจิตอลฟิลเตอร์ด้วย TMS320C50 46
2.15.1 คุณสมบัติของวงจรฟิลเตอร์แบบ FIR 46
2.15.2 วงจรฟิลเตอร์ FIR 47
บทที่ 3 หลักการออกแบบและวิธีการสร้าง 52
3.1 หลักการออกแบบฮาร์ดแวร์ 52
3.1.1 ส่วน Pre-Amp 53
3.1.2 ส่วน DSK Board 55
3.1.3 ส่วน Key Control 55
3.1.4 ส่วน MCS-51 Board 56
3.1.5 ส่วน Graphic LCD Display 57
3.1.6 ส่วน Battery Backup 58
3.1.7 ส่วน Interface LCD 59
3.2 หลักการทำงานและการออกแบบซอฟท์แวร์ 59
3.2.1 ซอฟท์แวร์โดยรวม 59
3.2.2 ลักษณะของโปรแกรมดิจิตอลอีควอไลเซอร์ 60
3.2.3 อุปกรณ์หรือซอฟท์แวร์ที่โปรแกรม Application ต้องการ 60
3.2.4 การทำงานของโปรแกรม Application เขียนเป็นผังการทำงาน 60
บทที่ 4 การทดลองและผลการทดลอง 66
4.1 การทดสอบการทำงานของเครื่องดิจิตอลอีควอไลเซอร์ 67
4.2 ผลการทดลอง 71

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5 สรุปและวิจารณ์ 72
5.1 สรุป 72
5.2 ปัญหาที่พบ 72
5.2.1 ในส่วนของฮาร์ดแวร์ 72
5.2.2 การอินเตอร์เฟส 73
5.2.3 ในส่วนปัญหาการออกแบบฟิลเตอร์ 73
5.3 การพัฒนา 74
5.3.1 ส่วนของฮาร์ดแวร์ 74
5.3.2 ส่วนของซอฟท์แวร์ 74
5.3.3. ส่วนของโปรแกรมฟิลเตอร์ 74
ภาคผนวก ก. คู่มือการใช้งาน
ภาคผนวก ข. โปรแกรม
ภาคผนวก ค. หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

รูปภาพ	หน้า
รูปที่ 1.1 บล็อกไดอะแกรมของระบบเสียงดิจิตอล	1
รูปที่ 2.1 ลักษณะภายนอกของ TMS320C50	7
รูปที่ 2.2 บล็อกไดอะแกรมภายในของ TMS320C50	8
รูปที่ 2.3 ระบบที่มีผลข้อมูลทางดิจิตอล	17
รูปที่ 2.4 การสุ่มตัวอย่างของข้อมูล (Sampling)	19
รูปที่ 2.5 ทรานเฟอร์ฟังก์ชั่นของการควันไตซ์ 4 บิท	20
รูปที่ 2.6 ความผิดพลาดควันไตซ์	21
รูปที่ 2.7 วงจรพื้นฐานของการแซมปลิ้งแอนด์โฮลด์	21
รูปที่ 2.8 วงจรแซมปลิ้งแอนโฮลด์ที่ใกล้เคียงกับวงจรจริง	22
รูปที่ 2.9 การตกแรงดันที่โฮลด์ไว้	22
รูปที่ 2.10 รูปคลื่นสัญญาณจากวงจรแซมเปิลแอนด์ในทางอุดมคติ	23
รูปที่ 2.11 การต่อวงจร Parallel comparator A/D converter	24
รูปที่ 2.12 ความชันของสัญญาณแรมป์	26
รูปที่ 2.13 บล็อกไดอะแกรมแบบสโลปเดี่ยวหรือแบบแรมป์	26
รูปที่ 2.14 บล็อกไดอะแกรมแบบสโลปคู่	27
รูปที่ 2.15 เอาท์พุทของวงจรอินทีเกรเตอร์	31
รูปที่ 2.16 วงจรเปลี่ยนสัญญาณแบบเดลต้า-ซิกม่า	31
รูปที่ 2.17 วงจร A/D แบบวงจรนับเดี่ยวที่สร้างขึ้นโดยวงจรนับขึ้นและวงจร D/A	32
รูปที่ 2.18 วงจร A/D ที่สร้างขึ้นจากวงจรนับขึ้นลงและวงจร D/A	33
รูปที่ 2.19 วิธีการเวท-เดอร์เรนท์-ซอร์ส	34
รูปที่ 2.20 รายละเอียดของวงจรเวท-เดอร์เรนท์-ซอร์ส	35
รูปที่ 2.21 วงจรดีทูเอแบบใช้ตัวต้านทานหลายค่า	35
รูปที่ 2.22 วงจรสมบูรณ์	37
รูปที่ 2.23 วงจรเสมือนในขณะที่สวิทซ์ของบิตที่มีนัยสำคัญสูงสุดปิด	37
รูปที่ 2.24 วงจรเสมือนในขณะที่สวิทซ์ของบิตที่มีนัยสำคัญรองลงมาปิด	37
รูปที่ 2.25 วงจรพาราเมตริกอีควอไลเซอร์	40
รูปที่ 2.26 แผนผังการทำงานของระบบประมวลผลสัญญาณด้วย DSP	41

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ทำซ้ำ ดัดแปลง เผยแพร่ หรือนำไปใช้ในรูปแบบอื่นใด ทั้งนี้ ต้องอ้างอิงเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.27 ลักษณะการจัดขาภายนอกของ MCS-51 43
รูปที่ 2.28 Direct-Form FIR Filter 48
รูปที่ 2.29 ผังหน่วยความจำ 50
รูปที่ 2.30 ผังการทำงานของ FIR Filter 51
รูปที่ 3.1 บล็อกไดอะแกรมของดิจิตอลอีควอไลเซอร์ 52
รูปที่ 3.2 วงจรภาค Pre-Amp 53
รูปที่ 3.3 การต่อวงจรเรกูเลเตอร์เฉพาะไฟบวกอย่างเดียว 54
รูปที่ 3.4 ส่วนต่าง ๆ ของบอร์ด TMS320C50 55
รูปที่ 3.5 ลักษณะของ Key Control 56
รูปที่ 3.6 ลักษณะของบอร์ด MCS-51 56
รูปที่ 3.7 โครงสร้างภายในและขาควบคุม 57
รูปที่ 3.8 วงจร Battery Backup 58
รูปที่ 3.9 การติดต่อระหว่าง MCS-51 กับกราฟฟิค LCD 59
รูปที่ 3.10 ผังการทำงานของ Main Program 61
รูปที่ 3.11 ผังการทำงานของการควบคุม LCD 62
รูปที่ 3.12 ผังการทำงานของการควบคุม LCD 63
รูปที่ 3.13 ผังการทำงานของการส่งข้อมูล 64
รูปที่ 3.14 ผังการทำงานของการคำนวณหาค่าสัมประสิทธิ์ 65
รูปที่ 4.1 เครื่องดิจิตอลอีควอไลเซอร์ 66
รูปที่ 4.2 เมนูการทำงานของเครื่องดิจิตอลอีควอไลเซอร์ 67
รูปที่ 4.3 สัญญาณอินพุทรูปไซน์ขนาด 1 Vp-p ที่ความถี่ 10 KHz 68
รูปที่ 4.4 เอาท์พุทที่ได้จากสัญญาณอินพุทรูปไซน์ ขนาด 1 Vp-p ที่ความถี่ 10 Khz 68
รูปที่ 4.5 สัญญาณอินพุทรูปไซน์ขนาด 1 Vp-p ที่ความถี่ 5 KHz 69
รูปที่ 4.6 เอาท์พุทที่ได้จากสัญญาณอินพุทรูปไซน์ ขนาด 1 Vp-p ที่ความถี่ 5 Khz 69
รูปที่ 4.7 อินพุทเปรียบเทียบเอาท์พุทเมื่อส่งสัญญาณเสียงในทุกช่วงความถี่ 70
รูปที่ 5.1 เอาท์พุทที่ได้จากสัญญาณอินพุทรูปไซน์ ขนาด 1 Vp-p ที่ความถี่ 20 KHz 73

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตาราง	หน้า
ตารางที่ 2.1 อธิบายหน้าที่ของบล็อกโครงสร้างของ TMS320C50	15
ตารางที่ 2.2 Core Processor Memory - Map Register ของ TMS320C50	16
ตารางที่ 2.3 ความสัมพันธ์ระหว่างแรงดันอินพุทที่เป็นอนาล็อก กับเอาท์พุทที่เป็นดิจิตอล	24
ตารางที่ 2.4 คุณสมบัติของอนาล็อก พาราเมตริกอีควอไลเซอร์	39
ตารางที่ 2.5 รายละเอียดของตระกูล MCS-51	42

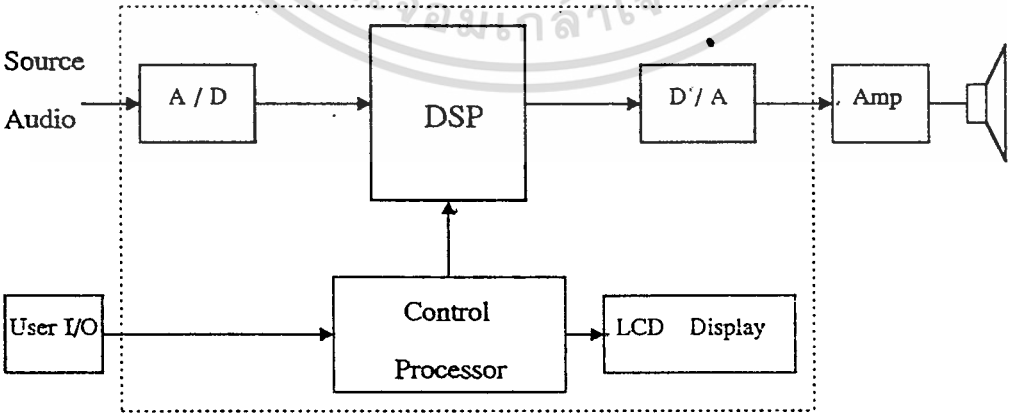
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในปัจจุบันที่อุปกรณ์อิเล็กทรอนิกส์สมัยใหม่ มักจะมีอุปกรณ์ DIGITAL SIGNAL PROCESSING (DSP) เป็นส่วนประกอบที่สำคัญ เช่น การ์ด FAX/MODEM ของเครื่องคอมพิวเตอร์ หรือโมเด็มความเร็วสูงรุ่นใหม่ ที่เมื่อเปิดดูภายในก็มีแค่ชิพ DSP และอุปกรณ์เชื่อมต่อกับสัญญาณโทรศัพท์เท่านั้น นอกจากนี้แล้วยังพบอีกมากมายในการ์ดเสียง, การ์ดวีดีโอคอมเพรสชั่น/ดีคอมเพรสชั่น, ดิจิตอลคอนโทรลเลอร์, ดิจิตอลออสซิลโลสโคป, สเปกตรัมอะนาไลเซอร์,จอภาพ,เครื่องรับสัญญาณดาวเทียม TH,โทรศัพท์มือถือดิจิตอล PCN1800 และ GSM900 ฯลฯ ในอดีตการศึกษาเรื่องของ DSP จะเป็นเรื่องที่ลำบากมาก เนื่องจากต้องหาตัวชิพ DSP คู่มือ ซอฟแวร์แอสเซมเบลอร์และดีบักเกอร์ ฯลฯ

แต่ในปัจจุบันไม่เป็นเรื่องยากแล้วเมื่อเท็กซัสอินสตรูเมนท์ เจ้าของชิพ DSP ตระกูล TMS320C50 ได้จัดทำชุดพัฒนาที่สมบูรณ์แบบ มีตัวชิพ คู่มือและอุปกรณ์ต่าง ๆ ที่จำเป็นทั้งหมด พร้อมทั้งซอฟต์แวร์ และโปรแกรมตัวอย่างจัดจำหน่าย ในปัจจุบันได้มีผู้นำเข้า TMS320C50 DSP starter kit (DSK) เพื่อศึกษาและทดลองใช้งาน เป็นการพัฒนาวงการ DSP ต่อไป

ในระบบเสียงดิจิตอล (Digital) จะมีหน่วยประมวลผลแบบเวลาจริง (Real time)



รูปที่ 1.1 บล็อกไดอะแกรมของระบบเสียงดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 1.1 ระบบควบคุมการทำงานของตัวประมวลผล (Control Processor) จะใช้ MCS-51 เป็นตัวควบคุม และมีภาค DISPLAY โดยใช้กราฟฟิค LCD เป็นตัวแสดงผล ส่วนระบบถูกต่ออยู่ระหว่าง แหล่งกำเนิดเสียง เช่น Tuner, Tape, CD player และเพาเวอร์แอมป์ โดยแหล่งกำเนิดเสียงซึ่งเป็นสัญญาณอนาล็อกจะถูกเปลี่ยนเป็นสัญญาณดิจิตอล โดยภาคแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล (Analog to Digital Convertor A/D) แล้วส่งให้ตัวประมวลผลสัญญาณเชิงเลข ส่วนนี้จะนำเอาสัญญาณดิจิตอลที่ได้ มากระทำตามกระบวนการประมวลผล (Process) ตามอัลกอลิทึม (Algorithem) และจากนั้นก็ส่งสัญญาณดิจิตอล ผลจากการประมวลผลไปยังภาค D/A (Digital to Analog Convertor D/A) เพื่อแปลงสัญญาณกลับเป็นสัญญาณอนาล็อกอีกครั้ง แล้วส่งออกไปยังภาคขยายเสียงออกลำโพง

อัลกอลิทึมในกระบวนการประมวลผลได้มาจากภาคควบคุมการทำงานซึ่งจะให้ระบบทำงานเป็นอะไร เช่น อีควอไลเซอร์ วงจรกรองความถี่ (Filter) สร้างเสียงเซอร์ราวด์ (Surround) สร้างเสียงสเตอริโอ ในปริญญานิพนธ์นี้เราจะใช้ระบบเป็นพาราเมตริกอีควอไล-เซอร์ (Parametic Equalizer) เมื่อพิจารณา พาราเมตริกอีควอไลเซอร์จะเป็นชุดของวงจรกรองความถี่ที่ปรับอัตราการขยาย (Tunable gain) ความถี่กลาง (Center Frequency) และความกว้างแบนด์ (Band width) สิ่งสำคัญคือส่วนของวงจรกรองความถี่จะใช้ชิพ DSP TMS320C50 เป็นตัวประมวลผล โดยรูปแบบของวงจรกรองความถี่ เลือกใช้ชนิด Finite Impulse Responce (FIR) โดยลักษณะสมบัติที่ต้องการรับค่าจากผู้ใช้ผ่านทางคีย์บอร์ด (Keyboard) และจะถูกคำนวณให้อยู่ในรูปค่าสัมประสิทธิ์ที่ใช้ในขบวนการคูณประสาน (Convolution) กับสัญญาณอินพุท และส่งมายังบอร์ด DSK ซึ่งมีลักษณะเป็นไมโครโปรเซสเซอร์ ซึ่งมีองค์ประกอบครบคือหน่วยประมวลผลกลาง หน่วยความจำ หน่วยอินพุท/เอาท์พุท

โดยสัมประสิทธิ์ที่ได้จากการคำนวณ จะถูกโหลดลงมาใส่ไว้ในหน่วยความจำ แรม (RAM) บนบอร์ด และหน่วยประมวลผลจะอ่าน ไปทำตามขบวนการต่อไป และบอร์ดนี้ยังสามารถติดต่อกับพอร์ตอนุกรมได้ พร้อมทั้งมี IC A/D และ D/A ขนาด 14 บิทรวมอยู่ในบอร์ด ซึ่งมีความสะดวกมากในการประยุกต์ใช้งานในด้านต่าง ๆ ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.1 วัตถุประสงค์ของการทำปริญญานิพนธ์

ในการทำปริญญานิพนธ์นี้ก็เพื่อต้องการศึกษาการประยุกต์ใช้งานระบบการประมวลผลสัญญาณเชิงเลข ศึกษาวิธีการออกแบบระบบไมโครโปรเซสเซอร์โดยใช้ TMS320C50 เป็น CPU เพื่อที่จะทำการเขียนโปรแกรมบนชิพ TMS320C50 ในการใช้งานโดยการสร้างดิจิตอลอีควอไลเซอร์สำหรับสัญญาณเสียงแล้วนำไปใช้งานเป็นอีควอไลเซอร์

1.2 ขอบเขตของการทำปริญญานิพนธ์

ในการทำปริญญานิพนธ์นี้เพื่อตอบสนองความต้องการของผู้ใช้ในการปรับแต่งเสียงให้เกิดความไพเราะตามความต้องการ โดยสามารถตอบสนองความถี่ได้ในช่วง 20Hz-10 KHz รวมทั้งมีกราฟฟิค LCD แสดงผลออกมาเป็นกราฟและสเปคตรัม ซึ่งสะดวกในการใช้งานและให้ความเพลิดเพลินเป็นอย่างยิ่ง

1.3 ประโยชน์ที่คาดว่าจะได้รับ

1. สามารถประยุกต์ใช้งานระบบประมวลผลสัญญาณเชิงเลขในการทำเป็นอีควอไลเซอร์
2. สามารถออกแบบระบบประมวลผลสัญญาณเชิงเลขที่มีความยืดหยุ่นในการใช้งานได้
3. สามารถเขียนโปรแกรมใช้งาน TMS320C50 เป็นอีควอไลเซอร์ได้
4. สามารถสร้างดิจิตอลอีควอไลเซอร์สำหรับสัญญาณเสียงได้
5. สามารถนำไปใช้งานเป็นอีควอไลเซอร์ได้

1.4 เนื้อหาโดยสังเขป

ในวิทยานิพนธ์นี้จะกล่าวรายละเอียดแต่ละบทดังนี้

ในบทที่ 2 จะกล่าวถึงทฤษฎีและหลักการเกี่ยวกับสถาปัตยกรรมของ TMS320C50 โดยจะกล่าวถึงโครงสร้างโดยทั่วไป สถาปัตยกรรมโดยทั่วไป ฟังก์ชั่นบล็อกไดอะแกรมการจัดหน่วยความจำ ทฤษฎีการแปลงสัญญาณ (Data Acquistion and Convertion) ทฤษฎีของการสุ่มข้อมูล (Sampling) ทฤษฎีการควันไตซ์ (Qantizing Theorem) การเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล (Analog to Digital Converter) วงจรเปรียบเทียบขนานหรือแบบแฟลช วงจร A/D ที่ใช้ในการอินทีเกรต แบบสโลปเดี่ยวหรือแบบแรมป์ (Signal Ramp หรือ Signal Slope

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A/D Converter) แบบสโลปคู่ (Dual-Slope A/D Converter) แบบชาร์จบาลานซ์ (Charge Balance A/D Converter) การเปลี่ยนสัญญาณอนาล็อกเป็นดิจิตอล แบบวงจรนับ และวงจร D/A ประกอบกับวงจรเดี่ยว (Signal Converter) วงจรแบบแทรกกิ้ง (Tracking A/D Converter) การเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก (D/A Converter) วิธีการเวตติ้ง เคอร์เรนท์ ซอส (Weighted Current Source) วิธีการแบบใช้ตัวต้านทาน 2 ค่า (R/2R Ladder D/A Converter) ทฤษฎีการออกแบบดิจิตอลพาราเมตริกอีควอไลเซอร์(Digital Parametric Equalizer) หลักการออกแบบดิจิตอลพาราเมตริกอีควอไลเซอร์ การออกแบบ FIR Filter ด้วยวิธีการแซมปลิ้งความถี่ (Frequency Sampling) การสร้างดิจิตอลฟิลเตอร์ด้วย TMS320C50 คุณสมบัติของวงจรฟิลเตอร์แบบ FIR วงจรฟิลเตอร์ FIR

บทที่ 3 จะกล่าวถึงการออกแบบและการสร้าง ส่วนประกอบของดิจิตอลอีควอไลเซอร์ หลักการออกแบบฮาร์ดแวร์ ส่วน Pre-Amp ส่วนเรกูเลเตอร์ ส่วน DSK Board ส่วน Key Control ส่วน MCS-51 Board ส่วน Graphic LCD Display ส่วน Battery Backup ส่วน Interface LCD หลักการทำงานและการออกแบบซอฟท์แวร์ ซอฟท์แวร์โดยรวมลักษณะของโปรแกรมดิจิตอลอีควอไลเซอร์ อุปกรณ์ที่ต้องการ แผนผังการทำงาน (Flow Chart)

บทที่ 4 กล่าวถึงวิธีการทดสอบหรือการทดลองพร้อมทั้งแสดงผลของการทดลองหรือการทดสอบ การทดสอบการทำงานของเครื่องดิจิตอลอีควอไลเซอร์ มี 2 แบบ คือ แบบที่ 1 เป็นการป้อนสัญญาณจากเครื่องกำเนิดสัญญาณย่านความถี่เสียง และแบบที่ 2 คือการป้อนสัญญาณจากเครื่องเล่นเทปคลาสเซ็ท

บทที่ 5 จะเป็นการกล่าวถึงการสรุปและการวิจารณ์ รวมทั้งปัญหาที่พบและแนวทางการแก้ไขปัญหา ในด้านการตอบสนองความถี่สูงประมาณ 10 KHz ขึ้นไป เกิดการ์ออสซิเลท ทำให้สัญญาณเอาท์พุทผิดเพี้ยน เนื่องจากสัญญาณในภาค Pre-Amp ถูกรบกวนมาจากบอร์ด DSK แนวทางการแก้ไขปัญหา ควรใช้อุปกรณ์ที่มีประสิทธิภาพสูง เช่น ความต้านทานที่มีค่าความผิดพลาดน้อยและใช้ระบบป้องกันสัญญาณรบกวนที่มีคุณภาพ และปัญหาในการคำนวณหาค่าสัมประสิทธิ์ของ FIR Filter จะใช้ MCS-51 เป็นตัวคำนวณหาค่า เนื่องจากสมการที่ใช้ในการคำนวณเป็นสมการที่ยุ่งยากและซับซ้อนจึงทำให้เกิดความผิดพลาดใช้เวลาในการคำนวณนาน เราสามารถแก้ไขได้โดย การหาอุปกรณ์ดิจิตอลไมโครโปรเซสเซอร์ที่มีความเร็วและความละเอียดในการคำนวณมากขึ้น เช่น TMS320C50 จะทำให้เวลาในการคำนวณน้อยลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีและหลักการ

2.1 สถาปัตยกรรมของ TMS32C50

จะกล่าวถึงสถาปัตยกรรมและโครงสร้างทั่วไปของ TMS320C50 ได้มีการพัฒนามาจากรุ่นก่อน ๆ คือ TMS320C25 โดยมีการคูณเลขขนาด 16 x 16 บิท ใช้เวลาเพียง 35-50 นาโนวินาทีเท่านั้น และติดต่อกับหน่วยความจำภายนอกสามารถอ้างแอดเดรสในส่วนของหน่วยความจำข้อมูลและหน่วยความจำโปรแกรม บอกขนาดและอื่น ๆ ได้ถึง 224 กิโลเวิร์ด และยังมีส่วนอื่นๆที่เกี่ยวข้องซึ่งสามารถเอื้ออำนวยประโยชน์ในการนำไปประยุกต์ใช้งานได้อย่างกว้างขวาง

2.2 โครงสร้างโดยทั่วไป

2.2.1 วัฏจักรในการทำงานของคำสั่ง Fixed-Point ใช้เวลา 35-50 นาโนวินาที

2.2.2 มีหน่วยความจำข้อมูลภายในตัวชิพที่เป็นข้อมูล (On-Chip) ขนาด 10 กิโลเวิร์ด

2.2.3 มีหน่วยความจำโปรแกรมภายในตัวชิพ (On-Chip) ขนาด 2 กิโลเวิร์ด

2.2.4 ต่อหน่วยความจำเพิ่มในส่วนของ ข้อมูล/โปรแกรม/พอร์ทขนาน และอื่น ๆ รวมขนาด 224 กิโลเวิร์ด

2.2.5 มี ALU , แอคคิวมูเลเตอร์ และ แอคคิวมูเลเตอร์บัฟเฟอร์ ขนาด 32 บิท

2.2.6 การคูณจะเป็นแบบขนานขนาด 16 X 16 บิท ซึ่งจะได้ผลลัพธ์เป็นเลข 32 บิท

2.2.7 สามารถทำการคูณเลขโดยใช้เวลาเพียงไซเกิลเดียว

2.2.8 มีคำสั่งในการเคลื่อนย้ายข้อมูล เป็นบล็อกในการจัดการกับข้อมูลหรือโปรแกรม

2.2.9 มีอ๊อกซิลารีรีจิสเตอร์ (Auxiliary Register) จำนวน 8 ตัว

2.2.10 มีจำนวนฮาร์ดแวร์สแตคให้มีเพิ่มขึ้นถึง 8 ระดับ

2.2.11 (PUL) Parallel Logic Unit 16 Bit

2.2.12 มีพอร์ตอนุกรมเพื่อใช้สำหรับในการติดต่อ

2.2.13 การติดต่อระหว่าง 'C50 กับอุปกรณ์ เป็นแบบ Full-Duplex Syncronous

2.2.14 มีวงจรกำเนิดสัญญาณนาฬิกาบนชิพ

2.2.15 มี 16 โปรแกรมในการสร้างสัญญาณ Wait States เพื่อสำหรับใช้ในการติดต่อกับอุปกรณ์หรือหน่วยความจำภายนอกที่ทำงานช้ากว่า

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.16 มี Contect Switch รีจิสเตอร์ C Shadow Register 11 ตัว สำหรับเก็บสถานะของ CPU ขณะถูกอินเตอร์รัพท์

2.2.17 ใช้เทคโนโลยีการผลิตแบบซีมอส (CMOS)

2.2.18 ต้องการแหล่งจ่ายไฟภายนอกเพียงชุดเดียว (5 โวลท์)

2.2.19 มีจำนวนขาทั้งหมด 132 ขา

2.2.20 มีการขยายช่องการทำงานสำหรับ DMA

2.2.21 มี Jtag Scan Logic (มาตราฐาน IEEE,1149.1)

2.3 สถาปัตยกรรมโดยทั่วไป

TMS320C50 ใช้สำหรับการประมวผลสัญญาณเชิงเลข โดยโครงสร้างของหน่วยความจำแบ่งออกเป็น 2 ส่วนแยกจากกัน คือหน่วยความจำโปรแกรม (Program Memory) และหน่วยความจำข้อมูล (Data Memory) ซึ่งจะให้การทำงานต่าง ๆ ด้วยความเร็วสูงและสามารถทำการโอนย้ายข้อมูลระหว่างกันได้

ในการคำนวณทางคณิตศาสตร์จะใช้ ALU และแอคคิวมูเลเตอร์ (Accumulator) มีขนาด 32 บิท ALU เป็นหน่วยการกระทำทางคณิตศาสตร์และ Logic จะใช้ตัวกระทำขนาด 16 บิทเวิร์ด

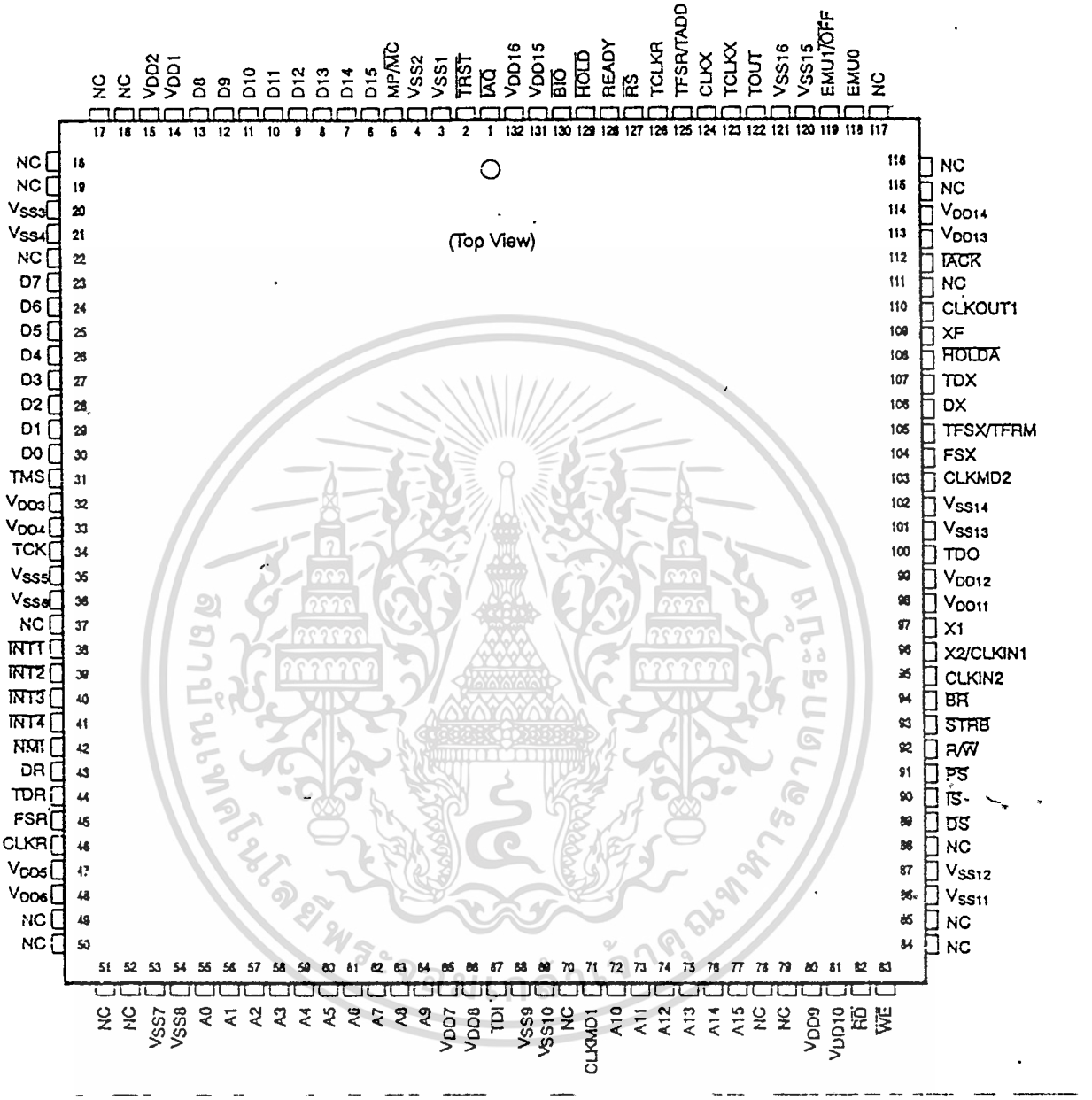
2.4 ฟังก์ชั่นบล็อกไดอะแกรม

ฟังก์ชั่นบล็อกไดอะแกรมที่แสดงตามในรูปที่ 2.3 จะแสดงลักษณะการทำงานของ TMS320C50 และทางเดินต่าง ๆ ภายในตัวชิพ ตลอดจนขาสัญญาณสำหรับอินเตอร์เฟสกับอุปกรณ์ภายนอก

2.5 การจัดหน่วยความจำ

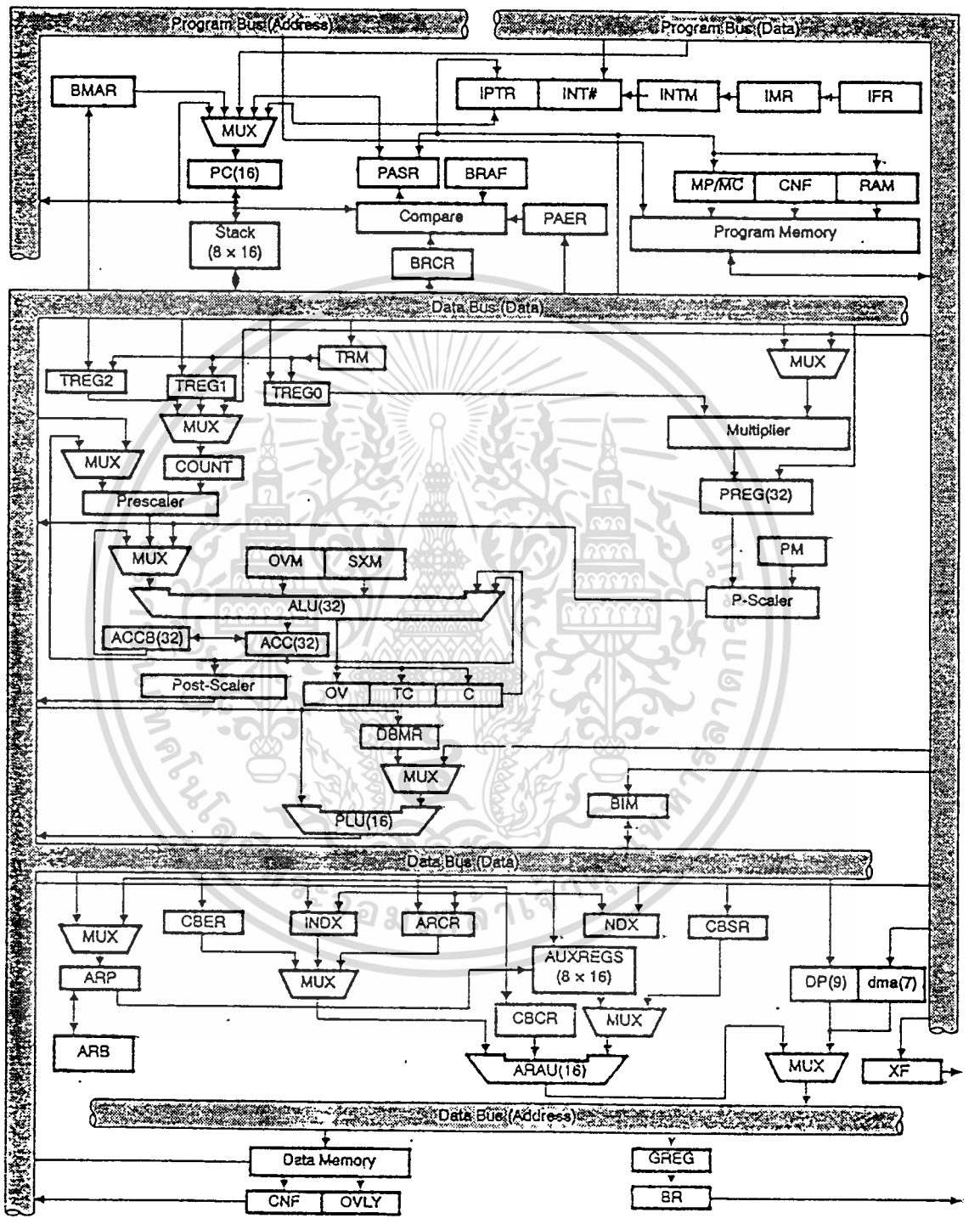
ลักษณะภายในของ TMS320C50 ได้กำหนดให้มีแรมข้อมูล (Data RAM) ภายในตัวชิพ ขนาด 544X16 บิทเวิร์ด ซึ่งในส่วนของ 288 เวิร์ดแรกนั้นจะถูกใช้เป็นหน่วยความจำข้อมูล และในส่วนที่เหลืออีก 256 เวิร์ด จะเป็นการใช้งานร่วมกันระหว่างเป็นหน่วยความจำข้อมูล หรือหน่วยความจำโปรแกรม นอกจากนี้ ยังมีมาสเดเบิลโปรแกรมรอม (Maskable Program ROM) ขนาด 4 กิโลเวิร์ดอีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 ลักษณะภายนอกของ TMS320C50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.2 บล็อกไดอะแกรมภายในของ TMS320C50

Unit	Symbol	Function
Accumulator	ACC(32) ACCH(16) ACCL(16)	ACC มีขนาด 32 บิท ประกอบด้วย 2 ส่วน คือ ACCH และ ACCL ใช้เก็บค่าผลลัพธ์ของ ALU
Acumulator Buffer	ACCB(32)	เป็นรีจิสเตอร์ที่ใช้ชั่วคราวเก็บค่าของ แอคคิวมูลเลเตอร์ขนาด 32 บิท
Arithmeyic Logic Unit	ALU	เป็นรีจิสเตอร์ขนาด 32 บิท ใช้ในการทำ 2' คอมพลี เมนท์แบ่งเป็น 2 ส่วน คือ พอร์ทอินพุท 32 บิท และพอร์ทเอาท์พุท 32 บิท
Auxiliary Register Arithmetic Unit	ARAU	มีขนาด 16 บิท ใช้ในการคำนวน ใช้ในการชี้ตำแหน่ง และใช้เปรียบเทียบ
Auxiliary Register Compare	ARCR(16)	เป็นรีจิสเตอร์ที่ใช้ในการเปรียบเทียบโดยตรง
Auxiliary Register File	AUXREGS	เป็นรีจิสเตอร์ที่ใช้เก็บ Auxiliary Register ขนาด 16 บิท 8 ตัว คือ ARO - AR7 ใช้สำหรับ data Address Pointer เก็บค่าอุณหภูมิหรือ ผลรวมของ ARAU
Auxiliary Register Buffer	ARB(3)	เป็นรีจิสเตอร์ขนาด 3 บิท สำหรับเก็บค่า ARP โดยบิทนี้ถูกเก็บไว้ใน ST1
Auxiliary Register Pointer	ARP(3)	เป็นรีจิสเตอร์ขนาด 3 บิท ใช้เป็นตัวชี้เลือก Auxiliary Register บิทนี้ถูกเก็บอยู่ใน ST0
Block Move Address Register	BMAR(16)	เป็นรีจิสเตอร์ขนาด 16 บิทซึ่งว่างสำหรับเก็บค่า Block Move หรือ คูณแอคคิวมูลเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Unit	Symbol	Function
Block Repeat Active Flag	BRAF(1)	เป็นแฟลกรีจิสเตอร์ 1 บิทที่ใช้แสดง Block Repeat โดยปกติเซ็ทโดยใช้คำสั่ง RPTB คือจะทำงานและเคลียร์เมื่อรีจิสเตอร์ BRCR เพิ่มขึ้นมากกว่า 0 โดยบิทนี้ถูกเก็บอยู่ในรีจิสเตอร์ PMST
Block Repeat Address End Register	PAER(16)	เป็นรีจิสเตอร์ บรรจุ Memory Map โดยกำหนดขอบเขตสิ้นสุดของส่วนของรหัสเริ่มต้น
Block Repeat Address Strat Register	PASR (16)	เป็นรีจิสเตอร์ Memory Map โดยกำหนดขอบเขตเริ่มต้นของส่วนของรหัสเริ่มต้น
Block Repeat Counter Register	BRCR(16)	เป็นรีจิสเตอร์นับ Memory Map ใช้เป็นตัวกำหนดตัวเลขเวลาของ Block Repeat
Bus Interface Module	BIM	เป็น Buffer Interface ใช้เก็บข้อมูลระหว่างภายในและโปรแกรมบัส
Bus Request	$\overline{BR}$	เป็นตัวแสดงข้อมูลเข้า คือ Map และ Map ว่าง กำหนดโดยรีจิสเตอร์ GREG
Carry	C	เป็นรีจิสเตอร์เก็บค่าทดของแอคคิวมูลเลเตอร์ โดยบิทนี้ถูกเก็บอยู่ใน ST1
Central Arithmetic Logic Unit	CALU	เป็นกลุ่มของ ALU , การคูณ, แอคคิวมูลเลเตอร์ และ ตัวเลื่อน
Circular Buffer Control Register	CBCR(8)	เป็นรีจิสเตอร์ 8 บิท ใช้ Enable / Disable ของรอบ Buffer และกำหนด Auxiliary Register
Circular Buffer End Register	CBER (16) CBCR1 (16) CBCR2 (16)	เป็นรีจิสเตอร์ 16 บิท 2 ตัว แสดงจุดจบวงรอบ Buffer และ Address GBER1 และ GREB2 เป็นตัวบอกวงรอบของ Buffer 1 และ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Unit	Symbol	Function
Circular Buffer Strat Register	CBSR (16) CBSR1 (16) CBSR2 (16)	เป็นรีจิสเตอร์ 16 บิท 2 ตัว แสดงจุดเริ่มต้นวงรอบ Buffer และ Address GBER1 และ GREB2 เป็นตัวบอกวงรอบของ Buffer 1 และ 2
Compare of Program Address	COMPARE	เป็นวงรอบของการเปรียบเทียบค่า PC กับ PAER ถ้า BRAF แอ็กทีฟ
Configure RAM	CNF	เป็นบิทแสดง RAM Block ของ Map Program โดยจะอยู่ใน ST1
Data Bus	DATA	เป็น Bus ขนาด 16 บิท
Data Memory	DATA MEMORY	เป็น Block data Memory ใช้ในการกำหนดอุปกรณ์รองรับ
Data Memory Address Bus	DATA ADDRESS	เป็น Data Memory Address ขนาด 16 บิท
Data Memory Address Immediate Register	dma(7)	เป็นรีจิสเตอร์ขนาด 7 บิท ในการอ้างแอดเดรส
Data Memory Page Pointer	DP(9)	เป็นรีจิสเตอร์ขนาด 9 บิทบรรจุเพจแอดเดรส 9 เพจ
Data RAM Map Bit	RAM(1)	บิทแสดง Map ของ RAM ใน Data Space
Direct Data Memory Address Bus	DRB(16)	มีขนาด 16 บิท ใช้ในการอ้างแอดเดรสของ Data Memory
Dynamic Bit Manipulation Register	DBMR(16)	เป็น 16 ของ Memory Map รีจิสเตอร์ใช้ Mark อินพุท PLU

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Unit	Symbol	Function
Dynamic Bit Pointer	TREG2(4)	เป็นรีจิสเตอร์ 4 บิท ใช้ชี้ Dynamic ด้วยคำสั่ง BITT
Dynamic Shift Count	TREG1(5)	เป็นรีจิสเตอร์ 5 บิทเป็น Shift Counter ของข้อมูล อินพุท
External Flag	XF(1)	เป็นบิทสำหรับขับขา External Flag และอยู่ใน ST1
Global Memory Allocation Register	GREG(8)	เป็น 8 ของ Memory Map รีจิสเตอร์สำหรับSpec size
Hold Mode	HM(1)	เป็นบิทอยู่ใน ST1 จะหยุดเมื่อ $\overline{\text{HALD}}$ อยู่ใน Pull down
Index Register	INDX(16)	เป็น 16 ของ Memory Map รีจิสเตอร์ spec เพิ่มขึ้นมากกว่า 1 และใช้ชี้ขนาดของอาเรย์
Index Register Enable	NDX(1)	เป็นบิทที่กำหนดการปรับหรือ เขียน AR0 เขียนไปยัง NDX และ ARCR บิทนี้อยู่ในรีจิสเตอร์ PMST
Interrupt Flag Register	IFR(16)	เป็นรีจิสเตอร์แฟล็ก 16 บิทใช้แสทช์ Actie Low interrupt IFR
Interrupt Mask Bit	INTM(1)	เป็น Interrup Mask หรือ Enable Interrupt ทั้งหมดบิทนี้อยู่ใน ST1
Interrupt Number	INT#(4)	เป็นตัวเลขของการ Interrupt ส่งไป CPU ในคำสั่ง INTR
Interrupt Pointer	IPTR(5)	5 บิท นี้เป็นตัวชี้ 2 K ของ Interrupt Vector อยู่ในระบบ บิทนี้อยู่ในรีจิสเตอร์ PMST

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Unit	Symbol	Function
Interrupt Mask Register	IMR(16)	เป็นรีจิสเตอร์แฟล็ก 16 บิท ใช้ Mark Interrupt
Microcall Stack	MCS(15-0)	เป็น คำแรกของสแตก จะเก็บค่าคงที่ของ PFC เริ่มใช้ในการย้ายบล็อก , คูณแอคคิวมูเลเตอร์ และตาราง อ่าน เขียน
MicroProcesser / Microcomputer Mode	MP/MC	บิทนี้อยู่ในรีจิสเตอร์ PMST แสดง Map ของ RAM ใน Program Address Spac
Multiplexer	MUX	เป็น Bus Multiplex ใช้เลือกแหล่งของ operand สำหรับบัส execuition
Multiplier	MULTIPLIER	เป็น 16 *16 บิท parallel Multiplex
Overflow Flag	OV(1)	บิทนี้อยูใน ST0 และแสดง Overflow ใน ALU
Overflow Mode	OVM(1)	บิทนี้อยูใน ST0 และแสดง Overflow ใน ALU จะอยู่รอบ
Overlay To Data Space	OVLY(1)	บิทนี้อยู่ในรีจิสเตอร์ PMST และกำหนดหน่วยความจำ การอ้างแอดเดรส
Parallel Logic Unit	PLU	16 บิท Logic Unit
Prefetch Counter	PFC(15-0)	เป็นเคาท์เตอร์ ขนาด 16 บิท ใช้ Prefetch คำสั่ง PFC บรรจุด้วย แอดเดรสของคำสั่ง PFC สามารถใช้อ้างแอดเดรสของ Program Memory สำหรับการย้ายบล็อก(BLPD) การคูณแอคคิวมูลเลเตอร์
Prescaler Count Register	COUNT(4)	เป็นรีจิสเตอร์ขนาด 4 บิทเก็ยค่าสำหรับการทำ Prescaling เมื่อรีจิสเตอร์เก็บค่าที่ใช้ในการ Scaling รีจิสเตอร์นี้จะทำการโหลดค่าจาก ไดนามิก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Unit	Symbol	Function
Product Register	PREG(32)	เป็นรีจิสเตอร์ Product ขนาด 32 บิท ใช้ในการ Multiple Product
Program Bus	PROG DATA	เป็นบัสขนาด 16 บิทใชในการทำคำสั่งที่เป็น ลูป หรือ วงรอบ (MAC และ MACD)
Program Counter	PC(16)	เป็นรีจิสเตอร์เก็บค่า Program Memory
Program Memory	PROGRAM MEMORY	เป็นรีจิสเตอร์ที่ใช้ในการอ้าง Program Memory และใช้กำหนดค่า
Programm Memory Address Bus	PROG ADDRESS	เป็นรีจสเตอร์ 16 บิท ที่ใช้อ้างตำแหน่ง Program Memory
Prescaling Shifter	PRESCALER	ใช้ในการเลื่อนข้อมูลขนาด 16 บิท โดยจะทำการเลื่อนไปทางซ้ายมือ
Postscalling Shifter	POST - SCALER	ใช้ในการเลื่อนข้อมูลขนาด 8 บิท โดยใช้ Poscale ข้อมูล
Product Shifter	P-SCALER	ใช้ในการเลื่อนข้อมูลขนาด 4 บิท โดยย้ายเครื่องหมายพิเศษได้เมื่อใช้การคำนวณแบบ Fixed - Point
Product Shiftre Mode	PM(2)	เป็น 2 บิทที่ใช้ในการกำหนด Product Shifter Mode อยู่ใน ST1
Repeat Counter	RPTC(16)	เป็น 16 บิทที่ใช้ในการควาบคุมการวนรอบในการทำงาน
Sign Extension Mode	SXM(1)	เป็นบิทที่อยู่ใน ST1 ใช้ควบคุมการทำงานในการคำนวณ
Stack	STACK	เป็น Stack ที่ใช้เก็บ Program counter ขนาด 8 * 16 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปพ.
4577 ด 2538

ห้องสมุด
คณะครุศาสตร์อุตสาหกรรม สจล.

Unit	Symbol	Function
Temporary Multiplicand	TREG0 (16)	เป็นรีจิสเตอร์ 16 บิท ที่ใช้บอก Temporary ของการคูณ
Temporary Register Enable	TRM (1)	เป็นบิทที่กำหนด LT(A,D,P,S) เป็นการ โหลด TREG (0,1,2)
Test Counter Flager	TC(1)	บิทนี้อยู่ใน ST1 เก็บค่าของ ALU และ PLU เป็นบิททดสอบการทำงาน

ตารางที่ 2.1 หน้าที่การทำงานต่าง ๆ ของ TMS320C50

Croprocesser Memory Mapped Register

Name	Address		Description
	'C5x(Dec)	'C5x(HEX)	
-	0-3	0-3	Reverved
IMR	4	4	Interrupt Mask Register
GREG	5	5	Global Memory allocation register
IFR	6	6	Interrupt Flag register
PMST	7	7	Processor Mode status register
RPTC	8	8	Repeat Counter register
BRCR	9	9	Block Repeat Counter register
PASR	10	A	Block Repeat Program Address start register
PAER	11	B	Block Repeat Program Address end register
TREG0	12	C	Temporary register For Multiplicand

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

~~1540~~
021309

Name	Address		Description
	'C5x(Dec)	'C5x(HEX)	
TREG1	13	D	Temporary register For Dynamic Shift Count
TREG2	14	E	Temporary register use as bit Pointer in Dynamic bit Test
DBMR	15	F	Dynamic Bit manipulation register
AR0	16	10	Auxiliary register zero
AR1	17	11	Auxiliary register one
AR2	18	12	Auxiliary register two
AR3	19	13	Auxiliary register tree
AR4	20	14	Auxiliary register four
AR5	21	15	Auxiliary register five
AR6	22	16	Auxiliary register six
AR7	23	17	Auxiliary register seven
INDX	24	18	index register
ARCR	25	19	Auxiliary register compear register
CBSR1	26	1A	Circular Buffer 1 Strat Address Register
CBER1	27	1B	Circular Buffer 1 end Address Register
CBSR2	28	1C	Circular Buffer 2 Strat Address Register
CBER2	29	1D	Circular Buffer 2 end Address Register
CBCR	30	1E	Circular Buffer Control register
BMAR	31	1F	Block Move Address register
-	32-79	20 - 4F	Memory Mapped peripheral register
	80-95	50 - 5F	Memory Map I/O Port

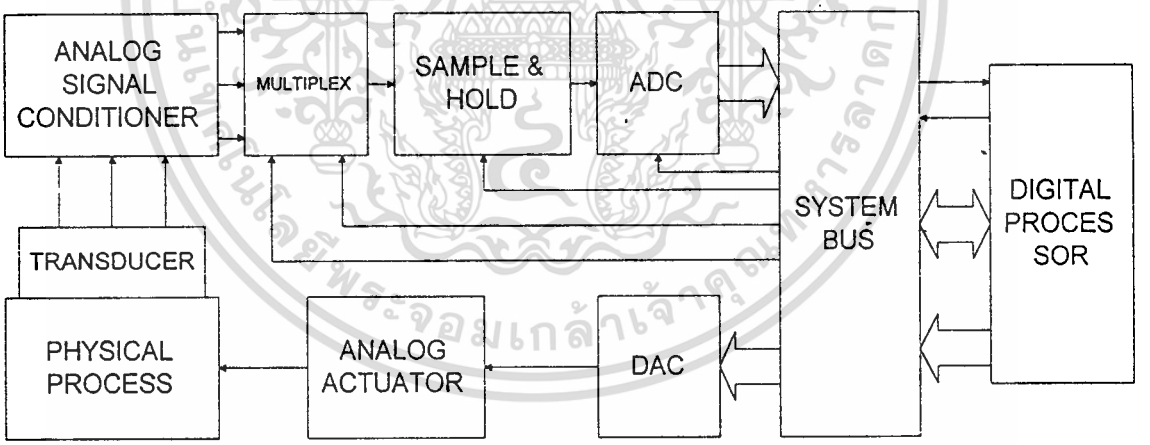
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.2 Core Processor Memory - Map Register ของ TMS320C50

2.6 ทฤษฎีการแปลงสัญญาณ (Data Acquistion and Conversion)

รูปแบบของสัญญาณไฟฟ้าที่เราคุ้นเคยกันตั้งแต่ดั้งเดิมนั้น โดยมากมักจะอยู่ในรูปสัญญาณอนาล็อก แต่ก่อนนั้นการที่จะนำเอาสัญญาณไฟฟ้ามาประมวลผลเพื่อให้เกิดรูปแบบ ที่ต้องการนั้นกระทำได้โดยใช้อุปกรณ์ทางอนาล็อกนั่นเอง แต่ปัจจุบันนี้เทคโนโลยีทางด้านดิจิตอลได้ก้าวหน้าไปมาก ทำให้การประมวลผลสัญญาณทางดิจิตอลสามารถทำได้อย่างรวดเร็วมีประสิทธิภาพและความเชื่อถือได้ดีกว่าอดีตมากมายนัก

ดังนั้นการเปลี่ยนรูปแบบสัญญาณ (Conversation) จึงได้มีความจำเป็นขึ้นจากสัญญาณอนาล็อกที่มีอยู่แล้วได้ถูกเปลี่ยนแปลงให้เป็นสัญญาณทางดิจิตอลโดยอุปกรณ์การแปลงสัญญาณดิจิตอลเป็นอนาล็อกและจะถูกประมวลผลโดยตัวประมวลผลสัญญาณดิจิตอลเช่น คอมพิวเตอร์ เป็นต้นจากผลลัพธ์ที่ได้อาจถูกนำมาแสดงผลโดยตรงเลยหรืออาจถูกเปลี่ยนแปลงให้อยู่ในรูปของสัญญาณอนาล็อกที่ใช้งานได้ การที่จะเปลี่ยนแปลงสัญญาณดิจิตอลกลับไปเป็นสัญญาณอนาล็อกนั้นสามารถทำได้โดยใช้อุปกรณ์แปลงสัญญาณดิจิตอลเป็นอนาล็อก สำหรับระบบที่มีการประมวลผลข้อมูลทางดิจิตอลแสดงดังรูปที่ 2.3



รูปที่ 2.3 ระบบที่มีการประมวลผลข้อมูลทางดิจิตอล

จากรูปข้างต้น สามารถอธิบายได้คือการเปลี่ยนแปลงทางกายภาพในลักษณะใด ๆ ก็ตาม (Physical Process) เช่น อุณหภูมิ ความดัน ความเร็ว จะถูกเปลี่ยนให้มาเป็นสัญญาณไฟฟ้าแบบอนาล็อกโดยทรานสดิวเซอร์ที่มีรูปแบบเหมาะสมกับลักษณะทางกายภาพนั้น สัญญาณทางไฟฟ้า ก็จะถูกปรับให้อยู่ในรูปแบบและขนาดที่เหมาะสมก่อนโดย Analog Signal

เอกสารนี้มีลิขสิทธิ์ ห้ามนำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใด ๆ ทั้งสิ้น

Conditioner เช่น วงจรขยายหรือวงจรกรองสัญญาณ เป็นต้น ในระบบข้อมูลที่ต้องการประมวลผลในเวลาเดียวกันมีหลายข้อมูล แต่เนื่องจาก ADC ทำงานได้เร็วพอจึงไม่จำเป็นต้องใช้ ADC หลาย ๆ ตัว แต่จะใช้วิธีแบ่งเวลา (Time Sharing) โดยใช้วิธี Multiplexing วงจรแซมปลิ้งแอนด์โฮลด์ จะสุ่มขนาดของสัญญาณอนาล็อกมาโดยจะทำการโฮลด์สัญญาณนั้นไว้ชั่วขณะเพื่อให้ไม่จำเป็นต้องใช้ ADC จากนั้นข้อมูลดิจิตอลจะถูกส่งต่อไปยังบัสของระบบ ซึ่งตัวโปรเซสเซอร์จะทำการประมวลผลข้อมูลแล้วเปลี่ยนข้อมูลผลลัพธ์กลับมาเพื่อควบคุมกิจกรรมทางกายภาพของระบบ โดยผ่านตัวกระทำทางกล (Analog Actuator)

2.6.1 ทฤษฎีของการสุ่มข้อมูล (Sampling)

ในการสุ่มข้อมูลนั้นสัญญาณอนาล็อกจะถูกสุ่มเป็นระยะคงที่ กลุ่มของสัญญาณที่สุ่มจะแทนด้วยความเร็วสูง ซึ่งเกิดจากการตัดต่อสัญญาณอนาล็อกด้วยระยะเวลาอันสั้น ผลของการสุ่มด้วยความเร็ว จะเหมือนกับการคูณขบวนสัญญาณพัลซ์กับสัญญาณอนาล็อก ซึ่งจะได้สัญญาณที่ มอดูเลท (Modulate) ระหว่างขบวนพัลซ์กับสัญญาณอนาล็อก ดังแสดงในรูปที่ 2.4 และถ้าหากเรามีการโฮลด์สัญญาณที่สุ่มได้เอาไว้ เราจะได้สัญญาณดังรูปที่ 2.4

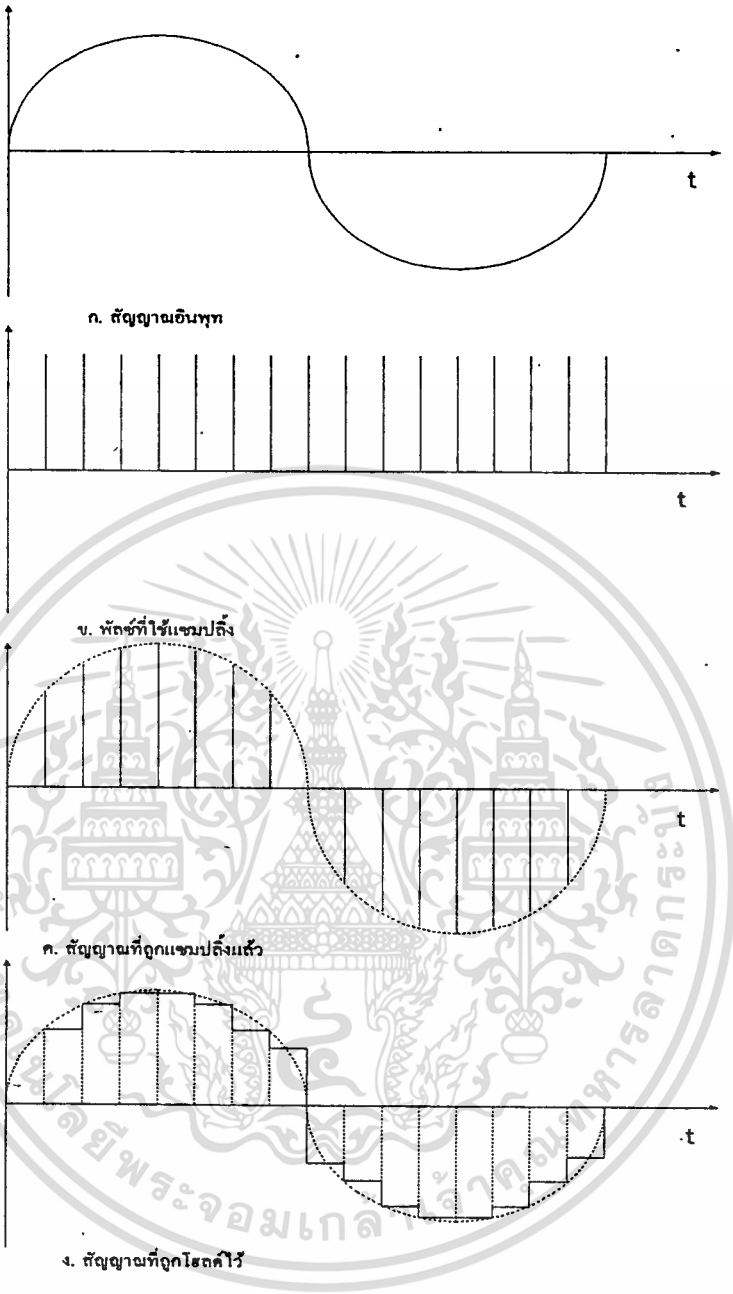
อัตราการสุ่มสัญญาณ หรือความถี่ของการสุ่มสัญญาณควรจะมีค่าเท่าใดที่ข้อมูลที่สุ่มได้นี้จะเป็นตัวแทนที่ดีของสัญญาณต่อเนื่องนั้น คำตอบคือขึ้นอยู่กับความถี่สัญญาณอนาล็อก และ จากทฤษฎีของการสุ่ม (Nyquist Theorem) กล่าวไว้ว่า ถ้าสัญญาณต่อเนื่องที่มีความถี่ฮาร์โมนิค (Hamonic Frequency) ไม่เกิน f แล้วสัญญาณดังกล่าวจะสามารถเปลี่ยนกลับมาเช่นเดิม โดยไม่ สูญเสียรายละเอียด หรือผิดเพี้ยนไป ถ้าอัตราการสุ่มมากกว่า 2f

2.6.2 ทฤษฎีการควันไตซ์ (Qantizing Theorem)

การควันไตซ์ เป็นขบวนการที่แปลงสัญญาณอนาล็อกให้เป็นข้อมูลทางดิจิตอลที่เป็นสัดส่วนกับสัญญาณอนาล็อก เช่น อยู่ในรูปของรหัสไบนารี เป็นต้น หากเรานำเอาเอาท์พุทที่ได้จากการควันไตซ์ และขนาดของสัญญาณอนาล็อกมาเขียนเป็นกราฟ ก็จะได้กราฟควันไตซ์ทรานเฟอร์ฟังก์ชั่น (Quantize Transfer Function) ดังแสดงในรูปที่ 2.5

จุดสำคัญของการควันไตซ์นั้นได้แก่ รีโซลูชั่น (Resolution) ของตัวควันไตซ์ ซึ่งจะสามารถกำหนดได้จากจำนวนบิทของเอาท์พุทรหัสดิจิตอล หรือจากกราฟรูปที่ 2.5 ก็คือส่วนกลับของความกว้างของขั้นบันไดทางแกนนอนนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 การสุ่มตัวอย่างข้อมูล (Sampling)

ค่าความกว้างของขั้นบันไดนี้จะสามารถคำนวณได้จาก

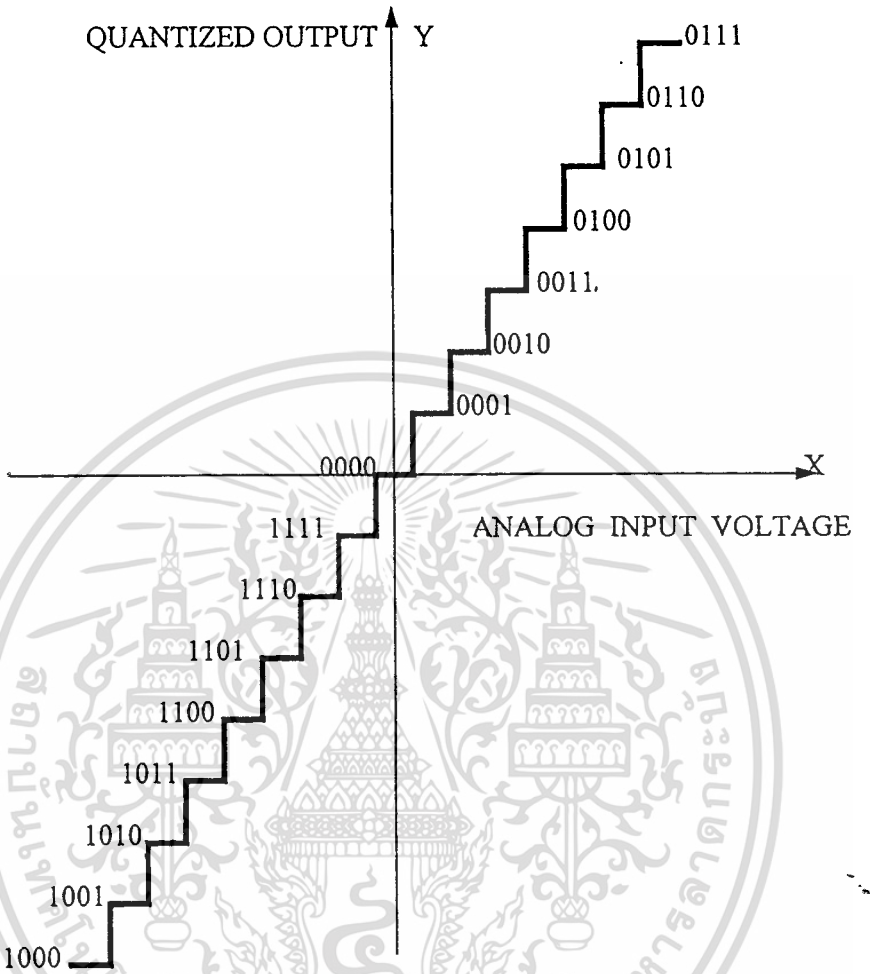
$$Q = FSR / 2^n \qquad (1)$$

โดยที่ Q : ค่าความกว้างของขั้นบันไดทางแกนนอน

FSR : ช่วงเต็มสเกลของสัญญาณอนาล็อก (Full Scale Rang)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

n : จำนวนบิทของรหัสดิจิตอล

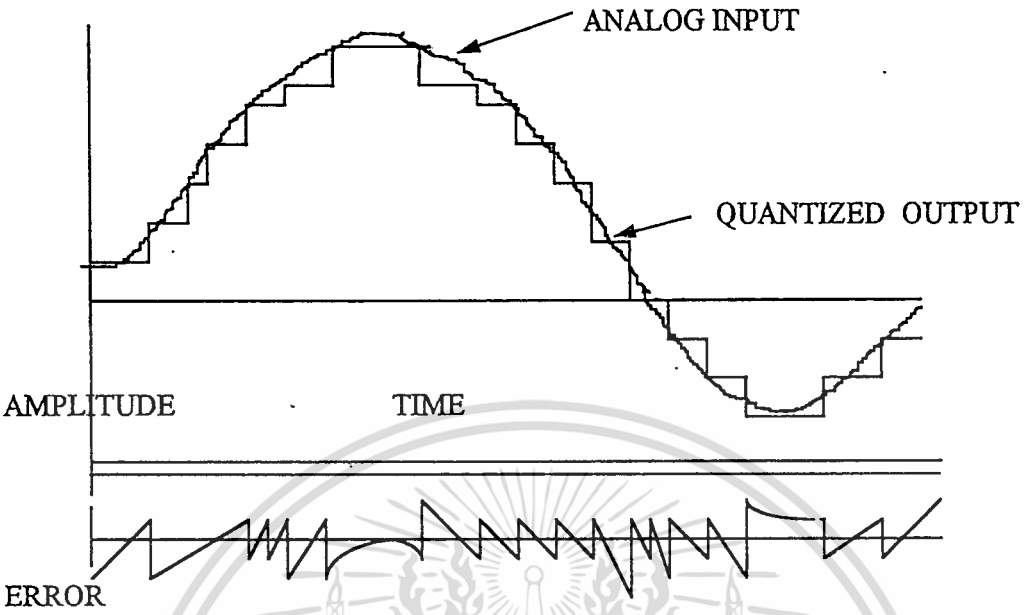


รูปที่ 2.5 ทรานเฟอร์ฟังก์ชั่นของการควันไตซ์ 4 บิท

จากสมการที่ (1) จะเห็นว่า เมื่อจำนวนบิทมากขึ้น ขนาดของ Q ก็จะลดลง และถ้าเรานำสัญญาณอนาล็อกใด ๆ มาทำการควันไตซ์จะเห็นว่าเมื่อนำเอาผลที่ได้จากการควันไตซ์มาเปรียบเทียบกับสัญญาณอนาล็อกนั้นแล้ว ก็จะพบว่ามีการผิดพลาดเกิดขึ้น ซึ่งเราเรียกว่าความผิดพลาดควันไตซ์ (Quantizing Error) ดังแสดงในรูปที่ 2.5

ความผิดพลาดนี้เป็นธรรมชาติของการควันไตซ์ ซึ่งจะทำการแก้ไขไม่ได้ แต่เราจะลดค่าความผิดพลาดนี้ได้ โดยการเพิ่มจำนวนบิทของการควันไตซ์ ค่าความผิดพลาดนี้เองที่จะเป็นตัวกำหนดความแม่นยำในการใช้งาน DSP

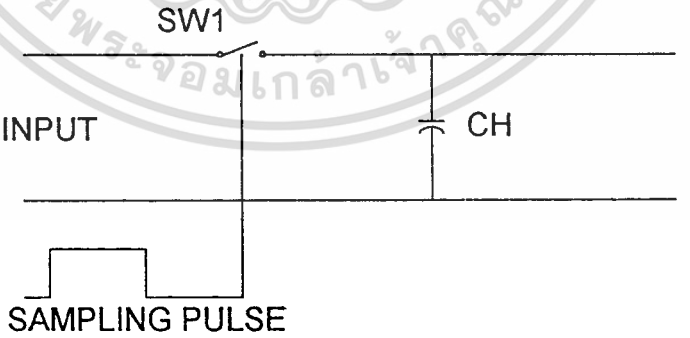
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 ความผิดพลาดควันไตซ์

2.6.3 วงจรแซมปลิ้งแอนด์โฮลด์

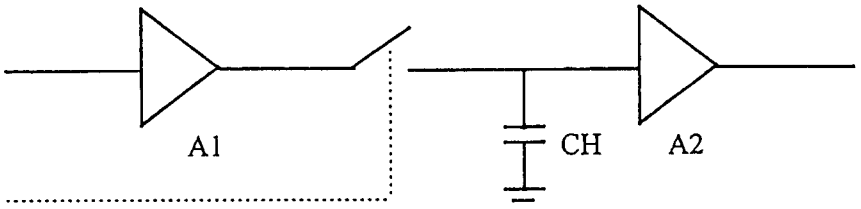
วงจรแซมปลิ้งแอนด์โฮลด์ โดยพื้นฐานแล้วเป็นวงจรหรืออุปกรณ์เก็บแรงดัน (Voltage Memory) ซึ่งใช้อุปกรณ์ที่สำคัญคือ ตัวเก็บประจุ ดังรูปที่ 2.7



รูปที่ 2.7 วงจรพื้นฐานของการแซมปลิ้งแอนด์โฮลด์

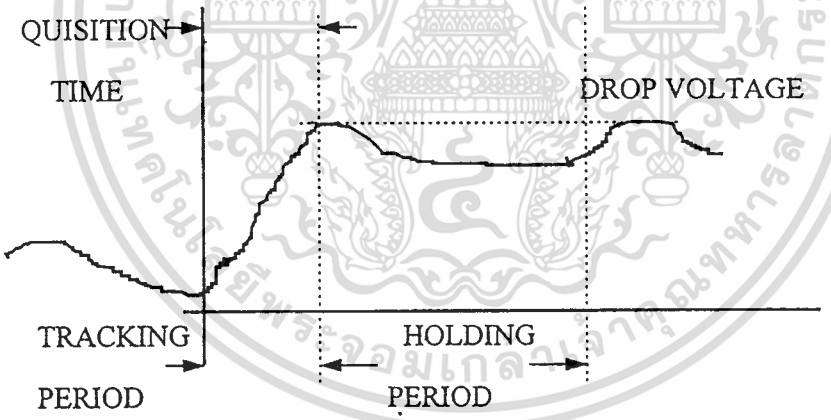
อิเล็กทรอนิกส์สวิทช์จะต่อสัญญาณแรงดันเข้ากับตัวเก็บประจุ ซึ่งสวิทช์จะถูกควบคุม จากการสุ่มสัญญาณพัลซ์ ช่วงเวลาการตัดสวิทช์ และเวลาในการประจุจนแรงดันถึงค่าที่สุ่มมานั้นจะเรียกว่า อเพอร์เจอร์ไทม์ (Aperture Time) ของแซมปลิ้งแอนด์โฮลด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 วงจรแซมปลิ้งแอนด์โฮลด์ที่ใกล้เคียงกับวงจรจริง

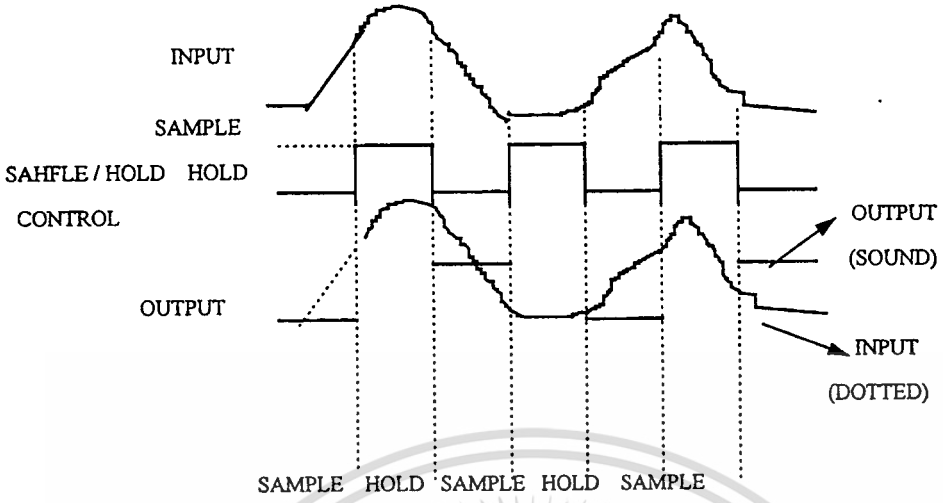
จากรูปที่ 2.8 โดยการเพิ่มเติมบัฟเฟอร์แอมฟลิไฟเออร์ (Buffer Amliflier) เข้าทางอินพุทและเอาท์พุทของวงจรนี้ แอมฟลิไฟเออร์ทางด้านอินพุทจะช่วยให้วงจรมีอินพุทอิมพลีแดนซ์สูงสะดวกต่อการใช้งาน และสามารถเพิ่มกระแส เพื่อทำให้การประจุตัวเก็บประจุได้เร็วขึ้น ส่วนแอมฟลิไฟเออร์ทางด้านเอาท์พุทจะช่วยทำให้ เอาท์พุทอิมพลีแดนซ์ต่ำ สามารถขับเอดีซีได้ง่าย ส่วนสำคัญที่ต้องพิจารณาคือ จะต้องใช้แอมฟลิไฟเออร์ที่กินกระแสต่ำ เพื่อให้คืงกระแส



รูปที่ 2.9 การลดลงของแรงดันที่โฮลด์ไว้

จากตัวเก็บประจุในช่วงโฮลด์สัญญาณน้อยที่สุดมิฉะนั้น จะเกิดการลดลง (Drop) แก่แรงดันที่โฮลด์ ดังแสดงในรูปที่ 2.9 ส่วนในรูปที่ 2.10 แสดงรูปคลื่นสัญญาณที่เกิดจากการแซมปลิ้งแอนด์โฮลด์ในทางอุดมคติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 รูปคลื่นสัญญาณจากวงจรแซมปลิ้งแอนด์โฮลด์ในทางอุดมคติ

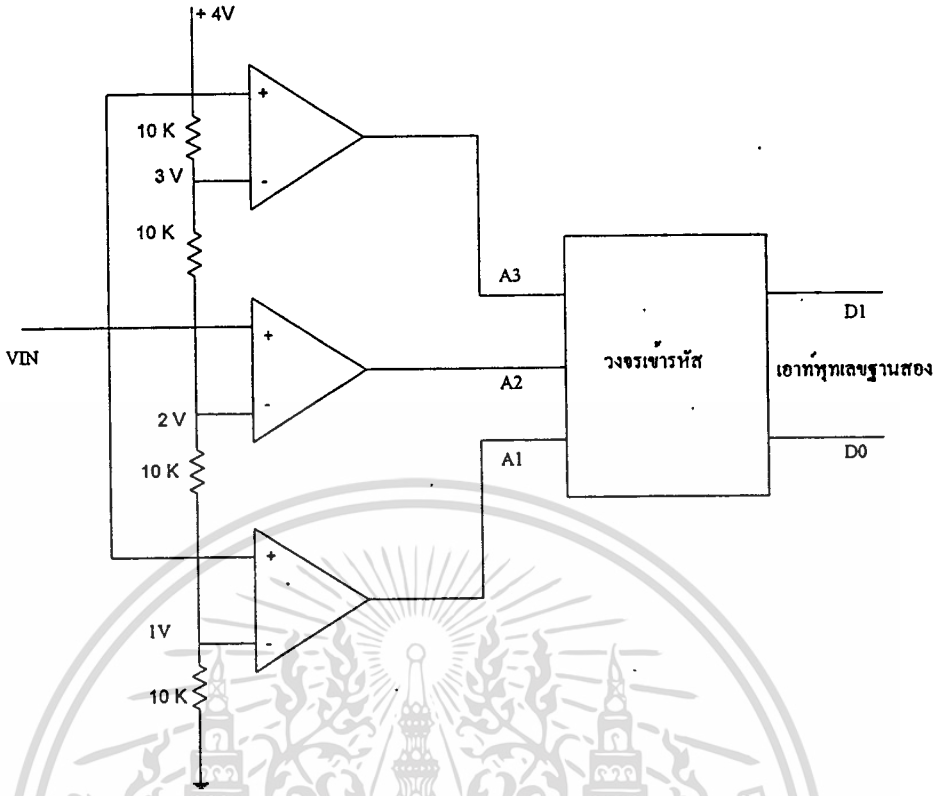
2.7 วงจรเปลี่ยนสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอล (A/D CONVERTER)

วงจรเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล (A/D) ที่ใช้กันอยู่ทั่ว ๆ ไป มีหลายแบบคือ

2.7.1 แบบใช้วงจรเปรียบเทียบขนานหรือแบบแฟลช

วงจรเอทูดีแบบนี้ใช้หลักการง่าย ๆ อีกทั้งยังเป็นวิธีที่เร็วที่สุด คือใช้วงจรเปรียบเทียบที่ต่อขนานกัน ดังรูปที่ 2.11 ประกอบด้วยออปแอมป์ที่ต่อเป็นวงจรเปรียบเทียบ และตัวต้านทานต่อไว้เพื่อแบ่งแรงดันที่ขาอินพุทแบบกลับ (Inverting) ให้มีขนาดต่าง ๆ กันจากหลักการของวงจรเปรียบเทียบทั่วไป เมื่อแรงดันอินพุตที่ขาอินพุตแบบไม่กลับ (Noninverting) มีค่าสูงกว่าที่ขาอินพุตแบบกลับ เอาท์พุทจะได้แรงดันค่าสูงดูได้จากตาราง 2.3 จะเข้าใจยิ่งขึ้นว่าที่แรงดันค่าต่าง ๆ มีผลต่อเอาท์พุทที่ได้จากวงจรเปรียบเทียบนี้จะนำไปเข้ารหัสให้เป็นเลขฐานสองต่อไป จำนวนของวงจรเปรียบเทียบที่ต้องการใช้ในวงจรขึ้นอยู่กับขนาดของสัญญาณอนาล็อกที่อินพุท จากวงจรดังรูปถ้าแรงดันอินพุทมีค่า 1 โวลท์ไม่เพียงพอที่จะทำให้วงจรเปรียบเทียบตัวใดให้ค่าเอาท์พุทเป็น high ที่แรงดันระหว่าง 1 ถึง 2 โวลท์ วงจรเปรียบเทียบที่มีระดับเทรชโฮลด์ (Threshold) ต่ำสุด ก็จะให้เอาท์พุทเป็น high แรงดัน 2 ถึง 3 โวลท์วงจรเปรียบเทียบทั้ง A1 และ A2 ให้เอาท์พุทเป็น high ถ้าแรงดันอินพุทมากกว่า 3 โวลท์ วงจรเปรียบเทียบก็จะให้เอาท์พุทเป็น high ทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 การต่อวงจร parallel comparator A/D converter

แรงดันอินพุต Vin (โวลท์)	เอาท์พุทของวงจรเปรียบเทียบ			เอาท์พุทเลขฐานสอง	
	A1	A2	A3	D1	D0
0 - 1	0	0	0	0	0
1 - 2	1	0	0	0	1
2 - 3	1	1	0	1	0
3 - 4	1	1	1	1	1

ตารางที่ 2.3 ความสัมพันธ์ระหว่างแรงดันอินพุทที่เป็นอนาลอกกับเอาท์พุทที่เป็นดิจิตอล

เมื่อต้องการวงจรที่มีความละเอียดสูงขึ้น จำเป็นต้องใช้วงจรเปรียบเทียบเพิ่มขึ้น เช่น ถ้าต้องการความละเอียด 3 บิต ต้องใช้วงจรเปรียบเทียบ 7 ตัว ความละเอียด 4 บิต ต้องใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเปรียบเทียบ 15 ตัว (16 ระดับ) โดยหาวงจรเปรียบเทียบ ได้จาก 2-1 เมื่อ N แทนจำนวนบิทหรือความละเอียดที่ต้องการจะเห็นได้ว่าที่ความละเอียด 8 บิท ต้องใช้วงจรเปรียบเทียบมากถึง 255 ตัว ซึ่งเป็นข้อเสียของวงจรเอทูดีแบบนี้ ข้อเสียอีกประการหนึ่งคือเอาท์พุทที่ไม่ได้เป็นฐานสองต้องมีวงจรเพิ่มเติมไปทำการเข้ารหัส

ข้อดีของวงจรเอทูดีแบบขนานนี้คือ ความเร็วสูงมากบางครั้งจึงเรียกวงจรเอทูดีแบบนี้ว่าแบบแฟลช (Flash type A/D converter A/D) วงจรเอทูดีชนิดนี้ใช้เวลาในการแปลงได้เร็วในระดับนาโนวินาที

2.7.2 วงจร A/D ที่ใช้ในการอินทีเกรต

วงจรเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลที่ใช้เทคนิคการอินทีเกรตสัญญาณมี 4 แบบคือ

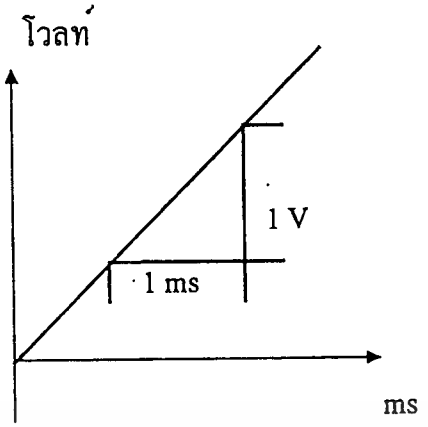
แบบสโลปเดี่ยวหรือแบบแรมป์ (Signal Ramp หรือ Single Slope A/D Converter)

วงจร A/D แบบนี้แสดงไว้ดังรูปที่ 2.13 ประกอบด้วยวงจรกำเนิดแรมป์,วงจรเปรียบเทียบ,วงจรนับ BCD หรือ นับเลขฐานสอง

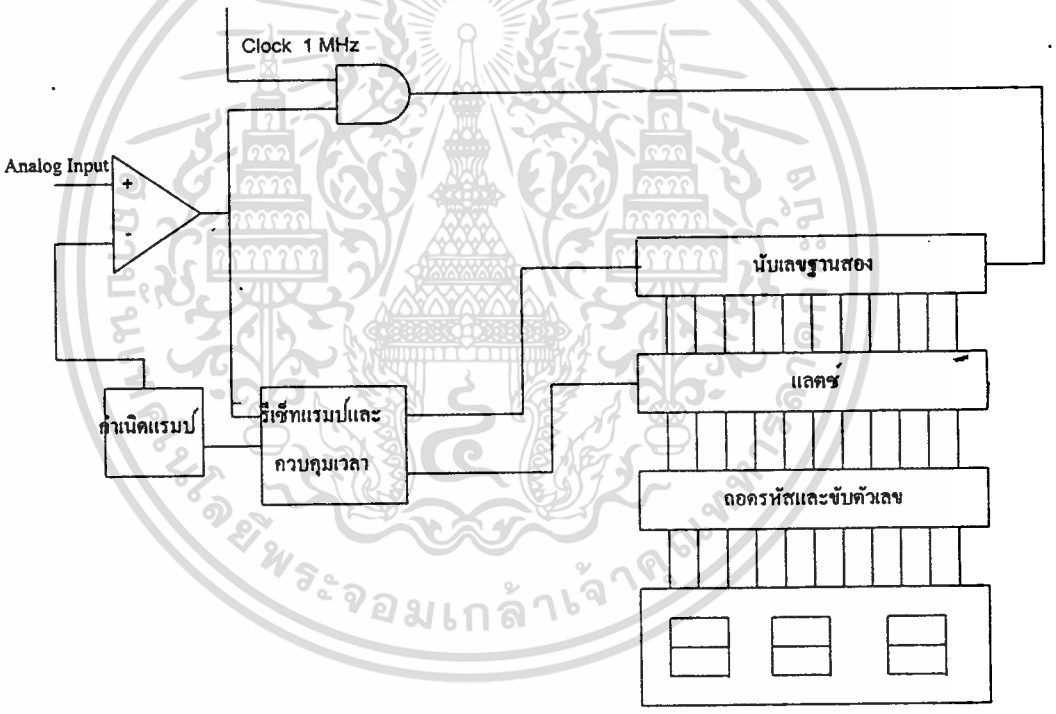
เมื่อเริ่มทำการเปลี่ยนสัญญาณแรมป์และวงจรนับจะถูกรีเซทให้เป็นศูนย์แรงดันอนาล็อกถูกป้อนไปยังวงจรเปรียบเทียบทางขาอินพุทแบบไม่กลับ เมื่อแรงดันอินพุทที่ขานี้เป็นบวกมากกว่าที่ขาอินพุทแบบกลับ วงจรเปรียบเทียบก็จะให้เอาท์พุทเป็นระดับ high ทำให้แอนด์เกตปล่อยสัญญาณนาฬิกาผ่านไปยังวงจรนับได้ และทำให้เกิดสัญญาณแรมป์

สัญญาณแรมป์มีแรงดันเป็นบวกขึ้นเรื่อย ๆ จนมากกว่าระดับแรงดันอินพุท ทำให้เอาท์พุทของวงเปรียบเทียบตกลงมาเป็นระดับ low ปิดแอนด์เกตไม่มีสัญญาณผ่านไปวงจรนับโดยวงจรนับจะหยุดนับและเก็บค่าไว้ที่วงจรแลตช์ จากนั้นจึงทำการรีเซทวงจรนับและวงจรกำเนิดสัญญาณแรมป์ สมมติให้สัญญาณนาฬิกามีความถี่ 1 MHz,วงจรนับ BCD 4 หลัก,แรงดันอินพุท Vin 2 โวลท์,สัญญาณแรมป์มีความชัน 1 V/ms ดังแสดงในรูปที่ 2.12 จากจุดเริ่มต้นจนถึงแรงดันสูงสุด (2 โวลท์) สัญญาณแรมป์ใช้เวลา 2 ms หลังจากนี้จึงปิดสัญญาณนาฬิกาที่ส่งไปให้วงจรนับ ในช่วง 2 ms นี้ มีการส่งพัลส์ไปให้วงจรนับถึง 200 ลูก เอาท์พุทของวงจรเปรียบเทียบที่มีระดับ high เป็นการสั่งสัญญาณให้วงจรแลตช์ส่งค่าที่นับได้ไปยัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 ความชันของสัญญาณแรมป์



รูปที่ 2.13 บล็อกไดอะแกรมแบบสโลปเดี่ยว

ภาคแสดงผล และเติมจุดทศนิยมที่ตำแหน่งที่เหมาะสมของตัวแสดงผลให้เป็นค่า 2,000 ที่แรงดันอินพุท 2 โวลท์

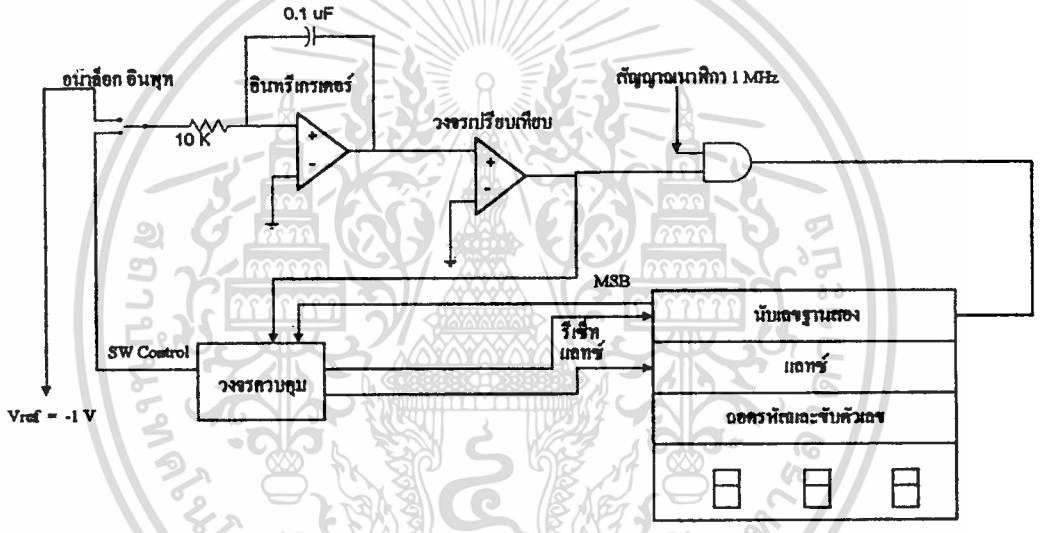
วงจรนี้เป็นหลักการเบื้องต้นของดิจิตอลโวลท์มิเตอร์ ซึ่งถ้าใช้วงจรนับเลขฐานสองแทนแบบ BCD เอาท์พุทก็จะอ่านได้ค่าเลขฐานสองโดยตรง วงจรลักษณะนี้มักนำไปใช้งานในการเปลี่ยนเวลาเป็นขนาดของสัญญาณหรืออาจใช้ในดิจิตอลโวลท์มิเตอร์ แต่ไม่ใช้กับงานที่

เอกสารนี้เป็นของ ... ไม่ว่ากรณีใดๆ ... ทุกประการ

ต้องการความถูกต้องสูง เนื่องจากการเปลี่ยนแปลงในแหล่งกำเนิดสัญญาณแรมป์ขึ้นกับอุณหภูมิและผลตอบสนองต่อสัญญาณอินพุท ทำให้ไม่มีความคงที่ ดังนั้นจึงมีการปรับปรุงให้ดีขึ้นกลายเป็นแบบสโลปคู่ (Dual Slope)

แบบสโลปคู่ (Dual-Slope A/D converter)

รูปที่ 2.14 แสดงบล็อกไดอะแกรมของวงจรเอทูดีแบบสโลปคู่ ซึ่งวงจรส่วนใหญ่คล้ายกับแบบสโลปเดี่ยวแต่มีสวิตซ์ที่อินพุทเพิ่มขึ้นเพื่อทำการเลือกระหว่างแรงดันอินพุทกับแรงดันอ้างอิง (วงจรเปรียบเทียบต่อขาสัญญาณกลับกันกับแบบสโลปเดี่ยว)



รูปที่ 2.14 บล็อกไดอะแกรมแบบสโลปคู่

ส่วนแรกของวงจรคือ วงจรกำเนิดสัญญาณแรมป์หรือวงจรอินทีเกรต ที่อินพุทแบบกลับของออปแอมป์ที่มีสภาพเป็นกราวด์เทียม (virtual ground) ถ้ามีแรงดันอินพุท 2 โวลท์จะได้กระแสไหลผ่านตัวต้านทาน 10 กิโลโอห์ม เท่ากับ 0.2 mA ไปยังจุดรวม (summing point) เนื่องจากค่าความต้านทานอินพุทของออปแอมป์นั้นสูงมาก กระแสที่ไหลจึงเกิดขึ้นผ่านตัวเก็บประจุ

ขณะที่ตัวเก็บประจุทำการชาร์จ แรงดันที่เอาท์พุทของออปแอมป์ก็จะยิ่งเป็นลบมากขึ้นเรื่อย ๆ เพื่อรักษาระดับกระแสให้คงที่ แรงดันคร่อมตัวเก็บประจุจึงได้เป็นสัญญาณแรมป์ที่เป็นเชิงเส้น (Linear ramp)

เอกสารนี้ใช้เพื่อประโยชน์ในการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าแรงดันอินพุทเป็นบวกวงจรอินทีเกรตเตอร์จะให้เอาท์พุทเป็นสัญญาณแรมป์ทางลบ ดังแสดงไว้ในช่วง t_1 รูปที่ 2.15 หากแรงดันอินพุทเป็นลบก็จะทำให้เอาท์พุทได้แรมป์ทางบวก

ความชันของสัญญาณแรมป์ สามารถคำนวณได้จากความสัมพันธ์ของประจุ $q = cv$ และ $q = It$ โดยจับสองสมการมาเท่ากัน

$$\frac{\Delta v}{\Delta t} = \frac{i}{c} \qquad (2)$$

เมื่อรู้ว่ากระแสเท่ากับ $\frac{Vin}{RC}$ เราก็รู้ว่า

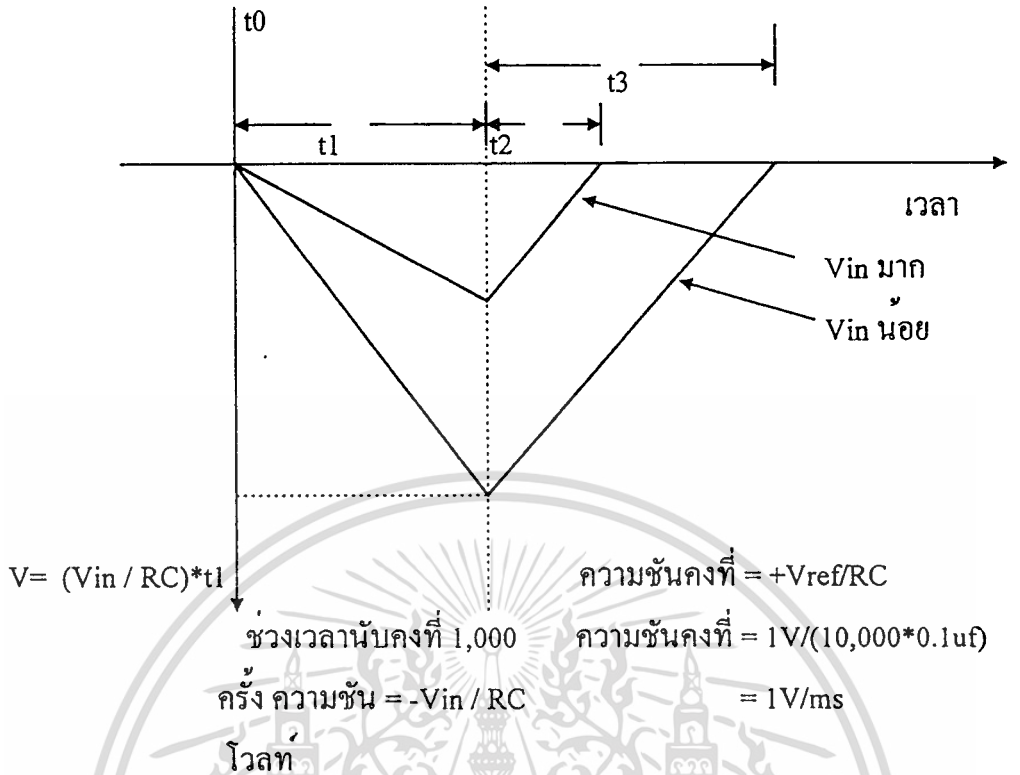
$$\frac{\Delta V}{\Delta t} = \frac{Vin}{RC} \qquad (3)$$

จากรูปให้แรงดันอินพุท +12 โวลท์ ก็จะได้ความชันของสัญญาณแรมป์ทางเอาท์พุทเท่ากับ -2 V/ms

จากวงจรในรูปที่ 2.14 อธิบายได้คือเมื่อสวิตซ์ต่อกับสัญญาณอินพุทจะทำให้มีแรงดันบวกจากอินพุทป้อนเข้าสู่วงจรอินทีเกรเตอร์ ได้เอาท์พุทออกมาเป็นแรมป์ทางลบ วงจรเปรียบเทียบก็จะได้แรงดันลบจากวงจรอินทีเกรเตอร์ แล้วให้เอาท์พุทเป็นบวกทำการเปิดแอนด์เกตให้สัญญาณนาฬิกาเข้าไปสู่วงจรนับ วงจรนับจะนับไปยังค่าที่กำหนดไว้คงที่ (t_1) แล้วทำการสวิตซ์ต่อเข้ากันกับแรงดันอ้างอิง ในช่วงที่วงจรนับด้วยค่าคงที่นั้นวงจรอินทีเกรตจะให้สัญญาณแรมป์ทางลบ ที่มีค่าได้สูงสุดตามแต่ระดับแรงดันอินพุท เมื่อทำการสวิทซ์อินพุทของวงจรอินทีเกรเตอร์ให้ไปทางแรงดันค่าลบ เอาท์พุทของวงจรจึงได้เป็นแรมป์ทางบวกคือช่วง t_2 รูปที่ 2.15 พร้อม ๆ กับเซทค่าของวงจรนับลงเป็น 0 เพื่อเริ่มนับใหม่

เมื่อเอาท์พุทของวงจรอินทีเกรตเพิ่มขึ้นถึงแรงดัน 0 อีกครั้งเอาท์พุทของวงจรเปรียบเทียบก็จะเป็นลบหรือเป็นศูนย์ วงจรควบคุมจับการเปลี่ยนแปลงอันนี้ได้ก็ส่งสัญญาณสโตรบให้วงจรนับเก็บค่าที่ได้ไว้ที่วงจรแลตช์จากนั้นจึงรีเซตให้เป็นศูนย์แล้วทำการสวิทซ์ให้อินพุทของวงจรอินทีเกรตต่อกับแรงดันอินพุทเปรการเริ่มทำการเปลี่ยนสัญญาณอีกรอบหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 เอาท์พุทของวงจรอินทีเกรเตอร์

จำนวนที่นับได้ที่เก็บไว้ในวงจรแลตช์ก็จะเป็นสัดส่วนโดยตรงกับแรงดันอินพุท Vin สัญญาณแรมป์ทางเอาท์พุทของวงจรอินทีเกรเตอร์ในช่วงเวลาคงที่ t1 จะลดลงสู่แรงดัน V ซึ่ง

$$= \left(\frac{Vin}{RC} * t_1 \right) \qquad (4)$$

เพื่อให้กลับไปสู่ระดับ 0 หน้าที่ของวงจรอินทีเกรเตอร์จึงต้องสร้างแรมป์ทั้งทางบวกและทางลบให้เพิ่มขึ้นเท่า ๆ กันในช่วงเวลา t2 (ที่เกิดจากแรงดันอินพุทอ้างอิง) แรงดัน V เท่ากับ

$$= \left(\frac{V_{REF}}{RC} * t_2 \right) \qquad (5)$$

สูตรทั้งสองของ V สามารถจับมาเท่ากันได้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{Vin}{RC} * t_1 \Big) = \Big(\frac{V_{REF}}{RC} * t_2 \Big)$$

$$\big(Vin * t_1 \big) = \big(V_{REF} * t_2 \big)$$

$$t_2 = \frac{Vin * t_1}{V_{REF}} \qquad (6)$$

เห็นได้ว่า RC ปรากฏอยู่ทั้ง 2 ข้างของสมการจึงสามารถตัดทิ้งได้ หมายถึงเมื่อช่วงเวลาอินทีเกรตสัญญาณและช่วงเวลาอินทีเกรตอ้างอิง ใช้ตัวต้านทานและตัวเก็บประจุค่าเดียวกัน การเปลี่ยนแปลงของค่าทั้งสองนี้ก็จะไม่มีผลต่อความถูกต้องของสัญญาณเอาท์พุท ซึ่งก็เป็นข้อดีที่เหนือกว่าแบบสโลปเดี่ยว (Single slope) คือ ค่าที่ได้ไม่ขึ้นกับความถี่ของรอบการทำงานด้งสมการท้ายสุดแสดงให้เห็นว่าเอาท์พุทของวงจรนับในช่วงเวลา t2 เป็นสัดส่วนโดยตรงกับแรงดันอินพุท Vin เมื่อ VREF และ t1 คงที่

จากวงจรในรูปที่ 2.14 ให้ t1 เท่ากับ 1000 รอบ เมื่อป้อนสัญญาณนาฬิกา 1 MHz (= 1/1000 = 1 ms) และ VREF มีค่า -1 โวลท์

ถ้าสัญญาณอินพุทมีขนาด 2 โวลท์ จะได้ช่วงเวลา t2 = (2 V/1V x 1000) = 2000 รอบ (รอบของการนับ) จุดทศนิยมที่อยู่ทางขวาทำให้ได้ผลลัพธ์ที่ภาคแสดงผล 2.000

กราฟรูปที่ 2.15 แสดงว่าเมื่อสัญญาณอินพุทน้อยกว่านี้จะมีการเปลี่ยนแปลงอย่างไรบ้าง เช่น อินพุท 0.8 โวลท์ t2 จะได้ (0.8 V/1V) x 1000 เท่ากับ 800 รอบ ก็จะอ่านได้ 0.800 หลักการเช่นนนี้ถูกนำไปใช้อย่างแพร่หลายในดิจิตอลโวลท์มิเตอร์และเครื่องมืออื่นๆ อีกหลายชนิด

สรุปอีกครั้งได้ว่าแรงดันอินพุทที่ไม่รู้ค่าถูกป้อนเข้าไปในวงจรอินทีเกรตเมื่อครบช่วงเวลา t1 วงจรนับจึงถูกรีเซตให้เป็น 0 อินพุทของวงจรอินทีเกรเตอร์ก็จะถูกสวิทช์ต่อกลับมาที่แรงดันอ้างอิง (ที่มีแรงดันคงที่) ให้ความชันของสัญญาณแรมป์คงที่เพิ่มค่าขึ้นไปจนถึงระดับ 0 ช่วงเวลา t2 นี้เป็นสัดส่วนโดยตรงกับสัญญาณอินพุท ถ้าดูรูปที่ 2.15 อีกครั้งพิจารณาช่วง t1 ซึ่งเป็นช่วงเวลาคงที่ และ t2 ซึ่งความชันคงที่แล้วจะเข้าใจยิ่งขึ้น

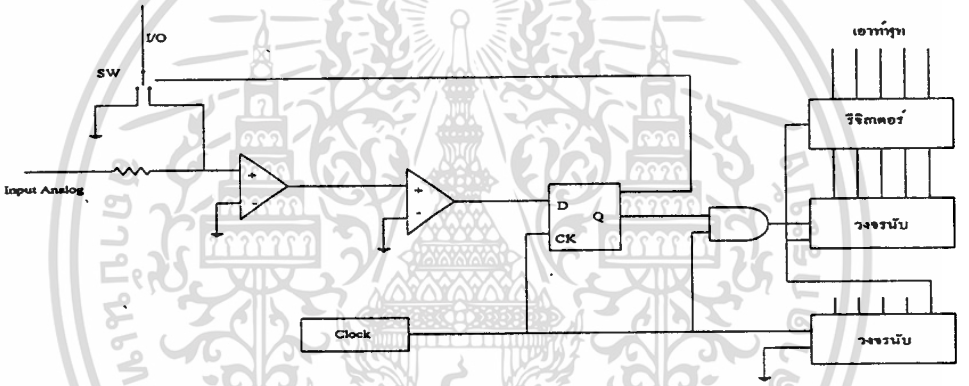
ข้อดีของวงจรเปลี่ยนสัญญาณแบบสโลปคู่คือ ความถูกต้องสูง ราคาถูก เสถียรภาพทางด้านอุณหภูมิดี ขอเสียคือ ความเร็วต่ำ ในการเปลี่ยนสัญญาณ 1 ครั้ง อาจใช้เวลาถึง 100 ms (ในขณะที่แบบ "แฟลช" ใช้เวลาประมาณ 30 ns)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบชาร์จบาลานซ์ (Charge Balance A/D Converter)

วงจรเปลี่ยนสัญญาณ A/D แบบชาร์จบาลานซ์ใช้วงจรสำคัญคล้ายแบบสโลปคู่นั่นเอง แต่แทนที่จะให้อินพุทไปมาระหว่างแรงดันที่ไม่รู้ค่า ก็ทำการแทรกพัลซ์ต่อท้ายอ้างอิงมาโดยตรงที่จุดรวม ของวงจรอินทีเกรต โดยที่จำนวนของพัลซ์เป็นสัดส่วนโดยตรงกับแรงดันอินพุท ประโยชน์ของเทคนิคนี้คือวงจรตกคร่อมตัวเก็บประจุของวงจรอินทีเกรเตอร์จะมีค่าใกล้เคียงศูนย์โวลท์ ดังนั้นจึงเกิดการผิดพลาดผลของกระแสรั่วไหล A/D ชนิดนี้จึงมีความถูกต้องกว่าแบบสโลปคู่

แบบเดลต้า-ซิกม่า (Delta-Sigma A/D Converter)



รูปที่ 2.16 วงจรเปลี่ยนสัญญาณแบบเดลต้า-ซิกม่า

ในวงจรรูปที่ 2.16 เมื่อมีแรงดันอินพุทป้อนเข้าที่วงจรอินทีเกรเตอร์ จะให้เอาท์พุทไปเข้าวงจรเปรียบเทียบ เปรียบเทียบกับแรงดันคงที่ (จากรูปคือ กราวด์) พัลซ์ของกระแสที่ได้ขึ้นอยู่กับเอาท์พุทของวงจรเปรียบเทียบ โดยสวิทซ์ที่ทำขึ้นจากเฟตจะควบคุมให้กระแสเข้าไปยังที่จุดรวมหรือลงกราวด์ไป ส่วนวงจรนับจะนับจำนวนพัลซ์ด้วยหลักการที่คล้ายกัน

ข้อสรุปของวงจร A/D แบบอินทีเกรตสัญญาณ

จุดสำคัญของอินทีเกรติ้งเทคนิคคือ อินพุทที่ให้กับวงจรอินทีเกรเตอร์ต้องเป็นกระแสไอซีคอนเวอร์เตอร์ บางตัวอาจมีอินพุทให้สองขา แต่จะมีขาหนึ่งต่อกับจุด Summing Point ใช้กับอุปกรณ์ที่เป็นแหล่งจ่ายกระแสโดยตรง

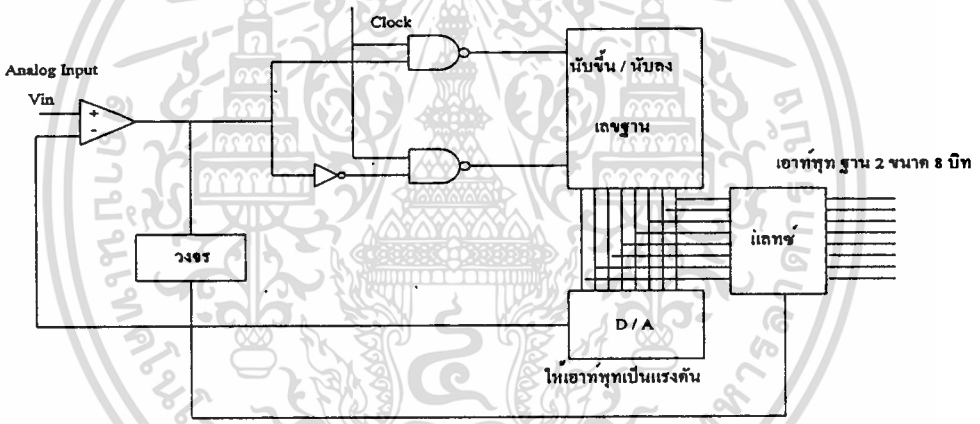
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าให้อินพุทเป็นกระแสก็ไม่ต้องคำนึงถึงแรงดันออฟเซตของวงจรอินทีเกรเตอร์ แต่ถ้าใช้กับอินพุทที่เป็นแรงดัน (ที่ต้องมีตัวต้านทานต่ออนุกรมอยู่เพื่อให้ได้เป็นกระแส) ต้องปรับออฟเซตให้กับออปแอมป์เสียก่อน การใช้อินพุทเป็นกระแสทำให้ย่านทางไฟสลับกว้าง

2.7.3 การเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบวงจรนับและวงจร D/A ประกอบกัน

แบบวงจรนับเดี่ยว (Single Converter)

แท้ที่จริงแล้วสัญญาณแรมป์เชิงเส้น (linear ramp) อาจประกอบขึ้นด้วยสัญญาณขั้นบันไดเล็ก ๆ จำนวนมากที่เกิดจากการต่อเอาท์พุทของวงจรนับเข้ากับวงจรแปลง D/A โดยขนาดของขั้นบันไดแต่ละขั้นขึ้นอยู่กับจำนวนบิตหรือความละเอียดของวงจร D/A นั้น ๆ



รูปที่ 2.17 วงจร A/D แบบวงจรนับเดี่ยวที่สร้างขึ้นโดยวงจรนับขึ้น และวงจรD/A

รูปที่ 2.17 แสดงการกำเนิดสัญญาณแรมป์เดี่ยวด้วยวงจรนับ และวงจร D/A (แทนวงจรอินทีเกรเตอร์) เมื่อเริ่มแปลงสัญญาณวงจรนับจะถูกรีเซท เอาท์พุทของวงจร D/A มีระดับ 0 เมื่อแรงดันถูกป้อนเข้าไปยังอินพุทของวงจรเปรียบเทียบ เอาท์พุทก็จะขึ้นสู่ระดับ “high” และเปิดสัญญาณนาฬิกาไปสู่วงจรนับ แต่ละพัลซ์ของสัญญาณนาฬิกา ทำให้เกิดการนับและเพิ่มแรงดันขึ้น 1 ขั้น

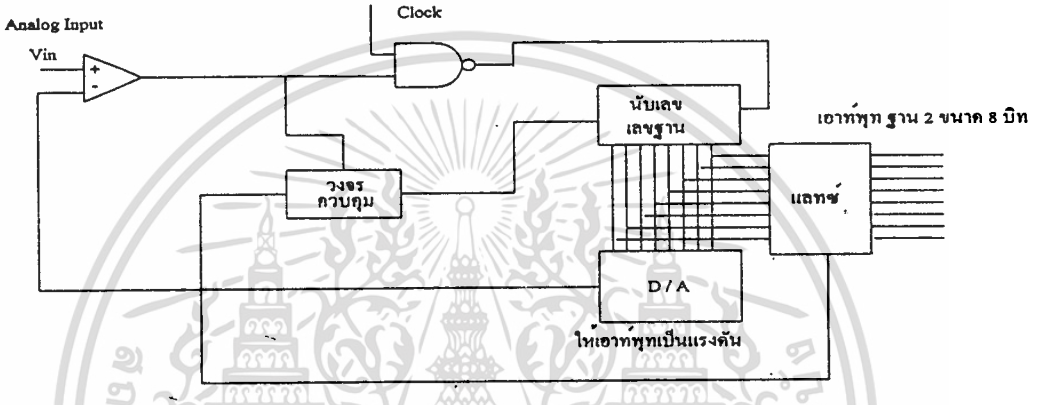
เมื่อเอาท์พุทของ D/A มีค่ามากกว่าอินพุท Vin เอาท์พุทของวงจรเปรียบเทียบก็จะกลายเป็น “low” ทำให้สัญญาณนาฬิกาไม่อาจผ่านไปยังวงจรนับได้ ดังนั้นวงจรควบคุมจะทำการแลตช์เอาท์พุทของวงจรนับและรีเซตวงจรนับให้เริ่มต้นรอบใหม่อีกครั้งหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบแทร็กกิ้ง (Tracking A/D Converter)

การทำงานจะคล้ายกับแบบใช้วงจรนับเดี่ยว แต่การนับจะไม่ได้เริ่มจากศูนย์แต่จะทำการนับขึ้นหรือนับลงจากค่าสุดท้ายไปยังค่าใหม่ แล้วแต่ว่าค่าแรงดันอินพุทในรอบใหม่มีค่าสูงกว่าหรือต่ำกว่ารอบที่แล้ว

ข้อดีของ A/D แบบแทรกกิ้งคือ ทำงานได้เร็วขึ้น



รูปที่ 2.18 วงจร A/D ที่สร้างขึ้นจากวงจรนับขึ้นลง และวงจร D/A

2.8 การเปลี่ยนสัญญาณดิจิตอลเป็นอนาล็อก (D/A Converter)

การเปลี่ยนสัญญาณดิจิตอลเป็นอนาล็อก (D/A) มีวิธีการที่นิยมใช้กัน 2 วิธีด้วยกัน วิธีแรกเรียกว่าแบบ Weighted-current-source และวิธีที่สองเรียกว่าแบบ R-2R วิธีการแรกเป็นการใช้น้ำหนักในฐานเลขมาเป็นตัวกำหนดค่าของกระแสโดยอาศัยทฤษฎีของเคอร์ชอฟฟ์ที่ว่ากระแสไหลเข้าเท่ากับกระแสไหลออก ส่วนอีกวิธีการหนึ่งใช้หลักการของการต่อรีจิสเตอร์จำกัดปริมาณการไหลของกระแส โดยให้มีการไหลของกระแสเป็นลักษณะขั้นบันได หรืออาจเรียกว่าวิธีการใช้รีจิสเตอร์แลดเดอร์

2.8.1 วิธีการ Weighted-Crrent-Source

วิธีการแรกนี้สามารถเขียนหลักการทำงานของวงจรง่าย ๆ ดังในรูปที่ 2.19 แหล่งจ่ายกระแสแต่ละตัวถูกควบคุมด้วยระดับของสัญญาณลลอจิกในเลขฐานสอง อย่างเช่นอินพุทที่เข้ามามีค่า 1010 กระแสรวมของวงจรนี้จะต้องเท่ากับ $8I + 2I$ เท่ากับ $10I$ หากว่าอินพุทของออปแอมป์มีค่าเท่ากับ 0 จากกฎกระแสของเคอร์ชอฟฟ์สามารถเขียนออกมาได้ว่า

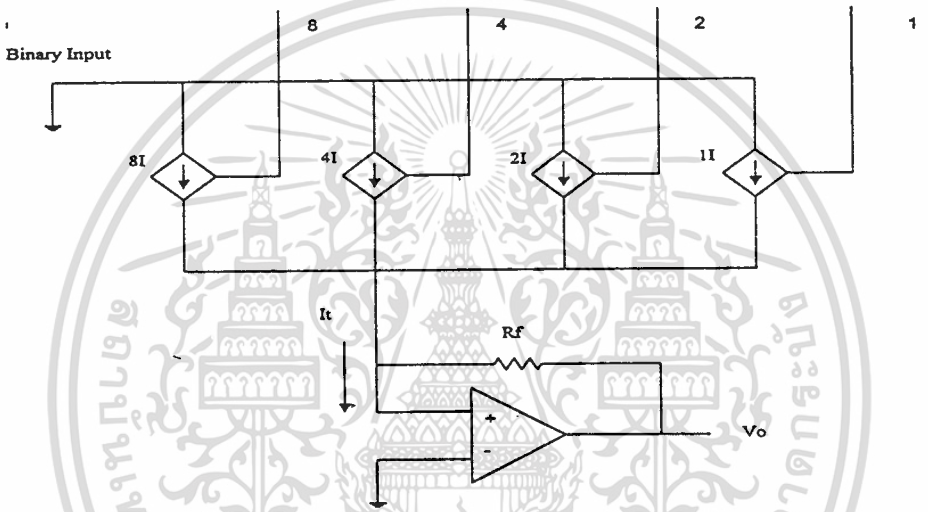
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_t + \frac{Vo}{Rf} = 0$$

$$-Vo/Rf = 10I$$

$$o = 10IRf \qquad (7)$$

แรงเคลื่อนทางด้านเอาท์พุทจะออกมาเท่าไรก็ต้องใช้หลักการของวงจรขยายออปแอมป์มาคำนวณ ยกตัวอย่างเช่นกระแสของวงจรนี้เท่ากับ100 มิลลิแอมป์ และรีซิสเตอร์ที่ทำการเนกาตีฟฟีดแบ็คมีค่า 10 กิโลโอห์ม เราจะพบว่าหากอินพุทมีค่า 1010 แล้วเอาท์พุทจะออก

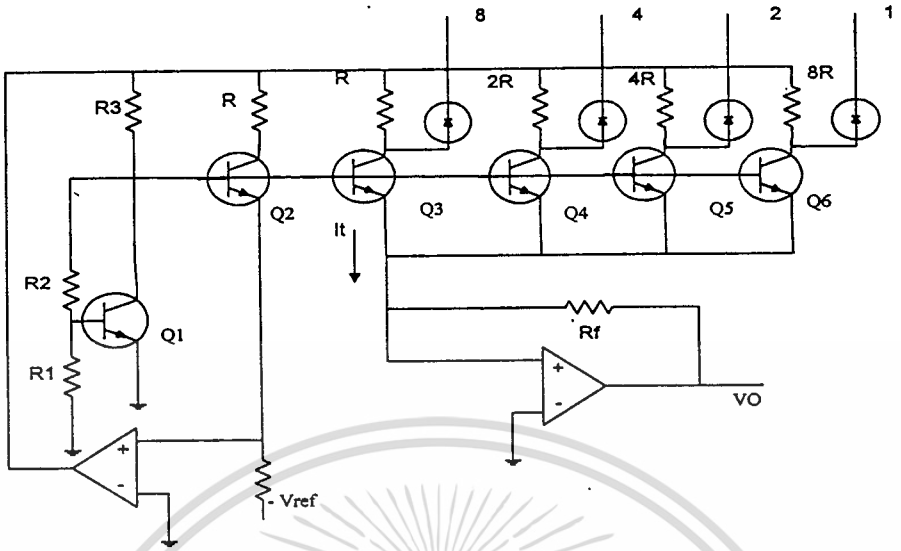


รูปที่ 2.19 วิธีการเวท-เคอร์เรนท์-ซอรส

มาเท่ากับ -10 โวลท์ และถ้าสัญญาณป้อนเข้ามาทางขานอนอินเวอร์ติ้งจะได้กลับไปทางเฟสบวก

หากจะศึกษาถึงรายละเอียดจำเป็นต้องมองรูปที่ 2.20 โดยทรานซิสเตอร์ตัวแรกจะทำหน้าที่เป็นวงจรรักษาระดับกระแสคงที่ (Current Regulator) จ่ายกระแสผ่านทรานซิสเตอร์หมายเลข 3 เป็นอันดับแรก ที่จุดจ่ายกระแส (Node B) จะมีโวลท์ประมาณ 1.2 โวลท์ (เมื่อเทียบกราวด์)โดยกระแสที่ไหลออกไปจะเท่ากับกระแสที่ทรานซิสเตอร์ตัวที่ 2,3,4,5 และ 6 รับเอาไป ขาอิมิตเตอร์ของทรานซิสเตอร์แต่ละตัวถูกโยงไปยังวงจรขยายเรกูเลเตอร์กระแสอิมิตเตอร์ของทรานซิสเตอร์แต่ละตัวมีค่าแตกต่างกันออกไปจึงทำให้น้ำหนักของกระแสมีค่าเป็น 1 เท่า 1/2เท่า 1/4 เท่า หรือเป็น 1/8 เท่า ของกระแสทรานซิสเตอร์ตัวที่สอง

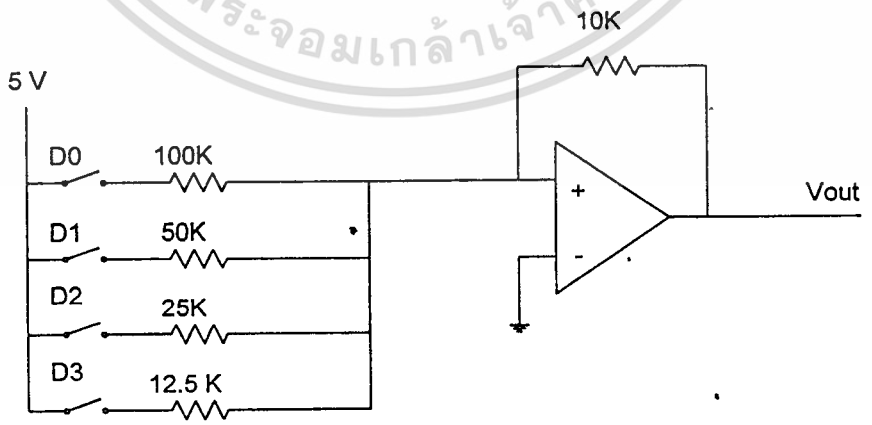
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.20 รายละเอียดของวงจรเวท-เคอร์เรนท์-ซอร์ส

2.8.2 วิธีการแบบใช้ตัวต้านทาน 2 ค่า (R/2R Ladder D/A Converter)

เมื่อวงจร D/A มีขนาดมากกว่า 4 บิต จะทำให้เกิดปัญหา เนื่องจากต้องการค่าความต้านทานที่มีช่วงกว้างมาก วิธีนี้ใช้หลักการไบนารี่เวตเหมือนกัน แต่ใช้ความต้านทานเพียง 2 ค่า แสดงในรูปที่ 2.22 ซึ่งกระแสจะถูกเปลี่ยนค่าแรงดันโดยออปแอมป์และตัวต้านทานป้อนกลับ RF เหมือนวงจรในรูปที่ 2.21 วิธีการนี้เรียกว่าการใช้ความต้านทาน 2 ค่า



รูปที่ 2.21 วงจร D/A แบบใช้ตัวต้านทานหลายค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

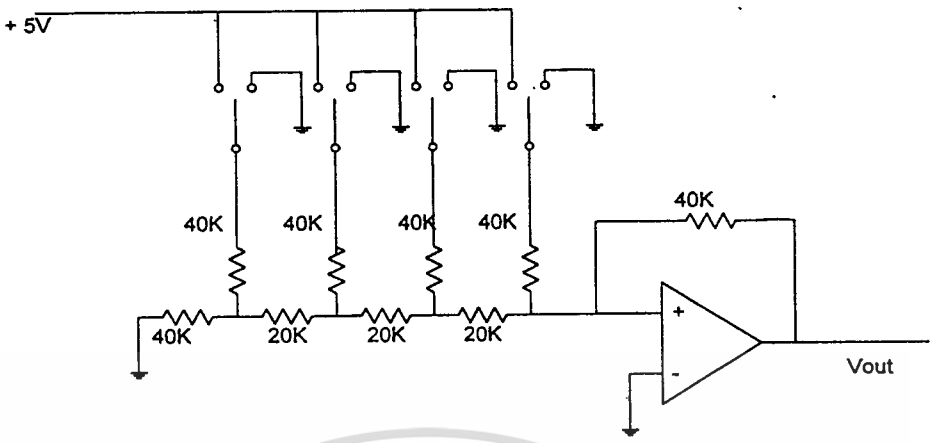
สังเกตให้ดี หลักการความต้านทาน 2 ค่า ดูไปก็คล้ายกับกฎของเคียร์โฮฟเพียงแต่ว่าค่าความต้านทานที่ใช้เป็นอัตราส่วนที่ทำให้คำนวณได้ง่าย แรกเลยสมมติว่าสวิทช์ D3 ซึ่งเป็นสวิทช์ในบิตที่มีนัยสำคัญสูงสุดนั้นต่อกับแรงดันอ้างอิง 5 โวลท์ ในขณะที่สวิทช์ตัวอื่นปิดลงกราวด์ดังนั้น R1 และ R2 จึงต่อขนานกันลงกราวด์ สังเกตตัวต้านทาน 2R ต่อขนานกับ 2R อีกตัวหนึ่งจึงมีค่าเท่ากับ R ค่า R นี้จะบวกกับ R4 กลายเป็นค่า 2R แล้วขนานกันกับ R3 ลงกราวด์ การรวมของ R3 และตัวต้านทานก่อนหน้าจึงทำให้เหลือเพียงค่า R ต่ออนุกรมกับ R6 พิจารณาเช่นเดียวกันกับวงจรส่วนที่เหลือก็จะได้เป็นวงจรง่ายขึ้น ดังรูปที่ 2.23

โดยเหตุที่กราวด์เทียมของออปแอมป์มีแรงดัน 0 โวลท์ ทำให้ไม่มีกระแสไหลผ่านค่าความต้านทานเหล่านี้ลงกราวด์จึงไม่ต้องสนใจส่วนนี้ ดังนั้น แรงดัน 5 โวลท์ ที่ปลายข้างหนึ่งของ R7 ค่า 20 กิโลโอห์ม ทำให้มีกระแส 0.25 มิลลิแอมป์ ผ่านที่จุดต่อและผ่าน RF 20 กิโลโอห์ม แรงดันเอาท์พุทที่ได้จากบิทที่มีนัยสำคัญสูงสุดจึงมีค่า -5 โวลท์

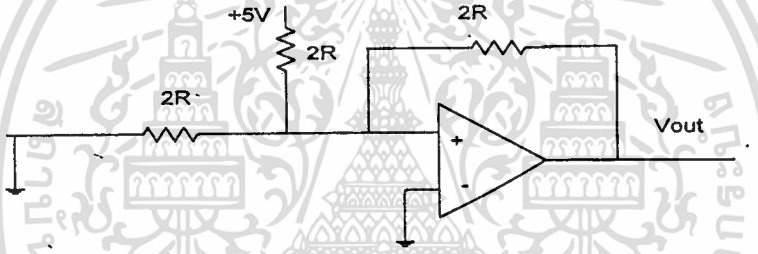
แรงดันที่ได้จากบิทที่มีนัยสำคัญรองลงมาก็หาได้โดยปิดสวิทช์ D2 ไปยัง +5 โวลท์ และ D3 ลงกราวด์ ตัวต้านทานทั้งหมดที่อยู่ทางซ้ายของ R5 ในรูปที่ 2.22 ลดรูปลงเหลือเพียง 2R ต่อลงกราวด์ การวิเคราะห์วงจรสามารถนำทฤษฎีของเทวินินคือ แรงดันที่รอยต่อหรือ 2.5 โวลท์ ตัวต้านทานเทวินินมีค่าเท่ากับตัวต้านทาน 2 ตัว ต่อขนานกัน (หรือ R) อุปกรณ์ที่อยู่ทางด้านซ้ายของ R6 สามารถลดรูปได้เหลือค่า R ต่อกับ 2.5 โวลท์ เราสามารถละทิ้ง R7 ได้เพราะจุดปลายทั้งสองค่าต่อลงกราวด์ ค่าความต้านทานรวมระหว่างที่จุดรวม (จุดกราวด์เทียม) และแรงดันเทวินินคือ 2R หรือ 20 กิโลโอห์ม กระแสที่จุดรวมคือ 2.5 โวลท์ หรือ 0.125 มิลลิแอมป์ กระแสที่ผ่าน RF 20 กิโลโอห์ม ทำให้เกิดแรงดันเอาท์พุท -2.5 โวลท์ (สำหรับบิตที่มีนัยสำคัญถัดมา)

ด้วยการวิเคราะห์ในทำนองเดียวกันนี้ สามารถหาแรงดันเอาท์พุทที่บิตต่ำลงมาอีกได้ 1.25 โวลท์ และที่ค่าดิจิตอลต่ำสุดได้ 0.625 โวลท์ ในขณะที่ค่าดิจิตอลสูงสุด (สวิทช์ทุกตัวต่อไปที่ +5 โวลท์) ได้เอาท์พุทเต็มสเกลคือ 9.375 โวลท์ แม้ว่าดีทูเอคอนเวอร์เตอร์แบบ R/2R แลดเดอร์ จะวิเคราะห์ยากกว่าแบบใช้ตัวตัวต้านทานหลายค่า (Weighted resistor) แต่จะง่ายกว่าสำหรับ การต่อวงจรให้ถูกต้องเพราะใช้ค่าความต้านทานเพียง 2 ค่าเท่านั้น จำนวนบิตก็เพิ่มได้โดยเพิ่มส่วนของ R/2R ลงไป วงจรนับ 4 บิต ที่เป็น TTL หรือ CMOS อาจนำมาต่อแทนตำแหน่งของสวิทช์ในวงจรรูปที่ 2.22 เพื่อให้แรงดันเอาท์พุทเป็นขั้นบันไดได้

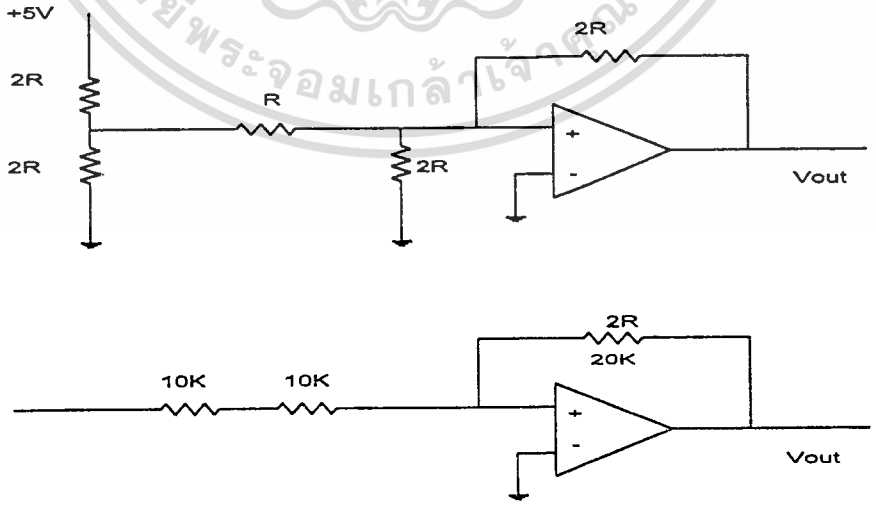
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.22 วงจรสมบูรณ์



รูปที่ 2.23 วงจรเสมือนในขณะที่สวิทซ์ของบิตที่มีนัยสำคัญสูงสุดปิด



รูปที่ 2.24 วงจรเสมือนในขณะที่สวิทซ์ของบิตที่มีนัยสำคัญรองลงมาปิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.9 ทฤษฎีการออกแบบ ดิจิตอลพาราเมตริกอีควอไลเซอร์

อีควอไลเซอร์นั้นมีไว้ใช้สำหรับปรับแต่งเสียงที่มีความถี่ต่าง ๆ เพื่อความไพเราะในการฟังซึ่งนอกจากจะใช้ในด้านไฮไฟแล้ว ยังใช้ในงานด้านอื่น ๆ อีก เช่น ในการแก้การเกิดลักษณะป้อนกลับระหว่างไมโครโฟนและลำโพงในงานขยายเสียงกลางแจ้ง (ซึ่งทำให้เกิดเสียงหอนที่เรารู้จักกัน) การปรับแต่งระดับสัญญาณในการบันทึกเสียงเพื่อให้ได้ความถี่ที่สมบูรณ์ หรือใช้ในการปรับเสียงจากเครื่องดนตรี

พาราเมตริกอีควอไลเซอร์ได้เปรียบกราฟฟิกอีควอไลเซอร์ในแง่ที่สามารถปรับความถี่ได้ละเอียดกว่า โดยการปรับความถี่กวาดไปตลอดย่านความถี่เสียง ผิดกับกราฟฟิกอีควอไลเซอร์ที่ต้องปรับแต่ละความถี่แยกกันต่างหาก ซึ่งมีใช้ในระบบเสียงไฮไฟทั่วไปที่เราพบกัน

นอกจากนี้พาราเมตริกอีควอไลเซอร์ยังสามารถนำมาต่อเรียงคาสเดด (อนุกรม) กันได้หลาย ๆ วงจร เพื่อให้ปรับลักษณะการตอบสนองความถี่อย่างไรก็ได้ ตามความต้องการ

2.9.1 ในกระบวนการอีควอไลเซอร์ นั้น มีวิธีการต่าง ๆ 3 วิธีคือ

โทนคอนโทรล (Tone Control) หรืออีควอไลเซอร์แบบลาด

กราฟฟิค (Graphics) อีควอไลเซอร์ หรือ อีควอไลเซอร์แบบคงที่

พาราเมตริก อีควอไลเซอร์

ในแต่ละวิธีดังกล่าว ทำให้เกิดการ บูส (Boot) และ คัท (Cut) ของสัญญาณที่ความถี่ที่กำหนด จะด้วยวิธีต่างๆ กันออกไป จะทำให้มีผลต่อการตอบสนองของความถี่ต่างๆ กันในที่นี้จะกล่าวถึงการทำงาน และการออกแบบ พาราเมตริกอีควอไลเซอร์ จาก ระบบอนาล็อก มาเป็น ระบบ ดิจิตอล โดยใช้การประมวลผลจาก TMS320C50

พาราเมตริกอีควอไลเซอร์ จะทำงานแตกต่าง จากกราฟฟิค อีควอไลเซอร์บ้างแต่ส่วนที่เหมือนกันคือ ในแต่ละแบนด์ (Band) จะสามารถ บูส หรือ คัทได้เฉพาะแบนด์ แต่ความถี่ตรงกลาง และความกว้างของแบนด์ หรือค่า Q สามารถปรับเปลี่ยนได้ ดังนั้นการที่จะ บูสหรือคัทที่ความถี่เท่าใด จะเอาความกว้างของแบนด์ มากน้อยแค่ไหน เหล่านี้จะเป็นอิสระต่อกัน ดังนั้น พาราเมตริกอีควอไลเซอร์ จึงช่วยได้มากทีเดียวในการปรับแต่งเสียง การแสดงผล หรือการอัดเสียงทำมาสเตอร์ (Master) เทป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.9.2 คุณสมบัติของ อนาล็อก พาราเมตริกอีควอไลเซอร์

ช่วงความถี่กลาง	40 Hz -16 KHz
การตอบสนองต่อความถี่	3Hz - 100KHz +0 และ -1dB เมื่อปรับปุ่มอยู่กึ่งกลาง
อินเตอร์มอดูเลชั่นดิสตอชั่น (SMPTE)	น้อยกว่า 0.007%
เอาท์พุทสูงสุด	9 Volt rms ขณะโหลด 10KΩ
บูสหรือคัทสูงสุด	± 20dB เมื่อ Q=0.16 ออคเตป-70dBm
ช่วงปรับค่า Q	0.16-2 ออคเตป
ดิสตอชั่นทั้งหมดบวกนอยส์ (Noise)	ต่ำกว่า 0.04 (ช่วง 20Hz- 20KHz)

ตารางที่ 2.4 คุณสมบัติของอนาล็อก พาราเมตริกอีควอไลเซอร์

จากคุณสมบัติข้างต้นนี้ จะเห็นว่าพารามิเตอร์ (Parameter) ที่สำคัญมี 3 ตัว คือ Q-Point,Gain และ Frequency Center ทั้ง 3 ค่าจะเป็นอิสระแก่กันในการปรับ ต้องการเท่าไหร่ก็ได้ ภายใต้เงื่อนไข ของคุณสมบัติข้างต้น คือ Q-Point ปรับได้ตั้งแต่ 0.16-2 ออคเตป

ส่วน Gain สามารถปรับให้ บูส หรือ คัท ได้เช่นเดียวกับอีควอไลเซอร์แบบอื่น Frequency Center สามารถเลือกความถี่กลางได้ ตลอดย่านการตอบสนอง (20Hz-10KHz)

2.9.3 ผลการตอบสนองของ Q-Point Gain และ Frequency Center

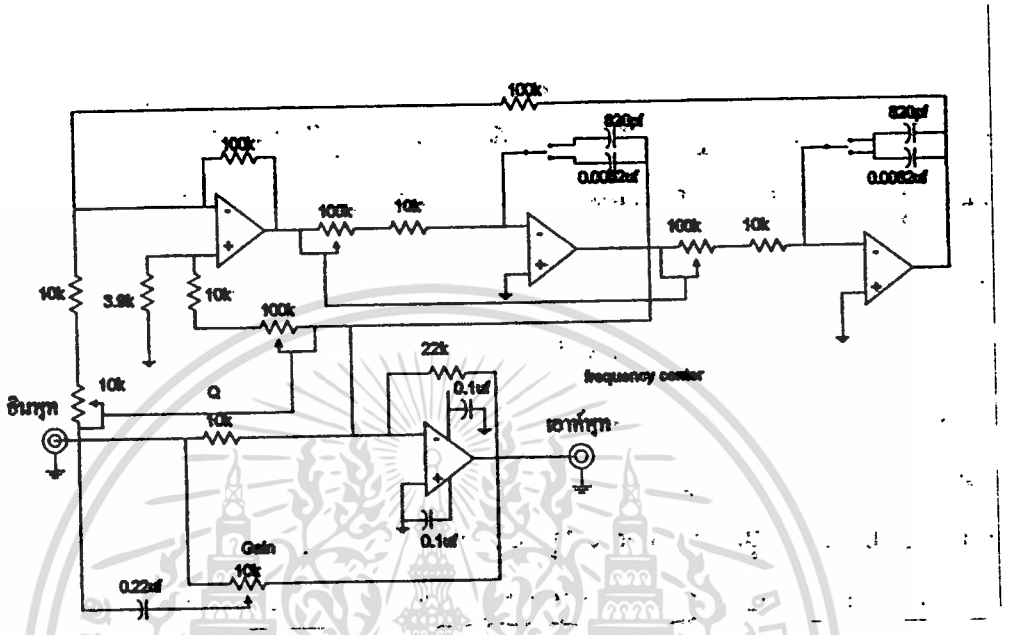
ค่า **Q-Point** จะเป็นค่าความถี่ช่วง Lower และ Upper Frequency โดยมี Frequency Center เป็นความถี่กลางเมื่อมีการเปลี่ยนแปลงค่า Q-Point ช่วงความถี่ Lower และ Upper จะเปลี่ยนไป (จะมากหรือน้อย) พื้นที่ภายใต้ Spectrum มีพื้นที่เท่าเดิมตลอด

ค่า **Gain** จากการปรับค่า Q-Poimt อย่างไร พื้นที่ภายใต้กราฟ Spectrum ต้องเท่าเดิม ค่า Gain จะไปเพิ่มพื้นที่ ภายใต้กราฟนั้น จะเกิดการบูสต่อช่วงความถี่นั้น

ค่า **Frequency Center** ช่วงความถี่กลางสามารถเลื่อนความถี่กลางในย่านการตอบสนองได้ โดยอิสระตลอดย่าน ซึ่ง Frequency Center จะเป็นความถี่ที่ได้รับการบูสสูงสุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในทางอนาล็อกวงจรพาราเมตริกอีควอไลเซอร์จะประกอบด้วยวงจรกรองความถี่เลื่อนได้แบบแอคตีฟ (Tunable Active : Band Pass Filter) สามารถปรับพารามิเตอร์ต่าง ๆ ได้ คือ ความถี่กลาง ความกว้างของความถี่ และการขยายหรือลดทอนซึ่งมีลักษณะดังรูป



รูปที่ 2.25 วงจรพาราเมตริกอีควอไลเซอร์

ในทางดิจิตอลการประมวลผลสัญญาณเสียงในรูปแบบ DSP จะใช้ไมโครโปรเซส-เซอร์ที่มีความเร็วสูงดังนั้นจึงประยุกต์ใช้งานได้ง่ายและเป็นการออกแบบระบบด้วยซอฟท์แวร์ จึงมีการประยุกต์ใช้งานได้หลายด้าน เช่นสามารถนำมาใช้เป็นอีควอไลเซอร์ โดยการใช้ทฤษฎี (FIR Filter Finite Impulse Response) ในการประมวลผลสัญญาณอนาล็อกซึ่งประกอบด้วยขั้นตอนต่าง ๆ ดังนี้

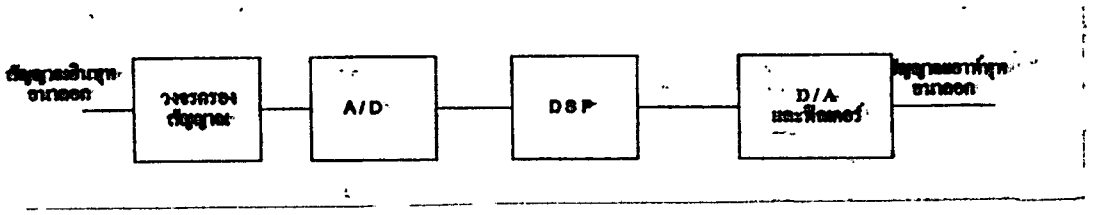
ขั้นที่ 1. สุ่มสัญญาณอนาล็อกที่เป็นอินพุท

ขั้นที่ 2. เปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล

ขั้นที่ 3. ประมวลผลข้อมูลดิจิตอลตามอัลกอรึทึม ทางคณิตศาสตร์ในที่นี้เราใช้ FIR Filter

ขั้นที่ 4. แปลงผลลัพธ์จากดิจิตอลเปลี่ยนเป็นอนาล็อกใหม่ ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.26 แผนผังการทำงานของระบบประมวลผลสัญญาณด้วย DSP

2.10 โครงสร้างสถาปัตยกรรม MCS-51

ลักษณะสำคัญของ MCS-51 จะประกอบด้วย

2.10.1 ใช้ HMOS และ CHMOS เทคโนโลยีในการสร้างและทำงานด้วยแหล่งจ่ายไฟขนาด 5 โวลท์ เพียงแหล่งเดียว

2.10.2 CPU มีขนาดของข้อมูลเป็น 8 บิต

2.10.3 มีวงจรออสซิลเลเตอร์ และวงจรนาฬิกาบนชิพ

2.10.4 ชุดแบงค์ (Bank) มีรีจิสเตอร์ 4 ชุด แต่ละชุดจะมีรีจิสเตอร์ 8 ตัว

2.10.5 มีตัวจับเวลา/ตัวนับขนาด 16 บิต 2 ชุด และสำหรับเบอร์ 8032 /8052 จะมี 3 ชุด

2.10.6 มีพอร์ตอินพุท/เอาท์พุท ขาด 2 ทิศทางจำนวน 4 พอร์ต แต่ละพอร์ตมีขนาด 8 บิต รวมทั้งหมด 32 บิต และอีก 16 เส้น ของเบอร์ 8031 จะใช้ในการเข้าถึง แอดเดรสและข้อมูล

2.10.7 พอร์ตแบบอนุกรมสามารถที่จะโปรแกรมการรับส่งแบบ Full Duplex ที่มีความเร็วสูง

2.10.8 หนึ่งรอบของคำสั่งจะใช้เวลา 1 ไมโครวินาที ด้วยการใช้คริสตอลขนาด 12 MHz

2.10.9 อ้างแอดเดรสของข้อมูลภายนอกได้ 64 กิโลไบท์

2.10.10 อ้างแอดเดรสของโปรแกรมภายนอกได้ 64 กิโลไบท์

2.10.11 สามารถกำหนดเลขที่อยู่ข้อมูลขนาดไบท์หรือบิทได้โดยตรง

2.10.12 มีซอฟท์แวร์บิทแฟลกสำหรับผู้ใช้ที่กำหนดเองได้ถึง 128 ตำแหน่ง

2.10.13 โครงสร้างอินเตอร์รัพท์จะติดตั้งได้ถึง 5 แหล่ง และ 6 แหล่งสำหรับ 8032/8052 พร้อมด้วยการจัดไพรโอริตี้ (Priority) ได้ 2 ระดับ

2.10.14 ตัวโพรเซสเซอร์สามารถใช้งานแบบบูลีน (Boolean) ได้ สามารถใช้กับกระบวนการงานควบคุม

2.10.15 มีคำสั่งคูณและหารทางฮาร์ดแวร์ที่ทำได้ภายในเวลา 4 ไมโครวินาที

2.10.16 ตัวเลขทางคณิตศาสตร์ใช้ได้แบบไบนารีและเดซิมอล

2.10.17 การใช้พื้นที่สแตกสำหรับโปรแกรมย่อยต่าง ๆ ทำได้กว้างกว่า MCS-48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.10.18 ชุดคำสั่งของ MCS-51 จะมีความสามารถสูงกว่าชุดคำสั่งของ MCS-48

เบอร์	หน่วยความจำ ภายใน		ตัวจับเวลา/ ตัวนับจำนวน	อินเตอร์รัพท์
	โปรแกรม	ข้อมูล		
8052 AH	8 K x 8 ROM	256 x 8 RAM	3 x 16 Bit	6
8051 AH	4 K x 8 ROM	128 x 8 RAM	2 x 16 Bit	5
8051	4 K x 8 ROM	128 x 8 RAM	2 x 16 Bit	5
8032 AH	NO ROM	256 x 8 RAM	3 x 16 Bit	6
8031 AH	NO ROM	128 x 8 RAM	2 x 16 Bit	5
8031	NO ROM	128 x 8 RAM	2 x 16 Bit	5
8751 H	4K x 8 EPROM	128 x 8 RAM	2 x 16 Bit	5
8752 H	8K x 8 EPROM	256 x 8 RAM	3 x 16 Bit	6

ตารางที่ 2.5 รายละเอียดของตระกูล MCS-51

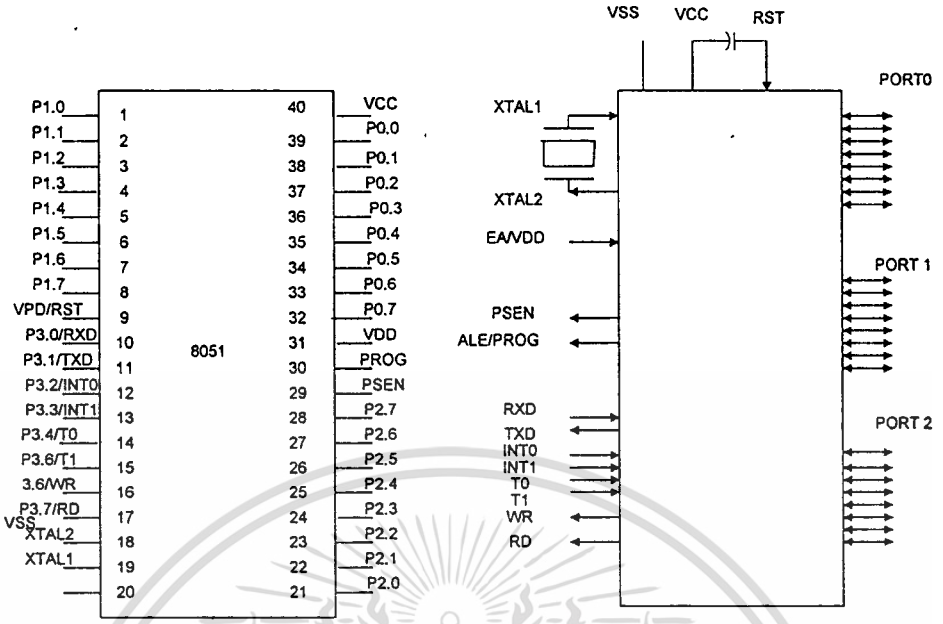
ตระกูลMCS-51 จะมีทั้งแบบมี ROM ในตัวหรือไม่มี ROM หรือมี EPROM บนชิพเดียวกันและจะมีตำแหน่งขาที่เหมือนกัน ดังตารางที่ 2.5 แสดงถึงรายละเอียดของเบอร์ต่าง ๆ ในตระกูล MCS-51 ที่จำหน่ายในท้องตลาด

8751 H อยู่ในกลุ่มเดียวกับ 8051 AH ที่เราสามารถโปรแกรมได้ด้วยระบบไฟ สามารถลบออกด้วยแสงอุลตร้าไวโอเลต นอกเหนือจาก IC ที่แสดงในตารางที่ 2.5 ที่ใช้เทคโนโลยี HMOS แล้วยังมีตระกูลอื่นที่ใช้เทคโนโลยี CHMOS ที่ประหยัดพลังงานมากกว่า 4 เท่า ของ HMOS ที่มีจำหน่ายขณะนี้คือเบอร์ 80C51 , 80C31 และ 87C51

2.11 การจัดขาลักษณะภายนอกของ MCS-51

รูปที่ 2.25 จะเป็นการจัดขาตามลักษณะภายนอกของชิพ MCS-51 ซึ่งจะมีการแบ่งกลุ่มการจัดขา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.27 ลักษณะการจัดขาภายนอกของ MCS-51

ขาตามสถาปัตยกรรมของ MCS-51 มีอยู่ 4 กลุ่ม คือ

กลุ่มขารับแหล่งจ่ายไฟและระบบสัญญาณนาฬิกา

กลุ่มขาแอดเดรสและข้อมูล

กลุ่มขาควบคุม

กลุ่มขาพอร์ตแบบขนานและอนุกรม

ขาบางขาจะทำหน้าที่ได้ 2 หน้าที่ขึ้นอยู่กับการติดตั้งด้วยซอฟท์แวร์หรือฮาร์ดแวร์ เช่น ขาที่ 32-39 จะทำหน้าที่ได้ 2 กลุ่มจะเป็นกลุ่มขาแอดเดรสและข้อมูล หรือจะทำหน้าที่เป็นกลุ่มขาพอร์ตแบบขนาน เป็นต้น

2.12 การจัดหน่วยความจำของ MCS-51

ตัว MCS-51 จะแยกแอดเดรสสำหรับหน่วยความจำของโปรแกรมและหน่วยความจำของข้อมูลออกจากกัน หน่วยความจำของโปรแกรมขยายได้ถึง 64 กิโลไบท์และจำนวนไบท์ต่ำ 4 กิโลไบท์ จะอยู่ใน 8051 หน่วยความจำของข้อมูลภายในมี 128 ไบท์ (256 ไบท์ สำหรับ 8032/8052) บนชิพและอีก 128 ไบท์ ใช้สำหรับรีจิสเตอร์ฟังก์ชั่นพิเศษ (Special Function Registor : SFR) และเข้าถึงหน่วยความจำข้อมูลภายนอกได้อีก 64 กิโลไบท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.13 หลักการออกแบบ ดิจิตอล พาราเมตริกอีควอไลเซอร์

จากการทำงานโดยรวม ของอนาล็อก พาราเมตริกอีควอไลเซอร์ เป็นหลักการในการออกแบบ FIR ฟิลเตอร์ให้เป็นแบนด์พาสฟิลเตอร์ ด้วยวิธี Frequency Sampling โดยพารามิเตอร์ยังคงทำหน้าที่เหมือนเดิม ภายใต้การทำงานของ FIR ฟิลเตอร์ ซึ่งค่า Gain และค่า Frequency Center จะรับค่าจากผู้ใช้โดยผ่านทาง Key Control เพื่อจะนำเอาพารามิเตอร์มาแสดง Spectrum ที่กราฟฟิค LCD

2.14 การออกแบบ FIR ฟิลเตอร์ ด้วยวิธีแซมปลิ้งความถี่ (Frequency Sampling)

วิธีในการออกแบบ FIR ฟิลเตอร์ ทำได้ด้วยกันหลายวิธี เช่น วิธีอนุกรมฟูเรียร์ (Fourier Series) วิธีวินโดว์ (Window) วิธีแซมปลิ้งความถี่ และวิธีคัม(cump) โดยวิธีที่กล่าวมานั้น โครงสร้างจะแตกต่างกับฟิลเตอร์ที่มีใช้อยู่ คือ Direct Form I,II Cacade,Parallel เมื่อพิจารณาถึงวิธีการ ออกแบบ FIR ฟิลเตอร์ จะต้องใช้ฟูเรียร์ทรานฟอร์ม (Fourier Transform) เพื่อให้ได้ค่าตอบสนองอิมพัลซ์ (Impulse Responce) ที่ต้องการ ซึ่งอยู่ใน Frequency Domain จากนั้นจะสามารถหาค่าตอบสนองอิมพัลซ์นี้จะเป็นตัวกำหนดว่า ฟิลเตอร์นั้นจะเป็นแบบใด เช่น แบบกรองความถี่ต่ำผ่าน (Low pass filter) แบบกรองความถี่สูงผ่าน (High pass filter) เป็นต้น

ในการออกแบบโดยวิธีอนุกรมฟูเรียร์ ค่าอิมพัลซ์จะได้จากสมการ

$$h[n] = \frac{1}{2\pi}\int_{-\pi}^{\pi} H(e^{jw})e^{jw}dw \quad \text{เมื่อ } n = 0,\pm1,\pm2,..... \qquad (8)$$

ซึ่งเหมาะสมสด $^{jw})$ ในความถี่ที่ผ่านเป็นช่อง ๆ ในกรณีที่ต้องการความถี่ตอบสนองที่มีลักษณะพิเศษเช่นกรองความถี่ต่ำผ่านโดยวิธีดิฟเฟอเรนเชียล (Differential low pass filter) จะทำได้ยากหรือไม่ได้เลยที่จะได้ค่าอิมพัลซ์ h(n) จากค่าอินติกัลของสมการ (8) จึงเลือกใช้วิธีการแซมปลิ้งความถี่ สำหรับพาราเมตริกอีควอไลเซอร์

โดยค่าอิมพัลซ์ที่ได้จากวิธีแซมปลิ้งความถี่นี้ จะได้จากอินเวอร์ DFT (Diserete Fourier Tramsform) ความถี่ตอบสนองที่ต้องการ $H(e^{jw})$ จะประกอบด้วยลำดับที่สิ้นสุด $\{H(k)\}_{1,2n}$ ซึ่งมีจำนวนแซมเบิ้ล 2N+1 และแต่ละช่องของแซมเบิ้ลจะมีห่างกัน $2\pi/2N+1$ เรเดียน/แซมเบิ้ล ตามความสัมพันธ์ในย่านความถี่ $0<W<2\pi$ ค่าขนาดและเฟสของความถี่ตอบสนองที่ต้องการ $H(e^{jw})$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถเลือกได้ตามความต้องการในช่วง 0<W<π ยกเว้นที่จุด W=0 ค่า $H(e^{jw})$ จะเป็นจำนวนจริงและเมื่อ W>π ถ้า $H(e^{jw})$ จะเท่ากับค่าสูงสุดของจำนวนเชิงซ้อน $H(e^{j(2\pi - w)})$ ดังนั้นจะได้

$$H(k) = H\left(e^{\frac{j2\pi k}{(2N+1)}}\right) \qquad \text{เมื่อ } k = 0,1,.....N \qquad (9)$$

เมื่อ H(k) คือค่าสูงสุดเชิงซ้อนของ H(2N+1-k) $N < k < 2N$

ค่า$\{H(k)\}_{0,2N}$ อาจจะเทียบได้กับค่า DFT ของค่าลำดับจำกัด 2N+1 แซมเปิ้ล($\{h[[n]\}_{1,2N}$)สมการอินเวอร์ DFT สมการ(9) เราจะได้แซมเปิ้ลของลำดับนี้ด้วยสมการ (10)

$$x[n] = \frac{1}{(N)} \sum_{k=0}^{N-1} X[k] e^{jnwk} \qquad (10)$$

$$h[n] = \frac{1}{(2N+1)} \sum_{k=0}^{2N} H[k] e^{\frac{j2\pi nk}{(2N+1)}} \qquad \text{เมื่อ } n= 0,1,2.....2n \qquad (11)$$

เมื่อ DFT ของ $\{h[n]\}_{0,2N}$ คือ $\{H[k]\}_{0,2N}$ ค่าอิมพัลซ์ที่ได้จะเป็นดังนี้

{h[n]}= {0,....0,h[0],h[1],....,h[2N],0,.....,0,.....}

ซึ่งจะมีค่าเท่ากับความถี่ตอบสนองที่ต้องการที่จุดแซมปลิ้งความถี่ 2N+1 ความถี่ตอบสนองของ FIR ฟิลเตอร์ อาจจะคลาดเคลื่อนไปจาก $H(e^{jw})$ ในระหว่างจุดแซมปลิ้งและ N จะต้องมีค่ามากพอเมื่อที่จะให้แน่ใจว่าความถี่ตอบสนองที่ต้องการมีคุณลักษณะตรงตามที่คาดหมายและจะได้ค่า {h[n]}ที่กำหนดจากค่า N นี้ จะตัดทอนลำดับเพื่อลดจำนวนขั้นของ FIR ฟิลเตอร์ค่าอิมพัลซ์ที่ได้ควรจะมีใกล้เคียงกับค่าที่หาได้จากการออกแบบโดยวิธีอนุกรมฟูเรียร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.15 การสร้างดิจิตอลฟิลเตอร์ด้วย TMS320C50

สำหรับการประยุกต์ในการประมวลผล ของสัญญาณ ส่วนใหญ่แล้วดิจิตอลฟิลเตอร์จะต้องมีพื้นฐาน ตามความสัมพันธ์ ตามสมการ (11) ระหว่าง ลำดับฟิลเตอร์อินพุท X(n) และลำดับฟิลเตอร์เอาท์พุท Y(n)

$$y(n) = \sum_{k=0}^{N} a_k y(n-k) + \sum_{k=0}^{M} b_k x(n-k) \qquad (12)$$

จากสมการ (12) จะมีความหมายเช่นเดียวกับ สมการดิฟเฟอร์เรนเชียล (Difference Equation)

วงจรดิจิตอลฟิลเตอร์อาจจัดแบ่งตามคุณลักษณะของอิมพัลส์เรสปอนส์หรือผลตอบสนองได้เป็น 2 ประเภท คือ

Finite Impulse Response (FIR) filter เป็นวงจรกรองที่จำกัดจำนวนจุดของการสุ่มในช่วง $n1 \le n \le n2$ ทั้ง n1 และ n2 จะเป็นตัวเลขจำกัด (Finite) สำหรับในที่นี้เราจะคำนึงถึงการออกแบบวงจรชนิด FIR และเขียนโปรแกรมประมวลผลเพื่อกรองสัญญาณดิจิตอลแบบความถี่ต่ำผ่าน โดยใช้ชิพซิกแนลโปรเซสเซอร์เบอร์ TMS320C50

Infinite Impulse Response (IIR) filter เป็นวงจรกรองที่ให้อิมพัลส์เรสปอนส์ h(n) เป็นจำนวนอนันต์ นั่นคือ h(n) จะไม่เป็นศูนย์ที่จุดอนันต์ โดย n จะอยู่ในช่วง $n1 \le n \le \infty$

2.15.1 คุณสมบัติของวงจรฟิลเตอร์แบบ FIR

คุณสมบัติทั่ว ๆ ไปบางประการของวงจรฟิลเตอร์แบบ FIR พอสรุปเป็นข้อ ๆ ได้ดังนี้

1. ลักษณะวงจรเป็นแบบนอนรีเคอร์ซิฟ (Nonrecursive) หรือการคอนโวลูชั่นโดยตรง คือไม่มีการป้อนกลับ
2. ค่าผิดพลาดเนื่องจากควันไตซ์ การปัด และความคลาดเคลื่อนของสัมประสิทธิ์มีค่าน้อยกว่าวงจรฟิลเตอร์แบบ IIR
3. ทรานเฟอร์ฟังก์ชั่นของ FIR แบบนอนรีเคอร์ซิฟ จะมีขั้วโพล (Poles) อยู่ที่จุดกำเนิด และมีเสถียรภาพเสมอ
4. วงจรฟิลเตอร์แบบ IIR สามารถออกแบบให้มีคุณลักษณะขอลเฟสแบบเชิงเส้นได้เกือบเป็นอุดมคติ แต่ยากจะทำได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. ช่วงเวลาหน่วงของ FIR จะเพิ่มขึ้นตามจำนวนพจน์ และค่อนข้างจะมีค่ามากที่วง จรที่มีอันดับสูง
6. โดยปกติแล้วปัญหาการประมาณค่าสำหรับวงจรแบบ FIR ค่อนข้างจะมีปัญหามากกว่าวิธีการของ IIR ปัญหาเริ่มแรกข้อหนึ่งก็คือข้อกำหนดต่าง ๆ เกี่ยวกับพารามิเตอร์ของวงจร เช่น ช่วงพาสแบนด์, ช่วงสต๊อปแบนด์ และ ฯลฯ มีข้อยุ่งยากกว่า IIR อยู่มาก จึงอาจจำเป็นต้องมีโปรแกรมคอมพิวเตอร์ช่วยในการประมวลผล

2.15.2 วงจรฟิลเตอร์ FIR

สำหรับ FIR ฟิลเตอร์ ค่า a_k ในสมการ (12) ทั้งหมด มีค่าเป็นศูนย์ จะลดรูปสมการได้เป็น

$$y(n) = \sum_{k=0}^{M} b_k x(n-k) \qquad (13)$$

เมื่อ (M-1) คือ จำนวนขั้นของฟิลเตอร์ผลที่ได้จากเอาท์พุท ของ FIR ฟิลเตอร์ จะเป็นจำนวนขั้นที่มีค่าสิ้นสุด ซึ่งเป็นผลรวมของอินพุทที่ป้อนให้ ฟิลเตอรขณะนั้น และก่อนหน้านั้น ถ้าให้การตอบสนองต่อ อิมพัลซ์ของ ฟิลเตอร์แทนด้วย h(n) แล้ว จากสมการ (13) จะได้ว่า h(n) = b(n) ดังนั้นสมการ (13) อาจเขียนได้อีกอย่างคือ

$$y(n) = \sum_{k=0}^{M} h(k) x(n-k) \qquad (14)$$

จากสมการ (14) จะเห็นได้ว่า FIR ฟิลเตอร์ สามารถเรียกได้อีกชื่อว่า การตอบสนองของจำนวนขั้นที่สิ้นสุดต่อ อิมพัลซ์ (a finite-length response to a unit-sample) แสดงค่าของ x(n) y(n) และ h(n) ใน Z ทรานส์ฟอร์ม ได้เป็น X(z),Y(z),H(z) ตามลำดับแล้วจะได้

$$H(z) = \frac{Y(z)}{X(z)} = \sum_{k=0}^{M} b_k z^{-1} = \sum_{k=0}^{M} h(k) z^{-k} \qquad (15)$$

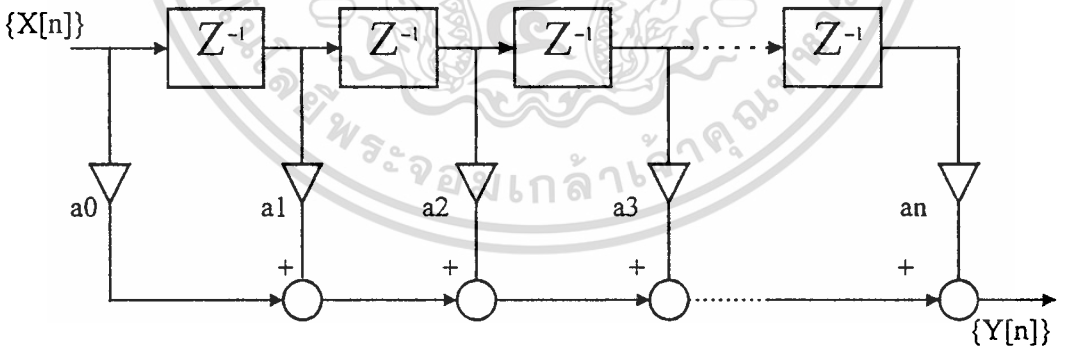
สมการ (14) และ (15) สามารถแสดงเป็นโครงข่าย (Net Work) ได้ดังรูปที่ 2.18 ซึ่งเป็นไดเร็กฟอร์ม (Direct form) ของ FIR ฟิลเตอร์เนื่องจากค่าสัมประสิทธิ์ของ ฟิลเตอร์ เป็นค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เดียวกันในสมการ (14) นั่นคือ เส้นของ Z^{-1} ในรูปที่ 2.26 จะตรงกับดีเลย์ (Delay) ใน สมการ (14) และการคูณด้วย Z^{-1}ในสมการ (15) ซึ่งสมการ (14) อาจจะตรงกับความสามารถของ TMS320C50 นี้

สำหรับในกรณีของวงจรฟิลเตอร์แบบ IIR ปัญหาการออกแบบพื้นฐานก็คือการหาค่าคงที่ในสมการทรานเฟอร์ฟังก์ชันให้สอดคล้องกับข้อกำหนด แต่สำหรับวงจรฟิลเตอร์แบบ FIR นั้นจะต้องการเพียงค่าสัมประสิทธ์ของเศษเท่านั้น นั่นคือเป็นการจำกัดขอบเขตของปัญหาให้แคบเข้ามา

ในการประยุกต์ใช้ DSP หลายๆอย่างเวลาสำหรับกระทำกระบวนการจะต้องพิจารณามากที่สุดนั่นคือต้องเลือกอุปกรณ์ DSP ที่สามารถฟิลเตอร์ได้ในเวลาที่ใช้จริง ตัวอย่างเช่น ในเรื่องของเสียงพูด โดยปกติอัตราการแซมปลิ้ง (Sampling) จะเป็น 8 KHz ซึ่งมีช่วงเวลาเท่ากับ 125 μs ในแต่ละช่วงแซมเปิ้ล ช่วงเวลานี้เป็นค่าเวลาสูงสุด ที่มีได้ในขณะทำงาน เพื่อที่จะให้การประมวลผลของสัญญาณ กระทำได้ในช่วงเวลานั้น จึงจำเป็นที่จะต้องลดค่า เวลาในการประมวลผลของฟิลเตอร์ซึ่งสามารถกระทำได้โดยใช้คำสั่งคูณแอคคิวมูเลเตอร์ (Accumulator) ในหนึ่งรอบการทำงาน ซึ่ง TMS320C50 นี้มีความสามารถตามที่กล่าวมา คือมีคำสั่งคูณแอคคิวมูเลเตอร์ พร้อมกับย้ายข้อมูลในหนึ่งรอบการทำงาน และมีหน่วยความจำแรม ขนาดใหญ่อยู่ภายในชิพ ซึ่งทำให้เวลาในแต่ละขั้นของฟิลเตอร์มีค่าประมาณ 200 ns



รูปที่ 2.28 Direct-form FIR Filter

TMS320C50 จะมีหน่วยความจำภายในชิพ แรมขนาด 544 เวิร์ด โดยแบ่งเป็น 3 บล็อก คือ B0 B1 และ B2 บล็อก B1 ,B2 มีขนาดรวมกันเท่ากับ 288 เวิร์ด และเป็นหน่วยความจำข้อมูล ตลอดเวลา บล็อก B0 มีขนาด 256 เวิร์ด เป็นหน่วยความจำโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อได้เปรียบของ MACD คือ คำสั่งนี้จะทำงานได้เฉพาะ กับหน่วยความจำแรม ภายในชิพและใช้คำสั่งนี้เพื่อ ลดเวลาในการประมวลผลของ ฟิลเตอร์ และยอมให้ขนาดขั้นของ FIR ฟิลเตอร์ ขยายได้ถึง 256 ขั้น

TMS320C50 จะทำให้สมการ (14) เป็นจริงได้ด้วยคำสั่งทำซ้ำ PRT ซึ่งใช้ร่วมกับคำสั่ง MACD ตัวอย่างเช่น

```
RPT     80
MACD    COEFF , *-
```

คำสั่ง RPT 80 จะโหลดค่า 16 บิท ลงไปที่รีจีสเตอร์ (Register) (Repeat Counter) ซึ่งจะกระทำคำสั่งถัดไปซ้ำ 80 ครั้ง (80 คือจำนวนขั้นของฟิลเตอร์) คำสั่ง MACD COEFF, *- จะกระทำตามลำดับดังนี้

1. โหลดค่า COEFF มาใส่ในรีจีสเตอร์ โปรแกรมเคาน์เตอร์
2. คูณค่าหน่วยความจำข้อมูลในตำแหน่ง (B ,ภายในชิพ) ด้วยค่าหน่วยความจำโปรแกรมตำแหน่ง COEFF (B0 ภายในชิพ)
3. นำผลคูณไปบวกค่าในแอคคิวมูเลเตอร์
4. สำเนาค่าหน่วยความจำข้อมูล(B0)ไปยังตำแหน่งที่สูงขึ้นของแรมภายในชิพ ลักษณะ ของการเคลื่อนย้ายข้อมูลคือการดีเลย์ Z^{-1}
5. เพิ่มค่าโปรแกรมเคาน์เตอร์ ในแต่ละครั้งของการคูณ ระหว่าง อินพุทถัดไปของอิมพัลซ์

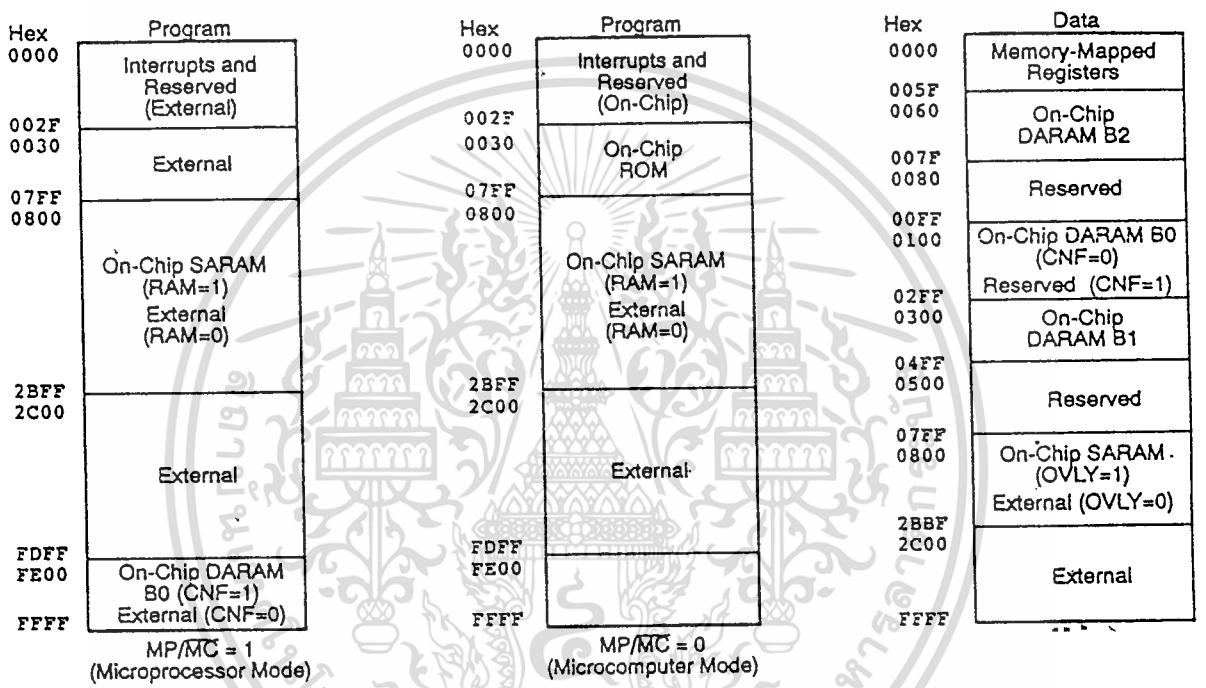
คำสั่ง MACD เป็นกลุ่มของคำสั่ง LTD และ MPY รวมกัน แสดงผังการเก็บข้อมูลเพื่อให้ได้ลำดับที่ถูกต้องของอินพุทและอิมพัลซ์ ในการทำงานของคำสั่ง MACD

ตัวอย่างโปรแกรมของ TMS320C50

```
LOOP    IDLE                    ; WAIT FOR D/A INTERRUPT
        LAMM  DRR               ; DATA  RECIVE REGISTER
        SALC    XN              ; STORE INPUT DATA
        ZPR                     ; CLEAR PROGRAM REGISTER
        LACC    #14             ; LOAD ACC FOR 15 BIT
        LAR     AR0 , #0 , #04FFH ;
        RPT     #40             ; RETURN DATA 40 VALUE
        MACD    COEFF , *-      ; MULTIPLE  COEFF WITH INPUT
```

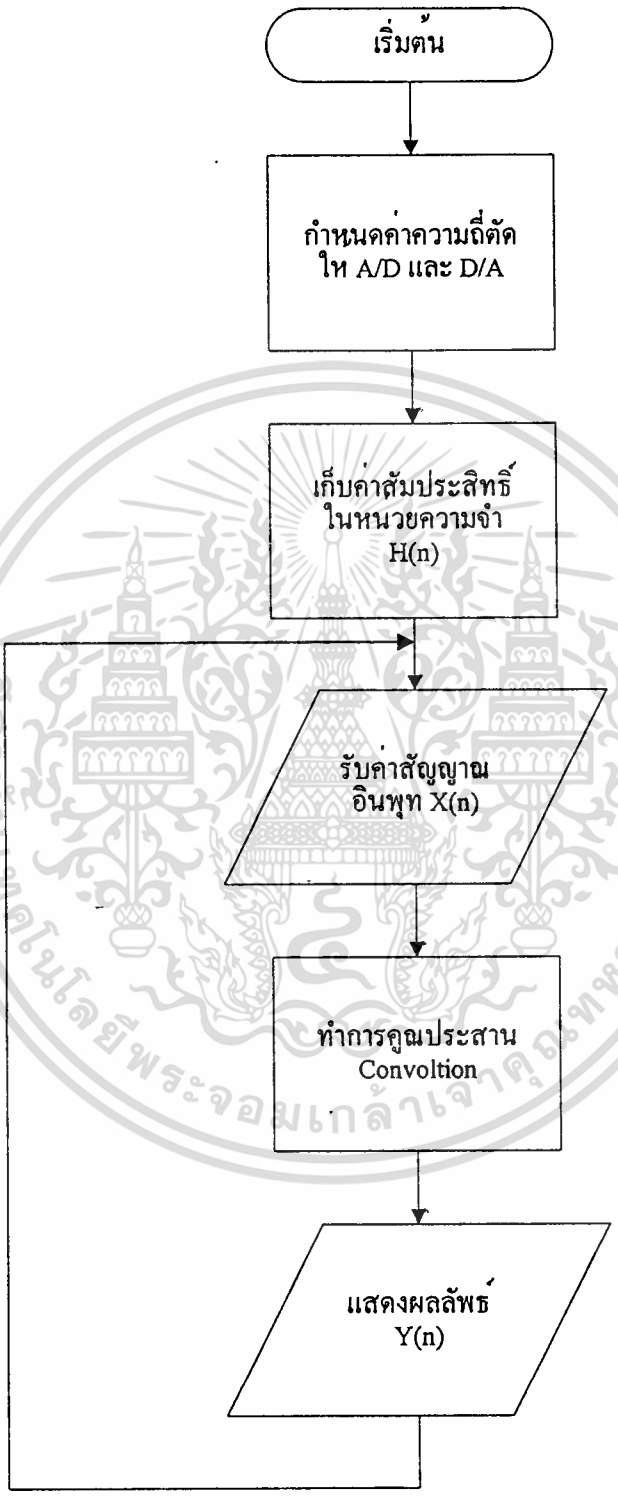
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
APAC                    ; ADD  PREG  WITH ACC
SACH    YN,1            ; STORE OUTPUT DATA
LACC    YN,1            ; LOAD  OUTPUT DATA FOR PORT 1
SAMM    DXR             ; SEND OUTPUT DATA TO DXR
B       LOOP            ; GET THE LOOP POINT
```



รูปที่ 2.27 ผังหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.28 ผังการทำงานของ FIR Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

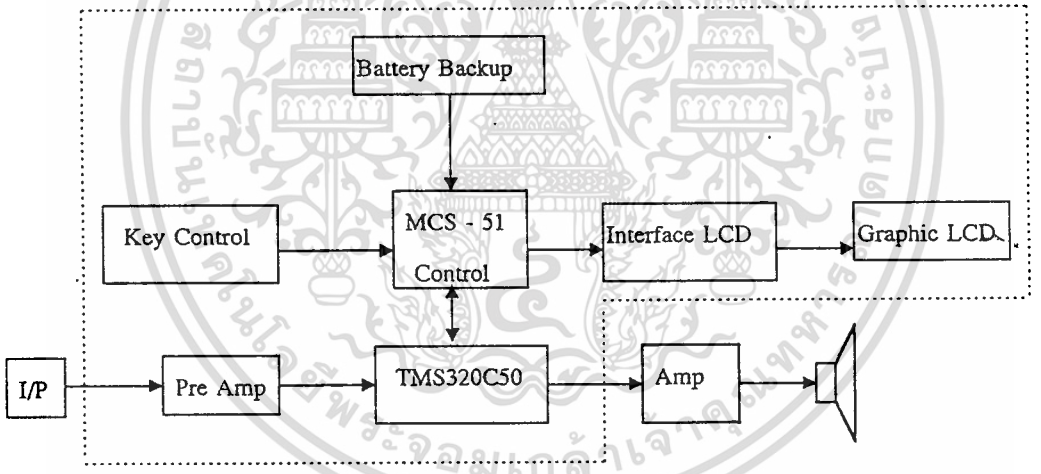
บทที่ 3

หลักการออกแบบและวิธีการสร้าง

การออกแบบวงจรมีหลักการสำคัญที่ต้องคำนึงถึงคือต้องใช้อุปกรณ์ที่หาได้ตามท้องตลาดทั่วไป และประโยชน์ในการใช้งาน ซึ่งมีรายละเอียดดังต่อไปนี้

3.1 หลักการออกแบบฮาร์ดแวร์

ในส่วนฮาร์ดแวร์ของดิจิตอลอีควอไลเซอร์ ซึ่งใช้ชิพ TMS320C50 เป็นตัวประมวลผล โดยนำสัญญาณจากอินพุทจากภายนอก มาทำการประมวลผลและจะทำการปรับแต่งโดย Key control เพื่อให้ได้เสียงตามต้องการ ซึ่งมีบล็อกไดอะแกรมของการทำงานดังนี้



รูปที่ 3.1 บล็อกไดอะแกรมของดิจิตอลอีควอไลเซอร์

จากบล็อกไดอะแกรมในรูปที่ 3.1 สามารถแบ่งการทำงานของฮาร์ดแวร์ออกเป็น 7 ส่วนได้ดังนี้

ส่วนของ PreAmp

ส่วนของ DSK Board

ส่วนของ Key Control

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนของ MCS-51 Board

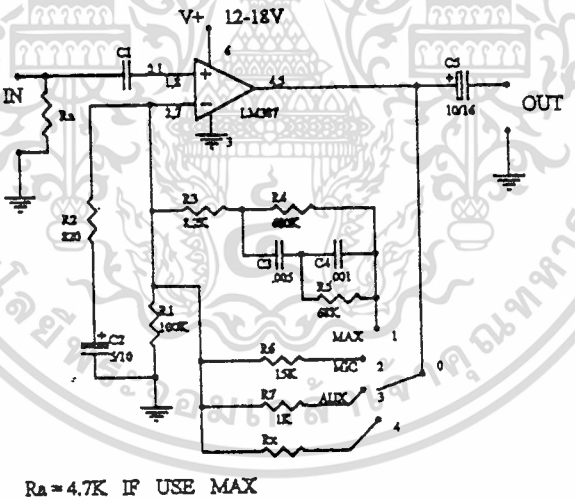
ส่วนของ Graphic LCD Display

ส่วน Backup

ส่วน Inter face LCD

3.1.1 ส่วน PreAmp

ในส่วนนี้จะทำหน้าที่ขยายสัญญาณเบื้องต้นเพื่อให้ได้สัญญาณอินพุทที่พอเหมาะ ซึ่งสามารถเลือกลักษณะของสัญญาณอินพุทได้ เช่น MIC, MAX, AUX เป็นต้น การเลือกสามารถเลือกได้โดยใช้ Selector Switch ดังรูปที่ 3.2



รูปที่ 3.2 วงจรภาคปรีแอมป์

วงจรนี้เหมาะสำหรับการใช้งานทั่ว ๆ ไปทั้งนี้วงจรสามารถต่อใช้งานกับอินพุทชนิดต่าง ๆ ได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

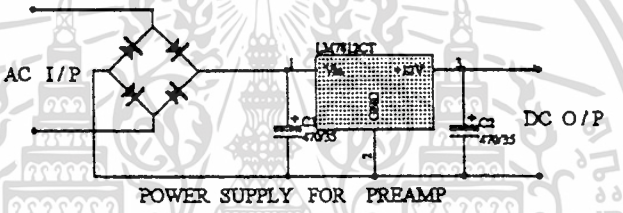
ตำแหน่ง 1 แมกเนติคพิคอัพ (MAX) ความไวสัญญาณ 5 มิลลิโวลท์

ตำแหน่ง 2 ไมโครโฟน ความไวสัญญาณ 50 มิลลิโวลท์

ตำแหน่ง 3 แอกซิลารี (AUX) ความไวสัญญาณ 200 มิลลิโวลท์

ทั้งนี้จะได้สัญญาณเอาท์พุทถึง 1 โวลท์ กรณีใช้งานกับแมกเนทิคพิคอัพ ควรต่อรีซิสเตอร์ (Ra) ค่า 4.7 กิโลโอห์มไว้ทางด้านอินพุท

เรกูเลเตอร์



รูปที่ 3.3 การต่อวงจรเรกกูเลเตอร์เฉพาะไฟบวกอย่างเดียว

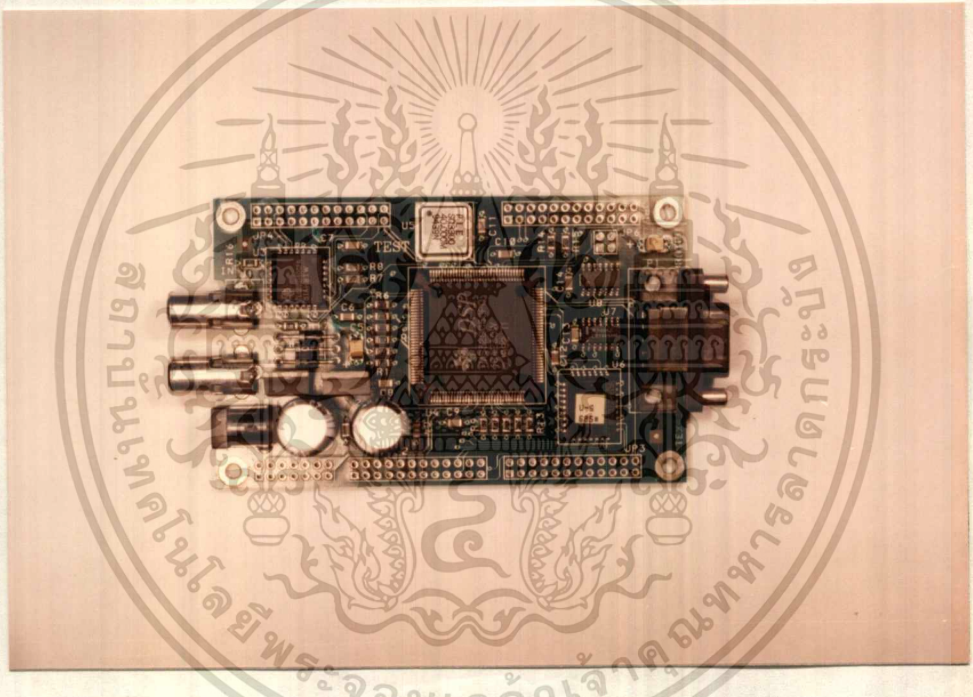
วงจรเร็กกูเลเตอร์ชุดนี้ เป็นวงจรที่มีการต่อใช้งานโดยใช้ ไอซีแบบ 3 ขา ที่ออกแบบเป็นเรกูเลเตอร์โดยเฉพาะไอซีสามารถจะจ่ายกระแสได้ถึง 1.5 แอมป์ สำหรับโวลท์เตจขึ้นอยู่กับเบอร์ไอซีที่ใช้ ซึ่งมีข้อสังเกตสำหรับตัวไอซีดังนี้

แรงไฟเรกกูเลเตอร์จะมีค่าเท่ากับเลขต่อท้ายเบอร์ไอซี 7812 แสดงว่าแรงไฟเรกูเลท ที่ 12 โวลท์ สำหรับไอซีชุดนี้หากขึ้นต้นเป็นตัวเลข 78 แล้วต่อท้ายด้วยเลขแรงไฟที่ต้องการเรกกูเลท เช่น 7812 หมายถึงแรงไฟเรกกูเลทเท่ากับ 12 โวลท์ จะทำหน้าที่จ่ายแรงดันให้กับ MCS-51 Board และชุดปรีแอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2 ส่วน DSK Board

จะทำหน้าที่เป็น Filter เป็น Low Pass Filter โดยสามารถตอบสนองความถี่ได้อยู่ในช่วง 20Hz ถึง 10 Khz ซึ่งเราสามารถปรับแต่งสัญญาณในช่วงต่าง ๆ ได้โดยการควบคุมทาง MCS-51 Board ในการควบคุม MCS-51 Board จะส่งค่าสัมประสิทธิ์ที่ได้จากการคำนวณไปยัง DSK Board ซึ่งจะทำให้ DSK Board เป็นอีควอไลเซอร์

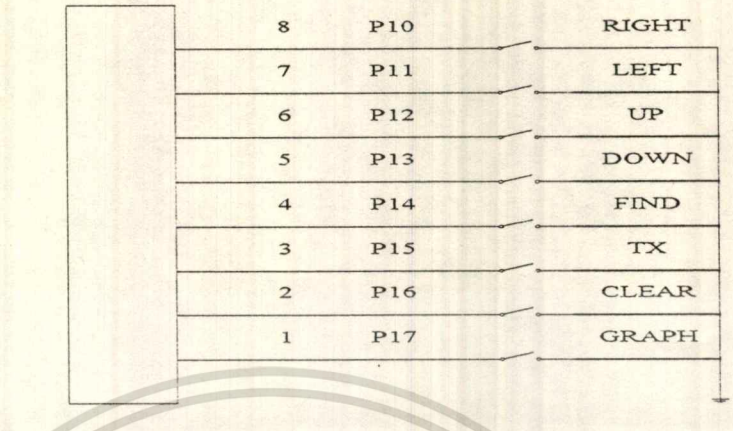


รูปที่ 3.4 ส่วนประกอบต่าง ๆ ของบอร์ด TMS320C50

3.1.3 ส่วน Key Control

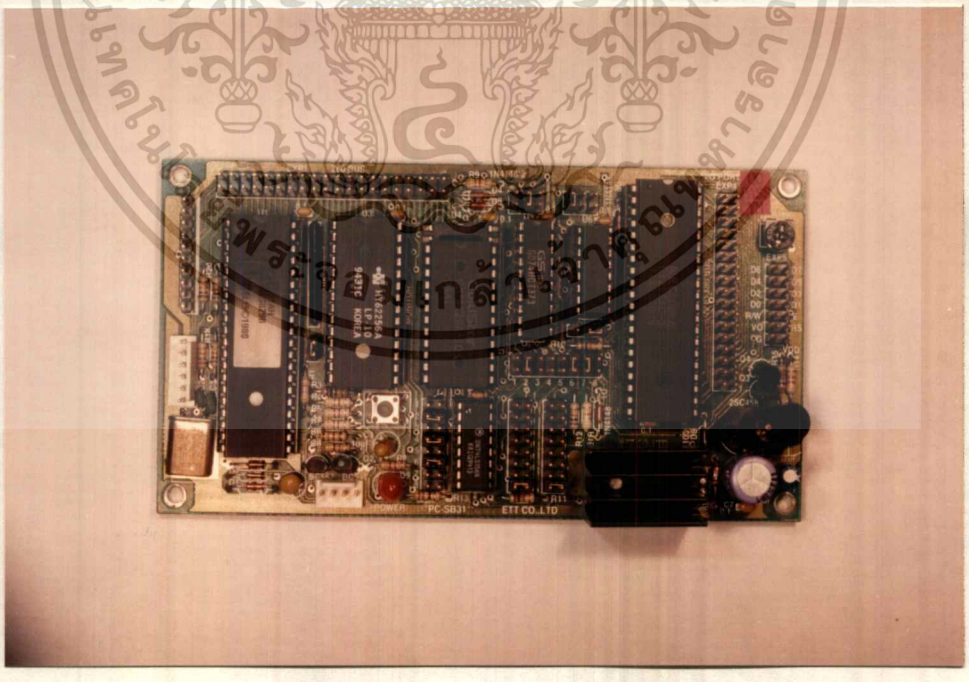
เป็นส่วนที่ใช้ในการปรับแต่งสัญญาณอินพุท โดยใช้ Key ในการควบคุมและสั่งการในการทำงาน เช่น เพิ่มความถี่ ลดความถี่ เพิ่มแอมปลิจูด ลดแอมปลิจูด หรือเคลียร์ข้อมูล เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 ลักษณะของ Key control

3.1.4 ส่วน MCS-51 Board



รูปที่ 3.6 ลักษณะของบอร์ด MCS-51

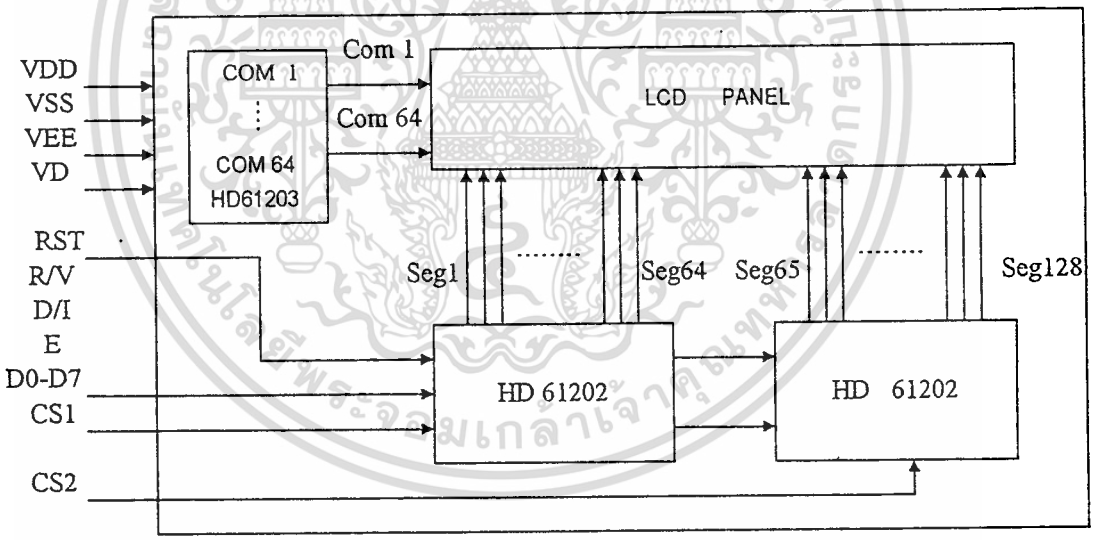
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นส่วนที่ใช้ในการควบคุมการทำงานของระบบคือ ควบคุมการทำงานของบอร์ด DSK และ Graphic LCD ที่ทำหน้าที่เป็นตัวแสดงผล และยังใช้คำนวณหาค่าสัมประสิทธิ์ของ FIR Filter แล้วส่งข้อมูลไปยังบอร์ด DSK เพื่อทำงานต่อไป ดังรูปที่ 3.6

3.1.5 ส่วน Graphic LCD Display

เป็นส่วนที่ทำหน้าที่แสดงผลการทำงานโดยจะแสดงเป็น Graphic สามารถแสดงผลได้ 64 x 128 จุด

โครงสร้างภายในของ LCD จะประกอบด้วย ส่วนของ Controller โดย HD61203 จะควบคุมการอ้างถึง page ของข้อมูล และ HD61202 จะควบคุมในการอ้างของ Segment ซึ่งในการใช้งานเราต้อง Control ส่วนเหล่านี้ โดยการส่งรหัสควบคุมไปที่ขา LCD ดังนี้



รูปที่ 3.7 โครงสร้างภายในและขาควบคุม

ขา RST เป็นขาที่ใช้ Reset การทำงานของ LCD

ขา E เป็นขา Enable การรับส่งข้อมูล จะทำงานที่ Logic High และของขาลง

ขา R/W เป็นขาที่ใช้กำหนด การอ่านหรือเขียนข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา D/I ใช้บอกถึงข้อมูลในดาต้าบัส ว่ารหัสควบคุมหรือเป็นส่วนของข้อมูล

ขา CS1 Chip select ของ HD61201 ตัวแรก

ขา CS2 Chip select ของ HD61201 ตัวที่สอง

ขา Data-Bus เป็นขาใช้ส่งข้อมูล หรือรหัสควบคุม

นอกจากขาควบคุมต่าง ๆ แล้ว ยังมีขาของแหล่งจ่ายไฟ คือ

ขา VSS Ground

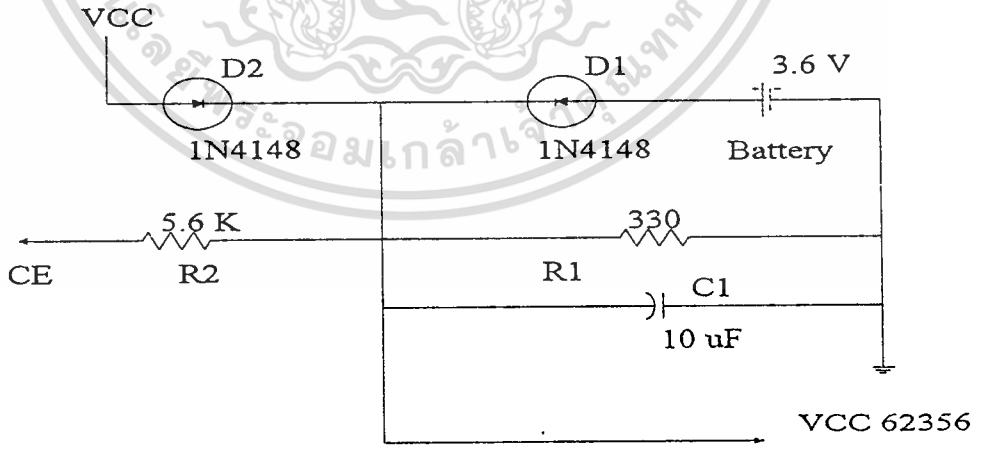
ขา VDD แรงดันไฟเลี้ยงวงจร Logic

ขา VO แรงดันไฟเลี้ยง LCD

ขา VEE ขาจ่ายแรงดันไฟลบ โดยเมื่อต่อ VDD ให้วงจร ขา VEE จะจ่ายแรงดันไฟลบออกมา (ใช้นำไปขับ LCD ที่ขา VO)

3.1.6 ส่วน Battery Backup

ส่วนนี้จะทำหน้าที่ช่วยในการรักษาข้อมูลในระบบขณะปิดเครื่องหรือไฟดับ ดังรูปที่ 3.9

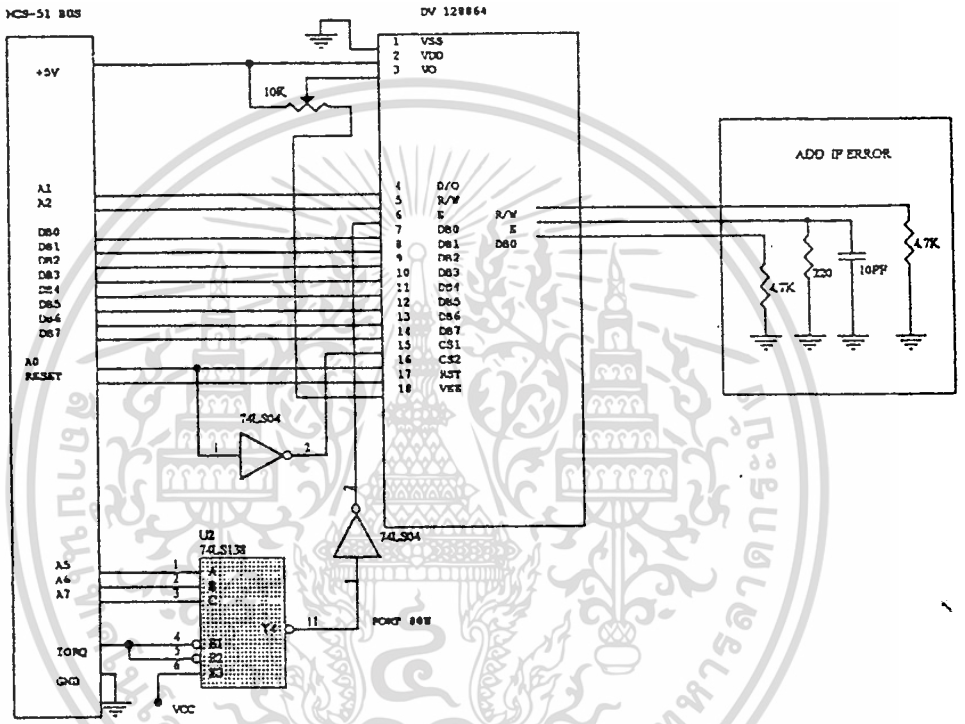


รูปที่ 3.8 วงจรของ Battery backup

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.7 ส่วน Interface LCD

ส่วนนี้จะใช้ในการเชื่อมต่อระหว่าง MCS-51 บอร์ด กับ Graphic LCD Display สามารถปรับความสว่างของจอ LCD โดยวิธีปรับค่าที่ VR 10 K ดังแสดงในรูปที่ 3.10



รูปที่ 3.9 การเชื่อมต่อระหว่างบอร์ด MCS-51 กับ กราฟฟิก LCD

3.2 หลักการทำงานและการออกแบบซอฟท์แวร์ (Soft ware)

3.2.1 ซอฟท์แวร์โดยรวม

เป็น ซอฟท์แวร์ ที่ เขียนโดยภาษาแอสเซมบลี้ (Assembly) จะทำหน้าที่รับข้อมูล (ค่า Amplitude) โดยผ่านทาง Key Control และนำค่าที่ได้จากการปรับแต่งจาก Key Controlไปทำการคำนวนค่า สัมประสิทธิ์โดย MCS-51 และนำสัมประสิทธิ์ที่ได้ส่งไปยังบอร์ด DSP เพื่อให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บอร์ด DSP ทำงานภายใต้เงื่อนไข ของ พาราเมตริก อีควอไลเซอร์ ซึ่งกล่าวโดยรวมของซอฟท์แวร์ ชุดนี้ว่า โปรแกรมดิจิตอลอีควอไลเซอร์

3.2.2 ลักษณะของ โปรแกรมดิจิตอลอีควอไลเซอร์

เป็น ซอร์ฟแวร์ ที่ประยุกต์ใช้ DSP ทำงานเป็น พาราเมตริก อีควอไลเซอร์

ซึ่งผู้ใช้จะติดต่อกับเครื่องโดยการปรับแต่งตามความต้องการเหมาะสำหรับผู้ที่ต้องการศึกษา การทำงานการประยุกต์ใช้ชุดประมวลผลสัญญาณเชิงเลข และ ผู้ที่สนใจ

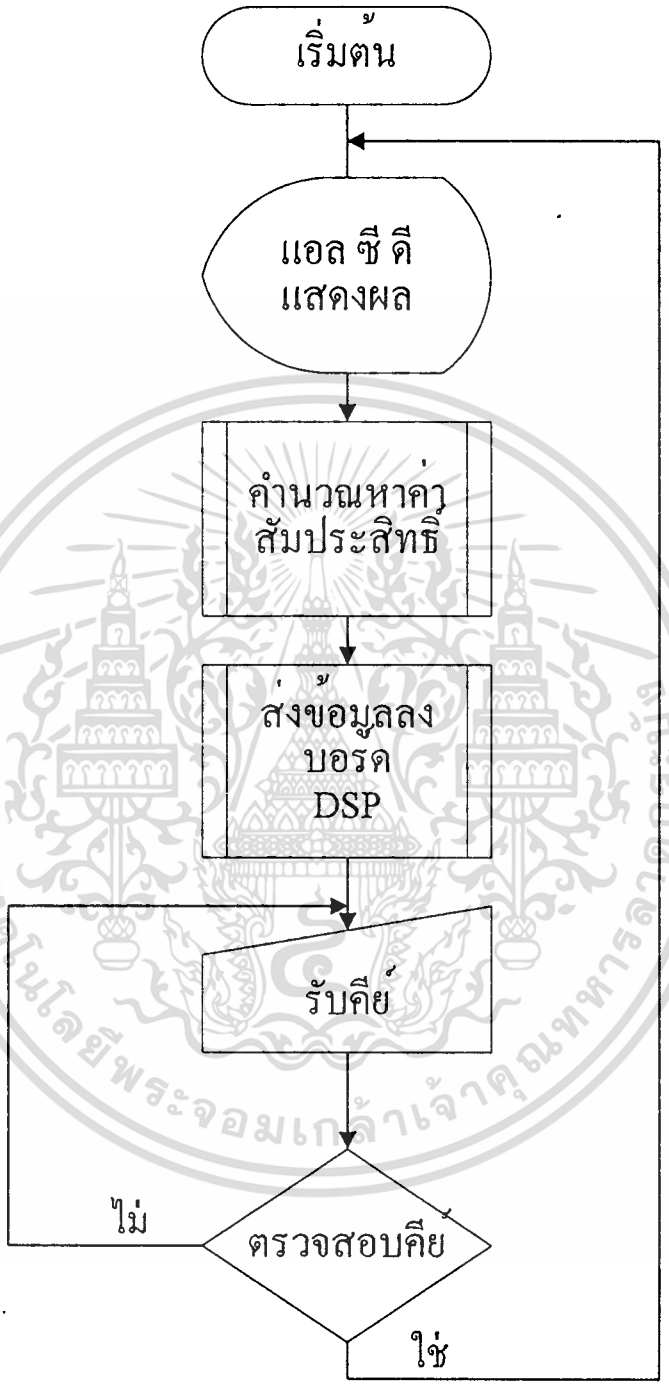
3.2.3 อุปกรณ์ หรือซอฟท์แวร์ที่ โปรแกรมApplication ต้องการ

บอร์ด TMS320C50

บอร์ด MCS - 51 Controler

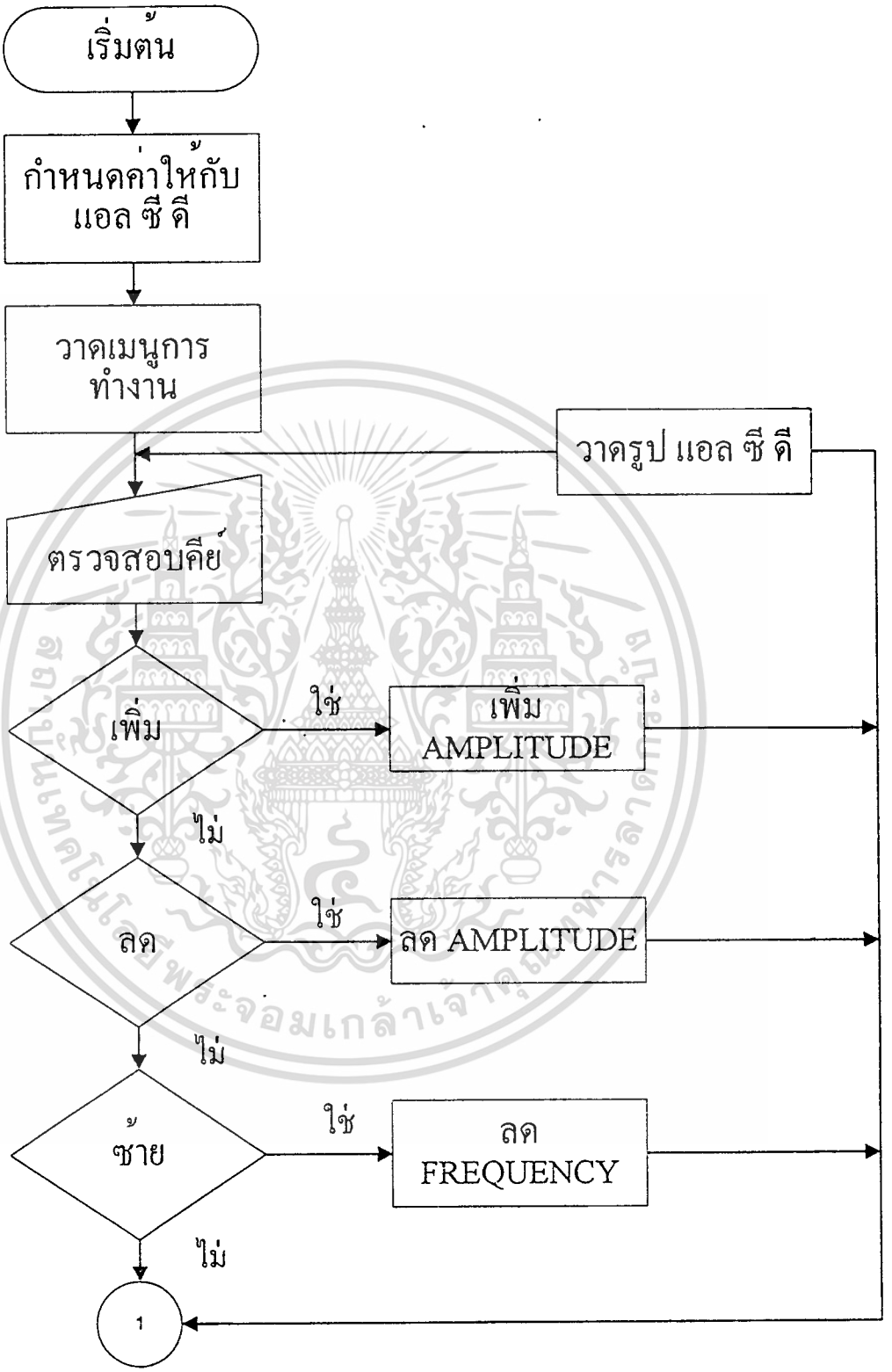
3.3.4 การทำงานของโปรแกรม Application เขียนเป็น ผังการทำงาน (Flow chart) ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



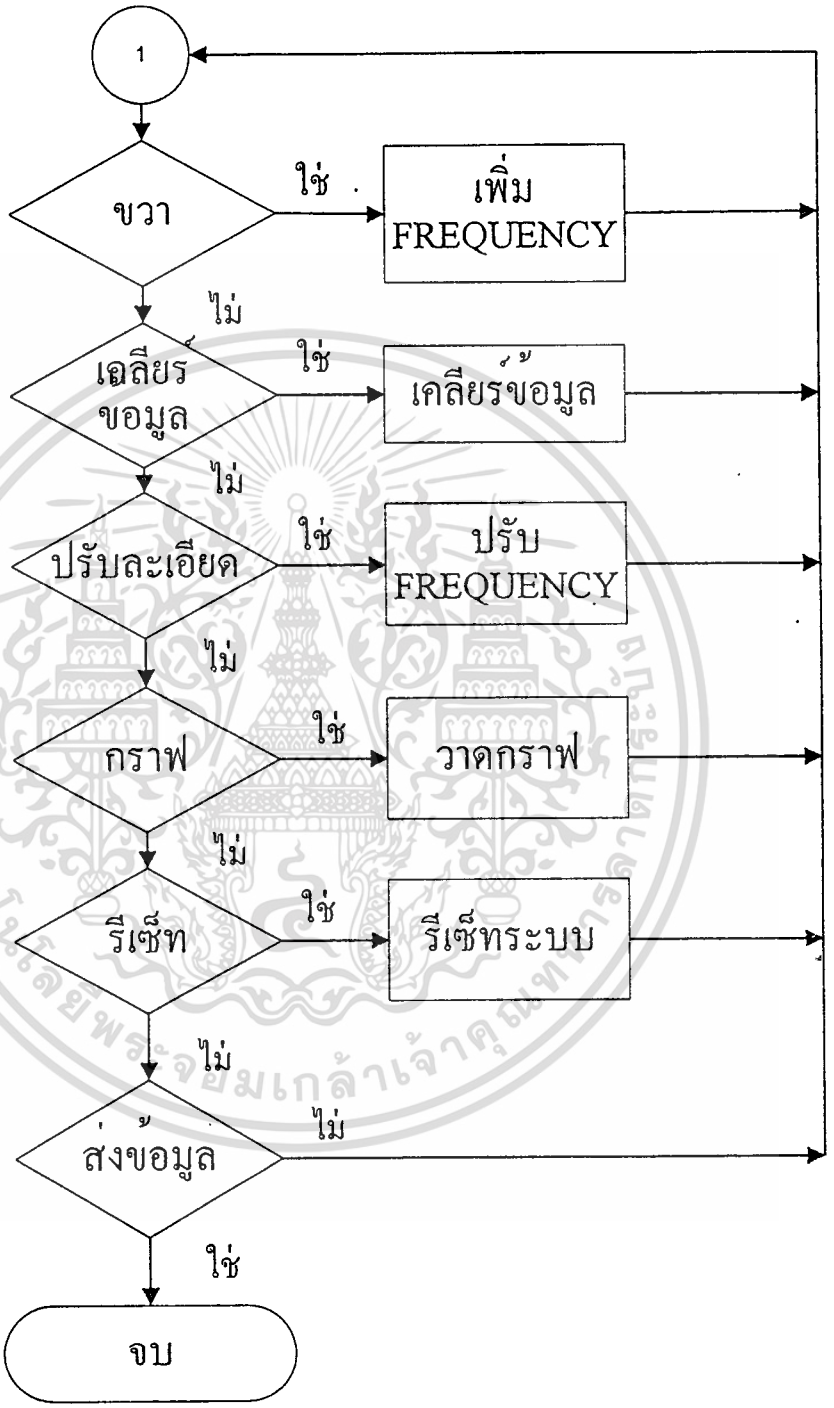
รูปที่ 3.11 ผังการทำงานของ Main Program

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



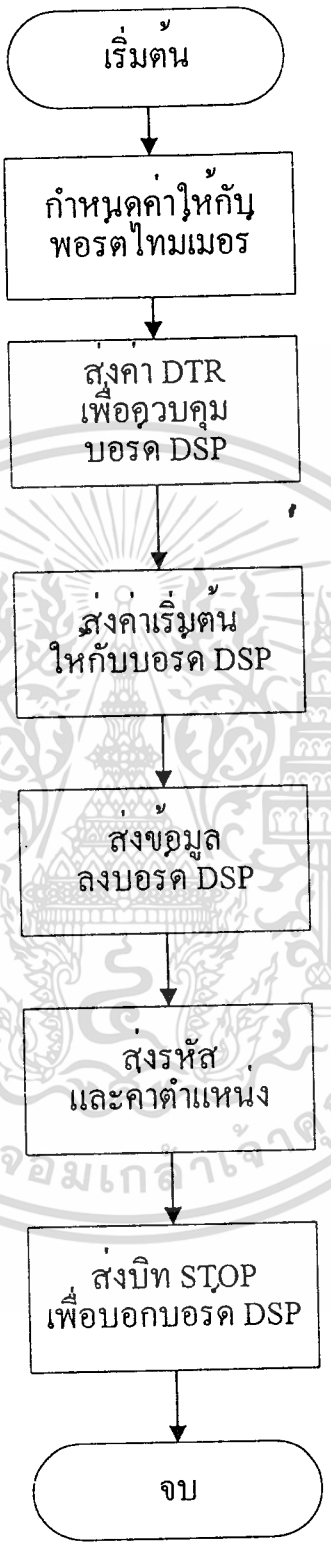
รูปที่ 3.12 ผังการทำงานของการควบคุม LCD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



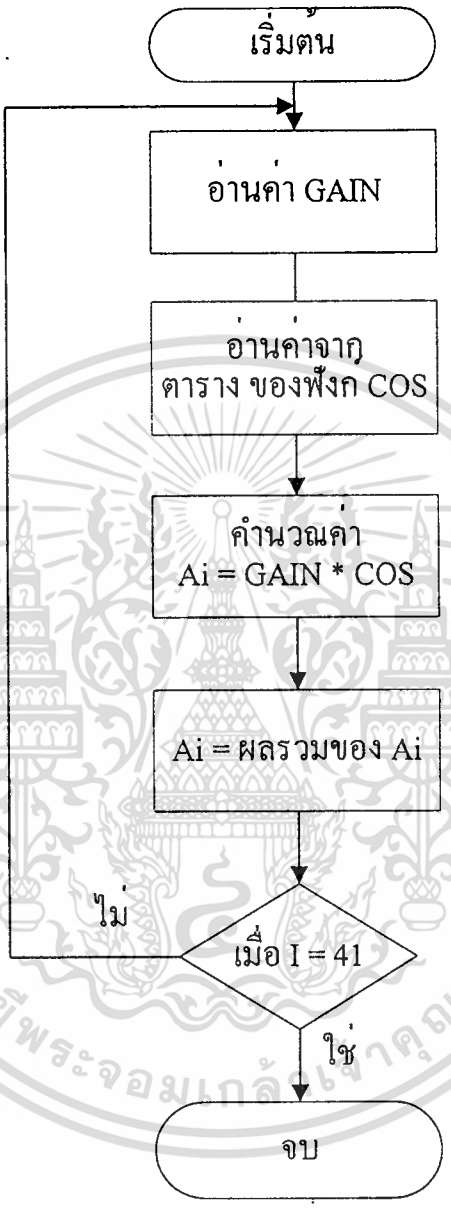
รูปที่ 3.13 ผังการทำงานของการควบคุม LCD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.14 ผังการทำงานของการส่งข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



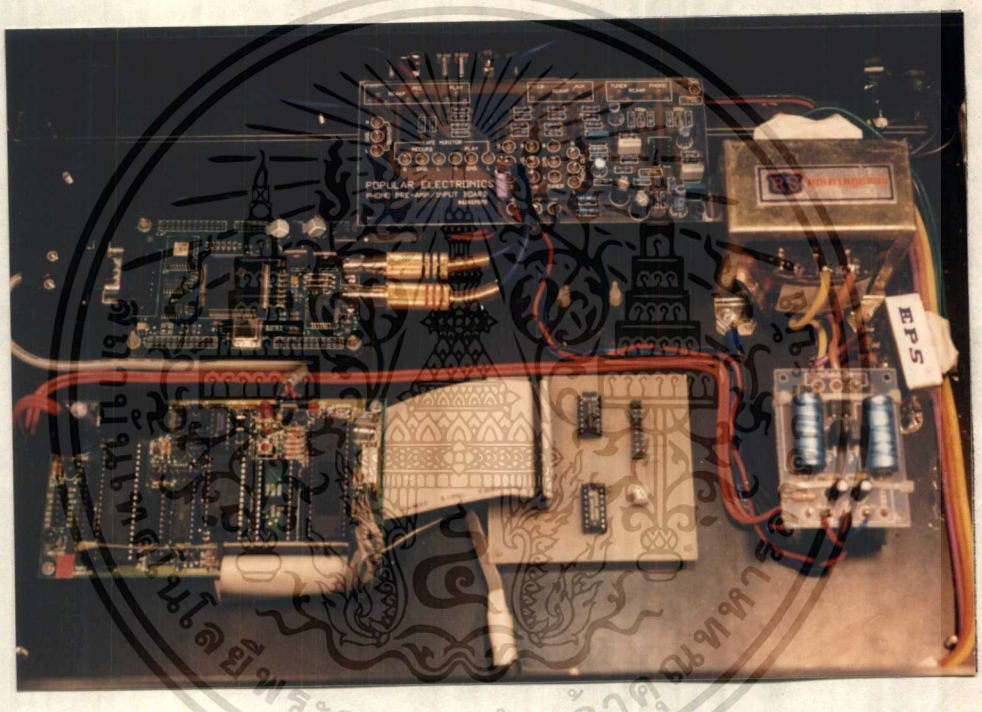
รูปที่ 3.15 ผังการทำงานของการคำนวณหาค่าสัมประสิทธิ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

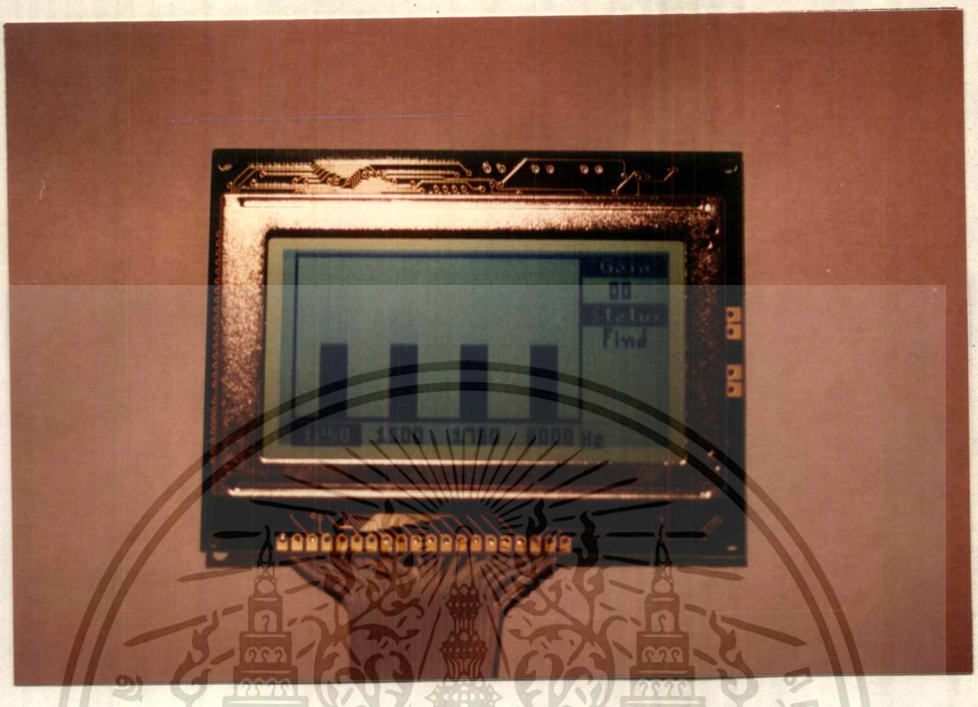
การทดลองและผลการทดลอง

ในบทนี้กล่าวถึงการทดลอง การทำงานของดิจิตอลอีควอไลเซอร์โดยเริ่มต้นทำการทดลองโปรแกรม รวมถึงการทำงานของดิจิตอลอีควอไลเซอร์



รูปที่ 4.1 เครื่องดิจิตอลอีควอไลเซอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 เมนูการทำงานของเครื่องดิจิตอลอีควอไลเซอร์

4.1 การทดลองและผลการทดลอง

การทดสอบการทำงานของเครื่องโดยการปรับค่า Amplitude และความถี่ของสัญญาณอินพุทจากคีย์บอร์ด และจะทำการคำนวณค่าสัมประสิทธิ์ของ FIR Filter จากนั้นก็จะส่งสัญญาณที่ได้ออกเอาท์พุท ซึ่งลักษณะของสัญญาณเอาท์พุทที่ได้ต้องเหมือนกับสัญญาณอินพุท ซึ่งในการทดลองเราแบ่งออกเป็น 2 แบบ คือ

ป้อนสัญญาณอินพุทจากเครื่องกำเนิดสัญญาณในย่านความถี่เสียง

ป้อนสัญญาณอินพุทจากเครื่องเล่นเทปคลาสเซ็ท

4.1.1 การทดลองแบบที่ 1

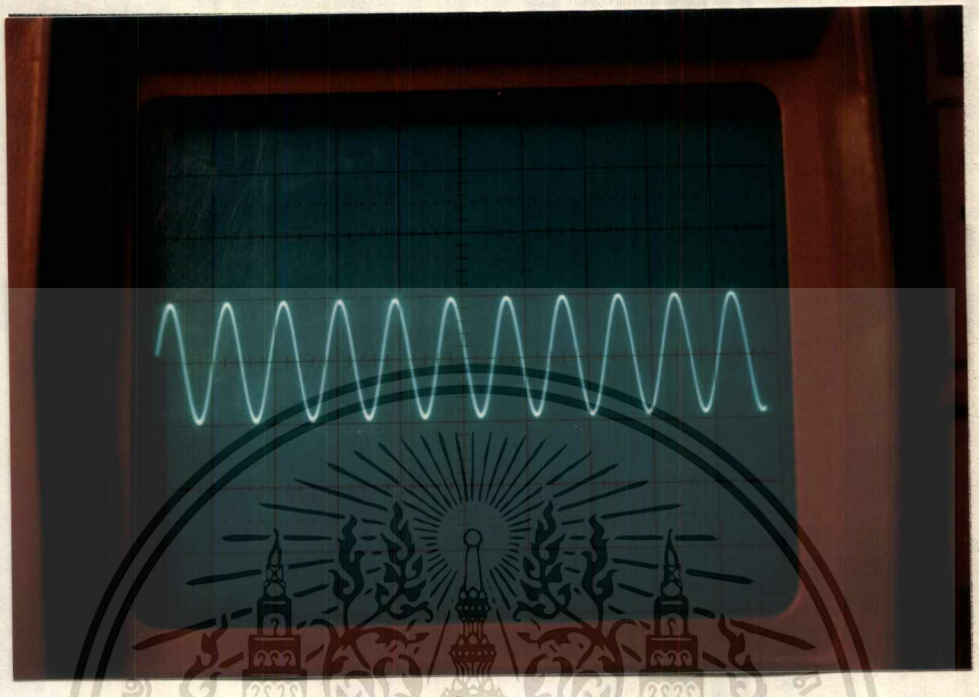
มีลำดับขั้นการทดลอง ดังนี้

ขั้นที่ 1. ต่อสัญญาณอินพุทจากเครื่องกำเนิดสัญญาณในย่านความถี่เสียง

ขั้นที่ 2. ใช้ออสซิลโลสโคปจับสัญญาณอินพุทและสัญญาณเอาท์พุท

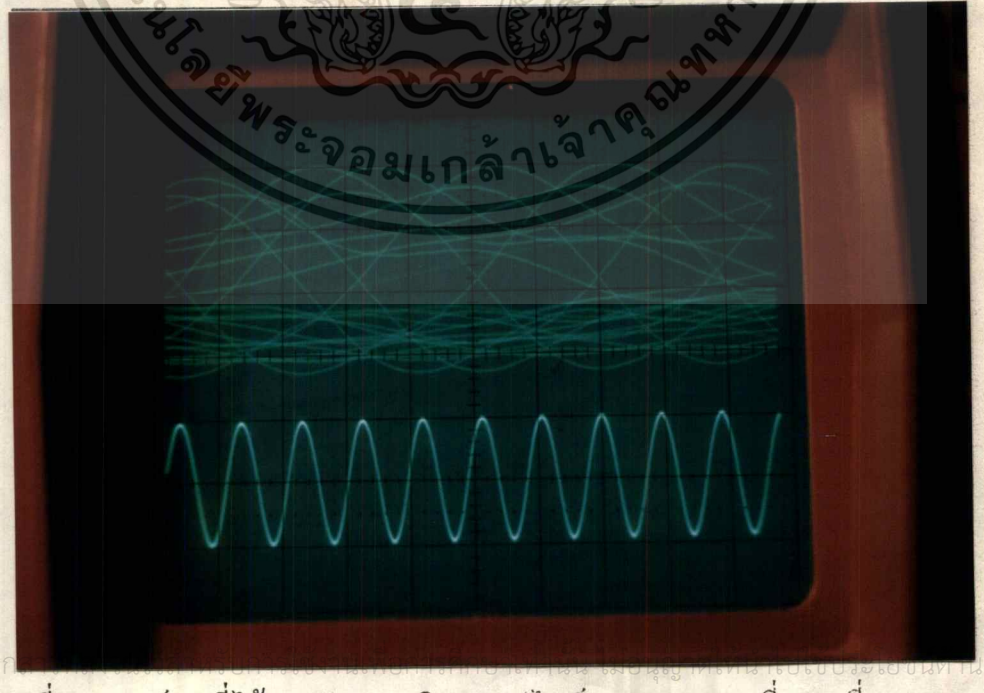
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นที่ 3. ป้อนสัญญาณอินพุทขนาด 1 Vp-p ที่ความถี่ 10 KHz



รูปที่ 4.3 สัญญาณอินพุทรูปไซน์ ขนาด 1 Vp-p ที่ความถี่ 10 KHz

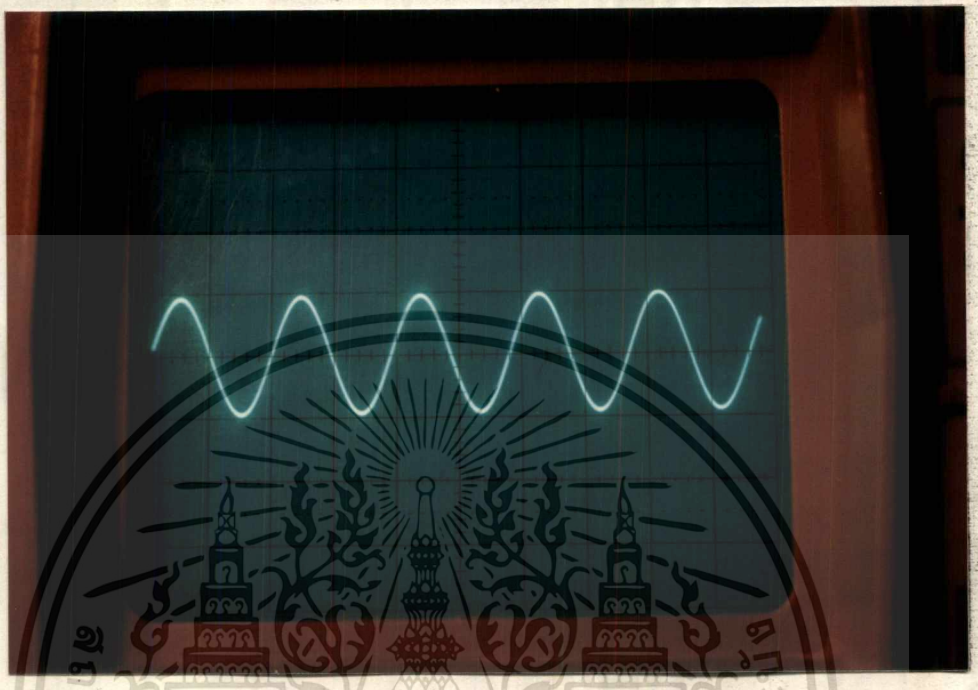
ขั้นที่ 4. วัดและเปรียบเทียบสัญญาณเอาท์พุทที่ได้กับสัญญาณอินพุท



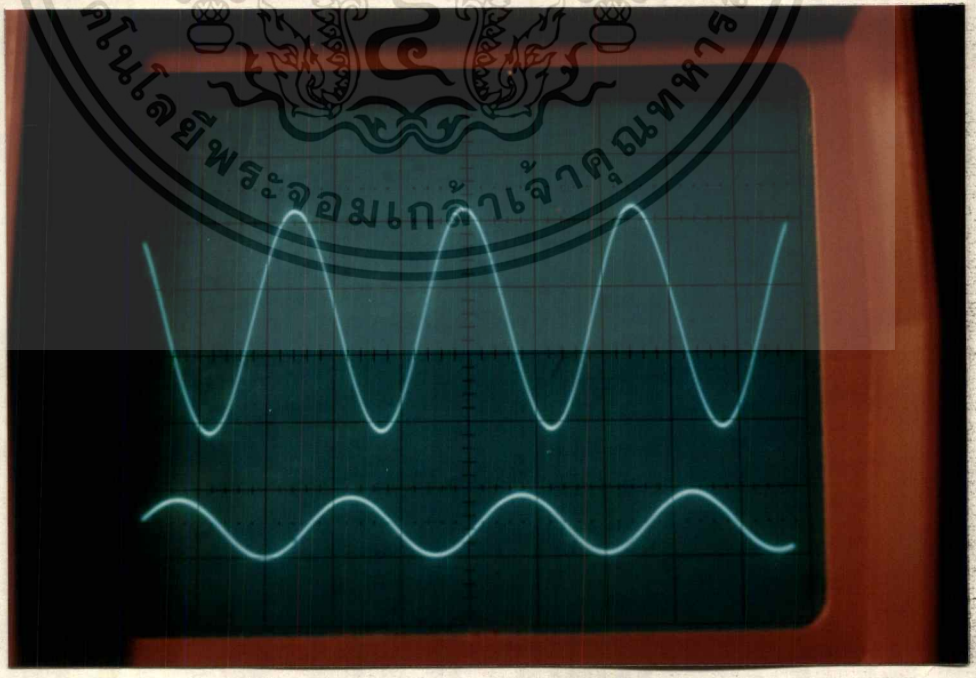
รูปที่ 4.4 เอาท์พุทที่ได้จากสัญญาณอินพุทรูปไซน์ ขนาด 1 Vp-p ที่ความถี่ 10 KHz

เอกสารนี้เป็นเอก
ไม่ว่ากรณีใด

ขั้นที่ 5. ทดลองเปลี่ยนขนาดและรูปแบบของสัญญาณอินพุทแล้วนำไปเปรียบเทียบกับสัญญาณเอาท์พุทที่ได้



รูปที่ 4.5 สัญญาณอินพุทรูปไซน์ ขนาด 1 Vp-p ที่ความถี่ 5 KHz



รูปที่ 4.6 เอาท์พุทที่ได้จากการป้อนสัญญาณรูปไซน์ ขนาด 1 Vp-p ที่ความถี่ 5 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการทดลองโดยการป้อนสัญญาณสามารถตอบสนองได้ดีในช่วง 20 Hz-10 KHz

4.1.2 การทดลองแบบที่ 2

มีลำดับขั้นการทดลอง ดังนี้

ขั้นที่ 1. ต่อสัญญาณอินพุทจากเครื่องเล่นเทปคลาสเซ็ท

ขั้นที่ 2. ใช้ออสซิลโลสโคปจับสัญญาณทางด้านอินพุทและเอาท์พุท

ขั้นที่ 3. วัดและเปรียบเทียบสัญญาณเอาท์พุทที่ได้กับสัญญาณอินพุท

รูปที่ 4.7 อินพุทเปรียบเทียบเอาท์พุทเมื่อส่งสัญญาณเสียงในทุกช่วงความถี่

จากการทดลองป้อนความถี่จากเครื่องเล่นเทปคลาสเซ็ท ก็สามารถตอบสนองความถี่ได้เช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 สรุปผลการทดลอง

จากการทดลองใช้งานดิจิตอลอีควอไลเซอร์ โดยทำการป้อนสัญญาณเสียงจากเครื่องเล่นเทปคลาสเซ็ทและฟังเสียงที่ได้จากลำโพงผลปรากฏว่าสามารถปรับแต่งเสียงได้เป็นที่น่าพอใจคือในย่าน 20 Hz - 10 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปและวิจารณ์

5.1 สรุป

ดิจิตอลอีควอไลเซอร์ที่สร้างขึ้นมาเพื่อศึกษาการประยุกต์ใช้งานด้านการประมวลผลสัญญาณเชิงเสียงของระบบประมวลผลสัญญาณเชิงเลขโดยขอบเขตที่กำหนดไว้คือ สร้างเครื่องที่สามารถทำหน้าที่เป็นอีควอไลเซอร์ได้

จากการศึกษาและทดลองปรากฏผลเป็นที่น่าพอใจในระดับหนึ่งกล่าวคือ อีควอไลเซอร์สามารถตอบสนองความถี่ได้ในช่วง 20 Hz - 10 KHz โดยมีความผิดเพี้ยนของสัญญาณสูงขึ้นที่ความถี่สูงการทำงานกำหนดเป็นอีควอไลเซอร์ในระบบโมโนสามารถปรับแต่งเสียงได้ตามต้องการ แล้วเครื่องก็จะกำหนดค่าให้กับ บอร์ด DSK และจะเปลี่ยนคุณสมบัติเมื่อกดปุ่ม Tx

เครื่องนี้สามารถใช้งานได้หลายด้านสามารถนำไปประยุกต์ใช้งานด้านการพัฒนาระบบประมวลผลสัญญาณเชิงเลข และในระบบเสียง

5.2 ปัญหาที่พบ

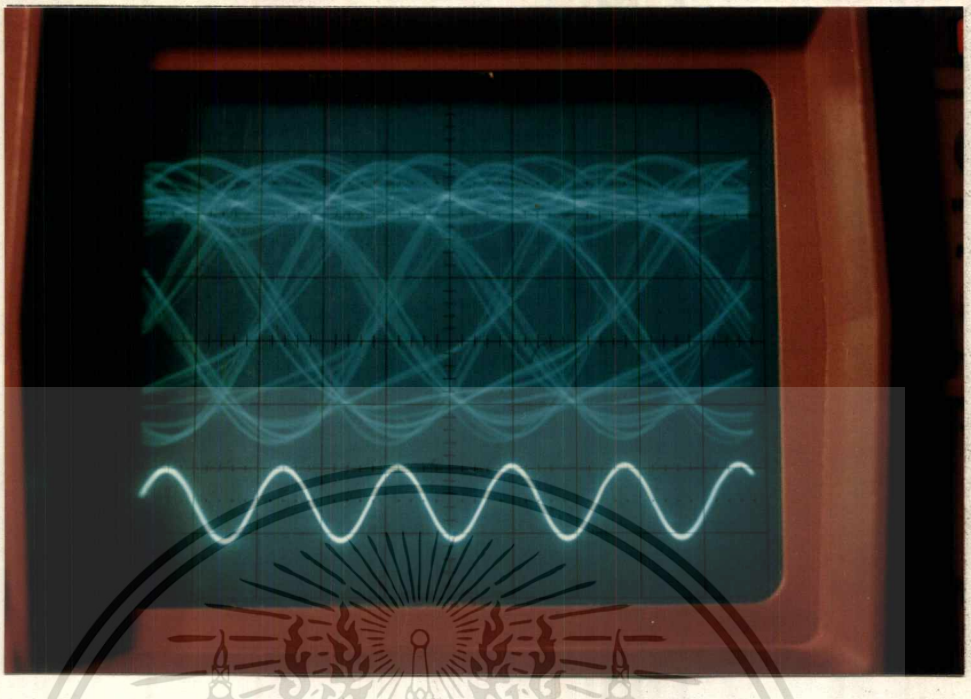
5.2.1 ในส่วนของฮาร์ดแวร์

ปัญหาที่ 1. ในด้านการตอบสนองความถี่สูงประมาณ 10 KHz ขึ้นไป เกิดการออสซิเลททำให้สัญญาณเอาท์พุทผิดเพี้ยน เนื่องจากสัญญาณในภาค Pre-Amp ถูกรบกวนมาจากบอร์ด DSK

แนวทางการแก้ไขปัญหาที่ 1. ควรใช้อุปกรณ์ที่มีประสิทธิภาพสูง เช่น ความต้านทานที่มีค่าความผิดพลาดน้อย และใช้ระบบป้องกันสัญญาณรบกวนที่มีคุณภาพ

ปัญหาที่ 2 ไม่สามารถตอบสนองความถี่สูงได้ คือย่าน 10 KHz - 20 KHz เพราะเกิดจากความสามารถของบอร์ด DSK ไม่พอที่จะตอบสนองความถี่สูงได้ เพราะมี Frequency Sampling เป็น 19.2 KHz ในทางทฤษฎีของการออกแบบฟิลเตอร์แล้วเราต้องใช้ Frequency Cutoff เป็นครึ่งหนึ่งของ Frequency Sampling คือ 9.6 KHz จะเห็นได้ว่าสามารถตอบสนองความถี่ได้เพียงในย่าน 20 Hz - 9.6 KHz เท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.1 เอาท์พุทที่ได้จากสัญญาณอินพุทรูปไซน์ ขนาด 1 Vp-p ที่ความถี่ 20 KHz

แนวทางการแก้ไขปัญหาที่ 2 ควรหาอุปกรณ์ที่มีประสิทธิภาพสูงสามารถตอบสนองความถี่สูงได้ดีกว่าบอร์ด DSK เช่นใช้ชิพ Audio Signal Processing (ASP) เพราะมีความสามารถในการตอบสนองความถี่ได้ดีกว่า

5.2.2 การอินเตอร์เฟส

ปัญหา ในการคำนวณหาค่าสัมประสิทธิ์ของ FIR Filter จะใช้ MCS-51 เป็นตัวคำนวณหาค่า เนื่องจากสมการที่ใช้ในการคำนวณเป็นสมการที่ยุ่งยากและซับซ้อนจึงทำให้ใช้เวลาในการคำนวณนาน

แนวทางการแก้ไข ควรหาอุปกรณ์ดิจิตอลไมโครโปรเซสเซอร์ที่มีความเร็วในการคำนวณมากขึ้น เช่น TMS320C50 จะทำให้เวลาในการคำนวณน้อยลง

5.2.3 ในส่วนปัญหาการออกแบบฟิลเตอร์

ปัญหาที่ 1. ได้ใช้เวลาศึกษาทดลองวิธีการออกแบบฟิลเตอร์วิธีการต่าง ๆ จนได้วิธีที่เหมาะสมกับฮาร์ดแวร์ซึ่งต้องใช้ซึ่งต้องใช้ความรู้ทางด้าน Discrete time , Fourier ซึ่งพื้นฐานทางด้านนี้น้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แนวทางแก้ไขปัญหาที่ 1. ใช้เวลาศึกษาความรู้พื้นฐานที่จำเป็นให้เข้าใจอย่างถ่องแท้ เพื่อนำมาประยุกต์แก้ปัญหาที่พบได้

ปัญหาที่ 2. วิธีการใช้แต่ละวิธีมีข้อจำกัดของตัวเองซึ่งวิธีที่เลือกใช้ก็เช่นกัน (โดยใช้วิธีการสุ่ม Frequency Sampling)

แนวทางแก้ไขปัญหาที่ 2. เลือกใช้วิธีที่เหมาะสมกับลักษณะที่ต้องการ

5.3 การพัฒนา

5.3.1 ในส่วนของฮาร์ดแวร์

ส่วนของภาค Pre-Amp ควรเปลี่ยนอุปกรณ์ให้มีประสิทธิภาพสูงขึ้น

ส่วนของบอร์ด DSK ควรเปลี่ยนให้มี Frequency Sampling ที่สูงขึ้น

5.3.2 ในส่วนของซอฟท์แวร์

ควรใช้อุปกรณ์ไมโครโปรเซสเซอร์ที่มีความเร็วสูงในการคำนวณหาค่าสัมประสิทธิ์ เช่น ใช้ TMS320C50

5.3.3 ในส่วนของโปรแกรมฟิลเตอร์

1. ควรเพิ่ม Order ของ FIR ฟิลเตอร์เพื่อผลการตอบสนองที่ดีขึ้น
2. ทดลองเปลี่ยนวิธีการออกแบบ FIR ฟิลเตอร์
3. พัฒนาส่วนการคำนวณสัมประสิทธิ์ให้มีการทำงานเป็นเวลาจริง (Real time)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.
คู่มือการใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คู่มือการใช้งาน เครื่องดิจิตอลอีควอไลเซอร์

DIGITAL EQUALIZER

คุณสมบัติของเครื่องดิจิตอลอีควอไลเซอร์

ดิจิตอลอีควอไลเซอร์ที่สามารถปรับแต่งระดับสัญญาณเสียงให้เกิดความไพเราะตามต้องการ โดยสามารถตอบสนองความถี่ได้ในช่วง 20 Hz - 10 KHz ทำงานเป็นอีควอไลเซอร์ในระบบโมโนสามารถปรับแต่งเสียงได้ตามต้องการ แล้วเครื่องก็จะกำหนดค่าให้กับบอร์ด DSK และจะเปลี่ยนคุณสมบัติเมื่อกดปุ่ม Tx รวมทั้งยังมีกราฟฟิค LCD แสดงผลออกมาเป็นกราฟและสเปคตรัม ซึ่งสะดวกในการใช้งานและให้ความเพลิดเพลินเป็นอย่างมาก

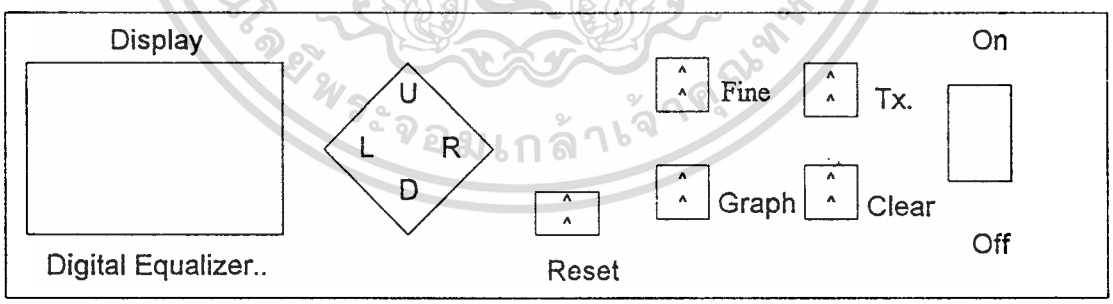
ลักษณะของเครื่อง

Frequency : ตอบสนองความถี่ในช่วง 20 Hz - 10 KHz

Voltage : 220 Volt

Current : 2 Amp

ลักษณะด้านหน้าของเครื่องดิจิตอลอีควอไลเซอร์



ปุ่ม On-Off ใช้เปิด-ปิด เครื่อง (AC Power Switch)

ปุ่ม Up (U) เพิ่มค่าแอมปลิจูดให้สูงขึ้นไปเรื่อย ๆ

ปุ่ม Down (D) ลดค่าแอมปลิจูดให้ลดต่ำลงเรื่อย ๆ

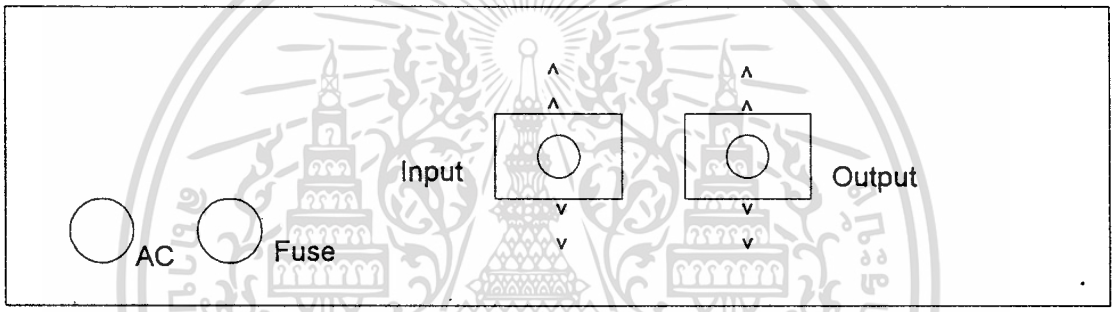
ปุ่ม Left (L) ลดความถี่ลง

ปุ่ม Right (R) เพิ่มความถี่ขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับให้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปุ่ม Find	ปุ่มสำหรับปรับความถี่ให้ละเอียด โดยทำการเลือกปรับที่ปุ่ม U,D,R,L
ปุ่ม Tx	สำหรับส่งข้อมูล คือ เมื่อเราทำการปรับแอมปลิจูดได้ตามที่ต้องการแล้ว ให้กดปุ่ม Tx เพื่อส่งค่าแอมปลิจูดไปทำการคำนวณผล
ปุ่ม Graph	เป็นตัวเลือกว่าต้องการที่จะให้แสดงผลที่จอ LCD หรือไม่แสดง
ปุ่ม Clear	ให้สำหรับลบหรือล้างค่าสัมประสิทธิ์ ค่าเกณฑ์ที่ตั้งไว้ทั้งหมดให้กลายเป็นศูนย์ หรือไม่มีค่าเพื่อที่จะเปลี่ยนค่าใหม่
ปุ่ม Reset	เริ่มต้นการทำงานใหม่ โดยไม่ต้องปิดเครื่อง

ลักษณะด้านหลังของเครื่องดิจิตอลอีควอไลเซอร์



AC	สายไฟ AC ขนาด 220 โวลท์
Fuse	ใช้ฟิวส์ขนาด 2 แอมป์
Input	เป็นจุดต่อจากเครื่องกำเนิดสัญญาณย่านความถี่เสียง
Output	เป็นจุดต่อไปยังเพาเวอร์แอมป์ และออกลำโพงต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.

โปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;************************************
;* PROGRAME CONTROL DIGITAL EQUALIZER*
;*  FOR MCS-51 TO CONTROL TMS320C25  *
;************************************
;**PROGRAMER **   Mr. PAISAN PUNDEE  *
;**************       ED.ENGINEER 16  *
;**************            01/07/95   *
;************************************
;************************************
;**********Prototype Section********
;************************************
; INIT_LCD  : use to initial LCD  and clear SCREEN
; INIT_PAGE : use initial page
;          : (ACC=disp status:R7=line:R6=column:R5=start line)
; CLEAR_PAGE: use clear PAGE LCD (only PAGE)
; GOTOXY_P  : use goto point in screen
;          : (R7=row:R6=column:R5=on/off dot)
; GOTOXY_L  : use goto line and column : use write character to lcd
;          : (INPUT -> R7=row:R6=column:DPTR=ADDRESS STORE DATA:R2=INVERT/DIRC
;          : :R0 = OLD DATA IR5=OVER/MIX: R3=AMOUNT OF DATA IN 1 character)
;          : (OUTPUT -> R0=data in old point)
; READ_OLD  : use read data form LCD
;          : output store in R0
;          : CAUTION set old column after read data
; FIND_COL  : Fine to set column (input colunm in R6:return data_control in R6)
; BUSY      : wait BUSY to LCD reay
; SCAN_KEY  : Use scan key (return value in Acc)

RAM:
;************************************
;**** ADDRESS VARIABLE SECTION *****
;************************************
;(internal ram)
; ADDRESS 08h,09h > use to index address data to write lcd
; ADDRESS 0Ah     > use to index freq menu
; ADDRESS 0BH,0CH > USE  STORE DATA OF DRAW BAR (0BH=ROW:0CH=COLUMN)
```

เอกสารนี้มีลิขสิทธิ์ ใช้ได้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
; ADDRESS 0DH,0EH,0FH,10H > USE STORE DATA OF BAR GAIN
; ADDRESS 11H,12H,13H  > USE TO STORE DATA OF GAIN NUMBER
; ADDERSS 14H,15H,16H,17H,18H > USE TO STORE FREQUANCY MENU
; ADDRESS 19H > INDEX TO ADDRESS STORE DATA (ADJ FORM CENTER FREQ_MENU)
; ADDRESS 1AH > USE INDEX ADDRESS STORE DATA IN GRAPH MENU
; BIT    00H > USE BY KEY FIND
; BIT    01H > USE BY KEY Q
; BIT    03H > USE TO STATUS INITIAL CLEAR
; BIT    04H > USE BY KEY GRAPH
;************DEFINE LCD*************
                ORG    0000H
SING            BIT    05H
PORTA           EQU    0E0E0H
PORTB           EQU    0E0E1H
PORTC           EQU    0E0E2H
CPORT           EQU    0E0E3H
LCDCTRL1        EQU    0E080H
LCDCTRL2        EQU    0E081H
LCDDATA1        EQU    0E082H
LCDDATA2        EQU    0E083H
LCDREAD1        EQU    0E084H
LCDREAD2        EQU    0E085H
LCDRDAT1        EQU    0E086H
LCDRDAT2        EQU    0E087H
DISPON          EQU    3FH
DISPOFF         EQU    3EH
STARTLNO        EQU    0C0H
LINE1           EQU    0B8H
LINE2           EQU    0B9H
LINE3           EQU    0BAH
LINE4           EQU    0BBH
LINE5           EQU    0BCH
LINE6           EQU    0BDH
LINE7           EQU    0BEH
LINE8           EQU    0BFH
STARTCLO        EQU    40H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;**********************************
;********POWER ON DELAY*************
;**********************************
                MOV     SP,#40H
                MOV     R0,#00H
DELO1:          MOV     A,#00H
DELO2:          DEC     A
                JNZ     DELO2
                DJNZ    R0,DELO1
;**********************************
;**********RUN  RUN RUN*************
;**********************************
MAIN:           LCALL   CHECK_RAM
                LCALL   INIT_LCD
                LCALL   LCDOFF
JUMMAIN0:       LCALL   INITOLDGNUM
JUMM0:          LCALL   DRAWMAIN
                LCALL   DRAWBAR
                LCALL   DRAWFREQ
                LCALL   LIN56
                LCALL   LCDON
JUMMAIN1:       LCALL   INITOLDGAIN
JUMM1:          LCALL   INIFREQ1
                MOV     19H,#0CH
                MOV     0CH,#0DH
                LCALL   INI_OG
                MOV     0DH,A
                LCALL   D_READY
                LCALL   KEY_TRAN
MAIN_L:         LCALL   SCAN_KEY
                LCALL   WORK
                SJMP    MAIN_L
;**********************************
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;******** ROUTINE WORK *************
;************************************
WORK:       MOV    C,04H
            ORL    C,01H
            JNC    WORK0
            LCALL  INIT_LCD
            LCALL  INITOLDGNUM
            LCALL  DRAWMAIN
            LCALL  DRAWBAR
            LCALL  DRAWFREQ
            LCALL  INITOLDGAIN
            LCALL  INIFREQ1
            LCALL  LIN56
            CLR    00H
            LCALL  D_READY
            MOV    19H,#0CH
            MOV    0CH,#0DH
            LCALL  INI_OG
            MOV    0DH,A
            CLR    01H
            CLR    04H
WAIT_B1:    LCALL  SCAN
            JNZ    WAIT_B1
            RET

WORK0:      CJNE   A,#01H,WORK1      ;KEY =>
            LCALL  WRITE_RAM
            LCALL  MOVML
            LCALL  LIN56
            LCALL  NUMGAIN
            MOV    A,#050H
            LCALL  DELAY_K
            RET

WORK1:      CJNE   A,#02H.WORK2      ;KEY <=
            LCALL  WRITE_RAM
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                LCALL   MOVMR
                LCALL   LIN56
                LCALL   NUMGAIN
                MOV     A,#050H
                LCALL   DELAY_K
                RET

WORK2:          CJNE    A,#03H,WORK3        ;KEY UP
                LCALL   UP
                LCALL   WRITE_RAM
                LCALL   NUMGAIN
                RET

WORK3:          CJNE    A,#04H,WORK4        ;KEY DOWN
                LCALL   DOWN
                LCALL   WRITE_RAM
                LCALL   NUMGAIN
                RET

WORK4:          CJNE    A,#05H,WORK5        ;KEY FIND
                JB      00H,JUMPW40
                SETB    00H
                LCALL   D_CLER
                LCALL   D_ADJ
                LCALL   MOVL400
                LCALL   NUMGAIN
                LCALL   LIN56
WAIT_K4:        LCALL   SCAN                ;Now wait for all key to go up
                JNZ     WAIT_K4             ;Wait if any key is push
                SJMP    ENDW4
JUMPW40:        CLR     00H
                LCALL   LINFQ
                LCALL   D_CLER
                LCALL   D_READY
                LCALL   INITOLDGNUM
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                LCALL   DRAWFREQ
                LCALL   DRAWBAR
                LCALL   INITOLDGAIN
                LCALL   INIFREQ1
                LCALL   LIN56
                MOV     0CH,#0DH
                MOV     19H,#0CH        ;ADDRESS EXTERNAL RAM
                LCALL   INI_OG
                MOV     0DH,A
                LCALL   NUMGAIN
WAIT_K41:       LCALL   SCAN            ;Now wait for all key to go up
                JNZ     WAIT_K41        ;Wait if any key is push
ENDW4:          RET

WORK5:          CJNE    A,#06H,WORK6    ;KEY TRANSFER
                LCALL   KEY_TRAN
WORK_K50:       LCALL   SCAN
                JNZ     WORK_K50
ENDW5:          RET


WORK6:          CJNE    A,#07H,WORK7    ;KEY CLEAR
                LCALL   CLEAR_W
                RET


WORK7:          CJNE    A,#08H,ENDW7    ;GRAPH
                JB      00H,ENDW7
                LCALL   D_FREQ
                LCALL   D_GRAPH
                LCALL   BRINK_G
                SETB    04H
ENDW7:          RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;=============================================================
;= Subrutine  :Calculate coeffients and                      =
;=            :transfer program  form Bord msc51 to Bord DSK =
;=============================================================
KEY_TRAN:
                PUSH   ACC
                PUSH   DPL
                PUSH   DPH
                PUSH   00H
                PUSH   01H
                PUSH   02H
                PUSH   03H
                PUSH   04H
                PUSH   05H
                PUSH   06H
                PUSH   07H
                LCALL  D_CLER
                LCALL  D_WAIT
                LCALL  CALCU
                LCALL  W_PRG
                LCALL  TRANSFER
                JB     00H,TX_FIND
                LCALL  D_READY
                SJMP   NEX_TX
TX_FIND:        LCALL  D_ADJ
NEX_TX:         POP    07H
                POP    06H
                POP    05H
                POP    04H
                POP    03H
                POP    02H
                POP    01H
                POP    00H
                POP    DPH
                POP    DPL
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                POP     ACC
                RET

;=====================================
;=Subroutine Calculate coeffients              =
;=====================================
CALCU:          CLR     SING            ;SET BIT SING TO POSITIVE
                MOV     DPTR,#COS0      ;INDEX TABLE FUNCTION COS
                MOV     R4,#21          ;LOOP FOR 41 COEFFICIENTS
                MOV     R1,#54H         ;INDEX ADDRESS TO HOLD RESULE

CONVA0:         PUSH    DPH
                PUSH    DPL
                MOV     R6,#00H         ;HOLD LOOK_COS
                MOV     R0,#04H         ;INDEX  GAIN
                MOV     30H,#00H        ;HOLD DATA FOR SUMETION
                MOV     31H,#00H        ;
                MOV     R3,#38          ;LOOP 38 GAIN  FOR CONVALUTION
CONVA:          PUSH    DPH
                PUSH    DPL
                MOV     DPTR,#UP_COS
                LCALL   LOOK_COS
                POP     DPL
                POP     DPH
                LCALL   SMUL8           ;ROUTINE MULTIPLICATION
                LCALL   SADD16          ;ROUTINE ADDITION
                INC     R0
                INC     R0
                DJNZ    R3,CONVA
                MOV     R0,#4EH
                MOV     R3,#38
                MOV     R6,#00H
                LCALL   INC_DPTR
CONVA1:         PUSH    DPH
                PUSH    DPL
                MOV     DPTR,#REV_COS
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                LCALL   LOOK_COS
                POP     DPL
                POP     DPH
                LCALL   SMUL8
                LCALL   SADD16
                DEC     R0
                DEC     R0
                DJNZ    R3,CONVA1
                MOV     A,30H
                MOV     P2,#00H
                MOVX    @R1,A
                INC     R1
                MOV     A,31H
                MOV     P2,#00H
                MOVX    @R1,A
                INC     R1
                POP     DPL
                POP     DPH
                LCALL   NEX_LOOP
                DJNZ    R4,CONVA0
                LCALL   MIROR
                RET

MIROR:          MOV     DPTR,#007EH
                MOV     R0,#7AH

NX_MIROR:

                MOV     P2,#00H
                MOVX    A,@R0
                MOVX    @DPTR,A
                INC     DPTR
                INC     R0
                MOV     P2,#00H
                MOVX    A,@R0
                MOVX    @DPTR,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        INC     DPTR
        MOV     A,R0
        CLR     C
        SUBB    A,#03H
        MOV     R0,A
        CJNE    R0,#52H,NX_MIROR
        RET

NEX_LOOP:
        MOV     A,#41H
        ADD     A,82H
        MOV     82H,A
        MOV     A,83H
        ADDC    A,#01H
        MOV     83H,A
        RET

INC_DPTR:
        MOV     A,#0A1H
        ADD     A,82H
        MOV     82H,A
        MOV     A,83H
        ADDC    A,#00H
        MOV     83H,A
        RET

LOOK_COS:
        MOV     A,R6
        MOVC    A,@A+DPTR
        INC     R6
        RET

UP_COS:
        DB  4,8,13,17,21,25,29,33,37,42,46
        DB  50,54,58,63,67,71,75,79,84,88,92,96
        DB  100,104,109,113,117,121,125,130,134,138
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                DB  142,146,150,155,159

REV_COS:

                DB 1,5,10,14,18,22,26,30,35,39,43,47
                DB 51,56,60,64,68,72,76,81,85,89,93,97
                DB 102,106,110,114,118,123,127,131,135
                DB 139,143,147,152,156


SADD16:         ADD     A,30H
                MOV     30H,A
                MOV     A,B
                ADDC    A,31H
                MOV     31H,A
                RET

SMUL8:          PUSH    ACC
                MOV     P2,#00H
                MOVX    A,@R0
                JNB     ACC.7,NEX_C1
                CLR     ACC.7
                SETB    SING
NEX_C1:         CJNE    A,#08H,NEX_OV
NEX_OV:         JC      NEX_OK
                MOV     A,#08H
NEX_OK:         MOV     B,A
                POP     ACC
                MOVC    A,@A+DPTR
                JNB     ACC.7,NEX_C2
                CPL     A
                ADD     A,#01H
                CPL     SING
NEX_C2:         MUL     AB
                JNB     SING,NEX_C3
                CPL     A
                ADD     A,#01
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                PUSH    ACC
                MOV     A,B
                CPL     A
                ADDC    A,#00H
                MOV     B,A
                POP     ACC
                CLR     SING
NEX_C3:         RET
;*********************************************************
;*********************************************************

;=======================================================
;=Subroutine transfer program form ROMext to RAMext=
;=======================================================

W_PRG:
                MOV     R1,#00H
                MOV     DPTR,#TMS       ;Address store Program
                MOV     R0,#00H
NEXPG:          MOV     A,#00H
                MOVC    A,@A+DPTR
                MOV     P2,#01H         ;Distination to hold program (0100H)
                MOVX    @R0,A
                INC     R0
                INC     DPTR
                DJNZ    R1,NEXPG
                MOV     R1,#86H
NEXPG1:         MOV     A,#00H
                MOVC    A,@A+DPTR
                MOV     P2,#02H
                MOVX    @R0,A
                INC     R0
                INC     DPTR
                DJNZ    R1,NEXPG1
                MOV     R0,#04H         ;ADDRESS STORE COEFFICIENTS
                MOV     DPTR,#0216H     ;ADRESS HOLD COEFFICIENTS
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOV     R1,#10H         ;LOOP FOR 16 COEFFICENTS
                LCALL   W_COEFFIC
                MOV     DPTR,#022BH     ;ADRESS HOLD COEFFICIENTS
                LCALL   W_COEFFIC
                MOV     DPTR,#0240H     ;ADRESS HOLD COEFFICIENTS
                LCALL   W_COEFFIC
                MOV     DPTR,#0255H     ;ADRESS HOLD COEFFICIENTS
                LCALL   W_COEFFIC
                MOV     DPTR,#026AH     ;ADRESS HOLD COEFFICIENTS
                LCALL   W_COEFFIC
                MOV     DPTR,#027FH     ;ADRESS HOLD COEFFICIENTS
                MOV     R1,#02H
                LCALL   W_COEFFIC
                RET

W_COEFFIC:      PUSH    01H
LW_COE:         MOV  P2,#00H
                MOVX    A,@R0
                MOVX    @DPTR,A
                INC     DPTR
                INC     R0
                DJNZ    R1,LW_COE
                POP     01H
                RET
;=============================================================
;= Subroutine transfer program form board mcs51 to board  dsk          =
;=============================================================
TRANSFER:       LCALL   DELAY           ;INITALIZE
                LCALL   DELAY3
                MOV     TMOD,#20H
                MOV     SCON,#0DAH
                MOV     TCON,#69H
                MOV     PCON,#80H
                MOV     TH1,#0FDH
                MOV     TL1,#0FDH
                MOV     DPTR,#CPORT
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV     A,#80H
        MOVX    @DPTR,A
        MOV     DPTR,#PORTC
        MOVX    @DPTR,A
        MOV     A,#00H
        MOV     DPTR,#PORTC
        MOVX    @DPTR,A
        LCALL   DELAY
        LCALL   DELAY3
        MOV     A,#0FFH
        MOV     DPTR,#PORTC
        MOVX    @DPTR,A
        LCALL   DELAY
        LCALL   DELAY3
        MOV     A,#00H
        MOV     DPTR,#PORTC
        MOVX    @DPTR,A
        LCALL   DELAY
        LCALL   DELAY3
        SETB    TR1
        LCALL   RLO
        RET

;-------------------------
;to use
RLO:    MOV     A,#80H          ;START WORD TO DSK51(80H)
        LCALL   XMT
        LCALL   DELAY2
        LCALL   READ
        MOV     A,RBUFF
        CJNE    A,#1BH,RLO
        MOV     DPTR,#100H      ;SEND PRO $ RUN TO DSK51
        MOV     R3,#01H         ;R0=LENGTH ROW
SLO:    MOV     R0,#00H         ;R2=LENGTH COLUM
        LCALL   DSK51
        DJNZ    R3,SLO
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOV     R0,#85H         ;AH
                LCALL   DSK51
                LCALL   DELAY2
                MOV     A,#05H          ;SEND EXEC PRO BIT(50H)
                LCALL   XMT
                LCALL   DELAY2
                MOV     A,#0AH          ;SEND START ADDRESS BIT(0A00H)
                LCALL   XMT
                LCALL   DELAY2
                MOV     A,#00H
                LCALL   XMT
                LCALL   DELAY2
                MOV     A,#80H          ;SEND RUN BIT(80H)
                LCALL   XMT
                LCALL   DELAY
                NOP
                RET
;-----------------------------------------------
XMT:    JNB     TI,$            ;TRANSMITTER SERIAL PORT(RS232)
                CLR     TI
                MOV     SBUF,A
                RET

READ:           JNB     RI,READ         ;RECEIVER SERIAL PROT(RS232)
                CLR     RI
                MOV     RBUFF,SBUF
                RET

DSK51:          MOV     A,#00H          ;SEND PROGRAM $ DATA TO DSK51
                MOVX    A,@DPTR         ;BY SERIAL PORT(RS232)
                LCALL   XMT
                LCALL   DELAY2
                LCALL   READ
                CJNE    A,RBUFF,DSK51
                INC     DPTR
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                DJNZ    R0,DSK51
                RET

;-----------------------------------------------
DELAY:
                MOV R6,#00H
DLY:
                MOV R7,#00H
                NOP
                NOP
                DJNZ R7,$
                DJNZ R6,DLY
                RET

DELAY1:
                MOV R6,#01H
DLY1:
                MOV R7,#0H
                NOP
                NOP
                DJNZ R7,$
                DJNZ R6,DLY1
                RET

DELAY2:
                MOV R6,#02H
DLY2:
                MOV R7,#00H
                NOP
                NOP
                DJNZ R7,$
                DJNZ R6,DLY2
                RET
DELAY3:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOV R6,#0F0H
DLY3:
                MOV R7,#00H
                NOP
                NOP
                DJNZ R7,$
                DJNZ R6,DLY3
                RET

;=============================================================================

D_FREQ:         MOV     R7,#04H         ;line
                MOV     R0,#01H
                LCALL   D_BLACK
                MOV     R7,#04H
                MOV     R6,#105         ;col
                MOV     R5,#00H         ;over write
                MOV     R3,#17          ;amount of data
                MOV     R2,#01          ;INV
                MOV     DPTR,#TB_FREQ
                LCALL   SETIND          ;SAVE ADDRESS FORM DPTR
                LCALL   GOTOXY_L
                RET

TB_FREQ:        DB 82H,0EAH,0EAH,0FEH,82H,0EAH,96H,0FEH
                DB 82H,0AAH,0AAH,0FEH,0C6H,0AAH,9AH,86H,0BEH

;**********************************
;******    DRAW GRAPH    **********
;**********************************
D_GRAPH:        PUSH    83H
                PUSH    82H
                PUSH    0E0H
                PUSH    00H
                PUSH    01H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                LCALL   CLEAR_G
                LCALL   D_AGRAP
                LCALL   D_GGRAP
                POP     01H
                POP     00H
                POP     0E0H
                POP     82H
                POP     83H
                RET

;******* DRAW LINE GRAPH *********
D_GGRAP:        PUSH    82H
                PUSH    83H
                PUSH    06H
                MOV     R2,#25H         ;AMOUNT OF DOT GRAPH
                MOV     R6,#12          ;COLUMN START LINE GRAPH
                MOV     DPTR,#04H
                LCALL   COL_BK
                LCALL   DOT_40
                POP     06H
                POP     83H
                POP     82H
                RET

COL_BK:         MOV     R5,#01          ;MIX
JUM_DGRA:       MOVX    A,@DPTR
                MOV     R1,A
                LCALL   CONVER_G
                INC     DPTR
                INC     DPTR
                MOVX    A,@DPTR
                LCALL   D_SUBG
                DJNZ    R2,JUM_DGRA
                RET

DOT_40:         MOVX    A,@DPTR
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                LCALL   CONVER_G
                LCALL   D_SBEQG
                RET

BRINK_G:        MOV     DPTR,#04H
                MOV     R6,#13
                MOV     14H,#0DH        ;INITIAL FREQUENCY
                MOV     15H,#0DH
                MOV     16H,#02H
                MOV     17H,#05H
                MOV     18H,#00H
                LCALL   FREQ_GRA
                LCALL   LINE_BK
                LCALL   CON_FINDG

BBK:            LCALL   SCAN_KEY
                MOV     DPH,#00H        ; <<
                CJNE    A,#01H,NEX_BBK0
                CJNE    R6,#13,BBK1
                SJMP    BBK

BBK1:           LCALL   NLINE_BK
                DEC     R6
                DEC     R6
                LCALL   LINE_BK
                DEC     82H
                DEC     82H
                LCALL   FINDL400
                LCALL   FREQ_GRA
                LCALL   CON_FINDG
                SJMP    BBK

NEX_BBK0:       CJNE    A,#02H,NEX_BBK1 ; >>
                CJNE    R6,#87,BBK2
                SJMP    BBK
BBK2:           LCALL   NLINE_BK
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                INC    R6
                INC    R6
                LCALL  LINE_BK
                INC    DPTR
                INC    DPTR
                LCALL  FINDR400
                LCALL  FREQ_GRA
                LCALL  CON_FINDG
                SJMP   BBK

NEX_BBK1:       CJNE   A,#03H,NEX_BBK2   ; UP
                MOVX   A,@DPTR
                LCALL  WRITE_GUP
                LCALL  CLEAR_LG
                LCALL  CON_FINDG
                LCALL  LINE_BK
                SJMP   BBK

NEX_BBK2:       CJNE   A,#04H,NEX_BBK3   ; DOWN
                MOVX   A,@DPTR
                LCALL  WRITE_GDN
                LCALL  CLEAR_LG
                LCALL  CON_FINDG
                LCALL  LINE_BK
                SJMP   BBK

NEX_BBK3:       CJNE   A,#06H,NEX_BBK4
                LCALL  KEY_TRAN
                SJMP   BBK
NEX_BBK4:       RET

CLEAR_LG:       PUSH   83H
                PUSH   82H
                PUSH   06H
                MOV    A,R6
                CLR    C
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                SUBB    A,#03H
                MOV     R7,#01H         ;line
                MOV     R1,#05H
                MOV     DPTR,#D_CGRAP
                MOV     R4,#02H
C_LG0:          MOV     R0,#06
                MOV     R6,A
                MOV     R5,#00H         ;over write
                MOV     R3,#01          ;amount of data
                MOV     R2,#01          ;dirc
C_LG1:          LCALL   SETIND          ;SAVE ADDRESS FORM DPTR
                LCALL   GOTOXY_L
                INC     R6
                DJNZ    R0,C_LG1
                INC     R7
                DJNZ    R1,C_LG0
                MOV     R1,#01H
                MOV     R7,#06
                MOV     DPTR,#D_CGRAP+1
                DJNZ    R4,C_LG0
                MOV     R0,#06H
                MOV     R7,#00H         ;line
                MOV     R5,#00H         ;OVER
                MOV     R2,#01          ;dirc
                MOV     R6,A            ;col
                MOV     R3,#1           ;amount
C_LG2:          MOV     DPTR,#TB_LIN1
                LCALL   SETIND          ;SAVE ADDRESS FORM DPTR
                LCALL   GOTOXY_L
                INC     R6
                DJNZ    R0,C_LG2
                POP     06H
                POP     82H
                POP     83H
                RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
WRITE_GUP:   JB     ACC.7,NEX_GUP1
             CJNE   A,#0BH,NEX_GUP0
             SJMP   RET_WGUP
NEX_GUP0:    INC    A
             SJMP   RET_WGUP
NEX_GUP1:    CJNE   A,#81H,NEX_GUP2
             MOV    A,#00H
             SJMP   RET_WGUP
NEX_GUP2:    DEC    A
RET_WGUP:    MOVX   @DPTR,A
             RET

WRITE_GDN:   JB     ACC.7,NEX_GDN1
             CJNE   A,#00H,NEX_GDN0
             MOV    A,#81H
             SJMP   RET_WGDN
NEX_GDN0:    DEC    A
             SJMP   RET_WGDN
NEX_GDN1:    CJNE   A,#8BH,NEX_GDN2
             SJMP   RET_WGDN
NEX_GDN2:    INC    A
RET_WGDN:    MOVX   @DPTR,A
             RET


FREQ_GRA:    PUSH   07H
             PUSH   06H
             PUSH   05H
             PUSH   03H
             PUSH   02H
             PUSH   82H
             PUSH   83H
             MOV    R2,#01H
             MOV    R7,#05H      ;LINE
             MOV    R6,#101      ;column
             MOV    R5,#00H      ;over write
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOV     R3,#5           ;amount of data
                LCALL   SET_DRAW
                POP     83H
                POP     82H
                POP     02H
                POP     03H
                POP     05H
                POP     06H
                POP     07H
                RET

CON_FINDG:      PUSH    82H
                PUSH    83H
                LCALL   D_GGRAP
                LCALL   NUM_GRAPH
                POP     83H
                POP     82H
                RET

NUM_GRAPH:      MOVX    A,@DPTR
                LCALL   CONVER_NG
                LCALL   SOWNUMG
                RET

CONVER_NG:      MOV     DPTR,#TB_NUMG
                JB      ACC.7,NEX_NUG0
                SJMP    NEX_NUG1
NEX_NUG0:       CLR     ACC.7
                ADD     A,#11
NEX_NUG1:       MOVC    A,@A+DPTR
                RET

TB_NUMG:        DB  31,29,27,25,23,21,19,17,15,13,11,09
                DB  33,35,37,39,41,43,45,47,49,51,53

LINE_BK:        MOV     R5,#01          ;ON DOT
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                ACALL   TO_LINE_BK
                RET

NLINE_BK:       MOV     R5,#00          ;OFF DOT
                ACALL   TO_LINE_BK
                RET

TO_LINE_BK:     MOV     R1,#26          ;LOOP FOR DRAW X AXIS
                MOV     R7,#54          ;ROW
BK_G1:          LCALL   GOTOXY_P        ;DRAW POINT
                DEC     R7              ;DECREMENT ROW
                DEC     R7
                DJNZ    R1,BK_G1
                RET

D_SUBG:         PUSH    0E0H
                LCALL   CON_TO_RE
                CJNE    A,01H,D_SUBG0
                POP     0E0H
                LCALL   D_SBEQG
                SJMP    E_DSUBG
D_SUBG0:        JC      D_SUBG1         ; 01H > A
                POP     0E0H
                LCALL   D_SBGLT
                SJMP    E_DSUBG
D_SUBG1:        POP     0E0H
                LCALL   D_SBGMS
E_DSUBG:        RET

CON_TO_RE:      JB      ACC.7,NEX_SG0
                SETB    ACC.7
                SJMP    NEX_SG1
NEX_SG0:        PUSH    00H
                CLR     ACC.7
                LCALL   CONVER_G
                MOV     A,R0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                POP     00H
NEX_SG1:        XCH     A,R1
                JB      ACC.7,NEX_SG2
                SETB    ACC.7
                SJMP    NEX_SG3
NEX_SG2:        PUSH    00H
                CLR     ACC.7
                LCALL   CONVER_G
                MOV     A,R0
                POP     00H
NEX_SG3:        XCH     A,R1
                RET

D_SBEQG:        LCALL   D_SBGEQ
                INC     R0
                DEC     R6
                DEC     R6
                LCALL   D_SBGEQ
                RET

D_SBGMS:        PUSH    00H
                LCALL   CONVER_G
                MOV     A,R0
                INC     A
                POP     00H
NEX_DMS:        LCALL   D_SBGEQ
                DEC     R6
                DEC     R6
                INC     R0
                CJNE    A,00H,NEX_DMS
                INC     R6
                INC     R6
                RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
D_SBGLT:        LCALL   D_SBEQG
                PUSH    00H
```

```
                LCALL   CONVER_G
                POP     0E0H
NEX_DLT:        LCALL   D_SBGEQ
                DEC     R6
                DEC     R6
                INC     R0
                CJNE    A,00H,NEX_DLT
                RET

D_SBGEQ:        MOV     R7,00H          ;ROW
                MOV     R5,#01H
                MOV     R1,#2           ;LOOP FOR DRAW  Y AXIS
D_GEQ:          LCALL   GOTOXY_P        ;DRAW POINT
                INC     R6              ;INCREMENT COLUMN
                DJNZ    R1,D_GEQ
                RET

CONVER_G:       PUSH    83H             ;RETURN VALUE OF LINE IN R0
                PUSH    82H
                MOV     DPTR,#TB_GRAPH
                JB      ACC.7,NEX_CNG0
                SJMP    NEX_CNG1
NEX_CNG0:       CLR     ACC.7
                ADD     A,#11
NEX_CNG1:       MOVC    A,@A+DPTR
                MOV     R0,A
                POP     82H
                POP     83H
                RET

;************ DRAW "GRAPH" ********
D_AGRAP:        LCALL   D_AGRAP1
                LCALL   D_AGRAP2
                LCALL   D_AGRAP3
                RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
D_AGRAP1:   MOV   R1,#103
            MOV   DPTR,#D_CGRAP   ;DRAW BACK
            MOV   R7,#07H         ;line
            MOV   R6,#04          ;col
            MOV   R5,#00H         ;over write
            MOV   R3,#01          ;amount of data
            MOV   R2,#01          ;DIRECT
            LCALL D_AGRAP4
            RET

D_AGRAP2:   MOV   DPTR,#D_CGRAP
            MOV   R1,#95
            MOV   R6,#04
            MOV   R2,#00
            LCALL D_AGRAP4
            RET

D_AGRAP3:   MOV   DPTR,#AGRAPH
            MOV   R1,#01H
            MOV   R6,#33
            MOV   R3,#24H
            MOV   R2,#00
            LCALL D_AGRAP4
            RET


D_AGRAP4:   LCALL SETIND          ;SAVE ADDRESS FORM DPTR
            LCALL GOTOXY_L
            INC   R6
            DJNZ  R1,D_AGRAP4
            RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;********** CLEAR BLOCK IN SCREEN
CLEAR_G:    PUSH   83H
            PUSH   82H
            PUSH   06H
            MOV    R7,#01H        ;line
            MOV    R1,#05H
            MOV    DPTR,#D_CGRAP
            MOV    R4,#02H
C_LINE0:    MOV    R0,#85
            MOV    R6,#10         ;col
            MOV    R5,#00H        ;over write
            MOV    R3,#01         ;amount of data
            MOV    R2,#01         ;dirc      -
C_LINE1:    LCALL  SETIND         ;SAVE ADDRESS FORM DPTR
            LCALL  GOTOXY_L
            INC    R6
            DJNZ   R0,C_LINE1
            INC    R7
            DJNZ   R1,C_LINE0
            MOV    R1,#01H
            MOV    R7,#06
            MOV    DPTR,#D_CGRAP+1
            DJNZ   R4,C_LINE0
            LCALL  LIN1
            POP    06H
            POP    82H
            POP    83H
            RET
D_CGRAP:    DB   00H,80H

;**********************************
;******* CLEAR DATA AND PARAMETER **
;**********************************
CLEAR_W:    LCALL  D_CLER
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                LCALL   D_WAIT          ;DRAW WAIT
                LCALL   CLR_RAM         ;CLEAR DATA IN RAMext
                MOV     A,0AH
                MOV     R2,#00H
                CJNE    A,#00H,WK61     ;Set scale frequency to normal
                MOV     R6,#04
                LCALL   BLACKFRE
                MOV     R2,#01H
                LCALL   INIFREQ1
                LCALL   FRE50
                SJMP    WK6CONTI
WK61:           CJNE    A,#01H,WK62
                MOV     R6,#28
                LCALL   BLACKFRE
                MOV     R2,#01H
                LCALL   INIFREQ2
                LCALL   FRE1K
                SJMP    WK6CONTI
WK62:           CJNE    A,#02H,WK63
                MOV     R6,#51
                LCALL   BLACKFRE
                MOV     R2,#01H
                LCALL   INIFREQ3
                LCALL   FRE4K
                SJMP    WK6CONTI
WK63:           MOV     R6,#74
                LCALL   BLACKFRE
                MOV     R2,#01H
                LCALL   INIFREQ4
                LCALL   FRE10K
WK6CONTI:       LCALL   INITGNUM        ;INITIAL PARAMETER
                LCALL   DRAWBAR
                LCALL   DRAWFREQ
                LCALL   INITGAIN
                LCALL   INIFREQ1
                LCALL   LIN56
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOV     19H,#0CH        ;Set index RAMext
                MOV     0CH,#0DH
                LCALL   INI_OG
                MOV     0DH,A
                LCALL   NUMGAIN
WK64:           LCALL   SCAN            ;Check push key
                JNZ     WK64
                MOV     A,#0FFH         ;Delay to show "WAIT"
                LCALL   DELAY_K
                MOV     A,#0FFH
                LCALL   DELAY_K
                LCALL   D_CLER          ;draw "READY"
                LCALL   D_READY
                RET

LIN1:           MOV     R1,#93
                MOV     R7,#00H         ;line
                MOV     R5,#00H         ;OVER
                MOV     R2,#01          ;dirc
                MOV     R6,#5           ;col
                MOV     R3,#1           ;amount
LN1:            MOV     DPTR,#TB_LIN1
                LCALL   SETIND          ;SAVE ADDRESS FORM DPTR
                LCALL   GOTOXY_L
                INC     R6
                DJNZ    R1,LN1
                RET

TB_LIN1:        DB  02H

LIN56:          MOV     R7,#56          ;ROW
LN0:            MOV     R1,#95          ;LOOP FOR DRAW  Y AXIS
                MOV     R6,#4           ;COLUMN
                MOV     R5,#00
LN561:          LCALL   GOTOXY_P        ;DRAW POINT
                INC     R6              ;INCREMENT COLUMN
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                DJNZ    R1,LN561
                RET

;***********************************
;**** WRITE DATA TO RAM EXTERNAL ***
;***********************************
WRITE_RAM:      PUSH    0E0H
                PUSH    01H
                PUSH    00H
                MOV     A,0AH
                CJNE    A,#00H,WR1
                MOV     A,0DH
                LCALL   SWR_RAM
                SJMP    ENDWR

WR1:            CJNE    A,#01H,WR2
                MOV     A,0EH
                LCALL   SWR_RAM
                SJMP    ENDWR

WR2:            CJNE    A,#02H,WR3
                MOV     A,0FH
                LCALL   SWR_RAM
                SJMP    ENDWR

WR3:            MOV     A,10H
                LCALL   SWR_RAM

ENDWR:          POP     00H
                POP     01H
                POP     0E0H
                RET

;****************** WRITE RAM
SWR_RAM:        MOV     R0,#09H         ;LEVEL OF BAR
                MOV     R1,#11
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
SWR0:       CJNE   A,00H,SWR1
            MOV    DPH,#00H
            MOV    DPL,19H
            MOV    A,R1
            MOVX   @DPTR,A
            SJMP   ENDSWR
SWR1:       INC    R0
            INC    R0
            DEC    R1
            CJNE   R0,#33,SWR0      ;LEVEL -1
            MOV    R1,#81H
SWR2:       CJNE   A,00H,SWR3
            MOV    DPH,#00H
            MOV    DPL,19H
            MOV    A,R1
            MOVX   @DPTR,A
            SJMP   ENDSWR
SWR3:       INC    R0
            INC    R0
            INC    R1
            CJNE   R0,#55,SWR2
ENDSWR:     RET

;************ SUBROUTINE FOR SHOW NUMBER
SOWJUMP0:   PUSH   03H
SOWJUMP1:   CJNE   A,00H,SOWJUMP2
            DEC    R1
            MOV    13H,R1           ;X?
            MOV    R1,#0FFH         ;SUCCESS IN FIND
            SJMP   ENDSOWJ1
SOWJUMP2:   MOV    R3,11H
            CJNE   R3,#0DH,NEGATIVE
            INC    R0
            INC    R0
            SJMP   SOWJUMP3
NEGATIVE:   DEC    R0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                DEC    R0
SOWJUMP3:       DJNZ   R1,SOWJUMP1
ENDSOWJ1:       POP    03H
                RET

;***********************************
;*SUB ROTINE FOR SHOW NUMBER *******
;***********************************
SOWNUMG:        PUSH   01H
                PUSH   00H
                MOV    11H,#0DH          ; +
                MOV    12H,#01H          ; 1_
                MOV    R0,#09            ;LEVEL +11 (LINE9)
                MOV    R1,#02
                LCALL  SOWJUMP0
                CJNE   R1,#0FFH,SOW_FU0
                SJMP   ENDSOW
SOW_FU:         MOV    12H,#00H
                MOV    R1,#10
                LCALL  SOWJUMP0
                CJNE   R1,#0FFH,SOW_FU1
                SJMP   ENDSOW
SOW_FU1:        MOV    11H,#0CH
                MOV    12H,#01H
                MOV    R0,#53
                MOV    R1,#02
                LCALL  SOWJUMP0
                CJNE   R1,#0FFH,SOW_FU2
                SJMP   ENDSOW
SOW_FU2:        MOV    12H,#00H
                MOV    R1,#10
                LCALL  SOWJUMP0
                CJNE   R1,#0FFH,SOW_FU1
ENDSOW:         LCALL  GAINUM
                POP    00H
                POP    01H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                RET

;**********************************
;ROUTINE SHOW NUMBER FOR GAIN FACTOR
;**********************************
NUMGAIN:    PUSH   0E0H
            MOV    A,0CH
            CJNE   A,#0DH,NUMG1
            MOV    A,0DH
            SJMP   ENDNUMG
NUMG1:      CJNE   A,#24H,NUMG2
            MOV    A,0EH
            SJMP   ENDNUMG
NUMG2:      CJNE   A,#3BH,NUMG3
            MOV    A,0FH
            SJMP   ENDNUMG
NUMG3:      MOV    A,10H
ENDNUMG:    LCALL  SOWNUMG
            POP    0E0H
            RET

;**********************************
;******* ROUTINE DOWN FACTOR *******
;**********************************
DOWN:       PUSH   0E0H
            LCALL  DOWNBARG
            MOV    A,#10
            LCALL  DELAY_K
            POP    0E0H
            LCALL  COL0_1_2
            RET

;**********************************
;*ROUTINE DOWN BAR FOR FACTOR GAIN *
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ทั้งนี้ ต้องได้รับอนุญาตจากเจ้าของเอกสารก่อนเท่านั้น และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;***********************************
DOWNBARG:   MOV    R5,#00H
            MOV    A,0CH
            CJNE   A,#0DH,DNEXT1
            MOV    A,0DH
            CJNE   A,#53,DCONTI0
            SJMP   ENDDOWN
DCONTI0:    MOV    0BH,0DH
            LCALL  BAR
            INC    0DH
            INC    0DH
            SJMP   ENDDOWN
DNEXT1:     CJNE   A,#24H,DNEXT2
            MOV    A,0EH
            CJNE   A,#53,DCONTI1
            SJMP   ENDDOWN
DCONTI1:    MOV    0BH,0EH
            LCALL  BAR
            INC    0EH
            INC    0EH
            SJMP   ENDDOWN
DNEXT2:     CJNE   A,#3BH,DNEXT3
            MOV    A,0FH
            CJNE   A,#53,DCONTI2
            SJMP   ENDDOWN
DCONTI2:    MOV    0BH,0FH
            LCALL  BAR
            INC    0FH
            INC    0FH
            SJMP   ENDDOWN
DNEXT3:     MOV    A,10H
            CJNE   A,#53,DCONTI3
            SJMP   ENDDOWN
DCONTI3:    MOV    0BH,10H
            LCALL  BAR
            INC    10H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                INC     10H
ENDDOWN:        RET

;***********************************
;******* ROUTINE UP FACTOR ********
;***********************************
UP:             PUSH    0E0H
                LCALL   UPBARG
                MOV     A,#10
                LCALL   DELAY_K
                POP     0E0H
                LCALL   COL0_1_2
                RET

;***********************************
;* ROUTINE UP BAR FOR GAIN FACTOR **
;***********************************
UPBARG:         MOV     R5,#01H
                MOV     A,0CH
                CJNE    A,#0DH,UNEXT1
                DEC     0DH
                DEC     0DH
                MOV     A,0DH
                CJNE    A,#07H,UCONTI0
                MOV     0DH,#09H
UCONTI0:        MOV     0BH,0DH
                SJMP    ENDUP
UNEXT1:         CJNE    A,#24H,UNEXT2
                DEC     0EH
                DEC     0EH
                MOV     A,0EH
                CJNE    A,#07H,UCONTI1
                MOV     0EH,#09H
UCONTI1:        MOV     0BH,0EH
                SJMP    ENDUP
UNEXT2:         CJNE    A,#3BH,UNEXT3
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                DEC     0FH
                DEC     0FH
                MOV     A,0FH
                CJNE    A,#07H,UCONTI2
                MOV     0FH,#09H
UCONTI2:        MOV     0BH,0FH
                SJMP    ENDUP
UNEXT3:         DEC     10H
                DEC     10H
                MOV     A,10H
                CJNE    A,#07H,UCONTI3
                MOV     10H,#09H
UCONTI3:        MOV     0BH,10H
ENDUP:          LCALL   BAR
                RET

;*********************************
;**** MAIN MOVE LEFT ***************
;*********************************
MOVML:          JB      00H,MOVML0
                LCALL   MOVL
                SJMP    ENDMOL
MOVML0:         LCALL   MOVLMF
ENDMOL:         RET

;*********************************
;***** ROUTINE DOWN STEP FREQ ******
;*********************************
FINDL400:       MOV     A,17H
                CLR     C
                SUBB    A,#05H
                JNC     JUMPFL0
                ANL     A,#0FH
                CLR     C
                SUBB    A,#06H
                MOV     17H,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOV     A,16H
                CJNE    A,#00H,JJPL1
                MOV     16H,#07H
                MOV     A,15H
                CJNE    A,#00H,JUMPFL1
                MOV     15H,#09H
                MOV     14H,#0DH
                SJMP    ENDFL
JUMPFL1:        CJNE    A,#01H,JUMPFL2
                MOV     15H,#0DH
                SJMP    ENDFL
JJPL1:          MOV     16H,#02H
                SJMP    ENDFL
JUMPFL2:        DEC     A
                MOV     15H,A
                SJMP    ENDFL
JUMPFL0:        MOV     17H,A
                MOV     A,16H
                CLR     C
                SUBB    A,#02H
                MOV     16H,A
ENDFL:          RET

;***********************************
;**** MOVE LEFT DECREMENT 400 Hz **
;***********************************
MOVL400:        LCALL   LINFQ
                MOV     R1,0AH
MOVL2K:         CJNE    R1,#00H,MOVL6K
                MOV     19H,#0CH
                LCALL   CREATBAR
                LCALL   INIFREQ1
                LCALL   FINDL400
                LCALL   CREATF1
                LCALL   INIFREQ1
                MOV     19H,#0CH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOV     0CH,#0DH
                LCALL   INI_OG
                MOV     0DH,A
                LCALL   NUMGAIN
                SJMP    ENDMOL400

MOVL6K:         CJNE    R1,#01H,MOVL10K
                MOV     19H,#20H
                LCALL   CREATBAR
                LCALL   INIFREQ2
                LCALL   FINDL400
                LCALL   CREATF1
                LCALL   INIFREQ2
                MOV     19H,#20H
                MOV     0CH,#24H
                LCALL   INI_OG
                MOV     0DH,A
                LCALL   NUMGAIN
                MOV     0CH,#0DH
                SJMP    ENDMOL400

MOVL10K:        CJNE    R1,#02H,MOVL14K
                MOV     19H,#34H
                LCALL   CREATBAR
                LCALL   INIFREQ3
                LCALL   FINDL400
                LCALL   CREATF1
                LCALL   INIFREQ3
                MOV     19H,#34H
                MOV     0CH,#3BH
                LCALL   INI_OG
                MOV     0DH,A
                LCALL   NUMGAIN
                MOV     0CH,#0DH
                SJMP    ENDMOL400
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
MOVL14K:    MOV    19H,#48H
            LCALL  CREATBAR
            LCALL  INIFREQ4
            LCALL  FINDL400
            LCALL  CREATF1
            LCALL  INIFREQ4
            MOV    19H,#48H
            MOV    0CH,#40H
            LCALL  INI_OG
            MOV    0DH,A
            LCALL  NUMGAIN
            MOV    0CH,#0DH
ENDMOL400:  MOV    0AH,#00H
            RET

CREATBAR:   LCALL  DRAWBAR1
            INC    19H
            INC    19H
            LCALL  DRAWBAR2
            INC    19H
            INC    19H
            LCALL  DRAWBAR3
            INC    19H
            INC    19H
            LCALL  DRAWBAR4
            RET

LINFQ:      PUSH   02H
            PUSH   06H
            MOV    R2,#00H
            MOV    R6,#04
            LCALL  BLACKFRE
            MOV    R6,#28
            LCALL  BLACKFRE
            MOV    R6,#51
            LCALL  BLACKFRE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOV     R6,#74
                LCALL   BLACKFRE
                POP     02H
                POP     06H
                RET

;***********************************
;********ROUTINE TO MOVE CURSER TO**
;****  LEFT IN SCALE FREQ **********
;***********************************
MOVL:           MOV     R1,0AH
                CJNE    R1,#00H,NEXML1
                MOV     R1,#04H
NEXML1:         DEC     R1
                CJNE    R1,#00H,NEXML2
                MOV     19H,#0EH
                SJMP    ENDMVL
NEXML2:         CJNE    R1,#01H,NEXML3
                MOV     19H,#22H
                SJMP    ENDMVL
NEXML3:         CJNE    R1,#02H,NEXML4
                MOV     19H,#36H
                SJMP    ENDMVL
NEXML4:         MOV     19H,#4AH
ENDMVL:         LCALL   MOVLMF
                RET


MOVLMF:         MOV     R1,0AH
                CJNE    R1,#00H,DEC_MFRE    ;IF FREQ = 10K
                JB      00H,MOVDECL
                MOV     R1,#03H             ;FREQ = 250
                SJMP    MOVDEC
MOVDECL:        DEC     19H
                DEC     19H
                LCALL   CREATEFL
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                RET
DEC_MFRE:       DEC     R1              ;INDEX NEXT FREQ
MOVDEC:         MOV     R2,#00H         ;INVERT
                CJNE    R1,#00H,MOVDEC1
                MOV     R6,#28
                LCALL   BLACKFRE
                MOV     R2,#01H
                LCALL   FRE1K
                MOV     R6,#04
                MOV     R2,#01H
                LCALL   BLACKFRE
                MOV     R2,#00H         ;INVERT
                LCALL   IFREQ1
                LCALL   FRE50
                MOV     0CH,#0DH
                DEC     19H             ;ADDRESS EXTERNAL RAM
                DEC     19H
                LCALL   INI_OG
                MOV     0DH,A
                LJMP    FNLML

MOVDEC1:        CJNE    R1,#01H,MOVDEC2
                MOV     R6,#51
                LCALL   BLACKFRE
                MOV     R2,#01H
                LCALL   FRE4K
                MOV     R6,#28
                MOV     R2,#01H
                LCALL   BLACKFRE
                MOV     R2,#00H
                LCALL   IFREQ2
                LCALL   FRE1K
                MOV     0CH,#24H
                DEC     19H
                DEC     19H
                LCALL   INI_OG
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOV     0EH,A
                SJMP    FNLML

MOVDEC2:        CJNE    R1,#02H,MOVDEC3
                MOV     R6,#74
                LCALL   BLACKFRE
                MOV     R2,#01H
                LCALL   FRE10K
                MOV     R6,#51
                MOV     R2,#01H
                LCALL   BLACKFRE
                MOV     R2,#00H
                LCALL   IFREQ3
                LCALL   FRE4K
                MOV     0CH,#3BH
                DEC     19H
                DEC     19H
                LCALL   INI_OG
                MOV     0FH,A
                SJMP    FNLML

MOVDEC3:        MOV     R6,#04
                LCALL   BLACKFRE
                MOV     R2,#01
                LCALL   IFREQ1
                LCALL   FRE50
                MOV     R6,#74
                MOV     R2,#01
                LCALL   BLACKFRE
                MOV     R2,#00H
                LCALL   IFREQ4
                LCALL   FRE10K
                MOV     0CH,#52H
                DEC     19H
                DEC     19H
                LCALL   INI_OG
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOV     10H,A
FNLML:          MOV     0AH,R1
                RET

CREATEFL:       PUSH    0E0H
                MOV     A,19H
                CJNE    A,#02H,NEXCREAL
                MOV     19H,#04H
                POP     0E0H
                RET
NEXCREAL:       PUSH    19H
                LCALL   CREATBAR
                LCALL   FINDL400
                PUSH    14H
                PUSH    15H
                PUSH    16H
                PUSH    17H
                PUSH    18H
                LCALL   FINDL400
                LCALL   CREATFRE
                POP     18H
                POP     17H
                POP     16H
                POP     15H
                POP     14H
                POP     19H
                MOV     0CH,#0DH
                LCALL   INI_OG
                MOV     0DH,A
                POP     0E0H
                RET

IFREQ1:         JB      00H,NEXTF1
                LCALL   INIFREQ1
                RET
NEXTF1:         LCALL   FINDL400
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                RET

IFREQ2:         JB      00H,NEXTF2
                LCALL   INIFREQ2
                RET
NEXTF2:         LCALL   FINDL400
                RET

IFREQ3:         JB      00H,NEXTF3
                LCALL   INIFREQ3
                RET
NEXTF3:         LCALL   FINDL400
                RET

IFREQ4:         JB      00H,NEXTF4
                LCALL   INIFREQ4
                RET
NEXTF4:         LCALL   FINDL400
                RET

;***********************************
;********* MAIN MOVE RIGHT *********
;***********************************
MOVMR:          JB      00H,MOVMR0      ;KEY FIND
                LCALL   MOVR
                SJMP    ENDMOR
MOVMR0:         LCALL   MOVRMF
ENDMOR:         RET

;***********************************
;******* ROUTINE UP STEP FREQ ******
;***********************************
FINDR400:       MOV     A,17H
                CJNE    A,#05H,JUMPFR1
                MOV     17H,#00H
                MOV     A,16H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                CJNE    A,#02H,JJPR1
                MOV     16H,#05H
                SJMP    ENDFR
JJPR1:          MOV     16H,#00H
                MOV     A,15H
                CJNE    A,#0DH,JJPR3
                MOV     15H,#01H
                SJMP    ENDFR
JJPR3:          CJNE    A,#09H,JJPR4
                MOV     15H,#00H
                MOV     14H,#01H
                SJMP    ENDFR
JJPR4:          INC     15H
                SJMP    ENDFR
JUMPFR1:        MOV     17H,#05H
                MOV     A,16H
                ADD     A,#02H
                MOV     16H,A
ENDFR:          RET

;***********************************
;********ROUTINE TO MOVE CURSER TO**
;****  RIGHT IN SCALE FREQ *********
;***********************************
MOVR:           MOV     R1,0AH
                CJNE    R1,#03H,NEXMR1
                MOV     R1,#00H
                SJMP    NEXMR5
NEXMR1:         INC     R1
NEXMR5:         CJNE    R1,#00H,NEXMR2
                MOV     19H,#0AH
                SJMP    ENDMVR
NEXMR2:         CJNE    R1,#01H,NEXMR3
                MOV     19H,#1EH
                SJMP    ENDMVR
NEXMR3:         CJNE    R1,#02H,NEXMR4
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOV     19H,#32H
                SJMP    ENDMVR
NEXMR4:         MOV     19H,#46H
ENDMVR:         LCALL   MOVRMF
                RET

;*********************************
MOVRMF:         MOV     R1,0AH
                CJNE    R1,#03H,INC_MFRE    ;IF FREQ = 10K
                JB      00H,MOVINCR
                MOV     R1,#00H             ;FREQ = 50
                SJMP    MOVINC

MOVINCR:        INC     19H
                INC     19H
                LCALL   CREATEFR
                MOV     0AH,#03H
                RET

INC_MFRE:       INC     R1                  ;INDEX NEXT FREQ
MOVINC:         MOV     R2,#00H             ;DIREC
                CJNE    R1,#00H,MOVINC1
                MOV     R6,#74
                LCALL   BLACKFRE
                MOV     R2,#01H
                LCALL   FRE10K
                MOV     R6,#04
                MOV     R2,#01H
                LCALL   BLACKFRE
                MOV     R2,#00H             ;INVERT
                LCALL   IREQ1
                LCALL   FRE50
                MOV     0CH,#0DH
                INC     19H
                INC     19H
                LCALL   INI_OG
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOV     0DH,A
                LJMP    FNLMR

MOVINC1:        CJNE    R1,#01H,MOVINC2
                MOV     R6,#04
                LCALL   BLACKFRE
                MOV     R2,#01H
                LCALL   FRE50
                MOV     R6,#28
                MOV     R2,#01H
                LCALL   BLACKFRE
                MOV     R2,#00H
                LCALL   IREQ2
                LCALL   FRE1K
                MOV     0CH,#24H
                INC     19H
                INC     19H
                LCALL   INI_OG
                MOV     0EH,A
                SJMP    FNLMR

MOVINC2:        CJNE    R1,#02H,MOVINC3
                MOV     R6,#28
                LCALL   BLACKFRE
                MOV     R2,#01H
                LCALL   FRE1K
                MOV     R6,#51
                MOV     R2,#01H
                LCALL   BLACKFRE
                MOV     R2,#00H
                LCALL   IREQ3
                LCALL   FRE4K
                MOV     0CH,#3BH
                INC     19H
                INC     19H
                LCALL   INI_OG
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOV     0FH,A
                SJMP    FNLMR

MOVINC3:        MOV     R6,#51
                LCALL   BLACKFRE
                MOV     R2,#01
                LCALL   FRE4K
                MOV     R6,#74
                MOV     R2,#01H
                LCALL   BLACKFRE
                MOV     R2,#00H
                LCALL   IREQ4
                LCALL   FRE10K
                MOV     0CH,#52H
                INC     19H
                INC     19H
                LCALL   INI_OG
                MOV     10H,A
FNLMR:          MOV     0AH,R1
                RET

CREATEFR:       PUSH    0E0H
                MOV     A,19H
                CJNE    A,#80,NEXCREAR
                MOV     19H,#78
                POP     0E0H
                RET
NEXCREAR:       PUSH    19H
                MOV     A,19H
                CLR     C
                SUBB    A,#06H
                MOV     19H,A
                LCALL   CREATBAR
                LCALL   FINDL400
                LCALL   FINDL400
                LCALL   FINDL400
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                LCALL   CREATFRE
                MOV     0CH,#52H
                POP     19H
                LCALL   INI_OG
                MOV     10H,A
                POP     0E0H
                RET

IREQ1:          JB      00H,NEXRF1
                LCALL   INIFREQ1
                RET
NEXRF1:         LCALL   FINDR400
                RET

IREQ2:          JB      00H,NEXRF2
                LCALL   INIFREQ2
                RET
NEXRF2:         LCALL   FINDR400
                RET

IREQ3:          JB      00H,NEXRF3
                LCALL   INIFREQ3
                RET
NEXRF3:         LCALL   FINDR400
                RET

IREQ4:          JB      00H,NEXRF4
                LCALL   INIFREQ4
                RET
NEXRF4:         LCALL   FINDR400
                RET

;***********************************
;**** BLACK GROUND OF FREQ *********
;***********************************
BLACKFRE:       MOV     R7,#07H     ;line
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOV     R5,#00H         ;over write
                MOV     R3,#24          ;amount of data
                MOV     DPTR,#BLACK     ;dptr index to address of black picture
                LCALL   SETIND          ;SAVE ADDRESS FORM DPTR
                LCALL   GOTOXY_L        ;draw picture
                RET

;***********************************
;******* RUTINE DRAW BAR ***********
;***********************************
DRAWBAR:    PUSH    0E0H
                MOV     19H,#0CH
                LCALL   DRAWBAR1
                MOV     19H,#20H
                LCALL   DRAWBAR2
                MOV     19H,#34H
                LCALL   DRAWBAR3
                MOV     19H,#48H
                LCALL   DRAWBAR4
                POP     0E0H
                RET

DRAWBAR1:       MOV     0CH,#0DH    ;COLUMN
                LCALL   MAINBAR0
                RET

DRAWBAR2:       MOV     0CH,#24H
                LCALL   MAINBAR0
                RET

DRAWBAR3:       MOV     0CH,#3BH
                LCALL   MAINBAR0
                LCALL   COL0_1_2    ;DEBUG WHEN CONVERT PAGE
                RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
DRAWBAR4:       MOV     0CH,#52H
```

```
                LCALL   MAINBAR0
                RET

;*********************SUB ROUTINE DRAW BAR
MAINBAR0:       PUSH    00H
                PUSH    01H
                MOV     R5,#01          ;ON POINT
                LCALL   FIND_BAR
                MOV     A,R0
                LCALL   CHA_LEBA
                MOV     A,R0
                MOV     R5,#01          ;ON POINT
MAINBAR2:       LCALL   BAR
                DEC     0BH
                DEC     0BH
                DJNZ    R0,MAINBAR2
                POP     01H
                POP     00H
                RET

;***********************************
;*ROUTINE TO DRAW BAR FORM OLD DATA*
;********* IN RAM EXTERNAL *********
;***********************************
FIND_BAR:       PUSH    0E0H
                MOV     DPH,#00H
                MOV     DPL,19H
                LCALL   FIND_BAR1
ENDFI_BAR:      POP     0E0H
                RET

;****************** SUB ROUTINE DRAW OLD DATA
FIND_BAR1:      MOVX    A,@DPTR
                JB      ACC.7,JUM_FIB1
                ADD     A,#12
                SJMP    ENDF_B
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
DRAWBAR4:   MOV    0CH,#52H
            LCALL  MAINBAR0
            RET

;*********************SUB ROUTINE DRAW BAR
MAINBAR0:   PUSH   00H
            PUSH   01H
            MOV    R5,#01        ;ON POINT
            LCALL  FIND_BAR
            MOV    A,R0
            LCALL  CHA_LEBA
            MOV    A,R0
            MOV    R5,#01        ;ON POINT
MAINBAR2:   LCALL  BAR
            DEC    0BH
            DEC    0BH
            DJNZ   R0,MAINBAR2
            POP    01H
            POP    00H
            RET

;***********************************
;*ROUTINE TO DRAW BAR FORM OLD DATA*
;********* IN RAM EXTERNAL *********
;***********************************
FIND_BAR:   PUSH   0E0H
            MOV    DPH,#00H
            MOV    DPL,19H
            LCALL  FIND_BAR1
ENDFI_BAR:  POP    0E0H
            RET

;****************** SUB ROUTINE DRAW OLD DATA
FIND_BAR1:  MOVX   A,@DPTR
            JB     ACC.7,JUM_FIB1
            ADD    A,#12
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                SJMP    ENDF_B
JUM_FIB1:       CLR     ACC.7
                CLR     C
                MOV     R0,A
                MOV     A,#12
                SUBB    A,R0
ENDF_B:         CJNE    A,#24,ERR1
ERR1:           JC      ERR2
                SJMP    ERR3
ERR2:           CJNE    A,#00,ENDERR
ERR3:           MOV     A,#12
ENDERR:         MOV     R0,A
                RET
;***********************************
;********* CHECK LEVEL BAR *********
;***********************************
CHA_LEBA:       PUSH    0E0H
                PUSH    0E0H
                CJNE    A,#20,JUM_CHA1
JUM_CHA1:       JC      NEX_LEB1
                MOV     R0,#05H
                LCALL   LPCHBA
                MOV     R0,#01H
                LCALL   LPCLRBA
                POP     0E0H
                MOV     R0,#19
                CLR     C
                SUBB    A,R0
                MOV     0BH,#15
                SJMP    ENDCHAB1
NEX_LEB1:       CJNE    A,#16,JUM_CHA2
JUM_CHA2:       JC      NEX_LEB2
                MOV     R0,#04H
                LCALL   LPCHBA
                MOV     R0,#02H
                LCALL   LPCLRBA
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOV     R0,#3
                CLR     C
                SUBB    A,R0
                MOV     0BH,#47
ENDCHAB1:       MOV     R0,A
                SJMP    ENDCHABA
NEX_LEB5:       PUSH    00H
                MOV     R0,#05H
                LCALL   LPCLRBA
                MOV     R0,#04H
                MOV     0BH,#53
                MOV     05H,#00H
NEX_LL1:        LCALL   BAR
                DEC     0BH
                DEC     0BH
                DJNZ    R0,NEX_LL1
                POP     00H
                POP     0E0H
                MOV     0BH,#53
ENDCHABA:       POP     0E0H
                RET

LPCLRBA:        MOV     R1,00H
                MOV     DPTR,#CBAR      ;dptr index to address of text ' '
                ACALL   DRLBAR
                DJNZ    R0,LPCLRBA
                RET

LPCHBA:         MOV     R1,#06H
LPC1:           MOV     DPTR,#LBAR      ;dptr index to address of text 'I'
                ACALL   DRLBAR
                DEC     R1
                DJNZ    R0,LPC1
                RET

DRLBAR:         MOV     R7,01H          ;line
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV     R6,0CH          ;column
        MOV     R5,#00H         ;over write
        MOV     R3,#09          ;amount of data
        MOV     R2,#01          ;dirc
        LCALL   SETIND          ;SAVE ADDRESS FORM DPTR
        LCALL   GOTOXY_L        ;draw text
        RET
```

```
;**********************************
;********* DRAW BAR ***************
;**********************************
BAR:        PUSH    07H
            PUSH    06H
            PUSH    01H
            PUSH    00H
            MOV     R7,0BH
            MOV     R6,0CH
            MOV     R0,#2
BAR_LO:     MOV     R1,#9           ;LOOP FOR DRAW  Y AXIS
BAR_LO1:    LCALL   GOTOXY_P        ;DRAW POINT
            INC     R6              ;INCREMENT COLUMN
            DJNZ    R1,BAR_LO1
            INC     R7
            MOV     R6,0CH
            DJNZ    R0,BAR_LO
            POP     00H
            POP     01H
            POP     06H
            POP     07H
            RET
;**********************************************************
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
COL0_1_2:   PUSH   00
            PUSH   01
            PUSH   05
            PUSH   06
            PUSH   07
            MOV    R6,#00
            MOV    R0,#04
            LCALL  CR_X
            POP    07
            POP    06
            POP    05
            POP    01
            POP    00
            RET

CR_X:       MOV    R1,#60       ;LOOP FOR DRAW X AXIS
            MOV    R7,#63       ;ROW
            MOV    R5,#00       ;OFF DOT
CR_L3:      LCALL  GOTOXY_P     ;DRAW POINT
            DEC    R7           ;DECREMENT ROW
            DJNZ   R1,CR_L3
            INC    R6
            DJNZ   R0,CR_X
            MOV    R0,#01H
            LCALL  LOMY
            MOV    R0,#01H
            LCALL  LOMX
            RET

;***********************************
;********** DRAW FREQUENCY *********
;***********************************
DRAWFREQ:   MOV    0AH,#00H     ;INITIAL MENU FREQ
CREATFRE:   MOV    0CH,#0DH     ;INITIAL COLUNM BAR
            MOV    A,0AH
```

เอกสารนี้จัดทำขึ้นสำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                CJNE    A,#00H,NEXDRAW1
CREATF1:        MOV     R2,#01H
                MOV     R6,#04
                LCALL   BLACKFRE
                MOV     R2,#00          ;INVERT
                LCALL   IREQ1
                LCALL   FRE50
                LCALL   NEXDRW2
                MOV     R2,#01          ;DIRC
                LCALL   IREQ4
                LCALL   FRE10k
                RET
NEXDRAW1:       MOV     R2,#01H
                MOV     R6,#74
                LCALL   BLACKFRE
                MOV     R6,#04H
                LCALL   IREQ1
                LCALL   FRE50
                LCALL   NEXDRW2
                MOV     R2,#00          ;DIRC
                LCALL   IREQ4
                LCALL   FRE10k
                RET

NEXDRW2:        MOV     R2,#01          ;DIRC
                LCALL   IREQ2
                LCALL   FRE1k
                MOV     R2,#01          ;DIRC
                LCALL   IREQ3
                LCALL   FRE4k
                RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;*******************FRE50
FRE50:          MOV     R7,#07H         ;line
                MOV     R6,#7           ;column
                MOV     R5,#00H         ;over write
                MOV     R3,#5           ;amount of data
                LCALL   SETDRAW1
                RET

;*******************FRE1k
FRE1k:          MOV     R7,#07H         ;line
                MOV     R6,#27          ;31         ;column
                MOV     R5,#00H         ;over write
                MOV     R3,#5           ;amount of data
                LCALL   SET_DRAW
                RET

;*******************FRE4k
FRE4K:          MOV     R7,#07H         ;line
                MOV     R6,#52          ;column
                MOV     R5,#00H         ;over write
                MOV     R3,#5           ;amount of data
                LCALL   SET_DRAW
                RET

;*******************FRE10k
FRE10K:         MOV     R7,#07H         ;line
                MOV     R6,#76          ;column
                MOV     R5,#00H         ;over write
                MOV     R3,#5           ;amount of data
                LCALL   SET_DRAW
                RET

;******************* SET AND DRAW
SET_DRAW:       LCALL   INIFEQ1
                LCALL   SET_DRW
SETDRAW1:       LCALL   INIFEQ2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                LCALL   SET_DRW         ;save address form dpl
SETDRAW2:       LCALL   INIFEQ3
                LCALL   SET_DRW
                LCALL   INIFEQ4
                LCALL   SET_DRW
                LCALL   INIFEQ5
                LCALL   SET_DRW
                RET
;**************** SUB SET AND DRAW
SET_DRW:        LCALL   SETIND          ;save address form dpl
                LCALL   GOTOXY_L        ;draw text
                LCALL   MICOL
                RET
;***********************************
;* ROUTINE MOVE COLUMN FOR NUMBER **
;***********************************
MICOL:          MOV     A,R6
                ADD     A,#04
                MOV     R6,A
                RET

;***********************************
;********* FIND INDEX NUMBER *******
;*R1=>NUMBER ! RETURN INDEX IN DPTR*
;***********************************
FINDEXN:        CJNE    A,#0H,FINDEXN1
                MOV     DPTR,#ZERO
                SJMP    FINALIND
FINDEXN1:       CJNE    A,#1H,FINDEXN2
                MOV     DPTR,#ONE
                SJMP    FINALIND
FINDEXN2:       CJNE    A,#2H,FINDEXN3
                MOV     DPTR,#TWO
                SJMP    FINALIND
FINDEXN3:       CJNE    A,#3H,FINDEXN4
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOV     DPTR,#THREE
                SJMP    FINALIND
FINDEXN4:       CJNE    A,#4H,FINDEXN5
                MOV     DPTR,#FOUR
                SJMP    FINALIND
FINDEXN5:       CJNE    A,#5H,FINDEXN6
                MOV     DPTR,#FIVE
                SJMP    FINALIND
FINDEXN6:       CJNE    A,#6H,FINDEXN7
                MOV     DPTR,#SIX
                SJMP    FINALIND
FINDEXN7:       CJNE    A,#7H,FINDEXN8
                MOV     DPTR,#SEVEN
                SJMP    FINALIND
FINDEXN8:       CJNE    A,#8H,FINDEXN9
                MOV     DPTR,#EIGHT
                SJMP    FINALIND
FINDEXN9:       CJNE    A,#9H,FINDEXNA
                MOV     DPTR,#NINE
                SJMP    FINALIND
FINDEXNA:       CJNE    A,#0AH,FINDEXNB
                MOV     DPTR,#KILO
                SJMP    FINALIND
FINDEXNB:       CJNE    A,#0BH,FINDEXNC
                MOV     DPTR,#POINT
                SJMP    FINALIND
FINDEXNC:       CJNE    A,#0CH,FINDEXND
                MOV     DPTR,#MINUS
                SJMP    FINALIND
FINDEXND:       CJNE    A,#0DH,FINALIND
                MOV     DPTR,#WITHE
FINALIND:       RET

;*********************************
;****** DRAW MIAN SCREEN ***********
;*********************************
```

เอกสารนี้เป็นการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น มีการอ้างอิงถึงเจ้าของเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
DRAWMAIN:                ;Draw Y axis
          MOV   R0,#02H
LOMY:     MOV   R7,#1      ;ROW
LOMN0:    MOV   R1,#95     ;LOOP FOR DRAW Y AXIS
          MOV   R6,#4      ;COLUMN
          MOV   R5,#01     ;MIX
LOMN1:    LCALL GOTOXY_P   ;DRAW POINT
          INC   R6         ;INCREMENT COLUMN
          DJNZ  R1,LOMN1
          MOV   R7,#55     ;ROW
          DJNZ  R0,LOMN0

                           ;Draw X axis
          MOV   R0,#02H
LOMX:     MOV   R6,#4      ;COLUMN
LOMN2:    MOV   R1,#54     ;LOOP FOR DRAW X AXIS
          MOV   R7,#55     ;ROW
          MOV   R5,#01     ;MIX
LOMN3:    LCALL GOTOXY_P   ;DRAW POINT
          DEC   R7         ;DECREMENT ROW
          DJNZ  R1,LOMN3
          MOV   R6,#98
          DJNZ  R0,LOMN2

                ;DRAW INITIAL NUMBER
          LCALL GAINUM

                ;Draw Hz
          LCALL D_Hz

                ;DRAW BLACK
          LCALL D_BACKM

                ;DRAW "GAIN"
          LCALL D_GAIN
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                ;DRAW "STATUS"
            LCALL  D_STA
            RET

                ;DRAW   BLACK GROUND
D_BACKM:    MOV    R0,#02H        ;#03H loop for 3 line
            MOV    R7,#00H        ;line
D_BLACK:    MOV    R6,#99         ;column
            MOV    R5,#00H        ;over write
            MOV    R3,#28         ;amount of data
            MOV    R2,#01         ;dirc
            MOV    DPTR,#BLACK    ;dptr index to address of black picture
            LCALL  SETIND         ;SAVE ADDRESS FORM DPTR
            LCALL  GOTOXY_L       ;draw picture
            INC    R7             ;increment to newline
            INC    R7
            DJNZ   R0,D_BLACK
            RET

                    ;Draw GAIN
D_GAIN:     MOV    R7,#00H        ;line
            MOV    R6,#105        ;column
            MOV    R5,#00H        ;over write
            MOV    R3,#16         ;amount of data
            MOV    R2,#01         ;dirc
            MOV    DPTR,#GAIN     ;dptr index to address of text 'GAIN'
            LCALL  SETIND         ;SAVE ADDRESS FORM DPTR
            LCALL  GOTOXY_L       ;draw text
            RET


D_STA:                  ;Draw STATUS
            MOV    R7,#02H        ;#04H line
            MOV    R6,#102        ;#102 col
            MOV    R5,#00H        ;over write
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOV     R3,#23          ;amount of data
                MOV     R2,#01          ;dirc
                MOV     DPTR,#STATUS
                LCALL   SETIND          ;SAVE ADDRESS FORM DPTR
                LCALL   GOTOXY_L
                RET

D_Hz:           MOV     R7,#07H         ;line
                MOV     R6,#99          ;col
                MOV     R5,#01H         ;MIX
                MOV     R3,#07          ;amount
                MOV     R2,#01          ;dirc
                MOV     DPTR,#Hz
                LCALL   SETIND          ;SAVE ADDRESS FORM DPTR
                LCALL   GOTOXY_L
                RET

GAINUM:         PUSH    07H
                PUSH    06H
                PUSH    05H
                PUSH    03H
                PUSH    02H
                MOV     R7,#01H         ;line
                MOV     R6,#104         ;column
                MOV     R5,#00H         ;over write
                MOV     R3,#3           ;amount of data
                MOV     R2,#01          ;dirc
                LCALL   INITNUM1        ;
                LCALL   SETIND          ;SAVE ADDRESS FORM DPTR
                LCALL   GOTOXY_L        ;draw text

                MOV     R6,#107         ;column
                MOV     R3,#5           ;amount of data
                LCALL   INITNUM2        ;
                LCALL   SETIND          ;SAVE ADDRESS FORM DPTR
                LCALL   GOTOXY_L        ;draw text
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV     R6,#111         ;column
        LCALL   INITNUM3        ;
        LCALL   SETIND          ;SAVE ADDRESS FORM DPTR
        LCALL   GOTOXY_L        ;draw text
        POP     02H
        POP     03H
        POP     05H
        POP     06H
        POP     07H
        RET

                ;Draw Wait
D_WAIT:  MOV    R6,#105         ;col
        MOV     R3,#16          ;amount
        LCALL   D_INIT
        MOV     DPTR,#Wait
        LCALL   SETIND          ;SAVE ADDRESS FORM DPTR
        LCALL   GOTOXY_L
        RET

D_ADJ:                  ;DRAW Adj
        MOV     R6,#105         ;col
        MOV     R3,#16          ;amount
        LCALL   D_INIT
        MOV     DPTR,#find
        LCALL   SETIND          ;SAVE ADDRESS FORM DPTR
        LCALL   GOTOXY_L
        RET

                ;Draw Std
D_STD:   MOV    R6,#105         ;col
        MOV     R3,#16          ;amount
        LCALL   D_INIT
        MOV     DPTR,#STD
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                LCALL   SETIND
                LCALL   GOTOXY_L
                RET

D_READY:                ;DRAW READY
                MOV     R6,#103         ;col
                MOV     R3,#19          ;amount
                LCALL   D_INIT
                MOV     DPTR,#READY
                LCALL   SETIND
                LCALL   GOTOXY_L
                RET

D_CLER:                 ;CLEAR STATUS
                MOV     R6,#103         ;col
                MOV     R3,#20          ;amount
                LCALL   D_INIT
                MOV     DPTR,#WITHE
                LCALL   SETIND          ;SAVE ADDRESS FORM DPTR
                LCALL   GOTOXY_L
                RET

D_INIT:         MOV     R7,#03H         ;line
                MOV     R5,#00H         ;MIX
                MOV     R2,#01          ;dirc
                RET

;************************************
;******** SCAN KEY (FOR 9 KEY) *****
;******** RETURN VALUE IN ACC ******
;************************************
SCAN_KEY:       LCALL   SCAN            ;TO check push key
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                JZ      SCAN_KEY        ;if key not push goto scan_key
                LCALL   CONVERT         ;Convert key to data return in acc
                MOV     1FH,A           ;Save data in address 20h
                MOV     A,#30           ;Wait 20 ms
                LCALL   DELAY_K         ;Delay 1.54 ms
                LCALL   SCAN
                JZ      SCAN_KEY
                LCALL   CONVERT
                CJNE    A,1FH,SCAN_KEY  ;Original key found
                RET

;***********************************
;****** DELAY TO BYPASS BOUNCE *****
;***********************************
DELAY_K:        MOV     R0,#00H         ;******
DELAY_K1:       NOP                     ; Delay 1.54 ms
                NOP                     ; T = (C*12)/Crystal Frequency
                NOP                     ; C = M.CYCLE
                NOP                     ;
                DJNZ    R0,DELAY_K1     ;*****
                DJNZ    ACC,DELAY_K
                RET

;***********************************
;****** SUBROUTINE OF SCAN KEY *****
;********* TO CHECK PUSH KEY *******
;***********************************

SCAN:           MOV     P1,#0FFH        ;init P1
WAITK:          MOV     A,P1            ;move data to ACC
                INC     A               ;increment ACC to check key
                RET

;***********************************
;***** SUBROUTINE  OF SCAN KEY ****
;****** CONVERT KEY TO DATA *******
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;**********************************
CONVERT:    MOV   A,P1              ;move data to check key
            CJNE  A,#00111111B,NXT1  ;if key 9 (bit 6 and 7) not push goto NXT1
            CLR   A             ;ACC=0
            SJMP  DONE          ;it's key 9 goto done to ret
NXT1:       CLR   C
            MOV   A,#01H        ;Acc = 1
            JB    P1.0,NXT2     ;if key 1 not push goto NXT2
            SJMP  DONE          ;it's key 1 goto done to ret
NXT2:       INC   A             ;Acc = 2
            JB    P1.1,NXT3     ;if key 2 not push goto NXT3
            SJMP  DONE          ;it's key 2 .Then RET
NXT3:       INC   A             ;Acc = 3
            JB    P1.2,NXT4     ;if key 3 not push goto NXT4
            SJMP  DONE          ;it's key 3 .Then RET
NXT4:       INC   A             ;Acc = 4
            JB    P1.3,NXT5     ;if key 4 not push goto  NXT5
            SJMP  DONE          ;it's key 4 .Then RET
NXT5:       INC   A             ;Acc = 5
            JB    P1.4,NXT6     ;if key 5 not push goto NXT6
            SJMP  DONE          ;it's key 5 .Then RET
NXT6:       INC   A             ;Acc = 6
            JB    P1.5,NXT7     ;if key 6 not push goto NXT7
            SJMP  DONE          ;it's key 6 .Then RET
NXT7:       INC   A             ;Acc = 7
            JB    P1.6,NXT8     ;if key 7 not push goto NXT8
            SJMP  DONE          ;it's key 7 .Then RET
NXT8:       INC   A             ;Acc = 8  it's key 8
DONE:       RET

;**********************************
;****INIT_LCD (A=ON/OFF:R7=ROW)*****
;******(R6=COL:R5=START_LINE)*******
;***********(DPTR=PAGE)************
;**********************************
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
INIT_LCD:     MOV   DPTR,#LCDCTRL1  ;DPTR index to PAGE
              MOV   R0,#02          ;LOOP FOR PAGE
INIT_LCDL:    MOV   A,#DISPON       ;ON_SCREEN
              MOV   R7,#LINE1       ;ROW 1
              MOV   R6,#STARTCLO    ;COL 1
              MOV   R5,#STARTLNO    ;START LINE_1
              LCALL INIT_PAGE       ;SET PAGE
              LCALL CLEAR_PAGE      ;CLEAR SCREEN LCD
              INC   DPTR
              DJNZ  R0,INIT_LCDL
              RET

;***********************************
;*****INIT_PAGE1 and INIT_PAGE2*****
;***********************************
INIT_PAGE:    PUSH  00H
              PUSH  0E0H
              MOV   R0,#07H         ;R0 index to R7,R6,R5
INIT_LP1:     LCALL INIT_DEL        ;Write data to port control lcd
              MOV   A,@R0     ;mov data form R0 (col,row and start_line) to A
              DEC   R0
              CJNE  R0,#03H,INIT_LP1
              POP   0E0H
              POP   00H
              RET

INIT_DEL:     LCALL BUSY            ;routine check busy flag
              MOVX  @DPTR,A         ;write data to control port
              RET

;***********************************
;************CLEAR_PAGE*************
;***********************************
CLEAR_PAGE:   PUSH  82H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                PUSH    83H
                PUSH    00H
                PUSH    01H
                PUSH    0E0H
                PUSH    06H
                PUSH    07H
                MOV     R7,#LINE1       ;
                MOV     A,R7            ; SET LINE 1 OF LCD
                MOVX    @DPTR,A         ;
                MOV     R6,#STARTCLO
                MOV     A,R6
                MOVX    @DPTR,A
                LCALL   BUSY
                MOV     R0,#8           ;R0 STORE LOOP OF LINE
CLS_LP0:        MOV     R1,#64          ;R1 STORE LOOP OF COLUMN
                INC     DPTR
                INC     DPTR
                MOV     A,#00H          ;A STORE DATA TO CLEAR LCD SCREEN
CLS_LP1:        MOVX    @DPTR,A
                LCALL   BUSY
                DJNZ    R1,CLS_LP1
                INC     R7              ;INCREMENT LINE
                MOV     A,R7
                DEC     82H             ;DECREMENT DPTL TO CONTROL PORT
                DEC     82H
                MOVX    @DPTR,A         ;SET NEWLINE
                LCALL   BUSY
                MOV     R6,#STARTCLO
                MOV     A,R6
                MOVX    @DPTR,A
                LCALL   BUSY
                DJNZ    R0,CLS_LP0
                POP     07H
                POP     06H
                POP     0E0H
                POP     01H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                POP     00H
                POP     83H
                POP     82H
                RET

;***********************************
;**********GOTOXY_POINT*************
;***********************************
GOTOXY_P:       PUSH    0E0H
                PUSH    00H
                PUSH    01H
                PUSH    82H
                PUSH    83H
                PUSH    06H
                PUSH    07H
                PUSH    05H

                LCALL   FIND_COL
          ;***************CHECK LINE
                MOV     R0,#08H         ;R0 STORE  LOOP OF LINE
                MOV     R1,#LINE1       ;R1 STORE  CONTROLLINE DATA
                MOV     A,#07H          ;ACC STORE HIGH LIMIT POINT IN LINE
TEST_LIN:       PUSH    0E0H            ;STORE ACC TO STACK POINTER
                CLR     C
                SUBB    A,R7            ;SUB ACC WITH R7 TO CHECK NUMBER LINE
                JNC     SET_LIN         ;IF POINT IN THIS LINE JUMP SET_LIN
                INC     R1              ;INCREMENT TO NEW LINE
                POP     0E0H            ;MOVE VALUE ACC FROM STACK TO ACC
                ADD     A,#08H          ;SUM ACC TO HIGHLIMIT POINT OF NEW LINE
                DJNZ    R0,TEST_LIN
SET_LIN:        POP     00H             ;KEEP LETTER
                XCH     A,R1            ;EXCHANGE DATA ACC AND R1:R1 STORE POINTDATA
                LCALL   BUSY
                MOVX    @DPTR,A         ;SET LINE
                LCALL   BUSY            ;CHECK BUSY
                LCALL   READ_OLD        ;ROUTINE USE TO READ OLD DATA IN POINT
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOV     A,R6            ;SET Y ADDRESS TO OLD ADDRESS
                LCALL   BUSY
                MOVX    @DPTR,A         ;SET COLUMN
                LCALL   BUSY
        ;****************PLOT POINT
                CJNE    R1,#00H,PLOT_P1     ;IF PLOTTING != [X(7),Y] GOTO PLOT_P1
                SJMP    PLOT_P2         ;JUMP PLOT_P2 BECAUSE PLOTTING IN [X(7),Y]
PLOT_P1:        MOV     A,#80H          ;INITIAL DATA TO MAKE DATA OF POINT
INIT_PLOT:      RR      A               ;ROTATE RIGHT ACC TO FIND POINT
                DJNZ    R1,INIT_PLOT    ;R1 STORE LOOP OF POINTDATA
                SJMP    PLOT
PLOT_P2:        MOV     A,#80H          ;POINT IS [X(7),Y]
PLOT:           INC     DPTR            ;INCREMENT DPTR INDEX PORT CONTROLLCD
                INC     DPTR
                CJNE    R5,#01H,ERA_P
                ORL     A,R0            ;OR NEW POINT(IN ACC) WITH OLD POINT (R0)
                LCALL   BUSY
                MOVX    @DPTR,A         ;WRITE POINT TO LCD
                LCALL   BUSY            ;DELAY BUSY
                SJMP    TURN_GP
ERA_P:          CPL     A
                ANL     A,R0
                LCALL   BUSY
                MOVX    @DPTR,A
                LCALL   BUSY
TURN_GP:        POP     05H
                POP     07H
                POP     06H
                POP     83H
                POP     82H
                POP     01H
                POP     00H
                POP     0E0H
                RET
        ;*************************************
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;**** Routine GOTOXY in LINE *******
;***(RETURN DATA IN OLD LINE > R0)**
;(RETURN R4 WITH ADDRESS PORT CRTL)*
;**********************************
;**********************************
;*****ROUTINE WRITE DATA TO LCD*****
;*DPTR INDEX TO ADDRESS STORE DATA**
;**R0 STORE OLD DATA : R5 OVER/MIX**
;*** R3=AMOUNT OF DATA IN 1 LINE****
;*****R4 STORE ADJ JUMP DATA TBL****
;**********************************
GOTOXY_L:   PUSH   83H
            PUSH   82H
            PUSH   07H
            PUSH   06H
            PUSH   05H
            PUSH   04H
            PUSH   03H
            PUSH   01H
            PUSH   00H
            PUSH   0E0H
            LCALL  FIND_COL      ;RETURN R6>DATACONTROL COL
            MOV    A,R7
            ADD    A,#LINE1
            LCALL  BUSY
            MOVX   @DPTR,A
            LCALL  BUSY
            PUSH   82H
            MOV    R4,#00H
WR_DATA:    MOV    A,R4
            MOV    82H,08H
            MOV    83H,09H
            MOVC   A,@A+DPTR
            MOV    R1,A
            INC    R4
            CJNE   R5,#01H,OVER_WRT
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                POP     82H
                MOV     83H,#0E0H
                LCALL   READ_OLD
                MOV     A,R6
                LCALL   BUSY
                MOVX    @DPTR,A
                LCALL   BUSY
                PUSH    82H
                MOV     A,R1
                ORL     A,R0
                SJMP    MIX
OVER_WRT:       POP     82H
                PUSH    82H
                MOV     A,R1
MIX:            INC     82H
                INC     82H
                MOV     83H,#0E0H
                CJNE    R2,#01H,INVERT
                SJMP    WR_DIRC
INVERT:         CPL     A
WR_DIRC:        LCALL   BUSY
                MOVX    @DPTR,A
                LCALL   BUSY
                INC     R6
                CJNE    R6,#80H,WR_CONTI
                MOV     R6,#64
                POP     82H
                LCALL   FIND_COL    ;RETURN R6>DATACONTROL COL
                MOV     A,R7
                ADD     A,#LINE1
                LCALL   BUSY
                MOVX    @DPTR,A
                LCALL   BUSY
                PUSH    82H
WR_CONTI:       DJNZ    R3,WR_DATA
                POP     82H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                POP     0E0H
                POP     00H
                POP     01H
                POP     03H
                POP     04H
                POP     05H
                POP     06H
                POP     07H
                POP     82H
                POP     83H
                RET

;**********************************
;****Routine find column***********
;***(return R6 = DATACONTROL)*******
;**********************************

FIND_COL:       CJNE    R6,#64,PAGE2        ;CHECK COLUMN IN PAGE ?
PAGE2:          JC      PAGE1               ;IT'S PAGE 1 (JUMP PAGE1)
                MOV     _DPTR,#LCDCTRL2     ;SAY NO.DPTR STORE PORT CONTROLLCD
PAGE2
                MOV     A,R6                ;ACC STORE COLUMN
                CLR     C
                SUBB    A,#64               ;SUB ACC WITH COLUMN (MAX VALUE/PAGE)
                MOV     R6,A
                SJMP    SET_COL
PAGE1:          MOV     DPTR,#LCDCTRL1      ;DPTR STORE PORT CONTROL LCD PGAE1
SET_COL:        MOV     A,#STARTCLO         ;ACC STORE VALUE OF START COLUMN (COL 0)
                CLR     C
                ADD     A,R6                ;SUM ACC WITH FIRST COLUMN
                MOV     R6,A                ;STORE DATA OF CONTROL COLUMN TO R6
                LCALL   BUSY
                MOVX    @DPTR,A             ;SET COLUMN
                LCALL   BUSY                ;CHECK BUSY
                RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;***********************************
;*** SUBROUTINE TO READ OLD DATA ***
;********* (OUT >> R0) *************
;***********************************
READ_OLD:    PUSH   0E0H
             PUSH   82H
             PUSH   83H
             MOV    A,82H          ;MOV ADDRESS IN DPTL TO ACC BECAUSE
             CLR    C              ;DPTR STORE ADDRESS LOW BYTE OF PORT
             SUBB   A,#82H         ;SUB ADDRESS LOW BYTE WITH 82h TO
             JNC    READ_PDA       ;CHECK IT'S DATA OR CONTROL PORT
             CLR    C              ;IF DATA PORT SUM ACC WITH 6 IF
             MOV    A,82H          ;CONTROL PORT SUM ACC WITH 4
             ADD    A,#06H         ;SUM ACC TO PORT READ DATA
             SJMP   READ_PCL
READ_PDA:    MOV    A,82H
             ADD    A,#04H         ;SUM ACC TO PORT READ DATA
READ_PCL:    MOV    82H,A
             MOVX   A,@DPTR        ;READ DATA IN LCD TO ACC
             LCALL  BUSY
             MOVX   A,@DPTR        ;READ DATA IN LCD TO ACC
             MOV    R0,A           ;STORE DATA IN LCD TO R0
             POP    83H
             POP    82H
             POP    0E0H
             RET

;***********************************
;** ROUTINE TO CHECK RAM ***********
;** WHAT IS STORE IN RAM(EXTERNAL)**
;***********************************
CHECK_RAM:   MOV    R0,#02H
             MOV    DPTR,#00H
JUMP_RAM:    MOVX   A,@DPTR
             CJNE   A,#00H,CLR_RAM
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                CJNE    A,#00H,CLR_RAM
                INC     DPTR
                MOVX    A,@DPTR
                CJNE    A,#0FFH,CLR_RAM
                INC     DPTR
                DJNZ    R0,JUMP_RAM
                SETB    03H
                SJMP    ENDCHRAM
CLR_RAM:        LCALL   CLR_RAMEX
                CLR     03H
ENDCHRAM:       CLR     00H
                CLR     01H
                CLR     04H
                RET

;***********************************
;*** ROUTINE CLEAR RAM (EXTERNAL)***
;***********************************
CLR_RAMEX:      MOV     R0,#93
                MOV     DPTR,#0004H
                MOV     -A,#04H
JUMPCLR1:       MOVX    @DPTR,A
                INC     DPTR
                DJNZ    R0,JUMPCLR1
                MOV     DPTR,#00H
                MOV     A,#00H
                MOVX    @DPTR,A
                INC     DPTR
                CPL     A
                MOVX    @DPTR,A
                INC     DPTR
                CPL     A
                MOVX    @DPTR,A
                INC     DPTR
                CPL     A
                MOVX    @DPTR,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                LCALL   INITGNUM
                LCALL   INITGAIN
                RET


;**********************************
;***** ROUTINE FOR INITIAL VALUE ***
;***** OF GAIN(BAR) ****************
;**********************************
INITGAIN:       MOV     0DH,#31         ; BAR 1
                MOV     0EH,#31         ; BAR 2
                MOV     0FH,#31         ; BAR 3
                MOV     10H,#31         ; BAR 4
                RET

;**********************************
;******* ROUTINE FOR INITIAL VALUE *
;******* OF GAIN(BAR) FROM RAM EXT *
;**********************************
INITOLDGAIN:    PUSH    0E0H
                PUSH    19H
                MOV     19H,#0CH
                LCALL   INI_OG
                MOV     0DH,A
                MOV     19H,#20H
                LCALL   INI_OG
                MOV     0EH,A
                MOV     19H,#34H
                LCALL   INI_OG
                MOV     0FH,A
                MOV     19H,#52H
                LCALL   INI_OG
                MOV     10H,A
                POP     19H
                POP     0E0H
                RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;************ SUB FOR ROUTINE INITOLDGAIN
INI_OG:         PUSH    00H
                MOV     DPL,19H
                MOV     DPH,#00H
                MOVX    A,@DPTR
                CLR     C
                RLC     A
                MOV     R0,A
                MOV     A,#31
                JC      JUM_IOG1
                SUBB    A,R0
                SJMP    ENDINI_OG
JUM_IOG1:       ADD     A,R0
ENDINI_OG:      POP     00H
                RET

;***********************************
;****** ROUTINE FOR SOTORE VALUE ***
;****** OF FREQUENCY ***************
;***********************************
INIFREQ1:       MOV     14H,#0DH
                MOV     15H,#1H
                MOV     16H,#2H
                MOV     17H,#5H
                MOV     18H,#0H
                RET

INIFREQ2:       MOV     14H,#0DH
                MOV     15H,#3H
                MOV     16H,#7H
                MOV     17H,#5H
                MOV     18H,#0H
                RET

INIFREQ3:       MOV     14H,#0DH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ทั้งนี้ห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOV     15H,#6H
                MOV     16H,#2H
                MOV     17H,#5H
                MOV     18H,#0H
                RET

INIFREQ4:       MOV     14H,#0DH
                MOV     15H,#8H
                MOV     16H,#7H
                MOV     17H,#5H
                MOV     18H,#0H
                RET

;**********************************
;******* ROUTINE FOR INITIAL VALUE *
;******* OF GAIN(NUMBER) ***********
;**********************************
INITGNUM:       MOV     11H,#0DH        ;_
                MOV     12H,#00H        ;0
                MOV     13H,#00H        ;8
                RET

;**********************************
;***** ROUTINE FOR INITIAL VALUE ***
;***** OF GAIN(NUMBAR) OLD DATA ****
;***** FORM RAM EXTERNAL ***********
;**********************************
INITOLDGNUM: PUSH   0E0H
                MOV     19H,#0CH
                LCALL   INITON
                POP     0E0H
                RET

INITON:         MOV     DPL,19H
                MOV     DPH,#00H
                MOVX    A,@DPTR
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                JNB    ACC.7,JUM_GN1
                MOV    11H,#0CH        ;- (NEGATIVE)
                SJMP   JUM_GN2
JUM_GN1:        MOV    11H,#0DH
JUM_GN2:        CLR    ACC.7
                CJNE   A,#0AH,JUM_GN3
JUM_GN3:        JC     JUM_GN4
                MOV    12H,#01H        ;1_
                CLR    C
                SUBB   A,#0AH
                SJMP   JUM_GN5
JUM_GN4:        MOV    12H,#00H
JUM_GN5:        MOV    13H,A           ;_X
                RET

;************************************
;** SUBROTINE FOR CHANGE NUBER  ****
;* TO ADDRESS INDEX DATA FOR NUBER *
;** RETURN> ADDRESS FOR INDEX DATA *
;********  IN DPTR ****************
;************************************
INITNUM1:       MOV    A,11H
                LCALL  FINDEXN
                RET

INITNUM2:       MOV    A,12H
                LCALL  FINDEXN
                RET

INITNUM3:       MOV    A,13H
                LCALL  FINDEXN
                RET
;******** initial frequency
INIFEQ1:        MOV    A,14H
                LCALL  FINDEXN
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                RET

INIFEQ2:        MOV     A,15H
                LCALL   FINDEXN
                RET

INIFEQ3:        MOV     A,16H
                LCALL   FINDEXN
                RET

INIFEQ4:        MOV     A,17H
                LCALL   FINDEXN
                RET

INIFEQ5:        MOV     A,18H
                LCALL   FINDEXN
                RET

;**********************************
;***** SET INDEX SCREEN*************
;**********************************
SETIND:         MOV     08H,82H
                MOV     09H,83H
                RET

;**********************************
;***** RUTINE DISPLAY OFF **********
;**********************************
LCDOFF:         PUSH    0E0H
                PUSH    83H
                PUSH    82H
                MOV     A,#DISPOFF
                MOV     DPTR,#LCDCTRL1
                MOVX    @DPTR,A
                INC     DPTR
                MOVX    @DPTR,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                POP     82H
                POP     83H
                POP     0E0H
                RET
;***********************************
;***** RUTINE DISPLAY ON  **********
;***********************************
LCDON:          PUSH    0E0H
                PUSH    83H
                PUSH    82H
                MOV     A,#DISPON
                MOV     DPTR,#LCDCTRL1
                MOVX    @DPTR,A
                INC     DPTR
                MOVX    @DPTR,A
                POP     82H
                POP     83H
                POP     0E0H
                RET

;***********************************
;********WAIT BUSY TO READY*********
;***********************************

BUSY:           PUSH    82H
                PUSH    83H
                PUSH    0E0H
                PUSH    00H
                MOV     R0,82H          ;R0 index to DPL
                CJNE    R0,#86H,BUSY_NX
BUSY_NX:        JC      BUSY_NX1
                DEC     DPL
                DEC     DPL
                SJMP    BUL
BUSY_NX1:       CJNE    R0,#81H,INCDPT0   ;It is control port ?
                SJMP    INCDPT1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
INCDPT0:    JNC    INCDPT2        ;No,It is data port. Jump to incdpt2
INCDPT1:    INC    DPTR           ;Yes,It is control port increment control-
            INC    DPTR           ; port to read port.
INCDPT2:    INC    DPTR           ;increment data port to read port
            INC    DPTR
BUL:        MOVX   A,@DPTR        ;read status of busy flag
            JB     ACC.7,BUL      ;lcd ready ?. No. Jump to bul.
            POP    00H            ;            (busy (ACC.7)= 1)
            POP    0E0H
            POP    83H
            POP    82H
            RET

LBAR:       DB 0FFH,0FFH,0FFH,0FFH,0FFH,0FFH,0FFH,0FFH,0FFH
CBAR:       DB 00H,00H,00H,00H,00H,00H,00H,00H,00H
AGRAPH:     DB  00H,1CH,3EH,63H,41H,49H,7BH,7BH
            DB  00H,7FH,7FH,09H,09H,79H,76H
            DB  00H,7CH,7EH,09H,09H,7EH,7CH
            DB  00H,7FH,7FH,09H,09H,09H,06H
            DB  00H,7FH,7FH,08H,08H,7FH,7FH
TB_GRAPH:   DB  27,24,21,18,15,12,11,9,7,6,5,4
            DB  30,33,36,39,42,44,46,48,50,51,52
BLACK:      DB 0FEH,0FEH,0FEH,0FEH,0FEH,0FEH,0FEH
            DB 0FEH,0FEH,0FEH,0FEH,0FEH,0FEH,0FEH
            DB 0FEH,0FEH,0FEH,0FEH,0FEH,0FEH,0FEH
            DB 0FEH,0FEH,0FEH,0FEH,0FEH,0FEH,0FEH
GAIN:       DB 0C6H,0BAH,0AAH,8AH,0FEH,9EH,0AEH
            DB 0CEH,0BEH,0FEH,08AH,0FEH,0EEH,9EH
            DB 0EEH,8EH
BW:         DB 82H,0AAH,0AAH,0D6H,0FEH,0BEH,0FEH
            DB 0C2H,0BEH,0CEH,0BEH,0C2H,0FEH,0BEH
STATUS:     DB 0B6H,0AAH,0DAH,0FEH,0F6H,82H,0B6H
            DB 0FEH,9EH,0AEH,0CEH,0BEH,0F6H,82H
            DB 0B6H,0FEH,8EH,0BEH,8EH,0FEH,0BEH
            DB 8EH,0EEH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Wait:     DB 78H,80H,78H,80H,78H,00H,0C0H,0A0H
          DB 60H,80H,00H,0E8H,00H,10H,0F8H,90H
Adj:      DB 00H,00H,00H,0F0H,28H,28H,0F0H,00H
          DB 0C0H,0A0H,0F8H,00H,80H,80H,0E8H,00H
Std:      DB 00H,00H,00H,90H,0A8H,48H,00H,10H
          DB 0F8H,90H,00H,0C0H,0A0H,0F8H,00H,00H
READY:    DB 0F8H,28H,0D0H,00H
          DB 0F8H,0A8H,88H,00H
          DB 0F0H,28H,0F0H,00H
          DB 0F8H,88H,70H,00H
          DB 38H,0E0H,38H
Hz:       DB 0F8H,20H,0F8H,00H,0D0H,0D0H,0B0H
dB:       DB 30H,28H,3EH,00H,3EH,2AH,14H
zero:     DB 00H,07CH,44H,7CH,00H
one:      DB 00H,48H,07CH,40H,00H
two:      DB 00H,074H,054H,05CH,00H
three:    DB 00H,054H,054H,07CH,00H
four:     DB 00H,1CH,10H,07CH,00H
five:     DB 00H,05CH,054H,074H,00H
six:      DB 00H,07CH,054H,074H,00H
seven:    DB 00H,04H,04H,07CH,00H
eight:    DB 00H,07CH,054H,07CH,00H
nine:     DB 00H,05CH,054H,07CH,00H
point:    DB 00H,40H,00H
kilo:     DB 00H,7CH,10H,6CH,00H
minus:    DB 10H,10H,10H
withe:    DB 00H,00H,00H,00H,00H,00H,00H,00H
          DB 00H,00H,00H,00H,00H,00H,00H,00H
          DB 00H,00H,00H,00H
find:     DB 00H,07EH,0AH,02H,00H,74H,00H,10H
          DB 60H,10H,70H,00H,60H,50H,7EH,00H

COS0:
          DB 66H,5EH,48H,27H,00H,0DAH,0B9H,0A3H,9AH,0A2H,0B7H
          DB 0D8H,0FFH,25H,46H,5DH,66H,5FH,49H,29H,02H,0DCH
          DB 0BAH,0A3H,9AH,0A1H,0B6H,0D6H,0FDH,23H,45H,5CH,66H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        DB 5FH,4BH,2BH,04H,0DEH,0BCH,0A4H,9BH,0A0H,0B5H,0D5H
        DB 0FBH,21H,44H,5BH,65H,60H,4CH,2CH,06H,0E0H,0BDH
        DB 0A5H,9BH,0A0H,0B3H,0D3H,0F9H,1FH,42H,5BH,65H,61H
        DB 4DH,2EH,08H,0E2H,0BFH,0A6H,9BH,9FH,0B2H,0D1H,0F7H
        DB 1EH,40H,5AH,65H,61H,4FH,30H,0AH,0E3H,0C0H,0A7H
        DB 9BH,9FH,0B1H,0CFH,0F5H,1CH,3FH,59H,65H,62H,50H
        DB 32H,0CH,0E5H,0C2H,0A8H,9BH,9EH,0B0H,0CDH,0F3H,1AH
        DB 3DH,58H,65H,62H,51H,33H,0EH,0E7H,0C3H,0A9H,9CH
        DB 9DH,0AEH,0CCH,0F1H,18H,3CH,57H,64H,63H,52H,35H
        DB 10H,0E9H,0C5H,0AAH,9CH,9DH,0ADH,0CAH,0EFH,16H,3AH
        DB 56H,64H,63H,53H,37H,12H,0EBH,0C7H,0ABH,9CH,9DH
        DB 0ACH,0C8H,0EDH,14H,38H,54H,64H,64H,54H,38H,14H
        DB 0EDH,0C8H,0ACH,9DH,9CH,0ABH,0C7H,0EBH,12H,37H,53H
        DB 63H,64H,56H,3AH,16H,0EFH,0CAH,0ADH,9DH,9CH,0AAH
        DB 0C5H,0E9H,10H,35H,52H,63H,64H,57H,3CH,18H,0F1H
        DB 0CCH,0AEH,9DH,9CH,0A9H,0C3H,0E7H,0EH,33H,51H,62H
        DB 65H,58H,3DH,1AH,0F3H,0CDH,0B0H,9EH,9BH,0A8H,0C2H
        DB 0E5H,0CH,32H,50H,62H,65H,59H,3FH,1CH,0F5H,0CFH
        DB 0B1H,9FH,9BH,0A7H,0C0H,0E3H,0AH,30H,4FH,61H,65H
        DB 5AH,40H,1EH,0F7H,0D1H,0B2H,9FH,9BH,0A6H,0BFH,0E2H
        DB 08H,2EH,4DH,61H,65H,5BH,42H,1FH,0F9H,0D3H,0B3H
        DB 0A0H,9BH,0A5H,0BDH,0E0H,06H,2CH,4CH,60H,65H,5BH
        DB 44H,21H,0FBH,0D5H,0B5H,0A0H,9BH,0A4H,0BCH,0DEH,04H
        DB 2BH,4BH,5FH,66H,5CH,45H,23H,0FDH,0D6H,0B6H,0A1H
        DB 9AH,0A3H,0BAH,0DCH,02H,29H,49H,5FH,66H,5DH,46H
        DB 25H,0FFH,0D8H,0B7H,0A2H,9AH,0A3H,0B9H,0DAH,00H,27H
        DB 48H,5EH

COS1:
        DB 66H,5FH,4BH,2CH,08H,0E3H,0C2H,0A9H,9CH,9DH,0ABH
        DB 0C5H,0E7H,0CH,30H,4DH,60H,66H,5DH,48H,29H,04H
        DB 0E0H,0BFH,0A7H,9BH,9DH,0ADH,0C8H,0EBH,10H,33H,50H
        DB 61H,65H,5BH,45H,25H,00H,0DCH,0BCH,0A5H,9BH,9FH
        DB 0B0H,0CCH,0EFH,14H,37H,52H,62H,65H,5AH,42H,21H
        DB 0FDH,0D8H,0B9H,0A3H,9BH,0A0H,0B2H,0CFH,0F3H,18H,3AH
        DB 54H,63H,64H,58H,3FH,1EH,0F9H,0D5H,0B6H,0A2H,9AH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DB 0A1H,0B5H,0D3H,0F7H,1CH,3DH,57H,64H,64H,56H,3CH

DB 1AH,0F5H,0D1H,0B3H,0A0H,9AH,0A3H,0B7H,0D6H,0FBH,1FH

DB 40H,59H,65H,63H,53H,38H,16H,0F1H,0CDH,0B1H,9FH

DB 9BH,0A4H,0BAH,0DAH,0FFH,23H,44H,5BH,65H,62H,51H

DB 35H,12H,0EDH,0CAH,0AEH,9EH,9BH,0A6H,0BDH,0DEH,02H

DB 27H,46H,5CH,65H,61H,4FH,32H,0EH,0E9H,0C7H,0ACH

DB 9DH,9CH,0A8H,0C0H,0E2H,06H,2BH,49H,5EH,66H,5FH

DB 4CH,2EH,0AH,0E5H,0C3H,0AAH,9CH,9CH,0AAH,0C3H,0E5H

DB 0AH,2EH,4CH,5FH,66H,5EH,49H,2BH,06H,0E2H,0C0H

DB 0A8H,9CH,9DH,0ACH,0C7H,0E9H,0EH,32H,4FH,61H,65H

DB 5CH,46H,27H,02H,0DEH,0BDH,0A6H,9BH,9EH,0AEH,0CAH

DB 0EDH,12H,35H,51H,62H,65H,5BH,44H,23H,0FFH,0DAH

DB 0BAH,0A4H,9BH,9FH,0B1H,0CDH,0F1H,16H,38H,53H,63H

DB 65H,59H,40H,1FH,0FBH,0D6H,0B7H,0A3H,9AH,0A0H,0B3H

DB 0D1H,0F5H,1AH,3CH,56H,64H,64H,57H,3DH,1CH,0F7H

DB 0D3H,0B5H,0A1H,9AH,0A2H,0B6H,0D5H,0F9H,1EH,3FH,58H

DB 64H,63H,54H,3AH,18H,0F3H,0CFH,0B2H,0A0H,9BH,0A3H

DB 0B9H,0D8H,0FDH,21H,42H,5AH,65H,62H,52H,37H,14H

DB 0EFH,0CCH,0B0H,9FH,9BH,0A5H,0BCH,0DCH,00H,25H,45H

DB 5BH,65H,61H,50H,33H,10H,0EBH,0C8H,0ADH,9DH,9BH

DB 0A7H,0BFH,0E0H,04H,29H,48H,5DH,66H,60H,4DH,30H

DB 0CH,0E7H,0C5H,0ABH,9DH,9CH,0A9H,0C2H,0E3H,08H,2CH

DB 4BH,5FH

COS2:

DB 66H,5FH,4DH.32H,10H,0EDH,0CCH,0B1H,0A0H,9AH,0A2H

DB 0B5H,0D1H,0F3H,16H,37H,51H,61H,65H,5DH,49H,2CH

DB 0AH,0E7H,0C7H,0ADH,9EH,9BH,0A4H,0B9H,0D6H,0F9H,1CH

DB 3CH,54H,63H,65H,5BH,45H,27H,04H,0E2H,0C2H,0AAH

DB 9DH,9CH,0A7H,0BDH,0DCH,0FFH,21H,40H,58H,64H,64H

DB 58H,40H,21H,0FFH,0DCH,0BDH,0A7H,9CH,9DH,0AAH,0C2H

DB 0E2H,04H,27H,45H,5BH,65H,63H,54H,3CH,1CH,0F9H

DB 0D6H,0B9H,0A4H,9BH,9EH,0ADH,0C7H,0E7H,0AH,2CH,49H

DB 5DH,65H,61H,51H,37H,16H,0F3H,0D1H,0B5H,0A2H,9AH

DB 0A0H.0B1H,0CCH,0EDH,10H,32H,4DH,5FH,66H,5FH,4DH

DB 32H,10H,0EDH,0CCH,0B1H,0A0H,9AH,0A2H,0B5H,0D1H,0F3H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
DB 16H,37H,51H,61H,65H,5DH,49H,2CH,0AH,0E7H,0C7H
DB 0ADH,9EH,9BH,0A4H,0B9H,0D6H,0F9H,1CH,3CH,54H,63H
DB 65H,5BH,45H,27H,04H,0E2H,0C2H,0AAH,9DH,9CH,0A7H
DB 0BDH,0DCH,0FFH,21H,40H,58H,64H,64H,58H,40H,21H
DB 0FFH,0DCH,0BDH,0A7H,9CH,9DH,0AAH,0C2H,0E2H,04H,27H
DB 45H,5BH,65H,63H,54H,3CH,1CH,0F9H,0D6H,0B9H,0A4H
DB 9BH,9EH,0ADH,0C7H,0E7H,0AH,2CH,49H,5DH,65H,61H
DB 51H,37H,16H,0F3H,0D1H,0B5H,0A2H,9AH,0A0H,0B1H,0CCH
DB 0EDH,10H,32H,4DH,5FH,66H,5FH,4DH,32H,10H,0EDH
DB 0CCH,0B1H,0A0H,9AH,0A2H,0B5H,0D1H,0F3H,16H,37H,51H
DB 61H,65H,5DH,49H,2CH,0AH,0E7H,0C7H,0ADH,9EH,9BH
DB 0A4H,0B9H,0D6H,0F9H,1CH,3CH,54H,63H,65H,5BH,45H
DB 27H,04H,0E2H,0C2H,0AAH,9DH,9CH,0A7H,0BDH,0DCH,0FFH
DB 21H,40H,58H,64H,64H,58H,40H,21H,0FFH,0DCH,0BDH
DB 0A7H,9CH,9DH,0AAH,0C2H,0E2H,04H,27H,45H,5BH,65H
DB 63H,54H,3CH,1CH,0F9H,0D6H,0B9H,0A4H,9BH,9EH,0ADH
DB 0C7H,0E7H,0AH,2CH,49H,5DH,65H,61H,51H,37H,16H
DB 0F3H,0D1H,0B5H,0A2H,9AH,0A0H,0B1H,0CCH,0EDH,10H,32H
DB 4DH,5FH
```

COS3:

```
DB 66H,60H,50H,37H,18H,0F7H,0D6H,0BAH,0A6H,9CH,9CH
DB 0A8H,0BDH,0DAH,0FBH,1CH,3AH,52H,61H,66H,5FH,4DH
DB 33H,14H,0F3H,0D3H,0B7H,0A4H,9BH,9DH,0AAH,0C0H,0DEH
DB 0FFH,1FH,3DH,54H,62H,65H,5DH,4BH,30H,10H,0EFH
DB 0CFH,0B5H,0A3H,9BH,9EH,0ACH,0C3H,0E2H,02H,23H,40H
DB 57H,63H,65H,5BH,48H,2CH,0CH,0EBH,0CCH,0B2H,0A1H
DB 9AH,9FH,0AEH,0C7H,0E5H,06H,27H,44H,59H,64H,64H
DB 5AH,45H,29H,08H,0E7H,0C8H,0B0H,0A0H,9AH,0A0H,0B1H
DB 0CAH,0E9H,0AH,2BH,46H,5BH,65H,64H,58H,42H,25H
DB 04H,0E3H,0C5H,0ADH,9FH,9BH,0A2H,0B3H,0CDH,0EDH,0EH
DB 2EH,49H,5CH,65H,63H,56H,3FH,21H,00H,0E0H,0C2H
DB 0ABH,9DH,9BH,0A3H,0B6H,0D1H,0F1H,12H,32H,4CH,5EH
DB 65H,62H,53H,3CH,1EH,0FDH,0DCH,0BFH,0A9H,9DH,9BH
DB 0A5H,0B9H,0D5H,0F5H,16H,35H,4FH,5FH,66H,61H,51H
DB 38H,1AH,0F9H,0D8H,0BCH,0A7H,9CH,9CH,0A7H,0BCH,0D8H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

DB 0F9H,1AH,38H,51H,61H,66H,5FH,4FH,35H,16H,0F5H

DB 0D5H,0B9H,0A5H,9BH,9DH,0A9H,0BFH,0DCH,0FDH,1EH,3CH

DB 53H,62H,65H,5EH,4CH,32H,12H,0F1H,0D1H,0B6H,0A3H

DB 9BH,9DH,0ABH,0C2H,0E0H,00H,21H,3FH,56H,63H,65H

DB 5CH,49H,2EH,0EH,0EDH,0CDH,0B3H,0A2H,9BH,9FH,0ADH

DB 0C5H,0E3H,04H,25H,42H,58H,64H,65H,5BH,46H,2BH

DB 0AH,0E9H,0CAH,0B1H,0A0H,9AH,0A0H,0B0H,0C8H,0E7H,08H

DB 29H,45H,5AH,64H,64H,59H,44H,27H,06H,0E5H,0C7H

DB 0AEH,9FH,9AH,0A1H,0B2H,0CCH,0EBH,0CH,2CH,48H,5BH

DB 65H,63H,57H,40H,23H,02H,0E2H,0C3H,0ACH,9EH,9BH

DB 0A3H,0B5H,0CFH,0EFH,10H,30H,4BH,5DH,65H,62H,54H

DB 3DH,1FH,0FFH,0DEH,0C0H,0AAH,9DH,9BH,0A4H,0B7H,0D3H

DB 0F3H,14H,33H,4DH,5FH,66H,61H,52H,3AH,1CH,0FBH

DB 0DAH,0BDH,0A8H,9CH,9CH,0A6H,0BAH,0D6H,0F7H,18H,37H

DB 50H,60H

COS4:

DB 66H,61H,52H,3CH,1FH,00H,0E2H,0C5H,0AEH,0A0H,9AH

DB 9FH,0ADH,0C3H,0E0H,0FFH,1EH,3AH,51H,60H,66H,61H

DB 53H,3DH,21H,02H,0E3H,0C7H,0B0H,0A0H,9AH,9FH,0ACH

DB 0C2H,0DEH,0FDH,1CH,38H,50H,5FH,66H,62H,54H,3FH

DB 23H,04H,0E5H,0C8H,0B1H,0A1H,9BH,9EH,0ABH,0C0H,0DCH

DB 0FBH,1AH,37H,4FH,5FH,65H,62H,56H,40H,25H,06H

DB 0E7H,0CAH,0B2H,0A2H,9BH,9DH,0AAH,0BFH,0DAH,0F9H,18H

DB 35H,4DH,5EH,65H,63H,57H,42H,27H,08H,0E9H,0CCH

DB 0B3H,0A3H,9BH,9DH,0A9H,0BDH,0D8H,0F7H,16H,33H,4CH

DB 5DH,65H,63H,58H,44H,29H,0AH,0EBH,0CDH,0B5H,0A3H

DB 9BH,9DH,0A8H,0BCH,0D6H,0F5H,14H,32H,4BH,5CH,65H

DB 64H,59H,45H,2BH,0CH,0EDH,0CFH,0B6H,0A4H,9BH,9CH

DB 0A7H,0BAH,0D5H,0F3H,12H,30H,49H,5BH,65H,64H,5AH

DB 46H,2CH,0EH,0EFH,0D1H,0B7H,0A5H,9CH,9CH,0A6H,0B9H

DB 0D3H,0F1H,10H,2EH,48H,5BH,64H,64H,5BH,48H,2EH

DB 10H,0F1H,0D3H,0B9H,0A6H,9CH,9CH,0A5H,0B7H,0D1H,0EFH

DB 0EH,2CH,46H,5AH,64H,65H,5BH,49H,30H,12H,0F3H

DB 0D5H,0BAH,0A7H,9CH,9BH,0A4H,0B6H,0CFH,0EDH,0CH,2BH

DB 45H,59H,64H,65H,5CH,4BH,32H,14H,0F5H,0D6H,0BCH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DB 0A8H,9DH,9BH,0A3H,0B5H,0CDH,0EBH,0AH,29H,44H,58H

DB 63H,65H,5DH,4CH,33H,16H,0F7H,0D8H,0BDH,0A9H,9DH

DB 9BH,0A3H,0B3H,0CCH,0E9H,08H,27H,42H,57H,63H,65H

DB 5EH,4DH,35H,18H,0F9H,0DAH,0BFH,0AAH,9DH,9BH,0A2H

DB 0B2H,0CAH,0E7H,06H,25H,40H,56H,62H,65H,5FH,4FH

DB 37H,1AH,0FBH,0DCH,0C0H,0ABH,9EH,9BH,0A1H,0B1H,0C8H

DB 0E5H,04H,23H,3FH,54H,62H,66H,5FH,50H,38H,1CH

DB 0FDH,0DEH,0C2H,0ACH,9FH,9AH,0A0H,0B0H,0C7H,0E3H,02H

DB 21H,3DH,53H,61H,66H,60H,51H,3AH,1EH,0FFH,0E0H

DB 0C3H,0ADH,9FH,9AH,0A0H,0AEH,0C5H,0E2H,00H,1FH,3CH

DB 52H,61H

COS5:

DB 66H,61H,54H,40H,27H,0AH,0EDH,0D1H,0B9H,0A7H,9DH

DB 9BH,0A2H,0B1H,0C7H,0E2H,0FFH,1CH,37H,4DH,5DH,65H

DB 64H,5BH,49H,32H,16H,0F9H,0DCH,0C2H,0ADH,0A0H,9AH

DB 9EH,0AAH,0BDH,0D6H,0F3H,10H,2CH,45H,58H,63H,65H

DB 5FH,51H,3CH,21H,04H,0E7H,0CCH,0B5H,0A4H,9CH,9CH

DB 0A4H,0B5H,0CCH,0E7H,04H,21H,3CH,51H,5FH,65H,63H

DB 58H,45H,2CH,10H,0F3H,0D6H,0BDH,0AAH,9EH,9AH,0A0H

DB 0ADH,0C2H,0DCH,0F9H,16H,32H,49H,5BH,64H,65H,5DH

DB 4DH,37H,1CH,0FFH,0E2H,0C7H,0B1H,0A2H,9BH,9DH,0A7H

DB 0B9H,0D1H,0EDH,0AH,27H,40H.54H,61H,66H,61H,54H

DB 40H,27H,0AH,0EDH,0D1H,0B9H,0A7H,9DH,9BH,0A2H,0B1H

DB 0C7H,0E2H,0FFH,1CH,37H,4DH,5DH,65H,64H,5BH,49H

DB 32H,16H,0F9H,0DCH,0C2H,0ADH,0A0H,9AH,9EH,0AAH,0BDH

DB 0D6H,0F3H,10H,2CH,45H,58H,63H,65H,5FH,51H,3CH

DB 21H,04H,0E7H,0CCH,0B5H,0A4H,9CH,9CH,0A4H,0B5H,0CCH

DB 0E7H,04H,21H,3CH,51H,5FH,65H,63H,58H,45H,2CH

DB 10H,0F3H,0D6H,0BDH,0AAH,9EH,9AH,0A0H,0ADH,0C2H,0DCH

DB 0F9H,16H,32H,49H,5BH,64H,65H,5DH,4DH,37H,1CH

DB 0FFH,0E2H,0C7H,0B1H,0A2H,9BH,9DH,0A7H,0B9H,0D1H,0EDH

DB 0AH,27H,40H,54H,61H,66H,61H,54H,40H,27H,0AH

DB 0EDH,0D1H,0B9H,0A7H,9DH,9BH,0A2H,0B1H,0C7H,0E2H,0FFH

DB 1CH,37H,4DH,5DH,65H,64H,5BH,49H,32H,16H,0F9H

DB 0DCH,0C2H,0ADH,0A0H,9AH,9EH,0AAH,0BDH,0D6H,0F3H,10H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DB 2CH,45H,58H,63H,65H,5FH,51H,3CH,21H,04H,0E7H

DB 0CCH,0B5H,0A4H,9CH,9CH,0A4H,0B5H,0CCH,0E7H,04H,21H

DB 3CH,51H,5FH,65H,63H,58H,45H,2CH,10H,0F3H,0D6H

DB 0BDH,0AAH,9EH,9AH,0A0H,0ADH,0C2H,0DCH,0F9H,16H,32H

DB 49H,5BH,64H,65H,5DH,4DH,37H,1CH,0FFH,0E2H,0C7H

DB 0B1H,0A2H,9BH,9DH,0A7H,0B9H,0D1H,0EDH,0AH,27H,40H

DB 54H,61H

COS6:

DB 66H,62H,57H,45H,2EH,14H,0F9H,0DEH,0C5H,0B1H,0A3H

DB 9BH,9CH,0A3H,0B2H,0C7H,0E0H,0FBH,16H,30H,46H,58H

DB 62H,66H,61H,56H,44H,2CH,12H,0F7H,0DCH,0C3H,0B0H

DB 0A2H,9BH,9CH,0A4H,0B3H,0C8H,0E2H,0FDH,18H,32H,48H

DB 59H,63H,66H,61H,54H,42H,2BH,10H,0F5H,0DAH,0C2H

DB 0AEH,0A1H,9BH,9CH,0A5H,0B5H,0CAH,0E3H,0FFH,1AH,33H

DB 49H,5AH,63H,65H,60H,53H,40H,29H,0EH,0F3H,0D8H

DB 0C0H,0ADH,0A0H,9BH,9DH,0A6H,0B6H,0CCH,0E5H,00H,1CH

DB 35H,4BH,5BH,64H,65H,5FH,52H,3FH,27H,0CH,0F1H

DB 0D6H,0BFH,0ACH,0A0H,9BH,9DH,0A7H,0B7H,0CDH,0E7H,02H

DB 1EH,37H,4CH,5BH,64H,65H,5FH,51H,3DH,25H,0AH

DB 0EFH,0D5H,0BDH,0ABH,9FH,9AH,9DH,0A8H,0B9H,0CFH,0E9H

DB 04H,1FH,38H,4DH,5CH,64H,65H,5EH,50H,3CH,23H

DB 08H,0EDH,0D3H,0BCH,0AAH,9FH,9AH,9EH,0A9H,0BAH,0D1H

DB 0EBH,06H,21H,3AH,4FH,5DH,65H,65H,5DH,4FH,3AH

DB 21H,06H,0EBH,0D1H,0BAH,0A9H,9EH,9AH,9FH,0AAH,0BCH

DB 0D3H,0EDH,08H,23H,3CH,50H,5EH,65H,64H,5CH,4DH

DB 38H,1FH,04H,0E9H,0CFH,0B9H,0A8H,9DH,9AH,9FH,0ABH

DB 0BDH,0D5H,0EFH,0AH,25H,3DH,51H,5FH,65H,64H,5BH

DB 4CH,37H,1EH,02H,0E7H,0CDH,0B7H,0A7H,9DH,9BH,0A0H

DB 0ACH,0BFH,0D6H,0F1H,0CH,27H,3FH,52H,5FH,65H,64H

DB 5BH,4BH,35H,1CH,00H,0E5H,0CCH,0B6H,0A6H,9DH,9BH

DB 0A0H,0ADH,0C0H,0D8H,0F3H,0EH,29H,40H,53H,60H,65H

DB 63H,5AH,49H,33H,1AH,0FFH,0E3H,0CAH,0B5H,0A5H,9CH

DB 9BH,0A1H,0AEH,0C2H,0DAH,0F5H,10H,2BH,42H,54H,61H

DB 66H,63H,59H,48H,32H,18H,0FDH,0E2H,0C8H,0B3H,0A4H

DB 9CH,9BH,0A2H,0B0H,0C3H,0DCH,0F7H,12H,2CH,44H,56H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

```
        DB 61H,66H,62H,58H,46H,30H,16H,0FBH,0E0H,0C7H,0B2H
        DB 0A3H,9CH,9BH,0A3H,0B1H,0C5H,0DEH,0F9H,14H,2EH,45H
        DB 57H,62H

COS7:
        DB 66H,62H,59H,49H,35H,1EH,04H,0EBH,0D3H,0BDH,0ACH
        DB 0A0H,9BH,9CH,0A3H,0B1H,0C3H,0DAH,0F3H,0CH,25H,3CH
        DB 4FH,5CH,64H,65H,60H,54H,44H,2EH,16H,0FDH,0E3H
        DB 0CCH,0B7H,0A8H,9EH,9AH,9DH,0A7H,0B6H,0CAH,0E2H,0FBH
        DB 14H,2CH,42H,53H,5FH,65H,64H,5DH,50H,3DH,27H
        DB 0EH,0F5H,0DCH,0C5H,0B2H,0A4H,9CH,9BH,0A0H,0ABH,0BCH
        DB 0D1H,0E9H,02H,1CH,33H,48H,58H,62H,66H,63H,5AH
        DB 4BH,37H,1FH,06H,0EDH,0D5H,0BFH,0ADH,0A1H,9BH,9CH
        DB 0A3H,0B0H,0C2H,0D8H,0F1H,0AH,23H,3AH,4DH,5BH,64H
        DB 65H,61H,56H,45H,30H,18H,0FFH,0E5H,0CDH,0B9H,0A9H
        DB 9FH,9AH,9DH,0A6H,0B5H,0C8H,0E0H,0F9H,12H,2BH,40H
        DB 52H,5FH,65H,65H,5EH,51H,3FH,29H,10H,0F7H,0DEH
        DB 0C7H,0B3H,0A5H,9DH,9BH,9FH,0AAH,0BAH,0CFH,0E7H,00H
        DB 1AH,32H,46H,57H,61H,66H,63H,5BH,4CH,38H,21H
        DB 08H,0EFH,0D6H,0C0H,0AEH,0A2H,9BH,9BH,0A2H,0AEH,0C0H
        DB 0D6H,0EFH,08H,21H,38H,4CH,5BH,63H,66H,61H,57H
        DB 46H,32H,1AH,00H,0E7H,0CFH,0BAH,0AAH,9FH,9BH,9DH
        DB 0A5H,0B3H,0C7H,0DEH,0F7H,10H,29H,3FH,51H,5EH,65H
        DB 65H,5FH,52H,40H,2BH,12H,0F9H,0E0H,0C8H,0B5H,0A6H
        DB 9DH,9AH,9FH,0A9H,0B9H,0CDH,0E5H,0FFH,18H,30H,45H
        DB 56H,61H,65H,64H,5BH,4DH,3AH,23H,0AH,0F1H,0D8H
        DB 0C2H,0B0H,0A3H,9CH,9BH,0A1H,0ADH,0BFH,0D5H,0EDH,06H
        DB 1FH,37H,4BH,5AH,63H,66H,62H,58H,48H,33H,1CH
        DB 02H,0E9H,0D1H,0BCH,0ABH,0A0H,9BH,9CH,0A4H,0B2H,0C5H
        DB 0DCH,0F5H,0EH,27H,3DH,50H,5DH,64H,65H,5FH,53H
        DB 42H,2CH,14H,0FBH,0E2H,0CAH,0B6H,0A7H,9DH,9AH,9EH
        DB 0A8H,0B7H,0CCH,0E3H,0FDH,16H,2EH,44H,54H,60H,65H
        DB 64H,5CH,4FH,3CH,25H,0CH,0F3H,0DAH,0C3H,0B1H,0A3H
        DB 9CH,9BH,0A0H,0ACH,0BDH,0D3H,0EBH,04H,1EH,35H,49H
        DB 59H,62H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COS8:

DB 66H,63H,5BH,4DH,3CH,27H,10H,0F9H,0E2H,0CCH,0B9H
DB 0AAH,0A0H,9BH,9CH,0A2H,0ADH,0BDH,0D1H,0E7H,0FFH,16H
DB 2CH,40H,51H,5DH,64H,65H,61H,58H,49H,37H,21H
DB 0AH,0F3H,0DCH,0C7H,0B5H,0A7H,9EH,9AH,9DH,0A4H,0B1H
DB 0C2H,0D6H,0EDH,04H,1CH,32H,45H,54H,5FH,65H,65H
DB 5FH,54H,45H,32H,1CH,04H,0EDH,0D6H,0C2H,0B1H,0A4H
DB 9DH,9AH,9EH,0A7H,0B5H,0C7H,0DCH,0F3H,0AH,21H,37H
DB 49H,58H,61H,65H,64H,5DH,51H,40H,2CH,16H,0FFH
DB 0E7H,0D1H,0BDH,0ADH,0A2H,9CH,9BH,0A0H,0AAH,0B9H,0CCH
DB 0E2H,0F9H,10H,27H,3CH,4DH,5BH,63H,66H,63H,5BH
DB 4DH,3CH,27H,10H,0F9H,0E2H,0CCH,0B9H,0AAH,0A0H,9BH
DB 9CH,0A2H,0ADH,0BDH,0D1H,0E7H,0FFH,16H,2CH,40H,51H
DB 5DH,64H,65H,61H,58H,49H,37H,21H,0AH,0F3H,0DCH
DB 0C7H,0B5H,0A7H,9EH,9AH,9DH,0A4H,0B1H,0C2H,0D6H,0EDH
DB 04H,1CH,32H,45H,54H,5FH,65H,65H,5FH,54H,45H
DB 32H,1CH,04H,0EDH,0D6H,0C2H,0B1H,0A4H,9DH,9AH,9EH
DB 0A7H,0B5H,0C7H,0DCH,0F3H,0AH,21H,37H,49H,58H,61H
DB 65H,64H,5DH,51H,40H,2CH,16H,0FFH,0E7H,0D1H,0BDH
DB 0ADH,0A2H,9CH,9BH,0A0H,0AAH,0B9H,0CCH,0E2H,0F9H,10H
DB 27H,3CH,4DH,5BH,63H,66H,63H,5BH,4DH,3CH,27H
DB 10H,0F9H,0E2H,0CCH,0B9H,0AAH,0A0H,9BH,9CH,0A2H,0ADH
DB 0BDH,0D1H,0E7H,0FFH,16H,2CH,40H,51H,5DH,64H,65H
DB 61H,58H,49H,37H,21H,0AH,0F3H,0DCH,0C7H,0B5H,0A7H
DB 9EH,9AH,9DH,0A4H,0B1H,0C2H,0D6H,0EDH,04H,1CH,32H
DB 45H,54H,5FH,65H,65H,5FH,54H,45H,32H,1CH,04H
DB 0EDH,0D6H,0C2H,0B1H,0A4H,9DH,9AH,9EH,0A7H,0B5H,0C7H
DB 0DCH,0F3H,0AH,21H,37H,49H,58H,61H,65H,64H,5DH
DB 51H,40H,2CH,16H,0FFH,0E7H,0D1H,0BDH,0ADH,0A2H,9CH
DB 9BH,0A0H,0AAH,0B9H,0CCH,0E2H,0F9H,10H,27H,3CH,4DH
DB 5BH,63H

COS9:

DB 66H,63H,5CH,51H,42H,30H,1CH,06H,0F1H,0DCH,0C8H
DB 0B7H,0AAH,0A0H,9BH,9BH,9FH,0A8H,0B5H,0C5H,0D8H,0EDH
DB 02H,18H,2CH,3FH,4FH,5BH,62H,66H,64H,5EH,53H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
DB 45H,33H,1FH,0AH,0F5H,0E0H,0CCH,0BAH,0ACH,0A2H,9CH
DB 9BH,9EH,0A6H,0B2H,0C2H,0D5H,0E9H,0FFH,14H,29H,3CH
DB 4CH,59H,61H,65H,65H,5FH,56H,48H,37H,23H,0EH
DB 0F9H,0E3H,0CFH,0BDH,0AEH,0A3H,9DH,9AH,9DH,0A4H,0B0H
DB 0BFH,0D1H,0E5H,0FBH,10H,25H,38H,49H,57H,60H,65H
DB 65H,61H,58H,4BH,3AH,27H,12H,0FDH,0E7H,0D3H,0C0H
DB 0B1H,0A5H,9DH,9AH,9CH,0A3H,0ADH,0BCH,0CDH,0E2H,0F7H
DB 0CH,21H,35H,46H,54H,5FH,64H,65H,62H,5AH,4DH
DB 3DH,2BH,16H,00H,0EBH,0D6H,0C3H,0B3H,0A7H,9FH,9BH
DB 9CH,0A1H,0ABH,0B9H,0CAH,0DEH,0F3H,08H,1EH,32H,44H
DB 52H,5DH,64H,66H,63H,5BH,50H,40H,2EH,1AH,04H
DB 0EFH,0DAH,0C7H,0B6H,0A9H,0A0H,9BH,9BH,0A0H,0A9H,0B6H
DB 0C7H,0DAH,0EFH,04H,1AH,2EH,40H,50H,5BH,63H,66H
DB 64H,5DH,52H,44H,32H,1EH,08H,0F3H,0DEH,0CAH,0B9H
DB 0ABH,0A1H,9CH,9BH,9FH,0A7H,0B3H,0C3H,0D6H,0EBH,00H
DB 16H,2BH,3DH,4DH,5AH,62H,65H,64H,5FH,54H,46H
DB 35H,21H,0CH,0F7H,0E2H,0CDH,0BCH,0ADH,0A3H,9CH,9AH
DB 9DH,0A5H,0B1H,0C0H,0D3H,0E7H,0FDH,12H,27H,3AH,4BH
DB 58H,61H,65H,65H,60H,57H,49H,38H,25H,10H,0FBH
DB 0E5H,0D1H,0BFH,0B0H,0A4H,9DH,9AH,9DH,0A3H,0AEH,0BDH
DB 0CFH,0E3H,0F9H,0EH,23H,37H,48H,56H,5FH,65H,65H
DB 61H,59H,4CH,3CH,29H,14H,0FFH,0E9H,0D5H,0C2H,0B2H
DB 0A6H,9EH,9BH,9CH,0A2H,0ACH,0BAH,0CCH,0E0H,0F5H,0AH
DB 1FH,33H,45H,53H,5EH,64H,66H,62H,5BH,4FH,3FH
DB 2CH,18H,02H,0EDH,0D8H,0C5H,0B5H,0A8H,9FH,9BH,9BH
DB 0A0H,0AAH,0B7H,0C8H,0DCH,0F1H,06H,1CH,30H,42H,51H
DB 5CH,63H
```

COS10:

```
DB 66H,64H,5EH,54H,48H,38H,27H,14H,00H,0EDH,0DAH
DB 0C8H,0B9H,0ACH,0A3H,9DH,9AH,9CH,0A2H,0ABH,0B7H,0C7H
DB 0D8H,0EBH,0FFH,12H,25H,37H,46H,53H,5DH,63H,66H
DB 64H,5FH,56H,49H,3AH,29H,16H,02H,0EFH,0DCH,0CAH
DB 0BAH,0ADH,0A3H,9DH,9AH,9CH,0A1H,0AAH,0B6H,0C5H,0D6H
DB 0E9H,0FDH,10H,23H,35H,45H,52H,5CH,63H,66H,64H
DB 5FH,57H,4BH,3CH,2BH,18H,04H,0F1H,0DEH,0CCH,0BCH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        DB 0AEH,0A4H,9DH,9BH,9CH,0A0H,0A9H,0B5H,0C3H,0D5H,0E7H
        DB 0FBH,0EH,21H,33H,44H,51H,5BH,62H,65H,65H,60H
        DB 58H,4CH,3DH,2CH,1AH,06H,0F3H,0E0H,0CDH,0BDH,0B0H
        DB 0A5H,9EH,9BH,9BH,0A0H,0A8H,0B3H,0C2H,0D3H,0E5H,0F9H
        DB 0CH,1FH,32H,42H,50H,5BH,62H,65H,65H,61H,59H
        DB 4DH,3FH,2EH,1CH,08H,0F5H,0E2H,0CFH,0BFH,0B1H,0A6H
        DB 9FH,9BH,9BH,9FH,0A7H,0B2H,0C0H,0D1H,0E3H,0F7H,0AH
        DB 1EH,30H,40H,4FH,5AH,61H,65H,65H,61H,5AH,4FH
        DB 40H,30H,1EH,0AH,0F7H,0E3H,0D1H,0C0H,0B2H,0A7H,9FH
        DB 9BH,9BH,9FH,0A6H,0B1H,0BFH,0CFH,0E2H,0F5H,08H,1CH
        DB 2EH,3FH,4DH,59H,61H,65H,65H,62H,5BH,50H,42H
        DB 32H,1FH,0CH,0F9H,0E5H,0D3H,0C2H,0B3H,0A8H,0A0H,9BH
        DB 9BH,9EH,0A5H,0B0H,0BDH,0CDH,0E0H,0F3H,06H,1AH,2CH
        DB 3DH,4CH,58H,60H,65H,65H,62H,5BH,51H,44H,33H
        DB 21H,0EH,0FBH,0E7H,0D5H,0C3H,0B5H,0A9H,0A0H,9CH,9BH
        DB 9DH,0A4H,0AEH,0BCH,0CCH,0DEH,0F1H,04H,18H,2BH,3CH
        DB 4BH,57H,5FH,64H,66H,63H,5CH,52H,45H,35H,23H
        DB 10H,0FDH,0E9H,0D6H,0C5H,0B6H,0AAH,0A1H,9CH,9AH,9DH
        DB 0A3H,0ADH,0BAH,0CAH,0DCH,0EFH,02H,16H,29H,3AH,49H
        DB 56H,5FH,64H,66H,63H,5DH,53H,46H,37H,25H,12H
        DB 0FFH,0EBH,0D8H,0C7H,0B7H,0ABH,0A2H,9CH,9AH,9DH,0A3H
        DB 0ACH,0B9H,0C8H,0DAH,0EDH,00H,14H,27H,38H,48H,54H
        DB 5EH,64H

COS11:
        DB 66H,64H,5FH,58H,4DH,40H,32H,21H,10H,0FFH,0EDH
        DB 0DCH,0CCH,0BDH,0B1H,0A7H,0A0H,9CH,9AH,9DH,0A2H,0AAH
        DB 0B5H,0C2H,0D1H,0E2H,0F3H,04H,16H,27H,37H,45H,51H
        DB 5BH,61H,65H,65H,63H,5DH,54H,49H,3CH,2CH,1CH
        DB 0AH,0F9H,0E7H,0D6H,0C7H,0B9H,0ADH,0A4H,9EH,9BH,9BH
        DB 9EH,0A4H,0ADH,0B9H,0C7H,0D6H,0E7H,0F9H,0AH,1CH,2CH
        DB 3CH,49H,54H,5DH,63H,65H,65H,61H,5BH,51H,45H
        DB 37H,27H,16H,04H,0F3H,0E2H,0D1H,0C2H,0B5H,0AAH,0A2H
        DB 9DH,9AH,9CH,0A0H,0A7H,0B1H,0BDH,0CCH,0DCH,0EDH,0FFH
        DB 10H,21H,32H,40H,4DH,58H,5FH,64H,66H,64H,5FH
        DB 58H,4DH,40H,32H,21H,10H,0FFH,0EDH,0DCH,0CCH,0BDH
```

เอกสารนี้เป็นเอกสาร... อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น ... ของเอกสารทุกครั้งที่มีการนำไปใช้

```
        DB 0B1H,0A7H,0A0H,9CH,9AH,9DH,0A2H,0AAH,0B5H,0C2H,0D1H
        DB 0E2H,0F3H,04H,16H,27H,37H,45H,51H,5BH,61H,65H
        DB 65H,63H,5DH,54H,49H,3CH,2CH,1CH,0AH,0F9H,0E7H
        DB 0D6H,0C7H,0B9H,0ADH,0A4H,9EH,9BH,9BH,9EH,0A4H,0ADH
        DB 0B9H,0C7H,0D6H,0E7H,0F9H,0AH,1CH,2CH,3CH,49H,54H
        DB 5DH,63H,65H,65H,61H,5BH,51H,45H,37H,27H,16H
        DB 04H,0F3H,0E2H,0D1H,0C2H,0B5H,0AAH,0A2H,9DH,9AH,9CH
        DB 0A0H,0A7H,0B1H,0BDH,0CCH,0DCH,0EDH,0FFH,10H,21H,32H
        DB 40H,4DH,58H,5FH,64H,66H,64H,5FH,58H,4DH,40H
        DB 32H,21H,10H,0FFH,0EDH,0DCH,0CCH,0BDH,0B1H,0A7H,0A0H
        DB 9CH,9AH,9DH,0A2H,0AAH,0B5H,0C2H,0D1H,0E2H,0F3H,04H
        DB 16H,27H,37H,45H,51H,5BH,61H,65H,65H,63H,5DH
        DB 54H,49H,3CH,2CH,1CH,0AH,0F9H,0E7H,0D6H,0C7H,0B9H
        DB 0ADH,0A4H,9EH,9BH,9BH,9EH,0A4H,0ADH,0B9H,0C7H,0D6H
        DB 0E7H,0F9H,0AH,1CH,2CH,3CH,49H,54H,5DH,63H,65H
        DB 65H,61H,5BH,51H,45H,37H,27H,16H,04H,0F3H,0E2H
        DB 0D1H,0C2H,0B5H,0AAH,0A2H,9DH,9AH,9CH,0A0H,0A7H,0B1H
        DB 0BDH,0CCH,0DCH,0EDH,0FFH,10H,21H,32H,40H,4DH,58H
        DB 5FH,64H

COS12:
        DB 66H,64H,61H,5BH,52H,48H,3CH,2EH,1FH,10H,00H
        DB 0F1H,0E2H,0D3H,0C5H,0B9H,0AEH,0A6H,0A0H,9CH,9AH,9CH
        DB 9FH,0A5H,0ADH,0B7H,0C3H,0D1H,0E0H,0EFH,0FFH,0EH,1EH
        DB 2CH,3AH,46H,51H,5AH,60H,64H,66H,65H,61H,5BH
        DB 53H,49H,3DH,30H,21H,12H,02H,0F3H,0E3H,0D5H,0C7H
        DB 0BAH,0B0H,0A7H,0A0H,9CH,9AH,9BH,9FH,0A4H,0ACH,0B6H
        DB 0C2H,0CFH,0DEH,0EDH,0FDH,0CH,1CH,2BH,38H,45H,50H
        DB 59H,5FH,64H,66H,65H,62H,5CH,54H,4BH,3FH,32H
        DB 23H,14H,04H,0F5H,0E5H,0D6H,0C8H,0BCH,0B1H,0A8H,0A1H
        DB 9DH,9BH,9BH,9EH,0A3H,0ABH,0B5H,0C0H,0CDH,0DCH,0EBH
        DB 0FBH,0AH,1AH,29H,37H,44H,4FH,58H,5FH,63H,65H
        DB 65H,62H,5DH,56H,4CH,40H,33H,25H,16H,06H,0F7H
        DB 0E7H,0D8H,0CAH,0BDH,0B2H,0A9H,0A2H,9DH,9BH,9BH,9DH
        DB 0A3H,0AAH,0B3H,0BFH,0CCH,0DAH,0E9H,0F9H,08H,18H,27H
        DB 35H,42H,4DH,57H,5EH,63H,65H,65H,63H,5EH,57H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DB 4DH,42H,35H,27H,18H,08H,0F9H,0E9H,0DAH,0CCH,0BFH

DB 0B3H,0AAH,0A3H,9DH,9BH,9BH,9DH,0A2H,0A9H,0B2H,0BDH

DB 0CAH,0D8H,0E7H,0F7H,06H,16H,25H,33H,40H,4CH,56H

DB 5DH,62H,65H,65H,63H,5FH,58H,4FH,44H,37H,29H

DB 1AH,0AH,0FBH,0EBH,0DCH,0CDH,0C0H,0B5H,0ABH,0A3H,9EH

DB 9BH,9BH,9DH,0A1H,0A8H,0B1H,0BCH,0C8H,0D6H,0E5H,0F5H

DB 04H,14H,23H,32H,3FH,4BH,54H,5CH,62H,65H,66H

DB 64H,5FH,59H,50H,45H,38H,2BH,1CH,0CH,0FDH,0EDH

DB 0DEH,0CFH,0C2H,0B6H,0ACH,0A4H,9FH,9BH,9AH,9CH,0A0H

DB 0A7H,0B0H,0BAH,0C7H,0D5H,0E3H,0F3H,02H,12H,21H,30H

DB 3DH,49H,53H,5BH,61H,65H,66H,64H,60H,5AH,51H

DB 46H,3AH,2CH,1EH,0EH,0FFH,0EFH,0E0H,0D1H,0C3H,0B7H

DB 0ADH,0A5H,9FH,9CH,9AH,9CH,0A0H,0A6H,0AEH,0B9H,0C5H

DB 0D3H,0E2H,0F1H,00H,10H,1FH,2EH,3CH,48H,52H,5BH

DB 61H,64H

COS13:

DB 66H,65H,62H,5DH,57H,4FH,45H,3AH,2EH,21H,14H

DB 06H,0F9H,0EBH,0DEH,0D1H,0C5H,0BAH,0B1H,0A9H,0A3H,9EH

DB 9BH,9AH,9CH,9FH,0A3H,0AAH,0B2H,0BCH,0C7H,0D3H,0E0H

DB 0EDH,0FBH,08H,16H,23H,30H,3CH,46H,50H,58H,5EH

DB 62H,65H,66H,64H,61H,5CH,56H,4DH,44H,38H,2CH

DB 1FH,12H,04H,0F7H,0E9H,0DCH,0CFH,0C3H,0B9H,0B0H,0A8H

DB 0A2H,9DH,9BH,9AH,9CH,9FH,0A4H,0ABH,0B3H,0BDH,0C8H

DB 0D5H,0E2H,0EFH,0FDH,0AH,18H,25H,32H,3DH,48H,51H

DB 59H,5FH,63H,65H,66H,64H,61H,5BH,54H,4CH,42H

DB 37H,2BH,1EH,10H,02H,0F5H,0E7H,0DAH,0CDH,0C2H,0B7H

DB 0AEH,0A7H,0A1H,9DH,9BH,9BH,9CH,0A0H,0A5H,0ACH,0B5H

DB 0BFH,0CAH,0D6H,0E3H,0F1H,0FFH,0CH,1AH,27H,33H,3FH

DB 49H,52H,5AH,5FH,63H,65H,65H,64H,60H,5BH,53H

DB 4BH,40H,35H,29H,1CH,0EH,00H,0F3H,0E5H,0D8H,0CCH

DB 0C0H,0B6H,0ADH,0A6H,0A0H,9DH,9BH,9BH,9DH,0A0H,0A6H

DB 0ADH,0B6H,0C0H,0CCH,0D8H,0E5H,0F3H,00H,0EH,1CH,29H

DB 35H,40H,4BH,53H,5BH,60H,64H,65H,65H,63H,5FH

DB 5AH,52H,49H,3FH,33H,27H,1AH,0CH,0FFH,0F1H,0E3H

DB 0D6H,0CAH,0BFH,0B5H,0ACH,0A5H,0A0H,9CH,9BH,9BH,9DH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ทั้งนี้ ต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

DB 0A1H,0A7H,0AEH,0B7H,0C2H,0CDH,0DAH,0E7H,0F5H,02H,10H

DB 1EH,2BH,37H,42H,4CH,54H,5BH,61H,64H,66H,65H

DB 63H,5FH,59H,51H,48H,3DH,32H,25H,18H,0AH,0FDH

DB 0EFH,0E2H,0D5H,0C8H,0BDH,0B3H,0ABH,0A4H,9FH,9CH,9AH

DB 9BH,9DH,0A2H,0A8H,0B0H,0B9H,0C3H,0CFH,0DCH,0E9H,0F7H

DB 04H,12H,1FH,2CH,38H,44H,4DH,56H,5CH,61H,64H

DB 66H,65H,62H,5EH,58H,50H,46H,3CH,30H,23H,16H

DB 08H,0FBH,0EDH,0E0H,0D3H,0C7H,0BCH,0B2H,0AAH,0A3H,9FH

DB 9CH,9AH,9BH,9EH,0A3H,0A9H,0B1H,0BAH,0C5H,0D1H,0DEH

DB 0EBH,0F9H,06H,14H,21H,2EH,3AH,45H,4FH,57H,5DH

DB 62H,65H

COS14:

DB 66H,65H,63H,5FH,5BH,54H,4DH,45H,3CH,32H,27H

DB 1CH,10H,04H,0F9H,0EDH,0E2H,0D6H,0CCH,0C2H,0B9H,0B1H

DB 0AAH,0A4H,0A0H,9DH,9BH,9AH,9CH,9EH,0A2H,0A7H,0ADH

DB 0B5H,0BDH,0C7H,0D1H,0DCH,0E7H,0F3H,0FFH,0AH,16H,21H

DB 2CH,37H,40H,49H,51H,58H,5DH,61H,64H,65H,65H

DB 64H,61H,5DH,58H,51H,49H,40H,37H,2CH,21H,16H

DB 0AH,0FFH,0F3H,0E7H,0DCH,0D1H,0C7H,0BDH,0B5H,0ADH,0A7H

DB 0A2H,9EH,9CH,9AH,9BH,9DH,0A0H,0A4H,0AAH,0B1H,0B9H

DB 0C2H,0CCH,0D6H,0E2H,0EDH,0F9H,04H,10H,1CH,27H,32H

DB 3CH,45H,4DH,54H,5BH,5FH,63H,65H,66H,65H,63H

DB 5FH,5BH,54H,4DH,45H,3CH,32H,27H,1CH,10H,04H

DB 0F9H,0EDH,0E2H,0D6H,0CCH,0C2H,0B9H,0B1H,0AAH,0A4H,0A0H

DB 9DH,9BH,9AH,9CH,9EH,0A2H,0A7H,0ADH,0B5H,0BDH,0C7H

DB 0D1H,0DCH,0E7H,0F3H,0FFH,0AH,16H,21H,2CH,37H,40H

DB 49H,51H,58H,5DH,61H,64H,65H,65H,64H,61H,5DH

DB 58H,51H,49H,40H,37H,2CH,21H,16H,0AH,0FFH,0F3H

DB 0E7H,0DCH,0D1H,0C7H,0BDH,0B5H,0ADH,0A7H,0A2H,9EH,9CH

DB 9AH,9BH,9DH,0A0H,0A4H,0AAH,0B1H,0B9H,0C2H,0CCH,0D6H

DB 0E2H,0EDH,0F9H,04H,10H,1CH,27H,32H,3CH,45H,4DH

DB 54H,5BH,5FH,63H,65H,66H,65H,63H,5FH,5BH,54H

DB 4DH,45H,3CH,32H,27H,1CH,10H,04H,0F9H,0EDH,0E2H

DB 0D6H,0CCH,0C2H,0B9H,0B1H,0AAH,0A4H,0A0H,9DH,9BH,9AH

DB 9CH,9EH,0A2H,0A7H,0ADH,0B5H,0BDH,0C7H,0D1H,0DCH,0E7H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

DB 0F3H,0FFH,0AH,16H,21H,2CH,37H,40H,49H,51H,58H

DB 5DH,61H,64H,65H,65H,64H,61H,5DH,58H,51H,49H

DB 40H,37H,2CH,21H,16H,0AH,0FFH,0F3H,0E7H,0DCH,0D1H

DB 0C7H,0BDH,0B5H,0ADH,0A7H,0A2H,9EH,9CH,9AH,9BH,9DH

DB 0A0H,0A4H,0AAH,0B1H,0B9H,0C2H,0CCH,0D6H,0E2H,0EDH,0F9H

DB 04H,10H,1CH,27H,32H,3CH,45H,4DH,54H,5BH,5FH

DB 63H,65H

COS15:

DB 66H,65H,64H,61H,5EH,5AH,54H,4FH,48H,40H,38H

DB 30H,27H,1EH,14H,0AH,00H,0F7H,0EDH,0E3H,0DAH,0D1H

DB 0C8H,0C0H,0B9H,0B2H,0ACH,0A7H,0A3H,9FH,9DH,9BH,9AH

DB 9BH,9CH,9FH,0A2H,0A6H,0ABH,0B1H,0B7H,0BFH,0C7H,0CFH

DB 0D8H,0E2H,0EBH,0F5H,0FFH,08H,12H,1CH,25H,2EH,37H

DB 3FH,46H,4DH,53H,59H,5DH,61H,63H,65H,66H,65H

DB 64H,62H,5FH,5BH,56H,50H,49H,42H,3AH,32H,29H

DB 1FH,16H,0CH,02H,0F9H,0EFH,0E5H,0DCH,0D3H,0CAH,0C2H

DB 0BAH,0B3H,0ADH,0A8H,0A3H,0A0H,9DH,9BH,9AH,9BH,9CH

DB 9EH,0A1H,0A5H,0AAH,0B0H,0B6H,0BDH,0C5H,0CDH,0D6H,0E0H

DB 0E9H,0F3H,0FDH,06H,10H,1AH,23H,2CH,35H,3DH,45H

DB 4CH,52H,58H,5CH,60H,63H,65H,66H,65H,64H,62H

DB 5FH,5BH,57H,51H,4BH,44H,3CH,33H,2BH,21H,18H

DB 0EH,04H,0FBH,0F1H,0E7H,0DEH,0D5H,0CCH,0C3H,0BCH,0B5H

DB 0AEH,0A9H,0A4H,0A0H,9DH,9CH,9BH,9BH,9CH,9DH,0A0H

DB 0A4H,0A9H,0AEH,0B5H,0BCH,0C3H,0CCH,0D5H,0DEH,0E7H,0F1H

DB 0FBH,04H,0EH,18H,21H,2BH,33H,3CH,44H,4BH,51H

DB 57H,5BH,5FH,62H,64H,65H,66H,65H,63H,60H,5CH

DB 58H,52H,4CH,45H,3DH,35H,2CH,23H,1AH,10H,06H

DB 0FDH,0F3H,0E9H,0E0H,0D6H,0CDH,0C5H,0BDH,0B6H,0B0H,0AAH

DB 0A5H,0A1H,9EH,9CH,9BH,9AH,9BH,9DH,0A0H,0A3H,0A8H

DB 0ADH,0B3H,0BAH,0C2H,0CAH,0D3H,0DCH,0E5H,0EFH,0F9H,02H

DB 0CH,16H,1FH,29H,32H,3AH,42H,49H,50H,56H,5BH

DB 5FH,62H,64H,65H,66H,65H,63H,61H,5DH,59H,53H

DB 4DH,46H,3FH,37H,2EH,25H,1CH,12H,08H,0FFH,0F5H

DB 0EBH,0E2H,0D8H,0CFH,0C7H,0BFH,0B7H,0B1H,0ABH,0A6H,0A2H

DB 9FH,9CH,9BH,9AH,9BH,9DH,9FH,0A3H,0A7H,0ACH,0B2H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        DB 0B9H,0C0H,0C8H,0D1H,0DAH,0E3H,0EDH,0F7H,00H,0AH,14H
        DB 1EH,27H,30H,38H,40H,48H,4FH,54H,5AH,5EH,61H
        DB 64H,65H

COS16:
        DB 66H,65H,64H,63H,61H,5EH,5BH,57H,52H,4DH,48H
        DB 42H,3CH,35H,2EH,27H,1FH,18H,10H,08H,00H,0F9H
        DB 0F1H,0E9H,0E2H,0DAH,0D3H,0CCH,0C5H,0BFH,0B9H,0B3H,0AEH
        DB 0AAH,0A6H,0A3H,0A0H,9DH,9CH,9BH,9AH,9BH,9CH,9DH
        DB 9FH,0A2H,0A5H,0A9H,0ADH,0B2H,0B7H,0BDH,0C3H,0CAH,0D1H
        DB 0D8H,0E0H,0E7H,0EFH,0F7H,0FFH,06H,0EH,16H,1EH,25H
        DB 2CH,33H,3AH,40H,46H,4CH,51H,56H,5AH,5DH,60H
        DB 62H,64H,65H,66H,65H,65H,63H,61H,5FH,5BH,58H
        DB 53H,4FH,49H,44H,3DH,37H,30H,29H,21H,1AH,12H
        DB 0AH,02H,0FBH,0F3H,0EBH,0E3H,0DCH,0D5H,0CDH,0C7H,0C0H
        DB 0BAH,0B5H,0B0H,0ABH,0A7H,0A3H,0A0H,9EH,9CH,9BH,9AH
        DB 9BH,9BH,9DH,9FH,0A1H,0A4H,0A8H,0ACH,0B1H,0B6H,0BCH
        DB 0C2H,0C8H,0CFH,0D6H,0DEH,0E5H,0EDH,0F5H,0FDH,04H,0CH
        DB 14H,1CH,23H,2BH,32H,38H,3FH,45H,4BH,50H,54H
        DB 59H,5CH,5FH,62H,64H,65H,66H,66H,65H,64H,62H
        DB 5FH,5CH,59H,54H,50H,4BH,45H,3FH,38H,32H,2BH
        DB 23H,1CH,14H,0CH,04H,0FDH,0F5H,0EDH,0E5H,0DEH,0D6H
        DB 0CFH,0C8H,0C2H,0BCH,0B6H,0B1H,0ACH,0A8H,0A4H,0A1H,9FH
        DB 9DH,9BH,9BH,9AH,9BH,9CH,9EH,0A0H,0A3H,0A7H,0ABH
        DB 0B0H,0B5H,0BAH,0C0H,0C7H,0CDH,0D5H,0DCH,0E3H,0EBH,0F3H
        DB 0FBH,02H,0AH,12H,1AH,21H,29H,30H,37H,3DH,44H
        DB 49H,4FH,53H,58H,5BH,5FH,61H,63H,65H,65H,66H
        DB 65H,64H,62H,60H,5DH,5AH,56H,51H,4CH,46H,40H
        DB 3AH,33H,2CH,25H,1EH,16H,0EH,06H,0FFH,0F7H,0EFH
        DB 0E7H,0E0H,0D8H,0D1H,0CAH,0C3H,0BDH,0B7H,0B2H,0ADH,0A9H
        DB 0A5H,0A2H,9FH,9DH,9CH,9BH,9AH,9BH,9CH,9DH,0A0H
        DB 0A3H,0A6H,0AAH,0AEH,0B3H,0B9H,0BFH,0C5H,0CCH,0D3H,0DAH
        DB 0E2H,0E9H,0F1H,0F9H,00H,08H,10H,18H,1FH,27H,2EH
        DB 35H,3CH,42H,48H,4DH,52H,57H,5BH,5EH,61H,63H
        DB 64H,65H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DB 0A1H,0A7H,0AEH,0B7H,0C2H,0CDH,0DAH,0E7H,0F5H,02H,10H

DB 1EH,2BH,37H,42H,4CH,54H,5BH,61H,64H,66H,65H

DB 63H,5FH,59H,51H,48H,3DH,32H,25H,18H,0AH,0FDH

DB 0EFH,0E2H,0D5H,0C8H,0BDH,0B3H,0ABH,0A4H,9FH,9CH,9AH

DB 9BH,9DH,0A2H,0A8H,0B0H,0B9H,0C3H,0CFH,0DCH,0E9H,0F7H

DB 04H,12H,1FH,2CH,38H,44H,4DH,56H,5CH,61H,64H

DB 66H,65H,62H,5EH,58H,50H,46H,3CH,30H,23H,16H

DB 08H,0FBH,0EDH,0E0H,0D3H,0C7H,0BCH,0B2H,0AAH,0A3H,9FH

DB 9CH,9AH,9BH,9EH,0A3H,0A9H,0B1H,0BAH,0C5H,0D1H,0DEH

DB 0EBH,0F9H,06H,14H,21H,2EH,3AH,45H,4FH,57H,5DH

DB 62H,65H

COS14:

DB 66H,65H,63H,5FH,5BH,54H,4DH,45H,3CH,32H,27H

DB 1CH,10H,04H,0F9H,0EDH,0E2H,0D6H,0CCH,0C2H,0B9H,0B1H

DB 0AAH,0A4H,0A0H,9DH,9BH,9AH,9CH,9EH,0A2H,0A7H,0ADH

DB 0B5H,0BDH,0C7H,0D1H,0DCH,0E7H,0F3H,0FFH,0AH,16H,21H

DB 2CH,37H,40H,49H,51H,58H,5DH,61H,64H,65H,65H

DB 64H,61H,5DH,58H,51H,49H,40H,37H,2CH,21H,16H

DB 0AH,0FFH,0F3H,0E7H,0DCH,0D1H,0C7H,0BDH,0B5H,0ADH,0A7H

DB 0A2H,9EH,9CH,9AH,9BH,9DH,0A0H,0A4H,0AAH,0B1H,0B9H

DB 0C2H,0CCH,0D6H,0E2H,0EDH,0F9H,04H,10H,1CH,27H,32H

DB 3CH,45H,4DH,54H,5BH,5FH,63H,65H,66H,65H,63H

DB 5FH,5BH,54H,4DH,45H,3CH,32H,27H,1CH,10H,04H

DB 0F9H,0EDH,0E2H,0D6H,0CCH,0C2H,0B9H,0B1H,0AAH,0A4H,0A0H

DB 9DH,9BH,9AH,9CH,9EH,0A2H,0A7H,0ADH,0B5H,0BDH,0C7H

DB 0D1H,0DCH,0E7H,0F3H,0FFH,0AH,16H,21H,2CH,37H,40H

DB 49H,51H,58H,5DH,61H,64H,65H,65H,64H,61H,5DH

DB 58H,51H,49H,40H,37H,2CH,21H,16H,0AH,0FFH,0F3H

DB 0E7H,0DCH,0D1H,0C7H,0BDH.0B5H,0ADH,0A7H,0A2H,9EH,9CH

DB 9AH,9BH,9DH,0A0H,0A4H,0AAH,0B1H,0B9H,0C2H,0CCH,0D6H

DB 0E2H,0EDH,0F9H,04H,10H,1CH,27H,32H,3CH,45H,4DH

DB 54H,5BH,5FH,63H,65H,66H,65H,63H,5FH,5BH,54H

DB 4DH,45H,3CH,32H,27H,1CH,10H,04H,0F9H,0EDH,0E2H

DB 0D6H,0CCH,0C2H,0B9H,0B1H,0AAH,0A4H,0A0H,9DH,9BH,9AH

DB 9CH,9EH,0A2H,0A7H,0ADH,0B5H,0BDH,0C7H,0D1H,0DCH,0E7H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DB 0F3H,0FFH,0AH,16H,21H,2CH,37H,40H,49H,51H,58H

DB 5DH,61H,64H,65H,65H,64H,61H,5DH,58H,51H,49H

DB 40H,37H,2CH,21H,16H,0AH,0FFH,0F3H,0E7H,0DCH,0D1H

DB 0C7H,0BDH,0B5H,0ADH,0A7H,0A2H,9EH,9CH,9AH,9BH,9DH

DB 0A0H,0A4H,0AAH,0B1H,0B9H,0C2H,0CCH,0D6H,0E2H,0EDH,0F9H

DB 04H,10H,1CH,27H,32H,3CH,45H,4DH,54H,5BH,5FH

DB 63H,65H

COS15:

DB 66H,65H,64H,61H,5EH,5AH,54H,4FH,48H,40H,38H

DB 30H,27H,1EH,14H,0AH,00H,0F7H,0EDH,0E3H,0DAH,0D1H

DB 0C8H,0C0H,0B9H,0B2H,0ACH,0A7H,0A3H,9FH,9DH,9BH,9AH

DB 9BH,9CH,9FH,0A2H,0A6H,0ABH,0B1H,0B7H,0BFH,0C7H,0CFH

DB 0D8H,0E2H,0EBH,0F5H,0FFH,08H,12H,1CH,25H,2EH,37H

DB 3FH,46H,4DH,53H,59H,5DH,61H,63H,65H,66H,65H

DB 64H,62H,5FH,5BH,56H,50H,49H,42H,3AH,32H,29H

DB 1FH,16H,0CH,02H,0F9H,0EFH,0E5H,0DCH,0D3H,0CAH,0C2H

DB 0BAH,0B3H,0ADH,0A8H,0A3H,0A0H,9DH,9BH,9AH,9BH,9CH

DB 9EH,0A1H,0A5H,0AAH,0B0H,0B6H,0BDH,0C5H,0CDH,0D6H,0E0H

DB 0E9H,0F3H,0FDH,06H,10H,1AH,23H,2CH,35H,3DH,45H

DB 4CH,52H,58H,5CH,60H,63H,65H,66H,65H,64H,62H

DB 5FH,5BH,57H,51H,4BH,44H,3CH,33H,2BH,21H,18H

DB 0EH,04H,0FBH,0F1H,0E7H,0DEH,0D5H,0CCH,0C3H,0BCH,0B5H

DB 0AEH,0A9H,0A4H,0A0H,9DH,9CH,9BH,9BH,9CH,9DH,0A0H

DB 0A4H,0A9H,0AEH,0B5H,0BCH,0C3H,0CCH,0D5H,0DEH,0E7H,0F1H

DB 0FBH,04H,0EH,18H,21H,2BH,33H,3CH,44H,4BH,51H

DB 57H,5BH,5FH,62H,64H,65H,66H,65H,63H,60H,5CH

DB 58H,52H,4CH,45H,3DH,35H,2CH,23H,1AH,10H,06H

DB 0FDH,0F3H,0E9H,0E0H,0D6H,0CDH,0C5H,0BDH,0B6H,0B0H,0AAH

DB 0A5H,0A1H,9EH,9CH,9BH,9AH,9BH,9DH,0A0H,0A3H,0A8H

DB 0ADH,0B3H,0BAH,0C2H,0CAH,0D3H,0DCH,0E5H,0EFH,0F9H,02H

DB 0CH,16H,1FH,29H,32H,3AH,42H,49H,50H,56H,5BH

DB 5FH,62H,64H,65H,66H,65H,63H,61H,5DH,59H,53H

DB 4DH,46H,3FH,37H,2EH,25H,1CH,12H,08H,0FFH,0F5H

DB 0EBH,0E2H,0D8H,0CFH,0C7H,0BFH,0B7H,0B1H,0ABH,0A6H,0A2H

DB 9FH,9CH,9BH,9AH,9BH,9DH,9FH,0A3H,0A7H,0ACH,0B2H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DB 0B9H,0C0H,0C8H,0D1H,0DAH,0E3H,0EDH,0F7H,00H,0AH,14H

DB 1EH,27H,30H,38H,40H,48H,4FH,54H,5AH,5EH,61H

DB 64H,65H

COS16:

DB 66H,65H,64H,63H,61H,5EH,5BH,57H,52H,4DH,48H

DB 42H,3CH,35H,2EH,27H,1FH,18H,10H,08H,00H,0F9H

DB 0F1H,0E9H,0E2H,0DAH,0D3H,0CCH,0C5H,0BFH,0B9H,0B3H,0AEH

DB 0AAH,0A6H,0A3H,0A0H,9DH,9CH,9BH,9AH,9BH,9CH,9DH

DB 9FH,0A2H,0A5H,0A9H,0ADH,0B2H,0B7H,0BDH,0C3H,0CAH,0D1H

DB 0D8H,0E0H,0E7H,0EFH,0F7H,0FFH,06H,0EH,16H,1EH,25H

DB 2CH,33H,3AH,40H,46H,4CH,51H,56H,5AH,5DH,60H

DB 62H,64H,65H,66H,65H,65H,63H,61H,5FH,5BH,58H

DB 53H,4FH,49H,44H,3DH,37H,30H,29H,21H,1AH,12H

DB 0AH,02H,0FBH,0F3H,0EBH,0E3H,0DCH,0D5H,0CDH,0C7H,0C0H

DB 0BAH,0B5H,0B0H,0ABH,0A7H,0A3H,0A0H,9EH,9CH,9BH,9AH

DB 9BH,9BH,9DH,9FH,0A1H,0A4H,0A8H,0ACH,0B1H,0B6H,0BCH

DB 0C2H,0C8H,0CFH,0D6H,0DEH,0E5H,0EDH,0F5H,0FDH,04H,0CH

DB 14H,1CH,23H,2BH,32H,38H,3FH,45H,4BH,50H,54H

DB 59H,5CH,5FH,62H,64H,65H,66H,66H,65H,64H,62H

DB 5FH,5CH,59H,54H,50H,4BH,45H,3FH,38H,32H,2BH

DB 23H,1CH,14H,0CH,04H,0FDH,0F5H,0EDH,0E5H,0DEH,0D6H

DB 0CFH,0C8H,0C2H,0BCH,0B6H,0B1H,0ACH,0A8H,0A4H,0A1H,9FH

DB 9DH,9BH,9BH,9AH,9BH,9CH,9EH,0A0H,0A3H,0A7H,0ABH

DB 0B0H,0B5H,0BAH,0C0H,0C7H,0CDH,0D5H,0DCH,0E3H,0EBH,0F3H

DB 0FBH,02H,0AH,12H,1AH,21H,29H,30H,37H,3DH,44H

DB 49H,4FH,53H,58H,5BH,5FH,61H,63H,65H,65H,66H

DB 65H,64H,62H,60H,5DH,5AH,56H,51H,4CH,46H,40H

DB 3AH,33H,2CH,25H,1EH,16H,0EH,06H,0FFH,0F7H,0EFH

DB 0E7H,0E0H,0D8H,0D1H,0CAH,0C3H,0BDH,0B7H,0B2H,0ADH,0A9H

DB 0A5H,0A2H,9FH,9DH,9CH,9BH,9AH,9BH,9CH,9DH,0A0H

DB 0A3H,0A6H,0AAH,0AEH,0B3H,0B9H,0BFH,0C5H,0CCH,0D3H,0DAH

DB 0E2H,0E9H,0F1H,0F9H,00H,08H,10H,18H,1FH,27H,2EH

DB 35H,3CH,42H,48H,4DH,52H,57H,5BH,5EH,61H,63H

DB 64H,65H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COS17:

DB 66H,65H,65H,64H,63H,61H,5FH,5DH,5BH,58H,54H

DB 51H,4DH,49H,45H,40H,3CH,37H,32H,2CH,27H,21H

DB 1CH,16H,10H,0AH,04H,0FFH,0F9H,0F3H,0EDH,0E7H,0E2H

DB 0DCH,0D6H,0D1H,0CCH,0C7H,0C2H,0BDH,0B9H,0B5H,0B1H,0ADH

DB 0AAH,0A7H,0A4H,0A2H,0A0H,9EH,9DH,9CH,9BH,9AH,9AH

DB 9BH,9CH,9DH,9EH,0A0H,0A2H,0A4H,0A7H,0AAH,0ADH,0B1H

DB 0B5H,0B9H,0BDH,0C2H,0C7H,0CCH,0D1H,0D6H,0DCH,0E2H,0E7H

DB 0EDH,0F3H,0F9H,0FFH,04H,0AH,10H,16H,1CH,21H,27H

DB 2CH,32H,37H,3CH,40H,45H,49H,4DH,51H,54H,58H

DB 5BH,5DH,5FH,61H,63H,64H,65H,65H,66H,65H,65H

DB 64H,63H,61H,5FH,5DH,5BH,58H,54H,51H,4DH,49H

DB 45H,40H,3CH,37H,32H,2CH,27H,21H,1CH,16H,10H

DB 0AH,04H,0FFH,0F9H,0F3H,0EDH,0E7H,0E2H,0DCH,0D6H,0D1H

DB 0CCH,0C7H,0C2H,0BDH,0B9H,0B5H,0B1H,0ADH,0AAH,0A7H,0A4H

DB 0A2H,0A0H,9EH,9DH,9CH,9BH,9AH,9AH,9BH,9CH,9DH

DB 9EH,0A0H,0A2H,0A4H,0A7H,0AAH,0ADH,0B1H,0B5H,0B9H,0BDH

DB 0C2H,0C7H,0CCH,0D1H,0D6H,0DCH,0E2H,0E7H,0EDH,0F3H,0F9H

DB 0FFH,04H,0AH,10H,16H,1CH,21H,27H,2CH,32H,37H

DB 3CH,40H,45H,49H,4DH,51H,54H,58H,5BH,5DH,5FH

DB 61H,63H,64H,65H,65H,66H,65H,65H,64H,63H,61H

DB 5FH,5DH,5BH,58H,54H,51H,4DH,49H,45H,40H,3CH

DB 37H,32H,2CH,27H,21H,1CH,16H,10H,0AH,04H,0FFH

DB 0F9H,0F3H,0EDH,0E7H,0E2H,0DCH,0D6H,0D1H,0CCH,0C7H,0C2H

DB 0BDH,0B9H,0B5H,0B1H,0ADH,0AAH,0A7H,0A4H,0A2H,0A0H,9EH

DB 9DH,9CH,9BH,9AH,9AH,9BH,9CH,9DH,9EH,0A0H,0A2H

DB 0A4H,0A7H,0AAH,0ADH,0B1H,0B5H,0B9H,0BDH,0C2H,0C7H,0CCH

DB 0D1H,0D6H,0DCH,0E2H,0E7H,0EDH,0F3H,0F9H,0FFH,04H,0AH

DB 10H,16H,1CH,21H,27H,2CH,32H,37H,3CH,40H,45H

DB 49H,4DH,51H,54H,58H,5BH,5DH,5FH,61H,63H,64H

DB 65H,65H

COS18:

DB 66H,66H,65H,65H,64H,64H,63H,62H,61H,5FH,5EH

DB 5CH,5BH,59H,57H,54H,52H,50H,4DH,4BH,48H,45H

DB 42H,3FH,3CH,38H,35H,32H,2EH,2BH,27H,23H,1FH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
DB 1CH,18H,14H,10H,0CH,08H,04H,00H,0FDH,0F9H,0F5H
DB 0F1H,0EDH,0E9H,0E5H,0E2H,0DEH,0DAH,0D6H,0D3H,0CFH,0CCH
DB 0C8H,0C5H,0C2H,0BFH,0BCH,0B9H,0B6H,0B3H,0B1H,0AEH,0ACH
DB 0AAH,0A8H,0A6H,0A4H,0A3H,0A1H,0A0H,9FH,9DH,9DH,9CH
DB 9BH,9BH,9BH,9AH,9AH,9BH,9BH,9CH,9CH,9DH,9EH
DB 9FH,0A0H,0A2H,0A3H,0A5H,0A7H,0A9H,0ABH,0ADH,0B0H,0B2H
DB 0B5H,0B7H,0BAH,0BDH,0C0H,0C3H,0C7H,0CAH,0CDH,0D1H,0D5H
DB 0D8H,0DCH,0E0H,0E3H,0E7H,0EBH,0EFH,0F3H,0F7H,0FBH,0FFH
DB 02H,06H,0AH,0EH,12H,16H,1AH,1EH,21H,25H,29H
DB 2CH,30H,33H,37H,3AH,3DH,40H,44H,46H,49H,4CH
DB 4FH,51H,53H,56H,58H,5AH,5BH,5DH,5FH,60H,61H
DB 62H,63H,64H,65H,65H,65H,66H,66H,65H,65H,65H
DB 64H,63H,62H,61H,60H,5FH,5DH,5BH,5AH,58H,56H
DB 53H,51H,4FH,4CH,49H,46H,44H,40H,3DH,3AH,37H
DB 33H,30H,2CH,29H,25H,21H,1EH,1AH,16H,12H,0EH
DB 0AH,06H,02H,0FFH,0FBH,0F7H,0F3H,0EFH,0EBH,0E7H,0E3H
DB 0E0H,0DCH,0D8H,0D5H,0D1H,0CDH,0CAH,0C7H,0C3H,0C0H,0BDH
DB 0BAH,0B7H,0B5H,0B2H,0B0H,0ADH,0ABH,0A9H,0A7H,0A5H,0A3H
DB 0A2H,0A0H,9FH,9EH,9DH,9CH,9CH,9BH,9BH,9AH,9AH
DB 9BH,9BH,9BH,9CH,9DH,9DH,9FH,0A0H,0A1H,0A3H,0A4H
DB 0A6H,0A8H,0AAH,0ACH,0AEH,0B1H,0B3H,0B6H,0B9H,0BCH,0BFH
DB 0C2H,0C5H,0C8H,0CCH,0CFH,0D3H,0D6H,0DAH,0DEH,0E2H,0E5H
DB 0E9H,0EDH,0F1H,0F5H,0F9H,0FDH,00H,04H,08H,0CH,10H
DB 14H,18H,1CH,1FH,23H,27H,2BH,2EH,32H,35H,38H
DB 3CH,3FH,42H,45H,48H,4BH,4DH,50H,52H,54H,57H
DB 59H,5BH,5CH,5EH,5FH,61H,62H,63H,64H,64H,65H
DB 65H,66H

COS19:

DB 66H,66H,66H,65H,65H,65H,65H,65H,64H,64H,64H
DB 63H,63H,62H,62H,61H,61H,60H,5FH,5FH,5EH,5DH
DB 5CH,5BH,5BH,5AH,59H,58H,57H,56H,54H,53H,52H
DB 51H,50H,4FH,4DH,4CH,4BH,49H,48H,46H,45H,44H
DB 42H,40H,3FH,3DH,3CH,3AH,38H,37H,35H,33H,32H
DB 30H,2EH,2CH,2BH,29H,27H,25H,23H,21H,1FH,1EH
DB 1CH,1AH,18H,16H,14H,12H,10H,0EH,0CH,0AH,08H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
DB 06H,04H,02H,00H,0FFH,0FDH,0FBH,0F9H,0F7H,0F5H,0F3H
DB 0F1H,0EFH,0EDH,0EBH,0E9H,0E7H,0E5H,0E3H,0E2H,0E0H,0DEH
DB 0DCH,0DAH,0D8H,0D6H,0D5H,0D3H,0D1H,0CFH,0CDH,0CCH,0CAH
DB 0C8H,0C7H,0C5H,0C3H,0C2H,0C0H,0BFH,0BDH,0BCH,0BAH,0B9H
DB 0B7H,0B6H,0B5H,0B3H,0B2H,0B1H,0B0H,0AEH,0ADH,0ACH,0ABH
DB 0AAH,0A9H,0A8H,0A7H,0A6H,0A5H,0A4H,0A3H,0A3H,0A2H,0A1H
DB 0A0H,0A0H,9FH,9FH,9EH,9DH,9DH,9DH,9CH,9CH,9CH
DB 9BH,9BH,9BH,9BH,9BH,9AH,9AH,9AH,9AH,9BH,9BH
DB 9BH,9BH,9BH,9CH,9CH,9CH,9DH,9DH,9DH,9EH,9FH
DB 9FH,0A0H,0A0H,0A1H,0A2H,0A3H,0A3H,0A4H,0A5H,0A6H,0A7H
DB 0A8H,0A9H,0AAH,0ABH,0ACH,0ADH,0AEH,0B0H,0B1H,0B2H,0B3H
DB 0B5H,0B6H,0B7H,0B9H,0BAH,0BCH,0BDH,0BFH,0C0H,0C2H,0C3H
DB 0C5H,0C7H,0C8H,0CAH,0CCH,0CDH,0CFH,0D1H,0D3H,0D5H,0D6H
DB 0D8H,0DAH,0DCH,0DEH,0E0H,0E2H,0E3H,0E5H,0E7H,0E9H,0EBH
DB 0EDH,0EFH,0F1H,0F3H,0F5H,0F7H,0F9H,0FBH,0FDH,0FFH,00H
DB 02H,04H,06H,08H,0AH,0CH,0EH,10H,12H,14H,16H
DB 18H,1AH,1CH,1EH,1FH,21H,23H,25H,27H,29H,2BH
DB 2CH,2EH,30H,32H,33H,35H,37H,38H,3AH,3CH,3DH
DB 3FH,40H,42H,44H,45H,46H,48H,49H,4BH,4CH,4DH
DB 4FH,50H,51H,52H,53H,54H,56H,57H,58H,59H,5AH
DB 5BH,5BH,5CH,5DH,5EH,5FH,5FH,60H,61H,61H,62H
DB 62H,63H,63H,64H,64H,64H,65H,65H,65H,65H,65H
DB 66H,66H
```

COS20:

```
DB 66H,66H,66H,66H,66H,66H,66H,66H,66H,66H,66H
DB 66H,66H,66H,66H,66H,66H,66H,66H,66H,66H,66H
DB 66H,66H,66H,66H,66H,66H,66H,66H,66H,66H,66H
DB 66H,66H,66H,66H,66H,66H,66H,66H,66H,66H,66H
DB 66H,66H,66H,66H,66H,66H,66H,66H,66H,66H,66H
DB 66H,66H,66H,66H,66H,66H,66H,66H,66H,66H,66H
DB 66H,66H,66H,66H,66H,66H,66H,66H,66H,66H,66H
DB 66H,66H,66H,66H,66H,66H,66H,66H,66H,66H,66H
DB 66H,66H,66H,66H,66H,66H,66H,66H,66H,66H,66H
DB 66H,66H,66H,66H,66H,66H,66H,66H,66H,66H,66H
DB 66H,66H,66H,66H,66H,66H,66H,66H,66H,66H,66H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค.
หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Specifications

This appendix contains data sheet information on the TMS320C5x digital signal processors family, including the following devices:

- TMS320C50
- TMS320C51
- TMS320C53

Figure A–1 shows the pinout of the 'C5x devices in a 132-pin quad flat pack; the pin assignments are given in Table A–1. This appendix also contains the electrical characteristics of the 'C5x devices and the mechanical data of the 132-pin quad flat pack.

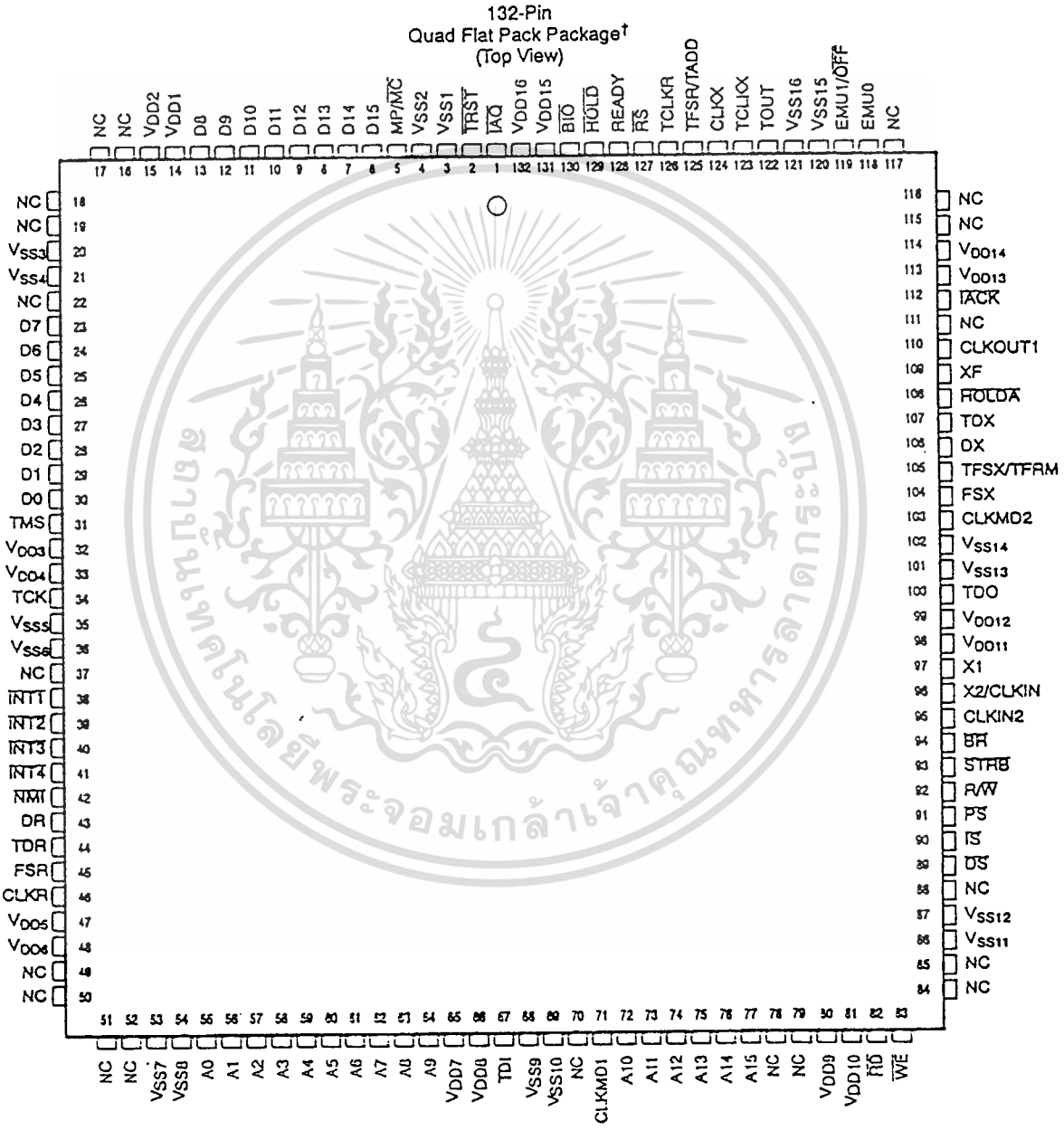
Topic Page

A.1 Pinout and Signal Descriptions A-2
A.2 Electrical Characteristics and Operating Conditions A-7
A.3 Clock Characteristics and Timing A-10
A.4 Mechanical Data A-27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.1 Pinout and Signal Descriptions

Figure A–1. TMS320C5x Pinout



† See Pin Assignments, Table A–1 (page A-3) for location and description of all pins. The 'C50, 'C51, and 'C53 are packaged in 132-pin plastic QFP in production. See Figure A–20 for mechanical data.

Note: NC = No connect. (These pins are reserved.)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table A–1. TMS320C5x Pin Assignments

Pin	Name	Type	Description
1	$\overline{IAQ}$	O/Z	Instruction Acquisition
2	$\overline{TRST}$	I	JTAG Test Reset
3	V_{SS}	Supply	Ground
4	V_{SS}	Supply	Ground
5	MP/$\overline{MC}$	I	Microprocessor/Microcomputer
6	D15 (MSB)	I/O/Z	Parallel Data Port, High-Byte (8 pins)
7	D14	I/O/Z	
8	D13	I/O/Z	
9	D12	I/O/Z	
10	D11	I/O/Z	
11	D10	I/O/Z	
12	D9	I/O/Z	
13	D8	I/O/Z	
14	V_{DD}	Supply	+5 V
15	V_{DD}	Supply	+5 V
16	NC†		Reserved
17	NC†		Reserved
18	NC†		Reserved
19	NC†		Reserved
20	V_{SS}	Supply	Ground
21	V_{SS}	Supply	Ground
22	NC†		Reserved
23	D7	I/O/Z	Parallel Data Port, Low-Byte (8 pins)
24	D6	I/O/Z	
25	D5	I/O/Z	
26	D4	I/O/Z	
27	D3	I/O/Z	
28	D2	I/O/Z	
29	D1	I/O/Z	
30	D0 (LSB)	I/O/Z	
31	TMS	I	JTAG Test Mode
32	V_{DD}	Supply	+5 V
33	V_{DD}	Supply	+5 V
34	TCK	I	JTAG Test Clock

† NC = No connect

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table A–1. TMS320C5x Pin Assignments (Continued)

Pin	Name	Type	Description
35	V_{SS}	Supply	Ground
36	V_{SS}	Supply	Ground
37	NC†		Reserved
38	$\overline{INT1}$	I	Interrupt #1
39	$\overline{INT2}$	I	Interrupt #2
40	$\overline{INT3}$	I	Interrupt #3
41	$\overline{INT4}$	I	Interrupt #4
42	$\overline{NMI}$	I	Nonmaskable Interrupt
43	DR	I	Serial Port 1 Data Receive
44	TDR	I	Serial Port 2 Data Receive
45	FSR	I	Serial Port 1 Receiver Frame Sync
46	CLKR	I	Serial Port 1 Receiver Clock
47	V_{DD}	Supply	+5 V
48	V_{DD}	Supply	+5 V
49	NC†		Reserved
50	NC†		Reserved
51	NC†		Reserved
52	NC†		Reserved
53	V_{SS}	Supply	Ground
54	V_{SS}	Supply	Ground
55	A0 (LSB)	I/O/Z	Parallel Port Address Bus (10 pins)
56	A1	I/O/Z	
57	A2	I/O/Z	
58	A3	I/O/Z	
59	A4	I/O/Z	
60	A5	I/O/Z	
61	A6	I/O/Z	
62	A7	I/O/Z	
63	A8	I/O/Z	
64	A9	I/O/Z	
65	V_{DD}	Supply	+5 V
66	V_{DD}	Supply	+5 V
67	TDI	I	JTAG Scan Input

† NC = No connect

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table A–1. TMS320C5x Pin Assignments (Continued)

Pin	Name	Type	Description
35	V_{SS}	Supply	Ground
36	V_{SS}	Supply	Ground
37	NC†		Reserved
38	$\overline{INT1}$	I	Interrupt #1
39	$\overline{INT2}$	I	Interrupt #2
40	$\overline{INT3}$	I	Interrupt #3
41	$\overline{INT4}$	I	Interrupt #4
42	$\overline{NMI}$	I	Nonmaskable Interrupt
43	DR	I	Serial Port 1 Data Receive
44	TDR	I	Serial Port 2 Data Receive
45	FSR	I	Serial Port 1 Receiver Frame Sync
46	CLKR	I	Serial Port 1 Receiver Clock
47	V_{DD}	Supply	+5 V
48	V_{DD}	Supply	+5 V
49	NC†		Reserved
50	NC†		Reserved
51	NC†		Reserved
52	NC†		Reserved
53	V_{SS}	Supply	Ground
54	V_{SS}	Supply	Ground
55	A0 (LSB)	I/O/Z	Parallel Port Address Bus
56	A1	I/O/Z	(10 pins)
57	A2	I/O/Z	
58	A3	I/O/Z	
59	A4	I/O/Z	
60	A5	I/O/Z	
61	A6	I/O/Z	
62	A7	I/O/Z	
63	A8	I/O/Z	
64	A9	I/O/Z	
65	V_{DD}	Supply	+5 V
66	V_{DD}	Supply	+5 V
67	TDI	I	JTAG Scan Input

† NC = No connect

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table A–1. TMS320C5x Pin Assignments (Continued)

Pin	Name	Type	Description
68	V_{SS}	Supply	Ground
69	V_{SS}	Supply	Ground
70	NC†		Reserved
71	CLKMD1	I	Clock Mode Pin 1
72	A10	I/O/Z	Parallel Port Address Bus
73	A11	I/O/Z	(6 pins)
74	A12	I/O/Z	
75	A13	I/O/Z	
76	A14	I/O/Z	
77	A15	I/O/Z	
78	NC†		Reserved
79	NC†		Reserved
80	V_{DD}	Supply	+5 V
81	V_{DD}	Supply	+5 V
82	$\overline{RD}$	O/Z	Read Enable
83	$\overline{WE}$	O/Z	Write Enable
84	NC†		Reserved
85	NC†		Reserved
86	V_{SS}	Supply	Ground
87	V_{SS}	Supply	Ground
88	NC†		Reserved
89	$\overline{DS}$	O/Z	Data Space Select
90	$\overline{IS}$	O/Z	I/O Space Select
91	$\overline{PS}$	O/Z	Program Space Select
92	R/$\overline{W}$	I/O/Z	Read/Write
93	$\overline{STRB}$	I/O/Z	External Parallel Access Active
94	$\overline{BR}$	I/O/Z	Bus Request
95	CLKIN2	I	Divide-by-One Clock Input
96	X2/CLKIN	I	Divide-by-Two Clock Input
97	X1	O	Oscillator Output
98	V_{DD}	Supply	+5 V
99	V_{DD}	Supply	+5 V
100	TDO	O/Z	JTAG Scan Output

† NC = No connect

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table A–1. TMS320C5x Pins (Concluded)

Pin	Name	Type	Description
101	V_{SS}	Supply	Ground
102	V_{SS}	Supply	Ground
103	CLKMD2	I	Clock Mode Pin 2
104	FSX	I/O/Z	Serial Port 1 Transmitter Frame Sync
105	TFSX/TFRM	I/O/Z	Serial Port 2 Transmitter Frame Sync
106	DX	O/Z	Serial Port 1 Transmitter Output
107	TDX	O/Z	Serial Port 2 Transmitter Output
108	$\overline{\text{HOLDA}}$	O/Z	Hold Acknowledge
109	XF	O/Z	External Flag
110	CLKOUT1	O/Z	Machine Clock Output
111	NC†		Reserved
112	$\overline{\text{IACK}}$	O/Z	Interrupt Acknowledge
113	V_{DD}	Supply	+5 V
114	V_{DD}	Supply	+5 V
115	NC†		Reserved
116	NC†		Reserved
117	NC†		Reserved
118	EMU0	I/O/Z	Emulator Interrupt 0
119	EMU1/$\overline{\text{OFF}}$	I/O/Z	Emulator Interrupt 1
120	V_{SS}	Supply	Ground
121	V_{SS}	Supply	Ground
122	TOUT	O/Z	Timer Output
123	TCLKX	I/O/Z	Serial Port 2 Transmitter Clock
124	CLKX	I/O/Z	Serial Port 1 Transmitter Clock
125	TFSR/TADD	I/O/Z	Serial Port 2 Receive Frame/Address
126	TCLKR	I	Serial Port 2 Receiver Clock
127	$\overline{\text{RS}}$	I	Device Reset
128	READY	I	External Access Ready to Complete
129	$\overline{\text{HOLD}}$	I	Request Access of Local Memory
130	$\overline{\text{BIO}}$	I	Bit I/O Pin
131	V_{DD}	Supply	+5 V
132	V_{DD}	Supply	+5 V

† NC = No connect

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.2 Electrical Characteristics and Operating Conditions

Table A–2. Absolute Maximum Ratings Over Specified Temperature Range (Unless Otherwise Noted)†

Supply voltage range, V_{DD} ‡ ..... –0.3 V to 7 V
Input voltage range ..... –0.3 V to 7 V
Output voltage range ..... –0.3 V to 7 V
Operating case temperature range ..... 0° to 85°C
Storage temperature range ..... –55° to 150°C

† Stresses beyond those listed under "Absolute Maximum Ratings" may cause damage to the device. This is a stress rating only, and functional operation of the device at these or any other conditions beyond those indicated in the "Recommended Operating Conditions" sections of this specification is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect reliability.

‡ All voltage values are with respect to V_{SS}.

Table A–3. Recommended Operating Conditions

Parameter			Min	Nom	Max	Unit
V_{DD}	Supply voltage		4.75	5	5.25	V
V_{SS}	Supply voltage			0		V
V_{IH}	High-level input voltage	CLKIN, CLKIN2	3.0		V_{DD}+0.3	V
		CLKX,CLKR, TCLKX, TCLKR	2.5		V_{DD}+0.3	
		All others	2.0		V_{DD}+0.3	
V_{IL}	Low-level input voltage		–0.3		0.8	V
I_{OH}	High-level output current				–300†	µA
I_{OL}	Low-level output current				2	mA
T	Operating case temperature		0		85	°C

† This I_{OH} may be exceeded when using a 1-kΩ pull-down resistor on the TDM serial port TADD output, however, this output still meets V_{OH} specifications under these conditions.

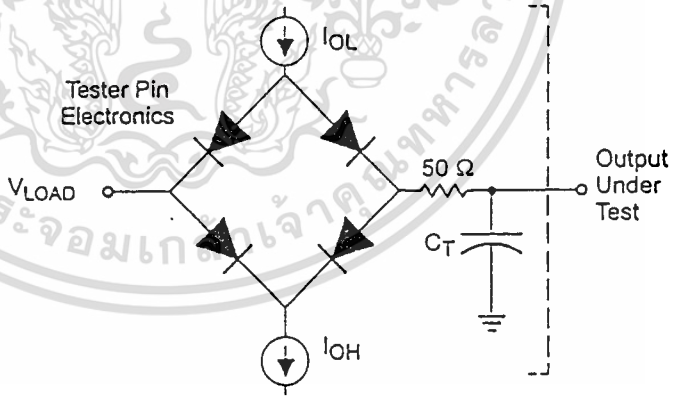
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table A–4. Electrical Characteristics Over Specified Free-Air Temperature Range (Unless Otherwise Noted)

Parameter		Test Conditions	Min	Typ†	Max	Unit
V_{OH}	High-level output voltage §	I_{OH}=Max	2.4	3		V
V_{OL}	Low-level output voltage §	I_{OL}=Max		0.3	0.6	V
I_Z	Three-state current	$\overline{BR}$	–400	‡	20	µA
	(V_{DD} = Max)	All other three-state	–20	‡	20	
I_I	Input current	$\overline{TRST}$ pin (with internal pulldown)	–10	‡	800	µA
	(V_I=V_{SS} to V_{DD})	TMS, TCK, TDI pins (with internal pullups)	–400	‡	10	
		X2/CLKIN pin	–50	‡	+50	µA
		All other input-only pins	–10	‡	10	
I_{DDC}	Supply current, core CPU	Operating T_A=25°C, V_{DD}=5.25 V, f_x=40.96 MHz		60		mA
I_{DDP}	Supply current, pins	Operating T_A=25°C, V_{DD}=5.25 V, f_x=40.96 MHz		40		mA
I_{DD}	Supply current, standby	IDLE2, clocks shut off		5		µA
C_i	Input capacitance			15		pF
C_o	Output capacitance			15		pF

† All typical nominal values are at V_{DD}=5 V, T_A=25°C.
‡ These values are not specified, pending detailed characterization.
§ All input and output voltage levels are TTL-compatible. Figure A-2 shows the test load circuit and Figure A-3 shows the voltage reference levels.

Figure A–2. Test Load Circuit

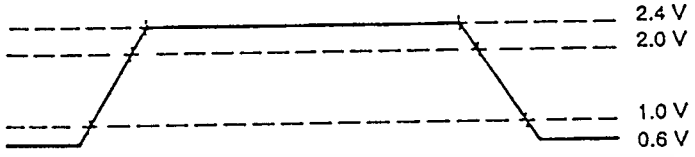


Where: I_{OL} = 2.0 mA (all outputs)
I_{OH} = 300 µA (all outputs)
V_{LOAD} = 1.5 V
C_T = 80 pF typical load circuit capacitance.

TTL output levels are driven to a minimum logic-high level of 2.4 volts and to a maximum logic-low level of 0.6 volt. Figure A–3 shows the TTL-level outputs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure A–3. TTL-Level Outputs



TTL-output transition times are specified as follows:

- For a *high-to-low transition*, the level at which the output is said to be no longer high is 2.0 volts, and the level at which the output is said to be low is 1.0 volt.
- For a *low-to-high transition*, the level at which the output is said to be no longer low is 1.0 volt, and the level at which the output is said to be high is 2.0 volts.

Figure A–4 shows the TTL-level inputs.

Figure A–4. TTL-Level Inputs

TTL-compatible input transition times are specified as follows:

- For a *high-to-low transition* on an input signal, the level at which the input is said to be no longer high is 2.0 volts, and the level at which the input is said to be low is 0.8 volt.
- For a *low-to-high transition* on an input signal, the level at which the input is said to be no longer low is 0.8 volt, and the level at which the input is said to be high is 2.0 volts.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.3 Clock Characteristics and Timing

The 'C5x can use either its internal oscillator or an external frequency source for a clock. The clock mode is determined by the CLKMD1 (pin 71) and CLKMD2 (pin 103) clock mode pins. The following table outlines the selection of the clock mode by these pins.

CLKMD1	CLKMD2	Clock Source
1	0	External divide-by-one clock option.
0	1	Reserved for test purposes.
1	1	External divide-by-two option or internal divide-by-two clock option with an external crystal.
0	0	External divide-by-two option with the internal oscillator disabled.

A.3.1 Internal Divide-by-Two Clock Option With External Crystal

The internal oscillator is enabled by connecting a crystal across X1 and X2/CLKIN. The frequency of CLKOUT1 is one-half the crystal's oscillating frequency. The crystal should be in either fundamental or overtone operation and parallel resonant, with an effective series resistance of 30 ohms and a power dissipation of 1 mW; it should be specified at a load capacitance of 20 pF. Note that overtone crystals require an additional tuned-LC circuit. Figure A-4 shows an external crystal (fundamental frequency) connected to the on-chip oscillator.

Table A–5. Recommended Operating Conditions

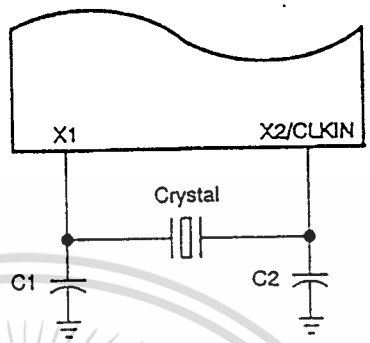
Parameter		Min	Nom	Max	Unit
f_x Input clock frequency	TMS320C5x-40	0†		40.96	MHz
	TMS320C5x-57‡	0†		57.14	MHz
C1, C2			10		pF

† This device utilizes a fully static design and therefore can operate with $t_{c(CI)}$ approaching ∞. The device is characterized at frequencies approaching 0 Hz but is tested at a minimum of 3.3 MHz to meet device test time requirements.

‡ Other timings for the 57-MHz CLKIN devices are the same as those for the 40-MHz CLKIN devices, except where otherwise indicated.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure A–5. Internal Clock Option



A.3.2 External Divide-by-Two Clock Option

An external frequency source can be used by injecting the frequency directly into X2/CLKIN, with X1 left unconnected, CLKMD1 set high, and CLKMD2 set high. This external frequency is divided by two to generate the internal machine cycle.

The external frequency injected must conform to specifications listed in the timing requirements table.

Table A–6. Switching Characteristics Over Recommended Operating Conditions ($H = 0.5\ t_{c(CO)}$)

Parameter			Min	Typ	Max	Unit
$t_{c(CO)}$	CLKOUT1 cycle time	TMS320C5x-40	48.8	$2t_{c(CI)}$	†	ns
		TMS320C5x-57‡	35	$2t_{c(CI)}$	†	ns
$t_{d(CIH-CO)}$	CLKIN high to CLKOUT1 high/low		3	11	20	ns
$t_{f(CO)}$	CLKOUT1 fall time			5		ns
$t_{r(CO)}$	CLKOUT1 rise time			5		ns
$t_{w(COL)}$	CLKOUT1 low pulse duration		H – 2	H	H + 2	ns
$t_{w(COH)}$	CLKOUT1 high pulse duration		H – 2	H	H + 2	ns

† This device utilizes a fully static design and therefore can operate with $t_{c(CI)}$ approaching ∞. The device is characterized at frequencies approaching 0 Hz but is tested at a minimum of 3.35 MHz to meet device test time requirements.

‡ Other timings for the 57-MHz CLKIN devices are the same as those for the 40-MHz CLKIN devices, except where otherwise indicated.

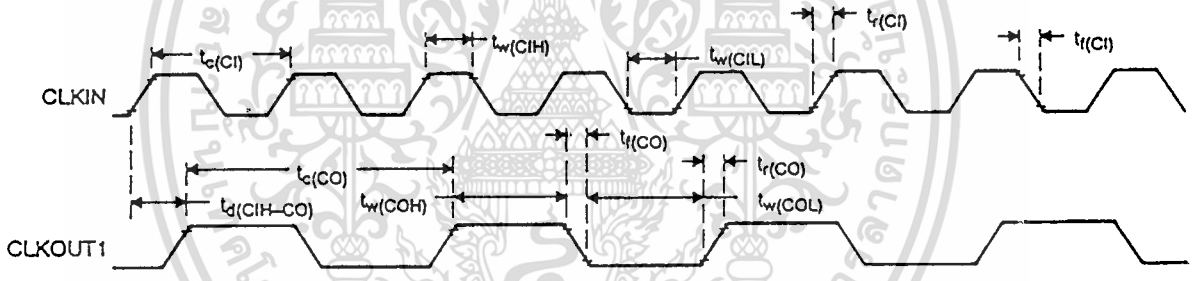
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table A–7. Timing Requirements Over Recommended Operating Conditions (H = 0.5 $t_{c(CO)}$)

Parameter			Min	Max	Unit
$t_{c(CI)}$	CLKIN cycle time	TMS320C5x-40	24.4	§	ns
		TMS320C5x-57‡	17.5	§	ns
$t_{f(CI)}$	CLKIN fall time †			5	ns
$t_{r(CI)}$	CLKIN rise time †			5	ns
$t_{w(CIL)}$	CLKIN low pulse duration	TMS320C5x-40	11	§	ns
		TMS320C5x-57‡	8	§	ns
$t_{w(CIH)}$	CLKIN high pulse duration	TMS320C5x-40	11	§	ns
		TMS320C5x-57‡	8	§	ns

† Values derived from characterization data and not tested.
‡ Other timings for the 57-MHz CLKIN devices are the same as those for the 40-MHz CLKIN devices, except where otherwise indicated.
§ This device utilizes a fully static design and therefore can operate with $t_{c(CI)}$ approaching ∞. The device is characterized at frequencies approaching 0 Hz, but is tested at a minimum of 6.7 MHz to meet device test time requirements.

Figure A–6. External Divide-by-Two Clock Timing



A.3.3 External Divide-by-One Clock Option

An external frequency source can be used by injecting the frequency directly into CLKIN2, with X1 left unconnected and X2 connected to V_{DD}. This external frequency is divided by one to generate the internal machine cycle. The divide-by-one option is used when the CLKMD1 pin is strapped high and CLKMD2 is strapped low.

The external frequency injected must conform to specifications listed in the timing requirements table.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table A–8. Switching Characteristics Over Recommended Operating Conditions ($H = 0.5\ t_{c(CO)}$)

Parameter			Min	Typ	Max	Unit
$t_{c(CO)}$	CLKOUT1 cycle time	TMS320C5x-40	48.8	$t_{c(CI)}$	75§	ns
		TMS320C5x-57‡	35	$t_{c(CI)}$	75§	ns
$t_{d(CIH-CO)}$	CLKIN2 high to CLKOUT1 high		2	9	16	ns
$t_{f(CO)}$	CLKOUT1 fall time			5		ns
$t_{r(CO)}$	CLKOUT1 rise time			5		ns
$t_{w(COL)}$	CLKOUT1 low pulse duration		H – 2	H	H + 2	ns
$t_{w(COH)}$	CLKOUT1 high pulse duration		H – 2	H	H + 2	ns
t_p	Transitory phase—PLL synchronized after CLKIN2 supplied		256¶		1000†	cycles

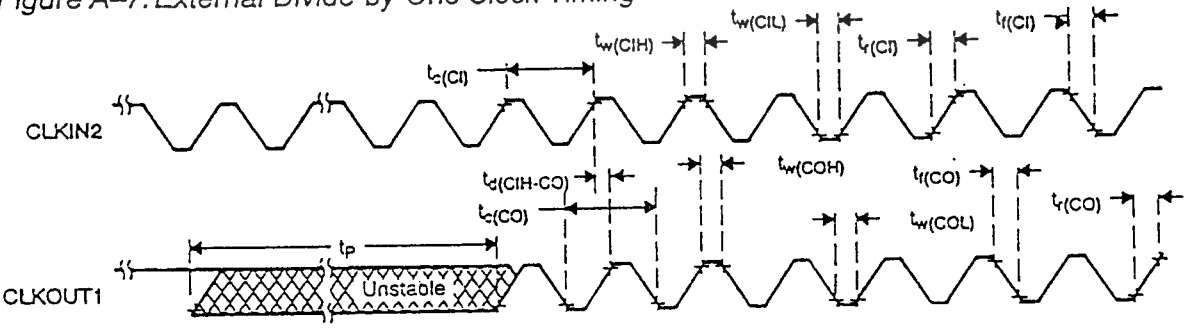
† Values derived from characterization data and not tested.
‡ Other timings for the 57-MHz CLKIN devices are the same as those for the 40-MHz CLKIN devices, except where otherwise indicated.
§ Clocks can be stopped only while the device executes IDLE2 when using the external divide-by-one clock option.
¶ Values guaranteed by design and not tested.

Table A–9. Timing Requirements Over Recommended Operating Conditions ($H = 0.5\ t_{c(CO)}$)

Parameter			Min	Max	Unit
$t_{c(CI)}$	CLKIN2 cycle time	TMS320C5x-40	48.8	75§	ns
		TMS320C5x-57‡	35	75§	ns
$t_{f(CI)}$	CLKIN2 fall time †			5	ns
$t_{r(CI)}$	CLKIN2 rise time †			5	ns
$t_{w(CIL)}$	CLKIN2 low pulse duration	TMS320C5x-40	15	60	ns
		TMS320C5x-57‡	11	64	ns
$t_{w(CIH)}$	CLKIN2 high pulse duration	TMS320C5x-40	15	60	ns
		TMS320C5x-57‡	11	64	ns

† Values derived from characterization data and not tested.
‡ Other timings for the 57-MHz CLKIN devices are the same as those for the 40-MHz CLKIN devices, except where indicated otherwise.
§ Clocks can be stopped only while the device executes IDLE2 when using the external divide-by-one clock option. Note that t_p (the transitory phase) will occur when restarting clock from IDLE2 in this mode.

Figure A–7. External Divide-by-One Clock Timing



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.3.4 Memory and Parallel I/O Interface Read Timing

Table A–10. Switching Characteristics Over Recommended Operating Conditions ($H = 0.5t_{c(CO)}$)

Parameter		Min	Max	Unit
$t_{su(A)R}$	Setup time, address valid before $\overline{RD}$ low †	H – 10¶		ns
$t_{h(A)R}$	Hold time, address valid after $\overline{RD}$ high †	0¶		ns
$t_{w(RL)}$	$\overline{RD}$ low pulse duration ‡#	H – 2	H + 2	ns
$t_{w(RH)}$	$\overline{RD}$ high pulse duration ‡#	H – 2		ns
$t_{d(RW)}$	Delay time, $\overline{RD}$ high to $\overline{WE}$ low	2H – 5		ns

† A15–A0, $\overline{PS}$, $\overline{DS}$, $\overline{IS}$, and $\overline{BR}$ timings are all included in timings referenced as address.
‡ $\overline{STRB}$ and $\overline{RD}$ rising and falling edges track and are 0–4 and ± 2 ns, respectively, from CLKOUT1 edges on reads, following the cycle after reset, which is always 7 wait states; thus, tolerance of resulting pulsewidths is ± 2 ns, not ± 4 ns. See Appendix B.
# Values derived from characterization data and are not tested.
¶ See Figure A–9 for address bus timing variation with load capacitance.

Table A–11. Timing Requirements Over Recommended Operating Conditions ($H = 0.5t_{c(CO)}$)

Parameter			Min	Max	Unit
$t_{a(A)}$	Read data access from address valid	TMS320C5x-40		2H – 18†	ns
		TMS320C5x-57‡		2H – 15†	ns
$t_{su(D)R}$	Read data setup time before $\overline{RD}$ high		10		ns
$t_{h(D)R}$	Read data hold time after $\overline{RD}$ high		0		ns
$t_{a(R)}$	Read data access time after $\overline{RD}$ low			H – 10	ns

† See Figure A–9 for address bus timing variation with load capacitance.
‡ Other timings for 57-MHz CLKIN devices are the same as for the 40-MHz devices, except where indicated otherwise.

A.3.5 Memory and Parallel I/O Interface Write Timing

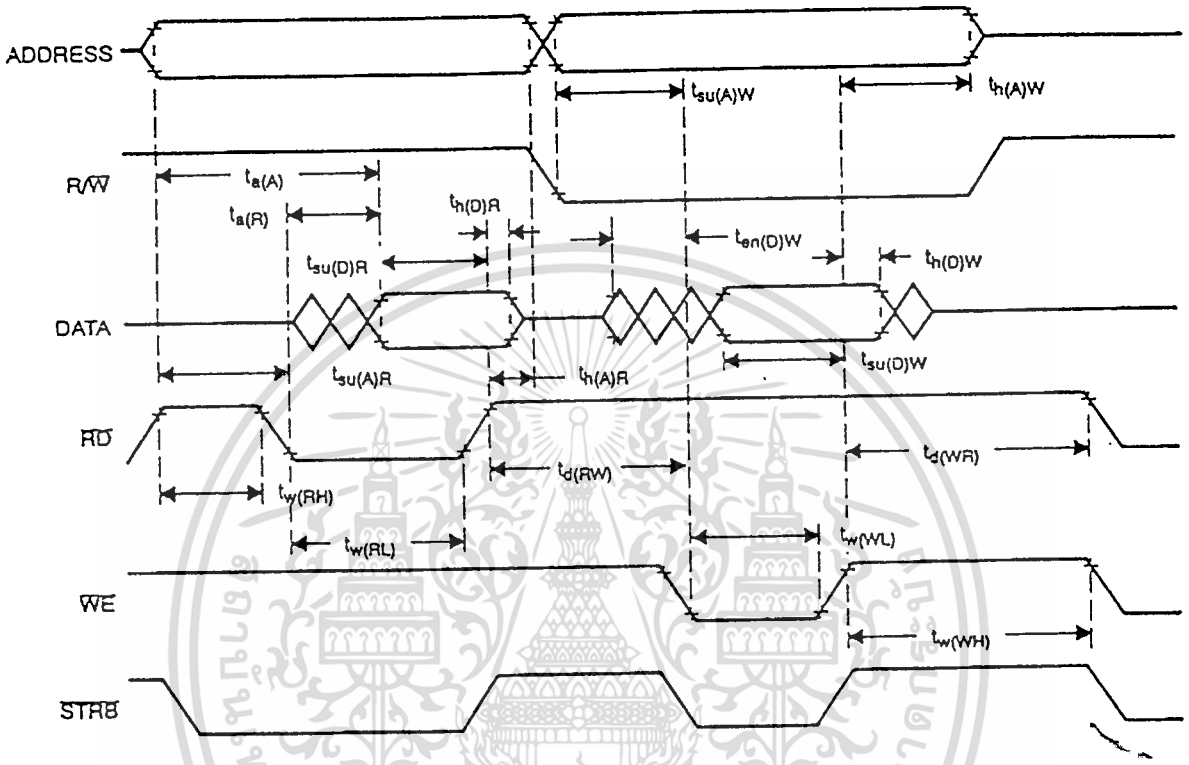
Table A–12. Switching Characteristics Over Recommended Operating Conditions ($H = 0.5t_{c(CO)}$)

Parameter		Min	Max	Unit
$t_{su(A)W}$	Setup time, address valid before $\overline{WE}$ low †	H – 5#		ns
$t_{h(A)W}$	Hold time, address valid after $\overline{WE}$ high †	H – 10#		ns
$t_{w(WL)}$	$\overline{WE}$ low pulse duration ‡¶	2H – 2	2H + 2	ns
$t_{w(WH)}$	$\overline{WE}$ high pulse duration ‡¶	2H – 2		ns
$t_{d(WR)}$	Delay time, $\overline{WE}$ high to $\overline{RD}$ low	2H – 10		ns
$t_{su(D)W}$	Setup time, write data valid before $\overline{WE}$ high ‡	2H – 20	2H§	ns
$t_{h(D)W}$	Hold time, write data valid after $\overline{WE}$ high ‡	H – 5	H+10¶	ns
$t_{en(D)W}$	Enable time, $\overline{WE}$ to data bus driven	–5¶		ns

† A15–A0, $\overline{PS}$, $\overline{DS}$, $\overline{IS}$, R/$\overline{W}$, and $\overline{BR}$ timings are all included in timings referenced as address.
‡ $\overline{STRB}$ and $\overline{WE}$ edges are 0–4 ns from CLKOUT1 edges on writes. Rising and falling edges of these signals track each other; tolerance of resulting pulsewidths is ± 2 ns, not ± 4 ns. See Appendix B for logical device interface timings.
¶ Values derived from characterization data and are not tested.
§ This value holds true for zero or one wait state only.
# See Figure A–9 for address bus timing variation with load capacitance.

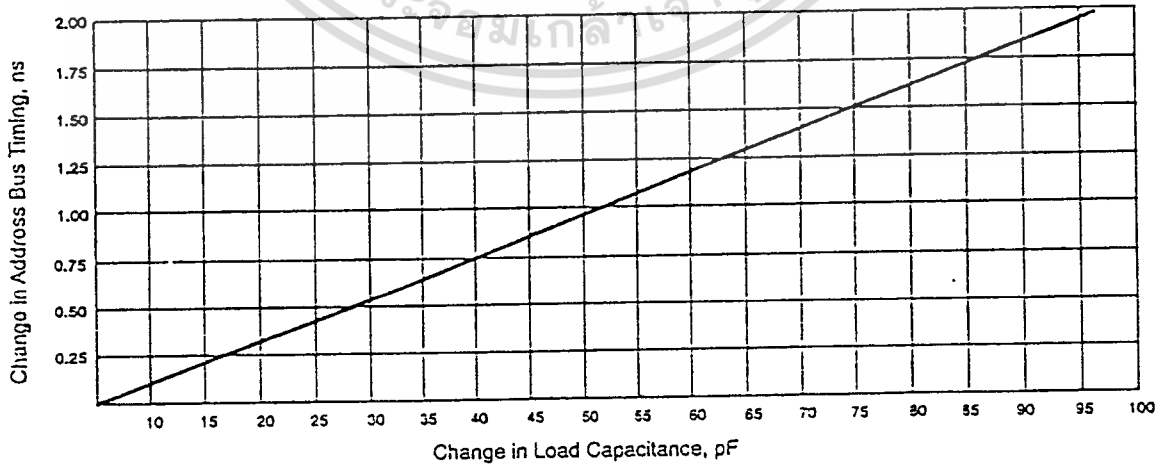
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure A–8. Memory and Parallel I/O Interface Read and Write Timing



Note: All timings are for 0 wait states. However, external writes always require two cycles to prevent external bus conflicts. The above diagram illustrates a one-cycle read and a two-cycle write and is not drawn to scale. All external writes immediately preceded by an external read or immediately followed by an external read require three machine cycles.

Figure A–9. Address Bus Timing Variation With Load Capacitance



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

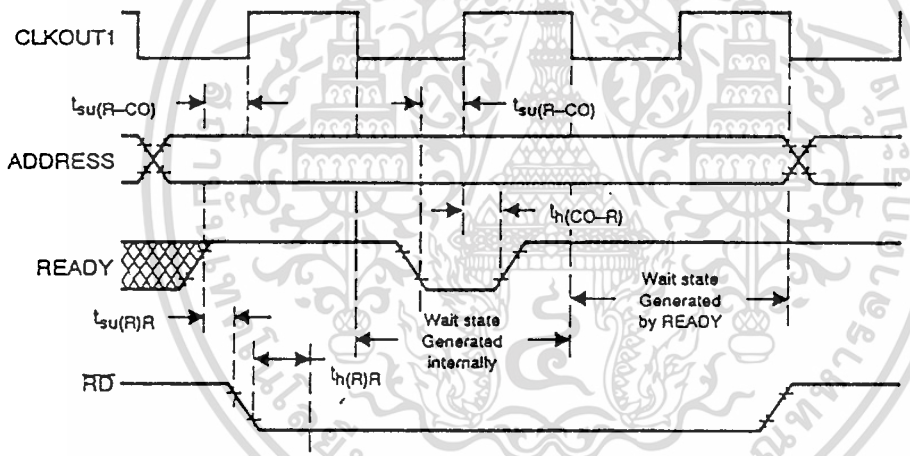
A.3.6 Ready Timing for Externally Generated Wait States

Table A–13. Timing Requirements Over Recommended Operating Conditions

Parameter		Min	Max	Unit
$t_{su(R-CO)}$	READY setup time before CLKOUT1 rises	10		ns
$t_{h(CO-R)}$	READY hold time after CLKOUT1 rises	0		ns
$t_{su(R)R}$	READY setup time before $\overline{RD}$ falls	10		ns
$t_{h(R)R}$	READY hold time after $\overline{RD}$ falls	5		ns
$t_{v(R)W}$	READY valid after $\overline{WE}$ falls	H – 15		ns
$t_{h(R)W}$	READY hold after $\overline{WE}$ falls	H + 5		ns

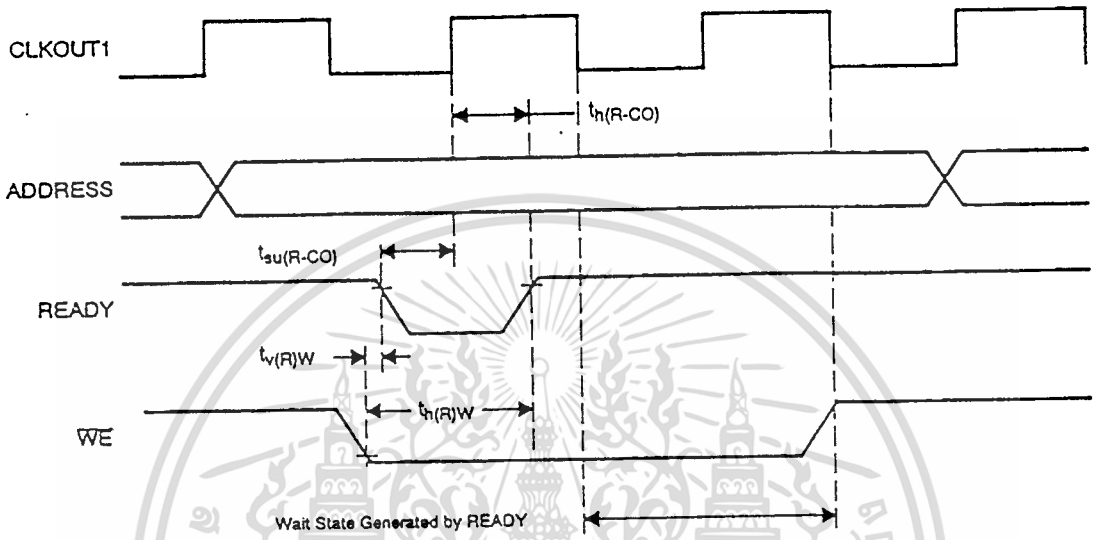
Note: The external READY input is sampled only after the internal software wait states are completed.

Figure A–10. Ready Timing for Externally Generated Wait States During an External Read Cycle



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure A–11. Ready Timing for Externally Generated Wait States During an External Write Cycle



A.3.7 Reset, Interrupt, and $\overline{BIO}$ Timings

Table A–14. Timing Requirements Over Recommended Operating Conditions ($H = 0.5t_{c(CO)}$)

Parameter		Min	Max	Unit
$t_{su(IN)}$	$\overline{INT1}$–$\overline{INT4}$, $\overline{NMI}$, $\overline{RS}$ setup time before CLKOUT1 low †	15		ns
$t_{h(IN)}$	$\overline{INT1}$–$\overline{INT4}$, $\overline{NMI}$, $\overline{RS}$ hold time after CLKOUT1 low †	0		ns
$t_{w(INL)s}$	$\overline{INT1}$–$\overline{INT4}$, $\overline{NMI}$ low pulse duration, synchronous	4H+15‡		ns
$t_{w(INH)s}$	$\overline{INT1}$–$\overline{INT4}$, $\overline{NMI}$ high pulse duration, synchronous	2H+15‡		ns
$t_{w(INL)a}$	$\overline{INT1}$–$\overline{INT4}$, $\overline{NMI}$ low pulse duration, asynchronous #	6H+15‡		ns
$t_{w(INH)a}$	$\overline{INT1}$–$\overline{INT4}$, $\overline{NMI}$ high pulse duration, asynchronous #	4H+15‡		ns
$t_{su(R)}$	$\overline{RS}$ set up time before X2/CLKIN low	10		ns
$t_{w(RSL)}$	$\overline{RS}$ low pulse duration	12H		ns
$t_{d(EX)}$	$\overline{RS}$ high to reset vector fetch	34H		ns
$t_{w(BI)s}$	$\overline{BIO}$ low pulse duration, synchronous	15		ns
$t_{w(BI)a}$	$\overline{BIO}$ low pulse duration, asynchronous #	H+15		ns
$t_{su(BI)}$	$\overline{BIO}$ setup before CLKOUT1 low	15		ns
$t_{h(BI)}$	$\overline{BIO}$ hold time after CLKOUT1 low	0		ns

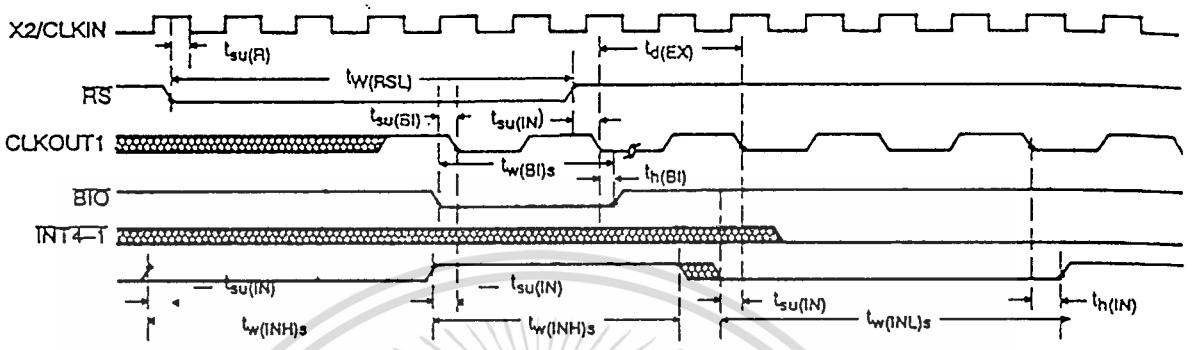
† These parameters must be met to use the synchronous timings. Both reset and the interrupts can operate asynchronously. The pulse widths require an extra half-cycle to guarantee internal synchronization.

‡ If in IDLE2, add 4H to these timings.

Values derived from characterization data and are not tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure A–12. Reset, Interrupt, and $\overline{BIO}$ Timings



A.3.8 Instruction Acquisition ($\overline{IAQ}$), Interrupt Acknowledge ($\overline{IACK}$), External Flag (XF), and TOUT Timings

Table A–15. Switching Characteristics Over Recommended Operating Conditions ($H = 0.5t_{c(CO)}$)

Parameter		Min	Max	Unit
$t_{su(A)IAQ}$	Setup time, address valid before $\overline{IAQ}$ low †	H – 12[1]		ns
$t_{h(A)IAQ}$	Hold time, address valid after $\overline{IAQ}$ low	H –10[1]		ns
$t_{w(IAQL)}$	$\overline{IAQ}$ low pulse duration	H – 10[1]		ns
$t_{d(TOUT)}$	Delay time, CLKOUT1 falling to TOUT	–6	6	ns
$t_{su(A)IACK}$	Setup time, address valid before $\overline{IACK}$ low ‡	H – 12[1]		ns
$t_{h(A)IACK}$	Hold time, address valid after $\overline{IACK}$ high ‡	H – 10[1]		ns
$t_{w(IACKL)}$	$\overline{IACK}$ low pulse duration	H – 10[1]		ns
$t_{w(TOUT)}$	TOUT pulse width	2H – 12		ns
$t_{d(XF)}$	Delay time, XF valid after CLKOUT1	0	12	ns

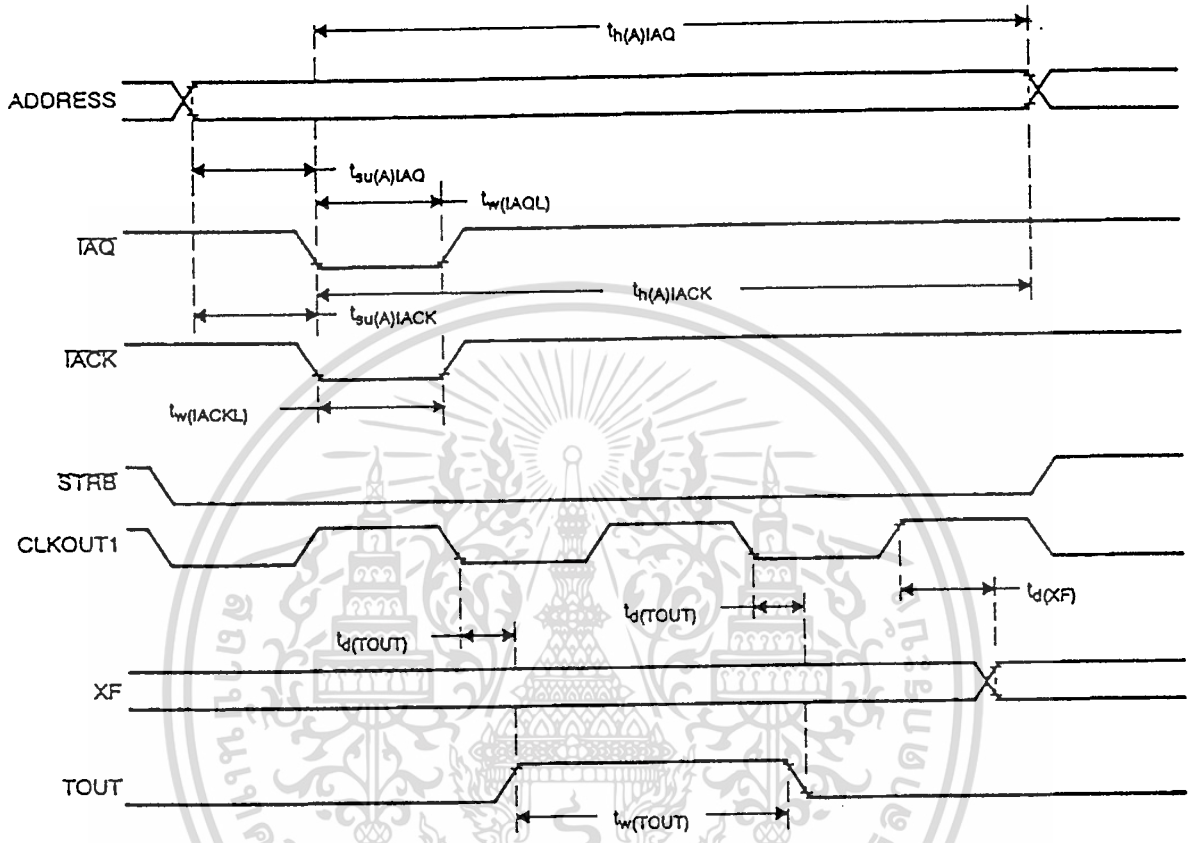
† $\overline{IAQ}$ goes low during an instruction acquisition. It goes low only on the first cycle of the read when wait states are used. The falling edge should be used to latch the valid address. The AVIS bit in the PMST register must be set to zero for the address to be valid when the instruction being addressed resides in on-chip memory.

‡ $\overline{IACK}$ goes low during the fetch of the first word of the interrupt vector. It goes low only on the first cycle of the read when wait states are used. Address pins A1 – A4 can be decoded at the falling edge to identify the interrupt being acknowledged. The AVIS bit in the PMST register must be set to zero for the address to be valid when the vectors reside in on-chip memory.

[1] Valid only if the external address reflects the current instruction activity (that is, code is executing on chip with no external bus cycles and AVIS is on or code is executing off-chip).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure A–13. $\overline{IAQ}$, $\overline{IACK}$, and XF Timings Example With Two External Wait States



Note: $\overline{IAQ}$ and $\overline{IACK}$ are not affected by wait states.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.3.9 External DMA Timing

Table A–16. Switching Characteristics Over Recommended Operating Conditions ($H = 0.5t_{c(CO)}$)

Parameter		Min	Max	Unit
$t_{d(H-HA)}$	Delay time, $\overline{HOLD}$ low to $\overline{HOLDA}$ low	4H	§	ns
$t_{d(HH-HA)}$	Delay time, $\overline{HOLD}$ high before $\overline{HOLDA}$ high	2H		ns
$t_{z(M-HA)}$	Address three-state before $\overline{HOLDA}$ low †	H – 15¶		ns
$t_{en(HA-M)}$	Enable time, $\overline{HOLDA}$ high to address driven	H – 5¶		ns
$t_{d(B-I)}$	Delay time, $\overline{XBR}$ low to $\overline{IAQ}$ low	4H¶	6H¶	ns
$t_{d(BH-I)}$	Delay time, $\overline{XBR}$ high to $\overline{IAQ}$ high	2H¶	4H¶	ns
$t_{d(D)XR}$	Delay time, read data valid after $\overline{XSTRB}$ low		40	ns
$t_{h(D)XR}$	Read data hold time after $\overline{XSTRB}$ high	0		ns
$t_{en(I-D)}$	Enable time, $\overline{IAQ}$ low to read data driven ‡	0¶	2H¶	ns
$t_{z(\overline{W})}$	XR/$\overline{W}$ low to data three-state	0¶	15¶	ns
$t_{z(I-D)}$	$\overline{IAQ}$ high to data three-state		H	ns
$t_{en(D)RW}$	Enable time, data from XR/$\overline{W}$ going high		4	ns

† This parameter includes all memory control lines.
‡ This parameter refers to the delay between the time the condition ($\overline{IAQ}$ = 0 and XR/$\overline{W}$ = 1) is satisfied and the time that the 'C5x data lines become valid.
§ $\overline{HOLD}$ is not acknowledged until current external access request is complete.
¶ Values derived from characterization data and are not tested.

Note: X preceding a name refers to external drive of the signal.

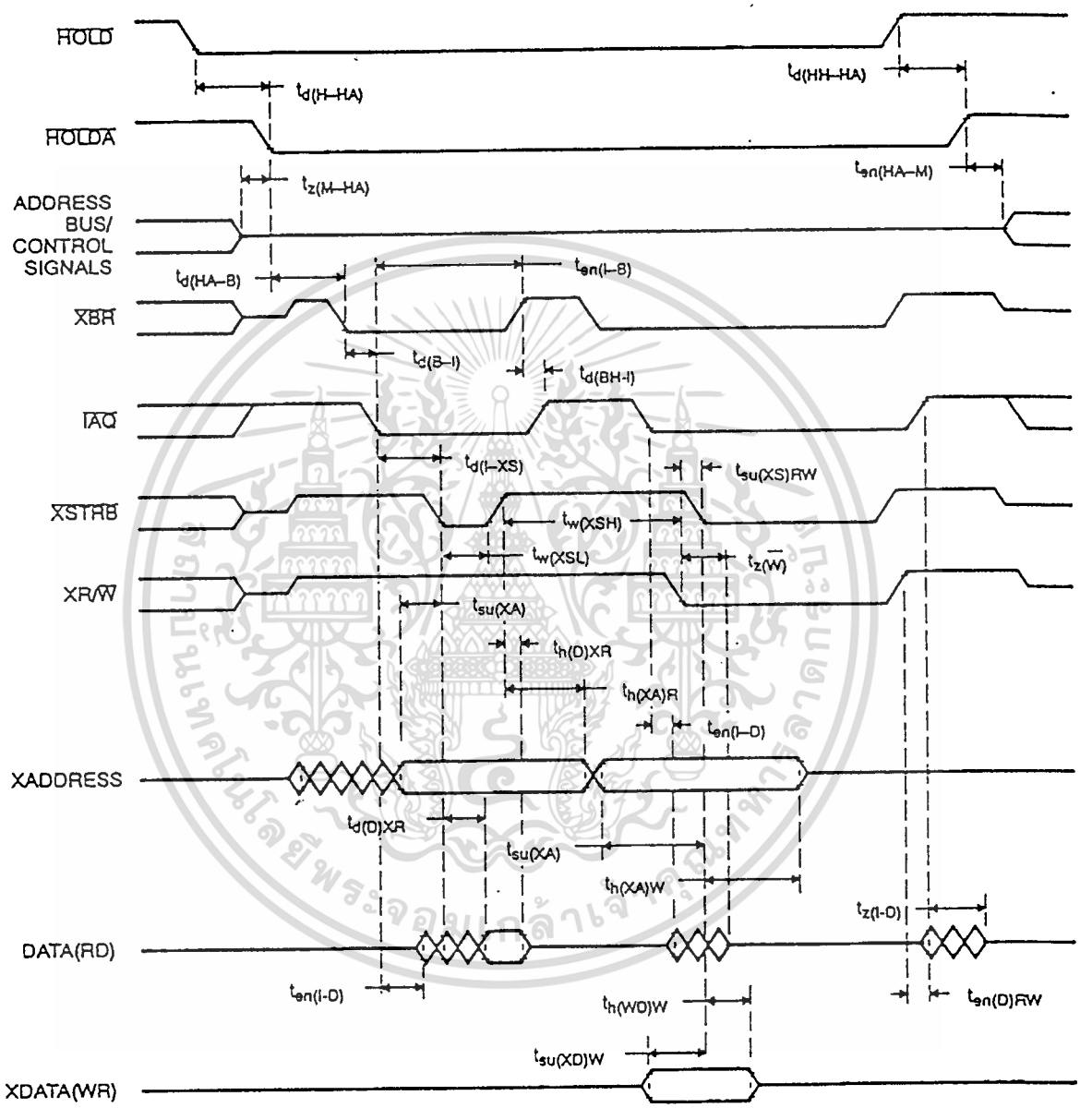
Table A–17. Timing Requirements Over Recommended Operating Conditions

Parameter		Min	Max	Unit
$t_{d(HA-S)}$	Delay time, $\overline{HOLDA}$ low to $\overline{XBR}$ low †	0¶		ns
$t_{d(I-XS)}$	Delay time, $\overline{IAQ}$ low to $\overline{XSTRB}$ low †	0¶		ns
$t_{su(XA)}$	Setup time, Xaddress valid before $\overline{XSTRB}$ low	15		ns
$t_{su(XD)W}$	Setup time, Xdata valid before $\overline{XSTRB}$ low	15		ns
$t_{h(WD)W}$	Hold time, Xdata hold after $\overline{XSTRB}$ low	15		ns
$t_{h(XA)W}$	Hold time, Write Xaddress hold after $\overline{XSTRB}$ low	15		ns
$t_{w(XSL)}$	Width $\overline{XSTRB}$ low pulse	45		ns
$t_{w(XSH)}$	Width $\overline{XSTRB}$ high pulse	45		ns
$t_{su(XS)RW}$	Setup time, R/$\overline{W}$ valid before $\overline{XSTRB}$ low	20		ns
$t_{h(XA)R}$	Hold time, read Xaddress after $\overline{XSTRB}$ high	0		ns

† $\overline{XBR}$, XR/$\overline{W}$, and $\overline{XSTRB}$ lines should be pulled up with a 10-kΩ resistor to assure that they are in an inactive high state during the transition period between the TMS320C5x driving them and the external circuit driving them.
¶ Values derived from characterization data and are not tested.
Note: X preceding a name refers to external drive of the signal.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure A–14. External DMA Timing



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.3.10 Serial Port Receive Timing

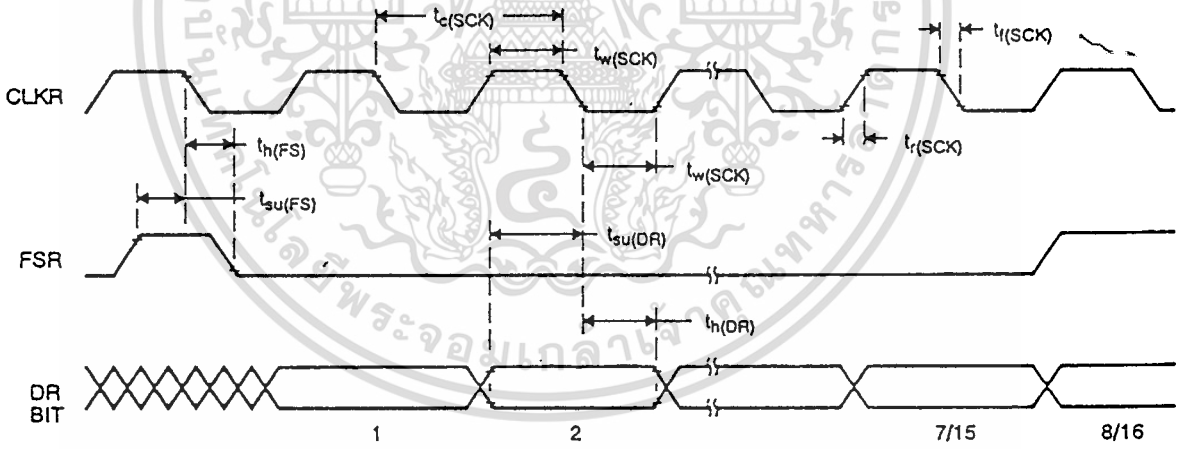
Table A–18. Timing Requirements Over Recommended Operating Conditions ($H = 0.5t_{c(CO)}$)

Parameter		Min	Max	Unit
$t_{c(SCK)}$	Serial port clock cycle time	5.2H	‡	ns
$t_{f(SCK)}$	Serial port clock fall time		8[1]	ns
$t_{r(SCK)}$	Serial port clock rise time		8[1]	ns
$t_{w(SCK)}$	Serial port clock low/high pulse duration	2.1H		ns
$t_{su(FS)}$	FSR setup time before CLKR falling edge	10		ns
$t_{h(FS)}$	FSR hold time after CLKR falling edge	10		ns
$t_{su(DR)}$	DR setup time before CLKR falling edge	10		ns
$t_{h(DR)}$	DR hold time after CLKR falling edge	10		ns

‡ The serial port design is fully static and therefore can operate with $t_{c(SCK)}$ approaching ∞. It is characterized approaching an input frequency of 0 Hz but tested at a much higher frequency to minimize test time.

[1] Values derived from characterization data and are not tested.

Figure A–15. Serial Port Receive Timing



A.3.11 Serial Port Transmit Timing of External Clocks and External Frames (see Note)

Table A–19. Switching Characteristics Over Recommended Operating Conditions ($S = 0.5t_{c(SCK)}$)

Parameter		Min	Max	Unit
$t_{d(DX)}$	Delay time, DX valid after CLKX rising		25	ns
$t_{dis(DX)}$	Disable time, DX after CLKX rising		40	ns
$t_{h(DX)}$	Hold time, DX valid after CLKX rising	–5		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table A–20. Timing Requirements Over Recommended Operating Conditions ($H = 0.5t_{c(CO)}$)

Parameter		Min	Max	Unit
$t_{c(SCK)}$	Serial port clock cycle time	5.2H	‡	ns
$t_{f(SCK)}$	Serial port clock fall time		8 ¶	ns
$t_{r(SCK)}$	Serial port clock rise time		8 ¶	ns
$t_{w(SCK)}$	Serial port clock low/high pulse duration	2.1H		ns
$t_{d(FS)}$	FSX delay time after CLKX rising edge		2H–8	ns
$t_{h(FS)}$	FSX hold time after CLKX falling edge	10		ns
$t_{h(FS)H}$	FSX hold time after CLKX rising edge		2H–8 †	ns

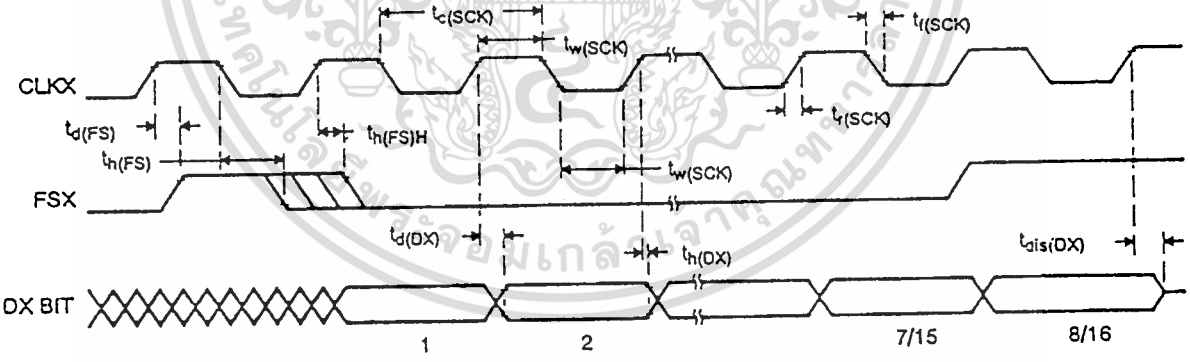
† If the FSX pulse does not meet this specification, the first bit of serial data will be driven on the DX pin until the falling edge of FSX. After the falling edge of FSX, data will be shifted out on the DX pin. The transmit buffer empty interrupt will be generated when the $t_{h(FS)}$ and $t_{h(FS)H}$ specification is met.

‡ The serial port design is fully static and therefore can operate with $t_{c(SCK)}$ approaching ∞. It is characterized approaching an input frequency of 0 Hz but tested at a much higher frequency to minimize test time.

¶ Values derived from characterization data and are not tested.

Note: Internal clock with external FSX and vice versa are also allowable. However, FSX timings to CLKX are always defined depending on the source of FSX, and CLKX timings are always dependent upon the source of CLKX. Specifically, the relationship of FSX to CLKX is independent of the source of CLKX. Table A–20 shows external FSX and external CLKX timings; Table A–21 shows internal FSX and internal CLKX timings.

Figure A–16. Serial Port Transmit Timing of External Clocks and External Frames



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

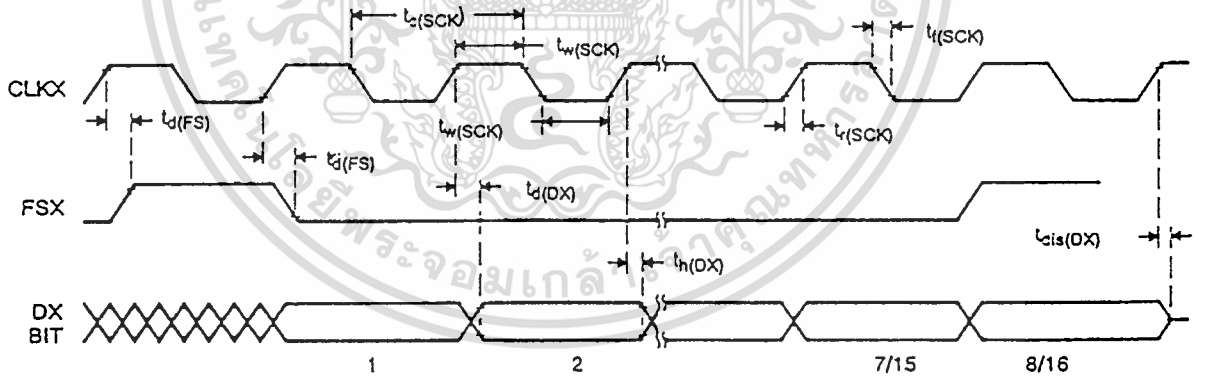
A.3.12 Serial Port Transmit Timing of Internal Clocks and Internal Frames (see Note)

Table A–21. Switching Characteristics Over Recommended Operating Conditions ($H = 0.5t_{c(CO)}$, $S = 0.5t_{c(SCK)}$)

Parameter		Min	Typ	Max	Unit
$t_{d(FS)}$	Delay time, CLKX rising to FSX			25	ns
$t_{d(DX)}$	Delay time, CLKX rising to DX			25	ns
$t_{dis(DX)}$	Disable time, CLKX rising to DX			40	ns
$t_{c(SCK)}$	Serial port clock cycle time		8H		ns
$t_{f(SCK)}$	Serial port clock fall time		5		ns
$t_{r(SCK)}$	Serial port clock rise time		5		ns
$t_{w(SCK)}$	Serial port clock low/high pulse duration	4H – 20			ns
$t_{h(DX)}$	Hold time, DX valid after CLKX rising	–5			ns

Note: Internal clock with external FSX and vice versa are also allowable. However, FSX timings to CLKX are always defined depending on the source of FSX, and CLKX timings are always dependent upon the source of CLKX. Specifically, the relationship of FSX to CLKX is independent of the source of CLKX. Table A–20 shows external FSX and external CLKX timings; Table A–21 shows internal FSX and internal CLKX timings.

Figure A–17. Serial Port Transmit Timing of Internal Clocks and Internal Frames



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

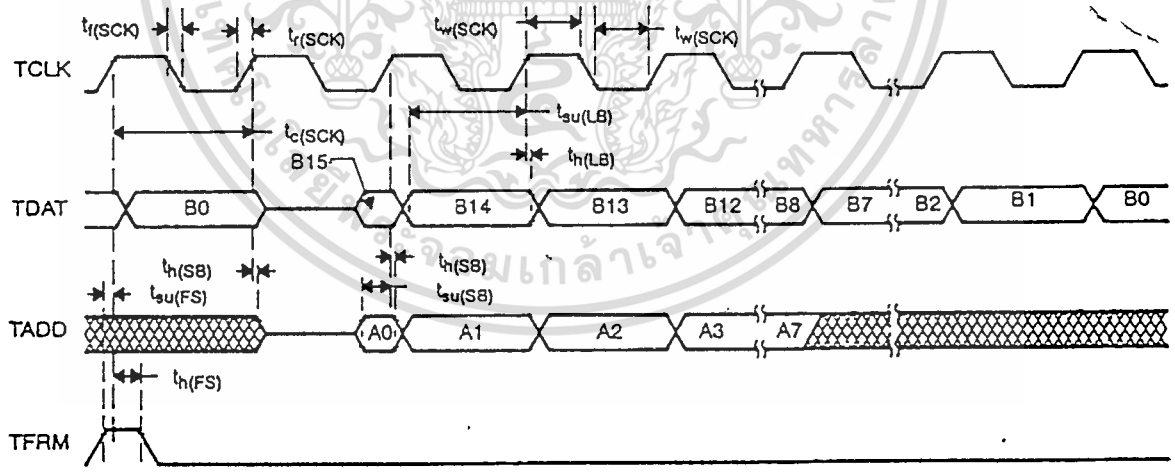
A.3.13 Serial Port Receive Timing In TDM Mode

Table A–22. Timing Requirements Over Recommended Operating Conditions ($H = 0.5t_{c(CO)}$)

Parameter		Min	Max	Unit
$t_{c(SCK)}$	Serial port clock cycle time	5.2H	§	ns
$t_{f(SCK)}$	Serial port clock fall time		8#	ns
$t_{r(SCK)}$	Serial port clock rise time		8#	ns
$t_{w(SCK)}$	Serial port clock low/high pulse duration	2.1H		ns
$t_{su(LB)}$	TDAT/TADD setup time before TCLK rising	30		ns
$t_{h(LB)}$	TDAT/TADD hold time after TCLK rising	–5		ns
$t_{su(SB)}$	TDAT/TADD setup time before TCLK rising †	25		ns
$t_{h(SB)}$	TDAT/TADD hold time after TCLK rising †	0		ns
$t_{su(FS)}$	TRFM setup time before TCLK rising edge ‡	10		ns
$t_{h(FS)}$	TRFM hold time after TCLK rising edge ‡	10		ns

† These parameters apply only to the first bits in the serial bit string.
‡ TFRM timing and waveforms shown in Figure A–18 are for external TFRM. TFRM can also be configured as internal. The TFRM internal case is illustrated in the transmit timing diagram in Figure A–19.
§ The serial port design is fully static and therefore can operate with $t_{c(SCK)}$ approaching ∞. It is characterized approaching an input frequency of 0 Hz but tested at a much higher frequency to minimize test time.
# Values derived from characterization data and are not tested.

Figure A–18. Serial Port Receive Timing in TDM Mode



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.3.14 Serial Port Transmit Timing in TDM Mode

Table A–23. Switching Characteristics Over Recommended Operating Conditions ($S = 0.5t_{c(SCK)}$)

Parameter		Min	Typ	Max	Unit
$t_{h(AD)}$	Hold time, TDAT/TADD valid after TCLK rising	–2			ns
$t_{d(FS)}$	Delay time, TFRM valid after TCLK rising ‡	H		3H+10	ns
$t_{d(AD)}$	Delay time, TCLK to valid TDAT/TADD			25	ns

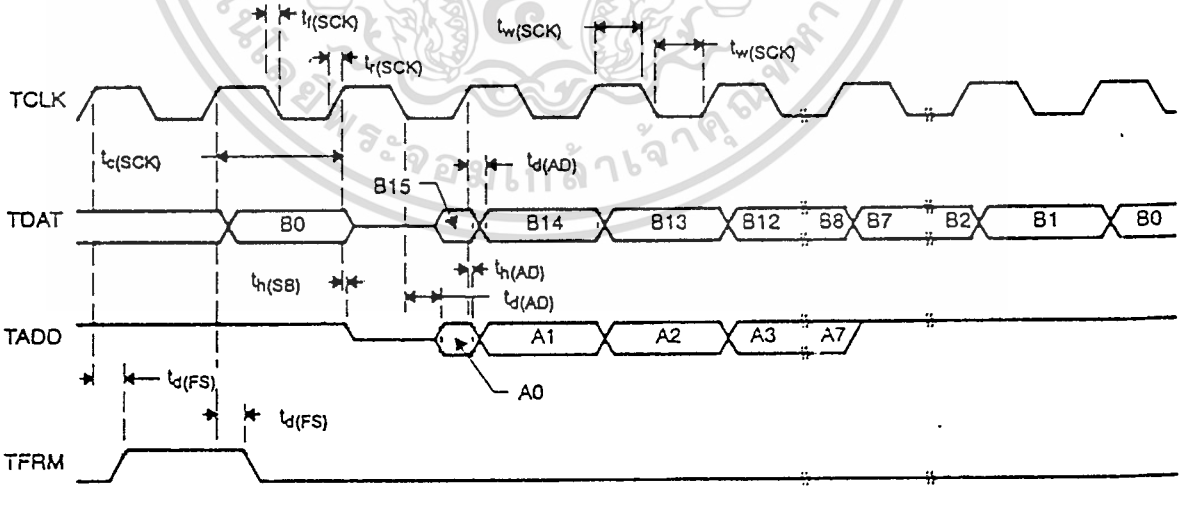
† These parameters apply only to the first bits in the serial bit string.
‡ TFRM timing and waveforms shown in Figure A–19 are for internal TFRM. TFRM can also be configured as external, and the TFRM external case is illustrated in the receive timing diagram in Figure A–18.

Table A–24. Timing Requirements Over Recommended Operating Conditions ($H = 0.5t_{c(CO)}$)

Parameter		Min	Typ	Max	Unit
$t_{c(SCK)}$	Serial port clock cycle time	5.2H	8H†	‡	ns
$t_{f(SCK)}$	Serial port clock fall time			8#	ns
$t_{r(SCK)}$	Serial port clock rise time			8#	ns
$t_{w(SCK)}$	Serial port clock low/high pulse duration	2.1H			ns

† When SCK is generated internally.
‡ The serial port design is fully static and therefore can operate with $t_{c(SCK)}$ approaching ∞. It is characterized approaching an input frequency of 0 Hz but tested at a much higher frequency to minimize test time.
# Values derived from characterization data and are not tested.

Figure A–19. Serial Port Transmit Timing in TDM Mode



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

External Interface Timings

This appendix discusses functional timing operations on the external memory interface bus. Detailed timing specifications for all 'C5x signals are contained in Appendix A, *Electrical Specifications*.

The 'C5x memory is organized into four selectable spaces: program, local data, global data, and I/O space. These spaces are multiplexed through a 16-bit data bus and a 16-bit address bus. Each space is selected by its corresponding select signal: data select ($\overline{DS}$), program select ($\overline{PS}$), and I/O space select ($\overline{IS}$). Global data memory accesses are distinguished by the bus request ($\overline{BR}$) pin. The read and write diagrams shown apply to accesses to all spaces.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

B.1 Read/Write Timings

All bus cycles comprise integral numbers of CLKOUT1 cycles. One CLKOUT1 cycle is defined to be from one falling edge of CLKOUT1 to the next falling edge of CLKOUT1. For full-speed, zero-wait state operation, reads require one cycle and writes require two cycles. A write immediately preceded by a read or immediately followed by a read requires three bus cycles.

For read cycles, $\overline{\text{STRB}}$ goes low and ADDRESS becomes valid with the falling edge of CLKOUT1. The $\overline{\text{RD}}$ signal then goes low with the rising edge of CLKOUT1 and goes high again at the next falling edge of CLKOUT1 (for zero wait-states read cycles). For one more wait state (multicycle) read, $\overline{\text{RD}}$ stays low but goes high again with the falling edge of CLKOUT1 before the next cycle, even if the cycles are contiguous. Read data is sampled at the rising edge of $\overline{\text{RD}}$.

The R/$\overline{\text{W}}$ signal goes high at least one half CLKOUT1 cycle before any read cycle; for contiguous read cycles, $\overline{\text{STRB}}$ stays low. At the end of a read cycle or sequence of reads, $\overline{\text{STRB}}$ goes high along with $\overline{\text{RD}}$ on the falling edge of CLKOUT1.

Write cycles always have at least one inactive (pad) cycle of CLKOUT1 before and after the actual write operation, including contiguous writes. This allows a smooth transition between the write and any adjacent bus operations as well as other writes. For this pad cycle, $\overline{\text{STRB}}$ and $\overline{\text{WE}}$ are always high. The R/$\overline{\text{W}}$ signal always changes state on the rising edge of CLKOUT1 during the pad cycle before and after a write or sequence of writes. This prevents bus contention when making the transition between read and write operations. Note that for a sequence of contiguous writes, R/$\overline{\text{W}}$ stays low.

Timing of valid addresses for writes differs, depending on what activities occur before and after the write; between writes, and for the first and last write in a series, valid ADDRESS occurs on the rising edge of CLKOUT1. If a read immediately follows a write or series of writes, valid ADDRESS for that read cycle occurs one half CLKOUT1 cycle early — that is, on the rising edge, rather than on the falling edge, of CLKOUT1. Note that this is an exception to the usual read cycle address timing.

For the actual write operation, $\overline{\text{STRB}}$ and $\overline{\text{WE}}$ both go low on the falling edge of CLKOUT1 and stay low until the next falling edge of CLKOUT1 (for zero wait-state write cycles). For one or more wait-state (multicycle) writes, $\overline{\text{STRB}}$ and $\overline{\text{WE}}$ remain low but go high again on the falling edge of CLKOUT1 at the beginning of the pad cycle. *Write data* is driven approximately at the falling edge of $\overline{\text{STRB}}$ and $\overline{\text{WE}}$ and is held for approximately one half cycle of CLKOUT1 after $\overline{\text{STRB}}$ and $\overline{\text{WE}}$ go high (see Appendix A for actual timing specifications).

Note that transitions on the external parallel interface control outputs (CLKOUT1, $\overline{\text{STRB}}$, $\overline{\text{WE}}$, and $\overline{\text{RD}}$) are all initiated by the same two internal

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

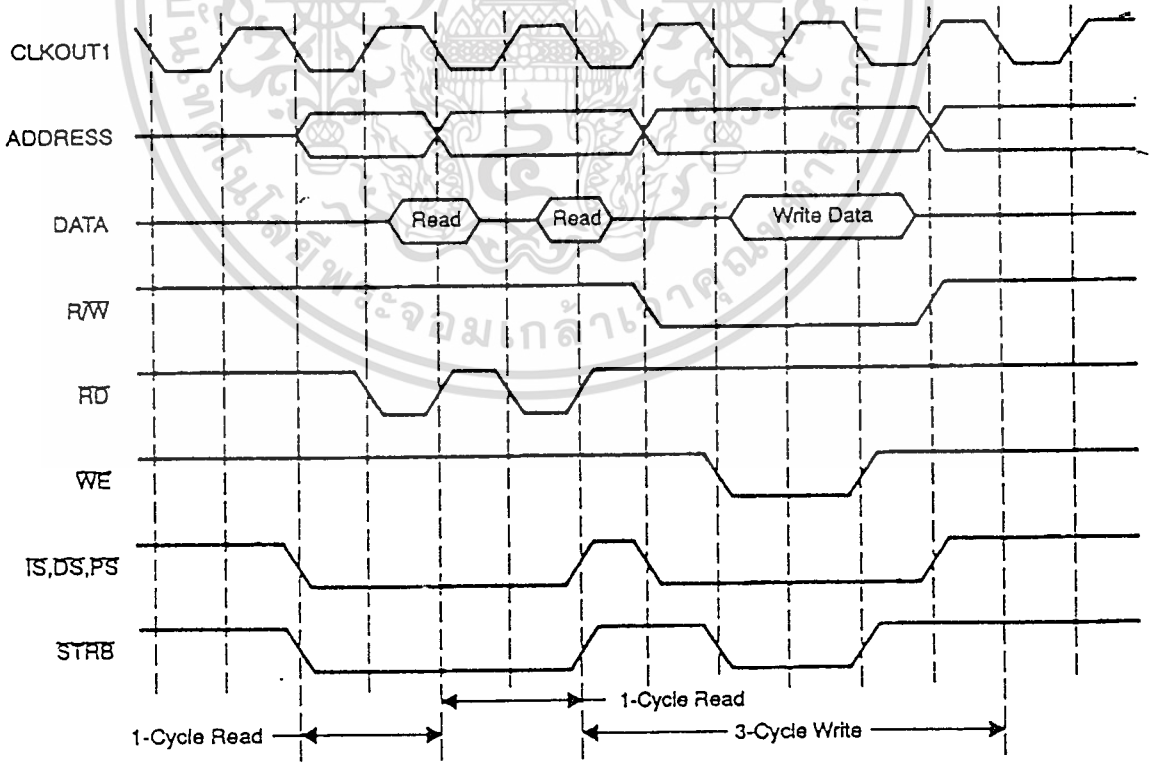
clocks. Since these signals also use the same output buffer circuitry, they all switch within close tolerances of each other, as specified in Appendix A.

Transitions on the address bus and other related outputs ($\overline{IS}$, $\overline{PS}$, $\overline{DS}$, R/$\overline{W}$, and $\overline{BR}$) are initiated by the same internal signals that cause transitions on the control outputs; however, the internal device logic used to generate these outputs differs somewhat from the circuitry used for the control outputs. Because of this, transitions on the address bus and related outputs typically occur somewhat later than control-line transitions.

Timings of control outputs with respect to CLKOUT1 are specified in Appendix A; address timing with respect to CLKOUT1 can be derived from timings provided for address with respect to control signals and control signal timing with respect to CLKOUT1. Therefore, for example, the delay from CLKOUT1 falling to address bus valid at the begininng of a read cycle is calculated as [H – $t_{su(A)R}$] + *maximum positive* $\overline{RD}$ *to CLKOUT1 skew* (refer to Appendix A for specific timing values). Other interface timings with respect to CLKOUT1 can be calculated in the same manner.

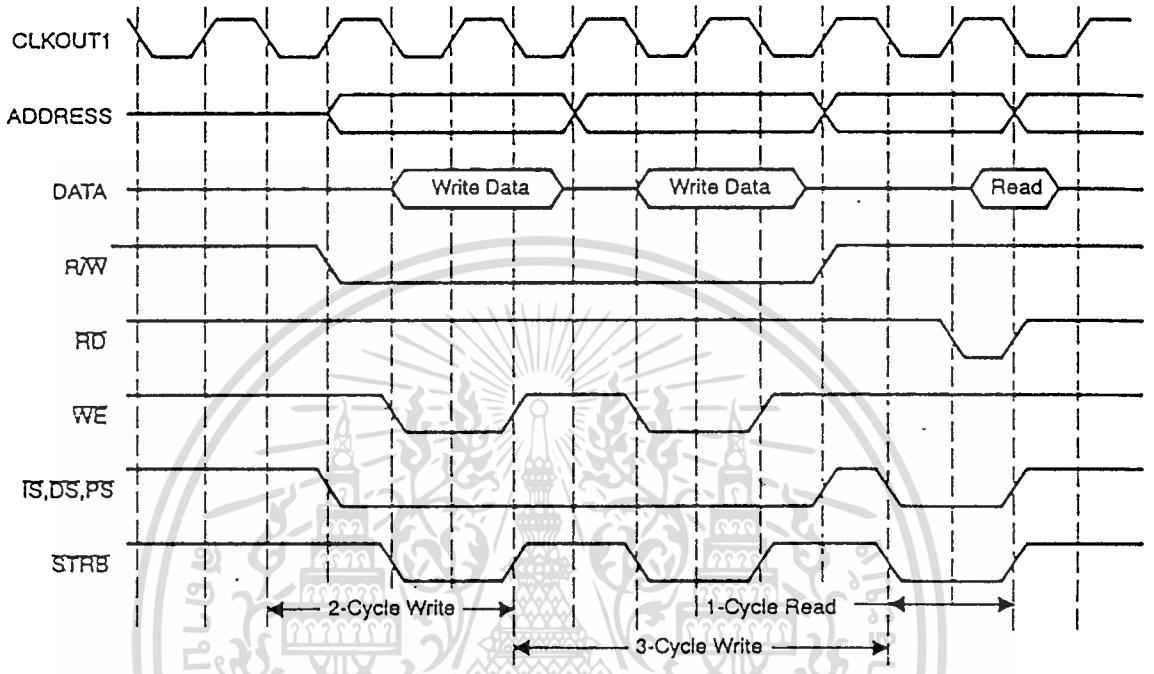
The following timing diagrams illustrate the varieties of logical timings for both read and write cycles in various orders.

Figure B–1. Memory Interface Operation for Read-Read-Write (0 Wait States)



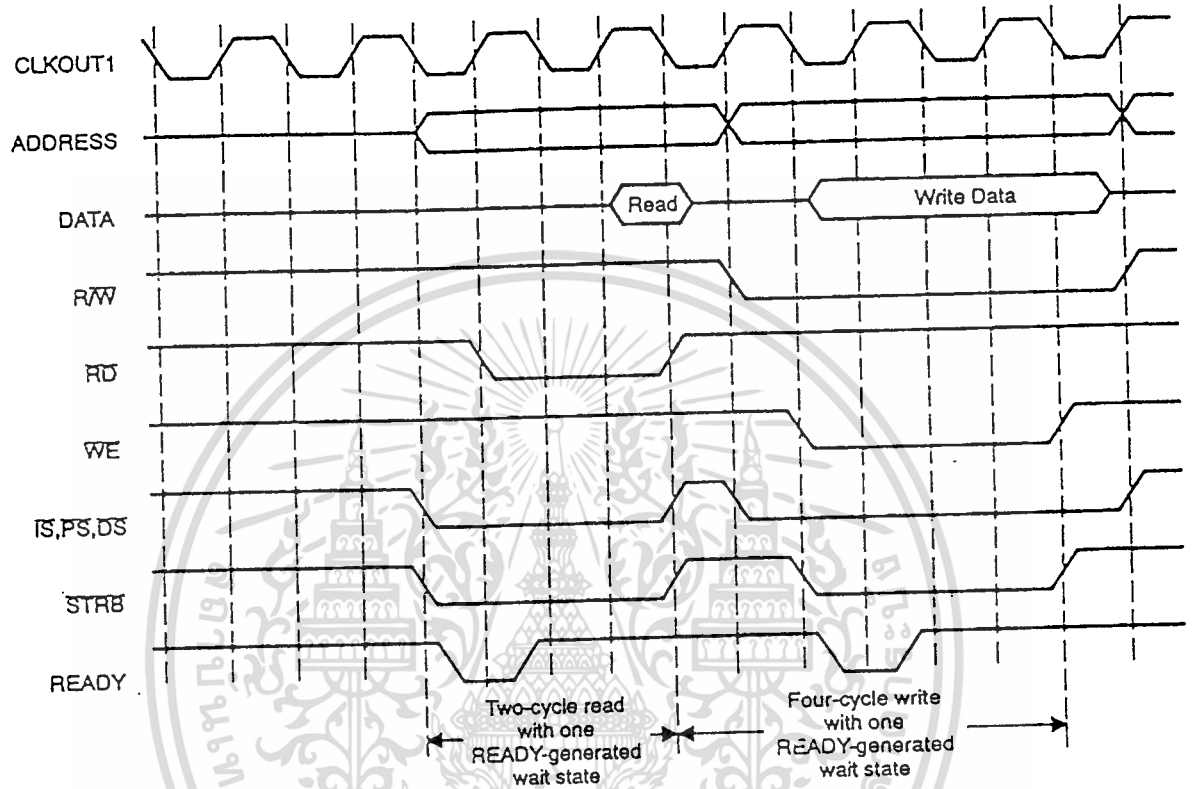
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure B–2. Memory Interface Operation for Write-Write-Read (0 Wait States)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure B–3. Memory Interface Operation for Read-Write (1 Wait State)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TLC32040 Analog Interface Circuit Data Sheet

Appendix B is the TLC32040 data sheet. This data sheet provides all specifications of the analog interface circuit used by the DSK starter kit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

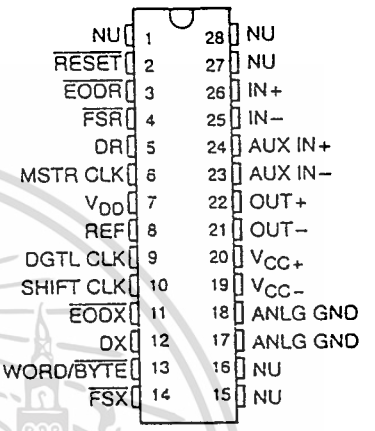
TLC32040C, TLC32040I, TLC32041C, TLC32041I
TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS

SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991

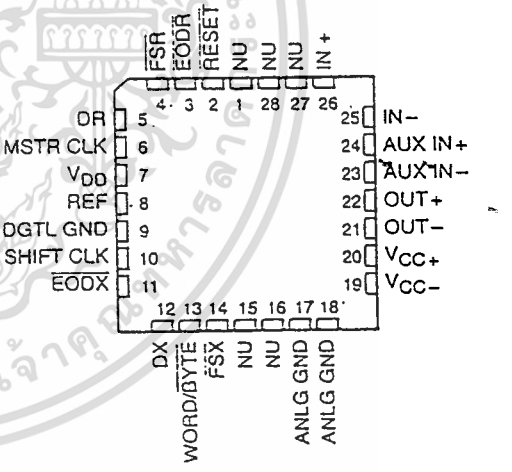
- Advanced LinCMOS™ Silicon-Gate Process Technology
- 14-Bit Dynamic Range ADC and DAC
- Variable ADC and DAC Sampling Rate Up to 19,200 Samples per Second
- Switched-Capacitor Antialiasing Input Filter and Output-Reconstruction Filter
- Serial Port for Direct Interface to TMS32011, TMS320C17, TMS32020, and TMS320C25 Digital Signal Process
- Synchronous or Asynchronous ADC and DAC Conversion Rate With Programmable Incremental ADC and DAC Conversion Timing Adjustments
- Serial Port Interface to SN74299 Serial-to-Parallel Shift Register for Parallel Interface to TMS32010, TMS320C15, or Other Digital Processors
- 600-Mil Wide N Package (C_L to C_L)

PART NUMBER	DESCRIPTION
TLC32040	Analog interface circuit with internal reference. Also a plug-in replacement for TLC32041.
TLC32041	Analog interface circuit without internal reference
TLC32042	Identical to TLC32040, but has a slightly wider bandpass filter bandwidth

N PACKAGE
(TOP VIEW)



FN PACKAGE
(TOP VIEW)



NU – Nonusable; no external connection should be made to these pins.

description

The TLC32040, TLC32041, and TLC32042 are complete analog-to-digital and digital-to-analog input/output systems, each on a single monolithic CMOS chip. This device integrates a bandpass switched-capacitor antialiasing input filter, a 14-bit-resolution A/D converter, four microprocessor-compatible serial port modes, a 14-bit-resolution D/A converter, and a low-pass switched-capacitor output-reconstruction filter. The device offers numerous combinations of master clock input frequencies and conversion/sampling rates, which can be changed via digital processor control.

Typical applications for this integrated circuit include modems (7.2-, 8-, 9.6-, 14.4-, and 19.2-kHz sampling rate), analog interface for digital signal processors (DSPs), speech recognition/storage systems, industrial process control, biomedical instrumentation, acoustical signal processing, spectral analysis, data acquisition, and instrumentation recorders. Four serial modes, which allow direct interface to the TMS32011, TMS320C17, TMS32020, and TMS320C25 digital signal processors, are provided. Also, when the transmit and receive

Advanced LinCMOS™ is a trademark of Texas Instruments Incorporated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และต้องอ้างอิงถึงลิขสิทธิ์ของเอกสารทุกครั้งที่มีการนำไปใช้

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

Copyright © 1991, Texas Instruments Incorporated

description (continued)

sections of the analog interface circuit (AIC) are operating synchronously, it will interface to two SN74299 serial-to-parallel shift registers. These serial-to-parallel shift registers can then interface in parallel to the TMS32010, TMS320C15, other digital signal processors, or external FIFO circuitry. Output data pulses are emitted to inform the processor that data transmission is complete or to allow the DSP to differentiate between two transmitted bytes. A flexible control scheme is provided so that the functions of this integrated circuit can be selected and adjusted coincidentally with signal processing via software control.

The antialiasing input filter comprises seventh-order and fourth-order CC-type (Chebyshev/elliptic transitional) low-pass and high-pass filters, respectively and a fourth-order equalizer. The input filter is implemented in switched-capacitor technology and is preceded by a continuous time filter to eliminate any possibility of aliasing caused by sampled data filtering. When no filtering is desired, the entire composite filter can be switched out of the signal path. A selectable, auxiliary, differential analog input is provided for applications where more than one analog input is required.

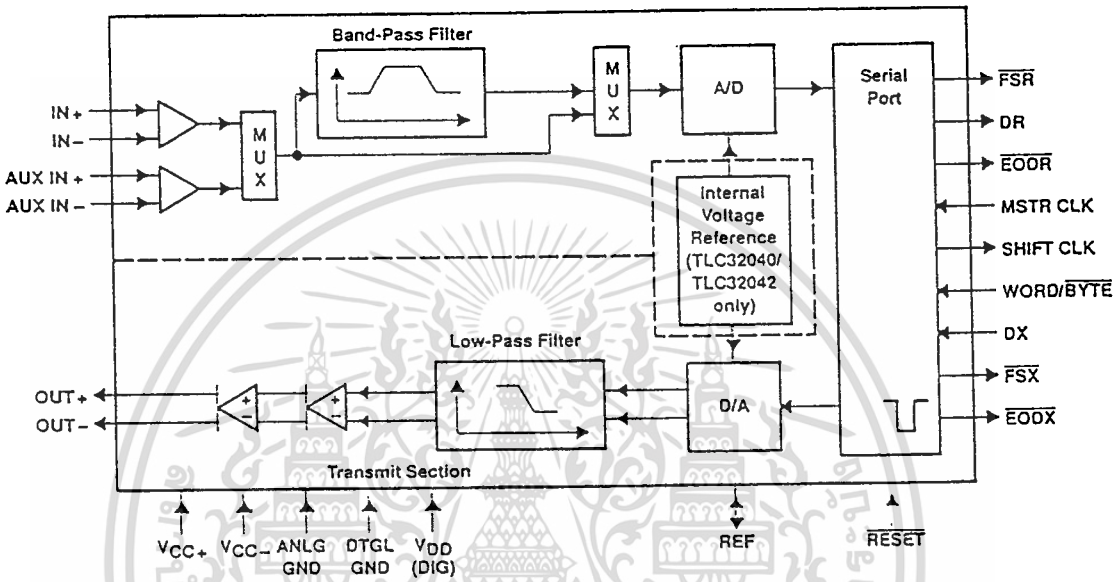
The A/D and D/A converters each have 14 bits of resolution. The A/D and D/A architectures ensure no missing codes and monotonic operation. An internal voltage reference is provided on the TLC32040 and TLC32042 to ease the design task and to provide complete control over the performance of this integrated circuit. The internal voltage reference is brought out to a pin and is available to the designer. Separate analog and digital voltage supplies and grounds are provided to minimize noise and ensure a wide dynamic range. Also, the analog circuit path contains only differential circuitry to keep noise to an absolute minimum. The only exception is the DAC sample and hold, which utilizes pseudo-differential circuitry.

The output-reconstruction filter is a seventh-order CC-type (Chebyshev/elliptic transitional low-pass filter followed by a fourth-order equalizer) and is implemented in switched-capacitor technology. This filter is followed by a continuous-time filter to eliminate images of the digitally encoded signal.

The TLC32040C, TLC32041C, and TLC32042C are characterized for operation from 0°C to 70°C, and the TLC32040I, TLC32041I and TLC32042I are characterized for operation from –40°C to 85°C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

functional block diagram



analog input

Two sets of analog inputs are provided. Normally, the IN+ and IN– input set is used; however, the auxiliary input set, AUX IN+ and AUX IN–, can be used if a second input is required. Each input set can be operated in either differential or single-ended modes, since sufficient common-mode range and rejection are provided. The gain for the IN+, IN–, AUX IN+, and AUX IN– inputs can be programmed to be either 1, 2, or 4 (see Table 2). Either input circuit can be selected via software control. It is important to note that a wide dynamic range is assured by the differential internal analog architecture and by the separate analog and digital voltage supplies and grounds.

A/D bandpass filter, A/D bandpass filter clocking, and A/D conversion timing

The A/D bandpass filter can be selected or bypassed via software control. The frequency response of this filter is presented in the following pages. This response results when the switched-capacitor filter clock frequency is 288 kHz. Several possible options can be used to attain a 288-kHz switched-capacitor filter clock. When the filter clock frequency is not 288 kHz, the filter transfer function is frequency scaled by the ratio of the actual clock frequency to 288 kHz. The low-frequency roll-off of the high-pass section is 300 Hz. However, the high-pass section low-frequency roll-off is less steep for the TLC32042 than for the TLC32040 and TLC32041.

The internal timing configuration and AIC DX data word format sections of this data sheet indicate the many options for attaining a 288-kHz bandpass switched-capacitor filter clock. These sections indicate that the RX Counter A can be programmed to give a 288-kHz bandpass switched-capacitor filter clock for several master clock input frequencies.

The A/D conversion rate is then attained by frequency dividing the 288-kHz bandpass switched-capacitor filter clock with the RX Counter B. Thus, unwanted aliasing is prevented because the A/D conversion rate is an integral submultiple of the bandpass switched-capacitor filter sampling rate, and the two rates are synchronously locked.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงลิขสิทธิ์ของเอกสารทุกครั้งที่มีการนำไปใช้

A/D converter performance specifications

Fundamental performance specifications for the A/D converter circuitry are presented in the A/D converter operating characteristics section of this data sheet. The realization of the A/D converter circuitry with switched-capacitor techniques provides an inherent sample-and-hold.

analog output

The analog output circuitry is an analog output power amplifier. Both noninverting and inverting amplifier outputs are brought out of this integrated circuit. This amplifier can drive transformer hybrids or low-impedance loads directly in either a differential or single-ended configuration.

D/A low-pass filter, D/A low-pass filter clocking, and D/A conversion timing

The frequency response of this filter is presented in the following pages. This response results when the low-pass switched-capacitor filter clock frequency is 288 kHz. Like the A/D filter, the transfer function of this filter is frequency scaled when the clock frequency is not 288 kHz. A continuous-time filter is provided on the output on the output of the D/A low-pass filter to greatly attenuate any switched-capacitor clock feedthrough.

The D/A conversion rate is then attained by frequency dividing the 288-kHz switched-capacitor filter clock with TX Counter B. Thus, unwanted aliasing is prevented because the D/A conversion rate is an integral submultiple of the switched-capacitor low-pass filter sampling rate, and the two rates are synchronously locked.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงลิขสิทธิ์ของเอกสารทุกครั้งที่มีการนำไปใช้

PRINCIPILES OF OPERATION

asynchronous versus synchronous operation

If the transmit section of the AIC (low-pass filter and DAC) and receive section (bandpass filter and ADC) are operated asynchronously, the low-pass and band-pass filter clocks are independently generated from the master clock signal. Also, the D/A and A/D conversion rates are independently determined. If the transmit and receive sections are operated synchronously, the low-pass filter clock drives both low-pass and bandpass filters. In synchronous operation, the A/D conversion timing is derived from, and is equal to, the D/A conversion timing. (See description of the WORD/$\overline{\text{BYTE}}$ pin in the Terminal Functions table.)

D/A converter performance specifications

Fundamental performance specifications for the D/A converter circuitry are presented in the D/A converter operating characteristics section of the data sheet. The D/A converter has a sample-and-hold that is realized with a switched-capacitor ladder.

system frequency response correction

The sin x/x correction circuitry is performed in the digital processor software. The system frequency response can be corrected via DSP software to ±0.1-dB accuracy to band edge of 3000 Hz for all sampling rates. This correction is accomplished with a first-order digital correction filter, which requires only seven TMS320 instruction cycles. With a 200-ns instruction cycle, seven instructions represent an overhead factor of only 1.1% and 1.3% for sampling rates of 8 and 9.6 kHz, respectively (see the sin x/x correction section for more details).

serial port

The serial port has four possible modes that are described in detail in the Terminal Functions table. These modes are briefly described below and in the description for pin 13, WORD/$\overline{\text{BYTE}}$.

1. The transmit and receive sections are operated asynchronously, and the serial port interfaces directly with the TMS32011 and TMS320C17.
2. The transmit and receive sections are operated asynchronously, and the serial port interfaces directly with the TMS32020 and the TMS320C25.
3. The transmit and receive sections are operated synchronously, and the serial port interfaces directly with the TMS32011 and TMS320C17.
4. The transmit and receive sections are operated synchronously, and the serial port interfaces directly with the TMS32020, TMS320C25, or two SN74299 serial-to-parallel shift registers, which can then interface in parallel to the TMS320C10, TMS32015, to any other digital signal processor, or to external FIFO circuitry.

operation of TLC32040 or TLC32042 with internal voltage reference

The internal reference of the TLC32040 and TLC32042 eliminates the need for an external voltage reference and provides overall circuit cost reduction. Thus, the internal reference eases the design task and provides complete control over the performance of this integrated circuit. The internal reference is brought out to a pin and is available to the designer. To keep the amount of noise on the reference signal to a minimum, an external capacitor may be connected between REF and ANLG GND.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRINCIPLES OF OPERATION

operation of TLC32040, TLC32041, or TLC32042 with external voltage reference

The REF pin may be driven from an external reference circuit if so desired. This external circuit must be capable of supplying 250 µA and must be adequately protected from noise such as crosstalk from the analog input.

reset

A reset function is provided to initiate serial communications between the AIC and DSP and allow fast, cost-effective testing during manufacturing. The reset functional will initialize all AIC registers, including the control register. After a negative-going pulse on the $\overline{\text{RESET}}$ pin, the AIC will be initialized. This initialization allows normal serial port communications activity to occur between AIC and DSP (see AIC DX data word format section).

loopback

This feature allows the user to test the circuit remotely. In loopback, the OUT+ and OUT– pins are internally connected to the IN+ and the IN– pins. Thus, the DAC bits (d15 to d2), which are transmitted to the DX pin, can be compared with the ADC bits (d15 to d2), which are received from the DR pin. An ideal comparison would be that the bits on the DR pin equal the bits on the DX pin. However, in practice there will be some difference in these bits due to the ADC and DAC output offsets.

In loopback, if the IN+ and the IN– pins are enabled, the external signals on the IN+ and the IN– pins are ignored. If the AUX IN+ and AUX IN– pins are enabled, the external signals on these pins are added to the OUT+ and OUT– signals in loopback operation.

The loopback feature is implemented with digital signal processor control by transmitting the appropriate serial port bit to the control register (see AIC DX data word format section).

Terminal Functions

PIN NAME	PIN NO.	I/O	DESCRIPTION
ANLG GND	17,18		Analog ground return for all internal analog circuits. Not internally connected to DGTL GND.
AUX IN+	24	I	Noninverting auxiliary analog input state. This input can be switched into the bandpass filter and A/D converter path via software control. If the appropriate bit in the control register is a 1, the auxiliary inputs will replace the IN+ and IN– inputs. If the bit is a 0, the IN+ and IN– inputs will be used (see the AIC DX data word format section).
AUX IN–	23	I	Inverting auxiliary analog input (see the above AUX IN+ pin description)
DGTL GND	9		Digital ground for all internal logic circuits. Not internally connected to ANLG GND.
DR	5	O	This pin is used to transmit the ADC output bits from the AIC to the TMS320 serial port. This transmission of bits from the AIC to the TMS320 serial port is synchronized with the SHIFT CLK signal.
DX	12	I	This pin is used to receive the DAC input bits and timing and control information from the TMS320. This serial transmission from the TMS320 serial port to the AIC is synchronized with the SHIFT CLK signal.
$\overline{\text{EODR}}$	3	O	End of data receive. See the WORD/$\overline{\text{BYTE}}$ pin description and the Serial Port Timing diagrams. During the word-mode timing, this signal is a low-going pulse that occurs immediately after the 16 bits of A/D information have been transmitted from the AIC to the TMS320 serial port. This signal can be used to interrupt a microprocessor upon completion of serial communications. Also, this signal can be used to strobe and enable external serial-to-parallel shift registers, latches, or external FIFO RAM, and to facilitate parallel data bus communications between the AIC and the serial-to-parallel shift registers. During the byte-mode timing, this signal goes low after the first byte has been transmitted from the AIC to the TMS320 serial port and is kept low until the second byte has been transmitted. The TMS32011 or TMS320C17 can use this low-going signal to differentiate between the two bytes as to which is first and which is second. $\overline{\text{EODR}}$ does not occur after secondary communication.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงลิขสิทธิ์ของเอกสารทุกครั้งที่มีการนำไปใช้

Terminal Functions (continued)

PIN NAME	PIN NO.	I/O	DESCRIPTION
$\overline{EOOX}$	11	O	End of data transmit. See the WORD/$\overline{BYTE}$ pin description and the Serial Port Timing diagram. During the word-mode timing, this signal is a low-going pulse that occurs immediately after the 16 bits of D/A converter and control or register information have been transmitted from the TMS320 serial port to the AIC. This signal can be used to interrupt a microprocessor upon the completion of serial communications. Also, this signal can be used to strobe and enable external serial-to-parallel shift registers, latches, or an external FIFO RAM, and to facilitate parallel data-bus communications between the AIC and the serial-to-parallel shift registers. During the byte-mode timing, this signal goes low after the first byte has been transmitted from the TMS320 serial port to the AIC and is kept low until the second byte has been transmitted. The TMS32011 or TMS320C17 can use this low-going signal to differentiate between the two bytes as to which is first and which is second.
$\overline{FSR}$	4	O	Frame sync receive. In the serial transmission modes, which are described in the WORD/$\overline{BYTE}$ pin description, the $\overline{FSR}$ pin is held low during bit transmission. When the $\overline{FSR}$ pin goes low, the TMS320 serial port will begin receiving bits from the AIC via the DR pin of the AIC. The most significant DR bit will be present on the DR pin before $\overline{FSR}$ goes low. (See Serial Port Timing and Internal Timing Configuration diagrams.) $\overline{FSR}$ does not occur after secondary communication.
FSX	14	O	Frame Sync Transmit. When this pin goes low, the TMS320 serial port will begin transmitting bits to the AIC via the DX pin of the AIC. In all serial transmission modes, which are described in the WORD/$\overline{BYTE}$ pin description, the $\overline{FSX}$ pin is held low during bit transmission (see the Serial Port Timing and Internal Timing Configuration diagrams).
IN+	26	I	Noninverting inout to analog input amplifier stage
IN−	25	I	Inverting input to analog input amplifier stage
MSTR CLK	6	I	The master clock signal is used to derive all the key logic signals of the AIC, such as the shift clock, the switched-capacitor filter clocks, and the A/D and D/A timing signals. The Internal Timing Configuration diagram shows how these key signals are derived. The frequencies of these key signals are synchronous submultiples of the Master Clock frequency to eliminate unwanted aliasing when the sampled analog signals are transferred between the switched-capacitor filters and the A/D and D/A converters (see the Internal Timing Configuration).
OUT+	22	O	Noninverting output of analog output power amplifier. Can drive transformer hybrids or high-impedance loads directly in either a differential or a single-ended configuration.
OUT−	21	O	Inverting output of analog output power amplifier. Functionally identical with and comolementary to OUT+.
REF	8	I/O	For the TLC32040 and TLC32042, the internal voltage reference is brought out on this pin. For the TLC32040, TLC32041, and TLC32042, an external voltage reference can be applied to this pin.
$\overline{RESET}$	2	I	A reset function is provided to initialize the TA, TA', TB, RA, RA', RB, and control registers. This reset function initiates serial communications between the AIC and DSP. The reset function will initialize all AIC registers including the control register. After a negative-going pulse on the $\overline{RESET}$ pin, the AIC registers will be initialized to provide an 8-kHz data conversion rate for a 5.184-MHz master clock input signal. The conversion rate adjust registers, TA' and RA', will be reset to 1. The control register bits will be reset as follows (see AIC DX data word format section): d7 = 1, d6 = 1, d5 = 1, d4 = 0, d3 = 0, d2 = 1 This initialization allows normal serial-port communication to occur between AIC and DSP.
SHIFT CLK	10	O	The shift clock signal is obtained by dividing the master clock signal frequency by four. This signal is used to clock the serial data transfers of the AIC, described in the WORD/$\overline{BYTE}$ pin description below (see the Serial Port Timing and Internal Timing Configuration diagrams).
V_{DD}	7		Digital supply voltage, 5 V ±5%
V_{CC+}	20		Positive analog supply voltage, 5 V ±5%
V_{CC-}	19		Negative analog supply voltage, −5 V ±5%

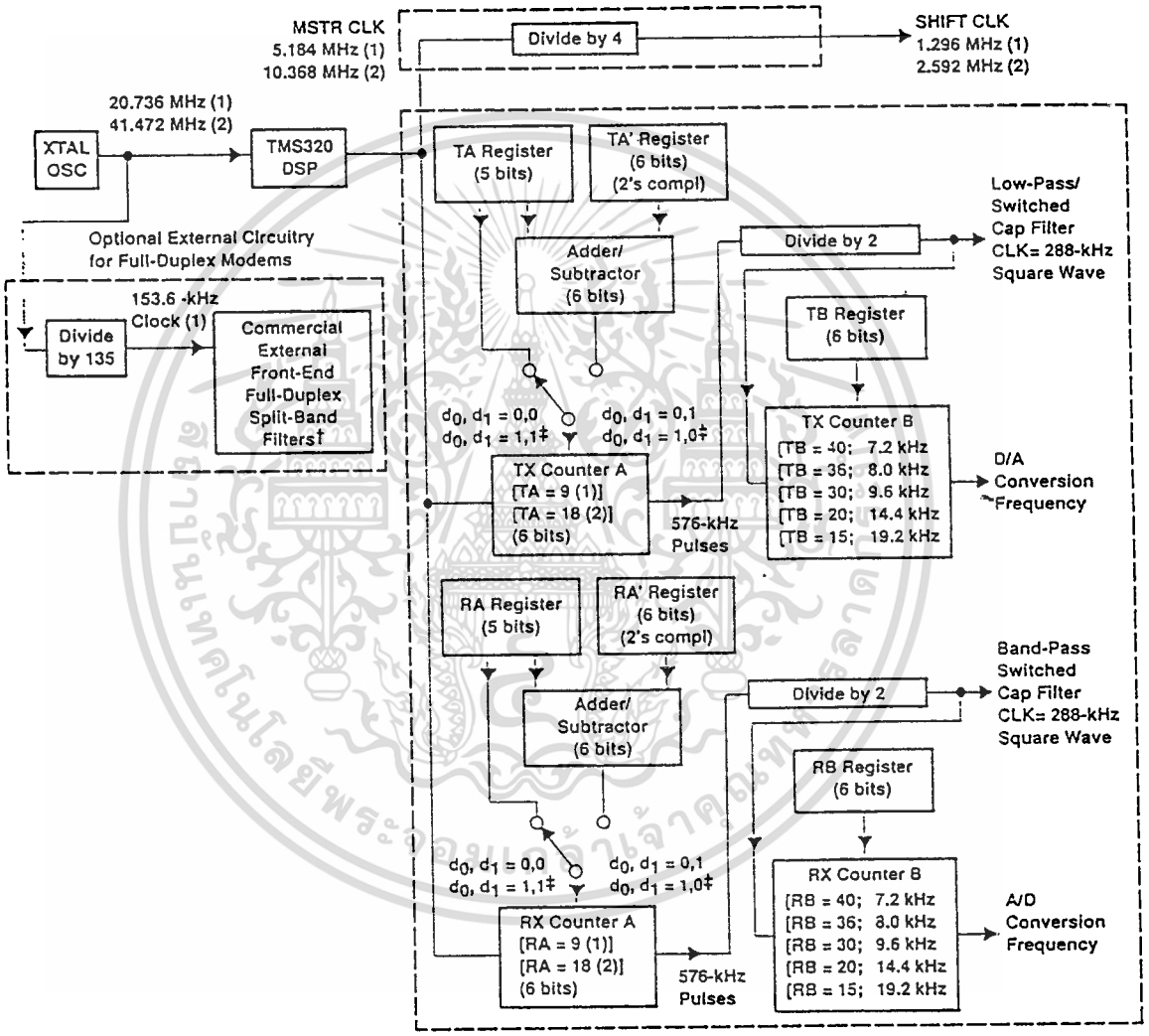
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Terminal Functions (continued)

PIN NAME	PIN NO.	I/O	DESCRIPTION
WORD/$\overline{\text{BYTE}}$	13	I	This pin, in conjunction with a bit in the control register, is used to establish one of four serial modes. These four serial modes are described below. *AIC transmit and receive sections are operated asynchronously.* The following description applies when the AIC is configured to have asynchronous transmit and receive sections. If the appropriate data bit in the control register is a 0 (see the AIC DX data word format section), the transmit and receive sections will be asynchronous. L Serial port directly interfaces with the serial port of the TMS32011 or TMS320C17 and communicates in two 8-bit bytes. The operation sequence is as follows (see Serial Port Timing diagrams). 1. The $\overline{\text{FSX}}$ or $\overline{\text{FSR}}$ pin is brought low. 2. One 8-bit byte is transmitted or one 8-bit byte is received. 3. The $\overline{\text{EODX}}$ or $\overline{\text{EODR}}$ pin is brought low. 4. The $\overline{\text{FSX}}$ or $\overline{\text{FSR}}$ pin emits a positive frame-sync pulse that is four shift clock cycles wide. 5. One 8-bit byte is transmitted or one 8-bit byte is received. 6. The $\overline{\text{EODX}}$ or $\overline{\text{EODR}}$ pin is brought high. 7. The $\overline{\text{FSX}}$ or $\overline{\text{FSR}}$ pin is brought high. H Serial port directly interfaces with the serial port of the TMS32020, TMS320C25, or TMS320C30 and communicates in one 16-bit word. The operation sequence is as follows (see Serial Port Timing diagrams): 1. The $\overline{\text{FSX}}$ or $\overline{\text{FSR}}$ pin is brought low. 2. One 16-bit word is transmitted or one 16-bit word is received. 3. The $\overline{\text{FSX}}$ or $\overline{\text{FSR}}$ pin is brought high. 4. The $\overline{\text{EODX}}$ or $\overline{\text{EODR}}$ pin emits a low-going pulse. *AIC transmit and receive sections are operated synchronously.* If the appropriate data bit in the control register is a 1, the transmit and receive sections will be configured to be synchronous. In this case, the bandpass switched-capacitor filter and the A/D conversion timing will be derived from the TX Counter A, TX Counter B, and TA, TA', and TB registers, rather than the RX Counter A, RX Counter B, and RA, RA', and RB registers. In this case, the AIC $\overline{\text{FSX}}$ and $\overline{\text{FSR}}$ timing will be identical during primary data communication; however, $\overline{\text{FSR}}$ will not be asserted during secondary data communication since there is no new A/D conversion result. The synchronous operation sequences are as follows (see Serial Port Timing diagrams). L Serial port directly interfaces with the serial port of the TMS32011 or TMS320C17 and communicates in two 8-bit bytes. The operation sequence is as follows (see Serial Port Timing diagrams): 1. The $\overline{\text{FSX}}$ and $\overline{\text{FSR}}$ pins are brought low. 2. One 8-bit byte is transmitted and one 8-bit byte is received. 3. The $\overline{\text{EODX}}$ and $\overline{\text{EODR}}$ pin are brought low. 4. The $\overline{\text{FSX}}$ and $\overline{\text{FSR}}$ pins emit positive frame-sync pulses that are four Shift Clock cycles wide 5. One 8-bit byte is transmitted and one 8-bit byte is received. 6. The $\overline{\text{EODX}}$ and $\overline{\text{EODR}}$ pins are brought high. 7. The $\overline{\text{FSX}}$ and $\overline{\text{FSR}}$ pins are brought high. H Serial port directly interfaces with the serial port of the TMS32020, TMS320C25, or TMS320C30 and communicates in one 16-bit word. The operation sequence is as follows (see Serial Port Timing diagrams): 1. The $\overline{\text{FSX}}$ and $\overline{\text{FSR}}$ pins are brought low. 2. One 16-bit word is transmitted and one 16-bit word is received. 3. The $\overline{\text{FSX}}$ and $\overline{\text{FSR}}$ pins are brought high. 4. The $\overline{\text{EODX}}$ or $\overline{\text{EODR}}$ pins emit low-going pulses. Since the transmit and receive sections of the AIC are now synchronous, the AIC serial port with additional NOR and AND gates will interface to two SN74299 serial-to-parallel shift registers. Interfacing the AIC to the SN74299 shift register allows the AIC to interface to an external FIFO RAM and facilitates parallel data bus communications between the AIC and the digital signal processor. The operation sequence is the same as the above sequence (see Serial Port Timing diagrams).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงลิขสิทธิ์ของเอกสารทุกครั้งที่มีการนำไปใช้

INTERNAL TIMING CONFIGURATION



$$\text{SCF Clock Frequency} = \frac{\text{Master Clock Frequency}}{2 \times \text{Contents of Counter A}}$$

NOTE: Frequency 1,20.736 MHz is used to show now 153.6 kHz (for commercially available modem split-band filter clock), popular speech and modem sampling signal frequencies, and an internal 288-kHz switched-capacitor filter clock can be derived synchronously and as submultiples of the crystal oscillator frequency. Since these derived frequencies sre synchronous submultiples of the crystal frequency, aliasing does nbt occur as the sampled analog signal passes between the analog converter and switched-capacitor filter stages. Frequency 2,41.472 MHz is used to snow that the AIC can work with high-frequency signals, which are used by high-speed digital signal processors.

† Split-band filtering can alternatively be performed after the analog input function via software in the TMS320.

‡ These control bits are described in the AIC DX data word format section.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

explanation of internal timing configuration

All of the internal timing of the AIC is derived from the high-frequency clock signal that drives the MSTR CLK input pin. The SHIFT CLK signal, which strobes the serial port data between the AIC and DSP, is derived by dividing the master clock input signal frequency by four.

$$\text{SCF Clock Frequency} = \frac{\text{Master Clock Frequency}}{2 \times \text{Contents of Counter A}}$$

$$\text{Conversion Frequency} = \frac{\text{SCF Clock Frequency}}{\text{Contents of Counter B}}$$

$$\text{Shift Clock Frequency} = \frac{\text{Master Clock Frequency}}{4}$$

TX Counter A and TX Counter B, which are driven by the MSTR CLK signal, determine the D/A conversion timing. Similarly, RX Counter A and RX Counter B determine the A/D conversion timing. In order for the switched-capacitor low-pass and band pass filters to meet their transfer function specifications, the frequency of the clock inputs of the switched-capacitor filters must be 288 kHz. If the frequencies of the clock inputs are not 288 kHz, the filter transfer function frequencies are scaled by the ratios of the clock frequencies to 288 kHz. Thus, to obtain the specified filter responses, the combination of master clock frequency and TX Counter A and RX Counter A values must yield 288-kHz switched-capacitor clock signals. These 288-kHz clock signals can then be divided by the TX Counter B and RX Counter B to establish the D/A and A/D conversion timings.

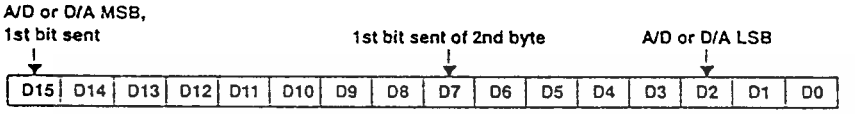
TX Counter A and TX Counter B are reloaded every D/A conversion period, while RX Counter A and RX Counter B are reloaded every A/D conversion period. The TX Counter B and RX Counter B are loaded with the values in the TB and RB Registers, respectively. Via software control, the TX Counter A can be loaded with either the TA Register, the TA Register less the TA' Register, or the TA Register plus the TA' Register. By selecting the TA Register less the TA' Register option, the upcoming conversion timing will occur earlier by an amount of time that equals TA' times the signal period of the Master Clock. By selecting the TA Register plus the TA' Register option, the upcoming conversion timing will occur later by an amount of time that equals TA' times the signal period of the master clock. Thus, the D/A conversion timing can be advanced or retarded. An identical ability to alter the A/D conversion timing is provided. In this case, however, the RX Counter A can be programmed via software control with the RA Register, the RA Register less the RA' Register, or the RA Register plus the RA' Register.

The ability to advance or retard conversion timing is particularly useful for modem applications. This feature allows controlled changes in the A/D and D/A conversion timing. This feature can be used to enhance signal-to-noise performance, to perform frequency-tracking functions, and to generate nonstandard modem frequencies.

If the transmit and receive sections are configured to be synchronous (see WORD/$\overline{\text{BYTE}}$ pin description), then both the low-pass and bandpass switched-capacitor filter clocks are derived from TX Counter A. Also, both the D/A and A/D conversion timing are derived from the TX Counter A and TX Counter B. When the transmit and receive sections are configured to be synchronous, the RX Counter A, RX Counter B, RA Register, RA' Register, and RB Registers are not used.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AIC DR or DX word bit pattern



AIC DX data word format section

d15	d14	d13	d12	d11	d10	d9	d8	d7	d6	d5	d4	d3	d2	d1	d0	COMMENTS
primary DX serial communication protocol																
←d15 (MSB) through d2 go to the D/A converter register													→	0	0	The TX and RX Counter As are loaded with the TA and RA register values. The TX and RX Counter Bs are loaded with TB and RB register values.
←d15 (MSB) through d2 go to the D/A converter register													→	0	1	The TX and RX Counter A's are loaded with the TA + TA' and RA + RA' register values. The TX and RX Counter Bs are loaded with TB and RB register values. NOTE: d1 = 0, d0 = 1 will cause the next D/A and A/D conversion periods to be changed by the addition of TA' and RA' master clock cycles, in which TA' and R/A' can be positive or negative or zero. Please refer to Table 1.
←d15 (MSB) through d2 go to the D/A converter register													→	1	0	The TX and RX Counter As are loaded with the TA – TA' and RA – RA' register values. The TX and RX Counter Bs are loaded with TB and RB register values. NOTE: d1 = 1, d0 = 0 will cause the next D/A and A/D conversion periods to be changed by the subtraction of TA' and RA' master clock cycles, in which TA' and R/A' can be positive or negative or zero. Please refer to Table 1.
←d15 (MSB) through d2 go to the D/A converter register													→	1	1	The TX and RX Counter As are loaded with the TA and RA register values. The TX and RX Counter Bs are loaded with the TB and RB register values. After a delay of four shift clock cycles, a secondary transmission will immediately follow to program the AIC to operate in the desired configuration.

NOTE: Setting the two least significant bits to 1 in the normal transmission of DAC information (primary communications) to the AIC will initiate secondary communications upon completion of the primary communications.

Upon completion of the primary communication, $\overline{FSX}$ will remain high for four SHIFT CLK cycles and will then go low and initiate the secondary communication. The timing specifications for the primary and secondary communications are identical. In this manner, the secondary communication, if initiated, is interleaved between successive primary communications. This interleaving prevents the secondary communication from interfering with the primary communications and DAC timing, thus preventing the AIC from skipping a DAC output. It is important to note that in the synchronous mode, $\overline{FSR}$ will not be asserted during secondary communications.

เอกสารนี้มีลิขสิทธิ์ สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

secondary DX serial communication protocol

x x I ← to TA register → I x x I ← to RA register → I 0 0	d13 and d6 are MSBs (unsigned binary)
x I ← to TA' register → I x I ← to RA' register → I 0 1	d14 and d7 are 2's complement sign bits
x I ← to TB register → I x I ← to RB register → I 1 0	d14 and d7 are MSBs (unsigned binary)
x x x x x x x x d7 d6 d5 d4 d3 d2 1 1 Control Register	d2 = 0/1 deletes/inserts the bandpass filter d3 = 0/1 disables/enables the loopback function d4 = 0/1 disables/enables the AUX IN+ and AUX IN– pins d5 = 0/1 asynchronous/synchronous transmit receive sections d6 = 0/1 gain control bits (see gain control section) d7 = 0/1 gain control bits (see gain control section)

reset function

A reset function is provided to initiate serial communications between the AIC and DSP. The reset function will initialize all AIC registers, including the control register. After power has been applied to the AIC, a negative-going pulse on the $\overline{\text{RESET}}$ pin will initialize the AIC registers to provide an 8-kHz A/D and D/A conversion rate for a 5.184-MHz master clock input signal. The AIC, except the control register, will be initialized as follows (see AIC DX data word format section):

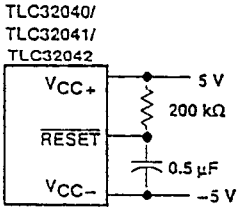
REGISTER	INITIALIZED REGISTER VALUE (HEX)
TA	9
TA'	1
TB	24
RA	9
RA'	1
RB	24

The control register bits will be reset as follows (see AIC DX data word format section):

d7 = 1, d6 = 1, d5 = 1, d4 = 0, d3 = 0, d2 = 1

This initialization allows normal serial port communications to occur between AIC and DSP. If the transmit and receive sections are configured to operate synchronously and the user wishes to program different conversion rates, only the TA, TA', and TB register need to be programmed, since both transmit and receive timing are synchronously derived from these registers (see the pin descriptions and AIC DX word format sections).

The circuit shown below will provide a reset on power up when power is applied in the sequence given under power-up sequence. The circuit depends on the power supplies reaching their recommended values a minimum of 800 ns before the capacitor charges to 0.8 V above DGTL GND.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงลิขสิทธิ์ของเอกสารทุกครั้งที่มีการนำไปใช้

power-up sequence

To ensure proper operation of the AIC, and as a safeguard against latch-up, it is recommended that a Schottky diode with a forward voltage less than or equal to 0.4 V be connected from V_{CC-} to ANLG GND (see Figure 17). In the absence of such a diode, power should be applied in the following sequence: ANLG GND and DGTL GND, V_{CC-}, then V_{CC+} and V_{DD}. Also, no input signal should be applied until after power up.

AIC responses to improper conditions

The AIC has provisions for responding to improper conditions. These improper conditions and the response of the AIC to these conditions are presented in Table 1 below.

AIC register constraints

The following constraints are placed on the contents of the AIC registers:

1. TA register must be ≥ 4 in word mode (WORD/$\overline{BYTE}$ = high).
2. TA register must be ≥ 5 in byte mode (WORD/$\overline{BYTE}$ = low).
3. TA' register can be either positive, negative, or zero.
4. RA register must be ≥ 4 in word mode (WORD/$\overline{BYTE}$ = high).
5. RA register must be ≥ 5 in byte mode (WORD/$\overline{BYTE}$ = low).
6. RA' register can be either positive, negative, or zero.
7. (TA register ± TA' register) must be > 1.
8. (RA register ± RA' register) must be > 1.
9. TB register must be > 1.

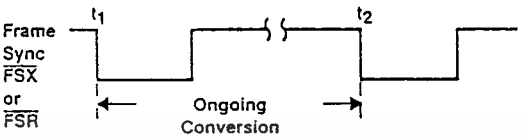
Table 1. AIC Responses To Improper Conditions

IMPROPER CONDITIONS	AIC RESPONSE
TA register + TA' register = 0 or 1 TA register – TA' register = 0 or 1	Reprogram TX Counter A with TA register value
TA register + TA' register < 0	MODULO 64 arithmetic is used to ensure that a positive value is loaded into the TX Counter A, i.e., TA register + TA' register + 40 HEX is loaded into TX Counter A.
RA register + RA' register = 0 or 1 RA register – RA' register = 0 or 1	Reprogram RX Counter A with RA register value
RA register + RA' register = 0 or 1	MODULO 64 arithmetic is used to ensure that a positive value is loaded into RX Counter A, i.e., RA register + RA' register + 40 HEX is loaded into RX Counter A.
TA register = 0 or 1 RA register = 0 or 1	The AIC is shut down.
TA register < 4 in word mode TA register < 5 in byte mode RA register < 4 in word mode RA register < 5 in byte mode	The AIC serial port no longer operates.
TB register = 0 or 1	Reprogram TB register with 24 HEX
RB register = 0 or 1	Reprogram RB register with 24 HEX
AIC and DSP cannot communicate	Hold last DAC output

improper operation due to conversion times being too close together

If the difference between two successive D/A conversion frame syncs is less than 1/19.2 kHz, the AIC operates improperly. In this situation, the second D/A conversion frame sync occurs too quickly and there is not enough time for the ongoing conversion to be completed. This situation can occur if the A and B registers are improperly programmed or if the A + A' register or A – A' register result is too small. When incrementally adjusting the conversion period via the A + A' register options, the designer should be very careful not to violate this requirement (see following diagram).

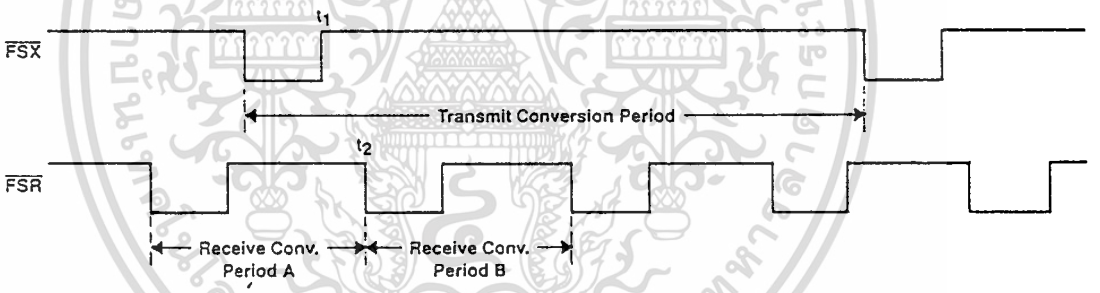
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



$t_2 - t_1 \geq 1/19.2$ kHz

asynchronous operation — more than one receive frame sync occurring between two transmit frame syncs

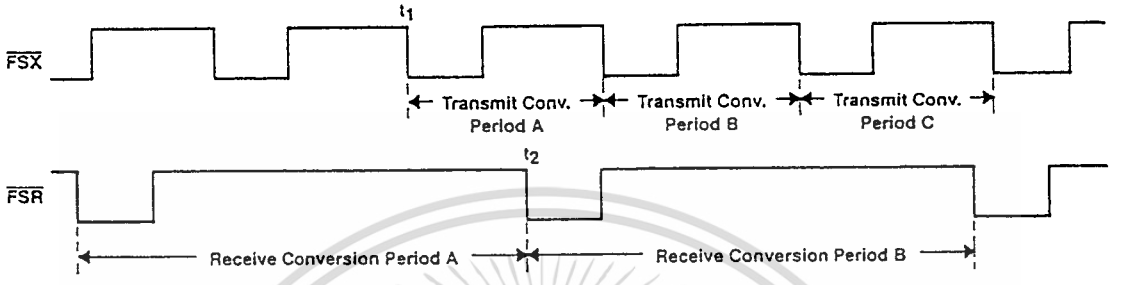
When incrementally adjusting the conversion period via the A + A' or A – A' register options, a specific protocol is followed. The command to use the incremental conversion period adjust option is sent to the AIC during a $\overline{FSX}$ frame sync. The ongoing conversion period is then adjusted. However, either receive conversion period A or B may be adjusted. For both transmit and receive conversion periods, the incremental conversion period adjustment is performed near the end of the conversion period. Therefore, if there is sufficient time between t1 and t2, the receive conversion period adjustment will be performed during receive conversion period A. Otherwise, the adjustment will be performed during receive conversion period B. The adjustment command only adjusts one transmit conversion period and one receive conversion period. To adjust another pair of transmit and receive conversion periods, another command must be issued during a subsequent $\overline{FSX}$ frame (see figure below).



asynchronous operation — more than one receive frame sync occurring between two receive frame syncs

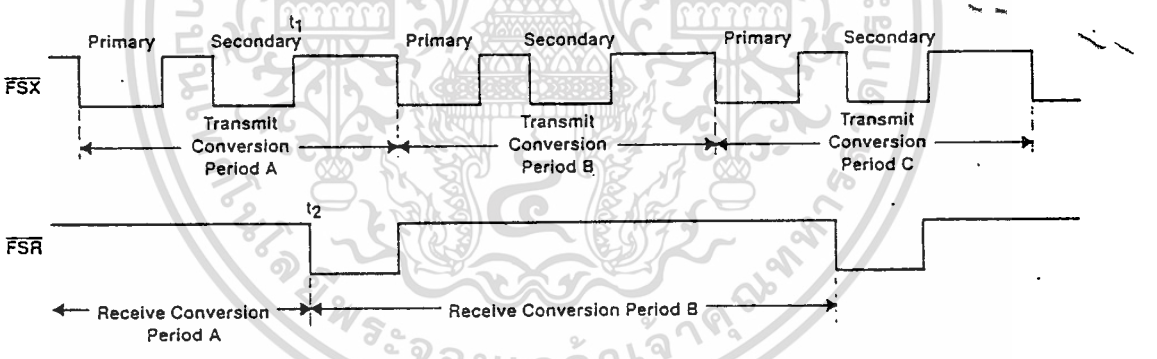
When incrementally adjusting the conversion period via the A + A' or A – A' register options, a specific protocol is followed. For both transmit and receive conversion periods, the incremental conversion period adjustment is performed near the end of the conversion period. The command to use the incremental conversion period adjust options is sent to the AIC during a $\overline{FSX}$ frame sync. The ongoing transmit conversion period is then adjusted. However, three possibilities exist for the receive conversion period adjustment in the diagram as shown in the following figure. If the adjustment command is issued during transmit conversion period A, receive conversion period A will be adjusted if there is sufficient time between t1 and t2. Or, if there is not sufficient time between t1 and t2, receive conversion period B will be adjusted. Or, the receive portion of an adjustment command may be ignored if the adjustment command is sent during a receive conversion period, which is already being or will be adjusted due to a prior adjustment command. For example, if adjustment commands are issued during transmit conversion periods A, B, and C, the first two commands may cause receive conversion periods A and B to be adjusted, while the third receive adjustment command is ignored. The third adjustment command is ignored since it was issued during receive conversion period B, which already will be adjusted via the transmit conversion period B adjustment command.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงลิขสิทธิ์ของเอกสารทุกครั้งที่มีการนำไปใช้



asynchronous operation — more than one set of primary and secondary DX serial communication occurring between two receive frame sync (see AIC DX data word format section)

The TA, TA', TB, and control register information that is transmitted in the secondary communications is always accepted and is applied during the ongoing transmit conversion period. If there is sufficient time between t1 and t2, the TA, RA', and RB register information, which is sent during transmit conversion period A, will be applied to receive conversion period A. Otherwise, this information will be applied during receive conversion period B. If RA, RA', and RB register information has already been received and is being applied during an ongoing conversion period, any subsequent RA, RA', or RB information that is received during this receive conversion period will be disregarded (see diagram below).



absolute maximum ratings over operating free-air temperature (unless otherwise noted)

Supply voltage range, V_{CC+} (see Note 1)	−0.3 V to 15 V
Supply voltage range, V_{DD}	−0.3 V to 15 V
Output voltage range, V_O	−0.3 V to 15 V
Input voltage range, V_I	−0.3 V to 15 V
Digital ground voltage range	−0.3 V to 15 V
Operating free-air temperature range: TLC32040C, TLC32041C, TLC32042C	0°C to 70°C
TLC32040I, TLC32041I, TLC32042I	−40°C to 85°C
Storage temperature range	−40°C to 125°C
Case temperature for 10 seconds: FN package	260°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds: N package	260°C

NOTE 1: Voltage values for maximum ratings are with respect to V_{CC-}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

recommended operating conditions

		MIN	NOM	MAX	UNIT
Supply voltage, V_{CC+} (see Note 2)		4.75	5	5.25	V
Supply voltage, V_{CC-} (see Note 2)		−4.75	−5	−5.25	V
Digital supply voltage, V_{DD} (see Note 2)		4.75	5	5.25	V
Digital ground voltage with respect to ANLG GND, DGTL GND			0		V
Reference input voltage, $V_{ref(ext)}$ (see Note 2)		2		4	V
High-level input voltage, V_{IH}		2		$V_{DD}+0.3$	V
Low-level input voltage, V_{IL} (see Note 3)		−0.3		0.8	V
Load resistance at OUT+ and/or OUT−, R_L		300			Ω
Load capacitance at OUT+ and/or OUT−, C_L				100	pF
MSTR CLK frequency (see Note 4)		0.075	5	10.368	MHz
Analog input amplifier common mode input voltage (see Note 5)				±1.5	V
A/D or D/A conversion rate				20	kHz
Operating free-air temperature, T_A	TLC32040C, TLC32041C, TLC32042C	0		70	°C
	TLC32040I, TLC32041I, TLC32042I	−40		85	

NOTES: 2. Voltages at analog inputs and outputs, REF, V_{CC+}, and V_{CC-}, are with respect to the ANLG GND terminal. Voltages at digital inputs and outputs and V_{DD} are with respect to the DGTL GND terminal.

3. The algebraic convention, in which the least positive (most negative) value is designated minimum, is used in this data sheet for logic voltage levels and temperature only.

4. The bandpass low-pass switched-capacitor filter response specifications apply only when the switched-capacitor clock frequency is 288 kHz. For switched-capacitor filter clocks at frequencies other than 288 kHz, the filter response is shifted by the ratio of switched-capacitor filter clock frequency to 288 kHz.

5. This range applies when (IN+ – IN−) or (AUX IN+ – AUX IN−) equals ± 6 V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงลิขสิทธิ์ของเอกสารทุกครั้งที่มีการนำไปใช้

electrical characteristics over recommended operating free-air temperature range, V_{CC+} = 5 V, V_{CC-} = −5 V, V_{DD} = 5 V (unless otherwise noted)

total device, MSTR CLK frequency = 5.184 MHz, outputs not loaded

PARAMETER			TEST CONDITIONS	MIN	TYP†	MAX	UNIT
V_{OH}	High-level output voltage		V_{DD} = 4.75 V, I_{OH} = −300 µA	2.4			V
V_{OL}	Low-level output voltage		V_{DD} = 4.75 V, I_{OL} = 2 mA			0.4	V
I_{CC+}	Supply current from V_{CC+}	TLC3204_C				35	mA
		TLC3204_I				40	
I_{CC-}	Supply current from V_{CC-}	TLC3204_C				−35	mA
		TLC3204_I				−40	
I_{DD}	Supply current from V_{DD}		$f_{MSTR\ CLK}$ = 5.184 MHz			7	mA
V_{ref}	Internal reference output voltage			3		3.3	V
α_{Vref}	Temperature coefficient of internal reference voltage				200		ppm/°C
r_o	Output resistance at REF				100		kΩ

receive amplifier input

PARAMETER		TEST CONDITIONS	MIN	TYP†	MAX	UNIT
	A/D converter offset error (filters bypassed)			25	65	mV
	A/D converter offset error (filters in)			25	65	mV
CMRR	Common-mode rejection ratio at IN+, IN−, or AUX IN+, AUX IN−	See Note 6		55		dB
r_i	Input resistance at IN+, IN−, or AUX IN+, AUX IN−, REF			100		kΩ

transmit filter output

PARAMETER		TEST CONDITIONS	MIN	TYP†	MAX	UNIT
V_{OO}	Output offset voltage at OUT+, OUT−, (single-ended relative to ANG GND)			15	75	mV
V_{OM}	Maximum peak output voltage swing across R_L at OUT+ or OUT−, (single ended)	$R_L \geq 300\ \Omega$, Offset voltage = 0	±3			V
V_{OM}	Maximum peak output voltage swing between R_L at OUT+ and OUT−, (differential output)	$R_L \geq 600\ \Omega$	±6			V

† All typical values are at T_A = 25°C.

NOTE 6: The test condition is a 0-dBm, 1-kHz input signal with an 8-kHz conversion rate.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

electrical characteristics over recommended operating free-air temperature range, V_{CC+} = 5 V, V_{CC-} = −5 V, V_{DD} = 5 V (unless otherwise noted) (continued)

system distortion specifications, SCF clock frequency = 288 kHz

PARAMETER		TEST CONDITIONS	MIN	TYP†	MAX	UNIT
Attenuation of second harmonic of A/D input signal	Single ended	V_{in} = −0.5 dB to −24 dB referred to V_{ref}, See Note 7		70		dB
	Differential		62	70		
Attenuation of third and higher harmonics of A/D input signal	Single ended	V_{in} = −0.5 dB to −24 dB referred to V_{ref}, See Note 7		65		dB
	Differential		57	65		
Attenuation of second harmonic of D/A input signal	Single ended	V_{in} = −0 dB to −24 dB referred to V_{ref}, See Note 7		70		dB
	Differential		62	70		
Attenuation of third and higher harmonics of D/A input signal	Single ended	V_{in} = −0 dB to −24 dB referred to V_{ref}, See Note 7		65		dB
	Differential		57	65		

A/D channel signal-to-distortion ratio

PARAMETER	TEST CONDITIONS (see note 7)	A_V = 1‡		A_V = 2‡		A_V = 4‡		UNIT
		MIN	MAX	MIN	MAX	MIN	MAX	
A/D channel signal-to-distortion ratio	V_{in} = −6 dB to −0.1 dB	58		>58§		>58§		dB
	V_{in} = −12 dB to −6 dB	58		58		>58§		
	V_{in} = −18 dB to −12 dB	56		58		58		
	V_{in} = −24 dB to −18 dB	50		56		58		
	V_{in} = −30 dB to −24 dB	44		50		56		
	V_{in} = −36 dB to −30 dB	38		44		50		
	V_{in} = −42 dB to −36 dB	32		38		44		
	V_{in} = −48 dB to −42 dB	26		32		38		
	V_{in} = −54 dB to −48 dB	20		26		32		

D/A channel signal-to-distortion ratio

PARAMETER	TEST CONDITIONS (see note 7)	MIN	MAX	UNIT
D/A channel signal-to-distortion ratio	V_{in} = −6 dB to 0 dB	58		dB
	V_{in} = −12 dB to −6 dB	58		
	V_{in} = −18 dB to −12 dB	56		
	V_{in} = −24 dB to −18 dB	50		
	V_{in} = −30 dB to −24 dB	44		
	V_{in} = −36 dB to −30 dB	38		
	V_{in} = −42 dB to −36 dB	32		
	V_{in} = −48 dB to −42 dB	26		
	V_{in} = −54 dB to −48 dB	20		

† All typical values are at T_A = 25°C.
‡ A_V is the programmable gain of the input amplifier.
§ A value >58 is overrange and signal clipping occurs.
NOTE 7: The test condition V_{in} is a 1-kHz input signal with an 8-kHz conversion rate (0 dB relative to V_{ref}). The load impedance for the DAC is 600 Ω.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

electrical characteristics (continued)

gain and dynamic range

PARAMETER	TEST CONDITIONS	MIN	TYP†	MAX	UNIT
Absolute transmit gain tracking error while transmitting into 600 Ω	−48-dB to 0-dB signal range, see Note 8		±0.05	±0.15	dB
Absolute receive gain tracking error	−48-dB to 0-dB signal range, see Note 8		±0.05	±0.15	dB
Absolute gain of the A/D channel	Signal input is a −0.5-dB, 1-kHz sinewave		0.2		dB
Absolute gain of the D/A channel	Signal input is a 0-dB, 1-kHz sinewave		−0.3		dB

NOTE 8: Gain tracking is relative to the absolute gain at 1 kHz and 0 dB (0 dB relative to V_{ref}).

power supply rejection and crosstalk attenuation

PARAMETER		TEST CONDITIONS	MIN	TYP†	MAX	UNIT
V_{CC+} or V_{CC-} supply voltage rejection ratio, receive channel	f = 0 to 30 kHz	Idle channel, supply signal at 200 mV p-p measured at DR (ADC output)		30		dB
	f = 30 kHz to 50 kHz			45		
V_{CC+} or V_{CC-} supply voltage rejection ratio, transmit channel (single ended)	f = 0 to 30 kHz	Idle channel, supply signal at 200 mV p-p measured at OUT+		30		dB
	f = 30 kHz to 50 kHz			45		
Crosswalk attenuation, transmit-to-receive (single ended)				80		dB

† All typical values are at T_A = 25°C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

delay distortion, SCF clock frequency = 288 kHz ±2%, input (IN+ – IN–) is ±3-V sinewave

Please refer to filter response graphs for delay distortion specifications.

TLC32040 and TLC32041 bandpass filter transfer function (see curves), SCF clock frequency = 288 kHz, ±2%, input (IN+ – IN–) is a ±3-V sinewave (see Note 9)

PARAMETER	TEST CONDITIONS	FREQUENCY RANGE	MIN	MAX	UNIT
Filter gain (see Note 10)	Input signal reference is 0 dB	f = 100 Hz		–42	dB
		f = 170 Hz		–25	
		300 Hz ≤ f ≤ 3.4 kHz	–0.5	0.5	
		f = 4 kHz		–16	
		f ≥ 4.6 kHz		–58	

TLC32042 bandpass filter transfer function (see curves), SCF clock frequency = 288 kHz ±2%, input (IN+ – IN–) is a ±3-V sinewave (see Note 9)

PARAMETER	TEST CONDITIONS	FREQUENCY RANGE	MIN	MAX	UNIT
Filter gain (see Note 10)	Input signal reference is 0 dB	f = 100 Hz		–27	dB
		f = 170 Hz		–2	
		300 Hz ≤ f ≤ 3.4 kHz	–0.5	0.5	
		f = 4 kHz		–16	
		f ≥ 4.6 kHz		–58	

low-pass filter transfer function, SCF clock frequency = 288 kHz ±2% (see Note 9)

PARAMETER	TEST CONDITIONS	FREQUENCY RANGE	MIN	MAX	UNIT
Filter gain (see Note 10)	Output signal reference is 0 dB	f ≤ 3.4 kHz	–0.5	0.5	dB
		f = 3.6 kHz		–4	
		f = 4 kHz		–30	
		f ≥ 4.4 kHz		–58	

serial port

PARAMETER		TEST CONDITIONS	MIN	TYP†	MAX	UNIT
V_{OH}	High-level output voltage	I_{OH} = –300 µA	2.4			V
V_{OL}	Low-level output voltage	I_{OL} = 2 mA			0.4	V
I_I	Input current				±10	µA
C_i	Input capacitance			15		pF
C_o	Output capacitance			15		pF

† All typical values are at T_A = 25°C.

NOTES: 9. The above filter specifications are for a switched-capacitor filter clock range of 288 kHz ±2%. For switched-capacitor filter clocks at frequencies other than 288 kHz ±2%, the filter response is shifted by the ratio of switched-capacitor filter clock frequency to 288 kHz.

10. The filter gain outside of the passband is measured with respect to the gain at 1 kHz. The filter gain within the passband is measured with respect to the average gain within the passband. The passbands are 300 to 3400 Hz and 0 to 3400 Hz for the bandpass and low-pass filters respectively.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

operating characteristics over recommended operating free-air temperature range, V_{CC+} = 5 V, V_{CC-} = −5 V, V_{DD} = 5 V

noise (measurement includes low-pass and bandpass switched-capacitor filters)

PARAMETER		TEST CONDITIONS	TYP†	MAX	UNIT
Transmit noise	Single ended	DX input = 0000000000000, constant input code	200		μV rms
	Differential		300	500	μV rms
			20		dBrncO
Receive noise (see Note 11)		Inputs grounded, gain = 1	300	475	μV rms
			20		dBrncO

timing requirements

serial port recommended input signals

		MIN	MAX	UNIT
$t_{c(MCLK)}$	Master clock cycle time	95		ns
$t_{r(MCLK)}$	Master clock rise time		10	ns
$t_{f(MCLK)}$	Master clock fall time		10	ns
	Master clock duty cycle	42%	58%	
	$\overline{RESET}$ pulse duration (see Note 12)	800		ns
$t_{su(DX)}$	DX setup time before SCLK↓	20		ns
$t_{h(DX)}$	DX hold time after SCLK↓	$t_{c(SCLK)}/4$		ns

NOTES: 11. The noise is referred to the input with a buffer gain of one. If the buffer gain is two or four, the noise figure will be correspondingly reduced. The noise is computed by statistically evaluating the digital output of the A/D converter.

12. $\overline{RESET}$ pulse duration is the amount of time that the reset pin is held below 0.8 V after the power supplies have reached their recommended values.

serial port — AIC output signals, C_L = 30 pF for SHIFT CLK output, C_L = 15 pF for all other outputs

		MIN	TYP†	MAX	UNIT
$t_{c(SCLK)}$	Shift clock (SCLK) cycle time	380			ns
$t_{f(SCLK)}$	Shift clock (SCLK) fall time		3	8	ns
$t_{r(SCLK)}$	Shift clock (SCLK) rise time		3	8	ns
	Shift clock (SCLK) duty cycle	45		55	%
$t_{d(CH-FL)}$	Delay from SCLK↑ to $\overline{FSR}/\overline{FSX}/\overline{FSD}$↓		30		ns
$t_{d(CH-FH)}$	Delay from SCLK↑ to $\overline{FSR}/\overline{FSX}/\overline{FSD}$↑		35	90	ns
$t_{d(CH-DR)}$	DR valid after SCLK↑			90	ns
$t_{dw(CH-EL)}$	Delay from SCLK↑ to $\overline{EODX}/\overline{EODR}$↓ in word mode			90	ns
$t_{dw(CH-EH)}$	Delay from SCLK↑ to $\overline{EODX}/\overline{EODR}$↑ in word mode			90	ns
$t_{f(EODX)}$	$\overline{EODX}$ fall time		2	8	ns
$t_{f(EODR)}$	$\overline{EODR}$ fall time		2	8	ns
$t_{db(CH-EL)}$	Delay from SCLK↑ to $\overline{EODX}/\overline{EODR}$↓ in byte mode			90	ns
$t_{db(CH-EH)}$	Delay from SCLK↑ to $\overline{EODX}/\overline{EODR}$↑ in byte mode			90	ns
$t_{d(MH-SL)}$	Delay from MSTR CLK↑ to SCLK↓		65	170	ns
$t_{d(MH-SH)}$	Delay from MSTR CLK↑ to SCLK↑		65	170	ns

† Typical values are at T_A = 25°C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

timing requirements (continued)

serial port — AIC output signals

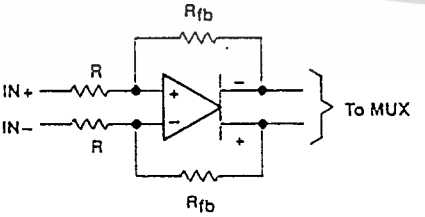
		TEST CONDITIONS	MIN	TYP†	MAX	UNIT
$t_{c(SCLK)}$	Shift clock (SCLK) cycle time		380			ns
$t_{f(SCLK)}$	Shift clock (SCLK) fall time				50	ns
$t_{r(SCLK)}$	Shift clock (SCLK) rise time				50	ns
	Shift clock (SCLK) duty cycle		45		55	%
$t_{d(CH-FL)}$	Delay from SCLK↑ to $\overline{FSR}/\overline{FSX}$↓	C_L = 50 pF			52	ns
$t_{d(CH-FH)}$	Delay from SCLK↑ to $\overline{FSR}/\overline{FSX}$↑	C_L = 50 pF			52	ns
$t_{d(CH-DR)}$	DR valid after SCLK↑				90	ns
$t_{dw(CH-EL)}$	Delay from SCLK↑ to $\overline{EODX}/\overline{EODR}$↓ in word mode				90	ns
$t_{dw(CH-EH)}$	Delay from SCLK↑ to $\overline{EODX}/\overline{EODR}$↑ in word mode				90	ns
$t_{f(EODX)}$	$\overline{EODX}$ fall time				15	ns
$t_{f(EODR)}$	$\overline{EODR}$ fall time				15	ns
$t_{db(CH-EL)}$	Delay from SCLK↑ to $\overline{EODX}/\overline{EODR}$↓ in byte mode				100	ns
$t_{db(CH-EH)}$	Delay from SCLK↑ to $\overline{EODX}/\overline{EODR}$↑ in byte mode				100	ns
$t_{d(MH-SL)}$	Delay from MSTR CLK↑ to SCLK↓			65		ns
$t_{d(MH-SH)}$	Delay from MSTR CLK↑ to SCLK↑			65		ns

† Typical values are at T_A = 25°C.

Table 2. Gain Control Table Analog Input Signal Required for Full-Scale A/D Conversion

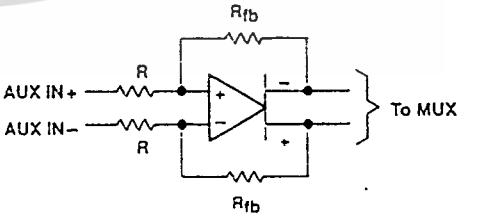
INPUT CONFIGURATIONS	CONTROL REGISTER BITS d6	CONTROL REGISTER BITS d7	ANALOG INPUT‡	A/D CONVERSION RESULT
Differential configuration Analog input = IN+ – IN– = AUX IN+ – AUX IN–	1	1	±6 V	Full scale
	0	0		
	1	0	±3 V	Full scale
	0	1	±1.5 V	Full scale
Single-ended configuration Analog input = IN+ – ANLG GND = AUX IN+ – ANLG GND	1	1	±3 V	Half scale
	0	0		
	1	0	±3 V	Full scale
	0	1	±1.5 V	Full scale

‡ In this example, V_{ref} is assumed to be 3 V. In order to minimize distortion, it is recommended that the analog input not exceed 0.1 dB below full scale.



R_{fb} = R for d6 = 1, d7 = 1
d6 = 0, d7 = 0
R_{fb} = 2R for d6 = 1, d7 = 0
R_{fb} = 4R for d6 = 0, d7 = 1

Figure 1. IN+ and IN– Gain Control Circuitry



R_{fb} = R for d6 = 1, d7 = 1
d6 = 0, d7 = 0
R_{fb} = 2R for d6 = 1, d7 = 0
R_{fb} = 4R for d6 = 0, d7 = 1

Figure 2. AUX IN+ and AUX IN– Gain Control Circuitry

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงลิขสิทธิ์ของเอกสารทุกครั้งที่มีการนำไปใช้

sin x/x correction section

The AIC does not have sin x/x correction circuitry after the digital-to-analog converter.The sin x/x correction can be accomplished easily and efficiently in digital signal processor (DSP) software. Excellent correction accuracy can be achieved to a band edge of 3000 Hz by using a first-order digital correction filter. The results, which are shown below, are typical of the numerical correction accuracy that can be achieved for sample rates of interest. The filter requires only seven instruction cycles per sample on the TMS320 DSPs. With a 200-ns instruction cycle, nine instructions per sample represents an overhead factor of 1.4% and 1.7% for sampling rates of 8000 Hz and 9600 Hz, respectively. This correction will add a slight amount of group delay at the upper edge of the 300–3000-Hz band.

sin x/x roll-off for a zero-order hold function

The sin x/x roll-off for the AIC DAC zero-order hold function at a band-edge frequency of 3000 Hz for the various sampling rates is shown in the table below.

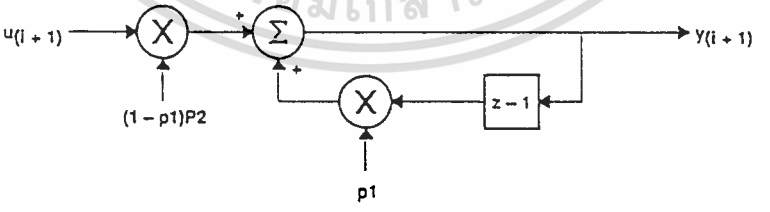
Table 3. sin x/x Roll-Off

f_S (Hz)	$20 \log \frac{\sin \pi f/f_S}{\pi f/f_S}$ (f = 3000 Hz) (dB)
7200	−2.64
8000	−2.11
9600	−1.44
14400	−0.63
19200	−0.35

Note that the actual AIC sin x/x roll-off will be slightly less than the above figures, because the AIC has less than a 100% duty cycle hold interval.

correction filter

To compensate for the sin x/x roll-off of the AIC, a first-order correction filter shown below, is recommended.



The difference equation for this correction filter is:

$yi + 1 = p2(1 - p1)\,(u_{i+1}) + p1\,yi$

where the constant p1 determines the pole locations.

The resulting squared magnitude transfer function is:

$$|H(f)|^2 = \frac{p2^2(1 - p1)^2}{1 - 2p1\cos(2\pi f/f_s) + p1^2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงลิขสิทธิ์ของเอกสารทุกครั้งที่มีการนำไปใช้

correction results

Table 4 below shows the optimum p values and the corresponding correction results for 8000-Hz and 9600-Hz sampling rates.

Table 4.

f (Hz)	ERROR (dB) f_S = 8000 Hz p1 = −0.14813 p2 = 0.9888	ERROR (dB) f_S = 9600 Hz p1 = −0.1307 p2 = 0.9951
300	−0.099	−0.043
600	−0.069	−0.043
900	−0.054	0
1200	−0.002	0
1500	0.041	0
1800	0.079	0.043
2100	0.100	0.043
2400	0.091	0.043
2700	−0.043	0
3000	−0.102	−0.043

TMS320 software requirements

The digital correction filter equation can be written in state variable form as follows:

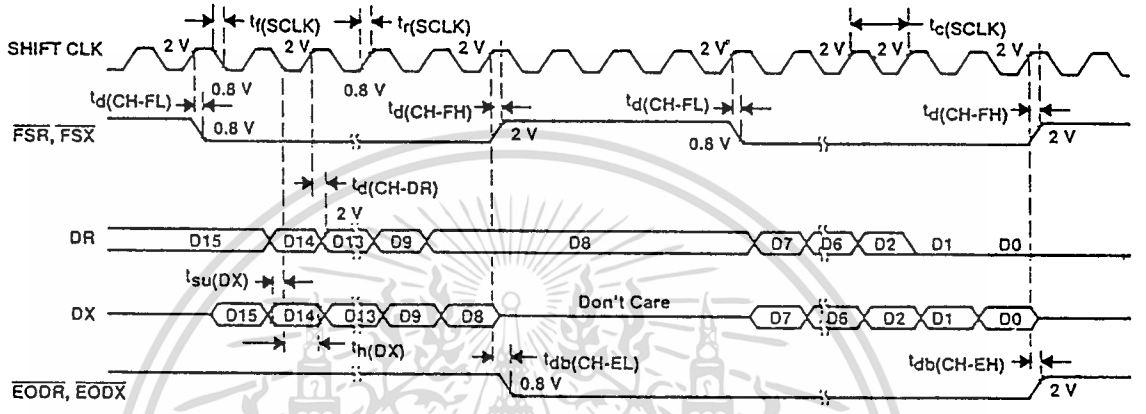
$$Y = k1Y + k2U$$

where k1 equals p1 (from the preceding page), k2 equals (1 − p1) p2 (from the preceding page), Y is the filter state, and U is the next I/O sample. The coefficients k1 and k2 must be represented as 16-bit integers. The SACH instruction (with the proper shift) will yield the correct result. With the assumption that the TMS320 processor page pointer and memory configuration are properly initialized, the equation can be executed in seven instructions or seven cycles with the following program:

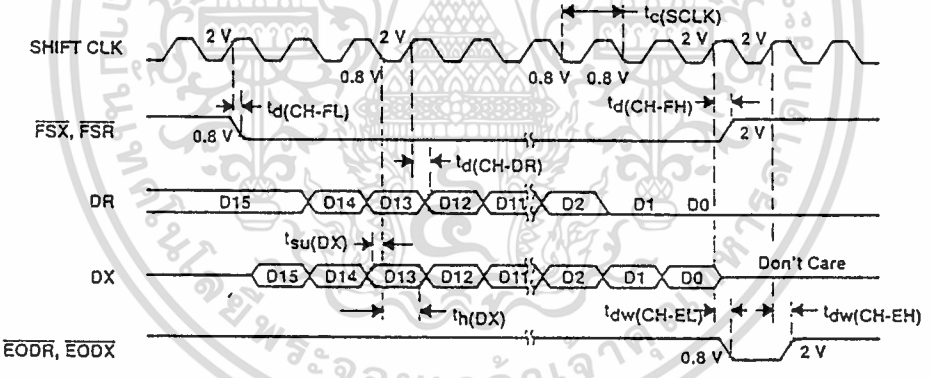
```
ZAC
LT K2
MPY U
LTA K1
MPY Y
APAC
SACH (dma), (shift)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

byte-mode timing



word-mode timing



shift-clock timing

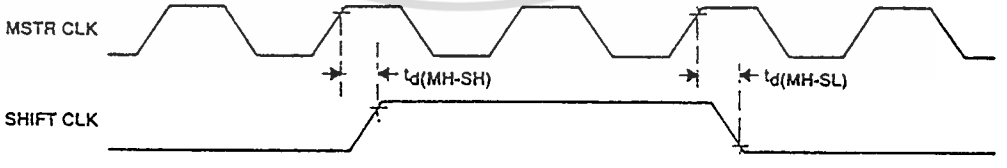


Figure 3. Serial Port Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

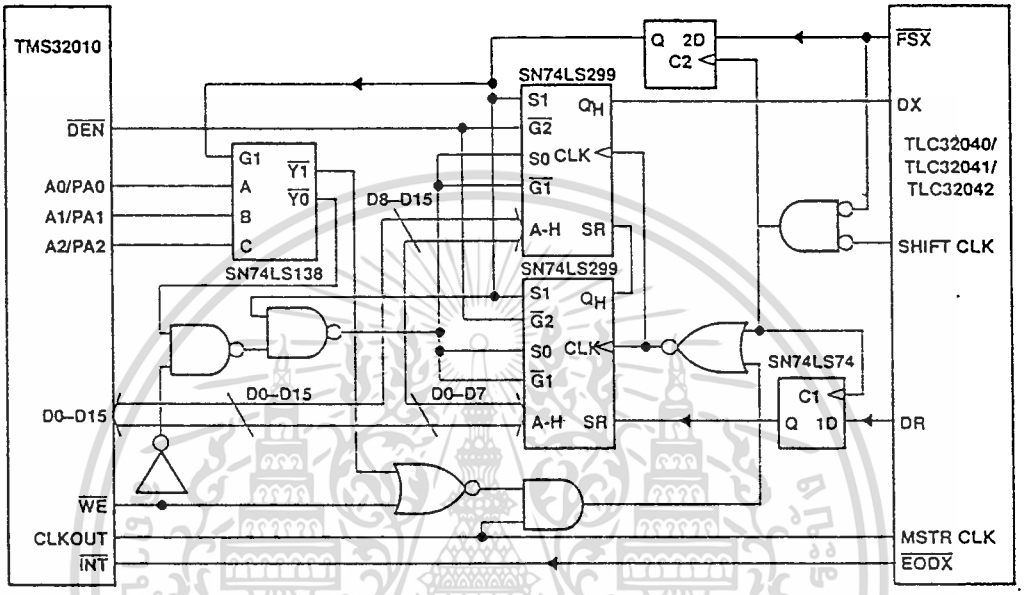
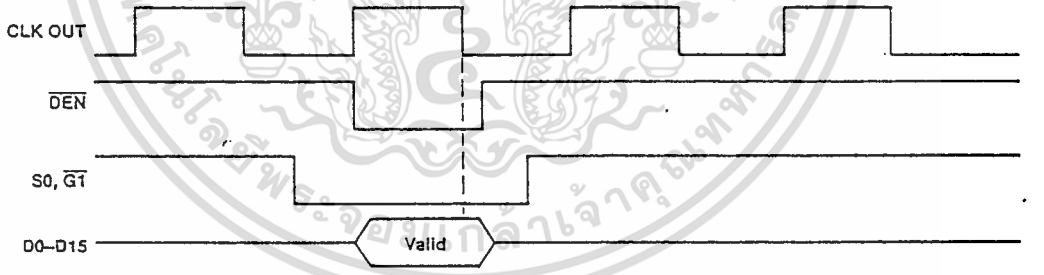


Figure 4. TMS32010-TLC32040/TLC32041/TLC32042 Interface Circuit

in instruction timing



out instruction timing

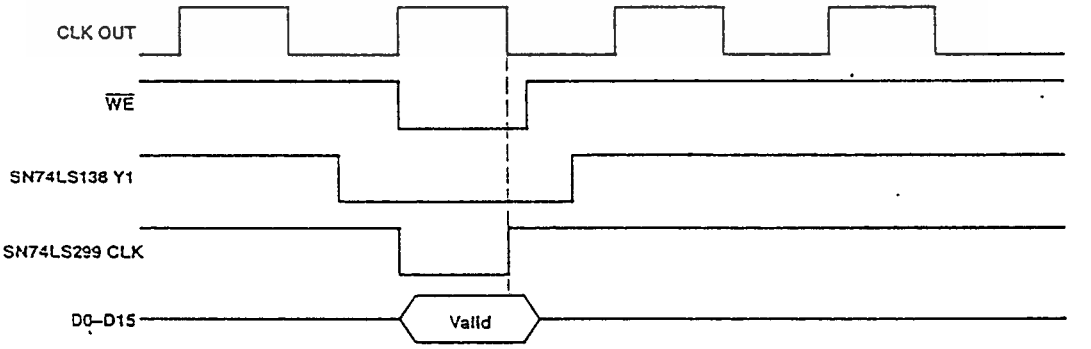
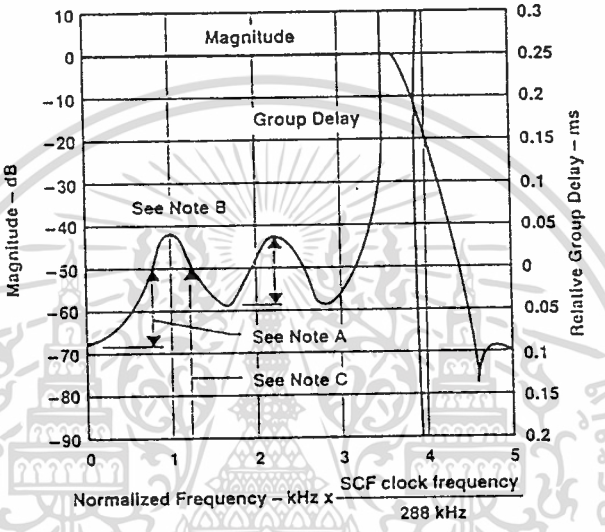


Figure 5. TMS32010-TLC32040/TLC32041/TLC32042 Interface Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS

AIC TRANSMIT CHANNEL FILTER



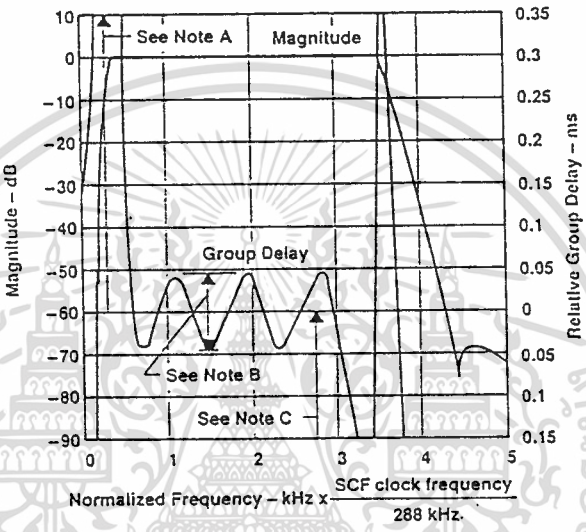
NOTES: A. Maximum relative delay (0 Hz to 600 Hz) = 125 µs
B. Maximum relative delay (600 Hz to 3000 Hz) = ± 50 µs
C. Absolute delay (600 Hz to 3000 Hz) = 700 µs
D. Test conditions are V_{CC+}, V_{CC-} and V_{DD} within recommended operating conditions, SCF clock f = 288 kHz ±2% input = ±3-V sinewave, and T_A = 25°C.

Figure 6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS

TLC32040 AND TLC32041
RECEIVE CHANNEL FILTER



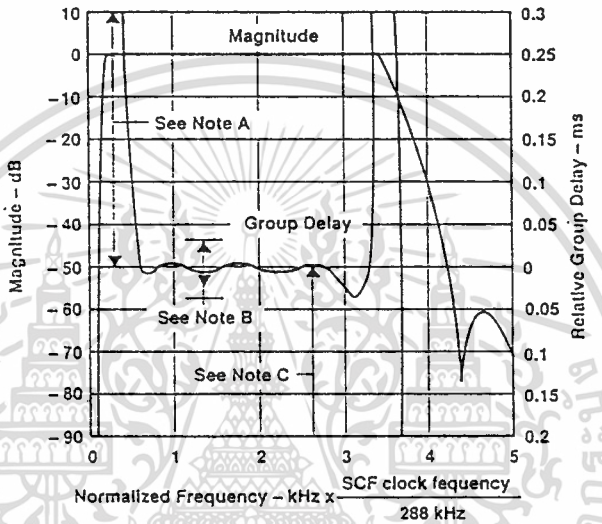
NOTES: A. Maximum relative delay (200 Hz to 600 Hz) = 3350 µs
B. Maximum relative delay (600 Hz to 3000 Hz) = ± 50 µs
C. Absolute delay (600 Hz to 3000 Hz) = 1230 µs
D. Test conditions are V_{CC+}, V_{CC-} and V_{DD} within recommended operating conditions, SCF clock f = 288 kHz ±2%, input = ±3-V sinewave, and T_A = 25°C.

Figure 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS

TLC32042
RECEIVE CHANNEL FILTER



NOTES: A. Maximum relative delay (200 Hz to 600 Hz) = 3350 µs
B. Maximum relative delay (600 Hz to 3000 Hz) = ± 50 µs
C. Absolute delay (600 Hz to 3000 Hz) = 1080 µs
D. Test conditions are V_{CC+}, V_{CC-} and V_{DD} within recommended operating conditions, SCF clock f = 288 kHz ±2%, input = ±3-V sinewave, and T_A = 25°C.

Figure 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS

A/D SIGNAL-TO-DISTORTION RATIO
vs
INPUT SIGNAL

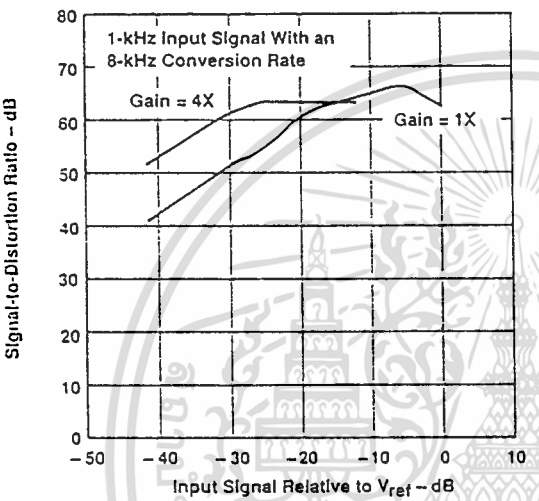


Figure 9

A/D GAIN TRACKING
(GAIN RELATIVE TO GAIN
AT 0-dB INPUT SIGNAL)

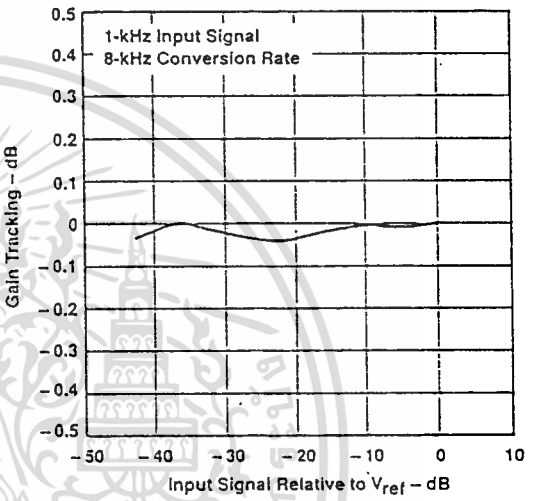


Figure 10

D/A CONVERTER SIGNAL-TO-DISTORTION RATIO
vs
INPUT SIGNAL

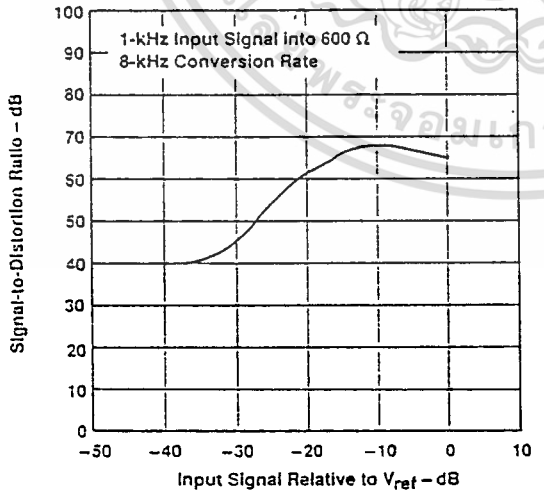


Figure 11

D/A GAIN TRACKING
vs
(GAIN RELATIVE TO GAIN
AT 0 0dB INPUT SIGNAL)

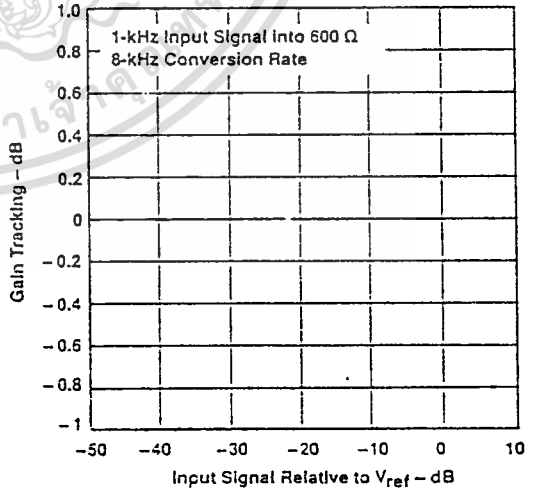


Figure 12

NOTE: Test conditions are V_{CC+}, V_{CC-}, V_{DD} and within recommended operating conditions set clock f = 288 kHz ±2%, and T_A = 25°C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ ดัดแปลง เผยแพร่ หรือแสวงหาผลประโยชน์ทางการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS

ATTENUATION OF SECOND HARMONIC OF A/D INPUT
vs
INPUT SIGNAL

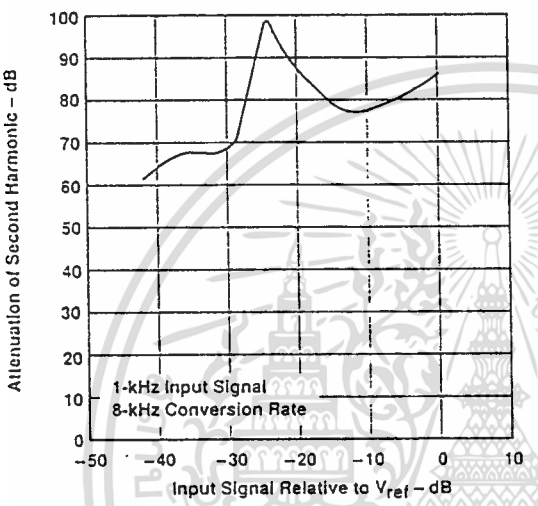


Figure 13

ATTENUATION OF THIRD HARMONIC OF A/D INPUT
vs
INPUT SIGNAL

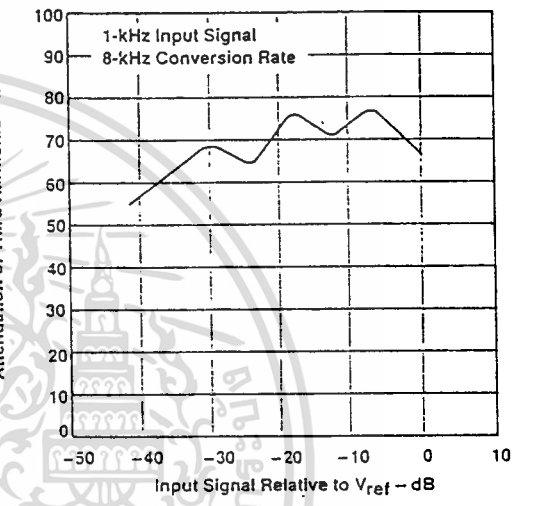


Figure 14

ATTENUATION OF SECOND HARMONIC OF D/A INPUT
vs
INPUT SIGNAL

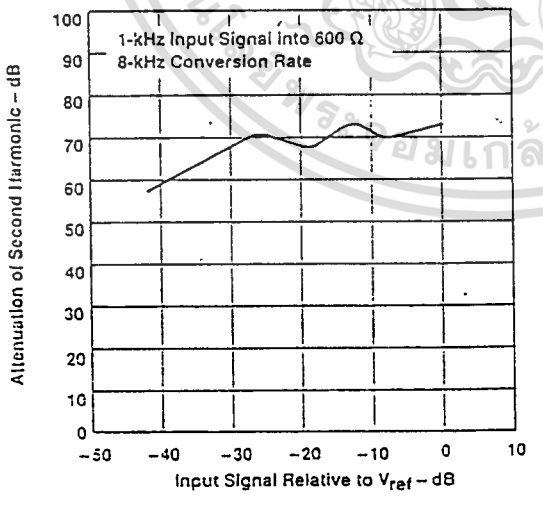


Figure 15

ATTENUATION OF THIRD HARMONIC OF D/A INPUT
vs
INPUT SIGNAL

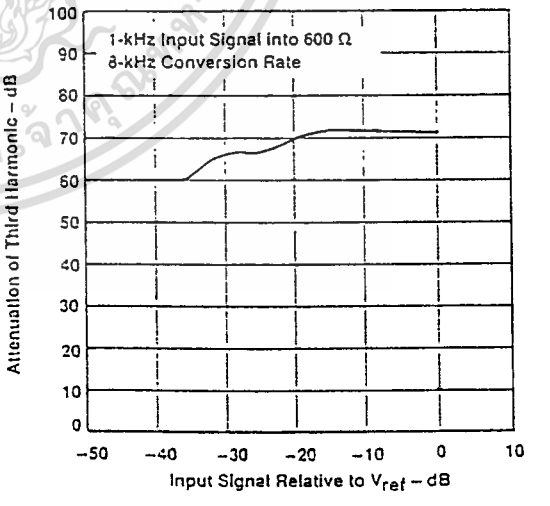


Figure 16

NOTE: Test conditions are V_{CC+}, V_{CC-} and V_{DD} within recommended operating conditions set clock f = 288 kHz ±2%, and T_A = 25°C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATION INFORMATION

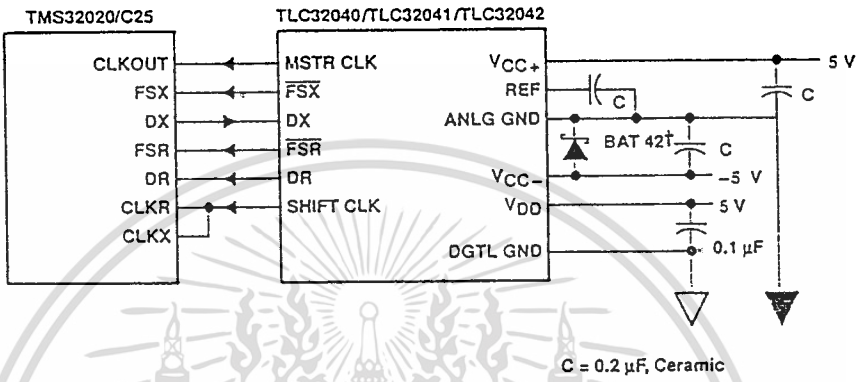


Figure 17. AIC Interface to the TMS32020/C25 Showing Decoupling Capacitors and Schottky Diode†

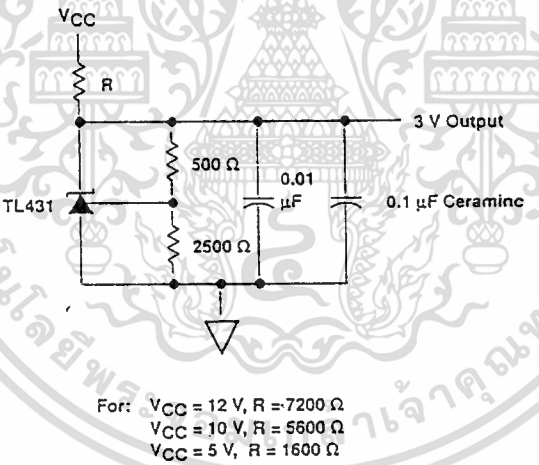


Figure 18. External Reference Circuit For TLC32045

† Thomson Semiconductors

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

พิพัฒน์ เลาหสงคราม. ไมโครคอนโทรลเลอร์ MCS-48 MCS-51 ,คณะวิศวกรรมศาสตร์, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, ม.ป.ท.

เปรมจิตร วิสุทธิศิริ. "พื้นฐานวงจร A/D ,D/A " เซมิคอนดักเตอร์ อิเล็กทรอนิกส์ ฉบับที่ 102 : หน้า 302-309 และ ฉบับที่ 103 : หน้า 272-279 (ตุลาคม-พฤษจิกายน 2533)

โอภาส ศิริครรชิตถาวร. "บอร์ด DSK Starter Kit" เซมิคอนดัคเตอร์ อิเล็กทรอนิกส์ ฉบับที่ 148 (พฤษภาคม 2538) : หน้า 49-55

Barry M.G Chectam, Gordon B.Lockhart. "Basic Digital Signal Processing", Digital Filter Design : 1989, pp 86 - 99

Data Conversion / Acquistion Databook, National ,Cal. 1980.

Digital Signal Processer Products. "TMS320C5X User'S Guide", Texas Instruments,1993.

Microprocessor Development System. "TMS320C5X DSP Starter Kit User'S Guide", Texas Instrument, 1994.

Zuch Eugene L. , Data Acquistion and Conversion Handbook , Datel Intersil Mas , 1979

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้