ภาควิชาครุศาสตร์วิศวกรรม

คณะครุศาสตร์อุตสาหกรรม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ใบรับรองปริญญานิพนธ์

ปริญญานิพนธ์ เครื่องระบบการประชุมทางโทรภาพแบบ 4 ผู้ใช้

4-USERS VIDEO CONFERENCE SYSTEM

ชื่อนักศึกษา 1. นายเมธินทร์ บุญประสม รหัสประจำตัว 38031319

2. ว่าที่ร้อยตรีศุภศิลป์ วิมลชัยฤกษ์ รหัสประจำตัว 38031324

3. นายอภิโชค นทีทรัพย์ไพศาล รหัสประจำตัว 38031334

หลักสูตร ครุศาสตร์อุตสาหกรรมบัณฑิต สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์

อาจารย์ผู้ควบคุมปริญญานิพนธ์

1. อาจารย์สุชิน อาจหาญ
2. อาจารย์กิติพงค์ มะโน
3. อาจารย์ปิยะ จิตธรรมมาภิรมย์

คณะกรรมการสอบปริญญานิพนธ์	ลายมือชื่อ
1. อาจารย์สุชิน อาจหาญ	.....
2. อาจารย์กิติพงค์ มะโน	.....
3. อาจารย์ปิยะ ศุภวราสุวัฒน์	.....
4. อาจารย์ไพบูลย์ พวงวงศ์ตระกูล	.....

วันเดือนปีที่สอบ วันที่ 12 ธันวาคม พ.ศ. 2539 เวลา 13.00 น. ถึง 14.00 น.

สถานที่สอบ ห้อง ค.310 คณะครุศาสตร์อุตสาหกรรม

ภาควิชารับรองแล้ว

ลงชื่อ .....

(รศ.ดร.ธีระพล เพชรัศดิน ณ อยุธยา)

หัวหน้าภาควิชาครุศาสตร์วิศวกรรม

วันที่ 17 เดือน ธ.ค. พ.ศ. 40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์

เครื่องระบบการประชุมทางโทรภาพแบบ 4 ผู้ใช้

4-USERS VIDEO CONFERENCE SYSTEM

A021633

นายเมธินทร์ บุญประสม
ว่าที่ร้อยตรีศุภศิลป์ วิมลชัยฤกษ์
นายอภิโชค นทีทรัพย์ไพศาล

เลขหมู่.....
เลขทะเบียน 1864
วัน เดือน ปี 23 พค 2540
027633

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรครุศาสตร์อุตสาหกรรมบัณฑิต
สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์
ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์

เรื่อง เครื่องระบบประชุมทางโทรภาพแบบ 4 ผู้ใช้

4-USERS VIDEO CONFERENCE SYSTEM

วัตถุประสงค์

1. เพื่อศึกษาการทำงานของเครื่องระบบการประชุมทางโทรภาพแบบ 4 ผู้ใช้
2. เพื่อวิเคราะห์ ออกแบบวงจรระบบการประชุมทางโทรภาพแบบ 4 ผู้ใช้
3. เพื่อสร้างวงจรระบบการประชุมทางโทรภาพแบบ 4 ผู้ใช้
4. เพื่อนำเครื่องระบบการประชุมทางโทรภาพแบบ 4 ผู้ใช้ ไปใช้งานได้

ประโยชน์ที่คาดว่าจะได้รับ

1. สามารถเข้าใจหลักการทำงานของระบบการประชุมทางโทรภาพ
2. ได้เครื่องระบบการประชุมทางโทรภาพแบบ 4 ผู้ใช้ ไว้ใช้งาน
3. นำไปพัฒนาต่อเนื่องได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์

เรื่อง เครื่องระบบประชุมทางโทรภาพแบบ 4 ผู้ใช้

4-USERS VIDEO CONFERENCE SYSTEM

ผู้จัดทำ

1. นายเมธินทร์ บุญประสม
2. ว่าที่ร้อยตรีศุภศิลป์ วิมลชัยฤกษ์
3. นายอภิโชค นทีทรัพย์ไพศาล

อาจารย์ที่ปรึกษา

ลงนาม.....

(อาจารย์สุชิน อาจหาญ)

ลงนาม.....

(อาจารย์กิติพงค์ มะโน)

ลงนาม.....

(อาจารย์ปิยะ จิตธรรมมาภิรมย์)

หัวหน้าภาควิชาครุศาสตร์วิศวกรรม

ลงนาม.....

(ผศ.ดร.ธีระพล เทพหัสดิน ณ อยุธยา)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องระบบการประชุมทางโทรภาพแบบ 4 ผู้ใช้

นายเมธินทร์ บุญประสม
ว่าที่ร้อยตรีศุภศิลป์ วิมลชัยฤกษ์
นายอภิโชค นทีทรัพย์ไพศาล

อาจารย์ที่ปรึกษา
อาจารย์สุชิน อาจหาญ
อาจารย์กิติพงค์ มะโน
อาจารย์ปิยะ จิตธรรมมาภิรมย์

ปีการศึกษา 2539

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ เสนอการพัฒนาระบบการประชุมทางโทรภาพแบบ 4 ผู้ใช้ โดยแสดงภาพการประชุมบนจอโทรทัศน์ สัญญาณภาพและเสียงที่ไปปรากฏบนจอโทรทัศน์ของผู้ใช้แต่ละคนจะมีลักษณะเสมือนจริง โดยสามารถควบคุมการเปิดการประชุมผ่านทางเครื่องโทรศัพท์ได้ และยังสามารถใช้ไมโครโฟนในการประชุมได้อีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4-USERS VIDEO CONFERENCE SYSTEM

MR. METIN BOONPRASOM
LT. SUPASIL WIMOLCHAILERK
MR. APHICHOK NATEESUPPISARN

ADVISORS

MR. SUCHIN ADHAN
MR. KITIPONG MANO
MR. PIYA JITTHAMMAPIROM

1996

ABSTRACT

This thesis presents the developement of the 4-users video conference system. It will show each user video on a television. The video and audio of each user are shown in the real time mode. This video conference system uses a telephone set to open the conference. Moreover, it can use a microphone to meet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สามารถสำเร็จลุล่วงได้ด้วยดีนั้น คณะผู้จัดทำขอขอบคุณท่านอาจารย์ที่ปรึกษาทั้งสามท่าน ที่ได้ให้คำปรึกษาเกี่ยวกับการทำงานในทางฮาร์ดแวร์, ขอขอบคุณท่านอาจารย์นิมิตร อมฤทธิ์วาจา จากวิทยาลัยเทคนิคมีนบุรี ที่ได้ให้คำปรึกษาทางด้านซอฟต์แวร์, ขอขอบคุณฝ่ายฝึกอบรม บริษัท ฟิลิปปี อิเล็กทรอนิกส์ (ประเทศไทย) จำกัด ที่ได้ให้คำปรึกษาทางด้านวงจรโทรทัศน์ และขอขอบคุณท่านอาจารย์ประจำภาควิชาครุศาสตร์วิศวกรรมทุกท่านเป็นอย่างมากที่ได้ให้ความช่วยเหลือ นอกจากนั้นต้องขอขอบคุณเพื่อนๆ ทุกคนที่ได้ให้ความช่วยเหลือ และสุดท้ายความดีทั้งหมดของปริญญานิพนธ์ฉบับนี้ขอมอบให้แด่บุคคลที่สำคัญที่สุด ซึ่งทำให้ได้รับการศึกษามาตั้งแต่อดีตจนถึงปัจจุบัน คือบิดาและมารดา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษา	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญภาพ	VII
สารบัญตาราง	X
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	4
2.1 ทฤษฎีของโทรทัศน์เบื้องต้น	4
2.1.1 ส่วนประกอบของภาพ	4
2.1.2 วิธีการสแกนและการหักเหของลำอิเล็กตรอน	6
2.1.3 เครื่องส่งและเครื่องรับโทรทัศน์	11
2.1.4 สัญญาณต่างๆ ที่ส่ง	11
2.2 การหาความจุของภาพดิจิตอล	18
2.3 หลักการเขียน และการอ่านหน่วยความจำ	20
2.4 หลักการเบื้องต้นของระบบกล้องวิดีโอ CCD	22
2.4.1 โครงสร้างของ CCD	24
2.4.2 ระบบการทำงานของ CCD	26
2.5 ทฤษฎี และหลักการเบื้องต้นของโทรศัพท์	27
2.5.1 ขั้นตอนการทำงานของโทรศัพท์	27
2.5.2 ความถี่มาตรฐานขององค์การโทรศัพท์	29
2.5.3 ความรู้เบื้องต้นเกี่ยวกับการถอดรหัส DTMF	29
2.6 ทฤษฎี ไมโครคอนโทรลเลอร์ MCS-51	32
2.6.1 คุณสมบัติทั่วไปของไมโครคอนโทรลเลอร์ MCS-51	34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรื่อง **หน้า**

2.6.2 โครงสร้างภายนอกของ MCS-51 35

2.7 ระบบการประชุมทางโทรทัศน์ในปัจจุบัน 40

บทที่ 3 การออกแบบ การสร้าง และการทำงาน 43

3.1 การออกแบบ 43

3.2 การทำงานของวงจรต่างๆ 45

3.2.1 วงจรควบคุมการประชุมด้วยโทรศัพท์ 45

3.2.2 วงจรจัดลำดับสัญญาณภาพ 47

3.2.3 วงจรผสมสัญญาณเสียง 51

3.2.4 วงจรขยายสัญญาณภาพ 52

3.2.5 วงจรแยกสัญญาณซิ้งค์ 53

3.2.6 วงจรแปลงสัญญาณแอนาล็อกเป็นสัญญาณดิจิตอล 55

3.2.7 วงจรผลิตสัญญาณนาฬิกา 58

3.2.8 วงจรนับตำแหน่ง 59

3.2.9 วงจรหน่วยความจำ 62

3.2.10 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนาล็อก 64

3.2.11 วงจรผลิตสัญญาณซิ้งค์ 65

3.2.11 วงจรผสมสัญญาณภาพ 67

บทที่ 4 การทดลองและผลการทดลอง 68

4.1 การทดลองชุดถอดรหัสสัญญาณความถี่คู่ 68

4.2 การทดลองวงจรแปลงสัญญาณแอนาล็อกเป็นสัญญาณดิจิตอล 70

4.3 การทดลองวงจรจัดลำดับสัญญาณภาพ 71

บทที่ 5 บทสรุป ปัญหา แนวทางแก้ไข และพัฒนา 75

5.1 สรุป 75

5.2 ปัญหา และแนวทางแก้ไข 75

5.3 ประโยชน์ที่ได้รับจากการทำโครงงาน 76

5.4 แนวทางการพัฒนา 76

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรื่อง	หน้า
ภาคผนวก ก โปรแกรมการจัดลำดับภาพ	77
ภาคผนวก ข รายการอุปกรณ์เครื่องระบบการประชุมทางโทรภาพแบบ 4 ผู้ใช้	83
ภาคผนวก ค วงจรเครื่องระบบการประชุมทางโทรภาพแบบ 4 ผู้ใช้	92
ภาคผนวก ง วงจรเครื่องระบบการประชุมทางโทรภาพแบบ 4 ผู้ใช้	109
บรรณานุกรม	156

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

รูปภาพ **หน้า**

รูปที่ 2.1 ส่วนประกอบของภาพในรูปที่มีพื้นที่เท่ากัน 4
รูปที่ 2.2 ภาพบนจอเครื่องรับโทรทัศน์ประกอบขึ้นด้วยเส้นสแกนตามแนวนอน เป็นจำนวนมาก 5
รูปที่ 2.3 การเคลื่อนที่ของลำอิเล็กตรอนในจังหวะที่ถูกต้อง 6
รูปที่ 2.4 การหักเหของลำอิเล็กตรอน โดยอาศัยสนามแม่เหล็กไฟฟ้าเข้าช่วยเหลือ 7
รูปที่ 2.5 ขดลวดที่ทำให้เกิดการหักเหของลำอิเล็กตรอน 7
รูปที่ 2.6 การวางตำแหน่งของขดลวด 8
รูปที่ 2.7 กระแสรูปฟันเลื่อย สำหรับใช้ในวงจรที่ทำให้เกิดการหักเหของลำอิเล็กตรอนในแนวนอน และในแนวตั้ง 10
รูปที่ 2.8 การสแกนสองครั้งสำหรับภาพนิ่งแต่ละภาพ โดยแบ่งหนึ่งเฟรมออกเป็นสองฟิลด์ 12
รูปที่ 2.9 ความถี่ของกระแสรูปฟันเลื่อยในวงจรของการหักเหทางแนวนอน และวงจรการหักเหทางแนวตั้งทางด้านเครื่องส่ง และเครื่องรับโทรทัศน์ 13
รูปที่ 2.10 รูปร่างของโทรทัศน์ที่เกิดจากภาพขาวสลับดำเป็นแถบๆ 14
รูปที่ 2.11 สัญญาณภาพรวม แสดงให้เห็นรายละเอียดของสัญญาณแต่ละชนิด 16
รูปที่ 2.12 การจัดพื้นที่หน่วยความจำในการเก็บข้อมูลขนาด 128 x 256 จุดต่อภาพ 17
รูปที่ 2.13 การเก็บข้อมูลบนภาพขนาด 256 x 512 จุดต่อภาพ 19
รูปที่ 2.14 ขนาดของภาพย่อเทียบกับขนาดปกติ 20
รูปที่ 2.15 เส้นสแกนของแต่ละกล้อง 21
รูปที่ 2.16 กล้องถ่ายภาพ CCD ขนาดเล็ก 22
รูปที่ 2.17 ระบบตรวจสอบใบเสร็จรับเงินที่ใช้กล้องถ่ายภาพ CCD 23
รูปที่ 2.18 โครงสร้างพื้นฐานทั่วไปของ CCD 24
รูปที่ 2.19 รูปคลื่นของการหมุนเฟสที่ปรากฏด้านแนวตั้ง และการถ่ายเทประจุที่สัมพันธ์กัน 25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปภาพ **หน้า**

รูปที่ 2.20 ระบบการทำงานพื้นฐานของ CCD 26
รูปที่ 2.21 ไฟฟ้ากระแสตรงที่เลี้ยงคู่สาย 28
รูปที่ 2.22 สัญญาณเรียก ซึ่งเป็นสัญญาณซายน์มีความถี่ 20-25 MHz 29
รูปที่ 2.23 ปุ่ม DTMF ที่ใช้สร้างความถี่ 30
รูปที่ 2.24 รายละเอียดของไอซี MT 8870 30
รูปที่ 2.25 วงจรภายในของไอซี MT 8870 31
รูปที่ 2.26 การจัดตำแหน่งขาต่างๆ ของไมโครคอนโทรลเลอร์ตระกูล MCS-51 37
รูปที่ 2.27 หน้าที่ของพอร์ตเมื่อคอนโทรลเลอร์ทำงานกับหน่วยความจำภายนอก 38
รูปที่ 2.28 โครงสร้างภายในของไมโครคอนโทรลเลอร์ตระกูล MCS-51 39
รูปที่ 3.1 ผังการทำงานของเครื่องระบบการประชุมทางโทรภาพแบบ 4 ผู้ใช้ 44
รูปที่ 3.2 วงจรควบคุมการประชุมด้วยโทรศัพท์ 46
รูปที่ 3.3 ตำแหน่งบนจอภาพของระบบ Video Conference เดิม 48
รูปที่ 3.4 ลักษณะบนหน้าจอที่ปรากฏภาพ กรณีผู้ใช้ที่ 1 ต้องการติดต่อกับผู้ใช้ที่ 4 48
รูปที่ 3.5 ไมโครคอนโทรลเลอร์ควบคุมการสวิตซ์ภาพ 49
รูปที่ 3.6 วงจรจัดลำดับสัญญาณภาพ 50
รูปที่ 3.7 วงจรผสมสัญญาณเสียง 51
รูปที่ 3.8 วงจรขยายสัญญาณภาพ 52
รูปที่ 3.9 วงจรแยกสัญญาณซิ้งค์ 54
รูปที่ 3.10 ผังเวลาการเกิดสัญญาณควบคุมตำแหน่งภาพทางแนวนอน 54
รูปที่ 3.11 ผังการทำงานภายในของไอซี CA3318 56
รูปที่ 3.12 วงจรแปลงสัญญาณแอนาล็อกเป็นสัญญาณดิจิตอล 57
รูปที่ 3.13 วงจรผลิตสัญญาณนาฬิกา 58
รูปที่ 3.14 วงจรควบคุมการเขียนข้อมูลภาพลงหน่วยความจำ 60
รูปที่ 3.15 วงจรควบคุมการอ่านข้อมูลภาพจากหน่วยความจำ 61
รูปที่ 3.16 วงจรหน่วยความจำ 63
รูปที่ 3.17 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนาล็อก 64

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปภาพ **หน้า**

รูปที่ 3.18 วงจรผลิตสัญญาณซิ้งค์ 66
รูปที่ 3.19 วงจรผสมสัญญาณภาพ 67
รูปที่ 4.1 วงจรถอดรหัสสัญญาณความถี่คู่ 68
รูปที่ 4.2 อินพุตที่ให้กับวงจรจำนวน 1 สัญญาณภาพ 70
รูปที่ 4.3 เอาต์พุตที่ปรากฏหน้าจอโทรทัศน์ 71
รูปที่ 4.4 สัญญาณภาพใน VIDEO 1 ที่เกิดจากการผ่านวงจรจัดลำดับสัญญาณภาพ 72
รูปที่ 4.5 สัญญาณภาพใน VIDEO 2 ที่เกิดจากการผ่านวงจรจัดลำดับสัญญาณภาพ 72
รูปที่ 4.6 สัญญาณภาพใน VIDEO 1 ที่เกิดจากการสลับช่องแล้ว 73
รูปที่ 4.7 สัญญาณภาพใน VIDEO 2 ที่เกิดจากการสลับช่องแล้ว 73
รูปที่ ก.1 ผังการทำงานของการควบคุมการตัดต่อภาพ 78
รูปที่ ค.1 ผังการทำงานของเครื่องระบบการประชุมทางโทรภาพแบบ 4 ผู้ใช้ 93
รูปที่ ค.2 วงจรควบคุมการประชุมด้วยโทรศัพท์ 94
รูปที่ ค.3 ไมโครคอนโทรลเลอร์ควบคุมการสวิตซ์ภาพ 95
รูปที่ ค.4 วงจรจัดลำดับสัญญาณภาพ 96
รูปที่ ค.5 วงจรผสมสัญญาณเสียง 97
รูปที่ ค.6 วงจรขยายสัญญาณภาพ 98
รูปที่ ค.7 วงจรแยกสัญญาณซิ้งค์ 99
รูปที่ ค.8 ผังการทำงานภายในของไอซี CA3318 100
รูปที่ ค.9 วงจรแปลงสัญญาณแอนาล็อกเป็นสัญญาณดิจิตอล 101
รูปที่ ค.10 วงจรผลิตสัญญาณนาฬิกา 102
รูปที่ ค.11 วงจรควบคุมการเขียนข้อมูลภาพลงหน่วยความจำ 103
รูปที่ ค.12 วงจรควบคุมการอ่านข้อมูลภาพจากหน่วยความจำ 104
รูปที่ ค.13 วงจรหน่วยความจำ 105
รูปที่ ค.14 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนาล็อก 106
รูปที่ ค.15 วงจรผลิตสัญญาณซิ้งค์ 107
รูปที่ ค.16 วงจรผสมสัญญาณภาพ 108

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตาราง **หน้า**

ตารางที่ 2.1 คุณสมบัติของไมโครคอนโทรลเลอร์แต่ละแบบในตระกูล MCS-51 35
ตารางที่ 2.2 หน้าที่พิเศษของแต่ละขาของพอร์ต P_3 36
ตารางที่ 4.1 ผลการทดลองวงจรถอดรหัสสัญญาณความถี่คู่ 69

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ปัจจุบันการติดต่อสื่อสารโทรคมนาคม ได้เข้ามามีบทบาทต่อการดำเนินชีวิตของมนุษย์ในด้านต่างๆ และในทางธุรกิจถือว่าการสื่อสารเป็นหัวใจสำคัญอย่างหนึ่งในองค์ประกอบที่จะนำไปสู่ความสำเร็จทางด้านธุรกิจ การสื่อสารทางภาพและเสียงนับเป็นรูปแบบที่จะเข้ามามีบทบาทสำคัญเนื่องจากการสื่อสารทางภาพและเสียงจะนำมาซึ่งความ "เสมือนจริง" ในการใช้งานของผู้สนทนามากยิ่งขึ้น ระบบการติดต่อสื่อสารที่มีประสิทธิภาพและความรวดเร็วเป็นตัวแปรสำคัญของการเพิ่มโอกาสทางธุรกิจ การติดต่อกันทางธุรกิจสิ่งที่จะขาดไปเสียมิได้ก็คือการจัดประชุม, การจัดสัมมนาในหน่วยงาน, องค์กรของบริษัท ซึ่งในแต่ละครั้งของการจัดประชุมนั้น จะต้องใช้สถานที่ที่ผู้จัดกำหนด เช่น โรงแรม, หอประชุมต่างๆ ซึ่งผู้เข้าร่วมประชุมจะต้องเดินทางไปประชุม ทำให้ต้องเสียเวลาและค่าใช้จ่ายไปกับการเดินทางมาก อีกทั้งเรื่องของความสะดวกในการประชุมและปัญหาการจราจรก็เป็นปัญหาสำคัญที่มีผลต่อการประชุม

ด้วยเหตุผลที่กล่าวมานี้ ทำให้การประชุมในแต่ละครั้งเกิดปัญหามากมายหากไม่มีการเตรียมงานที่ดี เมื่อเทคโนโลยีทางการสื่อสารพัฒนาขึ้นในระดับที่สามารถส่งข้อมูลทางภาพและเสียงด้วยความเร็วสูงมาก จึงได้มีระบบการประชุมทางโทรทัศน์เกิดขึ้นมา ระบบนี้ก็คือ บริการ Video Conference เป็นหนึ่งในรูปแบบบริการโทรคมนาคมที่เริ่มต้นเข้ามามีบทบาทในด้านธุรกิจ เพื่อช่วยในการประชุมทางธุรกิจ สามารถกระทำได้อย่างรวดเร็ว Video Conference ก็คือการสื่อสารทางภาพและเสียง ในลักษณะโต้ตอบกันได้ (Interactive) ระหว่างบุคคลมากกว่าสองคนที่อยู่ในสถานที่ต่างกันมากกว่า 2 แห่ง โดยผู้ใช้สามารถติดต่อระหว่างกันเป็นระบบแบบเครือข่าย แต่ภาพที่ปรากฏบนจอโทรทัศน์จะไม่สามารถเห็นผู้เข้าร่วมประชุมในเวลาเดียวกันได้ กรณีที่มีการประชุมมากกว่า 2 สถานที่ จุดประสงค์ในการใช้งาน Video Conference นั้นไม่ใช่เพียงลดค่าใช่จ่ายในการเดินทาง ยังเป็นการลดเวลาที่ต้องสูญเสียไปในการเดินทางเป็นการเพิ่มประสิทธิภาพในการทำงานหรือบริหารงานธุรกิจ

ดังนั้นจึงเกิดแนวคิดในการสร้างระบบการประชุมทางโทรทัศน์ โดยสามารถเห็นผู้เข้าร่วมประชุมบนจอโทรทัศน์พร้อมกันได้สูงสุด 4 ผู้ใช้ โดยทางภาพจะแบ่งจอโทรทัศน์ออกเป็น 4 ส่วน ด้วยเทคนิคพิเศษ ซึ่งแต่ละผู้ใช้จะต้องมีอุปกรณ์พื้นฐานคือ กล้อง CCD, เครื่องรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โทรทัศน์และวงจรระบบการประชุมสถานที่ที่ละหนึ่งชุด เพื่อเชื่อมต่อให้ผู้ใช้ใน 4 สถานที่สามารถติดต่อสื่อสารกันได้ ในวงจรระบบการประชุมประกอบไปด้วย ส่วนของหน่วยความจำที่เก็บข้อมูลภาพและส่วนแสดงข้อมูลภาพออกทางจอโทรทัศน์ ในการแสดงภาพออกทางจอโทรทัศน์นั้นเพื่อให้ภาพแสดงออกทางจอโทรทัศน์ได้ถึง 4 ผู้ใช้ จะต้องมีส่วนที่ใช้ในการอ่านหน่วยความจำ โดยการอ่านหน่วยความจำจะใช้เวลาอ่านเร็วกว่าปกติเป็น 2 เท่า ซึ่งรายละเอียดในการบันทึกข้อมูลภาพและอ่านข้อมูลภาพจากหน่วยความจำ จะได้กล่าวไว้ในปริญญานิพนธ์ฉบับนี้

ปริญญานิพนธ์ฉบับนี้ทำการพัฒนาการประชุมทางโทรทัศน์ ให้มีประสิทธิภาพและขีดความสามารถมากยิ่งขึ้นภายใต้ชื่อว่า "ระบบการประชุมทางโทรภาพแบบ 4 ผู้ใช้ (4-User Video Conference System)" โดยขีดความสามารถที่เพิ่มขึ้นคือการแสดงผลทางหน้าจอจะแสดงผลตามลำดับของการเข้าประชุม (Priority Check) และสามารถได้ยินเสียงพร้อมกันด้วย โดยใช้สัญญาณโทรศัพท์เป็นตัวเปิดระบบการประชุม

ในปริญญานิพนธ์ฉบับนี้ ประกอบด้วยรายละเอียดต่างๆ โดยมีหัวข้อสำคัญดังต่อไปนี้

บทที่ 1 บทนำ กล่าวถึง ความสำคัญของการสื่อสาร, ต้นกำเนิดของการบริการ Video Conference, แนวคิดของการสร้างระบบการประชุมทางโทรทัศน์ และขีดความสามารถของเครื่องระบบการประชุมทางโทรภาพแบบ 4 ผู้ใช้

บทที่ 2 ทฤษฎี และหลักการ กล่าวถึง ทฤษฎีของโทรทัศน์เบื้องต้น, การเก็บข้อมูลภาพทางดิจิตอล, หลักการเขียน และการอ่านหน่วยความจำ, หลักการเบื้องต้นของระบบกล้องวีดีโอ, ทฤษฎี และหลักการเบื้องต้นของโทรศัพท์, ทฤษฎีไมโครคอนโทรลเลอร์ MCS-51, ระบบการประชุมทางโทรทัศน์ในปัจจุบัน

บทที่ 3 การออกแบบ การสร้าง และการทำงาน กล่าวถึง ผังการทำงานของเครื่อง, วิธีการจัดลำดับสัญญาณภาพ, วิธีการถอดรหัสโทรศัพท์, วิธีการบันทึกภาพ, ขบวนการแสดงภาพออกทางจอโทรทัศน์, การผสมสัญญาณเสียง, การออกแบบวงจรและการสร้างวงจรต่างๆ

บทที่ 4 การทดลอง และผลการทดลอง กล่าวถึง การทดลองการถอดรหัสความถี่โทรศัพท์, การทดลองวงจรการจัดลำดับภาพ และการทดลองวงจรผสมสัญญาณเสียง

บทที่ 5 บทสรุป ปัญหา แนวทางการแก้ไข และพัฒนา กล่าวถึงปัญหา ข้อเสนอแนะต่างๆ ซึ่งเป็นการสรุปเกี่ยวกับความสามารถของ การใช้งานของเครื่องระบบการประชุมทางโทรภาพแบบ 4 ผู้ใช้ พร้อมทั้ง กล่าวถึงปัญหาที่เกิดขึ้นระหว่างการทำโครงงาน วิธีการแก้ไข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปัญหาที่เกิดขึ้น และข้อเสนอแนะแนวทางการพัฒนา เพื่อให้สามารถนำไปประยุกต์ใช้งานได้ และสามารถปรับปรุงให้มีประสิทธิภาพดียิ่งขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎี และหลักการ

ในระบบการประชุมทางโทรภาพ องค์ประกอบสำคัญนอกเหนือจากผู้เข้าร่วมประชุมแล้วก็คือ เครื่องบันทึกภาพ และจอแสดงภาพ จึงจะทำให้การประชุมทางโทรภาพนั้นสมบูรณ์ บทนี้เป็นการกล่าวถึงทฤษฎี และหลักการขององค์ประกอบที่จำเป็นในระบบการประชุมทาง-โทรภาพ พร้อมทั้งระบบการประชุมทางโทรทัศน์ที่มีอยู่ในปัจจุบัน

2.1 ทฤษฎีของโทรทัศน์เบื้องต้น

2.1.1 ส่วนประกอบของภาพ

หากพิจารณาดูภาพหรือรูปที่ปรากฏในหน้าหนังสือพิมพ์ หรือวารสารต่างๆ แล้ว จะเห็นว่าภาพเหล่านี้ประกอบขึ้นด้วยจุดดำเล็กๆ เป็นจำนวนมาก ซึ่งมีทั้งส่วนที่ดำสนิท และส่วนที่ดำจาง

ก) หากมีจำนวนจุดดำมาก ภาพจะมองดูละเอียด

ข) หากมีจำนวนจุดดำน้อย ภาพจะมองดูหยาบ

รูปที่ 2.1 ส่วนประกอบของภาพในรูปที่มีพื้นที่เท่ากัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขนาดของจุดดำในส่วนของภาพที่มืดสนิทจะเห็นใหญ่กว่าขนาดของจุดดำในส่วนของภาพที่จาง จำนวนของจุดดำที่มีมากหรือน้อยนี้ มีผลทำให้ภาพมองดูละเอียดหรือหยาบแตกต่างกัน ดังแสดงในรูปที่ 2.1 ระยะทางที่มองดูภาพมีส่วนสำคัญอยู่ไม่น้อย ภาพที่หยาบถ้าหากมองดูในระยะทางซึ่งไกลกว่าระยะที่ใช้มองดูภาพละเอียด ทำให้รู้สึกว่าพอดูได้เหมือนกัน

ในทำนองเดียวกัน ภาพที่ปรากฏบนจอหลอดภาพของเครื่องรับโทรทัศน์นั้นประกอบด้วยเส้นขวางเล็กๆ ในแนวนอนเป็นจำนวนมาก ซึ่งแต่ละเส้นนี้มีทั้งส่วนที่ดำสนิท, ส่วนที่ดำจาง และส่วนที่ดำมากรวมกันอยู่ เส้นขวางเล็กๆ ตามแนวนอนเหล่านี้เราเรียกว่า เส้นสแกน (Scan) ซึ่งประกอบไปด้วยส่วนหรือจุดเล็กๆ ที่มีทั้งมืด และสว่างปะปนกันตามรูปที่ 2.2

รูปที่ 2.2 ภาพบนจอเครื่องรับโทรทัศน์ ประกอบขึ้นด้วยเส้นสแกนตามแนวนอนเป็นจำนวนมาก

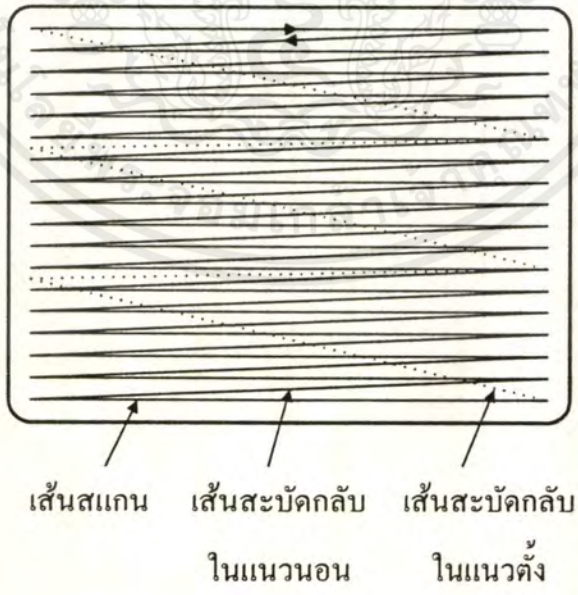
ดังนั้น ภาพที่ปรากฏอยู่บนจอหลอดภาพจึงประกอบขึ้นด้วยจุดเล็กๆ ที่มีระดับของความสว่างแตกต่างกันเป็นจำนวนมากมาย จุดเล็กๆ เหล่านี้เรียกว่า ส่วนประกอบของภาพ (Picture Elements) ซึ่งมีความสัมพันธ์กับความละเอียดของภาพมาก หากจำนวนจุดเล็กๆ หรือจำนวนเส้นสแกนในแนวนอนมีมากยิ่งขึ้นเพียงไร ภาพที่เห็นบนจอหลอดภาพจะละเอียดมากขึ้นเพียงนั้น ดังนั้น โทรทัศน์ระบบยุโรปที่มีจำนวนเส้นสแกน 625 เส้นจึงให้ภาพละเอียดกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โทรทัศน์ระบบอเมริกา ที่มีจำนวนเส้นสแกนเพียง 525 เส้นเท่านั้น แต่อย่างไรก็ตามภาพที่เห็นบนจอหลอดภาพจะมองดูละเอียด, หยาบ หรือน่าดูอย่างไรนั้น ยังขึ้นอยู่กับส่วนประกอบอีกหลายอย่าง เช่น ความสว่างของภาพ และระยะทางที่มองดูภาพ เป็นต้น สำหรับโทรทัศน์ระบบอเมริกา แม้จะมีจำนวนเส้นสแกนน้อยกว่าจำนวนเส้นของโทรทัศน์ระบบยุโรป อาจทำให้เห็นภาพหยาบไปบ้างก็ตาม แต่ถ้าหากมองในระยะทางห่างประมาณ 4 ถึง 8 เท่าของความสูงภาพแล้ว จะเห็นว่าเป็นภาพที่พอใช้ได้เหมือนกัน นอกจากนี้ มาตรฐานเพื่อการมองของสายตาของคน จะกำหนดให้ภาพมีขนาดอัตราส่วนความกว้างต่อความสูงของภาพเป็น 4:3 อีกด้วย

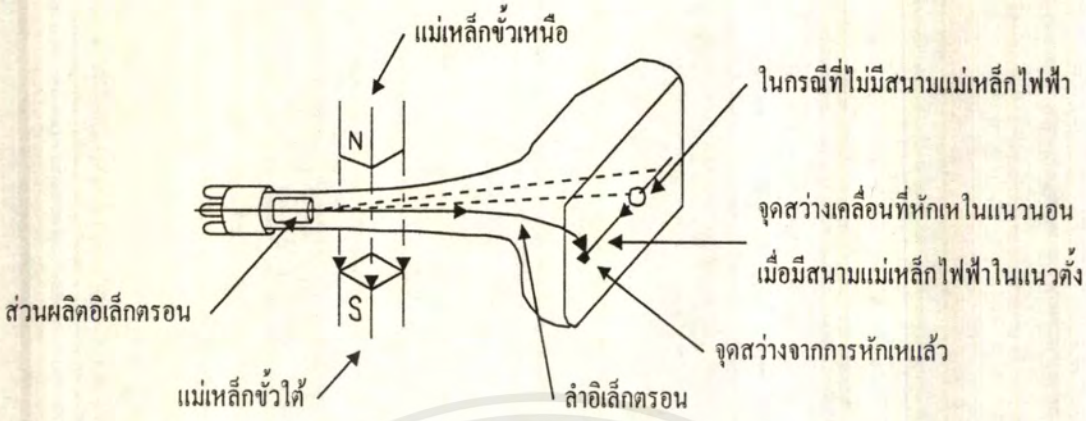
2.1.2 วิธีการสแกนและการหักเหของลำอิเล็กตรอน

ภายในหลอดภาพของเครื่องรับโทรทัศน์ อิเล็กตรอนที่หลุดออกมาจากขั้วแคโถด (Cathode) จะถูกดึงดูดให้วิ่งเป็นลำไปกระทบขั้วแอโนด (Anode) หรือจอหลอดภาพที่ฉาบวัสดุเรืองแสงบางชนิดเอาไว้ เช่น ทำให้มองเห็นเป็นจุดสว่างขึ้นที่จอหลอดภาพ ทั้งในแนวนอนและในแนวตั้งของจอหลอดภาพ โดยอาศัยความเข้มของสนามแม่เหล็กไฟฟ้า (Intensity of Electromagnetic Field) เข้าช่วยเหลือ ดังแสดงในรูปที่ 2.3 และรูปที่ 2.4

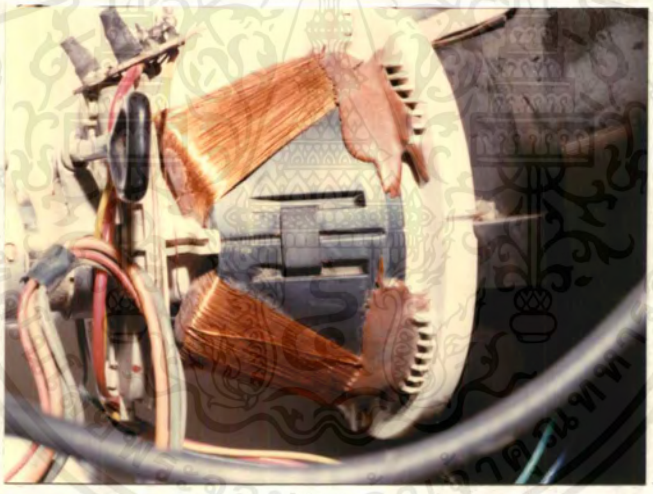


รูปที่ 2.3 การเคลื่อนที่หักเหของลำอิเล็กตรอนในจังหวะที่ถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 การหักเหของลำอิเล็กตรอน โดยอาศัยสนามแม่เหล็กไฟฟ้าเข้าช่วยเหลือ

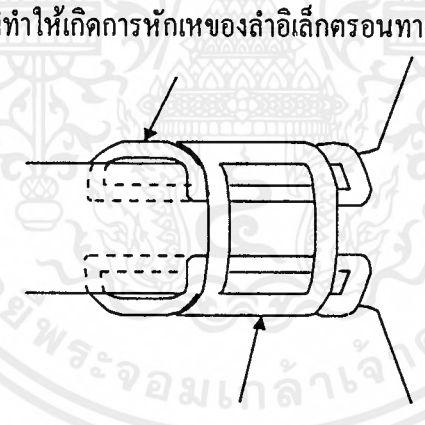


รูปที่ 2.5 ขดลวดที่ทำให้เกิดการหักเหของลำอิเล็กตรอน

ในขณะที่ไม่มีสนามแม่เหล็กไฟฟ้า อิเล็กตรอนจะวิ่งไปกระทบจอหลอดภาพตรงกลาง โดยไม่ถูกหักเหเลย หากต้องการเบนลำอิเล็กตรอนไปทางซ้ายมือในแนวนอน ก็จำเป็นต้องใช้สนามแม่เหล็กไฟฟ้าที่มีขั้วเหนือ-ขั้วใต้อยู่ในแนวตั้ง ตามรูปที่ 2.4 หากกลับขั้วแม่เหล็กลำอิเล็กตรอนก็จะถูกเบนไปทางขวามือในแนวนอนของจอหลอดภาพ การที่ลำอิเล็กตรอนถูกเบี่ยงเบนไปทางขวามือหรือทางซ้ายมือของจอนี้ จะทำให้เห็นเป็นจุดสว่างที่เคลื่อนที่ไปทางเดียวกันด้วย ในทำนองเดียวกันหากมีขั้วแม่เหล็กในแนวนอน ลำอิเล็กตรอนหรือจุดสว่างก็จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถูกเบนไปในทางแนวตั้งของจอหลอดภาพ เพื่อช่วยในการหักเหลำอิเล็กตรอนในทิศทางที่ต้องการ จึงใช้สนามแม่เหล็กไฟฟ้าในแนวนอนและในแนวตั้งร่วมกัน สนามแม่เหล็กไฟฟ้านี้เกิดจากการปล่อยกระแสไฟฟ้าผ่านขดลวดที่พันอยู่รอบๆ คอหลอดภาพตามรูปที่ 2.5 และ 2.6 ขดลวดนี้เรียกว่า ขดลวดของการหักเหทางแนวนอนและขดลวดของการหักเหทางแนวตั้งตามลำดับ รูปร่างของกระแสไฟฟ้าที่ไหลผ่านขดลวดทั้งสองเพื่อที่จะทำให้เกิดการสแกนตามรูปที่ 2.3 นั้น มีความสำคัญมากและนิยมใช้กระแสรูปฟันเลื่อย ความถี่ของกระแสที่ไหลผ่านขดลวดทั้งสองนี้ไม่เท่ากัน สำหรับโทรทัศน์ระบบอเมริกา กระแสรูปฟันเลื่อยที่ไหลผ่านขดลวดของการหักเหทางแนวนอนจะมีความถี่ 15,725 Hz ส่วนกระแสรูปฟันเลื่อยที่ไหลผ่านขดลวดของการหักเหทางแนวตั้งจะมีความถี่เพียง 60 Hz โทรทัศน์ระบบยุโรป กระแสรูปฟันเลื่อยที่ไหลผ่านขดลวดของการหักเหทางแนวนอนจะมีความถี่ 15,625 Hz ส่วนกระแสรูปฟันเลื่อยที่ไหลผ่านขดลวดของการหักเหทางแนวตั้งจะมีความถี่เพียง 50 Hz



รูปที่ 2.6 การวางตำแหน่งของขดลวด

โดยปกติ การสแกนจะเริ่มต้นขึ้นโดยการทำให้อิเล็กตรอนเคลื่อนที่จากซ้ายมือด้านบนของจอไปทางขวามือในแนวนอน ซึ่งเมื่อไปถึงตำแหน่งขวาสุด ก็จะถูกเบนต่ำลงเล็กน้อย แล้วจะกลับไปตั้งต้นใหม่ทางซ้ายมือ เพื่อเคลื่อนที่มาทางขวามือในแนวนอนอีกและเป็นเช่นนี้เรื่อยๆ จนกระทั่งจุดสว่างไปถึงตำแหน่งขวามือข้างล่างสุดของจอหลอดภาพ เป็นอันเสร็จสิ้น

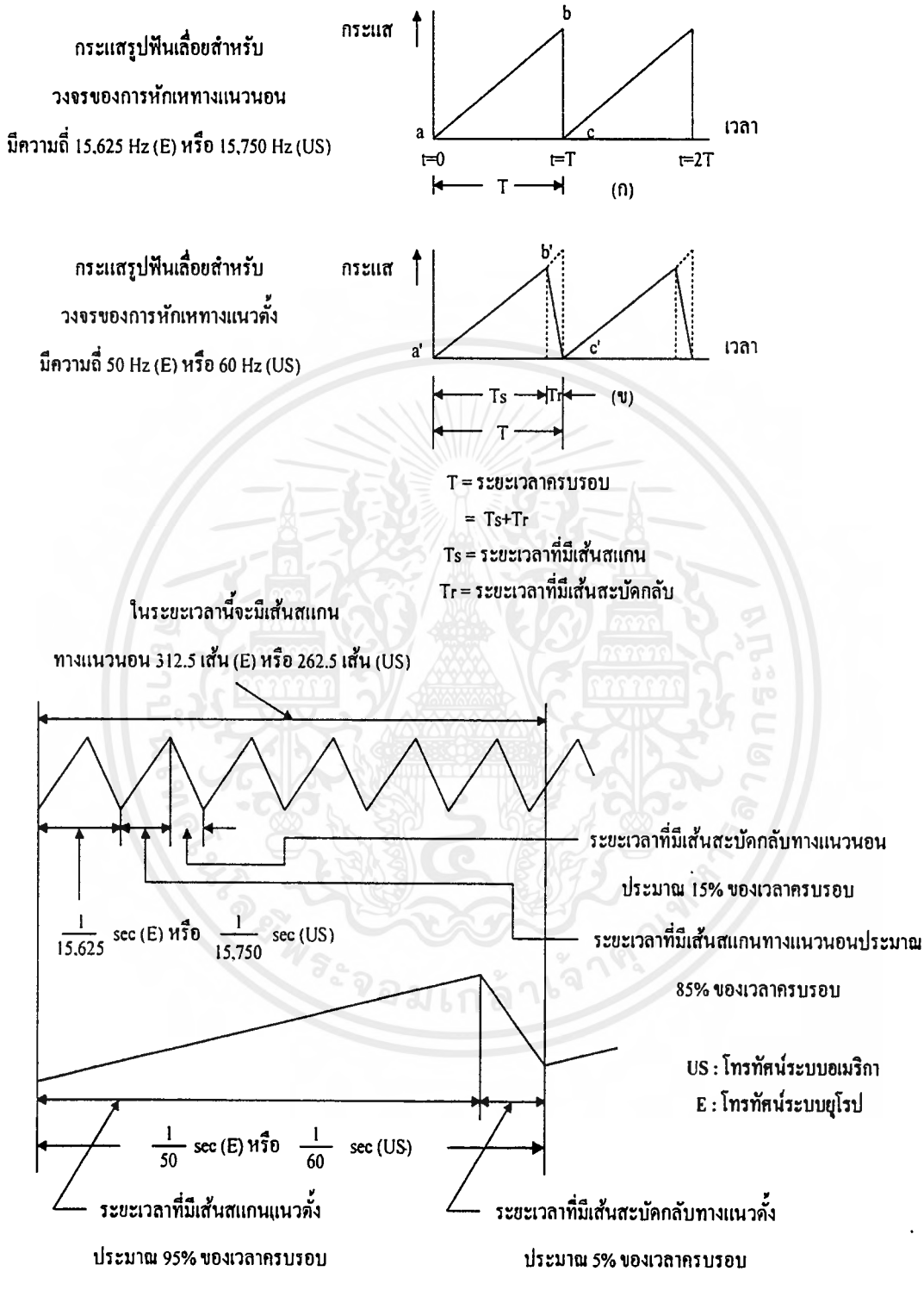
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสแกนภาพนิ่ง 1 ภาพ เรียกว่า 1 เฟรม (Frame) หลังจากนั้น ลำอิเล็กตรอนจะกลับไปตั้งต้นใหม่ทางด้านซ้ายมือบนสุดของจอหลอดภาพอีก เพื่อการสแกนภาพนิ่งอันดับต่อไป อย่างไรก็ตาม ในการลดอาการกระพริบของภาพ การสแกนภาพนิ่งแต่ละภาพมักนิยมมักนิยมจัดทำสองครั้งในแบบของการสแกนไขว้กัน โดยกำหนดให้ภาพนิ่ง 1 เฟรม ประกอบด้วยภาพนิ่ง 2 ฟิลด์ (Field) และเริ่มต้นด้วยการสแกนภาพนิ่งฟิลด์เส้นคี่ก่อน เมื่อเสร็จสิ้นถึงตำแหน่งขวามือล่างสุดของจอหลอดภาพ จึงกลับไปตั้งต้นใหม่ทางด้านซ้ายมือบนสุดของจอหลอดภาพ เพื่อเริ่มต้นการสแกนภาพนิ่งฟิลด์เส้นคู่ต่อไป จนถึงตำแหน่งขวามือล่างสุด หลังจากนั้นจะเริ่มต้นสแกนภาพนิ่งอันดับอื่นต่อไปใหม่

ดังนั้น การสแกนภาพนิ่งหนึ่งภาพหรือหนึ่งเฟรม จึงประกอบด้วยการสแกนภาพนิ่งด้วยฟิลด์เส้นคี่และการสแกนภาพนิ่งด้วยฟิลด์เส้นคู่ สำหรับโทรทัศน์ระบบยุโรปใช้เส้นสแกนทางแนวนอน 625 เส้นต่อภาพ และ 25 ภาพต่อวินาที ความถี่ของกระแสไฟฟ้าที่ทำให้เกิดการหัก-เหทางแนวนอนและการหักเหทางแนวตั้งมีค่าเป็น 625 x 25 หรือ 15,625 Hz และ 50 Hz ตามลำดับ ความถี่ของกระแสสำหรับการหักเหทางแนวนอนและการหักเหทางแนวตั้งทั้งสองแสดงในรูปที่ 2.7 ในระยะเวลาครบรอบหนึ่งๆ ของกระแสรูปฟันเลื่อย ประกอบด้วยส่วนที่เพิ่มขึ้นจากค่าต่ำสุดไปหาค่าสูงสุด ซึ่งตรงกับเวลาที่จุดสว่างใช้ไปในการสแกนจากซ้ายมือสุดไปจนถึงขวามือสุด และส่วนที่ลดลงจากค่าสูงสุดไปหาค่าต่ำสุดตรงกับระยะเวลาที่จุดสว่างบนจอหลอดภาพใช้ในการสะบัดกลับ จากขวามือสุดไปตั้งต้นใหม่ทางซ้ายมือสุด โดยปกติระยะเวลาที่มีเส้นสะบัดกลับ จะเป็นช่วงเวลาที่น้อยมากเมื่อเทียบกับช่วงเวลาที่มีเส้นสแกน จุดสว่างที่มองเห็นเส้นสะบัดกลับไปในช่วงเวลาดังกล่าวนี้ ไม่ก่อให้เกิดประโยชน์อันใดเลย จึงหาวิธีทำให้เกิดสิ่งอื่นมาข่มจุดสว่างในช่วงเวลานี้ เพื่อมิให้สังเกตเห็นได้ทางจอหลอดภาพ สัญญาณที่ใช้ในการลบเส้นสะบัดกลับนี้เรียกว่า สัญญาณแบล้งค์กิ้ง (Blanking Signal)

เนื่องจากการสแกนภาพนิ่งตามที่กล่าวถึงแล้วนี้ กระทำติดต่อกันไปเรื่อยๆ โดยมีจำนวนเส้นต่อภาพ และจำนวนภาพต่อวินาทีตามแต่ละระบบโทรทัศน์ที่ใช้ ภาพที่มาปรากฏบนจอหลอดภาพเครื่องรับโทรทัศน์จึงมีผลเหมือนกับการฉายภาพนิ่ง ซึ่งแต่ละภาพแตกต่างกันบ้างเล็กน้อย เป็นจำนวนหลายภาพต่อหนึ่งวินาที และด้วยคุณลักษณะการมองเห็นภาพของสายตาจะทำให้เห็นภาพบนจอหลอดภาพเครื่องรับโทรทัศน์เป็นภาพที่เคลื่อนไหวติดต่อกันไปตลอดเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 กระแสรูปฟันเลื่อย สำหรับใช้ในวงจรที่ทำให้เกิดการหักเหของลำอิเล็กตรอน ในแนวนอน และในแนวตั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.3 เครื่องส่ง และเครื่องรับโทรทัศน์

เครื่องส่ง และเครื่องรับโทรทัศน์ต้องมีการสแกนทั้งทางแนวนอน และการสแกนทางแนวตั้งพร้อมกัน จึงจะมีภาพเกิดขึ้นที่เครื่องรับโทรทัศน์ ภาพที่ปรากฏขึ้นบนจอหลอดภาพจำเป็นต้องอาศัยวงจรการหักเหทางแนวนอน (Horizontal Deflection Circuit) และวงจรการหักเหทางแนวตั้ง (Vertical Deflection Circuit) ซึ่งแต่ละวงจรจะมีกระแสรูปฟันเลื่อยไหลผ่าน ส่วนทางด้านกล้องโทรทัศน์จำเป็นต้องอาศัยความถี่ทั้งสองช่วยทำให้เกิดสัญญาณทางไฟฟ้าเช่นเดียวกัน

ดังนั้น ความถี่ทางวงจรของการหักเหทางแนวนอนและวงจรของการหักเหทางแนวนอนที่ใช้ในเครื่องส่งโทรทัศน์ และที่ใช้ในเครื่องส่งโทรทัศน์นี้จะต้องเท่ากันตลอดเวลา จึงจะทำให้เกิดภาพขึ้นที่เครื่องรับโทรทัศน์ ด้วยเหตุนี้ ต้องมีวิธีทำให้ความถี่ของวงจรดังกล่าวทางเครื่องส่ง และทางเครื่องรับโทรทัศน์เท่ากันตลอดเวลา ดังแสดงตามรูปที่ 2.9 โดยสถานีโทรทัศน์ต้องส่งสัญญาณชนิดหนึ่งที่เรียกว่าสัญญาณซิ้งค์ (Synchronize Signal) ไปพร้อมสัญญาณภาพและสัญญาณเสียง สัญญาณซิ้งค์จะช่วยทำให้ความถี่ในวงจรของการหักเหทางแนวนอนและวงจรของการหักเหทางแนวตั้งในเครื่องส่ง และเครื่องรับโทรทัศน์เท่ากันเพื่อทำให้เกิดภาพที่จอหลอดภาพของเครื่องรับโทรทัศน์ตลอดเวลาได้

2.1.4 สัญญาณต่างๆ ที่ส่ง

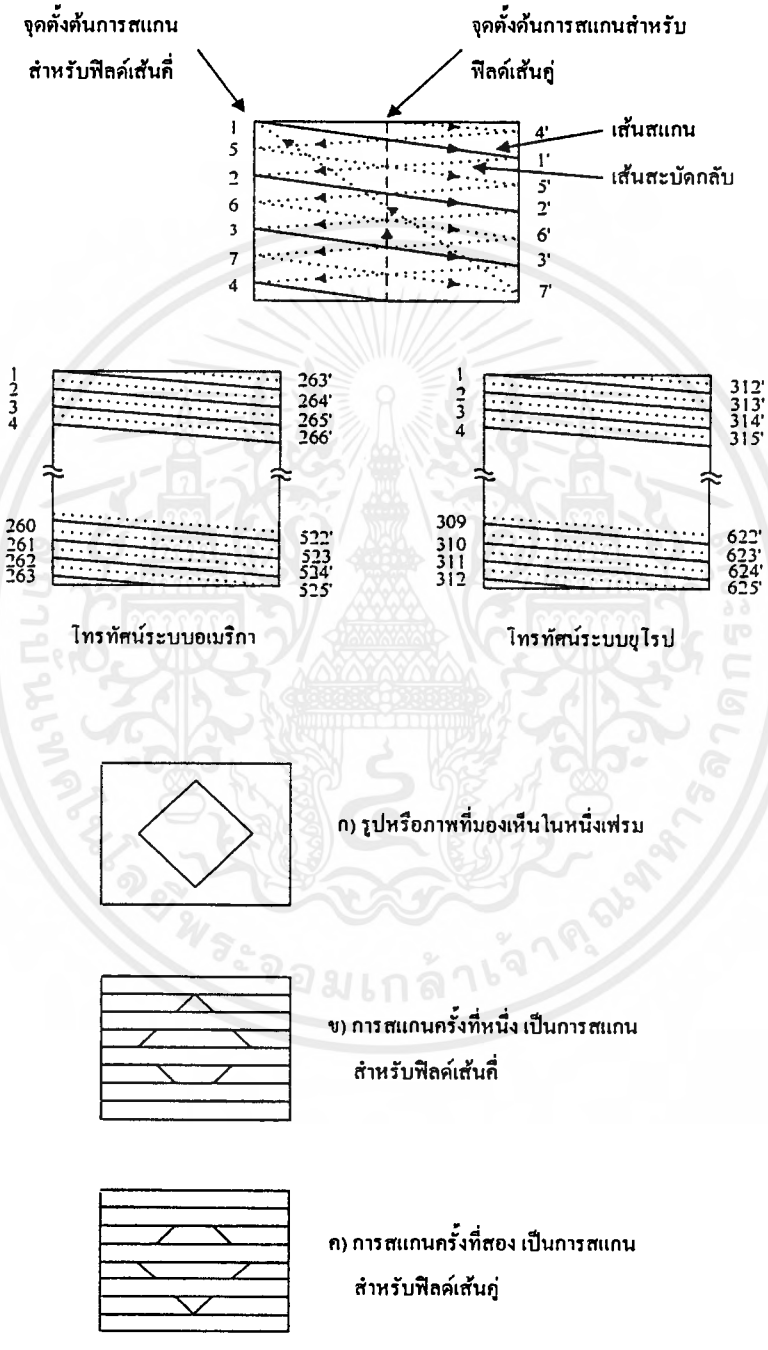
เพื่อให้เกิดผลตามความมุ่งหมาย สถานีโทรทัศน์ที่ส่งภาพขาวดำจำเป็นต้องส่งสัญญาณหลายอย่าง คือ

- สัญญาณเสียง
- สัญญาณภาพ
- สัญญาณแบล้งค์กิ้ง
- สัญญาณซิ้งค์
- สัญญาณอีควอไลซิ่ง

สัญญาณเสียงมีคลื่นพาห์ (Carrier Wave) ของตัวเองโดยเฉพาะ ส่วนสัญญาณภาพ และสัญญาณอื่นๆ นั้นจะรวมเป็นรูปร่างอันเดียวกัน เรียกว่าสัญญาณภาพรวม (Composite Video

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

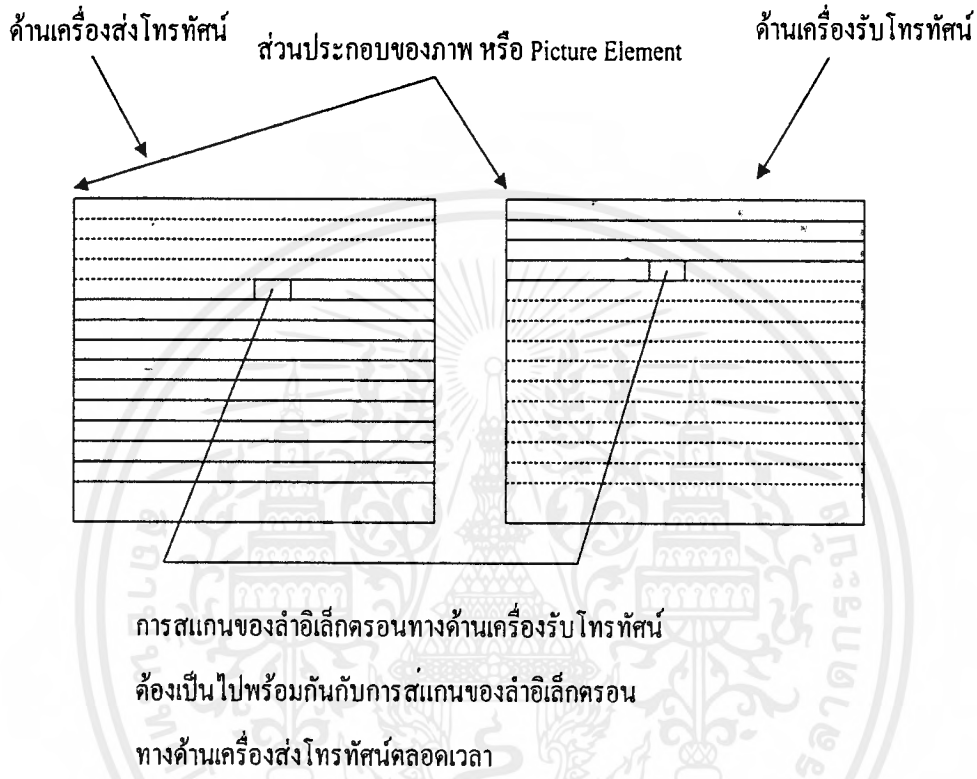
Signal) แล้วใช้คลื่นพาห์เป็นตัวแพร่ออกอากาศรวมกับคลื่นพาห์ของเครื่องส่งไปยังเครื่องรับโทรทัศน์ เหตุผลและความจำเป็นในการใช้สัญญาณต่างๆ มีดังนี้



รูปที่ 2.8 การสแกนสองครั้งสำหรับภาพนิ่งแต่ละภาพโดยแบ่งหนึ่งเฟรมออกเป็นสองฟิลด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

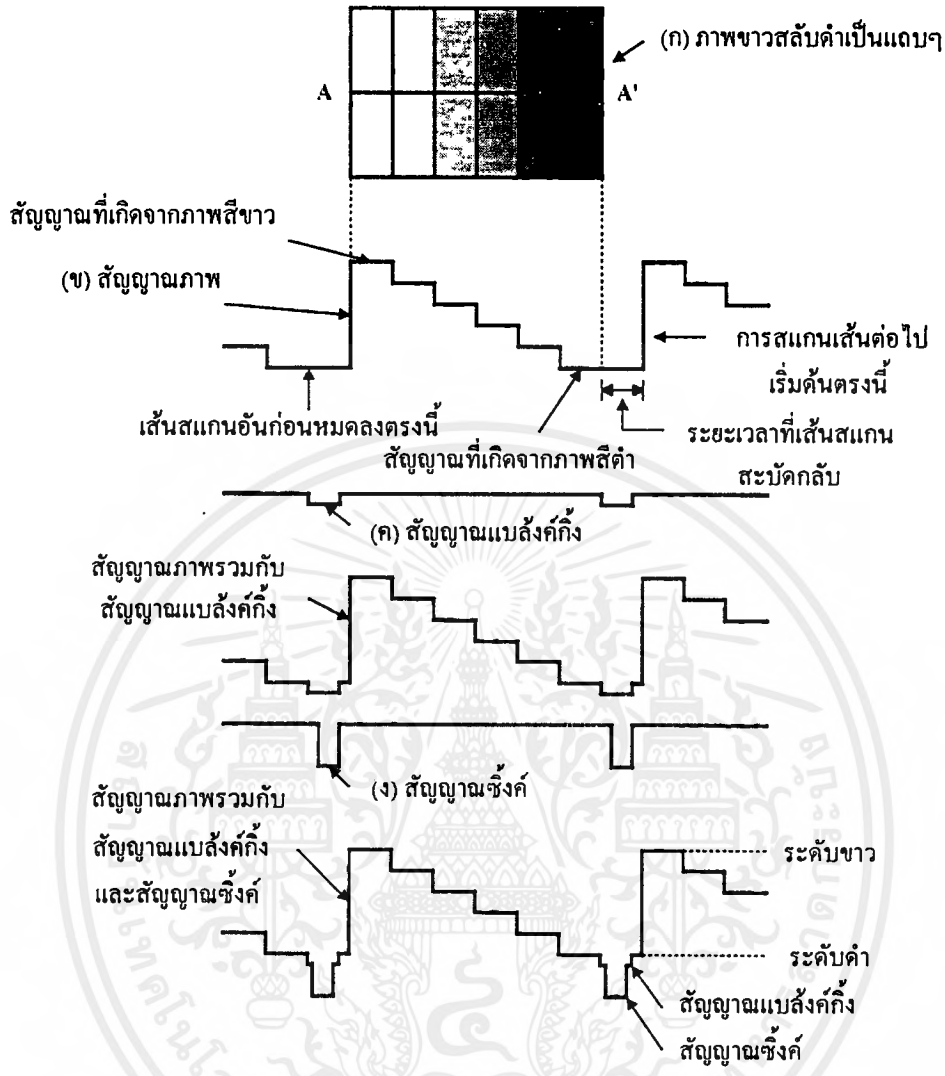
ก) สัญญาณภาพ และสัญญาณเสียง เป็นสัญญาณที่ใช้เพื่อทำให้เกิดภาพและเสียงทางเครื่องรับโทรทัศน์ตามต้องการ



รูปที่ 2.9 ความถี่ของกระแสรูปฟันเลื่อยในวงจรของการหักเหทางแนวนอน และวงจรของการหักเหทางแนวตั้งทางด้านเครื่องส่งและเครื่องรับโทรทัศน์

ข) สัญญาณแบล้งค์กิ้ง เป็นสัญญาณที่ใช้เพื่อลบเส้นสะบัดกลับทั้งในแนวนอนและในแนวตั้ง เพื่อมิให้สังเกตเห็นได้ชัดทางจอหลอดภาพ สำหรับโทรทัศน์ระบบอเมริกา วงจรของการหักเหทางแนวนอนมีความถี่ 15,750 Hz ดังนั้น ในระยะเวลา 1/15,750 s หรือ 63.5 μs จะต้องเกิดเส้นสแกนสะบัดกลับครั้งหนึ่ง จึงต้องใช้แบล้งค์กิ้งพัลซ์ทางแนวนอน (Horizontal Blanking Pulse) หนึ่งครั้ง โดยมีขนาดประมาณ 10 μs ในทำนองเดียวกัน ทุกๆ ช่วงเวลา 1/60 s หรือ 16.667 μs ก็ต้องใช้แบล้งค์กิ้งพัลซ์ทางแนวตั้ง (Vertical Blanking Pulse) ครั้งหนึ่ง โดยมีขนาดประมาณ 1,250 μs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 รูปร่างของสัญญาณโทรทัศน์ที่เกิดจากภาพขาวสลับดำเป็นแถบๆ

ค) สัญญาณซิ้งค์ เป็นสัญญาณที่ใช้เพื่อช่วยทำให้วงจรการหักเหทางแนวนอน และวงจรการหักเหทางแนวตั้งในเครื่องส่งกับเครื่องรับโทรทัศน์มีความถี่ตรงกันตลอดเวลา สัญญาณซิ้งค์ทางแนวนอนมีความถี่ 15,750 Hz เท่ากับวงจรของการหักเหทางแนวนอน และสัญญาณซิ้งค์ทางแนวตั้งมีความถี่ประมาณ 60 Hz ซึ่งเท่ากับความถี่ของวงจรหักเหทางแนวตั้งเช่นกันเนื่องจากความถี่ของสัญญาณซิ้งค์มีค่าเท่ากับความถี่ของสัญญาณแบล้งค์กิ้งพอดี จึงจำเป็นต้องป้องกันการรบกวนที่อาจเกิดขึ้น โดยจำเป็นต้องกำหนดขนาดของซิ้งค์พัลซ์ให้น้อยกว่าขนาดของแบล้งค์กิ้งพัลซ์ คือ ทำให้ซิ้งค์พัลซ์ทางด้านแนวนอนมีขนาดเพียง 5 μs และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ห้องสมุด
คณะครุศาสตร์อุตสาหกรรม สจล.
ปพ.
ม 936 ค
2539

ซิ้งค์พัลซ์ทางแนวตั้งมีขนาดเพียง 190 μs เท่านั้น นอกจากนี้ ยังใช้วิธีส่งซิ้งค์พัลซ์เหล่านี้ปนไปกับแบล้งค์กิ้งพัลซ์อีกด้วย โดยให้ฐานของซิ้งค์พัลซ์ทับอยู่ขอบบนของแบล้งค์กิ้งพัลซ์อีกชั้นหนึ่งดังนั้น เมื่อจำกัดขอบเขตความต่างศักย์ให้ระดับสูงสุดของแบล้งค์กิ้งพัลซ์เป็นระดับดำมืดจนมองไม่เห็นแล้ว ระดับของซิ้งค์พัลซ์ที่อยู่บนยอดสูงสุดของแบล้งค์กิ้งพัลซ์ก็จะเป็นระดับดำมืดสนิท และไม่ทำให้เกิดการรบกวนภาพที่จอหลอดภาพแต่อย่างใด

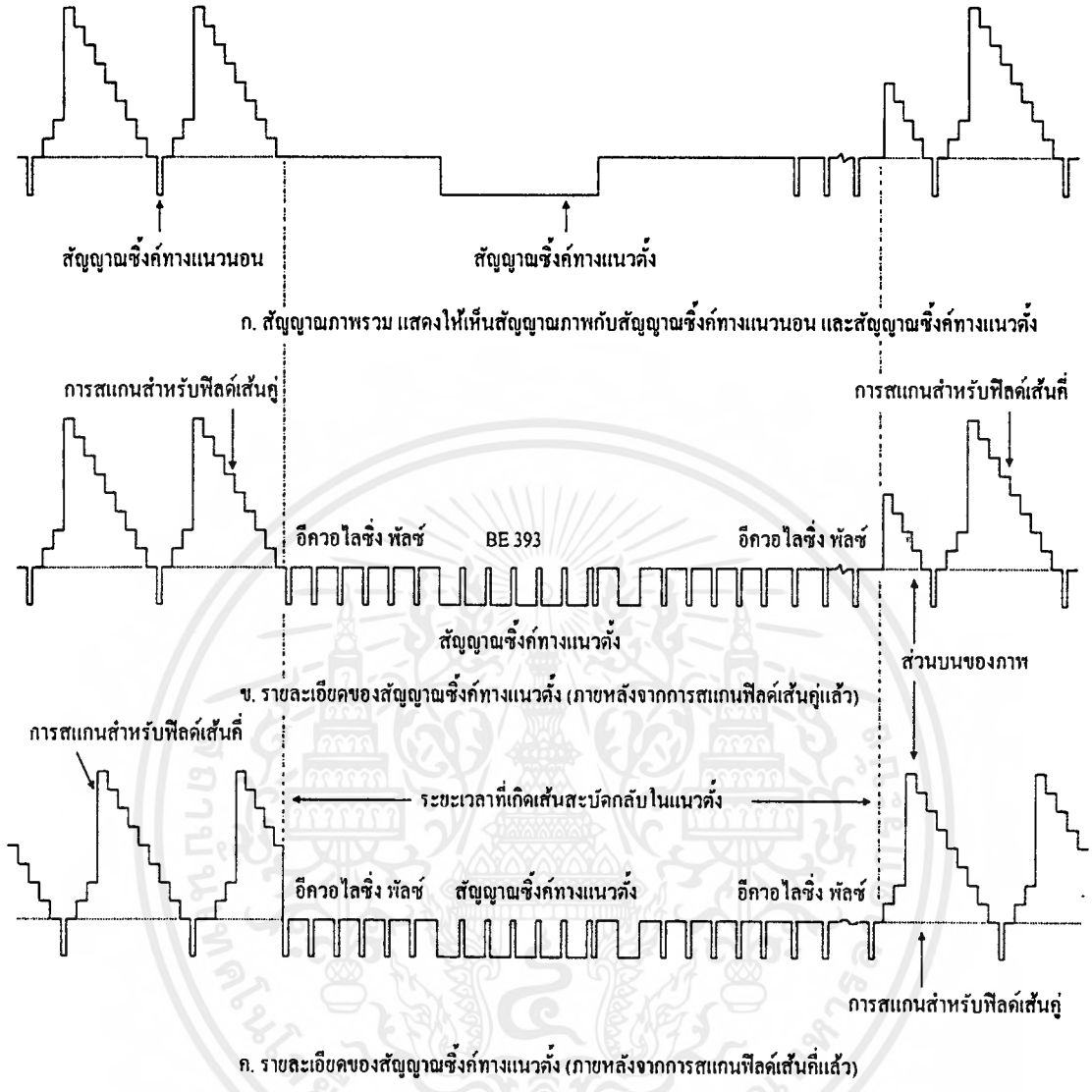
ง) สัญญาณอีควอไลซิ่ง เป็นสัญญาณที่ใช้เพื่อช่วยให้สัญญาณซิ้งค์ทางแนวตั้งยังคงมีรูปร่างดีเหมือนเดิม หลังจากแยกออกมาจากสัญญาณซิ้งค์ทางแนวนอนแล้ว นอกจากนี้ ยังช่วยทำให้การสแกนแบบไขว้กันเป็นไปด้วยความเรียบร้อยสม่ำเสมอ รวมทั้งสัญญาณซิ้งค์ทางแนวนอนก็ไม่ขาดหายไปในช่วงเวลาของสัญญาณซิ้งค์ทางแนวตั้งอีกด้วย ขนาดของพัลซ์ที่จะกล่าวถึงนี้ จะเท่ากับสัญญาณซิ้งค์ทางแนวตั้งหรือ 190 μs หรือประมาณสามเท่าของสัญญาณซิ้งค์ทางแนวนอน และยังนิยมแบ่งพัลซ์นี้ออกเป็น 6 พัลซ์เล็กๆ ด้วยกัน ดังรูปที่ 2.10 เพื่อทำให้เกิดสัญญาณซิ้งค์ทางแนวนอนครั้งหนึ่งทุกๆ สองครั้งที่มีพัลซ์เล็กๆ นอกจากนี้ยังนิยมแบ่งสัญญาณซิ้งค์ทางแนวตั้งออกเป็นพัลซ์เล็กๆ เช่นเดียวกัน

สัญญาณโทรทัศน์ที่มีสัญญาณภาพรวมกับสัญญาณอื่นๆ หลายอย่าง ตามที่แสดงไว้ในรูปที่ 2.11 นี้ มีชื่อเรียกว่า สัญญาณภาพรวม

รูปที่ 2.11 แสดงภาพขาวสลับดำ ซึ่งเริ่มจากสีขาว, สีดำจางๆ และสีดำสนิทเป็นแถบๆ กล้องโทรทัศน์จะเปลี่ยนภาพให้เป็นสัญญาณทางไฟฟ้าชนิดหนึ่ง เมื่อรวมกับสัญญาณแบล้งค์กิ้ง และสัญญาณซิ้งค์แล้ว ก็จะได้สัญญาณภาพรวมตามที่แสดงไว้ ภาพแต่ละชนิดจะให้สัญญาณทางไฟฟ้าที่มีความถี่สูงต่ำแตกต่างกัน สำหรับโทรทัศน์ระบบอเมริกา ความถี่สูงสุดของภาพไม่ควรเกิน 4 MHz ส่วนโทรทัศน์ระบบยุโรป ความถี่สูงสุดของภาพนี้ไม่ควรเกิน 5 MHz ในเรื่องนี้ ภาพที่เกิดจากสัญญาณโทรทัศน์ที่มีความถี่สูงย่อมละเอียดกว่า หรือมีจำนวนจุดดำอันเป็นส่วนประกอบของภาพมากกว่าภาพที่เกิดจากสัญญาณโทรทัศน์ที่มีความถี่ต่ำ เมื่อเครื่องรับโทรทัศน์รับเอาสัญญาณโทรทัศน์มาแล้ว จะมีการแยกเอาสัญญาณต่างๆ ตามที่กล่าวนี้ไปให้วงจรซึ่งทำหน้าที่ต่างๆ กัน เพื่อทำให้เกิดภาพและเสียงตามความต้องการ สัญญาณเสียงก็จะผ่านไปยังวงจรเสียง, สัญญาณภาพ และสัญญาณแบล้งค์กิ้งก็จะตรงไปยังขั้วแคโถดหรือกริด (Grid) ของหลอดภาพ ส่วนสัญญาณซิ้งค์นั้นเมื่อแยกออกจากสัญญาณภาพรวมแล้ว ก็จะผ่านไปยังวงจรแยกซิ้งค์, วงจรของการหักเหทางแนวนอนและวงจรของการหักเหทางแนวตั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

021633



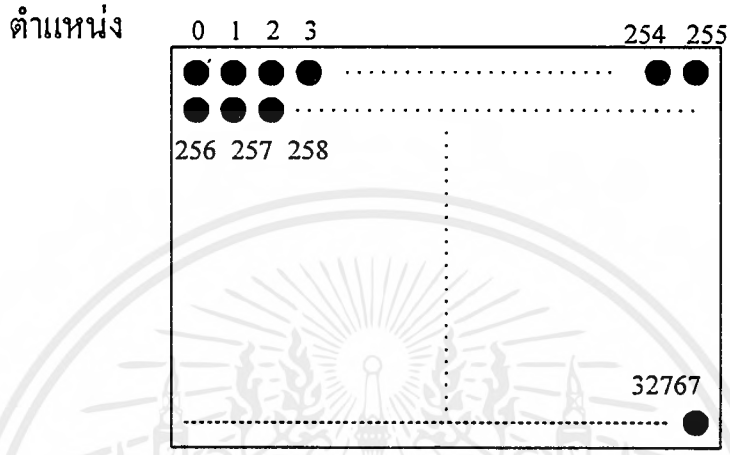
รูปที่ 2.11 สัญญาณภาพรวม แสดงให้เห็นรายละเอียดของสัญญาณแต่ละชนิด

ในการเก็บข้อมูลภาพทางดิจิตอลขนาด 128 x 256 จุดต่อภาพ ภาพที่ได้มีความละเอียดของภาพสูงพอสมควร เหมาะสำหรับการนำข้อภาพที่ได้ไปทำขบวนการต่างๆ ที่มีลักษณะการเก็บข้อมูลภาพ ดังในรูปที่ 2.12

ลักษณะการเก็บข้อมูลภาพลงหน่วยความจำ (Memory) โดยเริ่มจากซ้ายมือบนสุดเป็นตำแหน่ง (Address) 00 ของหน่วยความจำ และนับไปทางขวามือจนถึงขวาสุด เป็นตำแหน่งที่ 255 ต่อจากนั้น จะเริ่มเก็บทางซ้ายมือสุดของเส้นถัดไปเป็นตำแหน่งที่ 256 เก็บต่อไปใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะนี้จนถึงจุดทางขวาล่างสุดเป็นตำแหน่งที่ 32767 รวมแล้วต้องใช้พื้นที่หน่วยความจำทั้งหมด 64 Kbytes (กิโลไบต์)



รูปที่ 2.12 การจัดพื้นที่หน่วยความจำในการเก็บข้อมูลภาพขนาด 128 x 256 จุดต่อภาพ

ในลักษณะเช่นนี้ เราสามารถเขียนข้อมูลภาพที่ถูกเปลี่ยนเป็นข้อมูลดิจิตอลจากตัว Flash A/D ได้ทันเวลา เนื่องจากใน 1 เส้นสแกนทางแนวนอนมีระยะเวลาประมาณ 64 μs และระยะแสดงภาพที่ต้องเปลี่ยนเป็นสัญญาณทางดิจิตอลจะมีประมาณ 80 % ของสัญญาณทั้งหมด ก็คือ 64 x 0.8 = 51.2 μs ส่วนที่เหลือก็จะเป็นช่วงของที่ว่างไป ดังนั้น เมื่อต้องการเก็บภาพแต่ละเส้นด้วยจุดภาพ 256 จุดภาพ ก็จะมีเวลาในการเขียน แต่ละจุดลงสู่หน่วยความจำเป็น 200 ns [(51.2 μs) / (256) = 200 ns] จึงสามารถที่จะทำวงจรนับเขียนภาพลงสู่วีดีโอแรม (Video RAM) ได้ทันในการสแกนภาพ และในแต่ละฟิลด์ เนื่องจากค่าของช่วงเวลาการเข้าถึง (Access Time) คือ เวลาที่ใช้ในการอ่านและเขียนหน่วยความจำให้เสร็จสิ้นโดยสมบูรณ์ โดยทั่วไปแล้ว หน่วยความจำแบบสแตติค (Static RAM : SRAM) และหน่วยความจำแบบไดนามิกส์ (Dynamic RAM : DRAM) จะมีค่าประมาณ 200 ns

ในระบบเก็บภาพนั้น นอกจากภาพจะถูกเปลี่ยนเป็นสัญญาณดิจิตอล และเก็บลงสู่หน่วยความจำแล้วภาพที่เก็บนั้นยังต้องสามารถนำมาแสดงได้อีก และไมโครคอมพิวเตอร์ต้องสามารถใช้หน่วยความจำภาพนี้ได้อย่างสะดวกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 การหาความจุของภาพดิจิตอล

ในระบบ 625 เส้น, 1 เส้น ใช้เวลา 64 μs เราเลือกเก็บแต่ละภาพ 80 % หรือ 51.2 μs ซึ่งเวลาที่ตัดทิ้งไปนี้เป็นช่วงเวลาของสัญญาณซิ้งค์ทางแนวนอน และสัญญาณแบล้งค์กิ้งทางแนวนอน

จะได้ 256 จุด = ใช้เวลา 51.2 μs

1 จุด = 0.2 μs

จะเป็นเวลาที่เขียนสู่หน่วยความจำแบบสแตติค

ในหนึ่งฟิลด์จะมี 312.5 เส้น เมื่อพิจารณารูปสัญญาณ จะเห็นว่าช่วงเส้นสะบัดกลับในแนวนอนจะใช้เวลา 25 เส้น ดังนั้น เราจะเก็บสัญญาณภาพจริง คือ

312.5 - 25 = 287.5 เส้น

จะได้จำนวนจุดในหนึ่งฟิลด์เท่ากับ 287.5 x 256 = 73,600 จุด และถูกบรรจุเป็นข้อมูลรหัส 8 บิต เก็บไว้ในหน่วยความจำ ดังนั้น หน่วยความจำหนึ่งฟิลด์จะต้องมีขนาดความจุดังนี้

ขนาดความจุในหนึ่งฟิลด์ = 287.5 x 256 x 8 บิต

= 588,800 บิต

หรือเท่ากับ 71.875 Kbytes

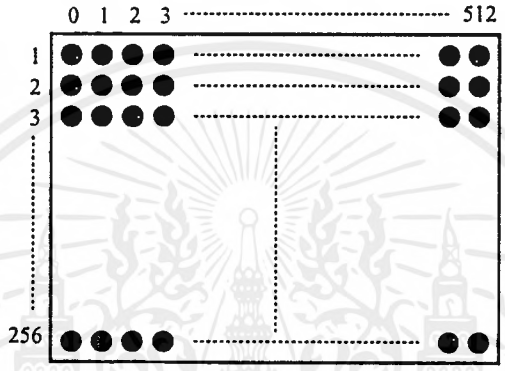
ความถี่ที่ใช้ในการสุ่มมีค่าเท่ากับ 1/0.2 μs = 5 MHz

ลักษณะการเก็บข้อมูลภาพทางดิจิตอลขนาด 256 x 512 จุดต่อภาพ

ในการเก็บข้อมูลภาพขนาด 128 x 256 จุดต่อภาพ ภาพไม่คมชัดนัก อีกทั้งรายละเอียดของภาพไม่เพียงพอ เนื่องจากการที่ตัดเส้นสแกนของภาพไป 319 เส้นจึงทำให้ภาพบางส่วนหายไป ต่อมาจึงเพิ่มจำนวนจุดในแต่ละเส้นสแกน และเพิ่มเส้นสแกนให้มากขึ้น แต่ในความเป็นจริงแล้วเราไม่สามารถเพิ่มจำนวนจุดในแต่ละเส้นสแกน หรือเพิ่มจำนวนเส้นต่อภาพ ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามความพอใจ เนื่องจากความเร็วของหน่วยความจำมีจำกัด คือ หน่วยความจำจะสามารถเก็บข้อมูลภาพโดยตรง (ดังนั้น จึงเกิดเทคนิคที่จะเก็บอ่านข้อมูลได้เมื่อใช้หน่วยความจำที่มีความเร็วต่ำ) เช่น การแบ่งพื้นที่หน่วยความจำที่ใช้เก็บข้อมูลภาพออกเป็นหลายชุด หรือใช้หลักการเลื่อนข้อมูลภาพ



รูปที่ 2.13 การเก็บข้อมูลบนภาพขนาด 256 x 512 จุดต่อภา พ

ผลกระทบที่เกิดจากการที่เราเพิ่มจำนวนจุดให้มากขึ้นในทางแนวนอน เมื่อคิดเวลาที่ใช้ในการเก็บหรืออ่าน จะได้ดังนี้

- การเก็บข้อมูลภาพขนาด 256 x 512 จุดต่อภาพ

การหาขนาดความจุของภาพ

จะได้ 512 จุด = จะใช้เวลา 51.2 μS

1 จุด = จะใช้เวลา 51.2 / 512 = 0.1 μS

เก็บภาพจริงๆ จะเก็บ 287.5 เส้น

ขนาดความจุในหนึ่งฟิลด์ = 143.75 Kbytes

แต่ในความจริงแล้วเมื่อเราเก็บภาพขนาด 256 x 512 จุดต่อภาพ เราจะเก็บจำนวนเส้นสแกนทั้งหมด 512 เส้น เท่านั้น คือ ในหนึ่งภาพมี 625 เส้น ทางแนวนอน และจะต้องเสียเส้นสแกนในการสแกนทางแนวตั้งไป 50 เส้น ดังนั้น

เอกสารนี้มีไว้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

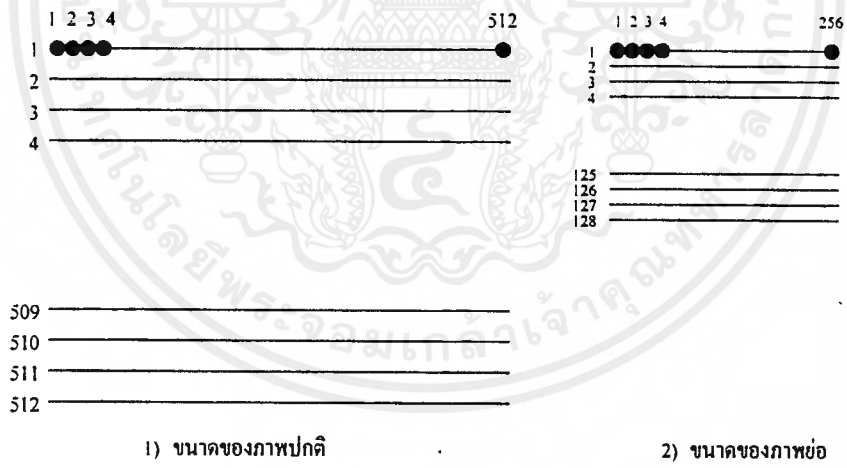
สัญญาณภาพจริง = 625 - 50 = 575 เส้น

เมื่อเราเก็บข้อมูลภาพ 512 เส้นสแกนต่อภาพ จะต้องตัดทิ้งไป = 575 - 512 = 63 เส้น

เมื่อตัดเส้นสแกนไปเพียง 63 เส้น ทำให้ภาพมีรายละเอียดครบถ้วนมากขึ้น ในอดีตหน่วยความจำจะมีความเร็วต่ำ (ทำงานช้า) จึงไม่สามารถเก็บข้อมูลภาพโดยตรงได้ จึงได้นำเอาเทคนิคต่างๆ มาช่วยในการเก็บดังที่กล่าวมาแล้ว แต่ในปัจจุบันหน่วยความจำมีความเร็วสูงกว่าเก่ามาก โดยอย่างเร็วที่สุดประมาณ 60 ns

2.3 หลักการเขียน และการอ่านหน่วยความจำ

ระบบการประชุมทางโทรภาพแบบ 4 ผู้ใช้ เป็นการย่อภาพขนาดปกติให้เป็นภาพเล็กเท่ากับ 1 ใน 4 ของภาพปกติ เพื่อให้สามารถแสดงผลบนจอโทรทัศน์ ได้พร้อมกันทั้ง 4 กล้อง ทำได้โดยการเปลี่ยนสัญญาณแอนาล็อกจากกล้องวีดีโอเป็นข้อมูลภาพดิจิตอลเก็บไว้ในหน่วยความจำ

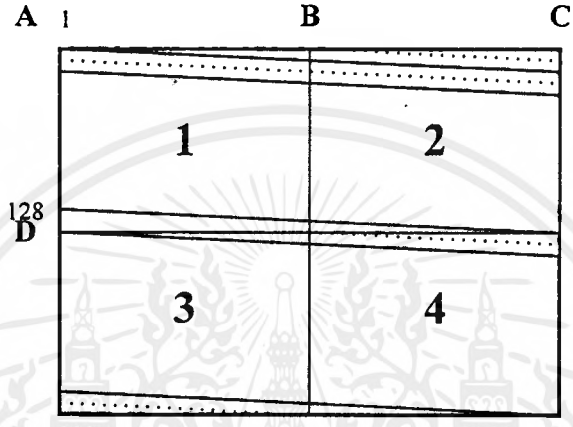


รูปที่ 2.14 ขนาดของภาพย่อ เทียบกับภาพปกติ

การเก็บภาพใน 1 กล้องวีดีโอ จะใช้หน่วยความจำ 2 ชุด โดยในชุดแรกจะเก็บข้อมูลภาพ และอ่านข้อมูลภาพจากหน่วยความจำชุดหลัง ซึ่งทั้ง 2 ชุด จะสลับกันทำงาน ดังนั้นเมื่อหน่วยความจำชุดแรกทำการเก็บข้อมูล (Write) หน่วยความจำชุดหลังจะถูกอ่านข้อมูล (Read)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และนำข้อมูลภาพไปแสดงทางหน้าจอโทรทัศน์ ขั้นตอนต่อไป ทำการอ่านข้อมูลจากหน่วยความจำชุดแรก ขณะที่หน่วยความจำชุดหลังใช้เก็บข้อมูลที่เข้ามาใหม่สลับกันทำหน้าที่โดยเป็นลำดับต่อเนื่องกัน



รูปที่ 2.15 เส้นสแกนของแต่ละกล้อง

ในระบบการประชุมทางโทรภาพแบบ 4 ผู้ใช้ จะจัดเก็บสัญญาณภาพ 256 เส้นสแกน และใช้ความถี่ในการสุ่ม 5 MHz จะทำให้ใน 1 เส้นสแกน แบ่งออกเป็นข้อมูลภาพเท่ากับ 51.2 μS / 200 ns = 256 จุด หรือขนาดของภาพที่จัดเก็บใน 1 ภาพ เท่ากับ 128 x 256 จุด และในการย่อขนาดของภาพเป็น 1 ใน 4 ของภาพปกติ หมายความว่า ต้องอ่านข้อมูลแต่ละภาพให้เร็วขึ้น ซึ่งทำได้โดยการเพิ่มความถี่ในการอ่านข้อมูลเป็น 2 เท่าของความถี่ในการเขียนข้อมูล คือ 10 MHz และภาพที่ปรากฏบนจอโทรทัศน์จะมีความละเอียดเท่ากับ 256 x 512 จุด

ในการแสดงภาพบนจอโทรทัศน์ เราแบ่งจอโทรทัศน์ออกเป็น 4 ส่วน ดังแสดงในรูปที่ 2.15 โดยในแต่ละกล้องจะประกอบด้วยหน่วยความจำ 2 ชุด

รูปที่ 2.15 ในเส้นสแกนที่ 1 จากตำแหน่ง A ถึง B จะได้มาจากการอ่านหน่วยความจำของกล้องตัวที่ 1 ด้วยความเร็ว 10 MHz หลังจากนั้นที่ตำแหน่ง B ถึง C จะได้จากการอ่านหน่วยความจำจากกล้องตัวที่ 2 สลับกันจนหมดเส้นสแกนที่ 256 ของกล้องตัวที่ 1 และกล้องตัว 2 ที่ตำแหน่ง D เส้นสแกนเส้นแรกที่ได้มาจากกล้องตัวที่ 3 และกล้องตัวที่ 4 (เหมือนการทำงานในช่วงแรก) สลับกันต่อไปจนหมดเส้นสแกนที่ 256 ของกล้องตัวที่ 3 และ 4 แล้วจะเริ่ม

เอกสารนี้ยินยอมให้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ทำซ้ำ ดัดแปลง เผยแพร่ หรือนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำการสแกนที่ตำแหน่ง A เหมือนครั้งแรก แต่จะใช้หน่วยความจำอีกชุดของทั้ง 4 กล้อง ซึ่งเก็บข้อมูลในเวลาเดียวกับที่หน่วยความจำชุดแรกถูกอ่านข้อมูลอยู่

2.4 หลักการเบื้องต้นของกล้องวีดีโอแบบ CCD

CCD เป็นชื่อย่อมาจากคำว่า Charge Coupled Device หรืออุปกรณ์ที่อาศัยหลักการทำงานด้วยการถ่ายเทของประจุไฟฟ้า รูปลักษณะของผลิตภัณฑ์ CCD แสดงในรูปที่ 2.16

รูปที่ 2.16 กล้องถ่ายภาพ CCD ขนาดเล็ก

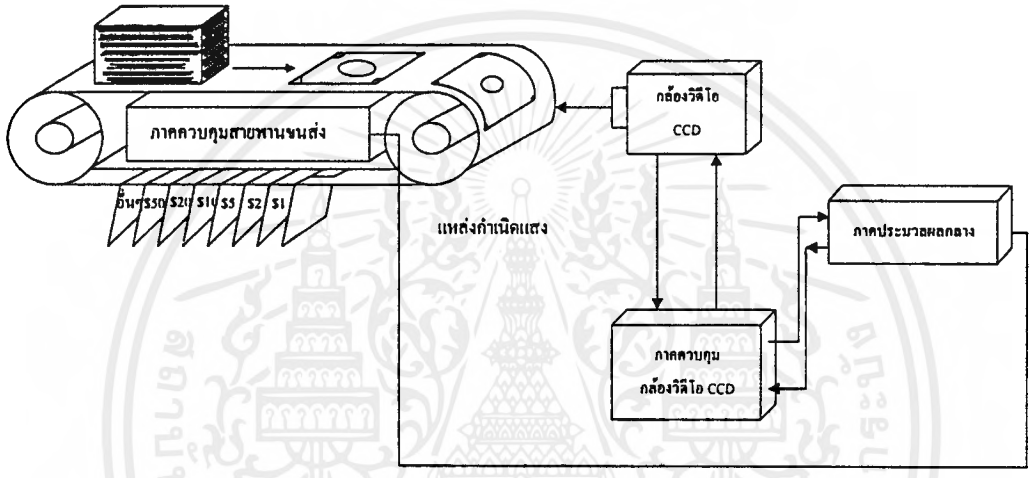
ปัจจุบัน CCD ถูกนำมาสร้างในลักษณะกล้องถ่ายภาพขนาดเล็กที่มีขนาดเพียง 5.5 x 4 ตารางเซนติเมตร ดังแสดงในรูปที่ 2.16 ซึ่งสามารถให้สัญญาณภาพเอาต์พุต (AV) ได้ทันที นั่นคือ สามารถต่อเข้ากับเครื่องรับโทรทัศน์ หรือเครื่องเล่นวีดีโอเทปได้โดยตรง

ผลิตภัณฑ์ที่มีอุปกรณ์ CCD เป็นส่วนประกอบหลัก เช่น กล้องวีดีโอ ไม่ว่าจะเป็นกล้องสำหรับงานด้านรักษาความปลอดภัย, งานถ่ายทำรายการโทรทัศน์ หรืองานตรวจสอบชิ้นส่วนใช้งานในอุตสาหกรรม เป็นต้น แต่ที่มักพบเห็นบ่อยครั้งคงจะเป็นกล้องวีดีโอมือถือรุ่นใหม่ๆ ที่มีอยู่ทั่วไปในปัจจุบัน

สำหรับในงานอุตสาหกรรม CCD ได้เข้ามามีบทบาทอย่างมากในการตรวจสอบสินค้า ทำหน้าที่เสมือนตาของระบบคอมพิวเตอร์ ที่คอยตรวจสอบความถูกต้อง หรือแยกแยะสินค้านั้นๆได้ ระบบที่นำมายกตัวอย่างเป็นระบบตรวจสอบใบเสร็จรับเงิน ดังแสดงในรูปที่ 2.17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กล้อง CCD ถูกนำมาใช้ในการเก็บภาพ หรืออ่านค่าจากใบเสร็จรับเงินที่ถูกส่งมาตามสายพาน หลังจากนั้นระบบจะทำการวิเคราะห์ค่าที่อ่านได้ แล้วทำการแยกแยะใบเสร็จรับเงินเหล่านั้นตามจำนวนเงินที่ระบุไว้ในใบเสร็จรับเงิน ระบบทั้งหมดสามารถทำงานได้แบบอัตโนมัติ ดังนั้น การแยกแยะใบเสร็จรับเงินต่างๆ จึงไม่ต้องใช้มนุษย์เป็นผู้ควบคุม และยังสามารถทำงานได้รวดเร็วถูกต้องกับใบเสร็จรับเงินจำนวนมากๆ ได้



รูปที่ 2.17 ระบบตรวจสอบใบเสร็จรับเงินที่ใช้กล้องถ่ายภาพ CCD

อุปกรณ์ CCD ถือกำเนิดขึ้นมาหลายทศวรรษแล้ว และได้มีการพัฒนาขึ้นอย่างรวดเร็ว เมื่อประมาณปี พ.ศ. 2493 หลังจากมีการวิจัยเกี่ยวกับการผลิตทรานซิสเตอร์รูปแบบใหม่ประสบผลสำเร็จ ต่อจากนั้น มีการพัฒนาไปสู่การผลิตวงจรรวมหรือไอซี (Integrated Circuit : IC) ด้วยเทคโนโลยี MOS (Metal Oxide Semiconductor) และในที่สุดก็ประสบผลสำเร็จอีกครั้งกับการผลิตวงจรโซลิตสเตต (Solid-State), CCD สำหรับใช้งานเป็นอุปกรณ์ถ่ายภาพ และอุปกรณ์หน่วยความจำแบบส่งผ่านข้อมูลอนุกรม

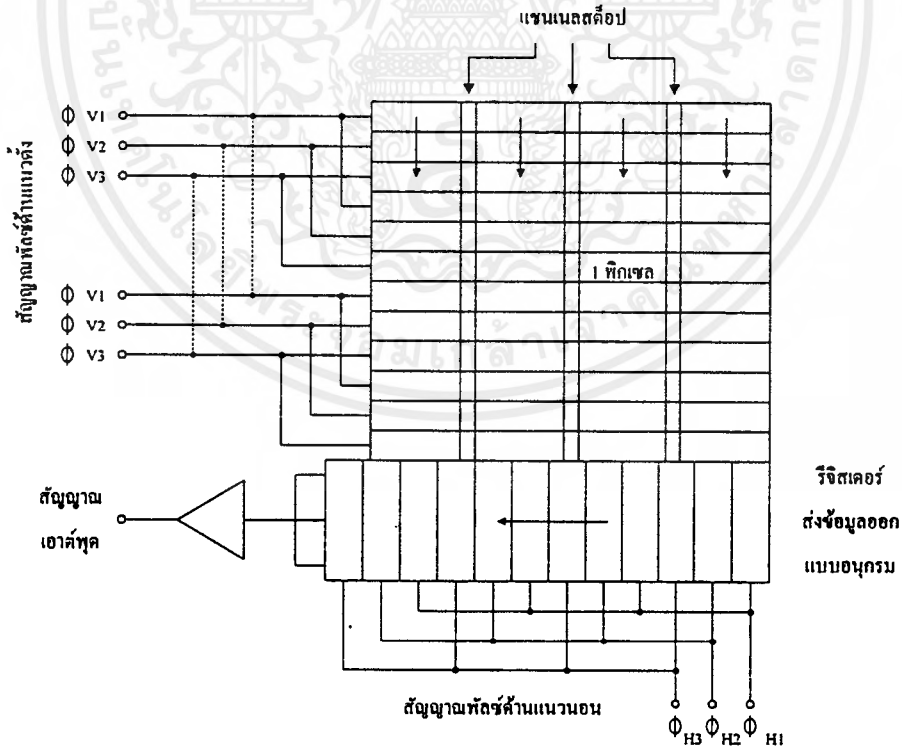
ในปี พ.ศ. 2508 จนถึงปัจจุบัน เทคโนโลยีการผลิตสารกึ่งตัวนำ (Semiconductor) ก้าวหน้าไปอย่างรวดเร็ว ทำให้ CCD ถูกพัฒนาขึ้นอย่างรวดเร็วเช่นกัน โดยเน้นการเพิ่มความหนาแน่นของวงจรภายในมากขึ้นเป็นทวีคูณ นอกจากนี้ ยังพัฒนาด้านความเร็วในการทำงานให้เพิ่มสูงขึ้นด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้งาน CCD ในยุคเริ่มต้น คือ นำมาใช้ทางการทหารและการวิจัยด้านดาราศาสตร์ เพราะว่าในขณะนั้น CCD มีราคาสูงมาก และยังไม่มีการใช้งานอย่างแพร่หลายเท่าใดนัก เนื่องจากต้องใช้ระบบควบคุมที่มีความซับซ้อนและราคาสูง ต่อมาเมื่อเวลาผ่านไปอุปกรณ์ CCD ถูกนำมาใช้ในการผลิตกล้องวีดีโอขนาดเล็กมากขึ้น ไม่ว่าจะเป็นกล้องสำหรับใช้ในงานรักษาความปลอดภัย, กล้องวีดีโอในการผลิตรายการโทรทัศน์ จนกระทั่งกล้องจีดีโอแบบมือถือที่ใช้กันทั่วไป ทำให้ราคาของ CCD ถูกลง และมีการใช้งานอย่างแพร่หลายมากขึ้นในปัจจุบัน

2.4.1 โครงสร้างของ CCD

โครงสร้างทั่วไปของอุปกรณ์ CCD จากรูปที่ 2.18 แสดงให้เห็นถึงโครงสร้างภายในและทิศทางถ่ายเทของประจุไฟฟ้าภายในอุปกรณ์ โครงสร้างภายในของ CCD ถูกแบ่งออกเป็นเซลหรือพื้นที่เล็กๆ มากมาย ซึ่งแต่ละเซลเล็กๆ นี้เรียกว่าพิกเซล (Pixel) นั่นคือ ยิ่งมีการแบ่งพิกเซลมากเท่าใด ก็จะทำให้ภาพที่ได้จากการตรวจจับนั้นมีความละเอียดมากขึ้น

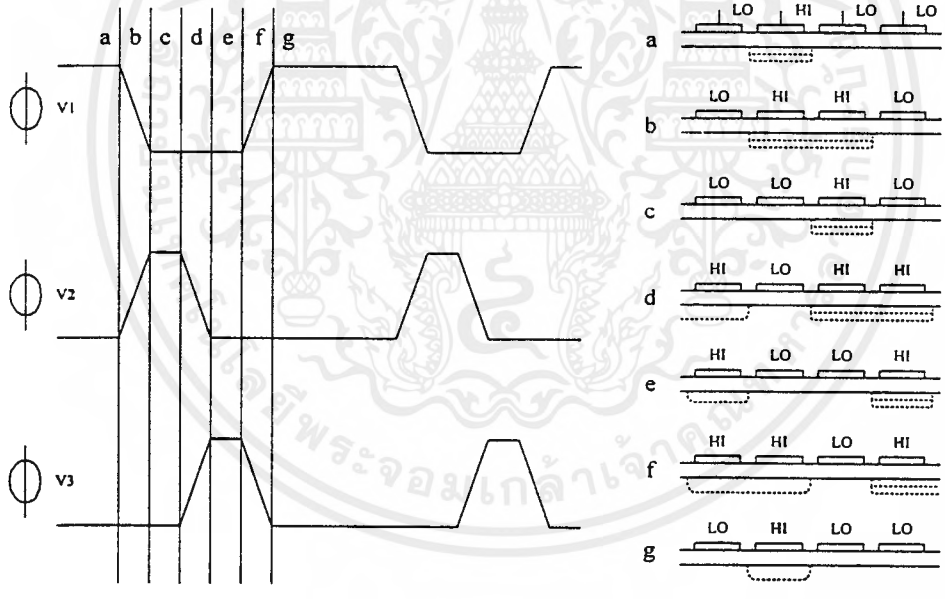


รูปที่ 2.18 โครงสร้างพื้นฐานทั่วไปของ CCD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในแต่ละพิกเซล ถูกแบ่งการควบคุมการทำงานเป็นแบบด้านแนวนอน และแนวตั้งโดยมีส่วนคั่นกลางที่เรียกว่า ช่องหยุดสัญญาณ (Channel Stop) เป็นตัวคั่นกลางระหว่างแต่ละแนวตั้ง ในแต่ละพิกเซลจะมีประจุไฟฟ้าสำหรับการถ่ายเทอยู่ ซึ่งจะมีการถ่ายเทเมื่อในพิกเซลนั้นได้รับพลังงานจากภายนอก คือแสงที่มาตกกระทบนั่นเอง

การถ่ายเทประจุไฟฟ้าเกิดขึ้นโดยใช้หลักการหมุนเฟส (Phase Clock Voltage) ซึ่งจากรูปที่ 2.18 จะเห็นได้ว่าในแต่ละพิกเซลนั้นจะถูกเชื่อมต่อกับขาสัญญาณ $\varnothing_{V1}$ - $\varnothing_{V3}$ สัญญาณที่ปรากฏที่ขาสัญญาณทั้งสามนี้จะมีเฟสที่สัมพันธ์กันตลอดเวลา ทั้งระดับแรงดันและช่วงเวลาดังแสดงในรูปที่ 2.19 ค่าแรงดันที่ปรากฏทั้ง 3 เฟสนี้ จะทำให้เกิดกระบวนการถ่ายเทประจุไฟฟ้าเกิดขึ้นจากตำแหน่งหนึ่งไปยังอีกตำแหน่งหนึ่งได้



รูปที่ 2.19 รูปคลื่นของการหมุนเฟสที่ปรากฏด้านแนวตั้ง และการถ่ายเทประจุที่สัมพันธ์กัน

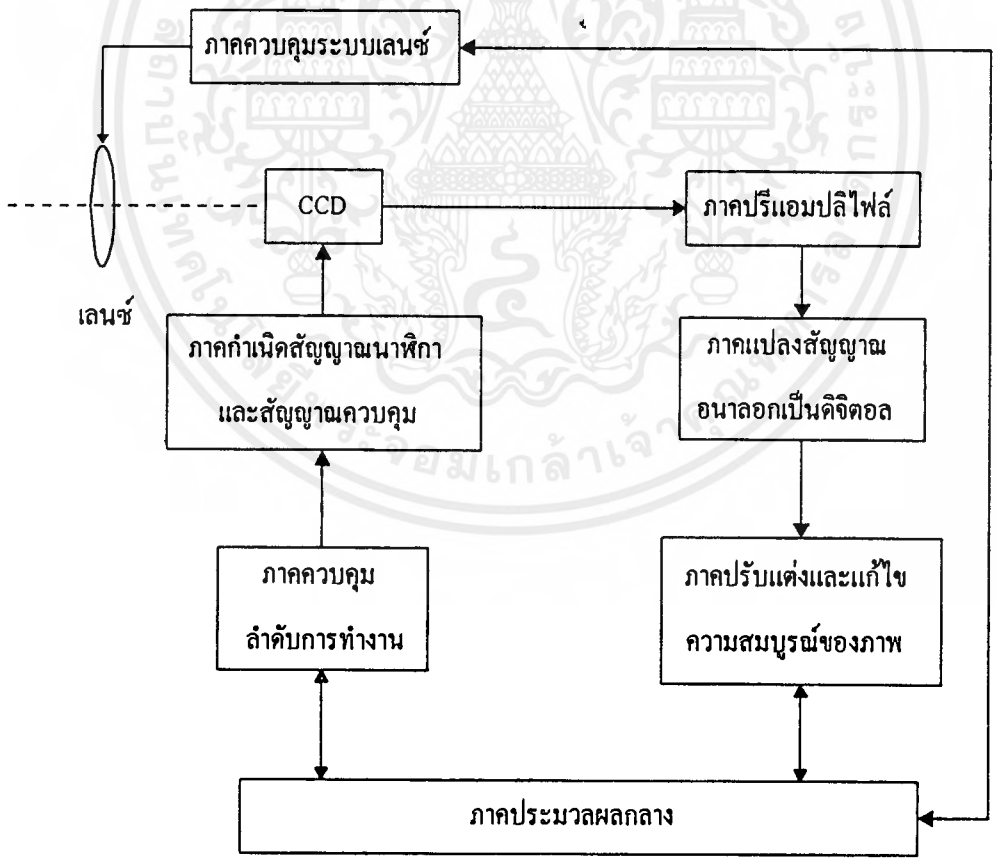
เมื่อประจุไฟฟ้าถูกถ่ายเทมาจนถึงปลายสุดของพิกเซล ค่าประจุเหล่านั้นจะถูกส่งผ่านไปยังรีจิสเตอร์ (Register) รับข้อมูลต่อไป เมื่อรีจิสเตอร์รับข้อมูลเป็นที่เรียบร้อยก็จะเลื่อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Shift) ข้อมูลออกในลักษณะอนุกรมสู่เอาต์พุต จังหวะการเลื่อนข้อมูลออกจากรีจิสเตอร์ถูกควบคุมจากสัญญาณพัลซ์ด้านแนวนอน หรือแถวที่ขาสัญญาณ $\varnothing_{H1}$ - $\varnothing_{H3}$ ด้วยหลักการหมุนเฟสเช่นเดียวกัน การหมุนเฟสทั้งด้านแนวนอนและแนวตั้งนี้ จะมีความสัมพันธ์กันตลอดเวลา แต่ใน CCD บางรุ่นนั้น อาจใช้จำนวนเฟสในการควบคุมมากกว่าหรือน้อยกว่า 3 เฟสก็ได้ ขึ้นอยู่กับการออกแบบและโครงสร้างภายใน

การใช้งานอุปกรณ์ CCD นั้น จำเป็นต้องมีอุปกรณ์ต่อร่วมอื่นๆ ด้วยเป็นระบบเพื่อสร้างสัญญาณควบคุมให้กับ CCD และกระบวนการในการนำเอาสัญญาณเอาต์พุตที่ได้จาก CCD มากำเนิดภาพต่อไป

2.4.2 ระบบการทำงานของ CCD



รูปที่ 2.20 ระบบการทำงานพื้นฐานของ CCD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.20 แสดงระบบการทำงานพื้นฐานของ CCD จะเห็นว่ามีองค์ประกอบที่สำคัญอยู่หลายส่วน เริ่มต้นจากภาคการขยายสัญญาณเบื้องต้น (Preamplifier) ซึ่งในส่วนนี้จำเป็นต้องออกแบบให้มีสัญญาณรบกวนต่ำมาก เพราะสัญญาณที่ได้จาก CCD นั้นมีค่าค่อนข้างต่ำ และเกิดการสูญเสียหรือรบกวนได้ง่ายมาก ปกติแล้ว จากโครงสร้างของ CCD ซึ่งผลิตขึ้นจากสารกึ่งตัวนำ เช่นเดียวกับอุปกรณ์อิเล็กทรอนิกส์ทั่วไป ทำให้ ภายในตัวมันเองขณะที่ทำงานในอุณหภูมิปกติก็เกิดความสูญเสียบ้างอยู่แล้ว ระบบทั้งหมดของ CCD จึงจำเป็นต้องออกแบบให้มีสัญญาณรบกวนต่ำที่สุด โดยเฉพาะภาคปรีแอมปลิไฟล์ ซึ่งเป็นภาคแรกที่เชื่อมต่อกับ CCD

หลังจากขยายสัญญาณด้วยภาคปรีแอมปลิไฟล์แล้ว สัญญาณจะถูกส่งต่อไปเข้าภาคแปลงสัญญาณแอนาล็อกเป็นดิจิตอล เพื่อนำไปเข้าสู่กระบวนการกำเนิดภาพ หลังจากภาพที่ถ่ายได้จาก CCD ถูกแปลงเป็นข้อมูลดิจิตอลแล้ว จะถูกส่งไปยังภาคปรับแต่ง และแก้ไขเพื่อให้ภาพที่สมบูรณ์ที่สุดมาใช้งาน

นอกจากระบบประมวลสัญญาณภาพแล้ว อีกส่วนหนึ่งที่สำคัญ คือ ภาคควบคุมการทำงานของ CCD ทำหน้าที่ควบคุมสัญญาณนาฬิกาสำหรับการหมุนเฟส และสัญญาณควบคุมต่างๆ ให้กับ CCD ซึ่งในส่วนนี้ ต้องเป็นวงจรที่มีเสถียรภาพในการทำงานที่ดีมาก และมีระบบควบคุมที่ดี ส่วนสุดท้าย คือ ภาคควบคุมระบบเลนส์ที่ช่วยปรับระยะใกล้ไกลของภาพให้เหมาะสม

2.5 ทฤษฎี และหลักการเบื้องต้นของโทรศัพท์

เครื่องโทรศัพท์ประกอบด้วยส่วนสำคัญดังนี้

1) Handset จะประกอบด้วยปากพูด และหูฟังรวมอยู่ด้วยกัน ปากพูดคือ เครื่องส่ง, หูฟังคือ เครื่องรับ

2) Ringing คือสัญญาณกระดิ่ง เป็นเสียงที่บอกว่ามีคนเรียกเข้ามา

3) Hook Switch ทำหน้าที่ตัดต่อวงจร

4) หน้าปัทม์ มีทั้งแบบหมุนและแบบปุ่มกด

2.5.1 ขั้นตอนการทำงานของโทรศัพท์

ขั้นตอนการทำงานโทรศัพท์แบ่งออกได้เป็น 2 กรณีคือ ผู้เรียก กับผู้ถูกเรียก สรุปพอสังเขปได้ดังนี้

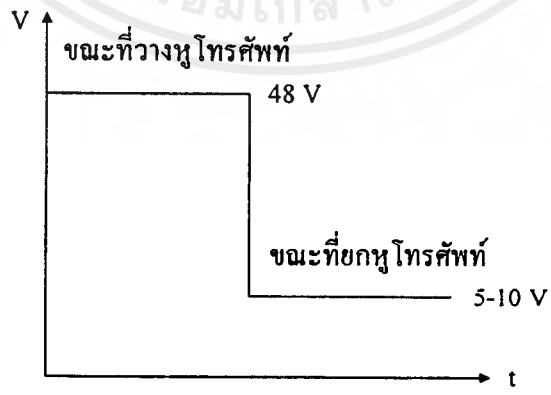
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1) กรณีผู้เรียก (Call Subscriber)

ขณะที่หูโทรศัพท์วางอยู่นั้นจะมีกระแสไฟฟ้ากระแสตรงตกคร่อมคู่สายโทรศัพท์ +48 โวลต์ และเมื่อหูโทรศัพท์ถูกยกขึ้น ไฟฟ้ากระแสตรงที่ตกคร่อมคู่สายโทรศัพท์ +48 โวลต์ จะลดลงมาเหลือ 5-10 โวลต์ ทั้งนี้ขึ้นอยู่กับชุมสายย่อย ขณะเดียวกันก็จะมีสัญญาณส่งมาจากชุมสายซึ่งเสียงที่ได้ยินคือ เสียงแมวกรน (Dial Tone) แสดงว่าพร้อมที่หมุนหมายเลขได้ ถ้าหมายเลขที่ถูกเรียกไม่ว่าง ผู้เรียกจะได้ยินสัญญาณไม่ว่าง (Busy Tone) ในกรณีคู่สายที่ถูกเรียกว่าง คือชุมสายต้องต่อเลขหมายที่จะเรียกให้ ดังนั้นผู้เรียกจะได้ยินเสียงเรียกดัง 1 วินาที แล้วเงียบ 4 วินาที สัญญาณนี้เรียกว่า Ringing Tone หรือ Calling Tone แสดงว่า เลขหมายที่ถูกเรียกไปว่างพร้อมที่จะพูดได้ ให้คอยจนกว่าฝ่ายถูกเรียกจะยกหู

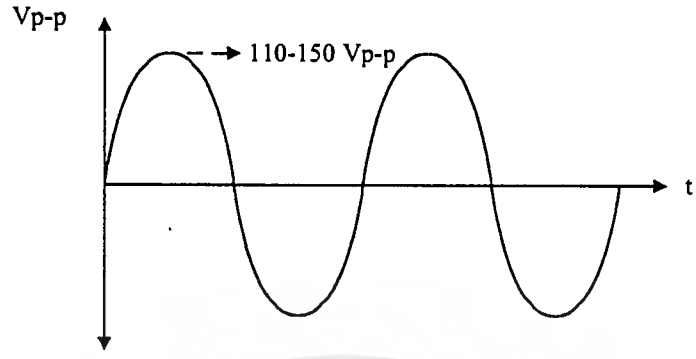
2) กรณีผู้ถูกเรียก (Called Subscriber)

ขณะที่คู่สายว่างนั้นจะมีกระแสไฟฟ้าตกคร่อมคู่สาย +48 โวลต์ และเมื่อมีการเรียกมายังหมายเลขของผู้ถูกเรียก ชุมสายจะทำการต่อให้และส่งสัญญาณเรียก (Ringing) เป็นแรงดันไฟสลับประมาณ 110-150 โวลต์ และขณะเดียวกันชุมสายจะส่งสัญญาณตอบกลับ (Ring Back Tone) ซึ่งดัง 1 วินาที และเงียบ 4 วินาที สลับกันไป และเมื่อผู้ถูกเรียกยกหูโทรศัพท์ ทำให้วงจรภายในของเครื่องโทรศัพท์ซึ่งมีอิมพีแดนซ์ประมาณ 600 โอห์ม ต่อเข้ากับชุมสาย และในขณะเดียวกันชุมสายจะหยุดส่งสัญญาณเรียก และทำการต่อคู่สายโทรศัพท์ให้



รูปที่ 2.21 ไฟฟ้ากระแสตรงที่เลี้ยงคู่สาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.22 สัญญาณเรียก ซึ่งเป็นสัญญาณซายน์มีความถี่ 20-25 Hz

2.5.2 ความถี่มาตรฐานขององค์การโทรศัพท์

- เสียงแมวกรน ใช้แสดงให้ผู้เรียกได้ทราบว่า ขณะนี้ผู้เรียกสามารถที่จะติดต่อไปยังผู้ถูกเรียกได้ ลักษณะของสัญญาณเป็นสัญญาณที่ต่อเนื่องกันมีความถี่ 400 Hz

- สัญญาณไม่ว่าง ใช้แสดงให้ผู้เรียกได้ทราบว่า เครื่องโทรศัพท์หมายเลขที่จะติดต่อด้วยไม่ว่าง ควรจะวางหูชักระยะก่อนที่จะทำการหมุนหมายเลขใหม่ ขนาดของสัญญาณจะเป็นสัญญาณที่มีความถี่ 400 Hz เป็นช่วงๆ คือดัง 0.3 วินาที หยุด 0.3 วินาที

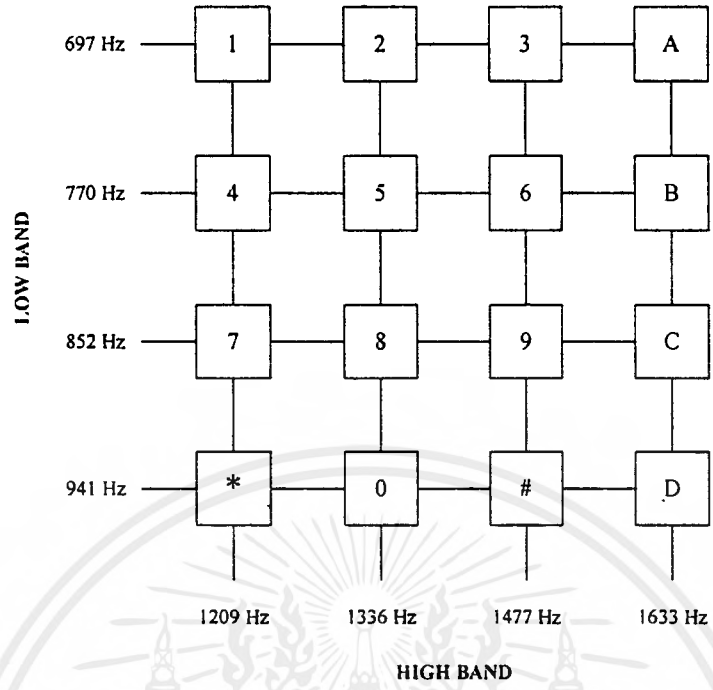
- สัญญาณตอบกลับ ใช้แสดงให้ผู้ใช้ได้ทราบว่า สามารถติดต่อกับผู้ถูกเรียกได้แล้ว แต่อยู่ในระหว่างรอการยกหูโทรศัพท์ โดยลักษณะของสัญญาณจะดังเป็นช่วงๆ คือดัง 1 วินาที และหยุด 4 วินาที โดยมีความถี่ 400 Hz

- สัญญาณเรียก ใช้พร้อมกับสัญญาณตอบกลับ เมื่อมีสัญญาณเรียกดัง จะมีสัญญาณตอบกลับดังพร้อมๆ กัน แต่สัญญาณเรียกนี้จะมีแรงดันมาก เพื่อที่จะทำให้กระดิ่งในเครื่องรับโทรศัพท์ดังขึ้น โดยมีความถี่ 20-25 Hz และมีแรงดันอยู่ในช่วง 110-150 โวลต์

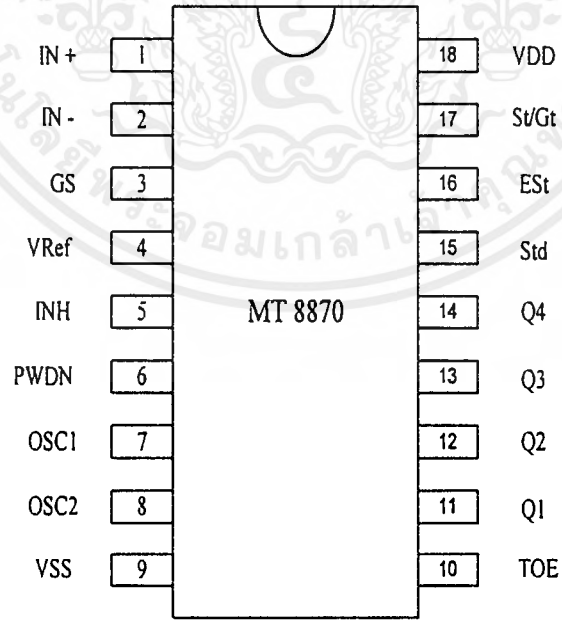
2.5.3 ความรู้เบื้องต้นเกี่ยวกับการถอดรหัส DTMF

สัญญาณ DTMF เป็นสัญญาณการเข้ารหัสความถี่คู่ของหมายเลขโทรศัพท์หรือที่เรียกว่าโทรศัพท์แบบกดปุ่ม นอกจากโทรศัพท์แบบกดปุ่มแล้ว ปุ่ม DTMF ยังมีใช้ในเครื่องวิทยุรับส่งแบบมือถือ ซึ่งเราสามารถนำส่วนนี้ไปใช้ให้เกิดประโยชน์ได้เช่นเดียวกับโทรศัพท์แบบกดปุ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.23 ปุ่ม DTMF ที่ใช้สร้างความถี่

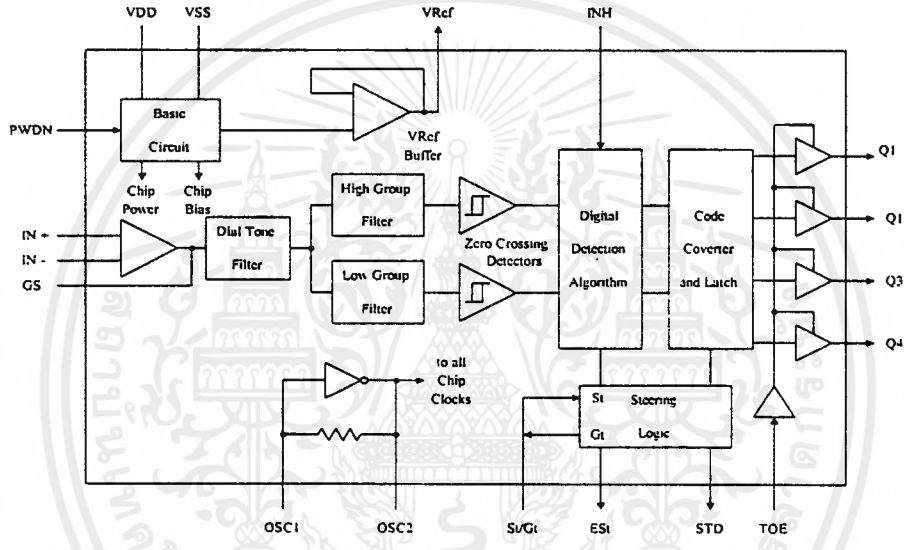


รูปที่ 2.24 รายละเอียดของไอซี MT 8870

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การถอดรหัส DTMF

การถอดรหัส DTMF เป็นกระบวนการแปลงสัญญาณความถี่ที่เกิดจากการกดปุ่ม DTMF ซึ่งเป็นสัญญาณแอนาล็อกให้กลับกลายมาเป็นสัญญาณดิจิตอล วงจรถอดรหัส DTMF ที่ใช้ในโครงงานจะเป็นไอซีเบอร์ MT 8870 ซึ่งมีฟังก์ชั่นการทำงานดังนี้



รูปที่ 2.25 วงจรภายในของไอซี MT 8870

- ภาคกรองความถี่ (Filter Section)

ในส่วนนี้จะทำหน้าที่แยกสัญญาณ DTMF ที่เข้ามาจากภายนอกออกเป็น 2 กลุ่มความถี่ คือช่วงความถี่สูง และช่วงความถี่ต่ำ โดยใช้วงจรกรองแถบความถี่ 6 อันดับ ชนิดสวิตซ์คาปาซิเตอร์แบนด์พาสฟิลเตอร์

- ภาคถอดรหัส (Decoder Section)

ความถี่ DTMF ที่ถูกกรองเรียบร้อยแล้ว จะผ่านเข้าวงจรถอดรหัสที่ออกเป็นตัวเลขโดยใช้เทคนิคการนับแบบดิจิตอล และมีการตรวจสอบความถี่ที่เข้ามาว่าเป็นความถี่ DTMF หรือไม่ สัญญาณที่ขา ESt (Early Steering) ก็จะแอคตีฟสำหรับค่าที่ถอดรหัสได้จากความถี่ DTMF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ภาคตรวจสอบสัญญาณ (Steering Circuit)

ก่อนที่จะมีการถอดรหัสความถี่ออกไปที่เอาต์พุต จะมีการตรวจสอบช่วงความถี่ที่เข้ามาว่ามีระยะตามที่กำหนดหรือไม่ โดยสังเกตจากระยะเวลาการกดปุ่มซึ่งต้องกดปุ่มให้มีความถี่ออกมาเป็นช่วงเวลาพอสมควร มิฉะนั้นวงจรจะไม่รับโดยถือว่าสัญญาณนั้นไม่ถูกต้อง ส่วนช่วงเวลายาวเท่าใดสามารถตั้งได้โดยการต่อตัวต้านทานและตัวเข้าที่ขา ESt ซึ่งเมื่อขา ESt ได้รับลอจิก 1 จะทำให้โวลต์เตจตกคร่อมตัวคาปาซิเตอร์มีค่าสูงขึ้น ตัวคาปาซิเตอร์จะคายประจุทำให้แรงดันสูงถึงค่าเทรสโฮลด์ วงจรถอดรหัสจึงทำการถอดรหัสออกเป็นตัวเลขขนาด 4 บิต

- ภาคขยายสัญญาณความแตกต่าง (Differential Input)

วงจรส่วนอินพุตของ MT 8870 เป็นภาคขยายออปแอมป์ที่สามารถปรับอัตราขยายได้โดยการต่ออุปกรณ์เพิ่มจากภายนอก

- ภาคออสซิลเลเตอร์ (Oscillator)

ในส่วนนี้ภายในตัวไอซีจะมีวงจรเวลาอยู่ภายใน เพียงแต่ต่อแร่คริสตอลขนาด 3.579545 MHz ก็สามารถใช้งานได้ทันที

2.6 MCS-51 ไมโครคอนโทรลเลอร์

ไมโครโปรเซสเซอร์มีการประยุกต์ใช้งานมาเป็นเวลาหลายปีแล้ว ส่วนใหญ่จะนำไปใช้ในการควบคุมระบบหรืออุปกรณ์ที่ต้องการความละเอียด และความเร็วในการทำงานสูง หรือในระบบที่มีความซับซ้อนมาก ทั้งนี้เนื่องจากตัวไมโครโปรเซสเซอร์มีความสามารถในการรับข้อมูลที่ถูกแปลงเป็นสัญญาณดิจิตอลมาประมวลผล ตามลำดับคำสั่งของโปรแกรม และนำข้อมูลจากสัญญาณดิจิตอลที่ประมวลได้ส่งกลับไปยังวงจรภายนอกได้อย่างถูกต้องและรวดเร็ว อีกทั้งการเปลี่ยนแปลงแก้ไขระบบก็สามารถทำได้โดยง่าย เพียงแต่ปรับปรุงแก้ไขโปรแกรมเดิมหรือเปลี่ยนแปลงโปรแกรมใหม่ โดยไม่ต้องเปลี่ยนแปลงวงจรหรืออุปกรณ์อื่นๆ มากนัก อย่างไรก็ตามการใช้ไมโครโปรเซสเซอร์จำเป็นจะต้องมีวงจรประกอบเพิ่มเติม และหากระบบมีขนาดใหญ่มากก็จะมีวงจรประกอบการทำงานมากขึ้นตามลำดับ ปัจจุบันบริษัทต่างๆ ได้ทำการผลิตชิปไมโครโปรเซสเซอร์ออกมาเป็นจำนวนมาก โดยไมโครโปรเซสเซอร์ของแต่ละบริษัทต่างมีความสามารถในการทำงานแตกต่างกันไปหรือแม้แต่ในบริษัทเดียวกันเองอาจจะผลิตไมโครโปรเซสเซอร์ออกมาหลายรุ่นหลายแบบเพื่อให้เหมาะสมกับงานแต่ละประเภท ทางเลือกสำหรับผู้ต้องการใช้ไมโครโปรเซสเซอร์ขณะนี้จึงมีมากขึ้น แต่อย่างไรก็ตาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากการใช้ไมโครโปรเซสเซอร์ยังคงต้องพึ่งวงจรหรืออุปกรณ์ภายนอกบางส่วน และในการที่จะต้องใช้วงจรภายนอกนี้เองมาประกอบให้ระบบหรืออุปกรณ์ที่ออกแบบมีขนาดใหญ่ จึงเป็นสาเหตุให้เกิดความผิดพลาดได้ง่าย การตรวจสอบแก้ไขก็กระทำได้ไม่ง่ายนัก รวมทั้งการเปลี่ยนแปลงและแก้ไขระบบที่มีอุปกรณ์มาประกอบมากกระทำได้ค่อนข้างลำบาก บริษัทผู้ผลิตไมโครโปรเซสเซอร์ซึ่งเล็งเห็นปัญหาและข้อจำกัดของการใช้ไมโครโปรเซสเซอร์จึงได้หันมาพัฒนาไมโครโปรเซสเซอร์รุ่นใหม่ซึ่งมีอุปกรณ์พื้นฐานที่จำเป็นในการทำงานรวมอยู่ภายในชิปเลย เช่น มีหน่วยความจำสำหรับเก็บโปรแกรมและประมวลผลข้อมูลจำนวนหนึ่งซึ่งเพียงพอสำหรับการทำงานควบคุมระบบหรืออุปกรณ์ที่มีขนาดหรือความซับซ้อนระดับหนึ่ง แต่หากต้องการควบคุมการทำงานของระบบที่มีขนาดใหญ่และซับซ้อนมากขึ้นก็สามารถขยายหน่วยความจำเพิ่มเติมได้ หรืออาจมีวงจรเคาน์เตอร์ หรือไทเมอร์สำหรับควบคุมการทำงานที่ต้องมีการเกี่ยวข้องกับฐานเวลา จึงส่งผลให้ชิปรุ่นใหม่เหมาะสมกับการนำไปประยุกต์ใช้งานต่างๆ ได้มากมาย และเป็นที่นิยมแพร่หลายอย่างรวดเร็ว ทั้งนี้เพราะระบบที่ออกแบบมีขนาดเล็กลง เสถียรภาพโดยรวมดีขึ้น การปรับปรุงแก้ไขทำได้ง่าย โดยชิปไมโครโปรเซสเซอร์รุ่นใหม่ที่มีอุปกรณ์พื้นฐานประกอบรวมอยู่ด้วยมีชื่อเรียกโดยทั่วไปว่า "ไมโครคอนโทรลเลอร์"

ปัจจุบันชิปไมโครคอนโทรลเลอร์มีบริษัทที่ทำการวิจัยและผลิตขึ้นมาจำหน่ายเป็นจำนวนมาก บริษัทหนึ่งที่ทำการวิจัยและพัฒนาไมโครคอนโทรลเลอร์ได้อย่างมีประสิทธิภาพ คือ อินเทล (Intel) ซึ่งได้สร้างชิปไมโครคอนโทรลเลอร์ขึ้นมาด้วยกัน 3 ตระกูลได้แก่ ตระกูล MCS-48 ตระกูล MCS-51 และตระกูลสุดท้ายคือตระกูล MCS-96 โดยแต่ละรุ่นมีความเหมาะสมกับการใช้งานควบคุมได้แตกต่างกัน สำหรับไมโครคอนโทรลเลอร์ตระกูล MCS-48 เหมาะกับระบบที่มีขนาดเล็ก ไม่มีความซับซ้อนมากมายนัก ส่วนตระกูล MCS-51 เหมาะสมกับระบบขนาดกลางที่มีความซับซ้อนและต้องการความเร็วในการทำงานสูงพอสมควร ส่วนตระกูลสุดท้ายคือ MCS-96 เหมาะกับระบบขนาดใหญ่ที่มีความละเอียดและซับซ้อนมาก ต้องการการประมวลผลที่มีความเร็วสูง แต่ไมโครคอนโทรลเลอร์ของบริษัทอินเทลที่ได้รับความนิยมแพร่หลายมากที่สุดก็เห็นจะเป็นตระกูล MCS-51 ทั้งนี้เพราะระบบหรืออุปกรณ์ที่มีขนาดกลางพบเห็นได้ทั่วไปและสามารถใช้ไมโครคอนโทรลเลอร์ตระกูลนี้ควบคุมการทำงานได้อย่างมีประสิทธิภาพ หรืออาจใช้ควบคุมระบบขนาดเล็ก แต่ต้องการเสถียรภาพและความเร็วในการทำงานสูง ดังนั้นไมโครคอนโทรลเลอร์ตระกูล MCS-51 จึงเป็นชิปไมโครคอนโทรลเลอร์ที่มีการนำไปใช้งานแพร่หลายมากที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.1 เป็นรายการของตระกูล MCS-51 ซึ่งแสดงถึงจำนวนของหน่วยความจำ, วงจรตั้งเวลา/วงจรนับ และระดับของการอินเตอร์รัพต์

เบอร์	หน่วยความจำภายใน		จำนวนไทเมอร์/ เคาน์เตอร์	อินเตอรัพต์ หมายเลข
	เก็บโปรแกรม	เก็บข้อมูล		
8052AH	8K x 8 ROM	256 x 8 RAM	3 x 16-Bit	6
8051AH	4K x 8 ROM	128 x 8 RAM	2 x 16-Bit	5
8051	4K x 8 ROM	128 x 8 RAM	2 x 16-Bit	5
8032AH	ไม่มี	256 x 8 RAM	3 x 16-Bit	6
8031AH	ไม่มี	128 x 8 RAM	2 x 16-Bit	5
8031	ไม่มี	128 x 8 RAM	2 x 16-Bit	5
8751H	4K x 8 EPROM	128 x 8 RAM	2 x 16-Bit	5
8751H-12	4K x 8 EPROM	128 x 8 RAM	2 x 16-Bit	5

ตารางที่ 2.1 คุณสมบัติของไมโครคอนโทรลเลอร์แต่ละแบบในตระกูล MCS-51

2.6.1 คุณสมบัติทั่วไปของไมโครคอนโทรลเลอร์ MCS-51

คุณสมบัติทั่วไปของไมโครคอนโทรลเลอร์ MCS-51 มีดังนี้

- เป็นไมโครคอนโทรลเลอร์ขนาด 8 บิต
- มีวงจรออสซิลเลเตอร์และวงจรผลิตสัญญาณนาฬิกาภายในไอซี
- มีขาสัญญาณอินพุตเอาท์พุตจำนวน 32 บิต
- สามารถเชื่อมต่อหน่วยความจำข้อมูลภายนอก (External Data) โดยอ้างตำแหน่งแอดเดรสได้ถึง 64 K
- สามารถเชื่อมต่อหน่วยความจำโปรแกรมภายนอก (External Program Memory) โดยอ้างตำแหน่งแอดเดรสได้ถึง 64 K

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- มีหน่วยความจำโปรแกรมภายในตัว (On-Chip Program Memory) ขนาด 4 K โดยเฉพาะเบอร์ 8052 จะมีหน่วยความจำในส่วนนี้ถึง 8 K สำหรับเบอร์ 8031 และ M8032 จะไม่มีหน่วยความจำในส่วนนี้

- มีหน่วยความจำข้อมูลภายในตัว (On-Chip Data Memory) ขนาด 12 ไบต์ โดยเฉพาะเบอร์ 8032 และ 8052 จะมีหน่วยความจำในส่วนนี้ถึง 256 ไบต์

- หน่วยความจำข้อมูลภายในบางส่วนสามารถเข้าถึงข้อมูลระดับบิตได้ด้วย ทำให้การควบคุมหรือการตรวจสอบสถานะบิตทำได้ง่าย ส่งผลให้การเขียนโปรแกรมทำได้ง่ายขึ้น

- มีไทเมอร์/เคาน์เตอร์ (Timers/Counters) ขนาด 16 บิต จำนวน 2 ตัว โดยเฉพาะเบอร์ 8032 หรือ 8052 จะมีไทเมอร์/เคาน์เตอร์จำนวน 3 ตัว

- การอินเตอร์รัพต์สามารถทำได้จาก 5 แหล่งกำเนิด โดยเฉพาะเบอร์ 8032 และ 8052 จะทำการอินเตอร์รัพต์ได้จาก 6 แหล่งกำเนิด โดยการอินเตอร์รัพต์ยังสามารถจัดระดับความสำคัญได้เป็น 2 ระดับ

- มีพอร์ตสื่อสารอนุกรมภายในตัวเอง ซึ่งทำงานเป็นแบบฟูลดูเพล็กซ์ (Full Duplex)

- มีคำสั่งในการคำนวณทางคณิตศาสตร์ และทางตรรกศาสตร์

- คำสั่งโดยส่วนใหญ่ใช้เวลาทำงานเพียง 1 ไมโครวินาที เมื่อใช้คริสตอลความถี่ 12 MHz

- ต้องการแหล่งจ่ายไฟ 5 โวลต์ เพียงชุดเดียว

2.6.2 โครงสร้างภายนอกของ MCS-51

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 ทุกเบอร์จะมีตำแหน่งขาที่เหมือนกัน ดังแสดงในรูปที่ 2.26 สำหรับหน้าที่การใช้งานของแต่ละขามีดังนี้

- ขา V_{cc} เป็นขาป้อนแรงดันไฟเลี้ยง +5 โวลต์

- ขา V_{ss} เป็นกราวด์

- ขาพอร์ต 0 (Port 0) มี 8 ขา ได้แก่ $P_{0.0}$ - $P_{0.7}$ เป็นขาพอร์ตอินพุตเอาท์พุตแบบ 2 ทิศทางสำหรับการใช้งานทั่วไป โดยถ้าใช้งานเป็นอินพุตต้องทำการเขียนเป็นค่า 1 ไปยังแต่ละบิตของพอร์ต เพื่อกำหนดให้ขาพอร์ตเหล่านั้นอยู่ในสถานะปล่อยลอย ซึ่งในสถานะนี้เองที่สามารถนำมาใช้เป็นพอร์ตอินพุตอิมพีแดนซ์สูงได้ นอกจากพอร์ตนี้จะใช้งานเป็นพอร์ตอินพุตเอาท์พุตแล้วมันยังถูกใช้งานในในการติดต่อกับหน่วยความจำด้วย โดยทำหน้าที่ในการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดตำแหน่งแอดเดรสไบต์ต่ำ (A_0 - A_7) ซึ่งจะใช้งานเป็นแบบมัลติเพล็กซ์กับการรับส่งข้อมูลขนาด 8 บิต (D_0 - D_7)

- ขาพอร์ต 1 มี 8 ขา ได้แก่ขา $P_{1.0}$ - $P_{1.7}$ เป็นขาพอร์ตอินพุตเอาท์พุตแบบ 2 ทิศทาง สำหรับใช้งานทั่วไป โดยถ้าใช้งานเป็นอินพุตพอร์ตต้องทำการเขียนค่า 1 ไปแต่ละบิตของพอร์ต เพื่อกำหนดให้เป็นพอร์ตอินพุต นอกจากนี้สำหรับเบอร์ 8032 และ 8052 ขาพอร์ต $P_{1.0}$ และ $P_{1.1}$ จะถูกนำมาใช้เป็นขา T2 และ T2EX ตามลำดับด้วย

- ขาพอร์ต 2 (Port 2) มี 8 ขา ได้แก่ขา $P_{2.0}$ - $P_{2.7}$ เป็นขาอินพุตเอาท์พุตแบบ 2 ทิศทาง สำหรับใช้งานทั่วไป โดยถ้าใช้งานเป็นอินพุตพอร์ตต้องทำการเขียนค่า 1 ไปยังแต่ละบิตของพอร์ต เพื่อกำหนดให้เป็นพอร์ตอินพุต นอกจากพอร์ตนี้จะใช้งานเป็นพอร์ตอินพุตเอาท์พุตแล้วมันยังถูกใช้งานในการติดต่อกับหน่วยความจำภายนอกด้วย โดยทำหน้าที่ในการกำหนดตำแหน่งแอดเดรสไบต์สูง (A_8-A_{15})

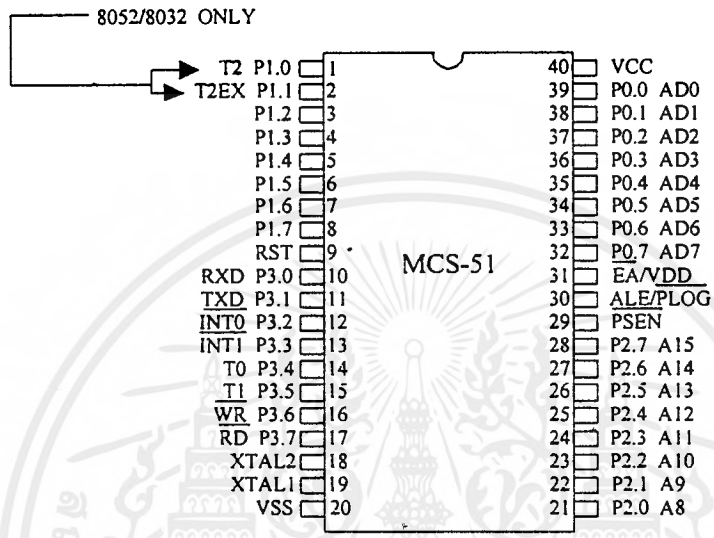
ขาพอร์ต	หน้าที่พิเศษ
$P_{3.0}$	RXD (Serial Input Port)
$P_{3.1}$	TXD (Serial output Port)
$P_{3.2}$	INT0 (External Interrupt 0)
$P_{3.3}$	INT1 (External Interrupt 1)
$P_{3.4}$	T0 (Timer 0 External Input)
$P_{3.5}$	T1 (Timer 1 External Input)
$P_{3.6}$	WR (External Data Memory Write Strobe)
$P_{3.7}$	RD (External Data Memory Read Strobe)

ตารางที่ 2.2 หน้าที่พิเศษของแต่ละขาของพอร์ต P_3

- ขาพอร์ต 3 (Port 3) มี 8 ขา ได้แก่ $P_{3.0}$ - $P_{3.7}$ เป็นขาพอร์ตอินพุตเอาท์พุตแบบ 2 ทิศทางสำหรับใช้งานทั่วไปโดยถ้าใช้งานเป็นอินพุตพอร์ตต้องทำการเขียนค่า 1 ไปยังแต่ละบิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของพอร์ต เพื่อกำหนดให้เป็นพอร์ตอินพุต นอกจากพอร์ตเหล่านี้ยังถูกใช้งานเป็นพอร์ตอินพุต เอาท์พุตแล้วมันยังถูกใช้งานในหน้าที่พิเศษต่างๆ ดังแสดงในตารางที่ 2.2



รูปที่ 2.26 การจัดตำแหน่งขาต่างๆ ของไมโครคอนโทรลเลอร์ตระกูล MCS-51

- ขารีเซต (RST) ใช้สำหรับการรีเซตการทำงานของไมโครคอนโทรลเลอร์ โดยการรีเซตต้องคงสถานะเป็น 1 อย่างน้อยนาน 2 แมชีนไซเคิล ในขณะที่ออสซิลเลเตอร์ยังทำงานอยู่

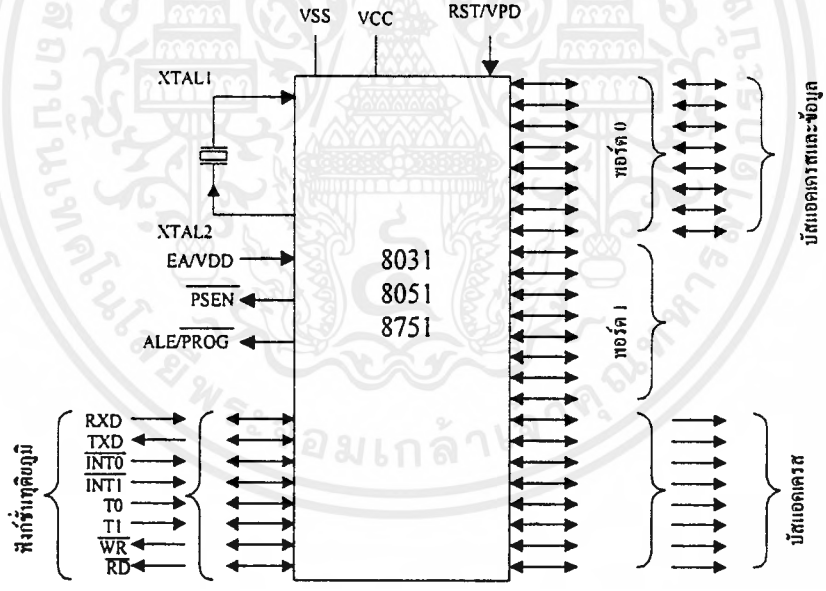
- ขา ALE/$\overline{PROG}$ เป็นขาสัญญาณที่ทำหน้าที่ควบคุมการแลตช์ (Latch) ค่าตำแหน่งแอดเดรสไบต์ต่ำ (Address Latch Enable) เมื่อติดต่อกับหน่วยความจำภายนอก นอกจากนี้ขานี้ยังทำหน้าที่เป็นเป็นอินพุตรับพัลซ์ในการโปรแกรม (Program Pulse Input) ในส่วนของหน่วยความจำ EPROM สำหรับไมโครคอนโทรลเลอร์ในตระกูล MCS-51 ที่มีหน่วยความจำตำแหน่งภายใน EPROM

- ขา$\overline{PSEN}$ (Program Store Enable) ทำหน้าที่สัญญาณสโตรบเพื่ออ่านคำสั่งจากหน่วยความจำตำแหน่งภายนอก เมื่อไมโครคอนโทรลเลอร์ประมวลผลคำสั่งจากหน่วยความจำภายนอก ขานี้จะถูกส่งสัญญาณสโตรบจำนวน 2 ครั้งในแต่ละแมชีนไซเคิล แต่ในขณะที่ติดต่อกับหน่วยความจำข้อมูลภายนอกจะไม่มีการส่งสัญญาณสโตรบใดๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ขา$\overline{EA}$/VPP (External Access Enable/VPP) เป็นขาสำหรับการเลือกใช้หน่วยความจำโปรแกรมจากภายในหรือจากภายนอก โดยถ้ามีสถานะเป็น 0 จะหมายถึงให้ไมโครคอนโทรลเลอร์รับคำสั่งจากหน่วยความจำภายนอกที่ตำแหน่งแอดเดรส 0-0FFFH (0-1FFFH ถ้าเป็นเบอร์ 8052) อย่างไรก็ตามถ้าบิตป้องกัน (Security Bit) ในหน่วยความจำ EPROM ถูกโปรแกรมไว้ ไมโครคอนโทรลเลอร์จะไม่รับคำสั่งจากหน่วยความจำภายนอกเลย นอกจากนี้ขานี้ยังทำหน้าที่รับแรงดันไฟสำหรับการโปรแกรม (V_{p-p}) ขนาด 12 โวลต์ เพื่อใช้ระหว่างการโปรแกรม EPROM

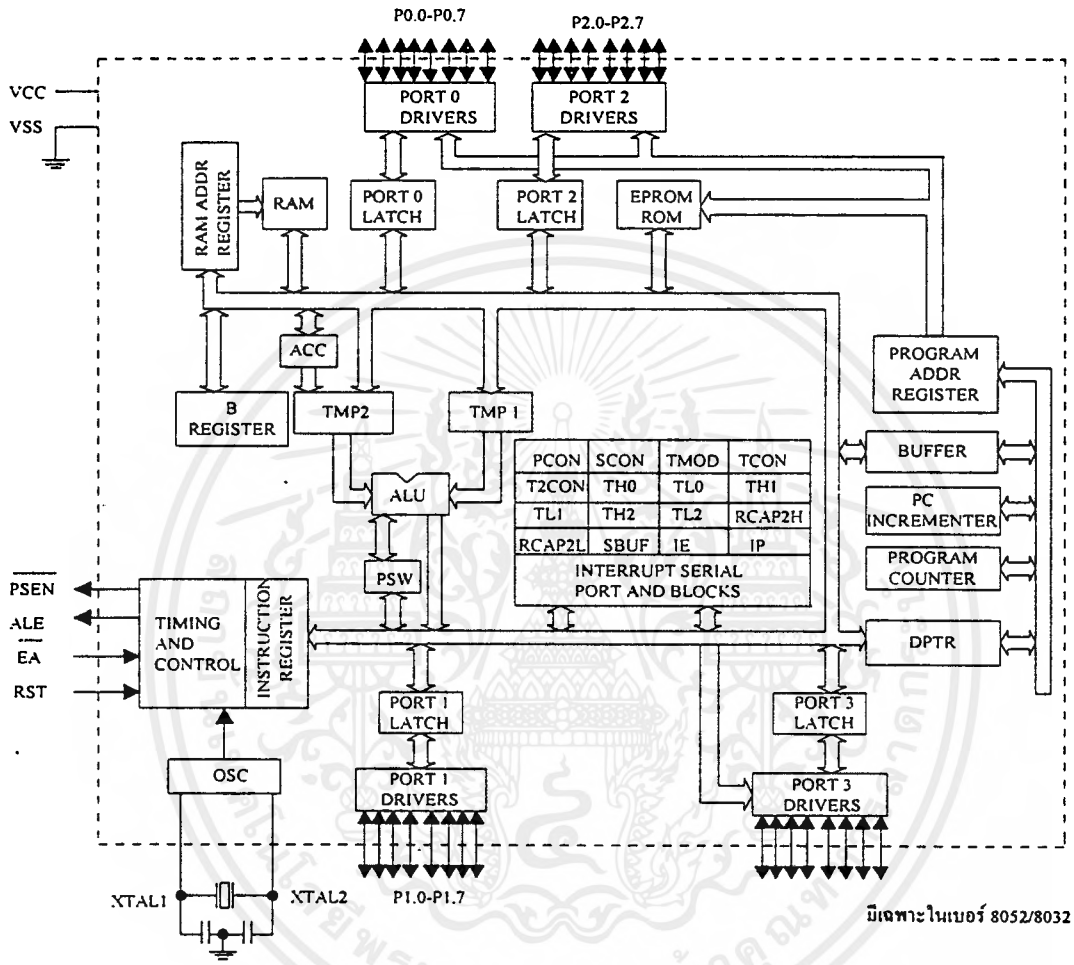
- ขา X-TAL1 และขา X-TAL2 เป็นขาอินพุตและเอาท์พุตของวงจรอินเวอร์ติ้งออสซิลเลเตอร์แอมปลิไฟเออร์ (Inverting Oscillator Amplifier) สำหรับใช้ต่อร่วมกับคริสตอลภายนอก



รูปที่ 2.27 หน้าที่ของพอร์ตเมื่อคอนโทรลเลอร์ทำงานกับหน่วยความจำภายนอก

จากรูปที่ 2.26 และ 2.27 นั้นแสดงจำนวนขา และหน้าที่ของ 8051 ที่หมายถึงตระกูล MCS-51 ทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.28 โครงสร้างภายในของไมโครคอนโทรลเลอร์ตระกูล MCS-51

8051, 8051AH และ 8052AH เป็นอุปกรณ์ที่ทำงานโดยการควบคุมจากโปรแกรมในหน่วยความจำ (รอม) โดยการโปรแกรมด้วยต้นแบบ เพื่อให้เกิดข้อมูลบนรอมครั้งหนึ่งเป็นจำนวนมากจึงเหมาะกับการผลิตเพื่อใช้งานควบคุมจำนวนมาก ๆ (8051 นั้นมีหน่วยความจำรอมจำนวน 4 Kbytes ส่วน 8052AH จะมีหน่วยความจำเพิ่มขึ้น โดยสร้างจาก HMOS II)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีอีกสองเบอร์ที่ทำงานคล้ายกันคือ 8031AH และ 8052AH ที่ใช้แทน 8051 และ 8052 AH ได้ตามลำดับ โดยไม่ต้องส่งให้โรงงานโปรแกรมให้ เพราะเราจะเขียนและทดสอบโปรแกรมด้วยหน่วยความจำภายนอกแทน (ไม่มีรอมภายใน)

ถ้าต้องการป้องกันการอ่านจากภายนอก ก็สามารถเลือก 8751 และ 8752 ที่มีอีพรอมภายในที่จัดค่าเวลาในการอ่านข้อมูล เพื่อกันการลอกเลียนโปรแกรม

เบอร์ที่น่าสนใจมากถ้าไม่ต้องการศึกษาภาษาแอสเซมบลี้คือ 8052AH BASIC แตกต่างจากเบอร์อื่นคือ ใช้ตัวแปลภาษาเบสิกซึ่งเป็นรอมภายใน

2.7 ระบบการประชุมทางโทรทัศน์ในปัจจุบัน

ระบบ Video Conference จะประกอบด้วย อุปกรณ์หลายชนิดซึ่งการพัฒนาระบบอาจทำการติดตั้งแยกส่วนกัน (เช่น การจัดวางอุปกรณ์เป็นห้องสตูดิโอ) หรือจัดประกอบรวมกันเป็นตู้คอนโซลได้โดยระบบพื้นฐานของ Video Conference จะประกอบไปด้วย

- อุปกรณ์ Video Codec ทำหน้าที่แปลงและย่อขนาดสัญญาณภาพเป็นสัญญาณดิจิตอล
- อุปกรณ์ Multipoint Control Unit (MCU) สำหรับการใช้งานประชุมมากกว่า 2 ฝ่าย
- กล้องวีดีโอ เพื่อบันทึกภาพผู้เข้าประชุม
- อุปกรณ์ควบคุม ทำหน้าที่ควบคุมแสงสว่าง, เสียง และกล้อง
- จอภาพ แสดงผู้เข้าประชุมอีกฝ่าย
- ระบบเสียง, ไมโครโฟน, ระบบแสง, ระบบกราฟฟิค, อินเตอร์เฟสคอมพิวเตอร์

อุปกรณ์กล้องวิดีโอ

ในระบบ Video Conference สามารถประกอบด้วยระบบกล้องวิดีโอ 1 ตัว หรือมากกว่า โดยระบบกล้องที่ง่ายและถูกที่สุดคือ ติดตั้งกล้องตายตัว (Fixed Camera) เพียง 1 ตัว แต่ระบบนี้จะไม่มีความคล่องตัวในการจัดภาพ ดังนั้น จึงได้มีการจัดระบบกล้องตายตัว แบบ Dual-Camera/Dual-Monitor เพื่อสามารถเก็บรายละเอียดของผู้เข้าร่วมประชุมได้มากขึ้น

สำหรับระบบ Video Conference ระดับสตูดิโอ จะมีการใช้งานกล้องวิดีโอหลายตัวร่วมกับอุปกรณ์ Video Switch เพื่อจัดส่งภาพที่เหมาะสม โดยระบบกล้องวิดีโออาจจะประกอบไปด้วยกล้องตายตัว 1 ตัว เพื่อจับภาพการประชุมทั้งหมด, กล้องตายตัว 2 ตัว (ที่ Zoom ได้) เพื่อจับภาพรายละเอียดผู้เข้าร่วมประชุม, กล้องปรับตำแหน่ง (ที่ Zoom ได้) เพื่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จับภาพที่สนใจ และกล้องถ่ายเอกสาร เพื่อถ่ายภาพเอกสารต่างๆ ซึ่งการควบคุมกล้องวิดีโอ และ Video Switch จะกระทำโดยผ่านอุปกรณ์ควบคุม

ระบบควบคุม (Control System)

ระบบควบคุมของ Video Conference จะทำหน้าที่หลักๆ ดังนี้

- ควบคุมกล้องวิดีโอ เลือกฉายภาพจากกล้องที่ต้องการควบคุมการ Zoom/Pan
- ควบคุมกล้องถ่ายกราฟฟิค (Graphic Camera)
- ควบคุมระบบเสียง
- ควบคุมระบบแสง

อุปกรณ์จอภาพ (Display Equipment)

อุปกรณ์จอภาพที่ใช้งานในระบบ Video Conference จะมี 2 รูปแบบ คือ จอภาพมอนิเตอร์ และโปรเจคเตอร์ โดยจอภาพมอนิเตอร์ใช้งานก็คือจอภาพโทรทัศน์นั่นเอง โดยระบบ Video Conference ระดับสตูดิโอ ก็จะเลือกใช้จอขนาดใหญ่ อาทิ เช่น จอขนาด 33 นิ้ว เป็นต้น ส่วนโปรเจคเตอร์จะใช้งานสำหรับการแสดงภาพจากจอคอมพิวเตอร์แก่ผู้เข้าประชุม

ระบบเสียง

แม้ว่าระบบภาพจะดูประหนึ่งว่าเป็นหัวใจของ Video Conference แต่ในความเป็นจริงแล้วระบบเสียงกลับเป็นส่วนที่สำคัญที่สุด เนื่องจากผู้ใช้งานจะทนต่อคุณภาพของภาพที่แย่ได้มากกว่า ทนต่อคุณภาพเสียงที่แย่ ภาพของคู่สนทนาที่ไม่ชัดเจนยังไม่สร้างความรำคาญในการประชุมเท่าเสียงหอนของไมค์คู่สนทนา

ปัญหาที่เกิดขึ้นบ่อยที่สุดในระบบเสียงของ Video Conference คือ การเกิดเสียงสะท้อน (Echo) อันเนื่องมาจาก เสียงที่เราพูดนั้นถูกป้อนกลับ (ผ่านไมค์ของผู้ประชุมปลายทาง และส่งกลับมายังลำโพงด้านเรา) การแก้ปัญหาเสียงสะท้อนในระบบทำได้โดยการใช้ระบบเสียงที่มี Echo Cancellation/Suppression

สิ่งสำคัญอีกสิ่งหนึ่งในระบบเสียง คือ เทคนิคการย่อขนาดข้อมูลเสียง (Audio Compression) เพื่อให้ใช้แบนด์วิทแคบกว่าในการส่งสัญญาณเสียงคุณภาพเท่ากัน ผู้ผลิตระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Video Conference ได้ทุ่มเทอย่างมากในการพัฒนาและประสบความสำเร็จในการสร้างระบบเสียงที่ผู้เข้าร่วมประชุมสามารถสนทนาในทุกที่ภายในห้องด้วยเสียงคมชัด

ไมโครโฟน

ไมโครโฟนคุณภาพสูงเป็นองค์ประกอบหนึ่งที่สำคัญในระบบเสียง โดยทั่วไปแล้วไมโครโฟนที่ใช้งานในระบบ Video Conference จะเป็นไมโครโฟนตั้งโต๊ะ ซึ่งมีทั้งประเภทรับเสียงทุกทิศทาง และรับเสียงบางทิศทางให้เลือกใช้งาน

ระบบแสง

การจัดแสงที่เหมาะสมจะช่วยให้สร้างความสบายแก่ผู้เข้าร่วมประชุม โดยระบบแสงที่ดีจะไม่ทำให้เกิดเงาบังใบหน้าผู้เข้าร่วมประชุม และแสงจะต้องไม่แยงตาผู้เข้าประชุม

การส่งผ่านภาพกราฟฟิก

ในระบบการประชุมทางโทรทัศน์ระหว่างสถานที่ต่างๆ ผู้เข้าร่วมประชุมสามารถที่จะส่งภาพกราฟฟิก เช่น แผนภูมิ, กราฟ หรือสไลด์ ไปให้ผู้เข้าร่วมประชุมที่อยู่ที่อื่นได้รับชมได้ MCU จะทำการตรวจสอบข้อมูลที่ได้รับจากผู้เข้าร่วมประชุมในแต่ละที่อย่างสม่ำเสมอ และจะให้ลำดับความสำคัญกับข้อมูลที่เป็นภาพกราฟฟิก และแสดงความต้อง การที่จะส่งไปยัง MCU เมื่อ Codec ได้รับการตอบกลับ ก็จะหยุดการส่งภาพเคลื่อนไหว และทำการส่งข้อมูลของภาพกราฟฟิกแทน

อินเตอร์เฟสคอมพิวเตอร์

ปัจจุบันคอมพิวเตอร์ได้เข้ามามีบทบาทในการประชุมผ่านระบบ Video Conference โดยอุปกรณ์ Codec ส่วนใหญ่จะมีช่องสัญญาณสำหรับเชื่อมต่อคอมพิวเตอร์ อันทำให้ผู้เข้าร่วมประชุมสามารถถ่ายทอดข้อมูล หรือ ร่วมกันทำงานบนโปรแกรมคอมพิวเตอร์ได้ ตัวอย่าง เช่น ผู้เข้าประชุมทั้ง 2 ฝ่ายจะสามารถร่วมกันพิจารณาแก้ไขเวิร์คชีตที่สร้างขึ้นได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การออกแบบ การสร้าง และการทำงาน

จากที่ได้ทราบถึงทฤษฎีและหลักการที่จำเป็นในระบบการประชุมทางโทรภาพแล้ว ว่าประกอบไปด้วยอะไรบ้างในบทที่ 2 สามารถออกแบบผังการทำงาน ของเครื่องระบบการประชุมแบบ 4 ผู้ใช้ ได้ดังรูปที่ 3.1

3.1 การออกแบบ

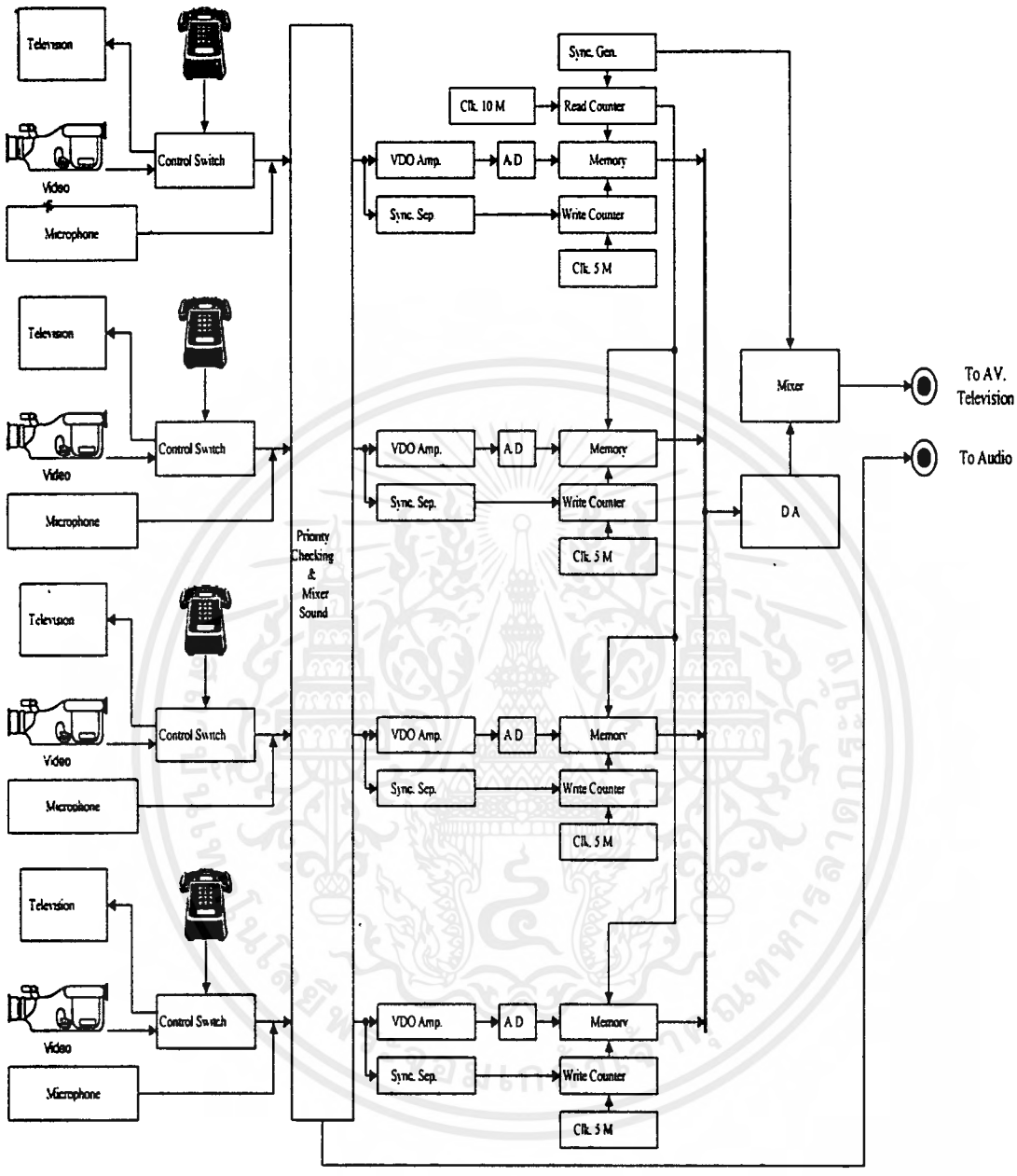
จากรูปที่ 3.1 เป็นการแสดงผังการทำงานของเครื่องระบบการประชุมทางโทรภาพแบบ 4 ผู้ใช้ ซึ่งสามารถแยกออกเป็นโครงสร้างแต่ละส่วนของวงจรได้ดังนี้

โครงสร้างที่เป็นส่วนของวงจรประกอบด้วย

1) วงจรควบคุมการประชุมด้วยโทรศัพท์
2) วงจรจัดลำดับสัญญาณภาพ
3) วงจรผสมสัญญาณเสียง
4) วงจรขยายสัญญาณภาพ
5) วงจรแยกสัญญาณซิ้งค์
6) วงจรแปลงสัญญาณแอนาล็อกเป็นดิจิตอล
7) วงจรผลิตสัญญาณนาฬิกา
8) วงจรนับตำแหน่ง
9) วงจรหน่วยความจำ
10) วงจรแปลงสัญญาณดิจิตอลเป็นแอนาล็อก
11) วงจรผลิตสัญญาณซิ้งค์
12) วงจรผสมสัญญาณภาพ

จากรูปที่ 3.1 เมื่อผู้ใช้ในแต่ละสถานีถอดรหัสเปิดการประชุมทางภาพ โดยรหัสที่ใช้ก็ใช้การถอดรหัสจากแป้นคีย์ของโทรศัพท์ เมื่อกดรหัสถูกต้องจะทำให้กล้องวีดีโอกับโทรทัศน์ทำงาน แล้วที่ตัวควบคุมการประชุมทางภาพ จะส่งสัญญาณไปที่วงจรจัดลำดับความสำคัญ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 ผังการทำงานของเครื่องระบบการประชุมทางโทรภาพแบบ 4 ผู้ใช้

ในการจองส่วนของจอภาพ โดยที่ใครที่กดรหัสเข้ามาก่อนจะมีภาพปรากฏอยู่ที่ส่วนที่ 1 และเรียงตามลำดับกันไป จากนั้นสัญญาณที่ออกมาจากวงจรจัดลำดับจะผ่านเข้ามาที่วงจรขยายสัญญาณภาพเพื่อขยายสัญญาณภาพให้แรงขึ้น อีกส่วนหนึ่งของสัญญาณภาพถูกส่งไปยังวงจรแยกสัญญาณซิ้งค์เพื่อทำการแยกสัญญาณต่างๆ ที่อยู่ในสัญญาณซิ้งค์ออกมาใช้งาน เมื่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณภาพถูกขยายจากวงจรขยายสัญญาณภาพแล้ว จะถูกส่งไปยังวงจรแปลงสัญญาณแอนาล็อกเป็นสัญญาณดิจิตอล แล้วส่งสัญญาณดิจิตอลที่ได้ให้กับวงจรหน่วยความจำเพื่อใช้สำหรับเก็บข้อมูลภาพ ในส่วนของวงจรหน่วยความจำจะถูกควบคุมด้วยวงจรควบคุมการเขียนข้อมูลภาพลงหน่วยความจำ และวงจรควบคุมการอ่านข้อมูลภาพลงหน่วยความจำวงจรนี้มีการทำงานที่สัมพันธ์กัน ดังจะอธิบายไว้ในวงจรควบคุมหน่วยความจำในหัวข้อต่อไปนี้

วงจรหน่วยความจำแต่ละชุดจะส่งข้อมูลที่เป็นดิจิตอลของตัวเองมาทำการสลับข้อมูลของแต่ละวงจรให้ออกเพียง 1 เอาต์พุต นำเอาต์พุตที่ได้มาผ่านวงจรแปลงสัญญาณดิจิตอลเป็นแอนาล็อกสัญญาณที่ได้จะผ่านวงจรรวมสัญญาณเพื่อรวมกับสัญญาณซิ้งค์ต่างๆ แล้วส่งไปยังช่องสัญญาณภาพและเสียงของโทรทัศน์ เพื่อเป็นช่องสำหรับการประชุม ในส่วนของไมโครโฟนจะใช้ไมโครโฟนที่มีความไวสูง เมื่อต่อสายไมโครโฟนเข้าที่สถานีสัญญาณเสียงก็จะมาตามสายแล้วมารวมกันกับสัญญาณเสียงที่มาจากสถานีอื่นๆ ในวงจรผสมสัญญาณเสียงเอาต์พุตที่ได้จะออกมาเพียงเส้นเดียวนำสัญญาณไปเข้ายังช่องสัญญาณเสียงของโทรทัศน์ผู้ใช้สามารถปรับเสียงได้จากปุ่มโวลุ่ม (Volume) ของโทรทัศน์ ในส่วนของวงจรมอดดูเลตจะถูกใช้เมื่อโทรทัศน์เป็นรุ่นเก่าที่ไม่มีช่องสัญญาณภาพเสียงจนมีแต่ช่องเสียบสายอากาศวงจรมอดดูเลตจะใช้สัญญาณภาพที่ผ่านวงจรผสมสัญญาณมาแล้วเป็นอินพุตโดยที่เอาต์พุตของวงจรที่ช่องต่อสายอากาศของโทรทัศน์เพื่อดูภาพได้เช่นกัน

3.2 การทำงานของวงจรต่างๆ

3.2.1 วงจรควบคุมการประชุมด้วยโทรศัพท์

วงจรควบคุมการประชุมด้วยโทรศัพท์ เป็นวงจรที่มีหน้าที่เปิดการประชุมทางภาพโดยใช้ สัญญาณความถี่ทางโทรศัพท์ เป็นตัวควบคุมการทำงาน

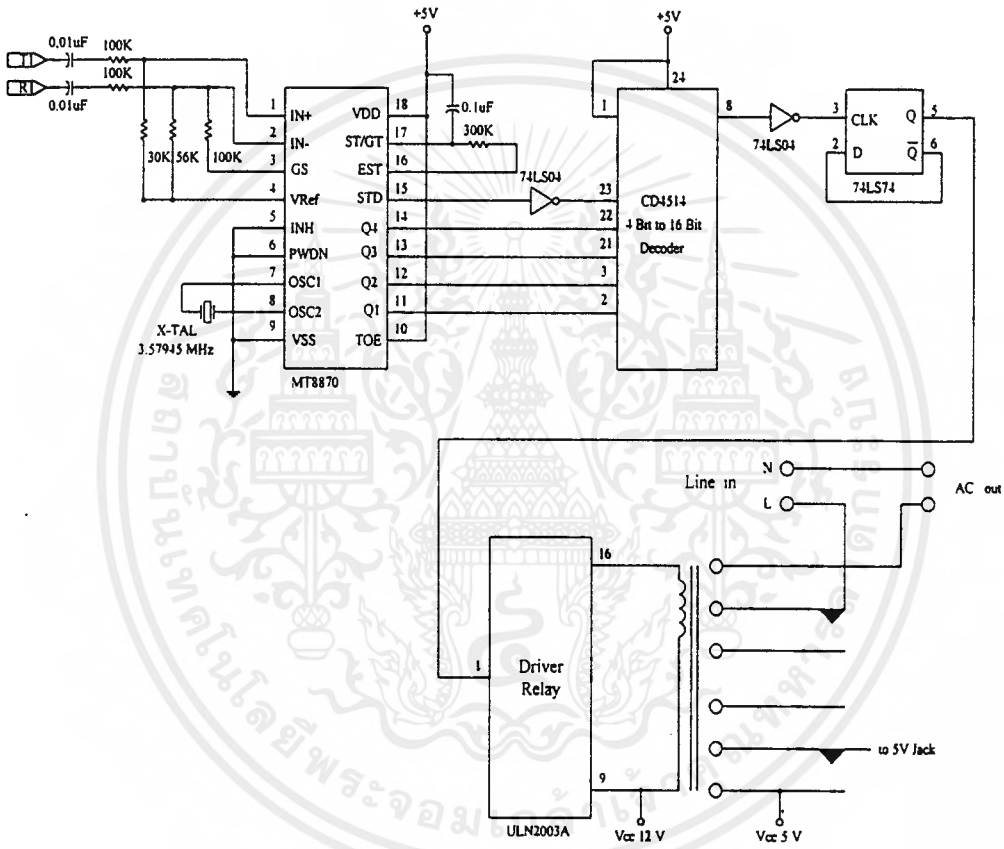
การทำงานของวงจร

จากรูปที่ 3.2 เป็นวงจรชุดถอดรหัสความถี่โทรศัพท์เป็นรหัส BCD ฐานสอง 4 บิต

เมื่อมีการยกหูโทรศัพท์ และทำการกดปุ่มโทรศัพท์ เมื่อกดรหัส #123 ความถี่ที่เข้ามาก็จะถูกแปลงให้เป็นรหัส 0011 รหัสนี้จะถูกแปลงโดย IC MC14514 ทำการแปลงรหัสจากสัญญาณ 4 บิต ให้เป็น 16 บิต รหัสที่ใช้คือ 0011 ซึ่งจะตรงกับขาเอาต์พุตขาที่ 8 สัญญาณพัลซ์ก็จะถูกส่งมาเป็นสัญญาณเวลาให้กับ IC 4017 ซึ่งจะทำการนับ 10 เราเลือกให้นับ 1 จากนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณก็จะไปทริกให้กับ IC ULN2003 ซึ่งทำหน้าที่เป็นตัวขับรีเลย์ให้ทำงาน เมื่อรีเลย์ทำงานจะดึงคอนแท็คให้สัมผัสกัน และทำการเชื่อมต่อแรงดันไบอัสเพื่อจ่ายให้กับกล้องวิดีโอและโทรทัศน์ หน้าสัมผัสของรีเลย์อีกชุดหนึ่งก็จะส่งแรงดัน 5 โวลต์ ออกไปเป็นสัญญาณให้กับไมโครคอนโทรลเลอร์ในวงจรจัดลำดับสัญญาณภาพต่อไป



รูปที่ 3.2 วงจรควบคุมการประชุมด้วยโทรศัพท์

จากรูปที่ 3.2 เมื่อมีสัญญาณความถี่คู่เข้ามา C_{13} และ C_{14} จะเป็นตัวส่งผ่านสัญญาณแล้วส่งผ่าน R_{11} และ R_{12} เข้ามาที่ขาอินพุตของไอซี MT8870 (IC_{12}) ซึ่งเป็นอุปกรณ์ที่สำคัญของวงจรส่วน R_{11} กับ R_{15} เป็นตัวกำหนดอัตราการขยายของออปแอมป์ที่อยู่ภายในไอซีให้มีอัตราการขยายเท่ากับ 1 ส่วน R_{13} กับ R_{14} เป็นตัวกำหนดแรงดันอ้างอิง และขา OSC_1 และ OSC_2 จะต่อกับแร่คริสตอลขนาด 3.57945 MHz เพื่อกำเนิดความถี่เป็นสัญญาณนาฬิกาให้

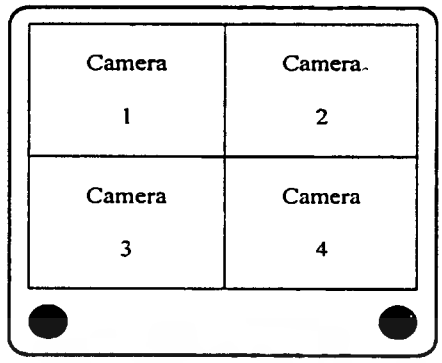
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กับไอซี และวงจรจะมีการตรวจสอบช่วงความถี่ที่เข้ามาว่ามีระยะเวลาตามที่กำหนดหรือไม่ โดยสังเกตจากระยะเวลาการกดปุ่มโทรศัพท์ ซึ่งจะต้องมีช่วงเวลานานพอสมควร คือให้ระยะเวลานานเท่ากันหรือมากกว่าช่วงเวลาที่ตั้งไว้จึงจะยอมรับและถือว่าสัญญาณนั้นถูกต้อง โดยที่ขา EST จะเป็น 1 นานใกล้เคียงกับระยะเวลาที่มีความถี่คู่ทำให้แรงดันที่ขา ST/GT สูงขึ้น ตัวเก็บประจุ C ซึ่งเก็บประจุเต็มก็จะคายประจุออกมา ทำให้แรงดันที่ขา ST/GT สูงขึ้นจนถึงค่าเทรสโฮลด์ (Threshold) วงจรถอดรหัสจึงจะถอดรหัสออกมาเป็นตัวเลขขนาด 4 บิตทางขา Q_1, Q_2, Q_3 และ Q_4 แต่ถ้าเปรียบเทียบกันแล้วช่วงเวลาน้อยกว่าที่ตั้งไว้ก็จะไม่มีการถอดรหัสเป็นตัวเลขขนาด 4 บิตออกไป ซึ่งช่วงเวลานี้เราสามารถตั้งได้โดยการกำหนดค่าของ R_{16} และ C_{15} ส่วนขา TOE นั้นจะทำงานคล้ายๆ กับเป็นขาอีนาเบิ้ล (Enable) คือในสภาวะปกติไม่มีสัญญาณเอาต์พุตจะทำให้ที่ขาเอาต์พุตนี้มีค่าอิมพีแดนซ์สูงมาก ทำให้สัญญาณต่างๆ ไม่สามารถผ่านขา Q ได้ แต่เมื่อมีสัญญาณอินพุตมาจะมีอิมพีแดนซ์ต่ำลง แล้วจึงส่งสัญญาณเอาต์พุตออกไปได้ สำหรับขา STD ในวงจรนี้ก็เป็นขาเอาต์พุตอีกขาหนึ่ง โดยขา STD จะบอกสภาวะให้กับ IC4514 ซึ่งเป็นตัวแปลงสภาวะจาก 4 บิตที่ได้จากขา A_1 ถึง A_4 ให้เป็น 16 บิต โดยเลือกเอาขาเอาต์พุต ขา 8 ซึ่งมีรหัสตรงกับคีย์หมายเลข #123 เมื่อกดปุ่มนี้จะได้เอาต์พุตที่ขา 8 เป็น 1 ค้างตลอดเรานำเอา STD ของ IC MT 8870 มาผ่าน IC7404 ซึ่งเป็นตัวกลับสถานะต่อเข้ากับขา INH ของ IC4514 เพื่อทำให้เป็นทริกเกอร์แทนการค้างสภาวะ เมื่อกดรหัสตรงกันจะทำให้ที่ขา 8 มีสภาวะเป็น 1 ชั่วขณะ ที่ขานี้จะนำมาเป็นสัญญาณนาฬิกา ให้กับ D-Flip Flop เพื่อให้คงสภาวะไว้ เพื่อป้องกันการกดคีย์อื่นๆ ที่ไม่ใช่รหัสผ่าน โดยจะทำให้เป็นการยกเลิกการประชุม เมื่อ D Flip-Flop ค้างสภาวะอยู่เอาสัญญาณนี้ไปทริกให้กับวงจรขับรีเลย์ให้หน้าสัมผัสจากกันที่หน้าสัมผัสชุดที่หนึ่งจะต่อกับสายไฟฟ้ากระแสสลับ เมื่อรีเลย์ออน (On) จะทำให้หน้าสัมผัสต่อไฟที่ AC. Outlet ให้ครบวงจร ปลั๊กโทรทัศน์และกล้องวีดีโอที่ซึ่งต่ออยู่ที่ AC. จะดึงทันที และที่อีกหน้าสัมผัสหนึ่งจะต่อแรงดัน 5 โวลต์ ไว้ที่หน้าสัมผัสปกติต่อ เพื่อเป็นตัวบอกสภาวะให้ไมโครคอนโทรลเลอร์ จัดลำดับการเรียงหน้าจอตามลำดับของการเข้าร่วมประชุม

3.2.2 วงจรจัดลำดับสัญญาณภาพ

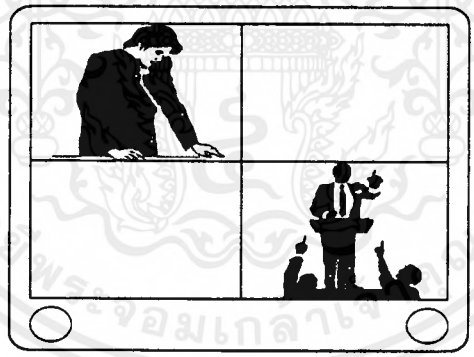
วงจรจัดลำดับสัญญาณภาพนั้นเป็นการตรวจสอบลำดับของผู้ใช้งาน เพื่อที่จะได้ภาพปรากฏบนจอโทรทัศน์ให้มีความเป็นระเบียบ เนื่องจากระบบ Video Conference เดิมนั้นจะตั้งตำแหน่งของกล้องกับจอภาพไว้คงที่ดังรูปที่ 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 ตำแหน่งบนจอภาพของระบบ Video Conference เดิม

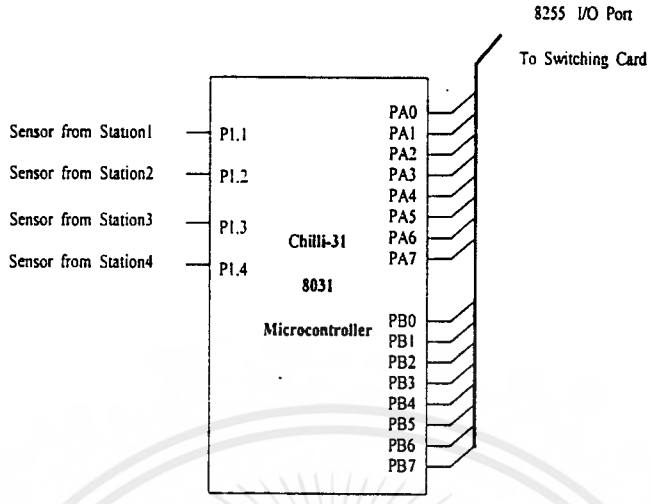
Video Conference ในระบบเดิมนั้น มีจุดอ่อนที่ไม่สามารถจัดลำดับของภาพให้ดูสวยงามได้ จะเห็นว่าหากผู้ใช้ที่ 1 ต้องการที่จะติดต่อกับผู้ใช้ที่ 4 ก็จะได้ภาพดังรูปที่ 3.4



รูปที่ 3.4 ลักษณะบนหน้าจอที่ปรากฏภาพ กรณีผู้ใช้ที่ 1 ต้องการติดต่อกับผู้ใช้ที่ 4

วงจรจัดลำดับภาพทำหน้าที่ตรวจสอบดูว่ามีผู้ใช้คนใดเข้าสู่ระบบประชุมเป็นคนแรก วงจรจะทำหน้าที่สับสวิตช์ให้ไปอยู่บนจอภาพส่วนที่ 1 ทันที หากมีผู้ใช้คนใดกดรหัสเข้าสู่การประชุมเข้ามาอีกวงจรจัดลำดับภาพก็จะสับสวิตช์ให้ไปที่ตำแหน่งที่ 2 และถ้ามีผู้เข้าร่วมประชุมครบทั้ง 4 วงจรก็จะคงสภาพการทำงานนั้นไว้จนกว่าจะเลิกการประชุม แล้ววงจรก็จะรอการกดรหัสขอเปิดประชุมจากผู้ใช้อีกครั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 ไมโครคอนโทรลเลอร์ควบคุมการสวิตซ์ภาพ

จากวงจรในรูปที่ 3.5 จะใช้ Chilli-31 Microcontroller เป็นตัวรับเซ็นเซอร์ (Sensor) จากแต่ละผู้ใช้ ที่พอร์ต (Port) P1.1 ถึง P1.4 จะตั้งค่าให้เป็นพอร์ตอินพุต ที่เซ็นเซอร์จากแต่ละผู้ใช้จะปล่อยแรงดัน +5 โวลต์ออกมาตลอดเวลา ถ้าผู้ใช้กดรหัสเปิดการประชุมเมื่อใด รีเลย์จะตัดไฟ +5 โวลต์ ออกให้เหลือ 0 โวลต์ ทำให้พอร์ตอินพุตรับค่าเข้ามา แล้วส่วน CPU จะทำการส่งให้พอร์ตอินพุตของ 8255 ที่ PA0-PB7 ทำงาน จากรูปวงจรที่ผู้ใช้ตัวที่ 1 ใช้คอนแท็ครีเลย์ 4 ชุด ให้ PA0-PA3 เป็นตัวสั่งการให้คอนแท็ครีเลย์ต่อ ผู้ใช้คนที่ 2 จะมีสัญญาณเข้าที่รีเลย์อีก 4 ตัว โดยใช้ PA4-PA7 เป็นตัวส่งให้รีเลย์ตัดต่อ ส่วนอีก 2 ผู้ใช้ ก็ใช้ PB0-PB3 เป็นตัวสั่งการ ส่วนผู้ใช้คนสุดท้ายจะใช้ PB4-PB7 การทำงานจะเริ่มเมื่อทุกพอร์ตจะเซ็ตค่าเริ่มต้นดังนี้

ให้ กล้องตัวที่ 1 เริ่มต้นที่ PA0

กล้องตัวที่ 2 เริ่มต้นที่ PA4

กล้องตัวที่ 3 เริ่มต้นที่ PB0

กล้องตัวที่ 4 เริ่มต้นที่ PB4

จากนั้นเมื่อมีสัญญาณเข้ามา แต่ละพอร์ตจะตรวจสอบเอาต์พุตว่ามีสถานะเป็นอะไรอยู่ ดังเงื่อนไขต่อไปนี้

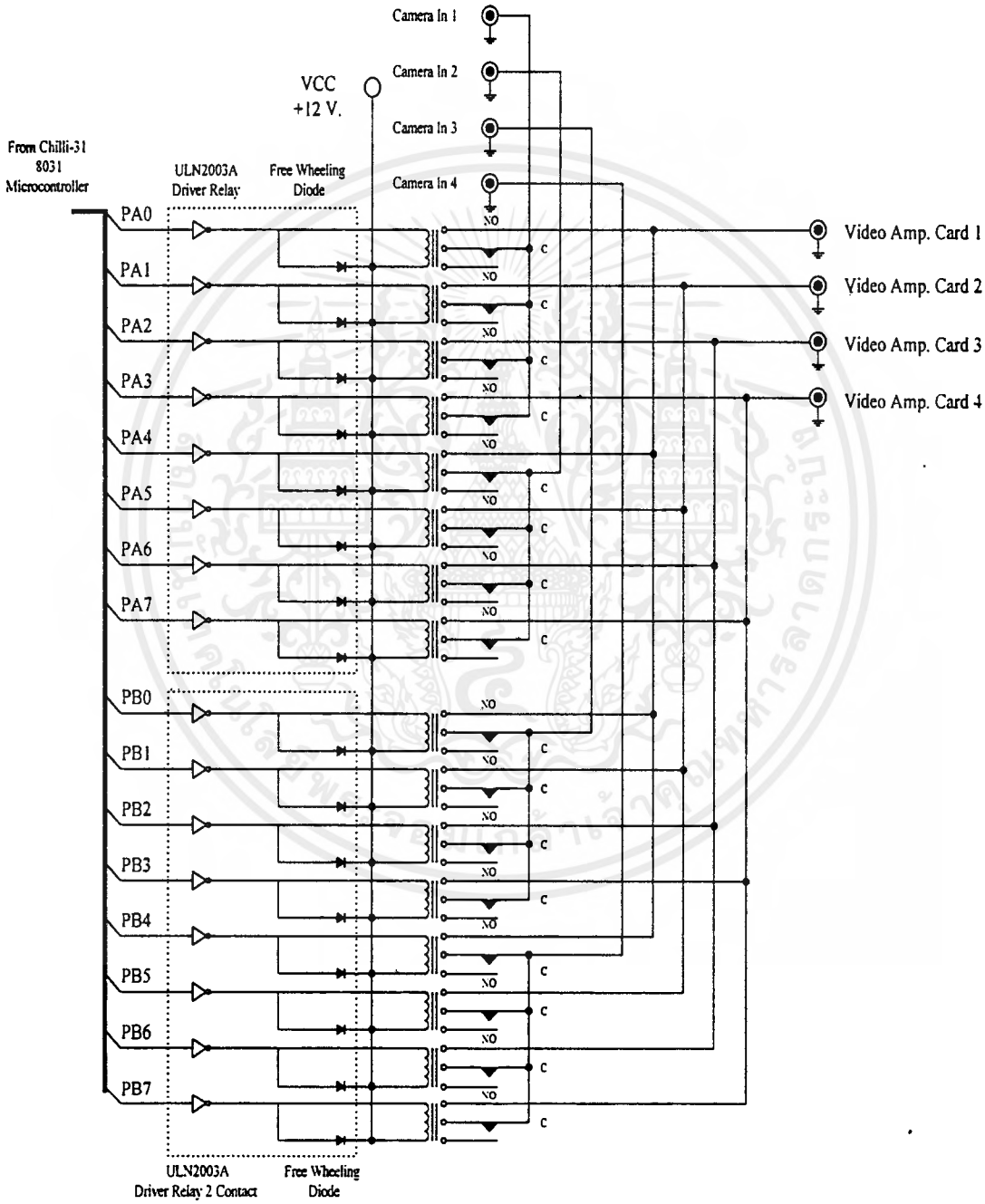
ถ้า Out1 = +0

Out2 = +1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Out3 = +2

  Out4 = +3



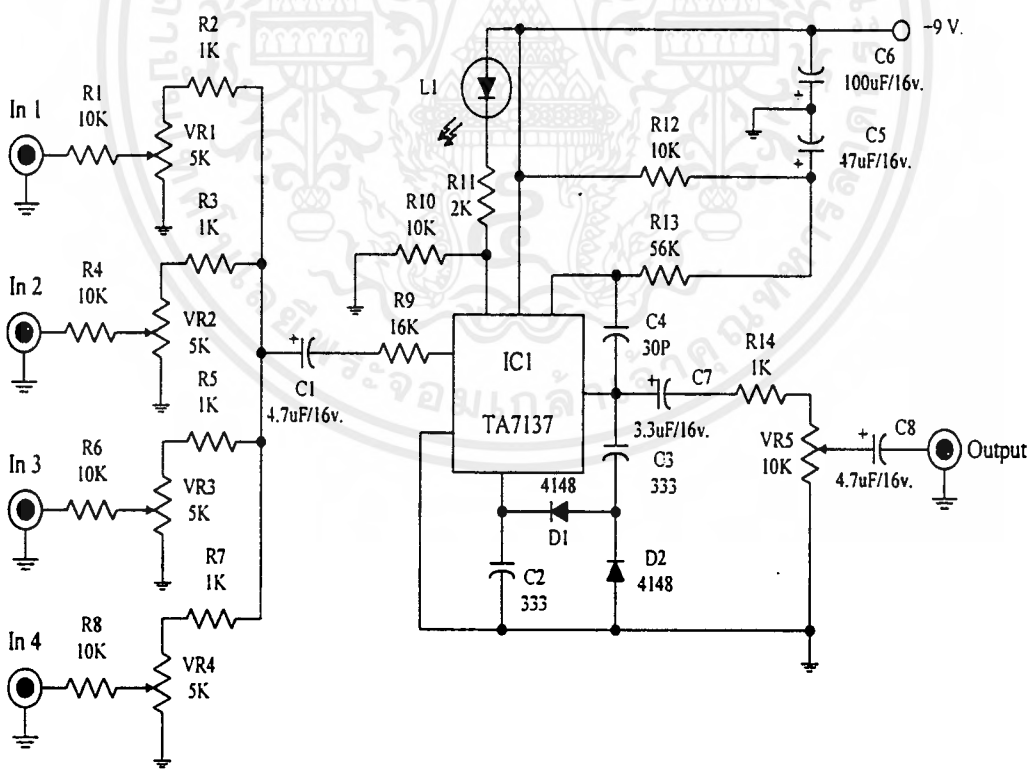
รูปที่ 3.6 วงจรจัดลำดับสัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เช่นถ้าผู้ใช้คนที่ 1 เข้ามาก็จะส่งเซ็นเซอร์มาที่พอร์ตอินพุต ที่เอาต์พุตก็จะเริ่มที่ PA0 และถ้ายังไม่มีใครเข้ามาก็จะให้ PA+0=PA เมื่อ PA ทำงานก็จะส่งสัญญาณให้กับวงจรไดร์เวอร์รีเลย์ เบอร์ ULN2003A ทำงาน สวิตซ์ก็จะต่อทำให้สัญญาณภาพออกที่ช่องสัญญาณที่ 1 จากนั้นถ้าผู้ใช้คนที่ 4 กดรหัสประชุมเซ็นเซอร์ก็จะสั่งให้เริ่มที่ PA4 แต่ถ้ามีผู้ใช้เข้ามาใช้ช่องสัญญาณก่อนแล้วจะได้ PA4+1=PA5 รีเลย์จึงทำงาน สัญญาณจากกล้องตัวที่ 4 จึงผ่านเข้าไปในช่องสัญญาณที่ 2 และจะเรียงลำดับจนครบจึงหยุดการทำงาน

3.2.3 วงจรผสมสัญญาณเสียง

วงจรในชุดนี้สามารถใช้ผสมสัญญาณได้ ถึง 4 ช่อง โดยสัญญาณที่ป้อนเข้ามาในแต่ละช่องนั้น จะเป็นสัญญาณจากไมโครโฟน หรือ Aux. ใดๆ ก็ได้ โดยวงจรแสดงให้เห็นดังรูปที่ 3.7



รูปที่ 3.7 วงจรผสมสัญญาณเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IC_1 จะทำหน้าขยายสัญญาณที่ถูกนำมารวมกันทั้งหมดนี้ แล้วได้สัญญาณเอาต์พุตออกที่ ขา 8 ผ่าน C_7, R_{14} และ VR_5 ซึ่งทำหน้าที่เป็นตัวปรับระดับความแรงของสัญญาณรวมออกไป

C_3, C_2, D_1, D_2 ทำหน้าที่เป็นวงจรฟีดแบ็คเพื่อควบคุมอัตราการขยายของวงจร ให้มีระดับสัญญาณเอาต์พุตคงที่

LED L_1 ทำหน้าที่ประดุจซิกแนลมิเตอร์ โดยจะติดกระพริบตามความแรงของสัญญาณเสียงที่ป้อนเข้ามา

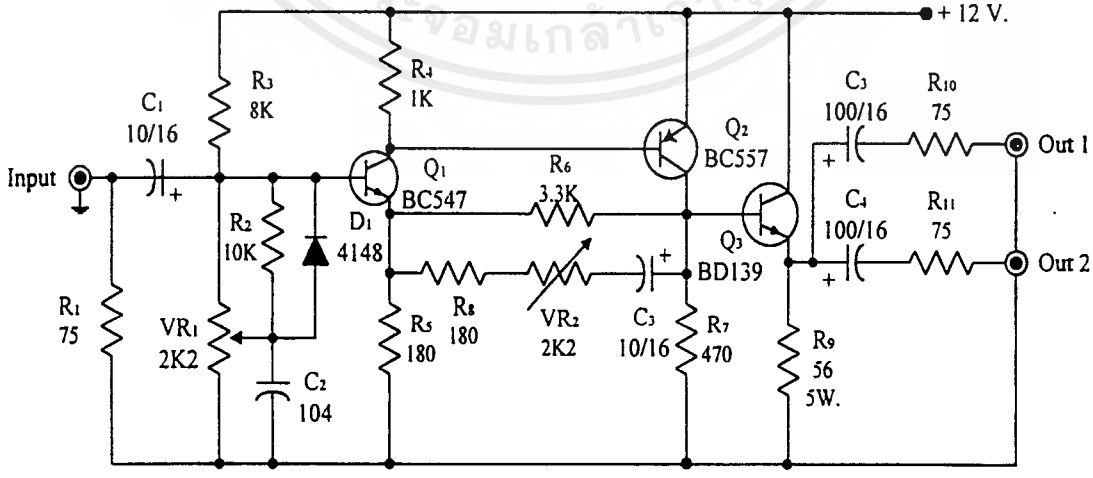
แรงไฟที่ใช้กับวงจรเราเลือกใช้ 9 โวลต์ เพื่อความสะดวกในการใช้งาน

การทำงานของวงจร

สัญญาณอินพุตในแต่ละช่องจะป้อนผ่าน R_1, R_4, R_6, R_8 ตามลำดับเข้ามายังตัวต้านทานปรับค่าได้ VR_1 - VR_4 ซึ่งทำหน้าที่เป็นตัวปรับระดับความแรงของสัญญาณในแต่ละช่อง ให้มีขนาดที่เหมาะสม แล้วป้อนผ่าน C_1, R_9 ไปยังอินพุตของ IC_1

3.2.4 วงจรขยายสัญญาณภาพ

วงจรขยายสัญญาณภาพเป็นวงจรที่ทำหน้าที่ขยายสัญญาณภาพให้แรงขึ้น เป็นการชดเชยการสูญเสียของสัญญาณ และช่วยให้ภาพมีความชัดเจนปราศจากสัญญาณรบกวน



รูปที่ 3.8 วงจรขยายสัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจร

วงจรขยายสัญญาณภาพโดยปกติมักจะออกแบบให้มีอัตราการขยายค่อนข้างต่ำผิดกับวงจาขยายทั่วๆ ไป สำหรับวงจรที่ใช้นี้ได้ออกแบบให้มีอัตราการขยายสูงสุดเพียง 4 เท่า โดยมีค่าอินพุตและเอาต์พุตอิมพีแดนซ์ 75 Ω และมีแบนด์วิดท์กว้างถึง 5 MHz

วงจรนี้จะประกอบด้วยทรานซิสเตอร์ 3 ตัวเท่านั้น โดย Q_1, Q_2 ทำหน้าที่เป็นวงจรขยายสัญญาณ และ Q_3 ทำหน้าที่เป็นวงจรเอาต์พุตแบบอิมิตเตอร์ ฟอลโลเวอร์ (Emitter Follower)

ค่าอินพุตอิมพีแดนซ์ของวงจรจะถูกกำหนดโดยค่า R_1 สัญญาณอินพุตที่ป้อนเข้ามาจะผ่าน C_2 ไปยังเบสของ Q_1 โดยมี VR_1 เป็นตัวตั้งระดับการแกว่งของสัญญาณ

เอาต์พุตที่ได้จาก Q_1 จะต่อไปยังเบสของ Q_2 โดยตรง อัตราการขยายของวงจรจะถูกกำหนดโดยการปรับ VR_2 ซึ่งอยู่ในวงจรฟีดแบ็ค ระหว่างคอลเล็คเตอร์ของ Q_2 ป้อนกลับมายังอิมิตเตอร์ของ Q_1

ทั้งนี้อัตราการขยายจะขึ้นอยู่กับอัตราส่วนระหว่าง R_5 และค่าความต้านทานของ R_6, R_8, VR_2, C_3 จากค่าอุปกรณ์ที่ใช้ในวงจรจะได้อัตราขยายระหว่าง 1.95-8.7 เท่า ดังนั้นที่เอาต์พุตโหลด 75 Ω จะทำให้อัตราการขยายของภาคสุดท้ายลดลงไปครึ่งหนึ่ง จะได้สัญญาณเอาต์พุตเพียง 1-4 เท่า

สำหรับค่า R_9 นั้น อาจเปลี่ยนแปลงให้เหมาะสมกับการใช้งาน เช่น หากต่อเพียงแชนแนลเดียวเดียวให้ใช้ค่า 150 Ω หากต่อ 2 แชนแนล ให้ใช้ค่า 82 Ω ซึ่งจะช่วยให้กระแสในวงจรลดลง

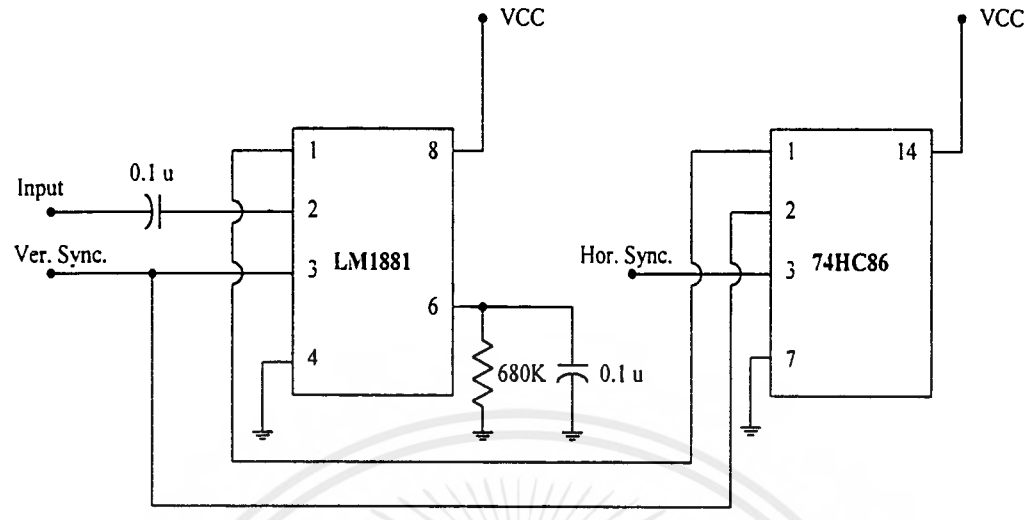
3.2.5 วงจรแยกสัญญาณซิ้งค์

การทำงานของวงจร

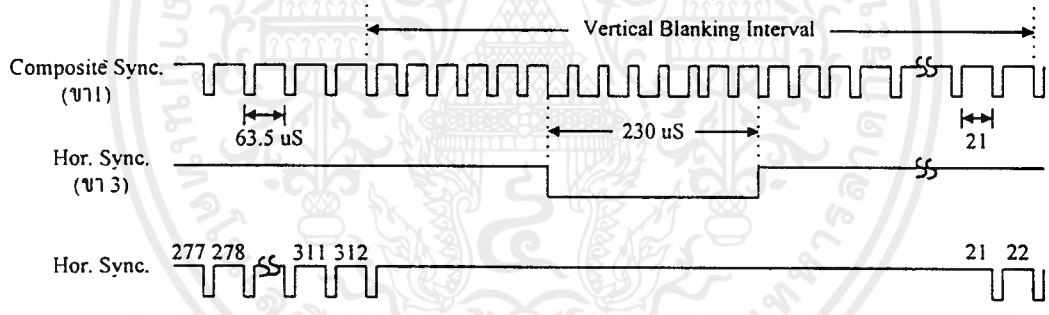
วงจรแยกสัญญาณซิ้งค์ทำหน้าที่แยกเอาสัญญาณต่างๆที่อยู่ในสัญญาณซิ้งค์ออกมา คือ สัญญาณซิ้งค์ทางด้านแนวนอน, สัญญาณซิ้งค์ทางด้านแนวตั้งออกจากสัญญาณภาพรวม เพื่อส่งไปควบคุมวงจรนับตำแหน่ง

ไอซี LM 1881 เป็นไอซีที่ทำหน้าที่แยกสัญญาณภาพรวม ออกมาเป็นสัญญาณต่างๆ ได้แก่ สัญญาณซิ้งค์, สัญญาณซิ้งค์ทางแนวนอน, สัญญาณซิ้งค์ทางแนวตั้ง สัญญาณซิ้งค์ทางแนวตั้งจะถูกส่งออกมาทางขา 3 ของ LM 1881 เมื่อขอบขาขึ้นของสัญญาณซิ้งค์ทางด้านแนวตั้งจากสัญญาณภาพรวมลูกแรกปรากฏขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 วงจรแยกสัญญาณซิ้งค์



รูปที่ 3.10 ผังเวลาการเกิดสัญญาณควบคุมตำแหน่งภาพทางแนวนอน

LM 1881 จะให้สัญญาณเอาต์พุตเข้าจังหวะกับสัญญาณภาพรวม ในสภาวะปกติถูกออกแบบให้ใช้งานกับระบบ NTSC ซึ่งมีความถี่ทางด้านแนวนอนเท่ากับ 15,734 Hz แต่ในวงจรนี้ใช้งานในระบบ PAL จึงต้องตั้งค่าให้มีอัตราความเร็วของความถี่ทางด้านแนวนอนเป็น 15,625 Hz โดยต่อตัวต้านทานค่า 680 KΩ ขนานกับตัวเก็บประจุ 0.1 μF เข้ากับขา 6 เพื่อปรับความถี่ให้ตรงตามมาตราฐานของระบบ PAL ทำให้ได้สัญญาณทางด้านแนวตั้งที่เอาต์พุตขา 3 เข้าจังหวะกับสัญญาณภาพรวม โดยเอาต์พุตของสัญญาณซิ้งค์ลูกแรกจะเกิดขึ้นเมื่อมีอินพุตขอบขาขึ้นของสัญญาณซิ้งค์ทางด้านแนวตั้งเริ่มขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนสัญญาณซิ้งค์ทางด้านแนวนอนได้มาจากการนำเอาสัญญาณซิ้งค์ที่ขา 1 มาผ่านเอ็กซ์คลูซีพออร์เกทกับสัญญาณซิ้งค์ทางด้านแนวตั้งที่ขา 3

จากรูปที่ 3.10 จะเห็นว่าส่วนที่เราต้องการใช้สัญญาณ พัลซ์ทางด้านแนวนอนจริงๆ คือ สัญญาณพัลซ์ทางด้านแนวนอนลูกที่ 22 ถึงลูกที่ 278 ซึ่งเท่ากับ 256 ลูก เท่านั้น เนื่องจากในส่วนของวงจรนับตำแหน่ง จะทำการนับเพียง 256 ตำแหน่ง ต่อจากนั้นก็จะรอสัญญาณซิ้งค์ทางด้านแนวตั้งมาทำการลบล้างตำแหน่งที่นับอยู่ และเริ่มต้นนับตำแหน่งใหม่จนถึง 256 ตำแหน่ง ดังนั้น ช่วงที่เราสนใจคือ (0,0),(1,0) ซึ่งจะได้สภาวะ 0 และ 1 ตามลำดับ ส่วนช่วงที่เป็นสัญญาณซิ้งค์ทางด้านแนวตั้งนั้นไม่สนใจ เพราะวงจรนับตำแหน่งจะทำการปรับแต่งค่าใหม่นั่นเอง และรอจนกระทั่งสัญญาณซิ้งค์ทางด้านแนวตั้งหมดไป จึงเริ่มนับสัญญาณซิ้งค์ทางด้านแนวนอนต่อไป

ดังนั้น จึงได้สัญญาณซิ้งค์ทางด้านแนวนอนออกมาที่เอาต์พุตขา 3 ของไอซีเบอร์ 74HC86

3.2.6 วงจรแปลงสัญญาณแอนาล็อกเป็นสัญญาณดิจิตอล

การแสดงภาพของระบบโทรทัศน์ในหนึ่งภาพจะใช้สองฟิลด์ คือ ฟิลด์คู่ และฟิลด์คี่ ในแต่ละฟิลด์จะใช้จำนวนเส้นในการสแกนเท่ากับ 312.5 เส้น ในงานด้านการประมวลผลภาพไม่ต้องการความละเอียดของภาพเท่ากับของโทรทัศน์ เนื่องจากมีข้อจำกัดด้านหน่วยความจำ โดยจะทำการเก็บเพียง 256 เส้นในหนึ่งฟิลด์ และในแต่ละเส้นจะสุ่มมา 256 ครั้ง โดยการสุ่มในแต่ละครั้งจะใช้หน่วยความจำขนาด 8 บิต ดังนั้น หน่วยความจำที่จำเป็นต้องใช้ในการเก็บข้อมูลหนึ่งฟิลด์ เท่ากับ

$$256 \times 256 \times 8 \text{ bits} = 8 \times 64 \text{ Kbits}$$

สาเหตุที่ใช้หน่วยความจำในการเก็บข้อมูล 1 จุด เท่ากับ 8 บิต ก็เพื่อให้สัญญาณภาพที่ได้มีความละเอียดสูงนั่นเอง ซึ่งจะให้ความละเอียดของสัญญาณภาพแต่ละจุดถึง 256 ระดับ คือ

$$2^8 = 256$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

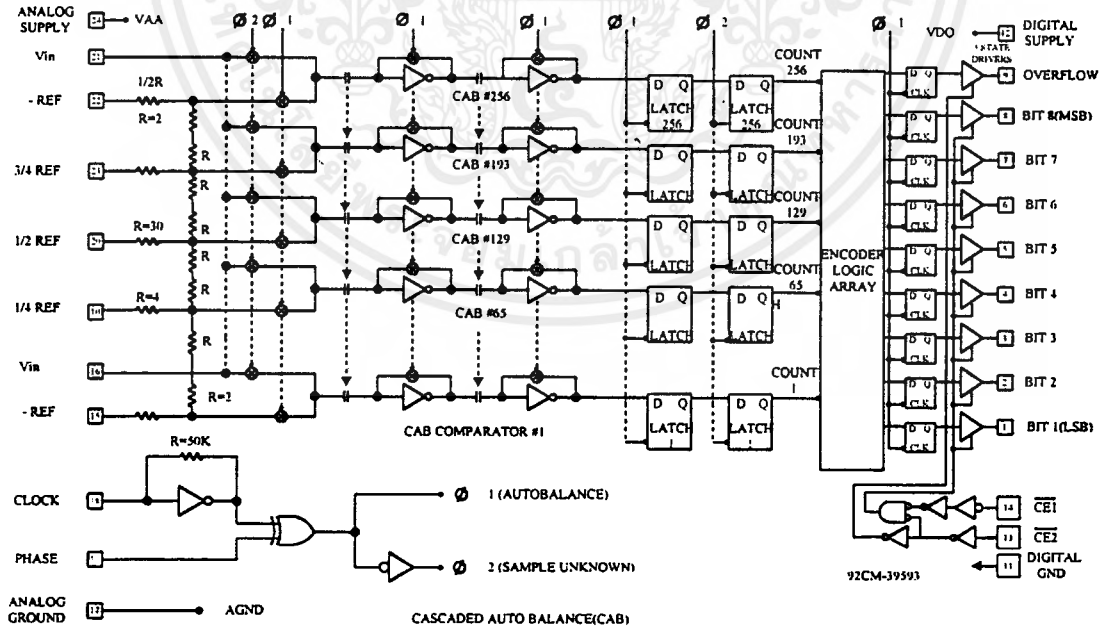
ถ้าขนาดของสัญญาณภาพมีขนาดของแรงดันตั้งแต่ 0 ถึง 1.4 โวลต์ แล้ว ความละเอียดของสัญญาณแต่ละระดับจะเท่ากับ

$$\frac{1.4}{256} = 0.0055 \text{ โวลต์}$$

จะเห็นว่า ความแตกต่างของระดับสัญญาณ 256 ระดับนี้ มีความละเอียดมากพอที่จะแยกความแตกต่างของภาพได้ดี

วงจรแปลงสัญญาณแอนาล็อกเป็นสัญญาณดิจิตอล มีหน้าที่แปลงสัญญาณภาพที่เป็นแอนาล็อกให้เป็นสัญญาณดิจิตอล เพื่อนำไปเก็บไว้ในหน่วยความจำโดยมีขนาด 8 บิต

ในโครงงานนี้ วงจรแปลงสัญญาณแอนาล็อกเป็นสัญญาณดิจิตอลแบบแฟลชขนาด 8 บิต มีความเร็วในการแปลงสัญญาณสูงมาก มีขนาด 24 ขา คำว่า แฟลช เป็นรูปแบบการแปลงสัญญาณแอนาล็อกเป็นสัญญาณดิจิตอลอีกรูปแบบหนึ่งในหลายๆ รูปแบบ ซึ่งแบบแฟลชนี้มีความเร็วในการแปลงสัญญาณสูงกว่าแบบอื่นๆ



รูปที่ 3.11 ผังการทำงานภายในของไอซี CA 3318

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติของไอซี CA 3318

1) ใช้เทคโนโลยี CMOS with SOS Speed

2) ใช้เทคนิคการแปลงข้อมูลแบบขนาน

3) อัตราการแปลงข้อมูล 15 Msps ที่ 5 V.

4) ให้สัญญาณเอาต์พุตขนาด 8 Bits

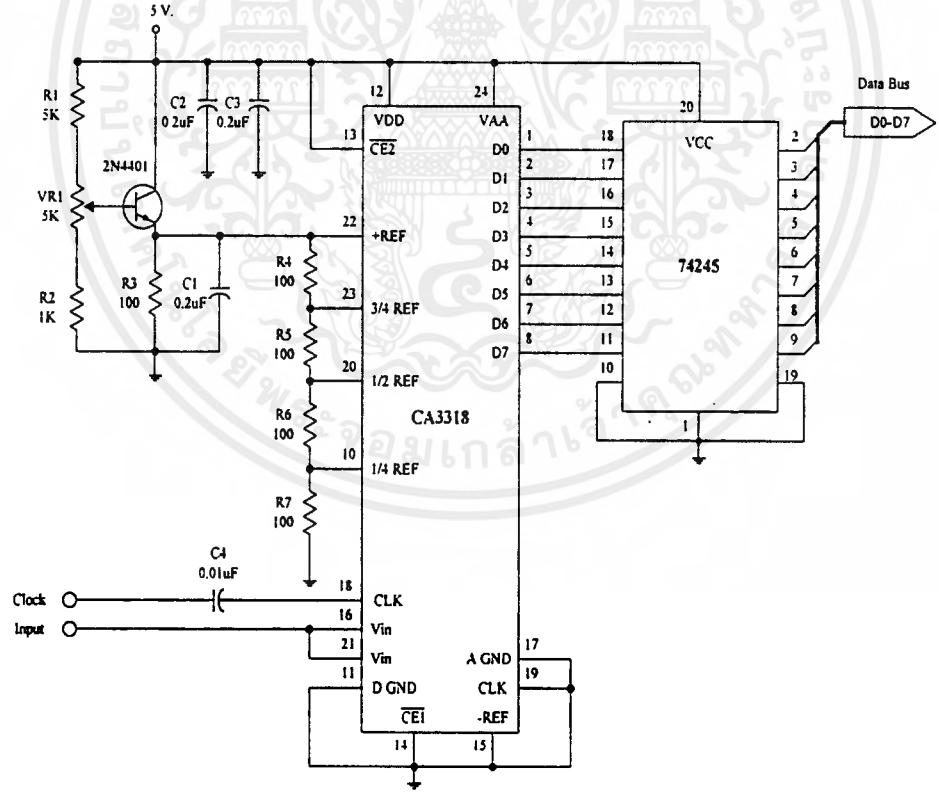
5) ใช้แหล่งจ่ายไฟชุดเดียว 4 ถึง 6.5 V.

6) แยกระบบกราวด์ของสัญญาณแอนาล็อกกับสัญญาณดิจิตอลออกจากกันเด็ดขาด

7) กำลังงานสูญเสีย 200 mW.

8) แรงดันอินพุตอยู่ในช่วง 0 ถึง 6.4 V.

9) สัญญาณนาฬิกา 20 MHz



รูปที่ 3.12 วงจรแปลงสัญญาณแอนาล็อกเป็นสัญญาณดิจิตอล

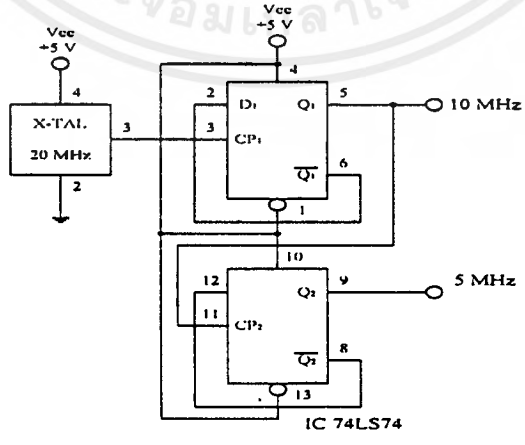
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจร

สัญญาณวิดีโออินพุตจะถูกป้อนเข้าที่ขา 21 และขา 16 ที่ขา 22 จะถูกปรับให้อยู่ในช่วง 5 โวลต์ โดยใช้วงจรควบคุมแรงดันที่ขา 3/4 REF, 1/2 REF และ 1/4 REF จะถูกต่อโดยชุดแบ่งแรงดัน เพื่อเป็นแรงดันให้ชุดสวิตซ์อิเล็กทรอนิกส์ภายในตัวไอซี ซึ่งมีชุดสร้างแรงดันอ้างอิงทั้งทางด้านบวกและด้านลบ โดยภายในไอซีมีชุดสวิตซ์อิเล็กทรอนิกส์อยู่ 256 ชุด โดยจะนำสัญญาณอินพุตมาเปรียบเทียบกับแรงดันอ้างอิงของตัวเปรียบเทียบภายใน ข้อมูลที่ได้จากตัวเปรียบเทียบ (เป็น 0 หรือ 1) ส่งข้อมูลเข้าดีฟลิปฟลอป ทั้ง 256 ชุด โดยตรง เป็นไปในลักษณะตัวเปรียบเทียบชุดที่ 1 ส่งข้อมูลเข้าดีฟลิปฟลอปชุดที่ 1 โดยดีฟลิปฟลอปทำหน้าที่เป็นชิฟต์รีจิสเตอร์ ทำงานในโหมดสัญญาณนาฬิกา (ตอบสนองต่อสัญญาณนาฬิกาเฉพาะช่วงขอบขาขึ้น และขอบขาลงของพัลซ์เท่านั้น) ทำการแลตซ์ (LATCH) ข้อมูลไว้ชั่วขณะ จนกว่าจะมีข้อมูลใหม่เข้ามาจึงจะเลื่อนข้อมูลนั้นส่งเข้าชุดรหัสเพื่อแปลงข้อมูลทั้ง 256 ค่าออกมาเป็นข้อมูลดิจิตอลขนาด 9 บิต (รวมบิตส่วนเกิน) ส่งต่อไปยังเอาต์พุตรีจิสเตอร์ ซึ่งใช้ดีฟลิปฟลอปทำหน้าที่นี้อีกเช่นเคย ก่อนส่งไปยังตัวขับ 3 สถานะเป็นเอาต์พุตต่อไป เอาต์พุตนี้สามารถควบคุมได้ด้วย $\overline{CE}1$ และ $\overline{CE}2$

การทำงานทั้งหมดนี้เราสามารถควบคุมได้ที่ขาควบคุมเฟส (ขา 19)

3.2.7 วงจรผลิตสัญญาณนาฬิกา



รูปที่ 3.13 วงจรผลิตสัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรผลิตสัญญาณนาฬิกานี้จะต้องทำการผลิตสัญญาณนาฬิกา 2 ความถี่ คือ ความถี่ 5 MHz เนื่องจากช่วงเวลาของสัญญาณภาพ 1 เส้น ประมาณ 52-54 μS การที่จะทำการแบ่งให้ได้เท่ากับ 256 จุด จะได้ความถี่ประมาณ 5 MHz และความถี่ 10 MHz เพื่อใช้ในการอ่านข้อมูลจากหน่วยความจำให้เร็วขึ้นเป็น 2 เท่า เพื่อให้ใน 1 เส้นสแกนมีสัญญาณจาก 2 ช่องสัญญาณ

3.2.8 วงจรนับตำแหน่ง

การทำงานของวงจรหน่วยความจำนั้น จำเป็นต้องมีส่วนที่ใช้ในการควบคุมการเขียนข้อมูลภาพลงหน่วยความจำ, การอ่านข้อมูลภาพจากหน่วยความจำ และการกำหนดตำแหน่งของหน่วยความจำ เพื่อให้วงจรหน่วยความจำสามารถทำงานได้อย่างถูกต้อง

ในโครงงานนี้ ส่วนที่ใช้ในการควบคุมการทำงานของหน่วยความจำ เรียกว่า วงจรนับตำแหน่ง โดยวงจรนับตำแหน่งนี้ แบ่งออกเป็น 2 วงจรด้วยกัน คือ

1) วงจรควบคุมการเขียนข้อมูลภาพลงหน่วยความจำ

2) วงจรควบคุมการอ่านข้อมูลภาพจากหน่วยความจำ

วงจรควบคุมการเขียนข้อมูลภาพลงหน่วยความจำ

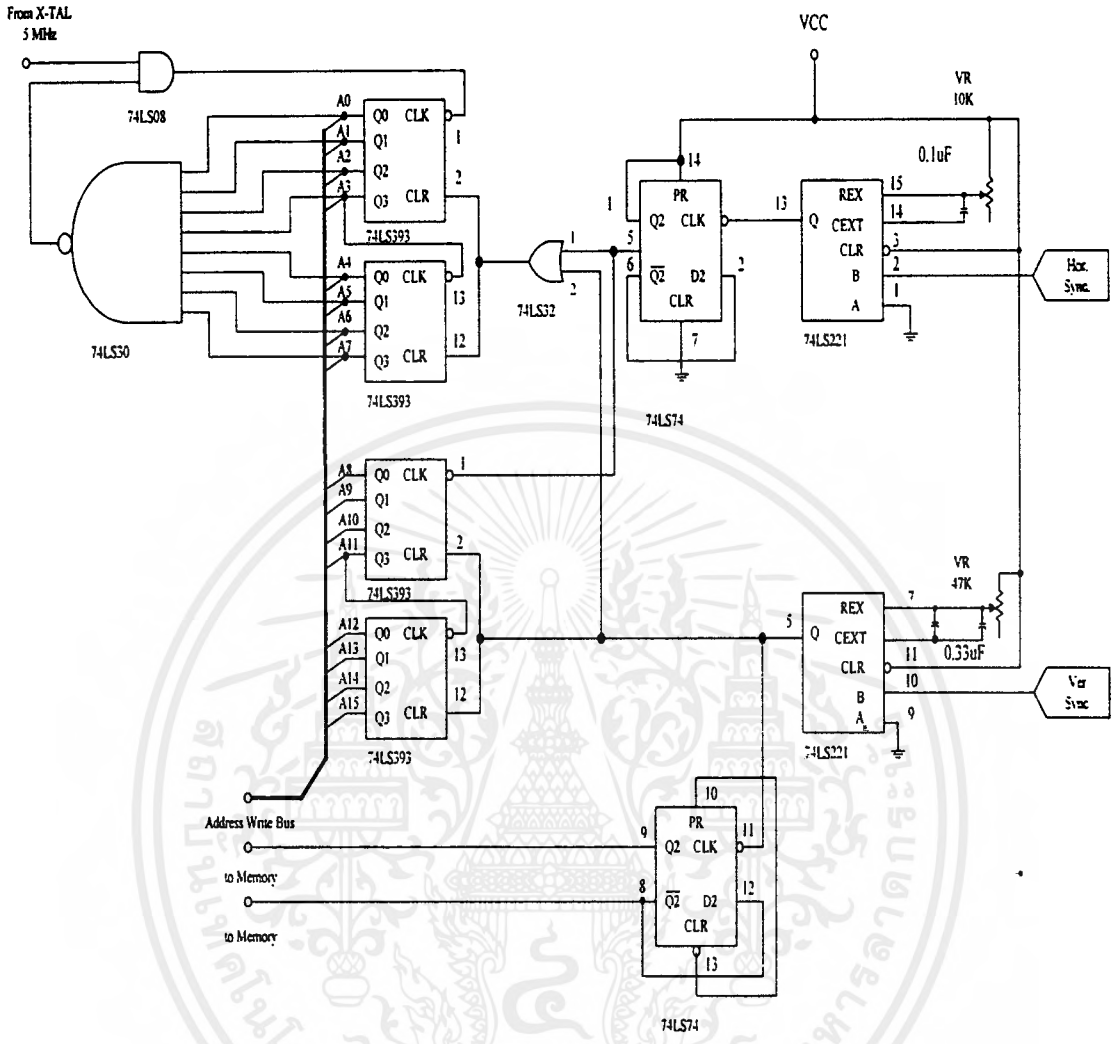
จากรูปที่ 3.14 แบ่งการทำงานออกได้เป็น 2 ส่วน คือ ส่วนที่ใช้หน่วงเวลาสัญญาณซิ้งค์ทางแนวนอน, สัญญาณซิ้งค์ทางแนวตั้ง และส่วนที่ใช้นับตำแหน่งของหน่วยความจำขณะทำการบันทึกข้อมูลภาพ

ส่วนของการหน่วงเวลาสัญญาณซิ้งค์ทางแนวนอนกับสัญญาณซิ้งค์ทางแนวตั้งจะใช้ไอซีเบอร์ 74LS221 ซึ่งภายในตัวไอซีจะประกอบด้วย วงจรโมโนสเตเบิ้ล (Monostable) 2 วงจร

การกำหนดช่วงเวลาที่ต้องการหน่วงทำได้โดยการต่อตัวต้านทานกับตัวเก็บประจุเข้าที่ขา 14 และขา 15 ของไอซีเบอร์ 74LS221 ดังปรากฏในรูปที่ 3.14 ส่วนค่าของความต้านทานกับตัวเก็บประจุสามารถคำนวณหาได้จากสมการ

$$T = 0.69 \times R \times C$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



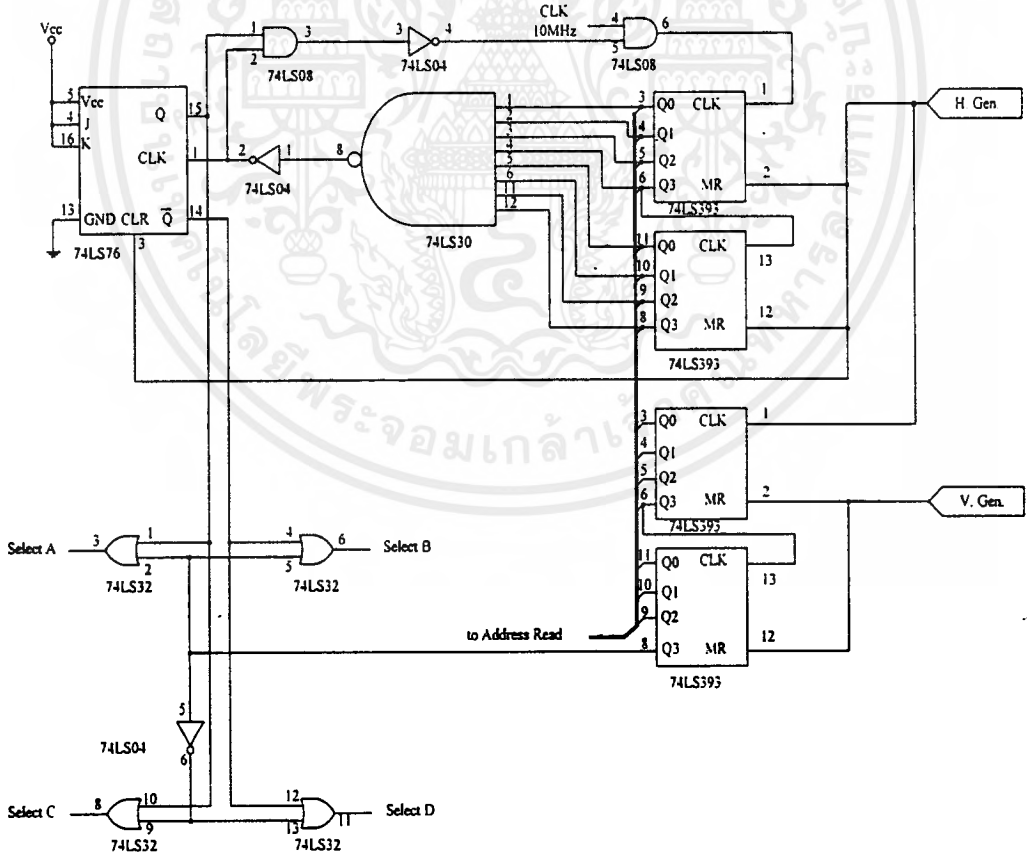
รูปที่ 3.14 วงจรควบคุมการเขียนข้อมูลภาพลงหน่วยความจำ

เมื่อได้สัญญาณซิ้งค์ทางแนวนอน และสัญญาณซิ้งค์ทางแนวตั้งที่ถูกหน่วงเวลาแล้ว จะนำเอาต์พุตที่ได้ไปควบคุมส่วนของการนับตำแหน่งการเขียนข้อมูลภาพลงหน่วยความจำ ส่วนที่ใช้ในการนับตำแหน่งของหน่วยความจำจะใช้ไอซีเบอร์ 74LS393 จำนวน 2 ตัว ซึ่งภายในประกอบด้วย วงจรนับไบนารี (Binary) 4 บิต จำนวน 2 วงจร เข้าด้วยกันจำนวน 2 ชุด โดยในชุดที่ 1 ให้ขา Q_3 ของตัวแรก เป็นขาป้อนสัญญาณนาฬิกา ให้ตัวที่ 2 ในชุดที่ 1 และชุดที่ 2 ขาตำแหน่ง A_0-A_7 จะต่ออยู่กับ ไอซีแนนด์เกต 8 อินพุตโดยที่ขาเอาต์พุตของแนนด์เกต จะต่ออยู่กับแอนด์เกต 2 อินพุตที่แอนด์อยู่กับความถี่ 5 MHz เพื่อเป็นสัญญาณนาฬิกาให้กับวงจรนับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชุดที่ 1 วงจรนับจะนับจาก 00-FF จะทำให้แนนด์เกตมีเอาต์พุตเป็น 1 ตลอดและเมื่อแอนด์กับความถี่ 10 MHz ก็จะได้สัญญาณนาฬิกาให้กับวงจรนับจนเมื่อวงจรนับนับถึง FF จะทำให้สัญญาณนาฬิกาหยุดทำงาน และรอจนกว่าจะมีสัญญาณทางแนวตั้งหรือสัญญาณทางแนวนอนเข้ามาทำการลบล้างให้เริ่มนับใหม่ สัญญาณทางด้านแนวนอนที่ถูกหน่วงเวลามาแล้ว จะต้องนำมาหาร 2 ก่อนเพื่อจะนำมาเป็นสัญญาณนาฬิกาให้วงจรนับส่วนที่ 2 ในตำแหน่ง A_8-A_{14} จะใช้สัญญาณซิ้งค์ทางแนวตั้งเป็นตัวลบล้างการนับ สัญญาณซิ้งค์ทางแนวตั้งจะถูกนำมาเป็นสัญญาณนาฬิกาให้กับท็อกเกิ้ล (Toggle) เพื่อนำเอาต์พุต Q และ $\overline{Q}$ ไปควบคุมการทำงานของวงจรหน่วยความจำต่อไป

วงจรควบคุมการอ่านข้อมูลภาพจากหน่วยความจำ



รูปที่ 3.15 วงจรควบคุมการอ่านข้อมูลภาพจากหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรควบคุมการอ่านนั้นมีส่วนคล้ายคลึงกับวงจรควบคุมการเขียน แต่จะมีส่วนที่เพิ่มจากวงจรควบคุมการเขียนคือ ชุดที่ใช้ควบคุมการเลือกการทำงานให้กับวงจรหน่วยความจำให้ทำงานกันตามลำดับ โดยใช้ฟลิปฟลอปเป็นตัวเลือก CS ของหน่วยความจำ

การทำงานของวงจรจะใช้ไอซี 74LS393 เป็นตัวนับ 00-FF สองชุด ในชุดที่หนึ่งนั้นจะใช้สัญญาณนาฬิกา 10 MHz เพื่อให้ได้ความเร็วเป็นสองเท่าของการเขียนทำให้วงจรนับแค่ 256 จุดทางแนวตั้ง และ 128 จุดทางแนวนอน โดยใช้สัญญาณซิ้งค์ทางแนวนอนเป็นตัวคอยลบล้างการอ่านและใช้ฟลิปฟลอปที่ทำงานเป็นท็อกเกิ้ล มาควบคุมการอ่าน เมื่อวงจรนับนับถึง FF แอนด์เกตจะให้สัญญาณนาฬิกากับฟลิปฟลอป เพื่อสลับการทำงานของวงจรชุดหน่วยความจำ ส่วนในวงจรนับชุดที่สองจะใช้สัญญาณซิ้งค์ทางแนวนอนเป็นสัญญาณนาฬิกา ที่นับจาก A_8-A_{14} และใช้ A_{15} เป็นตัวควบคุมการทำงานของชุดหน่วยความจำและใช้สัญญาณซิ้งค์ทางแนวตั้ง เป็นตัวลบล้างการนับเพื่อเริ่มต้นการทำงานใหม่

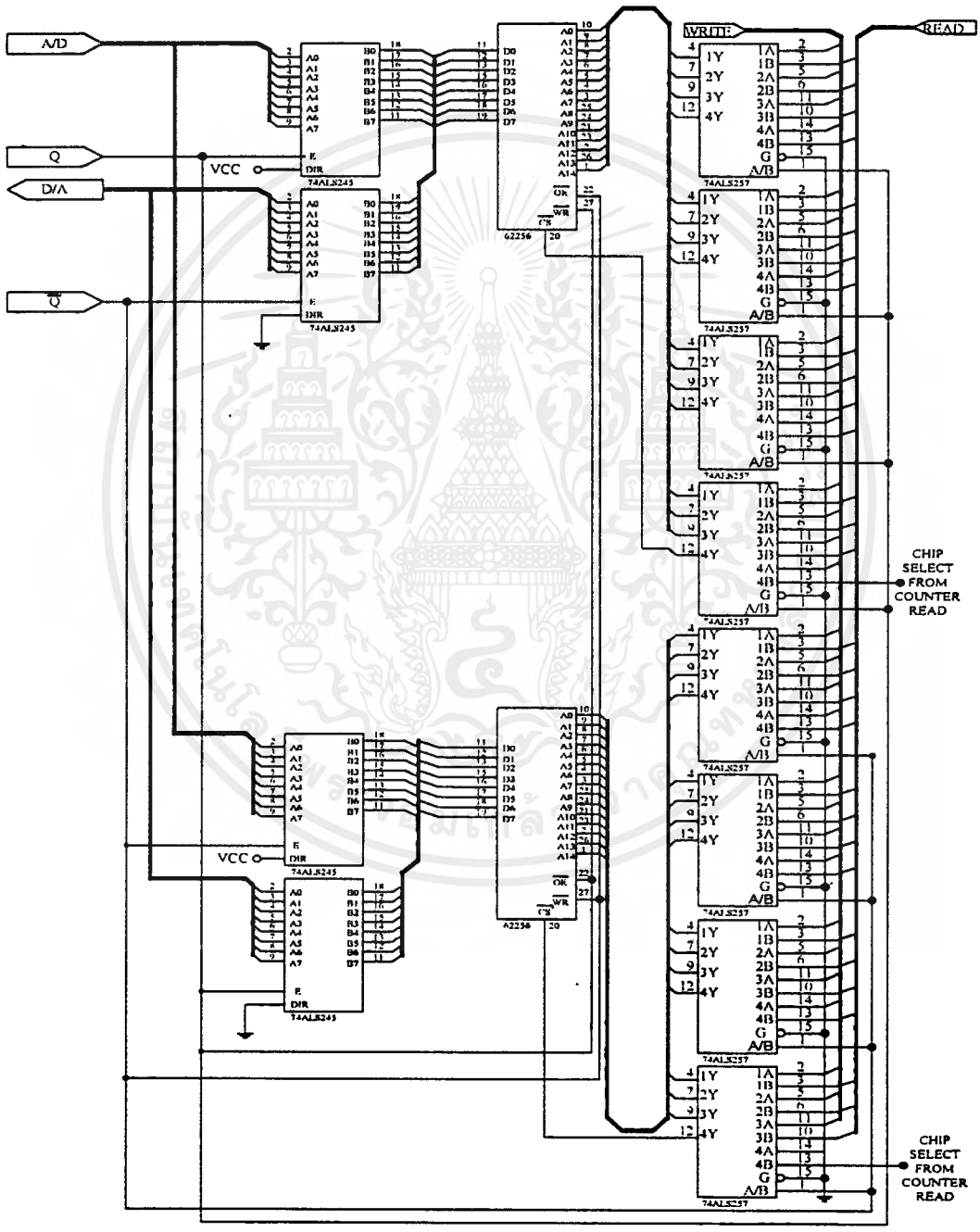
3.2.9 วงจรหน่วยความจำ

วงจรหน่วยความจำ ประกอบด้วยหน่วยความจำสองชุด ชุดละ 1 ตัว ซึ่งหน่วยความจำแต่ละชุดจะสลับกันทำงาน โดยถ้าหน่วยความจำชุดที่ 1 ทำการอ่านข้อมูลภาพ หน่วยความจำชุดที่ 2 จะทำการเขียนข้อมูล ในภาคหน่วยความจำนี้จะถูกควบคุมให้ทำงานจากขา Q, $\overline{Q}$ และ $\overline{CS}$

ขา Q และ $\overline{Q}$ ที่ได้จากวงจรแยกสัญญาณซิ้งค์ เป็นขาควบคุมการสลับกันทำงานของหน่วยความจำให้ทำงานอยู่ตลอดเวลา เมื่อขา Q อยู่ในสภาวะ 1 สัญญาณ 1 จะทำให้ IC74257 เลือกตำแหน่งของการเขียนให้หน่วยความจำชุดแรก และที่หน่วยความจำชุดล่างจะถูกควบคุมด้วยขา $\overline{Q}$ เมื่อ Q เท่ากับ 1 $\overline{Q}$ จะมีค่าตรงข้ามกับ Q เสมอ จะทำให้ IC74257 ชุดล่างเลือกตำแหน่งการอ่านภาพแต่การอ่านภาพก็ยังถูกควบคุมด้วยขา $\overline{CS}$ จากวงจรอ่านภาพเพื่อที่จะสลับการแสดงผลออกหน้าจอ สัญญาณ Q จะถูกส่งไปควบคุมการอีนาเบิ้ลของ IC74245 เพื่อกำหนดการนำข้อมูลเข้า ที่มาจากการแปลงสัญญาณภาพ เป็นข้อมูลดิจิตอล หรือจะนำข้อมูลที่ถูกเขียนลงหน่วยความจำแล้วออกไปยังวงจรแปลงข้อมูลดิจิตอลเป็นแอนาล็อกอีกครั้ง เพื่อจะแสดงผลออกไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของหน่วยความจำจะทำการเขียนข้อมูลภาพก็ต่อเมื่อมีสัญญาณมาที่ขา WR และอ่านข้อมูลภาพเมื่อมีสัญญาณมาที่ขา $\overline{OE}$ จากที่กล่าวว่าหน่วยความจำจะทำงานสลับกัน ดังนั้นที่ขา WR และ $\overline{OE}$ จะต้องมีสภาวะตรงข้ามกันเสมอ

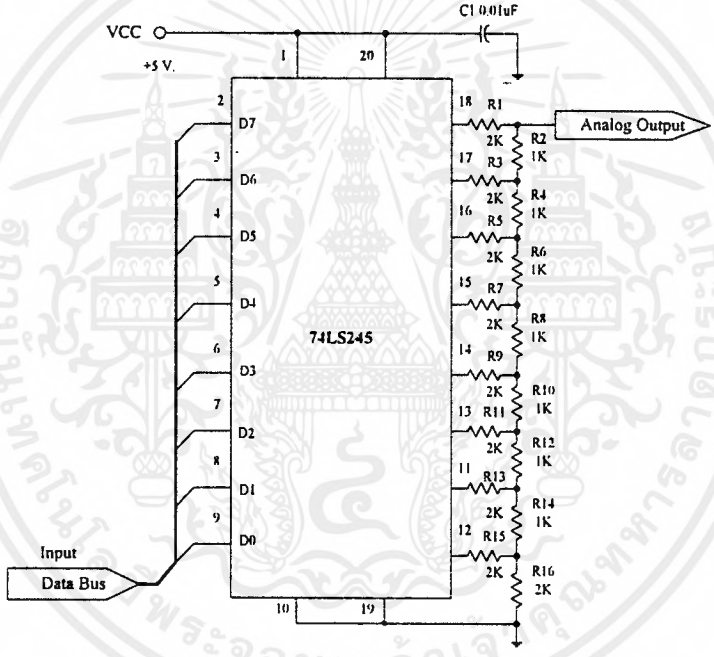


รูปที่ 3.16 วงจรหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.10 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนาล็อก

วงจรนี้ทำการแปลงสัญญาณดิจิตอลที่ได้จากภาคหน่วยความจำในจังหวะที่หน่วยความจำทำการอ่านข้อมูลภาพให้เป็นสัญญาณแอนาล็อก โดยสัญญาณดิจิตอลจะผ่าน DATA BUFFER (ไอซี 74LS245) ก่อนที่จะเข้าสู่กระบวนการแปลงสัญญาณ ในโครงงานนี้ใช้วงจรข่ายบันไดแบบ R-2R เพราะมีประสิทธิภาพที่ดีในการใช้งานที่ความถี่สูง และมีราคาถูก ดังแสดงในรูปที่ 3.17



รูปที่ 3.17 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนาล็อก

จากวงจรนี้ เอาต์พุตของวงจร R-2R จะสามารถให้ความแตกต่างของระดับสัญญาณได้ 256 ระดับ ซึ่งผลรวมของแรงดันเอาต์พุตที่ได้จากบิตต่างๆ สามารถหาได้จากสมการ

$$Va = \frac{\left[V_0(2^0)+V_1(2^1)+V_2(2^2)+V_3(2^3)+.....+V_n(2^n)\right]}{2^n}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

n = จำนวนอินพุตที่ใช้

$V_0, V_1, V_2, V_3, ..., V_n$ = ระดับของแรงดันที่อินพุต (0 หรือ 1)

สัญญาณดิจิตอลเมื่อถูกแปลงเป็นสัญญาณแอนาล็อกแล้วจะถูกส่งไปยังวงจรผสมสัญญาณรวมกับสัญญาณควบคุมตำแหน่งภาพ และสัญญาณลบเส้นสะบัดกลับ เพื่อสร้างเป็นสัญญาณภาพรวมต่อไป

3.2.11 วงจรผลิตสัญญาณซิ้งค์

เนื่องจากในขณะบันทึกภาพลงในหน่วยความจำนั้น เราไม่ได้ทำการบันทึกสัญญาณในส่วนของสัญญาณซิ้งค์ เพื่อประหยัดขนาดของหน่วยความจำ ดังนั้น ในการที่จะนำข้อมูลภาพออกมาเพื่อสร้างเป็นสัญญาณภาพรวม จึงต้องเป็นสัญญาณซิ้งค์ขึ้นมาใหม่

การทำงานของวงจร

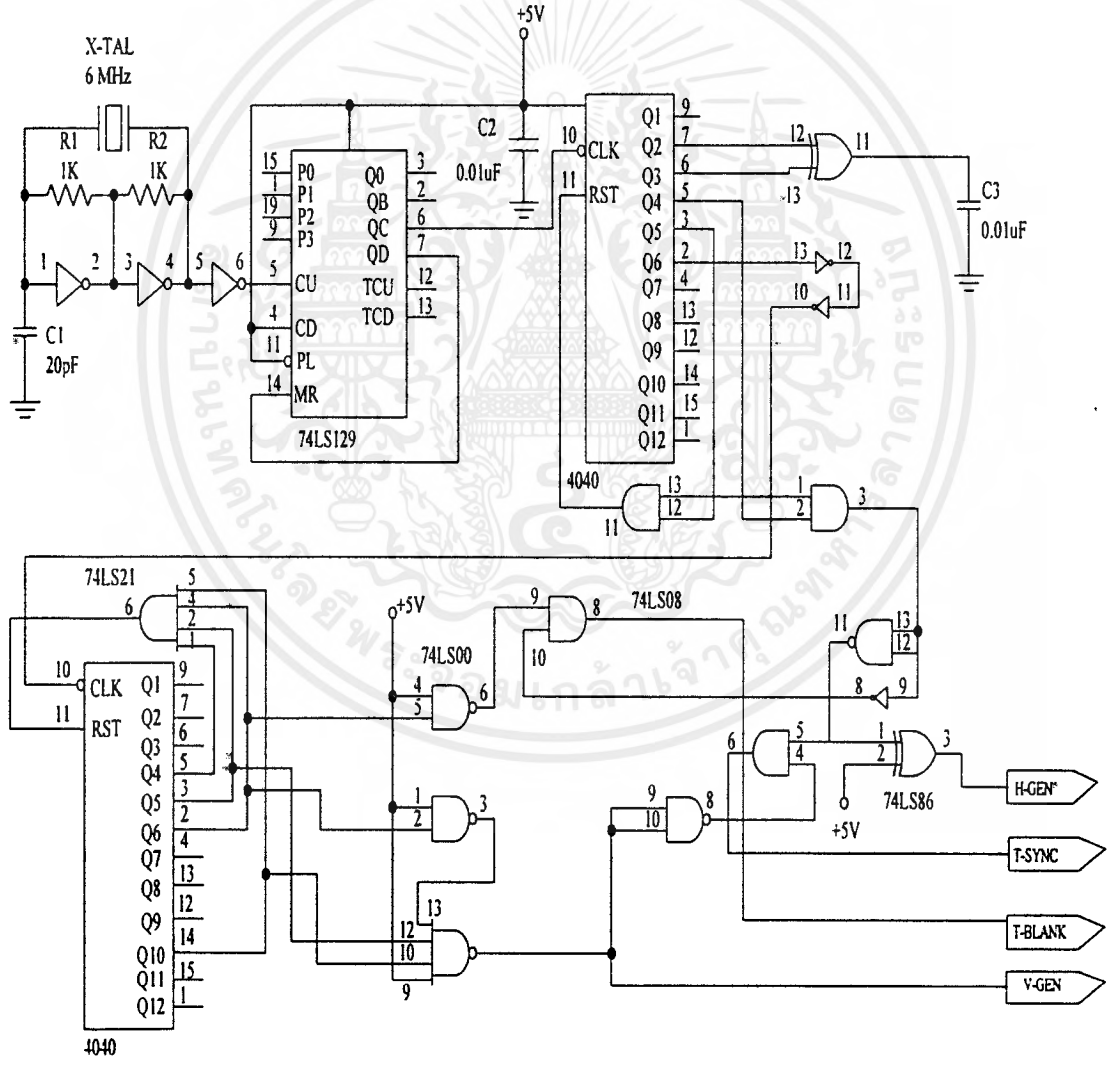
สัญญาณนาฬิกา 6 MHz ที่ผลิตเกิดจากคริสตัล 6 MHz และนอทเกต ป้อนเข้าไอซี 74193 โดยจัดให้เป็นวงจรหาร 8 คือจะปรับตั้งค่าใหม่ทุกขาให้เป็น 0 หมดทุกๆ 8 ลูกของสัญญาณนาฬิกา 6 MHz ดังนั้นที่ขา Q_c (ขา 6) จะได้ความถี่ 6 MHz/8 = 750 KHz ออกมา นำความถี่ 750 KHz นี้ไปป้อนเข้ากับขา clock ของไอซี 4040 ซึ่งถูกจัดวงจรให้เป็นวงจรหาร 48 โดยนำขา Q_5 มาแอนด์กับ Q_6 เพื่อนำไปเป็นตัวปรับตั้งค่าใหม่ทุกๆ 48 ลูกคลื่นจะได้ความถี่เอาต์พุตเป็น 15,625 Hz ความถี่นี้จะถูกสร้างเป็นสัญญาณลบเส้นสะบัดกลับทางด้านแนวนอนและสร้างเป็นสัญญาณซิ้งค์ทางด้านแนวนอน

สัญญาณลบเส้นสะบัดกลับทางด้านแนวนอน เกิดจากการนำขา Q_4 และ Q_6 ของไอซี 4040 มาแอนด์กัน จะได้สัญญาณลบเส้นสะบัดกลับทางด้านแนวนอน ซึ่งมีช่วงเวลาการทำงานประมาณ 10 μS ส่วนสัญญาณซิ้งค์ทางด้านแนวนอนเกิดจากการนำขา Q_2 มาเอ็กซ์คูลซีพออร์กับ Q_3 นำมาแอนด์กับสัญญาณลบเส้นสะบัดกลับทางด้านแนวนอน แล้วกลับสัญญาณอีกทีหนึ่งได้ความถี่ 15,625 Hz มีช่วงเวลาทำงานประมาณ 50 Hz เพื่อสัญญาณลบเส้นสะบัดกลับแนวตั้งและสร้างเป็นสัญญาณซิ้งค์ทางด้านแนวตั้ง

สัญญาณลบเส้นสะบัดกลับแนวตั้ง ได้มาจากเอาต์พุตที่ขา Q_9 ซึ่งมีช่วงเวลาเป็นสภาวะ 1 ประมาณ 3.584 mS สัญญาณลบเส้นสะบัดกลับทางแนวตั้งได้มาจากผลของเอาต์พุตที่ขา Q_5, Q_6 และ Q_9 ซึ่งมีช่วงเวลาเป็นสภาวะ 1 ประมาณ 1 mS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นำสัญญาณลบเส้นสะบัดกลับแนวตั้งมาแอนด์กับสัญญาณลบเส้นสะบัดกลับทางด้านแนวนอน จะได้สัญญาณลบเส้นสะบัดกลับรวม และนำสัญญาณซิ้งค์แนวตั้งมาแอนด์กับสัญญาณซิ้งค์ทางด้านแนวนอนได้เป็นสัญญาณควบคุมตำแหน่งภาพรวม ซึ่งสัญญาณลบเส้นสะบัดกลับรวม และสัญญาณควบคุมตำแหน่งภาพรวม จะถูกส่งไปยังวงจรรวมสัญญาณ ส่วนสัญญาณซิ้งค์ทางด้านแนวตั้ง และสัญญาณซิ้งค์ทางด้านแนวนอนจะถูกส่งไปใช้ในส่วนของวงจรถอดรหัส เพื่อใช้ในการควบคุมหน่วยความจำต่อไป



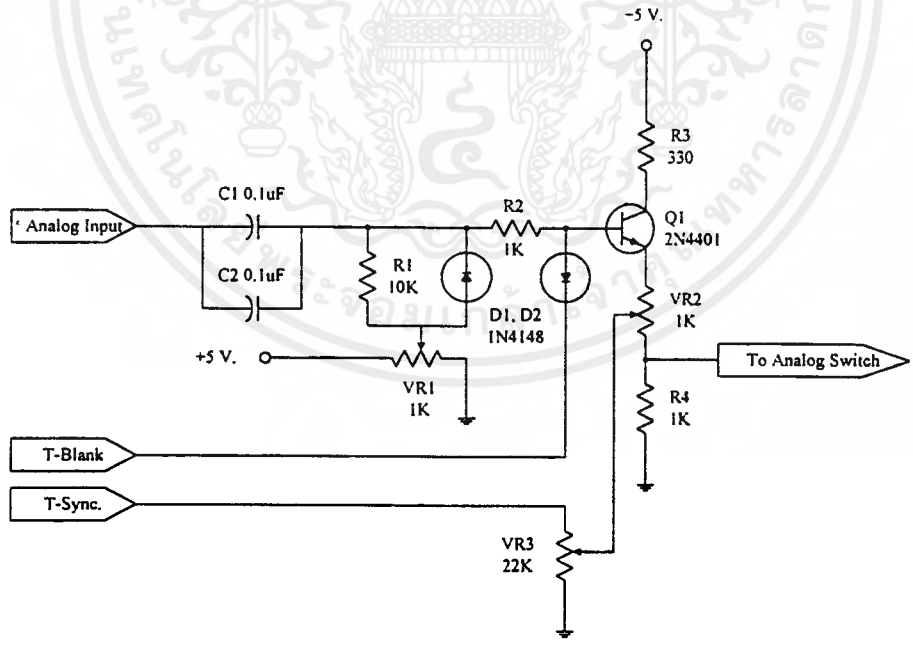
รูปที่ 3.18 วงจรผลิตสัญญาณซิ้งค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.12 วงจรผสมสัญญาณภาพ

สัญญาณแอนาล็อกที่ได้มาจากวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนาล็อนั ้น จะมีเพียงแต่สัญญาณภาพเท่านั้น ยังไม่สามารถนำไปแสดงผลออกจอโทรทัศน์ได้ จึงต้องนำสัญญาณภาพมารวมกับสัญญาณควบคุมตำแหน่งภาพรวม และสัญญาณลบเส้นสะบัดกลับรวม เพื่อให้ได้เป็นสัญญาณภาพรวม ที่มีระดับสัญญาณประมาณ 2 V_{p-p}

จากวงจรสัญญาณควบคุมตำแหน่งภาพรวม และสัญญาณลบเส้นสะบัดกลับรวมจะถูกรวมกันเป็นสัญญาณซิ้งค์รวม และถูกกลับเฟสสัญญาณ ก่อนที่จะรวมกับสัญญาณภาพที่ขาของทรานซิสเตอร์ เพื่อทำการขยายแบบคอมม่อนอิมิตเตอร์ เอาต์พุตออกทางขาอิมิตเตอร์ จะได้สัญญาณภาพรวมประมาณ 2 V_{p-p} สามารถส่งเข้าโทรทัศน์ได้ทางช่องสัญญาณ AV หรือนำไปผ่านวงจรการมอดดูเลตสัญญาณก่อน เพื่อให้ได้เป็นความถี่วิทยุ แล้วส่งออกไปยังโทรทัศน์ทั้ง 4 เครื่อง ตามสถานที่ต่างๆ



รูปที่ 3.19 วงจรผสมสัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

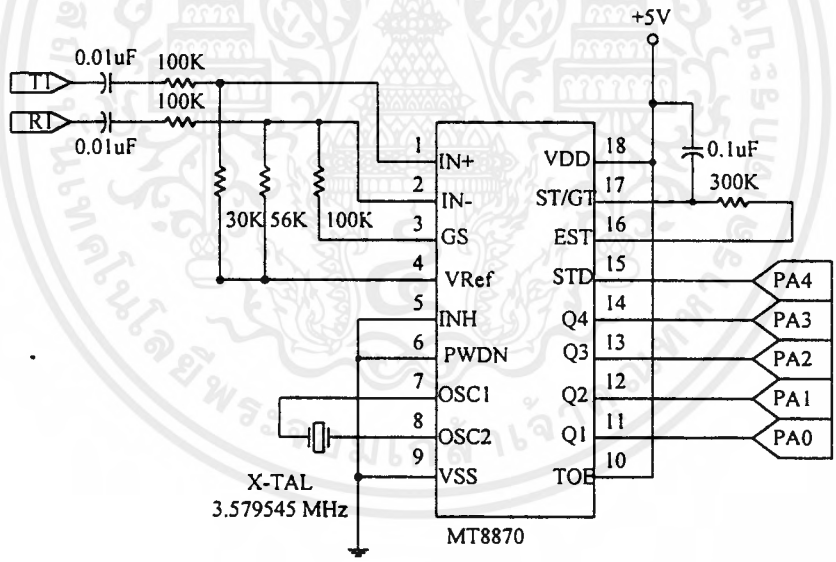
การทดลองและผลการทดลอง

ในบทนี้จะกล่าวถึง ผลการทดลองของเครื่องระบบการประชุมทางโทรภาพแบบ 4 ผู้ใช้ หลังจากที่ได้ทำการประกอบวงจรตามส่วนต่างๆ ในบทที่ 3 เข้าด้วยกันทั้งหมด แล้วทำการทดลอง โดยมีผลการทดลองดังนี้

4.1 การทดลองชุดถอดรหัสสัญญาณความถี่คู่ (DTMF Decoder)

ขั้นตอนการทดลอง

ขั้นตอนที่ 1 ประกอบวงจรตามรูปที่ 4.1



รูปที่ 4.1 วงจรถอดรหัสสัญญาณความถี่คู่

ขั้นตอนที่ 2 ตรวจสอบความถูกต้องของวงจรที่ต่อ แล้วต่อวงจรชุดหมุนรหัสสัญญาณความถี่คู่พร้อมหน้าปัดโทรศัพท์ (Key) เข้าด้วยกัน โดยนำสัญญาณเอาต์พุตชุดหมุนรหัสสัญญาณความถี่คู่มาเข้าที่อินพุตของ ICMT8870 (ขา IN+ และ ขา IN-) แทนคู่สายโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนที่ 3 ต่อเอาต์พุตที่ขา Q เข้ากับ LED เพื่อแสดงผลของค่าที่กดทางหน้าปัทม์โทรศัพท์

ขั้นตอนที่ 4 กดหมายเลขที่หน้าปัทม์โทรศัพท์จะเห็น LED สว่างขึ้นเป็นค่าของเลขฐานสอง ขนาด 4 บิต ตามค่าของหมายเลขที่กดมาแล้วค้างอยู่จนกว่าจะมีการกดหมายเลขอื่นเข้ามาจึงจะเปลี่ยน

เลขหมายหน้าปัดโทรศัพท์	เอาต์พุต (Q3, Q2, Q1, Q0)	เลขฐานสิบ
1	0001	1
2	0010	2
3	0011	3
A	-	-
4	0100	4
5	0101	5
6	0110	6
B	-	-
7	0111	7
8	1000	8
9	1001	9
C	-	-
*	1011	11
0	1010	10
#	1100	12
D	-	-

ตารางที่ 4.1 ผลการทดลองวงจรถอดรหัสสัญญาณความถี่คู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลอง

จากการทดลอง เมื่อต่อวงจรเสร็จแล้วให้ทดลองกดหมายเลขที่หน้าปัทม์โทรศัพท์ จะเห็น LED ที่ต่ออยู่ที่เข้าเอาต์พุต Q ของ ICMT8870 สว่างขึ้น เป็นระบบเลขฐานสองขนาด 4 บิต ซึ่งเมื่อแปลงเป็นเลขฐานสิบแล้วจะให้ค่าตรงตามค่าที่กดหมายเลขมา ทำให้ทราบว่าผู้เรียกกดหมายเลขใดมา ดังแสดงในตารางที่ 4.1

4.2 การทดลองวงจรแปลงสัญญาณแอนาล็อกเป็นสัญญาณดิจิตอล

ขั้นตอนการทดลอง

1) ประกอบวงจรส่วนต่างๆ ทั้งหมดที่ได้กล่าวไว้ในบทที่ 3 เข้าด้วยกัน

2) ตรวจสอบความเรียบร้อยทั้งหมด

3) ป้อนสัญญาณภาพให้วงจร (จากกล้อง CCD)

รูปที่ 4.2 อินพุตที่ให้กับวงจรจำนวน 1 สัญญาณภาพ

ผลการทดลอง

จากการทดลองเมื่อต่อวงจร และป้อนสัญญาณอินพุต ให้กับวงจรแปลงสัญญาณแอนาล็อกเป็นสัญญาณดิจิตอล จะได้ผลดังแสดงในรูปที่ 4.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.3 เอาต์พุตที่ปรากฏหน้าจอโทรทัศน์

จากรูปจะเห็นได้ว่า รายละเอียดจุดสีขาว-ดำของภาพลดลง เนื่องจากการปรับระดับแรงดันอ้างอิงยังไม่ดีนัก

4.3 การทดลองวงจรจัดลำดับสัญญาณภาพ

เนื่องจากวงจรจัดลำดับสัญญาณภาพจะทำงานโดยสมบูรณ์ได้ ก็ต่อเมื่อมีสัญญาณภาพเข้ามาพร้อมกัน 4 ผู้ใช้ แต่การทดลองนี้ใช้กล้อง CCD 2 ตัว และใช้โทรทัศน์สีที่มี ช่อง AV 2 ช่อง เพื่อการทดสอบวงจรว่าทำงานได้หรือไม่

ขั้นตอนการทดลอง

1) ต่อสัญญาณอินพุตที่มาจากกล้องให้พร้อมที่ช่องสัญญาณเข้า

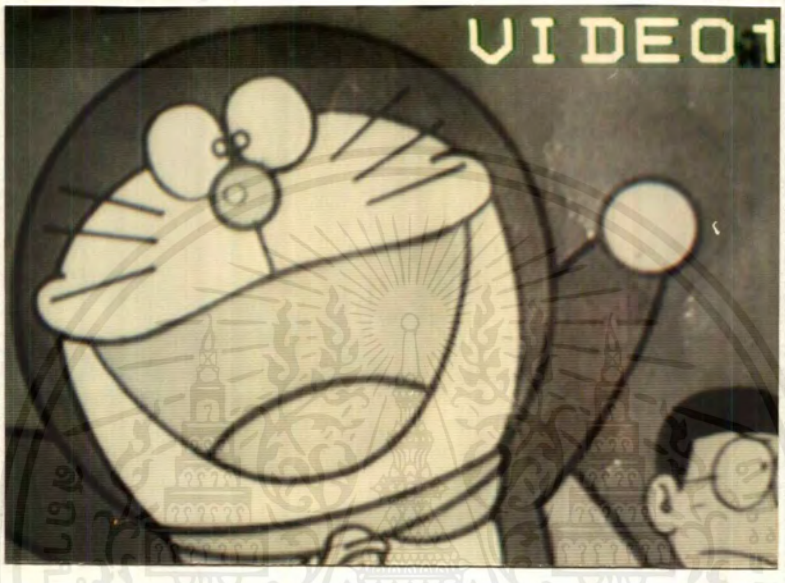
2) ต่อสัญญาณเอาต์พุตจากวงจรขยายสัญญาณภาพ ไปเข้าที่ช่อง AV IN ทั้งสองช่องของโทรทัศน์

3) ที่เซ็นเซอร์ทั้ง 4 สถานีต้องต่อไว้เพื่อทดสอบสภาวะการทำงาน

4) เปิดเครื่องทดสอบการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5) ปิดเซ็นเซอร์ทีละตัวแล้วสังเกตว่าที่จอภาพ VIDEO 1 มีภาพปรากฏหรือไม่ ลองปิดเซ็นเซอร์จนครบทั้ง 4 สถานี แล้วปรับเครื่องรับโทรทัศน์ไปดูที่ VIDEO 2 ว่ามีภาพปรากฏที่หน้าจอหรือไม่



รูปที่ 4.4 สัญญาณภาพใน VIDEO 1 ที่เกิดจากการผ่านวงจรจัดลำดับสัญญาณภาพ

รูปที่ 4.5 สัญญาณภาพใน VIDEO 2 ที่เกิดจากการผ่านวงจรจัดลำดับสัญญาณภาพ

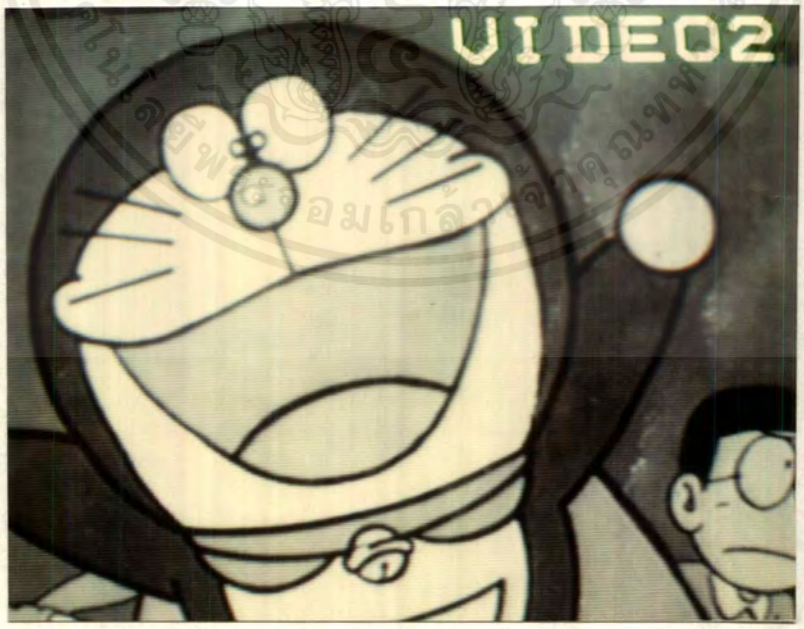
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6) จดบันทึกว่าในครั้งที่แรก ภาพจากกล้องตัวใดปรากฏอยู่ที่ VIDEO 1 หรือ VIDEO 2

7) ทำการทดลองซ้ำกับครั้งแรก โดยสลับการปลดเซ็นเซอร์ไม่ให้เหมือนกับครั้งแรก

8) สังเกตที่จอภาพแล้วบันทึกผล

รูปที่ 4.6 สัญญาณภาพใน VIDEO 1 ที่เกิดจากการสลับช่องแล้ว



รูปที่ 4.7 สัญญาณภาพใน VIDEO 2 ที่เกิดจากการสลับช่องแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลอง

การทดลองจากรูปที่ 4.4 และรูปที่ 4.5 เห็นได้ว่าแม้เป็นอินพุตช่องเดิม แต่สัญญาณที่เอาต์พุตนั้นสามารถสลับไปมาได้ โดยไม่เกิดสัญญาณรบกวนกัน แสดงว่าวงจรจัดลำดับสัญญาณภาพสามารถทำงานได้ดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทสรุป ปัญหา แนวทางการแก้ไข และพัฒนา

5.1 สรุป

เครื่องระบบการประชุมทางโทรภาพแบบ 4 ผู้ใช้ ที่พัฒนาขึ้นมาในปริญญานิพนธ์ฉบับนี้ ในส่วนหลักยังคงใช้หลักการเดิม คือเป็นการนำเอาเทคนิคในการบันทึกข้อมูลภาพลงหน่วยความจำ และอ่านข้อมูลภาพจากหน่วยความจำ โดยใช้เทคนิคในการอ่านหน่วยความจำให้เร็วกว่า 2 เท่า ทำให้ได้ภาพบนจอโทรทัศน์เพียง 1 ใน 4 ของภาพปกติ ดังนั้นจึงสามารถที่จะแสดงภาพบนจอโทรทัศน์ได้สูงสุดพร้อมกันถึง 4 ภาพ หรือ 4 สถานที่

ส่วนที่ได้มีการพัฒนาเพื่อเพิ่มประสิทธิภาพของเครื่อง จะอยู่ที่การใช้สัญญาณโทรศัพท์ไปควบคุมการประชุมโดยใช้หลักการถอดรหัสความถี่โทรศัพท์ให้เป็นสัญญาณดิจิตอล เพื่อนำไปควบคุมไมโครคอนโทรลเลอร์ ให้ตัดต่อภาพให้เรียงลำดับของผู้ใช้ อีกทั้งยังเพิ่มในส่วนของเสียง ให้สามารถติดต่อกันได้โดยใช้ไมโครโฟน

จากการที่ได้ศึกษา และทดลองสร้างเครื่องระบบการประชุมทางโทรภาพแบบ 4 ผู้ใช้ ปรากฏว่า ในส่วนของการเพิ่มประสิทธิภาพให้แก่ตัวเครื่องนั้น สามารถทำงานได้ผลด้วยดี ซึ่งวงจรในส่วนนี้ได้แก่ วงจรผสมสัญญาณเสียง, วงจรจัดลำดับสัญญาณภาพ และวงจรควบคุมการประชุมด้วยโทรศัพท์ แต่ในส่วนของการแบ่งจอภาพนั้นไม่สามารถสร้างได้ทันตามระยะเวลาที่กำหนด เนื่องจากติดปัญหาหลายประการดังจะกล่าวในหัวข้อต่อไป

5.2 ปัญหาและแนวทางแก้ไข

1) สัญญาณซิ้งค์ที่ได้ไม่มีเสถียรภาพดี ทำให้เกิดภาพเลื่อนทางแนวตั้ง

แก้ปัญหานี้ได้ด้วยการควบคุมสัญญาณซิ้งค์ไม่ให้เคลื่อนให้ได้ หรือหาวงจรใหม่ที่ใช้งานจริงในเครื่องรับโทรทัศน์

2) วงจรผลิตสัญญาณนาฬิกาไม่มีเสถียรภาพ เกิดการเลื่อนเฟส

แก้ปัญหานี้ได้ด้วยการใช้อุปกรณ์ประเภท 74F.... แทน 74LS90 เพื่อให้ได้ความถี่ที่เสถียรภาพดีขึ้น

3) การลงอุปกรณ์ในวงจรแบ่งจอภาพเกิดความผิดพลาด เนื่องจากการใช้สายเชื่อมต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แก้ปัญหาได้ด้วยการออกแบบเป็นแผ่นปริ๊นซ์ PCB เพื่อลงอุปกรณ์ไม่ให้เกิดความผิดพลาด

4) วงจรแบ่งจอภาพไม่สามารถสร้างได้ทันตามระยะเวลาที่กำหนด

เหตุผล เพราะเสียเวลากับการหาวงจรแยกสัญญาณซิ้งค์ใหม่ และเมื่อนำมาใช้งานจริงก็ไม่สามารถควบคุมสัญญาณซิ้งค์ได้และระบบที่นำเสนอนั้นประกอบด้วยกันหลายระบบ มีทั้งระบบโทรศัพท์, ระบบเสียง, ไมโครคอนโทรลเลอร์ และระบบโทรทัศน์ ซึ่งไม่เหมาะสมกับงานในกลุ่มขนาดเล็ก ควรจะมีสมาชิกมากกว่าเดิมเพื่อจะได้ระบบที่สมบูรณ์ที่สุด

แก้ปัญหาได้ด้วยการแบ่งรายละเอียดของวงจรให้ชัดเจน แบ่งงานกันทำให้เป็นสัดส่วนเพื่อให้งานมีความชัดเจนมากขึ้น

5.3 ประโยชน์ที่ได้รับจากการทำโครงงาน

1) ทำให้ได้รับความรู้ ความเข้าใจ ระบบการทำงานของเครื่องระบบการประชุมทางโทรภาพแบบ 4 ผู้ใช้

2) ทำให้เกิดทักษะทางด้านการทำงาน ทั้งทางด้านทฤษฎี และปฏิบัติ

3) ทำให้สามารถแก้ไขปัญหาเฉพาะหน้า และเกิดความคิดริเริ่มสร้างสรรค์ในการทำงาน

4) ทำให้ได้รับประสบการณ์ในการทำงานร่วมกันเป็นกลุ่ม

5) เพื่อเป็นแนวทางให้นักศึกษารุ่นต่อๆ ไปศึกษา และพัฒนาเครื่องระบบการประชุมทางโทรภาพแบบ 4 ผู้ใช้ ให้มีประสิทธิภาพมากขึ้น

6) เพื่อนำโครงงานนี้ไปใช้สอบในรายวิชา โครงงานสร้างอุปกรณ์เพื่อการสอนได้

5.4 แนวทางการพัฒนา

ในการพัฒนาให้เครื่องระบบการประชุมทางโทรภาพแบบ 4 ผู้ใช้ เพื่อให้สามารถจัดการประชุมให้ได้อย่างสมบูรณ์แบบ จำเป็นต้องพัฒนาส่วนต่างๆ ดังนี้

1) พัฒนาด้านของภาพ จากภาพที่ปรากฏเพียงสีขาว-ดำ ให้สามารถแสดงเป็นภาพสีได้

2) พัฒนาในด้านของการควบคุมการประชุมให้ผู้ใช้สามารถเลือกดูสมาชิก ได้ตามต้องการ

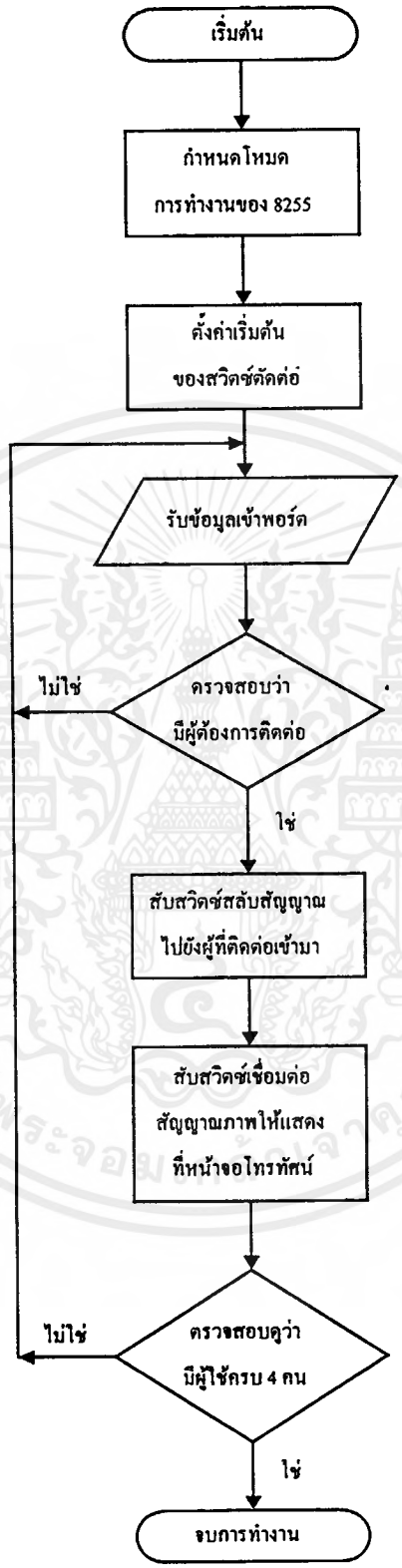
3) พัฒนาในด้านของระบบเสียง ให้สามารถตัดเสียงที่ไม่ต้องการออกไปได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

โปรแกรมการจัดลำดับภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ก.1 ผังการทำงานของการควบคุมการตัดต่อภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมการควบคุมการตัดต่อภาพ

```
X1      equ 20H
X2      equ 21H
X3      equ 22H
X4      equ 23H
X5      equ 24H

PA_1    equ 25H
PA_2    equ 26H
PB_1    equ 27H
PB_2    equ 28H

PA      equ 0A000H
PB      equ 0A001H
CON     equ 0A003H

ORG 4000H
;------------------------
      MOV   SP,#07H

      MOV   DPTR,#CON
      MOV   A,#80H
      MOVX  @DPTR,A

      MOV   DPTR,#PA
      MOV   A,#0FFH
      MOVX  @DPTR,A
      INC   DPTR
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOVX @DPTR,A
        INC  DPTR
        MOVX @DPTR,A

        MOV  PA_1,#0
        MOV  PA_2,#0
        MOV  PB_1,#0
        MOV  PB_2,#0
        MOV  X2,#0
;------------------------
AGAIN:  MOV  X1,#0
        MOV  X3,#0
        MOV  X4,#0
        MOV  X5,#0

        MOV  A,P1
        ANL  A,#0FH

        CJNE A,#0,NEXT1
        SJMP AGAIN
NEXT1:  CJNE A,X2,NEXT2
        SJMP AGAIN
NEXT2:  MOV  X1,A
        MOV  X5,A
        XRL  A,X2

        MOV  DPTR,#TABLE1
        MOVC A,@A+DPTR
        MOV  R0,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    MOV  A,X1
    MOV  X2,X1
;-----------------------
    CLR  C
    MOV  X3,#0
    MOV  X4,#8
A1:  RLC  A
    JNC  A2
    INC  X3
A2:  DJNZ X4,A1
:-----------------------
    MOV  A,X3
    MOV  DPTR,#TABLE2
    MOVC A,@A+DPTR
    MOV  X4,A
;-----------------------
    MOV  A,R0
    MOV  R0,#PA_1
    ADD  A,R0
    MOV  R0,A
    MOV  A,X4
    MOV  @R0,A
;-----------------------
    MOV  A,PA_2
    SWAP A
    ORL  A,PA_1
    MOV  DPTR,#PA
    CPL  A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    MOVX @DPTR,A

    MOV  A,PB_2
    SWAP A
    ORL  A,PB_1
    MOV  DPTR,#PB
    CPL  A
    MOVX @DPTR,A
;-------------------------
    MOV  A,X5
    CJNE A,#0FH,NEXT
    SJMP $
NEXT:  SJMP AGAIN
;-------------------------
TABLE1: DB 0H,0H,1H,0H,2H,0H,0H,0H,3H,0H
TABLE2: DB 0H,1H,2H,4H,8H,0H
;-------------------------
        END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข
รายการอุปกรณ์เครื่องระบบการประชุมทางโทรภาพแบบ 4 ผู้ใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการอุปกรณ์ของวงจรควบคุมการประชุมด้วยโทรศัพท์

อุปกรณ์	ค่า/เบอร์	จำนวน
C_1,C_2	0.01 μF.	2 ตัว
C_3	0.1 μF.	1 ตัว
R_1, R_2, R_5,	100 KΩ	1 ตัว
R_3	30 KΩ	1 ตัว
R_4	56 KΩ	1 ตัว
R_6	300 KΩ	1 ตัว
X-TAL	3.57945 MHz	1 ตัว
IC_1	MT 8870	1 ตัว
IC_2	CD 4514	1 ตัว
IC_3	74LS04	1 ตัว
IC_4	74LS79	1 ตัว
IC_5	ULN2003	1 ตัว
Relay	12 V. 2 Contact	1 ตัว

รายการอุปกรณ์ของวงจรจัดลำดับสัญญาณภาพ

อุปกรณ์	ค่า/เบอร์	จำนวน
Chilli - 31 8031 Microcontroller Board		1 แผง
IC_1 - IC_3	ULN2003	3 ตัว
Relay	12 V. 1 Contact	16 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการอุปกรณ์ของวงจรผสมสัญญาณเสียง

อุปกรณ์	ค่า/เบอร์	จำนวน
IC_1	TA7137	1 ตัว
D_1, D_2	1N4148	2 ตัว
L_1	LED 2 x 5 mm.	1 ตัว
R_1, R_4, R_6, R_8, R_{12}	10 KΩ	5 ตัว
R_2, R_3, R_5, R_7, R_{14}	1 KΩ	5 ตัว
R_9	16 KΩ	1 ตัว
R_{10}	18 KΩ	1 ตัว
R_{11}	2 KΩ	1 ตัว
R_{13}	56 KΩ	1 ตัว
VR_1, VR_2, VR_3, VR_4	5 KΩ	4 ตัว
VR_5	10 KΩ SW.	1 ตัว
C_1, C_8	4.7 µF. 16 V.	2 ตัว
C_2, C_3	0.033 µF. 50 V.	2 ตัว
C_4	30 pF.	1 ตัว
C_5	47 µF. 16 V.	1 ตัว
C_6	100 µF. 16 V.	1 ตัว
C_7	3.3 µF. 16 V.	1 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการอุปกรณ์ของวงจรขยายสัญญาณภาพ

อุปกรณ์	ค่า/เบอร์	จำนวน
R_1, R_{10}, R_{11}, R_{12}	75 Ω	4 ตัว
R_2	10 KΩ	1 ตัว
R_3	8.2 KΩ	1 ตัว
R_4	1 KΩ	1 ตัว
R_5, R_8	180 Ω	2 ตัว
R_6	3.3 KΩ	1 ตัว
R_7	470 Ω	1 ตัว
R_9	56 Ω 5 W.	1 ตัว
VR_1	2.2 KΩ	1 ตัว
VR_2	2.2 KΩ	1 ตัว
C_1, C_3	10 µF. 16 V.	2 ตัว
C_2, C_8, C_9	0.1 µF. 50 V.	3 ตัว
C_4, C_5, C_6	100 µF. 16 V.	3 ตัว
C_7	470 µF. 25 V.	1 ตัว
D_1	1N4148	1 ตัว
D_2 - D_5	1N4001	4 ตัว
Q_1, Q_2	BC 574B	2 ตัว
Q_3	BD 137 หรือ BD 139	1 ตัว
IC_1	7812	1 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการอุปกรณ์ของวงจรแยกสัญญาณซิ้งค์

อุปกรณ์	ค่า/เบอร์	จำนวน
R_1	680 KΩ	1 ตัว
C_1 ,C_2	0.1μF	2 ตัว
IC_1	LM1881	1 ตัว
SOCKET IC 14 ขา		1 ตัว

รายการอุปกรณ์ของวงจรแปลงสัญญาณแอนาล็อกเป็นสัญญาณดิจิตอล

อุปกรณ์	ค่า/เบอร์	จำนวน
R_1	5 KΩ	1 ตัว
R_2	1 KΩ	1 ตัว
R_3 - R_6	100 Ω	4 ตัว
VR_1	5 KΩ	1 ตัว
C_1 - C_3	0.2 μF	3 ตัว
C_4	0.01 μF	1 ตัว
Q_1	2N4401	1 ตัว
IC_1	CA3318	1 ตัว
IC_2	74245	1 ตัว
SOCKET IC 20 ขา		1 ตัว
SOCKET IC 24 ขา		1 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการอุปกรณ์ของวงจรผลิตสัญญาณนาฬิกา

อุปกรณ์	ค่า/เบอร์	จำนวน
X-TAL (แบบตัวถัง)	20 MHz	1 ตัว
IC_1	74LS74	1 ตัว
IC_2	74LS04	1 ตัว

รายการอุปกรณ์ของวงจรควบคุมการเขียนข้อมูลภาพลงหน่วยความจำ

อุปกรณ์	ค่า/เบอร์	จำนวน
IC_1,IC_2	74LS393	2 ตัว
IC_3	74LS32	1 ตัว
IC_4	74LS221	1 ตัว
IC_5	74LS04	1 ตัว
IC_6	74LS74	1 ตัว
IC_7	74LS30	1 ตัว
C_1	0.1 μF	1 ตัว
C_2,C_3	0.33 μF	2 ตัว
VR_1	10 KΩ	1 ตัว
VR_2	47 KΩ	1 ตัว
SOCKET IC 14 ขา		6 ตัว
SOCKET IC 16 ขา		1 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการอุปกรณ์ของวงจรควบคุมการอ่านข้อมูลภาพจากหน่วยความจำ

อุปกรณ์	ค่า/เบอร์	จำนวน
IC_1,IC_2	74LS393	2 ตัว
IC_3	74LS04	1 ตัว
IC_4	74LS30	1 ตัว
IC_5	74LS32	1 ตัว
IC_6	74LS08	1 ตัว
IC_7	74LS76	1 ตัว
SOCKET IC 14 ขา		6 ตัว
SOCKET IC 16 ขา		1 ตัว

รายการอุปกรณ์ของวงจรหน่วยความจำ

อุปกรณ์	ค่า/เบอร์	จำนวน
IC_1,IC_2	62256	2 ตัว
IC_3,IC_6	74LS245	4 ตัว
IC_7,IC_{14}	74LS257	8 ตัว
SOCKET IC 16 ขา		8 ตัว
SOCKET IC 20 ขา		4 ตัว
SOCKET IC 28 ขา		2 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการอุปกรณ์ของวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนาล็อก

อุปกรณ์	ค่า/เบอร์	จำนวน
R_1, R_3, R_5, R_7, R_9 R_{11}, R_{13}, R_{15}, R_{16}	2 KΩ	9 ตัว
R_2, R_4, R_6, R_8, R_{10} R_{12}, R_{14},	1 KΩ	7 ตัว
C_1	0.01 µF	1 ตัว
IC_1	74LS245	1 ตัว
SOCKET IC 20 ขา		1 ตัว

รายการอุปกรณ์ของวงจรผสมสัญญาณภาพ

อุปกรณ์	ค่า/เบอร์	จำนวน
R_1	10 KΩ	1 ตัว
R_2, R_4	1 KΩ	2 ตัว
R_3	330 Ω	1 ตัว
VR_1, VR_2	1 KΩ	2 ตัว
VR_3	22 KΩ	1 ตัว
C_1	0.1 µF	1 ตัว
C_2	10 µF	1 ตัว
D_1, D_2	1N4148	2 ตัว
Q_1	2N4401	1 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการอุปกรณ์ของวงจรผลิตสัญญาณซิ้งค์

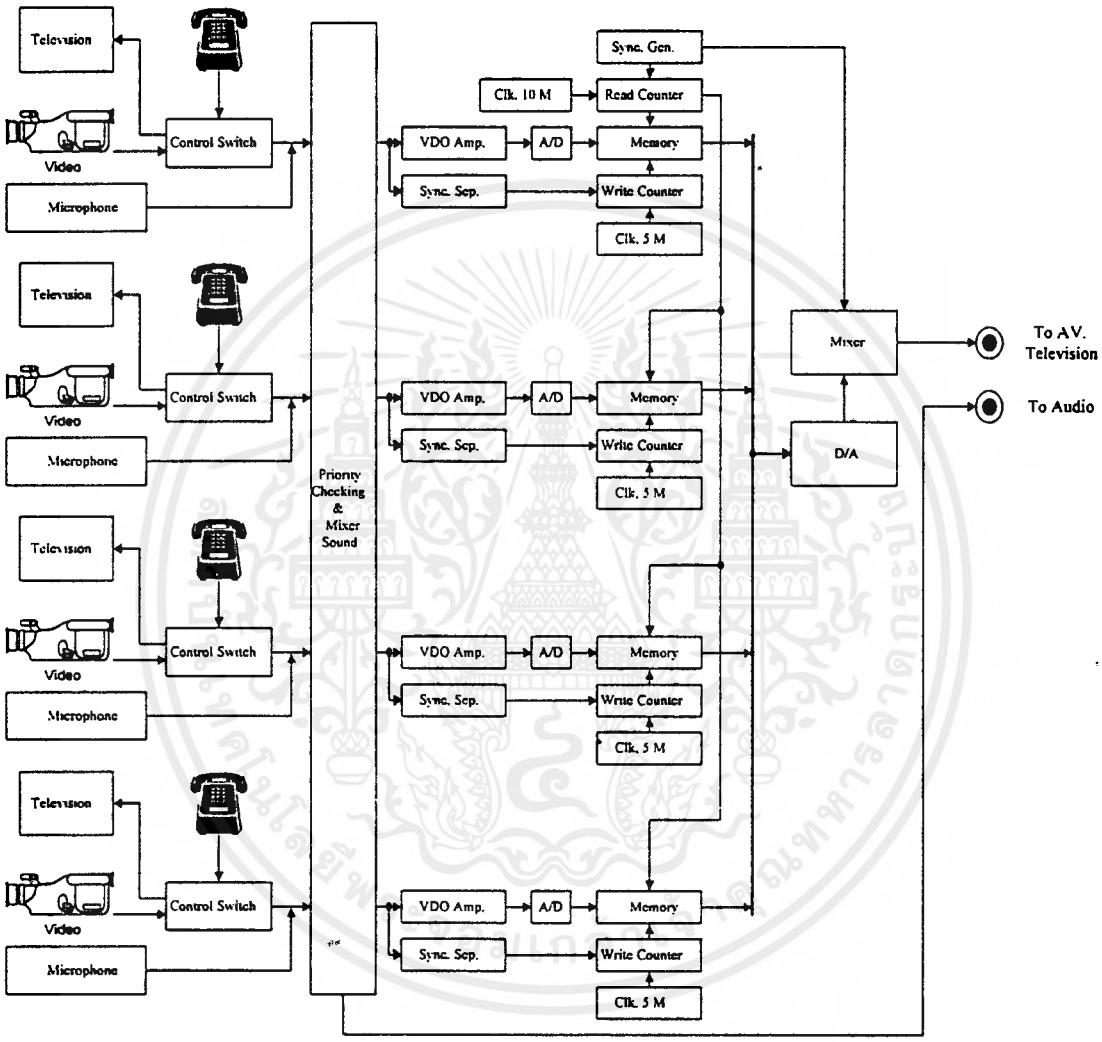
อุปกรณ์	ค่า/เบอร์	จำนวน
R_1, R_2	1 KΩ	2 ตัว
C_1	20pF	1 ตัว
C_2, C_3	0.01μF	2 ตัว
IC_1	74LS04	1 ตัว
IC_2	74LS193	1 ตัว
IC3, IC_2	4040	2 ตัว
IC_5	74Ls21	1 ตัว
IC_6	74LS00	1 ตัว
IC_7	74LS08	1 ตัว
IC_8	74LS86	1 ตัว
X-TAL	6 MHz	1 ตัว
SOCKET IC 14 ขา		5 ตัว
SOCKET IC 16 ขา		5 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค

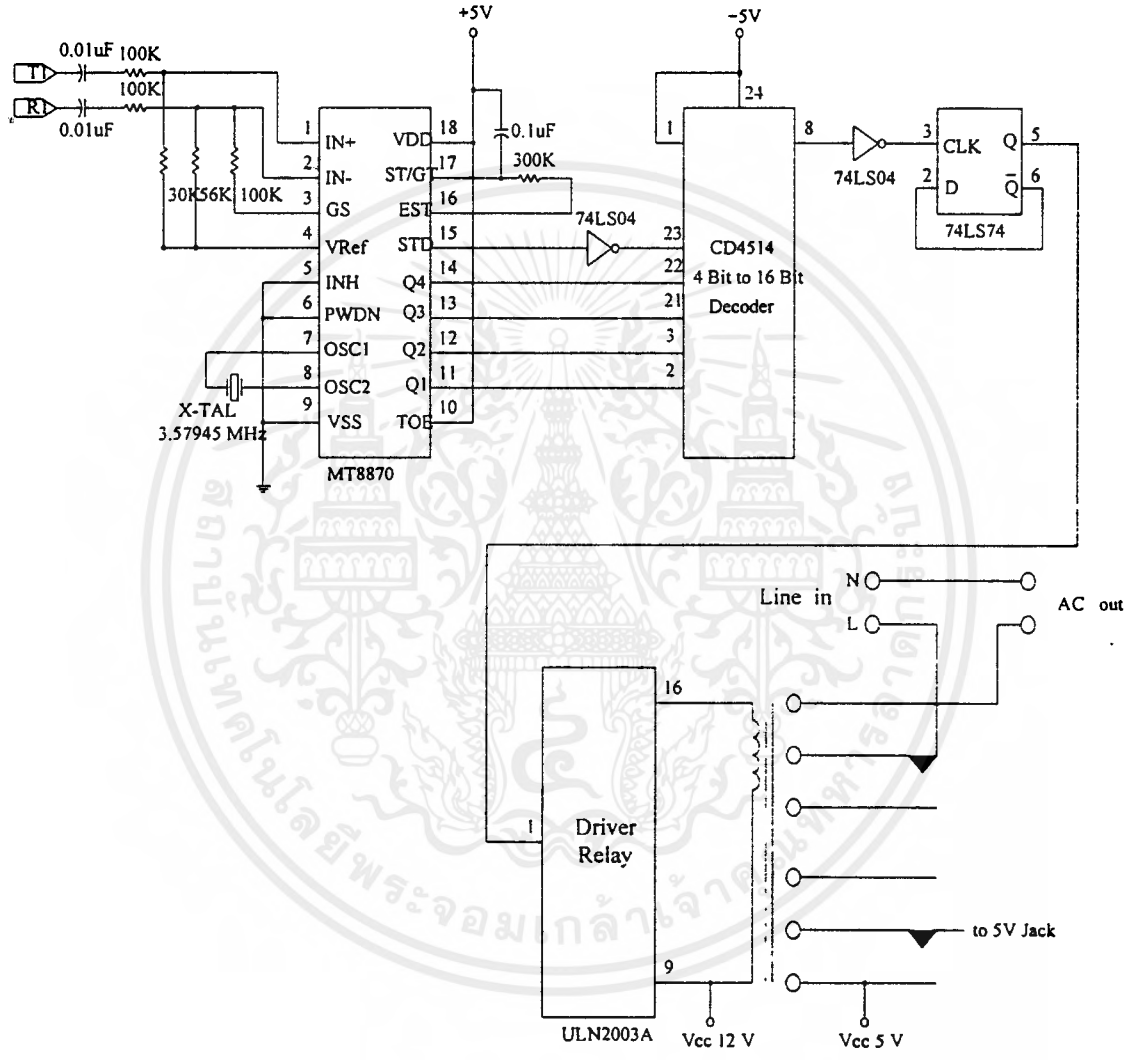
วงจรเครื่องระบบการประชุมทางโทรภาพแบบ 4 ผู้ใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



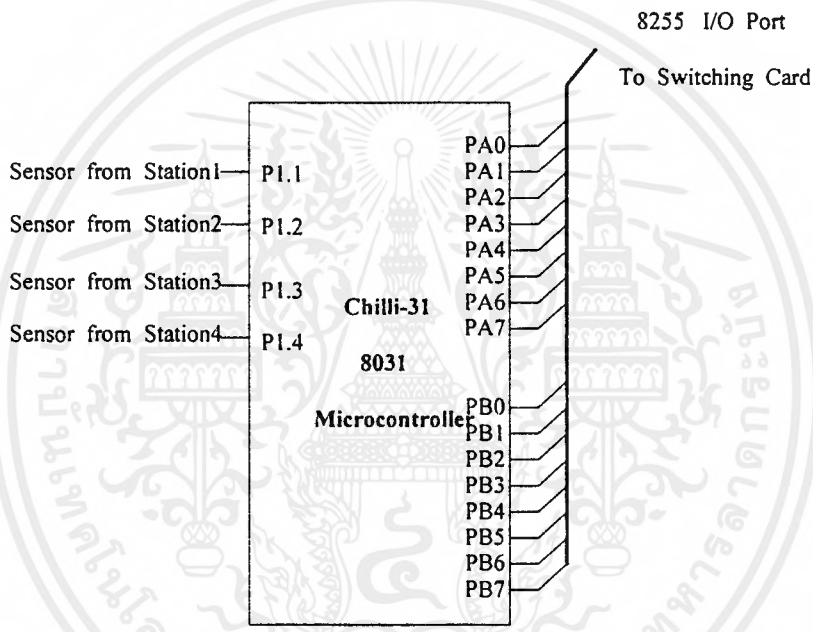
รูปที่ ค.1 ผังการทำงานของเครื่องระบบการประชุมทางโทรภาพแบบ 4 ผู้ใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



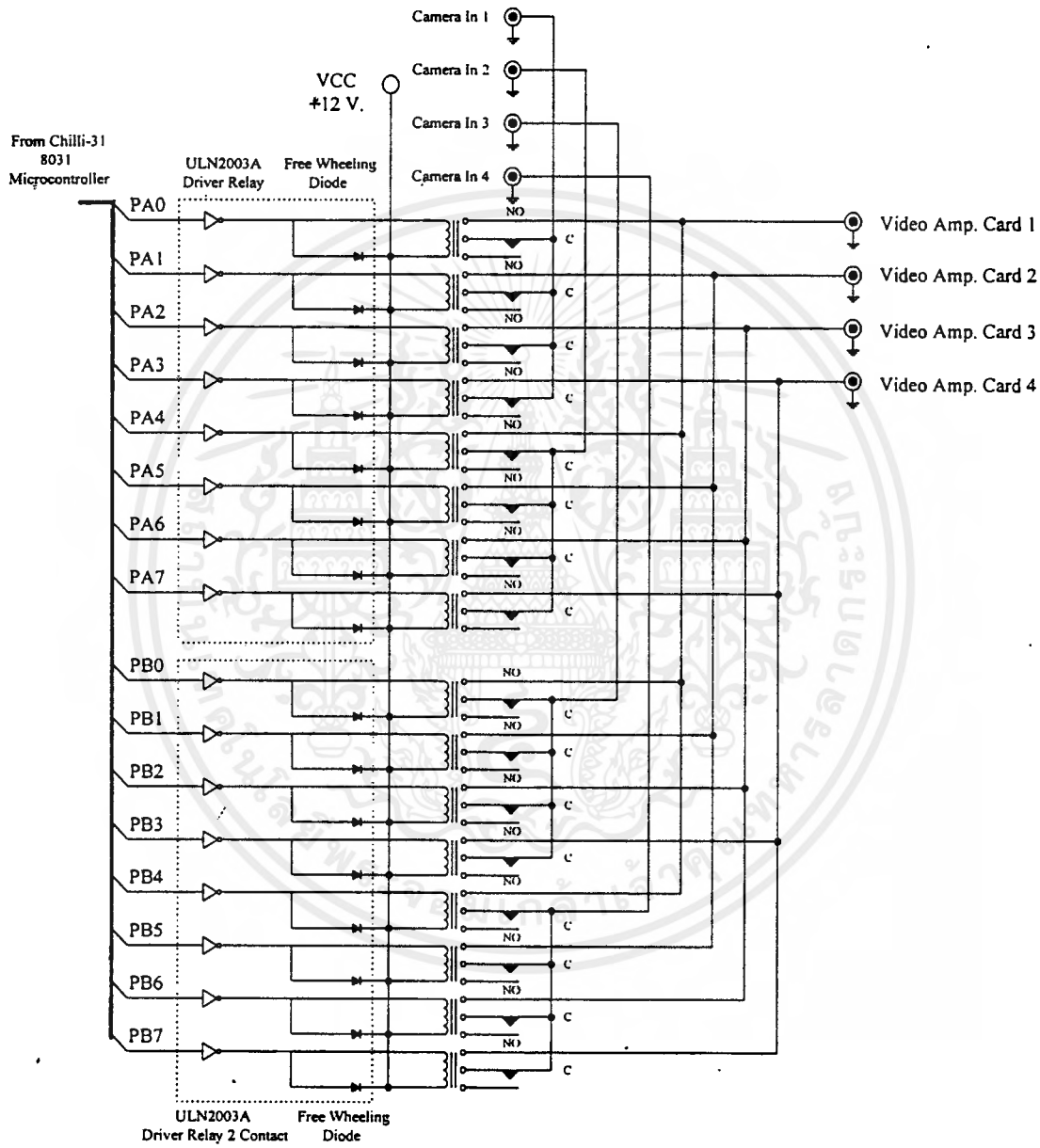
รูปที่ ค.2 วงจรควบคุมการประชุมด้วยโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



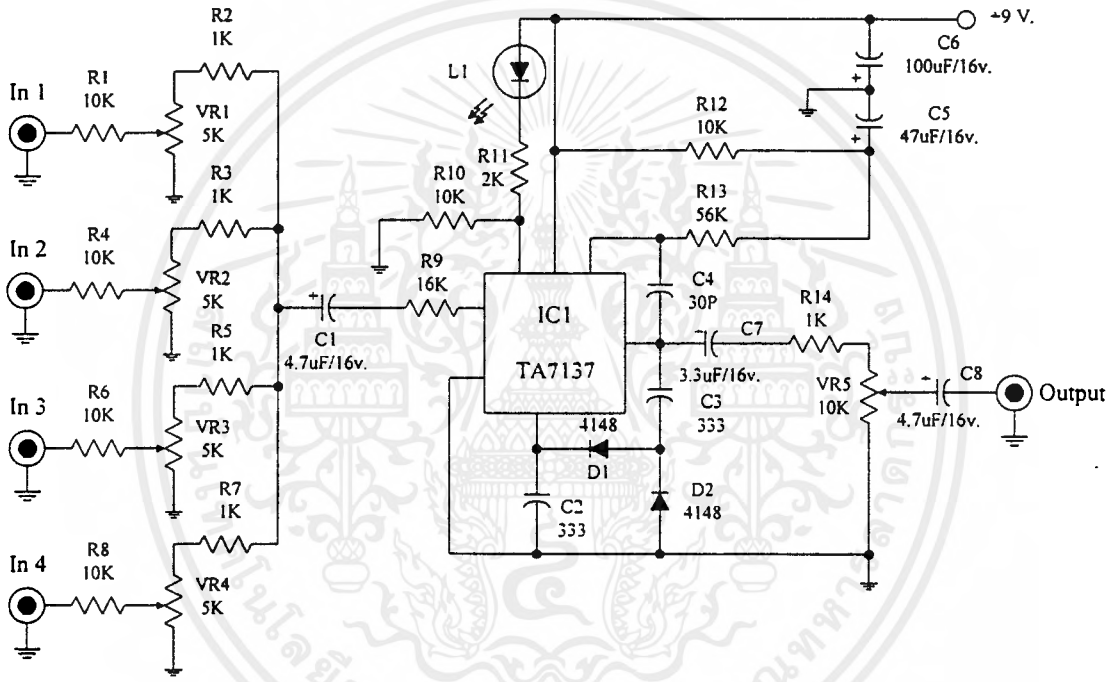
รูปที่ ค.3 ไมโครคอนโทรลเลอร์ควบคุมการสวิตซ์ภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



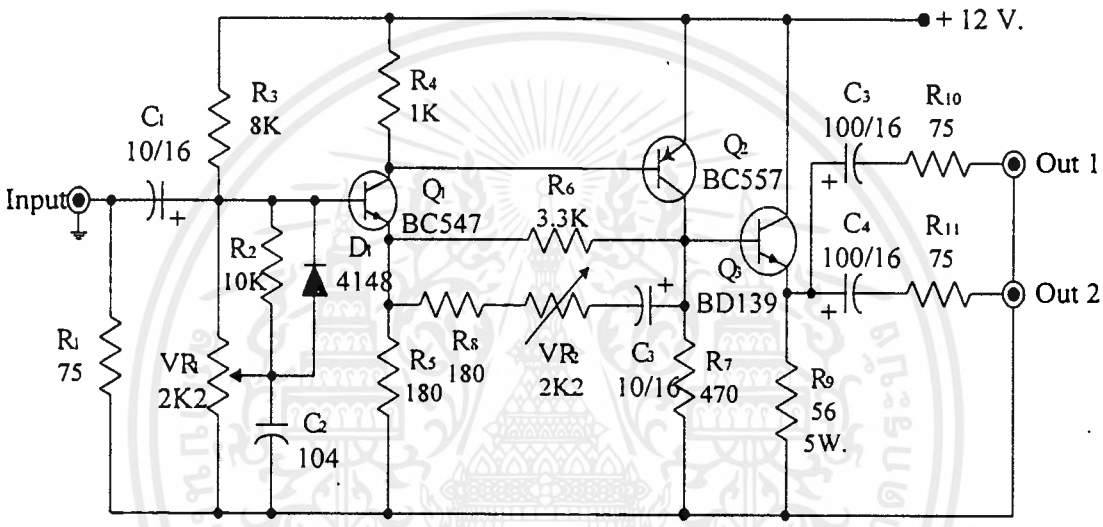
รูปที่ ค.4 วงจรจัดลำดับสัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



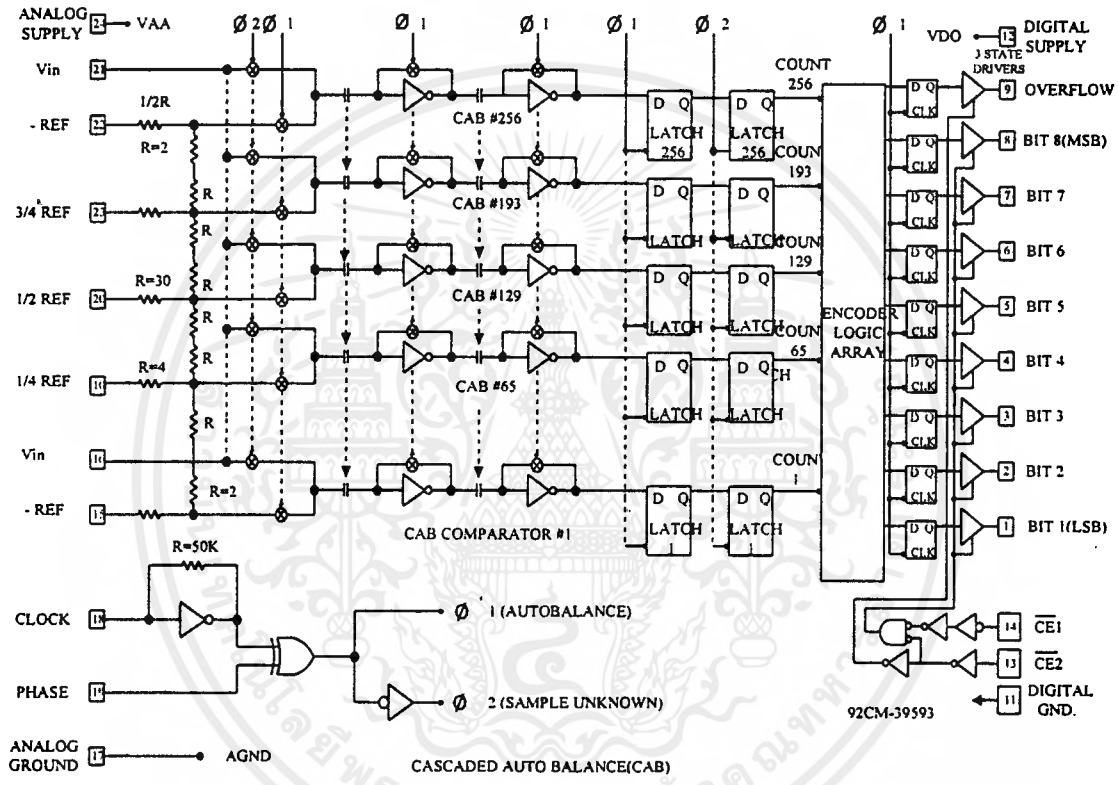
รูปที่ ค.5 วงจรผสมสัญญาณเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



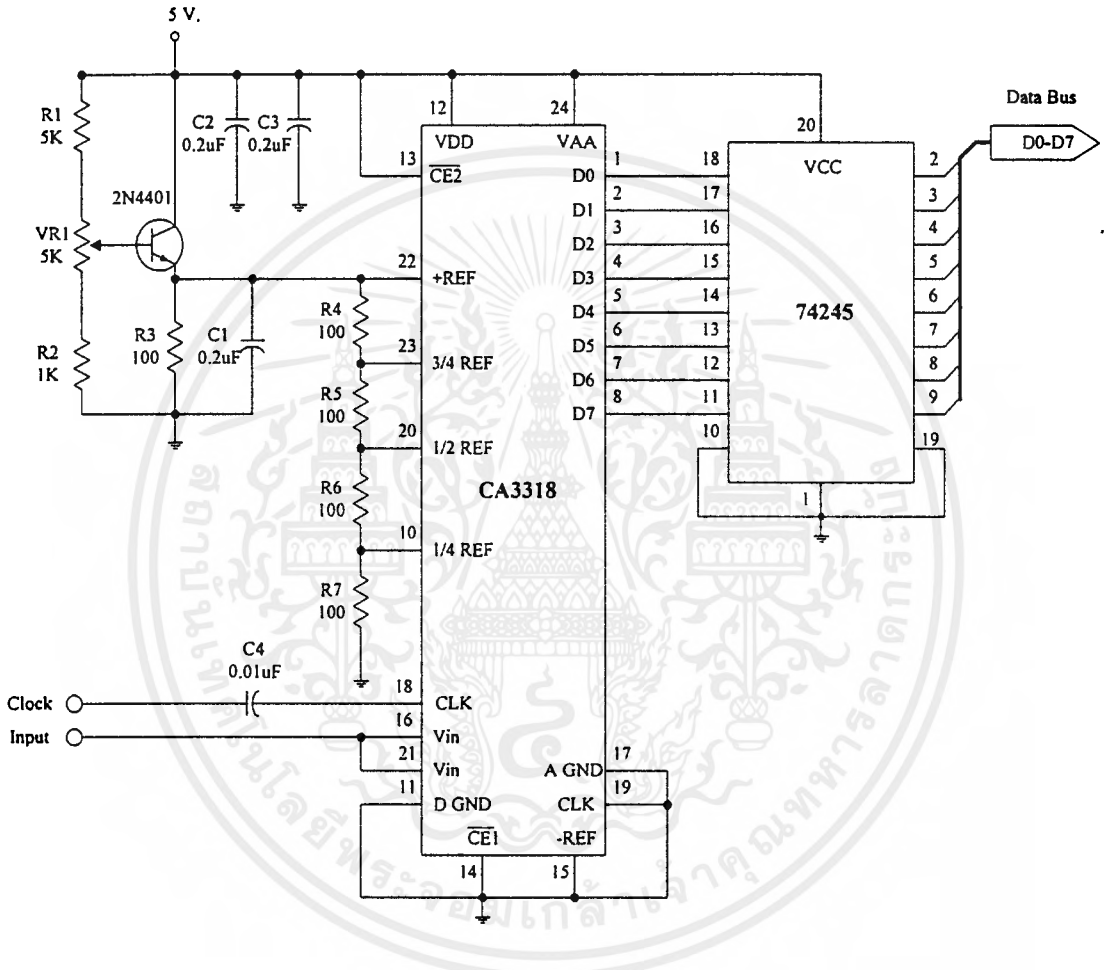
รูปที่ ค.6 วงจรขยายสัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



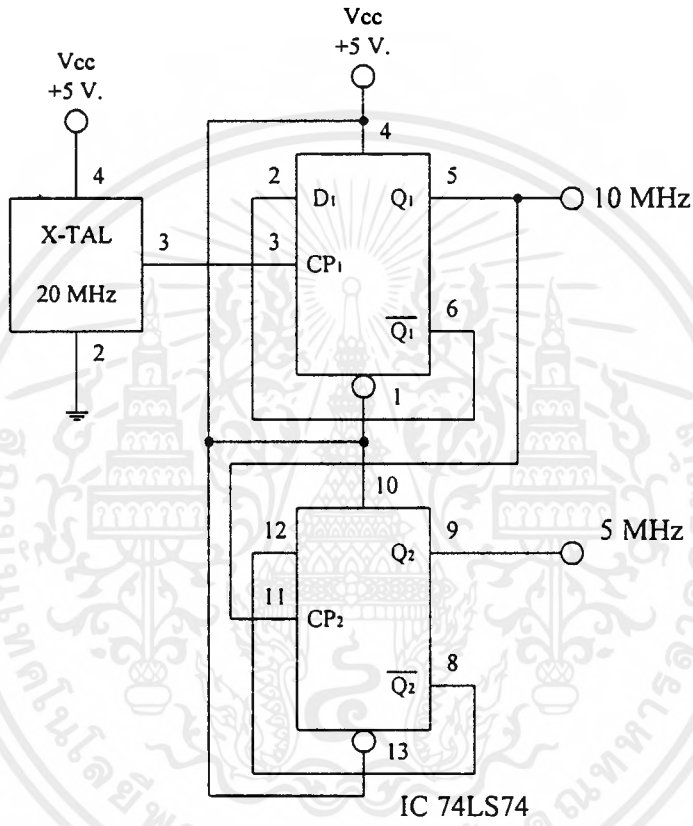
รูปที่ ค.8 ผังการทำงานภายในของไอซี CA3318

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



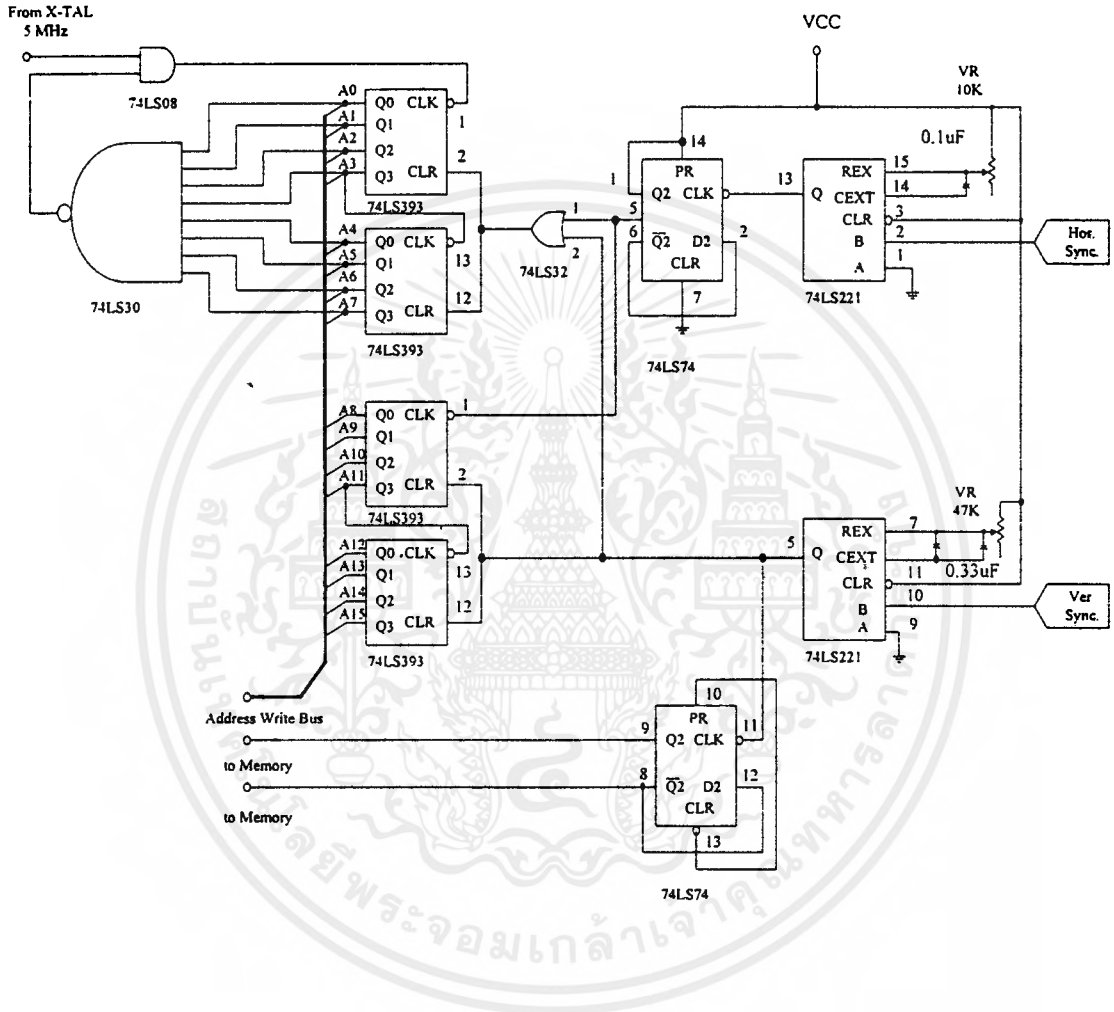
รูปที่ ค.9 วงจรแปลงสัญญาณแอนาล็อกเป็นสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



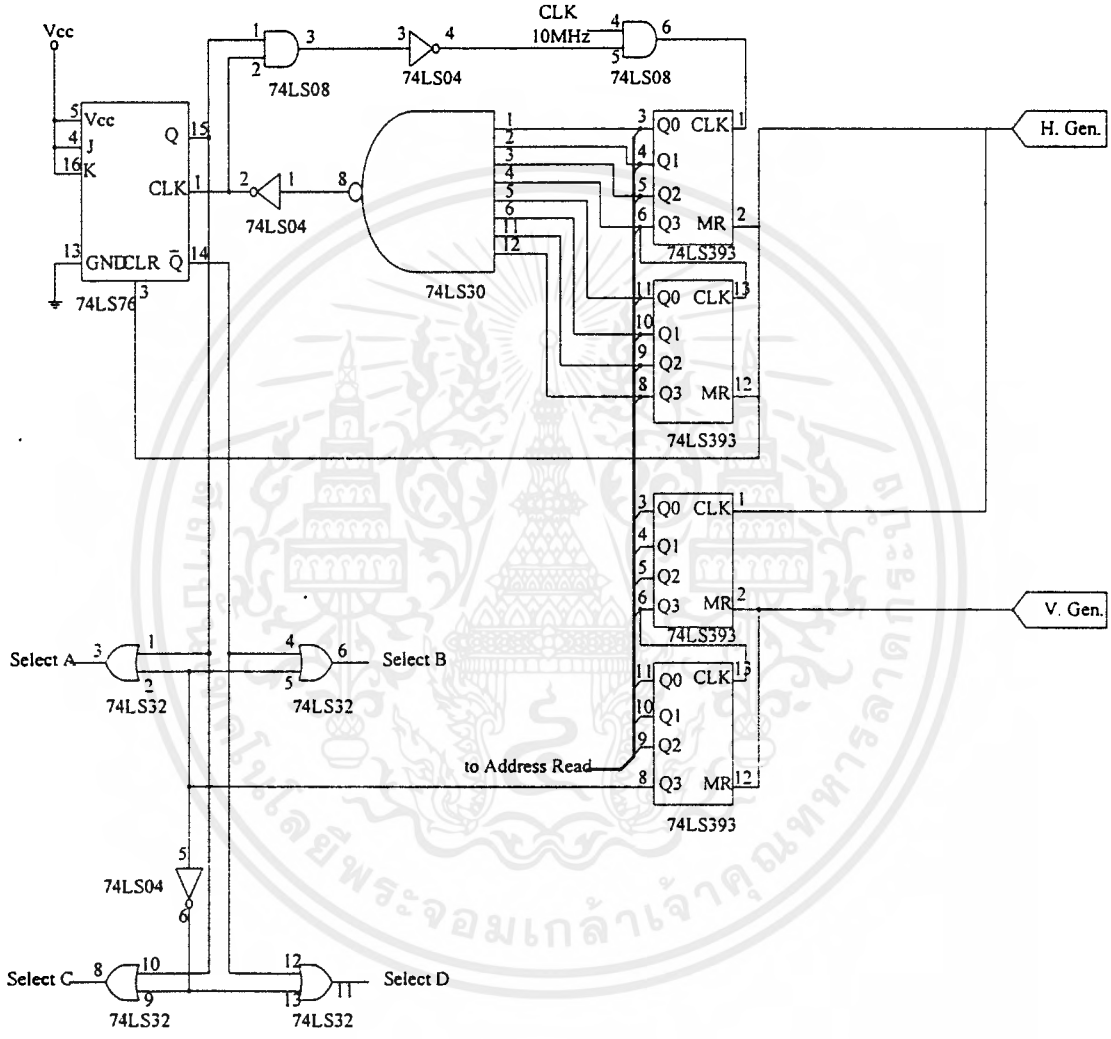
รูปที่ ค.10 วงจรผลิตสัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



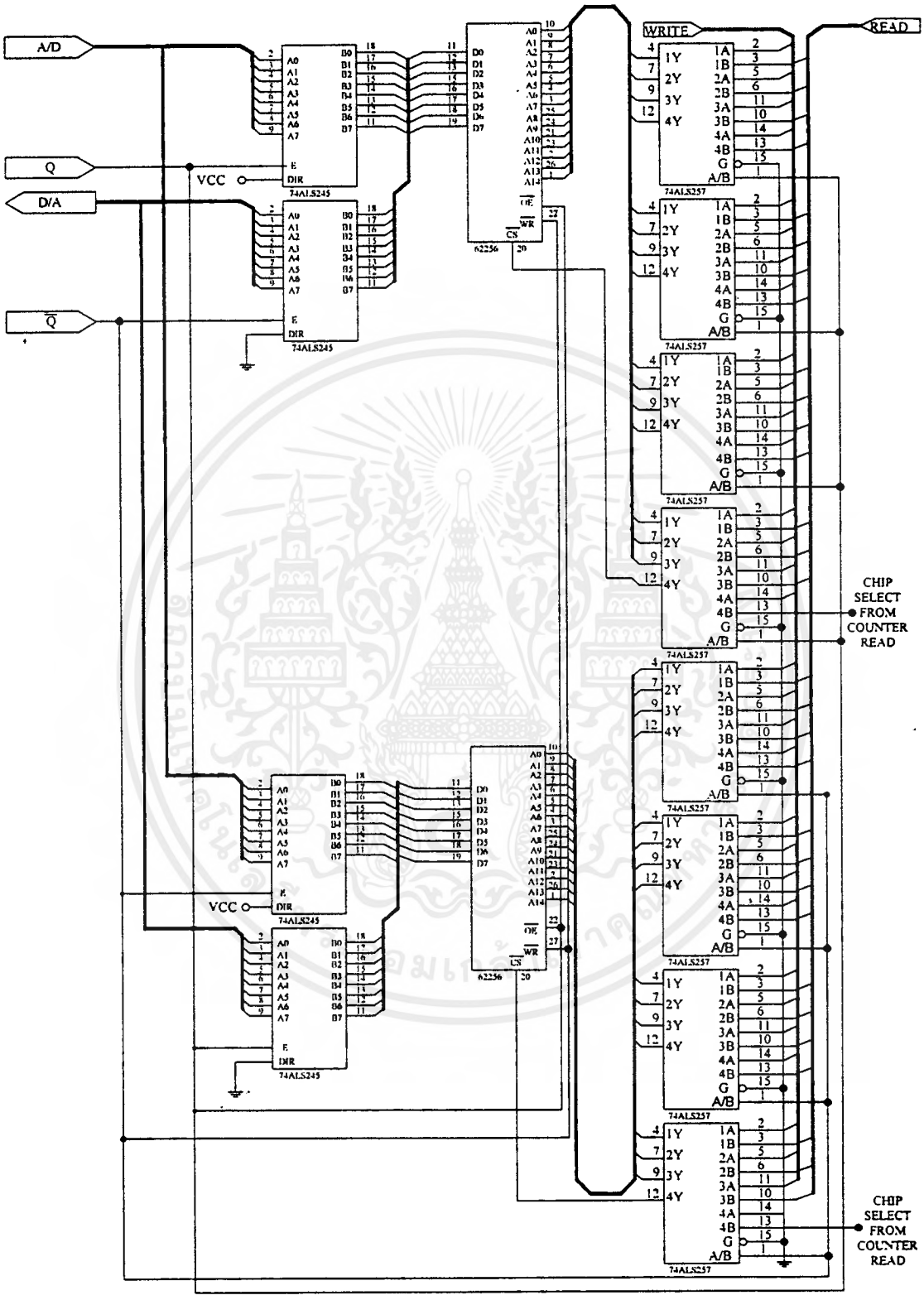
รูปที่ ค.11 วงจรควบคุมการเขียนข้อมูลภาพลงหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



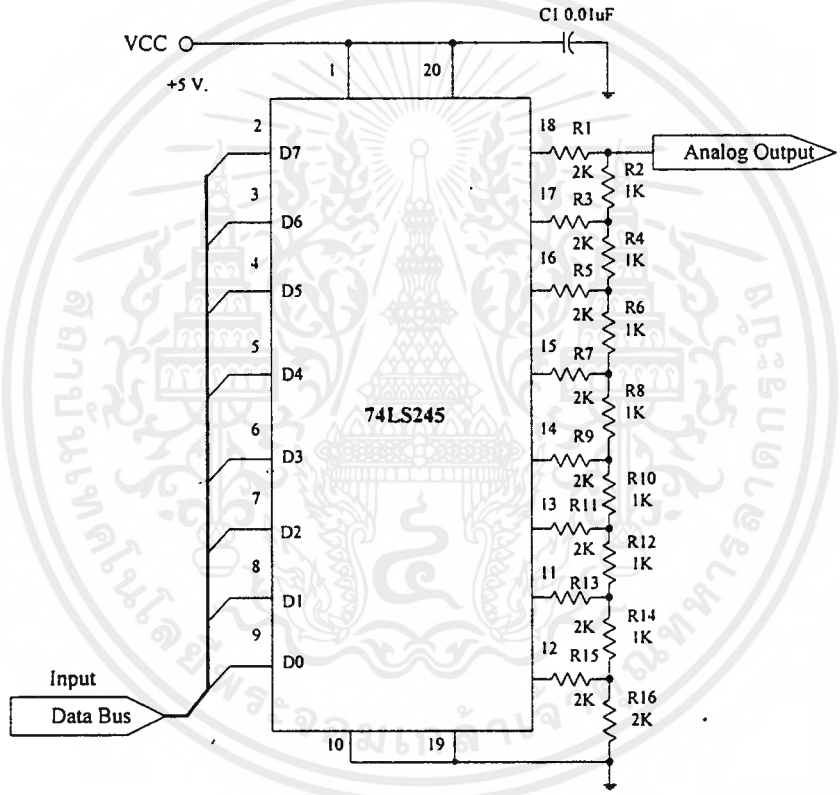
รูปที่ ค.12 วงจรควบคุมการอ่านข้อมูลภาพจากหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



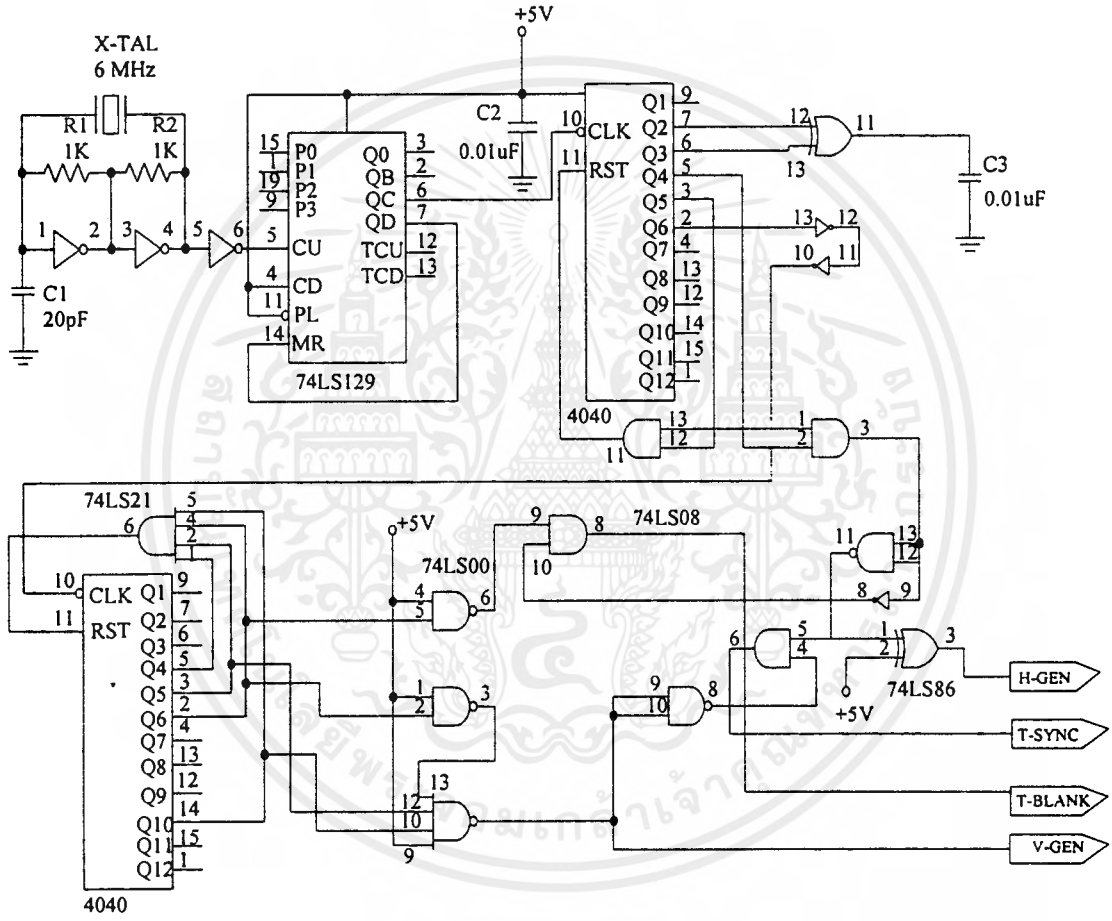
รูปที่ ค.13 วงจรหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



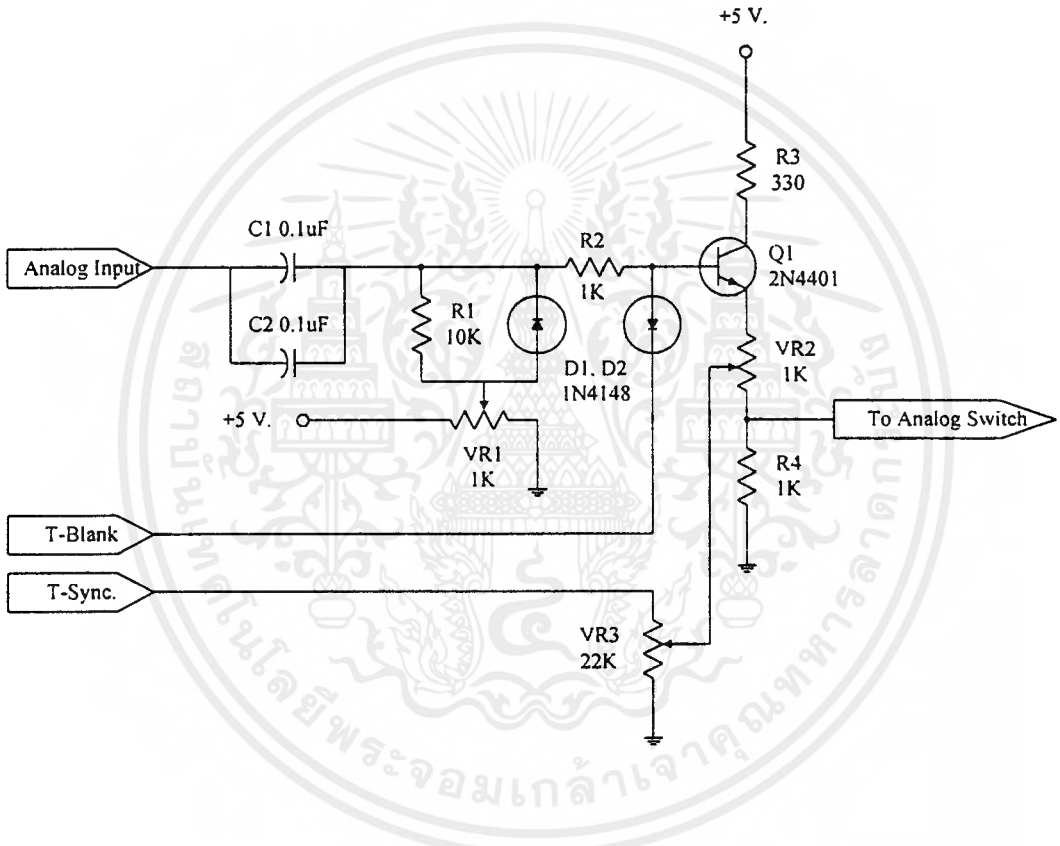
รูปที่ ค.14 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนาล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ค.15 วงจรผลิตสัญญาณซิ้งค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ค.16 วงจรผสมสัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ง

รายการข้อมูล และคุณสมบัติของอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

February 1995

LM1881 Video Sync Separator

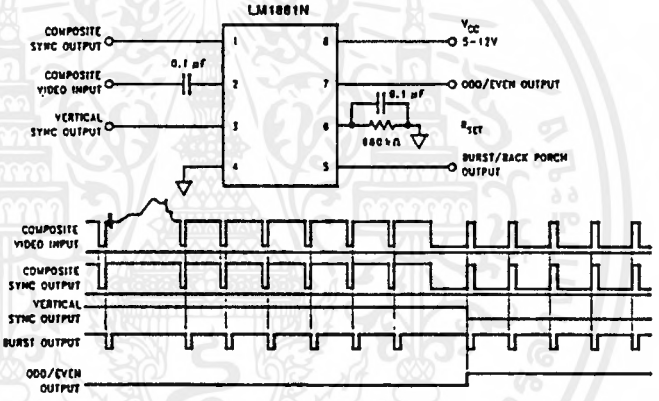
General Description

The LM1881 Video sync separator extracts timing information including composite and vertical sync, burst/back porch timing, and odd/even field information from standard negative going sync NTSC, PAL*, and SECAM video signals with amplitude from 0.5V to 2V p-p. The integrated circuit is also capable of providing sync separation for non-standard, faster horizontal rate video signals. The vertical output is produced on the rising edge of the first serration in the vertical sync period. A default vertical output is produced after a time delay if the rising edge mentioned above does not occur within the externally set delay period, such as might be the case for a non-standard video signal.

Features

- AC coupled composite input signal
- > 10 kΩ input resistance
- < 10 mA power supply drain current
- Composite sync and vertical outputs
- Odd/even field output
- Burst gate/back porch output
- Horizontal scan rates to 150 kHz
- Edge triggered vertical output
- Default triggered vertical output for non-standard video signal (video games-home computers)

Connection Diagram



TL/H/5159–1

Order Number LM1881M or LM1881N
See NS Package Number M08A or N08E

*PAL on this datasheet refers to European broadcast TV standard "Phase Alternating Line", and not to Programmable Array Logic.

©1995 National Semiconductor Corporation TL/H/5159 RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	13.2V
Input Voltage	3 Vpp (V_{CC} = 5V) 6 Vpp (V_{CC} ≥ 8V)
Output Sink Currents; Pins 1, 3, 5	5 mA
Output Sink Current; Pin 7	2 mA
Package Dissipation (Note 1)	1100 mW
Operating Temperature Range	0°C ~ 70°C
Storage Temperature Range	−65°C to +150°C
ESD Susceptibility (Note 2)	2 kV
Soldering Information	
Dual-In-Line Package (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics

V_{CC} = 5V; Rset = 680 kΩ; T_A = 25°C; Unless otherwise specified

Parameter	Conditions		Typ	Tested Limit (Note 3)	Design Limit (Note 4)	Units (Limits)
Supply Current	Outputs at Logic 1	V_{CC} = 5V	5.2	10		mAmax
		V_{CC} = 12V	5.5	12		mAmax
DC Input Voltage	Pin 2		1.5	1.3		Vmin
				1.8		Vmax
Input Threshold Voltage	Note 5		70	55		mVmin
				85		mVmax
Input Discharge Current	Pin 2; V_{IN} = 2V		11	6		μAmin
				16		μAmax
Input Clamp Charge Current	Pin 2; V_{IN} = 1V		0.8	0.2		mAmin
R_{SET} Pin Reference Voltage	Pin 6; Note 6		1.22	1.10		Vmin
				1.35		Vmax
Composite Sync. & Vertical Outputs	I_{OUT} = 40 μA; Logic 1	V_{CC} = 5V	4.5	4.0		Vmin
		V_{CC} = 12V		11.0		Vmin
	I_{OUT} = 1.6 mA; Logic 1	V_{CC} = 5V	3.6	2.4		Vmin
		V_{CC} = 12V		10.0		Vmin
Burst Gate & Odd/Even Outputs	I_{OUT} = 40 μA; Logic 1	V_{CC} = 5V	4.5	4.0		Vmin
		V_{CC} = 12V		11.0		Vmin
Composite Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 1		0.2	0.8		Vmax
Vertical Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 3		0.2	0.8		Vmax
Burst Gate Output	I_{OUT} = −1.6 mA; Logic 0; Pin 5		0.2	0.8		Vmax
Odd/Even Output	I_{OUT} = −1.6 mA; Logic 0; Pin 7		0.2	0.8		Vmax
Vertical Sync Width			230	190		μsmin
				300		μsmax
Burst Gate Width	2.7 kΩ from Pin 5 to V_{CC}		4	2.5		μsmin
				4.7		μsmax
Vertical Default Time	Note 7		65	32		μsmin
				90		μsmax

Note 1: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and a package thermal resistance of 110° C/W, junction to ambient.

Note 2: ESD susceptibility test uses the "human body model, 100 pF discharged through a 1.5 kΩ resistor".

Note 3: Typicals are at T_j = 25°C and represent the most likely parametric norm.

Note 4: Tested Limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

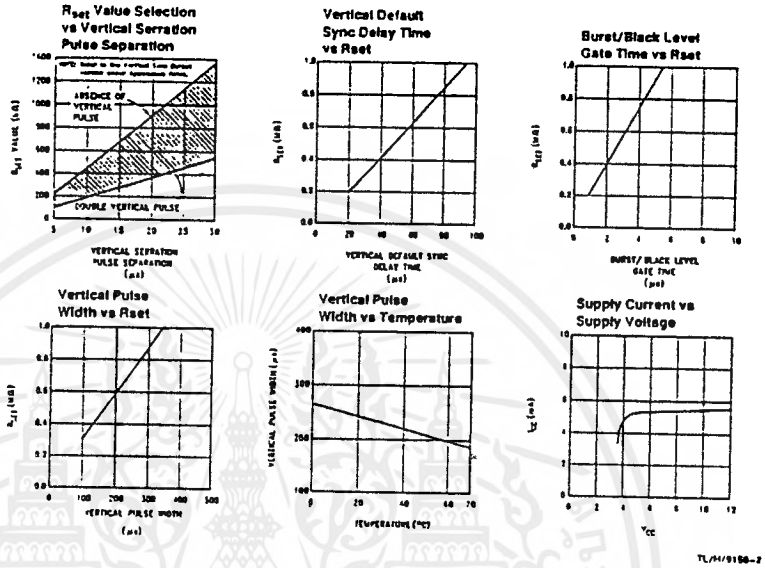
Note 5: Relative difference between the input clamp voltage and the minimum input voltage which produces a horizontal output pulse.

Note 6: Careful attention should be made to prevent parasitic capacitance coupling from any output pin (Pins 1, 3, 5, and 7) to the R_{SET} pin (Pin 6).

Note 7: Delay time between the start of vertical sync (at input) and the vertical output pulse.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes

The LM1881 is designed to strip the synchronization signals from composite video sources that are in, or similar to, the N.T.S.C. format. Input signals with positive polarity video (increasing signal voltage signifies increasing scene brightness) from 0.5V (p-p) to 2V (p-p) can be accommodated. The LM1881 operates from a single supply voltage between 5V DC and 12V DC. The only required external components beside power supply and set current decoupling are the input coupling capacitor and a single resistor that sets internal current levels, allowing the LM1881 to be adjusted for source signals with line scan frequencies differing from 15.734 kHz. Four major sync signals are available from the I/C: composite sync including both horizontal and vertical scan timing information; a vertical sync pulse; a burst gate or back porch clamp pulse; and an odd/even output. The odd/even output level identifies which video field of an interlaced video source is present at the input. The outputs from the LM1881 can be used to gen-lock video camera/VTR signals with graphics sources, provide identification of video fields for memory storage, recover suppressed or contaminated sync signals, and provide timing references for the extraction of coded or uncoded data on specific video scan lines.

To better understand the LM1881 timing information and the type of signals that are used, refer to *Figure 2(a–e)* which shows a portion of the composite video signal from the end of one field through the beginning of the next field.

COMPOSITE SYNC OUTPUT

The composite sync output, *Figure 2(b)*, is simply a reproduction of the signal waveform below the composite video black level, with the video completely removed. This is obtained by clamping the video signal sync tips to 1.5V DC at Pin 2 and using a comparator threshold set just above this voltage to strip the sync signal, which is then buffered out to Pin 1. The threshold separation from the clamped sync tip is nominally 70 mV which means that for the minimum input level of 0.5V (p-p), the clipping level is close to the halfway point on the sync pulse amplitude (shown by the dashed line on *Figure 2(a)*). This threshold separation is independent of the signal amplitude, therefore, for a 2V (p-p) input the clipping level occurs at 11% of the sync pulse amplitude. The charging current for the input coupling capacitor is 0.8 mA, whereas the discharge current is only 11 µA, typically. This allows relatively small capacitor values to be used—0.1 µF is generally recommended.

Normally the signal source for the LM1881 is assumed to be clean and relatively noise-free, but some sources may have excessive video peaking, causing high frequency video and chroma components to extend below the black level reference. Some video discs keep the chroma burst pulse present throughout the vertical blanking period so that the burst actually appears on the sync tips for three line periods instead of at black level. A clean composite sync signal can be generated from these sources by filtering the input signal. When the source impedance is low, typically 75Ω, a 620Ω resistor in series with the source and a 510 pF capacitor to ground will form a low pass filter with a corner frequency of 500 kHz. This bandwidth is more than sufficient to pass the sync pulse portion of the waveform; however, any subcarrier content in the signal will be attenuated by almost 18 dB, effectively taking it below the comparator threshold. Filtering will also help if the source is contaminated with thermal noise. The output waveforms will become delayed from between 40 ns to as much as 200 ns due to this filter. This much delay will not usually be significant but it does contribute to the sync delay produced by any additional signal processing. Since the original video may also undergo processing, the need for time delay correction will depend on the total system, not just the sync stripper.

VERTICAL SYNC OUTPUT

A vertical sync output is derived by internally integrating the composite sync waveform *(Figure 3)*. To understand the generation of the vertical sync pulse, refer to the lower left hand section *Figure 3*. Note that there are two comparators in the section. One comparator has an internally generated voltage reference called V_1 going to one of its inputs. The other comparator has an internally generated voltage reference called V_2 going to one of its inputs. Both comparators have a common input at their noninverting input coming from the internal integrator. The internal integrator is used for integrating the composite sync signal. This signal comes from the input side of the composite sync buffer and are positive going sync pulses. The capacitor to the integrator is internal to the LM1881. The capacitor charge current is set by the value of the external resistor R_{set}. The output of the integrator is going to be at a low voltage during the normal horizontal lines because the integrator has a very short time to charge the capacitor, which is during the horizontal sync period. The equalization pulses will keep the output voltage of the integrator at about the same level, below the V_1. During the vertical sync period the narrow going positive pulses shown in *Figure 2* is called the serration pulse. The wide negative portion of the vertical sync period is called the vertical sync pulse. At the start of the vertical sync period, before the first Serration pulse occurs, the integrator now charges the capacitor to a much higher voltage. At the first serration pulse the integrator output should be between V_1 and V_2. This would give a high level at the output of the comparator with V_1 as one of its inputs. This high is clocked into the "D" flip-flop by the falling edge of the serration pulse (remember the sync signal is inverted in this section of the LM1881). The "Q" output of the "D" flip-flop goes through the OR gate, and sets the R/S flip-flop. The output of the R/S flip-flop enables the internal oscillator and also clocks the ODD/EVEN "D" flip-flop. The ODD/EVEN field pulse operation is covered in the next section. The output of the oscillator goes to a divide by 8 circuit, thus resetting the R/S flip-flop after 8 cycles of the oscillator. The frequency of the oscillator is established by the internal capacitor going to the oscillator and the external R_{set}. The "Q" output of the R/S flip-flop goes to pin 3 and is the actual vertical sync output of the LM1881. By clocking the "D" flip-flop at the start of the first serration pulse means that the vertical sync output pulse starts at this point in time and lasts for eight cycles of the internal oscillator as shown in *Figure 2*.

How R_{set} affects the integrator and the internal oscillator is shown under the Typical Performance Characteristics. The first graph is "R_{set} Value Selection vs Vertical Serration Pulse Separation". For this graph to be valid, the vertical sync pulse should last for at least 85% of the horizontal half line (47% of a full horizontal line). A vertical sync pulse from any standard should meet this requirement; both NTSC and PAL do meet this requirement (the serration pulse is the remainder of the period, 10% to 15% of the horizontal

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)

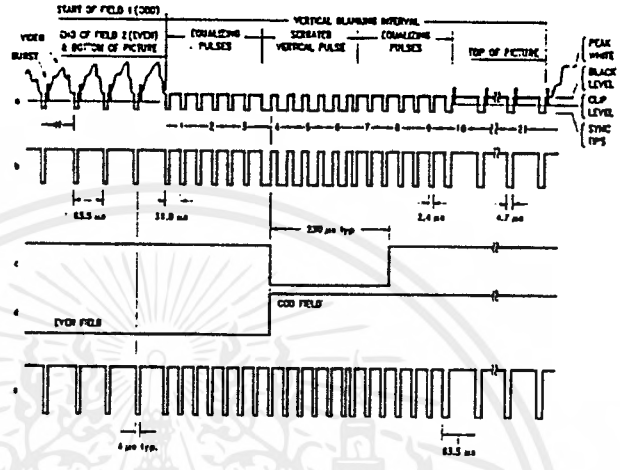
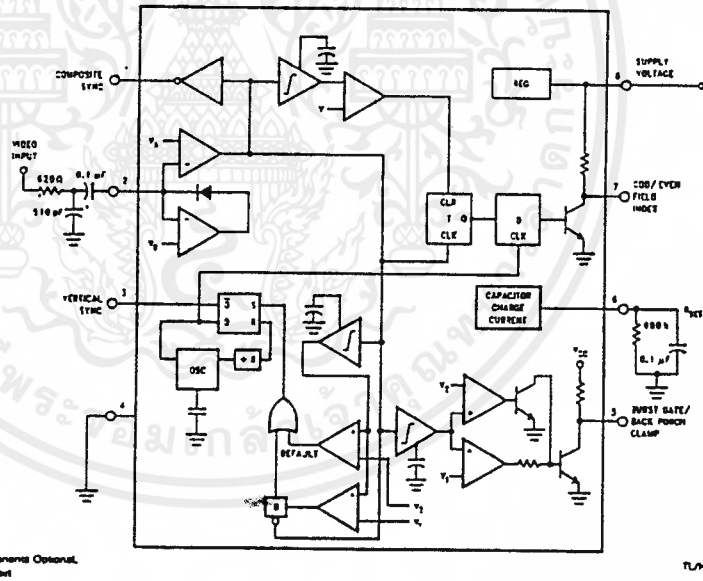


FIGURE 2. (a) Composite Video; (b) Composite Sync; (c) Vertical Output Pulse; (d) Odd/Even Field Index; (e) Burst Gate/Back Porch Clamp



*Components Optional, See Text

FIGURE 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)

half line). Remember this pulse is a *positive* pulse at the integrator but negative in *Figure 2*. This graph shows how long it takes the integrator to charge its internal capacitor above V_1.

WITH R_{set} too large the charging current of the integrator will be too small to charge the capacitor above V_1, thus there will be no vertical synch output pulse. As mentioned above, R_{set} also sets the frequency of the internal oscillator. If the oscillator runs too fast its eight cycles will be shorter than the vertical sync portion of the composite sync. Under this condition another vertical sync pulse can be generated on one of the later serration pulses after the divide by 8 circuit resets the R/S flip-flop. The first graph also shows the minimum R_{set} necessary to prevent a double vertical pulse, assuming that the serration pulses last for only three full horizontal line periods (six serration pulses for NTSC). The actual pulse width of the vertical sync pulse is shown in the "Vertical Pulse Width vs R_{set}" graph. Using NTSC as an example, lets see how these two graphs relate to each other. The Horizontal line is 64 µs long, or 32 µs for a horizontal half line. Now round this off to 30 µs. In the "R_{set} Value Selection vs Vertical Serration Pulse Separation" graph the minimum resistor value for 30 µs serration pulse separation is about 550 kΩ. Going to the "Vertical Pulse Width vs R_{set}" graph one can see that 550 kΩ gives a vertical pulse width of about 180 µs, the total time for the vertical sync period of NTSC (3 horizontal lines). A 550 kΩ will set the internal oscillator to a frequency such that eight cycles gives a time of 180 µs, just long enough to prevent a double vertical sync pulse at the vertical sync output of the LM1881.

The LM1881 also generates a default vertical sync pulse when the vertical sync period is unusually long and has no serration pulses. With a very long vertical sync time the integrator has time to charge its internal capacitor above the voltage level V_2. Since there is no falling edge at the end of a serration pulse to clock the "D" flip-flop, the only high signal going to the OR gate is from the default comparator when output of the integrator reaches V_2. At this time the R/S flip-flop is toggled by the default comparator, starting the vertical sync pulse at pin 3 of the LM1881. If the default vertical sync period ends before the end of the input vertical sync period, then the falling edge of the vertical sync (positive pulse at the "D" flip-flop) will clock the high output from the comparator with V_1 as a reference input. This will retrigger the oscillator, generating a second vertical sync output pulse. The "Vertical Default Sync Delay Time vs R_{set}" graph shows the relationship between the R_{set} value and the delay time from the start of the vertical sync period before the default vertical sync pulse is generated. Using the NTSC example again the smallest resistor for R_{set} is 500 kΩ. The vertical default time delay is about 50 µs, much longer than the 30 µs serration pulse spacing.

A common question is how can one calculate the required R_{set} with a video timing standard that has no serration pulses during the vertical blanking. If the default vertical sync is to be used this is a very easy task. Use the "Vertical Default Sync Delay Time vs R_{set}" graph to select the necessary R_{set} to give the desired delay time for the vertical sync output signal. If a second pulse is undesirable, then check the "Vertical Pulse Width vs R_{set}" graph to make sure the vertical output pulse will extend beyond the end of the input vertical sync period. In most systems the end of the vertical sync period may be very accurate. In this case the preferred design may be to start the vertical sync pulse at the end of the vertical sync period, similar to starting the vertical sync pulse after the first serration pulse. A VGA standard is to be used as an example to show how this is done. In this standard a horizontal line is 32 µs long. The vertical sync period is two horizontal lines long, or 64 µs. The vertical default sync delay time must be longer than the vertical sync period of 64 µs. In this case R_{set} must be larger than 680 kΩ. R_{set} must still be small enough for the output of the integrator to reach V_1 before the end of the vertical period of the input pulse. The first graph can be used to confirm that R_{set} is small enough for the integrator. Instead of using the vertical serration pulse separation, use the actual pulse width of the vertical sync period, or 64 µs in this example. This graph is linear, meaning that a value as large as 2.7 MΩ can be used for R_{set} (twice the value as the maximum at 30 µs). Due to leakage currents it is advisable to keep the value of R_{set} under 2.0 MΩ. In this example a value of 1.0 MΩ is selected, well above the minimum of 680 kΩ. With this value for R_{set} the pulse width of the vertical sync output pulse of the LM1881 is about 340 µs.

ODD/EVEN FIELD PULSE

An unusual feature of LM1881 is an output level from Pin 7 that identifies the video field present at the input to the LM1881. This can be useful in frame memory storage applications or in extracting test signals that occur only in alternate fields. For a composite video signal that is interlaced, one of the two fields that make up each video frame or picture must have a half horizontal scan line period at the end of the vertical scan—i.e., at the bottom of the picture. This is called the "odd field" or "field 1". The "even field" or "field 2" has a complete horizontal scan line at the end of the field. An odd field starts on the leading edge of the first equalizing pulse, whereas the even field starts on the leading edge of the second equalizing pulse of the vertical retrace interval. *Figure 2(a)* shows the end of the even field and the start of the odd field.

To detect the odd/even fields the LM1881 again integrates the composite sync waveform *(Figure 3)*. A capacitor is charged during the period between sync pulses and discharged when the sync pulse is present. The period between normal horizontal sync pulses is enough to allow the capacitor voltage to reach a threshold level of a comparator that clears a flipflop which is also being clocked by the sync waveform. When the vertical interval is reached, the shorter integration time between equalizing pulses prevents this

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)

threshold from being reached and the Q output of the flip-flop is toggled with each equalizing pulse. Since the half line period at the end of the odd field will have the same effect as an equalizing pulse period, the Q output will have a different polarity on successive fields. Thus by comparing the Q polarity with the vertical output pulse, an odd/even field index is generated. Pin 7 remains low during the even field and high during the odd field.

BURST/BACKPORCH OUTPUT PULSE

In a composite video signal, the chroma burst is located on the backporch of the horizontal blanking period. This period, approximately 4.8 µs long, is also the black level reference for the subsequent video scan line. The LM1881 generates a pulse at Pin 5 that can be used either to retrieve the chroma burst from the composite video signal (thus providing a subcarrier synchronizing signal) or as a clamp for the DC restoration of the video waveform. This output is obtained simply by charging an internal capacitor starting on the trailing edge of the horizontal sync pulses. Simultaneously the output of Pin 5 is pulled low and held until the capacitor charge circuit times out—4 µs later. A shorter output burst gate pulse can be derived by differentiating the burst output using a series C-R network. This may be necessary in applications which require high horizontal scan rates in combination with normal (50–120 Hz) vertical scan rates.

APPLICATIONS

Apart from extracting a composite sync signal free of video information, the LM1881 outputs allow a number of interesting applications to be developed. As mentioned above, the burst gate/backporch clamp pulse allows DC restoration of the original video waveform for display or remodulation on an R.F. carrier, and retrieval of the color burst for color synchronization and decoding into R.G.B. components. For frame memory storage applications, the odd/even field level allows identification of the appropriate field ensuring the correct read or write sequence. The vertical pulse output is particularly useful since it begins at a precise time—the rising edge of the first vertical serration in the sync waveform. This means that individual lines within the vertical blanking period (or anywhere in the active scan line period) can easily be extracted by counting the required number of transitions in the composite sync waveform following the start of the vertical output pulse.

The vertical blanking interval is proving popular as a means to transmit data which will not appear on a normal T.V. receiver screen. Data can be inserted beginning with line 10 (the first horizontal scan line on which the color burst appears) through to line 21. Usually lines 10 through 13 are not used which leaves lines 14 through 21 for inserting signals, which may be different from field to field. In the U.S., line 19 is normally reserved for a vertical interval reference signal (VIRS) and line 21 is reserved for closed caption data for the hearing impaired. The remaining lines are used in a number of ways. Lines 17 and 18 are frequently used during studio processing to add and delete vertical interval test signals (VITS) while lines 14 through 18 and line 20 can be used for Videotex/Teletext data. Several institutions are proposing to transmit financial data on line 17 and cable systems use the available lines in the vertical interval to send decoding data for descrambler terminals.

Since the vertical output pulse from the LM1881 coincides with the leading edge of the first vertical serration, sixteen positive or negative transitions later will be the start of line 14 in either field. At this point simple counters can be used to select the desired line(s) for insertion or deletion of data.

VIDEO LINE SELECTOR

The circuit in *Figure 4* puts out a single video line according to the binary coded information applied to line select bits b0–b7. A line is selected by adding two to the desired line number, converting to a binary equivalent and applying the result to the line select inputs. The falling edge of the LM1881's vertical pulse is used to load the appropriate number into the counters (MM74C193N) and to set a start count latch using two NAND gates. Composite sync transitions are counted using the borrow out of the desired number of counters. The final borrow out pulse is used to turn on the analog switch (CD4066BC) during the desired line. The falling edge of this signal also resets the start count latch, thereby terminating the counting.

The circuit, as shown, will provide a single line output for each field in an interlaced video system (television) or a single line output in each frame for a non-interlaced video system (computer monitor). When a particular line in only one field of an interlaced video signal is desired, the odd/even field index output must be used instead of the vertical output pulse (invert the field index output to select the odd field). A single counter is needed for selecting lines 3 to 14; two counters are needed for selecting lines 15 to 253; and three counters will work for up to 2046 lines. An output buffer is required to drive low impedance loads.

MULTIPLE CONTIGUOUS VIDEO LINE SELECTOR WITH BLACK LEVEL RESTORATION

The circuit in *Figure 5* will select a number of adjoining lines starting with the line selected as in the previous example. Additional counters can be added as described previously for either higher starting line numbers or an increased number of contiguous output lines. The back porch pulse output of the LM1881 is used to gate the video input's black level through a low pass filter (10 kΩ, 10 µF) providing black level restoration at the video output when the output selected line(s) is not being gated through.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications

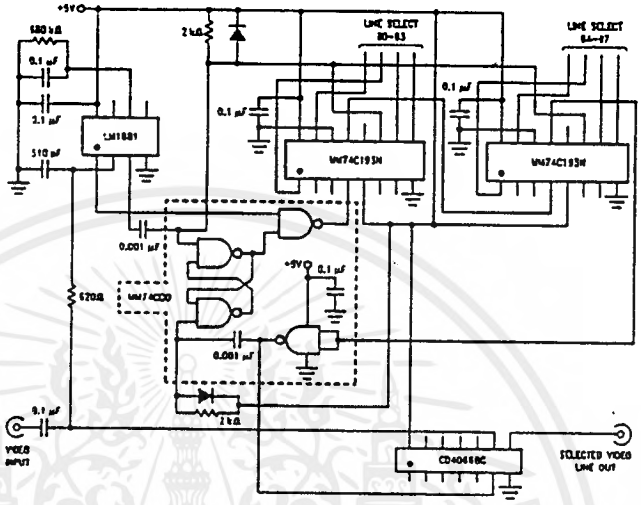


FIGURE 4. Video Line Selector

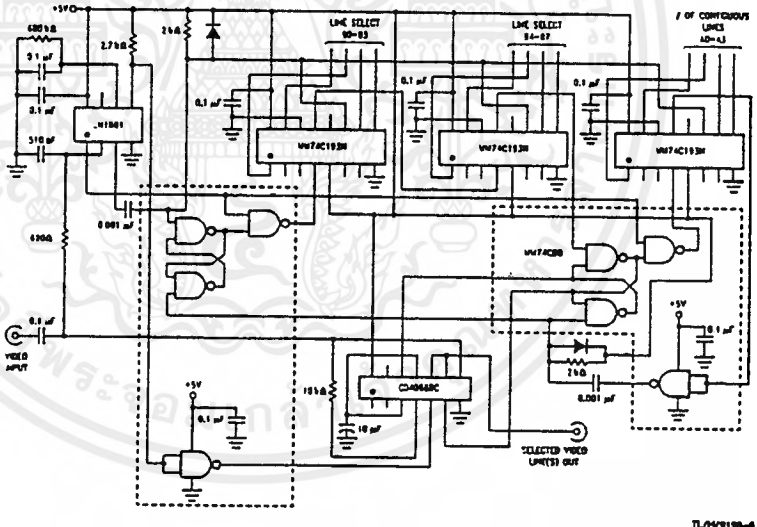
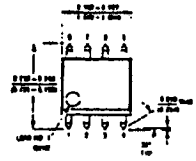


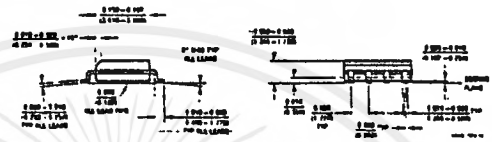
FIGURE 5. Multiple Contiguous Video Line Selector With Black Level Restoration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

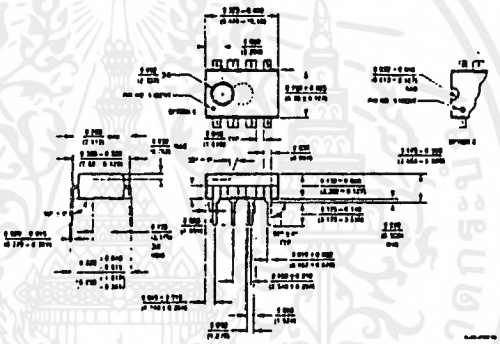
Physical Dimensions inches (millimeters)

Lit. # 107636





Molded Small Outline Package (M)
Order Number LM1881M
NS Package Number M08A



Molded Dual-In-Line Package (N)
Order Number LM1881N
NS Package Number N08E

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.

2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2308
Fax: 81-043-299-2408

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HARRIS SEMICONDUCTOR

CA3318C

CMOS Video Speed 8-Bit Flash A/D Converter

December 1993

Features

- CMOS Low Power with SOS Speed (150mW Typ.)
- Parallel Conversion Technique
- 15MHz Sampling Rate (67ns Conversion Time)
- 8-Bit Latched Tri-State Output with Overflow Bit
- ±1 LSB Accuracy (Typ.)
- Single Supply Voltage (4V to 7.5V)
- 2 Units in Series Allow 9-Bit Output
- 2 Units in Parallel Allow 30MHz Sampling Rate

Applications

- TV Video Digitizing (Industrial/Security/Broadcast)
- High-Speed A/D Conversion
- Ultrasound Signature Analysis
- Transient Signal Analysis
- High Energy Physics Research
- High Speed Oscilloscope Storage/Display
- General Purpose Hybrid ADCs
- Optical Character Recognition
- Radar Pulse Analysis
- Motion Signature Analysis
- µP Data Acquisition Systems

Description

The CA3318C is a CMOS parallel (FLASH) analog-to-digital converter designed for applications demanding both low power consumption and high speed digitization.

The CA3318 operates over a wide full scale input voltage range of 4V up to 7.5V with maximum power consumption depending upon the clock frequency selected. When operated from a 5V supply at a clock frequency of 15MHz, the typical power consumption of the CA3318 is 150mW.

The intrinsic high conversion rate makes the CA3318 ideally suited for digitizing high speed signals. The overflow bit makes possible the connection of two or more CA3318s in series to increase the resolution of the conversion system. A series connection of two CA3318s may be used to produce a 9-bit high speed converter. Operation of two CA3318s in parallel doubles the conversion speed (i.e., increases the sampling rate from 15MHz to 30MHz).

256 paralleled auto balanced voltage comparators measure the input voltage with respect to a known reference to produce the parallel bit outputs in the CA3318.

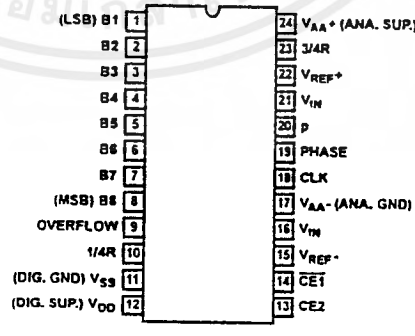
255 comparators are required to quantize all input voltage levels in this 8-bit converter, and the additional comparator is required for the overflow bit.

Ordering Information

PART NUMBER	LINEARITY (INL)	SAMPLING RATE	TEMPERATURE RANGE	PACKAGE
CA3318CE	±1.5 LSB	15MHz (67ns)	-40°C to +85°C	24 Lead Plastic DIP
CA3318CM	±1.5 LSB	15MHz (67ns)	-40°C to +85°C	24 Lead Plastic SOIC
CA3318CD	±1.5 LSB	15MHz (67ns)	-40°C to +85°C	24 Lead Ceramic DIP

Pinout

CA3318C (PDIP, CDIP, SOIC)
TOP VIEW



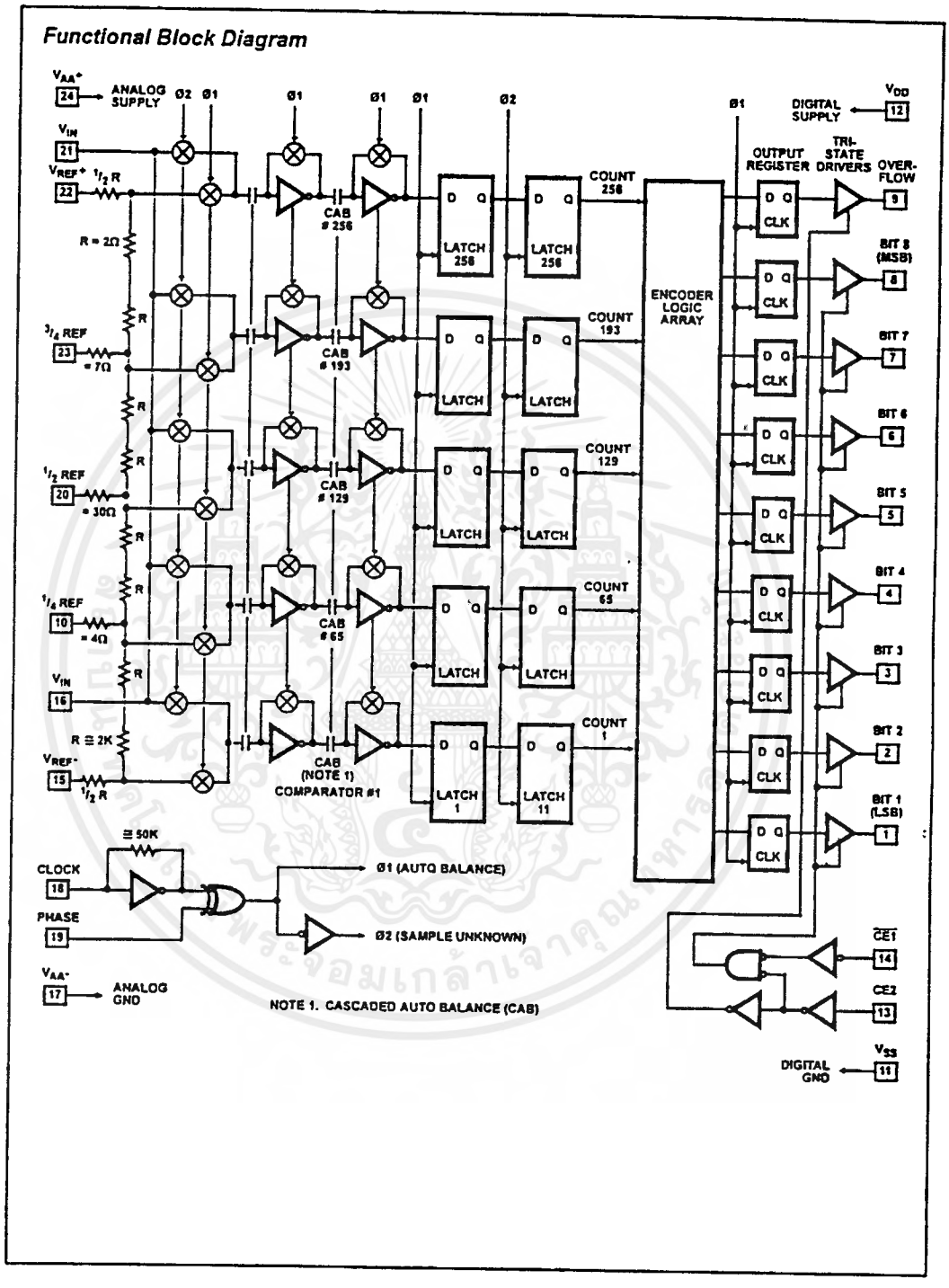
CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper I.C. Handling Procedures.

Copyright © Harris Corporation 1993

File Number 3103

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Specifications CA3318C

Absolute Maximum Ratings

DC Supply Voltage Range (V_{DD} or V_{AA}+) ..... -0.5V to +8V
(Referenced to V_{SS} or V_{AA}- Terminal, Whichever is More Negative)
Input Voltage Range
CE2 and $\overline{CE1}$ ..... V_{AA}- -0.5V to V_{DD} + 0.5V
Clock, Phase, V_{REF}-, 1/2 Ref. ..... V_{AA}- -0.5V to V_{AA}+ + 0.5V
Clock, Phase, V_{REF}-, 1/4 Ref. ..... V_{SS}- -0.5V to V_{DD} + 0.5V
V_{IN}, 3/4 REF, V_{REF}+ ..... V_{AA}- -0.5V to V_{AA}- + 7.5V
Output Voltage Range ..... V_{SS} - 0.5V to V_{DD} + 0.5V
Bits 1-8, Overflow (Outputs Off)
DC Input Current ..... ±20mA
Clock, Phase, $\overline{CE1}$, CE2, V_{IN}, Bits 1-8, Overflow
Operating Voltage Range (V_{DD} or V_{AA}+) ..... 4V Min to 7.5V Max
Recommended V_{AA}+ Operating Range ..... V_{DD} ± 1V
Recommended V_{AA}- Operating Range ..... V_{SS} ± 1V
Storage Temperature Range ..... -65°C to +150°C
Lead Temperature (Soldering 10s) ..... +265°C

Thermal Information

Thermal Resistance	θ_{JA}	θ_{JC}
Ceramic DIP Package	58°C/W	11°C/W
Plastic DIP Package	60°C/W	-
Plastic SOIC Package	75°C/W	-

Maximum Power Dissipation 0.67W
Operating Temperature Range (T_A) ..... -40°C to +85°C
Junction Temperature
Ceramic Package ..... +175°C
Plastic Package ..... +150°C

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

Electrical Specifications

At +25°C, V_{AA}+ = V_{DD} = 5V, V_{REF}+ = 6.4V, V_{REF}- = V_{AA}- = V_{SS}, CLK = 15MHz, All Reference Points Adjusted, Unless Otherwise Specified.

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
SYSTEM PERFORMANCE					
Resolution		8	-	-	Bits
Integral Linearity Error		-	-	± 1.5	LSB
Differential Linearity Error		-	-	+1, -0.8	LSB
Offset Error, Unadjusted	V_{IN} = V_{REF}- + 1/2 LSB	-0.5	4.5	6.4	LSB
Gain Error Unadjusted	V_{IN} = V_{REF}+ - 1/2 LSB	-1.5	0	1.5	LSB
DYNAMIC CHARACTERISTICS					
Maximum Input Bandwidth	(Note 1) CA3318C	2.5	5.0	-	MHz
Maximum Conversion Speed	CLK = Square Wave	15	17	-	MSPS
Signal to Noise Ratio (SNR) = RMS Signal / RMS Noise	F_S = 15MHz, f_{IN} = 100kHz	-	47	-	dB
	F_S = 15MHz, f_{IN} = 4MHz	-	43	-	dB
Signal to Noise Ratio (SINAD) = RMS Signal / RMS Noise+Distortion	F_S = 15MHz, f_{IN} = 100kHz	-	45	-	dB
	F_S = 15MHz, f_{IN} = 4MHz	-	35	-	dB
Total Harmonic Distortion, THD	F_S = 15MHz, f_{IN} = 100kHz	-	-46	-	dBc
	F_S = 15MHz, f_{IN} = 4MHz	-	-36	-	dBc
Effective Number of Bits (ENOB)	F_S = 15MHz, f_{IN} = 100kHz	-	7.2	-	Bits
	F_S = 15MHz, f_{IN} = 4MHz	-	5.5	-	Bits
Differential Gain Error	Unadjusted	-	2	-	%
Differential Phase Error	Unadjusted	-	1	-	%
ANALOG INPUTS					
Full Scale Range, V_{IN} and (V_{REF}+) - (V_{REF}-)	Notes 2, 4	4	-	7	V
Input Capacitance, V_{IN}		-	30	-	pF
Input Current, V_{IN}, (See Text)	V_{IN} = 5.0V, V_{REF}+ = 5.0V	-	-	3.5	mA
REFERENCE INPUTS					
Ladder Impedance		270	500	800	Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Specifications CA3318C

Electrical Specifications At +25°C, $V_{AA}+ = V_{DD} = 5V$, $V_{REF}+ = 6.4V$, $V_{REF}- = V_{AA}- = V_{SS}$, CLK = 15MHz. All Reference Points Adjusted, Unless Otherwise Specified. (Continued)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS					
Low Level Input Voltage, V_{OL}					
$\overline{CE1}$, CE2	Note 4	-	-	$0.2V_{DD}$	V
Phase, CLK	Note 4	-	-	$0.2V_{AA}$	V
High Level Input Voltage, V_{IN}					
$\overline{CE1}$, CE2	Note 4	$0.7V_{DD}$	-	-	V
Phase, CLK	Note 4	$0.7V_{AA}$	-	-	V
Input Leakage Current, I_I (Except CLK Input	Note 3	-	±0.2	±5	µA
Input Capacitance, C_I		-	3	-	pF
DIGITAL OUTPUTS					
Output Low (Sink) Current	$V_O = 0.4V$	4	10	-	mA
Output High (Source) Current	$V_O = 4.5V$	-4	-6	-	mA
Tri-State Output Off-State Leakage Current, I_{OZ}		-	±0.2	±5	µA
Output Capacitance, C_O		-	4	-	pF
TIMING CHARACTERISTICS					
Auto Balance Time (ϕ1)		33	-	∞	ns
Sample Time (ϕ2)	Note 4	25	-	500	ns
Aperture Delay		-	15	-	ns
Aperture Jitter		-	100	-	ps
Data Valid Time, T_D	Note 4	-	50	65	ns
Data Hold Time, T_H	Note 4	25	40	-	ns
Output Enable Time, T_{EN}		-	18	-	ns
Output Disable Time, T_{DIS}		-	18	-	ns
POWER SUPPLY CHARACTERISTICS					
Device Current ($I_{DD} + I_A$) (Excludes I_{REF})	Continuous Conversion (Note 4)	-	30	60	mA
	Auto Balance (ϕ1)	-	30	60	mA

NOTES.

1. A full scale sine wave input of greater than $F_{CLOCK}/2$ or the specified input bandwidth (whichever is less) may cause an erroneous code. The -3dB bandwidth for frequency response purposes is greater than 30MHz.
2. V_{IN} (Full Scale) or $V_{REF}+$ should not exceed $V_{AA}+ + 1.5V$ for accuracy.
3. The clock input is a CMOS inverter with a 50kΩ feedback resistor and may be AC coupled with $1V_{P-P}$ minimum source.
4. Parameter not tested, but guaranteed by design or characterization.

Timing Waveforms

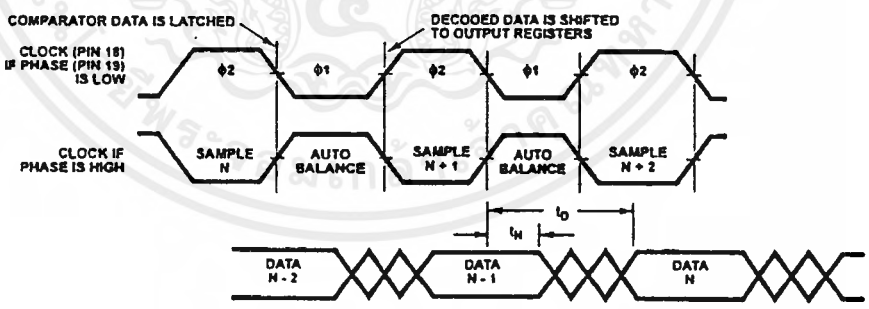


FIGURE 1. INPUT TO OUTPUT TIMING DIAGRAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves

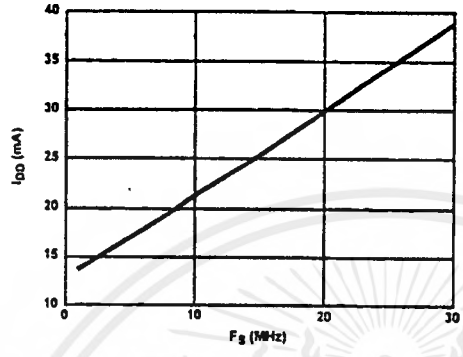


FIGURE 4. DEVICE CURRENT vs SAMPLE FREQUENCY

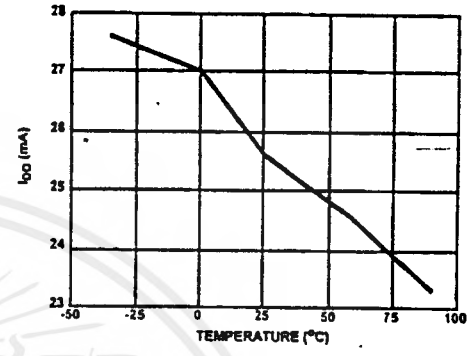


FIGURE 5. DEVICE CURRENT vs TEMPERATURE

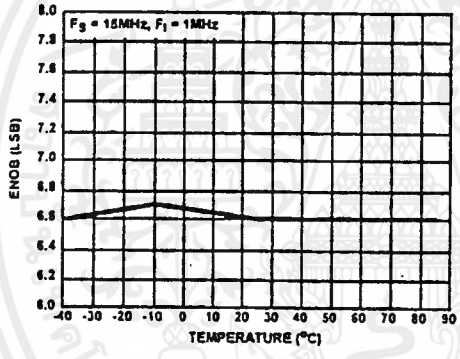


FIGURE 6. ENOB vs TEMPERATURE

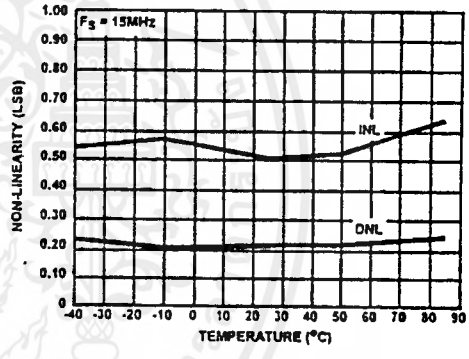


FIGURE 7. NON-LINEARITY vs TEMPERATURE

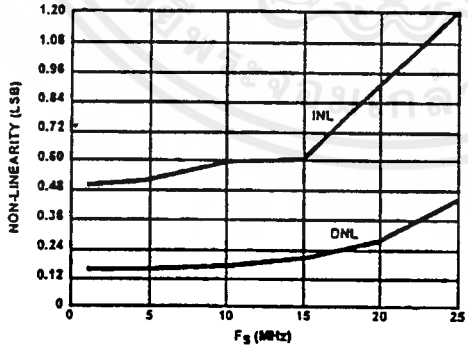


FIGURE 8. NON-LINEARITY vs SAMPLE FREQUENCY

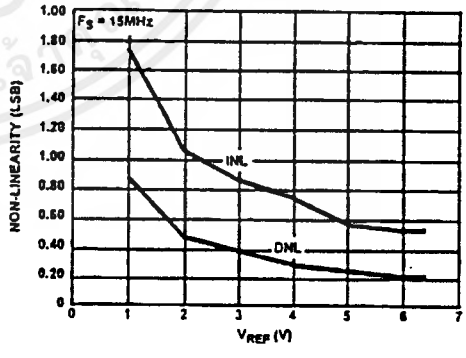


FIGURE 9. NON-LINEARITY vs REFERENCE VOLTAGE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves (Continued)

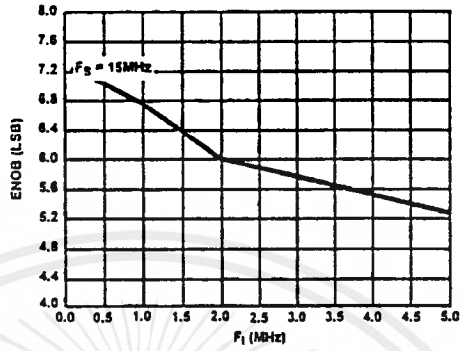


FIGURE 10. ENOB vs INPUT FREQUENCY

Pin Descriptions

PIN	NAME	DESCRIPTION	
1	B1	Bit 1 (LSB)	Output Data Bits (High = True)
2	B2	Bit 2	
3	B3	Bit 3	
4	B4	Bit 4	
5	B5	Bit 5	
6	B6	Bit 6	
7	B7	Bit 7	
8	B8	Bit 8 (MSB)	
9	OF	Overflow	
10	$^1/_4$ R	Reference Ladder $^1/_4$ Point	
11	V_{SS}	Digital Ground	
12	V_{DD}	Digital Power Supply, +5V	
13	CE2	Tri-State Output Enable Input, Active Low. See Truth Table.	
14	CE1	Tri-State Output Enable Input Active High. See Truth Table.	
15	V_{REF}-	Reference Voltage Negative Input	
16	V_{IN}	Analog Signal Input	
17	V_{AA}-	Analog Ground	
18	CLK	Clock Input	
19	PHASE	Sample clock phase control input. When PHASE is low, "Sample Unknown" occurs when the clock is low and "Auto Balance" occurs when the clock is high (see text).	
20	$^1/_2$ R	Reference Ladder Midpoint	
21	V_{IN}	Analog Signal Input	
22	V_{REF}+	Reference Voltage Positive Input	
23	$^3/_4$ R	Reference Ladder $^3/_4$ Point	
24	V_{AA}+	Analog Power Supply, +5V	

CHIP ENABLE TRUTH TABLE

CE1	CE2	B1 - B8	OF
0	1	Valid	Valid
1	1	Tri-State	Valid
X	0	Tri-State	Tri-State

X = Don't Care

Theory of Operation

A sequential parallel technique is used by the CA3318 converter to obtain its high speed operation. The sequence consists of the "Auto-Balance" phase, ϕ1, and the "Sample Unknown" phase, ϕ2. (Refer to the circuit diagram.) Each conversion takes one clock cycle*. With the phase control (pin 19) high, the "Auto-Balance" (ϕ1) occurs during the high period of the clock cycle, and the "Sample Unknown" (ϕ2) occurs during the low period of the clock cycle.

* The device requires only a single phase clock The terminology of ϕ1 and ϕ2 refers to the high and low periods of the same clock.

During the "Auto-Balance" phase, a transmission switch is used to connect each of the first set of 256 commutating capacitors to their associated ladder reference tap. Those tap voltages will be as follows:

$$V_{TAP}(N) = [(N/256)\,V_{REF}] - (1/512)\,V_{REF}]$$
$$= [(2N - 1)/512]\,V_{REF}$$

Where:

V_{TAP} (n) = reference ladder tap voltage at point n.
V_{REF} = voltage across V_{REF}- to V_{REF}+
N = tap number (1 through 256)

The other side of these capacitors are connected to single-stage amplifiers whose outputs are shorted to their inputs by switches. This balances the amplifiers at their intrinsic trip points, which is approximately (V_{AA}+ - V_{AA}-)/2. The first set of capacitors now charges to their associated tap voltages.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

At the same time a second set of commutating capacitors and amplifiers is also auto-balanced. The balancing of the second-stage amplifier at its intrinsic trip point removes any tracking differences between the first and second amplifier stages. The cascaded auto-balance (CAB) technique, used here, increases comparator sensitivity and temperature tracking.

In the "Sample Unknown" phase, all ladder tap switches and comparator shorting switches are opened. At the same time V_{IN} is switched to the first set of commutating capacitors. Since the other end of the capacitors are now looking into an effectively open circuit, any input voltage that differs from the previous tap voltage will appear as a voltage shift at the comparator amplifiers. All comparators that had tap voltages greater than V_{IN} will go to a "high" state at their outputs. All comparators that had tap voltages lower than V_{IN} will go to a "low" state.

The status of all these comparator amplifiers is AC coupled through the second-stage comparator and stored at the end of this phase ($\phi 2$) by a latching amplifier stage. The latch feeds a second latching stage, triggered at the end of $\phi 1$. This delay allows comparators extra settling time. The status of the comparators is decoded by a 256 to 9-bit decoder array, and the results are clocked into a storage register at the end of the next $\phi 2$.

A 3-stage buffer is used at the output of the 9 storage registers which are controlled by two chip-enable signals. $\overline{CE1}$ will independently disable B1 through B6 when it is in a high state. CE2 will independently disable B1 through B8 and the OF buffers when it is in the low state.

To facilitate usage of this device, a phase control input is provided which can effectively complement the clock as it enters the chip.

Continuous-Clock Operation

One complete conversion cycle can be traced through the CA3318 via the following steps. (Refer to timing diagram.) With the phase control in a "low" state, the rising edge of the clock input will start a "sample" phase. During this entire "high" state of the clock, the comparators will track the input voltage and the first-stage latches will track the comparator outputs. At the falling edge of the clock, all 256 comparator outputs are captured by the 256 latches. This ends the "sample" phase and starts the "auto-balance" phase for the comparators. During this "low" state of the clock, the output of the latches settles and is captured by a second row of latches when the clock returns high. The second-stage latch output propagates through the decode array, and a 9-bit code appears at the D inputs of the output registers. On the next falling edge of the clock, this 9-bit code is shifted into the output registers and appears with time delay t_D as valid data at the output of the tri-state drivers. This also marks the end of the next "sample" phase, thereby repeating the conversion process for this next cycle.

Pulse-Mode Operation

The CA3318 needs two of the same polarity clock edges to complete a conversion cycle: If, for instance, a negative going clock edge ends sample "N", then data "N" will appear after the next negative going edge. Because of this requirement, and because there is a maximum sample time of 500ns (due to capacitor droop), most pulse or intermittent sample applications will require double clock pulsing.

If an indefinite standby state is desired, standby should be in auto-balance, and the operation would be as in Figure 3A.

If the standby state is known to last less than 500ns and lowest average power is desired, then operation could be as in Figure 3B.

Increased Accuracy

In most cases the accuracy of the CA3318 should be sufficient without any adjustments. In applications where accuracy is of utmost importance, five adjustments can be made to obtain better accuracy, i.e., offset trim; gain trim; and $^1/_4$, $^1/_2$ and $^3/_4$ point trim.

Offset Trim

In general, offset correction can be done in the preamp circuitry by introducing a dc shift to V_{IN} or by the offset trim of the op amp. When this is not possible the V_{REF}- input can be adjusted to produce an offset trim. The theoretical input voltage to produce the first transition is $^1/_2$ LSB. The equation is as follows:

$$V_{IN} \text{ (0 to 1 transition)} = {}^1/_2 \text{ LSB} = {}^1/_2 (V_{REF}/256)$$
$$= V_{REF}/512$$

If V_{IN} for the first transition is less than the theoretical, then a single-turn 50Ω pot connected between V_{REF}- and ground will accomplish the adjustment. Set V_{IN} to 1/2 LSB and trim the pot until the 0-to-1 transition occurs.

If V_{IN} for the first transition is greater than the theoretical, then the 50Ω pot should be connected between V_{REF}- and a negative voltage of about 2 LSB's. The trim procedure is as stated previously.

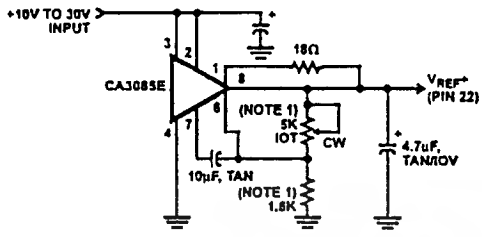
Gain Trim

In general, the gain trim can also be done in the preamp circuitry by introducing a gain adjustment for the op amp. When this is not possible, then a gain adjustment circuit should be made to adjust the reference voltage. To perform this trim, V_{IN} should be set to the 255 to overflow transition. That voltage is $^1/_2$ LSB less than V_{REF}+ and is calculated as follows:

$$V_{IN} \text{ (255 to 256 transition)} = V_{REF} - V_{REF}/512$$
$$= V_{REF}(511/512)$$

To perform the gain trim, first do the offset trim and then apply the required V_{IN} for the 255 to overflow transition. Now adjust V_{REF}+ until that transition occurs on the outputs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

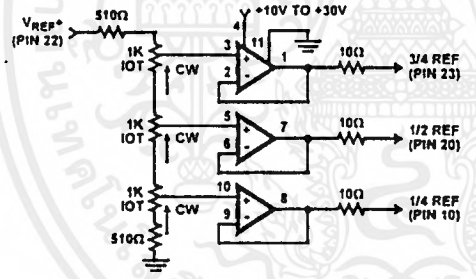


NOTE: Bypass V_{REF}+ to analog GND near A/D with 0.1µF ceramic cap. Parts noted should have low temperature drift.

FIGURE 11. TYPICAL VOLTAGE REFERENCE SOURCE FOR DRIVING V_{REF}+ INPUT

$^1/_4$ Point Trims

The $^1/_4$, $^1/_2$ and $^3/_4$ points on the reference ladder are brought out for linearity adjusting or if the user wishes to create a nonlinear transfer function. The $^1/_4$ points can be driven by the reference drivers shown (Figure 12) or by 2-K pots connected between V_{REF}+ and V_{REF}-. The $^1/_2$ (mid-) point should be set first by applying an input of 257/512 x (V_{REF}) and adjusting for an output changing from 128 to 129. Similarly the $^1/_4$ and $^3/_4$ points can be set with inputs of 129/512 and 385/512 x (V_{REF}) and adjusting for counts of 192 to 193 and 64 to 65. (Note that the points are actually $^1/_4$, $^1/_2$ and $^3/_4$ of full scale ±1 LSB.)



NOTES:

1. All Op Amps = $^3/_4$ CA324E
2. Bypass all reference points to analog ground near A/D with 0.1µF ceramic caps.
3. Adjust V_{REF}- first, then $^1/_2$, $^3/_4$ and $^1/_4$ points.

FIGURE 12. TYPICAL 1/4 POINT DRIVERS FOR ADJUSTING LINEARITY (USE FOR MAXIMUM LINEARITY)

9-Bit Resolution

To obtain 9-bit resolution, two CA3318's can be wired together. Necessary ingredients include an open-ended ladder network, an overflow indicator, tri-state outputs, and chip-enable controls—all of which are available on the CA3318.

The first step for connecting a 9-bit circuit is to totem-pole the ladder networks, as illustrated in Figure 13. Since the absolute resistance value of each ladder may vary, external trim of the mid-reference voltage may be required.

The overflow output of the lower device now becomes the ninth bit. When it goes high, all counts must come from the upper device. When it goes low, all counts must come from the lower device. This is done simply by connecting the lower overflow signal to the $\overline{CE1}$ control of the lower A/D converter and the CE2 control of the upper A/D converter. The tri-state outputs of the two devices (bits 1 through 8) are now connected in parallel to complete the circuitry. The complete circuit for a 9-bit A/D converter is shown in Figure 14.

Grounding/Bypassing

The analog and digital supply grounds of a system should be kept separate and only connected at the A/D. This keeps digital ground noise out of the analog data to be converted. Reference drivers, input amps, reference taps, and the V_{AA} supply should be bypassed at the A/D to the analog side of the ground. See Figure 15 for a block diagram of this concept. All capacitors shown should be low impedance 0.1µF ceramics and should be mounted as close to the A/D as possible. If V_{AA}+ is derived from V_{DD}, a small (10Ω resistor or inductor and additional filtering (4.7µF tantalum) may be used to keep digital noise out of the analog system.

Input Loading

The CA3318 outputs a current pulse to the V_{IN} terminal at the start of every sample period. This is due to capacitor charging and switch feedthrough and varies with input voltage and sampling rate. The signal source must be capable of recovering from the pulse before the end of the sample period to guarantee a valid signal for the A/D to convert. Suitable high speed amplifiers include the HA-5033, HA-2542; and CA3450. Figure 16 is an example of an amplifier which recovers fast enough for sampling at 15MHz.

Output Loading

The CMOS digital output stage, although capable of driving large loads, will reflect these loads into the local ground. It is recommended that a local CMOS buffer such as CD74HC541 E be used to isolate capacitive loads.

Definitions

Dynamic Performance Definitions

Fast Fourier Transform (FFT) techniques are used to evaluate the dynamic performance of the converter. A low distortion sine wave is applied to the input, it is sampled, and the output is stored in RAM. The data is then transformed into the frequency domain with a 4096 point FFT and analyzed to evaluate the dynamic performance of the A/D. The sine wave input to the part is -0.5dB down from fullscale for all these tests.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Signal-to-Noise (SNR)

SNR is the measured RMS signal to RMS noise at a specified input and sampling frequency. The noise is the RMS sum of all of the spectral components except the fundamental and the first five harmonics.

Signal-to-Noise + Distortion Ratio (SINAD)

SINAD is the measured RMS signal to RMS sum of all other spectral components below the Nyquist frequency excluding DC.

Effective Number of Bits (ENOB)

The effective number of bits (ENOB) is derived from the SINAD data. ENOB is calculated from:

$$ENOB = (SINAD - 1.76 + V_{CORR})/6.02$$

where: $V_{CORR} = 0.5dB$

Total Harmonic Distortion (THD)

THD is the ratio of the RMS sum of the first 5 harmonic components to the RMS value of the measured input signal.

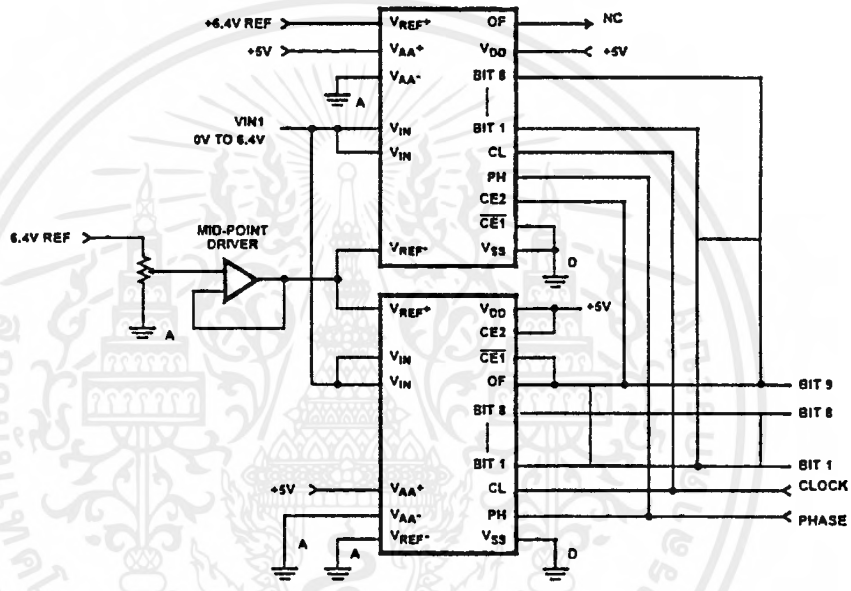


FIGURE 13. USING TWO CA3318s FOR 9-BIT RESOLUTION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

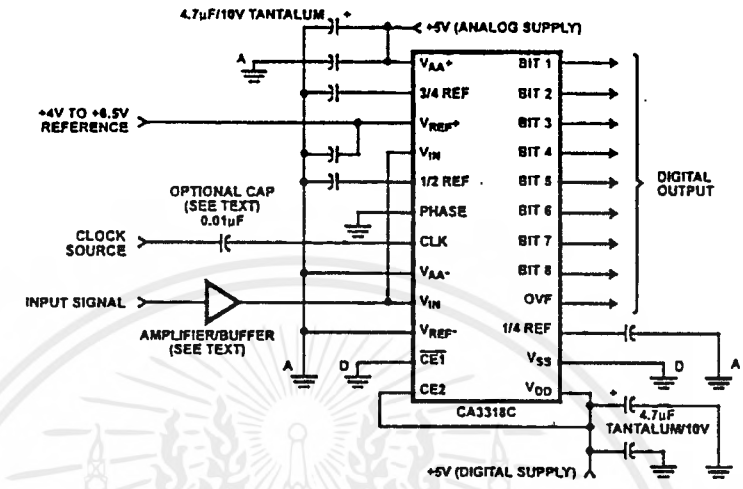


FIGURE 14. TYPICAL CIRCUIT CONFIGURATION FOR THE CA3318 WITH NO LINEARITY ADJUST

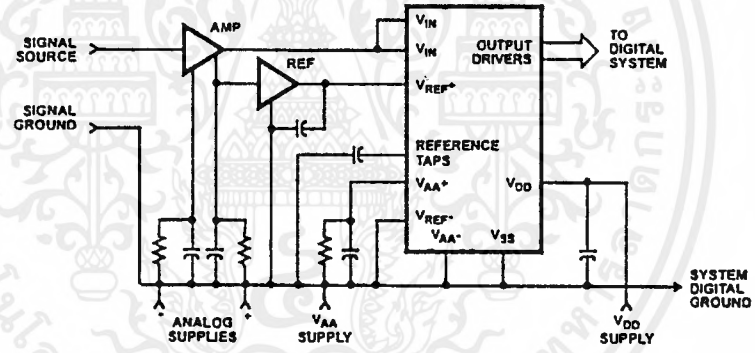
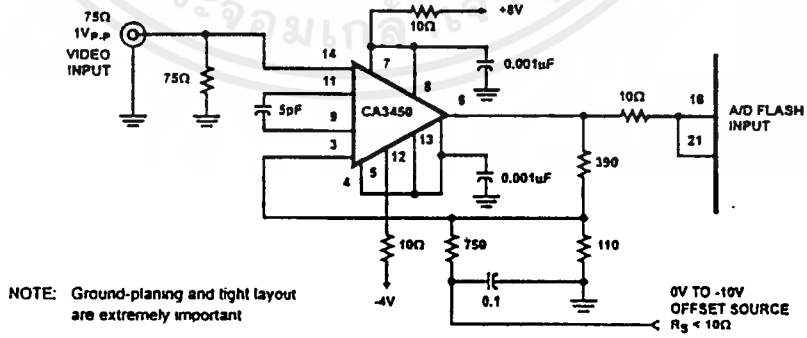


FIGURE 15. TYPICAL SYSTEM GROUNDING/BYPASSING



NOTE: Ground-planing and tight layout are extremely important

FIGURE 16. TYPICAL HIGH BANDWIDTH AMPLIFIER FOR DRIVING THE CA3318

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 1. OUTPUT CODE TABLE

CODE DESCRIPTION	INPUT VOLTAGE (NOTE 1)		BINARY OUTPUT CODE									DECIMAL COUNT
	V_{REF} 6.40V (V)	V_{REF} 5.12V (V)	OF	MSB B8	B7	B6	B5	B4	B3	B2	LSB B1	
Zero	0.00	0.00	0	0	0	0	0	0	0	0	0	0
1 LSB	0.025	0.02	0	0	0	0	0	0	0	0	1	1
2 LSB	0.05	0.04	0	0	0	0	0	0	0	1	0	2
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
1/4 Full Scale	1.60	1.28	0	0	1	0	0	0	0	0	0	64
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
1/2 Full Scale - 1 LSB	3.175	2.54	0	0	1	1	1	1	1	1	1	127
1/2 Full Scale	3.20	2.56	0	1	0	0	0	0	0	0	0	128
1/2 Full Scale + 1 LSB	3.225	2.58	0	1	0	0	0	0	0	0	1	129
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
3/4 Full Scale	4.80	3.84	0	1	1	0	0	0	0	0	0	192
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
Full Scale - 1 LSB	6.35	5.08	0	1	1	1	1	1	1	1	0	254
Full Scale	6.375	5.10	0	1	1	1	1	1	1	1	1	255
Over Flow	6.40	5.12	1	1	1	1	1	1	1	1	1	511

NOTE: 1. The voltages listed above are the ideal centers of each output code shown as a function of its associated reference voltage.

Reducing Power

Most power is consumed while in the auto-balance state. When operating at lower than 15MHz clock speed, power can be reduced by stretching the sample (ϕ2) time. The constraints are a minimum balance time (ϕ1) of 33ns, and a maximum sample time of 500ns. Longer sample times cause droop in the auto-balance capacitors. Power can also be reduced in the reference string by switching the reference on only during auto-balance.

Clock Input

The Clock and Phase inputs feed buffers referenced to V_{AA}+ and V_{AA}-. Phase should be tied to one of these two potentials, while the clock (if DC coupled) should be driven at least from 0.2 to 0.7 x (V_{AA}+ - V_{AA}-). The clock may also be AC coupled with at least a 1 V_{P-P} swing. This allows TTL drive levels or 5V CMOS levels when V_{AA}+ is greater than 5V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MITEL

ISO²-CMOS MT8870D/MT8870D-1
Integrated DTMF Receiver

ISSUE 4 August 1996

Features

- Complete DTMF Receiver
- Low power consumption
- Internal gain setting amplifier
- Adjustable guard time
- Central office quality
- Power-down mode
- Inhibit mode
- Backward compatible with MT8870C/MT8870C-1

Applications

- Receiver system for British Telecom (BT) or CEPT Spec (MT8870D-1)
- Paging systems
- Repeater systems/mobile radio
- Credit card systems
- Remote control
- Personal computers
- Telephone answering machine

Ordering Information

MT8870DE/DE-1	18 Pin Plastic DIP
MT8870DC/DC-1	18 Pin Ceramic DIP
MT8870DS/DS-1	18 Pin SOIC
MT8870DN/DN-1	20 Pin SSOP

-40 °C to +85 °C

Description

The MT8870D/MT8870D-1 is a complete DTMF receiver integrating both the bandsplit filter and digital decoder functions. The filter section uses switched capacitor techniques for high and low group filters; the decoder uses digital counting techniques to detect and decode all 16 DTMF tone-pairs into a 4-bit code. External component count is minimized by on chip provision of a differential input amplifier, clock oscillator and latched three-state bus interface.

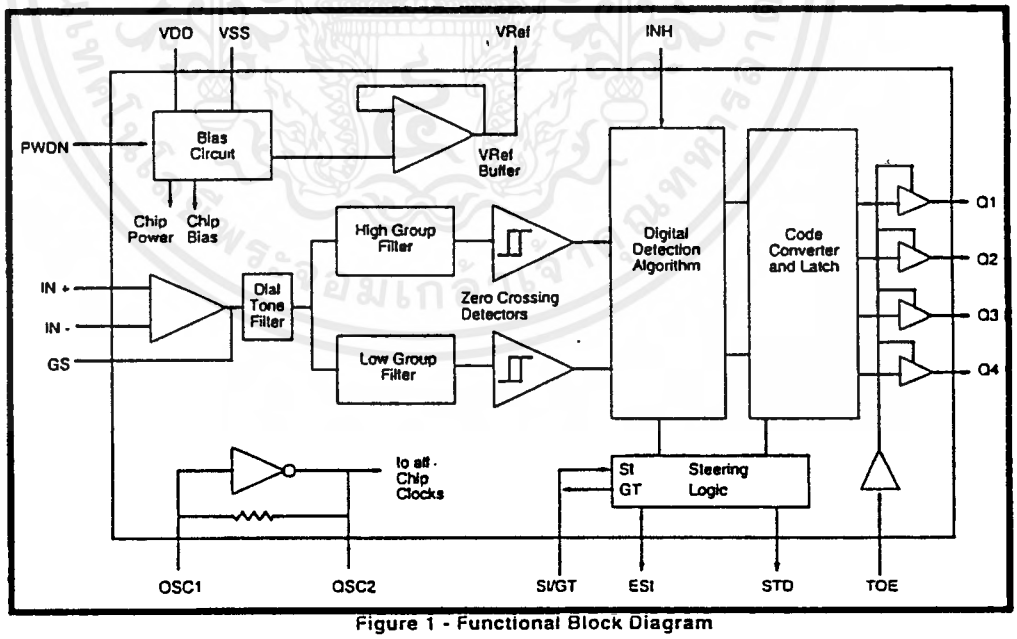


Figure 1 - Functional Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

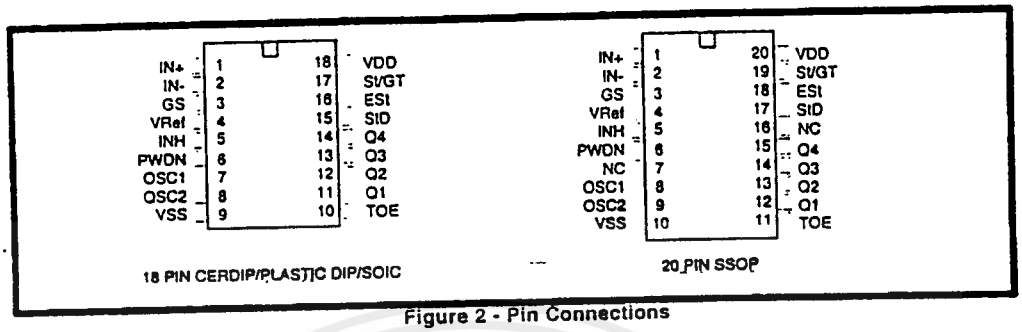


Figure 2 - Pin Connections

Pin Description

Pin # 18	Pin # 20	Name	Description
1	1	IN+	**Non-Inverting Op-Amp (Input).**
2	2	IN-	**Inverting Op-Amp (Input).**
3	3	GS	**Gain Select.** Gives access to output of front end differential amplifier for connection of feedback resistor.
4	4	V_{Ref}	**Reference Voltage (Output).** Nominally $V_{DD}/2$ is used to bias inputs at mid-rail (see Fig. 6 and Fig. 10).
5	5	INH	**Inhibit (Input).** Logic high inhibits the detection of tones representing characters A, B, C and D. This pin input is internally pulled down.
6	6	PWDN	**Power Down (Input).** Active high. Powers down the device and inhibits the oscillator. This pin input is internally pulled down.
7	8	OSC1	**Clock (Input).**
8	9	OSC2	**Clock (Output).** A 3.579545 MHz crystal connected between pins OSC1 and OSC2 completes the internal oscillator circuit.
9	10	V_{SS}	**Ground (Input).** 0V typical.
10	11	TOE	**Three State Output Enable (Input).** Logic high enables the outputs Q1-Q4. This pin is pulled up internally.
11-14	12-15	Q1-Q4	**Three State Data (Output).** When enabled by TOE, provide the code corresponding to the last valid tone-pair received (see Table 1). When TOE is logic low, the data outputs are high impedance.
15	17	StD	**Delayed Steering (Output).** Presents a logic high when a received tone-pair has been registered and the output latch updated; returns to logic low when the voltage on St/GT falls below V_{TSt}.
16	18	ESt	**Early Steering (Output).** Presents a logic high once the digital algorithm has detected a valid tone pair (signal condition). Any momentary loss of signal condition will cause ESt to return to a logic low.
17	19	St/GT	**Steering Input/Guard time (Output) Bidirectional.** A voltage greater than V_{TSt} detected at St causes the device to register the detected tone pair and update the output latch. A voltage less than V_{TSt} frees the device to accept a new tone pair. The GT output acts to reset the external steering time-constant; its state is a function of ESt and the voltage on St.
18	20	V_{DD}	**Positive power supply (Input).** +5V typical.
	7, 16	NC	No Connection.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

The MT8870D/MT8870D-1 monolithic DTMF receiver offers small size, low power consumption and high performance. Its architecture consists of a bandsplit filter section, which separates the high and low group tones, followed by a digital counting section which verifies the frequency and duration of the received tones before passing the corresponding code to the output bus.

Filter Section

Separation of the low-group and high group tones is achieved by applying the DTMF signal to the inputs of two sixth-order switched capacitor bandpass filters, the bandwidths of which correspond to the low and high group frequencies. The filter section also incorporates notches at 350 and 440 Hz for exceptional dial tone rejection (see Figure 3). Each filter output is followed by a single order switched capacitor filter section which smooths the signals prior to limiting. Limiting is performed by high-gain comparators which are provided with hysteresis to prevent detection of unwanted low-level signals. The outputs of the comparators provide full rail logic swings at the frequencies of the incoming DTMF signals.

Decoder Section

Following the filter section is a decoder employing digital counting techniques to determine the frequencies of the incoming tones and to verify that they correspond to standard DTMF frequencies. A complex averaging algorithm protects against tone simulation by extraneous signals such as voice while

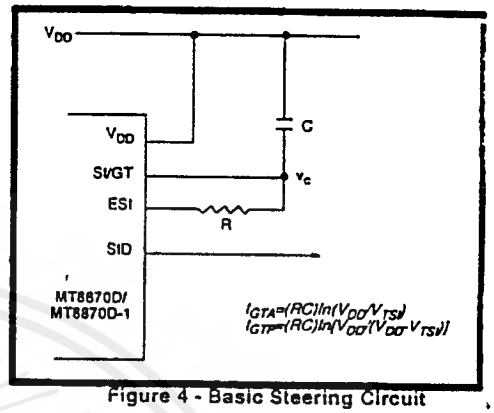


Figure 4 - Basic Steering Circuit

providing tolerance to small frequency deviations and variations. This averaging algorithm has been developed to ensure an optimum combination of immunity to talk-off and tolerance to the presence of interfering frequencies (third tones) and noise. When the detector recognizes the presence of two valid tones (this is referred to as the "signal condition" in some industry specifications) the "Early Steering" (ESt) output will go to an active state. Any subsequent loss of signal condition will cause ESt to assume an inactive state (see "Steering Circuit").

Steering Circuit

Before registration of a decoded tone pair, the receiver checks for a valid signal duration (referred to as character recognition condition). This check is performed by an external RC time constant driven by ESt. A logic high on ESt causes v_c (see Figure 4) to rise as the capacitor discharges. Provided signal

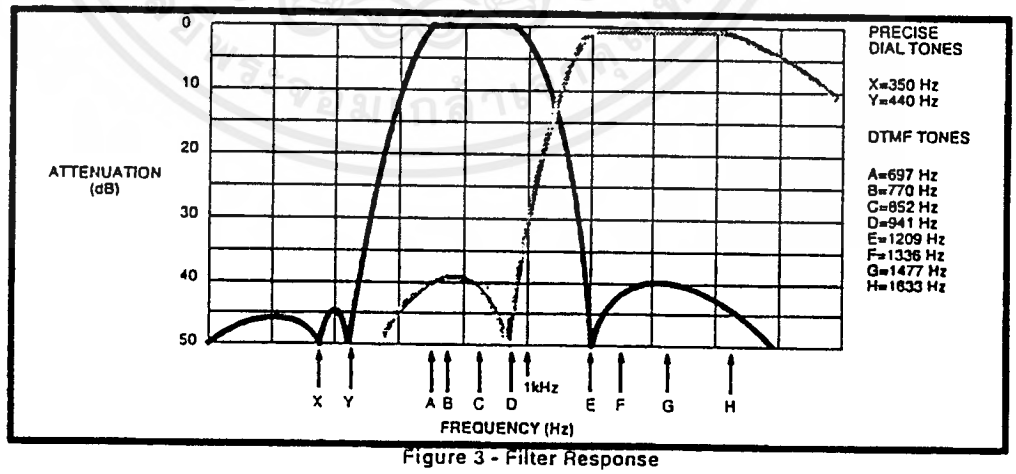


Figure 3 - Filter Response

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

condition is maintained (ESt remains high) for the validation period (t_{GTP}), v_c reaches the threshold (V_{TSt}) of the steering logic to register the tone pair, latching its corresponding 4-bit code (see Table 1) into the output latch. At this point the GT output is activated and drives v_c to V_{DD}. GT continues to drive high as long as ESt remains high. Finally, after a short delay to allow the output latch to settle, the delayed steering output flag (StD) goes high, signalling that a received tone pair has been registered. The contents of the output latch are made available on the 4-bit output bus by raising the three state control input (TOE) to a logic high. The steering circuit works in reverse to validate the interdigit pause between signals. Thus, as well as rejecting signals too short to be considered valid, the receiver will tolerate signal interruptions (dropout) too short to be considered a valid pause. This facility, together with the capability of selecting the steering time constants externally, allows the designer to tailor performance to meet a wide variety of system requirements.

Guard Time Adjustment

In many situations not requiring selection of tone duration and interdigital pause, the simple steering circuit shown in Figure 4 is applicable. Component values are chosen according to the formula:

$$t_{REC}=t_{DP}+t_{GTP}$$

$$t_{ID}=t_{DA}+t_{GTA}$$

The value of t_{DP} is a device parameter (see Figure 11) and t_{REC} is the minimum signal duration to be recognized by the receiver. A value for C of 0.1 µF is recommended for most applications, leaving R to be selected by the designer.

Digit	TOE	INH	ESt	Q_4	Q_3	Q_2	Q_1
ANY	L	X	H	Z	Z	Z	Z
1	H	X	H	0	0	0	1
2	H	X	H	0	0	1	0
3	H	X	H	0	0	1	1
4	H	X	H	0	1	0	0
5	H	X	H	0	1	0	1
6	H	X	H	0	1	1	0
7	H	X	H	0	1	1	1
8	H	X	H	1	0	0	0
9	H	X	H	1	0	0	1
0	H	X	H	1	0	1	0
*	H	X	H	1	0	1	1
#	H	X	H	1	1	0	0
A	H	L	H	1	1	0	1
B	H	L	H	1	1	1	0
C	H	L	H	1	1	1	1
D	H	L	H	0	0	0	0
A	H	H	L	undetected, the output code will remain the same as the previous detected code			
B	H	H	L				
C	H	H	L				
D	H	H	L				

Table 1. Functional Decode Table

L=LOGIC LOW, H=LOGIC HIGH, Z=HIGH IMPEDANCE
X = DON'T CARE

Different steering arrangements may be used to select independently the guard times for tone present (t_{GTP}) and tone absent (t_{GTA}). This may be necessary to meet system specifications which place both accept and reject limits on both tone duration and interdigital pause. Guard time adjustment also allows the designer to tailor system parameters such as talk off and noise immunity. Increasing t_{REC} improves talk-off performance since it reduces the probability that tones simulated by speech will maintain signal condition long enough to be registered. Alternatively, a relatively short t_{REC} with a long t_{DO} would be appropriate for extremely noisy environments where fast acquisition time and immunity to tone drop-outs are required. Design information for guard time adjustment is shown in Figure 5.

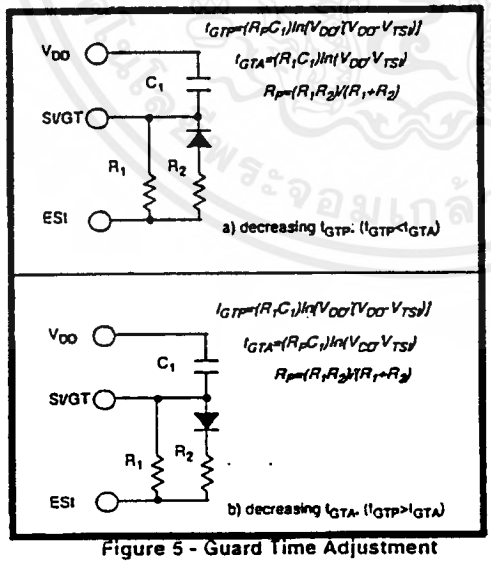


Figure 5 - Guard Time Adjustment

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Power-down and Inhibit Mode

A logic high applied to pin 6 (PWDN) will power down the device to minimize the power consumption in a standby mode. It stops the oscillator and the functions of the filters.

Inhibit mode is enabled by a logic high input to the pin 5 (INH). It inhibits the detection of tones representing characters A, B, C, and D. The output code will remain the same as the previous detected code (see Table 1).

Differential Input Configuration

The input arrangement of the MT8870D/MT8870D-1 provides a differential-input operational amplifier as well as a bias source (V_{Ref}) which is used to bias the inputs at mid-rail. Provision is made for connection of a feedback resistor to the op-amp output (GS) for adjustment of gain. In a single-ended configuration, the input pins are connected as shown in Figure 10 with the op-amp connected for unity gain and V_{Ref} biasing the input at $^1/_2V_{DD}$. Figure 6 shows the differential configuration, which permits the adjustment of gain with the feedback resistor R_5.

Crystal Oscillator

The internal clock circuit is completed with the addition of an external 3.579545 MHz crystal and is normally connected as shown in Figure 10 (Single-Ended Input Configuration). However, it is possible to configure several MT8870D/MT8870D-1 devices employing only a single oscillator crystal. The oscillator output of the first device in the chain is coupled through a 30 pF capacitor to the oscillator input (OSC1) of the next device. Subsequent devices are connected in a similar fashion. Refer to Figure 7 for details. The problems associated with unbalanced loading are not a concern with the arrangement shown, i.e., precision balancing capacitors are not required.

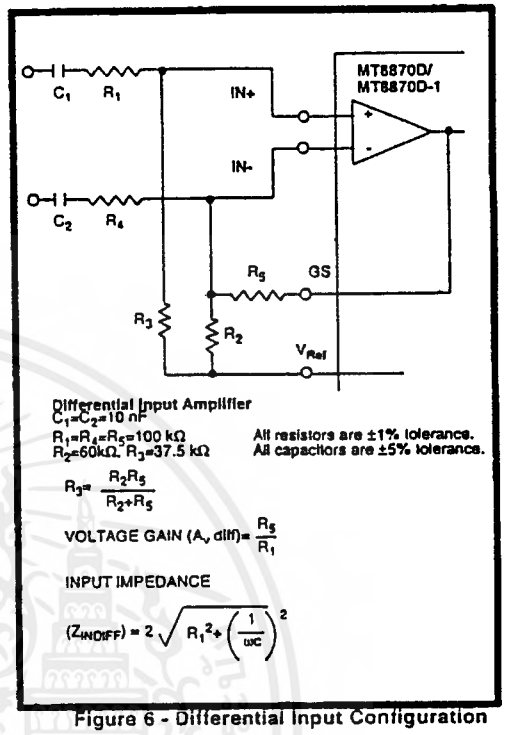


Figure 6 - Differential Input Configuration

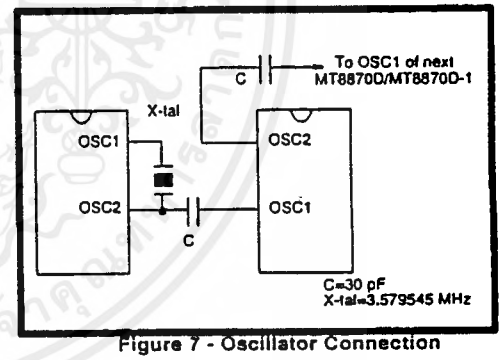


Figure 7 - Oscillator Connection

Parameter	Unit	Resonator
R1	Ohms	10.752
L1	mH	.432
C1	pF	4.984
C0	pF	37.915
Qm	-	896.37
Δf	%	±0.2%

Table 2. Recommended Resonator Specifications

Note: Qm=quality factor of RLC model, i.e., 1/2π/R1C1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications

RECEIVER SYSTEM FOR BRITISH TELECOM SPEC POR 1151

The circuit shown in Fig. 9 illustrates the use of MT8870D-1 device in a typical receiver system. BT Spec defines the input signals less than -34 dBm as the non-operate level. This condition can be attained by choosing a suitable values of R_1 and R_2 to provide 3 dB attenuation, such that -34 dBm input signal will correspond to -37 dBm at the gain setting pin GS of MT8870D-1. As shown in the diagram, the component values of R_3 and C_2 are the guard time requirements when the total component tolerance is 6%. For better performance, it is recommended to use the non-symmetric guard time circuit in Fig. 8.

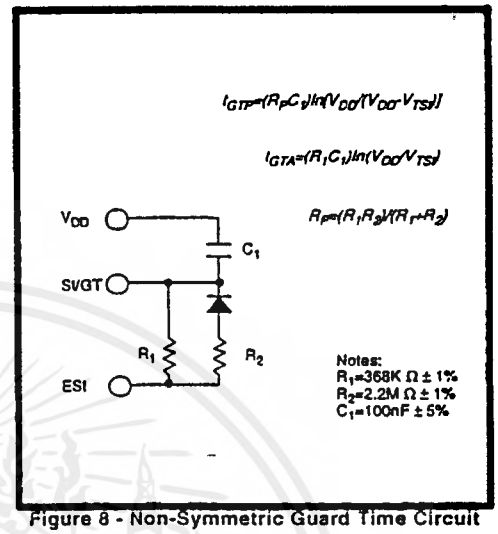


Figure 8 - Non-Symmetric Guard Time Circuit

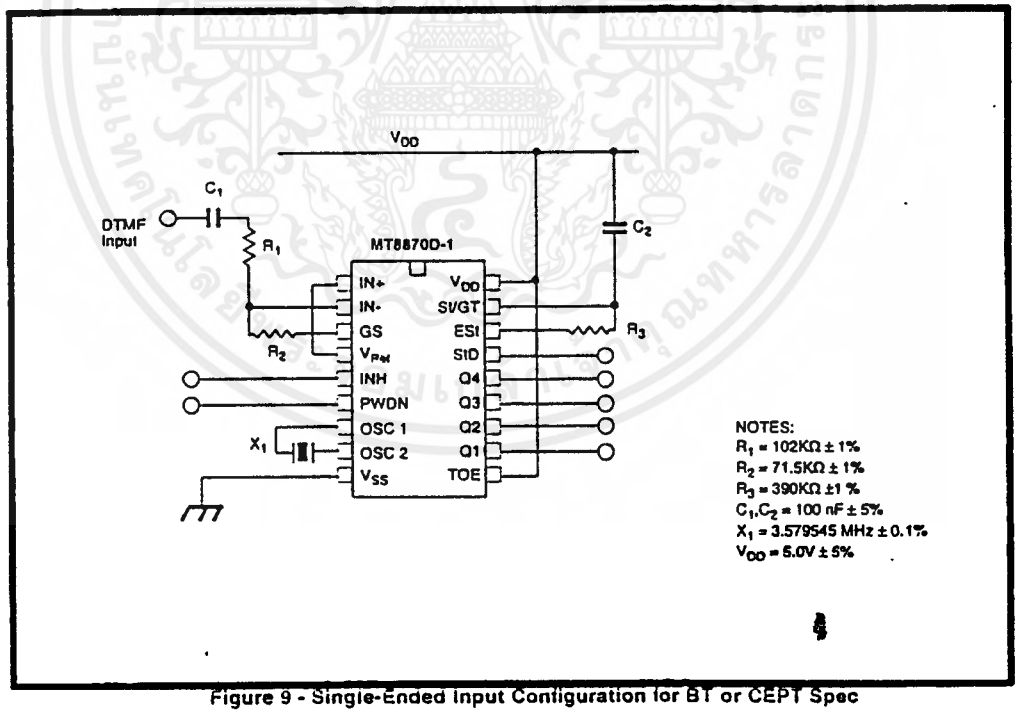


Figure 9 - Single-Ended Input Configuration for BT or CEPT Spec

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings†

	Parameter	Symbol	Min	Max	Units
1	DC Power Supply Voltage	V_{DD}		7	V
2	Voltage on any pin	V_I	V_{SS}-0.3	V_{DD}+0.3	V
3	Current at any pin (other than supply)	I_I		10	mA
4	Storage temperature	T_{STG}	-65	+150	°C
5	Package power dissipation	P_D		500	mW

† Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied.
Derate above 75 °C at 16 mW / °C. All leads soldered to board.

Recommended Operating Conditions - Voltages are with respect to ground (V_{SS}) unless otherwise stated.

	Parameter	Sym	Min	Typ‡	Max	Units	Test Conditions
1	DC Power Supply Voltage	V_{DD}	4.75	5.0	5.25	V	
2	Operating Temperature	T_O	-40		+85	°C	
3	Crystal/Clock Frequency	fc		3.579545		MHz	
4	Crystal/Clock Freq. Tolerance	Δfc		±0.1		%	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

DC Electrical Characteristics - V_{DD}=5.0V± 5%, V_{SS}=0V, -40°C ≤ T_O ≤ +85°C, unless otherwise stated.

		Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	SUPPLY	Standby supply current	I_{DDQ}		10	25	µA	PWDN=V_{DD}
2		Operating supply current	I_{DD}		3.0	9.0	mA	
3		Power consumption	P_O		15		mW	fc=3.579545 MHz
4	INPUTS	High level input	V_{IH}	3.5			V	V_{DD}=5.0V
5		Low level input voltage	V_{IL}			1.5	V	V_{DD}=5.0V
6		Input leakage current	I_{IH}/I_{IL}		0.1		µA	V_{IN}=V_{SS} or V_{DD}
7		Pull up (source) current	I_{SO}		7.5	20	µA	TOE (pin 10)=0, V_{DD}=5.0V
8		Pull down (sink) current	I_{SI}		15	45	µA	INH=5.0V, PWDN=5.0V, V_{DD}=5.0V
9		Input impedance (IN+, IN-)	R_{IN}		10		MΩ	@ 1 kHz
10		Steering threshold voltage	V_{TSt}	2.2	2.4	2.5	V	V_{DD} = 5.0V
11	OUTPUTS	Low level output voltage	V_{OL}			V_{SS}+0.03	V	No load
12		High level output voltage	V_{OH}	V_{DD}-0.03			V	No load
13		Output low (sink) current	I_{OL}	1.0	2.5		mA	V_{OUT}=0.4 V
14		Output high (source) current	I_{OH}	0.4	0.8		mA	V_{OUT}=4.6 V
15		V_{Ref} output voltage	V_{Ref}	2.3	2.5	2.7	V	No load, V_{DD} = 5.0V
16		V_{Ref} output resistance	R_{OR}		1		kΩ	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Operating Characteristics - V_{DD}=5.0V±5%, V_{SS}=0V, -40°C ≤ T_O ≤ +85°C, unless otherwise stated.
Gain Setting Amplifier

	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Input leakage current	I_{IN}			100	nA	$V_{SS} \le V_{IN} \le V_{DD}$
2	Input resistance	R_{IN}	10			MΩ	
3	Input offset voltage	V_{OS}			25	mV	
4	Power supply rejection	PSRR	50			dB	1 kHz
5	Common mode rejection	CMRR	40			dB	0.75 V ≤ V_{IN} ≤ 4.25 V biased at V_{Ref} =2.5 V
6	DC open loop voltage gain	A_{VOL}	32			dB	
7	Unity gain bandwidth	f_C	0.30			MHz	
8	Output voltage swing	V_O	4.0			V_{pp}	Load ≥ 100 kΩ to V_{SS} @ GS
9	Maximum capacitive load (GS)	C_L			100	pF	
10	Resistive load (GS)	R_L			50	kΩ	
11	Common mode range	V_{CM}	2.5			V_{pp}	No Load

MT8870D AC Electrical Characteristics - V_{DD}=5.0V ±5%, V_{SS}=0V, -40°C ≤ T_O ≤ +85°C, using Test Circuit shown in Figure 10.

	Characteristics	Sym	Min	Typ‡	Max	Units	Notes*
1	Valid input signal levels (each tone of composite signal)		-29		+1	dBm	1,2,3,5,6,9
			27.5		869	mV_{RMS}	1,2,3,5,6,9
2	Negative twist accept				8	dB	2,3,6,9,12
3	Positive twist accept				8	dB	2,3,6,9,12
4	Frequency deviation accept		±1.5% ± 2 Hz				2,3,5,9
5	Frequency deviation reject		±3.5%				2,3,5,9
6	Third tone tolerance			-16		dB	2,3,4,5,9,10
7	Noise tolerance			-12		dB	2,3,4,5,7,9,10
8	Dial tone tolerance			+22		dB	2,3,4,5,8,9,11

‡ Typical figures are at 25 °C and are for design aid only: not guaranteed and not subject to production testing.

*NOTES
1. dBm= decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones.
3. Tone duration= 40 ms, tone pause= 40 ms.
4. Signal condition consists of nominal DTMF frequencies.
5. Both tones in composite signal have an equal amplitude.
6. Tone pair is deviated by ±1.5 %±2 Hz.
7. Bandwidth limited (3 kHz) Gaussian noise.
8. The precise dial tone frequencies are (350 Hz and 440 Hz) ±2 %.
9. For an error rate of better than 1 in 10,000.
10. Referenced to lowest level frequency component in DTMF signal.
11. Referenced to the minimum valid accept level.
12. Guaranteed by design and characterization.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MT8870D-1 AC Electrical Characteristics - V_{DD}=5.0V±5%, V_{SS}=0V, -40°C ≤ T_O ≤ +85°C, using Test Circuit shown in Figure 10.

	Characteristics	Sym	Min	Typ‡	Max	Units	Notes*
1	Valid input signal levels (each tone of composite signal)		-31		+1	dBm	Tested at V_{DD}=5.0V 1,2,3,5,6,9
			21.8		869	mV_{RMS}	
2	Input Signal Level Reject		-37			dBm	Tested at V_{DD}=5.0V 1,2,3,5,6,9
			10.9			mV_{RMS}	
3	Negative twist accept				8	dB	2,3,6,9,13
4	Positive twist accept				8	dB	2,3,6,9,13
5	Frequency deviation accept		±1.5%± 2 Hz				2,3,5,9
6	Frequency deviation reject		±3.5%				2,3,5,9
7	Third zone tolerance			-18.5		dB	2,3,4,5,9,12
8	Noise tolerance			-12		dB	2,3,4,5,7,9,10
9	Dial tone tolerance			+22		dB	2,3,4,5,8,9,11

‡ Typical figures are at 25 °C and are for design aid only: not guaranteed and not subject to production testing.

*NOTES
1. dBm= decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones.
3. Tone duration= 40 ms, tone pause= 40 ms.
4. Signal condition consists of nominal DTMF frequencies.
5. Both tones in composite signal have an equal amplitude.
6. Tone pair is deviated by ±1.5 %± 2 Hz.
7. Bandwidth limited (3 kHz) Gaussian noise.
8. The precise dial tone frequencies are (350 Hz and 440 Hz) ± 2 %.
9. For an error rate of better than 1 in 10,000.
10. Referenced to lowest level frequency component in DTMF signal.
11. Referenced to the minimum valid accept level.
12. Referenced to Fig. 10 input DTMF tone level at -25dBm (-28dBm at GS Pin) interference frequency range between 480-3400Hz.
13. Guaranteed by design and characterization.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics - V_{DD}=5.0V±5%, V_{SS}=0V, -40°C ≤ To ≤ +85°C, using Test Circuit shown in Figure 10.

		Characteristics	Sym	Min	Typ‡	Max	Units	Conditions
1	TIMING	Tone present detect time	t_{DP}	5	11	14	ms	Note 1
2		Tone absent detect time	t_{DA}	0.5	4	8.5	ms	Note 1
3		Tone duration accept	t_{REC}			40	ms	Note 2
4		Tone duration reject	t_{REC}	20			ms	Note 2
5		Interdigit pause accept	t_{ID}			40	ms	Note 2
6		Interdigit pause reject	t_{DO}	20			ms	Note 2
7	OUTPUTS	Propagation delay (St to Q)	t_{PQ}		8	11	µs	TOE=V_{DD}
8		Propagation delay (St to StD)	t_{PStD}		12	16	µs	TOE=V_{DD}
9		Output data set up (Q to StD)	t_{QStD}		3.4		µs	TOE=V_{DD}
10		Propagation delay (TOE to Q ENABLE)	t_{PTE}		50		ns	load of 10 kΩ, 50 pF
11		Propagation delay (TOE to Q DISABLE)	t_{PTD}		300		ns	load of 10 kΩ, 50 pF
12	PDWN	Power-up time	t_{PU}		30		ms	Note 3
13		Power-down time	t_{PD}		20		ms	
14	CLOCK	Crystal/clock frequency	f_C	3.5759	3.5795	3.5831	MHz	
15		Clock input rise time	t_{LHCL}			110	ns	Ext. clock
16		Clock input fall time	t_{HLCL}			110	ns	Ext. clock
17		Clock input duty cycle	DC_{CL}	40	50	60	%	Ext. clock
18		Capacitive load (OSC2)	C_{LO}			30	pF	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

*NOTES:
1. Used for guard-time calculation purposes only.
2. These, user adjustable parameters, are not device specifications. The adjustable settings of these minimums and maximums are recommendations based upon network requirements.
3. With valid tone present at input. t_{PU} equals time from PDWN going low until ESt going high.

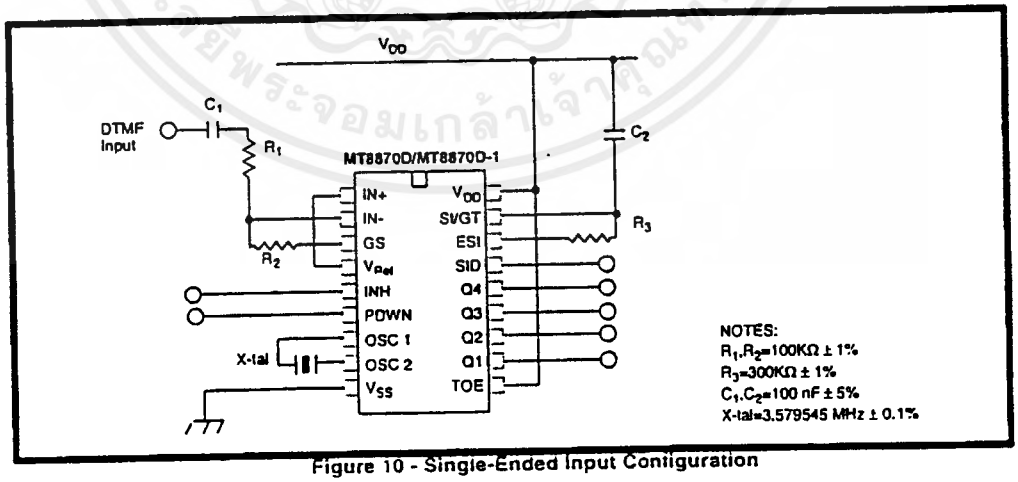
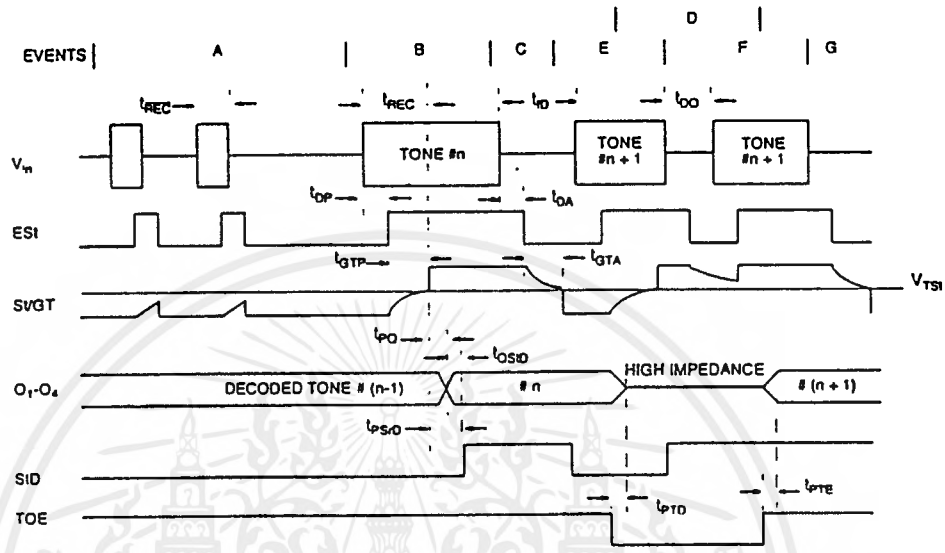


Figure 10 - Single-Ended Input Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



EXPLANATION OF EVENTS

A) TONE BURSTS DETECTED. TONE DURATION INVALID, OUTPUTS NOT UPDATED.

B) TONE #n DETECTED. TONE DURATION VALID. TONE DECODED AND LATCHED IN OUTPUTS

C) END OF TONE #n DETECTED. TONE ABSENT DURATION VALID. OUTPUTS REMIAN LATCHED UNTIL NEXT VALID TONE.

D) OUTPUTS SWITCHED TO HIGH IMPEDANCE STATE.

E) TONE #n + 1 DETECTED. TONE DURATION VALID. TONE DECODED AND LATCHED IN OUTPUTS (CURRENTLY HIGH IMPEDANCE).

F) ACCEPTABLE DROPOUT OF TONE #n + 1. TONE ABSENT DURATION INVALID. OUTPUTS REMAIN LATCHED.

G) END OF TONE #n + 1 DETECTED. TONE ABSENT DURATION VALID. OUTPUTS REMAIN LATCHED UNTIL NEXT VALID TONE.

EXPLANATION OF SYMBOLS

V_{in} DTMF COMPOSITE INPUT SIGNAL.

ESt EARLY STEERING OUTPUT. INDICATES DETECTION OF VALID TONE FREQUENCIES.

St/GT STEERING INPUT/GUARD TIME OUTPUT. DRIVES EXTERNAL RC TIMING CIRCUIT.

Q_1-Q_4 4-BIT DECODED TONE OUTPUT.

StD DELAYED STEERING OUTPUT. INDICATES THAT VALID FREQUENCIES HAVE BEEN PRESENT/ABSENT FOR THE REQUIRED GUARD TIME THUS CONSTITUTING A VALID SIGNAL.

TOE TONE OUTPUT ENABLE (INPUT). A LOW LEVEL SHIFTS Q_1-Q_4 TO ITS HIGH IMPEDANCE STATE.

t_{REC} MAXIMUM DTMF SIGNAL DURATION NOT DETECED AS VALID

t_{REC} MINIMUM DTMF SIGNAL DURATION REQUIRED FOR VALID RECOGNITION

t_{ID} MAXIMUM TIME BETWEEN VALID DTMF SIGNALS.

t_{DO} MAXIMUM ALLOWABLE DROP OUT DURING VALID DTMF SIGNAL.

t_{DP} TIME TO DETECT THE PRESENCE OF VALID DTMF SIGNALS.

t_{DA} TIME TO DETECT THE ABSENCE OF VALID DTMF SIGNALS.

t_{GTP} GUARD TIME, TONE PRESENT.

t_{GTA} GUARD TIME, TONE ABSENT.

Figure 11 - Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR TECHNICAL DATA

MC14514B
MC14515B

4-Bit Transparent Latch/4-to-16 Line Decoder

The MC14514B and MC14515B are two output options of a 4 to 16 line decoder with latched inputs. The MC14514B (output active high option) presents a logical "1" at the selected output, whereas the MC14515B (output active low option) presents a logical "0" at the selected output. The latches are R–S type flip–flops which hold the last input data presented prior to the strobe transition from "1" to "0". These high and low options of a 4–bit latch/4 to 16 line decoder are constructed with N–channel and P–channel enhancement mode devices in a single monolithic structure. The latches are R–S type flip–flops and data is admitted upon a signal incident at the strobe input, decoded, and presented at the output.

These complementary circuits find primary use in decoding applications where low power dissipation and/or high noise immunity is desired.

- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low–power TTL Loads or One Low–power Schottky TTL Load Over the Rated Temperature Range

L SUFFIX
CERAMIC
CASE 623

P SUFFIX
PLASTIC
CASE 709

DW SUFFIX
SOIC
CASE 751E

ORDERING INFORMATION

MC14XXXBCP	Plastic
MC14XXXBCL	Ceramic
MC14XXXBDW	SOIC

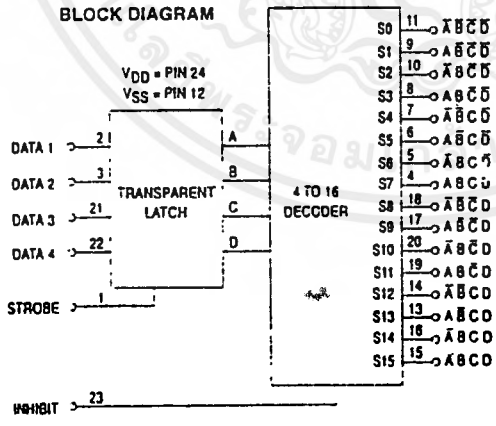
T_A = – 55° to 125°C for all packages.

MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage	– 0.5 to + 18.0	V
V_{in}, V_{out}	Input or Output Voltage (DC or Transient)	0.5 to V_{DD} + 0.5	V
I_{in}, I_{out}	Input or Output Current (DC or Transient), per Pin	± 10	mA
P_D	Power Dissipation, per Package†	500	mW
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature (8–Second Soldering)	260	°C

* Maximum Ratings are those values beyond which damage to the device may occur.
† Temperature Derating:
Plastic "P and D/DW" Packages: – 7.0 mW/°C From 65°C To 125°C
Ceramic "L" Packages: – 12 mW/°C From 100°C To 125°C

BLOCK DIAGRAM



DECODE TRUTH TABLE (Strobe = 1)*

Inhibit	Data Inputs D	C	B	A	Selected Output MC14514 = Logic "1" MC14515 = Logic "0"
0	0	0	0	0	S0
0	0	0	0	1	S1
0	0	0	1	0	S2
0	0	0	1	1	S3
0	0	1	0	0	S4
0	0	1	0	1	S5
0	0	1	1	0	S6
0	0	1	1	1	S7
0	1	0	0	0	S8
0	1	0	0	1	S9
0	1	0	1	0	S10
0	1	0	1	1	S11
0	1	1	0	0	S12
0	1	1	0	1	S13
0	1	1	1	0	S14
0	1	1	1	1	S15
1	X	X	X	X	All Outputs = 0, MC14514 All Outputs = 1, MC14515

X = Don't Care
*Strobe = 0, Data is latched

REV 3
1/94

© Motorola, Inc. 1995

MOTOROLA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Characteristic	Symbol	V_{DD} Vdc	−55°C Min	−55°C Max	25°C Min	25°C Typ #	25°C Max	125°C Min	125°C Max	Unit
Output Voltage "0" Level V_{in} = V_{DD} or 0	V_{OL}	5.0	—	0.05	—	0	0.05	—	0.05	Vdc
		10	—	0.05	—	0	0.05	—	0.05	
		15	—	0.05	—	0	0.05	—	0.05	
"1" Level V_{in} = 0 or V_{DD}	V_{OH}	5.0	4.95	—	4.95	5.0	—	4.95	—	Vdc
		10	9.95	—	9.95	10	—	9.95	—	
		15	14.95	—	14.95	15	—	14.95	—	
Input Voltage "0" Level	V_{IL}									Vdc
(V_O = 4.5 or 0.5 Vdc)		5.0	—	1.5	—	2.25	1.5	—	1.5	
(V_O = 9.0 or 1.0 Vdc)		10	—	3.0	—	4.50	3.0	—	3.0	
(V_O = 13.5 or 1.5 Vdc)		15	—	4.0	—	6.75	4.0	—	4.0	
"1" Level	V_{IH}									Vdc
(V_O = 0.5 or 4.5 Vdc)		5.0	3.5	—	3.5	2.75	—	3.5	—	
(V_O = 1.0 or 9.0 Vdc)		10	7.0	—	7.0	5.50	—	7.0	—	
(V_O = 1.5 or 13.5 Vdc)		15	11	—	11	8.25	—	11	—	
Output Drive Current Source	I_{OH}									mAdc
(V_{OH} = 2.5 Vdc)		5.0	−1.2	—	−1.0	−1.7	—	−0.7	—	
(V_{OH} = 4.6 Vdc)		5.0	−0.25	—	−0.2	−0.36	—	−0.14	—	
(V_{OH} = 9.5 Vdc)		10	−0.62	—	−0.5	−0.9	—	−0.35	—	
(V_{OH} = 13.5 Vdc)		15	−1.8	—	−1.5	−3.5	—	−1.1	—	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.64	—	0.51	0.88	—	0.36	—	mAdc
(V_{OL} = 0.5 Vdc)		10	1.6	—	1.3	2.25	—	0.9	—	
(V_{OL} = 1.5 Vdc)		15	4.2	—	3.4	8.8	—	2.4	—	
Input Current	I_{in}	15	—	±0.1	—	±0.00001	±0.1	—	±1.0	µAdc
Input Capacitance (V_{in} = 0)	C_{in}	—	—	—	—	5.0	7.5	—	—	pF
Quiescent Current (Per Package)	I_{DD}	5.0	—	5.0	—	0.005	5.0	—	150	µAdc
		10	—	10	—	0.010	10	—	300	
		15	—	20	—	0.015	20	—	600	
Total Supply Current**† (Dynamic plus Quiescent, Per Package) (C_L = 50 pF on all outputs, all buffers switching)	I_{TL}	5.0	I_T = (1.35 µA/kHz) f + I_{DD}							µAdc
		10	I_T = (2.70 µA/kHz) f + I_{DD}							
		15	I_T = (4.05 µA/kHz) f + I_{DD}							

#Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

**The formulas given are for the typical characteristics only at 25°C.

†To calculate total supply current at loads other than 50 pF:

$$I_T(C_L) = I_T(50\ pF) + (C_L - 50)\ Vfk$$

where: I_T is in µA (per package), C_L in pF, V = (V_{DD} − V_{SS}) in volts, f in kHz is input frequency, and k = 0.002.

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING CHARACTERISTICS* (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD}	All Types			Unit
			Min	Typ #	Max	
Output Rise Time	t_{TLH}					ns
t_{TLH} = (3.0 ns/pF) C_L + 30 ns		5.0	—	180	360	
t_{TLH} = (1.5 ns/pF) C_L + 15 ns		10	—	90	180	
t_{TLH} = (1.1 ns/pF) C_L + 10 ns		15	—	65	130	
Output Fall Time	t_{THL}					ns
t_{THL} = (1.5 ns/pF) C_L + 25 ns		5.0	—	100	200	
t_{THL} = (0.75 ns/pF) C_L + 12.5 ns		10	—	50	100	
t_{THL} = (0.55 ns/pF) C_L + 9.5 ns		15	—	40	80	
Propagation Delay Time: Data, Strobe to S	t_{PLH},					ns
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 465 ns	t_{PHL}	5.0	—	550	1100	
t_{PLH}, t_{PHL} = (0.86 ns/pF) C_L + 192 ns		10	—	225	450	
t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 125 ns		15	—	150	300	
Inhibit Propagation Delay Times	t_{PLH},					ns
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 315 ns	t_{PHL}	5.0	—	400	800	
t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 117 ns		10	—	150	300	
t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 75 ns		15	—	100	200	
Setup Time	t_{su}					ns
Data to Strobe		5.0	250	125	—	
		10	100	50	—	
		15	75	38	—	
Hold Time	t_h	5.0	− 20	− 100	—	ns
Strobe to Data		10	0	− 40	—	
		15	10	− 30	—	
Strobe Pulse Width	t_{WH}					ns
		5.0	350	175	—	
		10	100	50	—	
		15	75	38	—	

* The formulas given are for the typical characteristics only at 25°C.
#Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

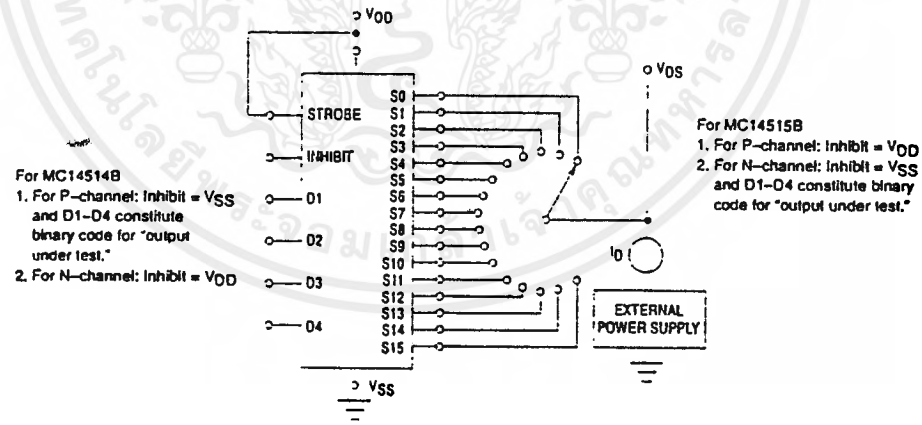


Figure 1. Drain Characteristics Test Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

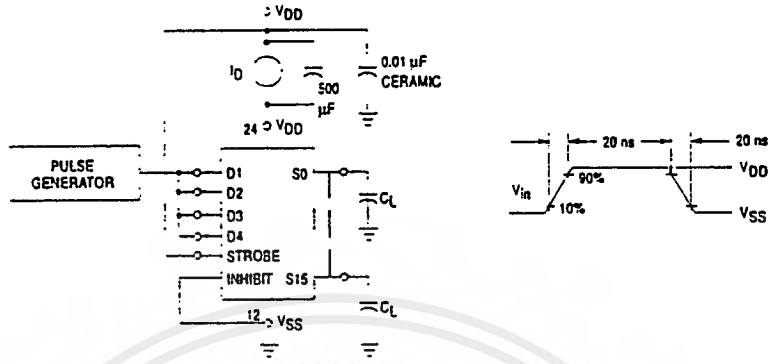


Figure 2. Dynamic Power Dissipation Test Circuit and Waveform

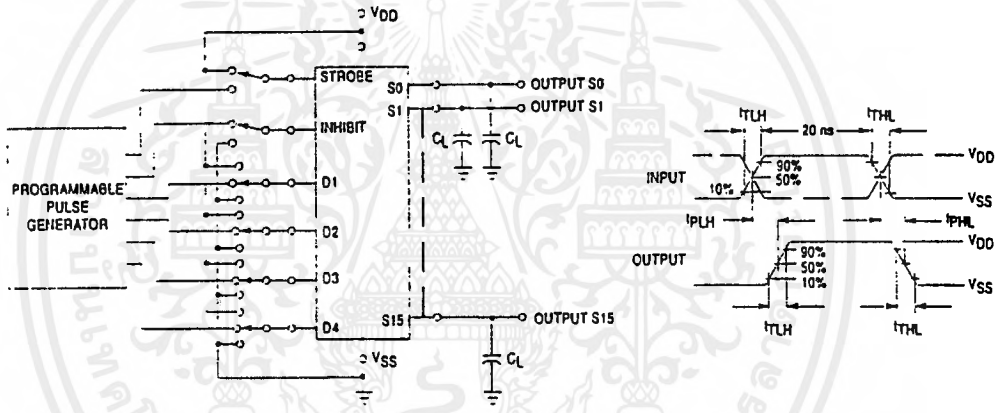


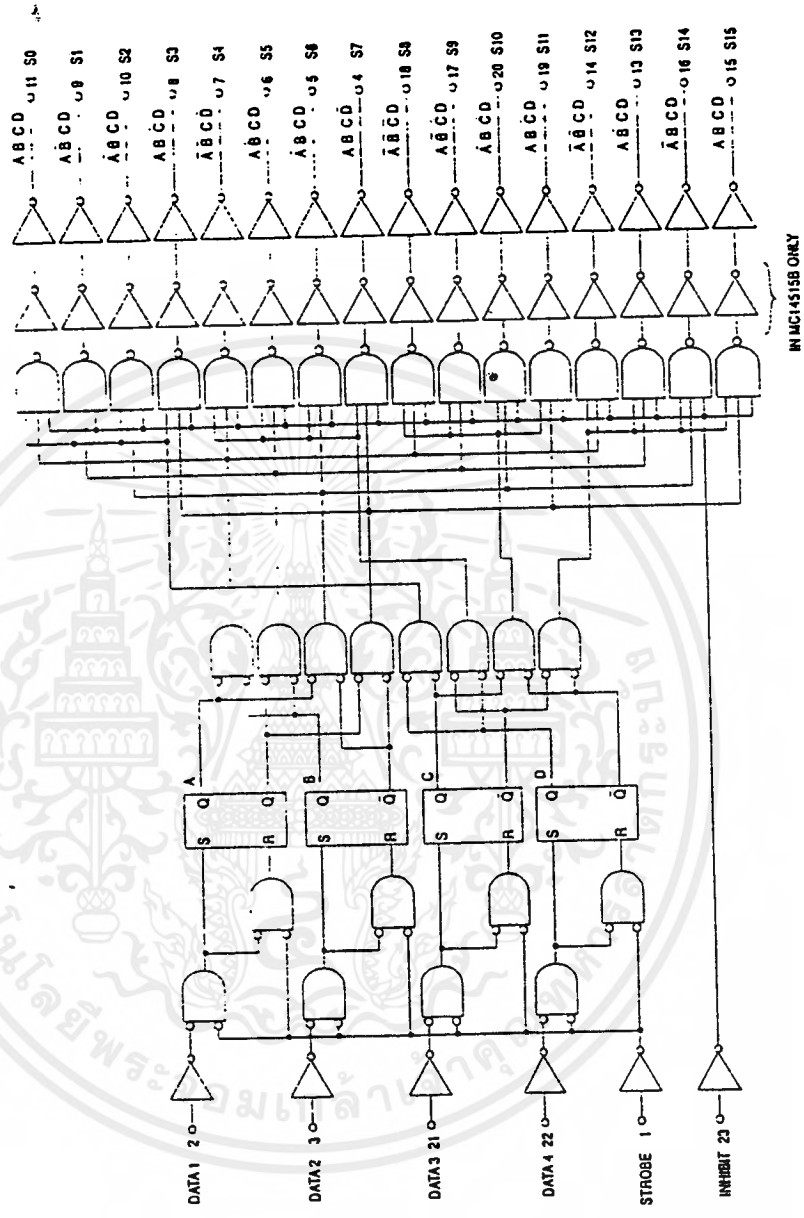
Figure 3. Switching Time Test Circuit and Waveforms

PIN ASSIGNMENT

ST	1	24	V_{DD}
D1	2	23	INH
D2	3	22	D4
S7	4	21	D3
S6	5	20	S10
S5	6	19	S11
S4	7	18	S8
S3	8	17	S9
S1	9	16	S14
S2	10	15	S15
S0	11	14	S12
V_{SS}	12	13	S13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COMPLEX DATA ROUTING

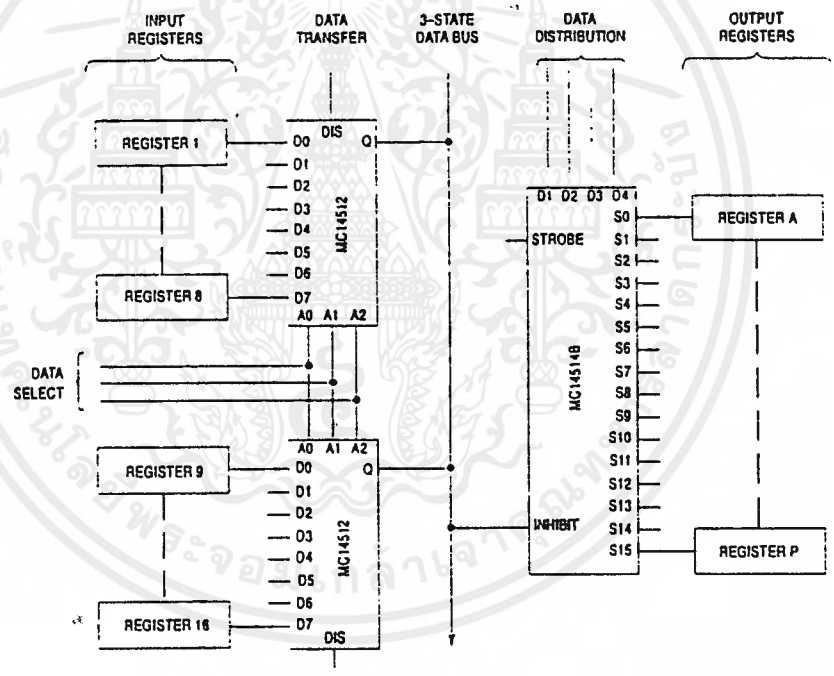
Two MC14512 eight–channel data selectors are used here with the MC14514B four–bit latch/decoder to effect a complex data routing system. A total of 16 inputs from data registers are selected and transferred via a 3–state data bus to a data distributor for rearrangement and entry into 16 output registers. In this way sequential data can be re–routed or intermixed according to patterns determined by data select and distribution inputs.

Data is placed into the routing scheme via the eight inputs on both MC14512 data selectors. One register is assigned to each input. The signals on A0, A1, and A2 choose one of eight inputs for transfer out to the 3–state data bus. A fourth signal, labelled Dis, disables one of the MC14512 selectors, assuring transfer of data from only one register.

In addition to a choice of input registers, 1 thru 16, the rate of transfer of the sequential information can also be varied. That is, if the MC14512 were addressed at a rate that is eight times faster then the shift frequency of the input registers, the most significant bit (MSB) from each register could be selected for transfer to the data bus. Therefore, all of the most significant bits from all of the registers can be transferred to the data bus before the next most significant bit is presented for transfer by the input registers.

Information from the 3–state bus is redistributed by the MC14514B four–bit latch/decoder. Using the four–bit address, D1 thru D4, the information on the inhibit line can be transferred to the addressed output line to the desired output registers, A thru P. This distribution of data bits to the output registers can be made in many complex patterns. For example, all of the most significant bits from the input registers can be routed into output register A, all of the next most significant bits into register B, etc. In this way horizontal, vertical, or other methods of data slicing can be implemented.

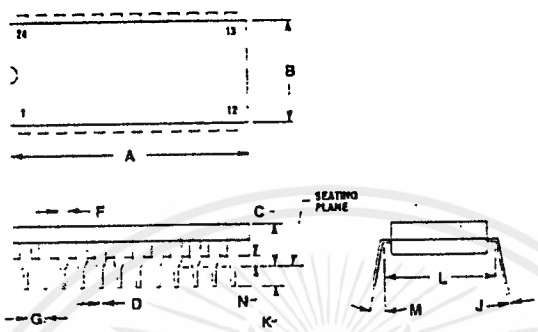
DATA ROUTING SYSTEM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTLINE DIMENSIONS

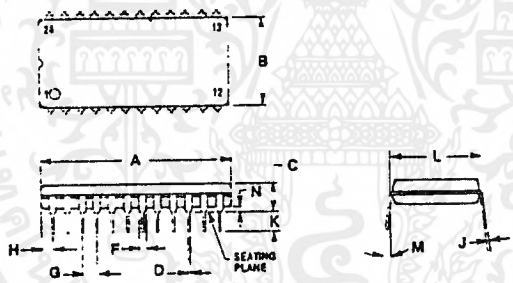
L SUFFIX
CERAMIC DIP PACKAGE
CASE 623–05
ISSUE M



NOTES:
1. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
2. LEADS WITHIN 0.13 (0.005) RADIUS OF TRUE POSITION AT SEATING PLANE AT MAXIMUM MATERIAL CONDITION (WHEN FORMED PARALLEL).

DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
A	31.24	32.77	1.230	1.290
B	12.70	15.49	0.500	0.610
C	4.06	5.58	0.160	0.220
D	0.41	0.51	0.016	0.020
F	1.27	1.52	0.050	0.060
G	2.54 BSC		0.100 BSC	
J	0.20	0.30	0.008	0.012
K	3.18	4.06	0.125	0.160
L	15.24 BSC		0.600 BSC	
M	0°	15°	0°	15°
N	0.51	1.27	0.020	0.050

P SUFFIX
PLASTIC DIP PACKAGE
CASE 709–02
ISSUE C



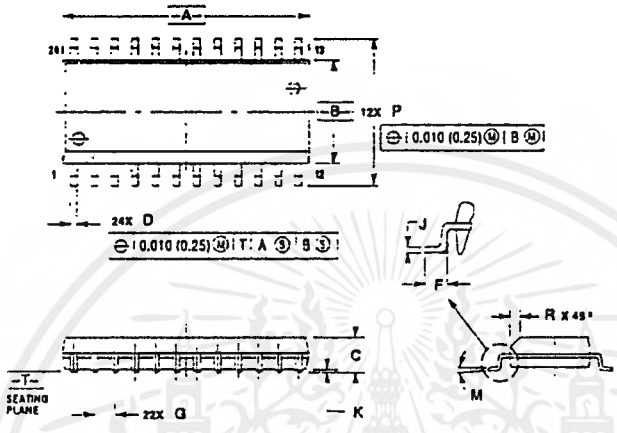
NOTES:
1. POSITIONAL TOLERANCE OF LEADS (D), SHALL BE WITHIN 0.25 (0.010) AT MAXIMUM MATERIAL CONDITION, IN RELATION TO SEATING PLANE AND EACH OTHER.
2. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
3. DIMENSION B DOES NOT INCLUDE MOLD FLASH.

DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
A	31.37	32.13	1.235	1.265
B	13.72	14.22	0.540	0.560
C	3.94	5.08	0.155	0.200
D	0.36	0.56	0.014	0.022
F	1.02	1.52	0.040	0.060
G	2.54 BSC		0.100 BSC	
H	1.65	2.03	0.065	0.080
J	0.20	0.38	0.008	0.015
K	2.92	3.43	0.115	0.135
L	15.24 BSC		0.600 BSC	
M	0°	15°	0°	15°
N	0.51	1.02	0.020	0.040

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTLINE DIMENSIONS

DW SUFFIX
PLASTIC SOIC PACKAGE
CASE 751E–04
ISSUE E



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.13 (0.005) TOTAL IN EXCESS OF D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	15.25	15.54	0.601	0.612
B	7.40	7.60	0.292	0.299
C	2.35	2.65	0.093	0.104
D	0.35	0.49	0.014	0.019
F	0.41	0.90	0.016	0.029
G	1.27 BSC		0.050 BSC	
J	0.23	0.32	0.009	0.013
K	0.13	0.29	0.005	0.011
M	0°	8°	0°	8°
P	10.05	10.55	0.395	0.415
R	0.25	0.75	0.010	0.029

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters which may be provided in Motorola data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and ⓜ are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

How to reach us:
USA/EUROPE/Locations Not Listed: Motorola Literature Distribution;
P.O. Box 20912; Phoenix, Arizona 85036. 1–800–441–2447 or 602–303–5454

MFAX: RMFAX0@email.sps.mot.com – TOUCHTONE 602–244–6609
INTERNET: http://Design–NET.com

JAPAN: Nippon Motorola Ltd.; Tatsumi–SPD–JLDC, 6F Seibu–Butsuryu–Center, 3–14–2 Tatsumi Koto–Ku, Tokyo 135, Japan. 03–81–3521–8315

ASIA/PACIFIC: Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park, 51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852–26629298

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SGS-THOMSON MICROELECTRONICS

ULN2001A-ULN2002A ULN2003A-ULN2004A

SEVEN DARLINGTON ARRAYS

- SEVEN DARLINGTONS PER PACKAGE
- OUTPUT CURRENT 500mA PER DRIVER (600mA PEAK)
- OUTPUT VOLTAGE 50V
- INTEGRAL SUPPRESSION DIODES FOR INDUCTIVE LOADS
- OUTPUTS CAN BE PARALLELED FOR HIGHER CURRENT
- TTL/CMOS/PMOS/DTL COMPATIBLE INPUTS
- INPUTS PINNED OPPOSITE OUTPUTS TO SIMPLIFY LAYOUT

DIP16 (0.25)
(Plastic Package)

ORDER CODE :ULN2001A/2A/3A/4A

SO16

ORDER CODE : ULN2001D/2D/3D/4D

DESCRIPTION

The ULN2001A, ULN2002A, ULN2003 and ULN2004A are high voltage, high current darlington arrays each containing seven open collector darlington pairs with common emitters. Each channel is rated at 500mA and can withstand peak currents of 600mA. Suppression diodes are included for inductive load driving and the inputs are pinned opposite the outputs to simplify board layout.

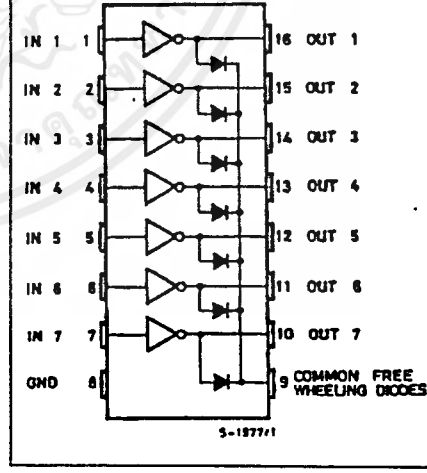
The four versions interface to all common logic families :

ULN2001A	General Purpose, DTL, TTL, PMOS, CMOS
ULN2002A	14-25V PMOS
ULN2003A	5V TTL, CMOS
ULN2004A	6–15V CMOS, PMOS

These versatile devices are useful for driving a wide range of loads including solenoids, relays DC motors, LED displays filament lamps, thermal printheads and high power buffers.

The ULN2001A/2002A/2003A and 2004A are supplied in 16 pin plastic DIP packages with a copper leadframe to reduce thermal resistance. They are available also in small outline package (SO-16) as ULN2001D/2002D/2003D/2004D.

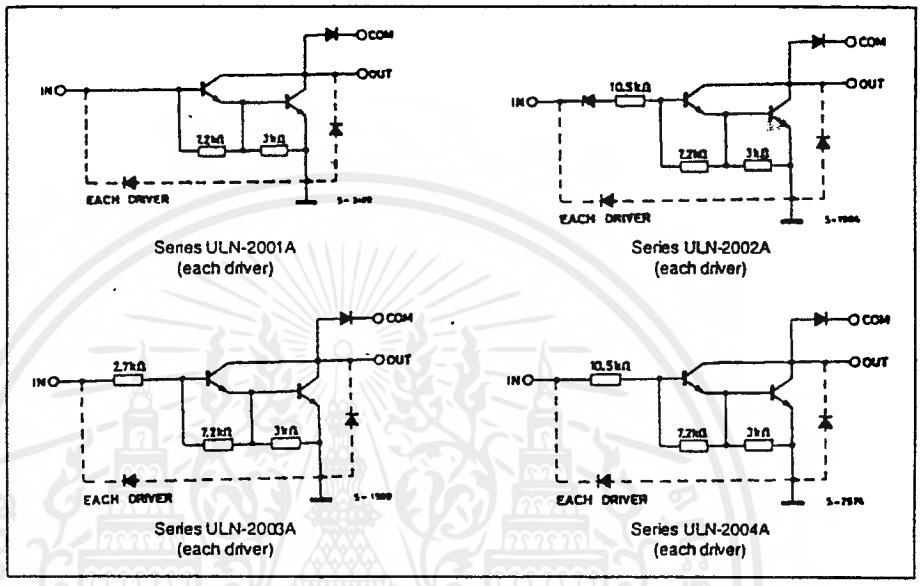
PIN CONNECTION



April 1993

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCHEMATIC DIAGRAM



Series ULN-2001A (each driver)

Series ULN-2002A (each driver)

Series ULN-2003A (each driver)

Series ULN-2004A (each driver)

ABSOLUTE MAXIMUM RATINGS

Symbol	arameter	Value	Unit
V_o	Output Voltage	50	V
V_{in}	Input Voltage (for ULN2002A/D - 2003A/D - 2004A/D)	30	V
I_c	Continuous Collector Current	500	mA
I_b	Continuous Base Current	25	mA
T_{amb}	Operating Ambient Temperature Range	– 20 to 85	°C
T_{stg}	Storage Temperature Range	– 55 to 150	°C
T_j	Junction Temperature	150	°C

THERMAL DATA

Symbol	Parameter		DIP16	SO16	Unit
$R_{th\ j\text{-}amb}$	Thermal Resistance Junction-ambient	Max.	70	165	°C/W

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (T_{amb} = 25°C unless otherwise specified)

Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Unit	Fig.
I_{CEX}	Output Leakage Current	V_{CE} = 50V			50	µA	1a
		T_{amb} = 70°C, V_{CE} = 50V			100	µA	1a
		T_{amb} = 70°C for ULN2002A V_{CE} = 50V, V_i = 6V			500	µA	1b
		for ULN2004A V_{CE} = 50V, V_i = 1V			500	µA	1b
$V_{CE(sat)}$	Collector-emitter Saturation Voltage	I_C = 100mA, I_B = 250µA		0.9	1.1	V	2
		I_C = 200 mA, I_B = 350µA		1.1	1.3	V	2
		I_C = 350mA, I_B = 500µA		1.3	1.6	V	2
$I_{I(on)}$	Input Current	for ULN2002A, V_I = 17V		0.82	1.25	mA	3
		for ULN2003A, V_I = 3.85V		0.93	1.35	mA	3
		for ULN2004A, V_I = 5V		0.35	0.5	mA	3
		V_I = 12V		1	1.45	mA	3
$I_{I(off)}$	Input Current	T_{amb} = 70°C, I_C = 500µA	50	65		µA	4
$V_{I(on)}$	Input Voltage	V_{CE} = 2V				V	5
		for ULN2002A I_C = 300mA			13		
		for ULN2003A I_C = 200mA			2.4		
		I_C = 250mA			2.7		
		I_C = 300mA			3		
		for ULN2004A I_C = 125mA			5		
		I_C = 200mA			6		
		I_C = 275mA			7		
		I_C = 350mA			8		
h_{FE}	DC Forward Current Gain	for ULN2001A V_{CE} = 2V, I_C = 350mA	1000				2
C_I	Input Capacitance			15	25	pF	
t_{PLH}	Turn-on Delay Time	0.5 V_I to 0.5 V_o		0.25	1	µs	
t_{PHL}	Turn-off Delay Time	0.5 V_I to 0.5 V_o		0.25	1	µs	
I_R	Clamp Diode Leakage Current	V_R = 50V			50	µA	6
		T_{amb} = 70°C, V_R = 50V			100	µA	6
V_F	Clamp Diode Forward Voltage	I_F = 350mA		1.7	2	V	7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS

Figure 1a.

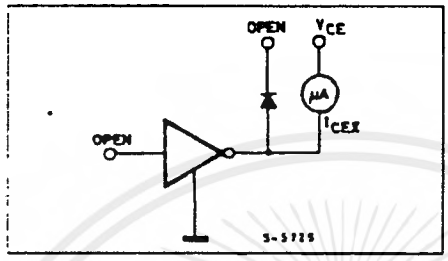


Figure 1b.

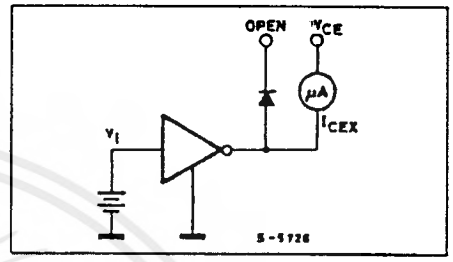


Figure 2.

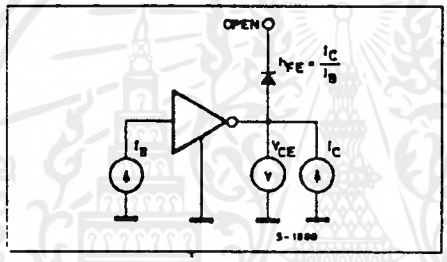


Figure 3.

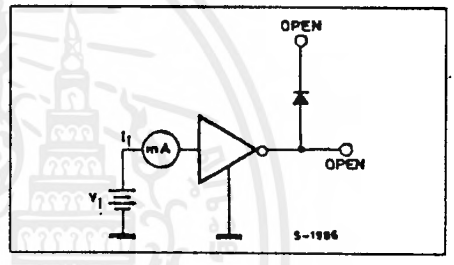


Figure 4.

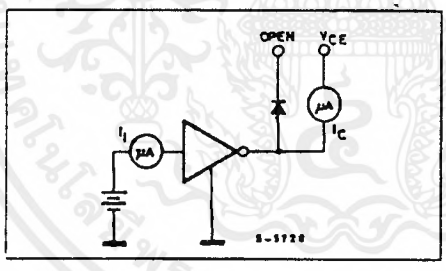


Figure 5.

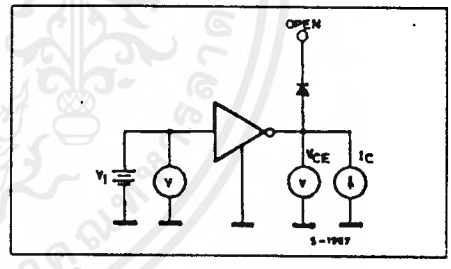


Figure 6.

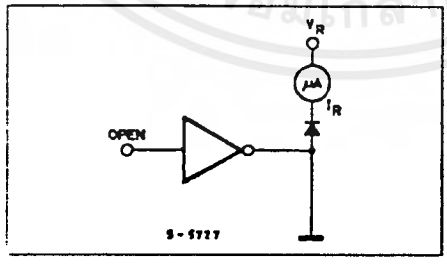
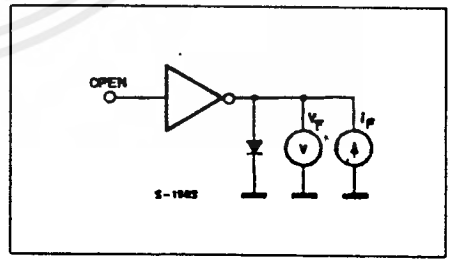


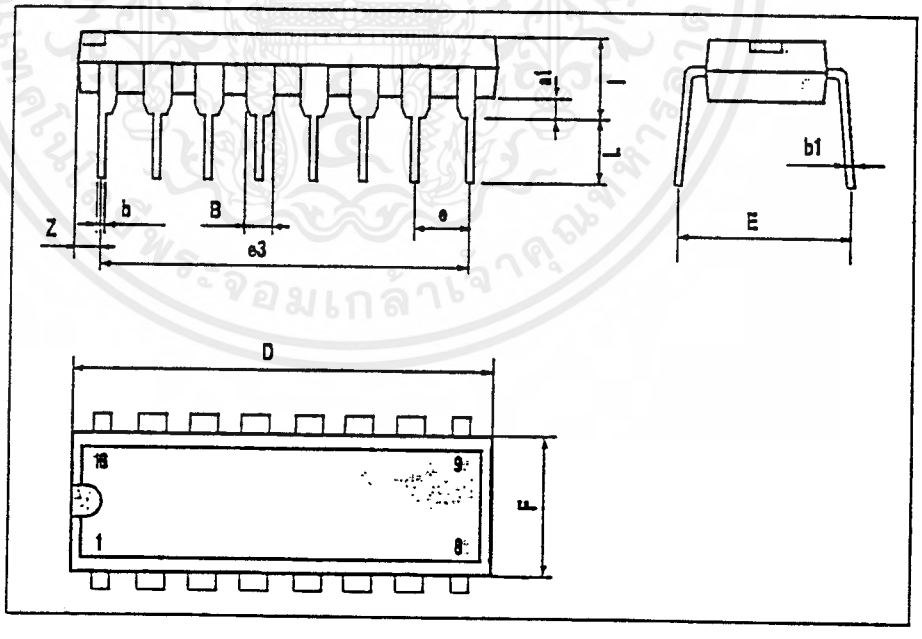
Figure 7.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DIP16 PACKAGE MECHANICAL DATA

DIM.	mm			Inch		
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.
a1	0.51			0.020		
B	0.77		1.65	0.030		0.065
b		0.5			0.020	
b1		0.25			0.010	
D			20			0.787
E		8.5			0.335	
e		2.54			0.100	
e3		17.78			0.700	
F			7.1			0.280
I			5.1			0.201
L		3.3			0.130	
Z			1.27			0.050



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

[1] ไกรวุฒิ โรจน์ประเสริฐสุด, "CCD อุปกรณ์อิเล็กทรอนิกส์ ผู้พลิกโฉมระบบกล้องวีดีโอ," HOBBY ELECTRONICS, ฉบับที่ 50,2538, หน้าที่ 65-69.

[2] เต็มบุญ มีเมศกุล, "ระบบ และบริการ Video Conferencing," วารสารทางวิชาการสื่อสารโทรคมนาคม, ฉบับที่ 4,2537, หน้าที่ 103-124.

[3] ดร.ธวัช เมฆสวรรค์ และ นายฟุมิโอะ มิคุมะ, "เทคนิคการซ่อมเครื่องรับโทรทัศน์," องค์การค้าคุรุสภา, 2519.

[4] ดร.ธวัช เมฆสวรรค์ และ นายโยชิดะ ซาวามูระ, "เทคนิคการซ่อมเครื่องรับโทรทัศน์สี," บริษัท สำนักพิมพ์ดวงกมล, 2534.

[5] สุธินันท์ พรศิริกุล, "ลึกอีกนิดกับโทรศัพท์," วารสารเซมิคอนดักเตอร์อิเล็กทรอนิกส์, ฉบับที่ 120, 2535, หน้า 90-94

[6] สุธินันท์ พรศิริกุล, "ลึกอีกนิดกับโทรศัพท์," วารสารเซมิคอนดักเตอร์อิเล็กทรอนิกส์, ฉบับที่ 121, 2535, หน้า 110-112

[7] เศกสิทธิ์ คำชมพู, "ไอซีน่าสน : MT 8870," วารสารเซมิคอนดักเตอร์อิเล็กทรอนิกส์, ฉบับที่ 81, 2530, หน้า 226-237

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้