

ปริญญานิพนธ์

เครื่องสื่อสารข้อมูลความเร็วสูง

HIGH SPEED DATA COMMUNICATION EQUIPMENTS

นายถนุญา ปัญญาดาว
นายชินวัตร รักษ์ดิษฐรม
นางสาวบุษกร จริตไวทย์
นายสาโรช บัวทอง



A021083

รฟ.

เลขหมู่	ก 279 ต 2537
เลขทะเบียน	1315
วัน เดือน ปี	-3. พ.ศ. 2538

021083

ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรครุศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

ภาควิชาครุศาสตร์วิศวกรรม

คณะครุศาสตร์อุตสาหกรรม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2537

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



กระทรวงศึกษาธิการ
 คณะครูศาสตร์อุตสาหกรรม
 สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ใบรับรองปริญญาโท

ชื่อหัวข้อปริญญาโท เครื่องสื่อสารข้อมูลความเร็วสูง

HIGH SPEED DATA COMMUNICATION EQUIPMENTS

ชื่อนักศึกษา

- 1. นายกฤษฎา บุญญถาวร รหัสประจำตัว 36031202
- 2. นายชินวัตร รักยุติธรรม รหัสประจำตัว 36031210
- 3. นางสาวนุชกร จริตไวยุทธ รหัสประจำตัว 36031221
- 4. นายสาโรช บัวทอง รหัสประจำตัว 36031233

อาจารย์ผู้ควบคุมปริญญาโท

- 1. อาจารย์ยรรวิทย์ สมหา
- 2. อาจารย์พีระวุฒิ สุวรรณจันทร์
- 3. อาจารย์กิติพงศ์ มะโน

คณะกรรมการสอบปริญญาโท	ลายมือชื่อ
1. อาจารย์ยรรวิทย์ สมหา	
2. อาจารย์พีระวุฒิ สุวรรณจันทร์	
3. อาจารย์กิติพงศ์ มะโน	
4. ดร. สุรสิทธิ์ รัตวี	
5. อาจารย์สุชิน อาจหาญ	

วัน/เดือน/ปี ที่สอบ วันที่ 20 เดือนพฤษภาคม พ.ศ.2538 เวลา 21.30 น. ถึง 22.30 น.

สถานที่สอบ ห้อง ค.301 คณะครูศาสตร์อุตสาหกรรม

ภาควิชารับรองแล้ว
 ลงนาม
 (ผศ.ดร.ธีระพล ทัพพรัตน์ ณ. อัยรยา)
 หัวหน้าภาควิชาครูศาสตร์วิศวกรรม

ปริญญานิพนธ์

เรื่อง เครื่องสื่อสารข้อมูลความเร็วสูง

HIGH SPEED DATA COMMUNICATION EQUIPMENTS

ผู้จัดทำ

นายกฤษฎา ปุญญถาวร

นายชินวัตร รักยุติธรรม

นางสาวบุษกร จริตไวทย์

นายสาโรช บัวทอง

อาจารย์ที่ปรึกษา

ลงนาม

(อาจารย์วรวิทย์ สมหา)

ลงนาม

(อาจารย์พีระวุฒิ สุวรรณจันทร์)

ลงนาม

(อาจารย์กิติพงศ์ มะโน)

หัวหน้าภาควิชา

ลงนาม

(ผศ.ดร.ธีระพล เทพหัสดิน ณ อยุธยา)

ปริญญาบัตร

เรื่อง. เครื่องสื่อสารข้อมูลความเร็วสูง

HIGH SPEED DATA COMMUNICATION EQUIPMENTS

จุดประสงค์

1. เพื่อศึกษาการทำงานส่วนต่างๆของระบบการสื่อสารข้อมูลและมาตรฐานที่ใช้
2. เพื่อศึกษาเทคนิคการมัลติเพล็กซ์แบบแบ่งช่วงเวลา
3. เพื่อศึกษาการเขียนโปรแกรมควบคุมโดยใช้ไมโครคอมพิวเตอร์
4. เพื่อออกแบบวงจรส่งและรับสัญญาณที่ใช้ในระบบการสื่อสารข้อมูล
5. เพื่อสร้างเครื่องส่งและรับสัญญาณที่ใช้ในระบบการสื่อสารข้อมูล
6. เพื่อนำเครื่องสื่อสารข้อมูลความเร็วสูงไปประยุกต์ใช้งานกับการสื่อสารข้อมูล

ประโยชน์ที่คาดว่าจะได้รับ

1. สามารถนำไปใช้ในการศึกษาหลักการทำงานของระบบการสื่อสารข้อมูล
2. สามารถนำไปเป็นพื้นฐานในการสร้างระบบการสื่อสารข้อมูล
3. สามารถนำเครื่องสื่อสารข้อมูลความเร็วสูงไปใช้กับระบบสื่อสารข้อมูลได้หลายรูปแบบ
4. นำเครื่องสื่อสารข้อมูลความเร็วสูงนี้ไปเป็นแนวทางในการศึกษา ค้นคว้า และพัฒนาให้มีประสิทธิภาพในการทำงานที่ดียิ่งขึ้นต่อไปในอนาคต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องสื่อสารข้อมูลความเร็วสูง

นายกฤษฎา บุญญถาวร

นายชินวัตร รักยุติธรรม

นางสาวบุษกร จริตไวยุทธ์

นายสาโรช บัวทอง

อาจารย์ที่ปรึกษา

อาจารย์วรวิทย์ สมหา

อาจารย์พีระวุฒิ สุวรรณจันทร์

อาจารย์กิติพงศ์ มะโน

ปีการศึกษา 2537

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ได้นำเสนอเครื่องสื่อสารข้อมูลความเร็วสูงโดยใช้เทคนิคการมัลติเพล็กซ์แบบแบ่งช่วงเวลา เพื่อเชื่อมต่อกับอุปกรณ์ต้นทางและปลายทางข้อมูล จำนวน 4 ช่องสัญญาณ โดยรับข้อมูลได้แต่ละช่องสัญญาณแบบอะซิงโครนัสที่ความเร็ว 300, 600, 1200, 2400 หรือ 9600 BPS และหลังจากการมัลติเพล็กซ์ข้อมูลจากช่องสัญญาณทั้ง 4 แล้วจะทำการส่งผ่านตัวกลางในการสื่อสารโดยส่งออกจากช่องสัญญาณรวมที่ความเร็วในการส่ง 64 kbps สำหรับการแบบซิงโครนัสและ 19.2kbps สำหรับการส่งแบบอะซิงโครนัส

HIGH SPEED DATA COMMUNICATION EQUIPMENTS

MR.KRISDA POONYATAVON

MR.CHINNAWATRAKYUTIDHARM

MISS BUSAKRON CHARITWAI

MRSAROCH BUATHONG

ADVISOR

MR.WORAWIT SOMHA

MR.PEERAWUT SUWANNACHAN

MR.KITIPONG MANO

1994

ABSTRACT

This thesis presents the high speed data communication equipment by time division multiplexing techniques. It has 4 channels for interfaced with Data Terminal Equipment (DTE) and then received by asynchronous at speed 300, 600, 1200, 2400 or 9600 BPS. When acts procedure of data multiplexing, it will tranceived this signal on communication medium, which is channel for aggregate signal by synchronous at speed 64 kBPS or asynchronous at speed 19.2 kBPS transmission.

กิติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงลงได้เนื่องมาจากการให้ความช่วยเหลือจาก ท่านอาจารย์
ที่ปรึกษาและอาจารย์ประจำภาควิชาครุศาสตร์วิศวกรรมทุกท่าน ขอขอบคุณ คุณพิเชฐ สุนทรวงศ์
วิศวกรระบบโทรคมนาคม บริษัทวิทยุการบินแห่งประเทศไทย ที่ได้กรุณาให้ข้อเสนอแนะพร้อม
ทั้งแนวทางในการแก้ไขปัญหาในการดำเนินงาน รวมถึงบริษัทวิทยุการบินแห่งประเทศไทยที่ได้
เอื้อเฟื้อเวลา, สถานที่, เครื่องมือและอุปกรณ์ต่างๆ เป็นอย่างดียิ่งและเพื่อนทุกคนที่คอยให้กำลังใจ
ตลอดมา



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญรูปภาพ	VII
สารบัญตาราง	IX
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	3
2.1 หลักการสื่อสารโดยทั่วไป	3
2.2 หลักการสื่อสารข้อมูล (Data Communication)	4
2.3 เื่อนไขและความหมายในส่วนต่างๆ ของระบบการสื่อสารข้อมูล	5
2.3.1 เทคนิคของการส่งผ่านข้อมูล (Data Transmission Techniques)	5
2.3.2 การส่งผ่านข้อมูลแบบอนุกรม มีรูปแบบการส่งแบบอะซิงโครนัส (Asynchronous) กับแบบซิงโครนัส (Synchronous)	7
2.3.3 โหมดการสื่อสาร (Communication Modes)	9
2.3.4 สถาปัตยกรรมโครงข่าย (Network Configuration)	10
2.3.5 ข้อตกลงในระบบการสื่อสาร (Protocol)	13
2.3.6 ข้อจำกัดของช่องสัญญาณ (Channel Limitation)	14
2.4 มาตรฐาน RS232-C	15
2.4.1 ลักษณะของสัญญาณ RS232-C	16
2.4.2 การกำหนดจุดขั้วต่อของ RS232-C	17

2.4.3 มาตรฐาน RS232-C กับ V.24	20
2.5 การควบคุมและโปรแกรมในระบบการสื่อสารข้อมูล	20
2.5.1 การควบคุมการส่งข้อมูล	21
2.5.2 โปรแกรมควบคุมการส่งผ่านข้อมูล	22
2.5.3 ไคเร็คเมมโมรี่แอกเซส (Direct Memory Access:DMA)	26
2.6 การแปลงข้อมูลแบบขนานไปเป็นแบบอนุกรม	26
2.7 อุปกรณ์ที่ใช้ในการสื่อสารแบบอนุกรม	28
บทที่ 3 หลักการออกแบบ	29
3.1 การออกแบบด้านฮาร์ดแวร์	30
3.1.1 ส่วนของการเชื่อมต่อทางฮาร์ดแวร์ด้านที่เชื่อมต่อกับอุปกรณ์ปลายทางข้อมูล	32
3.1.2 ส่วนของบัฟเฟอร์ข้อมูลความเร็วต่ำ	33
3.1.3 ส่วนของหน่วยควบคุม	38
3.1.4 ส่วนของวงจรสร้างสัญญาณนาฬิกาอ้างอิงสำหรับการส่งผ่านข้อมูล	41
3.1.5 ส่วนของบัฟเฟอร์ข้อมูลความเร็วสูง	45
3.1.6 ส่วนของการเชื่อมต่อทางฮาร์ดแวร์ด้านที่เชื่อมต่อกับช่องสัญญาณการส่งผ่าน	47
3.1.7 ส่วนของแหล่งจ่ายไฟ	48
3.2 การออกแบบด้านซอฟต์แวร์	50
บทที่ 4 การทดลองและผลการทดลอง	51
บทที่ 5 บทสรุป ปัญหาและแนวทางการพัฒนา	59
5.1 สรุปผลการทดลอง	59
5.2 แนวทางการพัฒนา	59
5.3 ปัญหาที่เกิดขึ้นในการทดลอง	60
บรรณานุกรม	61
ภาคผนวก ก. วงจร,ลายวงจรและรายการอุปกรณ์ที่ใช้ในโครงการ	62

VI

ภาคผนวก ข. การใช้งานเครื่องสื่อสารข้อมูลความเร็วสูง	69
ภาคผนวก ค. โปรแกรมที่ใช้ในโครงการ	72
ภาคผนวก ง. DATA SHEET	88



สารบัญญรูปภาพ

รูปภาพ	หน้า
รูปภาพที่ 2.1 ส่วนประกอบพื้นฐานของระบบการสื่อสารด้วยไฟฟ้า	3
รูปภาพที่ 2.2 ส่วนประกอบของการสื่อสารข้อมูล	5
รูปภาพที่ 2.3 ตัวอย่างของการส่งสัญญาณแบบอนุกรมและแบบขนาน	6
รูปภาพที่ 2.4 รูปแบบอักขระสำหรับการส่งสัญญาณแบบอะซิงโครนัส	8
รูปภาพที่ 2.5 ตัวอย่างรูปแบบการส่งสัญญาณแบบอะซิงโครนัส	9
รูปภาพที่ 2.6 รูปแบบของการส่งข้อมูล	10
รูปภาพที่ 2.7 ใช้สายโทรศัพท์ในการส่งข้อมูล	11
รูปภาพที่ 2.8 เทอร์มินัลเชื่อมโยงกับคอมพิวเตอร์โดยต่างมีคู่สายเป็นของตัวเอง	11
รูปภาพที่ 2.9 เทอร์มินัลหลายตัวต่อกับคอมพิวเตอร์หนึ่งตัวผ่านตัวมัลติเพล็กซ์	12
รูปภาพที่ 2.10 ตัวอย่างของโครงข่ายแบบจุดต่อจุด	12
รูปภาพที่ 2.11 ฟอรัมเมตของ SDLC และ HDLC	13
รูปภาพที่ 2.12 การใช้ RS232-C เชื่อมต่ออุปกรณ์	15
รูปภาพที่ 2.13 ย่านของแรงดันไฟฟ้าที่ใช้ในสัญญาณ RS232-C	16
รูปภาพที่ 2.14 การกำหนดของข้อต่อ RS232-C	17
รูปภาพที่ 2.15 การควบคุมการส่งผ่านข้อมูล	21
รูปภาพที่ 2.16 เทคนิคการโพลแบบ Round Robin	23
รูปภาพที่ 2.17 อินเทอร์เน็ตเซอวิส	24
รูปภาพที่ 2.18 การแปลงรูปแบบข้อมูลจากอนุกรมไปเป็นขนาน	26
รูปภาพที่ 2.19 การแปลงรูปแบบข้อมูลจากขนานไปเป็นอนุกรม	27
รูปภาพที่ 2.20 การใช้งาน 8251 ร่วมกับโมเด็ม	27
รูปภาพที่ 3.1 การใช้งานของคู่สถานีของเครื่องสื่อสารข้อมูลความเร็วสูง	29

รูปภาพที่ 3.2 บล็อกไดอะแกรมของเครื่องสื่อสารข้อมูลความเร็วสูง โดยใช้วิธีการมัลติเพล็กซ์แบบแบ่งช่วงเวลา	31
รูปภาพที่ 3.3 วงจรส่วนของการเชื่อมต่อทางด้านฮาร์ดแวร์ โดยใช้ IC เบอร์ MC1488 และ MC1489	32
รูปภาพที่ 3.4 วงจรส่วนบัฟเฟอร์ข้อมูลความเร็วต่ำ	34
รูปภาพที่ 3.5 บล็อกไดอะแกรมภายใน IC เบอร์ 8251A	35
รูปภาพที่ 3.6 วงจรส่วนหน่วยควบคุม	39
รูปภาพที่ 3.7 วงจรสร้างสัญญาณนาฬิกาอ้างอิงสำหรับการส่งผ่านข้อมูล	42
รูปภาพที่ 3.8 วงจรส่วนของบัฟเฟอร์ข้อมูลความเร็วสูง	45
รูปภาพที่ 3.9 วงจรของส่วนการเชื่อมต่อทางด้านฮาร์ดแวร์ โดยใช้ IC เบอร์ MC1488 และ MC1489	47
รูปภาพที่ 3.10 วงจรส่วนของแหล่งจ่ายไฟ	48
รูปภาพที่ 3.11 วงจรเครื่องสื่อสารข้อมูลความเร็วสูง	49
รูปภาพที่ 4.1 บล็อกไดอะแกรมการทดสอบรูปกลับที่ช่องสัญญาณความเร็วสูง	51
รูปภาพที่ 4.2 การเชื่อมต่อและการเชื่อมต่ออุปกรณ์ในการทดลอง	52
รูปภาพที่ 4.3 ทดสอบการเชื่อมโยงระหว่างคู่สถานีของเครื่องสื่อสารข้อมูลความเร็วสูง	53
รูปภาพที่ 4.4 การเชื่อมต่อและการเชื่อมต่ออุปกรณ์ในการทดลอง	54
รูปภาพที่ 4.5 รูปคลื่นของสัญญาณ BISYNC	55
รูปภาพที่ 4.6 การทดสอบเสถียรภาพการใช้งานคู่สถานีของเครื่องสื่อสารข้อมูลความเร็วสูง	56
รูปภาพที่ 4.7 การเชื่อมต่อและการเชื่อมต่ออุปกรณ์ในการทดลอง	57
รูปภาพที่ 4.8 แสดงค่าอัตราบิตผิดพลาดที่บันทึกได้จากเครื่องวัดอัตราบิตผิดพลาด (BERT)	58
รูปภาพที่ 4.9 แสดงค่าอัตราบิตผิดพลาดที่บันทึกได้จากเครื่องวิเคราะห์การสื่อสารข้อมูล ซึ่งแสดงเวลาเริ่มต้นและสิ้นสุดการทดสอบไว้ด้วย	58

สารบัญตาราง

ตาราง	หน้า
ตารางที่ 2.1 การกำหนดย่านแรงดันไฟฟ้าในสัญญา	16
ตารางที่ 2.2 คุณลักษณะโดยย่อของสัญญา RS232-C	19
ตารางที่ 3.1 การควบคุมความถี่อ้างอิง	42
ตารางที่ 3.2 อัตราสัญญาความถี่อ้างอิง	43



บทที่ 1

บทนำ

ในโลกยุคโลกาภิวัตน์ ความก้าวหน้าทางด้านเทคโนโลยีเกี่ยวกับการสื่อสารได้ก้าวเข้ามามีบทบาทในชีวิตประจำวันมากขึ้น โดยเทคโนโลยีเกี่ยวกับการสื่อสารข้อมูลกำลังเป็นที่นิยมและได้มีการนำมาใช้งานอย่างกว้างขวางมากในขณะนี้และแนวโน้มของระบบการสื่อสารในอนาคตอันใกล้กำลังจะเปลี่ยนจากระบบเดิมคือ จากระบบอนาล็อกไปสู่ระบบดิจิทัล แม้กระทั่งในปัจจุบันนี้ยังไม่สามารถแยกออกจากกันได้ ดังนั้นระบบการสื่อสารข้อมูลโดยใช้วิธีการมัลติเพล็กซ์แบบแบ่งช่วงเวลา จึงเป็นเทคโนโลยีที่ได้รับความนิยมเป็นอย่างมาก ซึ่งในประเทศไทยนั้นยังมีการจำกัดการใช้งานอยู่ในวงแคบๆ ด้วยเหตุนี้การศึกษาและพัฒนาความรู้เรื่องการสื่อสารข้อมูลจนสามารถนำไปใช้งานได้จึงเป็นสิ่งจำเป็นอย่างยิ่งในอนาคตอันใกล้

ในปฏิญานิพนธ์ฉบับนี้ ได้จัดทำเครื่องสื่อสารข้อมูลโดยใช้วิธีการมัลติเพล็กซ์แบบแบ่งช่วงเวลา โดยใช้ RS232-C เป็นตัวอินเทอร์เฟซทางด้านฮาร์ดแวร์และใช้ 8251 เป็นตัวบัฟเฟอร์รวมทั้งเป็นตัวจัดการในการรับส่งข้อมูลและใช้ไมโครคอนโทรลเลอร์เป็นตัวควบคุมโดยทำการเขียนโปรแกรมควบคุมโดยใช้ภาษาแอสเซมบลี (Assembly) จึงทำให้มีการทำงานด้วยความเร็วสูงและทำให้มีประสิทธิภาพในการส่งข้อมูลที่ดีในระดับหนึ่ง

ในปฏิญานิพนธ์ฉบับนี้มีเนื้อหาต่างๆ ดังนี้

บทที่ 1 บทนำ ได้เกริ่นนำถึงความเป็นมาและอธิบายเนื้อหาคร่าวๆ ในแต่ละบทของปฏิญานิพนธ์ฉบับนี้

บทที่ 2 ทฤษฎีและหลักการ เป็นทฤษฎีและหลักการที่เกี่ยวข้องกับเครื่องสื่อสารข้อมูลความเร็วสูง ในปฏิญานิพนธ์ฉบับนี้ได้แบ่งหัวข้อต่างๆ ดังต่อไปนี้

- 2.1 หลักการสื่อสาร โดยทั่วไป
- 2.2 หลักการสื่อสารข้อมูล (Data Communication)
- 2.3 เงื่อนไขและความหมายในส่วนต่างๆ ของระบบการสื่อสารข้อมูล
- 2.4 มาตรฐาน RS232-C
- 2.5 การควบคุมและโปรแกรมในระบบการสื่อสารข้อมูล
- 2.6 การแปลงข้อมูลแบบขนานเป็นแบบอนุกรม

2.7 อุปกรณ์ที่ใช้ในการสื่อสารแบบอนุกรม

บทที่ 3 หลักการออกแบบ เป็นการอธิบายเกี่ยวกับวงจรต่างๆ ในเครื่องสื่อสารข้อมูล ความเร็วสูง ซึ่งแบ่งเป็นหัวข้อใหญ่ได้ 2 หัวข้อคือ

3.1 การออกแบบด้านฮาร์ดแวร์

3.2 การออกแบบด้านซอฟต์แวร์

บทที่ 4 การทดลองและผลการทดลอง เป็นการทดสอบเครื่องเพื่อที่จะนำไปใช้งานและได้อธิบายการทำงานของเครื่อง วิธีการทดลองรวมทั้งผลการทดลองที่ได้รับ

บทที่ 5 บทสรุปและแนวทางการพัฒนา ได้สรุปผลและเสนอปัญหาที่เกิดขึ้นตลอดทั้งแนวทางการพัฒนาของโครงการนี้ ในภาคผนวกได้ให้รายละเอียดของรายการอุปกรณ์ที่ใช้เป็นข้อมูลที่เกี่ยวข้องกับโครงการนี้



บทที่ 2

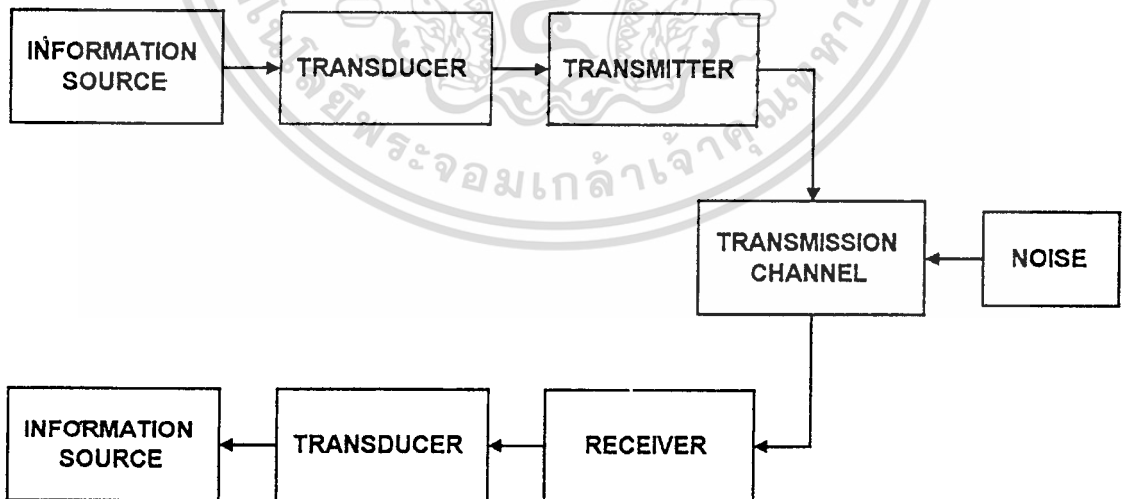
ทฤษฎีและหลักการ

2.1 หลักการสื่อสารโดยทั่วไป

การสื่อสาร คือการรับหรือการส่งข่าวสารจากตำแหน่งหนึ่งไปยังอีกตำแหน่งหนึ่ง โดยการสื่อสารมีอยู่ด้วยกันหลายรูปแบบและได้แบ่งออกเป็นหลักใหญ่ๆ ดังนี้

1. การสื่อสารระหว่างคนกับคน เป็นการสื่อสารโดยการแปลงสัญญาณเสียงเป็นสัญญาณไฟฟ้าเพื่อติดต่อสื่อสารในระยะทางไกลๆ เช่น โทรศัพท์ วิทยุ เป็นต้น
2. การสื่อสารระหว่างคนกับเครื่อง เป็นการสื่อสารในลักษณะของการควบคุมการทำงานของเครื่องจักรด้วยเครื่องคอมพิวเตอร์ โดยมีคนเป็นผู้ออกคำสั่ง
3. การสื่อสารระหว่างเครื่องกับเครื่อง เป็นการสื่อสารในลักษณะของการเคลื่อนย้ายข้อมูลจากเครื่องคอมพิวเตอร์เครื่องหนึ่งไปยังอีกเครื่องหนึ่ง

การสื่อสารทั้งสามรูปแบบล้วนแต่เป็นการสื่อสารด้วยไฟฟ้าทั้งสิ้น การสื่อสารด้วยไฟฟ้านั้นเป็นระบบสื่อสารโทรคมนาคมที่มีบทบาทมากในปัจจุบัน ดังแสดงในรูปที่ 2.1



รูปที่ 2.1 ส่วนประกอบพื้นฐานของระบบการสื่อสารด้วยไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนประกอบพื้นฐานของระบบการสื่อสารด้วยไฟฟ้า ประกอบด้วย

1. ข่าวสารจากแหล่งข่าวสาร (Information Source) จะถูกส่งผ่านไปยังทรานสดิวเซอร์
2. ทรานสดิวเซอร์ (Transducer) ทำหน้าที่ในการแปลงข่าวสารที่ต้องการ ให้อยู่ในรูปของสัญญาณไฟฟ้าที่เรียกว่า โมดูเลตติ้ง
3. เครื่องส่ง (Transmitter) ทำหน้าที่แปลงสัญญาณไฟฟ้าที่มีขนาดเล็กจากทรานสดิวเซอร์ ให้เป็นสัญญาณไฟฟ้าที่มีขนาดและรูปแบบที่เหมาะสม ภายในเครื่องส่งมีภาค โมดูเลเตอร์ทำหน้าที่ โมดูเลทสัญญาณ โมดูเลตติ้งเข้ากับคลื่นพาห์ ในการโมดูเลทนั้นจะทำการแปลงความถี่ของสัญญาณ และทำการขยายกำลังของสัญญาณให้สูงขึ้น จากนั้นส่งสัญญาณออกจากเครื่องส่ง โดยจะถูกส่งผ่าน ช่องผ่านสัญญาณออกไป เครื่องส่งจะต้องถูกออกแบบให้เหมาะสมกับช่องผ่านสัญญาณที่จะนำมาใช้งาน
4. ช่องผ่านสัญญาณ (Channel) เป็นตัวกลางที่ทำให้สัญญาณไฟฟ้าถูกส่งผ่านจากเครื่องส่ง ไปยังเครื่องรับ ตัวกลางที่เป็นไปได้มี 2 แบบคือ
 - 4.1 สายนำสัญญาณ (Transmission Line) แบ่งเป็นแบบต่างๆ เช่น Two Wire, Coaxial, Waveguide เป็นต้น
 - 4.2 บรรยากาศ สัญญาณจะถูกส่งออกไปในรูปของคลื่นแม่เหล็กไฟฟ้า โดยสายอากาศ เป็นกระจายคลื่นผ่านชั้นบรรยากาศ
5. เครื่องรับ (Receiver) ทำหน้าที่รับสัญญาณที่ได้จากช่องส่งผ่านสัญญาณ ซึ่งมีกำลังต่ำ ให้มีสัญญาณที่มีกำลังสูงขึ้น โดยทำการขยายกำลัง จากนั้นแปลงความถี่ที่มีค่าสูงให้ต่ำลง แล้วทำการ ถอดรหัสตามที่จำเป็นและแยกสัญญาณ โมดูเลตติ้งออกจากคลื่นพาห์ตามกระบวนการดีโมดูเลชัน (Demodulation) แล้วจะส่งผ่านสัญญาณที่ตีเทกมาได้ไปยังทรานสดิวเซอร์
6. ทรานสดิวเซอร์ ทำหน้าที่ในการแปลงสัญญาณ โมดูเลตติ้งที่รับเข้ามาให้อยู่ในรูปสัญญาณ ข่าวสารที่ต้องการ ซึ่งจะได้สัญญาณข่าวสารกลับคืนมายังผู้ใช้ปลายทาง

2.2 หลักการสื่อสารข้อมูล (Data Communication)

การสื่อสารข้อมูล คือขบวนการของการใช้ร่วมหรือแลกเปลี่ยนข้อมูลข่าวสารที่ถูกแปลง รหัส (Encoded Information) ระหว่างอุปกรณ์สองตัวหรือมากกว่านั้น ในการสื่อสารข้อมูลตัวส่ง และตัวรับเป็นอุปกรณ์หรือเครื่อง และข้อมูลข่าวสารที่ถูกแปลงรหัสหมายถึงข้อมูลข่าวสารที่ถูกส่ง ผ่านไปในลักษณะของการส่งผ่านข้อมูลแบบอนุกรมของสัญญาณทางไฟฟ้า ผ่านตัวกลางที่ใช้ใน

การส่งผ่านข้อมูล, เช่น เมื่อเจ้าหน้าที่คอมพิวเตอร์คีย์อักขรบนแป้นพิมพ์ อนุกรมทางไฟฟ้าจะถูกส่งออกไปยังคอมพิวเตอร์และคอมพิวเตอร์จะแปลงข้อมูลข่าวสารกลับมา ดังแสดงในรูปที่ 2.2



รูปที่ 2.2 ส่วนประกอบของการสื่อสารข้อมูล

ส่วนประกอบของการสื่อสารข้อมูล ประกอบด้วย

1. DTE (Data Terminal Equipment) เป็นอุปกรณ์ต้นทางหรือปลายทางข้อมูล ทำหน้าที่รับหรือส่งข้อมูล โดยอีกนัยหนึ่งคือผู้ใช้ข้อมูล (Data User) เช่น คอมพิวเตอร์, คีย์บอร์ด, จอภาพ, เครื่องพิมพ์และเทอร์มินอล เป็นต้น
2. DCE (Data Communication Equipment) เป็นอุปกรณ์การสื่อสารข้อมูล ทำหน้าที่ในการเชื่อมต่อและควบคุมการส่งผ่านข้อมูลระหว่างตัว DTE ทั้งสองตัว ผ่านตัวกลางในการสื่อสารหรือช่องผ่านสัญญาณ เช่น โมเด็ม, มัลติเพล็กซ์เซอร์ เป็นต้น
3. Medium เป็นตัวกลางที่ใช้ในการสื่อสารข้อมูลหรืออาจจะเรียกว่า ช่องสัญญาณสื่อสาร (Communication Channel) เช่น ดาวเทียมโคเคอร์, สายโคแอกเชียล, ไฟเบอร์ออฟติกและลิงค์ควาเทียม เป็นต้น

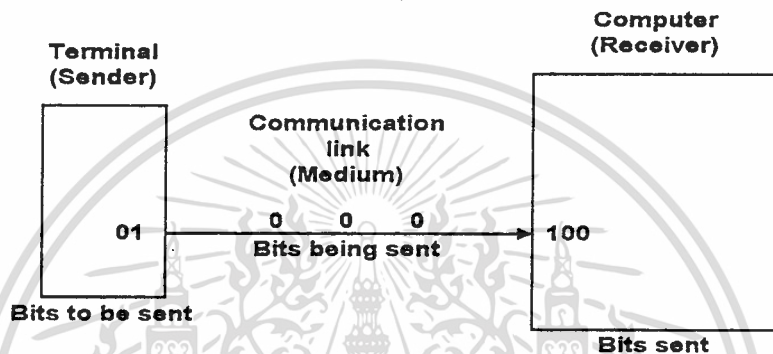
2.3 เงื่อนไขและความหมายในส่วนต่างๆ ของระบบการสื่อสารข้อมูล

ระบบการสื่อสารข้อมูลมีรูปแบบและเงื่อนไขที่กำหนดไว้เป็นมาตรฐานในส่วนต่างๆ ซึ่งนำมาใช้ในการสื่อสารข้อมูลและได้มีการนำเอารูปแบบและเงื่อนไขต่างๆ นั้นมาประกอบขึ้นเป็นระบบ โดยมีรายละเอียดดังต่อไปนี้

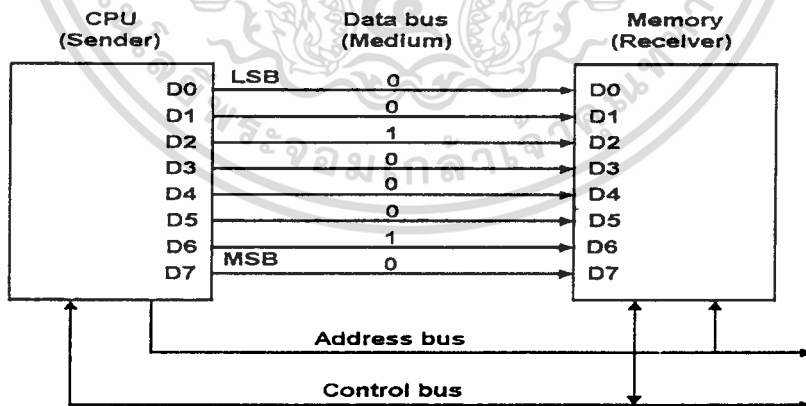
2.3.1 เทคนิคของการส่งผ่านข้อมูล (Data Transmission Techniques)

ในการส่งผ่านข้อมูล เราสามารถแบ่งลักษณะของการส่งผ่านข้อมูลได้เป็น 2 แบบ คือการส่งผ่านข้อมูลแบบขนานและการส่งผ่านข้อมูลแบบอนุกรม การส่งผ่านข้อมูลโดยใช้สายคู่เดียวเป็นการส่งผ่านข้อมูลแบบอนุกรม (Serial) และการส่งผ่านข้อมูลโดยใช้สายหลายคู่สายเป็นการส่งผ่าน

ข้อมูลแบบขนาน (Parallel) ในการส่งผ่านข้อมูลแบบอนุกรม ข้อมูลไบนารีจะถูกส่งออกไปครั้งละ 1 บิต ที่เวลาหนึ่ง ส่วนในการส่งผ่านข้อมูลแบบขนานข้อมูลแต่ละบิตจะมีสายส่งเฉพาะและทุกบิตของข้อมูลที่แต่ละสายส่งจะถูกส่งออกไปในเวลาเดียวกัน ดังแสดงในรูปที่ 2.3 ก แสดงตัวอย่างของการส่งผ่านข้อมูลแบบอนุกรมจากเทอร์มินอลไปยังคอมพิวเตอร์ และสำหรับรูปแบบของไบนารี 01000100 บัสดข้อมูลภายในระบบคอมพิวเตอร์ เป็นตัวอย่างหนึ่งของการส่งผ่านข้อมูลแบบขนาน ดังแสดงในรูปที่ 2.3 ข



ก. การส่งสัญญาณแบบอนุกรม



ข. การส่งสัญญาณแบบขนาน

รูปที่ 2.3 ตัวอย่างของ ก) การส่งสัญญาณแบบอนุกรม ข) การส่งสัญญาณแบบขนาน

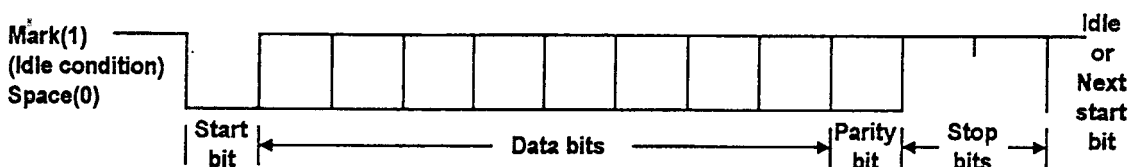
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดก็ตาม อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งผ่านข้อมูลแบบขนานย่อมเร็วกว่าการส่งผ่านข้อมูลแบบอนุกรม เพราะว่าทุกบิตถูกส่งออกไปพร้อมกัน ดังนั้นในการส่งผ่านข้อมูลแบบขนานจะถูกนำมาใช้สำหรับการทำงานภายในคอมพิวเตอร์ เช่น ในการส่งผ่านข้อมูลระหว่างซีพียู (CPU) กับหน่วยความจำ (Memory) หรือระหว่างซีพียูและ I/O Chips เป็นต้น อย่างไรก็ตามการใช้สายหลายๆ เส้นทำให้ซับซ้อน ราคาสูง และรับสัญญาณรบกวนได้ง่าย ถ้านำการส่งผ่านข้อมูลแบบขนานมาใช้ในการส่งผ่านข้อมูลระหว่างคอมพิวเตอร์กับคอมพิวเตอร์หรือคอมพิวเตอร์กับอุปกรณ์รอบนอก เช่น เป็นพื้กับจอภาพ, เครื่องพิมพ์หรือพล็อตเตอร์ เป็นต้น แม้ว่าในบางระบบจะใช้การส่งผ่านข้อมูลแบบขนานสำหรับการส่งผ่านข้อมูลไปยังอุปกรณ์รอบนอก แต่ส่วนใหญ่จะใช้การส่งผ่านข้อมูลแบบอนุกรม ซึ่งมี I/O Chips ทำการแปลงข้อมูลแบบขนานจากซีพียูเพื่อเป็นข้อมูลแบบอนุกรม ก่อนที่จะส่งข้อมูลออกไป และ I/O Chips เหล่านี้ สามารถรับข้อมูลแบบอนุกรมและแปลงกลับมาเป็นแบบขนาน เพื่อว่าสามารถอ่านได้โดยซีพียูหรือหน่วยความจำได้ง่าย เพราะว่าในการสื่อสารข้อมูลจะเกิดขึ้นระหว่างคอมพิวเตอร์กับคอมพิวเตอร์หรือคอมพิวเตอร์กับอุปกรณ์รอบนอก

2.3.2 การส่งผ่านข้อมูลแบบอนุกรม มีรูปแบบการส่งแบบอะซิงโครนัส (Asynchronous) กับแบบซิงโครนัส (Synchronous)

การส่งสัญญาณแบบอนุกรมนั้นแบ่งออกเป็น 2 วิธีคือ การส่งสัญญาณแบบอะซิงโครนัส (Asynchronous Transmission) และการส่งสัญญาณแบบซิงโครนัส (Synchronous Transmission) เพื่อให้ตัวส่งและตัวรับสามารถทำงานได้สอดคล้องกันทั้งคู่ จึงต้องใช้วิธีการส่งสัญญาณแบบเดียวกันคือ ตัวรับต้องสามารถตรวจจับการเริ่มต้นและการสิ้นสุดของอักขระ (Character) 1 ตัวได้ สำหรับการส่งข้อมูลแบบอะซิงโครนัส ส่วนแบบซิงโครนัสจะดูที่ลือของการเริ่มต้นและการสิ้นสุดของอักขระ

1. การส่งสัญญาณแบบอะซิงโครนัส คำว่า “อะซิงโครนัส” หมายความว่า ที่เวลาหนึ่งอักขระ 1 ตัว สามารถถูกส่งออกไปได้ การส่งข้อมูลแบบอะซิงโครนัสจะใช้กับการส่งข้อมูลที่มีความเร็วต่ำ (น้อยกว่า 19,200 Bits Per Second (BPS)) และใช้กับอุปกรณ์ราคาไม่แพงนัก เช่น เครื่องพิมพ์และพล็อตเตอร์ จึงมีผลทำให้แบบนี้เป็นวิธีที่ได้รับความนิยมในการส่งข้อมูล เพราะว่าวงจรง่ายต่อการออกแบบและสามารถลดต้นทุนในการผลิตได้ด้วย วิธีนี้ยังทำให้มีการต่อเนื่องของข้อมูลไม่ตายตัว คือเวลาระหว่างอักขระไม่จำเป็นต้องเท่ากัน เปรียบเทียบได้กับการพิมพ์หนังสือเวลาระหว่างการกดแป้นพิมพ์ของอักขระแต่ละตัวไม่จำเป็นต้องเท่ากัน เนื่องมาจากคำที่กำลังพิมพ์, ตำแหน่งของอักขระ รูปแบบอักขระของการส่งข้อมูลแบบอะซิงโครนัส แสดงในรูปที่ 2.4



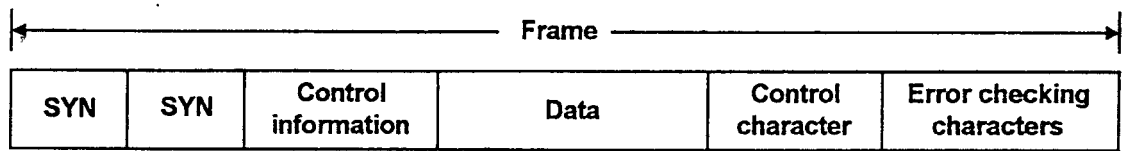
รูปที่ 2.4 รูปแบบอักขระสำหรับการส่งสัญญาณแบบอะซิงโครนัส

จากรูปที่ 2.4 แสดงรูปแบบของการส่งข้อมูลแบบอะซิงโครนัส จะเห็นว่าในการส่งอักขระ 1 ตัว แบบอะซิงโครนัสจะประกอบด้วย 4 ส่วนด้วยกันคือ บิตเริ่มต้น (Start Bit) บิตข้อมูล (Data Bit) บิตพาริตี (Parity Bit) และบิตหยุด (Stop Bit) (ซึ่งอาจมีได้ 1, 1.5 หรือ 2 บิต) แม้ว่าบิตพาริตีจะเป็นบิตตัวเลือกว่ามีหรือไม่มีก็ได้ แต่ระบบส่วนใหญ่จะใช้ ซึ่งดูได้จากตัวอย่างว่าจะมีทั้งใช้และไม่ใช้บิตพาริตี

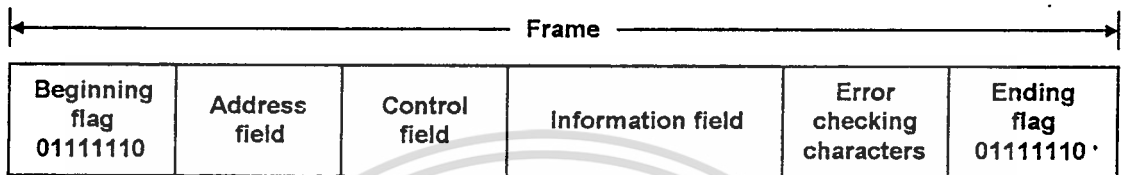
แม้ว่าการส่งสัญญาณแบบอะซิงโครนัส จะง่ายต่อการออกแบบ สร้างและใช้งาน แต่เป็นแบบวิธีการส่งข้อมูลที่ไม่ค่อยมีประสิทธิภาพ เนื่องจากในการส่งข้อมูลแต่ละอักขระอย่างน้อยที่สุดประกอบด้วย บิตเริ่มต้น 1 บิตและบิตหยุด 1 บิต

2. การส่งสัญญาณแบบซิงโครนัส นั้นไม่ต้องการบิตเริ่มต้นและบิตหยุดแก่แต่ละอักขระของเฟรม โดยการส่งข้อมูลแต่ละครั้งจะส่งเป็นบล็อกขนาดใหญ่ เพื่อที่จะให้เข้าจังหวะกับสัญญาณนาฬิกาของตัวรับในการส่งข้อมูลแบบซิงโครนัส ตัวรับสามารถรู้ถึงการเริ่มต้นเฟรมใหม่ของข้อมูลแต่ละเฟรมและแต่ละบิตภายในเฟรม ดังแสดงในรูปที่ 2.5 แสดงรูปแบบของซิงโครนัสทั้ง 2 แบบที่แตกต่างกัน คือแบบ Character-Oriented Frame และแบบ Bit-Oriented Frame เฟรมแรกของการส่งข้อมูลแบบ Character-Oriented จะเริ่มต้นด้วยอักขระพิเศษหนึ่งตัวหรือมากกว่านั้น เรียกว่า Synchronization (SYN) Character อักขระ SYN จะมีรูปแบบทางไบนารีที่เป็นเอกลักษณ์หรือเฉพาะอักขระ SYN จะตามด้วยข่าวสารควบคุม (Control Information) ข้อมูลอักขระควบคุมและสุดท้ายคืออักขระตรวจสอบความผิดพลาด

ส่วนแบบ Bit-Oriented นั้นเฟรมหนึ่งจะประกอบด้วยรูปแบบบิตพิเศษที่ตอนเริ่มต้นและสิ้นสุดของเฟรม รูปแบบเหล่านี้ประกอบด้วยความยาว 8 บิต ซึ่งเรียกว่า เฟล็ก (Flags) เฟล็กเริ่มต้นของเฟรมและสิ้นสุดเฟรมนั้นจะมีค่าเหมือนกันคือ "01111110" ดังแสดงในรูปที่ 2.5 ข ซึ่งได้แสดงเฟล็กเริ่มต้น (Opening Flag) แล้วตามด้วยข้อมูลแสดงที่อยู่ (Address Information), ข้อมูลควบคุม (Control Information), ข้อมูลการตรวจสอบข้อผิดพลาด (Error Checking Information) และสุดท้ายคือเฟล็กสิ้นสุด (Ending Flag)



ก. Character Oriented



ข. Bit Oriented

รูปที่ 2.5 ตัวอย่างรูปแบบการส่งสัญญาณแบบอะซิงโครนัส

ก) Character Oriented ข) Bit Oriented

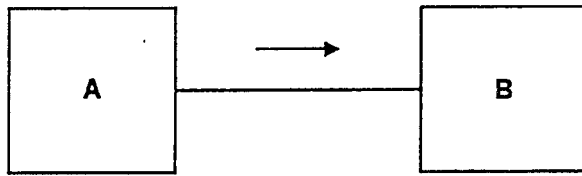
2.3.2 โหมดการสื่อสาร (Communication Modes)

การสื่อสารได้แบ่งออกตามรูปแบบของการส่งข้อมูล โดยจะแบ่งออกเป็น 3 แบบ คือ การส่งข้อมูลแบบทางเดียว (Simplex), การส่งข้อมูลแบบกึ่งสองทาง (Half-Duplex) และการส่งข้อมูลแบบสองทาง (Full-Duplex) ซึ่งจะมีรายละเอียดดังต่อไปนี้

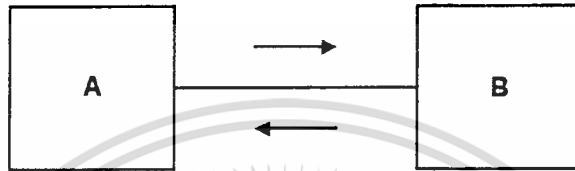
1. การส่งข้อมูลแบบทางเดียว ข้อมูลจะถูกส่งได้ในทางเดียวเท่านั้น เช่น การส่งข้อมูลจากเทอร์มินัล A ไปยังเทอร์มินัล B โดยเทอร์มินัล A จะเป็นเครื่องส่งและเทอร์มินัล B เป็นเครื่องรับเท่านั้น ดังแสดงในรูปที่ 2.6 ก

2. การส่งข้อมูลแบบกึ่งสองทาง ข้อมูลถูกส่งได้ทั้งสองทาง แต่จะต้องผลัดกันส่งและผลัดกันรับ จะส่งพร้อมกันไม่ได้ เช่น เทอร์มินัล A ส่งข้อมูลไปให้เทอร์มินัล B ได้และ เทอร์มินัล B ก็ส่งข้อมูลตอบกลับมาให้เทอร์มินัล A เช่นกัน ดังแสดงในรูปที่ 2.6 ข

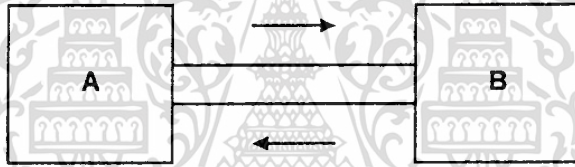
3. การส่งข้อมูลแบบสองทาง ข้อมูลสามารถรับและส่งได้ในเวลาเดียวกัน เช่น เทอร์มินัล A ส่งข้อมูลไปให้เทอร์มินัล B ซึ่งเป็นเวลาเดียวกันที่เทอร์มินัล B ก็ส่งข้อมูลไปให้เทอร์มินัล A โดยที่เทอร์มินัล A และ B ทำงานเป็นอิสระต่อกัน ดังแสดงในรูปที่ 2.6 ค



ก. แบบทางเดียว



ข. แบบกึ่งสองทาง



ค. แบบสองทาง

รูปที่ 2.8 รูปแบบของการส่งข้อมูล

ก) แบบทางเดียว ข) แบบกึ่งสองทาง ค) แบบสองทาง

2.3.3 สถาปัตยกรรมโครงข่าย (Network Configuration)

โครงข่ายของการสื่อสารข้อมูล สามารถแบ่งออกเป็นรูปแบบใหญ่ๆ ได้ 2 รูปแบบ คือ

1. แบบจุดต่อจุด (Point to Point)
2. แบบจุดต่อหลายจุด (Multipoint)

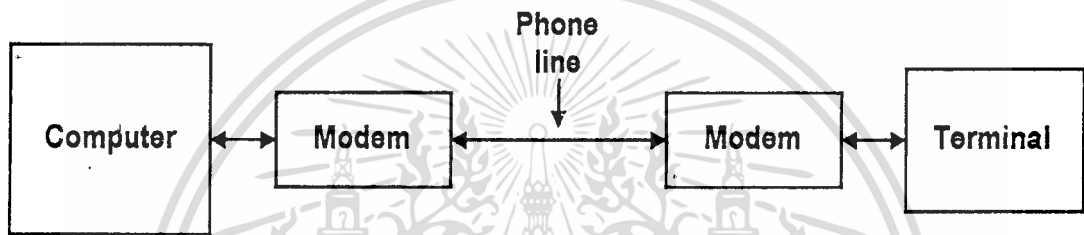
โครงข่ายของการสื่อสารข้อมูลแบบจุดต่อจุด เป็นแบบที่มีอุปกรณ์ในแต่ละปลายของการเชื่อมโยง ซึ่งมีรูปแบบต่างๆ และได้แสดงตัวอย่างรวมทั้งสิ้นต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

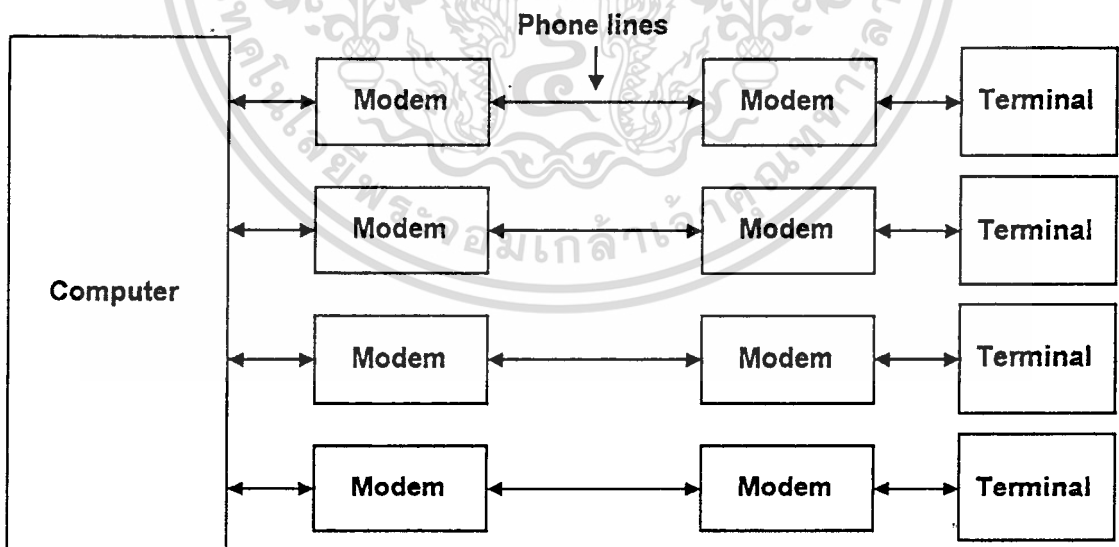
1. การเชื่อมโยงของเทอร์มินัล 1 ตัวต่อกับคอมพิวเตอร์ โดยผ่านโมเด็มและสายสัญญาณโทรศัพท์ ดังแสดงในรูปที่ 2.7

2. การเชื่อมโยงของแต่ละเทอร์มินัลต่อกับคอมพิวเตอร์ ซึ่งแต่ละเทอร์มินัลมีข่ายเชื่อมโยงของตัวเอง ดังแสดงในรูปที่ 2.8

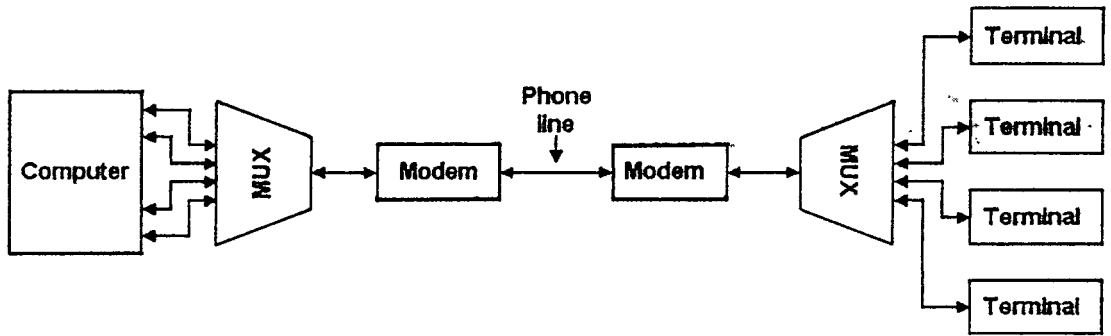
3. การเชื่อมโยงของคอมพิวเตอร์ต่อกับคอมพิวเตอร์หรือการเชื่อมโยงของเทอร์มินัลหลายตัวต่ออยู่กับคอมพิวเตอร์หนึ่ง โดยใช้คู่ของตัวผ่านตัวมัลติเพล็กซ์และโมเด็มคู่เดียวเพื่อลดค่าใช้จ่ายเมื่อมีการขยายระบบ ดังแสดงในรูปที่ 2.9



รูปที่ 2.7 ใช้สายโทรศัพท์ในการส่งข้อมูล



รูปที่ 2.8 เทอร์มินัลเชื่อมโยงกับคอมพิวเตอร์ โดยต่างมีคู่สายเป็นของตัวเอง

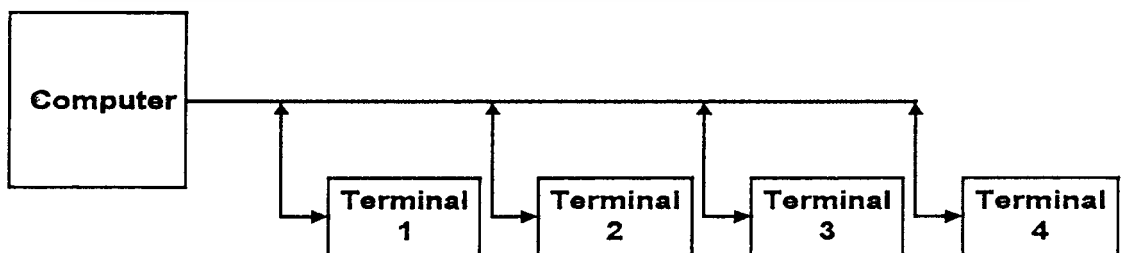


รูปที่ 2.9 เทอร์มินัลหลายตัวต่อกับคอมพิวเตอร์หนึ่งตัวผ่านตัวมัลติเพล็กซ์

โครงข่ายของการสื่อสารข้อมูลแบบจุดต่อหลายจุด จะมีสถานีแม่ข่าย 1 สถานี (ปกติเป็นคอมพิวเตอร์) และสถานีลูกข่ายหลายตัว (ปกติได้แก่เทอร์มินัล) ที่ใช้สายสัญญาณในการสื่อสารร่วมกัน ดังแสดงในรูปที่ 2.10 แบบนี้เป็นแบบที่ต้องการเทอร์มินอลแบบ Smart หรือ Intelligent และมีการทำงานแบบ Polling ก็คือต้องเรียงลำดับในการติดต่อระหว่างคอมพิวเตอร์กับเทอร์มินอล โดยทั้งแบบจุดต่อจุดและแบบจุดต่อหลายจุด ต้องมีข้อตกลงเพื่อรับรองว่าลำดับการส่งผ่านข้อมูลเกิดขึ้นถูกต้อง โดยมีข้อตกลงดังต่อไปนี้

1. ตัวส่งต้องทราบว่าจะรับพร้อมที่จะรับข้อมูล
2. ข้อมูลต้องถูกส่งออกไป
3. ตัวส่งต้องทราบว่าจะข้อมูลที่ส่งออกไปตัวรับได้รับถูกต้องหรือไม่
4. ตัวส่งและตัวรับต้องสามารถตัดการเชื่อมต่อได้

ข้อตกลงนี้รวมเรียกว่า ข้อตกลงในการสื่อสาร ซึ่งจะกล่าวถึงรายละเอียดในหัวข้อต่อไป



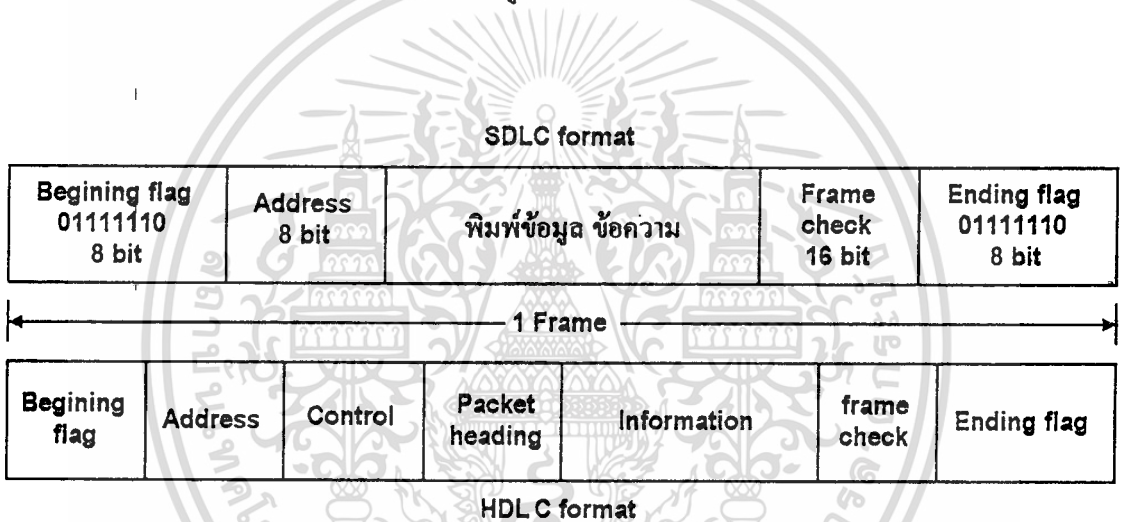
รูปที่ 2.10 ตัวอย่างของโครงข่ายแบบจุดต่อหลายจุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.4 ข้อตกลงในระบบการสื่อสาร (Protocol)

โปรโตคอล หมายถึงกฎเกณฑ์, ขบวนการ และรูปแบบของภาษา ซึ่งถูกกำหนดขึ้นใช้ในการสื่อสารข้อมูล เพื่อให้แน่ใจได้ว่าการถ่ายเทข้อมูลระหว่างอุปกรณ์ดิจิทัลนั้นเป็นไปตามลำดับที่ถูกต้อง โดยจะอยู่ในรูปของซอฟต์แวร์และฮาร์ดแวร์ประกอบกัน

โปรโตคอลที่พบเห็นการใช้งานบ่อยครั้งเช่น SDLC (Synchronous Data Link Control) ซึ่งกำหนดและสร้างขึ้นโดยบริษัท IBM, HDLC (High level Data Link Control) ของบริษัท Honeywell นอกจากนี้ยังมีโปรโตคอลที่สร้างขึ้นโดยบริษัทอื่นๆ อีกมากมายเช่น DDCMP (Digital Data Communication Message Protocol), BDLC, DLC, CDC และ NAPLP เป็นต้น ซึ่งต่างก็มีโครงสร้างที่แตกต่างกันออกไป ดังแสดงในรูปที่ 2.11



รูปที่ 2.11 ฟอร์แมตของ SDLC และ HDLC

โปรโตคอลที่ใช้ในการสื่อสารข้อมูลจะแบ่งออกเป็นระดับ (Level) หรือชั้น (Layer) แต่ละระดับจะบรรจุหน้าที่และถูกออกแบบให้ทำงานอิสระ โดยในการทำงานของระดับหนึ่งจะขึ้นอยู่กับการทำงานที่ถูกต้องของระดับก่อนหน้า โปรโตคอลเหล่านี้จะอยู่ในลักษณะของซอฟต์แวร์ ซึ่งโครงสร้างของระบบซอฟต์แวร์จะต้องเขียนให้สอดคล้องกับมาตรฐานของ OSI (Open System Interconnect) ด้วย ซึ่งมาตรฐานของ OSI จะประกอบไปด้วยมาตรฐานย่อยๆ ถึง 7 ระดับ ด้วยกัน ดังรายละเอียดต่อไปนี้

1. Physical Level เป็นมาตรฐานในการกำหนดเกี่ยวกับการอินเทอร์เฟสระหว่างอุปกรณ์ปลายทางข้อมูล (DTE) กับอุปกรณ์การสื่อสารข้อมูล (DCE) โดยจะรวมถึงทางด้านกายภาพ, ทางด้านสัญญาณไฟฟ้า, กระบวนการในการติดตั้งและการบำรุงรักษา รวมไปถึงรายละเอียดของช่อง

สัญญาณที่ใช้ในการติดต่อระหว่าง DTE กับ DCE เพราะฉะนั้นอาจสรุปได้ว่า Physical level นี้หมายถึงมาตรฐานต่างๆ เช่น EIA RS232-C, RS449, RS422-A และ RS423-A เป็นต้น

2. Data Link level เป็นกฎเกณฑ์สำหรับการส่งผ่านข้อมูลจากจุดหนึ่งไปยังอีกจุดหนึ่ง โดยผ่านตัวเชื่อมต่อ สำหรับโปรโตคอลของ Data Link Level นี้มีความสำคัญต่อระบบไมโครคอมพิวเตอร์ก็คือ โปรโตคอลในแบบการส่งข้อมูลแบบอนุกรมและเป็นแบบอะซิงโครนัสด้วย

3. Network Level ใช้สำหรับควบคุมระบบสวิชชิง และทิศทางการไหลของข้อมูลในเครือข่ายต่างๆ โดยที่ Network Level ประกอบไปด้วยการเชื่อมต่อทางกายภาพและทางลอจิกที่จำเป็นต้องใช้ในการส่งผ่านข้อมูลจากจุดส่งไปยังจุดรับ

4. Transfer Level ใช้เกี่ยวกับการบริการการติดต่อข่าวสาร ซึ่งจุดสำคัญของมาตรฐานชั้นนี้คือ การควบคุมความแน่นอนและความเชื่อถือได้ของระบบในการส่งข้อมูลจากจุดหนึ่งไปยังอีกจุดหนึ่งและจุดประสงค์หลักในชั้นนี้เพื่อที่จะแสดงให้เห็นถึงลักษณะของการอินเตอร์เฟสเครือข่ายอย่างมีประสิทธิภาพ

5. Session Level กำหนดขึ้นเพื่อใช้ในการติดต่อและเลิกติดต่อการรับส่งข้อมูล

6. Presentation Level สำหรับกำหนดโครงสร้างและรูปแบบ (Syntax and Format) และทรานสฟอร์มเมชันของข้อมูล

7. Application level สำหรับใช้ในการกำหนดโครงสร้างของวิธีการและขบวนการที่ใช้ในการประยุกต์ระบบเข้ากับมาตรฐานของ OSI รวมถึงการกำหนดการใช้รหัสผ่าน (Pass word), Log on Utility และการทรานสเฟอร์ไฟล์ เป็นต้น

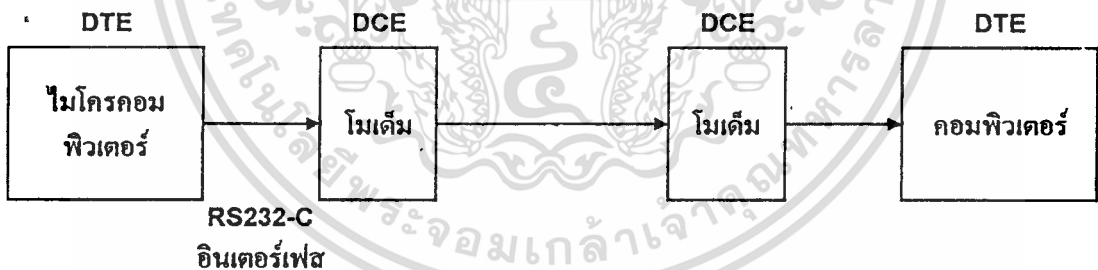
2.3.5 ข้อจำกัดของช่องสัญญาณ (Channel Limitation)

ช่องสัญญาณ (Channel) คือทางเดินสำหรับการไหลของสัญญาณทางไฟฟ้า ซึ่งอาจจะเป็นเส้นโลหะเส้นเดียว, สายคู่, โคนแอ็กเซียลเคเบิล ในบางการใช้งานของช่องสัญญาณถูกกำหนดด้วยแถบความถี่ (Frequency Band) และคุณสมบัติทางไฟฟ้าของช่องสัญญาณจะเป็นตัวจำกัดอัตราเร็ว (Rate) ของข้อมูลที่จะสามารถส่งได้ นอกจากนี้ควรทราบเกี่ยวกับคำจำกัดความของคำว่า อัตราบิท (Bit Rate) และอัตราบอด (Baud Rate) ด้วย ซึ่งคำว่า "อัตราบิท" คือจำนวนของไบนารีคิวิตที่ถูกส่งออกไปใน 1 วินาที ปกติอัตราบิทจะมีค่าเป็น 300, 1200, 2400, 4800 และ 9600 บิตต่อวินาที (BPS) ส่วนคำว่า "อัตราบอด" คืออัตราเร็วบอดที่เป็นตัวกำหนดจำนวนของสัญญาณ (Signaling Elements) ต่อหน่วยเวลา

2.4 มาตรฐาน RS232-C

โดยปกติไมโครคอมพิวเตอร์จะมีพอร์ตที่เป็นแบบอนุกรมอยู่ในตัวเครื่อง ซึ่งมีชื่อเรียกว่า RS232-C เครื่องหลายเครื่องที่ไม่มีพอร์ตมากับเครื่อง อย่างเช่น IBM PC จำเป็นจะต้องมีการ์ดที่เรียกว่า อะซิงโครนัสอะแดปเตอร์ (Asynchronous Communication Adapter) มาเสียบใส่เพื่อนำไปใช้ในการสื่อสารข้อมูล

พอร์ต RS232C นี้ทำหน้าที่ในการรับและการส่งข้อมูลในแบบอนุกรม เรียกว่า Universal Asynchronous Adapter สาเหตุที่ทำให้มีชื่อเรียกว่า RS232-C เนื่องมาจากสมาคมผู้ผลิตอุปกรณ์อิเล็กทรอนิกส์ของอเมริกาหรือ EIA ได้กำหนดมาตรฐานของอุปกรณ์การสื่อสารแบบอนุกรมขึ้นมา ซึ่งคำว่า RS ย่อมาจาก Recommended Standard ส่วน 232 เป็นหมายเลขบังคับของมาตรฐานนี้ และ C เป็นหมายเลขของฉบับสุดท้ายของมาตรฐานนี้และจุดประสงค์หลักของมาตรฐานตัวนี้เพื่อบรรยายคุณลักษณะของการเชื่อมต่อของอุปกรณ์รับส่งข้อมูล (DTE) กับอุปกรณ์ที่ใช้ในการสื่อสารข้อมูล (DCE) สำหรับผู้ใช้ไมโครคอมพิวเตอร์ DTE ก็หมายถึง ตัวไมโครคอมพิวเตอร์และ DCE ก็หมายถึง โมเด็ม, อุปกรณ์อื่นๆ เช่น เครื่องพิมพ์ที่รับสัญญาณแบบอนุกรมอาจจะเป็นได้ทั้ง DTE และ DCE ขึ้นอยู่กับผู้ผลิต ข้อแตกต่างของ DTE และ DCE จะเห็นได้จากรูปที่ 2.12 จากรูปนั้นจะเห็นว่า RS232-C มีส่วนสำคัญสำหรับการสื่อสารข้อมูลระหว่างไมโครคอมพิวเตอร์



รูปที่ 2.12 การใช้ RS232-C เชื่อมต่ออุปกรณ์

ความจริงที่ควรทราบอีกประการหนึ่งของ RS232-C ก็คือ ความเร็วและระยะทางในการเชื่อมต่อของ RS232-C สามารถเชื่อมต่อการถ่ายโอนข้อมูลได้จาก 0-20,000 บิตต่อวินาที ซึ่งเพียงพอสำหรับไมโครคอมพิวเตอร์ที่มีขนาดอัตราบอด 110 ถึง 9600 บอดและความยาวของสายที่ใช้ในการเชื่อมต่อสัญญาณตามมาตรฐานของ RS232-C มีค่าจำกัดอยู่แค่ 50 ฟุต ซึ่งเพียงพอสำหรับการสื่อสารของไมโครคอมพิวเตอร์กับอุปกรณ์ภายนอก

2.4.1 ลักษณะของสัญญาณ RS232-C

เพื่อเป็นการรับรองว่าข้อมูลถูกส่งออกไปและอุปกรณ์ที่ควบคุมถูกต้อง จึงจำเป็นจะต้องมีข้อตกลงกันในเรื่องของสัญญาณที่ใช้ มาตรฐาน RS232-C จึงต้องมีการกำหนดย่านแรงดันไฟฟ้าในสัญญาณเพื่อสนองจุดประสงค์ที่กล่าวมาแล้ว ดังแสดงในตารางที่ 2.1 และรูปที่ 2.13

ตารางที่ 2.1 การกำหนดย่านแรงดันไฟฟ้าในสัญญาณ

มาตรฐานของการใช้แรงดันไฟฟ้า			
แรงดันไฟฟ้า	สถานะลอจิก	สถานะของสัญญาณ	ฟังก์ชันในการควบคุม
บวก	0	SPACE	ON
ลบ	1	MARK	OFF

+ 5V

ย่านแรงดันไฟฟ้าบวก

+ 3V

ย่านเปลี่ยนแปลงระดับ

- 3V

ย่านแรงดันไฟฟ้านลบ

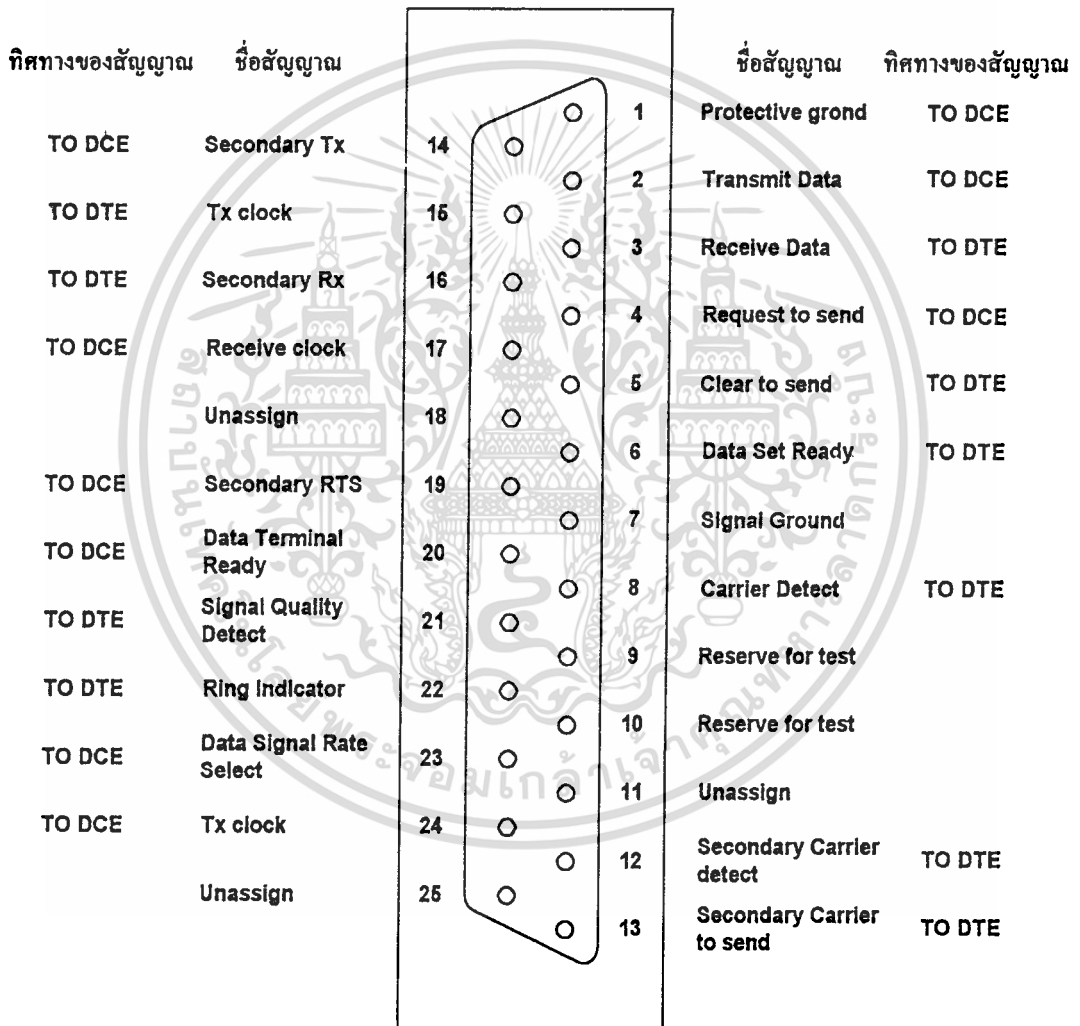
- 15V

รูปที่ 2.13 ย่านของแรงดันไฟฟ้าที่ใช้ในสัญญาณ RS232-C

สำหรับไมโครคอมพิวเตอร์บางเครื่อง อาจจะใช้สัญญาณลอจิกออกมาเป็นสัญญาณของ RS232-C อย่างเช่น อะซิงโครนัสอะแดปเตอร์ของ IBM PC ในกรณีเช่นนี้ระยะทางของสายที่เชื่อมต่ออาจจะต่อใช้ได้สั้นกว่า 50 ฟุต เนื่องจากระดับของกราวด์เปลี่ยนแปลงไป อันเนื่องจากการสูญเสียความต้านทานไปในสาย

2.4.2 การกำหนดจุดเชื่อมต่อของ RS232-C

ในทางฟิสิกส์แล้ว มาตรฐานของ RS232-C กำหนดเชื่อมต่อเป็นแบบ DB-25 แต่ละขาของเชื่อมต่อได้กำหนดไว้ ดังแสดงในรูปที่ 2.14 อย่างไรก็ตามผู้ผลิตไมโครคอมพิวเตอร์อาจจะใช้เชื่อมต่อชนิดอื่นที่นอกเหนือไปจาก DB-25 ยกตัวอย่างเช่น Fujitsu F-8 IBM AT, IBM Jr เป็นต้น ตัวเมียของเชื่อมต่อควรอยู่ที่ตัวโมเด็ม ขณะที่ตัวผู้ควรอยู่ที่อะซิงโครนัสอะแดปเตอร์หรือที่ตัวไมโครคอมพิวเตอร์



DTE:Data Terminal Equipment
DCE:Data Communication Equipment

รูปที่ 2.14 การกำหนดของเชื่อมต่อ RS232-C

สัญญาณต่างๆ ถูกมอบหมายให้ทำหน้าที่ ดังนี้

Transmit Data (TD ขาที่ 2) เป็นสัญญาณที่ส่งออกจาก DTE (หรือตัวไมโครคอมพิวเตอร์) ไปยังโมเด็มหรือต่อเข้าโดยตรงกับไมโครคอมพิวเตอร์ตัวอื่นหรือเครื่องพิมพ์ เมื่อไม่มีสัญญาณส่งออก สถานภาพของลอจิกที่ขาขึ้นจะมีค่าเท่ากับ “1” หรือเทียบเท่ากับสตีอปิต

Receive Data (RD ขาที่ 3) เป็นทางของสัญญาณเข้าไปยัง DTE หรือไมโครคอมพิวเตอร์ เมื่อไม่มีสัญญาณรับเข้ามาขาขึ้นจะมีสถานภาพทางลอจิกเป็น “1”

Request To Send (RTS ขาที่ 4) ใช้สำหรับส่งสัญญาณไปยังโมเด็มหรือเครื่องพิมพ์เป็นการเรียกร้องที่จะส่งสัญญาณมาทางขา 2 สัญญาณนี้จะใช้คู่กับ CTS หรือ Clear to Send อุปกรณ์รับหากได้รับสัญญาณ RTS จะตรวจสอบตัวเองว่าพร้อมจะรับสัญญาณได้หรือยัง หากพร้อมที่จะรับก็จะส่งสัญญาณออกไปที่สาย CTS

Clear To Send (CTS ขาที่ 5) ดังอธิบายไว้ใน RTS เมื่อสัญญาณนี้อยู่ในสถานะออฟ (Negative Voltage หรือลอจิก “1”) หมายความว่า อุปกรณ์รับกำลังบอกว่าพร้อมที่จะรับข้อมูลแล้ว

Data Set Ready (DSR ขาที่ 6) เมื่อสัญญาณสายนี้อยู่ในสถานะออนหรือลอจิก “0” เป็นการบอกไมโครคอมพิวเตอร์หรือฝ่ายส่งว่า โมเด็มต่อเข้ากับสายโทรศัพท์เรียบร้อยแล้วและพร้อมที่จะส่งได้แล้ว โมเด็มที่มีการหมุนหมายเลขอัตโนมัติจะส่งสัญญาณสายนี้ไปบอกให้คอมพิวเตอร์รู้ว่าต่อโทรศัพท์ได้สำเร็จแล้ว

Signal Ground (SG ขาที่ 7) SG ทำหน้าที่เป็นระดับแรงดันอ้างอิงสำหรับทุกๆ สายของสัญญาณ จะมีแรงดันเป็น “0” เมื่อเทียบกับสัญญาณตัวอื่น

Carrier Detect (CD ขาที่ 8) โมเด็มจะส่งสัญญาณที่อยู่ในสถานะออนหรือลอจิก “0” ไปบอกไมโครคอมพิวเตอร์ เมื่อได้รับสัญญาณจากโมเด็มของอีกฝ่ายหนึ่ง สัญญาณนี้จะนำไปจุด LED บอกว่าได้รับสัญญาณจากโมเด็มอีกฝ่ายหนึ่งแล้ว ไฟ LED จะอยู่บนหน้าปัดของโมเด็มเอง

Data Terminal Ready (DTR ขาที่ 20) คอมพิวเตอร์เปิดสัญญาณสายนี้ให้ออนหรือลอจิก “0” เมื่อพร้อมที่จะติดต่อกับโมเด็ม โมเด็มส่วนมากจะไม่รายงานสถานภาพของตัวเอง (CD, DSR และ CTS) ให้คอมพิวเตอร์รู้ หากคอมพิวเตอร์ไม่เปิดสัญญาณ DTR

Ring Indicator (RI ขาที่ 22) สัญญาณนี้ใช้ในโมเด็มที่เป็นระบบตอบโต้อัตโนมัติ (Auto-answer) สัญญาณนี้จะออกเมื่อมีสัญญาณกระดิ่งมา และออฟระหว่างเสียงดังของกระดิ่ง

ตารางที่ 2.2 คุณสมบัติโดยย่อของสัญญาณ RS232-C

คุณลักษณะทางไฟฟ้า	
Driver output logic levels with	$15V > 0 > 5V$
3k to 7k load	$- 5V > 0 > -15V$
Driver output voltage when open circuit	$V_o < 25 V$
Driver output impedance with Power off	$R_o > 300 \text{ Ohms}$
Output Short circuit current	$I_o < 0.5 \text{ A}$
Driver slew rate	$dv/dt < 30V/s$
Receiver input impedance	$7k > R_{in} > 3k$
Receiver input voltage	+15 compatible with driver
Receiver output with open circuit input	MARK
Receiver output with +3V input	SPACE
Receiver output with -3V input	MARK
+15	LOGIC 0 = SPACE
+5	CONTROL ON
+5	Noise Margin
+3	
+3	Transition Region

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.2 (ต่อ) คุณลักษณะโดยย่อของสัญญาณ RS232-C

-3	
-3	Noise Margin
-5	
-5	LOGIC 1 = MARK
-15	CONTROL OFF

2.4.3 มาตรฐาน RS232-C กับ V.24

ได้กล่าวถึงมาตรฐานตามสมาคมผู้ผลิตอุตสาหกรรมอิเล็กทรอนิกส์ของสหรัฐอเมริกา หรือ RS232-C มาบ้างแล้ว สหประชาชาติและกลุ่มของ CCITT (Comite Consultatif International Telephonique Telegraphique) ได้มีมาตรฐานออกมาเหมือนกันและหลายฉบับ ซึ่งเป็นมาตรฐานออกมา 3 รูปแบบคือ

V.24 บรรยายถึงการเชื่อมต่อระหว่างอุปกรณ์รับส่งข้อมูล (DTE) กับอุปกรณ์รับส่งข้อมูลปลายทาง

V.28 บรรยายลักษณะทางไฟฟ้าสำหรับการใช้ Unbalance Double Current Interchange Circuit

อาจจะเป็นการโชคชะตของผู้ที่ใช้มาตรฐานของ V.24 และ RS232-C ซึ่งมีลักษณะคล้ายคลึงกันจนสามารถใช้ร่วมกันได้

2.5 การควบคุมและโปรแกรมในระบบการสื่อสารข้อมูล

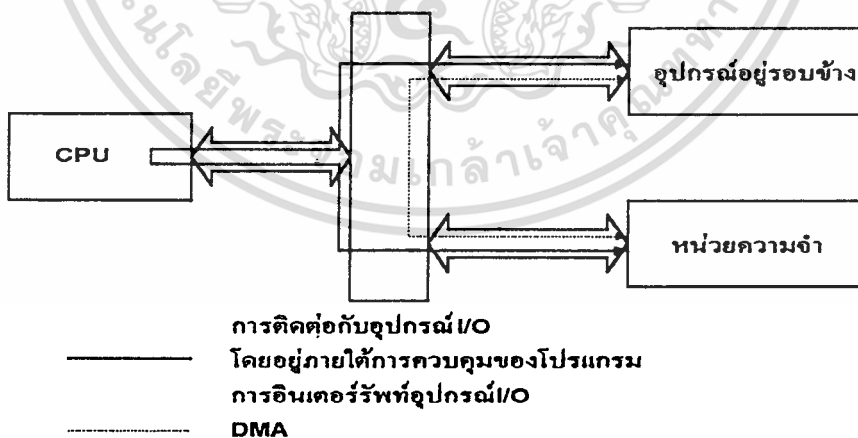
ในระบบการสื่อสารข้อมูลจะมีการถ่ายโอนข้อมูลภายในส่วนต่างๆ ของระบบ ซึ่งข้อมูลภายในส่วนต่างๆ ของระบบ มีลักษณะเป็นแอดเดรส ข้อมูล หรือสัญญาณควบคุม ในการถ่ายโอนข้อมูลต่างๆ จำเป็นต้องมีส่วนที่ทำหน้าที่เป็นตัวควบคุมและประเมินผลข้อมูลเหล่านั้น ซึ่งเรียกว่า ไมโครโปรเซสเซอร์หรือซีพียู โดยใช้การควบคุมจากโปรแกรม

2.5.1 การควบคุมการส่งข้อมูล

ในการส่งผ่านข้อมูลทั้ง 2 แบบ คือการส่งแบบขนานและแบบอนุกรม ซึ่งการส่งทั้งสองลักษณะนี้จะต้องมีการชิงโครไนซ์ระหว่างเครื่องส่งและเครื่องรับ เพื่อให้การรับส่งข้อมูลเป็นไปอย่างพร้อมเพรียงและถูกต้อง หากการรับส่งข้อมูลขาดการชิงโครไนซ์แล้ว จะเกิดข้อบกพร่องขึ้นได้ดังนี้คือ

1. เครื่องส่งจะทำการส่งข้อมูลต่างๆ ที่เครื่องรับยังไม่พร้อมที่จะรับข้อมูล
2. เครื่องส่งอาจจะไม่ส่งข้อมูลแม้ว่าเครื่องรับพร้อมที่จะรับข้อมูลแล้วก็ตาม
3. เครื่องรับจะสุ่มรับข้อมูลด้วยเวลาที่ผิดๆ ทำให้รับข้อมูลที่คลาดเคลื่อนเข้ามา
4. เครื่องส่งหลายๆ เครื่องส่งข้อมูลเข้ามายังเครื่องรับเครื่องเดียวในเวลาเดียวกัน

ซึ่งข้อบกพร่องเหล่านี้จะเกิดขึ้นอย่างแน่นอน ถ้าระบบที่ใช้ไม่มีการชิงโครไนซ์ ดังนั้นวิธีแก้ข้อบกพร่องจึงต้องแก้ไขที่ตัวรับและตัวส่ง เช่น เกี่ยวกับการสัญญาควบคุมระบบที่ส่งมาตามบัสของระบบและเกี่ยวกับการควบคุมบัสของอุปกรณ์ชิ้นใดชิ้นหนึ่ง เป็นต้น สำหรับความสำคัญของสัญญาควบคุมระบบ คือสามารถช้อออกมาได้ว่าข้อมูลที่ส่งมาตามบัสขณะหนึ่งๆ นั้นมีอุปกรณ์ใดที่เป็นตัวควบคุม ซีพียู หรือ DMA เป็นต้น ถ้าซีพียูเข้าควบคุมการส่งผ่านข้อมูล เรียกว่า โปรแกรมควบคุมการส่งผ่านข้อมูล (Program-Control Data Transfer)



รูปที่ 2.15 การควบคุมการส่งผ่านข้อมูล

จากรูปจะสังเกตเห็นว่า ถ้าการควบคุมนั้นกระทำโดยซีพียู ทิศทางการไหลของข้อมูลจะผ่าน ซีพียู แต่ถ้าเป็นกรณีของ DMA ข้อมูลจะไม่ถูกส่งผ่านซีพียู ซึ่งเทคนิคการควบคุมทั้งสองวิธีนี้ ต่างก็เป็นตัวควบคุมสัญญาณที่ใช้ในระบบบัสว่าจะให้ส่งผ่านข้อมูลไปที่ไหน, อย่างไรและเมื่อใด

2.5.2 โปรแกรมควบคุมการส่งผ่านข้อมูล

โปรแกรมควบคุมการส่งข้อมูลจะใช้คำสั่งโดยตรงจากซีพียู เช่น คำสั่งในการทำงานเกี่ยวกับอุปกรณ์ I/O และคำสั่งเกี่ยวกับหน่วยความจำ สำหรับหลักการของโปรแกรมควบคุมอุปกรณ์ I/O นั้นประกอบด้วยเทคนิคใหญ่ 2 แบบคือ

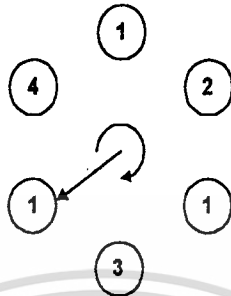
1. โพลลิ่ง (Polling)

ในระบบไมโครคอมพิวเตอร์ การโพลบางครั้งใช้ในการส่งผ่านข้อมูลระหว่างเทอร์มินอลกับซีพียูในกรณีของข้อมูลที่ส่งจากคีย์บอร์ดเข้าไปในซีพียู การไหลของข้อมูลจะไม่สม่ำเสมอและไม่สามารถทำนายว่าข้อมูลจะเข้ามาเมื่อใด จุดบกพร่องนี้เทคนิคการโพลสามารถแก้ไขได้ โดยทำการตรวจสอบตลอดเวลา การตรวจสอบการรับข้อมูลจะจัดการกับข้อมูลที่รับเข้ามาด้วยความเร็วสูงกว่าอัตราเร็วของข้อมูลที่ส่งเข้ามาทางคีย์บอร์ด

ซีพียูจะคอยรับข้อมูลที่ป้อนเข้ามาจากคีย์บอร์ด นั่นก็คือ ซีพียูจะสูญเสียเวลาไปประมาณ 90 เปอร์เซ็นต์ ของคาบเวลา T ไปกับ “Dry Poll” ซึ่งก็คือช่วงเวลาที่ยูทิลิตี้ทำการส่งสัญญาณการโพลออกไปตรวจสอบที่พอร์ตต่างๆ ที่ไม่มีข้อมูลป้อนเข้ามา แต่ในทางตรงกันข้ามหากซีพียูส่งสัญญาณโพลออกไปตรวจสอบพอร์ตแล้วพบข้อมูลที่ต้องการส่งเข้ามา เรียก “Wet Poll” เพราะฉะนั้นช่วงเวลา 90 เปอร์เซ็นต์ ของคาบเวลาที่สูญเสียไปเพื่อลดช่วงเวลาของ Dry Poll แต่ในระบบไมโครคอมพิวเตอร์ทราบว่าซีพียูจะทำการ โพลด้วยอัตราความเร็วเต็มที่ค่าหนึ่งเสมอ ซึ่งไม่สามารถแก้ไขได้ ดังนั้นจึงหลีกเลี่ยงการแก้ไขโดยเปลี่ยนไปใช้เทคนิคการโพลรูปแบบอื่นแทน ซึ่งเรียกว่าเทคนิคการ โพลแบบ Round Robin

ในกรณีที่ซีพียูต้องมีการแลกเปลี่ยนข้อมูลระหว่างอุปกรณ์รอบข้างหลายชิ้น ซีพียูจะต้องมีความเร็วในการ โพล ไปยังอุปกรณ์รอบข้างทุกๆ ชิ้น ได้ทัน เพื่อไม่ให้ข้อมูลเกิดการสูญหาย รูปแบบที่จะต้องจัดวางอุปกรณ์รอบข้างต่างๆ เพื่อให้การโพลเข้าถึงอุปกรณ์รอบข้างทุกชิ้นได้จะต้องจัดแบบ Round Robin ซึ่งเป็นเทคนิคที่อุปกรณ์รอบข้างแต่ละชิ้นถูกกำหนดตำแหน่งทางลจิกให้มีลักษณะเป็นวงกลมและอุปกรณ์แต่ละชิ้นมีลำดับความสำคัญลดหลั่นกันไป คือเรียกว่ามี ปรอิอริตี (Priority) ต่างๆ กัน เมื่อมาจัดวางในแบบ Round Robin แล้วอุปกรณ์ที่มีลำดับความสำคัญต่างๆ

กันนี้ก็จะถูกโพลก่อนหรือหลังเป็นลำดับ นั่นคือถ้ามีลำดับความสำคัญสูงจะถูกการ โพลบ่อยครั้งกว่าอุปกรณ์ที่มีความสำคัญต่ำกว่า ดังแสดงในรูปที่ 2.16



รูปที่ 2.16 เทคนิคการ โพลแบบ Round Robin

จากรูปอุปกรณ์หมายเลข 1 จะถูกโพลบ่อยที่สุด

2. การอินเตอร์รัพท์

ระบบไมโครคอมพิวเตอร์จำเป็นต้องมีการอินเตอร์รัพท์ เพื่อให้ระบบทำงานประสานกันอยู่เสมือนเหมือนกับทำงานพร้อมกัน ในการจัดลำดับการอินเตอร์รัพท์ที่มาจากพอร์ทอินพุตและเอาต์พุตจะต้องวางรูปแบบลำดับความสำคัญเอาไว้ ในการจัดลำดับความสำคัญนี้ต้องเป็นไปตามหลักการที่กำหนด เช่น ถ้าอุปกรณ์มีความสำคัญสูงกว่าต่ออินเตอร์รัพท์เข้ามาจะต้องได้รับบริการก่อน อุปกรณ์ที่มีความสำคัญต่ำกว่าต้องรออยู่ก่อน

การอินเตอร์รัพท์ของ Z-80

Z-80 เป็นซีพียูที่มีขีดความสามารถในการใช้งานสูง จึงได้จัดอินเตอร์รัพท์ไว้หลายๆ แบบ เพื่อให้ใช้งานได้แตกต่างกัน โดยที่สายสัญญาณจากภายนอกสามารถเข้าไปควบคุมการทำงานของซีพียูได้ สายสัญญาณที่ใช้ในการควบคุมการทำงานของ Z-80 ประกอบด้วยสัญญาณที่สำคัญ 4 สัญญาณ คือ

1. สัญญาณรีเซ็ต (RESET) ถ้าสัญญาณนี้ของซีพียูแอกทีฟ “0” จะทำให้ซีพียูถูกรีเซททำให้ซีพียูเริ่มทำงานใหม่ตั้งแต่แอดเดรส 0000H เป็นต้นไป
2. สัญญาณขอใช้บัส (BUSRQ) เมื่อสัญญาณนี้แอกทีฟจะหมายถึงระบบภายนอกขอใช้บัส ซึ่งถ้าซีพียูพร้อมที่จะให้ใช้ก็จะตอบรับด้วยสัญญาณ BUSAK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

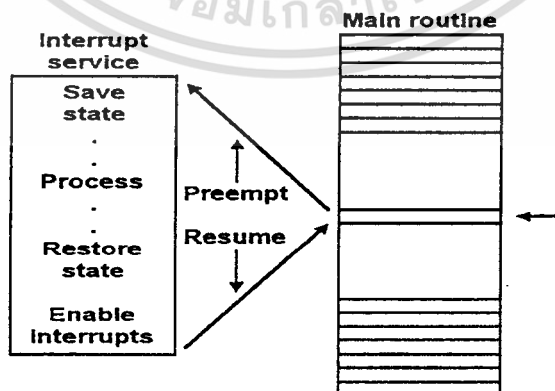
3. สัญญาณร้องขออินเทอร์รัพท์ (INT) เมื่อสัญญาณนี้แอกทีฟจะหมายถึงระบบภายนอกเรียก ร้องซีพียูด้วยสัญญาณอินเทอร์รัพท์เพื่อให้ซีพียูตอบสนอง

4. นอนมาสเคเบิลอินเทอร์รัพท์ (NMI) เป็นสัญญาณที่ทำงานคล้ายกับสัญญาณ INT แต่มีความสำคัญสูงกว่า INT

ขั้นตอนการตอบสนองการอินเทอร์รัพท์

จุดประสงค์ของการอินเทอร์รัพท์ คือการทำให้ซีพียูหยุดจากการทำงานในโปรแกรมหลักชั่วคราว แล้วกระโดดไปทำงานในส่วนของโปรแกรมตอบสนองต่อการอินเทอร์รัพท์ (Interrupt Service Routines) แล้วกระโดดกลับไปทำงานตามโปรแกรมหลักต่อไป สามารถสรุปขั้นตอนได้ดังต่อไปนี้

1. อุปกรณ์ภายนอกส่งสัญญาณ INT เข้ามายังซีพียู
2. ถ้าซีพียูยอมให้มีการอินเทอร์รัพท์ได้ซีพียูจะทำการตอบรับ
3. อุปกรณ์ภายนอกเมื่อรับรู้ว่ามีซีพียูยอมรับให้มีการอินเทอร์รัพท์ได้แล้ว ก็จะส่งอินเทอร์รัพท์แอกเตอร์เข้ามายังซีพียู
4. ซีพียูจะนำเอาอินเทอร์รัพท์แอกเตอร์มาเป็นตัวชี้ตำแหน่งของคำสั่งที่จะกระโดดไปทำ
5. ซีพียูจะทำการกระโดดไปปฏิบัติ ณ ตำแหน่งที่ชี้โดยอินเทอร์รัพท์แอกเตอร์
6. ก่อนจบการทำงานตามโปรแกรมอินเทอร์รัพท์เซอร์วิสทีน ซีพียูจะทำการกระโดดไปตำแหน่งตามคำสั่งในโปรแกรมหลักต่อไป



รูปที่ 2.17 อินเทอร์รัพท์เซอร์วิส

ข้อเปรียบเทียบของการอินเทอร์เน็ตไร้ท่กับการโพล

จากที่ได้ทราบรายละเอียดของกระบวนการทั้งสองอย่างจากข้อมูลข้างต้นมาบ้าง จึงทำให้ทราบว่าแต่ละกระบวนการมีข้อดีและข้อเสียอย่างแน่นอน ซึ่งขึ้นอยู่กับว่าผู้ใช้งานว่าจะประยุกต์ใช้วิธีไหนให้เกิดประโยชน์ได้สูงสุด

การโพล

ข้อดี	ข้อเสีย
1. อุปกรณ์ทางฮาร์ดแวร์ที่ใช้เป็นแบบง่าย ๆ	1. 90 เปอร์เซ็นต์ของคาบเวลา (T) ถูกใช้ในการตรวจสอบพอร์ตต่างๆ ซึ่งเป็นการสูญเสีย ถ้าเป็นกรณีของ Dry Poll ช่วงเวลาคอยเพื่อที่จะทำการโพลค่อนข้างนาน
2. ซอฟต์แวร์ที่เขียนขึ้นมาเพื่อที่ใช้ในกระบวนการนี้ไม่ยุ่งยากและสามารถที่จะทำการแก้ไขข้อบกพร่องได้ง่าย	

การอินเทอร์เน็ตไร้ท่

ข้อดี	ข้อเสีย
1. ซอฟต์แวร์มีการพิจารณาการขออินเทอร์เน็ตไร้ท่เมื่อมีสัญญาณการขออินเทอร์เน็ตไร้ท่ไม่เสียเวลาตรวจสอบ	1. เวลาที่ใช้ในการตอบสนองต่อการขออินเทอร์เน็ตไร้ท่ยาวนานกว่าการโพล
2. การตอบสนองต่อการอินเทอร์เน็ตไร้ท่จะเริ่มต้นทันทีหลังจากได้รับสัญญาณอินเทอร์เน็ตไร้ท่รีแควส	2. จะต้องใช้อุปกรณ์ด้านฮาร์ดแวร์ที่ซับซ้อนขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.3 ไคเรียมเมโมรีแอกเซส (Direct Memory Access:DMA)

ในหัวข้อก่อนที่กล่าวมาแล้ว จะเห็นได้ว่าทั้ง 2 วิธีต้องอาศัยการทำงานของซีพียู แต่ในขบวนการส่งผ่านข้อมูลที่กล่าวถึงคือ ไคเรียมเมโมรีแอกเซสหรือ DMA ซึ่งมีประสิทธิภาพในการส่งข้อมูลข้างต้นมาก

ขบวนการ DMA เป็นกระบวนการหรือเทคนิคที่ใช้ในการเพิ่มความเร็วของระบบการส่งผ่านข้อมูลเข้าหรือออกจากระบบความจำโดยไม่รบกวนซีพียู สำหรับวิธีในการส่งผ่านข้อมูลจากหน่วยใด ๆ ไปยังหน่วยความจำโดยไม่รบกวนซีพียูช่วยจะมีขั้นตอนดังนี้

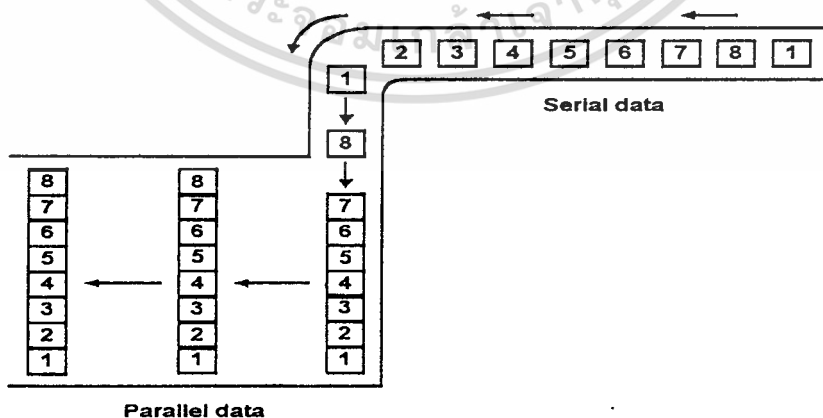
1. ซีพียูอ่านข้อมูลจากหน่วยความจำภายนอกเข้ามาเก็บไว้
2. ซีพียูเขียนลงในหน่วยความจำ

ข้อดีของระบบนี้

1. ซีพียูไม่ถูกใช้เป็นเวลานาน
2. ขบวนการ DMA มีความเร็วสูงในการทำงาน

2.6 การแปลงข้อมูลแบบขนานไปเป็นแบบอนุกรม

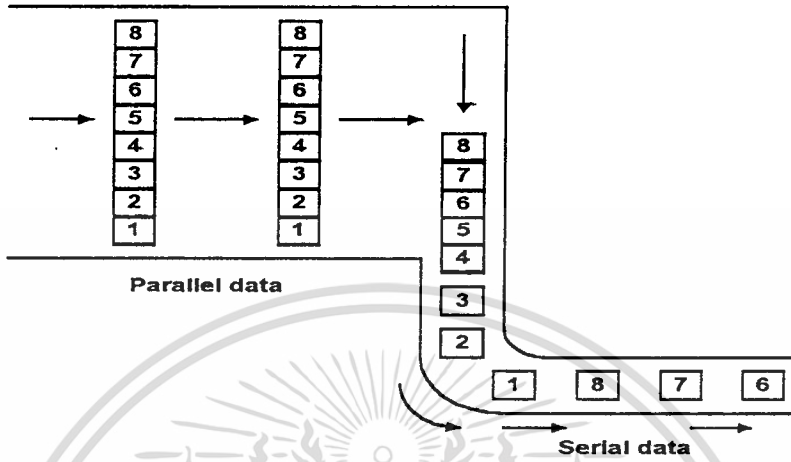
หลักการทำงานของ การแปลงรูปแบบข้อมูลโดยอาศัยซีพริจิสเตอร์ มีหลักการดังคือ ข้อมูลที่ส่งเข้ามาจะเป็นอนุกรม โดยส่งมาทีละบิตเมื่อเข้ามาถึงรีจิสเตอร์ บิตแต่ละบิตที่เข้ามาจะถูกเรียงใน รีจิสเตอร์จนครบจำนวนบิตที่ต้องการ แล้วรีจิสเตอร์จะส่งข้อมูลทั้งหมดออกไป ดังรูปที่ 2.18



รูปที่ 2.18 การแปลงรูปแบบข้อมูลจากแบบอนุกรมไปเป็นแบบขนาน

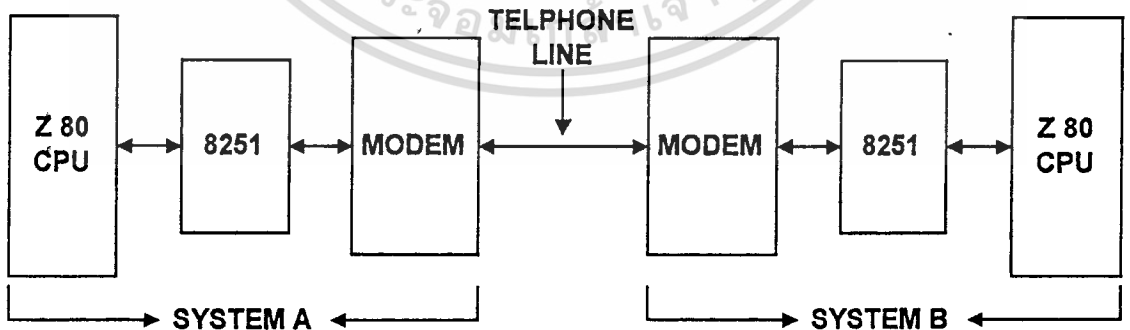
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และเมื่อต้องการจะแปลงรูปแบบข้อมูลกลับไปเป็นแบบอนุกรมอีก ก็ทำตามขบวนการที่ตรงกันข้าม ดังแสดงในรูปที่ 2.19



รูปที่ 2.19 การแปลงรูปแบบข้อมูลจากแบบขนานไปเป็นแบบอนุกรม

อุปกรณ์เหล่านี้ต้องใช้งานร่วมกับซีพรีจิสเตอร์แล้ว ยังมีประโยชน์ต่อระบบบัส, ความเร็วในการส่งข้อมูล, พาริตีและรูปแบบของข้อมูล เป็นต้น ตัวอย่างวงจรที่ใช้งานในลักษณะนี้ เช่น 85251 USART ซึ่งใช้งานร่วมกับซีพียู Z-80 โดยเฉพาะเพื่อที่จะใช้สื่อสารข้อมูลผ่านโมเด็มและแสดงการอินเตอร์เฟส ดังแสดงในรูปที่ 2.20



รูปที่ 2.20 การใช้งาน 8251 ร่วมกับโมเด็ม

2.7 อุปกรณ์ที่ใช้ในการสื่อสารแบบอนุกรม

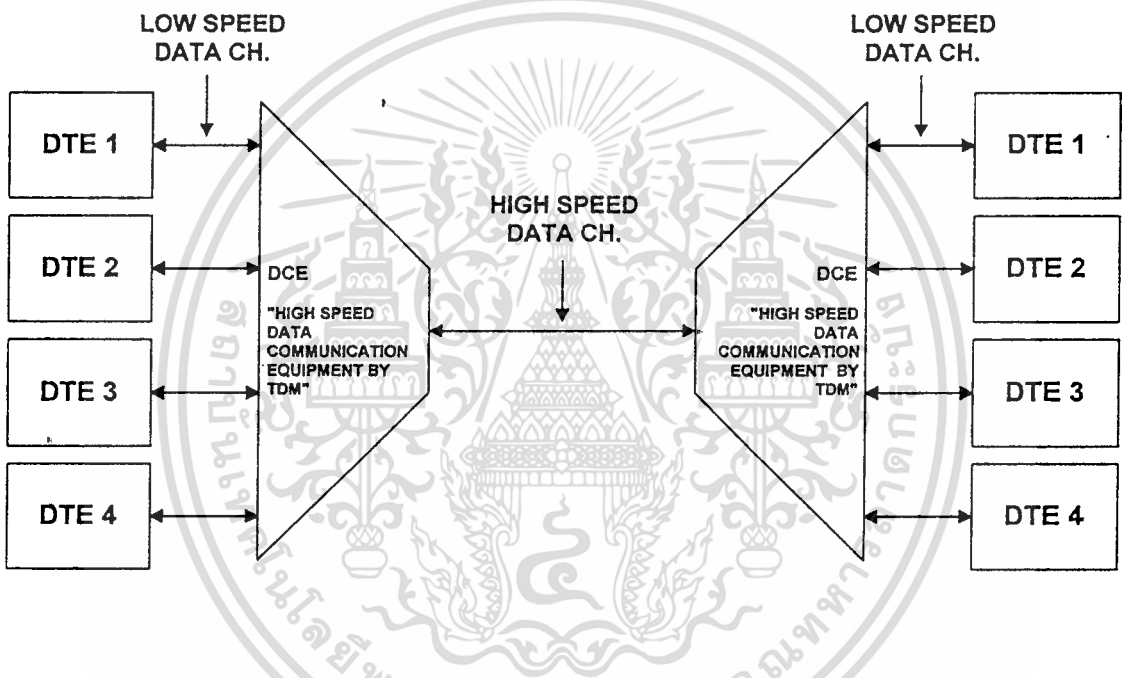
อุปกรณ์สนับสนุน (Ship Support) ที่จำเป็นในการส่งข้อมูลแบบอนุกรมคือ SIO ในการทำงานของ UART นั้นสามารถเพิ่ม Framing Bit ร่วมกับข้อมูลเพื่อใช้ส่งข้อมูลแบบอะซิงโครนัส ส่วน USART เป็นพอร์ตที่ใช้สำหรับข้อมูลแบบอนุกรม ซึ่งในปฏิญญาพันธบัตรนี้ใช้ IC เบอร์ 8251 USART สามารถทำงานได้ทั้งการส่งข้อมูลแบบซิงโครนัสและอะซิงโครนัส



บทที่ 3

หลักการออกแบบ

ในการออกแบบ เครื่องสื่อสารข้อมูลความเร็วสูงโดยใช้ เทคนิคการมัลติเพล็กซ์แบบแบ่งช่วงเวลา (High Speed Data Communication Equipment by Time Division Multiplexing Technique) ในปริภูมิตฤษฎีฉบับนี้ ดังแสดงในรูปที่ 3.1



รูปที่ 3.1 การใช้งานของคู่สถานีของเครื่องสื่อสารข้อมูลความเร็วสูง

จากรูปที่ 3.1 ได้แสดงถึงคู่สถานีของเครื่องสื่อสารข้อมูลความเร็วสูงโดยใช้เทคนิคการมัลติเพล็กซ์แบบแบ่งช่วงเวลา ซึ่งได้ใช้ในการสื่อสารข้อมูลระหว่างอุปกรณ์ต้นทางและปลายทางข้อมูล (DTE) จำนวน 4 คู่

ในการออกแบบได้กำหนดคุณลักษณะเฉพาะ (Specification) ของเครื่องสื่อสารข้อมูลไว้ดังนี้คือ

1. ประเภทของเครื่องสื่อสารข้อมูล (Class of Equipment) จัดเป็นประเภทของ “อุปกรณ์การสื่อสารข้อมูล” หรือใช้ตัวย่อเรียกว่า DCE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. โหมดการสื่อสารเป็นแบบกึ่งสองทางหรือแบบสองทาง

3. สถาปัตยกรรมโครงข่ายเป็นแบบจุดต่อจุด

4. เทคนิคการส่งผ่านข้อมูลเป็นการส่งผ่านข้อมูลแบบอนุกรม ซึ่งแบ่งชนิดการส่งผ่านได้เป็น 2 แบบ คือ

4.1 การส่งผ่านแบบอะซิงโครนัส ซึ่งกำหนดอัตราความเร็วในการถ่ายโอนข้อมูล จาก DC ถึง 19.2 KBPS

4.2 การส่งผ่านแบบซิงโครนัส ซึ่งกำหนดอัตราความเร็วในการถ่ายโอนข้อมูล จาก DC ถึง 64 KBPS

5. ช่องสัญญาณข้อมูลความเร็วต่ำ (Low Speed Data Channels) มีจำนวน 4 ช่องสัญญาณที่เชื่อมต่ออยู่กับ “อุปกรณ์ปลายทางข้อมูล” หรือ DTE โดยกำหนดให้เป็นช่องสัญญาณที่ใช้ในการส่งผ่านข้อมูลแบบอะซิงโครนัส ซึ่งมีอัตราบิต กำหนดไว้ 6 อัตรา ให้เลือกตามความต้องการในการส่งคือ 300, 600, 1200, 2400, 4800 หรือ 9600 BPS

6. ช่องสัญญาณความเร็วสูง (High Speed Data Channel) มีจำนวน 1 ช่องสัญญาณที่เชื่อมต่ออยู่กับช่องสัญญาณ การส่งผ่านเป็นตัวกลางในการส่งผ่านข้อมูลความเร็วสูงระหว่างคู่ของเครื่อง สื่อสารข้อมูลความเร็วสูง โดยกำหนดให้เป็นทั้งช่องสัญญาณการส่งผ่านแบบอะซิงโครนัส ซึ่งมีอัตราบิตสูงสุดเป็น 19.2 KBPS และช่องสัญญาณการส่งผ่านแบบซิงโครนัส ซึ่งมีอัตราบิตสูงสุดเป็น 64 KBPS

7. การเชื่อมต่อทางด้านกายภาพ (Physical Interface) หรือการเชื่อมต่อกับฮาร์ดแวร์ ใช้ลักษณะพิเศษทางกลและทางไฟฟ้าตามมาตรฐาน RS232-C โดยใช้อุปกรณ์เชื่อมต่อ (Connector) แบบ DB-25

8. การเชื่อมต่อด้านซอฟต์แวร์ (Software Interface) หรือข้อตกลงในการสื่อสารข้อมูลภายในโครงข่าย (Network Protocol) เป็นรูปแบบพิเศษเฉพาะ (Proprietary) ระหว่างคู่ของเครื่องสื่อสารข้อมูลความเร็วสูงจากการกำหนดคุณลักษณะเฉพาะ ดังได้กล่าวไว้ข้างต้นนี้ได้ใช้เป็นพื้นฐานในการออกแบบทั้งทางด้านฮาร์ดแวร์และซอฟต์แวร์ต่อไป

3.1 การออกแบบด้านฮาร์ดแวร์

การออกแบบด้านฮาร์ดแวร์ สามารถอธิบายได้จากบล็อกไดอะแกรม ดังแสดงในรูปที่ 3.2 และจากบล็อกไดอะแกรมได้แบ่งออกเป็นส่วนใหญ่ๆ 7 ส่วนคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.1 ส่วนของการเชื่อมต่อทางฮาร์ดแวร์ด้านที่เชื่อมต่อกับอุปกรณ์ปลายทางข้อมูล (DTE)

3.1.2 ส่วนของบัฟเฟอร์ข้อมูลความเร็วต่ำ

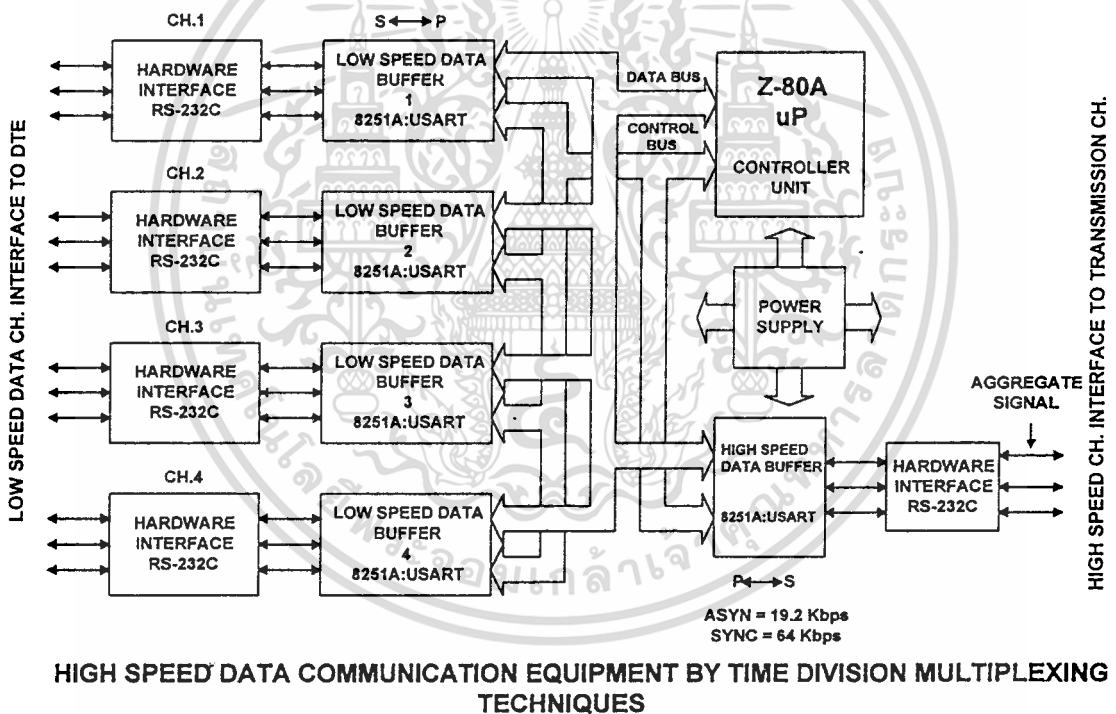
3.1.3 ส่วนของหน่วยควบคุมและสร้าง

3.1.4 ส่วนของวงจรสร้างสัญญาณนาฬิกาอ้างอิงสำหรับการส่งผ่านข้อมูล

3.1.5 ส่วนของบัฟเฟอร์ความเร็วสูง

3.1.6 ส่วนของการเชื่อมต่อด้านฮาร์ดแวร์ ด้านที่เชื่อมต่อกับช่องสัญญาณการส่งผ่านหรือตัวกลางของการสื่อสารข้อมูลความเร็วสูง

3.1.7 ส่วนของแหล่งจ่ายไฟ



รูปที่ 3.2 บล็อกไดอะแกรมของเครื่องสื่อสารความเร็วสูง

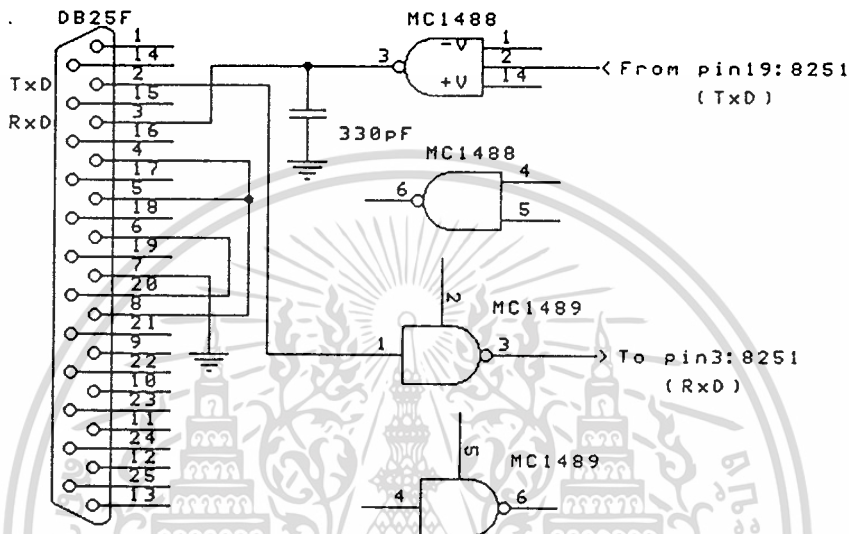
โดยใช้เทคนิคการมัลติเพล็กซ์แบบแบ่งช่วงเวลา

ในแต่ละส่วนของบล็อกไดอะแกรม สามารถอธิบายรายละเอียดและการทำงานของวงจรได้ดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.1 ส่วนของการเชื่อมต่อทางฮาร์ดแวร์ด้านที่เชื่อมต่อกับอุปกรณ์ปลายทางข้อมูล (DTE)

จากคุณลักษณะเฉพาะที่ได้กำหนดไว้ให้ใช้มาตรฐาน RS232-C ดังนั้นจึงได้ออกแบบวงจรเพื่อที่จะใช้เชื่อมต่อกับ RS232-C โดยใช้ IC เบอร์ MC1488 และ MC1489 ดังแสดงในรูปที่ 3.3



รูปที่ 3.3 วงจรส่วนของการเชื่อมต่อทางด้านฮาร์ดแวร์
โดยใช้ IC เบอร์ MC1488 และ MC1489

อธิบายการทำงานของวงจร

IC เบอร์ MC1488 เป็น Line Driver RS232-C ทำหน้าที่แปลงระดับสัญญาณแรงดัน TTL จากขา 19 ของ IC เบอร์ 8251 (USART) ซึ่งจะได้อธิบายการทำงานในส่วนต่อไป ขา 19 ของ IC เบอร์ 8251 นี้เป็นขาสัญญาณส่งข้อมูล (Transmitted Data:TxD) ในส่วนของบัพเฟอร์ข้อมูลความเร็วต่ำ โดยจะแปลงให้อยู่ในรูปของระดับสัญญาณแรงดันตามมาตรฐาน RS232-C เพื่อส่งต่อไปยังขา 3 ของ DB-25 ซึ่งเป็นขาสัญญาณรับข้อมูล (Received Data:RxD) ของอุปกรณ์ปลายทางข้อมูล

ส่วน IC เบอร์ MC1489 เป็น Line Receiver RS232-C ทำหน้าที่ตรงกันข้ามกับ IC เบอร์ MC1488 คือทำการแปลงสัญญาณกลับจากระดับสัญญาณแรงดันตามมาตรฐาน RS232-C ซึ่งถูกส่ง

มาจากอุปกรณ์ปลายทางของข้อมูลผ่านทางขา 2 ของ DB-25 ซึ่งเป็นขาสัญญาณส่งข้อมูล โดยทำการแปลงให้อยู่ในรูปของระดับสัญญาณแรงดัน TTL ส่งต่อไปยังขา 3 ของ IC เบอร์ 8251 ซึ่งเป็นขาสัญญาณข้อมูลของส่วนของบัฟเฟอร์ข้อมูลความเร็วต่ำ

ระดับสัญญาณแรงดันที่ใช้ในการออกแบบนั้น ใช้ระดับสัญญาณแรงดันที่แตกต่างกันตามลักษณะของการใช้งาน ซึ่งมี 2 ระดับสัญญาณแรงดัน คือ

ระดับสัญญาณแรงดัน TTL (กรณีซึ่งใช้แหล่งจ่ายไฟเลี้ยงที่มีแรงดัน +5 โวลต์) ดังกล่าวข้างต้น คือ

1. สภาวะลอจิก “1” เรียกว่า “Mark” ในส่วนของสัญญาณข้อมูล (Data Signal) และเรียกว่า “ON” ในส่วนของสัญญาณเวลา (Timing Signal) และสัญญาณควบคุม (Control Signal) ซึ่งจะมีระดับแรงดันตั้งแต่ +2.4 ถึง +5 โวลต์

2. สภาวะลอจิก “0” เรียกว่า “Space” ในส่วนของสัญญาณข้อมูลและเรียกว่า “OFF” ในส่วนของสัญญาณเวลาและสัญญาณควบคุม มีระดับแรงดันตั้งแต่ +0.0 ถึง +0.4 โวลต์

และระดับสัญญาณแรงดันตามมาตรฐาน RS232-C ในกรณีซึ่งใช้แหล่งจ่ายไฟเลี้ยง +12 และ -12 โวลต์ จะมีระดับแรงดันคือ

1. สภาวะลอจิก “1” เรียกว่า “Mark” สำหรับสัญญาณข้อมูล และเรียกว่า “OFF” สำหรับสัญญาณเวลาและสัญญาณควบคุม ซึ่งจะมีระดับแรงดันเป็นลอจิกกลับ (Negative Logic) คือด้านตัวรับ ตั้งแต่ -3 ถึง -12 โวลต์และด้านตัวส่ง ตั้งแต่ -5 ถึง -12 โวลต์

2. สภาวะลอจิก “0” เรียกว่า “Space” สำหรับสัญญาณข้อมูล และเรียกว่า “ON” สำหรับสัญญาณเวลาและสัญญาณควบคุม ซึ่งจะมีระดับแรงดันคือ ด้านตัวรับ ตั้งแต่ +3 ถึง +12 โวลต์และด้านตัวส่ง ตั้งแต่ +5 ถึง +12 โวลต์

8.1.2 ส่วนของบัฟเฟอร์ข้อมูลความเร็วต่ำ

ในส่วนนี้ได้ออกแบบโดยใช้ IC เบอร์ 8251A ซึ่งเป็น Programmable Communication Interface หรืออีกนัยหนึ่งคือ Universal Synchronous/Asynchronous Receiver/Transmitter (USART) ซึ่งมีคุณสมบัติที่สำคัญดังนี้คือ

1. การส่งผ่านข้อมูลสามารถทำงานได้ทั้งแบบอะซิงโครนัสและแบบซิงโครนัส

2. การส่งผ่านข้อมูลแบบซิงโครนัสใน 1 ตัวอักษรใช้จำนวนบิตในการเข้ารหัส 5-8 บิตตามการเลือกใช้งาน, ทำการซิงโครไนเซชัน (Synchronization) ได้เป็นทั้งแบบอักขระภายในและ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดก็ตาม อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภายนอก, ทำการสอดแทรกการซิงค์โดยอัตโนมัติและมีอัตราบอร์คในการรับส่งข้อมูลเป็น DC ถึง 64 kBPS

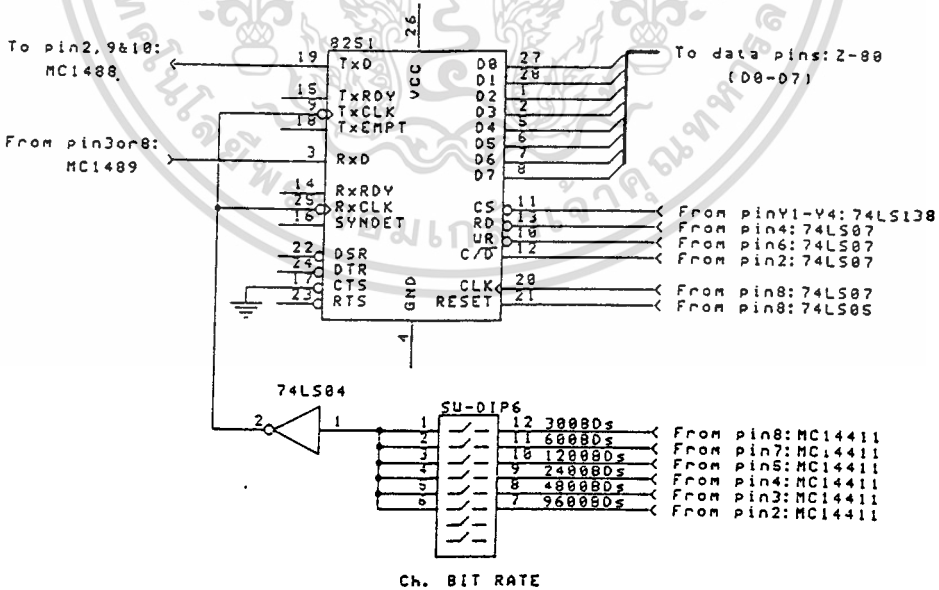
3. การส่งผ่านข้อมูลแบบอะซิงโครนัสใน 1 อักขระใช้จำนวนบิตในการเข้ารหัส 5-8 บิต ตามการเลือกใช้งาน, อัตราสัญญาณนาฬิกาจากภายนอก (External Clock Rate) เป็น 1, 16 หรือ 64 เท่าของอัตราบิตตามการเลือกใช้งาน, สร้างอักขระในการหยุดรับส่งข้อมูลได้, ใช้บิตหยุดเป็น 1, 1.5 หรือ 2 บิต ตามการเลือกใช้งาน, ทำการตรวจจับบิตเริ่มต้นที่เกิดผิดพลาดได้, ทำการตรวจจับการหยุดรับส่งข้อมูลโดยอัตโนมัติและมีอัตราบอร์คในการรับส่งข้อมูลจาก DC ถึง 19.2 kBPS

4. โหมดการสื่อสารเป็นแบบสองทาง มีบัฟเฟอร์ตัวส่งจำนวน 1 คู่ (Double-Buffered) และบัฟเฟอร์ตัวรับ อีก 1 คู่

5. สามารถตีเทคความผิดพลาดได้โดยใช้พาริตี, โอเวอร์รันและเฟรมมิ่ง

6. เป็น IC ตัวถังแบบ DIP ขนาด 28 ขา เหมาะสมที่จะใช้กับ IC ตระกูล TTL ในการเชื่อมต่อทางด้านอินพุตและเอาต์พุต

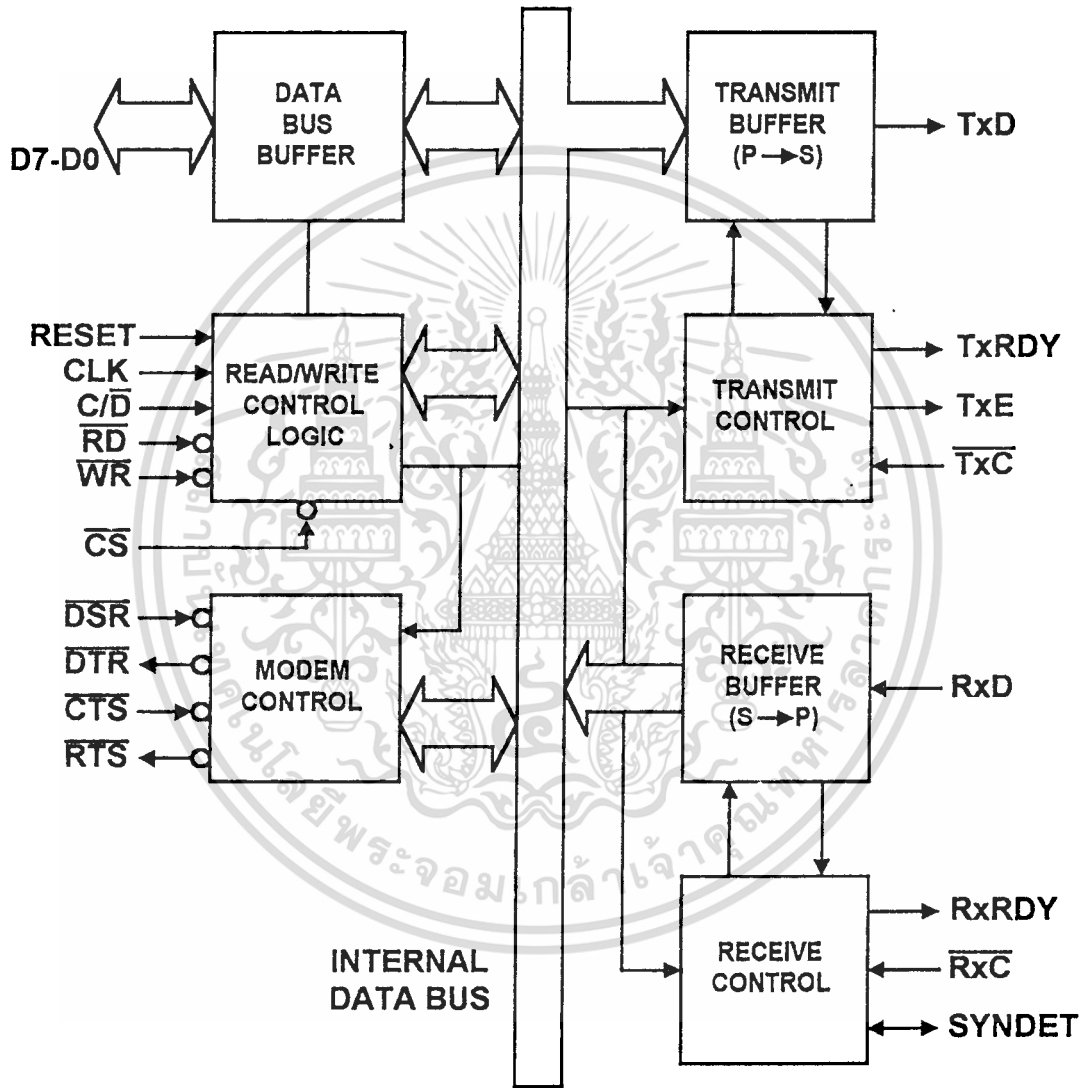
จากคุณสมบัติสำคัญของ 8251A ที่กล่าวมาข้างต้น ในที่นี้จึงได้ใช้ในการออกแบบวงจร ส่วนนี้ ดังแสดงดังในรูปที่ 3.4



รูปที่ 3.4 วงจรส่วนบัฟเฟอร์ข้อมูลความเร็วต่ำ

อธิบายการทำงานของวงจร

ก่อนที่จะทำความเข้าใจถึงการทำงานของวงจรถวายการรับส่งข้อมูลของ 8251A คร่าวๆ ก่อนซึ่งสามารถอธิบายได้โดยสังเขปจากบล็อกไดอะแกรมแสดงภายในของ 8251A ดังแสดงในรูปที่ 3.5



รูปที่ 3.5 บล็อกไดอะแกรมภายใน IC เบอร์ 8251A

8251A เช่นเดียวกับอุปกรณ์ I/O ตัวอื่นๆ ซึ่งสามารถจะทำความเข้าใจได้ว่ามีซีพียูหรือไมโครโปรเซสเซอร์ต่ออยู่ด้านหนึ่งและมีอุปกรณ์รอบนอก (Peripheral) ต่ออยู่กับอีกด้านหนึ่งด้วย จากบล็อกไดอะแกรมสามารถแบ่งได้เป็นส่วนต่างๆ คือส่วนที่อยู่ด้านขวามือจะต่ออยู่กับอุปกรณ์รอบนอกและส่วนที่อยู่ด้านซ้ายมือจะต่ออยู่กับซีพียู จากบล็อกไดอะแกรมภายใน 8251A จะเห็นว่า มีรีจิสเตอร์ซึ่งใช้ในการส่งและรับข้อมูลแบบอนุกรมอยู่คือ Transmit Buffer, Transmit Control, Receive Buffer และ Receive Control ซึ่งเป็นรีจิสเตอร์ที่อยู่ด้านขวามือต่ออยู่กับอุปกรณ์รอบนอก โดยการส่งข้อมูลเป็นอักขระออกไปยังอุปกรณ์รอบนอกจะถูกส่งจาก Transmit Buffer เป็นแบบอนุกรม (ทีละอักขระ) ผ่านออกไปยังขาสัญญาณ TxD โดยการควบคุมจาก Transmit Control และการรับข้อมูลเป็นอักขระมาจากอุปกรณ์รอบนอก จะรับเข้ามาทางขาสัญญาณ RxD แล้วส่งไปยัง Receive Buffer ทีละอักขระ โดยการควบคุมจาก Receive Control ซึ่งรีจิสเตอร์ควบคุมทั้งด้านส่งและรับนี้จะถูกควบคุมจากซีพียูหรือไมโครโปรเซสเซอร์ผ่านทาง Read/Write Control Logic ซึ่งเป็นส่วนที่อยู่ทางซ้ายมือต่ออยู่กับซีพียู เพื่อให้การส่งและรับข้อมูลแบบอนุกรมเป็นไปได้อย่างถูกต้อง ข้อมูลที่จะทำการติดต่อกับ ซีพียูจะถูกเปิดต่อผ่านทาง Data Bus Buffer ซึ่งเป็นการส่งและรับข้อมูลแบบขนาน โดยจะถูกควบคุมโดยซีพียูผ่านทาง Read/Write Control Logic เช่นกันและอีกส่วนหนึ่งคือ Modem Control ต้องติดต่อกับอุปกรณ์รอบนอกจะทำหน้าที่เป็นตัวควบคุมการส่งผ่านข้อมูลแบบอนุกรมโดยผ่านทางขาสัญญาณ DSR, DTR, CTS และ RTS เพื่อให้การส่งผ่านข้อมูลเป็นไปอย่างถูกต้องตามข้อตกลงของการสื่อสาร

ในการออกแบบวงจรในส่วนนี้ เนื่องจาก IC เบอร์ 8251A มีคุณสมบัติตรงกับคุณลักษณะเฉพาะของเครื่องสื่อสารข้อมูล ดังนั้นการทำงานของวงจรจึงสามารถอธิบายได้ดังนี้

1. การส่งข้อมูลแบบอนุกรมไปยังอุปกรณ์รอบนอกในที่นี้ คือ IC เบอร์ MC1488 (Line Driver RS232-C) โดยส่งผ่านขาสัญญาณ TxD (ขา 19) ซึ่งข้อมูลอักขระที่จะส่งออกไปนี้จะรับเข้ามาจากขาสัญญาณ D0-D7 (Data Bus) แล้วถูกแปลงโดย 8251A จากลักษณะของข้อมูลแบบขนานไปเป็นข้อมูลแบบอนุกรม

2. การรับข้อมูลแบบอนุกรมมีลักษณะตรงกันข้ามกับการส่งคือ จะรับข้อมูลอักขระมาจาก IC เบอร์ MC1489 (Line Receiver) แล้วส่งไปยังขาสัญญาณ RxD (ขา 3) ซึ่ง 8251A จะทำการแปลงข้อมูลแบบอนุกรมที่รับเข้ามานี้ให้เป็นข้อมูลแบบขนานส่งไปยังขาสัญญาณ D0-D7

3. การส่งผ่านข้อมูลอักขระติดต่อกับซีพียูจะกระทำผ่านขาสัญญาณ D0-D7 (ขา 27, 28, 1, 2, 3, 4, 5, 6, 7 และ 8) ซึ่งเป็นสายสัญญาณข้อมูลร่วม (Common Data Bus) ของเครื่องสื่อสาร

ข้อมูล เพื่อให้ซีพียูทำการประมวลผลข้อมูลเพื่อทำการมัลติเพล็กซ์หรือดีมัลติเพล็กซ์ข้อมูลอักขระที่ส่งผ่านมาจากส่วนของบัฟเฟอร์ข้อมูลความเร็วต่ำทั้ง 4 ช่องสัญญาณ

อัตราบิตในการส่งผ่านข้อมูลอักขระ (แบบอนุกรม) ซึ่งในที่นี้ได้ออกแบบให้อัตราบิตทั้งทางด้านรับและด้านส่งมีอัตราเดียวกัน โดยต่อขาสัญญาณ TxCLK (ขา 9) และ RxCLK (ขา 25) เข้าด้วยกันและรับสัญญาณนาฬิกาซึ่งเป็นสัญญาณนาฬิกาอ้างอิงในการรับและส่งข้อมูลอักขระมาจาก IC เบอร์ MC14411 ซึ่งเป็น Bit Rate Generator (โดยจะได้กล่าวถึงต่อไปในส่วนของหน่วยควบคุม) ซึ่งจะเป็นตัวกำเนิดอัตราบิตส่งผ่านมายัง DIP-SW โดยการออกแบบได้กำหนดอัตราบิตสำหรับการส่งและรับข้อมูลอักขระด้านช่องสัญญาณความเร็วต่ำไว้ 6 อัตรา คือ 300, 600, 1200, 2400, 4800 และ 9600 บิตต่อวินาที (BPS) การเลือกใช้งานที่อัตราบิตค่าใดก็สามารถเลือกได้โดยการเลือก DIP-SW และเนื่องจากขาสัญญาณ TxCLK และ RxCLK ทำงานที่ขอบขาสัญญาณขาลงของสัญญาณนาฬิกา (Active Low) ดังนั้นจึงใช้ IC เบอร์ 74LS04 ซึ่งเป็น Inverter เป็นตัวส่งผ่านอัตราบิตที่เลือกโดย DIP-SW ส่งต่อไปยังขาสัญญาณ TxCLK และ RxCLK

การควบคุมการส่งผ่านข้อมูลอักขระให้เป็นไปตามข้อตกลงของการสื่อสาร ในที่นี้การส่งผ่านข้อมูลได้กำหนดไว้เป็นแบบ Null-Modem ดังนั้นในการออกแบบจึงไม่ใช้ขาสัญญาณ Modem Control คือขาสัญญาณ DSR, DTR และ RTS เลย แต่ขาสัญญาณ CTS (ขา 17) ซึ่งเป็นขาสัญญาณ Active Low ได้ต่อลงกราวด์ไว้เพื่อให้ 8251A สามารถจะส่งผ่านข้อมูลออกไปได้ตลอดเวลา ถ้ามีข้อมูลอักขระที่ต้องการจะส่งออกไปโดยการควบคุมจากซีพียู

การควบคุมการทำงานของ 8251A ซึ่งมีขาสัญญาณดังต่อไปนี้

1. ขาสัญญาณ CS (ขา 11) ซึ่งเป็นขาสัญญาณ Active Low โดยขาสัญญาณนี้จะถูกควบคุมโดยซีพียูผ่านทาง IC เบอร์ 74LS138 ซึ่งเป็น 1-of-8 Decoder/Demultiplexer ซึ่งจะถูกเข้ารหัสเพื่อเลือกอุปกรณ์ที่ซีพียูต้องการจะติดต่อกับโดยการส่งสัญญาณ "0" ไปยังขาสัญญาณนี้

2. ขาสัญญาณ RD (ขา 13) เป็นขาสัญญาณ Active Low โดยถ้าซีพียูต้องการจะอ่านข้อมูลหรือสถานะจาก 8251A จะต้องส่งสัญญาณ "0" ไปยังขาสัญญาณนี้ แต่เนื่องจากขาสัญญาณ RD จากซีพียูต้องต่อไปยังขา RD ของส่วนของบัฟเฟอร์ข้อมูลความเร็วต่ำทั้ง 4 ส่วน ดังนั้นจึงต้องต่อผ่าน IC เบอร์ 74LS07 ซึ่งเป็น Buffer/Driver With Open-Collector High-Voltage Output เพื่อให้ขา RD ของซีพียูสามารถจ่ายกระแสออกมาได้อย่างเพียงพอ

3. ขาสัญญาณ WR (ขา 10) เป็นขาสัญญาณ Active Low โดยถ้าซีพียูต้องการจะเขียนข้อมูลหรือคำสั่งมายัง 8251A จะส่งสัญญาณ "0" ไปยังขาสัญญาณนี้และด้วยเหตุผลเดียวกันกับขา

สัญญาณ RD จึงออกแบบให้ใช้ IC เบอร์ 74LS07 เป็นตัวส่งผ่านสัญญาณ WR จากขาสัญญาณ WR ของซีพียูส่งไปยังส่วนของบัสเฟิร์มข้อมูลความเร็วต่ำทั้ง 4 ส่วน

4. ขาสัญญาณ C/D (ขา 12) จะถูกใช้ร่วมกับขาสัญญาณ WR หรือ RD เพื่อแสดงว่าซีพียูต้องการติดต่อ (โดยการส่ง WR หรือ RD) กับ 8251A นั้นเป็นการส่งหรือรับข้อมูลหรือคำสั่ง ซึ่งได้ออกแบบให้ขาสัญญาณ C/D รับค่าลอจิกจากขาสัญญาณ A0 ของซีพียู โดยต่อผ่าน IC เบอร์ 74LS07 เช่นกัน เพื่อแสดงแก่ 8251A ว่าซีพียูต้องการจะติดต่อกับ 8251A ในลักษณะของข้อมูลขา A0 ต้องส่ง “0” และถ้าต้องการติดต่อกับ 8251A ในลักษณะของคำสั่งขา A0 ต้องส่ง “1” ไปให้แก่ขาสัญญาณนี้

5. ขาสัญญาณ CLK (ขา 20) เป็นขาสัญญาณนาฬิกาสำหรับวงจรต่างๆ ภายใน 8251A โดยจะถูกส่งมาจากขาสัญญาณ CLK ของซีพียูผ่านทาง IC เบอร์ 74LS07 เช่นกัน เพื่อเป็นสัญญาณนาฬิกาอ้างอิงของเครื่องสื่อสารข้อมูล ซึ่งโดยปกติแล้วสัญญาณนาฬิกาอ้างอิงของเครื่องสื่อสารข้อมูลนี้จะต้องมีความถี่มากกว่าสัญญาณนาฬิกา โดยใช้เป็นสัญญาณอ้างอิงในการรับและส่งข้อมูลอีกขระ (อัตราบิต) ของ 8251A ประมาณมากกว่า 30 เท่า ซึ่งในการออกแบบก็ได้พิจารณาถึงปัญหานี้แล้ว

6. ขาสัญญาณ Reset (ขา 21) เป็นขาสัญญาณ Active High โดยซีพียูจะส่งสัญญาณนี้มาจากขา Reset ของซีพียูซึ่ง Active Low ในการออกแบบจึงต่อผ่านสัญญาณนี้ ด้วย IC เบอร์ 74LS05 ซึ่งเป็น Inverter With Open-Collector High-Voltage Output เพื่อกลับสถานะของสัญญาณ Reset จากซีพียูให้เป็นลอจิก “1” สำหรับทำการรีเซ็ตการทำงานของบัสเฟิร์มข้อมูล

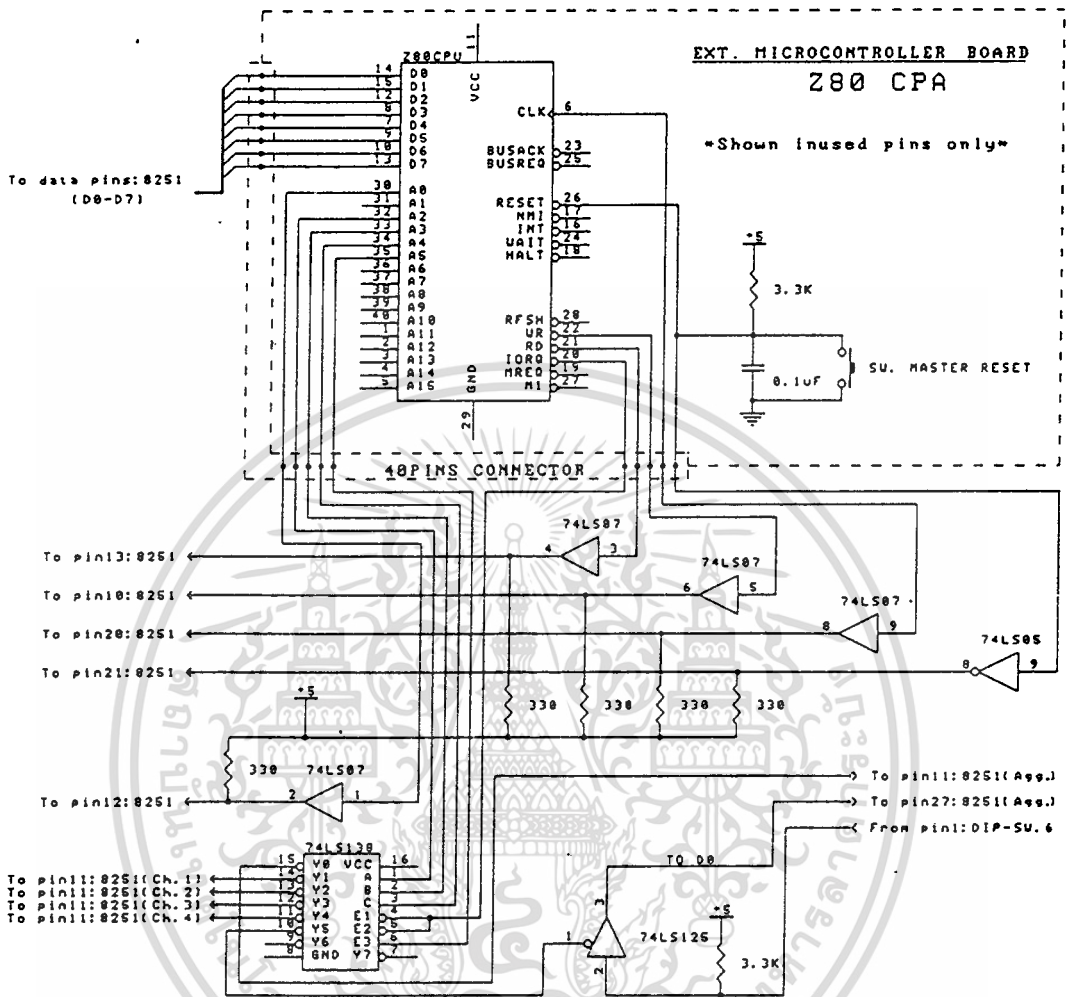
3.1.3 ส่วนของหน่วยควบคุม

ในส่วนของหน่วยควบคุมนี้ แสดงให้เห็นดังรูปที่ 3.6

อธิบายการทำงานของวงจร

จากวงจรสามารถแบ่งออกเป็นส่วนใหญ่ๆ 2 ส่วนคือ

1. ส่วนควบคุมภายนอกขนาดเล็ก (External Microcontroller) ซึ่งทำหน้าที่ในการจัดการระบบของเครื่องสื่อสารข้อมูลทั้งหมด ได้แก่ ทำการมัลติเพล็กซ์ (Multiplexing) ข้อมูลอีกขระที่รับเข้ามาทางช่องสัญญาณความเร็วต่ำทั้ง 4 ช่องสัญญาณ และส่งผ่านจากส่วนของการเชื่อมต่อทางฮาร์ดแวร์ด้วยมาตรฐาน RS232-C และส่วนของบัสเฟิร์มข้อมูลความเร็วต่ำ โดยใช้ 8251A มาแล้ว



รูปที่ 3.6 วงจรส่วนหน่วยควบคุม

เมื่อซีพียูซึ่งอยู่ในส่วนควบคุมภายนอกขนาดเล็ก ทำการมัลติเพล็กซ์ข้อมูลอักขระเหล่านั้น โดยการ
ใช้โปรแกรมหรือซอฟต์แวร์ในขบวนการทำงานจะได้ออกมาเป็นขบวนการสื่อสารข้อมูล ข้อมูล
อักขระความเร็วสูงถูกส่งต่อไปยังส่วนของบัฟเฟอร์ข้อมูลความเร็วสูง โดยใช้ 8251A เช่นกันและ
ส่งต่อไปยังส่วนการเชื่อมต่อทางด้านฮาร์ดแวร์ด้วยมาตรฐาน RS232-C ส่งออกไปยังช่องสัญญาณ
การส่งผ่านหรือตัวกลางการสื่อสารต่อไปและที่ด้านรับซึ่งเป็นคู่สถานีของเครื่องสื่อสารข้อมูลก็จะ
กระทำกระบวนการในทางกลับกันทางด้านส่ง โดยการควบคุมและจัดการระบบของซีพียู ซึ่งจะอยู่
ในส่วนควบคุมภายนอกขนาดเล็ก โดยเรียกขบวนการนี้ว่า การดีมัลติเพล็กซ์ (Demultiplexing)
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อแยกเอาข้อมูลอักขระที่รับเข้ามาส่งออกไปยังช่องสัญญาณที่กำหนดไว้ได้อย่างถูกต้อง ตามที่ได้กำหนดไว้โดยโปรแกรมหรือซอฟต์แวร์และอีกหน้าที่หนึ่งคือ การทำการควบคุมระบบของเครื่องทั้งหมดทำการส่งผ่านข้อมูลให้เป็นไปอย่างถูกต้องตามข้อตกลงของการสื่อสารหรือโปรโตคอล ที่ได้กำหนดไว้ โดยปราศจากข้อผิดพลาด

ในการออกแบบสำหรับส่วนนี้ได้เลือกใช้ชุดควบคุมขนาดเล็ก Z80-CPA ของ ETT ซึ่งมีคุณสมบัติที่เหมาะสมกับการทำงานของเครื่องสื่อสารข้อมูลตามที่กำหนดไว้ดังต่อไปนี้

คุณสมบัติของ Z80-CPA

Z80-CPA คือ บอร์ดไมโครโปรเซสเซอร์ที่มี ซีพียู Z80 A เป็นตัวควบคุม สำหรับใช้นำไปต่อประยุกต์ในงานต่างๆ โดยสามารถต่อร่วมกับ ET - Board ในการพัฒนาโปรแกรมหรือจะต่อใช้พัฒนาจากเครื่องคอมพิวเตอร์ PC โดยใช้ Emulator ร่วมด้วย

1. CPU Z80 A Run ความถี่ 3.579 MHz
2. 8K Byte RAM Onboard (6264)
3. 8K RAM Expansion Socket (6116, 6264)
4. 8K Byte ROM Monitor Expansion Socket (2732, 2764)
5. 8255 I/O Port 24 Bit สามารถเลือกเบอร์ Port Decode ได้
6. Z80 Bus 40 Pin, I/O 8255 40 Pin
7. Power Supply On Board 5V 7805

2. ส่วนสัญญาณควบคุมการทำงานของส่วนบัฟเฟอร์ข้อมูล ซึ่งจากวงจรในรูปที่ 3.6 ได้แก่ IC เบอร์ 74LS07 ซึ่งเป็น Buffer/Driver With Open Collector High-Voltage Output ต่อรวมอยู่กับรีซิสเตอร์ค่า 330 โอห์ม เพื่อทำหน้าที่เป็นบัฟเฟอร์ของขาสัญญาณควบคุมต่างๆ จากซีพียู ได้แก่ ขาสัญญาณ WR (ขา 22), ขาสัญญาณ RD (ขา 21) และขาสัญญาณ Reset (ขา 26) ส่งต่อไปยังส่วนของบัฟเฟอร์ข้อมูล (ทั้งด้านข้อมูลความเร็วต่ำและด้านข้อมูลความเร็วสูง) ดังได้กล่าวมาแล้วก่อนหน้านี้ IC เบอร์ 74LS05 ซึ่งเป็น Inverter With Open-Collector High-Voltage Output ทำหน้าที่เป็นบัฟเฟอร์ของขาสัญญาณ CLK (ขา 6) จากซีพียูส่งไปยังส่วนของบัฟเฟอร์ข้อมูล, IC เบอร์ 74LS138 ซึ่งเป็น 1-of-8 Decoder/Demultiplexer ทำหน้าที่เป็นวงจรถอดรหัส เพื่อเลือกอุปกรณ์ที่ซีพียูต้องการจะติดต่อด้วย ซึ่งในวงจรได้ออกแบบให้ใช้ขาสัญญาณ A1 (ขา 31), A2 (ขา 32) และ A3 (ขา 33) ของซีพียูเป็นสัญญาณในการเข้ารหัสและใช้ขาสัญญาณ IORQ (ขา 20) ของ

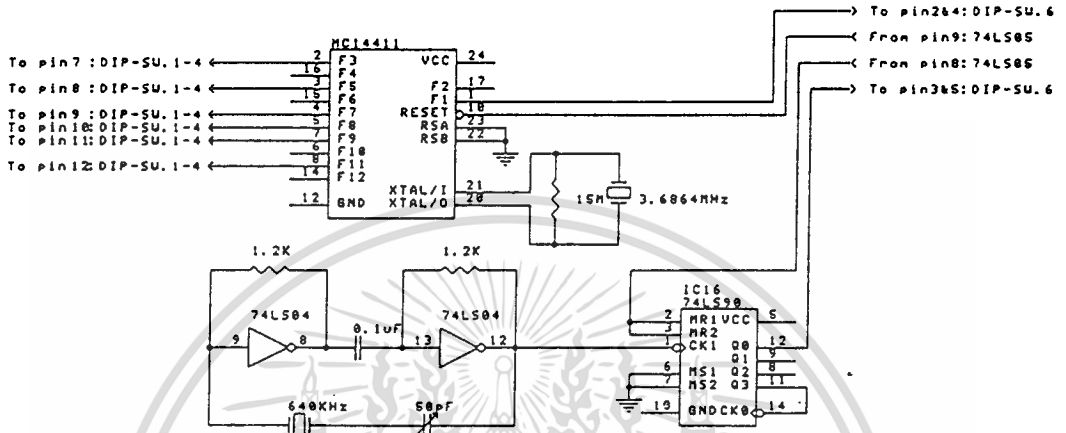
ซีพียูเป็นสัญญาณ E1 และ E2 และใช้ขาสัญญาณ A4 (ขา 34) ของซีพียูเป็นสัญญาณ E3 ของตัว Decoder ส่วนขาสัญญาณเอาต์พุตของตัว Decoder (Y0-Y4) จะใช้เป็นขาสัญญาณ CS ของ IC เบอร์ 8251A ซึ่งเป็นส่วนของบัฟเฟอร์ข้อมูลทั้ง 5 ส่วน ขาสัญญาณเอาต์พุต Y5 เป็นขาสัญญาณ Enable ของ IC เบอร์ 74LS125 ซึ่งเป็น 3-State Buffers ทำหน้าที่เลือกรูปแบบของการส่งผ่านสัญญาณว่าจะเป็นแบบอะซิงโครนัสหรือซิงโครนัส สำหรับส่วนของบัฟเฟอร์ข้อมูลความเร็วสูง โดยการออกแบบจะต่อขาสัญญาณ D0 ของสายสัญญาณข้อมูลรวมเข้ากับขาสัญญาณ 0 ของ 74LS125 และขาสัญญาณ D ของ 74LS125 ต่อเข้ากับ DIP-SW เพื่อเลือกว่าจะใช้การส่งผ่านแบบใด โดยถ้าสับสวิทช์ (DIP-SW) ลงกราวด์ก็จะทำให้ขาสัญญาณ D นี้ได้รับลอจิก “0” ซึ่งเป็นการเลือกการส่งผ่านแบบซิงโครนัส แต่ถ้าเราไม่สับสวิทช์ (DIP-SW) ลงกราวด์ ขาสัญญาณ D จะได้รับลอจิก “1” จากแหล่งจ่ายไฟ +5 โวลท์ ซึ่งจะต่อผ่านรีซิสเตอร์ค่า 330 โอห์ม จะเป็นการเลือกการส่งผ่านแบบอะซิงโครนัส และเมื่อขาสัญญาณ 0 ของ 74LS125 เกิดการเปลี่ยนแปลงค่าลอจิกขึ้นเนื่องจากการเลือกค่าลอจิกที่ DIP-SW ซีพียูก็จะอ่านค่าลอจิกนั้นเข้ามาและส่งสัญญาณควบคุมไปยัง 8251A ซึ่งเป็นส่วนของบัฟเฟอร์ข้อมูลความเร็วสูง เพื่อที่จะให้ทำการส่งผ่านข้อมูลตามรูปแบบที่กำหนดไว้ในโปรแกรมต่อไป

3.1.4 ส่วนของวงจรสร้างสัญญาณนาฬิกาอ้างอิงสำหรับการส่งผ่านข้อมูล ในการออกแบบวงจรในส่วนนี้ แสดงให้เห็นได้ดังรูปที่ 3.7

อธิบายการทำงานของวงจร

IC เบอร์ MC14411 เป็น Bit Rate Generator ทำหน้าที่สร้างสัญญาณนาฬิกาอ้างอิง ในการส่งผ่านข้อมูลอักขระ ส่วนของบัฟเฟอร์ข้อมูลความเร็วต่ำและส่วนของบัฟเฟอร์ข้อมูลความเร็วสูง ซึ่งใช้ IC เบอร์ 8251A โดย MC14411 จะใช้สัญญาณความถี่หลักจากคริสตอล (Crystal) ซึ่งมีความถี่เท่ากับ 3.6864 MHz ต่อเข้ากับขา Xtal in (ขา 21) และขา Xtal out (ขา 20) แล้วทำการหารความถี่โดยวงจร Driver ภายใน MC14411 ได้ออกมาเป็นความถี่ต่างๆ ส่งออกมาเป็นเอาต์พุตคือ ขาสัญญาณ F1-F16 และ MC14411 ยังมีขาสัญญาณสำหรับการเลือกอัตราบิตหรือความถี่ในการส่งผ่านข้อมูลด้วยคือ ขาสัญญาณ RSA (ขา 23) และขาสัญญาณ RSB (ขา 22) เพื่อใช้ในการเลือกความถี่สัญญาณนาฬิกาอ้างอิง ในการส่งผ่านสัญญาณแบบอะซิงโครนัส ซึ่งมีค่าเป็นจำนวน 1, 8, 16 และ 64 เท่าของอัตราบิตที่ใช้ในการส่งผ่านข้อมูลอักขระแบบอะซิงโครนัส ซึ่งในที่นี้ได้ออกแบบโดยเลือกใช้อัตราความถี่เป็น 1 เท่าคือ เท่ากับอัตราบิตที่ใช้ในการส่งผ่านข้อมูลอักขระ โดย

การต่อขาสัญญาณ RSA และ RSB ลงกราวด์, ขาสัญญาณความถี่สัญญาณนาฬิกาอ้างอิงในการส่งผ่านข้อมูลอักษระแบบอะซิงโครนัสสำหรับส่วนของบัพเฟอร์ข้อมูลทั้ง 5 ส่วน แสดงให้เห็นโดยตารางที่ 1 ซึ่งค่าความถี่ของคริสตอลเป็น 1.8432 MHz



รูปที่ 3.7 วงจรสร้างสัญญาณนาฬิกาอ้างอิงสำหรับการส่งผ่านข้อมูล

ตารางที่ 3.1 ควบคุมความถี่อ้างอิง

Rate Select		Rate
B	A	
0	0	* 1
0	1	* 8
1	0	* 16
1	1	* 64

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.2 อัตราสัญญาณความถี่อ้างอิง

Output Number	Output Rates (Hz)			
	* 64	* 16	* 8	* 1
F1	614.4 k	153.6 k	76.8 k	9600
F2	460.8 k	115.2 k	57.6 k	7200
F3	307.2 k	76.8 k	38.4 k	4800
F4	230.4 k	57.6 k	28.8 k	3600
F5	153.6 k	38.4 k	19.2 k	2400
F6	115.2 k	28.8 k	14.4 k	1800
F7	76.8 k	19.2 k	9600	1200
F8	38.4 k	9600	4800	600
F9	19.2 k	4800	2400	300
F10	12.8 k	3200	1600	200
F11	9600	2400	1200	150
F12	8613.2	2153.3	1076.6	134.5
F13	7035.5	1758.8	879.4	109.9
F14	4800	1200	600	75
F15	921.6 k	921.6 k	921.6 k	921.6 k

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.1(ต่อ) อัตราสัญญาณความถี่อ้างอิง

F16*	1.843 M	1.843 M	1.843 M	1.843 M
------	---------	---------	---------	---------

ตารางที่ 3.1 แสดงอัตราสัญญาณความถี่อ้างอิง (คริสตอลความถี่เท่ากับ 1.8432 MHz) สำหรับการส่งผ่านข้อมูลแบบอะซิงโครนัสที่ขาสัญญาณเอาต์พุตต่างๆ ของ IC MC14411 และแสดงค่าลอจิกในการเลือกอัตราความถี่สัญญาณนาฬิกาอ้างอิง โดยการเลือกที่ขาสัญญาณ RSA และ RSB ในการออกแบบวงจรจะใช้ความถี่คริสตอลเป็น 2 เท่าของค่าการใช้งานโดยปกติ จาก Data Sheet คือ ใช้คริสตอลความถี่ 3.6864 MHz แทน ทำให้ขาสัญญาณเอาต์พุตต่างๆ (F1-F16) มีความถี่ของสัญญาณนาฬิกาเป็น 2 เท่าจากตารางที่ 3.1 และในวงจรจะใช้ขาสัญญาณ F3 (ขา 2), F5 (ขา 3), F7 (ขา 4), F8 (ขา 5), F9 (ขา 7) และ F11 (ขา 8) ซึ่งมีความถี่สัญญาณนาฬิกาเป็น 300, 600, 1200, 2400, 4800 และ 9600 Hz ตามลำดับ ซึ่งจะถูกต้องไปยัง DIP-SW ในวงจรของส่วนบัฟเฟอร์ข้อมูลความเร็วต่ำ เพื่อกำหนดอัตราบิตในการส่งผ่านข้อมูลแบบอะซิงโครนัส ตามการเลือกใช้งานในแต่ละช่องสัญญาณและขาสัญญาณ F1 (ขา 1) ซึ่งมีความถี่เท่ากับ 19.2 KHz จะถูกต้องไปยัง DIP-SW ของส่วนบัฟเฟอร์ข้อมูลความเร็วสูง (จะกล่าวถึงในส่วนต่อไป) เพื่อเป็นตัวกำหนดอัตราบิตในการส่งผ่านข้อมูลแบบอะซิงโครนัส ซึ่งเป็นขบวนการบิตข้อมูลอัตราความเร็วสูงหลังจากทำการมัลติเพล็กซ์แล้ว

IC เบอร์ 74LS90 และ 74LS04 ต่อร่วมกันอยู่กับรีซิสเตอร์ค่า 1.2 กิโลโอห์ม, คาปาซิเตอร์ค่า 0.1 μ F, ทริมเมอร์ค่า 50pF และคริสตอลค่า 640KHz ดังในวงจรจะทำหน้าที่เป็นวงจรกำเนิดสัญญาณนาฬิกาอ้างอิงความถี่ 64 KHz สำหรับการส่งผ่านข้อมูลแบบอะซิงโครนัสของส่วนบัฟเฟอร์ข้อมูลความเร็วสูง โดย 74LS04 ซึ่งต่อร่วมกับอุปกรณ์อื่นๆ ดังกล่าวมาแล้วยกเว้น 74LS90 จะต่อวงจรอยู่ในลักษณะเป็นวงจรออสซิลเลเตอร์ด้วยคริสตอล ซึ่งมีความถี่เท่ากับ 640KHz ทำให้ได้สัญญาณนาฬิกาทางเอาต์พุตออกมามีค่าความถี่เท่ากับความถี่ของคริสตอล (640KHz) และในวงจรได้ออกแบบให้มี ทริมเมอร์ต่ออยู่กับคริสตอลดังที่แสดงในรูปวงจร เพื่อใช้ในการปรับค่าความถี่สัญญาณนาฬิกาทางเอาต์พุตให้ได้เท่ากับ 640 KHz จริงในกรณีที่คริสตอลมีความคลาดเคลื่อนไปแล้วส่งต่อไปเป็นสัญญาณความถี่นาฬิกาทางอินพุตของ 74LS90 เป็น Decode Counter ทำหน้าที่หารความถี่ที่ขาสัญญาณ CLK1 (ขา 1) ซึ่งในการออกแบบได้จัดวงจรไว้เป็นแบบวงจรหารสิบและให้ค่า Duty Cycle ของสัญญาณเอาต์พุตเป็น 50% ซึ่งจะทำได้ความถี่สัญญาณนาฬิกาอ้างอิง

รับมาผ่านทาง DIP-SW และส่งต่อไปยัง IC เบอร์ 74LS04 ทำการกลับสถานะทางลอจิกของ สัญญาณนาฬิกาเพราะ 8251A จะทำงานที่ขอบขาลงของสัญญาณนาฬิกาและสัญญาณนาฬิกาอ้างอิงในการส่งข้อมูลอักขระนี้ก็ยังถูกส่งต่อไปยัง IC เบอร์ MC1488 (Line Driver) อีกด้วยเพื่อส่งออกไปยังช่องสัญญาณการส่งผ่าน เพื่อให้คู่สถานีของเครื่องสื่อสารข้อมูลรับสัญญาณนี้เข้ามาทาง ขาสัญญาณ RxD (ขา 3) สำหรับใช้เป็นความถี่สัญญาณนาฬิกาอ้างอิงในการรับขบวนบิตข้อมูล อักขระความเร็วสูงที่ส่งมาจากคู่สถานีของเครื่องสื่อสารข้อมูลทางค่านส่ง

ขาสัญญาณ RxCLK (ขา 25) ของ 8251A จะรับสัญญาณนาฬิกาอ้างอิงมาจาก 2 แหล่งคือ

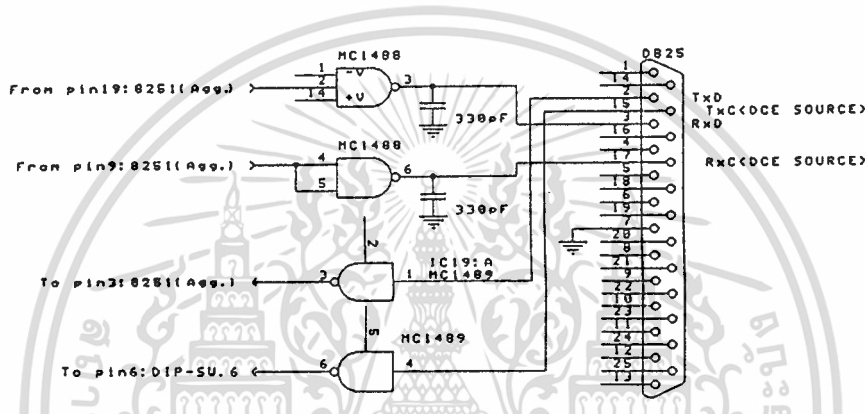
1. รับมาจากช่องสัญญาณการส่งผ่าน โดยส่งจากขาสัญญาณ TxCLK ของคู่สถานีของเครื่องสื่อสารข้อมูลตั้งที่กล่าวมาแล้วข้างต้น ดังนั้นเมื่อขาสัญญาณ RxCLK รับสัญญาณนี้เข้ามาได้ ซึ่งในที่นี้ออกแบบให้ต่อผ่านทาง DIP-SW ไว้ โดยเรียกสัญญาณนี้ว่า สัญญาณนาฬิกาอ้างอิงด้านรับจากภายนอก (EXT. RxCLK) จะทำให้เกิดความผิดพลาดของการรับขบวนบิตข้อมูลอักขระความเร็วสูงที่ส่งมาจากขาสัญญาณ TxD ของคู่สถานีของเครื่องสื่อสารข้อมูลไม่มากเกินไปกว่าค่าที่ยอมรับได้ ซึ่งสามารถวัดออกมาเป็นค่าอัตราผิดพลาดของบิต (Bit Error Rate:BER)

2. รับมาจากแหล่งกำเนิดสัญญาณนาฬิกาอ้างอิงภายในเครื่องสื่อสารข้อมูลเอง ซึ่งก็คือรับมาจากขาสัญญาณ F1 (ขา 1) ของ MC14411 (สำหรับการส่งผ่านแบบอะซิงโครนัส โดยมีอัตราบิตในการส่งผ่านเท่ากับ 19.2 kbps) และจากขาสัญญาณ Q0 (ขา 12) ของ 74LS90 (สำหรับการส่งผ่านข้อมูลแบบซิงโครนัส โดยมีอัตราบิตในการส่งผ่านเท่ากับ 64 kbps) ซึ่งก็คือรับสัญญาณนาฬิกาอ้างอิงนี้มาจากส่วนของวงจรสร้างสัญญาณนาฬิกาอ้างอิงสำหรับการส่งผ่านข้อมูลนั่นเอง ซึ่งจะต้องมีความถี่ของสัญญาณตรงกับความถี่ของขบวนบิตข้อมูลอักขระความเร็วสูงที่รับเข้ามาจากช่องสัญญาณการส่งผ่านมิฉะนั้นจะเกิดความผิดพลาดในการรับข้อมูล ซึ่งจะทำให้ค่าของอัตราผิดพลาดของบิตในการรับข้อมูล (BER) ซึ่งก็คือ อัตราส่วนของบิตที่ผิดพลาดต่อบิตข้อมูลทั้งหมด มีค่าสูงเกินกว่าที่จะยอมรับได้

วงจรการต่อใช้งานของ DIP-SW ดังที่ได้กล่าวมาแล้วว่าการต่อใช้งานได้ออกแบบไว้แตกต่างกับวงจรในส่วนของบัฟเฟอร์ข้อมูลความเร็วต่ำคือ จะมีขาสัญญาณสำหรับเลือกรูปแบบการส่งผ่านแบบอะซิงโครนัสและซิงโครนัส โดยการเลือกที่ DIP-SW นี้ (กล่าวมาแล้วในวงจรของส่วนสัญญาณควบคุมการทำงานของส่วนบัฟเฟอร์ข้อมูล) และมีขาสัญญาณนาฬิกาอ้างอิงสำหรับการส่งผ่านข้อมูลเป็นค่าความถี่เท่ากับ 19.2 kbps และ 64 kbps ต่อร่วมกันอยู่และสามารถเลือกใช้งานได้โดยการเลือกที่ DIP-SW นี้เช่นกัน และยังมีขอบขาสัญญาณนาฬิกาอ้างอิงด้านรับจากภายนอก (EXT. RxCLK) ต่อร่วมกันอยู่อีกด้วย ซึ่งสามารถเลือกได้โดย DIP-SW เพื่อส่งต่อไปยังขาสัญญาณ

RxCLK ของ 8251A ประการสำคัญที่จะลืมไม่ได้คือ ถ้าต้องการจะส่งผ่านข้อมูลแบบอะซิงโครนัส จะต้องเลือกค่าความถี่สัญญาณนาฬิกาอ้างอิงในการส่งผ่านข้อมูลเป็น 19.2 kBPS เท่านั้นและในกรณีคล้ายกันถ้าต้องการส่งผ่านข้อมูลแบบซิงโครนัสก็จะเลือกค่าความถี่สัญญาณนาฬิกาอ้างอิงในการส่งผ่านข้อมูลเป็น 64 kBPS เท่านั้น เพราะถ้าเลือก DIP-SW ไม่ตรงกับการใช้งานจะทำให้ 8251A ทำการรับส่งข้อมูลผิดพลาดได้

3.1.6 ส่วนของการเชื่อมต่อทางฮาร์ดแวร์ด้านที่เชื่อมต่อกับช่องสัญญาณการส่งผ่าน



รูปที่ 3.9 วงจรของส่วนของการเชื่อมต่อทางฮาร์ดแวร์
โดยใช้ IC เบอร์ MC1488 และ MC1489

ในการออกแบบวงจรส่วนนี้ จากคุณลักษณะเฉพาะของเครื่อง ที่กำหนดให้ใช้มาตรฐาน RS232-C แสดงให้เห็นได้ดังรูปที่ 3.9

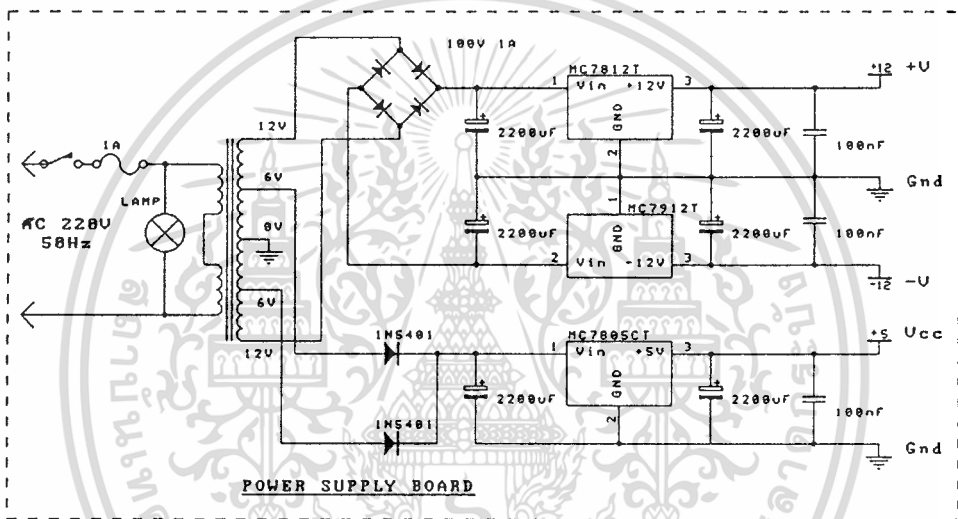
อธิบายการทำงานของวงจร

จากวงจรจะเห็นว่ามีความคล้ายคลึงกันกับวงจรในส่วนของ การเชื่อมต่อทางฮาร์ดแวร์ด้านที่เชื่อมต่อกับอุปกรณ์ปลายทางข้อมูล (DTE) มาก ซึ่งได้กล่าวมาแล้วในหัวข้อ 3.1.1 จะแตกต่างกันคือ เพิ่มเกต (Gate) การใช้งานของ MC1488 และ MC1489 ขึ้นอย่างละตัว เพื่อใช้เป็น Line Driver RS232-C (MC1488) สำหรับส่งสัญญาณความถี่นาฬิกาอ้างอิงจากขาสัญญาณ TxCLK (ขา 9) ของ 8251A ซึ่งเป็นส่วนของบัพเฟอร์ข้อมูลความเร็วสูง ส่งออกไปบนช่องสัญญาณการส่งผ่าน และเกตอีกตัวหนึ่งที่เพิ่มขึ้นก็เพื่อให้เป็น Line Receiver RS232-C (MC1489) สำหรับการใช้ในการรับสัญญาณนาฬิกาอ้างอิงด้านรับจากภายนอก (EXT. RxCLK) เพื่อส่งไปเป็นสัญญาณนาฬิกา

อ้างอิงในการรับขบวนการข้อมูลความเร็วสูงที่ส่งผ่านบนช่องสัญญาณการส่งผ่าน โดยการเลือกใช้ งานที่ DIP-SW ซึ่งได้กล่าวถึงมาแล้วในหัวข้อก่อนหน้านี้

3.1.7 ส่วนของแหล่งจ่ายไฟ

การออกแบบวงจรในส่วนนี้ต้องการแรงดันไฟฟ้ากระแสตรง (DC) +5 โวลต์ เพื่อจ่ายเป็น ไฟเลี้ยง IC ทุกตัวในวงจรยกเว้น IC เบอร์ MC1488 ซึ่งเป็น Line Driver RS232-C จึงต้องการ ระดับแรงดันไฟฟ้ากระแสตรง (DC) +12 โวลต์ ดังรูปที่ 3.10



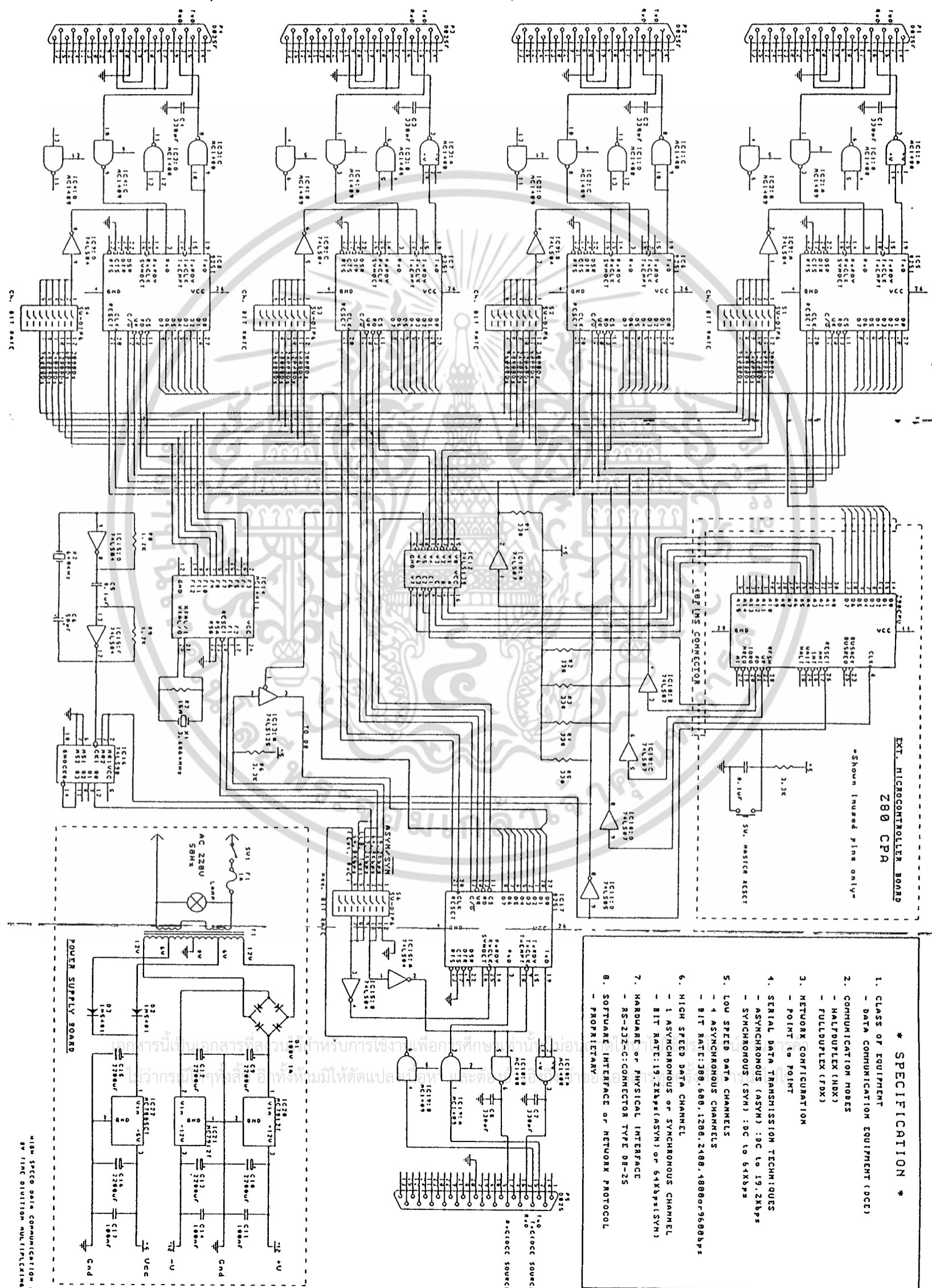
รูปที่ 3.10 วงจรส่วนของแหล่งจ่ายไฟ

อธิบายการทำงานของวงจร

จากรูปวงจรจะเห็นว่าได้ออกแบบวงจรแหล่งจ่ายไฟโดยใช้ IC Voltage Regulators เบอร์ 7805, 7812, และ 7912 เพื่อทำหน้าที่รักษาระดับของแรงดันเอาต์พุตให้ได้ออกมาเป็น +5, +12 และ -12 โวลต์ ตามลำดับ โดยมี Capacitors ค่าต่างๆ ต่อร่วมอยู่ ซึ่งเป็นลักษณะการต่อวงจรแบบ Fixed Voltage Regulator อย่างง่าย ดังนั้นจึงขอกล่าวถึงการออกแบบวงจรในส่วนนี้โดยสังเขป เพียงเท่านี้

จากรูปวงจรในแต่ละส่วนที่ได้อธิบายผ่านมาแล้วนั้น สามารถนำมาประกอบกันและแสดงให้เห็นเป็นวงจร โดยสมบูรณ์ของเครื่องสื่อสารข้อมูลได้ดังรูปที่ 3.11

LOW SPEED INTERFACE D T I E



- * SPECIFICATION ***
1. CLASS OF EQUIPMENT
 - DATA COMMUNICATION EQUIPMENT (DCE)
 2. COMMUNICATION MODES
 - HALFDUPLEX (HDX)
 - FULLDUPLEX (FDX)
 3. NETWORK CONFIGURATION
 - POINT TO POINT
 4. SERIAL DATA TRANSMISSION TECHNIQUES
 - ASYNCHRONOUS (ASYN) : DC to 19.2Kbps
 - SYNCHRONOUS (SYN) : DC to 64Kbps
 5. LOW SPEED DATA CHANNELS
 - 4 ASYNCHRONOUS CHANNELS
 - BIT RATE: 300, 600, 1200, 2400, 4800, 9600bps
 6. HIGH SPEED DATA CHANNEL
 - 1 ASYNCHRONOUS or SYNCHRONOUS CHANNEL
 - BIT RATE: 19.2Kbps(ASYN) or 64Kbps(SYN)
 7. HARDWARE or PHYSICAL INTERFACE
 - RS-232-C: CONNECTOR TYPE DB-25
 8. SOFTWARE INTERFACE or NETWORK PROTOCOL
 - PROPRIETARY

รูปที่ 3.11 วงจรเครื่องสื่อสารข้อมูลความเร็วต่ำ

3.2 การออกแบบด้านซอฟต์แวร์

เพื่อที่จะให้สนองตอบกับทางด้านฮาร์ดแวร์ ซึ่งใช้ Control Board Z-80 CPA และใช้ 8251 ในการควบคุมการทำงานของเครื่องสื่อสารข้อมูล จึงจำเป็นที่จะต้องมีการควบคุมการทำงาน ส่วนของโปรแกรมสามารถแบ่งออกเป็น 3 ส่วนคือ

1. ส่วนของการ Setup Z-80
2. ส่วนของการ Setup 8251
3. ส่วนของการสื่อสารข้อมูล

โดยในแต่ละส่วนสามารถอธิบายการทำงานได้ตามโปรแกรมในส่วนต่างๆ ซึ่งได้แสดงไว้ในภาคผนวก



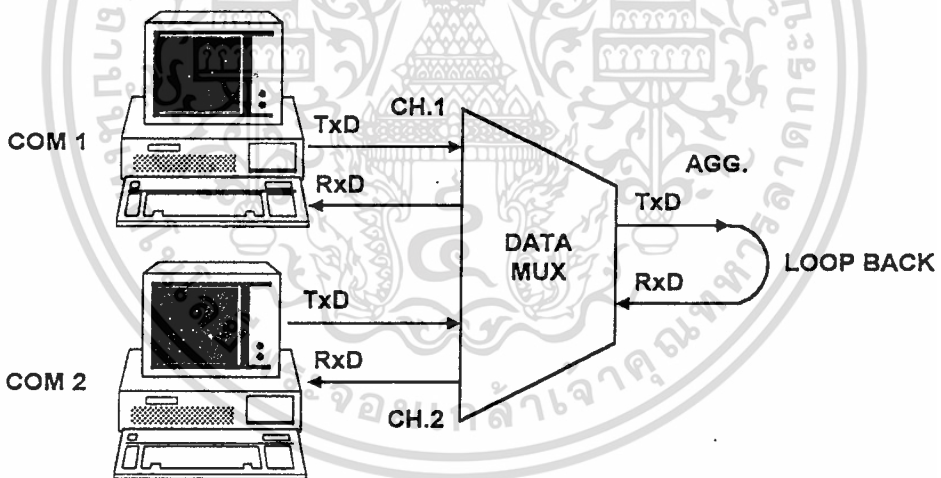
บทที่ 4

การทดลองและผลการทดลอง

ในบทนี้จะกล่าวถึงการทดลองการทำงานของเครื่องสื่อสารข้อมูลความเร็วสูง ว่าสามารถที่จะทำงานได้ตามคุณลักษณะเฉพาะที่กำหนดไว้หรือไม่และมีข้อผิดพลาดจากการทำงานประการใด

การทดลองครั้งที่ 1 การทดสอบลูปกลับ (Loop Back Test)

การทดสอบลูปกลับ เป็นการทดลองเพื่อต้องการทราบว่าข้อมูลจากเครื่องคอมพิวเตอร์ที่ส่งเข้าไปยังเครื่องสื่อสารข้อมูลความเร็วสูงนั้น สามารถที่จะรับกลับมายังเครื่องคอมพิวเตอร์ตัวเดิมแล้วมีข้อผิดพลาดอย่างไรบ้าง โดยการทดลองนี้จะทำการลูปกลับที่ช่องสัญญาณข้อมูลความเร็วสูง (AGG. Port) ซึ่งเป็นการตัดปัญหาการเกิดข้อผิดพลาดอันเนื่องมาจากตัวกลางในการสื่อสารข้อมูลระหว่างคู่สถานีของเครื่องสื่อสารข้อมูลความเร็วสูง ดังแสดงในรูปที่ 4.1



รูปที่ 4.1 บล็อกไดอะแกรมการทดสอบลูปกลับที่ช่องสัญญาณความเร็วสูง

ลำดับขั้นการทดลอง

1. นำเครื่องคอมพิวเตอร์ 2 เครื่องมาเชื่อมต่อเข้ากับเครื่องสื่อสารข้อมูลความเร็วสูงทางช่องสัญญาณความเร็วต่ำ (CH. Port) ที่ 1 และ 2 ดังแสดงในรูปที่ 4.1

2. ทำการรูดกลับที่ช่องสัญญาณข้อมูลความเร็วสูง โดยใช้อุปกรณ์เชื่อมต่อแบบ DB-25 ซึ่งได้ทำการบัดกรีขาสัญญาณ TxD (ขา 2) และ RxD (ขา 3) เข้าด้วยกัน
3. เลือกอัตราบิทที่จะใช้ในการส่งข้อมูล โดยเลือกที่ DIP-SW ของช่องสัญญาณข้อมูลความเร็วต่ำ ทั้ง 2 ช่องสัญญาณมี 6 อัตราบิท 300, 600, 1200, 2400, 4800 และ 9600 บิทต่อวินาที
4. เลือกเทคนิคการส่งผ่านข้อมูลว่าจะใช้แบบอะซิงโครนัส มีอัตราบิท 19.2 kbps หรือแบบซิงโครนัส มีอัตราบิท 64 kbps โดยเลือกที่ DIP-SW ของช่องสัญญาณข้อมูลความเร็วสูง
5. ทำการส่งข้อมูลจากเครื่องคอมพิวเตอร์ทั้ง 2 เครื่อง โดยใช้โปรแกรม "Procomm" ซึ่งจะต้องเลือกอัตราบิทในการส่งและรับข้อมูลให้ตรงกับที่เลือก DIP-SW ของช่องสัญญาณข้อมูลความเร็วต่ำเอาไว้
6. ทำการกดคีย์ตัวอักษรใดๆ เพื่อส่งข้อมูลซึ่งจะปรากฏให้เห็นบนจอภาพในส่วน Local และให้สังเกตว่าตัวอักษรที่รับกลับเข้ามาจากการทำรูดกลับ ซึ่งจะปรากฏให้เห็นในส่วน Remote มีข้อผิดพลาดหรือไม่ เช่น ตัวอักษรที่รับกลับเข้ามาไม่ครบจำนวน, ตัวอักษรที่รับกลับมาไม่เหมือนกับที่ส่งออกไป เป็นต้น



รูปที่ 4.2 การเชื่อมต่อและการเช็ทอุปกรณ์ในการทดลอง

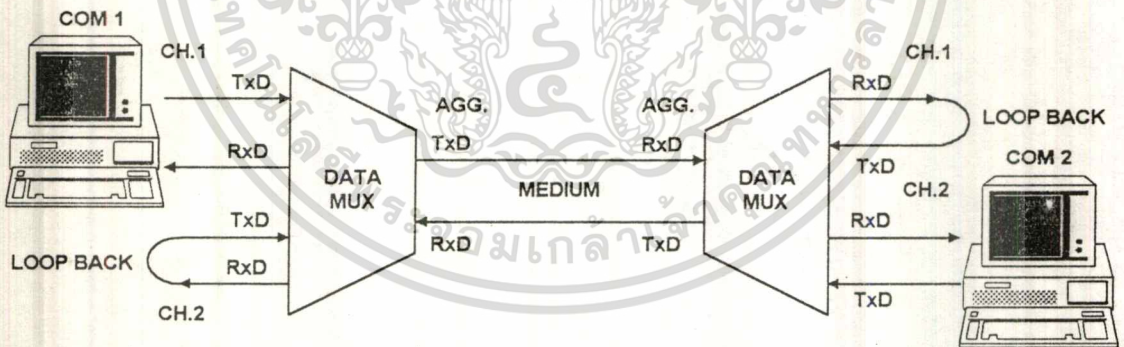
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลอง

จากการทดลองส่งข้อมูลโดยการส่งข้อความต่างๆ แล้วนั้นจากรูปที่ 4.2 จะเห็นว่าสามารถรับข้อความเหล่านั้นกลับเข้ามาได้อย่างถูกต้องทุกประการ ไม่ว่าจะ เป็นเลือกอัตราบิทที่ใช้ในการรับส่งมีอัตราใดหรือเลือกเทคนิคการส่งผ่านข้อมูลในแบบใด ซึ่งแสดงให้เห็นเครื่องสื่อสารข้อมูลความเร็วสูง สามารถทำงานอย่างถูกต้องตามที่ได้ออกแบบไว้นั้น คือสามารถทำการมัลติเพล็กซ์และดีมัลติเพล็กซ์ข้อมูลได้อย่างถูกต้อง สามารถที่จะเลือกใช้งานในลักษณะต่างๆ ได้ตามต้องการซึ่งกำหนดไว้ในคุณลักษณะเฉพาะของเครื่อง

การทดลองที่ 2 การทดสอบการเชื่อมโยง (Link Test)

การทดสอบการเชื่อมโยงเป็นการทดลอง เพื่อต้องการทราบว่าคู่สถานีของเครื่องสื่อสารข้อมูลความเร็วสูงนี้สามารถจะทำการส่งผ่านข้อมูลระหว่างกันได้หรือไม่และมีข้อผิดพลาดประการใดบ้าง โดยในการทดลองส่วนนี้จะทำการส่งผ่านข้อมูลจากเครื่องคอมพิวเตอร์หลายเครื่อง (ไม่เกิน 4 เครื่องตามช่องสัญญาณข้อมูลความเร็วต่ำ) ไปยังเครื่องสื่อสารข้อมูลความเร็วสูง เพื่อทำการมัลติเพล็กซ์และดีมัลติเพล็กซ์ข้อมูล โดยมีตัวกลางในการส่งผ่านข้อมูลเชื่อมต่ออยู่ระหว่างคู่สถานีของเครื่องสื่อสารข้อมูลความเร็วสูงด้วย ดังแสดงในรูปที่ 4.3



รูปที่ 4.3 ทดสอบการเชื่อมโยงระหว่างคู่สถานีของเครื่องสื่อสารข้อมูลความเร็วสูง

ลำดับขั้นการทดลอง

1. นำเครื่องคอมพิวเตอร์ จำนวน 4 เครื่อง มาเชื่อมต่อเข้ากับคู่สถานีของเครื่องสื่อสารข้อมูลความเร็วสูงทางช่องสัญญาณข้อมูลความเร็วต่ำ (CH. Port) ดังแสดงในรูปที่ 4.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. นำอุปกรณ์เชื่อมต่อแบบ DB-25 ซึ่งได้ทำการบัดกรีขาสัญญาณ Txd (ขา 2) และขาสัญญาณ RxD (ขา 3) เข้าด้วยกันแล้วมาต่อเข้ากับช่องสัญญาณข้อมูลความเร็วต่ำที่ยังว่างอยู่ เพื่อทำการลูปกลับที่คู่สถานีปลายทาง (Remote Loop Back) ของเครื่องสื่อสารข้อมูลความเร็วสูง

3. เลือกอัตราบิตและรูปแบบของเทคนิคการส่งผ่านข้อมูลให้ตรงกันทั้งด้านฮาร์ดแวร์ ซึ่งก็คือเครื่องสื่อสารข้อมูลความเร็วสูงและด้านซอฟต์แวร์ ซึ่งใช้โปรแกรม “Procomm” ในการสื่อสารข้อมูล

4. กรณีที่เลือกเทคนิคการส่งผ่านข้อมูลแบบซิงโครนัส ให้วัดรูปคลื่นของสัญญาณ Double Sync Character (BISYNC) ซึ่งกำหนดไว้ในส่วนการออกแบบทางซอฟต์แวร์ด้วย

5. ทำการกดคีย์ตัวอักษรใดๆ เพื่อส่งข้อมูลตัวอักษรออกมาและสังเกตว่าด้านรับกลับมาซึ่งเกิดจากการทำ Remote Loop Back ผ่านตัวกลางในการส่งผ่านแล้ว แล้วกลับมายังเครื่องคอมพิวเตอร์ต้นทางหลังจากทำการคีย์มีลติเพิลิกชันนั้น สามารถรับตัวอักษรเหล่านั้นได้เป็นปกติหรือไม่ มีข้อผิดพลาดอย่างไรบ้าง

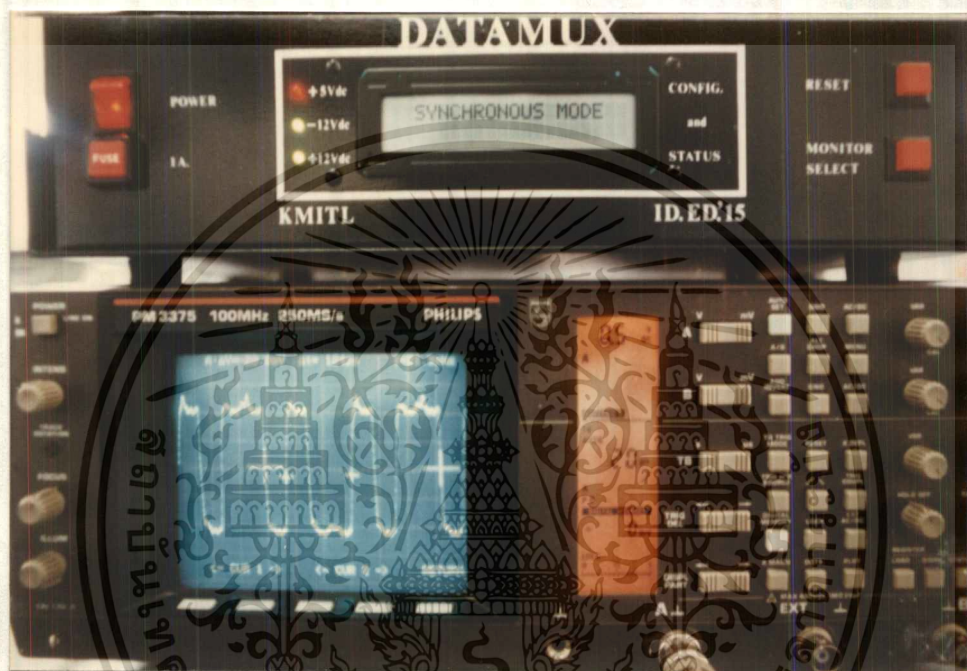


รูปที่ 4.4 การเชื่อมต่อและการเซ็ทอุปกรณ์ในการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลอง

การทดลองนี้แสดงให้เห็นว่า คู่สถานีของเครื่องสื่อสารข้อมูลความเร็วสูง สามารถจะทำการส่งผ่านข้อมูลได้ โดยปราศจากข้อผิดพลาด ซึ่งถึงแม้ว่าอาจจะมีข้อผิดพลาดเกิดขึ้นก็เป็นค่าผิดพลาดที่ยอมรับได้



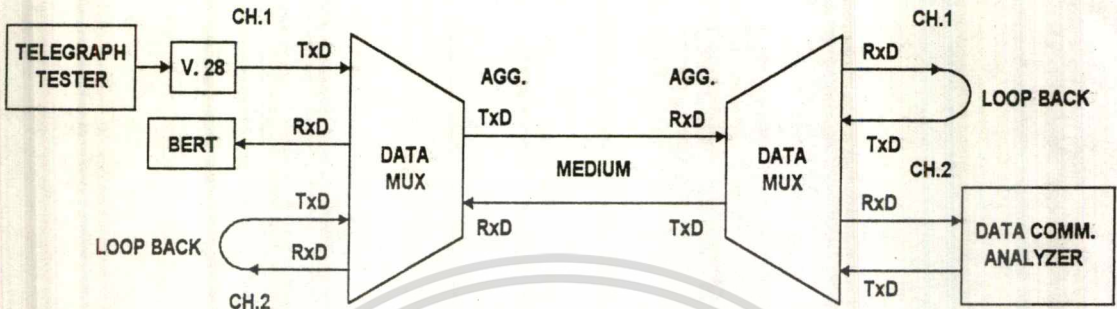
รูปที่ 4.5 รูปคลื่นของสัญญาณ BISYNC

จากรูปที่ 4.5 แสดงให้เห็นว่ารูปคลื่นสัญญาณ BISYNC ซึ่งจะถูกส่งออกไปยังคู่สถานีเพื่อทำการซิงโครไนเซชัน (Synchronization) ระหว่างกัน (ในกรณีเลือกเทคนิคการส่งผ่านข้อมูลแบบซิงโครนัส) ก่อนที่จะทำการส่งข้อมูลตัวอักษรต่อไป

การทดลองที่ 3 การทดสอบการใช้งาน (On Duty Test)

การทดสอบการใช้งาน เป็นการทดลองเพื่อต้องการทราบถึงประสิทธิภาพของเครื่องสื่อสารข้อมูลความเร็วสูงว่ามีเสถียรภาพ (Stability) ดีเพียงใด โดยการทดลองนี้จะทำการส่งผ่านข้อมูลระหว่างคู่สถานีของเครื่องสื่อสารข้อมูลความเร็วสูงเป็นระยะเวลาหลายๆ ชั่วโมง ดังนั้นจึงต้อง

อาศัยแหล่งจ่ายข้อมูลซึ่งสามารถส่งข้อมูลออกมาได้อย่างต่อเนื่องตลอดเวลาและต้องมีเครื่องวัดซึ่งสามารถบันทึกและบอกค่าความผิดพลาดที่เกิดขึ้นได้ด้วย ดังแสดงในรูปที่ 4.6



รูปที่ 4.6 การทดสอบเสถียรภาพการใช้งานคู่สถานีของเครื่องสื่อสารข้อมูลความเร็วสูง

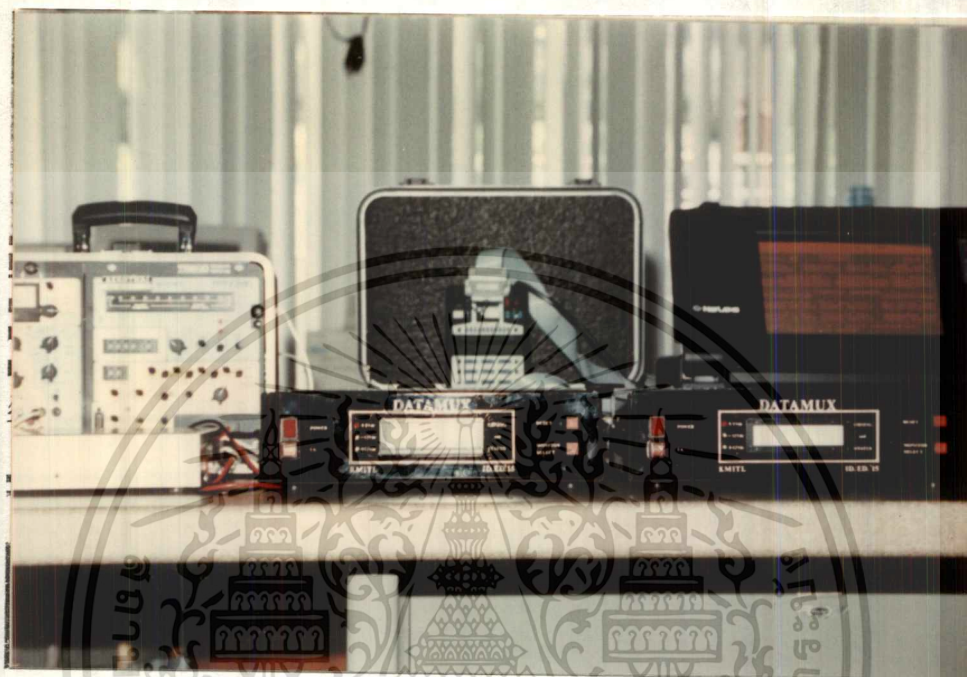
ลำดับขั้นการทดลอง

1. นำเครื่องกำเนิดสัญญาณอย่างต่อเนื่อง ซึ่งจากรูป 4.6 ก็คือ Telegraph Tester ซึ่งให้เอาที่พุดออกมาเป็นการเปลี่ยนแปลงทางกระแส (Current Keying) ดังนั้นจึงต้องใช้ V.28 แปลงจาก Current Keying ไปเป็นสัญญาณข้อมูลตามมาตรฐาน RS232-C ก่อน แล้วจึงเชื่อมต่อเข้ากับช่องสัญญาณข้อมูลความเร็วต่ำ ช่องที่ 1 (CH. 1) ของเครื่องสื่อสารข้อมูลความเร็วสูงและด้านที่เป็นคู่สถานีก็ทำการลูปกลับในช่องสัญญาณข้อมูลความเร็วต่ำที่ตรงกัน (CH. 1) แล้วก็นำเครื่องวัดอัตราบิตผิดพลาด (Bit Error Rate Tester:BERT) มาเชื่อมต่อเข้าไปที่ด้านรับข้อมูลกลับเข้ามาจากการทำลูปกลับเพื่อวัดและบันทึกอัตราบิตผิดพลาด (Bit Error Rate), ส่วนช่องสัญญาณข้อมูลความเร็วต่ำช่องที่ 2 (CH. 2) จุากรูปที่ 4.6 ให้นำเครื่องวิเคราะห์การสื่อสารข้อมูล (Data Communication Analyzer) มาเชื่อมต่อเข้าไป ซึ่งสามารถทำหน้าที่เป็นแหล่งกำเนิดสัญญาณข้อมูลอย่างต่อเนื่องและเป็นตัวตรวจจับและวัดค่าอัตราบิตผิดพลาดได้ในเครื่องเดียวกัน ดังนั้นจึงต้องทำการลูปกลับสัญญาณข้อมูลที่ช่องสัญญาณข้อมูลความเร็วต่ำช่องที่ 2 ของคู่สถานีด้วย

2. ทำการตั้งค่าพารามิเตอร์ (Parameters) ต่างๆ ของเครื่องกำเนิดสัญญาณอย่างต่อเนื่อง และเครื่องวัดอัตราบิตผิดพลาดให้ตรงกับที่ได้กำหนดไว้ในเครื่องสื่อสารข้อมูลความเร็วสูง

3. ทำการทดลองโดยการเปิดใช้งานทิ้งไว้เป็นเวลาอย่างน้อย 3 ชั่วโมง ในสภาวะแวดล้อมปกติ (อุณหภูมิห้องประมาณ 25 องศาเซลเซียส)

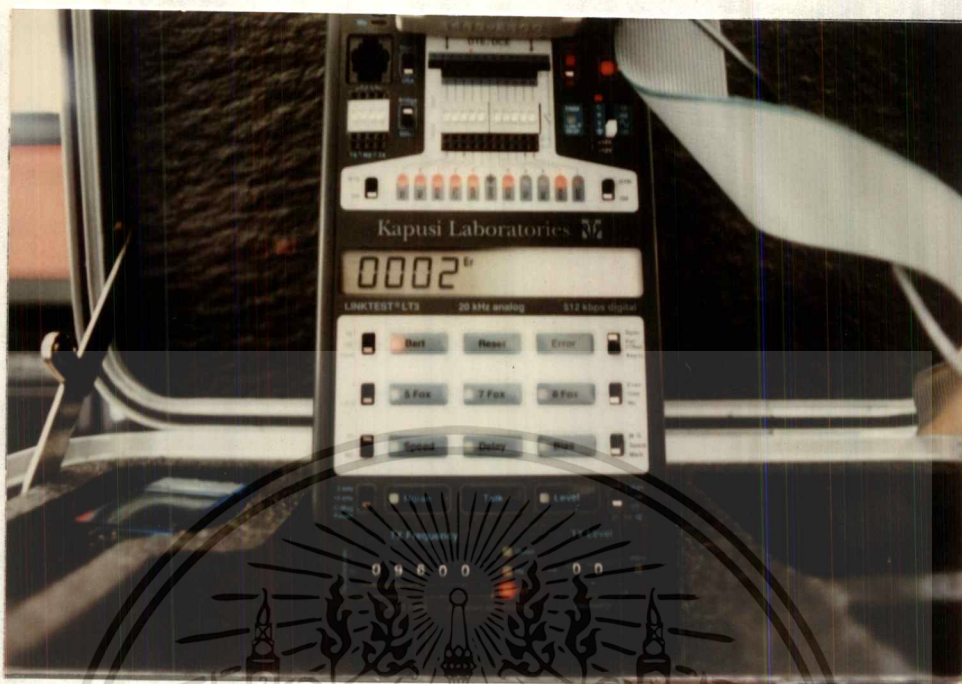
4. บันทึกผลที่ได้จากเครื่องวัดอัตราบิตผิดพลาด เปรียบเทียบกับค่ามาตรฐานที่ยอมรับให้เกิดขึ้นได้



รูปที่ 4.7 การเชื่อมต่อและการเชื่อมต่ออุปกรณ์ในการทดลอง

ผลการทดลอง

จากการทดลอง หลังจากเปิดเครื่องทิ้งไว้เป็นเวลาประมาณ 3 ชั่วโมง เครื่องวัดอัตราบิตผิดพลาดได้ตรวจจับและบันทึกค่าอัตราบิตผิดพลาดสำหรับเทคนิคการส่งข้อมูลแบบซิงโครนัสได้ประมาณ 10^{-5} และแบบอะซิงโครนัสได้ประมาณ 10^{-7} ซึ่งค่าที่วัดได้แสดงให้เห็นว่าเครื่องสื่อสารข้อมูลความเร็วสูงนี้มีเสถียรภาพและประสิทธิภาพในการทำงานได้ดีพอสมควรในสภาวะแวดล้อมที่อุณหภูมิห้องประมาณ 25 องศาเซลเซียส ดังแสดงในรูปที่ 4.8 และ 4.9



รูปที่ 4.8 แสดงค่าอัตราบิตผิดพลาดที่บันทึกได้จากเครื่องวัดอัตราบิตผิดพลาด (BERT)



รูปที่ 4.9 แสดงค่าอัตราผิดพลาดที่บันทึกได้จากเครื่องวิเคราะห์การสื่อสารข้อมูล
ซึ่งแสดงเวลาเริ่มต้นและสิ้นสุดการทดสอบไว้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปผลการทดลองและวิจารณ์

5.1 สรุปผลการทดลอง

จากการทดลองในบทที่ 4 สามารถสรุปได้ว่าเครื่องสื่อสารข้อมูลความเร็วสูงนี้ สามารถทำงานได้จริงตามที่ได้ออกแบบและกำหนดไว้ในคุณลักษณะเฉพาะของเครื่อง จะมีปัญหาเกิดขึ้นบ้างก็ในส่วนของ LCD DISPLAY ซึ่งไม่ได้เสนอไว้ในหัวข้อการเสนอปริญญาโท แต่ทางคณะผู้จัดทำได้เพิ่มเติมในส่วนนี้เข้าไปภายหลัง ซึ่งจากการทดลองการเขียนโปรแกรมเพื่อให้ LCD DISPLAY แสดงสถานะในส่วนต่างๆ ของเครื่องในขณะที่ใช้งานนั้น (ทดลองเฉพาะส่วนของ LCD DISPLAY) สามารถจะแสดงผลออกมาได้ตามที่เขียนโปรแกรมไว้ แต่เมื่อนำ LCD DISPLAY มาประกอบเข้ากับเครื่องสื่อสารข้อมูลความเร็วสูงและให้มีการควบคุมการทำงานของทุกๆ ส่วน โดยหน่วยประมวลผลกลาง (CPU) หน่วยเดียวกัน ปรากฏว่าหน่วยประมวลผลกลางไม่สามารถจะทำงานในส่วนควบคุมการแสดงผลของ LCD DISPLAY ได้ทันกับการรับส่งข้อมูลของเครื่อง ดังนั้นจึงได้ตัดโปรแกรมส่วนแสดงผลของ LCD DISPLAY ออกไปเกือบทั้งหมดเหลือไว้แต่การแสดงผลตามที่ปรากฏให้เห็นอยู่ในเครื่อง ทั้งนี้เพื่อให้เห็นหน่วยประมวลผลกลางสามารถทำการควบคุมการรับส่งข้อมูลได้อย่างถูกต้องเป็นวัตถุประสงค์หลักของเครื่องสื่อสารข้อมูลความเร็วสูงนี้

5.2 แนวทางการพัฒนา

ในการออกแบบทางด้านฮาร์ดแวร์ของเครื่องได้ออกแบบไว้ เพื่อการพัฒนาในอนาคตข้างหน้า ซึ่งได้แก่ การเลือกใช้อุปกรณ์เชื่อมต่อ (Connector) แบบ DB-25 ซึ่งมีมาตรฐานใช้งานในการควบคุมมาก เพื่อให้สามารถทำการทดลองปรับปรุงระดับโปรโตคอล (Protocol) ที่ใช้ในเครื่องให้มีระดับสูงขึ้นได้เพื่อประสิทธิภาพของระบบการสื่อสารข้อมูลที่ดีและทันสมัยยิ่งขึ้น ทั้งนี้ก็จะต้องทำการพัฒนาทางด้านซอฟต์แวร์ควบคู่กันไปด้วย อีกส่วนก็คือส่วนของการแสดงผลโดยใช้ LCD DISPLAY ก็จะต้องมีการพัฒนาในส่วนของการซอฟต์แวร์ โดยทำการเปลี่ยนให้หน่วยประมวลผลกลางทำงานเพื่อรับและเขียนข้อมูลเป็นแบบโพลลิ่ง (Polling) ไปเป็นแบบใช้การอินเตอร์รัพท์ (Interrupt) แทน ซึ่งคาดว่าจะสามารถทำให้หน่วยประมวลผลกลางทำงานได้ทันและไม่เกิดข้อผิดพลาดขึ้นได้และในส่วนของการใช้เทคนิคการส่งผ่านข้อมูลแบบซิงโครนัสนั้น ควรที่จะปรับปรุงวงจรส่วนกำเนิดสัญญาณพิก้าอ้างอิง สำหรับการส่งผ่านข้อมูลขนาด 64 kbps ให้มีความเที่ยงตรงและเสถียรภาพสูงขึ้น เพื่อที่จะได้อัตราผิดพลาด (Bit Error Rate) ที่ต่ำลงอีก ซึ่งจากข้อเสนอ

แนะทั้งหมดที่ได้กล่าวมานี้ ทางคณะผู้จัดทำได้พยายามแก้ไขปรับปรุงแล้วแต่ด้วยเวลาอันจำกัดจึงไม่สามารถกระทำได้ดีเท่าที่ควร ดังนั้นจึงแก้ไขปรับปรุงแต่เฉพาะส่วนที่สำคัญๆ ซึ่งได้เสนอไว้ในหัวข้อการเสนอปฏิญยานิพนธ์ เพื่อให้บรรลุวัตถุประสงค์ที่ได้ตั้งเอาไว้

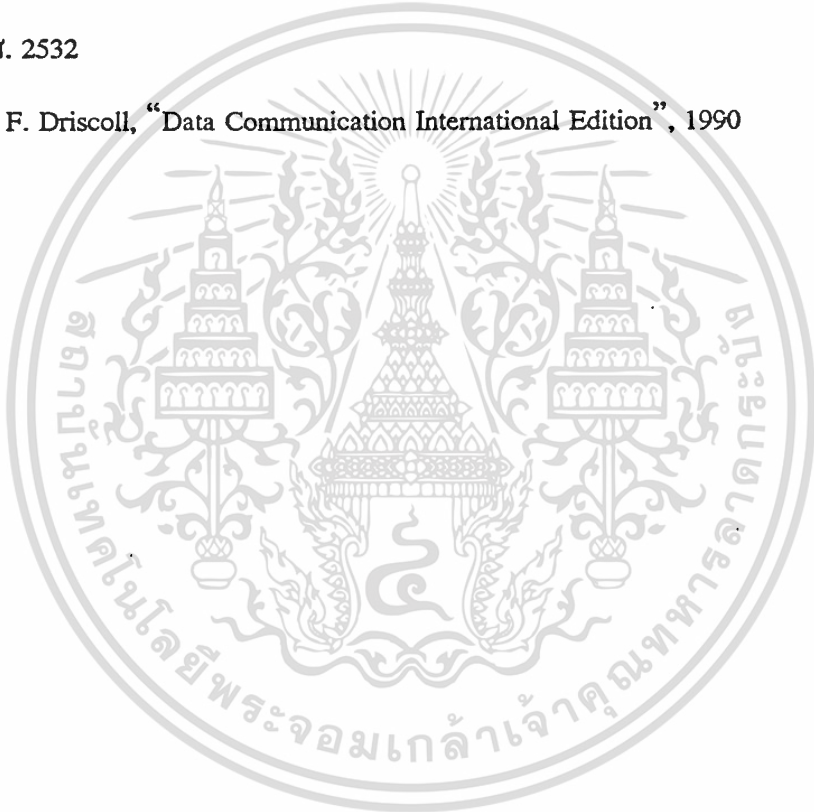
5.8 ปัญหาที่เกิดขึ้นในการทดลอง

ปัญหาใหญ่ที่เกิดขึ้นก็คือไม่สามารถที่จะจัดหาอุปกรณ์ปลายทางข้อมูล (DTE) จำนวนมาก เช่น เครื่องคอมพิวเตอร์, พรินเตอร์ เป็นต้น มาใช้ในการทดลองได้และมีความยากลำบากในการจัดหาเครื่องมือวัดและทดสอบเกี่ยวกับการสื่อสารข้อมูลมาใช้เปรียบเทียบอ้างอิงในการทดลองได้อย่างพอเพียง



บรรณานุกรม

- 1) ศูนย์ภาษาคอมพิวเตอร์, “การใช้งาน Z-80”, สำนักพิมพ์ฟิสิกส์เซ็นเตอร์, พ.ศ. 2534
- 2) ชูชัย ชนสารตั้งเจริญ ทินกร ดีก, “การสื่อสารข้อมูล”, สำนักพิมพ์ฟิสิกส์เซ็นเตอร์, พ.ศ. 2536
- 3) น.ต.ดร. ไพศาล สงวนหมู่ รศ. ยืน ภู่วรรณ, “การสื่อสารข้อมูลและไมโครคอมพิวเตอร์-เน็ตเวิร์ค”, บริษัท ซีเอ็ดยูเคชั่น จำกัด, พ.ศ. 2531
- 4) รศ. ยืน ภู่วรรณ, “ทฤษฎีและการประยุกต์ไมโครโปรเซสเซอร์ Z-80”, บริษัท ซีเอ็ดยูเคชั่น จำกัด, พ.ศ. 2532
- 5) Frederick F. Driscoll, “Data Communication International Edition”, 1990



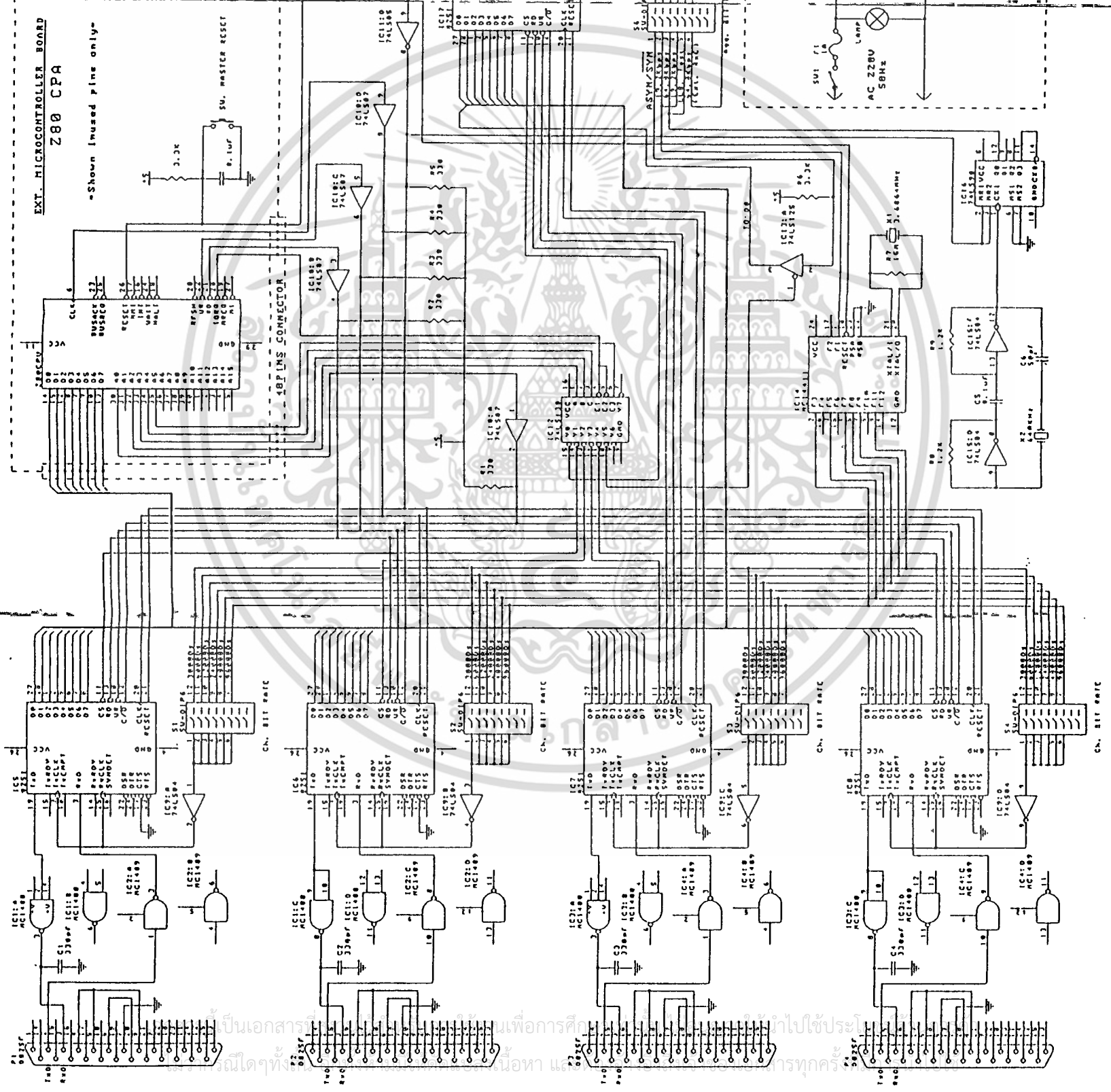


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- * SPECIFICATION ***
1. CLASS OF EQUIPMENT
- DATA COMMUNICATION EQUIPMENT (DCE)
 2. COMMUNICATION MODES
- HALF DUPLEX (HDX)
- FULL DUPLEX (FDX)
 3. NETWORK CONFIGURATION
- POINT TO POINT
 4. SERIAL DATA TRANSMISSION TECHNIQUES
- ASYNCHRONOUS (ASYM) : DC TO 19.2Kbps
- SYNCHRONOUS (SYN) : DC TO 64Kbps
 5. LOW SPEED DATA CHANNELS
- 4 ASYNCHRONOUS CHANNELS
- BIT RATE: 300, 600, 1200, 2400, 4800 or 9600bps
 6. HIGH SPEED DATA CHANNEL
- 1 ASYNCHRONOUS or SYNCHRONOUS CHANNEL
- BIT RATE: 19.2Kbps(ASYM) or 64Kbps(SYN)
 7. HARDWARE or PHYSICAL INTERFACE
- RS-232-C; CONNECTOR TYPE DB-25
 8. SOFTWARE INTERFACE or NETWORK PROTOCOL
- PROPRIETARY

**EXT. MICROCONTROLLER BOARD
Z80 CPA**

-Shown Inused pins only-

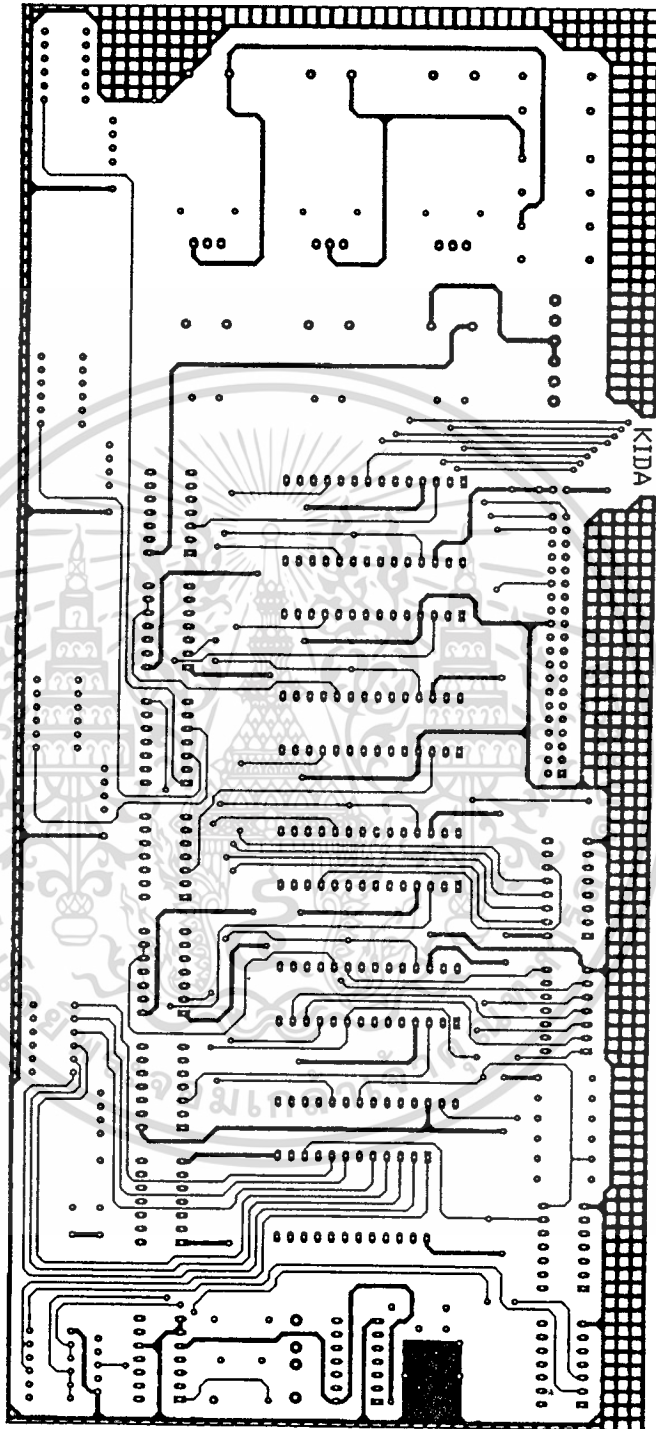


LOW SPEED CH. INTERFACE TO DTE.

POWER SUPPLY BOARD

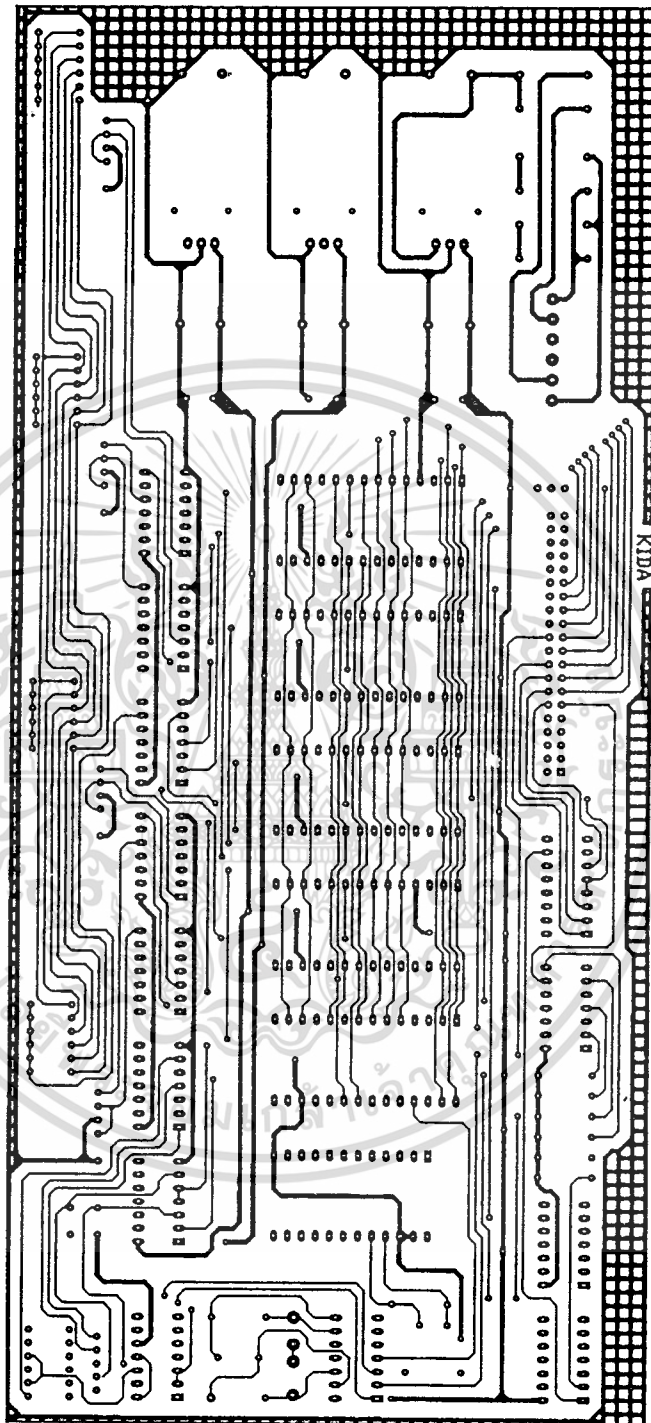
HIGH SPEED DATA COMMUNICATION CPU
BY TIME DIVISION MULTIPLEXING IC

วางบรรทัดเครื่องสื่อสารข้อมูลความเร็วสูงโดยใช้วิธีการมัลติเพล็กซ์แบบแบ่งช่วงเวลา



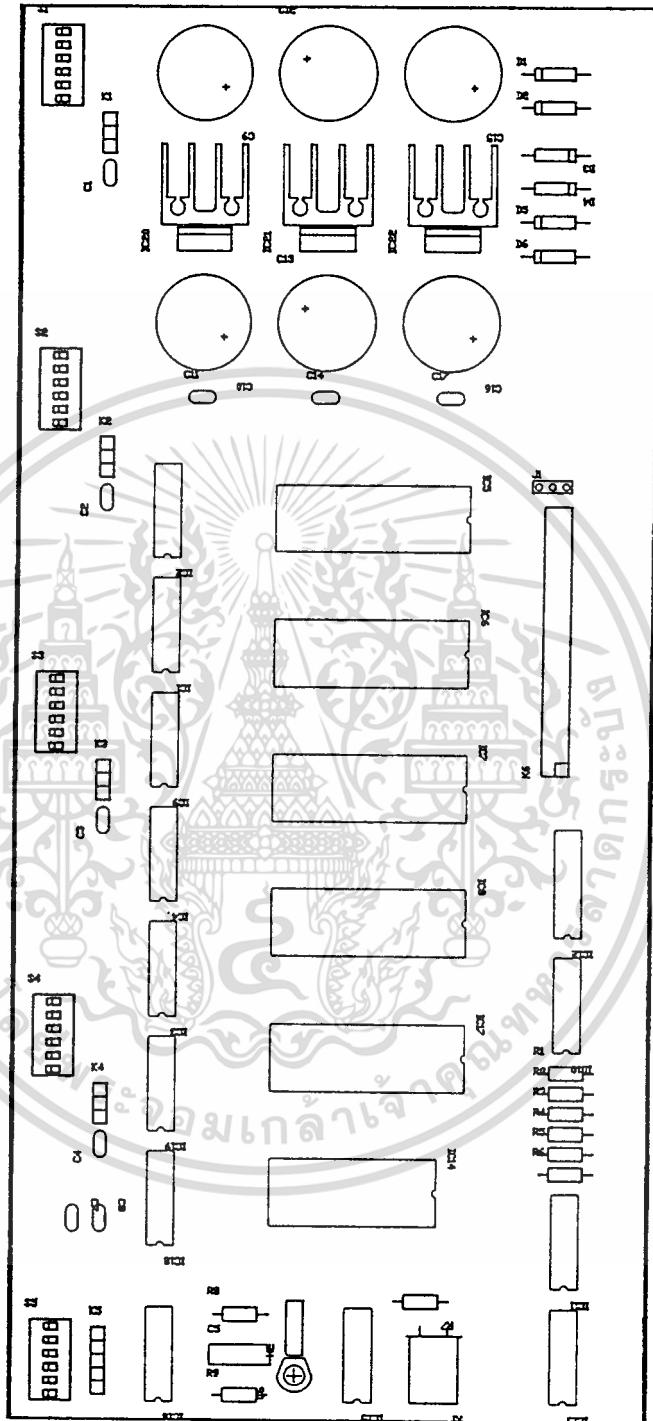
ลายวงจรด้านบน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ลายวงจรด้านล่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



การวางอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการอุปกรณ์ที่ใช้ในโครงการ

REF NO.	DESCRIPTION	PART NO.
C1,C2,C3,C4,C7,C8	Ceramic	330pF
C5	Ceramic	0.1uF
C6	Ceramic	50uF
C9,C10	Electrolytic	2200uF
C11,C12,C13,C14,15,C16,C17	Ceramic	100nF
CC	Ceramic	0.1uF
CPU	Board control	Z-80 CPA
D1	Diode	1N4007
D2,D3	Diode	1N5401
F1	Fuse	1A
IC1,IC3,IC18	IC	MC488
IC2,IC4,IC19	IC	MC1489
IC5,IC6,IC7,IC8,IC17	IC	8251
IC9,IC15	IC	74LS04
IC10	IC	74LS07
IC11	IC	74LS05
IC12	IC	74LS13
IC13	IC	74LS12
IC14	IC	MC14411

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IC16	IC	74LS90
IC20	IC	MC7812
IC21	IC	MC7912
IC22	IC	MC7805
P1,P2,P3,P4,P5	Connector	DB25 F
R1,R2,R3,R4,R5	Resistor	330
R6	Resistor	3.3k
R7	Resistor	1.5M
R8,R9	Resistor	1.2M
SW1,SW2,SW3,SW4,SW5	DIP Switch	6 Channel
X1	Crystal	3.6864MHz
X2	Crystal	640KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ข.

การใช้งานเครื่องสื่อสารข้อมูลความเร็วสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้งานเครื่องสื่อสารข้อมูลความเร็วสูง

การนำเครื่องสื่อสารข้อมูลความเร็วสูงไปใช้งานนั้น ก่อนอื่นจะต้องทราบถึงคุณลักษณะเฉพาะของเครื่องเสียก่อน ซึ่งได้กล่าวถึงมาแล้วในบทที่ 3 ซึ่งการใช้งานโดยทั่วไปสามารถกระทำได้ตามขั้นตอนดังต่อไปนี้

1. ต่อเครื่องคอมพิวเตอร์หรืออุปกรณ์ปลายทางของข้อมูล (DTE) เข้ากับเครื่องสื่อสารข้อมูลความเร็วสูงโดยใช้สายเชื่อมต่อที่มีอุปกรณ์เชื่อมต่อ (Connector) เป็นแบบ DB-25 M ซึ่งใช้เชื่อมต่อเข้ากับเครื่องสื่อสารข้อมูลความเร็วสูง และอีกข้างหนึ่งใช้อุปกรณ์เชื่อมต่อ (Connector) เป็นแบบ DB-25 F ซึ่งใช้เชื่อมต่ออุปกรณ์ปลายทางข้อมูล (DTE) และทำการเชื่อมต่อสายเชื่อมโยงระหว่างคู่สถานีของเครื่องซึ่งใช้อุปกรณ์เชื่อมต่อ (Connector) แบบ DB-25 F เข้าด้วยกัน

2. เลือกอัตราบิตในการรับส่งข้อมูลโดยใช้ DIP-SW ซึ่งอยู่ติดลงมาจาก DB-25 F แต่ละช่องสัญญาณข้อมูลความเร็วต่ำจะมี DIP-SW ประจำอยู่ทุกช่องสัญญาณ โดยการเลือกอัตราบิตในการส่งข้อมูลแบบอะซิงโครนัสโดยมีความหมายดังนี้

1. ถ้า ON ขา 1 จะเป็นการเลือกอัตราบิต = 300 BPS
2. ถ้า ON ขา 2 จะเป็นการเลือกอัตราบิต = 600 BPS
3. ถ้า ON ขา 3 จะเป็นการเลือกอัตราบิต = 1200 BPS
4. ถ้า ON ขา 4 จะเป็นการเลือกอัตราบิต = 2400 BPS
5. ถ้า ON ขา 5 จะเป็นการเลือกอัตราบิต = 4800 BPS
6. ถ้า ON ขา 6 จะเป็นการเลือกอัตราบิต = 9600 BPS

3. เลือกรูปแบบของเทคนิคการส่งผ่านข้อมูลว่าจะให้เป็นแบบซิงโครนัสหรืออะซิงโครนัส และเลือกอัตราบิตในการส่งผ่านข้อมูลเชื่อมโยงระหว่างคู่สถานีของเครื่อง โดยการเลือกที่ DIP-SW "Function" ซึ่งแต่ละขามีความหมายดังนี้

1. ถ้า ON ขา 1 จะเป็นการเลือกการส่งแบบซิงโครนัส แต่หาก OFF ขา 1 จะเป็นการเลือกการส่งแบบอะซิงโครนัส
2. ถ้า ON ขา 2 และ 4 จะเป็นการเลือกอัตราบิต = 19.2 KBPS (Asynchronous)
3. ถ้า ON ขา 3 และ 6 จะเป็นการเลือกอัตราบิต = 640 KBPS (Synchronous)

4. ถ้า ON ขา 5 จะเป็นการเลือกอัตราบิต = 640 kbps ซึ่งใช้ในกรณีที่ทำกร LOCAL LOOP BACK TEST (LB.TEST)

4. ทำกร ON สวิทช์ POWER จะสังเกตเห็น LCD DISPLAY ทำกรแสดงผลเป็นชื่อของเครื่องคือ “HIGH SPEED DATA COMM. EQUIPMENT BY TDM” และเสนอรูปแบบของการส่งผ่านข้อมูลเป็นแบบ “SYNCHRONOUS MODE” หรือ “ASYNCHRONOUS MODE”

5. ทำกรส่งผ่านข้อมูลเพื่อการติดต่อสื่อสาร โดยใช้ข้อมูลในรูปแบบต่างๆ

6. ถ้าเกิดการผิดพลาดในการทำงานให้กดปุ่ม RESET ซึ่งอยู่ด้านหน้าของเครื่อง หรือในกรณีทำกรเปลี่ยนรูปแบบของการส่งผ่านข้อมูล (ASYN/SYN) จะต้องทำกร RESET เครื่องใหม่ทุกครั้งด้วย





ภาคผนวก ค.

โปรแกรมที่ใช้ในโครงการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

***** SETUP Z-80 CPU *****

```
CPU      "Z80.TBL"
HOF      "INT8"
ORG      0000H
```

START:

```
PDATA: EQU 80H
PSIGN: EQU 82H
PREAD: EQU 84H
.
LD      HL, 0000H      ;Power on Delay
LOOP1:
DEC     HL
LD      A, L
OR      H
JR      NZ, LOOP1
LD      SP, 9FFFH     ;Set SP.
```

***** MAIN *****

MAING:

```
CALL    INITLCD
CALL    MAINDISP
```

***** SETUP 8251 USART *****

```
IN      A, (34H)
.
BIT     0, A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

JR      NZ, ASYNC

LD      HL, TAB4

CALL   DISP1

LD      HL, TAB00

CALL   DISP2

LD      A, 38H

OUT    (21H), A

LD      A, 16H

OUT    (21H), A

OUT    (21H), A

LD      A, 95H

OUT    (21H), A

LD      A, 7AH

OUT    (25H), A

OUT    (29H), A

OUT    (2DH), A

OUT    (31H), A

LD      A, 15H

OUT    (25H), A

OUT    (29H), A

OUT    (2DH), A

OUT    (31H), A

JR      MAIN1

```

ASYNC:

```

LD      HL,TAB3
CALL   DISP1
LD      HL,TAB00
CALL   DISP2
LD      A,7AH          ;Set 8251 ASYNC
OUT     (21H),A        ;Clock * 16
OUT     (25H),A        ;7 bit , E Parity , 1 Stop
OUT     (29H),A
OUT     (2DH),A
OUT     (31H),A
LD      A,15H          ;Set TX & RX Enable
OUT     (21H),A
OUT     (25H),A        ;and Reset ERROR
OUT     (29H),A
OUT     (2DH),A
OUT     (31H),A
JR      MAIN2

```

***** MAIN PROGRAM *****

MAIN1:

```

IN      A,(21H)
BIT     6,A
JR      NZ,MAIN1
CALL   MAIN
JR      MAIN1

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAIN2:

```
CALL    MAIN
JR      MAIN2
```

***** DATA COMM.*****

MAIN:

```
LD      E,00H           ;Reset Control word
LD      HL,9200H        ;Set Buf.data = Address 9200H
IN      A,(21H)        ;Read config port AGG
BIT     1,A             ;Check. RX ready
CALL    NZ,READ1       ;IF RX ready call READ1
LD      C,25H
IN      A,(C)           ;Read config port 1
BIT     1,A             ;Check RX
CALL    NZ,READ2       ;IF RX ready call READ2

LD      C,29H

IN      A,(C)           ;Read config port 2
BIT     1,A             ;Check RX
CALL    NZ,READ3       ;IF RX ready call READ3

LD      C,2DH

IN      A,(C)           ;Read config port 3
BIT     1,A             ;Check RX
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

CALL    NZ,READ4      ;IF RX ready call READ4

LD      C,31H

IN      A,(C)         ;Read config port 4

BIT     1,A           ;Check RX

CALL    NZ,READ5      ;IF RX ready call READ5

LD      A,00H

CP      E             ;Check input data port 1-4

CALL    NZ,TRAX       ;IF DATA = yes THEN call TRAX

RET     ;Jump to MAIN

READ2:
DEC     C

IN      A,(C)         ;In data port 1

LD      (HL),A        ;Load data port 1 to Buf.data

INC     HL

INC     C

SET     0,E           ;Set bit 0 = 1 of Control word

RET

READ3:

DEC     C

IN      A,(C)         ;In data port 2

LD      (HL),A        ;Load data port 2 to Buf.data

INC     C

INC     HL

```

```

SET      1,E          ;Set bit 1 = 1 of Control word
RET

READ4:

DEC      C

IN       A,(C)        ;In data port 3
LD       (HL),A       ;Load data port 3 to Buf.data
INC      C
INC      HL
SET      2,E          ;Set bit 2 = 1 of Control word
RET

READ5:

DEC      C
IN       A,(C)        ;In data port 4
LD       (HL),A       ;Load data port 4 to Buf.data
INC      C
INC      HL
SET      3,E          ;Set bit 3 = 1 of Control word
RET

READ1:

EXX

IN       A,(20H)

LD       B,A

CP       0AAH

EXX

RET      Z

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

EXX

LD      A,10H          ;Load START FRAME

CP      B              ;Check data = START FRAME

JR      NZ,JUMP1      ;jump if data <> STRAT FRAME

LD      D,01H         ;Set counter data

EXX

RET

```

JUMP1:

```

LD      A,01H

CP      D              ;Check data number 2

JR      NZ,JUMP2      ;Jump data<>number 2

LD      E,B           ;load Control word to E

INC     D              ;INC counter data

EXX

RET

```

JUMP2:

```

INC     D              ;INC counter data

LD      A,E

AND     00001111B

LD      E,A

LD      C,24H         ;C = index port 1

BIT     0,E           ;Check Data port 1

RES     0,E

JR      NZ,TX1        ;Jump data port 1 = yes

```

```

LD      C,28H          ;C = index port 2
BIT     1,E            ;Check data port 2
RES     1,E
JR      NZ,TX1         ;Jump data port 2 = yes
LD      C,2CH          ;C = index port 3
BIT     2,E            ;Check data port 3
RES     2,E
JR      NZ,TX1         ;Jump data port 3 = yes
LD      C,30H          ;C = index port 4
BIT     3,E            ;Check data port 4
RES     3,E
JR      NZ,TX1         ;Jump data port 4 = yes
EXX
RET

```

TX1:

```

LD      A,B
OUT     (C),A
EXX
RET

```

TRAX:

```

LD      HL,9200H
LD      B,10H          ;B = START FRAME
CALL    TX2           ;Send START FRAME

```

```

LD      B,E           ;B = Control word
CALL   TX2           ;Send Control word

LD      B,04H
LD      A,00H

ST3:
SRL    E             ;counter all data

ADC    A,00H

DJNZ   ST3

LD     E,A

ST1:
LD     B,(HL)        ;B = data in BUF.data
CALL   TX2           ;Send data
INC    HL            ;INC BUF.data
DEC    E             ;DEC data counter
JR     NZ,ST1        ;Jump Counter <> 0
RET

TX2:
IN     A,(21H)       ;read config port AGG

BIT    0,A           ;TX ready

JR     NZ,ST2        ;Jump if TX ready

BIT    1,A           ;RX ready

CALL   NZ,READ1      ;Jump if RX ready

JR     TX2

```

ST2:

```
LD      A,B          ;Data to A
OUT     (20H),A      ;out data to port AGG
RET
```

TAB00:DFB" "

TAB1:DFB"HIGH SPEED DATA COMM"

TAB2:DFB " EQUIPMENT BY TDM "

TAB3:DFB" ASYNCHRONOUS MODE "

TAB4:DFB" SYNCHRONOUS MODE "

AGG:DFB"AGG:"

P1:DFB"PORT 1: "

P2:DFB"PORT 2: "

P3:DFB "PORT 3: "

P4:DFB"PORT 4: "

ND:DFB"PORT NO CONNECTED!!!"

DRX:DFB" RX "

DTX:DFB" TX "

MAINDISP:

CALL CLS

LD HL,TAB1

CALL DISP2

CALL DELAYL

CALL DELAYL

CALL LOGO

CALL CLS

CALL LOGO

CALL CLS

CALL LOGO

CALL DELAYL

CALL DELAYL

RET

CLS:

LD HL,TAB00

CALL DISP1

LD HL,TAB00

CALL DISP2

CALL DELAYH

RET

LOGO:

LD HL,TAB1

CALL DISP1

LD HL,TAB2

CALL DISP2

CALL DELAYL

RET

INITLCD:

LD A,00111000B

OUT (PDATA),A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

CALL    DELAY

CALL    DELAY

LD      A,00001111B

OUT     (PDATA),A

CALL    DELAY

LD      A,00000110B

OUT     (PDATA),A

CALL    READY

CALL    DELAY

RET

;***** DELAY *****

DELAY:

PUSH   BC

LD     B,00H

DE1:

DJNZ  DE1

POP   BC

RET

;***** LONG DELAY *****

DELAYL:

LD     D,OFFH

L1:

CALL   DELAY

CALL   DELAY

CALL   DELAY

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

DEC    D
JR     NZ,L1
RET

```

DELAYH:

```
LD     D,5FH
```

L11:

```
CALL  DELAY
```

```
CALL  DELAY
```

```
CALL  DELAY
```

```
DEC   D
```

```
JR    NZ,L11
```

```
RET
```

;***** CHECK BUSY FLAG *****

READY:

```
IN    A,(PREAD)
```

```
BIT   7,A
```

```
JR    NZ,READY
```

```
RET
```

;***** SET ADDRESS DD RAM *****

GOTO:

```
SET   7,A
```

```
OUT   (PDATA),A
```

```
CALL  READY
```

```
RET
```

DISP1:

```

LD      A,00H
CALL    GOTO
CALL    WLINE20
CALL    WLCD
RET

```

DISP2:

```

LD      A,40H
CALL    GOTO
CALL    WLINE20
CALL    WLCD
RET

```

DISP21:

```

LD      A,40H
CALL    GOTO
CALL    WLINE7
CALL    WLCD
RET

```

DISP22:

```

LD      A,47H
CALL    GOTO
CALL    WLINE13
CALL    WLCD
RET

```

WLINE7:

LD B,7

RET

WLINE13:

LD B,13

RET

WLINE20:

LD B,20

RET

WLCD:

LD A,(HL)

LD D,A

CALL WBYTE

INC HL

DJNZ WLCD

RET

WBYTE:

LD A,D

OUT (PSIGN),A

CALL READY

RET

END

;***** GOODBYE *****

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



8251A PROGRAMMABLE COMMUNICATION INTERFACE

- Synchronous and Asynchronous Operation
- Synchronous 5–8 Bit Characters; Internal or External Character Synchronization; Automatic Sync Insertion
- Asynchronous 5–8 Bit Characters; Clock Rate—1, 16 or 64 Times Baud Rate; Break Character Generation; 1, 1½, or 2 Stop Bits; False Start Bit Detection; Automatic Break Detect and Handling
- Synchronous Baud Rate—DC to 64K Baud
- Asynchronous Baud Rate—DC to 19.2K Baud
- Full-Duplex, Double-Buffered Transmitter and Receiver
- Error Detection—Parity, Overrun and Framing
- Compatible with an Extended Range of Intel Microprocessors
- 28-Pin DIP Package
- All Inputs and Outputs are TTL Compatible
- Available in EXPRESS
 - Standard Temperature Range
 - Extended Temperature Range

The Intel® 8251A is the enhanced version of the industry standard, Intel 8251 Universal Synchronous/Asynchronous Receiver/Transmitter (USART), designed for data communications with Intel's microprocessor families such as MCS-48, 80, 85, and iAPX-86, 88. The 8251A is used as a peripheral device and is programmed by the CPU to operate using virtually any serial data transmission technique presently in use (including IBM "bi-sync"). The USART accepts data characters from the CPU in parallel format and then converts them into a continuous serial data stream for transmission. Simultaneously, it can receive serial data streams and convert them into parallel data characters for the CPU. The USART will signal the CPU whenever it can accept a new character for transmission or whenever it has received a character for the CPU. The CPU can read the complete status of the USART at any time. These include data transmission errors and control signals such as SYNDET, TxEMPTY. The chip is fabricated using N-channel silicon gate technology.

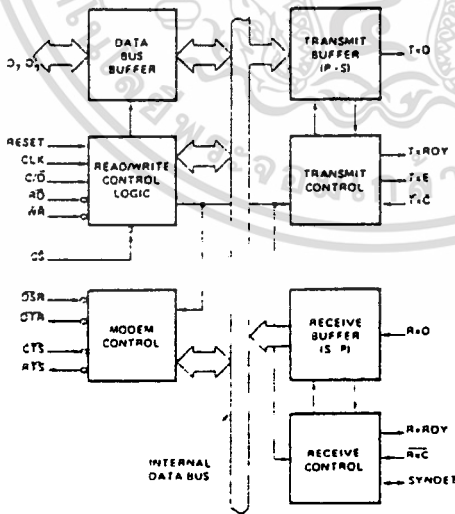


Figure 1. Block Diagram

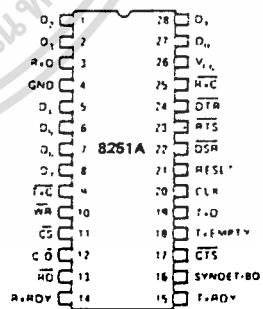


Figure 2. Pin Configuration



FEATURES AND ENHANCEMENTS

The 8251A is an advanced design of the industry standard USART, the Intel® 8251. The 8251A operates with an extended range of Intel microprocessors and maintains compatibility with the 8251. Familiarization time is minimal because of compatibility and involves only knowing the additional features and enhancements, and reviewing the AC and DC specifications of the 8251A.

The 8251A incorporates all the key features of the 8251 and has the following additional features and enhancements:

- 8251A has double-buffered data paths with separate I/O registers for control, status, Data In, and Data Out, which considerably simplifies control programming and minimizes CPU overhead.
- In asynchronous operations, the Receiver detects and handles "break" automatically, relieving the CPU of this task.
- A refined Rx initialization prevents the Receiver from starting when in "break" state, preventing unwanted interrupts from a disconnected USART.
- At the conclusion of a transmission, TxD line will always return to the marking state unless SBRK is programmed.
- Tx Enable logic enhancement prevents a Tx Disable command from halting transmission until all data previously written has been transmitted. The logic also prevents the transmitter from turning off in the middle of a word.
- When External Sync Detect is programmed, Internal Sync Detect is disabled, and an External Sync Detect status is provided via a flip-flop which clears itself upon a status read.
- Possibility of false sync detect is minimized by ensuring that if double character sync is programmed, the characters be contiguously detected and also by clearing the Rx register to all ones whenever Enter Hunt command is issued in Sync mode.
- As long as the 8251A is not selected, the \overline{RD} and \overline{WR} do not affect the internal operation of the device.
- The 8251A Status can be read at any time but the status update will be inhibited during status read.
- The 8251A is free from extraneous glitches and has enhanced AC and DC characteristics, providing higher speed and better operating margins.
- Synchronous Baud rate from DC to 64K.

FUNCTIONAL DESCRIPTION

General

The 8251A is a Universal Synchronous/Asynchronous Receiver/Transmitter designed for a wide range of Intel microcomputers such as 8048, 8080, 8085, 8086 and 8088. Like other I/O devices in a microcomputer system, its functional configuration is programmed by the system's software for maximum flexibility. The 8251A can support most serial data techniques in use, including IBM "bi-sync."

In a communication environment an interface device must convert parallel format system data into serial format for transmission and convert incoming serial format data into parallel system data for reception. The interface device must also delete or insert bits or characters that are functionally unique to the communication technique. In essence, the interface should appear "transparent" to the CPU, a simple input or output of byte-oriented system data.

Data Bus Buffer

This 3-state, bidirectional, 8-bit buffer is used to interface the 8251A to the system Data Bus. Data is transmitted or received by the buffer upon execution of INput or OUTput instructions of the CPU. Control words, Command words and Status information are also transferred through the Data Bus Buffer. The Command Status, Data-In and Data-Out registers are separate, 8-bit registers communicating with the system bus through the Data Bus Buffer.

This functional block accepts inputs from the system Control bus and generates control signals for overall device operation. It contains the Control Word Register and Command Word Register that store the various control formats for the device functional definition.

RESET (Reset)

A "high" on this input forces the 8251A into an "Idle" mode. The device will remain at "Idle" until a new set of control words is written into the 8251A to program its functional definition. Minimum RESET pulse width is 6 t_{CY} (clock must be running).

- A command reset operation also puts the device into the "Idle" state.

CLK (Clock)

The CLK input is used to generate internal device timing and is normally connected to the Phase 2 (TTL) output of the Clock Generator. No external inputs or outputs are referenced to CLK but the frequency of CLK must be greater than 30 times the Receiver or Transmitter data-bit rates.

 \overline{WR} (Write)

A "low" on this input informs the 8251A that the CPU is writing data or control words to the 8251A.

 \overline{RD} (Read)

A "low" on this input informs the 8251A that the CPU is reading data or status information from the 8251A.

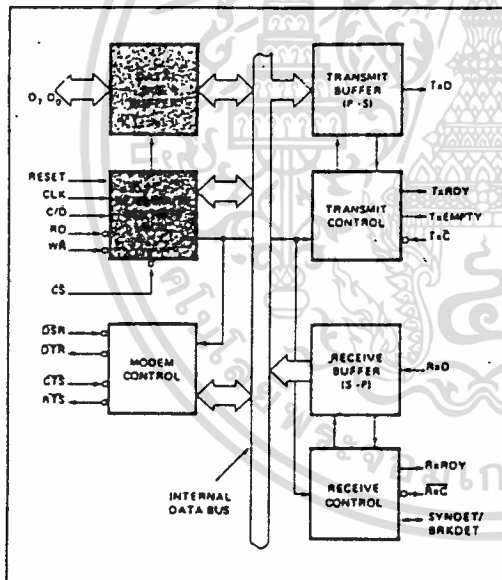


Figure 3. 8251A Block Diagram Showing Data Bus Buffer and Read/Write Logic Functions

C/D	\overline{RD}	\overline{WR}	\overline{CS}	
0	0	1	0	8251A DATA - DATA BUS
0	1	0	0	DATA BUS - 8251A DATA
1	0	1	0	STATUS - DATA BUS
1	1	0	0	DATA BUS - CONTROL
X	1	1	0	DATA BUS - 3-STATE
X	X	X	1	DATA BUS - 3-STATE

C/D (Control/Data)

This input, in conjunction with the \overline{WR} and \overline{RD} inputs, informs the 8251A that the word on the Data Bus is either a data character, control word or status information.

1 = CONTROL/STATUS; 0 = DATA.

 \overline{CS} (Chip Select)

A "low" on this input selects the 8251A. No reading or writing will occur unless the device is selected. When \overline{CS} is high, the Data Bus is in the float state and \overline{RD} and \overline{WR} have no effect on the chip.

Modem Control

The 8251A has a set of control inputs and outputs that can be used to simplify the interface to almost any modem. The modem control signals are general purpose in nature and can be used for functions other than modem control, if necessary.

DSR (Data Set Ready)

The DSR input signal is a general-purpose, 1-bit inverting input port. Its condition can be tested by the CPU using a Status Read operation. The DSR input is normally used to test modem conditions such as Data Set Ready.

DTR (Data Terminal Ready)

The DTR output signal is a general-purpose, 1-bit inverting output port. It can be set "low" by programming the appropriate bit in the Command Instruction word. The DTR output signal is normally used for modem control such as Data Terminal Ready.

RTS (Request to Send)

The RTS output signal is a general-purpose, 1-bit inverting output port. It can be set "low" by programming the appropriate bit in the Command Instruction word. The RTS output signal is normally used for modem control such as Request to Send.

CTS (Clear to Send)

A "low" on this input enables the 8251A to transmit serial data if the Tx Enable bit in the Command byte is set to a "one." If either a Tx Enable off or CTS off condition occurs while the Tx is in operation, the Tx will transmit all the data in the USART, written prior to Tx Disable command before shutting down.

Transmitter Buffer

The Transmitter Buffer accepts parallel data from the Data Bus Buffer, converts it to a serial bit stream, inserts the appropriate characters or bits (based on the communication technique) and outputs a composite serial stream of data on the TxD output pin on the falling edge of $\overline{\text{TxC}}$. The transmitter will begin transmission upon being enabled if $\overline{\text{CTS}} = 0$. The TxD line will be held in the marking state immediately upon a master Reset or when Tx Enable or $\overline{\text{CTS}}$ is off or the transmitter is empty.

Transmitter Control

The Transmitter Control manages all activities associated with the transmission of serial data. It accepts and issues signals both externally and internally to accomplish this function.

TxRDY (Transmitter Ready)

This output signals the CPU that the transmitter is ready to accept a data character. The TxRDY output pin can be used as an interrupt to the system, since it is masked by TxEnable; or, for Polled operation, the CPU can check TxRDY using a Status Read operation. TxRDY is automatically reset by the leading edge of $\overline{\text{WR}}$ when a data character is loaded from the CPU.

Note that when using the Polled operation, the TxRDY status bit is *not* masked by TxEnable, but will only indicate the Empty/Full Status of the Tx Data Input Register.

TxE (Transmitter Empty)

When the 8251A has no characters to send, the TxEMPTY output will go "high." It resets upon receiving a character from CPU if the transmitter is enabled. TxEMPTY remains high when the transmitter is disabled. TxEMPTY can be used to indicate the end of a transmission mode, so that the CPU "knows" when to "turn the line around" in the half-duplex operational mode.

In the Synchronous mode, a "high" on this output indicates that a character has not been loaded and the SYNC character or characters are about to be or are being transmitted automatically as "fillers." TxEMPTY does not go low when the SYNC characters are being shifted out.

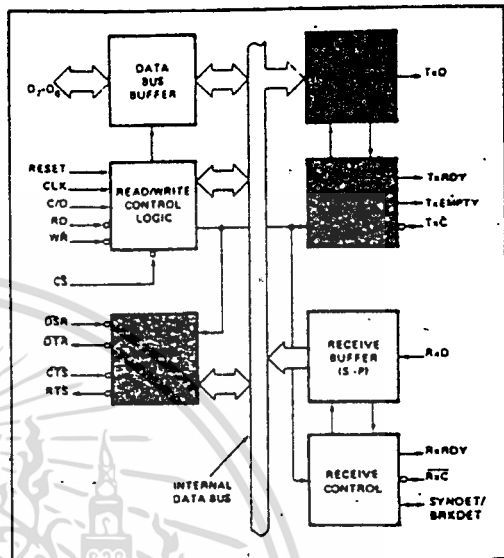


Figure 4. 8251A Block Diagram Showing Modem and Transmitter Buffer and Control Functions

TxC (Transmitter Clock)

The Transmitter Clock controls the rate at which the character is to be transmitted. In the Synchronous transmission mode, the Baud Rate (1x) is equal to the TxC frequency. In Asynchronous transmission mode, the baud rate is a fraction of the actual $\overline{\text{TxC}}$ frequency. A portion of the mode instruction selects this factor; it can be 1, 1/16 or 1/64 the $\overline{\text{TxC}}$.

For Example:

- If Baud Rate equals 110 Baud,
- $\overline{\text{TxC}}$ equals 110 Hz in the 1x mode.
- $\overline{\text{TxC}}$ equals 1.72 kHz in the 16x mode.
- $\overline{\text{TxC}}$ equals 7.04 kHz in the 64x mode.

The falling edge of $\overline{\text{TxC}}$ shifts the serial data out of the 8251A.

Receiver Buffer

The Receiver accepts serial data, converts this serial input to parallel format, checks for bits or characters that are unique to the communication technique and sends an "assembled" character to the CPU. Serial data is input to RxD pin, and is clocked in on the rising edge of RxC.

Receiver Control

This functional block manages all receiver-related activities which consists of the following features.

The RxD initialization circuit prevents the 8251A from mistaking an unused input line for an active low data line in the "break condition." Before starting to receive serial characters on the RxD line, a valid "1" must first be detected after a chip master Reset. Once this has been determined, a search for a valid low (Start bit) is enabled. This feature is only active in the asynchronous mode, and is only done once for each master Reset.

The False Start bit detection circuit prevents false starts due to a transient noise spike by first detecting the falling edge and then strobing the nominal center of the Start bit (RxD = low).

Parity error detection sets the corresponding status bit.

The Framing Error status bit is set if the Stop bit is absent at the end of the data byte (asynchronous mode).

RxRDY (Receiver Ready)

This output indicates that the 8251A contains a character that is ready to be input to the CPU. RxRDY can be connected to the interrupt structure of the CPU or, for polled operation, the CPU can check the condition of RxRDY using a Status Read operation.

RxEnable, when off, holds RxRDY in the Reset Condition. For Asynchronous mode, to set RxRDY, the Receiver must be enabled to sense a Start Bit and a complete character must be assembled and transferred to the Data Output Register. For Synchronous mode, to set RxRDY, the Receiver must be enabled and a character must finish assembly and be transferred to the Data Output Register.

Failure to read the received character from the Rx Data Output Register prior to the assembly of the next Rx Data character will set overrun condition error and the previous character will be written over and lost. If the Rx Data is being read by the CPU when the internal transfer is occurring, overrun error will be set and the old character will be lost.

RxC (Receiver Clock)

The Receiver Clock controls the rate at which the character is to be received. In Synchronous Mode, the Baud Rate (1x) is equal to the actual frequency of RxC. In Asynchronous Mode, the Baud Rate is a fraction of the actual RxC frequency. A portion of the mode instruction selects this factor: 1, 1/16 or 1/64 the RxC:

For example:

Baud Rate equals 300 Baud, if
 RxC equals 300 Hz in the 1x mode;
 RxC equals 4800 Hz in the 16x mode;
 RxC equals 19.2 kHz in the 64x mode.

Baud Rate equals 2400 Baud, if
 RxC equals 2400 Hz in the 1x mode;
 RxC equals 38.4 kHz in the 16x mode;
 RxC equals 153.6 kHz in the 64x mode.

Data is sampled into the 8251A on the rising edge of RxC.

NOTE: In most communications systems, the 8251A will be handling both the transmission and reception operations of a single link. Consequently, the Receive and Transmit Baud Rates will be the same. Both TxC and RxC will require identical frequencies for this operation and can be tied together and connected to a single frequency source (Baud Rate Generator) to simplify the interface.

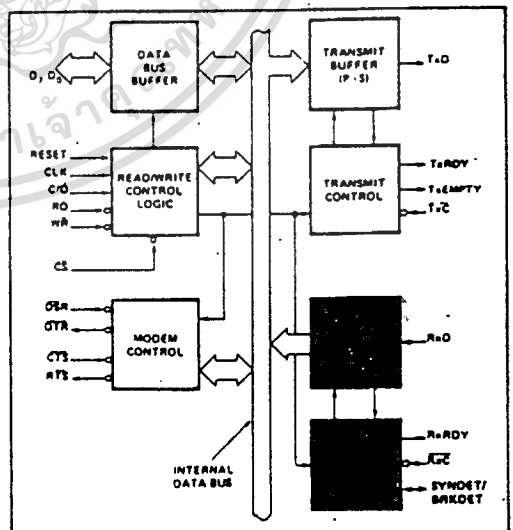


Figure 5. 8251A Block Diagram Showing Receiver Buffer and Control Functions



**SYNDET (SYNC Detect/
BRKDET Break Detect)**

This pin is used in Synchronous Mode for SYNDET and may be used as either input or output, programmable through the Control Word. It is reset to output mode low upon RESET. When used as an output (internal Sync mode), the SYNDET pin will go "high" to indicate that the 8251A has located the SYNC character in the Receive mode. If the 8251A is programmed to use double Sync characters (bi-sync), then SYNDET will go "high" in the middle of the last bit of the second Sync character. SYNDET is automatically reset upon a Status Read operation.

When used as an input (external SYNC detect mode), a positive going signal will cause the 8251A to start assembling data characters on the rising edge of the next \overline{RxC} . Once in SYNC, the "high" input signal can be removed. When External SYNC Detect is programmed, Internal SYNC Detect is disabled.

BREAK (Async Mode Only)

This output will go high whenever the receiver remains low through two consecutive stop bit sequences (including the start bits, data bits, and parity bits). Break Detect may also be read as a Status bit. It is reset only upon a master chip Reset or Rx Data returning to a "one" state.

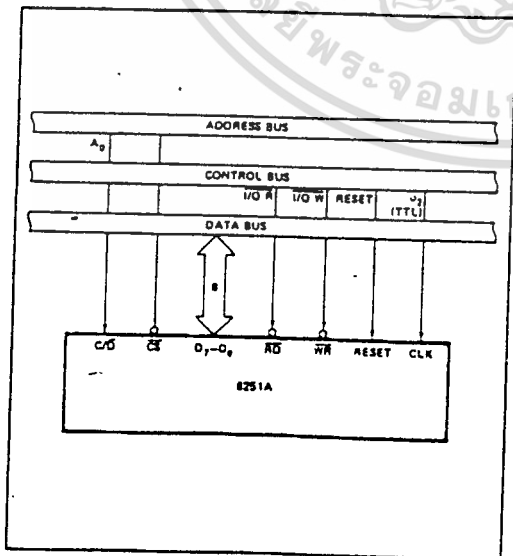


Figure 6. 8251A Interface to 8080 Standard System Bus

DETAILED OPERATION DESCRIPTION

General

The complete functional definition of the 8251A is programmed by the system's software. A set of control words must be sent out by the CPU to initialize the 8251A to support the desired communications format. These control words will program the: BAUD RATE, CHARACTER LENGTH, NUMBER OF STOP BITS, SYNCHRONOUS or ASYNCHRONOUS OPERATION, EVEN/ODD/OFF PARITY, etc. In the Synchronous Mode, options are also provided to select either internal or external character synchronization.

Once programmed, the 8251A is ready to perform its communication functions. The TxRDY output is raised "high" to signal the CPU that the 8251A is ready to receive a data character from the CPU. This output (TxRDY) is reset automatically when the CPU writes a character into the 8251A. On the other hand, the 8251A receives serial data from the MODEM or I/O device. Upon receiving an entire character, the RxRDY output is raised "high" to signal the CPU that the 8251A has a complete character ready for the CPU to fetch. RxRDY is reset automatically upon the CPU data read operation.

The 8251A cannot begin transmission until the Tx Enable (Transmitter Enable) bit is set in the Command Instruction and it has received a Clear To Send (CTS) input. The Tx D output will be held in the marking state upon Reset.

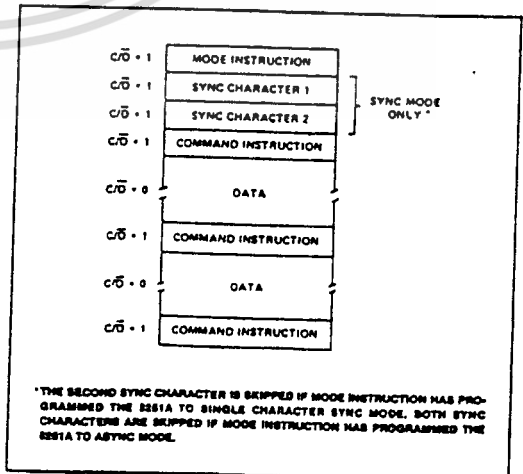


Figure 7. Typical Data Block

Programming the 8251A

Prior to starting data transmission or reception, the 8251A must be loaded with a set of control words generated by the CPU. These control signals define the complete functional definition of the 8251A and must immediately follow a Reset operation (internal or external).

The control words are split into two formats:

1. Mode Instruction
2. Command Instruction

Mode Instruction

This instruction defines the general operational characteristics of the 8251A. It must follow a Reset operation (internal or external). Once the Mode Instruction has been written into the 8251A by the CPU, SYNC characters or Command Instructions may be written.

Command Instruction

This instruction defines a word that is used to control the actual operation of the 8251A.

Both the Mode and Command Instructions must conform to a specified sequence for proper device operation (see Figure 7). The Mode Instruction must be written immediately following a Reset operation, prior to using the 8251A for data communication.

All control words written into the 8251A after the Mode Instruction will load the Command Instruction. Command Instructions can be written into the 8251A at any time in the data block during the operation of the 8251A. To return to the Mode Instruction format, the master Reset bit in the Command Instruction word can be set to initiate an internal Reset operation which automatically places the 8251A back into the Mode Instruction format. Command Instructions must follow the Mode Instructions or Sync characters.

Mode Instruction Definition

The 8251A can be used for either Asynchronous or Synchronous data communication. To understand how the Mode Instruction defines the functional operation of the 8251A, the designer can best view the device as two separate components, one Asynchronous and the other Synchronous, sharing

the same package. The format definition can be changed only after a master chip Reset. For explanation purposes the two formats will be isolated.

NOTE: When parity is enabled it is not considered as one of the data bits for the purpose of programming the word length. The actual parity bit received on the Rx Data line cannot be read on the Data Bus. In the case of a programmed character length of less than 8 bits, the least significant Data Bus bits will hold the data; unused bits are "don't care" when writing data to the 8251A, and will be "zeros" when reading the data from the 8251A.

Asynchronous Mode (Transmission)

Whenever a data character is sent by the CPU the 8251A automatically adds a Start bit (low level) followed by the data bits (least significant bit first), and the programmed number of Stop bits to each character. Also, an even or odd Parity bit is inserted prior to the Stop bit(s), as defined by the Mode Instruction. The character is then transmitted as a serial data stream on the TxD output. The serial data is shifted out on the falling edge of TxC at a rate equal to 1, 1/16, or 1/64 that of the TxC, as defined by the Mode Instruction. BREAK characters can be continuously sent to the TxD if commanded to do so.

When no data characters have been loaded into the 8251A the TxD output remains "high" (marking) unless a Break (continuously low) has been programmed.

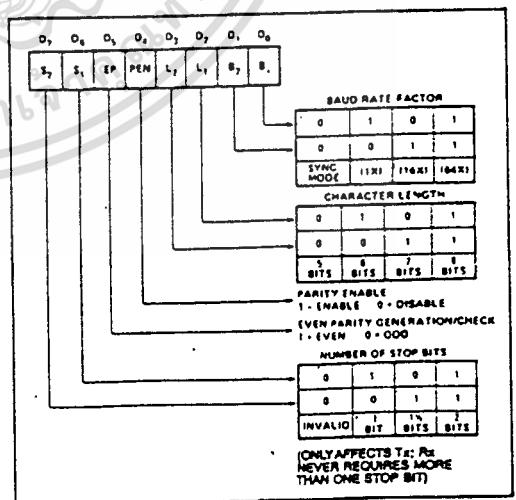


Figure 8. Mode Instruction Format, Asynchronous Mode

Asynchronous Mode (Receive)

The RxD line is normally high. A falling edge on this line triggers the beginning of a START bit. The validity of this START bit is checked by again strobing this bit at its nominal center (16X or 64X mode only). If a low is detected again, it is a valid START bit, and the bit counter will start counting. The bit counter thus locates the center of the data bits, the parity bit (if it exists) and the stop bits. If parity error occurs, the parity error flag is set. Data and parity bits are sampled on the RxD pin with the rising edge of RxC. If a low level is detected as the STOP bit, the Framing Error flag will be set. The STOP bit signals the end of a character. Note that the receiver requires only one stop bit, regardless of the number of stop bits programmed. This character is then loaded into the parallel I/O buffer of the 8251A. The RxDY pin is raised to signal the CPU that a character is ready to be fetched. If a previous character has not been fetched by the CPU, the present character replaces it in the I/O buffer, and the OVERRUN Error flag is raised (thus the previous character is lost). All of the error flags can be reset by an Error Reset Instruction. The occurrence of any of these errors will not affect the operation of the 8251A.

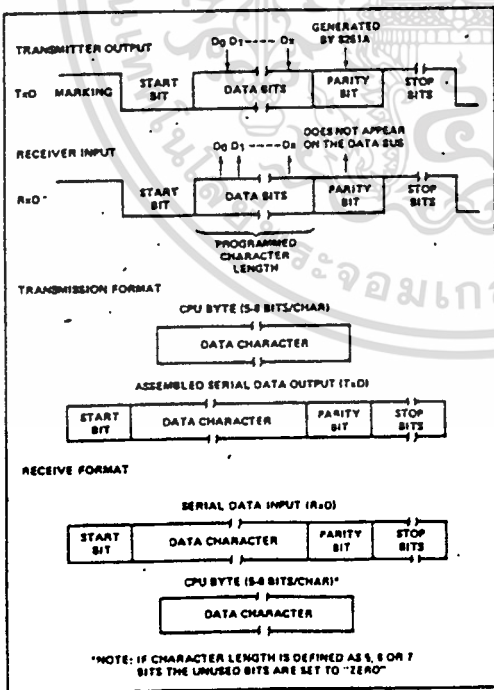
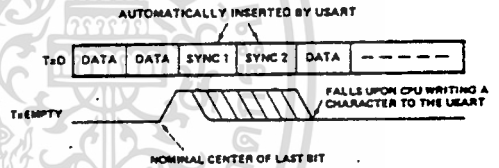


Figure 9. Asynchronous Mode

Synchronous Mode (Transmission)

The TxD output is continuously high until the CPU sends its first character to the 8251A which usually is a SYNC character. When the CTS line goes low, the first character is serially transmitted out. All characters are shifted out on the falling edge of TxC. Data is shifted out at the same rate as the TxC.

Once transmission has started, the data stream at the TxD output must continue at the TxC rate. If the CPU does not provide the 8251A with a data character before the 8251A Transmitter Buffers become empty, the SYNC characters (or character if in single SYNC character mode) will be automatically inserted in the TxD data stream. In this case, the TxEMPTY pin is raised high to signal that the 8251A is empty and SYNC characters are being sent out. TxEMPTY does not go low when the SYNC is being shifted out (see figure below). The TxEMPTY pin is internally reset by a data character being written into the 8251A.



Synchronous Mode (Receive)

In this mode, character synchronization can be internally or externally achieved. If the SYNC mode has been programmed, ENTER HUNT command should be included in the first command instruction word written. Data on the RxD pin is then sampled on the rising edge of RxC. The content of the Rx buffer is compared at every bit boundary with the first SYNC character until a match occurs. If the 8251A has been programmed for two SYNC characters, the subsequent received character is also compared; when both SYNC characters have been detected, the USART ends the HUNT mode and is in character synchronization. The SYNDET pin is then set high, and is reset automatically by a STATUS READ. If parity is programmed, SYNDET will not be set until the middle of the parity bit instead of the middle of the last data bit.

In the external SYNC mode, synchronization is achieved by applying a high level on the SYNDET pin, thus forcing the 8251A out of the HUNT mode. The high level can be removed after one RxC cycle. An ENTER HUNT command has no effect in the asynchronous mode of operation.

Parity error and overrun error are both checked in the same way as in the Asynchronous Rx mode. Parity is checked when not in Hunt, regardless of whether the Receiver is enabled or not.

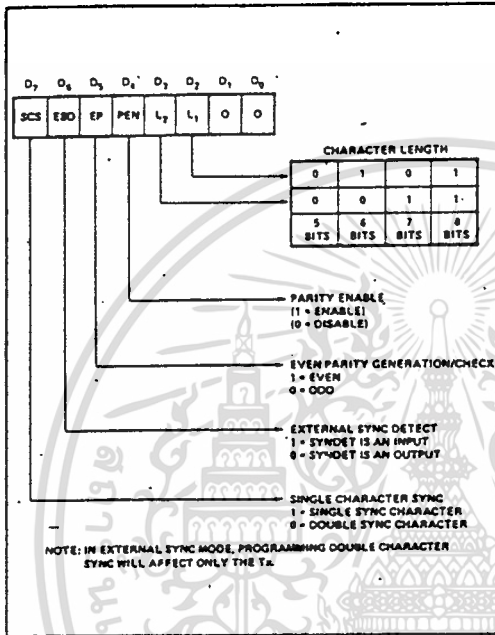


Figure 10. Mode Instruction Format, Synchronous Mode

The CPU can command the receiver to enter the HUNT mode if synchronization is lost. This will also set all the used character bits in the buffer to a "one," thus preventing a possible false SYNDET caused by data that happens to be in the Rx Buffer at ENTER HUNT time. Note that the SYNDET F/F is reset at each Status Read, regardless of whether internal or external SYNC has been programmed. This does not cause the 8251A to return to the HUNT mode. When in SYNC mode, but not in HUNT, Sync Detection is still functional, but only occurs at the "known" word boundaries. Thus, if one Status Read indicates SYNDET and a second Status Read also indicates SYNDET, then the programmed SYNDET characters have been received since the previous Status Read. (If double character sync has been programmed, then both sync characters have been contiguously received to gate a SYNDET indication.) When external SYNDET mode is selected, Internal Sync Detect is disabled, and the SYNDET F/F may be set at any bit boundary.

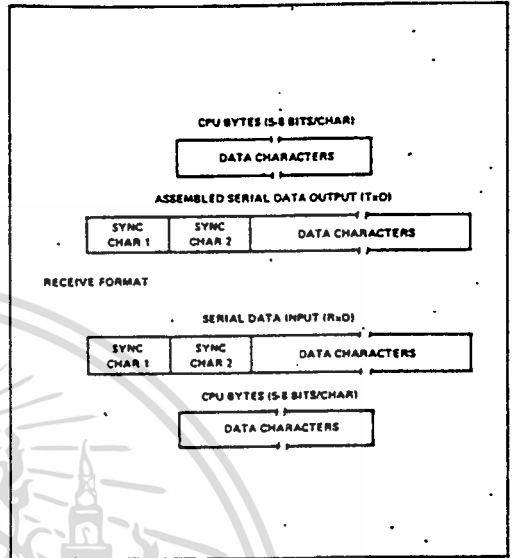


Figure 11. Data Format, Synchronous Mode

COMMAND INSTRUCTION DEFINITION

Once the functional definition of the 8251A has been programmed by the Mode Instruction and the sync characters are loaded (if in Sync Mode) then the device is ready to be used for data communication. The Command Instruction controls the actual operation of the selected format. Functions such as: Enable Transmit/Receive, Error Reset and Modem Controls are provided by the Command Instruction.

Once the Mode Instruction has been written into the 8251A and Sync characters inserted, if necessary, then all further "control writes" (C/D = 1) will load a Command Instruction. A Reset Operation (internal or external) will return the 8251A to the Mode Instruction format.

Note: Internal Reset on Power-up

When power is first applied, the 8251A may come up in the Mode, Sync character or Command format. To guarantee that the device is in the Command Instruction format before the Reset command is issued, it is safest to execute the worst-case initialization sequence (sync mode with two sync characters). Loading three 00Hs consecutively into the device with C/D = 1 configures sync operation and writes two dummy 00H sync characters. An Internal Reset command (40H) may then be issued to return the device to the "idle" state.

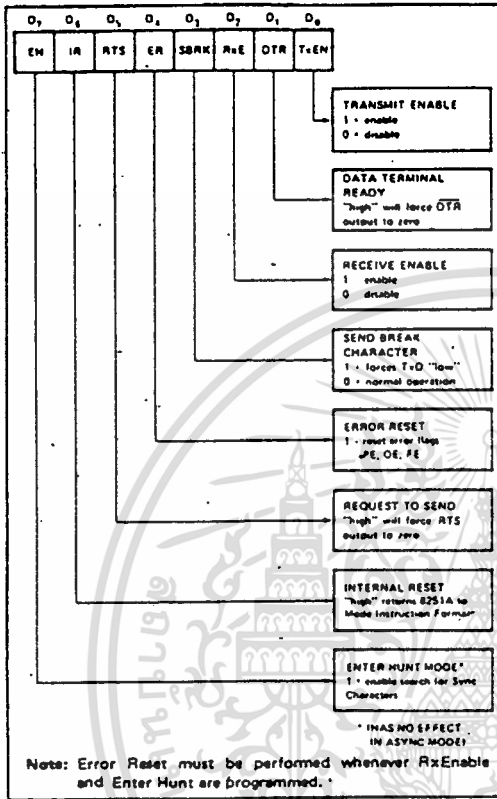


Figure 12. Command Instruction Format

STATUS READ DEFINITION

In data communication systems it is often necessary to examine the "status" of the active device to ascertain if errors have occurred or other conditions that require the processor's attention. The 8251A has facilities that allow the programmer to "read" the status of the device at any time during the functional operation. (Status update is inhibited during status read.)

A normal "read" command is issued by the CPU with $\overline{C/D} = 1$ to accomplish this function.

Some of the bits in the Status Read Format have identical meanings to external output pins so that the 8251A can be used in a completely polled or interrupt-driven environment. TxRDY is an exception.

Note that status update can have a maximum delay of 29 clock periods from the actual event affecting the status.

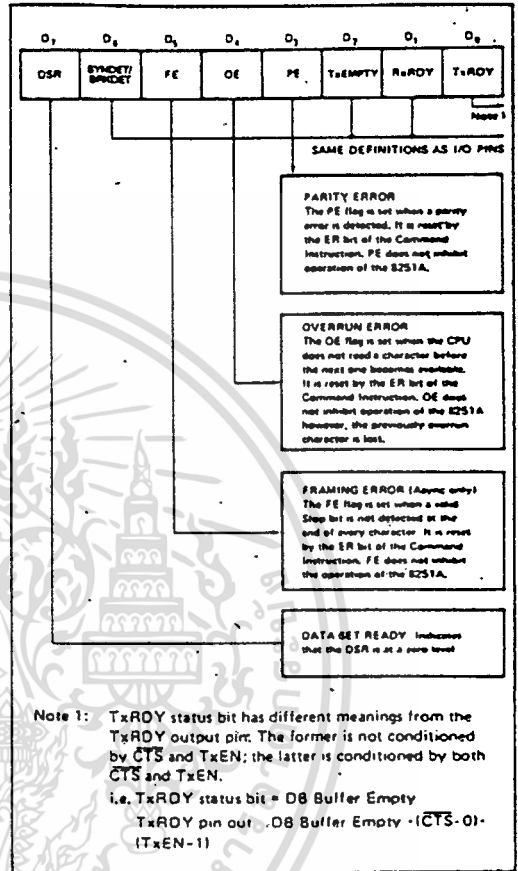


Figure 13. Status Read Format

APPLICATIONS OF THE 8251A

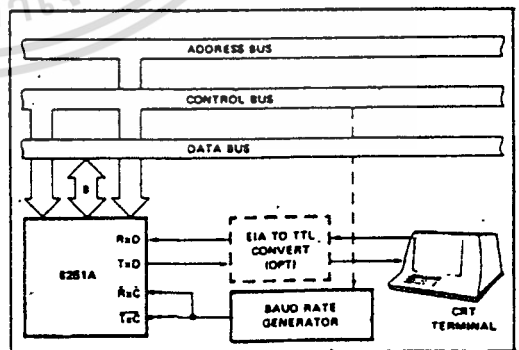


Figure 14. Asynchronous Serial Interface to CRT Terminal, DC-9600 Baud

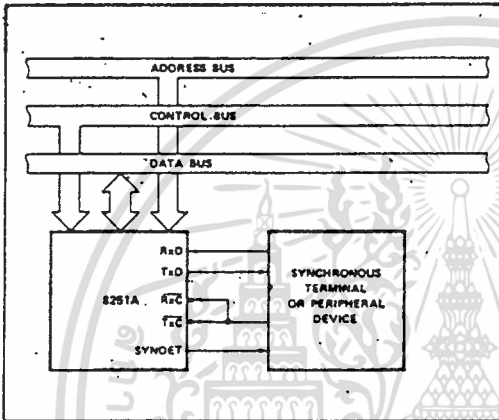


Figure 15. Synchronous Interface to Terminal or Peripheral Device

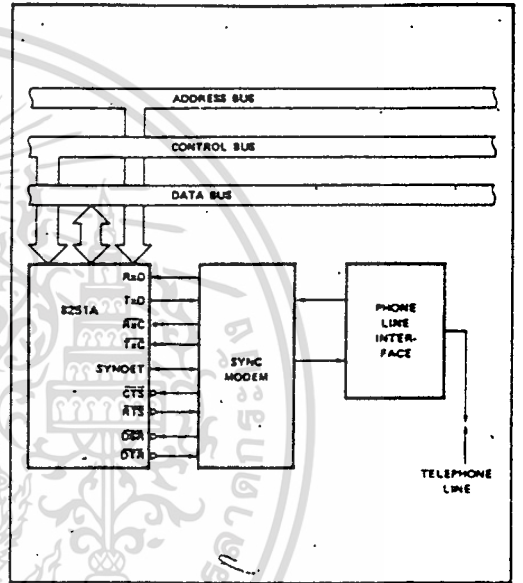


Figure 17. Synchronous Interface to Telephone Lines

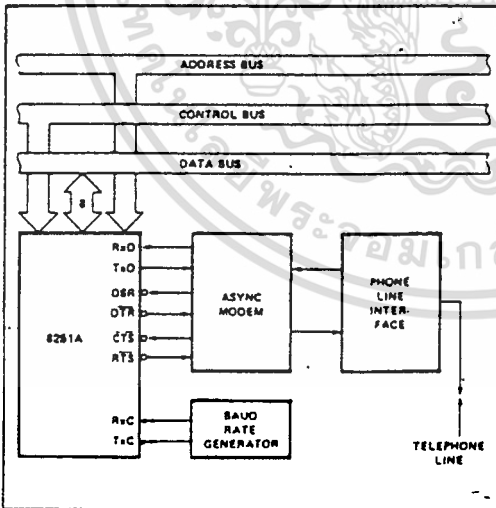


Figure 16. Asynchronous Interface to Telephone Lines



8251A

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias	0°C to 70°C
Storage Temperature	-65°C to +150°C
Voltage On Any Pin	
With Respect To Ground	-0.5V to +7V
Power Dissipation	1 Watt

*NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS ($T_A = 0^\circ\text{C}$ to 70°C , $V_{CC} = 5.0\text{V} \pm 5\%$, $\text{GND} = 0\text{V}$)

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
V_{IL}	Input Low Voltage	-0.5	0.8	V	
V_{IH}	Input High Voltage	2.0	V_{CC}	V	
V_{OL}	Output Low Voltage		0.45	V	$I_{OL} = 2.2\text{ mA}$
V_{OH}	Output High Voltage	2.4		V	$I_{OL} = -400\ \mu\text{A}$
I_{OFL}	Output Float Leakage		± 10	μA	$V_{OUT} = V_{CC}$ TO 0.45V
I_{IL}	Input Leakage		± 10	μA	$V_{IN} = V_{CC}$ TO 0.45V
I_{CC}	Power Supply Current		100	mA	All Outputs = High

CAPACITANCE ($T_A = 25^\circ\text{C}$, $V_{CC} = \text{GND} = 0\text{V}$)

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
C_{IN}	Input Capacitance		10	pF	$f_c = 1\text{ MHz}$
$C_{I/O}$	I/O Capacitance		20	pF	Unmeasured pins returned to GND

A.C. CHARACTERISTICS ($T_A = 0^\circ\text{C}$ to 70°C , $V_{CC} = 5.0\text{V} \pm 10\%$, $\text{GND} = 0\text{V}$)**Bus Parameters** (Note 1)**READ CYCLE**

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
t_{AR}	Address Stable Before $\overline{\text{READ}}$ ($\overline{\text{CS}}$, $\overline{\text{C/D}}$)	0		ns	Note 2
t_{RA}	Address Hold Time for $\overline{\text{READ}}$ ($\overline{\text{CS}}$, $\overline{\text{C/D}}$)	0		ns	Note 2
t_{RR}	$\overline{\text{READ}}$ Pulse Width	250		ns	
t_{RD}	Data Delay from $\overline{\text{READ}}$		200	ns	3, $C_L = 150\text{ pF}$
t_{DF}	$\overline{\text{READ}}$ to Data Floating	10	100	ns	

WRITE CYCLE

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
t_{AW}	Address Stable Before $\overline{\text{WRITE}}$	0		ns	
t_{WA}	Address Hold Time for $\overline{\text{WRITE}}$	0		ns	
t_{WW}	$\overline{\text{WRITE}}$ Pulse Width	250		ns	
t_{DW}	Data Set-Up Time for $\overline{\text{WRITE}}$	150		ns	
t_{WD}	Data Hold Time for $\overline{\text{WRITE}}$	20		ns	
t_{RV}	Recovery Time Between WRITES	6		t_{CY}	Note 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



8251A

A.C. CHARACTERISTICS (Continued)

OTHER TIMINGS

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
t_{CY}	Clock Period	320	1350	ns	Notes 5, 6
t_H	Clock High Pulse Width	120	$t_{CY}-90$	ns	
t_L	Clock Low Pulse Width	90		ns	
t_R, t_F	Clock Rise and Fall Time		20	ns	
t_{DTx}	TxD Delay from Falling Edge of Tx \bar{C}		1	μ s	
f_{Tx}	Transmitter Input Clock Frequency 1x Baud Rate 16x Baud Rate 64x Baud Rate	DC DC DC	64 310 615	kHz kHz kHz	
t_{TPW}	Transmitter Input Clock Pulse Width 1x Baud Rate 16x and 64x Baud Rate	12 1		t_{CY} t_{CY}	
t_{TPD}	Transmitter Input Clock Pulse Delay 1x Baud Rate 16x and 64x Baud Rate	15 3		t_{CY} t_{CY}	
f_{Rx}	Receiver Input Clock Frequency 1x Baud Rate 16x Baud Rate 64x Baud Rate	DC DC DC	64 310 615	kHz kHz kHz	
t_{RPW}	Receiver Input Clock Pulse Width 1x Baud Rate 16x and 64x Baud Rate	12 1		t_{CY} t_{CY}	
t_{RPD}	Receiver Input Clock Pulse Delay 1x Baud Rate 16x and 64x Baud Rate	15 3		t_{CY} t_{CY}	
t_{TxRDY}	TxD RDY Pin Delay from Center of Last Bit		14	t_{CY}	Note 7
$t_{TxRDY CLEAR}$	TxD RDY \downarrow from Leading Edge of WR		400	ns	Note 7
t_{RxRDY}	RxD RDY Pin Delay from Center of Last Bit		26	t_{CY}	Note 7
$t_{RxRDY CLEAR}$	RxD RDY \downarrow from Leading Edge of RD		400	ns	Note 7
t_{IS}	Internal SYNDET Delay from Rising Edge of Rx \bar{C}		26	t_{CY}	Note 7
t_{ES}	External SYNDET Set-Up Time After Rising Edge of Rx \bar{C}	18		t_{CY}	Note 7
$t_{TxEMPTY}$	TxD EMPTY Delay from Center of Last Bit		20	t_{CY}	Note 7
t_{WC}	Control Delay from Rising Edge of WRITE (TxEn, DTR, RTS)		8	t_{CY}	Note 7
t_{CR}	Control to READ Set-Up Time (DSR, CTS)	20		t_{CY}	Note 7

***NOTE:**

1. For Extended Temperature EXPRESS, use M8251A electrical parameters.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

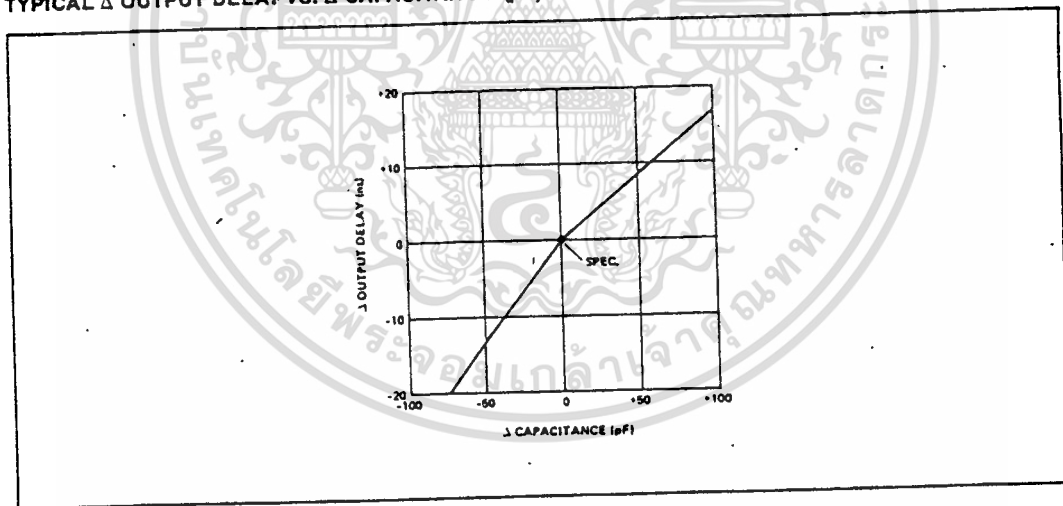


A.C. CHARACTERISTICS (Continued)

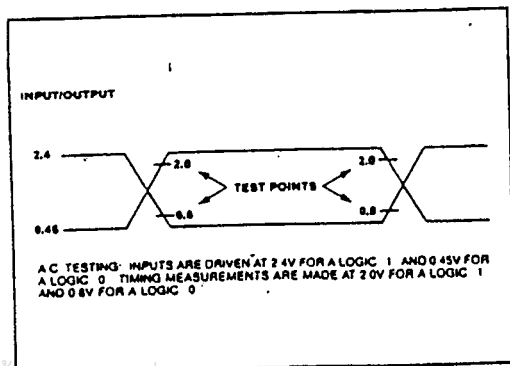
NOTES:

1. AC timings measured $V_{OH} = 2.0$, $V_{OL} = 0.8$, and with load circuit of Figure 1.
2. Chip Select (CS) and Command/Data (C/D) are considered as Addresses.
3. Assumes that Address is valid before R_{D1} .
4. This recovery time is for Mode Initialization only. Write Data is allowed only when $TxRDY = 1$. Recovery Time between Writes for Asynchronous Mode is $8 t_{CY}$ and for Synchronous Mode is $16 t_{CY}$.
5. The TxC and RxC frequencies have the following limitations with respect to CLK: For 1x Baud Rate, f_{Tx} or $f_{Rx} \leq 1/(30 t_{CY})$; For 16x and 64x Baud Rate, f_{Tx} or $f_{Rx} \leq 1/(4.5 t_{CY})$.
6. Reset Pulse Width = $6 t_{CY}$ minimum; System Clock must be running during Reset.
7. Status update can have a maximum delay of 28 clock periods from the event affecting the status.

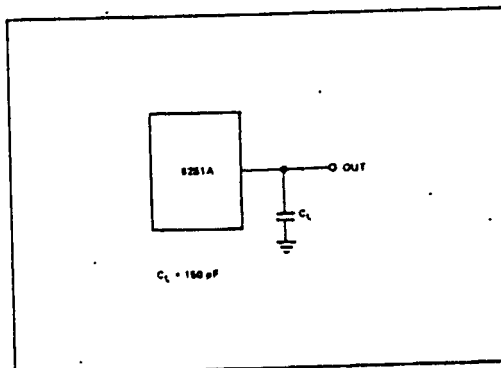
TYPICAL Δ OUTPUT DELAY VS. Δ CAPACITANCE (pF)



A.C. TESTING INPUT, OUTPUT WAVEFORM



A.C. TESTING LOAD CIRCUIT

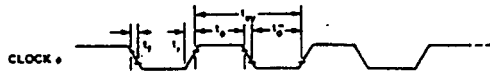




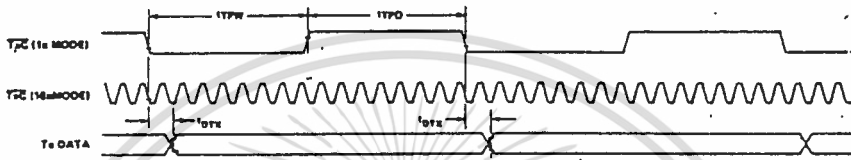
8251A

WAVEFORMS

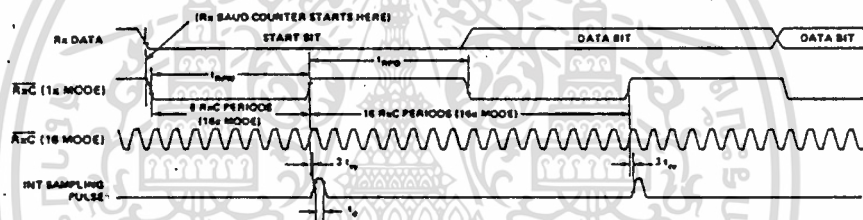
SYSTEM CLOCK INPUT



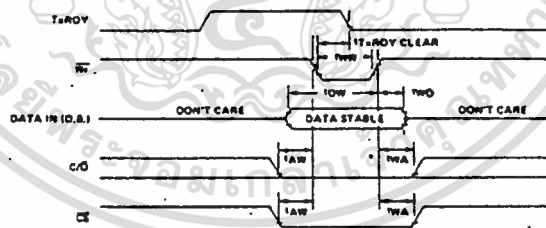
TRANSMITTER CLOCK AND DATA



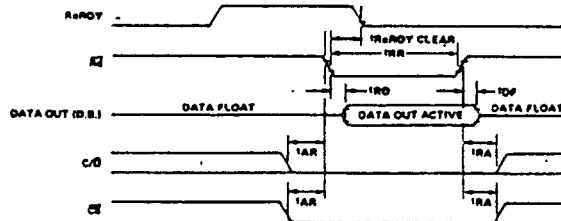
RECEIVER CLOCK AND DATA



WRITE DATA CYCLE (CPU → USART)



READ DATA CYCLE (CPU ← USART)



MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

BIT RATE GENERATOR

The MC14411 bit rate generator is constructed with complementary MOS enhancement mode devices. It utilizes a frequency divider network to provide a wide range of output frequencies.

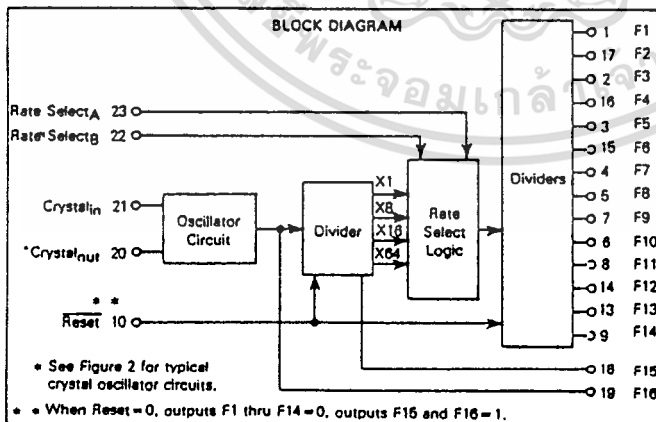
A crystal controlled oscillator is the clock source for the network. A two-bit address is provided to select one of four multiple output clock rates.

Applications include a selectable frequency source for equipment in the data communications market, such as teleprinters, printers, CRT terminals, and microprocessor systems.

- Single 5.0 Vdc ($\pm 5\%$) Power Supply
- Internal Oscillator Crystal Controlled for Stability (1.8432 MHz)
- Sixteen Different Output Clock Rates
- 50% Output Duty Cycle
- Programmable Time Bases for One of Four Multiple Output Rates
- Buffered Outputs Compatible with Low Power TTL
- Noise Immunity = 45% of V_{DD} Typical
- Diode Protection on All Inputs
- External Clock May be Applied to Pin 21
- Internal Pullup Resistor on Reset Input

MAXIMUM RATINGS (Voltages referenced to V_{SS} , Pin 12.)

Rating	Symbol	Value	Unit
DC Supply Voltage Range	V_{DD}	5.25 to -0.5	V
Input Voltage, All Inputs	V_{in}	$V_{DD} + 0.5$ to $V_{SS} - 0.5$	V
DC Current Drain per Pin	I	10	mA
Operating Temperature Range	T_A	-40 to +85	$^{\circ}C$
Storage Temperature Range	T_{stg}	-65 to +150	$^{\circ}C$

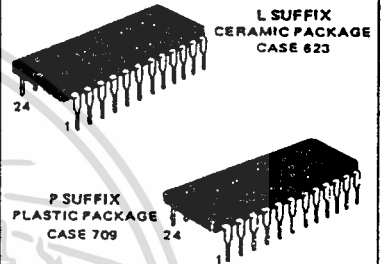


MC14411

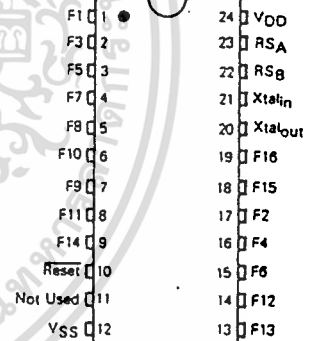
CMOS LSI

(LOW-POWER COMPLEMENTARY MOS)

BIT RATE GENERATOR



PIN ASSIGNMENT



V_{DD} = Pin 24
 V_{SS} = Pin 12

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \leq (V_{in} \text{ or } V_{out}) \leq V_{DD}$. Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

MC14411

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	V _{DD} V _{dcc}	-40°C		25°C			+85°C		Unit
			Min	Max	Min	Typ	Max	Min	Max	
Supply Voltage	V _{DD}	—	4.75	5.25	4.75	5.0	5.25	4.75	5.25	V
Output Voltage "0" Level	V _{out}	5.0	—	0.05	—	0	0.05	—	0.05	V
		5.0	4.95	—	4.95	5.0	—	4.95	—	V
Input Voltage (V _O = 4.5 or 0.5 V) (V _O = 0.5 or 4.5 V _{dcc})	V _{IL}	5.0	—	1.5	—	2.25	1.5	—	1.5	V
	V _{IH}	5.0	3.5	—	3.5	2.75	—	3.5	—	V
Output Drive Current (V _O H = 2.5 V) Source (V _O L = 0.4 V) Sink	I _{OH}	5.0	-0.23	—	-0.20	-1.7	—	-0.16	—	mA
	I _{OL}	5.0	0.23	—	0.20	0.78	—	0.16	—	mA
Input Current Pins 21, 22, 23 Pin 10	I _{in}	—	—	±0.1	—	±0.00001	±0.1	—	±1.0	µA
		5.0	—	—	-1.5	—	-7.5	—	—	µA
Input Capacitance (V _{in} = 0)	C _{in}	—	—	—	—	5.0	—	—	—	pF
Quiescent Dissipation	P _Q	5.0	—	2.5	—	0.015	2.5	—	15	mW
Power Dissipation**† (Dynamic plus Quiescent) (C _L = 15 pF)	P _D	5.0	—	—	—	P _D = (7.5 mW/MHz) f + P _Q			—	mW
Output Rise Time** t _r = (3.0 ns/pF) C _L + 25 ns	t _{TLH}	5.0	—	—	—	70	200	—	—	ns
Output Fall Time** t _f = (1.5 ns/pF) C _L + 47 ns	t _{THL}	5.0	—	—	—	70	200	—	—	ns
Input Clock Frequency	f _{CL}	5.0	—	1.85	—	—	1.85	—	1.85	MHz
Clock Pulse Width	t _{W(C)}	—	200	—	200	—	—	200	—	ns
Reset Pulse Width	t _{W(R)}	—	500	—	500	—	—	500	—	ns

†For dissipation at different external capacitance (C_L) refer to corresponding formula:

$$P_T + C_L = P_D + 2.6 \times 10^{-3} (C_L - 15 \text{ pF}) V_{DD}^2 f$$

where: P_T, P_D in mW, C_L in pF, V_{DD} in V_{dcc}, and f in MHz.

**The formula given is for the typical characteristics only.

TABLE 1 — OUTPUT CLOCK RATES

Rate Select		Rate
B	A	
0	0	X1
0	1	X8
1	0	X16
1	1	X64

Output Number	Output Rates (Hz)			
	X64	X16	X8	X1
F1	614.4 k	153.6 k	76.8 k	9600
F2	460.8 k	115.2 k	57.6 k	7200
F3	307.2 k	76.8 k	38.4 k	4800
F4	230.4 k	57.6 k	28.8 k	3600
F5	153.6 k	38.4 k	19.2 k	2400
F6	115.2 k	28.8 k	14.4 k	1800
F7	76.8 k	19.2 k	9600	1200
F8	38.4 k	9600	4900	600
F9	19.2 k	4800	2400	300
F10	12.8 k	3200	1600	200
F11	9600	2400	1200	150
F12	8613.2	2153.3	1076.6	134.5
F13	7035.5	1758.8	879.4	109.9
F14	4800	1200	600	75
F15	921.6 k	921.6 k	921.6 k	921.6 k
F16*	1.843 M	1.843 M	1.843 M	1.843 M

*F16 is buffered oscillator output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14411

FIGURE 1 — DYNAMIC SIGNAL WAVEFORMS

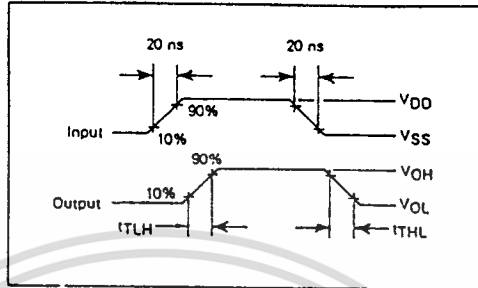
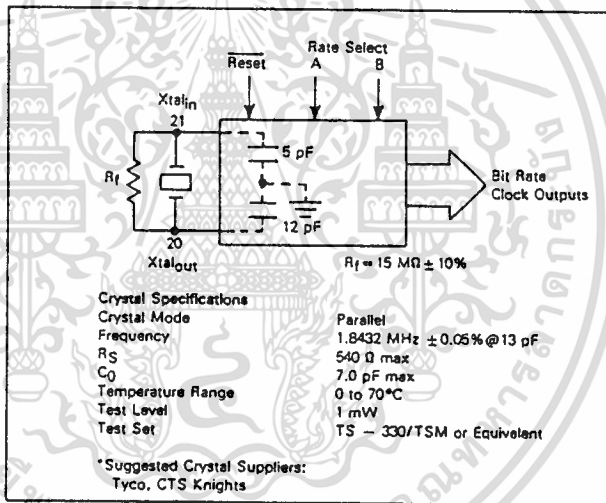


FIGURE 2 — TYPICAL CRYSTAL OSCILLATOR CIRCUIT



Circuit diagrams utilizing Motorola products are included as a means of illustrating typical semiconductor applications; consequently, complete information sufficient for construction purposes is not necessarily given. The information has been carefully checked and is believed to be entirely reliable. However, no responsibility is assumed for inaccuracies. Furthermore, such information does not convey to the purchaser of the semiconductor devices described any license under the patent rights of Motorola Inc., or others.

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MC1488

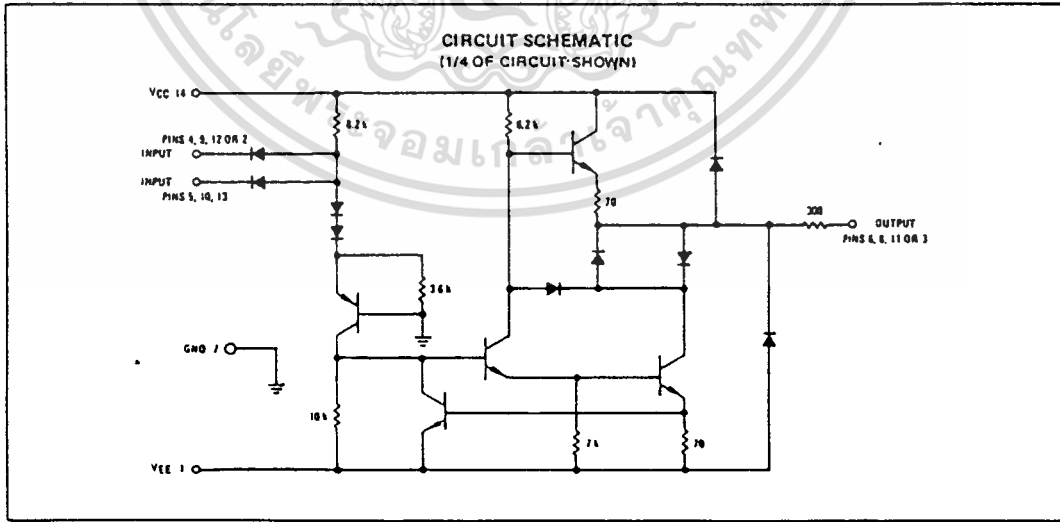
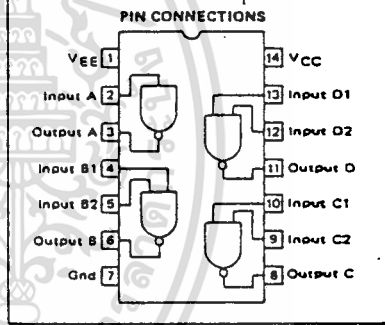
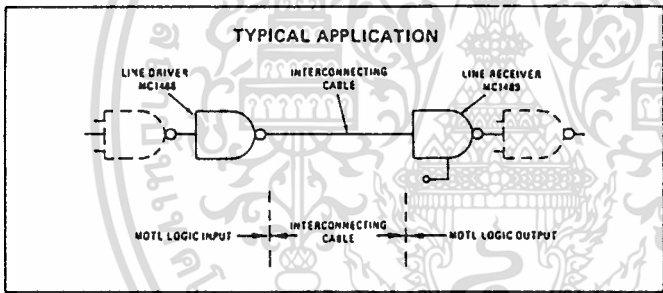
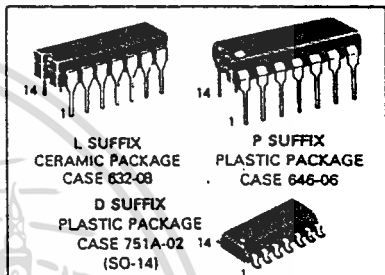
QUAD LINE DRIVER

The MC1488 is a monolithic quad line driver designed to interface data terminal equipment with data communications equipment in conformance with the specifications of EIA Standard No. RS-232C.

Features:

- Current Limited Output
±10 mA typ
- Power-Off Source Impedance
300 Ohms min
- Simple Slew Rate Control with External Capacitor
- Flexible Operating Supply Range
- Compatible with All Motorola MDTL and MTTL Logic Families

QUAD MDTL LINE DRIVER
RS-232C
SILICON MONOLITHIC
INTEGRATED CIRCUIT



MOTL and MTTL are trademarks of Motorola Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1488

MAXIMUM RATINGS ($T_A = +25^\circ\text{C}$ unless otherwise noted.)

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC} V_{EE}	+15 -15	Vdc
Input Voltage Range	V_{IR}	$-15 \leq V_{IR} \leq 7.0$	Vdc
Output Signal Voltage	V_O	± 15	Vdc
Power Derating (Package Limitation, Ceramic and Plastic Dual-In-Line Package) Derate above $T_A = +25^\circ\text{C}$	P_D $1/R_{\theta JA}$	1000 6.7	mW mW/°C
Operating Ambient Temperature Range	T_A	0 to +75	°C
Storage Temperature Range	T_{stg}	-65 to +175	°C

ELECTRICAL CHARACTERISTICS ($V_{CC} = +9.0 \pm 1\% \text{ Vdc}$, $V_{EE} = -9.0 \pm 1\% \text{ Vdc}$, $T_A = 0$ to 75°C unless otherwise noted.)

Characteristic	Figure	Symbol	Min	Typ	Max	Unit
Input Current — Low Logic State ($V_{IL} = 0$)	1	I_{IL}	—	1.0	1.6	mA
Input Current — High Logic State ($V_{IH} = 5.0 \text{ V}$)	1	I_{IH}	—	—	10	μA
Output Voltage — High Logic State ($V_{IL} = 0.8 \text{ Vdc}$, $R_L = 3.0 \text{ k}\Omega$, $V_{CC} = +9.0 \text{ Vdc}$, $V_{EE} = -9.0 \text{ Vdc}$) ($V_{IL} = 0.8 \text{ Vdc}$, $R_L = 3.0 \text{ k}\Omega$, $V_{CC} = +13.2 \text{ Vdc}$, $V_{EE} = -13.2 \text{ Vdc}$)	2	V_{OH}	+6.0 +9.0	+7.0 +10.5	—	Vdc
Output Voltage — Low Logic State ($V_{IH} = 1.9 \text{ Vdc}$, $R_L = 3.0 \text{ k}\Omega$, $V_{CC} = +9.0 \text{ Vdc}$, $V_{EE} = -9.0 \text{ Vdc}$) ($V_{IH} = 1.9 \text{ Vdc}$, $R_L = 3.0 \text{ k}\Omega$, $V_{CC} = +13.2 \text{ Vdc}$, $V_{EE} = -13.2 \text{ Vdc}$)	2	V_{OL}	-6.0 -9.0	-7.0 -10.5	—	Vdc
Positive Output Short-Circuit Current (1)	3	I_{OS+}	+6.0	+10	+12	mA
Negative Output Short-Circuit Current (1)	3	I_{OS-}	-6.0	-10	-12	mA
Output Resistance ($V_{CC} = V_{EE} = 0$, $ V_O = \pm 2.0 \text{ V}$)	4	r_o	300	—	—	Ohms
Positive Supply Current ($R_I = \infty$) ($V_{IH} = 1.9 \text{ Vdc}$, $V_{CC} = +9.0 \text{ Vdc}$) ($V_{IL} = 0.8 \text{ Vdc}$, $V_{CC} = +9.0 \text{ Vdc}$) ($V_{IH} = 1.9 \text{ Vdc}$, $V_{CC} = +12 \text{ Vdc}$) ($V_{IL} = 0.8 \text{ Vdc}$, $V_{CC} = +12 \text{ Vdc}$) ($V_{IH} = 1.9 \text{ Vdc}$, $V_{CC} = +15 \text{ Vdc}$) ($V_{IL} = 0.8 \text{ Vdc}$, $V_{CC} = +15 \text{ Vdc}$)	5	I_{CC}	—	+15 +4.5 +19 +5.5 —	+20 +6.0 +25 +7.0 +34 +12	mA
Negative Supply Current ($R_L = \infty$) ($V_{IH} = 1.9 \text{ Vdc}$, $V_{EE} = -9.0 \text{ Vdc}$) ($V_{IL} = 0.8 \text{ Vdc}$, $V_{EE} = -9.0 \text{ Vdc}$) ($V_{IH} = 1.9 \text{ Vdc}$, $V_{EE} = -12 \text{ Vdc}$) ($V_{IL} = 0.8 \text{ Vdc}$, $V_{EE} = -12 \text{ Vdc}$) ($V_{IH} = 1.9 \text{ Vdc}$, $V_{EE} = -15 \text{ Vdc}$) ($V_{IL} = 0.8 \text{ Vdc}$, $V_{EE} = -15 \text{ Vdc}$)	5	I_{EE}	—	-13 -18 — — —	-17 -500 -23 -500 -34 -2.5	mA μA mA μA mA mA
Power Consumption ($V_{CC} = 9.0 \text{ Vdc}$, $V_{EE} = -9.0 \text{ Vdc}$) ($V_{CC} = 12 \text{ Vdc}$, $V_{EE} = -12 \text{ Vdc}$)		P_C	—	—	333 576	mW

SWITCHING CHARACTERISTICS ($V_{CC} = +9.0 \pm 1\% \text{ Vdc}$, $V_{EE} = -9.0 \pm 1\% \text{ Vdc}$, $T_A = +25^\circ\text{C}$.)

Propagation Delay Time ($Z_L = 3.0 \text{ k}$ and 15 pF)	6	t_{PLH}	—	275	350	ns
Fall Time ($Z_L = 3.0 \text{ k}$ and 15 pF)	6	t_{THL}	—	45	75	ns
Propagation Delay Time ($Z_L = 3.0 \text{ k}$ and 15 pF)	6	t_{PHL}	—	110	175	ns
Rise Time ($Z_L = 3.0 \text{ k}$ and 15 pF)	6	t_{TLH}	—	55	100	ns

(1) Maximum Package Power Dissipation may be exceeded if all outputs are shorted simultaneously.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1488

CHARACTERISTIC DEFINITIONS

FIGURE 1 - INPUT CURRENT

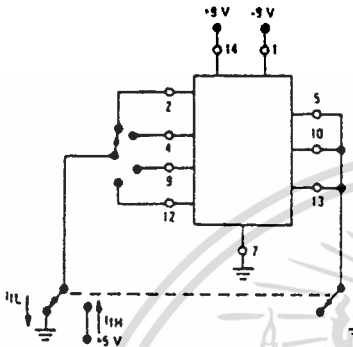


FIGURE 2 - OUTPUT VOLTAGE

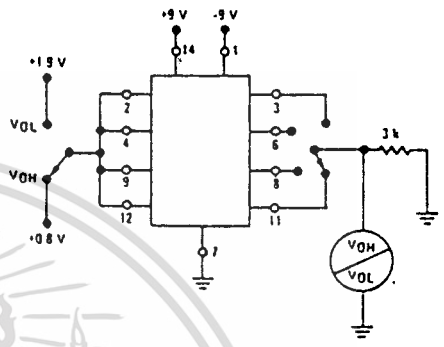


FIGURE 3 - OUTPUT SHORT-CIRCUIT CURRENT

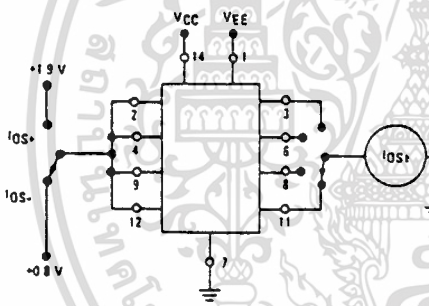


FIGURE 4 - OUTPUT RESISTANCE (POWER-OFF)

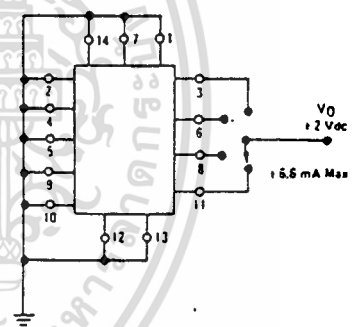


FIGURE 5 - POWER-SUPPLY CURRENTS

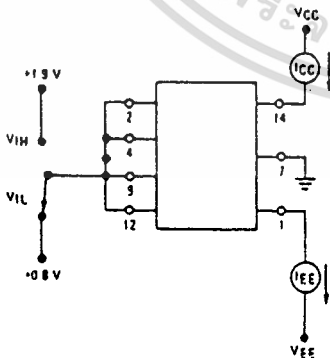
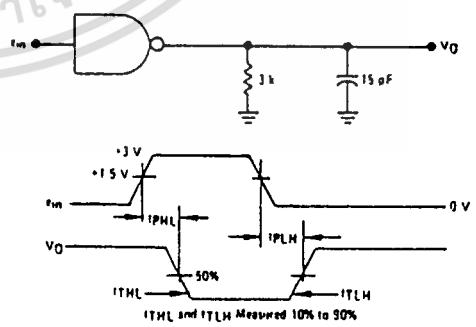


FIGURE 6 - SWITCHING RESPONSE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1488

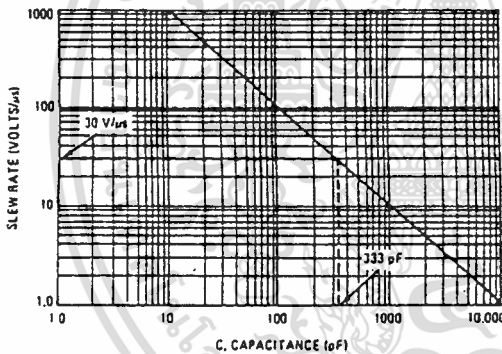
APPLICATIONS INFORMATION

The Electronic Industries Association (EIA) RS232C specification detail the requirements for the interface between data processing equipment and data communications equipment. This standard specifies not only the number and type of interface leads, but also the voltage levels to be used. The MC1488 quad driver and its companion circuit, the MC1489 quad receiver, provide a complete interface system between DTL or TTL logic levels and the RS232C defined levels. The RS232C requirements as applied to drivers are discussed herein.

The required driver voltages are defined as between 5 and 15-volts in magnitude and are positive for a logic "0" and negative for a logic "1". These voltages are so defined when the drivers are terminated with a 3000 to 7000-ohm resistor. The MC1488 meets this voltage requirement by converting a DTL/TTL logic level into RS232C levels with one stage of inversion.

The RS232C specification further requires that during transitions, the driver output slew rate must not exceed 30 volts per microsecond. The inherent slew rate of the MC1488 is much too

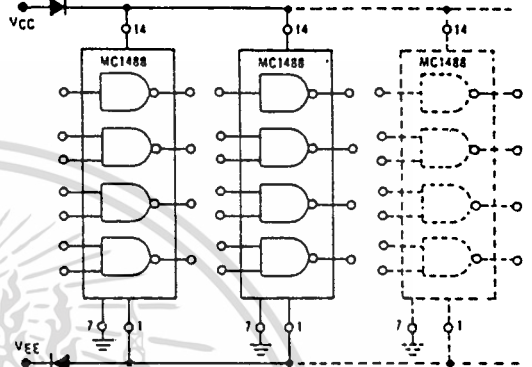
FIGURE 12 - SLEW RATE versus CAPACITANCE FOR $I_{SC} = 10 \text{ mA}$



fast for this requirement. The current limited output of the device can be used to control this slew rate by connecting a capacitor to each driver output. The required capacitor can be easily determined by using the relationship $C = I_{OS} \times \Delta T / \Delta V$ from which Figure 12 is derived. Accordingly, a 330-pF capacitor on each output will guarantee a worst case slew rate of 30 volts per microsecond.

The interface driver is also required to withstand an accidental short to any other conductor in an interconnecting cable. The worst possible signal on any conductor would be another driver using a plus or minus 15-volt, 500-mA source. The MC1488 is designed to indefinitely withstand such a short to all four outputs in a package as long as the power-supply voltages are greater than 9.0 volts (i.e., $V_{CC} > 9.0 \text{ V}$; $V_{EE} < -9.0 \text{ V}$). In some power-supply designs, a loss of system power causes a low impedance on the power-supply outputs. When this occurs, a low impedance to ground would exist at the power inputs to the MC1488 effectively shorting the 300-ohm output resistors to ground. If all four outputs were then shorted to plus or minus 15 volts, the power dissipation in these resistors

FIGURE 13 - POWER-SUPPLY PROTECTION TO MEET POWER-OFF FAULT CONDITIONS



would be excessive. Therefore, if the system is designed to permit low impedances to ground at the power-supplies of the drivers, a diode should be placed in each power-supply lead to prevent overheating in this fault condition. These two diodes, as shown in Figure 13, could be used to decouple all the driver packages in a system. (These same diodes will allow the MC1488 to withstand momentary shorts to the ± 25 -volt limits specified in the earlier Standard RS232B.) The addition of the diodes also permits the MC1488 to withstand faults with power-supplies of less than the 9.0 volts stated above.

The maximum short-circuit current allowable under fault conditions is more than guaranteed by the previously mentioned 10 mA output current limiting.

Other Applications

The MC1488 is an extremely versatile line driver with a myriad of possible applications. Several features of the drivers enhance this versatility:

1. Output Current Limiting - this enables the circuit designer to define the output voltage levels independent of power-supplies and can be accomplished by diode clamping of the output pins. Figure 14 shows the MC1488 used as a OTL to MOS translator where the high-level voltage output is clamped one diode above ground. The resistor divider shown is used to reduce the output voltage below the 300 mV above ground MOS input level limit.
2. Power-Supply Range - as can be seen from the schematic drawing of the drivers, the positive and negative driving elements of the device are essentially independent and do not require matching power-supplies. In fact, the positive supply can vary from a minimum seven volts (required for driving the negative pulldown section) to the maximum specified 15 volts. The negative supply can vary from approximately -2.5 volts to the minimum specified -15 volts. The MC1488 will drive the output to within 2 volts of the positive or negative supplies as long as the current output limits are not exceeded. The combination of the current-limiting and supply-voltage features allow a wide combination of possible outputs within the same quad package. Thus if only a portion of the four drivers are used for driving RS232C lines, the remainder could be used for OTL to MOS or even DTL to OTL translation. Figure 15 shows one such combination.

MC1488

TYPICAL CHARACTERISTICS
($T_A = +25^\circ\text{C}$ unless otherwise noted.)

FIGURE 7 — TRANSFER CHARACTERISTICS
versus POWER-SUPPLY VOLTAGE

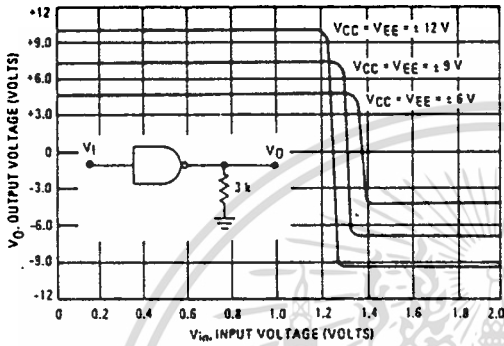


FIGURE 8 — SHORT-CIRCUIT OUTPUT CURRENT
versus TEMPERATURE

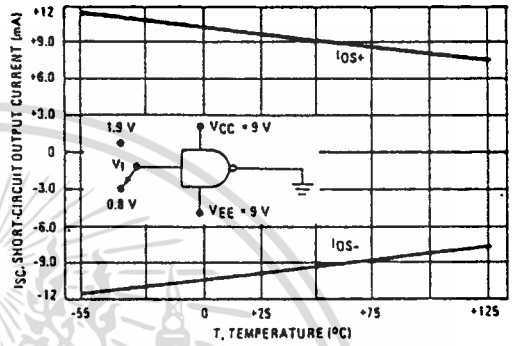


FIGURE 9 — OUTPUT SLEW RATE
versus LOAD CAPACITANCE

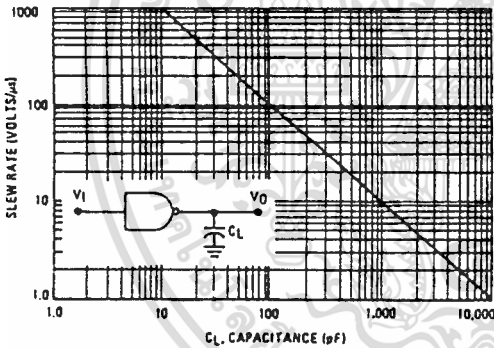


FIGURE 10 — OUTPUT VOLTAGE
AND CURRENT-LIMITING CHARACTERISTICS

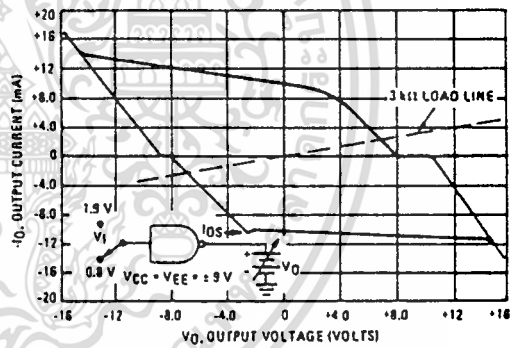
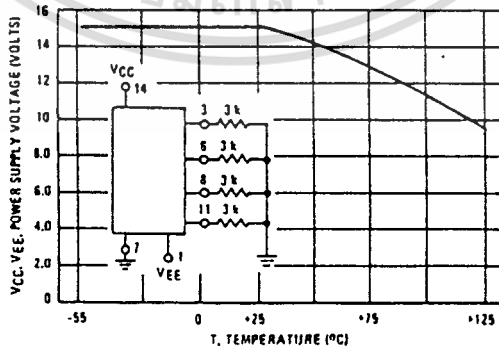


FIGURE 11 — MAXIMUM OPERATING TEMPERATURE
versus POWER-SUPPLY VOLTAGE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1488

FIGURE 14 -- MDTL/MTTL-TO-MOS TRANSLATOR

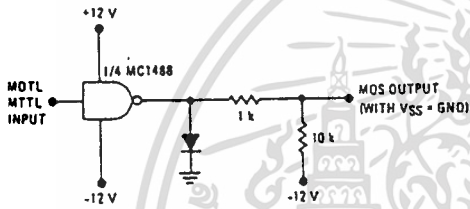
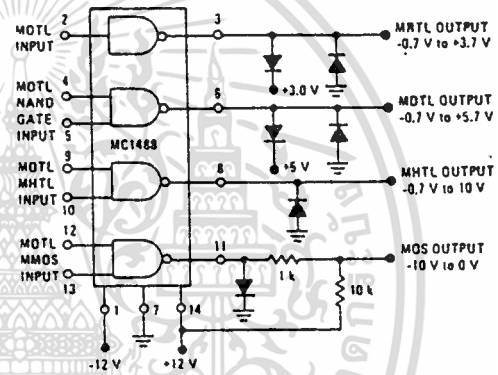


FIGURE 15 -- LOGIC TRANSLATOR APPLICATIONS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MC1489
MC1489A

QUAD LINE RECEIVERS

The MC1489 monolithic quad line receivers are designed to interface data terminal equipment with data communications equipment in conformance with the specifications of EIA Standard No. RS-232C.

- Input Resistance — 3.0 k to 7.0 kilohms
- Input Signal Range — ± 30 Volts
- Input Threshold Hysteresis Built In
- Response Control
 - a) Logic Threshold Shifting
 - b) Input Noise Filtering

QUAD MDTL
LINE RECEIVERS
RS-232C

SILICON MONOLITHIC
INTEGRATED CIRCUIT



L SUFFIX
CERAMIC PACKAGE
CASE 632-08

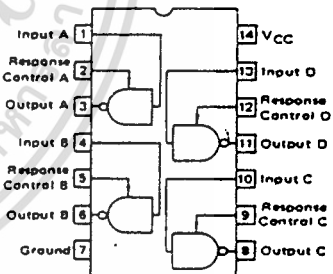
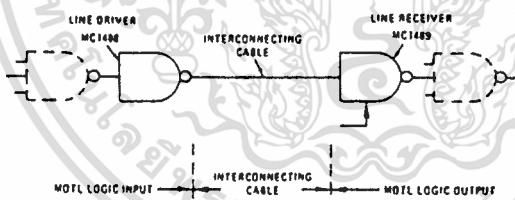


P SUFFIX
PLASTIC PACKAGE
CASE 646-06

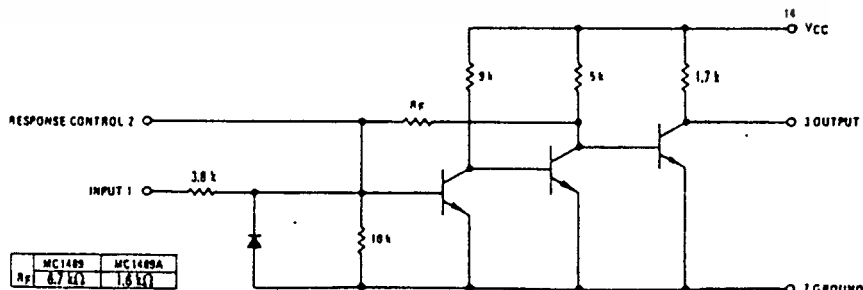
D SUFFIX
PLASTIC PACKAGE
CASE 751A-02
(SO-14)



TYPICAL APPLICATION



EQUIVALENT CIRCUIT SCHEMATIC (1/4 OF CIRCUIT SHOWN)



MDTL and M TTL are trademarks of Motorola Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1489, MC1489A

MAXIMUM RATINGS (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Power Supply Voltage	V _{CC}	10	Vdc
Input Voltage Range	V _{IR}	±30	Vdc
Output Load Current	I _L	20	mA
Power Dissipation (Package Limitation, Ceramic and Plastic Dual In-Line Package) Derate above T _A = +25°C	P _D 1/θJA	1000 6.7	mW mW/°C
Operating Ambient Temperature Range	T _A	0 to +75	°C
Storage Temperature Range	T _{stg}	-65 to +175	°C

ELECTRICAL CHARACTERISTICS (Response control pin is open.) (V_{CC} = +5.0 Vdc ±10%, T_A = 0 to +75°C unless otherwise noted)

Characteristics	Symbol	Min	Typ	Max	Unit
Positive Input Current (V _{IH} = +25 Vdc) (V _{IH} = +3.0 Vdc)	I _{IH}	3.6 0.43	—	8.3	mA
Negative Input Current (V _{IL} = -25 Vdc) (V _{IL} = -3.0 Vdc)	I _{IL}	-3.6 -0.43	—	-8.3	mA
Input Turn-On Threshold Voltage (T _A = +25°C, V _{OL} ≤ 0.45 V)	V _{IH}	1.0 1.75	— 1.95	1.5 2.25	Vdc
Input Turn-Off Threshold Voltage (T _A = +25°C, V _{OH} ≥ 2.5 V, I _L = -0.5 mA)	V _{IL}	0.75 0.75	—	1.25 1.25	Vdc
Output Voltage High (V _{IH} = 0.75 V, I _L = -0.5 mA) (Input Open Circuit, I _L = -0.5 mA)	V _{OH}	2.5 2.5	4.0 4.0	5.0 5.0	Vdc
Output Voltage Low (V _{IL} = 3.0 V, I _L = 10 mA)	V _{OL}	—	0.2	0.45	Vdc
Output Short-Circuit Current	I _{OS}	—	-3.0	-4.0	mA
Power Supply Current (All Gates "on," I _{out} = 0 mA, V _{IH} = +5.0 Vdc)	I _{CC}	—	16	26	mA
Power Consumption (V _{IH} = +5.0 Vdc)	P _C	—	80	130	mW

SWITCHING CHARACTERISTICS (V_{CC} = 5.0 Vdc ±1%, T_A = +25°C. See Figure 1.)

Characteristic	Symbol	Min	Typ	Max	Unit
Propagation Delay Time (R _L = 3.9 kΩ)	t _{PLH}	—	25	85	ns
Rise Time (R _L = 3.9 kΩ)	t _{TLH}	—	120	175	ns
Propagation Delay Time (R _L = 390 kΩ)	t _{PHL}	—	25	50	ns
Fall Time (R _L = 390 kΩ)	t _{THL}	—	10	20	ns

TEST CIRCUITS

FIGURE 1 — SWITCHING RESPONSE

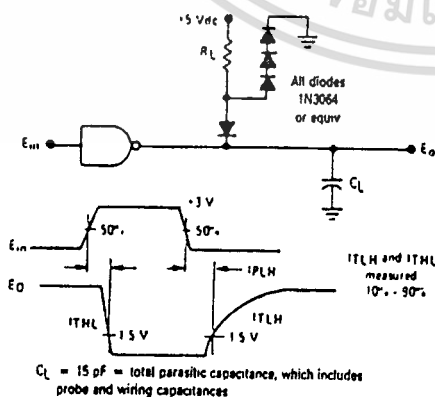
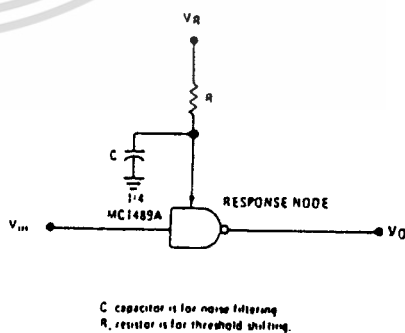


FIGURE 2 — RESPONSE CONTROL NODE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1489, MC1489A

APPLICATIONS INFORMATION (continued)

FIGURE 10 — TYPICAL TRANSLATOR APPLICATION —
MOS TO DTL OR TTL

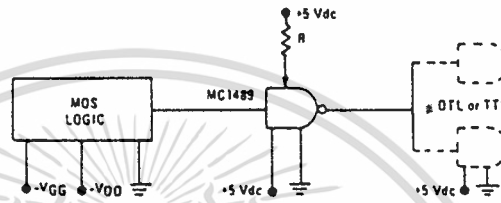
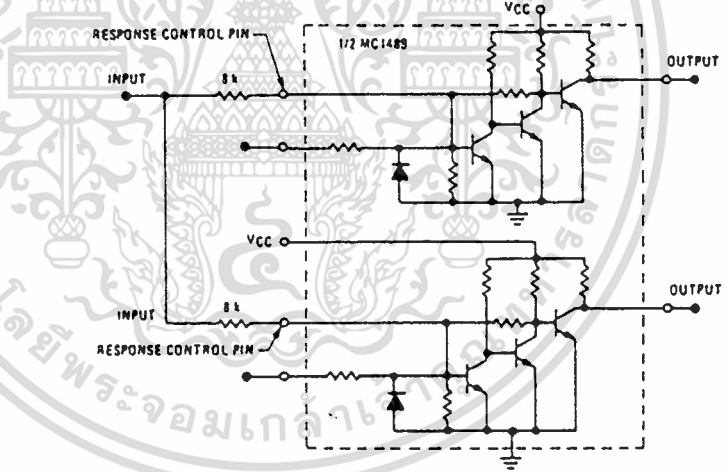


FIGURE 11 — TYPICAL PARALLELING OF TWO MC1489A RECEIVERS TO MEET RS-232C



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1489, MC1489A

APPLICATIONS INFORMATION

General Information

The Electronic Industries Association (EIA) has released the RS-232C specification detailing the requirements for the interface between data processing equipment and data communications equipment. This standard specifies not only the number and type of interface leads, but also the voltage levels to be used. The MC1488 quad driver and its companion circuit, the MC1489 quad receiver, provide a complete interface system between DTL or TTL logic levels and the RS-232C defined levels. The RS-232C requirements as applied to receivers are discussed herein.

The required input impedance is defined as between 3000 ohms and 7000 ohms for input voltages between 3.0 and 25 volts in magnitude; and any voltage on the receiver input in an open circuit condition must be less than 2.0 volts in magnitude. The MC1489 circuits meet these requirements with a maximum open circuit voltage of one V_{BE} .

The receiver shall detect a voltage between -3.0 and -25 volts as a Logic "1" and inputs between +3.0 and +25 volts as a Logic "0." On some interchange leads, an open circuit of power "OFF" condition (300 ohms or more to ground) shall be decoded as an "OFF" condition or Logic "1." For this reason, the input hysteresis thresholds of the MC1489 circuits are all above ground. Thus an open or grounded input will cause the same output as a negative or Logic "1" input.

Device Characteristics

The MC1489 interface receivers have internal feedback from the second stage to the input stage providing input

hysteresis for noise rejection. The MC1489 input has typical turn-on voltage of 1.25 volts and turn-off of 1.0 volt for a typical hysteresis of 250 mV. The MC1489A has typical turn-on of 1.95 volts and turn-off of 0.8 volt for typically 1.15 volts of hysteresis.

Each receiver section has an external response control node in addition to the input and output pins, thereby allowing the designer to vary the input threshold voltage levels. A resistor can be connected between this node and an external power-supply. Figures 2, 4 and 5 illustrate the input threshold voltage shift possible through this technique.

This response node can also be used for the filtering of high-frequency, high-energy noise pulses. Figures 8 and 9 show typical noise-pulse rejection for external capacitors of various sizes.

These two operations on the response node can be combined or used individually for many combinations of interfacing applications. The MC1489 circuits are particularly useful for interfacing between MOS circuits and MOTL/MTTL logic systems. In this application, the input threshold voltages are adjusted (with the appropriate supply and resistor values) to fall in the center of the MOS voltage logic levels. (See Figure 10)

The response node may also be used as the receiver input as long as the designer realizes that he may not drive this node with a low impedance source to a voltage greater than one diode above ground or less than one diode below ground. This feature is demonstrated in Figure 11 where two receivers are slaved to the same line that must still meet the RS-232C impedance-requirement.

FIGURE 8 — TYPICAL TURN-ON THRESHOLD versus CAPACITANCE FROM RESPONSE CONTROL PIN TO GND

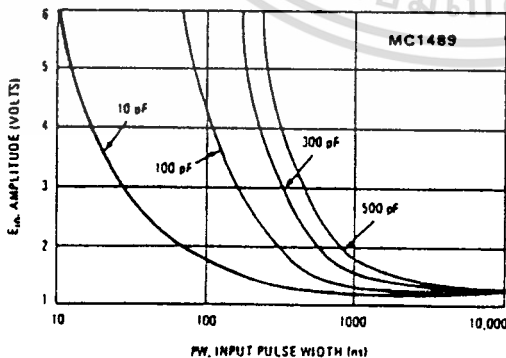
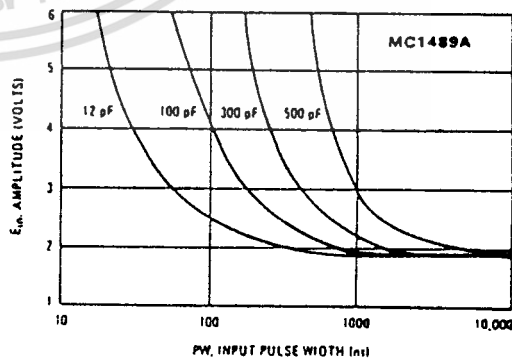


FIGURE 9 — TYPICAL TURN-ON THRESHOLD versus CAPACITANCE FROM RESPONSE CONTROL PIN TO GND



MC1489, MC1489A

TYPICAL CHARACTERISTICS

($V_{CC} = 5.0 \text{ Vdc}$, $T_A = +25^\circ\text{C}$ unless otherwise noted)

FIGURE 3 — INPUT CURRENT

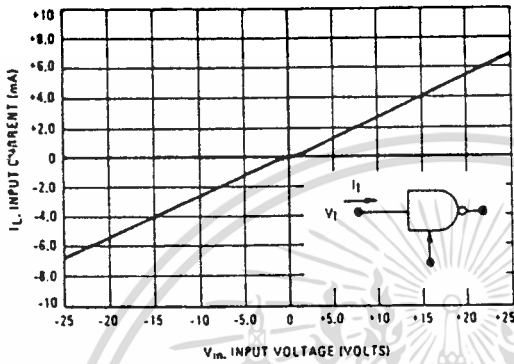


FIGURE 4 — MC1489 INPUT THRESHOLD VOLTAGE ADJUSTMENT

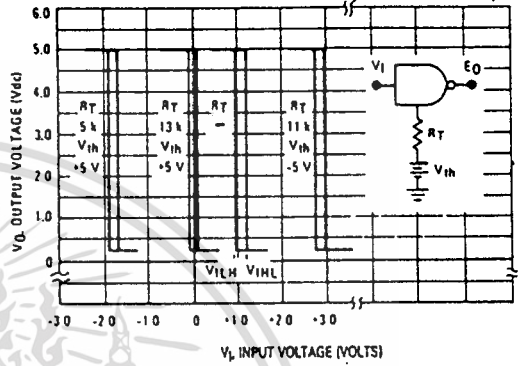


FIGURE 5 — MC1489A INPUT THRESHOLD VOLTAGE ADJUSTMENT

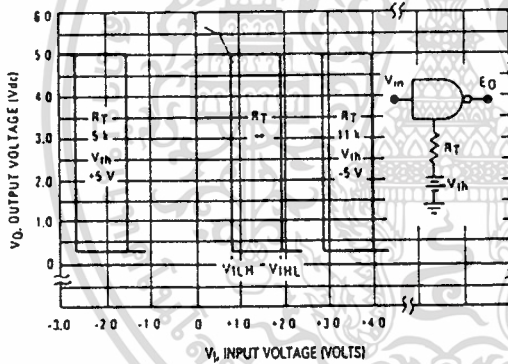


FIGURE 6 — INPUT THRESHOLD VOLTAGE versus TEMPERATURE

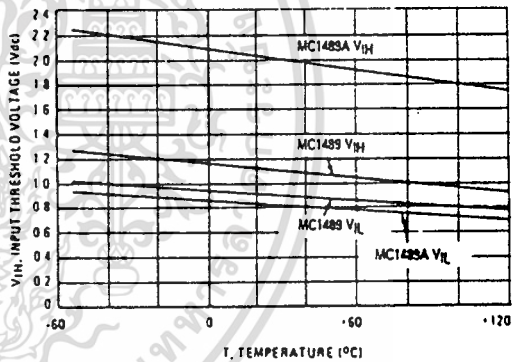
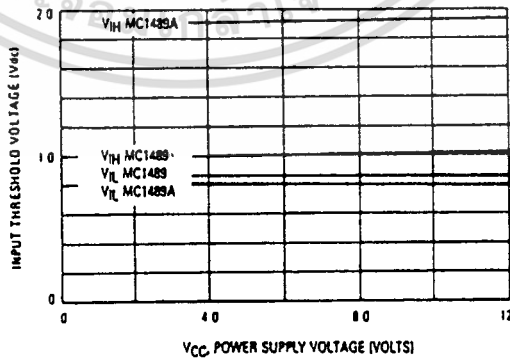


FIGURE 7 — INPUT THRESHOLD versus POWER-SUPPLY VOLTAGE



MC1489, MC1489A

APPLICATIONS INFORMATION (continued)

FIGURE 11 — TYPICAL PARALLELING OF TWO MC1489,A RECEIVERS TO MEET RS-232C

