**ภาควิชาครุศาสตร์วิศวกรรม**

**คณะครุศาสตร์อุตสาหกรรม**

**สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง**

**ใบรับรองปริญญานิพนธ์**

---

**ชื่อหัวข้อปริญญานิพนธ์** ชุดสาธิตการสลับคู่สายโทรศัพท์ระบบดิจิตอล

DIGITAL TELEPHONE SWITCHING DEMONSTRATE

**ชื่อนักศึกษา**

1.นายเกษม แสนละเอียด **รหัสประจำตัว** 36031104

2.นายธัญญะ ปิยะพันธุ์ **รหัสประจำตัว** 36031117

**หลักสูตร** ครุศาสตร์อุตสาหกรรมบัณฑิต **สาขาวิชา** วิศวกรรมโทรคมนาคม

**อาจารย์ผู้ควบคุมปริญญานิพนธ์**

1.อาจารย์พีระวุฒิ สุวรรณจันทร์

2.อาจารย์กิติพงค์ มะโน

3.อาจารย์โกศล ตราชู

| คณะกรรมการสอบปริญญานิพนธ์ | ลายมือชื่อ |
|---|---|
| 1. อาจารย์กิติพงค์ มะโน | |
| 2. อาจารย์วิสุทธิ์ อธิพรธรรม | |
| 3. อาจารย์วรวิทย์ สมหา | |
| 4. อาจารย์สมชาย หมื่นสายญาติ | |
| 5. อาจารย์สันติ ตันตระกูล | |

**วัน/เดือน/ปี ที่สอบ** วันที่ 20 เดือน พฤษภาคม พ.ศ. 2538 เวลา 20.00 น.ถึง 21.00 น.

**สถานที่สอบ** ห้อง ค.310 คณะครุศาสตร์อุตสาหกรรม

ภาควิชารับรองแล้ว

ลงนาม .....

(ผศ.ดร.ธีระพล เทพหัสดิน ณ อยุธยา)

หัวหน้าภาควิชาครุศาสตร์วิศวกรรม

วันที่ 30 เดือน พฤษภาคม พ.ศ. 2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ปริญญานิพนธ์

# ชุดสาธิตการสลับคู่สายโทรศัพท์ระบบดิจิตอล
# DIGITAL TELEPHONE SWITCHING DEMONSTRATE


นายเกษม แสนละเอียด

นายธัญญะ ปิยะพันธุ์



A021080

ปพ.
เลขหมู่ ก783ท 2537
เลขทะเบียน 1312 A021080
วัน เดือน ปี -3 พ.ย. 2538


ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรครุศาสตร์อุตสาหกรรมบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

ภาควิชาครุศาสตร์วิศวกรรม

คณะครุศาสตร์อุตสาหกรรม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2537


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ปริญญานิพนธ์

**เรื่อง ชุดสาธิตการสลับคู่สายโทรศัพท์ระบบดิจิตอล**

**DIGITAL TELEPHONE SWITCHING DEMONSTRATE**


**ผู้จัดทำ**

1. นายเกษม แสนละเอียด รหัสประจำตัว 36031104
2. นายธัญญะ ปียะพันธุ์ รหัสประจำตัว 36031117


**อาจารย์ที่ปรึกษา**

ลงนาม.....

( อาจารย์พีระวุฒิ สุวรรณจันทร์ )

ลงนาม.....

( อาจารย์กิติพงค์ มะโน )

ลงนาม.....

( อาจารย์โกศล ตราชู )

**หัวหน้าภาควิชาครุศาสตร์วิศวกรรม**

ลงนาม.....

( ผศ.ดร.ธีระพล เทพหัสดิน ณ อยุธยา )


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ปริญญานิพนธ์

เรื่อง ชุดสาธิตการสลับคู่สายโทรศัพท์ระบบดิจิตอล

DIGITAL TELEPHONE SWITCHING DEMONSTRATE

**วัตถุประสงค์**

1. เพื่อศึกษาหลักการการสลับคู่สายโทรศัพท์ระบบดิจิตอล
2. เพื่อออกแบบวงจรการสลับคู่สายโทรศัพท์ระบบดิจิตอล
3. เพื่อสร้างอุปกรณ์ชุดสาธิตการสลับคู่สายโทรศัพท์ระบบดิจิตอล
4. เพื่อแสดงผลการสาธิตการสลับคู่สายโทรศัพท์ระบบดิจิตอล
5. เพื่อสามารถนำชุดสาธิตการสลับคู่สายโทรศัพท์ไปประกอบการเรียนการสอน

**ประโยชน์ที่คาดว่าจะได้รับ**

1. ได้ศึกษาหลักการการสลับคู่สายโทรศัพท์ระบบดิจิตอล
2. ได้ออกแบบวงจรการสลับคู่สายโทรศัพท์ระบบดิจิตอล
3. ได้สร้างอุปกรณ์ชุดสาธิตการสลับคู่สายโทรศัพท์ระบบดิจิตอล
4. ได้แสดงผลการสาธิตการสลับคู่สายโทรศัพท์ระบบดิจิตอล
5. ได้สามารถนำชุดสาธิตการสลับคู่สายโทรศัพท์ไปประกอบการเรียนการสอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ชุดสาธิตการสลับคู่สายโทรศัพท์ระบบดิจิตอล

นายเกษม แสนละเอียด
นายธัญญะ ปิยะพันธุ์

**อาจารย์ที่ปรึกษา**
อาจารย์พีระวุฒิ สุวรรณจันทร์
อาจารย์กิติพงค์ มะโน
อาจารย์โกศล ตราชู
ปีการศึกษา 2537

**บทคัดย่อ**

ปริญญานิพนธ์ฉบับนี้นำเสนอ ชุดสาธิตการสลับคู่สายโทรศัพท์ระบบดิจิตอล เพื่อใช้ประกอบการเรียนในเรื่องที่เกี่ยวกับการสลับคู่สายโทรศัพท์ระบบดิจิตอล โดยจะประกอบไปด้วยส่วนของวงจรกรองความถี่ต่ำผ่าน,วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล และดิจิตอลเป็นอนาล็อก,วงจรมัลติเพล็กซ์ และดีมัลติเพล็กซ์, ไทม์สวิทช์ และสเปซสวิทช์ ซึ่งจะแยกส่วนออกจากกันเป็นส่วน ๆ โดยแต่ละส่วนจะทำเป็นแผ่นวงจรพิมพ์ สำหรับเสียบบนสล๊อตมีลักษณะคล้ายการ์ดคอมพิวเตอร์ และมีคู่สายสำหรับสาธิตการสลับคู่สายทั้งหมด 6 คู่สาย โดยแยกเป็น 2 ชุด ซึ่งจะใช้สวิทช์ควบคุมการสลับคู่สายทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# DIGITAL TELEPHONE SWITCHING DEMONSTRATE

MR. KASEM SANLA-IED

MR. TUNYA PIYAPUNT

**ADVISOR**

MR. PEERAWUT SUWANJAN

MR. KITIPONG MANO

MR. KOSON TRACHU

1994

**ABSTRACT**

This thesis presents the digital telephone switching demonstrate for learning about digital telephone switching compase of low pass filter circuit, analog to digital converter circuit and digital to analog converter circuit , multiplex circuit and demultiplex circuit, time switch and space switch. Which seperates many parts. Each parts can make print circuit board for put on slot like computer card and have six line switch for demonstrate switching. It seperate in two parts which use switch to control all of the switching.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงไปได้ด้วยดี เป็นเพราะความกรุณาให้คำปรึกษา และได้รับความช่วยเหลือในด้านต่างจากอาจารย์พีระวุฒิ สุวรรณจันทร์ , อาจารย์กิติพงค์ มะโน , อาจารย์โกศล ตราชู และจากท่านอาจารย์ประจำภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังทุกท่าน และสิ่งสำคัญที่จะลืมมิได้ ผู้จัดทำต้องขอขอบพระคุณคุณพ่อ และคุณแม่ที่ท่านได้ให้กำลังใจ และกำลังทุนทรัพย์ในการจัดทำปริญญานิพน์จนสำเร็จลุล่วงไปด้วยดี ผู้จัดทำรู้สึกซาบซึ้งและต้องขอขอบพระคุณเป็นอย่างสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ


บทคัดย่อภาษาไทย I

บทคัดย่อภาษาอังกฤษ II

กิตติกรรมประกาศ III

สารบัญ IV

สารบัญภาพ VI

สารบัญตาราง X

บทที่ 1 บทนำ 1

บทที่ 2 ทฤษฎี และหลักการ 2

2.1 ชุมสายโทรศัพท์ 2

2.1.1 หลักการสวิทช์ของระบบ 2

2.1.2 ชุมสายโทรศัพท์แบบสเต็ป-บาย-สเต็ป 5

2.1.3 ชุมสายโทรศัพท์แบบครอสบาร์ 9

2.1.4 ชุมสายโทรศัพท์แบบเก็บโปรแกรม 15

2.1.5 ชุมสายโทรศัพท์ระบบดิจิตอล 17

2.2 เทคนิคของ Pulse Code Modulation สำหรับโทรศัพท์ 20

2.2.1 กล่าวทั่วไป 20

2.2.2 สัญญาณอนาล็อก และการส่ง 21

2.2.3 สัญญาณดิจิตอล และการส่ง 22

2.2.4 พัลส์มอดูเลชั่น 23

2.2.5 หลักการของระบบพัลส์โค๊ดมอดูเลชั่น (PCM) 25

2.3 หลักการของระบบดิจิตอลสวิทช์ชิ่ง 31

2.3.1 ชุมสายระบบดิจิตอล 31

2.3.2 หลักการของการมัลติเพล็กซ์แบบ TDM 33

2.3.3 ไทม์สวิทช์ 35

2.3.4 สเปซสวิทช์ 50

บทที่ 3 การออกแบบ และการสร้าง 57

3.1 วงจรกรองความถี่ต่ำผ่าน 57

3.2 วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล และดิจิตอลเป็นอนาล็อก 59


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1 การแปลงสัญญาณอนาล็อกเป็นดิจิตอล 59
3.2.2 การแปลงสัญญาณดิจิตอลเป็นอนาล็อก 60
3.3 วงจรมัลติเพล็กซ์ และดีมัลติเพล็กซ์แบบ TDM 61
3.3.1 วงจรมัลติเพล็กซ์แบบ TDM 61
3.3.2 วงจรดีมัลติเพล็กซ์แบบ TDM 63
3.4 วงจรไทม์สวิทช์ 64
3.5 วงจรสเปซสวิทช์ 66
บทที่ 4 การทดลอง และผลการทดลอง 71
4.1 การทดลองวงจรกรองความถี่ต่ำผ่าน 71
4.2 การทดลองวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล และดิจิตอลเป็นอนาล็อก 72
4.2.1 การทดลองวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล 72
4.2.2 การทดลองวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก 73
4.3 การทดลองวงจรมัลติเพล็กซ์ และดีมัลติเพล็กซ์แบบ TDM 75
4.3.1 การทดลองวงจรมัลติเพล็กซ์แบบ TDM 75
4.3.2 การทดลองวงจรดีมัลติเพล็กซ์แบบ TDM 76
4.4 การทดลองวงจรไทม์สวิทช์ 78
4.5 การทดลองวงจรสเปซสวิทช์ 79
บทที่ 5 บทสรุป และแนวทางในการพัฒนา 81
5.1 บทสรุป 81
5.2 ปัญหา และแนวทางในการแก้ไข 81
5.3 แนวทางในการพัฒนา 82
บรรณานุกรม 83
ภาคผนวก รายละเอียดของอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญภาพ

รูปที่ 2.1 การติดต่อภายในโดยตรง 2
รูปที่ 2.2 วิธีต่อแบบหนึ่งเส้นทางสื่อสารต่อเทอร์มินอล 1 เครื่อง 3
รูปที่ 2.3 วิธีต่อแบบใช้ช่องสัญญาณเรียกติดต่อ 1 เส้นทาง 3
รูปที่ 2.4 วิธีต่อแบบมีศูนย์กลางสวิทช์ 4
รูปที่ 2.5 หลักการของสวิทช์ชิ่งจากอุปกรณ์กลไก 5
รูปที่ 2.6 ระบบสเต็ป-บาย-สเต็ป ขนาด 100 หมายเลข 6
รูปที่ 2.7 หลักการของสวิทช์แบบ 2 ทิศทาง 7
รูปที่ 2.8 การจัดระบบของหมายเลข 3 หลัก 8
รูปที่ 2.9 บล็อคไดอะแกรมของชุมสายสเต็ป-บาย-สเต็ป แบบหมายเลข 4 หลัก 9
รูปที่ 2.10 หลักการของลีดรีเลย์ 9
รูปที่ 2.11 หลักการทำงานของลีดรีเลย์ 10
รูปที่ 2.12 ลีดรีเลย์ 11
รูปที่ 2.13 วิธีเชื่อมต่อสวิทช์ในแบบครอสบาร์ 11
รูปที่ 2.14 หลักการของชุมสายที่ใช้ครอสบาร์ และลีดรีเลย์ 12
รูปที่ 2.15 การจัดสวิทช์แบบแมทริกช์แบบ 4 × 4 12
รูปที่ 2.16 จุดสวิทช์ของครอสบาร์ขนาด 4 × 4 13
รูปที่ 2.17 จำนวนจุดตัดของสวิทช์แมทริกช์ 14
รูปที่ 2.18 ตัวอย่างของสวิทช์แมทริกช์ขนาด 10 × 5 14
รูปที่ 2.19 หลักการพื้นฐานของชุมสาย SPC 16
รูปที่ 2.20 การทำงานในการเรียกเข้าของชุมสายแบบเก็บโปรแกรม 17
รูปที่ 2.21 ชุมสายทรั้งค์แบบดิจิตอล 18
รูปที่ 2.22 ชุมสายท้องถิ่นแบบดิจิตอล 19
รูปที่ 2.23 สัญญาณอนาล็อก 21
รูปที่ 2.24 ลักษณะการส่งสัญญาณอนาล็อก 21
รูปที่ 2.25 สัญญาณดิจิตอล 22
รูปที่ 2.26 ลักษณะการส่งสัญญาณดิจิตอล 23
รูปที่ 2.27 หลักการเบื้องต้นของการมัลติเพล็กช์แบบ TDM 24
รูปที่ 2.28 สัญญาณ PAM ของสัญญาณ 4 ช่อง 24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.29 การแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลในระบบ PCM 26
รูปที่ 2.30 บล็อคไดอะแกรมของระบบ PCM 27
รูปที่ 2.31 การสุ่มตัวอย่าง (Sampling) 29
รูปที่ 2.32 การแบ่งย่านแอมปลิจูดออกเป็นระดับต่าง ๆ 30
รูปที่ 2.33 การเข้ารหัส 31
รูปที่ 2.34 ส่วนประกอบของชุมสายระบบดิจิตอล 32
รูปที่ 2.35 ส่วนประกอบของชุมสายแบบอนาล็อก 32
รูปที่ 2.36 การส่งผ่านข้อมูลข่าวสารแบบดิจิตอล 33
รูปที่ 2.37 ชุมสายระบบ SPC 33
รูปที่ 2.38 หลักการของ TDM 34
รูปที่ 2.39 การส่งสัญญาณออกทางไฮเวย์ 34
รูปที่ 2.40 โครงสร้างของไทม์สวิทช์ 35
รูปที่ 2.41 ไทม์สวิทช์ และวงจรเปรียบเทียบ 38
รูปที่ 2.42 การส่งสัญญาณผ่านไฮเวย์ 38
รูปที่ 2.43 การอ่านสัญญาณ 39
รูปที่ 2.44 การจัดอันดับของสัญญาณ 39
รูปที่ 2.45 การจัดอันดับของการสับเปลี่ยนช่วงเวลา 40
รูปที่ 2.46 หลักการของไทม์สล็อท 40
รูปที่ 2.47 การจัดการสับเปลี่ยนช่วงเวลาใน 1 เฟรม 41
รูปที่ 2.48 การสับเปลี่ยนช่วงเวลาของวงจรดิจิตอล 41
รูปที่ 2.49 การสับเปลี่ยนของการสับเปลี่ยนช่วงเวลา 41
รูปที่ 2.50 ไทม์สล็อทอินเตอร์เชนจ์ 42
รูปที่ 2.51 การสับเปลี่ยนกันระหว่างไทม์สล็อท 42
รูปที่ 2.52 การส่งผ่านของไทม์สล็อทอินเตอร์เชนจ์ 43
รูปที่ 2.53 สัญญาณที่จะผ่านไทม์สวิทช์ 43
รูปที่ 2.54 การตอบสนองกันระหว่างวงจรทางด้านเข้ากับวงจรทางด้านออก 44
รูปที่ 2.55 ส่วนประกอบของสัญญาณดิจิตอล 8 บิท 44
รูปที่ 2.56 การส่งสัญญาณผ่านไทม์สวิทช์ 45
รูปที่ 2.57 การใช้งานของไทม์สวิทช์ 45
รูปที่ 2.58 การใช้งานของไทม์สล็อทในไทม์สวิทช์ 46

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.59 คาบเวลาการอ่าน และคาบเวลาการเขียน 46
รูปที่ 2.60 การเปลี่ยนแปลงของสัญญาณ 47
รูปที่ 2.61 การอ่านออกมาในไทม์สวิทช์ 47
รูปที่ 2.62 วิธีการอ่าน และเขียนของไทม์สวิทช์ 48
รูปที่ 2.63 วงจรของการอ่านและเขียนของเฟรมถัดไป 48
รูปที่ 2.64 การจัดลำดับของสัญญาณและไทม์สล็อท 49
รูปที่ 2.65 การส่งสัญญาณหลังจากการดีมัลติเพล็กซ์ 49
รูปที่ 2.66 การเปรียบเทียบระหว่างไทม์สวิทช์ และสเปซสวิทช์ 50
รูปที่ 2.67 ลักษณะของสเปซสวิทช์ 51
รูปที่ 2.68 การใช้งานไทม์สวิทช์ร่วมกับสเปซสวิทช์ 51
รูปที่ 2.69 การใช้สเปซสวิทช์ 52
รูปที่ 2.70 การใช้วงจรเซมิคอนดัคเตอร์เกท 52
รูปที่ 2.71 การใช้คอนโทรลสตอร์ร่วมกับทางด้านออกของไฮเวย์ 53
รูปที่ 2.72 การส่งสัญญาณจากทางด้านเข้าไปทางด้านออกของไฮเวย์ 54
รูปที่ 2.73 คอมบิเนชั่นของไทม์สวิทช์ และสเปซสวิทช์ 54
รูปที่ 2.74 โครงข่ายแบบ T-S-T 55
รูปที่ 2.75 วงจรเปรียบเทียบของไทม์สวิทช์ 56
รูปที่ 2.76 โครงข่ายแบบ S-T-S 56
รูปที่ 3.1 บล็อคไดอะแกรมชุดสาธิตการสลับคู่สายโทรศัพท์ระบบดิจิตอล 57
รูปที่ 3.2 วงจรกรองความถี่ต่ำผ่าน 58
รูปที่ 3.3 วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล 59
รูปที่ 3.4 สัญญาณการสุ่มตัวอย่างที่ช่องสัญญาณต่าง ๆ 60
รูปที่ 3.5 วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก 61
รูปที่ 3.6 วงจรมัลติเพล็กซ์แบบ TDM 62
รูปที่ 3.7 แสดงการควบคุมการมัลติเพล็กซ์ข้อมูล 62
รูปที่ 3.8 วงจรดีมัลติเพล็กซ์แบบ TDM 63
รูปที่ 3.9 สัญญาณควบคุมการนับ 63
รูปที่ 3.10 การต่อหน่วยความจำแรม 74189 ให้มีขนาด 8 บิท 64
รูปที่ 3.11 สัญญาณควบคุมการนับ และการเขียน 65
รูปที่ 3.12 วงจรไทม์สวิทช์ 1 และ 2 67

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.13 วงจรไทม์สวิทช์ 3 68
รูปที่ 3.14 วงจรไทม์สวิทช์ 4 69
รูปที่ 3.15 วงจรสเปซสวิทช์ 70
รูปที่ 4.1 การต่อวงจรทดลองวงจรกรองความถี่ต่ำผ่าน 71
รูปที่ 4.2 กราฟเอาท์พุทของวงจรกรองความถี่ต่ำผ่าน 72
รูปที่ 4.3 การต่อวงจรทดลองวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล 73
รูปที่ 4.4 สัญญาณดิจิตอลที่ได้มาจากสัญญาณอนาล็อก 73
รูปที่ 4.5 การต่อวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก 74
รูปที่ 4.6 การแปลงสัญญาณดิจิตอลเป็นอนาล็อก 74
รูปที่ 4.7 การต่อวงจรการแปลงสัญญาณดิจิตอลเป็นอนาล็อกร่วมกับวงจร LPF 74
รูปที่ 4.8 สัญญาณอนาล็อกที่ผ่านวงจรกรองความถี่ต่ำผ่าน 75
รูปที่ 4.9 การต่อวงจรมัลติเพล็กซ์แบบ TDM 76
รูปที่ 4.10 สัญญาณดิจิตอลที่ได้จากการแปลงมาจากสัญญาณอนาล็อก 76
รูปที่ 4.11 การต่อวงจรดีมัลติเพล็กซ์ 77
รูปที่ 4.12 สัญญาณที่ได้จากการดีมัลติเพล็กซ์ 77
รูปที่ 4.13 การต่อไทม์สวิทช์เพื่อทดลอง 78
รูปที่ 4.14 วงจรทดลองสเปซสวิทช์ 79

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญตาราง

ตารางที่ 4.1 ตารางบันทึกผลการทดลองวงจรกรองความถี่ต่ำผ่าน 71-72
ตารางที่ 4.2 ตารางบันทึกผลการทดลองไทม์สวิทช์ 79
ตารางที่ 4.3 ตารางบันทึกผลการทดลองสเปซสวิทช์ 80




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1
# บทนำ

ปัจจุบันการพัฒนาระบบเกี่ยวกับข่าวสาร,การสื่อสารระบบดิจิตอล ,การสื่อสารโมบายล์และโทรศัพท์ระบบดิจิตอล นับว่ามีความสำคัญมากในยุคปัจจุบัน สืบเนื่องมาจากการการพัฒนาทางเทคโนโลยีโทรคมนาคม ระบบการส่งสัญญาณผ่านเส้นใยแสง, ระบบดาวเทียม เทคนิคในด้านวงจรสารกึ่งตัวนำ และความก้าวหน้าทางด้านอื่น ๆ อีกมากมาย และพร้อมกันนี้เครือข่ายการสื่อสารก็ได้ถูกพัฒนาไปอย่างไม่หยุดยั้ง หาขอบเขตไม่ได้

หลักการสำคัญของการสื่อสารโดยอาศัยดิจิตอลเทคนิคก็คือ ชุมสายระบบดิจิตอล ซึ่งจะประกอบไปด้วยวงจรสำหรับทำหน้าที่เป็นตัวสวิทช์ชิ่ง และบางส่วนทำหน้าที่เปลี่ยนสัญญาณอนาล็อกเป็นดิจิตอล ถ้าหากระบบสายส่งเป็นระบบดิจิตอล ชุมสายระบบดิจิตอลก็จะสามารถเชื่อมต่อเข้ากับระบบสายส่งได้ทันที

ซึ่งจากที่กล่าวมาข้างต้น เพื่อให้การเรียนการสอนที่เกี่ยวกับการสลับคู่สายโทรศัพท์ระบบดิจิตอลมีอุปกรณ์ในการสาธิตให้เห็นถึงหลักการ และวิธีการต่าง ๆ ของการสลับสายโทรศัพท์หรือสวิทช์ชิ่งของชุมสายโทรศัพท์ระบบดิจิตอล เพื่อให้ง่ายต่อการเข้าใจถึงวิธีการสลับสายจึงใช้สวิทช์ในการควบคุมการสลับคู่สายโทรศัพท์ จะทำให้สามารถเห็นขั้นตอนว่ามีวิธีการอย่างไร ซึ่งจะเป็นรูปธรรมมากขึ้น

เนื้อหาในปริญญานิพนธ์เรื่องชุดสาธิตการสลับคู่สายโทรศัพท์ระบบดิจิตอลได้จำแนกหัวข้อไว้เป็นบทต่าง ๆ ดังนี้

บทที่ 1 กล่าวถึง ความเป็นมาของชุดสาธิตการสลับคู่สายโทรศัพท์ระบบดิจิตอล และแนวคิดของปริญญานิพนธ์

บทที่ 2 กล่าวถึง รายละเอียดพอสังเขปเกี่ยวกับทฤษฎี และหลักการของชุดสาธิตการสลับคู่สายโทรศัพท์ระบบดิจิตอล

บทที่ 3, 4 กล่าวถึง การออกแบบและการสร้าง, การทดลองและผลการทดลอง ชุดสาธิตการสลับคู่สายโทรศัพท์ระบบดิจิตอล ตามลำดับ

บทที่ 5 เป็นบทสุดท้าย จะกล่าวถึงปัญหา ,แนวทางในการแก้ปัญหา และแนวทางในการพัฒนาต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

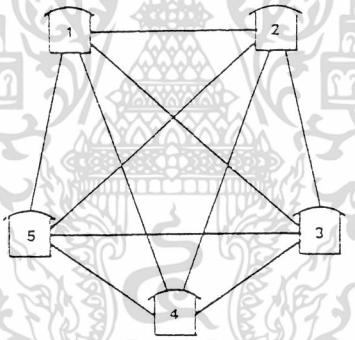
# บทที่ 2
# ทฤษฎี และหลักการ

## 2.1 ชุมสายโทรศัพท์

### 2.1.1 หลักการสวิทช์ของระบบ

การสวิทช์มีจุดประสงค์เพื่อที่จะใช้เทอร์มินอล (Terminal) เครื่องหนึ่ง ( เช่นโทรศัพท์, โทรพิมพ์,โทรสาร ฯลฯ ) ส่งข้อมูลไปยังเทอร์มินอลเครื่องอื่นได้ โดยการเลือกผู้ที่ต้องการจะติดต่อด้วย

ถ้าเครือข่ายมีขนาดเล็กเส้นทางสื่อสารโดยตรงสามารถมีได้ในแต่ละคู่ของเทอร์มินอล และมีอุปกรณ์สวิทช์ เลือกเส้นทางติดตั้งที่เทอร์มินอล ดังรูปที่ 2.1

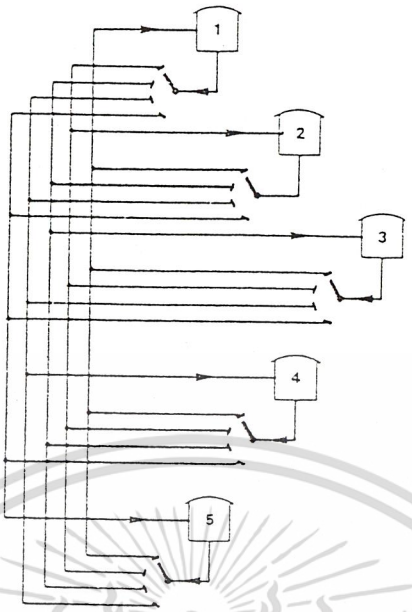



รูปที่ 2.1 แสดงการติดต่อภายในโดยตรง

จากรูปที่ 2.1 มีเทอร์มินอลจำนวน 5 เครื่อง ซึ่งแต่ละเทอร์มินอลสามารถติดต่อกับเครื่องอื่นได้ 4 เส้นทาง ดังนั้นถ้ามีเทอร์มินอลจำนวน N เครื่อง เราจะสามารถมีเส้นทางสื่อสารได้ทั้งหมด (1/2)N×(N-1) เส้นทางดังในรูปที่ 2.1 มีเทอร์มินอล 5 เครื่องจึงมีเส้นทางการสื่อสารได้ทั้งหมดเท่ากับ (1/2)×5×(5-1) = 10 เส้น

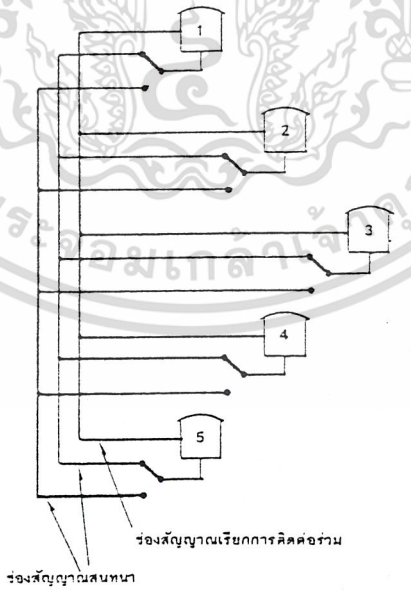
สำหรับแบบต่อไปมีส่วนแตกต่างจากแบบแรกไปบางส่วน คือมีเส้นทางสื่อสาร 1 เส้นต่ออยู่กับเทอร์มินอลแต่ละเครื่อง (อย่างถาวร) เพื่อใช้เรียกการติดต่อกับเทอร์มินอลที่ต้องการโดยเฉพาะขอให้พิจารณาจากรูปที่ 2.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.2 แสดงวิธีต่อแบบหนึ่งเส้นทางสื่อสารต่อเทอร์มินอล 1 เครื่อง

จากรูปที่ 2.2 แต่ละเทอร์มินอลมีอุปกรณ์สวิทช์เลือกปลายทางที่ต้องการ และจำนวนเส้นทางการสื่อสารลดลงจาก 10 เหลือ 5 เส้น สำหรับเทอร์มินอล 5 เครื่อง

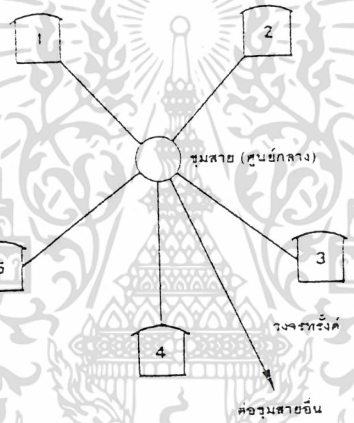



รูปที่ 2.3 แสดงวิธีต่อแบบใช้ช่องสัญญาณเรียกติดต่อ 1 เส้นทาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปคือ มี N เส้นทางต่อเทอร์มินอล N เครื่อง และส่วนในกรณีที่มีจำนวนเทอร์มินอลและระยะทางมากขึ้น ทำให้การต่อในลักษณะดังรูปที่ 2.1 และ 2.2 มีค่าใช้จ่ายสูงมากเกินไป จึงแก้ปัญหาที่จุดนี้ได้ดังวิธีในรูปที่ 2.3

จากรูปที่ 2.3 เทอร์มินอลมีช่องสัญญาณร่วมกัน 1 เส้นทางเพื่อที่ใช้ส่งคำสั่งในการตั้งเส้นทางติดต่อของการเรียกติดต่อ (call) จำนวนเส้นทางสื่อสารในวิธีต่อแบบนี้จะมีจำนวนลดลง พอให้การสื่อสารดำเนินไปได้ในระบบ วิธีนี้จะมีข้อเสียอยู่อย่างคือ ในแต่ละเทอร์มินอลนั้นจะต้องมีอุปกรณ์สวิทช์ติดตั้งประจำในแต่ละเครื่อง จนกระทั่งได้การนำหลักการสวิทช์มาใช้กับเครือข่ายโทรศัพท์ จึงได้แก้ข้อเสียนี้ โดยให้หน้าที่สวิทช์ทั้งหมดเกิดขึ้นที่ศูนย์กลางแทน ทำให้ลดจำนวนเส้นทางสื่อสารที่ต่อไปแต่ละเทอร์มินอลเหลือเพียง 1 เส้นได้ ซึ่งจะพิจารณาได้ดังรูปที่ 2.4




รูปที่ 2.4 แสดงวิธีต่อแบบมีศูนย์กลางสวิทช์

เมื่อมีผู้ใช้มากขึ้น เราจึงต้องเพิ่มจุดต่อสวิทช์ภายในชุมสายให้มากขึ้น เพื่อที่จะรองรับจำนวนผู้ใช้ที่มากขึ้น และต้องการออกแบบให้เครือข่ายสามารถติดต่อผู้ใช้ได้ไม่ว่าจะอยู่บริเวณใด

เริ่มแรกชุมสายโทรศัพท์เป็นแบบใช้มือต่อโดยโอเปอเรเตอร์ (Operator) และต่อมาได้มีการพัฒนาเป็นแบบต่อให้อัตโนมัติโดยใช้อุปกรณ์กลไก เช่น รีเลย์ จนกระทั่งนำคอมพิวเตอร์มาควบคุมหน้าที่การต่อสายให้ได้สำเร็จ และการพัฒนาของชุมสายโทรศัพท์จากอดีตจนถึงปัจจุบันมีดังต่อไปนี้

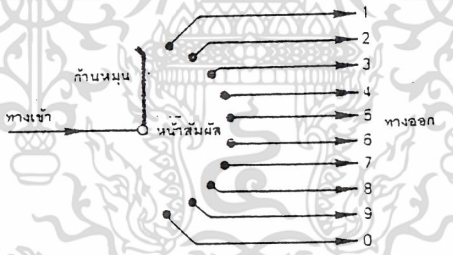
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 2.1.2 ชุมสายโทรศัพท์แบบสเต็ป-บาย-สเต็ป (Step-by-Step Telephone Exchange)

โทรศัพท์ในยุคแรกนั้น มีชุมสายโทรศัพท์เป็นแบบใช้คนทำหน้าที่โอเปอเรเตอร์ ในการต่อช่องสัญญาณให้ตามที่ผู้ใช้เรียกมา จนกระทั่งเครือข่ายมีขนาดใหญ่ขึ้น จึงทำให้การจ้างคนจำนวนมากทำหน้าที่โอเปอเรเตอร์ต้องเสียค่าใช้จ่ายเพิ่มอย่างมาก

สำหรับการทำงานแทนโอเปอเรเตอร์อย่างอัตโนมัติ สิ่งแรกที่เราต้องการก็คือ การทำให้ชุมสายรู้หมายเลขโทรศัพท์เครื่องที่เราต้องการติดต่อด้วย ขอให้พิจารณาจากเครื่องโทรศัพท์ชนิดหมุน ซึ่งถึงแม้ว่าในปัจจุบันนับว่าเก่าไปแล้วแต่ยังมีใช้งานอยู่อีกมาก หน้าสัมผัสของวงจรภายในแป้นหมุน ทำให้เกิดกระแสลูปไหล (อาศัยแหล่งจ่ายไฟฟ้าจากชุมสาย) ซึ่งมีการเปิดปิดกระแสตามจังหวะหน้าสัมผัสของวงจรในเครื่องโทรศัพท์ ตัวอย่างเช่น กรณีเราหมุนเลข "7" หน้าสัมผัสจะสัมผัสวงจร 7 ครั้ง ซึ่งในแต่ละครั้งมีช่วงระยะเวลาห่างกันที่แน่นอน (ทั่วไปประมาณ 1/20 วินาที) ซึ่งอุปกรณ์รีเลย์ที่ชุมสายจะตอบสนองต่อการสัมผัสแต่ละครั้งของวงจรด้วย

หลักการของสเต็ป-บาย-สเต็ปเป็นระบบอัตโนมัติชนิดแรกที่นำมาใช้ในชุมสายโทรศัพท์ โดยอาศัยหลักการเลือกเส้นทางที่ต้องการ 1 เส้นจาก 10 เส้นทางติดต่อ ขอให้พิจารณารูปที่ 2.5

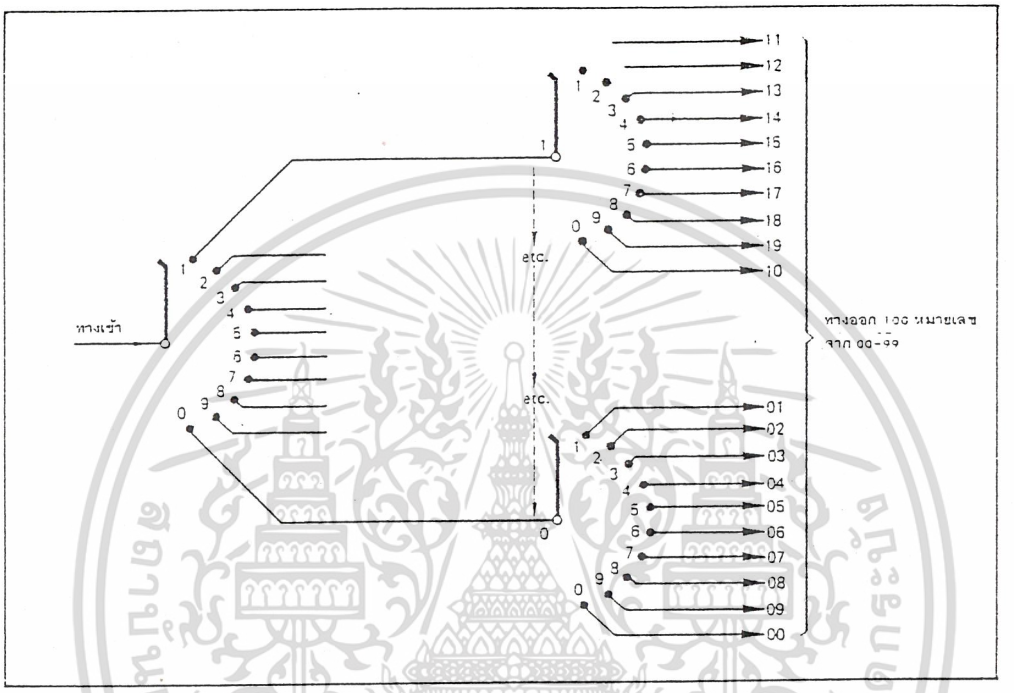



รูปที่ 2.5 แสดงหลักการของสวิทช์ชิ่งจากอุปกรณ์กลไก

จากรูปที่ 2.5 แสดงตัวอย่างของสวิทช์แบบง่าย ๆ ที่มีหน้าสัมผัส 10 หน้า เรียงกันเป็นครึ่งวงกลมรอบก้านหมุน ก้านหมุนเป็นส่วนเชื่องต่อทางเข้าและออกเข้าด้วยกัน โดยก้านหมุนจะเคลื่อนที่ผ่านหน้าสัมผัสได้ทุกตำแหน่ง และจะไปหยุดที่ตำแหน่งที่ต้องการเพียง 1 ที่เท่านั้น ตัวอย่างเช่น เราหมุนเครื่องโทรศัพท์หมายเลข "7" จะเกิดสัญญาณไฟฟ้าเป็นพัลส์ 7 ลูก เมื่อส่งมาถึงสวิทช์ พัลส์ 1 ลูกทำให้ก้านหมุนเลื่อนระดับมา 1 หน้าสัมผัส ดังนั้นสัญญาณพัลส์ 7 ลูก ทำให้ก้านหมุนเลื่อนระดับมา 7 ระดับและหยุดที่หน้าสัมผัสหมายเลข 7 นี้คือ วิธีการที่ชุมสายจะรู้ว่าผู้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใช้หมุนหมายเลขใดมา โดยอาศัยหลักการข้างต้น เราสามารถขยายระบบได้ถึง 100 ทางออก (จากเดิมมี 10 ทางออก)วิธีขยายระบบโดยต่อทางออกของสวิทช์ชุดแรกเข้ากับทางออกของสวิทช์ชุดที่ 2 ดังแสดงในรูปที่ 2.6




รูปที่ 2.6 แสดงระบบสเต็ป-บาย-สเต็ป ขนาด 100 หมายเลข # ระบบนี้ ใช้เลข 2 หลัก เท่านั้น

จากรูปที่ 2.6 การสวิทช์ กระทำอยู่ 2 ขั้นตอนคือ

-หมายเลขหลักแรก เราใช้สวิทช์ชุดที่ 1 ทำงาน

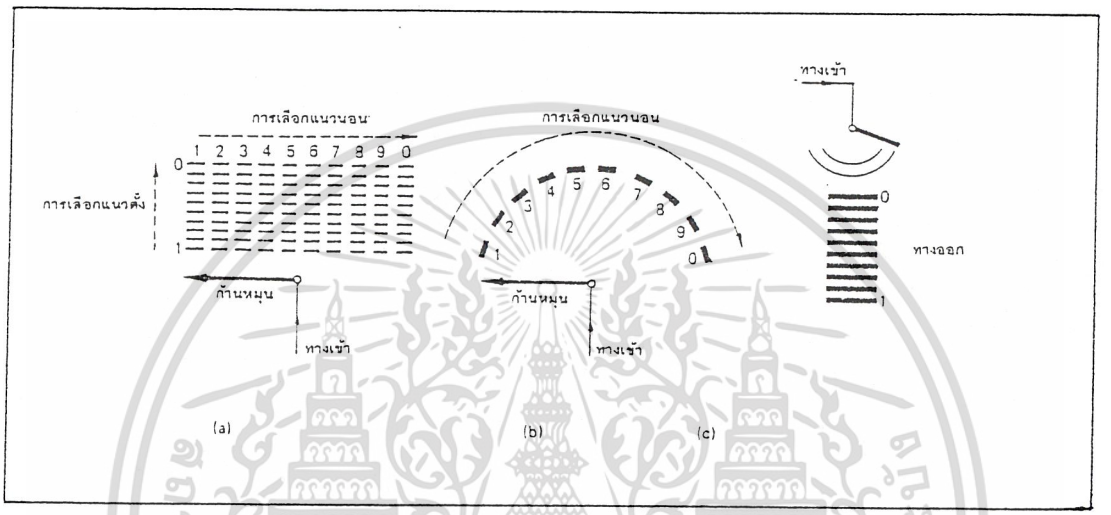
-หมายเลขหลักที่สอง เราใช้สวิทช์ชุดที่ 2 ทำงาน

ตัวอย่างเช่น ผู้ใช้หมุนหมายเลข "11" เข้ามา เลข "1" ตัวแรกทำให้ก้านหมุนของสวิทช์ชุดที่ 1 หยุดที่หน้าสัมผัสหมายเลข 1 และเราต่อทางออกของชุดแรกเข้ากับทางเข้าของสวิทช์ชุดที่ 2 ดังนั้น เลข "1" ตัวที่สองทำให้ก้านหมุนของสวิทช์ที่ต่อกับทางออกของหน้าสัมผัสหมายเลข 1 (ในสวิทช์ชุดแรก) เลื่อนระดับหยุดที่ตำแหน่งหน้าสัมผัสหมายเลข 1 เช่นกัน วิธีนี้ทำให้ชุมสายรู้หมายเลขที่หมุนมา ในทำนองเดียวกัน ถ้าแต่ละทางออก 100 หมายเลข (00-99) ต่อกับสวิทช์อีกชุด ทำให้เราขยายระบบได้ 1000 หมายเลข (000-999) ซึ่งการต่อในลักษณะนี้ในทางทฤษฎี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถขยายระบบได้ไม่สิ้นสุด แต่ในทางปฏิบัติไม่เหมาะที่จะนำมาใช้งานเพราะถ้าใช้หมายเลขโทรศัพท์ 7 หลักดังในปัจจุบัน ต้องใช้ชุดสวิทช์มากเกินไป

มีการพัฒนารูปแบบสวิทช์ใหม่ โดยยังอาศัยหลักการสเต็ป-บาย-สเต็ป อยู่เรียกชุดสวิทช์นี้ว่าแบบ 2 ทิศทาง (two motion) ดังรูปที่ 2.7 (a) และ (b)




รูปที่ 2.7 แสดงหลักการของสวิทช์แบบ 2 ทิศทาง

(a) ภาพด้านหน้า

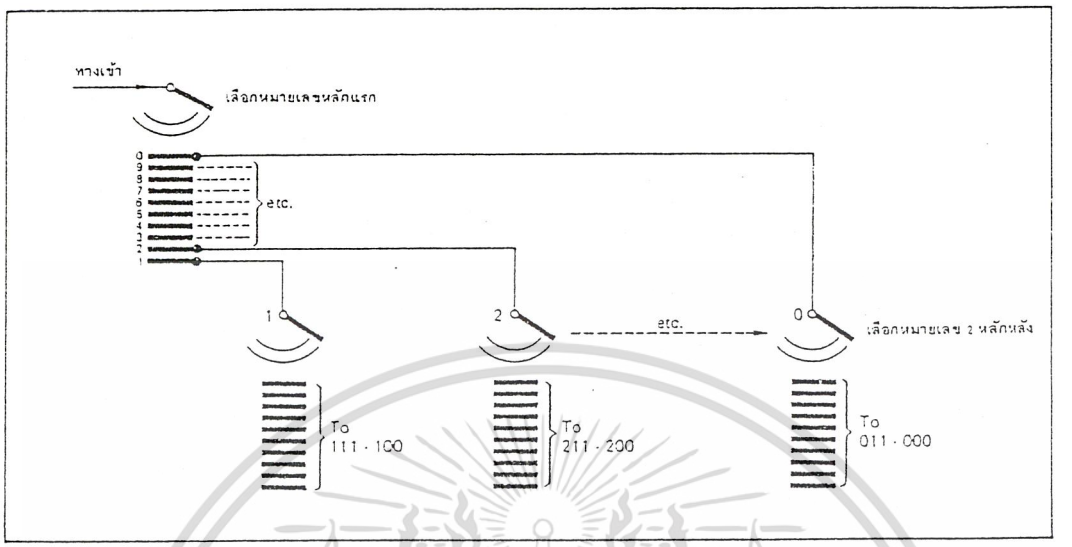
(b) ภาพด้านบน

(c) สัญลักษณ์ของสวิทช์แบบ 2 ทิศทาง

จากรูปที่ 2.7 (a), (b) มีหน้าสัมผัส 10 ตำแหน่งถูกจัดเรียงในรูปครึ่งวงกลม และในแต่ละหน้าสัมผัสแบ่งในแนวตั้งได้อีก 10 หน้าสัมผัส (จาก 0-9) สรุปแล้วในชุดสวิทช์ 1 ชุด มีจำนวนหน้าสัมผัสได้ 100 ตำแหน่ง (จาก 00-99)

การเคลื่อนที่ของก้านหมุนในการเลือกตำแหน่งหน้าสัมผัสใดนั้น จะมีแนวทางดังนี้ คือ ก้านหมุนเคลื่อนที่ในแนวตั้งเพื่อเลือกหน้าสัมผัสที่ต้องการ หลังจากนั้นก้านหมุนจะเคลื่อนที่ในแนวนอน เพื่อเลือกหน้าสัมผัสที่ต้องการ จะเห็นได้ว่าการเคลื่อนที่ของก้านหมุนในสวิทช์แบบนี้จะได้หมายเลข 2 หลัก และเราแทนสัญลักษณ์ของสวิทช์แบบ 2 ทิศทางได้ดังรูปที่ 7 (c) การขยายระบบโดยชุดสวิทช์แบบ 2 ทิศทาง แสดงดังรูปที่ 2.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



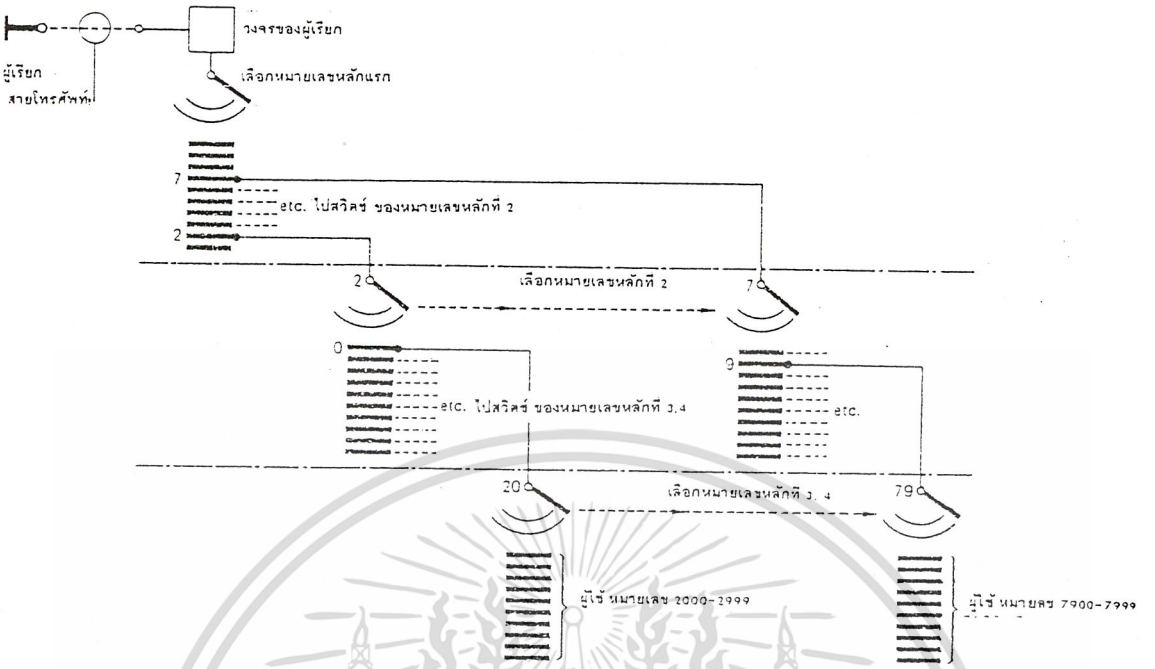

รูปที่ 2.8 แสดงการจัดระบบของหมายเลข 3 หลัก

จากรูปที่ 2.8 จะมีการต่อชุดสวิทช์แบบ 2 ทิศทางต่อจากชุดสวิทช์แบบ 1 จาก 10 โดยหมายเลขหลักแรกสุดทำให้ชุดสวิทช์แบบเลือก 1 จาก 10 เลื่อนตำแหน่งแนวตั้งไปยังหน้าสัมผัสของหมายเลขหลักแรกนั้น ถัดมาชุดสวิทช์แบบ 2 ทิศทาง ทำการเลือกของหมายเลข 2 หลักหลังแทน สำหรับการขยายระบบถึง 10,000 หมายเลข มีการเพิ่มชุดสวิทช์แบบเลือก 1 จาก 10 เข้าไปอีก 1 ชุด ก่อนหน้าสวิทช์ แบบ 2 ทิศทางดังรูปที่ 2.9 แต่ในทางทฤษฎีแล้วการใช้หมายเลข 4 หลักสามารถให้บริการผู้ใช้ได้ 10,000 คน แต่ในการใช้งานจริง พบว่าเราต้องสำรองหมายเลขบางส่วนเพื่องานดังนี้

- ใช้ติดต่อระหว่างชุมสายอื่น
- ใช้สำหรับโอเปอร์เรเตอร์
- ใช้สำหรับบริการพิเศษอื่น ๆ

ทำให้ความสามารถของชุมสายในการให้บริการต่อผู้ใช้อาจเหลือ 6,000 หมายเลข จากจำนวนทั้งหมด 10,000 หมายเลข วงจรสวิทช์ของชุมสายแบบสเต็ป-บาย-สเต็ป มีชิ้นส่วนเคลื่อนไหวจำนวนมาก ด้วยเหตุนี้ทำให้วงจรเสื่อมคุณภาพเร็ว ซึ่งจะต้องมีการบำรุงรักษาวงจรสวิทช์อยู่ตลอด ค่าใช้จ่ายที่สูงในการบำรุงรักษา เป็นเหตุผลใหญ่ที่หลายประเทศเปลี่ยนการใช้ชุมสายแบบสเต็ป-บาย-สเต็ป มาเป็นชุมสายอิเล็กทรอนิกส์ที่เสียค่าใช้จ่ายส่วนนี้ต่ำกว่ามาก

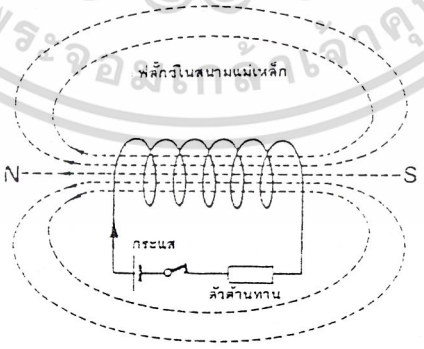
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.9 แสดงบล็อคไดอะแกรมของชุมสายสเต็ป-บาย-สเต็ปแบบหมายเลข 4 หลัก

### 2.1.3 ชุมสายโทรศัพท์แบบครอสบาร์ (Crossbar Exchange)

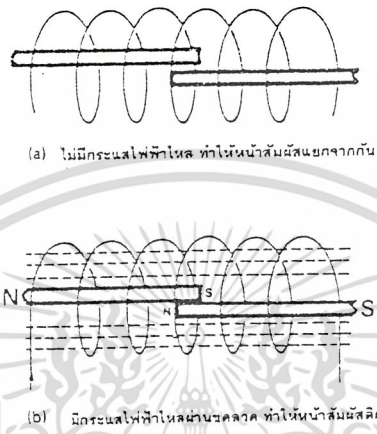
ลีดรีเลย์เป็นอุปกรณ์ที่ออกแบบ โดยอาศัยหลักการที่กระแสไฟฟ้าไหลผ่านขดลวด โดยขดลวดจะสร้างสนามแม่เหล็กไฟฟ้ารอบขดลวดนั้น แสดงดังรูปที่ 2.10




รูปที่ 2.10 แสดงหลักการของลีดรีเลย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการทำงานของลีดรีเลย์ (Reed Relay) อธิบายได้โดยพิจารณาจากรูปที่ 2.11 และจากรูปที่ 2.11 ถ้ามีกระแสไหลผ่านขดลวดทำให้หน้าสัมผัสของก้านเหล็กเล็ก ๆ ในลีดรีเลย์จะมีสภาพเป็นแม่เหล็กที่มีขั้วต่างกัน ทำให้หน้าสัมผัสติดกัน



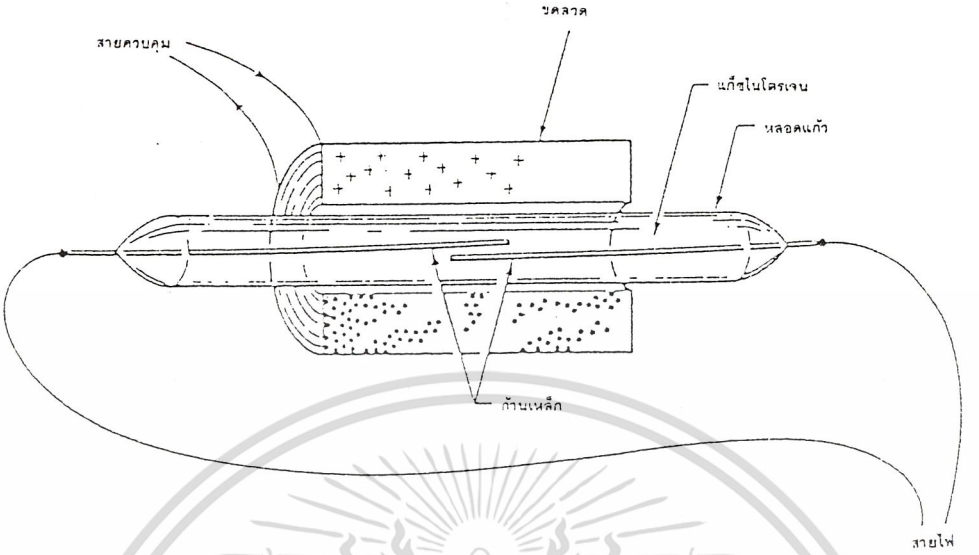

รูปที่ 2.11 แสดงหลักการทำงานของลีดรีเลย์

ซึ่งหน้าสัมผัสของก้านเหล็กในลีดรีเลย์สามารถพิจารณาเป็นสวิทช์ในวงจรไฟฟ้าได้ สำหรับรูปร่างหน้าตาของลีดรีเลย์ มีดังรูปที่ 2.12

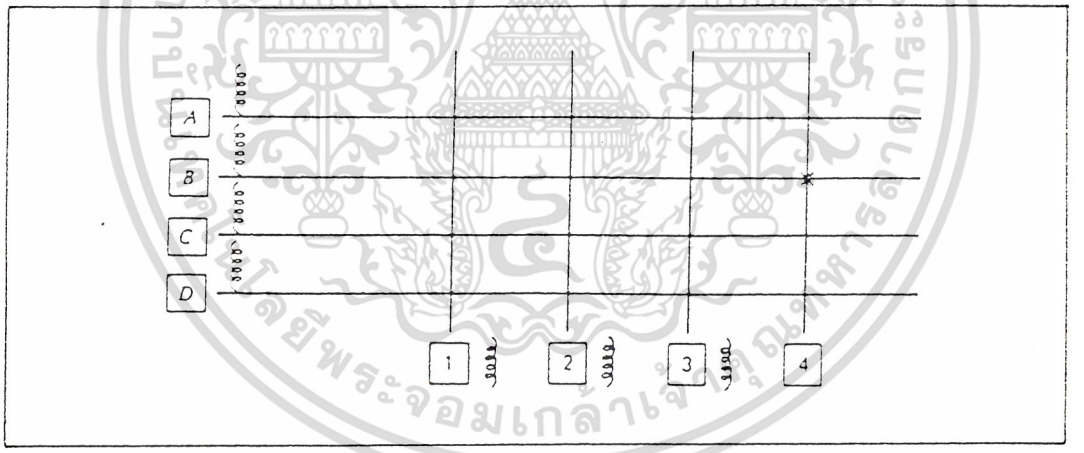
ก้านเหล็กทำจากแม่เหล็กอยู่ภายในหลอดแก้วและบรรจุแก๊สไนโตรเจนไว้ภายในบางชนิดอาจชุบทองคำบนหน้าสัมผัส เพื่อให้เกิดการทำงานดีขึ้นสวิทช์ในชุมสายแบบครอสบาร์ มีทั้งในแนวนอนและแนวตั้งโดยใช้ลีดรีเลย์ทำหน้าที่สวิทช์ ทำให้การเลือกจุดใดในครอสบาร์สวิทช์ทำได้โดยควบคุมลีดรีเลย์

"ครอสบาร์สวิทช์" (Cross bar switch) หมายถึงรูปแบบการจัดเรียงส่วนสวิทช์วงจร ทั้งในแนวตั้งและแนวนอนให้อยู่ในรูปแมทริกซ์ โดยสวิทช์จะมีรีเลย์ทั้งแนวนอนและแนวตั้งบังคับให้สร้างหน้าสัมผัสไฟฟ้า เมื่อต้องการเชื่อมสวิทช์ การเชื่อมต่อสวิทช์กระทำได้อย่างรวดเร็ว และจะคงอยู่จนผู้ใช้เลิกติดต่อกัน รีเลย์ทั้งสองแนวจึงหยุดทำงานปล่อยให้หน้าสัมผัสแยกจากกัน เส้นทางติดต่อจะว่าง เพื่อให้สามารถนำมาใช้อีก แสดงวิธีเชื่อมต่อสวิทช์ในแบบครอสบาร์จะแสดงได้ดังรูปที่ 2.13 ดังนั้นการเลือกจุดหน้าสัมผัสใดในครอสบาร์สวิทช์ทำได้โดยควบคุมลีดรีเลย์ซึ่งทั้งการจัดสวิทช์แบบครอสบาร์ และลีดรีเลย์ถูกนำมาใช้ในชุมสายโทรศัพท์ เราจะได้ชุมสายโทรศัพท์ที่มีหลักการพื้นฐานดังรูปที่ 2.14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.12 แสดงลีดรีเลย์



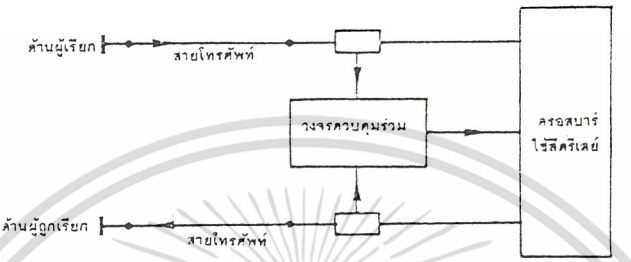

รูปที่ 2.13 แสดงวิธีเชื่อมต่อสวิทช์ในแบบครอสบาร์

จากรูปที่ 2.14 แทนที่สวิทช์แต่ละตัวที่มีการควบคุมแบบกระจาย โดยจะใช้วิธีแบบรวมการควบคุมสวิทช์ไว้ที่เดียวกัน

วงจรควบคุมร่วม (common control) มีลักษณะการทำงานคล้ายคอมพิวเตอร์ คือ วงจรจะเก็บค่าหมายเลขโทรศัพท์ที่หมุนเข้ามา และตรวจสอบว่าหมายเลขนั้นว่างจากการใช้งานหรือไม่

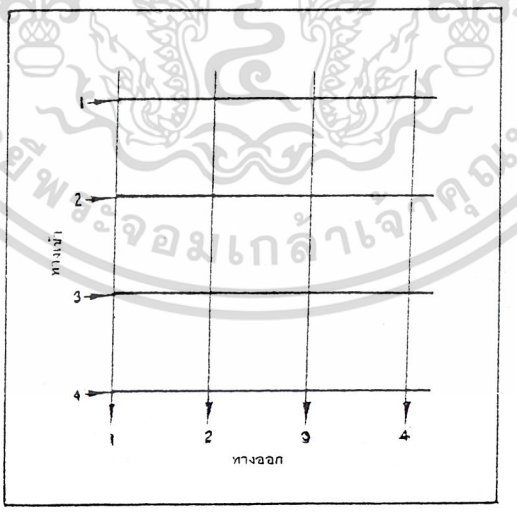
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ถ้าว่าง วงจรจะทำการเลือกเส้นทางติดต่อจากผู้เรียกไปยังผู้ที่ถูกเรียก โดยส่งคำสั่งไปที่ครอสบาร์และลีดรีเลย์ให้ตัดต่อสวิทช์ตามเส้นทางนี้ การทำงานข้างต้นนี้จะเกิดขึ้นเร็วมาก โดยจะไม่ทำการสวิทช์ทีละหลักเหมือนชุมสาย แบบสเต็ป-บาย-สเต็ป และที่ความเร็วเพิ่มขึ้นอย่างมากนี้ทำให้มีโทรศัพท์แบบกดปุ่มแทนแบบหมุน เป็นการเพิ่มความเร็วในการทำงานขึ้นอีก




รูปที่ 2.14 แสดงหลักการของชุมสายที่ใช้ครอสบาร์และลีดรีเลย์

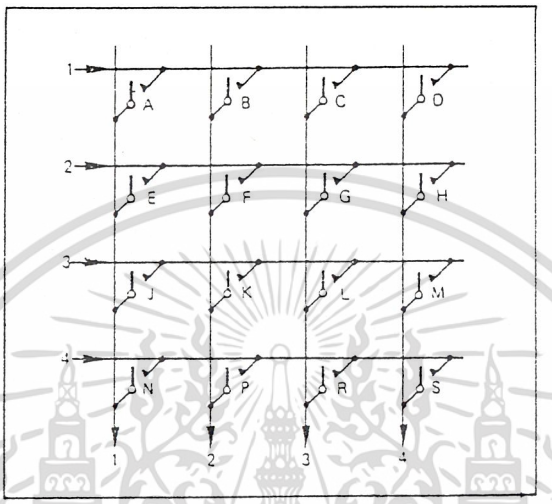
จากทั้งหมดที่กล่าวมาพอสรุปเป็นความคิดได้ว่า ทั้งครอสบาร์และส่วนสวิทช์ลีดรีเลย์ ขึ้นอยู่กับการทำงานของสวิทช์แบบแมทริกช์เป็นสำคัญ สามารถอธิบายเป็นหลักการได้ดังนี้ ขอให้พิจารณารูปที่ 2.15




รูปที่ 2.15 แสดงการจัดสวิทช์แบบแมทริกช์แบบ 4 × 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.15 เป็นการแสดงแกนแนวนอนและแนวตั้งของครอสบาร์ จุดมุมขวาของแต่ละแนวจะมีวงจรสวิทช์อยู่ และจุดตัดของแนวนอนและแนวตั้งเรียกว่า จุดตัด (cross point) แต่ละจุดตัดมีหน้าสัมผัสของวงจรสวิทช์อยู่ดังรูปที่ 2.16




รูปที่ 2.16 แสดงจุดสวิทช์ของครอสบาร์ขนาด 4 × 4

และจากรูปที่ 2.16 ทางเข้า 4 ทางสามารถต่อกับทางออก 4 ทาง ในทางใดทางหนึ่ง โดยเลือกหน้าสัมผัสให้ถูกต้อง ตัวอย่างเช่น

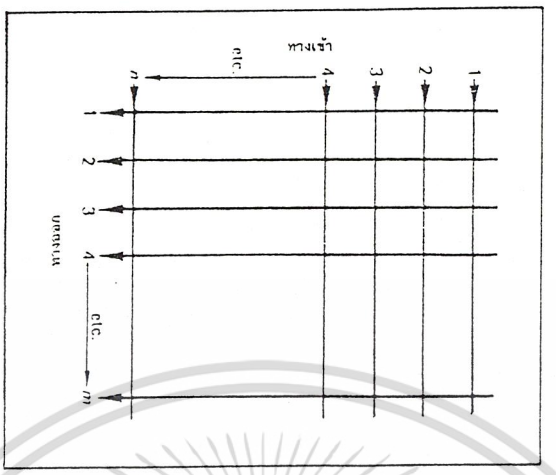
- ทางเข้าที่ 1 สามารถต่อกับทางออกที่ 2 โดยปิดหน้าสัมผัส B
- ทางเข้าที่ 4 สามารถต่อกับทางออกที่ 3 โดยปิดหน้าสัมผัส R

พิจารณารูปที่ 2.15 และรูปที่ 2.16 ใหม่อีกครั้งจะพบว่าทั้งทางเข้า 4 ทางและทางออก 4 ทาง มีจุดตัดทั้งหมด 16 จุด สังเกตได้ว่าจำนวนของจุดตัดในสวิทช์แมทริกซ์คำนวนจากการคูณจำนวนทางเข้าและจำนวนทางออกระหว่างกัน โดยพิจารณาจากรูปที่ 2.17 และจากรูปที่ 2.17 กำหนดให้มีจำนวนทางเข้าเท่ากับ **n** และจำนวนทางออกเท่ากับ **m** จะได้จำนวนจุดตัดเท่ากับ **n** × **m** จุด โดย

(1) ถ้าค่า **n** มากกว่าค่า **m** แสดงถึงจำนวนทางเข้ามากกว่าจำนวนทางออก หมายความว่าถ้าจำนวนทางออกถูกใช้งานหมด ยังมีบางช่องของทางเข้าไม่ถูกใช้งาน

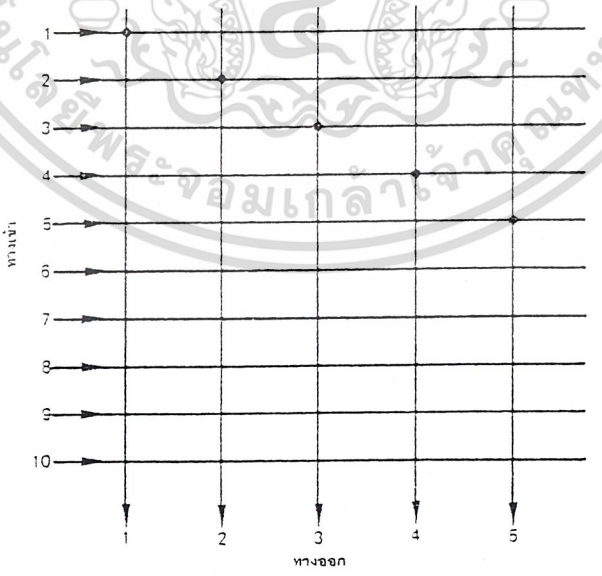
(2) ถ้าค่า **m** มากกว่าค่า **n** แสดงถึงจำนวนทางออกมากกว่าจำนวนทางเข้า หมายความว่าถ้าจำนวนทางเข้าทั้งหมดต่อกับแต่ละทางออกจนหมด ยังมีช่องทางออกเหลือไม่ใช้งานอยู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.17 แสดงจำนวนจุดตัดของสวิทช์แมทริกซ์

ดังนั้นค่าสูงสุดของจำนวนเส้นทางติดตั้งในชั่วเวลาขณะหนึ่ง ซึ่งสามารถพิจารณาจากสวิทช์ แมทริกซ์ตามจำนวนของทางเข้าหรือทางออกว่าค่าใดน้อยกว่า ตัวอย่างเช่น ถ้ามีจำนวนทางเข้า 10 ทาง และจำนวนทางออก 5 ทาง ดังนั้น ค่าสูงสุดของจำนวนเส้นทางติดต่อที่เป็นไปได้เท่ากับ 5 ดังตัวอย่างในรูปที่ 2.18




รูปที่ 2.18 แสดงตัวอย่างของสวิทช์แมทริกซ์ขนาด 10 × 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปพ.
ก783 ช 2537



ห้องสมุด
คณะครุศาสตร์อุตสาหกรรม สจล.

จากรูปที่ 2.18 ทางเข้าที่ 1 ต่อกับทางออกที่ 1, ทางเข้าที่ 2 ต่อกับทางออกที่ 2, ทางเข้าที่ 3 ต่อกับทางออกที่ 3, ทางเข้าที่ 4 ต่อกับทางออกที่ 4, ทางเข้าที่ 5 ต่อกับทางออกที่ 5 และทางเข้าที่ 6, 7, 8, 9, 10 ไม่ถูกใช้งาน

ค่าประสิทธิภาพในการใช้จุดตัด คำนวนได้จาก :

$$\left[\frac{\text{จำนวนมากที่สุดของจุดตัดที่สามารถใช้ได้ในชั่วเวลาขณะนั้น}}{\text{จำนวนทั้งหมดของจุดตัดในสวิทช์แมทริกซ์}}\right] \times 100\ \%$$

จะเห็นได้ว่า ถ้าสวิทช์แมทริกซ์มีขนาดใหญ่ขึ้น ค่าประสิทธิภาพจะต่ำลง ตัวอย่างเช่น แมทริกซ์ขนาด 15× 15 มีจุดตัดทั้งหมด 225 จุด และสามารถใช้ได้เพียง 15 จุด ต่อเวลาขณะหนึ่ง จะคิดประสิทธิภาพได้เพียง 6.7 %

การเพิ่มประสิทธิภาพนี้ทำได้ โดยใช้สวิทช์แมทริกซ์ขนาดเล็กลง ละนำแต่ละจุดมาเชื่อมต่อกัน ซึ่งชุมสายครอสบาร์ (ใช้ลีดรีเลย์) จะถูกออกแบบบนพื้นฐานนี้

### 2.1.4 ชุมสายโทรศัพท์แบบเก็บโปรแกรม ( Stored Program Control : SPC )

ชุมสายโทรศัพท์แบบเก็บโปรแกรม เรียกย่อ ๆ ว่าชุมสายแบบ SPC มีข้อดีในการนำเอาเทคโนโลยีทางด้านคอมพิวเตอร์มาใช้ คือระบบเก็บโปรแกรม ( Stored program control หรือ SPC ) ซึ่งการทำงานของระบบจะขึ้นอยู่กับการควบคุมของอุปกรณ์คอมพิวเตอร์ และระบบซอฟต์แวร์

ในระบบครอสบาร์ที่ใช้กันอยู่ทั่วไป จะใช้เวลาในการเรียกแต่ละครั้งประมาณครึ่งวินาที และอาจต้องใช้อุปกรณ์ราคาแพงเป็นจำนวนมากถึง 40 ชุด ในชุมสายขนาดใหญ่ นอกจากนี้เมื่อต้องการปรับเปลี่ยนหมายเลขโทรศัพท์, ติดตั้งหมายเลขใหม่ ซึ่งการเปลี่ยนแปลงการเชื่อมต่อและติดตั้งจะต้องย้ายจุดต่าง ๆ โดยแรงงานคน แต่ถ้าใช้ระบบโปรแกรมควบคุม เราสามารถทำงานเหล่านี้ได้โดยใช้เครื่องคอมพิวเตอร์เพียงคนเดียวเท่านั้น การแก้ไขการเชื่อมต่อและปรับเปลี่ยนหมายเลขสามารถก็ทำได้ง่าย โดยป้อนข้อมูลแจ้งให้คอมพิวเตอร์ทราบผ่านทางเทอร์มินอลของคอมพิวเตอร์ควบคุมเท่านั้น

นอกจากนี้ยังสามารถตรวจสอบสถานะของเครื่อง และสั่งให้พิมพ์แจ้งออกมาเป็นช่วง ๆ ได้ สามารถที่จะรายงานข้อผิดพลาดของระบบเมื่อเกิดขึ้นได้ทันที สามารถลดความล่าช้าของหน้าสัมผัสไฟฟ้าแบบเก่า และเพิ่มบริการพิเศษเพิ่มเติมเข้าไปได้ตามที่เขียนโปรแกรมควบคุมไว้

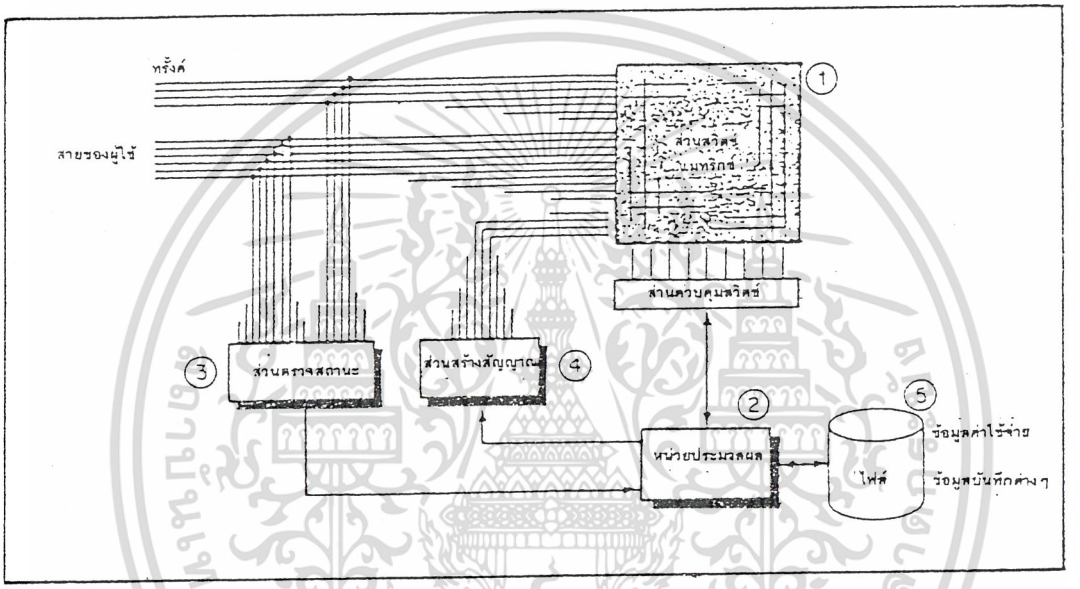
ระบบชุมสายแบบ SPC ประกอบด้วยส่วนสำคัญพื้นฐานดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1312 021080

1. สวิทช์แมทริกช์
2. หน่วยประมวลผลกลาง
3. ส่วนตรวจสถานะโทรศัพท์
4. ส่วนสร้างสัญญาณในระบบ
5. ส่วนเก็บข้อมูลการใช้/หมายเลข ฯลฯ

ขอให้พิจารณารูปที่ 2.19

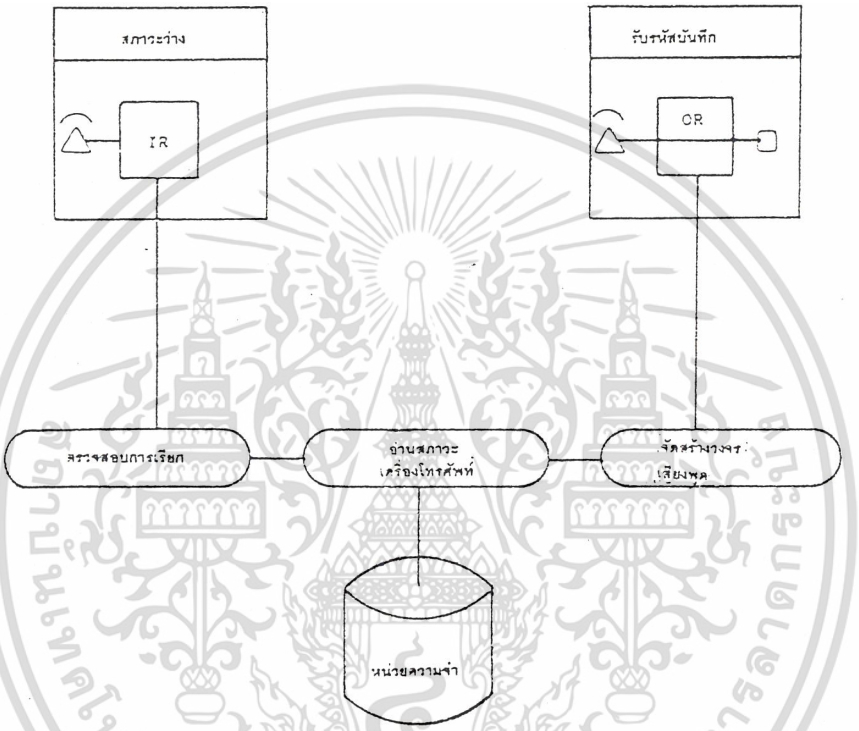



รูปที่ 2.19 แสดงหลักการพื้นฐานของชุมสาย SPC

สวิทช์แมทริกช์ อาจเป็นอุปกรณ์รีเลย์ไฟฟ้า หรือสวิทช์อิเล็กทรอนิกส์สารกึ่งตัวนำก็ได้ ที่จะคอยรับข้อมูลสำหรับการเชื่อมต่อวงจรต่าง ๆ จากอุปกรณ์ควบคุม และนำมาเชื่อมต่อคู่สายเข้าด้วยกัน หน่วยเก็บข้อมูลการเรียก จะเก็บข้อมูลเกี่ยวกับการเรียกเข้า, สถานะความพร้อมของสายและวงจรบริการ รวมทั้งภาวะของสวิทช์ภายในไว้ชั่วคราว เพื่อให้หน่วยประมวลผลกลางสามารถเรียกไปใช้ได้ ข้อมูลสถานะของวงจรจะถูกตรวจสอบ และนำมาเก็บไว้ในหน่วยความจำ, วงจรทางผ่านของเสียงจะถูกตรวจสอบว่าอยู่ในสถานะว่างหรือกำลังถูกใช้งาน หน่วยเก็บโปรแกรมจะเก็บคำสั่งพื้นฐานของอุปกรณ์ควบคุม (หน่วยประมวลผลกลาง) จากเนื้อหาข้างต้น สามารถแสดงกรรมวิธีการเรียกในชุมสายแบบเก็บโปรแกรม ได้ดังรูปที่ 2.20จะเห็นได้ว่า หลักการทำงานของชุมสายโทรศัพท์ระบบ SPC นี้ อาศัยการทำงานของลอจิก ที่ถูกควบคุมโดยโปรแกรม และผลของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของลอจิกนี้ถูกป้อนเข้าไปในที่เก็บโปรแกรม และโปรแกรมนี้เป็นส่วนควบคุมการทำงานทั้งหมดของเครื่องชุมสายโทรศัพท์ ถ้าหากว่าเราต้องการที่จะเปลี่ยนหน้าที่ต่าง ๆ ของเครื่องชุมสายโทรศัพท์ใหม่ หรือเปลี่ยนหน้าที่ให้บริการของเครื่องชุมสายโทรศัพท์เป็นอย่างอื่น เราต้องป้อนโปรแกรมใหม่เข้าไปยังที่เก็บโปรแกรม




รูปที่ 2.20 แสดงการทำงานในการเรียกเข้าของชุมสายแบบเก็บโปรแกรม

### 2.1.5 ชุมสายโทรศัพท์ระบบดิจิตอล (Digital Exchanges)

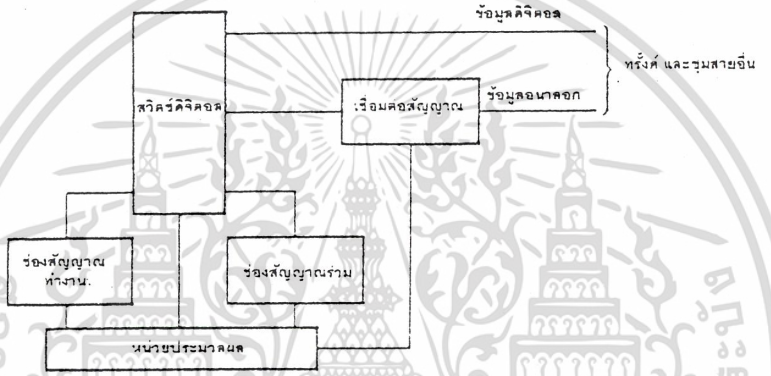
เราสามารถแบ่งลักษณะการทำงานของชุมสายโทรศัพท์ได้ 2 แบบ ดังนี้

1) แบบแบ่งตามช่องว่าง (Space Division) หรือแบบอนาล็อกที่จะเป็นการต่อเส้นทางการสื่อสารโดยตรงจากชุมสายไปยังผู้ใช้แต่ละคน โดยที่การตัดต่อใช้หน้าสัมผัสกลไก ( ตัวอย่างเช่น ในสวิทช์แบบสเต็ป-บาย-สเต็ป, สวิทช์แบบครอสบาร์ ) หรือจะใช้เป็นอุปกรณ์ประเภทสารกึ่งตัวนำแบบอนาล็อก เช่นทรานซิสเตอร์ เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) แบบแบ่งตามเวลา (Time Division) หรือแบบดิจิตอล ใช้หลักการทำงานแบบเลือกส่งข้อมูลตามลำดับเวลา อธิบายได้จากการติดต่อกันระหว่างช่องสัญญาณขาเข้า และช่องสัญญาณขาออกโดยการโอนย้ายรหัสข้อมูลแบบ PCM จากช่องเวลาในช่องสัญญาณขาเข้า ไปบนช่องสัญญาณขาออก

ชุมสายแบบดิจิตอลส่วนใหญ่ สร้างในลักษณะแบ่งเป็นระบบย่อยประกอบขึ้นมา ซึ่งแต่ละส่วนระบบย่อยนี้ สามารถใช้แทนกันได้ในชุมสายคนละชนิดกัน ขอให้พิจารณาจากรูปที่ 2.21 และรูปที่ 2.22 ดังนี้



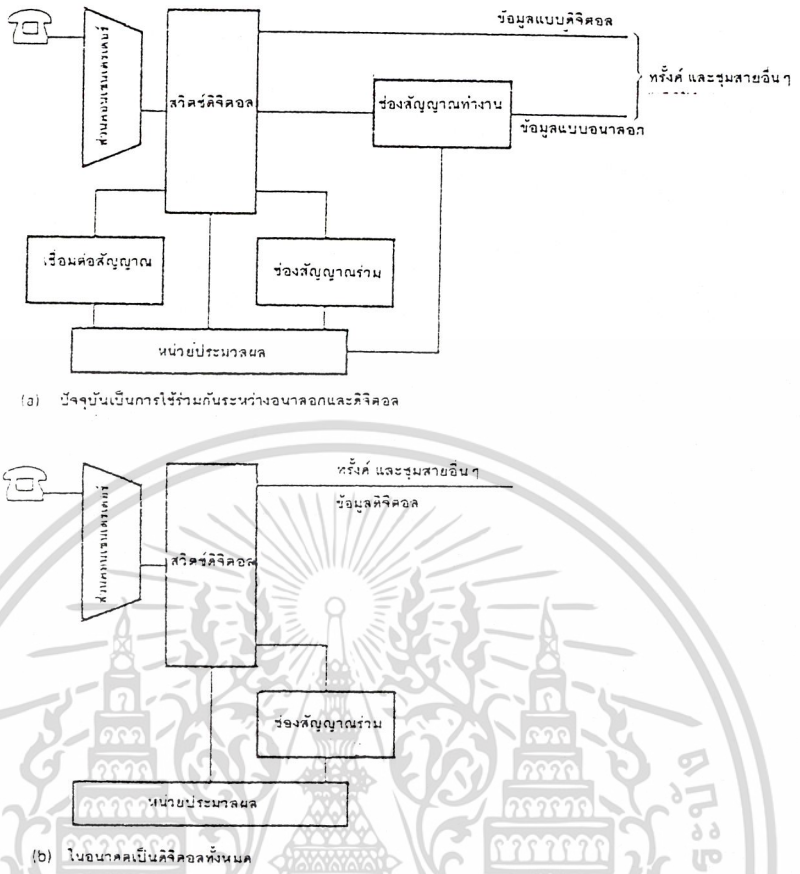

รูปที่ 2.21 แสดงชุมสายทรังค์แบบดิจิตอล

หน้าที่ของส่วนคอนเซนเตรเตอร์คือการเชื่อมต่อระหว่างสายของผู้ใช้กับภาคสวิทช์ในชุมสายโทรศัพท์ ทั้งนี้ส่วนคอนเซนเตอร์จะต้องถูกออกแบบให้มีปริมาณความจุของช่องสัญญาณที่เหมาะสมกับปริมาณการใช้โทรศัพท์ เพื่อให้เกิดความประหยัดในด้านค่าใช้จ่ายลง ตัวอย่างเช่น ในจำนวนสายของผู้ใช้ 1,000 เครื่อง พอคิดประมาณได้ว่าในชั่วเวลาหนึ่งมีผู้ใช้พร้อมกันอย่างมากไม่เกิน 100 เครื่อง จะเห็นได้ว่าเป็นเรื่องสิ้นเปลืองค่าใช้จ่ายมากในอุปกรณ์สวิทช์ สำหรับผู้ใช้ทุกคนให้สนทนาได้ภายในเวลาเดียวกัน จึงควรใช้ภาคคอนเซนเตรเตอร์แก้ปัญหาจุดนี้

การเชื่อมต่อกับสายของผู้ใช้โทรศัพท์จัดเป็นส่วนที่มีค่าใช้จ่ายที่สูงมากของชุมสายดิจิตอล ดังตัวอย่างเช่น ชุมสายขนาด 10,000 ในแต่ละสายจะมีกำหนด “ลักษณะหน้าที่” ไว้เพื่อใช้กับผู้ใช้ต่างชนิดกันได้

คำว่า “ลักษณะหน้าที่” ของสายอธิบายแทนด้วยคำย่อคือ **BORSCHT** โดยแต่ละอักษรแทนความหมายต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.22 แสดงชุมสายท้องถิ่นแบบดิจิตอล

อักษร **B** แทน **Battery feed to line** หมายถึง ตามปกติจะไม่มีแหล่งจ่ายไฟที่เครื่องโทรศัพท์ของผู้ใช้ แต่จ่ายจากชุมสายไปตามสายโทรศัพท์แทน

อักษร **O** แทน **Overvoltage protection** หมายถึง การใช้อุปกรณ์ป้องกันแรงดันไฟฟ้าที่สูงกว่าข้อกำหนดในวงจรสายส่ง เนื่องจากอุปกรณ์สารกึ่งตัวนำส่วนใหญ่ไวต่อไฟฟ้าแรงสูงมาก (อาจทำให้เสียหายได้) มีผลป้องกันฟ้าผ่าได้ดี

อักษร **R** แทน **Ringing current injection and ring trip detection** หมายถึง การต่อกระแสไฟสลับ ขนาด 70 โวลท์ เข้ากับสาย เพื่อให้กระดิ่งภายในเครื่องโทรศัพท์ มีเสียงดังขึ้น และเมื่อหูโทรศัพท์ถูกยกขึ้น ชุมสายจะทำการหยุดจ่ายกระแสไฟนี้

อักษร **S** แทน **Supervision of the line** หมายถึง การตรวจสอบสถานะของสายโทรศัพท์โดยชุมสายอยู่ตลอดเวลา เพราะสิ่งนี้ทำให้ทราบถึง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- สถานะ"ยกหูโทรศัพท์" เพื่อชุมสายสามารถส่งสัญญาณให้หมุน/ กดได้ (dial tone) ทำให้รับหมายเลขโทรศัพท์ที่ต้องการได้

- สถานะ "วางหูโทรศัพท์" เพื่อชุมสายสามารถยกเลิกวงจรติดต่อได้ และบันทึกเวลาการใช้เพื่อคิดค่าบริการได้

อักษร **C** แทน **Codec** ย่อจาก **encoder/decoder** หมายถึง การแปลงสัญญาณอนาล็อกจากเครื่องโทรศัพท์ให้เป็นสัญญาณดิจิตอล เพื่อนำไปมัลติเพล็กซ์ในระบบ PCM

ในชุมสายดิจิตอล มีวิธีใช้ codec ได้หลายแบบดังนี้

- ใช้ codec 1 ชุด ต่อวงจรสายโทรศัพท์ 1 สาย หรือ

- ใช้ codec 1 ชุด ต่อวงจรสายโทรศัพท์ จำนวนมากกว่า หนึ่ง

อักษร **H** แทน **Hybrid** หมายถึง การแปลงจาก 2 เส้น เป็น 4 เส้น ทั้งนี้ธรรมดาวงจรโทรศัพท์ ใช้สายแบบ 2 เส้น สำหรับการสื่อสารสองทิศทาง ส่วนวงจรภายในชุมสายดิจิตอลใช้แบบแยกคู่ทั้งสองทิศเรียกว่า วงจรแบบ 4 เส้น

ในการใช้ร่วมกันระหว่างวงจร 2 เส้นกับวงจร 4 เส้น เราใช้อุปกรณ์ไฮบริดที่ทำหน้าที่ส่งสัญญาณจากวงจรแบบ 2 เส้นไปวงจร 4 เส้น หรือส่งจากวงจร 4 เส้นไปแบบ 2 เส้น

อักษร **T** แทน **Testing of both line and equipment** หมายถึง การทดสอบคุณสมบัติทางไฟฟ้าของสายโทรศัพท์ เพื่อค้นหาจุดเสียให้สามารถแก้ไขได้

## 2.2 เทคนิคของ Pulse Code Modulation สำหรับโทรศัพท์

### 2.2.1 กล่าวทั่วไป

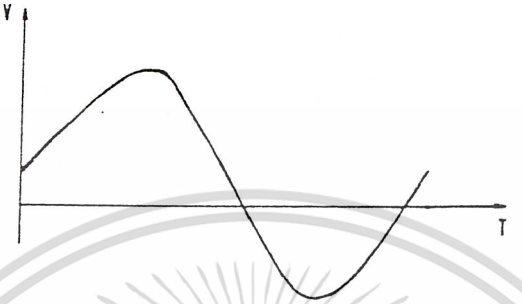
ในการส่งสัญญาณไฟฟ้าจากจุดหนึ่งไปยังอีกจุดหนึ่งนั้น สิ่งที่หลีกเลี่ยงไม่ได้ที่จะตามมาก็คือสิ่งรบกวน (Noise) และความเพี้ยน (Distortion) ซึ่งเกิดขึ้นตลอดเส้นทางเส้นทางของการส่ง ในการรักษาคุณภาพของสัญญาณที่รับได้ที่ปลายทางไว้ให้ดีที่สุด ก็ควรจะให้สิ่งรบกวน และความเพี้ยนอยู่ในขีดจำกัดอันพึงยอมรับได้ และในปัจจุบันเริ่มนิยมส่งสัญญาณอนาล็อกในลักษณะของการส่งสัญญาณดิจิตอล ด้วยกรรมวิธีของ Time Division Multiplex - Pulse Code Modulation (TDM-PCM) มากขึ้น

เนื่องจากชุมสายโทรศัพท์ระบบ SPC ได้นำเอาเทคนิคทางดิจิตอลมาใช้ในการรับส่งสัญญาณและข้อมูลต่าง ๆ โดยเฉพาะในภาคเครือข่ายสวิทช์ชิ่งสัญญาณอนาล็อกจะถูกแปลงเป็นสัญญาณดิจิตอลทั้งสิ้น ดังนั้นในการที่จะศึกษาเครื่องชุมสายโทรศัพท์ระบบดิจิตอล จึงจำเป็นที่จะต้องศึกษาหลักการเบื้องต้นเกี่ยวกับระบบ Pulse Code Modulation (PCM) ก่อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 2.2.2 สัญญาณอนาล็อก และการส่ง

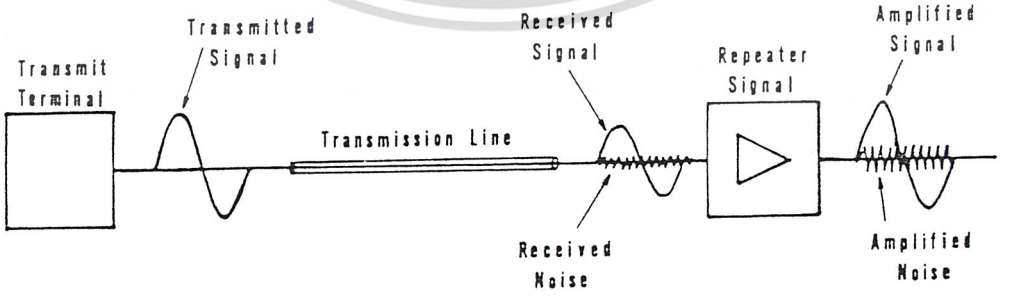
สัญญาณอนาล็อกในรูปของไฟฟ้า หมายถึงสัญญาณที่มีแอมปลิจูดแปรผันต่อเนื่องกับเวลา ดังแสดงในรูปที่ 2.23




รูปที่ 2.23 สัญญาณอนาล็อก

สัญญาณอนาล็อกที่ใช้กันโดยทั่วไปในระบบรับส่งได้แก่ สัญญาณโทรศัพท์, สัญญาณวิทยุ-กระจายเสียง, สัญญาณโทรทัศน์ เป็นต้น โดยทั่วไปแล้วความถี่ของสัญญาณอนาล็อกที่ใช้กับโทรศัพท์นั้น จะใช้ความถี่ในย่านตั้งแต่ 300 เฮิทซ์ ถึง 3400 เฮิทซ์ เท่านั้น

การส่งสัญญาณอนาล็อกไม่มีความจำเป็นต้องส่งข่าวสารทางแอมปลิจูดต่อเนื่องกันไปตลอดเวลา จากการทดลองค้นคว้าพบว่า ถ้าทำการสุ่มตัวอย่าง (Sampling) สัญญาณอนาล็อก ด้วยช่วงเวลาที่สม่ำเสมอในอัตราอย่างน้อยเป็น 2 เท่าของความถี่สูงสุดของสัญญาณนั้น ๆ แล้ว ตัวอย่างที่สุ่มมาได้จะถูกบรรจุไว้ด้วยแอมปลิจูดของสัญญาณเดิมครบถ้วน ซึ่งวิธีการอันนี้เราเรียกว่า ทฤษฎีการสุ่มตัวอย่าง (Sampling Theorem) และได้ถูกนำไปใช้ในวิธีการของ PCM



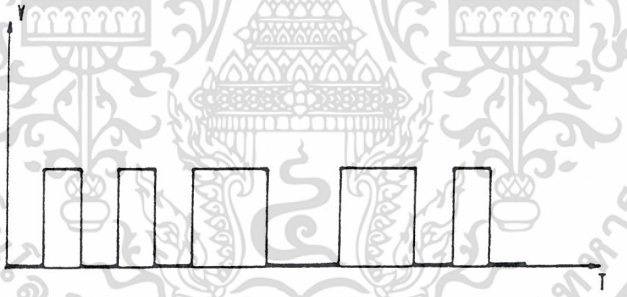

รูปที่ 2.24 ลักษณะการส่งสัญญาณอนาล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งสัญญาณอนาล็อกสามารถกระทำได้ในรูปเดิมของมัน เช่นในการส่งสัญญาณโทรศัพท์ระหว่างผู้เช่าโทรศัพท์ในชุมสายเป็นต้น สำหรับการส่งสัญญาณอนาล็อกในระยะทางไกล และสิ่งที่หลีกเลี่ยงไม่ได้ก็คือสัญญาณที่ส่งจะอ่อนกำลังลงหรือถูกลดทอน (Attenuation) และสิ่งรบกวน (Noise) ที่จะเสริมเข้ามาตลอดเส้นทางการส่ง เราจะต้องรักษาระดับกำลังของสัญญาณที่ส่งให้สูงกว่าระดับกำลังของสัญญาณรบกวนมาก ๆ ซึ่งสามารถทำได้โดยการขยายกำลังของสัญญาณที่ส่งเป็นระยะที่เหมาะสมตามเส้นทางการส่ง อย่างไรก็ตามสิ่งรบกวนที่เกิดขึ้นที่อินพุทของเครื่องขยายกำลัง ย่อมจะได้รับการขยายกำลังให้สูงขึ้นไปพร้อมกับตัวสัญญาณที่ส่งด้วย ดังแสดงตามรูปที่ 2.24

### 2.2.3 สัญญาณดิจิตอล และการส่ง

สัญญาณดิจิตอล หมายถึงสัญญาณที่แอมปลิจูดของมันถูกจัดระดับให้แปรผันไปกับเวลาตามค่าที่กำหนดให้เช่น ถ้าแปรผันอยู่ระหว่าง 2 ค่าเรียกว่า ไบนารี่ซิกแนล ถ้าแปรผันอยู่ระหว่าง 3 ค่าเรียกว่า ไทรนารี่ซิกแนล เป็นต้น ดังแสดงตามรูปที่ 2.25




รูปที่ 2.25 สัญญาณดิจิตอล

สัญญาณดิจิตอลที่ใช้กันในงานด้านโทรคมนาคม โดยทั่วไปจะเป็นแบบไบนารี่ทั้งสิ้น ซึ่งเป็นลักษณะของพัลส์ ที่มีอยู่ 2 ค่า คือ “0”และ “1” โดยที่ “0” หมายถึงไม่มีพัลส์ และ “1” หมายถึงมีพัลส์ เราสามารถจัดกลุ่มของสัญญาณไบนารี่ ให้อยู่ในรูปของรหัส (Code) เพื่อใช้แทนค่าระดับของแรงดัน (Voltage) ในการกำหนดจำนวนบิทของไบนารี่โค๊ดนั้น จะขึ้นอยู่กับจำนวนระดับของแรงดัน เช่น

1 Bit Code แทนได้ 2 ค่า คือ 0 และ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2 Bit Code แทนได้ 4 ค่า คือ 00, 01, 10 และ 11

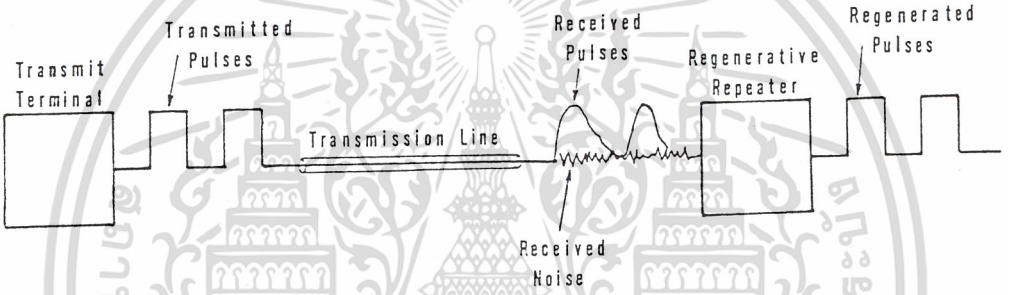
3 Bit Code แทนได้ 8 ค่า คือ 000, 001, 010, 011, 100, 101, 110 และ 111

โดยทั่วไปแล้ว n Bit Code สามารถแทนจำนวนระดับแรงดันได้ $2^n$ ค่าเช่น 8 Bit Code สามารถแทนระดับของแรงดันได้ $2^8 = 256$ เป็นต้น

การส่งสัญญาณดิจิตอล มีข้อได้เปรียบเหนือกว่าการส่งสัญญาณอนาล็อกอยู่ 2 ประการ คือ

(1) มีภูมิคุ้มกันต่อสิ่งรบกวนและความเพี้ยนได้มากกว่า

(2) มีรีเจนเนอเรทีฟ รีพีตเตอร์ผลิตสัญญาณดิจิตอลขึ้นมาใหม่ที่ปลายทาง โดยปราศจากความเพี้ยนและสิ่งรบกวน




รูปที่ 2.26 ลักษณะการส่งสัญญาณดิจิตอล

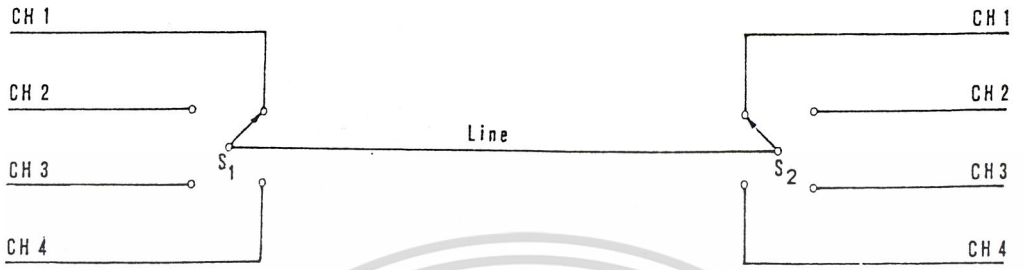
เนื่องจากการส่งสัญญาณดิจิตอล มีข้อได้เปรียบเหนือกว่าการส่งสัญญาณอนาล็อก ดังนั้นจึงมีแนวโน้มในอันที่จะส่งสัญญาณอนาล็อก ในรูปของการส่งสัญญาณดิจิตอลมากขึ้นตามลำดับ ด้วยวิธีการนี้จึงจำเป็นที่จะต้องแปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอลที่ปลายทางด้านส่ง และแปลงกลับเป็นสัญญาณอนาล็อกตามเดิมที่ปลายทางด้านรับ วิธีที่นิยมใช้กันมากที่สุดคือวิธีการของ PCM

### 2.2.4 พัลส์มอดูเลชั่น

พัลส์มอดูเลชั่นเป็นวิธีการหนึ่งที่นำมาใช้ในการรวมสัญญาณชนิดเดียวกันหลาย ๆ วงจร หรือหลาย ๆ ช่องโดยแบ่งเวลากัน จากรูปที่ 2.27 แสดงหลักการเบื้องต้นของการมัลติเพล็กซ์แบบแบ่งเวลา (TDM) ซึ่งใช้สายหนึ่งคู่สำหรับส่งสัญญาณโทรศัพท์ 4 วงจรสลับกันไป ช่วงเวลาที่ใช้

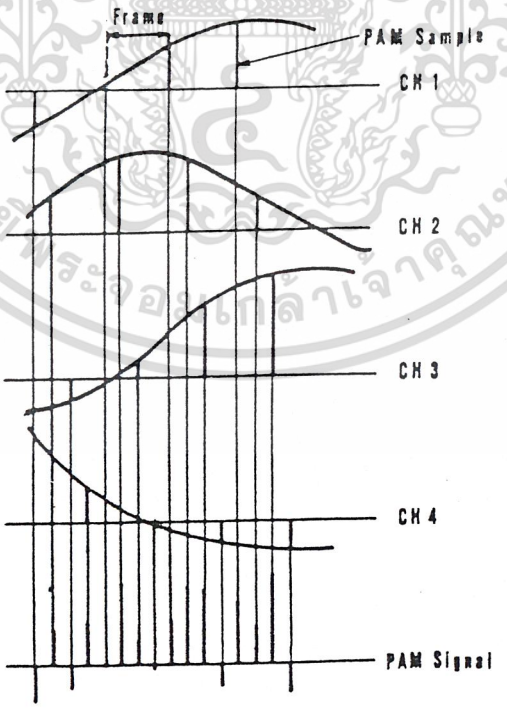
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของแต่ละวงจรจะขึ้นอยู่กับอัตราเร็วในการหมุน (Switch Rate) ของแซมปลิ้งสวิทช์ ($S_1$และ $S_2$) ซึ่งทางโทรศัพท์จะมีแซมปลิ้งสวิทช์เป็นแบบอิเล็กทรอนิกส์สวิทช์




รูปที่ 2.27 หลักการเบื้องต้นของการมัลติเพล็กซ์แบบแบ่งเวลา (TDM)

พัลส์มอดูเลชั่นที่ใช้กับระบบ PCM ได้แก่ แบบพัลส์แอมปลิจูดมอดูเลชั่น (PAM) และเป็นกรรมวิธีขั้นแรกของระบบ PCM สัญญาณโทรศัพท์ที่มีแอมปลิจูดแปรผันต่อเนื่องกันกับเวลาจะถูกสุ่มตัวอย่าง (Samples) แอมปลิจูดของแต่ละตัวอย่างที่สุ่มมาได้ จะเป็นสัดส่วนโดยตรงกับแอมปลิจูดชั่วขณะของสัญญาณต่อเนื่อง ณ เวลาที่ได้มีการสุ่มตัวอย่างนั้น




รูปที่ 2.28 สัญญาณ PAM ของสัญญาณ 4 ช่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.28 แสดงสัญญาณ PAM ของสัญญาณ 4 ช่อง แต่ละตัวอย่างที่ทำการสุ่มมาได้ของสัญญาณแต่ละช่องเรียกว่าสัญญาณตัวอย่างแบบ PAM และเมื่อนำสัญญาณตัวอย่างแบบ PAM ทั้งหมดของทุกสัญญาณมารวมกันจะเรียกว่าสัญญาณ PAM ช่วงเวลาของการสุ่มตัวอย่างแต่ละครั้งในสัญญาณเดียวกันเรียกว่า เฟรม

จากหลักการขั้นต้นของระบบ PCM นั้น ก็คือการแปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอล สำหรับในโทรศัพท์จะแปลงสัญญาณโทรศัพท์ไปเป็นกระบวนของพัลส์ในรูปของรหัส (Binary Code) แล้วส่งไปในตัวกลาง และที่ปลายทางด้านรับกระบวนพัลส์ในรูปของรหัสดังกล่าวจะถูกแปลงกลับเป็นสัญญาณอนาล็อกดังเดิม การส่งกระบวนพัลส์ในรูปของรหัสจะเป็นการส่งสัญญาณในลักษณะการส่งสัญญาณดิจิตอล การแปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอลดังแสดงตามรูปที่ 2.29 นั้นจะประกอบด้วยหลักการที่สำคัญ 3 ประการคือ

-การสุ่มตัวอย่าง

-การแบ่งย่านแอมปลิจูดออกเป็นระดับต่าง ๆ

-การเข้ารหัส

ระบบรับส่ง PCM ประกอบด้วยเครื่องส่ง, สายส่งและเครื่องรับ เพื่อทำให้เกิดการติดต่อแบบ 2 ทาง (Duplex) ระบบ PCM จึงต้องใช้ทั้งเครื่องส่ง และเครื่องรับติดตั้งที่แต่ละแห่งของปลายทาง สายส่งที่ใช้จะเป็นแบบ 4 Wires ถ้าหากสายส่งมีความยาวมากก็จะติดตั้งรีเจนเนอเรทีฟรีพีตเตอร์ในระยะทางที่เหมาะสม เพื่อทำการผลิตไบนารี่โค๊ดตัวเดิมขึ้นมาใหม่ การส่งไบนารี่โค๊ดในระบบ PCM สามารถทำการส่งได้อย่างรวดเร็วมาก ดังนั้นเพื่อเป็นการเพิ่มจำนวนของสัญญาณที่ต้องการส่ง จึงใช้ระบบการมัลติเพล็กซ์แบบแบ่งเวลา (TDM) มาใช้ นั่นคือสุ่มตัวอย่างที่ได้มาจากแหล่งกำเนิดต่าง ๆ สามารถที่จะแบ่งเวลากันส่งโดยใช้สายร่วมกัน ในส่วนของการรับส่งสัญญาณของโทรศัพท์ได้มีการใช้ระบบ FDM และ TDM กันเป็นเวลานานแล้วแต่ในขณะนั้นภาคสวิทช์ชิ่งเน็ทเวิรคยังคงใช้เป็นแบบอิเล็กโตแม็กคานิคอลอยู่ เช่นในระบบครอสบาร์สวิทช์ เป็นต้น ในปัจจุบันเทคโนโลยีสูงขึ้นจึงได้เกิดภาคสวิทช์ชิ่งที่ใช้ไทม์ดิวิชั่นสวิทช์ โดยใช้อุปกรณ์ที่เป็นอิเล็กทรอนิกส์ทั้งสิ้น และเรียกว่า ดิจิตอลสวิทช์ชิ่ง (Digital Switching) ซึ่งถูกควบคุมการทำงานโดยใช้ระบบเก็บโปรแกรม (SPC)

### 2.2.5 หลักการของระบบพัลส์โค๊ดมอดูเลชั่น (PCM)

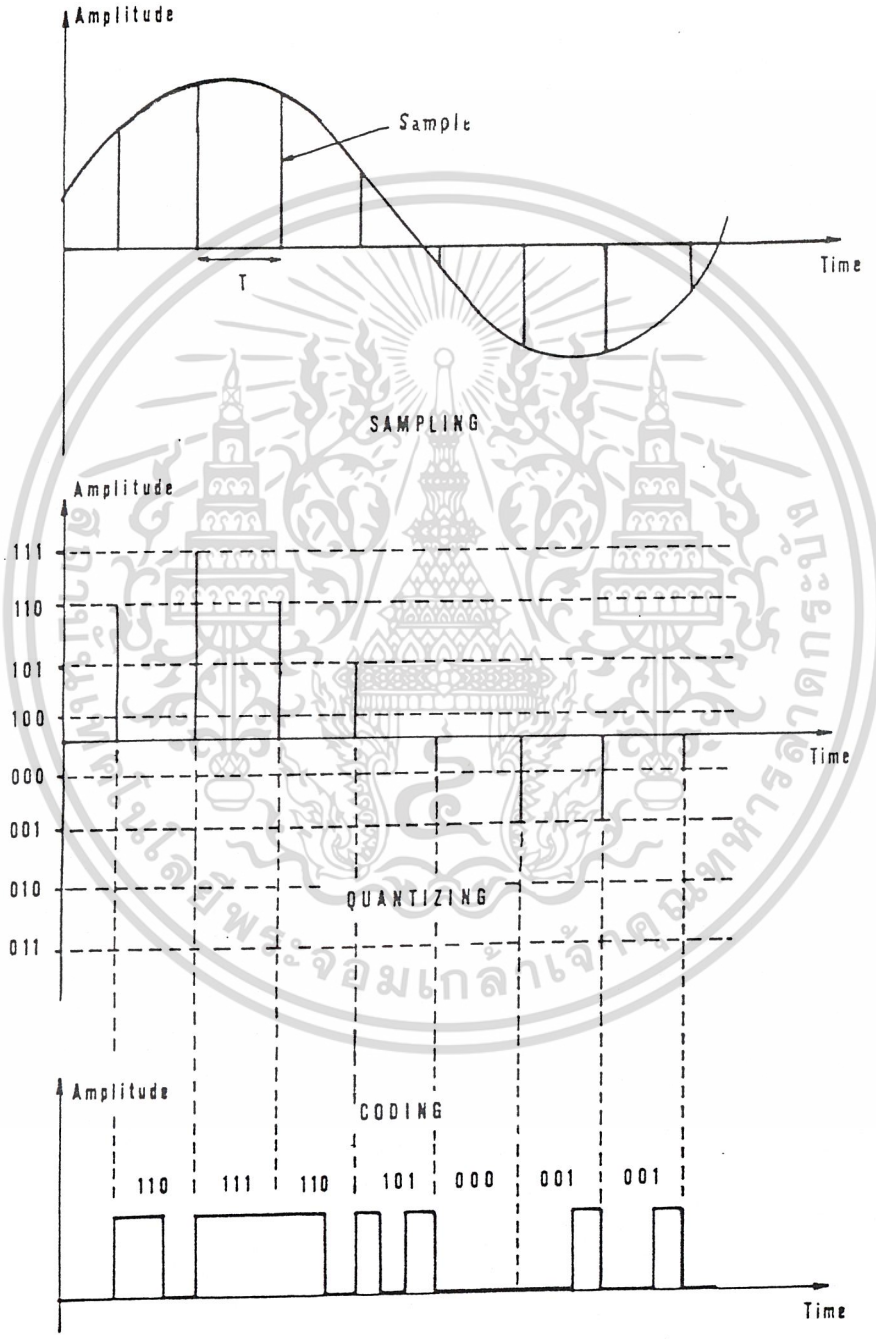
พัลส์โค๊ดมอดูเลชั่นเป็นวิธีการที่จะเปลี่ยนสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอล ซึ่งแต่ละสัญญาณจะถูกกำหนดให้เป็นกระบวนของพัลส์ในรูปของไบนารี่โค๊ด ในการเปลี่ยนสัญญาณดังกล่าวจะต้องประกอบด้วยหลักการที่สำคัญ 3 ประการเรียงตามลำดับคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสุ่มตัวอย่าง

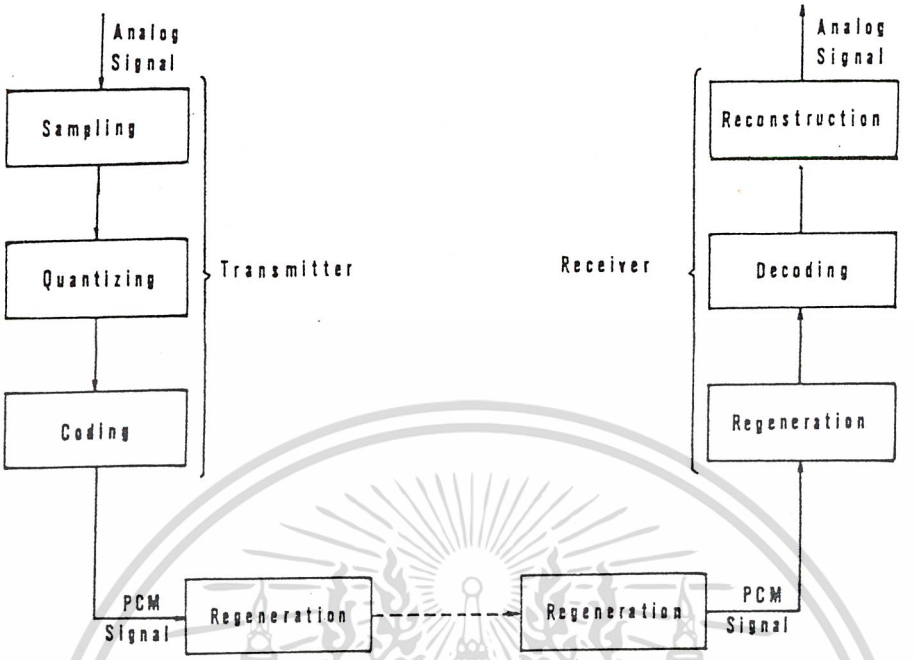
การแบ่งย่านแอมปลิจูดออกเป็นระดับต่าง ๆ

การเข้ารหัส




รูปที่ 2.29 การแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลในระบบ PCM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.30 บล๊อคไดอะแกรมของระบบ PCM

รูปที่ 2.30 แสดงบล๊อคไดอะแกรมของระบบ PCM วิธีการขั้นแรก คือการสุ่มตัวอย่างสัญญาณโทรศัพท์แต่ละช่อง จะทำให้ได้สัญญาณพัลส์ที่มีแอมปลิจูดเท่ากับสัญญาณ ณ ที่เวลานั้น ๆ ซึ่งเรียกว่า PAM จากนั้นสัญญาณ PAM จะถูกจัดระดับ และในกรณีนี้แอมปลิจูดของแต่ละตัวอย่างที่สุ่มมาได้จะถูกจัดให้อยู่ในระดับที่ตรงกันหรือใกล้เคียงกับระดับที่กำหนดไว้ และในขั้นต่อไปก็คือการให้ไบนารี่โค๊ดกับตัวอย่างที่สุ่มมาได้โดยตัวเข้ารหัส ซึ่งไบนารี่โค๊ดก็จะตรงกับระดับของแอมปลิจูดที่ได้แบ่งไว้แล้วในตอนแรกกระบวนพัลส์ในรูปของไบนารี่โค๊ดของสัญญาณโทรศัพท์หลายๆ ช่องซึ่งเรียกว่าสัญญาณ PCM ถูกส่งเข้าไปในสายส่ง ถ้าหากสายส่งมีความยาวมากก็จะใช้รีเจนเนอเรทีฟ รีพีตเตอร์ ติดตั้งในระยะทางที่เหมาะสม เพื่อทำการผลิตสัญญาณ PCM ตัวเดิมที่ปราศจากสิ่งรบกวนและความเพี้ยนขึ้นมาใหม่และที่ปลายทางด้านรับก็จะมีรีเจนเนอเรทีฟ รีพีตเตอร์ ติดตั้งไว้ด้วยเช่นเดียวกัน จากนั้นสัญญาณ PCM ดังกล่าวจะถูกส่งไปยังตัวถอดรหัสเพื่อทำการถอดรหัสสัญญาณ PCM ให้ได้เป็นสัญญาณ PAM แล้ว ก็จะส่งผ่านแซมเปอร์ไปยังช่องโทรศัพท์ที่ตรงกัน จึงทำให้ได้ตัวอย่างของสัญญาณโทรศัพท์แต่ละช่อง และในขั้นตอนสุดท้ายจะเป็นการสร้างสัญญาณอนาล็อกตัวเดิมด้วยฟิลเตอร์แบบความถี่ต่ำผ่านเรียกว่า รีคอนสตรัคชั่น (Reconstruction)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**การสุ่มตัวอย่าง (Sampling)**

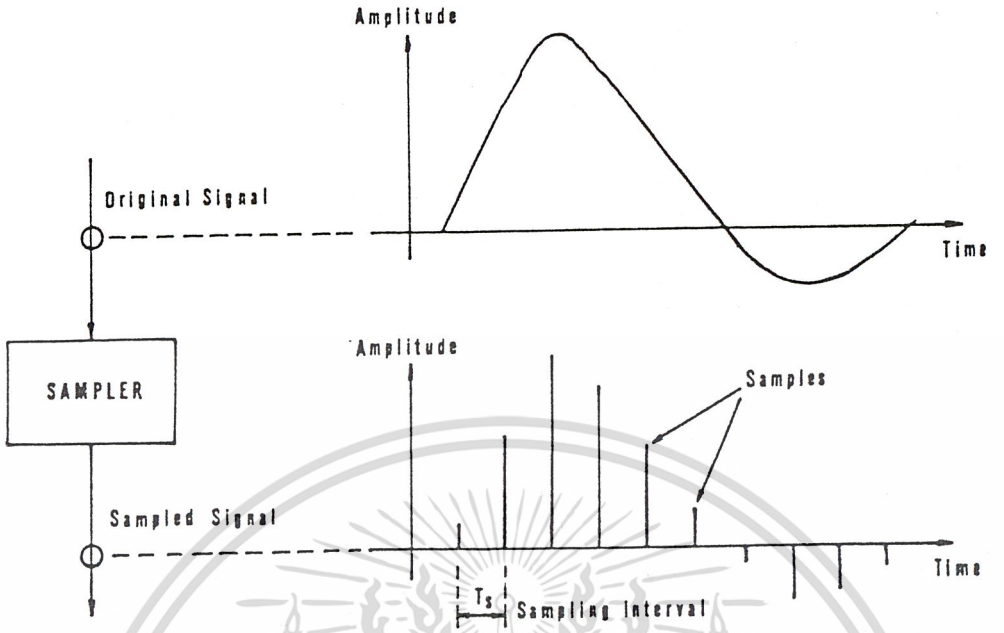
การสุ่มตัวอย่าง หมายถึงการเลือกเอาค่าแอมปลิจูดที่จุดใด ๆ ของสัญญาณอนาล็อกที่มีช่วงเวลาที่เท่ากัน ตัวอย่างที่สุ่มมาได้ก็คือกระบวนพัลส์ หรือเรียกว่าสัญญาณ PAM จำนวนของการสุ่มตัวอย่างต่อวินาที ในระบบ PCM สัญญาณโทรศัพท์ซึ่งใช้ความถี่ในช่วงระหว่าง 300 ถึง 3400 เฮิรท์ จะถูกสุ่มด้วยอัตราการแซมปลิ้ง 8000 ครั้งต่อวินาที หรือถูกสุ่มตัวอย่างทุก ๆ 125 ไมโครวินาที ซึ่งเรียกว่า แซมปลิ้งอินเทอร์วอล ดังแสดงตามรูปที่ 2.31

วิธีการสุ่มตัวอย่างในระบบ TDM นั้นจะกระทำกันเป็นจำนวนหลายช่องโทรศัพท์เรียงกันโดยใช้อิเล็กทรอนิกส์สวิทช์หรือ เกท จากผลการสุ่มตัวอย่างจำนวนหลายช่องโทรศัพท์ดังกล่าวจึงทำให้ได้สัญญาณ PAM ที่มีขนาดของแอมปลิจูดต่าง ๆ กันของแต่ละช่องเรียงกันตามลำดับ ในระบบ PCM แบบ 24 ไทม์สล็อท การสุ่มตัวอย่างจากไทม์สล็อทที่ 1 ถึงไทม์สล็อทที่ 24 จะต้องกระทำให้เสร็จภายใน 125 ไมโครวินาที (ช่วงเวลา 1 เฟรม) หรือจะต้องทำการสุ่มตัวอย่างทุก ๆ 125/24 = 5.2 ไมโครวินาที ส่วนระบบ PCM แบบ 32 ไทม์สล็อท การสุ่มตัวอย่างจากไทม์สล็อทที่ 1 ถึงไทม์สล็อทที่ 32 จะต้องกระทำให้เสร็จภายใน 125 ไมโครวินาที หรือกล่าวได้ว่าต้องทำการสุ่มตัวอย่างทุก ๆ 125/32 = 3.9 ไมโครวินาที

**การแบ่งย่านแอมปลิจูดออกเป็นระดับต่าง ๆ (Quantizing)**

การสุ่มตัวอย่างสัญญาณโทรศัพท์ในอัตราที่สม่ำเสมอนั้น จะทำให้ได้สัญญาณ PAM ที่มีแอมปลิจูดเป็นสัดส่วนกับระดับของสัญญาณ ณ เวลาที่ได้ทำการสุ่มนั้น แอมปลิจูดดังกล่าวอาจมีค่าได้มากมายไม่จำกัด การให้ไบนารี่โค๊ดกับสัญญาณสุ่มตัวอย่างที่มีแอมปลิจูดจำนวนมากได้ทุกตัวนั้น ก็จำเป็นที่จะต้องใช้จำนวนบิทในกลุ่มรหัสมากตามไปด้วย ทำให้ไม่เหมาะสมในทางปฏิบัติ อย่างไรก็ดีการแบ่งย่านแอมปลิจูดออกเป็นระดับต่าง ๆ ด้วยจำนวนที่จำกัด เราก็สามารถที่จะแทนแอมปลิจูดค่าต่าง ๆ ของสัญญาณที่สุ่มมาได้ด้วยจำนวนของระดับที่ได้แบ่งไว้ ซึ่งอาจจะมีความคลาดเคลื่อนได้บ้าง ซึ่งในการให้ไบนารี่โค๊ดก็กำหนดเอาค่าที่ตรงกันหรือใกล้เคียงที่สุดกับระดับที่ได้แบ่งไว้ กรรมวิธีในการแบ่งย่านแอมปลิจูดของตัวอย่างที่สุ่มมาได้เป็นระดับต่าง ๆ ที่มีจำนวนจำกัด และกำหนดระดับที่แน่นอนให้กับสัญญาณ PAM นั้นเราเรียกว่าควอนไตซิงค์ (Quantizing) โดยจะเรียกระดับหนึ่ง ๆ ที่แบ่งไว้ว่าระดับการควอนไตซิงค์ (Quantizing Level) และจะเรียกช่วงห่างระหว่างระดับการควอนไตซิ่งค์นั้นว่า ควอนไตซิ่งอินเทอร์วอล (Quantizing Interval) หรืออาจจะเรียกว่า ควอนทัมสเต็ป (Quantum Step) ดังแสดงตามรูปที่ 2.32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

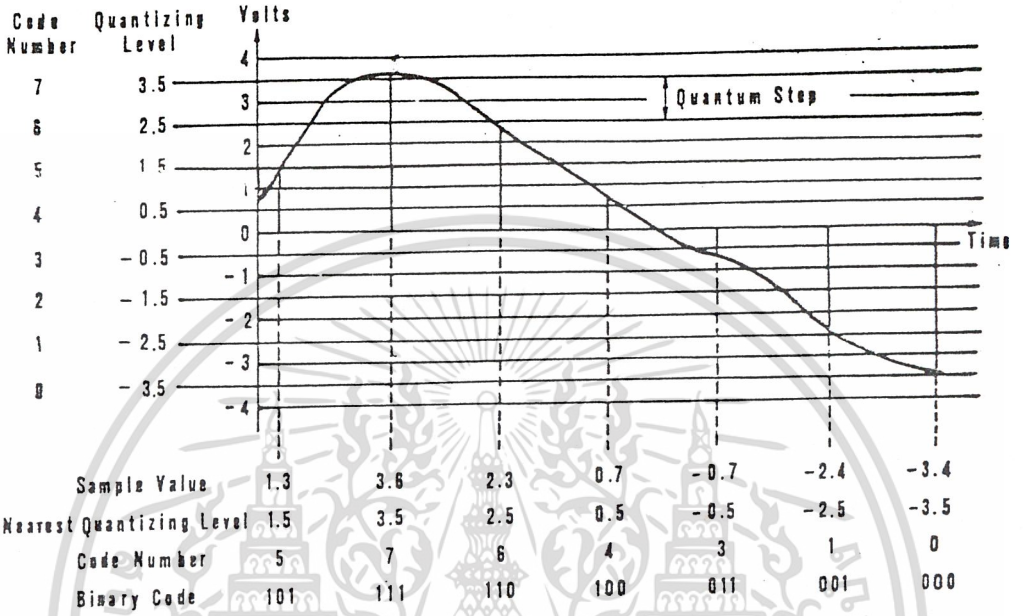



รูปที่ 2.31 การสุ่มตัวอย่าง (Sampling)

จากรูปที่ 2.32 สัญญาณที่ทำการสุ่มตัวอย่างมีย่านแอมปลิจูดอยู่ระหว่าง +4 โวลท์ และ -4 โวลท์ โดยสมมุติว่าเราแบ่งย่านแอมปลิจูดนี้ออกเป็น 8 ระดับคือที่ -3.5, -2.5, -1.5, -0.5, 0.5, 1.5, 2.5 และ 3.5 โวลท์ (ควอนทัมสเต็ป = 1) การสุ่มตัวอย่างครั้งแรกตรงกับ 1.3 โวลท์เรากำหนดให้อยู่ใน ระดับการควอนไตซิ่งค์ ที่ 1.5 โวลท์ เพราะเป็นระดับที่ใกล้เคียงที่สุด การสุ่มตัวอย่างครั้งที่ 2 ตรงกับแอมปลิจูด 3.6 โวลท์ เรากำหนดให้อยู่ในระดับการควอนไตซิ่งค์ที่ 3.5 โวลท์ (ระดับที่ใกล้เคียงที่สุด) การสุ่มตัวอย่างครั้งต่อ ๆ ไปก็เช่นเดียวกัน จึงเห็นได้ว่าระดับการควอนไตซิ่งค์ที่เรากำหนดให้นั้นเป็นเพียงค่าที่ใกล้เคียงกับค่าของแอมปลิจูดจริงที่ได้มาจากการสุ่มตัวอย่าง ความคลาดเคลื่อนจากการควอนไตซิ่งค์ย่อมจะเกิดขึ้นบ้างเช่น จากการสุ่มตัวอย่างในครั้งแรกจะเกิดการคลาดเคลื่อนไป 0.2 โวลท์ เป็นต้น การคลาดเคลื่อนนี้เกิดขึ้นในลักษณะที่ไม่แน่นอนซึ่งและเราจะเรียกว่า ความคลาดเคลื่อนจากการควอนไตซิ่งค์ (Quantizing Error) หรือ ควอนไตซิ่งค์นอยส์ (Quantizing Noise) ซึ่งเป็นแหล่งกำเนิดที่สำคัญของความเพี้ยน ในขั้นตอนของการแบ่งแอมปลิจูดออกเป็นระดับต่าง ๆ ถ้าเพิ่มจำนวนของ ระดับการควอนไตซิ่งค์ ให้มากขึ้นก็จะทำให้ไบนารี่โค๊ดมีจำนวนบิทมากขึ้นตามไปด้วย และเป็นผลทำให้การส่งสัญญาณไบนารี่โค๊ดต้องการแบนวิดท์ที่กว้างมากขึ้น โดยทั่วไปแล้วเราจะต้องกำหนดให้จำนวน ระดับการควอนไตซิ่งค์ และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จำนวนบิทในกลุ่มรหัสหนึ่ง โดยจะมีวัตถุประสงค์เพื่อทำให้การส่งสัญญาณไบนารี่โค๊ดได้ผลเป็นที่น่าพอใจ โดยใช้แบนวิดท์น้อยที่สุดเป็นหลัก

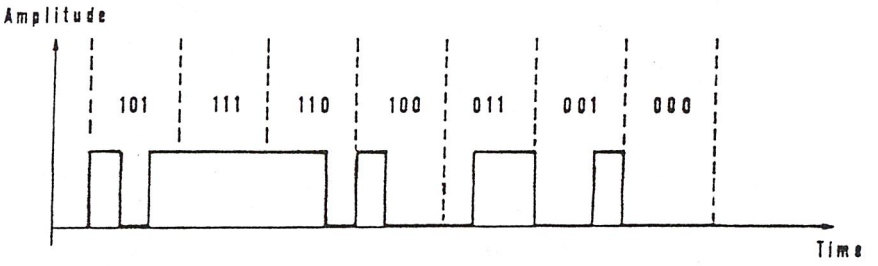



รูปที่ 2.32 การแบ่งย่านแอมปลิจูดออกเป็นระดับต่าง ๆ

**การเข้ารหัส (Coding)**

เมื่อได้ทำการสุ่มตัวอย่างสัญญาณอนาล็อกเรียบร้อยแล้ว เราก็จะได้สัญญาณ PAM ที่มีขนาดของแอมปลิจูดต่าง ๆ กันส่งเข้าไปยังวงจรแบ่งย่านระดับสัญญาณ โดยที่จะทำการกำหนดให้ระดับการควอนไตซิ่งค์ อันใดซึ่งตรงกันหรือใกล้เคียงที่สุดกับระดับของแอมปลิจูดที่สุ่มมาได้ และตัวเข้ารหัส (Coder) ก็จะผลิตสัญญาณไบนารี่โค๊ดตรงตามระดับนั้น ๆ แล้วจึงจะส่งออกไปในสายส่ง และจากรูปที่ 2.32 สมมุติว่าเราได้กำหนดค่าของรหัส (Code Number) ที่จะใช้กับระดับการควอนไตซิ่งค์ ที่ระดับต่าง ๆ คือ -3.5, -2.5, -1.5, ....., 3.5 โวลท์ เป็น 0, 1, 2, ....., 7 ซึ่งตามลำดับแล้ว ตัวอย่างที่สุ่มมาได้เป็นลำดับแรกคือ 1.3 โวลท์ ซึ่งค่าที่ใกล้เคียงที่สุดคือ 1.5 โวลท์ ซึ่งตรงกับค่าของรหัส 5 ดังนั้นรหัสที่ส่งออกไปเป็นโค๊ดเวิร์ด (Code Word) ขนาด 3 บิท คือ 101 เป็นต้น ซึ่งจะแสดงตามรูปที่ 2.33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.33 การเข้ารหัส (Coding)

## 2.3 หลักการของระบบดิจิตอลสวิทช์ชิ่ง

### 2.3.1 ชุมสายระบบดิจิตอล

หลักการโดยทั่ว ๆ ไปของชุมสายระบบดิจิตอล จะประกอบด้วย

สวิทช์ชิ่งเน็ทเวิคท์ (Switching Network)

ซิกแนลริ่ง อิควิปเม้นท์ (Signalling Equipment)

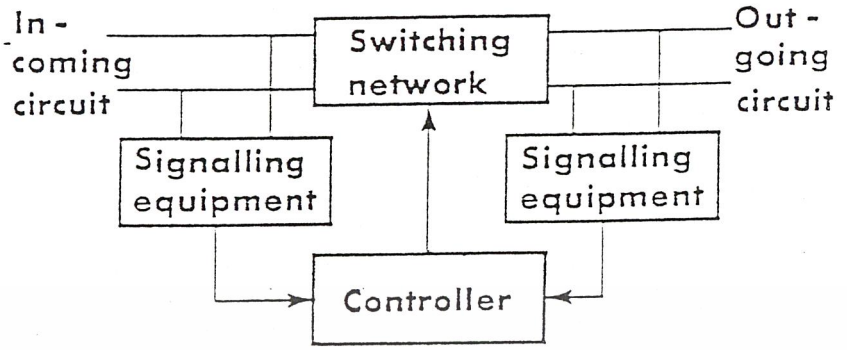
คอนโทรลริ่ง อิควิปเม้นท์ (Controlling Equipment)

ในชุมสายระบบอนาล็อกส่วนมากจะเป็นแบบอิเล็คโตรแมคคานิคอลสวิทช์ ซึ่งจะเป็นระบบครอสบาร์จะประกอบด้วยสวิทช์จำนวนมากเพื่อทำหน้าที่เป็นสวิทช์ชิ่งเน็ทเวิคท์

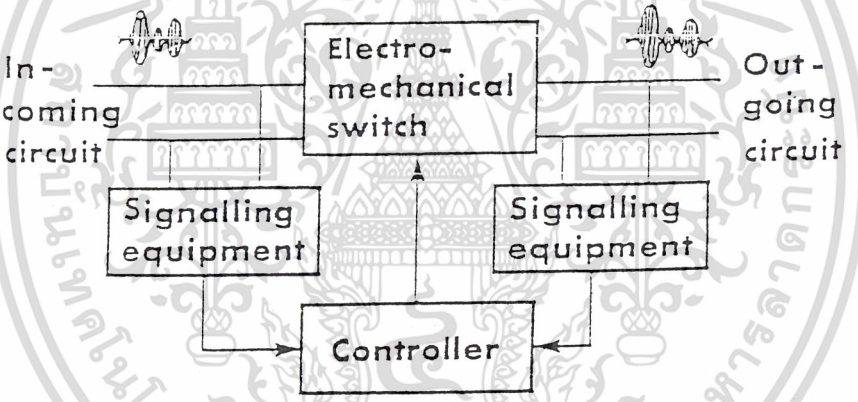
และในกรณีชุมสายระบบดิจิตอล สัญญาณดิจิตอลที่เป็น 0 หรือ 1 จะถูกส่งผ่านเข้ามาทางวงจรทางด้านเข้าและออกไปวงจรทางด้านออก โดยที่สัญญาณดิจิตอลจะถูกสร้างขึ้นมา โดยอาศัยวงจรของเซมิคอนดัคเตอร์ (Semiconductor) เป็นวงจรต่าง ๆ ของ LSI โดยเฉพาะตัวดิจิตอลสวิทช์ ซึ่งส่วนมากจะใช้อุปกรณ์อิเล็กทรอนิกส์เป็นเซมิคอนดัคเตอร์เมมโมรี่ (Semiconductor memories) และวงจรเกท (Gate circuit)

สำหรับสวิทช์ที่ประกอบไปด้วยเซมิคอนดัคเตอร์ เมมโมรี่นั้น เราจะเรียกว่า ไทม์สวิทช์ (ไทม์สวิทช์ หรือ T-Switch) หรือเมมโมรี่สวิทช์ (Memory Switch) สำหรับไทม์สวิทช์ ซึ่งเราจะใช้เซมิคอนดัคเตอร์เป็น MOS เมมโมรี่ หรือไบโพล่าร์ เมมโมรี่ (Bipolar memories) มีส่วนสวิทช์ที่จะประกอบด้วยวงจรเกทซึ่งจะเรียกว่า สเปซสวิทช์ (Space Switch) ที่จะนำมาใช้ร่วมกับไทม์สวิทช์ ก็เพื่อที่จะทำหน้าที่ในการส่งข่าวสารต่าง ๆ ขณะที่วงจรเกทเปิดวงจร ซึ่งจะทำหน้าที่คล้าย ๆ กันกับอิเล็คโตรแมคคานิคอลสวิทช์ จะส่งข่าวสารก็ต่อเมื่อหน้าสัมผัสทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.34 แสดงส่วนประกอบของชุมสายระบบดิจิตอล




รูปที่ 2.35 แสดงส่วนประกอบของชุมสายแบบอนาล็อก

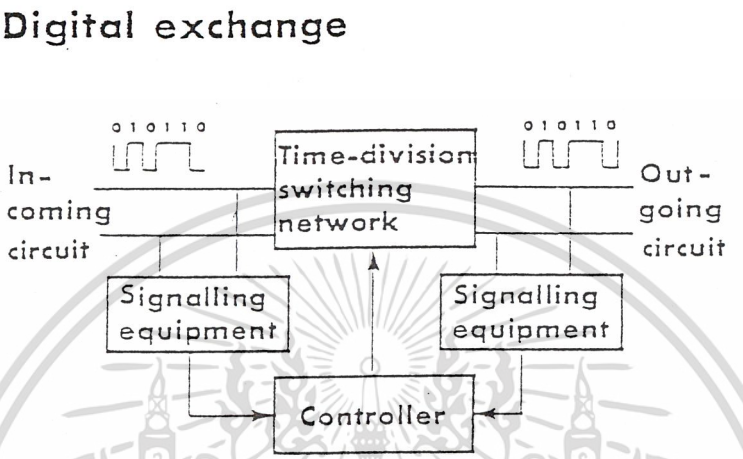
การคอนโทรลของชุมสายระบบดิจิตอลนั้น ใช้วิธีเก็บโปรแกรม (SPC) ซึ่งคล้าย ๆ กันกับชุมสายระบบอิเล็กทรอนิกส์ ในระบบ SPC ได้นำเอาคอมพิวเตอร์มาทำหน้าที่ควบคุมการทำงานของสวิทช์ตามโปรแกรมต่าง ๆ ที่เก็บไว้ในหน่วยความจำ

เนื่องจากความก้าวหน้าทางเทคโนโลยีของวงจร LSI เซมิคอนดัคเตอร์ การทำงานของระบบ SPC ก็ได้พัฒนาตามไปด้วย

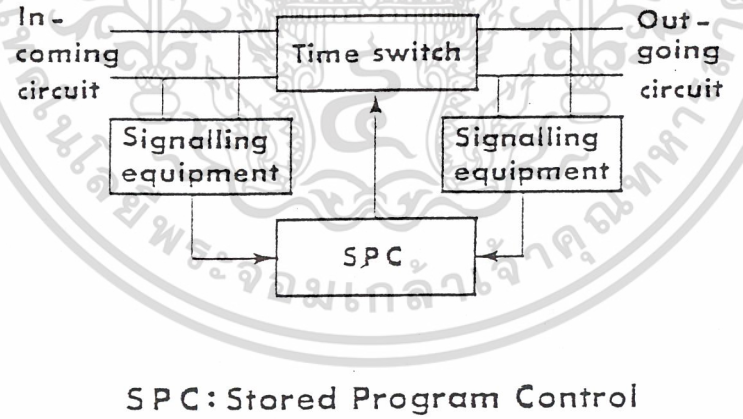
สำหรับอุปกรณ์ควบคุมสามารถทำให้เล็กและเหมาะกับการใช้งานด้วยความเร็วสูง อย่างไรก็ดี ความต้องการในการใช้งานมีมากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อสนองการบริการทางโทรศัพท์ให้มากยิ่งขึ้น โปรแกรมต่าง ๆ ก็ต้องพัฒนาให้สามารถใช้งานได้กว้างขวางยิ่งขึ้น




รูปที่ 2.36 แสดงการส่งผ่านข้อมูลข่าวสารแบบดิจิตอล



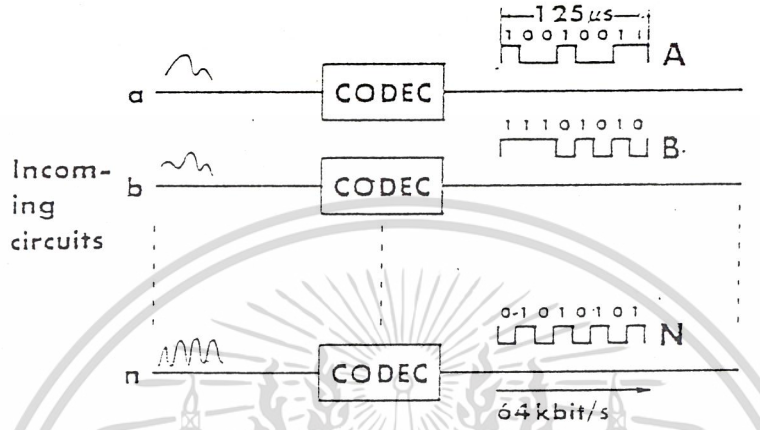

รูปที่ 2.37 แสดงชุมสายระบบ SPC

### 2.3.2 หลักการของ Time Division Multiplexing

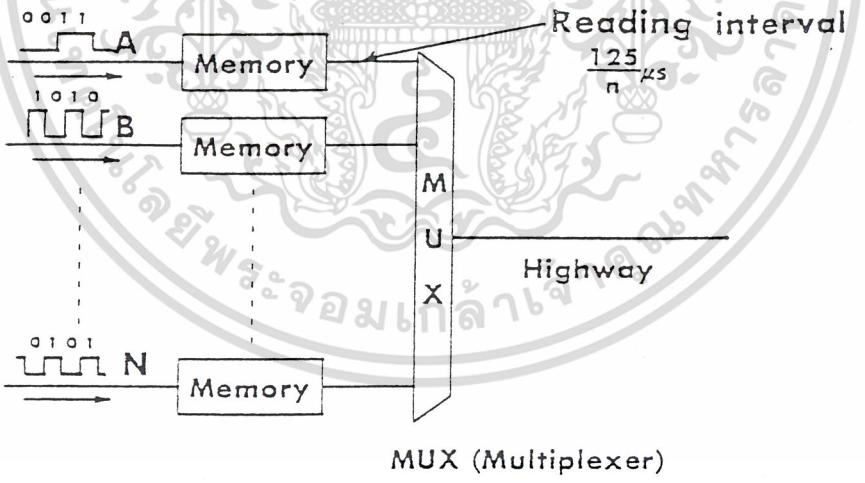
สัญญาณเสียง (เป็นสัญญาณอนาล็อก) ได้ส่งเข้ามาในคู่สายตามลำดับดังนี้ a, b,....n สัญญาณนี้ได้ถูกเปลี่ยนโดย Coder-Decoder ซึ่งเรียกว่า Codec เป็นสัญญาณดิจิตอลขนาด 8 บิท คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A, B,.....N โดยอาศัยความถี่แซมปลิ้ง 8 กิโลเฮิรท์ ด้วยระยะเวลา 125 ไมโครวินาที ด้วยความเร็วในการส่งสัญญาณ 64 กิโลบิทต่อวินาที




รูปที่ 2.38 แสดงหลักการของ TDM




รูปที่ 2.39 แสดงการส่งสัญญาณออกทางไฮเวย์

เมื่อได้สัญญาณเป็นสัญญาณดิจิตอลแล้วจาก Codec ก็จะถูกส่งไปเก็บข้อมูลเป็นการชั่วคราวที่หน่วยความจำ ถ้าสัญญาณดิจิตอล A, B,....N ของ TDM นี้จะต้องใช้งานภายใน 125 ไมโครวินาที

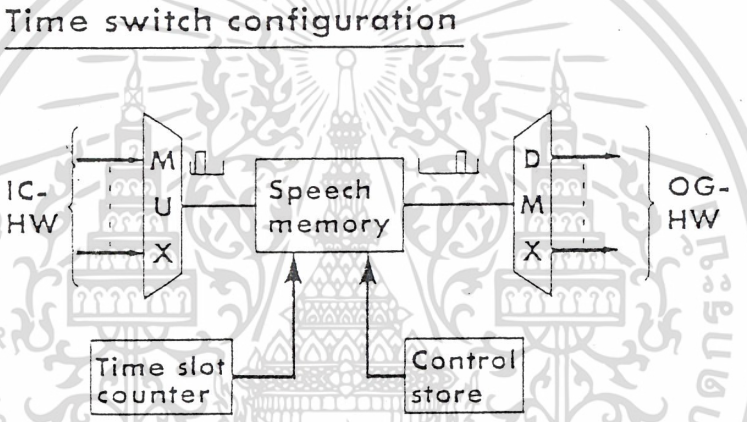
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นเมื่อสัญญาณดังกล่าวถูกมัลติเพล็กซ์ด้วยจำนวน n และสัญญาณนั้นก็จะถูกอ่านออกจากหน่วยความจำด้วยช่วงระยะเวลา 125/n แล้วจึงส่งออกไปทาง ไฮเวย์ ดังแสดงในรูปที่ 2.39

คู่สายที่ใช้สำหรับส่งสัญญาณมัลติเพล็กซ์นี้จะเรียกว่า ไฮเวย์ ซึ่งในระบบดิจิตอลจะส่งด้วยความเร็ว 8.448 เมกกะบิทต่อวินาที

**2.3.3 Time Division Switching (or T-Switch)**

หน้าที่ของไทม์สวิทช์ก็คือจะทำหน้าที่สับเปลี่ยนระหว่างไทม์สล็อทของระบบสัญญาณการมัลติเพล็กซ์ 8 บิทในไฮเวย์ ซึ่งจะเป็นสิ่งที่จำเป็นมากสำหรับการสร้างโครงข่ายของดิจิตอลสวิทช์ชิ่ง




รูปที่ 2.40 แสดงโครงสร้างของไทม์สวิทช์

จากรูปที่ 2.40 เป็นโครงสร้างการใช้งานของไทม์สวิทช์ ซึ่งการเขียนข้อมูลเข้าไปและการอ่านข้อมูลออกจากไทม์สวิทช์ จะถูกจัดการด้วยวงจรนับไทม์สล็อท และคอนโทรลสตอ (Control Store) ตามลำดับ

ตัวไทม์สวิทช์มีหน้าที่เก็บสัญญาณเสียงที่เปลี่ยนเป็นดิจิตอลแล้ว และสัญญาณอื่น ๆ ที่อยู่ในไฮเวย์ โดยปริมาณความจุของไทม์สวิทช์ขึ้นอยู่กับจำนวนของไทม์สล็อทที่มัลติเพล็กซ์ จำนวนของไทม์สล็อทซึ่งสามารถสับเปลี่ยน โดยไทม์สวิทช์ก็คือ ระดับของการมัลติเพล็กซ์ในไฮเวย์นี้จะถูกจำกัด

สมการข้างล่างนี้จะแสดงให้เห็นถึงความสัมพันธ์ระหว่างช่วงเวลาของการแซมปลิ้งT, ระดับของการมัลติเพล็กซ์ n, คาบเวลา $T_c$ , จำนวนของสวิทช์แอ็คเซ็สไทม์ (Switch access time) ต่อไทม์สล็อท A, และจำนวนของบิทขนาน P

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$T(=125\times10^{-6})=n\times\frac{8}{P}\times \mathrm{A}\times t_c$$

ในเมื่อ n = ระดับของการมัลติเพล็กซ์

P = จำนวนของบิทขนาน $P \leq 8$

A = จำนวนของไทม์สวิทช์แอ็คเซ็ส

$t_c$ = คาบเวลา

T = ช่วงวลาของการแซมปลิ้ง ($T = 125 \times 10^{-6}$ วินาที)

8 = จำนวนบิทที่ระบุขั้นการมัลติเพล็กซ์

ในลักษณะการใช้ชุมสายระบบดิจิตอลนั้น โดยทั่ว ๆ ไปความสามารถของโครงข่ายจะอยู่ในระยะระหว่าง 256 และ 1024 มัลติเพล็กซ์ซิ่งค์ ระดับของการมัลติเพล็กซ์ n ซึ่งสามารถเพิ่มขึ้นโดยการเพิ่มค่าของแต่ละตัวทางด้านขวามือ ดังนี้

$$n=\left[125\times10^{-6}\right]\times\left[\frac{P}{8}\right]\times\left[\frac{1}{\mathrm{A}}\right]\times\left[\frac{1}{t_c}\right]$$

จำนวนสูงสุดของจำนวนบิทขนาน [P] ก็คือ 8 เมื่อสัญญาณประกอบด้วย 8 บิท จำนวนเวลาของไทม์สวิทช์แอ็คเซ็ส A คือ 2 ในกรณีของออดิเนรี่แอ็คเซ็ส (Ordinary access) และใกล้ ๆ 1 ในกรณีของพาราเล็ลแอ็คเซ็ส (Parallel access) ดังนั้นค่าเทอมนี้จะสามารถเพิ่มขึ้นได้ก็โดยการลดค่าของ A ดังนั้นค่าของ A ถูกกำหนดให้เท่ากับ 1 ค่าของเทอมนี้จะเพิ่มขึ้นอีกโดยการลดคาบเวลา [$T_c$]

ให้เราพิจารณาวิธีการที่จะนำมาใช้เพื่อที่จะลดจำนวนคาบเวลาของหน่วยความจำ จะเห็นได้จากรูปที่ 2.41 ซึ่งจะแสดงความสัมพันธ์ระหว่างระดับของการมัลติเพล็กซ์ของหน่วยความจำที่ใช้สำหรับไทม์สวิทช์ปัจจุบันนี้ และกระทำตามความต้องการใช้สำหรับหน่วยความจำ เส้นทะแยงมุมแสดงให้เห็นถึงความจุของหน่วยความจำ และเส้นตรงตามแนวดิ่งจะแสดงให้เห็นถึงคาบเวลาของหน่วยความจำ และสำหรับในกรณีของหน่วยความจำที่เราใช้ในไทม์สวิทช์ร่วมกับระดับของการมัลติเพล็กซ์ ตัวอย่างเช่น ค่า 256 นี้ ความจุของหน่วยความจำจะเป็น 2048 บิท (256×8) ซึ่งเป็นค่าจำนวนมาก แต่อัตราของความเร็วจะต่ำ ดังนั้นหน่วยความจำชนิดนี้ไม่เหมาะสำหรับที่จะนำมาใช้ทำหน่วยความจำสำหรับไทม์สวิทช์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อสัญญาณอนาล็อกถูกเปลี่ยนเป็นสัญญาณดิจิตอลแล้ว เราเรียกว่าสัญญาณ PCM นั้น และสัญญาณดิจิตอลที่มีหลาย ๆ สัญญาณจะก็ถูกนำมารวมกันในคู่สายเดียวกัน เรียกว่า TDM ดังตัวอย่างใน รูปที่ 2.41 สัญญาณ a, b,...c จะถูกนำมารวมกันในคู่สายเดียวกันและถูกต่อเข้าหน่วยความจำบัฟเฟอร์ สัญญาณ a มาก่อน ( เรียกว่าเป็นไทม์สล็อทที่ 1 ) ก็จะถูกเก็บไว้ในหน่วยความจำตำแหน่งที่ 1,สัญญาณ b ก็จะถูกเก็บไว้ในหน่วยความจำตำแหน่งที่ F การที่สัญญาณจากหน่วยความจำบัฟเฟอร์ ซึ่งจะนำออกมาใช้จะต้องถูกควบคุมจากหน่วยความจำควบคุม

สมมุติว่าข้อมูลในหน่วยความจำควบคุมถูกกำหนดให้หน่วยความจำตำแหน่งที 1 เป็น 2, หน่วยความจำตำแหน่งที่ 3 เป็น F และหน่วยความจำตำแหน่งที่ F เป็น 1 ก็หมายความว่าสัญญาณ b ออกก่อน สัญญาณ c ออกเป็นสัญญาณที่ 3 และสัญญาณ a ออกเป็นที่ F วิธีการเช่นนี้ เรียกว่า Time Division Switch หรือ ไทม์สวิทช์ ซึ่งเราสามารถเปรียบเทียบได้คล้ายกับวงจรแมทริกซ์หรือครอสบาร์สวิทช์ ได้ดังรูปขวามือ สัญญาณที่ 1 ถึง F เข้าทาง Inlet และสามารถต่อออกทาง Outlet จาก 1 ถึง F เหมือนกัน โดยการควบคุมของหน่วยความจำควบคุม

ในคู่สายที่ใช้ส่งสัญญาณร่วมกันสำหรับส่งสัญญาณมัลติเพล็กซ์นั้น เราเรียกว่า ไฮเวย์ และสัญญาณดังกล่าวนั้นจะส่งด้วย ความเร็ว 8.448 Mbit/s

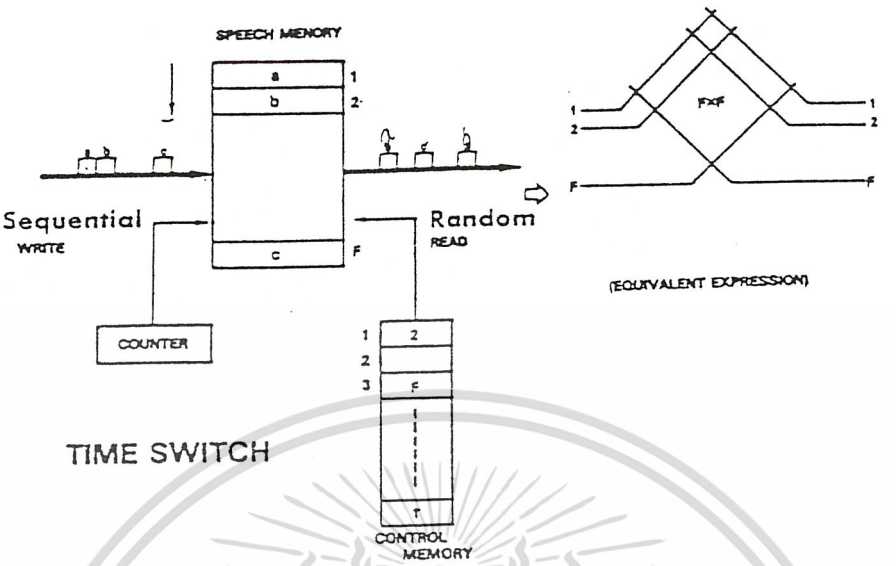
ช่วงระยะเวลาที่อ่านสัญญาณจากหน่วยความจำ คือ 125/n us ซึ่งเป็นการอ่านจำนวน n ครั้งนั้นคือจุดเริ่มต้นของความเร็วในการส่ง

การมัลติเพล็กซ์แบบแบ่งเวลา จะมีวิธีทำงาน โดยเปลี่ยนตำแหน่งหรือทิศทางของการอ่านค่าของเวลา 125/n us จะขึ้นอยู่กับว่าการอ่านสัญญาณออกจากหน่วยความจำทุก ๆ สัญญาณที่ถูกอ่านออกจากหน่วยความจำด้วยสัญญาณ “Read” (R signal) ซึ่งก็จะผลิตสัญญาณออกมาจากตัวควบคุมสัญญาณการอ่าน (Read Controller)

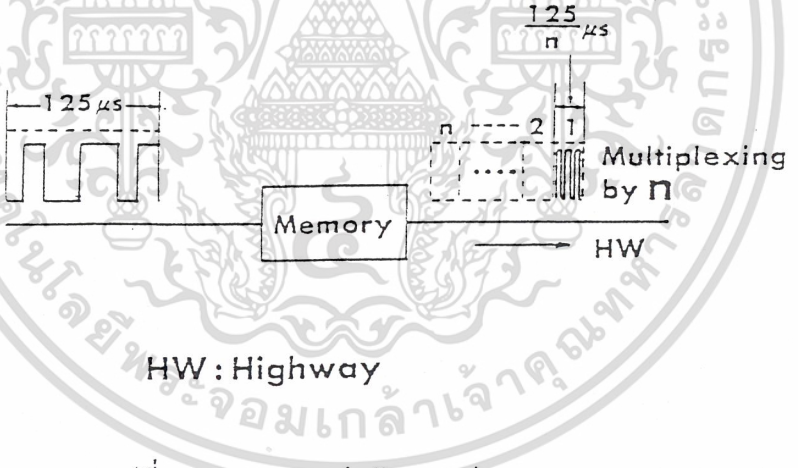
ในสายส่งสัญญาณ HW สัญญาณดิจิตอล A, B,..... และ N ที่จะส่งสำหรับ n ช่อง จะถูกจัดอันดับตามเวลาที่กำหนดไว้ $t_1$, $t_2$,.....$t_n$ ตามลำดับในช่วงเวลา 125 us ด้วยกำหนดของเวลาของสัญญาณ $t_1$, $t_2$,.....$t_n$ ถูกกำหนดด้วยเวลาซึ่งเป็นสัญญาณ Read ที่ถูกส่งไปยังหน่วยความจำ ในแต่ละวงจร ทางด้านเข้า เราสามารถที่จะพิจารณาได้ว่า ในแต่ละวงจร ทางด้านเข้า จะขึ้นอยู่กับการจัดอันดับของเวลาในไฮเวย์

ในทำนองเดียวกันเอาท์พุทแต่ละวงจรจะขึ้นอยู่กับการจัดอันดับเวลาในไฮเวย์ เมื่อวงจรทางด้านเข้า และทางด้านออกตอบสนองซึ่งกันและกันแล้ว ช่วงเวลาของ $t_1$ในไฮเวย์ จะทำหน้าที่รับผิดชอบทั้งวงจรทางด้านเข้า และทางด้านออก a และ $a'$ ช่วงเวลาของ $t_2$ ก็จะทำหน้าที่รับผิดชอบวงจรทางด้านเข้า และทางด้านออก b และ $b'$ จนกระทั่งถึงตำแหน่งที่ $t_n$ ก็จะทำหน้าที่รับผิดชอบวงจรทางด้านเข้า และทางด้านออก n และ $n'$ หลักการดังกล่าวนัยว่าเป็นสิ่งสำคัญจะต้องทำความเข้าใจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

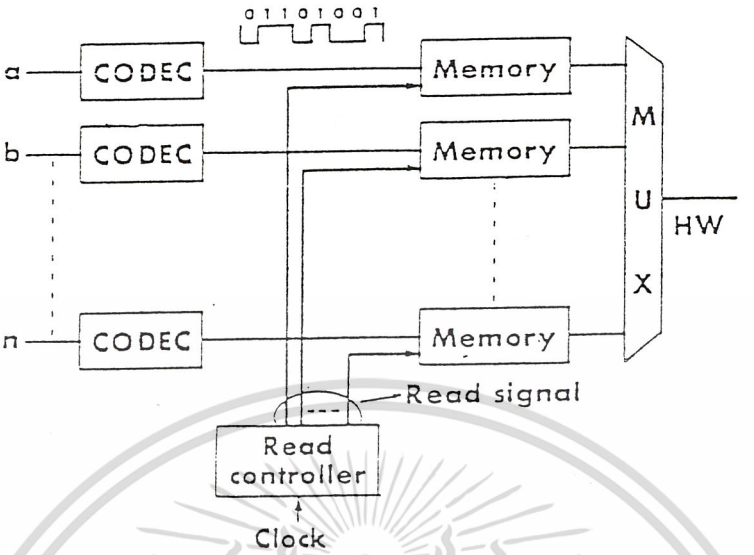



รูปที่ 2.41 แสดงไทม์สวิทช์ และวงจรเปรียบเทียบ

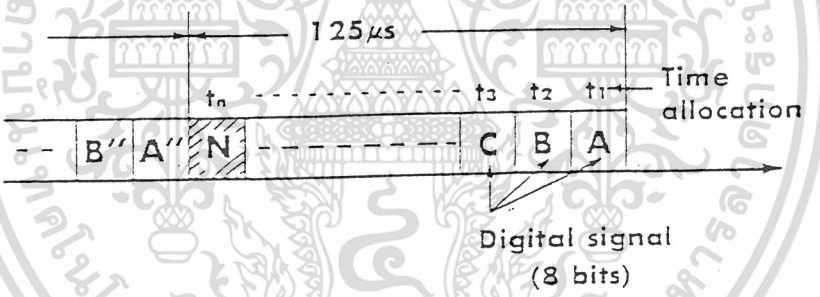



รูปที่ 2.42 แสดงการส่งสัญญาณผ่าน HW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.43 แสดงการอ่านสัญญาณ



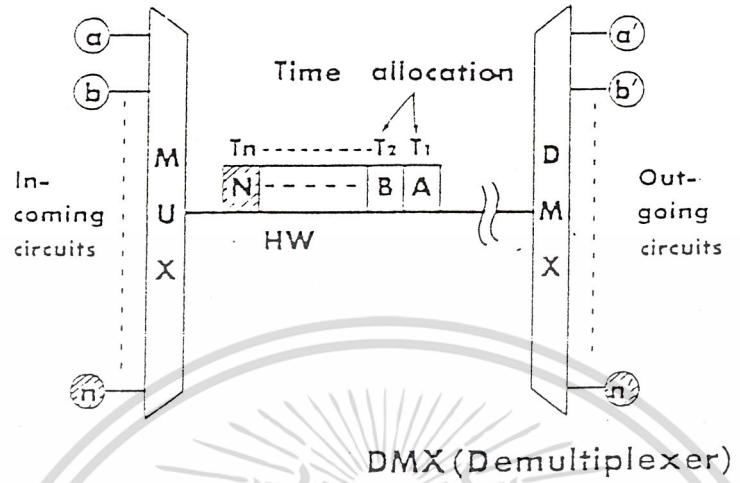

รูปที่ 2.44 แสดงการจัดอันดับของสัญญาณ

แต่ละช่วงเวลา $t_1, t_2, \ldots t_n$ ในการใช้งานใน ไฮเวย์ 1 ช่องนี้เรียกว่าไทม์สล็อท ในกรณีของ n มัลติเพล็กซ์ชิ่งค์ ดังนั้น 1 ไทม์สล็อท จะใช้เวลา = 125/n us กลุ่มของสัญญาณทั้งหมดจาก $t_1, t_2 \ldots\ldots$ $t_n$ ในแต่ละกลุ่มที่ใช้เวลา 125 us (TDM) เรียกว่า 1 เฟรม

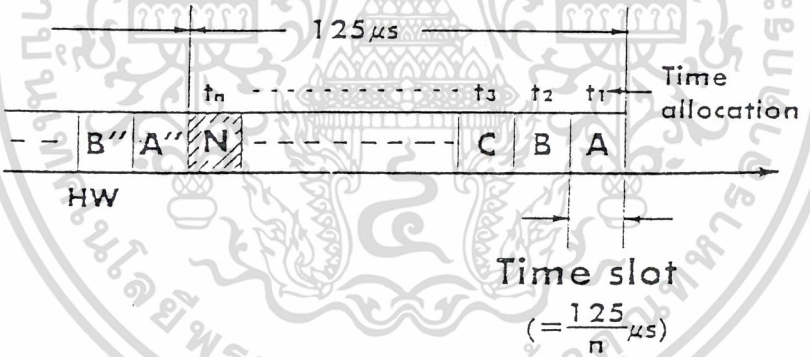
สัญญาณมัลติเพล็กซ์แบบดิจิตอลที่ใช้ในไฮเวย์ ได้ถูกนำมาใช้ในวงจรของไทม์สวิทช์ และไทม์สวิทช์จะประกอบด้วยหน่วยความจำแบบเซมิคอนดัคเตอร์ ซึ่งก็จะทำหน้าที่เป็นหน่วยความจำและรวมไปถึงการสับเปลี่ยนช่วงของเวลาของวงจรดิจิตอล

ไม่ว่าจะเป็นทางด้านเข้า และทางด้านออกของระบบดิจิตอลสวิทช์นั้น ก็จะขึ้นอยู่กับการสับเปลี่ยนเวลาของวงจรดิจิตอลในแต่ละไฮเวย์ กระบวนการของวงจรสวิทช์ในระบบดิจิตอล จะเกิดจากการสับเปลี่ยนช่วงเวลาของสัญญาณระหว่างวงจรทางด้านเข้า และทางด้านออก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



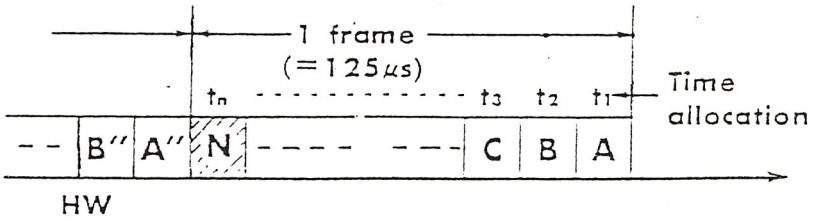

รูปที่ 2.45 แสดงการจัดอันดับของการสับเปลี่ยนช่วงเวลา



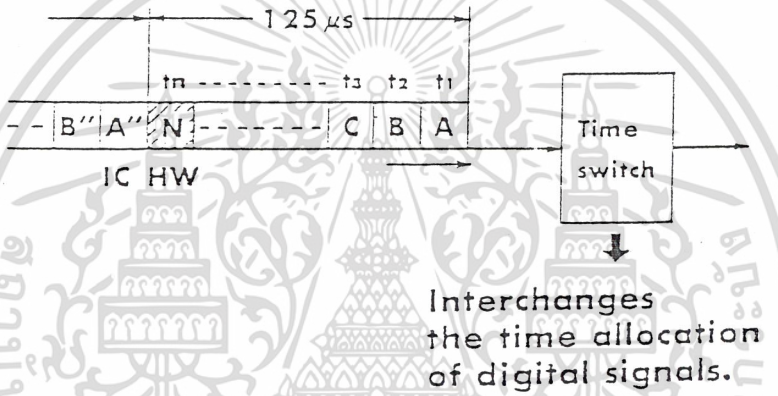

รูปที่ 2.46 แสดงหลักการของไทม์สล็อท

การสับเปลี่ยนกันของช่วงเวลาในไทม์สวิทช์ และจะถูกกระทำจากไทม์สล็อทหนึ่งไปยังอีกไทม์สล็อทหนึ่งด้วยวงจรของ TDM ซึ่งการสับเปลี่ยนของช่วงเวลาของสัญญาณดิจิตอล เราเรียกว่าไทม์สล็อทอินเตอร์เชนจ์ (Time slot Interchange)

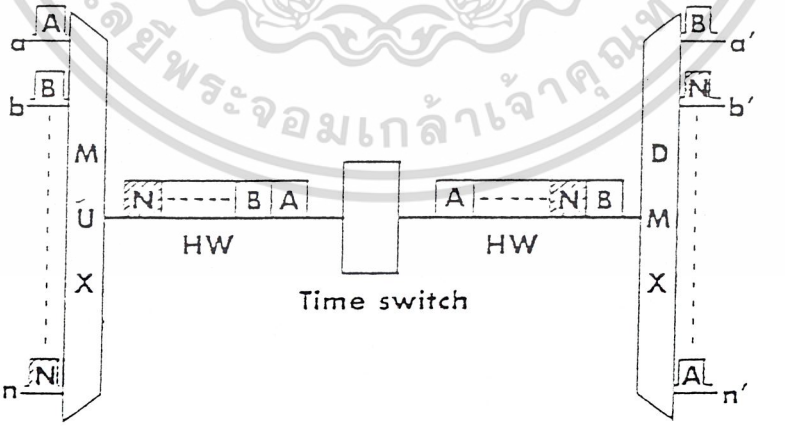
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.47 การจัดการสับเปลี่ยนช่วงเวลาใน 1 เฟรม

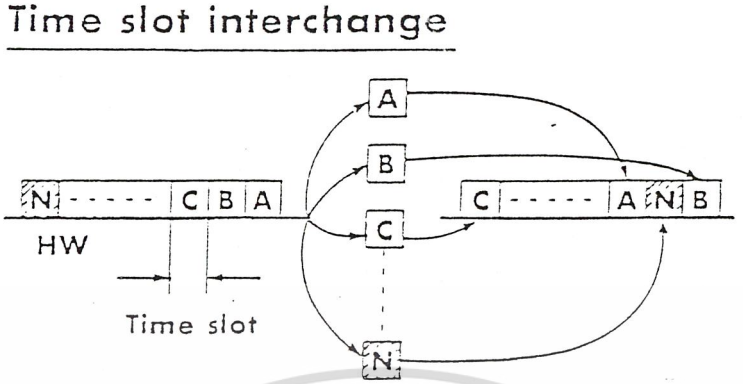



รูปที่ 2.48 แสดงการสับเปลี่ยนของช่วงเวลาของวงจรดิจิตอล




รูปที่ 2.49 แสดงการสับเปลี่ยนของการสับเปลี่ยนช่วงเวลา

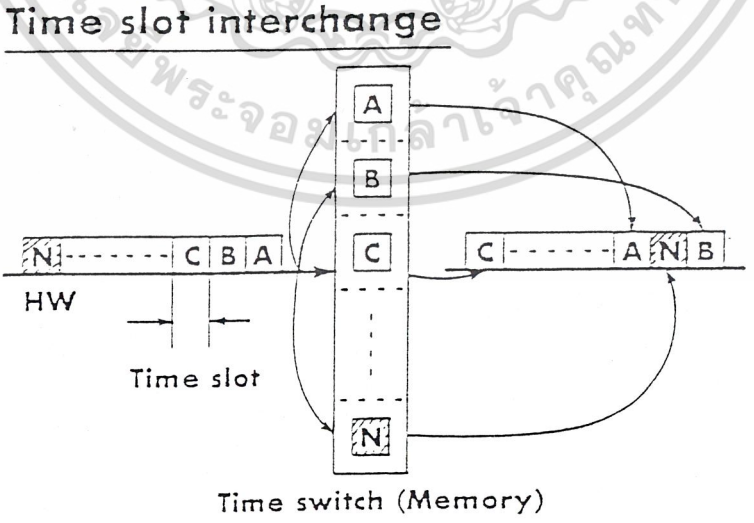
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.50 แสดงไทม์สล็อทอินเตอร์เชนจ์

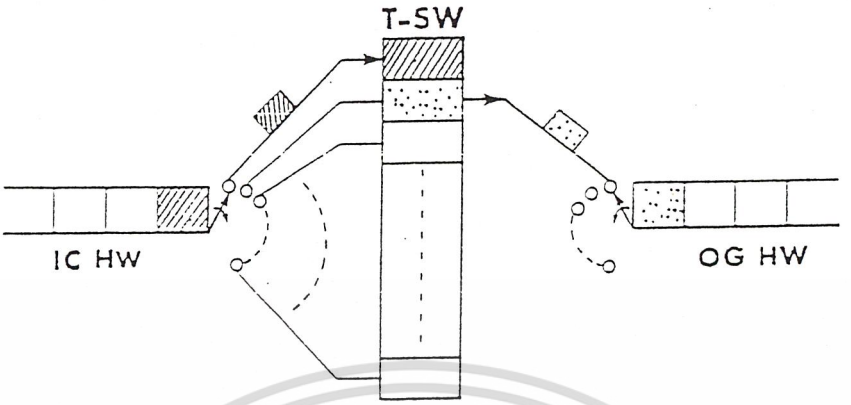
การสับเปลี่ยนระหว่างไทม์สล็อท จะถูกกระทำโดยการเก็บสัญญาณที่ส่งในไฮเวย์ ในหน่วยความจำของไทม์สวิทช์ (Writing) และสัญญาณที่เก็บไว้ดังกล่าวจะถูกอ่านออกมาตามลำดับที่แตกต่างออกไปจากลำดับของการอ่าน

พิจารณาตามรูปที่ 2.51 แสดงหลักการของการสับเปลี่ยนระหว่างไทม์สล็อท จากรูปซึ่งจะเห็นได้ว่าไทม์สวิทช์จะอยู่ตรงกลาง ทางด้านเข้าของไฮเวย์จะอยู่ด้านซ้าย และทางด้านออกไฮเวย์จะอยู่ด้านขวามือสัญญาณ TDM จะถูกป้อนเข้าทางด้านเข้าของไฮเวย์ หลังจากนั้นเมื่อไทม์สล็อทถูกสับเปลี่ยนแล้วก็จะถูกส่งออกทางด้านทางออกของไฮเวย์




รูปที่ 2.51 แสดงการสับเปลี่ยนกันระหว่างไทม์สล็อท

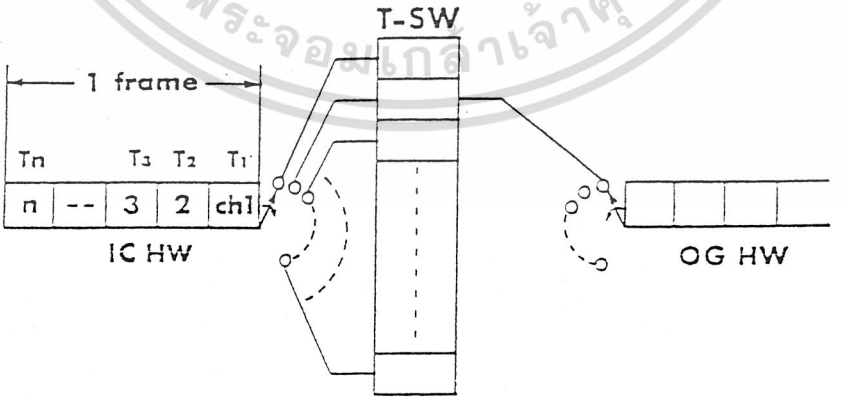
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.52 แสดงการส่งผ่านของไทม์สล็อทอินเตอร์เชนจ์

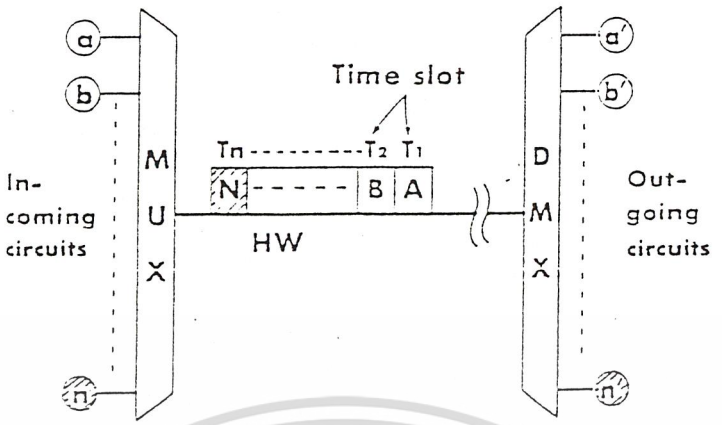
ถ้าหากเราสมมุติว่า สัญญาณที่ส่งทั้งหมดเป็นจำนวน n ช่องต่อ 1 เฟรม ( 125 us) ซึ่งส่งเข้ามาทางด้านเข้าของไฮเวย์ เป็นสัญญาณ TDM ให้สังเกตุว่าจำนวน n ไทม์สล็อทมาถึงไทม์สวิทช์เป็น $T_1, T_2 \ldots\ldots T_n$ ตามลำดับ

วงจรของสัญญาณที่ถูกส่งเข้ามาทางด้านเข้าจะต้องตอบสนองกับวงจรของสัญญาณทางด้านออก เพราะฉะนั้น ไทม์สล็อท $T_1$ จะรับผิดชอบกันวงจรทางด้านเข้า a และวงจรด้านออก $a'$ ในทำนองเดียวกัน ไทม์สล็อท $T_2$ จะรับผิดชอบกับวงจรทางด้านเข้า b และวงจรทางด้านออก $b'$ และ ไทม์สล็อท $T_n$ จะรับผิดชอบกับวงจรทางด้านเข้า n และวงจรทางด้านออก $n'$



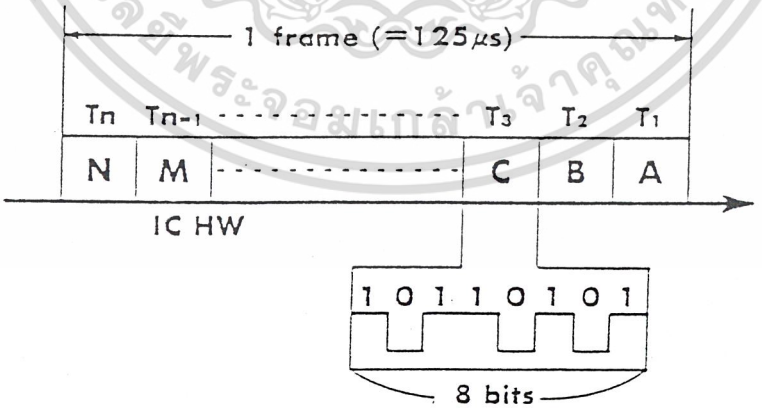

รูปที่ 2.53 แสดงให้เห็นถึงสัญญาณที่จะผ่านไทม์สวิทช์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



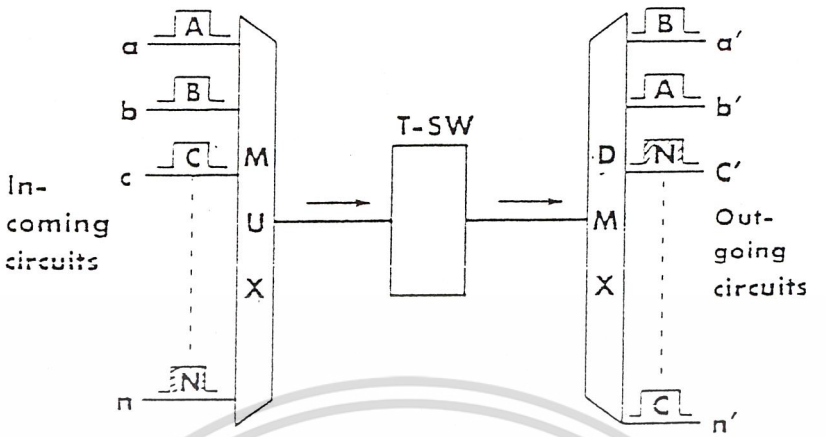

รูปที่ 2.54 การตอบสนองกันระหว่างวงจรทางด้านเข้ากับวงจรทางด้านออก

สมมุติว่าไทม์สล็อท $T_1$ ,$T_2$.....$T_n$ ทางด้านเข้าของไฮเวย์ มีสัญญาณของข้อมูลข่าวสาร A, B และ N ซึ่งปกติจะเป็นรหัสดิจิตอล 8 บิท ผ่าน PCM ของสัญญาณเสียง ทีนี้เราลองพยายามต่อวงจรทางด้านเข้า a ไปยังทางด้านออก $b'$ ,วงจรทางด้านเข้า b ต่อไปยังทางด้านออก $a'$ ,วงจรทางด้านเข้า c ต่อไปยังวงจรทางด้านออก $n'$ และวงจรทางด้านเข้า n ต่อไปยังทางด้านออก $c'$ ควรพิจารณาถึงการสับเปลี่ยนระหว่างไทม์สล็อท ภายในตัวไทม์สวิทช์ เมื่อสัญญาณ A ถูกสับเปลี่ยนไปยังวงจรทางด้านออก $b'$ สัญญาณ B ไปยังวงจรทางด้านออก $a'$ สัญญาณ C ต่อไปยังวงจรทางด้านออก $n'$ และสัญญาณ N จะถูกต่อไปยังวงจรทางด้านออก $c'$



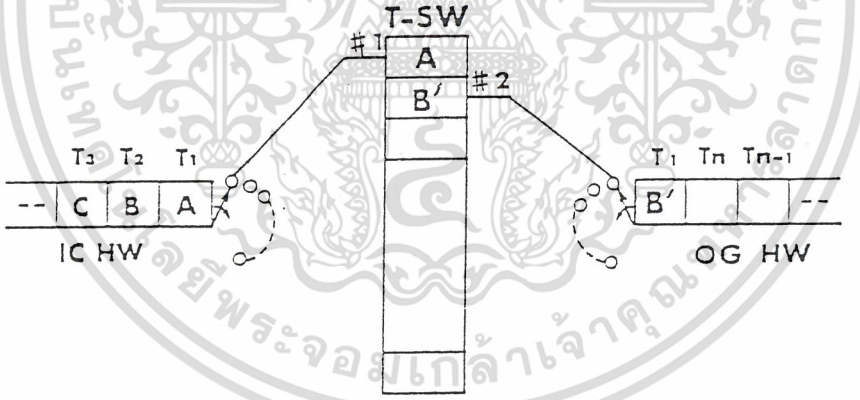

รูปที่ 2.55 แสดงส่วนประกอบของสัญญาณดิจิตอล 8 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.56 แสดงการส่งสัญญาณผ่านไทม์สวิทช์

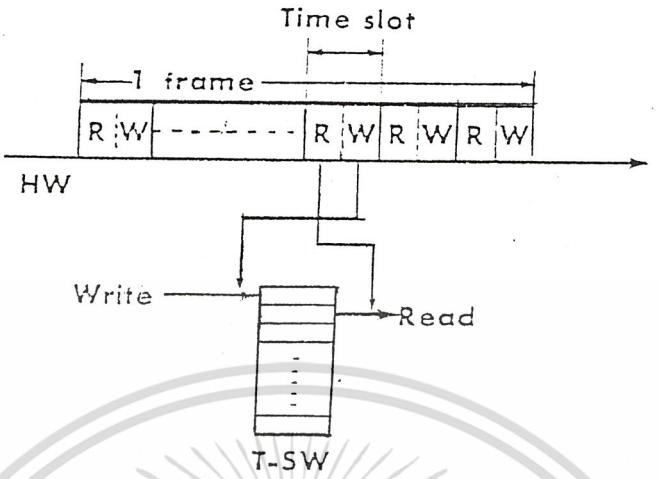
ข้อแรกในไทม์สล็อท $T_1$ สัญญาณ A ได้ถูกบันทึกไว้ที่ตำแหน่งที่ #1 ในไทม์สวิทช์ในเวลาเดียวกันกับสัญญาณ B ได้ถูกเก็บไว้ที่ตำแหน่งที่ #2 ได้ถูกอ่านออกมาได้




รูปที่ 2.57 แสดงการใช้งานของไทม์สวิทช์

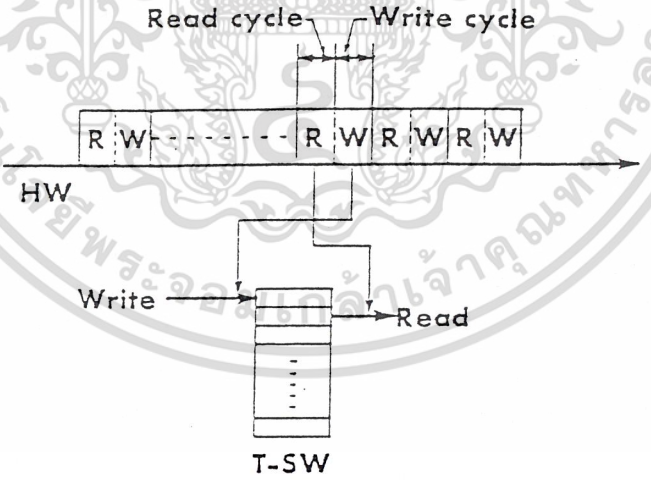
สัญญาณ B′ ซึ่งได้ถูกบันทึกไว้ที่ไทม์สล็อท $T_2$ ของเฟรมก่อน ไทม์สวิทช์ จะไม่ยอมให้สัญญาณใด ๆ ทำการบันทึกและอ่านออกมาในเวลาเดียวกัน เนื่องจากระยะเวลาที่ใช้อยู่ในไทม์สล็อทจะถูกแบ่งออกเป็น 2 ส่วน ครึ่งหนึ่งของไทม์สล็อทจะใช้สำหรับบันทึก และอีกครึ่งหนึ่งที่เหลือจะใช้สำหรับอ่าน (Reading)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.58 แสดงการใช้งานของไทม์สล็อทในไทม์สวิทช์

ลำดับของการทำงานสำหรับสัญญาณการเขียนภายในไทม์สวิทช์นี้ เราเรียกว่า คาบเวลาการเขียน และลำดับของการทำงานสำหรับสัญญาณการอ่าน เรียกว่า คาบเวลาการอ่าน

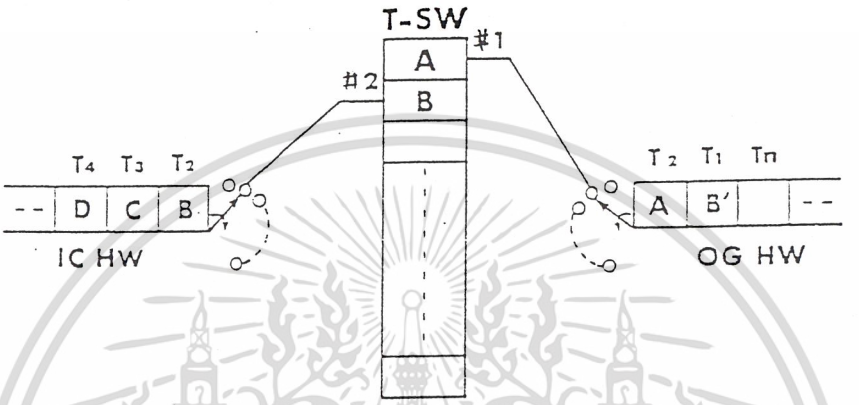



รูปที่ 2.59 แสดงคาบเวลาการอ่าน และคาบเวลาการเขียน

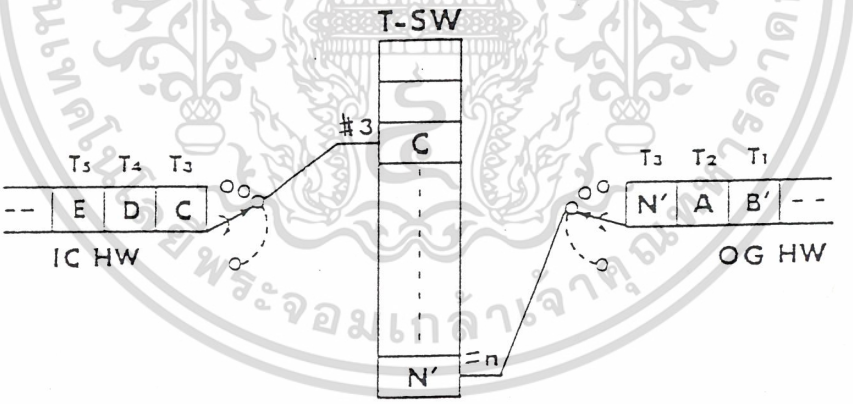
และเมื่อไทม์สล็อท $T_2$ เข้ามาถึงสัญญาณ B ซึ่งถูกบันทึกไว้ที่ตำแหน่ง #2 ในไทม์สล็อท $T_2$ ในไทม์สวิทช์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในเวลาเดียวกันนั้นสัญญาณ A ซึ่งถูกเก็บไว้ในตำแหน่งที่ #1 จะถูกอ่านออกมา ซึ่งสัญญาณ A นี้ได้ถูกบันทึกไว้ก่อนในไทม์สล็อท $T_1$ เมื่อถึงเวลาของไทม์สล็อท $T_3$ มาถึงสัญญาณ C จะถูกบันทึกไว้ที่ตำแหน่งที่ #3 ในไทม์สวิทช์ ที่ช่วงเวลาเดียวกันนั้น สัญญาณ N′ ที่ได้เก็บไว้ที่ตำแหน่งที่ #n ในเฟรมก่อนจะถูกอ่านออกมา



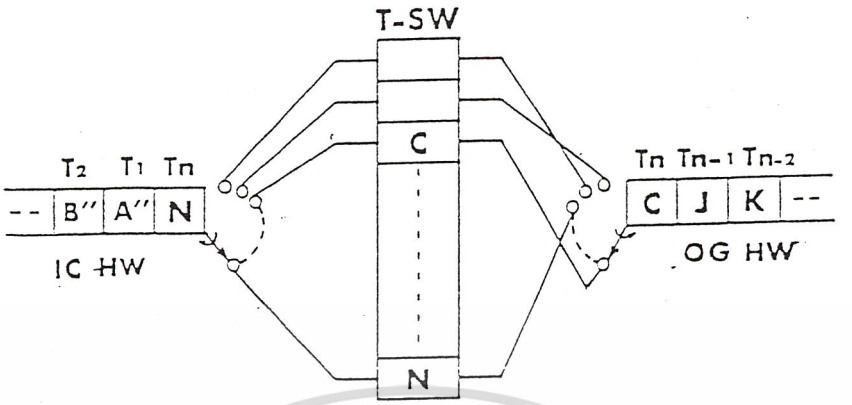

รูปที่ 2.60 แสดงการเปลี่ยนแปลงของสัญญาณ




รูปที่ 2.61 แสดงการอ่านออกมาในไทม์สวิทช์

ด้วยวิธีการเช่นนี้ การบันทึกของสัญญาณทางด้านเข้าไฮเวย์ และการอ่านของสัญญาณที่เก็บไว้ในไทม์สวิทช์และกระทำเช่นนี้สลับกันไป จนกระทั่งถึงที่สุด nth ของไทม์สล็อท ($T_n$) ของแต่ละเฟรมดังแสดงในรูปที่ 2.62

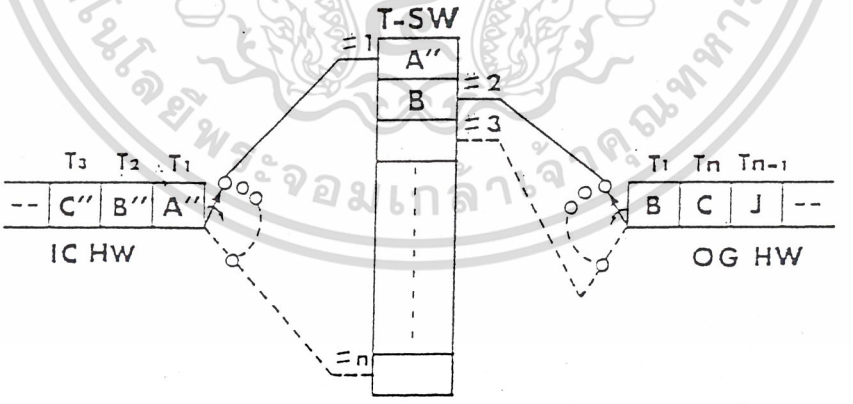
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.62 แสดงวิธีการอ่านและเขียนของไทม์สวิทช์

ภายหลังจากการอ่าน และการเขียนของสัญญาณทั้งหมดจนกระทั่งถึงลำดับที่ nth ของไทม์สล็อท ($T_n$) สมบูรณ์แบบแล้ว ไทม์สล็อท $T_1$ ก็จะขึ้นมารอบใหม่อีก และการเขียนของสัญญาณใหม่ $A''$ และการอ่านของสัญญาณ B ที่เก็บไว้ในเฟรมก่อนนั้นก็จะดำเนินต่อไป

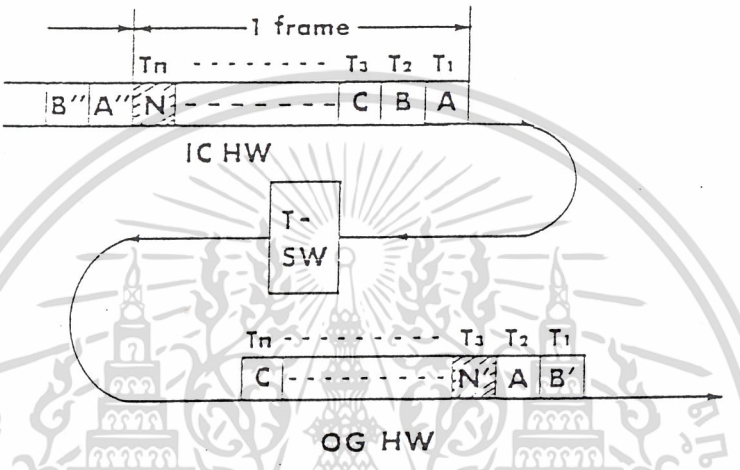
โดยการใช้วิธีการดังกล่าวนี้ การสลับสับเปลี่ยนของไทม์สล็อทซึ่งจะกระทำผ่านไทม์สวิทช์ สัญญาณ $B'$, A, $N'$...และ C ได้ถูกจัดลำดับในเวลานี้ที่ตำแหน่งของไทม์สล็อท $T_1$, $T_2$, $T_3$,...และ $T_n$ ทางด้านออกของไฮเวย์



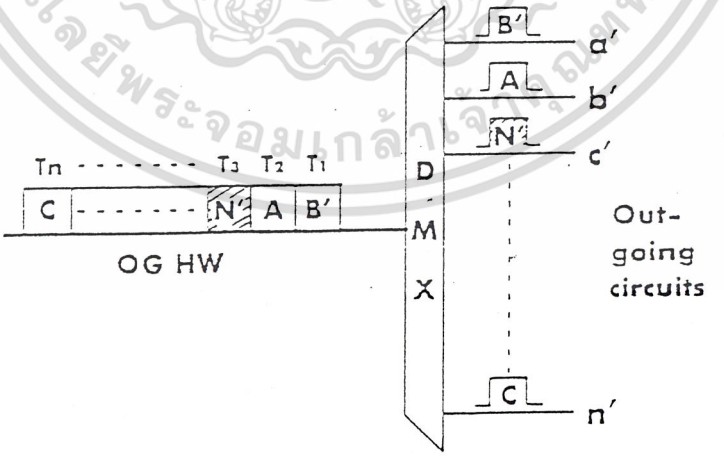

รูปที่ 2.63 แสดงวงจรของการอ่านและการเขียนของเฟรมถัดไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ $B'$, A, $N'$...และ C ทางด้านออกของไฮเวย์ จะถูกดีมัลติเพล็กซ์ลงในเฉพาะไทม์สล็อท สำหรับการส่งออกแต่ละวงจร จากเหตุผลดังกล่าวสัญญาณ $B'$ ที่เห็นในวงจร ทางด้านออก $a'$, สัญญาณ A ในวงจรทางด้านออก $b'$ สัญญาณ $N'$ ในวงจรทางด้านออก $c'$ และสัญญาณ C ในวงจร ทางด้านออก $n'$ ดังแสดงในรูปที่ 2.65



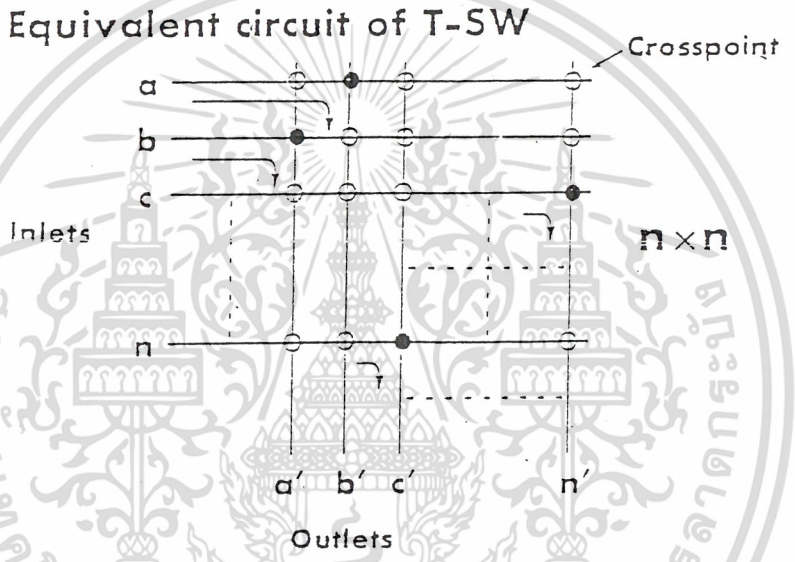

รูปที่ 2.64 แสดงการจัดลำดับของสัญญาณและไทม์สล็อท




รูปที่ 2.65 แสดงการส่งสัญญาณหลังจากการดีมัลติเพล็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยหลักการทั่ว ๆ ไป ถ้าเราจะเปรียบเทียบวงจรของไทม์สวิทช์ก็คงจะแสดงให้เห็นถึงจำนวน n × n ของสเปซสวิทช์ในเรื่องของไทม์สวิทช์ ซึ่งได้ทำการศึกษาค้นคว้ากันมามากพอสมควร ดังจะเห็นได้จากรูปข้างล่างนี้ จุดตัดของวงจร ทางด้านเข้า a จะถูกต่อออกไปยังทางด้านออก $b'$ จุดตัดของวงจรทางด้านเข้า b จะถูกต่อไปยังทางด้านออก $a'$ จุดตัดของวงจรทางด้านเข้า c จะถูกต่อออกไปยังทางด้านออก $n'$ และจุดตัดของวงจรทางด้านเข้า n จะถูกต่อออกไปยังทางด้านออก $c'$ ซึ่งจะปิดทั้งหมด



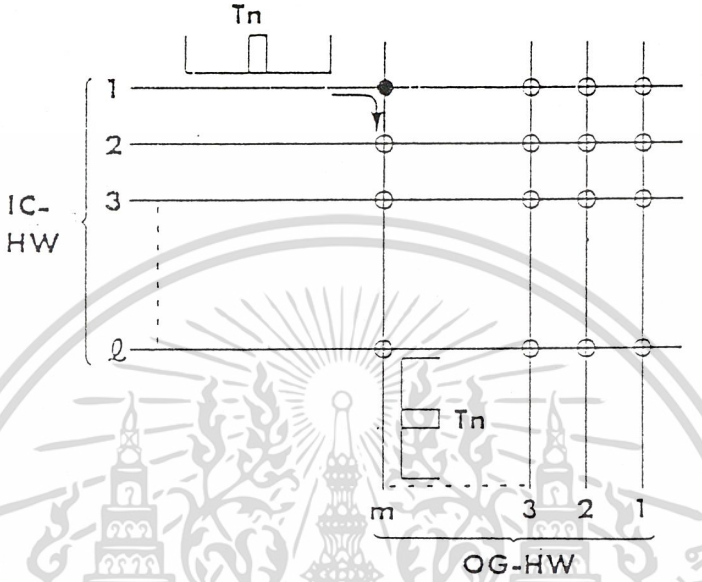

รูปที่ 2.66 แสดงการเปรียบเทียบระหว่างไทม์สวิทช์ และสเปซสวิทช์

**2.3.4 Space Division Switch**

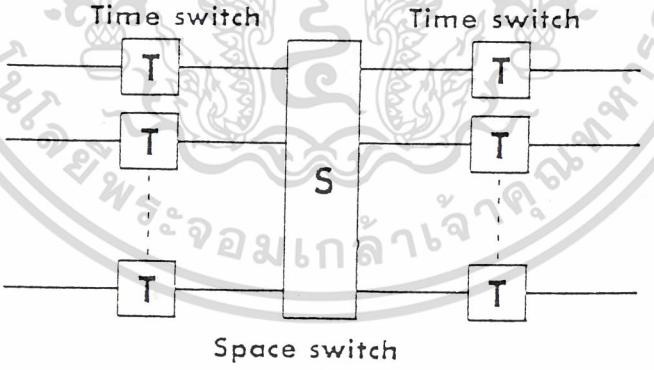
สเปซสวิทช์ (Space division switch) ใช้สำหรับการสับเปลี่ยนระหว่างไฮเวย์ สเปซสวิทช์จะทำหน้าที่เปลี่ยนไทม์สล็อทระหว่างไฮเวย์ และการที่จะใช้ไทม์สวิทช์ เพียงชุดเดียวเพื่อที่สร้างโครงข่ายให้เพียงพอกับความต้องการ จำนวนมากของชุมสายระบบดิจิตอลนั้นเป็นไปได้ยาก ดังนั้นจึงจำเป็นที่จะต้องใช้หลายชุดด้วยกัน เพื่อให้สามารถรองรับการจราจรที่เกิดขึ้นได้ และสเปซสวิทช์ได้ถูกนำมาใช้ต่อระหว่างไทม์สวิทช์เหล่านี้ ซึ่งจะทำให้โครงข่ายสามารถขยายออกไปได้อีกมากมาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในระดับการมัลติเพล็กซ์ของสเปซสวิทช์ของไทม์สล็อทเพิ่มขึ้นได้ โดยการเปิด/ปิดเกท ด้วยสัญญาณ 8 บิท ซึ่งจัดเป็นแบบขนานเหมือนกับการใช้งานในไทม์สวิทช์



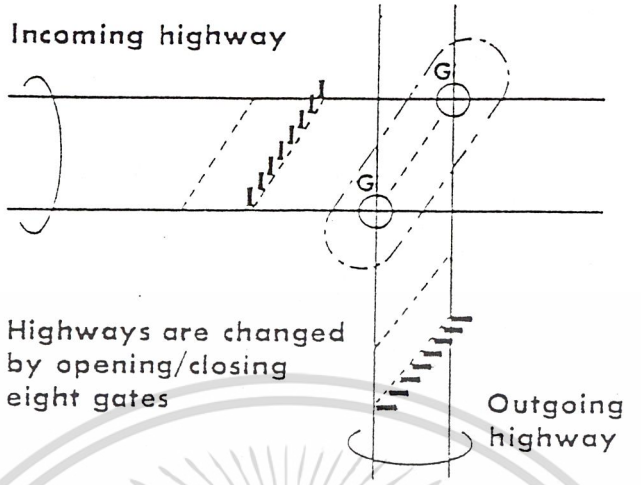

รูปที่ 2.67 แสดงลักษณะของสเปซสวิทช์



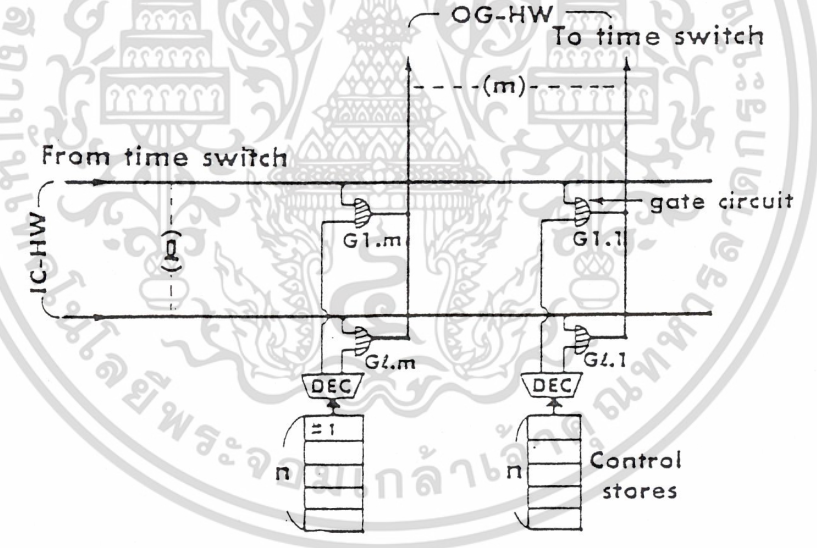

รูปที่ 2.68 แสดงการใช้งานไทม์สวิทช์ ร่วมกับสเปซสวิทช์

ตามรูปที่ 2.69 แสดงถึงโครงร่างวงจรของสเปซสวิทช์ที่มีจำนวน 1 ทางด้านเข้าของไฮเวย์ และ m ทางด้านออกของไฮเวย์ เกทแมทริกซ์ที่ทำหน้าที่เปิด/ปิด สำหรับทุก ๆ ไทม์สล็อท ซึ่งถูกจัดไว้ที่จุดตัดของแต่ละไฮเวย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.69 แสดงการใช้ สเปซสวิทช์

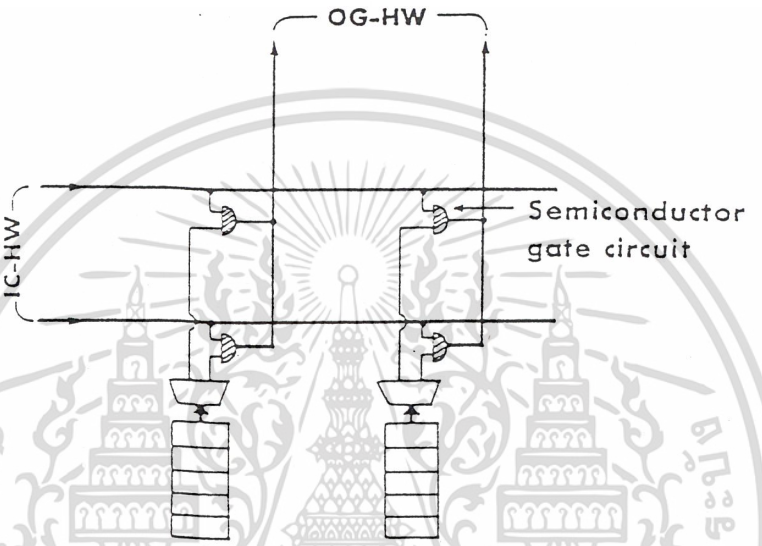



รูปที่ 2.70 แสดงการใช้วงจรเซมิคอนดัคเตอร์เกท

เมื่อจุดประสงค์เช่นนี้ วงจรเกทต้องการทำงานด้วยความเร็วสูง สวิทช์แบบกลไกไม่สามารถที่จะทำงานเพื่อจุดประสงค์นี้ได้ วงจรเซมิคอนดัคเตอร์เกทจึงเป็นอุปกรณ์ที่จำเป็น เพื่อที่จะทำงานตามความต้องการความเร็วสูงเช่นนี้ และในการที่จะควบคุมวงจรเกทนี้มีคอนโทรลสตอจำนวนมากพอ (m) ได้จัดไว้ให้ทำงานร่วมกับ ทางด้านออกของไฮเวย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การที่จะทำให้สเปซสวิทช์ทำงานนั้น มีความจำเป็นที่ว่าจำนวน 1 ทางด้านเข้าของไฮเวย์ จะต้องจัดให้เท่ากับระดับของการมัลติเพล็กช์ และตำแหน่งของไทม์สล็อทในแต่ละไฮเวย์ จะต้องอยู่ในสภาพพร้อมที่จะทำงานร่วมกันในแต่ละวงจร และจำเป็นอย่างมากสำหรับคอนโทรลสตอ จะต้องทำงานให้สอดคล้องกับไทม์สล็อทด้วย

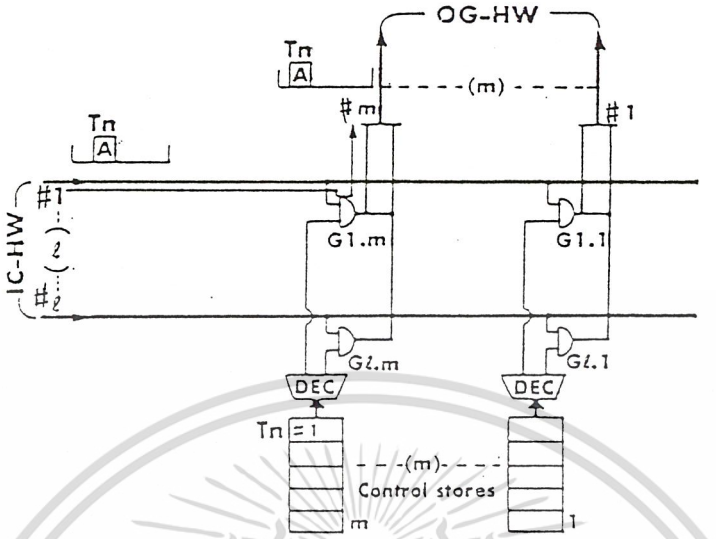



รูปที่ 2.71 แสดงการใช้คอนโทรลสตอร่วมกับทางด้านออกของไฮเวย์

เราพิจารณาศึกษาดูคร่าว ๆ ถึงการทำงานของสเปซสวิทช์ เราสมมุติว่า สัญญาณ A ในไทม์สล็อท $T_n$ ทางด้านเข้าของไฮเวย์ที่ 1 ต่อเข้ามายังทางด้านออกของไฮเวย์ m ซึ่งตำแหน่งของไทม์สล็อทยังไม่เปลี่ยน

เพื่อจุดประสงค์ ข้อมูลเพื่อที่จะทำการควบคุมแมทริกช์เกท ได้ถูกเขียนในตำแหน่ง # m คอนโทรลสตอ ดังนั้นแมทริกช์เกท $G_{1m}$ จะเปิดในเวลาที่ไทม์สล็อท $T_n$ เมื่อถึงเวลาของไทม์สล็อท $T_n$ มาถึง ผลจากการทำงานเพิ่มขึ้นของวงจรนับไทม์สล็อทร่วมกับคอนโทรลสตอ ข้อมูลที่เก็บไว้ใน คอนโทรลสตอจะถูกอ่านออกและส่งไปยังวงจรเกท เพราะฉะนั้นในเวลาที่ไทม์สล็อท $T_n$ สัญญาณ A ถูกสับเปลี่ยนจากทางด้านเข้าของไฮเวย์ No.1 ไปยังทางด้านออกของไฮเวย์ No.m

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.72 แสดงถึงการส่งสัญญาณจาก ทางด้านเข้า ไปยัง ทางด้านออก ไฮเวย์

โครงข่ายของไทม์ดิวิชั่นสวิทช์ (Time Division Switching) ประกอบด้วยไทม์สวิทช์เพียงชุดเดียวหรือหลายชุด หรือรวมกับสเปซสวิทช์ก็ได้ ซึ่งพิจารณาจากรูปข้างล่าง

**Combinations of time switch(es) and space switch(es)**

| T | T |
|---|---|
| TST | STS |
| TSST | STTS |
| TSSST | SSTSS |

รูปที่ 2.73 แสดงคอมบิเนชั่นของไทม์สวิทช์ และสเปซสวิทช์

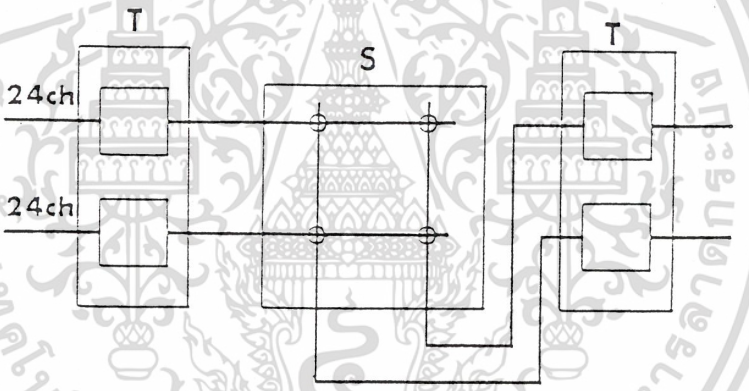
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การรวมเข้าด้วยกันเหล่านี้สามารถแบ่งออกเป็นได้ 2 ชนิด คือแบบ T-S-T ชนิดนี้ จะเห็นได้ว่าเราใช้ไทม์สวิทช์อยู่ด้านนอก 2 ชุด ตรงกลางเป็นสเปซสวิทช์ ส่วนอีกแบบหนึ่งก็คือ S-T-S ซึ่งแบบนี้จะใช้สเปซสวิทช์ 2 ชุด อยู่ด้านนอก และตรงกลางเป็นไทม์สวิทช์

การจัดทั้ง 2 วิธีดังกล่าวนี้ จะมีข้อแตกต่างกันอย่างไรบ้าง ให้พิจารณาตามรูปข้างล่างนี้ ซึ่งเป็นโครงข่ายแบบ T-S-T ซึ่งมี 2 ไฮเวย์ แต่ละไฮเวย์จะมีสัญญาณ 24 ช่องมัลติเพล็กซ์

ไทม์สวิทช์จะต่ออยู่กับไฮเวย์ 24 ช่องมัลติเพล็กซ์ และวงจรเปรียบเทียบของโครงข่ายนี้ ดูได้จากรูป 2.75 ซึ่งจะเห็นว่าทั้งทางด้านเข้าของไฮเวย์ และทางด้านออกของไฮเวย์ จะเป็นแบบ 24 ช่องมัลติเพล็กซ์ทั้งสองด้าน

ทีนี้มาพิจารณาดูโครงข่ายแบบ S-T-S ซึ่งก็จะมีสัญญาณ 24 ช่องมัลติเพล็กซ์เข้ามาทางด้านเข้าของไฮเวย์ผ่านสเปซสวิทช์

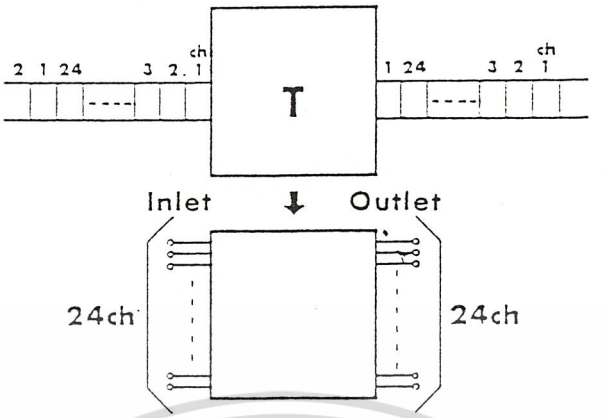



รูปที่ 2.74 แสดงโครงข่ายแบบ T-S-T

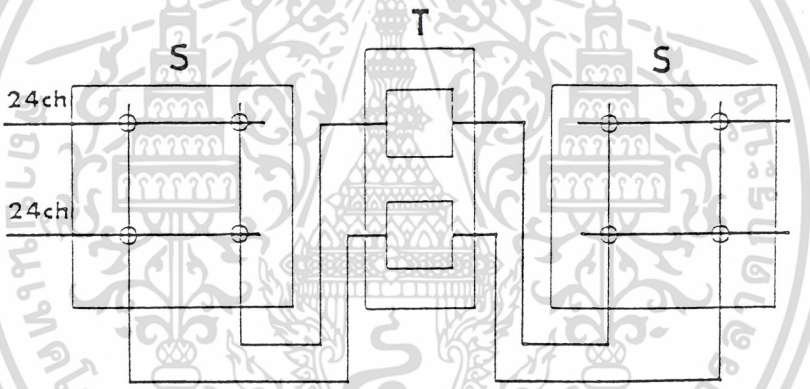
วงจรเปรียบเทียบโครงข่ายแบบ S-T-S ก็เช่นเดียวกัน จะเห็นว่าจะมี 24 จุดตัดต่ออยู่กับ 24 ช่องมัลติเพล็กซ์ ซึ่งทุก ๆ สเปซสวิทช์ จะมี 2 เทอร์มินอลต่ออยู่กับ 2 ไฮเวย์

ส่วนที่สามารถจะเลือกโดยไทม์สวิทช์ชุดแรกคือ 24 ซึ่งเป็นกรณีของโครงข่าย T-S-T และ 2 ในกรณีของโครงข่าย S-T-S จำนวนของส่วนที่สามารถเลือกในแบบของโครงข่ายแบบ T-S-T จะมากกว่าแบบโครงข่าย S-T-S ในหลายประเทศใช้โครงข่ายแบบ T-S-T ในระยะเริ่มแรกของการใช้ดิจิตอลสวิทช์ชิ่ง อุปกรณ์หน่วยความจำค่อนข้างแพง โครงข่ายแบบ S-T-S ถูกนำมาใช้บ่อย ๆ แต่ในปัจจุบันนี้โครงข่ายแบบ T-S-T ใช้กันอย่างแพร่หลายในเกือบทุกประเทศทั่วโลก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.75 แสดงวงจรเปรียบเทียบของไทม์สวิทช์



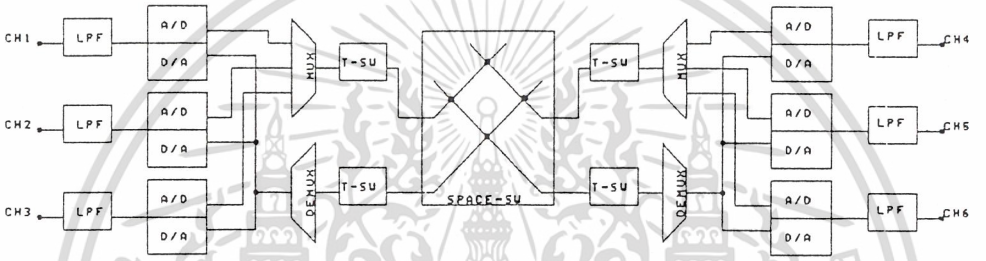

รูปที่ 2.76 แสดงโครงข่ายแบบ S-T-S

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 3

## การออกแบบ และการสร้าง

การออกแบบชุดสาธิตการสลับคู่สายโทรศัพท์ระบบดิจิตอล ซึ่งจะออกแบบโดยการแยกภาคต่าง ๆ ออกจากกัน เพื่อให้สามารถที่จะทำการทดลองในแต่ละส่วน หรือจะนำมาต่อรวมกันทั้งหมดได้ เพื่อความสะดวกในการทดลอง หรือการสาธิตการสลับคู่สายของผู้ใช้ มีโครงสร้างแสดงดังบล๊อคไดอะแกรม ดังรูปที่ 3.1




รูปที่ 3.1 บล๊อคไดอะแกรมชุดสาธิตการสลับคู่สายโทรศัพท์ระบบดิจิตอล

จากบล็อคไดอะแกรมจะแยกการออกแบบเป็นชุด ๆ ดังนี้

1. วงจรกรองความถี่ต่ำผ่าน
2. วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล และดิจิตอลเป็นอนาล็อก
3. วงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์แบบ TDM
4. ไทม์สวิทช์ ( Time switch )
5. สเปซสวิทช์ (Space switch )

### 3.1 วงจรกรองความถี่ต่ำผ่าน

วงจรกรองความถี่ต่ำผ่านที่ใช้ในโครงงานนี้ จะต้องทำหน้าที่กรองความถี่ในย่านความถี่เสียงให้ผ่านออกไปได้ ส่วนความถี่อื่น ๆ จะถูกลดทอนลงให้ต่ำกว่า 3 dB โดยปกติความถี่เสียงของมนุษย์จะอยู่ในช่วง 0.3-3.4 kHz และเพิ่มช่วงการ์ดแบนด์เข้าไปอีก จึงใช้ความถี่ 0-4 kHzในการออกแบบ เพื่อป้องกันการขาดหายไปของความถี่บางส่วน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองความถี่ต่ำผ่านจะมี 2 ชนิด คือ แบบพาสซีฟ และแอคทีฟ ในที่นี้ได้ออกแบบโดยใช้วงจรแบบแอคทีฟ ซึ่งจะมีออปแอมป์เป็นตัวขยายสัญญาณอยู่ด้วย และในการคำนวนหาค่า RC ให้สามารถกรองความถี่ได้ตั้งแต่ 0-4 kHz นั้น คำนวนได้จากสูตร

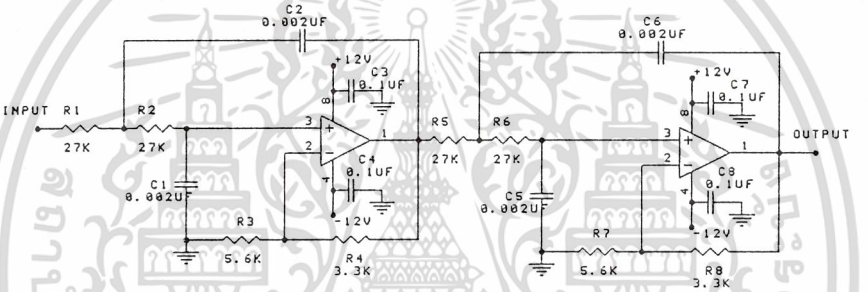
$$f = 1/(2\pi RC)$$

เรากำหนดให้ $f$ = 4 kHz และ C = 1500 pF

ดังนั้น $R = 1/[(2)(3.14)(4\times10^{3})(1.5\times10^{-9})]$

$= 2.652\ K\Omega$

ซึ่งรูปวงจรกรองความถี่ต่ำผ่านแสดงดังรูปที่ 3.2




รูปที่ 3.2 วงจรกรองความถี่ต่ำผ่าน

จากวงจรที่ 3.2 จะเห็นได้ว่ามีตัวเก็บประจุ (C) ที่ทำหน้าที่กรองความถี่ต่ออยู่ 2 ตัว คือC1 และ C2 โดยที่ตัวเก็บประจุจะมีค่ารีแอกแตนซ์ลดลงเมื่อความถี่สูงขึ้น ดังนั้นเมื่อความถี่สูงเกิน 4 kHz ตัวเก็บประจุ C1 และ C2 จะมีค่ารีแอกแตนซ์ลดลง เดียวกันถ้าที่เอาท์พุทยังมีความถี่ที่สูงกว่า 4 kHz เหลืออยู่ ทำให้ค่ารีแอกแตนซ์ของ C2 ลดลงเมื่อ C1 ลดค่ารีแอกแตนซ์ลงก็เหมือนเป็นการลัดวงจรลงกราวด์ ทำให้เอาท์พุทมีค่าลดลง ขณะเอก ซึ่งเปรียบได้กับการลดค่าความต้านทานป้อนกลับลง โดยหลักการทำงานของออปแอมป์แล้ว เมื่อความต้านทานป้อนกลับลดลง ย่อมเป็นผลให้เอาท์พุทลดลงด้วยเช่นกัน ด้วยการทำงานเช่นนี้จะสามารถลดทอนความถี่ที่เกิน 4 kHz ลงได้อย่างดี นอกจากนี้จะเห็นได้ว่าวงจรในรูปที่ 3.2 จะมีวงจรคล้ายกันอีก 1 ชุดต่ออยู่อีก ซึ่งจะทำหน้าที่เช่นเดียวกันกับวงจรในชุดแรก โดยจะกรองความถี่ที่เกิน 4 kHz ซึ่งอาจจะหลงเหลือมาจากวงจรชุดแรก เพื่อให้เกิดประสิทธิภาพดียิ่งขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 3.2 วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล และดิจิตอลเป็นอนาล็อก

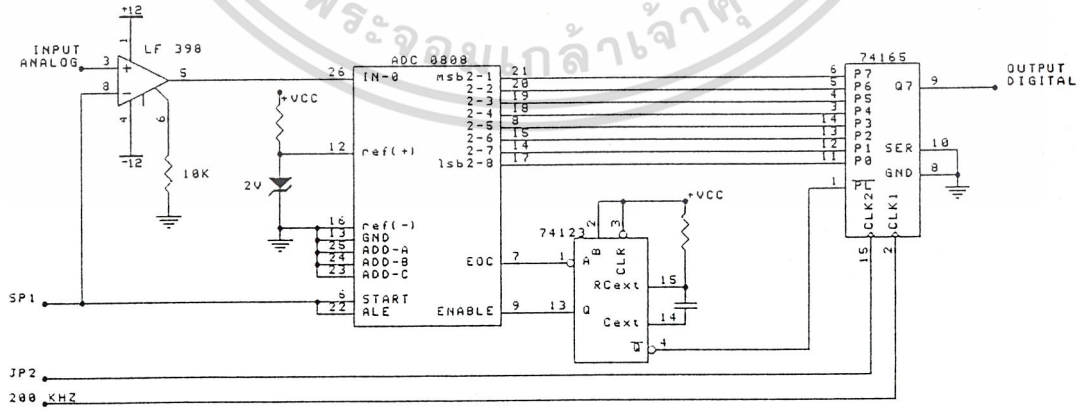
### 3.2.1 การแปลงสัญญาณอนาล็อกเป็นดิจิตอล

เนื่องจากการสลับคู่สายโทรศัพท์ในโครงงานชุดนี้เป็นระบบดิจิตอล ดังนั้นเราจึงต้องนำสัญญาณเสียงที่อยู่ในรูปของสัญญาณอนาล็อก มาแปลงให้อยู่ในรูปของสัญญาณดิจิตอลเสียก่อน สัญญาณเสียงที่ผ่านวงจรกรองความถี่ต่ำผ่านจะมีความถี่ 0-4 kHz ตามทฤษฎีการสุ่มตัวอย่างต้องทำการสุ่มตัวอย่างสัญญาณอนาล็อกด้วยความถี่ 2 เท่าของสัญญาณอนาล็อก ดังนั้นเราจะต้องสุ่มตัวอย่างด้วยความถี่อย่างต่ำ 8 kHz

สำหรับไอซีที่ใช้ในการแปลงสัญญาณอนาล็อกเป็นดิจิตอลนั้น ใช้ไอซีเบอร์ ADC 0808 ซึ่งจะเป็นการแปลงสัญญาณแบบซัพซีฟทีฟ มีช่วงเวลาในการเปลี่ยนสัญญาณ 100 μS ให้สัญญาณดิจิตอลทางด้านเอาท์พุท 8 บิท และสามารถรับสัญญาณอินพุทอนาล็อกได้สูงสุด 5โวลท์ โดยจะสามารถดูโครงสร้างของไอซี ADC 0808 ได้ที่ภาคผนวก

เนื่องจากช่วงเวลาในการเปลี่ยนสัญญาณอนาล็อกเป็นดิจิตอลของไอซี ADC 0808 ต้องอาศัยช่วงเวลาที่นานพอสมควร จึงต้องอาศัยไอซีที่ทำหน้าที่สุ่มตัวอย่าง และค้างสัญญาณที่สุ่มไว้เพื่อให้ไอซี ADC 0808 สามารถนำสัญญาณนั้นไปแปลงได้ทัน ซึ่งไอซีดังกล่าวได้แก่ ไอซีเบอร์ LF 398 โดยสามารถดูโครงสร้างของไอซี LF 398 ได้ที่ภาคผนวก

สำหรับ Cn ที่ต่อระหว่างขา 6 กับกราวด์ จะทำหน้าที่เป็นตัวลดทอนสัญญาณเอาท์พุทลงให้อยู่ในช่วงที่เหมาะสม และเมื่อนำมาออกแบบร่วมกันก็จะได้วงจรที่เปลี่ยนสัญญาณอนาล็อกเป็นดิจิตอล ดังรูปที่ 3.3

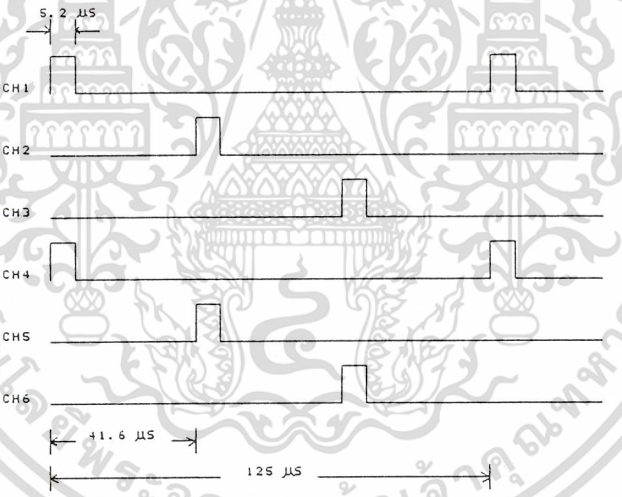



รูปที่ 3.3 วงจรการแปลงสัญญาณอนาล็อกเป็นดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรจะเห็นได้ว่าสัญญาณเสียงที่ผ่านวงจรกรองความถี่ต่ำผ่าน จะเข้ามาทางขา 3 ของไอซี LF 398 และถูกสุ่มตัวอย่างด้วยความถี่ 8 kHz ที่ขา 8 มาเข้าสู่ขา IN0 ของไอซี ADC 0808 โดยมีขา START และ ALE เป็นตัวทำให้ไอซีเริ่มแปลงสัญญาณ ซึ่งต่อไว้กับสัญญาณสุ่มตัวอย่าง เมื่อใช้ไอซี ADC 0808 แปลงสัญญาณเรียบร้อยแล้ว ก็จะบอกสภาวะออกที่ขา EOC แต่เนื่องจากสัญญาณนี้มีขนาดกว้างเกินไป จึงปรับให้มีขนาดเล็กลง โดยใช้ไอซีโมโนสเตเบิ้ล 74123 แล้วนำสัญญาณไปอีนาเบิ้ลไอซี ADC 0808 ที่ขา OE เพื่อให้ส่งสัญญาณดิจิตอลเอาท์พุทมาที่ขา D0-D7 จากนั้นนำสัญญาณนี้ไปแปลงให้เป็นสัญญาณแบบอนุกรม โดยใช้ไอซีเลื่อนข้อมูลแบบบิทขนานเอาท์พุทอนุกรม เบอร์ 74165

สำหรับโครงงานชุดนี้ได้แบ่งช่องสัญญาณออกเป็น 2 ชุด โดยแต่ละชุดมี 3 ช่องสัญญาณ ดังนั้นการควบคุมช่องสัญญาณในแต่ละชุดจะเหมือนกัน โดยสัญญาณสุ่มตัวอย่างในแต่ละช่องสัญญาณจะเป็นดังรูปที่ 3.4




รูปที่ 3.4 แสดงสัญญาณสุ่มตัวอย่างที่ช่องสัญญาณต่าง ๆ

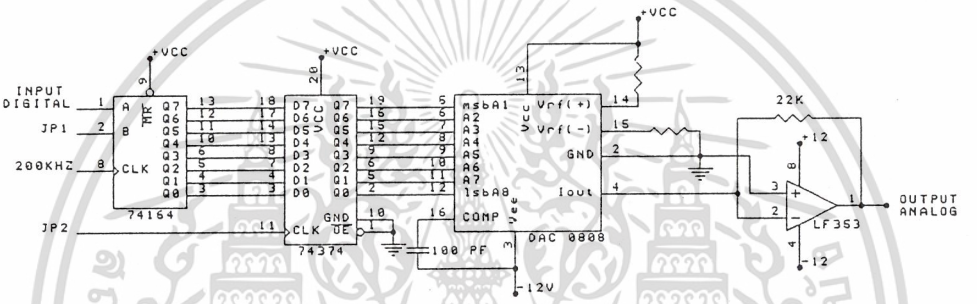
### 3.2.2 การแปลงสัญญาณดิจิตอลเป็นอนาล็อก

เมื่อสัญญาณผ่านการสลับคู่สายโทรศัพท์แบบดิจิตอลแล้ว จะต้องมาทำการแปลงสัญญาณดิจิตอลนั้น กลับคืนมาในรูปสัญญาณอนาล็อกอีกครั้ง เพื่อให้สามารถรับฟังเป็นเสียงพูดเหมือนเดิมได้ ในที่นี้เพื่อให้สอดคล้องกับการแปลงสัญญาณจากอนาล็อกเป็นดิจิตอล โดยใช้ไอซีเบอร์ ADC 0808 เราจึงเลือกใช้ไอซีเบอร์ DAC 0808 ซึ่งสามารถเปลี่ยนสัญญาณดิจิตอลแบบขนาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขนาด 8 บิท ให้อยู่ในรูปความแตกต่างของกระแสไฟฟ้า โดยจะสามารถดูโครงสร้างของไอซี DAC 0808 ได้ที่ภาคผนวก

จากที่กล่าวมาแล้วว่าไอซีเบอร์ DAC 0808 นั้นจะเปลี่ยนสัญญาณดิจิตอลให้อยู่ในรูปของกระแสไฟฟ้า ดังนั้นถ้าเราต้องการสัญญาณที่อยู่ในรูปของแรงดันจึงต้องแปลงกระแสไฟฟ้าให้อยู่ในรูปของแรงดันไฟฟ้า โดยใช้ออปแอมป์เบอร์ LF 353 เนื่องจากช่วงเวลาที่สัญญาณเข้ามาที่ไอซี DAC 0808 เกิดขึ้นรวดเร็วมาก ดังนั้นสัญญาณอนาล็อกเอาท์พุทจึงไม่ต่อเนื่อง เราจึงใช้ไอซี 74374 ทำการค้างข้อมูลเอาไว้ก่อนเป็นเวลา 125 μS ซึ่งเท่ากับช่วงความห่างของข้อมูลแต่ละตัวอย่าง




รูปที่ 3.5 วงจรการแปลงสัญญาณดิจิตอลเป็นอนาล็อก

จากรูปสัญญาณดิจิตอลแบบอนุกรมจะถูกเปลี่ยนให้เป็นแบบขนาน โดยจะใช้ไอซีเลื่อนข้อมูลแบบอินพุทอนุกรม มีเอาท์พุทแบบขนาน เบอร์ 74164 ซึ่งมีอัตราการรับข้อมูล 200 บิทต่อวินาที จากนั้นจะถูกค้างข้อมูลไว้ด้วยไอ 74374 ด้วยอัตราการเปลี่ยนแปลง 125 μS และถูกส่งไปยังไอซี DAC 0808 เพื่อเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณอนาล็อกต่อไป

## 3.3 วงจรมัลติเพล็กซ์ และดีมัลติเพล็กซ์แบบ TDM

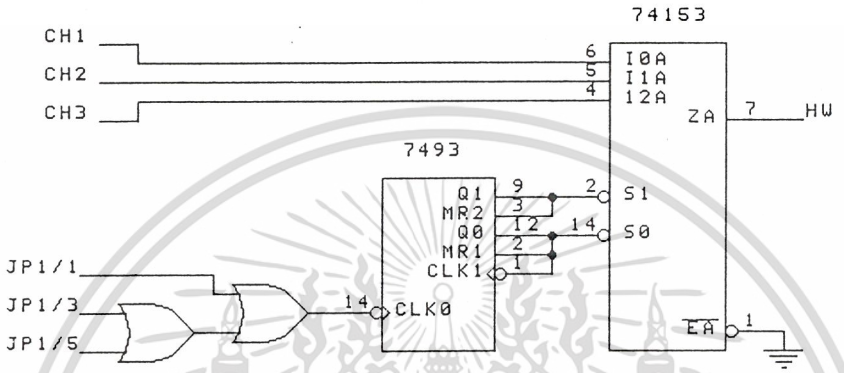
### 3.3.1 วงจรมัลติเพล็กซ์แบบ TDM

เนื่องจากช่องสัญญาณที่ใช้ในโครงงานนี้ได้แบ่งเป็น 2 ชุด (เพื่อให้สามารถใช้ศึกษาส่วนของสเปซสวิทช์ ซึ่งจะกล่าวในหัวข้อ 3.4 ต่อไป) จึงต้องทำการรวมสัญญาณทั้ง 6 ช่อง เป็นชุดละ 3 ช่องสัญญาณแบบ TDM ในการออกแบบจะใช้ไอซี 74153 ซึ่งมีการมัลติเพล็กซ์ขนาด 4 ช่องสัญญาณเป็น 1 ช่องสัญญาณ แต่จะเลือกใช้เพียง 3 ช่องสัญญาณ คือ 1C0, 1C1, 1C2 และจะมี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

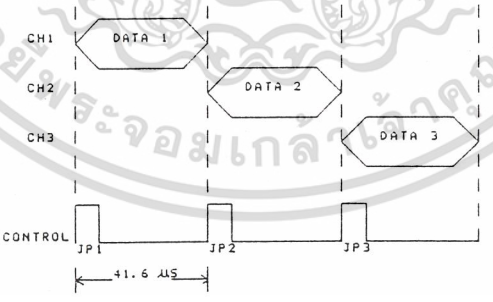
เอาท์พุทออกทาง 1Y มีขาควบคุมคือ A และ B การทำงานและโครงสร้างของไอซี 74153 สามารถดูได้ที่ภาคผนวก

จากตารางการทำงานจะเห็นได้ว่า ถ้าต้องการให้สัญญาณใดออกทางเอาท์พุท ก็สามารถควบคุมที่ขา A และ B โดยใช้ไอซีนับ 7493 แสดงดังรูปที่ 3.6




รูปที่ 3.6 วงจรมัลติเพล็กซ์แบบ TDM

จากวงจรจะเห็นได้ว่าวงจรนับถูกออกแบบให้นับ 2 คือ นับค่า 0, 1 และ 2 โดยสัญญาณการควบคุมการนับจะสอดคล้องกับลำดับข้อมูลดังรูปที่ 3.7



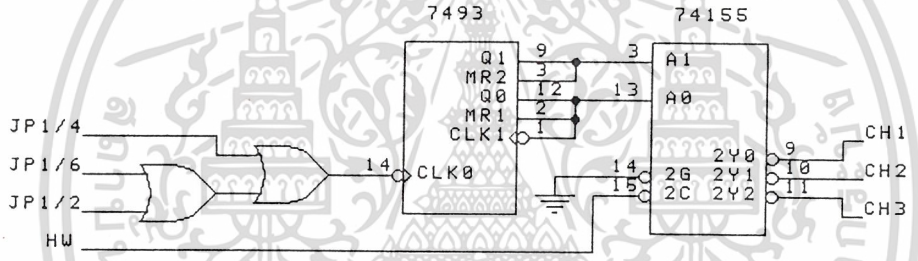

รูปที่ 3.7 แสดงการควบคุมการมัลติเพล็กซ์ข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.3.2 วงจรดีมัลติเพล็กซ์แบบ TDM

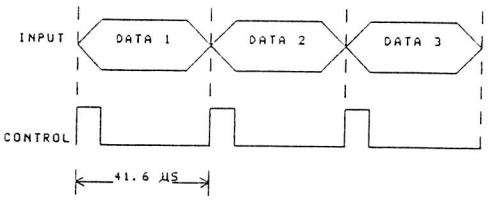
ชุดของข้อมูลที่ได้จากการสลับช่องสัญญาณแล้ว จะประกอบไปด้วยช่องสัญญาณต่าง ๆ 3 ช่องสัญญาณเรียงลำดับกันตามเวลามาบนเส้นทางเดียวกัน ดังนั้นก่อนที่จะทำการแปลงเป็นสัญญาณอนาล็อกต้องแยกช่องสัญญาณเหล่านั้นออกจากกันเสียก่อนโดยใช้วงจรดีมัลติเพล็กซ์ ซึ่งในที่นี้ได้ออกแบบโดยใช้ไอซี 74155 โครงสร้างของไอซี 74155 สามารถดูได้ที่ภาคผนวก

ไอซี 74155 นั้นจะเป็นวงจรดีมัลติเพล็กซ์ขนาดเข้า 1 ช่องสัญญาณ ออก 4 ช่องสัญญาณ จำนวน 2 ชุด แต่ในโครงงานนี้ ชุดของข้อมูลมี 3 ช่องสัญญาณ จึงเลือกใช้เพียง 3 ช่องสัญญาณคือ 2Y0 , 2Y1 และ 2Y2 โดยช่องสัญญาณควบคุมการดีมัลติเพล็กซ์ ถูกควบคุมที่ขา A ,B และ STROBE โดยขา STROBE ได้ต่อลงกราวด์ และขา A ,B ถูกควบคุมด้วยวงจรนับ 2 ซึ่งใช้ไอซีเบอร์ 7493 ดังรูปที่ 3.8




รูปที่ 3.8 วงจรดีมัลติเพล็กซ์แบบ TDM

สัญญาณที่ใช้ในควบคุมการนับของไอซี 7493 ต้องมีความสัมพันธ์กับข้อมูล กล่าวคือ ข้อมูลแต่ละชุดจะห่างกัน 41.6 μS ดังนั้นสัญญาณควบคุมการนับจะต้องมีห่างกัน 41.6 μS ด้วย แสดงดังรูปที่ 3.9



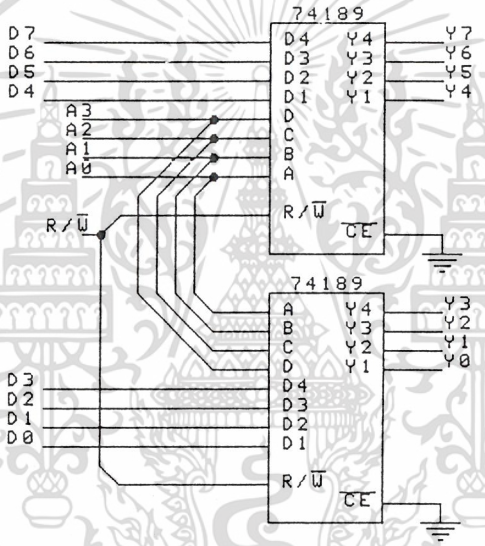

รูปที่ 3.9 แสดงสัญญาณควบคุมการนับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.4 วงจรไทม์สวิทช์

วงจรในส่วนนี้จะทำหน้าที่ในการสลับตำแหน่งของชุดข้อมูล ให้ได้ตามที่ต้องการเพื่อให้สามารถส่งข้อมูลไปยังสเปซสวิทช์ได้ โดยข้อมูลไม่ชนกัน และส่วนสำคัญของวงจรชุดนี้คือไอซี 74189 ซึ่งเป็นหน่วยความจำแบบแรมขนาด 64 บิท (4×16) โดยจะมีอินพุท และเอาท์พุทขนาด 4 บิท แยกอิสระจากกัน โครงสร้างของไอซี 74189 สามารถดูได้ที่ภาคผนวก

จากโครงสร้างจะเห็นได้ว่าไอซี 74189 มีอินพุทและเอาท์พุทขนาด 4 บิท ดังนั้นเพื่อให้ใช้งานในโครงงานนี้ได้ จึงได้นำไอซี 74189 จำนวน 2 ตัว มาต่อร่วมกันเป็นขนาด 8 บิท ซึ่งจะแสดงดังรูปที่ 3.10




รูปที่ 3.10 แสดงการต่อหน่วยความจำแรม 74189 ให้มีขนาด 8 บิท

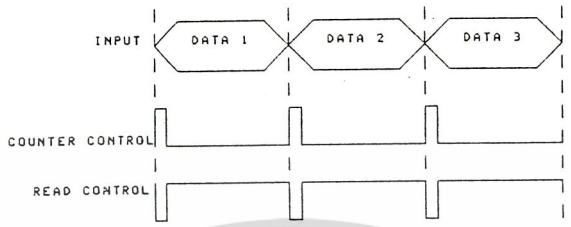
ในโครงงานชุดนี้จะมีไทม์สวิทช์ 4 ชุด ดังนี้ ( จากบล็อคไดอะแกรมดังรูปที่ 3.1 ) คือ มี 2 ชุด ก่อนเข้าสเปซสวิทช์ และอีก 2 ชุด หลังออกจากสเปซสวิทช์

**-ไทม์สวิทช์ก่อนเข้าสเปซสวิทช์**

วงจร 2 ชุดนี้จะเหมือนกัน โดยในการออกแบบนั้นจะให้รับข้อมูลจากวงจรมัลติเพล็กซ์แบบ TDM เข้ามาเก็บในหน่วยความจำแบบแรมเบอร์ 74189 ซึ่งในการเก็บข้อมูลเหล่านี้จะต้องเป็นไปตามลำดับ คือ ข้อมูลตัวที่ 1 (ช่องสัญญาณที่ 1) จะเก็บที่แอดเดรสแรก ข้อมูลตัวที่ 2 และ 3 จะเก็บที่แอดเดรสถัดไป ตามลำดับ ในการออกแบบวงจรส่วนนี้จะใช้ไอซีนับเบอร์ 7493 เป็นตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ควบคุมขาแอดเดรสของไอซีหน่วยความจำแบบแรมเบอร์ 74189 โดยมีสัญญาณควบคุมการนับตามลำดับข้อมูล ดังรูปที่ 3.11




รูปที่ 3.11 สัญญาณควบคุมการนับ และการเขียน

สำหรับการอ่านจะทำสลับกับการเขียน โดยจากสัญญาณการอ่านในรูปที่ 3.11 เมื่อเขียนแล้ว สัญญาณจะอ่านข้อมูลทันที แอดเดรสของการอ่านสามารถเลือกได้จากสวิทช์ โดยที่สวิทช์ 2 ตัว กำหนดแอดเดรสได้ 1 แอดเดรสสำหรับข้อมูล 1 ตัว ดังนั้นในโครงงานนี้มีข้อมูล 3 ตัว จึงต้องใช้สวิทช์ 6 ตัว การกำหนดแอดเดรสของการอ่าน เช่นถ้าเราต้องการให้อ่านข้อมูลจากแอดเดรสแรก ก็ตั้งสวิทช์ไว้ที่ “00” สำหรับการมัลติเพล็กช์สวิทช์ เพื่อให้เลือกสวิทช์แต่ละคู่จะใช้ไอซีเบอร์ 74153 ดังวงจรในรูปที่ 3.12

จากรูปที่ 3.12 ข้อมูลที่ผ่านการมัลติเพล็กช์แล้ว จะถูกส่งมายังไอซี 74164 เพื่อเปลี่ยนเป็นข้อมูลแบบขนานรออยู่ทางด้านอินพุทของไอซีแบบแรม 74189 เพื่อจะสัญญาณการเขียน และการเลือกแอดเดรส เมื่อมีสัญญาณเลือกแอดเดรสและสัญญาณการเขียนข้อมูลจากไอซี 7493 แล้วก็จะอ่านข้อมูลเข้าไปในขณะเดียวกัน และหลังจากเขียนข้อมูลแล้ว สัญญาณจะเปลี่ยนเป็นการอ่าน โดยในอ่านจะกำหนดแอดเดรสของการอ่านจากสวิทช์ แล้วส่งผ่านไปยังไอซีเบอร์ 74166 ออกทางเอาท์พุทต่อไป

**-ไทม์สวิทช์หลังจากออกจากสเปซสวิทช์**

ข้อมูลที่ออกจากสเปซสวิทช์แล้ว ก็จะแบ่งแยกออกเป็น 2 เส้นทาง โดยที่สเปซสวิทช์จะมีสวิทช์จำนวน 6 ตัวเป็นตัวกำหนดเส้นทางของข้อมูลทั้ง 6 ช่องสัญญาณ เช่น สวิทช์เป็น “0”(เปิด) ก็แสดงว่าเป็นเส้นทางที่ 1 และเมื่อสวิทช์เป็น “1” (ปิด) จะแสดงว่าข้อมูลจะไปตามเส้นทางที่ 2 ดังนั้นในการออกแบบวงจรไทม์สวิทช์ชุดนี้จะแบ่งเป็น 2 ชุด

1. เส้นทางที่ 1 วงจรแสดงดังรูปที่ 3.13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรจะเหมือนกันกับไทม์สวิทช์ 1 และ 2 จะต่างกันเฉพาะส่วนควบคุมการเขียน ซึ่งสัญญาณจะต้องตรวจสอบสวิทช์ จากสเปซสวิทช์ดูก่อนว่าข้อมูลนั้นมาที่เส้นทางของตนหรือไม่ แล้วจึงทำการเขียนข้อมูลลงในหน่วยความจำแบบแรม 74189

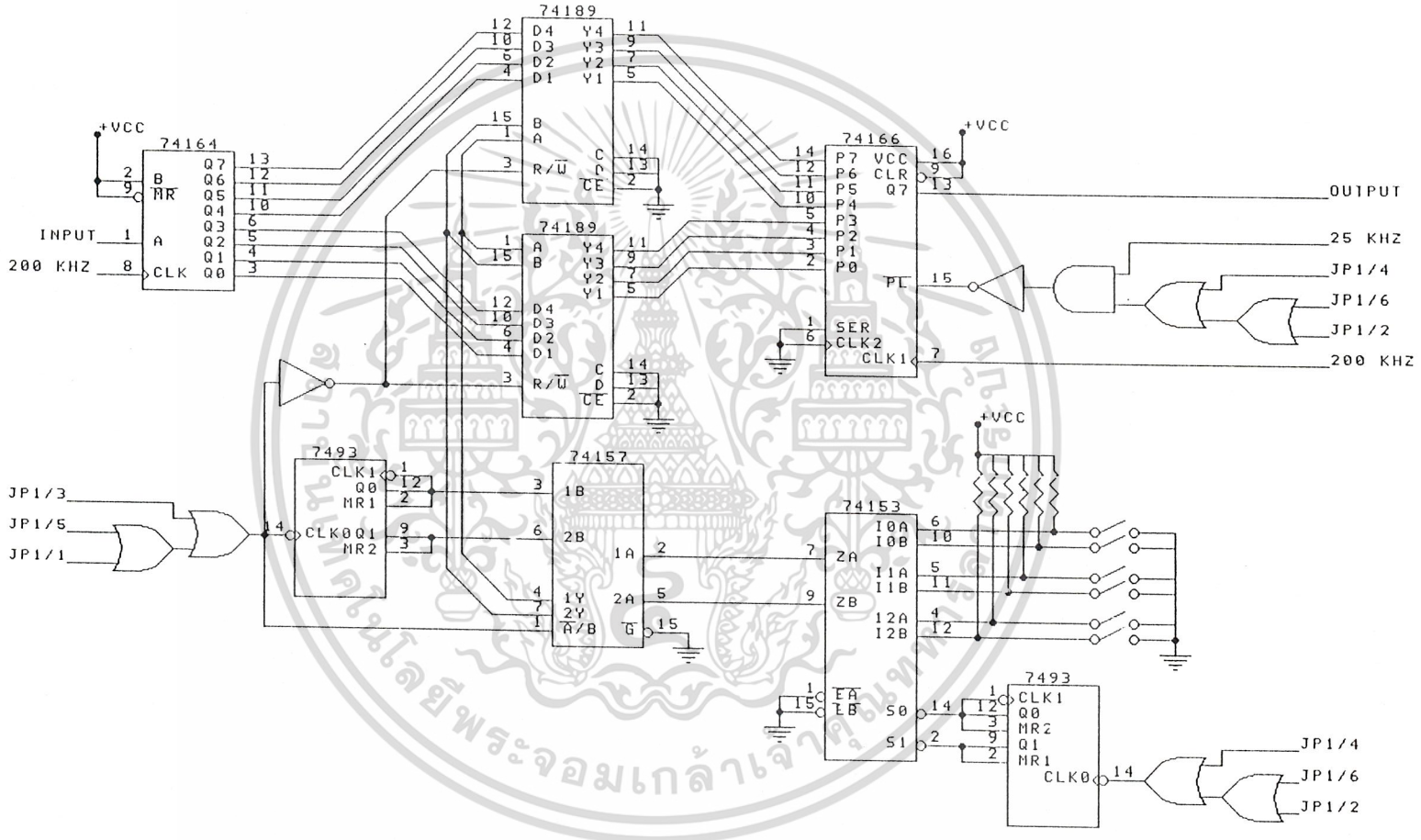
2. เส้นทางที่ 2 วงจรนี้จะเหมือนกับวงจรรูปที่ 3.13 เพียงแต่สวิทช์ไม่ต้องผ่านน๊อตเกทเท่านั้น เพราะเส้นทางนี้ข้อมูลที่จะผ่าน เมื่อเลือก "1" ที่สเปซสวิทช์ วงจรแสดงดังรูปที่ 3.14

**3.5 วงจรสเปซสวิทช์**

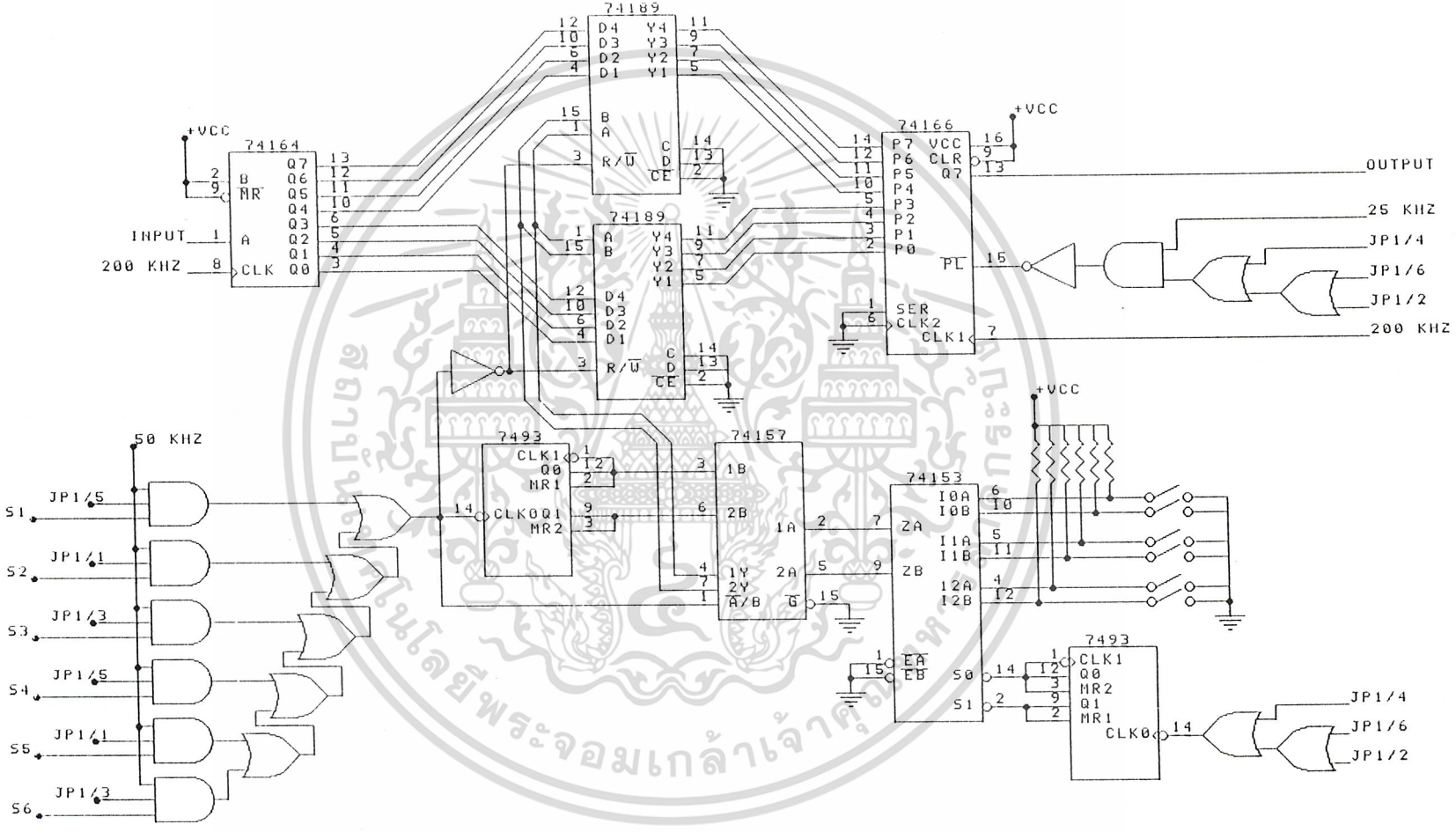
วงจรนี้จะมีลักษณะคล้ายสวิทช์ที่กำหนดเส้นทางว่าจะให้ข้อมูลผ่านไปในเส้นทางใด ในโครงงานนี้จะมีเส้นทางอยู่ 2 เส้นทาง และข้อมูลจะมี 6 ชุด คือเส้นทางที่ 1 มี 3 ข้อมูล และเส้นทางที่ 2 ก็มี 3 ข้อมูล การจะกำหนดว่าจะให้ข้อมูลใด ไปยังเส้นทางใดนั้น จะใช้สวิทช์ 6 ตัวเป็นตัวกำหนด วงจรแสดงดังรูปที่ 3.15

จากวงจรจะเห็นได้ว่า ส่วนควบคุมจะแยกเป็น 2 ชุด โดยชุดแรกจะเป็นตัวควบคุมข้อมูลในเส้นทางที่ 1 (HW1) และชุดที่ 2 จะเป็นตัวควบคุมข้อมูลในเส้นทางที่ 2 (HW2) โดยการควบคุมจะใช้ไอซี 74153 มัลติเพล็กซ์สวิทช์แต่ละตัวให้ออกไปที่เอาท์พุทควบคุมในช่วงเวลาต่าง ๆ ตามที่นับได้ โดยใช้ไอซีนับเบอร์ 7493

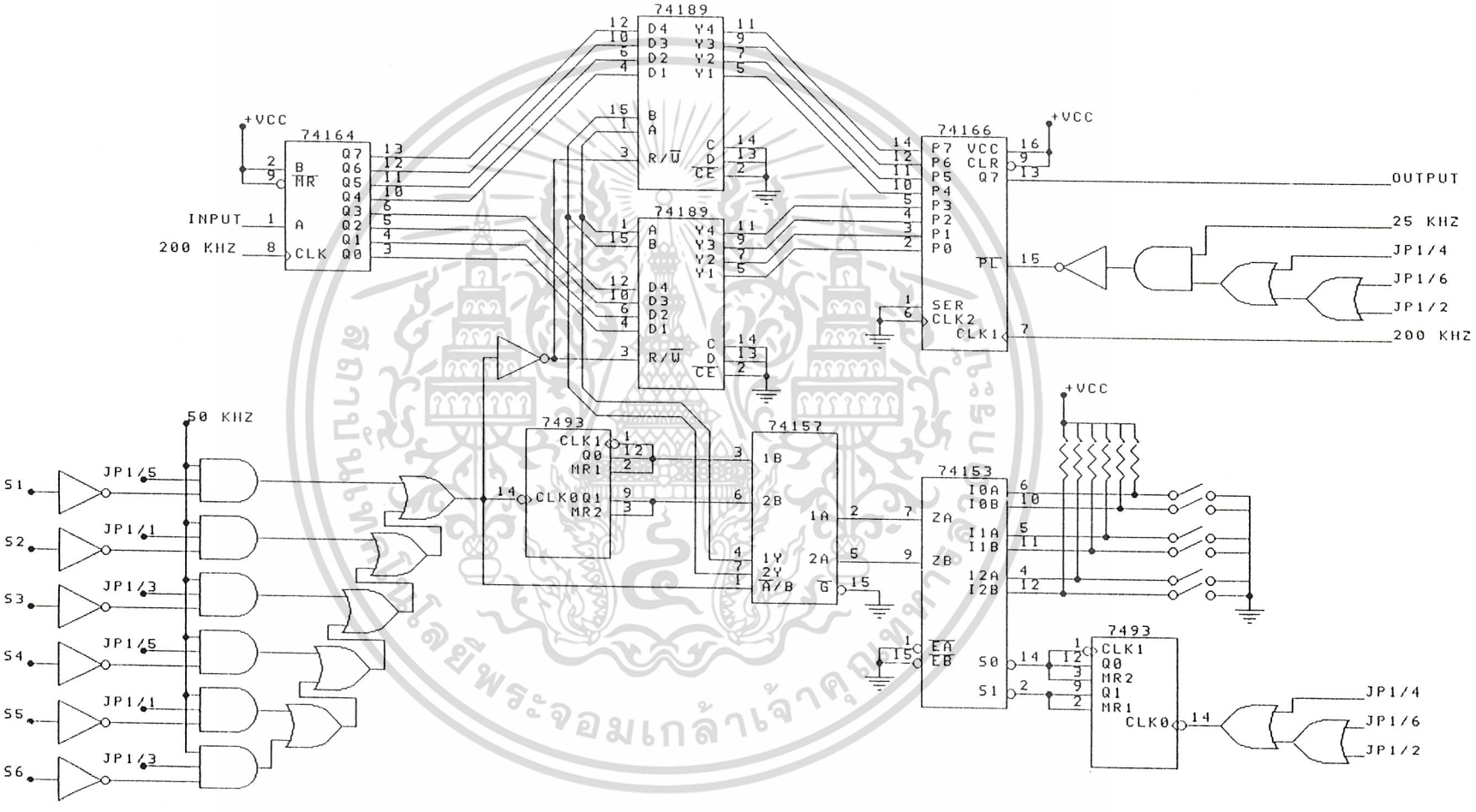
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



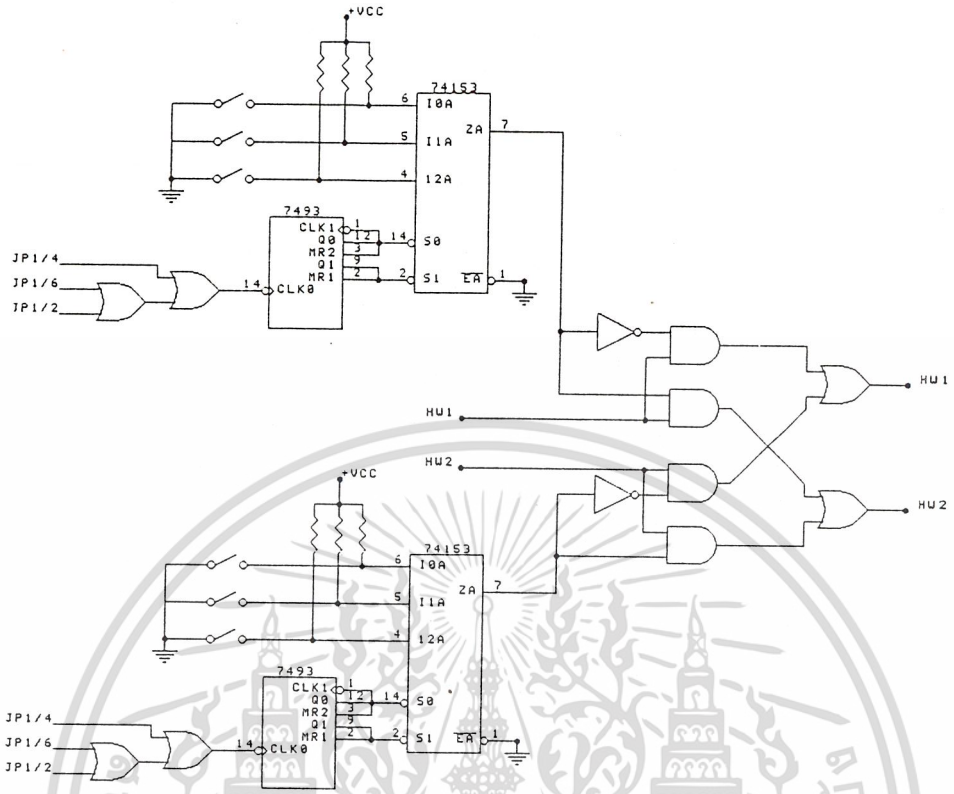

รูปที่ 3.12 วงจรไพล์ดิจิทัล 1 แถบ 2




รูปที่ 3.13 วงจรไฟฟ้าหมายเลข 3




รูปที่ 3.14 วงจรไฟล์วงษ์ 4




รูปที่ 3.15 วงจรสเปซสวิทช์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

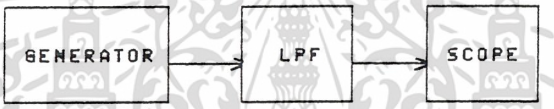
# บทที่ 4

# การทดลอง และผลการทดลอง

ในการทดลองชุดสาธิตการสลับคู่สายโทรศัพท์ระบบดิจิตอลนั้นได้แยกภาคต่าง ๆ เพื่อทำการทดลองเหมือนกับการออกแบบในบทที่ 3 ดังนี้

## 4.1 การทดลองวงจรกรองความถี่ต่ำผ่าน

จากที่กล่าวมาในบทที่ 3 วงจรกรองความถี่ต่ำผ่านจะใช้งานในย่าน 0-4 kHz ดังนั้นถ้าเราป้อนสัญญาณต่าง ๆ ให้กับอินพุทของวงจรในภาคนี้ เมื่อปรับความถี่ 0-4 kHz สัญญาณจะลดลงประมาณ 3 dB การต่อวงจรทดลองดังรูปที่ 4.1




รูปที่ 4.1 การต่อวงจรทดลองวงจรกรองความถี่ต่ำผ่าน

จากรูปที่ 4.1 เมื่อประกอบวงจรเรียบร้อยแล้ว ทดลองป้อนความถี่ตามตารางที่ 4.1 โดยมีแอมปลิจูด 6 V แล้วบันทึกผลการทดลองลงในตารางที่ 4.1

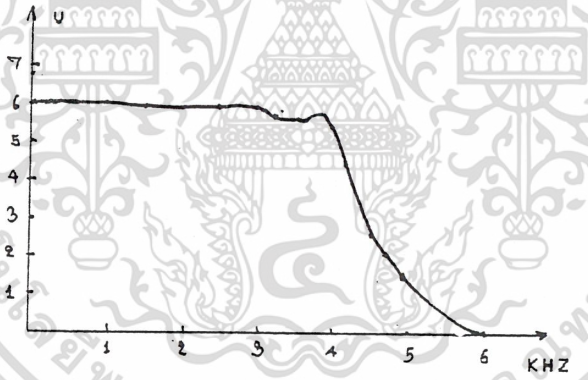
| ความถี่ ( kHz ) | เอาท์พุท (V) |
|---|---|
| 0.5 | 6.0 |
| 1.0 | 6.0 |
| 1.5 | 5.9 |
| 2.0 | 5.8 |
| 2.5 | 5.8 |
| 3.0 | 5.8 |
| 3.1 | 5.7 |
| 3.2 | 5.7 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| | |
|---|---|
| 3.4 | 5.6 |
| 3.6 | 5.6 |
| 3.8 | 5.7 |
| 4.0 | 5.8 |
| 4.2 | 5.4 |
| 4.4 | 2.5 |
| 4.8 | 2.0 |
| 5.0 | 1.5 |

ตารางที่ 4.1 ตารางบันทึกผลการทดลอง

จากตารางที่ 4.1 เราสามารถนำผลการทดลองมาเขียนกราฟได้ดังรูปที่ 4.2



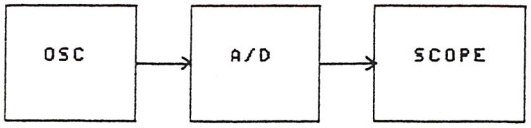

รูปที่ 4.2 กราฟเอาท์พุทของวงจรกรองความถี่ต่ำผ่าน

## 4.2 การทดลองวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล และดิจิตอลเป็นอนาล็อก

### 4.2.1 การทดลองวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล

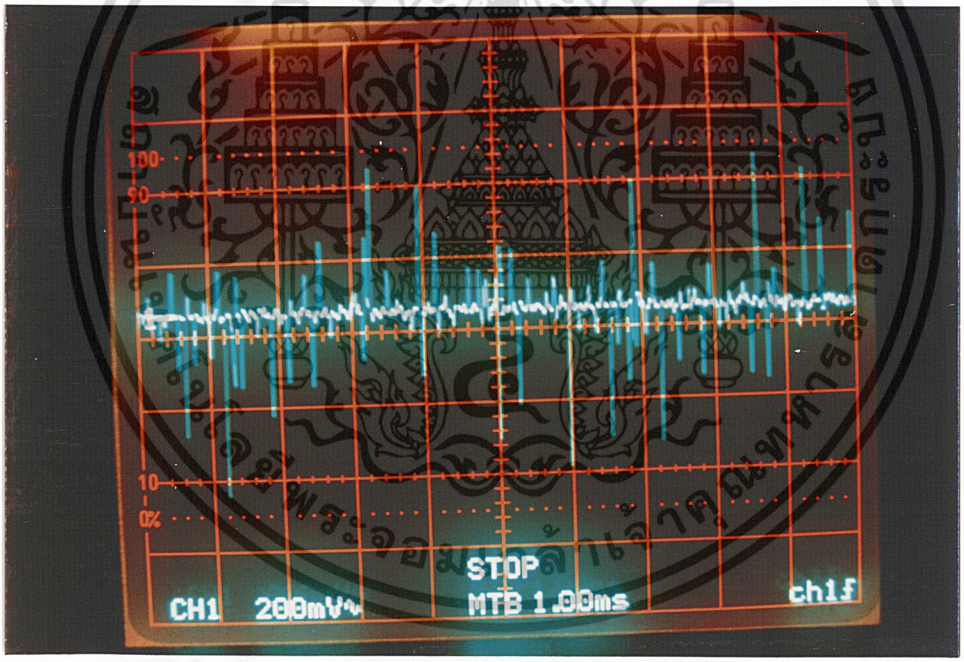
จากหลักการที่กล่าวมาแล้วในบทที่ 3 จะทำการทดลองโดยใช้ตัวกำเนิดความถี่ป้อนเข้าที่อินพุทของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล และวัดสัญญาณเอาท์พุทของวงจร ดังรูปที่ 4.3 สัญญาณที่วัดได้จากวงจรในรูปที่ 4.3 แสดงดังรูปที่ 4.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.3 การต่อวงจรทดลองวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล

สัญญาณการสุ่มตัวอย่างจะถูกนำไปแปลงเป็นสัญญาณดิจิตอล โดยไอซี ADC 0808 และนำมาแปลงให้เป็นข้อมูลแบบอนุกรมโดยไอซี 74LS165 ต่อวงจรตามรูปที่ 4.3 แล้ววัดสัญญาณที่ขา 9 ของไอซี 74LS165 จะได้รูปสัญญาณดังรูปที่ 4.4

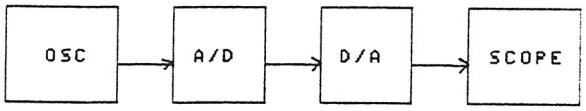



รูปที่ 4.4 สัญญาณดิจิตอลที่ได้จากการแปลงมาจากสัญญาณอนาล็อก

### 4.2.2 การทดลองวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก

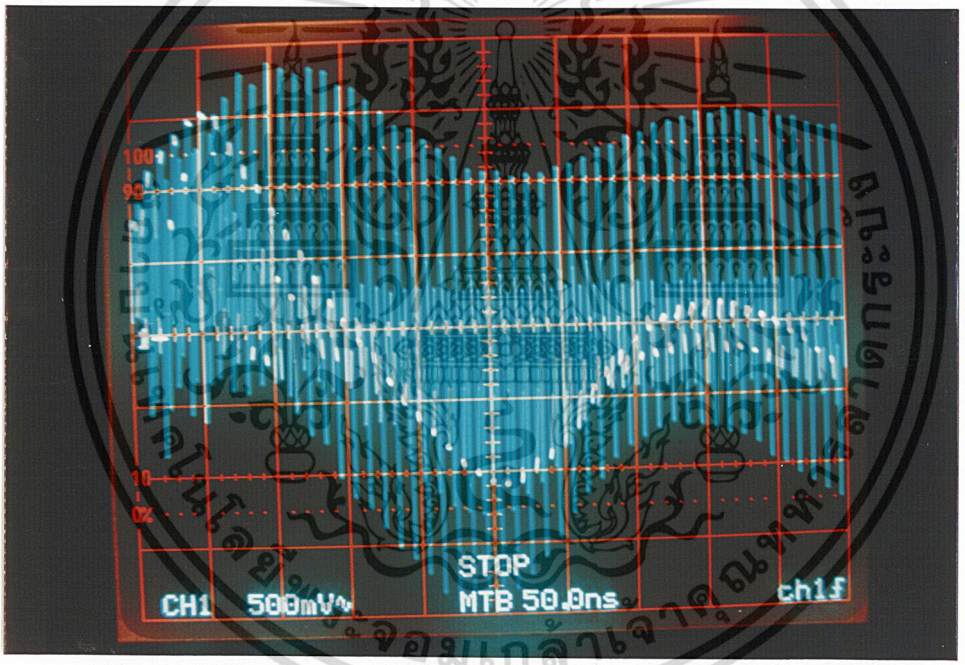
สำหรับวงจรทดลองนี้จะทำการเปลี่ยนสัญญาณดิจิตอลให้เป็นสัญญาณอนาล็อก โดยจะทดลองต่อวงจรดังรูปที่ 4.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

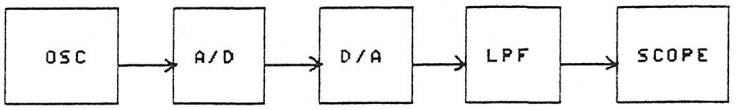



รูปที่ 4.5 การต่อวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก

เมื่อได้ต่อวงจรตามรูปที่ 4.5 แล้วป้อนสัญญาณจากแหล่งกำเนิดสัญญาณรูปไซน์ ความถี่ 1 kHz โดยให้มีแอมปลิจูด 1 $V_{p-p}$ วัดสัญญาณที่ขา 1 ของไอซี LF 353 ของวงจรการแปลงสัญญาณดิจิตอลเป็นอนาล็อก จะได้สัญญาณดังรูปที่ 4.6




รูปที่ 4.6 การแปลงสัญญาณดิจิตอลเป็นอนาล็อก

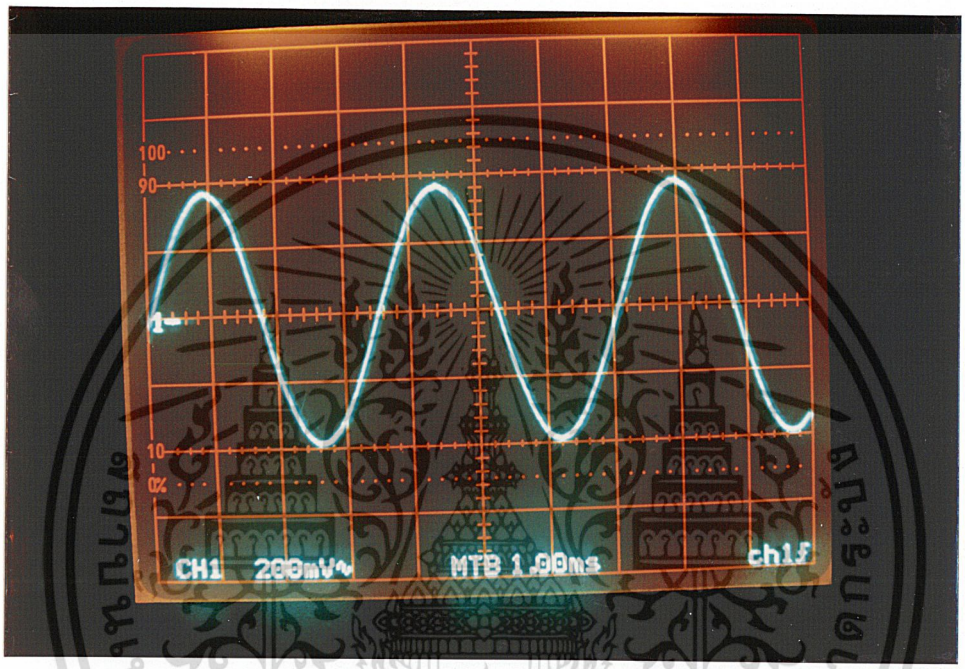



รูปที่ 4.7 การต่อวงจรการแปลงสัญญาณดิจิตอลเป็นอนาล็อกร่วมกับวงจร LPF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นได้ว่าสัญญาณที่วัดได้จะไม่เป็นสัญญาณไซน์ที่สมบูรณ์ จะต้องผ่านวงจรกรองความถี่ต่ำผ่านก่อน ดังรูปที่ 4.7

วัดสัญญาณที่เอาท์พุทของวงจรกรองความถี่ต่ำจะได้สัญญาณดังรูปที่ 4.8




รูปที่ 4.8 สัญญาณอนาล็อกที่ผ่านวงจรกรองความถี่ต่ำผ่าน

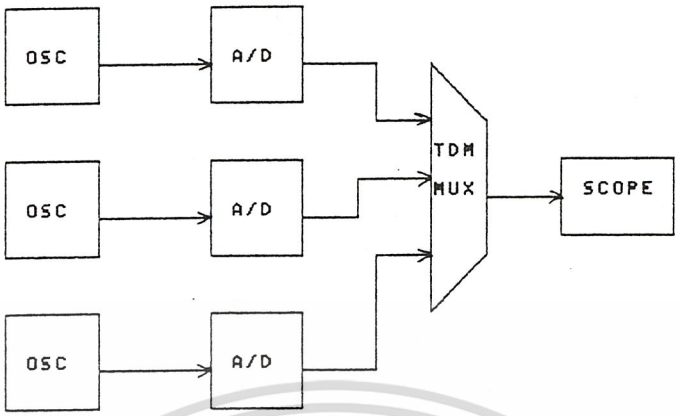
## 4.3 การทดลองวงจรมัลติเพล็กซ์แบบ TDM และวงจรดีมัลติเพล็กซ์แบบ TDM

### 4.3.1 การทดลองวงจรมัลติเพล็กซ์แบบ TDM

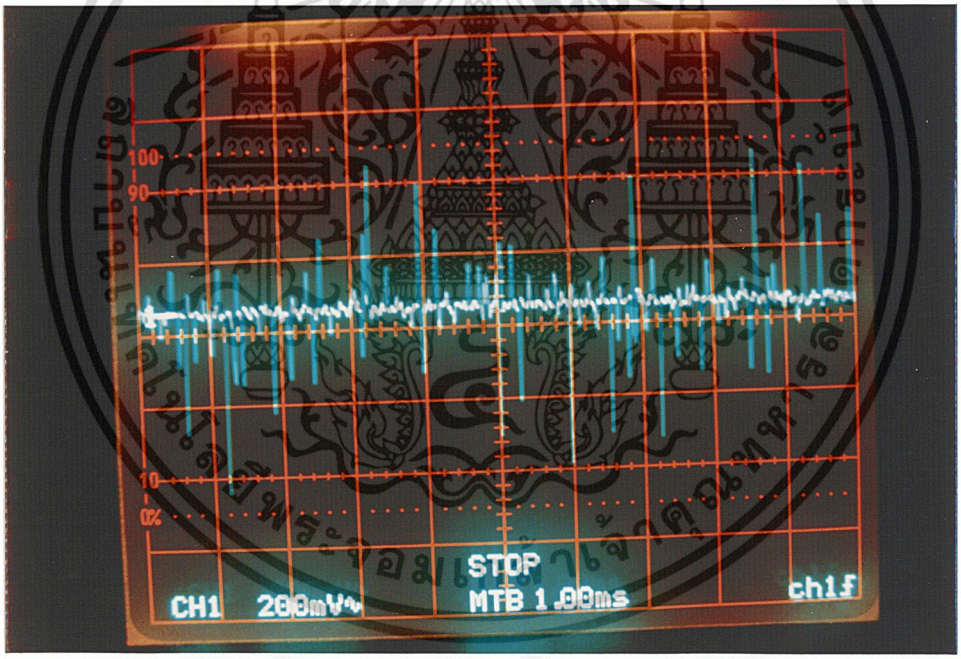
วงจรนี้จะรวมสัญญาณดิจิตอล 3 ช่องสัญญาณ ให้อยู่ในช่องสัญญาณเดียวกัน วงจรประกอบดังรูปที่ 4.9

ป้อนสัญญาณจากแหล่งกำเนิดสัญญาณรูปไซน์ ความถี่ 1 kHz แอมปลิจูด 1 $V_{p-p}$ วัดสัญญาณที่เอาท์พุท ของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล ช่องที่ 1 และ 2 ดังรูปที่ 4.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.9 การต่อวงจรมัลติเพล็กซ์แบบ TDM

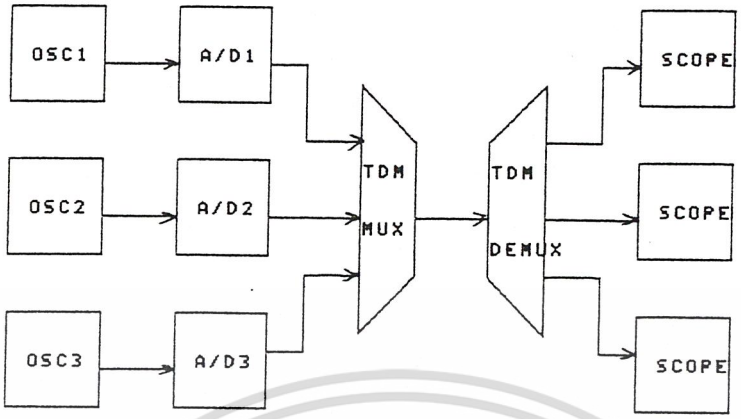



รูปที่ 4.10 สัญญาณดิจิตอลที่ได้จากการแปลงจากสัญญาณอนาล็อก

### 4.3.2 การทดลองวงจรดีมัลติเพล็กซ์แบบ TDM

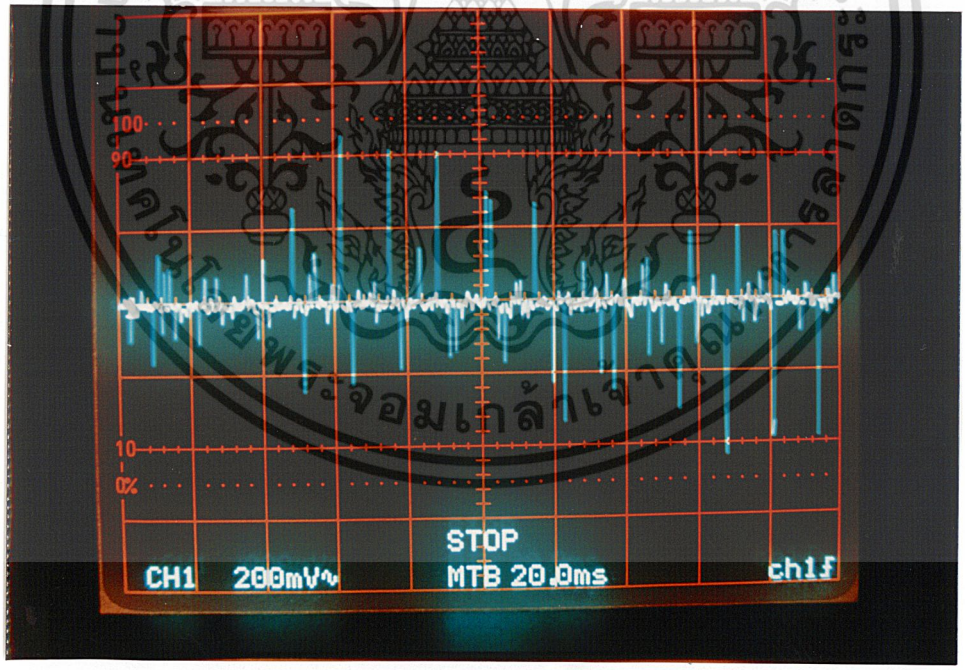
วงจรในส่วนนี้จะแยกสัญญาณดิจิตอลที่รวมกันมาออกเป็น 3 ช่องสัญญาณ โดยวงจรจะต่อตามรูปที่ 4.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.11 การต่อวงจรดีมัลติเพล็กซ์

ทำการวัดสัญญาณที่เอาท์พุทของวงจรดีมัลติเพล็กซ์ ได้สัญญาณดังรูปที่ 4.12

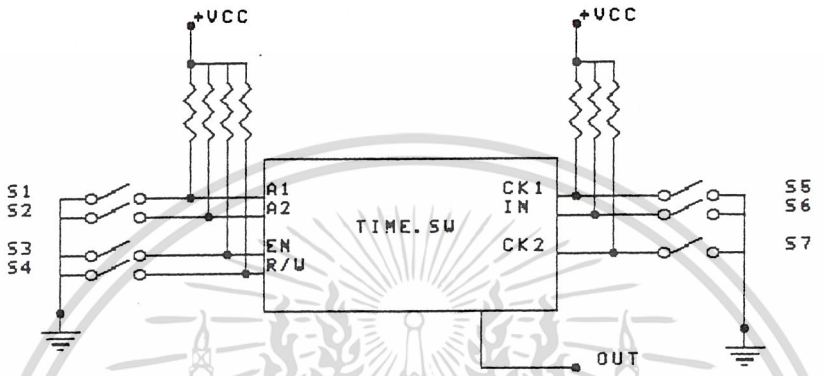



รูปที่ 4.12 สัญญาณที่ได้จากการดีมัลติเพล็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**4.4 ไทม์สวิทช์**

การทดลองในภาคไทม์สวิทช์นี้เพื่อให้เห็นลักษณะการทำงานที่ชัดเจนยิ่งขึ้น จึงได้ใช้สัญญาณการควบคุม และสัญญาณนาฬิกาจากสวิทช์ โดยต่อวงจรดังรูปที่ 4.13




รูปที่ 4.13 การต่อไทม์สวิทช์เพื่อทดลอง

**ขบวนการเขียนข้อมูล**

-ต่อวงจรไทม์สวิทช์ตามรูปที่ 4.13

-ป้อนข้อมูล 10101111 โดยการเปิด-ปิดสวิทช์ S6 ให้สัมพันธ์กับสวิทช์ S5

-ปรับสวิทช์ S4 ให้เป็น "0" (อ่านข้อมูล) การเลือกแอดเดรสอ่านโดยเคาท์เตอร์จะอยู่ที่ 00

-กดสวิทช์ S3 เพื่อเขียนข้อมูลกลับไปเก็บไว้ในแรมไอซี 74189

**ขบวนการอ่านข้อมูล**

-ปรับสวิทช์ S1 และ S2 ให้เป็น "0" (เลือกข้อมูลที่แอดเดรส "00")

-ปรับสวิทช์ S4 ให้เป็น "1" (ตอนนี้เคาท์เตอร์แอดเดรสการเขียนเป็น "01")

-กดสวิทช์ S3 เพื่ออ่านข้อมูลออกมา

-กดสวิทช์ S7 ทีละครั้ง เพื่อดูข้อมูลที่เอาท์พุท

ทำการทดลองซ้ำแบบเดิม โดยเปลี่ยนข้อมูล และแอดเดรสการอ่านดังตารางที่ 4.2

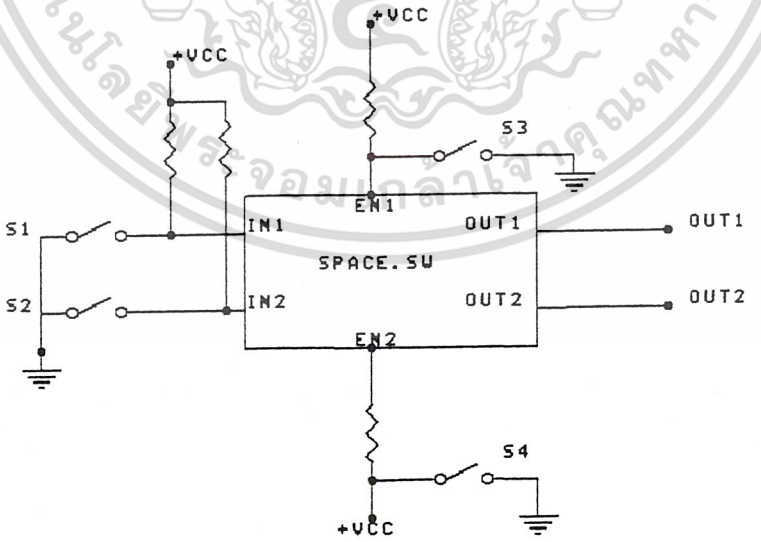
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| ลำดับที่ | แอดเดรสการเขียน | ข้อมูลการเขียน | แอดเดรสการอ่าน | ข้อมูลการอ่าน |
|---|---|---|---|---|
| 1 | 00 | 10101111 | 00 | 10101111 |
| 2 | 01 | 11110000 | 01 | 11110000 |
| 3 | 10 | 11001100 | 10 | 11001100 |
| 4 | 00 | 10101010 | 01 | 11110000 |
| 5 | 01 | 11001100 | 10 | 11001100 |
| 6 | 10 | 00110011 | 10 | 00110011 |
| 7 | 00 | 00001111 | 00 | 00001111 |
| 8 | 01 | 00111100 | 10 | 00110011 |
| 9 | 10 | 00000011 | 10 | 00000011 |

ตารางที่ 4.2 ผลการทดลองไทม์สวิทช์

**4.5 การทดลองวงจรสเปซสวิทช์**

วงจรในภาคนี้เป็นลักษณะของเกทเปิด-ปิดให้ข้อมูลผ่านไปได้ในเวลาที่เหมาะสม การทดลองทำได้โดยต่อวงจรตามรูปที่ 4.14




รูปที่ 4.14 วงจรทดลองสเปซสวิทช์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.14 สวิทช์ S1 และ S2 เป็นข้อมูลที่มาจากวงจรมัลติเพล็กซ์ทั้งสองชุด โดยมี EN1 เป็นตัวเลือกว่าอินพุทตัวที่ 1 จะไปออกที่เอาท์พุทใด และ EN2 เป็นตัวเลือกว่าเอาท์พุทตัวที่ 2 จะไปออกที่เอาท์พุทใด ดังตารางที่ 4.3

| อินพุท 1 | อินพุท 2 | EN 1 | EN 2 | เอาท์พุท 1 | เอาท์พุท 2 |
|---|---|---|---|---|---|
| 0 | 1 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 | 1 |

ตารางที่ 4.3 ตารางผลการทดลองสเปซสวิทช์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 5
# บทสรุป และแนวทางในการพัฒนา

## 5.1 บทสรุป

ชุดสาธิตการสลับคู่สายโทรศัพท์ระบบดิจิตอล ได้พัฒนาแนวคิดมาจากทฤษฎีที่ใช้ในการเรียนการสอน ซึ่งผลที่ได้ออกมานั้น ยังไม่ประสบผลสำเร็จเท่าที่ควร เพราะคณะผู้จัดทำมีจำนวนผู้ร่วมงานน้อย อีกทั้งข้อมูลด้านต่าง ๆ ยังไม่แพร่หลายมากนัก ทำให้ต้องเสียเวลาในการค้นคว้าและออกแบบนานพอสมควร ซึ่งผู้จัดทำสามารถดำเนินงานได้ยังไม่สมบูรณ์ ดังในส่วนของไทม์สวิทช์และสเปซสวิทช์ ซึ่งเป็นเทคโนโลยีที่ไม่แพร่หลาย ผู้จัดทำได้อาศัยหลักการตามทฤษฎีมาออกแบบวงจร แต่ยังไม่ประสบผลสำเร็จ การออกแบบคาดว่าจะต้องนำเทคโนโลยีไมโครโปรเซสเซอร์มาใช้ในการควบคุม

## 5.2 ปัญหา และแนวทางการแก้ไข

### 5.2.1 ปัญหา

-ส่วนของวงจร A/D และ D/A ในโครงงานนี้ใช้ IC เบอร์ ADC 0808 และDAC 0808 ซึ่งเป็นการแปลงสัญญาณในย่านเสียง ทำให้ผลที่ได้ผิดพลาดพอสมควร

-ในการออกแบบส่วนของวงจร BORSCHT ไม่ประสบผลสำเร็จ เนื่องจากไม่สามารถสร้างวงจรไฮบริดที่มีคุณภาพได้

-ในการออกแบบวงจรทั้งหมดได้รวมกราวด์ของวงจรดิจิตอล และวงจรอนาล็อกเข้าด้วยกันในวงจรแผ่นเดียวกัน ซึ่งเมื่อใช้งานจริงจะเกิดการรบกวนกันระหว่างช่องทางสัญญาณ

-วงจรไทม์สวิทช์ในการทดลองได้ใช้สัญญาณนาฬิกาครั้งละลูกมาทำการกระตุ้นการทำงานของสัญญาณต่าง ๆ แต่เมื่อใช้สัญญาณที่เป็นพัลส์ต่อเนื่อง ทำให้ไม่อาจควบคุมการทำงานของวงจรส่วนนี้ให้ทำงานได้

### 5.2.2 แนวทางการแก้ไข

-วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล และดิจิตอลเป็นอนาล็อก ควรเปลี่ยนไปใช้ไอซีสำเร็จรูปเฉพาะงาน เช่น ไอซีเบอร์ TP 3020 ของบริษัทเนชั่นแนล

-ส่วนของวงจร BORSCHT ควรเปลี่ยนไปใช้ไอซีสำเร็จรูปของบริษัทโมโตโรล่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-เมื่อมีความจำเป็นต้องรวมกราวด์ของวงจรดิจิตอลและอนาล็อกเข้าด้วยกัน ควรนำมารวมกันที่ใกล้แหล่งจ่ายมากที่สุด เพราะแหล่งจ่ายจะมีอิมพีแดนท์ต่ำ

-ในการออกแบบวงจรไทม์สวิทช์ควรใช้ไมโครโปรเซสเซอร์เป็นตัวควบคุมการทำงาน

**5.3 แนวทางในการพัฒนา**

-เพิ่มช่องสัญญาณให้มากขึ้น

-ใช้คอมพิวเตอร์ในการควบคุมทั้งหมด

-เพิ่มการควบคุมให้สามารถเป็นโทรศัพท์ระบบอัตโนมัติได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บรรณานุกรม

1. น.ต.ธวัชชัย เลื่อนฉวี, "เทคโนโลยีโทรศัพท์", บรรเทิงการพิมพ์ , กรุงเทพ ฯ, 2533

2. วิสันติ์ อาชาเดโชพล & Advanced Engineering Group, "ระบบโทรศัพท์ดิจิตอล", หจก. สำนักพิมพ์ฟิสิกส์เซ็นเตอร์, 2537

3. PAUL BATES, P.ENG " PRATICAL DIGITAL AND COMMUNICATIONS WITH LSI APPLICATION" , A Reston Book Prentice-Hall Inc. ,1987

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ภาคผนวก

## รายละเอียดของอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor Corporation

# ADC0808, ADC0809 8-Bit μP Compatible A/D Converters with 8-Channel Multiplexer

## General Description

The ADC0808, ADC0809 data acquisition component is a monolithic CMOS device with an 8-bit analog-to-digital converter, 8-channel multiplexer and microprocessor compatible control logic. The 8-bit A/D converter uses successive approximation as the conversion technique. The converter features a high impedance chopper stabilized comparator, a 256R voltage divider with analog switch tree and a successive approximation register. The 8-channel multiplexer can directly access any of 8-single-ended analog signals.

The device eliminates the need for external zero and full-scale adjustments. Easy interfacing to microprocessors is provided by the latched and decoded multiplexer address inputs and latched TTL TRI-STATE® outputs.

The design of the ADC0808, ADC0809 has been optimized by incorporating the most desirable aspects of several A/D conversion techniques. The ADC0808, ADC0809 offers high speed, high accuracy, minimal temperature dependence, excellent long-term accuracy and repeatability, and consumes minimal power. These features make this device ideally suited to applications from process and machine control to consumer and automotive applications. For 16-channel multiplexer with common output (sample/hold port) see ADC0816 data sheet. (See AN-247 for more information.)

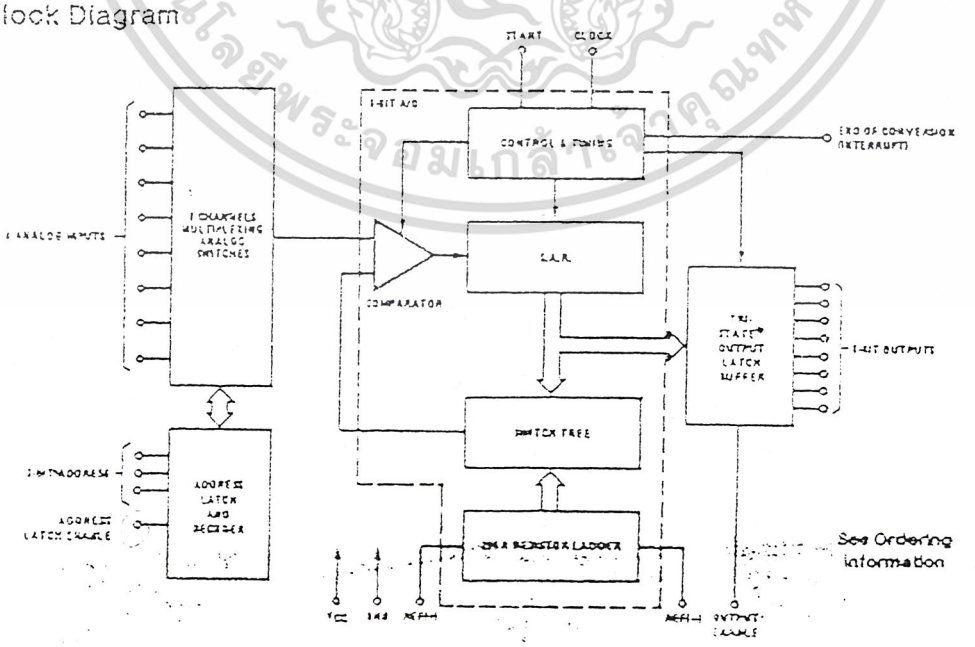
## Features

- Easy interface to all microprocessors
- Operates ratiometrically or with 5 VDC or analog span adjusted voltage reference
- No zero or full-scale adjust required
- 8-channel multiplexer with address logic
- 0V to 5V input range with single 5V power supply
- Outputs meet TTL voltage level specifications
- Standard hermetic or molded 28-pin DIP package
- 28-pin molded chip carrier package

## Key Specifications

| | |
|---|---|
| Resolution | 8 Bits |
| Total Unadjusted Error | ±½ LSB and ±1 LSB |
| Single Supply | 5 VDC |
| Low Power | 15 mW |
| Conversion Time | 100 μs |

## Block Diagram




See Ordering Information

TL/H/5572-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

| | |
|---|---|
| Supply Voltage ($V_{CC}$) (Note 3) | 6.5V |
| Voltage at Any Pin Except Control Inputs | −0.3V to ($V_{CC}$ +0.3V) |
| Voltage at Control Inputs (START, OE, CLOCK, ALE, ADD A, ADD B, ADD C) | −0.3V to +15V |
| Storage Temperature Range | −65°C to +150°C |
| Package Dissipation at $T_A$ = 25°C | 875 mW |
| Lead Temp. (Soldering, 10 seconds) | |
| Dual-In-Line Package (plastic) | 260°C |
| Dual-In-Line Package (ceramic) | 300°C |
| Molded Chip Carrier Package | |
| Vapor Phase (60 seconds) | 215°C |
| Infrared (15 seconds) | 220°C |
| ESD Susceptibility (Note 11) | 400V |

## Operating Conditions (Notes 1 & 2)

| | |
|---|---|
| Temperature Range (Note 1) | $T_{MIN} \le T_A \le T_{MAX}$ |
| ADC0808CJ | −55°C ≤ $T_A$ ≤ +125°C |
| ADC0808CCJ, ADC0808CCN, ADC0809CCN | −40°C ≤ $T_A$ ≤ +85°C |
| ADC0808CCV, ADC0809CCV | −40°C ≤ $T_A$ ≤ +85°C |
| Range of $V_{CC}$ (Note 1) | 4.5 $V_{DC}$ to 6.0 $V_{DC}$ |

## Electrical Characteristics

Converter Specifications: $V_{CC}$ = 5 $V_{DC}$ = $V_{REF(+)}$, $V_{REF(-)}$ = GND, $T_{MIN} \le T_A \le T_{MAX}$ and $f_{CLK}$ = 640 kHz unless otherwise stated.

| Symbol | Parameter | Conditions | Min | Typ | Max | Units |
|---|---|---|---|---|---|---|
| | ADC0808 Total Unadjusted Error (Note 5) | 25°C<br>$T_{MIN}$ to $T_{MAX}$ | | | ±½<br>±¾ | LSB<br>LSB |
| | ADC0809 Total Unadjusted Error (Note 5) | 0°C to 70°C<br>$T_{MIN}$ to $T_{MAX}$ | | | ±1<br>±1¼ | LSB<br>LSB |
| | Input Resistance | From Ref(+) to Ref(−) | 1.0 | 2.5 | | kΩ |
| | Analog Input Voltage Range | (Note 4) V(+) or V(−) | GND−0.10 | | $V_{CC}$+0.10 | $V_{DC}$ |
| $V_{REF(+)}$ | Voltage, Top of Ladder | Measured at Ref(+) | | $V_{CC}$ | $V_{CC}$+0.1 | V |
| $\frac{V_{REF(+)} - V_{REF(-)}}{2}$ | Voltage, Center of Ladder | | $V_{CC}$/2−0.1 | $V_{CC}$/2 | $V_{CC}$/2+0.1 | V |
| $V_{REF(-)}$ | Voltage, Bottom of Ladder | Measured at Ref(−) | −0.1 | 0 | | V |
| $I_{IN}$ | Comparator Input Current | $f_C$ = 640 kHz, (Note 6) | −2 | ±0.5 | 2 | µA |

## Electrical Characteristics

Digital Levels and DC Specifications: ADC0808CJ 4.5V ≤ $V_{CC}$ ≤ 5.5V, −55°C ≤ $T_A$ ≤ +125°C unless otherwise noted ADC0808CCJ, ADC0808CCN, ADC0808CCV, ADC0809CCN and ADC0809CCV, 4.75 ≤ $V_{CC}$ ≤ 5.25V, −40°C ≤ $T_A$ ≤ +85°C unless otherwise noted

| Symbol | Parameter | Conditions | Min | Typ | Max | Units |
|---|---|---|---|---|---|---|
| ANALOG MULTIPLEXER | | | | | | |
| $I_{OFF(+)}$ | OFF Channel Leakage Current | $V_{CC}$ = 5V, $V_{IN}$ = 5V,<br>$T_A$ = 25°C<br>$T_{MIN}$ to $T_{MAX}$ | | 10 | 200<br>1.0 | nA<br>µA |
| $I_{OFF(-)}$ | OFF Channel Leakage Current | $V_{CC}$ = 5V, $V_{IN}$ = 0,<br>$T_A$ = 25°C<br>$T_{MIN}$ to $T_{MAX}$ | −200<br>−1.0 | −10 | | nA<br>µA |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Electrical Characteristics (Continued)

**Digital Levels and DC Specifications:** ADC0808CJ $4.5V \le V_{CC} \le 5.5V$, $-55°C \le T_A \le +125°C$ unless otherwise noted ADC0808CCJ, ADC0808CCN, ADC0808CCV, ADC0809CCN and ADC0809CCV, $4.75 \le V_{CC} \le 5.25V$, $-40°C \le T_A \le +85°C$ unless otherwise noted

| Symbol | Parameter | Conditions | Min | Typ | Max | Units |
|---|---|---|---|---|---|---|
| CONTROL INPUTS | | | | | | |
| $V_{IN(1)}$ | Logical "1" Input Voltage | | $V_{CC}-1.5$ | | | V |
| $V_{IN(0)}$ | Logical "0" Input Voltage | | | | 1.5 | V |
| $I_{IN(1)}$ | Logical "1" Input Current (The Control Inputs) | $V_{IN} = 15V$ | | | 1.0 | µA |
| $I_{IN(0)}$ | Logical "0" Input Current (The Control Inputs) | $V_{IN} = 0$ | −1.0 | | | µA |
| $I_{CC}$ | Supply Current | $f_{CLK} = 640$ kHz | | 0.3 | 3.0 | mA |
| DATA OUTPUTS AND EOC (INTERRUPT) | | | | | | |
| $V_{OUT(1)}$ | Logical "1" Output Voltage | $I_O = -360$ µA | $V_{CC}-0.4$ | | | V |
| $V_{OUT(0)}$ | Logical "0" Output Voltage | $I_O = 1.6$ mA | | | 0.45 | V |
| $V_{OUT(0)}$ | Logical "0" Output Voltage EOC | $I_O = 1.2$ mA | | | 0.45 | V |
| $I_{OUT}$ | TRI-STATE Output Current | $V_O = 5V$<br>$V_O = 0$ | <br>−3 | | 3 | µA<br>µA |

## Electrical Characteristics

Timing Specifications $V_{CC} = V_{REF(+)} = 5V$, $V_{REF(-)} = GND$, $t_r = t_f = 20$ ns and $T_A = 25°C$ unless otherwise noted.

| Symbol | Parameter | Conditions | Min | Typ | Max | Units |
|---|---|---|---|---|---|---|
| $t_{WS}$ | Minimum Start Pulse Width | *(Figure 5)* | | 100 | 200 | ns |
| $t_{WALE}$ | Minimum ALE Pulse Width | *(Figure 5)* | | 100 | 200 | ns |
| $t_S$ | Minimum Address Set-Up Time | *(Figure 5)* | | 25 | 50 | ns |
| $t_H$ | Minimum Address Hold Time | *(Figure 5)* | | 25 | 50 | ns |
| $t_D$ | Analog MUX Delay Time From ALE | $R_S = 0\Omega$ *(Figure 5)* | | 1 | 2.5 | µS |
| $t_{1H}, t_{H0}$ | OE Control to Q Logic State | $C_L = 50$ pF, $R_L = 10$k *(Figure 8)* | | 125 | 250 | ns |
| $t_{1H}, t_{OH}$ | OE Control to Hi-Z | $C_L = 10$ pF, $R_L = 10$k *(Figure 8)* | | 125 | 250 | ns |
| $t_C$ | Conversion Time | $f_C = 640$ kHz *(Figure 5)* (Note 7) | 90 | 100 | 116 | µS |
| $f_C$ | Clock Frequency | | 10 | 640 | 1280 | kHz |
| $t_{EOC}$ | EOC Delay Time | *(Figure 5)* | 0 | | 8 + 2 µS | Clock Periods |
| $C_{IN}$ | Input Capacitance | At Control Inputs | | 10 | 15 | pF |
| $C_{OUT}$ | TRI-STATE Output Capacitance | At TRI-STATE Outputs, (Note 12) | | 10 | 15 | pF |

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to GND, unless otherwise specified.

Note 3: A zener diode exists, internally, from $V_{CC}$ to GND and has a typical breakdown voltage of 7 $V_{DC}$.

Note 4: Two on-chip diodes are tied to each analog input which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the $V_{CC}$ supply. The spec allows 100 mV forward bias of either diode. This means that as long as the analog $V_{IN}$ does not exceed the supply voltage by more than 100 mV, the output code will be correct. To achieve an absolute $0V_{DC}$ to $5V_{DC}$ input voltage range will therefore require a minimum supply voltage of 4.900 $V_{DC}$ over temperature variations, initial tolerance and loading.

Note 5: Total unadjusted error includes offset, full-scale, linearity, and multiplexer errors. See *Figure 2*. None of these A/Ds requires a zero or full-scale adjust. However, if an all zero code is desired for an analog input other than 0.0V, or if a narrow full-scale span exists (for example: 0.5V to 4.5V full-scale) the reference voltages can be adjusted to achieve this. See *Figure 13*.

Note 6: Comparator input current is a bias current into or out of the chopper stabilized comparator. The bias current varies directly with clock frequency and has little temperature dependence (*Figure 4*). See paragraph 4.0.

Note 7: The outputs of the data register are updated one clock cycle before the rising edge of EOC.

Note 8: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Functional Description

**Multiplexer.** The device contains an 8-channel single-ended analog signal multiplexer. A particular input channel is selected by using the address decoder. Table I shows the input states for the address lines to select any channel. The address is latched into the decoder on the low-to-high transition of the address latch enable signal.

TABLE I

| SELECTED ANALOG CHANNEL | ADDRESS LINE C | B | A |
|---|---|---|---|
| IN0 | L | L | L |
| IN1 | L | L | H |
| IN2 | L | H | L |
| IN3 | L | H | H |
| IN4 | H | L | L |
| IN5 | H | L | H |
| IN6 | H | H | L |
| IN7 | H | H | H |

### CONVERTER CHARACTERISTICS

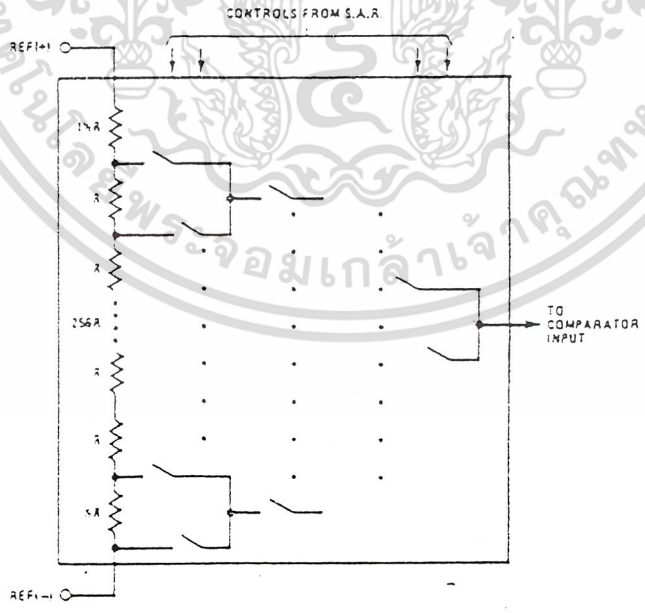
#### The Converter

The heart of this single chip data acquisition system is its 8-bit analog-to-digital converter. The converter is designed to give fast, accurate, and repeatable conversions over a wide range of temperatures. The converter is partitioned into 3 major sections: the 256R ladder network, the successive approximation register, and the comparator. The converter's digital outputs are positive true.

The 256R ladder network approach (*Figure 1*) was chosen over the conventional R/2R ladder because of its inherent monotonicity, which guarantees no missing digital codes. Monotonicity is particularly important in closed loop feedback control systems. A non-monotonic relationship can cause oscillations that will be catastrophic for the system. Additionally, the 256R network does not cause load variations on the reference voltage.

The bottom resistor and the top resistor of the ladder network in *Figure 1* are not the same value as the remainder of the network. The difference in these resistors causes the output characteristic to be symmetrical with the zero and full-scale points of the transfer curve. The first output transition occurs when the analog signal has reached $+\frac{1}{2}$ LSB and succeeding output transitions occur every 1 LSB later up to full-scale.

The successive approximation register (SAR) performs 8 iterations to approximate the input voltage. For any SAR type converter, n-iterations are required for an n-bit converter. *Figure 2* shows a typical example of a 3-bit converter. In the ADC0808, ADC0809, the approximation technique is extended to 8 bits using the 256R network.




TL/H/5675-2

FIGURE 1. Resistor Ladder and Switch Tree

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Functional Description (Continued)

The A/D converter's successive approximation register (SAR) is reset on the positive edge of the start conversion (SC) pulse. The conversion is begun on the falling edge of the start conversion pulse. A conversion in process will be interrupted by receipt of a new start conversion pulse. Continuous conversion may be accomplished by tying the end-of-conversion (EOC) output to the SC input. If used in this mode, an external start conversion pulse should be applied after power up. End-of-conversion will go low between 0 and 8 clock pulses after the rising edge of start conversion.

The most important section of the A/D converter is the comparator. It is this section which is responsible for the ultimate accuracy of the entire converter. It is also the comparator drift which has the greatest influence on the repeatability of the device. A chopper-stabilized comparator provides the most effective method of satisfying all the converter requirements.

The chopper-stabilized comparator converts the DC input signal into an AC signal. This signal is then fed through a high gain AC amplifier and has the DC level restored. This technique limits the drift component of the amplifier since the drift is a DC component which is not passed by the AC amplifier. This makes the entire A/D converter extremely insensitive to temperature, long term drift and input offset errors.

*Figure 4* shows a typical error curve for the ADC0808 as measured using the procedures outlined in AN-179.

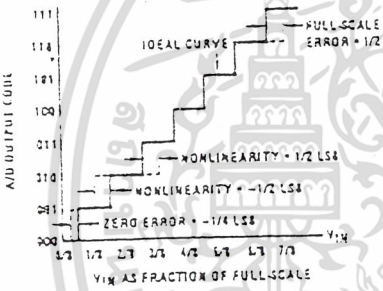



FIGURE 2. 3-Bit A/D Transfer Curve

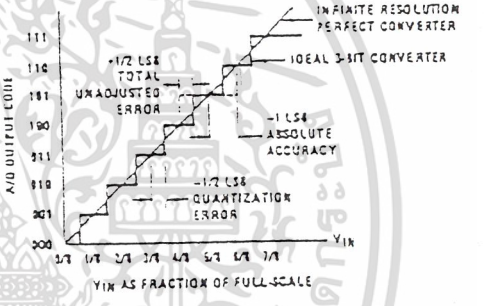



FIGURE 3. 3-Bit A/D Absolute Accuracy Curve

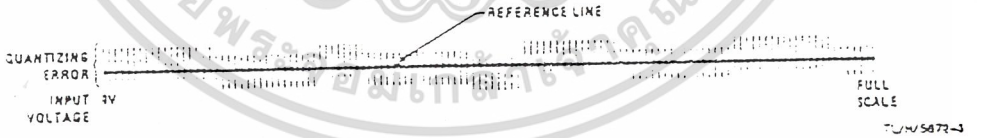
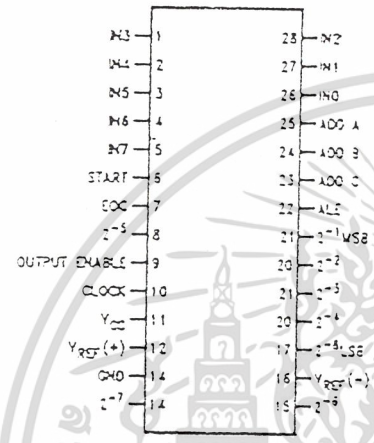



FIGURE 4. Typical Error Curve

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Connection Diagrams

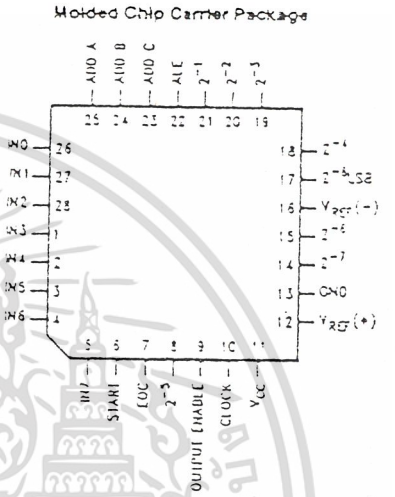
Dual-In-Line Package




TL/H/5672–11

Order Number ADC0808CCN, ADC0809CCN,
ADC0808CCJ or ADC0808CJ
See NS Package J28A or N28A

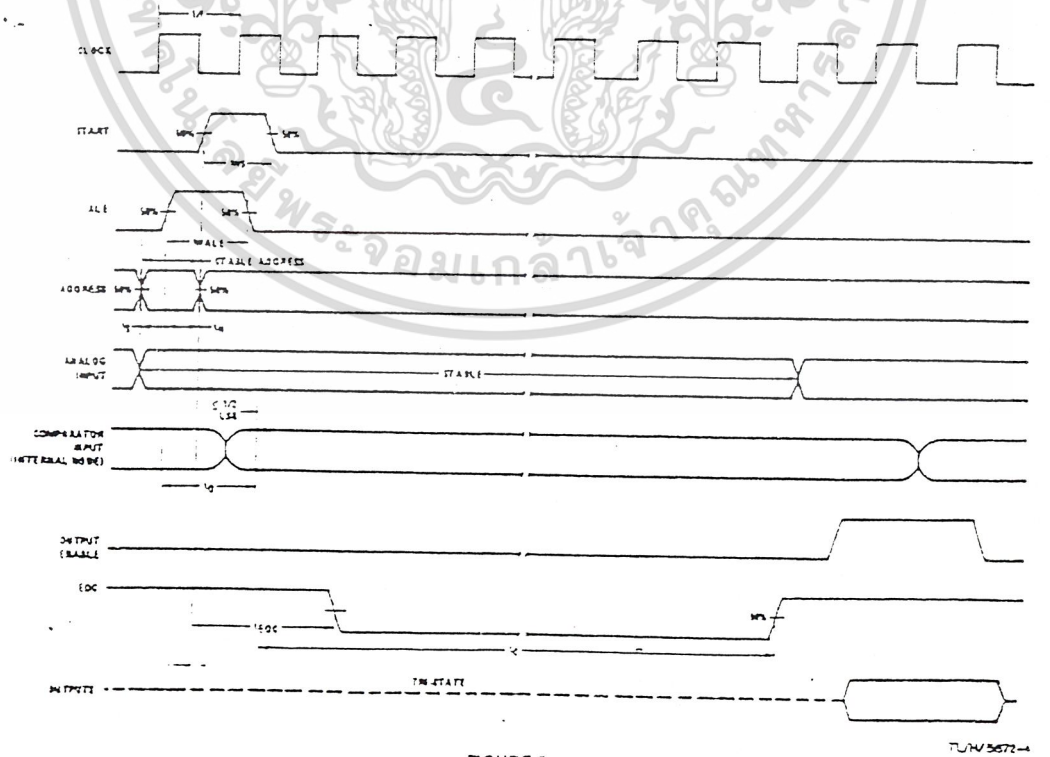
Molded Chip Carrier Package




TL/H/5672–12

Order Number ADC0808CCV or ADC0809CCV
See NS Package V28A

## Timing Diagram




TL/H/5672–4

FIGURE 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor Corporation

# DAC0808, DAC0807, DAC0806 8-Bit D/A Converters

## General Description

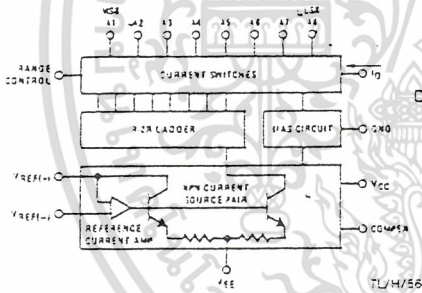
The DAC0808 series is an 8-bit monolithic digital-to-analog converter (DAC) featuring a full scale output current settling time of 150 ns while dissipating only 33 mW with ±5V supplies. No reference current ($I_{REF}$) trimming is required for most applications since the full scale output current is typically ±1 LSB of 255 $I_{REF}$/ 256. Relative accuracies of better than ±0.19% assure 8-bit monotonicity and linearity while zero level output current of less than 4 μA provides 8-bit zero accuracy for $I_{REF} \geq 2$ mA. The power supply currents of the DAC0808 series are independent of bit codes, and exhibits essentially constant device characteristics over the entire supply voltage range.

The DAC0808 will interface directly with popular TTL, DTL or CMOS logic levels, and is a direct replacement for the MC1508/MC1408. For higher speed applications, see DAC0800 data sheet.

## Features

- Relative accuracy: ±0.19% error maximum (DAC0808)
- Full scale current match: ±1 LSB typ
- 7 and 8-bit accuracy available (DAC0807, DAC0808)
- Fast settling time: 150 ns typ
- Noninverting digital inputs are TTL and CMOS compatible
- High speed multiplying input slew rate: 8 mA/μs
- Power supply voltage range: ±4.5V to ±18V
- Low power consumption: 33 mW @ ±5V

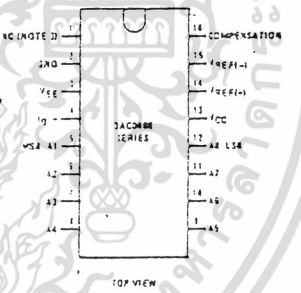
## Block and Connection Diagrams




TL/H/5687–1

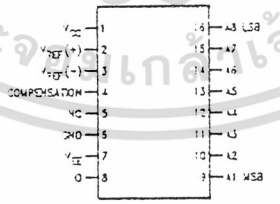
Order Number DAC0808, DAC0807, or DAC0806 See NS Package Number J16A, M16A or N16A

Dual-In-Line Package




TL/H/5687–2

Small-Outline Package




TL/H/5687–13

Top View

## Ordering Information

| ACCURACY | OPERATING TEMPERATURE RANGE | ORDER NUMBERS | | | | |
|---|---|---|---|---|---|---|
| | | J PACKAGE (J16A)* | | N PACKAGE (N16A)* | | SO PACKAGE (M16A) |
| 8-bit | $-55°C \leq T_A \leq +125°C$ | DAC0808LJ | MC1508L8 | | | |
| 8-bit | $0°C \leq T_A \leq +75°C$ | DAC0808LCJ | MC1408L8 | DAC0808LCN | MC1408P8 | DAC0808LCM |
| 7-bit | $0°C \leq T_A \leq +75°C$ | DAC0807LCJ | MC1408L7 | DAC0807LCN | MC1408P7 | DAC0807LCM |
| 6-bit | $0°C \leq T_A \leq +75°C$ | DAC0806LCJ | MC1408L6 | DAC0806LCN | MC1408P6 | DAC0806LCM |

*Note. Devices may be ordered by using either order number.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Electrical Characteristics (Continued)

($V_{CC}$ = 5V, $V_{EE}$ = −15 $V_{DC}$, $V_{EE}/R14$ = 2 mA, DAC0808: $T_A$ = −55°C to +125°C, DAC0808C, DAC0807C, DAC0806C, $T_A$ = 0°C to +75°C, and all digital inputs at high logic level unless otherwise noted.)

| Symbol | Parameter | Conditions | Min | Typ | Max | Units |
|---|---|---|---|---|---|---|
| $SR_{IEE}$ | Reference Current Slew Rate | *(Figure 6)* | 4 | 8 | | mA/μs |
| | Output Current Power Supply Sensitivity | −5V ≤ $V_{EE}$ ≤ −16.5V | | 0.05 | 2.7 | μA/V |
| | Power Supply Current (All Bits Low) | *(Figure 3)* | | | | |
| $I_{CC}$ | | | | 2.3 | 22 | mA |
| $I_{EE}$ | | | | −4.3 | −13 | mA |
| | Power Supply Voltage Range | $T_A$ = 25°C, *(Figure 3)* | | | | |
| $V_{CC}$ | | | 4.5 | 5.0 | 5.5 | $V_{DC}$ |
| $V_{EE}$ | | | −4.5 | −15 | −16.5 | $V_{DC}$ |
| | Power Dissipation | | | | | |
| | All Bits Low | $V_{CC}$ = 5V, $V_{EE}$ = −5V | | 33 | 170 | mW |
| | | $V_{CC}$ = 5V, $V_{EE}$ = −15V | | 106 | 305 | mW |
| | All Bits High | $V_{CC}$ = 15V, $V_{EE}$ = −5V | | 90 | | mW |
| | | $V_{CC}$ = 15V, $V_{EE}$ = −15V | | 180 | | mW |

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: Range control is not required.

Note 3: The maximum power dissipation must be derated at elevated temperatures and is dictated by $T_{JMAX}$, $\theta_{JA}$, and the ambient temperature, $T_A$. The maximum allowable power dissipation at any temperature is $P_D = (T_{JMAX} - T_A)/\theta_{JA}$ or the number given in the Absolute Maximum Ratings, whichever is lower. For this device, $T_{JMAX}$ = 125°C, and the typical junction-to-ambient thermal resistance of the dual-in-line J package when the board mounted is 100°C/W. For the dual-in-line N package, this number increases to 175°C/W and for the small outline M package this number is 100°C/W.

Note 4: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 5: All current switches are tested to guarantee at least 50% of rated current.

Note 6: All bits switched.

Note 7: Pin-out numbers for the DAC080X represent the dual-in-line package. The small outline package pinout differs from the dual-in-line package.

## Typical Application

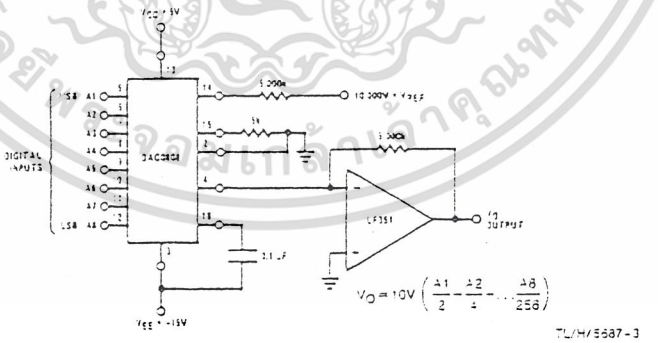


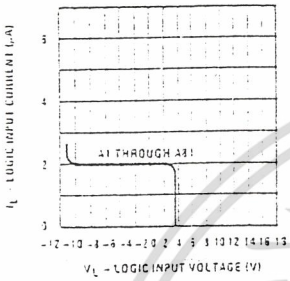

FIGURE 1. −10V Output Digital to Analog Converter (Note 7)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

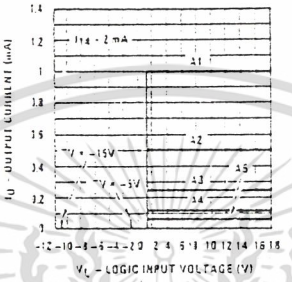
## Typical Performance Characteristics

$V_{CC}$ = 5V, $V_{EE}$ = −15V, $T_A$ = 25°C, unless otherwise noted

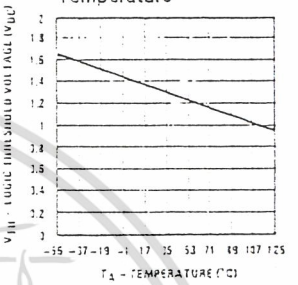
Logic Input Current vs Input Voltage



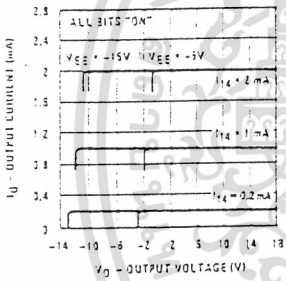

Bit Transfer Characteristics



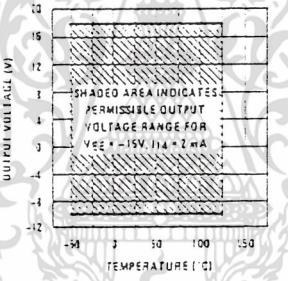

Logic Threshold Voltage vs Temperature



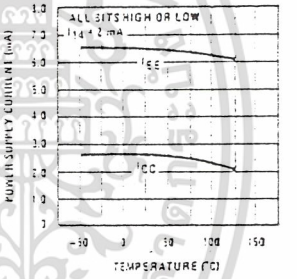

Output Current vs Output Voltage (Output Voltage Compliance)



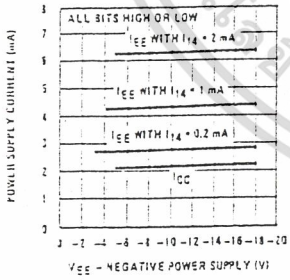

Output Voltage Compliance vs Temperature



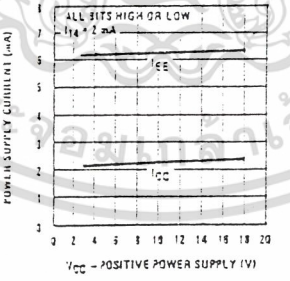

Typical Power Supply Current vs Temperature



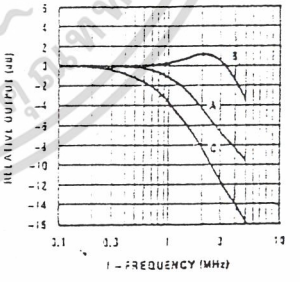

Typical Power Supply Current vs $V_{EE}$




Typical Power Supply Current vs $V_{CC}$




Reference Input Frequency Response




TL/H/5687–5

Unless otherwise specified: R14 = R15 = 1 kΩ, C = 15 pF, pin 16 to $V_{EE}$; $R_L$ = 50Ω, pin 4 to ground.

Curve A: Large Signal Bandwidth Method of *Figure 7*, $V_{REF}$ = 2 Vp-p offset 1 V above ground.

Curve B: Small Signal Bandwidth Method of *Figure 7*, $R_L$ = 250Ω, $V_{REF}$ = 50 mVp-p offset 200 mV above ground.

Curve C: Large and Small Signal Bandwidth Method of *Figure 9* (no op amp, $R_L$ = 50Ω), $R_S$ = 50Ω, $V_{REF}$ = 2V, $V_S$ = 100 mVp-p centered at 0V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

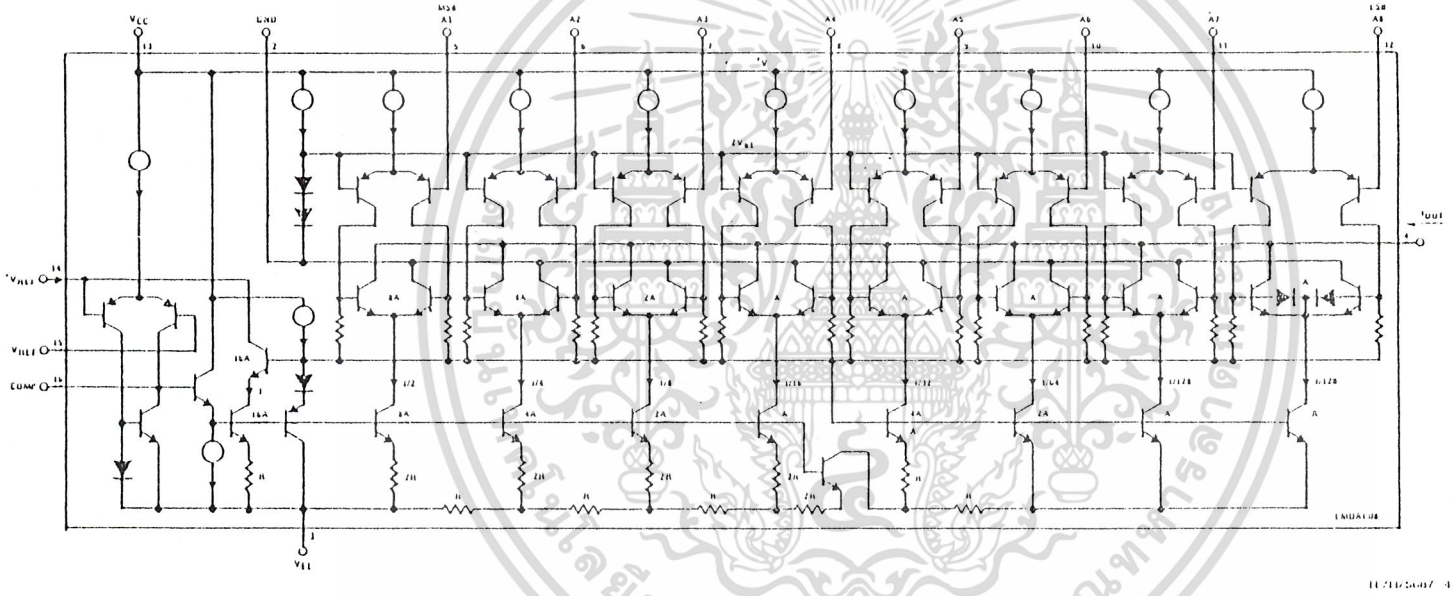


FIGURE 2. Equivalent Circuit of the DAC0808 Series (Note 7)

National Semiconductor Corporation

# LF198/LF298/LF398, LF198A/LF398A Monolithic Sample and Hold Circuits

## General Description

The LF198/LF298/LF398 are monolithic sample and hold circuits which utilize Bi-FET technology to obtain ultra-high dc accuracy with fast acquisition of signal and low droop rate. Operating as a unity gain follower, dc gain accuracy is 0.002% typical and acquisition time is as low as 6 µs to 0.01%. A bipolar input stage is used to achieve low offset voltage and wide bandwidth. Input offset adjust is accomplished with a single pin, and does not degrade input offset drift. The wide bandwidth allows the LF198 to be included inside the feedback loop of 1 MHz op amps without having stability problems. Input impedance of $10^{10}\Omega$ allows high source impedances to be used without degrading accuracy.

P-channel junction FET's are combined with bipolar devices in the output amplifier to give droop rates as low as 5 mV/min with a 1 µF hold capacitor. The JFET's have much lower noise than MOS devices used in previous designs and do not exhibit high temperature instabilities. The overall design guarantees no feed-through from input to output in the hold mode, even for input signals equal to the supply voltages.

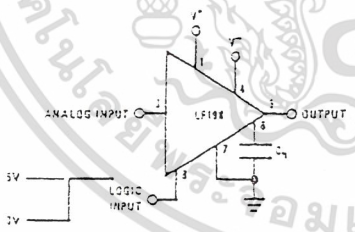
## Features

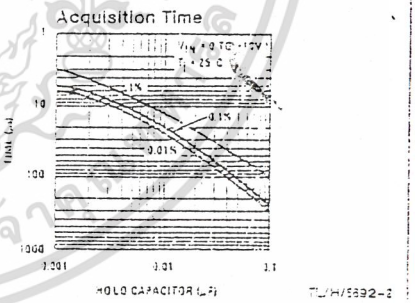
- Operates from ±5V to ±18V supplies
- Less than 10 µs acquisition time
- TTL, PMOS, CMOS compatible logic input
- 0.5 mV typical hold step at $C_H$ = 0.01 µF
- Low input offset
- 0.002% gain accuracy
- Low output noise in hold mode
- Input characteristics do not change during hold mode
- High supply rejection ratio in sample or hold
- Wide bandwidth

Logic inputs on the LF198 are fully differential with low input current, allowing direct connection to TTL, PMOS, and CMOS. Differential threshold is 1.4V. The LF198 will operate from ±5V to ±18V supplies. It is available in an 8-lead TO-5 package.

An "A" version is available with tightened electrical specifications.

## Typical Connection and Performance Curve

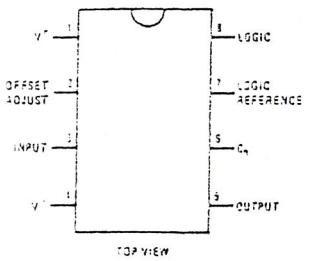



TL/H/5692–2

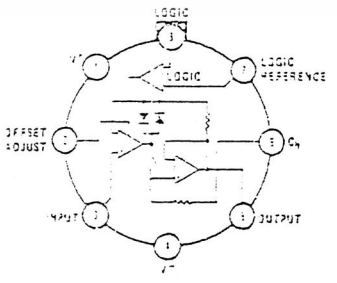
## Connection Diagrams

**Dual-In-Line Package**




Order Number LF398N or LF398AN
See NS Package Number N08E

**Metal Can Package**




TL/H/5692–11

Order Number LF198H, LF298H, LF398H, LF198AH or LF398AH
See NS Package Number H08C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage ±18V
Power Dissipation (Package Limitation) (Note 1) 500 mW
Operating Ambient Temperature Range
LF198/LF198A −55°C to +125°C
LF298 −25°C to +85°C
LF398/LF398A 0°C to +70°C
Storage Temperature Range −65°C to +150°C

Input Voltage Equal to Supply Voltage
Logic To Logic Reference Differential Voltage ±7V, −30V
(Note 2)
Output Short Circuit Duration Indefinite
Hold Capacitor Short Circuit Duration 10 sec
Lead Temperature (Soldering, 10 seconds) 260°C
Thermal Resistance ($\theta_{jA}$) (typicals)
H package 215°C/W (Board mount in still air)
85°C/W (Board mount in 400LF/min air flow)
N package 115°C/W
$\theta_{JC}$ (typical) 20°C/W

## Electrical Characteristics (Note 3)

| Parameter | Conditions | LF198/LF298 | | | LF398 | | | Units |
|---|---|---|---|---|---|---|---|---|
| | | Min | Typ | Max | Min | Typ | Max | |
| Input Offset Voltage, (Note 6) | $T_j$ = 25°C<br>Full Temperature Range | | 1 | 3<br>5 | | 2 | 7<br>10 | mV<br>mV |
| Input Bias Current, (Note 6) | $T_j$ = 25°C<br>Full Temperature Range | | 5 | 25<br>75 | | 10 | 50<br>100 | nA<br>nA |
| Input Impedance | $T_j$ = 25°C | | $10^{10}$ | | | $10^{10}$ | | Ω |
| Gain Error | $T_j$ = 25°C, $R_L$ = 10k<br>Full Temperature Range | | 0.002 | 0.005<br>0.02 | | 0.004 | 0.01<br>0.02 | %<br>% |
| Feedthrough Attenuation Ratio at 1 kHz | $T_j$ = 25°C, $C_h$ = 0.01 μF | 86 | 96 | | 80 | 90 | | dB |
| Output Impedance | $T_j$ = 25°C, "HOLD" mode<br>Full Temperature Range | | 0.5 | 2<br>4 | | 0.5 | 4<br>6 | Ω<br>Ω |
| "HOLD" Step, (Note 4) | $T_j$ = 25°C, $C_h$ = 0.01 μF, $V_{OUT}$ = 0 | | 0.5 | 2.0 | | 1.0 | 2.5 | mV |
| Supply Current, (Note 6) | $T_j \geq 25°C$ | | 4.5 | 5.5 | | 4.5 | 6.5 | mA |
| Logic and Logic Reference Input Current | $T_j$ = 25°C | | 2 | 10 | | 2 | 10 | μA |
| Leakage Current into Hold Capacitor (Note 6) | $T_j$ = 25°C, (Note 5)<br>Hold Mode | | 30 | 100 | | 30 | 200 | pA |
| Acquisition Time to 0.1% | $\Delta V_{OUT}$ = 10V, $C_h$ = 1000 pF<br>$C_h$ = 0.01 μF | | 4<br>20 | | | 4<br>20 | | μs<br>μs |
| Hold Capacitor Charging Current | $V_{IN} - V_{OUT}$ = 2V | | 5 | | | 5 | | mA |
| Supply Voltage Rejection Ratio | $V_{OUT}$ = 0 | 80 | 110 | | 80 | 110 | | dB |
| Differential Logic Threshold | $T_j$ = 25°C | 0.8 | 1.4 | 2.4 | 0.8 | 1.4 | 2.4 | V |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Electrical Characteristics (Continued) (Note 3)

| Parameter | Conditions | LF198A | | | LF398A | | | Units |
|---|---|---|---|---|---|---|---|---|
| | | Min | Typ | Max | Min | Typ | Max | |
| ...ut Offset Voltage, (Note 6) | $T_j$ = 25°C<br>Full Temperature Range | | 1 | 1<br>2 | | 2 | 2<br>3 | mV<br>mV |
| ...ut Bias Current, (Note 6) | $T_j$ = 25°C<br>Full Temperature Range | | 5 | 25<br>75 | | 10 | 25<br>50 | nA<br>nA |
| ...ut Impedance | $T_j$ = 25°C | | $10^{10}$ | | | $10^{10}$ | | Ω |
| ...ain Error | $T_j$ = 25°C, $R_L$ = 10k<br>Full Temperature Range | | 0.002 | 0.005<br>0.01 | | 0.004 | 0.005<br>0.01 | %<br>% |
| ...edthrough Attenuation Ratio<br>... kHz | $T_j$ = 25°C, $C_h$ = 0.01 µF | 86 | 96 | | 86 | 90 | | dB |
| ...tput Impedance | $T_j$ = 25°C, "HOLD" mode<br>Full Temperature Range | | 0.5 | 1<br>4 | | 0.5 | 1<br>6 | Ω<br>Ω |
| ..."HOLD" Step, (Note 4) | $T_j$ = 25°C, $C_h$ = 0.01 µF, $V_{OUT}$ = 0 | | 0.5 | 1 | | 1.0 | 1 | mV |
| ...pply Current, (Note 6) | $T_j \geq 25°C$ | | 4.5 | 5.5 | | 4.5 | 6.5 | mA |
| ...ic and Logic Reference Input ...rrent | $T_j$ = 25°C | | 2 | 10 | | 2 | 10 | µA |
| ...kage Current into Hold ...acitor (Note 6) | $T_j$ = 25°C, (Note 5)<br>Hold Mode | | 30 | 100 | | 30 | 100 | pA |
| ...quisition Time to 0.1% | $\Delta V_{OUT}$ = 10V, $C_h$ = 1000 pF<br>$C_h$ = 0.01 µF | | 4<br>20 | 6<br>25 | | 4<br>20 | 6<br>25 | µs<br>µs |
| ...ld Capacitor Charging Current | $V_{IN} - V_{OUT}$ = 2V | | 5 | | | 5 | | mA |
| ...pply Voltage Rejection Ratio | $V_{OUT}$ = 0 | 90 | 110 | | 90 | 110 | | dB |
| ...ferential Logic Threshold | $T_j$ = 25°C | 0.8 | 1.4 | 2.4 | 0.8 | 1.4 | 2.4 | V |

...ote 1: The maximum junction temperature of the LF198/LF198A is 150°C, for the LF298, 115°C, and for the LF398/LF398A, 100°C. When operating at elevated ...mbient temperature, the power dissipation must be derated based on a thermal resistance ($\Theta_{jA}$) of 150°C/W.

...ote 2: Although the differential voltage may not exceed the limits given, the common-mode voltage on the logic pins may be equal to the supply voltages without ...ausing damage to the circuit. For proper logic operation, however, one of the logic pins must always be at least 2V below the positive supply and 3V above the ...egative supply.

...ote 3: Unless otherwise specified, the following conditions apply. Unit is in "sample" mode, $V_S$ = ±15V, $T_j$ = 25°C, −11.5V ≤ $V_{IN}$ ≤ +11.5V, $C_h$ = 0.01 µF, ...nd $R_L$ = 10 kΩ. Logic reference voltage = 0V and logic voltage = 2.5V.

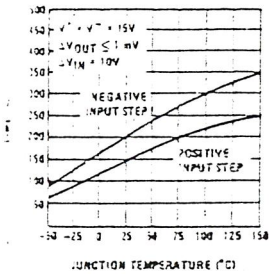
...ote 4: Hold step is sensitive to stray capacitive coupling between input logic signals and the hold capacitor. 1 pF, for instance, will create an additional 0.5 mV ...ep with a 5V logic swing and a 0.01µF hold capacitor. Magnitude of the hold step is inversely proportional to hold capacitor value.

...ote 5: Leakage current is measured at a *junction* temperature of 25°C. The effects of junction temperature rise due to power dissipation or elevated ambient can ...e calculated by doubling the 25°C value for each 11°C increase in chip temperature. Leakage is guaranteed over full input signal range.

...ote 6: These parameters guaranteed over a supply voltage range of ±5 to ±18V, and an input range of $-V_S - 3.5V \leq V_{IN} \leq +V_S - 3.5V$.

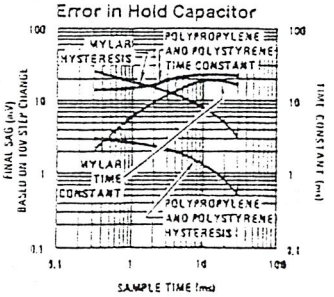
## Typical Performance Characteristics

Aperture Time*

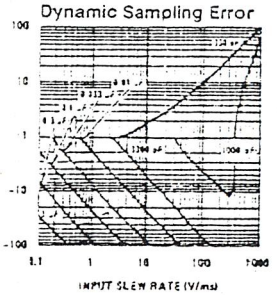



*See Definition of Terms

Dielectric Absorption Error in Hold Capacitor




Dynamic Sampling Error

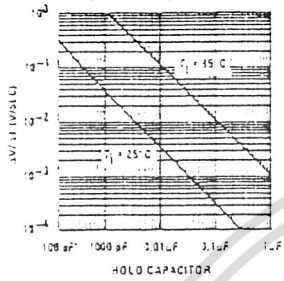



TL/H/5692–3

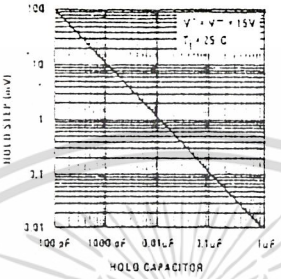
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Performance Characteristics (Continued)

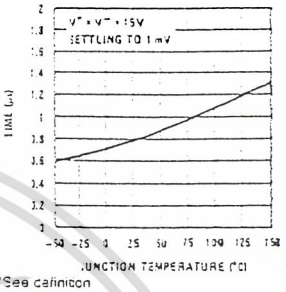
Output Droop Rate




Hold Step

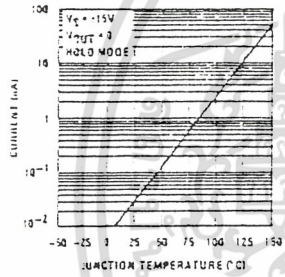



"Hold" Settling Time*

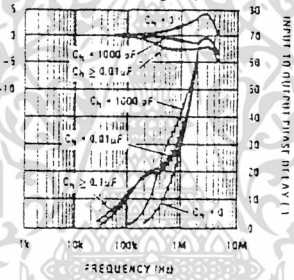



*See definition

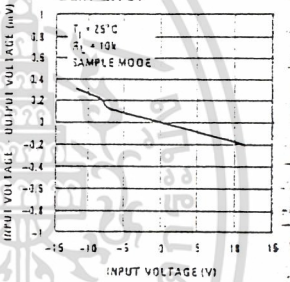
Leakage Current into Hold Capacitor



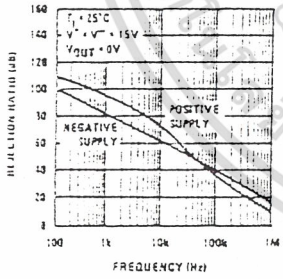

Phase and Gain (Input to Output, Small Signal)



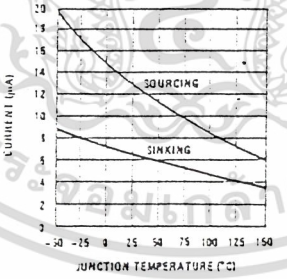

Gain Error



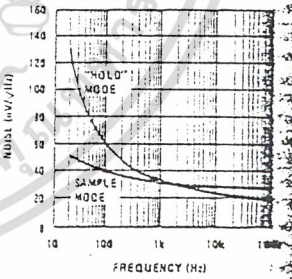

Power Supply Rejection



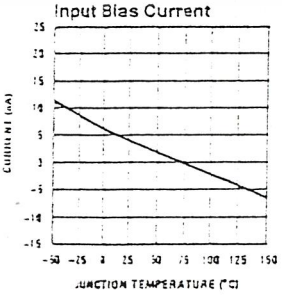

Output Short Circuit Current



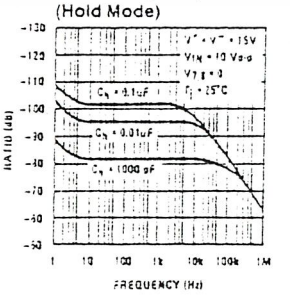

Output Noise



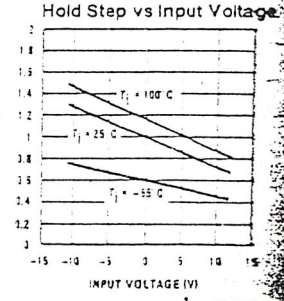

Input Bias Current




Feedthrough Rejection Ratio (Hold Mode)



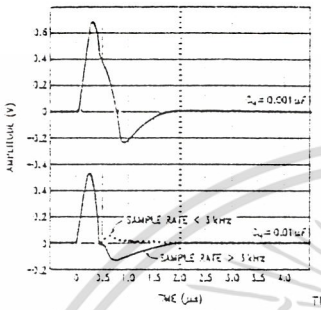

Hold Step vs Input Voltage




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

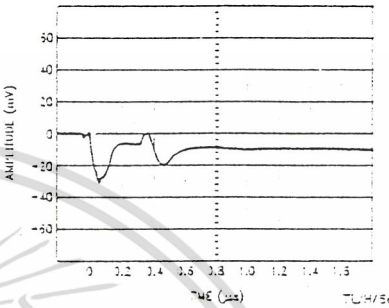
## Typical Performance Characteristics (Continued)

Output Transient at Start of Sample Mode




TL/H/5692-12

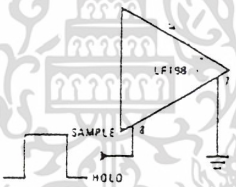
Output Transient at Start of Hold Mode



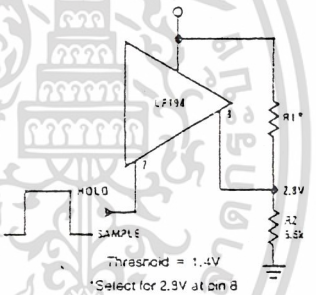

TL/H/5692-13

## Logic Input Configurations

TTL & CMOS
$3V \leq V_L$ (Hi State) $\leq 7V$

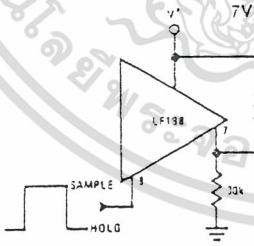



Threshold = 1.4V

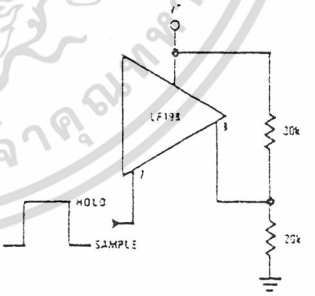



Threshold = 1.4V
*Select for 2.8V at pin 8

CMOS
$7V \leq V_L$ (Hi State) $\leq 15V$

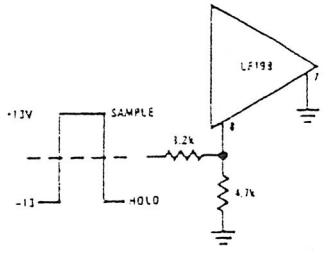



Threshold = 0.6 (V+) + 1.4V

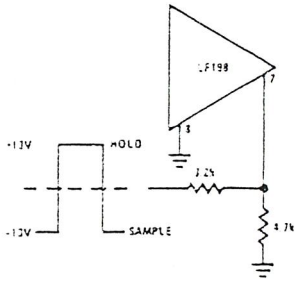



Threshold = 0.6 (V+) − 1.4V

Op Amp Drive




Threshold = −4V




Threshold = −4V

TL/H/5692-6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# 54155/74155 Dual 2-Line-to-4-Line Decoder/Demultiplexer

| | Schottky TTL | | High-Speed TTL | | Low-power Schottky TTL | | Standard TTL | | Low-Power TTL | |
|---|---|---|---|---|---|---|---|---|---|---|
| | Device Tyqe | Package C P M CF | Device Type | Package C P M CF | Device Type | Package C P M CF | Device Type | Package C P M CF | Device Type | Package C P M CF |
| T. I. | | | | | SN54LS155 | J W | SN54154 | J W | | |
| | | | | | SN74LS155 | J N | SN74154 | J N | | |
| FAIRCHILD | | | | | FM54LS155/ FM93LS155 | X F | | X F | | |
| | | | | | FC74LS155/ FC93LS155 | X P F | FC74155 | X P | | |
| MOTOROLA | | | | | | | | | | |
| | | | | | SN74LS155 | P | N74155 | P | | |
| N. S. C. | | | | | DM54LS155 | J W | DM54155 | J W | | |
| | | | | | DM74LS155 | J N W | DM74155 | J N W | | |
| PHILIPS | | | | | N74LS155 | N | N74155 | N | | |
| SIGNETICS | | | | | | | S 54155 | F J B W | | |
| | | | | | | | N 74155 | B | | |
| SIEMENS | | | | | | | FLY151 | T | | |
| FUJITSU | | | | | 74LS155 | M | | | | |
| HITACHI | | | | | HD74LS155 | P | HD74155 | P | | |
| MITSUBISHI | | | | | M74LS155 | P | M 53355 | P | | |
| NEC | | | | | 74LS155 | C | MPB 2155 | C | | |
| TOSHIBA | | | | | | | | | | |

## Electrical Characteristics SN54LS155/SN74LS155

absolute maximum ratings over operating free-air temperature range

| | | | | |
|---|---|---|---|---|
| Supply voltage, $V_{CC}$ | 7 V | Operating free-air temperature range | SN54LS | −55 °C to 125 °C |
| Input voltage | 7 V | | SN74LS | 0 °C to 70 °C |
| | | Storage temperature range | | −65 °C to 150 °C |

recommended operating conditions

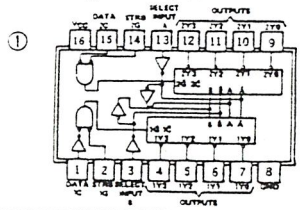
| | SN54LS155 MIN | NOM | MAX | SN74LS155 MIN | NOM | MAX | UNIT |
|---|---|---|---|---|---|---|---|
| Supply voltage, $V_{CC}$ | 4.5 | 5 | 5.5 | 4.75 | 5 | 5.25 | V |
| High-level output current, $I_{OH}$ | | | −400 | | | −400 | μA |
| Low-level output current, $I_{OL}$ | | | 4 | | | 8 | mA |
| Operating free-air temperature, $T_A$ | −55 | 125 | | 0 | | 70 | °C |

electrical characteristics over recommended operating free-air temperature range

| PARAMETER * | | TEST CONDITIONS † | | MIN | TYP ‡ | MAX | UNIT |
|---|---|---|---|---|---|---|---|
| $V_{IH}$ | High-level input voltage | | | 2 | | | V |
| $V_{IL}$ | Low-level input voltage | | | | | 0.8 | V |
| $V_I$ | Input clamp voltage | $V_{CC}$ = MIN, | $I_I$ = −18mA | | | −1.5 | V |
| $V_{OH}$ | High-level output voltage | $V_{CC}$ = MIN, $V_{IH}$ = 2 V, $V_{IL}$ = 0.8 V, | $I_{OH}$ = −400 μA | 2.7 | 3.4 | | V |
| $V_{OL}$ | Low-level output voltage | $V_{CC}$ = MIN, $V_{IH}$ = 2 V, $V_{IL}$ = 0.8 V, | $I_{OL}$ = 8mA | | 0.35 | 0.5 | V |
| $I_I$ | Input current at maximum input voltage | $V_{CC}$ = MAX, | $V_I$ = 7 V | | | 0.1 | mA |
| $I_{IH}$ | High-level input current | $V_{CC}$ = MAX, | $V_I$ = 2.7 V | | | 20 | μA |
| $I_{IL}$ | Low-level input current | $V_{CC}$ = MAX, | $V_I$ = 0.4 V | | | −0.4 | mA |
| $I_{OS}$ | Short-circuit output current § | $V_{CC}$ = MAX | 54LS155 | −5 | | −40 | mA |
| | | | 74LS155 | −5 | | −42 | |
| $I_{CC}$ | Supply current | $V_{CC}$ = MAX, See Note | 54LS155 | | 3.1 | 10 | mA |
| | | | 74LS155 | | 3.1 | 10 | |

| | | | | | | | |
|---|---|---|---|---|---|---|---|
| $t_{PLH}$ | from A, B, 2C, 1G, or 2G to output Y | LEVELS OF LOGIC | 2 | $V_{CC}$ = 5 V, $T_A$ = 25 °C, $C_L$ = 15 pF, $R_L$ = 2kΩ | 10 | 15 | ns |
| $t_{PHL}$ | | | 2 | | 19 | 30 | ns |
| $t_{PLH}$ | from A or B to output Y | | 3 | | 17 | 26 | ns |
| $t_{PLH}$ | | | 3 | | 19 | 30 | ns |
| $t_{PLH}$ | from 1C to output Y | | 3 | | 18 | 27 | ns |
| $t_{PHL}$ | | | 3 | | 18 | 27 | ns |

## Pin Assignment (Top View)




## Function Tables

2-LINE-TO-4-LINE DECODER
'155, 'LS155 OR 1-LINE-TO-4-LINE DEMULTIPLEXER

| INPUTS SELECT B | A | STROBE G | DATA C | OUTPUTS 0Y | 1Y | 2Y | 3Y |
|---|---|---|---|---|---|---|---|
| X | X | H | X | H | H | H | H |
| L | L | L | L | L | H | H | H |
| L | H | L | L | H | L | H | H |
| H | L | L | L | H | H | L | H |
| H | H | L | L | H | H | H | L |
| X | X | H | X | H | H | H | H |

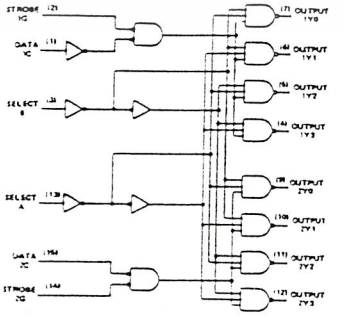
| INPUTS SELECT B | A | DATA 2G | OUTPUTS 2Y0 | 2Y1 | 2Y2 | 2Y3 |
|---|---|---|---|---|---|---|
| X | X | H | H | H | H | H |
| L | L | L | L | H | H | H |
| L | H | L | H | L | H | H |
| H | L | L | H | H | L | H |
| H | H | L | H | H | H | L |

3-LINE-TO-8-LINE DECODER
'25, 'LS155 OR 1-LINE-TO-8-LINE DEMULTIPLEXER

| INPUTS SELECT C | B | A | STROBE (OR DATA) G1 | G2* | OUTPUTS (0) 2Y0 | (1) 2Y1 | (2) 2Y2 | (3) 2Y3 | (4) 1Y0 | (5) 1Y1 | (6) 1Y2 | (7) 1Y3 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| X | X | X | H | X | H | H | H | H | H | H | H | H |
| L | L | L | L | L | L | H | H | H | H | H | H | H |
| L | L | H | L | L | H | L | H | H | H | H | H | H |
| L | H | L | L | L | H | H | L | H | H | H | H | H |
| L | H | H | L | L | H | H | H | L | H | H | H | H |
| H | L | L | L | L | H | H | H | H | L | H | H | H |
| H | L | H | L | L | H | H | H | H | H | L | H | H |
| H | H | L | L | L | H | H | H | H | H | H | L | H |
| H | H | H | L | L | H | H | H | H | H | H | H | L |

*G = inputs 1G and 2G connected together
H = high level, L = low level, X = irrelevant

## Functional Block Diagram




'155, 'LS155 DUAL 2-LINE-TO-4-LINE DECODER/DEMULTIPLEXER

NOTE: $I_{CC}$ is measured with outputs open, A, B, and 1C inputs at 4.5V, and 2C, 1G, and 2G inputs grounded.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# 54189／74189　64-Bit Ramdom-Access Memory with 3-State Output (64-Bit RAM)

| | Schottky TTL | | | | | High-Speed TTL | | | | | Low-Power Schottky TTL | | | | | Standard TTL | | | | | Low-Power TTL | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Device Type | Package C | P | M | CF | Device Type | Package C | P | M | CF | Devie Type | Package C | P | M | CF | Device Type | Package C | P | M | CF | Device Type | Package C | P | M | CF |
| T. I. | SN54S189 | J ① | | | W① | | | | | | | | | | | | | | | | | | | | |
| | SN74S189 | J ② | N① | | | | | | | | | | | | | | | | | | | | | | |
| FAIRCHILD | | | | | | | | | | | | | | | | | | | | | | | | | |
| MOTOROLA | | | | | | | | | | | | | | | | | | | | | | | | | |
| N. S. C. | DM54S189 | | ① | | | | | | | | | | | | | DM54189 | | ① | | | | | | | |
| | DM74S189 | | ① | | | | | | | | | | | | | DM74189 | | ① | | | | | | | |
| PHILIPS | | | | | | | | | | | | | | | | | | | | | | | | | |
| SIGNETICS | | | | | | | | | | | | | | | | | | | | | | | | | |
| SIEMENS | | | | | | | | | | | | | | | | | | | | | | | | | |
| FUJITSU | | | | | | | | | | | | | | | | | | | | | | | | | |
| HITACHI | | | | | | | | | | | | | | | | | | | | | | | | | |
| MITSUBISHI | | | | | | | | | | | | | | | | | | | | | | | | | |
| NEC | | | | | | | | | | | | | | | | | | | | | | | | | |
| TOSHIBA | | | | | | | | | | | | | | | | | | | | | | | | | |

## Electrica Characteristics SN54S189／SN74S189

### absolute maximum ratings over operating free-air temperature ranse

| | | | |
|---|---|---|---|
| Supply voltage, $V_{CC}$ | 7V | Operating free-air temperature range | SN54S1 −55°C to 125°C |
| Input voltage | 5.5V | | SN74S1 0°C to 70°C |
| Off-state output voltage | 5.5V | Storage temperature range | −65°C to 150°C |

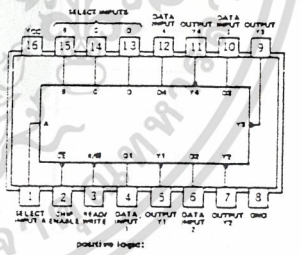
### recommended operbrating conditions

| | | SN54S189 MIN | NOM | MAX | SN74S189 MIN | NOM | MAX | UNIT |
|---|---|---|---|---|---|---|---|---|
| Supply voltage, $V_{CC}$ | | 4.5 | 5 | 5.5 | 4.75 | 5 | 5.25 | V |
| High-level output voltage, $I_{OH}$ | | | | −2 | | | −5.5 | V |
| Low-level output current, $I_{OL}$ | | | | 16 | | | 16 | mA |
| Width of write-enable pulse (read/write low), $t_w$ | | 25 | | | 25 | | | ns |
| Setup time, $t_{setup}$ | Address to read/write | 0↓ | | | 0↓ | | | ns |
| | Data to read/write | 25↑ | | | 25↑ | | | |
| | Chip enable to read/write | 0↓ | | | 0↓ | | | |
| Hold time, $t_{hold}$ | Address fromread/write | 0↑ | | | 0↑ | | | ns |
| | Data fromromread/write | 0↑ | | | 0↑ | | | |
| | Chip enable fromread/write | 0↑ | | | 0↑ | | | |
| Operating free-air temperature, $T_A$ | | −55 | | 125 | 0 | | 70 | °C |

### electrical characteristics over recommended operating free-air temperature range

| PARAMETER | | TEST CONDITIONS† | | MIN | TYP‡ | MAX | UNIT |
|---|---|---|---|---|---|---|---|
| $V_{IH}$ | High-level input voltage | | | 2 | | | V |
| $V_{IL}$ | Low-level input voltage | | | | | 0.8 | V |
| $V_I$ | Input clamp voltage | $V_{CC}$ = MIN, $I_I$ = −18mA | | | | −1.2 | V |
| $V_{OH}$ | High-level output voltage | SN54S' | $V_{CC}$ = MIN, $V_{IH}$ = 2V, $V_{IL}$ = 0.8V, $I_{OH}$ = MAX | 2.4 | 3.4 | | V |
| | | SN74S' | | 2.4 | 3.2 | | |
| $V_{OL}$ | Low-level output voltage | SN54S' | $V_{CC}$ = MIN, $V_{IH}$ = 2V, $V_{IL}$ = 0.8V, $I_{OL}$ = 16mA | | | 0.5 | V |
| | | SN74S' | | | | 0.45 | |
| $I_{OZH}$ | Off-state output current high-level voltage applied | $V_{CC}$ = MAX, $V_{IH}$ = 2V, $V_{IL}$ = 0.8V, $V_O$ = 2.4V | | | | 50 | μA |
| $I_{OZL}$ | Off-state output current low-level voltage applied | $V_{CC}$ = MAX, $V_{IH}$ = 2V, $V_{IL}$ = 0.8V, $V_O$ = 0.5V | | | | −50 | μA |
| $I_I$ | Input current at maximum input voltage | $V_{CC}$ = MAX, $V_I$ = 5.5V | | | | 1 | mA |
| $I_{IH}$ | High-level input current | $V_{CC}$ = MAX, $V_I$ = 2.7V | | | | 25 | μA |
| $I_{IL}$ | Low-level input current | $V_{CC}$ = MAX, $V_I$ = 0.5V | | | | −250 | μA |
| $I_{OS}$ | Short-circuit output current, ♦ | $V_{CC}$ = MAX | | −30 | | −100 | mA |
| $I_{CC}$ | Supply current | $V_{CC}$ = MAX, See Note | | | 75 | 110 | mA |
| $t_{PLH}$ | Access times from address | $V_{CC}$ = 5V, $T_A$ = 25°C, $C_L$ = 300F, $R_L$ = 280Ω. | SN54S' | | 25 | 50 | ns |
| | | | SN74S' | | 25 | 35 | |
| $t_{PLH}$ | | | SN54S' | | 25 | 50 | |
| | | | SN74S' | | 25 | 35 | |
| $t_{ZH}$ | Access times from chip enable | | SN54S' | | 12 | 25 | ns |
| | | | SN74' | | 12 | 17 | |
| $t_{ZL}$ | | | SN54S' | | 12 | 25 | |
| | | | SN74S' | | 12 | 17 | |
| $t_{ZH}$ | Sense recovery times from read/write | $V_{CC}$ = 5V, $T_A$ = 25°C, $C_L$ = 30pF, $R_L$ = 280Ω | SN54S' | | 22 | 40 | ns |
| $t_{ZL}$ | | | SN74S' | | 22 | 35 | |
| $t_{HZ}$ | | | SN54S' | | 22 | 40 | |
| | | | SN74S' | | 22 | 35 | |
| $t_{HZ}$ | Disable times from chip enable | $V_{CC}$ = 5V, $T_A$ = 25°C, $C_L$ = 5pF, $R_L$ = 280Ω | SN54S' | | 12 | 25 | ns |
| $t_{LZ}$ | | | SN74S' | | 12 | 17 | |
| | | | SN54S' | | 12 | 25 | |
| | | | SN74S' | | 12 | 17 | |
| $t_{HZ}$ | Disable times from read/write | | | | 12 | | ns |
| $t_{LZ}$ | | | | | 12 | | |

## Pin Assignment (Top View)

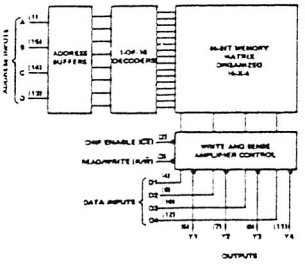



## Function Table

| FUNCTION | INPUTS CHIP ENABLE | INPUTS READ/WRITE | OUTPUT |
|---|---|---|---|
| Write (Store Complement of Data) | L | L | High Impedance |
| Read | L | H | Stored Data |
| Inhibit | H | X | High Impedance |

H = high level, L = low level, X = irrelevant

## Functional Block Diagram




$I_{CC}$ is measured with the read/write and chip-enable inputs grounded, all other inputs at 4.5V, and the outputs open.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
สำนักส่งเสริมคณะครุศาสตร์อุตสาหกรรม ศจศ.

# 54153 / 74153 Dual 4-Line-to-1-Line Data Selector/Multiplexer

| | Schottky TTL | | | | | High-Speed TTL | | | | | Low-Power Schottky TTL | | | | | Standard TTL | | | | | Low-Power TTL | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Device Type | Package C | P | M | CF | Device Type | Package C | P | M | CF | Device Type | Package C | P | M | CF | Device Type | Package C | P | M | CF | Device Type | Package C | P | M | CF |
| T.I. | SN54S153 | J(T) | | | W(T) | | | | | | SN54LS153 | J(T) | | | W(T) | SN54153 | J(T) | | | W(T) | SN54L153 | J(T) | | | |
| | SN74S153 | J(T) | N(T) | | | | | | | | SN74LS153 | J(T) | N(T) | | | SN74153 | J(T) | N(T) | | | SN74L153 | J(T) | N(T) | | |
| FAIRCHILD | | D(T) | | | | | | | | | FM54LS153/ FM94LS153 | D(T) | | | F(T) | FM54153/ FM93153 | D(T) | | | | | | | | |
| | FC74S153 | D(T) | P(T) | | | | | | | | FC74LS153/ FC94LS153 | D(T) | P(T) | | F(T) | FC74153/ FC93153 | D(T) | P(T) | | | | | | | |
| MOTOROLA | | | | | | | | | | | MC74LS153 | | P(T) | | | | | | | | | | | | |
| N.S.C. | DM54S153 | | N(T) | | | | | | | | DM54LS153 | | | J | | DM54153 | J(T) | | | W(T) | | | | | |
| | DM74S153 | | | | | | | | | | DM74LS153 | | | N | | DM74153 | J(T) | N(T) | | W(T) | | | | | |
| PHILIPS | N74S153 | | | | | | | | | | N74LS153 | | | D | | N74153 | | | | | | | | | |
| SIGNETICS | S54S153 | J(T) | | | W(T) | | | | | | | | | | | S54153 | F(T) | B(T) | | W(T) | | | | | |
| | N74S153 | J(T) | | | N(T) | | | | | | N74LS153 | | A(T) | | | N74153 | F(T) | B(T) | | | | | | | |
| SIEMENS | | | | | | | | | | | | | | | | FLY131 | | T | | | | | | | |
| FUJITSU | | | | | | | | | | | 74LS153 | | M(T) | | | | | | | | | | | | |
| HITACHI | HD74S153 | | P(T) | | | | | | | | HD74LS153 | | P(T) | | | HD74153/ HD2564 | | P(T) | | | | | | | |
| MITSUBISHI | M54S153 | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | P(T) | | | | | | | | M74LS153 | | P(T) | | | M53353 | | P(T) | | | | | | | |
| NEC | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | μPB2153 | | D(T) | | | | | | | |
| AMD | Am54S153 | | | | | | | | | | Am54LS153 | | | | | | | | | | | | | | |
| | Am74S153 | | | | | | | | | | Am74LS153 | | | | | | | | | | | | | | |

## Electrical Characteristics SN54LS153/SN74LS153

### absolute maximum ratings over operating free-air temperature range

| | | | | |
|---|---|---|---|---|
| Supply voltage, $V_{CC}$ | 7V | Operating free-air temperature range | SN54LS | −55°C to 125°C |
| Input voltage | 7V | | SN74LS | 0°C to 70°C |
| | | Storage temperature range | | −65°C to 150°C |

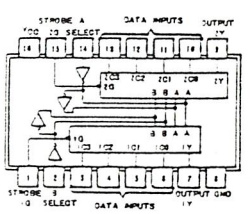
### recommended operating conditions

| | SN54LS153 MIN | NOM | MAX | SN74LS153 MIN | NOM | MAX | UNIT |
|---|---|---|---|---|---|---|---|
| Supply voltage, $V_{CC}$ | 4.5 | 5 | 5.5 | 4.75 | 5 | 5.25 | V |
| High-level output current, $I_{OH}$ | | | −400 | | | −400 | μA |
| Low-level output current, $I_{OL}$ | | | 4 | | | 8 | mA |
| Operating free-air temperature, $T_A$ | −55 | 25 | 125 | 0 | 25 | 70 | °C |

### electrical characteristics over recommend operating free-air temperature range

| PARAMETER * | | TEST CONDITIONS † | | MIN | TYP‡ | MAX | UNIT |
|---|---|---|---|---|---|---|---|
| $V_{IH}$ | High-level input voltage | | | 2 | | | V |
| $V_{IL}$ | Low-level input voltage | | | | | 0.8 | V |
| $V_I$ | Input clamp voltage | $V_{CC}$ = MIN, $I_I$ = −18mA | | | | −1.5 | V |
| $V_{OH}$ | High-level output voltage | $V_{CC}$ = MIN, $V_{IH}$ = 2V, $V_{IL}$ = 0.8V, $I_{OH}$ = −400μA | | 2.7 | 3.4 | | V |
| $V_{OL}$ | Low-level output voltage | $V_{CC}$ = MIN, $V_{IH}$ = 2V, $V_{IL}$ = 0.8V, $I_{OL}$ = 8mA | | | 0.35 | 0.5 | V |
| $I_I$ | Input current at maximum input voltage | $V_{CC}$ = MAX, $V_I$ = 7V | | | | 0.1 | mA |
| $I_{IH}$ | High-level input current | $V_{CC}$ = MAX, $V_I$ = 2.7V | | | | 20 | μA |
| $I_{IL}$ | Low-level input current | $V_{CC}$ = MAX, $V_I$ = 0.4V | | | | −0.4 | mA |
| $I_{OS}$ | Short-circuit output current * | $V_{CC}$ = MAX | SN54LS | −20 | | −100 | mA |
| | | | SN74LS | −20 | | −100 | |
| $I_{CCL}$ | Supply current, output low | $V_{CC}$ = MAX, See Note | SN54LS | | 5.2 | 10 | mA |
| | | | SN74LS | | 5.2 | 10 | |
| $t_{PLH}$ | from Data to output Y | $V_{CC}$ = 5V, $C_L$ = 30pF, $T_A$ = 25°C, $R_L$ = 2kΩ | | | 10 | 15 | ns |
| $t_{PHL}$ | | | | | 17 | 25 | |
| $t_{PLH}$ | from Select to output Y | | | | 19 | 29 | ns |
| $t_{PHL}$ | | | | | 25 | 38 | |
| $t_{PLH}$ | from Strobe to output Y | | | | 16 | 24 | ns |
| $t_{PHL}$ | | | | | 21 | 32 | |

### Pin Assignment (Top View)



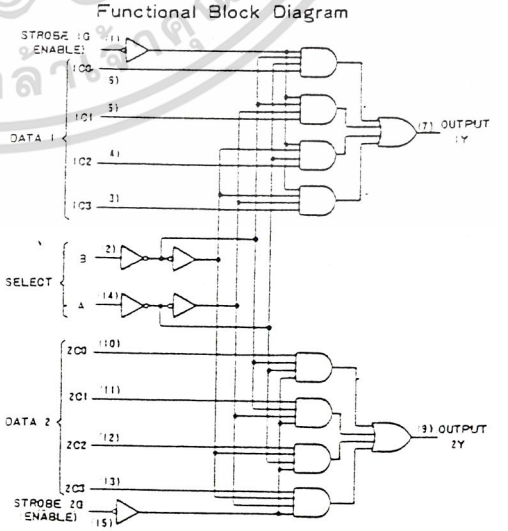

### Function Table

'153, 'S153, 'LS153, 'L153

| SELECT INPUTS B | A | DATA INPUTS C0 | C1 | C2 | C3 | STROBE G | OUTPUT Y |
|---|---|---|---|---|---|---|---|
| X | X | X | X | X | X | H | L |
| L | L | L | X | X | X | L | L |
| L | L | H | X | X | X | L | H |
| L | H | X | L | X | X | L | L |
| L | H | X | H | X | X | L | H |
| H | L | X | X | L | X | L | L |
| H | L | X | X | H | X | L | H |
| H | H | X | X | X | L | L | L |
| H | H | X | X | X | H | L | H |

Select inputs A and B are common to both sections.
H = high level, L = low level, X = irrelevant

### Functional Block Diagram




DUAL 4-LINE-TO-1-LINE DATA SELECTOR/MULTIPLEXER

NOTE: $I_{CCL}$ is measured with the outputs open and all inputs grounded.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้