



เครื่องรวมสัญญาณภาพ 4 ช่อง  
4 CHANNELS VIDEO MULTIPLEXER



โดย  
นาย ภัทรวุฒิ วิสุทธิสกุล  
นาย วุฒิชิงค์ เทอดสถาบัน  
นาย สุรียา สิทธีราช  
เลขเรียกหนังสือ.....พ. ๒๕๑๑ ๒๕๔๑  
เลขทะเบียน.....๐๔๐๓๘๙  
วัน เดือน ปี..... ๑๑ กค ๕๖

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต  
สาขาวิชาวิศวกรรมโทรคมนาคม  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
ปีการศึกษา ๒๕๔๑

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารที่ตรงที่มีการนำไปใช้

040389

เครื่องรวมสัญญาณภาพ 4 ช่อง  
4 CHANNELS VIDEO MULTIPLEXER



ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต  
สาขาวิชาวิศวกรรมโทรคมนาคม  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
ปีการศึกษา 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญาานิพนธ์ปีการศึกษา 2541

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องรวมสัญญาณภาพ 4 ช่อง

4 CHANNELS VIDEO MULTIPLEXER

ผู้จัดทำ

1. นาย ภัทรวุฒิ วิสุทธิสกุล 39013052

2. นาย วุฒิชิงค์ เทอดสถาบัน 39013058

3. นาย สุริยา สิริธราษ 39013064



อาจารย์ที่ปรึกษา

(ศศ. เกรียงไกร วงศ์โรจน์ภรณ์)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรวมสัญญาณภาพ 4 ช่อง

(4 CHANNELS VIDEO MULTIPLEXER)

โดย นายภัทรวุฒิ วิสุทธิสกุล 39013052

นายวุฒิพงษ์ เทอดสถาบัน 39013058

นายสุริยา สิทธิราช 39013064

อาจารย์ที่ปรึกษา ผศ.เกรียงไกร วงศ์โรจน์ภรณ์

### บทคัดย่อ

ในการทำ โปรเจ็ค ครั้งนี้เป็นการใช้งานเครื่องรับโทรทัศน์ให้สามารถแสดงภาพได้ 4 ภาพในจอเดียวกัน โดยการนำสัญญาณภาพรวม (Composite Video) จากแหล่งสัญญาณต่างๆ 4 แหล่งเช่น จากเอาต์พุตที่เป็นสัญญาณรวมของวิดีโอเทป กล้องวิดีโอ ป้อนเข้าไปในช่อง AV ของเครื่องรับโทรทัศน์ ภาพที่ได้จากสัญญาณ 4 แหล่งนี้จะถูกแสดงออกมาเป็น 4 ภาพ ซึ่งพื้นที่ที่ใช้ในการแสดงภาพจากแต่ละแหล่งนี้จะมีขนาดเท่ากับ  $\frac{1}{4}$  ของพื้นที่ของจอภาพทั้งหมด

เราสามารถนำโครงการนี้ไปใช้ประโยชน์ต่างๆ เช่นในการรักษาความปลอดภัยและความบันเทิง

### Abstract

This project multiplexes 4 television channels from 4 picture sources. The picture source can be from the camera or output of cassette video or any video source. The one video signal is displayed only  $\frac{1}{4}$  of the picture. This project has the limitation that the output will be in AV channel only.

We can apply this project to use in many kind of works such as for a security or entertainment.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญ

เรื่อง	หน้า
บทที่ 1 บทนำ	1
1.1 ความเป็นมาของโครงการ	1
1.2 วัตถุประสงค์ของโครงการ	1
1.3 ขอบเขตของโครงการ	1
บทที่ 2 ทฤษฎีและหลักการ	2
2.1 ทฤษฎีโทรทัศน์	2
2.1.1 องค์ประกอบภาพ	2
2.1.2 การสแกน	2
2.1.3 การสร้างสัญญาณโทรทัศน์	4
2.1.4 การสร้างภาพหน้าจอโทรทัศน์	6
2.2 การแปลงสัญญาณอะนาลอกเป็นดิจิทัล	7
2.3 การแปลงสัญญาณดิจิทัลเป็นอะนาลอก	11
บทที่ 3 การคำนวณและการสร้าง	14
3.1 แนวความคิดในการออกแบบ	14
3.2 แนวความคิดในการออกแบบระบบ	14
3.3 ลักษณะการเก็บข้อมูลภาพดิจิทัล	15
3.4 ลักษณะการรวมภาพและการจัดการข้อมูล	16
3.5 ระบบเครื่องรวมสัญญาณภาพ	17
3.6 โครงสร้างและการทำงานของระบบ	17
บทที่ 4 การทดลองและผลการทดลอง	22
บทที่ 5 บทวิจารณ์และสรุป	32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.14 ภาพที่ได้จากสัญญาณวิดีโอ	29
รูปที่ 4.15 ภาพแสดงสัญญาณ 1 ช่อง	29
รูปที่ 4.16 ภาพแสดงสัญญาณ 2 ช่อง	30
รูปที่ 4.17 ภาพแสดงสัญญาณ 3 ช่อง	30
รูปที่ 4.18 ภาพแสดงสัญญาณ 4 ช่อง	31



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 1

### บทนำ

#### 1.1 ความเป็นมาของโครงการ

ในการประกอบกิจกรรมต่างๆ เราจำเป็นที่จะลดต้นทุนการผลิตลงให้มากที่สุด โดยยังคงรักษาประสิทธิภาพของหน่วยงานไว้ให้ได้เหมือนเดิม เพื่อให้กิจการนั้นได้รับผลกำไรสูงสุด จากโครงการนี้เราจะทำการนำสัญญาณภาพจาก 4 แหล่งมาแสดงผลออกมาทางโทรทัศน์เพียงเครื่องเดียว นั่นคือจะช่วยให้เกิดความประหยัดขึ้น โดยที่ไม่จำเป็นต้องใช้โทรทัศน์ 4 เครื่องในการแสดงผลสัญญาณภาพจาก 4 แหล่ง การนำโครงการนี้ไปประยุกต์ใช้ก็ขึ้นอยู่กับหน่วยงานต่างๆ ของกิจการนั้นๆ นำไปใช้ให้เกิดประโยชน์สูงสุดและเหมาะสมที่สุด

การนำสัญญาณภาพจาก 4 แหล่งมาแสดงผลทางโทรทัศน์เพียงจอเดียวจำเป็นต้องมีวงจร เพื่อจัดการกับสัญญาณภาพจากทั้ง 4 แหล่งมาวางลงบนตำแหน่งบนหน้าจอโทรทัศน์ 1 จออย่างเหมาะสม โดยจะนำสัญญาณภาพซึ่งเป็นสัญญาณอะนาลอกจากทั้ง 4 แหล่งมาทำการเปลี่ยนให้เป็นสัญญาณดิจิทัลเก็บเอาไว้ ก่อนที่จะเปลี่ยนกลับเป็นสัญญาณอะนาลอกส่งออกไปแสดงผลทางหน้าจอโทรทัศน์ 1 จอ โดยมีการจัดเรียงอย่างเป็นระเบียบ

#### 1.2 วัตถุประสงค์ของโครงการ

1. เพื่อออกแบบและสร้างเครื่องรวมสัญญาณภาพ
2. เพื่อศึกษารูปแบบของสัญญาณโทรทัศน์
3. เพื่อศึกษาการเปลี่ยนสัญญาณอะนาลอกเป็นสัญญาณดิจิทัลและการเปลี่ยนสัญญาณดิจิทัลเป็นสัญญาณอะนาลอก
4. เป็นแนวทางในการนำสัญญาณภาพไปประยุกต์ใช้งาน

#### 1.3 ขอบเขตของโครงการ

โครงการนี้จะเป็นการออกแบบและสร้างเครื่องรวมสัญญาณภาพ โดยการนำสัญญาณภาพจาก 4 แหล่งมาแสดงผลออกทางจอโทรทัศน์เพียงจอเดียว ซึ่งมีขนาดเป็น 2 X 2 มีความละเอียดของจอภาพ 512 X 512 จุด แต่ละจุดภาพมีความแตกต่างกัน 256 ระดับ และสัญญาณภาพเป็นสัญญาณขาวดำระบบพาล (PAL) และต้องเป็นสัญญาณคอมโพสิท วิดีโอ (Composite Video)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 2

### ทฤษฎีและหลักการ

#### 2.1 ทฤษฎีโทรทัศน์

##### 2.1.1 องค์ประกอบภาพ

หากตัดภาพจากหนังสือพิมพ์มาสักภาพหนึ่ง และขยายให้ใหญ่ขึ้นด้วยกล้องหรือแว่นขยาย จะพบว่าม็องค์ประกอบมาจากจุดสีขาวและจุดสีดำมากมายเรียงกันประกอบขึ้นเป็นภาพ จุดเหล่านี้เองที่เรียกว่าองค์ประกอบภาพ หรือพิกเจอร์ อีลีเมนต์ (Picture Element) หรือพิกเซล (Pixel)

ในการทำงานเดียวกัน ภาพที่ปรากฏทางจอโทรทัศน์ ประกอบด้วยเส้นขวางเล็กๆ ในแนวนอนรวมกันอยู่ เส้นเหล่านี้เราได้มาจากการกวาดลำแสง (Scan) เส้นสแกนเหล่านี้เองที่เราจัดว่าเป็นองค์ประกอบภาพ

ปัจจุบันส่วนที่เรียกว่าองค์ประกอบภาพได้ถูกนำไปใช้งานอย่างเป็นจริงมากขึ้น ในโทรทัศน์หรือเครื่องเล่นวีดีโอคาสเซ็ทเร็คคอร์ด จะมีการนำเอาพิกเซลเหล่านี้เก็บไว้ในหน่วยความจำ เพราะพิกเซลเท่านั้นที่ระบบดิจิทัลจะจัดการข้อมูลได้ เราจะพบวิธีการนี้ในโทรทัศน์ระบบดิจิทัล, โทรทัศน์ระบบคอมพิวเตอร์, โทรทัศน์จอภาพแอลซีดี ฯลฯ

##### 2.1.2 การสแกน

จากองค์ประกอบภาพที่ได้กล่าวมาแล้วคอนตัน เครื่องส่งจะรับภาพแล้วเปลี่ยนพลังงานแสงเป็นพลังงานไฟฟ้าส่งเป็นจุดขาวดำมา เครื่องรับจะรับเอาสัญญาณนี้มาเรียงกันใหม่ โดยการกวาดเป็นเส้นภาพขึ้นที่หน้าจอ วิธีการนี้เราเรียกว่า การสแกน โดยตัวที่มีหน้าที่สำคัญคือจอภาพหรือหลอดภาพนั่นเอง หลอดภาพมีโครงสร้างคล้ายหลอดสุญญากาศทั่วไปที่ปล่อยอิเล็กตรอนออกมาจากแคโทดแล้วจะมีการดึงลำอิเล็กตรอนให้วิ่งไปเป็นลำกระทบเข้ากับอานโนดหรือหน้าจอ ครงหน้าจอนั้นมีการฉาบสารเรืองแสงไว้เพื่อให้เกิดการเรืองแสงของจอ

การสแกนมี 2 วิธีคือ การสแกนแบบก้าวหน้า (Progressive Scanning) กับ การสแกนแบบสลับเส้น (Interlaced Scanning)

การที่จะทำให้การสแกนมีความต่อเนื่องขององค์ประกอบภาพดังที่กล่าวมาแล้ว จะต้องคำนึงถึงหลัก 3 ประการคือ

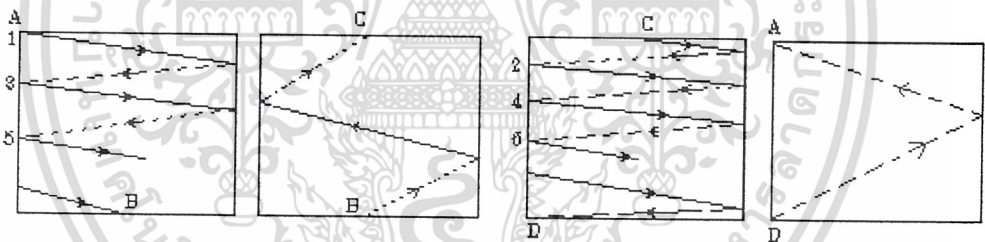
1. ลำอิเล็กตรอนที่กวาดไปทางแนวนอน (Horizontal Scanning) ในแต่ละครั้งจะต้องสามารถครอบคลุมองค์ประกอบภาพทั้งหมดของเส้นนั้นๆ
2. ในแต่ละเส้นของการสแกนลำอิเล็กตรอน ลำแสงจะต้องกวาดกลับด้วยความเร็วสูงไปยังด้านซ้าย เพื่อเริ่มต้นเส้นภาพลำถัดต่อไป เวลาของการสลับกลับเรียกว่า รีเทรซ (Retrace) ในกรณีนี้จะต้องไม่มีสัญญาณภาพใดๆ เพราะว่าจะทึงกล้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ในขณะที่เส้นสแกนสลับกลับมาเพื่อเริ่มต้นทางซ้ายใหม่ ตำแหน่งทางแนวตั้งจะต้องต่ำกว่าตำแหน่งเดิม เพื่อให้การสแกนเส้นต่อไปไม่ทับกัน ทั้งนี้โดยการควบคุมสัญญาณทางแนวตั้ง ( Vertical Scanning)

การสแกนที่ใช้ในเครื่องรับโทรทัศน์ ถึงแม้ว่าหากให้มีการเรียงภาพเกินกว่า 16 ภาพต่อวินาทีแล้ว สายตาจะเห็นเป็นภาพที่ต่อเนื่องจากการทดลองสแกนเส้นพบว่า แม้ภาพที่เกิดขึ้นจะเกิดขึ้น 24 ภาพต่อวินาทีแล้วก็ตาม ยังมีการกระพริบ (Flicker) เกิดขึ้น เนื่องจากการสแกนเริ่มจากขอบด้านล่าง (ซึ่งคล้ายกับการเขียนหนังสือที่เริ่มจากซ้ายไปขวา, บนลงล่าง) เมื่อสแกนลงมาถึงขอบด้านล่าง แสงทางด้านบนในความรู้สึกของมนุษย์เริ่มมีลดลงกว่าด้านล่าง เวลาที่ลำแสงการสแกนวกกลับไปด้านบน ด้านล่างก็เกิดปัญหาเช่นเดียวกัน ความรู้สึกต่อกรณีนี้คือเกิดแสงกระพริบหรือวูบวาบขึ้น จึงต้องใช้การสแกนสลับเส้นหรือที่เรียกว่า การสแกนแบบสอดแทรก โดยครึ่งแรกจะสแกนฟิลด์คี่ (Odd line Trace) และต่อไปจะสแกนฟิลด์คู่ ( Even line Trace) เป็นการสแกนแบบเส้นเว้นเส้น นั้นหมายความว่า ภาพ 1 เฟรม (Frame) จะต้องใช้การสแกนทางแนวตั้งถึง 2 ครั้งหรือ 2 ฟิลด์

ตามมาตรฐานซีซีไออาร์ (CCIR) ใช้เส้นสแกน 625 เส้นต่อ 1 ภาพ และใช้ภาพ 25 ภาพต่อวินาที ดังนั้นใน 1 ฟิลด์จะมีเส้นสแกน 312.5 เส้น ภาพหนึ่งแต่ละภาพซึ่งเป็นส่วนประกอบขององค์ประกอบภาพ จะเกิดขึ้นใน 1/25 วินาที ความถี่ที่ใช้ในการหักเห ลำโวลตรอนในแนวนอนจึงได้จากจำนวนเส้นภาพ 625 เส้นคูณกับจำนวนภาพในแต่ละเฟรม เราจึงหาความถี่ได้จาก  $625 \times 25$  เท่ากับ 15625 เฮิรตซ์



รูปที่ 2.1 การสแกนแบบสอดแทรก

จากรูปที่ 2.1 ได้แสดงวิธีการของการสแกนแบบสอดแทรกของระบบโทรทัศน์ ที่ใช้กันอยู่ปัจจุบัน โดยเมื่อเริ่มต้นการสแกน สมมติว่าการเริ่มสแกนในกรณีนี้เริ่มจากการสแกนจากเฟรมที่เป็นเส้นสแกนคี่ โดยเริ่มจาก A ซึ่งอยู่ทางซ้ายแล้วกวาดไปทางขวา นับเป็นเส้นที่ 1 แล้วจึงสแกนเส้นที่ 3, 5, 7, 9 และต่อไป จนกระทั่งได้ 312.5 เส้น ในระบบซีซีไออาร์ ซึ่งก็คือสแกนมาถึงจุด B ดังในภาพ ฉ จุดนี้การสแกนจะถูกความถี่หักเหทางแนวตั้ง ที่เรียกว่า “เวอร์ติคัลรีเทรซ” ดึงกลับไปยังตำแหน่งในจุด C เพื่อเริ่มต้นการสแกนในเส้นคู่ต่อไป

เวลาในการรีเทรซ ทั้งทางเวอร์ติคัลและฮอริซอนตัลจะเป็นเวลาสั้นๆ ถึงอย่างไรก็ตาม ก็ไม่ต้องการให้เส้นสแกนที่เป็นช่วงของการสลับกลับนี้เข้ามารบกวนการทำให้เกิดสัญญาณภาพ ในส่วนนี้เอกสารนี้จึงต้องยกเว้นสลับกลับ ก่อนที่จะกล่าวถึงจุดที่ว่านั้น มาดูรายละเอียดของการสลับกลับในส่วนของการอาร์ค้ำไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กวาดล้างแสง หรือการสแกนในทางแนวนอน เวลาของการรีเทรชจะได้ประมาณ 10-16 % ของเวลาทั้งหมด ในระบบซีซีไออาร์ใช้เวลาในการสแกนเท่ากับ 64 ไมโครเซคชั่น ดังนั้นเวลาของการรีเทรชจะได้ประมาณ 6.4 ไมโครเซคชั่น ในส่วนของทางด้านความถี่หักเหทางแนวตั้ง ใช้เวลาในการรีเทรชไม่เกิน 5-8 % อย่างเช่นเราใช้เวลาในส่วนนี้เท่ากับ 3 % ของเวลา 1/50 วินาที ดังนั้นเวลาของการรีเทรชจึงเท่ากับ 600 ไมโครเซคชั่น นั้นหมายความว่าในช่วงเวลาการรีเทรชทางแนวตั้งกินเวลานานกว่าการสแกนทางแนวนอนประมาณ 8-10 เส้นภาพ

จากหลักการดังกล่าวสามารถสรุปหลักเกณฑ์บางอย่างได้ว่าตามความเป็นจริงแล้วในเส้นภาพ 525 เส้นหรือ 625 เส้นนั้นมิอาจจะเห็นได้ครบทุกเส้น อย่างน้อยๆ ในกรณีที่เกิดเวอติคัลรีเทรชจะกินเวลาของการสแกนทางแนวนอนไปด้วย แต่จะกินไปที่เส้นนั้น ขึ้นอยู่กับสัญญาณการบังคับปลายเบ็ค ซึ่งในเครื่องรับเรียกตัวนี้ว่า สัญญาณแบลนคิง ( Blanking )

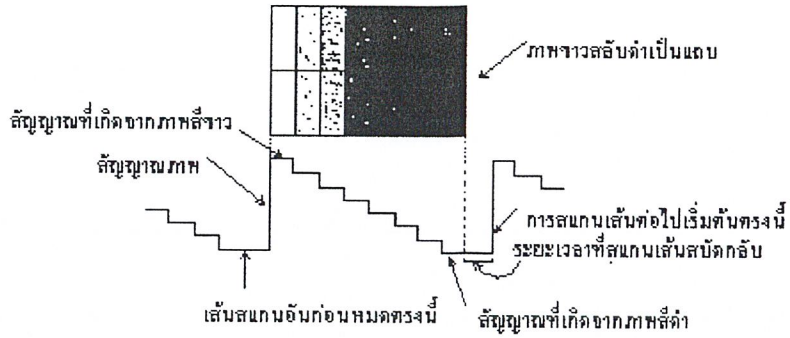
### 2.1.3 การสร้างสัญญาณโทรทัศน์

สัญญาณรายละเอียดภาพ ซึ่งเป็นแรงดันกระแสลับที่แปรเปลี่ยนค่าไปตามความสว่างของภาพที่ได้ออกมาจากหลอดเก็บสัญญาณภาพนั้น จะต้องถูกส่งไปพร้อมกับสัญญาณควบคุมตำแหน่งภาพและลบเส้นสับคลับซึ่งสร้างจากวงจรชุดสร้างความถี่ ได้แก่ สัญญาณควบคุมตำแหน่งภาพทางแนวนอนซึ่งเรียกว่าสัญญาณซอริซอนคัลซิงค์ (Horizontal Synchronous) สัญญาณลบเส้นสับคลับทางแนวนอนที่เรียกว่า สัญญาณซอริซอนคัลแบลนคิง (Horizontal Blanking) สัญญาณควบคุมตำแหน่งภาพทางแนวตั้ง เรียกว่า สัญญาณเวอติคัลซิงค์ (Vertical Synchronous) สัญญาณลบเส้นสับคลับทางแนวตั้ง เรียกว่า สัญญาณเวอติคัลแบลนคิง (Vertical Blanking) และสัญญาณที่ทำหน้าที่รักษารูปร่างของสัญญาณเวอติคัลซิงค์ เรียกว่า อีควอลไลซิงพัลส์ (Equalizing Pulse)

สัญญาณภาพขาว-ดำสมมติว่า ต้องการจะดูระดับขาว-ดำ กรณีที่จะกล่าวถึงสัญญาณขาว-ดำ หรือสัญญาณ โมโน โครม ได้ดีที่สุด ต้องกล่าวว่าภาพที่เป็นสีขาวคือภาพที่มีความสว่างมากที่สุด และภาพที่เป็นสีดำ คือภาพที่ไม่มีแสงเลย ภาพจำลองที่ดีที่สุดของกรณีนี้คือ แถบภาพที่มีความแตกต่างของระดับขาวดำที่น้อยที่เรียกว่า ระดับเกรย์สเกล นั่นเอง

จากรูปที่ 2.2 แสดงให้เห็นระดับของเกรย์สเกลในกรณีที่ระดับของสัญญาณภาพเป็นสัญญาณสีขาวเข้ามามีความหมายว่าระดับความแรงของสัญญาณภาพมากที่สุดจึงให้ความส่องสว่างที่หน้าจอสว่างมากที่สุด และเมื่อระดับสัญญาณสีขาวลดลงเป็นสีม่วง,เทา และดำ นั้น ระดับสัญญาณจะลดลงมาเรื่อยๆ นั้นหมายความว่า เมื่อสัญญาณมีความแรงน้อยความส่องสว่างจะน้อยตามลงไปด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

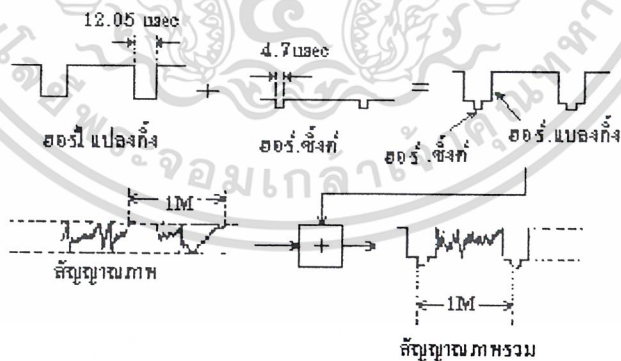


รูปที่ 2.2 แสดงสัญญาณขาว-ดำ โดยเกรย์สเกล

อันที่จริงแล้วภาพแต่ละภาพ เป็นสัญญาณความถี่ทางไฟฟ้าที่มีความถี่สูงต่ำไม่เท่ากัน โดยความถี่สูงที่สุดจะไม่เกิน 5 เมกะเฮิร์ตซ์ในระบบซีซีไออาร์. ภาพที่เกิดจากความถี่สูงย่อมมีความละเอียดกว่าความถี่ต่ำ ( มีจำนวนจุดดำมากกว่า )

สัญญาณฮอริซอนตัลซิงค์ คือแรงดันช่วงสั้นๆ (พัลส์) ประมาณ 4.7 ไมโครเซคชั่น เป็นสัญญาณที่มีระดับแรงดันต่ำที่สุด (ต่ำกว่าจุดคัทออฟของหลอดภาพ) ส่งไปยังเครื่องรับเพื่อเป็นสัญญาณอ้างอิงในการสร้างความถี่ของวงจรสร้างสัญญาณเบี่ยงเบนทางแนวนอนที่สร้างขึ้นที่สถานีส่ง ตำแหน่งของภาพที่เกิดขึ้นหน้าจอเครื่องรับจึงถูกต้องตรงกับตำแหน่งของภาพที่ปรากฏที่เครื่องส่งทางแนวนอน ซึ่งเป็นจังหวะที่ไม่มีสัญญาณภาพ

สัญญาณฮอริซอนตัลแบลนคิงคิง คือ ค่าแรงดันที่มีระดับสูงกว่าฮอริซอนตัลซิงค์ ประมาณ 25-30% มีช่วงเวลาประมาณ 12.05 ไมโครเซคชั่น โดยค่าแรงดันนี้จะอยู่ในระดับคัทออฟของหลอดภาพ



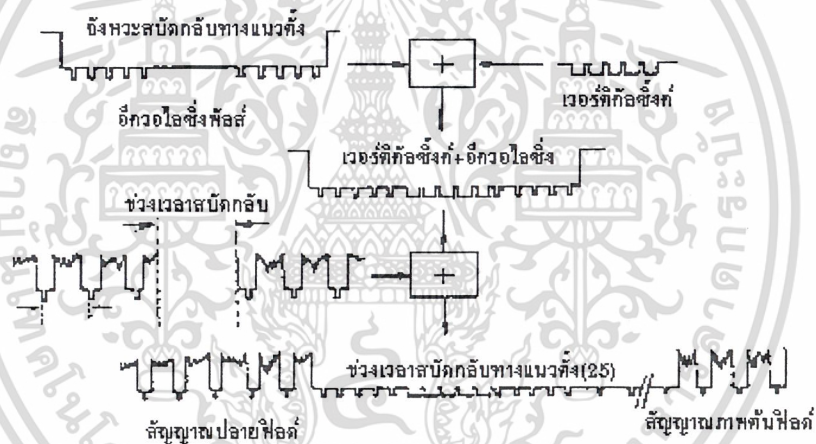
รูปที่ 2.3 แสดงสัญญาณฮอริซอนตัลซิงค์และฮอริซอนตัลแบลนคิงและการรวมกับสัญญาณภาพ

สัญญาณเวอร์ติคัลซิงค์ คือสัญญาณที่มีระดับแรงดันเท่ากับสัญญาณฮอริซอนตัลซิงค์ แต่ช่วงเวลาในการเกิดแรงดันนั้นจะนานกว่าฮอริซอนตัลซิงค์ คือแบ่งออกเป็นช่วงๆ 5 ช่วง (5 พัลส์) แต่ละช่วงเกิดนานประมาณ 29 ไมโครเซคชั่น และเว้นระยะห่างกัน 4.7 ไมโครเซคชั่น ส่งไปยังเครื่องรับเพื่อเป็นไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณอ้างอิงสำหรับวงจรเบี่ยงเบนทางแนวตั้ง เพื่อสร้างความถี่ออกมาได้จึงหวนคล้องจองกับสัญญาณเบี่ยงเบนทางแนวตั้งที่สร้างขึ้นที่เครื่องส่ง ตำแหน่งภาพที่จอเครื่องรับจึงถูกต้องตรงกับตำแหน่งภาพที่เครื่องส่งทางแนวตั้ง สัญญาณนี้จะส่งรวมกับสัญญาณภาพมาในจังหวะสลับกลับทางแนวตั้ง ซึ่งเป็นจังหวะที่ไม่มีสัญญาณภาพ

อิกวอไลซิงฟิล์ม คือ ฟิล์มช่วงเวลาสั้นๆ ประมาณฟิล์มละ 2.35 ไมโครเซคชั่น จำนวน 2 ชุด ชุดละ 5 ฟิล์ม เติมลงไปนำหน้าและตามหลังเวอริคัลซิงค์ เพื่อรักษารูปร่างและช่วงเวลาของเวอริคัลซิงค์ให้สมบูรณ์ขณะที่แยกออกจากฮอริซอนคัลซิงค์ อันจะทำให้การสอกรแทรกสัญญาณภาพลงไปเปลี่ยนแปลงความสว่างของราสเตอร์แต่ละฟิล์มให้เป็นอย่างถูกต้อง

เวอริคัลเบลนดคั้ง เป็นแรงดันที่ส่งไปทำให้หลอดภาพลัทออฟในช่วงเวลาสลับกลับทางแนวตั้ง เพื่อทำให้มองไม่เห็นแสงที่เกิดจากการที่ล่ออิเล็กตรอนวิ่งจากขอบจอด้านล่างขึ้นไปยังขอบจอด้านบนในจังหวะสลับกลับทางแนวตั้ง ซึ่งมีช่วงเวลาประมาณ 25 เส้นสแกนทางแนวนอน ด้วยเหตุนี้สัญญาณจึงส่งรวมกับสัญญาณภาพ โดยเติมลงไปตรงจังหวะสลับกลับทางแนวตั้งของสัญญาณภาพ ซึ่งเป็นจังหวะที่ไม่มีสัญญาณรายละเอียดภาพ

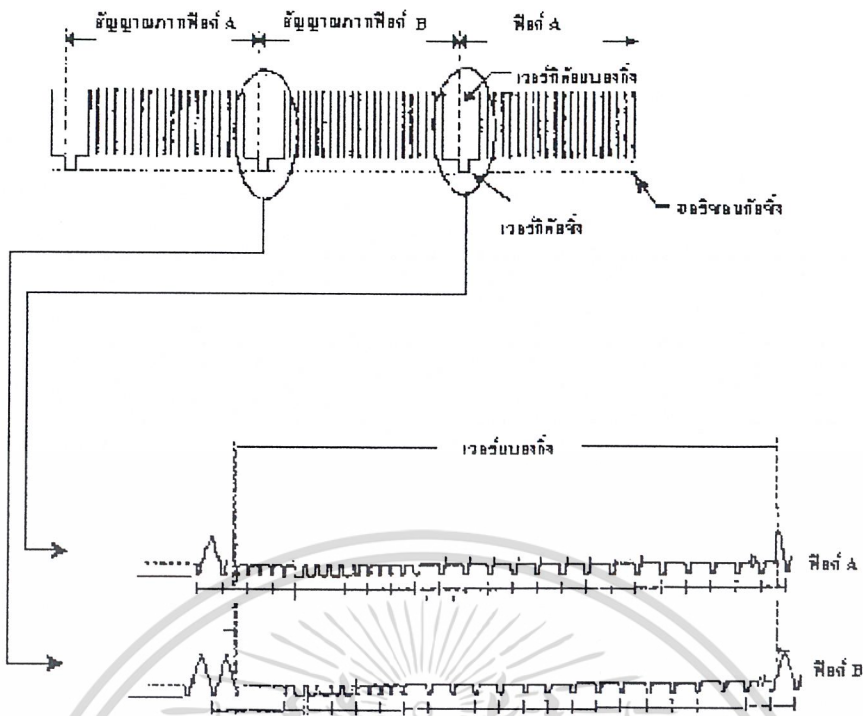


รูปที่ 2.4 แสดงสัญญาณเวอริคัลซิงค์และเวอริคัลเบลนดคั้งและการเติมลงไปนสัญญาณภาพแต่ละฟิล์ม

#### 2.1.4 การสร้างภาพหน้าจอโทรทัศน์

สัญญาณภาพจากสถานีโทรทัศน์ถูกส่งมาเป็นชุดๆ แต่ละชุดเรียกว่า สัญญาณ 1 ฟิล์ม ซึ่งประกอบด้วยรายละเอียดของสัญญาณภาพจำนวน 312.5 เส้น (รวมจังหวะสลับกลับทางแนวตั้งด้วย) อันเป็นอัตราเดียวกับการกวาดของราสเตอร์แต่ละเส้นเปลี่ยนแปลงความสว่างเกิดเป็นภาพที่สมบูรณ์ปรากฏขึ้น 1 ภาพ ในเวลา 1/25 วินาที (อัตราการเกิดภาพที่หน้าจอเครื่องรับโทรทัศน์เท่ากับ 25 ภาพต่อวินาที)

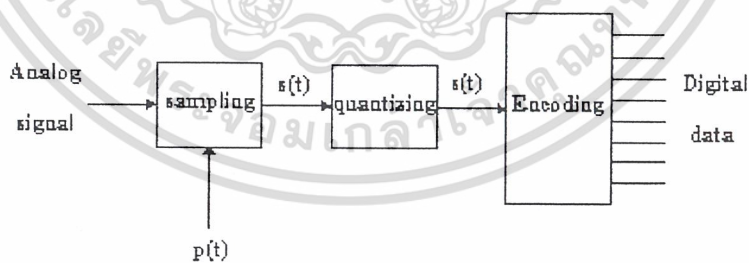
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 รายละเอียดสัญญาณพ็อดและสัญญาณควบคุมช่วงเวอรืคค้อมบงกั

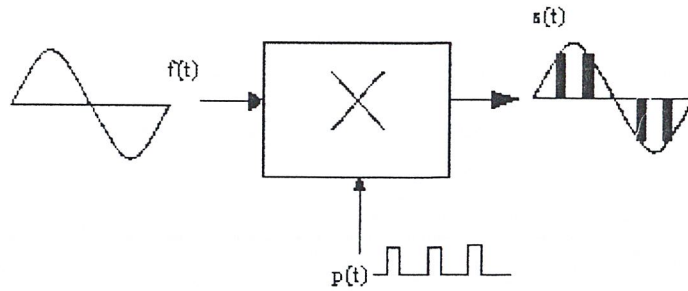
## 2.2 การแปลงสัญญาณอะนาลอกเป็นดิจิตอล

เนื่องจากในการที่จะแบ่งสัญญาณภาพออกเป็นส่วนๆนั้น การกระทำทางอะนาลอก (Analog) ทำได้ยากมากจึงจำเป็นต้องแปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิตอล (Analog to Digital Converter : A/D) ก่อนแล้วจึงนำมาจัดการข้อมูลได้ซึ่งวิธีการแปลงสัญญาณจะมีหลักการทั่วไปดังรูป 2.6



รูปที่ 2.6 แสดงบล็อกโคอะแกรมของการเปลี่ยนสัญญาณอะนาลอกเป็นดิจิตอล

ซึ่งส่วนประกอบที่สำคัญที่สุดคือ การแซมปลิง (Sampling) เพราะความผิดพลาดของสัญญาณดิจิตอล ที่แปลงมาจากสัญญาณอะนาลอกนั้น จะมากหรือน้อยขึ้นอยู่กับความสัมพันธ์ของความถี่แซมปลิง กับ ความถี่สูงสุดของสัญญาณอะนาลอก โดยมีทฤษฎีที่เกี่ยวข้องคือ ทฤษฎีการแซมปลิง (Sampling Theory) ซึ่งความสัมพันธ์ตามทฤษฎีการแซมปลิง จะสังเกตได้ง่ายจากรูปคลื่นไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 แสดงการแอมพลิจูด

จากรูปที่ 2.7 จะได้  $S(t) = P(t) \times f(t)$

เมื่อเราตั้งเกดค  $P(t)$  ซึ่งเป็นพัลส์ (Pulse) ที่เหลี่ยม ถ้านำมาเขียนเป็นสมการฟูเรียร์ (Fourier) ได้ดังนี้

$$P(t) = DC + a_0 \cos \omega_0 t + a_1 \cos 3 \omega_0 t + a_2 \cos 5 \omega_0 t + \dots \dots \dots \infty$$

คือ  $P(t)$  ประกอบด้วยความถี่พื้นฐานรวมกับ (Harmonics) ที่เป็นเลขคี่ไปจนถึง  $\infty$  และถ้าเราคูณ  $P(t)$  ด้วย  $S(t)$

$$S(t) = f(t)DC + (a_0 \cos \omega_0 t)f(t) + (a_1 \cos 3 \omega_0 t)f(t) + \dots \dots \dots f(t)\infty$$

เมื่อพิจารณาความถี่ที่ 2 พบว่ามีรูปแบบเหมือนแอมพลิจูดมอดูเลชัน (A.M)

โดย  $f(t) = B \cos \omega_m t$

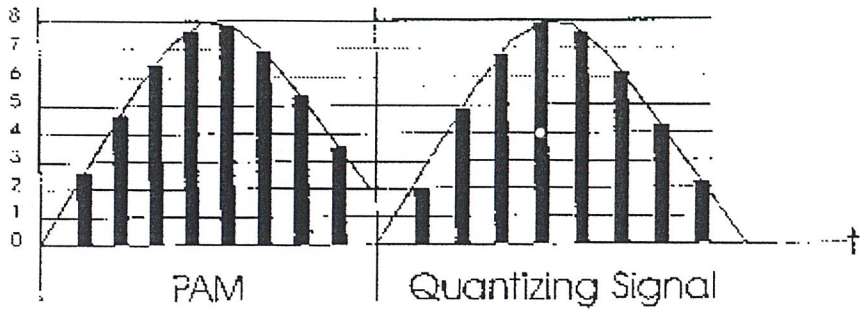
$$f(t) a_0 \cos \omega_0 t = (Ba_0/2) \cos (\omega_0 - \omega_m)t + (Ba_0/2) \cos (\omega_0 + \omega_m)t$$

ซึ่งความถี่ คือ ความถี่  $\omega_0$  ที่ใช้สำหรับแอมพลิจูดและการดีเทค (Detect) สัญญาณคลื่นมาจะ ใช้วงจรกรองความถี่ต่ำ (Low Pass Filter) กรองเอาเฉพาะ  $f(t)DC$  ออกมาเท่านั้นซึ่งถ้าหาก  $\omega_0$  มีค่าน้อยกว่า 2 เท่า ของ  $\omega_m$  แล้วจะทำให้มีความถี่ซึ่งเป็นผลต่างของ  $\omega_0 - \omega_m$  เข้ามาแทรกใน  $f(t)DC$  ด้วย ซึ่งจะมีผลให้สัญญาณที่ดีเทค กลับคืนมามีความผิดพลาด ดังนั้นจึงต้องเลือก  $\omega_0$  หรือความถี่แอมพลิจูดให้มีค่ามากกว่า 2 เท่า ของความถี่สูงสุดของสัญญาณก่อนที่จะมีการแอมพลิจูดหรือ  $\omega_m$  ซึ่งสัญญาณที่ได้ ออกมาจากภาคแอมพลิจูดนี้เรียกว่า พัลส์แอมพลิจูดมอดูเลชัน หรือ พีเอเอ็ม (Pulse Amplitude Modulation : PAM)

ส่วนภาคควอนไทซ์ (Quantizing) นั้น เป็นการจัดระดับของสัญญาณพีเอเอ็ม ซึ่งอาจมีระดับที่ไม่แน่นอนทำให้ไปอยู่ในระดับที่แน่นอน ซึ่งในขั้นตอนนี้ก็จะมีผลผิดพลาดจากการจัดระดับอยู่ เรียกว่า ควอนไทซ์เออร์เรอร์ (Quantizing Error) ซึ่งจะมีค่ามากหรือน้อยขึ้นอยู่กับว่าเราแบ่งระดับของสัญญาณได้ละเอียดเพียงใด ในโครงการนี้ใช้การแบ่งระดับ 256 ระดับ ซึ่งพอเพียงสำหรับสัญญาณภาพแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนำไปเผยแพร่โดยไม่ได้รับอนุญาต

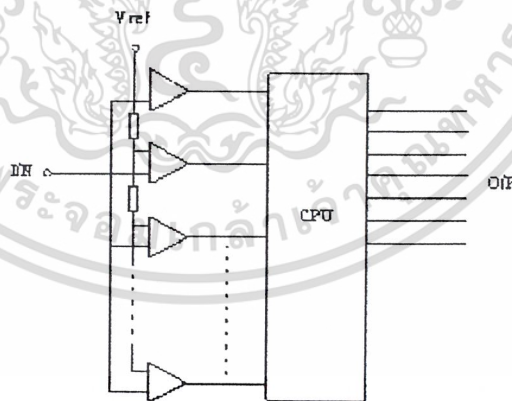
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 ลักษณะสัญญาณภาค ควอน ไตซิง

จากรูปที่ 2.8 คือลักษณะสัญญาณของภาค ควอน ไตซิง และข้อผิดพลาดของสัญญาณเมื่อได้รับสัญญาณควอน ไตซิง แล้วก็จะนำไปเข้าวงจรเข้ารหัส ให้เป็นสัญญาณดิจิทัล ซึ่งมี 2 ระดับคือ 0 กับ 1 เท่านั้น จากการแบ่งเป็น 256 ระดับเมื่อคิดเป็นฐาน 2 แล้วจะได้ข้อมูล 8 บิต โดยกำหนดให้ระดับต่ำสุดของสัญญาณควอน ไตซิง (Quantizing Signal) เท่ากับ 1111 1111 ดังนั้นข้อมูลที่ออกมาจะเป็นสัญญาณดิจิทัล ที่มีค่าตามระดับที่ตั้งไว้

แฟลช เอนูติ (Flash A/D) คือ วงจรเอนูติ (Analog to Digital) ที่มีความรวดเร็วสูงในการเปลี่ยนสัญญาณ เนื่องจากวงจร แฟลช เอนูติ นั้นจะใช้ การ โปรแกรมเอาต์พุตไว้ก่อนแล้ว ส่วนวงจรเปรียบเทียบจะใช้โอปแอมป์ ที่มีจำนวนเท่ากับจำนวนของสัญญาณเอาต์พุต ที่จะเกิดขึ้น เช่น ถ้าสัญญาณเอาต์พุตเป็นสัญญาณดิจิทัล 8 บิต จะใช้โอปแอมป์เท่ากับ 2 ยกกำลัง 8 เท่ากับ 256 ตัว ซึ่งแต่ละตัวก็จะมีแรงดันอ้างอิง ที่เป็นค่าคงที่อยู่ค่าหนึ่ง ตามระดับของสัญญาณ ดังรูปที่ 2.9

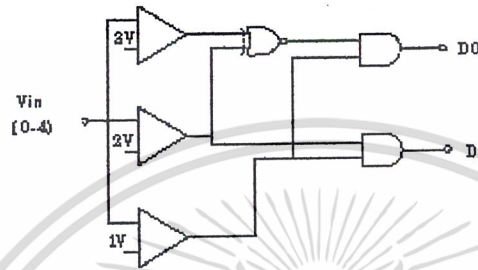


รูปที่ 2.9 วงจรแฟลชเอนูติ

เมื่อมีระดับสัญญาณอินพุตเข้ามา จะถูกส่งไปให้กับ โอปแอมป์ทุกตัว เพื่อเปรียบเทียบกับแรงดันอ้างอิงของแต่ละตัว ถ้าสัญญาณอินพุตไปตรงกับโอปแอมป์ตัวใด ก็จะทำให้สัญญาณเอาต์พุตออกมา เอกสารนี้ ส่งไปให้กับวังจรประมวลผล เพื่อค้นหาค่าของสัญญาณดิจิทัล สัญญาณเอาต์พุตให้ได้ตามค่าของไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณอินพุตที่ส่งเข้ามา ซึ่งการเปลี่ยนสัญญาณในรูปแบบนี้ไม่ต้องใช้วงจรนับ แล้วป้อนกลับมาเปรียบเทียบกับที่ละค่า จึงทำให้ความเร็วในการเปลี่ยนสัญญาณสูงมากกว่าแบบแรกมาก จึงเหมาะที่จะนำมาใช้กับสัญญาณภาพ ซึ่งมีความถี่สูง ในโครงงานนี้จึงใช้ เอบูติ แบบเฟลช ซึ่งเป็นไอซีเบอร์ CA3318C ของบริษัท HARRIS ส่วนรายละเอียดของไอซีเบอร์นี้อยู่ในภาพผนวก

หรือจะเรียก เฟลช เอบูติ ว่าเป็น open loop converter เนื่องจากไม่มีสัญญาณป้อนกลับ (Feedback) กลับไปยังอินพุต ตัวอย่างของหลักการ เฟลช เอบูติ แสดงดังรูป 2.10



รูปที่ 2.10 หลักการของเฟลชเอบูติ

จากรูป ใช้ลอจิกเกตเป็นวงจรเปลี่ยนระดับสัญญาณอินพุต ให้เป็นสัญญาณดิจิทัล โดยเริ่มจากเมื่อมีอินพุต 0 โวลต์เข้ามา จะทำให้เอาต์พุตทุกตัวของคอมพาราเตอร์ (Comparator) เป็น "0" ทั้งหมด และเมื่อผ่าน เอ็กคูซิฟเนอร์เกต (Ex-NOR) จะทำให้เอาต์พุตเป็น "1" ไปเข้าแอนด์เกต 1 เป็น "0" และแอนด์เกต 2 เป็น จะมีอินพุตเป็น 0 0 ดังนั้น  $D1 = "0"$  เพราะฉะนั้นที่ระดับ 0 โวลต์ เอาต์พุตของ เอบูติ = 0 0 เมื่อ  $V_{in} = 1$  โวลต์ จะทำให้เอาต์พุตของคอมพาราเตอร์ ตัวที่ 1 เป็น "1" ไปแอนด์กับ เอาต์พุตของเอ็กคูซิฟเนอร์เกต ซึ่งเป็น "1" ทำให้ได้  $D0 = "1"$  ส่วน  $D1$  ได้จากการแอนด์กันของ เอาต์พุตคอมพาราเตอร์ ตัวที่ 1 กับตัวที่ 2 เป็น 1 0 ดังนั้นเอาต์พุต  $D1 = "0"$  เพราะฉะนั้นที่ระดับ  $V_{in} = 2$  โวลต์ จะทำให้ เอาต์พุตของคอมพาราเตอร์ตัวที่ 1 กับตัวที่ 2 เป็น "1" ทำให้เอาต์พุต  $D1 = "1"$  ส่วน  $D0 = "0"$  เพราะฉะนั้นเอาต์พุตของ เอบูติ = 1 0 และเมื่อ  $V_{in} = 3$  โวลต์ จะทำให้เอาต์พุตของ คอมพาราเตอร์ ทุกตัวเป็น "1" ดังนั้นเมื่อผ่านลอจิกเกตจะได้เอาต์พุต เป็น 1 1 ซึ่งข้อดีของวงจร เฟลชเอบูติ คือมีความสามารถในการเปลี่ยนสัญญาณได้เร็วมาก แต่ข้อเสียคือ จะต้องใช้จำนวนคอมพาราเตอร์ มากกว่า 2 เท่า เมื่อต้องการเพิ่มบิต 1 บิต หรือถ้าเป็นสมการจะได้ จำนวนออพแอมป์  $= 2^n - 1$  ตัว โดยที่  $n$  คือจำนวนบิต

$$2 \text{ บิต} = 3 \text{ ตัว}$$

$$3 \text{ บิต} = 7 \text{ ตัว}$$

$$4 \text{ บิต} = 15 \text{ ตัว}$$

$$5 \text{ บิต} = 31 \text{ ตัว}$$

$$6 \text{ บิต} = 63 \text{ ตัว}$$

$$7 \text{ บิต} = 122 \text{ ตัว}$$

$$8 \text{ บิต} = 255 \text{ ตัว}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาเอกสารฉบับนี้อีก 8 บิต = 255 ตัว

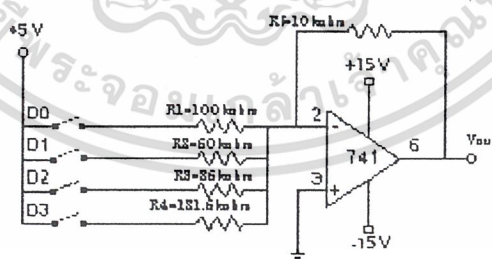
ดังนั้นเมื่อเราใช้สัญญาณดิจิทัล 8 บิต ต้องใช้คอมพิวเตอร์ถึง 256 ตัว ซึ่งจะทำให้อุปกรณ์มีราคาสูงมาก ทั้งหมดคือหลักการของการแปลงสัญญาณอะนาลอกไปเป็นสัญญาณดิจิทัล ซึ่งในโครงการนี้ใช้ไอซี (IC) สำเร็จรูปเบอร์ CA 3318 C เป็นตัวแปลง ซึ่งคุณสมบัติที่เด่นของ ไอซีเบอร์นี้คือ มีอัตราการแซมปลิง (Sampling Rate) สูงถึง 15 เมกะเฮิรตซ์ ทำให้สามารถใช้กับสัญญาณภาพได้โดยตรง ส่วนรายละเอียดและวงจรนั้นจะกล่าวถึงในบทต่อไป

### 2.3 การแปลงสัญญาณดิจิทัลเป็นอะนาลอก

การแปลงสัญญาณดิจิทัลเป็นอะนาลอก (Digital to Analog Converter : D/A) เป็นการนำเอาสัญญาณดิจิทัลที่มีอยู่ 2 ระดับคือ “0” กับ “1” นำมาผ่านวงจรดีพูเอ และออกมาเป็นสัญญาณอะนาลอก ซึ่งวงจรดีพูเอที่เป็นพื้นฐานและที่นิยมใช้กันอยู่ทั่วไปมี 3 แบบคือ

#### 1. แบบใช้ตัวต้านทานหลายค่า (Binary Weighted resistor D/A Converter)

วงจรเปลี่ยนสัญญาณชนิดนี้ ใช้ตัวต้านทานต่างๆ และออปแอมป์เพื่อเปลี่ยนระดับสัญญาณลอจิก 2 ระดับ เป็นแรงดันที่ได้สัดส่วนกัน รูปที่ 2.11 แสดงวงจรเปลี่ยนสัญญาณดิจิทัลขนาด 4 บิต ออปแอมป์ที่ใช้มีอัตราการขยายสูง (โดยทั่วไปจะสูงกว่า 100,000 เท่า) มีความต้านทานทางเอาต์พุตต่ำ ความต้านทานทางอินพุตมีค่าสูงมาก เมื่อเปลี่ยนการปิด-เปิดสวิตช์ไปเรื่อยๆ ก็จะเหมือนกับการป้อนลอจิกเข้าไป ซึ่งจะทำให้ได้แรงดันเอาต์พุตค่าต่างๆ กัน ในการคำนวณหาค่าแรงดันที่ออกทางเอาต์พุตนั้น สามารถคำนวณแบบออปแอมป์ได้แรงดันทางเอาต์พุตจะเพิ่มขึ้นเป็นระดับๆ เหมือนขั้นบันได ดังนั้นอินพุต 4 บิต จึงทำให้ระดับแรงดันทางเอาต์พุต 16 ระดับ (2 ยกกำลัง 4) แต่ละระดับต่างกัน  $-0.5$  โวลต์ อาจจะกำหนดระยะห่างของแต่ละระดับได้ โดยการเปลี่ยนขนาดของ  $R_f$  แต่ถ้า  $R_f$  มีค่ามากเกินไป ระดับบนสุดจะขับออปแอมป์ถึงจุดอิ่มตัว (ที่แรงดัน  $-14$  โวลต์)

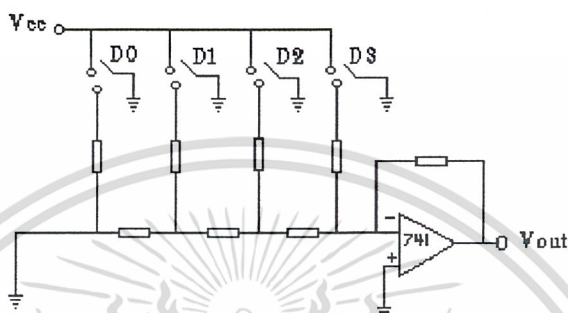


รูปที่ 2.11 แสดงตัวอย่างวงจรการเปลี่ยนสัญญาณขนาด 4 บิต

#### 2. แบบใช้ตัวต้านทาน 2 ค่า (R/2R Ladder D/A Converter)

เมื่อวงจรดีพูเอมีขนาดมากกว่า 4 บิต วงจรตามรูปที่ 1 จะเกิดปัญหาเนื่องจากต้องการความต้านทานที่มีช่วงกว้างมาก วิธีนี้จะใช้หลักการแบบไบนารีเวคเหมือนกัน แต่ใช้ค่าความต้านทานไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทานเพียง 2 ค่า ดังแสดงในรูปที่ 2.12 ซึ่งกระแสถูกเปลี่ยนเป็นค่าแรงดัน โดยออปแอมป์และตัวต้านทานป้อนกลับ  $R_f$  เหมือนวงจรในรูปที่ 1 วิธีนี้เรียกว่า การใช้ความต้านทาน 2 ค่า ซึ่งค่าความต้านทานที่ใช้เป็นอัตราส่วนที่คำนวณได้ง่าย ซึ่งการคำนวณนั้นเหมือนกับการคำนวณออปแอมป์ธรรมดาแม้ว่าคือทูลเอคอนเวอร์เตอร์แบบ R/2R แคลคูลัสจะวิเคราะห์ยากกว่าแบบตัวต้านทานหลายเท่า แต่จะง่ายกว่าสำหรับการต่อวงจรให้ถูกต้อง เพราะต้องใช้ค่าความต้านทานเพียง 2 ค่าเท่านั้นการเพิ่มจำนวนบิตก็จะทำได้โดยการเพิ่มส่วนของ R/2R ลงไป



รูปที่ 2.12 แสดงตัวอย่างวงจรดีทิวเอ แบบ R/2R

### 3. แบบใช้ไอซี (Monolithic and Hybrid D/A converter)

โมนอลิธิค (Monolithic) หมายถึง “หินก้อนเดียว” เมื่อนำไปใช้ในวงจรรวม จะเป็นการซับซ้อนกว่า วงจรฯ หนึ่งถูกบรรจุอยู่ในสารกึ่งตัวนำเพียงชิ้นเดียว ส่วนไฮบริด (Hybrid) บรรจุสารกึ่งตัวนำที่เรียกว่า ชิพ (Chip) เพียงชิ้นเดียวหรือมากกว่ามีตัวต้านทานหรือตัวประกอบวงจรอื่นๆ อยู่ในกรอบของไอซีตัวเดียว

สำหรับใน โรงงานนี้จะใช้ วงจรแปลงดิจิทัลเป็นอะนาลอกแบบใช้ไอซี ซึ่งวงจรภาพในไอซีนั้นจะเป็นแบบ R/2R แคลคูลัสซึ่งจะกล่าวถึงรายละเอียดในบทต่อไป

#### 2.3.1 ลักษณะของคุณสมบัติของ ดีทิวเอ

ลักษณะของคุณสมบัติของการแปลงสัญญาณดิจิทัลเป็นอะนาลอก กำหนดได้เป็นข้อๆ ดังนี้คือ

1. ความละเอียด (Resolution) ขึ้นอยู่กับจำนวนบิตทางด้านอินพุต ตัวอย่างเช่น วงจรเปลี่ยนสัญญาณ 8 บิต มีระดับเอาต์พุต 2 ยกกำลัง 8 หรือ 256 ระดับ ดังนั้นความละเอียด 1/256 ความละเอียดบางครั้งคิดเป็นเปอร์เซ็นต์ คือ 0.39 %
2. ความถูกต้อง (Accuracy) คือ ความถูกต้องจากการเปรียบเทียบระหว่างเอาต์พุตจริงและเอาต์พุตที่ปรากฏโดยคิดที่เต็มสเกล ถ้าวงจรเปลี่ยนสัญญาณมีเอาต์พุตเต็มสเกล 10 โวลต์ มีความถูกต้อง +0.2 % และ -0.2 % ดังนั้นความผิดพลาดสูงสุดคือ  $0.002 \times 10$  โวลต์ หรือ 20 มิลลิโวลต์ ในทางทฤษฎีแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งหากนำไปใช้

- ความถูกต้องของวงจรเปลี่ยนสัญญาณดิจิทัลเป็นอนาลอกไม่ควรต่ำกว่า  $+0.5\%$  และ  $-0.5\%$  ของค่าที่มีนัยสำคัญต่ำสุด (LSB)
3. โมโนโทนิค (Monotonicity) จะเรียกว่าเป็น โมโนโทนิค ก็คือเมื่อไม่มีการกระโดดข้ามขั้นตอนช่วงการใช้งาน
  4. เวลาเซตเอาต์พุต (Output setting time) เป็นเวลาที่เอาต์พุตของวงจรเปลี่ยนสัญญาณใช้ในการเพิ่มขึ้นถึง  $+1/2$  และ  $-1/2$  ของบิตที่มีนัยสำคัญต่ำสุดหลังจากมีการเปลี่ยนแปลงทางอินพุต ถ้าวงจรเปลี่ยนสัญญาณถูกใช้งานช่วงความถี่สูง อาจทำให้มีการเพิ่มแรงดันไม่ถึงค่าที่ถูกต้องทำให้เกิดความผิดพลาดขึ้นได้อีกประการหนึ่ง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การคำนวณและการสร้าง

3.1 แนวความคิดในการออกแบบ

จุดมุ่งหมายของการออกแบบสร้างเครื่องรวมสัญญาณภาพ คือการทำให้ภาพมีขนาดเล็กลง โดยนำเอาภาพที่ปกติแสดงบนจอภาพ โทรทัศน์ 1 จอภาพ มาย่อให้เล็กลงแล้วรวมทั้ง 4 ภาพให้มีขนาดเท่าเดิม เพื่อนำกลับไปแสดงบนจอภาพโทรทัศน์ ภาพที่ปรากฏใน 1 จอภาพจะมีรูปภาพทั้งหมด 4 ภาพ

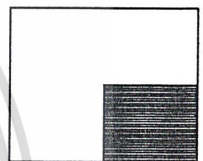
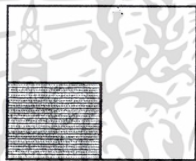


ภาพบนจอ โทรทัศน์

ภาพที่ถูกย่อส่วน

ภาพบนจอ โทรทัศน์

ภาพที่ถูกย่อส่วน



ภาพบนจอ โทรทัศน์

ภาพที่ถูกย่อส่วน

ภาพบนจอ โทรทัศน์

ภาพที่ถูกย่อส่วน



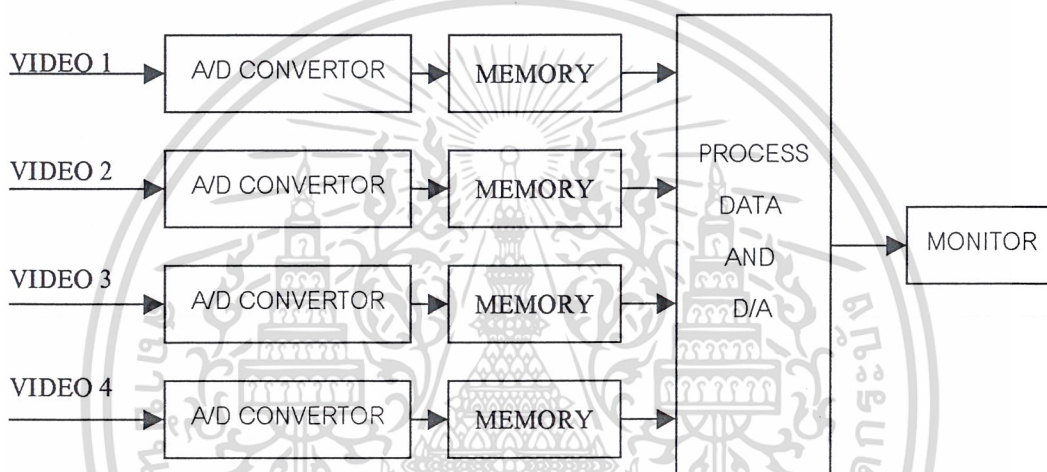
ภาพที่ถูกนำมารวมกัน

รูปที่ 3.1 แสดงแนวความคิดพื้นฐาน

3.2 แนวความคิดในการออกแบบระบบ

ปกติแล้วภาพที่แสดงบนจอภาพ โทรทัศน์เกิดจากการเปลี่ยนแปลงระดับของสัญญาณภาพ (Video signal) ดังนั้น ถ้าหากควบคุมสัญญาณภาพได้ ก็สามารถควบคุมการแสดงผลภาพที่หน้าจอภาพได้เช่นกัน เนื่องจากสัญญาณภาพเป็นสัญญาณอะนาลอก การเข้าไปควบคุมและจัดการกับสัญญาณ โดยตรงมีเอกสารนี้ ความยุ่งยากวิธีการที่คิดว่าจะนำไปได้และมีความยุ่งยากน้อยกว่า คือการนำเอาสัญญาณภาพอะนาลอกไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลอกมาทำการเปลี่ยนให้อยู่ในรูปของข้อมูลทางดิจิทัลแล้วจัดเก็บไว้ในหน่วยความจำ ซึ่งเหมือนกับว่า องค์ประกอบภาพของจอภาพที่ตำแหน่งต่างๆ ถูกแทนที่ด้วยข้อมูลในหน่วยความจำ เมื่อสัญญาณภาพถูกแปลงเป็นสัญญาณดิจิทัลและจัดเก็บลงหน่วยความจำแล้ว กระบวนการต่อมาคือ การจัดการกับข้อมูลดิจิทัลที่ได้ให้เป็นไปตามที่ต้องการ การกระทำนี้กับข้อมูลภาพดิจิทัล จะเสมือนไปกระทำกับสัญญาณภาพอะนาลอกหรือเป็นการทำให้ภาพที่ปรากฏบนจอภาพเปลี่ยนแปลงนั่นเอง ทั้งนี้เพราะว่าในขบวนการต่อมาเป็นการนำเอาข้อมูลภาพดิจิทัลมาสร้างเป็นสัญญาณภาพอะนาลอกอีกครั้งหนึ่ง หากไม่มีการเปลี่ยนแปลงข้อมูลเมื่อทำการแปลงสัญญาณกลับคืนมาแล้วจะได้ภาพที่เหมือนเดิม แต่ถ้าหากข้อมูลถูกเปลี่ยนไปภาพที่ได้ก็จะเปลี่ยนแปลงตามไปด้วย ซึ่งสามารถเขียนรูปแสดงแนวความคิดและบล็อกไดอะแกรมพื้นฐานของเครื่องจัดแบ่งสัญญาณภาพ



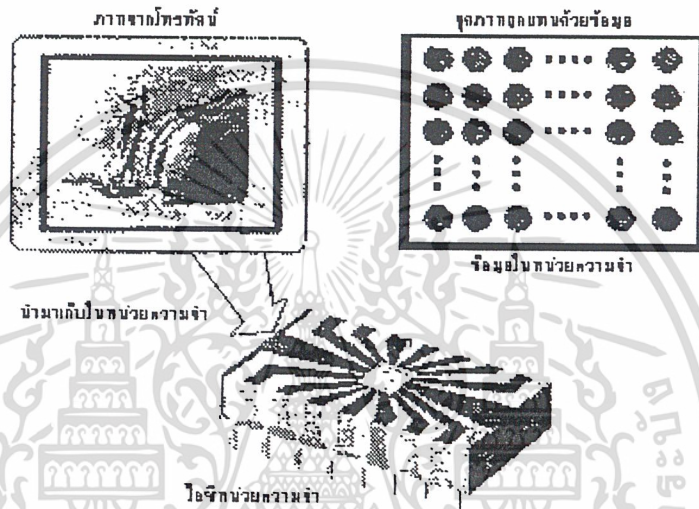
รูปที่ 3.2 แนวความคิดและบล็อกไดอะแกรมพื้นฐาน

### 3.3 ลักษณะการเก็บข้อมูลภาพดิจิทัล

สัญญาณภาพอะนาลอกถูกเปลี่ยนให้เป็นข้อมูลภาพดิจิทัล โดยการใช้ขบวนการ พิชีเอ็ม (PCM : Pulse Code Modulation) ดังนั้นคุณภาพของภาพหลังจากทำการแปลงแล้วขึ้นอยู่กับ 2 ตัวแปร คือความถี่ที่ใช้ในการสุ่มสัญญาณ จะเป็นตัวกำหนดความละเอียดของภาพ หากใช้ความถี่สูง ภาพที่ได้มีความละเอียดสูงกว่าที่ใช้ความถี่ต่ำ ส่วนอีกตัวแปรหนึ่งคือ จำนวนบิตที่นำมาใช้แทนระดับของสัญญาณภาพในแต่ละจุด ซึ่งแต่ละจุดเมื่อแปลงกลับคืนเป็นภาพแล้วจะสามารถแสดงความชัดเจนได้แค่ไหนก็ขึ้นอยู่กับจำนวนบิต หากจำนวนบิตที่นำมาแทนระดับของสัญญาณภาพมีจำนวนมาก ทำให้การแทนระดับสัญญาณอะนาลอกด้วยข้อมูลภาพดิจิทัลมีความผิดพลาดน้อย เมื่อแปลงเป็นสัญญาณอะนาลอกก็จะได้สัญญาณที่แทบจะไม่แตกต่างจากเดิม แต่หากจำนวนบิตที่ใช้มีค่าน้อยเกินไปแล้วจะทำให้เกิดการผิดเพี้ยนของสัญญาณ ความชัดเจนของภาพแต่ละจุดก็น้อยลงเช่นกัน แต่อย่างไรก็ตามปริมาณของข้อมูลดิจิทัลจะมากขึ้นตามความละเอียดและชัดเจนของภาพด้วย นั่นคือต้องมีหน่วยความจำขนาดใหญ่เพื่อเก็บข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับใช้ในวงการศึกษาเท่านั้น ไม่สามารถนำไปเผยแพร่โดยไม่แจ้งขออนุญาต  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เหล่านี้ ซึ่งการจับเก็บข้อมูลดิจิทัลต้องมีความเร็วทันกับที่สัญญาณอะนาลอกถูกแปลง ข้อมูลภาพที่ได้จึงสมบูรณ์ สำหรับวิธีการจับเก็บข้อมูลภาพลงหน่วยความจำมีอยู่หลายวิธีและหลายรูปแบบ แต่ในโครงการที่ออกแบบมีแนวความคิดที่ให้การจับเก็บข้อมูลภาพดิจิทัลเลียนแบบการแสดงผลบนจอภาพโทรทัศน์ ทั้งนี้เพราะว่าทำให้เห็นภาพจริงของข้อมูลและไม่สับสนในการออกแบบ วิธีนี้จะมองพื้นที่ของหน่วยความจำให้เห็นเป็นจอภาพ เพื่อแทนจุดบนจอภาพด้วยข้อมูลในหน่วยความจำที่ตำแหน่งตรงกัน



รูปที่ 3.3 การจับเก็บข้อมูล

#### 3.4 ลักษณะการรวมภาพและการจัดการข้อมูล

เมื่อสัญญาณภาพอะนาลอกที่แสดงได้ 1 จอภาพถูกแปลงเป็นข้อมูลดิจิทัลและจัดเก็บลงหน่วยความจำแล้ว หากนำข้อมูลในหน่วยความจำนี้ไปทำการแปลงกลับเป็นสัญญาณอะนาลอกจะได้ภาพที่สมบูรณ์แสดงได้ 1 จอภาพเช่นเดิม แต่จุดมุ่งหมายของโครงการไม่ได้อยู่ตรงจุดนี้ ดังนั้นข้อมูลดิจิทัลจึงต้องผ่านขบวนการย่อขนาดภาพก่อนการจับเก็บข้อมูล และลักษณะของการย่อก็จะกำหนดการเก็บโดย 2 จุด (Divel) จะเก็บเพียง 1 จุด (Pixel) และ 2 เส้น (Line) จะเก็บเพียง 1 เส้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1	1	1	1	1	1		1	1
2	2	2	2	2	2		2	2
3	3	3	3	3	3		3	3
4	4	4	4	4	4		4	4
5	5	5	5	5	5		5	5
6	6	6	6	6	6		6	6
7	7	7	7	7	7		7	7
8	8	8	8	8	8		8	8
9	9	9	9	9	9		9	9
10	10	10	10	10	10		10	10
11	11	11	11	11	11		11	11
12	12	12	12	12	12		12	12

**N** คือ เส้นภาพ  
**M** คือ จุดภาพ

รูปที่ 3.4 แสดงตำแหน่งของจุดภาพ

ในการอ่านข้อมูลจากหน่วยความจำใน 1 เส้น ของสัญญาณที่เก็บจะถูกอ่านหมดก่อนที่จะหมดภายในครึ่งเส้นของจอภาพ ดังนั้นใน 1 เส้น ของจอโทรทัศน์จะแสดงได้ 2 เส้น ของหน่วยความจำ ในกรณีนี้ก็สามารถอธิบายหลักการของการแสดงผลจำนวนเส้นภาพทั้งหมดใน 1 จอภาพได้เช่นเดียวกัน โดย 1 ภาพของหน่วยความจำจะถูกอ่านหมดภาพในครึ่งจอภาพ เมื่อเรารวมการแสดงผลของจุด และเส้นภาพ จะสามารถแสดงผลภาพได้ 2\*2 ภาพ

3.5 ระบบเครื่องรวมสัญญาณภาพ

ในโครงการนี้ได้ออกแบบให้เครื่องรวมสัญญาณภาพ ให้สามารถรวมภาพได้ 4 ภาพ สัญญาณภาพจะถูกสุ่มสัญญาณที่ 10 เมกะเฮิร์ตซ์ แต่จะเก็บที่หน่วยความจำเพียงครั้งเดียว คือที่สัญญาณสุ่ม 5 เมกะเฮิร์ตซ์ จึงทำให้ได้ความละเอียด 256\*128 จุดต่อ 1 เฟรม โดยแต่ละจุดภาพเป็นข้อมูลขนาด 8 บิต หรือมีระดับความแตกต่างกัน 256 ระดับสัญญาณเป็นสัญญาณภาพขาวดำ ระบบพาล (PAL) ทำการเก็บสัญญาณภาพ 1 เฟรมต่อเฟรม เป็นภาพเคลื่อนไหวที่เวลาจริง (Real Time)

3.6 โครงสร้างและการทำงานของระบบ

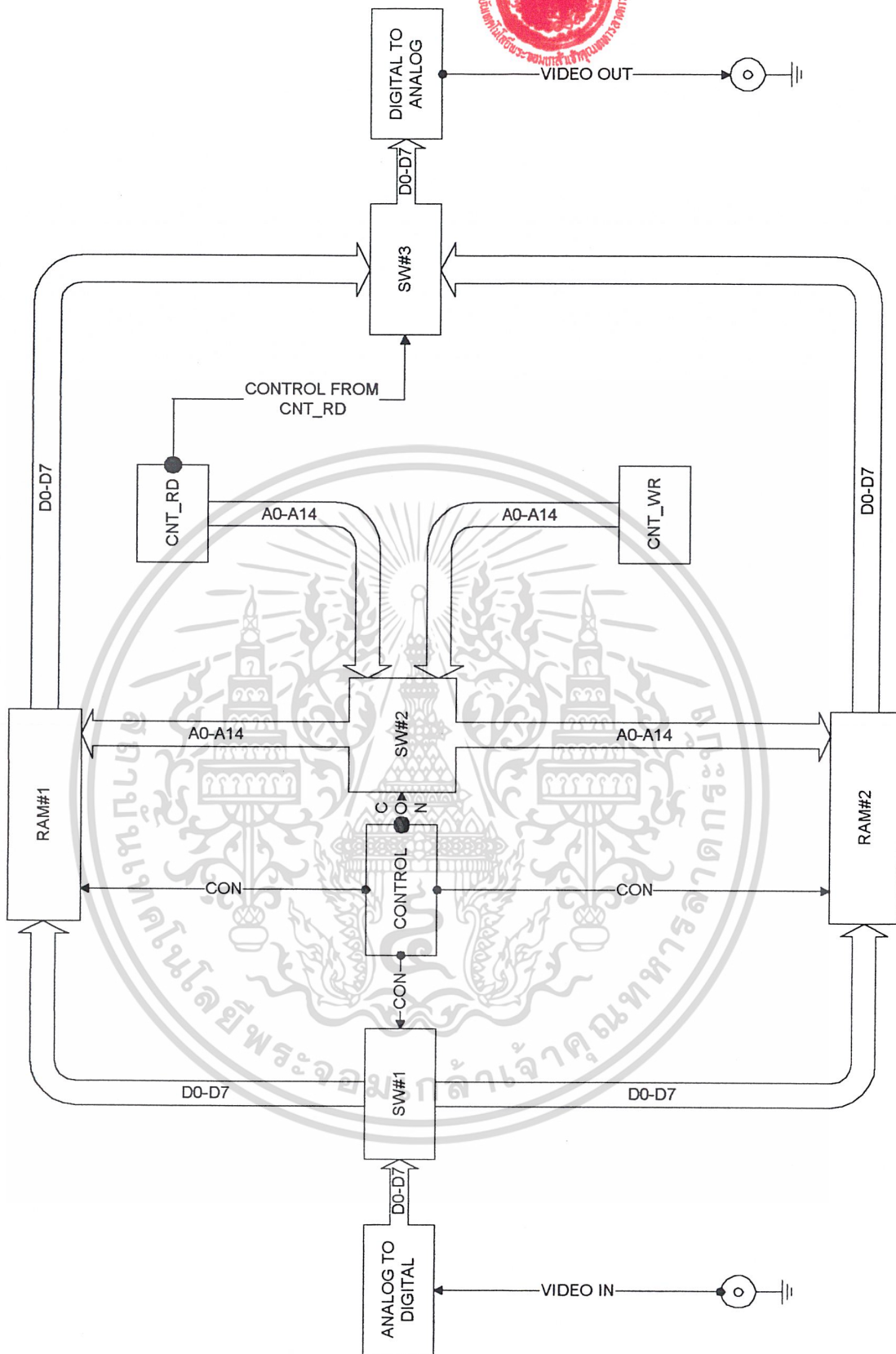
จากแนวความคิด สามารถเขียนเป็นบล็อกไดอะแกรมของระดับ ซึ่งแสดงส่วนประกอบหลักทั้งหมดของระบบ ส่วนประกอบต่างๆ ของบล็อกไดอะแกรมมีหน้าที่การทำงานดังนี้

- สัญญาณภาพที่เข้ามาจะถูกภาคแปลงสัญญาณอะนาลอกเป็นดิจิตอลแปลงเป็นสัญญาณดิจิตอลแล้วส่งไปยังภาค SW#1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ภาค SW#1 จะทำหน้าที่จัดสัญญาณภาพที่เป็นดิจิทัล ไปเก็บยังหน่วยความจำ (RAM) ตัวใดตัวหนึ่งในขณะที่หน่วยความจำอีกตัวหนึ่งจะถูกอ่านข้อมูลออกไป
- ภาค CNT\_RD จะเป็นภาคที่ใช้สร้างหรือกำหนดตำแหน่งที่ใช้ในการอ่านข้อมูลจากหน่วยความจำ และส่งสัญญาณ ไปยัง SW#3 ในการเลือกว่าจะทำการอ่านข้อมูลจากหน่วยความจำตัวใด
- ภาค CNT\_WR จะเป็นภาคที่ใช้สร้างหรือกำหนดตำแหน่งที่ใช้ในการควบคุมการเขียนสัญญาณภาพลงในหน่วยความจำ
- ภาค SW#2 จะเป็นภาคที่จัดการว่าจะให้ส่งตำแหน่งของหน่วยความจำเพื่อใช้ในการอ่านและเขียนไปยังหน่วยความจำตัวใดบ้าง
- ภาค SW#3 จะทำหน้าที่เลือกหน่วยความจำเพื่อที่จะส่งข้อมูลต่อไปยังภาคแปลงสัญญาณดิจิทัลเป็นอนาลอกตามการควบคุมจากภาค CNT\_RD แล้วส่งออกไปแสดงผลทางหน้าจอต่อไป
- ภาค CONTROL จะทำหน้าที่ส่งสัญญาณควบคุมให้กับภาคหน่วยความจำ , ภาค SW#1 , ภาค SW#2 เพื่อที่แต่ละภาคจะได้มีการทำงานที่สัมพันธ์กันกับวงจรนับต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 บล็อกไดอะแกรมแสดงการทำงานใน 1 ช่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับบริการเชิงวิชาการเพื่อการศึกษาเท่านั้น มิอนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนการทำงานของวงจรต่างๆที่ใช้ใน โครงการงานนี้อธิบายโดยคร่าวๆดังนี้

- วงจรที่ใช้แยกสัญญาณควบคุมต่างๆจากสัญญาณ โทรทัศน์หรือสัญญาณคอมพิวเตอร์ซึ่งกันนั้นเราจะใช้ไอซีเบอร์ LM 1881 เป็นตัวแยกออกมา หลังจากนั้นก็จะใช้ไอซีเบอร์ 74123 ที่ต้องร่วมกับอุปกรณ์ต่างๆเพื่อแยกสัญญาณฮอริซอนตัลซิงค์และเวอร์ติคัลซิงค์ออกมาจากคอมพิวเตอร์ซิงค์อีกครั้งหนึ่ง
- วงจรหน่วยความจำ จะประกอบด้วยหน่วยความจำ 2 ชุดที่จะสลับกันทำงานในการอ่าน-เขียนข้อมูล โดยแต่ละชุดจะประกอบด้วย
  - ไอซีหน่วยความจำเบอร์ 61256
  - ไอซีเบอร์ 74797 เป็นบัฟเฟอร์สำหรับเป็นทางเข้าของข้อมูลที่จะเขียนลงในหน่วยความจำ
  - ไอซีเบอร์ 74157 เป็น ไอซีชนิดเข้า 2 ออก 1 จะต้องร่วมกัน 4 ตัวเพื่อจะสวิตช์เลือกตำแหน่งให้หน่วยความจำเพื่อใช้ในการอ่าน-เขียนข้อมูลและจะมีไอซีเบอร์ 74157 อีก 2 ตัวที่ต้องร่วมกันเพื่อใช้เป็นสวิตช์ทางออกของการอ่านข้อมูลออกจากหน่วยความจำ
- วงจรนับในการเขียน ( COUNTER WRITE ) จะเป็นส่วนกำหนดตำแหน่งของหน่วยความจำในการอ่านข้อมูลออก โดยการสร้างสัญญาณควบคุมเพื่อการนับตำแหน่งของหน่วยความจำดังนี้
  - สัญญาณควบคุม MONO เพื่อควบคุมให้การเริ่มนับเกิดขึ้นหลังจากเส้นสแกนแรกผ่านไปแล้วเป็นการขจัดปัญหาในการเริ่มสแกนจากกึ่งกลางจอของโทรทัศน์
  - สัญญาณควบคุม 128 STOP เป็นการนับสัญญาณฮอริซอนตัลซิงค์ที่มีความถี่ลดลงครึ่งหนึ่งเพื่อทำการเก็บแบบ 1 เส้นสแกนเว้น 1 เส้นสแกนและเป็นส่วนที่กำเนิดตำแหน่งของหน่วยความจำตั้งแต่บิทที่มีนัยสูงสุดไปจนถึงบิทที่ 9
  - สัญญาณควบคุม 256 STOP เป็นการนับสัญญาณ 5 MHz เพื่อทำการเก็บสัญญาณภาพแบบ 1 จุดเว้น 1 จุดและเป็นส่วนที่กำเนิดตำแหน่งของหน่วยความจำตั้งแต่บิทที่ 8 ไปจนถึงบิทที่มีนัยต่ำสุด

วงจรรับการเขียนนี้จะประกอบด้วย ไอซีเคาน์เตอร์เบอร์ 74192 และเบอร์ 74393 ทั้งยังมี เจเค-ฟลิปฟลอป ( JK-FLIPFLOP ) ที่นำมาทำเป็น ที-ฟลิปฟลอป ( T-FLIPFLOP ) เพื่อใช้หารความถี่ลงครึ่งหนึ่ง

- วงจร SELECT CHANNEL จะทำหน้าที่เลือกเอาข้อมูลออกจากหน่วยความจำทีละตัวจาก 4 ตัว 4 ช่องเพื่อจะนำไปแสดงผลให้ถูกต้องตามตำแหน่งบนหน้าจอโทรทัศน์วงจรนี้จะใช้สัญญาณ 128 TRIGGER และ 256 TRIGGER ที่ได้จากวงจร CNT\_RD มาควบคุมไอซีเบอร์ 74153 ซึ่งเป็น ไอซีชนิดเข้า 4 ออก 1 ที่มีอยู่ 4 ตัว
- วงจรรับในการอ่าน ( COUNTER READ ) จะทำหน้าที่กำหนดว่าจะเลือกใช้หน่วยความจำจากช่องใดและยังทำหน้าที่กำเนิดตำแหน่งในการอ่านข้อมูลจากหน่วยความจำด้วย โดยใช้สัญญาณควบคุมเหล่านี้
- สัญญาณควบคุม MONO เป็นสัญญาณที่ควบคุมไม่ให้แสดงผลใน 2 เส้นแรกเพื่อป้องกันการสแกนจากกึ่งกลางจอโทรทัศน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- DOUBLE 128 STOP เป็นสัญญาณที่กำหนดการนับฮอริซอนต์ลิ่งค์เพื่อเป็นการบอกว่าจะแสดงภาพในครึ่งจอล่างหรือครึ่งจอด้านบนของจอโทรทัศน์ โดยจะส่งสัญญาณ 128 TRIGGER ไปยังวงจร SELECT CHANNEL เพื่อเลือกข้อมูลจากหน่วยความจำและจะทำการสร้างตำแหน่งของหน่วยความจำตั้งแต่บิตนัยสำคัญสูงสุดลงมาจนถึงบิตที่ 9 ของหน่วยความจำ
- DOUBLE 256 STOP เป็นสัญญาณที่ได้จากการนับสัญญาณ 10 MHz เพื่อจะบอกว่าจะแสดงภาพทางครึ่งซีกซ้ายหรือครึ่งซีกขวาของจอโทรทัศน์และจะส่งสัญญาณ 256 TRIGGER ไปยังวงจร SELECT CHANNEL เพื่อเลือกข้อมูลจากหน่วยความจำและจะทำการสร้างตำแหน่งของหน่วยความจำตั้งแต่บิตนัยสำคัญต่ำสุดขึ้นไปจนถึงบิตที่ 8 ของหน่วยความจำ

วงจร CNT\_RD นี้จะประกอบด้วยไอซีเคาน์เตอร์ เบอร์ 74192 และ เบอร์ 74393 ทั้งยังมี เจเค-ฟลิปฟลอป (JK-FLIPFLOP) ที่นำมาทำเป็น ที-ฟลิปฟลอป (T-FLIPFLOP) เพื่อใช้หารความถี่ลงครึ่งหนึ่ง

- วงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก จะใช้ไอซีเบอร์ DAC0800 เป็นตัวแปลงสัญญาณและสัญญาณภาพที่เป็นอนาลอกที่ได้จะถูกส่งเข้าไปขยายโดยไอซีออปแอมป์เบอร์ MAX 404 ก่อนส่งเข้าโทรทัศน์ต่อไป
- วงจร CONTROL\_1 และ CONTROL\_2 เป็นวงจรที่ส่งสัญญาณไปควบคุมหน่วยความจำ โดยจะควบคุมการเป็น 0 หรือ 1 ที่ขา CS และ WE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 4

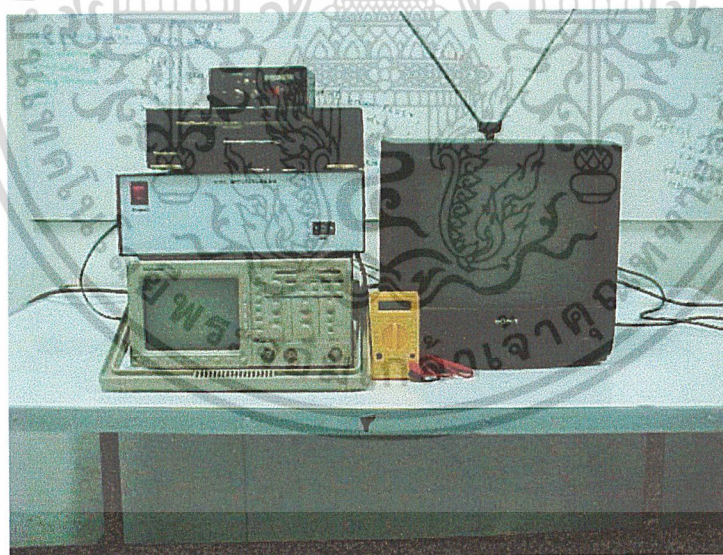
## การทดลองและผลการทดลอง

## วัตถุประสงค์

เพื่อทำการวัดสัญญาณที่ใช้ควบคุมลำดับของสัญญาณภาพต่างๆ โดยการวัดจะวัดเทียบกับสัญญาณภาพอยู่เสมอ

## เครื่องมือและอุปกรณ์

- |                            |           |
|----------------------------|-----------|
| 1. ออสซิลโลสโคป            | 1 เครื่อง |
| 2. โทรทัศน์                | 1 เครื่อง |
| 3. เครื่องเล่นวีดีโอเทป    | 1 เครื่อง |
| 4. ชิงงาน                  |           |
| 5. มัลติมิเตอร์            | 1 เครื่อง |
| 6. แพทเทิน เซนเนอร์เรเตอร์ | 1 เครื่อง |

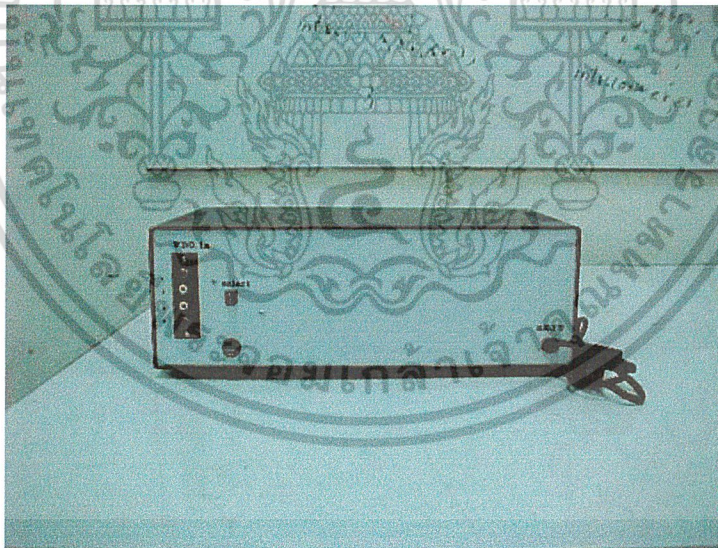


รูปที่ 4.1 เครื่องมือที่ใช้ในการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

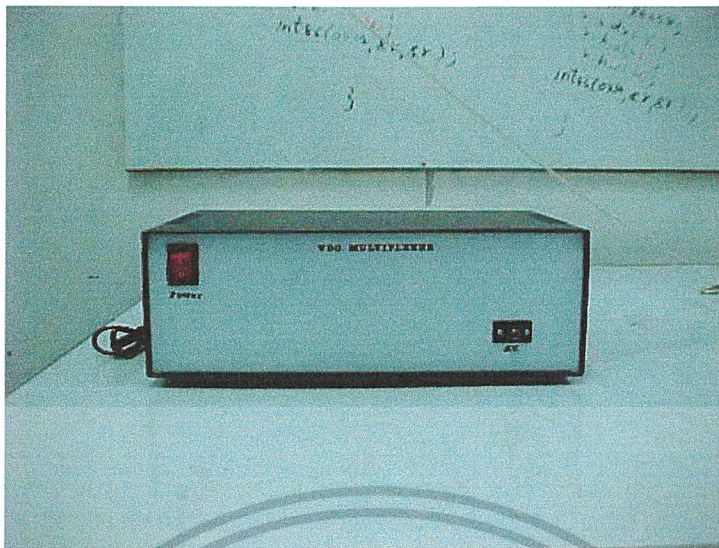


รูปที่ 4.2 วงจรใช้งาน



รูปที่ 4.3 กล่องใส่ชิ้นงาน(ด้านหลัง)

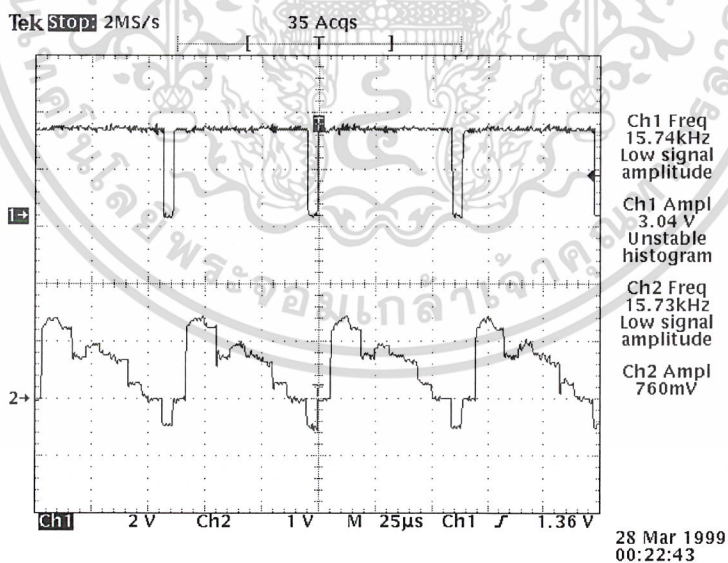
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 กล่องใส่ชิ้นงาน(ด้านหน้า)

การทดลอง

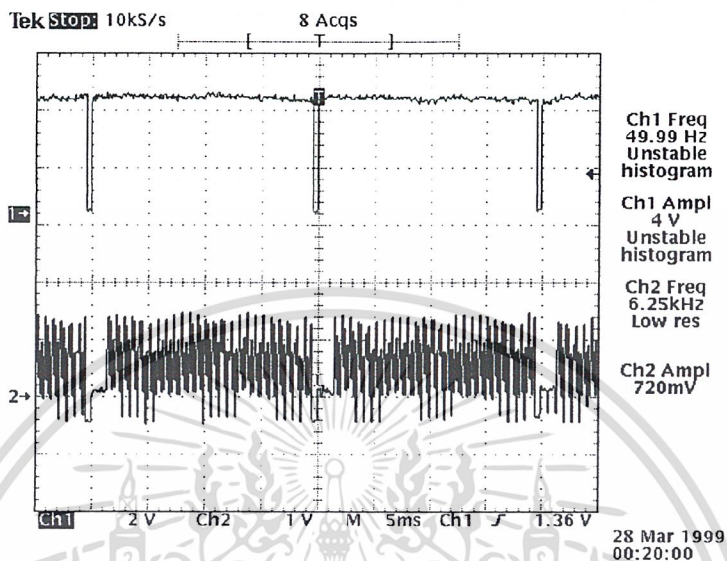
1. ทำการ วัดสัญญาณฮอริซอนตัลซิงค์แล้วเทียบกับสัญญาณภาพ



รูปที่ 4.5 สัญญาณฮอริซอนตัลซิงค์เทียบกับสัญญาณภาพ

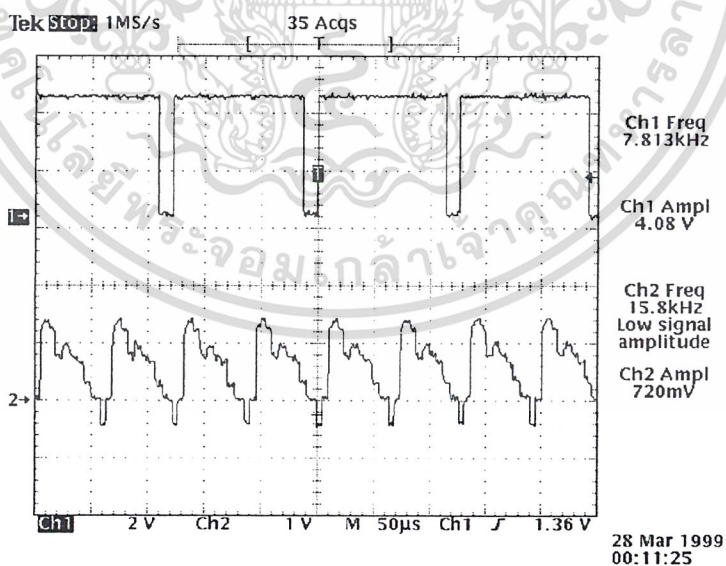
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. . ทำการวัดสัญญาณเวอรัคัลซิงค์เทียบกับสัญญาณภาพ



รูปที่ 4.6 สัญญาณเวอรัคัลซิงค์เทียบกับสัญญาณภาพ

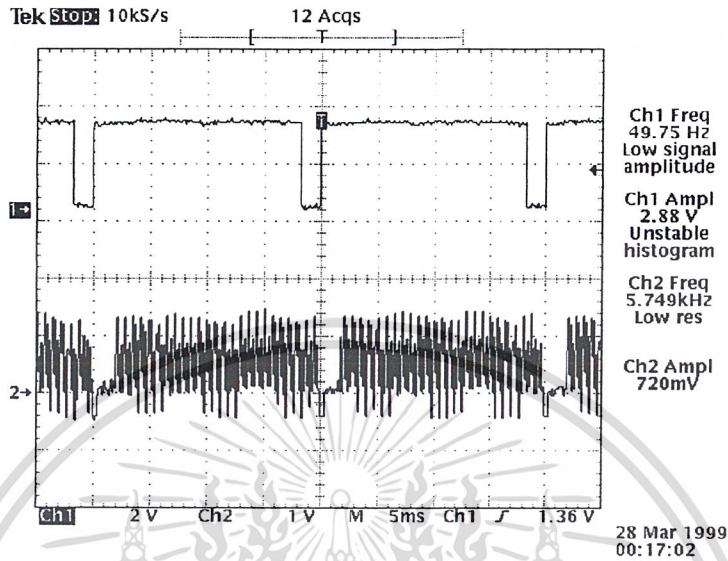
3. ทำการวัดสัญญาณ 256 STOP ที่ใช้ในการเขียนข้อมูลลงในหน่วยความจำ



รูปที่ 4.7 สัญญาณ 256 STOP

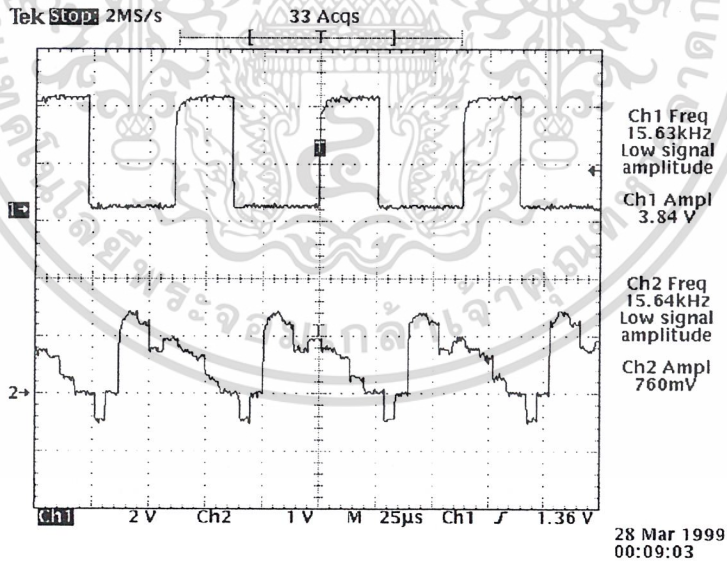
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. ทำการวัดสัญญาณ 128 STOP ที่ใช้ในการเขียนข้อมูลลงในหน่วยความจำ



รูปที่ 4.8 สัญญาณ 128 STOP

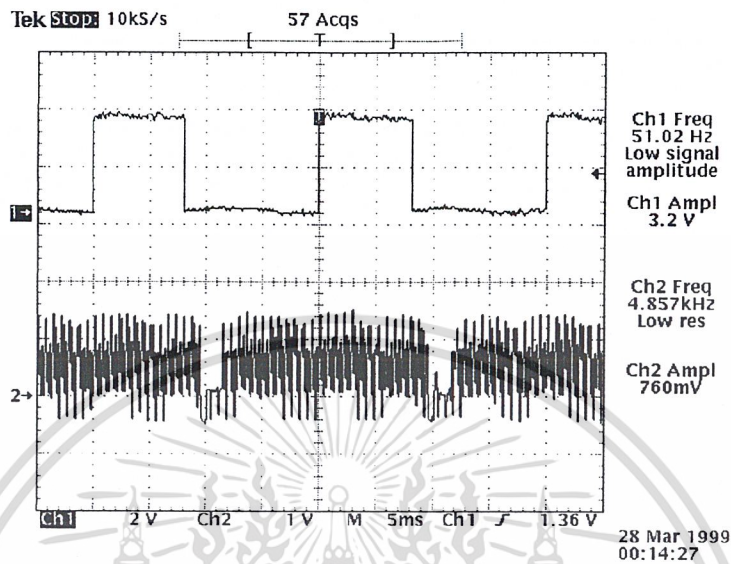
5. ทำการวัดสัญญาณ 256 TRIGGER ที่ใช้ในการเลือกข้อมูลจากหน่วยความจำ



รูปที่ 4.9 สัญญาณ 256 TRIGGER

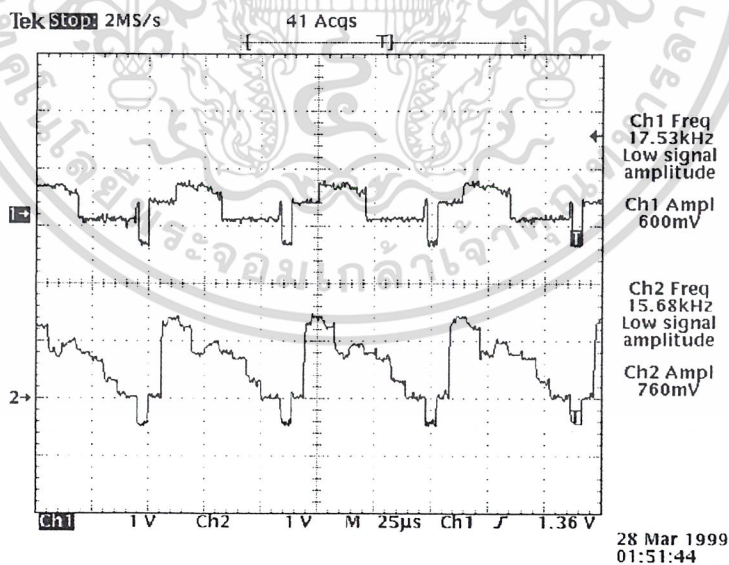
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. ทำการวัดสัญญาณ 128 TRIGGER ที่ใช้ในการเลือกข้อมูลจากหน่วยความจำ



รูปที่ 4.10 สัญญาณ 128 TRIGGER

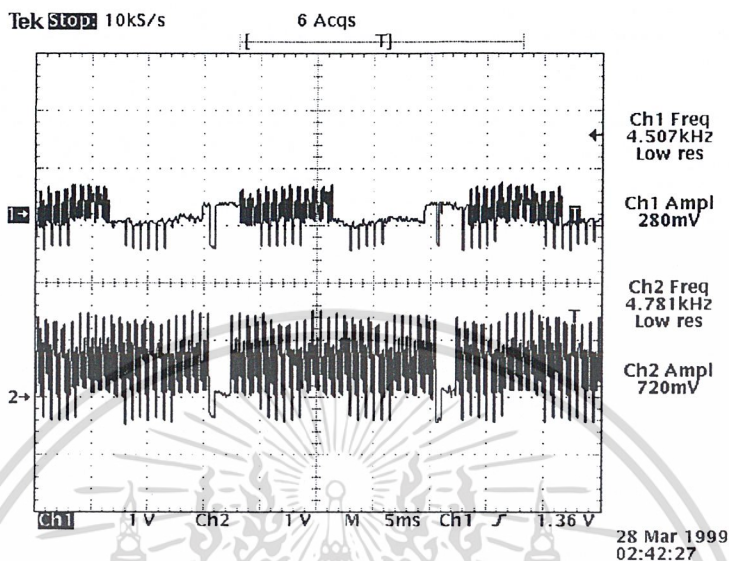
7. ทำการวัดสัญญาณ 1 ช่องแล้วเทียบกับสัญญาณฮอริซอนตัลซิงค์



รูปที่ 4.11 สัญญาณจากช่องที่ 1 เทียบกับสัญญาณฮอริซอนตัลซิงค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

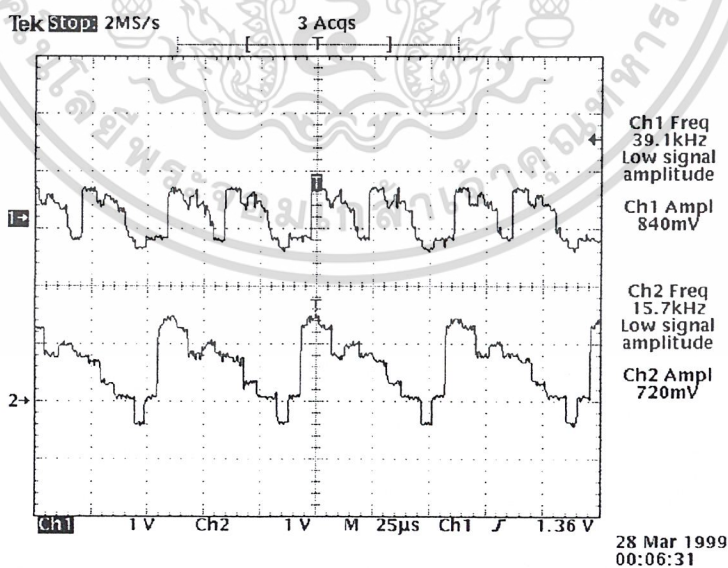
8. ทำการวัดสัญญาณ 1 ช่องแล้วเทียบกับสัญญาณเวอร์ติคัลซิงค์



รูปที่ 4.12 สัญญาณจากช่องที่ 1 เทียบกับสัญญาณเวอร์ติคัลซิงค์

9. ทดลองนำสัญญาณจากช่องที่ 1 มาแสดงผลออกทางหน้าจอเป็น 4 ช่องเพื่อทำการวัด

สัญญาณ



รูปที่ 4.13 สัญญาณภาพเมื่อมีการแสดงผล 4 ช่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

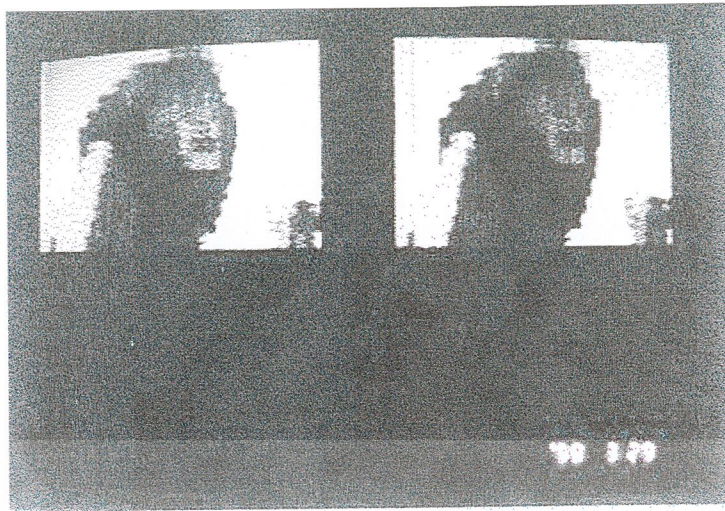


รูปที่ 4.14 ภาพที่ได้จากสัญญาณวิดีโอ

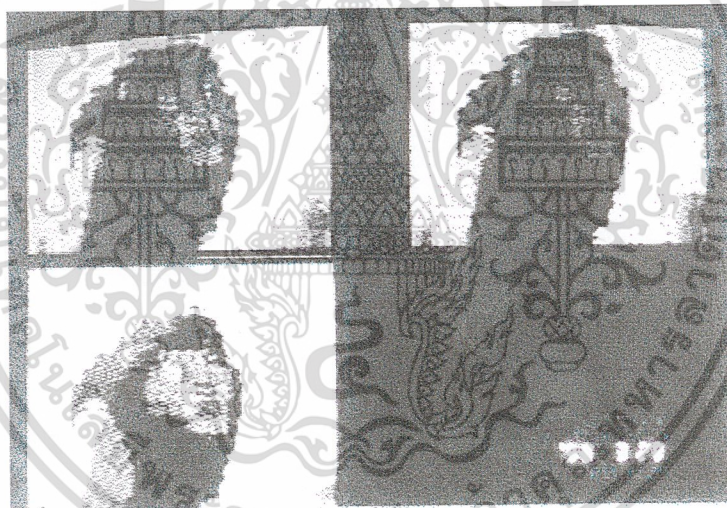


รูปที่ 4.15 ภาพแสดงสัญญาณ 1 ช่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

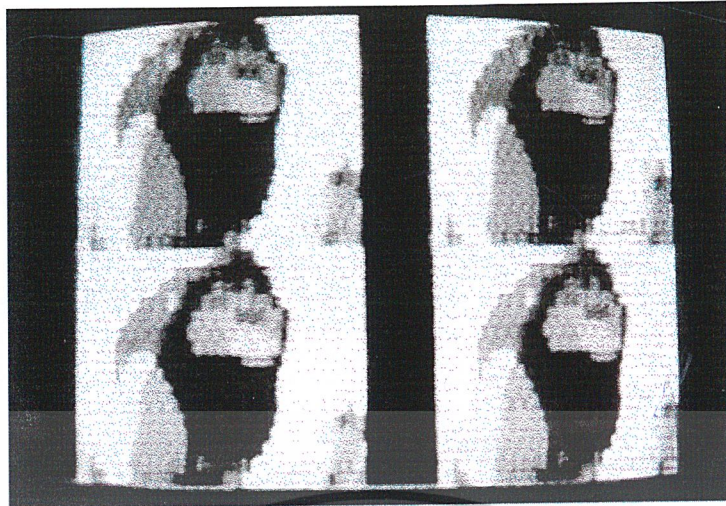


รูปที่ 4.16 ภาพแสดงสัญญา 2 ช่อง



รูปที่ 4.17 ภาพแสดงสัญญา 3 ช่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.18 ภาพแสดงสัญญาณ 4 ช่อง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 5 บทวิจารณ์และสรุป

ในการทำ โปรเจ็ค นี้ หลังจากได้ทำการออกแบบและทดลองสร้างวงจรแล้ว จะได้วงจรรวมทั้งหมดที่ใหญ่มาก และมีอุปกรณ์มากกว่า 100 ตัว จึงไม่สามารถที่จะใช้วงจร เร็กกูเรท (Regurate) แบบลิเนียร์ธรรมดาได้ เพราะจะทำให้เกิดแรงดันตกลงในขณะใช้งาน มีผลให้สัญญาณควบคุม 10 เมกะ-เฮิรตซ์ มีความไม่แน่นอนจนไม่สามารถนำไปใช้งานได้ เพราะจะมีผลต่อวงจรนับต่างๆ ดังนั้น จึงต้องมีการแก้ไข โดยจะใช้เพาเวอร์ซัพพลาย (Power Supply) แบบสวิท칭 (Switching) เข้ามาใช้แทน

และจากการทดลองสามารถแสดงภาพบนหน้าจอโทรทัศน์ได้ 4 ภาพแต่เป็นภาพที่ได้จากสัญญาณภาพเพียงช่องเดียวมาแสดงผลเท่านั้น แต่ภาพที่ได้มีความคมชัดน้อยกว่าปกติอันเกิดจากสาเหตุ 2 ประการคือ

1. การเก็บข้อมูลมีเพียง 1 เส้น ในการสแกน 2 เส้น
2. การที่สัญญาณควบคุมการแสดงผลบนจอภาพ ไม่เสถียรภาพเพียงพอ

ในส่วนของสัญญาณภาพที่จะต้องรับสัญญาณภาพถึง 4 ภาพนั้นต้องแก้ไขโดยการเก็บสัญญาณให้เต็มทั้ง 4 ภาพแล้วจึงค่อยนำออกมาแสดง ซึ่งจะเป็นการแก้ปัญหาการไม่สัมพันธ์กันของสัญญาณภาพทั้ง 4 แผลง แต่ก็จะทำให้ความคมชัดของจอภาพที่แสดงค่อยลดลงอีกเพราะในการรอการเก็บสัญญาณภาพให้เต็มจะทำให้เกิดการสูญหายไปอีก 1 เฟรม

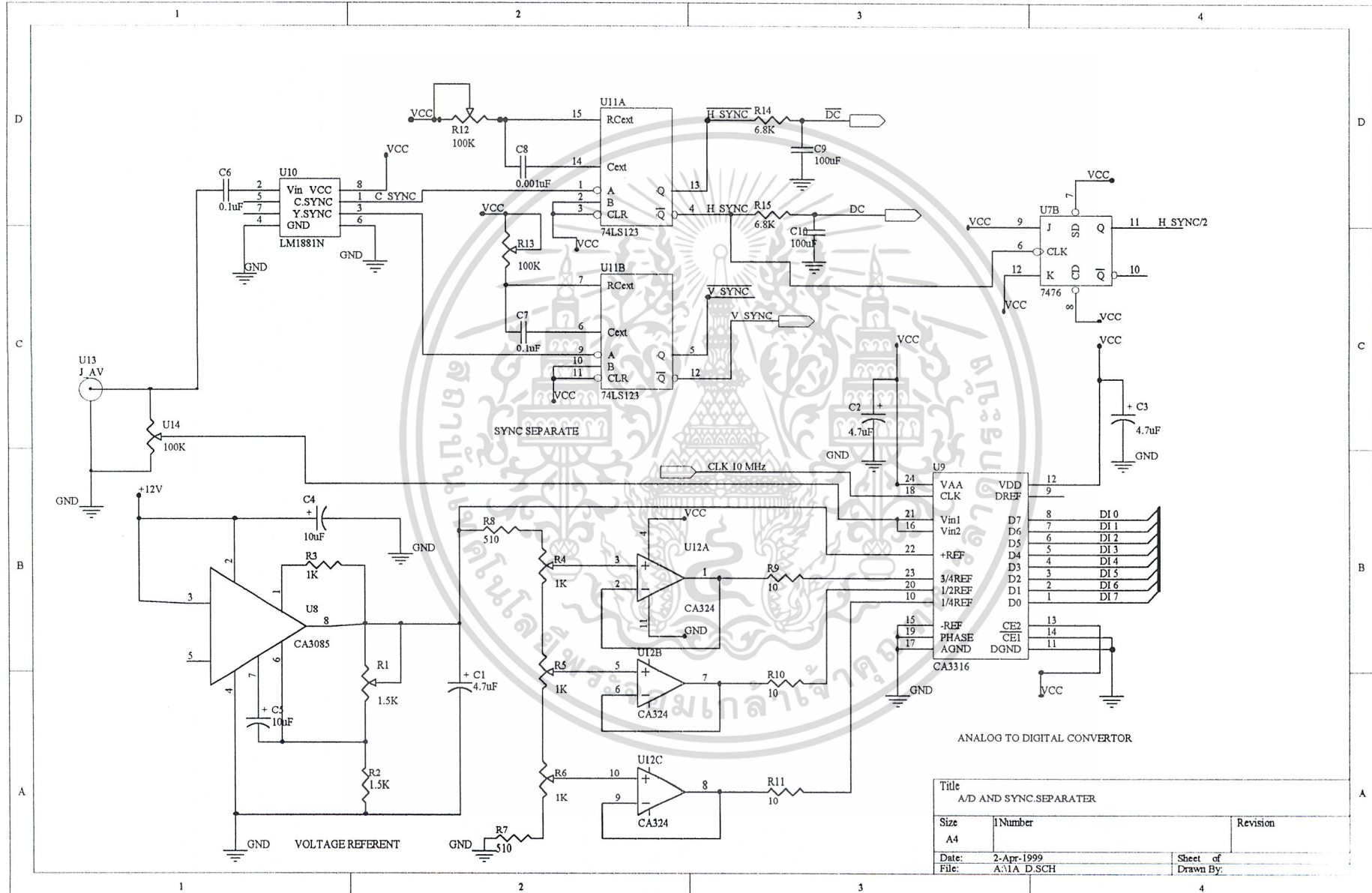
ปัญหาที่พบบ่อยในการทำโครงการนี้ก็คือ เนื่องจากการออกแบบถายวงจรจะใช้โปรแกรมโปรเทล (Protel) ซึ่งจะทำให้กราวด์ของวงจรเป็นแบบต่อเนื่องซึ่งจะทำให้การรบกวนและระดับของแรงดันไม่เท่ากัน การแก้ปัญหาก็ทำได้โดยการต่อกราวด์ให้เป็นแบบสตาร์ (Star) มากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



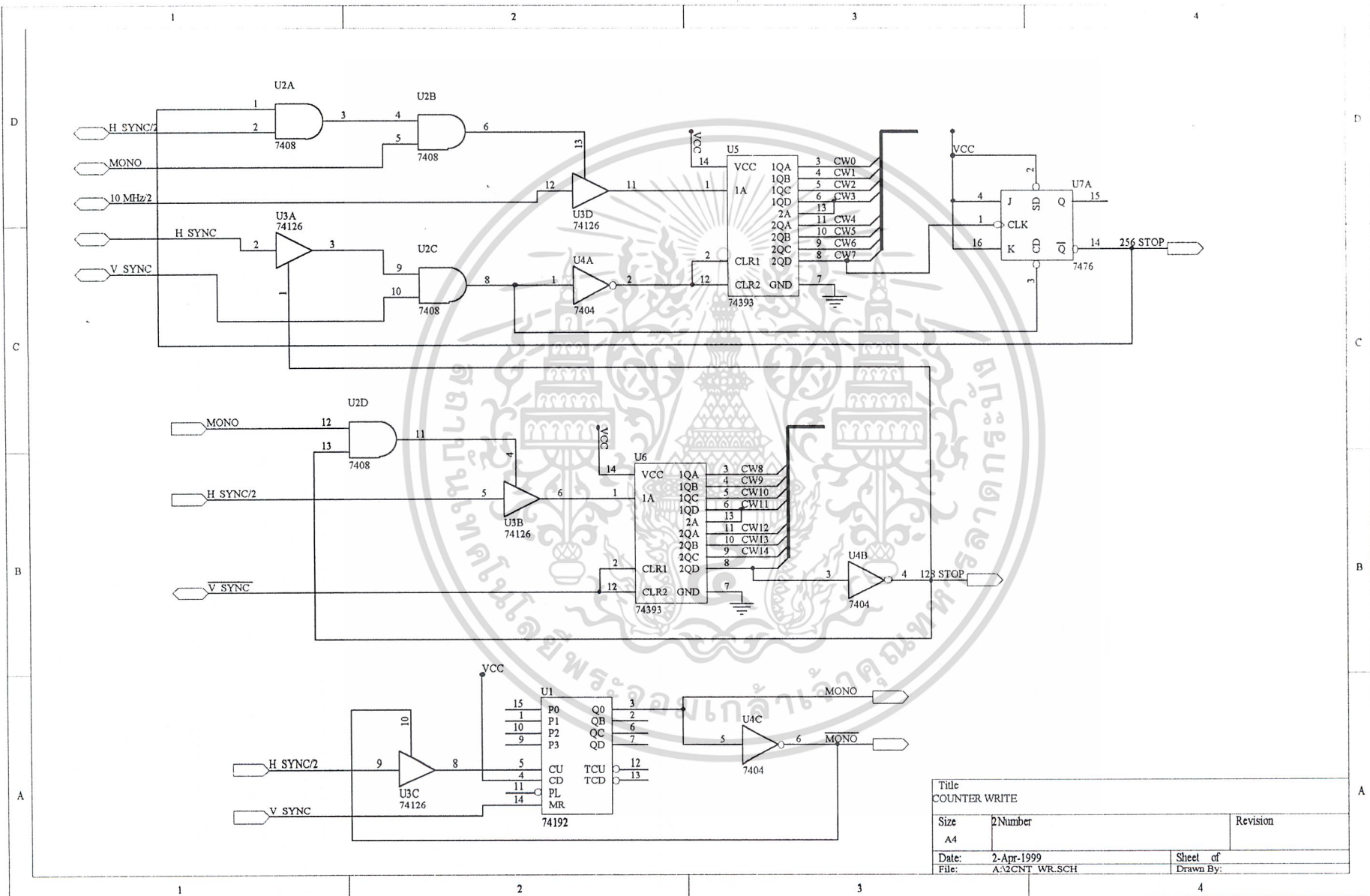
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

34

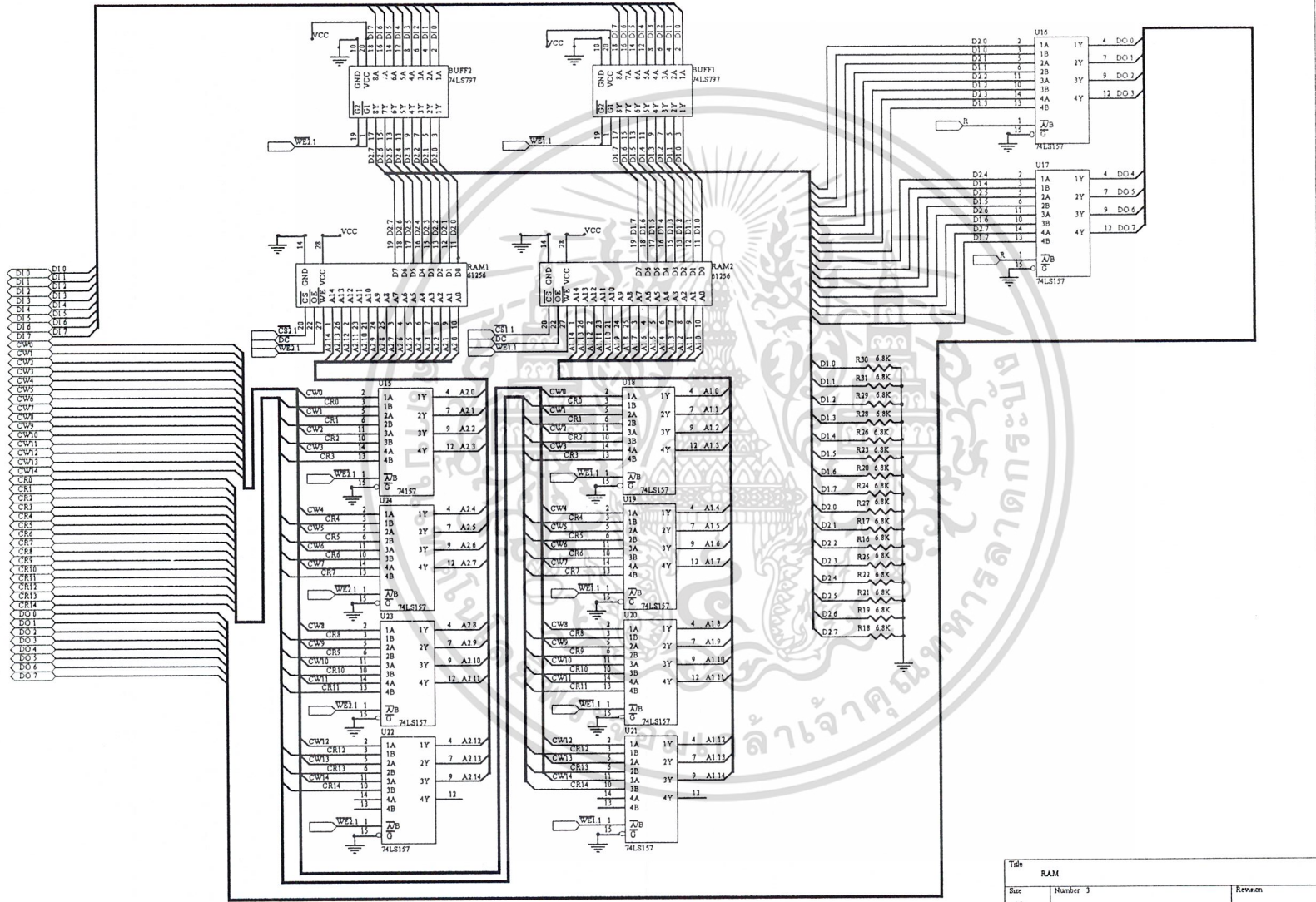


Title		
A/D AND SYNC SEPARATER		
Size	1 Number	Revision
A4		
Date:	2-Apr-1999	Sheet of
File:	A:1A D.SCH	Drawn By:

55

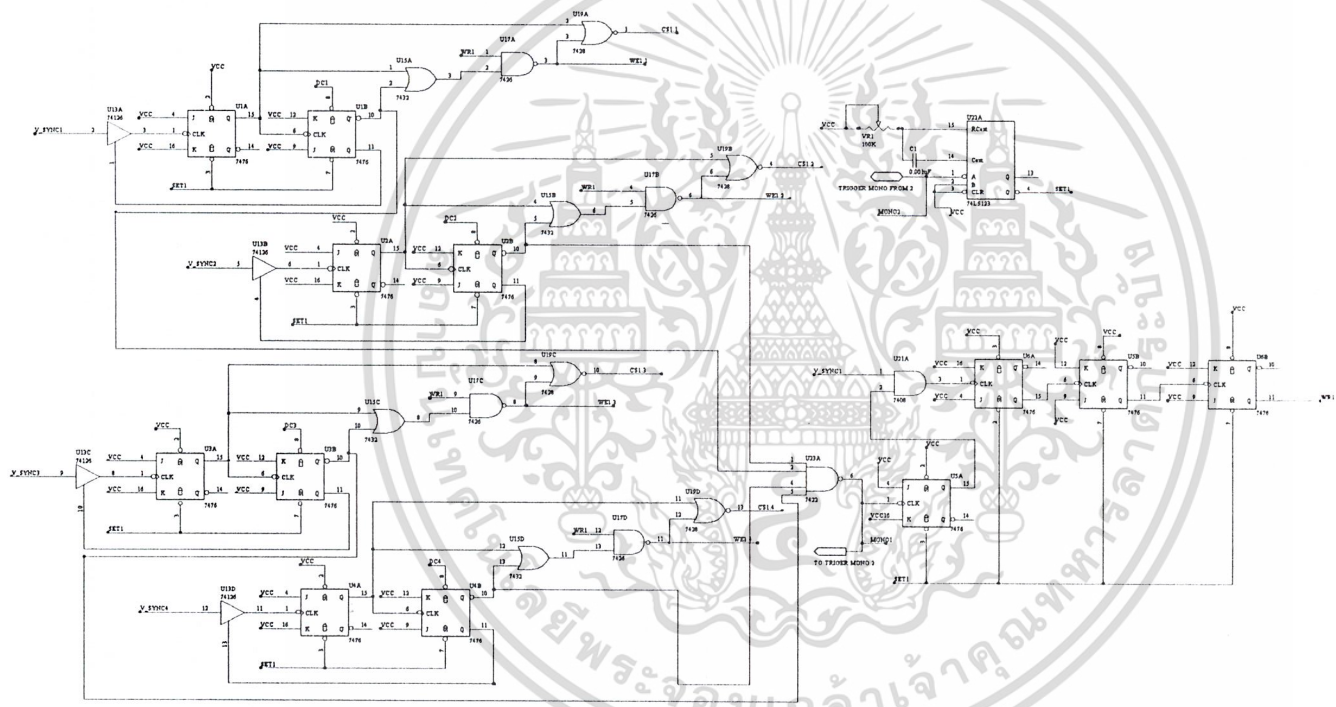


Title COUNTER WRITE		
Size A4	2 Number	Revision
Date: 2-Apr-1999	Sheet of	
File: A:\C\NT WR.SCH	Drawn By:	



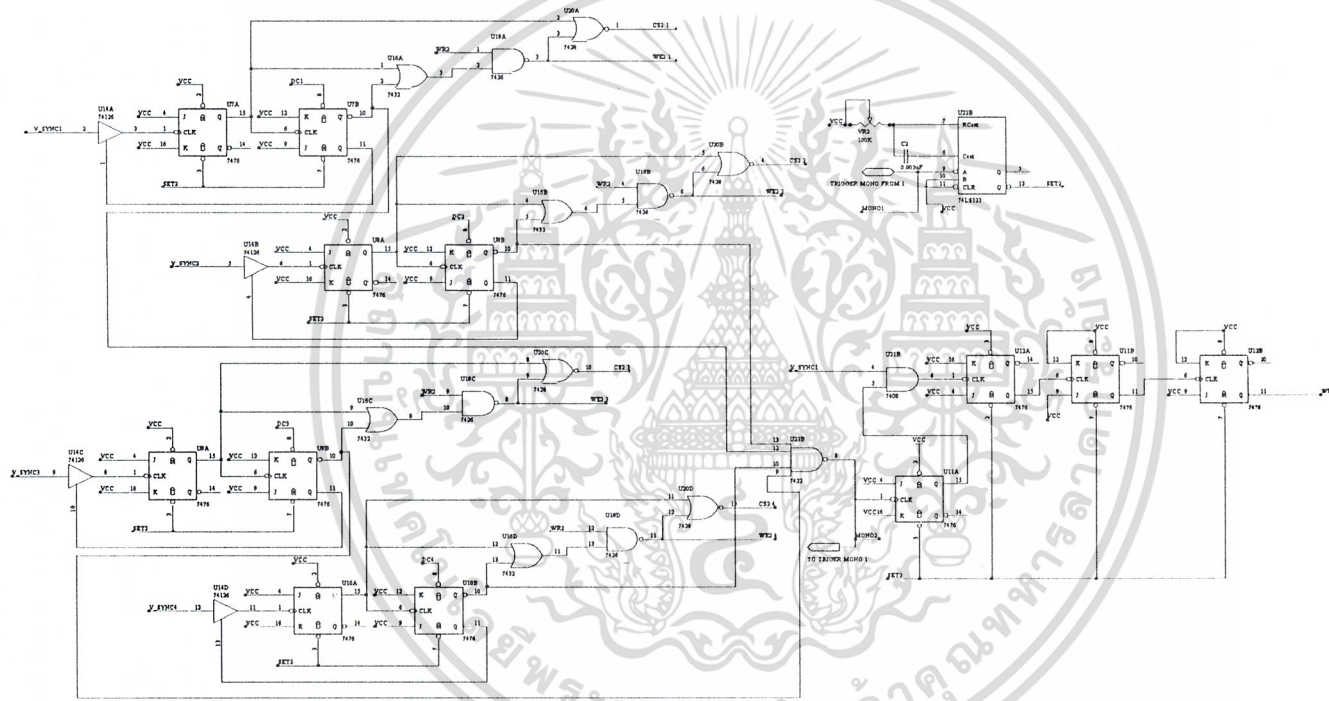
Title	RAM	
Size	Number 3	Revision
A3		
Date	3-Apr-1999	Sheet of
File	A3RAM.SCH	Drawn By

63



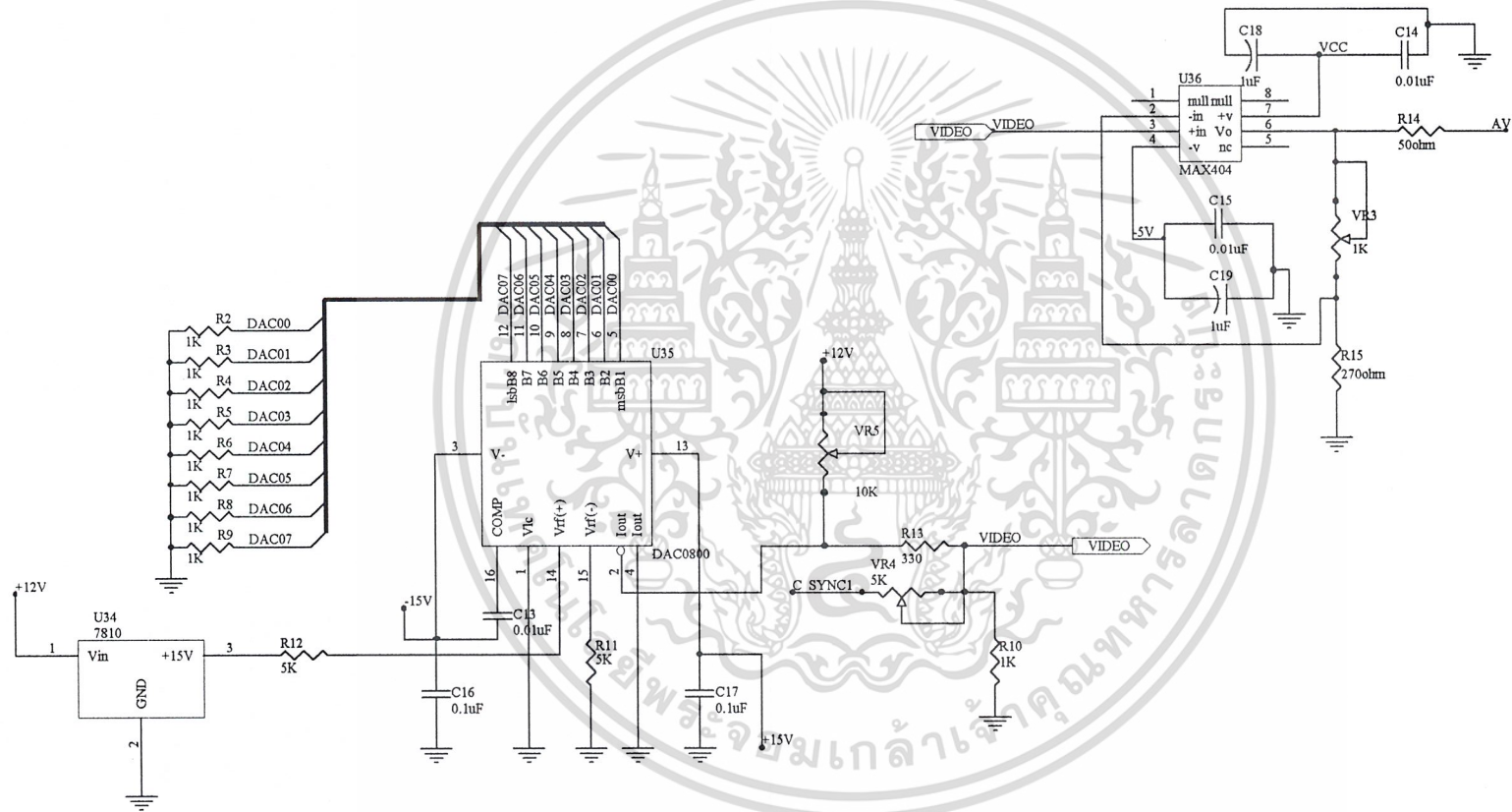
File	CONTROL 1		
Lib	Master		Revision
C			
Des	1 Apr 1999	Des. of	
Pin	A 740011501	Draw. by	

88



File	CONTROL_1		
Pin	Number		Function
C	1		
Pin	ADDRESS		
Pin	DATA		

3.9



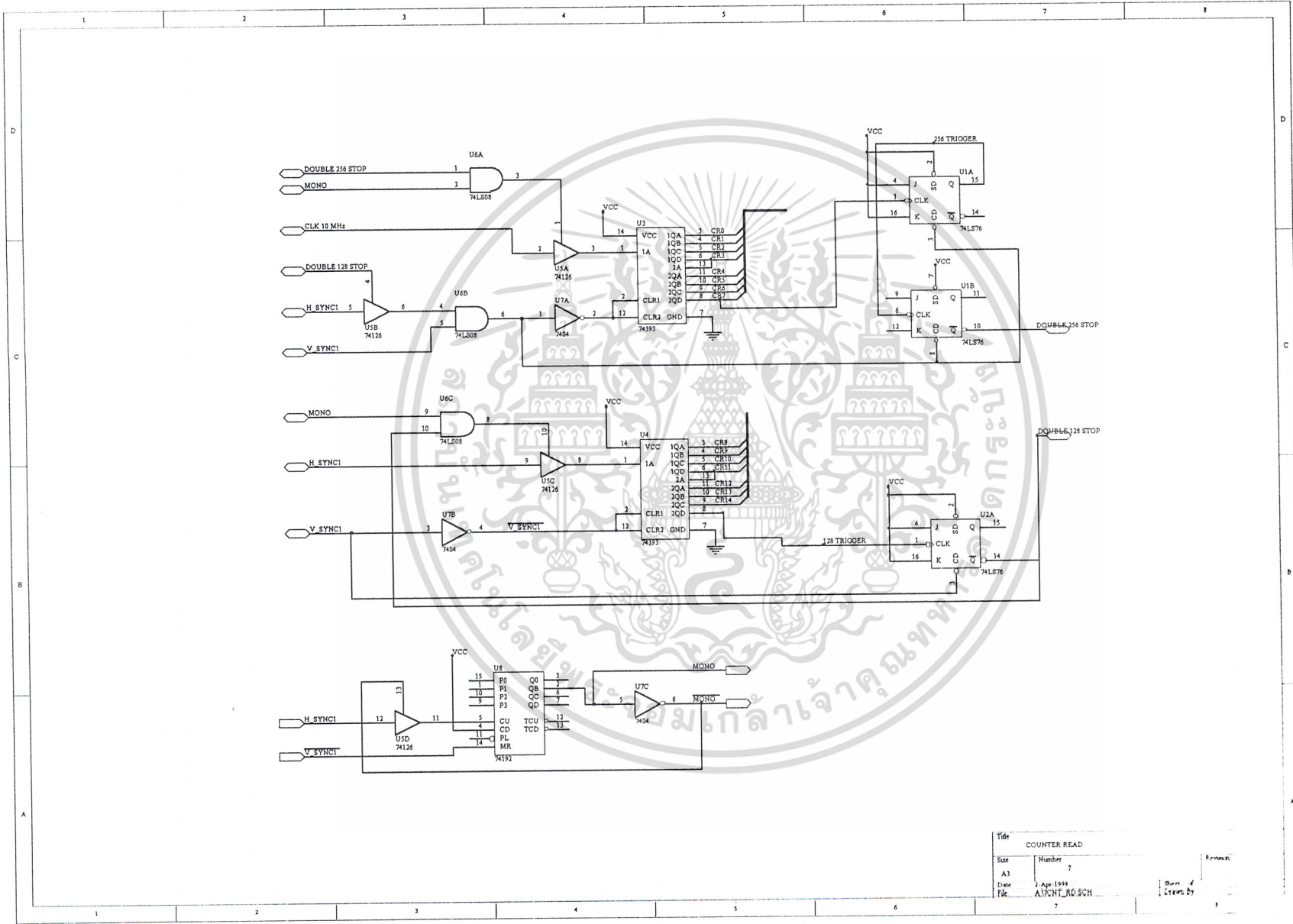
Title  
D/A AND VDO.AMPLIFY

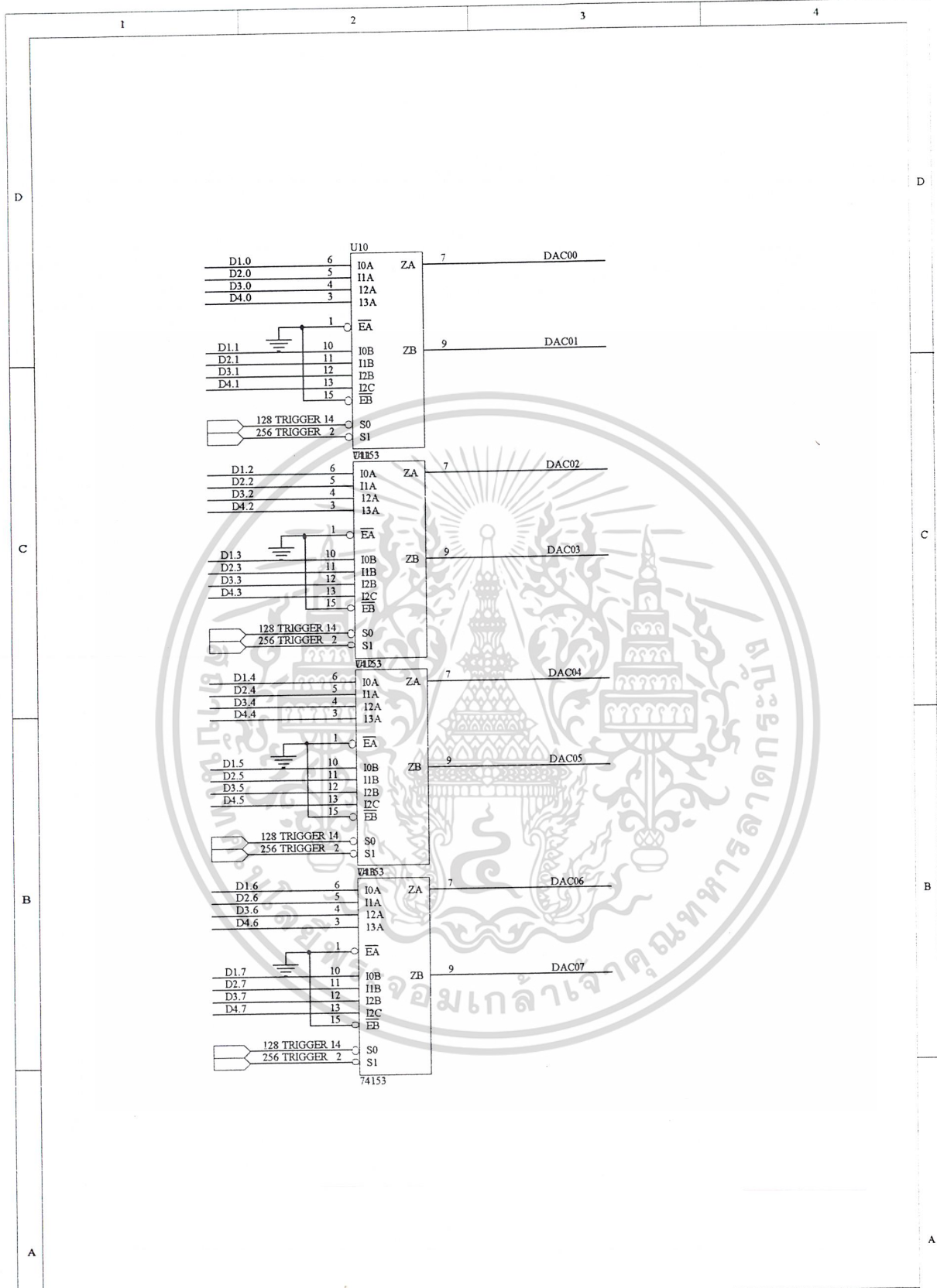
Size Number  
A4 6  
Date: 2-Apr-1999  
File: A:\6D\_A.SCH

Revision

Sheet of  
Drawn By

4





Title SELECT CHANNEL		
Size A4	Number 8	Revision
Date: 2-Apr-1999	Drawn By: A:SSL_CHSCH	Sheet of 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการ  
 ไม่่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# MAXIM

## Video Operational Amplifier

MAX404

### General Description

The MAX404 is a high-speed operational amplifier optimized for exceptional AC performance, output drive and stability while operating from  $\pm 5V$  power supplies. Featuring 80MHz gain-bandwidth, 500V/ $\mu s$  slew rate and 0.01°/0.05% differential phase and gain, this amplifier is ideal for video and other high-speed applications.

The MAX404 remains stable while driving unlimited capacitive loads. As a result, flash A/D converter inputs, long distance coaxial cables, and other large or varying capacitive loads can be driven without output oscillations or ringing.

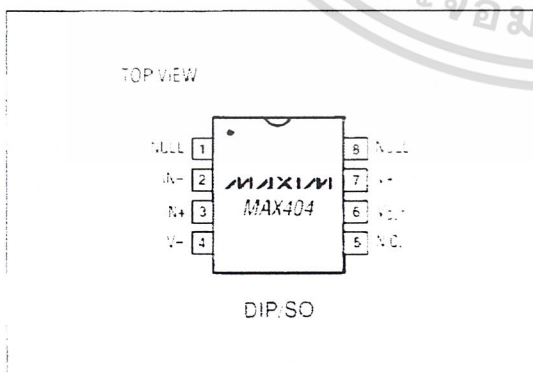
Unlike current-feedback amplifiers, the MAX404 can be used in virtually all high-speed op amp applications because it has fully symmetric differential inputs, 70dB common-mode rejection ratio (CMRR), and 66dB of open-loop gain.

The MAX404 guarantees 50mA continuous output current and  $\pm 3V$  swing into 100 $\Omega$ . Stable for gains of 2V/V or greater, the amplifier is optimized for applications such as 50 $\Omega$  and 75 $\Omega$  coaxial cable drivers in video test equipment, radar displays, medical imaging, and RGB systems.

### Applications

- Video Coax Line Drivers
- Video Distribution
- Flash A/D Converter Input Amplifier
- High-Speed Signal Processing
- Pulse & RF Amplifiers
- High Resolution Video
- Medical Imaging

### Pin Configuration



### Features

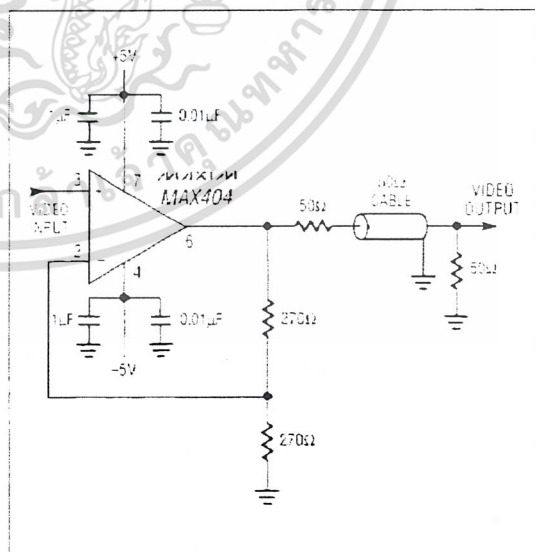
- 0.01°/0.05% Differential Phase/Gain
- 80MHz Gain Bandwidth
- 500V/ $\mu s$  Slew Rate
- 50mA Continuous Output Current
- Stable with Any Capacitive Load
- 66dB Open-Loop Gain
- 70dB CMRR

### Ordering Information

PART	TEMP. RANGE	PIN-PACKAGE
MAX404CPA	0°C to -70°C	8 Plastic DIP
MAX404CSA	0°C to +70°C	8 SO
MAX404C/D	0°C to -70°C	Dice*
MAX404EPA	-40°C to -85°C	8 Plastic DIP
MAX404ESA	-40°C to -85°C	8 SO

\* Dice are tested at 25°C only

### Typical Application Circuit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# Video Operational Amplifier

## ABSOLUTE MAXIMUM RATINGS

Total Supply Voltage (V+ to V-) ..... 12V  
 Voltage at any pin ..... (V- -0.3V) to (V+ +0.3V)  
 Output Short-Circuit to GND ..... 60 sec  
 Continuous Power Dissipation (T<sub>A</sub> = +70°C)  
     Plastic DIP (derate 9.0mW/°C above +70°C) ..... 725mW  
     SO (derate 6mW/°C above +70°C) ..... 470mW

Operating Temperature Ranges: (T<sub>AMIN</sub>-T<sub>AMAX</sub>)  
 MAX404C\_A ..... 0°C to -70°C  
 MAX404E\_A ..... -40°C to +85°C  
 Storage Temperature Range ..... -55°C to +125°C  
 Lead Temperature (soldering, 10 sec) ..... +300°C

*Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.*

## ELECTRICAL CHARACTERISTICS

(V+ = +5V, V- = -5V, -3V < V<sub>IN</sub> < +3V, R<sub>L</sub> = 100Ω, C<sub>L</sub> = 15pF, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	T <sub>A</sub> = +25°C			T <sub>A</sub> = T <sub>AMIN</sub> to T <sub>AMAX</sub>			UNITS	
			MIN	TYP	MAX	MIN	TYP	MAX		
Input Offset Voltage	V <sub>OS</sub>	0°C to -70°C		±1	±8			±10	mV	
		-40°C to +85°C						±12		
Input Offset-Voltage Tempco	ΔV <sub>OS</sub> /ΔT						±20		μV/°C	
Input Bias Current (Note 1)	I <sub>B</sub>	0°C to -70°C		±1	±3			±5	μA	
		-40°C to +85°C						±8		
Common-Mode Input Resistance	R <sub>IN</sub>			1					MΩ	
Input Capacitance	C <sub>IN</sub>			3					pF	
Common-Mode Input Voltage Range	V <sub>IN</sub>		±3	±3.5		±3			V	
Large Signal Gain	A <sub>VOL</sub>	V <sub>OUT</sub> = 6V <sub>P-P</sub>	54	66		54			dB	
Output Voltage Swing	V <sub>OUT</sub>	R <sub>LOAD</sub> = 100Ω	±3.0	±3.5		±3.0			V	
		R <sub>LOAD</sub> = 50Ω	±2.5	±3.0		±2.5				
Output Current	I <sub>OUT</sub>	R <sub>LOAD</sub> = 50Ω	±50			±50			mA	
		R <sub>LOAD</sub> = 0Ω		±90						
Output Resistance	R <sub>OUT</sub>	Gain = 2V/V		10					mΩ	
Power-Supply Rejection Ratio	PSRR	V+ , V-  = 4.75 to 5.25V	40	50		40			dB	
Common-Mode Rejection Ratio	CMRR	V <sub>IN</sub> = -3V to +3V	60	70		60			dB	
Supply Current	I <sub>CC</sub>	0°C to +70°C		25	30	35		20	45	mA
		-40°C to +85°C						15	50	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# Video Operational Amplifier

MAX404

## ELECTRICAL CHARACTERISTICS (continued)

( $V^- = +5V$ ,  $V^- = -5V$ ,  $-3V < V_{IN} < +3V$ ,  $R_L = 100\Omega$ ,  $C_L = 15pF$ , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	$T_A = +25^\circ C$			$T_A = T_{A\text{MIN}} \text{ to } T_{A\text{MAX}}$			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
<b>AC SPECIFICATIONS</b>									
Gain Bandwidth	GBW	Gain = 10V/V	80						MHz
Slew-Rate	SR	3V step	500						V/ $\mu$ s
Full-Power Bandwidth	FPBW	$V_{OUT} = 6V_{P-P}$	26						MHz
Closed-Loop Bandwidth	BW	Gain = 2V/V	66						MHz
Differential Phase (Note 2)	DP	Gain = 2V/V	0.01						deg
Differential Gain (Note 2)	DG	Gain = 2V/V	0.05						%
Settling Time to 0.1%	$t_s$	DC Gain = -1V/V, 3V step	70						ns

Note 1:  $V_{IN} = 0V_{DC}$

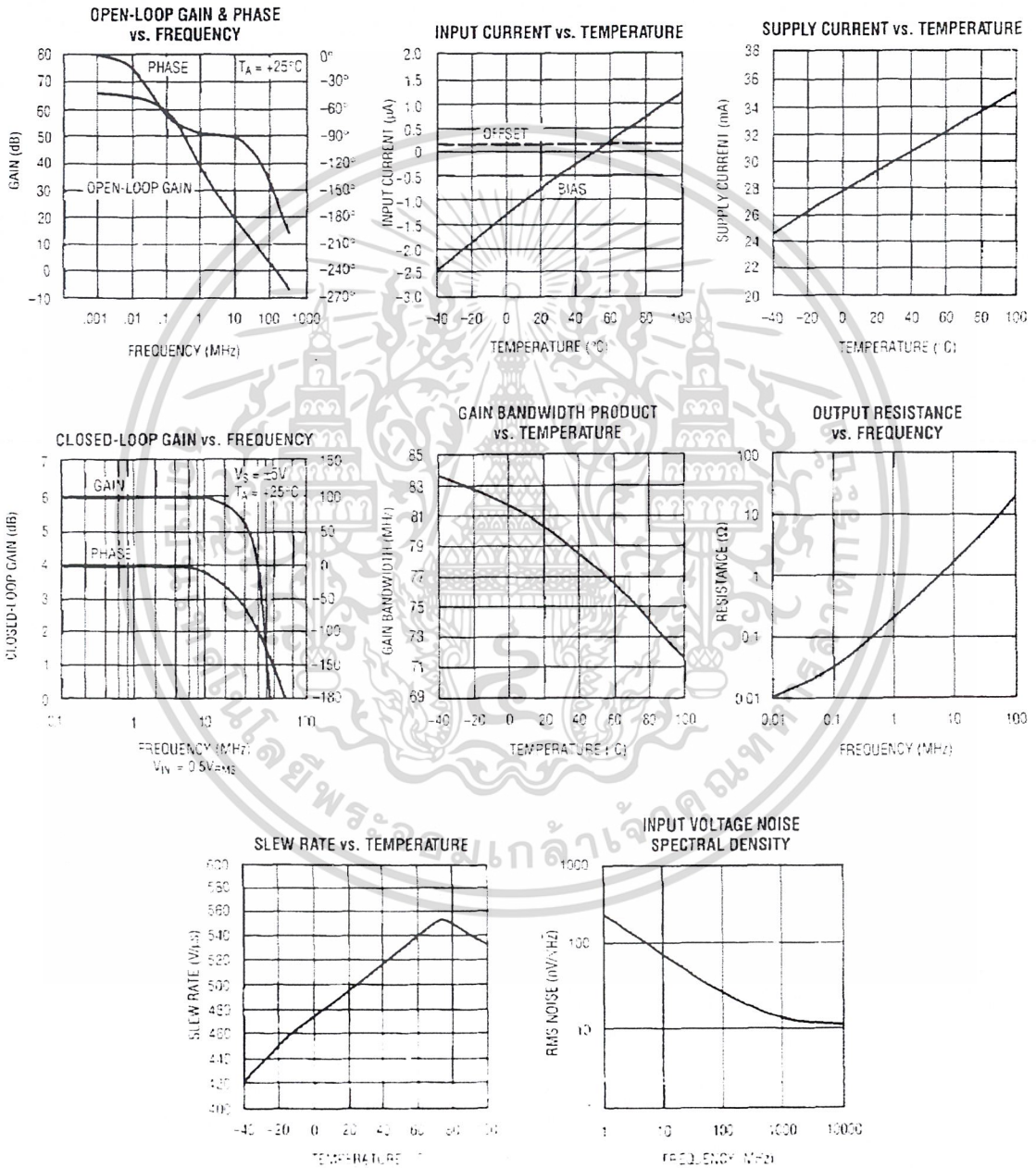
Note 2: Input test signal: 3.58MHz sine wave of amplitude 40 IRE superimposed on a linear ramp (0 to 100 IRE). 140 IRE = 1.0V<sub>P-P</sub>.

## Pin Description

PIN	NAME	FUNCTION
1, 8	NULL	Input Offset Voltage Null. Connect to one end of 1k $\Omega$ potentiometer (wiper to $V^-$ ).
2	IN-	Amplifier Inverting Input.
3	IN+	Amplifier Noninverting Input.
4	$V^-$	Negative Power Supply. Connect to -5V.
5	N.C.	No Connect (open circuit).
6	$V_{OUT}$	Amplifier Signal Output.
7	$V^+$	Positive Power Supply. Connect to +5V.

# Video Operational Amplifier

## Typical Operating Characteristics



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# Video Operational Amplifier

MAX404

## Detailed Description

### Circuit Overview

The MAX404 is a high-frequency bipolar op amp that operates from  $\pm 5V$  supplies and can drive  $\pm 3.5V$  signals into  $50\Omega$ . It has very low output resistance ( $10m\Omega$ ) and can drive large capacitive loads.

The MAX404 is used as both an inverting and noninverting amplifier. As a noninverting amplifier (Figure 1), it is stable with gain as low as  $2V/V$ . As shown in the inverting configuration (Figure 2) the feedback resistors can be set for a gain as low as  $-1V/V$ . In both cases, the lower gain limit is set by the feedback resistor ratio, ( $R1:R2$ ) which cannot be less than 1:1.

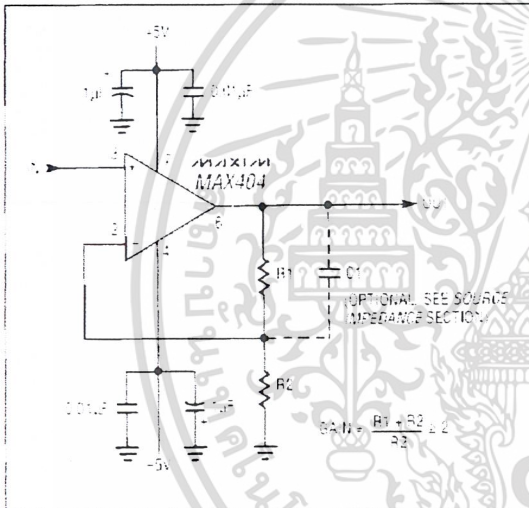


Figure 1. Noninverting Amplifier

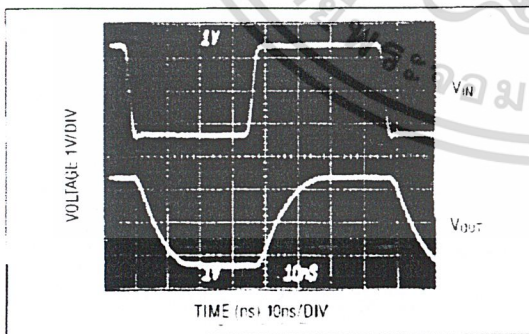


Figure 2. Noninverting Pulse Response

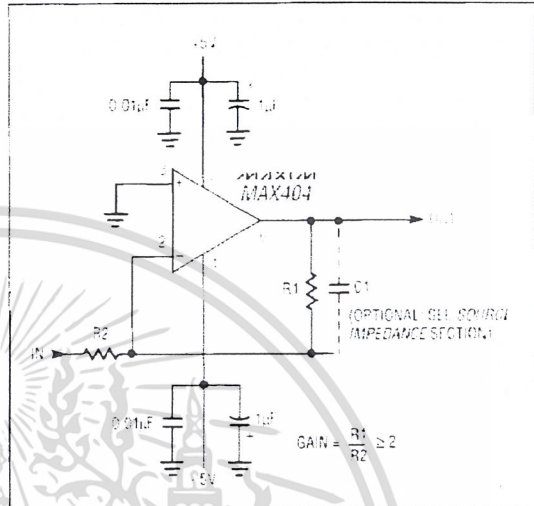


Figure 3. Inverting Amplifier

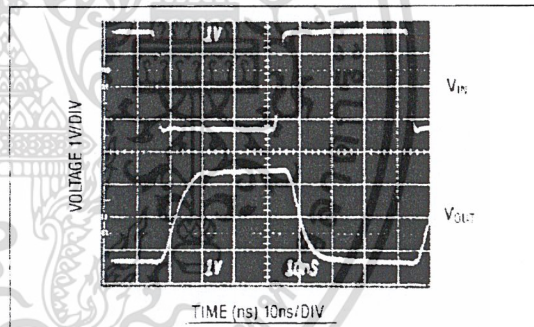


Figure 4. Inverting Pulse Response

### Source Impedance

Keep source impedance low to achieve high accuracy. DC errors predominantly result from the input offset voltage and the voltage developed by the input bias current (typically  $1\mu A$ ) through the source resistance. Because the design of the MAX404 is such that balancing the input resistances of the inverting and noninverting inputs may not reduce the input offset voltage. However, resistance in series with the inputs can provide protection by limiting current to the base of each input transistor when the input voltages exceed the  $\pm 3V$  common-mode range.

## Video Operational Amplifier

AC errors occur in all high-speed op amps. A lowpass RC filter results from the source resistance and the amplifier's input capacitance. Because the MAX404's input capacitance is typically only 3pF and the standard video source impedance is between 25Ω and 37.5Ω (seen at the amplifier's input), the RC filter does not influence performance. To minimize the AC effects of source impedance and input capacitance, source impedance should not exceed 1kΩ.

For applications requiring less overshoot, the input capacitance to the inverting input can be compensated by adding a small capacitor in parallel with the feedback resistor as shown in Figures 1, 3, 5. The capacitance value is strongly dependent on gain and board layout, but is typically 3pF. In standard NTSC, PAL, or SECAM video applications, where gain is usually less than 3V/V and feedback resistances are less than 500Ω, a compensation capacitor is not needed. In the noninverting configuration, performance can also be improved by providing a driven guard ring around the input pin.

Feedback resistors should be less than 1kΩ to insure that the RC time constant formed by the resistor and the amplifier's parasitic capacitance does not limit amplifier high-frequency performance.

### Coaxial Driver

Because the MAX404 is designed for closed-loop gains  $\geq 2V/V$ , it is an excellent choice as a 50Ω or 75Ω back-terminated coaxial cable driver (Figure 5). Even though the op amp is configured for a gain of 2V/V, it acts as a unity-gain buffer due to the voltage divider formed between the back-termination resistor and the load resistor. The signal swing at the output of the cable is the same as the amplifier's input signal.

Two 100Ω or 150Ω loads in parallel (two 50Ω or 75Ω back-terminated loads) can be driven to  $\pm 2V$ . Each load must have its own back-termination resistor.

Coaxial cable that is not terminated at both ends causes reflections. This produces ringing and increased settling time, seriously degrading pulse response.

Pulse response (see Figures 2 and 4) is achieved by using very short leads and terminations on the coaxial cables. This photo shows response to a 3Vp-p signal (from a 50Ω generator) with the op amp configured in a gain of 2V/V, driving a 100Ω load (back-terminated 50Ω). The voltage at the output pin ( $V_{OUT}$ ) is 6Vp-p.

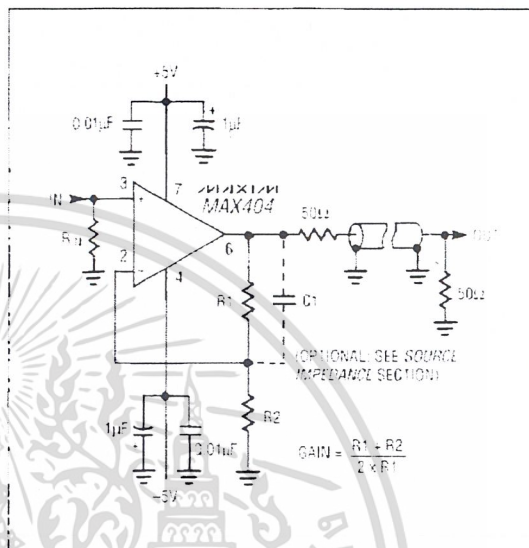


Figure 5. Coaxial Cable Driver

### Driving Capacitive Loads

The MAX404 drives large capacitive loads without instability. Figure 6 shows how increased capacitance slows rise and fall times, with minimal ringing. Be aware that as load capacitance, signal amplitude, and frequency increase, the MAX404 output current and power dissipation also increase.

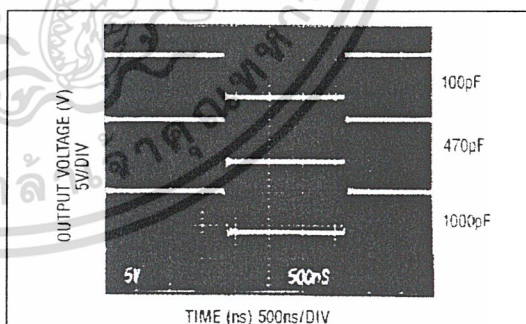


Figure 6. Driving Capacitive Loads

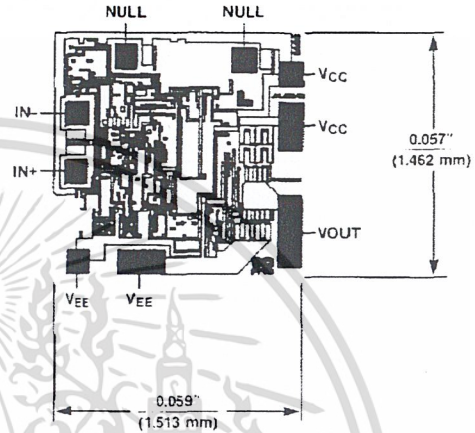
# Video Operational Amplifier

**MAX404**

## Output

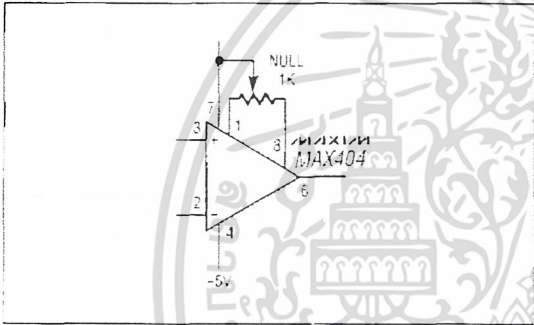
$V_{OUT}$  is protected against instantaneous short circuits. Internal current limiting keeps instantaneous output current to safe values, but sustained short circuits can raise the package dissipation beyond the absolute maximum rating. Typical short-circuit output current is 90mA.

## Chip Topography



## Input Offset-Voltage Trim

The MAX404 has an input offset voltage of less than  $\pm 8\text{mV}$  at  $+25^\circ\text{C}$ , which can be reduced further by nulling as shown in Figure 7. This circuit's offset-nulling range is approximately  $\pm 10\text{mV}$ .



NOTE: DOUBLE BOND TO RECTANGULAR PADS AND TRIPLE BOND TO  $V_{OUT}$ . SUBSTRATE IS CONNECTED TO  $V_{EE}$ .

Figure 7. Offset Null Circuit

## Bypassing

High-frequency performance requires careful layout, ground planes, and good bypassing. Both supply pins should have a  $0.01\mu\text{F}$  ceramic capacitor and a  $1\mu\text{F}$  tantalum capacitor to ground. Position these bypass capacitors as close to the supply pins as possible. Surface-mount chip capacitors are recommended because they have extremely low impedance over a wide range of frequencies.

## DAC0800/DAC0801/DAC0802 8-Bit Digital-to-Analog Converters

### General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 Vp-p with simple resistor loads as shown in Figure 1. The reference-to-full-scale current matching of better than  $\pm 1$  LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than  $\pm 0.1\%$  over temperature minimizes system error accumulations.

The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin,  $V_{LC}$ , grounded. Changing the  $V_{LC}$  potential will allow direct interface to other logic families. The performance and characteristics of the device are essentially unchanged over the full  $\pm 4.5V$  to  $\pm 18V$  power supply range; power dissipation is only 33 mW with  $\pm 5V$  supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C, DAC0801C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, DAC-08E and DAC-08H, respectively.

### Features

- Fast settling output current 100 ns
- Full scale error  $\pm 1$  LSB
- Nonlinearity over temperature  $\pm 0.1\%$
- Full scale current drift  $\pm 10$  ppm/ $^{\circ}C$
- High output compliance  $-10V$  to  $+18V$
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range  $\pm 4.5V$  to  $\pm 18V$
- Low power consumption 33 mW at  $\pm 5V$
- Low cost

### Typical Applications

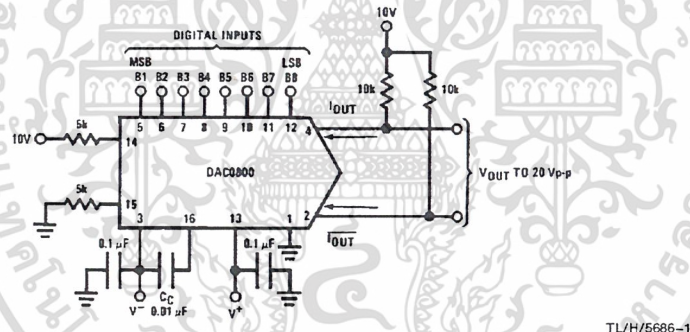


FIGURE 1.  $\pm 20$  Vp-p Output Digital-to-Analog Converter (Note 4)

### Ordering Information

Non-Linearity	Temperature Range	Order Numbers				
		J Package (J16A)*	N Package (N16A)*	SO Package (M16A)		
$\pm 0.1\%$ FS	$0^{\circ}C \leq T_A \leq +70^{\circ}C$	DAC0802LCJ	DAC-08HQ	DAC0802LCN	DAC-08HP	DAC0802LCM
$\pm 0.19\%$ FS	$-55^{\circ}C \leq T_A \leq +125^{\circ}C$	DAC0800LJ	DAC-08Q	DAC0800LCN	DAC-08EP	DAC0800LCM
$\pm 0.19\%$ FS	$0^{\circ}C \leq T_A \leq +70^{\circ}C$	DAC0800LCJ	DAC-08EQ	DAC0801LCN	DAC-08CP	DAC0801LCM
$\pm 0.39\%$ FS	$0^{\circ}C \leq T_A \leq +70^{\circ}C$					

\*Devices may be ordered by using either order number.

## Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage ( $V^+ - V^-$ )	$\pm 18V$ or $36V$
Power Dissipation (Note 2)	500 mW
Reference Input Differential Voltage ( $V_{14}$ to $V_{15}$ )	$V^-$ to $V^+$
Reference Input Common-Mode Range ( $V_{14}$ , $V_{15}$ )	$V^-$ to $V^+$
Reference Input Current	5 mA
Logic Inputs	$V^-$ to $V^-$ plus 36V
Analog Current Outputs ( $V_{S^-} = -15V$ )	4.25 mA
ESD Susceptibility (Note 3)	TBD V
Storage Temperature	$-65^\circ C$ to $+150^\circ C$

Lead Temp. (Soldering, 10 seconds)

Dual-In-Line Package (plastic)	$260^\circ C$
Dual-In-Line Package (ceramic)	$300^\circ C$
Surface Mount Package	
Vapor Phase (60 seconds)	$215^\circ C$
Infrared (15 seconds)	$220^\circ C$

## Operating Conditions (Note 1)

	Min	Max	Units
Temperature ( $T_A$ )			
DAC0800L	-55	+125	$^\circ C$
DAC0800LC	0	+70	$^\circ C$
DAC0801LC	0	+70	$^\circ C$
DAC0802LC	0	+70	$^\circ C$

**Electrical Characteristics** The following specifications apply for  $V_S = \pm 15V$ ,  $I_{REF} = 2$  mA and  $T_{MIN} \leq T_A \leq T_{MAX}$  unless otherwise specified. Output characteristics refer to both  $I_{OUT}$  and  $I_{OUT}$ .

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units	
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
	Resolution Monotonicity Nonlinearity		8 8 $\pm 0.1$	8 8 $\pm 0.1$	8 8 $\pm 0.1$	8 8 $\pm 0.19$	8 8 $\pm 0.19$	8 8 $\pm 0.19$	8 8 $\pm 0.39$	8 8 $\pm 0.39$	Bits Bits %FS		
$t_s$	Settling Time	To $\pm 1/2$ LSB, All Bits Switched "ON" or "OFF", $T_A = 25^\circ C$ DAC0800L DAC0800LC		100	135		100 100	135 150		100 150	ns ns ns		
$t_{PLH}$ , $t_{PHL}$	Propagation Delay Each Bit All Bits Switched	$T_A = 25^\circ C$		35 35	60 60		35 35	60 60		35 60	ns ns		
$TC_{FS}$	Full Scale Tempco			$\pm 10$	$\pm 50$		$\pm 10$	$\pm 50$		$\pm 10$	$\pm 80$	ppm/ $^\circ C$	
$V_{OC}$	Output Voltage Compliance	Full Scale Current Change < $1/2$ LSB, $R_{OUT} > 20$ M $\Omega$ Typ	-10		18	-10		18	-10		18	V	
$I_{FS4}$	Full Scale Current	$V_{REF} = 10.000V$ , $R_{14} = 5.000$ k $\Omega$ $R_{15} = 5.000$ k $\Omega$ , $T_A = 25^\circ C$	1.984	1.992	2.000	1.94	1.99	2.04	1.94	1.99	2.04	mA	
$I_{FS5}$	Full Scale Symmetry	$I_{FS4} - I_{FS2}$		$\pm 0.5$	$\pm 4.0$		$\pm 1$	$\pm 8.0$		$\pm 2$	$\pm 16$	$\mu A$	
$I_{ZS}$	Zero Scale Current			0.1	1.0		0.2	2.0		0.2	4.0	$\mu A$	
$I_{FSR}$	Output Current Range	$V^- = -5V$ $V^- = -8V$ to $-18V$	0 0	2.0 2.0	2.1 4.2	0 0	2.0 2.0	2.1 4.2	0 0	2.0 2.0	2.1 4.2	mA mA	
$V_{IL}$ $V_{IH}$	Logic Input Levels Logic "0" Logic "1"	$V_{LC} = 0V$			0.8			0.8		2.0	0.8	V V	
$I_{IL}$ $I_{IH}$	Logic Input Current Logic "0" Logic "1"	$V_{LC} = 0V$ $-10V \leq V_{IN} \leq +0.8V$ $2V \leq V_{IN} \leq +18V$		-2.0 0.002	-10 10		-2.0 0.002	-10 10		-2.0 0.002	-10 10	$\mu A$ $\mu A$	
$V_{IS}$	Logic Input Swing	$V^- = -15V$	-10		18	-10		18	-10		18	V	
$V_{THR}$	Logic Threshold Range	$V_S = \pm 15V$	-10		13.5	-10		13.5	-10		13.5	V	
$I_{15}$	Reference Bias Current			-1.0	-3.0		-1.0	-3.0		-1.0	-3.0	$\mu A$	
$dl/dt$	Reference Input Slew Rate	(Figure 12)	4.0	8.0		4.0	8.0		4.0	8.0		mA/ $\mu s$	
$PSS_{FS+}$ $PSS_{FS-}$	Power Supply Sensitivity	$4.5V \leq V^+ \leq 18V$ $-4.5V \leq V^- \leq 18V$ $I_{REF} = 1mA$		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/% %/%	
$I^+$ $I^-$	Power Supply Current	$V_S = \pm 5V$ , $I_{REF} = 1$ mA		2.3 -4.3	3.8 -5.8		2.3 -4.3	3.8 -5.8		2.3 -4.3	3.8 -5.8	mA mA	
$I^+$ $I^-$			$V_S = 5V$ , $-15V$ , $I_{REF} = 2$ mA		2.4 -6.4	3.8 -7.8		2.4 -6.4	3.8 -7.8		2.4 -6.4	3.8 -7.8	mA mA
$I^+$ $I^-$			$V_S = \pm 15V$ , $I_{REF} = 2$ mA		2.5 -6.5	3.8 -7.8		2.5 -6.5	3.8 -7.8		2.5 -6.5	3.8 -7.8	mA mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Electrical Characteristics (Continued)

The following specifications apply for  $V_S = \pm 15V$ ,  $I_{REF} = 2\text{ mA}$  and  $T_{MIN} \leq T_A \leq T_{MAX}$  unless otherwise specified. Output characteristics refer to both  $I_{OUT}$  and  $\overline{I_{OUT}}$ .

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
$P_D$	Power Dissipation	$\pm 5V, I_{REF} = 1\text{ mA}$ $5V, -15V, I_{REF} = 2\text{ mA}$ $\pm 15V, I_{REF} = 2\text{ mA}$		33	48		33	48		33	48	mW
				108	136		108	136		108	136	mW
				135	174		135	174		135	174	mW

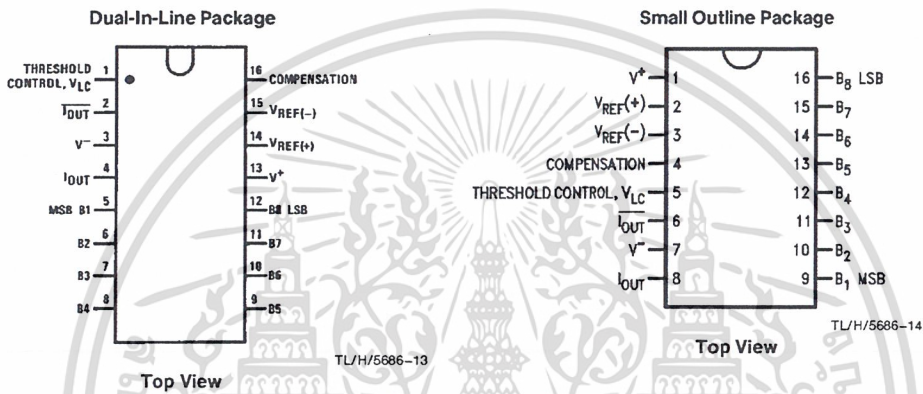
**Note 1:** Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

**Note 2:** The maximum junction temperature of the DAC0800, DAC0801 and DAC0802 is 125°C. For operating at elevated temperatures, devices in the Dual-In-Line J package must be derated based on a thermal resistance of 100°C/W, junction-to-ambient, 175°C/W for the molded Dual-In-Line N package and 100°C/W for the Small Outline M package.

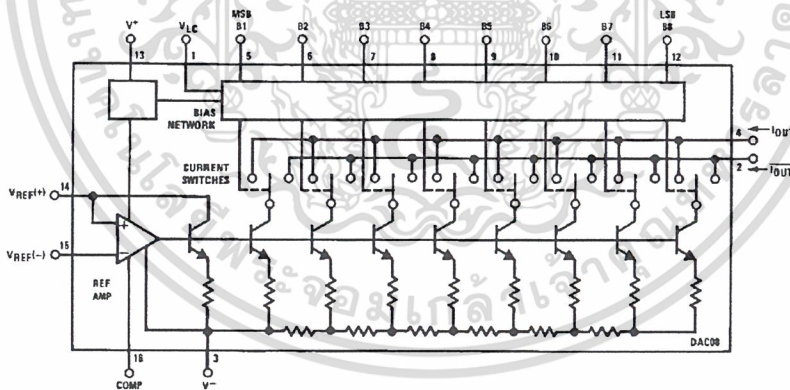
**Note 3:** Human body model, 100 pF discharged through a 1.5 kΩ resistor.

**Note 4:** Pin-out numbers for the DAC080X represent the Dual-In-Line package. The Small Outline package pin-out differs from the Dual-In-Line package.

## Connection Diagrams



## Block Diagram (Note 4)

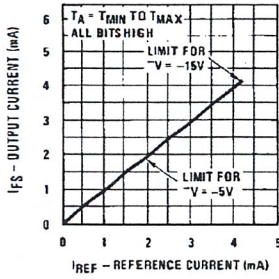


TL/H/5686-2

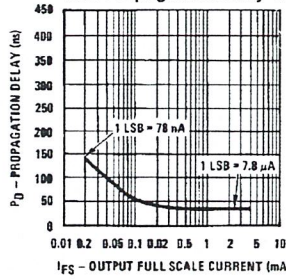
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# Typical Performance Characteristics

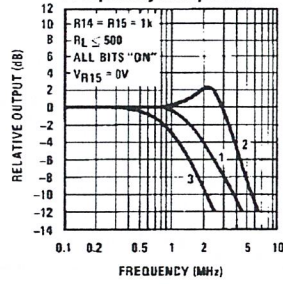
Full Scale Current vs Reference Current



LSB Propagation Delay Vs I<sub>FS</sub>

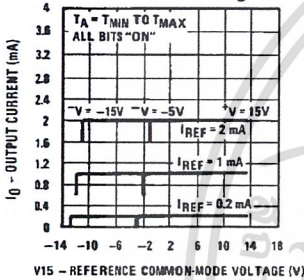


Reference Input Frequency Response



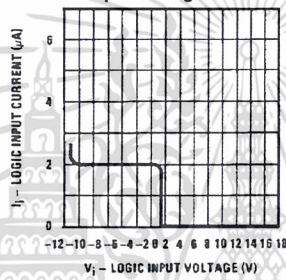
Curve 1:  $C_C = 15 \text{ pF}$ ,  $V_{IN} = 2 \text{ Vp-p}$  centered at 1V.  
 Curve 2:  $C_C = 15 \text{ pF}$ ,  $V_{IN} = 50 \text{ mVp-p}$  centered at 200 mV.  
 Curve 3:  $C_C = 0 \text{ pF}$ ,  $V_{IN} = 100 \text{ mVp-p}$  at 0V and applied through  $50 \Omega$  connected to pin 14. 2V applied to pin 14.2V applied to R14.

Reference Amp Common-Mode Range

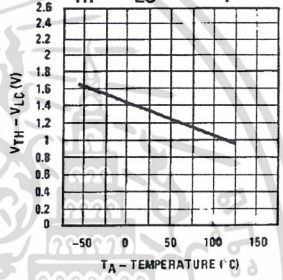


Note. Positive common-mode range is always  $(V+) - 1.5V$ .

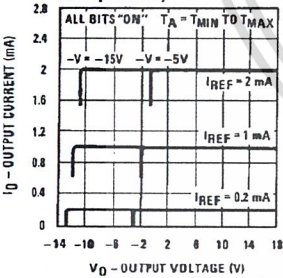
Logic Input Current vs Input Voltage



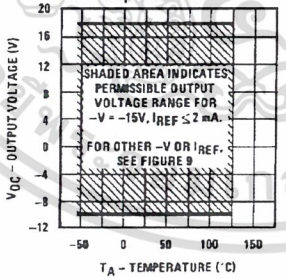
V<sub>TH</sub> - V<sub>LC</sub> vs Temperature



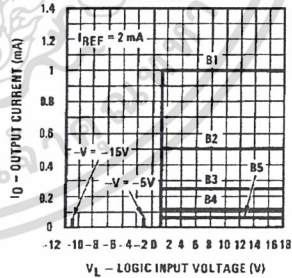
Output Current vs Output Voltage (Output Voltage Compliance)



Output Voltage Compliance vs Temperature



Bit Transfer Characteristics

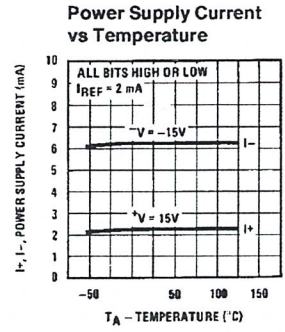
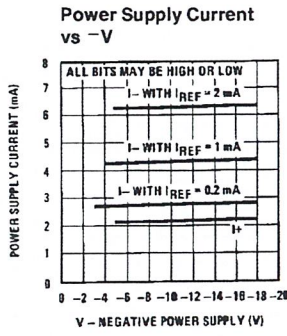
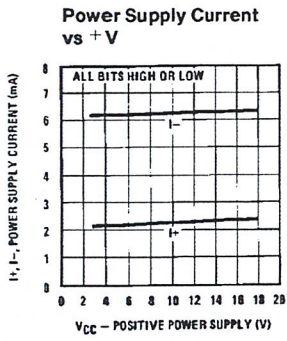


TL/H/5686-3

Note. B1-B8 have identical transfer characteristics. Bits are fully switched with less than  $1/2$  LSB error, at less than  $\pm 100 \text{ mV}$  from actual threshold. These switching points are guaranteed to lie between 0.8 and 2V over the operating temperature range ( $V_{LC} = 0V$ ).

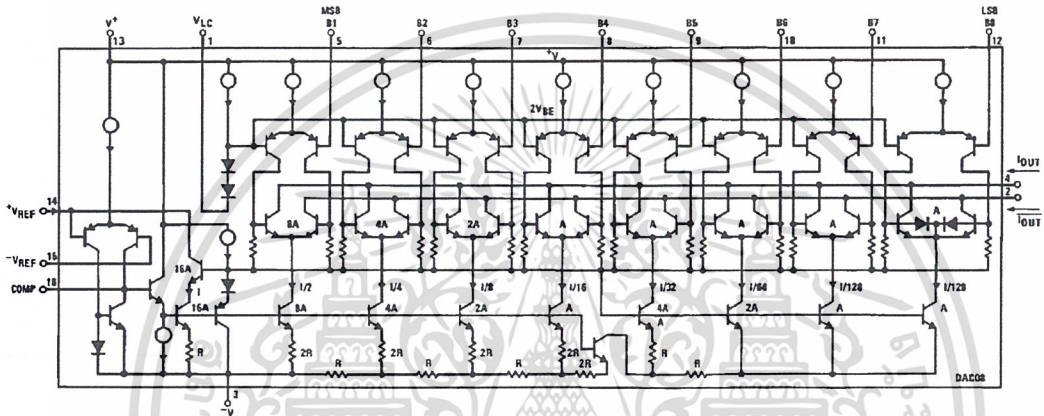
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Performance Characteristics (Continued)



TL/H/5686-4

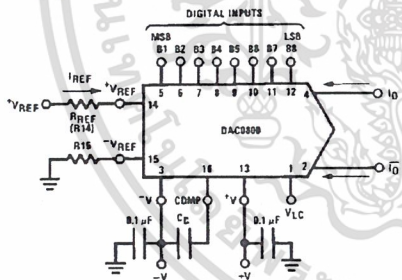
## Equivalent Circuit



TL/H/5686-15

## Typical Applications (Continued)

FIGURE 2

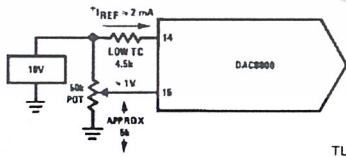


$$I_{FS} \approx \frac{+V_{REF}}{R_{REF}} \times \frac{255}{256}$$

$$I_O + \bar{I}_O = I_{FS} \text{ for all logic states}$$
 For fixed reference, TTL operation, typical values are:  
 $V_{REF} = 10.000V$   
 $R_{REF} = 5.000k$   
 $R_{15} \approx R_{REF}$   
 $C_C = 0.01 \mu F$   
 $V_{LC} = 0V \text{ (Ground)}$

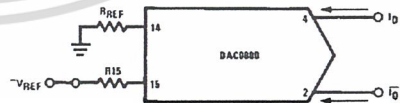
TL/H/5686-5

FIGURE 3. Basic Positive Reference Operation (Note 4)



TL/H/5686-21

FIGURE 4. Recommended Full Scale Adjustment Circuit (Note 4)



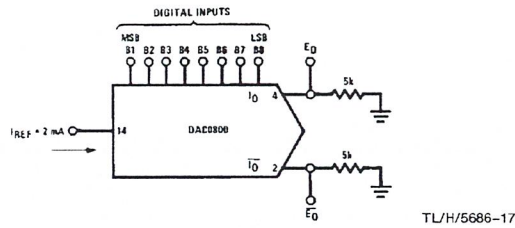
TL/H/5686-16

$$I_{FS} \approx \frac{-V_{REF}}{R_{REF}} \times \frac{255}{256}$$
 Note:  $R_{REF}$  sets  $I_{FS}$ ;  $R_{15}$  is for bias current cancellation

FIGURE 5. Basic Negative Reference Operation (Note 4)

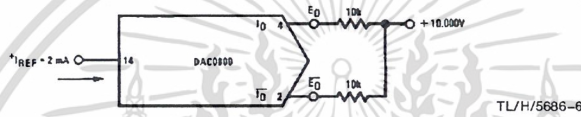
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Applications (Continued)



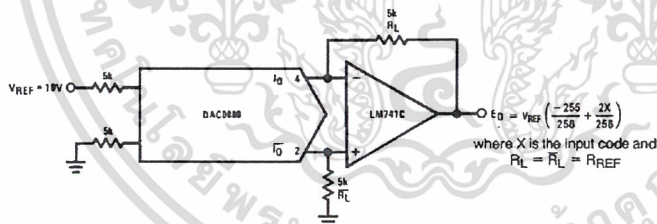
	B1	B2	B3	B4	B5	B6	B7	B8	$I_0$ mA	$\bar{I}_0$ mA	$E_0$	$\bar{E}_0$
Full Scale	1	1	1	1	1	1	1	1	1.992	0.000	-9.960	0.000
Full Scale - LSB	1	1	1	1	1	1	1	0	1.984	0.008	-9.920	-0.040
Half Scale + LSB	1	0	0	0	0	0	0	1	1.008	0.984	-5.040	-4.920
Half Scale	1	0	0	0	0	0	0	0	1.000	0.992	-5.000	-4.960
Half Scale - LSB	0	1	1	1	1	1	1	1	0.992	1.000	-4.960	-5.000
Zero Scale + LSB	0	0	0	0	0	0	0	1	0.008	1.984	-0.040	-9.920
Zero Scale	0	0	0	0	0	0	0	0	0.000	1.992	0.000	-9.960

FIGURE 6. Basic Unipolar Negative Operation (Note 4)



	B1	B2	B3	B4	B5	B6	B7	B8	$E_0$	$\bar{E}_0$
Pos. Full Scale	1	1	1	1	1	1	1	1	-9.920	+10.000
Pos. Full Scale - LSB	1	1	1	1	1	1	1	0	-9.840	+9.920
Zero Scale + LSB	1	0	0	0	0	0	0	1	-0.080	+0.160
Zero Scale	1	0	0	0	0	0	0	0	0.000	+0.080
Zero Scale - LSB	0	1	1	1	1	1	1	1	+0.080	0.000
Neg. Full Scale + LSB	0	0	0	0	0	0	0	1	+9.920	-9.840
Neg. Full Scale	0	0	0	0	0	0	0	0	+10.000	-9.920

FIGURE 7. Basic Bipolar Output Operation (Note 4)



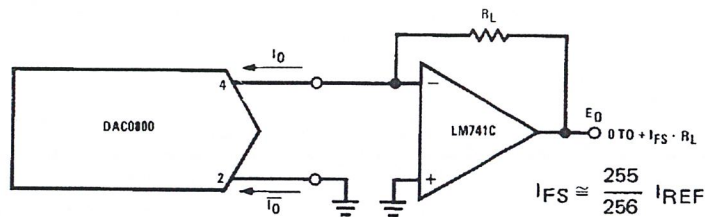
If  $R_L = \bar{R}_L$  within  $\pm 0.05\%$ , output is symmetrical about ground

	B1	B2	B3	B4	B5	B6	B7	B8	$E_0$
Pos. Full Scale	1	1	1	1	1	1	1	1	+9.960
Pos. Full Scale - LSB	1	1	1	1	1	1	1	0	+9.880
(+)Zero Scale	1	0	0	0	0	0	0	0	+0.040
(-)Zero Scale	0	1	1	1	1	1	1	1	-0.040
Neg. Full Scale + LSB	0	0	0	0	0	0	0	1	-9.880
Neg. Full Scale	0	0	0	0	0	0	0	0	-9.960

FIGURE 8. Symmetrical Offset Binary Operation (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

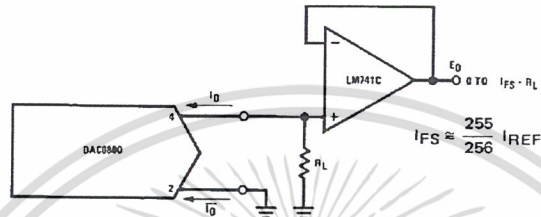
## Typical Applications (Continued)



TL/H/5686-19

For complementary output (operation as negative logic DAC), connect inverting input of op amp to  $I_O$  (pin 2); connect  $I_O$  (pin 4) to ground.

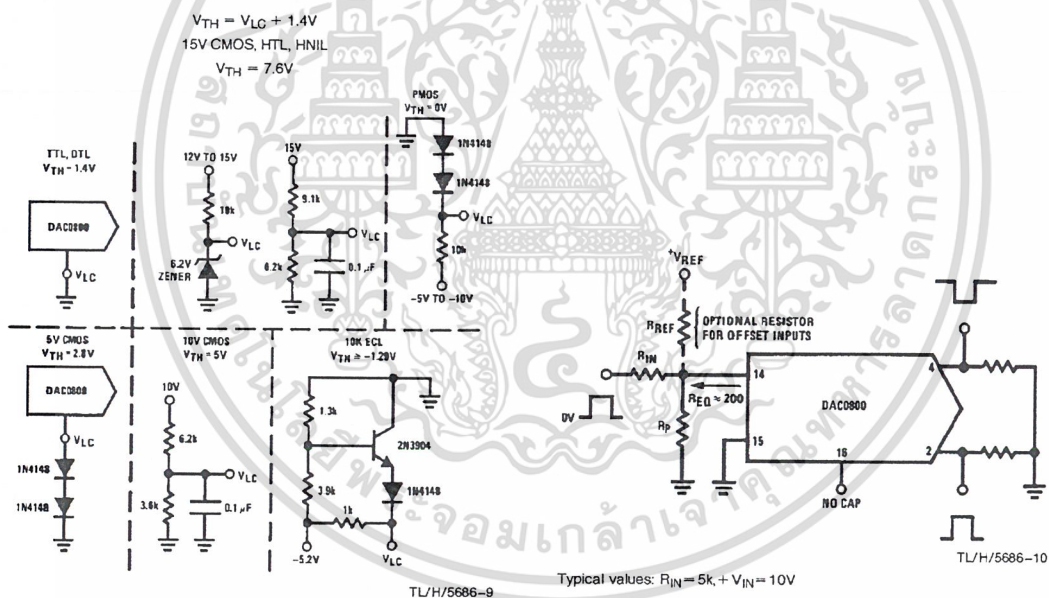
**FIGURE 9. Positive Low Impedance Output Operation (Note 4)**



TL/H/5686-20

For complementary output (operation as a negative logic DAC) connect non-inverting input of op amp to  $I_O$  (pin 2); connect  $I_O$  (pin 4) to ground.

**FIGURE 10. Negative Low Impedance Output Operation (Note 4)**



TL/H/5686-9

Typical values:  $R_{IN} = 5k + V_{IN} = 10V$

TL/H/5686-10

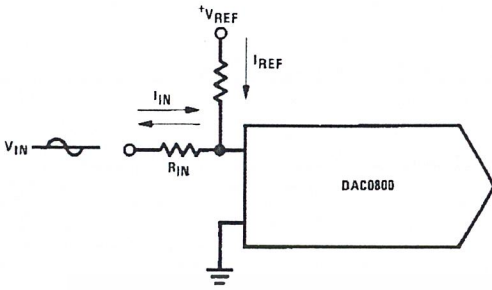
Note. Do not exceed negative logic input range of DAC.

**FIGURE 11. Interfacing with Various Logic Families**

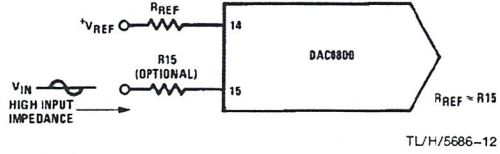
**FIGURE 12. Pulsed Reference Operation (Note 4)**

**Typical Applications** (Continued)

(a)  $I_{REF} \geq$  peak negative swing of  $I_{IN}$

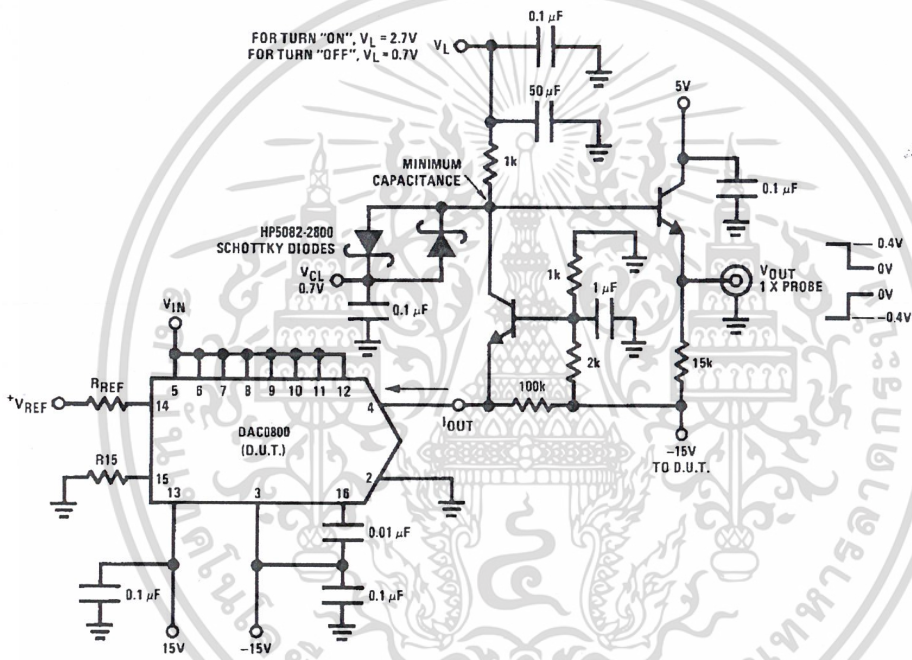


(b)  $+V_{REF}$  must be above peak positive swing of  $V_{IN}$



TL/H/5686-11

**FIGURE 13. Accommodating Bipolar References (Note 4)**



**FIGURE 14. Settling Time Measurement (Note 4)**

TL/H/5686-7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Applications (Continued)

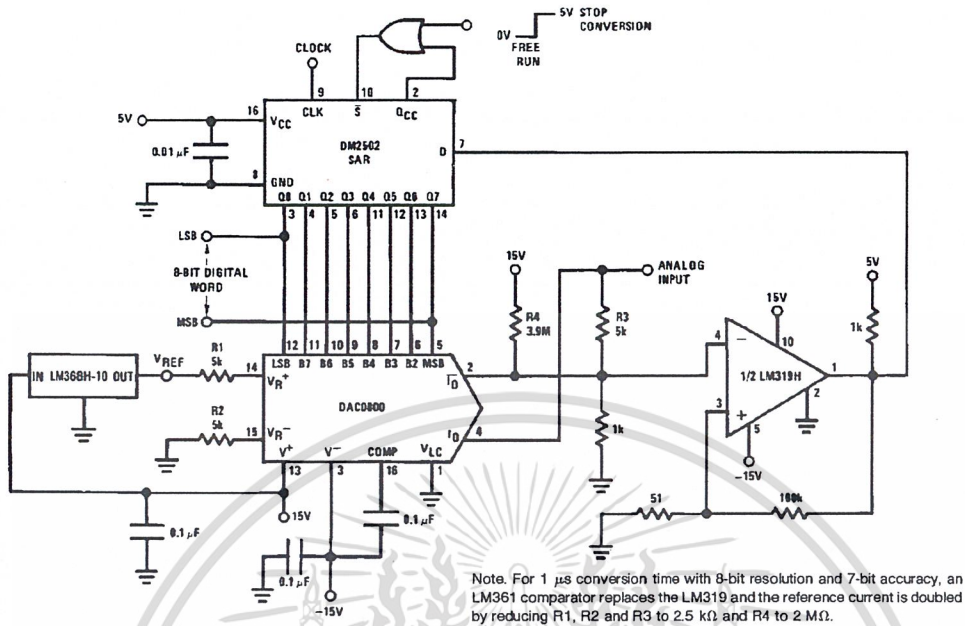
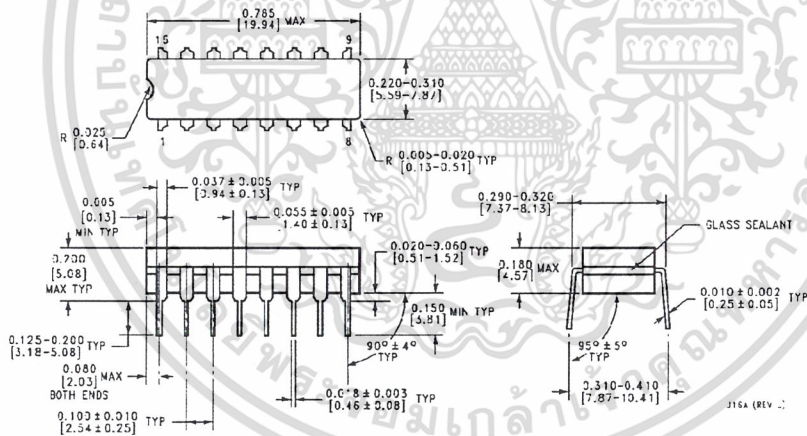


FIGURE 15. A Complete 2  $\mu$ s Conversion Time, 8-Bit A/D Converter (Note 4)

TL/H/5686-8

## Physical Dimensions inches (millimeters)

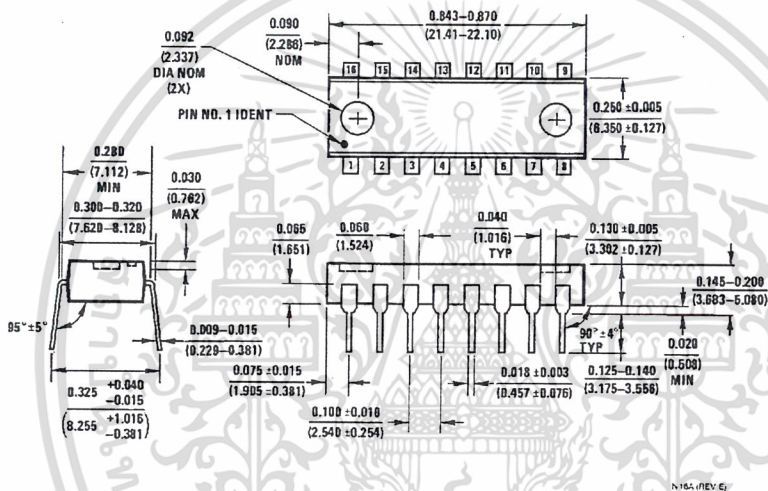
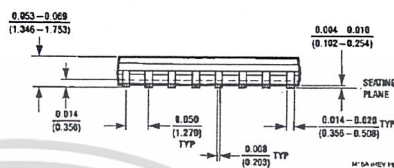
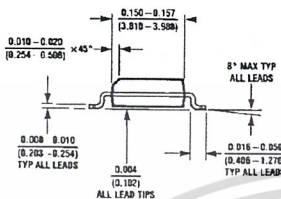
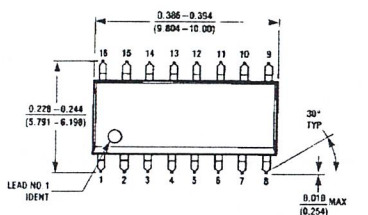


**Molded Dual-In-Line Package**  
**Order Numbers DAC0800 or DAC0802**  
**NS Package Number J16A**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Physical Dimensions** inches (millimeters) (Continued)

**Molded Small Outline Package (SO)**  
 Order Numbers DAC0800LCM,  
 DAC0801LCM or DAC0802LCM  
 NS Package Number M16A



**Molded Dual-In-Line Package**  
 Order Numbers DAC0800, DAC0801, DAC0802  
 NS Package Number N16A

**LIFE SUPPORT POLICY**

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

**National Semiconductor Corporation**  
 1111 West Bardin Road  
 Arlington, TX 78017  
 Tel: 1(800) 272-9959  
 Fax: 1(800) 737-7018

**National Semiconductor Europe**  
 Fax: (+49) 0-180-530 85 86  
 Email: cn@wge@tevm2.nsc.com  
 Deutsch Tel: (+49) 0-180-530 85 85  
 English Tel: (+49) 0-180-532 78 32  
 Français Tel: (+49) 0-180-532 93 58  
 Italiano Tel: (+49) 0-180-534 16 80

**National Semiconductor Hong Kong Ltd.**  
 13th Floor, Straight Block,  
 Ocean Centre, 5 Canton Rd.  
 Tsimshatsui, Kowloon  
 Hong Kong  
 Tel: (852) 2737-1800  
 Fax: (852) 2738-9960

**National Semiconductor Japan Ltd.**  
 Tel: 81-043-299-2309  
 Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## LM1881 Video Sync Separator

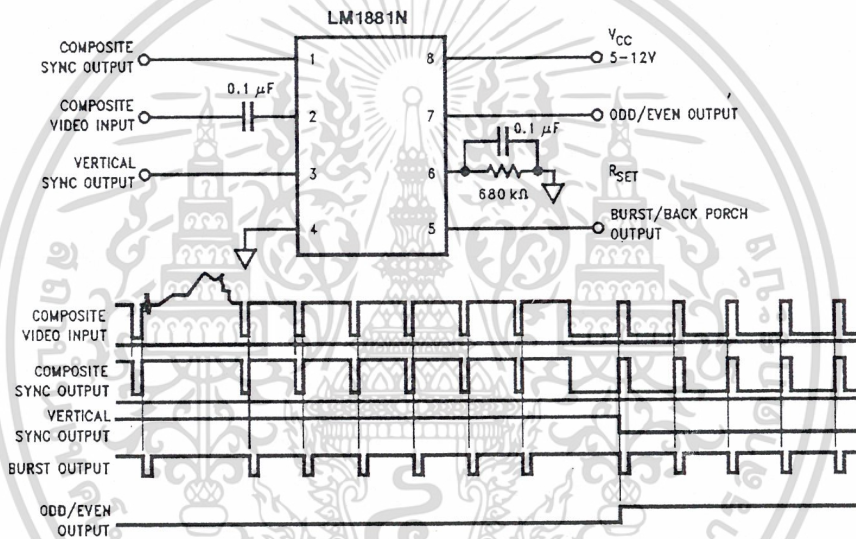
### General Description

The LM1881 Video sync separator extracts timing information including composite and vertical sync, burst/back porch timing, and odd/even field information from standard negative going sync NTSC, PAL\*, and SECAM video signals with amplitude from 0.5V to 2V p-p. The integrated circuit is also capable of providing sync separation for non-standard, faster horizontal rate video signals. The vertical output is produced on the rising edge of the first serration in the vertical sync period. A default vertical output is produced after a time delay if the rising edge mentioned above does not occur within the externally set delay period, such as might be the case for a non-standard video signal.

### Features

- AC coupled composite input signal
- > 10 k $\Omega$  input resistance
- < 10 mA power supply drain current
- Composite sync and vertical outputs
- Odd/even field output
- Burst gate/back porch output
- Horizontal scan rates to 150 kHz
- Edge triggered vertical output
- Default triggered vertical output for non-standard video signal (video games-home computers)

### Connection Diagram



Order Number LM1881M or LM1881N  
See NS Package Number M08A or N08E

TL/H/9150-1

\*PAL in this datasheet refers to European broadcast TV standard "Phase Alternating Line", and not to Programmable Array Logic.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	13.2V
Input Voltage	3 Vpp ( $V_{CC} = 5V$ ) 6 Vpp ( $V_{CC} \geq 8V$ )
Output Sink Currents; Pins 1, 3, 5	5 mA
Output Sink Current; Pin 7	2 mA
Package Dissipation (Note 1)	1100 mW
Operating Temperature Range	0°C – 70°C

Storage Temperature Range	–65°C to +150°C
ESD Susceptibility (Note 2)	2 kV
Soldering Information	
Dual-In-Line Package (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and their Effect on Product Reliability" for other methods of soldering surface mount devices.

## Electrical Characteristics

$V_{CC} = 5V$ ;  $R_{SET} = 680\text{ k}\Omega$ ;  $T_A = 25^\circ\text{C}$ ; Unless otherwise specified

Parameter	Conditions	Typ	Tested Limit (Note 3)	Design Limit (Note 4)	Units (Limits)
Supply Current	Outputs at Logic 1	$V_{CC} = 5V$	5.2	10	mAmax
		$V_{CC} = 12V$	5.5	12	mAmax
DC Input Voltage	Pin 2		1.5	1.3 1.8	Vmin Vmax
Input Threshold Voltage	Note 5	70	55 85		mVmin mVmax
Input Discharge Current	Pin 2; $V_{IN} = 2V$	11	6 16		$\mu\text{Amin}$ $\mu\text{Amax}$
Input Clamp Charge Current	Pin 2; $V_{IN} = 1V$	0.8	0.2		mAmin
$R_{SET}$ Pin Reference Voltage	Pin 6; Note 6	1.22	1.10 1.35		Vmin Vmax
Composite Sync. & Vertical Outputs	$I_{OUT} = 40\ \mu\text{A}$ ; Logic 1	$V_{CC} = 5V$	4.5	4.0	Vmin
		$V_{CC} = 12V$		11.0	Vmin
	$I_{OUT} = 1.6\ \text{mA}$ ; Logic 1	$V_{CC} = 5V$	3.6	2.4	Vmin
		$V_{CC} = 12V$		10.0	Vmin
Burst Gate & Odd/Even Outputs	$I_{OUT} = 40\ \mu\text{A}$ ; Logic 1	$V_{CC} = 5V$	4.5	4.0	Vmin
		$V_{CC} = 12V$		11.0	Vmin
Composite Sync. Output	$I_{OUT} = -1.6\ \text{mA}$ ; Logic 0; Pin 1	0.2	0.8		Vmax
Vertical Sync. Output	$I_{OUT} = -1.6\ \text{mA}$ ; Logic 0; Pin 3	0.2	0.8		Vmax
Burst Gate Output	$I_{OUT} = -1.6\ \text{mA}$ ; Logic 0; Pin 5	0.2	0.8		Vmax
Odd/Even Output	$I_{OUT} = -1.6\ \text{mA}$ ; Logic 0; Pin 7	0.2	0.8		Vmax
Vertical Sync Width			230	190 300	$\mu\text{smin}$ $\mu\text{smax}$
Burst Gate Width	2.7 k $\Omega$ from Pin 5 to $V_{CC}$		4	2.5 4.7	$\mu\text{smin}$ $\mu\text{smax}$
Vertical Default Time	Note 7		65	32 90	$\mu\text{smin}$ $\mu\text{smax}$

**Note 1:** For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and a package thermal resistance of 110° C/W, junction to ambient.

**Note 2:** ESD susceptibility test uses the "human body model, 100 pF discharged through a 1.5 k $\Omega$  resistor".

**Note 3:** Typical values are at  $T_J = 25^\circ\text{C}$  and represent the most likely parametric norm.

**Note 4:** Tested Limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

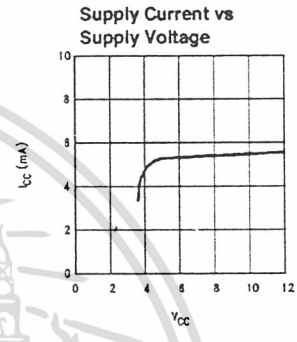
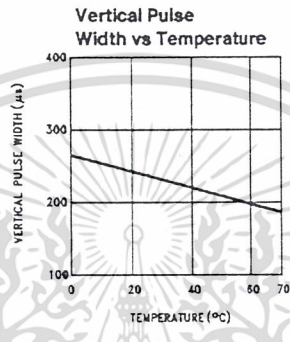
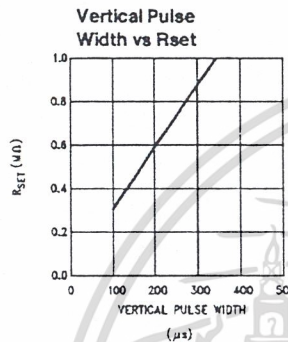
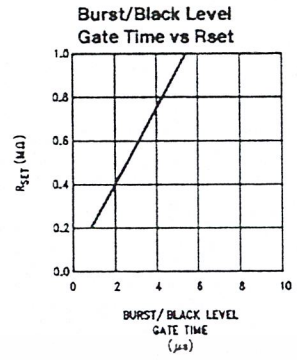
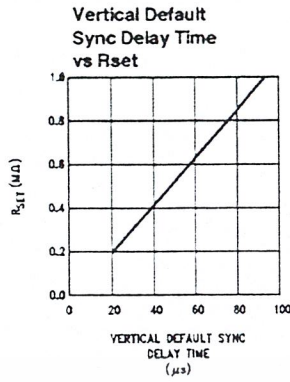
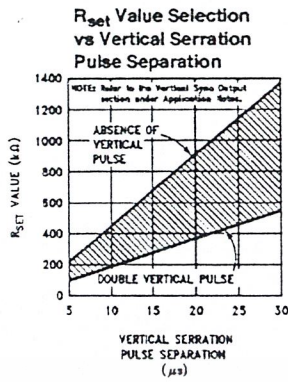
**Note 5:** Relative difference between the input clamp voltage and the minimum input voltage which produces a horizontal output pulse.

**Note 6:** Careful attention should be made to prevent parasitic capacitance coupling from any output pin (Pins 1, 3, 5, and 7) to the  $R_{SET}$  pin (Pin 6).

**Note 7:** Delay time between the start of vertical sync (at input) and the vertical output pulse.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Performance Characteristics



TL/H/9150-2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Application Notes

The LM1881 is designed to strip the synchronization signals from composite video sources that are in, or similar to, the N.T.S.C. format. Input signals with positive polarity video (increasing signal voltage signifies increasing scene brightness) from 0.5V (p-p) to 2V (p-p) can be accommodated. The LM1881 operates from a single supply voltage between 5V DC and 12V DC. The only required external components beside power supply and set current decoupling are the input coupling capacitor and a single resistor that sets internal current levels, allowing the LM1881 to be adjusted for source signals with line scan frequencies differing from 15.734 kHz. Four major sync signals are available from the I/C: composite sync including both horizontal and vertical scan timing information; a vertical sync pulse; a burst gate or back porch clamp pulse; and an odd/even output. The odd/even output level identifies which video field of an interlaced video source is present at the input. The outputs from the LM1881 can be used to gen-lock video camera/VTR signals with graphics sources, provide identification of video fields for memory storage, recover suppressed or contaminated sync signals, and provide timing references for the extraction of coded or uncoded data on specific video scan lines.

To better understand the LM1881 timing information and the type of signals that are used, refer to *Figure 2(a-e)* which shows a portion of the composite video signal from the end of one field through the beginning of the next field.

### COMPOSITE SYNC OUTPUT

The composite sync output, *Figure 2(b)*, is simply a reproduction of the signal waveform below the composite video black level, with the video completely removed. This is obtained by clamping the video signal sync tips to 1.5V DC at Pin 2 and using a comparator threshold set just above this voltage to strip the sync signal, which is then buffered out to Pin 1. The threshold separation from the clamped sync tip is nominally 70 mV which means that for the minimum input level of 0.5V (p-p), the clipping level is close to the halfway point on the sync pulse amplitude (shown by the dashed line on *Figure 2(a)*). This threshold separation is independent of the signal amplitude, therefore, for a 2V (p-p) input the clipping level occurs at 11% of the sync pulse amplitude. The charging current for the input coupling capacitor is 0.8 mA, whereas the discharge current is only 11  $\mu$ A, typically. This allows relatively small capacitor values to be used—0.1  $\mu$ F is generally recommended.

Normally the signal source for the LM1881 is assumed to be clean and relatively noise-free, but some sources may have excessive video peaking, causing high frequency video and chroma components to extend below the black level reference. Some video discs keep the chroma burst pulse present throughout the vertical blanking period so that the burst actually appears on the sync tips for three line periods instead of at black level. A clean composite sync signal can be generated from these sources by filtering the input signal. When the source impedance is low, typically 75 $\Omega$ , a 620 $\Omega$  resistor in series with the source and a 510 pF capacitor to ground will form a low pass filter with a corner frequency of 500 kHz. This bandwidth is more than sufficient to pass the sync pulse portion of the waveform; however, any subcarrier content in the signal will be attenuated by almost 18 dB, effectively taking it below the comparator threshold. Filtering will also help if the source is contaminated with thermal noise. The output waveforms will become delayed

from between 40 ns to as much as 200 ns due to this filter. This much delay will not usually be significant but it does contribute to the sync delay produced by any additional signal processing. Since the original video may also undergo processing, the need for time delay correction will depend on the total system, not just the sync stripper.

### VERTICAL SYNC OUTPUT

A vertical sync output is derived by internally integrating the composite sync waveform (*Figure 3*). To understand the generation of the vertical sync pulse, refer to the lower left hand section *Figure 3*. Note that there are two comparators in the section. One comparator has an internally generated voltage reference called  $V_1$  going to one of its inputs. The other comparator has an internally generated voltage reference called  $V_2$  going to one of its inputs. Both comparators have a common input at their noninverting input coming from the internal integrator. The internal integrator is used for integrating the composite sync signal. This signal comes from the input side of the composite sync buffer and are positive going sync pulses. The capacitor to the integrator is internal to the LM1881. The capacitor charge current is set by the value of the external resistor  $R_{set}$ . The output of the integrator is going to be at a low voltage during the normal horizontal lines because the integrator has a very short time to charge the capacitor, which is during the horizontal sync period. The equalization pulses will keep the output voltage of the integrator at about the same level, below the  $V_1$ . During the vertical sync period the narrow going positive pulses shown in *Figure 2* is called the serration pulse. The wide negative portion of the vertical sync period is called the vertical sync pulse. At the start of the vertical sync period, before the first Serration pulse occurs, the integrator now charges the capacitor to a much higher voltage. At the first serration pulse the integrator output should be between  $V_1$  and  $V_2$ . This would give a high level at the output of the comparator with  $V_1$  as one of its inputs. This high is clocked into the "D" flip-flop by the falling edge of the serration pulse (remember the sync signal is inverted in this section of the LM1881). The "Q" output of the "D" flip-flop goes through the OR gate, and sets the R/S flip-flop. The output of the R/S flip-flop enables the internal oscillator and also clocks the ODD/EVEN "D" flip-flop. The ODD/EVEN field pulse operation is covered in the next section. The output of the oscillator goes to a divide by 8 circuit, thus resetting the R/S flip-flop after 8 cycles of the oscillator. The frequency of the oscillator is established by the internal capacitor going to the oscillator and the external  $R_{set}$ . The "Q" output of the R/S flip-flop goes to pin 3 and is the actual vertical sync output of the LM1881. By clocking the "D" flip-flop at the start of the first serration pulse means that the vertical sync output pulse starts at this point in time and lasts for eight cycles of the internal oscillator as shown in *Figure 2*.

How  $R_{set}$  affects the integrator and the internal oscillator is shown under the Typical Performance Characteristics. The first graph is " $R_{set}$  Value Selection vs Vertical Serration Pulse Separation". For this graph to be valid, the vertical sync pulse should last for at least 85% of the horizontal half line (47% of a full horizontal line). A vertical sync pulse from any standard should meet this requirement; both NTSC and PAL do meet this requirement (the serration pulse is the remainder of the period, 10% to 15% of the horizontal



## Application Notes (Continued)

half line). Remember this pulse is a positive pulse at the integrator but negative in *Figure 2*. This graph shows how long it takes the integrator to charge its internal capacitor above  $V_1$ .

WITH  $R_{set}$  too large the charging current of the integrator will be too small to charge the capacitor above  $V_1$ , thus there will be no vertical sync output pulse. As mentioned above,  $R_{set}$  also sets the frequency of the internal oscillator. If the oscillator runs too fast its eight cycles will be shorter than the vertical sync portion of the composite sync. Under this condition another vertical sync pulse can be generated on one of the later serration pulses after the divide by 8 circuit resets the R/S flip-flop. The first graph also shows the minimum  $R_{set}$  necessary to prevent a double vertical pulse, assuming that the serration pulses last for only three full horizontal line periods (six serration pulses for NTSC). The actual pulse width of the vertical sync pulse is shown in the "Vertical Pulse Width vs  $R_{set}$ " graph. Using NTSC as an example, let's see how these two graphs relate to each other. The Horizontal line is 64  $\mu s$  long, or 32  $\mu s$  for a horizontal half line. Now round this off to 30  $\mu s$ . In the " $R_{set}$  Value Selection vs Vertical Serration Pulse Separation" graph the minimum resistor value for 30  $\mu s$  serration pulse separation is about 550 k $\Omega$ . Going to the "Vertical Pulse Width vs  $R_{set}$ " graph one can see that 550 k $\Omega$  gives a vertical pulse width of about 180  $\mu s$ , the total time for the vertical sync period of NTSC (3 horizontal lines). A 550 k $\Omega$  will set the internal oscillator to a frequency such that eight cycles gives a time of 180  $\mu s$ , just long enough to prevent a double vertical sync pulse at the vertical sync output of the LM1881.

The LM1881 also generates a default vertical sync pulse when the vertical sync period is unusually long and has no serration pulses. With a very long vertical sync time the integrator has time to charge its internal capacitor above the voltage level  $V_2$ . Since there is no falling edge at the end of a serration pulse to clock the "D" flip-flop, the only high signal going to the OR gate is from the default comparator when output of the integrator reaches  $V_2$ . At this time the R/S flip-flop is toggled by the default comparator, starting the vertical sync pulse at pin 3 of the LM1881. If the default vertical sync period ends before the end of the input vertical sync period, then the falling edge of the vertical sync (positive pulse at the "D" flip-flop) will clock the high output from the comparator with  $V_1$  as a reference input. This will retrigger the oscillator, generating a second vertical sync output pulse. The "Vertical Default Sync Delay Time vs  $R_{set}$ " graph shows the relationship between the  $R_{set}$  value and the delay time from the start of the vertical sync period before the default vertical sync pulse is generated. Using the NTSC example again the smallest resistor for  $R_{set}$  is 500 k $\Omega$ . The vertical default time delay is about 50  $\mu s$ , much longer than the 30  $\mu s$  serration pulse spacing.

A common question is how can one calculate the required  $R_{set}$  with a video timing standard that has no serration pulses during the vertical blanking. If the default vertical sync is to be used this is a very easy task. Use the "Vertical Default

Sync Delay Time vs  $R_{set}$ " graph to select the necessary  $R_{set}$  to give the desired delay time for the vertical sync output signal. If a second pulse is undesirable, then check the "Vertical Pulse Width vs  $R_{set}$ " graph to make sure the vertical output pulse will extend beyond the end of the input vertical sync period. In most systems the end of the vertical sync period may be very accurate. In this case the preferred design may be to start the vertical sync pulse at the end of the vertical sync period, similar to starting the vertical sync pulse after the first serration pulse. A VGA standard is to be used as an example to show how this is done. In this standard a horizontal line is 32  $\mu s$  long. The vertical sync period is two horizontal lines long, or 64  $\mu s$ . The vertical default sync delay time must be longer than the vertical sync period of 64  $\mu s$ . In this case  $R_{set}$  must be larger than 680 k $\Omega$ .  $R_{set}$  must still be small enough for the output of the integrator to reach  $V_1$  before the end of the vertical period of the input pulse. The first graph can be used to confirm that  $R_{set}$  is small enough for the integrator. Instead of using the vertical serration pulse separation, use the actual pulse width of the vertical sync period, or 64  $\mu s$  in this example. This graph is linear, meaning that a value as large as 2.7 M $\Omega$  can be used for  $R_{set}$  (twice the value as the maximum at 30  $\mu s$ ). Due to leakage currents it is advisable to keep the value of  $R_{set}$  under 2.0 M $\Omega$ . In this example a value of 1.0 M $\Omega$  is selected, well above the minimum of 680 k $\Omega$ . With this value for  $R_{set}$  the pulse width of the vertical sync output pulse of the LM1881 is about 340  $\mu s$ .

### ODD/EVEN FIELD PULSE

An unusual feature of LM1881 is an output level from Pin 7 that identifies the video field present at the input to the LM1881. This can be useful in frame memory storage applications or in extracting test signals that occur only in alternate fields. For a composite video signal that is interlaced, one of the two fields that make up each video frame or picture must have a half horizontal scan line period at the end of the vertical scan—i.e., at the bottom of the picture. This is called the "odd field" or "field 1". The "even field" or "field 2" has a complete horizontal scan line at the end of the field. An odd field starts on the leading edge of the first equalizing pulse, whereas the even field starts on the leading edge of the second equalizing pulse of the vertical retrace interval. *Figure 2(a)* shows the end of the even field and the start of the odd field.

To detect the odd/even fields the LM1881 again integrates the composite sync waveform (*Figure 3*). A capacitor is charged during the period between sync pulses and discharged when the sync pulse is present. The period between normal horizontal sync pulses is enough to allow the capacitor voltage to reach a threshold level of a comparator that clears a flipflop which is also being clocked by the sync waveform. When the vertical interval is reached, the shorter integration time between equalizing pulses prevents this

## Application Notes (Continued)

threshold from being reached and the Q output of the flip-flop is toggled with each equalizing pulse. Since the half line period at the end of the odd field will have the same effect as an equalizing pulse period, the Q output will have a different polarity on successive fields. Thus by comparing the Q polarity with the vertical output pulse, an odd/even field index is generated. Pin 7 remains low during the even field and high during the odd field.

### BURST/BACKPORCH OUTPUT PULSE

In a composite video signal, the chroma burst is located on the backporch of the horizontal blanking period. This period, approximately 4.8  $\mu\text{s}$  long, is also the black level reference for the subsequent video scan line. The LM1881 generates a pulse at Pin 5 that can be used either to retrieve the chroma burst from the composite video signal (thus providing a subcarrier synchronizing signal) or as a clamp for the DC restoration of the video waveform. This output is obtained simply by charging an internal capacitor starting on the trailing edge of the horizontal sync pulses. Simultaneously the output of Pin 5 is pulled low and held until the capacitor charge circuit times out—4  $\mu\text{s}$  later. A shorter output burst gate pulse can be derived by differentiating the burst output using a series C-R network. This may be necessary in applications which require high horizontal scan rates in combination with normal (60–120 Hz) vertical scan rates.

### APPLICATIONS

Apart from extracting a composite sync signal free of video information, the LM1881 outputs allow a number of interesting applications to be developed. As mentioned above, the burst gate/backporch clamp pulse allows DC restoration of the original video waveform for display or remodulation on an R.F. carrier, and retrieval of the color burst for color synchronization and decoding into R.G.B. components. For frame memory storage applications, the odd/even field level allows identification of the appropriate field ensuring the correct read or write sequence. The vertical pulse output is particularly useful since it begins at a precise time—the rising edge of the first vertical serration in the sync waveform. This means that individual lines within the vertical blanking period (or anywhere in the active scan line period) can easily be extracted by counting the required number of transitions in the composite sync waveform following the start of the vertical output pulse.

The vertical blanking interval is proving popular as a means to transmit data which will not appear on a normal T.V. receiver screen. Data can be inserted beginning with line 10 (the first horizontal scan line on which the color burst appears) through to line 21. Usually lines 10 through 13 are not used which leaves lines 14 through 21 for inserting signals, which may be different from field to field. In the U.S., line 19 is normally reserved for a vertical interval reference

signal (VIRS) and line 21 is reserved for closed caption data for the hearing impaired. The remaining lines are used in a number of ways. Lines 17 and 18 are frequently used during studio processing to add and delete vertical interval test signals (VITS) while lines 14 through 18 and line 20 can be used for Videotex/Teletext data. Several institutions are proposing to transmit financial data on line 17 and cable systems use the available lines in the vertical interval to send decoding data for descrambler terminals.

Since the vertical output pulse from the LM1881 coincides with the leading edge of the first vertical serration, sixteen positive or negative transitions later will be the start of line 14 in either field. At this point simple counters can be used to select the desired line(s) for insertion or deletion of data.

### VIDEO LINE SELECTOR

The circuit in *Figure 4* puts out a single video line according to the binary coded information applied to line select bits b0–b7. A line is selected by adding two to the desired line number, converting to a binary equivalent and applying the result to the line select inputs. The falling edge of the LM1881's vertical pulse is used to load the appropriate number into the counters (MM74C193N) and to set a start count latch using two NAND gates. Composite sync transitions are counted using the borrow out of the desired number of counters. The final borrow out pulse is used to turn on the analog switch (CD4066BC) during the desired line. The falling edge of this signal also resets the start count latch, thereby terminating the counting.

The circuit, as shown, will provide a single line output for each field in an interlaced video system (television) or a single line output in each frame for a non-interlaced video system (computer monitor). When a particular line in only one field of an interlaced video signal is desired, the odd/even field index output must be used instead of the vertical output pulse (invert the field index output to select the odd field). A single counter is needed for selecting lines 3 to 14; two counters are needed for selecting lines 15 to 253; and three counters will work for up to 2046 lines. An output buffer is required to drive low impedance loads.

### MULTIPLE CONTIGUOUS VIDEO LINE SELECTOR WITH BLACK LEVEL RESTORATION

The circuit in *Figure 5* will select a number of adjoining lines starting with the line selected as in the previous example. Additional counters can be added as described previously for either higher starting line numbers or an increased number of contiguous output lines. The back porch pulse output of the LM1881 is used to gate the video input's black level through a low pass filter (10 k $\Omega$ , 10  $\mu\text{F}$ ) providing black level restoration at the video output when the output selected line(s) is not being gated through.

## Typical Applications

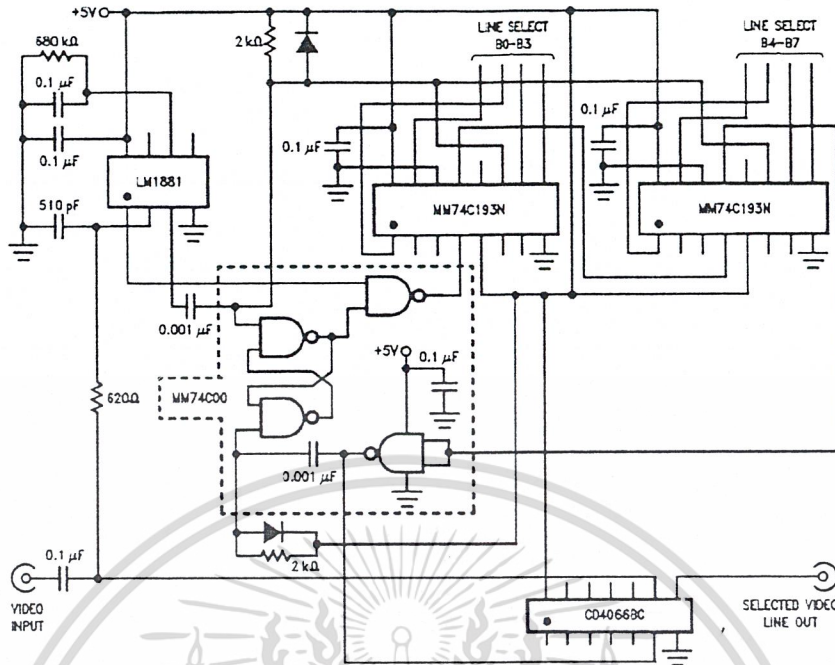


FIGURE 4. Video Line Selector

TL/H/9150-5

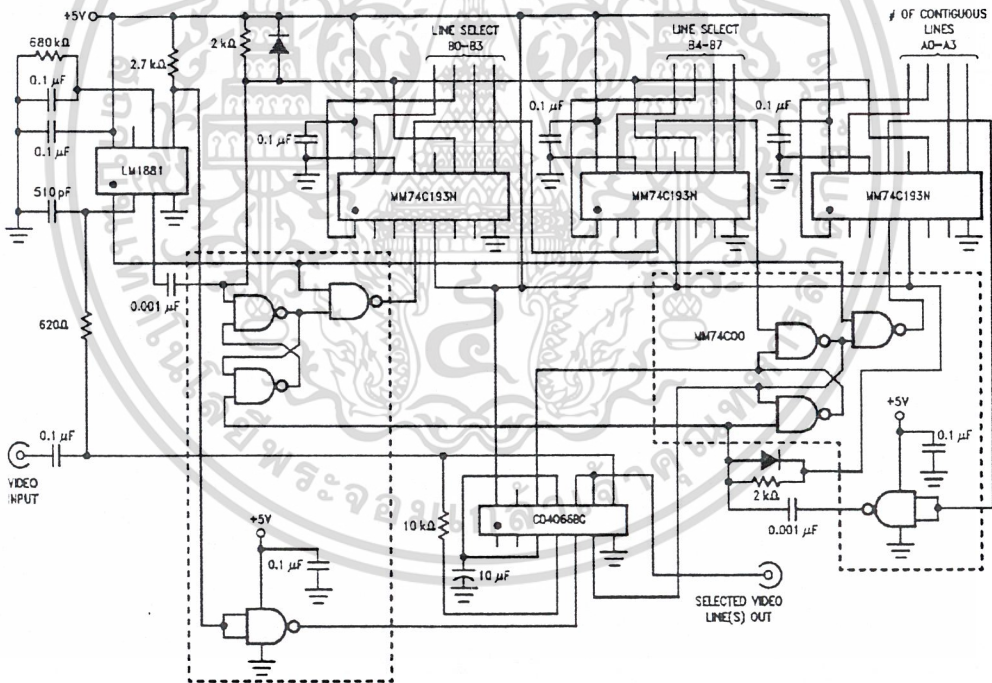


FIGURE 5. Multiple Contiguous Video Line Selector With Black Level Restoration

TL/H/9150-6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



## CMOS Video Speed, 8-Bit, Flash A/D Converter

August 1997

### Features

- CMOS Low Power with SOS Speed (Typ)..... 150mW
- Parallel Conversion Technique
- 15MHz Sampling Rate (Conversion Time)..... 67ns
- 8-Bit Latched Three-State Output with Overflow Bit
- Accuracy (Typ).....  $\pm 1$  LSB
- Single Supply Voltage..... 4V to 7.5V
- 2 Units in Series Allow 9-Bit Output
- 2 Units in Parallel Allow 30MHz Sampling Rate

### Applications

- TV Video Digitizing (Industrial/Security/Broadcast)
- High Speed A/D Conversion
- Ultrasound Signature Analysis
- Transient Signal Analysis
- High Energy Physics Research
- General-Purpose Hybrid ADCs
- Optical Character Recognition
- Radar Pulse Analysis
- Motion Signature Analysis
- $\mu$ P Data Acquisition Systems

### Description

The CA3318 is a CMOS parallel (FLASH) analog-to-digital converter designed for applications demanding both low power consumption and high speed digitization.

The CA3318 operates over a wide full scale input voltage range of 4V up to 7.5V with maximum power consumption depending upon the clock frequency selected. When operated from a 5V supply at a clock frequency of 15MHz, the typical power consumption of the CA3318 is 150mW.

The intrinsic high conversion rate makes the CA3318 ideally suited for digitizing high speed signals. The overflow bit makes possible the connection of two or more CA3318s in series to increase the resolution of the conversion system. A series connection of two CA3318s may be used to produce a 9-bit high speed converter. Operation of two CA3318s in parallel doubles the conversion speed (i.e., increases the sampling rate from 15MHz to 30MHz).

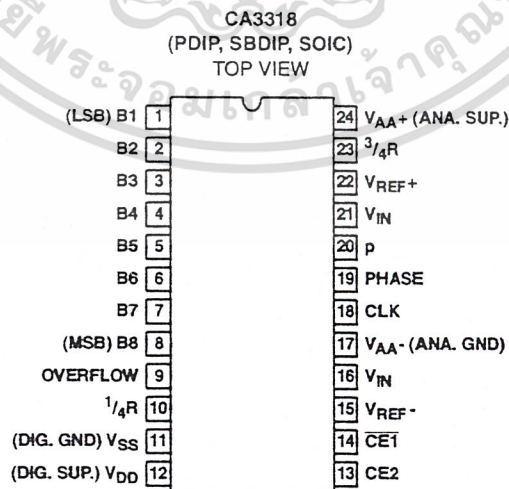
256 paralleled auto balanced voltage comparators measure the input voltage with respect to a known reference to produce the parallel bit outputs in the CA3318.

255 comparators are required to quantize all input voltage levels in this 8-bit converter, and the additional comparator is required for the overflow bit.

### Ordering Information

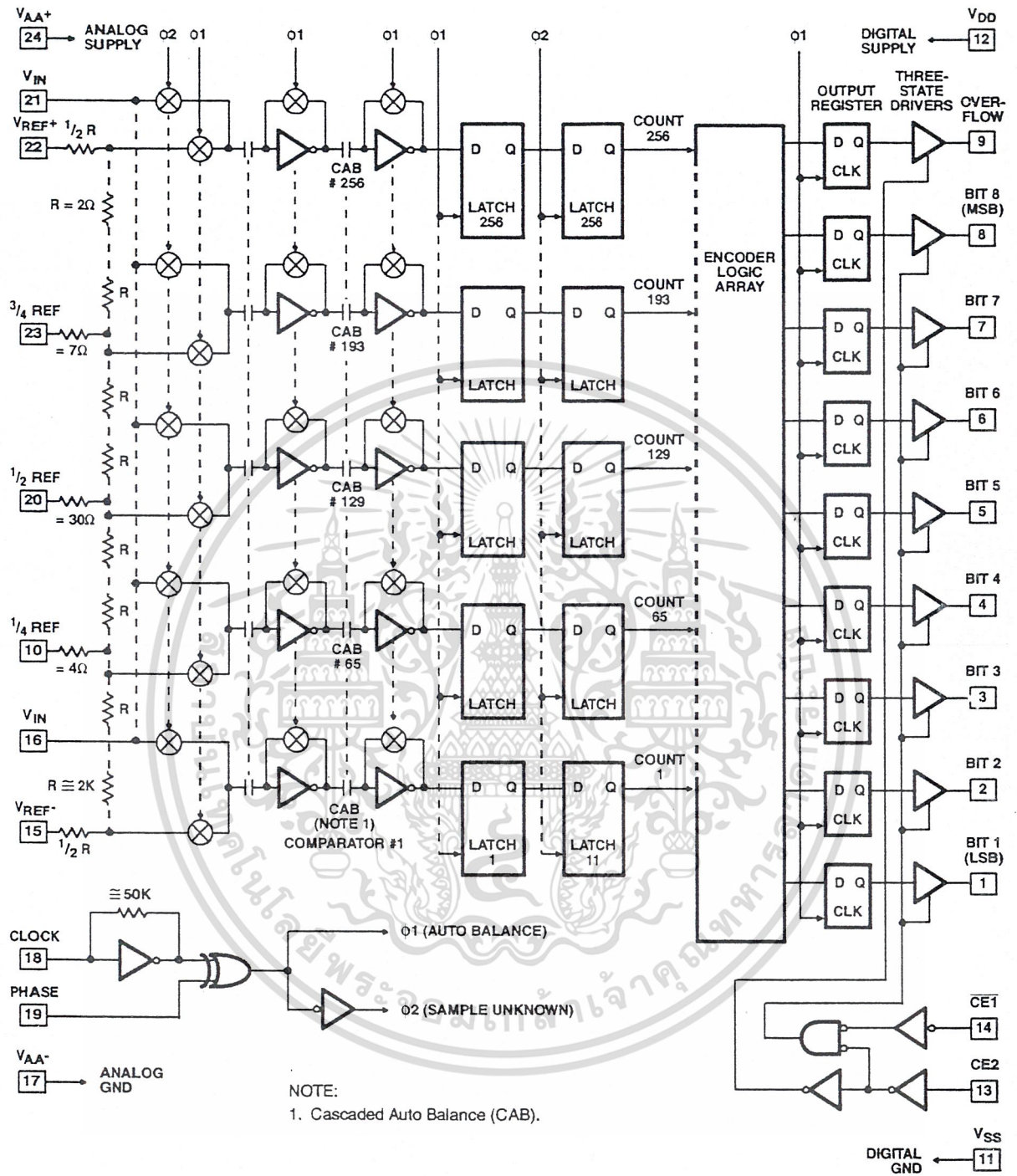
PART NUMBER	LINEARITY (INL, DNL)	SAMPLING RATE	TEMP. RANGE (°C)	PACKAGE	PKG. NO.
CA3318CE	$\pm 1.5$ LSB	15MHz (67ns)	-40 to 85	24 Ld PDIP	E24.6
CA3318CM	$\pm 1.5$ LSB	15MHz (67ns)	-40 to 85	24 Ld SOIC	M24.3
CA3318CD	$\pm 1.5$ LSB	15MHz (67ns)	-40 to 85	24 Ld SBDIP	D24.6

### Pinout



CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper IC Handling Procedures. File Number 3103.1  
Copyright © Harris Corporation 1997

Functional Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Absolute Maximum Ratings**

DC Supply Voltage Range ( $V_{DD}$ or $V_{AA+}$ )	-0.5V to +8V (Referenced to $V_{SS}$ or $V_{AA-}$ Terminal, Whichever is More Negative)
Input Voltage Range	
CE2 and CE1	$V_{AA-}$ -0.5V to $V_{DD}$ + 0.5V
Clock, Phase, $V_{REF-}$ , $1/2$ Ref.	$V_{AA-}$ -0.5V to $V_{AA+}$ + 0.5V
Clock, Phase, $V_{REF-}$ , $1/4$ Ref.	$V_{SS}$ -0.5V to $V_{DD}$ + 0.5V
$V_{IN}$ , $3/4$ REF, $V_{REF+}$	$V_{AA-}$ -0.5V to $V_{AA+}$ + 7.5V
Output Voltage Range, Bits 1-8, Overflow (Outputs Off)	$V_{SS}$ -0.5V to $V_{DD}$ + 0.5V
DC Input Current	$\pm 20$ mA
Clock, Phase, CE1, CE2, $V_{IN}$ , Bits 1-8, Overflow	

**Thermal Information**

Thermal Resistance (Typical, Note 1)	$\theta_{JA}$ ( $^{\circ}$ C/W)	$\theta_{JC}$ ( $^{\circ}$ C/W)
SBDIP Package	60	22
PDIP Package	60	N/A
SOIC Package	75	N/A
Maximum Junction Temperature		
Ceramic Package		175 $^{\circ}$ C
Plastic Packages		150 $^{\circ}$ C
Maximum Storage Temperature Range		-65 $^{\circ}$ C to 150 $^{\circ}$ C
Maximum Lead Temperature (Soldering 10s)		265 $^{\circ}$ C (SOIC - Lead Tips Only)

**Operating Conditions**

Operating Voltage Range ( $V_{DD}$ or $V_{AA+}$ )	4V (Min) to 7.5V (Max)
Recommended $V_{AA+}$ Operating Range	$V_{DD} \pm 1$ V
Recommended $V_{AA-}$ Operating Range	$V_{SS} \pm 1$ V
Operating Temperature Range ( $T_A$ )	-40 $^{\circ}$ C to 85 $^{\circ}$ C

**CAUTION:** Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

**NOTE:**

- $\theta_{JA}$  is measured with the component mounted on an evaluation PC board in free air.

**Electrical Specifications**

At 25 $^{\circ}$ C,  $V_{AA+} = V_{DD} = 5$ V,  $V_{REF+} = 6.4$ V,  $V_{REF-} = V_{AA-} = V_{SS}$ , CLK = 15MHz,  
All Reference Points Adjusted, Unless Otherwise Specified

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
<b>SYSTEM PERFORMANCE</b>					
Resolution		8	-	-	Bits
Integral Linearity Error		-	-	$\pm 1.5$	LSB
Differential Linearity Error		-	-	+1, -0.8	LSB
Offset Error, Unadjusted	$V_{IN} = V_{REF-} + 1/2$ LSB	-0.5	4.5	6.4	LSB
Gain Error Unadjusted	$V_{IN} = V_{REF+} - 1/2$ LSB	-1.5	0	1.5	LSB
<b>DYNAMIC CHARACTERISTICS</b>					
Maximum Input Bandwidth	(Note 1) CA3318	2.5	5.0	-	MHz
Maximum Conversion Speed	CLK = Square Wave	15	17	-	MSPS
Signal to Noise Ratio (SNR)	$f_S = 15$ MHz, $f_{IN} = 100$ kHz	-	47	-	dB
$\frac{\text{RMS Signal}}{\text{RMS Noise}}$	$f_S = 15$ MHz, $f_{IN} = 4$ MHz	-	43	-	dB
Signal to Noise Ratio (SINAD)	$f_S = 15$ MHz, $f_{IN} = 100$ kHz	-	45	-	dB
$\frac{\text{RMS Signal}}{\text{RMS Noise} + \text{Distortion}}$	$f_S = 15$ MHz, $f_{IN} = 4$ MHz	-	35	-	dB
Total Harmonic Distortion, THD	$f_S = 15$ MHz, $f_{IN} = 100$ kHz	-	-46	-	dBc
	$f_S = 15$ MHz, $f_{IN} = 4$ MHz	-	-36	-	dBc
Effective Number of Bits (ENOB)	$f_S = 15$ MHz, $f_{IN} = 100$ kHz	-	7.2	-	Bits
	$f_S = 15$ MHz, $f_{IN} = 4$ MHz	-	5.5	-	Bits
Differential Gain Error	Unadjusted	-	2	-	%
Differential Phase Error	Unadjusted	-	1	-	%
<b>ANALOG INPUTS</b>					
Full Scale Range, $V_{IN}$ and ( $V_{REF+}$ ) - ( $V_{REF-}$ )	Notes 2, 4	4	-	7	V
Input Capacitance, $V_{IN}$		-	30	-	pF
Input Current, $V_{IN}$ , (See Text)	$V_{IN} = 5$ V, $V_{REF+} = 5$ V	-	-	3.5	mA
<b>REFERENCE INPUTS</b>					
Ladder Impedance		270	500	800	$\Omega$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Electrical Specifications** At 25°C,  $V_{AA+} = V_{DD} = 5V$ ,  $V_{REF+} = 6.4V$ ,  $V_{REF-} = V_{AA-} = V_{SS}$ , CLK = 15MHz,  
All Reference Points Adjusted, Unless Otherwise Specified (Continued)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
<b>DIGITAL INPUTS</b>					
Low Level Input Voltage, $V_{OL}$ CE1, CE2	Note 4	-	-	$0.2V_{DD}$	V
Phase, CLK	Note 4	-	-	$0.2V_{AA}$	V
High Level Input Voltage, $V_{IN}$ CE1, CE2	Note 4	$0.7V_{DD}$	-	-	V
Phase, CLK	Note 4	$0.7V_{AA}$	-	-	V
Input Leakage Current, $I_I$ (Except CLK Input)	Note 3	-	$\pm 0.2$	$\pm 5$	$\mu A$
Input Capacitance, $C_I$		-	3	-	pF
<b>DIGITAL OUTPUTS</b>					
Output Low (Sink) Current	$V_O = 0.4V$	4	10	-	mA
Output High (Source) Current	$V_O = 4.5V$	-4	-6	-	mA
Three-State Output Off-State Leakage Current, $I_{OZ}$		-	$\pm 0.2$	$\pm 5$	$\mu A$
Output Capacitance, $C_O$		-	4	-	pF
<b>TIMING CHARACTERISTICS</b>					
Auto Balance Time ( $\phi 1$ )		33	-	$\infty$	ns
Sample Time ( $\phi 2$ )	Note 4	25	-	500	ns
Aperture Delay		-	15	-	ns
Aperture Jitter		-	100	-	ps
Data Valid Time, $t_D$	Note 4	-	50	65	ns
Data Hold Time, $t_H$	Note 4	25	40	-	ns
Output Enable Time, $t_{EN}$		-	18	-	ns
Output Disable Time, $t_{DIS}$		-	18	-	ns
<b>POWER SUPPLY CHARACTERISTICS</b>					
Device Current ( $I_{DD} + I_A$ ) (Excludes $I_{REF}$ )	Continuous Conversion (Note 4)	-	30	60	mA
	Auto Balance ( $\phi 1$ )	-	30	60	mA

## NOTES:

1. A full scale sine wave input of greater than  $f_{CLOCK}/2$  or the specified input bandwidth (whichever is less) may cause an erroneous code.  
The -3dB bandwidth for frequency response purposes is greater than 30MHz.
2.  $V_{IN}$  (Full Scale) or  $V_{REF+}$  should not exceed  $V_{AA+} + 1.5V$  for accuracy.
3. The clock input is a CMOS inverter with a 50k $\Omega$  feedback resistor and may be AC coupled with 1V<sub>p-p</sub> minimum source.
4. Parameter not tested, but guaranteed by design or characterization.

## Timing Waveforms

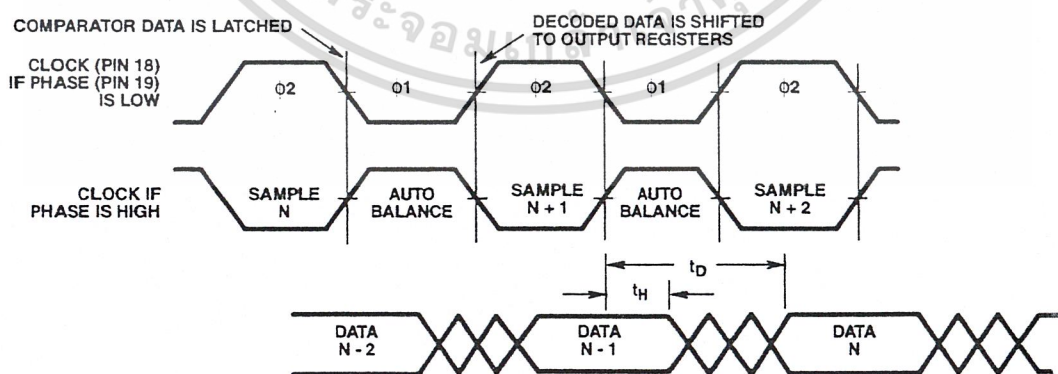


FIGURE 1. INPUT TO OUTPUT TIMING DIAGRAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Waveforms (Continued)

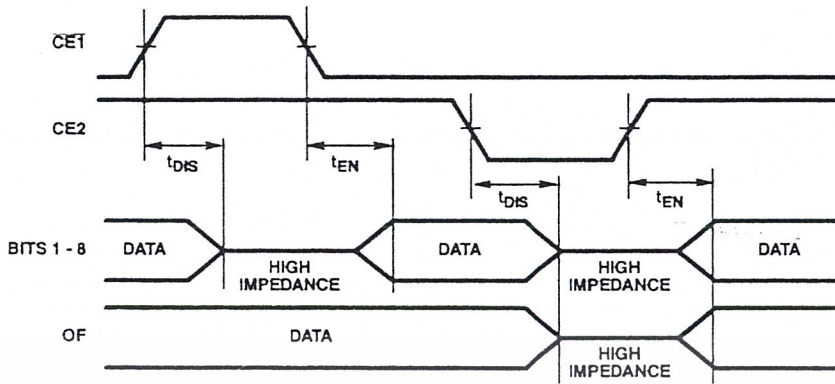


FIGURE 2. OUTPUT ENABLE TIMING DIAGRAM

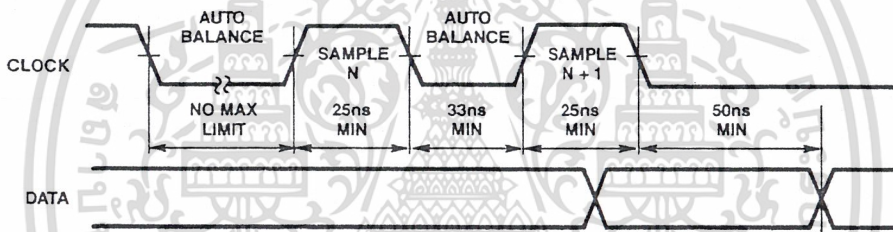


FIGURE 3A. STANDBY IN INDEFINITE AUTO BALANCE (SHOWN WITH PHASE = LOW)

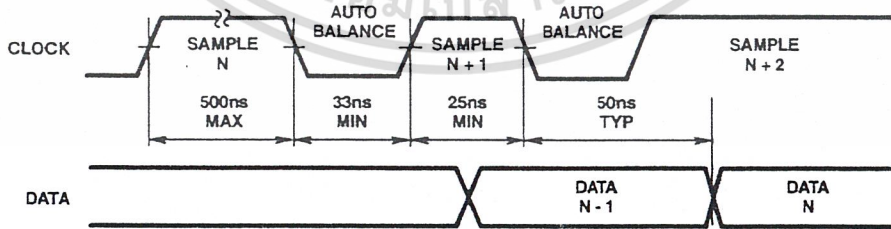


FIGURE 3B. STANDBY IN SAMPLE (SHOWN WITH PHASE = LOW)

FIGURE 3. PULSE MODE OPERATION

Typical Performance Curves

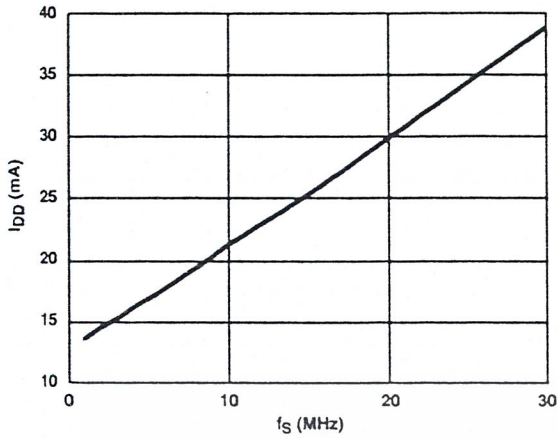


FIGURE 4. DEVICE CURRENT vs SAMPLE FREQUENCY

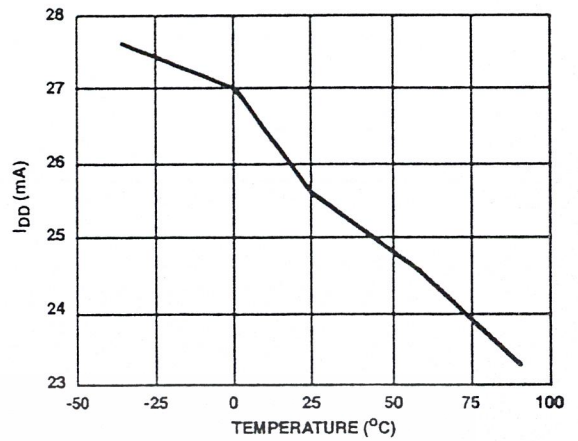


FIGURE 5. DEVICE CURRENT vs TEMPERATURE

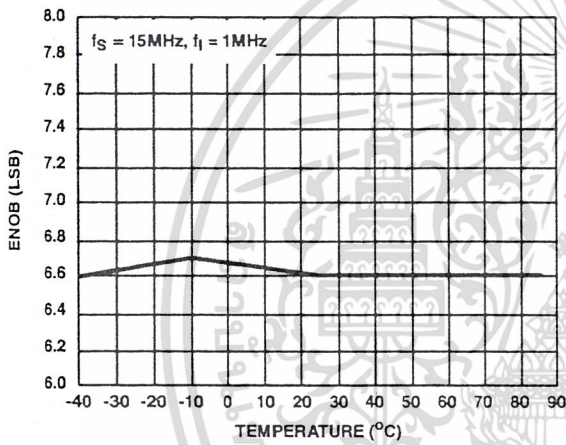


FIGURE 6. ENOB vs TEMPERATURE

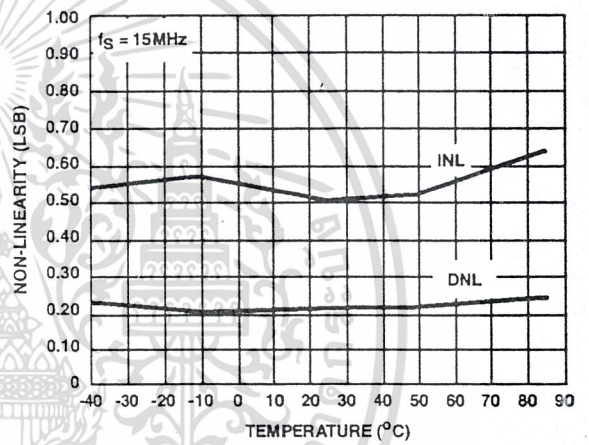


FIGURE 7. NON-LINEARITY vs TEMPERATURE

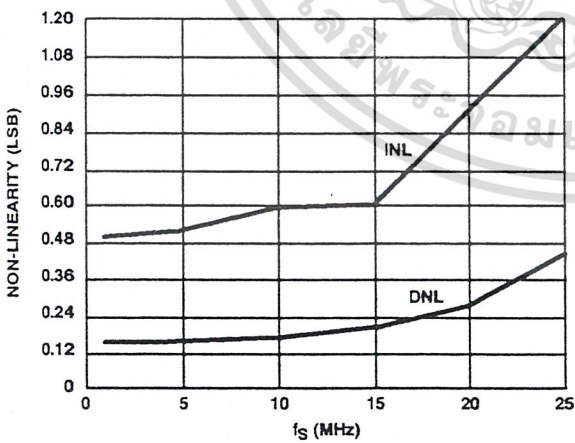


FIGURE 8. NON-LINEARITY vs SAMPLE FREQUENCY

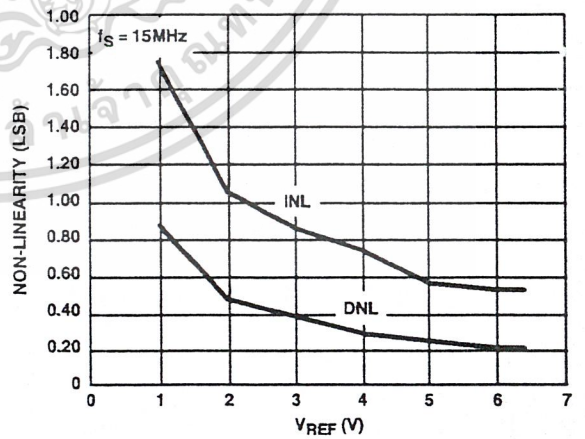


FIGURE 9. NON-LINEARITY vs REFERENCE VOLTAGE

## Typical Performance Curves (Continued)

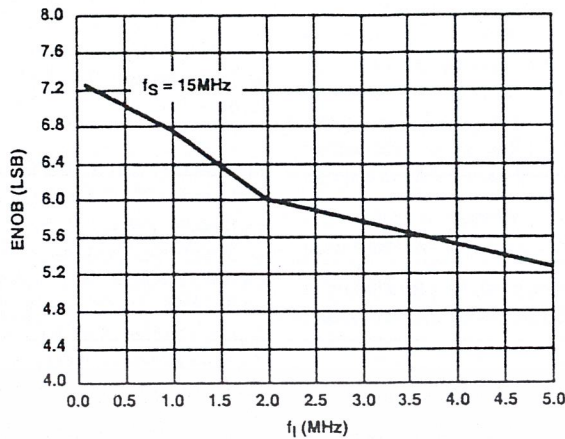


FIGURE 10. ENOB vs INPUT FREQUENCY

## Pin Descriptions

PIN	NAME	DESCRIPTION
1	B1	Bit 1 (LSB)
2	B2	Bit 2
3	B3	Bit 3
4	B4	Bit 4
5	B5	Bit 5
6	B6	Bit 6
7	B7	Bit 7
8	B8	Bit 8 (MSB)
9	OF	Overflow
10	1/4 R	Reference Ladder 1/4 Point
11	V <sub>SS</sub>	Digital Ground
12	V <sub>DD</sub>	Digital Power Supply, +5V
13	CE2	Three-State Output Enable Input, Active Low. See Truth Table.
14	CE1	Three-State Output Enable Input Active High. See Truth Table.
15	V <sub>REF-</sub>	Reference Voltage Negative Input
16	V <sub>IN</sub>	Analog Signal Input
17	V <sub>AA-</sub>	Analog Ground
18	CLK	Clock Input
19	PHASE	Sample clock phase control input. When PHASE is low, "Sample Unknown" occurs when the clock is low and "Auto Balance" occurs when the clock is high (see text).
20	1/2 R	Reference Ladder Midpoint
21	V <sub>IN</sub>	Analog Signal Input
22	V <sub>REF+</sub>	Reference Voltage Positive Input
23	3/4 R	Reference Ladder 3/4 Point
24	V <sub>AA+</sub>	Analog Power Supply, +5V

## CHIP ENABLE TRUTH TABLE

CE1	CE2	B1 - B8	OF
0	1	Valid	Valid
1	1	Three-State	Valid
X	0	Three-State	Three-State

X = Don't Care

## Theory of Operation

A sequential parallel technique is used by the CA3318 converter to obtain its high speed operation. The sequence consists of the "Auto-Balance" phase,  $\phi 1$ , and the "Sample Unknown" phase,  $\phi 2$ . (Refer to the circuit diagram.) Each conversion takes one clock cycle (see Note). With the phase control (pin 19) high, the "Auto-Balance" ( $\phi 1$ ) occurs during the high period of the clock cycle, and the "Sample Unknown" ( $\phi 2$ ) occurs during the low period of the clock cycle.

NOTE: The device requires only a single phase clock. The terminology of  $\phi 1$  and  $\phi 2$  refers to the high and low periods of the same clock.

During the "Auto-Balance" phase, a transmission switch is used to connect each of the first set of 256 commutating capacitors to their associated ladder reference tap. Those tap voltages will be as follows:

$$V_{TAP}(N) = [(N/256) V_{REF}] - (1/512) V_{REF} \\ = [(2N - 1)/512] V_{REF}$$

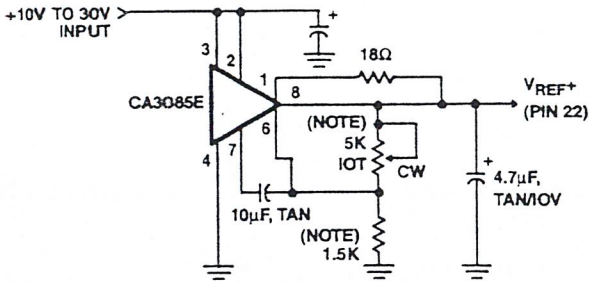
Where:

$V_{TAP}(n)$  = reference ladder tap voltage at point n,

$V_{REF}$  = voltage across  $V_{REF-}$  to  $V_{REF+}$ ,

N = tap number (1 through 256).

The other side of these capacitors are connected to single-stage amplifiers whose outputs are shorted to their inputs by switches. This balances the amplifiers at their intrinsic trip points, which is approximately  $(V_{AA+} - V_{AA-})/2$ . The first set of capacitors now charges to their associated tap voltages.

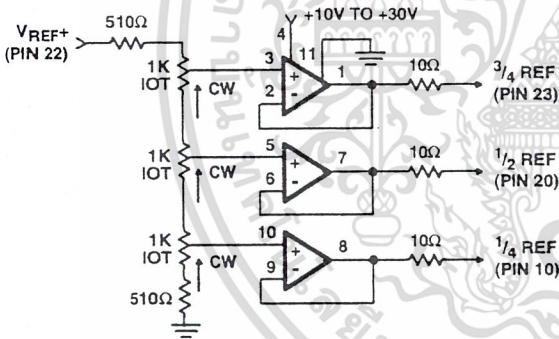


NOTE: Bypass  $V_{REF+}$  to analog GND near A/D with 0.1μF ceramic cap. Parts noted should have low temperature drift.

FIGURE 11. TYPICAL VOLTAGE REFERENCE SOURCE FOR DRIVING  $V_{REF+}$  INPUT

**1/4 Point Trims**

The 1/4, 1/2 and 3/4 points on the reference ladder are brought out for linearity adjusting or if the user wishes to create a nonlinear transfer function. The 1/4 points can be driven by the reference drivers shown (Figure 12) or by 2-K pots connected between  $V_{REF+}$  and  $V_{REF-}$ . The 1/2 (mid-) point should be set first by applying an input of 257/512 x ( $V_{REF}$ ) and adjusting for an output changing from 128 to 129. Similarly the 1/4 and 3/4 points can be set with inputs of 129/512 and 385/512 x ( $V_{REF}$ ) and adjusting for counts of 192 to 193 and 64 to 65. (Note that the points are actually 1/4, 1/2 and 3/4 of full scale +1 LSB.)



NOTES:

1. All Op Amps = 3/4 CA324E.
2. Bypass all reference points to analog ground near A/D with 0.1μF ceramic caps.
3. Adjust  $V_{REF+}$  first, then 1/3, 3/4 and 1/4 points.

FIGURE 12. TYPICAL 1/4 POINT DRIVERS FOR ADJUSTING LINEARITY (USE FOR MAXIMUM LINEARITY)

**9-Bit Resolution**

To obtain 9-bit resolution, two CA3318s can be wired together. Necessary ingredients include an open-ended ladder network, an overflow indicator, three-state outputs, and chip-enable controls - all of which are available on the CA3318.

The first step for connecting a 9-bit circuit is to totem-pole the ladder networks, as illustrated in Figure 13. Since the absolute resistance value of each ladder may vary, external trim of the mid-reference voltage may be required.

The overflow output of the lower device now becomes the ninth bit. When it goes high, all counts must come from the upper device. When it goes low, all counts must come from the lower device. This is done simply by connecting the lower overflow signal to the CE1 control of the lower A/D converter and the CE2 control of the upper A/D converter. The three-state outputs of the two devices (bits 1 through 8) are now connected in parallel to complete the circuitry. The complete circuit for a 9-bit A/D converter is shown in Figure 13.

**Grounding/ByPassing**

The analog and digital supply grounds of a system should be kept separate and only connected at the A/D. This keeps digital ground noise out of the analog data to be converted. Reference drivers, input amps, reference taps, and the  $V_{AA}$  supply should be bypassed at the A/D to the analog side of the ground. See Figure 15 for a block diagram of this concept. All capacitors shown should be low impedance 0.1μF ceramics and should be mounted as close to the A/D as possible. If  $V_{AA+}$  is derived from  $V_{DD}$ , a small (10Ω resistor or inductor and additional filtering (4.7μF tantalum) may be used to keep digital noise out of the analog system.

**Input Loading**

The CA3318 outputs a current pulse to the  $V_{IN}$  terminal at the start of every sample period. This is due to capacitor charging and switch feedthrough and varies with input voltage and sampling rate. The signal source must be capable of recovering from the pulse before the end of the sample period to guarantee a valid signal for the A/D to convert. Suitable high speed amplifiers include the HA-5033, HA-2542; and CA3450. Figure 16 is an example of an amplifier which recovers fast enough for sampling at 15MHz.

**Output Loading**

The CMOS digital output stage, although capable of driving large loads, will reflect these loads into the local ground. It is recommended that a local QMOS buffer such as CD74HC541 E be used to isolate capacitive loads.

**Definitions**

**Dynamic Performance Definitions**

Fast Fourier Transform (FFT) techniques are used to evaluate the dynamic performance of the converter. A low distortion sine wave is applied to the input, it is sampled, and the output is stored in RAM. The data is then transformed into the frequency domain with a 4096 point FFT and analyzed to evaluate the dynamic performance of the A/D. The sine wave input to the part is -0.5dB down from fullscale for all these tests.

**Signal-to-Noise (SNR)**

SNR is the measured RMS signal to RMS noise at a specified input and sampling frequency. The noise is the RMS sum of all of the spectral components except the fundamental and the first five harmonics.



CA3318

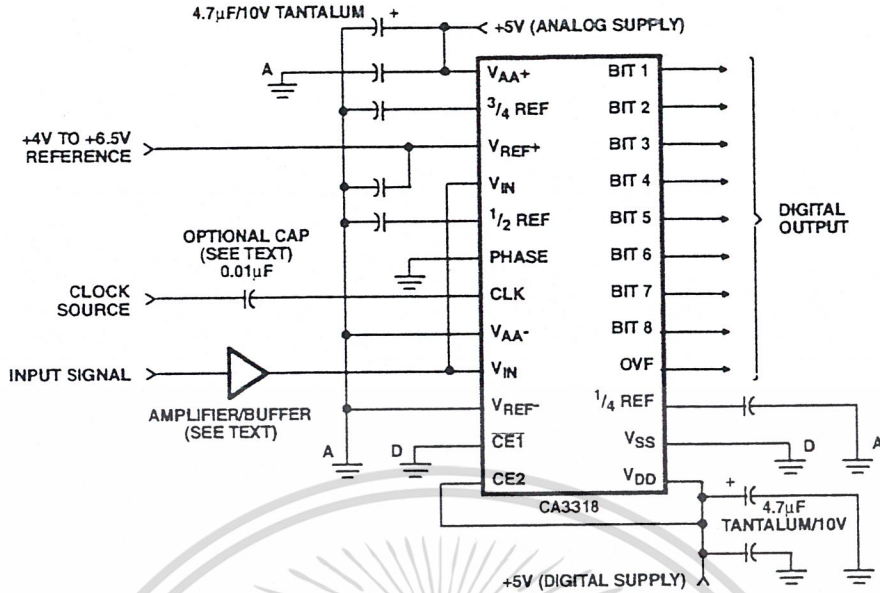


FIGURE 14. TYPICAL CIRCUIT CONFIGURATION FOR THE CA3318 WITH NO LINEARITY ADJUST

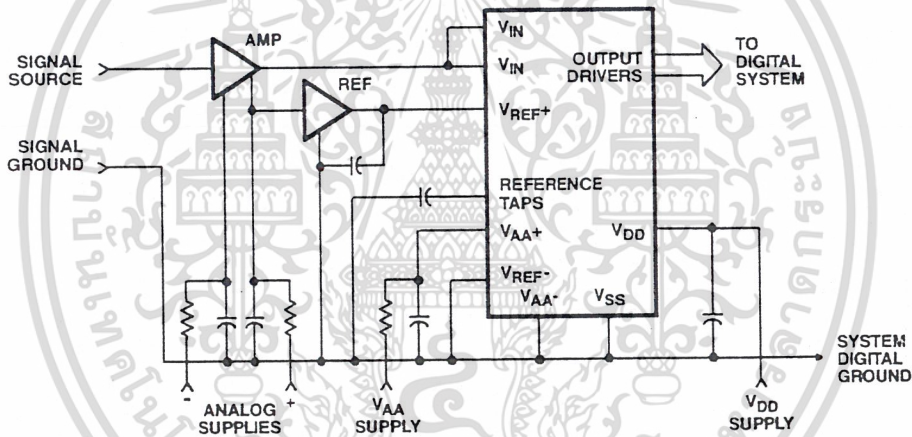


FIGURE 15. TYPICAL SYSTEM GROUNDING/BYPASSING

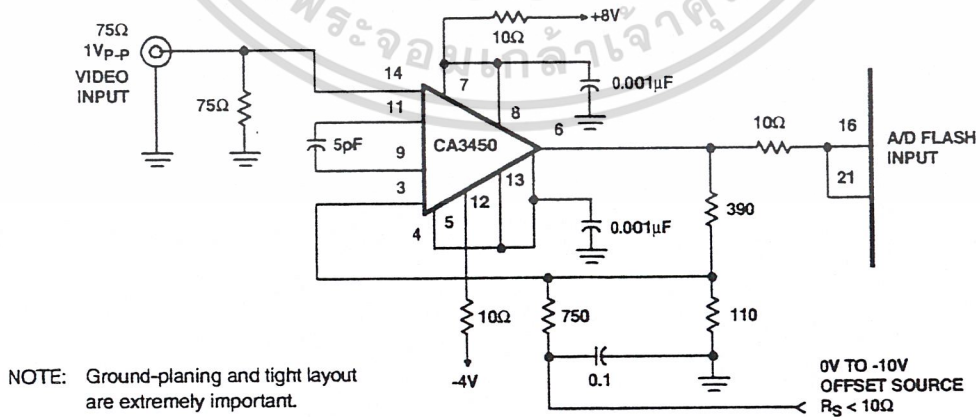


FIGURE 16. TYPICAL HIGH BANDWIDTH AMPLIFIER FOR DRIVING THE CA3318

TABLE 1. OUTPUT CODE TABLE

CODE DESCRIPTION	(NOTE 1) INPUT VOLTAGE		BINARY OUTPUT CODE									DECIMAL COUNT
	V <sub>REF</sub> 6.40V (V)	V <sub>REF</sub> 5.12V (V)	OF	MSB B8	B7	B6	B5	B4	B3	B2	LSB B1	
Zero	0.00	0.00	0	0	0	0	0	0	0	0	0	0
1 LSB	0.025	0.02	0	0	0	0	0	0	0	0	0	1
2 LSB	0.05	0.04	0	0	0	0	0	0	0	0	1	0
⋮	⋮	⋮										⋮
⋮	⋮	⋮										⋮
⋮	⋮	⋮										⋮
1/4 Full Scale	1.60	1.28	0	0	1	0	0	0	0	0	0	0
⋮	⋮	⋮										⋮
⋮	⋮	⋮										⋮
⋮	⋮	⋮										⋮
1/2 Full Scale - 1 LSB	3.175	2.54	0	0	1	1	1	1	1	1	1	1
1/2 Full Scale	3.20	2.56	0	1	0	0	0	0	0	0	0	0
1/2 Full Scale + 1 LSB	3.225	2.58	0	1	0	0	0	0	0	0	0	1
⋮	⋮	⋮										⋮
⋮	⋮	⋮										⋮
⋮	⋮	⋮										⋮
3/4 Full Scale	4.80	3.84	0	1	1	0	0	0	0	0	0	0
⋮	⋮	⋮										⋮
⋮	⋮	⋮										⋮
⋮	⋮	⋮										⋮
Full Scale - 1 LSB	6.35	5.08	0	1	1	1	1	1	1	1	1	0
Full Scale	6.375	5.10	0	1	1	1	1	1	1	1	1	1
Over Flow	6.40	5.12	1	1	1	1	1	1	1	1	1	1

NOTE: 1. The voltages listed above are the ideal centers of each output code shown as a function of its associated reference voltage.

#### Reducing Power

Most power is consumed while in the auto-balance state. When operating at lower than 15MHz clock speed, power can be reduced by stretching the sample ( $\phi_2$ ) time. The constraints are a minimum balance time ( $\phi_1$ ) of 33ns, and a maximum sample time of 500ns. Longer sample times cause droop in the auto-balance capacitors. Power can also be reduced in the reference string by switching the reference on only during auto-balance.

#### Clock Input

The Clock and Phase inputs feed buffers referenced to  $V_{AA+}$  and  $V_{AA-}$ . Phase should be tied to one of these two potentials, while the clock (if DC coupled) should be driven at least from 0.2 to 0.7 x ( $V_{AA+} - V_{AA-}$ ). The clock may also be AC coupled with at least a 1V<sub>p-p</sub> swing. This allows TTL drive levels or 5V QMOS levels when  $V_{AA+}$  is greater than 5V.

กิตติกรรมประกาศ

ขอขอบพระคุณ ผศ.เกรียงไกร วงศ์โรจน์ภรณ์ เป็นอย่างสูงซึ่งคอยแนะนำและให้คำปรึกษา  
ทำให้โครงการนี้มีความก้าวหน้าอย่างต่อเนื่องมาโดยตลอด



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## หนังสืออ้างอิง

- 1) ปริชญานิพนธ์ Video Signal Splitter , สมภพ ม่วงงาม , สัจจา เทียมอยู่เย็น , สันติ พรหมพันธ์  
ภาควิชาวิศวกรรมโทรคมนาคม , ปีการศึกษา 2538
- 2) ทฤษฎีตรวจสอบโทรทัศนขาว-ดำ , ชูเกียรติ จันทรานี , ฝ่ายวิชาการ โรงเรียนช่างเทคนิคเทพนิมิตร ,  
2528
- 3) เรียน/เล่น/ใช้ ไอซีดิจิทัล , กฤษดา วิสวธีรานนท์ , ซีเอ็ดยูเคชั่น จำกัด , 2521



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้