

เครื่องตัดจี้ห้ามเลือดด้วยไฟฟ้า

ELECTROSURGERY UNIT



โดย
นาย ไพสิน ไพธิ์ถาวร

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เลขหมึก.....
เลขทะเบียน..... 32609
วัน, เดือน, ปี 18 พ.ค. 2542

ขอรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องตัดจี้ห้ามเลือดด้วยไฟฟ้า

ELECTROSURGERY UNIT

โดย

นายไพสิน โพธิ์ถาวร



อาจารย์ที่ปรึกษา

รศ.ดร.กอบชัย เดชหาญ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญาโทปีการศึกษา2541

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
เรื่อง เครื่องตัดจี้ห้ามเลือดด้วยไฟฟ้า

ELECTROSURGERY UNIT

ผู้จัดทำ

นาย ไพสิน โปธิ์ถาวร 39013021



อาจารย์ที่ปรึกษา

(รศ.ดร.กอบชัย เดชหาญ)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องตัดห้ามเลือดด้วยไฟฟ้า
ELECTROSURGERY UNIT

โดย นาย ไพสิน โปธิถาวร
อาจารย์ที่ปรึกษา รศ.ดร.กอบชัย เดชหาญ

บทคัดย่อ

โครงการนี้ได้กล่าวถึงการออกแบบและการสร้างเครื่องตัดห้ามเลือดด้วยไฟฟ้า โดยใช้ทฤษฎีของนายกิลเบิร์ต ซึ่งเขาได้ค้นพบว่าคลื่นไฟฟ้ากระแสสลับช่วง 100kHz ถึง 10 MHz และแรงดันไฟฟ้ามากกว่า 400 Vp-p จะมีผลต่อการตัดเนื้อเยื่อและสัญญาณไฟฟ้าดังกล่าวนี้ยังช่วยในการห้ามเลือดโดยไม่เป็นอันตรายต่อร่างกายอีกด้วย ซึ่งในการออกแบบได้คำนึงถึงความปลอดภัยเป็นสำคัญเนื่องจากเป็นเครื่องที่ใช้กับมนุษย์โดยอาศัยหลักการแยกระบบไฟฟ้าออกจากกัน

ABSTRACT

This project process a design and construction of an electrosurgery unit based on Gilbert's theory a concerning about the 100kHz-10MHz,400Vp-p alternatry current signal .Will effect to cut the tissue, This signal also help to stop the blood but it has no effects with the body of human being. This proposed design. is covered to protect the dangerous by using isolated electrical power system.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	
2.1 หลักการนำเอาสัญญาณไฟฟ้าความถี่สูงมาใช้ในการห้ามเลือด	3
2.2 ผลของกระแสไฟฟ้าความถี่สูงที่มีต่อเนื้อเยื่อ	4
2.3 ปัญหาการรบกวนของเครื่องตัดจี้ไฟฟ้ากับอุปกรณ์ไฟฟ้าชนิดอื่นๆ	5
2.4 การกรองสัญญาณรบกวน	10
2.5 ตัวต้านทานจำกัดกระแส RS	12
2.6 ตัวเก็บประจุฟิลเตอร์ C	13
2.7 ไดโอดเรกติไฟเออร์	21
2.8 ฟิวส์	22
2.9 ฮาร์ฟบริดจ์คอนเวอร์เตอร์	24
2.10 โหมดควบคุมแรงดัน	41
2.11 การวิเคราะห์สัญญาณฮาร์โมนิกส์	45
บทที่ 3 การคำนวณและการสร้าง	
3.1 โครงสร้างและการทำงานของเครื่องตัดจี้ห้ามเลือดด้วยไฟฟ้า	53
3.2 หลักการออกแบบเครื่องตัดจี้ห้ามเลือดด้วยไฟฟ้า	53
3.3 วงจรกรองสัญญาณรบกวน	54
3.4 หม้อแปลงแรงดัน	54
3.5 วงจรเรกติไฟเออร์	55
3.6 วงจรภาค DC/AC Converter	56
3.7 ภาควงควบคุม(Control Logic)	58
3.8 วงจรผลิความถี่สูง	59
3.9 วงจรผลิความถี่ต่ำ	60
3.10 วงจรคูณสัญญาณ	61
3.11 ภาคแสดงผล	63
3.12 ภาคสัญญาณเคื่อน	66
3.13 ภาคเอาต์พุทฟิลเตอร์	66
บทที่ 4 การทดลองและผลการทดลอง	
4.1 ภาพถ่ายสัญญาณที่จุดวัดต่างๆด้วยออสซิลโลสโคป	75
4.2 การทดสอบเครื่องตัดจี้ห้ามเลือดด้วยไฟฟ้า	78
บทที่ 5 บทวิจารณ์และสรุป	80

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ภาคผนวก, กิตติกรรมประกาศ, อ้างอิง

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

รูป	หน้า
รูปที่ 1.1 แสดงระบบ Isolate Power System	1
รูปที่ 1.2 แสดงลักษณะการใช้เครื่องตัดจี้ห้ามเหลือคด้วยไฟฟ้า (Monopolar)	2
รูปที่ 2.1 แสดงลักษณะการค่อใช้งานแบบไบโพลาร์	3
รูปที่ 2.2 แสดงการระเบิดของเซลล์ที่อุณหภูมิมากกว่า 100 องศาเซลเซียส	4
รูปที่ 2.3 แสดงกระแสไฟฟ้าที่ผ่านไปในโหมคไบโพลาร์	5
รูปที่ 2.4 แสดงการหาคตัวของเซลล์ที่อุณหภูมิน้อยกว่า 100 องศาเซลเซียส	6
รูปที่ 2.5 แสดงสถานะของเนื้อเยื่อที่เปลี่ยนไปคามระยะเวลาที่ทำกรจี้	6
รูปที่ 2.6 แสดงสถานะของเนื้อเยื่อที่แรงของไฟฟ้าน้อยกว่า 200 V	6
รูปที่ 2.7 แสดงสถานะของเนื้อเยื่อที่แรงไฟฟามากกว่า 200 V	7
รูปที่ 2.8 กราฟแสดงลักษณะของการไหม้ของเนื้อเยื่อ	7
รูปที่ 2.9 แสดงตัวอย่างการค่อวงจร LC ฟิลเตอร์เพื่อลดสัญญาณรบกวน RFI	10
รูปที่ 2.10 แสดงค่าแอมเพการค่อค้วประจุชนิด x และค้วเก็บประจุชนิด y	12
รูปที่ 2.11 แสดงค่าแรงดันไฟตรงเฉลี่ยเอาท์พุทของวงจรเรคตีไฟเออร์ที่ได้โหลคและค้วค่านทานจำกัดกระแส R_L ค่าค่างๆ (ที่มา Bilings)	13
รูปที่ 2.12 แสดงลักษณะการชาร์จประจุและคายประจุของค้วเก็บประจุฟิเคเคอร์ในวงจรเรคตีไฟเออร์	14
รูปที่ 2.13 (ก) แสดงค่ากระแส RMS ที่ผ่านเรคตีไฟเออร์เมื่อเปรียบเทียบกับค่ากระแสประดิทธิผล	15
รูปที่ 2.13 (ข) แสดงค่ากระแสค้วสูงสุดที่ผ่านค้วเก็บประจุฟิเคเคอร์เมื่อเปรียบเทียบกับค่ากระแสประดิทธิผล	16
รูปที่ 2.14 แสดงการประมาณค่านเวลาในการคายประจุของค้วเก็บประจุฟิเคเคอร์ให้มีค่นเท่ากับครึ่งหนึ่งของค้วคาบเวลาในแรงค้วไฟลกลับเพื่อสะดวกในการค่านวณ	20
รูปที่ 2.15 แสดงการให้เวลาในการค้ววงจรของฟิเคเคอร์ค่างๆ	23
รูปที่ 2.16 แสดงเครื่องหมายมาตรฐานความปลอดภัยของประเทศค่างๆ คื่อ UL/อเมริกา CSA/ แคนาดา BSI/อังกฤษ และ VDE/เยอรมนี	24
รูปที่ 2.17 ขณะ Q_1 นำกระแส Q_2 จะมีแรงค้วค้วคร่อมเท่ากับ $V_{m1} - V_{ce(sat)}$ และแรงค้วค้วคร่อม N_p เท่ากับ $V_{in2} - V_{ce(sat)}$	25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

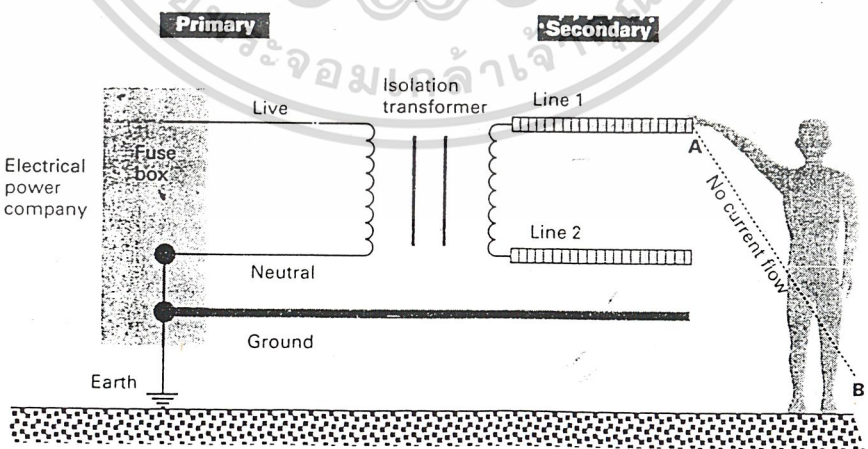
รูป	หน้า
รูปที่ 2.18 ขณะ Q_2 นำกระแส Q_2 จะมีแรงดันคคคร่อมเท่ากับ $V_{in} - V_{CE(sat)}$ และแรงดันคคคร่อม N_p เท่ากับ $V_{in/2} - V_{CE(sat)}$	25
รูปที่ 2.19 (ก) แสดงลักษณะการ ไม่สมมาตรฟลักซ์ เนื่องจาก Q_1 ใช้เวลานาน่า กระแสมากกว่า Q_2	26
รูปที่ 2.20 แสดงลักษณะกระแสและแรงดันคคคร่อมเพาเวอร์มอสเฟสเมื่อ เริ่มนำกระแสและหยุดนำกระแสในส่วนที่แรงจะเป็นส่วนที่ เกิดกำลังงานสูญเสียในรูปความร้อนได้สูง	29
รูปที่ 2.21 แสดงคว้เก็บประจุแฝงที่ค่ออยู่ที่ขนาดต่างๆ ภายในตัวเพาเวอร์มอสเฟส	31
รูปที่ 2.22 แสดงลักษณะและแรงคั้นและกระแสที่ขาคคขณะทีเพาเวอร์มอสเฟสถูกไบโอสให้ ให้นำกระแสการกำหนดในการเปลี่ยนสถานะ	31
รูปที่ 2.23 แสดงตัวอย่าง Gate Charge Chart	32
รูปที่ 2.24 แสดงลักษณะการชาร์จประจุที่ขาคคขบเวลาที่มืผลค่อการ เริ่มกระแส (ก) และผลเมื่อเริ่มหยุดนำกระแสของเพาเวอร์เฟด (ข)	33
รูปที่ 2.25 แสดงส่วนประกอบหลักของหม้อแปลงสวิตซิ่ง (ก) และการพัน ขดลวดทองแดงอบน้ำยาบนขอบบิ้น (ข)	34
รูปที่ 2.26 ตัวอย่างขนาดของบอบบิ้น	35
รูปที่ 2.27 แสดงตัวอย่างขนาดของแกนฟอร์ไรต์แบบ EE, EI, ETD	37
รูปที่ 2.28 แสดงความล้มพันพื้นฐานของหม้อแปลง	38
รูปที่ 2.29 แสดงการกำหนดค่าต่างๆ ในการพันหม้อแปลงสวิตซิ่งควมวิธีของจงสมารี่ (Jongsma)	39
รูปที่ 2.30 แสดงการจัดโครงสร้างภายในและการจัดขาของไอซี TL 494 (ที่มา :Motorola)	41
รูปที่ 2.31 แสดงความสัมพันธ์ของค่า R, C, L ในการกำหนดควมถี่	42
รูปที่ 2.32 แสดงรูปคลื่นลักษณะการทำงานของ TL494	43
รูปที่ 2.33 แสดงลักษณะการเลือกใช้อาร์ทพุทของ TL494	44
รูปที่ 2.34 ลัญญาณพัลส์ในการคำนวณสมการฟูเรียร์	47
รูปที่ 2.35 วงจร RC Series Resonance	50
รูปที่ 2.36 กราฟแสดงความสัมพันธ์ระหว่างอินพุทอิมพีแดนซ์ $Z(j\omega)$ ของวงจรรีโซแนนซ์	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

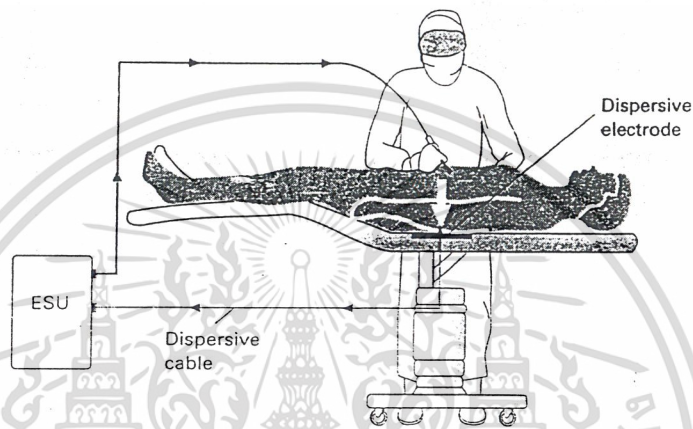
การใช้กระแสไฟฟ้าในทางการแพทย์ทางด้านอายุรเวทนั้นมีมานานหลายทศวรรษ วิลเลียม กิลเบิร์ต (William Gilbert) นักฟิสิกส์ผู้ซึ่งเป็นบิดาในการใช้กระแสไฟฟ้าในการรักษาต่อมา อาร์สันวัตต์ (Arsonwat) ได้ค้นพบว่ากระแสไฟฟ้าความถี่สูงที่มากกว่า 100kHz สามารถทะลุเข้าไปในร่างกายได้ โดยไม่ทำให้เกิดความเจ็บปวดหรือปรากฏการณ์ใดๆ กับการกระตุ้นเส้นประสาทกล้ามเนื้อ โดยกระแสไฟฟ้าสามารถกระโดดข้ามช่องอากาศได้ถึง 15 มม. ซึ่งกระแสไฟฟ้าความถี่สูงนี้ สามารถจี้ห้ามเลือดในการผ่าตัดได้ ในการผ่าตัดแบบเดิมนั้น จะใช้เหล็กหนีบในการหนีบเส้นเลือดไว้เพื่อไม่ให้เลือดไหลแล้ว ใช้สุญญากาศทำการดูดน้ำในเนื้อเยื่อออก ซึ่งการผ่าตัดบางอย่างทำให้ยุ่งยากและลำบากกับแพทย์ที่ทำการผ่าตัด จึงได้นำหลักการของกระแสไฟฟ้าความถี่สูงมาใช้ซึ่งสะดวกกว่าการผ่าตัดแบบเดิม ขณะนี้ปัญหาที่เกิดขึ้นก็คือเครื่องจี้ห้ามเลือดด้วยไฟฟ้ายังเป็นเครื่องมือที่มีความจำเป็นต้องสั่งซื้อจากต่างประเทศในราคาแพงมาก ซึ่งตัวกระผมได้มีโอกาสเข้าไปคลุกคลีโดยตรงในช่วงที่ทำงานเกี่ยวกับเครื่องมือแพทย์ จึงเป็นจุดเริ่มต้นให้ตัวกระผมทำการศึกษาค้นคว้าในการที่จะสร้าง เครื่องงานชิ้นนี้ขึ้นมา ประกอบการนำเอาความรู้ในสาขาวิชาไฟฟ้าและอิเล็กทรอนิกส์ไปประยุกต์ใช้ในการแพทย์ได้ และเนื่องจากในปัจจุบันทางการแพทย์ได้มีการวิจัยและพัฒนาอย่างต่อเนื่องมีการพัฒนาเทคโนโลยีสารกึ่งตัวนำให้สามารถทำงานที่ความถี่สูงๆ ทนต่อกระแสและแรงดันเพิ่มขึ้น โครงการนี้ได้นำเอาความรู้ทางเพาเวอร์อิเล็กทรอนิกส์ (Power Electronics) ไปใช้ในการสร้างเครื่องตัดจี้ห้ามเลือดด้วยไฟฟ้าโดยจะเน้นให้มีการควบคุมการทำงานของเครื่อง โดยอัตโนมัติและมีความปลอดภัยในการใช้งานสูง ซึ่งเครื่องตัดจี้ด้วยไฟฟ้านี้จะใช้หลักการ Isolated Power System ในการป้องกันอันตรายจากแรงดันไฟฟ้าต่อผู้ป่วย ดังรูป 1.1



รูปที่ 1.1 แสดงระบบ Isolate Power System

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องตัดจี้ห้ามเลือดด้วยไฟฟ้าจะสร้างสัญญาณรูปคลื่น Sine Wave ที่มีพลังงานสูงในย่านความถี่วิทยุ(Radio Frequency) โดยทางเอาท์พุทของเครื่องจะถูกส่งไปตามลวดตัวนำไปเข้าอิเล็กโทรดที่ตัดจี้(Active Electrode)ซึ่งมีรูปปลายแหลมคล้ายมีดผ่าตัดทั่วไป ผ่านเนื้อเยื่อที่ต้องการตัดจี้ แล้ววนกลับเข้ามาผ่านอิเล็กโทรดที่เรียกว่า "Dispersive Electrode" ซึ่งมีพื้นที่ผิวสัมผัสใหญ่มากเพื่อเทียบกับ Active Electrode หลังจากนั้นสัญญาณจะไปตามลวดตัวนำกลับเข้าสู่แหล่งกำเนิดสัญญาณดังรูปที่ 1.2



รูปที่ 1.2 แสดงลักษณะการใช้เครื่องตัดจี้ห้ามเลือดด้วยไฟฟ้า(แบบ Monopolar)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

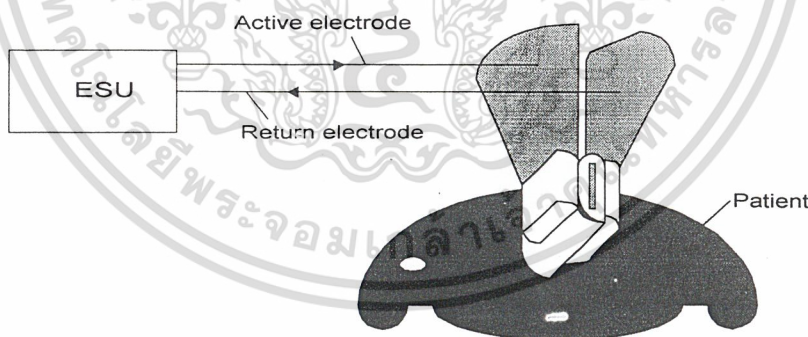
ทฤษฎีเกี่ยวกับเครื่องจี้ห้ามเลือดด้วยไฟฟ้า

2.1 หลักการนำเอาสัญญาณไฟฟ้าความถี่สูงมาใช้ในการห้ามเลือด (Principle of Frequency Coagulation)

เมื่อนำเอาเชื้อที่ต้องการห้ามเลือดมาวางระหว่างขั้วทั้งสองของฟอร์เซพดังรูปที่ 2.1 กระแสไฟฟ้าซึ่งมีความหนาแน่นสูงที่ปลายของฟอร์เซพผ่านเนื้อเยื่อที่อยู่ระหว่างเกิดความร้อนอย่างรวดเร็ว ความร้อนที่เกิดขึ้นเกิดจากสาเหตุ 2 ประการคือ

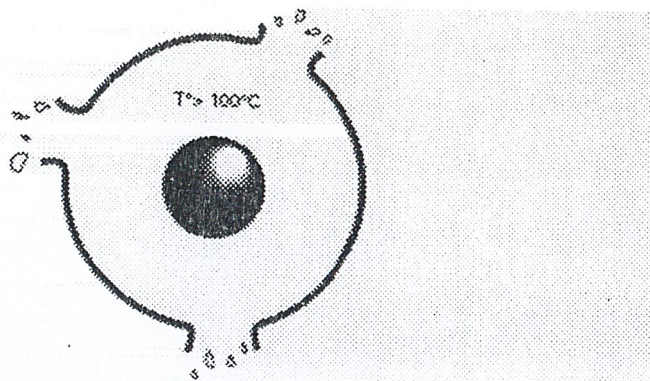
1. กระแสที่ไหลจากฟอร์เซพผ่านเนื้อเยื่อทำให้เกิดการสูญเสียในรูปความร้อน เนื่องจากความต้านทานภายในของเนื้อเยื่อที่กระแสไหลผ่านพลังงานนี้มีประมาณ $I^2 \times R$ เมื่อ R เป็นความต้านทานภายในของเนื้อเยื่อ

2. พลังงานความถี่สูงของสัญญาณจะทำให้โมเลกุลภายในเนื้อเยื่อเกิดความสั่นสะเทือนเกิดความร้อนการสั่นสะเทือนนี้เกิดปฏิกิริยาระหว่างสนามแม่เหล็กกับน้ำ ความร้อนที่เกิดจากสาเหตุประการนี้เกิดขึ้นรวดเร็ว เมื่อเปรียบเทียบกับอัตราการสูญเสียความร้อนโดยการถ่ายเท ไปสู่เนื้อเยื่อที่ล้อมรอบความร้อนที่เกิดขึ้นชั่วขณะในเนื้อเยื่อถ้ามากกว่า 100 องศาเซลเซียสภายในเซลล์จะเปลี่ยนเป็นไอน้ำอย่างฉับพลัน ก่อเกิดแรงดันและการระเหยออกไปอย่างรวดเร็วเป็นผลทำให้เลือดแข็งตัว ดังรูปที่ 2.2



รูปที่ 2.1 แสดงลักษณะการต่อใช้งานแบบไบโพลาร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 แสดงการระเบิดของเซลล์ที่อุณหภูมิมากกว่า 100 องศาเซลเซียส

2.2 ผลของกระแสไฟฟ้าความถี่สูงที่มีต่อเนื้อเยื่อ

เนื้อเยื่อเป็นตัวนำไฟฟ้าชนิดหนึ่ง แลไฟฟ้าที่มีผลต่อเนื้อเยื่อนั้นจะเป็นไฟฟ้ากระแสสลับที่มีความถี่สูงเกินกว่า 100 kHz เนื่องจากว่าจะไม่มีผลกับระบบประสาทและกล้ามเนื้อ ส่วน ไฟฟ้ากระแสสลับที่มีความถี่ต่ำกว่า 100 kHz จะมีผลต่อระบบกล้ามเนื้อประสาท สำหรับไฟฟ้ากระแสตรงก็จะมีผลต่อระบบประสาทและกล้ามเนื้อเช่นกัน ดังนั้นความถี่ช่วงต่าง ๆ ที่มีในวงการแพทย์แบ่งได้ดังนี้

ช่วง 10 kHz - 100 kHz จะมีผลต่อการกระตุ้นประสาทและกล้ามเนื้อหรืออาจทำให้เกิดการเจ็บปวด

ช่วง 100 kHz - 10 MHz จะเกิดผลความร้อนต่อร่างกายมนุษย์

มากกว่า 10 MHz ผลของความร้อนที่เกิดขึ้นค่อนข้างจะซับซ้อนเนื่องจากการดูดกลืนการแผ่รังสีความร้อน แต่ที่นิยมกันมากที่สุดสำหรับการสร้างความถี่ในการห้ามเลือดประมาณ 500 kHz สำหรับความร้อนที่เพิ่มขึ้นในเนื้อเยื่อ จะเป็นไปตามกฎ

$$W = I^2 R t$$

เมื่อ

- W = พลังงานความร้อน
- I = กระแสไฟฟ้า
- R = ความต้านทานเนื้อเยื่อ
- t = เวลา

ความร้อนกระแสไฟฟ้าเป็นปัจจัยสำคัญที่ทำให้เกิดผลกระทบกับเนื้อเยื่อเช่นนี้อาจจะทำให้เนื้อเยื่อไหม้ฟอง ความเข้มของกระแสไฟฟ้าอยู่กับพื้นที่ของเนื้อเยื่อบริเวณที่จะทำการจี ถ้าพื้นที่มากจะทำให้ความเข้มน้อย ดังนั้น ในการทำศัลยกรรมจะพิจารณาบริเวณที่จะทำการจีว่าเป็นบริเวณเล็กหรือว่าใหญ่ ถ้าเป็นบริเวณใหญ่ก็จะใช้กำลังวัตต์สูง ส่วนเวลาที่ใช้ในการจีเป็น ปัจจัยที่จะทำให้เนื้อเยื่อประกอบด้วยดังนี้

ความต้านทานของเนื้อเยื่อ

ความต้านทานในเนื้อเยื่อคูณกับ I^2 ค่ากระแสที่ไหลในเนื้อเยื่อที่มีค่าความต้านทานสูงจะมีความร้อนมากกว่าค่ากระแสที่ไหลในเนื้อเยื่อที่มีน้ำอยู่ด้วย (ค่าความต้านทานต่ำ) สำหรับผิวหนังที่มีความต้านทานสูงประมาณ 100,000 โอห์ม จะเป็นตัวป้องกันสำหรับร่างกาย น้ำบริสุทธิ์จะเป็นตัวนำกระแส ดังนั้นเนื้อเยื่อที่แห้งจึงมีความต้านทานสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความต้านทานสูงประมาณ 100,000 โอห์ม จะเป็นตัวป้องกันสำหรับร่างกาย นำวัสดุที่จะเป็นตัวนำกระแสคิ่งนั้นเนื้อเยื่อที่แห้งจึงมีความต้านทานสูง

ความหนาแน่นกระแส

กฎสำคัญของกระแสไฟฟ้าในการศัลยกรรม คือผลของความร้อนในวงจรถะแปรผันกับสัดส่วนพื้นที่ของเนื้อเยื่อ

ผลกระทบของอัตราส่วน

พื้นที่ของตัวนำความร้อนที่สามารถแสดงออกมาในรูปของความหนาแน่นของกระแสเมื่อ $T = I/A^2$ เมื่อ $I = \text{amp}$, $A^2 = \text{cm}^2$ กระแสที่เพิ่มขึ้นจะทำให้ค่าความต้านทานลดลงอัตราส่วนของพื้นที่ที่สามารถเปลี่ยน โดยผิวหน้าของพื้นที่ของฟอร์เซฟ

เวลา (Time)

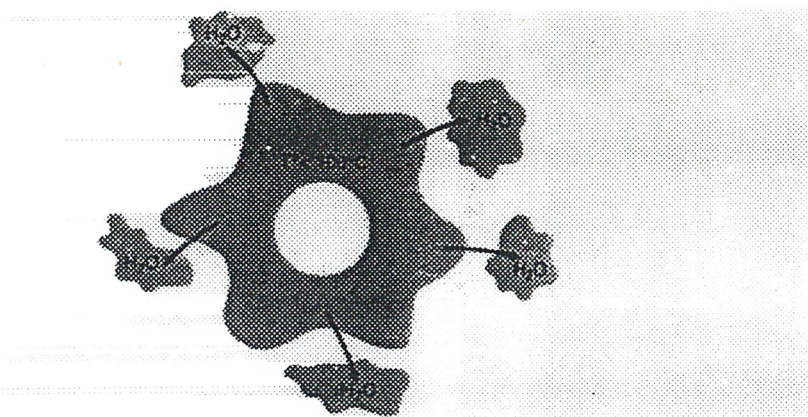
ระยะเวลาของกระแสที่ไหลนานจะทำให้เกิดความร้อนที่สูงกว่าระยะเวลาสั้น ๆ

2.3 ภาพแสดงลักษณะของ ไบโพลาร์ โหมด

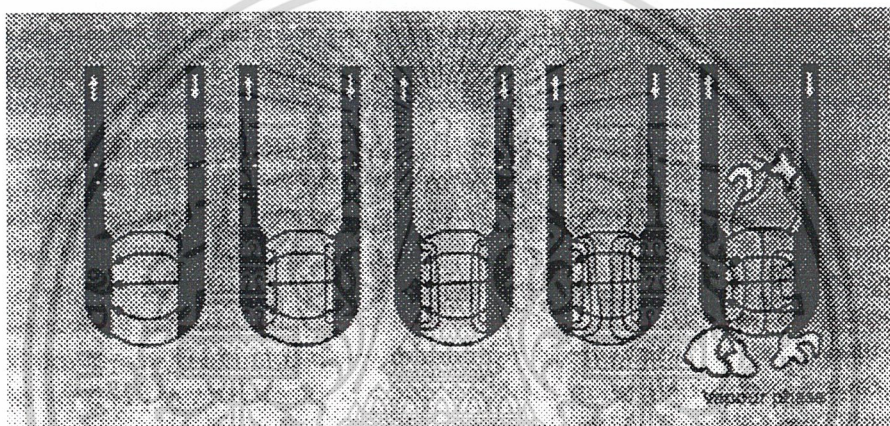


รูปที่ 2.3 แสดงกระแสไฟฟ้าที่ผ่านเข้าไปในโหมดไบโพลาร์

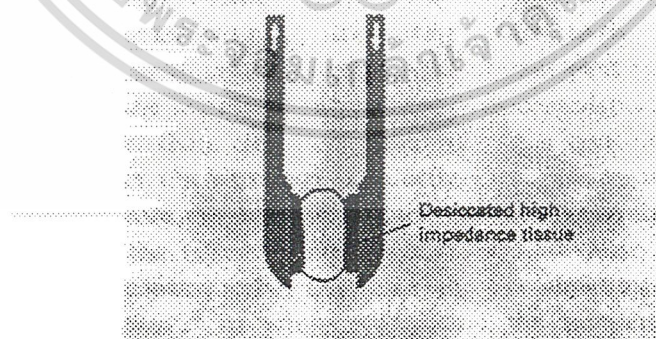
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 แสดงการหาคัดของเซลล์ที่อุณหภูมิน้อยกว่า 100 องศาเซลเซียส

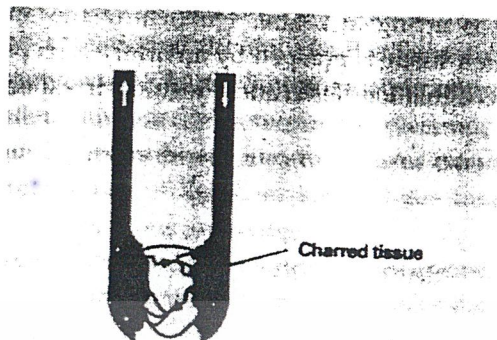


รูปที่ 2.5 แสดงสถานะของเนื้อเยื่อที่เปลี่ยนไปตามระยะเวลาที่ทำการจี้



รูปที่ 2.6 แสดงสถานะของเนื้อเยื่อที่แรงไฟน้อกว่า 200 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

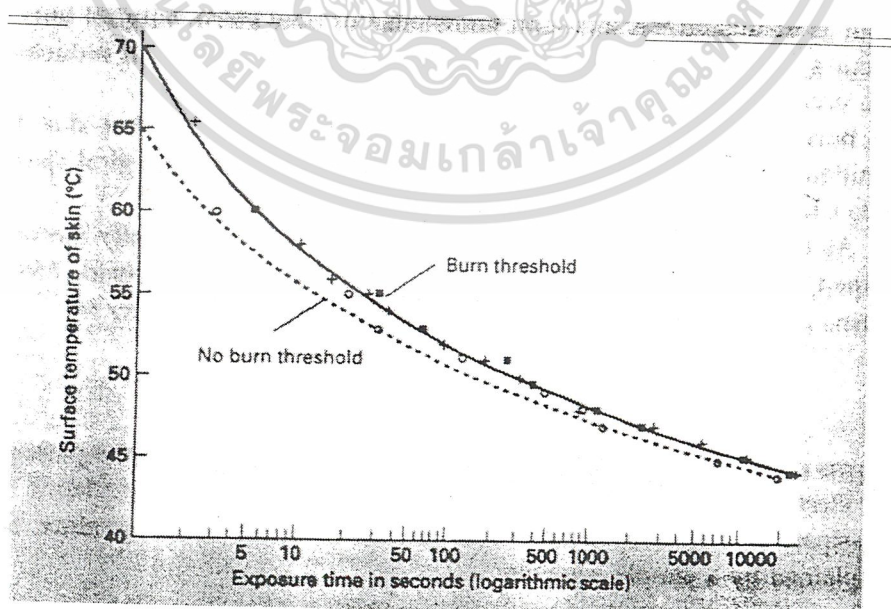


รูปที่ 2.7 แสดงสถานะของเนื้อเยื่อที่แรงไฟมากกว่า 200 V

2.4 ปัจจัยที่ทำให้เกิดการไหม้ของเนื้อเยื่อประกอบไปด้วย

1. ความเข้มของกระแสไฟฟ้า
2. ระยะเวลาการไหลของกระแสไฟฟ้า
3. ชนิดของเนื้อเยื่อและการแพร่กระจายของกระแส

กระแสไฟฟ้าที่มีความเข้มสูงในเนื้อเยื่อและระยะเวลาของการไหลที่ยาวนานส่งผลทำให้ความร้อนสูงในเนื้อเยื่อ ดังนั้นถ้าความร้อนที่เกิดสูงกว่าความร้อนที่เพลาทก็จะทำให้เกิดการไหม้ของเนื้อเยื่อ ซึ่งเพลาทก็หมายถึงซาฟตี้เซฟจะต้องแนบสนิทกับเนื้อเยื่อเพื่อป้องกันการไหม้ลักษณะของการไหม้สามารถดูได้จากกราฟข้างล่างซึ่งจากรูประยะเวลาในการไหลของกระแสเป็นส่วนสำคัญที่ทำให้เกิดการไหม้

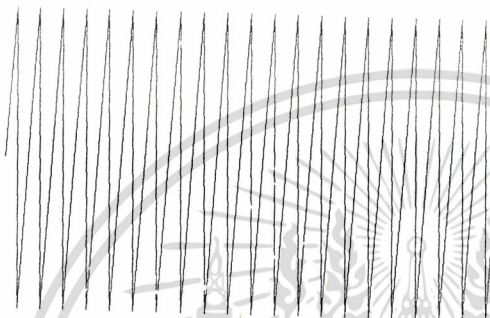


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาติให้นำไปใช้ประโยชน์ด้านการค้า
รูปที่ 2.8 กราฟแสดงลักษณะของการไหม้ของเนื้อเยื่อ
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

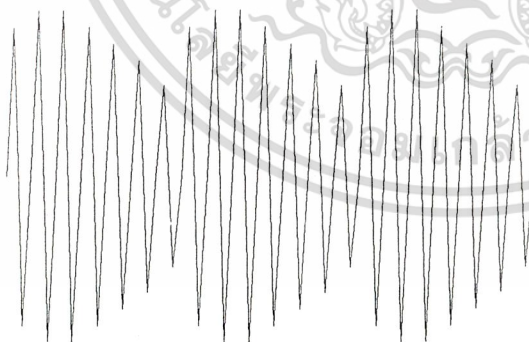
2.5 ลักษณะสัญญาณไฟฟ้าที่ใช้ในการจี

ผลจากการตัดจี้ด้วยไฟฟ้าแยกออกได้เป็น การจีเนื้อเยื่อ การห้ามเลือดพร้อมกับการห้ามเลือด ในขณะเดียวกัน ทั้งนี้ขึ้นอยู่กับลักษณะทางไฟฟ้าที่ใช้ซึ่งแยกออกได้ดังนี้

1. แบบไม่ผสมคลื่นความถี่ (Non-modulate HF current) ใช้สำหรับการตัดเท่านั้น มีการเกิดประกายไฟ (Spark) ของสัญญาณไฟฟ้าเล็กน้อยขณะตัดจี้ด้วยไฟฟ้า ไม่มีผลต่อการเปลี่ยนแปลงโครงสร้างทางเคมีของเซลล์เนื้อเยื่อที่ถูกตัดจี้ ลักษณะของสัญญาณแสดงในรูปข้างล่าง

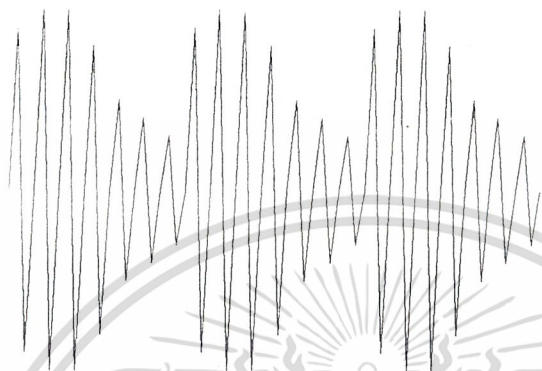


2. แบบผสมคลื่นความถี่น้อย (Slightly Modulated HF Current) ใช้สำหรับการตัดและการควบคุมเลือดให้แข็งตัว ในขณะเดียวกัน ความสามารถในการตัดจะมีมากกว่าการห้ามเลือด ลักษณะของสัญญาณแสดงในรูปข้างล่าง

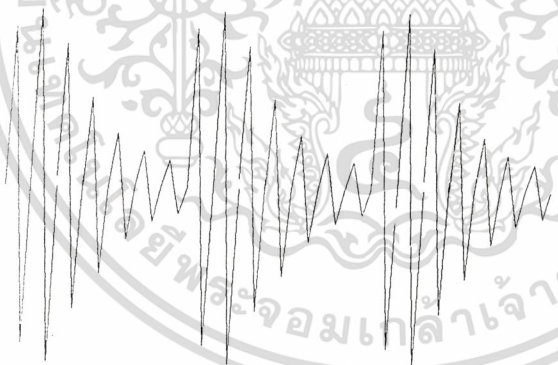


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. แบบผสมคลื่นความถี่ปานกลาง (Strongly Modulate HF Current) ใช้สำหรับการห้ามเลือด และการตัด ความสามารถในการการมีน้อยกว่าการห้ามเลือดอาจเกิดการเปลี่ยนแปลง โครงสร้างทางเคมีของเซลล์ที่ถูกตัดจี้ ลักษณะแสดงดังรูปข้างล่าง



4. แบบผสมคลื่นความถี่มาก (Modulate HF current with damped oscillation) ใช้สำหรับการห้ามเลือดลักษณะของสัญญาณแสดงดังข้างล่าง



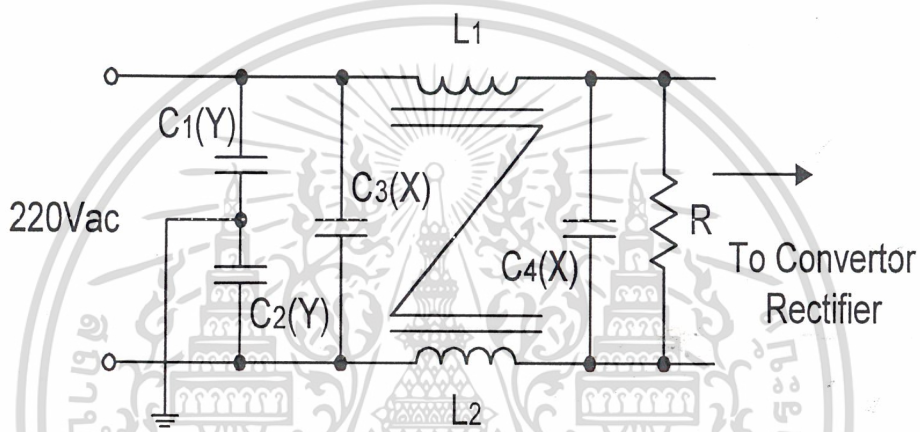
2.5 ปัญหาการรบกวนของเครื่องจี้ห้ามเลือดด้วยไฟฟ้ากับอุปกรณ์อื่น ๆ

ปัญหาที่เกิดขึ้นใน โรงพยาบาลเมื่อเลือกจี้คือความถี่ของเครื่องจะไปรบกวนอุปกรณ์อื่น ๆ เนื่องจากอนินทรีย์ภายในเครื่องจี้ ฉะนั้นจำเป็นอย่างยิ่งที่จะต้องกำจัดสาโมนินทรีย์บางส่วนออกไป สิ่งสำคัญที่สุดในการ ใช้อย่างปลอดภัยโดยการหมั่นตรวจตราอุปกรณ์ที่ใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 การกรองสัญญาณรบกวนหรือ RFI ฟิวเตอร์ (RFI Input filter)

กระแสน้ำวนที่ค่ากระแสสูงสุด สวิตซ์เพาเวอร์ซัพพลายจึงเป็นแหล่งกำเนิดการทำงานของสวิตซ์เพาเวอร์ซัพพลายเป็นการทำงานในลักษณะการเปลี่ยนแปลงของเนคสัญญาณรบกวน RFI ได้เป็นอย่างดี ดังนั้นสวิตซ์เพาเวอร์ซัพพลายจำเป็นต้องมีวงจรฟิวเตอร์ เพื่อลดสัญญาณรบกวนที่จะออกไปภายนอกให้อยู่ในระดับที่รับได้ วิธีการลดสัญญาณรบกวน RFI ที่จะออกไปภายนอกที่ใช้กันทั่วไปสำหรับสวิตซ์เพาเวอร์ซัพพลายก็คือการต่อ LC ฟิวเตอร์คั่นที่อินพุตกับที่ระบบแรงดันไฟฟ้าสลับ เพื่อลดสัญญาณ RFI ทั้งที่สัญญาณโหมดความแตกต่างกับที่สัญญาณโหมดร่วม (Common Mode) การต่อวงจร LC ฟิวเตอร์ทำได้ดังรูปที่ 2.9



รูปที่ 2.9 แสดงตัวอย่างการต่อวงจร LC ฟิวเตอร์เพื่อลดสัญญาณรบกวน RFI

วงจร RFI ฟิวเตอร์ในรูปที่ 2.9 นั้นควรกำหนดค่าของตัวแปรเก็บประจุและค่าของดั่งเหนี่ยวนำให้มีค่าดังนี้

$$C_3, C_4 = 0.1 \text{ ถึง } 2 \mu\text{F} \text{ และเป็นตัวเก็บประจุชนิด "X"}$$

$$C_1, C_2 = 2,000 \text{ pF ถึง } 0.033 \mu\text{F} \text{ และเป็นตัวเก็บประจุชนิด "Y"}$$

$$L_1, L_2 = 1.8 \text{ MHz ที่ } 25 \text{ mA ถึง } 47 \text{ MHz ที่ } 0.3 \text{ A}$$

การกำหนดค่าอุปกรณ์ต้องแน่ใจว่าความถี่เรโซแนนซ์ของวงจรต้องมีค่าน้อยกว่าค่าความถี่การทำงานของสวิตซ์เพาเวอร์ซัพพลาย ตัวต้านทาน R ที่อยู่ในวงจรมีไว้เพื่อเก็บประจุชนิด "X" คายประจุทิ้งไปได้ตามมาตรฐานความปลอดภัยทั่วไป ตัวต้านทาน R จะต้องมีค่าเท่ากับ

$$2R = \frac{t}{2.21C} \quad \dots\dots (2.1)$$

2.21C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษานั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยกำหนดให้ m มีค่าเท่ากับ 1 วินาที และ c คือ ผลรวมของค่าตัวเก็บประจุชนิด “X” ในวงจรฟิลเตอร์เป็นฟารัด

ประสิทธิภาพในการลดสัญญาณรบกวนของวงจร IC ฟิลเตอร์จะขึ้นอยู่กับค่าความแตกต่างอินทิเกรตระหว่างอินพุทของฟิลเตอร์กับแหล่งจ่ายไฟสลับและค่าความแตกต่างอินทิเกรตระหว่างเอาต์พุทของฟิลเตอร์กับคอนเวอร์เตอร์ โดยถ้าค่าความแตกต่างของอินทิเกรตมีค่ามากอัตราการลดทอนสัญญาณรบกวน RFI จะเป็นไปได้มากด้วย

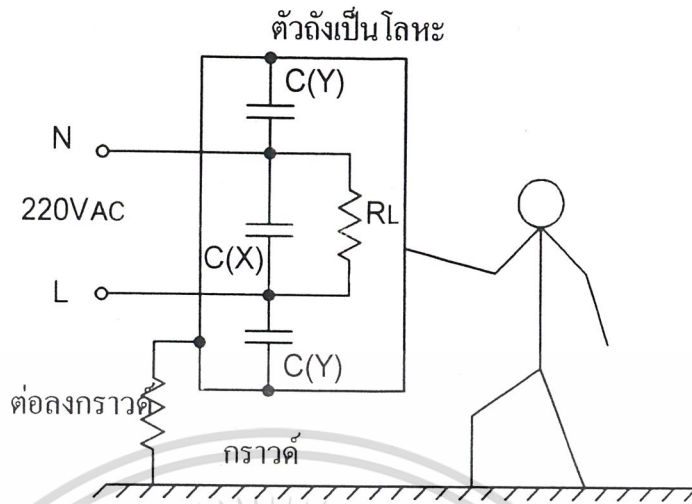
ปกติคอนเวอร์เตอร์จะมีค่าอินทิเกรตต่ำ ส่วนแหล่งจ่ายแรงดัน ไฟสลับมักมีค่าอินทิเกรตสูง ดังนั้นค่าอินทิเกรตของวงจร RFI ฟิลเตอร์ที่อินพุตต้องมีค่าอินทิเกรตต่ำ ๆ และเอาต์พุทของวงจร RFI ฟิลเตอร์จะต้องมีค่าอินทิเกรตสูง ๆ เพื่อให้อัตราการลดทอนสัญญาณรบกวนมีค่าสูง การต่อ C_1 (Y) และ C_2 (Y) ที่ด้านอินพุทของวงจรจะทำให้อินพุทของวงจรฟิลเตอร์มีค่า อินทิเกรตต่ำ L1 และ L2 จะทำให้อินทิเกรตที่เอาต์พุทของวงจรฟิลเตอร์มีค่าสูง $C(x)$ ที่อยู่ในวงจรจะมีผลในการลดทรานเซียนซ์ โดย $C1(x)$ จะลดทรานเซียนซ์ที่เกิดในสายไฟสลับ ไม่ให้ผ่านเข้าหาคอนเวอร์เตอร์ส่วน $C2(x)$ จะลดทรานเซียนซ์ที่เกิดจากคอนเวอร์เตอร์ไม่ให้ผ่าน ไปยังสายไฟสลับได้

ตัวเก็บประจุชนิด “X” และตัวเก็บประจุชนิด “Y” ตัวเก็บประจุชนิด “X” และเก็บประจุชนิด “Y” เป็นตัวเก็บประจุสำหรับการลดทอนสัญญาณรบกวน ใช้กับแรงดันไฟสลับ 110 โวลต์หรือ 220 โวลต์ การต่อตัวเก็บประจุเพื่อลดทอนสัญญาณรบกวนตามมาตรฐานความปลอดภัยของ IEC ได้กำหนดให้ค่าใช้งานแยกประเภทตามตำแหน่งการใช้งานดังต่อไปนี้

ตัวเก็บประจุชนิด “X” (X-capacitor) ให้ใช้ต่อได้เฉพาะตำแหน่งที่ไม่ทำผู้ใช้อุปกรณ์ได้รับปลอดภัยจากไฟฟ้าช็อต หากตัวเก็บประจุเกิดลัดทะเลหรือทำงานผิดพลาดการใช้ตัวเก็บประจุชนิด “X” จะไม่มีการจำกัดค่าความจุสูงสุดของ ตัวเก็บประจุไว้ตัวเก็บประจุชนิด “X” ยังแบ่งออกได้อีกเป็น “X₁” และชนิด “X₂” ตามอัตราทดแรงดันสูงสุดของตัวเก็บประจุ โดยเก็บประจุชนิด “X₁” มีค่าอัตราทดแรงดันสูงสุดใช้งานมากกว่า 1,200 โวลต์ ส่วนตัวเก็บประจุชนิด X₂” มีค่าอัตราทดแรงดันสูงสุดใช้งานต่ำกว่า 1,200 โวลต์ลงมา

ตัวเก็บประจุชนิด “Y” (Y-capacitor) ยอมให้ใช้ได้ ในตำแหน่งที่อาจทำให้ผู้ใช้อุปกรณ์ไฟฟ้าได้รับอันตรายจากไฟฟ้าช็อต ถ้าตัวเก็บประจุเกิดลัดทะเลหรือทำการผิดพลาด ตัวเก็บประจุชนิด “y” จัดเป็นอุปกรณ์ที่เสี่ยงกับความปลอดภัยจึงต้องมีมาตรฐานเกี่ยวกับความปลอดภัยสูงและต้องมีโครงสร้างที่ป้องกันการลัดทะเลได้ดี ค่าความจุของตัวเก็บประจุชนิด “y” ต้องมีค่าเพื่อจำกัดกระแสรั่วไหลหรือจำกัดกระแสลัดสสารจากตัวเก็บประจุชนิด “y” ลงดิน (ตามมาตรฐานความปลอดภัยเครื่องใช้ไฟฟ้าภายในบ้านทั่วไปจะต้องมีค่ากระแสรั่วลงดินน้อยกว่า 0.5 มิลลิแอมป์) ลักษณะการต่อตัวเก็บประจุชนิด “x” และตัวเก็บประจุชนิด “y” แสดงไว้ดังรูปที่ 2.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



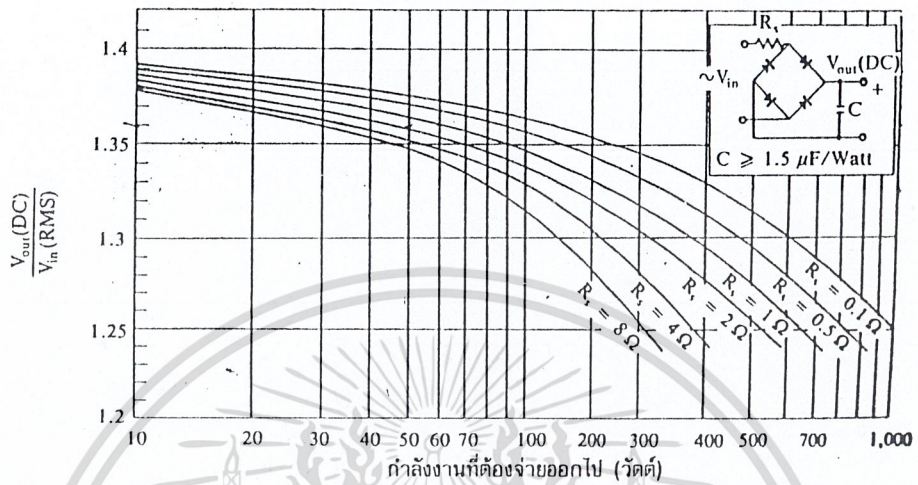
รูปที่ 2.10 แสดงตำแหน่งการต่อตัวประจุชนิด “x” และตัวเก็บประจุชนิด “y” ใช้งานจะเห็นได้ว่าหากมีการตัดทะเลในตัว $C(X)$ ผู้ใช้อุปกรณ์ซึ่งสัมผัสอยู่กับตัวถังจะไม่เป็นทางผ่านของกระแสลงดินและไม่เป็นอันตราย ส่วนตำแหน่ง $C(Y)$ ซึ่งหากมีข้อบกพร่องในการต่อสายดินของตัวถัง เมื่อ $C(Y)$ ผ่านกระแสได้มากเกินไปหรือเกิดลัดทะเลในตัวผู้ใช้ก็จะเป็นอันตรายเมื่อสัมผัสกับตัวถังเครื่องใช้ไฟฟ้า

2.7 ตัวต้านทานจำกัดกระแส R_s

ตัวต้านทานจำกัดกระแส R_s จะมีประโยชน์มากในวงจรเรกติไฟเออร์ R_s จะเป็นตัวจำกัดกระแสกระชากที่เกิดขึ้นในวงจร โดยเฉพาะอย่างยิ่งขณะเริ่มเปิดใช้เครื่องให้ทำงาน ตัวเก็บประจุจะชาร์จประจุจะเหมือนมีการลัดวงจรขึ้น ถ้าค่าตัวเก็บประจุสูงก็จะทำให้เกิดกระแสกระชากขณะเปิดเครื่องสูงด้วย การกำหนดค่าตัวต้านทานจำกัดกระแส R_s ไว้ในวงจรจะทำให้การไหลของกระแสไฟฟ้าขณะเปิดเครื่องเป็นไปได้อย่างช้าๆ และลดกระแสกระชาก ตัวต้านทาน R_s ในวงจรเรกติไฟเออร์จำเป็นต้องมีการกำหนดค่าอย่างเหมาะสมเนื่องจากในวงจรเรกติไฟเออร์ที่มีตัวเก็บประจุเป็นฟิลเตอร์นั้นค่าของแรงดันที่ได้จากวงจรจะขึ้นกับค่า R_s และกำลังงานที่วงจรเรกติไฟเออร์จะต้องจ่ายออกไป ดังแสดงในรูปที่ 2.11

การต่อตัวต้านทานตัวจำกัดกระแส R_s จะทำให้ประสิทธิภาพของสวิทช์িংเพาเวอร์ซัพพลายลดลงเนื่องจากการเกิดกำลังงานสูญเสียในตัว R_s การกำหนดค่าของ R_s จึงต้องพิจารณาจากความเหมาะสมระหว่างการลดกระแสกระชาก และประสิทธิภาพการทำงานของสวิทช์িংเพาเวอร์ซัพพลายด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 แสดงค่าแรงดันไฟตรงเฉลี่ยเอาต์พุตของวงจรเรกติไฟเออร์ที่ได้ที่โหลดและตัวค้ำทานจำกัดกระแส R_s ค่าต่างๆ (ที่มา : Billings)

2.8 ตัวเก็บประจุฟิลเตอร์ C

ตัวเก็บประจุฟิลเตอร์ C จะเป็นตัวกรองแรงดันไฟตรงที่ได้จากการเรียงกระแสของไดโอด D1-D4 ให้ค่าเรียบมากขึ้น และช่วยให้กระแสที่ได้มีค่าเพียงพอตามที่คอนเวอร์เตอร์ต้องการ การทำงานของตัวเก็บประจุฟิลเตอร์ C ในวงจรเรกติไฟเออร์จะเป็นไปของลักษณะการชาร์จประจุและคายประจุ ดังรูปที่ 2.12

ค่ากระแสขณะชาร์จประจุและคายประจุมากขึ้นหรือน้อยขึ้นกับค่าความจุของตัวเก็บประจุ C และภาวะของโหลดที่เอาต์พุตของวงจรเรกติไฟเออร์ รูปที่ 2.13 (ก) และ (ข) จะแสดงค่ากระแส RMS ที่อินพุต และค่ากระแส RMS ของตัวเก็บประจุฟิลเตอร์ C ต่อค่ากระแสประสิทธิผล I_c ที่อินพุตของวงจรเรกติไฟเออร์ โลยที่

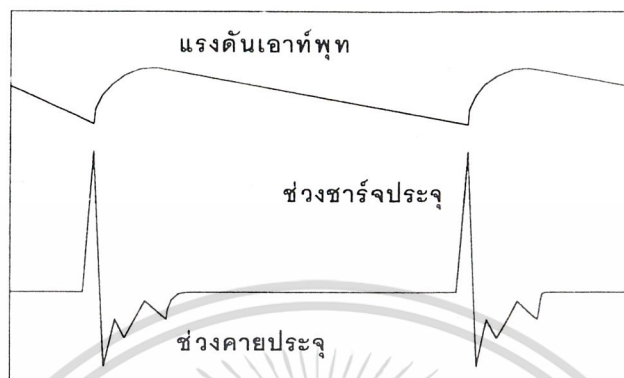
$$I_c = P_{IN} / V_{Inrms} \quad \dots (2.2)$$

- เมื่อ I_c คือ ค่ากระแสประสิทธิผลอินพุต เป็นอาร์เอ็มเอสแอมป์
- P_{IN} คือ กำลังที่จ่ายเข้าทางอินพุต เป็นวัตต์
- V_{Inrms} คือ ค่าแรงดันอาร์เอ็มเอสที่อินพุต เป็นอาร์เอ็มเอสโวลต์

ส่วน R_{sf} คือค่าแฟลคเตอร์ของตัวค้ำทาน R_s และค่า R_{sf} หาได้จาก

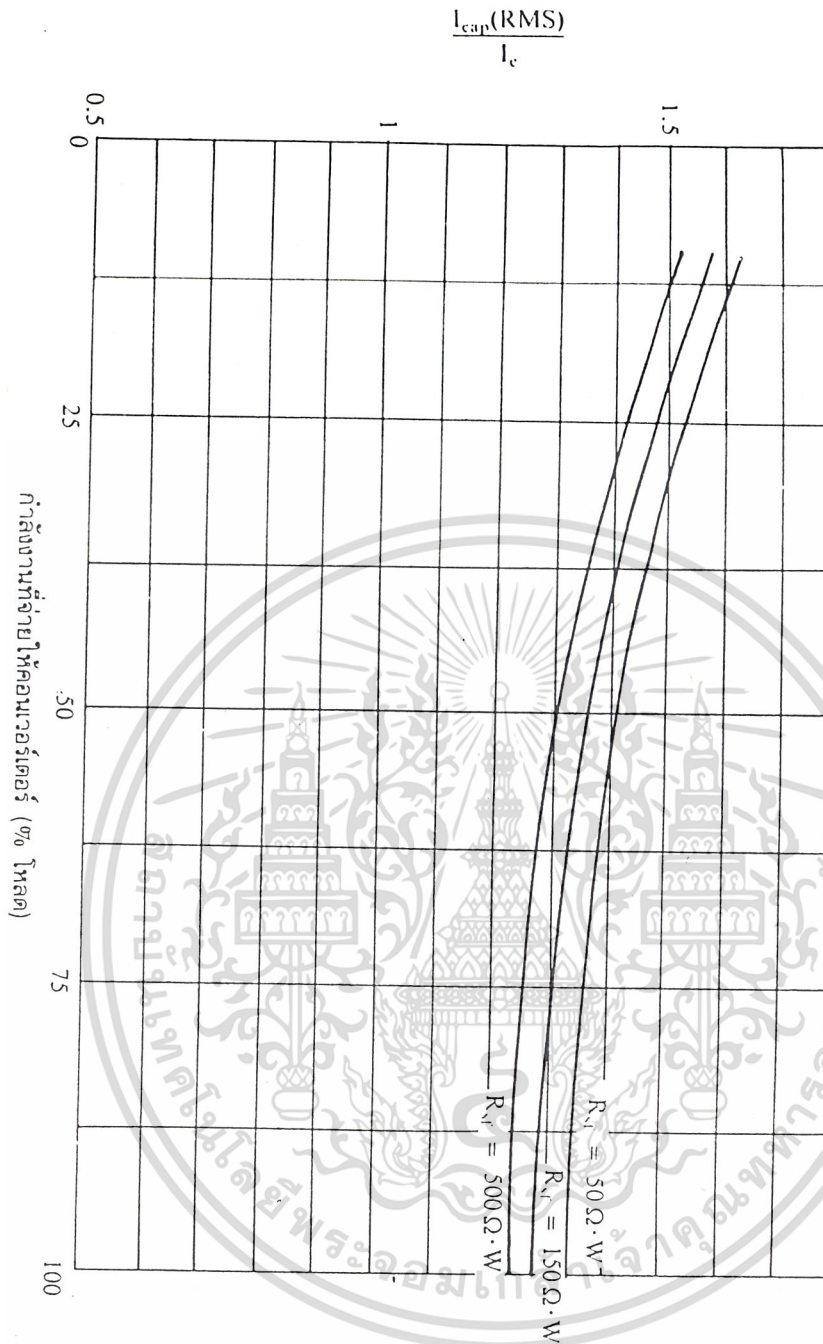
$$R_{sf} = R_s P_{IN} \quad \dots (2.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



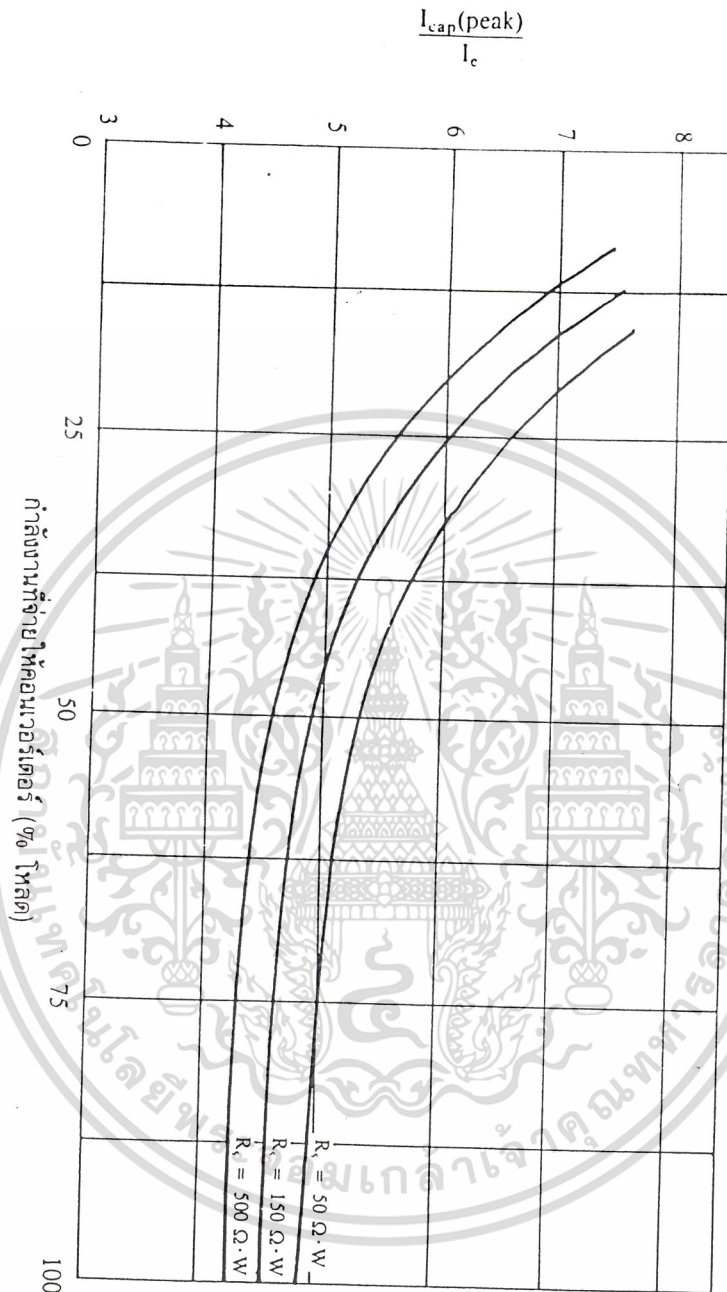
รูปที่ 2.12 แสดงลักษณะการชาร์จประจุและคายประจุของตัวเก็บประจุฟิวเตอร์ในวงจรเรกติไฟเออร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 (ก) แสดงค่ากระแส RMS ที่ผ่านเรกติไฟเออร์เมื่อเปรียบเทียบกับค่าของเสปประสิทธิภาพ I_c ต่อกำลังงานที่เรกติไฟเออร์ต้องจ่ายออกไปให้คอนเวอร์เตอร์ (คิดเป็นเปอร์เซ็นต์ของค่าโหลดสูงสุด) ที่ค่า R_s ต่าง ๆ กัน (ที่มา : Billings)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13(ข) แสดงค่ากระแสสูงสุดที่ผ่านตัวเก็บประจุฟิเตอร์เมื่อเปรียบเทียบกับค่าของกระแสประสิทธิผล I_c ต่อกำลังงานที่รีกติไฟเลอร์ต้องจ่ายออกไปให้คอนเวอเตอร์ (คิดเป็นเปอร์เซ็นต์ของค่าโหลดสูงสุด) ที่ค่า R_{SF} ต่างๆ กัน (ที่มา : Billings)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การพิจารณาเลือกตัวเก็บประจุฟิสิกส์ C สำหรับวงจรเรกติไฟเออร์

หากพิจารณาจากรูปที่ 2.11 ซึ่งแสดงค่าเฉลี่ยของแรงดันเอาต์พุตที่ได้จากวงจรฟูลบริดจ์เรกติไฟเออร์ที่ค่ากำลังงานต่างๆ ของวงจรตัวเก็บประจุฟิสิกส์ในวงจรจะต้องมีค่าไม่ต่ำกว่า 1.5 ไมโครฟารัดต่อวัตต์อย่างไรก็ตามในการใช้งานจริงแล้วการกำหนดตัวเก็บประจุฟิสิกส์ด้วยเงื่อนไขเพียงเท่านั้นยังไม่เพียงพอเมื่อวงจรเรกติไฟเออร์นั้นใช้กับสวิตชิ่งเพาเวอร์ซัพพลาย การพิจารณาเลือกค่าตัวเก็บประจุฟิสิกส์จำเป็นจะพิจารณาปัจจัยอื่นๆ ดังต่อไปนี้ด้วยคือ

- 2.8.1 อัตราทนกระแสระลอกของตัวเก็บประจุ (RMS Ripple Current Rating)
- 2.8.2 ค่าแรงดันกระเพื่อมที่เอาต์พุตของวงจรเรกติไฟเออร์ (Ripple Voltage)
- 2.8.3 ช่วงเวลาโฮลด์อัพที่ต้องการ (Hold up Time)
- 2.8.4 อัตราทนแรงดันของตัวเก็บประจุ
- 2.8.5 ขนาดและราคา
- 2.8.1 อัตราทนกระแสระลอก

กระแสระลอกในตัวเก็บประจุฟิสิกส์เกิดจากการชาร์จประจุและคายประจุของตัวเก็บประจุเองซึ่งรูปที่ 2.11 ค่ากระแสระลอกของตัวเก็บประจุฟิสิกส์อาจหาได้จากค่ากระแสประสิทธิผล I_e ของวงจรเรกติไฟเออร์และกราฟในรูปที่ 2.12

กระแสระลอกในตัวเก็บประจุจะทำให้ตัวเก็บประจุร้อนและลดอายุการใช้งานของตัวเก็บประจุลงได้ปกติผู้ผลิตจะระบุอัตราทนกระแสระลอกของตัวเก็บประจุมาในค่าชี้ชัด ตัวอย่างค่าอัตราทนกระแสระลอกของตัวเก็บประจุแสดงไว้ในตารางที่ 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.1 ตัวอย่างทนกระแสระลอกสูงสุดของตัวเก็บประจุชนิดอิเล็กโทรไลต์ที่ค่าความจุและอัตราแรงดันขนาดต่าง ๆ

Vdc μF	63	80	100	160	200	250	315	350	400	450
0.1										
0.22										
0.33										
0.47			9							
0.68			13							
1			17		20		23	24	26	29
1.5			22							
2.2			27		30	32	38	38	43	48
3.3			44	45	47	47	53	57	65	71
4.7	35		50	55	55	55	61	71	80	88
6.8	48		75	72	70	78	77	88	105	121
10	60		100	89	90	100	107	124	153	175
15	90	120	135	132	125	145	143	161	196	220
22	120		170	175	175	180	200	225	262	288
33	155	160	210	220	220	235	265	296	315	
47	210	220	320	295	300	330	343	357		
68	275	290	400	400	380	440				
100	340	360	470	505	520	550				

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเลือกใช้ตัวเก็บประจุฟิลเตอร์ C จะต้องมีค่าอัตราทนกระแสระลอกมากกว่าค่ากระแสระลอกที่คำนวณได้ เพื่อให้เก็บประจุขณะทำงาน ในกรณีที่กระแสระลอกมีค่าสูง การใช้ตัวเก็บประจุขนานกันหลายตัวจะช่วยเพิ่มอัตราทนกระแสระลอก ให้กับตัวเก็บประจุได้เช่นกัน

2.8.2 แร่งคั่นกระแสที่เอาต์พุตของเรกติไฟเออร์

การกระเพื่อมที่แรงดันเอาต์พุตของเรกติไฟเออร์ จะมีผล โดยตรงต่อการทำงานของคอนเวอร์เตอร์ในสวิตซิงเพาเวอร์ซัพพลาย การกระเพื่อมที่แรงดันเอาต์พุตทำให้แรงดันที่อินพุตของคอนเวอร์เตอร์มีค่าไม่คงที่ หากยอมให้แรงคั่นกระแสที่แรงดันเอาต์พุตของเรกติไฟเออร์มีค่ามากก็จะลดความสามารถในการคงค่าแรงดันที่เอาต์พุตของคอนเวอร์เตอร์ลง ไป และทำให้ช่วงแรงดันไฟสลับอินพุตของสวิตซิงเพาเวอร์ซัพพลายแคบลง ปกติการออกแบบสวิตซิงเพาเวอร์ซัพพลายจะยอมให้เรกติไฟเออร์มีค่าแรงคั่นกระแสเพื่อมิได้ไม่เกิน 10 เปอร์เซ็นต์ของค่าแรงดันเอาต์พุตที่ได้จากรูป 2.11

ค่าของตัวเก็บประจุฟิลเตอร์ C เพื่อให้ค่าแรงคั่นกระแสเพื่อมิไม่เกินกำหนดอาจคำนวณได้จาก

$$C = \frac{I_c \cdot \Delta t}{\Delta V_{ripple}} \quad \dots\dots (2.4)$$

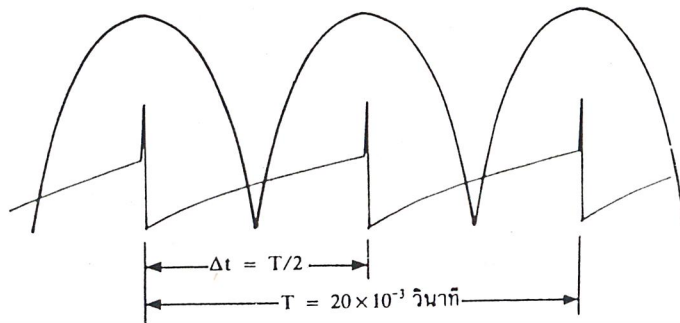
เมื่อ

I_c คือ ค่ากระแสประสิทธิผลของวงจรเรกติไฟเออร์

Δt คือ ช่วงเวลาที่ C คายประจุ

ΔV_{ripple} คือ ค่าขอลดถึงยอดของแรงคั่นกระแสที่เอาต์พุตของเรกติไฟเออร์

หมายเหตุ เพื่อให้ง่ายในการคำนวณค่าของ C ช่วงเวลาที่คายประจุ Δt อาจกำหนดจากช่วงยอดสูงสุดของคลื่นลูกหนึ่ง ไปอีกลูกหนึ่งของแรงคั่นที่ได้จากไดโอดเรกติไฟเออร์ดังในรูป 2.14 ดังนั้นค่าเวลา Δt จะมีค่าเท่ากับครึ่งหนึ่งของคาบเวลาของแรงดันไฟสลับนั่นเอง (10×10^{-3} วินาทีที่ความถี่ไฟสลับ 50 เฮิร์ตซ์)



รูปที่ 2.14 แสดงการประมาณค่าเวลาในการคายประจุของตัวเก็บประจุฟิวดเตอร์ให้มีค่าเท่ากับครึ่งหนึ่งของค่าคาบเวลาของแรงดันไฟสลับเพื่อสะดวกในการคำนวณ

2.8.3 ช่วงเวลาโฮลต์อ็อฟ

ช่วงเวลาโฮลต์อ็อฟ เป็นช่วงเวลาที่สวิตซ์เพาเวอร์ยังสามารถคงค่าแรงดันที่เอาท์พุทได้ตามปกติที่โหลดสูงสุดเมื่อมีการหยุดจ่ายแรงดันไฟสลับหรือค่าแรงดันไฟสลับต่ำกว่ากำหนด และเพื่อให้สวิตซ์เพาเวอร์ชัฟฟลายมีค่าเวลาโฮลต์อ็อฟ ตัวเก็บประจุฟิวดเตอร์จะต้องมีค่ามากพอเพื่อจะจ่ายกระแสให้กับคอนเวอเตอร์เมื่อมีการหยุดจ่ายแรงดันไฟสลับ ค่าของ C เพื่อให้เกิดช่วงเวลาโฮลต์อ็อฟหาได้จาก

$$C = \frac{2P_o T_H}{n(V_s^2 - V_r^2)} \dots\dots\dots (2.5)$$

เมื่อ	P_o	คือ ค่ากำลังงานสูงสุดที่เอาท์พุทของคอนเวอเตอร์
	n	คือ ค่าประสิทธิภาพของคอนเวอเตอร์
	V_s	คือ ค่าแรงดันที่ตัวเก็บประจุฟิวดเตอร์ก่อนหยุดจ่ายแรงดันไฟสลับ
	V_r	คือ แรงดันที่เก็บประจุฟิวดเตอร์หลังหยุดจ่ายแรงดันไฟสลับ
	T_H	คือ ค่าช่วงเวลาโฮลต์อ็อฟที่ต้องการ (โดยทั่วไปจะมีค่าประมาณ

20×10^{-3} วินาที ถึง 50×10^{-3} วินาที)

2.8.4 อัตราทนแรงดัน

ตัวเก็บประจุฟิวดเตอร์ต้องทนแรงดันได้อย่างต่ำที่ค่าแรงดันไฟตรงเอาท์พุทของวงจรเรกติไฟเออร์

แต่เพื่อความปลอดภัยควรเผื่อค่าอัตราทนแรงดันของตัวเก็บประจุฟิวดเตอร์ไว้อย่างน้อยที่ค่าแรงดันไฟตรงเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สูงสุดที่เป็นไปได้ของคอนเวอร์เตอร์ เช่นสวิทช์เพาเวอร์ซัพพลายที่มีแรงดันไฟสลับอินพุต 187-264 โวลต์ คิวเก็บประจุฟิลาเตอร์ควรมีอัตราทนแรงดันอย่างต่ำที่ 385 โวลต์ เป็นต้น

2.8.5 ขนาดและราคา

คิวเก็บประจุฟิลาเตอร์ ปกติจะเป็นชนิดอิเล็กโทรไลต์ที่อัตราทนแรงดันสูงๆ คิวเก็บประจุอิเล็กโทรไลต์จะมีขนาดใหญ่และมีราคาแพง การเลือกคิวเก็บประจุฟิลาเตอร์ที่มีอัตราทนแรงดันและค่าความจุสูงเกินไปจะเป็นการสิ้นเปลืองค่าใช้จ่ายเกินความจำเป็นกินเนื้อที่และเพิ่มขนาดของสวิทช์เพาเวอร์ซัพพลาย ขนาดและราคาจึงเป็นปัจจัยหนึ่งที่ควรพิจารณาก่อนเลือกคิวเก็บประจุฟิลาเตอร์ด้วยเช่นกัน

2.9 ไคโอดเรกติไฟเออร์

การเลือกใช้ไคโอดเรกติไฟเออร์มีข้อพิจารณาคั่งต่อไปนี้

ค่ากระแสกระชาก I_{FSM} (Marximum Surge Current) กระแสกระชากสูงสุดที่ผ่านไคโอดเรกติไฟเออร์จะเกิดขึ้นขณะเปิดเครื่องเมื่อคิวเก็บประจุฟิลาเตอร์ยังไม่มีประจุสะสมอยู่ค่ากระแสกระชากสูงสุดอาจคำนวณได้จาก

$$I_{FSM} = \frac{V_{peak}}{(R_s + ESR)} \dots\dots (2.6)$$

เมื่อ V_{peak} คือ แรงดันยอดสูงสุดของไฟสลับอินพุต
 ESR คือ ค่าความต้านทานแฝงในคิวเก็บประจุค่าสูงสุด
 R_s คือ ค่าของตัวต้านทานจำกัดกระแส

โดยทั่วไปแล้วไคโอดเรกติไฟเออร์จะมีค่าอัตราทนกระแสกระชาก I_{FSM} ประมาณ 20-30 เท่าของอัตราทนกระแสเฉลี่ยขณะถูกไบแอสตรงของมัน ไคโอดเรกติไฟเออร์ที่ใช้จะต้องมีค่าอัตราทนกระแสกระชากมากกว่าค่าที่คำนวณได้จากสมการที่ (3.5) ค่าของกระแสกระชาก I_{FSM} อาจลดลงได้โดยการเพิ่มค่าของ R_s แต่ประสิทธิภาพของสวิทช์เพาเวอร์ซัพพลายจะลดลงเนื่องจากกำลังสูญเสียที่เกิดขึ้นที่ตัวต้านทานจำกัดกระแส R_s

2.9.2. ค่ากระแสสูงสุดเมื่อถูกไบแอสตรง IRRM (Maximum Forward Current) ค่ากระแสสูงสุดที่เกิดขึ้นในวงจรเรกติไฟเออร์ จะเกิดขึ้นในจังหวะที่คิวเก็บประจุฟิลาเตอร์มีการเก็บประจุอีกครั้งหลังจากรายประจุออกไปให้โหลด ค่ากระแสสูงสุดเมื่อถูกไบแอสตรงของ ไคโอดเรกติไฟเออร์ I_{FSM} จึงหาได้จากค่ากระแสสูงสุดของคิวเก็บประจุฟิลาเตอร์จากกราฟในรูปที่ 2.13 (ค) นั่นเอง

2.93. ค่ากระแสเฉลี่ยเมื่อถูก โปแอตตรง I_{FM} (Maximum Average Forward Current) ค่ากระแสเฉลี่ยสูงสุดที่ไดโอดเรกติไฟเออร์จะได้รับขณะทำงาน การพิจารณาค่า I_{fm} อาจทำได้โดยใช้กราฟในรูปที่ 2.13 (ก) ในทางปฏิบัติควรเผื่อค่ากระแสเฉลี่ยสูงสุด I_{fm} ของไดโอดไว้ที่ประมาณ 1.5-2 เท่า จากที่คำนวณได้ เพื่อเพิ่มความปลอดภัยและยืดอายุการใช้งาน

2.94. อัตราทนแรงดันไปแอตกลับสูงสุด VRRM ในสวิตชิงเพาเวอร์ซัพพลายปกติเรกติไฟเออร์ ต้องค่อเข้ากับแรงดันไฟสลับ 220 โวลต์ ดังนั้นอัตราทนแรงดันไปแอตกลับสูงสุดของไดโอด V_{RRM} จึงต้องมีค่าไม่ต่ำกว่าแรงดันยอดสูงสุดของแรงดันไฟสลับ อย่างไรก็ตามควรพิจารณาเผื่อค่าแรงดันไปแอตกลับให้มากกว่าแรงดันยอดสูงสุดของแรงดันไฟสลับเอาไว้ด้วยสำหรับกรณีที่อาจทรานเซียนต์ขึ้นได้ในสายไฟสลับ

2.10. ฟิวส์

ฟิวส์มีหน้าที่หลัก 2 ประการคือป้องกันอุปกรณ์เสียหายเนื่องจากกระแสเกิน และเพื่อแยกส่วนวงจรออกจากแหล่งจ่ายไฟกรณีที่มีการลัดวงจรเกิดขึ้น การเลือกใช้ฟิวส์เพื่อใช้ในส่วนของวงจรเรกติไฟเออร์ในสวิตชิงเพาเวอร์ซัพพลายนั้น มีข้อพิจารณาดังต่อไปนี้ คือ

2.10.1. ค่าอัตราทนแรงดัน (Voltage Rating) ฟิวส์มาตรฐานสำหรับงานอิเล็กทรอนิกส์จะมีอัตราทนแรงดันได้ตามลำดับดังนี้คือ 32,60,125,250,300,500,600, และ 700 โวลต์การกำหนดใช้ค่าอัตราทนแรงดันของฟิวส์นับเป็นสิ่งที่สำคัญ โดยที่ค่าอัตราทนแรงดันของฟิวส์ที่จะใช้ต้องมีค่ามากกว่าหรือเท่ากับค่าแรงดันของวงจรเพื่อลดการอาร์กในตัวฟิวส์ขณะลัดวงจร ถ้าอัตราทนแรงของฟิวส์มีค่าต่ำเกินไป การเกิดอาร์กภายในตัวฟิวส์อาจเป็นไปอย่างรุนแรงและตัวฟิวส์จะแตกออกได้ซึ่งเสี่ยงต่อการลัดวงจรภายในสวิตชิงเพาเวอร์ซัพพลาย

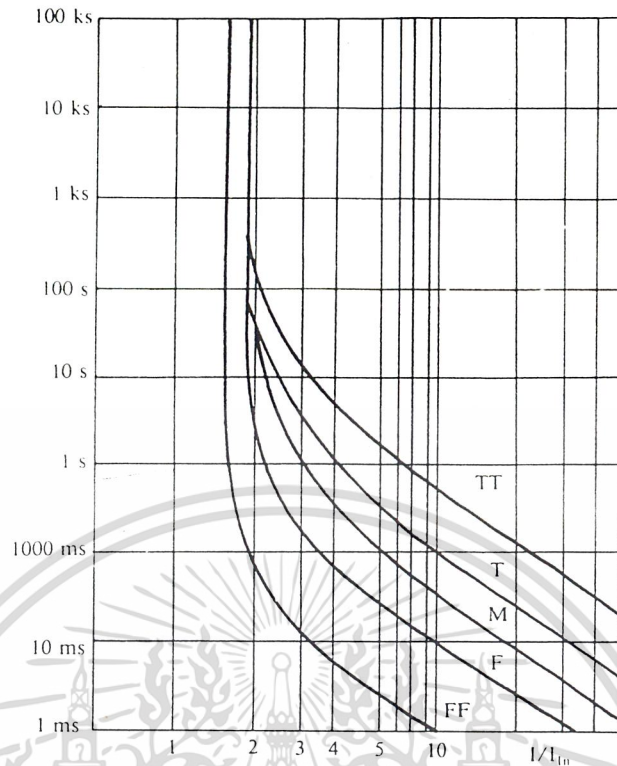
2.10.2. ค่าอัตราทนกระแส (Current Rating) ค่าอัตราทนกระแสของฟิวส์สามารถกำหนดได้จากค่ากระแสอาร์เอ็มเอสด้านอินพุตของวงจรเรกติไฟเออร์ จากรูปที่ 2.13 (ก) จะเห็นได้ว่าค่ากระแสอาร์เอ็มเอสของวงจรเรกติไฟเออร์ I_{INMS} จะขึ้นกับค่าของโหลด, ค่าความต้านทาน R_s และค่าตัวเก็บประจุฟิลเตอร์ การพิจารณาอัตราทนกระแสของฟิวส์จึงอาจกำหนดได้จากค่า I_{INMS} ของวงจรเรกติไฟเออร์นั่นเอง โดยให้เผื่อค่าอัตราทนกระแสไว้อีก 50 เปอร์เซ็นต์ด้วย เพื่อเพิ่มอายุการใช้งาน

ชนิดของฟิวส์ในงานอิเล็กทรอนิกส์

ฟิวส์มาตรฐานสำหรับงานอิเล็กทรอนิกส์อาจแบ่งออกได้เป็น 5 ชนิดขึ้นอยู่กับความเร็วในการตัดวงจรของฟิวส์ ดังนี้คือ

1. ฟิวส์ขาดเร็วมาก FF (Very Quick Acting)
2. ฟิวส์ขาดเร็ว F (Quick Acting or Normal Blow)
3. ฟิวส์ขาดช้าปานกลาง M (Medium time lag)
4. ฟิวส์ขาดช้า T (Time Lag/time Delay or slow blow)
5. ฟิวส์ขาดช้ามาก TT (long time Lag)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 แสดงการใช้เวลาในการตัดวงจรของฟิวส์ชนิดต่าง ๆ

รูปที่ 2.15 แสดงตัวอย่างภาพแสดงความเร็วในการตัดวงจรที่ค่ากระแสต่าง ๆ ของฟิวส์ทั้ง 5

ชนิด

ฟิวส์ชนิดขาดเร็วมาก (FF) เหมาะสมสำหรับใช้ป้องกันอุปกรณ์พวกลูกศรกึ่งตัวนำ เนื่องจากฟิวส์จะตัดวงจรอย่างรวดเร็วเมื่อกระแสเกิน ฟิวส์ชนิดขาดเร็ว (F) มักใช้สำหรับป้องกันการตัดวงจรทั่วไปและวงจรที่ไม่มีกระแสกระชากขณะเริ่มทำงาน ฟิวส์ชนิดขาดช้า ปานกลาง (M) จะมีค่าแรงดันตกคร่อมตัวมันต่ำ จึงมักใช้ในวงจรที่มีแรงดันใช้งานค่าต่ำ และสามารถทนกระแสกระชากขณะเริ่มทำงานได้ที่ค่าไม่สูงนัก ฟิวส์ชนิดขาดช้า (T) และฟิวส์ชนิดขาดช้ามาก (TT) สามารถยอมให้กระแสกระชากผ่านตัวมันที่ค่าสูงกว่าค่าอัตราทนกระแสปกติของมันได้ในช่วงเวลาสั้น ๆ โดยไม่ตัดวงจร และกระแสกระชากฟิวส์ชนิดนี้ยอมให้ผ่านตัวมันได้ อาจมีค่าสูงได้ถึง 20 เท่าของค่าอัตราทนกระแสปกติของมัน

โดยทั่วไปแล้ว วิศวกรเชิงพาณิชย์หลายใช้ฟิวส์ชนิดขาดช้า (T) สำหรับวงจรเรกติไฟเออร์ เพราะในขณะที่เริ่มทำงานมักมีกระแสกระชากเนื่องจากตัวเก็บประจุฟิลเตอร์ การใช้ฟิวส์ชนิดขาดช้าจะทำให้ฟิวส์ไม่ตัดวงจรขณะเปิดเครื่อง

ข้อสังเกตสำหรับฟิวส์ที่ดีก็คือ จะต้องมีการแสดงค่าอัตราทนแรงดัน อัตราทนกระแสและชนิดของฟิวส์ แสดงอยู่บนตัวฟิวส์ด้วยเพื่อป้องกันความสับสน ฟิวส์จัดเป็นอุปกรณ์เพื่อความปลอดภัย และจะต้องมีความเชื่อถือได้ ในแง่ความปลอดภัยสูง การเลือกใช้ฟิวส์ควรเลือกใช้ฟิวส์ที่ได้มาตรฐาน เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาติให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความปลอดภัยด้วย เช่น พิวส์ที่มีเครื่องหมายรับรองคุณภาพของ UL, VDE หรือ BSI เป็นต้น (รูปที่ 2.15 ประกอบ)



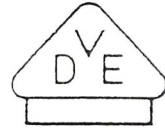
UL



CSA



BSI



VDE

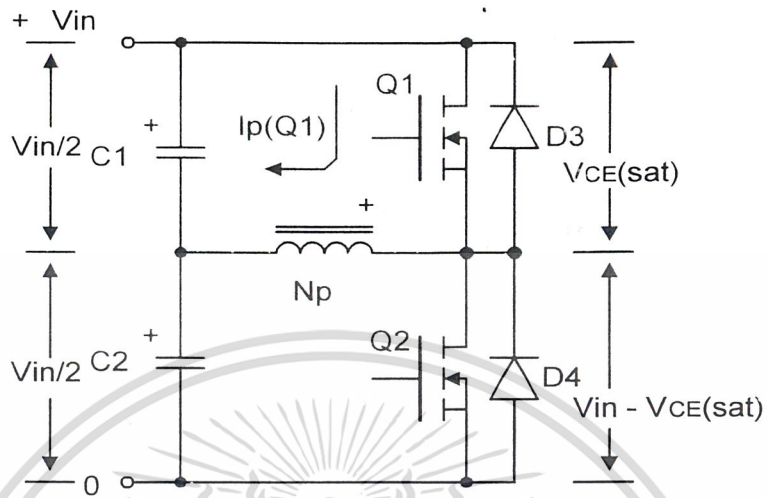
รูปที่ 2.16 แสดงเครื่องหมายมาตรฐานความปลอดภัยของประเทศต่าง ๆ คือ UL/อเมริกา, CSA/แคนาดา, BSI /อังกฤษ และ VDE/เยอรมนี

2.11. ฮาล์ฟบริดจ์คอนเวอร์เตอร์

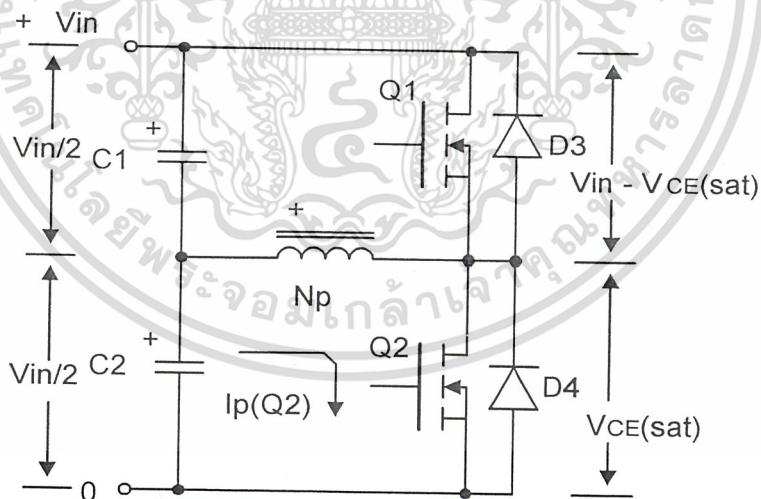
อาจกล่าวได้ว่าฮาล์ฟบริดจ์คอนเวอร์เตอร์ (Half-Bridge Converter) เป็นคอนเวอร์เตอร์ในตระกูลเดียวกันกับพูล-บริดจ์คอนเวอร์เตอร์ แต่ลักษณะการจัดวงจรของฮาล์ฟบริดจ์คอนเวอร์เตอร์จะทำให้มอสเฟทภายในวงจรมีแรงดันตกคร่อมขณะหยุดนำกระแสเพียงค่าแรงดันอินพุทเท่านั้นทำให้มอสเฟทที่ใช้มีราคาถูกและหาได้ง่ายกว่า ซึ่งจะลดข้อจำกัดต่าง ๆ เมื่อใช้กับระบบแรงดันไฟสูงๆ เช่น ที่แรงดันไฟสลับ 220 โวลต์ ลงได้มากกว่ารวมทั้งฮาล์ฟบริดจ์คอนเวอร์เตอร์ยังสามารถหลีกเลี่ยงปัญหาการไม่สมมาตรฟลักซ์ในแกนเฟอร์ไรต์ของหม้อแปลงได้อีกด้วย การทำงานของวงจรจะเป็นดังนี้ เนื่องจากตัวเก็บประจุ C_1 และ C_2 กำหนดให้มีค่าเท่ากันต่ออนุกรมกันอยู่ทางด้านอินพุทเพื่อแบ่งครึ่งแรงดัน แรงดันตกคร่อม C_1 หรือ C_2 จึงมีค่าเท่ากับครึ่งหนึ่งของ แรงดันที่อินพุท Q_1 และ Q_2 จะสลับกันทำงานคนละครึ่งคาบเวลาขณะที่ Q_1 นำกระแสจะมีกระแส I_p ไหลผ่านขด ไพรมารี N_{p1} และไดโอด D_2 จะอยู่ในลักษณะถูกไบแอสกลับ ส่วนไดโอด D_1 จะอยู่ในลักษณะถูกไบแอสตรงทำให้มีกระแสไหลไหลที่ขด ไพรมารี N_{p1} ผ่านไดโอด D_1 และ L_o ไปยัง ตัวเก็บประจุ C_o และ โหลด R_L ได้ ในจังหวะนี้ แรงดันตกคร่อม Q_2 จะมีค่าเป็น $2V_{in}$ (จำนวนรอบ $N_{p1} = N_{p2}$ และ $N_{s1} = N_{s2}$) ใน ทำนองเดียวกันขณะที่ Q_2 นำกระแส Q_1 และ D_1 จะไม่นำกระแสเนื่องจากถูกไบแอสกลับ D_2 ซึ่งอยู่ในลักษณะถูกไบแอสตรงจะนำกระแสจากขดเซคันดารี N_{s1} ผ่าน L_o ไปยังตัวเก็บประจุ C_o และ โหลด R_L จะเห็นได้ว่าใน 1 คาบเวลาทำงาน ขดเซคันดารี N_{s1} ผ่าน L_o ไปยังตัวเก็บประจุ C_o ได้ถึงสองครั้ง

เมื่อ Q_1 เริ่มนำกระแส และ Q_2 ไม่นำกระแส แรงดันตกคร่อม Q_2 จะมีค่าเท่ากับ $V_{in} - V_{CE(sat)}$ ส่วนแรงดันตกคร่อมของขด ไพรมารี N_p จะมีค่าเท่ากับ $N_{C1} - V_{CE(sat)}$ หรือมีค่าเท่ากับ $V_{in} / 2 -$ นั่นเองในนองเดียวกัน เมื่อ Q_2 นำกระแส และ Q_1 ไม่นำกระแส แรงดันตกคร่อม Q_1 จะมีค่าเท่ากับ $V_{in} - V_{CE(sat)}$ มีค่าเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประมาณ 0.5-1 โวลต์ ดังนั้นจะเห็นได้ว่า แรงดันตกคร่อม Q_1 และ Q_2 ขณะหยุดนำกระแสจะมีค่าเพียงแรงดันอินพุตเท่านั้น



รูปที่ 2.17 ขณะ Q_1 นำกระแส Q_2 จะมีแรงดันตกคร่อมเท่ากับ $V_{in} - V_{CE(sat)}$ และแรงดันตกคร่อม N_p เท่ากับ $V_{in}/2 - V_{CE(sat)}$



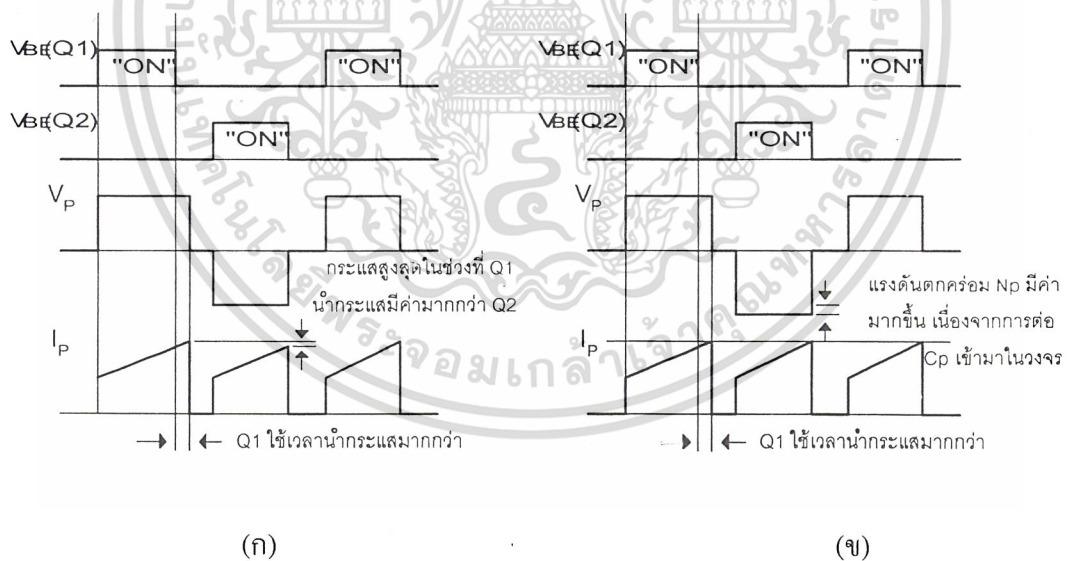
รูปที่ 2.18 ขณะ Q_2 นำกระแส Q_1 จะมีแรงดันตกคร่อมเท่ากับ $V_{in} - V_{CE(sat)}$ และแรงดันตกคร่อม N_p เท่ากับ $V_{in}/2 - V_{CE(sat)}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.11.1 ตัวเก็บประจุล้อยคัก Cb เพื่อป้องกันการไม่สมมาตรฟลักซ์แม่เหล็ก

ตัวเก็บประจุล้อยคัก (Blocking Capacitor) C_b ที่ต่อเพิ่มเข้ามาในวงจรนั้นมีหน้าที่หลักคือป้องกันการเกิดไม่สมมาตรฟลักซ์ขึ้นในแกนเฟอร์ไรต์ขณะวงจรทำงาน เพราะในทางปฏิบัติการต่อตัวเก็บประจุ C_1 และ C_2 เพื่อให้แรงดันที่ตกคร่อมตัวเก็บประจุทั้งสองมีค่าเท่ากันจริง ๆ นั้นทำได้ยากรวมทั้งการไม่แมตช์กันของมอสเฟต Q1 และ Q2 อาจก่อให้เกิดปัญหาการไม่สมมาตรฟลักซ์ขึ้นได้ทั้งสิ้น

การต่อตัวเก็บประจุล้อยคัก C_b คั้นเข้ามาในวงจร จะทำให้ C_b มีการเก็บประจุและคายประจุสลับกันไปตามทิศทางของกระแสที่ไหลในขดไฟพรมารี N_p ถ้าผลของการเกิดประจุสม ทำให้ Q1 และ Q2 มีช่วงเวลานำกระแสไม่เท่ากัน ก็จะทำให้การเก็บประจุและคายประจุของ C_b ใช้เวลาไม่เท่ากันด้วยเป็นผลทำให้มีประจุเหลือค้างใน C_b และทำให้เกิดค่าแรงดันตกคร่อม C_b นั่นคือ หากมอสเฟตตัวใดมีค่าช่วงเวลานำกระแสมากกว่า ในกรณีนี้ค่ากระแสสูงสุดจะมีค่ามากขึ้นตามเวลาที่เพิ่มขึ้นด้วย อย่างไรก็ตามจะทำให้มีประจุเหลือค้างใน C_b ดังนั้นเมื่อมอสเฟตอีกตัวเริ่มนำกระแส แรงดันตกค้างใน C_b จะช่วยเพิ่มค่าแรงดันตกคร่อมขดไฟพรมารีให้มีค่ามากขึ้นค่าของกระแสสูงสุดก็จะมีค่าเท่ากันได้และไม่สมมาตรฟลักซ์ขึ้น (ดูรูปที่ 2.19 ประกอบส่วนการทำงานของ C_b ในกรณีที่แรงดันตกคร่อม C_1 และ C_2 มีค่าไม่เท่ากันนั้นก็จะเป็นไปในทำนองเดียวกัน



รูปที่ 2.19 (ก) แสดงลักษณะของการไม่สมมาตรฟลักซ์ เนื่องจาก Q1 ใช้เวลานำกระแสมากกว่า Q2

(ข) แสดงผลของการต่อเก็บประจุล้อยคัก C_b เข้าในวงจรเพื่อการไม่สมมาตรฟลักซ์

2.11.2 คอมมิวเตตติ้งไดโอด D3 และ D4

จากวงจรจะเห็นว่ามิไดโอด D3 และ D4 ต่อคร่อมมอสเฟต Q1 และ Q2 อยู่ไดโอดทั้งสองตัวนี้เรียกว่า คอมมิวเตตติ้งไดโอด (Commutating Diode) มีหน้าที่ 2 ประการ คือ
 1. ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ป้องกันการเกิดแรงดันสไปค์ในขณะที่เพาเวอร์ทรานซิสเตอร์เริ่มหยุดนำกระแสเนื่องจากค่าความเหนี่ยวนำแฝงในหม้อแปลงโดยพลังงานที่สะสมอยู่ในตัวเหนี่ยวนำแฝงนี้จะถูกถ่ายเทออกไปยังภาคอินพุตด้วย คอมมิวเตตติ้งไดโอดจึงไม่ทำให้เกิดแรงดันสไปค์เมื่อมอสเฟตเริ่มหยุด นำกระแส

2. ในขณะที่มอสเฟต Q1 เริ่มหยุดนำกระแสขดไฟโรมารี Np จะมีการกลับขั้วแรงดันเกิดขึ้น ถ้าไม่มีคอมมิวเตตติ้งไดโอด Q2 จะได้รับแรงดันตกคร่อมที่เดรนเป็นลบ ในขณะที่ Q1 ก็จะมีแรงดันตกคร่อมมากกว่าค่า $V_{in}/2$ ในกรณีนี้ไดโอด D4 จะอยู่ในลักษณะถูกไบแอสตรงจากแรงดันของขดไฟโรมารีและลดค่าแรงดันนี้ลงไปในการทำงานเดียวกับเมื่อ Q2 เริ่มหยุดนำกระแส ไดโอด D1 จะทำหน้าที่เช่นเดียวกันเป็นการป้องกันมอสเฟตไดโอดที่นำมาใช้เป็นคอมมิเตตติ้งไดโอด D3 และ D4 ต้องเป็นชนิดฟาสต์รีคัฟเวอร์ และต้องทนแรงดันย้อนกลับได้อย่างน้อย 2 เท่าของแรงดันตกคร่อมมอสเฟตขณะหยุดนำกระแส

2.11.3 ค่าเวลาเพื่อ tD สำหรับฮาร์ลฟบริดจ์คอนเวอร์เตอร์

ค่าเวลาเพื่อ tD เพื่อจำกัดช่วงเวลานำกระแสสูงสุด $t_{ON(max)}$ ของมอสเฟต Q1 และ Q2 เป็นสิ่งสำคัญมากในวงจรฮาร์ลฟบริดจ์คอนเวอร์เตอร์ จะเห็นว่าการซ้อนกันอยู่ในวงจรของ Q1 และ Q2 ถ้าหาก Q1 และ Q2 นำกระแสพร้อม ๆ กัน จะเกิดการลัดวงจรของแรงดันอินพุตทันที ซึ่งเป็นอันตรายต่อมอสเฟตและอุปกรณ์อื่นๆ ในวงจรได้ ดังนั้นช่วงเวลานำกระแสสูงสุดของ Q1 และ Q2 จะต้องถูกจำกัดด้วยค่าเวลาเพื่อ tD โดยอาจกำหนดไว้ที่ 20 เปอร์เซ็นต์ของครึ่งหนึ่งของค่าคาบเวลาดังนั้น

$$t_{ON(max)} = 0.4T \tag{2.7}$$

2.11.4 การคำนวณเพื่อการออกแบบฮาร์ลฟบริดจ์คอนเวอร์เตอร์

1. แรงดันเอาต์พุต แรงดันเอาต์พุตนั้นสามารถหาได้จากสมการ

$$V_{out} = \left[\frac{N_s}{N_p} \right] (V_{in} / 2 - V_{DS(sat)}) t_{ON} - V_D \tag{2.8}$$

2. กระแสสูงสุดที่ไหลผ่าน Q1 และ Q2 การคำนวณค่ากระแสสูงสุด $I_{p(PK)}$ สามารถทำได้ตามสมการ

การ

$$I_{p(PK)} = \frac{P_{OUT} T}{\eta V_{in(min)} t_{ON(Max)}} + \frac{(V_{in(min)} - V_{CE(Sat)}) t_{ON(max)}}{2 L_p} \tag{2.9}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. อัตราส่วนจำนวนรอบ N_p/N_s และจำนวนรอบ N_p และ N_s ค่าอัตราส่วนจำนวนรอบ N_p/N_s หาได้จากสมการ

$$\frac{N_p}{N_s} = \frac{(V_{in(min)} - V_{DS(sat)})}{2} \frac{t_{ON(max)}}{(T/2)} \dots (2.10)$$

เนื่องจากขดลวดไพรมารี N_p ของฮาล์ฟบริดจ์คอนเวอร์เตอร์มีเพียงขดเดียว ค่าจำนวนรอบของ N_p จะหาได้จาก

$$N_p = \frac{(V_{in(min)} - V_{DS(sat)}) t_{on(max)}}{2 \Delta B_{(max)} \cdot A_e} \times 10^8 \dots (2.11)$$

4. เอาม์พุท ไรซึล L_o และตัวเก็บประจุที่เอาท์พุท C_o ค่าของเอาท์พุท ไรซึล L_o และตัวเก็บประจุ C_o สามารถหาได้จากสมการ

$$L_{o(min)} = \frac{(V_{out} + V_D) ESR (T - t_{ON(max)} V_{in(min)})}{\text{Vripple}} \dots (2.12)$$

เมื่อ Vripple คือ ค่าแรงดันกระเพื่อมที่เอาท์พุทของคอนเวอร์เตอร์

ESR คือ ค่าความต้านทานแฝงของตัวเก็บประจุ C_o

IO คือ ค่ากระแสที่เปลี่ยนไปเนื่องจากการเปลี่ยนแปลงโหลดอย่างทันทีทันใด

2.11.5 .เพาเวอร์มอสเฟต

เพาเวอร์มอสเฟต (MOSFET Power Transistor) สามารถทำงานได้ดีที่ความถี่สูง เนื่องจากมันใช้เวลาในการเปลี่ยนสถานะค่อนข้างสั้นและการพัฒนาในปัจจุบันมีแนวโน้มจะทำให้เพาเวอร์มอสเฟตทำงานได้ดีที่ความถี่สูงขึ้นไปอีก ซึ่งจะเป็นผลดีในการลดขนาดของคอนเวอร์เตอร์

โครงสร้างของเพาเวอร์มอสเฟตจะเป็นไปได้ทั้งในลักษณะ N-channel และ P-channel อย่างไรก็ตามจะกล่าวถึงเฉพาะเพาเวอร์มอสเฟตชนิด N-channel เท่านั้น

กำลังงานสูญเสียในรูปความร้อนของเพาเวอร์มอสเฟต

กำลังงานสูญเสียที่เกิดขึ้นในเพาเวอร์มอสเฟตขณะทำงาน จะเป็นไปได้ 2 ลักษณะเช่นเดียวกับไบโพลาร์เพาเวอร์ทรานซิสเตอร์คือกำลังงานสูญเสียขณะเปลี่ยนสถานะและกำลังงานสูญเสียขณะนำกระแส แต่สำหรับเพาเวอร์มอสเฟตจะมีช่วงเวลาเริ่มนำกระแสและช่วงเวลาเริ่มหยุดนำกระแสสั้นกว่าไบโพลาร์เพาเวอร์ทรานซิสเตอร์มากเพราะตามโครงสร้างของเพาเวอร์มอสเฟตจะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

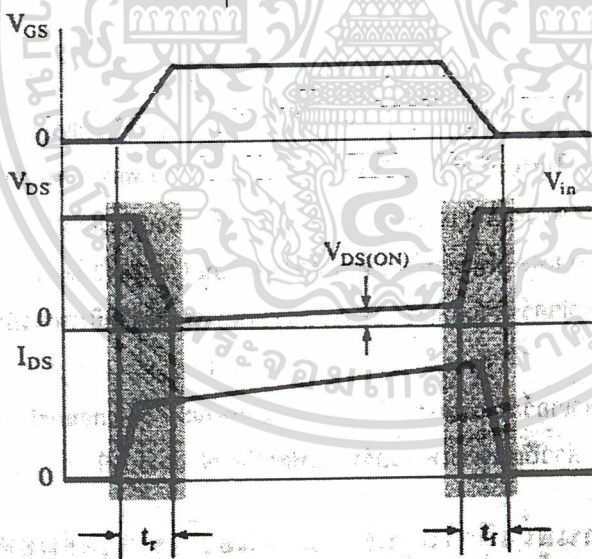
ไม่มีประจุสะสมเกิดขึ้นไม่มีปัญหาในลักษณะเดียวกับไบโพลาร์เพาเวอร์ทรานซิสเตอร์ อย่างไรก็ตามเพาเวอร์มอสเฟตจะมีเฟตจะมีค่าความต้านทานขงน้ากระแสค่อนข้างสูงการสูญเสียเพาเวอร์มอสเฟตขณะนำกระแสจึงสูงกว่าไบโพลาร์เพาเวอร์ทรานซิสเตอร์ รูปที่ 2.20 แสดงลักษณะการตอบสนองของเพาเวอร์มอสเฟตเมื่อทำงานเป็นสวิตช์

ถึงแม้ว่าช่วงเริ่มนำกระแสและเริ่มหยุดนำกระแสของเพาเวอร์มอสเฟตจะค่อนข้างสั้นแต่โดยทั่วไปเพาเวอร์มอสเฟตมักถูกใช้งานที่ความถี่สูง การใช้งานที่ความถี่สูงกว่า 50 กิโลเฮิร์ตซ์การคิดค่ากำลังงานสูญเสียขณะทำงานจำเป็นต้องนำค่ากำลังงานสูญเสียขณะทำงานจำเป็นต้องนำค่ากำลังงานสูญเสียขณะเปลี่ยนสถานะมาคิดด้วย และเนื่องจากช่วงเวลาเริ่มหยุดนำกระแส (turn off time) กับช่วงเวลาเริ่มนำกระแส (turn on time) ของเพาเวอร์มอสเฟตมีค่าใกล้เคียงกัน จึงต้องนำมาคิดทั้งสองช่วงเวลาด้วย ดังนั้นกำลังงานสูญเสียของเพาเวอร์มอสเฟตขณะทำงาน P_D จะมีค่าเท่ากับ

$$P_D = P_{SW(off)} + P_c \dots\dots (2.13)$$

$$P_{SW(on)} = 0.5 I_{pk(on)} V_{in} \frac{t_r}{T} \dots\dots (2.14)$$

$$P_{SW(off)} = 0.5 I_{pk(off)} V_{in} \frac{t_f}{T} \dots\dots (2.15)$$



รูปที่ 2.20 แสดงลักษณะกระแสและแรงดันตกคร่อมเพาเวอร์มอสเฟตเมื่อเริ่มนำกระแสและเริ่มหยุดนำกระแสในส่วนที่แรงาจะเป็นส่วนที่เกิดกำลังงานสูญเสียในรูปความร้อนได้สูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$PC = I_{DRMS}^2 \times R_{DS(on)} (T_j) \quad \dots\dots (2.16)$$

เมื่อ $P_{sw(on)}$	คือ กำลังงานสูญเสียขณะเริ่มนำกระแสของเพาเวอร์มอสเฟส
$P_{sw(off)}$	คือ กำลังงานสูญเสียขณะเริ่มหยุดนำกระแสของเพาเวอร์มอสเฟส
P_c	คือ กำลังงานสูญเสียขณะนำกระแสของเพาเวอร์มอสเฟส
$I_{pk(on)}$	คือ ค่ากระแสสูงสุดขณะเริ่มนำกระแส
$I_{DRMS}(T_j)$	คือ ค่ากระแส RMS ที่ไหลผ่านเพาเวอร์มอสเฟสขณะทำงาน
$R_{DS(on)}(T_j)$	คือ ค่าความต้านทานระหว่างเดรนและซอร์สที่อุณหภูมิรอยต่อสูงสุดขณะทำงานของเพาเวอร์มอสเฟส
T_r	คือ ช่วงเวลาเริ่มนำกระแสของเพาเวอร์มอสเฟส
T_f	คือ ช่วงเวลาเริ่มหยุดนำกระแสของเพาเวอร์มอสเฟส

หมายเหตุ สำหรับเพาเวอร์มอสเฟสโดยทั่วไปช่วงเวลาเริ่มนำกระแสและหยุดนำกระแสในคาตาซีตของผู้อผลิตส่วนใหญ่มีกระบวนเป็นค่า (current rise time) และ t_f (current fall time) ตามลำดับ ในที่นี้จึงใช้สัญลักษณ์เป็น T_r และ T_f แทน t_{on} และ t_{off} เมื่อเปรียบเทียบกับโพล่าเพาเวอร์ทรานซิสเตอร์

เงื่อนไขของวงจรขับเพาเวอร์มอสเฟส

การขับเพาเวอร์มอสเฟส ให้นำกระแสที่แตกต่างจากการขับกระแสไบแอสในไบโพลาร์ การไบแอสที่แตกต่างกัน สำหรับไบโพลาร์เพาเวอร์ทรานซิสเตอร์กระแสจะไหลผ่านคอลเล็กเตอร์และอีมิเตอร์ได้ก็ต่อเมื่อมีกระแส ไบแอสไหลผ่านที่เบสและอีมิเตอร์ แต่เพาเวอร์มอสเฟสจะมีกระแสไหลผ่านเดรนและซอร์สได้ก็ต่อเมื่อ แรงดันตกคร่อมที่ขาเกตและซอร์สมีค่าอย่างต่ำเท่ากับค่าแรงดันขีดเริ่ม (Threshold Voltage) ของมันแต่ใช้กระแสต่ำ การขับเพาเวอร์มอสเฟสให้นำกระแสจึงทำได้ง่าย และยุ่งยากน้อยกว่า ไบโพลาร์เพาเวอร์ทรานซิสเตอร์มาก

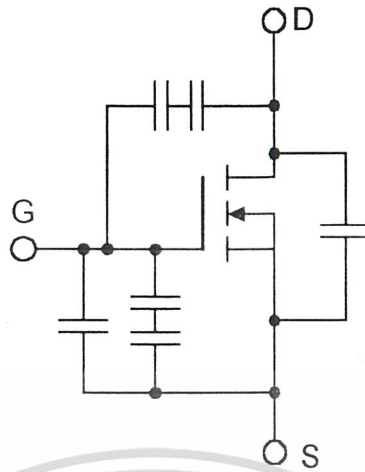
อย่างไรก็ตามเพื่อให้เพาเวอร์มอสเฟสทำงานได้อย่างมีประสิทธิภาพสูงสุดจึงจำเป็นต้องศึกษาเงื่อนไขต่างๆ สำหรับการบังคับให้เพาเวอร์มอสเฟสนำกระแสเป็นอันดับแรกเสียก่อน

ค่าความจุไฟฟ้าทางอินพุต (Input Capacitance)

เนื่องจากลักษณะโครงสร้างภายในตัวเพาเวอร์มอสเฟสเหมือนกับมีตัวเก็บประจุต่ออยู่รอบๆ

ขาต่างๆของมันดังรูปที่ 2.21

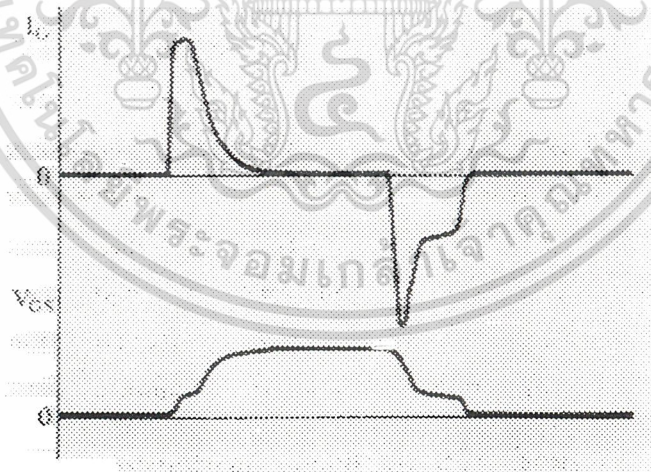
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.21 แสดงตัวเก็บประจุแฝงที่ต่ออยู่ที่ขาต่างๆ ภายในตัวเพาเวอร์มอสเฟต

ตัวเก็บประจุเหล่านี้บังคับให้เพาเวอร์มอสเฟตต้องชาร์จประจุเข้าไปที่ตัวเก็บประจุเสียก่อนเพื่อให้แรงดันตกคร่อมที่ขาเกต V_G มีค่าเพิ่มขึ้นจนถึงค่าแรงดันขีดเริ่ม เพาเวอร์มอสเฟตจึงจะเริ่มนำกระแสในทางกลับกันการหยุดนำกระแสของเพาเวอร์มอสเฟตจะต้องทำให้ตัวเก็บประจุคายประจุออกไปจนแรงดันตกคร่อมที่ขาเกต V_G มีค่าลดลงต่ำกว่าค่าแรงดันขีดเริ่ม เพาเวอร์มอสเฟต จึงหยุดนำกระแสลักษณะของกระแสและแรงดันที่ขาเกตจึงมีลักษณะดังรูปที่ 2.22

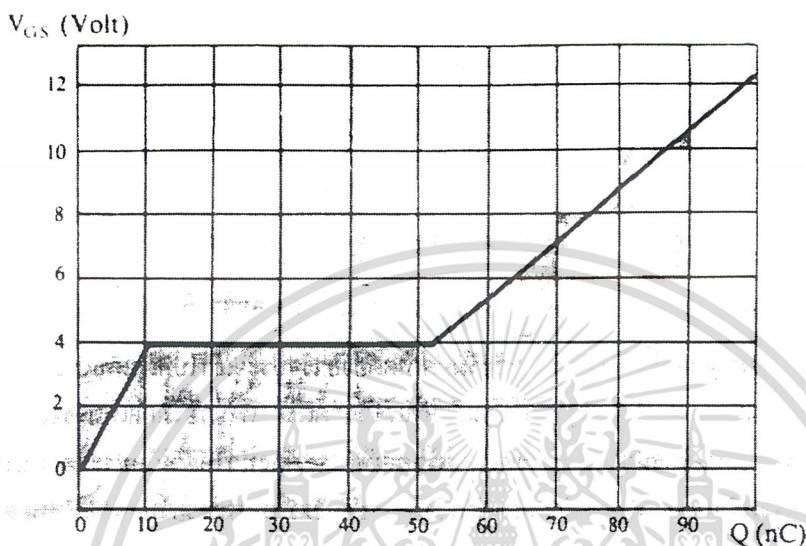
โดยทั่วไปแล้วค่าความจุของตัวเก็บประจุในตัวเพาเวอร์มอสเฟตนี้เองจะเป็นตัวกำหนดความเร็วในการเปลี่ยนสถานะของมัน



รูปที่ 2.22 แสดงลักษณะแรงดันและกระแสที่ขาเกตขณะที่เพาเวอร์มอสเฟตถูกไบแอสให้นำกระแสการกำหนดในการเปลี่ยนสถานะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปกติแล้วผู้ผลิตมักจะให้กราฟของค่าแรงดัน VGs ที่เพิ่มขึ้นในขณะที่ค่าประจุสะสมที่ขาเกตเพิ่มขึ้นหรือที่เรียกว่าเกทชาร์จ (Gate Charge Chart) มาในด้าด้าชิตด้วย (รูปที่ 2.23) กราฟนี้มีประโยชน์มากในการคำนวณค่ากระแสไบอัสเกตและเวลาในการเปลี่ยนสถานะของเพาเวอร์มอสเฟต



รูปที่ 2.23 แสดงตัวอย่าง Gate Charge Chart

ลักษณะของกราฟจะแบ่งออกได้เป็น 3 ช่วง ตามผลของประจุที่เพิ่มขึ้นคือ

1. ช่วงเวลานิ่งก่อนเริ่มนำกระแส (turn on delay) to
2. ช่วงเวลาเริ่มนำกระแส (rise time) to t_3
3. ช่วงเวลาสะสมประจุส่วนเกิน (excess charge time) $t_2 \rightarrow t_3$

เมื่อเพาเวอร์มอสเฟตเริ่มชาร์จประจุที่ขาเกตจนกระทั่งพ้นช่วงเวลานิ่งก่อนเริ่ม นำกระแสเมื่อแรงดันที่ขาเกตมากกว่า แรงดันขีดเริ่ม (V_{gs(th)}) จึงจะเริ่มมีกระแสไหลผ่าน เดรนและซอร์สที่เวลา t_0 ค่าของแรงดันจะไม่ลดลงจนจะผ่านเวลาเท่ากับ t_1 แรงดันตกคร่อมเดรนและซอร์ส

V_{ds} จึงมีค่าลดลงอย่างรวดเร็วจากค่าที่ประมาณ 90 เพลอร์เซ็นต์ จนเหลือเพียง 10 เพลอร์เซ็นต์

ของค่าแรงดันตกคร่อม V_{ds} สูงสุด เพาเวอร์มอสเฟตจะนำกระแสได้อย่างเต็มที่ในช่วงเวลาเริ่มนำกระแส t_1 ถึง t_2 นี้เอง และแรงดันตกคร่อมที่ขาเกต V_{gs} จะคงที่ จนกว่าเพาเวอร์มอสเฟตจะ

สามารถนำกระแสได้อย่างเต็มที่ดังแสดงในรูปที่ 2.24 ในช่วงเวลาสะสมประจุส่วนเกินค่าความ

ต้านทานระหว่างเดรนและซอร์สจะมีค่าลดลงได้เรื่อยๆ กากปล่อยให้มีการสะสมประจุต่อไปใน

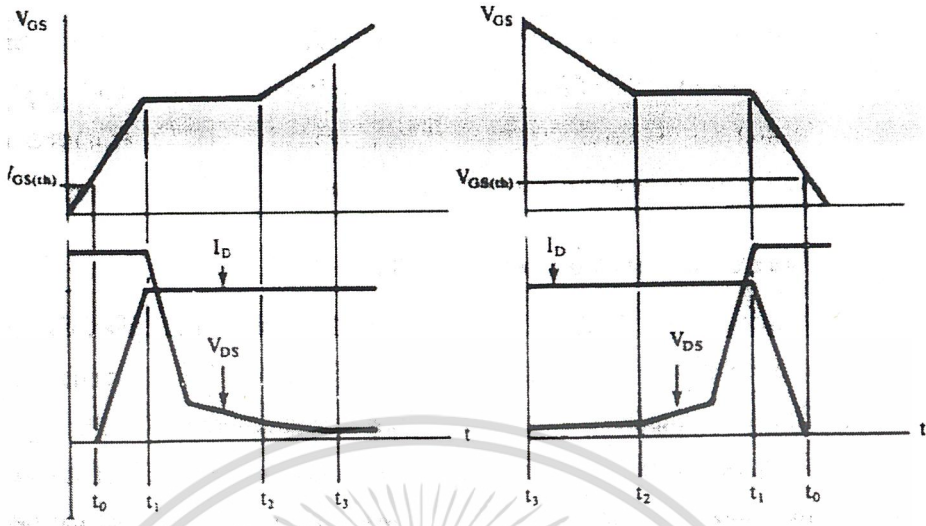
ช่วงเวลา t_2 ถึง t_3 แต่ประจุสะสมที่เพิ่มขึ้นจะทำให้เกิดการหน่วงขณะเริ่มหยุดนำกระแสเนื่อง

จากเพาเวอร์มอสเฟตจะต้องใช้เวลามากในการคายประจุส่วนเกินนี้ทิ้งไป ดังนั้นการขับเพา

เวอร์มอสเฟตที่ขาเกตด้วยแรงดันสูงเกินความจำเป็นจะทำให้ช่วงเวลาเริ่มหยุดนำกระแสเพิ่มขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.24 แสดงลักษณะการชาร์จประจุที่ขาเกตตามเวลาที่มีผลต่อการเริ่มกระแส (ก) และผลเมื่อเริ่มหยุดนำกระแสของเพาเวอร์เฟต (ข)

เนื่องจากเพาเวอร์มอสเฟตไม่เกิดประจุสะสมขึ้นขณะนำกระแส การหยุดการนำกระแสของเพาเวอร์มอสเฟตจึงทำได้ง่าย ๆ ด้วยการคายประจุที่ขาเกตทิ้งไปเช่นเดียวกับขณะเริ่มนำกระแสและถ้าขาดกระแสเพื่อชาร์จประจุและคายประจุมีค่าเท่ากัน ช่วงเวลาเริ่มนำกระแสและช่วงเวลาเริ่มนำหยุดกระแสจะมีค่าเท่ากันด้วย ยกเว้นหากมีประจุสะสมมากในช่วงเวลา t_2 ถึง t_3 การหยุดนำกระแสจะมีช่วงเวลาน้องเพิ่มขึ้น เนื่องจากต้องใช้เวลาส่วนหนึ่งในการคายประจุส่วนเกินทิ้งไป

จากกราฟในรูปที่ 2.23 ของเพาเวอร์มอสเฟตแต่ละเบอร์ จะนำมาหาค่าช่วงเวลาเริ่มนำกระแส t_r และช่วงเวลาเริ่มหยุดนำกระแส t_f ได้จาก

$$t = QG/IG \quad \dots\dots (2.17)$$

เมื่อ QG คือ ค่าประจุที่ได้จากกราฟ เป็นคูลอมบ์

IG คือ ค่ากระแสที่ใช้ชาร์จประจุที่ค่ากระแสคงที่ เป็นแอมป์

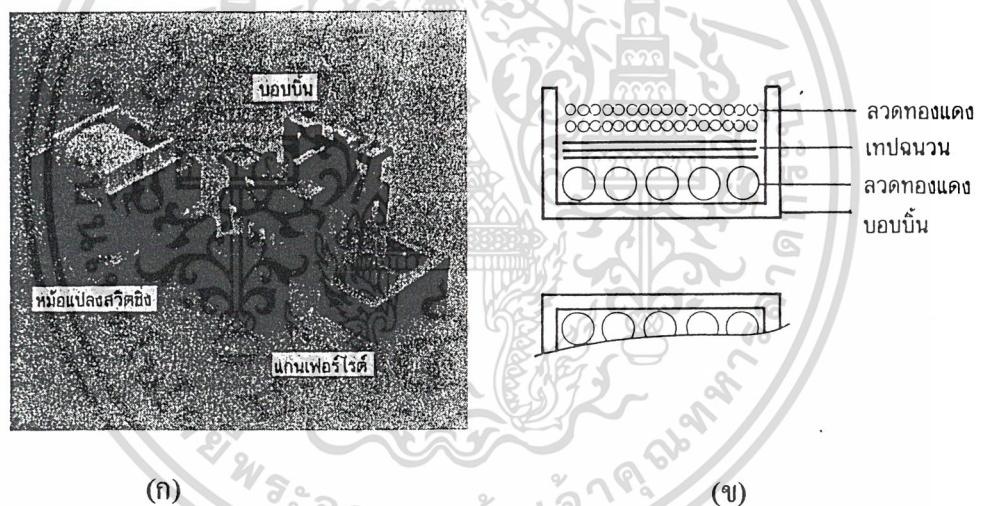
หมายเหตุ กราฟเกทชาร์จชาร์ท (Gate Charge Chart) ที่ได้จากดาต้าชีต ปกติในการวัดผู้ผลิตจะกำหนดให้กระแสเกต IG สำหรับชาร์จประจุที่ทมีค่าคงที่ ในการใช้งานจริงแล้ว วงจรขับเพาเวอร์มอสเฟตอาจให้ค่า IG ไม่คงที่ จึงจำเป็นต้องใช้ข้อมูลทีนอกเหนือจากข้อมูลใน เกทชาร์จชาร์ท (Gate Charge Chart) ซึ่งจะไม่ขอกล่าวในที่นี้ อย่างไรก็ตาม ถ้าสามารถออกแบบวงจรขับเพาเวอร์มอสเฟตให้จ่ายกระแสได้มากพอ การคำนวณที่ได้จากสมการ ($t = QG/IG$) ก็นับได้ว่าใกล้เคียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นได้ว่าการขับเพาเวอร์มอสเฟตให้น้ำกระแสได้นั้นจะต้องมีการซัพพลายและคายประจุที่ขาเกต วงจรขับเพาเวอร์มอสเฟตจะต้องมีลักษณะของการจ่ายและรับกระแส (Switching Power Supply) จึงจำเป็นต้องศึกษารูปแบบที่เป็นไปได้ในลักษณะต่างๆ ของหม้อแปลงสวิตชิง ความเหมาะสมในการใช้งาน การคำนวณขนาดแกนเฟอร์ไรต์และขนาดลวดทองแดงรวมทั้งการกำหนดความปลอดภัยทางไฟฟ้าเพื่อความปลอดภัยและลดกำลังงานสูญเสียในหม้อแปลง

2.12.1 ส่วนประกอบของหม้อแปลงสวิตชิง

หม้อแปลงสวิตชิงมีหน้าที่ในการลดแรงดันไฟตรงที่มีอินพุทของคอนเวอร์เตอร์ซึ่งอาจมีค่าสูงสุดได้ถึง 310 Volt ให้มีค่าลงเป็นแรงดันไฟต่ำที่เอาร์พุทและทำให้เกิดการแยกจากกันทางไฟฟ้าระหว่างแรงดันอินพุทและแรงดันเอาท์พุทที่ได้ เพื่อป้องกันอันตรายจากการถูกไฟฟ้าดูด ส่วนประกอบที่สำคัญของหม้อแปลงสวิตชิงแสดงในรูปที่ 2.25 โดยมีรายละเอียดดังนี้



รูปที่ 2.25 แสดงส่วนประกอบหลักของหม้อแปลงสวิตชิง(ก)

และการพันขดลวดทองแดงอาบนํ้ายาบนบอบบิ้น (ข)

แกนเฟอร์ไรต์(Ferrite Core)

เฟอร์ไรต์เป็นวัสดุประเภทเฟอร์โรแมกเนติกเลียน (Ferromagnetic Material) การเหนี่ยวนำแม่เหล็กบนแกนเฟอร์ไรต์จะมีผลทำให้เกิดความหนาแน่นฟลักซ์แม่เหล็กสูงกว่าการเหนี่ยวนำแม่เหล็กที่เกิดขึ้นบนแกนอากาศมาก เฟอร์ไรต์มีค่าจุดอิ่มตัวฟลักซ์ค่อนข้างสูงประมาณในช่วง 3,000 ถึง 4,000 เกาส์ และเกิดความสูญเสียในตัวมันต่ำที่ความถี่สูงๆ ดังนั้นหม้อแปลงสวิตชิงจึงนิยมใช้แกนเป็นเฟอร์ไรต์

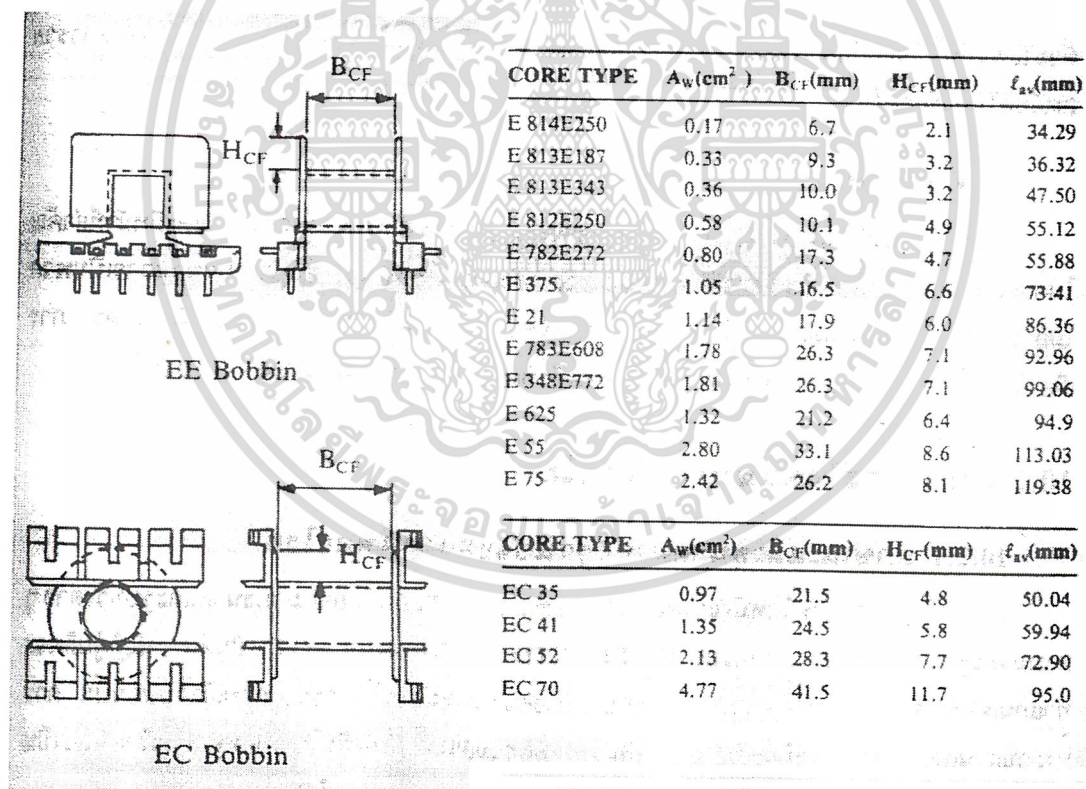
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มากที่สุด เพอร์โวลต์ที่นิยมนำมาใช้ในหม้อแปลงสวิตชิงจะมีรูปร่างแตกต่างกันออกไปขึ้นอยู่กับการใช้งาน และมาตรฐานในการออกแบบ ซึ่งจะได้กล่าวถึงในหัวข้อถัดไป

บอบบิ้น(Bobbin)

บอบบิ้นหรือแบบรองพัน ปกติจากพลาสติกชนิดทนความร้อนได้สูงและไม่ติดไฟบอบบิ้นจะช่วยให้กันการพันขดลวดบนแกนเฟอร์ไรต์สะดวกขึ้นและป้องกันปัญหาการลัดวงจรระหว่างขดลวดกับแกนเฟอร์ไรต์ ตัวอย่างขนาดของบอบบิ้นดูได้ที่รูป 2.26 บอบบิ้นส่วนใหญ่จะถูกออกแบบให้มีขาพักลวดทองแดง เพื่อความสะดวกในการพันขดลวดและบัดกรีติดกับแผ่น พี ซี พี (PCB) การพันขดลวดทั้งขดปฐมภูมิ (Primary) และขดทุติยภูมิ (Secondary) ของหม้อแปลงสวิตชิงที่กำลังไม่สูงมากนัก

ปกติจะใช้ลวดทองแดงอาบน้ำยาพันบนแกนบอบบิ้นเพื่อให้ได้จำนวนรอบตามต้องการขนาดของขดลวดทองแดงที่จะใช้พันนั้นขึ้นอยู่กับค่ากระแสสูงสุดที่ผ่านขดลวดความถี่และการผลข้างเคียงอื่นๆ ซึ่งจะได้กล่าวรายละเอียดในหัวข้อถัดไป



รูปที่ 2.26 ตัวอย่างขนาดของบอบบิ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทปฉนวน (Insulation Tape)

เทปฉนวนใช้สำหรับเป็นตัวรองรับระหว่างชั้นของขดลวดในหม้อแปลงสวิตจิ่ง และมีหน้าที่สำคัญในการแยกส่วนทางไฟฟ้าระหว่างขดไฟระหว่างขดไพรมารีและขดเวคั้นดรีด้วยวัสดุที่ใช้ทำเทปฉนวนอาจเป็นพวกรายไมลาร์ (Mylar) หรือ โพลีเอสเตอร์ (Ployester) ที่มีความหนาอยู่ในช่วง 0.05 – 0.1 มิลลิเมตร การเลือกใช้นั้นขึ้นอยู่กับกรออกแบบและค่าความปลอดภัยที่ต้องการจากหม้อแปลงสวิตจิ่งเป็นหลัก EE,EC และ ETD

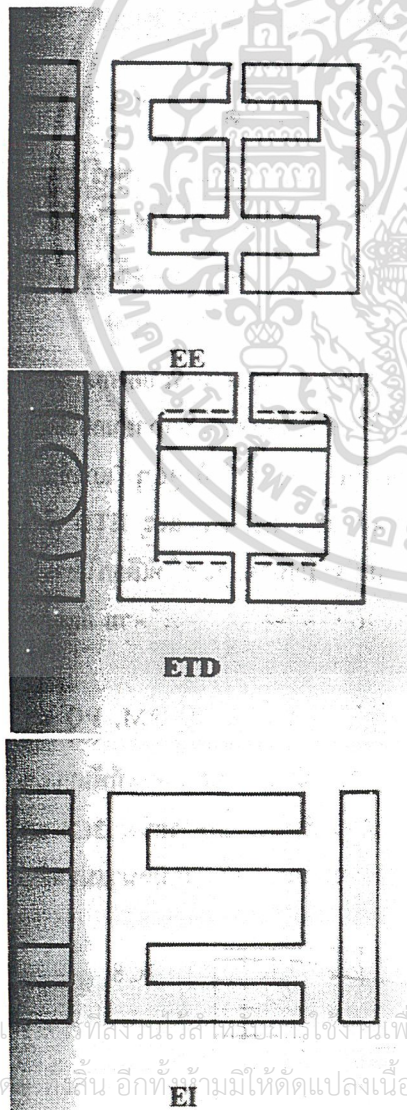
2.12.2 แกนเฟอร์ไรต์และการเลือกใช้

1. ลักษณะและขนาดมาตรฐานของแกนเฟอร์ไรต์

แกนเฟอร์ไรต์สำหรับหม้อแปลงสวิตจิ่งโดยทั่วไปจะถูกผลิตออกมาที่ขนาดและรูปทรงต่างๆ ตามมาตรฐานเดียวกัน เช่น แกนแบบ EI, EE,ETD หรือแกนแบบพ็อท (pot) เป็นต้น

ปกติผู้ผลิตจะทำแกนเฟอร์ไรต์ออกมาในลักษณะของคู่ประกอบ เพื่อความสะดวกในการประกอบเข้ากับบอบนิน การประกอบแกนเฟอร์ไรต์บนบอบนินจะทำให้ทางเดินของฟลักซ์แม่เหล็ก—ที่เกิดขึ้นในแกนเฟอร์ไรต์มีลักษณะเป็นวงบรรจบกันได้ ดังอย่างขนาดของแกนเฟอร์ไรต์แบบต่างไว้ในรูปที่

2.27



CORE TYPE	A_c (cm ²)	A_w (cm ²)	V_c (cm ³)	l_c (mm)
EE 20/20/5	0.31	0.35	1.34	43.0
EE 30/30/7	0.59	0.78	4.00	66.9
EE 42/42/15	1.82	1.78	17.6	97.0
EE 42/42/20	2.36	1.78	23.1	97.4
EE 42/54/20	2.36	2.40	28.8	122.0
EE 42/66/20	2.36	3.40	34.5	143.0
EE 55/55/21	3.54	2.50	43.7	123.0
EE 55/55/25	4.20	2.50	52.0	123.0
EE 65/66/27	5.32	3.93	78.2	147.0

CORE TYPE	A_c (cm ²)	A_w (cm ²)	V_c (cm ³)	l_c (mm)
ETD 34	0.971	1.220	7.64	78.6
ETD 39	1.250	1.740	11.50	92.2
ETD 44	1.740	2.130	18.00	103.0
ETD 49	2.110	2.710	24.20	114.0

CORE TYPE	A_c (cm ²)	A_w (cm ²)	V_c (cm ³)	l_c (mm)
EI 19	0.24	0.517	0.950	39.6
EI 22/19	0.41	0.44	1.630	39.3
EI 25/19	0.42	0.819	2.02	48.6
EI 28/20	0.85	0.725	4.11	48.4
EI 30/26	1.11	0.791	6.45	58.1
EI 35/29	1.21	1.36	8.18	67.6
EI 40/35	1.48	1.08	11.3	76.9
EI 50/42	2.30	1.7	21.8	94.8
EI 60/44	2.48	2.94	27.2	109.7

เอกสารนี้เป็น... ไม่ว่าการนี้ได... อีกทั้งยังมีให้ตัดแปลงเนื้อหา... อ่างอิง... ของ... 2.94... 27.2... ที่มี... 109.7... ไปใช้

- A_e = ขนาดพื้นที่หน้าตัดแกนเฟอร์ไรต์
- A_w = ขนาดพื้นที่ช่องพัดขดลวดของบอบบิ้น
- V_e = ปริมาณของแกนเฟอร์ไรต์
- L_e = ระยะทางเดินฟลักซ์แม่เหล็กในแกนเฟอร์ไรต์

จาก รูปที่ 2.27 แสดงตัวอย่างขนาดของแกนเฟอร์ไรต์แบบ EE, EI, ETD

แกนแบบพ็อท (POT) นั้นใช้กับหม้อแปลงสวิตชิงที่ไม่ต้องการกำลังสูง (ไม่เกิน 125 วัตต์) และในการที่ต้องการสัญญาณรบกวน EMI/RFI ต่ำ เนื่องจากลักษณะรูปทรงของมันสามารถป้องกันการแพร่กระจายของสัญญาณรบกวนได้ดีแต่แกนแบบพ็อท (POT) มีช่องสำหรับให้ขดลวดออกมาภายนอกได้ค่อนข้างเล็ก

จึงเป็นอุปสรรคในการพันลวดทองแดงขนาดใหญ่เมื่อหม้อแปลงต้องการกำลังสูงๆ แกนที่นิยมใช้กันมากสำหรับพันขดลวดรอบแกนบอบบิ้นได้สะดวก แกนในกลุ่มนี้จะมีขนาดต่างๆให้เลือกใช้งานได้เป็นจำนวนมาก โดยสามารถให้กำลังงานได้ตั้งแต่ 5 วัตต์ไปจนถึง 10 กิโลวัตต์ อย่างไรก็ตาม สัญญาณรบกวน EM/RFI ที่เกิดขึ้นจะมีความมากกว่าแบบพ็อท (POT)

3. การกำหนดค่าความหนาแน่นฟลักซ์แม่เหล็กสูงสุดในแกนหม้อแปลง

ค่าความหนาแน่นฟลักซ์แม่เหล็กในแกนหม้อแปลง จะขึ้นอยู่กับจำนวนรอบของขดปฐมภูมิ (Primary) และขนาดของแกน จากกฎของฟาราเดย์จะได้ว่า

$$\Delta B = V_e / N_p \cdot A_e \times 10^6 \dots\dots (2.18)$$

- เมื่อ ΔB คือ ค่าความหนาแน่นฟลักซ์แม่เหล็กที่เกิดขึ้นในแกน เป็นเกาส์
- V_e คือ ค่าแรงดันที่ตกคร่อมขดไพรมารี เป็นโวลต์
- N_p คือ ค่าจำนวนรอบของขดไพรมารี เป็นรอบ
- A_e คือ ขนาดพื้นที่หน้าตัดของแกน เป็นตารางเซนติเมตร
- t คือ ช่วงเวลาที่มีการเปลี่ยนแปลงฟลักซ์แม่เหล็ก เป็นวินาที

การเลือกขนาดแกนเฟอร์ไรต์ที่เหมาะสม

การใช้แกนเฟอร์ไรต์ที่มีขนาดใหญ่เกินไปสำหรับหม้อแปลงสวิตชิง จะเป็นการสิ้นเปลืองค่าใช้จ่ายโดยไม่จำเป็น ส่วนการใช้แกนเฟอร์ไรต์ที่มีขนาดเล็กเกินไป ขดลวดและแกนเฟอร์ไรต์จะร้อน กำลังงานสูงที่เหมาะสมสำหรับแกนเฟอร์ไรต์ขนาดต่างๆ พิจารณาได้จากหน้าตัดของแกน (A_e) และขนาดช่องสำหรับพันขดลวดของบอบบิ้น (A_w) โดยคำนวณได้จากสมการแกนที่ใช้กับหม้อแปลงของฮาล์ฟบริดจ์และฟูลบริดจ์คอนเวอร์เตอร์

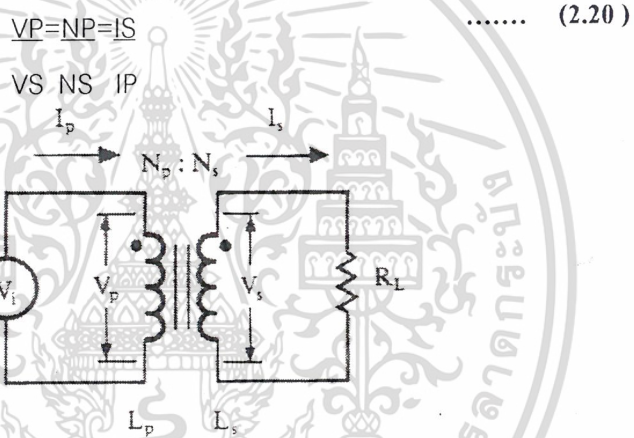
$$P = 1.4 \Delta B(\max) \cdot f \cdot A_e \cdot A_w \times 10^{-3} \dots\dots (2.19)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- โดยที่ $\Delta B(\max)$ = ค่าความหนาแน่นฟลักซ์สูงสุดในแกนฟอไรต์ เป็นเกาส์
 f = ค่าความถี่การทำงานของแกนฟอไรต์ เป็นเฮิรตซ์
 A_s = พื้นที่หน้าตัดของแกนฟอไรต์ เป็นตารางเซนติเมตร
 A_w = พื้นที่ช่องสำหรับพันขดลวดของบอบบิ้น เป็นตารางเมตร
 D = ค่าความหนาแน่นกระแสในขดไพรมารี เป็นเซอร์คูล่าต่อแอมป์
 P = กำลังงานสูงสุดที่ได้จากแกนฟอไรต์ เป็นวัตต์

2.12.3 ความสัมพันธ์ระหว่างขดปฐมภูมิ (Primary) และขดทุติยภูมิ (Secondary) ของหม้อแปลงสวิตชิ่ง

หม้อแปลงสวิตชิ่งซึ่งมีความสัมพันธ์ของขดไพรมารีกับขดเซคันดารีเป็นไปตามทฤษฎี หม้อแปลงทั่วไป ผลของจำนวนรอบและค่าของแรงดันที่เกิดขึ้นในวงจรจากรูปที่ 2.28 จะเป็นดังนี้



รูปที่ 2.28 แสดงความสัมพันธ์พื้นฐานของหม้อแปลง

และ $N_p = \sqrt{L_p}$ (2.21)

N_s L_s

- เมื่อ N_p =จำนวนรอบของขดปฐมภูมิ(Primary)
 N_s =จำนวนรอบของขดทุติยภูมิ(Secondary)
 V_p =ค่าแรงดันตกคร่อมของขดปฐมภูมิ(Primary)
 V_s =ค่าแรงดันตกคร่อมของขดทุติยภูมิ(Secondary)
 L_p =ค่าความเหนี่ยวนำของขดปฐมภูมิ(Primary)
 L_s =ค่าความเหนี่ยวนำของขดทุติยภูมิ(Secondary)
 I_p =ค่ากระแสที่ไหลผ่านขดปฐมภูมิ(Primary)
 I_s =ค่ากระแสที่ไหลผ่านขดทุติยภูมิ(Secondary)

มีข้อสังเกตคือ แรงดัน V_p เป็นค่าแรงดันที่ตกคร่อมขดปฐมภูมิ(Primary) ซึ่งเกิดจากเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนำไปใช้ประโยชน์ด้านการค้า การเปลี่ยนแปลงของฟลักซ์แม่เหล็กภายในแกนของหม้อแปลงเนื่องจากมีกระแสไหลผ่านขดไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปฐมภูมิ(Primary) ไม่ใช่ค่าแรงดันอินพุท (Input)Vi โดย Vp จะมีค่าเป็นไปตามสมการ

$$V_p = N_p \frac{\Delta e(db) \times 10^{-8}}{dt} \dots\dots (2.22)$$

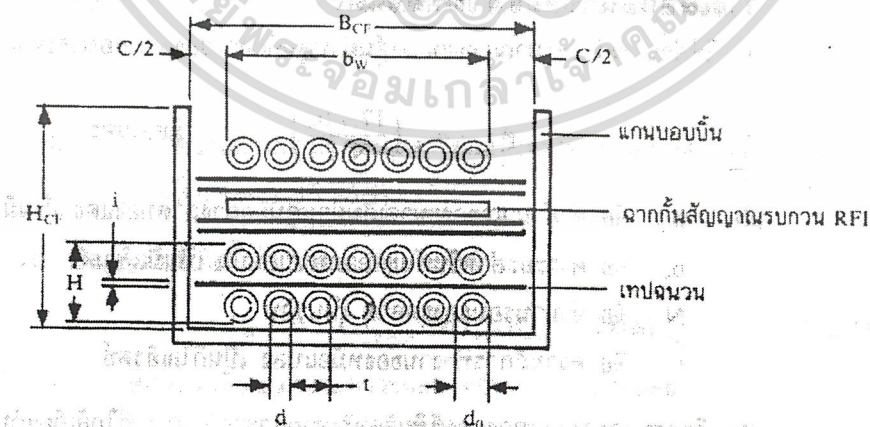
2.12.4 การเลือกขนาดขดลวดทองแดงและการพันหม้อแปลงสวิตซิ่ง

ตามวิธีของนายจองสมาร์ (J. Jongsma) นายจองสมาร์ได้ให้ข้อสรุปในการพันหม้อแปลงสวิตซิ่งด้วยลวดทองแดงเพื่อให้เกิดการสูญเสียในขดลวดน้อยที่สุดดังนี้คือ เมื่อต้องการพันหม้อแปลงด้วยขดลวดทองแดง โดยกำหนดให้

$$T = \frac{bw}{N} \dots\dots (2.23)$$

และ $\Delta = \frac{\sqrt{5.62}}{f}$ ที่ 100 องศา

- เมื่อ N คือ จำนวนรอบของขดลวดทองแดง
- b_w คือ ระยะที่สามารถใช้พื้นที่ขดลวดทองแดงได้
- B_{cr} คือ ความกว้างของบอบบิ้น
- C คือ ระยะห่างจำเป็น (Creepage)
- d คือ ขนาดเส้นผ่าศูนย์กลางของลวดทองแดง
- d_o คือ ขนาดเส้นผ่าศูนย์กลางเมื่อรวมฉนวนเคลือบ
- H คือ ความสูงของลวดทองแดง
- H_{cr} คือ ความสูงของลวดทองแดงทั้งหมดที่บอบบิ้นจะรับได้
- I คือ ความหนาแน่นของเทปฉนวน
- T คือ ระยะระหว่างลวดทองแดง



รูปที่ 2.29 แสดงการกำหนดค่าต่างๆ ในการพันหม้อแปลงสวิตซิ่งตามวิธีของจองสมาร์(Jongsma)

จะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ถ้าค่าของอัตราส่วน $(T/\Delta) > 2$ การพันขดลวดทองแดงให้ได้ครบจำนวนรอบภายในชั้นเดียว (Single Layer) จะเกิดการสูญเสียในขดลวดทองแดงน้อยที่สุด แต่ในกรณีพันแทรกกลาง เมื่อ $T/\Delta > 6$ การพันขดลวดทองแดงให้ได้ครบจำนวนรอบภายในครึ่งชั้น (Half Layer) จะเกิดการสูญเสียในขดลวดทองแดงน้อยที่สุด

2. ถ้าค่าของอัตราส่วน $T/\Delta < 2$ การพันขดลวดทองแดงให้ได้ตามจำนวนรอบสามารถพันได้มากกว่าหนึ่งชั้น แต่จำนวนชั้นยิ่งน้อยการสูญเสียจะน้อยตามไปด้วย

3. ในกรณีที่การพันขดลวดให้ได้ครบจำนวนรอบมีจำนวนชั้นมากกว่าหนึ่งชั้น การพันลวดทองแดงแบบเว้นระยะห่างเท่า ๆ กัน (Spaced Winding) ค่าความต้านทานที่กระแสลับของขดลวดจะน้อยกว่าการพันขดลวดทองแดงให้เรียงชิดกัน แต่ในกรณีที่การพันลวดทองแดงให้ได้ครบจำนวนรอบมีจำนวนชั้นได้เพียงชั้นเดียวหรือน้อยกว่า ต้องพันลวดทองแดงให้เรียงชิดเท่านั้น

การเลือกขนาดของขดลวดทองแดง

1. ให้คำนวณค่าประมาณของขนาดเส้นผ่าศูนย์กลางของขดลวดทองแดงจาก

$$d_{ca} = [17.1b_w] \quad \text{มิลลิเมตร}$$

N.f

เมื่อ

d_{ca} = ค่าคำนวณของขนาดเส้นผ่าศูนย์กลาง

b_w = ค่าระยะเวลาสำหรับพันขดลวดบนบอบบิ้น เป็นมิลลิเมตร

N = จำนวนรอบของขดลวดเป็นรอบ

f = ความถี่การทำงานของหม้อแปลง

2. การเลือกขนาดของขดลวดทองแดงที่มีขนาดจริง ที่ใกล้เคียงกับค่าที่คำนวณ d_{ca} มากที่สุดบันทึกค่า d , d_o , t_{min} และ R_{dc} เอาไว้

3. คำนวณชั้นของขดลวดทองแดงที่จะได้เมื่อพันครบจำนวนรอบจากค่า t_{min} ในข้อ 2 ดังนี้

$$3.1 \quad p_{id} = \frac{N}{[b_w - 1]} \quad \dots\dots (2.24)$$

t_{min}

3.2 ถ้าคำนวณชั้น $P_{id} \leq 1$ ขนาดของขดลวดทองแดงที่เลือกมาใช้ไม่ได้ให้เลือกขนาดของขดลวดทองแดงใหม่ โดยเปลี่ยนไปใช้วิชาคำนวณในกรณีที่จำนวนชั้นมีชั้นเดียวหรือครึ่งชั้น

4. จำนวนระยะห่างของขดลวดในชั้น (Winding Pitch) จาก

$$t = \frac{pb_w}{[N+P]} \quad \dots\dots (2.25)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการพันขดลวดระหว่างรอบจะกำหนดได้จากค่า d ที่คำนวณได้ดังนี้

5. เลือกค่าความหนาของเทปฉนวนเพื่อรองพันขดลวดในแต่ละชั้นความสูงของขดลวดบนบอบขึ้นเมื่อพันครบจำนวนรอบจะมีค่าเท่ากับ

$$H_{id} = P [d_o + I] \quad \dots\dots (2.26)$$

เมื่อ I คือ ความหนาแน่นของเทปฉนวนที่ใช้เป็นมิลลิเมตร

6. คำนวณค่าอัตราส่วน $FR = 1 + 1/2 [d/d_{id}]^2$

7. คำนวณค่าความต้านทานที่กระแสสลับต่อหนึ่งหน่วยความยาว (R_{ac}) จาก

$$R_{ac} = F_R R_{dc} \quad \dots\dots (2.27)$$

เมื่อ R_{dc} คือ ค่าความต้านทานที่กระแสตรงต่อหนึ่งหน่วยความยาวของลวดทองแดง

8. ดังนั้นกำลังสูญเสียที่เกิดขึ้นในขดลวด P_w จะมีค่า

$$P_w = CI_{RMS}^2 NL_{AV} R_{ac} \text{ (วัตต์)} \quad \dots\dots (2.28)$$

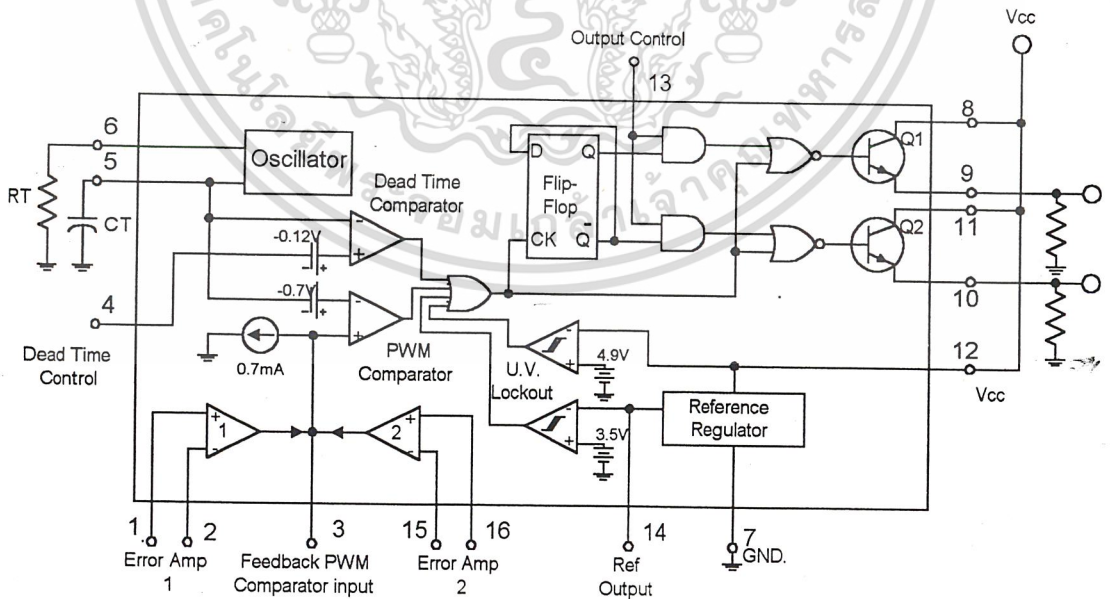
เมื่อ L_w คือ ค่าเฉลี่ยของความยาวขดลวดต่อหนึ่งรอบเป็นเมตร

C คือ ค่าตัวคูณเท่ากับ 1 (กรณีเป็นการพันขดลวดแบบธรรมดา) และเท่ากับ 2 (กรณีเป็นการพันแบบแยกส่วนพัน)

I_{RMS} คือ ค่ากระแส RMS ที่ผ่านขดลวดเป็นแอมป์

ไอซีเบอร์ TL 494 สำหรับโหมคควบคุมจากแรงดัน

ไอซีเบอร์ TL494 เป็นไอซีที่ออกแบบมาเพื่อใช้ควบคุมการทำงานของคอนเวอร์เตอร์ โดยทำงานด้วยโหมคควบคุมจากแรงดัน ซึ่งจะได้นำ มาเป็นตัวอย่างการทำงานสำหรับวงจรควบคุมด้วยวิธีควบคุมจากแรงดัน โครงสร้างภายในและการจัดขาของ TL494 แสดงในรูปที่ 2.30 การทำงานของ ไอซีจะเป็นดังนี้



รูปที่ 2.30 แสดงการจัดโครงสร้างภายในและการจัดขาของไอซี TL494 (ที่มา : Motorola)

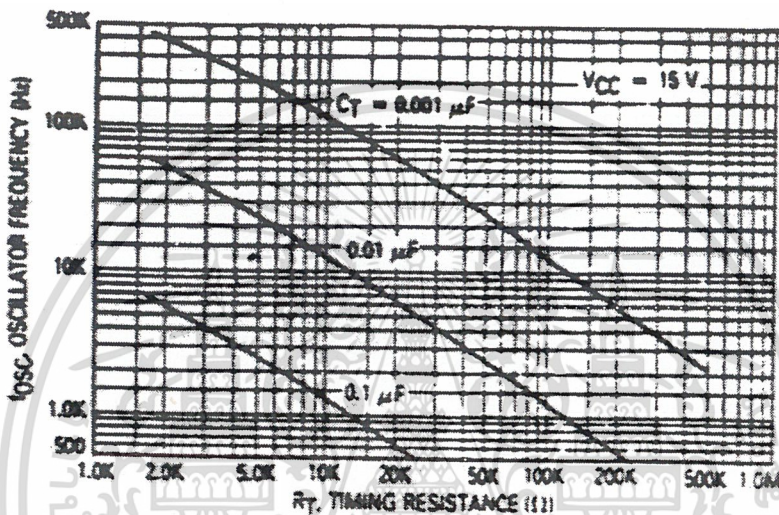
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การกำหนดคาบเวลาการทำงาน

วงจรของ TL494 เป็นวงจร PWM ที่มีความถี่คงที่คาบเวลาการทำงานของเอาต์พุตพัลส์กำหนดโดยค่าของ R_T และ C_T จากภายนอกที่ขา 6 และขา 5 ของไอซี ค่าคาบเวลาการทำงานจะกำหนดได้จาก

$$T = R_T \cdot C_T \quad \dots\dots (2.29)$$

1.1



รูปที่ 2.31 แสดงความสัมพันธ์ของค่า $R_T C_T$ ในการกำหนดความถี่

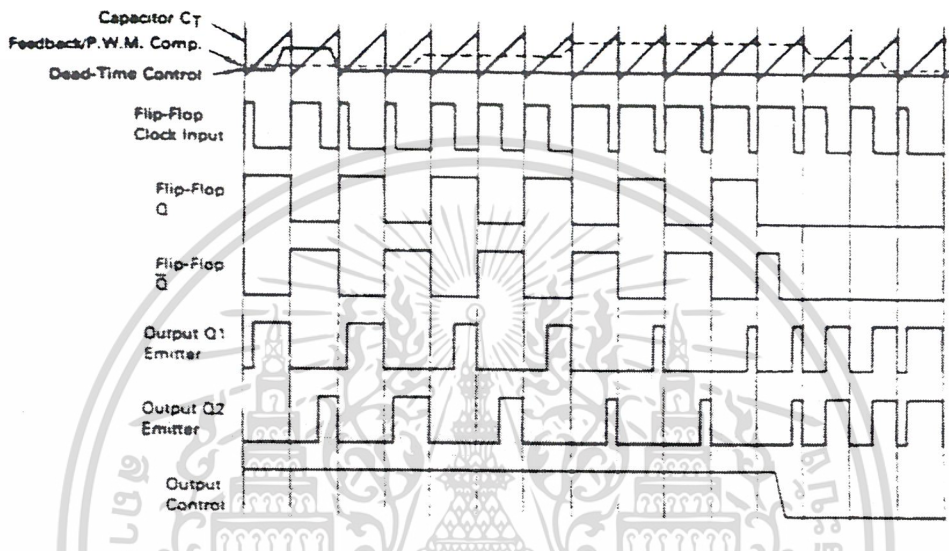
การทำงานของไอซีในการคงค่าแรงดันของคอนเวอร์เตอร์

ที่ PWM ความกว้างเอาต์พุตพัลส์ของไอซี จะได้จากการเปรียบเทียบสัญญาณฟันเลื่อยที่ขา 5 กับแรงดันที่ได้จากวงจรขยายความแตกต่าง(Error Amp)ทั้ง 2 ตัว Comparator ส่วนนอร์เกต(Nor Gate) ที่ควบคุมทรานซิสเตอร์เอาต์พุต Q_1 และ Q_2 จะทำงานก็ต่อเมื่อขา C_k ของฟลิปฟลอป(Flip-Flop)อยู่ในสถานะ Low เท่านั้นซึ่ง C_k จะเป็น Low ได้ก็ต่อเมื่อแรงดันของสัญญาณฟันเลื่อยมีค่ามากกว่าแรงดันที่มาจากวงจรขยายความแตกต่าง(Error Amp)ทั้ง 2 ตัว นั่นคือแรงดันป้อนกลับจากเอาต์พุตของคอนเวอร์เตอร์หากมีค่าสูงขึ้น ความกว้างเอาต์พุตพัลส์ของไอซีจะลดลงในทางกลับกันแรงดันป้อนกลับหากมีค่า ลดลงความกว้างเอาต์พุตพัลส์ของไอซีจะเพิ่มขึ้น

ความกว้างเอาต์พุตพัลส์ของ ไอซีนีสามารถกำหนดให้มีค่ามากที่สุดหรือมีค่าเท่ากับศูนย์ได้ด้วยการเปลี่ยนแปลงแรงดันที่ขา 3 จาก 0.5 โวลต์ จนถึง 3.5 โวลต์ ส่วน Error Amp ทั้งสองตัวจะมีช่วงของอินพุต

คอมมอน โหมด ตั้งแต่ -0.3 ถึง $(V_{CC}-2)$ โวลต์ และสามารถใช้ตรวจจับแรงดันหรือกระแสที่เอาต์พุตของไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คอนเวอร์เตอร์ได้วงจรขยายความแตกต่าง(Error Amp) ทั้ง 2 ตัวจะให้เอาต์พุตในลักษณะให้สถานะ High (Active High) โดยต่อกันอยู่ในลักษณะ OR ที่ขา Non-Inverting ของ PWM Comparator การต่อกันในลักษณะนี้ วงจรขยายความแตกต่าง(Error Amp)ตัวที่ทำให้เกิดความกว้างเอาต์พุตพัลส์ต่ำสุดจะเป็นตัวควบคุมความกว้างของเอาต์พุตพัลส์ของ ไอซี



รูปที่ 2.32 แสดงรูปคลื่นลักษณะการทำงานของ TL 494

การกำหนดค่าเวลาเพื่อ T_d

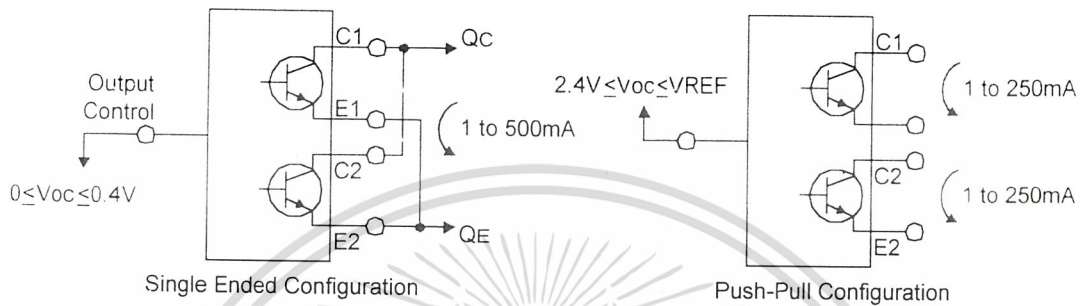
TL 494 สามารถให้ผู้ใช้งานกำหนดค่าเวลาเพื่อ T_d ของวงจรได้เองด้วยการต่อแรงดันระหว่าง 0 ถึง 3.3 โวลต์ที่ขา 4 มีค่าเท่ากับ 0 โวลต์ ค่าเวลาเพื่อต่ำสุดของ ไอซีจะไม่ต่ำกว่า 4 เปอร์เซ็นต์ของค่าคาบเวลาการทำงานเนื่องจากมี แรงดันออฟเซต 120 มิลลิโวลต์ต่ออยู่ภายใน ดังนั้นช่วงเวลา t_{on} สูงสุดของคอนเวอร์เตอร์ที่ได้จาก ไอซีจะเท่ากับ 48% ของค่าคาบเวลาเมื่อต่อขา 13 (Output Control) เข้าที่ขา 14 (+5 V_{ref}) และมีค่าเท่ากับ 96% ของค่าคาบเวลาเมื่อต่อขา 13 ลงกราวด์

การเลือกให้ Q₁ และ Q₂ ที่เอาต์พุตของ ไอซี

เอาต์พุต Q₁ และ Q₂ ของ ไอซีสามารถทำงานได้ 2 โหมด คือ ทำงานพร้อมกันหรือสลับกันทำงาน ซึ่งสามารถเลือกการทำงาน ได้ที่ขา 13 (Output control) โดยขณะที่ C_T คิซซาร์จเอาต์พุตของ Dead-Time

Comparator จะให้พัลส์ออกมา C_k จะมีสถานะเป็น High และหยุดการทำงานของ Q₁ และ Q₂ ถ้ากำหนดให้ขา 13 มีสถานะเป็น High โดยการต่อเข้ากับขา 4(+5V) Q1 และ Q2 จะสลับกันทำงานตามจังหวะของไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฟลิปฟลอป (Flip-flop) เพื่อใช้จับคอนเวอเตอร์แบบพุช-พูลในกรณีนี้ คาบเวลาการทำงานจะเป็น 2 เท่าของค่าคาบเวลาสัญญาณพินเลี้ยงของไอซี แต่ถ้ากำหนดให้ขา 13 มีสถานะเป็น Low โดยการต่อลงกราวด์ (ขกเล็ก flip-flop) Q1 และ Q2 จะทำงานพร้อมกันและสามารถขนาน Q₁ และ Q₂ เข้าด้วยกันถ้าต้องการให้นำกระแสได้มากขึ้น ในกรณีนี้ คาบเวลา

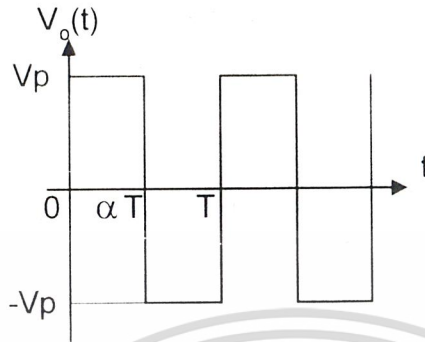


รูปที่ 2.33 แสดงลักษณะการเลือกใช้เอาต์พุตของ TL494

TL494 ต้องการไฟเลี้ยงในช่วง $7 \leq V_{cc} \leq 40$ โวลต์ มีแรงดันอ้างอิงภายใน $V_{cc}=5$ โวลต์ และสามารถจ่ายกระแสได้ถึง 10 มิลลิแอมป์เพื่อใช้กับวงจรภายนอกได้ โดยมีค่าความถูกต้อง $\pm 1.5\%$ ความคลาดเคลื่อนของอุณหภูมิมีค่าน้อยกว่า 50 มิลลิโวลต์เมื่อทำงานในช่วง 0 ถึง 70 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า, ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.14 การวิเคราะห์หัตถ์สัญญาณฮาร์โมนิกส์ (Harmonic Analysis)



จากรูปสามารถเขียนเป็นสมการในรูปของฟูรีเยร์ดังนี้

$$V_o(t) = V_o \text{ เมื่อ } 0 < t < \alpha T \quad \dots\dots (2.30)$$

$$-V_o \text{ เมื่อ } \alpha T < t < T \text{ และ } 0 < \alpha < 1$$

$$a_0 = \frac{1}{T} \int_0^T V_o(t) dt \quad \dots\dots (2.31)$$

$$= \frac{1}{T} \int_0^{\alpha T} V_p dt$$

$$= \frac{V_p \alpha T}{T}$$

$$= \alpha V_p$$

$$a_n = \frac{2}{T} \int_0^{\alpha T} V_p \cos 2n\pi t dt \quad \dots\dots (2.32)$$

$$= \frac{2}{T} \int_0^{\alpha T} V_p \cos 2n\pi t dt$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ T การใช้งาน T เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{aligned}
 &= \frac{2}{T} \left\{ \int_0^{\infty T} V_p \sin \frac{2n\pi t}{T} dt + \int_0^{\infty T} -V_p \sin \frac{2n\pi t}{T} dt \right\} \\
 &= \frac{2}{T} \left\{ -\frac{T}{2n\pi} V_p \cos \frac{2n\pi t}{T} \Big|_0^{\infty T} + \frac{T}{2n\pi} V_p \cos \frac{2n\pi t}{T} \Big|_0^{\infty T} \right\} \\
 &= \frac{1V_p}{n\pi} \left\{ \cos 2n\pi - \cos 2\infty n\pi - \cos 2\infty n\pi + \cos 0 \right\} \\
 &= \frac{2V_p}{n\pi} (1 - \cos 2\infty n\pi)
 \end{aligned}$$

$$V(t) = a_0 + \sum_{n=1}^{\infty} (a_n \cos 2n\pi t + b_n \sin 2n\pi t) \dots\dots (2.33)$$

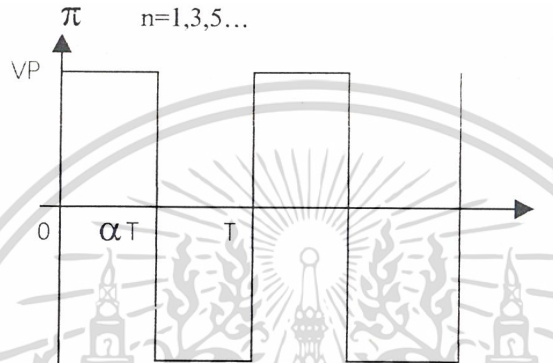
$$\begin{aligned}
 &= (2\infty - 1)V_p + \sum_{n=1}^{\infty} \frac{2V_p}{n\pi} \left\{ \sin 2\infty n\pi \cos \frac{2n\pi t}{T} + (1 - \cos 2\infty n\pi) \sin \frac{2n\pi t}{T} \right\} \\
 &= (2\infty - 1)V_p + \frac{2V_p}{\pi} \sum_{n=1}^{\infty} \frac{1}{n} \left\{ \sin 2\infty n\pi \cos \frac{2n\pi t}{T} - \cos 2\infty n\pi \sin \frac{2n\pi t}{T} + \sin \frac{2n\pi t}{T} \right\} \\
 &= (2\infty - 1)V_p + \frac{2V_p}{\pi} \sum_{n=1}^{\infty} \frac{1}{n} \left\{ \sin(2\infty n\pi - \frac{2n\pi t}{T}) + \sin \frac{2n\pi t}{T} \right\} \\
 &= (2\infty - 1)V_p + \frac{2V_p}{\pi} \sum_{n=1}^{\infty} \frac{1}{n} \left\{ \sin n\omega t + \sin n\omega(\infty T - t) \right\}
 \end{aligned}$$

เมื่อ $\infty = 0.5$ ได้

$$V(t) = \frac{2V_p}{\pi} \sum_{n=1}^{\infty} \frac{1}{n} \left\{ \sin n\omega t + \sin n\omega(\infty T - t) \right\}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้เฉพาะในวงจำกัดเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{aligned}
 &= \frac{2V_p}{\pi} \sum_{n=1}^{\infty} \frac{1}{n} \left\{ \sin n\omega t + \sin n\pi \cos n\omega t - \cos n\pi \sin n\omega t \right\} \\
 &= \frac{2V_p}{\pi} \sum_{n=1}^{\infty} \frac{1}{n} \left\{ \sin n\omega t - (-1)^n \sin n\omega t \right\} \\
 &= \frac{4V_p}{\pi} \sum_{n=1,3,5,\dots}^{\infty} \frac{1}{n} \sin n\omega t
 \end{aligned}$$



รูปที่ 2.34

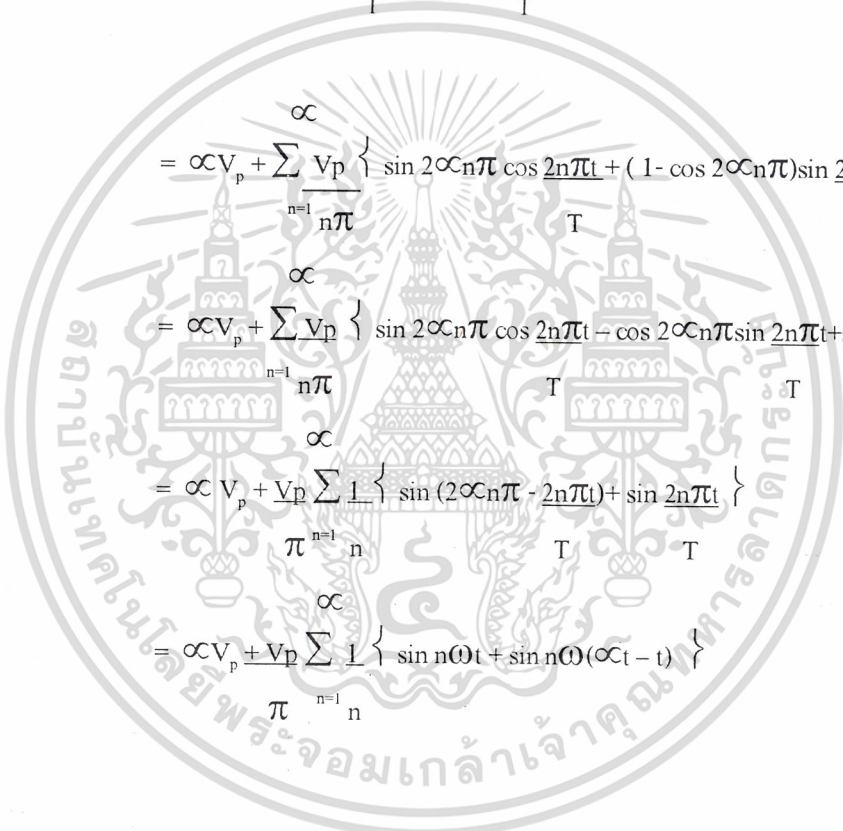
$$V_o(t) = \begin{cases} V_o & \text{เมื่อ } 0 < t < \alpha T \\ 0 & \text{เมื่อ } \alpha T < t < T \text{ และ } 0 < \infty < t \end{cases} \quad \dots (2.34)$$

$$\begin{aligned}
 a_o &= \frac{1}{T} \int_0^T V_o(t) dt \quad \dots (2.35) \\
 &= \frac{1}{T} \int_0^{\alpha T} V_p(t) dt
 \end{aligned}$$

$$\begin{aligned}
 &= \frac{V_p}{T} t \Big|_0^{\alpha T} \\
 &= \frac{\alpha V_p}{T} \\
 a_n &= \frac{2}{T} \int_0^{\alpha T} V_o(t) \cos \frac{2n\pi t}{T} dt
 \end{aligned}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{aligned}
 &= \frac{-V_p}{n\pi} \cos 2n\pi t \Big|_0^{\infty T} \\
 &= \frac{V_p}{n\pi} \left\{ 1 - \cos(2\infty n\pi) \right\} \\
 V_o(t) &= \infty_0 + \sum_{n=1}^{\infty} \left(\frac{a_n}{T} \cos \frac{2n\pi t}{T} + \frac{b_n}{T} \sin \frac{2n\pi t}{T} \right) \dots\dots (2.36)
 \end{aligned}$$

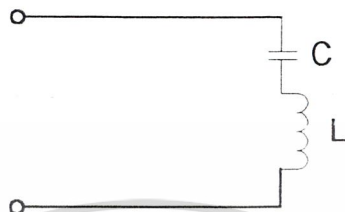


$$\begin{aligned}
 &= \infty V_p + \sum_{n=1}^{\infty} \frac{V_p}{n\pi} \left\{ \sin 2\infty n\pi \cos \frac{2n\pi t}{T} + (1 - \cos 2\infty n\pi) \sin \frac{2n\pi t}{T} \right\} \\
 &= \infty V_p + \sum_{n=1}^{\infty} \frac{V_p}{n\pi} \left\{ \sin 2\infty n\pi \cos \frac{2n\pi t}{T} - \cos 2\infty n\pi \sin \frac{2n\pi t}{T} + \sin \frac{2n\pi t}{T} \right\} \\
 &= \infty V_p + V_p \sum_{n=1}^{\infty} \frac{1}{\pi n} \left\{ \sin (2\infty n\pi - \frac{2n\pi t}{T}) + \sin \frac{2n\pi t}{T} \right\} \\
 &= \infty V_p + V_p \sum_{n=1}^{\infty} \frac{1}{\pi n} \left\{ \sin n\omega t + \sin n\omega(\infty t - t) \right\}
 \end{aligned}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองความถี่

คลื่นสัญญาณต่าง ๆ ทางไฟฟ้าเขียนในเทอมของฟังก์ชันไซน์ (Sine) และ โคไซน์ (Cosine) โดยใช้อนุกรมฟูริเยอร์ (Fourier Series) ในการแยกสมการในเทอมต่าง ๆ เหล่านี้ออกมาใช้งานจำเป็นต้องใช้วงจรกรองความถี่



รูปที่ 2.35 วงจร RC Series Resonance

พิจารณาวงจร LC เรโซแนนซ์แบบอนุกรม (Series – Resonance) ในรูปที่ 2.35 อินพุทอิมพีแดนซ์ของวงจรคือ

$$\begin{aligned} Z(S) &= SL + 1/(SC) \\ &= (LCS^2 + 1)/(SC) \end{aligned} \quad \dots\dots(2.37)$$

ถ้าให้ $S = j\omega$ แล้ว

$$Z(j\omega) = (-LCS^2 + 1)/(SC) \quad \dots\dots(2.38)$$

ที่ความถี่เรโซแนนซ์ $S = j\omega_0$ วงจรในรูปที่ 2.35 จะมีอินพุทอิมพีแดนซ์เป็น 0 หรือ

$$Z(j\omega_0) = 0$$

และจากสมการ (2.38) จะได้

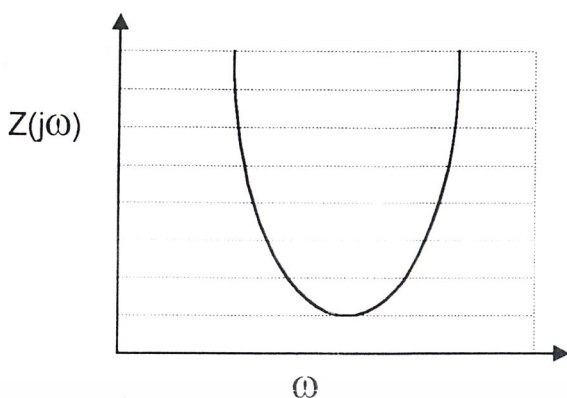
$$LC\omega_0^2 = 1$$

ดังนั้นความถี่เรโซแนนซ์มีค่า

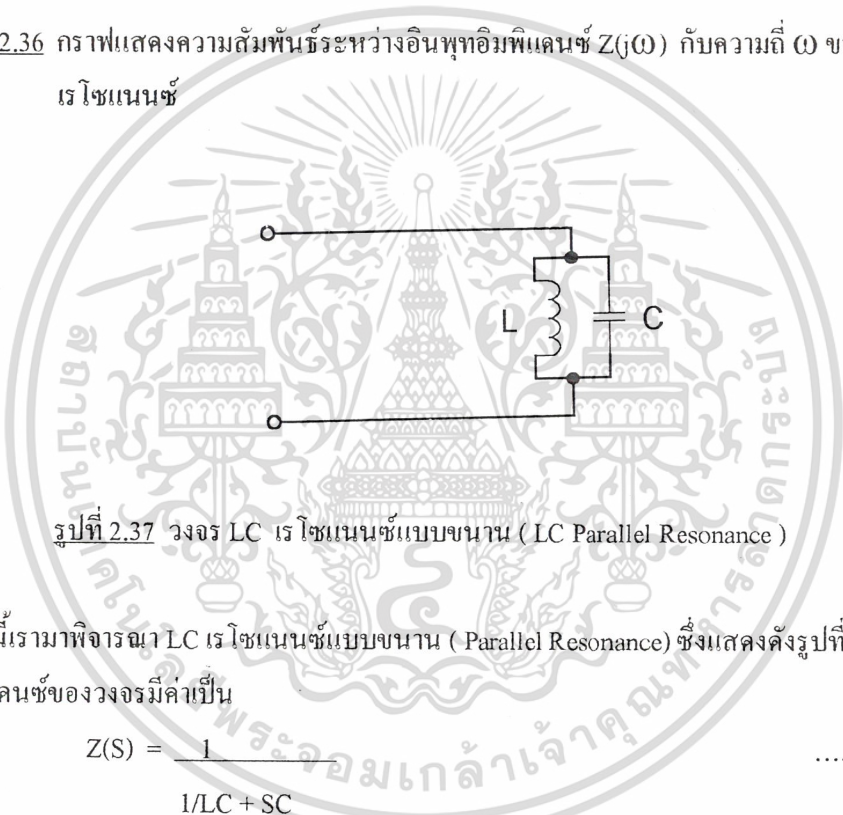
$$\omega_0 = \frac{1}{\sqrt{LC}} \quad \dots\dots(2.39)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กราฟแสดงความสัมพันธ์ระหว่างอินพุทอิมพีแดนซ์กับความถี่แสดงดังรูปที่ 2.36



รูปที่ 2.36 กราฟแสดงความสัมพันธ์ระหว่างอินพุทอิมพีแดนซ์ $Z(j\omega)$ กับความถี่ ω ของวงจรเรโซแนนซ์



รูปที่ 2.37 วงจร LC เรโซแนนซ์แบบขนาน (LC Parallel Resonance)

คราวนี้เรามาทพิจารณา LC เรโซแนนซ์แบบขนาน (Parallel Resonance) ซึ่งแสดงดังรูปที่ 2.37 อินพุทอิมพีแดนซ์ของวงจรมีค่าเป็น

$$Z(S) = \frac{1}{1/LC + SC} \dots\dots(2.40)$$

$$= SL / (1 - LCS^2) \dots\dots(2.41)$$

ถ้าให้ $S=j\omega$ แล้ว

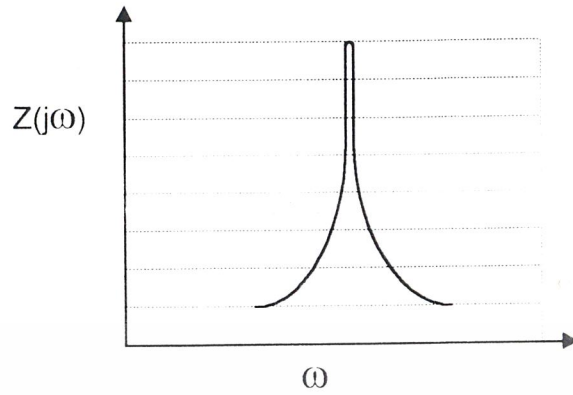
$$Z(j\omega) = j\omega / (1 - LC\omega^2) \dots\dots(2.42)$$

ที่ความถี่เรโซแนนซ์ในกรณีนี้มีค่าเป็น

$$\omega = \frac{1}{\sqrt{LC}} \dots\dots(2.43)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กราฟแสดงความสัมพันธ์ระหว่างอินพุทอิมพีแดนซ์กับความถี่แสดงดังรูปที่ 2.38



รูปที่ 2.38 กราฟแสดงความสัมพันธ์ระหว่างอินพุทอิมพีแดนซ์ $Z(j\omega)$ กับความถี่ ω ของวงจร LC เรโซแนนซ์แบบขนาน (Parallel Resonance)



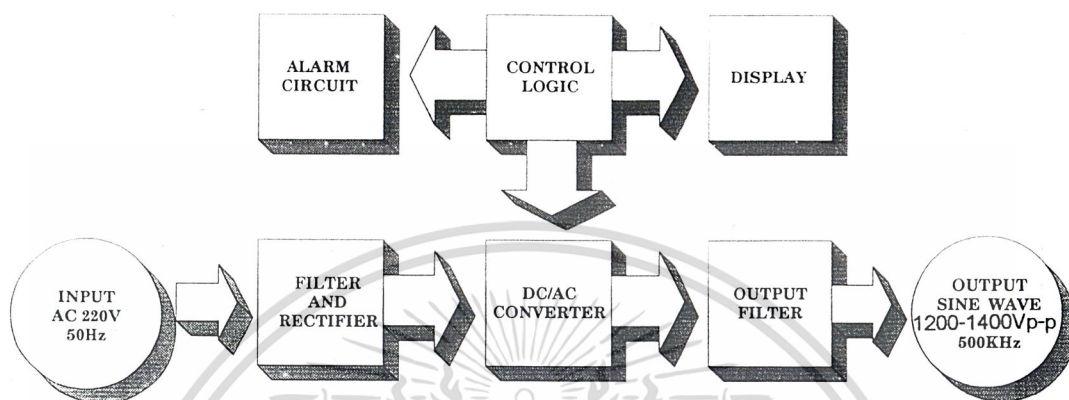
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การคำนวณและการสร้าง

3.1 โครงสร้างและการทำงานของเครื่องจักรห้ามเลือดด้วยไฟฟ้า

เครื่องจักรห้ามเลือดด้วยไฟฟ้ามีหลักการทำงานคั้งบล็อกละเอียดแถมข้างดังนี้



รูปที่ 3.1 บล็อกละเอียดของเครื่องจักรห้ามเลือดด้วยไฟฟ้า

การทำงาน : จากบล็อกละเอียดจะเห็นว่า สัญญาณไฟฟ้ากระแสสลับ 220 V 50 Hz. จะถูกป้อนเข้าให้กับภาคฟิลเตอร์ (Filter) และเรกติไฟเออร์ (Rectifier) เพื่อทำการกรองสัญญาณรบกวนและแปลงไฟกระแสสลับให้เป็นไฟกระแสตรงแล้วป้อนเข้าภาค DC/AC คอนเวอร์เตอร์เพื่อปรับแรงดันไฟฟ้าให้สูงขึ้นเป็น 1200-1400V_{p-p} โดยฐานควบคุม (Control Logic) จะเป็นสัญญาณความถี่ 500 KHz ผสมกับความถี่ 20 KHz เพื่อมาควบคุมการทำงานของวงจร DC/AC คอนเวอร์เตอร์จากนั้นสัญญาณไฟฟ้าความถี่สูงที่ได้จากเอาต์พุตของ DC/AC คอนเวอร์เตอร์จะเป็นรูปสี่เหลี่ยมจะถูกส่งไปยังภาคเอาต์พุตฟิลเตอร์เพื่อทำการกรองฮาร์โมนิคคั้งนั้นสัญญาณเอาต์พุตที่ได้จะเป็นรูปไซน์เวฟ ส่วนภาคแสดงผลทำการแสดงผลเป็นกำลังวัตต์ในขณะที่ใช้งานและภาค Alarm Circuit จะทำการส่งสัญญาณบอกให้ทราบในขณะที่ทำการจี้

3.2.1 ภาคอินพุตของสวิดซ์ชิงเพาเวอร์ซัพพลาย

สวิดซ์ชิงเพาเวอร์ซัพพลายส่วนใหญ่จะถูกออกแบบมาให้ใช้กับระบบแรงดันไฟสลับ 110 โวลต์ หรือ 220 โวลต์ แรงดันไฟสลับจะถูกให้เปลี่ยนให้เป็นแรงดันไฟตรงเสถียรก่อนด้วยวงจรในส่วนอินพุตของสวิดซ์ชิงเพาเวอร์ซัพพลายเพื่อส่งต่อไปให้คอนเวอร์เตอร์ การจี้วงจรที่อินพุตของสวิดซ์ชิงเพาเวอร์ซัพพลายแบ่งออกได้เป็นส่วนสำคัญ 3 ส่วน ดังนี้คือ

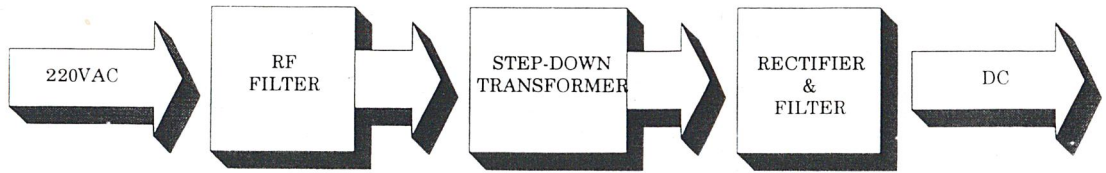
1. RFI ฟิลเตอร์ (RFI Input Filter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

2. Step-down Transformer

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. เรกตีไฟเออร์ (Rectifier)



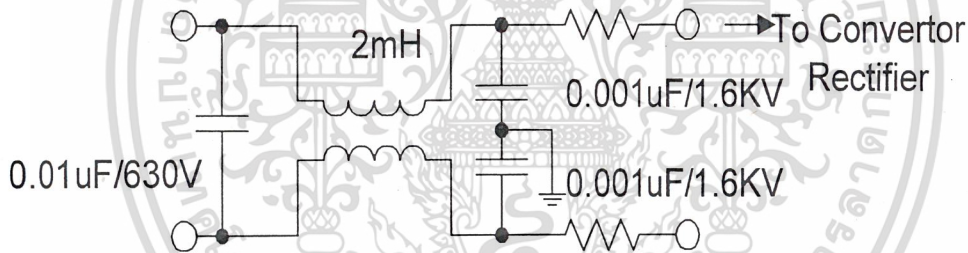
รูปที่ 3.2 บล็อกไดอะแกรมภาค Filter and Rectifier

3.3 วงจรกรองสัญญาณรบกวนหรือ RFI ฟิลเตอร์ (RFI Input Filter)

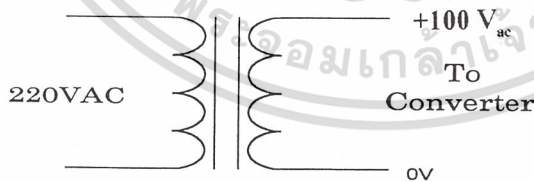
ทำหน้าที่กรองสัญญาณรบกวนไม่ให้ไปรบกวนอุปกรณ์ไฟฟ้าอื่นๆ อันเนื่องจากการสวิตซ์ของสัญญาณไฟฟ้าแรงไฟสูงๆซึ่งมีความถี่ในย่านความถี่วิทยุ วงจรที่ใช้งานจริงสำหรับกรองสัญญาณรบกวน ออกจากเครื่องจีแสดงได้ดังรูปที่ 3.3

3.4 หม้อแปลงแรงดันลง (Step-down Transformer)

ทำหน้าที่แปลงแรงดันกระแสสลับ 220 VAC ให้มีแรงดันต่ำลงเพื่อนำไปเลี้ยงวงจรต่างๆ



รูปที่ 3.3 วงจรกรองสัญญาณรบกวน



รูป 3.4 แสดงหม้อแปลงแรงดันลง

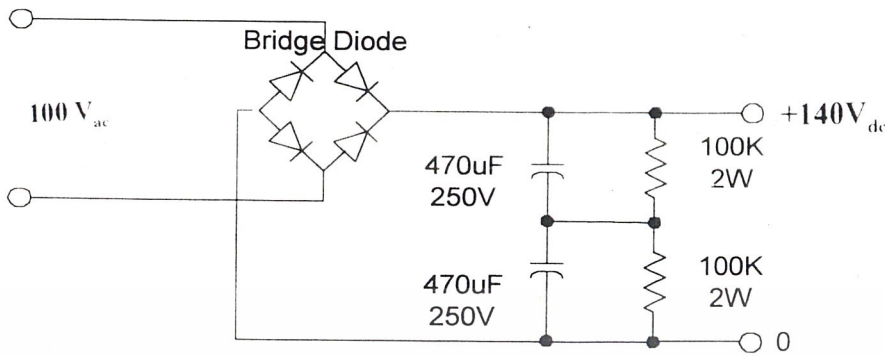
การเลือกขนาดหม้อแปลง จะต้องเลือกอยู่ 2 อย่าง คือเลือกขนาดกระแสและเลือกขนาดแรงดัน โดยการเลือกขนาดกระแสจะใช้ประมาณ 1.5 เท่าของกระแสโหลดส่วนการเลือกขนาดแรงดันจะมีเลือกดังสูตรข้างล่างนี้

$$VRMS = \frac{VM + 1.4}{2^{1/2}} \text{ ใช้กับวงจรบริดจ์เรกตีไฟเออร์} \dots\dots (3.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับครูผู้สอนเพื่อใช้ในการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 วงจรเรกติไฟเออร์

สำหรับวงจรใช้งานจริงแสดงดังรูป 3.5



รูปที่ 3.5 วงจรเรกติไฟเออร์

อุปกรณ์วงจรไดโอด D₁-D₄ เราใช้ไดโอดบริดจ์ขนาด 8 Amp 600 V. ในกรณีที่จ่ายโหลดเต็ม ที่แรงดันเอาต์พุตหาได้จากสูตร

$$V_o = \frac{V_{in}}{1 + (1/4 f_{RC})} \dots\dots (3.2)$$

ค่าของ Ripple หาได้จาก

$$V_r (rms) = \frac{I_{dc}}{4 (3 f_c.)^{1/2}} \dots\dots (3.3)$$

ถ้าความถี่ 50 Hz จะได้ว่า

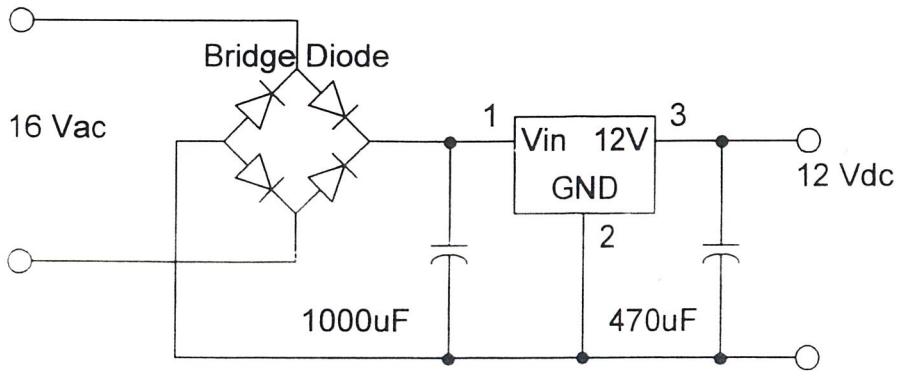
$$V_r (rms) = \frac{2.9 I_{dc}}{C} = \frac{2.9 V_m}{RLC}$$

โดยที่ $I_{dc} \approx \frac{V_m}{RL}$

เอาต์พุตของวงจรเรกติไฟเออร์ชุดนี้จะมีเอาต์พุต 140V_{dc}

3.51 วงจรเรกติไฟเออร์ 12 V ทำหน้าที่แปลงไฟฟ้ากระแสสลับ 16 V หรือแปลงแรงดันลงให้เป็น ไฟกระแสตรง 12 V ในที่นี้เราจะทำขึ้น 3 ชุดด้วยกันคือ ชุดแรกเพื่อนำไปจ่ายให้กับไอซี TL494 อีกสองชุดที่เหลือก็นำไปจ่ายให้กับไอซี HTPL2530 ซึ่งเป็นส่วนที่ต้องแยกกราวด์ทางไฟฟ้าวงจรแปลงไฟแสดงดังรูป 3.6

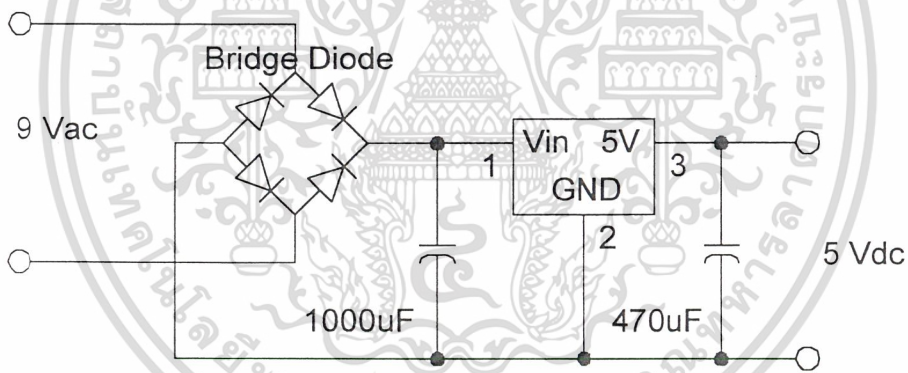
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 วงจรแปลงไฟ 12 V

จากรูปที่ 3.6 จะเห็นได้ว่าเราใช้ MC 7812 T ซึ่งเป็นไอซีเร็กกูเลท รักษาระดับแรงดันไฟให้อยู่ที่ 12 V โดยมีตัวเก็บประจุค่า 1000uF และตัวเก็บประจุค่า 470uF ทำหน้าที่กรองแรงไฟกระแสตรงให้เรียบยิ่งขึ้น

3.5.2 วงจรเร็กตีไฟเออร์ 5 V ทำหน้าที่แปลงแรงไฟกระแสสลับ 9 V เป็นแรงไฟกระแสตรง 5 V เพื่อนำไปจ่ายวงจรภาคแสดงผลและไอซีตระกูลทีทีแอล

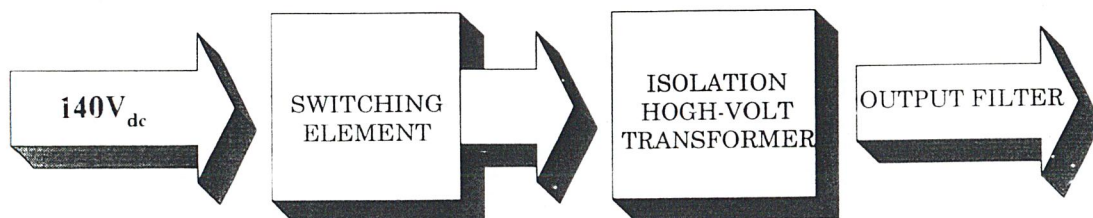


รูปที่ 3.7 วงจรแปลงไฟ 5 V

3.6 ภาค DC/AC Converter

ทำหน้าที่แปลงสัญญาณ ไฟกระแสตรง DC เป็นสัญญาณสแคววฟ (Square Wave) ความถี่ 500 kHz โทลคของวงจรมือแปลงไฟฟ้าแรงสูงซึ่งทำหน้าที่แปลงสัญญาณความถี่ 500 KHz ให้มีแรงดันสูงจนถึงระดับที่ต้องการก่อนที่จะผ่านเข้าวงจรองสัญญาณฮาร์โมนิกส์ดังแสดงในบล็อคลโคเดแกรมดังรูป 3.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



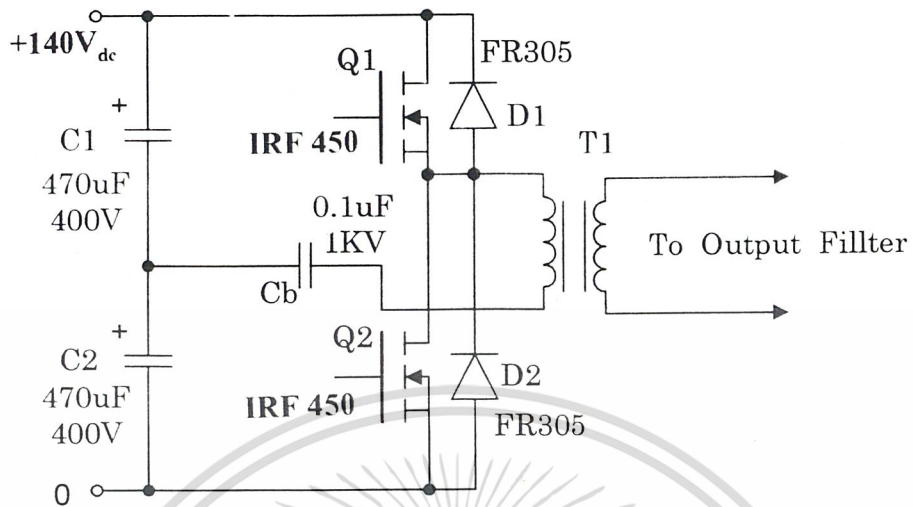
รูปที่ 3.8 บล็อกไดอะแกรมภาคคอนเวอร์เตอร์

วงจรสวิตช์

วงจรสวิตช์จะใช้วงจรคอนเวอร์เตอร์ชนิดฮาล์ฟบริดจ์ (Half Bridge Converter) ซึ่งมีความ มีข้อ ดีตรงที่เพาเวอร์ทรานซิสเตอร์ในวงจรมีค่าแรงดันตกคร่อมขณะไม่ทำงานน้อยกว่าคอนเวอร์เตอร์แบบ อื่นๆซึ่งทำให้เราไม่ต้องใช้เพาเวอร์ทรานซิสเตอร์ที่ต้องทนแรงดันเบรคควาร์สูงๆ และยังลดการเกิดไม่ สมมาตรฟลักซ์ได้ จ่ายกำลังวัตต์อยู่ในย่านที่เหมาะสมคือจะอยู่ในช่วงไม่เกิน 500 วัตต์

ในการออกแบบการใช้แรงไฟ 100Vac ซึ่งเป็นหม้อแปลงสตีปลาวนที่มีขายในท้องตลาดมาผ่าน วงจรเรกติไฟเออร์ได้แรงไฟประมาณ 100Vac ซึ่งการใช้แรงไฟไม่สูงจนเกินไปจะช่วยให้มีความ ปลดลภัยยิ่งขึ้นกว่าการใช้แรงไฟตรงๆ 220V โดยไม่ผ่านหม้อแปลง และช่วยลดการกระชากของแรง ไฟสูงๆเนื่องจากการชอร์ตของคาปาซิเตอร์ในสภาวะเริ่มแรกเก็บประจุจะทำให้ไฟส้และวงจรภาคจ่าย ไฟเสียหายได้จากวงจรในรูป 3.9 เป็นวงจรที่ออกแบบโดยใช้ค่า C1 และ C2 มีค่า 4700uF ซึ่งมีค่า ความจุไม่สูงเกินไปสำหรับแรงไฟ 140V สำหรับรายละเอียดการทำงานของวงจรได้อธิบายไว้แล้วใน บทที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

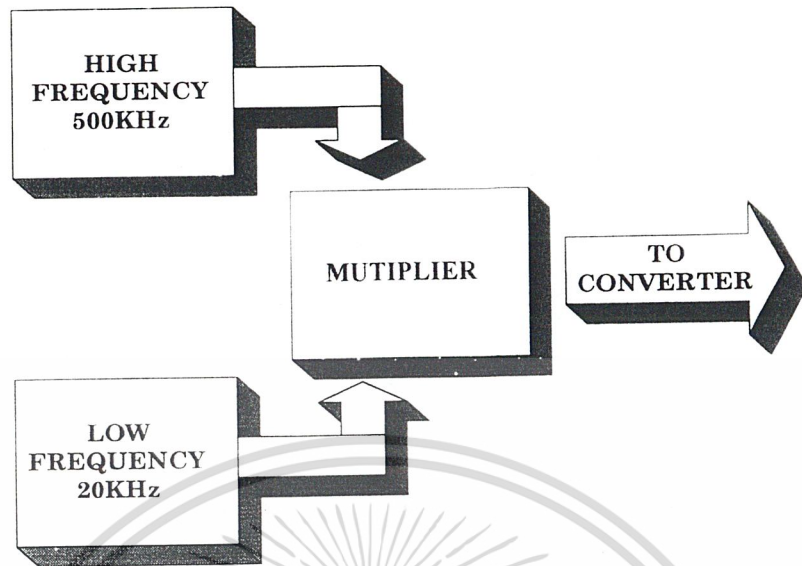


รูปที่ 3.9 วงจรใช้งานจริงของฮาล์ฟบริดจ์คอนเวอร์เตอร์

3.7 ภาควิชาควบคุม (Control Logic)

วงจรภาคนี้อาจทำหน้าที่ผลิตสัญญาณภาคี 2 ความถี่ และนำมาผสมกันเพื่อนำไปเป็นสัญญาณขับเกทในวงจรภาค DC/AC Converter เพื่อทำการสวิตช์ให้มีความถี่ที่ต้องการอีกทั้งยังสามารถปรับ Duration ได้ด้วย ในการผสมสัญญาณจะให้เอนค็เกท 3 อินพุท และสัญญาณที่ได้จะนำไปผ่านออปโตคัปเปิ้ล (Opto Couple) เพื่อแยกกราวด์ทางไฟฟ้าก่อนส่งต่อไปยังภาคคอนเวอร์เตอร์ ซึ่งสามารถแสดงเป็นบิตอกไคอะแกรมได้ดัง ข้างล่างนี้

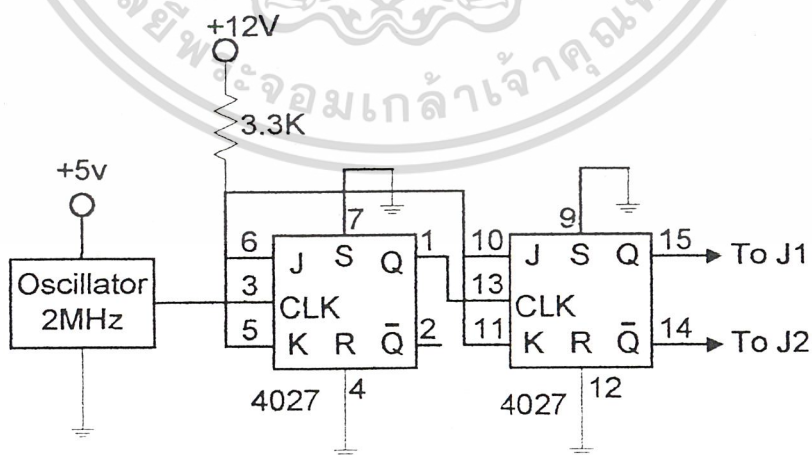
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 แสดงบล็อกโคโอะแกรมภาคควบคุม

3.7.1 วงจรผลิตความถี่สูง

ทำหน้าที่ผลิตสัญญาณพัลส์ความถี่ 500 kHz ในที่นี้เราใช้คริสตัลอสซิลเลเตอร์ (Crystal Oscillator) ภายในตัวถังเป็นวงจรสร้างความถี่ 2 MHz เราจะนำมาผ่านวงจรหารความถี่ให้เหลือ 500kHz โดยใช้ไอซี CMOS เป็น J-K Flip-Flop เบอร์ 4027 ซึ่งเป็น ไอซีที่มีโครงสร้างภายในประกอบด้วย J-K Flip Flop 2 ตัว ดังนั้นจะใช้ ไอซีเพียงตัวเดียวเพื่อนำมาต่อกัน ในลักษณะ T Flip-Flop หรือวงจรหารสอง จำนวน 2 ครั้งก็จะ ได้ที่ความถี่ 500 kHz พอคิดดังแสดง ในรูปที่ 3.11

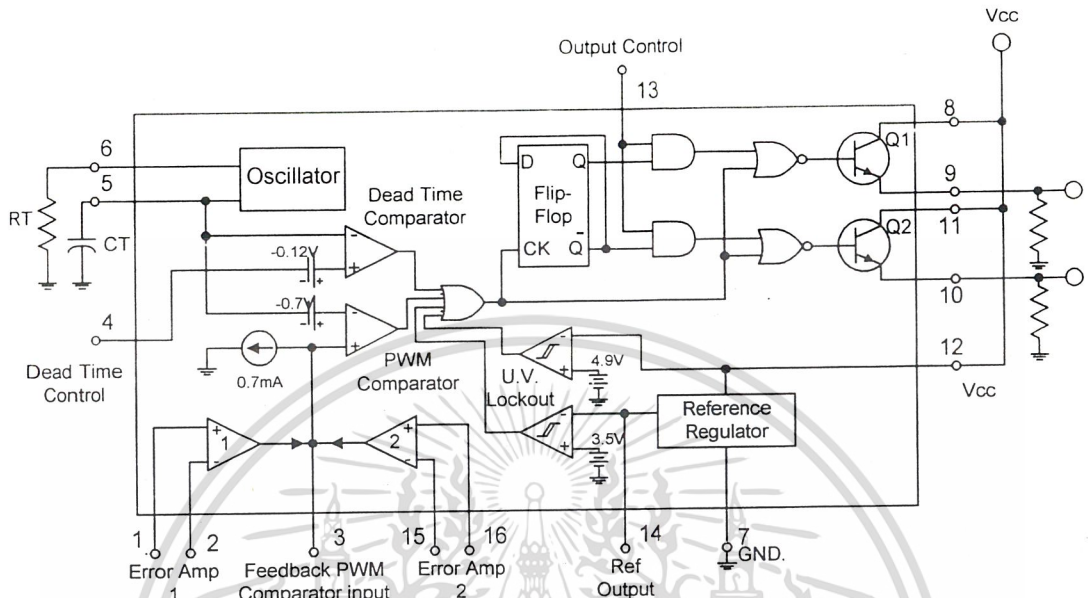


รูปที่ 3.11 วงจรใช้งานจริงซึ่งวงจรผลิตความถี่สูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7.2 วงจรผลิตความถี่ต่ำ

ทำหน้าที่ผลิตสัญญาณความถี่ต่ำที่ 20 kHz ในที่นี้เราใช้ IC เบอร์ TL 494 เป็น ไอซีที่ใช้ควบคุมคอนเวอร์เตอร์ในโหมดควบคุมแรงดัน เป็น ไอซี ที่ใช้เทคนิคพัลส์สวิตช์มอดูเลชัน(PULSE WIDTH MODULATION)ดังรูป



วงจรของ ไอซี TL 494 เป็นวงจร PWM ที่มีความถี่คงที่คาบเวลาการทำงานของเอาต์พุตพัลส์กำหนดโดยค่าของ R_T และ C_T จากภายนอกที่ขา 6 และขา 5 ของ ไอซี ค่าคาบเวลาการทำงานจะกำหนดได้จาก

$$T = R_T C_T / 1.1 \quad \dots\dots (3.4)$$

วงจรใช้งานจริงเรากำหนดความถี่เท่ากับ 20 kHz เมื่อดูกราฟในรูป 2.31 ที่ความถี่ 20 KHZ จะได้ค่าของคาปาซิเตอร์มีค่าประมาณ $0.01\mu F$ ดังนั้นคำนวณค่าของ R_T ได้ดังนี้

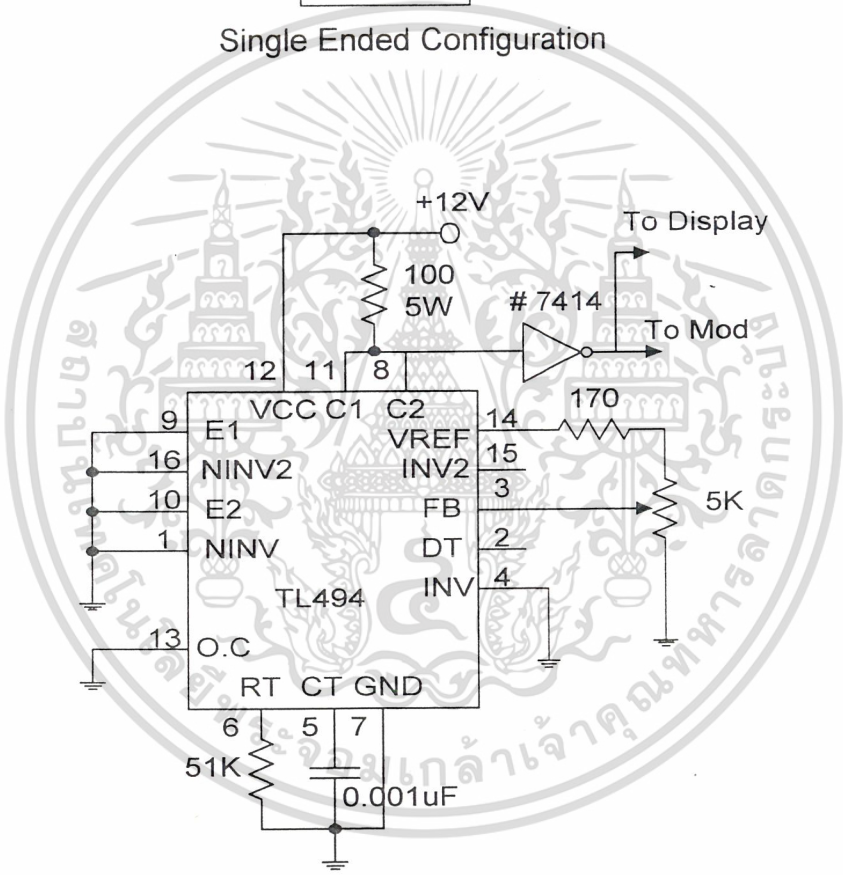
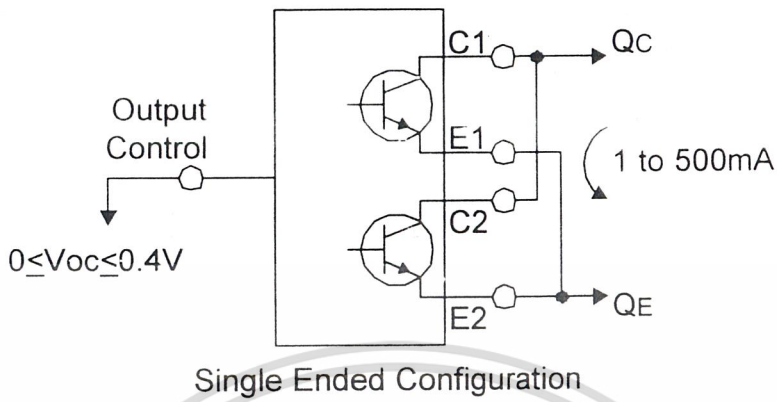
$$\frac{1}{20KHZ} = \frac{R_T \times 0.001 \mu f}{1.1} \quad \dots\dots (3.5)$$

ดังนั้น $R_T = 55 K\Omega \cong 51K\Omega$

ความกว้างเอาต์พุตพัลส์ของ ไอซีนี้สามารถกำหนดให้มีค่ามากที่สุดหรือมีค่าเท่ากับศูนย์ได้ด้วยการเปลี่ยนแปลงแรงดันที่ ขา 3 จาก 0.5 โวลต์ โดยนำค่าแรงดัน V_{REF} ที่ขา14 ซึ่งมีค่าประมาณ 5 V มาปรับแรงไฟที่ขา3

ที่ขา4 ลงกราวด์ ค่าเวลาเพื่อต่ำสุดของ ไอซีจะไม่ต่ำกว่า 4 เปอร์เซ็นต์ของค่าคาบเวลาการทำงาน เนื่องจากมีแรงดันออฟเซต 120 มิลลิโวลต์ต่ออยู่ภายใน ช่วงเวลา T_{ON} สูงสุดของคอนเวอร์เตอร์ที่ได้จากไอซีจะเท่ากับ 96% ของค่าคาบเวลาโดยต่อขา 13 ลงกราวด์(ยกเลิก FLIP-FLOP) Q1 และ Q2 จะทำงานพร้อมกันและสามารถขนาน Q1 และ Q2 เขาค้วยกันได้ทำให้น้ำกระแสได้มากขึ้นดังรูป

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่มีการเผยแพร่ ฟังชั่น ยกฟังก์ชันไม่เปิดเผยเนื้อหา และต้องอ้างอิงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

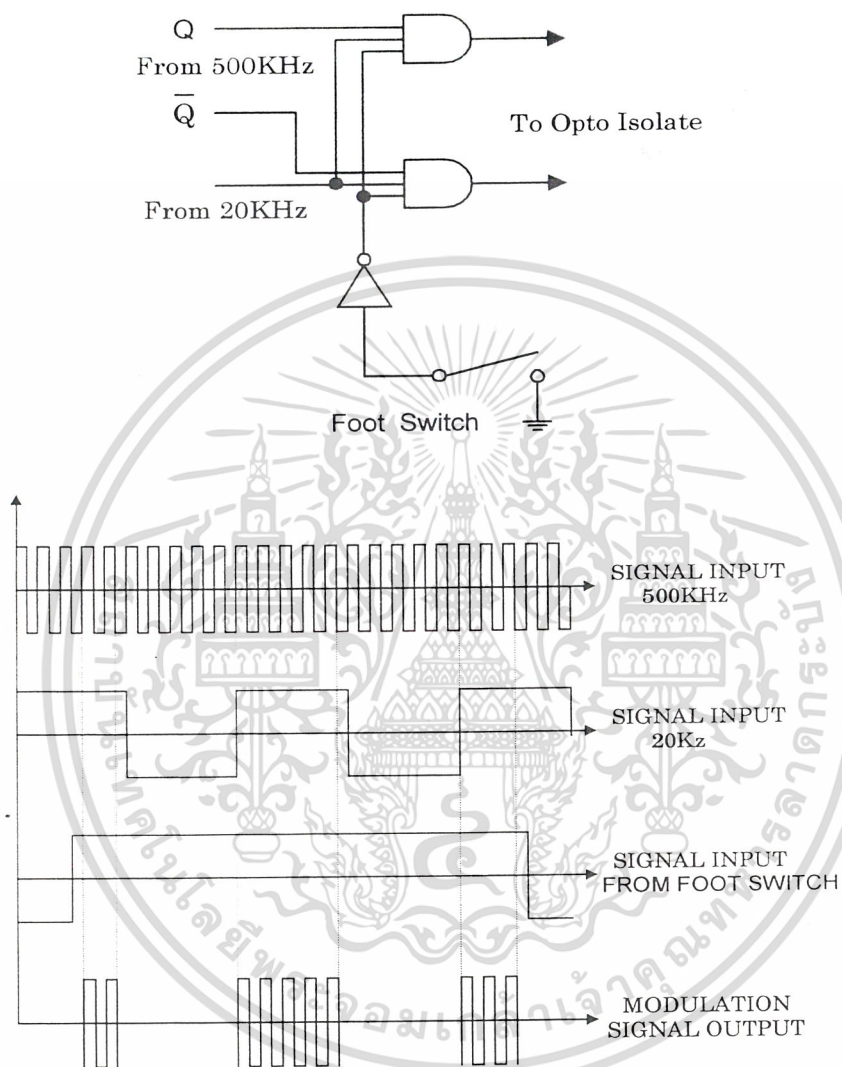


รูปที่ 3.12 วงจรใช้งานจริงของวงจรผลิตความถี่ต่ำ

3.7.3 วงจรควบคุมสัญญาณ (Modulation)

ทำหน้าที่ควบคุมสัญญาณความถี่สูงกับสัญญาณความถี่ต่ำ การทำงานของวงจรคือที่เอาต์พุตของ แอนเกทจะมีสถานะเป็น HIGH ได้กรณีเดียวคือที่อินพุตทั้งสามอินพุตมีสถานะเป็น HIGH ซึ่งพอจะ อธิบายได้ว่าสัญญาณส่วนที่เป็น HIGH ของสัญญาณความถี่ 500KHz กับ สัญญาณความถี่ 20KHz จะไป ไม่วาร์ณใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปรากฏที่เอาต์พุทของแอนเนกทได้ก็ต่อเมื่อสวิทซ์เท้า(FEET SWITH)ถูกกด โดยที่สวิทซ์เท้าถูกค้กับอินเวอร์เตอร์เมื่อคคสวิทซ์ลงกราวค้จะปรากฏลอจิก HIGH ที่บสามของอินพุทของแอนเนกทและสัญญาณออกไปที่เอาต์พุทของแอนเนกทค้รูป3.13



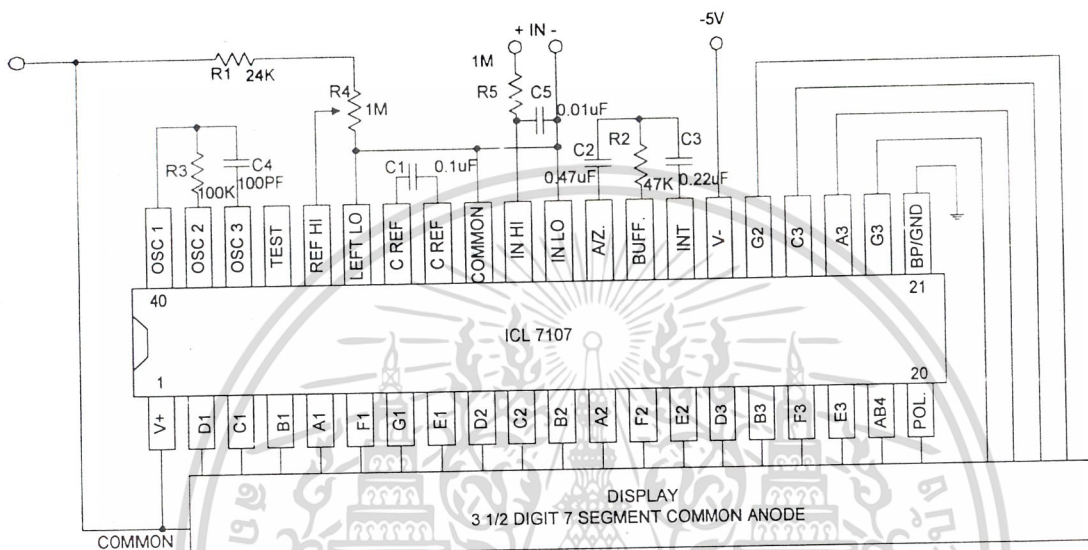
รูปที่ 3.13 วงจรใช้งานจริงและลักษณะรูปคลื่นที่ทำการมอดของวงจรมอดสัญญาณ (MODULATION)

จากรูปสัญญาณที่ได้ทางเอาต์พุทจะสังเกตเห็นได้ว่าคาบเวลา t_m ต่อ o_n (Duty cycle) ของเอกสารถือที่เอาต์พุทจะเปลี่ยนแปลงไปตามสัญญาณ 20 kHz โดยที่สัญญาณความถี่ 20 kHz นี้เรานำด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

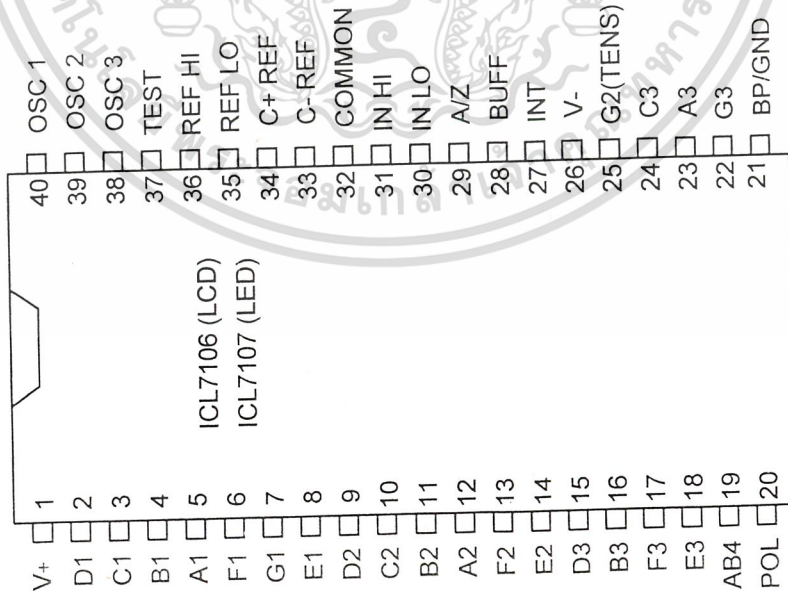
สามารถปรับค่าความถี่ได้ตั้งแต่ 0 ถึง 96% และสัญญาณนี้จะนำไปควบคุมการสวิตช์ที่ภาคคอนเวอร์เตอร์ต่อไป

ภาคแสดงผล (Display)

ทำหน้าที่แสดงผลตัวเลขเป็นกำลังวัตต์ ขณะใช้งานเครื่องจี ซึ่งลักษณะวงจรและรายละเอียดการทำงานแสดงในรูปแบบที่ 3.6 ซึ่งหัวใจในการทำงานของเครื่องจีนี้ คือ ICL 7107



รูปที่ 3.16 แสดงวงจรใช้งานเบื้องต้น



รูปที่ 3.17 แสดงตำแหน่งขาไอซี (ICL 7107)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การกำหนดย่านวัดสูงสุด

ค่าแรงดันอินพุตที่จะวัดได้สูงสุดนั้นจะมีค่าเท่ากับ 2 เท่าของแรงไฟ V_{ref} มีค่าเท่ากับวัด สัญญาณอินพุตจะมีความแรงเต็มย่านวัด 200 mV. เท่ากับ 1V ซึ่งในที่นี้เราจะกำหนดย่านวัดสูงสุดไว้ที่ 1V (ดูจากรูปที่ 3.20) เนื่องจากว่าแรงไฟ ณ จุดที่จะไปทำการวัดมีค่าประมาณไม่เกิน 5 V ซึ่งเราจะใช้ ตัวต้านทานเกือกมีค่าต่อในลักษณะแบ่งแรงดันคั่นไว้เพื่อปรับค่าฟูลสเกลของเครื่อง

วงจรกำเนิดสัญญาณคล็อก (Clock)

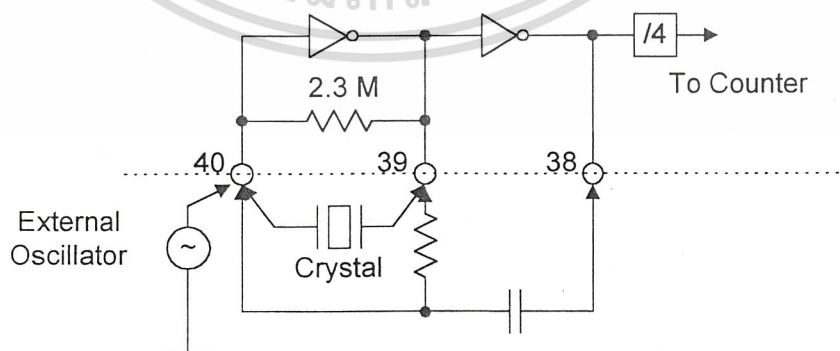
หัวใจการทำงานของวงจรดิจิทัล คือ สัญญาณ Clock สำหรับความถี่ที่เหมาะสมกับการใช้งาน ของ IC นี้ คือ 48 KHz สำหรับในการผลิตความถี่ออสซิลเลเตอร์ใช้ R.C ต่อที่ขา OSC. ซึ่งการ คำนวณความถี่สามารถคำนวณได้จากสูตร

$$F = 0.45 / R.C$$

สำหรับความถี่ 48 KHz จะได้ค่า $R = 100 \text{ K}, C = 100 \text{ PF}$

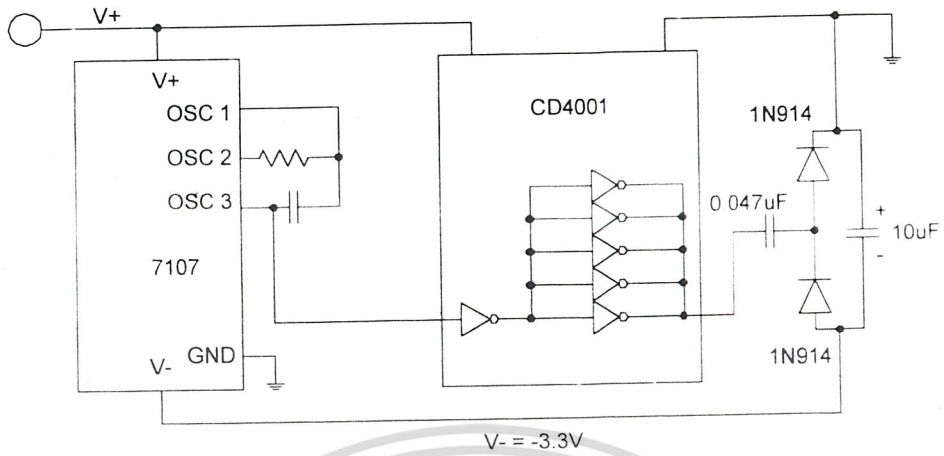
- เรฟเฟอเรนซ์คาปาซิเตอร์ (C ref) ที่ต่ออยู่ระหว่างขา 33-34 นั้น เราใช้ค่า 0.1 uF เป็นอย่างน้อย
- Integratoin รีซีสเตอร์ (R.int) ซึ่งต่อที่ขา 28 นั้นจะต้องใช้ค่าที่เหมาะสม ขึ้นอยู่กับย่านวัดสูงสุดที่ต้องการ เช่น ย่านวัดสูงสุด 2 V เราให้เห็นค่า $R = 470 \text{ k}$ และ ถ้าย่านวัดสูงสุด 200 mV. จะได้ค่า R เท่ากับ 47 K.
- Auto zero คาปาซิเตอร์ที่ทำหน้าที่ให้วงจรแสดงผลเป็นศูนย์ในขณะที่ไม่มี สัญญาณอินพุต การกำหนดค่า C ขึ้นอยู่กับย่านการวัด
- Power Supply โดยปกติแรงไฟที่เลี้ยงวงจรประกอบด้วยไฟบวก, ไฟลบ และ กราวด์ ดังนั้น ในการใช้งานอาจจะสร้างวงจรไฟลบขึ้นมาดังรูป 3.18

7106/7107



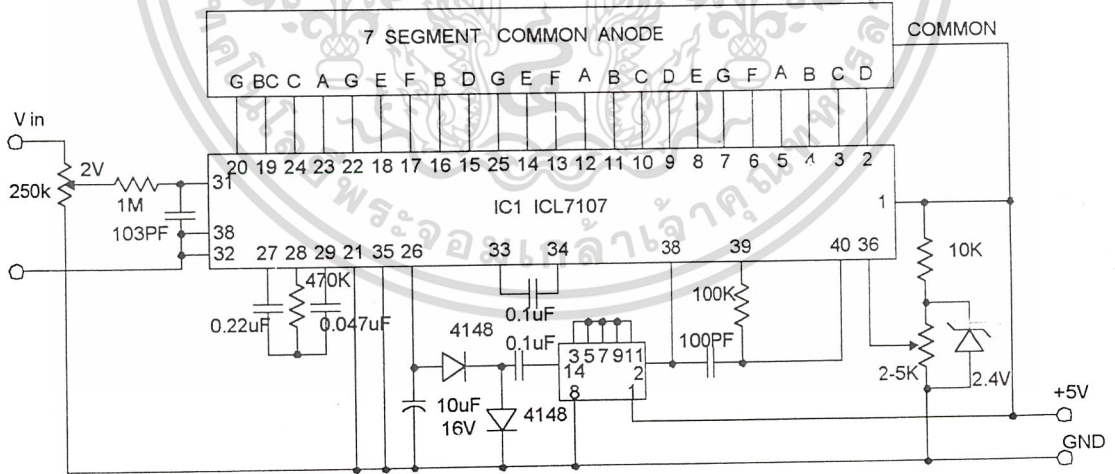
รูปที่ 3.18 วงจรกำเนิดสัญญาณคล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.19 วงจรกำเนิดพัลส์

การทำงานของวงจรสร้างพัลส์อย่างง่าย ๆ ก็คือ การนำเอาสัญญาณ Clock จากขา 38 ของไอซีมาผ่าน Inverter ได้เป็นพัลส์ ไปเลี้ยง IC ที่ขา 26 สำหรับวงจรแสดงผล ที่ใช้งานจริงๆ จะเป็นดังรูปที่ 3.20

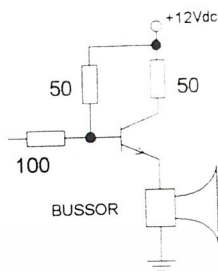


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรใช้งานเพื่อการศึกษเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 รูปที่ 3.20 วงจรใช้งานจริง
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.9 ภาคสัญญาณเตือน (ALARM)

ทำหน้าที่สัญญาณเตือนบอกเมื่อทำการจี ซึ่งเราจะใช้บัสเซอร์เป็นตัวส่งเสียง โดยต่อวงจรดังรูปที่

3.21 โดยต่อทรานซิสเตอร์ในลักษณะวงจรสวิทช์



รูปที่ 3.21 วงจรใช้งานจริงของภาคสัญญาณเตือน

3.10 ภาคเอาต์พุตฟิลเตอร์

ทำหน้าที่กรองสัญญาณที่มีความถี่ฮาร์โมนิกส์ต่างๆ ให้เหลือแต่สัญญาณที่ความถี่พื้นฐาน (FUNDAMENTA) โดยสัญญาณอินพุตจะมีค่าตามสมการ (3.10) ในทางปฏิบัติเราไม่สามารถที่จะสร้างวงจรกรองสัญญาณที่ต้องการนี้ขึ้นมาเพียงสัญญาณเดียวได้ วิธีที่เราสามารถทำได้คือต้องการออกแบบวงจรกรองสัญญาณฮาร์โมนิกส์ต่างๆ ที่ให้ขนาดของสัญญาณเหล่านี้ผ่านถึงเอาต์พุตน้อยที่สุด โดยเฉพาะอย่างยิ่งฮาร์โมนิกส์ที่ 3 และ 5

วงจรกรองความถี่แสดงดังรูปที่ 2.41 LI กับ CI และ L2 กับ C2 ต่อในลักษณะอนุกรม (SERIES RESONANCE) และขนาน (PARALLEL RESONANCE) ตามลำดับทั้งนี้เพื่อให้สัญญาณที่ความถี่พื้นฐาน (FUNDAMENT) ผ่านไปได้มากที่สุด แต่จะลดทอนสัญญาณฮาร์โมนิกส์ต่างๆ ทรานสเฟอร์ฟังก์ชัน (TRANSFER FUNCTION) ของวงจรหาได้ดังนี้

$$\frac{V_o(s)}{V_i(s)} = \frac{1}{\frac{SC_2 + 1/R + 1/SL_2}{SL_1 + 1/SC_1 + 1} (SC_2 + 1/R + 1/SL_2)} \dots\dots (3.6)$$

$$= \frac{RC_1L_2S^2}{(L_1C_1S_2 + 1)(RL_2C_2S^2 + L_2 + R) + RC_1L_2S}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

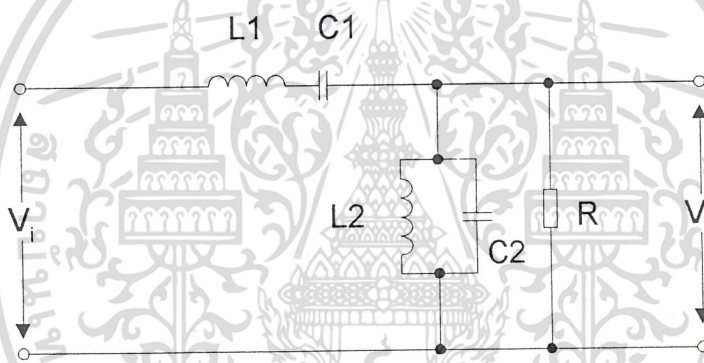
ดังนั้น

$$\frac{V_o(S)}{V_i(S)} = \frac{RC_1L_2S_2}{RL_1L_2C_1C_2S^4 + L_1L_2C_1S^3 + R(L_1C_1 + L_2C_2 + L_2C_1)S^2 + L_2S + R} \dots\dots (3.7)$$

โดยกำหนดให้ความถี่เรโซแนนซ์ของวงจรมีค่าเท่ากับความถี่ของสัญญาณไฟฟ้าเคเมนท์

(FUNDAMENTAL)

$$\omega = \frac{1}{\sqrt{L_1C_1}} = \frac{1}{\sqrt{L_2C_2}} \dots\dots (3.8)$$



รูปที่ 2.41 วงจรกรองสัญญาณฮาร์โมนิกส์

จากวงจรรูปที่ 2.41 ค่าของ L_1 , L_2 , C_1 และ C_2 หาได้ดังรูป

1. กำหนดความถี่เรโซแนนซ์ของวงจรให้เท่ากับความถี่ของสัญญาณอินพุท 500KHZ

$$f_0 = 500 \text{ KHz}$$

2. หาค่า ω_0 จาก

$$\omega_0 = 2\pi f_0 = 3.14 \times 10^6 \text{ rad/sec} \dots\dots (3.9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรรูปที่ 3.22 ค่าของ L_1 , L_2 , C_1 และ C_2 หาได้ดังนี้

1. กำหนดค่าความถี่เรโซแนนซ์ของวงจร ให้มีค่าเท่ากับความถี่ของสัญญาณอินพุต 500 kHz

2. หาค่า $\omega_0 = 2\pi f_0 = 3.14 \times 10^6$ rad/sec

3. กำหนดค่า R, C_1 และค่าคงที่ A เท่ากับ 300Ω , 10 nF, และ 20 ตามลำดับและ

$$C_2 = C_{1/A}, L_2 = A, L_1$$

4. จากสมการ (2.47) จะได้

$$L_1 = 74.01 \mu\text{F}$$

$$\text{ดังนั้น } C_2 = 0.5 \text{ nF}$$

$$\text{และ } L_2 = 1 \text{ mH}$$

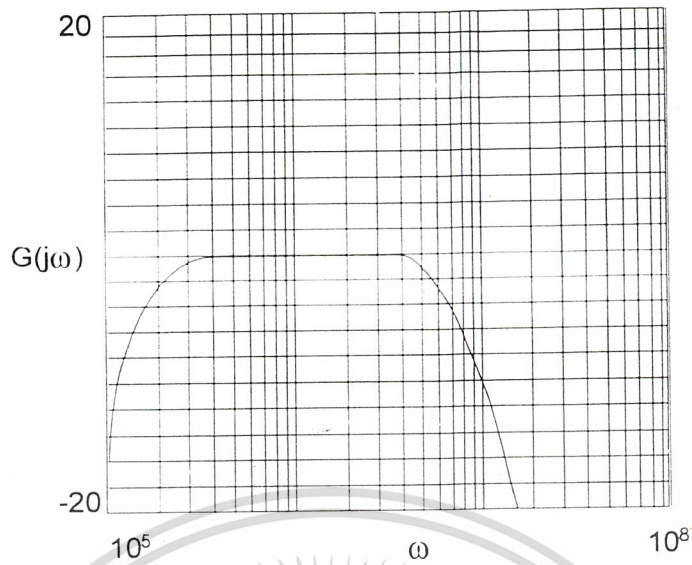
5. แทนค่าของ R, L_1, C_1, L_2 และ C_2 ลงในทรานสเฟอ์ฟังก์ชัน ซึ่งเขียนแทนสมการ (3.10)

โดยให้ $s = j\omega$ เขียนกราฟความถี่ขั้นระหว่างขนาดของ $G(j\omega)$ กับความถี่ ω ได้กราฟในรูปที่ 2.39

6. จากกราฟจะเห็นว่าที่ความถี่ $\omega = 0$ ขนาดของ $G(j\omega) = 0$ dB และที่ความถี่ $3\omega_0$ ขนาดของ $G(j\omega) = -10$ dB แสดงว่าวงจรฟิลเตอร์ขอมให้สัญญาณที่ความถี่ในแถบพาส (Fundamental)

ผ่านตามจุด แต่ละกลทอนสัญญาณฮาร์โมนิกที่ $3, 5, 7, \dots$ ได้ดี ดังนั้นเอาท์พุทของสัญญาณจะเป็น ซายเวฟ (Sine Wave) ที่ความถี่ในแถบพาส 500 kHz

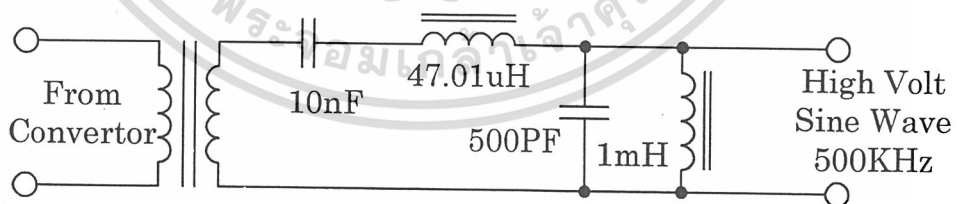
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.23 กราฟแสดงความถี่ระหว่างขนาดของ $G(j\omega)$ กับความถี่ ω

$$G(S) = \frac{3 \times 10^{-9} S^2}{1.11 \times 10^{-22} S^4 + 7.40 \times 10^{-4} S^3 + 3.30 \times 10^{-9} S^2 + 10^{-3} S + 300} \quad \dots (3.10)$$

$$= \frac{3.51 \times 10^{-9} S^2}{S^4 + 6.67 \times 10^6 S^3 + 3.04 \times 10^{16} S^2 + 9.01 \times 10^{18} S + 2.70 \times 10^{24}}$$



รูปที่ 3.24 วงจรแสดงเอาต์พุตฟิลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบหม้อแปลงสวิตชิง

1. คำนวณเวลาการทำงาน $T = 1/f = 1/500\text{kHz} = 2 \times 10^{-6}$

$T_{ON(MAX)} = 0.4 T = 0.8 \times 10^{-6}$

2. กำหนด อัตราส่วนจำนวนรอบ

$$N_p/N_s = \frac{[(V_{IN(MIN)}/2) - V_{CE(SET)}] \cdot T_{ON(MAX)}}{(V_o + V_D)(T/2)} \quad \dots (3.11)$$

$$= (70/2 - 1) \times 0.8 \times 10^{-6} / (400)(2 \times 10^{-6})/2$$

$$= 34 \times 0.8 \times 10^{-6} / 400 \times 1 \times 10^{-6}$$

$$= 2.72 \times 10^{-5} / 400 \times 10^{-6}$$

$$= 0.068$$

จำนวนรอบขดไฟรมารี $N_p = \frac{[V_{IN(MIN)}/2 - V_{CE(SAT)}] \cdot T_{ON(MAX)} \times 10^8}{\Delta B_{MAX} \cdot A_e} \quad \dots (3.12)$

$$= \frac{[70/2] \times 0.8 \times 10^{-6} \times 10^8}{1600 \times 1.48}$$

$$= 1.148$$

$$\therefore N_p = 2 \text{ รอบ}$$

$$\therefore N_s = \frac{2/0.068}{29} = 29 \text{ รอบ}$$

$$L_p = \frac{4 \times \pi \times 1.48 \times 2^2 \times 10^8}{0.1}$$

$$= 7.43 \times 10^{-6}$$

$$L_p \pm 20\% = 5.94 - 8.9 \cong 6 - 9 \mu\text{H}$$

$$I_{P(PK)} = \frac{55 \times 2 \times 10^{-6}}{0.8 \times 70 \times 0.8 \times 10^{-6}} + \frac{(70/2 - 1) \times 0.8 \times 10^{-6}}{6 \times 10^{-6}}$$

$$= 2.45 + 4.5$$

$$= 6.95 \cong 7 \text{ A}$$

$$C_b = \frac{I_{P(PK)} \cdot (0.4T)}{\Delta V} \quad \dots (3.13)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดให้ ΔV มีค่า ไม่เกิน 20% ของ $V_{in}/2$

$$\therefore \Delta V = V_{in}/2 = 43.84$$

$$\therefore C_b = 0.127 \mu f \cong 0.1 \mu f$$

คำนวณหาเบอร์ขดลวด

$$\text{จาก } D_{in} = \frac{[17.1bw]^{1/3}}{Nf}$$

เมื่อ d_{in} คือ ค่าคำนวณของขนาดเส้นผ่าศูนย์กลางลวดทองแดง เป็นมิลลิเมตร

bw คือ ค่าระยะสำหรับพันขดลวดบนขอบิ้น เป็นมิลลิเมตร

N คือ จำนวนรอบของขดลวดเป็นรอบ

F คือ ความถี่การทำงานของหม้อแปลง เป็นกิโลเฮิร์ต

โดยที่แกน EI 40 มีค่า $CB_f = 10, C = 8$

$$\text{จะได้ } bw = CB_f - C = 10 - 8 = 2$$

คำนวณเบอร์ลวดของขดลวดปฐมภูมิ N_p

$$d_{in} = \frac{[17.1 \times 2]^{1/3}}{2 \times 500} = 0.324 \dots (3.14)$$

ดูจากตารางที่ 3.1 ได้ลวดเบอร์ AGW # 28 มี $t_{min} = 0.393$

$$\text{หาจำนวนชั้นจาก } P_{id} = \frac{N}{(BW - 1)} \dots (3.15)$$

$$\therefore \text{จำนวนชั้นของขดลวดปฐมภูมิ} = \frac{t_{min}}{(2 - 1)} = \frac{0.393}{0.393} = 0.489 \text{ ซึ่ง } \leq 1$$

คำนวณใหม่โดยใช้วิธีคำนวณกรณีมีชั้นเดียว , กำหนดจำนวนชั้น $P=1$

$$\text{จากระยะห่างขดลวดระหว่างรอบ } t = \frac{P \cdot bw}{(N + P)} = \frac{1 \times 2}{(2 + 1)} = 0.66$$

ดูจากตารางที่ 3.1 ได้ใกล้เคียง $t_{min} = 0.608$ ซึ่งตรงกับลวดเบอร์ AWG # 24

\therefore ใช้ลวดทองแดงเบอร์ AWG # 24 พันที่ขดปฐมภูมิจำนวน 2 รอบ

คำนวณรอบของ N_s

$$d_{in} = \frac{(17.1 \times 2)^{1/3}}{29 \times 500} = 0.133$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตารางที่ 3.1 ได้ลวดเบอร์ AWG # 36 ซึ่งมีค่า $t_{\min} = 0.172$
 หาจำนวนชั้น Pin $= \frac{29}{0.172} = 2.72 \cong 3$ ชั้น
 $\frac{(2 - 1)}{0.172}$

∴ ใช้ลวดทองแดงเบอร์ AWG # 36 พันที่ขดทุกขดเป็นจำนวน 29 รอบ จำนวน 3 ชั้น



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.1 แสดงมาตรฐาน AGW และข้อมูลอื่นๆของขดลวดอบน้ำยา

เบอร์ AWG (B.&S.)	ขนาดเส้นผ่าน ศูนย์กลาง(d)		ขนาดเส้นผ่าน ศูนย์กลางเมื่อ	พื้นที่หน้าตัด ปกติ	ค่าความต้าน ทานที่100°C (R _{dc})	ระยะเรียง ขดต่ำสุด (t _{min})
	inch	mm	รวมฉนวน(d _o)			
			mm	mm ²	Ω/m	mm
44	0.00198	0.0503	0.06604	0.00199	11.18	0.071
43	0.00222	0.0564	0.07366	0.0025	8.899	0.079
42	0.00249	0.0633	0.08128	0.00314	7.073	0.087
41	0.0028	0.0711	0.09144	0.00397	5.594	0.098
40	0.00314	0.0798	0.1041	0.005	4.448	0.111
39	0.00353	0.0897	0.1143	0.00631	3.519	0.122
38	0.00397	0.1008	0.1295	0.00799	2.783	0.138
37	0.00445	0.113	0.1448	0.01003	2.215	0.154
36	0.005	0.127	0.1626	0.0127	1.754	0.172
35	0.0056	0.1422	0.1778	0.0159	1.398	0.188
34	0.0063	0.16	0.1981	0.021	1.105	0.209
33	0.0071	0.1803	0.2235	0.0255	0.87	0.236
32	0.008	0.2032	0.2489	0.0324	0.6853	0.261
31	0.0089	0.2261	0.2743	0.0401	0.5537	0.287
30	0.01	0.254	0.3048	0.0507	0.4386	0.319
29	0.0113	0.287	0.3404	0.0647	0.3435	0.356
28	0.0126	0.32	0.3759	0.0804	0.2762	0.393
27	0.0142	0.3607	0.4191	0.1022	0.2175	0.438
26	0.0159	0.4039	0.4699	0.128	0.1735	0.491
25	0.0179	0.4547	0.5232	0.162	0.1369	0.547
24	0.0201	0.5105	0.5817	0.205	0.1086	0.608
23	0.0226	0.574	0.6502	0.259	0.08586	0.679
22	0.0253	0.6426	0.7214	0.324	0.06852	0.754
21	0.0285	0.7239	0.8052	0.412	0.05399	0.841
20	0.032	0.8128	0.8966	0.519	0.04283	0.937

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

19	0.0359	0.9119	1.003	0.653	0.03403	1.048
18	0.0403	1.024	1.118	0.823	0.027	1.168
17	0.0453	1.151	1.247	1.04	0.02137	1.303
16	0.0508	1.29	1.389	1.308	0.01699	1.452
15	0.0571	1.45	1.557	1.652	0.01345	1.627
14	0.0641	1.628	1.737	2.082	0.01067	1.815
13	0.072	1.829	1.943	2.627	0.00846	2.03
12	0.0808	2.052	2.172	3.308	0.006717	2.27
11	0.0907	2.304	2.431	4.168	0.005331	2.54
10	0.1019	2.588	2.72	5.261	0.004224	2.842

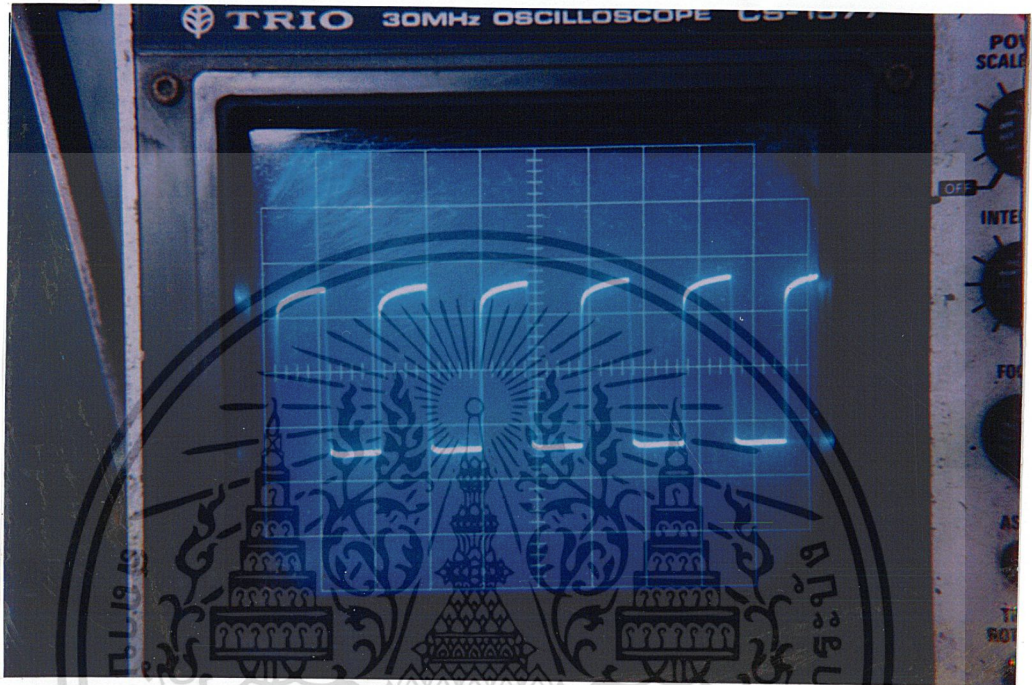


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

4.1 ภาพถ่ายสัญญาณ ณ จุดวัดต่างๆ โดยออสซิลโลสโคป

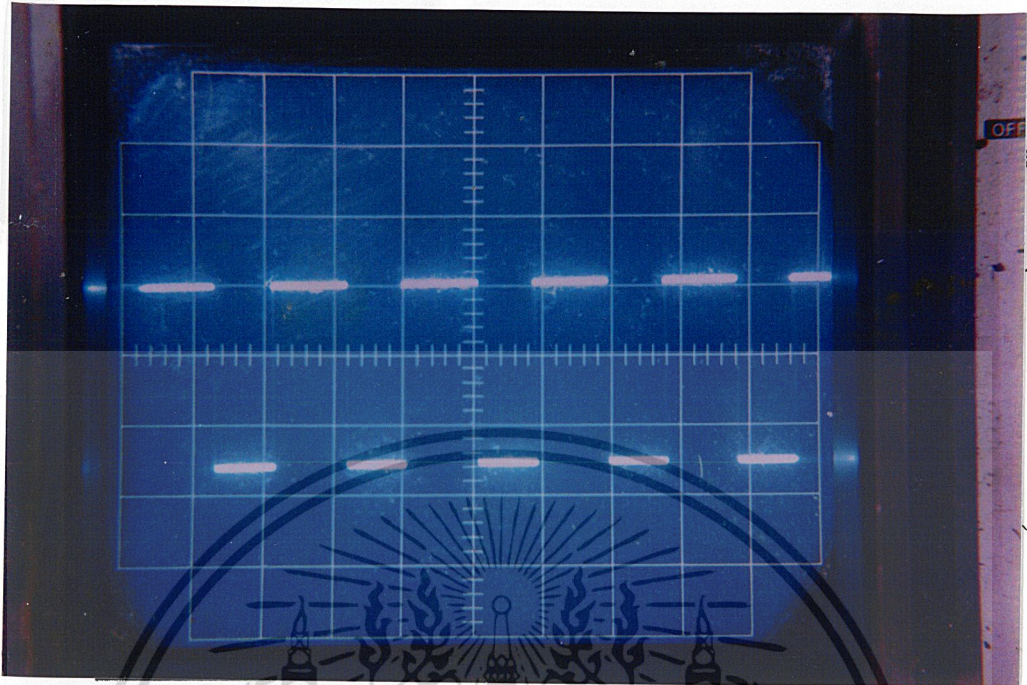


TIME/DIV : 1 μ S

VOLAS/DIV : 1 V

รูปที่ 4.1 แสดงสัญญาณที่เอาทำหุขของวงจรผลิตควมถี่สูง (500 KHz)

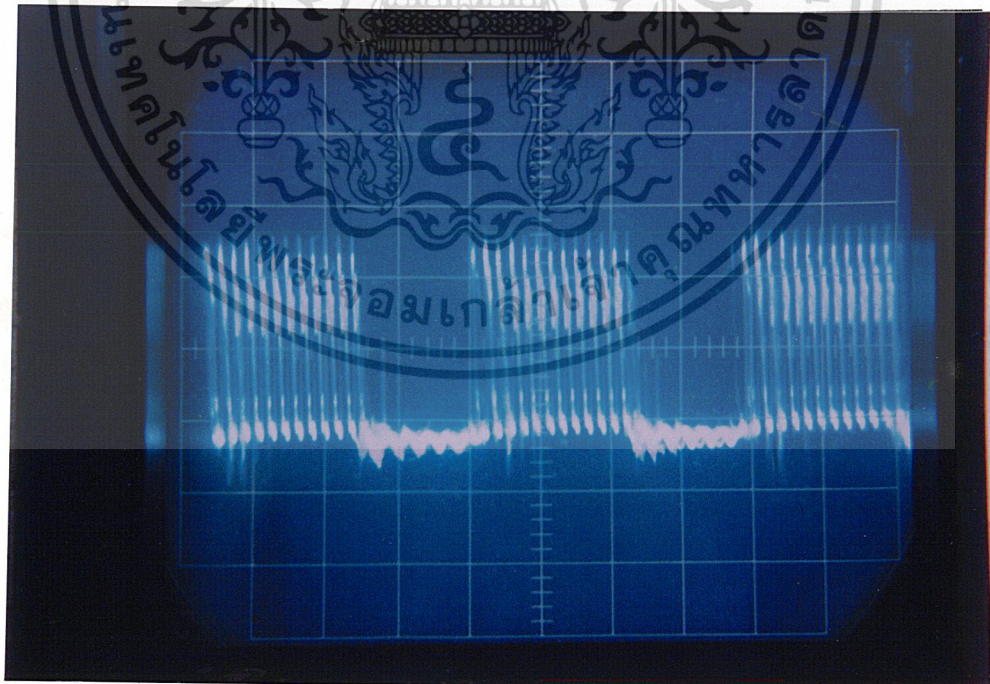
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



TIME/DIV : 20 μ S

VOLS/DIV : 1 V

รูปที่ 4.2 แสดงสัญญาณที่เอาท์พุทของวงจรผลคูณความถี่ต่ำ (20 KHz)

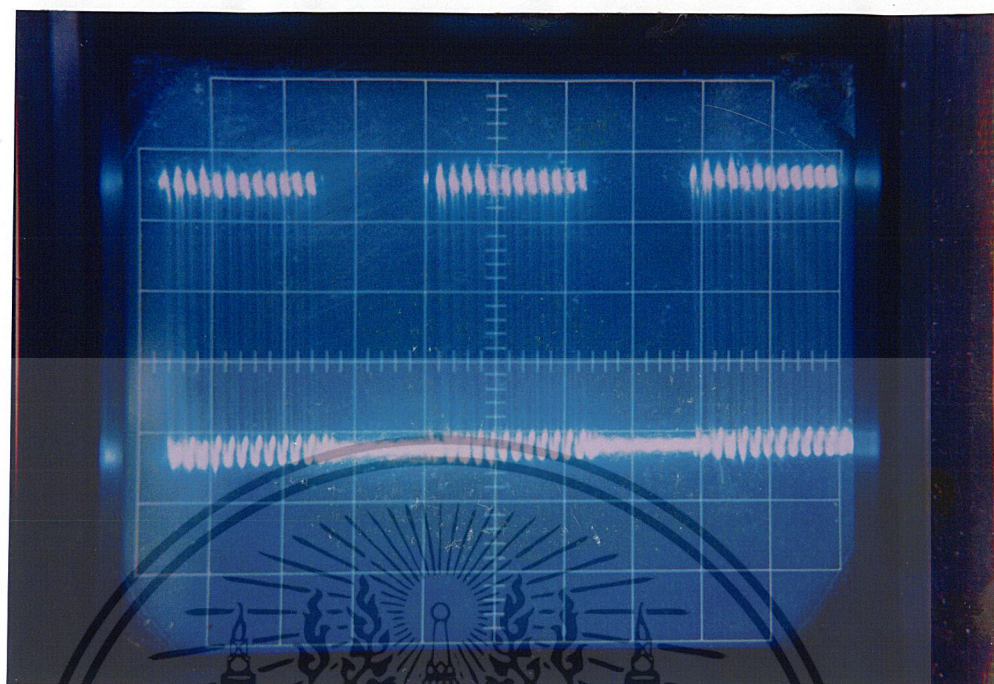


TIME/DIV : 10 μ S

VOLS/DIV : 0.5 V

รูปที่ 4.3 แสดงสัญญาณที่เอาท์พุทของวงจรมอดูเลต

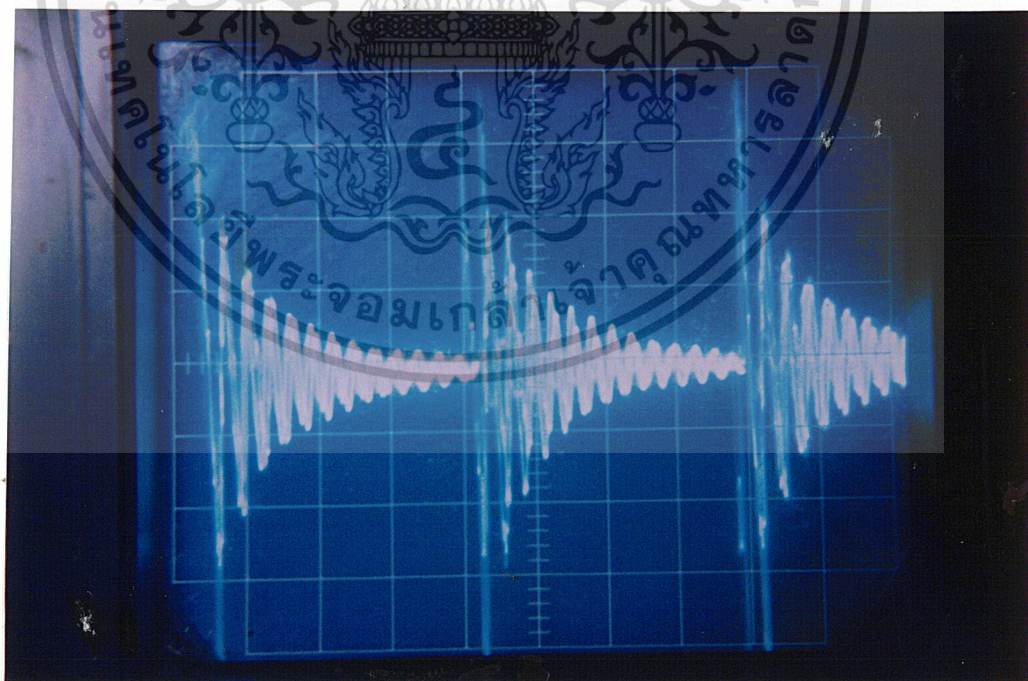
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



TIME/DIV : 10 μ S

VOLS/DIV : 2 V

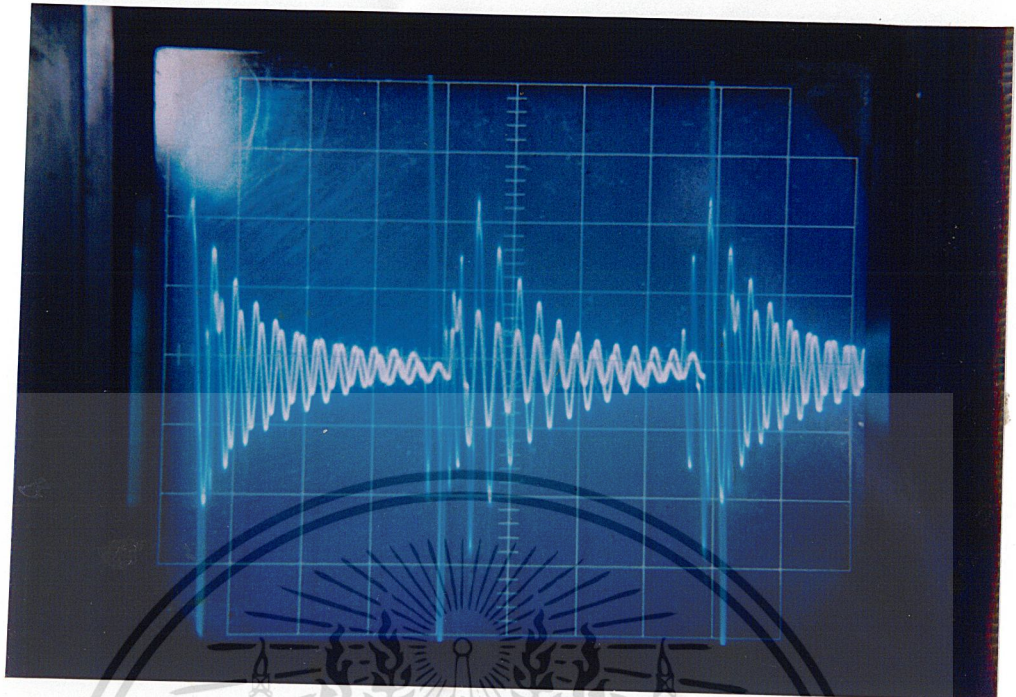
รูปที่ 4.4 แสดงสัญญาณที่ขาเกทของมอสเฟต



TIME/DIV : 10 μ S

VOLS/DIV : 20 V \times 10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 รูปที่ 4.5 แสดงสัญญาณที่เอาต์พุทของหม้อแปลงสวิตชิง
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามเผยแพร่ต่อแหล่งเนื้อหาและต้องอ้างอิงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



TIME/DIV : 10 μ S

VOLS/DIV : 20 V \times 10

รูปที่ 4.6 แสดงสัญญาณที่อาร์พูซซึ่งผ่านวงจรกรองฮาร์โมนิกส์พร้อมที่จะนำไปใช้งาน

4.1 วิธีการใช้เครื่อง

1. ตั้งเครื่องจี้ห้ามเลือดด้วยไฟฟ้าในที่สะดวกต่อการใช้งาน
2. เสียบสายพอร์เชพเข้าที่ตัวเครื่องให้เรียบร้อย
3. เสียบสาย Foot switch เข้ากับตัวเครื่องให้เรียบร้อย
4. เปิดสวิตช์ ON ที่ตัวเครื่อง
5. ปรับระดับกำลังไว้ที่จุดค่าๆก่อน
6. ทดลองจี้ในจุดที่จะทำการห้ามเลือดโดยใช้เท้าเหยียบที่ Foot switch ในขณะที่ทำการจี้ห้ามเลือด สังเกตผลของการจี้ถ้ากำลังค่าไปก็ให้ทำการปรับระดับกำลังเพิ่มขึ้นไปอีกโดยระดับกำลังแบ่งเป็นสองช่วงคือ

- 6.1) ระดับ 10 – 20 ใช้ในการจี้ห้ามเลือด (Coagulation)
- 6.2) ระดับ 20– 40 ใช้ในการผ่าตัด ที่ต้องการ การห้ามเลือดมาก (Blend 3)
- 6.3) ระดับ 40-60 ใช้ในการผ่าตัด ที่ต้องการ การห้ามห้ามเลือดปานกลาง (Blend2)
- 6.4) ระดับ 60-80 ใช้ในการผ่าตัด ที่ต้องการ การห้ามเลือดน้อย (Blend1)
- 6.5) ระดับ 80-100 ใช้ในการผ่าตัด ที่ต้องการ การห้ามเลือดน้อยมาก (Cut)

7. เมื่อทำการจี้ห้ามเลือดเสร็จหรือเลิกใช้งาน ให้ปิดสวิตช์ OFF ถอดปลั๊ก, สาย Foot switch

สายพอร์เชพเก็บไว้ให้เรียบร้อยทุกครั้ง
เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 การนำไปใช้งาน

จุดสำคัญในการนำไปใช้งานจะอยู่ที่การนำฟอ์เฟทไปสัมผัสที่แปลที่จะทำการห้ามเลือดสัมผัส การการเหยียบที่ Foot switch ซึ่งการนำไปใช้งานจริงของเครื่องจีห้ามเลือดที่สร้างขึ้นนั้นเนื่องจากว่าผู้จัดทำไม่ชำนาญหรือแพทย์ซึ่งมีความชำนาญในการสังเกตว่าขณะทำการจีไปแล้วนั้นระดับกำลังที่เหมาะสมตลอดจนระยะเวลาที่ทำการจีต้องเท่าไรจึงจะพอเหมาะที่จะไม่ทำให้เกิดการไหม้หรือฟองซึ่ง ทั้งนี้ต้องขึ้นอยู่กับดุลยพินิจของแพทย์ว่าต้องปรับระดับกำลังเท่าไรจึงจะพอเหมาะ

4.4 ข้อควรระวัง

1. ก่อนการใช้งานต้องปรับระดับกำลังไว้ที่ระดับค่าๆ
2. ขณะไม่ใช้งานเก็บเครื่องไว้ในที่ที่เหมาะสม ให้ไกลจากน้ำหรือที่อับชื้น



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

บทวิจารณ์ และ บทสรุป

จากการทดลองนำไปใช้งานของเครื่องจักรห้ำมเลือดที่สร้างขึ้น โดยผู้จัดทำได้ทดลองนำไปใช้กับ สุนัขและปลาพบว่า เมื่อทดลองจี้กับสุนัขซึ่งก่อนจี้ต้องชโลมน้ำก่อน เมื่อใช้ปลายฟอร์เซพสัมผัสกับผิวหนังของสุนัขโดยปรับระดับกำลังต่ำก่อน สังเกตเห็นว่าจะเกิดประกายไฟวิ่งจากขั้วข้างหนึ่งของฟอร์เซพ ไปยังอีกขั้วหนึ่งและส่งผลให้น้ำเมือกที่ผิวหนังที่อยู่ระหว่างขั้วของฟอร์เซพเดือดและเหือดแห้งไป และเมื่อปรับระดับกำลังเพิ่มขึ้น ไปอีกจะสังเกตเห็นได้ชัดว่าระยะเวลาที่น้ำเมือกเหือดแห้งจะสั้นลงและเกิดการไหม้ถ้าหากปรับระดับกำลังเพิ่มมากขึ้นไปอีกจะสังเกตเห็นเห็นได้ชัดว่าระยะเวลาที่น้ำเมือกเหือดแห้งจะสั้นลงและเกิดการไหม้ถ้าหากปรับระดับกำลังสูงมากๆ ใช้กับปลาพบว่าเมื่อทำการจี้ในระดับกำลังต่ำๆ ก่อนที่ผิวหนังของปลาในบริเวณที่มีเลือดมาก ผลของการขำปลายฟอร์เซพไปสัมผัสจะเกิดความร้อนขึ้นอย่างรวดเร็วโดยปกติประกายไฟนิดๆ และส่งผลให้น้ำเลือดเหือดแห้งหายไปมากที่สุด และถ้าปรับระดับกำลังเพิ่มสูงๆ โดยทดลองจี้ที่ผิวหนังของปลาพบว่าผิวหนังของปลาเกิดเป็นรอยแยกออกจากกันเป็นแนวยาวตามฟอร์เซพที่ลากไปซึ่งแสดงให้เห็นว่าถ้าปรับระดับสูงพอและเหมาะสมสมารถที่จะใช้ในการผ่าตัด ในส่วนของเนื้อเยื่อที่บอบบางได้สำหรับการนำไปใช้งานกับคนป่วยจริงๆนั้นยังไม่ได้ทดสอบ ซึ่งในส่วนผู้จัดทำคิดว่าต้องปรึกษากับแพทย์ผู้ชำนาญอีกในภายหลัง

สำหรับในส่วนผู้จัดทำคิดว่าควรปรับปรุงแก้ไขของเครื่องจักรห้ำมเลือดด้วยไฟฟ้าที่สร้างขึ้นให้ดีขึ้นไปอีกในอนาคต คือ

1. ส่วนแสดงผล ระดับกำลังยังไม่ใช่ระดับกำลังวัตต์จริงซึ่งเป็นมาตรฐานที่กำหนด โดยมาตรฐานเครื่องมือแพทย์
2. ส่วนของสัญญาณเตือนขณะทำการจี้ซึ่งควรมีเสียงที่แตกต่างกันขณะทำการจี้ในลักษณะต่างๆกัน
3. มีการควบคุมการทำงานของเครื่องอัตโนมัติโดยใช้ไมโครคอนโทรลเลอร์ในส่วนของการควบคุมกำลังที่เหมาะสมใช้งานตลอดจนส่วนของการ โปรเทค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**SN54LS11, SN54S11,
SN74LS11, SN74S11**
TRIPLE 3-INPUT POSITIVE-AND GATES
APRIL 1985—REVISED MARCH 1988

- Package Options Include Plastic "Small Outline" Packages, Ceramic Chip Carriers and Flat Packages, and Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

description

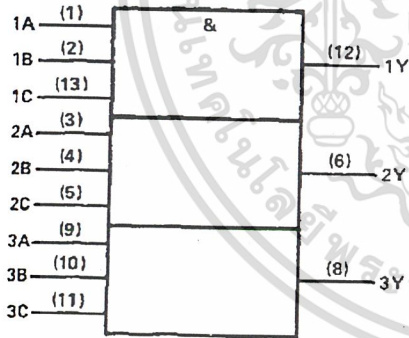
These devices contain three independent 3-input AND gates.

The SN54LS11 and SN54S11 are characterized for operation over the full military temperature range of -55 °C to 125 °C. The SN74LS11 and SN74S11 are characterized for operation from 0 °C to 70 °C.

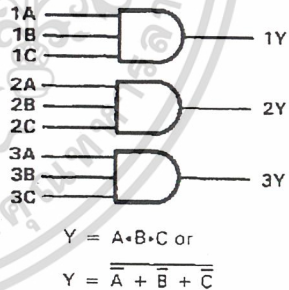
FUNCTION TABLE (each gate)

INPUTS			OUTPUT
A	B	C	Y
H	H	H	H
L	X	X	L
X	L	X	L
X	X	L	L

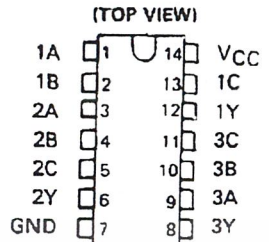
logic symbol†



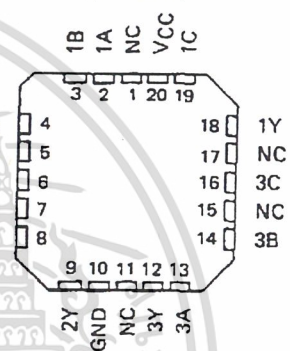
logic diagram (positive logic)



SN54LS11, SN74S11 . . . J OR W PACKAGE
SN74LS11, SN74S11 . . . D OR N PACKAGE



SN54LS11, SN54S11 . . . FK PACKAGE
(TOP VIEW)

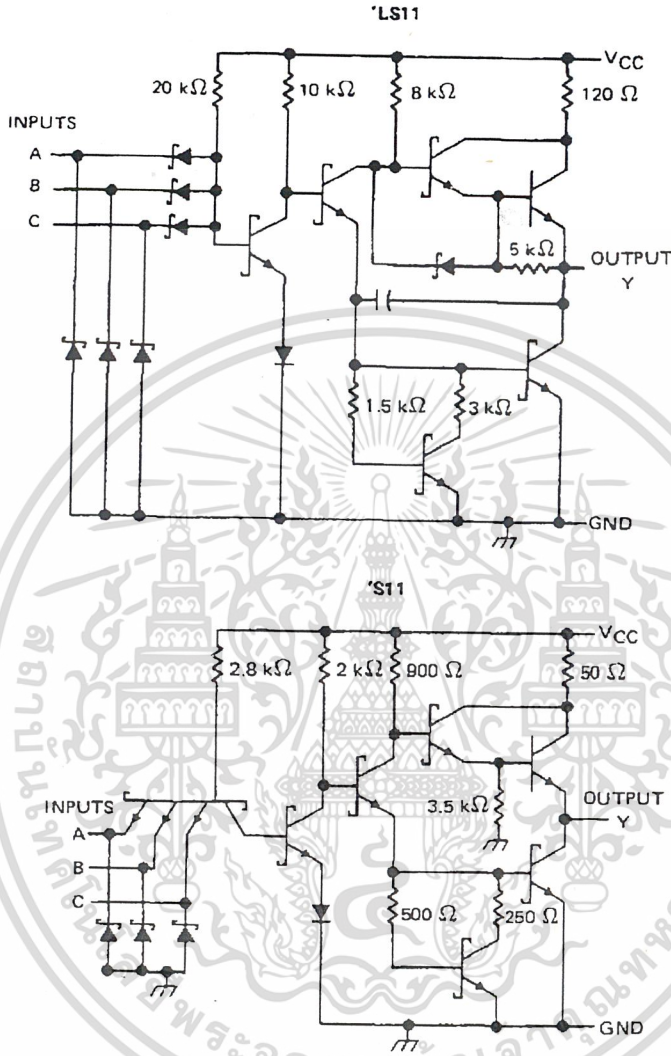


NC—No internal connection

† This symbol is in accordance with ANSI/IEEE Std. 91-1984 and IEC Publication 617-12. Pin numbers shown are for D, J, N, and W packages.

**SN54LS11, SN54S11,
SN74LS11, SN74S11
TRIPLE 3-INPUT POSITIVE-AND GATES**

schematics (each gate)



Resistor values shown are nominal.

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, VCC (see Note 1)	7 V
Input voltage: 'S11	5.5 V
'LS11	7 V
Operating free-air temperature range: SN54'	-55 °C to 125 °C
SN74'	0 °C to 70 °C
Storage temperature range	-65 °C to 150 °C

NOTE 1: Voltage values are with respect to network ground terminal.

SN54LS11, SN74LS11 TRIPLE 3-INPUT POSITIVE-AND GATES

recommended operating conditions

	SN54LS11			SN74LS11			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC} Supply voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH} High-level input voltage	2			2			V
V_{IL} Low-level input voltage			0.7			0.8	V
I_{OH} High-level output current			-0.4			-0.4	mA
I_{OL} Low-level output current			4			8	mA
T_A Operating free-air temperature	-55		125	0		70	$^{\circ}$ C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS †	SN54LS11		SN74LS11		UNIT		
		MIN	TYP ‡	MAX	MIN		TYP ‡	MAX
V_{IK}	$V_{CC} = \text{MIN}, I_I = -18 \text{ mA}$			-1.5		-1.5	V	
V_{OH}	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V}, I_{OH} = -0.4 \text{ mA}$	2.5	3.4		2.7	3.4	V	
V_{OL}	$V_{CC} = \text{MIN}, V_{IL} = \text{MAX}, I_{OL} = 4 \text{ mA}$		0.25	0.4		0.25	0.4	V
	$V_{CC} = \text{MIN}, V_{IL} = \text{MAX}, I_{OL} = 8 \text{ mA}$					0.35	0.5	
I_I	$V_{CC} = \text{MAX}, V_I = 7 \text{ V}$			0.1		0.1	mA	
I_{IH}	$V_{CC} = \text{MAX}, V_I = 2.7 \text{ V}$			20		20	μ A	
I_{IL}	$V_{CC} = \text{MAX}, V_I = 0.4 \text{ V}$			-0.4		-0.4	mA	
$I_{OS} §$	$V_{CC} = \text{MAX}$	-20		-100	-20		-100	mA
I_{CCH}	$V_{CC} = \text{MAX}, V_I = 4.5 \text{ V}$		1.8	3.6		1.8	3.6	mA
I_{CCL}	$V_{CC} = \text{MAX}, V_I = 0 \text{ V}$		3.3	6.6		3.3	6.6	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at $V_{CC} = 5 \text{ V}, T_A = 25^{\circ}\text{C}$.

§ Not more than one output should be shorted at a time, and the duration of the short-circuit should not exceed one second.

switching characteristics, $V_{CC} = 5 \text{ V}, T_A = 25^{\circ}\text{C}$ (see note 2)

PARAMETER	FRCM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	A, B or C	Y	$R_L = 2 \text{ k}\Omega, C_L = 15 \text{ pF}$		8	15	ns
t_{PHL}					10	20	ns

NOTE 2: Load circuits and voltage waveforms are shown in Section 1.

SN54S11, SN74S11
TRIPLE 3-INPUT POSITIVE-AND GATES

recommended operating conditions

	SN54S11			SN74S11			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
V _{CC} Supply voltage	4.5	5	6.5	4.75	5	5.25	V
V _{IH} High-level input voltage	2			2			V
V _{IL} Low-level input voltage			0.8			0.8	V
I _{OH} High-level output current			-1			-1	mA
I _{OL} Low-level output current			20			20	mA
T _A Operating free-air temperature	-55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS †	SN54S11			SN74S11			UNIT
		MIN	TYP ‡	MAX	MIN	TYP ‡	MAX	
V _{IK}	V _{CC} = MIN, I _I = -18 mA			-1.2			-1.2	V
V _{OH}	V _{CC} = MIN, V _{IH} = 2 V, I _{OH} = -1 mA	2.5	3.4		2.7	3.4		V
V _{OL}	V _{CC} = MIN, V _{IL} = 0.8 V, I _{OL} = 20 mA			0.5			0.5	V
I _I	V _{CC} = MAX, V _I = 5.5 V			1			1	mA
I _{IH}	V _{CC} = MAX, V _I = 2.7 V			50			50	μA
I _{IL}	V _{CC} = MAX, V _I = 0.5 V			-2			-2	mA
I _{OS} §	V _{CC} = MAX	-40		-100	-40		-100	mA
I _{CCH}	V _{CC} = MAX, V _I = 4.5 V		13.5	24		13.5	24	mA
I _{CCL}	V _{CC} = MAX, V _I = 0 V		24	42		24	42	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
 ‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
 § Not more than one output should be shorted at a time, and the duration of the short-circuit should not exceed one second.

switching characteristics, V_{CC} = 5 V, T_A = 25°C (see note 2)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t _{PLH}	A, B or C	Y	R _L = 280 Ω, C _L = 15 pF		4.5	7	ns
t _{PHL}					5	7.5	ns
t _{PLH}			R _L = 280 Ω, C _L = 50 pF		6		ns
t _{PHL}					7.5		ns

NOTE 2: Load circuits and voltage waveforms are shown in Section 1.

IMPORTANT NOTICE

Texas Instruments (TI) reserves the right to make changes to its products or to discontinue any semiconductor product or service without notice, and advises its customers to obtain the latest version of relevant information to verify, before placing orders, that the information being relied on is current.

TI warrants performance of its semiconductor products and related software to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are utilized to the extent TI deems necessary to support this warranty. Specific testing of all parameters of each device is not necessarily performed, except those mandated by government requirements.

Certain applications using semiconductor products may involve potential risks of death, personal injury, or severe property or environmental damage ("Critical Applications").

TI SEMICONDUCTOR PRODUCTS ARE NOT DESIGNED, INTENDED, AUTHORIZED, OR WARRANTED TO BE SUITABLE FOR USE IN LIFE-SUPPORT APPLICATIONS, DEVICES OR SYSTEMS OR OTHER CRITICAL APPLICATIONS.

Inclusion of TI products in such applications is understood to be fully at the risk of the customer. Use of TI products in such applications requires the written approval of an appropriate TI officer. Questions concerning potential risk applications should be directed to TI through a local SC sales office.

In order to minimize risks associated with the customer's applications, adequate design and operating safeguards should be provided by the customer to minimize inherent or procedural hazards.

TI assumes no liability for applications assistance, customer product design, software performance, or infringement of patents or services described herein. Nor does TI warrant or represent that any license, either express or implied, is granted under any patent right, copyright, mask work right, or other intellectual property right of TI covering or relating to any combination, machine, or process in which such semiconductor products or services might be or are used.

Copyright © 1996, Texas Instruments Incorporated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IMPORTANT NOTICE

Texas Instruments (TI) reserves the right to make changes to its products or to discontinue any semiconductor product or service without notice, and advises its customers to obtain the latest version of relevant information to verify, before placing orders, that the information being relied on is current.

TI warrants performance of its semiconductor products and related software to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are utilized to the extent TI deems necessary to support this warranty. Specific testing of all parameters of each device is not necessarily performed, except those mandated by government requirements.

Certain applications using semiconductor products may involve potential risks of death, personal injury, or severe property or environmental damage ("Critical Applications").

TI SEMICONDUCTOR PRODUCTS ARE NOT DESIGNED, INTENDED, AUTHORIZED, OR WARRANTED TO BE SUITABLE FOR USE IN LIFE-SUPPORT APPLICATIONS, DEVICES OR SYSTEMS OR OTHER CRITICAL APPLICATIONS.

Inclusion of TI products in such applications is understood to be fully at the risk of the customer. Use of TI products in such applications requires the written approval of an appropriate TI officer. Questions concerning potential risk applications should be directed to TI through a local SC sales office.

In order to minimize risks associated with the customer's applications, adequate design and operating safeguards should be provided by the customer to minimize inherent or procedural hazards.

TI assumes no liability for applications assistance, customer product design, software performance, or infringement of patents or services described herein. Nor does TI warrant or represent that any license, either express or implied, is granted under any patent right, copyright, mask work right, or other intellectual property right of TI covering or relating to any combination, machine, or process in which such semiconductor products or services might be or are used.

Copyright © 1996, Texas Instruments Incorporated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

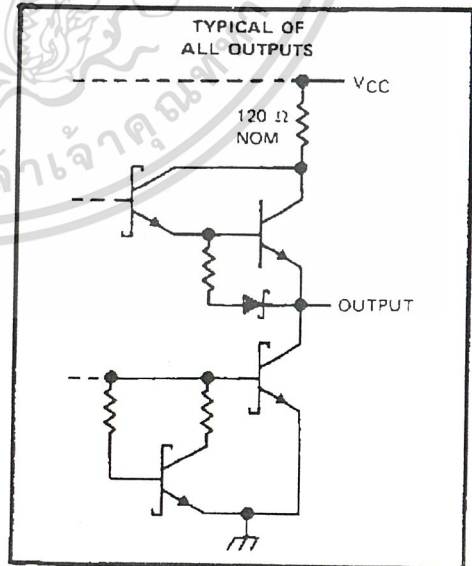
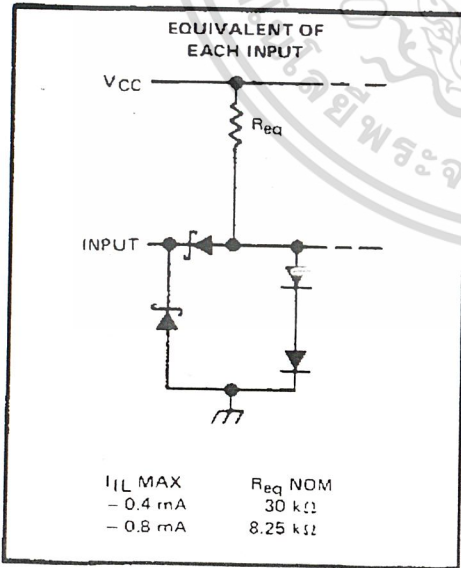
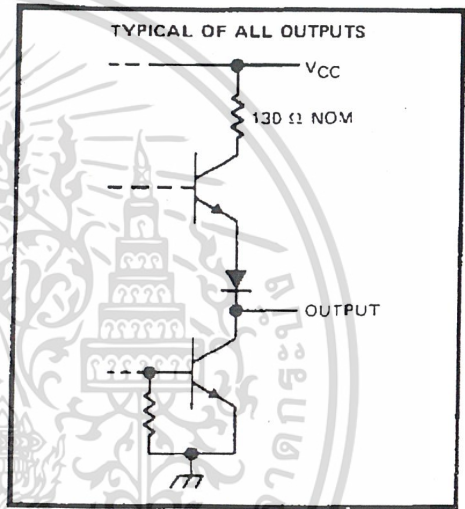
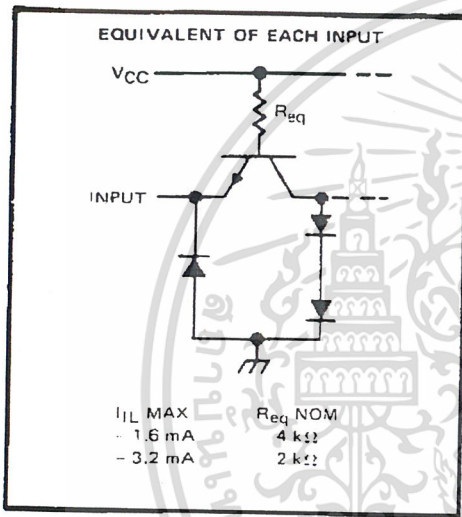
SN5473, SN54LS73A, SN7473, SN74LS73A DUAL J-K FLIP-FLOPS WITH CLEAR

logic symbols†



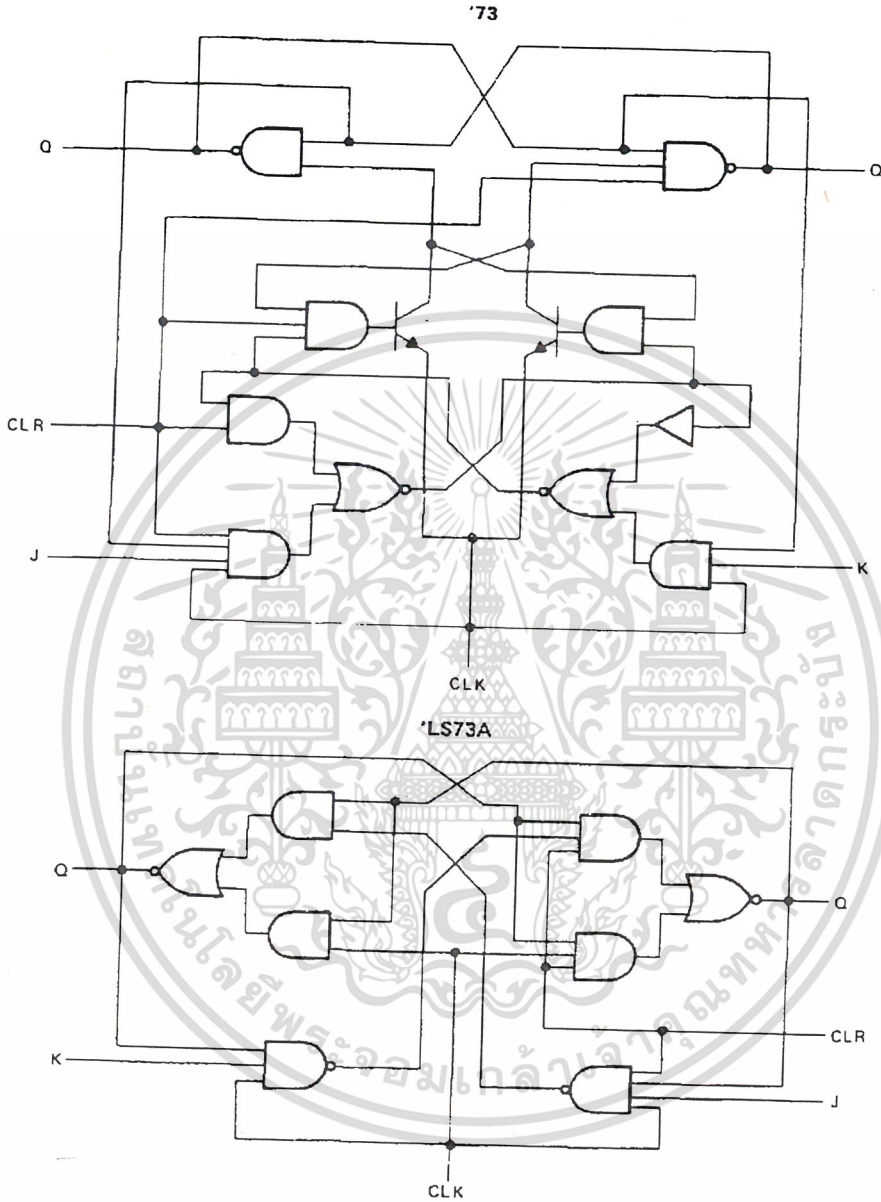
† These symbols are in accordance with ANSI/IEEE Std. 91-1984 and IEC Publication 617-12.

schematics of inputs and outputs



**SN5473, SN54LS73A, SN7473, SN74LS73A
DUAL J-K FLIP-FLOPS WITH CLEAR**

logic diagrams (positive logic)



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (See Note 1)	7 V
Input voltage: '73	5.5 V
'LS73A	7 V
Operating free-air temperature range: SN54'	-55°C to 125°C
SN74'	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

SN5473, SN7473 DUAL J-K FLIP-FLOPS WITH CLEAR

recommended operating conditions

		SN5473			SN7473			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V _{CC}	Supply voltage	4.5	5	6.5	4.75	5	5.25	V
V _{IH}	High-level input voltage	2			2			V
V _{IL}	Low-level input voltage							V
I _{OH}	High-level output current				0.8			V
I _{OL}	Low-level output current				-0.4			mA
t _w	Pulse duration	CLK high	20		20		ns	
		CLK low	47		47			
		CLR low	25		25			
t _{su}	Input setup time before CLK ↑	0			0			ns
t _h	Input hold time data after CLK ↓	0			0			ns
T _A	Operating free-air temperature	-55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	SN5473			SN7473			UNIT
		MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V _{IK}	V _{CC} = MIN, I _I = -12 mA	-1.5			-1.5			V
V _{OH}	V _{CC} = MIN, I _{OH} = -0.4 mA, V _{IH} = 2 V, V _{IL} = 0.8 V	2.4	3.4		2.4	3.4		V
V _{OL}	V _{CC} = MIN, I _{OL} = 16 mA, V _{IH} = 2 V, V _{IL} = 0.8 V	0.2	0.4		0.2	0.4		V
I _I	V _{CC} = MAX, V _I = 5.5 V	1			1			mA
I _{IH}	J or K	40			40			μA
	CLR or CLK	80			80			
I _{IL}	J or K	-1.6			-1.6			mA
	CLR	-3.2			-3.2			
	CLK	-3.2			-3.2			
I _{OS} §	V _{CC} = MAX	-20			-18			mA
I _{CC} ¶	V _{CC} = MAX, See Note 2	-57			-57			mA
		10	20		10	20		

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.

§ Not more than one output should be shorted at a time.

¶ Average per flip-flop.

NOTE 2: With all outputs open, I_{CC} is measured with the Q and \bar{Q} outputs high in turn. At the time of measurement, the clock input is grounded.

switching characteristics, V_{CC} = 5 V, T_A = 25°C (see note 3)

PARAMETER#	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f _{max}			R _L = 400 Ω, C _L = 15 pF	15	20		MHz
t _{PLH}	CLR	\bar{Q}		16	25		ns
t _{PHL}		Q		25	40		ns
t _{PLH}	CLK	Q or \bar{Q}		16	25		ns
t _{PHL}				25	40		ns

#f_{max} = maximum clock frequency; t_{PLH} = propagation delay time, low-to-high-level output; t_{PHL} = propagation delay time, high-to-low-level output.

NOTE 3: Load circuits and voltage waveforms are shown in Section 1.

SN54LS73A, SN74LS73A DUAL J-K FLIP-FLOPS WITH CLEAR

recommended operating conditions

		SN54LS73A			SN74LS73A			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V _{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
V _{IH}	High-level input voltage	2			2			V
V _{IL}	Low-level input voltage							V
I _{OH}	High-level output current	0.7			0.8			V
I _{OL}	Low-level output current	-0.4			-0.4			mA
f _{clock}	Clock frequency	4			8			mA
t _w	Pulse duration	CLK high	0		30		MHz	
		CLR low	20		20			
t _{su}	Set up time-before CLK↓	data high or low	25		20		ns	
		CLR inactive	20		20			
t _h	Hold time-data after CLK↓	20		20		ns		
T _A	Operating free-air temperature	0		0		ns		
		-55		125		70	°C	

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	SN54LS73A		SN74LS73A		UNIT
		MIN	TYP‡	MAX	MIN	
V _{IK}	V _{CC} = MIN, I _I = -18 mA	-1.5		-1.5		V
V _{OH}	V _{CC} = MIN, V _{IH} = 2 V, V _{IL} = MAX, I _{OH} = -0.4 mA	2.5	3.4	2.7	3.4	V
V _{OL}	V _{CC} = MIN, V _{IL} = MAX, V _{IH} = 2 V, I _{OL} = 4 mA	0.25 0.4		0.25 0.4		V
	V _{CC} = MIN, V _{IL} = MAX, V _{IH} = 2 V, I _{OL} = 8 mA			0.35 0.5		
I _I	J or K	0.1		0.1		mA
	CLR	0.3		0.3		
I _{IH}	J or K	0.4		0.4		μA
	CLR	20		20		
I _{IL}	CLK	60		60		μA
	J or K	80		80		
I _{OS} §	CLR or CLK	-0.4		-0.4		mA
	V _{CC} = MAX, See Note 4	-0.8		-0.8		
I _{CC} (Total)	V _{CC} = MAX, See Note 2	-20	-100	-20	-100	mA
		4 6		4 6		mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.

§ Not more than one output should be shorted at a time, and the duration of the short circuit should not exceed one second.

NOTE 2: With all outputs open, I_{CC} is measured with the Q and Q outputs high in turn. At the time of measurement, the clock input is grounded.

NOTE 4: For certain devices where state commutation can be caused by shorting an output to ground, an equivalent test may be performed with V_O = 2.25 V and 2.125 V for the 54 family and the 74 family, respectively, with the minimum and maximum limits reduced to one half of their stated values.

switching characteristics, V_{CC} = 5 V, T_A = 25°C (see note 3)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS		MIN	TYP	MAX	UNIT
f _{max}			R _L = 2 kΩ, C _L = 15 pF		30	45		MHz
t _{PLH}	CLR or CLK	Q or Q̄			15	20		ns
t _{PHL}					15	20		ns

NOTE 3: Load circuits and voltage waveforms are shown in Section 1.


**TEXAS
INSTRUMENTS**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ POST OFFICE BOX 655012 • DALLAS, TEXAS 75285 ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applying Modern Clock Drivers to MOS Memories

National Semiconductor
Application Note 76
B. Siegel
M. Scott
July 1986



Applying Modern Clock Drivers to MOS Memories

INTRODUCTION

MOS memories present unique system and circuit challenges to the engineer since they require precise timing of input waveforms. Since these inputs present large capacitive loads to drive circuits, it is often that timing problems are not discovered until an entire system is constructed. This paper covers the practical aspects of using modern clock drivers in MOS memory systems. Information includes selection of packages and heat sinks, power dissipation, rise and fall time considerations, power supply decoupling, system clock line ringing and crosstalk, input coupling techniques, and example calculations. Applications covered include driving various types shift registers and RAMs (Random Access Memories) using logical control as well as other techniques to assure correct non-overlap of timing waveforms.

Although the information given is generally applicable to any type of driver, monolithic integrated circuit drivers, the DS0025, DS0026 and DS0056 are selected as examples because of their low cost.

The DS0025 was the first monolithic clock driver. It is intended for applications up to one megacycle where low cost is of prime concern. Table I illustrates its performance while Appendix I describes its circuit operation. Its monolithic, rather than hybrid or module construction, was made possible by a new high voltage gold doped process utilizing a collector sinker to minimize $V_{CE SAT}$.

The DS0026 is a high speed, low cost, monolithic clock driver intended for applications above one megacycle. Table II illustrates its performance characteristics while its unique circuit design is presented in Appendix II. The DS0056 is a variation of the DS0026 circuit which allows the system designer to modify the output performance of the circuit. The DS0056 can be connected (using a second power supply) to increase the positive output voltage level and reduce the effect of cross coupling capacitance between the clock lines in the system. Of course the above are just examples of the many different types that are commercially available. Other National Semiconductor MOS interface circuits are listed in Appendix III.

The following section will hopefully allow the design engineer to select and apply the best circuit to his particular application while avoiding common system problems.

PRACTICAL ASPECTS OF USING MOS CLOCK DRIVERS

Package and Heat Sink Selection

Package type should be selected on power handling capability, standard size, ease of handling, availability of sockets, ease or type of heat sinking required, reliability and cost. Power handling capability for various packages is illustrated in Table III. The following guidelines are recommended:

TABLE I. DS0025 Characteristics

Parameter	Conditions ($V^+ - V^- = 17V$)	Value	Units
t_{ON}		15	ns
t_{OFF}	$C_{IN} = 0.0022 \mu F, R_{IN} = 0\Omega$	30	ns
t_r	$C_L = 0.0001 \mu F, R_O = 50\Omega$	25	ns
t_f		150	ns
Positive Output Voltage Swing	$V_{IN} - V^- = 0V, I_{OUT} = -1 mA$	$V^+ - 0.7$	V
Negative Output Voltage Swing	$I_{IN} = 10 mA, I_{OUT} = 1 mA$	$V^- + 1.0$	V
On Supply Current (V^+)	$I_{IN} = 10 mA$	17	mA

TABLE II. DS0026 Characteristics

Parameter	Conditions ($V^+ - V^- = 17V$)	Value	Units
t_{ON}		7.5	ns
t_{OFF}	$C_{IN} = 0.001 \mu F, R_{IN} = 0\Omega$	7.5	ns
t_r	$R_O = 50\Omega, C_L = 1000 pF$	25	ns
t_f		25	ns
Positive Output Voltage Swing	$V_{IN} - V^- = 0V, I_{OUT} = -1 mA$	$V^+ - 0.7$	V
Negative Output Voltage Swing	$I_{IN} = 10 mA, I_{OUT} = 1 mA$	$V^- + 0.5$	V
On Supply Current (V^+)	$I_{IN} = 10 mA$	28	mA

TRI-STATE® is a registered trademark of National Semiconductor Corp.

©1995 National Semiconductor Corporation TL/F/7322

RRD-B50M105/Printed in U. S. A.

AN-76

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The TO-5 ("H") package is rated at 750 mW still air (derate at 200°C/W above 25°C) soldered to PC board. This popular cavity package is recommended for small systems. Low cost (about 10 cents) clip-on heat sink increases driving capability by 50%.

The 8-pin ("N") molded mini-DIP is rated at 600 mW still air (derate at 90°C/W above 25°C soldered to PC board (derate at 1.39W). Constructed with a special copper lead frame, this package is recommended for medium size commercial systems particularly where automatic insertion is used. (Please note for prototype work, that this package is only rated at 600 mW when mounted in a socket and not one watt until it is soldered down.)

The TO-8 ("G") package is rated at 1.5W still air (derate at 100°C/W above 25°C) and 2.3W with clip-on heat sink (Wakefield type 215-1.9 or equivalent—derate at 15 mW/°C). Selected for its power handling capability and moderate cost, this hermetic package will drive very large systems at the lowest cost per bit.

Power Dissipation Considerations

The amount of registers that can be driven by a given clock driver is usually limited first by internal power dissipation. There are four factors:

1. Package and heat sink selection
2. Average dc power, P_{DC}
3. Average ac power, P_{AC}
4. Numbers of drivers per package, n

From the package heat sink, and maximum ambient temperature one can determine P_{MAX} , which is the maximum internal power a device can handle and still operate reliably. The total average power dissipated in a driver is the sum of dc power and ac power in each driver times the number of drivers. The total of which must be less than the package power rating.

$$P_{DISS} = n \times (P_{AC} + P_{DC}) \leq P_{MAX} \quad (1)$$

Average dc power has three components: input power, power in the "OFF" state (MOS logic "0") and power in the "ON" state (MOS logic "1").

$$P_{DC} = P_{IN} + P_{OFF} + P_{ON} \quad (2)$$

For most types of clock drivers, the first two terms are negligible (less than 10 mW) and may be ignored.

Thus:

$$P_{DC} \approx P_{ON} = \frac{(V^+ - V^-)^2}{R_{eq}} \times (DC)$$

where:

$V^+ - V^-$ = Total voltage across the driver

R_{eq} = Equivalent device resistance in the "ON" state

$$= V^+ - V^- / I_{S(ON)} \quad (3)$$

DC = Duty Cycle

$$= \frac{\text{"ON" Time}}{\text{"ON" Time} + \text{"OFF" Time}}$$

For the DS0025, R_{eq} is typically 1 k Ω while R_{eq} is typically 600 Ω for the DS0026. Graphical solutions for P_{DC} appear in Figure 1. For example if $V^+ = +5V$, $V^- = -12V$, $R_{eq} = 500\Omega$, and DC = 25%, then $P_{DC} = 145$ mW. However, if the duty cycle was only 5%, $P_{DC} = 29$ mW. Thus to maximize the number of registers that can be driven by a given

clock driver as well as minimizing average system power, the minimum allowable clock pulse width should be used for the particular type of MOS register.

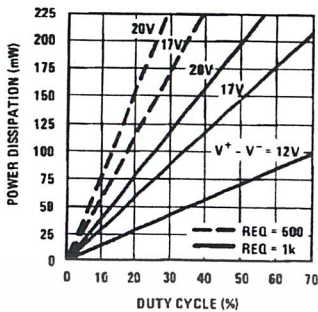


FIGURE 1. P_{DC} vs Duty Cycle

TL/F/7322-1

In addition to P_{DC} , the power driving a capacitive load is given approximately by:

$$P_{AC} = (V^+ - V^-)^2 \times f \times C_L \quad (4)$$

where:

f = Operating frequency

C_L = Load capacitance

Graphical solutions for P_{AC} are illustrated in Figure 2. Thus, any type of clock driver will dissipate internally 290 mW per MHz per thousand pF of load. At 5 MHz, this would be 1.5W for a 1000 pF load. For long shift register applications, the driver with the highest package power rating will drive the largest number of bits.

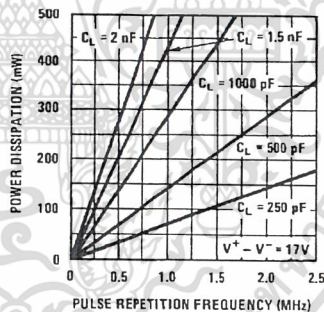


FIGURE 2. P_{AC} vs PRF

TL/F/7322-2

Combining equations (1), (2), (3) and (4) yields a criterion for the maximum load capacitance which can be driven by a given driver:

$$C_L \leq \frac{1}{f} \left[\frac{P_{MAX}}{n(V^+ - V^-)^2} - \frac{(DC)}{R_{eq}} \right] \quad (5)$$

As an example, the DS0025CN can dissipate 890 mW at $T_A = 70^\circ C$ when soldered to a printed circuit board. R_{eq} is approximately equal to 1k. For $V^+ = 5V$, $V^- = -12V$, $f = 1$ MHz, and dc = 20%, C_L is:

$$C_L \leq \frac{1}{10^6} \left[\frac{(890 \times 10^{-3})}{(2)(17)^2} - \frac{0.2}{1 \times 10^3} \right]$$

$$C_L \leq 1340 \text{ pF (each driver)}$$

A typical application might involve driving an MM5013 triple 64-bit shift register with the DS0025. Using the conditions above and the clock line capacitance of the MM5013 of 60 pF, a single DS0025 can drive 1340 pF/60 pF, or approximately 20 MM5013's.

In summary, the maximum capacitive load that any clock driver can drive is determined by package type and rating, heat sink technique, maximum system ambient temperature, ac power (which depends on frequency, voltage across the device, and capacitive load) and dc power (which is principally determined by duty cycle).

Rise and Fall Time Considerations

In general rise and fall times are determined by (a) clock driver design, (b) reflected effects of heavy external load, and (c) peak transient current available. Details of these are included in Appendixes I and II. Figures A1-3, A1-4, A11-2 and A111-3 illustrate performance under various operating conditions. Under light loads, performance is determined by internal design of the driver; for moderate loads, by load C_L being reflected (usually as C_L/β) into the driver; and for large loads by peak output current where:

$$\frac{\Delta V}{\Delta T} = \frac{I_{OUT PEAK}}{C_L}$$

Logic rise and fall times must be known in order to assure non-overlap of system timing.

Note the definition of rise and fall times in this application note follow the convention that rise time is the transition from logic "0" to logic "1" levels and vice versa for fall times. Since MOS logic is inverted from normal TTL, "rise time" as used in this note is "voltage fall" and "fall time" is "voltage rise".

Power Supply Decoupling

Although power supply decoupling is a wide spread and accepted practice, the question often rises as to how much and how often. Our own experience indicates that each clock driver should have at least 0.1 μ F decoupling to ground at the V^+ and V^- supply leads. Capacitors should be located as close as is physically possible to each driver. Capacitors should be non-inductive ceramic discs. This decoupling is necessary because currents in the order of 0.5 to 1.5 amperes flow during logic transitions.

There is a high current transient (as high as 1.5A) during the output transition from high to low through the V^- lead. If the external interconnecting wire from the driving circuit to the V^- lead is electrically long or has significant dc resistance, the current transient will appear as negative feedback and subtract from the switching response. To minimize this effect, short interconnecting wires are necessary and high frequency power supply decoupling capacitors are required if V^- is different from the ground of the driving circuit.

Clock Line Overshoot and Cross Talk

Overshoot: The output waveform of a clock driver can, and often does, overshoot. It is particularly evident on faster drivers. The overshoot is due to the finite inductance of the clock lines. Since most MOS registers require that clock signals not exceed V_{SS} , some method must be found in large systems to eliminate overshoot. A straightforward approach is shown in Figure 3. In this instance, a small damping resistor is inserted between the output of the clock driver and the load. The critical value for R_S is given by:

$$R_S = 2 \sqrt{\frac{L_S}{C_L}} \quad (6)$$

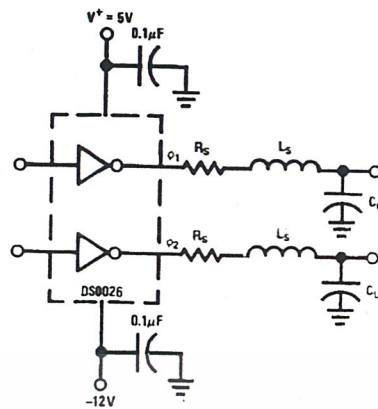


FIGURE 3. Use of Damping Resistor to Eliminate Clock Overshoot

In practice, analytical determination of the value for R_S is rather difficult. However, R_S is readily determined empirically, and typical values range in value between 10 and 50 Ω . Use of the damping resistor has the added benefit of essentially unloading the clock driver, hence a greater number of loads may often be driven by a given driver. In the limit, however, the maximum value that may be used for R_S will be determined by the maximum allowable rise and fall time needed to assure proper operation of the MOS register. In short:

$$t_r(MAX) = t_f(MAX) \leq 2.2 R_S C_L \quad (7)$$

One last word of caution with regard to use of a damping resistor should be mentioned. The power dissipated in R_S can approach $(V^+ - V^-)^2 t C_L$ and accordingly the resistor wattage rating may be in excess of 1W. There are, obviously, applications where degradation of t_r and t_f by use of damping resistors cannot be tolerated. Figure 4 shows a practical circuit which will limit overshoot to a diode drop. The clamp network should physically be located in the center of the distributed load in order to minimize inductance between the clamp and registers.

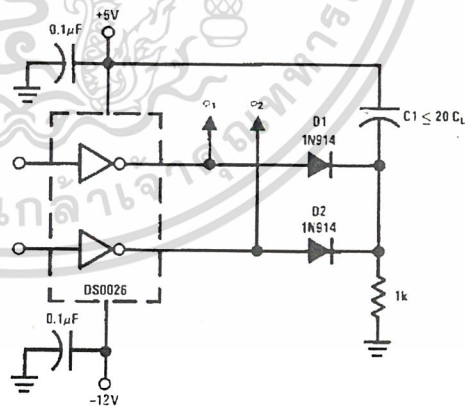


FIGURE 4. Use of High Speed Clamp to Limit Clock Overshoot

Cross Talk: Voltage spikes from ϕ_1 may be transmitted to ϕ_2 (and vice versa) during the transition of ϕ_1 to MOS logic "1". The spike is due to mutual capacitance between clock lines and is, in general, aggravated by long clock lines when numerous registers are being driven. Figure 5 illustrates the problem.

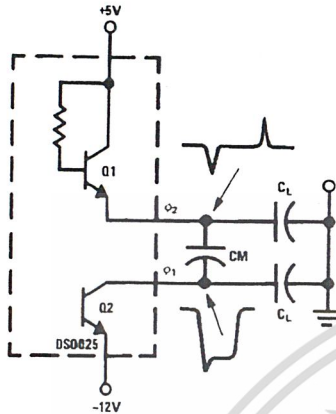


FIGURE 5. Clock Line Cross Talk

The negative going transition of ϕ_1 (to MOS logic "1") is capacitively coupled via C_M to ϕ_2 . Obviously, the larger C_M is, the larger the spike. Prior to ϕ_1 's transition, Q1 is "OFF" since only μA are drawn from the device.

The DS0056 connected as shown in Figure 6 will minimize the effect of cross talk. The external resistors to the higher power supply pull base of a Q1 up to a higher level and forward bias the collector base junction of Q1. In this bias condition the output impedance of the DS0056 is very low and will reduce the amplitude of the spikes.

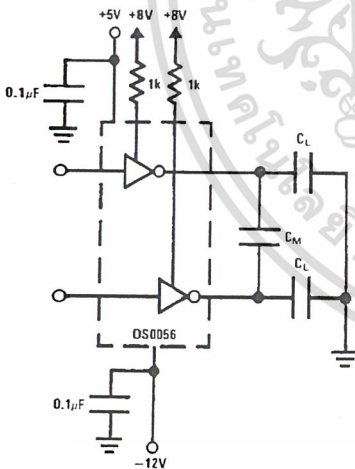


FIGURE 6. Use of DS0056 to Minimize Clock Line Cross Talk

Input Capacitive Coupling

Generally, MOS shift registers are powered from +5V and -12V supplies. A level shift from the TTL levels (+5V) to MOS levels (-12V) is therefore required. The level shift could be made utilizing a PNP transistor or zener diode. The disadvantage to dc level shifting is the increased power dissipation and propagation delay in the level shifting device. Both the DS0025, DS0026 and DS0056 utilize input capacitors when level shifting from TTL to negative MOS capacitors. Not only do the capacitors perform the level shift function without inherent delay and power dissipation, but as will be shown later, the capacitors also enhance the performance of these circuits.

CONCLUSION

The practical aspects of driving MOS memories with low cost clock drivers has been discussed in detail. When the design guide lines set forth in this paper are followed and reasonable care is taken in circuit layout, the DS0025, DS0026 and DS0056 provide superior performance for most MOS input interface applications.

REFERENCES

1. Bert Mitchell, "New MOS Clock Driver for MOS Shift Registers," National Semiconductor, AN-18, March 1969.
2. John Vennard, "MOS Clock Drivers," National Semiconductor, MB-9, December 1969.
3. Dale Mrazek, "MOS Delay Lines," National Semiconductor, AN-25, April 1969.
4. Dale Mrazek, "MOS Clock Savers," National Semiconductor, MB-5.
5. Dale Mrazek, "Silicon Disc's Challenge Magnetic Disc Memories," EDN/EEE Magazine, Sept. 1971.
6. Richard Percival, "Dynamic MOS Shift Registers Can Also Simulate Stack and Silo Memories," Electronics Magazine, November 8, 1971.
7. Bapat and Mrazek, "Dynamic MOS Random Access Memory System Considerations," National Semiconductor, AN-50, August 1971.
8. Don Fleming, "Using the MM5704 Keyboard Interface in Keyboard Systems," National Semiconductor, AN-52.

APPENDIX I

DS0025 Circuit Operation

The schematic diagram of the DS0025 is shown in Figure 7. With the TTL driver in the logic "0" state Q1 is "OFF" and Q2 is "ON" and the output is at approximately one V_{BE} below the V^+ supply.

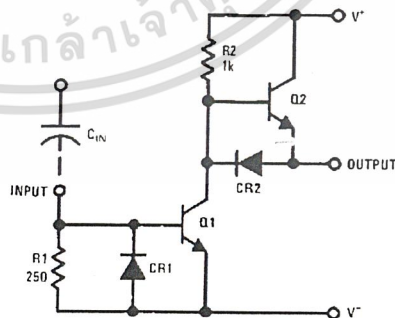


FIGURE 7. DS0025 Schematic (One-Half Circuit)

When the output of the TTL driver goes high, current is supplied to the base of Q1, through C_{IN}, turning it "ON." As the collector of Q1 goes negative, Q2 turns "OFF." Diode CR2 assures turn-on of Q1 prior to Q2's turn-off minimizing current spiking on the V⁺ line, as well as providing a low impedance path around Q2's base emitter junction.

The negative voltage transition (to MOS logic "1") will be quite linear since the capacitive load will force Q1 into its linear region until the load is discharged and Q1 saturates. Turn-off begins when the input current decays to zero or the output of the TTL driver goes low. Q1 turns "OFF" and Q2 turns "ON" charging the load to within a V_{BE} of the V⁺ supply.

Rise Time Considerations

The logic rise time (voltage fall) of the DS0025 is primarily a function of the ac load, C_L, the available input current and total voltage swing. As shown in Figure 8, the input current

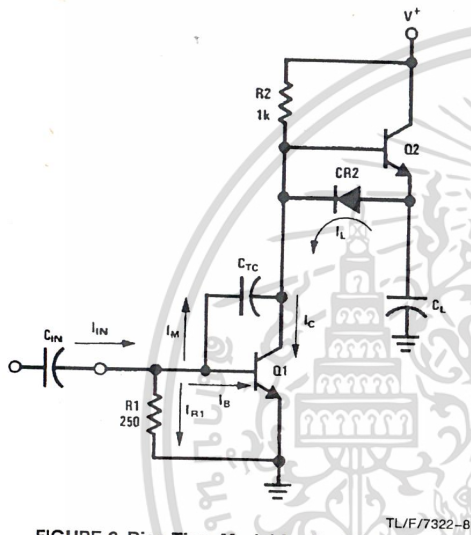


FIGURE 8. Rise Time Model for the DS0025

must charge the Miller capacitance of Q1, C_{TC}, as well as supply sufficient base drive to Q1 to discharge C_L rapidly. By inspection:

$$I_{IN} = I_M + I_B + I_{R1} \quad (A1-1)$$

$$I_{IN} \approx I_M + I_B, \text{ for } I_M \gg I_{R1} \text{ and } I_B \gg I_{R1}$$

$$I_B = I_{IN} - C_{TC} \frac{\Delta V}{\Delta t} \quad (A1-2)$$

If the current through R2 is ignored,

$$I_C = I_B h_{FEQ1} = I_L + I_M \quad (A1-3)$$

where:

$$I_L = C_L \frac{\Delta V}{\Delta t}$$

Combining equations A1-1, A1-2, and A1-3 yields:

$$\frac{\Delta V}{\Delta t} [C_L + C_{TC} (h_{FEQ1} + 1)] = h_{FEQ1} I_{IN} \quad (A1-4)$$

or

$$t_r \approx \frac{[C_L + (h_{FEQ1} + 1)C_{TC}] \Delta V}{h_{FEQ1} I_{IN}} \quad (A1-5)$$

Equation (A1-5) may be used to predict t_r as a function of C_L and ΔV. Values for C_{TC} and h_{FE} are 10 pF and 25 pF respectively. For example, if a DM7440 with peak output current of 50 mA were used to drive a DS0025 loaded with 1000 pF, rise times of:

$$\frac{(1000 \text{ pF} + 250 \text{ pF}) (17V)}{(50 \text{ mA}) (20)}$$

or 21 ns may be expected for V⁺ = 5.0V, V⁻ = -12V. Figure 9 gives rise time for various values of C_L.

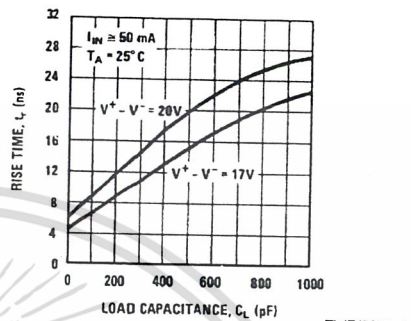


FIGURE 9. Rise Time vs C_L for the DS0025

Fall Time Considerations

The MOS logic fall time (voltage rise) of the DS0025 is dictated by the load, C_L, and the output capacitance of Q1. The fall time equivalent circuit of DS0025 may be approximated

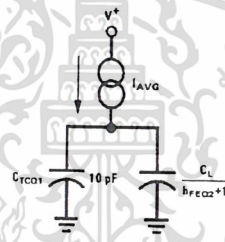


FIGURE 10. Fall Time Equivalent Circuit

with the circuit of Figure 10. In actual practice, the base drive to Q2 drops as the output voltage rises toward V⁺. A rounding of the waveform occurs as the output voltage reaches to within a volt of V⁺. The result is that equation (A1-7) predicts conservative values of t_f for the output voltage at the beginning of the voltage rise and optimistic values at the end. Figure 11 shows t_f as function of C_L.

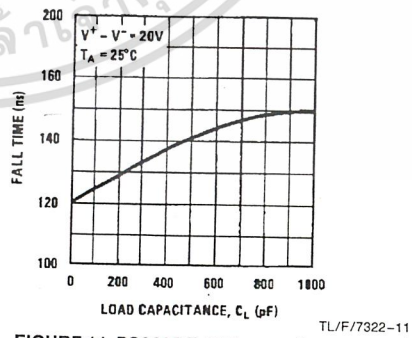


FIGURE 11. DS0025 Fall Time vs C_L

Assuming h_{FE2} is a constant of the total transition:

$$\frac{\Delta V}{\Delta t} = \frac{\left(\frac{V^+ - V^-}{2R2}\right)}{C_{TCQ1} + C_L/h_{FEQ1+1}} \quad (A1-6)$$

or

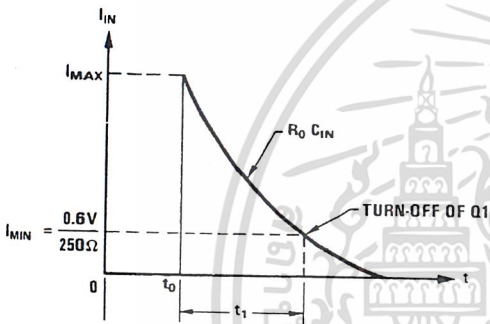
$$t_f \approx 2R2 \left(C_{TCQ1} + \frac{C_L}{h_{FEQ1+1}} \right) \quad (A1-7)$$

DS0025 Input Drive Requirements

Since the DS0025 is generally capacitively coupled at the input, the device is sensitive to current not input voltage. The current required by the input is in the 50–60 mA region. It is therefore a good idea to drive the DS0025 from TTL line drivers, such as the DM7440 or DM8830. It is possible to drive the DS0025 from standard 54/74 series gates or flip-flops but t_{ON} and t_r will be somewhat degraded.

Input Capacitor Selection

The DS0025 may be operated in either the logically controlled mode (pulse width out \approx pulse width in) or C_{IN} may be used to set the output pulse width. In the latter mode a long pulse is supplied to the DS0025.



TL/F/7322-12

FIGURE 12. DS0025 Input Current Waveform

The input current is of the general shape as shown in Figure 12. I_{MAX} is the peak current delivered by the TTL driver into a short circuit (typically 50–60 mA). Q1 will begin to turn-off when I_{IN} decays below $V_{BE}/R1$ or about 2.5 mA. In general:

$$I_{IN} = I_{MAX} e^{-t/R_O C_{IN}} \quad (A1-8)$$

where:

R_O = Output impedance of the TTL driver

C_{IN} = Input coupling capacitor

Substituting $I_{IN} = I_{MIN} = \frac{V_{BE}}{R1}$ and solving for t_1 yields:

$$t_1 = R_O C_{IN} \ln \frac{I_{MAX}}{I_{MIN}} \quad (A1-9)$$

The total pulse width must include rise and fall time considerations. Therefore, the total expression for pulse width becomes:

$$t_{PW} \approx \frac{t_r + t_f}{2} + t_1$$

$$= \frac{t_r + t_f}{2} + R_O C_{IN} \ln \frac{I_{MAX}}{I_{MIN}} \quad (A1-10)$$

The logic "1" output impedance of the DM7440 is approximately 65Ω and the peak current (I_{MAX}) is about 50 mA. The pulse width for $C_{IN} = 2,200$ pF is:

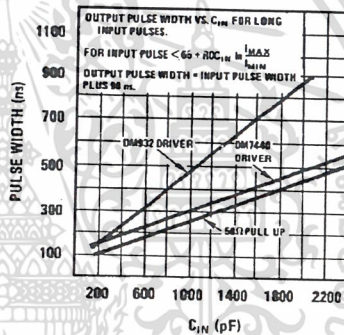
$$t_{PW} \approx \frac{25 \text{ ns} + 150 \text{ ns}}{2} + (65\Omega)(2200 \text{ pF}) \ln \frac{50 \text{ mA}}{2.5 \text{ mA}} = 517 \text{ ns}$$

A plot of pulse width for various types of drivers is shown in Figure 13. For applications in which the output pulse width is logically controlled, C_{IN} should be chosen 2 to 3 times larger than the maximum pulse width dictated by equation (A1-10).

DC Coupled Operation

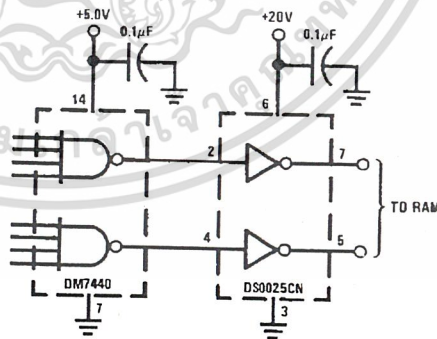
The DS0025 may be direct-coupled in applications when level shifting to a positive value only. For example, the MM1103 RAM typically operates between ground and +20V. The DS0025 is shown in Figure 14 driving the address or precharge line in the logically controlled mode.

If DC operation to a negative level is desired, a level translator such as the DS7800 or DH0034 may be employed as shown in Figure 15. Finally, the level shift may be accomplished using PNP transistors as shown in Figure 16.



TL/F/7322-13

FIGURE 13. Output PW Controlled by C_{IN}



TL/F/7322-14

FIGURE 14. DC Coupled DS0025 Driving 1103 RAM

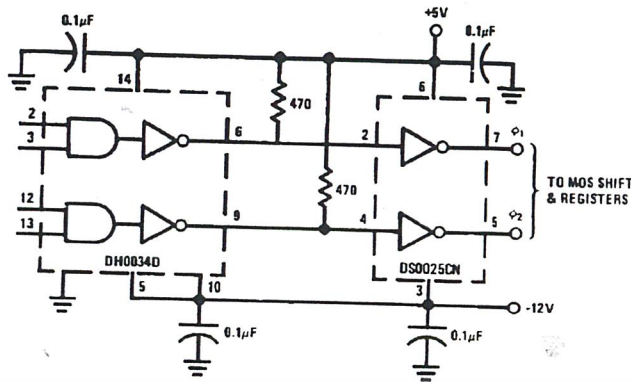


FIGURE 15. DC Coupled Clock Driver Using DH0034

TL/F/7322-15

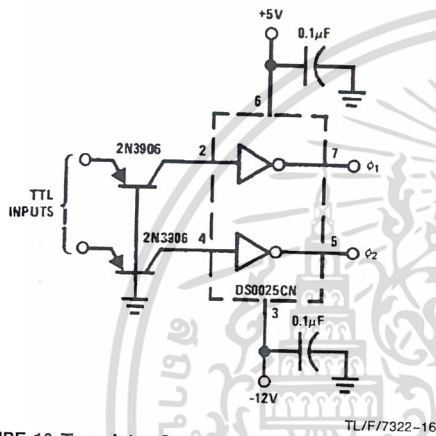


FIGURE 16. Transistor Coupled DS0025 Clock Driver

TL/F/7322-16

age rises (to about 1.2V), Q1 and Q4 turn-on. Multiple emitter transistor Q1 provides additional base drive to Q5 and Q6 assuring their complete and rapid turn-on. Since Q7 and Q8 were rapidly turned "OFF" minimal power supply current spiking will occur when Q9 comes "ON."

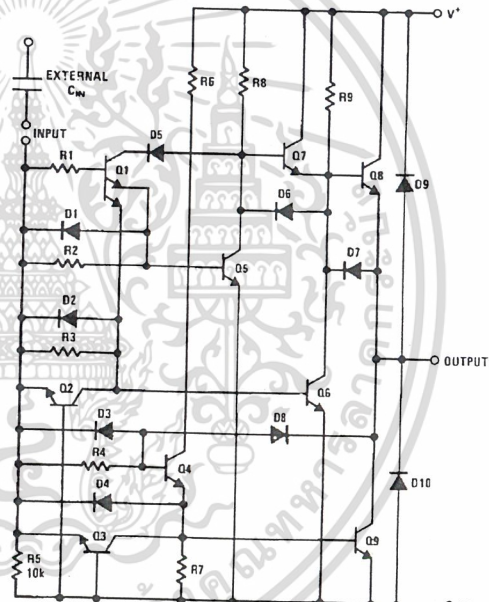


FIGURE 17. DS0026 Schematic (One-Half Circuit)

TL/F/7322-17

APPENDIX II

DS0026 Circuit Operation

The schematic of the DS0026 is shown in Figure 17. The device is typically AC coupled on the input and responds to input current as does the DS0025. Internal current gain allows the device to be driven by standard TTL gates and flip-flops.

With the TTL input in the low state Q1, Q4, Q5, and Q6 are "OFF" allowing Q7 and Q8 to come "ON." R9 assures that the output will pull up to within a V_{BE} of V^+ volts. When the TTL input starts toward logic "1," current is supplied via C_{IN} to the bases of Q5 and Q6 turning them "ON." Simultaneously, Q7 and Q8 are snapped "OFF." As the input volt-

Q4 now provides sufficient base drive to Q9 to turn it "ON." The load capacitance is then rapidly discharged toward V-. Diodes D6 and D7 prevent avalanching Q7's and Q8's base-emitter junction as the collectors of Q5 and Q6 go negative. The output of the DS0026 continues negative stopping about 0.5V more positive than V-.

When the TTL input returns to logic "0," the input voltage to the DS0026 goes negative by an amount proportional to the charge on C_{IN}. Transistors Q2 and Q3 turn-on, pulling stored base charge out of Q4 and Q9 assuring their rapid turn-off. With Q1, Q5, Q6 and Q9 "OFF," Darlington connected Q7 and Q8 turn-on and rapidly charge the load to within a V_{BE} of V+.

Rise Time Considerations

Predicting the MOS logic rise time (voltage fall) of the DS0026 is considerably involved, but a reasonable approximation may be made by utilizing equation (A1-5), which reduces to:

$$t_r \approx [C_L + 250 \times 10^{-12}] \Delta V \quad (\text{A1-1})$$

For C_L = 1000 pF, V+ = 5.0V, V- = -12V, t_r ≈ 21 ns. Figure 18 shows DS0026 rise times vs C_L.

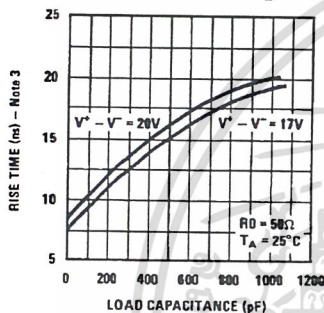


FIGURE 18. Rise Time vs Load Capacitance

Fall Time Considerations

The MOS logic fall time of the DS0026 is determined primarily by the capacitance Miller capacitance of Q5 and Q1 and R5. The fall time may be predicted by:

$$t_f \approx (2.2)(R5) \left(C_S + \frac{C_L}{h_{FE}^2} \right) \quad (\text{A1-2})$$

$$\approx (4.4 \times 10^3) \left(C_S + \frac{C_L}{h_{FE}^2} \right)$$

where:

C_S = Capacitance to ground seen at the base of Q3
= 2 pF

h_{FE}² = (h_{FEQ3} + 1) (h_{FEQ4} + 1)
≈ 500

For the values given and C_L = 1000 pF, t_f ≈ 17.5 ns. Figure 19. gives t_f for various values of C_L.

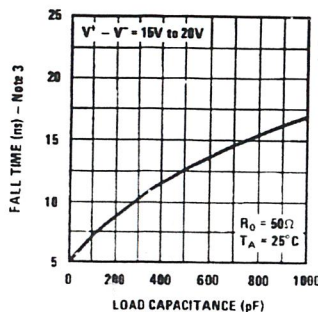


FIGURE 19. Fall Time vs Load Capacitance

DS0026 Input Drive Requirements

The DS0026 was designed to be driven by standard 54/74 elements. The device's input characteristics are shown in Figure 20. There is breakpoint at V_{IN} ≈ 0.6V which corresponds to turn-on of Q1 and Q2. The input current then rises with a slope of about 600Ω (R2 || R3) until a second breakpoint at approximately 1.2V is encountered, corresponding to the turn-on of Q5 and Q6. The slope at this point is about 150Ω (R1 || R2 || R3 || R4).

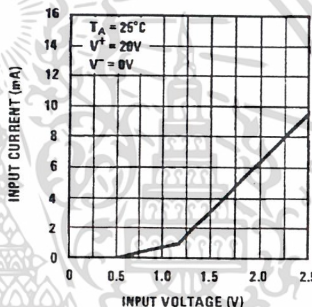


FIGURE 20. Input Current vs Input Voltage

The current demanded by the input is in the 5-10 mA region. A standard 54/74 gate can source currents in excess of 20 mA into 1.2V. Obviously, the minimum "1" output voltage of 2.5V under these conditions cannot be maintained. This means that a 54/74 element must be dedicated to driving 1/2 of a DS0026. As far as the DS0026 is concerned, the current is the determining turn-on mechanism not the voltage output level of the 54/74 gate.

Input Capacitor Selection

A major difference between the DS0025 and DS0026 is that the DS0026 requires that the output pulse width be logically controlled. In short, the input pulse width ≈ output pulse width. Selection of C_{IN} boils down to choosing a capacitor small enough to assure the capacitor takes on nearly full charge, but large enough so that the input current does not drop below a minimum level to keep the DS0026 "ON." As before:

$$t_1 = R0 C_{IN} \ln \frac{I_{MAX}}{I_{MIN}} \quad (\text{A1-3})$$

or

$$C_{IN} = \frac{t_1}{R0 \ln \frac{I_{MAX}}{I_{MIN}}} \quad (\text{A1-4})$$

In this case R_0 equals the sum of the TTL gate output impedance plus the input impedance of the DS0026 (about 150Ω). I_{MIN} from Figure 21 is about 1 mA. A standard 54/74 series gate has a high state output impedance of about 150Ω in the logic "1" state and an output (short circuit) current of about 20 mA into 1.2V. For an output pulse width of 500 ns,

$$C_{IN} = \frac{500 \times 10^{-9}}{(150\Omega + 150\Omega) \ln \frac{20 \text{ mA}}{1 \text{ mA}}} = 560 \text{ pF}$$

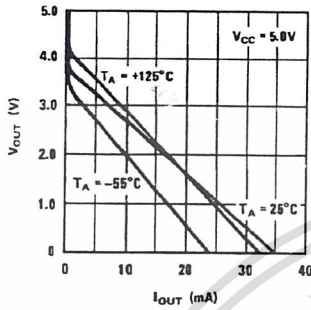


FIGURE 21. Logical "1" Output Voltage vs Source Current

TL/F/7322-21

In actual practice it's a good idea to use values of about twice those predicted by equation (A11-4) in order to account for manufacturing tolerances in the gate, DS0026 and temperature variations.

A plot of optimum value for C_{IN} vs desired output pulse width is shown in Figure 22.

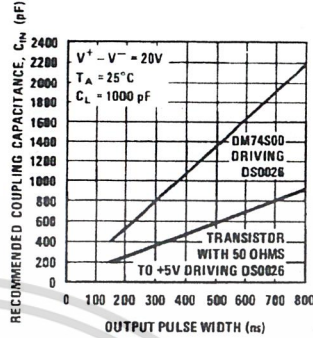


FIGURE 22. Suggested Input Capacitance vs Output Pulse Width

TL/F/7322-22

DC Coupled Applications

The DS0026 may be applied in direct coupled applications. Figure 23 shows the device driving address or pre-charge lines on an MM1103 RAM.

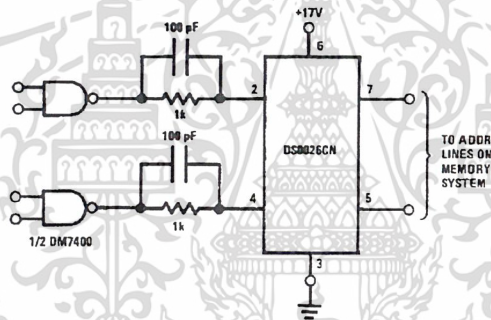


FIGURE 23. DC Coupled RAM Memory Address or Precharge Driver (Positive Supply Only)

TL/F/7322-23

For applications requiring a dc level shift, the circuits of Figure 24 or 25 are recommended.

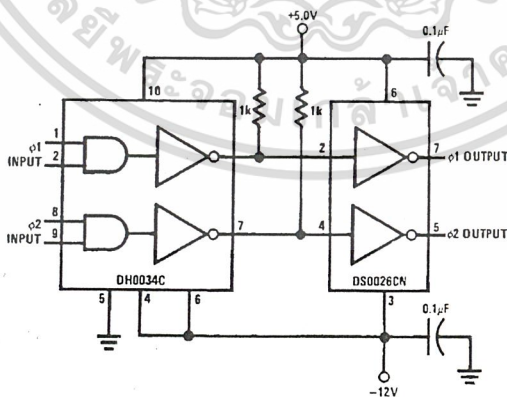


FIGURE 24. Transistor Coupled MOS Clock Driver

TL/F/7322-24

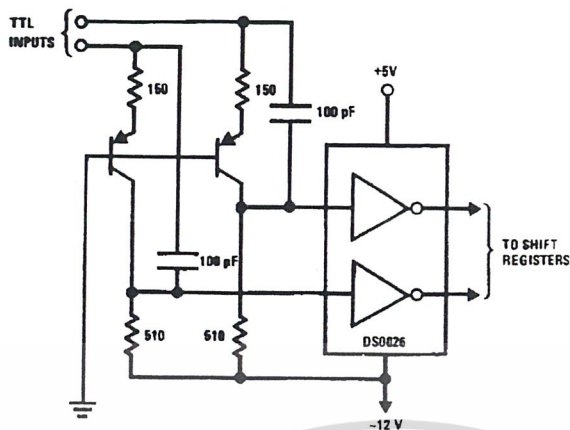


FIGURE 25. DC Coupled MOS Clock Driver

TL/F/7322-25

APPENDIX III

MOS Interface Circuits

MOS Clock Drivers

- MH0007 Direct coupled, single phase, TTL compatible clock driver.
- MH0009 Two phase, direct or ac coupled clock driver.
- MH0012 10 MHz, single phase direct coupled clock driver.
- MH0013 Two phase, ac coupled clock driver.
- DS0025C Low cost, two phase clock driver.
- DS0026C Low cost, two phase, high speed clock driver.
- DS3674 Quad MOS clock driver.
- DS75361 Dual TTL-to-MOS driver.
- DS75365 Quad TTL-to-MOS driver.

MOS RAM Memory Address and Precharge Drivers

- DS0025C Dual address and precharge driver.
- DS0026C Dual high speed address and precharge driver.

TTL to MOS Interface

- DH0034 Dual high speed TTL to negative level converter.

- DS8800 Dual TTL to negative level converter.
- DS88L12 Active pull-up TTL to positive high level MOS converter gates.
- DS3647A Quad TRI-STATE® MOS driver I/O register.
- DS3648/DS3678 TRI-STATE MOS driver multiplexer.
- DS3649/DS3679 Hex TRI-STATE MOS driver.
- DS36149/DS36179 Hex TRI-STATE MOS driver.

MOS to TTL Converters and Sense Amps

- DS75107, Dual sense amp for MM1103 1k MOS

Voltage Regulators for MOS Systems

- LM309, LM340 Positive regulators.
- Series
- LM320 Series Negative regulators.
- LM325 Series Dual ± regulators.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DS0026 5 MHz Two Phase MOS Clock Driver

General Description

DS0026 is a low cost monolithic high speed two phase MOS clock driver and interface circuit. Unique circuit design provides both very high speed operation and the ability to drive large capacitive loads. The device accepts standard TTL outputs and converts them to MOS logic levels. This device may be driven from standard 54/74 series and 54S/74S series gates and flip-flops or from drivers such as the DS8830 or DM7440. The DS0026 is intended for applications in which the output pulse width is logically controlled; i.e., the output pulse width is equal to the input pulse width.

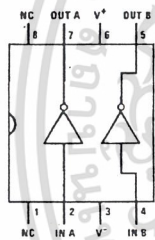
The DS0026 is designed to fulfill a wide variety of MOS interface requirements. As a MOS clock driver for long silicon-gate shift registers, a single device can drive over 10k bits at 5 MHz. Six devices provide input address and pre-charge drive for a 8k by 16-bit 1103 RAM memory system. Information on the correct usage of the DS0026 in these as well as other systems is included in the application note AN-76.

Features

- Fast rise and fall times—20 ns 1000 pF load
- High output swing—20V
- High output current drive—± 1.5 amps
- TTL compatible inputs
- High rep rate—5 to 10 MHz depending on power dissipation
- Low power consumption in MOS "0" state—2 mW
- Drives to 0.4V of GND for RAM address drive

Connection Diagrams (Top Views)

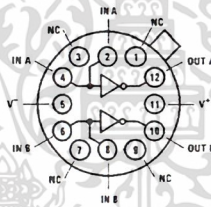
Dual-In-Line Package



Order Number DS0026CJ-8, DS0026CL or DS0026CN
See NS Package Number J08A or N08E

TL/F/5853-2

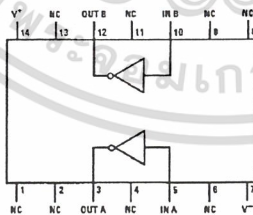
TO-8 Package



Order Number DS0026G or DS0026CG
See NS Package Number G12B

TL/F/5853-3

Dual-In-Line Package



Order Number DS0026J or DS0026CJ
See NS Package Number J14A

TL/F/5853-4

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

V ⁺ - V ⁻ Differential Voltage	22V
Input Current	100 mA
Input Voltage (V _{IN} - V ⁻)	5.5V
Peak Output Current	1.5A
Maximum Power Dissipation* at 25°C	
Cavity Package (8-Pin)	1150 mW
Cavity Package (14-Pin)	1380 mW
Molded Package	1040 mW

EIAJ SO Package	800 mW
Operating Temperature Range	
DS0026	-55°C to +125°C
DS0026C	0°C to +70°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 sec.)	300°C

* Derate 8-pin cavity package 7.7 mW/°C above 25°C; derate 14-pin cavity package 9.3 mW/°C above 25°C; derate molded package 6.4 mW/°C above 25°C; derate metal can (TO-5) package 4.4 mW/°C above 25°C; derate EIAJ SO package 5.5 mW/°C above 25°C.

Electrical Characteristics (Notes 2 and 3)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
V _{IH}	Logic "1" Input Voltage	V ⁻ = 0V	2	1.5		V
I _{IH}	Logic "1" Input Current	V _{IN} - V ⁻ = 2.4V		10	15	mA
V _{IL}	Logic "0" Input Voltage	V ⁻ = 0V		0.6	0.4	V
I _{IL}	Logic "0" Input Current	V _{IN} - V ⁻ = 0V		-3	-10	μA
V _{OL}	Logic "1" Output Voltage	V _{IN} - V ⁻ = 2.4V, I _{OL} = 1 mA		V ⁻ + 0.7	V ⁻ + 1.0	V
V _{OH}	Logic "0" Output Voltage	V _{IN} - V ⁻ = 0.4V, V _{SS} ≥ V ⁺ + 1.0V I _{OH} = -1 mA	V ⁺ - 1.0	V ⁺ - 0.8		V
I _{CC(ON)}	"ON" Supply Current (one side on)	V ⁺ - V ⁻ = 20V, V _{IN} - V ⁻ = 2.4V		30	40	mA
I _{CC(OFF)}	"OFF" Supply Current	V ⁺ - V ⁻ = 20V, V _{IN} - V ⁻ = 0V	70°C	10	100	μA
			125°C	10	500	μA

Switching Characteristics (T_A = 25°C) (Notes 5 and 6)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t _{ON}	Turn-On Delay	(Figure 1)	5	7.5	12	ns
		(Figure 2)		11		ns
t _{OFF}	Turn-Off Delay	(Figure 1)		12	15	ns
		(Figure 2)		13		ns
t _r	Rise Time	(Figure 1), (Note 5)	C _L = 500 pF	15	18	ns
			C _L = 1000 pF	20	35	ns
		(Figure 2), (Note 5)	C _L = 500 pF	30	40	ns
			C _L = 1000 pF	36	50	ns
t _f	Fall Time	(Figure 1), (Note 5)	C _L = 500 pF	12	16	ns
			C _L = 1000 pF	17	25	ns
		(Figure 2), (Note 5)	C _L = 500 pF	28	35	ns
			C _L = 1000 pF	31	40	ns

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: These specifications apply for V⁺ - V⁻ = 10V to 20V, C_L = 1000 pF, over the temperature range of -55°C to +125°C for the DS0026, and 0°C to +70°C for the DS0026C.

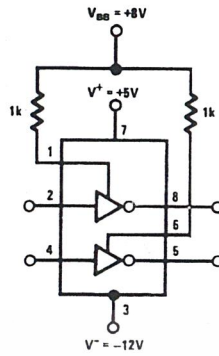
Note 3: All currents into device pins shown as positive, out of device pins as negative, all voltages referenced to ground unless otherwise noted. All values shown as max or min on absolute value basis.

Note 4: All typical values for T_A = 25°C.

Note 5: Rise and fall time are given for MOS logic levels; i.e., rise time is transition from logic "0" to logic "1" which is voltage fall.

Note 6: The high current transient (as high as 1.5A) through the resistance of the internal interconnecting V⁻ lead during the output transition from the high state to the low state can appear as negative feedback to the input. If the external interconnecting lead from the driving circuit to V⁻ is electrically long, or has significant dc resistance, it can subtract from the switching response.

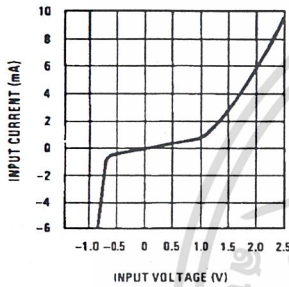
Typical V_{BB} Connection



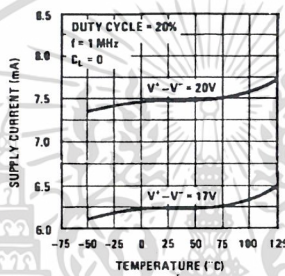
TL/F/5853-6

Typical Performance Characteristics

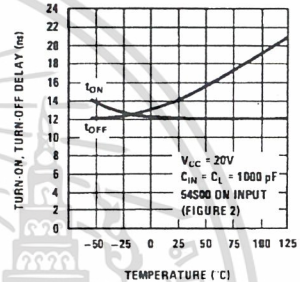
Input Current vs Input Voltage



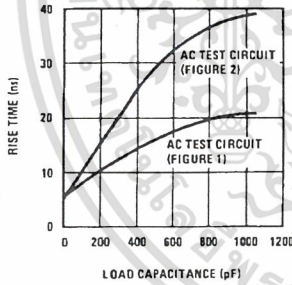
Supply Current vs Temperature



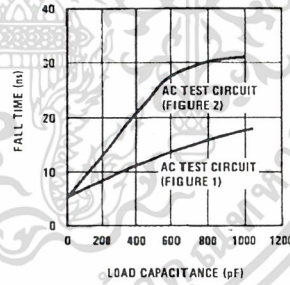
Turn-On and Turn-Off Delay vs Temperature



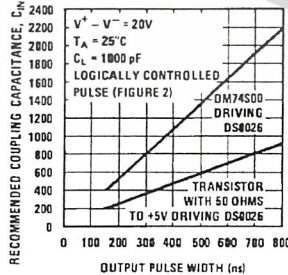
Rise Time vs Load Capacitance



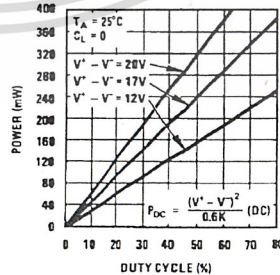
Fall Time vs Load Capacitance



Recommended Input Coding Capacitance



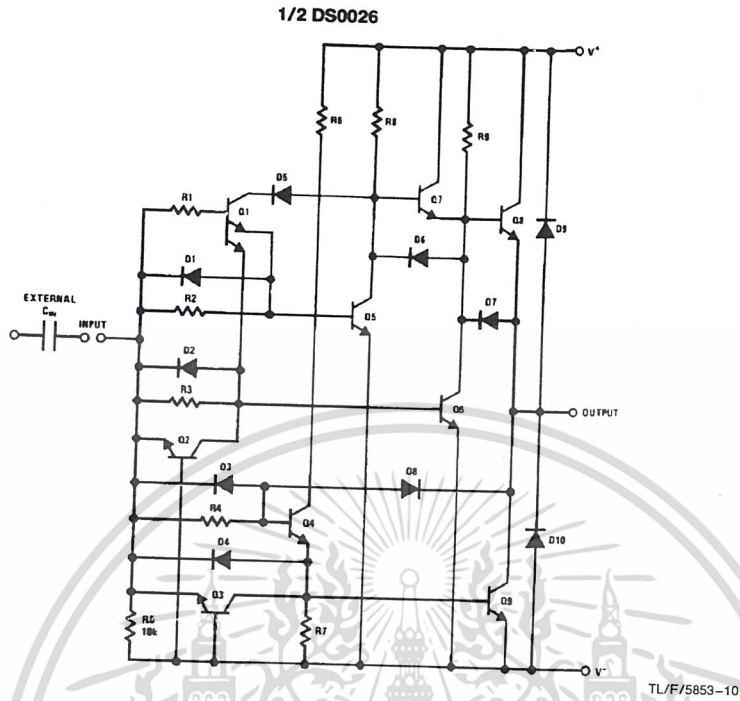
DC Power (P_{DC}) vs Duty Cycle



TL/F/5853-9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Schematic Diagram



AC Test Circuits and Switching Time Waveforms

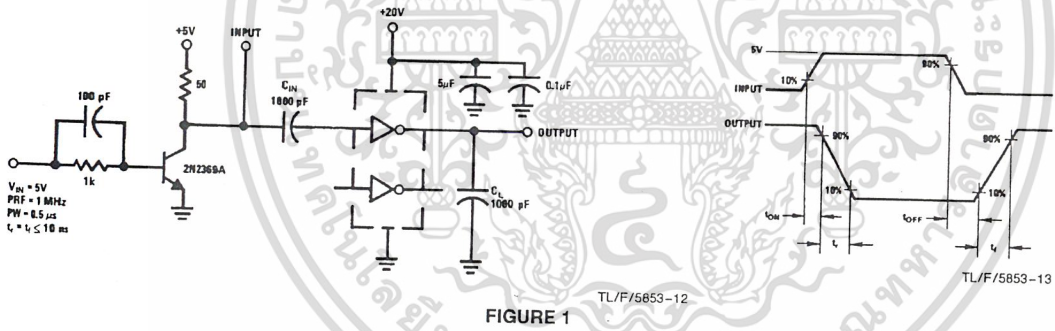


FIGURE 1

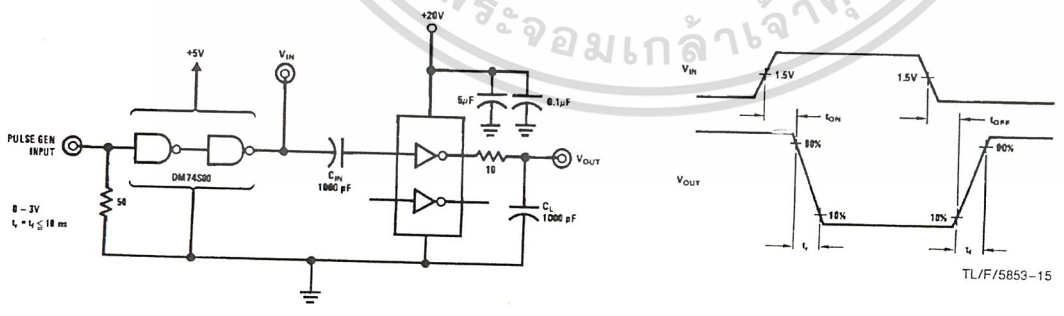
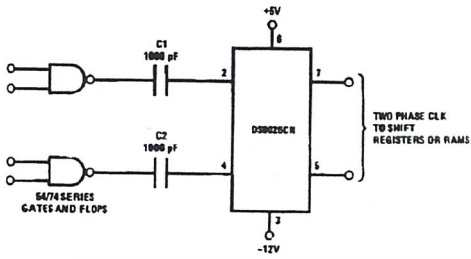


FIGURE 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

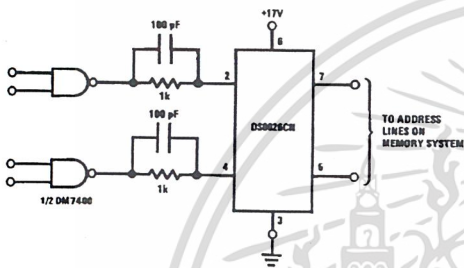
Typical Applications

AC Coupled MOS Clock Driver



TL/F/5853-16

DC Coupled RAM Memory Address or Precharge Driver (Positive Supply Only)



TL/F/5853-17

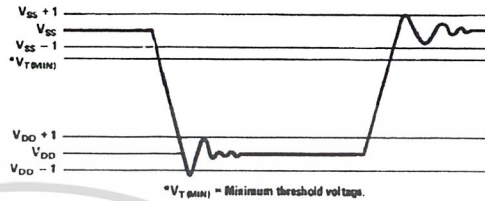
Application Hints

DRIVING THE MM5262 WITH THE DS0026 CLOCK DRIVER

The clock signals for the MM5262 have three requirements which have the potential of generating problems for the user. These requirements, high speed, large voltage swing and large capacitive loads, combine to provide ample opportunity for inductive ringing on clock lines, coupling clock signals to other clocks and/or inputs and outputs and generating noise on the power supplies. All of these problems have the potential of causing the memory system to malfunction. Recognizing the source and potential of these problems early in the design of a memory system is the most critical step. The object here is to point out the source of these problems and give a quantitative feel for their magnitude.

Line ringing comes from the fact that at a high enough frequency any line must be considered as a transmission line with distributed inductance and capacitance. To see how much ringing can be tolerated we must examine the clock voltage specification. Figure 3 shows the clock specification, in diagram form, with idealized ringing sketched in. The

ringing of the clock about the V_{SS} level is particularly critical. If the $V_{SS} - 1 V_{OH}$ is not maintained, at *all* times, the information stored in the memory could be altered. Referring to Figure 1, if the threshold voltage of a transistor were $-1.3V$, the clock going to $V_{SS} - 1$ would mean that all the devices, whose gates are tied to that clock, would be only 300 mV from turning on. The internal circuitry needs this noise margin and from the functional description of the RAM it is easy to see that turning a clock on at the wrong time can have disastrous results.



TL/F/5853-18

FIGURE 3. Clock Waveform

Controlling the clock is particularly difficult because of the relative magnitude of the allowable ringing, compared to magnitude of the transition. In this case it is 1V out of 20V or only 5%. Ringing can be controlled by damping the clock driver and minimizing the line inductance.

Damping the clock driver by placing a resistance in series with its output is effective, but there is a limit since it also slows down the rise and fall time of the clock signal. Because the typical clock driver can be much faster than the worst case driver, the damping resistor serves the useful function of limiting the minimum rise and fall time. This is very important because the faster the rise and fall times, the worse the ringing problem becomes. The size of the damping resistor varies because it is dependent on the details of the actual application. It must be determined empirically. In practice a resistance of 10Ω to 20Ω is usually optimum.

Limiting the inductance of the clock lines can be accomplished by minimizing their length and by laying out the lines such that the return current is closely coupled to the clock lines. When minimizing the length of clock lines it is important to minimize the distance from the clock driver output to the furthest point being driven. Because of this, memory boards are usually designed with clock drivers in the center of the memory array, rather than on one side, reducing the maximum distance by a factor of 2.

Using multilayer printed circuit boards with clock lines sandwiched between the V_{DD} and V_{SS} power planes minimizes the inductance of the clock lines. It also serves the function of preventing the clocks from coupling noise into input and output lines. Unfortunately multilayer printed circuit boards are more expensive than two sided boards. The user must make the decision as to the necessity of multilayer boards. Suffice it to say here, that reliable memory boards can be designed using two sided printed circuit boards.

Application Hints (Continued)

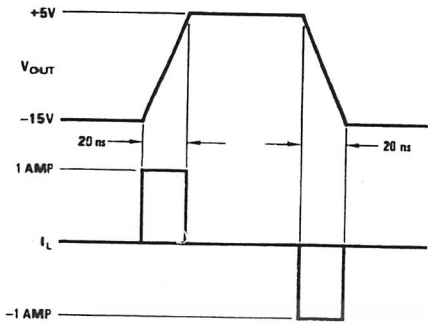


FIGURE 4. Clock Waveforms (Voltage and Current)

Because of the amount of current that the clock driver must supply to its capacitive load, the distribution of power to the clock driver must be considered. *Figure 4* gives the idealized voltage and current waveforms for a clock driver driving a 1000 pF capacitor with 20 ns rise and fall time.

As can be seen the current is significant. This current flows in the V_{DD} and V_{SS} power lines. Any significant inductance in the lines will produce large voltage transients on the power supplies. A bypass capacitor, as close as possible to the clock driver, is helpful in minimizing this problem. This bypass is most effective when connected between the V_{SS} and V_{DD} supplies. The size of the bypass capacitor depends on the amount of capacitance being driven. Using a low inductance capacitor, such as a ceramic or silver mica, is most effective. Another helpful technique is to run the V_{DD} and V_{SS} lines, to the clock driver, adjacent to each other. This tends to reduce the lines inductance and therefore the magnitude of the voltage transients.

While discussing the clock driver, it should be pointed out that the DS0026 is a relatively low input impedance device. It is possible to couple current noise into the input without seeing a significant voltage. Since the noise is difficult to detect with an oscilloscope it is often overlooked.

Lastly, the clock lines must be considered as noise generators. *Figure 5* shows a clock coupled through a parasitic coupling capacitor, C_C , to eight data input lines being driven by a 7404. A parasitic lumped line inductance, L , is also shown. Let us assume, for the sake of argument, that C_C is 1 pF and that the rise time of the clock is high enough to completely isolate the clock transient from the 7404 because of the inductance, L .

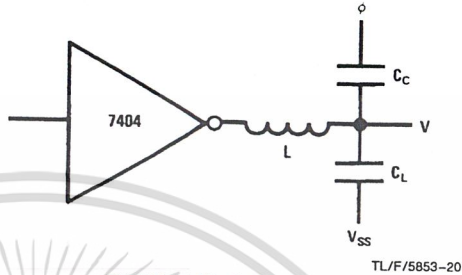


FIGURE 5. Clock Coupling

With a clock transition of 20V the magnitude of the voltage generated across C_L is:

$$V = 20V \times \frac{C_C}{C_L + C_C} = 20V \times \left(\frac{1}{56 + 1} \right) = 0.35V$$

This has been a hypothetical example to emphasize that with 20V low rise/fall time transitions, parasitic elements can not be neglected. In this example, 1 pF of parasitic capacitance could cause system malfunction, because a 7404 without a pull up resistor has typically only 0.3V of noise margin in the "1" state at 25°C. Of course it is stretching things to assume that the inductance, L , completely isolates the clock transient from the 7404. However, it does point out the need to minimize inductance in input/output as well as clock lines.

The output is current, so it is more meaningful to examine the current that is coupled through a 1 pF parasitic capacitance. The current would be:

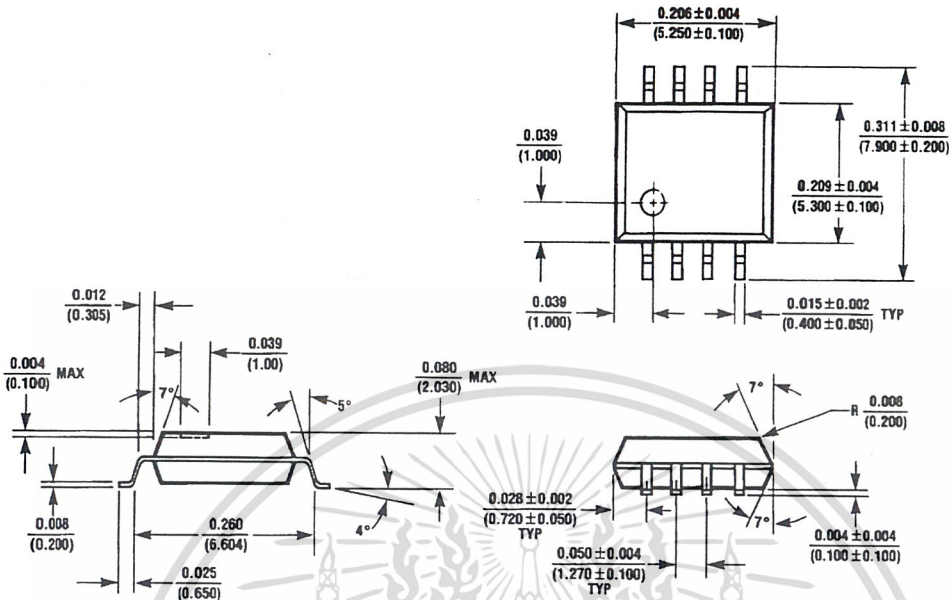
$$I = C_C \times \frac{\Delta V}{\Delta t} = \frac{1 \times 10^{-12} \times 20}{20 \times 10^{-9}} = 1 \text{ mA}$$

This exceeds the total output current swing so it is obviously significant.

Clock coupling to inputs and outputs can be minimized by using multilayer printed circuit boards, as mentioned previously, physically isolating clock lines and/or running clock lines at right angles to input/output lines. All of these techniques tend to minimize parasitic coupling capacitance from the clocks to the signals in question.

In considering clock coupling it is also important to have a detailed knowledge of the functional characteristics of the device being used. As an example, for the MM5262, coupling noise from the $\phi 2$ clock to the address lines is of no particular consequence. On the other hand the address inputs will be sensitive to noise coupled from $\phi 1$ clock.

Packaging Information

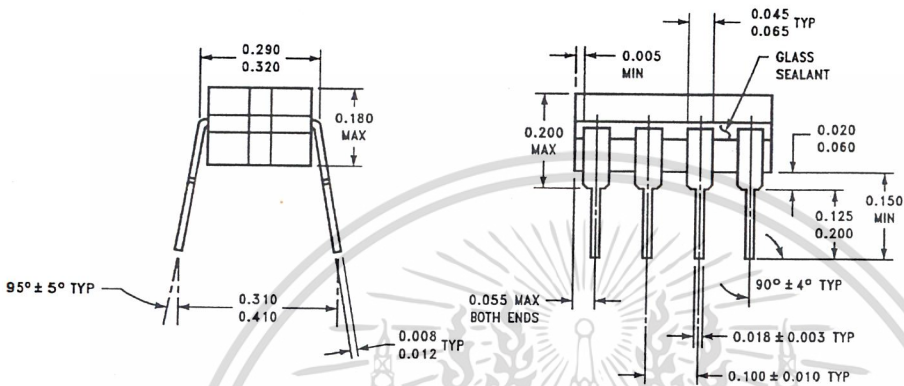
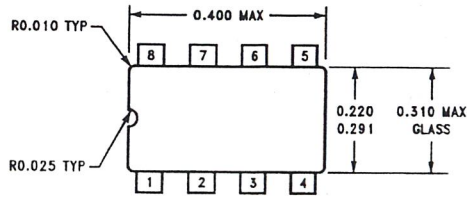


8-Lead Surface Mount Package
Order Number DS0026CL

TL/F/5853-21

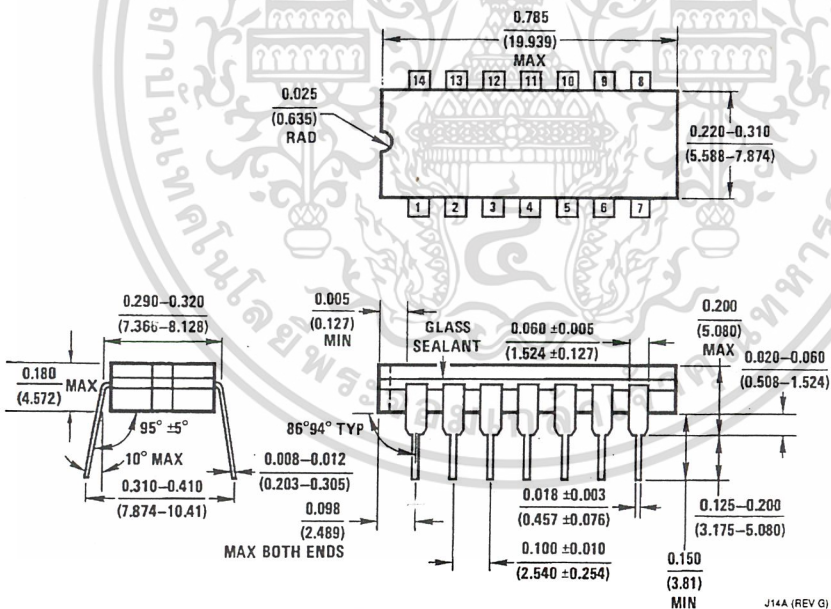
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



Ceramic Dual-In-Line Package (J)
Order Number DS0026CJ or DS0026J
NS Package Number J08A

J08A (REV K)



Ceramic Dual-In-Line Package (J)
Order Number DS0026J or DS0026CJ
NS Package Number J14A

J14A (REV G)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้.

HCPL2530, HCPL2531 OPTOCOUPERS/OPTOISOLATORS

SOOS016 D3115, APRIL 1988

- Compatible with TTL Inputs
- High-Speed Switching . . . 1 Mbit/s Typ
- Bandwidth . . . 2 MHz Typ
- High Common-Mode Transient Immunity . . . 1000 V/ μ s Typ
- High-Voltage Electrical Insulation . . . 3000 V DC Min
- Open-Collector Output
- UL Recognized . . . File Number 65085

description

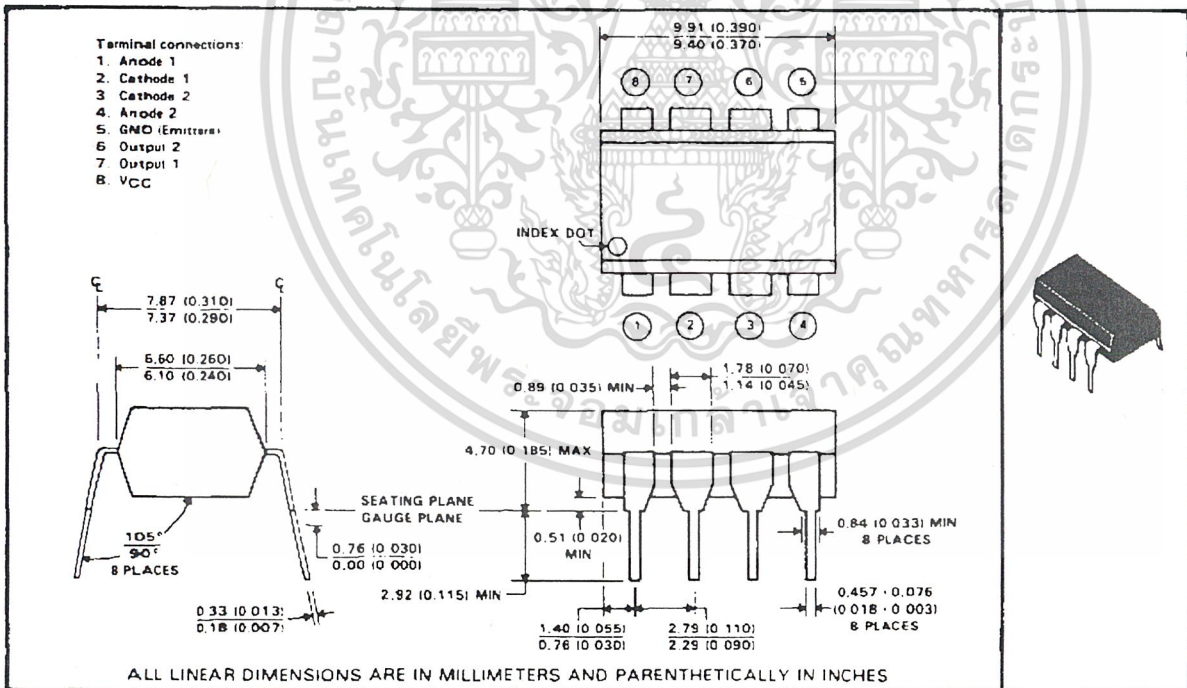
These high-speed optocouplers are designed for use in analog or digital interface applications that require high-voltage isolation between the input and output. Applications include line receivers that require high common-mode transient immunity, and analog or logic circuits that require input-to-output electrical isolation.

Each HCPL2530 and HCPL2531 optocoupler consists of two light-emitting diodes and two integrated photon detectors. Each detector is composed of a photodiode and an open-collector output transistor. Separate connections are provided for the photodiode bias and the transistor collector output. This feature, which reduces the transistor base-to-collector capacitance, results in speeds up to one hundred times that of a conventional phototransistor optocoupler.

The HCPL2530 is designed for TTL/CMOS, TTL/LSTTL, and wide-band analog applications.

The HCPL2531 is designed for high-speed TTL/TTL applications.

mechanical data



PRODUCTION DATA documents contain information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

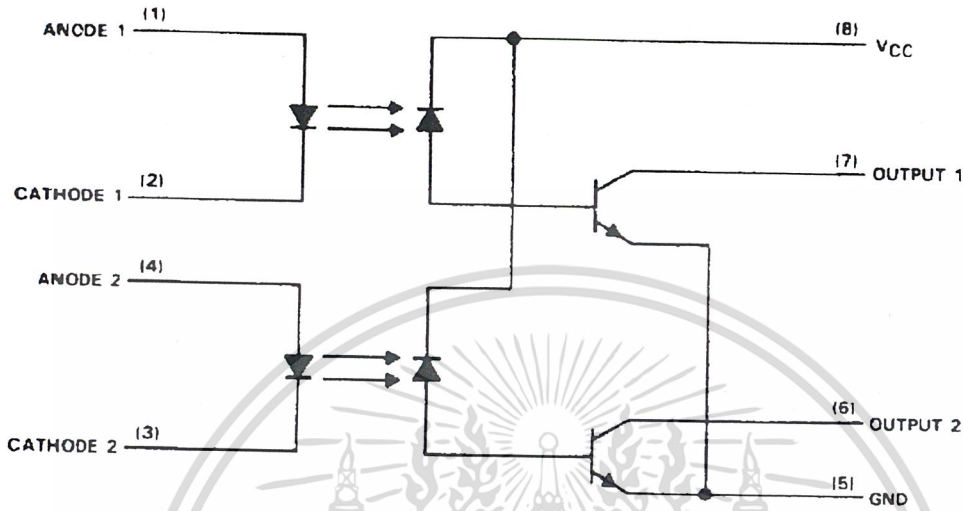
TEXAS
INSTRUMENTS
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 1988, Texas Instruments Incorporated

เอกสารนี้เป็นลิขสิทธิ์ของ Texas Instruments. การนำเอกสารนี้ไปใช้โดยไม่ได้รับอนุญาตให้ไปใช้ประโยชน์ด้าน 1 ราคา
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**HCPL2530, HCPL2531
OPTOCOUPLEDERS/OPTOISOLATORS**

schematic



absolute maximum ratings at 25 °C free-air temperature (unless otherwise noted)

Supply and output voltage range, VCC and VO	-0.5 V to 15 V
Reverse input voltage (each channel)	5 V
Peak input forward current (each channel) (pulse duration = 1 ms, 50% duty cycle, see Note 1)	50 mA
Peak transient input forward current (each channel) (pulse duration = 1 μs, f = 300 Hz)	1 A
Average forward input current (each channel) (see Note 2)	25 mA
Peak output current (each channel)	16 mA
Average output current (each channel)	8 mA
Input power dissipation at (or below) 70 °C free-air temperature (each channel) (see Note 3)	45 mW
Output power dissipation at (or below) 70 °C free-air temperature (each channel) (see Note 4)	35 mW
Storage temperature range	-55 °C to 125 °C
Operating free-air temperature range	-55 °C to 100 °C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds	260 °C

- NOTES: 1. Derate linearly above 70 °C free-air temperature at the rate of 1.67 mA/°C.
 2. Derate linearly above 70 °C free-air temperature at the rate of 0.83 mA/°C.
 3. Derate linearly above 70 °C free-air temperature at the rate of 1.50 mW/°C.
 4. Derate linearly above 70 °C free-air temperature at the rate of 1.17 mW/°C.

HCPL2530, HCPL2531 OPTOCOUPLEDERS/OPTOISOLATORS

electrical characteristics over operating free-air temperature range of 0°C to 70°C (unless otherwise noted)

PARAMETER	TEST CONDITIONS	HCPL2530		HCPL2531		UNIT		
		MIN	TYP†	MAX	MIN		TYP†	MAX
V _F	Input forward voltage	I _F = 16 mA, T _A = 25°C		1.6	1.7		V	
V _F	Temperature coefficient of forward voltage	I _F = 16 mA		-1.8			mV/°C	
V _{BR}	Input breakdown voltage	I _R = 10 μA, T _A = 25°C		5			V	
V _{OL}	Low-level output voltage	V _{CC} = 4.5 V, I _F = 16 mA	I _{OL} = 1.1 mA I _{OL} = 2.4 mA	0.1	0.5		V	
I _{OH}	High-level output current	I _{F1} = I _{F2} = 0 T _A = 25°C	V _{CC} = V _{O1} = V _{O2} = 5.5 V	3	500	3	500	nA
		V _{CC} = V _{O1} = V _{O2} = 15 V, I _{F1} = I _{F2} = 0		50		50		μA
I _{CCH}	Supply current, high-level output	V _{CC} = 15 V, I _{O1} = I _{O2} = 0, I _{F1} = I _{F2} = 0		4		4		μA
I _{CCL}	Supply current, low-level output	V _{CC} = 15 V, I _{O1} = I _{O2} = 0, I _{F1} = I _{F2} = 16 mA		80		80		μA
CTR	Current transfer ratio	V _{CC} = 4.5 V, I _F = 16 mA, See Note 5	V _O = 0.5 V, T _A = 25°C	7%	18%	19%	24%	
CTR	Current transfer ratio	V _{CC} = 4.5 V, I _F = 16 mA, See Note 5	V _O = 0.5 V, See Note 5	5%		15%		
r _{IO}	Input-output resistance	V _{IO} = 500 V, T _A = 25°C, See Note 6		10 ¹²		10 ¹²		Ω
I _{IO}	Input-output insulation leakage current	V _{IO} = 3000 V, t = 5 s, T _A = 25°C, RH = 45%, See Note 6			1		1	μA
C _i	Input capacitance	V _F = 0, f = 1 MHz		60		60		pF
C _{io}	Input-output capacitance	f = 1 MHz, See Note 6		0.6		0.6		pF
r _{ii}	Input-input resistance	V _{ii} = 500 V, T _A = 25°C, See Note 7		10 ¹¹		10 ¹¹		Ω
I _{ii}	Input-input insulation leakage current	V _{ii} = 500 V, t = 5 s, T _A = 25°C, RH = 45%, See Note 7		0.005		0.005		μA
C _{ii}	Input-input capacitance	f = 1 MHz, T _A = 25°C, See Note 7		0.25		0.25		pF

† All typical values are at T_A = 25°C.

NOTES: 5. Current transfer ratio is defined as the ratio of output collector current I_O to the forward LED input current I_F times 100%.

6. These parameters are measured between pins 2 and 3 shorted together and pins 5, 6, 7, and 8 shorted together.

7. These parameters are measured between pins 1 and 2 shorted together and pins 3 and 4 shorted together.


**TEXAS
INSTRUMENTS**

POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ภายในเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ในการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HCPL2530, HCPL2531 OPTOCOUPPLERS/OPTOISOLATORS

operating characteristics at $V_{CC} = 5\text{ V}$, $I_F = 16\text{ mA}$, $T_A = 25^\circ\text{C}$

PARAMETER	TEST CONDITIONS	HCPL2530			HCPL2531			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	
BW	Bandwidth (-3 dB)	$R_L = 100\ \Omega$, See Note 8			2			MHz

NOTE 7: Bandwidth is the range of frequencies within which the ac output voltage is not more than 3 dB below the low-frequency value.

switching characteristics at $V_{CC} = 5\text{ V}$, $I_F = 16\text{ mA}$, $T_A = 25^\circ\text{C}$ (unless otherwise noted)

PARAMETER	TEST CONDITIONS	HCPL2530			HCPL2531			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	
t_{PLH}	Propagation delay time, low-to-high-level output See Figure 1	$R_L = 4.1\text{ k}\Omega$, See Note 9.			1.0 1.5			μs
		$R_L = 1.9\text{ k}\Omega$, See Note 10, See Figure 1			0.6 0.8			
t_{PHL}	Propagation delay time, high-to-low-level output See Figure 1	$R_L = 4.1\text{ k}\Omega$, See Note 9.			0.7 1.5			μs
		$R_L = 1.9\text{ k}\Omega$, See Note 10, See Figure 1			0.6 0.8			
$\frac{dV_{CM}}{dt}$ (H)	Common-mode input transient immunity, high-level output See Figure 2	$\Delta V_{CM} = 10\text{ V}$, $I_F = 0$, $R_L = 4.1\text{ k}\Omega$, See Notes 9 and 10.			1000			$\text{V}/\mu\text{s}$
		$\Delta V_{CM} = 10\text{ V}$, $I_F = 0$, $R_L = 1.9\text{ k}\Omega$, See Notes 10 and 11.			1000			
$\frac{dV_{CM}}{dt}$ (L)	Common-mode input transient immunity, low-level output See Figure 2, See Notes 9 and 11.	$\Delta V_{CM} = 10\text{ V}$, $R_L = 4.1\text{ k}\Omega$.			-1000			$\text{V}/\mu\text{s}$
		$\Delta V_{CM} = 10\text{ V}$, $R_L = 1.9\text{ k}\Omega$, See Figure 2, See Notes 10 and 11			-1000			

- NOTES: 9. The 4.1-k Ω load represents one LSTTL unit load of 0.36 mA and a 6.1-k Ω pullup resistor.
 10. The 1.9-k Ω load represents one TTL unit load of 1.6 mA and a 5.6-k Ω pullup resistor.
 11. Common-mode transient immunity, high-level output, is the maximum rate of rise of the common-mode input voltage that does not cause the output voltage to drop below 2 V. Common-mode input transient immunity, low-level output, is the maximum rate of fall of the common-mode input voltage that does not cause the output voltage to rise above 0.8 V

**HCPL2530, HCPL2531
OPTOCOUPLEDERS/OPTOISOLATORS**

PARAMETER MEASUREMENT INFORMATION

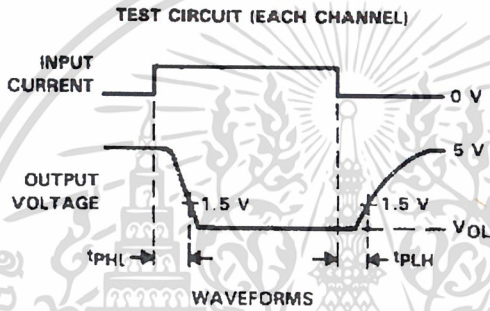
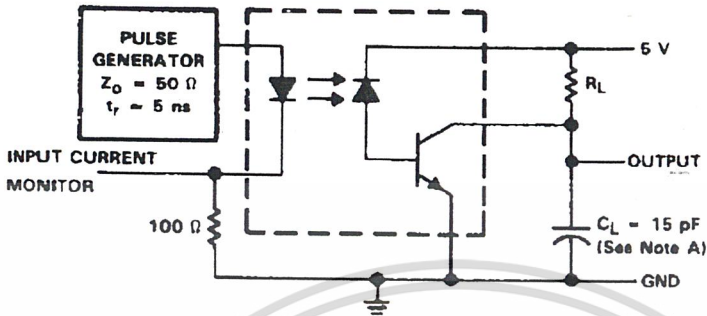


FIGURE 1. SWITCHING TEST CIRCUIT AND WAVEFORMS

NOTE A: C_L includes probe and stray capacitance.

**HCPL2530, HCPL2531
OPTOCOUPERS/OPTOISOLATORS**

PARAMETER MEASUREMENT INFORMATION

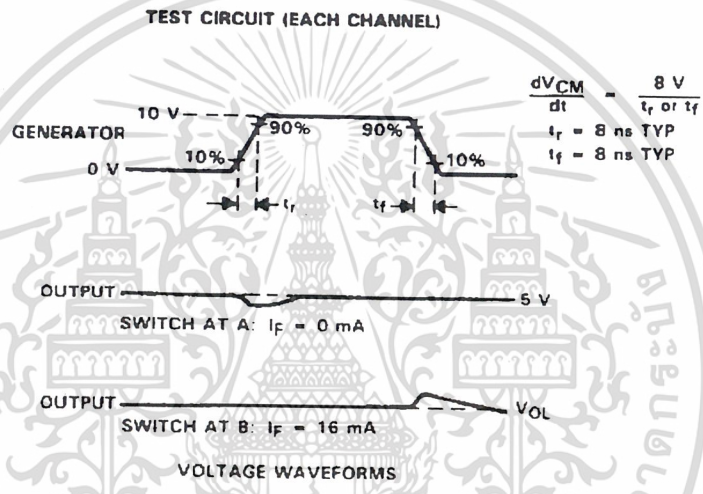
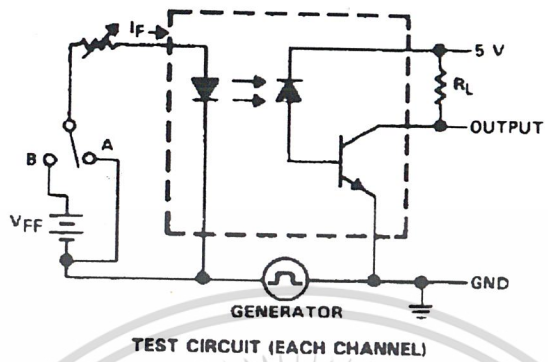


FIGURE 2. TRANSIENT IMMUNITY TEST CIRCUIT AND WAVEFORMS

HCPL2530, HCPL2531 OPTOCOUPERS/OPTOISOLATORS

INPUT DIODE FORWARD CURRENT
vs
FORWARD VOLTAGE

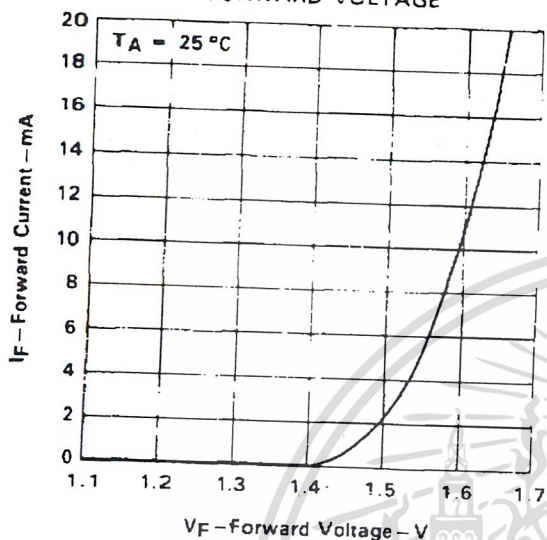


FIGURE 3

HCPL2530
CURRENT TRANSFER CHARACTERISTICS

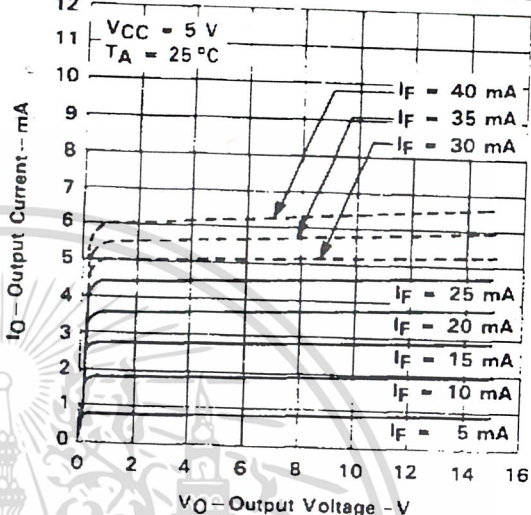


FIGURE 4

NORMALIZED CURRENT TRANSFER RATIO
vs
INPUT DIODE FORWARD CURRENT

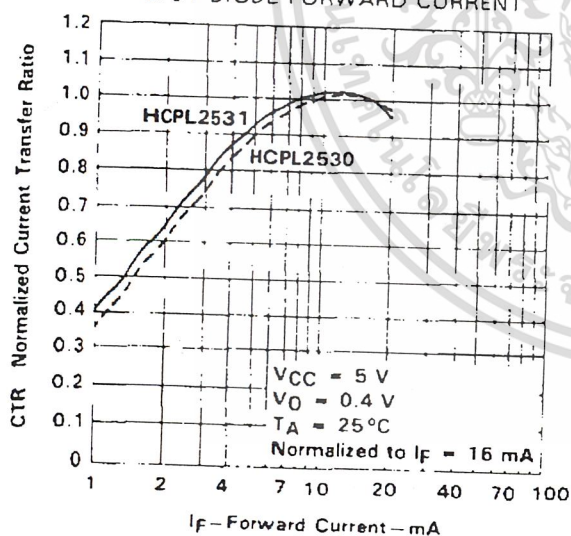


FIGURE 5

NORMALIZED CURRENT TRANSFER RATIO
vs
FREE AIR TEMPERATURE

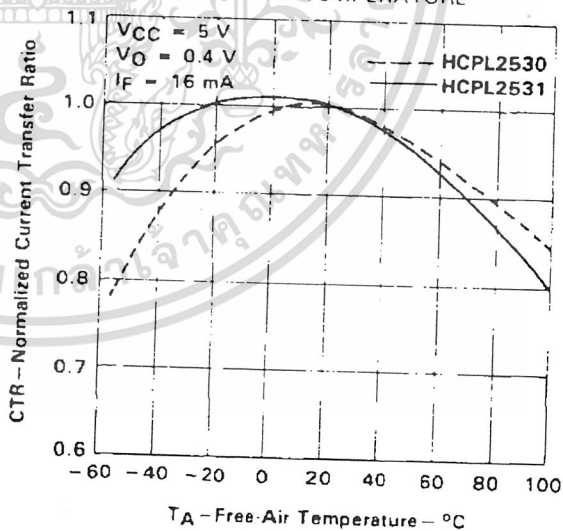


FIGURE 6



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ **TEXAS INSTRUMENTS** เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ 7 การค้า
 POST OFFICE BOX 655303 - DALLAS, TEXAS 75265
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HCPL2530, HCPL2531
OPTOCOUPPLERS/OPTOISOLATORS

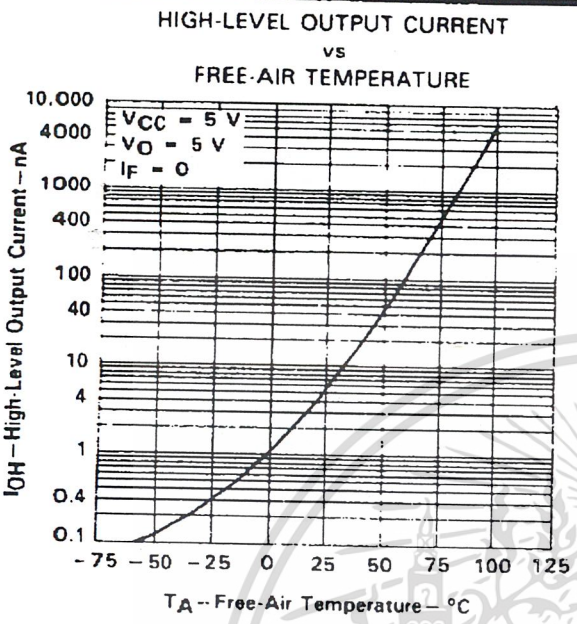


FIGURE 7

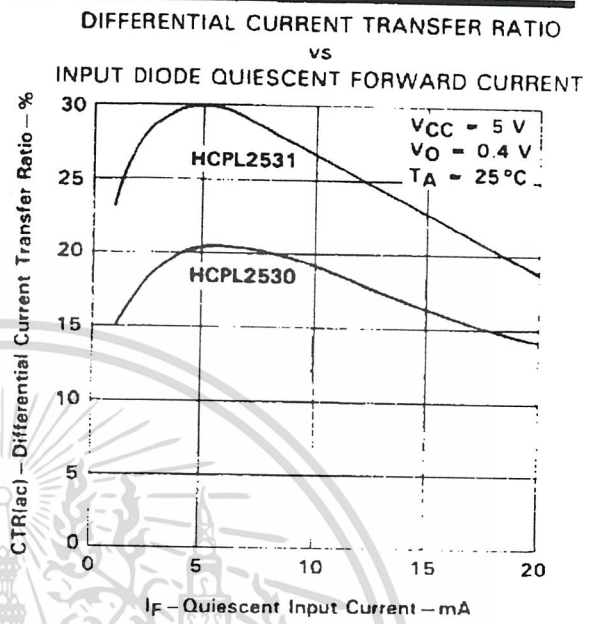


FIGURE 8

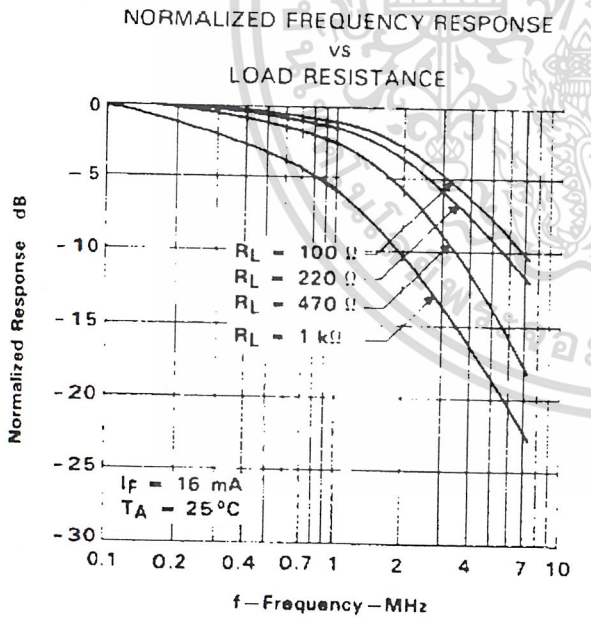


FIGURE 9

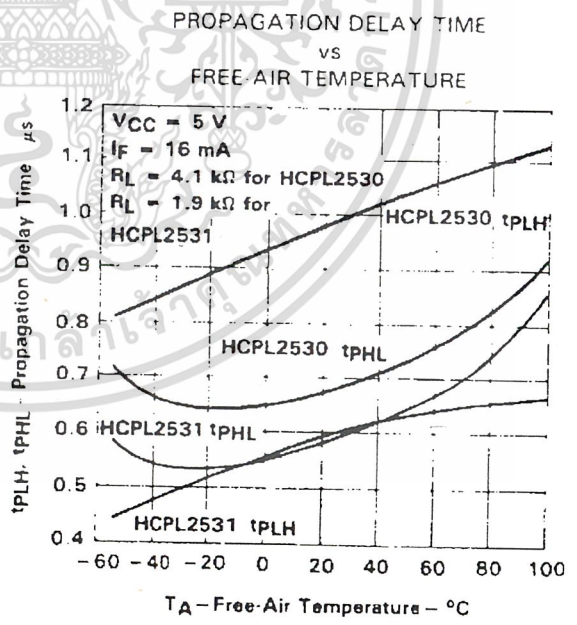


FIGURE 10



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับภายในเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 POS: OFFICE BOX 666303 • DALLAS, TEXAS 75286
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IMPORTANT NOTICE

Texas Instruments (TI) reserves the right to make changes to its products or to discontinue any semiconductor product or service without notice, and advises its customers to obtain the latest version of relevant information to verify, before placing orders, that the information being relied on is current.

TI warrants performance of its semiconductor products and related software to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are utilized to the extent TI deems necessary to support this warranty. Specific testing of all parameters of each device is not necessarily performed, except those mandated by government requirements.

Certain applications using semiconductor products may involve potential risks of death, personal injury, or severe property or environmental damage ("Critical Applications").

TI SEMICONDUCTOR PRODUCTS ARE NOT DESIGNED, INTENDED, AUTHORIZED, OR WARRANTED TO BE SUITABLE FOR USE IN LIFE-SUPPORT APPLICATIONS, DEVICES OR SYSTEMS OR OTHER CRITICAL APPLICATIONS.

Inclusion of TI products in such applications is understood to be fully at the risk of the customer. Use of TI products in such applications requires the written approval of an appropriate TI officer. Questions concerning potential risk applications should be directed to TI through a local SC sales office.

In order to minimize risks associated with the customer's applications, adequate design and operating safeguards should be provided by the customer to minimize inherent or procedural hazards.

TI assumes no liability for applications assistance, customer product design, software performance, or infringement of patents or services described herein. Nor does TI warrant or represent that any license, either express or implied, is granted under any patent right, copyright, mask work right, or other intellectual property right of TI covering or relating to any combination, machine, or process in which such semiconductor products or services might be or are used.

Copyright © 1996, Texas Instruments Incorporated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IMPORTANT NOTICE

Texas Instruments (TI) reserves the right to make changes to its products or to discontinue any semiconductor product or service without notice, and advises its customers to obtain the latest version of relevant information to verify, before placing orders, that the information being relied on is current.

TI warrants performance of its semiconductor products and related software to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are utilized to the extent TI deems necessary to support this warranty. Specific testing of all parameters of each device is not necessarily performed, except those mandated by government requirements.

Certain applications using semiconductor products may involve potential risks of death, personal injury, or severe property or environmental damage ("Critical Applications").

TI SEMICONDUCTOR PRODUCTS ARE NOT DESIGNED, INTENDED, AUTHORIZED, OR WARRANTED TO BE SUITABLE FOR USE IN LIFE-SUPPORT APPLICATIONS, DEVICES OR SYSTEMS OR OTHER CRITICAL APPLICATIONS.

Inclusion of TI products in such applications is understood to be fully at the risk of the customer. Use of TI products in such applications requires the written approval of an appropriate TI officer. Questions concerning potential risk applications should be directed to TI through a local SC sales office.

In order to minimize risks associated with the customer's applications, adequate design and operating safeguards should be provided by the customer to minimize inherent or procedural hazards.

TI assumes no liability for applications assistance, customer product design, software performance, or infringement of patents or services described herein. Nor does TI warrant or represent that any license, either express or implied, is granted under any patent right, copyright, mask work right, or other intellectual property right of TI covering or relating to any combination, machine, or process in which such semiconductor products or services might be or are used.

Copyright © 1996, Texas Instruments Incorporated

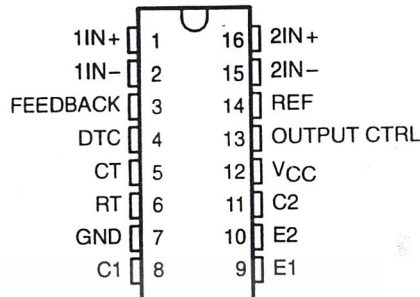
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TL494C, TL494I, TL494M, TL494Y PULSE-WIDTH-MODULATION CONTROL CIRCUITS

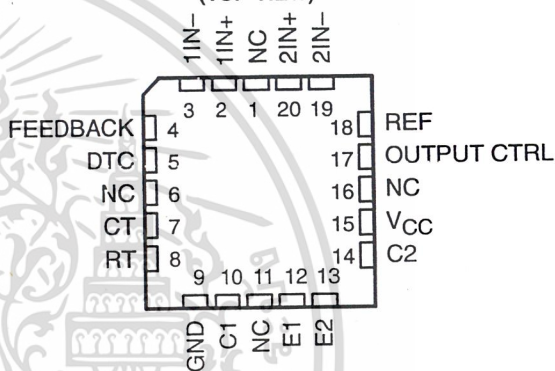
SLVS074A – JANUARY 1983 – REVISED AUGUST 1995

- Complete PWM Power Control Circuitry
- Uncommitted Outputs for 200-mA Sink or Source Current
- Output Control Selects Single-Ended or Push-Pull Operation
- Internal Circuitry Prohibits Double Pulse at Either Output
- Variable Dead Time Provides Control Over Total Range
- Internal Regulator Provides a Stable 5-V Reference Supply With 5% Tolerance
- Circuit Architecture Allows Easy Synchronization

TL494C, TL494I ... D, N, OR PW PACKAGE
TL494M ... J PACKAGE
(TOP VIEW)



TL494M ... FK PACKAGE
(TOP VIEW)



NC – No internal connection

FUNCTION TABLE

INPUT TO OUTPUT CTRL	OUTPUT FUNCTION
V _I = GND	Single-ended or parallel output
V _I = V _{ref}	Normal push-pull operation

description

The TL494 incorporates on a single monolithic chip all the functions required in the construction of a pulse-width-modulation control circuit. Designed primarily for power supply control, this device offers the systems engineer the flexibility to tailor the power supply control circuitry to a specific application.

The TL494 contains two error amplifiers, an on-chip adjustable oscillator, a dead-time control (DTC) comparator, a pulse-steering control flip-flop, a 5-V, 5%-precision regulator, and output-control circuits.

The error amplifiers exhibit a common-mode voltage range from -0.3 V to $V_{CC} - 2\text{ V}$. The dead-time control comparator has a fixed offset that provides approximately 5% dead time. The on-chip oscillator may be bypassed by terminating RT to the reference output and providing a sawtooth input to CT, or it may drive the common circuits in synchronous multiple-rail power supplies.

AVAILABLE OPTIONS

PACKAGED DEVICES

T _A	PACKAGED DEVICES					CHIP FORM (Y)
	SURFACE MOUNT (D) [†]	CHIP CARRIER (FK)	CERAMIC DIP (J)	PLASTIC DIP (N)	SHRINK SMALL OUTLINE (PW) [‡]	
0°C to 70°C	TL494CD	—	—	TL494CN	TL494CPW	TL494Y
-40°C to 85°C	TL494ID	—	—	TL494IN	—	—
-55°C to 125°C	—	TL494MFK	TL494MJ	—	—	—

[†]The D package is available taped and reeled. Add R suffix to device type (e.g., TL494CDR).

[‡]The PW package is only available left-end taped and reeled.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 1995, Texas Instruments Incorporated
On products compliant to MIL-STD-883, Class B, all parameters are tested unless otherwise noted. On all other products, production processing does not necessarily include testing of all parameters.

TL494C, TL494I, TL494M, TL494Y PULSE-WIDTH-MODULATION CONTROL CIRCUITS

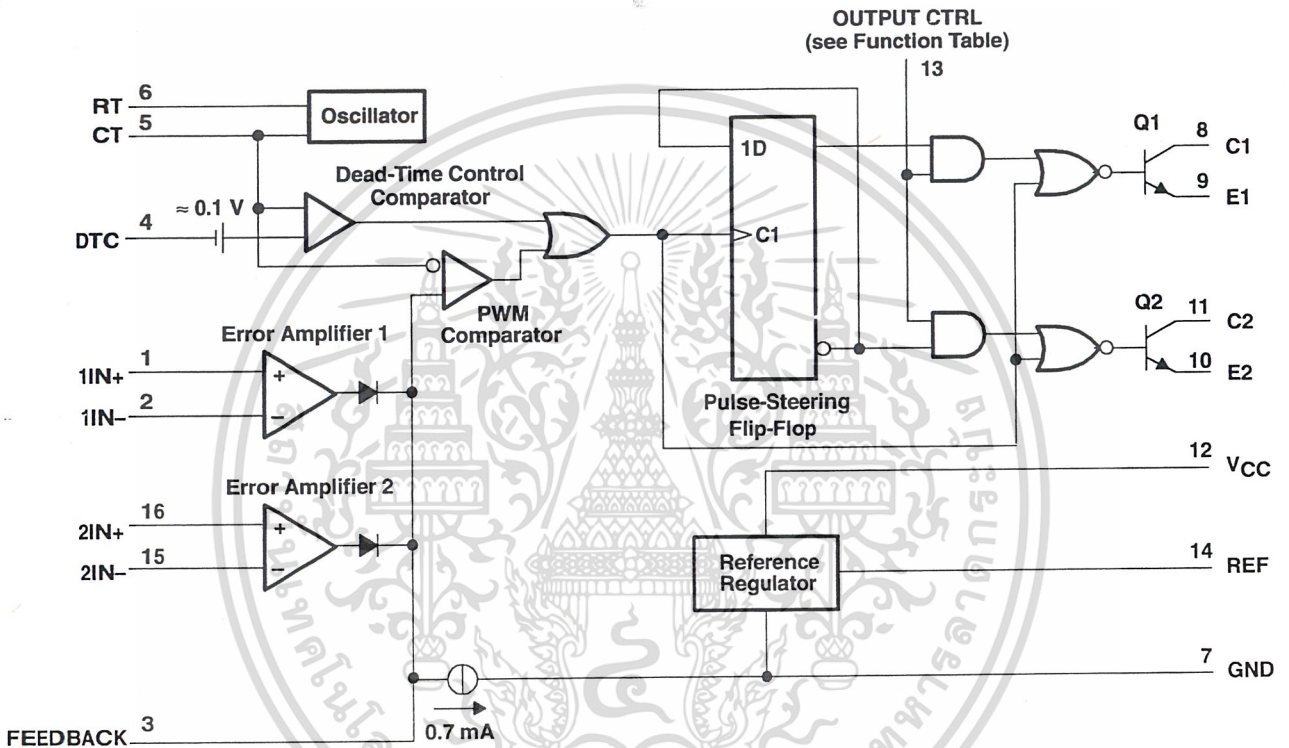
SLVS074A – JANUARY 1983 – REVISED AUGUST 1995

description (continued)

The uncommitted output transistors provide either common-emitter or emitter-follower output capability. The TL494 provides for push-pull or single-ended output operation, which may be selected through the output-control function. The architecture of this device prohibits the possibility of either output being pulsed twice during push-pull operation.

The TL494C is characterized for operation from 0°C to 70°C. The TL494I is characterized for operation from -40°C to 85°C. The TL494M is characterized for operation from -55°C to 125°C.

functional block diagram



NOTE A. The terminal numbers indicated apply only to the D, J, N, and PW packages.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



**TEXAS
INSTRUMENTS**

POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

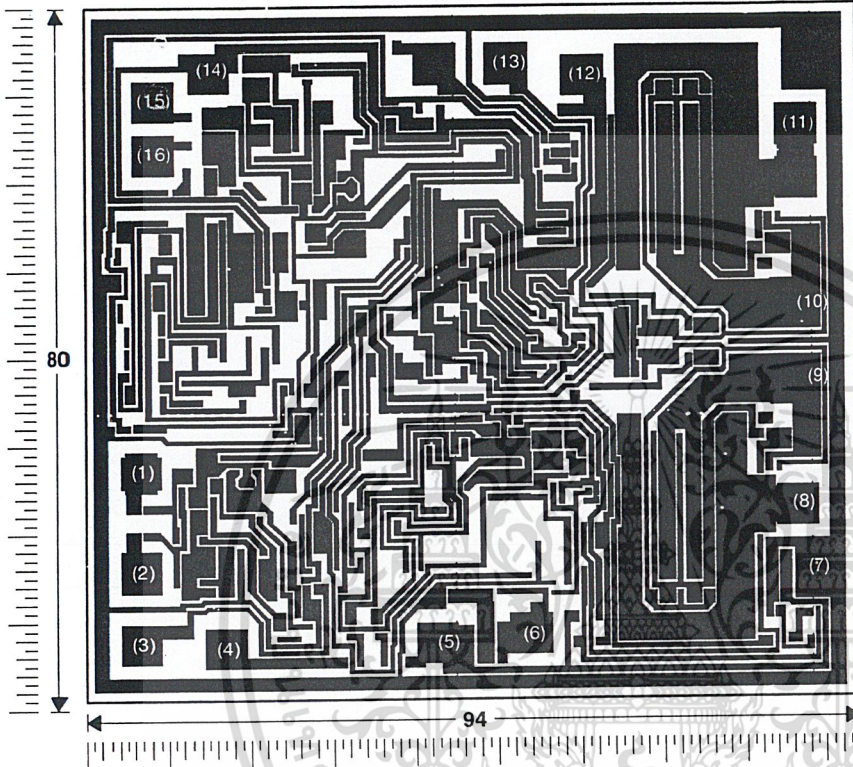
TL494C, TL494I, TL494M, TL494Y PULSE-WIDTH-MODULATION CONTROL CIRCUITS

SLVS074A – JANUARY 1983 – REVISED AUGUST 1995

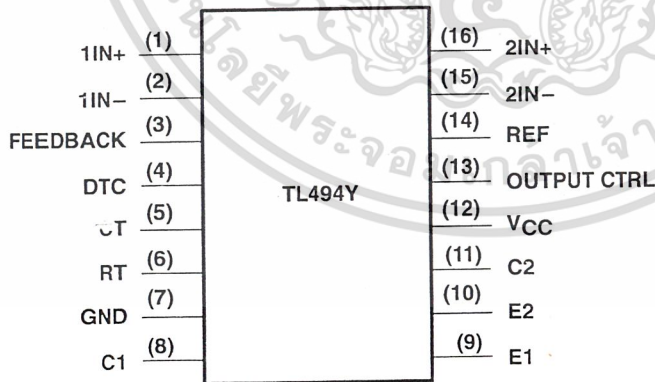
TL494Y chip information

This chip, when properly assembled, display characteristics similar to the TL494C. Thermal compression or ultrasonic bonding may be used on the doped aluminum bonding pads. The chips may be mounted with conductive epoxy or a gold-silicon preform.

BONDING PAD ASSIGNMENTS



CHIP THICKNESS: 15 MILS TYPICAL
 BONDING PADS: 4 × 4 MILS MINIMUM
 $T_{Jmax} = 150^{\circ}C$
 TOLERANCES ARE $\pm 10\%$.
 ALL DIMENSIONS ARE IN MILS.



TL494C, TL494I, TL494M, TL494Y

PULSE-WIDTH-MODULATION CONTROL CIRCUITS

SLVS074A - JANUARY 1983 - REVISED AUGUST 1995

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

	TL494C	TL494I	TL494M	UNIT
Supply voltage, V_{CC} (see Note 1)	41	41	41	V
Amplifier input voltage, V_I	$V_{CC} + 0.3$	$V_{CC} + 0.3$	$V_{CC} + 0.3$	V
Collector output voltage, V_O	41	41	41	V
Collector output current, I_O	250	250	250	mA
Continuous total power dissipation	See Dissipation Rating Table			
Operating free-air temperature range, T_A	0 to 70	-40 to 85	-55 to 125	°C
Storage temperature range, T_{stg}	-65 to 150	-65 to 150	-65 to 150	°C
Case temperature for 60 seconds, T_C : FK package	—	—	260	°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds: D, N, or PW package	260	260	—	°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds: J package	—	—	300	°C

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

NOTE 1: All voltage values, except differential voltages, are with respect to the network ground terminal.

DISSIPATION RATING TABLE

PACKAGE	$T_A \leq 25^\circ\text{C}$ POWER RATING	DERATING FACTOR	DERATE ABOVE T_A	$T_A = 70^\circ\text{C}$ POWER RATING	$T_A = 85^\circ\text{C}$ POWER RATING	$T_A = 125^\circ\text{C}$ POWER RATING
D	900 mW	7.6 mW/°C	25°C	558 mW	444 mW	—
FK	1375 mW	11.0 mW/°C	25°C	880 mW	715 mW	275 mW
J	1375 mW	11.0 mW/°C	25°C	880 mW	715 mW	275 mW
N	1000 mW	9.2 mW/°C	41°C	733 mW	595 mW	—
PW	700 mW	5.6 mW/°C	25°C	448 mW	—	—

recommended operating conditions

	TL494C		TL494I		TL494M		UNIT
	MIN	MAX	MIN	MAX	MIN	MAX	
Supply voltage, V_{CC}	7	40	7	40	7	40	V
Amplifier input voltage, V_I	-0.3	$V_{CC} - 2$	-0.3	$V_{CC} - 2$	-0.3	$V_{CC} - 2$	V
Collector output voltage, V_O		40		40		40	V
Collector output current (each transistor)		200		200		200	mA
Current into feedback terminal		0.3		0.3		0.3	mA
Oscillator frequency, f_{osc}	1	300	1	300	1	300	kHz
Timing capacitor, C_T	0.47	10000	0.47	10000	0.47	10000	nF
Timing resistor, R_T	1.8	500	1.8	500	1.8	500	k Ω
Operating free-air temperature, T_A	0	70	-40	85	-55	125	°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

TL494C, TL494I, TL494M, TL494Y PULSE-WIDTH-MODULATION CONTROL CIRCUITS

SLVS074A – JANUARY 1983 – REVISED AUGUST 1995

electrical characteristics over recommended operating free-air temperature range, $V_{CC} = 15\text{ V}$, $f = 10\text{ kHz}$ (unless otherwise noted)

reference section

PARAMETER	TEST CONDITIONS†	TL494C, TL494I			TL494M			UNIT
		MIN	TYP‡	MAX	MIN	TYP‡	MAX	
Output voltage (REF)	$I_O = 1\text{ mA}$	4.75	5	5.25	4.75	5	5.25	V
Input regulation	$V_{CC} = 7\text{ V to }40\text{ V}$		2	25		2	25	mV
Output regulation	$I_O = 1\text{ mA to }10\text{ mA}$		1	15		1	15	mV
Output voltage change with temperature	$\Delta T_A = \text{MIN to MAX}$		2	10		2	30*	mV/V
Short-circuit output current§	REF = 0 V		25			-25		mA

* On products compliant to MIL-STD-883, Class B, this parameter is not production tested.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values except for parameter changes with temperature are at $T_A = 25^\circ\text{C}$.

§ Duration of the short circuit should not exceed one second.

oscillator section, $C_T = 0.01\ \mu\text{F}$, $R_T = 12\ \text{k}\Omega$ (see Figure 1)

PARAMETER	TEST CONDITIONS†	TL494C, TL494I			TL494M			UNIT
		MIN	TYP‡	MAX	MIN	TYP‡	MAX	
Frequency			10			10		kHz
Standard deviation of frequency¶	All values of V_{CC} , C_T , R_T , and T_A constant		100			100		Hz/kHz
Frequency change with voltage	$V_{CC} = 7\text{ V to }40\text{ V}$, $T_A = 25^\circ\text{C}$		1			1		Hz/kHz
Frequency change with temperature#	$\Delta T_A = \text{MIN to MAX}$			10			10*	Hz/kHz

* On products compliant to MIL-STD-883, Class B, this parameter is not production tested.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values except for parameter changes with temperature are at $T_A = 25^\circ\text{C}$.

¶ Standard deviation is a measure of the statistical distribution about the mean as derived from the formula:

Temperature coefficient of timing capacitor and timing resistor not taken into account.

$$\sigma = \sqrt{\frac{\sum_{n=1}^N (x_n - \bar{X})^2}{N - 1}}$$

error amplifier section (see Figure 2)

PARAMETER	TEST CONDITIONS	TL494C, TL494I TL494M			UNIT
		MIN	TYP‡	MAX	
Input offset voltage	$V_O (\text{FEEDBACK}) = 2.5\text{ V}$		2	10	mV
Input offset current	$V_O (\text{FEEDBACK}) = 2.5\text{ V}$		25	250	nA
Input bias current	$V_O (\text{FEEDBACK}) = 2.5\text{ V}$		0.2	1	μA
Common-mode input voltage range	$V_{CC} = 7\text{ V to }40\text{ V}$		-0.3 to $V_{CC}-2$		V
Open-loop voltage amplification	$\Delta V_O = 3\text{ V}$, $R_L = 2\ \text{k}\Omega$, $V_O = 0.5\text{ V to }3.5\text{ V}$		70	95	dB
Unity-gain bandwidth	$V_O = 0.5\text{ V to }3.5\text{ V}$, $R_L = 2\ \text{k}\Omega$			800	kHz
Common-mode rejection ratio	$\Delta V_O = 40\text{ V}$, $T_A = 25^\circ\text{C}$		65	80	dB
Output sink current (FEEDBACK)	$V_{ID} = -15\text{ mV to }-5\text{ V}$, $V (\text{FEEDBACK}) = 0.7\text{ V}$		0.3	0.7	mA
Output source current (FEEDBACK)	$V_{ID} = 15\text{ mV to }5\text{ V}$, $V (\text{FEEDBACK}) = 3.5\text{ V}$		-2		mA

‡ All typical values except for parameter changes with temperature are at $T_A = 25^\circ\text{C}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



TL494C, TL494I, TL494M, TL494Y PULSE-WIDTH-MODULATION CONTROL CIRCUITS

SLVS074A – JANUARY 1983 – REVISED AUGUST 1995

electrical characteristics over recommended operating free-air temperature range, $V_{CC} = 15\text{ V}$, $f = 10\text{ kHz}$, $T_A = 25^\circ\text{C}$ (unless otherwise noted)

reference section

PARAMETER	TEST CONDITIONS	TL494Y			UNIT
		MIN	TYP†	MAX	
Output voltage (REF)	$I_O = 1\text{ mA}$		5		V
Input regulation	$V_{CC} = 7\text{ V to }40\text{ V}$		2		mV
Output regulation	$I_O = 1\text{ mA to }10\text{ mA}$		1		mV
Short-circuit output current‡	REF = 0 V		25		mA

oscillator section, $C_T = 0.01\text{ }\mu\text{F}$, $R_T = 12\text{ k}\Omega$ (see Figure 1)

PARAMETER	TEST CONDITIONS	TL494Y			UNIT
		MIN	TYP†	MAX	
Frequency			10		kHz
Standard deviation of frequency§	All values of V_{CC} , C_T , R_T , and T_A constant		100		Hz/kHz
Frequency change with voltage	$V_{CC} = 7\text{ V to }40\text{ V}$, $T_A = 25^\circ\text{C}$		1		Hz/kHz

error amplifier section (see Figure 2)

PARAMETER	TEST CONDITIONS	TL494Y			UNIT
		MIN	TYP†	MAX	
Input offset voltage	V_O (FEEDBACK) = 2.5 V		2		mV
Input offset current	V_O (FEEDBACK) = 2.5 V		25		nA
Input bias current	V_O (FEEDBACK) = 2.5 V		0.2		μA
Open-loop voltage amplification	$\Delta V_O = 3\text{ V}$, $R_L = 2\text{ k}\Omega$, $V_O = 0.5\text{ V to }3.5\text{ V}$		95		dB
Unity-gain bandwidth	$V_O = 0.5\text{ V to }3.5\text{ V}$, $R_L = 2\text{ k}\Omega$		800		kHz
Common-mode rejection ratio	$\Delta V_O = 40\text{ V}$, $T_A = 25^\circ\text{C}$		80		dB
Output sink current (FEEDBACK)	$V_{ID} = -15\text{ mV to }-5\text{ V}$, V (FEEDBACK) = 0.7 V		0.7		mA

† All typical values except for parameter changes with temperature are at $T_A = 25^\circ\text{C}$.

‡ Duration of the short circuit should not exceed one second.

§ Standard deviation is a measure of the statistical distribution about the mean as derived from the formula:

$$\sigma = \sqrt{\frac{\sum_{n=1}^N (x_n - \bar{X})^2}{N - 1}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



TL494C, TL494I, TL494M, TL494Y PULSE-WIDTH-MODULATION CONTROL CIRCUITS

SLVS074A – JANUARY 1983 – REVISED AUGUST 1995

electrical characteristics over recommended operating free-air temperature range, $V_{CC} = 15\text{ V}$, $f = 10\text{ kHz}$ (unless otherwise noted)

output section

PARAMETER	TEST CONDITIONS	TL494C, TL494I TL494M, TL494Y			UNIT
		MIN	TYP†	MAX	
Collector off-state current	$V_{CE} = 40\text{ V}$, $V_{CC} = 40\text{ V}$		2	100	μA
Emitter off-state current	$V_{CC} = V_C = 40\text{ V}$, $V_E = 0$			-100	μA
Collector-emitter saturation voltage	Common emitter	$V_E = 0$,	$I_C = 200\text{ mA}$		V
	Emitter follower	$V_O(C1\text{ or }C2) = 15\text{ V}$, $I_E = -200\text{ mA}$			
Output control input current	$V_I = V_{ref}$			3.5	mA

† All typical values except for temperature coefficient are at $T_A = 25^\circ\text{C}$.

dead-time control section (see Figure 1)

PARAMETER	TEST CONDITIONS	TL494C, TL494I TL494Y			TL494M			UNIT
		MIN	TYP†	MAX	MIN	TYP†	MAX	
Input bias current (DEAD-TIME CTRL)	$V_I = 0\text{ to }5.25\text{ V}$		-2	-10	-2	-10		μA
Maximum duty cycle, each output	V_I (DEAD-TIME CTRL) = 0, $C_T = 0.1\ \mu\text{F}$, $R_T = 12\ \text{k}\Omega$		45%		45%	50%*		
Input threshold voltage (DEAD-TIME CTRL)	Zero duty cycle		3	3.3	3	3.3		V
	Maximum duty cycle	0			0*			

* On products compliant to MIL-STD-883, Class B, this parameter is not production tested.

† All typical values except for temperature coefficient are at $T_A = 25^\circ\text{C}$.

PWM comparator section (see Figure 1)

PARAMETER	TEST CONDITIONS	TL494C, TL494I TL494M, TL494Y			UNIT
		MIN	TYP†	MAX	
Input threshold voltage (FEEDBACK)	Zero duty cycle		4	4.5	V
Input sink current (FEEDBACK)	V (FEEDBACK) = 0.7 V	0.3	0.7		mA

† All typical values except for temperature coefficient are at $T_A = 25^\circ\text{C}$.

total device

PARAMETER	TEST CONDITIONS	TL494C, TL494I TL494Y			TL494M			UNIT
		MIN	TYP†	MAX	MIN	TYP†	MAX	
Standby supply current	$R_T = V_{ref}$, All other inputs and outputs open	$V_{CC} = 15\text{ V}$	6	10	6	21	mA	
		$V_{CC} = 40\text{ V}$	9	15	9	26		
Average supply current	V_I (DEAD-TIME CTRL) = 2 V, See Figure 1		7.5		7.5		mA	

† All typical values except for temperature coefficient are at $T_A = 25^\circ\text{C}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



TL494C, TL494I, TL494M, TL494Y PULSE-WIDTH-MODULATION CONTROL CIRCUITS

SLVS074A – JANUARY 1983 – REVISED AUGUST 1995

electrical characteristics over recommended operating free-air temperature range, $V_{CC} = 15\text{ V}$, $f = 10\text{ kHz}$ (unless otherwise noted) (continued)

switching characteristics, $T_A = 25^\circ\text{C}$

PARAMETER	TEST CONDITIONS	TL494C, TL494I TL494Y			TL494M			UNIT
		MIN	TYP†	MAX	MIN	TYP†	MAX	
Rise time	Common-emitter configuration, See Figure 3		100	200	100	200*	ns	
Fall time			25	100	25	100*	ns	
Rise time	Emitter-follower configuration, See Figure 4		100	200	100	200*	ns	
Fall time			40	100	40	100*	ns	

* On products compliant to MIL-STD-883, Class B, this parameter is not production tested.

† All typical values except for temperature coefficient are at $T_A = 25^\circ\text{C}$.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

TL494C, TL494I, TL494M, TL494Y PULSE-WIDTH-MODULATION CONTROL CIRCUITS

SLVS074A – JANUARY 1983 – REVISED AUGUST 1995

PARAMETER MEASUREMENT INFORMATION

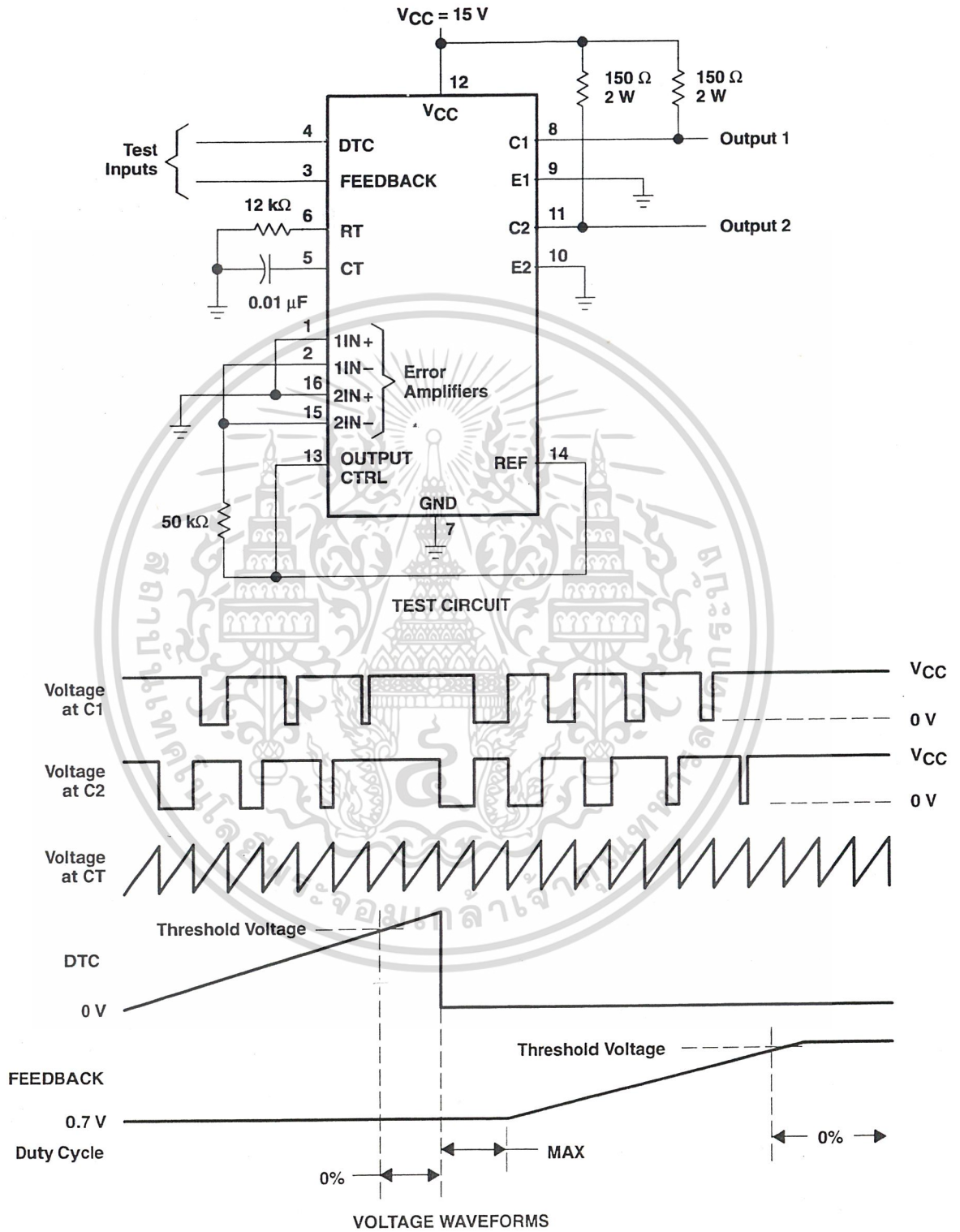


Figure 1. Operational Test Circuit and Waveforms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**TEXAS
INSTRUMENTS**

POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

TL494C, TL494i, TL494M, TL494Y PULSE-WIDTH-MODULATION CONTROL CIRCUITS

SLVS074A - JANUARY 1983 - REVISED AUGUST 1995

PARAMETER MEASUREMENT INFORMATION

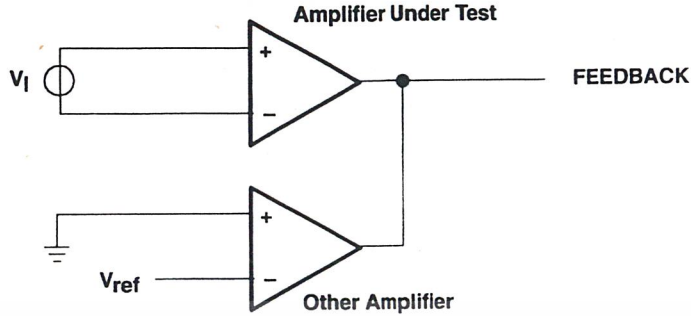


Figure 2. Amplifier Characteristics

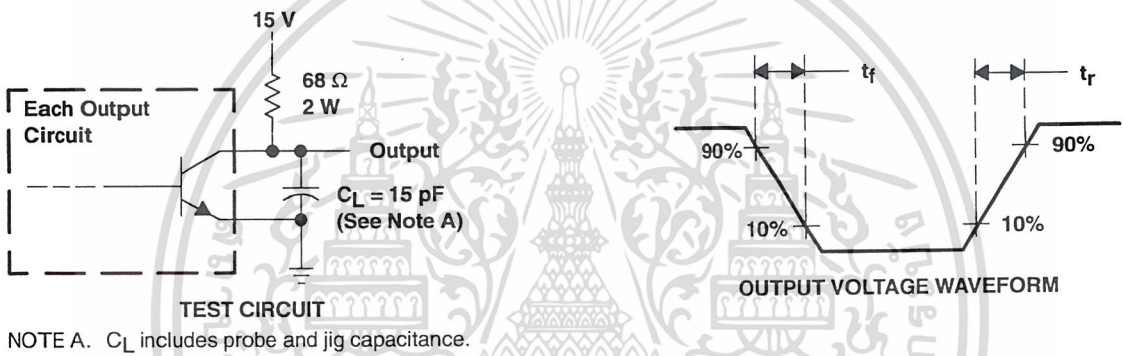


Figure 3. Common-Emitter Configuration

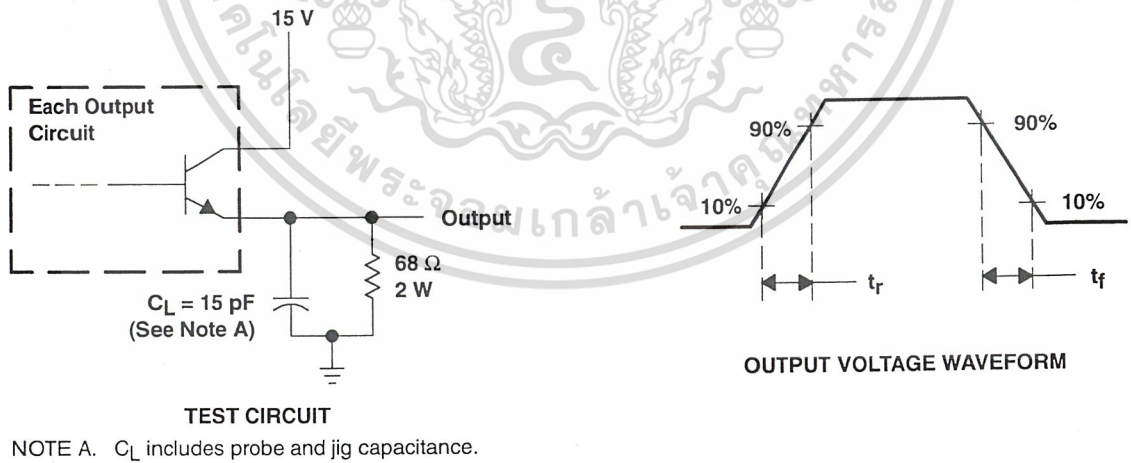


Figure 4. Emitter-Follower Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

TYPICAL CHARACTERISTICS

OSCILLATOR FREQUENCY AND
FREQUENCY VARIATION†
vs
TIMING RESISTANCE

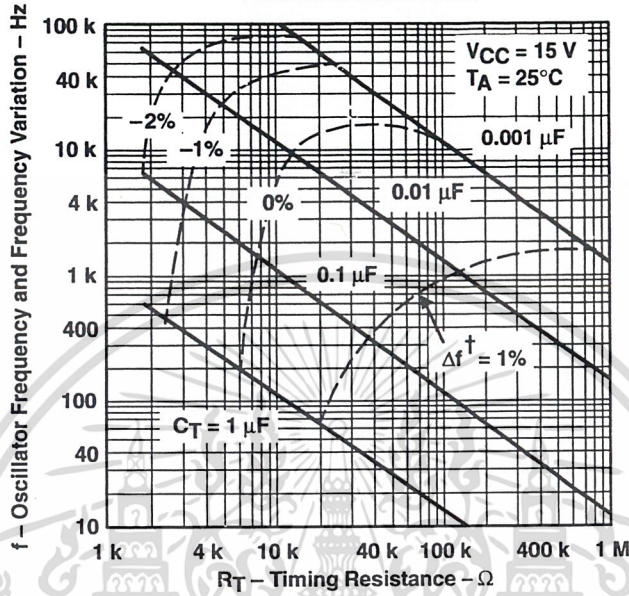


Figure 5

† Frequency variation (Δf) is the change in oscillator frequency that occurs over the full temperature range.

AMPLIFIER VOLTAGE AMPLIFICATION
vs
FREQUENCY

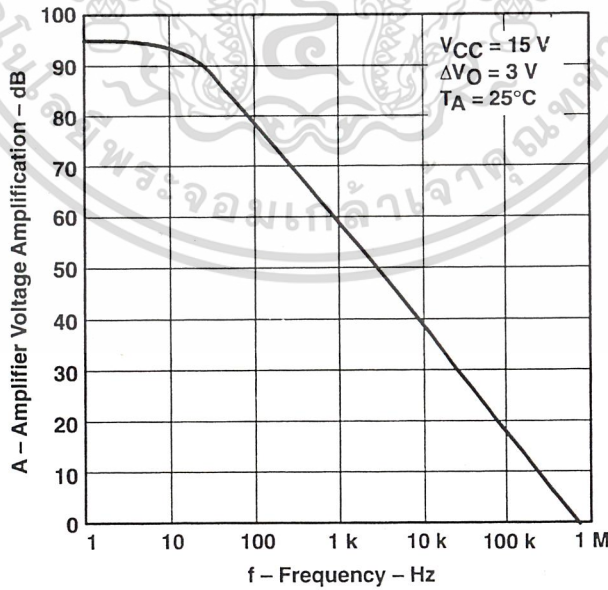
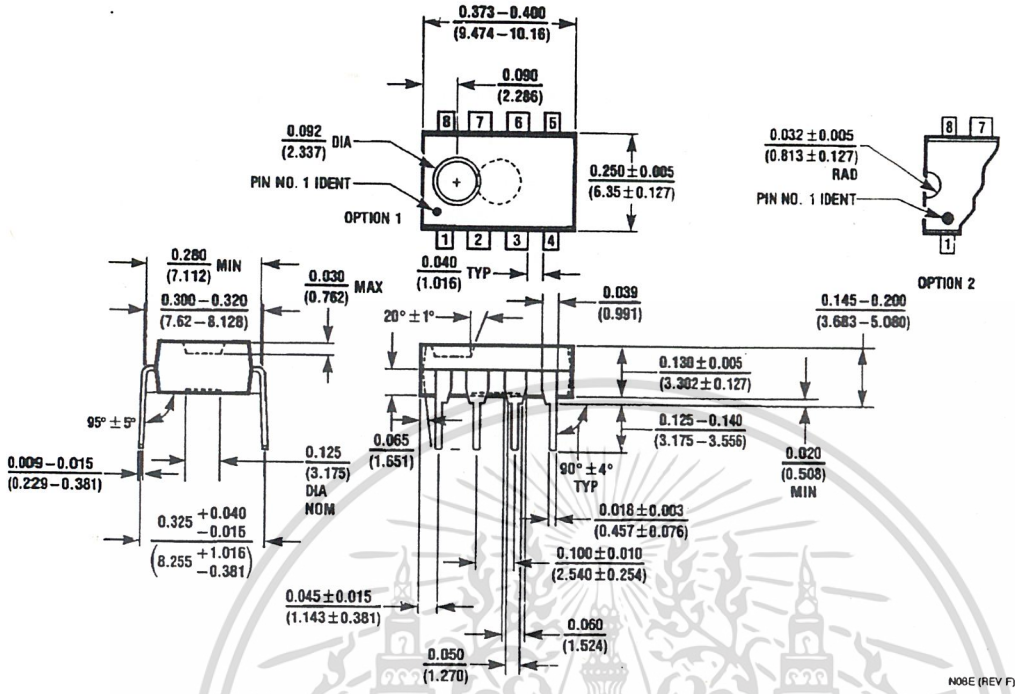


Figure 6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Physical Dimensions inches (millimeters) (Continued)



Molded Dual-In-Line Package (N)
 Order Number DS0026CN
 NS Package Number N08E

N08E (REV F)

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.



National Semiconductor Corporation
 1111 West Bardin Road
 Arlington, TX 76017
 Tel: 1(800) 272-9959
 Fax: 1(800) 737-7018

National Semiconductor Europe
 Fax: (+49) 0-180-530 85 86
 Email: cnjwge@tevm2.nsc.com
 Deutsch Tel: (+49) 0-180-530 85 85
 English Tel: (+49) 0-180-532 78 32
 Français Tel: (+49) 0-180-532 93 58
 Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
 13th Floor, Straight Block,
 Ocean Centre, 5 Canton Rd.
 Tsimshatsui, Kowloon
 Hong Kong
 Tel: (852) 2737-1600
 Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
 Tel: 81-043-299-2309
 Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MNDS0026-X REV 0A0

Original Creation Date: 08/22/95

Last Update Date: 02/17/97

Last Major Revision Date: 08/22/95

5MHz TWO PHASE MOS CLOCK DRIVER
General Description

DS0026 is a low cost monolithic high speed two phase MOS clock drivers and interface circuits. Unique circuit design provides both very high speed operation and the ability to drive large capacitive loads. The device accepts standard TTL outputs and converts them to MOS logic levels. They may be driven from standard 54/74 series and 54S/74S series gates and flip-flops or from drivers such as the DS8830 or MD7440. The DS0026 is intended for applications in which the output pulse width is logically controlled; i.e., the output pulse width is equal to the input pulse width.

The DS0026 is designed to fulfill a wide variety of MOS interface requirements. As a MOS clock driver for long silicon-gate shift registers, a single device can drive over 10k bits at 5 MHz. Six devices provide input address and precharge drive for a 8k by 16-bit 1103 RAM memory system. Information on the correct usage of the DS0026 in these as well as other systems is included in the application note AN-76.

Industry Part Number

DS0026

Prime Die

DS0026

NS Part Numbers

 DS0026G-MIL
 DS0026H/883
 DS0026J/883

Processing

MIL-STD-883, Method 5004

Quality Conformance Inspection

MIL-STD-883, Method 5005

Subgrp Description
Temp (°C)

1	Static tests at	+25
2	Static tests at	+125
3	Static tests at	-55
4	Dynamic tests at	+25
5	Dynamic tests at	+125
6	Dynamic tests at	-55
7	Functional tests at	+25
8A	Functional tests at	+125
8B	Functional tests at	-55
9	Switching tests at	+25
10	Switching tests at	+125
11	Switching tests at	-55

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Features

- Fast rise and fall times-20 ns 1000 pF load
- High output swing-20V
- High output current drive- ± 1.5 amps
- TTL compatible inputs
- High rep rate-5 to 10 MHz depending on power dissipation
- Low power consumption in MOS "0" state-2 mW
- Drives to 0.4V of GND for RAM address drive



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Absolute Maximum Ratings)

(Note 1)

V+ - V ⁻ Differential	22V
Input Current	100mA
Input Voltage (V _{in} - V ⁻)	5.5V
Peak Output Current	1.5A
Maximum Power Dissipation At 25 C (Note 2)	
Cavity Package (8-Pin)	1150 mW
Cavity Package (14-Pin)	1380 mW
Header Package (8-Pin)	TBD
Header Package (12-Pin)	TBD
Operating Temperature Range	-55 C to +125 C
Maximum Junction Temperature	150 C
Storage Temperature Range	-65 C to +150 C
Lead Temperature (Soldering, 10 sec.)	300 C
Thermal Resistance ThetaJA	
Cavity Package 8-Pin	130 C/W
Cavity Package 14-Pin	110 C/W
Header Package 8-Pin	230 C/W
Header Package 12-Pin	TBD

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits. For guaranteed specification and test conditions, see the Electrical Characteristics. The guaranteed specifications apply only for the test conditions listed. Some performance characteristics may degrade when the device is not operated under the listed test conditions.

Note 2: The maximum power dissipation must be derated at elevated temperatures and is dictated by T_{jmax} (maximum junction temperature), ThetaJA (package junction to ambient thermal resistance), and TA (ambient temperature). The maximum allowable power dissipation at any temperature is P_{dmax} = (T_{jmax} - TA)/ThetaJA or the number given in the Absolute Maximum Ratings, whichever is lower.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics

DC PARAMETERS

(The following conditions apply to all the following parameters, unless otherwise specified.)
DC: Power dissipation must be externally controlled at elevated temperatures.

SYMBOL	PARAMETER	CONDITIONS	NOTES	PIN-NAME	MIN	MAX	UNIT	SUB-GROUPS
Vol1	Logical "0" Output Voltage	$V_{in} = 2.4V, V_+ - V_- = 20V, I_{ol} = 1mA$				1	V	1, 2, 3
Vol2	Logical "0" Output Voltage	$V_{in} = 2.4V, V_+ - V_- = 10V, I_{ol} = 1mA$				1	V	1, 2, 3
Voh1	Logical "1" Output Voltage	$V_{in} - V_- = 0.4V, V_+ - V_- = 20V, I_{oh} = -1mA$			19		V	1, 2, 3
Voh2	Logical "1" Output Voltage	$V_{in} - V_- = 0.4V, V_+ - V_- = 10V, I_{oh} = -1mA$			9		V	1, 2, 3
Ii11	Logical "0" Input Current	$V_{in} = 0V, V_+ = 20V, V_- = 0V$				-10	μA	1, 3
Ii12	Logical "0" Input Current	$V_{in} = 0V, V_+ = 10V, V_- = 0V$				-15	μA	2
Ii21	Logical "1" Input Current	$V_{in} = 2.4V, V_+ = 20V, V_- = 0V$				-15	μA	1, 3
Ii22	Logical "1" Input Current	$V_{in} = 2.4V, V_+ = 10V, V_- = 0V$				-15	μA	2
cc(OFF)	"OFF" Supply Current	$V_{in} = 0V, V_+ = 20V, V_- = 0V$				500	μA	1, 2, 3
cc1(ON)	"ON" Supply Current	$V_{in} = 2.4V, V_+ = 20V, V_- = 0V, (SIDE A ON)$				40	mA	1, 2, 3
cc2(ON)	"ON" Supply Current	$V_{in} = 2.4V, V_+ = 20V, V_- = 0V, (SIDE B ON)$				40	mA	1, 2, 3
ih1	Logical "1" Input Voltage	$V_+ = 20V, V_- = 0V$	1		2		V	1, 2, 3
ih2	Logical "1" Input Voltage	$V_+ = 10V, V_- = 0V$	1		2		V	1, 2, 3
il1	Logical "0" Input Voltage	$V_+ = 20V, V_- = 0V$	1			0.4	V	1, 2, 3
il2	Logical "0" Input Voltage	$V_+ = 10V, V_- = 0V$	1			0.4	V	1, 2, 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics

AC PARAMETERS

(The following conditions apply to all the following parameters, unless otherwise specified.)
DC: Power dissipation must be externally controlled at elevated temperatures.

SYMBOL	PARAMETER	CONDITIONS	NOTES	PIN-NAME	MIN	MAX	UNIT	SUB-GROUPS
tON	Turn-On Delay	V+ = 20V	3		5	15	nS	9
			3		4	19	nS	10, 11
tOFF	Turn-Off Delay	V+ = 20V	3			15	nS	9
			3			19	nS	10, 11
tr (tPD1)	Rise Time	V+ - V- = 20V, Cl = 1000pF	3, 4			35	nS	9
			3, 4			44	nS	10, 11
tF (tPD0)	Fall Time	V+ - V- = 20V, Cl = 1000pF	3			35	nS	9
			3			44	nS	10, 11

AC PARAMETERS: Transistor Driver

(The following conditions apply to all the following parameters, unless otherwise specified.)
DC: Power dissipation must be externally controlled at elevated temperatures.

tR	Rise Time	Cl = 500pF	2, 4			18	nS	9
tF	Fall Time	Cl = 500pF	2			16	nS	9

AC PARAMETERS: Gate Driven

(The following conditions apply to all the following parameters, unless otherwise specified.)
DC: Power dissipation must be externally controlled at elevated temperatures.

tR	Rise Time	Cl = 500pF	2, 4			40	nS	9
		Cl = 1000pF	2, 4			50	nS	9
tF	Fall Time	Cl = 500pF	2			35	nS	9
		Cl = 1000pF	2			40	nS	9

Note 1: Parameter tested go-no-go only.

Note 2: Guaranteed parameter not tested.

Note 3: Tested at +25 C, guaranteed but not tested at +125 C and -55 C.

Note 4: Rise Time is the transition time from a Logical "0" to a Logical "1" and actually represents a voltage drop.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IMPORTANT NOTICE

Texas Instruments (TI) reserves the right to make changes to its products or to discontinue any semiconductor product or service without notice, and advises its customers to obtain the latest version of relevant information to verify, before placing orders, that the information being relied on is current.

TI warrants performance of its semiconductor products and related software to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are utilized to the extent TI deems necessary to support this warranty. Specific testing of all parameters of each device is not necessarily performed, except those mandated by government requirements.

Certain applications using semiconductor products may involve potential risks of death, personal injury, or severe property or environmental damage ("Critical Applications").

TI SEMICONDUCTOR PRODUCTS ARE NOT DESIGNED, INTENDED, AUTHORIZED, OR WARRANTED TO BE SUITABLE FOR USE IN LIFE-SUPPORT APPLICATIONS, DEVICES OR SYSTEMS OR OTHER CRITICAL APPLICATIONS.

Inclusion of TI products in such applications is understood to be fully at the risk of the customer. Use of TI products in such applications requires the written approval of an appropriate TI officer. Questions concerning potential risk applications should be directed to TI through a local SC sales office.

In order to minimize risks associated with the customer's applications, adequate design and operating safeguards should be provided by the customer to minimize inherent or procedural hazards.

TI assumes no liability for applications assistance, customer product design, software performance, or infringement of patents or services described herein. Nor does TI warrant or represent that any license, either express or implied, is granted under any patent right, copyright, mask work right, or other intellectual property right of TI covering or relating to any combination, machine, or process in which such semiconductor products or services might be or are used.

Copyright © 1996, Texas Instruments Incorporated

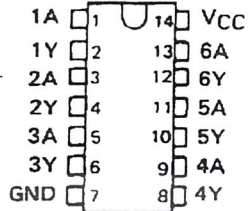
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**SN5414, SN54LS14,
SN7414, SN74LS14**
HEX SCHMITT-TRIGGER INVERTERS
DECEMBER 1983—REVISED MARCH 1985

- Operation from Very Slow Edges
- Improved Line-Receiving Characteristics
- High Noise Immunity

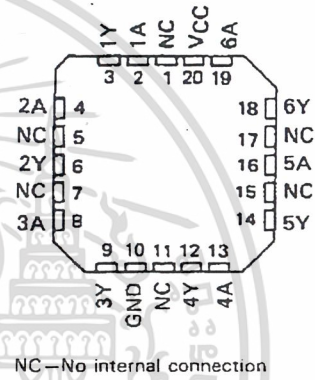
SN5414, SN54LS14 . . . J OR W PACKAGE
SN7414 . . . N PACKAGE
SN74LS14 . . . D OR N PACKAGE

(TOP VIEW)



SN54LS14 . . . FK PACKAGE

(TOP VIEW)



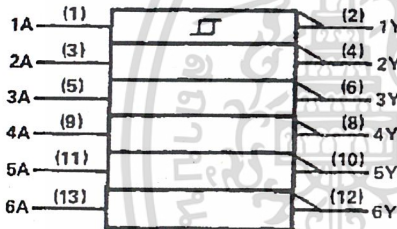
description

Each circuit functions as an inverter, but because of the Schmitt action, it has different input threshold levels for positive (V_{T+}) and for negative going (V_{T-}) signals.

These circuits are temperature-compensated and can be triggered from the slowest of input ramps and still give clean, jitter-free output signals.

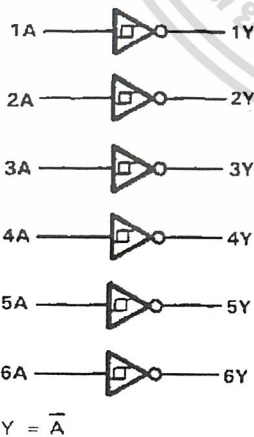
The SN5414 and SN54LS14 are characterized for operation over the full military temperature range of -55°C to 125°C . The SN7414 and the SN74LS14 are characterized for operation from 0°C to 70°C .

logic symbol†



† This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12. Pin numbers shown are for D, J, N, and W packages.

logic diagram (positive logic)



PRODUCTION DATA documents contain information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

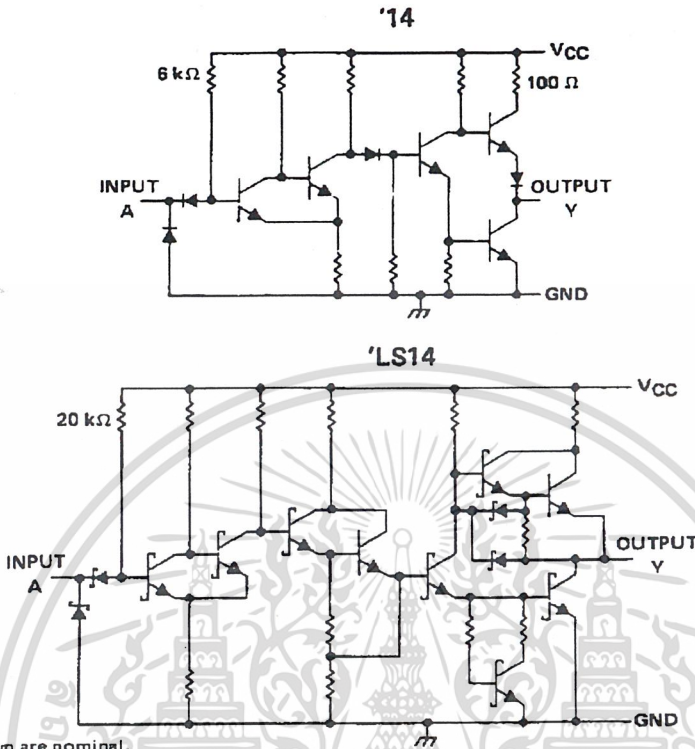
TEXAS INSTRUMENTS

POST OFFICE BOX 655012 • DALLAS, TEXAS 75265

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN5414, SN54LS14, SN7414, SN74LS14 HEX SCHMITT-TRIGGER INVERTERS

schematics



Resistor values shown are nominal.

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage: '14	5.5 V
'LS14	7 V
Operating free-air temperature: SN54'	-55°C to 125°C
SN74'	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

SN5414, SN7414 HEX SCHMITT-TRIGGER INVERTERS

recommended operating conditions

	SN5414			SN7414			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC} Supply voltage	4.5	5	5.5	4.75	5	5.25	V
I_{OH} High-level output current			-0.8			-0.8	mA
I_{OL} Low-level output current			16			16	mA
T_A Operating free-air temperature	-55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
V_{T+}	$V_{CC} = 5\text{ V}$	1.5	1.7	2	V
V_{T-}	$V_{CC} = 5\text{ V}$	0.6	0.9	1.1	V
Hysteresis ($V_{T+} - V_{T-}$)	$V_{CC} = 5\text{ V}$	0.4	0.8		V
V_{IK}	$V_{CC} = \text{MIN}, I_I = -12\text{ mA}$			-1.5	V
V_{OH}	$V_{CC} = \text{MIN}, V_I = 0.6\text{ V}, I_{OH} = -0.8\text{ mA}$	2.4	3.4		V
V_{OL}	$V_{CC} = \text{MIN}, V_I = 2\text{ V}, I_{OL} = 16\text{ mA}$		0.2	0.4	V
I_{T+}	$V_{CC} = 5\text{ V}, V_I = V_{T+}$		-0.43		mA
I_{T-}	$V_{CC} = 5\text{ V}, V_I = V_{T-}$		-0.56		mA
I_I	$V_{CC} = \text{MAX}, V_I = 5.5\text{ V}$			1	mA
I_{IH}	$V_{CC} = \text{MAX}, V_{IH} = 2.4\text{ V}$			40	μA
I_{IL}	$V_{CC} = \text{MAX}, V_{IL} = 0.4\text{ V}$		-0.8	-1.2	mA
$I_{OS}§$	$V_{CC} = \text{MAX}$	-18		-55	mA
I_{CCH}	$V_{CC} = \text{MAX}$		22	36	mA
I_{CCL}	$V_{CC} = \text{MAX}$		39	60	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at $V_{CC} = 5\text{ V}, T_A = 25^\circ\text{C}$.

§ Not more than one output should be shorted at a time.

switching characteristics, $V_{CC} = 5\text{ V}, T_A = 25^\circ\text{C}$

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	A	Y	$R_L = 400\ \Omega, C_L = 15\text{ pF}$		15	22	ns
t_{PHL}					15	22	ns


**TEXAS
INSTRUMENTS**

POST OFFICE BOX 655012 • DALLAS, TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ภายในบริษัทหรือองค์กรที่มิใช่หน่วยงานจำหน่ายสินค้าของบริษัทฯ
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54LS14, SN74LS14 HEX SCHMITT-TRIGGER INVERTERS

recommended operating conditions

	SN54LS14			SN74LS14			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
V _{CC} Supply voltage	4.5	5	5.5	4.75	5	5.25	V
I _{OH} High-level output current			-0.4			-0.4	mA
I _{OL} Low-level output current			4			8	mA
T _A Operating free-air temperature	-55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	SN54LS14			SN74LS14			UNIT
		MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V _{T+}	V _{CC} = 5 V	1.4	1.6	1.9	1.4	1.6	1.9	V
V _{T-}	V _{CC} = 5 V	0.5	0.8	1	0.5	0.8	1	V
Hysteresis (V _{T+} - V _{T-})	V _{CC} = 5 V	0.4	0.8		0.4	0.8		V
V _{IK}	V _{CC} = MIN, I _I = -18 mA			-1.5			-1.5	V
V _{OH}	V _{CC} = MIN, V _I = 0.5 V, I _{OH} = -0.4 mA	2.5	3.4		2.7	3.4		V
V _{OL}	V _{CC} = MIN, V _I = 1.9 V, I _{OL} = 4 mA I _{OL} = 8 mA		0.25	0.4		0.25	0.4	V
I _{T+}	V _{CC} = 5 V, V _I = V _{T+}		-0.14			-0.14		mA
I _{T-}	V _{CC} = 5 V, V _I = V _{T-}		-0.18			-0.18		mA
I _I	V _{CC} = MAX, V _I = 7 V			0.1			0.1	mA
I _{IH}	V _{CC} = MAX, V _{IH} = 2.7 V			20			20	µA
I _{IL}	V _{CC} = MAX, V _{IL} = 0.4 V			-0.4			-0.4	mA
I _{OS} §	V _{CC} = MAX	-20		-100	-20		-100	mA
I _{GCH}	V _{CC} = MAX		8.6	16		8.6	16	mA
I _{CCL}	V _{CC} = MAX		12	21		12	21	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.

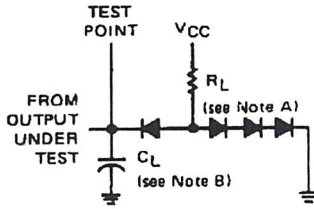
§ Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.

switching characteristics, V_{CC} = 5 V, T_A = 25°C

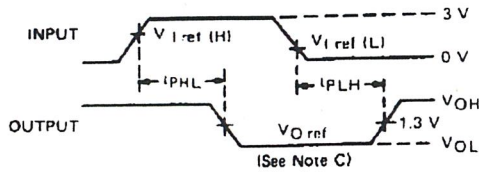
PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t _{PLH}	A	Y	R _L = 2 kΩ, C _L = 15 pF		15	22	ns
t _{PHL}					15	22	ns

SN5414, SN54LS14, SN7414, SN74LS14 HEX SCHMITT-TRIGGER INVERTERS

PARAMETER MEASUREMENT INFORMATION



LOAD CIRCUIT



VOLTAGE WAVEFORMS

- NOTES: A. All diodes are 1N3064 or equivalent.
 B. C_L includes probe and jig capacitance.
 C. Generator characteristics and reference voltage are:

	Generator Characteristics				Reference Voltages		
	Z_{out}	PRR	t_r	t_f	$V_{I \text{ ref (H)}}$	$V_{I \text{ ref (L)}}$	$V_{O \text{ ref}}$
SN54'/SN74'	50 Ω	1 MHz	10 ns	10 ns	1.7 V	0.9 V	1.5 V
SN54LS'/SN74LS'	50 Ω	1 MHz	15 ns	6 ns	1.6 V	0.8 V	1.3 V

TYPICAL CHARACTERISTICS OF '14 CIRCUITS

POSITIVE-GOING THRESHOLD VOLTAGE
vs
FREE-AIR TEMPERATURE

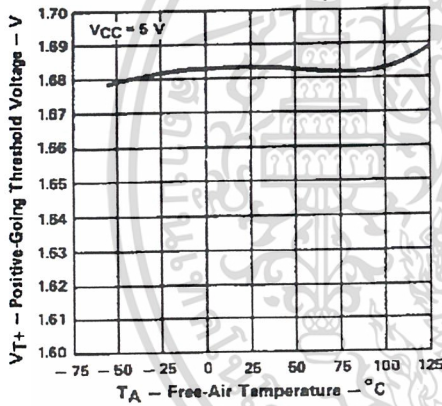


FIGURE 1

NEGATIVE-GOING THRESHOLD VOLTAGE
vs
FREE-AIR TEMPERATURE

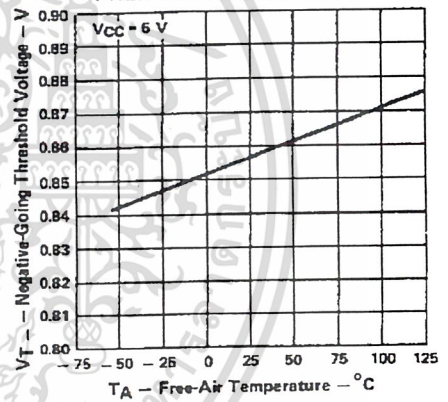


FIGURE 2

HYSTERESIS
vs
FREE-AIR TEMPERATURE

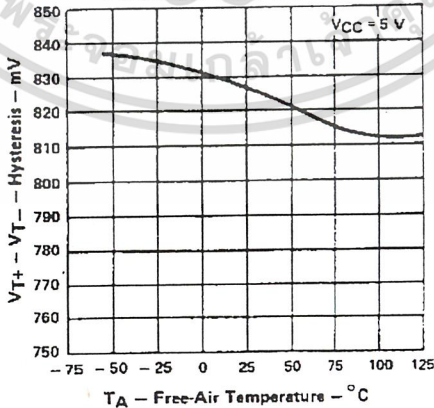


FIGURE 3

Data for temperatures below 0°C and 70°C and supply voltages below 4.75V and above 5.25V are applicable for SN5414 only.

SN5414, SN7414
HEX SCHMITT-TRIGGER INVERTERS

TYPICAL CHARACTERISTICS OF '14 CIRCUITS

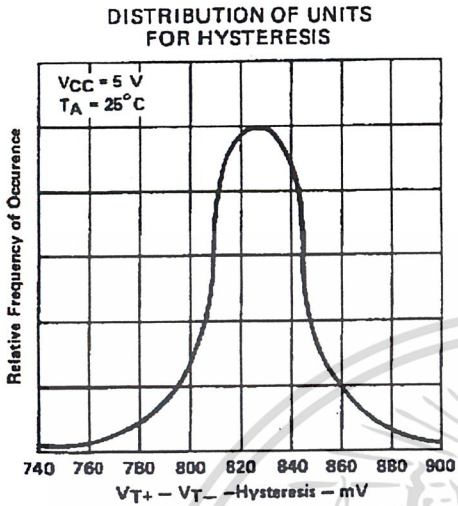


FIGURE 4

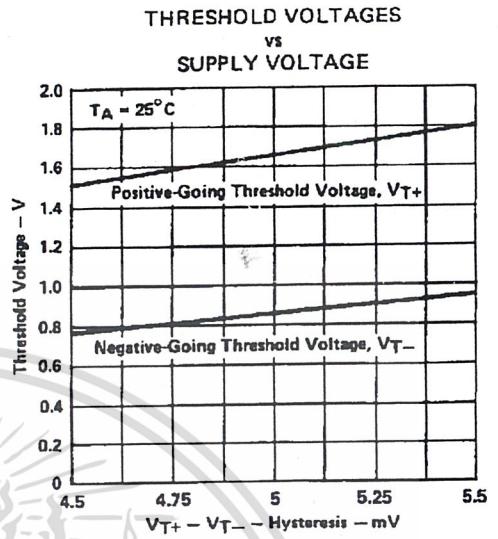


FIGURE 5

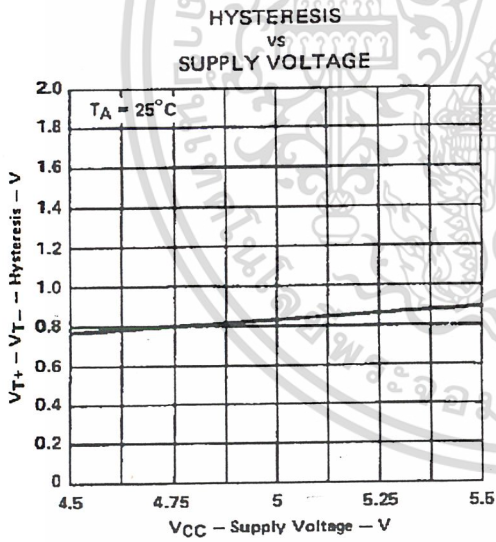


FIGURE 6

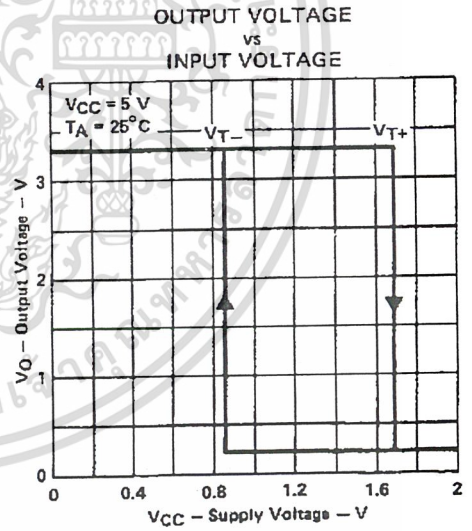


FIGURE 7

Data for temperatures below 0°C and 70°C and supply voltages below 4.75 V and above 5.25 V are applicable for SN5414 only.

SN54LS14, SN74LS14 HEX SCHMITT-TRIGGER INVERTERS

TYPICAL CHARACTERISTICS OF 'LS14 CIRCUITS

POSITIVE-GOING THRESHOLD VOLTAGE
vs
FREE-AIR TEMPERATURE

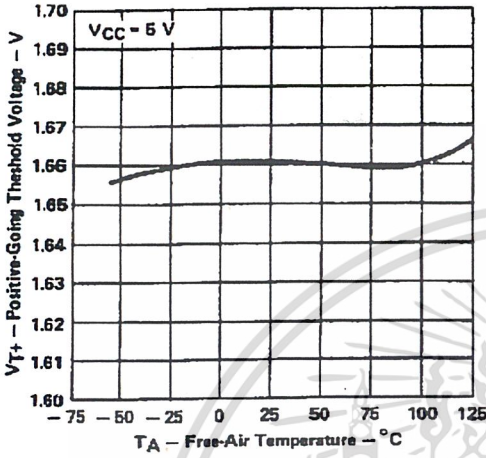


FIGURE 8

NEGATIVE-GOING THRESHOLD VOLTAGE
vs
FREE-AIR TEMPERATURE

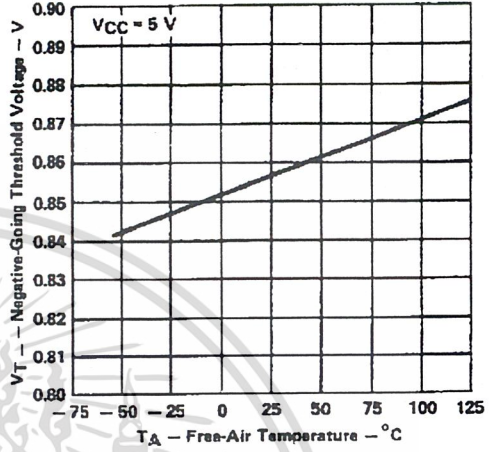


FIGURE 9

HYSTERESIS
vs
FREE-AIR TEMPERATURE

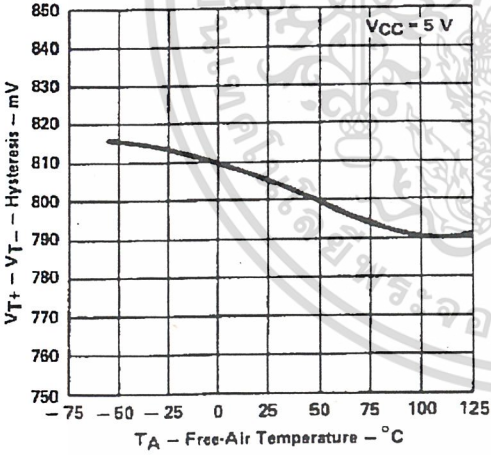


FIGURE 10

DISTRIBUTION OF UNITS
FOR HYSTERESIS

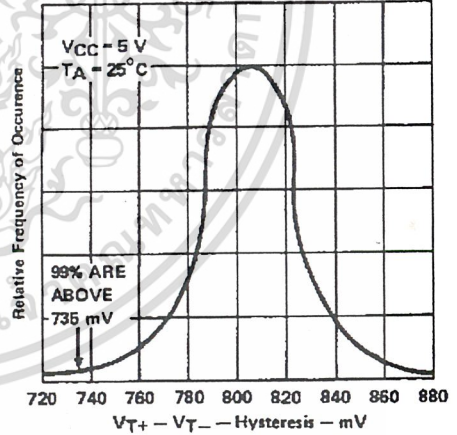


FIGURE 11

Data for temperatures below 0°C and above 70°C and supply voltages below 4.75 V and above 5.25 V are applicable for SN54LS14 only.

SN54LS14, SN74LS14
HEX SCHMITT-TRIGGER INVERTERS

TYPICAL CHARACTERISTICS OF 'LS14 CIRCUITS

THRESHOLD VOLTAGES AND HYSTERESIS
vs
SUPPLY VOLTAGE

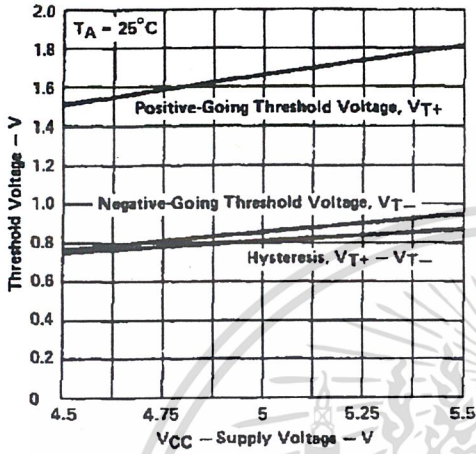


FIGURE 12

OUTPUT VOLTAGE
vs
INPUT VOLTAGE

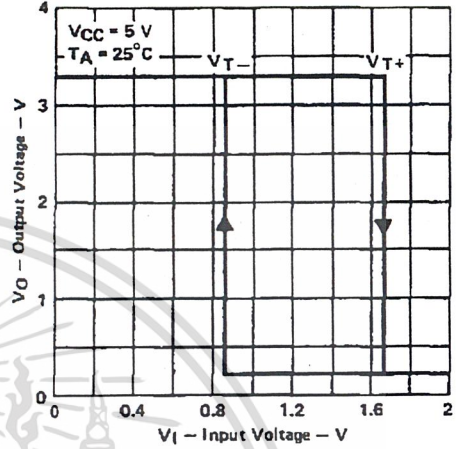
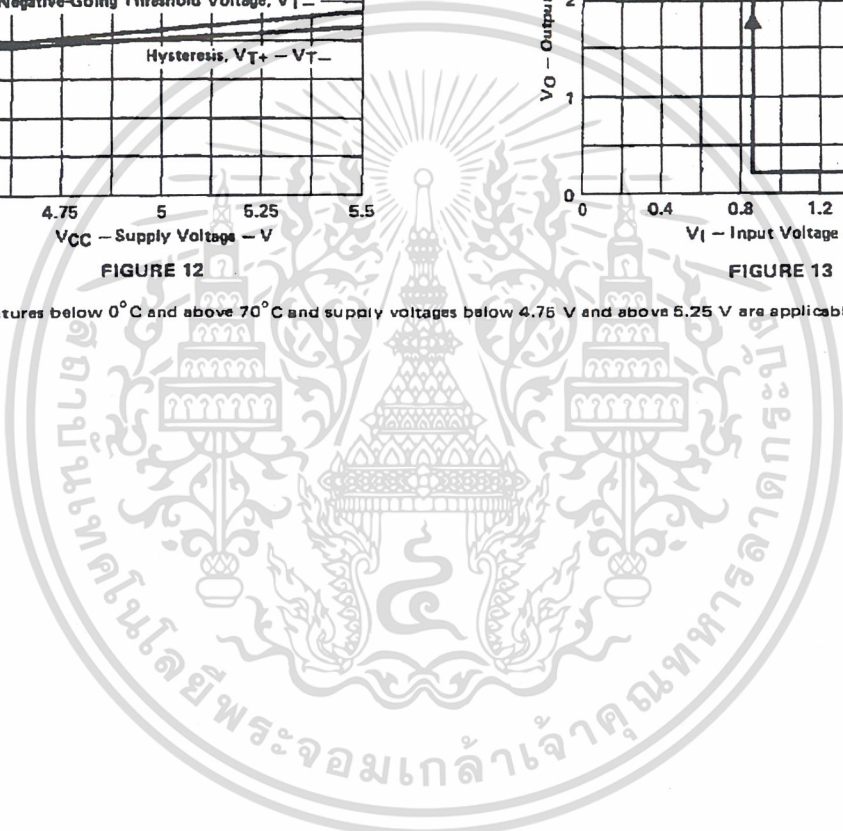


FIGURE 13

Data for temperatures below 0°C and above 70°C and supply voltages below 4.75 V and above 5.25 V are applicable for SN54LS14 only.



IMPORTANT NOTICE

Texas Instruments (TI) reserves the right to make changes to its products or to discontinue any semiconductor product or service without notice, and advises its customers to obtain the latest version of relevant information to verify, before placing orders, that the information being relied on is current.

TI warrants performance of its semiconductor products and related software to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are utilized to the extent TI deems necessary to support this warranty. Specific testing of all parameters of each device is not necessarily performed, except those mandated by government requirements.

Certain applications using semiconductor products may involve potential risks of death, personal injury, or severe property or environmental damage ("Critical Applications").

TI SEMICONDUCTOR PRODUCTS ARE NOT DESIGNED, INTENDED, AUTHORIZED, OR WARRANTED TO BE SUITABLE FOR USE IN LIFE-SUPPORT APPLICATIONS, DEVICES OR SYSTEMS OR OTHER CRITICAL APPLICATIONS.

Inclusion of TI products in such applications is understood to be fully at the risk of the customer. Use of TI products in such applications requires the written approval of an appropriate TI officer. Questions concerning potential risk applications should be directed to TI through a local SC sales office.

In order to minimize risks associated with the customer's applications, adequate design and operating safeguards should be provided by the customer to minimize inherent or procedural hazards.

TI assumes no liability for applications assistance, customer product design, software performance, or infringement of patents or services described herein. Nor does TI warrant or represent that any license, either express or implied, is granted under any patent right, copyright, mask work right, or other intellectual property right of TI covering or relating to any combination, machine, or process in which such semiconductor products or services might be or are used.

Copyright © 1996, Texas Instruments Incorporated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IMPORTANT NOTICE

Texas Instruments (TI) reserves the right to make changes to its products or to discontinue any semiconductor product or service without notice, and advises its customers to obtain the latest version of relevant information to verify, before placing orders, that the information being relied on is current.

TI warrants performance of its semiconductor products and related software to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are utilized to the extent TI deems necessary to support this warranty. Specific testing of all parameters of each device is not necessarily performed, except those mandated by government requirements.

Certain applications using semiconductor products may involve potential risks of death, personal injury, or severe property or environmental damage ("Critical Applications").

TI SEMICONDUCTOR PRODUCTS ARE NOT DESIGNED, INTENDED, AUTHORIZED, OR WARRANTED TO BE SUITABLE FOR USE IN LIFE-SUPPORT APPLICATIONS, DEVICES OR SYSTEMS OR OTHER CRITICAL APPLICATIONS.

Inclusion of TI products in such applications is understood to be fully at the risk of the customer. Use of TI products in such applications requires the written approval of an appropriate TI officer. Questions concerning potential risk applications should be directed to TI through a local SC sales office.

In order to minimize risks associated with the customer's applications, adequate design and operating safeguards should be provided by the customer to minimize inherent or procedural hazards.

TI assumes no liability for applications assistance, customer product design, software performance, or infringement of patents or services described herein. Nor does TI warrant or represent that any license, either express or implied, is granted under any patent right, copyright, mask work right, or other intellectual property right of TI covering or relating to any combination, machine, or process in which such semiconductor products or services might be or are used.

Copyright © 1996, Texas Instruments Incorporated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IRFP250, IRFP251, IRFP252, IRFP253

27A and 33A, 150V and 200V, 0.085 and 0.12 Ohm,
N-Channel Power MOSFETs

January 1998

Features

- 27A and 33A, 150V and 200V
- $r_{DS(ON)} = 0.085\Omega$ and 0.120Ω
- Single Pulse Avalanche Energy Rated
- SOA is Power Dissipation Limited
- Nanosecond Switching Speeds
- Linear Transfer Characteristics
- High Input Impedance
- Related Literature
 - TB334 "Guidelines for Soldering Surface Mount Components to PC Boards"

Description

These are N-Channel enhancement mode silicon gate power field effect transistors. They are advanced power MOSFETs designed, tested, and guaranteed to withstand a specified level of energy in the breakdown avalanche mode of operation. All of these power MOSFETs are designed for applications such as switching regulators, switching converters, motor drivers, relay drivers, and drivers for high power bipolar switching transistors requiring high speed and low gate drive power. These types can be operated directly from integrated circuits.

Formerly developmental type TA9295.

Ordering Information

PART NUMBER	PACKAGE	BRAND
IRFP250	TO-247	IRFP250
IRFP251	TO-247	IRFP251
IRFP252	TO-247	IRFP252
IRFP253	TO-247	IRFP253

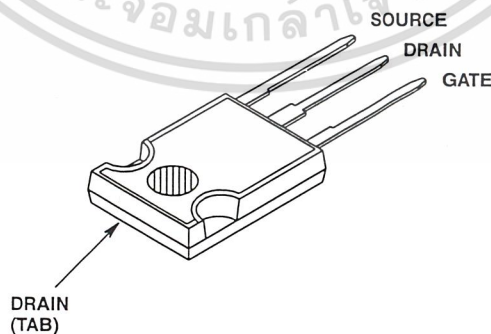
NOTE: When ordering, use the entire part number.

Symbol



Packaging

JEDEC STYLE TO-247



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IRFP250, IRFP251, IRFP252, IRFP253

Absolute Maximum Ratings $T_C = 25^\circ\text{C}$, Unless Otherwise Specified

	IRFP250	IRFP251	IRFP252	IRFP253	UNITS
Drain to Source Voltage (Note 1) V_{DS}	200	150	200	150	V
Drain to Gate Voltage ($R_{GS} = 20\text{k}\Omega$) (Note 1) V_{DGR}	200	150	200	150	V
Continuous Drain Current I_D	33	33	27	27	A
$T_C = 100^\circ\text{C}$ I_D	21	21	17	17	A
Pulsed Drain Current (Note 3) I_{DM}	130	130	110	110	A
Gate to Source Voltage V_{GS}	± 20	± 20	± 20	± 20	V
Maximum Power Dissipation P_D	180	180	180	180	W
Linear Derating Factor	1.44	1.44	1.44	1.44	$\text{W}/^\circ\text{C}$
Single Pulse Avalanche Energy Rating (Note 4) E_{AS}	810	810	810	810	mJ
Operating and Storage Temperature T_J, T_{STG}	-55 to 150	-55 to 150	-55 to 150	-55 to 150	$^\circ\text{C}$
Maximum Temperature for Soldering					
Leads at 0.063in (1.6mm) from Case for 10s T_L	300	300	300	300	$^\circ\text{C}$
Package Body for 10s, See Techbrief 334 T_{pkg}	260	260	260	260	$^\circ\text{C}$

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTE:

- $T_J = 25^\circ\text{C}$ to 125°C .

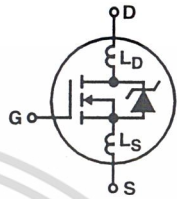
Electrical Specifications $T_C = 25^\circ\text{C}$, Unless Otherwise Specified

PARAMETER	SYMBOL	TEST CONDITIONS	MIN	TYP	MAX	UNITS
Drain to Source Breakdown Voltage IRFP250, IRFP252	BV_{DSS}	$I_D = 250\mu\text{A}, V_{GS} = 0\text{V}$, (Figure 10)	200	-	-	V
			IRFP251, IRFP253	150	-	-
Gate Threshold Voltage	$V_{GS(TH)}$	$V_{GS} = V_{DS}, I_D = 250\mu\text{A}$	2.0	-	4.0	V
Zero Gate Voltage Drain Current	I_{DSS}	$V_{DS} = \text{Rated } BV_{DSS}, V_{GS} = 0\text{V}$	-	-	25	μA
			$V_{DS} = 0.8 \times \text{Rated } BV_{DSS}, V_{GS} = 0\text{V}, T_C = 125^\circ\text{C}$	-	-	250
On-State Drain Current (Note 2) IRFP250, IRFP251	$I_{D(ON)}$	$V_{DS} > I_{D(ON)} \times r_{DS(ON)MAX}, V_{GS} = 10\text{V}$	33	-	-	A
			IRFP252, IRFP253	27	-	-
Gate to Source Leakage Current	I_{GSS}	$V_{GS} = \pm 20\text{V}$	-	-	± 100	nA
Drain to Source On Resistance (Note 2) IRFP250, IRFP251	$r_{DS(ON)}$	$I_D = 17\text{A}, V_{GS} = 10\text{V}$, (Figures 8, 9)	-	0.07	0.085	Ω
			IRFP252, IRFP253	-	0.09	0.120
Forward Transconductance (Note 2)	g_{fs}	$V_{DS} \geq 50\text{V}, I_D = 17\text{A}$, (Figure 12)	13	19	-	S
Turn-On Delay Time	$t_{d(ON)}$	$V_{DD} = 100\text{V}, I_D = 30\text{A}, R_G = 6.2\Omega, V_{GS} = 10\text{V}, R_L = 3.2\Omega$, (Figures 17, 18) MOSFET Switching Times are Essentially Independent of Operating Temperature	-	18	30	ns
Rise Time	t_r		-	125	180	ns
Turn-Off Delay Time	$t_{d(OFF)}$		-	70	100	ns
Fall Time	t_f		-	80	120	ns
Total Gate Charge (Gate to Source + Gate to Drain)	$Q_{g(TOT)}$	$V_{GS} = 10\text{V}, I_D = 30\text{A}, V_{DS} = 0.8 \times \text{Rated } BV_{DSS}, I_{G(REF)} = 1.5\text{mA}$, (Figures 14, 19, 20) Gate Charge is Essentially Independent of Operating Temperature	-	79	120	nC
Gate to Source Charge	Q_{gs}		-	12	-	nC
Gate to Drain "Miller" Charge	Q_{gd}		-	42	-	nC


ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IRFP250, IRFP251, IRFP252, IRFP253

Electrical Specifications $T_C = 25^\circ\text{C}$, Unless Otherwise Specified (Continued)

PARAMETER	SYMBOL	TEST CONDITIONS		MIN	TYP	MAX	UNITS
Input Capacitance	C_{ISS}	$V_{DS} = 25\text{V}$, $V_{GS} = 0\text{V}$, $f = 1\text{MHz}$, (Figure 11)		-	2000	-	pF
Output Capacitance	C_{OSS}			-	800	-	pF
Reverse Transfer Capacitance	C_{RSS}			-	300	-	pF
Internal Drain Inductance	L_D	Measured From the Contact Screw on Header Closer to Source and Gate Pins to Center of Die	Modified MOSFET Symbol Showing the Internal Device Inductances 	-	5.0	-	nH
Internal Source Inductance	L_S	Measured From the Source Lead, 6.0mm (0.25in) From Header to Source Bonding Pad		-	12.5	-	nH
Thermal Resistance, Junction to Case	$R_{\theta JC}$			-	-	0.70	$^\circ\text{C/W}$
Thermal Resistance, Junction to Ambient	$R_{\theta JA}$	Free Air Operation		-	-	30	$^\circ\text{C/W}$

Source to Drain Diode Specifications

PARAMETER	SYMBOL	TEST CONDITIONS		MIN	TYP	MAX	UNITS
Continuous Source to Drain Current	I_{SD}	Modified MOSFET Symbol Showing the Integral Reverse P-N Junction Rectifier 		-	-	33	A
Pulse Source to Drain Current (Note 3)	I_{SDM}			-	-	130	A
Source to Drain Diode Voltage (Note 2)	V_{SD}	$T_J = 25^\circ\text{C}$, $I_{SD} = 33\text{A}$, $V_{GS} = 0\text{V}$, (Figure 13)		-	-	2.0	V
Reverse Recovery Time	t_{rr}	$T_J = 25^\circ\text{C}$, $I_{SD} = 30\text{A}$, $dI_{SD}/dt = 100\text{A}/\mu\text{s}$		140	-	630	ns
Reverse Recovery Charge	Q_{RR}	$T_J = 25^\circ\text{C}$, $I_{SD} = 30\text{A}$, $dI_{SD}/dt = 100\text{A}/\mu\text{s}$		1.8	-	8.1	μC

NOTES:

2. Pulse test: pulse width $\leq 300\mu\text{s}$, duty cycle $\leq 2\%$.
3. Repetitive rating: pulse width limited by maximum junction temperature. See Transient Thermal Impedance curve (Figure 3).
4. $V_{DD} = 50\text{V}$, starting $T_J = 25^\circ\text{C}$, $L = 1.1\text{mH}$, $R_G = 50\Omega$, peak $I_{AS} = 33\text{A}$. (Figures 15, 16)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IRFP250, IRFP251, IRFP252, IRFP253

Typical Performance Curves Unless Otherwise Specified

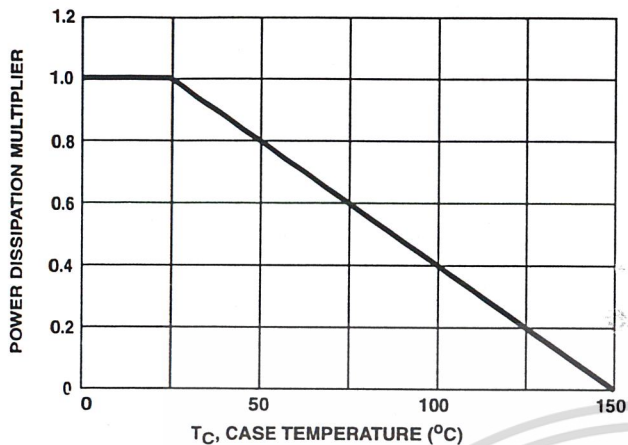


FIGURE 1. NORMALIZED POWER DISSIPATION vs CASE TEMPERATURE

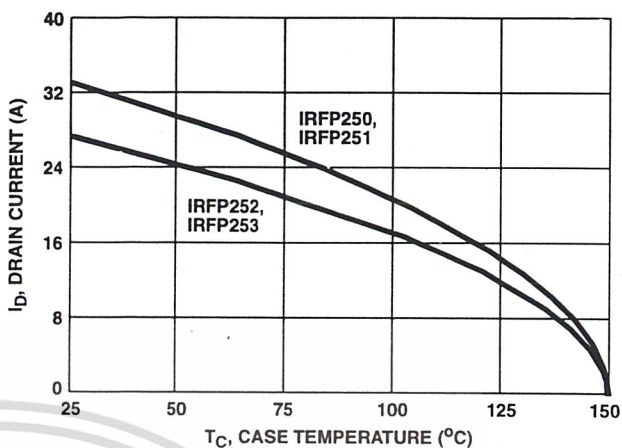


FIGURE 2. MAXIMUM CONTINUOUS DRAIN CURRENT vs CASE TEMPERATURE

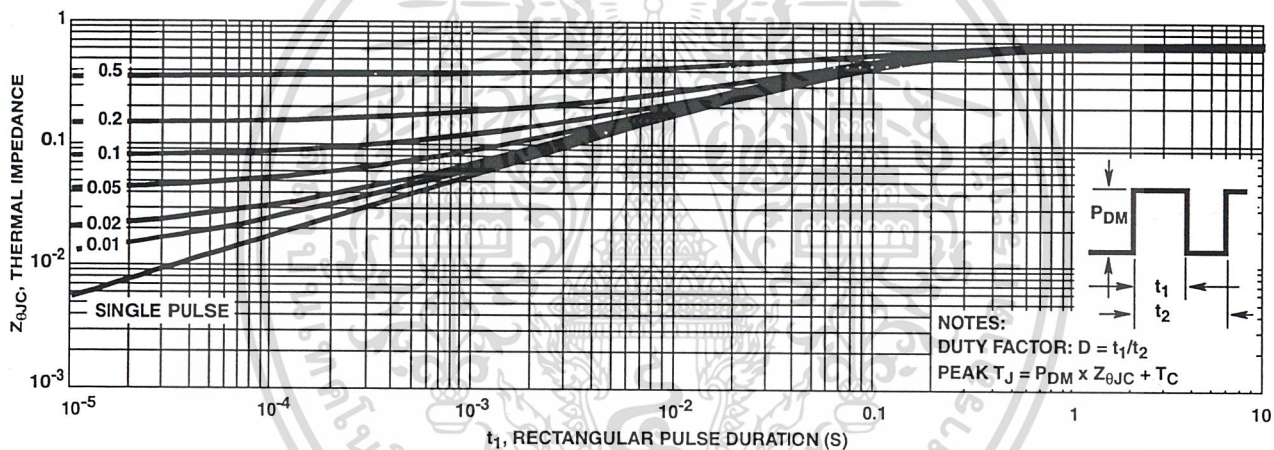


FIGURE 3. MAXIMUM TRANSIENT THERMAL IMPEDANCE

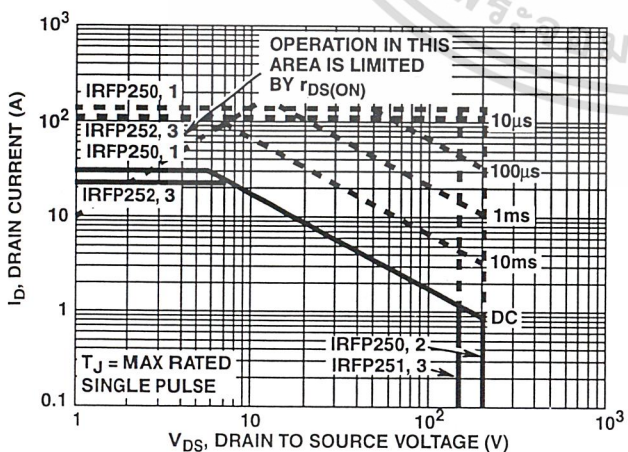


FIGURE 4. FORWARD BIAS SAFE OPERATING AREA

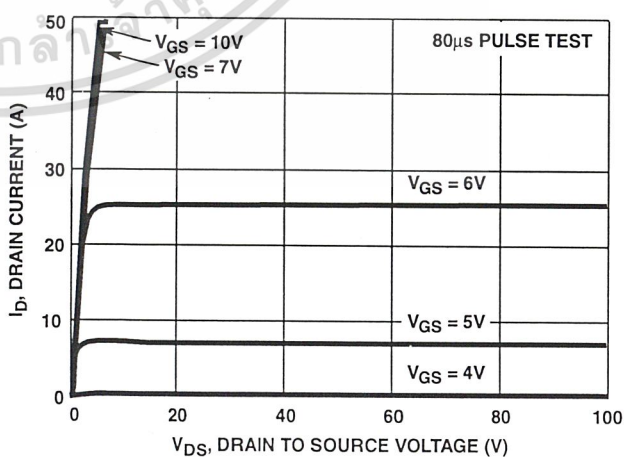


FIGURE 5. OUTPUT CHARACTERISTICS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IRFP250, IRFP251, IRFP252, IRFP253

Typical Performance Curves Unless Otherwise Specified (Continued)

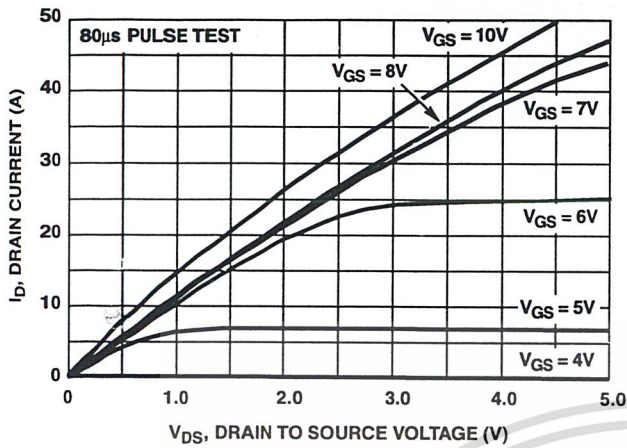


FIGURE 6. SATURATION CHARACTERISTICS

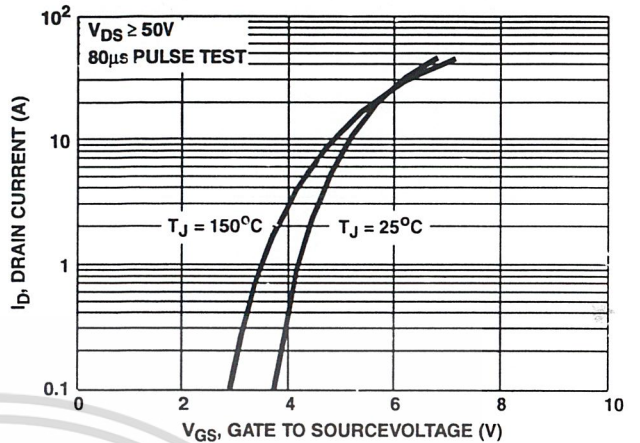
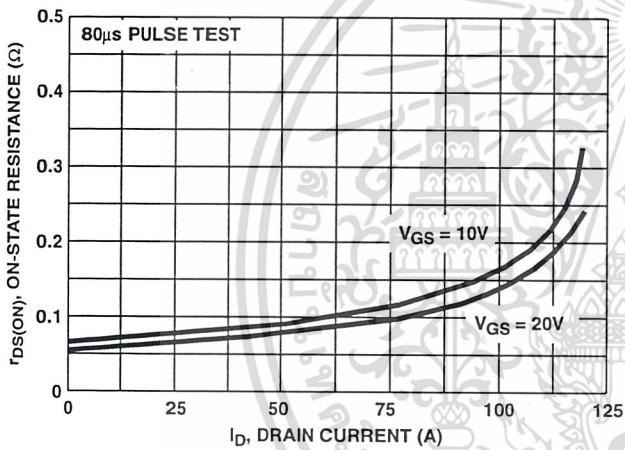


FIGURE 7. TRANSFER CHARACTERISTICS



NOTE: Heating effect of 2µs pulse is minimal.

FIGURE 8. DRAIN TO SOURCE ON RESISTANCE vs GATE VOLTAGE AND DRAIN CURRENT

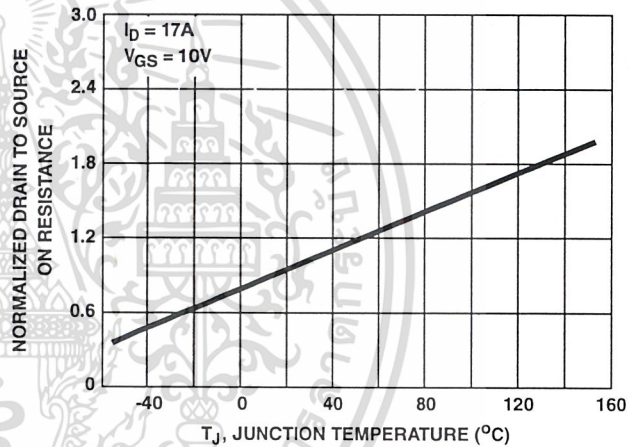


FIGURE 9. NORMALIZED DRAIN TO SOURCE ON RESISTANCE vs JUNCTION TEMPERATURE

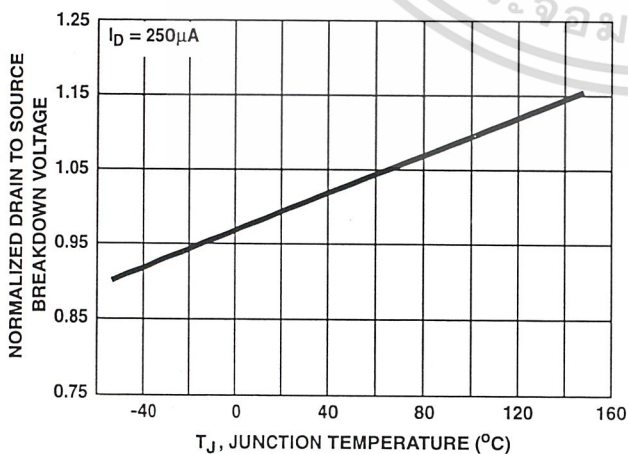


FIGURE 10. NORMALIZED DRAIN TO SOURCE BREAKDOWN VOLTAGE vs JUNCTION TEMPERATURE

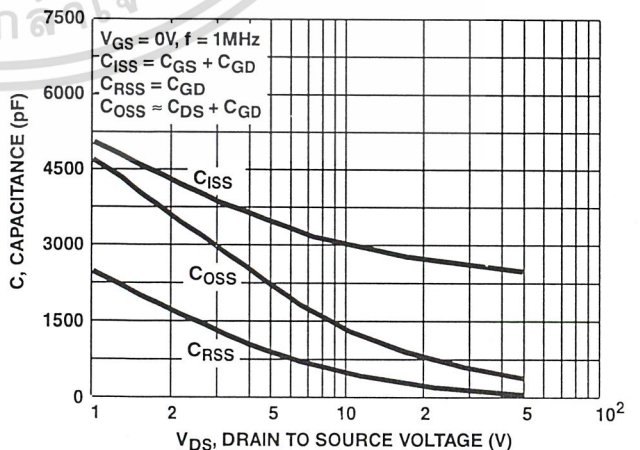


FIGURE 11. CAPACITANCE vs DRAIN TO SOURCE VOLTAGE

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IRFP250, IRFP251, IRFP252, IRFP253

Typical Performance Curves Unless Otherwise Specified (Continued)

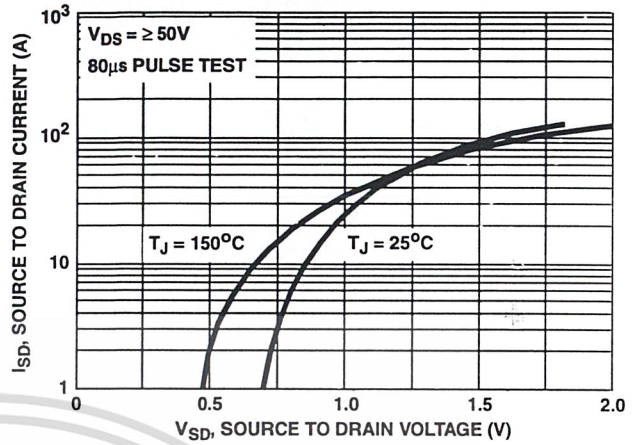
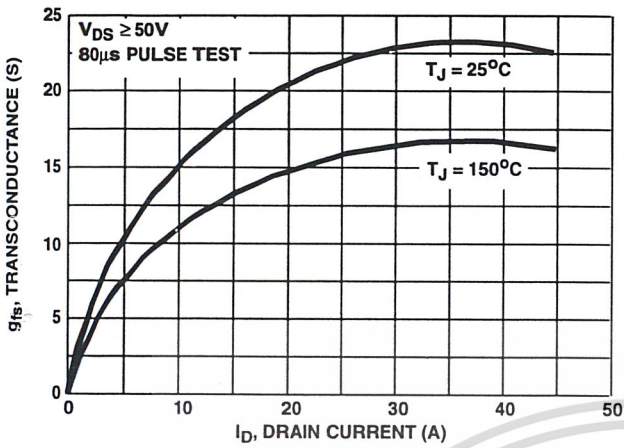


FIGURE 12. TRANSCONDUCTANCE vs DRAIN CURRENT

FIGURE 13. SOURCE TO DRAIN DIODE VOLTAGE

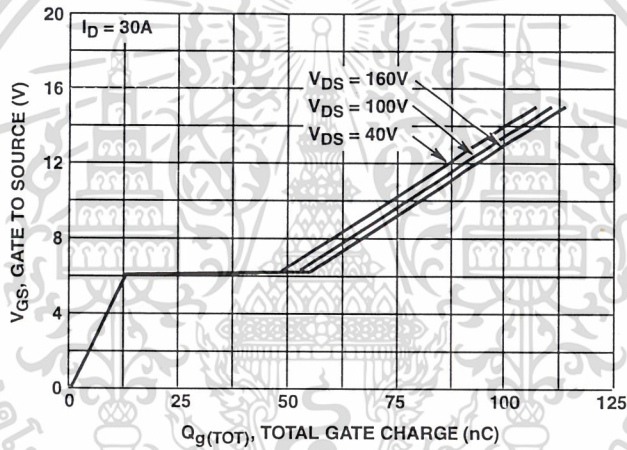


FIGURE 14. GATE TO SOURCE VOLTAGE vs GATE CHARGE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits and Waveforms

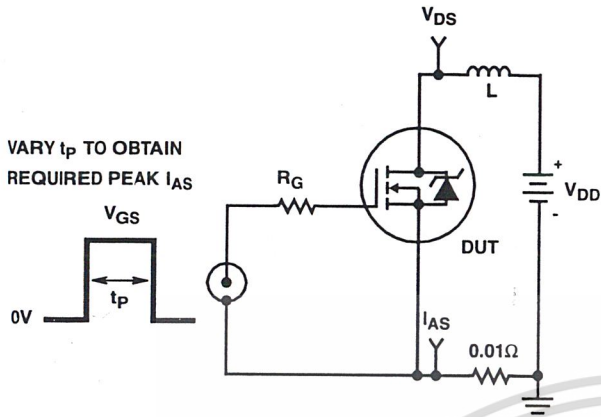


FIGURE 15. UNCLAMPED ENERGY TEST CIRCUIT

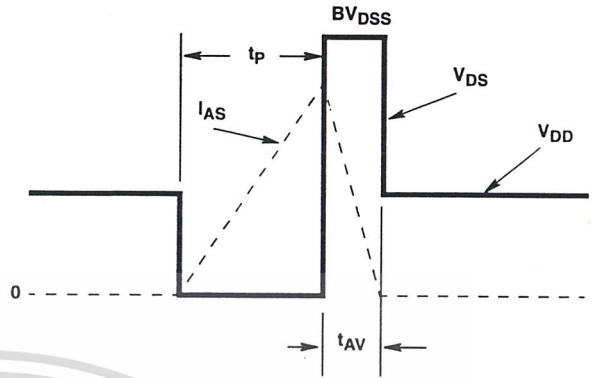


FIGURE 16. UNCLAMPED ENERGY WAVEFORMS

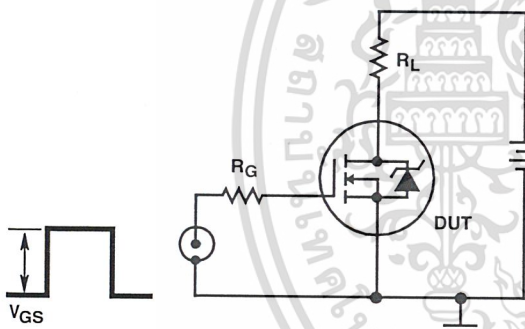


FIGURE 17. SWITCHING TIME TEST CIRCUIT

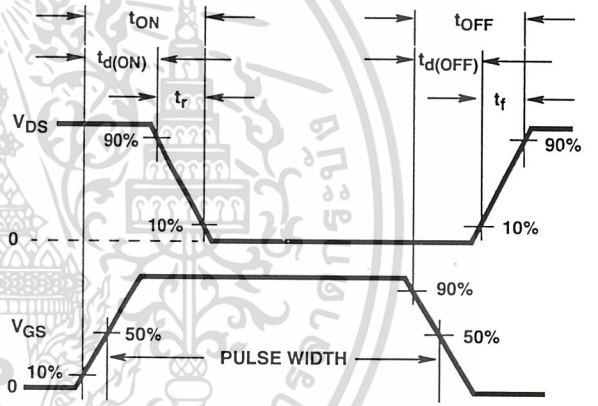


FIGURE 18. RESISTIVE SWITCHING WAVEFORMS

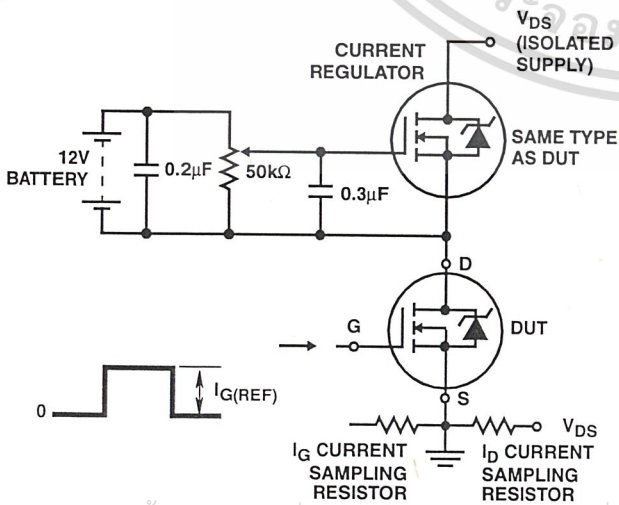


FIGURE 19. GATE CHARGE TEST CIRCUIT

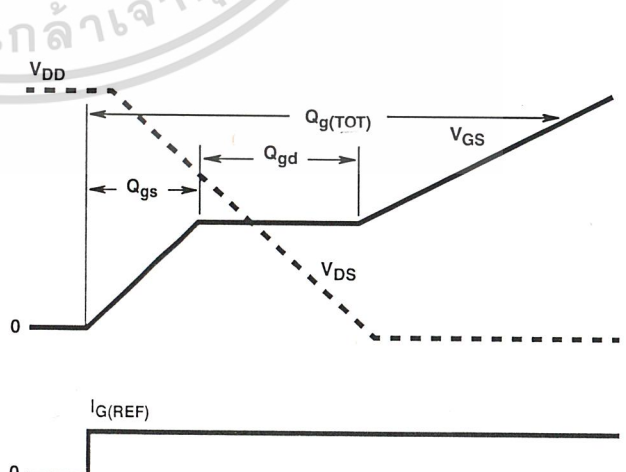


FIGURE 20. GATE CHARGE WAVEFORMS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ในการทำวิทยานิพนธ์เรื่อง เครื่องตัดจี๋ห้ามเลือดด้วยไฟฟ้า ผู้จัดทำได้รับความช่วยเหลือเป็น
อย่างมาก ทั้ง ด้านกำลังใจ คำแนะนำ ข้อมูล ความรู้ และอุปกรณ์เครื่องใช้ จากบุคคลต่อไปนี้

- 1.พระเทพ ปิณฑามุนี
2. รศ.ดร. กอบชัย เศษหาญ
- 3.คุณ ลัญญา อินทะปาน
- 4.คุณ สมคิด แซ่โจ้ว

จึงขอขอบคุณเป็นอย่างสูงไว้ ณ. ที่นี้
ไพสิน โปธิถาวร
(ผู้จัดทำ)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. Electrosurgery in Operative Annual Wattiez, Salil K and Wala & Maurice – Antoine Brusat.
2. เทคนิคและการออกแบบสวิทชิงเพาเวอร์ซัพพลาย โดย สุวัฒน์ คั่น
3. Chrysis, G, "High Frequency Switching Power Supplies - theory and Desing" 2nd en. McGraw - Hill. New York, 1989.
4. Sabision's Essentials of David C. Sabision, Jr. M.D. 1987.
5. The TLL Data Book for Design Engineers, Second Edition, Texas Instruments.
6. High – speed CMOS Book, 1984, Silicon – gate Complementary MOS, Yexas Instrument.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้