สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เครื่องรับ/ส่งแบบเดลต้ามอดูเลชั่นและเครื่องรับ/ส่งแบบพีซีเอ็ม

DELTA MODULATION TRANSMITTER/RECEIVER AND PCM TRANSMITTER/RECEIVER

โดย

นางสาววิภาวี มีสามานะ

นางสาวศุภมาส เกษมวัฒนากุล

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เลขเรียกหนังสือ ว.ศ.ม. ว.657ด 2541

เลขทะเบียน 040419

วัน เดือน ปี 11 ก.ค. 42

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

040419

เครื่องรับ/ส่งแบบเดลต้ามอดูเลชั่นและเครื่องรับ/ส่งแบบพีซีเอ็ม

DELTA MODULATION TRANSMITTER/RECEIVER AND PCM TRANSMITTER/RECEIVER

โดย

นางสาววิภาวี มีสามานะ 38014467

นางสาวศุภมาส เกษมวัฒนากุล 38014513

อาจารย์ที่ปรึกษา

รศ.ดร.กอบชัย เดชหาญ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2541

ภาควิชา วิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง

เรื่อง **เครื่องรับ/ส่งแบบเดลต้ามอดูเลชั่นและเครื่องรับ/ส่งแบบพีซีเอ็ม**

DELTA MODULATION TRANSMITTER /RECEIVER AND PCM TRANSMITTER/RECEIVER

ผู้จัดทำ

1. นางสาววิภาวี มีสามานะ **38014467**
2. นางสาวศุภมาส เกษมวัฒนากุล **38014513**

..... อาจารย์ที่ปรึกษา

(รศ.ดร.กอบชัย เดชหาญ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับ/ส่งแบบเดลต้ามอดูเลชั่นและเครื่องรับ/ส่งแบบพีซีเอ็ม

DELTA MODULATION TRANSMITTER /RECEIVER AND PCM TRANSMITTER /RECEIVER

โดย นางสาววิภาวี มีสามานะ 38014467
นางสาวศุภมาส เกษมวัฒนากุล 38014513

อาจารย์ที่ปรึกษา รศ.ดร.กอบชัย เดชหาญ

บทคัดย่อ

เดลต้ามอดูเลชั่นเป็นการส่งสัญญาณดิจิตอลโดยการเข้ารหัสพีซีเอ็ม 1 บิตจากสัญญาณอนาลอก เดลต้ามอดูเลชั่นส่งรหัสเพียง 1 บิตแทนค่ารหัสหลายบิตที่ได้จากการแซมเปิ้ล ซึ่งรหัส 1 บิตนี้ชี้ให้เห็นว่าค่าที่ได้จากการแซมเปิ้ลมีค่ามากหรือน้อยกว่าค่าแซมเปิ้ลก่อนหน้านั้น ส่วนระบบพีซีเอ็มใช้การสุ่มสัญญาณอนาลอกแล้วส่งข้อมูลแบบเฟรมซึ่งในแต่ละเฟรมจะใช้รหัสดิจิตอล 8 บิตแทนค่าที่ได้จากการแซมเปิ้ล โดยในโครงงานนี้จะใช้การส่งสัญญาณเสียงที่มีความถี่ไม่เกิน 4 กิโลเฮิร์ต

ABSTRACT

Delta modulation uses a single-bit PCM code to achieve digital transmission of analog signals. The delta modulation transmits a representative code of the sample by using only a single bit to transmit. It is simply to indicate whether the sample is larger or smaller than the previous sample. PCM system utilizes the sampling from analog signals and transmits eight bits digital signals as a frame. In this project, the voice frequency is used as signal but not greater than 4 kHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีหรือหลักการ	2
2.1 คุณสมบัติการสื่อสารระบบดิจิตอล	2
2.2 วงจรแซมเปิ้ลแอนโฮล	2
2.3 วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกชนิดแลดเดอร์	4
2.4 วงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธ	6
2.5 ฟลิปฟลอปแบบดีที่ใช้คล็อค	7
2.6 เกตแบบแนน	9
2.7 ชมิตต์ทริกเกอร์	10
2.7.1 การทำงานของวงจรชมิตต์ทริกเกอร์	10
2.8 เดลต้ามอดูเลชั่น	12
2.8.1 เครื่องส่งสัญญาณเดลต้ามอดูเลชั่น	12
2.8.2 เครื่องรับ	13
2.8.3 สโลป โอเวอร์โหลด	14
2.8.4 กรานูล่าร์ น็อยส์	14
2.8.5 อะแด็ปทีพ เดลต้ามอดูเลชั่น	15
2.9 การผสมสัญญาณระบบรหัสพัลส์	16
2.9.1 ทฤษฎีการสุ่มสัญญาณเบื้องต้น	16
2.9.2 พัลส์โค้ดมอดูเลชั่น	19
2.9.3 การควอนไตเซชั่น	19
2.9.4 การเข้ารหัสและถอดรหัส	21
2.10 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล	22
2.11 วงจรเลื่อนสัญญาณแบบขนานเข้าและแบบอนุกรมออก	24
2.12 วงจรเลื่อนสัญญาณแบบอนุกรมเข้าและแบบขนานออก	27
บทที่ 3 การคำนวณและการสร้าง	29
3.1 การออกแบบวงจรกรองความถี่ต่ำผ่าน	29
3.2 การออกแบบวงจรพีซีเอ็ม	33
3.2.1 หลักการออกแบบวงจรภาคส่ง	33
3.2.2 หลักการออกแบบวงจรภาครับ	38
3.3 บล็อคไดอะแกรม	46
3.4 รูปวงจรรวม	48
บทที่ 4 ผลการทดลอง	51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

4.1 การทดลองของวงจรเดลต้ามอดูเลชั่น 51

4.2 ผลการทดลองของวงจรเดลต้ามอดูเลชั่น 51

4.3 การทดลองของวงจรพีซีเอ็ม 59

4.4 ผลการทดลองของวงจรพีซีเอ็ม 59

บทที่ 5 สรุปผลการทดลองและวิจารณ์ 62

5.1 สรุปผลการทดลอง 62

5.2 วิจารณ์ 62

หนังสืออ้างอิง 63

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

	หน้า
รูปที่ 2.1 แสดงวงจรแซมเปิ้ลแอนโฮล	3
รูปที่ 2.2 ตัวอย่างการใช้วงจรสุ่มและคงไว้	3
รูปที่ 2.3 วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกโดยใช้ R-2R แลดเดอร์	4
รูปที่ 2.4 แสดงผลตอบสนองกรณีบัตเตอร์เวิร์ธ	6
รูปที่ 2.5 วงจรกรองความถี่ต่ำอันดับสอง	7
รูปที่ 2.6 วงจรกรองความถี่ต่ำอันดับสาม	7
รูปที่ 2.7 แสดงดีฟลิปฟลอป	8
รูปที่ 2.8 แนนเกต	9
รูปที่ 2.9 สัญลักษณ์และคุณสมบัติของวงจรชมิตต์ทริกเกอร์	10
รูปที่ 2.10 การใช้เกตธรรมดาทำชมิตต์ทริกเกอร์	11
รูปที่ 2.11 บล็อคไดอะแกรมของเครื่องส่งเดลต้ามอดูเลชั่น	12
รูปที่ 2.12 แสดงการทำงานตามทฤษฎีการเข้ารหัสแบบเดลต้ามอดูเลชั่น	13
รูปที่ 2.13 บล็อคไดอะแกรมของเครื่องรับเดลต้ามอดูเลชั่น	13
รูปที่ 2.14 แสดงอัตราการเปลี่ยนแปลงของสัญญาณอนาลอกอินพุตและอัตราการเปลี่ยนแปลงที่ได้จากวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก	14
รูปที่ 2.15 แสดงกรานูล่าร์ น็อยส์	14
รูปที่ 2.16 แสดงอะแด็ปทีพ เดลต้ามอดูเลชั่น	15
รูปที่ 2.17 แสดงการสุ่มสัญญาณ	17
รูปที่ 2.18 สเปคตรัมของสัญญาณเบสแบนด์และสเปคตรัมของสัญญาณสุ่มตัวอย่างต่างๆกัน	18
รูปที่ 2.19 แสดงการจัดระดับสัญญาณพีเอเอ็มให้เข้ากับระดับของการควอนไตซ์	20
รูปที่ 2.20 การเกิดสัญญาณรบกวนเนื่องจากการควอนไตซ์	21
รูปที่ 2.21 ความสัมพันธ์ระหว่างระยะห่างของระดับที่ถูกแบ่งต่างๆกับสัญญาณรบกวนเนื่องจากควอนไตซ์	21
รูปที่ 2.22 การเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอล	23
รูปที่ 2.23 วงจรเลื่อนสัญญาณแบบขนานเข้าและแบบอนุกรมออก ขนาด 4 บิต	24
รูปที่ 2.24 วงจรเลื่อนสัญญาณแบบขนานเข้าและแบบอนุกรมออก ขนาด 8 บิต ของไอซีเบอร์ 74LS166	26
รูปที่ 2.25 แผนภาพขาสัญญาณและฟังก์ชั่นการทำงานของ 74LS166	26
รูปที่ 2.26 วงจรเลื่อนสัญญาณแบบอนุกรมเข้าและแบบขนานออก ขนาด 4 บิต	27
รูปที่ 2.27 วงจรเลื่อนสัญญาณแบบอนุกรมเข้าและแบบขนานออก ขนาด 8 บิต	28
รูปที่ 2.28 แผนภาพขาสัญญาณและฟังก์ชั่นการทำงานของ 74LS164	28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น มหาวิทยาลัยขอสงวนสิทธิ์ที่จะดำเนินการกับผู้ที่นำเอกสารของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 3.1 วงจรกรองความถี่ต่ำแบบบัตเตอร์เวิร์ธ ออเดอร์ 5 29

รูปที่ 3.2 กราฟผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำแบบบัตเตอร์เวิร์ธ ออเดอร์ 5 30

รูปที่ 3.3 วงจรกรองความถี่ต่ำแบบ บัตเตอร์เวิร์ธ 31

รูปที่ 3.4 กราฟผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำแบบบัตเตอร์เวิร์ธ ออเดอร์ 4 ที่มีอัตราขยาย 16 32

รูปที่ 3.5 ไดอะแกรมเวลาของไอซี ADC0820 33

รูปที่ 3.6 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล 35

รูปที่ 3.7 วงจรแปลงข้อมูลแบบขนานเป็นแบบอนุกรม 35

รูปที่ 3.8 รูปสัญญาณที่ใช้ควบคุมไอซี 74F166 และรูปแสดงบิตเริ่มและบิตจบของชุดข้อมูลเมื่อป้อนอินพุตเป็น 0000 0000 36

รูปที่ 3.9 รูปวงจรทางภาคส่ง 38

รูปที่ 3.10 วงจรแปลงข้อมูลแบบอนุกรมเป็นแบบขนาน 39

รูปที่ 3.11 รูปสัญญาณควบคุมการกำจัดบิตเริ่ม บิตจบ พร้อมทั้งแสดงบิตเริ่ม บิตจบ และบิตข้อมูล เมื่อป้อนอินพุตเป็น 0000 0000 41

รูปที่ 3.12 บล็อคไดอะแกรมแสดงหลักการของการกู้สัญญาณนาฬิกากลับคืน 42

รูปที่ 3.13 วงจรสร้างสัญญาณนาฬิกากลับคืน 43

รูปที่ 3.14 วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก 43

รูปที่ 3.15 บล็อคไดอะแกรมการทำงานของ DAC0800 44

รูปที่ 3.16 วงจรทางภาครับของระบบพีซีเอ็ม 45

รูปที่ 3.17 บล็อคไดอะแกรมของภาคส่งวงจรเคลต้ามอดูเลชั่น 46

รูปที่ 3.18 บล็อคไดอะแกรมของภาครับวงจรเคลต้ามอดูเลชั่น 46

รูปที่ 3.19 บล็อคไดอะแกรมของภาคส่งวงจรพีซีเอ็ม 47

รูปที่ 3.20 บล็อคไดอะแกรมของภาครับวงจรพีซีเอ็ม 47

รูปที่ 3.21 วงจรรวมของทางภาคส่งวงจรเคลต้ามอดูเลชั่น 48

รูปที่ 3.22 วงจรรวมของทางภาครับวงจรเคลต้ามอดูเลชั่น 48

รูปที่ 3.23 วงจรรวมของทางภาคส่งวงจรพีซีเอ็ม 49

รูปที่ 3.24 วงจรรวมของทางภาครับวงจรพีซีเอ็ม 50

รูปที่ 4.1 สัญญาณอินพุตเทียบกับสัญญาณเอาต์พุตของภาคส่งที่ความถี่ 1 kHz 51

รูปที่ 4.2 สัญญาณจากวงจรแปลงดิจิตอลเป็นอนาลอกเทียบกับสัญญาณเอาต์พุตภาคส่งที่ 1 kHz 52

รูปที่ 4.3 สัญญาณอินพุตเทียบกับสัญญาณเอาต์พุตของภาครับที่ความถี่ 1 kHz 52

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 4.4 สัญญาณอินพุตของภาคส่งเทียบกับสัญญาณเอาต์พุตของภาครับที่ความถี่ 1 kHz 53

รูปที่ 4.5 สัญญาณอินพุตเทียบกับสัญญาณเอาต์พุตของภาคส่งที่ความถี่ 2 kHz 53

รูปที่ 4.6 สัญญาณจากวงจรแปลงดิจิตอลเป็นอนาลอกเทียบกับสัญญาณเอาต์พุตภาคส่งที่ 2 kHz 54

รูปที่ 4.7 สัญญาณอินพุตเทียบกับสัญญาณเอาต์พุตของภาครับที่ความถี่ 2 kHz 54

รูปที่ 4.8 สัญญาณอินพุตของภาคส่งเทียบกับสัญญาณเอาต์พุตของภาครับที่ความถี่ 2 kHz 55

รูปที่ 4.9 สัญญาณอินพุตเทียบกับสัญญาณเอาต์พุตของภาคส่งที่ความถี่ 3 kHz 55

รูปที่ 4.10 สัญญาณจากวงจรแปลงดิจิตอลเป็นอนาลอกเทียบกับสัญญาณเอาต์พุตภาคส่งที่ 3 kHz 56

รูปที่ 4.11 สัญญาณอินพุตเทียบกับสัญญาณเอาต์พุตของภาครับที่ความถี่ 3 kHz 56

รูปที่ 4.12 สัญญาณอินพุตของภาคส่งเทียบกับสัญญาณเอาต์พุตของภาครับที่ความถี่ 3 kHz 57

รูปที่ 4.13 สัญญาณอินพุตเทียบกับสัญญาณเอาต์พุตของภาคส่งที่ความถี่ 4 kHz 57

รูปที่ 4.14 สัญญาณจากวงจรแปลงดิจิตอลเป็นอนาลอกเทียบกับสัญญาณเอาต์พุตภาคส่งที่ 4 kHz 58

รูปที่ 4.15 สัญญาณอินพุตเทียบกับสัญญาณเอาต์พุตของภาครับที่ความถี่ 4 kHz 58

รูปที่ 4.16 สัญญาณอินพุตของภาคส่งเทียบกับสัญญาณเอาต์พุตของภาครับที่ความถี่ 4 kHz 59

รูปที่ 4.17 สัญญาณอินพุตของภาคส่งเทียบกับสัญญาณเอาต์พุตของภาครับที่ความถี่ 1 kHz 60

รูปที่ 4.18 สัญญาณอินพุตของภาคส่งเทียบกับสัญญาณเอาต์พุตของภาครับที่ความถี่ 2 kHz 60

รูปที่ 4.19 สัญญาณอินพุตของภาคส่งเทียบกับสัญญาณเอาต์พุตของภาครับที่ความถี่ 2 kHz 61

รูปที่ 4.20 สัญญาณอินพุตของภาคส่งเทียบกับสัญญาณเอาต์พุตของภาครับที่ความถี่ 2 kHz 61

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 2.1 ตารางความจริงสำหรับวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก	5
ตารางที่ 2.2 ตารางความจริงของแอน (AND) และแนน (NAND) เกต	9
ตารางที่ 2.3 แสดงตัวอย่างการเข้ารหัสข้อมูลที่มีขนาดของแรงดัน 3.5 โวลต์	22
ตารางที่ 2.4 ตารางแสดงการป้อนเข้าและออกของข้อมูลที่ออกจากวงจรรูปที่ 2.23	25
ตารางที่ 3.1 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำแบบบัตเตอร์เวิร์ธ ออเดอร์ 5	30
ตารางที่ 3.2 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำแบบบัตเตอร์เวิร์ธออเดอร์ 4	32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1 บทนำ

ในโครงงานนี้เป็นการศึกษาถึงการทำงานของระบบเดลต้ามอดูเลชั่นและระบบพีซีเอ็ม ซึ่งการมอดูเลตแบบเดลต้ามอดูเลชั่นเป็นการส่งสัญญาณดิจิตอลที่ได้จากสัญญาณอนาลอก ค่าแซมเปิ้ลที่ถูกส่งด้วยสัญญาณไบนารี่ 1 บิต จะมีการเปรียบเทียบค่าที่ได้กับค่าก่อนหน้านั้น ถ้าค่าที่ได้มากกว่าค่าก่อนหน้านั้นจะส่งสัญญาณด้วยลอจิก 1 แต่ถ้าค่าที่ได้น้อยกว่าค่าก่อนหน้านั้นจะส่งสัญญาณด้วยลอจิก 0 การส่งค่าแซมเปิ้ลหลายๆ ค่าต้องใช้จำนวนบิตมากขึ้น และระบบพีซีเอ็มจะใช้ส่งสัญญาณข้อมูลที่ความถี่ 1-4 กิโลเฮิร์ต โดยเป็นการส่งข้อมูลแบบ 1 เฟรม ซึ่งมีข้อมูลขนาด 8 บิตรวมทั้งบิตเริ่มและบิตจบเพื่อความสะดวกในการถอดรหัสข้อมูล โดยมีความถี่ที่ใช้สุ่มตัวอย่าง 16 กิโลเฮิร์ต หลังจากศึกษาทฤษฎีของระบบเดลต้ามอดูเลชั่นและระบบพีซีเอ็มรวมถึงทฤษฎีที่เกี่ยวข้องแล้ว ก็ทำการออกแบบและสร้างสัญญาณอนาลอกที่ความถี่ต่างๆ เข้าไปในวงจรภาคส่งเพื่อส่งสัญญาณเอาต์พุตที่ได้จากภาคส่งผ่านสายส่งสัญญาณไปยังภาครับ และเปรียบเทียบสัญญาณที่ได้จากทางภาครับและสัญญาณจากทางภาคส่ง

อนึ่งโครงงานนี้จัดทำขึ้นเพื่อวัตถุประสงค์คือเพื่อให้เข้าใจถึงระบบการทำงานของการส่งสัญญาณผ่านระบบเดลต้ามอดูเลชั่นและระบบพีซีเอ็ม และเข้าใจถึงหลักการในการออกแบบวงจรเดลต้ามอดูเลชั่นและวงจรพีซีเอ็ม รวมถึงสามารถนำความเข้าใจที่ได้ไปประยุกต์ใช้งานต่อไปในอนาคต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2 ทฤษฎีหรือหลักการ

2.1 คุณสมบัติการสื่อสารระบบดิจิตอล

สัญญาณแบบดิจิตอลสามารถนำมาใช้สื่อสารแทนสัญญาณอนาลอกโดยการแปลงสัญญาณจากอนาลอกให้เป็นสัญญาณดิจิตอลแล้วนำไปเข้ารหัสหรือจัดแปลงให้เหมาะสมกับการส่ง ซึ่งจะขึ้นอยู่กับวิธีการส่งและตัวอย่าง ข้อดีของการสื่อสารด้วยสัญญาณดิจิตอลที่สำคัญมีดังนี้

1. สัญญาณรบกวนต่ำ ในระบบอนาลอกนั้น สัญญาณรบกวน (Noise) และสัญญาณสอดแทรก (Interference) สามารถเข้าไปผสมและผ่านไปยังผู้รับได้ง่าย กล่าวคือในระหว่างการส่งถ้ามีการขยายสัญญาณข้อมูลก็จะทำการขยายสัญญาณเหล่านั้นไปด้วย แต่ในระบบดิจิตอลนั้น สัญญาณอยู่ในรูปของระดับแรงดัน 0 (low) และ 1 (high) ถ้าสัญญาณรบกวนมีขนาดไม่มากพอที่จะทำให้สัญญาณจริงเปลี่ยนระดับได้ ก็จะไม่มีผลไปถึงผู้รับ

2. ง่ายต่อการเข้ารหัส ในกรณีที่ให้ข้อมูลนั้นเป็นความลับ เราสามารถเข้ารหัสข้อมูลได้

3. สะดวกต่อการมัลติเพล็กซ์ ซึ่งส่วนมากใช้การมัลติเพล็กซ์แบบแบ่งเวลา (Time division multiplex)

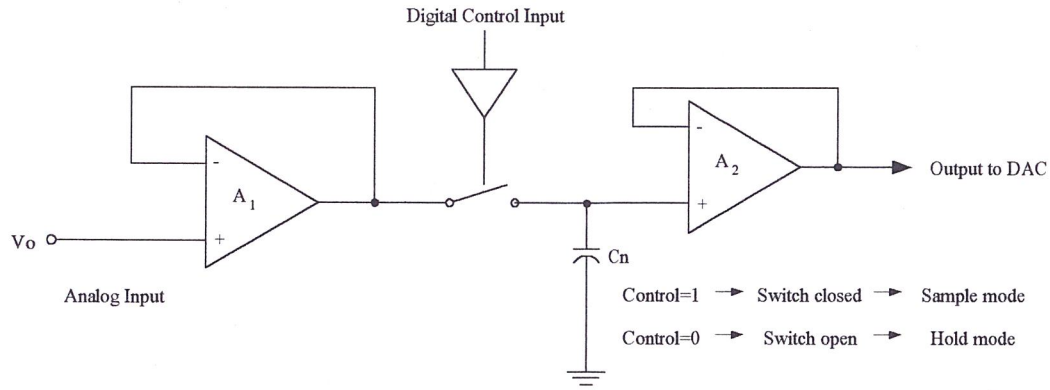
อย่างไรก็ตามการสื่อสารระบบดิจิตอลก็มีข้อเสียอยู่ คือ เพิ่มแบนด์วิดธ์ของสัญญาณ เช่น สัญญาณเสียงพูดสำหรับโทรศัพท์ ซึ่งกำหนดไว้ว่ามีแบนด์วิดธ์ไม่เกิน 3.4 kHz เมื่อแปลงเป็นสัญญาณดิจิตอลแล้วส่งด้วยอัตรา 2.048 Mb/s อย่างน้อยที่สุดสายส่งที่ใช้ต้องมีผลตอบสนองความถี่ในย่าน 2.048 MHz ได้ ทำให้ต้องใช้สายส่งที่มีราคาแพงขึ้น

2.2 วงจรแซมเปิ้ลแอนโฮล

วงจรสุ่มและคงไว้ (sample and hold S/H) เป็นวงจรที่ทำงานในสองหน้าที่ ในช่วงเวลาสั้น ๆ วงจรจะทำหน้าที่ “ สุ่ม ” คือแรงดันขาออกจะเท่ากับแรงดันเชิงอุปมานขาเข้า หลังจากนั้นวงจรจะทำหน้าที่ “ คงไว้ ” คือแรงดันขาออกจะคงตัวเท่ากับแรงดันที่สุ่มมา

การต่อสัญญาณที่มีระดับแรงดันเปลี่ยนแปลงแบบอนาลอกเข้ากับขาเข้าของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล(ADC) โดยตรงอาจจะมีผลต่อช่วงเวลาคอนเวอร์ชั่น (conversion) ทำให้ระดับสัญญาณเอาต์พุตมีค่าผิดพลาดได้ วงจรแซมเปิ้ลแอนโฮลจะช่วยทำให้ระดับแรงดันก่อนผ่านกระบวนการคอนเวอร์ชั่นของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลมีความเสถียร โดยรูปแบบของวงจรแซมเปิ้ลแอนโฮลแสดงได้ดังรูปที่ 2.1

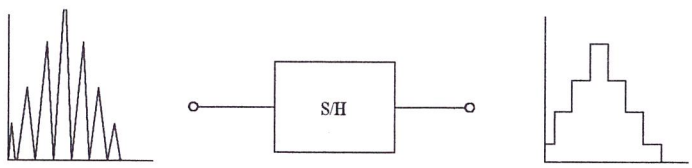
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 แสดงวงจรแซมเปิ้ลแอนโฮล(sample and hold)

วงจรแซมเปิ้ลแอนโฮลประกอบด้วย วงจรขยายบัฟเฟอร์ A_1 ที่มีอัตราขยายเป็น 1 ซึ่งจะเป็นอิมพีแดนซ์สูง (high impedance) ของสัญญาณอนาลอก และมีอิมพีแดนซ์เอาต์พุตต่ำ (low output impedance) ซึ่งมีผลทำให้เกิดการชาร์จประจุที่ C_n อย่างรวดเร็ว ตัวเก็บประจุ C_n จะต่อกับเอาต์พุตของ A_1 ในขณะที่ปิดสวิตซ์ เรียกกระบวนการนี้ว่าแซมเปิ้ล(Sample) ซึ่งช่วงที่สวิตซ์ปิดจะต้องนานพอที่ C_n จะเก็บประจุได้เท่ากับค่ากระแสที่ได้จากสัญญาณอนาลอกอินพุต เช่น ถ้าสวิตซ์ปิดที่เวลา t_0 เอาต์พุตที่ได้จาก A_1 จะชาร์จประจุให้ C_n อย่างรวดเร็วจน C_n มีศักดาไฟฟ้าเท่ากับ V_0 ในขณะที่เปิดสวิตซ์ ตัวเก็บประจุ C_n จะรักษาค่าศักดาไฟฟ้าที่ได้จากเอาต์พุตของ A_1 และปล่อยค่าศักดาไฟฟ้านี้ให้แก่ A_2 กระบวนการนี้เรียกว่าโฮล(Hold) ค่าศักดาที่ได้จากเอาต์พุตของ A_2 จะเป็นค่าที่ป้อนให้กับวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล วงจรขยายบัฟเฟอร์ A_2 มีอัตราขยายเป็น 1 จะมีสมบัติเป็นอิมพีแดนซ์อินพุตสูง (high input impedance) ซึ่งจะไม่คายประจุในช่วงเวลาคอนเวอร์ชั่นของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล ทำให้วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลได้รับค่าดีซีโวลเตจอินพุต(dc voltage input , V_0)

เราจะใช้วงจรสุ่มและคงไว้ในหลายกรณี เช่นในกรณีที่ระบบวัดค่าสัญญาณเชิงอุปมานมีลักษณะเป็นการสุ่มค่ามาอยู่แล้ว คือเป็นพัลส์ซึ่งมีช่วงสูงเท่ากับค่าของสัญญาณเชิงอุปมานที่ขณะต่าง ๆ เราจะใช้วงจรสุ่มและคงไว้ เพื่อสุ่มค่าตรงกลางพัลส์มาคงไว้ ทำให้ได้สัญญาณเชิงอุปมานที่ไม่ขาดช่วง ดังรูปที่ 2.2



รูปที่ 2.2 ตัวอย่างการใช้วงจรสุ่มและคงไว้

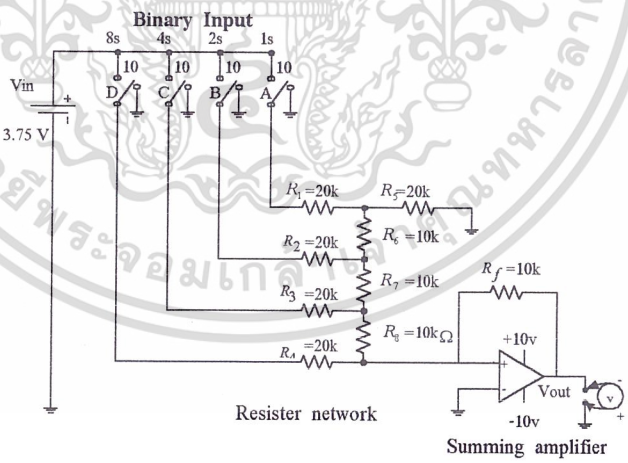
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในระบบการรับข้อมูลที่ควบคุมโดยคอมพิวเตอร์ แซมปลิ้งแอนโฮลสวิตซ์อาจถูกควบคุมด้วยสัญญาณดิจิตอลจากเครื่องคอมพิวเตอร์ สัญญาณจากคอมพิวเตอร์จะสั่งให้ปิดสวิตซ์เพื่อชาร์จ C_n ด้วยค่าใหม่ที่ถูกแซมเปิ้ลจากอนาลอกโวลเตจ ช่วงเวลาที่เหลือที่สวิตซ์ยังคงปิดอยู่ เรียก แอคควิสซิชั่นไทม์ (acquisition time) ซึ่งค่านี้จะขึ้นอยู่กับค่าของ C_n และค่าคุณลักษณะ (characteristic) ของวงจรแซมเปิ้ลแอนโฮล วงจรอินทิเกรตแซมปลิ้งแอนโฮล(integrated S/H) ที่ใช้ LF198 จะมีแอคควิสซิชั่นไทม์ ประมาณ 4 ไมโครฟารัด เมื่อใช้ C_n = 1000 พิโคฟารัด และ 20 ไมโครฟารัด เมื่อใช้ C_n = 0.01 ไมโครฟารัด สัญญาณจากคอมพิวเตอร์ควบคุมการเปิดสวิตซ์จะทำให้ C_n รักษาค่าระดับแรงดันนั้นไว้ และที่เอาต์พุตของ A_2 จะได้ค่าระดับแรงดันอนาลอกที่ค่อนข้างคงที่ เช่น ถ้าใช้ LF198 และใช้ C_n = 1000 พิโคฟารัด จะมีอัตราการคายประจุประมาณ 30 มิลลิโวลต์ต่อวินาที

2.3 วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกชนิดแลดเดอร์ (Digital to Analog Converter : DAC)

วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกประกอบไปด้วย 2 ส่วน คือ ส่วนตัวต้านทาน และส่วนขยาย รูปที่ 2.3 เป็นแผนภาพแสดงชนิดของส่วนที่เป็นตัวต้านทาน (resistive network) ซึ่งค่าความต่างศักย์เอาต์พุตออกมามีค่าเหมาะสมตามสัญญาณอินพุตที่เป็นเลขฐานสอง

ระบบตัวต้านทานชนิดนี้มักเรียกว่า R-2R แลดเดอร์(ladder) มีลักษณะพิเศษคือใช้ค่าความต้านทาน 2 ค่าเท่านั้น โดยตัวต้านทาน R_1 , R_2 , R_3 , R_4 และ R_5 มีค่าตัวละ 20 กิโลโอห์ม และตัวต้านทาน R_6 , R_7 , R_8 และ R_f มีค่าตัวละ 10 กิโลโอห์ม สังเกตว่าตัวต้านทานที่เรียงกันเป็นแนวนอนทุกตัวจะมีค่าเป็น 2 เท่าของตัวต้านทานที่เรียงกันเป็นแนวตั้ง ซึ่งเป็นที่มาของชื่อว่า ระบบ R-2R แลดเดอร์



รูปที่ 2.3 วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก โดยใช้ R-2R แลดเดอร์

สำหรับส่วนขยายในรูปที่ 2.3 ออปแอมป์ยังคงใช้แหล่งจ่ายไฟแบบคู่ (dual power supply) หรือแบบที่มีทั้งไฟบวกและไฟลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.1 แสดงการทำงานของวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกชนิดนี้ สังเกตว่าเราใช้ความต่างศักย์อินพุต 3.75 โวลต์และสัญญาณเอาต์พุตที่ออกมาจะเพิ่มขึ้นทีละ 0.25 โวลต์ เมื่อเพิ่มค่าอินพุตเลขฐานสองไปเรื่อย ๆ ดังแสดงทางคอลัมน์ขวาสุดของตารางที่ 2.1 ข้อควรจำคือ เลขศูนย์ในอินพุตเลขฐานสองแต่ละตัวนั้นหมายถึงการป้อนความต่างศักย์ศูนย์โวลต์ หรือลอจิก "0" เข้าที่อินพุตนั้น ๆ และเลข 1 หมายถึงการป้อนความต่างศักย์ 3.75 โวลต์ หรือลอจิก "1" เข้าทางอินพุตนั้น ๆ

Binary Input				Analog output (Volts)
8s	4s	2s	1s	
D	C	B	A	
0	0	0	0	0.00
0	0	0	1	0.25
0	0	1	0	0.50
0	0	1	1	0.75
0	1	0	0	1.00
0	1	0	1	1.25
0	1	1	0	1.50
0	1	1	1	1.75
1	0	0	0	2.00
1	0	0	1	2.25
1	0	1	0	2.50
1	0	1	1	2.75
1	1	0	0	3.00
1	1	0	1	3.25
1	1	1	0	3.50
1	1	1	1	3.75

ตารางที่ 2.1 ตารางความจริงสำหรับวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก

เหตุที่ใช้ความต่างศักย์อินพุต 3.75 โวลต์ เนื่องจากมีค่าใกล้เคียงกับความต่างศักย์ต่ำสุดของเอาต์พุตของไอซีทีทีแอล โดยส่วนอินพุตในรูป 2.3 (D,C,B,A)จะต่อโดยตรงกับเอาต์พุตของไอซีทีทีแอลเมื่อเป็นลอจิก 1 และจะทำงานสอดคล้องกับตารางที่ 2.1 ในทางปฏิบัติแล้วเอาต์พุตของไอซีทีทีแอลมีค่าไม่เท่ากับ 3.75 โวลต์เลยทีเดียว เราอาจใช้ทรานซิสเตอร์ช่วยแปลงสัญญาณให้ได้ค่าความต่างศักย์เอาต์พุตที่แน่นอนยิ่งขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

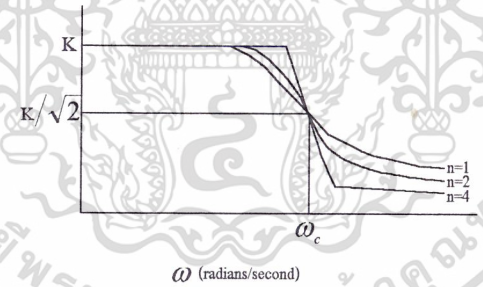
สำหรับเลขฐานสองหลักอื่น ๆ (16s, 32s, 64s และอื่น ๆ) สามารถเพิ่มเข้าไปในวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกในรูปที่ 2.3 ได้ โครงสร้างของวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกก็คือจะต้องมีส่วนตัวต้านทานและส่วนขยาย (resistive network and summing amplifier) ประกอบกัน

2.4 วงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธ (Low Pass Butterworth Filter)

วงจรกรองความถี่ต่ำแบบบัตเตอร์เวิร์ธ เป็นวงจรกรองความถี่ที่มีคุณลักษณะเฉพาะ (Characteristic) ใกล้เคียงกับวงจรกรองความถี่ต่ำทางอุดมคติ โดยเราใช้ช่วงความถี่ที่ผ่านได้มีค่าแอมปลิจูดเท่าเทียมตลอดย่านที่ยอมให้ผ่านได้ โดยที่การตอบสนองเชิงขนาดของสัญญาณ (Amplitude response) มีค่าตามสมการ

$$\left| H(j\omega) \right| = \frac{K}{\sqrt{1+(\omega/\omega C)^{2n}}} \qquad (2.1)$$

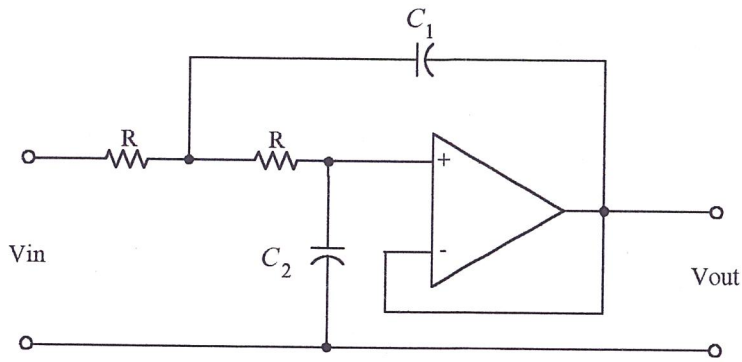
โดยที่ n เป็นค่าลำดับ (Order) ของวงจรกรองความถี่ และตามรูปที่ 2.4 แสดงให้เห็นว่าวงจรกรองความถี่สามารถที่จะปรับปรุงคุณลักษณะเฉพาะ เกี่ยวกับการตอบสนองเชิงขนาดของสัญญาณให้ดีขึ้น โดยใช้การเพิ่มค่า n หรืออันดับของวงจรกรองความถี่จะอธิบาย กรณีค่า n=2 , n=4 ตามลำดับ



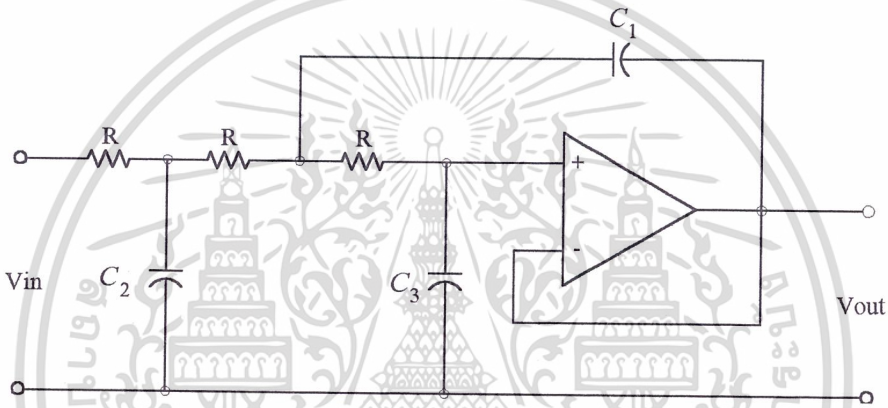
รูปที่ 2.4 แสดงผลตอบสนองกรณีบัตเตอร์เวิร์ธ

วงจรกรองความถี่แบบบัตเตอร์เวิร์ธมีข้อดีดังที่ได้กล่าวมาแล้ว คือสามารถให้ผลตอบสนองเชิงขนาดของสัญญาณได้เท่าเทียมกันตลอดย่านความถี่ที่ต้องการ เพียงแต่จุดคัทออฟของวงจรบัตเตอร์เวิร์ธจะอยู่ต่ำกว่าจุดคัทออฟของวงจรกรองความถี่แบบเชบีเชฟ ไม่ว่าจะเป็นอันดับที่ n ใด ๆ ก็ตาม แต่ในกรณีนี้จะใช้ตารางช่วย โดยทำการนอร์มอลไลซ์ค่าต่างๆ ดังมีรูปวงจรของวงจรกรองความถี่ต่ำดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 วงจรกรองความถี่ต่ำอันดับสอง



รูปที่ 2.6 วงจรกรองความถี่ต่ำอันดับสาม

การทำนอร์มอลไลซ์ (normalized) คือการสเกลค่าลงมาให้เป็น

$$\omega_{\varnothing} = 1 \text{ rad/sec}$$

$$R_{\varnothing} = 1\ \Omega$$

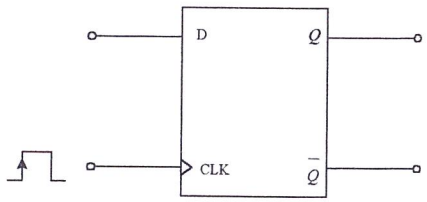
$$\omega_{\varnothing} R_{\varnothing} C_{\varnothing} = \omega RC \qquad (2.2)$$

แล้วทำการกำหนดค่า ω และ R ตามต้องการ และหาค่า $C_{\varnothing}$ จากตาราง โดยจะอธิบายการออกแบบเพื่อให้หาค่าตามความถี่ที่ต้องการ ในหัวข้อการออกแบบวงจรกรองความถี่ต่ำต่อไป

2.5 ฟลิปฟลอปแบบดีที่ใช้คล็อค (Clocked D Flip-Flop)

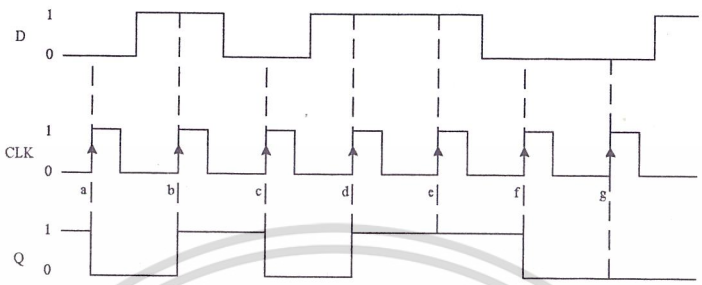
รูปที่ 2.7 ก) แสดงสัญลักษณ์ของฟลิปฟลอปแบบดีซึ่งใช้การทำงานแบบขอบขาขึ้น ของสัญญาณคล็อคในการทริกเกอร์ ฟลิปฟลอปประเภทนี้มีอินพุตควบคุมชิงโครนัสเพียงอินพุตเดียว คือ อินพุตดีซึ่งเป็นขาเข้าของข้อมูล (Data)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



D	CLK	Q
0	↑	0
1	↑	1

(ก)



(ข)

รูปที่ 2.7 แสดงดี-ฟลิปฟลอป

เมื่อขอบขาขึ้นของสัญญาณปรากฏที่อินพุตของสัญญาณนาฬิกา(CLK) เอาต์พุต Q จะมีสภาวะเหมือนกับสภาวะซึ่งปรากฏที่อินพุต D อีกนัยหนึ่ง ฟลิปฟลอปจะเก็บระดับของสัญญาณซึ่งปรากฏที่อินพุต D ขณะเกิดสัญญาณขอบขาขึ้น ดังรูปที่ 2.7 ข) ซึ่งอธิบายได้ดังนี้

1. ในช่วงเริ่มต้นสมมติว่า Q เป็นสภาวะ “1” เมื่อขอบขาขึ้นของสัญญาณคล็อคที่หนึ่งปรากฏ (ที่จุด a) อินพุต D เป็นสภาวะ “0” ทำให้ Q มีสภาวะ 0 ถึงแม้ว่าระดับอินพุต D จะเปลี่ยนระดับระหว่างจุด a และ b ก็ตามจะไม่มีผลกระทบต่อ Q เพราะ Q เก็บสภาวะ “0” ของ D ที่จุด a
2. เมื่อเกิดขอบขาขึ้นที่จุด b เอาต์พุต Q จะเป็น สภาวะ “1” เพราะ D ที่เวลานั้นเป็น สภาวะ “1” Q จะเก็บสภาวะ “1” จนกระทั่งขอบขาขึ้นปรากฏที่จุด c เอาต์พุต Q จึงเป็นสภาวะ “0” เพราะ D ที่เวลานั้นเป็นสภาวะ “0”
3. ในทำนองเดียวกันเมื่อขอบขาขึ้นปรากฏที่จุด d,e เอาต์พุต Q จะเป็นสภาวะ “1” เพราะอินพุต D เป็นสภาวะ “1” และที่จุด f,g เอาต์พุต Q เป็นสภาวะ “0” เพราะอินพุต D เป็นสภาวะ “0”

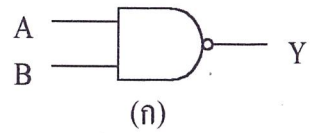
จากรูปคลื่นเหล่านี้ สังเกตได้ว่า Q เปลี่ยนสภาวะเมื่อขอบขาขึ้นปรากฏเท่านั้น

สำหรับฟลิปฟลอปแบบดีที่ใช้ขอบขาลงของสัญญาณคล็อคในการทริกเกอร์จะทำงานในลักษณะเดียวกับหลักการข้างต้น ยกเว้น เอาต์พุต Q มีสภาวะเหมือนอินพุต D เมื่อขอบขาลงของสัญญาณคล็อคปรากฏที่อินพุตสัญญาณนาฬิกา (CLK) ส่วนสัญลักษณ์ของฟลิปฟลอปนี้มีวงกลมเล็ก (หรือบับเบิ้ล) ที่อินพุตสัญญาณนาฬิกา

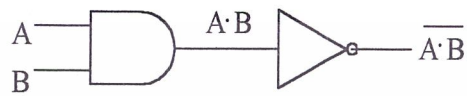
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 เกตแบบแนน (NAND Gate)

สำหรับตัวแนนเกตนี้คือ นอทแอนด์(NOT AND) หรืออินเวอร์สแอน (Inverted AND) สัญลักษณ์มาตรฐานของแนนเกตแสดงได้ดังรูปที่ 2.8 ก) โดยเพิ่มอินเวอร์เตอร์(วงกลมเล็ก ๆ) เข้าไปทางเอาต์พุตของแอนเกต



(ก)



(ข)

รูปที่ 2.8 ก) สัญลักษณ์ของแนนเกต

ข) สมการบูลีนของแนนเกต

จากรูปที่ 2.8 ข) จะแสดงการต่อแอนเกตกับอินเวอร์เตอร์ ซึ่งจะให้ผลลัพธ์ออกมาเป็นแนนเกต สำหรับบูลีน เอกซ์เพรสชั่น(Boolean expression) ของแอนเกต คือ (A·B) และสำหรับแนนเกตซึ่งเป็นอินเวอร์เตอร์ของแอนเกต จะเขียนได้เป็น $\overline{(A \cdot B)}$ ซึ่งแสดงในรูปที่ 2.8 ข)

ตารางความจริงของแนนเกต แสดงได้ดังด้านขวาของตารางที่ 2.2 ถ้าเปรียบกับแอนเกต จะเห็นได้ว่า ตัวแนนเกต จะพัฒนามาจากอินเวอร์สของเอาต์พุตของแอนเกต

INPUT		OUTPUT	
B	A	AND	NAND
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0

ตารางที่ 2.2 ตารางความจริงของ แอน (AND) และ แนน (NAND) เกต

ตัวแนนเกตจะใช้กันอย่างกว้างขวางในงานอุตสาหกรรมที่มีวงจรดิจิตอลเป็นองค์ประกอบ การจำตารางความจริงแบบง่าย ๆ คือ เอาต์พุตของแนนเกตจะเป็นสภาวะ “0” ก็ต่อเมื่อทุกอินพุตเป็นสภาวะ “1” จากตารางจะเห็นว่า เอาต์พุตจะเป็น “0” เมื่อทุกอินพุตเป็น “1”

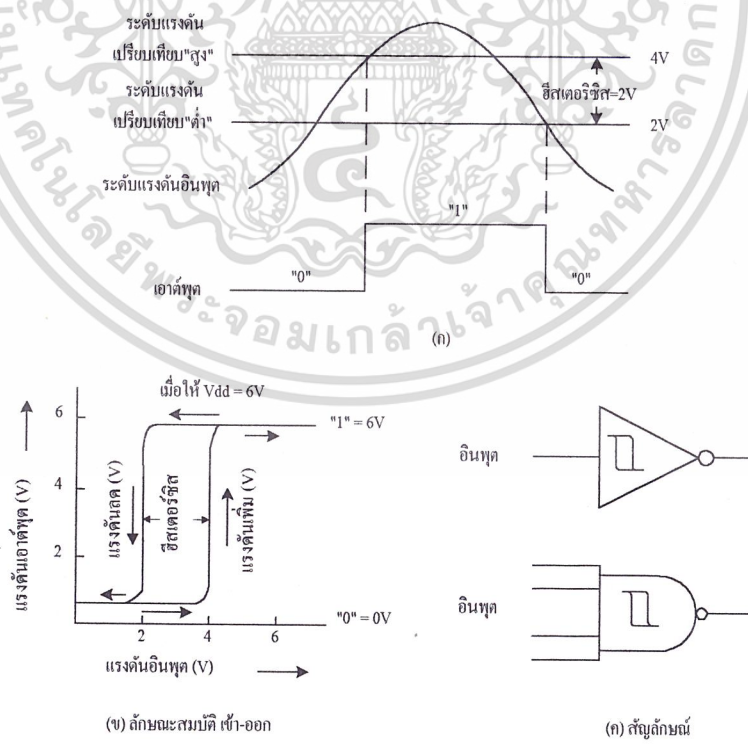
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 ชมิตต์ทริกเกอร์ (Schmitt trigger)

สัญญาณในวงจรดิจิตอลนั้นส่วนใหญ่จะเป็นสัญญาณระดับแรงดันสูงต่ำหรือเป็นสัญญาณพัลส์ แต่สัญญาณที่มีใช้งานกันค่อนข้างมากมักจะเป็นสัญญาณอนาลอก ซึ่งมีรูปคลื่นแตกต่างจากสัญญาณดิจิตอลอย่างมาก เช่น สัญญาณซายน์ สัญญาณเสียง เป็นต้น ถ้าต้องการให้วงจรดิจิตอลอ่านสัญญาณเหล่านี้หรือป้อนสัญญาณอนาลอกเหล่านี้เป็นอินพุต จะก่อให้เกิดปัญหากับวงจรดิจิตอล เพราะระดับสัญญาณไม่ได้มาตรฐานและการขึ้นลงของรูปคลื่นค่อนข้างช้า วงจรชมิตต์ทริกเกอร์ (Schmitt trigger) ก็เป็นวงจรชนิดหนึ่งที่จะช่วยในการแปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอล 2 ระดับ เพื่อให้วงจรดิจิตอลรับอินพุตที่เป็นสัญญาณอนาลอกได้ มีสัญญาณอนาลอกหลายชนิดที่วงจรดิจิตอลต้องการจะตรวจเช็คระดับ เช่น สัญญาณแรงดัน กระแส อุณหภูมิ ความดัน น้ำหนัก การเคลื่อนที่ เป็นต้น สัญญาณเหล่านี้จะมาจากตัวตรวจวัดที่อยู่รอบนอกวงจร วงจรดิจิตอลต้องการรับสัญญาณเหล่านี้มาประมวลผลภายในและใช้ในการควบคุมอีกทีหนึ่ง

2.7.1 การทำงานของวงจรชมิตต์ทริกเกอร์

วงจรชมิตต์ทริกเกอร์เป็นวงจรที่จะรับสัญญาณอนาลอกทางอินพุตและจะให้สัญญาณดิจิตอลทางด้านเอาต์พุต เมื่อแรงดันของสัญญาณค่อย ๆ เพิ่มจาก 0 โวลต์จนถึงระดับแรงดันหนึ่งที่กำหนดไว้ ชมิตต์ทริกเกอร์จะให้เอาต์พุตเป็น “1” ทันที ต่อมาเมื่อแรงดันค่อย ๆ ลดลงจนต่ำถึงแรงดันอีกระดับหนึ่ง ชมิตต์ทริกเกอร์ก็จะให้เอาต์พุตเป็น “0” ระดับแรงดันสูงกับต่ำที่ใช้เปรียบเทียบนี้จะมีค่าไม่เท่ากัน ช่วงห่างระหว่างระดับแรงดันทั้งสองนี้เรียกว่า ฮีสเตอริซิส (hyterisis)



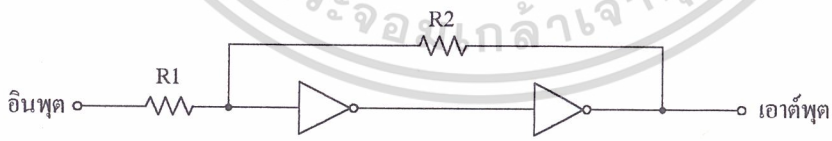
รูปที่ 2.9 สัญลักษณ์และคุณสมบัติของวงจรชมิตต์ทริกเกอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความสัมพันธ์ของรูปคลื่นด้านอินพุตและเอาต์พุตของชมิตต์ทริกเกอร์แสดงอยู่ในรูปที่ 2.9 ก) ถ้าให้แหล่งจ่ายไฟ 6 โวลต์ให้แก่ไอซีซีมอส(CMOS) ที่เป็นชมิตต์ทริกเกอร์แล้ว ระดับแรงดันเปรียบเทียบสมมติให้เป็น 4 โวลต์และ 2 โวลต์ตามรูป เมื่อแรงดันอินพุตเพิ่มขึ้นมาถึง 4 โวลต์จะทำให้เอาต์พุตเปลี่ยนจาก "0" เป็น "1" ในขณะที่เมื่อแรงดันลดลงถึงจุด 2 โวลต์จะทำให้เอาต์พุตเปลี่ยนกลับเป็น "0" อีกครั้ง รูปที่ 2.9 ข) เป็นกราฟลักษณะสมบัติแสดงความสัมพันธ์ของแรงดันอินพุตกับเอาต์พุต จากกราฟนี้จะเห็นช่วงกว้างของแรงดันฮีสเตอริซิสอย่างชัดเจน ในกรณีนี้มีค่าเป็น 2 โวลต์

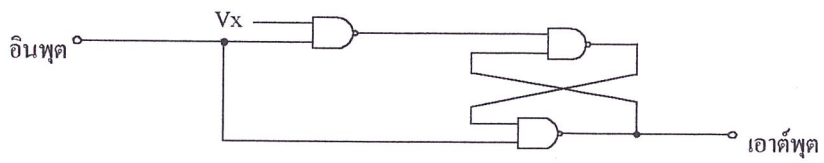
การที่ชมิตต์ทริกเกอร์มีฮีสเตอริซิสนี้นับเป็นข้อดีมากในการรับสัญญาณอนาลอกซึ่งเปลี่ยนค่อนข้างช้ามาเป็นอินพุต ลองคิดดูว่าถ้าใช้เกตธรรมดาหรือวงจรเปรียบเทียบ (comparator) มารับสัญญาณเหล่านี้จะมีปัญหาอะไรขึ้นบ้าง ปัญหาที่จะเกิดขึ้นก็ตรงบริเวณที่แรงดันอินพุตมีค่าเข้าใกล้แรงดันเปรียบเทียบ ถ้าแรงดันเปลี่ยนแปลงเพียงเล็กน้อยก็จะเกิดการเปลี่ยนสภาวะของเอาต์พุตทันที ถ้าแรงดันเปลี่ยนแปลงช้าหรือขึ้น ๆ ลง ๆ ซึ่งอาจจะเป็นผลของสัญญาณรบกวน จะทำให้เอาต์พุตเปลี่ยนจาก "1" เป็น "0" กลับไปกลับมา มีลักษณะเป็นพัลส์เล็ก ๆ หลาย ๆ ลูก พัลส์เหล่านี้จะเป็นสาเหตุให้วงจรดิจิตอลทำงานผิดพลาดโดยเฉพาะวงจรที่มีฟลิปฟลอปหรือวงจรนับ ถ้าใช้ชมิตต์ทริกเกอร์รับสัญญาณเหล่านี้เหตุการณ์แบบนี้จะไม่เกิดขึ้น เมื่อแรงดันถึงระดับที่กำหนด เอาต์พุตจะเปลี่ยนสภาวะทันทีและจะค้างอยู่ในสภาวะนั้น แม้แรงดันจะยังขึ้น ๆ ลง ๆ อยู่บริเวณนั้นบ้าง เอาต์พุตจะเปลี่ยนสภาวะอีกครั้งก็ตอนที่แรงดันลดลงมาถึงอีกระดับหนึ่งเท่านั้น ซึ่งก็ห่างกันเท่ากับฮีสเตอริซิส

กรณีของไอซีซีมอสนั้น ฮีสเตอริซิสยังขึ้นอยู่กับแรงดันแหล่งจ่ายไฟด้วย ถ้าหาไอซีที่เป็นชมิตต์ทริกเกอร์ไม่ได้ ก็สามารถนำเกตแนน (NAND Gate) หรืออินเวอร์เตอร์มาประกอบวงจรทำให้เป็นชมิตต์ทริกเกอร์ได้เหมือนกัน ดูวงจรในรูปที่ 2.10 (ก) เป็นการใช้อินเวอร์เตอร์ธรรมดา 2 ตัว มาต่อเป็นชมิตต์ทริกเกอร์ โดยการเลือกค่า R_1 และ R_2 จะสามารถเลือกฮีสเตอริซิสได้ตามใจชอบ เช่น ถ้าอัตราส่วน $R_2 : R_1$ เป็น 10 : 1 จะได้ฮีสเตอริซิสประมาณ 5 เปอร์เซ็นต์ของ V_{DD} ถ้าอัตราส่วนเป็น 2 : 1 จะได้ฮีสเตอริซิสกว้างถึง 40 เปอร์เซ็นต์ของ V_{DD} อินเวอร์เตอร์ควรเป็นชนิดซีมอสถ้าเป็นทีทีแอลจะปรับฮีสเตอริซิสได้ค่อนข้างยาก



R2/R1 มากจะทำให้ฮีสเตอริซิสเล็ก

(ก) ใช้อินเวอร์เตอร์



Vx มากจะทำให้ฮีสเตอริซิสเล็ก

(ข) ใช้เกต NAND

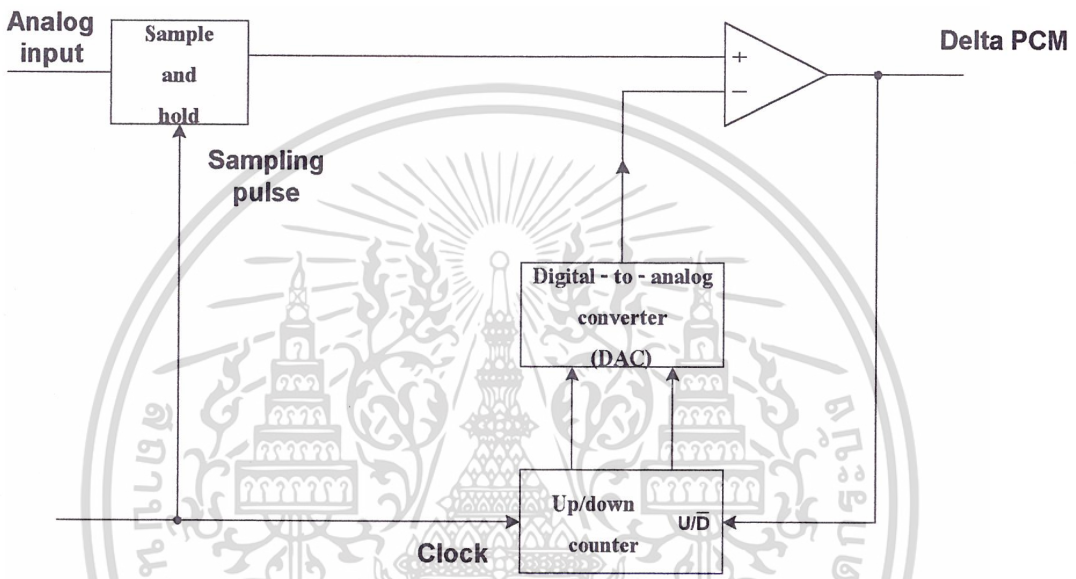
รูปที่ 2.10 การใช้เกตธรรมดาทำชมิตต์ทริกเกอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับรูปที่ 2.10 (ข) เป็นการใช้แนนเกตมาต่อเป็นชมิตต์ทริกเกอร์ วงจรใช้เกตหลายตัว การควบคุมขนาดของฮีสเตอริซิสจะใช้แรงดัน V_x ป้อนเข้าขาอินพุตของแนนเกต ถ้า V_x มีค่า 60 เปอร์เซ็นต์ของ V_{DD} จะทำให้ฮีสเตอริซิสได้ประมาณ 10 เปอร์เซ็นต์ของ V_{DD} และถ้า V_x มีขนาดเล็กลงเหลือ 52 เปอร์เซ็นต์ของ V_{DD} จะเพิ่มฮีสเตอริซิสเป็นถึง 30 เปอร์เซ็นต์ของ V_{DD}

2.8 เดลต้ามอดูเลชั่น (Delta Modulation :DM)

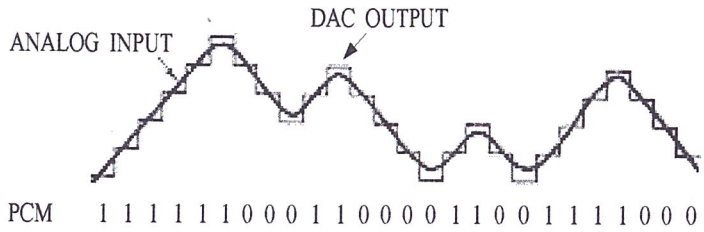
2.8.1 เครื่องส่งสัญญาณเดลต้ามอดูเลชั่น



รูปที่ 2.11 บล็อคไดอะแกรมของเครื่องส่งเดลต้ามอดูเลชั่น

รูป 2.11 เป็นบล็อคไดอะแกรมของเครื่องส่งเดลต้ามอดูเลชั่น สัญญาณอนาลอกที่ป้อนให้แก่เครื่องส่งเดลต้ามอดูเลชั่นจะถูกแซมเปิ้ลและเปลี่ยนให้อยู่ในรูปสัญญาณพีเอเอ็ม (PAM) แล้วสัญญาณพีเอเอ็ม จะถูกเปรียบเทียบกับสัญญาณที่ได้จากวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก (DAC) ซึ่งเป็นสัญญาณในรูปโวลเตจที่เท่ากับค่าสัญญาณจากการแซมเปิ้ลก่อนหน้านั้น ถูกเก็บไว้ที่อัพแอนดาวน์เคาน์เตอร์ (up/down counter) ในรูปตัวเลขฐานสอง การที่อัพแอนดาวน์เคาน์เตอร์จะนับขึ้นหรือนับลงตามค่าสัญญาณแซมเปิ้ลก่อนหน้านั้น ว่าจะมีค่าน้อยกว่าหรือมากกว่ากระแสแซมเปิ้ล อัพแอนดาวน์เคาน์เตอร์จะเปลี่ยนแปลงตามค่าที่ได้จากการเปรียบเทียบและมีสัญญาณคล็อคเดียวกันกับอัตราการแซมเปิ้ล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

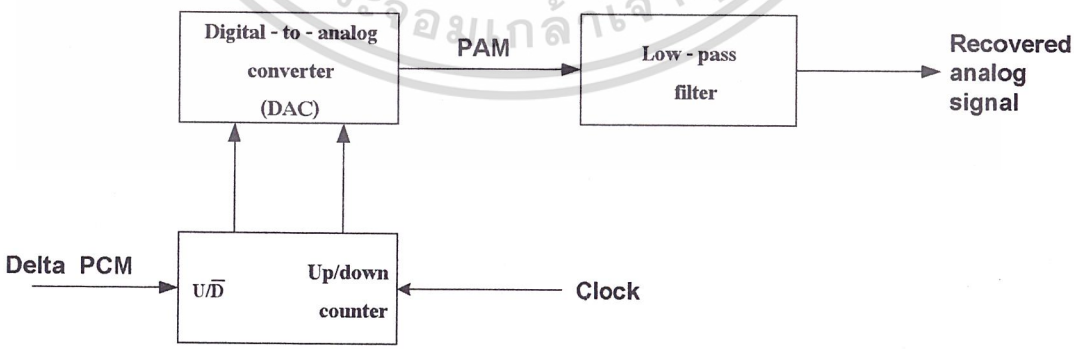


รูปที่ 2.12 แสดงการทำงานตามทฤษฎีการเข้ารหัสแบบเดลต้ามอดูเลชั่น

รูปที่ 2.12 แสดงการทำงานตามทฤษฎีการเข้ารหัสแบบเดลต้ามอดูเลชั่น เริ่มต้นให้ค่าอัพแอนดาวน์เคาน์เตอร์มีค่าศูนย์ และวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกให้ค่าเอาต์พุตเป็น 0 โวลต์ด้วย เมื่อค่าแซมเปิ้ลแรกถูกเปลี่ยนเป็นสัญญาณพีเอเอ็มจะถูกเทียบกับ 0 โวลต์ ค่าเอาต์พุตจากคอมพาเรเตอร์เป็นลอจิก 1 (+V) เพื่อชี้ว่ากระแสแซมเปิ้ลมีแอมปลิจูดมากกว่าค่าแซมเปิ้ลก่อนหน้านั้น อัพแอนดาวน์เคาน์เตอร์นับเพิ่มขึ้นและให้ลอจิก 1 อีก ถ้ามีสัญญาณคล็อคถัดไป ขณะนี้เอาต์พุตของวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกจะมีโวลเตจเท่ากับขนาดของสเต็ปไซด์ที่น้อยสุด (minimum step size)

อัตราการเปลี่ยนแปลงค่าของขั้นต่าง ๆ จะเท่ากับความถี่ของคล็อคที่ใช้หาค่าแซมเปิ้ล อัพแอนดาวน์เคาน์เตอร์จะมีการนับขึ้น จนกระทั่งผลเอาต์พุตของวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกมีค่ามากกว่าค่าแซมเปิ้ลจากสัญญาณอนาลอก หลังจากนั้นอัพแอนดาวน์เคาน์เตอร์จะเริ่มนับลงเรื่อย ๆ จนผลเอาต์พุตของวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกมีค่าต่ำกว่าขนาดสัญญาณแซมเปิ้ล ในสภาวะที่เกิดขึ้นตามทฤษฎีที่แสดงในรูปที่ 2.12 ค่าเอาต์พุตจากวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกจะเปลี่ยนแปลงไปตามสัญญาณอินพุตในแต่ละครั้งที่อัพแอนดาวน์เคาน์เตอร์นับขึ้น จะส่งลอจิก 1 ไปตามสายส่ง และทุกครั้งที่อัพแอนดาวน์เคาน์เตอร์นับลง ก็จะมีลอจิก 0 ส่งไปตามสายส่งเช่นกัน

2.8.2 เครื่องรับเดลต้ามอดูเลชั่น



รูปที่ 2.13 บล็อคไดอะแกรมของเครื่องรับเดลต้ามอดูเลชั่น

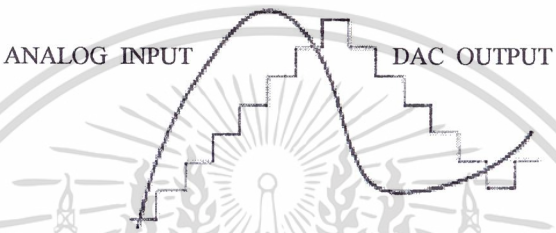
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.13 แสดงบล็อคไดอะแกรมของเครื่องรับเดลต้ามอดูเลชั่นจะเห็นว่าเครื่องรับมีอุปกรณ์ที่คล้ายกับเครื่องส่งโดยแตกต่างกันที่เครื่องรับไม่มีคอมพาเรเตอร์ ด้านรับจะรับลอจิก 1 และลอจิก 0

จากทางด้านส่ง เมื่อเคาน์เตอร์ที่ด้านส่งมีการนับขึ้นและนับลงตามลำดับ ค่าเอาต์พุตของวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกทางด้านรับจะมีค่าเหมือนกันกับค่าเอาต์พุตของ วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกทางด้านส่ง

เนื่องจากเดลต้ามอดูเลชั่นมีการส่งสัญญาณเพียง 1 บิต ดังนั้นบิตเรท (Bit Rate) ของเดลต้ามอดูเลชั่นจะต่ำกว่าบิตเรทของระบบพีซีเอ็ม(PCM) และมีปัญหา 2 กรณีในการทำงานแบบ เดลต้ามอดูเลชั่น คือ สโลป โอเวอร์โหลด (slope overload) และ กรานูล่าร์ น็อยส์ (granular noise) ซึ่งทั้ง 2 ปัญหาจะไม่พบในระบบพีซีเอ็ม

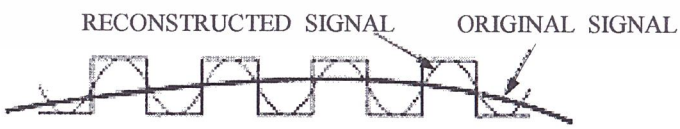
2.8.3 สโลป โอเวอร์โหลด (slope overload)



รูปที่ 2.14 อัตราการเปลี่ยนแปลงของสัญญาณอนาลอกอินพุตกับอัตราการเปลี่ยนแปลงที่ได้จากวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก

จากรูปที่ 2.14 แสดงให้เห็นว่าสัญญาณอนาลอกอินพุต มีอัตราการเปลี่ยนแปลงเร็วกว่าอัตราการเปลี่ยนแปลงที่ได้จากวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก ดังนั้นสโลป (slope) ของสัญญาณอนาลอกจะมีค่ามากกว่าที่เดลต้ามอดูเลชั่นจะตามทันเรียกว่าสโลป โอเวอร์โหลด (slope overload) การเพิ่มความถี่ของสัญญาณคล็อคจะช่วยลดโอกาสการเกิดสโลป โอเวอร์โหลด หรืออาจแก้ปัญหาสโลปโอเวอร์โหลดได้โดยการเพิ่มขนาดของสเต็ปต่ำสุด(minimum step size)

2.8.4 กรานูล่าร์ น็อยส์ (granular noise)



รูปที่ 2.15 แสดงกรานูล่าร์ น็อยส์

จากรูปที่ 2.15 แสดงให้เห็นว่าถ้าสัญญาณอนาลอกอินพุต มีขนาดเกือบจะเป็นเส้นตรง แต่สัญญาณที่ทางด้านรับของระบบเดลต้ามอดูเลชั่นมีการเปลี่ยนแปลงไปมาไม่เหมือนกับสัญญาณอินพุต

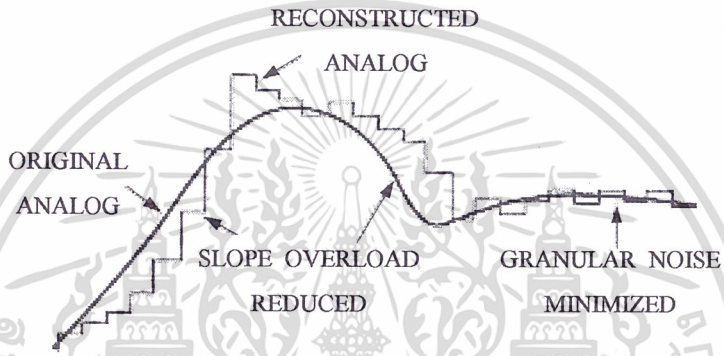
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปัญหาที่เกิดขึ้นเรียกว่ากรานูล่าร์ น็อยส์ (granular noise) ซึ่งกรานูล่าร์ น็อยส์ที่เกิดขึ้นกับระบบเดลต้ามอดูเลชั่นเปรียบเสมือนควอนไตเซชั่น น็อยส์ (quantization noise) ของระบบพีซีเอ็ม

การลดกรานูล่าร์ น็อยส์ทำได้โดยลดขนาดของสเต็ปไซด์ (step size) การลดกรานูล่าร์ น็อยส์ทำได้ง่าย แต่การลดโอกาสในการเกิดสโลป โอเวอร์โหลดทำได้ยากจึงควรหาวิธีที่เหมาะสมต่อไป

กรานูล่าร์ น็อยส์มักจะเกิดขึ้นมากกับสัญญาณอนาลอกที่มีการเปลี่ยนแปลงของสโลป (slope) น้อย ซึ่งเป็นสัญญาณที่มีขนาดเปลี่ยนแปลงเพียงเล็กน้อย ส่วนสโลป โอเวอร์โหลดมักจะเกิดกับสัญญาณอนาลอกที่มีสโลปมากหรือมีขนาดของสัญญาณเปลี่ยนแปลงอย่างรวดเร็ว

2.8.5 อะแด็ปทีพ เดลต้ามอดูเลชั่น (Adaptive DM)



รูปที่ 2.16 แสดงอะแด็ปทีพ เดลต้ามอดูเลชั่น

อะแด็ปทีพ เดลต้ามอดูเลชั่น (Adaptive Deltamodulation) เป็นระบบเดลต้ามอดูเลชั่นที่ขนาดสเต็ปไซด์ของวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกมีค่าเปลี่ยนแปลงตามลักษณะของสัญญาณอนาลอกอินพุตโดยอัตโนมัติ รูปที่ 2.16 แสดงการทำงานของอะแด็ปทีพ เดลต้ามอดูเลชั่น เมื่อเอาต์พุตของเครื่องส่งเป็น 1 หรือ 0 ติดต่อกันมาก ๆ และสโลปของเอาต์พุตวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกมีค่าน้อยกว่าสโลปของสัญญาณอนาลอกทั้งในทิศบวกหรือลบ ทำให้เอาต์พุตวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกตามค่าอนาลอกแซมเปิ้ลไม่ทัน และอาจมีโอกาสเกิดสโลป โอเวอร์โหลดได้สูง ถ้าใช้อะแด็ปทีพ เดลต้ามอดูเลชั่น หลังจากค่าที่เป็น 1 หรือ 0 ติดต่อกันนาน ๆ ขนาดสเต็ปไซด์จะปรับเพิ่มขึ้นอย่างอัตโนมัติ หลังจากแซมเปิ้ลถัดไปหากขนาดเอาต์พุตวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกยังต่ำกว่าขนาดของแซมเปิ้ล สเต็ปถัดไปจะเพิ่มขึ้นเรื่อย ๆ จนเอาต์พุตวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกตามสัญญาณอนาลอกทัน เมื่อมีการเปลี่ยนแปลงลำดับ 1 และ 0 สลับกันไปมาก็จะมีโอกาสเกิดกรานูล่าร์ น็อยส์สูง ดังนั้น วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกจะเปลี่ยนแปลงเป็นค่าขนาดสเต็ปต่ำสุด โดยอัตโนมัติเพื่อลดความผิดพลาดของขนาดที่เกิดจากน็อยส์

แนวความคิดหลักของอะแด็ปทีพ เดลต้ามอดูเลชั่น คือเมื่อเกิด 1 หรือ 0 ติดต่อกันนาน ค่าสเต็ปไซด์ (step size) ของวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกจะเพิ่มขึ้นหรือลดลงด้วยแฟคเตอร์ = 1.5 อาจใช้อัลกอริทึมอื่น ๆ สำหรับเดลต้ามอดูเลชั่นซึ่งขึ้นอยู่กับความต้องการของระบบที่ใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.9 การผสมสัญญาณระบบรหัสพัลส์

การมอดูเลชั่นระบบรหัสพัลส์ (Pulse Code Modulation : PCM) เป็นระบบที่มีการผสมสัญญาณแบบดิจิตอล ซึ่งนิยมใช้กันอย่างแพร่หลายในระบบโทรศัพท์ในปัจจุบัน เพราะมีข้อได้เปรียบระบบที่มีการผสมสัญญาณแบบอนาลอกหลายประการด้วยกัน เช่น การทำงานร่วมกับระบบคอมพิวเตอร์ซึ่งจะสามารถติดต่อกับระบบคอมพิวเตอร์ ได้อย่างสะดวก เนื่องจากในคอมพิวเตอร์จะมีการทำงานที่เป็นแบบดิจิตอล นอกจากนี้ยังสามารถลดความผิดเพี้ยนของรูปสัญญาณซึ่งระบบอนาลอกมีปัญหาเกี่ยวกับสัญญาณข้อมูลที่ส่งผ่านช่องการสื่อสารต่างๆ จะเกิดการลดทอนของขนาดและการเลื่อนเฟสของสัญญาณ เพราะเป็นสัญญาณที่มีการเปลี่ยนแปลงตามเวลา ส่วนสัญญาณดิจิตอลจะไม่มีปัญหาในเรื่องนี้ เพราะระดับสัญญาณที่ใช้ติดต่อสื่อสารมีแค่ 2 ระดับคือ 1 กับ 0 ดังนั้นจึงง่ายต่อการดีเท็คสัญญาณกลับคืนมาได้อย่างถูกต้องมากกว่า และสัญญาณดิจิตอลยังเหมาะกับการพัฒนาของ VLSI ในอนาคตอีกด้วย เป็นต้น

ในการสื่อสารข้อมูลส่วนใหญ่จะมีการส่งข่าวสารได้ 2 แบบคือ การส่งข้อมูลแบบขนาน (Parallel) และการส่งข้อมูลแบบอนุกรม (Series) ซึ่งทั้ง 2 แบบนี้จะมีการนำมาใช้แตกต่างกันแล้วแต่วัตถุประสงค์การใช้งาน เช่น การรับ – ส่งภายในคอมพิวเตอร์ จะใช้การรับส่งข้อมูลแบบขนาน เพราะต้องการความเร็วในการประมวลผลสัญญาณสูงมาก ส่วนการรับ – ส่งข้อมูลแบบอนุกรมจะใช้ในการรับ – ส่งข้อมูล ระหว่างภาครับและภาคส่งที่อยู่ห่างกันในระยะทางไกลๆ ซึ่งจะทำให้ลดต้นทุนและสะดวกกว่าที่จะใช้สายส่งหลายเส้น ซึ่งในปัจจุบันก็มีวงจรที่เปลี่ยนการรับ – ส่งทั้งแบบขนานเป็นแบบอนุกรมและแบบอนุกรมเป็นแบบขนาน ซึ่งทำให้สะดวกต่อการใช้งานยิ่งขึ้น

2.9.1 ทฤษฎีการสุ่มสัญญาณเบื้องต้น (Fundamental of Sampling Theory)

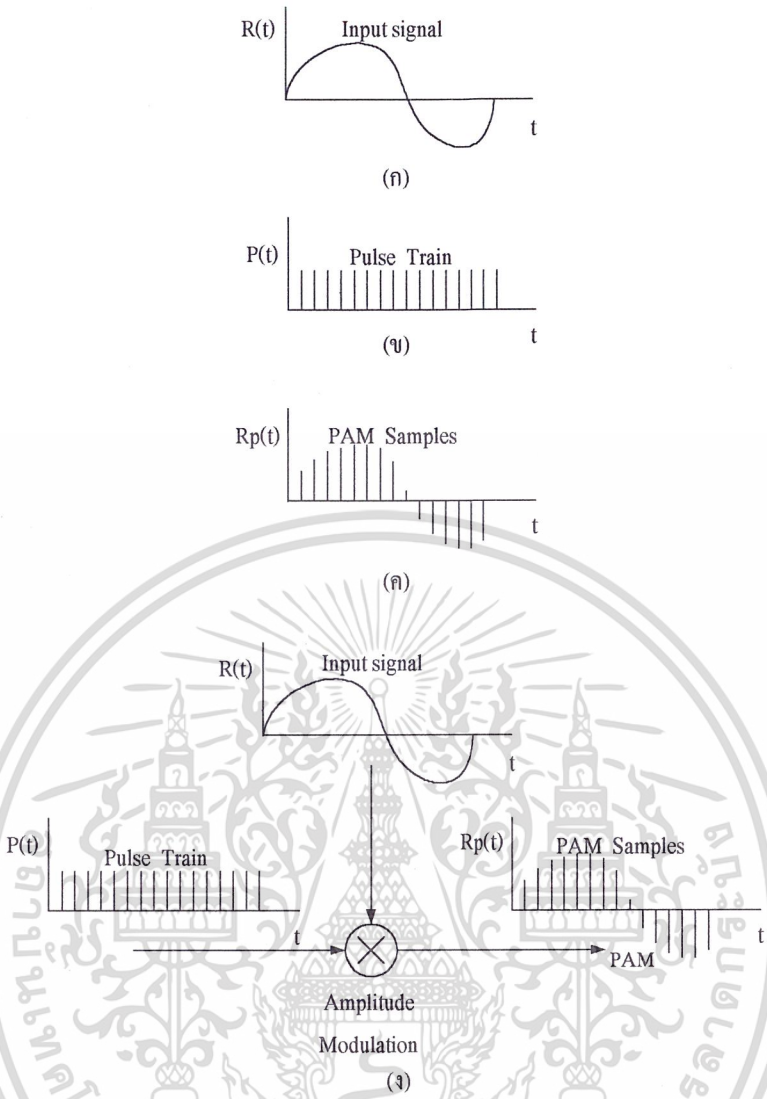
ทฤษฎีหนึ่งที่นิยมใช้ในการสุ่มสัญญาณ คือ ทฤษฎีของไนควิสต์ ซึ่งไนควิสต์ได้เสนอทฤษฎีบทเกี่ยวกับการสุ่มตัวอย่างไว้ว่า " สำหรับสัญญาณอนาลอกที่มีสเปกตรัมอยู่ในย่านความถี่จำกัดโดยที่มีความถี่สูงสุดของสัญญาณคือ fm ในการนำค่าที่ได้จากการเลือกสุ่มที่ขณะเวลาต่าง ๆ ที่ห่างกันทุก ๆ T วินาที มาสร้างสัญญาณใหม่และมีค่าเท่ากับหรือน้อยกว่า $\frac{1}{2fm}$ วินาที "

ตามทฤษฎีการสุ่มตัวอย่างสัญญาณอนาลอกของไนควิสต์ อาจกล่าวเป็นใจความสำคัญที่สามารถเข้าใจง่าย โดยการสุ่มตัวอย่างสัญญาณอนาลอกที่มีคุณสมบัติตามเงื่อนไขของทฤษฎีของไนควิสต์ เมื่อเราใช้ความถี่ในการสุ่มสัญญาณนั้นเท่ากับ fs ความถี่นี้จะต้องมากกว่าหรืออย่างน้อยที่สุดต้องเท่ากับ 2 เท่าของความถี่สูงสุดของสัญญาณอนาลอกนั้น นั่นคือจะได้ว่า

$$fs \geq 2fm$$

ซึ่งสัญญาณที่ได้จากการสุ่มตัวอย่างจะเป็นสัญญาณดิสครีต (discrete) เพราะสัญญาณที่เกิดจากการสุ่มตัวอย่างจะเกิดเฉพาะเวลาที่ทำการสุ่มตัวอย่างสัญญาณอนาลอก ด้วยสัญญาณพัลส์ (Pulse Train) ณ เวลา nTs เท่านั้น เมื่อ n = 1,2,3,.....และ Ts = $\frac{1}{fs}$ แสดงได้ดังรูปที่ 2.1 ซึ่งก็คือการผสมสัญญาณทางขนาดด้วยขบวนพัลส์ หรือ พีเอเอ็ม (Pulse Amplitude Modulation) นั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.17 แสดงการสุ่มสัญญาณ

ก) สัญญาณมอดูเลต R(t)

ข) สัญญาณคลื่นพาห์ P(t)

ค) สัญญาณมอดูเลต Rp(t) ที่มีขนาดเท่ากับสัญญาณ R(t)

ง) บล็อคไดอะแกรมการสร้างสัญญาณ PAM โดยการสุ่มตัวอย่าง

ในทางปฏิบัติ ถ้าเรามีสัญญาณอนาลอกที่มีสเปคตรัมสูงสุดเท่ากับ w เราควรที่จะใช้อัตราการสุ่มตัวอย่าง fs $\geq$ 2w เสมอ เนื่องจากในความเป็นจริงเมื่อพิจารณาที่อัตราสุ่มตัวอย่าง fs = 2w และเราไม่สามารถสร้างสัญญาณอิมพัลส์ (Impulse)ได้ ดังนั้นจึงต้องใช้พัลส์ที่มีความกว้างของพัลส์แคบๆ แทน และในการที่จะกู้สัญญาณเบสแบนด์ (R(t)) กลับคืนมาได้จะต้องใช้วงจรกรองความถี่ต่ำผ่าน (LPF) ซึ่งเราไม่สามารถสร้างวงจรกรองที่มีประสิทธิภาพได้สูงพอที่มีความคมในการตัดความถี่ที่ต้องการได้ ดังนั้นจึงเป็นความยุ่งยากที่จะกู้สัญญาณข้อมูลกลับคืนมาได้อย่างสมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาสมการที่ 2.3 ซึ่งเป็นสมการของรูปสัญญาณ Rp(t)
เมื่อ Ts = 1/fs และ n คือ เวลาสุ่มตัวอย่าง

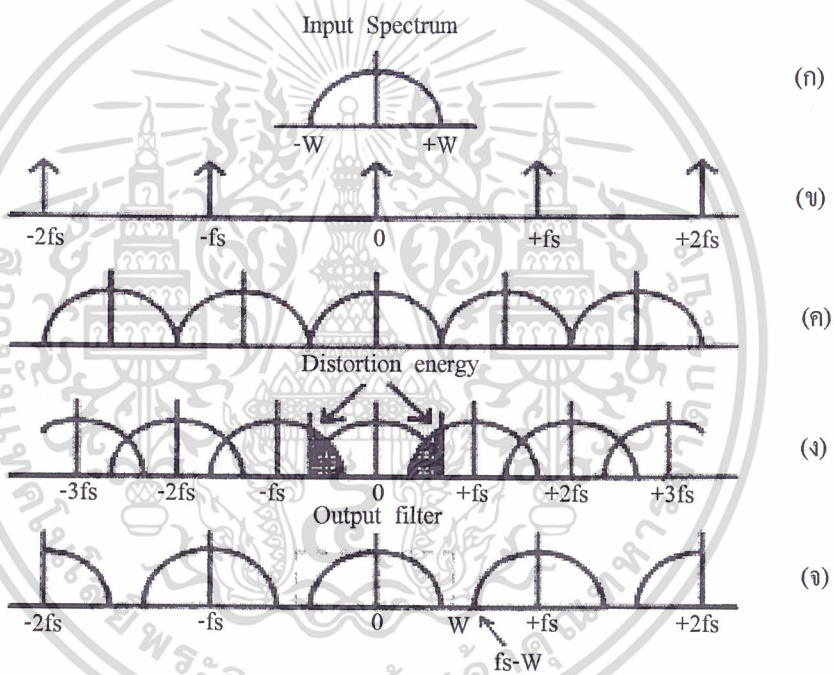
$$rp(f) = r(t) \sum_{n=-\infty}^{\infty} \delta(t - ts) \qquad (2.3)$$

เมื่อทำการหาฟูริเยร์ทรานสฟอร์มของสมการ (2.4) นี้จะได้

$$Rp(t) = R(f) \sum_{n=-\infty}^{\infty} fs\delta(f - nfs)$$

$$= \sum_{n=-\infty}^{\infty} fsR(f - nfs) \qquad (2.4)$$

เมื่อนำสมการ 2.4 ไปเขียนเป็นรูปที่ 2.18



รูปที่ 2.18 สเปคตรัมของสัญญาณเบสแบนด์และสเปคตรัมของสัญญาณสุ่มตัวอย่างต่าง ๆ กัน

พิจารณารูปที่ 2.18 (ก) จะแสดงสเปคตรัมของสัญญาณเบสแบนด์ ส่วนรูปที่ 2.18 (ข) จะแสดงสเปคตรัมของขบวนอิมพัลส์ที่มีความถี่เป็น nfs รูปที่ 2.18 (ค) จะแสดงการกระจายของสเปคตรัม กรณีที่ทำการสุ่มตัวอย่างด้วย fs = 2w ในกรณีนี้ถ้าจะทำการดีมอดูเลชั่น จะต้องใช้ฟิลเตอร์ที่เป็นแบบอุดมคติ จึงจะสามารถกรองเอาสเปคตรัมของเบสแบนด์ได้อย่างเด็ดขาด รูปที่ 2.18 (ง) เป็นกรณีที่ fs < 2w ซึ่งเป็นกรณีที่เราใช้ความถี่ของคลื่นพาห์ไม่สูงพอในการมอดูเลต ซึ่งทำให้เกิดการซ้อนทับกันของไซด์แบนด์ของสเปคตรัมของข้อมูล (Baseband) ในกรณีนี้ถึงแม้จะใช้วงจรกรองที่เป็นอุดมคติก็ไม่สามารถที่จะกรองเอาข้อมูลกลับมาได้ ซึ่งเมื่อเราใช้วงจร กรองความถี่ต่ำผ่านที่มีแบนด์วิดธ์เป็น fs/2 มาใช้ในการดีมอดูเลตสัญญาณจะพบว่าจะเกิดความผิดเพี้ยนของสัญญาณที่ผ่านการดีมอดูเลต เนื่องจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ห้องสมุดคณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย

ช่วงความถี่ fs/2 ถึง w จะไม่สามารถผ่าน ฟิลเตอร์ได้และสเปคตรัมที่เกิดในช่วง fs-w ถึง fs/2 ซึ่งเกิดจากการซ้อนทับกัน ซึ่งเรียกว่าเป็นสเปคตรัมปลอม (Aliasing) จึงทำให้เกิดการลดทอนกำลังงานของสัญญาณ (Distortion energy) เกิดขึ้น ส่วนรูปที่ 2.18 (จ) เป็นกรณีที่ fs > 2w ซึ่งในกรณีนี้จะช่วยลดความยุ่งยากในการออกแบบวงจรฟิลเตอร์ลงได้อย่างมาก คือจะมีช่วงของ การ์ดแบนด์ (Guard band) fs-w กว้างขึ้นจึงลดผลของสเปคตรัมปลอมลงไปซึ่งในกรณีนี้จะนิยมนำมาออกแบบเพื่อใช้งานจริง

2.9.2 พัลส์โค้ดมอดูเลชั่น (Pulse Code Modulation : PCM)

จากที่ได้พิจารณาถึงทฤษฎีการสุ่มตัวอย่างจะเห็นว่าเราไม่จำเป็นที่จะต้องส่งสัญญาณอนาลอกที่มีแบนด์วิดท์จำกัดทั้งหมดผ่านช่องสัญญาณสื่อสารก็ได้โดยที่เราสามารถทำการสุ่มตัวอย่างสัญญาณอนาลอกที่มีแบนด์วิดท์ที่จำกัดนั้น ด้วยความถี่ที่เหมาะสมคือ ทำการสุ่มค่าสัญญาณอนาลอกที่ต้องการส่งด้วยช่วงเวลาที่ใช้สุ่มสัญญาณที่เหมาะสมแล้ว ซึ่งจะได้สัญญาณพีเอเอ็มขึ้นมาเราก็สามารถที่จะส่งสัญญาณที่ถูกสุ่มนั้นซึ่งเป็นสัญญาณดิสครีตผ่านช่องสัญญาณสื่อสารแทนการส่งสัญญาณอนาลอกโดยตรงได้

แต่การส่งข้อมูลโดยลักษณะดังกล่าวผ่านช่องการสื่อสารก็ยังต้องประสบปัญหาการลดทอนของสัญญาณในช่องสื่อสารพอๆกับการส่งสัญญาณอนาลอกอยู่ดี ดังนั้นจึงได้มีการคิดค้นนำสัญญาณดิสครีตดังกล่าวมากำหนดรหัสที่เป็นดิจิตอลให้มีความเหมาะสมกับระดับสัญญาณดิสครีตที่ได้จากการสุ่มตัวอย่างสัญญาณอนาลอกแล้วค่อยส่งสัญญาณที่เป็นดิจิตอลนี้ผ่านช่องสัญญาณต่อไปแทนที่จะส่งสัญญาณอนาลอกโดยตรง ซึ่งจากคุณสมบัติของสัญญาณดิจิตอล ก็เหมือนกับว่าเป็นการสร้างภูมิคุ้มกันต่อสัญญาณรบกวนให้กับข้อมูลที่จะส่งผ่านช่องการสื่อสารเพิ่มขึ้นอย่างมาก ด้วยวิธีดังกล่าวก็เหมือนกับการฝากข้อมูลของสัญญาณไปกับคลื่นพาห์ที่เป็นรหัสพัลส์ (Pulse Code Modulation : PCM) นั้นเอง แต่เนื่องจากสัญญาณที่สุ่มออกมานั้นจะมีค่าขนาดที่แตกต่างกันมากมาย ดังนั้นเราจึงจำเป็นต้องจัดกลุ่มให้กับสัญญาณค่าต่างๆเหล่านั้นโดยที่มีค่าใกล้เคียงกันจะจัดให้อยู่กลุ่มเดียวกันและในกลุ่มเดียวกันจะมีรหัสเหมือนกัน ดังนั้นเราก็จะสามารถจัดค่าของสัญญาณต่างๆ ที่เกิดขึ้นมากมายนั้นให้อยู่ในกลุ่มที่ทราบค่าแน่นอนได้อย่างครบถ้วน การที่จะแบ่งสัญญาณทั้งหมดออกเป็นกี่กลุ่มนั้นขึ้นอยู่กับความเหมาะสมว่าเรายินยอมให้เกิดความผิดพลาดของค่าตัวอย่างของสัญญาณที่สุ่มออกมานั้นมากหรือน้อยเท่าไรเช่น ถ้าเรามีสัญญาณอนาลอกที่มีค่าเปลี่ยนแปลงอยู่ระหว่าง 0 ถึง 5 โวลต์และเราต้องการจะกำหนดรหัสให้แก่ค่าของตัวอย่างสัญญาณที่สุ่มออกมาได้ โดยยินยอมให้เกิดค่าผิดพลาดจากค่าของตัวอย่างที่สุ่มออกมาได้อยู่ไม่เกิน 0.5 โวลต์ ดังนั้นเราสามารถแบ่งกลุ่มออกเป็น 5 กลุ่มด้วยกันคือ กลุ่มที่ 1 มีค่าของสัญญาณอยู่ระหว่าง 0 ถึง 1 โวลต์ กลุ่มที่ 2 มีค่าระหว่าง 1 ถึง 2 โวลต์ ไปเรื่อยๆ จนถึงกลุ่มที่ 5 ซึ่งมีค่าของสัญญาณอยู่ระหว่าง 4 ถึง 5 โวลต์ ดังนั้นเราสามารถได้ค่าของรหัสสัญญาณสุ่มต่างๆ หลังจากการแปลงค่าเทียบเท่ากับ 0.5 , 1.5 , 2.5 , 3.5 และ 4.5 ตามลำดับ ซึ่งจะได้ค่าความผิดพลาดของการประมาณค่าต่างๆ อยู่ไม่เกิน 0.5 โวลต์ตามต้องการ โดยการประมาณหรือแยกกลุ่มของค่าตัวอย่างสัญญาณที่สุ่มออกมาได้ เพื่อนำไปเข้ารหัสต่อไป ในลักษณะนี้เราเรียกว่า การควอนไทเซชั่น (Quantization)

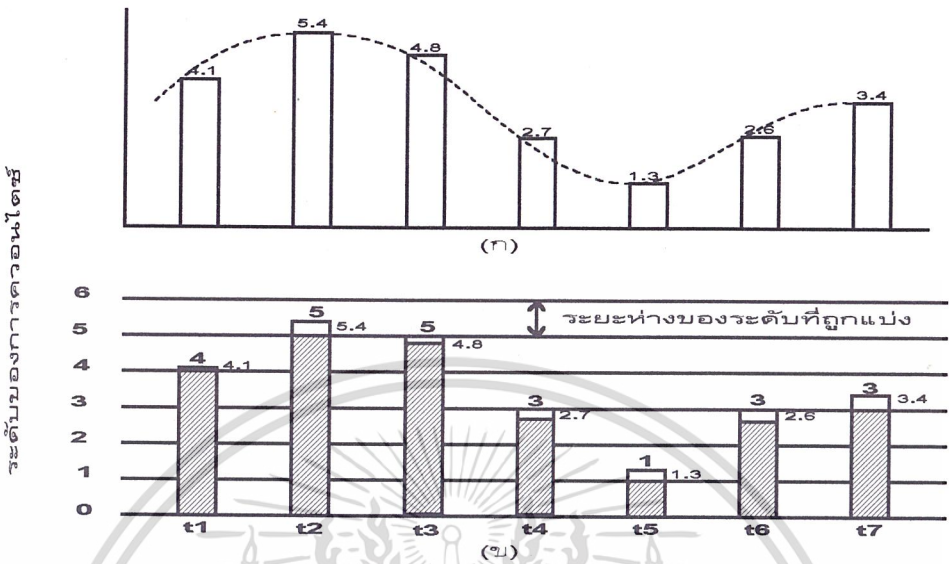
2.9.3 การควอนไทเซชั่น (Quantization)

จากที่ได้ทราบถึงวิธีการสุ่มตัวอย่างสัญญาณที่ได้กล่าวมาแล้วเราจะทราบว่าสัญญาณที่ได้หลังจากการสุ่มตัวอย่างจะได้สัญญาณพีเอเอ็ม (Pulse Amplitude Modulation) ซึ่งมีขนาดของสัญญาณที่เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารนี้ทุกครั้งที่มีการนำไปใช้

040419

สัญญาณดิสครีตและมีขนาดเปลี่ยนแปลงตามขนาดของสัญญาณเบสแบนด์ (Baseband) ดังแสดงในรูปที่ 2.19 (ก)

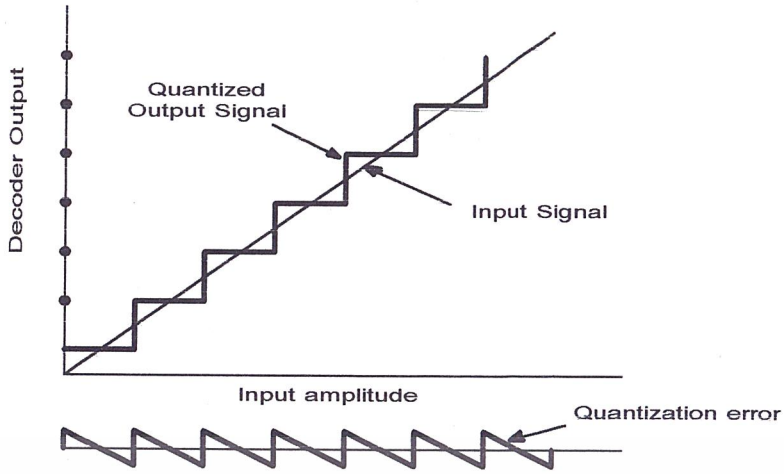


รูปที่ 2.19 แสดงการจัดระดับสัญญาณพีเอเอ็มให้เข้ากับระดับของการควอนไตซ์
(ก) รูปสัญญาณพัลส์แอมปลิจูดมอดูเลชั่น (PAM)
(ข) รูปการตัดระดับสัญญาณพีเอเอ็มให้เข้ากับระดับของการควอนไตซ์

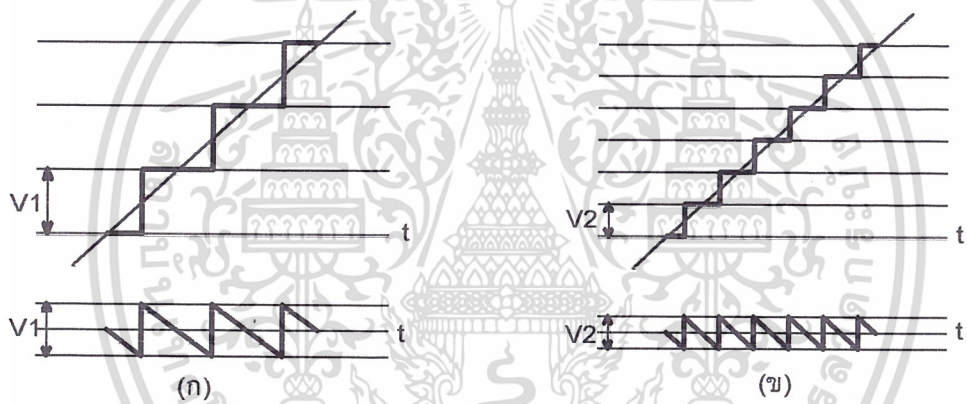
เมื่อได้สัญญาณพีเอเอ็มแล้ว จะทำส่งสัญญาณนี้ผ่านส่วนของการจัดขนาดระดับของสัญญาณให้เป็นระดับที่ใกล้เคียงที่สุดกับระดับที่ได้ถูกกำหนดหรือแบ่งกลุ่มไว้ล่วงหน้าแล้ว เราเรียกขั้นตอนดังกล่าวว่าการควอนไตเซชั่น (Quantization Level) และระยะห่างของระดับที่ถูกแบ่งเรียกว่า (Quantization Interval) พิจารณารูป 2.19 (ข) ซึ่งเป็นรูปแสดงการจัดระดับของสัญญาณพีเอเอ็มให้มีระดับใกล้เคียงกับระดับของการควอนไตซ์ จะเห็นว่าสัญญาณที่สุ่มที่เวลา t1 มีขนาด 4.1 จะถูกแทนระดับของสัญญาณในระดับที่ 4 โดยอัตโนมัติหรือที่เวลา t7 สัญญาณที่ถูกสุ่มมีขนาด 3.4 ดังนั้นจะถูกแทนด้วยระดับที่เท่ากับ 3 ทันที ซึ่งระดับที่ได้จะถูกนำมาเข้ารหัสเป็นเลขฐานสองที่มีค่าใกล้เคียงกับขนาดของสัญญาณพีเอเอ็มที่ได้ให้มากที่สุด แต่ระดับของสัญญาณที่ได้จะเป็นขนาดของสัญญาณอนาลอกที่ถูกประมาณขึ้น ดังนั้นจึงทำให้เกิดค่าผิดพลาดของสัญญาณทางด้านขนาดของแอมปลิจูด ซึ่งค่าผิดพลาดที่ได้นี้จะเรียกสัญญาณรบกวนเนื่องจากการควอนไตซ์ (Quantization noise)

สัญญาณรบกวนชนิดนี้จะกระจายสม่ำเสมอในช่วงของระยะห่างของระดับสัญญาณที่ถูกแบ่งและไม่ขึ้นกับแอมปลิจูดของสัญญาณ ในช่องของระยะห่างของระดับสัญญาณรบกวนที่เกิดจากการแปลงเป็นตัวเลขชนิดหนึ่งจะเห็นว่าเราไม่สามารถจะหลีกเลี่ยงผลของสัญญาณจากการแปลงเป็นตัวเลขนี้ได้เลย แต่สามารถลดผลของสัญญาณรบกวนเนื่องจากการควอนไตซ์ได้โดยการกำหนดให้ช่วงระดับความห่างของระดับที่ถูกแบ่งมีช่วงเล็กลงพอเพียงแล้ว สัญญาณรบกวนจากการแปลงเป็นตัวเลขก็จะสามารถลดลงสู่ระดับที่เหมาะสมได้ แสดงได้ดังรูปที่ 2.20 และรูปที่ 2.21

เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ทำซ้ำ ดัดแปลง เผยแพร่ หรือแสวงหาผลประโยชน์ทางการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น โดยไม่ได้รับอนุญาตเป็นลายลักษณ์อักษรจากผู้เขียน และขอสงวนสิทธิ์ในการดำเนินคดีกับผู้ที่ละเมิดลิขสิทธิ์ทุกกรณี



รูปที่ 2.20 การเกิดสัญญาณรบกวนเนื่องจากการควอนไตซ์



รูปที่ 2.21 ความสัมพันธ์ระหว่างระยะห่างของระดับที่ถูกแบ่งต่างๆกับสัญญาณรบกวนเนื่องจากควอนไตซ์

เมื่อได้ค่าจากการแปลงเป็นตัวเลขแล้วนำไปเข้ารหัสเป็นเลขฐานสอง โดยที่ค่าของตัวเลขจะถูกกำหนดด้วยจำนวนบิตในการเข้ารหัส เช่น ทำการเข้ารหัส 8 บิตต่อ 1 ข้อมูลตัวเลข ซึ่ง 1 บิตจะมีการเปลี่ยนแปลงค่าได้ 2 ค่าคือ 0 กับ 1 ดังนั้นจึงสามารถแบ่งระดับการควอนไตซ์ได้ทั้งหมดเท่ากับ $2^{8} = 256$ ระดับนั้นเอง

2.9.4 การเข้ารหัสและถอดรหัส (Encode and Decode)

ถ้าให้การเข้ารหัสข้อมูลมีค่าเป็น 8 บิต หมายความว่าในการควอนไตซ์เซชั่นจะได้จำนวนระดับทั้งหมดเป็น $2^{8} = 256$ ระดับ ถ้าใช้ไฟเลี้ยง 5 v และสัญญาณอินพุตอยู่ในช่วง 0 -5 v จะได้ LSB = 5/256 = 0.0195 v ซึ่งจะแทนตัวเลขไบนารี 8 บิตคือ 0000 0000 (00h)แทนแรงดัน 0.0000 v และตัวเลขไบนารี 1111 1111 (FFH) จะแทนแรงดัน (255*5)/256 =4.980 v หรือหาได้จากแรงดัน ณ. ระดับที่ต้องการเท่ากับ (ระดับที่ * 5)/256 ซึ่งค่าความผิดพลาดเนื่องจากการจัดระดับมากที่สุดคือ +0.0195 v , -0.0195 v

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ห้ามมิให้ทำซ้ำ ดัดแปลง เผยแพร่ หรือกระทำการใดๆ ในลักษณะที่เป็นการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ไม่ว่าจะเป็นการเผยแพร่ในรูปแบบสื่อสิ่งพิมพ์ หรือสื่ออิเล็กทรอนิกส์ ก่อนได้รับอนุญาตเป็นลายลักษณ์อักษรจากผู้เขียนเท่านั้น การนำไปใช้

ในการเข้ารหัสโดยใช้ IC - ADC 0820 เมื่อใช้ไฟเลี้ยง 5 v และมีระดับสัญญาณตั้งแต่ 0 ถึง 5 v มีออฟเซต 2.5 v เมื่อสมมติให้สัญญาณอนาลอกมีขนาดแรงดัน 3.5 v สามารถแสดงวิธีการเข้ารหัสได้ดังนี้คือ

อันดับแรกนำแรงดัน 3.5 v มาเปรียบเทียบกับค่าครึ่งหนึ่งของแรงดันไฟเลี้ยงคือ 2.5 v (มีค่าเท่ากับ 1000 0000B , 80H ของตัวเลขไบนารี) ถ้าระดับแรงดันอินพุตมากกว่าบิตแรกของข้อมูลใน 8 บิต (MSB) จะถูกเซตเป็น 1 แต่ถ้าระดับแรงดันอินพุตมีค่าน้อยกว่าจะถูกเซตเป็น 0 จากข้อกำหนดดังกล่าวจะเห็นแรงดันอินพุต (3.5 v) มีค่ามากกว่า 2.5 v ดังนั้นจะได้ MSB เท่ากับ 1100 0000B (C0H) จะแทนระดับแรงดัน 3.75 v และเมื่อนำแรงดัน 3.5 v มาเปรียบเทียบกับ 3.75 v จะได้ว่าแรงดันอินพุตมีค่าน้อยกว่า3.75 v ดังนั้นจะทำให้บิตที่ 2 มีค่าเป็น 0 แล้วเซตบิตที่ 3 เป็น 1 จะได้ 1010 0000B (A0H) ซึ่งจะแทนแรงดัน 3.125 v และเมื่อนำแรงดันอินพุต (3.5 v) มาเปรียบเทียบจะได้ว่า แรงดันอินพุตมีค่ามากกว่าดังนั้นบิตที่ 3 เท่ากับ 1 แล้วเซตบิตที่ 4 เป็น 1 จะได้ 1011 0000B (B0H) แทนระดับแรงดัน 3.438 v แล้วนำแรงดันอินพุตมาเปรียบเทียบจะได้ว่าแรงดันอินพุตมีค่ามากกว่า ดังนั้นบิตที่ 4 จะเป็น 1 แล้วเซตบิตที่ 5 เป็น 1 แล้วทำตามวิธีการที่ผ่านมาจนถึงบิตสุดท้ายจะได้เอาต์พุตคือ 10110011 (B0H) ซึ่งจะแทนแรงดัน 3.496 โวลต์ ซึ่งจะมีค่าผิดพลาดเท่ากับ 3.5 – 3.496 = 0.004 โวลต์ ซึ่งสามารถเขียนตารางแสดงการเข้ารหัสข้อมูลที่มีขนาดของแรงดัน 3.5 โวลต์ ดังตารางที่ 2.3

ลำดับ	เลขฐานสอง (Binary)	เลข Hex.	แรงดัน (โวลต์)	บิต O/P	ระดับที่
1	1000 0000	80H	2.5	1	128
2	1100 0000	C0H	3.75	0	192
3	1010 0000	A0H	3.125	1	160
4	1011 0000	B0H	3.438	1	176
5	1011 1000	B8H	3.594	0	184
6	1011 0100	B4H	3.516	0	180
7	1011 0010	B2H	3.477	1	178
8	1011 0011	B3H	3.496	1	179

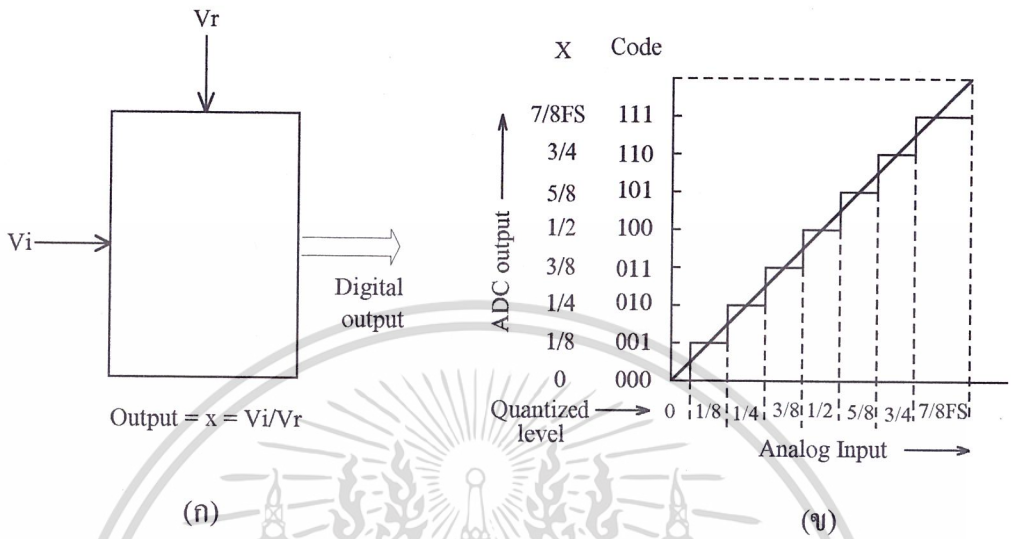
ตารางที่ 2.3 แสดงตัวอย่างการเข้ารหัสข้อมูลที่มีขนาดของแรงดัน 3.5 โวลต์

2.10 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog to Digital Converter : ADC)

การแปลงสัญญาณอนาลอกเป็นดิจิตอล เป็นกระบวนการที่ทำการแบ่งสัญญาณให้เป็นสัดส่วนอยู่ภายในค่าที่ถูกกำหนดไว้ซึ่งถ้ามีสัญญาณอนาลอกอินพุต Vi เข้ามาภายในวงจรก็จะถูกแปลงให้เป็นเศษส่วนของขนาดสัญญาณที่มากที่สุด ที่วงจรยังสามารถทำงานได้ตามข้อกำหนดโดยจะทำการเปรียบ

เอกสารนี้เป็น... ไม่ว่ากรณี...

เทียบกับสัญญาณอ้างอิง Vr แล้วจะใช้ดิจิตอลมาช่วยในการเข้ารหัสเพื่อแสดงค่าแทนเศษส่วนที่ได้ ดังที่แสดงไว้ในรูปที่ 2.22 (ก) ซึ่งแสดง Block Diagram การแปลงสัญญาณอนาลอกเป็นดิจิตอล



(ก) (ข)

รูปที่ 2.22 การเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอล

ก) ความสัมพันธ์การสัญญาณจาก อนาลอกเป็นดิจิตอล

ข) คุณสมบัติทางอุดมคติในการแบ่งระดับสัญญาณของ ADC ขนาด 3 บิต

ถ้าเรามีวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (ADC) ที่ให้รหัสเลขฐานสองออกมา n บิต เราสามารถเข้ารหัสข้อมูลได้ทั้งหมด 2^n ระดับ นั้นเอง และแต่ละระดับของสัญญาณดีสครีตที่อยู่ในระดับเดียวกันจะแทนด้วยรหัสค่าเดียวกัน ส่วนระดับจะแทนค่ารหัสที่แตกต่างกันไปตามระดับการควอนไตซ์นั้นๆ ซึ่งแต่ละระดับจะแทนด้วยขนาดของบิตที่มีนัยสำคัญต่ำ (LSB) ดังนั้น

$$Q = LSB = FS / 2n$$

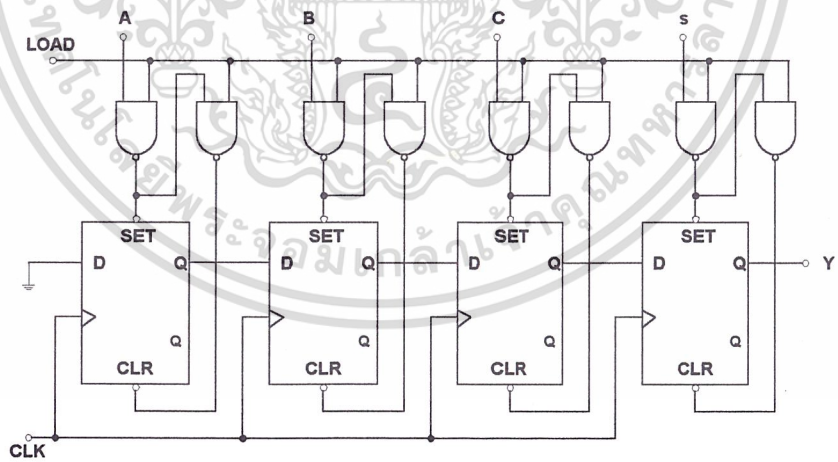
เมื่อ Q คือค่าควอนตัมของ LSB หมายถึงค่าช่วงขนาดของสัญญาณอนาลอกใน 1 LSB และ FS คือระดับอินพุตล็อกเต็มสเกล (Full -scale analog I/P level) ที่วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลจะได้จากค่า ควอนตัมที่ได้เราจะได้ว่าค่าอนาลอกทุก ๆ ค่าในควอนตัมเดียวกันจะถูกแทนที่ด้วยรหัสดิจิตอลเพียงค่าเดียวเท่านั้น เช่นถ้าระดับของการควอนไตซ์ห่างกันช่วงละหนึ่งโวลต์นั่นคือระดับแรงดันจะอยู่ในช่วงระหว่าง 0-1 โวลต์ ดังนั้นไม่ว่าสัญญาณอนาลอกจะมีค่าเป็น 0.1 , 0.2 , 0.3... 0.9 โวลต์ ก็จะแทนด้วยรหัส 00 เหมือนกันทั้งหมดเนื่องจากถือว่าอยู่ในควอนตัมเดียวกันโดยทั่วๆไป เราจะใช้เปรียบเทียบที่ค่ากึ่งกลางของแต่ละช่วงหรือ ที่เรียกว่า เทรสโฮล์ด(threshold) ดังนั้นสัญญาณอินพุตจะต่างจากระดับเทรสโฮล์ดมากที่สุด 1/2 LSB ซึ่งจะเห็นว่าถ้าเราทำการเพิ่มจำนวนบิตเอาต์พุตของการแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณอนาลอกเป็นดิจิตอลเราก็จะสามารถผลของสัญญาณรบกวนเนื่องจากการควอนไตเซชั่น (Quantization noise) รูปที่ 2.22 (ข)แสดงความสัมพันธ์โดยการแปลงสัญญาณโดยใช้ ADC ขนาด 3 บิต ทางอุดมคติดัง นั้นขนาดของ LSB จะมีค่าเท่ากับ 1/2n LSB = 1/8 LSB และอินพุตจะถูกควอนไตซ์ได้ 8 ระดับ คือจาก 0 ถึง 7/8 FS จากค่าระดับดังกล่าวจะเห็นว่า ค่าสูงสุดของการเข้ารหัสสำหรับการเข้ารหัสเลขฐานสองด้วยจำนวนบิตเท่ากับ 3 บิต มีค่า 111 จะเท่ากับ 7/8 FS ซึ่งไม่เท่ากับค่า FS ดังนั้นเราจะได้ทราบว่าค่าสูงสุดของการเข้ารหัสจะมีค่าเท่ากับค่า FS - 1 LSB นั่นเอง

2.11 วงจรเลื่อนสัญญาณแบบขนานเข้าและแบบอนุกรมออก (Parallel Input - Serial Output Shift Resister : PISO)

วงจรเลื่อนสัญญาณแบบขนานเข้าและแบบอนุกรมออกได้ถูกนำมาใช้เพื่อเปลี่ยนข้อมูลแบบขนานเป็นอนุกรมซึ่งมีหลักการพอสรุปได้ว่า ขั้นแรกต้องทำการเลื่อนข้อมูลที่จะเปลี่ยนจากแบบขนานเป็นแบบอนุกรมเข้าไปในตัวรีจิสเตอร์ โดยเลื่อนเข้าไปแบบขนานเข้าไปไว้ในตัวรีจิสเตอร์ตัวเลื่อนก่อนทั้งหมด เรียกว่า การโหลด (load) ข้อมูลเข้าไปในรีจิสเตอร์ หลังจากนั้นเมื่อมีสัญญาณนาฬิกาเข้ามาหนึ่งครั้ง วงจรก็จะทำการเลื่อนข้อมูลออกไป 1 บิต และ เมื่อมีสัญญาณนาฬิกาเข้ามาอีก 1 ครั้งก็จะทำการเลื่อนข้อมูลที่สองต่อไปจนครบ 4 บิต หลังจากนั้นเราก็ทำการโหลดข้อมูลใหม่ที่ต้องการเลื่อนเข้าไปอีกแล้วทำการป้อนสัญญาณนาฬิกาเพื่อเลื่อนข้อมูลชุดต่อไปแสดงในรูปที่ 2.23



รูปที่ 2.23 วงจรเลื่อนสัญญาณแบบขนานเข้าและแบบอนุกรมออก ขนาด 4 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

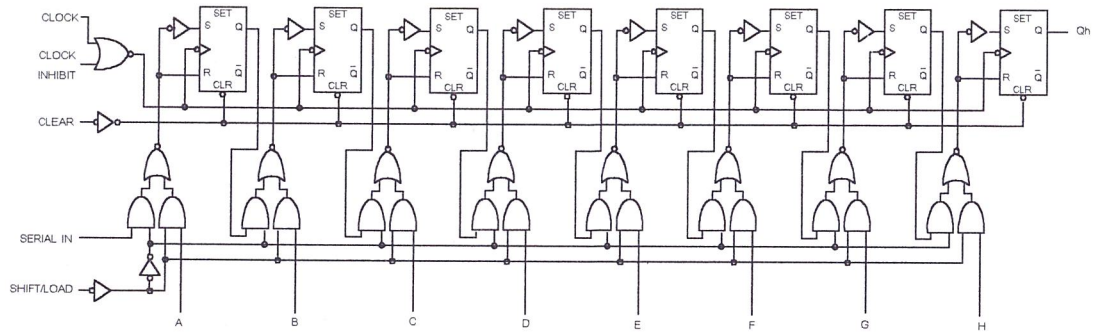
Input						Output				
Load	Clock	A	B	C	D	Q1	Q2	Q3	Q4	Y
1	1	1	0	1	0	1	0	1	0	0
0	2	X	X	X	X	0	1	0	1	1
0	3	X	X	X	X	0	0	1	0	0
0	4	1	0	1	0	0	0	0	1	1
0	5	X	X	X	X	0	0	0	0	0
1	6	1	1	0	0	1	1	0	0	0
0	7	X	X	X	X	0	1	1	0	0
0	8	X	X	X	X	0	0	1	1	1
0	9	1	0	1	0	0	0	0	1	1
0	10	X	X	X	X	0	0	0	0	0

ตารางที่ 2.4 ตารางแสดงการป้อนเข้าและออกของข้อมูลที่ออกจากวงจรรูปที่ 2.23

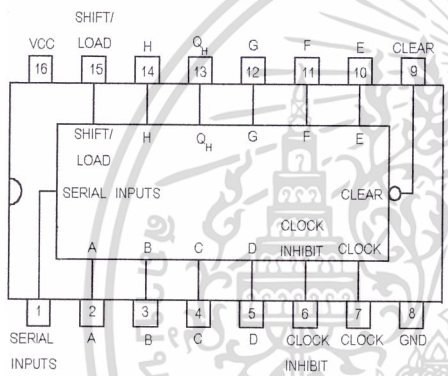
จากรูปที่ 2.23 เป็นวงจร PISO ขนาน 4 บิตที่ใช้ ดี-ฟลิปฟลอป มาทำเป็นรีจิสเตอร์ เลื่อนโดยใช้สัญญาณนาฬิกาป้อนให้กับดี-ฟลิปฟลอปทุกตัวร่วมกัน จะเห็นว่าเมื่อเราป้อนให้ขา load มีสภาวะลอจิก 1 และป้อนอินพุตเข้าที่ขา A B C และ D ตามตารางที่ 2.2 แล้วข้อมูลจะถูกโหลดเข้าไปในดี-ฟลิปฟลอปมีค่าเท่ากับสัญญาณที่ป้อนให้กับขา A B C และ D ซึ่งข้อมูลที่ป้อนนี้เข้าไปในตัวของดี-ฟลิปฟลอปได้ก็เพราะสภาวะที่ลอจิกไปสั่งให้ขา set และขา clr ของดี-ฟลิปฟลอปทำงานโดยที่เมื่อขา set จะถูกกระตุ้นโดยสภาวะลอจิก 0 จะทำให้เอาต์พุตของดี-ฟลิปฟลอปมีสภาวะลอจิกที่เป็น 1 ทันที โดยไม่สนใจอินพุตที่เข้ามาในลักษณะเดียวกัน ถ้าที่ขา clr ถูกกระตุ้นโดยสภาวะลอจิก 0 ก็จะทำให้เอาท์ของดี-ฟลิปฟลอปมีสภาวะลอจิกเป็น 0 ทันทีโดยไม่สนใจว่าที่ขาอินพุตจะเป็นอะไร ดังนั้นจะเห็นว่าเมื่อขาโหลดมีสภาวะลอจิก 1 จะทำให้ข้อมูลที่ป้อนที่ขา A B C และ D จะไปปรากฏที่เอาต์พุตของดี-ฟลิปฟลอปทันที เมื่อเราให้ขาโหลดมีสภาวะลอจิก 0 (สั่งให้ทำการเลื่อนข้อมูล) สัญญาณจะผ่านแนนเกต (NAND GATE) ได้เอาท์เป็นสภาวะลอจิก 1 เข้าที่ขา set และ clr โดยไม่สนใจว่าที่ขาอินพุตอีกขาหนึ่งของแนนเกต (NAND GATE) จะมีสภาวะลอจิกอะไร จากรูปที่ 2.23จะเห็นขาอินพุตต่อลงกราวด์ แสดงว่ามีสภาวะลอจิก 0 ดังนั้นเมื่อมีสัญญาณนาฬิกาเข้าจะทำให้ข้อมูลลอจิก 0 ของดี-ฟลิปฟลอปตัวแรกเลื่อนไปเป็นเอาต์พุต ส่วนเอาต์พุตตัวแรกก็จะถูกเลื่อนเข้าไปเป็นอินพุตของดี-ฟลิปฟลอปตัวที่สองและก็จะเลื่อนไปอย่างนี้เรื่อยๆ จนถึงดี-ฟลิปฟลอปตัวที่ 4 ก็จะถูกเลื่อนออกไปเป็นข้อมูลที่เป็นแบบอนุกรมบิตแรก และเมื่อเลื่อนครบหมดแล้วก็จะทำการโหลดค่าใหม่เพื่อเป็นข้อมูลแบบอนุกรมต่อไป

วงจรรวมที่ทำหน้าที่เป็นรีจิสเตอร์แบบขนานเข้า-อนุกรมออกมีอยู่หลายเบอร์ด้วยกัน แต่จะขออธิบายการทำงานของไอซีเบอร์ 74LS166 เพื่อนำไปใช้งานต่อไป ซึ่งมีโครงสร้างภายในดังรูปที่ 2.24 และมีแผนภาพขาสัญญาณและฟังก์ชั่นการทำงานดังรูปที่ 2.25

เอกสารนี้ ... ไม่ว่ากรณีใดๆ ... ต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.24 วงจรเลื่อนสัญญาณแบบขนานเข้า และแบบอนุกรมออกขนาด8บิตของไอซีเบอร์ 74LS166



Inputs						Internal Outputs		Output
Clear	Shift/ Load	Clock Inhibit	Clock	Serial	Parallel A.....H	Q_A	Q_B	Q_H
L	X	X	X	X	X	L	L	L
H	X	L	L	X	X	Q_{A0}	Q_{B0}	Q_{H0}
H	L	L	↑	X	a.....h	a	b	h
H	H	L	↑	H	X	H	Q_{An}	Q_{Gn}
H	H	L	↑	L	X	L	Q_{An}	Q_{Gn}
H	X	H	↑	X	X	Q_{A0}	Q_{B0}	Q_{H0}

รูปที่ 2.25 แผนภาพขาสัญญาณและฟังก์ชั่นการทำงานของ 74LS166

จากรูปที่ 2.24 การโหลดข้อมูลเข้าไปในตัวรีจิสเตอร์ตัวเลื่อนจะต้องให้สัญญาณที่ ชิพ/โหลด (SHIFT/LOAD) มีสภาวะลอจิกเป็น 0 เมื่อผ่านอินเวอร์เตอร์แล้วจะทำให้สัญญาณออกมามีสภาวะลอจิกเป็น 1 ซึ่งถูกต่อไปเป็นอินพุตตัวขวาของแอนเกตทั้ง 8 ตัว ข้อมูลที่จะโหลดเข้าไปในตัวรีจิสเตอร์จะถูกต่อเข้าจุด A,B,C,D,E,F,G และ H ดังนั้นสัญญาณที่ออกมาจากแอนเกตตัวขวาจะมีค่าเป็น 0 หรือ 1 ขึ้นอยู่กับข้อมูลที่ป้อนเข้าจากจุด A ถึง H

ส่วนแอนเกตตัวซ้าย ถ้าขาชิพ/โหลดมีสภาวะลอจิกเป็น 0 เมื่อผ่านอินเวอร์เตอร์ตัวแรกก็จะมีสภาวะลอจิก 1 และเมื่อผ่านอินเวอร์เตอร์ตัวที่สองก็จะมีสภาวะลอจิกกลับเป็น 0 เหมือนเดิม เมื่อผ่านแอนเกตตัวซ้ายเอาต์พุตที่ออกมาก็จะมีสภาวะเป็น 0 ตลอด เมื่อนำเอาต์พุตของแอนเกตทั้งสองตัวเข้ามาที่ขาอินพุตของนอร์เกต(NOR GATE)เอาต์พุตที่ออกมาจะมีสภาวะลอจิกตามเอาต์พุตของแอนเกตตัวขวาตลอด แต่กลับสภาวะกันเมื่อนำสภาวะที่ได้ไปผ่านอินเวอร์เตอร์ก่อนเข้าขา S ของอาร์เอส ฟลิปฟลอป (R-S flipflop) แล้วถึงจะไปเข้าอาร์เอส ฟลิปฟลอปก็จะได้เป็นดี-ฟลิปฟลอปแบบกลับสภาวะลอจิก ดังนั้นจะ

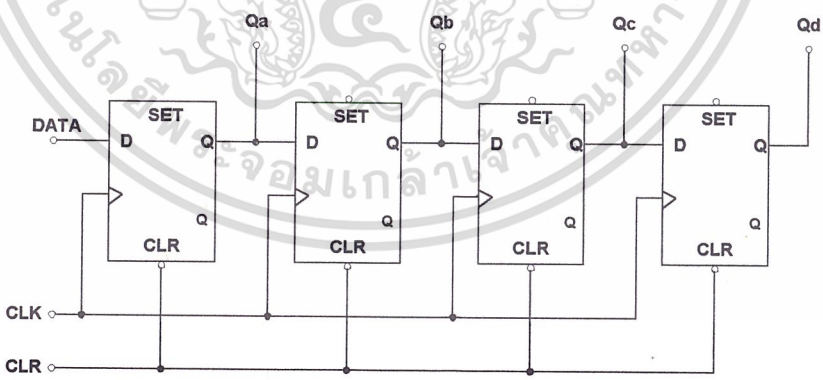
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เห็นว่าเมื่อเอาต์พุตกลับสภาวะแล้วออกมาจากนอร์เกตมาผ่าน อาร์เอส ฟลิปฟลอปก็จะกลับสภาวะอีกทีหนึ่งทำให้เอาต์พุตที่ขา Q มีสภาวะเหมือนกับอินพุตที่ป้อนให้ที่ขา A ถึง H ที่ต่อกับฟลิปฟลอปแต่ละตัว

เมื่อโหลดค่าข้อมูลจาก A ถึง H เข้าไปในอาร์เอส ฟลิปฟลอปเรียบร้อยแล้วจะทำการเลื่อนข้อมูลได้โดยป้อนสภาวะลอจิก "1" ให้กับขา ชิพ/โหลด และให้ขา ซีเรียล อิน (SERIAL IN) มีลอจิกคงที่เป็น "1" ดังนั้นจะมีลักษณะการทำงานคล้ายกับการโหลด และจากสภาวะลอจิกต่างๆ ที่ป้อนเข้าขาต่างๆของเกตภายในวงจรของ 74LS166 จะเห็นว่าแอนเกตตัวขวาจะมีลอจิกเท่ากับ 0 ตลอด ดังนั้นจะสนใจเฉพาะเอาต์พุตของแอนเกตตัวซ้ายเท่านั้น ซึ่งขาอินพุตของแอนเกตตัวซ้ายขาหนึ่งต่อกับขา Q ของ อาร์เอส ฟลิปฟลอปตัวซ้าย นั้นคือเมื่อมีสัญญาณนาฬิกาเข้ามา 1 ครั้ง จะทำให้ข้อมูลที่อยู่ใน อาร์เอส ฟลิปฟลอปตัวทางซ้ายไปปรากฏที่อินพุตของ อาร์เอส ฟลิปฟลอปตัวที่สองและเอาต์พุตตัวที่สองก็จะไปปรากฏเป็นอินพุตของ อาร์เอส ฟลิปฟลอปตัวที่สามอย่างนี้ไปเรื่อยๆ จนถึงอาร์เอส ฟลิปฟลอป ตัวที่ 8 ซึ่งเอาต์พุตของ อาร์เอส ฟลิปฟลอปก็จะกลายเป็นข้อมูลแบบอนุกรมบิตแรก และเมื่อมีสัญญาณนาฬิกาเข้ามาอีก ก็จะทำให้การเลื่อนบิตในลักษณะเดียวกันนี้จนครบ 8 บิตแล้วจึงทำการโหลดข้อมูลใหม่อีกครั้งเพื่อทำการโหลดข้อมูลต่อไป

2.12 วงจรเลื่อนสัญญาณแบบอนุกรมเข้าและแบบขนานออก (Serial Input - Parallel Output Shift Register)

วงจรเลื่อนสัญญาณแบบอนุกรมเข้าและแบบขนานออกจะใช้ในการแปลงข้อมูลแบบอนุกรมเป็นแบบขนาน สามารถแสดงได้ดังรูปที่ 2.26 ซึ่งแสดงวงจรเลื่อนข้อมูลแบบอนุกรมเป็นแบบขนานขนาด 4 บิต



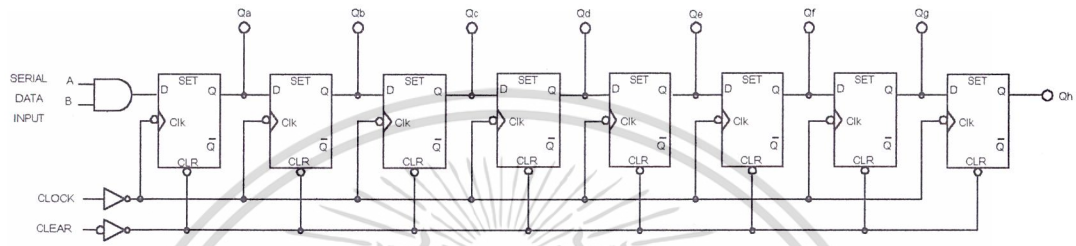
รูปที่ 2.26 วงจรเลื่อนสัญญาณแบบอนุกรมเข้าและแบบขนานออก ขนาด 4 บิต

จากรูปที่ 2.26 มีหลักการทำงานโดยที่ เมื่อป้อนข้อมูลบิตแรกเข้าไปแล้วตามด้วยสัญญาณนาฬิกา 1 ครั้ง จะทำให้ข้อมูลถูกเลื่อนออกไปที่เอาต์พุตของดี-ฟลิปฟลอป ตัวแรกและเมื่อมีสัญญาณนาฬิกาเข้ามาอีก 1 ครั้ง จะทำให้ข้อมูลใหม่ถูกเลื่อนออกไปยัง ดี-ฟลิปฟลอปตัวที่สองไปเรื่อยๆ จนครบ 4 ครั้ง ซึ่งหลังจากเลื่อนข้อมูลเข้าไปใน ดี-ฟลิปฟลอป ครบ 4 บิตแล้วเราจะได้ข้อมูลขนาด 4 บิตออกมาที่

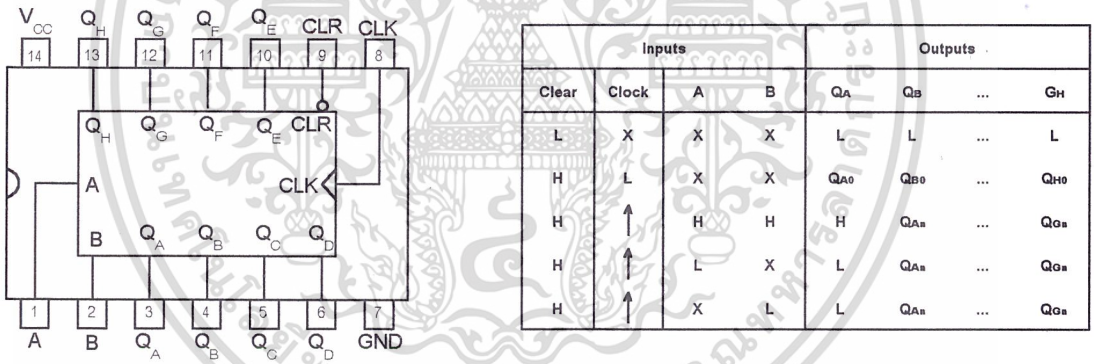
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น รวมทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาต์พุตที่ขา Q ของดี-ฟลิปฟลอปแต่ละตัวหลังจากดึงข้อมูลมาใช้ เราจะทำการเคลียร์ข้อมูลในดี-ฟลิปฟลอปแต่ละตัวโดยการป้อนสภาวะลอจิก 0 ที่ขาเคลียร์ (CLR) ของ ดี-ฟลิปฟลอปซึ่งจะทำให้เอาต์พุตของ ดี-ฟลิปฟลอป แต่ละตัวมีสภาวะลอจิกเป็น 0 เพื่อทำการเลื่อนข้อมูลอนุกรมค่าใหม่เข้ามาเพื่อเลื่อนออกเป็นแบบขนานต่อไป

วงจรรวมที่ทำหน้าที่เป็นรีจิสเตอร์แบบอนุกรมเข้าขนานออก มีไอซีที่นิยมใช้กันหลายตัวแต่จะขอนำเสนอเบอร์ 74LS164 ซึ่งมีโครงสร้างภายในดังรูปที่ 2.27 และมีแผนภาพขาสัญญาณและฟังก์ชั่นการทำงานดังรูปที่ 2.28



รูปที่ 2.27 วงจรเลื่อนสัญญาณแบบอนุกรมเข้าและแบบขนานออก ขนาด 8 บิต



Inputs				Outputs			
Clear	Clock	A	B	Q_A	Q_B	...	Q_H
L	X	X	X	L	L	...	L
H	L	X	X	Q_{A0}	Q_{B0}	...	Q_{H0}
H	↑	H	H	H	Q_{An}	...	Q_{Gn}
H	↑	L	X	L	Q_{An}	...	Q_{Gn}
H	↑	X	L	L	Q_{An}	...	Q_{Gn}

รูปที่ 2.28 แผนภาพขาสัญญาณและฟังก์ชั่นการทำงานของ 74LS164

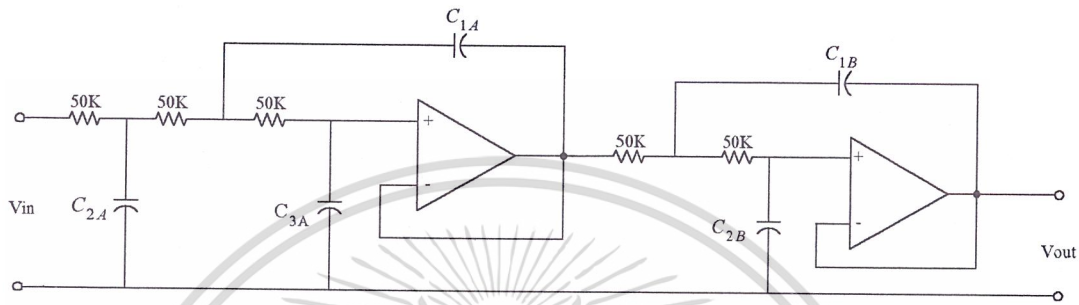
จากรูปที่ 2.27 จะเห็นได้ใช้ ดี-ฟลิปฟลอป มาใช้เป็นตัวเลื่อนข้อมูลแบบอนุกรมเข้าขนานออก โดยมีขาเคลียร์และขาสัญญาณเอาต์พุต Q ที่ต่อออกมาเพื่อนำสัญญาณแบบขนานไปใช้งาน มีหลักการทำงานดังนี้คือ เมื่อขาเคลียร์ของ ดี-ฟลิปฟลอป มีลอจิกเป็น 1 และเมื่อมีสัญญาณนาฬิกามา 1 ครั้ง จะทำการเลื่อนข้อมูลจากจุด (เมื่อให้จุด A เป็นลอจิก 1 ตลอด) ออกไปยัง ดี-ฟลิปฟลอปตัวแรกและเมื่อมีสัญญาณนาฬิกาเข้ามาครั้งที่สองจะทำให้ข้อมูลใหม่ถูกเลื่อนเข้ามายัง ดี-ฟลิปฟลอป ตัวที่สองต่อไปเรื่อยๆ เมื่อมีสัญญาณนาฬิกาเข้ามาอย่างตลอดเวลาหลังจากถูกเลื่อนข้อมูลเข้าไปสู่ ดี-ฟลิปฟลอป ครบทั้ง 8 บิต แล้วจะสามารถนำข้อมูลที่เป็นแบบขนานจากขาสัญญาณ Qa,Qb,Qc,Qd,Qe,Qf,Qg และ Qh ซึ่งต่อออกมาเป็นขาสัญญาณเอาต์พุตไปใช้งานได้ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3 การคำนวณและการสร้าง

3.1 การออกแบบวงจรกรองความถี่ต่ำผ่าน (Low Pass Filter :LPF)

เนื่องจากสัญญาณของแต่ละระบบต้องการความถี่ที่ไม่เท่ากันและในการที่จะออกแบบวงจรกรองความถี่ต่ำ เราใช้ไอซีเบอร์ LM741 มาต่อเป็นวงจรกรองความถี่ต่ำผ่าน โดยวงจรต้องต่ออุปกรณ์ภายนอกซึ่งประกอบด้วย ตัวต้านทาน(R) และ ตัวเก็บประจุ (C) ตามความถี่ที่ต้องการดังรูปที่ 3.1



รูปที่ 3.1 วงจรกรองความถี่ต่ำแบบ บัตเตอร์เวิร์ธ ออเดอร์ 5

โดยกำหนดค่า ตัวต้านทาน และ ตัวเก็บประจุ ที่จะต่อเป็นวงจรกรองความถี่ต่ำผ่านเนื่องจากวงจรนี้ต้องการเฉพาะย่านความถี่ไม่เกิน 4 กิโลเฮิร์ต (kHz) ดังนั้นเราจะต้องออกแบบให้วงจรกรองความถี่ต่ำผ่านตามค่าที่ต้องการ โดยต้องงทำสเกลค่าลงมาให้เป็น

$$\omega_{\varnothing} = 1 \text{ rad/sec}$$

$$R_{\varnothing} = 1\ \Omega$$

เนื่องจาก
$$\omega_{\varnothing} R_{\varnothing} C_{\varnothing} = \omega RC \qquad (3.1)$$

กำหนดให้ R = 4 kHz

ที่ความถี่ 4 kHz

$$C_{1A} = \frac{\omega_{\varnothing} R_{\varnothing} C_{\varnothing}}{\omega R} = \frac{(1)(1)(1.753)}{2\pi(4\times10^{3})(50\times10^{3})} = 2.79 \text{ nF}$$

$$C_{2A} = \frac{(1)(1)(1.354)}{2\pi(4\times10^{3})(50\times10^{3})} = 2.155 \text{ nF}$$

$$C_{3A} = \frac{(1)(1)(0.4214)}{2\pi(4\times10^{3})(50\times10^{3})} = 670.7 \text{ pF}$$

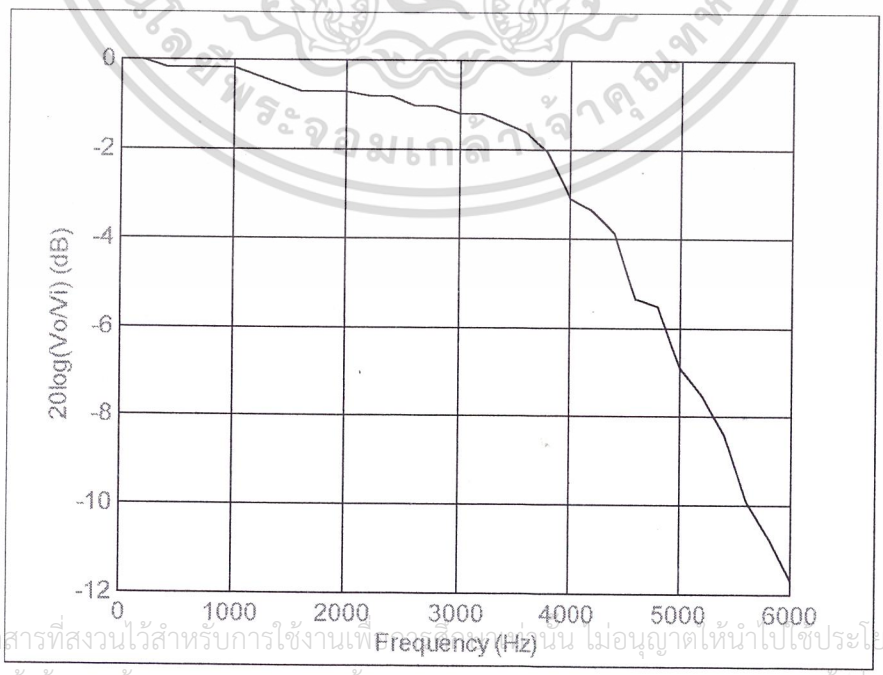
$$C_{1B} = \frac{(1)(1)(3.235)}{2\pi(4\times10^{3})(50\times10^{3})} = 5.15 \text{ nF}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C_{2B} = \frac{(1)(1)(0.3089)}{2\pi(4\times10^{3})(50\times10^{3})} = 491.6 \text{ pF}$$

Frequency (Hz)	Vin-pp(Volt)	Vout-pp (Volt)	20log(Vo/Vi) (dB)
400	1.06	1.04	-0.18
800	1.06	1.04	-0.18
1200	1.06	1.02	-0.35
1600	1.06	0.98	-0.72
2000	1.06	0.98	-0.72
2400	1.06	0.96	-0.82
2800	1.06	0.94	-1.01
3200	1.06	0.92	-1.21
3600	1.06	0.88	-1.62
4000	1.06	0.74	-3.1
4400	1.06	0.68	-3.88
4800	1.06	0.56	-5.51
5200	1.06	0.44	-7.54
5600	1.06	0.344	-9.9
6000	1.06	0.272	-11.7

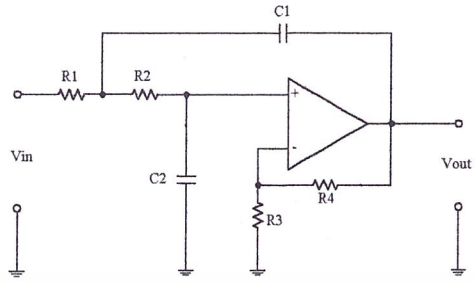
ตารางที่ 3.1 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำแบบบัตเตอร์เวิร์ธ ออเดอร์ 5



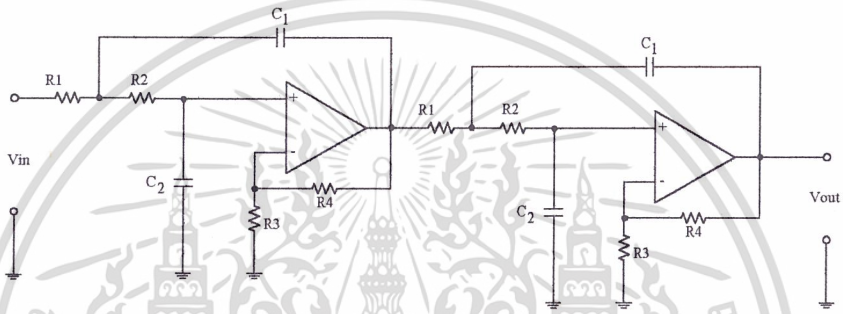
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.2 กราฟผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำแบบบัตเตอร์เวิร์ธ ออเดอร์ 5

ส่วนทางด้านรับของวงจร พีซีเอ็ม จะใช้วงจรกรองความถี่ต่ำแบบ บัตเตอร์เวิร์ธ ออเดอร์ 4 ที่มีอัตราขยาย = 16 ดังแสดงได้ดังรูปที่ 3.3



ก)



ข)

รูปที่ 3.3 วงจรกรองความถี่ต่ำแบบ บัตเตอร์เวิร์ธ

ก) วงจรกรองความถี่ต่ำแบบบัตเตอร์เวิร์ธ ออเดอร์ 2

ข) วงจรกรองความถี่ต่ำแบบบัตเตอร์เวิร์ธ ออเดอร์ 4

จากหนังสือ Manual of Active Filter Design เมื่อต้องการสร้างวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธ ที่มีอัตราขยาย = 4 โดยเลือกค่าความตัวเก็บประจุ C1 เป็น 0.01 ไมโครฟาหรัด แล้วหาค่าพารามิเตอร์ (K parameter) ซึ่งจะได้ K =2.5

นำค่า K = 2.5 ไปเปิดกราฟที่มีอัตราขยาย = 4 จะสามารถรู้ค่า C2, R1, R2, R3 และ R4 ได้ดังนี้

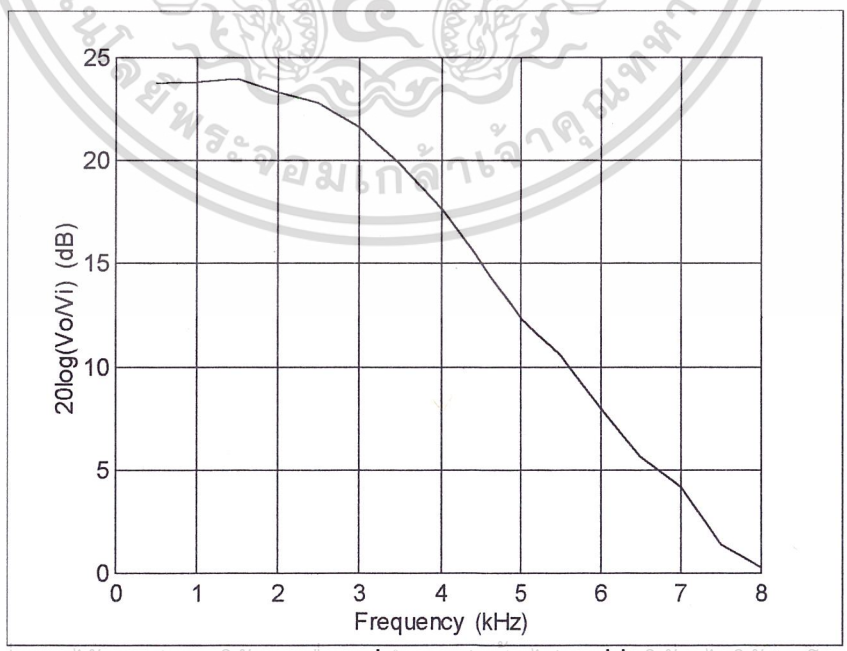
C1 = C2	= 0.01	ไมโครฟาหรัด
R1	= 1.75	กิโลโอห์ม
R2	= 9.3	กิโลโอห์ม
R3	= 14.5	กิโลโอห์ม
R4	= 44	กิโลโอห์ม

แต่ในการทดลองนี้ต้องการวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ต ออเดอร์4 จึงนำวงจรกรองความถี่ต่ำผ่าน ออเดอร์ 2 จำนวน 2 ชุดมาต่อกัน ซึ่งจะได้ตารางผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำแบบบัตเตอร์เวิร์ธ ออเดอร์ 4 ดังแสดงในตารางที่3.2 แล้วนำไปเขียนกราฟได้ดังรูปที่ 3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Frequency (kHz)	Vin-pp (Volt)	Vout-pp (Volt)	20log[Vo/Vi] (dB)
0.5	1.062	16.41	23.77968129
1.0	1.062	16.56	23.85871631
1.5	1.062	16.72	23.94223513
2.0	1.125	16.41	23.27912117
2.5	1.125	15.47	22.76675583
3.0	1.125	13.59	21.64133869
3.5	1.125	11.09	19.87558047
4.0	1.125	8.594	17.66085654
4.5	1.125	6.406	15.10868824
5.0	1.125	4.687	12.39484862
5.5	1.062	3.594	10.58907112
6.0	1.062	2.656	7.962071079
6.5	1.062	2.031	5.631708133
7.0	1.062	1.719	4.183027199
7.5	1.062	1.25	1.415709925
8.0	1.062	1.094	0.257856105

ตารางที่ 3.2 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำแบบบัตเตอร์เวิร์ธออเดอร์ 4



รูปที่ 3.4 กราฟผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำแบบบัตเตอร์เวิร์ธ ออเดอร์ 4 ที่มีอัตราขยาย 16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การออกแบบวงจรพีซีเอ็ม

ในการออกแบบวงจรจะแบ่งวงจรออกเป็น 2 ส่วนคือ

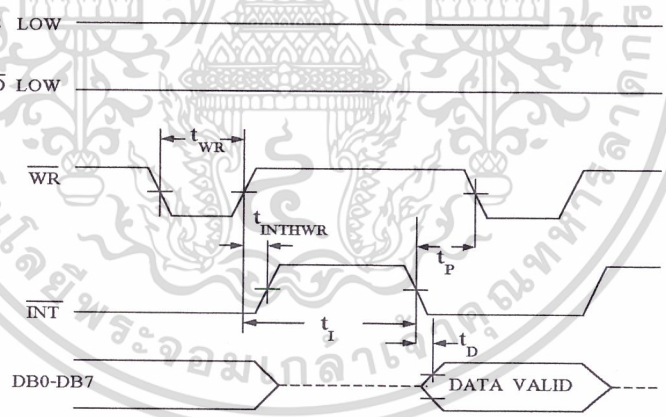
1. ชุดวงจรภาคส่ง (Transmitter)
2. ชุดวงจรภาครับ (Receiver)

3.2.1 หลักการออกแบบวงจรภาคส่ง

จะสามารถแบ่งส่วนของความสำคัญในการออกแบบได้สองส่วนคือ ส่วนของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog to Digital Converter : ADC) และส่วนของการแปลงข้อมูลแบบขนานเป็นแบบอนุกรม (Parallel Input - Serial Output Shift Register : PISO)

ก.) วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog to Digital Converter : ADC)

ในการออกแบบวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลนี้ สามารถที่จะเลือกใช้วงจรรวมได้หลายเบอร์ตามจุดประสงค์การใช้งานแต่จะขอนำเสนอวงจรรวมเบอร์ ADC0820 เป็นของบริษัทเนชั่นแนล ซึ่งเป็นเบอร์ที่ใช้ง่ายและมีวงจรสุ่มสัญญาณในตัวเอง จึงสามารถนำมาแปลงสัญญาณอนาลอกเป็นดิจิตอลได้เลย ในกรณีนี้เราทำการควบคุมสภาวะการทำงานของไอซีเป็นแบบทำงานภายในตัวมันเอง (stand-alone) โดยการป้อนสภาวะลอจิก "1" ให้กับขาโหมด (MODE) ของไอซี ADC0820 สามารถแสดงสภาวะการทำงานด้วยไดอะแกรมเวลา (Timing Diagram) ดังรูปที่ 3.5



รูปที่ 3.5 ไดอะแกรมเวลาของไอซี ADC0820

จากไดอะแกรมเวลาของไอซี ADC0820 เราจะทราบว่าถ้าเรากำหนดให้ ADC0820 มีสภาวะการทำงานแบบทำงานภายในตัวมันเอง (stand-alone) โดยการป้อนลอจิก "1" ที่ขาโหมด (MODE) แล้วให้ขาซีเอส (CS) และอาร์ดี (RD) เป็นสภาวะลอจิก "0" เพื่อให้ไอซีทำการแปลงค่าข้อมูลได้ก็ต่อเมื่อให้ขา $\overline{WR}$ มีสภาวะลอจิก "0" เป็นระยะเวลาอย่างน้อยที่สุด 600 นาโนวินาที (ns) แล้วเมื่อขา $\overline{WR}$ มีสภาวะลอจิก "1" ไอซีจะเริ่มทำการแปลงค่าข้อมูลโดยจะใช้ระยะเวลาในการแปลงค่าข้อมูล (Ti) 800 นาโนวินาที และจะต้องใช้เวลาในการหน่วงเวลาก่อนที่จะทำการแปลงค่าข้อมูลอีก (Tp) 500 นาโนวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นจะใช้เวลาในการแปลงค่าข้อมูล 1 ครั้งเป็น 600 ns + 800 ns + 500 ns = 1.9 ไมโครวินาที (μs) ในการออกแบบใช้งานจริงเราจะใช้ช่วงเวลาของขา $\overline{WR}$ มีสภาวะลอจิก "0" เป็นสองเท่าของค่าช่วงเวลาที่น้อยที่สุดของขา $\overline{WR}$ คือที่ 600 นาโนวินาที เพราะถ้าช่วงเวลาน้อยกว่า 600 นาโนวินาที จะทำให้ไอซีไม่ทำงาน ดังนั้นเราจะให้ขา $\overline{WR}$ มีสภาวะลอจิก "0" เป็นระยะเวลา 1.2 ไมโครวินาที ดังนั้นจะต้องใช้เวลาในการแปลงค่าข้อมูลทั้งหมดเท่ากับ 1.2 μs + 800 ns + 500 ns = 2.5 μs

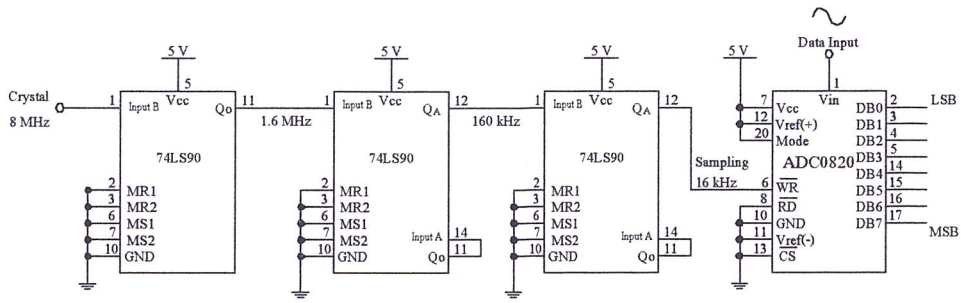
ส่วนการสื่อสารในระบบโทรศัพท์จะใช้แบนด์วิดท์ของเสียงพูดในการสนทนาอยู่ในช่วง 300 - 3400 เฮิร์ต ก็เพียงพอที่จะสามารถฟังรู้เรื่อง ดังนั้นเราจะต้องใช้ความถี่ในการสุ่มค่าสัญญาณมากกว่าหรือเท่ากับสองเท่าของความถี่เบสแบนด์ (Baseband) สูงสุด นั่นคือถ้าเราใช้ความถี่ในการสุ่มค่าสัญญาณเป็นสองเท่าของความถี่เบสแบนด์ก็คือ 6800 เฮิร์ตนั่นเอง แต่เนื่องจากเมื่อใช้ความถี่ในการสุ่มสัญญาณที่ 6800 เฮิร์ต จะทำให้ยากต่อการที่จะใช้วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter : LPF) ในการกรองความถี่ต่ำผ่าน เพื่อกรองเอาสัญญาณเบสแบนด์นั้นกลับคืนมาจากเอาต์พุตของเครื่องรับ คือจะต้องใช้วงจรกรองความถี่ต่ำผ่าน ในทางอุดมคติเท่านั้นในการกรองเอาสัญญาณเบสแบนด์กลับคืนมาอย่างสมบูรณ์ ดังนั้นเราจึงต้องออกแบบโดยใช้ความถี่ในการสุ่มสัญญาณมากกว่าสองเท่าของความถี่สูงสุดเบสแบนด์ แต่ต้องไม่มากจนเกินไป ดังนั้นเมื่อเราใช้ความถี่เบสแบนด์ประมาณ 4 กิโลเฮิร์ต และเลือกใช้ความถี่ในการสุ่มค่าสัญญาณเป็น 4 เท่าของความถี่เบสแบนด์ ดังนั้นเราจะได้ความถี่ในการสุ่มสัญญาณเท่ากับ 16 กิโลเฮิร์ต และสามารถออกแบบสร้างสัญญาณนาฬิกาด้วยไอซีหารความถี่จากวงจรกำเนิดสัญญาณนาฬิกาคงที่จากคริสตอล ซึ่งจะพิจารณาได้ดังนี้

ที่ความถี่ 16 กิโลเฮิร์ต ซึ่งใช้เป็นความถี่ในการสุ่มสัญญาณนั้นจะมีคาบเวลาเท่ากับ 1/16 กิโลเฮิร์ต = 62.5 ไมโครวินาที ซึ่งจะมีเวลาด้านบวกเป็น 31.25 ไมโครวินาที และด้านลบเป็น 31.25 ไมโครวินาที จากความสัมพันธ์ในการแปลงค่าข้อมูลของไอซีเบอร์ ADC0820 จะสามารถพิจารณาจากไดอะแกรมเวลา (Timing Diagram) ในกรณีทำงานภายในตัวเอง จะได้ว่าไอซี ADC0820 จะสามารถแปลงค่าข้อมูลได้จะต้องมีช่วงเวลาที่ขา $\overline{WR}$ มีสภาวะเป็นบวกอย่างน้อยเป็น 800 ns + 500 ns = 1.3 μs และมีคาบเวลาของสภาวะลบเป็น 1.2 ไมโครวินาที ซึ่งจะเห็นว่า ค่าคาบเวลาของทั้งสภาวะบวกและลบอยู่ในช่วง 31.25 ไมโครวินาที ดังนั้นจะสามารถใช้ความถี่ 16 กิโลเฮิร์ต ในการสุ่มสัญญาณได้ ส่วนสัญญาณนาฬิกา 16 กิโลเฮิร์ต ที่นำมาใช้เป็นสัญญาณสุ่มค่าข้อมูลสามารถสร้างขึ้นได้โดยใช้ ไอซีหารความถี่ โดยที่นำสัญญาณนาฬิกา 8 เมกะเฮิร์ต (MHz) ที่ได้มาหาร 5 ด้วยไอซี 74LS90 ก็จะทำให้ได้สัญญาณนาฬิกาความถี่ 1.6 เมกะเฮิร์ต แล้วนำมาหาร 10 ด้วยไอซี 74LS90 จะได้สัญญาณนาฬิกาความถี่ 160 กิโลเฮิร์ต แล้วนำมาหาร 10 อีกครั้งด้วยไอซี 74LS90 ก็จะได้สัญญาณนาฬิการความถี่ 16 กิโลเฮิร์ต ออกมาตามต้องการแล้วป้อนให้กับขา $\overline{WR}$ ของไอซี ADC0820 ก็จะสามารถทำงานได้ตามอัตราสุ่มที่ต้องการ

จากรูปที่ 3.6 แสดงวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลที่มีอัตราสุ่มตัวอย่าง 16 กิโลเฮิร์ต จะเห็นว่าเมื่อป้อนสภาวะลอจิกต่าง ๆ ให้กับ ADC0820 จะทำให้สัญญาณอนาลอกอินพุตถูกสุ่มค่าสัญญาณ แล้วนำค่าแรงดันที่สุ่มได้ไปทำการเปรียบเทียบและเข้ารหัสเลขฐานสองขนาด 8 บิต ซึ่งจะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

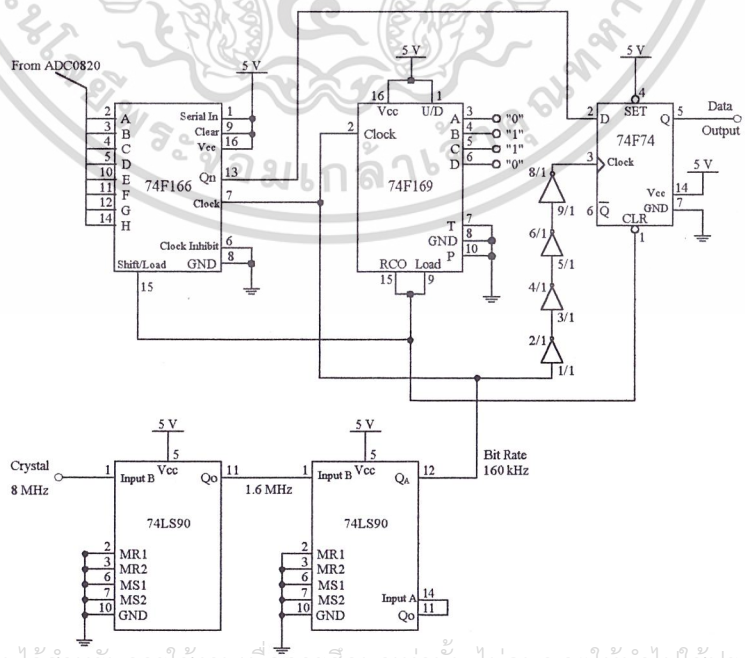
เป็นสัญญาณพีซีเอ็มที่ต้องการ ส่วนในการที่จะส่งข้อมูลไปในสายส่งนั้นจะต้องนำสัญญาณพีซีเอ็ม ที่ได้มาผ่านวงจรแปลงข้อมูลแบบขนานเป็นแบบอนุกรมเพื่อส่งออกสายนำสัญญาณเพียงเส้นเดียว



รูปที่ 3.6 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล

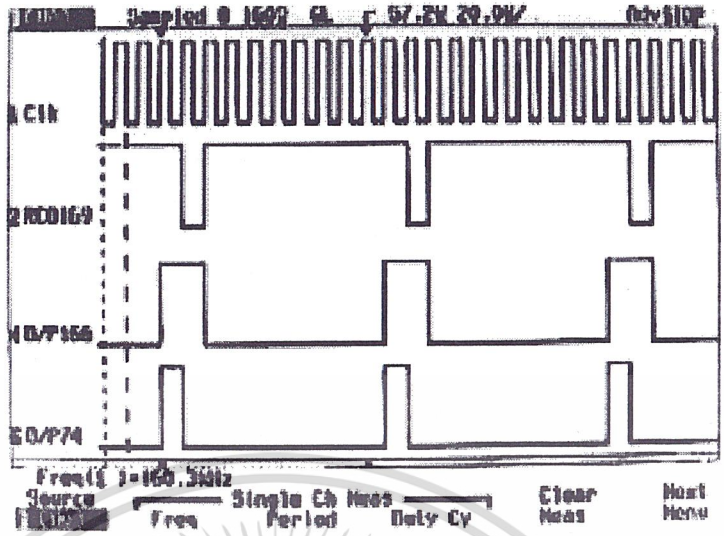
ข.) วงจรแปลงข้อมูลแบบขนานเป็นแบบอนุกรม (Parallel Input - Serial Output Shift Register)

ในการออกแบบวงจรแปลงข้อมูลแบบขนานเป็นแบบอนุกรมจะใช้ไอซีเบอร์ 74F166 เป็นหลักในการเลื่อนข้อมูลหรือแปลงข้อมูลแบบขนานเป็นแบบอนุกรมโดยใช้ไอซีเบอร์74F169 (Synchronous 4 bit - Up/Down Counter) มาควบคุมการเลื่อนค่าและโหลดค่าของข้อมูล ซึ่งสามารถป้อนสภาวะให้สามารถทำงานได้ดังรูปที่ 3.7 และสามารถดูรูปของสัญญาณในการสร้างบิตเริ่ม (start bit) และบิตจบ (stop bit) เพื่อใช้กำหนดตำแหน่งหรือแยกข้อมูลแต่ละชุด (Frame) เพื่อสะดวกในการดีเท็ค (Detect) ข้อมูลทางภาครับได้อย่างสะดวก ซึ่งจะใช้ลอจิกอนาไลเซอร์ (Logic Analyzer) ในการจับรูปสัญญาณดังรูปที่ 3.8



รูปที่ 3.7 วงจรแปลงข้อมูลแบบขนานเป็นแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 รูปสัญญาณที่ใช้ควบคุมไอซี 74F166 และรูปแสดงบิตเริ่มและบิตจบของชุดข้อมูล เมื่อป้อนอินพุตเป็น 0000 0000

พิจารณารูปที่ 3.7 ซึ่งเป็นวงจรแปลงข้อมูลแบบขนานเป็นแบบอนุกรม จะสามารถควบคุมการโหลดค่าข้อมูลและเลื่อนค่าข้อมูล โดยใช้ขาสัญญาณจากขาอาร์ซีโอ (Ripple Carry Output : RCO) ของไอซี 74F169 ซึ่งในการส่งข้อมูลเราจะออกแบบให้ชุดข้อมูลแต่ละชุดมี บิตเริ่ม (start bit) และบิตจบ (stop bit) ดังนั้นในการส่งข้อมูล 1 ชุดจะมีจำนวนบิตเท่ากับ 10 บิต ซึ่งในการใช้ไอซี 74F166 ในการโหลดและเลื่อนข้อมูลจะทำงานโดยจะทำการโหลดค่าบิตข้อมูลเข้ามาแล้วทำการเลื่อนค่าออกไปทีละบิตเมื่อมีสัญญาณนาฬิกา 1 ลูก ดังนั้นจะเห็นว่าในการแปลงข้อมูลแบบขนานเป็นแบบอนุกรมของข้อมูลแต่ละชุดจะต้องใช้สัญญาณนาฬิกา 10 ลูก จึงจะสามารถเลื่อนข้อมูลพร้อมทั้งบิตเริ่มและบิตจบได้อย่างครบถ้วน แล้วจึงสามารถโหลดค่าข้อมูลใหม่เข้ามาได้ ดังนั้นในการควบคุมการนับจำนวนลูกคลื่นของสัญญาณนาฬิกา 10 ลูก เพื่อใช้ในการควบคุมการโหลดและเลื่อนข้อมูลจะใช้ไอซีเบอร์ 74F169 ในการนับ โดยการป้อนค่า 0110 (6H) ให้ไอซี 74F169 และขาอัพแอนด์ดาวน์(U/D) มีสภาวะลอจิก "1" (นับขึ้น) ทำให้ 74F169 ทำการนับขึ้นเรื่อย ๆ จนถึง 1111 (FH) ซึ่งจะนับได้ 10 ลูกคลื่นตามต้องการ เมื่อนับครบ 10 ลูกคลื่น (1111) ไอซี 74F169 จะให้ขาอาร์ซีโอ มีสภาวะลอจิกเป็น "0" ออกมาทันที และในการโหลดค่าข้อมูลของ 74F166 จะต้องมีสภาวะลอจิก "0" ป้อนให้ขาชิพ/โหลด ดังนั้นจึงนำสัญญาณลอจิก "0" จากขาอาร์ซีโอ ต่อเข้ากับ ชิพ/โหลด ของไอซี 74F166 ในการสั่งให้โหลด ข้อมูลเข้าไปเก็บไว้ในรีจิสเตอร์ของไอซี 74F166

ส่วนการเพิ่มบิตเริ่มและบิตจบดังรูปที่ 3.8 ซึ่งเราจะใช้ไอซีเบอร์ 74F74 ซึ่งเป็นดี-ฟลิปฟลอป เข้ามาช่วยในการสร้างบิตเริ่มและบิตจบ โดยอินพุตของ ดี-ฟลิปฟลอป จะได้จากขาเอาต์พุต (Qh) ของไอซี 74F166 และนำขาอาร์ซีโอ ของไอซี 74F169 มาต่อที่ขาเคลียร์ (CLR) ของดี-ฟลิปฟลอป ส่วน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้นำไปดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณนาฬิกาที่ใช้ในการทำงานของไอซี 74F74 เราใช้นอทเกท (NOT GATE) มาต่อไว้เพื่อทำการหน่วงเวลาของสัญญาณนาฬิกาให้มีค่าเวลาก่อนป้อนไอซี 74F74 น้อยกว่าหรือเท่ากับเวลาที่สัญญาณเอาต์พุตของไอซี 74F166 ป้อนให้กับอินพุตของไอซี 74F74 พอดี ซึ่งเงื่อนไขการสร้างบิตเริ่มและบิตจบจะกำหนดโดยให้บิตเริ่มมีสภาวะลอจิก "0" และบิตจบมีสภาวะลอจิก "1" ดังรูปที่ 3.8 ซึ่งจะเห็นว่าเมื่อขาอาร์ซีโอ มีสภาวะลอจิก "0" ก็จะทำให้ดี-ฟลิปฟลอปเกิดการเคลียร์ ให้เอาต์พุตมีสภาวะลอจิก "0" ก็คือบิตเริ่มนั่นเอง และทำให้ไอซีเบอร์ 74F166 ทำการโหลดค่าข้อมูลไปพร้อม ๆ กับการสร้างบิตเริ่มไปด้วย เนื่องจากถูกควบคุมด้วยขาอาร์ซีโอ เหมือนกัน และเมื่อมีสัญญาณนาฬิกาลูกที่สองเข้ามาก็จะทำให้ขาอาร์ซีโอ มีสภาวะลอจิก "1" ซึ่งเมื่อป้อนให้กับขาเคลียร์ ของดี-ฟลิปฟลอปจะไม่มีผลต่อการทำงาน ดังนั้นจะทำให้ข้อมูลทางเอาต์พุตมีสภาวะลอจิกเหมือนกับอินพุต ซึ่งต่ออยู่กับเอาต์พุตของไอซี 74F166 และเนื่องจากขาอาร์ซีโอ นี้มีสภาวะลอจิก "1" ไปป้อนให้ขาชิพ/โหลด ของไอซี 74F166 ทำให้ไอซี 74F166 ทำการเลื่อนข้อมูลอินพุต ออกทางเอาต์พุตแบบอนุกรมทีละบิต

ส่วนในการสร้างบิตจบของชุดข้อมูล จะสามารถสร้างได้จากวงจรภายในของไอซี 74F166 โดยที่เราทำการป้อนให้ขาซีเรียลอินพุต (SERIAL INPUT) มีสภาวะลอจิกเป็น 1 ซึ่งจะเห็นว่าเมื่อมีสัญญาณนาฬิกาเข้ามา 1 ครั้ง จะทำให้ข้อมูลถูกเลื่อนจาก H ไปยัง Qh, G ออกไป H,....., A ออกไปที่ B และจากอินพุตของ A (SERIAL INPUT) ซึ่งมีสภาวะลอจิก "1" ก็จะถูกเลื่อนออกไปที่ A จะทำให้ A มีสภาวะลอจิกเป็น "1" ด้วย เป็นอย่างนี้ไปเรื่อย ๆ จนสัญญาณนาฬิกามาครบ 8 ลูก ก็จะทำให้ข้อมูลแบบขนานจาก A ถึง H ถูกเลื่อนออกแบบอนุกรมจนครบ 8 บิต หลังจากนั้นเมื่อมีสัญญาณนาฬิกาลูกต่อไปเข้ามาก็จะทำให้เอาต์พุตที่เกิดจากการเลื่อนค่าจากซีเรียลอินพุต ซึ่งมีสภาวะลอจิก "1" ไปปรากฏที่เอาต์พุตของไอซี 74F166 เป็นสภาวะลอจิก "1" เป็นบิตสุดท้ายหรือได้บิตจบนั้นเอง ซึ่งจะใช้สัญญาณนาฬิกาครบ 10 ลูกพอดี หลังจากนั้นก็จะทำการโหลดค่าข้อมูลชุดใหม่เข้ามาในไอซี 74F166 แล้วทำการเลื่อนข้อมูลตามเงื่อนไขที่กล่าวมาข้างต้นต่อไป ซึ่งวงจรภาคส่งสามารถแสดงได้ดังรูปที่ 3.9 ส่วนอัตราการส่งข้อมูล (Bit Rate) ที่ใช้ในการส่งข้อมูลคือ

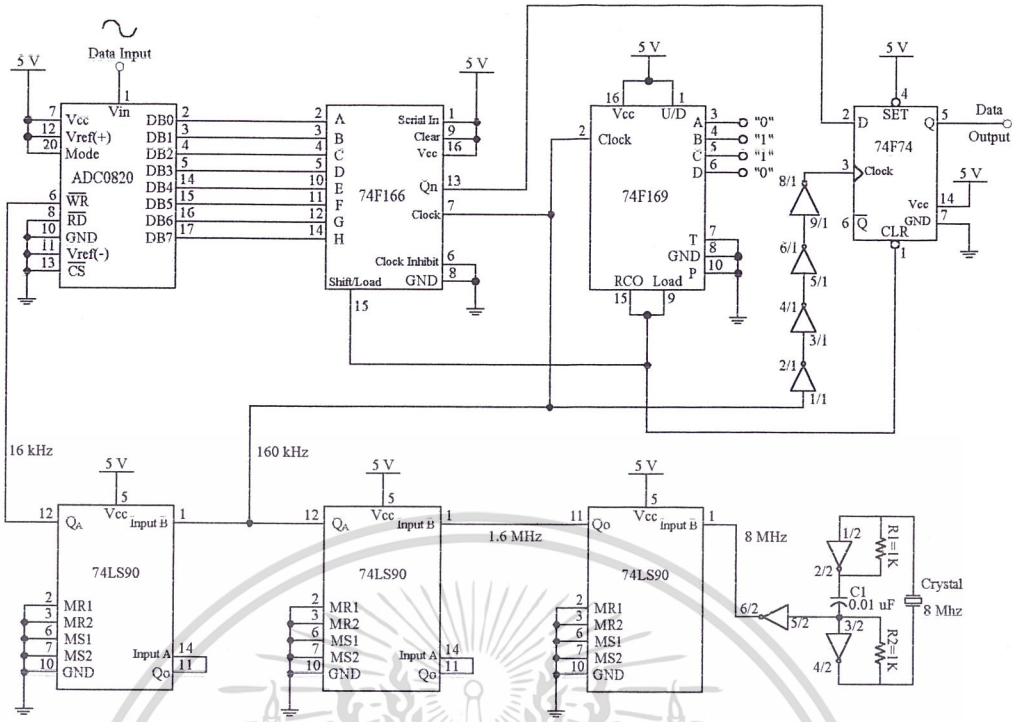
บิตเรท(Bit Rate) = แบนด์วิดธ์ข้อมูล × อัตราการแซมปลิ้ม(เท่า) × จำนวนบิตต่อข้อมูล

= 4 กิโลเฮิร์ต × 4 เท่า × 8 บิต

= 128 กิโลเฮิร์ต (ไม่ได้พิจารณาบิตเริ่มและบิตจบ)

แต่จะใช้สัญญาณนาฬิกาความถี่ 160 กิโลเฮิรธ์ เนื่องจากในการส่งข้อมูล 1 เฟรม (10 บิต) จะต้องใช้สัญญาณนาฬิกาทั้งหมด 10 ลูกคลื่น ซึ่งประกอบด้วยบิตเริ่ม (start bit) จำนวน 1 บิต บิตข้อมูลจำนวน 8 บิต และบิตจบ (stop bit) อีก 1 บิต รวมทั้งหมด 10 บิต จึงจะสามารถส่ง 1 เฟรมข้อมูล (10 บิต) ได้ครบทั้งหมด แต่ถ้าใช้บิตเรท 128 กิโลเฮิร์ต จะทำให้สัญญาณนาฬิกามีความเร็วไม่พอในการส่งข้อมูล 10 บิต จึงสามารถทำให้เกิดสัญญาณรบกวนได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 รูปวงจรทางภาคส่ง

3.2.2 หลักการออกแบบวงจรภาครับ

หลักการสำคัญในการออกแบบวงจรทางภาครับ คือ การนำสัญญาณที่ส่งมาจากต้นทางผ่านสาย นำสัญญาณมาทำการดีมอดูเลชั่น (Demodulation) เพื่อนำสัญญาณเบสแบนด์ กลับคืนมาได้อย่างสมบูรณ์ที่สุด ดังนั้นวงจรทางภาครับจะต้องมีความสอดคล้องกับวงจรทางภาคส่ง มิฉะนั้นจะไม่สามารถนำสัญญาณเบสแบนด์ กลับคืนมาได้อย่างถูกต้องเด็ดขาด

ดังนั้นเราจะพิจารณาแบ่งการออกแบบภาครับออกเป็น 3 ขั้นตอนดังนี้

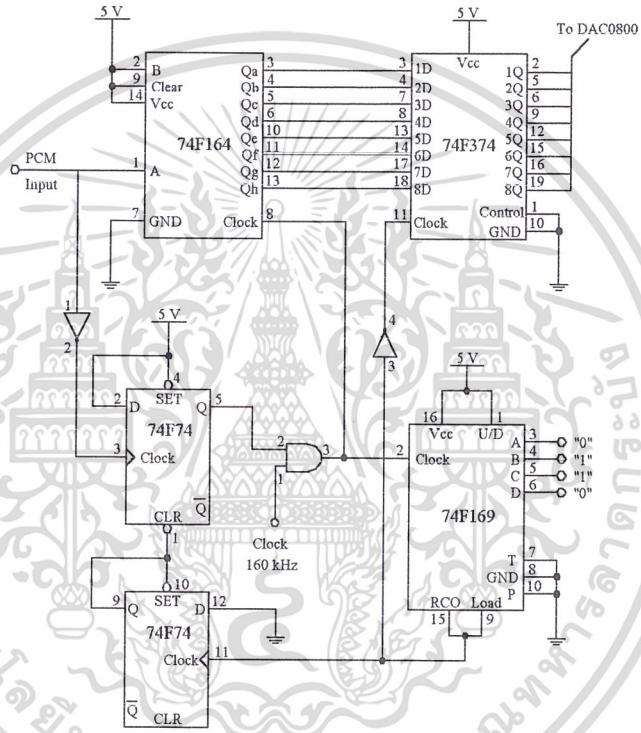
1. วงจรแปลงข้อมูลแบบอนุกรมเป็นแบบขนาน (Serial Input – Parallel Output Shift Register)
2. วงจรสร้างสัญญาณนาฬิกากลับคืน
3. วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก (Digital to Analog Converter)

ก.) วงจรแปลงข้อมูลแบบอนุกรมเป็นแบบขนาน (Serial Input – Parallel Output Shift Register)

ในการออกแบบวงจรแปลงข้อมูลแบบอนุกรมเป็นแบบขนานจะต้องคำนึงถึงจำนวนบิตข้อมูลที่ส่งใน 1 เฟรมข้อมูล ว่าประกอบด้วยบิตข้อมูลของอะไรบ้าง เพื่อสะดวกในการสร้างและออกแบบวงจรขึ้นมาใช้งานได้อย่างถูกต้อง ซึ่งจะเห็นว่า 1 เฟรมข้อมูลของระบบพีซีเอ็ม ที่ออกแบบทางภาคส่งจะมีจำนวนบิตทั้งหมด 10 บิต โดยที่เป็นบิตข้อมูล 8 บิต บิตเริ่ม 1 บิต และบิตจบ 1 บิต ดังนั้นเราจำเป็นต้องกำจัดบิตที่ไม่ใช่บิตข้อมูลทิ้งไปนั่นคือ บิตเริ่มและบิตจบ นั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นจึงอาศัยคุณสมบัติของไอซีเลื่อนข้อมูลแบบอนุกรมเป็นแบบขนาน และวงจรนับมาช่วยในการกำจัดบิตเริ่มและบิตจบ โดยในการออกแบบนี้จะใช้ไอซีเบอร์ 74F164 (8 – bit Serial In – Parallel Out Shift Register) มาทำการเลื่อนข้อมูลแล้วส่ง 8 บิตข้อมูลออกไปดีมอดูเลชั่น (Demodulation) ต่อไป ซึ่งขั้นตอนการออกแบบจะพิจารณาได้ดังนี้คือ เราจะอาศัยรอยต่อระหว่างบิตเริ่มและบิตจบมาใช้ในการกำหนดตำแหน่งของบิตเริ่ม บิตข้อมูล และบิตจบ ของเฟรมข้อมูลโดยเราจะนำสภาวะที่มีการเปลี่ยนแปลงจากบิตจบซึ่งมีสภาวะลอจิก "1" เป็นบิตเริ่ม ซึ่งมีสภาวะลอจิก "0" หรือก็คือขอบขาลงนั่นเองมาผ่านนอทเกท เพื่อกลับสภาวะเป็นขอบขาขึ้นป้อนให้เป็นสัญญาณนาฬิกาให้กับดี-ฟลิปฟลอปตัวที่ 1 ดังรูปที่ 3.10



รูปที่ 3.10 วงจรแปลงข้อมูลแบบอนุกรมเป็นแบบขนาน

จากรูปที่ 3.10 จะเห็นว่าขาอินพุตของ ดี-ฟลิปฟลอป (ขา D) ต่อเข้ากับไฟเลี้ยง Vcc ซึ่งมีสภาวะลอจิก "1" ดังนั้นเมื่อมีสภาวะขอบขาขึ้นของสัญญาณนาฬิกาป้อนให้กับขาคล็อคของดี-ฟลิปฟลอปก็จะทำการเลื่อนข้อมูล "1" จากอินพุต (ขา D) ไปเป็นเอาต์พุต (ขา Q) มีสภาวะลอจิก "1" แล้วก็นำสภาวะลอจิกนี้ไปป้อนให้กับอินพุตของแอนเกท (AND GATE) อีกที โดยอินพุตอีกขาของแอนเกทก็จะต่ออยู่กับออสซิลเลเตอร์ (OSCILLATOR) ซึ่งได้จากวงจรสร้างสัญญาณนาฬิกากลับคืน ซึ่งจะกล่าวในหัวข้อถัดไป ดังนั้นสัญญาณนาฬิกาก็จะสามารถผ่านออกทางเอาต์พุตของแอนเกทได้ ซึ่งสัญญาณนาฬิกานี้จะนำไปป้อนเป็นสัญญาณนาฬิกาให้กับไอซี 74F164 และ 74F169 ต่อไป ส่งผลให้ไอซี 74F164 เริ่มทำการเลื่อนบิตข้อมูลที่เป็นแบบอนุกรมเข้าไปในตัวมันเพื่อแปลงเป็นข้อมูลแบบขนานต่อไป ส่วนไอซี 74F169 ก็จะทำการเริ่มนับขึ้นจาก "0110" จนถึง "1111" หรือทำการนับ 10 นั่นเอง แล้ว

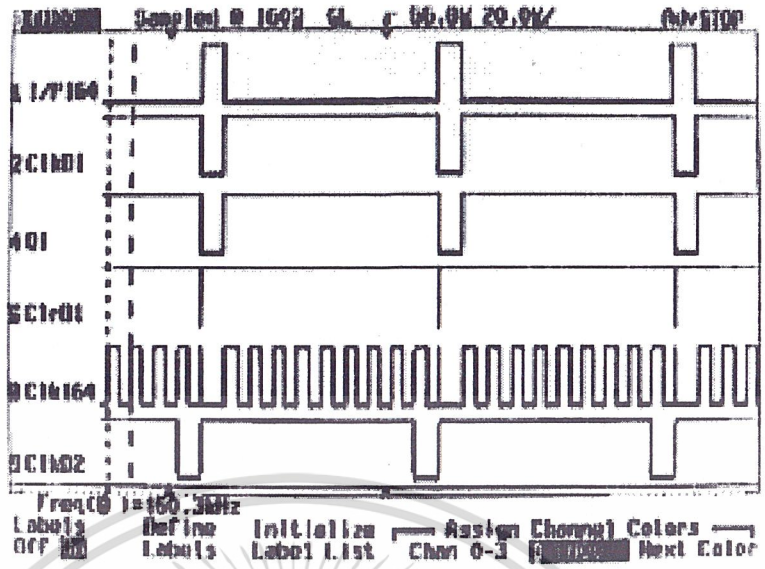
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และห้ามมิให้ดัดแปลงเนื้อหา รวมทั้งห้ามมิให้ลบข้อความนี้ออกจากเอกสารทุกครั้งที่มีการนำไปใช้

จะนำสภาวะที่ไอซี 74F169 นับถึง "1111" มาทำการควบคุมการโหลดค่าข้อมูล (เริ่มนับใหม่ตั้งแต่ "0110" จนถึง "1111") และนำไปรีเซ็ต ดี-ฟลิบฟลอบให้หยุดสัญญาณนาฬิกา โดยนำขาอาร์ซีโอ (RCO) เมื่อ 74F169 นับถึง "1111" จะมีสภาวะลอจิก "0" มาเข้าขาโหลด (LOAD) เพื่อทำการโหลดค่าข้อมูลใหม่ เมื่อสภาวะลอจิก "0" เข้าที่ขาโหลด จะทำให้ไอซี 74F169 เริ่มนับใหม่จาก "0110" และจะทำให้ขาอาร์ซีโอ มีสภาวะกลับมาเป็นลอจิก "1" ใหม่อีกครั้งและจะค้างสภาวะจนกว่าจะนับถึง "1111" ซึ่งจะนำสภาวะจากที่ขาอาร์ซีโอ มีสภาวะจากลอจิก "0" เป็นลอจิก "1" (ขอบขาขึ้น) นี้ไปป้อนเป็นสัญญาณนาฬิกาให้กับขาคล็อค (CLK) ของดี-ฟลิบฟลอบตัวที่ 2 ซึ่งเมื่อมีสัญญาณนาฬิกาเข้ามาก็จะทำให้ ดี –ฟลิบฟลอบเลื่อนค่าข้อมูลจากอินพุต (ขา D) ซึ่งต่อลงกราวด์จะมีสภาวะลอจิก "0" ออกไปที่เอาต์พุต (ขา Q) ของ ดี-ฟลิบฟลอบ ให้มีสภาวะลอจิกเป็น "0" ด้วย แต่เนื่องจากขาคิว (Q) ของดี-ฟลิบฟลอบต่ออยู่กับขาเคลียร์ (CLR) ของ ดี-ฟลิบฟลอบตัวแรก ทำให้ดี-ฟลิบฟลอบตัวแรกเกิดการเคลียร์ค่าข้อมูล ทำให้เอาต์พุตมีสภาวะลอจิก "0" โดยอัตโนมัติ ไปป้อนให้อินพุตของแอนด์เกต ส่งผลให้เอาต์พุตของแอนด์เกต มีสภาวะลอจิกเป็น "0" นั่นคือสัญญาณนาฬิกาไม่สามารถผ่านไปได้ ส่งผลให้ไม่มีสัญญาณนาฬิกาป้อนให้กับไอซี 74F164 และ 74F169 ทำให้ไอซีทั้งสองตัวหยุดทำงาน ในขณะเดียวกันเอาต์พุต (ขา Q) ของดี-ฟลิบฟลอบตัวที่ 2 ต่ออยู่กับขาเซ็ท (SET) ของตัวมันเอง เมื่อมีสภาวะลอจิก "0" ป้อนให้กับขาเซ็ท ก็จะทำให้ ดี-ฟลิบฟลอบ ทำการเซ็ท ให้เอาต์พุตของตัวมันมีสภาวะลอจิกเป็น "1" ไปป้อนให้กับขาเคลียร์ (CLR)ของดี-ฟลิบฟลอบตัวแรกทำให้ดี-ฟลิบฟลอบตัวแรกหยุดทำการเคลียร์ตัวเอง โดยเอาต์พุตค่าต่อไปของดี-ฟลิบฟลอบตัวแรกก็จะขึ้นอยู่กับสัญญาณนาฬิกาลูกต่อไปที่จะเข้ามา ซึ่งก็จะเป็นเฟรมข้อมูลเฟรมต่อไปนั่นเอง

ส่วนที่ไอซี 74F164 เมื่อเลื่อนข้อมูลถึง 9 บิต จะทำให้บิตเริ่มซึ่งเป็นบิตแรกของเฟรมข้อมูลถูกเลื่อนตกไป ก็จะเหลือแค่บิตข้อมูล 8 บิต ที่ค้างอยู่ในไอซี 74F164 เท่านั้น แล้วจะทำการโหลดค่าบิตข้อมูลทั้ง 8 บิตนี้ เข้าไปเก็บไว้ในไอซี 74F374 (Octal D-type Transparent Latches and Edge-Triggered Flip-Flops) ซึ่งจะทำหน้าที่ค้างค่าข้อมูลเอาไว้ จนกว่าจะมีสัญญาณนาฬิกาลูกต่อไปเข้ามาสั่งให้โหลดค่าข้อมูลใหม่เข้าไปเก็บ ซึ่งสัญญาณนาฬิกาที่ใช้ควบคุมไอซี 74F374 ได้มาจากสัญญาณที่มีสภาวะลอจิก "0" จากขาอาร์ซีโอ ของไอซี 74F169 มาผ่านนอทเกต ทำให้มีสภาวะลอจิก "1" ป้อนให้เป็นคล็อค อินพุตของไอซี 74F374 ก็จะทำการโหลดค่าข้อมูลทั้ง 8 บิตข้อมูล เข้าไปค้างค่าไว้เพื่อเป็นข้อมูลแบบขนานป้อนเป็นอินพุตของวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกต่อไป

ส่วนในการแสดงสัญญาณที่ใช้ควบคุมไอซีต่าง ๆ เพื่อกำจัดบิตเริ่มและบิตจบ พร้อมทั้งแสดงบิตเริ่ม บิตจบ และบิตข้อมูลสามารถแสดงได้ดังรูปที่ 3.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



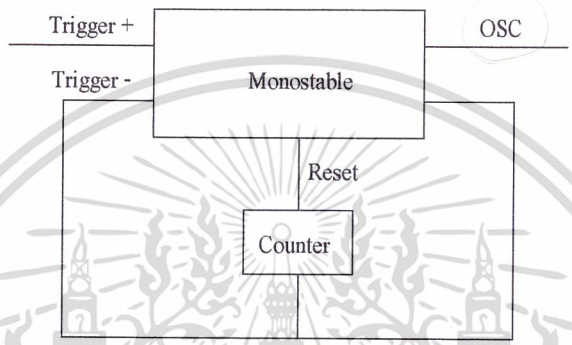
รูปที่ 3.11 รูปสัญญาณควบคุมการกำจัดบิตเริ่ม บิตจบ พร้อมทั้งแสดงบิตเริ่ม บิตจบ และบิตข้อมูล เมื่อป้อนอินพุตเป็น “0000 0000”

จากรูปที่ 3.11 ซึ่งแสดงสัญญาณต่าง ๆ ดังนี้คือ กราฟเส้นที่ 1 แสดงถึงบิตเริ่ม ซึ่งมีสภาวะลอจิก “0” ตามด้วยบิตข้อมูลอินพุต “0000 0000” แล้วปิดท้ายด้วยบิตจบ ซึ่งมีสภาวะลอจิกเป็น “1” กราฟเส้นที่ 2 แสดงถึงการนำเฟรมข้อมูลมาผ่านนอทเกต เพื่อนำสภาวะขอบขาขึ้นจากรอยต่อระหว่างบิตจบกับบิตเริ่ม ไปใช้เป็นสัญญาณนาฬิกาให้กับ ดี-ฟลิบฟลอบตัวแรก กราฟเส้นที่ 3 แสดงถึงเอาต์พุตของ ดี-ฟลิบฟลอบตัวแรก ซึ่งจะเห็นว่าช่วงที่สัญญาณมีสภาวะลอจิก “1” ที่ป้อนให้กับแอนด์เกต จะทำให้มีสัญญาณนาฬิกาซึ่งเกิดจากขาอินพุตอีกขาหนึ่งของแอนด์เกต ที่ต่อกับออสซิลเลเตอร์ (OSCILLATOR) ออกไปเป็นเอาต์พุตดังกราฟเส้นที่ 5 เพื่อเป็นสัญญาณนาฬิกาให้กับระบบทางด้านภาครับ กราฟเส้นที่ 4 แสดงถึงการรีเซ็ตและเซ็ตค่ากลับคืนของ ดี-ฟลิบฟลอบตัวที่ 2 ซึ่งจะเห็นว่าช่วงที่กราฟเส้นนี้ตกเป็นลอจิก “0” จะทำให้ขาดิว (Q) ของดี-ฟลิบฟลอบตัวแรก รีเซ็ตตัวเองให้มีสภาวะลอจิก “0” ส่งผลให้ไม่มีสัญญาณนาฬิกาออกมาป้อนให้กับระบบดังกราฟเส้นที่ 5 แต่เมื่อ ดี-ฟลิบฟลอบตัวที่ 2 เกิดการเซ็ตตัวเองให้มีสภาวะลอจิก “1” ดังกราฟเส้นที่ 4 ก็จะทำให้เอาต์พุตของ ดี-ฟลิบฟลอบค่าต่อไปขึ้นกับสัญญาณนาฬิกาของเฟรมข้อมูลถัดไป ส่วนกราฟเส้นที่ 6 เกิดจากเมื่อไอซี 74F169 นับถึง “1111” (10 คล็อค) จะทำให้ขาอาร์ซีโอ มีสภาวะลอจิกเป็น “0” ดังกราฟเส้นที่ 6 แล้วนำสัญญาณขอบขาขึ้นนี้ป้อนเป็นสัญญาณนาฬิกาของ ดี-ฟลิบฟลอบตัวที่ 2 ทำให้เกิดกราฟเส้นที่ 4 ขึ้นมานั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข.) วงจรสร้างสัญญาณนาฬิกากลับคืน

ในการที่จะสามารถถอดรหัสสัญญาณพีซีเอ็ม (PCM) ได้นั้น สิ่งสำคัญที่มีผลต่อระบบการทำงานมากที่สุดคือ สัญญาณนาฬิกาที่ใช้นั้นจะต้องมีความสอดคล้องหรือมีความถี่ที่ใกล้เคียงกับสัญญาณนาฬิกาทางด้านภาคส่งมากที่สุด ซึ่งในหัวข้อนี้จะได้แสดงการสร้างสัญญาณนาฬิกากลับคืน โดยการใช้โมโนสเตเบิ้ล มัลติไวเบรเตอร์ (Monostable Multivibrator) มาใช้ในการสร้างสัญญาณนาฬิกากลับคืน ซึ่งจะใช้ไอซีเบอร์ CD4047 (Monostable / Astable Multivibrator) สามารถแสดงบล็อคไดอะแกรมการทำงานได้ดังรูปที่ 3.12

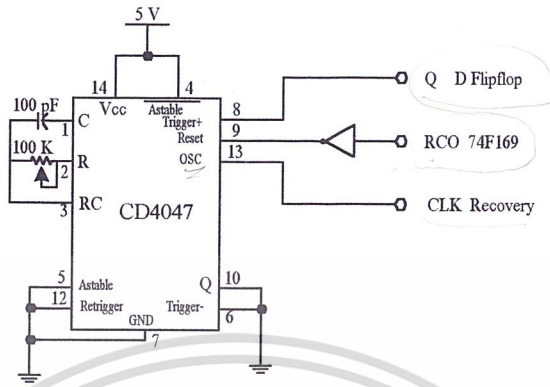


รูปที่ 3.12 บล็อคไดอะแกรมแสดงหลักการของการกู้สัญญาณนาฬิกากลับคืน

การทำงานในโหมดโมโนสเตเบิ้ล (Monostable Mode) ของ CD4047 ในการสร้างสัญญาณนาฬิกากลับคืน เพื่อใช้เป็นสัญญาณนาฬิกาป้อนเป็นสัญญาณควบคุมการทำงานทางภาครับของระบบพีซีเอ็ม มีหลักการทำงานโดยการนำสภาวะการเปลี่ยนแปลงจากบิตจบเป็นบิตเริ่มของเฟรมข้อมูลมากลับสภาวะเป็นขอบขาขึ้น แล้วนำมาเป็นสัญญาณนาฬิกาให้กับ ดี-ฟลิบฟลอบตัวแรก ดังรูปที่ 3.9 ซึ่งเอาต์พุตของ ดี-ฟลิบฟลอบ (ขาQ) จะมีสภาวะลอจิก “1” ตามอินพุต (ขาD) ดังกราฟเส้นที่ 3 ของรูปที่ 3.11 โดยเราจะนำสภาวะขอบขาขึ้นไปป้อนที่ขาทริกเกอร์บวก (Trigger +) ของโมโนสเตเบิ้ล (Monostable) จากนั้นโมโนสเตเบิ้ลจะให้พัลส์ออกมา 1 ลูก แล้วนำพัลส์ 1 ลูกนี้ไปป้อนกลับเข้าไปในโมโนสเตเบิ้ลที่ขาทริกเกอร์ลบ (Trigger -)อีกที หลังจากนั้นโมโนสเตเบิ้ลจะทำการทริกอีกครั้งหนึ่งทำให้โมโนสเตเบิ้ลให้พัลส์ออกมาอีก 1 ลูก หลังจากนั้นโมโนสเตเบิ้ลก็จะทำการทริกเพื่อสร้างพัลส์ออกมาเรื่อยๆ แต่เนื่องจากพัลส์ที่ออกมาจากขาคิว (Q) ของโมโนสเตเบิ้ล จะออกมาตลอดเวลาจึงอาจทำให้เกิดความผิดพลาดของสัญญาณนาฬิกาทางภาครับ ที่มีการเหลื่อมเฟสกับสัญญาณนาฬิกาทางภาคส่งมากกว่า 180 องศา เพราะถ้าสัญญาณนาฬิกาเหลื่อมเฟสเกิน 180 องศา ข้อมูลที่ออกมาจะเกิดความผิดพลาดขึ้นได้ ดังนั้นเราจึงจำเป็นที่จะต้องรีเซ็ตโมโนสเตเบิ้ล เมื่อข้อมูลถูกเลื่อนออกมาครบ 8 บิตแล้ว หรือทำการนับสัญญาณนาฬิกาครบ 10 ลูก นั่นเอง เพื่อให้สัญญาณที่ออกมาทางขาคิว (Q) ทำการหยุด แล้วเริ่มทำการสร้างพัลส์ใหม่ทุก ๆ สภาวะการเปลี่ยนจากบิตจบไปเป็นบิตเริ่ม ซึ่งเราสามารถนำสัญญาณนาฬิกาที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

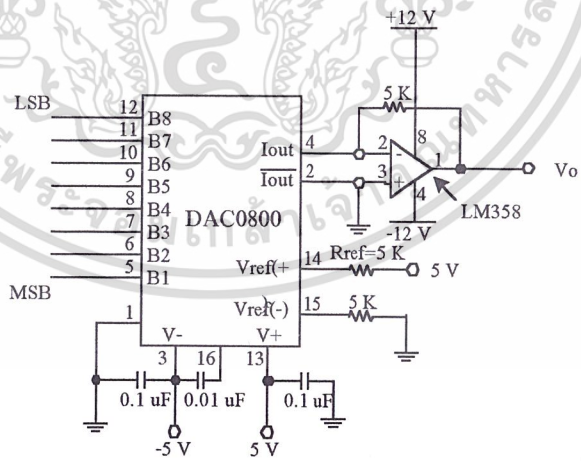
ขาโอเอสซี (OSC) ไปใช้เป็นสัญญาณนาฬิกาให้กับระบบได้ต่อไป สามารถแสดงวงจรสร้างสัญญาณนาฬิกากลับคืนได้ดังรูปที่ 3.13



รูปที่ 3.13 วงจรสร้างสัญญาณนาฬิกากลับคืน

ค.) วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก (Digital to Analog Converter)

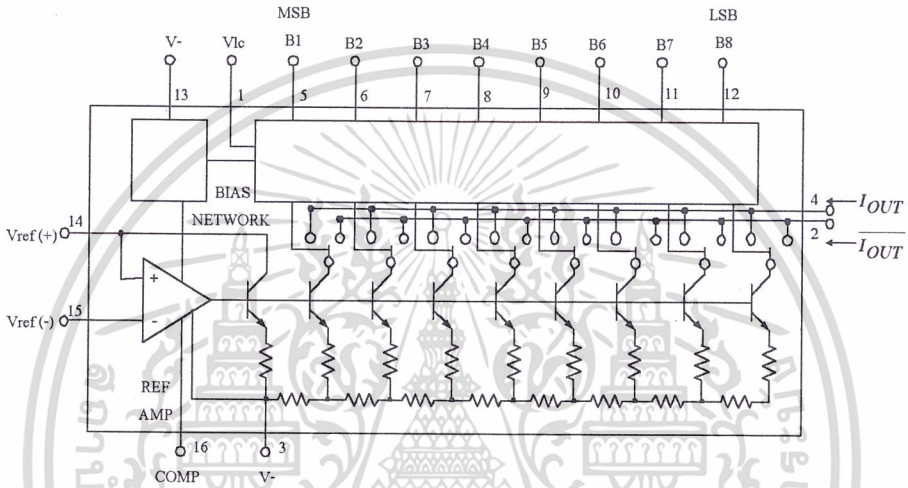
วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกที่ได้นำมาใช้แปลงค่าข้อมูลขนาด 8 บิต ได้แก่ ไอซีเบอร์ DAC0800 (8-bit Digital to Analog Converter) ซึ่งสามารถแสดงการต่อวงจรเพื่อใช้งานได้ตามรูปที่ 3.14



รูปที่ 3.14 วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการทำงานของไอซีเบอร์ DAC0800 ในการแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก จะใช้หลักการแบบสวิตซ์แหล่งจ่ายกระแส โดยที่ในตัวไอซีจะประกอบไปด้วยแหล่งจ่ายกระแสหลายๆ ชุด โดยที่แหล่งจ่ายกระแสแต่ละตัวจะมีค่ากระแสมากกว่ากันเป็น 2 เท่า และภายในวงจรจะมีสวิตซ์เพื่อควบคุมการสวิตซ์แหล่งจ่ายกระแส โดยที่สวิตซ์แต่ละตัวจะถูกควบคุมด้วยสัญญาณข้อมูลดิจิตอลแต่ละบิตทั้ง 8 บิต ที่ต้องการจะแปลงเป็นสัญญาณอนาลอก ดังนั้นเราจึงเรียกวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกที่ใช้สวิตซ์ควบคุมด้วยสัญญาณดิจิตอลเป็นตัวกำหนดกระแสให้ไหลหรือไม่ให้ไหลนี้ว่าเป็นวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกแบบวิธีสวิตซ์แหล่งจ่ายกระแส ดังรูปที่ 3.15



รูปที่ 3.15 บล็อคไดอะแกรมการทำงานของ DAC0800

จากรูปที่ 3.15 จะเห็นว่ากระแสที่ไหลออกมาผ่านสวิตซ์แต่ละตัวจะถูกรวมเข้าด้วยกัน โดยที่ขาเบสของทรานซิสเตอร์ทุกตัวในวงจรถูกต่อเข้ากับระดับแรงดันไฟอ้างอิง $V_{REF} - V_{BE}$ เมื่อ V_{BE} เป็นแรงดันตกคร่อมขาเบสกับขาอิมิเตอร์ของทรานซิสเตอร์ จะทำให้มีกระแสไหลจากขาอิมิเตอร์ผ่านตัวต้านทานลงมาข้างล่าง ดังนั้นจะทำให้มีกระแสไหลเข้าขาคอลเลคเตอร์มีค่าประมาณเท่ากับกระแสที่ไหลออกจากขาอิมิเตอร์ด้วย จึงทำให้มีลักษณะการทำงานเสมือนแหล่งจ่ายกระแส โดยค่ากระแสที่ไหลจะขึ้นอยู่กับสัญญาณดิจิตอลที่ใช้ควบคุมสวิตซ์อิเล็กทรอนิก ซึ่งจะเห็นว่าในวงจรจะต่อขาคอลเลคเตอร์ของทรานซิสเตอร์ แต่ละตัวกับสัญญาณ I_{OUT} และ $\overline{I_{OUT}}$ โดยที่จะมีทิศทางของกระแสไหลเข้าและออกตามลำดับเป็นค่าตรงกันข้ามกัน ถ้าพิจารณาที่ขาสัญญาณ I_{OUT} จะเห็นว่าถ้าสัญญาณดิจิตอลที่เข้ามาเป็นลอจิก “0” จะทำให้สวิตซ์อยู่ในตำแหน่งเปิดวงจร ทำให้ไม่มีกระแสไหลจาก I_{OUT} เข้ามายังขาคอลเลคเตอร์ และถ้าสัญญาณมีสภาวะลอจิกเป็น “1 ก็จะทำให้สวิตซ์อยู่ในตำแหน่งปิดวงจร ส่งผลให้มีกระแสไหล I_{OUT} เข้าขาคอลเลคเตอร์ ดังนั้น จะเห็นว่าค่ากระแสที่ขาอิมิเตอร์แต่ละตัว ไม่ได้ขึ้นกับแรงดันไฟฟ้าของแต่ละบิต แต่ขึ้นกับสภาวะลอจิก “0” และ “1” นั่นเอง

จากรูปที่ 3.14 เราจะนำสภาวะลอจิกของทั้ง 8 บิตข้อมูลมาป้อนควบคุมสวิตซ์ให้สวิตซ์แหล่งจ่ายกระแสออกมาตามสภาวะลอจิก “0” และ “1” ตามต้องการ โดยที่ขาสัญญาณ I_{OUT} และ $\overline{I_{OUT}}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

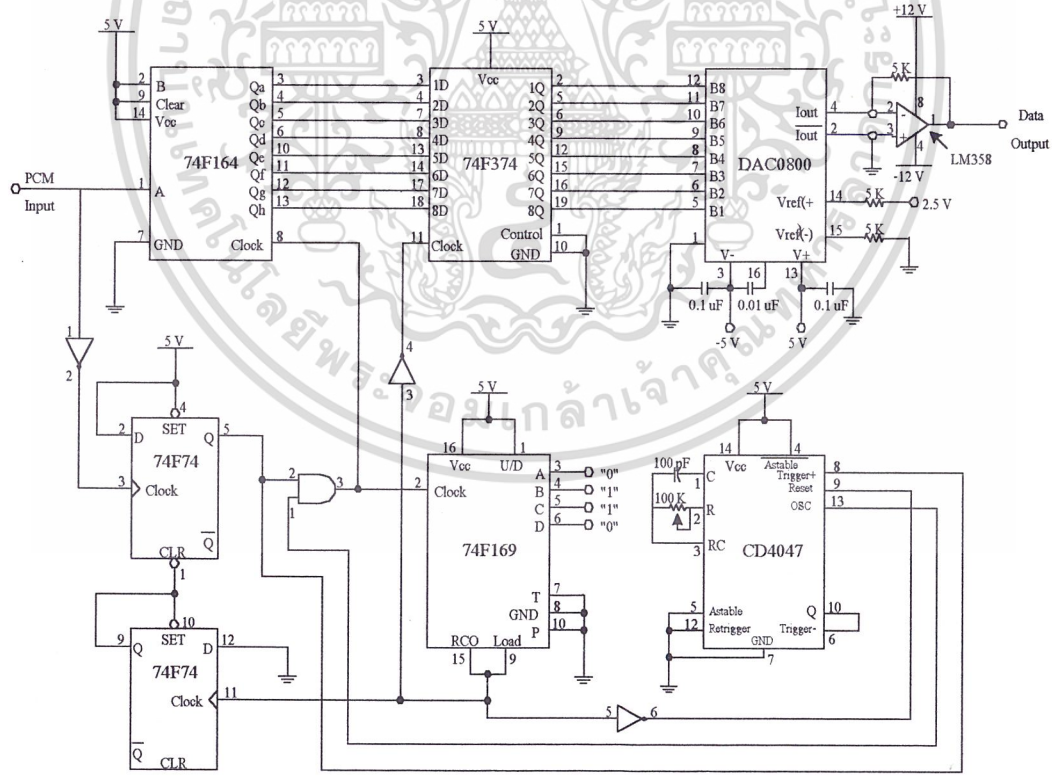
ได้ถูกต่อเข้าเป็นอินพุตของอินเวอร์ติ้ง แอมป์ (Inverting Amp.) เพื่อแปลงกระแสให้เป็นแรงดันไฟฟ้า และต่อตัวต้านทาน R_{REF} ที่ขา 14 เข้ากับแรงดันไฟฟ้า V_{REF} เพื่อกำหนดค่ากระแสอ้างอิง I_{REF} ให้กับวงจรภายใน ดังนั้นเมื่อข้อมูลดิจิตอลมีค่าเต็มสเกล (Full Scale) หรือมีบิตข้อมูลเป็น " 1111 1111" ดังนั้นค่ากระแสเต็มสเกล (I_{FS}) และแรงดันเอาต์พุตดังสมการ

$$I_{fs} = \frac{255}{256} \cdot I_{ref}$$

$$V_o = I_{fs} \cdot I_{ref}$$

ดังนั้นจะเห็นว่า ยิ่งค่าบิตข้อมูลดิจิตอลมีค่ามากขึ้นจะทำให้ I_{OUT} และ V_o มีค่ามากขึ้นตามไปด้วย ซึ่งในการใช้งาน DAC0800 กับวงจรที่มีระดับสัญญาณลอจิกแบบทีทีแอล (TTL) จะต้องต่อให้ $V_{REF} = 5$ V, $R_{REF} = 5$ กิโลโอห์ม , R15 = R_{REF}, $C_C = 0.01$ ไมโครฟารัด และ $V_{LC} = 0$ โวลต์ เพื่อให้กระแส I_{FS} มีค่าประมาณ 1 มิลลิแอมแปร์ ตามต้องการ

ดังนั้นเราก็สามารถออกแบบวงจรดีโมดูเลชั่น วงจรพีซีเอ็ม ได้ข้อมูลเบสแบนด์ได้ตามต้องการ และสามารถแสดงวงจรรวมทางภาครับของระบบพีซีเอ็มได้ดังรูปที่ 3.16

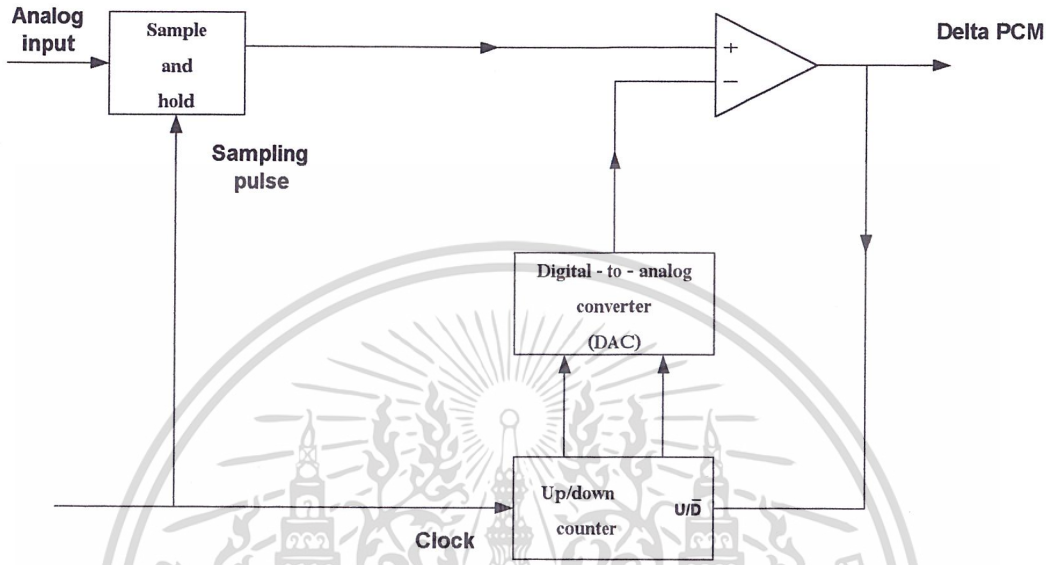


รูปที่ 3.16 วงจรทางภาครับของระบบพีซีเอ็ม

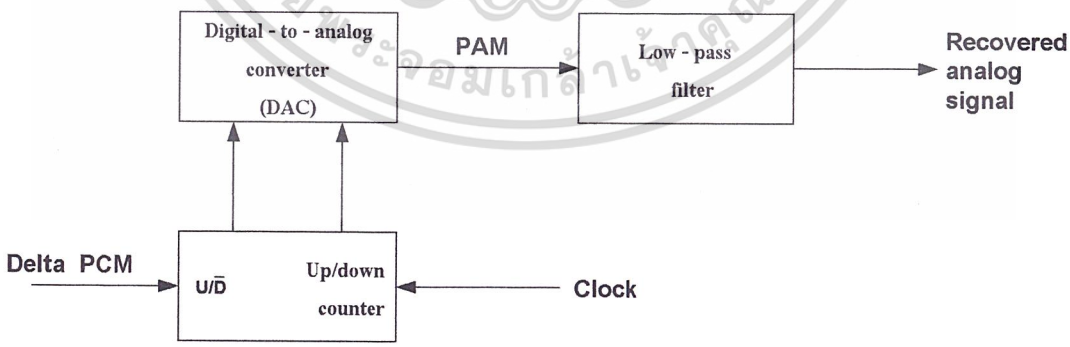
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 บล็อคไดอะแกรม (Block Diagram)

บล็อคไดอะแกรมของวงจรเดลต้ามอดูเลชั่นทั้งภาคส่งและภาครับสามารถแสดงได้ดังรูปที่ 3.17 และรูปที่ 3.18 ตามลำดับ



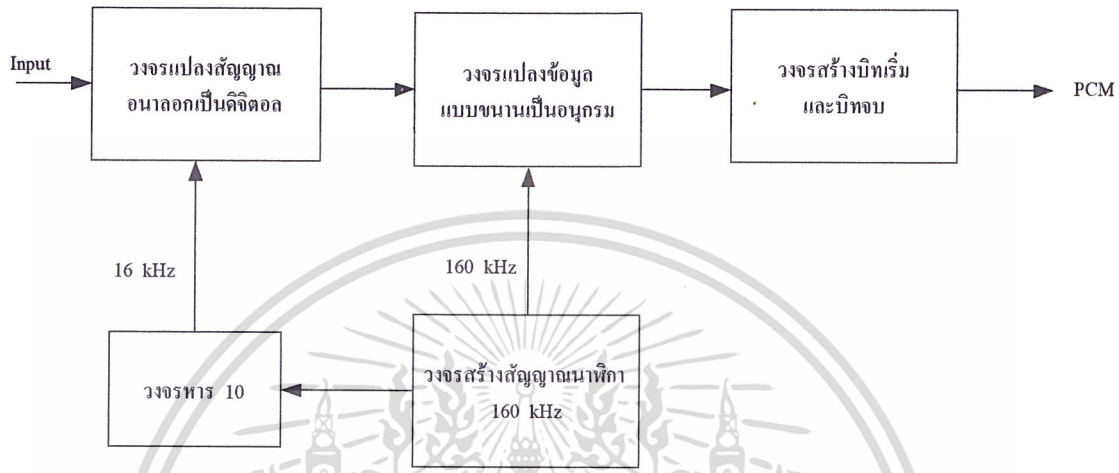
รูปที่ 3.17 บล็อคไดอะแกรมของภาคส่งวงจรเดลต้ามอดูเลชั่น



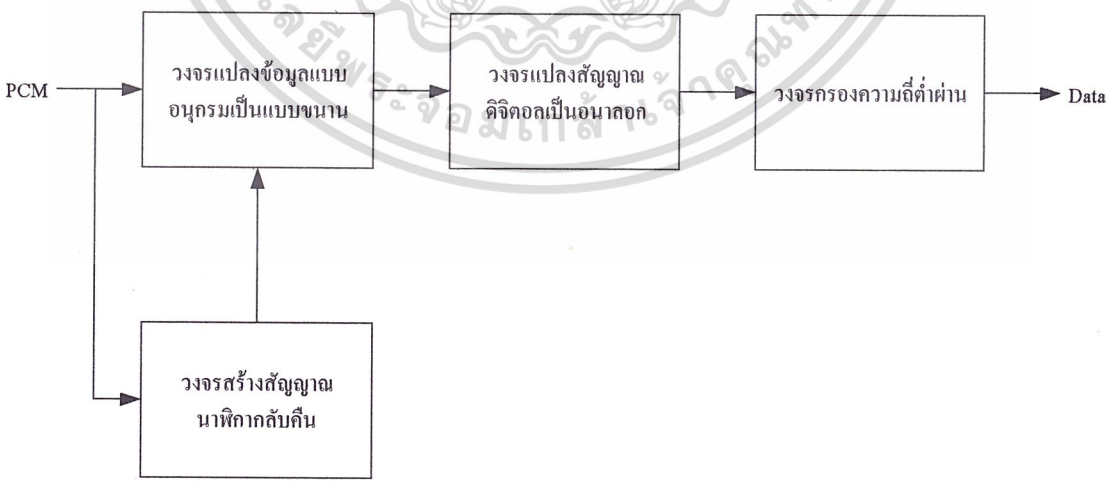
รูปที่ 3.18 บล็อคไดอะแกรมของภาครับวงจรเดลต้ามอดูเลชั่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนบล็อคไดอะแกรมของวงจรพีซีเอ็มทั้งภาคส่งและภาครับสามารถแสดงได้ดังรูปที่ 3.17 และรูปที่ 3.18 ตามลำดับ



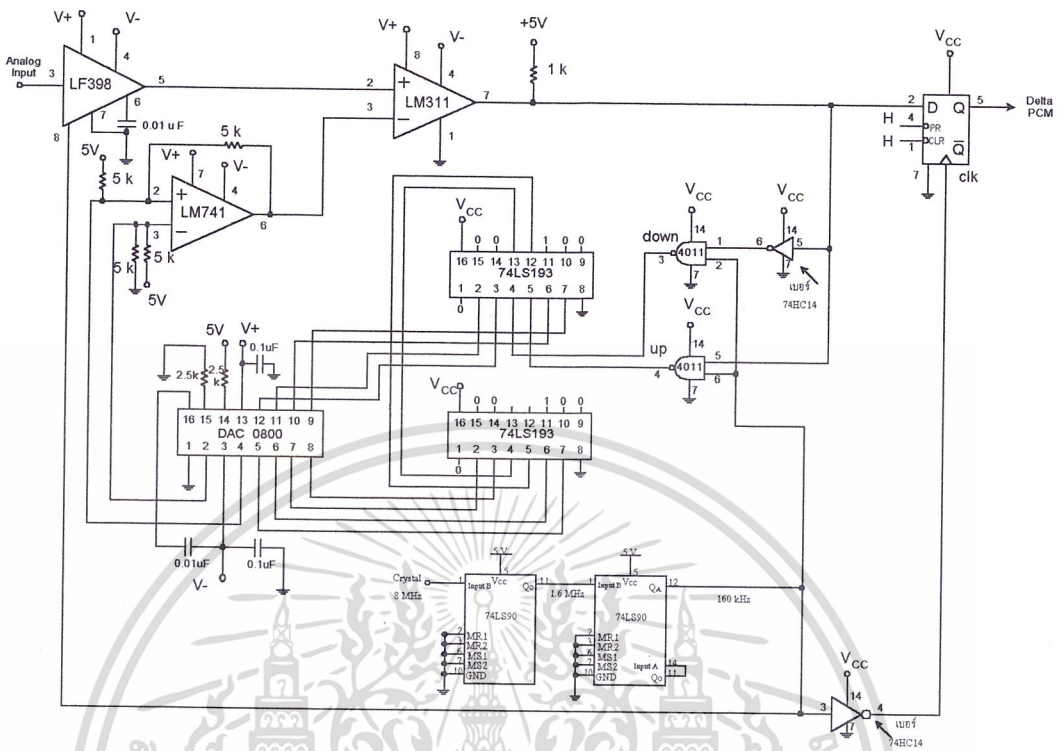
รูปที่ 3.19 บล็อคไดอะแกรมของภาคส่งวงจรพีซีเอ็ม



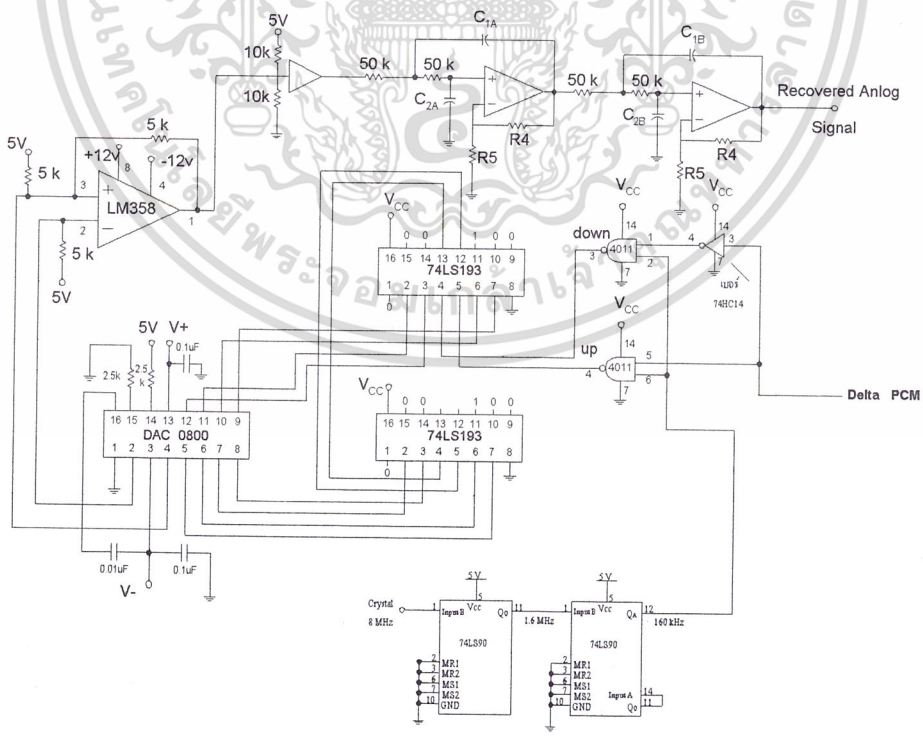
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.20 บล็อคไดอะแกรมของภาครับวงจรพีซีเอ็ม

3.4 รูปวงจรรวม



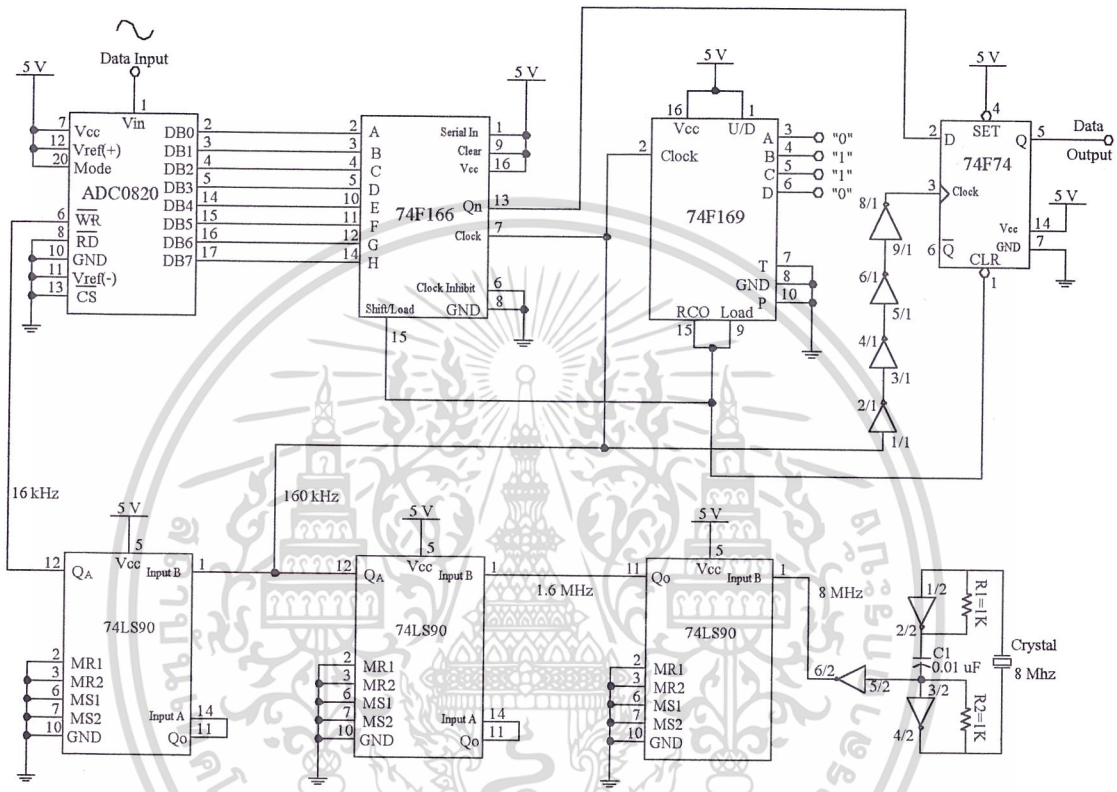
รูปที่ 3.21 วงจรรวมของทางภาคส่งวงจรเดลต้ามอดูเลชั่น



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

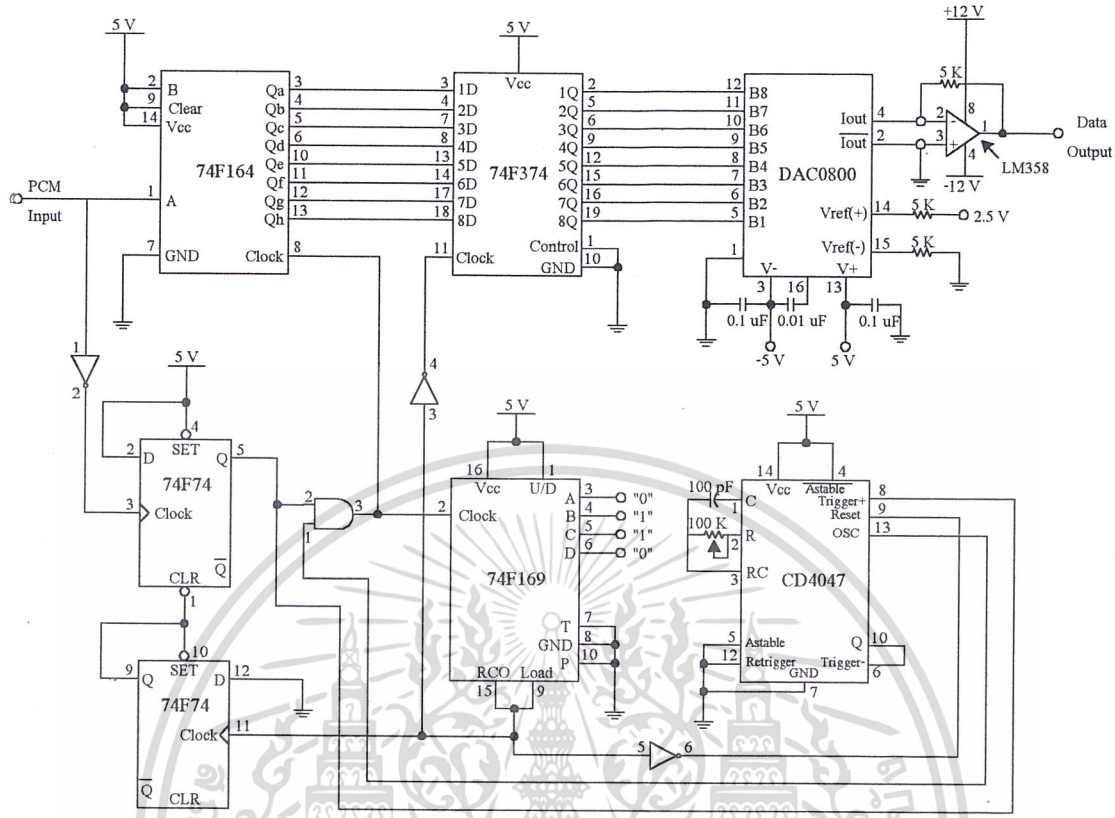
รูปที่ 3.22 วงจรรวมของทางภาครับวงจรเดลต้ามอดูเลชั่น

รูปวงจรรวมทั้งทางภาคส่งและภาครับของวงจรเดลต้ามอดูเลชั่นแสดงได้ดังรูปที่ 3.21 และรูปที่ 3.22ตามลำดับ ส่วนรูปวงจรรวมทั้งทางภาคส่งและภาครับของวงจรพีซีเอ็มแสดงไว้ในรูปที่ 3.23 และรูปที่ 3.24 ตามลำดับ



รูปที่ 3.23 วงจรรวมของทางภาคส่งวงจร พีซีเอ็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.24 วงจรรวมของทางภาครับวงจร พีซีเอ็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4 การทดลองและผลการทดลอง

4.1 การทดลองของวงจรเดลต้ามอดูเลชั่น

4.1.1 จ่ายไฟ $\pm$ 5 V_{DC} และ $\pm$ 12 V_{DC} ให้แก่วงจร

4.1.2 ป้อนสัญญาณอนาลอกความถี่ 1 kHz เข้าวงจรของภาคส่ง วัดระดับสัญญาณอนาลอกที่ป้อนให้แก่วงจรทางภาคส่ง เทียบกับสัญญาณที่ส่งออกจากทางภาคส่ง แล้วบันทึกผลการทดลอง

4.1.3 วัดระดับสัญญาณจากส่วนวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก(DAC)ทางด้านภาคส่ง เทียบกับสัญญาณที่ส่งออกจากวงจรของภาคส่ง แล้วบันทึกผลการทดลอง

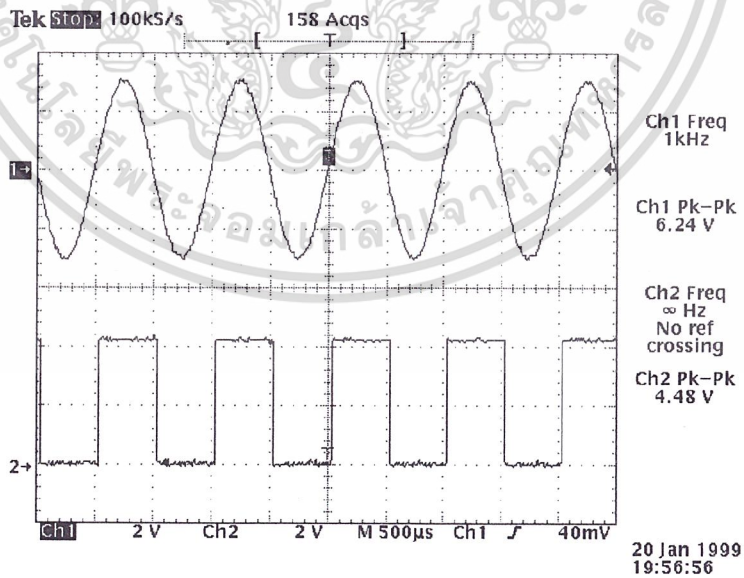
4.1.4 วัดระดับสัญญาณที่รับมาจากวงจรของภาคส่งเทียบกับระดับสัญญาณเอาต์พุตของวงจรของภาครับ แล้วบันทึกผลการทดลอง

4.1.5 วัดระดับสัญญาณอนาลอกอินพุตที่ป้อนให้แก่วงจรของภาคส่ง เทียบกับสัญญาณอนาลอกเอาต์พุตที่ออกจากวงจรของภาครับ แล้วบันทึกผลการทดลอง

4.1.6 ทำการทดลองตามข้อ 4.1.2 ถึง 4.1.5 แต่เปลี่ยนความถี่เป็น 2 kHz, 3 kHz และ 4 kHz ตามลำดับ แล้วบันทึกผลการทดลอง

4.2 ผลการทดลองของวงจรเดลต้ามอดูเลชั่น

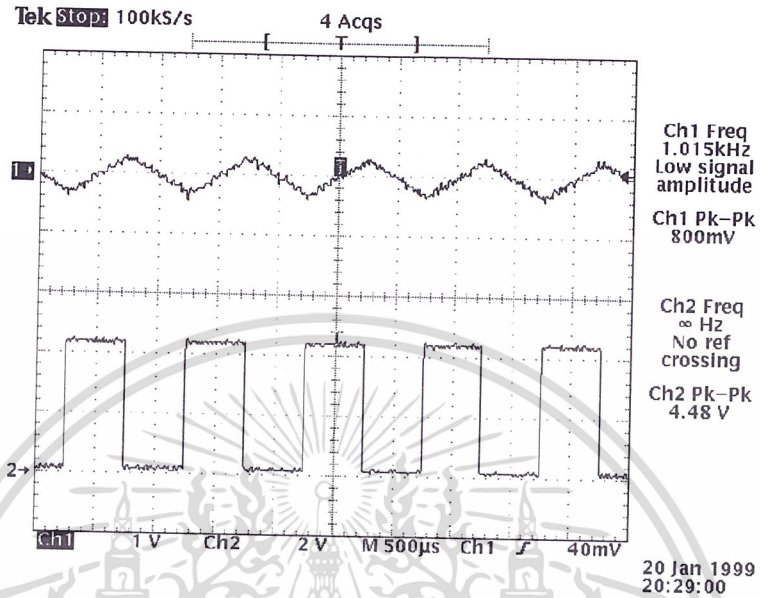
4.2.1 เมื่อทำการทดลองตามหัวข้อ 4.1.2 ไฟ $\pm$ 5 V_{DC} และ $\pm$ 12 V_{DC} เป็นไฟเลี้ยงของวงจรทั้งหมดทั้งภาคส่งและภาครับ จะได้รูปของระดับสัญญาณอนาลอกที่ป้อนให้แก่วงจรทางภาคส่งเทียบกับสัญญาณที่ส่งออกจากทางภาคส่ง ดังรูปที่ 4.1



รูปที่ 4.1 สัญญาณอินพุตเทียบกับสัญญาณเอาต์พุตของภาคส่งที่ความถี่ 1 kHz

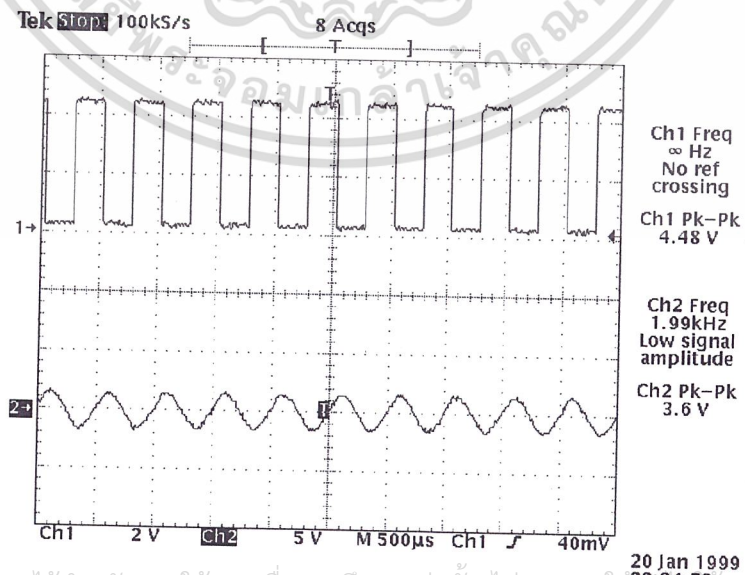
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 เมื่อทำการทดลองตามหัวข้อ 4.1.3 ไฟ $\pm$ 5 V_{DC} และ $\pm$ 12 V_{DC} เป็นไฟเลี้ยงของวงจรทั้งหมดทั้งภาคส่งและภาครับ จะได้รูปของระดับสัญญาณจากส่วนวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก (DAC) ทางด้านภาคส่ง เทียบกับสัญญาณที่ส่งออกจากวงจรของภาคส่ง ดังรูปที่ 4.2



รูปที่ 4.2 สัญญาณจากวงจรแปลงดิจิตอลเป็นอนาลอกเทียบกับสัญญาณเอาต์พุตภาคส่งที่ 1 kHz

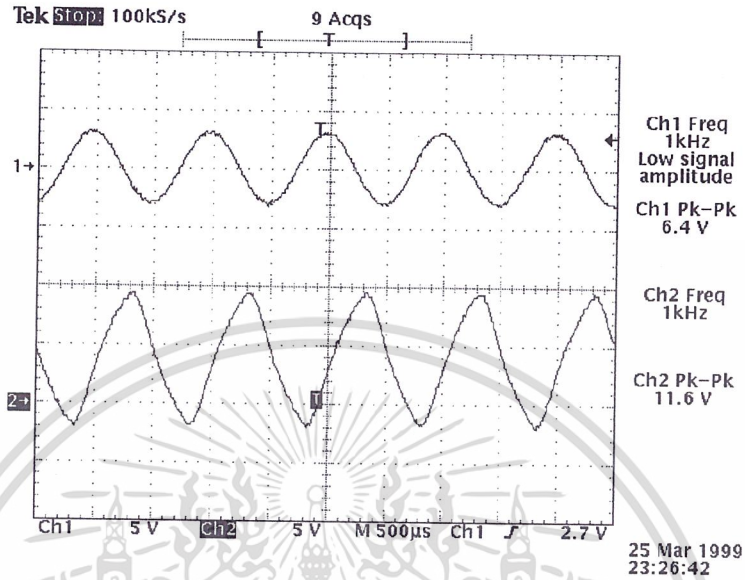
4.2.3 เมื่อทำการทดลองตามหัวข้อ 4.1.4 ไฟ $\pm$ 5 V_{DC} และ $\pm$ 12 V_{DC} เป็นไฟเลี้ยงของวงจรทั้งหมดทั้งภาคส่งและภาครับ จะได้รูปของระดับสัญญาณที่รับมาจากวงจรของภาคส่งเทียบกับระดับสัญญาณเอาต์พุตของวงจรของภาครับ ดังรูปที่ 4.3



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

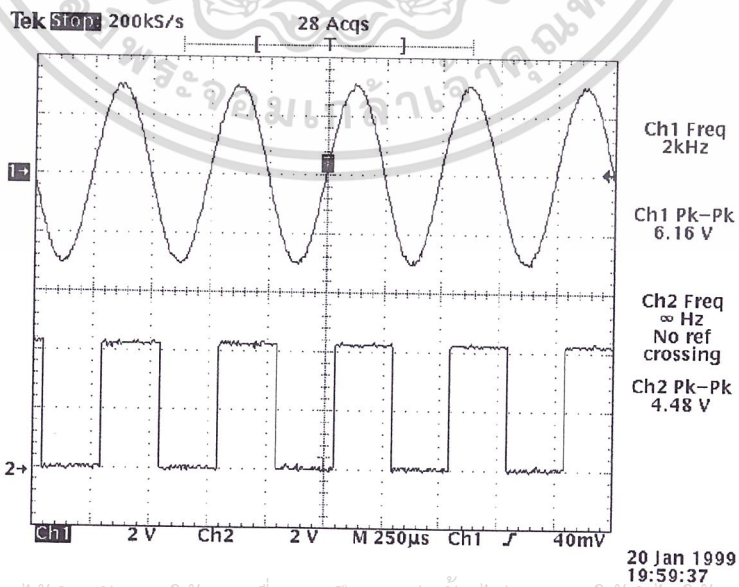
รูปที่ 4.3 สัญญาณอินพุตเทียบกับสัญญาณเอาต์พุตของภาครับที่ความถี่ 1 kHz

4.2.4 เมื่อทำการทดลองตามหัวข้อ 4.1.5 ไฟ $\pm$ 5 V_{DC} และ $\pm$ 12 V_{DC} เป็นไฟเลี้ยงของวงจรทั้งหมดทั้งภาคส่งและภาครับ จะได้รูปของระดับสัญญาณอนาลอกอินพุตที่ป้อนให้แก่วงจรของภาคส่งเทียบกับสัญญาณอนาลอกเอาต์พุตที่ออกจากวงจรของภาครับ ดังรูปที่ 4.4



รูปที่ 4.4 สัญญาณอินพุตของภาคส่งเทียบกับสัญญาณเอาต์พุตของภาครับที่ความถี่ 1 kHz

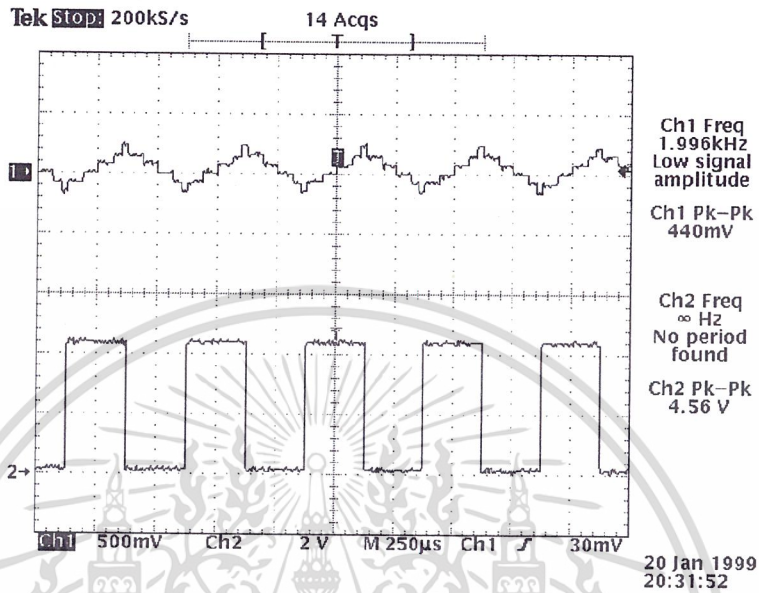
4.2.5 ทำการทดลองตามหัวข้อ 4.1.2 แต่เปลี่ยนความถี่ของสัญญาณอนาลอกที่ป้อนเข้าวงจรของภาคส่งเป็น 2 kHz ไฟ $\pm$ 5 V_{DC} และ $\pm$ 12 V_{DC} เป็นไฟเลี้ยงของวงจรทั้งหมดทั้งภาคส่งและภาครับ จะได้รูปของระดับสัญญาณอนาลอกที่ป้อนให้แก่วงจรทางภาคส่งเทียบกับสัญญาณที่ส่งออกจากทางภาคส่ง ดังรูปที่ 4.5



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ห้ามมิให้ทำซ้ำ ดัดแปลง เผยแพร่ หรือนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น

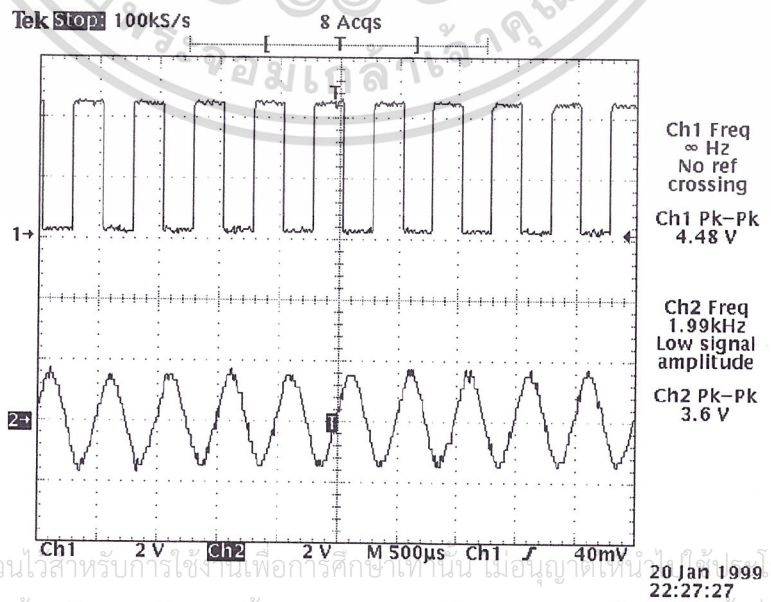
รูปที่ 4.5 สัญญาณอินพุตเทียบกับสัญญาณเอาต์พุตของภาคส่งที่ความถี่ 2 kHz

4.2.6 ทำการทดลองตามหัวข้อ 4.1.3 แต่เปลี่ยนความถี่ของสัญญาณอนาลอกที่ป้อนเข้าวงจรของภาคส่งเป็น 2 kHz ไฟ $\pm$ 5 V_{DC} และ $\pm$ 12 V_{DC} เป็นไฟเลี้ยงของวงจรทั้งหมดทั้งภาคส่งและภาครับ จะได้รูปของระดับสัญญาณจากส่วนวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก (DAC) ทางด้านภาคส่งเทียบกับสัญญาณที่ส่งออกจากวงจรของภาคส่ง ดังรูปที่ 4.6



รูปที่ 4.6 สัญญาณจากวงจรแปลงดิจิตอลเป็นอนาลอกเทียบกับสัญญาณเอาต์พุตภาคส่งที่ 2 kHz

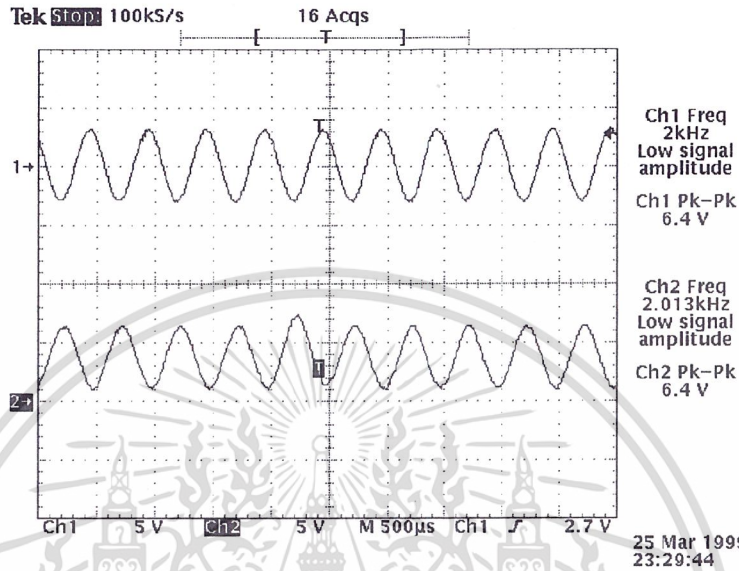
4.2.7 ทำการทดลองตามหัวข้อ 4.1.4 แต่เปลี่ยนความถี่ของสัญญาณอนาลอกที่ป้อนเข้าวงจรของภาคส่งเป็น 2 kHz ไฟ $\pm$ 5 V_{DC} และ $\pm$ 12 V_{DC} เป็นไฟเลี้ยงของวงจรทั้งหมดทั้งภาคส่งและภาครับ จะได้รูปของระดับสัญญาณที่รับมาจากวงจรของภาคส่งเทียบกับระดับสัญญาณเอาต์พุตของวงจรของภาครับ ดังรูปที่ 4.3



รูปที่ 4.7 สัญญาณอินพุตเทียบกับสัญญาณเอาต์พุตของภาครับที่ความถี่ 2 kHz

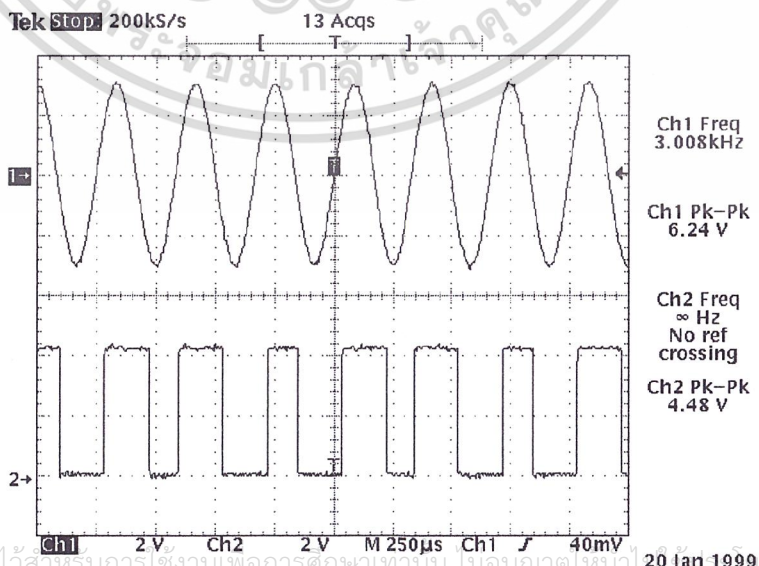
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.8 ทำการทดลองตามหัวข้อ 4.1.5 แต่เปลี่ยนความถี่ของสัญญาณอนาลอกที่ป้อนเข้าวงจรของภาคส่งเป็น 2 kHz ไฟ $\pm$ 5 V_{DC} และ $\pm$ 12 V_{DC} เป็นไฟเลี้ยงของวงจรทั้งหมดทั้งภาคส่งและภาครับจะได้รูปของระดับสัญญาณอนาลอกอินพุตที่ป้อนให้แก่วงจรของภาคส่งเทียบกับสัญญาณอนาลอกเอาต์พุตที่ออกจากวงจรของภาครับ ดังรูปที่ 4.8



รูปที่ 4.8 สัญญาณอินพุตของภาคส่งเทียบกับสัญญาณเอาต์พุตของภาครับที่ความถี่ 2 kHz

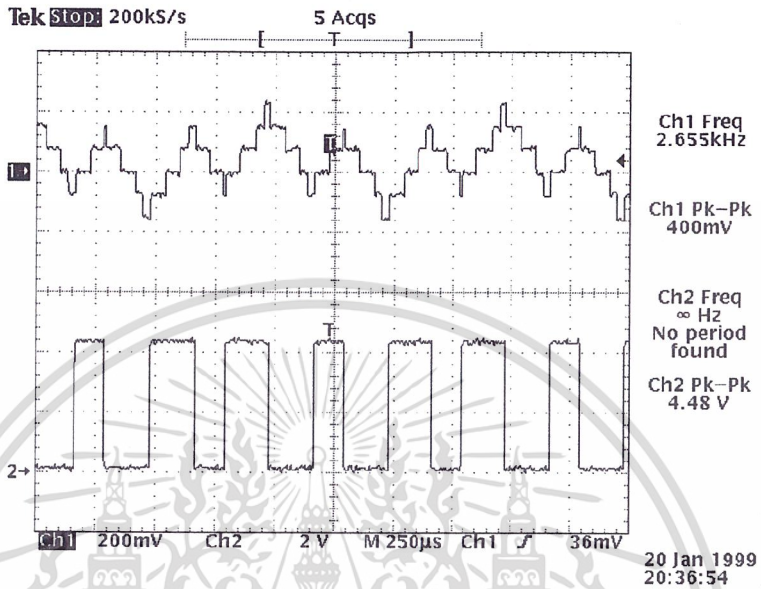
4.2.9 ทำการทดลองตามหัวข้อ 4.1.2 แต่เปลี่ยนความถี่ของสัญญาณอนาลอกที่ป้อนเข้าวงจรของภาคส่งเป็น 3 kHz ไฟ $\pm$ 5 V_{DC} และ $\pm$ 12 V_{DC} เป็นไฟเลี้ยงของวงจรทั้งหมดทั้งภาคส่งและภาครับ จะได้รูปของระดับสัญญาณอนาลอกที่ป้อนให้แก่วงจรทางภาคส่งเทียบกับสัญญาณที่ส่งออกจากทางภาคส่ง ดังรูปที่ 4.9



รูปที่ 4.9 สัญญาณอินพุตเทียบกับสัญญาณเอาต์พุตของภาคส่งที่ความถี่ 3 kHz

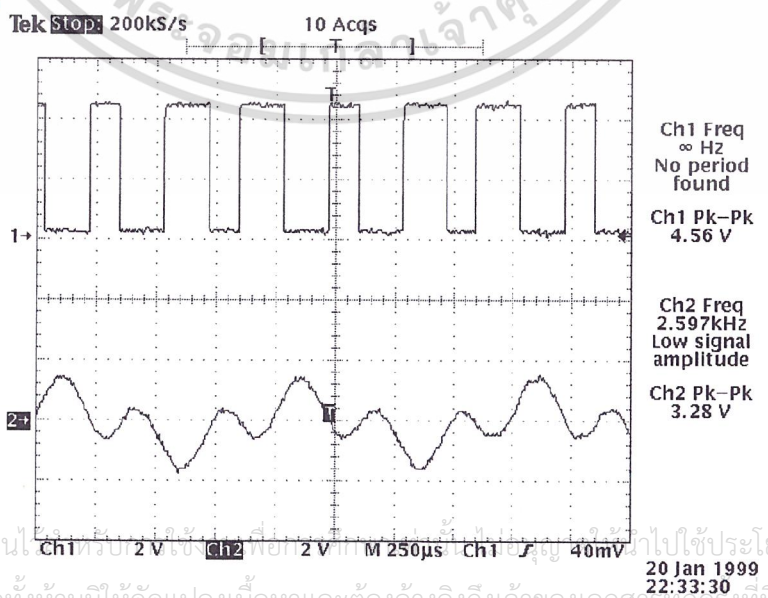
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น รวมทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้

4.2.10 ทำการทดลองตามหัวข้อ 4.1.3 แต่เปลี่ยนความถี่ของสัญญาณอนาลอกที่ป้อนเข้าวงจรของภาคส่งเป็น 3 kHz ไฟ $\pm$ 5 V_{DC} และ $\pm$ 12 V_{DC} เป็นไฟเลี้ยงของวงจรทั้งหมดทั้งภาคส่งและภาครับ จะได้รูปของระดับสัญญาณจากส่วนวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกทางด้านภาคส่งเทียบกับสัญญาณที่ส่งออกจากวงจรของภาคส่ง ดังรูปที่ 4.10



รูปที่ 4.10 สัญญาณจากวงจรแปลงดิจิตอลเป็นอนาลอกเทียบกับสัญญาณเอาต์พุตภาคส่งที่ 3 kHz

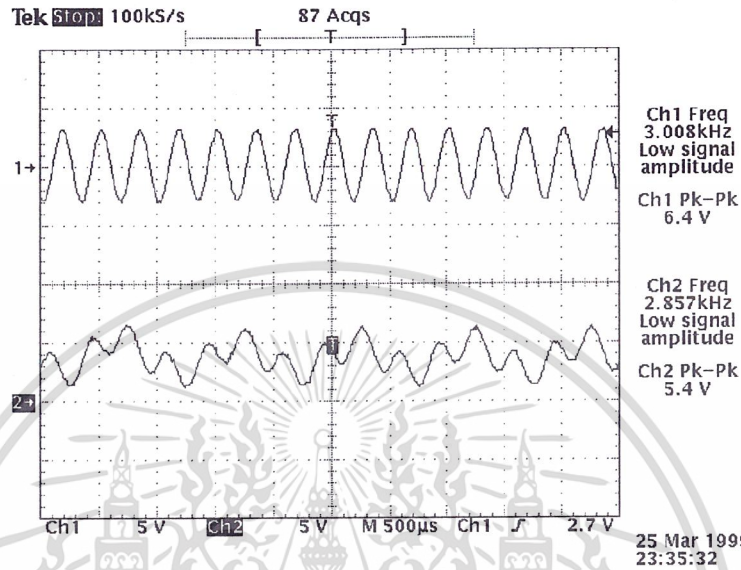
4.2.11 ทำการทดลองตามหัวข้อ 4.1.4 แต่เปลี่ยนความถี่ของสัญญาณอนาลอกที่ป้อนเข้าวงจรของภาคส่งเป็น 3 kHz ไฟ $\pm$ 5 V_{DC} และ $\pm$ 12 V_{DC} เป็นไฟเลี้ยงของวงจรทั้งหมดทั้งภาคส่งและภาครับ จะได้รูปของระดับสัญญาณที่รับมาจากวงจรของภาคส่งเทียบกับระดับสัญญาณเอาต์พุตของวงจรของภาครับ ดังรูปที่ 4.11



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

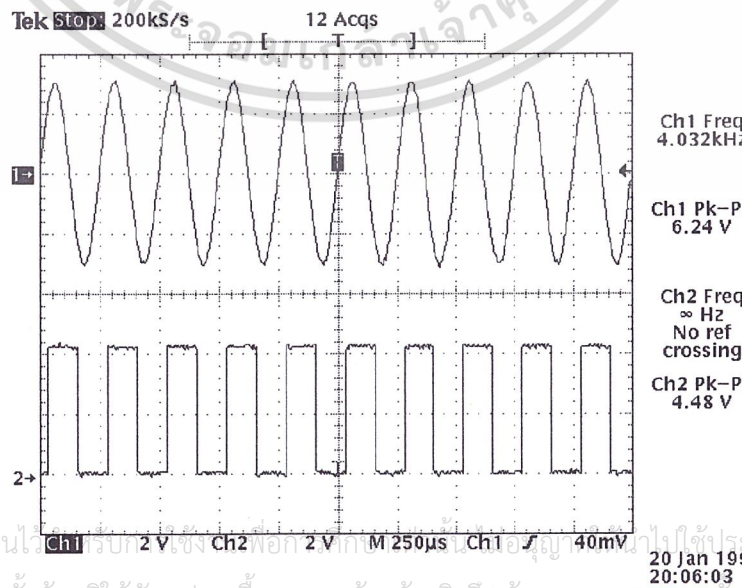
รูปที่ 4.11 สัญญาณอินพุตเทียบกับสัญญาณเอาต์พุตของภาครับที่ความถี่ 3 kHz

4.2.12 ทำการทดลองตามหัวข้อ 4.1.5 แต่เปลี่ยนความถี่ของสัญญาณอนาลอกที่ป้อนเข้าวงจรของภาคส่งเป็น 3 kHz ไฟ $\pm$ 5 V_{DC} และ $\pm$ 12 V_{DC} เป็นไฟเลี้ยงของวงจรทั้งหมดทั้งภาคส่งและภาครับ จะได้รูปของระดับสัญญาณอนาลอกอินพุตที่ป้อนให้แก่วงจรของภาคส่งเทียบกับสัญญาณอนาลอกเอาต์พุตที่ออกจากวงจรของภาครับ ดังรูปที่ 4.12



รูปที่ 4.12 สัญญาณอินพุตของภาคส่งเทียบกับสัญญาณเอาต์พุตของภาครับที่ความถี่ 3 kHz

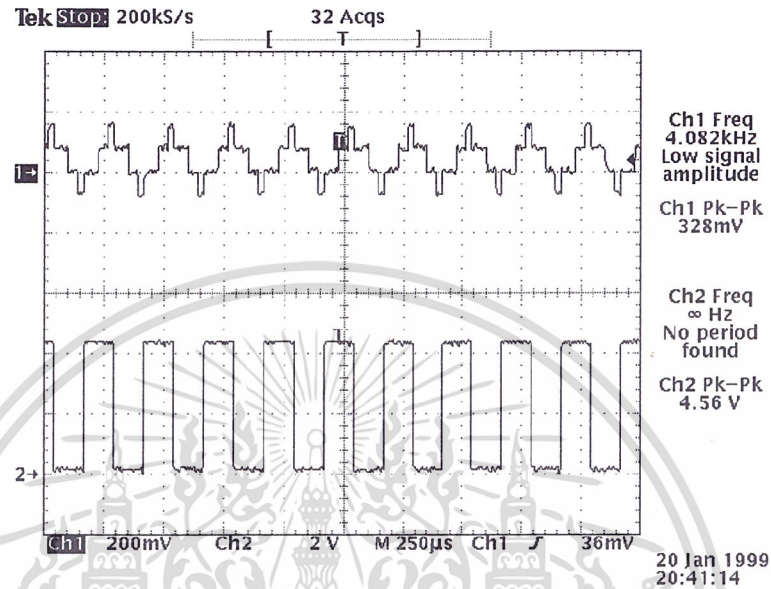
4.2.13 ทำการทดลองตามหัวข้อ 4.1.2 แต่เปลี่ยนความถี่ของสัญญาณอนาลอกที่ป้อนเข้าวงจรของภาคส่งเป็น 4 kHz ไฟ $\pm$ 5 V_{DC} และ $\pm$ 12 V_{DC} เป็นไฟเลี้ยงของวงจรทั้งหมดทั้งภาคส่งและภาครับ จะได้รูปของระดับสัญญาณอนาลอกที่ป้อนให้แก่วงจรทางภาคส่งเทียบกับสัญญาณที่ส่งออกจากทางภาคส่ง ดังรูปที่ 4.13



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

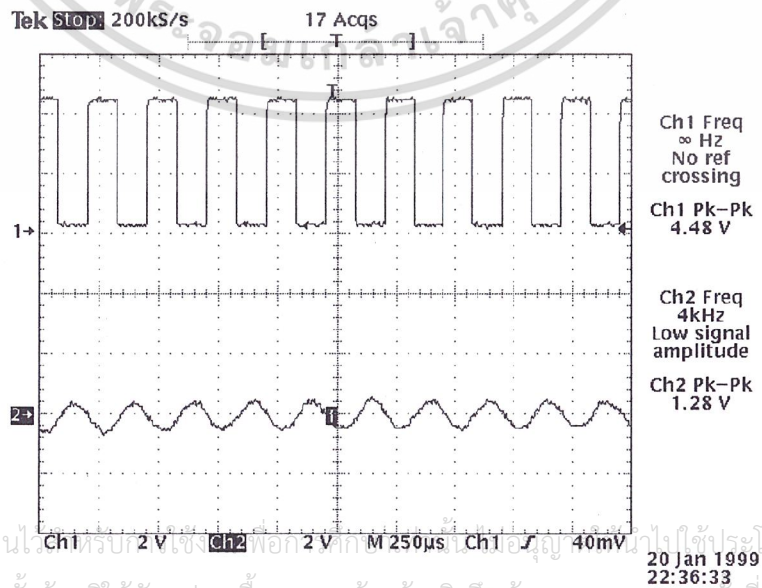
รูปที่ 4.13 สัญญาณอินพุตเทียบกับสัญญาณเอาต์พุตของภาคส่งที่ความถี่ 4 kHz

4.2.14 ทำการทดลองตามหัวข้อ 4.1.3 แต่เปลี่ยนความถี่ของสัญญาณอนาลอกที่ป้อนเข้าวงจรของภาคส่งเป็น 4 kHz ไฟ $\pm$ 5 V_{DC} และ $\pm$ 12 V_{DC} เป็นไฟเลี้ยงของวงจรทั้งหมดทั้งภาคส่งและภาครับ จะได้รูปของระดับสัญญาณจากส่วนวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกทางด้านภาคส่งเทียบกับสัญญาณที่ส่งออกจากวงจรของภาคส่ง ดังรูปที่ 4.14



รูปที่ 4.14 สัญญาณจากวงจรแปลงดิจิตอลเป็นอนาลอกเทียบกับสัญญาณเอาต์พุตภาคส่งที่ 4 kHz

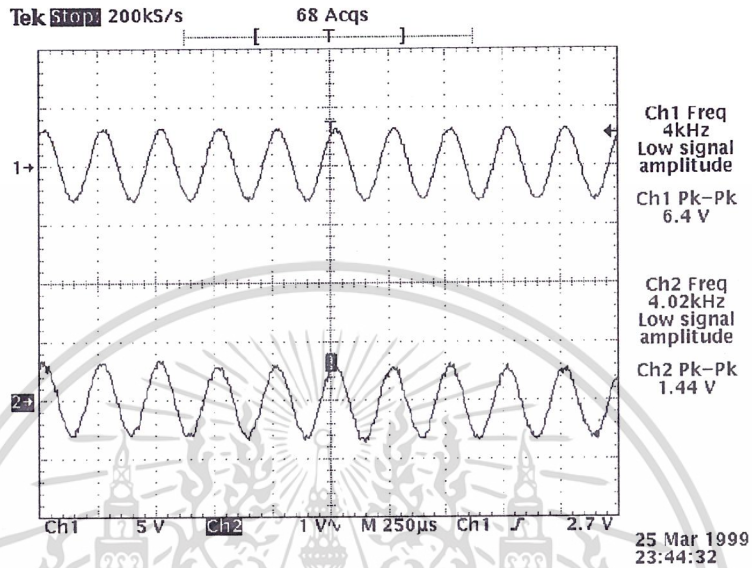
4.2.15 ทำการทดลองตามหัวข้อ 4.1.4 แต่เปลี่ยนความถี่ของสัญญาณอนาลอกที่ป้อนเข้าวงจรของภาคส่งเป็น 4 kHz ไฟ $\pm$ 5 V_{DC} และ $\pm$ 12 V_{DC} เป็นไฟเลี้ยงของวงจรทั้งหมดทั้งภาคส่งและภาครับ จะได้รูปของระดับสัญญาณอนาลอกอินพุตที่ป้อนให้แก่วงจรของภาคส่งเทียบกับสัญญาณอนาลอกเอาต์พุตที่ออกจากวงจรของภาครับ ดังรูปที่ 4.15



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.15 สัญญาณอินพุตเทียบกับสัญญาณเอาต์พุตของภาครับที่ความถี่ 4 kHz

4.2.16 ทำการทดลองตามหัวข้อ 4.1.5 แต่เปลี่ยนความถี่ของสัญญาณอนาลอกที่ป้อนเข้าวงจรของภาคส่งเป็น 4 kHz ไฟ $\pm$ 5 V_{DC} และ $\pm$ 12 V_{DC} เป็นไฟเลี้ยงของวงจรทั้งหมดทั้งภาคส่งและภาครับจะได้รูปของระดับสัญญาณอนาลอกอินพุตที่ป้อนให้แก่วงจรของภาคส่งเทียบกับสัญญาณอนาลอกเอาต์พุตที่ออกจากวงจรของภาครับ ดังรูปที่ 4.16



รูปที่ 4.16 สัญญาณอินพุตของภาคส่งเทียบกับสัญญาณเอาต์พุตของภาครับที่ความถี่ 4 kHz

4.3 การทดลองของวงจรพีซีเอ็ม

4.3.1 จ่ายไฟ $\pm$ 5 V_{DC} และ $\pm$ 12 V_{DC} ให้แก่วงจร

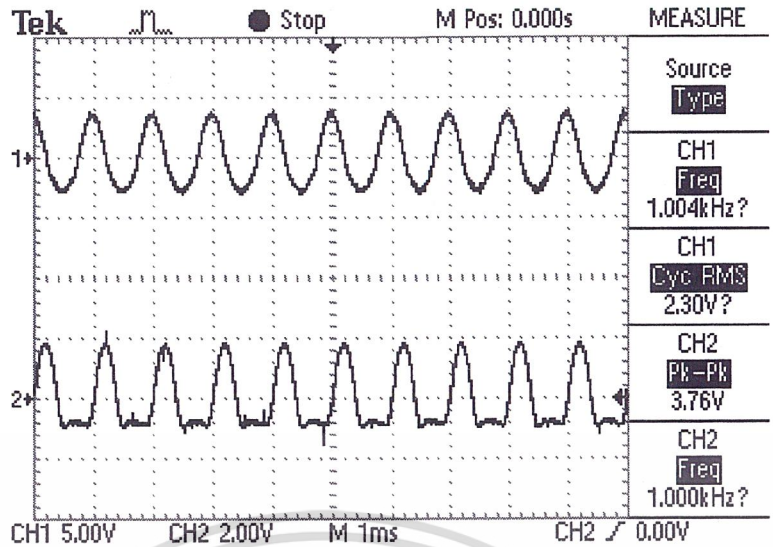
4.3.2 ป้อนสัญญาณอนาลอกความถี่ 1 kHz เข้าวงจรของภาคส่ง วัดระดับสัญญาณอนาลอกอินพุตที่ป้อนให้วงจรของภาคส่ง เทียบกับสัญญาณเอาต์พุตที่ได้ทางภาครับ บันทึกผลการทดลอง

4.3.3 ทำการทดลองตามข้อ 4.3.2 แต่เปลี่ยนความถี่เป็น 2 kHz, 3 kHz และ 4 kHz ตามลำดับ

4.4 ผลการทดลองของวงจรพีซีเอ็ม

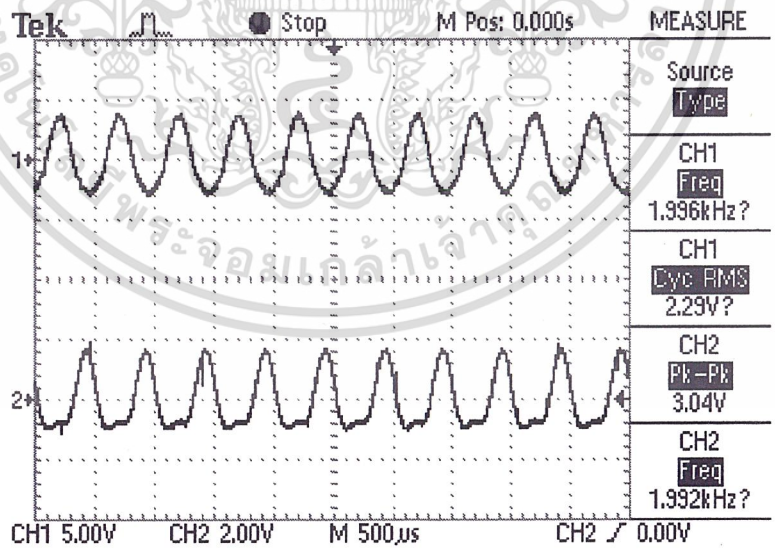
4.4.1 เมื่อทำการทดลองตามหัวข้อ 4.3.2 ไฟ $\pm$ 5 V_{DC} และ $\pm$ 12 V_{DC} เป็นไฟเลี้ยงของวงจรทั้งหมดทั้งภาคส่งและภาครับ จะได้รูปของระดับสัญญาณอนาลอกอินพุตที่ป้อนให้วงจรของภาคส่งเทียบกับสัญญาณเอาต์พุตที่ได้ทางภาครับ ดังรูปที่ 4.17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.17 สัญญาณอินพุตของภาคส่งเทียบกับสัญญาณเอาต์พุตของภาครับที่ความถี่ 1 kHz

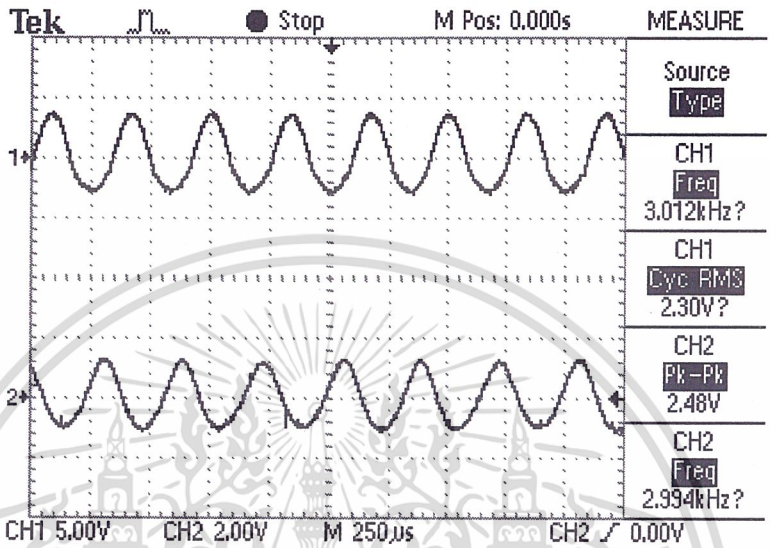
4.4.2 ทำการทดลองตามหัวข้อ 4.3.2 แต่เปลี่ยนความถี่ของสัญญาณอนาลอกที่ป้อนเข้าวงจรของภาคส่งเป็น 2 kHz ไฟ $\pm$ 5 V_{DC} และ $\pm$ 12 V_{DC} เป็นไฟเลี้ยงของวงจรทั้งหมดทั้งภาคส่งและภาครับ จะได้รูปของระดับสัญญาณอนาลอกอินพุตที่ป้อนให้วงจรของภาคส่งเทียบกับสัญญาณเอาต์พุตที่ได้ทางภาครับ ดังรูปที่ 4.18



รูปที่ 4.18 สัญญาณอินพุตของภาคส่งเทียบกับสัญญาณเอาต์พุตของภาครับที่ความถี่ 2 kHz

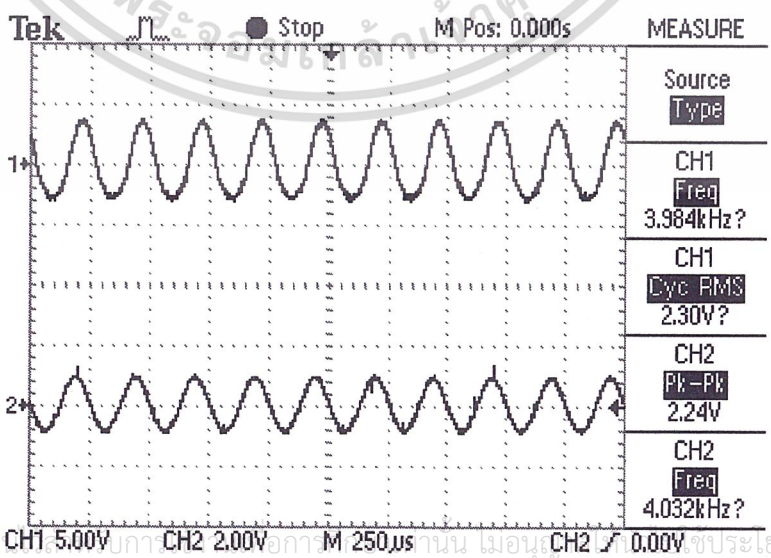
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.3 ทำการทดลองตามหัวข้อ 4.3.2 แต่เปลี่ยนความถี่ของสัญญาณอนาลอกที่ป้อนเข้าวงจรของภาคส่งเป็น 3 kHz ไฟ $\pm$ 5 V_{DC} และ $\pm$ 12 V_{DC} เป็นไฟเลี้ยงของวงจรทั้งหมดทั้งภาคส่งและภาครับ จะได้รูปของระดับสัญญาณอนาลอกอินพุตที่ป้อนให้วงจรของภาคส่งเทียบกับสัญญาณเอาต์พุตที่ได้ทางภาครับ ดังรูปที่ 4.19



รูปที่ 4.19 สัญญาณอินพุตของภาคส่งเทียบกับสัญญาณเอาต์พุตของภาครับที่ความถี่ 3 kHz

4.4.4 ทำการทดลองตามหัวข้อ 4.3.2 แต่เปลี่ยนความถี่ของสัญญาณอนาลอกที่ป้อนเข้าวงจรของภาคส่งเป็น 4 kHz ไฟ $\pm$ 5 V_{DC} และ $\pm$ 12 V_{DC} เป็นไฟเลี้ยงของวงจรทั้งหมดทั้งภาคส่งและภาครับ จะได้รูปของระดับสัญญาณอนาลอกอินพุตที่ป้อนให้วงจรของภาคส่งเทียบกับสัญญาณเอาต์พุตที่ได้ทางภาครับ ดังรูปที่ 4.20



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.20 สัญญาณอินพุตของภาคส่งเทียบกับสัญญาณเอาต์พุตของภาครับที่ความถี่ 4 kHz

บทที่ 5 สรุปผลการทดลองและวิจารณ์

5.1 สรุปผลการทดลอง

5.1.1 วงจรภาคส่งของระบบเดลต้ามอดูเลชั่น จะส่งสัญญาณอนาลอกที่มีความถี่ต่างๆ คือ 1 kHz, 2 kHz, 3 kHz และ 4 kHz เป็นสัญญาณข้อมูล ซึ่งเป็นการส่งแบบจำลองสัญญาณเสียง โดยสัญญาณข้อมูลจะถูกส่งเป็นแบบไบนารี่ไปยังวงจรทางภาครับ วงจรทางภาครับสามารถแปลงข้อมูลไบนารี่เป็นสัญญาณอนาลอกที่มีลักษณะเหมือนกับสัญญาณอนาลอกที่ป้อนให้กับวงจรภาคส่งได้

5.1.2 วงจรภาคส่งของระบบพีซีเอ็มจะเป็นการส่งแบบจำลองสัญญาณเสียงเช่นเดียวกันซึ่งสัญญาณข้อมูลจะถูกส่งด้วยการเปลี่ยนค่าของสัญญาณที่สุ่มได้เป็นกลุ่มของเลขฐานสอง แล้วส่งพัลส์ที่มีแอมปลิจูดเท่ากัน เมื่อสุ่มข้อมูลและได้สัญญาณแบบมอดูเลตทางขนาดของพัลส์(PAM) จากนั้นจะถูกส่งออกไป และวงจรทางภาครับจะทำการถอดรหัสสัญญาณที่ส่งมาจากภาคส่งออกมาแล้วนำมาดีเทค(detect)สัญญาณข้อมูลออกมาตามผลการทดลองที่ได้แสดงไว้

5.1.3 สำหรับสัญญาณเสียงที่มีความถี่สูงเกินกว่า 4 kHz เช่น เสียงสูงของนักร้องโอเปร่าซึ่งอาจมีความถี่ 20 kHz สามารถออกแบบวงจรกรองความถี่ต่ำผ่านที่ 20 kHz ได้

5.2 วิจารณ์

5.2.1 วงจรเดลต้ามอดูเลชั่นมีประสิทธิภาพด้อยกว่าวงจรพีซีเอ็ม เนื่องจากวงจรเดลต้ามอดูเลชั่นเข้ารหัสสัญญาณเพียง 1 บิตเท่านั้น แต่วงจรพีซีเอ็มจะเข้ารหัสสัญญาณเป็นแบบไบนารี่ 8 บิต จึงมีความถูกต้องของข้อมูลมากขึ้น

5.2.2 ออสซิลโลสโคปไม่สามารถจับภาพสัญญาณที่ส่งออกจากทางภาคส่งของระบบพีซีเอ็มไปยังภาครับได้ เนื่องจากสัญญาณดังกล่าวมีลักษณะเป็นสัญญาณลอจิก จึงต้องใช้อุปกรณ์ลอจิกอนาไลเซอร์ตรวจจับสัญญาณดังกล่าว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานนี้จะไม่สามารถสำเร็จลุล่วงไปได้ หากไม่ได้รับคำปรึกษาและคำแนะนำจาก รศ.ดร.กอบชัย เดชหาญ ทางผู้จัดทำจึงขอขอบพระคุณมา ณ โอกาสนี้ และขอขอบคุณ นาย สมมาตร แสงเงิน, นาย วีรจักร เจริญลี่นาวา และ นาย ประภัสสร อินทรพิมล ที่ได้ให้ความช่วยเหลือในด้านต่างๆ เป็นอย่างดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

[1] Tokheim, Roger L., "Digital Electronics," McGraw – Hill

[2] รศ.กฤษดา วิศวธีรานนท์, "เรียน เล่น ใช้ ไอซีดิจิตอล," บริษัท ซีเอ็ดยูเคชั่น จำกัด

[3] บัณฑิต โรจน์อารยานนท์, "หลักการไฟฟ้าสื่อสาร," สำนักพิมพ์จุฬาลงกรณ์มหาวิทยาลัย

[4] John L. HILBURN และ DAVID E. JONHSON, "Manual of Active filter design," McGraw – Hill

[5] ดร.ประสิทธิ์ ประพิณมงคลการ, "หลักการระบบสื่อสาร," สำนักพิมพ์ซีเอ็ด

[6] Taub Schilling, "Principle of Communication systems," McGraw – Hill, 1986

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้