เครื่องรับส่งสัญญาณแบบ 16 QAM

16 QAM TRANSCEIVER

โดย

นางสาวทิพวรรณ เลิศธนพงศ์ 38014181

นางสาววิชุดา พลพรพิสิฐ 38014458

หมายเลขหนังสือ ปพ.๓๑๕๑ ค ๒๕๔๑

040396

เลขทะเบียน.....

วัน เดือน ปี ๑๑ ตค ๔๑

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

040396

เครื่องรับส่งสัญญาณแบบ 16 QAM

16 QAM TRANSCEIVER

โดย

นางสาวทิพวรรณ เลิศธนพงศ์ 38014181

นางสาววิชุดา พลพรพิสิฐ 38014458

อาจารย์ที่ปรึกษา

อาจารย์สมเกียรติ ฤกษ์วรัญญู

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2541

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **เครื่องรับส่งสัญญาณแบบ 16 QAM**

16 QAM TRANSCEIVER

ผู้จัดทำ

1. นางสาวทิพวรรณ เลิศธนพงศ์ 38014181

2. นางสาววิชุดา พลพรพิสิฐ 38014458

อาจารย์ที่ปรึกษา

(อาจารย์สมเกียรติ ฤกษ์วรัญญู)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับส่งสัญญาณแบบ 16 QAM

16 QAM TRANSCEIVER

โดย นางสาวทิพวรรณ เลิศธนพงศ์ 38014181
นางสาววิชุดา พลพรพิสิฐ 38014458

อาจารย์ที่ปรึกษา อาจารย์สมเกียรติ ฤกษ์วรัญญู

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้นำเสนอการส่งข้อมูลดิจิตอลระหว่างจุด 2 จุด โดยใช้หลักการของการมอดูเลทแบบ 16 QAM ทำการแปลงข้อมูลดิจิตอลเป็นสัญญาณอนาล็อค โดยใช้ความถี่ของสัญญาณพาหะ 1.024 เมกกะเฮิร์ท โดยที่อินพุทข้อมูลดิจิตอลที่ภาคส่งมีอัตราเร็ว 256 บิทต่อวินาที ภาคส่งจะทำการแปลงข้อมูลดิจิตอลเป็นสัญญาณอนาล็อคจากนั้นจึงส่งสัญญาณอนาล็อคไปยังภาครับผ่านสายส่งสัญญาณ ภาครับจะทำการแปลงสัญญาณอนาล็อคกลับมาเป็นข้อมูลดิจิตอลดังเดิม

ABSTRACT

This thesis presents the point to point digital data transmission by 16 QAM (Quadrature Amplitude Modulation) method. By used the 1.024 MHz carrier frequency 1.024 MHz to modulate digital data to be the analog signal. At the transmitter , 256 kbps digital data input is converted to the analog signal. Then , the transmitter will send this analog signal through the receiver by transmission line. Finally , the receiver will demodulate the analog signal to be the same digital data from the transmitter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีหรือหลักการ	2
2.1ส่วนแปลงสัญญาณอนาล็อคให้เป็นข้อมูลดิจิตอล	2
2.2 ภาคส่งสัญญาณ 16 QAM	3
2.3 ภาครับสัญญาณ 16 QAM	6
บทที่ 3 การคำนวณและการสร้าง	9
3.1วงจรแปลงสัญญาณอนาล็อคให้เป็นข้อมูลดิจิตอล	9
3.2วงจรภาคส่งสัญญาณ 16 QAM	9
3.3วงจรภาครับสัญญาณ 16 QAM	25
บทที่ 4 การทดลองและผลการทดลอง	36
4.1ส่วนแปลงสัญญาณอนาล็อคให้เป็นข้อมูลดิจิตอล	36
4.2ส่วนภาคส่ง	37
4.3ส่วนภาครับ	45
บทที่ 5 บทวิจารณ์และบทสรุป	53
ภาคผนวก	
กิตติกรรมประกาศ	
หนังสืออ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

รูปที่ 2.1 บล็อคไดอะแกรมของวงจรรับส่งสัญญาณแบบ 16 QAM 2
รูปที่ 2.2 บล็อคไดอะแกรมส่วนแปลงสัญญาณอนาล็อคให้เป็นข้อมูลดิจิตอล 3
รูปที่ 2.3 ภาพเฟสและแอมปลิจูดของสัญญาณพาหะ 4
รูปที่ 2.4 ภาพเฟสไดอะแกรมของสัญญาณ 16 QAM 5
รูปที่ 2.5 บล็อคไดอะแกรมของภาคส่งสัญญาณ 16 QAM 5
รูปที่ 2.6 ภาพเฟสไดอะแกรมของรหัสข้อมูลดิจิตอล 6
รูปที่ 2.7 บล็อคไดอะแกรมของภาครับสัญญาณ 16 QAM 7
รูปที่ 2.8 บล็อคไดอะแกรมการทำงานของวงจรเฟสคอมพาเรเตอร์ 8
รูปที่ 3.1 วงจรแปลงสัญญาณอนาล็อคให้เป็นข้อมูลดิจิตอล 10
รูปที่ 3.2 บล็อคไดอะแกรมรวมภาคส่งสัญญาณ 16 QAM 11
รูปที่ 3.3 วงจรแยกสัญญาณดิจิตอล 13
รูปที่ 3.4 ตัวอย่างการแยกข้อมูลดิจิตอลของวงจรแยกสัญญาณ 14
รูปที่ 3.5 วงจรแปลง 2 บิทไปเป็น 4 ระดับ 15
รูปที่ 3.6 วงจรสร้างสัญญาณพาหะ 1.024 เมกกะเฮิร์ท 16
รูปที่ 3.7 วงจรสร้างสัญญาณไพล็อท 512 กิโลเฮิร์ท 17
รูปที่ 3.8 วงจรสร้างสัญญาณนาฬิกา 256 กิโลเฮิร์ท 18
รูปที่ 3.9 ภาพวงจรพาสซีฟฟิลเตอร์ 18
รูปที่ 3.10 วงจรกรองช่วงความถี่สัญญาณพาหะความถี่ 1.024 เมกกะเฮิร์ท 20
รูปที่ 3.11 วงจรกรองช่วงความถี่สัญญาณไพล็อทความถี่ 512 กิโลเฮิร์ท 21
รูปที่ 3.12 วงจรเลื่อนเฟส 90 องศา 22
รูปที่ 3.13 วงจรบาลานซ์มอดูเลเตอร์ 23
รูปที่ 3.14 วงจรรวมสัญญาณ 22
รูปที่ 3.15 บล็อคไดอะแกรมรวมภาครับสัญญาณ 16 QAM 24
รูปที่ 3.16 วงจรกรองช่วงความถี่สัญญาณพาหะความถี่ 1.024 เมกกะเฮิร์ท 25
รูปที่ 3.17 วงจรกรองช่วงความถี่สัญญาณไพล็อท 512 กิโลเฮิร์ท 25
รูปที่ 3.18 วงจรดีมอดูเลทสัญญาณ 26
รูปที่ 3.19 วงจรกู้สัญญาณนาฬิกา 256 กิโลเฮิร์ท 28
รูปที่ 3.20 วงจรกู้สัญญาณพาหะ 1.024 เมกกะเฮิร์ท 29
รูปที่ 3.21 วงจรกรองช่วงความถี่ต่ำผ่าน 27
รูปที่ 3.22 วงจรกรองช่วงความถี่ต่ำผ่าน 256 กิโลเฮิร์ท 30
รูปที่ 3.23 วงจรขยายสัญญาณ 4 ระดับ 31
รูปที่ 3.24 วงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิท 32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 3.25 การทำงานของวงจรรวมสัญญาณดิจิตอล 34
รูปที่ 3.26 วงจรรวมสัญญาณดิจิตอล 35
รูปที่ 4.1 ผลการทดลองจากวงจรแปลงสัญญาณอนาล็อคให้เป็นข้อมูลดิจิตอล เมื่อทำการป้อนอินพุท 2.2 โวลท์ 36
รูปที่ 4.2 ผลการทดลองจากส่วนแปลงสัญญาณรูปแบบขนาน 8 บิท ให้เป็นสัญญาณรูปแบบอนุกรม 37
รูปที่ 4.3 ผลการทดลองวงจรแยกสัญญาณดิจิตอล เมื่อทำการป้อนอินพุท 1.6 โวลท์ 37
รูปที่ 4.6 กราฟประกอบการบรรยายผลการทดลองรูปที่ 4.3 – 4.10 38
รูปที่ 4.5 ผลการทดลองจากวงจรแยกสัญญาณดิจิตอล เมื่อทำการป้อนอินพุท 1.6 โวลท์ 39
รูปที่ 4.6 ผลการทดลองการแปลงรหัสไบนารี่ไปเป็นรหัสเกรย์ โดยการใช้เอ็กซ์คลูซีฟออร์เกท 39
รูปที่ 4.7 ผลการทดลองการแปลงรหัสไบนารี่ไปเป็นรหัสเกรย์ โดยการใช้เอ็กซ์คลูซีฟออร์เกท 40
รูปที่ 4.8 ผลการทดลองจากวงจรแปลง 2 บิทไปเป็น 4 ระดับ เมื่อทำการป้อนอินพุทแบบสุ่ม 40
รูปที่ 4.9 ผลการทดลองจากวงจรแปลง 2 บิทไปเป็น 4 ระดับ เมื่อทำการป้อนอินพุท 1.6 โวลท์ 41
รูปที่ 4.10 ผลการทดลองจากวงจรแปลง 2 บิทไปเป็น 4 ระดับ เมื่อทำการป้อนอินพุท 1.6 โวลท์ 41
รูปที่ 4.11 ผลการทดลองจากวงจรแปลง 2 บิทไปเป็น 4 ระดับ เมื่อทำการ1.6 โวลท์ 42
รูปที่ 4.12 ผลการทดลองจากวงจรบาลานซ์มอดูเลเตอร์ เมื่อทำการป้อนอินพุท 1.6 โวลท์ที่วงจรแปลงสัญญาณอนาล็อคให้เป็นข้อมูลดิจิตอล 42
รูปที่ 4.13 ผลการทดลองจากวงจรสร้างสัญญาณพาหะ วงจรสร้างสัญญาณไพล็อท และวงจรสร้างสัญญาณนาฬิกา 43
รูปที่ 4.14 ผลการทดลองจากวงจรกรองช่วงความถี่ผ่าน 1.024 เมกกะเฮิร์ททางภาคส่ง 43
รูปที่ 4.15 ผลการทดลองจากวงจรกรองช่วงความถี่ผ่าน 512 กิโลเฮิร์ทางภาคส่ง 44
รูปที่ 4.16 ผลการทดลองจากวงจรเลื่อนเฟส 90 องศาของสัญญาณพาหะทางภาคส่ง 44
รูปที่ 4.17 ผลการทดลองจากวงจรกรองช่วงความถี่ผ่าน 512 กิโลเฮิร์ททางภาครับ 45
รูปที่ 4.18 ผลการทดลองวงจรกรองความถี่ผ่าน 1.024 เมกกะเฮิร์ททางภาครับ 45
รูปที่ 4.19 ผลการทดลองจากวงจรกู้สัญญาณนาฬิกาความถี่ 256 กิโลเฮิร์ททางภาครับ 46
รูปที่ 4.20 ผลการทดลองวงจรกู้สัญญาณพาหะความถี่ 1.024 เมกกะเฮิร์ททางภาครับ 46
รูปที่ 4.21 ผลการทดลองจากวงจรกู้สัญญาณพาหะความถี่ 1.024 เมกกะเฮิร์ท เมื่อผ่านวงจรกรองช่วงความถี่ 47

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 4.22 ผลการทดลองจากวงจรกรองช่วงความถี่สัญญาณพาหะ 1.024 เมกกะเฮิร์ททางภาครับ 47
รูปที่ 4.23 ผลการทดลองจากวงจรเลื่อนเฟส 90 องศาของสัญญาณพาหะทางภาครับ 48
รูปที่ 4.24 ผลการทดลองวงจรขยายสัญญาณ 4 ระดับทางภาครับ 48
รูปที่ 4.25 ผลการทดลองของเครื่องรับส่งสัญญาณแบบ 16 QAM 49
รูปที่ 4.26 กราฟของวงจรกรองช่วงสัญญาณความถี่ผ่าน 1.024 เมกกะเฮิร์ท 50
รูปที่ 4.27 กราฟของวงจรกรองช่วงสัญญาณความถี่ผ่าน 512 กิโลเฮิร์ท 51
รูปที่ 4.28 กราฟของวงจรกรองสัญญาณความถี่ต่ำผ่าน 256 กิโลเฮิร์ท 52

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 3.1 ตารางแสดงค่าเฟสและแอมปลิจูดของสัญญาณพาหะ 9
ตารางที่ 3.2 การแปลงรหัสจากไบนารี่ไปเป็นรหัสเกรย์ 12
ตารางที่ 3.3 การทำงานของดีฟลิปฟลอป 12
ตารางที่ 3.4 การแปลง 2 บิทไปเป็น 4 ระดับ 16
ตารางที่ 3.5 Besssel Capacitive Coupled Resonators 19
ตารางที่ 3.6 การขยายสัญญาณของวงจรขยายสัญญาณ 4 ระดับ 31
ตารางที่ 3.7 การทำงานของวงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิท 32
ตารางที่ 3.8 การทำงานของเจเคฟลิปฟลอป 33

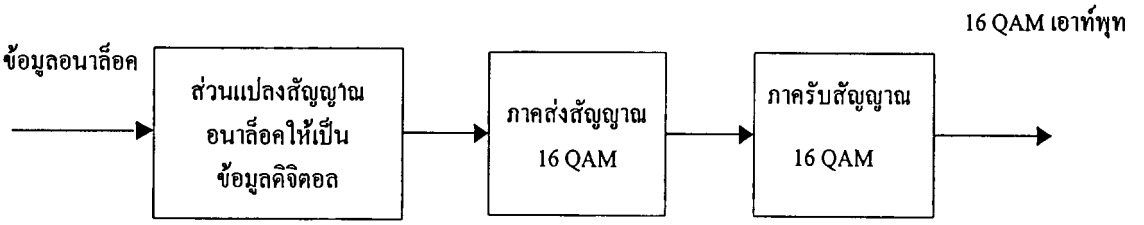
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

โครงงานชิ้นนี้กล่าวถึงการรับส่งสัญญาณแบบ 16 QAM โดยทำชุดจำลองการส่งสัญญาณขึ้น โครงงานนี้จะรับข้อมูลเป็นสัญญาณอนาล็อค (analog) สัญญาณอนาล็อคจะป้อนเข้าสู่วงจรแปลงสัญญาณอนาล็อคให้เป็นข้อมูลดิจิตอล (analog to digital converter) วงจรแปลงสัญญาณอนาล็อคให้เป็นข้อมูลดิจิตอลจะทำการแปลงสัญญาณอนาล็อคเป็นข้อมูลดิจิตอลความถี่ 256 กิโลบิทต่อวินาที (kbps) และทำหน้าที่พักข้อมูลไว้ในแรมที่มีความจุ 2 กิโลไบท์ จากนั้นจะส่งข้อมูลดิจิตอลที่ได้ไปยังภาคส่งสัญญาณ ภาคส่งสัญญาณจะทำการเปลี่ยนข้อมูลดิจิตอลทีละ 4 บิทตามลำดับเป็นสัญญาณอนาล็อคที่ความถี่ของสัญญาณพาหะ (carrier) โครงงานนี้กำหนดความถี่ของสัญญาณพาหะไว้ที่ 1.024 เมกกะเฮิร์ท (MHz)สัญญาณอนาล็อคที่ผ่านการมอดูเลท (modulate) นั้นจะถูกส่งไปยังภาครับ ภาครับเมื่อได้รับข้อมูลก็จะทำการเปลี่ยนสัญญาณอนาล็อคความถี่พาหะนั้นกลับคืนมาเป็นข้อมูลดิจิตอล 4 บิทแล้วทำการแปลงข้อมูลดิจิตอล 4 บิทตามเป็นข้อมูลอนุกรมตามลำดับที่ความเร็ว 256 กิโลบิทต่อวินาทีกลับมา ภาครับจะได้รับข้อมูลดิจิตอลเช่นเดียวกับที่ภาคส่งทำการส่งมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีหรือหลักการ



รูปที่ 2.1 บล็อคไดอะแกรมของวงจรรับส่งสัญญาณแบบ 16 QAM

วงจรรับส่งสัญญาณแบบ 16 QAM (QAM : Quadrature Amplitude Modulation) แบ่งการทำงานออกเป็น 3 ส่วน คือ ส่วนแปลงสัญญาณอนาล็อคให้เป็นข้อมูลดิจิตอล , ภาคส่งสัญญาณ 16 QAM และภาครับสัญญาณ 16 QAM หลักการทำงานมีดังนี้ ข้อมูลดิจิตอลที่ต้องการทำการส่งจะถูกป้อนเข้าสู่ส่วนแปลงสัญญาณอนาล็อคให้เป็นข้อมูลดิจิตอล ซึ่งจะทำหน้าที่แปลงสัญญาณอนาล็อคเป็นข้อมูลดิจิตอล และยังทำหน้าที่พักข้อมูลแล้วจึงทำการส่งข้อมูลดิจิตอลออกจากส่วนนี้ด้วยอัตราเร็ว 256 กิโลบิทต่อวินาที (kbps) ไปยังภาคส่งสัญญาณ 16 QAM ภาคส่งสัญญาณจะทำการแปลงข้อมูลดิจิตอลทีละ 4 บิท (bit) ตามลำดับเป็นสัญญาณอนาล็อค แล้วจึงทำการส่งสัญญาณอนาล็อคที่ได้จากการมอดูเลท (modulate) ที่ความถี่ของสัญญาณพาหะไปยังภาครับสัญญาณ 16 QAM ภาครับสัญญาณ 16 QAM จะทำการแปลงสัญญาณอนาล็อคที่ได้รับจากภาคส่งกลับมาเป็นข้อมูลดิจิตอลอัตราเร็ว 256 กิโลบิทต่อวินาทีดังเดิม

2.1 ส่วนแปลงสัญญาณอนาล็อคให้เป็นข้อมูลดิจิตอล

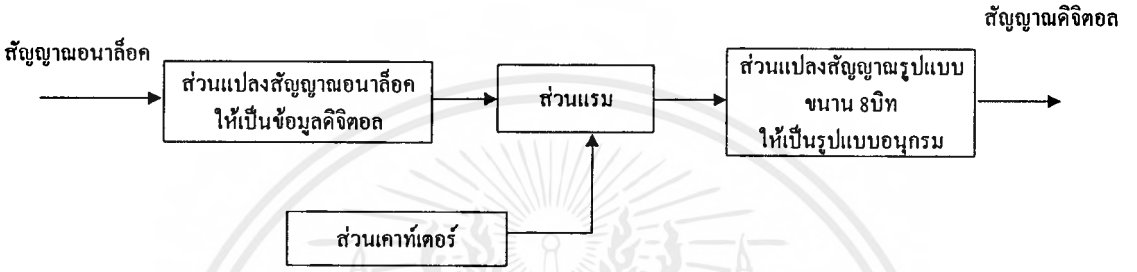
ส่วนแปลงสัญญาณอนาล็อคให้เป็นข้อมูลดิจิตอลในโครงงานนี้ทำหน้าที่แปลงสัญญาณอนาล็อคให้เป็นข้อมูลดิจิตอล และมีการเก็บข้อมูลไว้ในแรม (RAM) ก่อนที่จะส่งไปยังภาคส่ง โดยมีการทำงานแบ่งเป็นส่วนๆคือ

- ส่วนแปลงสัญญาณอนาล็อคให้เป็นข้อมูลดิจิตอล จะทำการแปลงสัญญาณอนาล็อคที่เข้ามาให้กลายเป็นข้อมูลดิจิตอล 8 บิท โดยในโครงงานนี้ใช้สัญญาณนาฬิกาความถี่ 64 กิโลเฮิร์ทเป็นตัวควบคุม
- ส่วนเคาท์เตอร์ เป็นส่วนชี้แอดเดรสของข้อมูลในแรม โดยในโครงงานนี้จะใช้สัญญาณนาฬิกาเพื่อควบคุมส่วนเคาท์เตอร์ 2 ความถี่ คือ สัญญาณนาฬิกาความถี่ 64 กิโลเฮิร์ท เป็นสัญญาณที่ใช้ในการควบคุมเคาท์เตอร์ให้ชี้แอดเดรสในการเก็บข้อมูลดิจิตอลเข้าไปในแรม อีกส่วน คือ สัญญาณนาฬิกาความถี่ 32 กิโลเฮิร์ท เป็นสัญญาณนาฬิกาที่ใช้ในการควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เคาท์เตอร์ให้ชี้แอดเดรสในการอ่านข้อมูลดิจิตอลออกมาจากแรม โดยสัญญาณนาฬิกาทั้ง 2 ส่วนได้มาจากการนำสัญญาณนาฬิกาความถี่ 256 กิโลเฮิร์ท มาผ่านวงจรหาร 4 และวงจรหาร 8 ตามลำดับ

- ส่วนแรม เป็นหน่วยความจำที่ใช้ในการเก็บข้อมูลดิจิตอลไว้ชั่วคราว โดยในโครงงานนี้จะใช้แรมที่มีความจุขนาด 2 กิโลไบท์
- ส่วนแปลงสัญญาณรูปแบบขนาน 8 บิทให้เป็นรูปแบบอนุกรม เป็นส่วนที่ใช้แปลงข้อมูลดิจิตอลแบบขนาน 8 บิทที่มาจากส่วนแรมให้กลายเป็นข้อมูลดิจิตอลแบบขนาน



รูปที่ 2.2 บล็อคไดอะแกรมส่วนแปลงสัญญาณอนาล็อคให้เป็นข้อมูลดิจิตอล

2.2 ภาคส่งสัญญาณ 16 QAM

การได้มาซึ่งการส่งข้อมูลด้วยอัตราเร็วสูง การใช้แบนด์วิธอย่างมีประสิทธิภาพ อัตราการผิดพลาดต่ำและความง่ายในการดีมอดูเลทสัญญาณคือการรวมกันระหว่าง AM (Amplitude Modulation) และ PM (Phase Modulation) การส่งสัญญาณแบบ QAM นั้นสัญญาณพาหะจะถูกมอดูเลทในรูปของแอมปลิจูดและเฟสโดยสัญญาณพาหะจะอยู่ในรูป $s(t) = A\cos(\omega_c t + \theta)$ เนื่องจากการมอดูเลทสัญญาณแบบ AM นั้นจะมีปัญหาเรื่องสัญญาณรบกวนสูง QAM จึงนำมาใช้ในระบบไมโครเวฟแทน

QAM นั้นเป็นการส่งสัญญาณของข้อมูลดิจิตอล สัญญาณ QAM จะถูกสร้างจากสัญญาณพาหะ 2 ตัวที่อินเฟส (Inphase) และเลื่อนเฟส 90 องศา โดยที่เป็นสัญญาณพาหะตัวเดียวกัน QAM นั้นอยู่ในรูปของสัญญาณ Inphase และ Quadrature Phase ซึ่งมีการเลื่อนเฟส 90 องศาจากสัญญาณพาหะทางด้าน Inphase สมการที่อธิบายสัญญาณของ QAM ที่มีความถี่สัญญาณพาหะ ω_c คือ

$$A\cos(\omega_c t + \theta) = i(t)\cos\omega_c t + q(t)\sin\omega_c t$$

โดยที่ $i(t)$ เป็นแอมปลิจูดของสัญญาณพาหะทางด้าน Inphase ที่ได้จากการเข้ารหัสของข้อมูลดิจิตอล และ $q(t)$ เป็นแอมปลิจูดของสัญญาณพาหะทางด้าน Quadrature Phase ที่ได้จากการเข้ารหัสของข้อมูลดิจิตอลเช่นเดียวกัน

แสดงให้เห็นว่าการรวมกันของสัญญาณพาหะไซน์และโคไซน์เป็นการรวมกันของสัญญาณพาหะที่มีความถี่คงที่แต่แอมปลิจูดและเฟสของ I-Q นั้นจะเปลี่ยนแปลงไปต่าง ๆ กัน

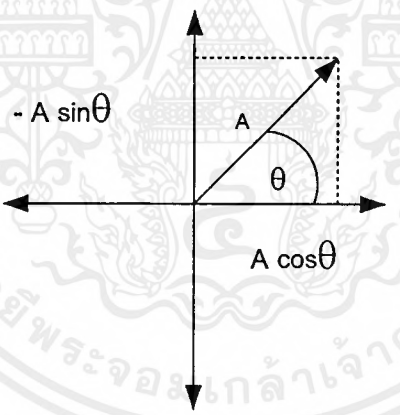
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ I - Q สามารถดีมอดูเลทแยกกันได้ การมอดูเลทแบบนี้อาจกล่าวได้ว่าเป็นการมอดูเลททางด้านเวกเตอร์เพราะว่าขนาดสัญญาณและเฟสของสัญญาณแต่ละช่วงเวลานั้นเกิดจากการรวมกันของสัญญาณทางด้าน I และ Q (เหมือนเป็นการแยกเวกเตอร์เป็น 2 แกน I และ Q แล้วจึงนำมารวมกัน)

การมอดูเลทสัญญาณ QAM นั้นสัญญาณพาหะจะถูกมอดูเลทกับระดับของสัญญาณดิจิตอลหลายระดับ สำหรับ n ระดับที่แตกต่างกันทำให้เกิดสัญญาณ QAM ได้ทั้งหมด $n \times n = n^2$ เช่น สำหรับ 2 แอมปลิจูดและ 2 เฟส ทำให้เกิดสัญญาณได้ทั้งหมด $2 \times 2 = 4$ จุดของสัญญาณดิจิตอล แต่ละจุดแทนรหัสดิจิตอล 2 บิท คือ 00 , 01 , 10 , 11 สำหรับการมอดูเลทแบบ 4 x 4 จะมีจุดสัญญาณดิจิตอลเกิดขึ้นทั้งหมด 16 จุด โดยที่แต่ละจุดแทนข้อมูลดิจิตอล 4 บิท เมื่อ $2^4 = 16$

วงจรมอดูเลทสัญญาณแบบ 16 QAM จะทำการแปลงข้อมูลดิจิตอลให้อยู่ในรูปของพลังงานที่เหมาะสมในการส่งผ่านข้อมูลจากจุดหนึ่งไปอีกจุดหนึ่งโดยแปลงทีละ 4 บิทเป็นสัญญาณอนาล็อค ($2^4 = 16$, เลข 4 คือจำนวนข้อมูลดิจิตอลทำการแปลงแต่ละครั้ง แสดงให้เห็นว่ารูปแบบของสัญญาณอนาล็อคจะถูกกำหนดให้แตกต่างกัน 16 รูปแบบ) ทำให้อัตราเร็วในการส่งสัญญาณสูงกว่าอัตราเร็วของข้อมูลถึง 4 เท่า ข้อมูลดิจิตอลจะถูกเปลี่ยนให้อยู่ในรูปของเฟส (phase) และ แอมปลิจูด (amplitude) ของสัญญาณอนาล็อค สัญญาณอนาล็อคในที่นี้ก็คือสัญญาณพาหะนั่นเอง

การกำหนดเฟสและแอมปลิจูดของสัญญาณพาหะในการมอดูเลท



รูปที่ 2.3 ภาพเฟสและแอมปลิจูดของสัญญาณพาหะ

กำหนดให้สัญญาณพาหะมีค่าเท่ากับ $\cos \omega_c t$

สัญญาณพาหะที่ผ่านการมอดูเลทมีค่าเป็น $A\cos (\omega_c t + \theta)$

$$A\cos (\omega_c t + \theta) = A\cos\theta \cos \omega_c t - A\sin\theta \sin \omega_c t$$

กำหนดให้ $a_n = A\cos \theta$

$b_n = -A\sin \theta$

$$A\cos (\omega_c t + \theta) = a_n\cos \omega_c t + b_n\sin \omega_c t \qquad (2.2.1)$$

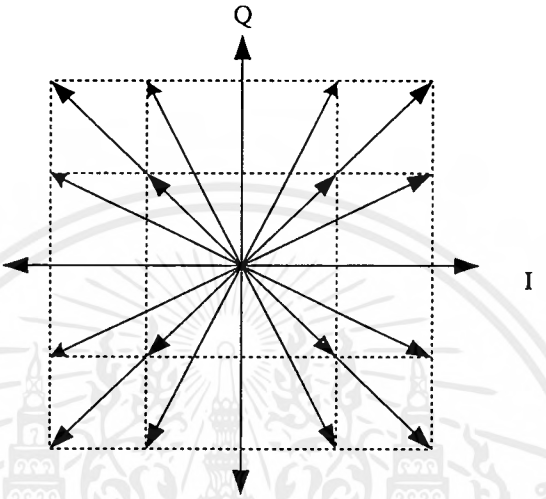
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แอมปลิจูดของสัญญาณ (A) = $\sqrt{a_n^2 + b_n^2}$

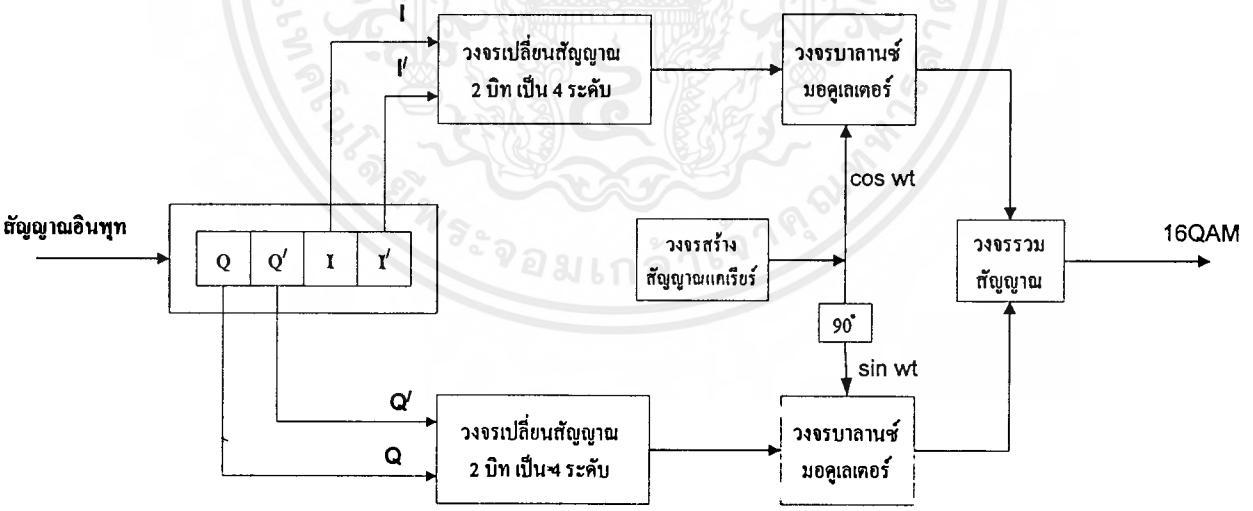
= $\sqrt{A(\cos^2\theta + \sin^2\theta)}$ (2.2.2)

เฟสของสัญญาณพาหะ (θ) = $\tan^{-1}$ ($-b_n / a_n$) (2.2.3)

พิจารณาสมการที่ (2.2.1) สัญญาณ 16 QAM เกิดจากการรวมกันของสัญญาณพาหะโคไซน์ (cosine)และ สัญญาณพาหะไซน์ (sine) ที่ผ่านการมอดูเลทกับแอมปลิจูดขนาด a_n และ b_n ตามลำดับ



รูปที่ 2.4 ภาพเฟสไดอะแกรมของสัญญาณ 16 QAM

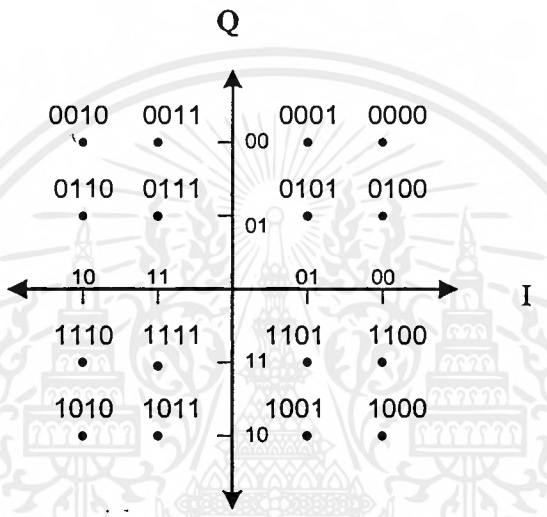


รูปที่ 2.5 บล็อคไดอะแกรมของภาคส่งสัญญาณ 16 QAM

พิจารณาหลักการทำงาน สัญญาณดิจิตอลที่ส่งมาจากคอมพิวเตอร์จะถูกป้อนเข้าส่วนอินพุทของวงจรภาคส่งสัญญาณ ข้อมูลจะถูกแบ่งส่งเข้าช่องต่างๆ 4 ช่อง คือ I, I', Q และ Q' ทำให้ความเร็วข้อมูลในแต่ละช่องมีค่าลดลง ¼ เท่าของข้อมูลอินพุท จากนั้นข้อมูลของแกน I (Inphase) และแกน Q (Quadrature

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Phase) จะถูกแปลงให้อยู่ในรูปของแอมปลิจูดโดยการทำงานของวงจรแปลง 2 บิท ไปเป็น 4 ระดับ เอาท์พุทจากวงจรแปลง 2 บิท ไปเป็น 4 ระดับของแกน I และแกน Q จะถูกส่งเข้าวงจรมอดูเลทสัญญาณ ส่วนของวงจรมอดูเลทสัญญาณใช้วงจรบาลานซ์มอดูเลเตอร์ (balance modulator) เอาท์พุทของวงจรมอดูเลทอยู่ในรูปแบบของสัญญาณดับเบิลไซด์แบนด์โดยกำจัดสัญญาณพาหะออกไป (double sideband suppressed carrier) ข้อมูลของแกน I จะมอดูเลทกับสัญญาณพาหะในรูปของไซน์ ส่วนข้อมูลของแกน Q จะมอดูเลทกับสัญญาณพาหะในรูปของโคไซน์ เอาท์พุทจากวงจรมอดูเลทสัญญาณของแกน I และแกน Q จะถูกส่งเข้าวงจรรวมสัญญาณ เอาท์พุทจากวงจรรวมสัญญาณจะถูกส่งออกไปยังภาครับ



รูปที่ 2.6 ภาพเฟสไดอะแกรมของรหัสข้อมูลดิจิตอล

2.3 ภาครับสัญญาณ 16 QAM

QAM เป็นระบบที่สามารถส่งข้อมูลดิจิตอลได้ดี เวกเตอร์มอดูเลชั่นใช้ช่องสัญญาณ 2 ช่องที่แยกจากกันคือ I และ Q ช่องสัญญาณที่แยกจากกันนั้นง่ายต่อการดีมอดูเลท การดีมอดูเลทนั้นจะดีมอดูเลทแยกกันระหว่างสัญญาณด้านแกน I และ Q สัญญาณทางด้าน Inphase จะดีมอดูเลทได้สัญญาณทางด้านแกน I กลับมาก็คือ i(t) สัญญาณที่มีการเลื่อนเฟส 90 องศาก็เช่นเดียวกันจะดีมอดูเลทได้สัญญาณทางด้านแกน Q กลับมาก็คือ q(t) นั่นเอง

สัญญาณ i(t) และ q(t) จะถูกดีโค้ด (decode) เพื่อให้ได้ข้อมูลดิจิตอลที่เป็นบิทกลับมาโดยทำการเปรียบเทียบและทำการแปลงกลับโดยกระทำทั้งทางด้านแกน I และแกน Q ทางภาครับก็จะได้ข้อมูลดิจิตอลกลับคืนมาเมื่อภาคส่งมอดูเลทสัญญาณทางด้าน I - Q มาเป็นขนาด n x n ภาครับก็จะได้สัญญาณเช่นเดียวกับที่ภาคส่งส่งมาทุกประการ

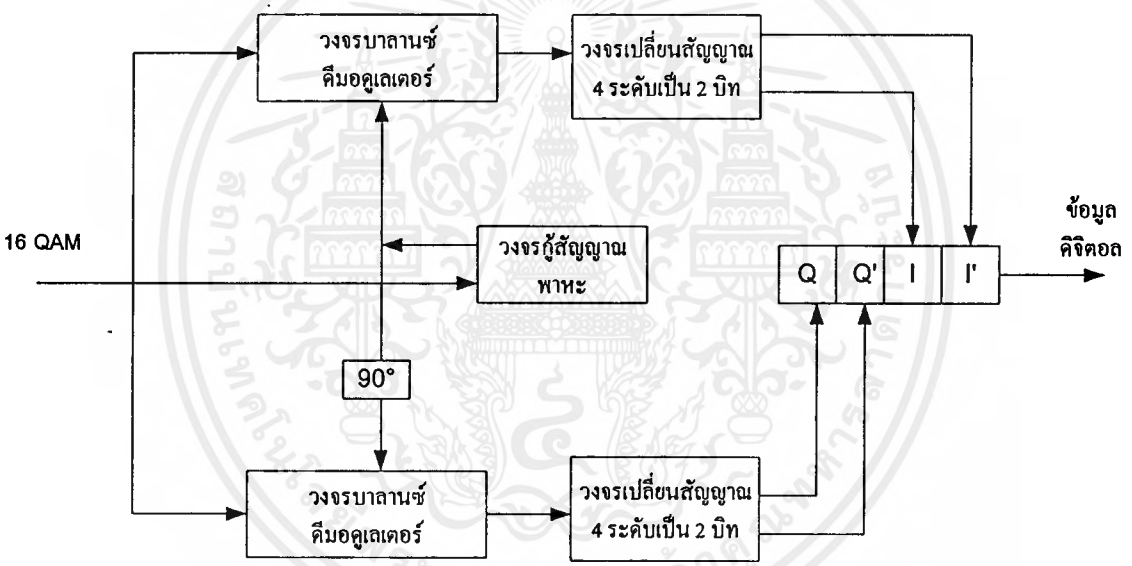
ระบบ QAM ขนาด 2 x 2 , 4 x 4 และ 8 x 8 QAM ซึ่งมีค่าเท่ากับ4, 16, 64 สัญญาณที่แตกต่างกันเป็นการส่งสัญญาณ์ดิจิตอล 2 , 4 และ 6 บิทต่อ 1 จุดข้อมูล (เนื่องจาก $2^2 = 4$, $2^4 = 16$ และ $2^6 = 64$) การส่งสัญญาณแบบ 8 x 8 QAM นั้นให้ค่าบิทเรทมีค่าเป็น 6 เท่าของบอดเรท ซึ่งได้ประสิทธิภาพของแบน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิดธ์สูง แต่ระยะห่างระหว่างข้อมูลทางเฟสและแอมปลิจูดจะมีค่าน้อยทำให้เกิดความผิดพลาดสูงซึ่งก็ขึ้นกับสัญญาณรบกวนด้วย

ภาครับสัญญาณ 16 QAM จะรับสัญญาณที่ส่งมาจากภาคส่งแล้วทำการแปลงกลับเฟสและแอมปลิจูดของสัญญาณพาหะให้เป็นข้อมูลดิจิตอล

จากรูปที่ 2.7 สัญญาณ 16 QAM ที่ได้รับมาจะถูกส่งไปดีมอดูเลทที่วงจรบาลานซ์ดีมอดูเลเตอร์ (balance demodulator) การดีมอดูเลททำโดยการคูณสัญญาณดังกล่าวกับสัญญาณพาหะไซน์และโคไซน์ ซึ่งได้จากการกู้สัญญาณจากสัญญาณไพล็อท (pilot signal) ที่ส่งมาจากภาคส่งสัญญาณ สัญญาณเอาท์พุทที่ได้จากการดีมอดูเลทจะเป็นสัญญาณ 4 ระดับ สัญญาณ 4 ระดับจากแกน I และ แกน Q จะถูกเปลี่ยนเป็นสัญญาณ 2 บิท ตามรูปแบบเดียวกับทางภาคส่งโดยวงจรเปลี่ยนสัญญาณ 4 ระดับเป็น 2 บิท เอาท์พุทสัญญาณ 2 บิทที่ได้จากแกน I และ แกน Q จะถูกรวมเป็นสัญญาณอนุกรม เอาท์พุทจากวงจรรวมสัญญาณจะได้ข้อมูลดิจิตอลเช่นเดียวกับที่ภาคส่งคืนกลับมา



รูปที่ 2.7 บล็อคไดอะแกรมของภาครับสัญญาณ 16 QAM

พิจารณาการดีมอดูเลทสัญญาณเมื่อทางภาครับได้รับข้อมูล Acos ($\omega_c t + \theta$) การดีมอดูเลททางด้านแกน I จะนำสัญญาณพาหะโคไซน์คูณเข้ากับสัญญาณอินพุทได้ค่าดังนี้

$$A\cos(\omega_c t + \theta)\cos\omega_c t = \frac{A\cos\theta}{2} + \frac{A\cos(2\omega_c t + \theta)}{2}$$

สัญญาณที่ได้จากการดีมอดูเลทไปผ่านวงจรกรองความถี่ต่ำผ่านและให้อัตราขยาย 2 เท่าจะได้สัญญาณขนาด

Acos θ ซึ่งเป็นแอมปลิจูดที่ส่งเข้าไปดีมอดูเลททางด้านแกน I

การดีมอดูเลททางด้านแกน Q จะนำสัญญาณพาหะไซน์คูณเข้ากับสัญญาณอินพุทได้ค่าดังนี้

$$A\cos(\omega_c t + \theta)\sin\omega_c t = \frac{-A\sin\theta}{2} + \frac{A\sin(2\omega_c t + \theta)}{2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นำสัญญาณที่ได้จากการมอดูเลทไปผ่านวงจรกรองความถี่ต่ำผ่านและให้อัตราขยาย 2 เท่าจะได้สัญญาณขนาด –Asin θ ซึ่งเป็นแอมปลิจูดที่ส่งเข้าไปดีมอดูเลททางด้านแกน Q สัญญาณที่ได้จากการดีมอดูเลททางด้านแกน Iและแกน Q เมื่อนำไปแปลงเป็นข้อมูลดิจิตอลด้วยอัตราเดียวกับที่ใช้ในภาคส่ง ก็จะได้ข้อมูลดิจิตอลเช่นเดียวกับที่ภาคส่งกลับคืนมา

การกู้สัญญาณพาหะนั้นโครงงานนี้จะใช้หลักการทำงานของวงจรเฟสล็อคลูป (phase lock loop) วงจรเฟสล็อคลูปเป็นวงจรอิเล็คทรอนิกส์ที่สามารถควบคุมให้ออสซิลเลเตอร์ผลิตความถี่สอดคล้องกับความถี่ของสัญญาณที่เข้ามาทางด้านอินพุท เมื่อสัญญาณที่เข้ามามีความถี่เปลี่ยนไป ก็จะทำให้เฟสของความถี่ที่ได้จากออสซิลเลเตอร์เปลี่ยนแปลงตามไปด้วย เอาท์พุทจากเฟสคอมพาเรเตอร์จะเป็นตัวควบคุมให้ออสซิลเลเตอร์ผลิตความถี่ให้ตรงและล็อคกับสัญญาณที่เข้ามา หลักการเบื้องต้นของวงจรเฟสล็อคลูป คือ ระบบการป้อนกลับ ซึ่งประกอบด้วยส่วนสำคัญ 3 ส่วนดังรูปที่ 2.8 คือ ส่วนเฟสคอมพาเรเตอร์ ส่วนกรองความถี่ต่ำผ่าน และส่วนโวลท์เตจคอนโทรลออสซิลเลเตอร์

รูปที่ 2.8 บล็อคไดอะแกรมการทำงานของวงจรเฟสคอมพาเรเตอร์

การทำงานของวงจรเฟสล็อคลูปแบ่งได้เป็น 3 แบบ คือ แบบฟรีรันนิ่ง (free-running) แบบแคบเจอร์ (capture) และแบบเฟสล็อคหรือล็อคอิน (lock-in) ถ้าความถี่เอาท์พุทของส่วนโวลเตจคอนโทรลออสซิลเลเตอร์ (f_o) อยู่ในช่วงความถี่ที่ออสซิลเลเตอร์ไม่สามารถล็อคได้ ออสซิลเลเตอร์ก็จะทำงานแบบฟรีรันนิ่ง เมื่อมีอินพุท V_s ป้อนเข้ามาโดยมีความถี่เท่ากับ f_s วงจรเฟสคอมพาเรเตอร์จะทำหน้าที่เปรียบเทียบเฟสและความถี่ของสัญญาณที่เข้ามากับสัญญาณที่ได้จากส่วนโวลท์เตจคอนโทรลออสซิลเลเตอร์ ถ้า f_s และ f_o แตกต่างกันจะได้ V_e (Error voltage) เอาท์พุทของเฟสคอมพาเรเตอร์ผ่านส่วนกรองความถี่ต่ำผ่านเป็นความต่างของโวลท์เตจ (V_d) ไปเข้าส่วนโวลท์เตจคอนโทรลออสซิลเลเตอร์ ปรับความถี่ f_o ให้เท่ากับ f_s ในช่วงนี้ออสซิลเลเตอร์จะทำงานแบบแคบเจอร์ จนกระทั่งส่วนโวลเตจท์คอนโทรลออสซิลเลเตอร์สามารถปรับความถี่ f_o ให้เท่ากับ f_s ก็คือออสซิลเลเตอร์จะทำงานแบบเฟสล็อค เอาท์พุทจากเฟสคอมพาเรเตอร์ V_e จะเป็นศูนย์ และ V_d จะเป็นศูนย์ด้วย

ส่วนกรองความถี่ต่ำผ่านทำหน้าที่ตัดสัญญาณกระแสสลับของสัญญาณเอาท์พุทของส่วนเฟสคอมพาเรเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การคำนวณและการสร้าง

3.1 วงจรแปลงสัญญาณอนาล็อกให้เป็นข้อมูลดิจิตอล

เป็นการทำงานของ 4 ส่วนที่สำคัญ คือ ส่วนแปลงสัญญาณอนาล็อกให้เป็นข้อมูลดิจิตอล ส่วนเคาท์เตอร์ ส่วนแรมและส่วนแปลงสัญญาณรูปแบบขนาน 8 บิทให้เป็นรูปแบบอนุกรม

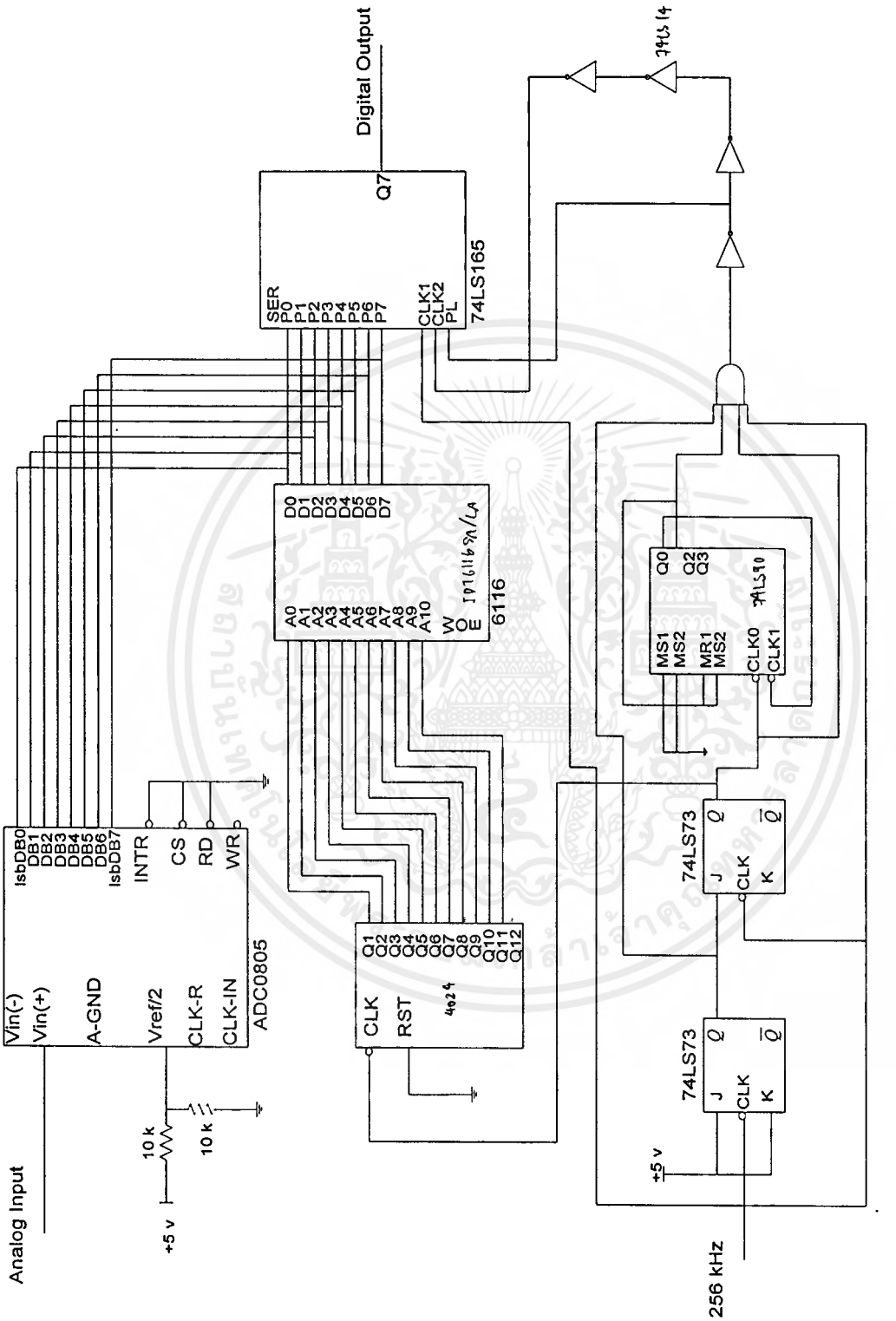
3.2 วงจรภาคส่งสัญญาณ 16 QAM

จากสมการที่ (2.2.1) , (2.2.2) , (2.2.3) ได้ทำการออกแบบเฟสและแอมปลิจูดของสัญญาณพาหะที่ได้จากการมอดูเลทได้ดังตารางต่อไปนี้

a_n(mV)	b_n(mV)	θ	Amplitude(mV)	Digital data
150	150	45	212.13	0000
150	50	18.43	158.11	0100
150	-50	341.57	158.11	1100
150	-150	315	212.13	1000
50	150	71.57	158.11	0001
50	50	45	70.71	0101
50	-50	315	70.71	1101
50	-150	288.43	158.11	1001
-50	150	108.43	158.11	0011
-50	50	135	70.71	0111
-50	-50	225	70.71	1111
-50	-150	251.57	158.11	1011
-150	150	135	212.13	0010
-150	50	161.57	158.11	0110
-150	-50	251.57	158.11	1110
-150	-150	255	212.13	1010

ตารางที่ 3.1 ตารางแสดงค่าเฟสและแอมปลิจูดของสัญญาณพาหะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 วงจรแปลงสัญญาณอนาล็อกให้เป็นข้อมูลดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.3 แสดงโครงสร้างการมอดูเลตสัญญาณ 16 QAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1 วงจรแยกสัญญาณดิจิตอล (serie to parallel)

ทำหน้าที่แบ่งสัญญาณอินพุทออกเป็น 2 ชุด ชุดละ 2 บิท โดยใช้ดีฟลิปฟลอป ในการแยกสัญญาณจากสัญญาณอนุกรมเป็นสัญญาณขนาน 4 บิท และใช้เจเคฟลิปฟลอปทำการหน่วงเวลาให้สัญญาณ 4 บิทออกมาเป็นจังหวะพร้อมๆ กัน ทางด้านเอาท์พุทของวงจรจะทำการแปลงสัญญาณไบนารี (binary) ให้เป็นรหัสเกรย์ (gray code) เพื่อลดอัตราการผิดพลาดของข้อมูลทางด้านภาครับสัญญาณ โดยใช้เอ็กซ์คลูซีฟออร์เกท (Exclusive OR Gate)

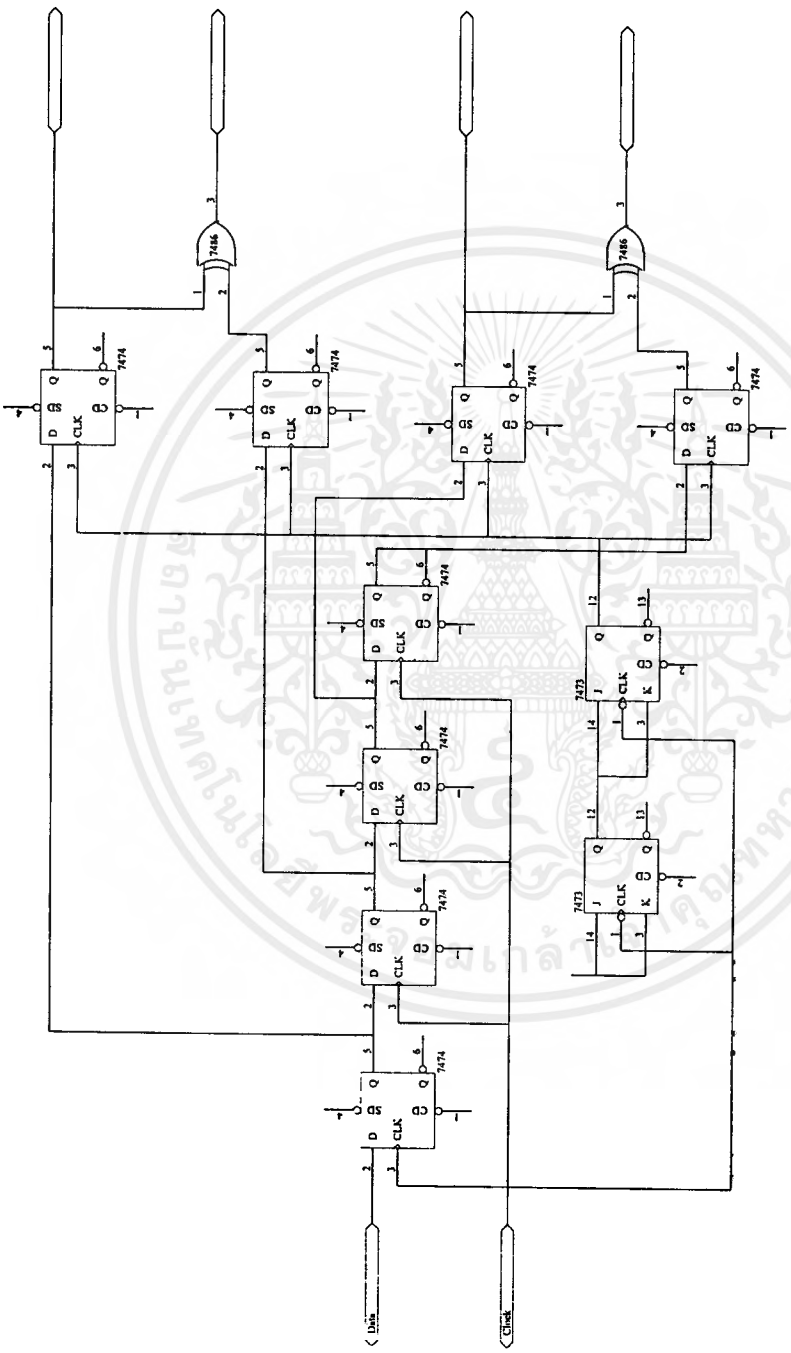
ไบนารี่	รหัสเกรย์
0 0	0 0
0 1	0 1
1 0	1 1
1 1	1 0

ตารางที่ 3.2 การแปลงรหัสจากไบนารี่ไปเป็นรหัสเกรย์

D	Q_{n+1}
0	0
1	1

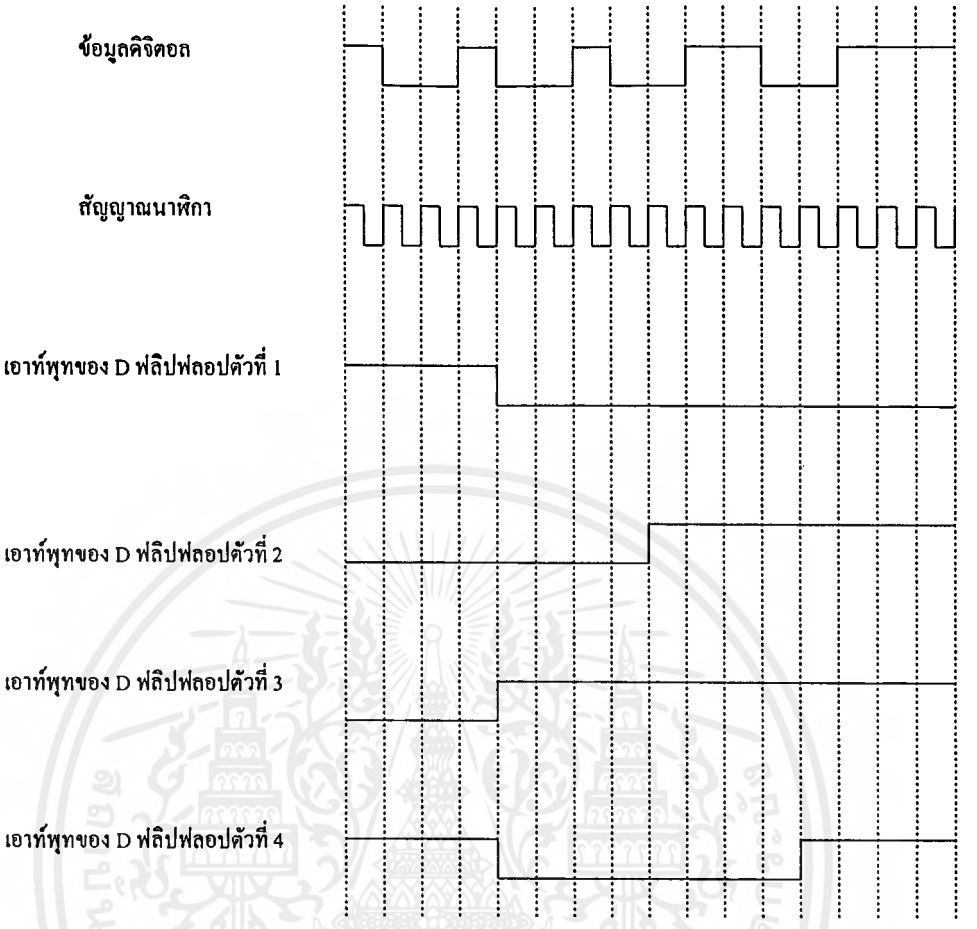
ตารางที่ 3.3 การทำงานของดีฟลิปฟลอป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 วงจรแยกสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 ตัวอย่างการแยกข้อมูลดิจิตอลของวงจรแยกสัญญาณ

3.2.2 <u>วงจรแปลง 2 บิทไปเป็น 4 ระดับ</u> (2 bit to 4 level converter)

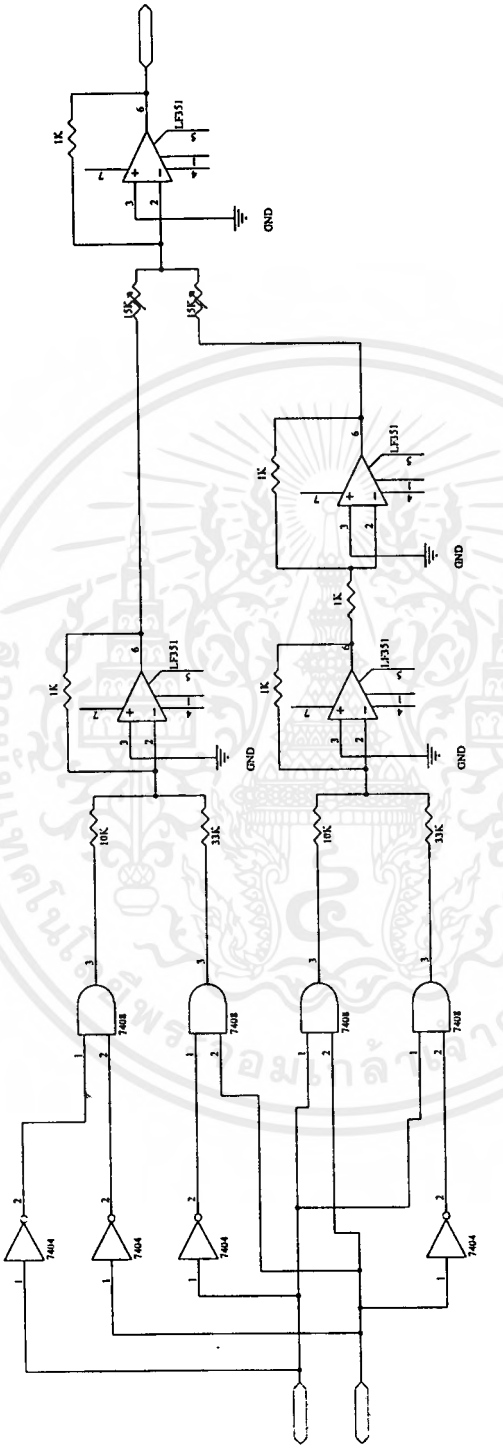
ในการทำงานของน็อทเกท (NOT Gate) กับแอนด์เกท (AND Gate) ทำหน้าที่แปลงสัญญาณ 2 บิทให้ได้เป็น 4 เอาท์พุท โดย 4 เอาท์พุทส่งไปยังออปแอมป์ (Op-Amp) เพื่อทำหน้าที่แปลงสัญญาณเป็น 4 ระดับอีกที

พิจารณาจากรูป 3.5 หลักการทำงาน ถ้าอินพุทเป็นรหัส 00 จะทำให้เอาท์พุทจากแอนเกทตัวบนสุดเท่านั้นที่มีค่าเป็น 1 สัญญาณจะถูกส่งผ่านความต้านทาน 3.3 กิโลโอห์ม แล้วส่งผ่านออปแอมป์เพื่อเปลี่ยนโวลท์เตจของสัญญาณและส่งผ่านไปยังความต้านทานปรับค่าได้เพื่อปรับค่าโวลท์เตจให้ได้ตามที่ต้องการ สัญญาณเอาท์พุทจากวงจรจะได้โวลท์เตจ 150 มิลลิโวลท์

ถ้าอินพุทเป็นรหัส 01 จะทำให้เอาท์พุทจากแอนเกทตัวที่ 2 มีค่าเป็น 1 สัญญาณจะถูกผ่านความต้านทาน 10 กิโลโอห์ม แล้วส่งไปยังออปแอมป์ ใช้หลักการเช่นเดียวกับข้างต้น เอาท์พุทจากวงจรจะได้โวลท์เตจ 50 มิลลิโวลท์

ถ้าอินพุทเป็นรหัส 11 จะทำให้เอาท์พุทจากแอนเกทตัวที่ 3 เท่านั้นที่มีค่าเป็น 1 สัญญาณจะถูกส่งผ่านความต้านทาน 10 กิโลโอห์ม แล้วส่งไปยังออปแอมป์ โดยออปแอมป์ตัวที่ 1 ทำหน้าที่เปลี่ยนโวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 วงจรแปลง 2 บิทไปเป็น 4 ระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

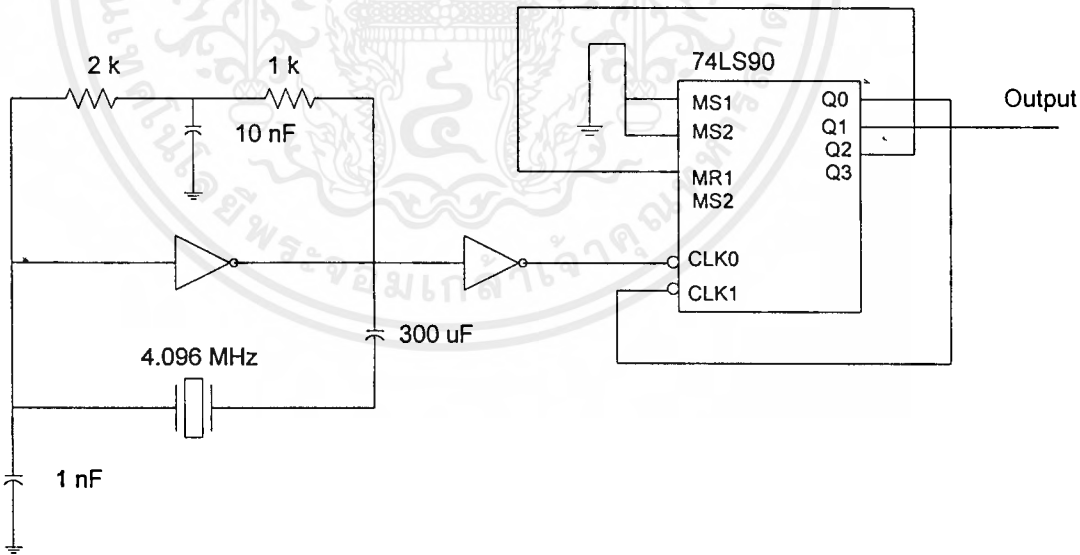
เตจของสัญญาณ ออปแอมป์ตัวที่ 2 ทำหน้าที่กลับขั้วของโวลท์เตจ สัญญาณที่ได้จะถูกส่งเข้าไปยังความต้านทานปรับค่าได้เพื่อปรับค่าโวลท์เตจให้เหมาะสม เอาท์พุทของวงจรจะได้โวลท์เตจ –50 มิลลิโวลท์

ถ้าอินพุทเป็นรหัส 10 จะทำให้เอาท์พุทจากแอนเกทตัวล่างสุดเท่านั้นที่มีค่าเป็น 1 สัญญาณจะถูกส่งผ่านความต้านทาน 3.3 กิโลโอห์ม ใช้หลักการทำงานเช่นเดียวกับข้างต้น เอาท์พุทจากวงจรจะได้โวลท์เตจ –150 มิลลิโวลท์

อินพุท	เอาท์พุท (มิลลิโวลท์)
0 0	150
0 1	50
1 1	-50
1 0	-150

ตารางที่ 3.4 การแปลง 2 บิทไปเป็น 4 ระดับ

3.2.3 <u>วงจรสร้างสัญญาณพาหะ 1.024 เมกกะเฮิร์ท</u>



รูปที่ 3.6 วงจรสร้างสัญญาณพาหะ 1.024 เมกกะเฮิร์ท

ในโครงงานนี้เราใช้สัญญาณคลื่นรูปไซน์ที่มีความถี่ 1.024 เมกกะเฮิร์ท เพื่อใช้เป็นสัญญาณพาหะ และนำไปคูณกับสัญญาณหลายระดับที่วงจรบาลานซ์มอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรในส่วนนี้จะใช้วงจรเกทออสซิลเลเตอร์ โดยใช้คริสตัลออสซิลเลเตอร์ที่มีความถี่ 4.096 เมกกะเฮิร์ท ร่วมกับไอซีทีทีแอลเฮกซ์อินเวอร์เตอร์ (Hex Inverter) เบอร์ 74LS04 เพื่อกำเนิดให้ได้ความถี่ 4.096 เมกกะเฮิร์ทก่อน แล้วก็จะมาผ่านวงจรหารความถี่ลดลง 4 เท่า โดยวงจรหารความถี่ลดลง 4 เท่านั้นก็เลือกใช้ไอซีทีทีแอลดีเคดเคาท์เตอร์ (decade counter) เบอร์ 74LS90 หารความถี่ 4.096 เมกกะเฮิร์ทลงมาได้เป็นความถี่ 1.024 เมกกะเฮิร์ท

สัญญาณที่ได้ก็ยังเป็นรูปสี่เหลี่ยมอยู่ ซึ่งไม่สามารถนำไปเป็นสัญญาณพาหะได้ เพราะสัญญาณรูปสี่เหลี่ยมนั้นจะประกอบไปด้วยฮาร์โมนิคคี่มากมายไม่เหมาะสมในการนำไปมอดูเลท ดังนั้นจึงใช้วงจรกรองช่วงความถี่เพื่อทำการกรองเอาความถี่ฮาร์โมนิคที่ 1 ซึ่งเป็นสัญญาณคลื่นรูปไซน์ที่มีความถี่เท่ากับสัญญาณสี่เหลี่ยมหรืออาจกล่าวง่ายๆว่า เป็นการกรองเอาคลื่นรูปไซน์ออกจากคลื่นรูปสี่เหลี่ยมนั่นเอง

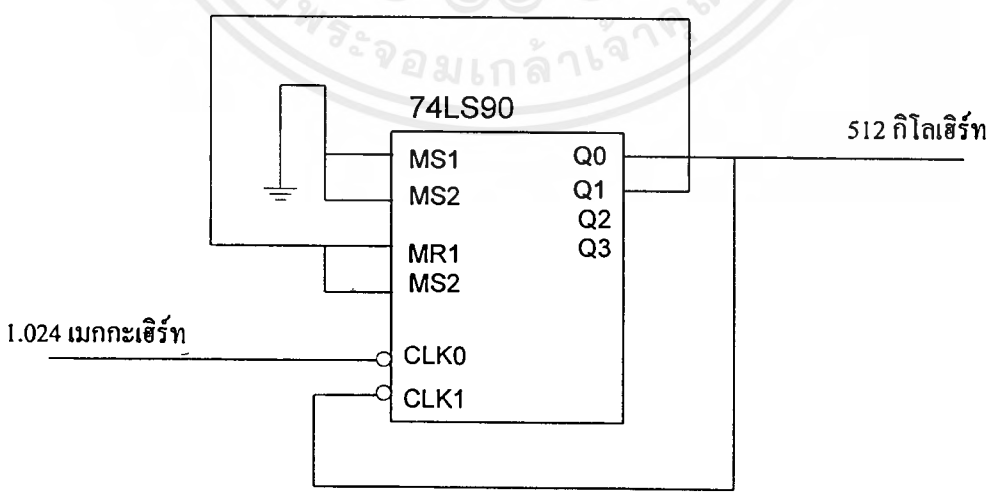
ดังนั้นเราจะได้สัญญาณพาหะความถี่ 1.024 เมกกะเฮิร์ท ดังวงจรที่แสดงในรูปที่ 3.6

3.2.4 <u>วงจรสร้างสัญญาณไพล็อท 512 กิโลเฮิร์ท</u>

สัญญาณไพล็อทในโครงงานนี้ คือ สัญญาณคลื่นรูปไซน์ที่มีความถี่ 512 กิโลเฮิร์ท โดยได้มาจากการหารความถี่ลดลง 2 เท่าของสัญญาณพาหะความถี่ 1.024 เมกกะเฮิร์ท โดยวงจรหารความถี่ลดลง 2 เท่านั้น เลือกใช้ไอซีทีทีแอลดีเคดเคาท์เตอร์เบอร์ 74LS90 หารความถี่ 1.024 เมกกะเฮิร์ท ลงมาเป็น 512 กิโลเฮิร์ท

สัญญาณที่ได้ก็ยังเป็นรูปสี่เหลี่ยมอยู่ จึงต้องใช้วงจรกรองช่วงความถี่เพื่อจะกรองเอาสัญญาณคลื่นรูปไซน์ออกจากสัญญาณคลื่นรูปสี่เหลี่ยม

ดังนั้นจะได้สัญญาณที่มีความถี่ 512 กิโลเฮิร์ทเป็นสัญญาณไพล็อท ดังวงจรที่แสดงในรูปที่ 3.7



รูปที่ 3.7 วงจรสร้างสัญญาณไพล็อท 512 กิโลเฮิร์ท

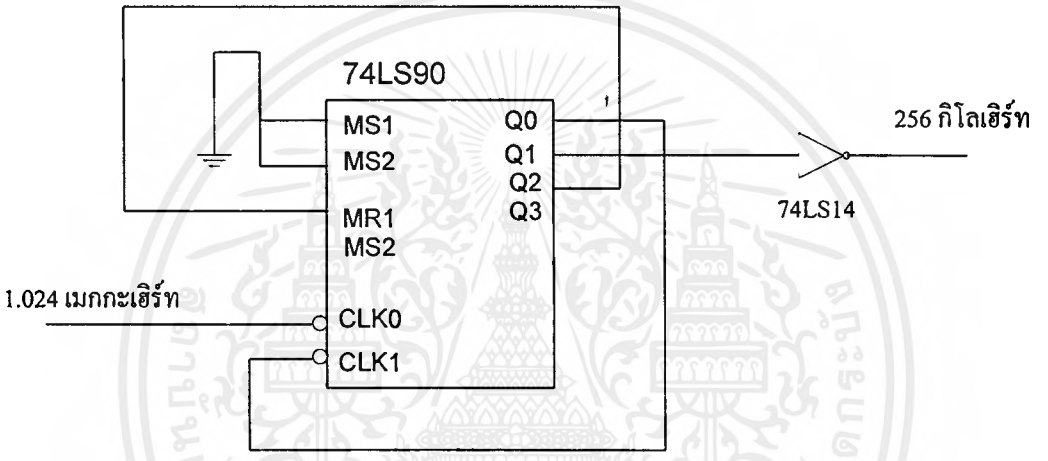
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.5 <u>วงจรสร้างสัญญาณนาฬิกา 256 กิโลเฮิร์ท</u>

ในโครงงานนี้ต้องการส่งข้อมูลความเร็ว 256 กิโลบิทต่อวินาที จึงใช้สัญญาณนาฬิกา 256 กิโลเฮิร์ท โดยได้มาจากการหารความถี่ลดลง 4 เท่าของสัญญาณพาหะความถี่ 1.024 เมกกะเฮิร์ท โดยวงจรหารความถี่ลดลง 4 เท่านั้น เลือกใช้ไอซีทีทีแอลดีเคดเคาท์เตอร์เบอร์ 74LS90 หารความถี่ 1.024 เมกกะเฮิร์ทลงมาเป็นความถี่ 256 กิโลเฮิร์ท

เพื่อจะให้ได้สัญญาณนาฬิกาที่มีความคมชัดและถูกต้อง เราจึงนำสัญญาณความถี่ 256 กิโลเฮิร์ทมาผ่านไอซีทีทีแอลเฮกซ์ชมิทท์ทริกเกอร์อินเวอร์เตอร์ (Hex Schmitt-Trigger Inverter) เบอร์ 74LS14 สัญญาณที่ได้จะมีลักษณะเป็นคาบที่ชัดเจนและถูกต้อง

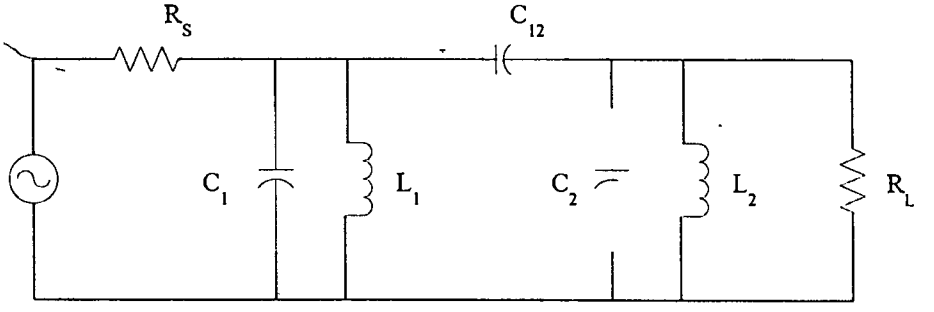
ดังนั้นจะได้สัญญาณนาฬิกา 256 กิโลเฮิร์ท ดังวงจรที่แสดงในรูปที่ 3.8



รูปที่ 3.8 วงจรสร้างสัญญาณนาฬิกา 256 กิโลเฮิร์ท

3.2.6 <u>วงจรกรองช่วงความถี่ผ่าน</u> (band pass filter)

ใช้การทำงานของวงจรพาสซีฟฟิลเตอร์ (passive filter) ใช้เพื่อลดแบนวิดธ์ (bandwidth) ของสัญญาณพาหะและสัญญาณไพล็อท โดยทำการเปลี่ยนสัญญาณสี่เหลี่ยมเป็นสัญญาณไซน์



รูปที่ 3.9 ภาพวงจรพาสซีฟฟิลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

n	q_1	q_n	k_{12}	k_{23}	k_{34}	k_{45}	k_{56}	k_{67}	k_{78}
2	0.5755	2.148	0.9000						
3	0.337	2.203	1.748	0.648					
4	0.233	2.240	2.530	1.175	0.644				
5	0.234	0.275	1.910	0.750	0.650	1.987			
6	0.394	0.187	2.000	0.811	0.601	1.253	3.038		
7	0.415	0.242	3.325	1.660	1.293	0.695	0.674	2.203	
8	0.139	0.242	4.284	2.079	1.484	1.246	0.678	0.697	2.286

ตารางที่ 3.5 Besssel Capacitive Coupled Resonators

สมการการออกแบบ จากรูปที่ 3.8 ได้ค่าตามตารางที่3.5 ดังนี้ $q_1 = 0.5755$, $q_n = 2.148$, $k_{12} = 0.9$

$$Q_{bp} = \frac{f_0}{BW_{3dB}} \qquad (3.2.6.1)$$

$$Q_1 = Q_{bp} \times q_1$$

$$Q_2 = Q_{bp} \times q_2 \qquad (3.2.6.2)$$

$$K_{12} = \frac{k_{12}}{Q_{bp}} \qquad (3.2.6.3)$$

$$R_s = \omega_0 L Q_1$$

$$R_L = \omega_0 L Q_2 \qquad (3.2.6.4)$$

$$C_{node} = \frac{1}{\omega^2 L}$$

$$C_{12} = K_{12} \times C_{node}$$

$$C_1 = C_2 = C_{node} - C_{12} \qquad (3.2.6.5)$$

3.2.6.1 <u>วงจรกรองช่วงความถี่ของสัญญาณพาหะ 1.024 เมกกะเฮิร์ท</u>

กำหนด $f_0 = 1.024$ MHz

$BW_{3dB} = 200$ kHz

จากสมการที่ 3.2.6.1

$$Q_{bp} = \frac{1.024MHz}{200kHz} = 5.12$$

จากสมการที่ 3.2.6.2

$$Q_1 = 5.12 \times 0.5755 = 2.94656$$

$$Q_2 = 5.12 \times 2.148 = 10.99776$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

040396

จากสมการที่ 3.2.6.3 $K_{12} = \frac{0.9}{5.12} = 0.17578$

จากสมการที่ 3.2.6.4

กำหนดค่า L = 100 μH

$$R_s = 2\Pi \times 1.024 \times 10^6 \times 100 \times 10^{-6} \times 2.94656 = 1.89.58k\Omega$$

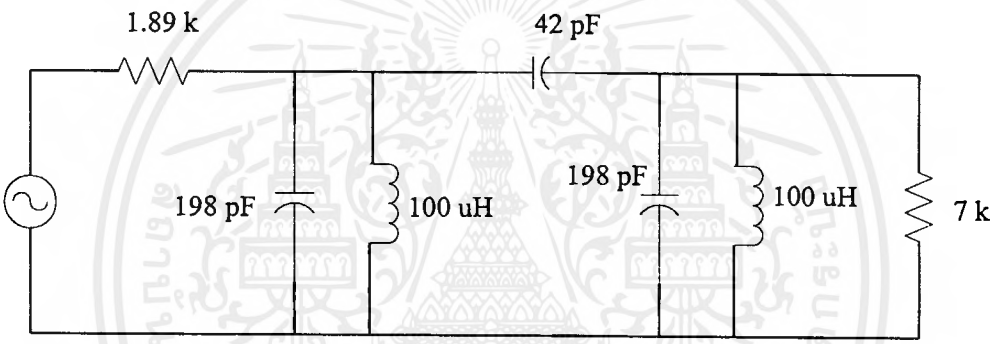
$$R_L = 2\Pi \times 1.024 \times 10^6 \times 100 \times 10^{-6} \times 10.99776 = 707.59k\Omega$$

จากสมการที่3.2.6.5

$$C_{node} = \frac{1}{(2\Pi \times 1.024 \times 10^6)^2 \times 100 \times 10^{-6}} = 241.568pF$$

$$C_{12} = 0.17578 \times 2.41568 \times 10^{-10} = 42.46pF$$

$$C_1 = C_2 = 241.56 - 42.46 = 199.10pF$$



รูปที่ 3.10 วงจรกรองช่วงความถี่สัญญาณพาหะความถี่ 1.024 เมกกะเฮิร์ท

3.2.6.2 <u>วงจรกรองช่วงความถี่สัญญาณไพล็อท 512 กิโลเฮิร์ท</u>

สัญญาณไพล็อทคือสัญญาณที่ส่งจากภาคส่งไปยังภาครับเพื่อให้ภาครับใช้ในการกู้สัญญาณพาหะและสัญญาณนาฬิกากลับคืนมา โครงงานนี้กำหนดค่าความถี่ของสัญญาณไพล็อทไว้ที่ 512 กิโลเฮิร์ท

กำหนด f_0 = 512 kHz

BW_{3dB} = 40 kHz

จากสมการที่ 3.2.6.1

$$Q_{bp} = \frac{512kHz}{40kHz} = 12.8$$

จากสมการที่ 3.2.6.2

$$Q_1 = 12.8 \times 0.5755 = 7.3664$$

$$Q_2 = 12.8 \times 2.148 = 27.494$$

จากสมการที่ 3.2.6.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$K_{12} = \frac{0.9}{12.8} = 0.0703$$

จากสมการที่ 3.2.6.4

กำหนดค่า L = 56μH

$$R_s = 2\Pi \times 512 \times 10^3 \times 56 \times 10^{-6} \times 7.3664 = 1.33k\Omega$$

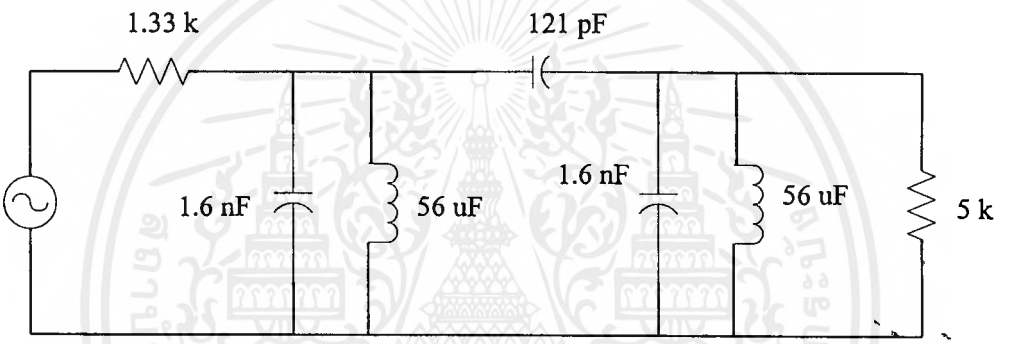
$$R_L = 2\Pi \times 512 \times 10^3 \times 56 \times 10^{-6} \times 27.4944 = 4.95k\Omega$$

จากสมการที่ 3.2.6.5

$$C_{node} = \frac{1}{(2\Pi \times 512 \times 10^3)^2 \times 56 \times 10^{-6}} = 1.725nF$$

$$C_{12} = 0.0703 \times 1.725 \times 10^{-9} = 0.1213nF$$

$$C_1 = C_2 = 1.725 - 0.1213 = 1.6nF$$



รูปที่ 3.11 วงจรกรองช่วงความถี่สัญญาณไพล็อทความถี่ 512 กิโลเฮิร์ท

3.2.7 <u>วงจรเลื่อนเฟส 90 องศา</u>

ใช้การทำงานของวงจรกรองช่วงสัญญาณผ่านหมด (All pass filter)

จากสมการ

$$\theta = -2\tan^{-1}(2\pi fRC)$$

พิจารณา

$$\theta = 90^\circ$$

ความถี่สัญญาณพาหะคือ 1.024 เมกะเฮิร์ท

C = 10 / f = 10 / 1.024 MHz = 9.76 ไมโครฟารัด

ในที่นี้ใช้ค่า C ประมาณ 10 พิโคฟารัด

จากสมการ (3.5)

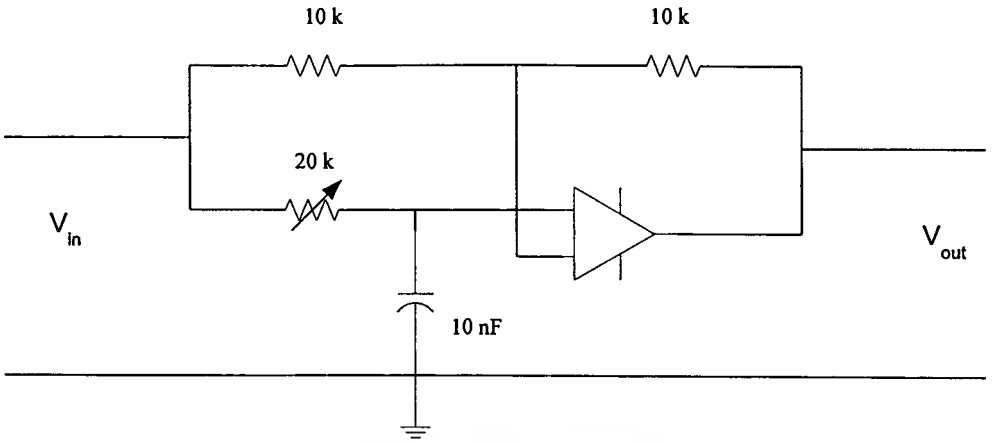
$$R = \tan(-\theta) / 2\pi fC$$

$$= \tan(90^\circ) / (2\pi * 1.024 * 10^6 * 10 * 10^{-12})$$

= 15.54 กิโลโอห์ม

ในวงจรพิจารณาให้ใช้ R = 20 กิโลโอห์ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



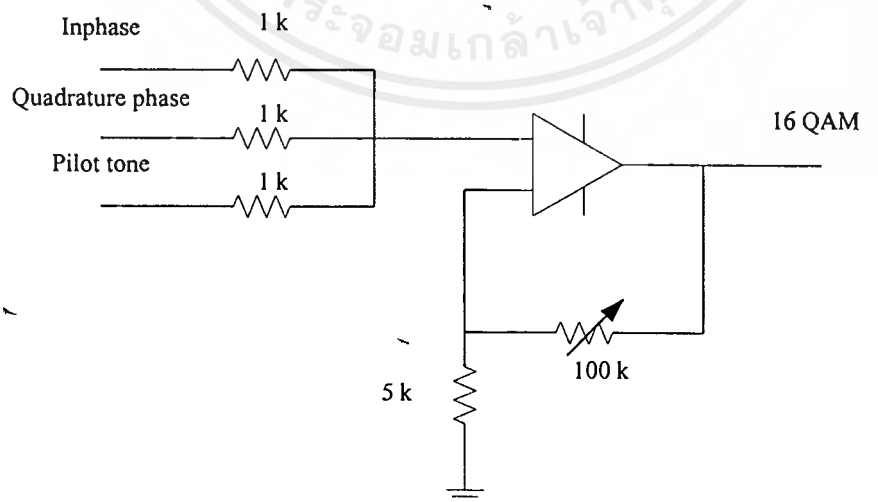
รูปที่ 3.12 วงจรเลื่อนเฟส 90 องศา

3.2.8 วงจรมอดูเลทสัญญาณ (balance modulator)

ใช้การทำงานของไอซีเบอร์ MC1496 หรือเบอร์ MC1596 ก็ได้ การมอดูเลทจากวงจรบาลานซ์มอดูเลเตอร์เป็นการมอดูเลทสัญญาณแบบแอมปลิจูดมอดูเลเตอร์ (amplitude modulator) แต่จะกดค่าสัญญาณพาหะเอาไว้ (supressed carrier) สัญญาณเอาท์พุทจากไอซี 1496 จะถูกส่งผ่านไปยังออปแอมป์เพื่อขยายขนาดสัญญาณก่อนส่งไปยังวงจรรวมสัญญาณ

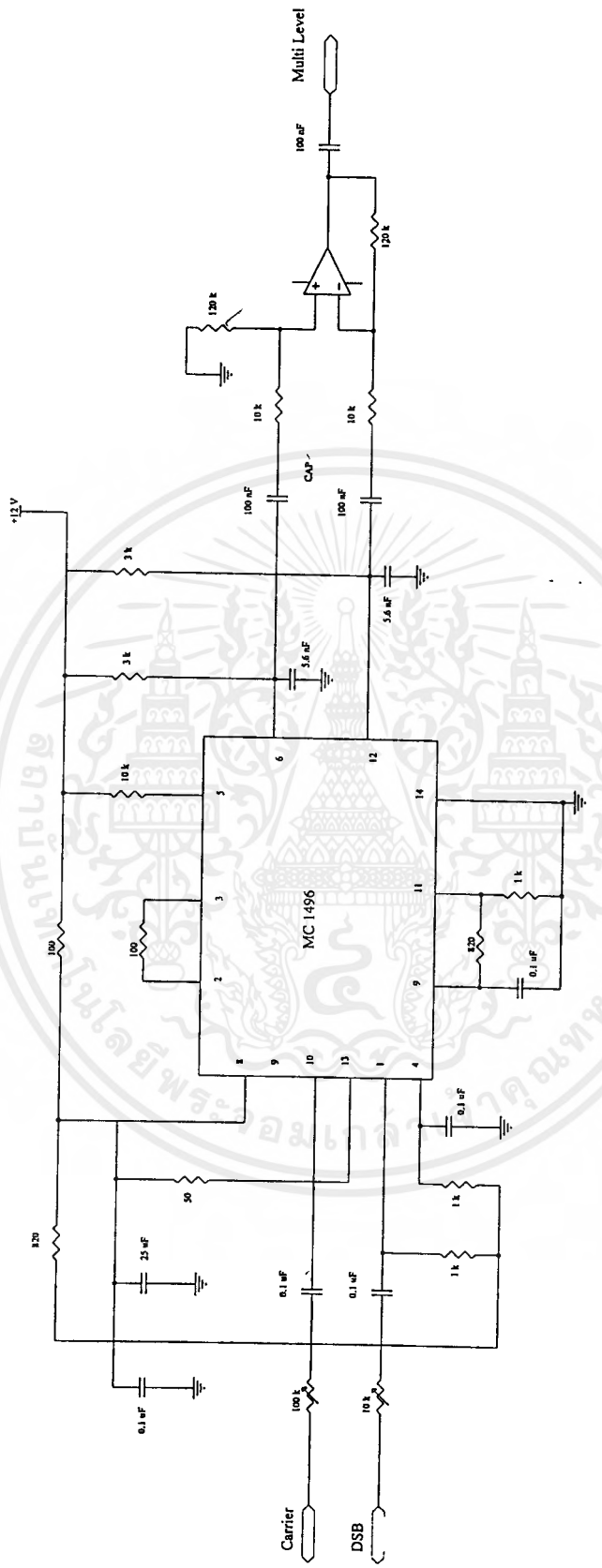
3.2.9 วงจรรวมสัญญาณ (summing amplifier)

ทำหน้าที่รวมสัญญาณ 3 สัญญาณคือ สัญญาณที่ผ่านการมอดูเลทของแกน I กับแกน Q และสัญญาณไพล็อท โดยใช้การทำงานของออปแอมป์ ออปแอมป์จะทำหน้าที่รวมสัญญาณและทำหน้าที่ขยายสัญญาณอีกด้วย



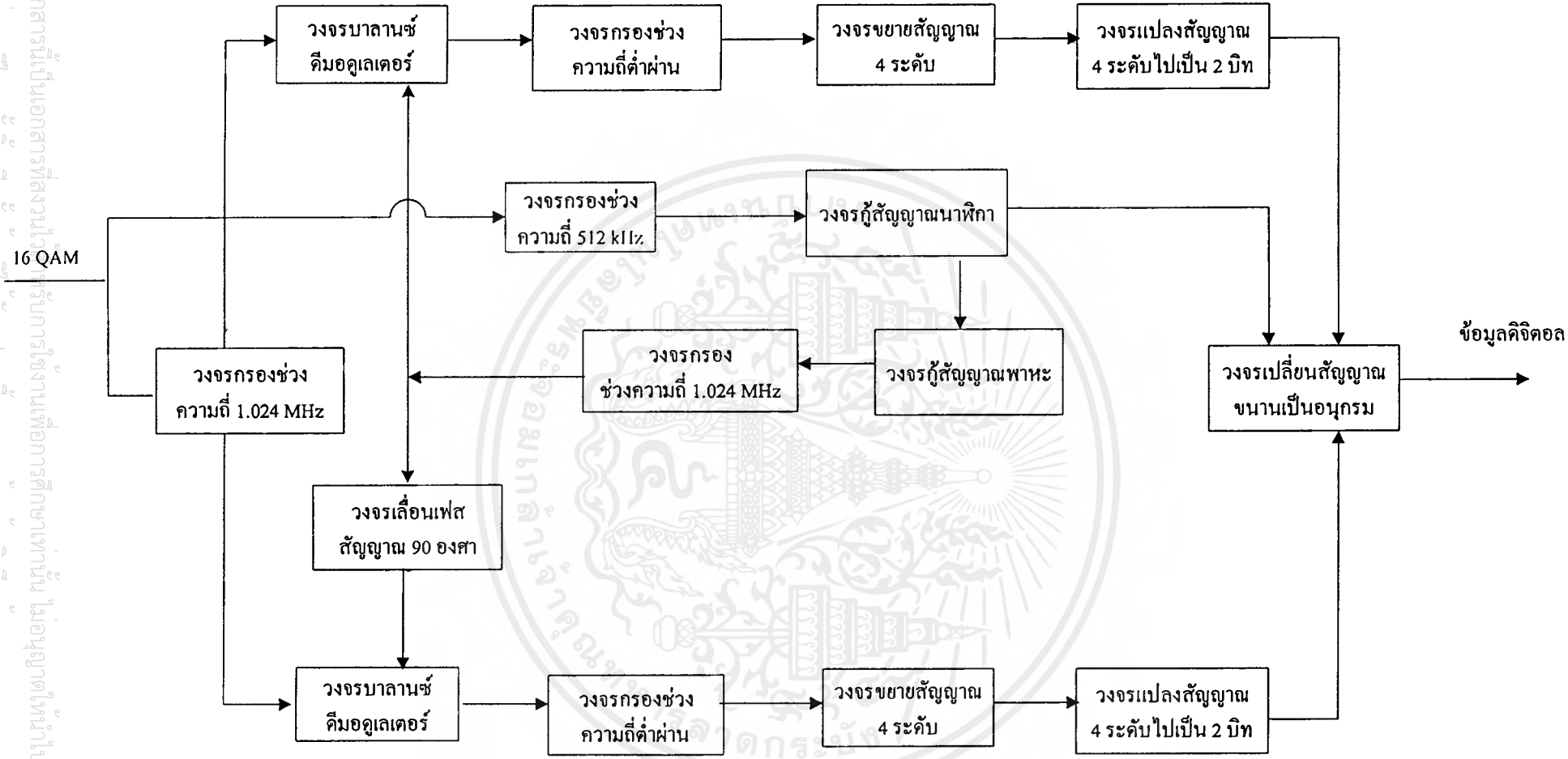
รูปที่ 3.14 วงจรรวมสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 วงจรบาลานซ์มอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

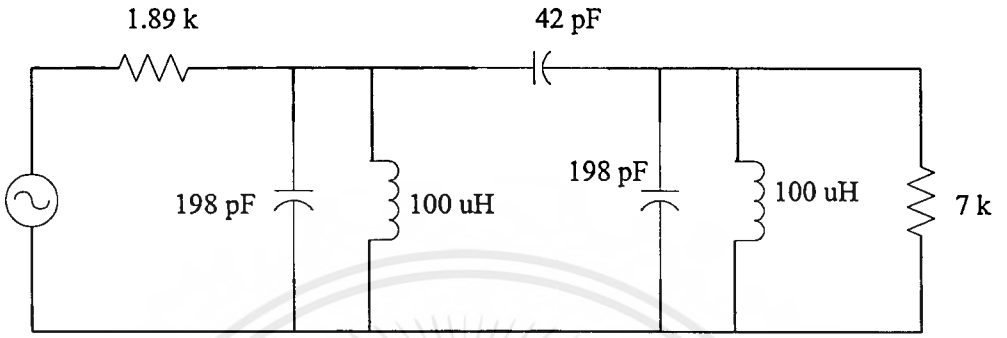


รูปที่ 3.15 บล็อคไดอะแกรมรวมภาครับสัญญาณ 16 QAM

3.3 วงจรภาครับสัญญาณ 16 QAM

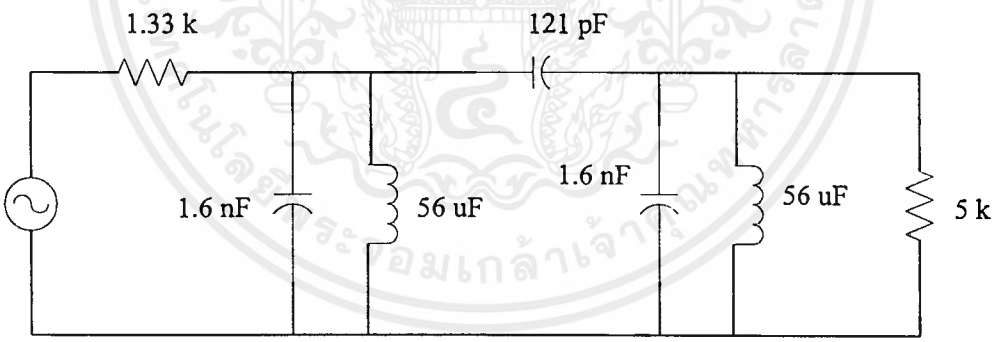
3.3.1 วงจรกรองช่วงความถี่

วงจรกรองช่วงความถี่ภาครับในการกรองช่วงความถี่สัญญาณพาหะและสัญญาณไพล็อทจะใช้วงจรรูปแบบเดียวกับที่ใช้ในภาคส่งสัญญาณ



รูปที่ 3.16 วงจรกรองช่วงความถี่สัญญาณพาหะความถี่ 1.024 เมกกะเฮิร์ท

ทำหน้าที่ในการแยกสัญญาณมอดูเลทออกจากสัญญาณที่ได้รับ (มอดูเลทแกน I , แกน Q , และสัญญาณไพล็อท) เพื่อนำไปใช้ในการดีมอดูเลทสัญญาณ



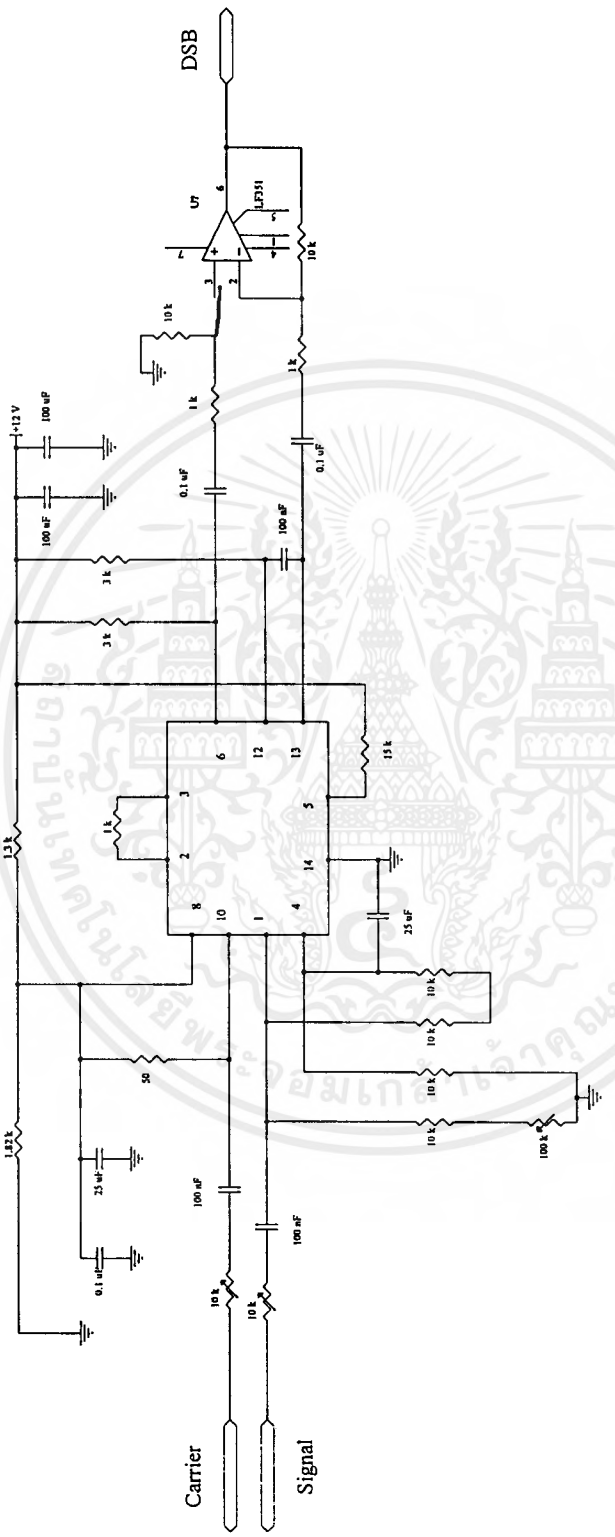
รูปที่ 3.17วงจรกรองช่วงความถี่สัญญาณไพล็อท 512 กิโลเฮิร์ท

ทำหน้าที่แยกสัญญาณไพล็อท 512 กิโลเฮิร์ท เพื่อนำไปกู้สัญญาณพาหะและสัญญาณนาฬิกา

3.3.2 วงจรดีมอดูเลทสัญญาณ (balance demodulator)

วงจรดีมอดูเลทสัญญาณใช้ไอซีเบอร์ 1946 เช่นเดียวกับที่ใช้ในภาคส่งสัญญาณ โดยทำการต่อเป็นวงจรดีมอดูเลทสัญญาณตามรูปที่ 3.18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.18 วงจรดีมอดูเลทสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.4 วงจรกู้สัญญาณนาฬิกา (clock recovery)

เมื่อสัญญาณไพล็อทความถี่ 512 กิโลเฮิร์ทผ่านวงจรกรองความถี่แล้ว จะถูกส่งต่อมายังวงจรกู้สัญญาณนาฬิกา โดยทำการแปลงสัญญาณรูปไซน์ให้เป็นสัญญาณรูปสี่เหลี่ยม แล้วนำไปผ่านวงจรหาร 2 เพื่อทำให้สัญญาณสัญญาณรูปสี่เหลี่ยม 512 กิโลเฮิร์ทมีความถี่ลดลงเหลือ 256 กิโลเฮิร์ท ซึ่งมีค่าเท่ากับสัญญาณนาฬิกา 256 กิโลเฮิร์ทที่ภาคส่ง

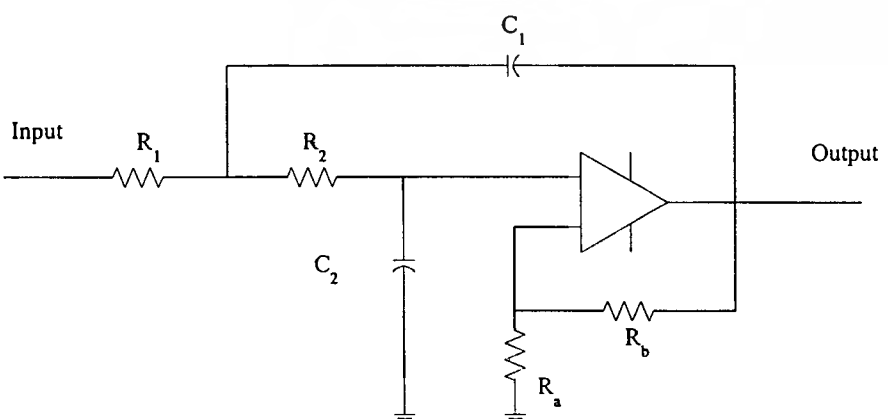
เมื่อภาครับได้สัญญาณไพล็อทแล้ว จะใช้วงจรเฟสล็อคลูปทำการล็อคสัญญาณไว้ และแปลงสัญญาณรูปไซน์ให้เป็นสัญญาณสี่เหลี่ยม จากนั้นนำมาผ่านวงจรหารความถี่เพื่อให้ความถี่ลดลงเหลือเท่ากับความถี่ของสัญญาณนาฬิกา

จะเห็นได้ว่าการสร้างสัญญาณไพล็อทของภาคส่งและสัญญาณนาฬิกาของภาครับนั้นเป็นการอ้างอิงกับสัญญาณที่มีอยู่แล้วในวงจรและเป็นสัญญาณตัวเดียวกัน รวมทั้งการใช้วงจรเฟสล็อคลูป ซึ่งมีวงจร
ออสซิเลเตอร์ผลิตความถี่ และวงจรเปรียบเทียบเฟสสัญญาณอยู่ภายใน จึงเป็นการทำให้เกิดการซิงค์โครไนซ์ (synchronization) กันระหว่างภาคส่งและภาครับ

3.3.3 วงจรกู้สัญญาณพาหะ (carrier recovery)

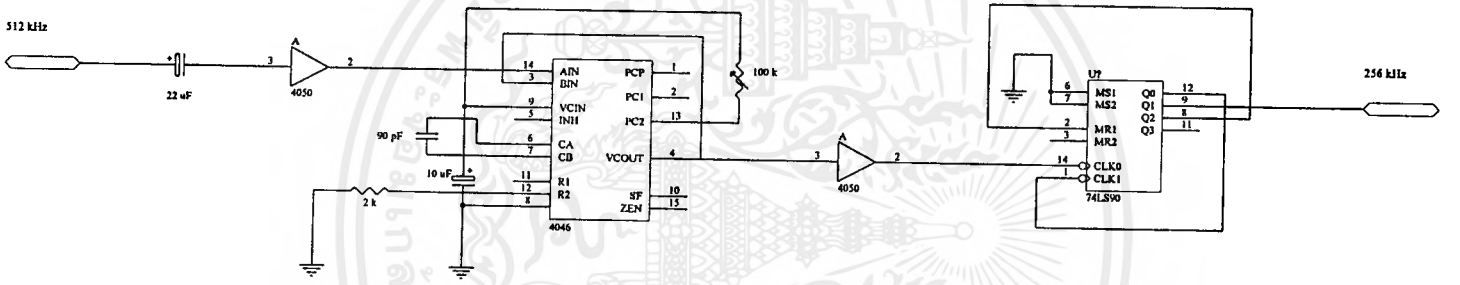
วงจรกู้สัญญาณพาหะก็ใช้หลักการและวิธีการเดียวกับวงจรกู้สัญญาณนาฬิกา คือ จะอาศัยสัญญาณนาฬิกาที่ได้มาจากวงจรกู้สัญญาณนาฬิกาเป็นสัญญาณอ้างอิง แล้วคูณความถี่ให้สูงขึ้นโดยวงจรเฟสล็อคลูปจะทำให้ได้สัญญาณสี่เหลี่ยมความถี่ 1.024 เมกกะเฮิร์ท ผ่านวงจรกรองช่วงความถี่ 1.024 เมกกะเฮิร์ท เพื่อแปลงสัญญาณรูปสี่เหลี่ยมให้เป็นสัญญาณรูปไซน์ แล้วนำสัญญาณที่ได้ไปผ่านวงจรขยายสัญญาณที่สอดคล้องกับการทำงานกับไดโอดเพื่อทำให้สัญญาณรูปไซน์ที่ได้มีขนาดที่คงที่ เพื่อใช้เป็นสัญญาณพาหะในวงจรบาลานซ์ดีมอดูเลเตอร์ต่อไป

3.5 วงจรกรองช่วงสัญญาณความถี่ต่ำผ่าน (low pass filter)

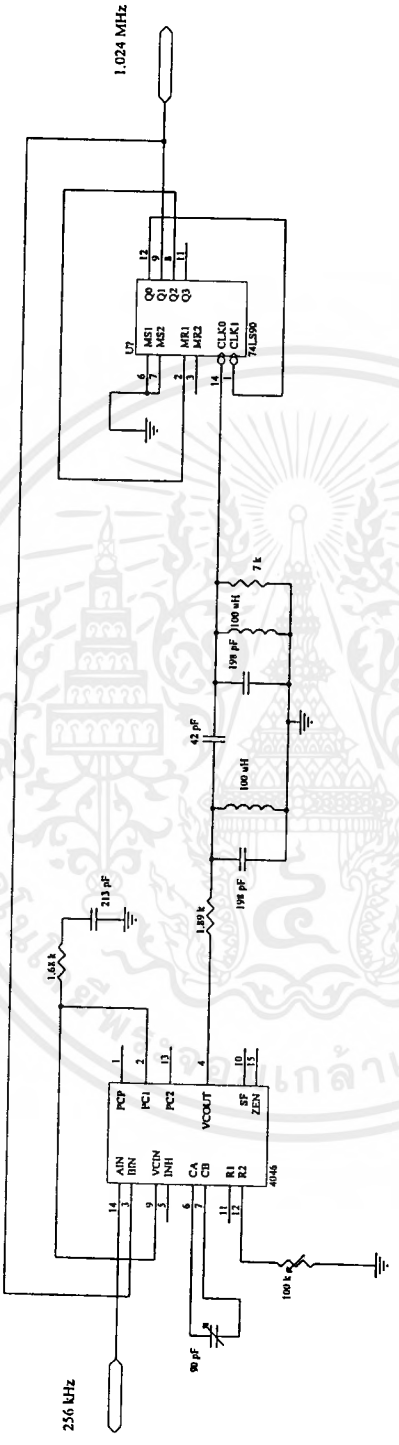


รูปที่ 3.21 วงจรกรองช่วงความถี่ต่ำผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.19 วงจรกู้สัญญาณนาฬิกา 512 กิโลเฮิร์ท



รูปที่ 3.20 วงจรกู้สัญญาณพาหะ 1.024 เมกะเฮิร์ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองช่วงสัญญาณความถี่ต่ำผ่านทำหน้าที่กรองความถี่สัญญาณพาหะออกจากสัญญาณที่ผ่านการมอดูเลทแล้วเพื่อเลือกสัญญาณเฉพาะสัญญาณ 4 ระดับที่ต้องการ

หลักการออกแบบมีดังนี้

กำหนดให้

$$R_1 = R_2 = R$$
$$C_1 = C_2 = C = 1nF$$
$$f_c = 256kHz$$
$$\mu = 3 - \frac{1}{Q} = 1 + \frac{R_a}{R_b} \qquad (3.3.5.1)$$

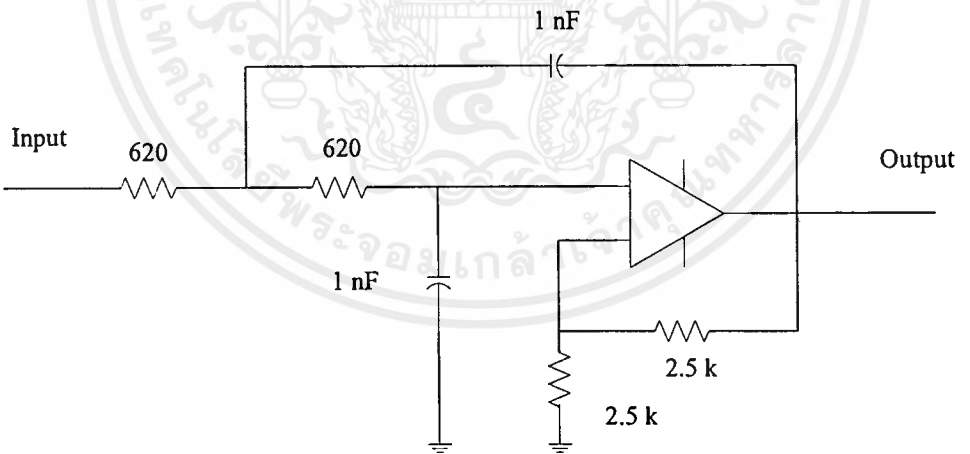
จากสมการที่ (3.3.5.1) กำหนดค่า Q = 1 ทำให้ $\mu = 1, R_a = R_b$

จากสมการ $\omega_0 = \frac{1}{\sqrt{R_1 R_2 C_1 C_2}}$ แต่ $R_1 = R_2, C_1 = C_2$ ทำให้สมการมีค่าเป็น

$$R = \frac{1}{\omega_0 C} = \frac{1}{2\Pi \times 256 \times 10^3 \times 1 \times 10^{-9}} = 620\Omega$$

จากสมการ $R_1 + R_2 = \frac{R_a R_b}{R_a + R_b}$ จากการกำหนดให้ $R_a = R_b = R$ สมการจึงมีค่าดังนี้

$$R_1 + R_2 = \frac{R^2}{2R} = 2 \times (620)$$
$$R = 2.48k\Omega$$



รูปที่ 3.22 วงจรกรองช่วงความถี่ต่ำผ่าน 256 กิโลเฮิร์ท

3.3.6 <u>วงจรขยายสัญญาณ 4 ระดับ</u>

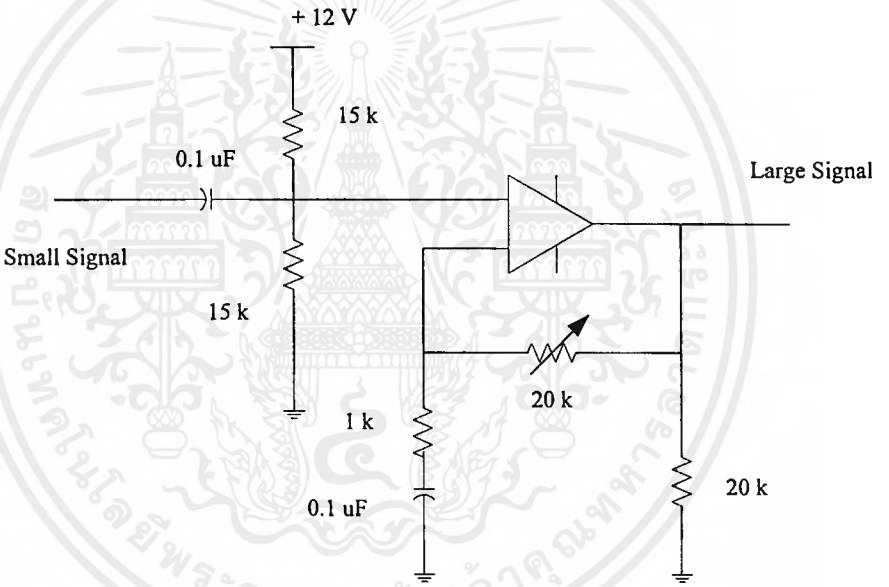
วงจรขยายสัญญาณ 4 ระดับทำหน้าที่ขยายแอมปลิจูดของสัญญาณให้สอดคล้องกับการใช้งานในวงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิท การทำงานของจะใช้วงจรนอนอินเวอร์ทติ้งแอมปลิไฟเออร์ (non-inverting amplifier) โดยใช้ความต้านทานแบ่งแรงดันทางด้านอินพุทจากไฟเลี้ยง 12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โวลท์ให้ได้ 6 โวลท์เพื่อใช้เป็นระดับอ้างอิงในการขยายสัญญาณ โดยใช้ความต้านทานปรับค่าได้ต่อระหว่างขาเอาท์พุทและขาลบของออปแอมป์เพื่อใช้ปรับอัตราขยายของสัญญาณ

สัญญาณอินพุท	สัญญาณเอาท์พุท
150 mV	9 V
50 mV	7 V
-50 mV	5 V
-150 mV	3 V

ตารางที่ 3.6 การขยายสัญญาณของวงจรขยายสัญญาณ 4 ระดับ



รูปที่ 3.23 วงจรขยายสัญญาณ 4 ระดับ

3.3.7 <u>วงจรเปลี่ยนสัญญาณ 4 ระดับเป็น 2 บิท</u> (4 level to 2 bit converter)

วงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิทใช้การทำงานของวงจรคอมพาเรเตอร์ (comparator)

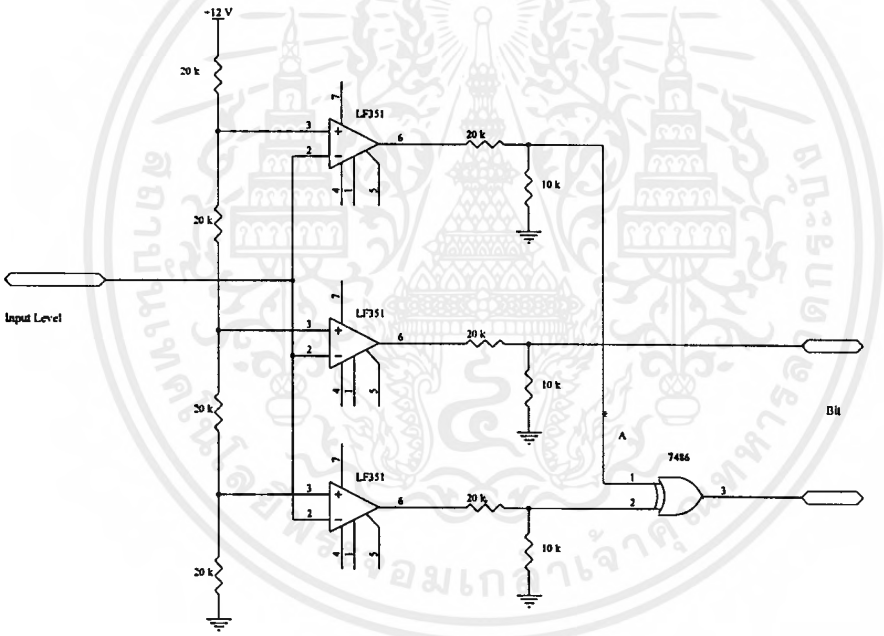
ซึ่งอาศัยการทำงานของออปแอมป์และเอ็กซ์คลูซีฟออร์เกท ออปแอมป์จะทำหน้าที่ตรวจจับระดับสัญญาณโดยใช้ความต้านทานแบ่งแรงดันจากไฟเลี้ยง 12 โวลท์แบ่งระดับแรงดันเปรียบเทียบไว้ที่ค่าต่าง ๆ กันดังนี้ คือ 4โวลท์ , 6โวลท์ , 8 โวลท์ตามลำดับ เมื่อสัญญาณอินพุทป้อนเข้าวงจรออปแอมป์แต่ละตัวจะทำการเปรียบเทียบความต่างศักย์ระหว่างขาอินเวอร์ทติ้งกับขานอนอินเวอร์ทติ้ง ถ้าแรงดันอินพุทต่ำกว่าแรงดับระดับที่กำหนดไว้จากแรงดันจากไฟแล้วค่าเอาท์พุทจากออปแอมป์จะมีค่าเป็น 12 โวลท์ ในทางกลับกันถ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดันที่อินพุทสูงกว่าค่าเอาท์พุทที่ออปแอมป์จะมีค่าเป็น 0 โวลท์ ที่เอาท์พุทของออปแอมป์เราจะทำการต่อความต้านทานแบ่งแรงดันเพื่อให้สัญญาณมีแรงดันสอดคล้องกับความต้องการของเอ็กซ์คลูซีฟออร์ทางด้านเอาท์พุทของออปแอมป์เราทำการต่อเอ็กซ์คลูซีฟออร์เพื่อแปลงสัญญาณเป็นรหัสเกรย์โค้ด

สัญญาณอินพุท	เอาท์พุทรหัสเกรย์โค้ด
9 V	0 0
7 V	0 1
5 V	1 1
3 V	1 0

ตารางที่ 3.7 การทำงานของวงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิท



รูปที่ 3.24 วงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิท

3.3.8 <u>วงจรรวมสัญญาณดิจิตอล</u> (parallel to serie convertor)

วงจรรวมสัญญาณดิจิตอลทำหน้าที่รวมสัญญาณจากแกน I และแกน Q ซึ่งเป็นสัญญาณขนานให้เป็นสัญญาณอนุกรม

การทำงานของวงจรรวมสัญญาณดิจิตอลอินพุทจะผ่านวงจรเอ็กซ์คลูซีฟออร์เพื่อเปลี่ยนรหัสเกรย์โค้ดเป็นข้อมูลไบนารี่ก่อนที่จะส่งเข้าดีฟลิปฟลอป ดีฟลิปฟลอปใช้ความถี่สัญญาณนาฬิกา 64 กิโลเฮิร์ท ซึ่งได้จากวงจรหารความถี่ของสัญญาณนาฬิกา 256 กิโลเฮิร์ท โดยใช้เจเคฟลิปฟลอปทำหน้าที่หาร 4 เอาท์พุทจากดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

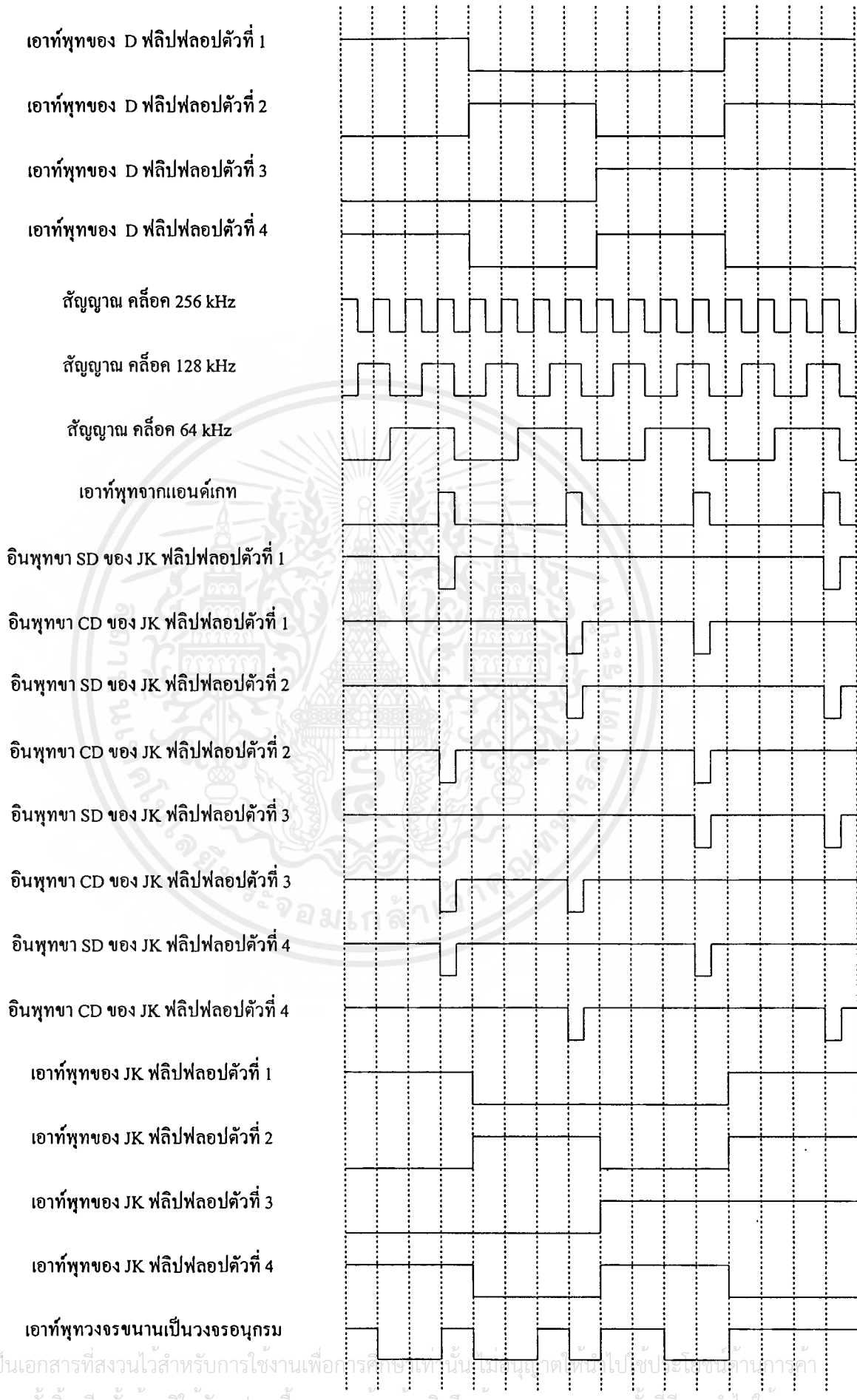
ฟลิปฟลอปจะถูกควบคุมให้ส่งเฉพาะข้อมูลตัวแรกเท่านั้น ให้มีจังหวะสอดคล้องกับการทำงานของเจเคฟลิปฟลอปที่ทำหน้าที่เลื่อนข้อมูลอนุกรมโดยใช้การทำงานของวงจรแนนด์เกท (NAND Gate) ร่วมกับเอาท์พุทจากวงจรแอนด์เกท 3 อินพุท (อินพุทวงจรแอนด์เกทคือ สัญญาณความถี่ 256 กิโลเฮิร์ท , 128 กิโลเฮิร์ท , 64 กิโลเฮิร์ท) ข้อมูลเอาท์พุทจากแนนด์เกทที่ต่อกับดีฟลิปฟลอปแต่ละตัวจะถูกป้อนเข้าสู่ขา SD และ CD ของเจเคฟลิปฟลอป เอาท์พุทจากเจเคฟลิปฟลอปจะถูกเลื่อนตามจังหวะของสัญญาณนาฬิกาความถี่ 256 กิโลเฮิร์ท เอาท์พุทจากวงจรรวมสัญญาณจะได้สัญญาณอนุกรมซึ่งเป็นข้อมูลเช่นเดียวกับที่ได้รับจากวงจรแปลงสัญญาณอนาล็อคให้เป็นข้อมูลดิจิตอลที่ภาคส่งสัญญาณ

S_D	C_D	Q	$\overline{Q}$
0	1	ไม่เปลี่ยนแปลง	
1	0	0	1
0	1	1	0

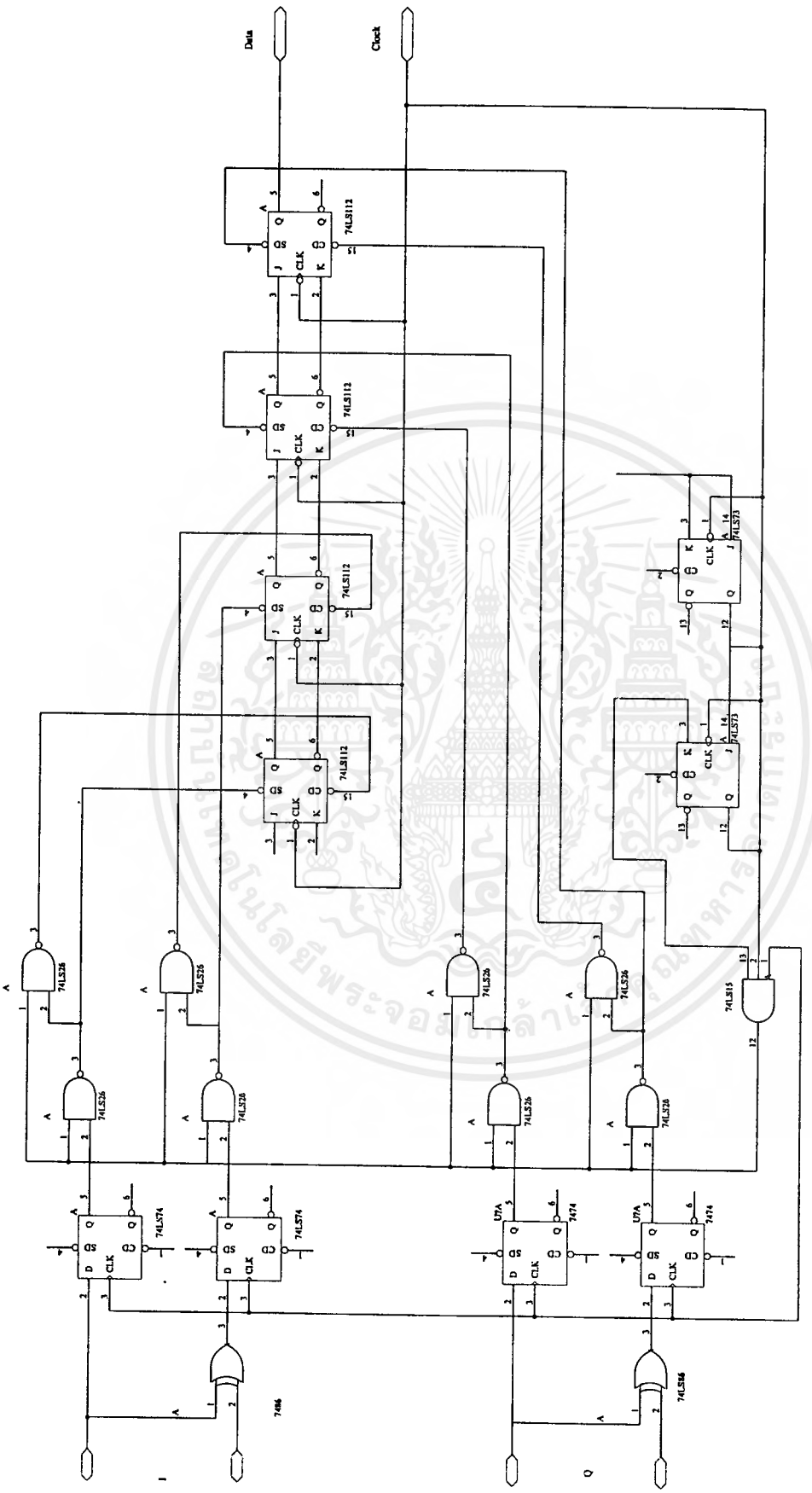
ตารางที่ 3.8 การทำงานของเจเคฟลิปฟลอป

การทำงานของวงจรรวมสัญญาณดิจิตอลมีการทำงานดังรูปที่ 3.25 ดังรูปต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.26 วงจรรวมสัญญาณดิจิตอล

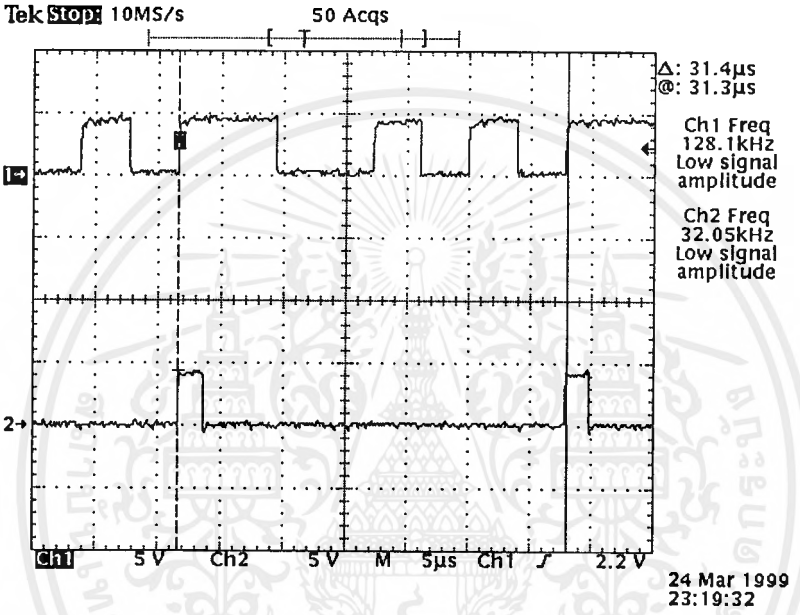
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

4.1 ส่วนแปลงสัญญาณอนาล็อคให้เป็นข้อมูลดิจิตอล

เมื่อทำการป้อนอินพุทเข้าไปในส่วนแปลงสัญญาณอนาล็อคให้เป็นข้อมูลดิจิตอล ซึ่งมีส่วนประกอบ 3 ส่วน คือ ส่วนแปลงสัญญาณอนาล็อคให้เป็นข้อมูลดิจิตอล ส่วนแรมและส่วนแปลงสัญญาณรูปแบบขนาน 8 บิทให้เป็นสัญญาณรูปแบบอนุกรม

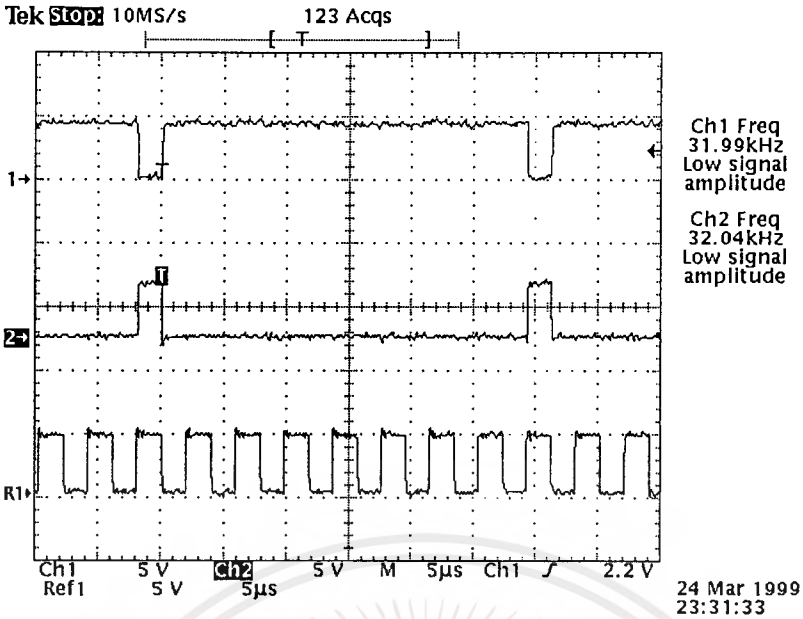


รูปที่ 4.1 ผลการทดลองจากวงจรแปลงสัญญาณอนาล็อคให้เป็นข้อมูลดิจิตอล เมื่อทำการป้อนอินพุท 2.2 โวลท์

แชนแนลที่ 1 คือ สัญญาณเอาท์พุทที่ได้จากวงจรแปลงสัญญาณอนาล็อคให้เป็นข้อมูลดิจิตอล

แชนแนลที่ 2 คือ สัญญาณคล็อคอินฮิบิทที่ใช้ในการถ่ายโอนข้อมูลออกจากส่วนแปลงสัญญาณรูปแบบ ขนาน 8 บิทให้เป็นสัญญาณรูปแบบอนุกรมของวงจรแปลงสัญญาณอนาล็อคให้เป็นข้อมูลดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



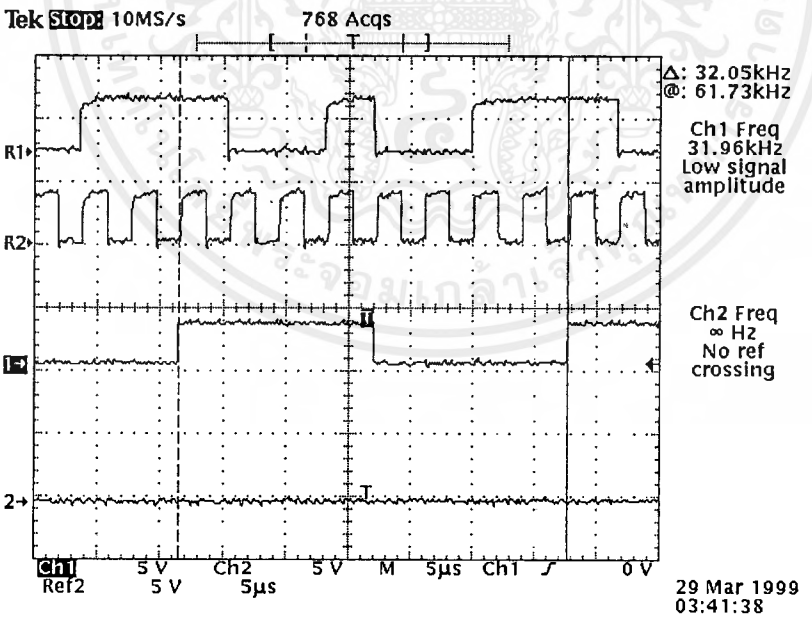
รูปที่ 4.2 ผลการทดลองจากส่วนแปลงสัญญาณรูปแบบขนาน 8 บิท ให้เป็นสัญญาณรูปแบบอนุกรม

แชนแนลที่ 1 สัญญาณชิฟท์โลดที่ใช้ในการรับข้อมูลขนาน 8 บิทของการแปลงข้อมูลขนานเป็นข้อมูลอนุกรม

แชนแนลที่ 2 สัญญาณคล็อคอินฮิบิทที่ใช้ในการถ่ายโอนข้อมูลอนุกรม

อ้างอิงที่ 1 สัญญาณนาฬิกาความถี่ 256 กิโลเฮิร์ท

4.2 <u>ส่วนภาคส่ง</u>



รูปที่ 4.3 ผลการทดลองวงจรแยกสัญญาณดิจิตอล เมื่อทำการป้อนอินพุท 1.6 โวลท์

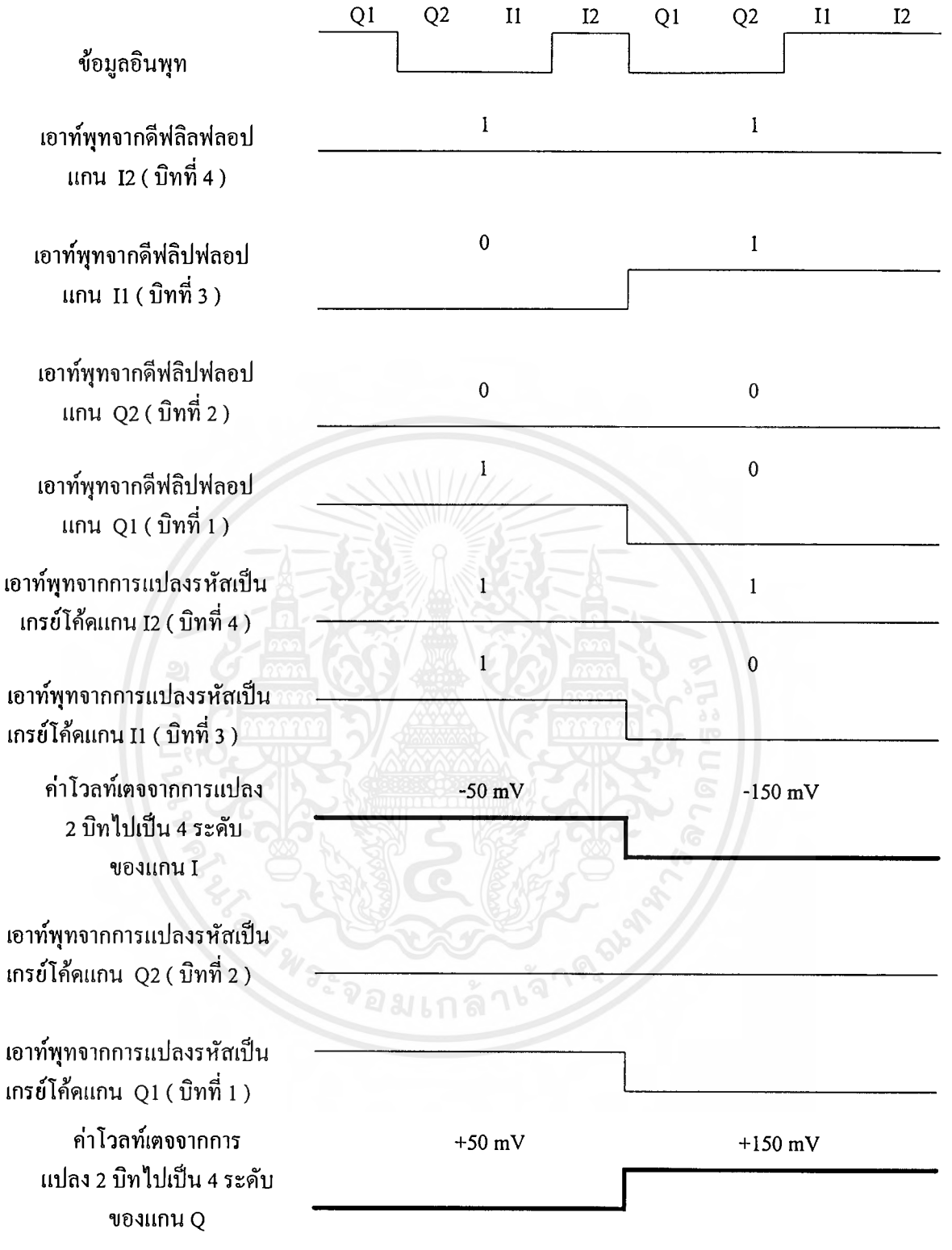
อ้างอิงที่ 1 สัญญาณอินพุทที่วงจรแยกสัญญาณ

อ้างอิงที่ 2 สัญญาณนาฬิกาความถี่ 256 กิโลเฮิร์ท

แชนแนลที่ 1 รหัสไบนารี่ที่ได้จากดีฟลิปฟลอปตัวล่างของแกนควอเดเจอร์เฟส (Q1)

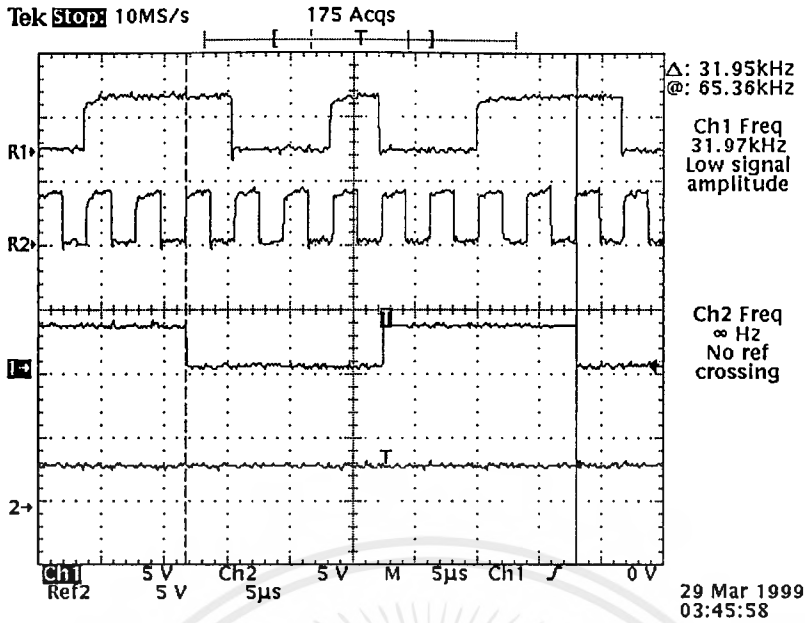
แชนแนลที่ 2 รหัสไบนารี่ที่ได้จากดีฟลิปฟลอปตัวบนของแกนควอเดเจอร์เฟส (Q2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 กราฟประกอบการบรรยายผลการทดลองรูปที่ 4.3 – 4.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



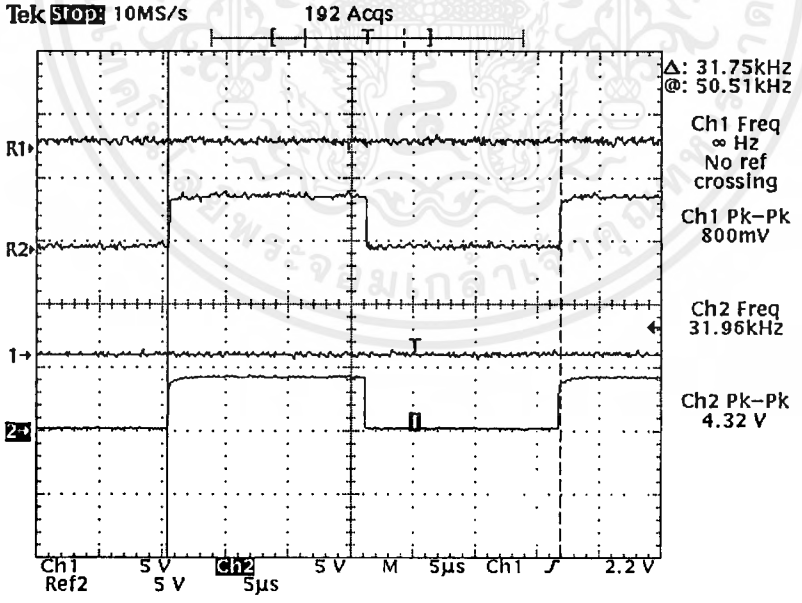
รูปที่ 4.5 ผลการทดลองจากวงจรแยกสัญญาณดิจิตอล เมื่อทำการป้อนอินพุท 1.6 โวลท์ที่วงจรแปลงสัญญาณอนาล็อคให้เป็นข้อมูลดิจิตอล

อ้างอิงที่ 1 สัญญาณอินพุทที่วงจรแยกสัญญาณ

อ้างอิงที่ 2 สัญญาณนาฬิกาความถี่ 256 กิโลเฮิร์ท

แชนแนลที่ 1 รหัสไบนารี่ที่ได้จากดีฟลิปฟลอปตัวล่างของแกนอินเฟส (I1)

แชนแนลที่ 2 รหัสไบนารี่ที่ได้จากดีฟลิปฟลอปตัวบนของแกนอินเฟส (I2)



รูปที่ 4.6 ผลการทดลองการแปลงรหัสไบนารี่ไปเป็นรหัสเกรย์ โดยการใช้เอ็กซ์คลูซีฟออร์เกท

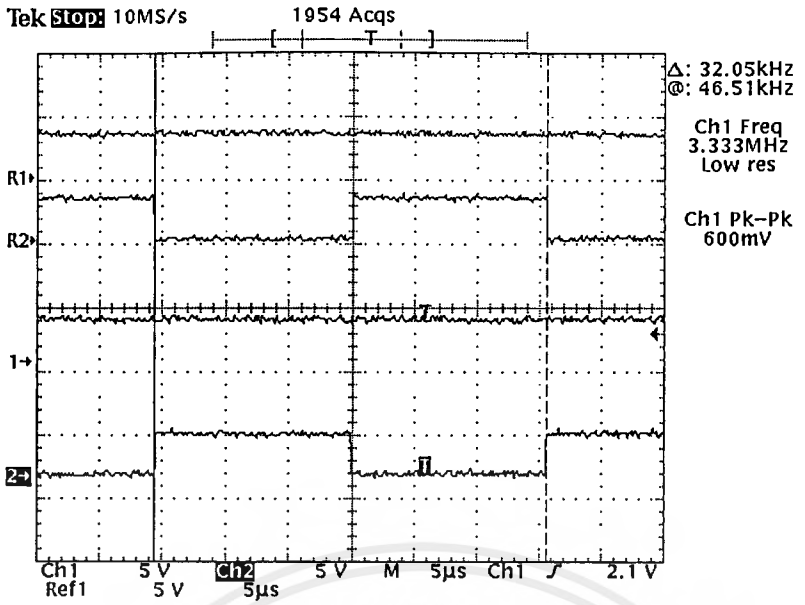
อ้างอิงที่ 1 รหัสไบนารี่ที่ได้จากดีฟลิปฟลอปตัวบนของแกนควอเดเจอร์เฟส

อ้างอิงที่ 2 รหัสไบนารี่ที่ได้จากดีฟลิปฟลอปตัวล่างของแกนควอเดเจอร์เฟส

แชนแนลที่ 1 รหัสเกรย์ตัวที่ 2 (Q2) ของแกนควอเดเจอร์เฟส

แชลแนลที่ 2 รหัสเกรย์ตัวที่ 1 (Q1) ของแกนควอเดเจอร์เฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



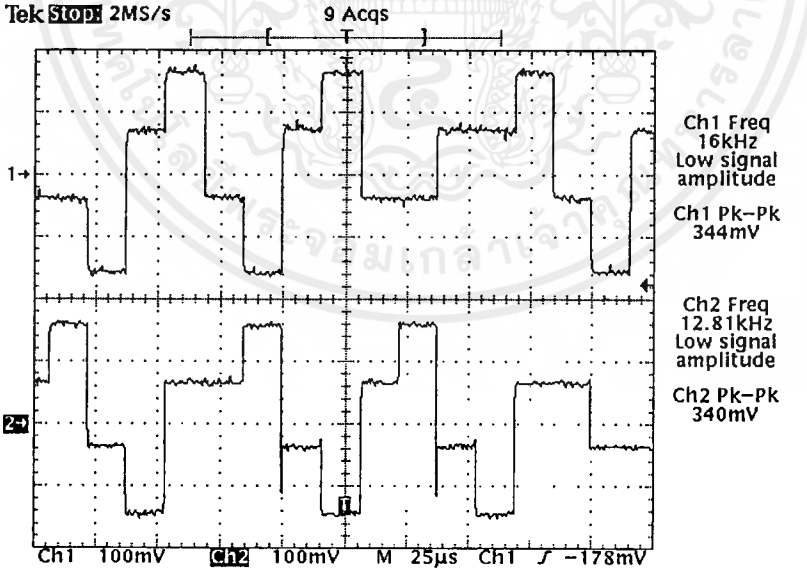
รูปที่ 4.7 ผลการทดลองการแปลงรหัสไบนารี่ไปเป็นรหัสเกรย์ โดยการใช้เอ็กซ์คลูซีฟออร์เกท

อ้างอิงที่ 1 รหัสไบนารี่ที่ได้จากดีฟลิปฟลอปตัวบนของแกนอินเฟส

อ้างอิงที่ 2 รหัสไบนารี่ที่ได้จากดีฟลิปฟลอปตัวล่างของแกนอินเฟส

แชนแนลที่ 1 รหัสเกรย์ตัวที่ 2 (I2) ของแกนอินเฟส

แชนแนลที่ 2 รหัสเกรย์ตัวที่ 1 (I1) ของแกนอินเฟส

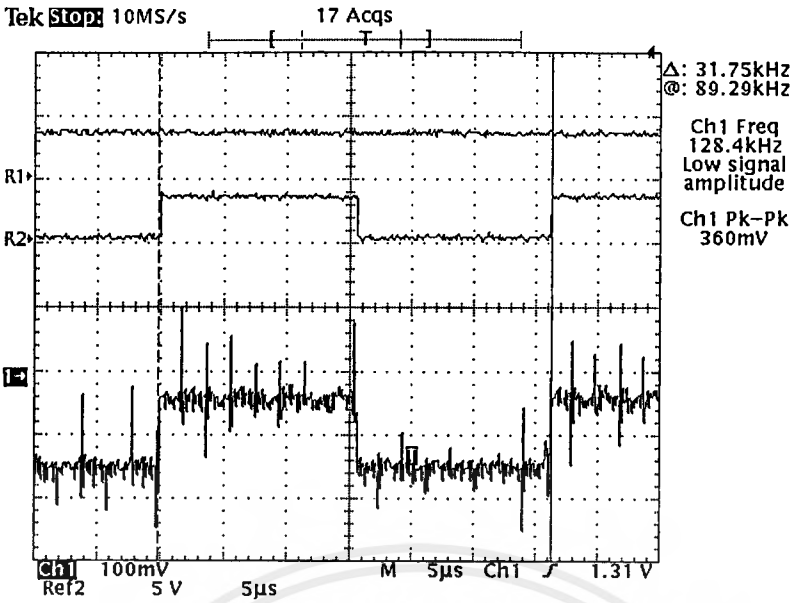


รูปที่ 4.8 ผลการทดลองจากวงจรแปลง 2 บิทไปเป็น 4 ระดับ เมื่อทำการป้อนอินพุทแบบสุ่ม

แชนแนลที่ 1 เอาท์พุทที่ได้จากวงจรแปลง 2 บิทไปเป็น 4 ระดับของแกนอินเฟส

แชนแนลที่ 2 เอาท์พุทที่ได้จากวงจรแปลง 2 บิทไปเป็น 4 ระดับของแกนควอเดเจอร์เฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 ผลการทดลองจากวงจรแปลง 2 บิทไปเป็น 4 ระดับ เมื่อทำการป้อนอินพุท 1.6 โวลท์

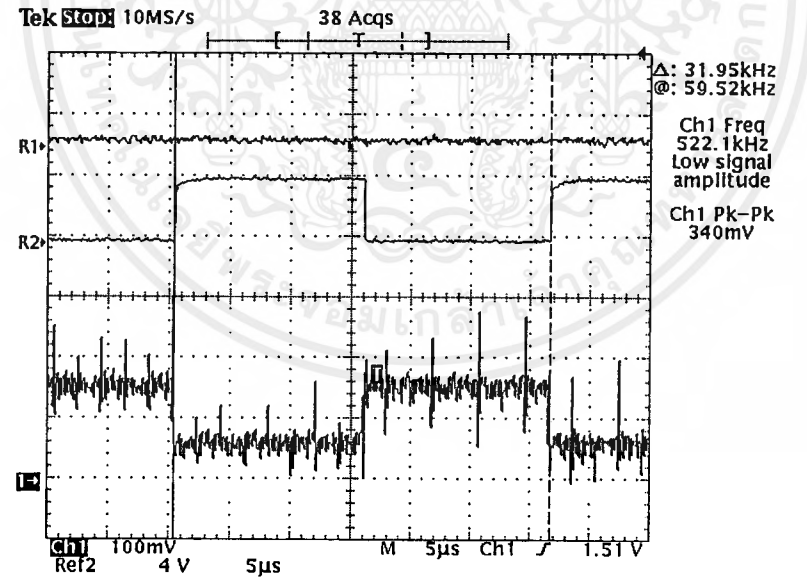
อ้างอิงที่ 1 รหัสเกรย์ตัวที่ 2 (I2) ของแกนอินเฟส

(อินพุทของวงจรแปลง 2 บิทไปเป็น 4 ระดับ)

อ้างอิงที่ 2 รหัสเกรย์ตัวที่ 1 (I1) ของแกนอินเฟส

(อินพุทของวงจรแปลง 2 บิทไปเป็น 4 ระดับ)

แชนแนลที่ 1 เอาท์พุทที่ได้จากวงจรแปลง 2 บิทไปเป็น 4 ระดับของแกนอินเฟส



รูปที่ 4.10 ผลการทดลองจากวงจรแปลง 2 บิทไปเป็น 4 ระดับ เมื่อทำการป้อนอินพุท 1.6 โวลท์

อ้างอิงที่ 1 รหัสเกรย์ตัวที่ 2 (I2) ของแกนอินเฟส

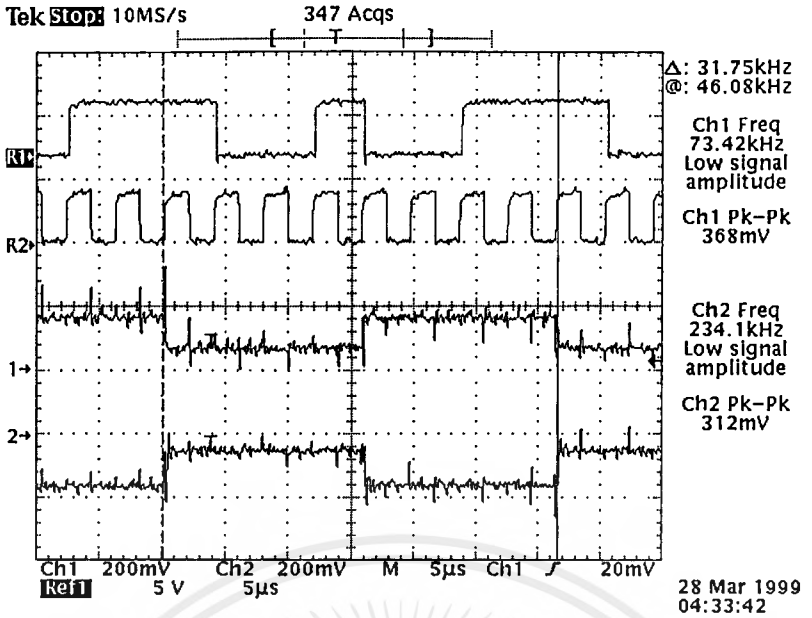
(อินพุทของวงจรแปลง 2 บิทไปเป็น 4 ระดับ)

อ้างอิงที่ 2 รหัสเกรย์ตัวที่ 1 (I1) ของแกนอินเฟส

(อินพุทของวงจรแปลง 2 บิทไปเป็น 4 ระดับ)

แชนแนลที่ 1 เอาท์พุทที่ได้จากวงจรแปลง 2 บิทไปเป็น 4 ระดับของแกนควอเดเจอร์เฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



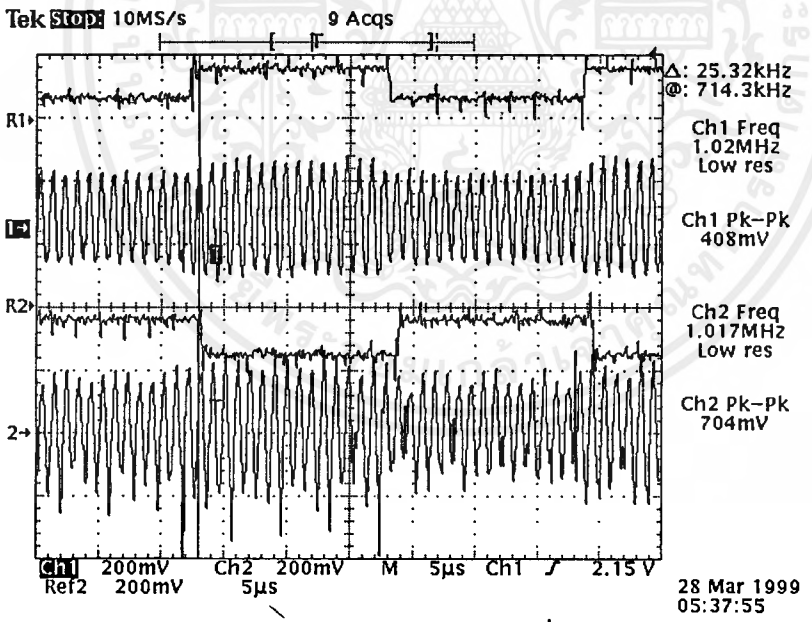
รูปที่ 4.11 ผลการทดลองจากวงจรแปลง 2 บิทไปเป็น 4 ระดับ เมื่อทำการป้อนอินพุท 1.6 โวลท์

อ้างอิงที่ 1 สัญญาณเอาท์พุทที่ได้จากวงจรแปลงสัญญาณอนาล็อคให้เป็นข้อมูลดิจิตอล

อ้างอิงที่ 2 สัญญาณนาฬิกาความถี่ 256 กิโลเฮิร์ท

แชนแนลที่ 1 เอาท์พุทที่ได้จากวงจรแปลง 2 บิทไปเป็น 4 ระดับของแกนควอเดเจอร์เฟส

แชนแนลที่ 2 เอาท์พุทที่ได้จากวงจรแปลง 2 บิทไปเป็น 4 ระดับของแกนอินเฟส



รูปที่ 4.12 ผลการทดลองจากวงจรบาลานซ์มอดูเลเตอร์ เมื่อทำการป้อนอินพุท 1.6 โวลท์ที่วงจรแปลงสัญญาณอนาล็อคให้เป็นข้อมูลดิจิตอล

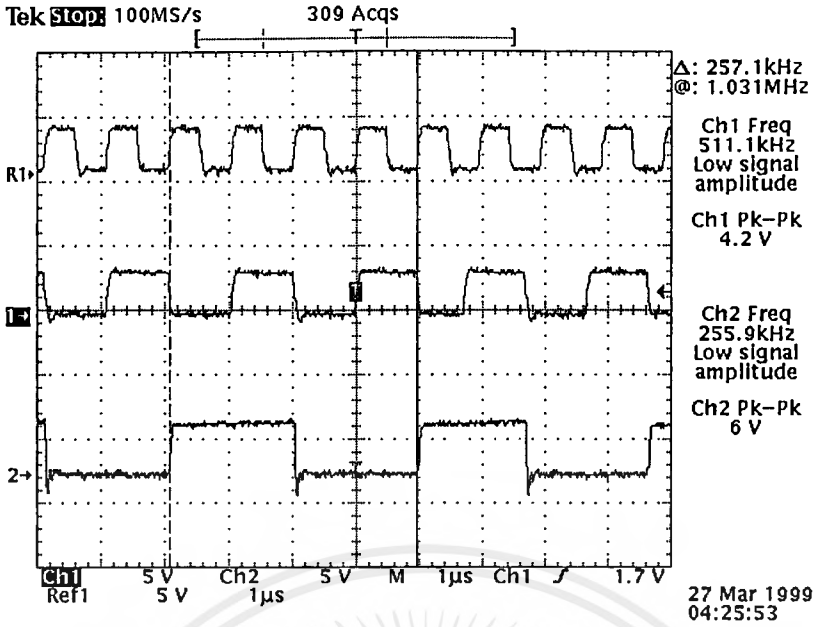
อ้างอิงที่ 1 ข้อมูลอินพุทของวงจรบาลานซ์มอดูเลเตอร์ของแกนควอเดเจอร์เฟส

แชนแนลที่ 1 เอาท์พุทของวงจรบาลานซ์มอดูเลเตอร์ของแกนควอเดเจอร์เฟส

อ้างอิงที่ 2 ข้อมูลอินพุทของวงจรบาลานซ์มอดูเลเตอร์ของแกนอินเฟส

แชนแนลที่ 2 เอาท์พุทของวงจรบาลานซ์มอดูเลเตอร์ของแกนอินเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

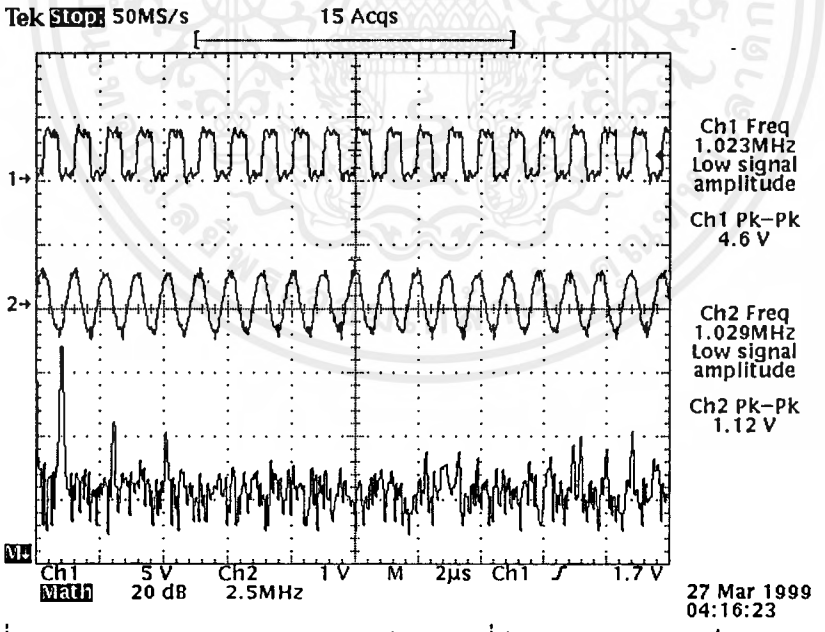


รูปที่ 4.13 ผลการทดลองจากวงจรสร้างสัญญาณพาหะ วงจรสร้างสัญญาณไพล็อทและวงจรสร้างสัญญาณนาฬิกา

อ้างอิงที่ 1 เอาท์พุทของวงจรสร้างสัญญาณพาหะ 1.024 เมกกะเฮิร์ท

แชนแนลที่ 1 เอาท์พุทของวงจรสร้างสัญญาณไพล็อท 512 กิโลเฮิร์ท

แชนแนลที่ 2 เอาท์พุทของวงจรสร้างสัญญาณนาฬิกา 256 กิโลเฮิร์ท



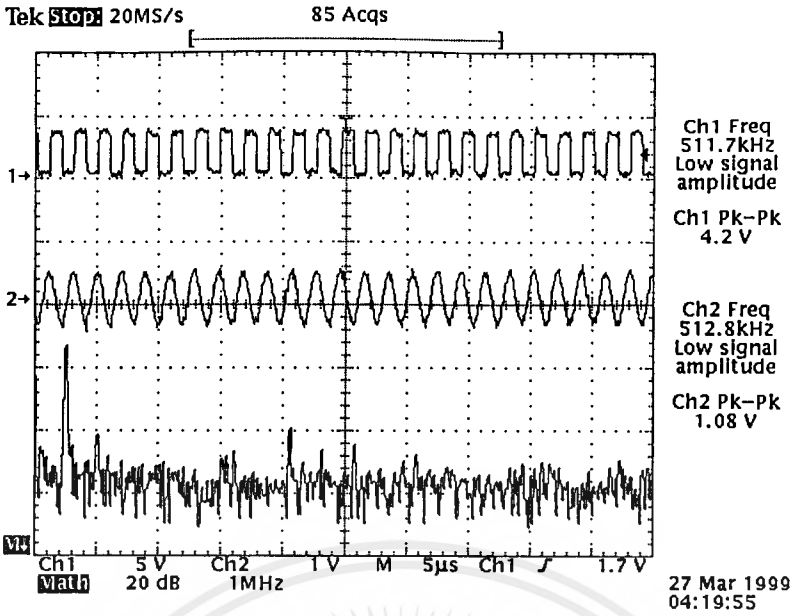
รูปที่ 4.14 ผลการทดลองจากวงจรกรองช่วงความถี่ผ่าน 1.024 เมกกะเฮิร์ททางภาคส่ง

แชนแนลที่ 1 อินพุทวงจรกรองช่วงความถี่ผ่าน 1.024 เมกกะเฮิร์ท

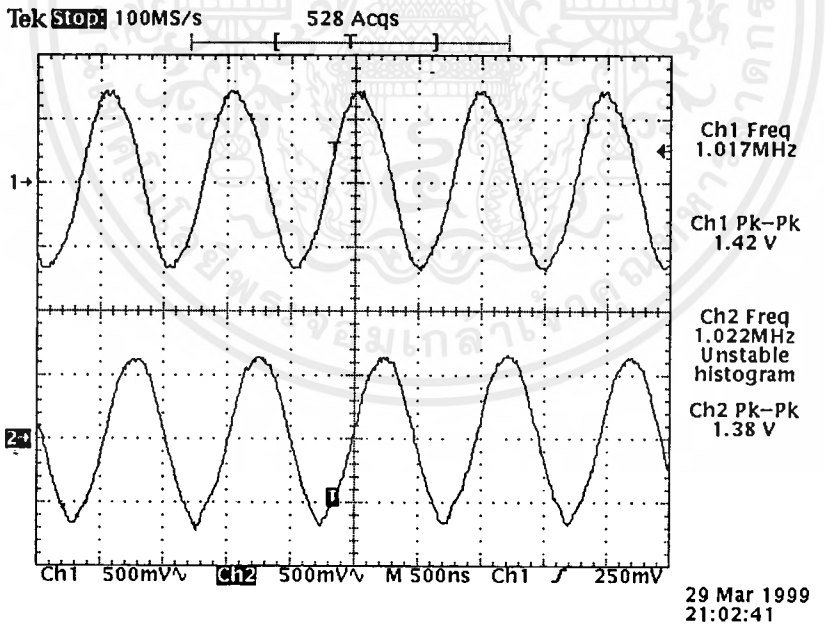
แชนแนลที่ 2 เอาท์พุทของวงจรกรองช่วงความถี่ผ่าน 1.024 เมกกะเฮิร์ท

ช่องสัญญาณแมท เอาท์พุททางสเปกตรัมของสัญญาณพาหะ 1.024 เมกกะเฮิร์ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



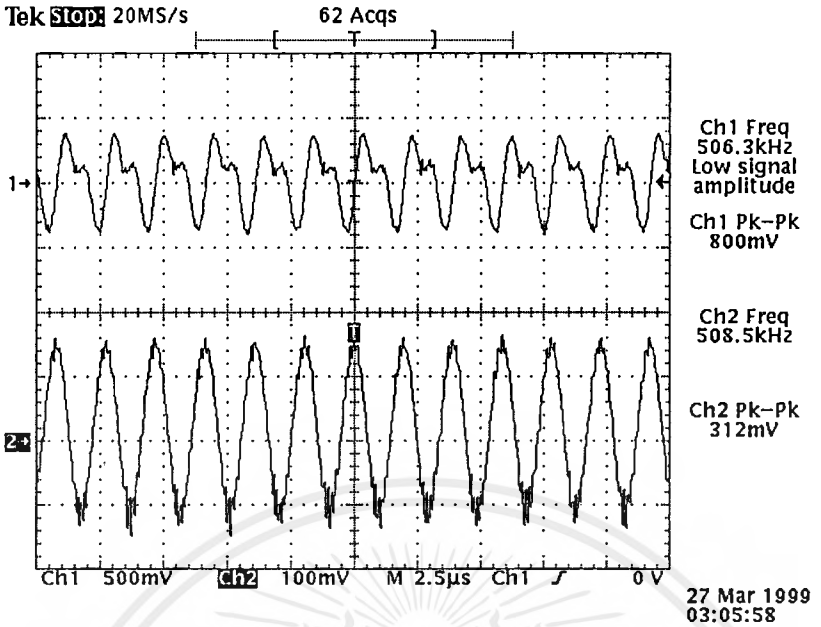
รูปที่ 4.15 ผลการทดลองจากวงจรกรองช่วงความถี่สัญญาณไพล็อท 512 กิโลเฮิร์ททางภาคส่ง
แชนแนลที่ 1 อินพุทของวงจรกรองช่วงความถี่ผ่าน 512 กิโลเฮิร์ท
แชนแนลที่ 2 เอาท์พุทของวงจรกรองช่วงความถี่ผ่าน 512 กิโลเฮิร์ท
ช่องสัญญาณแมท เอาท์พุทางสเปกตรัมของสัญญาณไพล็อท 512 กิโลเฮิร์ท



รูปที่ 4.15 ผลการทดลองจากวงจรเลื่อนเฟส 90 องศาของสัญญาณพาหะทางภาคส่ง
เมื่อทำการป้อนอินพุทเป็นสัญญาณโคไซน์
แชนแนลที่ 1 อินพุทของวงจรเลื่อนเฟส 90 องศา เป็นสัญญาณรูปโคไซน์
แชนแนลที่ 2 เอาท์พุทของวงจรเลื่อนเฟส 90 องศา เป็นสัญญาณรูปไซน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 ส่วนภาครับ



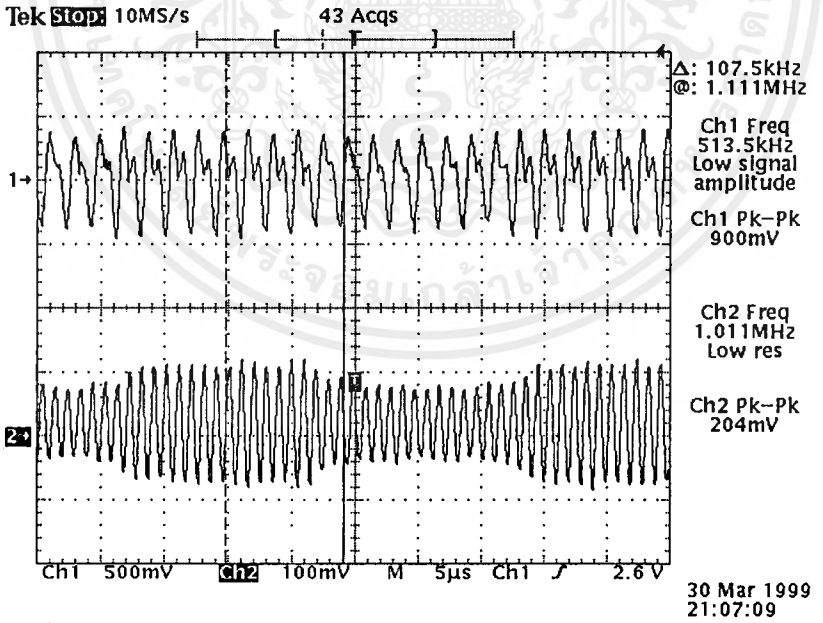
รูปที่ 4.17 ผลการทดลองจากวงจรกรองช่วงความถี่ผ่าน 512 กิโลเฮิร์ททางภาครับ

แชนแนลที่ 1 สัญญาณอินพุทวงจรกรองช่วงความถี่ผ่าน 512 กิโลเฮิร์ท

(สัญญาณจากวงจรรวมสัญญาณทางภาคส่ง)

แชนแนลที่ 2 สัญญาณเอาท์พุทของวงจรกรองช่วงความถี่ผ่าน 512 กิโลเฮิร์ท

(สัญญาณไพล็อทที่จะนำไปกู้สัญญาณ)



รูปที่ 4.18 ผลการทดลองวงจรกรองความถี่ผ่าน 1.024 เมกกะเฮิร์ททางภาครับ

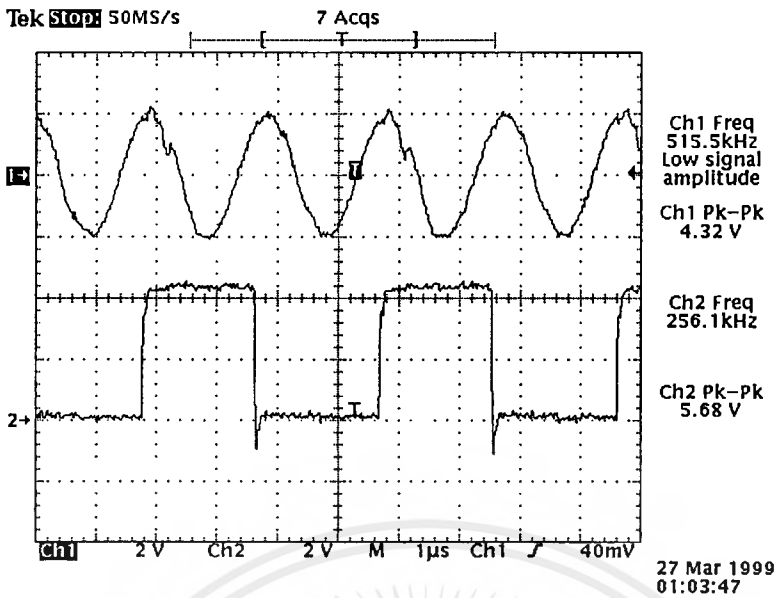
แชนแนลที่ 1 สัญญาณอินพุทวงจรกรองช่วงความถี่ผ่าน 1.024 เมกกะเฮิร์ท

(สัญญาณจากวงจรรวมสัญญาณทางภาคส่ง)

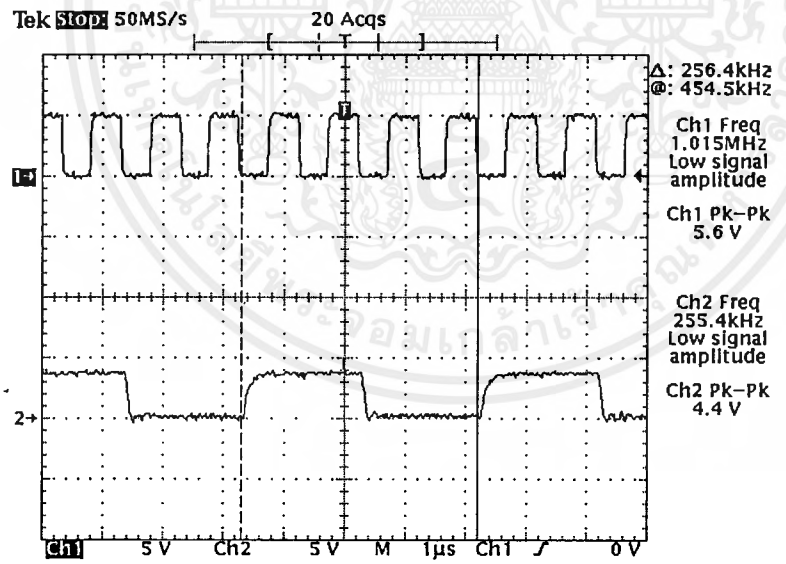
แชนแนลที่ 2 สัญญาณเอาท์พุทจากวงจรกรองความถี่ผ่าน 1.024 เมกกะเฮิร์ท

เป็นสัญญาณที่จะนำไปเข้าวงจรดีมอดูเลท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

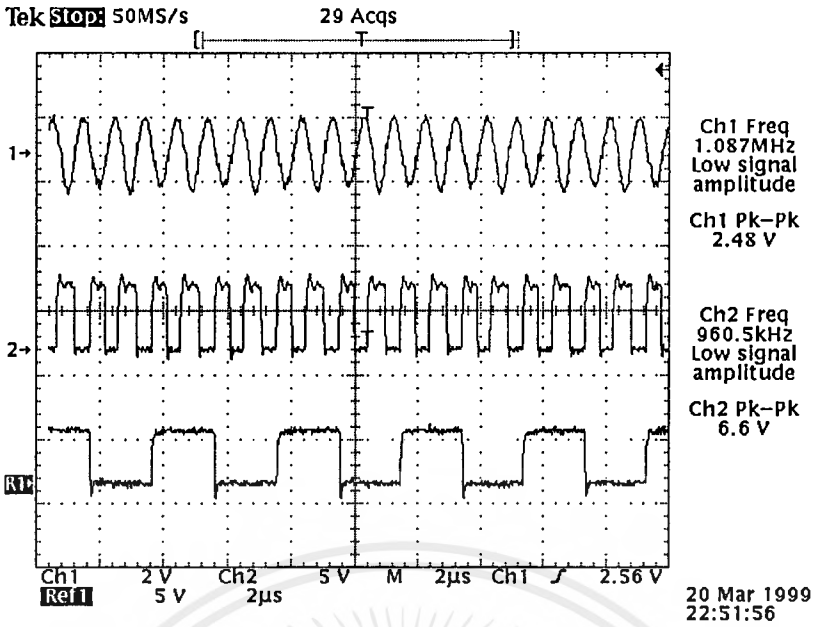


รูปที่ 4.19 ผลการทดลองจากวงจรกู้สัญญาณนาฬิกาความถี่ 256 กิโลเฮิร์ททางภาครับ
แชนแนลที่ 1 สัญญาณอินพุทของวงจรกู้สัญญาณนาฬิกาความถี่ 256 กิโลเฮิร์ท
ซึ่งเป็นสัญญาณไพล็อท 512 กิโลเฮิร์ท
แชนแนลที่ 2 สัญญาณเอาท์พุทของวงจรกู้สัญญาณนาฬิกาความถี่ 256 กิโลเฮิร์ท

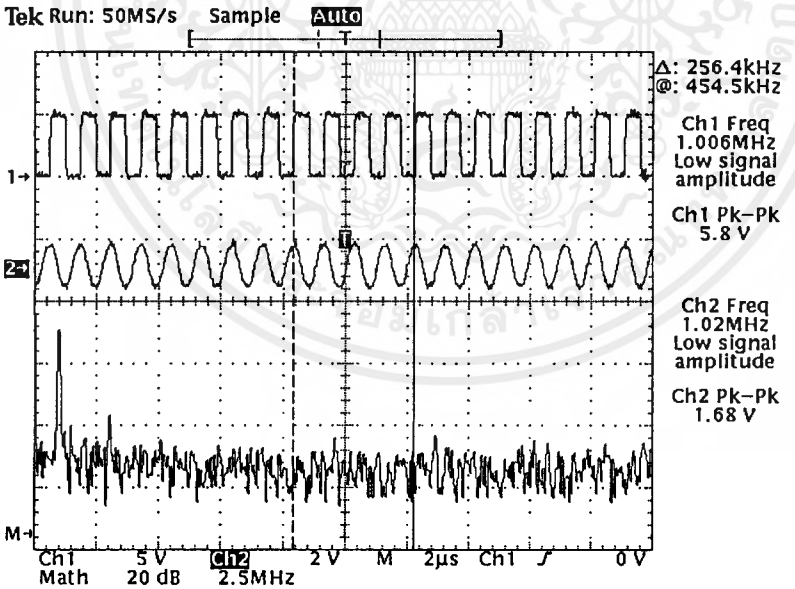


รูปที่ 4.20 ผลการทดลองวงจรกู้สัญญาณพาหะความถี่ 1.024 เมกกะเฮิร์ททางภาครับ
แชนแนลที่ 1 สัญญาณเอาท์พุทวงจรกู้สัญญาณพาหะความถี่ 1.024 เมกกะเฮิร์ท
แชนแนลที่ 2 สัญญาณอินพุทของวงจรกู้สัญญาณพาหะความถี่ 1.024 เมกกะเฮิร์ท
ซึ่งเป็นสัญญาณนาฬิกาความถี่ 256 กิโลเฮิร์ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

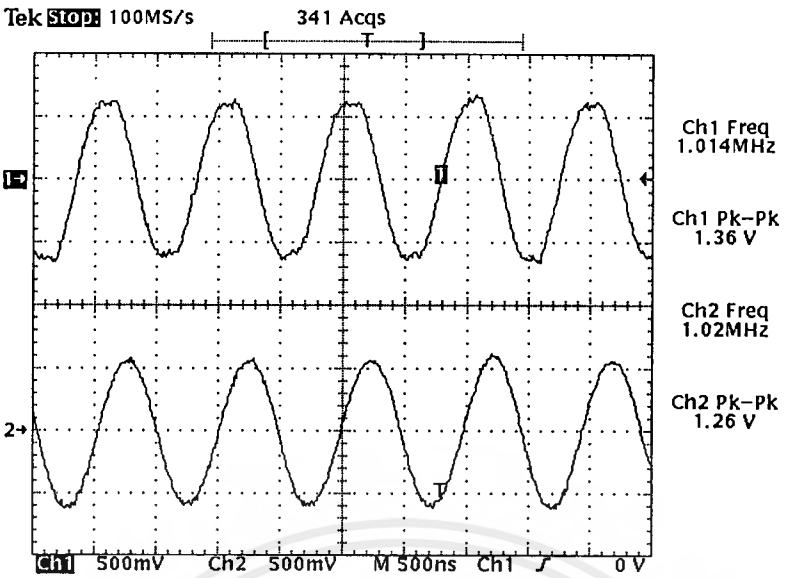


รูปที่ 4.21 ผลการทดลองจากวงจรกู้สัญญาณพาหะความถี่ 1.024 เมกกะเฮิร์ททางภาครับ
แชนแนลที่ 1 สัญญาณเอาท์พุทจากวงจรกู้สัญญาณพาหะความถี่
1.024 เมกกะเฮิร์ท หลังผ่านวงจรกรองช่วงความถี่ผ่าน
แชนแนลที่ 2 สัญญาณเอาท์พุทจากวงจรกู้สัญญาณพาหะความถี่
1.024 เมกกะเฮิร์ท
อ้างอิงที่ 1 สัญญาณนาฬิกาความถี่ 256 กิโลเฮิร์ท

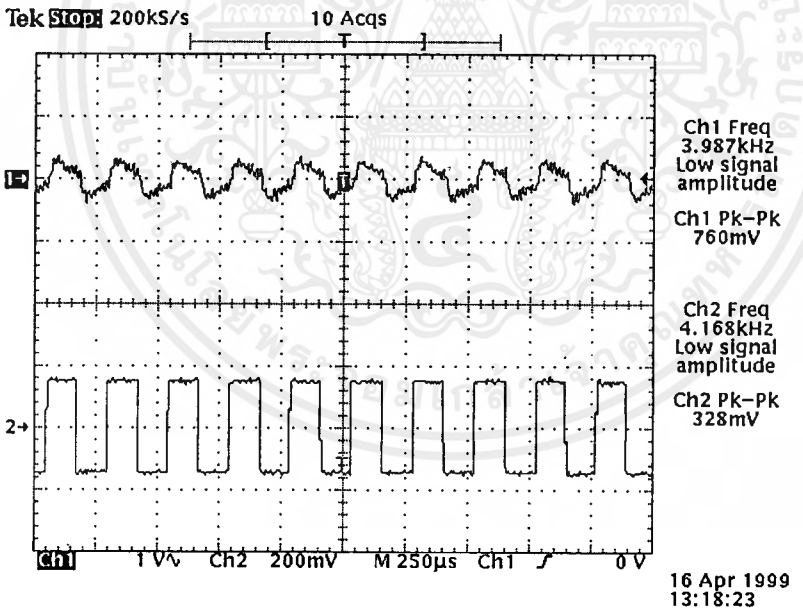


รูปที่ 4.22 ผลการทดลองจากวงจรกรองช่วงความถี่สัญญาณพาหะ 1.024 เมกกะเฮิร์ททางภาครับ
แชนแนลที่ 1 อินพุทของวงจรกรองช่วงความถี่ผ่าน 1.024 เมกกะเฮิร์ท
แชนแนลที่ 2 เอาท์พุทของวงจรกรองช่วงความถี่ผ่าน 1.024 เมกกะเฮิร์ท
ช่องสัญญาณแมท เอาท์พุททางสเปกตรัมของสัญญาณพาหะ 1.024 เมกกะเฮิร์ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

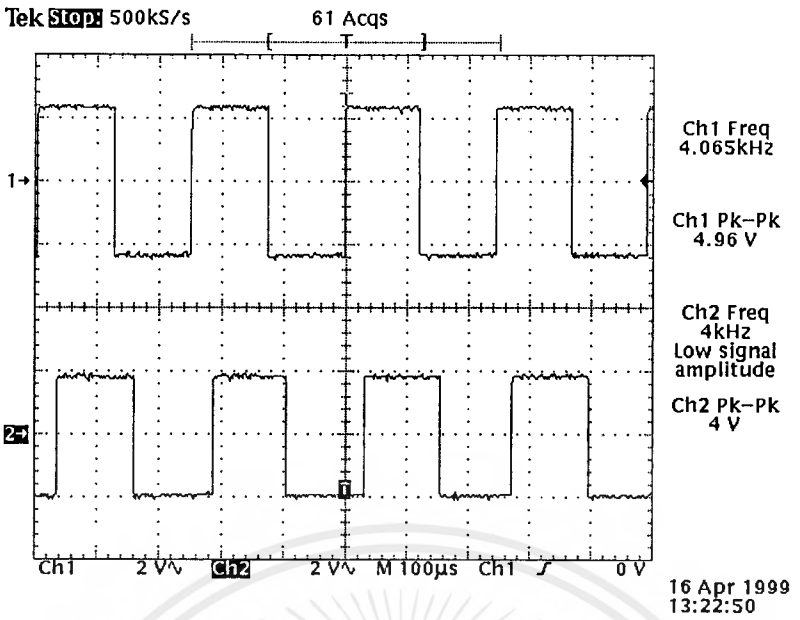


รูปที่ 4.23 ผลการทดลองจากวงจรเลื่อนเฟส 90 องศาของสัญญาณพาหะทางภาครับ
แชนแนลที่ 1 อินพุทของวงจรเลื่อนเฟส 90 องศา เป็นสัญญาณรูปโคไซน์
แชนแนลที่ 2 เอาท์พุทของวงจรเลื่อนเฟส 90 องศา เป็นสัญญาณรูปไซน์



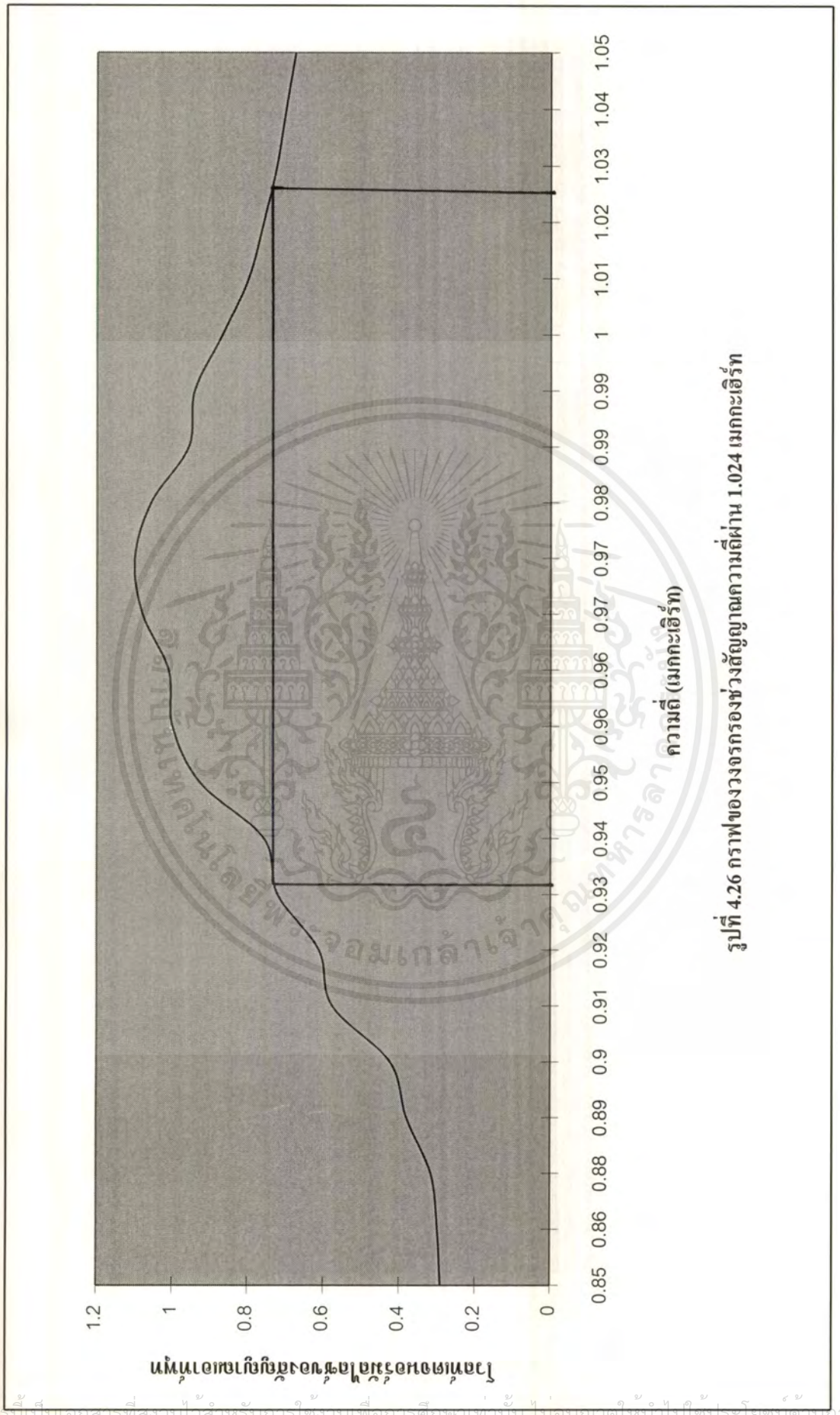
รูปที่ 4.24 ผลการทดลองจากวงจรขยายสัญญาณ 4 ระดับทางภาครับ
แชนแนลที่ 1 อินพุทของวงจรขยายสัญญาณ 4 ระดับ ซึ่งเป็นเอาท์พุท
ของวงจรกรองช่วงความถี่ต่ำผ่าน 256 กิโลเฮิร์ท
แชนแนลที่ 2 เอาท์พุทของวงจรขยายสัญญาณ 4 ระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



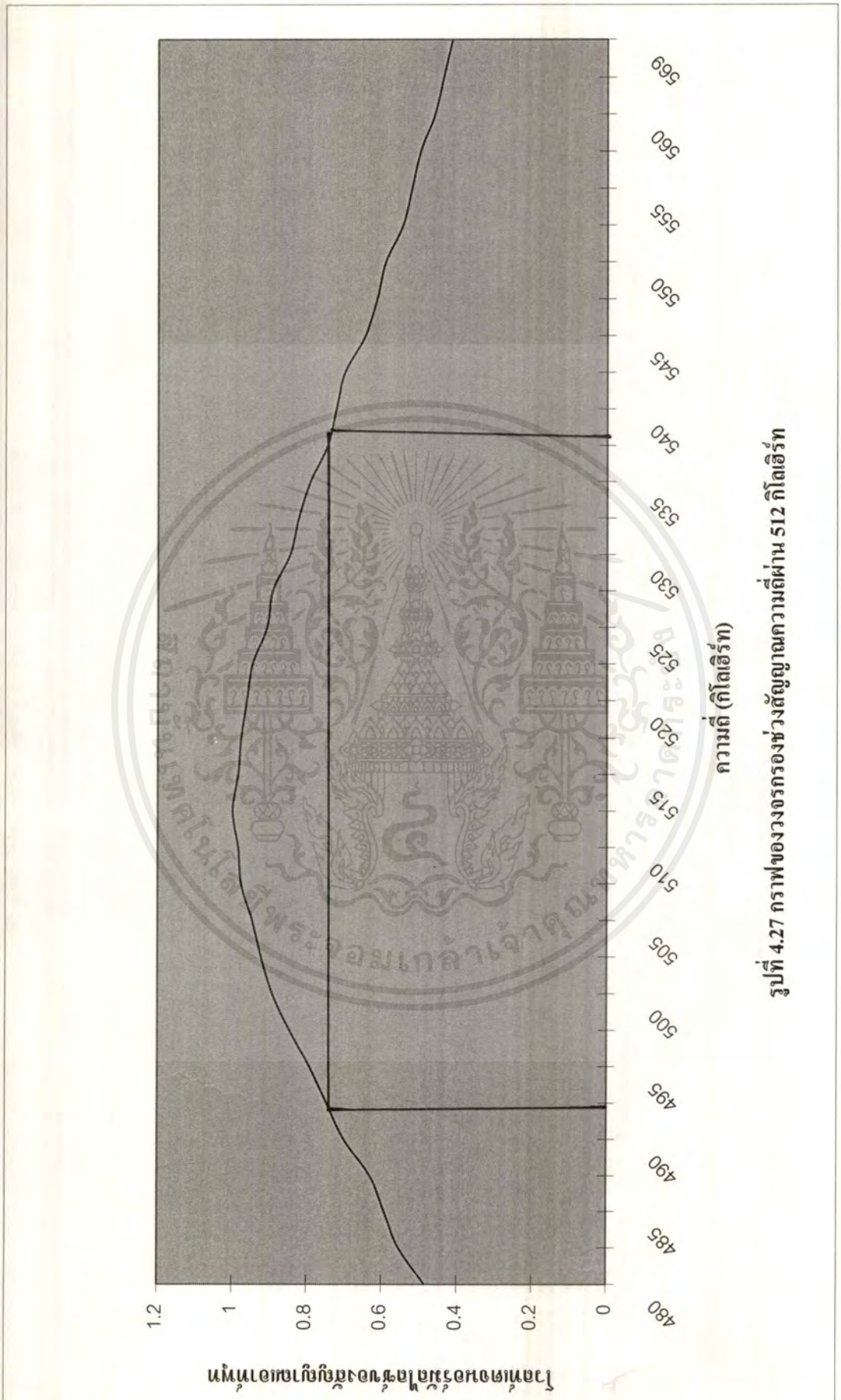
รูปที่ 4.25 ผลการทดลองของเครื่องรับส่งสัญญาณแบบ 16 QAM เมื่อทำการป้อนอินพุท
เป็นสัญญาณสี่เหลี่ยมความถี่ 4 กิโลเฮิร์ท
แชนแนลที่ 1 สัญญาณอินพุทของเครื่องส่งสัญญาณแบบ 16 QAM
ซึ่งเป็นสัญญาณรูปสี่เหลี่ยมความถี่ 4 กิโลเฮิร์ท
แชนแนลที่ 2 สัญญาณเอาท์พุทของเครื่องรับสัญญาณแบบ 16 QAM
ซึ่งได้เป็นสัญญาณรูปสี่เหลี่ยมความถี่ 4 กิโลเฮิร์ทเหมือนทาง
เครื่องส่งสัญญาณแบบ 16 QAM แต่มีการหน่วงเวลาไปเล็กน้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



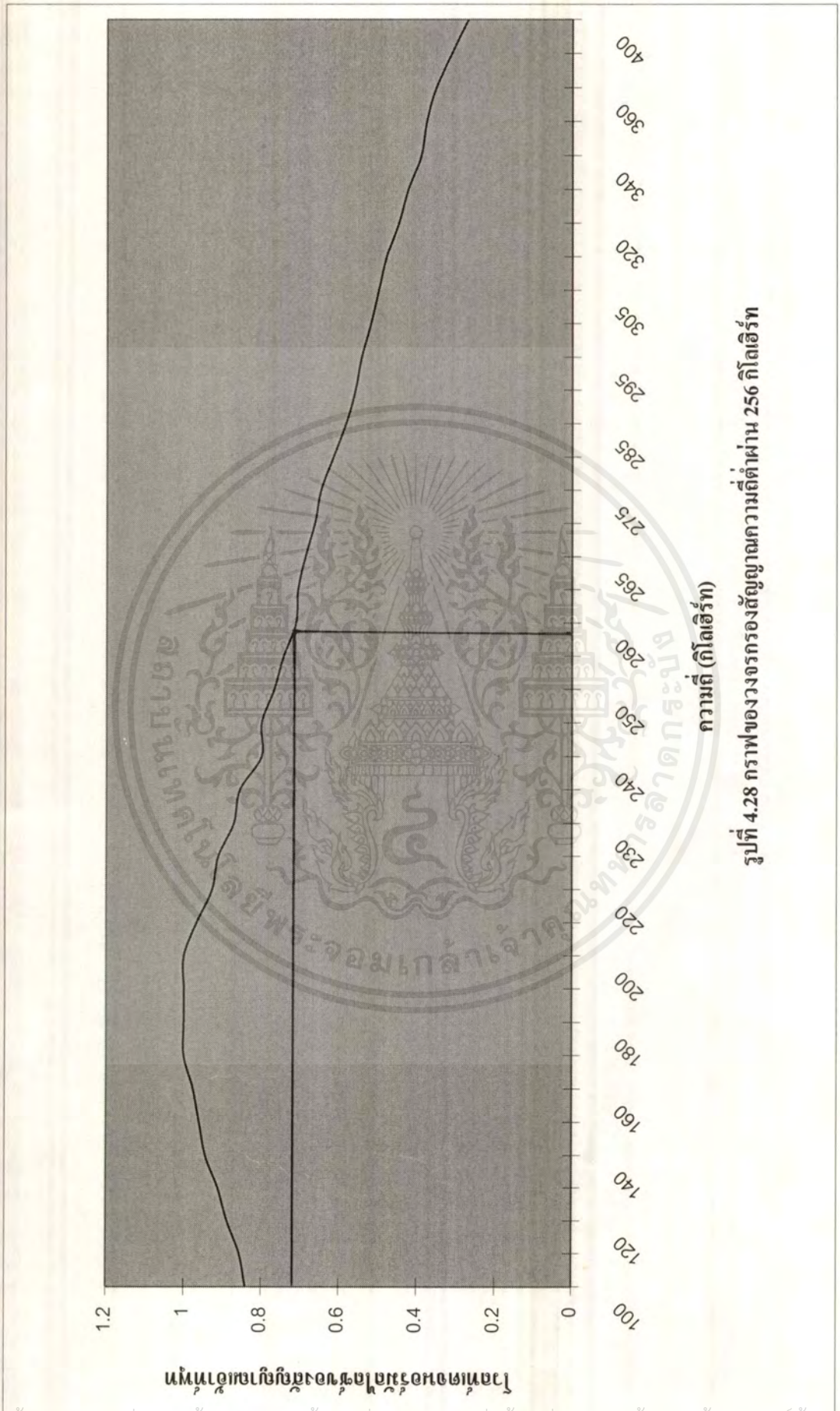
รูปที่ 4.26 กราฟของวงจรกรองช่วงสัญญาณความถี่ผ่าน 1.024 เมกะเฮิร์ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.27 กราฟของวงจรกรองช่วงสัญญาณความถี่ผ่าน 512 กิโลเฮิร์ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.28 กราฟของวงจรกรองสัญญาณความถี่ต่ำผ่าน 256 กิโลเฮิร์ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และบทสรุป

ในส่วนของการทำงานของวงจรแปลงสัญญาณอนาล็อคให้เป็นข้อมูลดิจิตอลนั้นจะใช้กับสัญญาณความถี่ต่ำกว่า 32 กิโลเฮิร์ทเนื่องจากกำหนดค่าความถี่ของสัญญาณแซมปลิ้ง (sampling rate) ไว้ที่ 64 กิโลเฮิร์ท และความจุของแรมในวงจรแปลงสัญญาณอนาล็อคให้เป็นข้อมูลดิจิตอลนั้นมีค่าเพียง 2 กิโลไบท์ หากผู้ใช้ต้องการนำไปใช้งานจริงควรเพิ่มความจุแรมให้มากกว่านี้ โครงงานนี้ได้สร้างวงจรนี้ขึ้นมาเพื่อป้อนสัญญาณอินพุทซึ่งเป็นข้อมูลดิจิตอลให้แก่ภาคส่งสัญญาณ หากผู้ที่ต้องการใช้งานจริงในส่วนการแปลงสัญญาณอนาล็อคเป็นข้อมูลดิจิตอลแล้วก็ควรที่จะเพิ่มส่วนของวงจรแปลงข้อมูลดิจิตอลให้เป็นสัญญาณอนาล็อคที่ภาครับเพื่อทำการแปลงข้อมูลดิจิตอลกลับไปเป็นสัญญาณอนาล็อคตามเดิม

การทำงานของภาคส่งสัญญาณนั้น การมอดูเลทสัญญาณนั้นประสบความสำเร็จแต่การส่งผ่านข้อมูลไปยังภาครับนั้นยังใช้การคัปปลิ้ง (coupling) สัญญาณโดยผ่านขดลวดอยู่ซึ่งการใช้งานจริงนั้นจะประสบปัญหาเรื่องสัญญาณรบกวนสูงควรใช้สายโคแอกเชียล (coaxial)ในการส่งผ่านสัญญาณแทน

การทำงานของภาครับสัญญาณนั้นสามารถแยกสัญญาณมอดูเลทเพื่อนำไปดีมอดูเลทได้และสามารถกู้สัญญาณนาฬิกาและสัญญาณพาหะจากสัญญาณไพล็อทได้แล้ว แต่สัญญาณพาหะนั้นยังให้ค่าความถี่ไม่คงที่ประกอบกับมีสัญญาณมารบกวนทางไฟเลี้ยงจึงส่งผลให้การดีมอดูเลทสัญญาณนั้นยังไม่ประสบความสำเร็จเท่าที่ควร หากผู้ที่ต้องการศึกษาโครงงานนี้แล้วนำไปใช้ควรปรับปรุงวงจรดังกล่าว ส่วนการทำงานของวงจรอื่นนั้นสามารถทำงานได้ตามที่คาดหวังไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

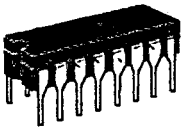
MC14046B

Phase Locked Loop

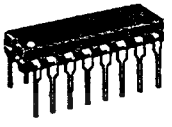
The MC14046B phase locked loop contains two phase comparators, a voltage–controlled oscillator (VCO), source follower, and zener diode. The comparators have two common signal inputs, PCA_{in} and PCB_{in}. Input PCA_{in} can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor) to small voltage signals. The self–bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator 1 (an exclusive OR gate) provides a digital error signal $PC1_{out}$, and maintains 90° phase shift at the center frequency between PCA_{in} and PCB_{in} signals (both at 50% duty cycle). Phase comparator 2 (with leading edge sensing logic) provides digital error signals, $PC2_{out}$ and LD, and maintains a 0° phase shift between PCA_{in} and PCB_{in} signals (duty cycle is immaterial). The linear VCO produces an output signal VCO_{out} whose frequency is determined by the voltage of input VCO_{in} and the capacitor and resistors connected to pins $C1_A$, $C1_B$, R1, and R2. The source–follower output SF_{out} with an external resistor is used where the VCO_{in} signal is needed but no loading can be tolerated. The inhibit input Inh, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode can be used to assist in power supply regulation.

Applications include FM and FSK modulation and demodulation, frequency synthesis and multiplication, frequency discrimination, tone decoding, data synchronization and conditioning, voltage–to–frequency conversion and motor speed control.

- Buffered Outputs Compatible with MHTL and Low–Power TTL
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 to 18 V
- Pin–for–Pin Replacement for CD4046B
- Phase Comparator 1 is an Exclusive Or Gate and is Duty Cycle Limited
- Phase Comparator 2 switches on Rising Edges and is not Duty Cycle Limited



L SUFFIX
CERAMIC
CASE 620



P SUFFIX
PLASTIC
CASE 648

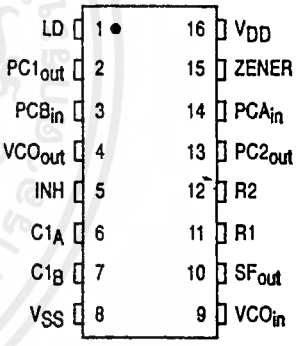
DW SUFFIX
SOIC
CASE 751G

ORDERING INFORMATION

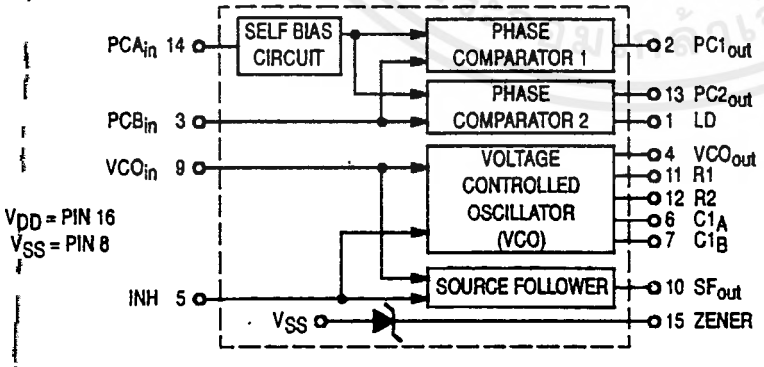
MC14XXXBCP	Plastic
MC14XXXBCL	Ceramic
MC14XXXBDW	SOIC

T_A = – 55° to 125°C for all packages.

PIN ASSIGNMENT



BLOCK DIAGRAM



© Motorola, Inc. 1997

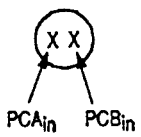
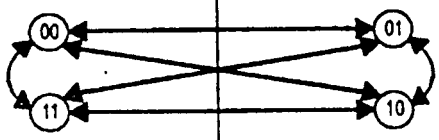
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

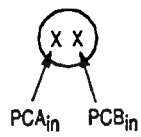
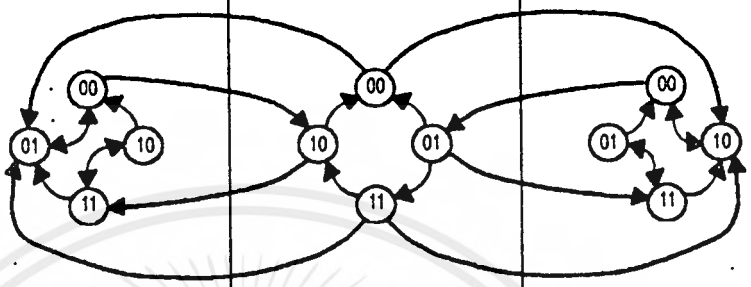
ELECTRICAL CHARACTERISTICS* (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD} Vdc	Minimum Device	Typical	Maximum Device	Units
Output Rise Time	t_{TLH}					ns
t_{TLH} = (3.0 ns/pF) C_L + 30 ns		5.0	—	180	350	
t_{TLH} = (1.5 ns/pF) C_L + 15 ns		10	—	90	150	
t_{TLH} = (1.1 ns/pF) C_L + 10 ns		15	—	65	110	
Output Fall Time	t_{THL}					ns
t_{THL} = (1.5 ns/pF) C_L + 25 ns		5.0	—	100	175	
t_{THL} = (0.75 ns/pF) C_L + 12.5 ns		10	—	50	75	
t_{THL} = (0.55 ns/pF) C_L + 9.5 ns		15	—	37	55	
PHASE COMPARATORS 1 and 2						
Input Resistance — PCA_{in}	R_{in}	5.0	1.0	2.0	—	MΩ
		10	0.2	0.4	—	
		15	0.1	0.2	—	
— PCB_{in}	R_{in}	15	150	1500	—	MΩ
Minimum Input Sensitivity	V_{in}	5.0	—	200	300	mV p–p
AC Coupled — PCA_{in}		10	—	400	600	
C series = 1000 pF, f = 50 kHz		15	—	700	1050	
DC Coupled — PCA_{in}, PCB_{in}	—	5 to 15	See Noise Immunity			
VOLTAGE CONTROLLED OSCILLATOR (VCO)						
Maximum Frequency	f_{max}	5.0	0.5	0.7	—	MHz
(VCO_{in} = V_{DD}, C1 = 50 pF		10	1.0	1.4	—	
R1 = 5.0 kΩ, and R2 = ∞)		15	1.4	1.9	—	
Temperature — Frequency Stability	—	5.0	—	0.12	—	%/°C
(R2 = ∞)		10	—	0.04	—	
		15	—	0.015	—	
Linearity (R2 = ∞)	—					%
(VCO_{in} = 2.5 V ± 0.3 V, R1 > 10 kΩ)		5.0	—	1.0	—	
(VCO_{in} = 5.0 V ± 2.5 V, R1 > 400 kΩ)		10	—	1.0	—	
(VCO_{in} = 7.5 V ± 5.0 V, R1 ≥ 1000 kΩ)		15	—	1.0	—	
Output Duty Cycle	—	5 to 15	—	50	—	%
Input Resistance — VCO_{in}	R_{in}	15	150	1500	—	MΩ
SOURCE–FOLLOWER						
Offset Voltage	—	5.0	—	1.65	2.2	V
(VCO_{in} minus SF_{out}, RSF > 500 kΩ)		10	—	1.65	2.2	
		15	—	1.65	2.2	
Linearity	—					%
(VCO_{in} = 2.5 V ± 0.3 V, R_{SF} > 50 kΩ)		5.0	—	0.1	—	
(VCO_{in} = 5.0 V ± 2.5 V, R_{SF} > 50 kΩ)		10	—	0.6	—	
(VCO_{in} = 7.5 V ± 5.0 V, R_{SF} > 50 kΩ)		15	—	0.8	—	
ZENER DIODE						
Zener Voltage (I_Z = 50 μA)	V_Z	—	6.7	7.0	7.3	V
Dynamic Resistance (I_Z = 1.0 mA)	R_Z	—	—	100	—	Ω

* The formula given is for the typical characteristics only.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PHASE COMPARATOR 1		
Input Stage 		
PC1$_{out}$	0	1

	PHASE COMPARATOR 2		
Input Stage 			
PC2$_{out}$	0	3–State Output Disconnected	1
LD (Lock Detect)	0	1	0

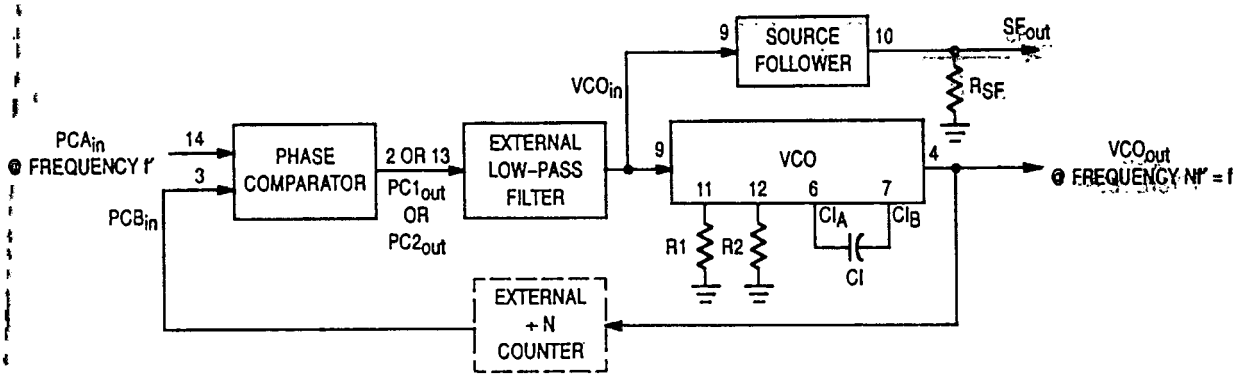
Refer to Waveforms in Figure 3.

Figure 1. Phase Comparators State Diagrams

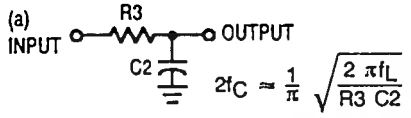
Characteristic	Using Phase Comparator 1	Using Phase Comparator 2
No signal on input PCA$_{in}$.	VCO in PLL system adjusts to center frequency (f_0).	VCO in PLL system adjusts to minimum frequency (f_{min}).
Phase angle between PCA$_{in}$ and PCB$_{in}$.	90° at center frequency (f_0), approaching 0° and 180° at ends of lock range ($2f_L$)	Always 0° in lock (positive rising edges).
Locks on harmonics of center frequency.	Yes	No
Signal input noise rejection.	High	Low
Lock frequency range ($2f_L$).	The frequency range of the input signal on which the loop will stay locked if it was initially in lock; $2f_L$ = full VCO frequency range = $f_{max} - f_{min}$.	
Capture frequency range ($2f_C$).	The frequency range of the input signal on which the loop will lock if it was initially out of lock.	
	Depends on low–pass filter characteristics (see Figure 3). $f_C \leq f_L$	$f_C = f_L$
Center frequency (f_0).	The frequency of VCO$_{out}$, when VCO$_{in}$ = 1/2 V_{DD}	
VCO output frequency (f). Note: These equations are intended to be a design guide. Since calculated component values may be in error by as much as a factor of 4, laboratory experimentation may be required for fixed designs. Part to part frequency variation with identical passive components is typically less than ± 20%.	$f_{min} = \frac{1}{R_2(C_1 + 32\ pF)}$ (V_{CO} input = V_{SS}) $f_{max} = \frac{1}{R_1(C_1 + 32\ pF)} + f_{min}$ (V_{CO} input = V_{DD}) Where: 10K ≤ R_1 ≤ 1 M 10K ≤ R_2 ≤ 1 M 100pF ≤ C_1 ≤ .01 µF	

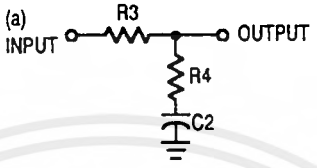
Figure 2. Design Information

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Typical Low–Pass Filters





Typically:

$$R_4 C_2 = \frac{6N}{f_{max}} - \frac{N}{2\pi\Delta f}$$

$$(R_3 + 3{,}000\Omega)\ C_2 = \frac{100N\Delta f}{f_{max}^2} - R_4 C_2$$

$$\Delta f = f_{max} - f_{min}$$

NOTE: Sometimes R3 is split into two series resistors each R3 ÷ 2. A capacitor C_C is then placed from the midpoint to ground. The value for C_C should be such that the corner frequency of this network does not significantly affect ω_n. In Figure B, the ratio of R3 to R4 sets the damping, R4 ≅ (0.1)(R3) for optimum results.

Definitions: N = Total division ratio in feedback loop

$K\phi = V_{DD}/\pi$ for Phase Comparator 1

$K\phi = V_{DD}/4\pi$ for Phase Comparator 2

$$K_{VCO} = \frac{2\pi\Delta f_{VCO}}{V_{DD} - 2\ V}$$

for a typical design $\omega_n \cong \frac{2\pi f_r}{10}$ (at phase detector input)

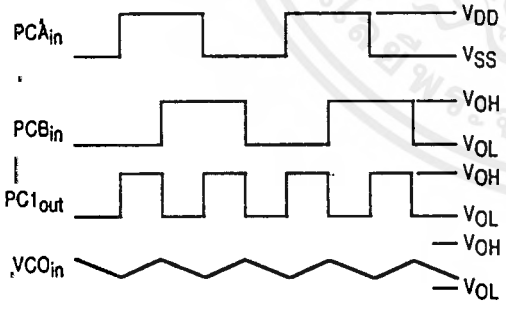
$\zeta \cong 0.707$

LOW–PASS FILTER

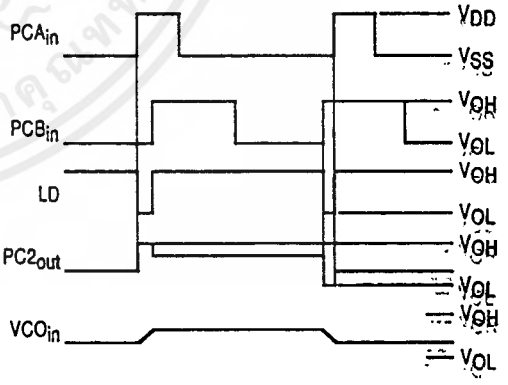
Filter A	Filter B
$\omega_n = \sqrt{\frac{K\phi KVCO}{NR_3C_2}}$	$\omega_n = \sqrt{\frac{K\phi KVCO}{NC_2(R_3 + R_4)}}$
$\zeta = \frac{N\omega_n}{2K\phi KVCO}$	$\zeta = 0.5\ \omega_n\ (R_3C_2 + \frac{N}{K\phi KVCO})$
$F(s) = \frac{1}{R_3C_2S + 1}$	$F(s) = \frac{R_3C_2S + 1}{S(R_3C_2 + R_4C_2) + 1}$

Waveforms

Phase Comparator 1



Phase Comparator 2



Note: for further information, see:

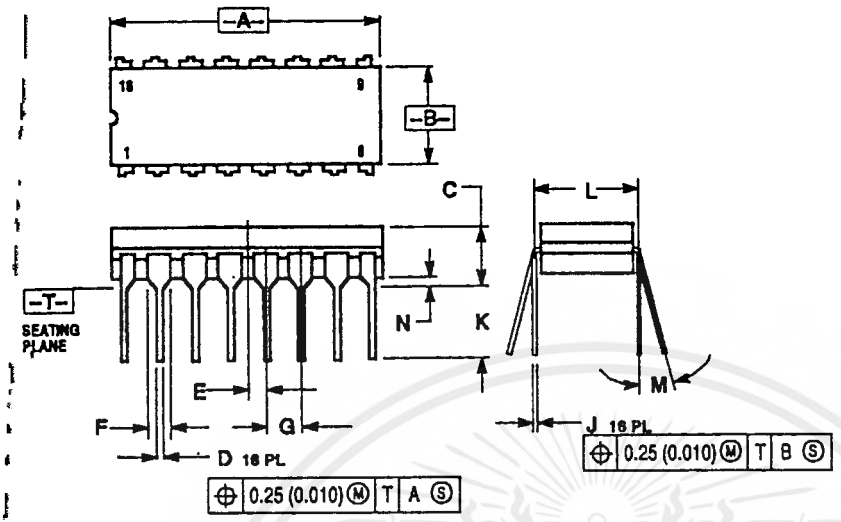
(1) F. Gardner, "Phase–Lock Techniques", John Wiley and Son, New York, 1966.
(2) G. S. Moschytz, "Miniature RC Filters Using Phase–Locked Loop", BSTJ, May, 1965.
(3) Garth Nash, "Phase–Lock Loop Design Fundamentals", AN–535, Motorola Inc.
(4) A. B. Przedpelski, "Phase–Locked Loop Design Articles", AR254, reprinted by Motorola Inc.

Figure 3. General Phase–Locked Loop Connections and Waveforms

ไม่วากรณีใดๆ ทั้งสิ้น อีกทั้งหามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช

OUTLINE DIMENSIONS

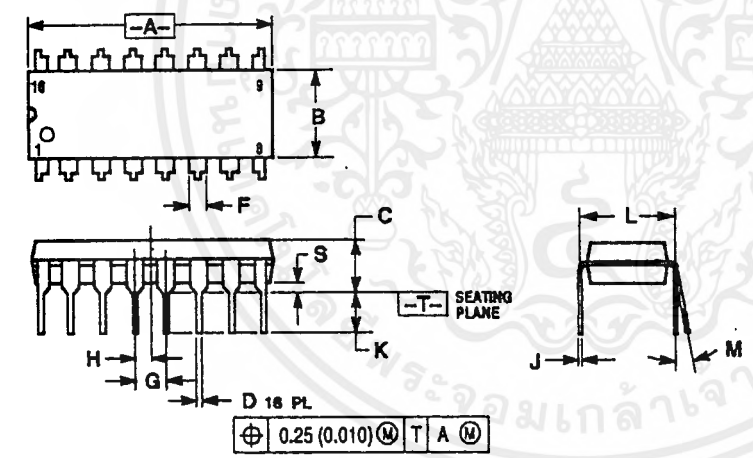
L SUFFIX
CERAMIC DIP PACKAGE
CASE 620–10
ISSUE V



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEAD WHEN FORMED PARALLEL.
4. DIMENSION F MAY NARROW TO 0.76 (0.030) WHERE THE LEAD ENTERS THE CERAMIC BODY.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.750	0.785	19.05	19.93
B	0.240	0.295	6.10	7.49
C	—	0.200	—	5.08
D	0.015	0.020	0.39	0.50
E	0.050 BSC		1.27 BSC	
F	0.055	0.065	1.40	1.65
G	0.100 BSC		2.54 BSC	
H	0.008	0.015	0.21	0.38
K	0.125	0.170	3.18	4.31
L	0.300 BSC		7.62 BSC	
M	0°	15°	0°	15°
N	0.020	0.040	0.51	1.01

P SUFFIX
PLASTIC DIP PACKAGE
CASE 648–08
ISSUE R



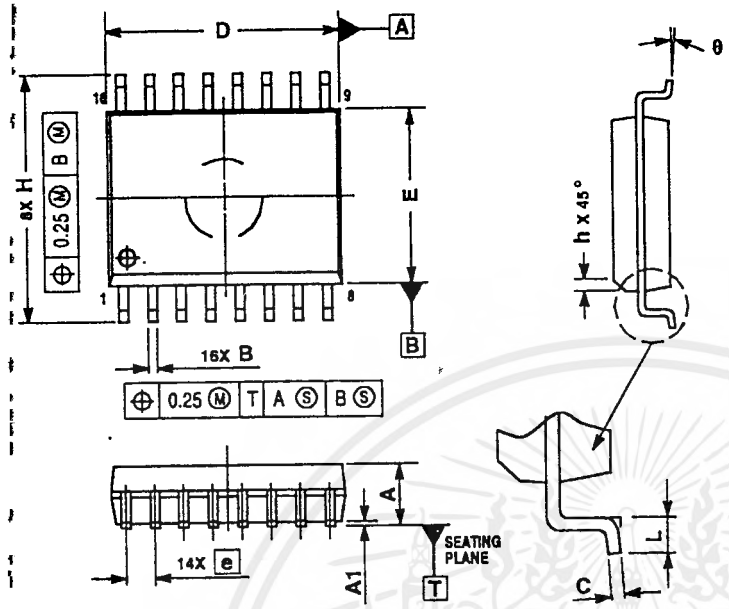
NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.740	0.770	18.80	19.55
B	0.250	0.270	6.35	6.85
C	0.145	0.175	3.69	4.44
D	0.015	0.021	0.39	0.53
F	0.040	0.70	1.02	1.77
G	0.100 BSC		2.54 BSC	
H	0.050 BSC		1.27 BSC	
J	0.008	0.015	0.21	0.38
K	0.110	0.130	2.80	3.30
L	0.295	0.305	7.50	7.74
M	0°	10°	0°	10°
S	0.020	0.040	0.51	1.01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTLINE DIMENSIONS

DW SUFFIX
PLASTIC SOIC WIDE PACKAGE
CASE 751G–03
ISSUE B



NOTES:
1. DIMENSIONS ARE IN MILLIMETERS.
2. INTERPRET DIMENSIONS AND TOLERANCES PER ASME Y14.5M, 1994.
3. DIMENSIONS D AND E DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 PER SIDE.
5. DIMENSION B DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.13 TOTAL IN EXCESS OF THE B DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS	
DIM	MIN	MAX
A	2.35	2.65
A1	0.10	0.25
B	0.35	0.49
C	0.23	0.32
D	10.15	10.45
E	7.40	7.60
e	1.27 BSC	
H	10.05	10.55
h	0.25	0.75
L	0.50	0.90
θ	0°	7°

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters which may be provided in Motorola data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and Ⓜ are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

Mfax is a trademark of Motorola, Inc.

How to reach us:
USA/EUROPE/Locations Not Listed: Motorola Literature Distribution;
P.O. Box 5405, Denver, Colorado 80217. 1–303–675–2140 or 1–800–441–2447

JAPAN: Nippon Motorola Ltd.: SPD, Strategic Planning Office, 4–32–1, Nishi–Gotanda, Shinagawa–ku, Tokyo 141, Japan. 81–3–5487–8488

Customer Focus Center: 1–800–521–6274

Mfax™: RMFAX0@email.sps.mot.com – TOUCHTONE 1–602–244–6609
Motorola Fax Back System – US & Canada ONLY 1–800–774–1848
– http://sps.motorola.com/mfax/

ASIA/PACIFIC: Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park, 51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852–26629298

HOME PAGE: http://motorola.com/sps/

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Integrated Device Technology, Inc.

CMOS STATIC RAM 16K (2K x 8 BIT)

IDT6116SA
IDT6116LA

FEATURES:

- High-speed access and chip select times
  - — Military: 20/25/35/45/55/70/90/120/150ns (max.)
  - — Commercial: 15/20/25/35/45ns (max.)
- Low-power consumption
- Battery backup operation
  - — 2V data retention voltage (LA version only)
- Produced with advanced CMOS high-performance technology
- CMOS process virtually eliminates alpha particle soft-error rates
- Input and output directly TTL-compatible
- Static operation: no clocks or refresh required
- Available in ceramic and plastic 24-pin DIP, 24-pin Thin Dip and 24-pin SOIC and 24-pin SOJ
- Military product compliant to MIL-STD-833, Class B

DESCRIPTION:

The IDT6116SA/LA is a 16,384-bit high-speed static RAM organized as 2K x 8. It is fabricated using IDT's high-performance, high-reliability CMOS technology.

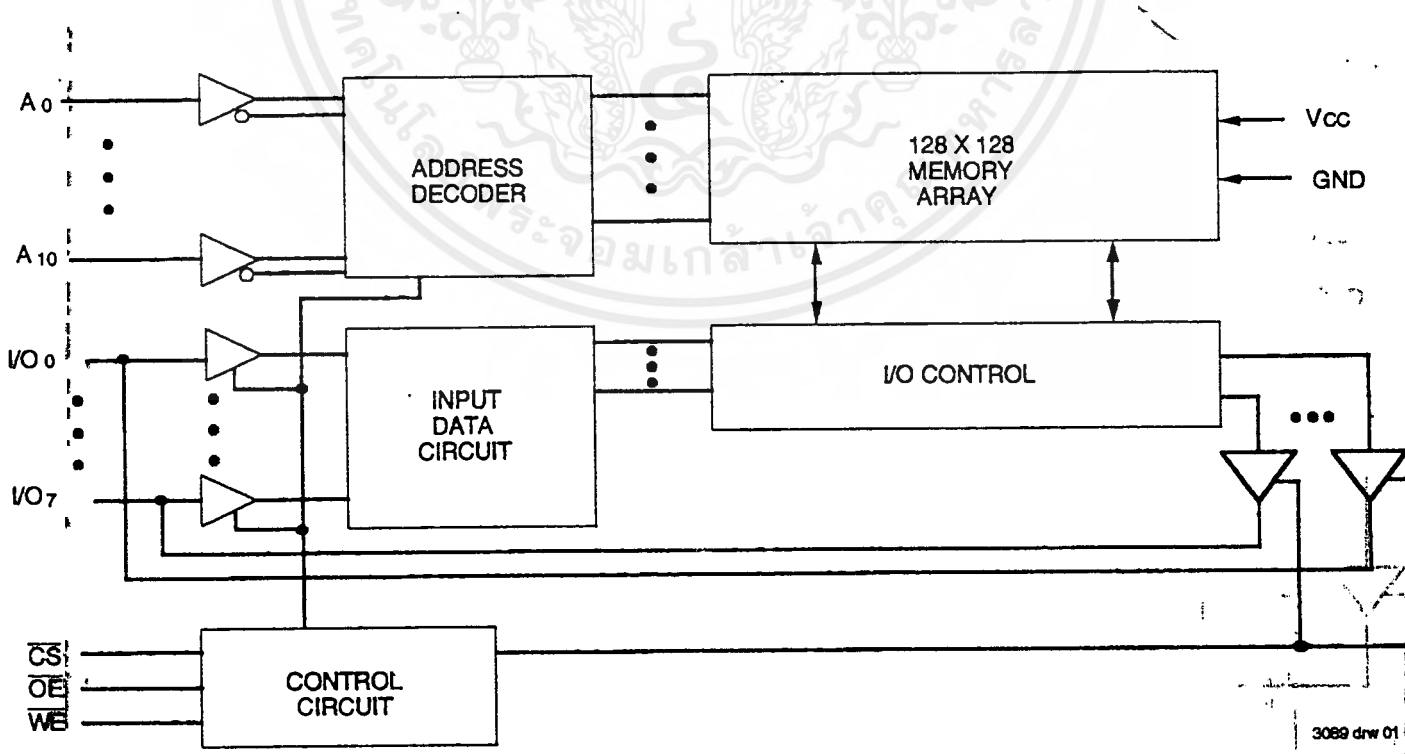
Access times as fast as 15ns are available. The circuit also offers a reduced power standby mode. When $\overline{CS}$ goes HIGH, the circuit will automatically go to, and remain in, a standby power mode, as long as $\overline{CS}$ remains HIGH. This capability provides significant system level power and cooling savings. The low-power (LA) version also offers a battery backup data retention capability where the circuit typically consumes only 1µW to 4µW operating off a 2V battery.

All inputs and outputs of the IDT6116SA/LA are TTL-compatible. Fully static asynchronous circuitry is used, requiring no clocks or refreshing for operation.

The IDT6116SA/LA is packaged in 24-pin 600 and 300 mil plastic or ceramic DIP and a 24-lead gull-wing SOIC, and a 24-lead J-bend SOJ providing high board-level packing densities.

Military grade product is manufactured in compliance to the latest version of MIL-STD-883, Class B, making it ideally suited to military temperature applications demanding the highest level of performance and reliability.

FUNCTIONAL BLOCK DIAGRAM

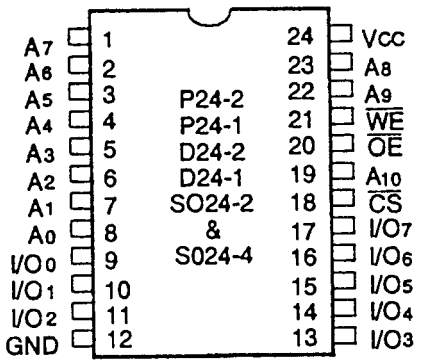


The IDT logo is a registered trademark of Integrated Device Technology, Inc.

©1996 Integrated Device Technology, Inc.
For latest information contact IDT's web site at www.idt.com or fax-on-demand at 408-492-8391.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN CONFIGURATIONS



3089 drw 02

DIP/SOIC/SOJ
TOP VIEW

PIN DESCRIPTIONS

A_0–A_{13}	Address Inputs
I/O_0–I/O_7	Data Input/Output
$\overline{CS}$	Chip Select
$\overline{WE}$	Write Enable
$\overline{OE}$	Output Enable
V_{CC}	Power
GND	Ground

3089 tbl 01

CAPACITANCE (T_A = +25°C, F = 1.0 MHz)

Symbol	Parameter[1]	Conditions	Max.	Unit
C_{IN}	Input Capacitance	V_{IN} = 0V	8	pF
$C_{I/O}$	I/O Capacitance	V_{OUT} = 0V	8	pF

3089 tbl 03

NOTE:
1. This parameter is determined by device characterization, but is not production tested.

ABSOLUTE MAXIMUM RATINGS[1]

Symbol	Rating	Commercial	Military	Unit
V_{TERM}[2]	Terminal Voltage with Respect to GND	–0.5 to + 7.0	–0.5 to +7.0	V
T_A	Operating Temperature	0 to + 70	–55 to +125	°C
T_{BIAS}	Temperature Under Bias	–55 to + 125	–65 to +135	°C
T_{STG}	Storage Temperature	–55 to + 125	–65 to +150	°C
P_T	Power Dissipation	1.0	1.0	W
I_{OUT}	DC Output Current	50	50	mA

3089 tbl 04

NOTES:
1. Stresses greater than those listed under ABSOLUTE MAXIMUM RATINGS may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect reliability.
2. V_{TERM} must not exceed Vcc +0.5V.

TRUTH TABLE[1]

Mode	$\overline{CS}$	$\overline{OE}$	$\overline{WE}$	I/O
Standby	H	X	X	High-Z
Read	L	L	H	$DATA_{OUT}$
Read	L	H	H	High-Z
Write	L	X	L	$DATA_{IN}$

3089 tbl 02

NOTE:
1. H = V_{IH}, L = V_{IL}, X = Don't Care.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RECOMMENDED OPERATING TEMPERATURE AND SUPPLY VOLTAGE

Grade	Ambient Temperature	GND	VCC
Military	–55°C to +125°C	0V	5.0V ± 10%
Commercial	0°C to +70°C	0V	5.0V ± 10%

3089 tbl 05

RECOMMENDED DC OPERATING CONDITIONS

Symbol	Parameter	Min.	Typ.	Max.	Unit
V_{CC}	Supply Voltage	4.5	5.0	5.5(2)	V
GND	Supply Ground	0	0	0	V
V_{IH}	Input High Voltage	2.2	3.5	V_{CC} +0.5	V
V_{IL}	Input Low Voltage	–0.5(1)	—	0.8	V

NOTES: 3089 tbl 06
1. V_{IL} (min.) = –3.0V for pulse width less than 20ns, once per cycle.
2. V_{IN} must not exceed Vcc +0.5V.

DC ELECTRICAL CHARACTERISTICS

V_{CC} = 5.0V ± 10%

Symbol	Parameter	Test Conditions		IDT6116SA Min.	IDT6116SA Max.	IDT6116LA Min.	IDT6116LA Max.	Unit
I_{LI}	Input Leakage Current	V_{CC} = Max., V_{IN} = GND to V_{CC}	MIL.	—	10	—	5	µA
			COM'L.	—	5	—	2	
I_{LO}	Output Leakage Current	V_{CC} = Max. $\overline{CS}$ = V_{IH}, V_{OUT} = GND to V_{CC}	MIL.	—	10	—	5	µA
			COM'L.	—	5	—	2	
V_{OL}	Output Low Voltage	I_{OL} = 8mA, V_{CC} = Min.		—	0.4	—	0.4	V
V_{OH}	Output High Voltage	I_{OH} = –4mA, V_{CC} = Min.		2.4	—	2.4	—	V

3089 tbl 07

DC ELECTRICAL CHARACTERISTICS (1)

V_{CC} = 5.0V ± 10%, V_{LC} = 0.2V, V_{HC} = V_{CC} - 0.2V

Symbol	Parameter	Power	6116SA15(2) 6116LA15(2) Com'l.	6116SA15(2) 6116LA15(2) Mil.	6116SA20 6116LA20 Com'l.	6116SA20 6116LA20 Mil.	6116SA25 6116LA25 Com'l.	6116SA25 6116LA25 Mil.	6116SA35 6116LA35 Com'l.	6116SA35 6116LA35 Mil.	Unit
I_{CC1}	Operating Power Supply Current, $\overline{CS} \le V_{IL}$, Outputs Open, V_{CC} = Max., f = 0	SA	105	—	105	130	80	90	80	90	mA
		LA	95	—	95	120	75	85	75	85	
I_{CC2}	Dynamic Operating Current, $\overline{CS} \le V_{IL}$, V_{CC} = Max., Outputs Open, f = f_{MAX}(4)	SA	150	—	130	150	120	135	100	115	mA
		LA	140	—	120	140	110	125	95	105	
I_{SB}	Standby Power Supply Current (TTL Level) $\overline{CS} \ge V_{IH}$, V_{CC} = Max., Outputs Open, f = f_{MAX}(4)	SA	40	—	40	50	40	45	25	35	mA
		LA	35	—	35	45	35	40	25	30	
I_{SB1}	Full Standby Power Supply Current (CMOS Level), $\overline{CS} \ge V_{HC}$, V_{CC} = Max., $V_{IN} \ge V_{HC}$ or $V_{IN} \le V_{LC}$, f = 0	SA	2	—	2	10	2	10	2	10	mA
		LA	0.1	—	0.1	0.9	0.1	0.9	0.1	0.9	

NOTES: 3089 tbl 08
1. All values are maximum guaranteed values.
2. 0°C to + 70°C temperature range only.
3. –55°C to + 125°C temperature range only.
4. f_{MAX} = 1/t_{RC}, only address inputs are cycling at f_{MAX}, f = 0 means address inputs are not changing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (1) (Continued)

V_{CC} = 5.0V ± 10%, V_{LC} = 0.2V, V_{HC} = V_{CC} - 0.2V

Symbol	Parameter	Power	6116SA45 6116LA45		6116SA55(2) 6116LA55(2)		6116SA70(3) 6116LA70(3)		6116SA90(2) 6116LA90(2)		6116SA120(2) 6116LA120(2)		6116SA150(2) 6116LA150(2)		Unit
			Com'l.	Mil.	Com'l.	Mil.	Com'l.	Mil.	Com'l.	Mil.	Com'l.	Mil.	Com'l.	Mil.	Unit
I_{CC1}	Operating Power Supply Current, $\overline{CS} \le V_{IL}$, Outputs Open, V_{CC} = Max., f = 0	SA	80	90	—	90	—	90	—	90	—	90	—	90	mA
		LA	75	85	—	85	—	85	—	85	—	85	—	85	
I_{CC2}	Dynamic Operating Current, $\overline{CS} \le V_{IL}$, V_{CC} = Max., Outputs Open, f = f_{MAX}(4)	SA	100	100	—	100	—	100	—	100	—	100	—	90	mA
		LA	90	95	—	90	—	90	—	85	—	85	—	85	
I_{SB}	Standby Power Supply Current (TTL Level) $\overline{CS} \ge V_{IH}$, V_{CC} = Max., Outputs Open, f = f_{MAX}(4)	SA	25	25	—	25	—	25	—	25	—	25	—	25	mA
		LA	20	20	—	20	—	20	—	25	—	15	—	15	
I_{SB1}	Full Standby Power Supply Current (CMOS Level), $\overline{CS} \ge V_{HC}$, V_{CC} = Max., $V_{IN} \ge V_{HC}$ or $V_{IN} \le V_{LC}$, f = 0	SA	2	10	—	10	—	10	—	10	—	10	—	10	mA
		LA	0.1	0.9	—	0.9	—	0.9	—	0.9	—	0.9	—	0.9	

NOTES:
1. All values are maximum guaranteed values.
2. 0°C to + 70°C temperature range only.
3. –55°C to + 125°C temperature range only.
4. f_{MAX} = 1/t_{RC}, only address inouts are toggling at f_{MAX}, f = 0 means address inputs are not changing.

3089 tbl 09

DATA RETENTION CHARACTERISTICS OVER ALL TEMPERATURE RANGES

(LA Version Only) V_{LC} = 0.2V, V_{HC} = V_{CC} – 0.2V

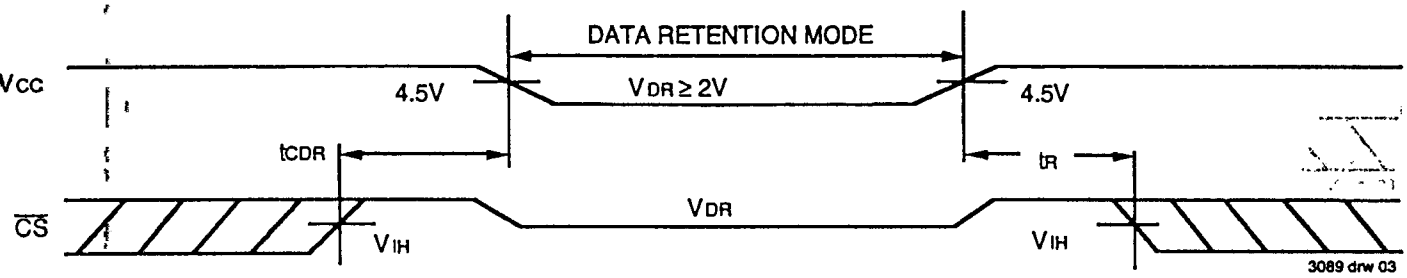
Symbol	Parameter	Test Conditions		Min.	Typ.(1) Vcc 2.0V	Typ.(1) Vcc 3.0V	Max. Vcc 2.0V	Max. Vcc 3.0V	Unit
V_{DR}	Vcc for Data Retention	—		2.0	—	—	—	—	V
I_{CCDR}	Data Retention Current	$\overline{CS} \ge V_{HC}$	MIL.	—	0.5	1.5	200	300	µA
			COM'L.	—	0.5	1.5	20	30	
t_{CDR}(3)	Data Deselect to Data Retention Time	$V_{IN} \ge V_{HC}$ or $\le V_{LC}$		—	0	—	—	—	ns
t_R(3)	Operation Recovery Time			t_{RC}(2)	—	—	—	—	ns
$\|I_{LI}\|$	Input Leakage Current			—	—	—	2	2	µA

NOTES:
1. T_A = + 25°C
2. t_{RC} = Read Cycle Time.
3. This parameter is guaranteed by device characterization, but is not production tested.

3089 tbl 10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOW Vcc DATA RETENTION WAVEFORM



AC TEST CONDITIONS

Input Pulse Levels	GND to 3.0V
Input Rise/Fall Times	5ns
Input Timing Reference Levels	1.5V
Output Reference Levels	1.5V
AC Test Load	See Figures 1 and 2

3089 tbl 11

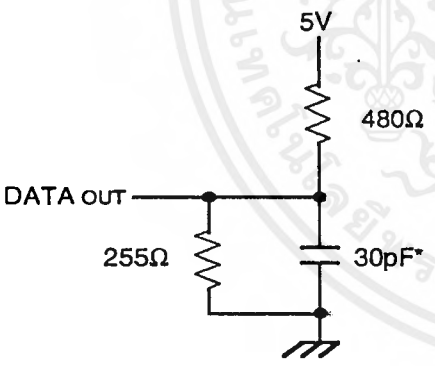


Figure 1. AC Test Load

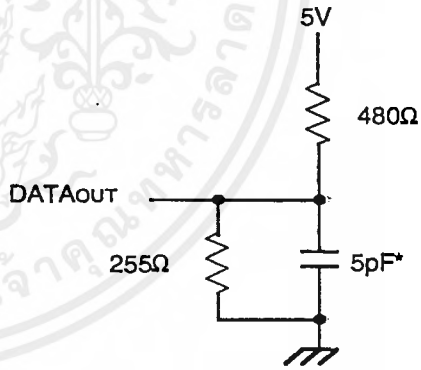


Figure 2. AC Test Load
(for tOLZ, tCLZ, tOHZ, tWHZ, tCHZ & tOW)

*Including scope and jig.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (Vcc = 5V ± 10%, All Temperature Ranges)

Symbol	Parameter	6116SA15[1] 6116LA15[1] Min.	6116SA15[1] 6116LA15[1] Max.	6116SA20 6116LA20 Min.	6116SA20 6116LA20 Max.	6116SA25 6116LA25 Min.	6116SA25 6116LA25 Max.	6116SA35 6116LA35 Min.	6116SA35 6116LA35 Max.	Unit
READ CYCLE										
t_{RC}	Read Cycle Time	15	—	20	—	25	—	35	—	ns
t_{AA}	Address Access Time	—	15	—	19	—	25	—	35	ns
t_{ACS}	Chip Select Access Time	—	15	—	20	—	25	—	35	ns
t_{CLZ}[3]	Chip Select to Output in Low-Z	5	—	5	—	5	—	5	—	ns
t_{OE}	Output Enable to Output Valid	—	10	—	10	—	13	—	20	ns
t_{OLZ}[3]	Output Enable to Output in Low-Z	0	—	0	—	5	—	5	—	ns
t_{CHZ}[3]	Chip Deselect to Output in High-Z	—	10	—	11	—	12	—	15	ns
t_{OHZ}[3]	Output Disable to Output in High-Z	—	8	—	8	—	10	—	13	ns
t_{OH}	Output Hold from Address Change	5	—	5	—	5	—	5	—	ns
t_{PU}[3]	Chip Select to Power-Up Time	0	—	0	—	0	—	0	—	ns
t_{PD}[3]	Chip Deselect to Power-Down Time	—	15	—	20	—	25	—	35	ns

3089 tbl 12

AC ELECTRICAL CHARACTERISTICS (Vcc = 5V ± 10%, All Temperature Ranges) (Continued)

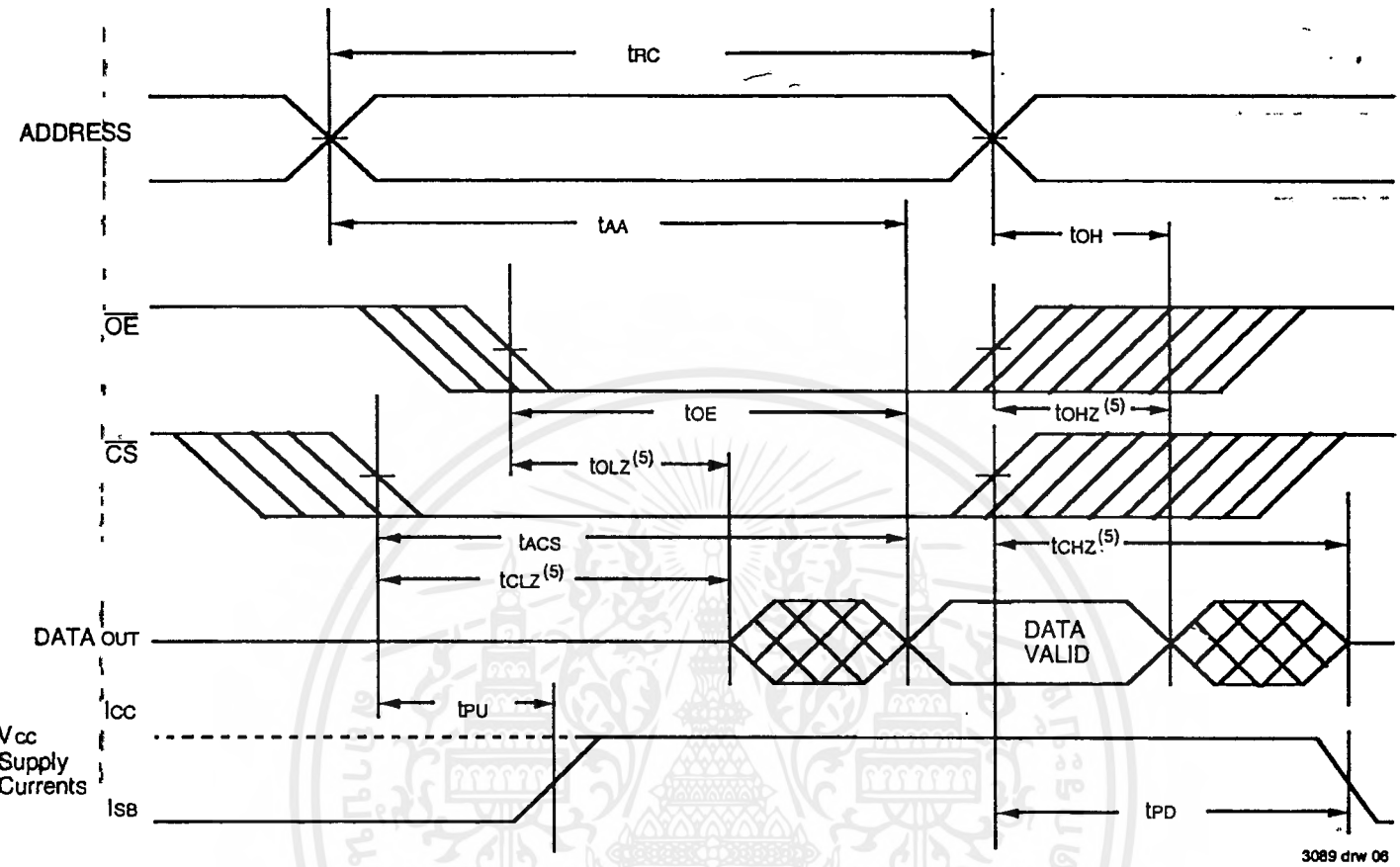
Symbol	Parameter	6116SA45 6116LA45 Min.	6116SA45 6116LA45 Max.	6116SA55[2] 6116LA55[2] Min.	6116SA55[2] 6116LA55[2] Max.	6116SA70[2] 6116LA70[2] Min.	6116SA70[2] 6116LA70[2] Max.	6116SA90[2] 6116LA90[2] Min.	6116SA90[2] 6116LA90[2] Max.	6116SA120[2] 6116LA120[2] Min.	6116SA120[2] 6116LA120[2] Max.	6116SA150[2] 6116LA150[2] Min.	6116SA150[2] 6116LA150[2] Max.	Unit
READ CYCLE														
t_{RC}	Read Cycle Time	45	—	55	—	70	—	90	—	120	—	150	—	ns
t_{AA}	Address Access Time	—	45	—	55	—	70	—	90	—	120	—	150	ns
t_{ACS}	Chip Select Access Time	—	45	—	50	—	65	—	90	—	120	—	150	ns
t_{CLZ}[3]	Chip Select to Output in Low-Z	5	—	5	—	5	—	5	—	5	—	5	—	ns
t_{OE}	Output Enable to Output Valid	—	25	—	40	—	50	—	60	—	80	—	100	ns
t_{OLZ}[3]	Output Enable to Output in Low-Z	5	—	5	—	5	—	5	—	5	—	5	—	ns
t_{CHZ}[3]	Chip Deselect to Output in High-Z	—	20	—	30	—	35	—	40	—	40	—	40	ns
t_{OHZ}[3]	Output Disable to Output in High-Z	—	15	—	30	—	35	—	40	—	40	—	40	ns
t_{OH}	Output Hold from Address Change	5	—	5	—	5	—	5	—	5	—	5	—	ns

3089 tbl 13

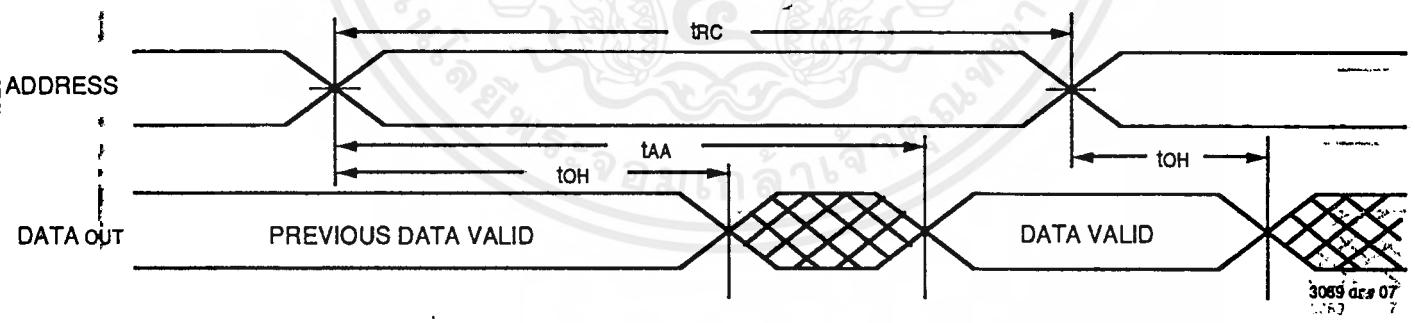
NOTES:
1. 0°C to + 70°C temperature range only.
2. –55°C to + 125°C temperature range only.
3. This parameter guaranteed with the AC Load (Figure 2) by device characterization, but is not production tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

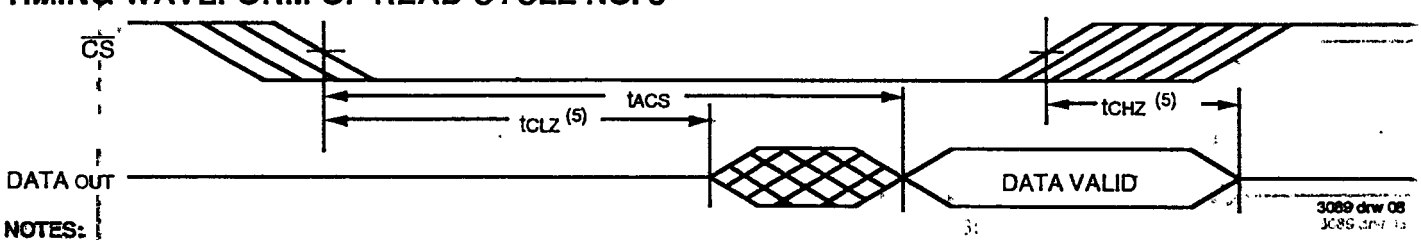
TIMING WAVEFORM OF READ CYCLE NO. 1 (1, 3)



TIMING WAVEFORM OF READ CYCLE NO. 2 (1, 2, 4)



TIMING WAVEFORM OF READ CYCLE NO. 3 (1, 3, 4)



NOTES:
1. $\overline{WE}$ is HIGH for Read cycle.
2. Device is continously selected, $\overline{CS}$ is LOW.
3. Address valid prior to or coincident with $\overline{CS}$ transition LOW.
4. $\overline{OE}$ is LOW.
5. Transition is measured ±500mV from steady state.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (Vcc = 5V ± 10%, All Temperature Ranges)

Symbol	Parameter	6116SA15[1] 6116LA15[1] Min.	6116SA15[1] 6116LA15[1] Max.	6116SA20 6116LA20 Min.	6116SA20 6116LA20 Max.	6116SA25 6116LA25 Min.	6116SA25 6116LA25 Max.	6116SA35 6116LA35 Min.	6116SA35 6116LA35 Max.	Unit
WRITE CYCLE										
t_{WC}	Write Cycle Time	15	—	20	—	25	—	35	—	ns
t_{CW}	Chip Select to End-of-Write	13	—	15	—	17	—	25	—	ns
t_{AW}	Address Valid to End-of-Write	14	—	15	—	17	—	25	—	ns
t_{AS}	Address Set-up Time	0	—	0	—	0	—	0	—	ns
t_{WP}	Write Pulse Width	12	—	12	—	15	—	20	—	ns
t_{WR}	Write Recovery Time	0	—	0	—	0	—	0	—	ns
t_{WHZ}[3]	Write to Output in High-Z	—	7	—	8	—	16	—	20	ns
t_{DW}	Data to Write Time Overlap	12	—	12	—	13	—	15	—	ns
t_{DH}[4]	Data Hold from Write Time	0	—	0	—	0	—	0	—	ns
t_{OW}[3,4]	Output Active from End-of-Write	0	—	0	—	0	—	0	—	ns

3089 tbl 14

AC ELECTRICAL CHARACTERISTICS (Vcc = 5V ± 10%, All Temperature Ranges)

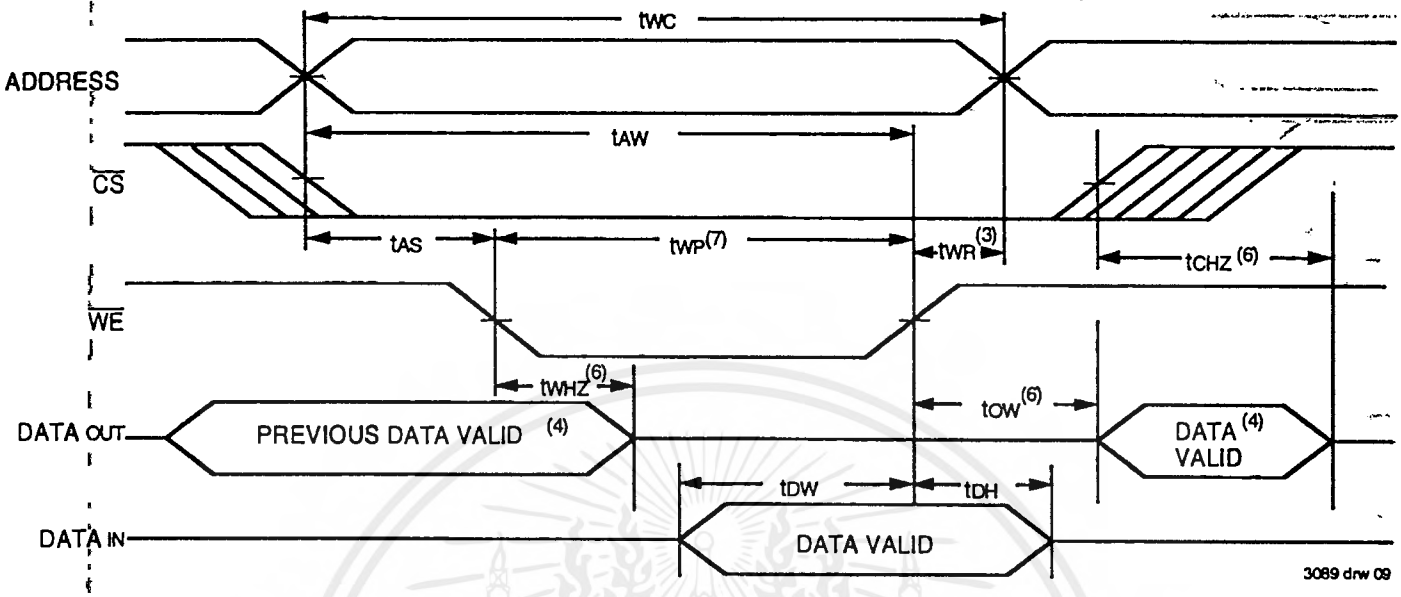
Symbol	Parameter	6116SA45 6116LA45 Min.	6116SA45 6116LA45 Max.	6116SA55[2] 6116LA55[2] Min.	6116SA55[2] 6116LA55[2] Max.	6116SA70[2] 6116LA70[2] Min.	6116SA70[2] 6116LA70[2] Max.	6116SA90[2] 6116LA90[2] Min.	6116SA90[2] 6116LA90[2] Max.	6116SA120[2] 6116LA120[2] Min.	6116SA120[2] 6116LA120[2] Max.	6116SA150[2] 6116LA150[2] Min.	6116SA150[2] 6116LA150[2] Max.	Unit
WRITE CYCLE														
t_{WC}	Write Cycle Time	45	—	55	—	70	—	90	—	120	—	150	—	ns
t_{CW}	Chip Select to End of Write	30	—	40	—	40	—	55	—	70	—	90	—	ns
t_{AW}	Address Valid to End of Write	30	—	45	—	65	—	80	—	105	—	120	—	ns
t_{AS}	Address Set-up Time	0	—	5	—	15	—	15	—	20	—	20	—	ns
t_{WP}	Write Pulse Width	25	—	40	—	40	—	55	—	70	—	90	—	ns
t_{WR}	Write Recovery Time	0	—	5	—	5	—	5	—	5	—	10	—	ns
t_{WHZ}[3]	Write to Output in High-Z	—	25	—	30	—	35	—	40	—	40	—	40	ns
t_{DW}	Data to Write Time Overlap	20	—	25	—	30	—	30	—	35	—	40	—	ns
t_{DH}[4]	Data Hold from Write Time	0	—	5	—	5	—	5	—	5	—	10	—	ns
t_{OW}[3,4]	Output Active from End of Write	0	—	0	—	0	—	0	—	0	—	0	—	ns

3089 tbl 15

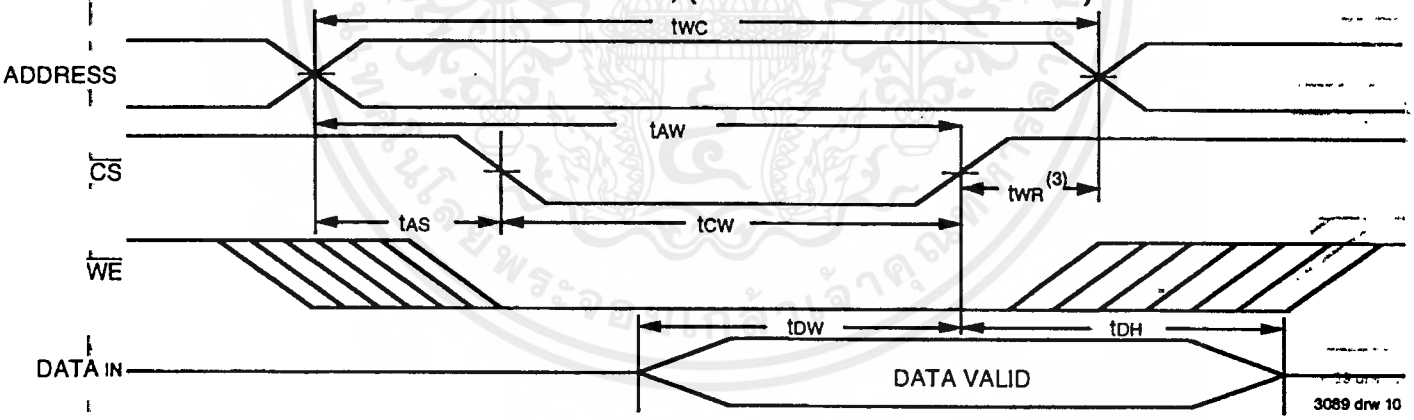
NOTES:
1. 0°C to +70°C temperature range only.
2. –55°C to +125°C temperature range only.
3. This parameter guaranteed with AC Load (Figure 2) by device characterization, but is not production tested.
4. The specification for t_{DH} must be met by the device supplying write data to the RAM under all operation conditions. Although t_{DH} and t_{OW} values will vary over voltage and temperature, the actual t_{DH} will always be smaller than the actual t_{OW}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING WAVEFORM OF WRITE CYCLE NO. 1, ($\overline{WE}$ CONTROLLED TIMING) (1, 2, 5, 7)



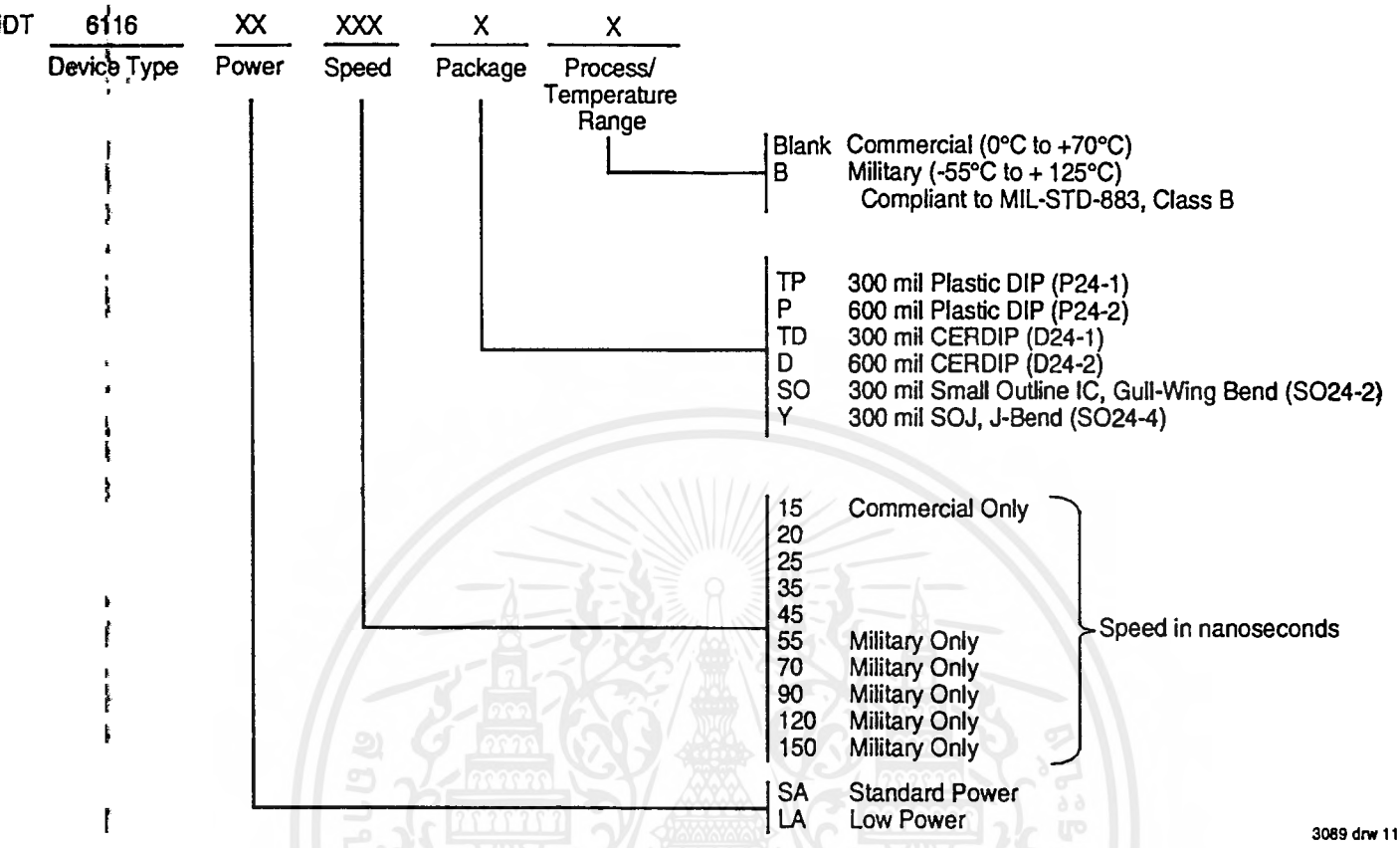
TIMING WAVEFORM OF WRITE CYCLE NO. 2, ($\overline{CS}$ CONTROLLED TIMING) (1, 2, 3, 5, 7)



NOTES:
1. $\overline{WE}$ or $\overline{CS}$ must be HIGH during all address transitions.
2. A write occurs during the overlap of a LOW $\overline{CS}$ and a LOW $\overline{WE}$.
3. tWR is measured from the earlier of $\overline{CS}$ or $\overline{WE}$ going HIGH to the end of the write cycle.
4. During this period, the I/O pins are in the output state and the input signals must not be applied.
5. If the $\overline{CS}$ LOW transition occurs simultaneously with or after the $\overline{WE}$ LOW transition, the outputs remain in the high-impedance state.
6. Transition is measured ±500mV from steady state.
7. $\overline{OE}$ is continuously HIGH. If $\overline{OE}$ is LOW during a $\overline{WE}$ controlled write cycle, the write pulse width must be the larger of twp or (twhz + tow) to allow the I/O drivers to turn off and data to be placed on the bus for the required tow. If $\overline{OE}$ is HIGH during a $\overline{WE}$ controlled write cycle, this requirement does not apply and the write pulse is the specified twp. For a $\overline{CS}$ controlled write cycle, $\overline{OE}$ may be LOW with no degradation to tcw.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORDERING INFORMATION



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

National Semiconductor

ADC0801/ADC0802/ADC0803/ADC0804/ADC0805 8-Bit μP Compatible A/D Converters

General Description

The ADC0801, ADC0802, ADC0803, ADC0804 and ADC0805 are CMOS 8-bit successive approximation A/D converters that use a differential potentiometric ladder—similar to the 256R products. These converters are designed to allow operation with the NSC800 and INS8080A derivative control bus with TRI-STATE® output latches directly driving the data bus. These A/Ds appear like memory locations or I/O ports to the microprocessor and no interfacing logic is needed.

Differential analog voltage inputs allow increasing the common-mode rejection and offsetting the analog zero input voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

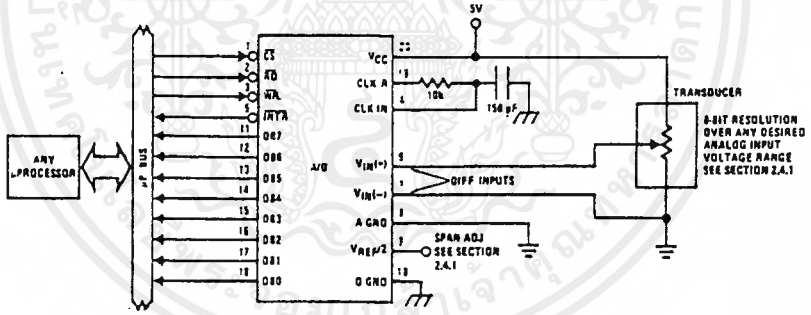
Features

- Compatible with 8080 μP derivatives—no interfacing logic needed - access time - 135 ns
- Easy interface to all microprocessors, or operates "stand alone"
- Differential analog voltage inputs
- Logic inputs and outputs meet both MOS and TTL voltage level specifications
- Works with 2.5V (LM336) voltage reference
- On-chip clock generator
- 0V to 5V analog input voltage range with single 5V supply
- No zero adjust required
- 0.3" standard width 20-pin DIP package
- 20-pin molded chip carrier or small outline package
- Operates ratiometrically or with 5 V_{DC}, 2.5 V_{DC}, or analog span adjusted voltage reference

Key Specifications

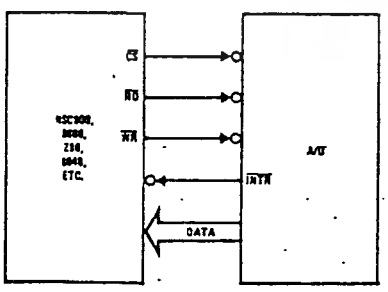
- Resolution: 8 bits
- Total error: ±¼ LSB, ±½ LSB and ±1 LSB
- Conversion time: 100 μs

Typical Applications



TL/H/5671–1

8080 Interface



TL/H/5671–31

Part Number	Full-Scale Adjusted	Error Specification (Includes Full-Scale, Zero Error, and Non-Linearity) $V_{REF}/2 = 2.500\ V_{DC}$ (No Adjustments)	$V_{REF}/2$ = No Connection (No Adjustments)
ADC0801	±¼ LSB		
ADC0802		±½ LSB	
ADC0803	±½ LSB		
ADC0804		±1 LSB	
ADC0805			±1 LSB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC}) (Note 3)	6.5V
Voltage	
Logic Control Inputs	−0.3V to +18V
At Other Input and Outputs	−0.3V to (V_{CC} + 0.3V)
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A = 25°C	875 mW
ESD Susceptibility (Note 10)	800V

Operating Ratings (Notes 1 & 2)

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
ADC0801/02LJ, ADC0802LJ/883	−55°C ≤ T_A ≤ +125°C
ADC0801/02/03/04LCJ	−40°C ≤ T_A ≤ +85°C
ADC0801/02/03/05LCN	−40°C ≤ T_A ≤ +85°C
ADC0804LCN	0°C ≤ T_A ≤ +70°C
ADC0802/03/04LCV	0°C ≤ T_A ≤ +70°C
ADC0802/03/04LCWM	0°C ≤ T_A ≤ +70°C
Range of V_{CC}	4.5 V_{DC} to 6.3 V_{DC}

Electrical Characteristics

The following specifications apply for V_{CC} = 5 V_{DC}, $T_{MIN} \le T_A \le T_{MAX}$ and f_{CLK} = 640 kHz unless otherwise specified.

Parameter	Conditions	Min	Typ	Max	Units
ADC0801: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			±¼	LSB
ADC0802: Total Unadjusted Error (Note 8)	$V_{REF}/2$ = 2.500 V_{DC}			±½	LSB
ADC0803: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			±½	LSB
ADC0804: Total Unadjusted Error (Note 8)	$V_{REF}/2$ = 2.500 V_{DC}			±1	LSB
ADC0805: Total Unadjusted Error (Note 8)	$V_{REF}/2$-No Connection			±1	LSB
$V_{REF}/2$ Input Resistance (Pin 9)	ADC0801/02/03/05 ADC0804 (Note 9)	2.5 0.75	8.0 1.1		kΩ kΩ
Analog Input Voltage Range	(Note 4) V(−) or V(−)	Gnd−0.05		V_{CC} + 0.05	V_{DC}
DC Common-Mode Error	Over Analog Input Voltage Range		±1/16	±⅛	LSB
Power Supply Sensitivity	V_{CC} = 5 V_{DC} ±10% Over Allowed $V_{IN}(+)$ and $V_{IN}(-)$ Voltage Range (Note 4)		±1/16	±⅛	LSB

AC Electrical Characteristics

The following specifications apply for V_{CC} = 5 V_{DC} and T_A = 25°C unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
T_C	Conversion Time	f_{CLK} = 640 kHz (Note 6)	103		114	μs
T_C	Conversion Time	(Note 5, 6)	66		73	$1/f_{CLK}$
f_{CLK}	Clock Frequency Clock Duty Cycle	V_{CC} = 5V, (Note 5) (Note 5)	100 40	640	1460 60	kHz %
CR	Conversion Rate in Free-Running Mode	$\overline{INTR}$ tied to $\overline{WR}$ with $\overline{CS}$ = 0 V_{DC}, f_{CLK} = 640 kHz	8770		9708	conv/s
$t_{W(\overline{WR})L}$	Width of $\overline{WR}$ Input (Start Pulse Width)	$\overline{CS}$ = 0 V_{DC} (Note 7)	100			ns
t_{ACC}	Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Data Valid)	C_L = 100 pF		135	200	ns
t_{1H}, t_{0H}	TRI-STATE Control (Delay from Rising Edge of $\overline{RD}$ to Hi-Z State)	C_L = 10 pF, R_L = 10k (See TRI-STATE Test Circuits)		125	200	ns
t_{WI}, t_{RI}	Delay from Falling Edge of $\overline{WR}$ or $\overline{RD}$ to Reset of $\overline{INTR}$			300	450	ns
C_{IN}	Input Capacitance of Logic Control Inputs			5	7.5	pF
C_{OUT}	TRI-STATE Output Capacitance (Data Buffers)			5	7.5	pF
CONTROL INPUTS [Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately]						
$V_{IN}(1)$	Logical "1" Input Voltage (Except Pin 4 CLK IN)	V_{CC} = 5.25 V_{DC}	2.0		15	V_{DC}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued)

The following specifications apply for V_{CC} = 5V_{DC} and $T_{MIN} \le T_A \le T_{MAX}$, unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
CONTROL INPUTS (Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately)						
V_{IN} (0)	Logical "0" Input Voltage (Except Pin 4 CLK IN)	V_{CC} = 4.75 V_{DC}			0.8	V_{DC}
I_{IN} (1)	Logical "1" Input Current (All Inputs)	V_{IN} = 5 V_{DC}		0.005	1	μA_{DC}
I_{IN} (0)	Logical "0" Input Current (All Inputs)	V_{IN} = 0 V_{DC}	−1	−0.005		μA_{DC}
CLOCK IN AND CLOCK R						
$V_{T}+$	CLK IN (Pin 4) Positive Going Threshold Voltage		2.7	3.1	3.5	V_{DC}
$V_{T}-$	CLK IN (Pin 4) Negative Going Threshold Voltage		1.5	1.8	2.1	V_{DC}
V_H	CLK IN (Pin 4) Hysteresis $(V_T+)-(V_T-)$		0.6	1.3	2.0	V_{DC}
V_{OUT} (0)	Logical "0" CLK R Output Voltage	I_O = 360 μA V_{CC} = 4.75 V_{DC}			0.4	V_{DC}
V_{OUT} (1)	Logical "1" CLK R Output Voltage	I_O = −360 μA V_{CC} = 4.75 V_{DC}	2.4			V_{DC}
DATA OUTPUTS AND $\overline{INTR}$						
V_{OUT} (0)	Logical "0" Output Voltage Data Outputs $\overline{INTR}$ Output	I_{OUT} = 1.6 mA, V_{CC} = 4.75 V_{DC} I_{OUT} = 1.0 mA, V_{CC} = 4.75 V_{DC}			0.4 0.4	V_{DC} V_{DC}
V_{OUT} (1)	Logical "1" Output Voltage	I_O = −360 μA, V_{CC} = 4.75 V_{DC}	2.4			V_{DC}
V_{OUT} (1)	Logical "1" Output Voltage	I_O = −10 μA, V_{CC} = 4.75 V_{DC}	4.5			V_{DC}
I_{OUT}	TRI-STATE Disabled Output Leakage (All Data Buffers)	V_{OUT} = 0 V_{DC} V_{OUT} = 5 V_{DC}	−3		3	μA_{DC} μA_{DC}
I_{SOURCE}		V_{OUT} Short to Gnd, T_A = 25°C	4.5	6		mA_{DC}
I_{SINK}		V_{OUT} Short to V_{CC}, T_A = 25°C	9.0	16		mA_{DC}
POWER SUPPLY						
I_{CC}	Supply Current (Includes Ladder Current) ADC0801/02/03/04LCJ/05 ADC0804LCN/LCV/LCWM	f_{CLK} = 640 kHz, $V_{REF}/2$ = NC, T_A = 25°C and $\overline{CS}$ = 5V		 1.1 1.9	 1.8 2.5	 mA mA

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to Gnd, unless otherwise specified. The separate A Gnd point should always be wired to the D Gnd.

Note 3: A zener diode exists, internally, from V_{CC} to Gnd and has a typical breakdown voltage of 7 V_{DC}.

Note 4: For $V_{IN}(-) \ge V_{IN}(+)$ the digital output code will be 0000 0000. Two on-chip diodes are tied to each analog input (see block diagram) which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. Be careful, during testing at low V_{CC} levels (4.5V), as high level analog inputs (5V) can cause this input diode to conduct—especially at elevated temperatures, and cause errors for analog inputs near full-scale. The spec allows 50 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 50 mV, the output code will be correct. To achieve an absolute 0 V_{DC} to 5 V_{DC} input voltage range will therefore require a minimum supply voltage of 4.950 V_{DC} over temperature variations, initial tolerance and loading.

Note 5: Accuracy is guaranteed at f_{CLK} = 640 kHz. At higher clock frequencies accuracy can degrade. For lower clock frequencies, the duty cycle limits can be extended so long as the minimum clock high time interval or minimum clock low time interval is no less than 275 ns.

Note 6: With an asynchronous start pulse, up to 8 clock periods may be required before the internal clock phases are proper to start the conversion process. The start request is internally latched, see *Figure 2* and section 2.0.

Note 7: The $\overline{CS}$ input is assumed to bracket the $\overline{WR}$ strobe input and therefore timing is dependent on the $\overline{WR}$ pulse width. An arbitrarily wide pulse width will hold the converter in a reset mode and the start of conversion is initiated by the low to high transition of the $\overline{WR}$ pulse (see timing diagrams).

Note 8: None of these A/Ds requires a zero adjust (see section 2.5.1). To obtain zero code at other analog input voltages see section 2.5 and *Figure 5*.

Note 9: The $V_{REF}/2$ pin is the center point of a two-resistor divider connected from V_{CC} to ground. In all versions of the ADC0801, ADC0802, ADC0803, and ADC0805, and in the ADC0804LCJ, each resistor is typically 16 kΩ. In all versions of the ADC0804 except the ADC0804LCJ, each resistor is typically 2.2 kΩ.

Note 10: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้จะไม่สามารถเสร็จสมบูรณ์ได้ ถ้าไม่ได้รับคำแนะนำจาก อาจารย์สมเกียรติ ฤกษ์วรัญญู ขอขอบคุณอาจารย์ที่ให้คำปรึกษาและคำแนะนำที่ดีมาโดยตลอด

นอกจากนี้ก็ต้องขอขอบพระคุณ อาจารย์ทุกท่านในสถาบันนี้ที่ได้สั่งสอนคณะผู้จัดทำจนมีความรู้ความสามารถจนถึงทุกวันนี้

ขอขอบใจนายอธิป ราญมีชัย และนางสาวอุษณีย์ ศุภณีดิส ในความร่วมมือและความช่วยเหลือจนปริญญานิพนธ์ฉบับนี้สามารถเสร็จสมบูรณ์ได้

ผู้จัดทำหวังว่ารายงานฉบับนี้จะเป็นประโยชน์แก่ผู้ที่อ่านและสนใจเรื่องการส่งสัญญาณดิจิตอลไม่มากก็น้อย หากรายงานฉบับนี้มีข้อผิดพลาดประการใดขออภัยไว้ ณ ที่นี้ด้วย

ผู้จัดทำ

นางสาวทิพวรรณ เลิศธนพงศ์

นางสาววิชุดา พลพรพิสิฐ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. Arther B. Williams Fred J. Taylor , " Electronic Filter Design Handbook ", Second Edition , McGraw Hill Publishing Company
2. David R Smith , " Digital Transmission Systems ", Third Edition , Van Nostrand Reinhold Company
3. ทฤษฎีและการออกแบบวงจรดิจิตอล เล่มที่ 2 , บัณฑิต บัวบูชา รัฐวุฒิ ประทุมราช รุ่งแสง เครือไวศวรรณ วันชัย คุณากรวงศ์ , สำนักพิมพ์ฟิสิกส์เซ็นเตอร์
4. เครื่องรับส่งวิทยุ และระบบวิทยุสื่อสาร , สุชาติ กังวารจิตต์ , สำนักพิมพ์ ซีเอ็ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้