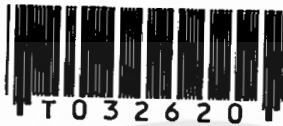


วิทยุติดตามตัวระบบ POCSAG

POCSAG PAGER



โดย
นางสาวพนิดา บุญโนทก
นางสาวพรทิพย์ วตินพรชัย
นางสาวมัลลิกา อุณหวิวรรณ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาวิศวกรรมโทรคมนาคม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2541

เลขหมึก.....
เลขทะเบียน...32620
วัน, เดือน, ปี 18 พ.ค. 2542

วิทยุติดตามตัวระบบ POCSAG

POCSAG PAGER

โดย

นางสาวพนิดา	บุญโนทก	38014320
นางสาวพรทิพย์	วสินพรชัย	38014324
นางสาวมัลลิกา	อุณหวิวรรณ	38014397

อาจารย์ที่ปรึกษา

ดร. ทองทศ วานิชศรี

อาจารย์นภัทร สระเอี่ยม

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

ปริญญาโทชั้นปีการศึกษา 2541

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง วิทยุติดตามตัวระบบ POCSAG

POCSAG PAGER

ผู้จัดทำ

- | | | |
|------------------|------------|----------|
| 1. นางสาวพนิดา | บุญโนทก | 38014320 |
| 2. นางสาวพรทิพย์ | วตินพรชัย | 38014324 |
| 3. นางสาวมัลลิกา | อุณหวิวรรณ | 38014397 |

ดร. ทองทศ วานิชศรี

(ดร. ทองทศ วานิชศรี)

ผศ. สระเอี่ยม

(อาจารย์นภัทร สระเอี่ยม)

อาจารย์ที่ปรึกษา

อาจารย์ที่ปรึกษา

วิทยุติดตามตัวระบบ POCSAG

POCSAG PAGER

โดย นางสาวพนิดา บุญโนทก 38014320
นางสาวพรทิพย์ วสินพรชัย 38014324
นางสาวมัลลิกา อุณหวิวรรณ 38014397

อาจารย์ที่ปรึกษา ดร. ทองทศ วานิชศรี
อาจารย์นักร สระเอี่ยม

บทคัดย่อ

ปริญญานิพนธ์นี้กล่าวถึงการพัฒนาเครื่องรับวิทยุติดตามตัวให้รับข้อความที่ส่งมาจากศูนย์บริการและแสดงผลออกทางหน้าจอLCDเบอร์SED1526 โดยการเขียนซอฟต์แวร์ให้ไมโครคอนโทรลเลอร์เบอร์ AT89LS8252 เป็นตัวควบคุมการทำงานทั้งหมดของเครื่องรับให้สามารถรับสัญญาณที่อยู่ในระบบ POCSAG ได้โดยใช้ PCD5003 เป็นตัวถอดรหัส และการรับส่งข้อมูลระหว่างไมโครคอนโทรลเลอร์กับตัวถอดรหัสจะใช้เทคโนโลยีของ I²C bus

ABSTRACT

This thesis presents a development of POCSAG pager to receive a signal from Paging Control Center and display the message on LCD SED 1526. By using Assembly programming for microcontroller AT89LS8252 to control all of pagers in order to detect POCSAG - signal by using PCD 5003 decoder. Data transfer between microcontroller and the decoder use the I²C bus technology.

สารบัญ

	หน้า
บทที่ 1 บทนำ	
1.1 โครงข่ายของวิทยุติดตามตัว	1
1.2 ไมโครคอนโทรลเลอร์	4
บทที่ 2 ทฤษฎีและหลักการ	
2.1 รูปแบบของสัญญาณ POCSAG	5
2.2 คุณสมบัติของไมโครคอนโทรลเลอร์ AT89LS8252	14
2.3 พอร์ตของ AT89LS8252	16
2.4 หน้าจอแสดงผลของเพจเจอร์ SED1526	20
2.5 การทำงานของตัวถอดรหัส PCDS003	29
บทที่ 3 การออกแบบและการสร้าง	
3.1 ฮาร์ดแวร์	42
3.2 การเขียนซอฟต์แวร์ควบคุมหน้าจอแสดงผล	42
3.3 การเขียนซอฟต์แวร์เพื่อควบคุมตัวถอดรหัส	51
บทที่ 4 การทดลองและผลการทดลอง	
4.1 การทำให้ LCD แสดงผล	55
4.2 ผลการทดลองของหน้าจอแสดงผล	55
4.3 ผลการทดลองเมื่อทำการ โหลด โปรแกรมเข้าไปในตัวถอดรหัส	57
4.4 การทดลองตัวถอดรหัส	62
บทที่ 5 บทวิจารณ์และบทสรุป	66
ภาคผนวก	
กิตติกรรมประกาศ	
หนังสืออ้างอิง	

สารบัญรูปภาพ

	หน้า
รูปที่ 1.1 โครงข่ายของระบบวิทยุติดตามตัว	2
รูปที่ 2.1 รูปแบบของสัญญาณ POCSAG	5
รูปที่ 2.2 รูปแบบของรหัสคำหมายเลขเรียกขาน	8
รูปที่ 2.3 โครงสร้างการทำงานของส่วนต่างๆ ภายในไมโครคอนโทรลเลอร์	15
รูปที่ 2.4 การจัดวางขาของไมโครคอนโทรลเลอร์ AT89LS8252	16
รูปที่ 2.5 แสดงโครงสร้างของพอร์ต 0	16
รูปที่ 2.6 แสดงโครงสร้างของพอร์ต 1	17
รูปที่ 2.7 แสดงโครงสร้างของพอร์ต 2	18
รูปที่ 2.8 แสดงโครงสร้างของพอร์ต 3	18
รูปที่ 2.9 การต่อวงจรรีเซทให้กับ AT89LS8252	19
รูปที่ 2.10 โครงสร้างการทำงานของจอแสดงผล SED 1526	21
รูปที่ 2.11 ความสัมพันธ์ระหว่างการแสดงผลของแรมกับเพจและคอลัมน์	28
รูปที่ 2.12 การเชื่อมต่ออุปกรณ์ที่จะใช้กับ I ² C bus	33
รูปที่ 2.13 รูปแบบการส่งข้อมูลของ I ² C bus	33
รูปที่ 2.14 การส่งข้อมูล 1 บิตของ I ² C bus	33
รูปที่ 2.15 แสดงการส่งสถานะเริ่มต้นและสถานะสิ้นสุด	34
รูปที่ 2.16 แสดงบิต Acknowledge	34
รูปที่ 2.17 รูปแบบของการส่งข้อมูลผ่าน I ² C bus ทั้ง 3 รูปแบบ	36
รูปที่ 2.18 โครงสร้างของ EEPROM ภายในตัวถอดรหัส	37
รูปที่ 3.1 วงจรแสดงการรับสัญญาณมาเข้าตัวถอดรหัส	43
รูปที่ 3.2 วงจรแสดงการทำงานของไมโครคอนโทรลเลอร์ที่ควบคุมส่วนต่างๆ	44
รูปที่ 3.3 บล็อกไดอะแกรมแสดงการทำงานของเพจเจอร์	45
รูปที่ 3.4 โฟลว์ชาร์ทการทำงานของโปรแกรมแสดงผล	46
รูปที่ 3.5 ตัวอย่างการแสดงผลเป็นตัวอักษร	47
รูปที่ 3.6 ตัวอย่างการออกแบบตัวอักษร ก	49
รูปที่ 3.7 โฟลว์ชาร์ทของโปรแกรมการทำงานของตัวถอดรหัส	53
รูปที่ 3.8 โฟลว์ชาร์ทของโปรแกรมการทำงานของตัวถอดรหัส (ต่อ)	54
รูปที่ 4.1 หน้าจอแสดงผลตัวอักษรภาษาอังกฤษแบบ 2 บรรทัด	55
รูปที่ 4.2 หน้าจอแสดงผลตัวอักษรภาษาไทยและภาษาอังกฤษแบบ 1 บรรทัด	56
รูปที่ 4.3 หน้าจอแสดงผลตัวอักษรภาษาไทยและภาษาอังกฤษแบบ 1 บรรทัด	56
รูปที่ 4.4 แสดงสัญญาณขณะที่ยังไม่มีกรเรียกจากศูนย์ควบคุม	57

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใด ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.5	แสดงสัญญาณเมื่อมีพัลส์ส่วนหน้าเข้ามายังเครื่องรับ	57
รูปที่ 4.6	แสดงสัญญาณของรหัสคำการชิงโครโนซ์	58
รูปที่ 4.7	แสดงสัญญาณข้อมูลทีขา D0 ของตัวรับสัญญาณ	58
รูปที่ 4.8	แสดงสัญญาณที่ขาอินเทอร์รัพท์ (INT) ของตัวถอดรหัส	59
รูปที่ 4.9	แสดงสัญญาณที่ขา CCN ขณะที่โปรแกรมทำงาน	59
รูปที่ 4.10	แสดงสัญญาณเอาต์พุตจากคริสตอลของตัวถอดรหัส	60
รูปที่ 4.11	แสดงส่วนต่างๆของโครงการ	60
รูปที่ 4.12	แสดงสัญญาณของข้อมูล (SDA) และนาฬิกา (SCL) ที่วัดได้ตามรูปแบบ I ² C bus	61
รูปที่ 4.13	แสดงสถานะของ LED เมื่อกำหนดค่าเริ่มต้นของนาฬิกาเป็น #01H	63
รูปที่ 4.14	แสดงสถานะของ LED เมื่อกำหนดค่าเริ่มต้นของนาฬิกาเป็น #3FH	63
รูปที่ 4.15	แสดงข้อมูลเลข '1' บนหน้าจอ LCD หลังส่งสัญญาณผ่านตัวถอดรหัส	64
รูปที่ 4.16	แสดงการกำหนดค่าเริ่มต้นในการส่งสัญญาณ POCSAG หมายเลข '1'	64
รูปที่ 4.17	แสดงข้อมูลเลข '4' บนหน้าจอ LCD หลังส่งสัญญาณผ่านตัวถอดรหัส	65
รูปที่ 4.18	แสดงการกำหนดค่าเริ่มต้นในการส่งสัญญาณ POCSAG หมายเลข '4'	65

สารบัญตาราง

	หน้า
ตารางที่ 2.1 รูปแบบของรหัสค่าต่างๆ	7
ตารางที่ 2.2 รูปแบบของรหัสค่าการชิงโครไนซ์	7
ตารางที่ 2.3 รูปแบบของบิทฟังก์ชัน	9
ตารางที่ 2.4 ชุดอักษระของข่าวสารสำหรับเพจเจอร์ุ่นตัวเลข	10
ตารางที่ 2.5 ชุดอักษระของข่าวสารสำหรับเพจเจอร์ุ่นตัวอักษร – ตัวเลข	13
ตารางที่ 2.6 รูปแบบของรหัสค่าไอเคิล	13
ตารางที่ 2.7 หน้าที่พิเศษในบางขาของพอร์ต 1	17
ตารางที่ 2.8 แสดงขาที่เกี่ยวข้องกับแหล่งจ่ายไฟ	22
ตารางที่ 2.9 แสดงขาที่เกี่ยวข้องกับแหล่งจ่ายไฟให้กับตัวขับหน้าจอแสดงผล	23
ตารางที่ 2.10 ขาที่เกี่ยวข้องกับการเชื่อมต่อกับไมโครคอนโทรลเลอร์	23
ตารางที่ 2.11 ตารางคำสั่งที่ใช้งานกับตระกูลSED 1526	25
ตารางที่ 2.12 แสดงบิทที่ทำให้หน้าจอติดหรือดับ	26
ตารางที่ 2.13 แสดงบิทของการเลือกแถวเริ่มต้น	26
ตารางที่ 2.14 แสดงบิทของการเลือกเพจเริ่มต้น	27
ตารางที่ 2.15 แสดงบิทของการเลือกคอลัมน์เริ่มต้น	27
ตารางที่ 2.16 แสดงบิทของการควบคุมเพาเวอร์	28
ตารางที่ 2.17 ตารางค่าความจริงของสภาวะการทำงานของตัวถอดรหัส	29
ตารางที่ 2.18 แสดงบิทของบล็อคส่วนหัว	31
ตารางที่ 2.19 แสดงบิทของบล็อคส่วนข้อมูลข่าวสาร	31
ตารางที่ 2.20 แสดงบิทของบล็อคส่วนสิ้นสุดข้อความ	32
ตารางที่ 2.21 แสดงตำแหน่งของแอดเดรสในอินเด็กซ์รีจิสเตอร์	35
ตารางที่ 2.22 ตำแหน่งบิทของรีจิสเตอร์สถานะ (00H;read)	37
ตารางที่ 2.23 ตำแหน่งบิทของรีจิสเตอร์ควบคุม (00H;write)	37
ตารางที่ 2.24 ตำแหน่งใน EEPROM ที่ยังไม่ได้กำหนดให้มีการใช้งาน	38
ตารางที่ 2.25 Special Programmed Function (EEPROM ตำแหน่ง 00H)	38
ตารางที่ 2.26 Special Programmed Function (EEPROM ตำแหน่ง 01H)	39
ตารางที่ 2.27 Special Programmed Function (EEPROM ตำแหน่ง 02H)	39
ตารางที่ 2.28 Special Programmed Function (EEPROM ตำแหน่ง 03H)	40
ตารางที่ 2.29 ตำแหน่งแอดเดรสของหมายเลขประจำเครื่อง	40
ตารางที่ 2.30 การโปรแกรมบิทต่างๆ ของหมายเลขประจำเครื่อง	41
ตารางที่ 3.1 แสดงรหัสของตัวอักษรภาษาอังกฤษ	47

ตารางที่ 3.2 แสดงรหัสของตัวอักษรภาษาไทย	48
ตารางที่ 3.3 ตัวอย่างการเก็บเป็นตาราง ก	49
ตารางที่ 3.4 แสดงวิธีการเก็บค่าลงในตาราง ก	50



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

ในระบบการติดต่อสื่อสารตั้งแต่อดีตจนถึงปัจจุบัน ได้มีการพัฒนาอุปกรณ์ที่ใช้ในการสื่อสารมากมายหลายชนิด ตั้งแต่อุปกรณ์สื่อสารแบบมีสายจนกระทั่งถึงแบบไร้สาย เมื่อก้าวถึงการสื่อสารไร้สาย วิทยุติดตามตัวหรือเพจเจอร์จัดเป็นการสื่อสารไร้สายที่เป็นที่นิยมกันอย่างมากในปัจจุบัน เหมาะสำหรับผู้ที่มีภาระหน้าที่ที่ไม่ค่อยประจำที่แต่จำเป็นต้องอาศัยการติดต่อสื่อสารอยู่ตลอดเวลา มีลักษณะของการสื่อสารเป็นแบบทิศทางเดียวจากผู้เรียกต้นทางซึ่งใช้เครื่องโทรศัพท์ในโครงข่ายโทรศัพท์หลักทั่วประเทศส่งทอดมายังโครงข่ายวิทยุติดตามตัวไปยังผู้รับ

1.1 โครงข่ายของวิทยุติดตามตัว

โครงข่ายวิทยุติดตามตัวที่ใช้กันในปัจจุบัน ประกอบด้วยส่วนสำคัญดังนี้

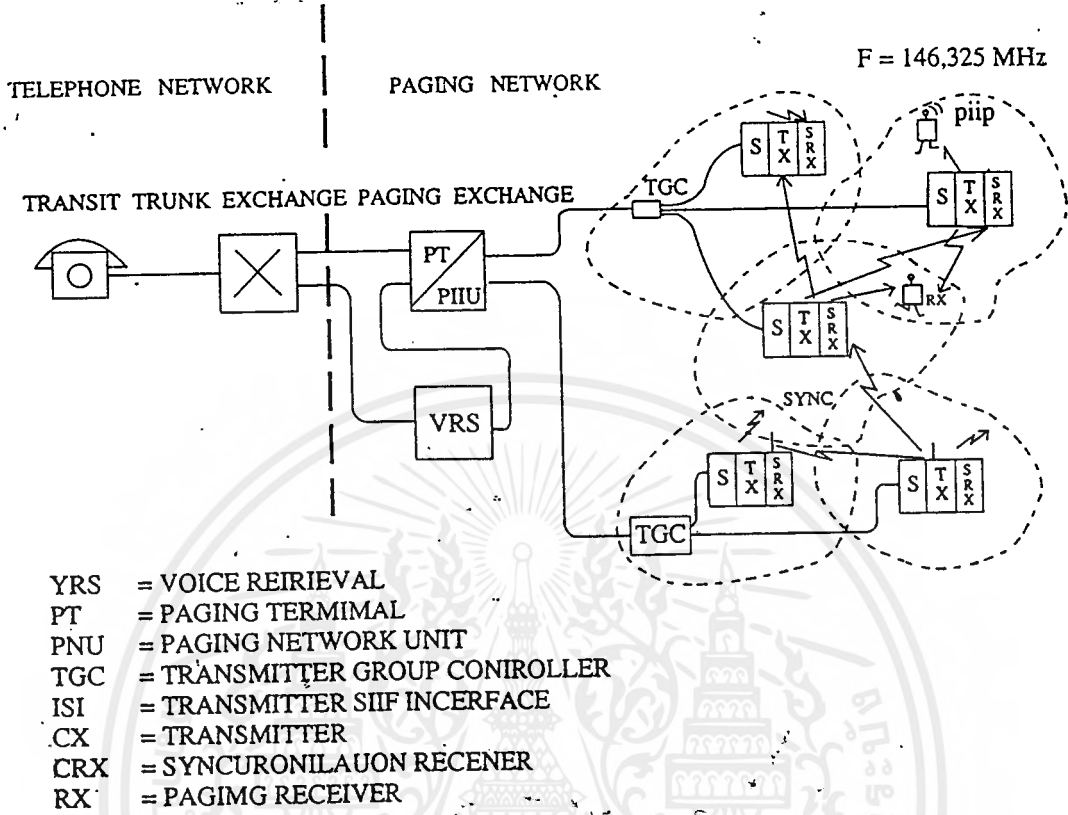
1. โครงข่ายโทรศัพท์หลัก คือ โครงข่ายโทรศัพท์ที่ประกอบด้วยเครื่องโทรศัพท์ข่ายสายท้องถิ่น ชุมสายท้องถิ่น ชุมสายต่อผ่าน อุปกรณ์สื่อสารวิทยุ เป็นโครงข่ายโทรศัพท์หลักของประเทศ เมื่อผู้ใช้บริการกดหมายเลขโทรศัพท์ จะมีการส่งทอดสัญญาณในโครงข่ายโทรศัพท์หลักผ่านระบบสัญญาณไปยังชุมสายวิทยุติดตามตัว

2. ชุมสายวิทยุติดตามตัว หรือเรียกอีกอย่างหนึ่งว่า ศูนย์ควบคุมวิทยุติดตามตัว (Paging Control Center - PCC) ทำหน้าที่รับสัญญาณข้อมูลมาทำการตรวจสอบ บันทึก และเปลี่ยนสัญญาณนั้นให้เป็นสัญญาณข้อมูลความเร็ว 2400 บิตต่อวินาที แล้วส่งทอดสัญญาณไปยังสถานีฐานวิทยุติดตามตัว

3. สัญญาณเป็นส่วนรวบรวมสัญญาณระหว่างโครงข่ายโทรศัพท์หลักกับชุมสายวิทยุติดตามตัว และระหว่างชุมสายวิทยุติดตามตัวกับสถานีฐานวิทยุติดตามตัว ซึ่งประกอบด้วย อุปกรณ์มัลติเพล็กซ์ อุปกรณ์วิทยุ ไมโครเวฟ ดาวเทียมหรือสายเคเบิล

4. สถานีฐานวิทยุติดตามตัว มีหน้าที่รับข้อมูลจากชุมสายวิทยุติดตามตัวแล้วแปลงให้เป็นสัญญาณวิทยุเพื่อส่งไปยังเครื่องรับวิทยุติดตามตัว ในขณะเดียวกันยังส่งสัญญาณติดต่อกับสถานีฐานวิทยุติดตามตัวอื่น เพื่อความสอดคล้องของข้อมูล (Synchronization)

5. เครื่องรับวิทยุติดตามตัว ทำหน้าที่รับสัญญาณวิทยุมาแปลงให้เป็นสัญญาณเสียง ตัวเลข ตัวอักษร หรือสัญญาณอื่นๆ ตามรูปแบบของการให้บริการ



รูปที่ 1.1 โครงข่ายของวิทยุติดตามตัว

รูปแบบของเครื่องลูกข่ายแบ่งตามความสามารถในการรับข่าวสารได้ 5 แบบ ได้แก่

1. **แบบตัวอักษร** (Message หรือ Alpha-Numeric pager) เป็นแบบที่ได้รับความนิยมอย่างสูง เครื่องลูกข่ายประเภทนี้สามารถรับข้อความได้เต็มที่ 200 ตัวอักษร และแสดงผลได้หน้าละ 80 ตัวอักษรต่อ 1 ข่าวสาร หน่วยความจำสำรองเก็บข่าวสารได้ 40 ชุด ผู้ใช้สามารถสั่งลบหรือป้องกันการลบได้ด้วยตนเอง บริการพิเศษสำหรับเครื่องลูกข่ายประเภทนี้คือ การให้บริการข่าวสารแบบออนไลน์ เช่น ข่าวการเมือง อัตราแลกเปลี่ยนเงินตรา ข่าวกีฬา เป็นต้น
2. **แบบตัวเลข** (Numeric pager) สามารถรับข่าวสารได้เฉพาะตัวเลข โดยเก็บตัวเลขได้สูงสุด 20 หลักต่อ 1 ข่าวสาร ตัวเลขเหล่านี้อาจเป็นหมายเลขโทรศัพท์ที่จะให้ติดต่อกลับ รหัสสินค้า ราคาสินค้า หรือรหัสพิเศษเฉพาะกลุ่มแล้วแต่ผู้ใช้บริการจะตกลงกัน
3. **แบบใช้เสียง** (Tone pager) เป็นเครื่องลูกข่ายที่มีราคาถูกที่สุด โดยจะส่งเสียงเตือนเมื่อมีการเรียกเข้ามายังเครื่องหมายเลขนั้น ทั้งนี้อาจใช้เป็นการเตือนให้เจ้าของเครื่องโทรติดต่อกลับมายังศูนย์บริการ หรือเตือนให้โทรกลับไปยังหมายเลขที่มีการตกลงกันไว้ล่วงหน้า

4. แบบหลายเสียง (Multi address pager) คล้ายกันกับแบบใช้เสียง แต่เครื่องประเภทนี้จะมีเสียงเตือนที่แตกต่างกันตั้งแต่ 2 เสียงขึ้นไป เพื่อให้แยกความแตกต่างของหมายเลขที่จะให้โทรกลับ

5. แบบฝากเสียงพูด (Voice messaging pager) เป็นอีกรูปแบบหนึ่งของเครื่องลูกข่าย โดยผู้ฝากข่าวสารสามารถฝากเสียงพูดของตนเองผ่านทางคู่สายโทรศัพท์ไปเก็บไว้ยังศูนย์รับฝากข้อความ เพื่อให้ศูนย์ส่งข้อความนั้นไปยังเจ้าของเครื่อง

คุณสมบัติที่เป็นจุดเด่นเฉพาะตัวของวิทยุติดตามตัว ได้แก่

1. สามารถพกติดตัวได้ เนื่องจากตัวเครื่องมีขนาดเล็กและน้ำหนักเบา มีความสะดวกสบายในการใช้งาน
2. ตัวเครื่องมีราคาถูก และค่าบริการเช่าใช้ต่ำกว่าโทรศัพท์มือถือ
3. ให้ความเป็นส่วนตัวแก่ผู้ใช้ โดยเฉพาะการรับข้อความแบบตัวอักษร
4. ช่วยให้ผู้รับข่าวสารได้ตลอดเวลา ไม่ว่าจะเป็นในระหว่างการเดินทางหรือระหว่างการประชุมโดยไม่ส่งเสียงรบกวนผู้อื่นเหมือนกับโทรศัพท์มือถือ
5. มีจำนวนผู้เช่าใช้ต่อหนึ่งความถี่มาก
6. ไม่ต้องการติดตั้งใดๆ ในส่วนของผู้ใช้
7. ไม่ต้องมีแหล่งจ่ายไฟจากภายนอก ใช้เพียงแบตเตอรี่ก้อนเดียว
8. ที่ตัวเพจเจอร์แทบจะไม่ต้องมีการบำรุงรักษา
9. สามารถเก็บบันทึกข้อมูลข่าวสารไว้ได้ในตัวเครื่อง
10. รับสัญญาณได้ดี มีจุดอับของสัญญาณน้อย

สัญญาณข่าวสารที่จะส่งไปยังผู้รับนั้นเป็นสัญญาณรหัสข้อมูลเลขฐานสองเรียงต่อเนื่องกัน รหัสข้อมูลที่ใช้เป็นรหัสของ POCSAG (Post Office Code Standardization Advisory Group) ภายหลังมีการตั้งชื่ออย่างเป็นทางการว่า มาตรฐานรหัสการเพจโดยใช้คลื่นวิทยุหมายเลข 1 (CCIR Radio Paging Code No.1) ถือเป็นรูปแบบและรหัสมาตรฐานสำหรับวิทยุติดตามตัวที่ถูกกำหนดโดย CCIR ซึ่งเป็นการกำหนดวิธีการติดต่อระหว่างศูนย์ควบคุมวิทยุติดตามตัวกับเครื่องวิทยุติดตามตัว แต่โดยที่ POCSAG ไม่ได้กำหนดความถี่ที่ใช้ในการติดต่อกัน ดังนั้นระบบเพจเจอร์แต่ละระบบจึงสามารถเลือกใช้ความถี่ใดก็ได้ตามต้องการ แต่มีข้อเสียคือ การเชื่อมต่อระหว่างระบบหรือการใช้เครื่องลูกข่ายข้ามระบบ (Roaming) เป็นไปได้ยาก

การรับส่งข้อมูลข่าวสารของเพจเจอร์ในปัจจุบันมีย่านความถี่ต่างๆ ที่ใช้ดังต่อไปนี้

1. VHF Low band (33-37, 40-50 MHz.)
2. VHF High band (138-174 MHz.)
3. UHF Low band (406-422, 435-512 MHz.)
4. UHF High band (920-932 MHz.)

การผสมสัญญาณที่ส่งออกไปยังเครื่องรับวิทยุติดตามตัว ใช้การมอดูเลตแบบ FSK (Frequency Shift Keying) นั่นคือ บิตข้อมูลที่เป็น “1” จะถูกส่งไปเป็นความถี่ที่เท่ากับความถี่ของคลื่นพาหะ -4.5 กิโลเฮิร์ต และข้อมูลที่เป็นบิต “0” จะถูกส่งไปเป็นความถี่ที่เท่ากับความถี่ของคลื่นพาหะ $+4.5$ กิโลเฮิร์ต สามารถส่งข้อมูลได้ด้วยความเร็ว 512, 1200 หรือ 2400 บิตต่อวินาทีและมีความห่างระหว่างช่องสัญญาณ (Channel spacing) 25 กิโลเฮิร์ต

1.2 ไมโครคอนโทรลเลอร์

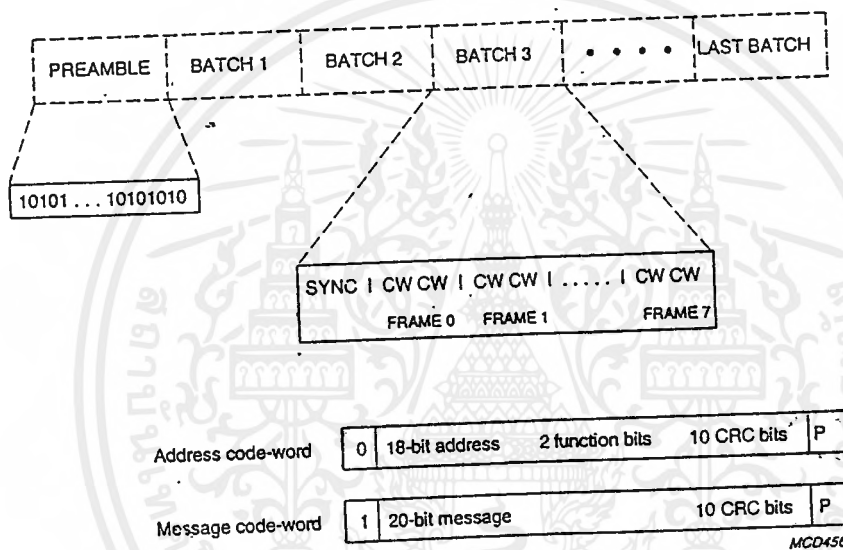
ปัจจุบันได้มีการนำเอาไมโครคอนโทรลเลอร์มาใช้งานอย่างกว้างขวาง ส่วนใหญ่จะนำมาใช้ควบคุมอุปกรณ์ต่างๆ ที่ต้องการขีดความสามารถสูง ทำงานได้รวดเร็ว มีขนาดเล็ก การเปลี่ยนแปลงฟังก์ชันในการทำงานเพียงแต่เปลี่ยนโปรแกรมเท่านั้น โดยไม่ต้องเปลี่ยนแปลงฮาร์ดแวร์เลย โครงสร้างของไมโครคอนโทรลเลอร์ที่นำมาใช้งานจะต้องตรงกับหน่วยความจำและอุปกรณ์อินพุท/เอาต์พุท

ปริยญาณิพนธ์ฉบับนี้ใช้ไมโครคอนโทรลเลอร์เบอร์ AT89LS8252 ซึ่งอยู่ในตระกูล MCS-51 ผลิตโดยบริษัทแอทเมล (ATMEL) เป็นตัวควบคุมการทำงานของอุปกรณ์ต่างๆ

บทที่ 2 ทฤษฎี

2.1 รูปแบบของสัญญาณ POCSAG

รูปแบบของสัญญาณข่าวสารที่ใช้ส่งในระบบ POCSAG ประกอบด้วย สัญญาณพัลส์ส่วนหน้า (Preamble) จำนวนอย่างน้อย 576 บิต และตามด้วยรหัสคำตั้งแต่ 1 ชุดขึ้นไป (Batch structure) ซึ่งแต่ละชุดจะเริ่มต้นด้วยรหัสคำการซิงโครไนซ์ (Synchronization codeword) รูปแบบของสัญญาณแสดงได้ดังรูปที่ 2.1



รูปที่ 2.1 รูปแบบของสัญญาณ POCSAG

2.1.1 สัญญาณพัลส์ส่วนหน้า (Preamble)

สัญญาณพัลส์ส่วนหน้า ประกอบด้วย รูปแบบที่มีลักษณะของบิตตรงข้ามกัน คือ 101010...1010 ถูกส่งเป็นจำนวนอย่างน้อย 576 บิต (มีค่าเท่ากับ 1 แบทช์ บวกกับ 1 รหัสคำ) สัญญาณนี้ถูกใช้เพื่อเป็นตัวช่วยในการตรวจสอบจุดเริ่มต้นของการส่ง โดยปกติแล้วการทำงานของเครื่องรับวิทยุติดตามตัวจะไม่ได้รอรับสัญญาณตลอดเวลา แต่เครื่องจะอยู่ในโหมดประหยัดพลังงาน (Battery – saving mode) นั่นคือ เมื่อเพจเจอร์เริ่มทำงานทุกๆ ครั้งจะต้องมองหาสัญญาณพัลส์ส่วนหน้า เพื่อให้ซิงโครไนซ์กับศูนย์ควบคุมวิทยุติดตามตัว ดังนั้นจะเห็นว่าสัญญาณพัลส์ส่วนหน้านี้จะต้องมีความยาวมากกว่ารอบการทำงานของโหมดประหยัดพลังงาน เมื่อสามารถซิงโครไนซ์กันได้แล้ว จึงทำการรับข้อมูลซึ่งถูกส่งตามหลังสัญญาณพัลส์ส่วนหน้ามาเป็นจำนวนอย่างน้อย 1 แบทช์ (Batch)

2.1.2 โครงสร้างของแบทช์ข้อมูล (Batch Structure)

รหัสคำต่างๆ จะถูกส่งลงในแบทช์ ซึ่งแต่ละแบทช์จะมี 8 เฟรม โดยเริ่มจากเฟรมแรกเป็นเฟรมที่ 0 และเฟรมสุดท้ายเป็นเฟรมที่ 7 การแบ่งข้อมูลเป็นแบทช์นี้ก็เพื่อประโยชน์ในการชิงโครไนซ์ข้อมูลนั่นเอง โดยที่ทุกๆ แบทช์จะมีข้อมูลที่ชิงโครไนซ์นำหน้าเสมอ ข้อมูลที่ยาวมากจึงถูกแบ่งเป็นแบทช์หลายๆ อัน ภายในแต่ละแบทช์จะประกอบด้วยข้อมูลจริงๆ 16 รหัสคำ (Codeword)

รหัสคำที่ถูกบรรจุอยู่ในแบทช์ แบ่งเป็น 4 ชนิด ดังนี้

1. รหัสคำการชิงโครไนซ์ (Synchronization Codeword)
2. รหัสคำของหมายเลขเรียกขาน (Address Codeword)
3. รหัสคำของข่าวสาร (Message Codeword)
4. รหัสคำเทียม (Idle Codeword)

รหัสคำทั้ง 4 ชนิดนี้ แต่ละชนิดประกอบด้วยเลขฐานสองจำนวน 32 บิต และมีรูปแบบแสดงได้ดังตารางที่ 2.1

Bit No.	Synchronization Codeword	Address Codeword	Message Codeword	Idle Codeword
1	0	Address flag =0	Message flag =1	0
2	1	Address Bit	Message Bit	1
3	1	Address Bit	Message Bit	1
4	1	Address Bit	Message Bit	1
5	1	Address Bit	Message Bit	1
6	1	Address Bit	Message Bit	0
7	0	Address Bit	Message Bit	1
8	0	Address Bit	Message Bit	0
9	1	Address Bit	Message Bit	1
10	1	Address Bit	Message Bit	0
11	0	Address Bit	Message Bit	0
12	1	Address Bit	Message Bit	0
13	0	Address Bit	Message Bit	1
14	0	Address Bit	Message Bit	0
15	1	Address Bit	Message Bit	0

16	0	Address Bit	Message Bit	1
17	0	Address Bit	Message Bit	1
18	0	Address Bit	Message Bit	1
19	0	Address Bit	Message Bit	0
20	1	Function Bit	Message Bit	0
21	0	Function Bit	Message Bit	0
22	1	Check Bit	Check Bit	0
23	0	Check Bit	Check Bit	0
24	1	Check Bit	Check Bit	1
25	1	Check Bit	Check Bit	1
26	1	Check Bit	Check Bit	0
27	0	Check Bit	Check Bit	0
28	1	Check Bit	Check Bit	1
29	1	Check Bit	Check Bit	0
30	0	Check Bit	Check Bit	1
31	0	Check Bit	Check Bit	1
32	0	Even Parity	Even Parity	1

ตารางที่ 2.1 รูปแบบของรหัสคำต่างๆ

1. รหัสคำการซิงโครไนซ์ (Synchronization Codeword)

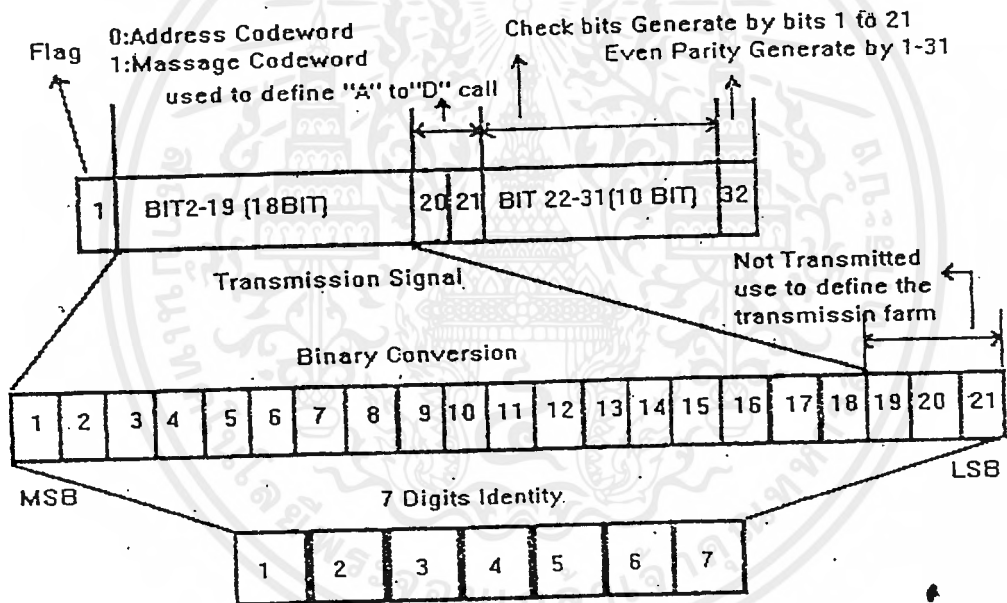
เป็นรหัสคำที่มีรูปแบบเฉพาะเป็นเอกลักษณ์ ไม่มีการซ้ำกับรหัสคำอื่นๆ รหัสคำชนิดนี้จะอยู่เป็นอันดับแรกของแต่ละแบทช์จึงทำหน้าที่กำหนดจุดเริ่มต้นของแบทช์ด้วย โดยมีรูปแบบของบิตดังตารางที่ 2.2

No.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32
Bit	0	1	1	1	1	0	0	1	1	0	1	0	0	1	0	0	0	0	1	0	1	0	1	1	1	0	1	1	0	0	0	

ตารางที่ 2.2 รูปแบบของรหัสคำการซิงโครไนซ์

2. รหัสคำของหมายเลขเรียกขาน (Address Codeword)

รหัสคำชนิดนี้จะประกอบไปด้วยเลขฐานสองจำนวน 32 บิต ซึ่งบิตแรกจะเป็น "0" เสมอ รูปแบบของรหัสคำนี้แสดงไว้ในตารางที่ 2.1 จะเห็นว่าบิตที่ 2 ถึงบิตที่ 19 เป็นรหัสหมายเลขเฉพาะที่ถูกกำหนดให้กับเพจเจอร์แต่ละเครื่อง ซึ่งแปลงจากเลขฐานสิบจำนวน 7 หลักมาเป็นเลขฐานสอง (BCD) จำนวน 21 บิต และเลขฐานสองที่ถูกแปลงมานั้นจะใช้เพียง 18 บิตที่มีความสำคัญมาก (MSB) ส่งไปกับรหัสของหมายเลขเรียกขาน ส่วนอีก 3 บิตที่มีความสำคัญน้อย (LSB) จะไม่ถูกส่งไปด้วย แต่จะถูกใช้ในการส่งรหัสของหมายเลขเรียกขานออกไปว่าเป็นเฟรมที่เท่าใดของแบทช์ วิธีการส่งในลักษณะนี้จะช่วยลดจำนวนบิตของหมายเลขเรียกขานให้น้อยลงไป 3 บิต และถ้าหากมีบิตใดใน 3 บิตนั้นเกิดการผิดพลาดไปในการรับส่งข้อมูลก็จะมีผลกระทบใดๆ ต่อรหัสหมายเลขเรียกขานเลย จึงช่วยเพิ่มประสิทธิภาพของเครื่องรับให้ดีขึ้นด้วย



รูปที่ 2.2 รูปแบบของรหัสคำหมายเลขเรียกขาน

บิตที่ 20 และ 21 ของรหัสคำหมายเลขเรียกขานคือบิตฟังก์ชัน ใช้เป็นตัวกำหนดการเรียกวิธีต่างๆ มี 4 รูปแบบ ดังในตารางที่ 2.3 ส่วนบิตที่ 22 ถึง 31 จะใช้เป็นเช็คบิต (Check bit) บิตที่ 32 จะถูกบวกเข้าไปเพื่อทำให้เป็นพาริตีคู่ (Even parity)

Bit 20 (MSB)	Bit 21 (LSB)	Call Type	Data Format
0	0	Numeric	4 - bits per digit
0	1	Alert only 1	-
1	0	Alert only 2	-
1	1	Alpha-numeric	7 - bits per ASCII character

ตารางที่ 2.3 รูปแบบของบิตฟังก์ชัน

3. รหัสคำของข่าวสาร (Message Codeword)

- รหัสคำของข่าวสารสำหรับเพจเจอร์รุ่นตัวเลข

ประกอบด้วยเลขฐานสองจำนวน 32 บิต โดยบิตแรกจะเป็น "1" เสมอ และรหัสนี้จะตามหลังรหัสของหมายเลขเรียกขาน รหัสคำของข่าวสารจะสิ้นสุดลงเมื่อมีการส่งรหัสคำของหมายเลขเรียกขานตัวต่อไป หรือมีการส่งรหัสคำเทียบหรือเมื่อการส่งสัญญาณได้มีการสิ้นสุดลง แต่ข่าวที่จะส่งมีความยาวเกินกว่าเบทซ์นั้นขึ้นไปซึ่งนั้นก็หมายความว่า จะต้องถูกแทรกด้วยรหัสคำการชิงโคร ในซีก่อนแล้วข่าวสารส่วนที่เหลือจึงจะถูกส่งในเบทซ์ถัดไปจนหมด โดยที่ไม่ต้องเริ่มด้วยรหัสคำหมายเลขเรียกขานอีก ข่าวสารในวิทยุติดตามตัวรุ่นตัวเลขจะต้องแสดงข้อมูลที่หน้าจอเป็นตัวเลขฐานสิบและเครื่องหมายต่างๆ โดยรูปแบบของข่าวสารนี้จะใช้เลขฐานสองจำนวน 4 บิตแทน 1 อักขระ ในการส่ง บิตข่าวสารของอักขระแต่ละตัวนั้นจะถูกส่งเป็นลำดับ โดยเริ่มจากบิตที่ 1 ซึ่งเป็นบิตที่มีความสำคัญน้อยที่สุดก่อน แล้วจึงตามด้วยบิตที่ 2, 3, 4 อักขระตัวอื่นๆ ก็จะถูกส่งตามกันไปจนครบ 5 ตัวหรือ 20 บิตต่อ 1 รหัสคำข่าวสาร โดยที่ 20 บิตเหล่านี้จะเรียงจากบิตที่ 21 ของรหัสคำข่าวสาร ชุดอักขระสำหรับข่าวสารแสดงในตารางที่ 2.4

Bit No. 4321	Displayed Character
0000	0
0001	1
0010	2
0011	3
0100	4
0101	5
0110	6
0111	7
1000	8

1001	9
1010	-
1001	U (Urgency Indicator)
1100	Space
1101	Hyphen
1110	}
1111	[

ตารางที่ 2.4 ชุดอักขระของข่าวสารสำหรับเพจเจอร์รุ่นตัวเลข

- รหัสค่าของข่าวสารเพจเจอร์รุ่นตัวอักษร - ตัวเลข

สำหรับรหัสค่าข่าวสารชนิดนี้จะมีลักษณะ โครงสร้างทางบิตและรูปแบบเหมือนกันกับรหัสค่าข่าวสารของรุ่นตัวเลข แต่จะมีความแตกต่างกันตรงจำนวนบิตเนื่องจากเป็นรุ่นตัวอักษร-ตัวเลข จึงจำเป็นต้องใช้จำนวนบิตเพิ่มมากขึ้น ตามมาตรฐานของ POCSAG 1 ตัวอักษรหรือ 1 อักขระ จะใช้จำนวนบิต 7 บิตด้วยกัน ซึ่งต่างกับรุ่นตัวเลขที่มีเพียง 4 บิต รหัสค่าข่าวสารที่ใช้ในรุ่นตัวอักษร - ตัวเลข จะมีถึง 80 รูปแบบ ได้แก่ ตัวเลข 0-9 อักขระภาษาอังกฤษตัวพิมพ์ใหญ่ ตัวพิมพ์เล็ก และสัญลักษณ์พิเศษต่างๆ ตำแหน่งของข่าวสารในบิตของข่าวสารนี้ จะมีการเลื่อนไปตามความยาวของข่าวสารที่ส่งมา หมายความว่าจำนวนบิตของอักขระแต่ละตัวจะถูกเลื่อนไปเนื่องจากรูปแบบของบิตข่าวสารกำหนดให้มีความยาว 20 บิตหรือ 2 ตัวอักษรกับอีก 6 บิต นั้นแสดงว่าจะมีอักขระบางตัวที่อยู่คร่อมระหว่างบิตข่าวสารของรหัสค่าข่าวสาร 2 รหัสค่า หรืออาจจะกล่าวว่า ในบิตข่าวสารของรหัสค่าข่าวสารนั้นจะสามารถบรรจุได้ 3 ตัวอักษร แต่อักขระตัวที่ 3 จะมีเพียง 6 บิต เนื่องจากบิตที่ 7 จะเลื่อนไปอยู่ในบิตข่าวสารของรหัสค่าข่าวสารถัดไป รหัสของอักขระแต่ละตัวแสดงไว้ในตารางที่ 2.5

Bit No. 7654321	Displayed Character
0000110	0
1000110	1
0100110	2
1100110	3
0010110	4
1010110	5
0110110	6
1110110	7

0000110	8
1001110	9
0101110	:
1101110	;
0011110	<
1011110	=
0111110	>
1111110	?
0000001	@
1000001	A
0100001	B
1100001	C
0010001	D
1010001	E
0110001	F
1110001	G
0000001	H
1001001	I
0101001	J
1101001	K
0011001	L
1011001	M
0111001	N
1111001	O
0000101	P
1000101	Q
0100101	R
1100101	S
0010101	T
1010101	U

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0110101	V
1110101	W
0000101	X
1001101	Y
0101101	Z
1101101	[
0011101	
1011101]
0111101	^
1111101	-
0000011	“
1000011	a
0100011	b
1100011	c
0010011	d
1010011	e
0110011	f
1110011	g
0000011	h
1001011	I
0101011	j
1101011	k
0011011	l
1011011	m
0111011	n
1111011	o
0000111	p
1000111	q
0100111	r
1100111	s

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0010111	t
1010111	u
0110111	v
1110111	w
0000111	x
1001111	y
0101111	z
1101111	{
0011111	
1011111	}
0111111	~
1111111	#

ตารางที่ 2.5 ชุดอักขระของข่าวสารสำหรับเพจเจอร์รุ่นตัวอักษร – ตัวเลข

4. รหัสคำไอดีล (Idle Codeword)

ถ้าข่าวสารที่ส่งมาหมดลงก่อนการสิ้นสุดของเฟรม รหัสคำเทียบนี้จะถูกใส่แทนรหัสคำปกติเพื่อให้เฟรมนั้นมีครบทั้ง 2 รหัสคำ (64 บิต) ในกรณีที่ข่าวสารที่จะส่งหมดลงก่อนที่จะสิ้นสุดเบบท์ รหัสคำไอดีลก็จะได้รับการใส่ไว้เพื่อให้ครบเฟรมเดียวกัน รูปแบบของรหัสคำไอดีลแสดงไว้ในตารางที่ 2.6

No.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32
Bit	0	1	1	1	1	0	1	0	1	0	0	0	1	0	0	1	1	1	0	0	0	0	0	1	1	0	0	1	0	1	1	1

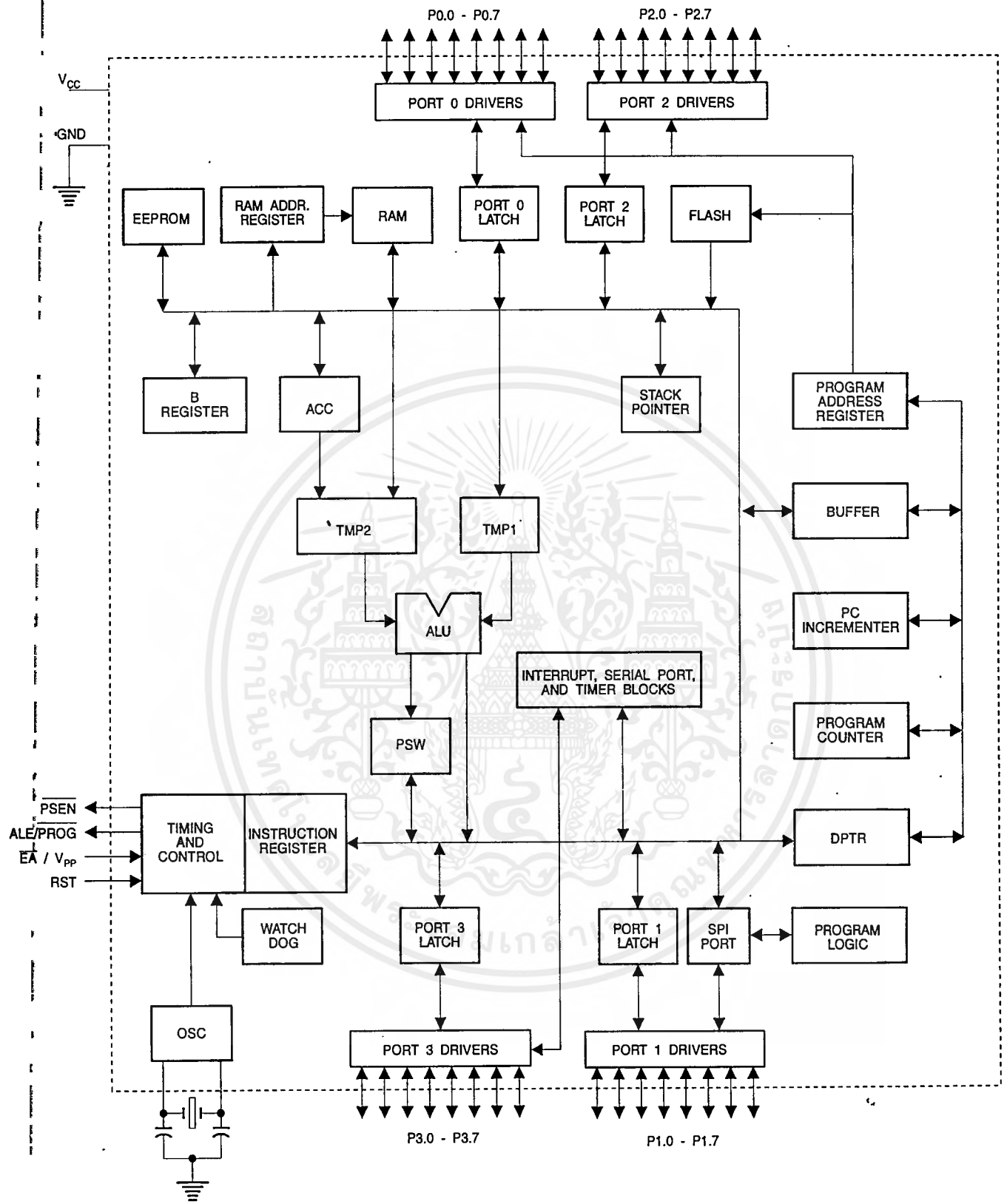
ตารางที่ 2.6 รูปแบบของรหัสคำไอดีล

2.2 คุณสมบัติของไมโครคอนโทรลเลอร์ AT89LS8252

- เข้ากันได้กับตระกูล MCS-51
- มี Flash memory 8 กิโลไบต์ซึ่งสามารถทำการโปรแกรมและดาวน์โหลดได้โดยการเชื่อมต่อแบบอนุกรมสามารถเขียนและลบได้ 1,000 ครั้ง
- มี EEPROM ขนาด 2 กิโลไบต์ สามารถเขียนและลบได้ 100,000 ครั้ง
- มีหน่วยความจำสำหรับเก็บข้อมูลภายในขนาด 256×8 บิต
- ใช้แรงดันไฟฟ้าได้ในช่วง 2.7 - 6 โวลต์
- มีไทม์เมอร์ / เคาน์เตอร์ ขนาด 16 บิต จำนวน 3 ชุด
- รับอินเทอร์รัพท์ได้ 9 แหล่ง
- มีการเชื่อมต่ออนุกรมแบบ SPI (SPI Serial Interface)

โครงสร้างการทำงานของส่วนต่างๆ ภายในไมโครคอนโทรลเลอร์แสดงดังรูปที่ 2.3



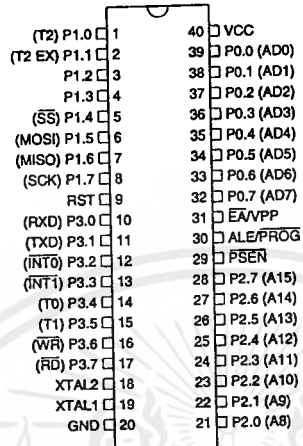


รูปที่ 2.3 โครงสร้างการทำงานของส่วนต่างๆ ภายในไมโครคอนโทรลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 พอร์ตของ AT89LS8252

AT89LS8252 ที่ใช้งานนี้เป็นไมโครคอนโทรลเลอร์ขนาด 40 ขา ซึ่งมีรายละเอียดของขาต่างๆ ดังนี้

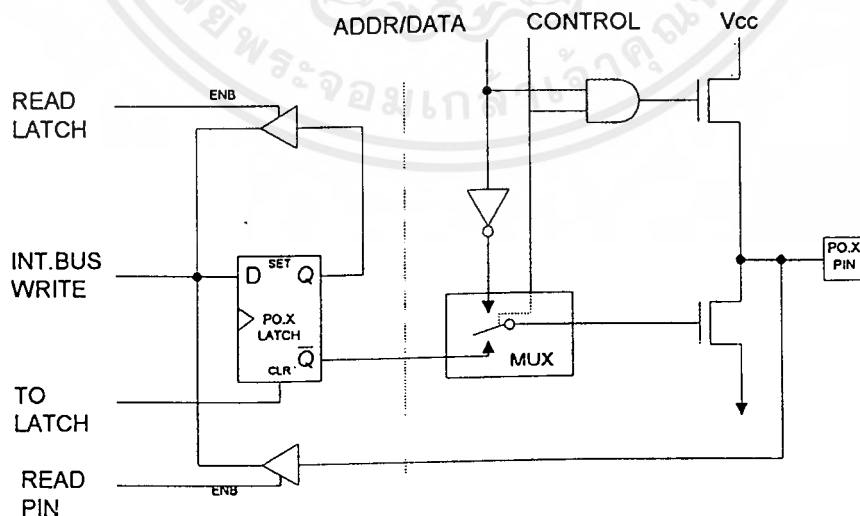


รูปที่ 2.4 การจัดวางขาของไมโครคอนโทรลเลอร์ AT89LS8252

Vcc (ขา 40) ต่อกับแหล่งจ่ายไฟ +5V

GND (ขา 20) ต่อกับกราวด์

พอร์ต 0 (ขา 32-39) มีทั้งหมด 8 บิต คือ พอร์ต P0.0-P0.7 มีโครงสร้างแบบโอเพ่นเดรน ไบไดเรกชันนอล อินพุท/เอาต์พุทพอร์ต (Open drain bidirectional I/O port) ดังแสดงในรูปที่ 2.5 ใช้งานได้ 2 หน้าที่คือ ส่งแอดเดรสและส่งคำสั่งออกไปยังหน่วยความจำภายนอกซึ่งถูกควบคุมด้วยขาคอนโทรล

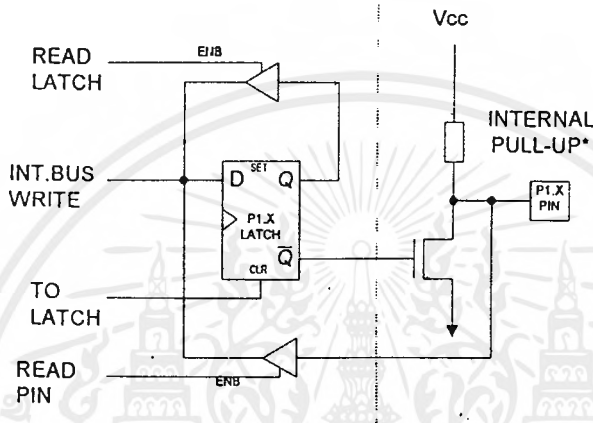


รูปที่ 2.5 แสดงโครงสร้างของพอร์ต 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และอีกหน้าที่หนึ่งคือเป็นอินพุตและเอาต์พุตพอร์ท หากต้องการให้ทำงานเป็นอินพุตพอร์ทต้องส่งลอจิก “1” ไปยังพอร์ท 0 นี้ จะมีผลให้ Q ของดี-ฟลิปฟล็อปเป็น “0” ทำให้ FET ตัวล่างมีสถานะ OFF สัญญาณที่ใช้อ่านอินพุตพอร์ท P0.X จะใช้สัญญาณ READ LATCH เมื่อถูกกระตุ้นที่ไตรสเททท์เฟอ์ตัวบน

พอร์ท 1 (ขา 1 – 8) มีทั้งหมด 8 บิต คือ P1.0 – P1.7 เป็นไบโโคเรชันนอลอินพุต/เอาต์พุตพอร์ท มีโครงสร้างคล้ายพอร์ท 0 แต่จะใช้ความต้านทานภายในพูลอัพแทน (Internal Pullup) ดังรูปที่ 2.6



รูปที่ 2.6 แสดงโครงสร้างของพอร์ท 1

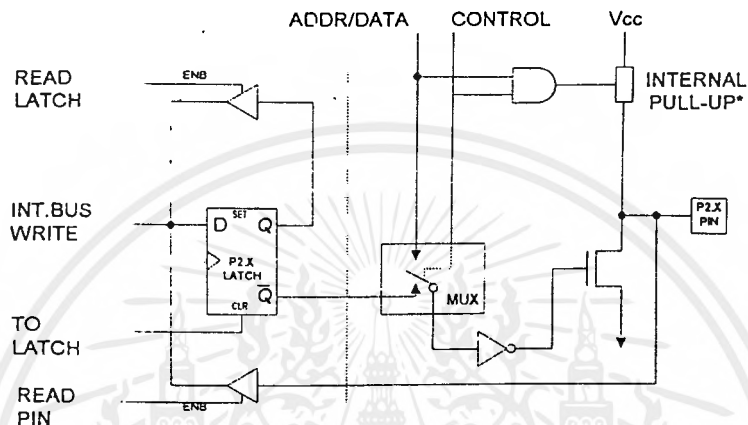
พอร์ท 1 บางขามีหน้าที่พิเศษ เช่น P1.0 ใช้เป็นไทม์เมอร์และเคาน์เตอร์ 2 เอ็กซ์เทอนอลเคาน์อินพุต (P1.0/T2) และ P1.1 ใช้เป็นไทม์เมอร์และเคาน์เตอร์ 2 ทรiggerอินพุต (P1.1/T2EX) นอกจากนี้ P1.4, P1.5, P1.6 และ P1.7 สามารถเป็น SPI (slave port select input), คา์อินพุตเอาต์พุต (data i/o) และชิฟคล็อกอินพุตเอาต์พุต (shift clock i/o) ดังแสดงในตารางที่ 2.7

P1.0	T2 (external count input to Timer/Counter 2), clock-out
P1.1	T2EX (Timer/Counter 2 capture/reload trigger and direction control)
P1.4	\overline{SS} (Slave port select input)
P1.5	MOSI (Master data output, slave data input pin for SPI channel)
P1.6	MISO (Master data input, slave data output pin for SPI channel)
P1.7	SCK (Master clock output, slave clock input pin for SPI channel)

ตารางที่ 2.7 หน้าที่พิเศษในบางขาของพอร์ท 1

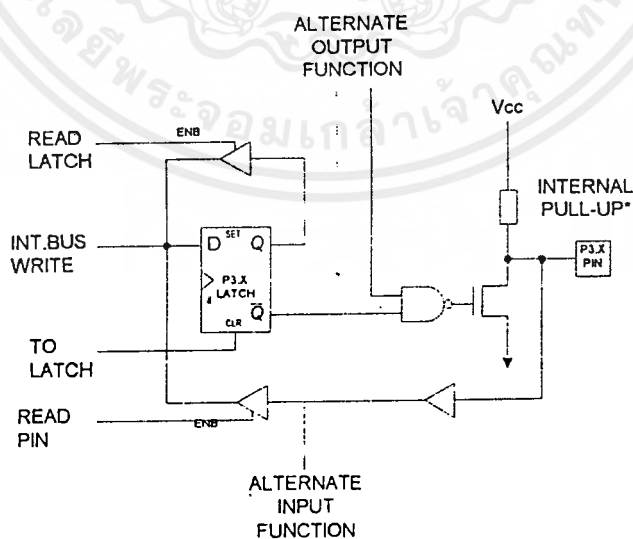
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใด ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พอร์ท 2 (ขา 21 – 28) มีทั้งหมด 8 บิต คือ P2.0 – P2.7 เป็นไบโไดเรกชันนอลอินพุท/เอาต์พุทพอร์ท โครงสร้างคล้ายพอร์ท 0 โดยมี FET ตัวล่างตัวเดียว ส่วนด้านบนใช้ความต้านทานภายในพูลอัพ พอร์ทนี้ทำงาน 2 หน้าที่คือ สามารถใช้เป็นพอร์ทสำหรับส่งแอดเดรส 8 บิตบน (A8 – A15) และเป็นอินพุทเอาต์พุทพอร์ทใช้งานทั่วไป เมื่อต้องการใช้เป็นอินพุทพอร์ทต้องส่งลอจิก “1” มาที่พอร์ทนี้ก่อนเพื่อบังคับให้ FET อยู่ในสถานะ OFF ดังแสดงในรูปที่ 2.7



รูปที่ 2.7 แสดง โครงสร้างของพอร์ท 2

พอร์ท 3 (ขา 10 – 17) มีทั้งหมด 8 บิต คือ ขา P3.0 – P3.7 มีโครงสร้างคล้ายพอร์ท 1 ทำหน้าที่เป็นอินพุทเอาต์พุทพอร์ท หากต้องการให้เป็นอินพุทพอร์ทก็ให้ส่งลอจิก “1” มาที่พอร์ทนี้ก่อน และอีกหน้าที่หนึ่งก็คือส่งสัญญาณควบคุมออกมาและรับสัญญาณเข้าไป



รูปที่ 2.8 แสดง โครงสร้างของพอร์ท 3

สัญญาณที่ขาต่างๆ มีดังนี้

P3.0/RXD (Serial input port) ใช้รับข้อมูลแบบอนุกรม

P3.1/TXD (Serial output port) ใช้ส่งข้อมูลแบบอนุกรม

P3.2/INT0 (External Interrupt 0) ใช้รับสัญญาณขัดจังหวะจากภายนอกหมายเลข 0

P3.3/INT1 (External Interrupt 1) ใช้รับสัญญาณขัดจังหวะจากภายนอกหมายเลข 1

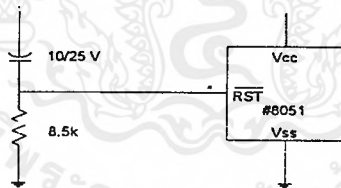
P3.4/T0 (Timer/Counter 0 external input) ขารับสัญญาณเข้าไปยังวงจร ไทม์เมอร์/เคาน์เตอร์ 0 ที่ทำหน้าที่นับจำนวนไซเคิลของสัญญาณ T0 นี้ หรือสัญญาณนาฬิกาก็ได้

P3.5/T1 (Timer/Counter 1 external input) ขารับสัญญาณเข้าไปยังวงจร ไทม์เมอร์/เคาน์เตอร์ 1 ที่ทำหน้าที่นับจำนวนไซเคิลของสัญญาณ T1 นี้ หรือสัญญาณนาฬิกาก็ได้

P3.6/WR (External Data Memory Write Strobe) ขาสัญญาณควบคุมการเขียนข้อมูลไปยังหน่วยความจำสำหรับเก็บข้อมูลภายนอก

P3.7/RD (External Data Memory Read Strobe) ขาสัญญาณควบคุมการอ่านข้อมูลจากหน่วยความจำสำหรับเก็บข้อมูลภายนอก

RST (ขา 9) เป็นขารีเซ็ต ซึ่งซีพียูจะรีเซ็ตได้ก็ต่อเมื่อ ป้อนลอจิก “1” เข้าที่ขานี้ นานอย่างน้อย 2 แมกซีน ไซเคิล การต่อขา รีเซ็ตแสดงดังรูปที่ 2.9



รูปที่ 2.9 การต่อวงจรรีเซ็ตให้กับ AT89LS8252

ALE/PROG (ขา 30) เป็นขาที่ใช้ส่งสไตรบสำหรับใช้ในการแลตซ์แอดเดรสไบต์ต่ำ (A0– A7) ที่ส่งออกมาจากพอร์ท 0 สัญญาณนี้จะแอกทีฟทุกๆ 2 ครั้งใน 1 แมกซีน ไซเคิล (1/16 ของสัญญาณนาฬิกา)

PSEN (ขา 29) เป็นขาที่ใช้ส่งสไตรบสำหรับอ่านข้อมูลจากหน่วยความจำสำหรับเก็บ โปรแกรม สัญญาณนี้จะถูกส่งออกมา 2 ครั้งในแต่ละแมกซีน ไซเคิล แต่ถ้าเป็นการอ่านหน่วยความจำสำหรับเก็บ โปรแกรมภายในจะไม่มีสัญญาณออกมาที่ขานี้

EA/Vpp (ขา 31) ถ้าป้อนลอจิก “0” เข้าที่ขานี้ ซีพียูจะอ่านค่าจากหน่วยความจำสำหรับเก็บ โปรแกรมภายนอกชิพเท่านั้น แต่ถ้าป้อนด้วยลอจิก “1” ก็จะอ่านค่าจากโปรแกรมภายในชิพ

XTAL1 (ขา 19) ใช้ต่อกับคริสตัลภายนอกโดยเป็นอินพุทเข้าสู่วงจรรอสซิลเลเตอร์

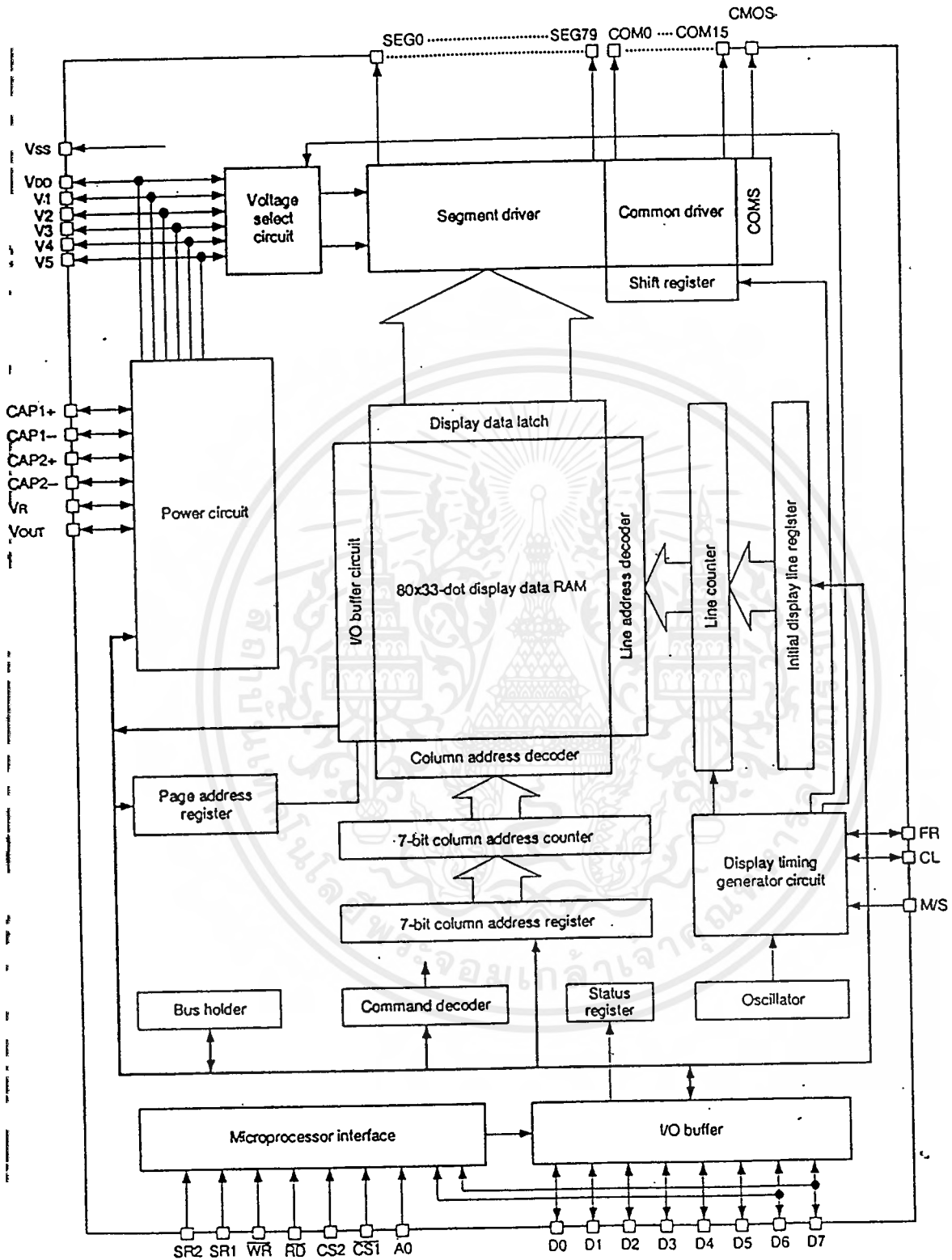
XTAL2 (ขา 18) ใช้ต่อกับคริสตัลภายนอกโดยเป็นเอาต์พุทของวงจรรอสซิลเลเตอร์

2.4 หน้าจอแสดงผลของเพจเจอร์ (LCD)

ในหน้าจอแสดงผลที่ใช้ในโครงการนี้จะมีความยาว 17×80 จุด (pixel) สามารถแสดงเป็นตัวอักษรภาษาอังกฤษได้จำนวน 2 บรรทัด บรรทัดละ 16 ตัวอักษร และตัวอักษร 1 ตัว มีความยาว 8×5 จุด หน้าจอแสดงผลจะมีซิงเกิลชิพ (Single-chip) ตัวหนึ่ง มีหน้าที่ควบคุมการแสดงผลของหน้าจอ ซึ่งในโครงการนี้เราจะใช้ซิงเกิลชิพตระกูล SED1526 ดังรูปที่ 2.10 และซิงเกิลชิพตัวนี้สามารถต่อเข้ากับข้อมูลแบบอนุกรมหรือแบบขนาน 8 บิตซึ่งต่อโดยตรงจากไมโครโปรเซสเซอร์และเก็บข้อมูลลงในแรมของชิพ

คุณสมบัติของชิพตระกูล SED1526

- แสดงผลข้อมูลได้โดยตรงโดยใช้แรม คือ เมื่อบิตข้อมูลเป็น 0 ก็จะไม่แสดงผล แต่ถ้าบิตข้อมูลเป็น 1 ก็จะแสดงผล
- ความจุของแรมจะกว้าง 80×33 บิต
- ความเร็วสูง การเชื่อมต่อแบบ 8 บิต กับไมโครโปรเซสเซอร์สามารถต่อได้ทั้งตระกูล 8080 และ 6800
- ใช้ได้กับการเชื่อมต่อแบบอนุกรม
- มีฟังก์ชันคำสั่งมากมาย เช่น คำสั่งแสดงผลข้อมูลแบบอ่าน / เขียน การสวิตซ์ให้หน้าจอติดหรือดับ การเซตบรรทัดเริ่มต้นในการแสดง การเซตคอลัมน์ การสวิตซ์ให้มีการติดหรือดับของหน้าจอเมื่อไม่มีการจ่ายไฟ เป็นต้น
- ใช้กำลังงานต่ำมาก
- แรงดันไฟฟ้าที่ใช้ในช่วง 2.4 – 6.0 โวลต์
- สามารถทนต่ออุณหภูมิได้ในช่วง -40 ถึง 85 องศาเซลเซียส
- การทำงานเป็นแบบ CMOS
- มีขาทั้งหมด 128 ขา



รูปที่ 2.10 โครงสร้างการทำงานของจอแสดงผล SED1526

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.1 พอร์ตต่างๆ ของ SED1526

SED1526 เป็นซีจีแอลซีพีที่มีขนาด 128 ขา แต่ละขามีการทำงานดังนี้

1. ขาที่เกี่ยวข้องกับแหล่งจ่ายไฟ

Name	I/O	Description	Number of pins
V _{DD}	Supply	+5VDC power supply. Common to microprocessor power supply pin V _{CC} .	1
V _{SS}	Supply	Ground	1
V ₁ , V ₂ V ₃ , V ₄ V ₅	Supply	LCD driver supply voltages. The Set Power Control command can switch the on-chip and external power supply modes of these pins. When external mode selects, the voltage determined by LCD cell is impedance-converted by a resistive divider or an operational amplifier for application. Voltages should be the following relationship: V _{DD} ≥ V ₁ ≥ V ₂ ≥ V ₃ ≥ V ₄ ≥ V ₅ When master mode selects, these voltages are generated on the chip:	5

	SED1526	SED1528
V ₁	1/5 V ₅	1/7 V ₅
V ₂	2/5 V ₅	2/7 V ₅
V ₃	3/5 V ₅	5/7 V ₅
V ₄	4/5 V ₅	6/7 V ₅

ตารางที่ 2.8 แสดงขาที่เกี่ยวข้องกับแหล่งจ่ายไฟ

V_{DD} ต่อกับ +5V โดยทั่วไปคือขา V_{CC} ในไมโครโปรเซสเซอร์

V_{SS} เป็นขาราวนค์

V₁ - V₅ เป็นแรงดันไฟฟ้าที่ใช้จ่ายให้กับตัวขับ LCD จะมีคำสั่งที่ใช้ในการควบคุมการเซทเพาเวอร์ ซึ่งสามารถเลือกให้เป็นโหนดของแหล่งจ่ายไฟภายในหรือภายนอกชิปก็ได้ ถ้าเลือกโหนดแบบภายนอก สักคาไฟฟ้าจะกำหนดโดยอิมพีแดนซ์ คอนเวิร์ทเตอร์ของ LCD ซึ่งสักคาไฟฟ้าจะมีความสัมพันธ์กันดังนี้

$$V_{DD} \geq V_1 \geq V_2 \geq V_3 \geq V_4 \geq V_5$$

ถ้าเลือกแบบภายในชิป สักคาไฟฟ้าจะถูกสร้างใหม่บนตัวชิปซึ่งมีความสัมพันธ์ดังในตารางที่ 2.8

2. ขาที่เกี่ยวข้องกับแหล่งจ่ายไฟให้ตัวขับหน้าจอแสดงผล

Name	I/O	Description	Number of pins
CAP1+	O	DC/DC voltage converter capacitor 1 positive connection	1
CAP1-	O	DC/DC voltage converter capacitor 1 negative connection	1
CAP2+	O	DC/DC voltage converter capacitor 2 positive connection	1
CAP2-	O	DC/DC voltage converter capacitor 2 negative connection	1
V _{OUT}	O	DC/DC voltage converter output	1
V _R	I	Voltage adjustment pin. Applies voltage between V _{DD} and V _S using a resistive divider.	1

ตารางที่ 2.9 แสดงขาที่เกี่ยวข้องกับแหล่งจ่ายไฟให้ตัวขับหน้าจอแสดงผล

CAP1+, CAP1- เป็นขาที่ต่อเข้ากับตัวเก็บประจุตัวที่ 1 ขาววงและลบ ในที่นี้จะใช้ 0.1 ไมโครฟารัด

CAP2+, CAP2- เป็นขาที่ต่อเข้ากับตัวเก็บประจุตัวที่ 2 ขาววงและลบ ในที่นี้จะใช้ 0.1 ไมโครฟารัด

V_{OUT} เป็นตัวแปลงระดับโวลต์เตจ

V_R เป็นขาที่ใช้ปรับศักดาไฟฟ้า ศักดาไฟฟ้าที่ใช้จะอยู่ระหว่าง V_{DD} กับ V_S โดยใช้ตัวต้านทานเป็นตัวแบ่ง

3. ขาที่เกี่ยวข้องกับการเชื่อมต่อไมโคร โปรเซสเซอร์

Name	I/O	Description	Number of pins															
D0 to D7 (SI) (SCL)	I/O	Data input/outputs. The 8-bit bidirectional data buses to be connected to the standard 4/8-bit microprocessor data buses. When the serial interface selects, D7 is serial data input (SI) and D6 is serial clock input (SCL).	8															
A0	I	Control/display data flag input. It is connected to the LSB of microprocessor address bus. When low, the data on D0 to D7 is control data. When high, the data on D0 to D7 is display data.	1															
CS1 CS2	I	Chip select input. Data input/output is enabled when -CS1 is low and CS2 is high.	2															
RD (E)	I	<ul style="list-style-type: none"> Read enable input. When interfacing to an 8080-series microprocessor and when its RD is low, the SED1526 series data bus output is enabled. When interfacing to an 6800-series microprocessor and when its R/W Enable (E) is high, the SED1526 series R/W input is enabled. 	1															
WR (R/W)	I	<ul style="list-style-type: none"> Write enable input. When interfacing to an 8080-series microprocessor, WR is active low. When interfacing to an 6800-series microprocessor, it will be read mode when R/W is high and it will be write mode when R/W is low. <p>R/W = "1" : Read R/W = "0" : Write</p>	1															
SR1, SR2	I	<p>Microprocessor interface select, and parallel/serial data input select.</p> <table border="1"> <thead> <tr> <th>SR1</th> <th>SR2</th> <th>Type</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>8080 microprocessor bus (parallel input)</td> </tr> <tr> <td>1</td> <td>1</td> <td>6800 microprocessor bus (parallel input)</td> </tr> <tr> <td>1</td> <td>0</td> <td>Serial input</td> </tr> <tr> <td>0</td> <td>0</td> <td>Reset</td> </tr> </tbody> </table> <p>* In serial mode, no data can be read from RAM and D0 to D5 are HZ. RD and WR must be high or low.</p> <p>When set for the 68 family MPU, the SR1 and SR2 timing must match or SR1 must rise first.</p>	SR1	SR2	Type	0	1	8080 microprocessor bus (parallel input)	1	1	6800 microprocessor bus (parallel input)	1	0	Serial input	0	0	Reset	2
SR1	SR2	Type																
0	1	8080 microprocessor bus (parallel input)																
1	1	6800 microprocessor bus (parallel input)																
1	0	Serial input																
0	0	Reset																

เอกสารนี้เป็นเอกสารที่งานเพื่อการศึกษาเท่านั้น ไมออนุญาตนำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดทั้งสิ้น ตารางที่ 2.10 ขาที่เกี่ยวข้องกับการเชื่อมต่อไมโคร โปรเซสเซอร์

D0 – D7 เป็นขาที่ใช้ในการอินพุต / เอาท์พุทข้อมูล บัสข้อมูล 8 บิตจะถูกเชื่อมกับบัสข้อมูลของไมโครโปรเซสเซอร์แบบ 4 บิตหรือ 8 บิต ถ้าหากเลือกการต่อแบบอนุกรม ขา D7 จะเป็นอินพุทของข้อมูลแบบอนุกรม และ D6 จะเป็นอินพุทคล็อกแบบอนุกรม

A0 เป็นขาที่แสดงให้เห็นว่า ข้อมูลที่เข้ามานั้นเป็นข้อมูลที่ใช้ในการแสดงผล หรือเป็นข้อมูลที่ใช้ควบคุม ขานี้จะถูกต้องกับบิตที่มีความสำคัญน้อยที่สุด (LSB) ของบัสแอดเดรสในไมโครโปรเซสเซอร์ เมื่อมีสถานะเป็น “0” ข้อมูลบน D0 – D7 จะเป็นข้อมูลที่ใช้ควบคุม ถ้าเป็น “1” บิต D0 – D7 จะเป็นข้อมูลที่ใช้แสดงผล

CS1, CS2 ข้อมูลจะเป็นอินพุทหรือเอาท์พุทได้เมื่อ CS1 มีสถานะต่ำ และ CS2 มีสถานะสูง

RD (E) เป็นขาสัญญาณควบคุมการอ่านข้อมูลซึ่งจะมีสถานะต่ำ

WR เป็นขาสัญญาณควบคุมการเขียนข้อมูลซึ่งจะมีสถานะต่ำ

SR1, SR2 เมื่อเราเลือกที่จะใช้ไมโครโปรเซสเซอร์ตระกูลใดและเลือกการอินพุทข้อมูลแล้วว่าจะจะเป็นแบบขนานหรืออนุกรม จะสามารถเซต SR1, SR2 ได้ตามตารางที่ 2.10

4. ขาที่เกี่ยวข้องกับเอาท์พุทของตัวขับในหน้าจอแสดงผล

M/S, CL, FR โดยปกติจะเป็น “1”

SEGn เป็นเอาท์พุทที่ใช้แสดงผลทางด้านคอลัมน์ ซึ่งโครงงานนี้จะมีทั้งหมด 80 ขา จึงได้ 80 คอลัมน์

COMn เป็นเอาท์พุทที่ใช้แสดงผลทางด้านแถว ซึ่งโครงงานนี้จะมีทั้งหมด 16 ขา จึงได้ 16 แถว

COMs จะเป็นตัวชี้ให้กับขา COM และจะชี้เมื่อใช้คำสั่ง DUTY+1

ขาทั้ง 128 ขานี้จะมีการดึงมาใช้งานเพียงบางขา เพื่อนำมาต่อกับอุปกรณ์ภายนอกอื่นๆ ได้แก่

- ขา D0 – D7, A0, CS1, CS2, RD, WR, SR1, SR2 เป็นขาที่ใช้ต่อกับไมโครโปรเซสเซอร์ ซึ่งโครงงานนี้ใช้เบอร์ AT89LC8252

- ขา M/S, CL, FR, V_{DD} , V_{SS} , V_{OUT} , V1 - V5, V_R , CAP1+, CAP1-, CAP2+, CAP2- เป็นขาที่เกี่ยวข้องกับการจ่ายไฟ

2.4.2 คำสั่งต่างๆ ของ SED1526

คำสั่งที่ใช้ในการควบคุม LCD ตระกูล SED1526 นั้นมีอยู่หลายคำสั่ง ซึ่งไม่จำเป็นต้องใช้ทุกคำสั่ง ขึ้นอยู่กับว่าเราต้องการให้หน้าจอแสดงผลแบบใด ก็เลือกใช้คำสั่งให้เหมาะสม คำสั่งทั้งหมดมีดังนี้

Command	Code											Function			
	A0	RD	WR	D7	D6	D5	D4	D3	D2	D1	D0				
(1) Display ON/OFF	0	1	0	1	0	1	0	1	1	1	0	1	Turns on LCD panel when goes high, and turns off when goes low.		
(2) Initial Display Line	0	1	0	1	1	0	Initial display address				0	1	Specifies RAM display line for COM0.		
(3) Set Page Address	0	1	0	1	0	1	1	1	Page address			0	1	Sets the display RAM page in Page Address register.	
(4) Set Column Address	0	1	0	0	Column address						0	1	Sets RAM column address in Column register.		
(5) Read Status	0	0	1	Status					0	0	0	0	1	Reads the status information.	
(6) Write Display Data	1	1	0	Write data								0	1	Writes data in display RAM.	
(7) Read Display Data	1	0	1	Read data								0	1	Reads data from display RAM.	
(8) ADC Select	0	1	0	1	0	1	0	0	0	0	0	0	1	Sets normal relationship between RAM column address and segment driver when low, but reverses the relationship when high.	
(9) Static Drive ON/OFF	0	1	0	1	0	1	0	0	1	0	0	0	1	Normal indication when low, but full indication when high.	
(10) Duty Select	0	1	0	1	0	1	0	1	0	0	0	0	1	Selects LCD driver duty of 1/8 (1/16) when low and 1/16 (1/32) when high.	
(11) Duty+1	0	1	0	1	0	1	0	1	0	1	0	0	1	Selects normal LCD driver duty when low, and selects the duty added by 1 when high.	
(12) Read-Modify-Write	0	1	0	1	1	1	0	0	0	0	0	0	0	1	Increments Column Address counter during each write when high and during each read when low.
(13) End	0	1	0	1	1	1	0	1	1	1	0	0	0	1	Releases the Read-Modify-Write.
(14) Reset	0	1	0	1	1	1	0	0	0	0	1	0	0	1	Resets internal functions.
(15) Set Power Control	0	1	0	1	0	1	1	0	Power control			0	1	Selects various power circuit functions.	
(16) Set Electronic Control	0	1	0	1	0	0	Electronic control value				0	1	Sets Vs output voltage to Electronic Control register.		
(17) Clock Stop	0	1	0	1	1	1	0	0	1	1	0	0	1	1	Stops clock output at CL when low, and stops clock when high.
(18) Power Save	-	-	-	-	-	-	-	-	-	-	-	-	-	-	A combination of Display OFF and Static Drive ON commands.

ตารางที่ 2.11 แสดงคำสั่งที่ใช้งานกับตระกูล SED1526

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในโครงการนี้ เราจะใช้คำสั่งต่างๆ ซึ่งได้แก่

1. หน้าจอแสดงผลติดหรือดับ

ถ้าหากหน้าจอติดแสดงว่าค่า $D = 1$ ถ้าต้องการให้ดับก็ให้ $D = 0$

A0	RD	R/W	D7	D6	D5	D4	D3	D2	D1	D0
0	1	0	1	0	1	0	1	1	1	D

ตารางที่ 2.12 แสดงบิตที่ทำให้หน้าจอติดหรือดับ

2. แถวเริ่มต้นของการแสดงผล

เป็นการกำหนดแถวเริ่มต้นตามที่เรต้องการ ถ้าหากไม่มีการเซตค่าจะถือว่าให้เริ่มต้นที่แถวแรก (COM0)

A0	RD	R/W	D7	D6	D5	D4	D3	D2	D1	D0
0	1	0	1	1	0	A4	A3	A2	A1	A0

A4	A3	A2	A1	A0	Line address
0	0	0	0	0	0
0	0	0	0	0	1
.
1	1	1	1	1	31

ตารางที่ 2.13 แสดงบิตของการเลือกแถวเริ่มต้น

3. การกำหนดเพจ

ในตระกูล SED1526 จะมี 4 เพจ แต่รุ่นที่ใช้ในโครงการนี้จะมี 2 เพจ คือ เพจ 0 และเพจ 1 ซึ่งในการเลือกเพจนั้น จะต้องใช้คำสั่งในการเลือกจากไมโครโปรเซสเซอร์

A0	RD	WR	D7	D6	D5	D4	D3	D2	D1	D0
0	1	0	1	0	1	1	1	A2	A1	A0

A2	A1	A0	Page Address
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4

ตารางที่ 2.14 แสดงบิตของการเลือกเพจเริ่มต้น

ตัวอย่างของเพจแสดงดังรูปที่ 2.11

4. การกำหนดคอลัมน์

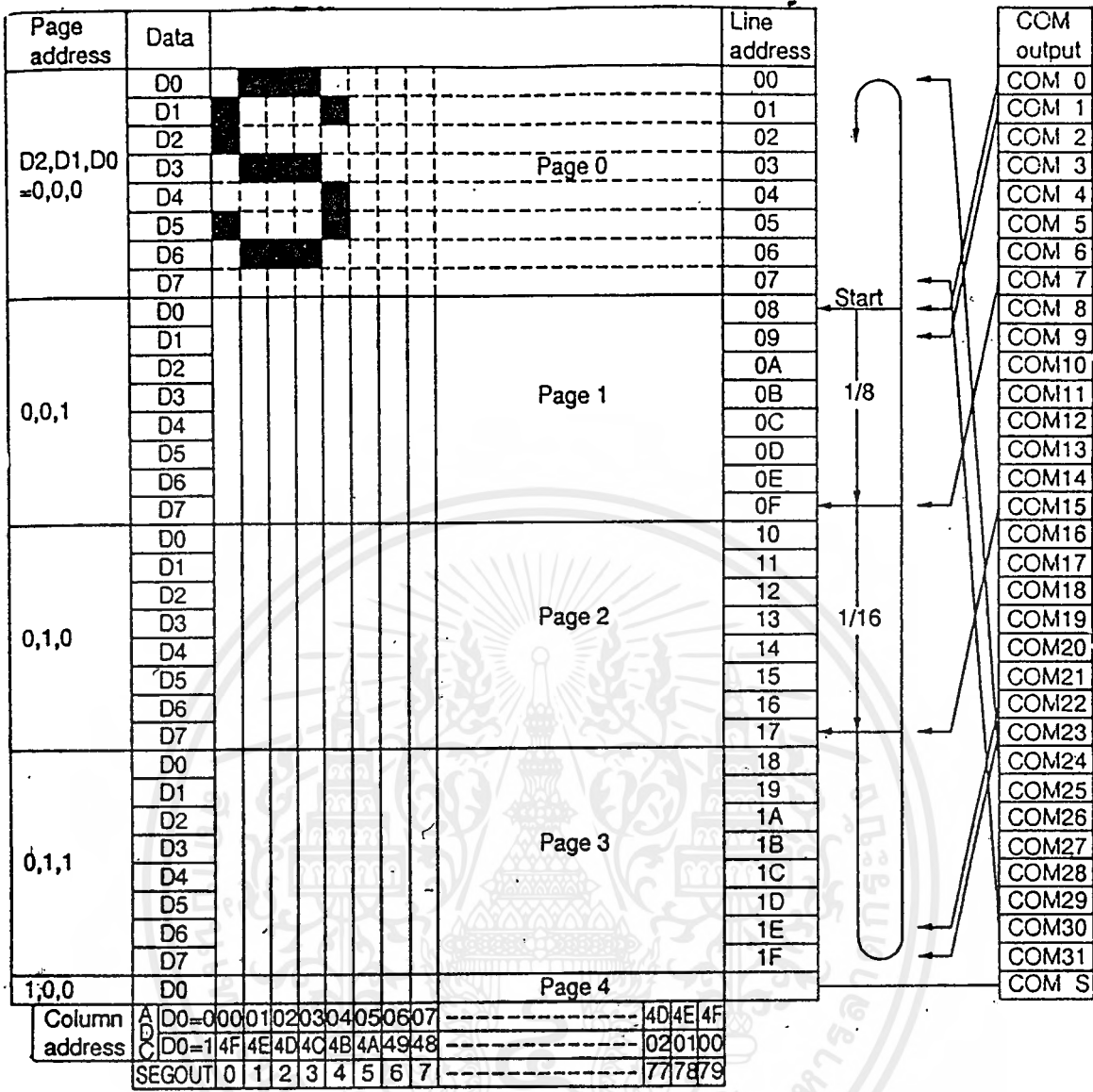
การกำหนดคอลัมน์เพื่อแสดงผลในแรมนั้นจะใช้การเซตจากคำสั่ง และจะมีการเพิ่มค่าขึ้นครึ่งละหนึ่ง เมื่อมีคำสั่งเขียนหรืออ่านเข้ามา เมื่อนับไปจนถึง 50H จะไม่มีการนับเพิ่มให้อีก

A0	RD	R/W	D7	D6	D5	D4	D3	D2	D1	D0
0	1	0	0	A6	A5	A4	A3	A2	A1	A0

A6	A5	A4	A3	A2	A1	A0	Column	Address
0	0	0	0	0	0	0		0
0	0	0	0	0	0	1		1
.
1	0	0	1	1	1	1		79

ตารางที่ 2.15 แสดงบิตของการเลือกคอลัมน์เริ่มต้น

ตัวอย่างของคอลัมน์แสดงดังในรูปที่ 2.11



รูปที่ 2.11 ความสัมพันธ์ระหว่างการแสดงผลของแรมกับเพจและคอลัมน์

5. การควบคุมเพจเวอร์

เราสามารถเลือกใช้ฟังก์ชันของวงจรเพจเวอร์ได้จากการกำหนดคิบท 3 บิตในรีจิสเตอร์ โครงงานนี้จะใช้เพจเวอร์

แบบบนริฟ คือ ค่า D2, D1, D0 = 1,1,1

A0	RD	R/W	D7	D6	D5	D4	D3	D2	D1	D0
0	1	0	1	0	1	1	0	D2	D1	D0

ตารางที่ 2.16 แสดงบิตของการควบคุมเพจเวอร์

2.5 การทำงานของตัวถอดรหัส PCD5003

2.5.1 คุณสมบัติทั่วไป

- สามารถทำงานได้ที่ระดับแรงดันตั้งแต่ 1.5 – 6.0 โวลต์
- การโปรแกรม EEPROM ต้องการแรงดันเพียง 2.0 โวลต์
- ทำงานในช่วงอุณหภูมิ -25 ถึง +70 องศาเซลเซียส
- ใช้ได้กับมาตรฐานรหัสการเพจโดยใช้คลื่นวิทยุหมายเลข 1 (CCIR Radio paging Code No.1)
- มีอัตราการรับข้อมูลที่ 512, 1200 และ 2400 กิโลบิตต่อวินาที โดยใช้รหัสต่อความถี่ 76.8 กิโลเฮิร์ต
- มีการชิงโครในซ์ข้อมูลที่ดี
- สามารถโปรแกรมรหัสประจำเครื่องได้ 6 หมายเลข (Receiver Identity Codes - RICs)
- มี EEPROM ภายในชิพที่สามารถโปรแกรมรหัสประจำเครื่องได้
- มี SRAM ภายในสำหรับเก็บข้อความที่ส่งมา
- ใช้รหัสคำการชิงโครในซ์ตามรูปแบบของ POCSAG หรือจะสร้างรหัสคำการชิงโครในซ์ขึ้นมาเอง

ได้ 4 รูปแบบ

- แจ้งการเรียกเข้าโดยใช้เสียง สั่น หรือ LED
- ทำหน้าที่เป็นสเลฟเมื่อเชื่อมต่อกับไมโครคอนโทรลเลอร์ โดยใช้เทคโนโลยี I²C bus เพื่อส่งผ่าน

ข้อมูล สถานะ การควบคุมต่างๆ และการ โปรแกรม EEPROM มีอัตราการส่งผ่านข้อมูลที่ความเร็วสูงสุด 400 กิโลบิตต่อวินาที

- เชื่อมต่อได้โดยตรงกับตัวรับสัญญาณเพจเจอร์ (Receiver) เบอร์ UAA2080 และ UAA2082

2.5.2 ฟังก์ชันการทำงานของตัวถอดรหัส

1. สภาวะการทำงานของตัวถอดรหัส- แบ่งได้ 2 สภาวะ คือ ON / OFF

การทำให้ ON/OFF ใช้ขา DON ร่วมกับบิต D4 ของ รีจิสเตอร์ควบคุม ตามตารางที่ 2.15

DON INPUT	CONTROL BIT D4	OPERATING STATUS
0	0	OFF
0	1	ON
1	0	ON
1	1	ON

ตารางที่ 2.17 แสดงค่าความจริงของสภาวะการทำงานของตัวถอดรหัส

- สภาวะ ON

เป็นการทำงานปกติของตัวถอดรหัส ตัวถอดรหัสจะควบคุมให้ภาครับทำงาน เมื่อมีการรับส่งข้อมูลเข้ามาตัวถอดรหัสก็จะประมวลผล ถ้ามีการถอดรหัสก็จะประมวลผล ถ้ามีการเรียกที่ถูกต้องก็จะมีเกิดการเตือนเกิดขึ้น เมื่อมีการเรียกของเพจเจอร์ มาถึงจะมีสัญญาณไปหา ไมโครคอนโทรลเลอร์ โดยใช้สัญญาณการขัดจังหวะ และ ข้อมูลข่าวสารที่ได้รับจะถูกอ่านผ่านทาง I²C bus

- สภาวะ OFF

ตัวถอดรหัสนี้จะไม่ทำงานใน RXE , ROE และ RDI เลย แต่ออสซิลเลเตอร์ ยังคงทำงานเพื่อให้สามารถติดต่อกับไมโครคอนโทรลเลอร์ได้

2. การรีเซท

เราสามารถ รีเซท ตัวถอดรหัสที่ได้โดยป้อนพัลส์บวกให้กับขา RST วงจรที่เป็นตัว รีเซท คือ RC เน็ดเวิร์ค โดยนำมาต่อเป็นอินพุท ที่ขา RST ถ้ารีเซทได้สำเร็จขา RST มีสถานะสูง

3. อัตราการส่งข้อมูล

PCD5003 สามารถทำงานได้ที่อัตราการส่งข้อมูล 512 , 1200 หรือ 2400 บิตต่อวินาทีโดยการ โปรแกรมลงในส่วนของ Special Program Functions (SPF) ซึ่งอัตราการส่งข้อมูลเหล่านี้ได้มาจากความถี่ของ ออสซิลเลเตอร์ที่ 76.8 กิโลเฮิร์ต ใช้ความต้านทาน 2.2 เมกกะโอห์มต่ออยู่ระหว่างขา XTAL1 และ XTAL2 เพื่อการทำงานที่ถูกต้อง

4. การประมวลผลข้อมูลที่เรียกเข้ามา

อัตราในการรับข้อมูลที่เข้ามา คือ 512 , 1200 และ 2400 บิตต่อวินาทีแล้วแต่เราจะเลือกใช้ ข้อมูลที่เข้ามาจะถูกกรองเอาสัญญาณรบกวนออกด้วยวิธีดิจิทัลฟิลเตอร์ ข้อมูลที่ผ่านการกรองเอาสัญญาณรบกวนออกแล้วจะนำมาใช้ในการชิงโครโนซ์ตัวกำเนิดสัญญาณนาฬิกา

5. การประหยัดแบตเตอรี่

การกินไฟสามารถทำให้ลดลงได้ด้วยการทำให้ส่วนต่างๆ ภายในตัวถอดรหัสหยุดการทำงาน เมื่อไรก็ตามที่ตัวรับไม่มีการทำงาน เพื่อเป็นการเพิ่มประสิทธิภาพการทำงานของแบตเตอรี่ การรับและการถอดรหัสของรหัสคำของหมายเลขเรียกขาน จะถูกหยุดทันที เมื่อตรวจพบว่าการผิดพลาดของแอดเดรสมากกว่า 3 บิต จาก RIC ถ้าจะต้องรับรหัสคำตัวต่อไป ตัวรับก็จะกลับมาเริ่มต้นทำงานอีกครั้ง ดังนั้น การสังเกต เราสามารถทำให้การกินไฟของเพจเจอร์น้อยลงได้โดยการทำให้วงจร RF ออสซิลเลเตอร์ ที่ขา ROE ทำงานก่อนที่ตัวรับจะทำงาน

6. การจัดเรียงข้อมูลใน SRAM

รูปแบบของข้อมูลที่รับเข้ามาเก็บในSRAM จะมีลักษณะการเก็บเป็นบล็อกเรียงต่อกันในบล็อกหนึ่งๆ จะเก็บ 3 ไบต์ โดยบล็อกแรกจะเป็นส่วนหัว (Header) ตามด้วยบล็อกของข้อมูลข่าวสาร (Message) และปิดท้ายด้วยบล็อกสิ้นสุดข้อความ (Terminator) ในกรณีที่มีข้อความยาวกว่า 3 บล็อกขึ้นไป บล็อกสิ้นสุดข้อความจะถูกแทนที่ด้วยบล็อกที่เป็นส่วนหัวของข้อความถัดไป เพจเจอร์ที่เป็นการเรียกเตือนเพียงอย่างเดียวจะมีเฉพาะบล็อกส่วนหัวและบล็อกสิ้นสุดข้อความ รูปแบบของบล็อกส่วนหัว บล็อกของข้อมูลข่าวสาร และบล็อกสิ้นสุดข้อความแสดงดังตารางที่ 2.18 , 2.19 และ 2.20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใด ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BYTE NUMBER	BIT 7 (MSB)	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0 (LSB)
1	0	S3	S2	S1	R3	R2	R1	DF
2	0	S3	S2	S1	R3	R2	R1	0
3	X	X	F0	F0	E3	E2	E1	0

BITS (MSB to LSB)	IDENTIFICATION
S3 to S1	Identifier number of sync word for current batch (7 = standard POCSAG)
R3 to R1	Identifier number of user address (RIC)
DF	data fail mode indication (1 = data fail mode); note 1
F0 and F1	Function bits of received address codeword (bits 20,21)
E3 to E1	Detected error type;see Table 10 ; E3 =0 in a con concatenated call header

ตารางที่ 2.18 แสดงบิตของบล็อกส่วนหัว

BYTE NUMBER	BIT 7 (MSB)	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0 (LSB)
1	M2	M3	M4	M5	M6	M7	M8	M9
2	M10	M11	M12	M13	M14	M15	M16	M17
3	M18	M19	M20	M21	E3	E2	E1	M1

BIT (MSB to LSB)	IDENTIFICATION
M2 to M21	Message codeword data bits
E3 to E1	Detected error type;see Table 10
M1	Message codeword flag

ตารางที่ 2.19 แสดงบิตของบล็อกส่วนข้อมูลข่าวสาร

BYTE NUMBER	BIT 7 (MSB)	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0 (LSB)
1	FT	S3	S2	S1	0	0	0	DF
2	FT	S3	S2	S1	0	0	0	X
3	X	X	X	X	E3	E2	E1	0

BITS (MSB to LSB)	IDENTIFICATION
FT	Forced call termination (1= yes)
S3 TO S1	Identifier number of last sync word
DF	data fail mode indication (1=data fail mode);note 1
E3 to E1	Detected error type; see Table 10 ; E3 = 0 in a call terminator

ตารางที่ 2.20 แสดงรูปแบบของบล็อกลิ้นสุดข้อความ

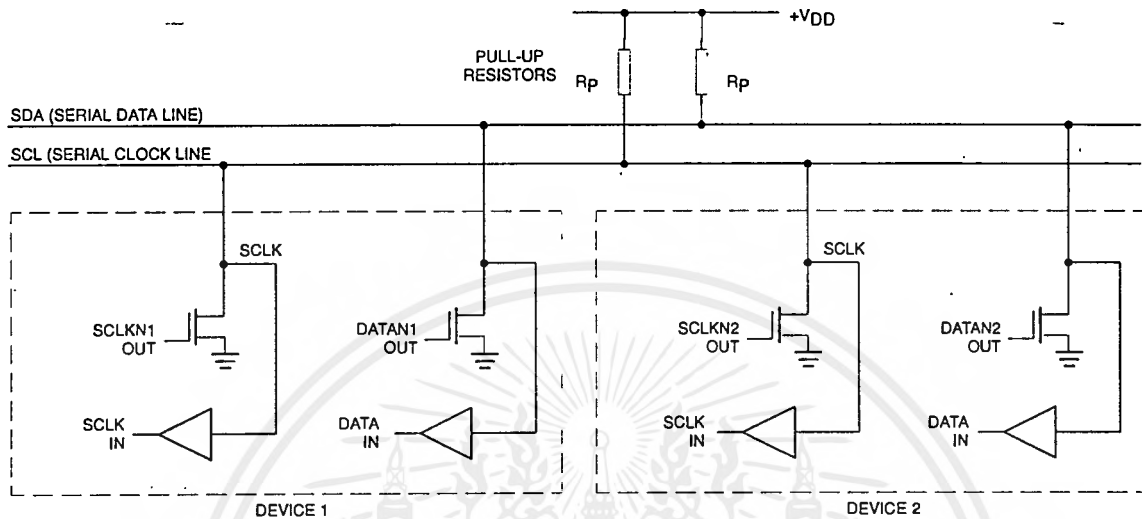
7. การส่งผ่านข้อมูล

การส่งผ่านข้อมูลจะเริ่มขึ้นระหว่างช่วงเวลาการซิงโครไนซ์ หรือเมื่อตัวรับหยุดทำงาน ภายหลังจากสิ้นสุดการเรียก เมื่อ SRAM เต็มก็จะเกิดการส่งผ่านข้อมูลในทันที โดยจะส่งสัญญาณอินเทอร์รัพท์ภายนอกผ่าน ขา INT เพื่อแจ้งให้ไมโครคอนโทรลเลอร์เตรียมรับข้อมูล ข้อมูลข่าวสารจะถูกส่งไปเก็บยังแรมภายนอกโดยผ่าน I²C bus การสิ้นสุดการเรียกจะประสบความสำเร็จ เมื่อสามารถรับรหัสค่าของหมายเลขเรียกขานแล้วเกิดการผิดพลาดน้อยกว่า 2 บิต แต่จะไม่สำเร็จเมื่อ ตรวจไม่พบรหัสค่าการซิงโครไนซ์ ขณะที่อยู่ในโหมดคาล์ด้าเฟล การที่จะดูว่าประสบความสำเร็จหรือไม่ โดยจะดูที่บิต S3 – S1 คือ ถ้าไม่เป็น 0 ก็แสดงว่าถูกต้อง แต่ถ้าเป็น 0 ก็แสดงว่าผิดพลาด โดยทั่วไปแล้ว การแยกแยะระหว่าง 2 สถานะนี้ จะใช้บิต S3 ถึง S1 ในการพิจารณา ถ้าบิต S3 - S1 ไม่เป็น 0 แสดงว่าการเรียกสิ้นสุดลงอย่างถูกต้อง แต่ถ้าเป็น 0 แสดงว่ามีการผิดพลาดของรหัสค่าการซิงโครไนซ์ ยกเว้น เมื่อมีการเรียกเข้ามาในระหว่างที่อยู่ในโหมดคาล์ด้าเฟล และการเรียกนั้นสิ้นสุดลงก่อนครบ 1 แบทซ์ ทำให้ไม่สามารถแยกทั้ง 2 สถานะออกจากกันได้

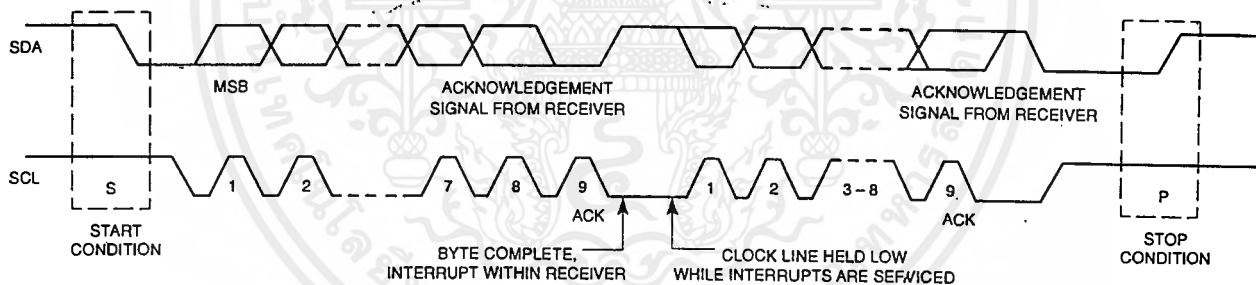
8. การเชื่อมต่อกับไมโครคอนโทรลเลอร์แบบอนุกรมผ่าน I²C bus

ในที่นี้การรับส่งข้อมูลระหว่างไมโครคอนโทรลเลอร์และอุปกรณ์ถอดรหัสสัญญาณ PCD5003 ใช้การเชื่อมต่อแบบ I²C bus มีอัตราการส่งผ่านข้อมูลสูงสุด 400 กิโลบิตต่อวินาที โดยใช้สายสัญญาณเพียง 2 เส้น คือ เส้นหนึ่งใช้ในการรับส่งข้อมูล(SDA) และอีกเส้นหนึ่งใช้เป็นสัญญาณนาฬิกา (SCL) แต่ละเส้นจะมีความต้านทานพูลอัพจากภายนอก ดังรูปที่ 2.12 การเชื่อมต่อแบบนี้ได้ถูกพัฒนาขึ้นโดยบริษัทฟิลิปส์เซมิคอนดักเตอร์ มีจุดประสงค์เพื่อเพิ่มประสิทธิภาพของฮาร์ดแวร์และลดความยุ่งยากซับซ้อนของวงจรเพราะใช้ซอฟต์แวร์ในการควบคุมซึ่งสามารถ

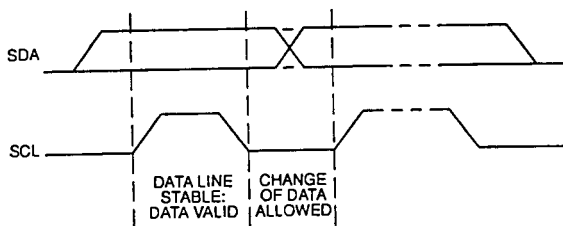
ทำหน้าที่ได้ทั้งรับและส่งข้อมูล รูปแบบการส่งข้อมูลของ I²C bus แสดงดังรูปที่ 2.13 โดยพัลส์ของสัญญาณนาฬิกา 1 ถูกใช้ในการส่งข้อมูลได้ 1 บิต ดังรูปที่ 2.14



รูปที่ 2.12 การเชื่อมต่ออุปกรณ์ที่จะใช้กับ I²C bus



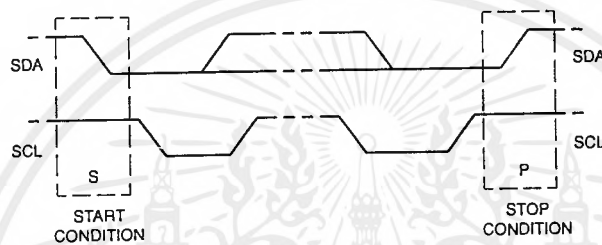
รูปที่ 2.13 รูปแบบการส่งข้อมูลของ I²C bus



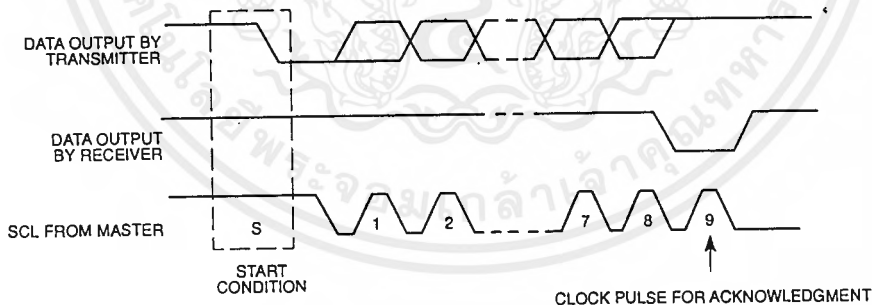
รูปที่ 2.14 รูปแบบการส่งข้อมูล 1 บิตของ I²C bus

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อุปกรณ์แต่ละตัวที่เชื่อมต่อกับบัสจะมีแอดเดรสประจำตัว เริ่มต้นด้วยการส่งสถานะเริ่มต้น (Start condition) ขา SDA จะเปลี่ยนจากสถานะสูงเป็นต่ำ ในขณะที่ SCL เป็นสถานะสูง) ออกไปก่อนและปิดท้ายด้วยสถานะสิ้นสุด (Stop condition - ขา SDA จะเปลี่ยนจากสถานะต่ำเป็นสูง ในขณะที่ SCL เป็นสถานะสูง) ดังในรูปที่ 2.15 บิทข้อมูลจะต้องมีสถานะคงที่ เมื่อ SCL เป็นสถานะสูง ถ้ามีการส่งหลายๆ ชุด สถานะสิ้นสุดจะถูกแทนที่ด้วยสถานะเริ่มต้น ข้อมูลจะถูกส่งผ่านเป็นไบต์โดยส่งแอดเดรสของอุปกรณ์ที่จะติดต่อไปและสัญญาณที่บอกว่าจะอ่านหรือเขียน แต่ละไบต์ที่จะถูกส่งออกไป จะต้องตามด้วยบิท ACK ที่เป็นสถานะต่ำเสมอ ดังแสดงในรูปที่ 2.16 ถ้าตัวรับยังไม่พร้อมที่จะรับข้อมูลไบต์ต่อไปก็สามารถสั่งให้บัสรอก่อนได้ โดยให้สัญญาณนาฬิกาเป็นสถานะต่ำ



รูปที่ 2.15 แสดงการส่งสถานะเริ่มต้นและสถานะสิ้นสุด



รูปที่ 2.16 แสดงบิท Acknowledge

อุปกรณ์แต่ละตัวที่นำมาเชื่อมต่อกันสามารถพิจารณาให้ทำหน้าที่เป็นมาสเตอร์ (Master) หรือ สเลฟ (Slave) ในการรับส่งข้อมูลด้วย โดยมาสเตอร์ คือ อุปกรณ์ที่เริ่มต้นการส่งผ่านข้อมูล สร้างสัญญาณนาฬิกาและสิ้นสุดการส่งผ่านข้อมูล ส่วนสเลฟ คือ อุปกรณ์ที่ถูกกำหนดแอดเดรสโดยมาสเตอร์ ในโครงการนี้จึงมีไมโครคอนโทรลเลอร์ทำหน้าที่เป็นมาสเตอร์ และมีตัวถอดรหัส PCD5003 เป็นสเลฟ ซึ่งมีแอดเดรสอยู่ที่ 39D (บิท A6 – A0 = 0100111)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9. การเข้าถึงส่วนต่างๆ ภายในตัวถดครหัสโดยผ่าน I²C bus

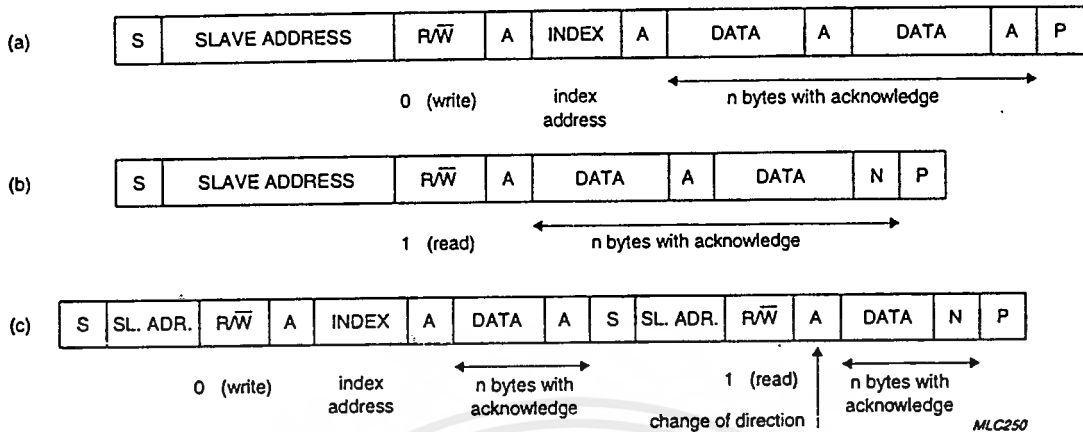
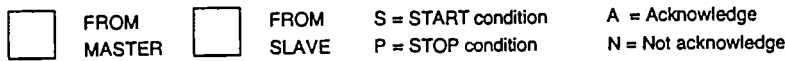
การเข้าถึงส่วนต่างๆ ภายในตัวถดครหัสโดยผ่าน I²C bus จำเป็นที่รีจิสเตอร์ภายในคือ SRAM และ EEPROM จะต้องมีแอดเดรสประจำตำแหน่ง ซึ่งเป็น อินเด็กซ์รีจิสเตอร์ (Index Register) แสดงดังตารางที่ 2.19

ADDRESS	REGISTER FUNCTION	ACCESS
00H	Status	R
00H	Control	W
01H	real time clock:seconds	R/W
02H	real time clock:1/100 second	R/W
03H	alert cadence	W
04H	alert set-up	W
05H	Periodic interrupt modulus	W
05H	Periodic interrupt counter	R
06H	RAM write address pointer	R
07H	EEPROM address pointer	R/W
08H	RAM read address pointer	R/W
09H	RAM data output	R
0AH	EEPROM data input/output	R/W
0BH to 0FH	Unused	-

ตารางที่ 2.21 แสดงตำแหน่งแอดเดรสภายในอินเด็กซ์รีจิสเตอร์

การเขียนข้อมูลผ่าน I²C bus แต่ละครั้งลงในตัวถดครหัส PCD5003 จะต้องเริ่มต้นด้วยสเลฟแอดเดรสแล้วตามด้วยอินเด็กซ์แอดเดรสของหน่วยความจำในส่วนที่ต้องการเข้าถึง ส่วนการอ่านข้อมูลจะใช้อินเด็กซ์แอดเดรสที่ทำการเขียนครั้งสุดท้าย

รูปแบบของการส่งข้อมูลโดยใช้ I²C bus 3 รูปแบบ แสดงดังรูปที่ 2.17



- (a) Master writes to slave.
 (b) Master reads from slave.
 (c) Combined format (shown: write plus read).

รูปที่ 2.17 รูปแบบของการส่งข้อมูลผ่าน I²C bus ทั้ง 3 รูปแบบ

10. รีจิสเตอร์สถานะและรีจิสเตอร์ควบคุม

รีจิสเตอร์สถานะและรีจิสเตอร์ควบคุมจะเป็นอิสระต่อกัน โดยรีจิสเตอร์สถานะจะใช้สำหรับการอ่าน และรีจิสเตอร์ควบคุมใช้สำหรับการเขียน ตารางที่ 2.20 และ 2.21 แสดงตำแหน่งบิตของรีจิสเตอร์ทั้ง 2 ตัว การเขียนข้อมูลลงในรีจิสเตอร์ที่ใช้สำหรับการอ่าน หรือการอ่านข้อมูลจากรีจิสเตอร์ที่ใช้สำหรับเขียนจะไม่มีผลใดๆ เกิดขึ้น ทุกๆ บิตที่อยู่ในรีจิสเตอร์สถานะจะรีเซตทุกครั้งหลังจากที่มีการอ่านออกไป

บิต D0 จะถูกเซตเมื่อมีการรับข้อมูลเข้ามาและตรวจพบหมายเลขประจำเครื่อง

BIT	VALUE	DESCRIPTION
D1 and D0	00	No new call data
	01	New call received
	10	Reserved for future use
	11	Reserved for future use
D3 and D2	00	No data to be read (default after reset)
	01	RAM read/write pointers different : data to be read
	10	RAM read/write pointers equal:no more data to be read
	11	RAM buffer full or overflow
D4	1	Alert time-out expired

D5	1	Out-of-range
D6	1	BAT input HIGH or RXE output active (selected by control bit D2)
D7	1	Periodic timer interrupt

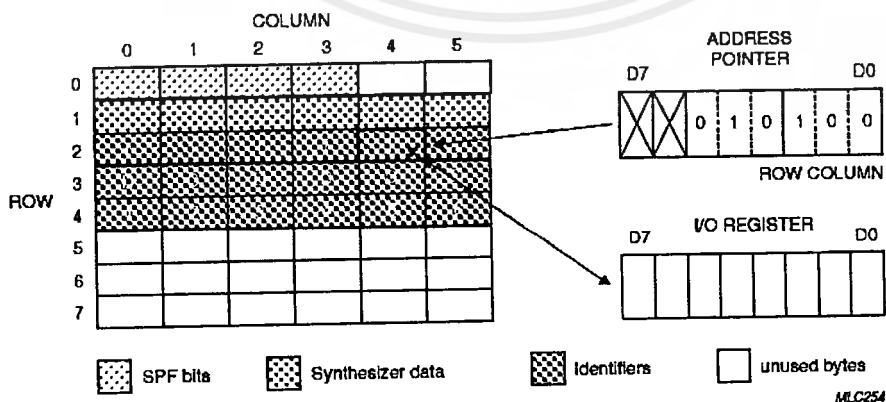
ตารางที่ 2.22 ตำแหน่งบิตของรีจิสเตอร์สถานะ (00H;read)

BIT (MSB:D7)	VALUE	DESCRIPTION
D0	1	Forced call termination (automatically reset after termination)
D1	1	EEPROM programming enable
D2	0	BAT input selected for monitoring (status bit D6)
	1	RXE output selected for monitoring (status bit D6)
D3	1	Receiver continuously enabled (RXE=1,ROE=1)
D4	0	Decoder in OFF status (while DON =0)
	1	Decoder in ON status
D5 to D7	X	Not used: ignored when written

ตารางที่ 2.23 ตำแหน่งบิตของรีจิสเตอร์ควบคุม (00H;write)

11. EEPROM

โครงสร้างของ EEPROM ประกอบด้วย 8 แถวกับ 6 คอลัมน์ รวมกันได้ 48 ไบต์ ดังรูปที่ 2.18 การเข้าถึง EEPROM จะเป็นการเข้าถึงทางอ้อมโดยใช้แอดเดรสพอยน์เตอร์ (Address pointer : 07H ; read/write) และ คัด้าไอโอรีจิสเตอร์ (Data I/O register : 0AH ; read/write)



รูปที่ 2.18 โครงสร้างของ EEPROM ภายในตัวถอดรหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EEPROM ในตัวถอดรหัสใช้สำหรับเก็บหมายเลขประจำเครื่อง (RIC) รหัสคำการชิง โคร โนซ์ที่ผู้สร้าง
 ขึ้นเอง และบิตต่างๆ ของ SPF และบางตำแหน่งใน EEPROM ยังไม่ได้กำหนดให้มีการใช้งาน ดังตารางที่ 2.24

ROW	HEX
0	04 and 05
5	28 to 2D
6	30 to 35
7	38 to 3D

ตารางที่ 2.24 ตำแหน่งใน EEPROM ยังไม่ได้กำหนดให้มีการใช้งาน

สำหรับการเซตค่าบิตในตำแหน่งแอดเรสต่างๆ ของ SPF แสดงดังตารางที่ 2.25, 2.26, 2.27 และ 2.28

BIT(MSB:D7)	VALUE	DESCRIPTION
D0	X	reverse for future use ; logic 0 when read
D1	X	reverse for future use
D2	X	reverse for future use
D3	X	reverse for future use
D4	X	reverse for future use
D5	X	reverse for future use
D6	X	reverse for future use ; logic 0 when read
D7	1	reverse for future use

ตารางที่ 2.25 SPF (EEPROM ตำแหน่ง 00H)

BIT(MSB:D7)	VALUE	DESCRIPTION
D1 and D0	00	5 ms receiver establishment time (nominal);note 1
	01	10 ms
	10	15 ms
	11	30 ms
D3 and D2	00	20 ms oscillator establishment time (nominal);note 1
	01	30 ms
	10	40 ms
	11	50 ms
D5 and D4	00	512 bits/s received bit rate
	01	1024 bits/s (not used in POCSAG)
	10	1200 bits/s
	11	2400 bits/s
D6	1	synthesizer interface enabled (data is output via ZSD, ZSC and ZLE at decoder switch-on)
D7	1	voltage converter enabled

ตารางที่ 2.26 SPF (EEPROM ตำแหน่ง 01H)

BIT(MSB: D7)	VALUE	DESCRIPTION
D0	X	not used
D1	X	not used
D3 and D2	00	32768 Hz real time clock reference
	01	50 Hz square-wave
	10	2 Hz
	11	1/60 Hz
D4	1	signal test mode enabled (REF and INT outputs)
D5	0	Burst error correction enabled
D7 and D6	XX	Reserved for future use

ตารางที่ 2.27 SPF (EEPROM ตำแหน่ง 02H)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BIT(MSB: D7)	VALUE	DESCRIPTION
D1 and D0	00	2048 Hz acoustic alert frequency
	01	2731 Hz
	10	4096 Hz
	11	3200Hz
D2	1	Acoustic POCSAG alert generation enabled
D3	X	not used
D4	X	not used
D5	X	not used
D6	0	INT output polarity: active LOW
	1	INT output polarity: active HIGH
D7	X	Reserved for future use

ตารางที่ 2.28 SPF (EEPROM ตำแหน่ง 03H)

ตำแหน่งแอดเดรสของหมายเลขประจำเครื่อง แสดงดังตารางที่ 2.29 และการโปรแกรมบิตต่างๆ ของหมายเลขประจำเครื่องแสดงดังตารางที่ 2.30

ADDRESS (HEX)	BYTE	DESCRIPTION
10 to 15	1	Identifier number 1 to 6
18 to 1D	2	Identifier number 1 to 6
20 to 25	3	Identifier number 1 to 6

ตารางที่ 2.29 ตำแหน่งแอดเดรสของหมายเลขประจำเครื่อง

BYTE	BIT (MSB:D7)	DESCRIPTION
1	D7 to D0	bit 2 to 9 of POCSAG codeword(RIC or UPSW);notes 1 and 2
2	D7 to D0	bit 10 to 17
3	D7 to D6	bit 18 to 19
	D5	frame number bit FR3 (RIC); note 3
	D4	frame number bit FR3 (RIC);
	D3	frame number bit FR3 (RIC);
	D2	identifier type selection (0 = UPSW, 1 = RIC);note 4
	D1	identifier enable (1= enabled)
	D0	reserved for future use,logic 0 when read

ตารางที่ 2.30 การโปรแกรมบิตต่างๆ ของหมายเลขประจำเครื่อง

12. เงื่อนไขการรีเซท

การรีเซทจะเกิดขึ้นเมื่อป้อนสถานะสูงที่ขา RST มีผลให้ตัวถอยรหัสเป็นดังนี้

- REF มีสัญญาณออกมากความถี่ 36,768 เฮิร์ต
- ขา INT มีสถานะต่ำ
- LED, VIB, ATH มีสถานะต่ำ
- SCL, SDA มีสถานะสูง

หลังจากการหน่วงเวลาผ่านไปแล้ว (ขา RST มีสถานะสูง) จะทำให้โปรแกรมเริ่มทำงาน ช่วงเวลาที่หน่วงเวลาเพื่อทำให้เกิดการรีเซทต้องมีอย่างน้อย 50 ไมโครวินาที ใช้ค่าความต้านทานพูลอัพ 100 กิโลโอห์มและค่าคาปาซิเตอร์ 2.2 นาโนฟารัด

ภายหลังการรีเซท โปรแกรมที่เก็บไว้ใน EEPROM จะถูกนำมาใช้งานทันที สัญญาณที่ขา RXE, ROE จะแอกทีฟ

บทที่ 3

การออกแบบและการสร้าง

3.1 ฮาร์ดแวร์

โครงการนี้มีส่วนประกอบทางฮาร์ดแวร์ซึ่งแบ่งได้เป็น

1. ไมโครคอนโทรลเลอร์เบอร์ AT89LS8252 ซึ่งอยู่ในตระกูล MCS-51
2. ตัวถอดรหัสสัญญาณ POCSAG เป็นชิพเบอร์ PCD5003
3. จอแสดงผลแบบ LCD เบอร์ SED1526 ซึ่งเป็นหน้าจอที่ใช้งานจริงในเครื่องรับวิทยุติดตามตัว
4. ตัวรับสัญญาณ (Receiver) ที่นำมาจากเครื่องรับวิทยุติดตามตัว
5. หน่วยความจำสำหรับเก็บ โปรแกรมภายนอก (External ROM)
6. หน่วยความจำสำหรับเก็บข้อมูลภายนอก (External RAM)

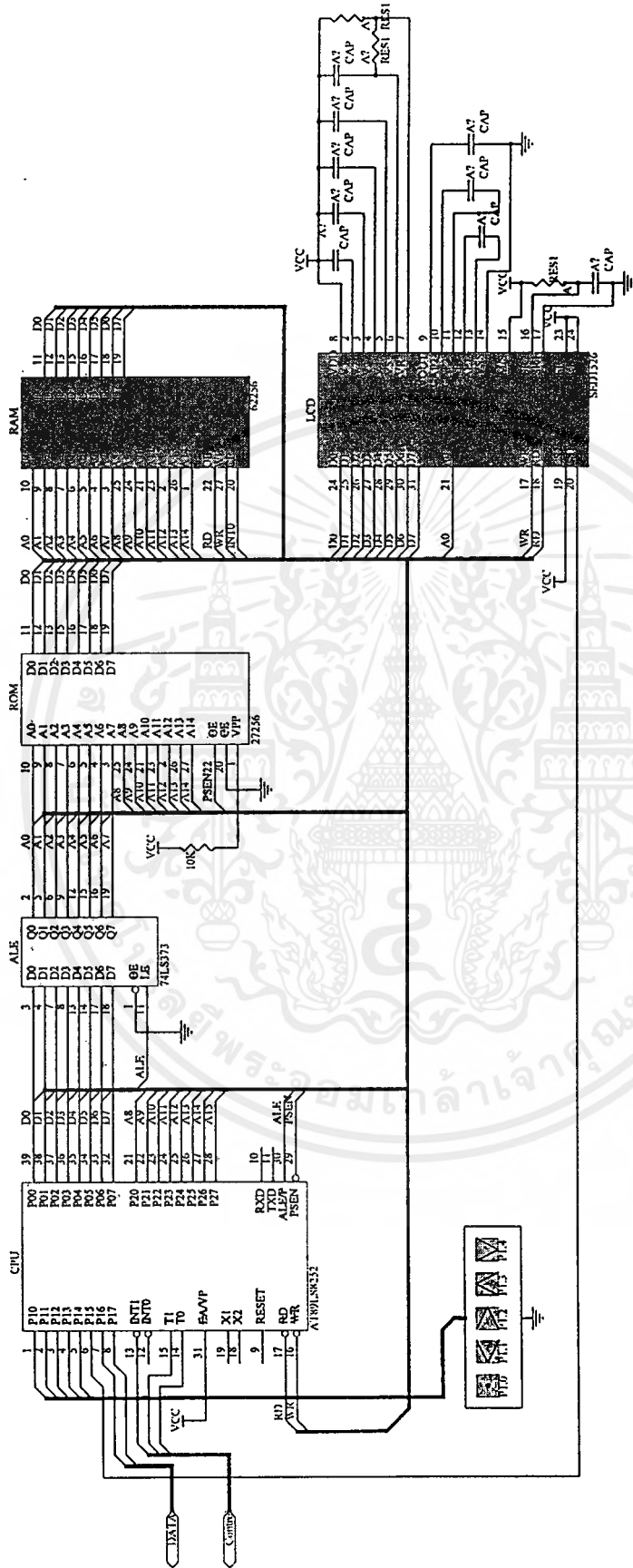
อุปกรณ์เหล่านี้จะนำมาเชื่อมต่อกันได้ดังวงจรในรูปที่ 3.1 และรูปที่ 3.2 โดยมีหลักการทำงานตามบล็อกไดอะแกรมรูปที่ 3.3 คือ ตัวรับจะรับสัญญาณ POCSAG ที่ส่งมาจากศูนย์บริการวิทยุติดตามตัว แล้วส่งไปยังตัวถอดรหัส ถ้าตัวถอดรหัสตรวจสอบพบว่ารหัสค่าหมายเลขเรียกขานที่ส่งมาตรงกับรหัสที่โปรแกรมไว้ใน EEPROM ก็จะได้รับข้อมูลที่ตามมาในส่วนของข้อมูลข่าวสารมาเก็บไว้ใน SRAM ซึ่งจุได้เพียง 96 ไบต์ ถ้าหาก SRAM เต็ม มันจะส่งสัญญาณอินเตอร์รัพท์ไปหาไมโครคอนโทรลเลอร์เพื่อให้ไมโครคอนโทรลเลอร์ดึงข้อมูลไปเก็บไว้ในแรมภายนอก โดยมีการติดต่อกันผ่านทาง I²C bus ที่มีเส้นหนึ่งเป็นข้อมูลและอีกเส้นหนึ่งเป็นสัญญาณนาฬิกา ในส่วนของการแสดงผลจะใช้จอแสดงผลแบบ LCD ซึ่งเป็นจอที่ออกแบบให้ใช้กับเพจเจอร์

3.2 การเขียนซอฟต์แวร์ควบคุมหน้าจอแสดงผล SED1526

ในโครงการนี้สามารถแสดงผลตัวอักษรได้ 2 ลักษณะ คือ

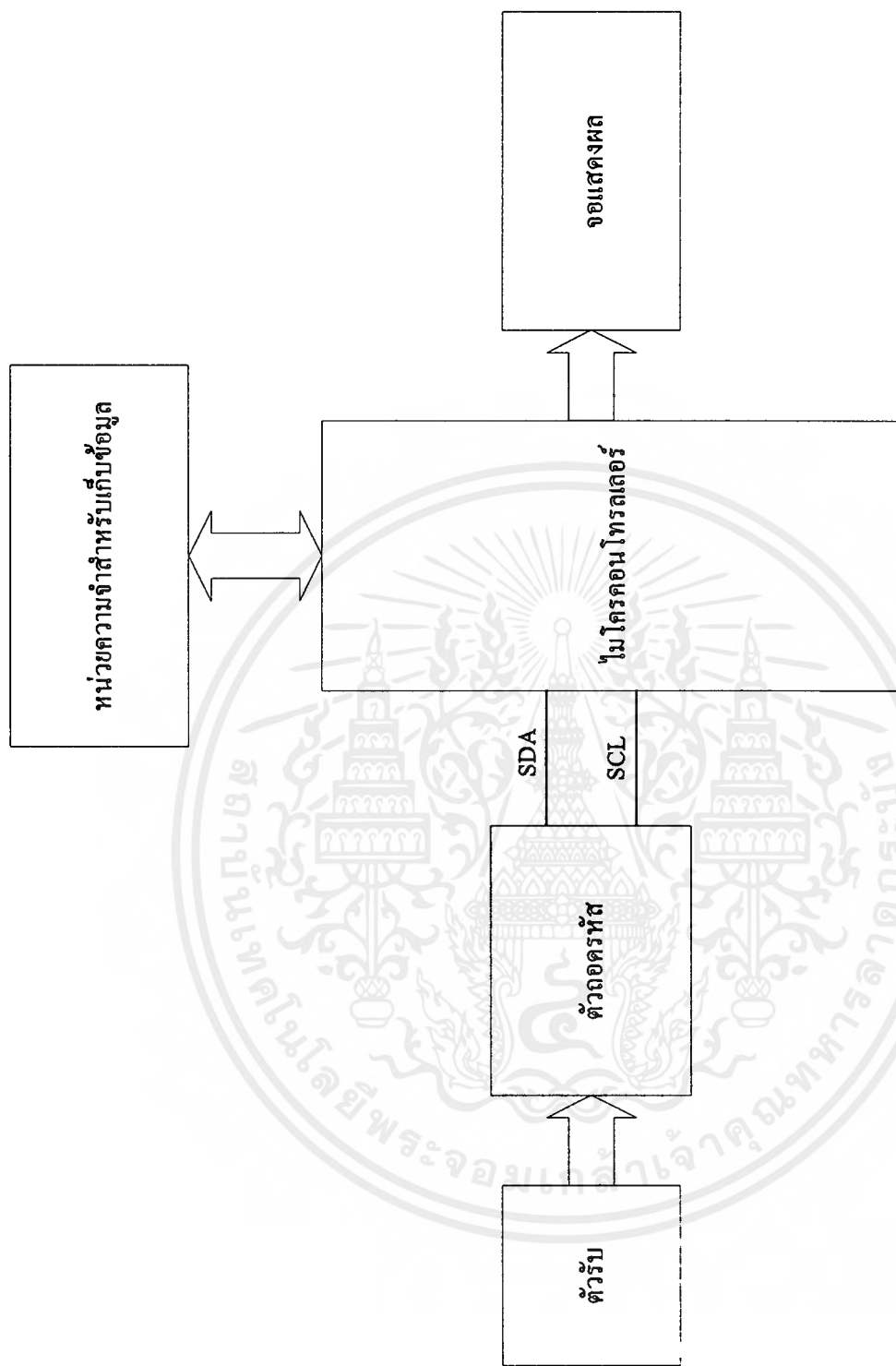
1. ตัวอักษรภาษาอังกฤษ ตัวเลข และสัญลักษณ์ ต่างๆ แสดงได้ 2 บรรทัด
2. ตัวอักษรภาษาไทย ตัวอักษรภาษาอังกฤษ ตัวเลข และสัญลักษณ์ ต่างๆ แสดงได้ 1 บรรทัด

ในการแสดงผลให้มีตัวอักษรภาษาไทยนั้น สามารถทำได้ 1 บรรทัด เพราะ ในอักษรภาษาไทยจะมี สระ และวรรณยุกต์ต่างๆ ทำให้ไม่สามารถแสดงเป็น 2 บรรทัดได้ และในโครงการนี้จะกล่าวถึงแต่การแสดงผลแบบ 1 บรรทัด เพราะทั้ง 2 แบบจะใช้หลักการคล้ายๆ กัน แสดงเป็นโฟลว์ชาร์ทได้ดังรูปที่ 3.4



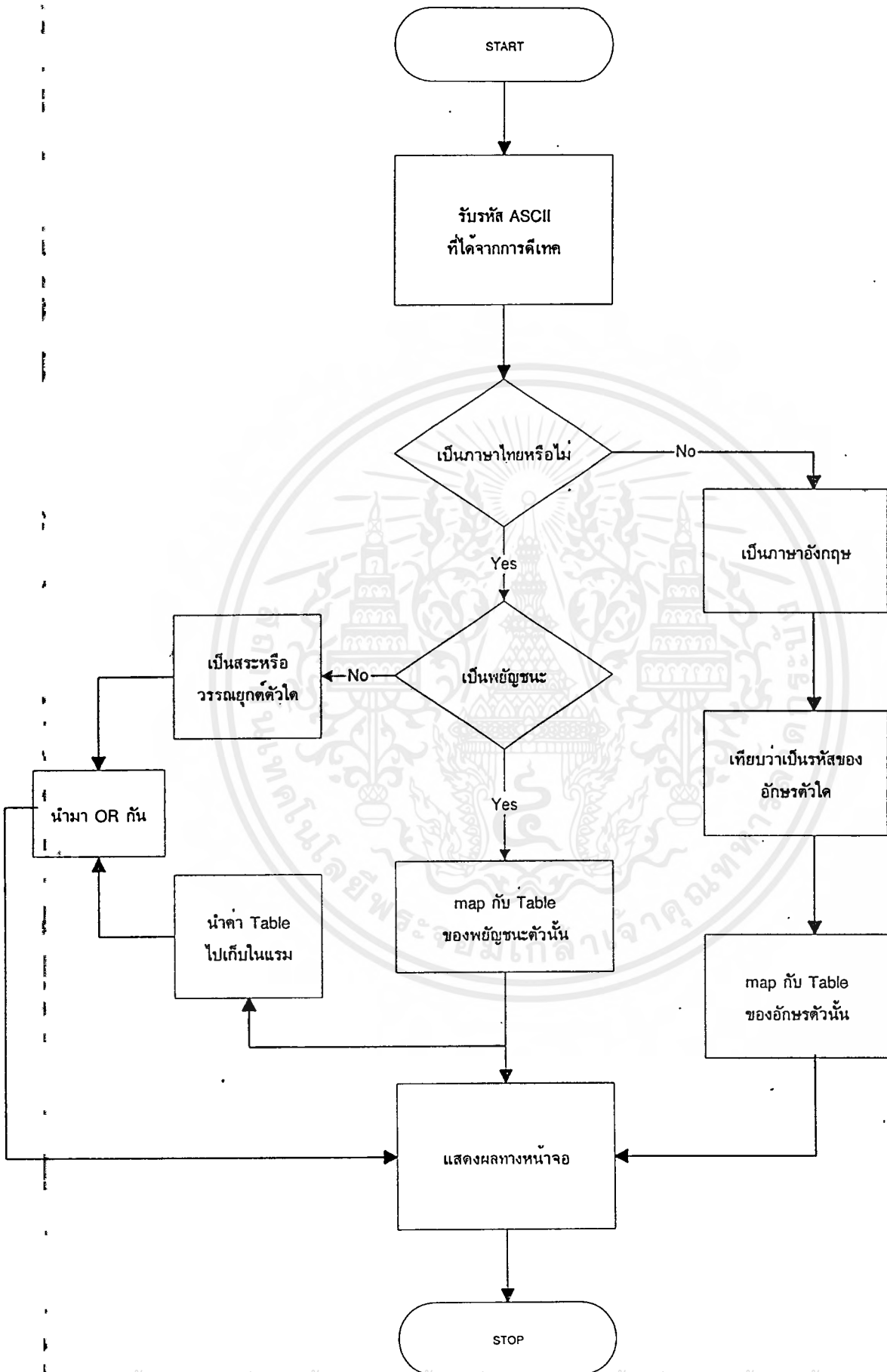
รูปที่ 3.2 วงจรแสดงการทำงานของไมโครคอนโทรลเลอร์ที่ควบคุมส่วนต่างๆ

FILE	NUMBER	KEYBOARD
DRWG:	DATE: 1999	SHEET OF 7
PIEC:	CIRCUIT CONNECTION	DRAWN BY:



รูปที่ 3.3 บล็อก โค้ดแอมแสดงการทำงานของเพจเจอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใด ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งยังมีเหตุขัดแย้งกับนโยบายของโรงเรียนที่ห้ามการนำเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานอธิบายได้ดังนี้ เมื่อรับรหัสสัญญาณเข้ามาแล้ว เราจะสามารถแยกได้ว่าเป็นตัวอักษรในโหมดภาษาอังกฤษหรือตัวอักษรในโหมดภาษาไทยได้โดยดูจากรหัส 0F คือ ถ้าหากว่ารหัสที่เข้ามาเป็น 0F แสดงว่าอักษรตัวต่อไปเป็นรหัสของโหมดภาษาไทย หากเจอ 0F อีกครั้งแสดงว่ารหัสที่ตามมาเป็นรหัสของโหมดภาษาอังกฤษ นั่นแสดงว่าหากเจอ 0F เมื่อใดจะต้องมีการเปลี่ยนโหมดหนึ่งไปเป็นอีกโหมดหนึ่งทุกครั้ง ในกรณีที่รหัสที่รับเข้ามาไม่มี 0F เลย แสดงว่ารหัสเหล่านั้นเป็นรหัสของโหมดภาษาอังกฤษทั้งสิ้น ตัวอย่างแสดงดังรูปที่ 3.5

โหมดภาษาไทย							โหมดภาษาอังกฤษ						โหมดภาษาไทย					
0F	35	54	34	35	68	4D	0F	42	49	52	44	20	0F	20	34	69	47	42
	ติ	ค	ค	อ			B	I	R	D			ค	ว	ย			

รูปที่ 3.5 ตัวอย่างการแสดงผลเป็นตัวอักษร

เมื่อทราบแล้วว่ารหัสเป็นโหมดของภาษาใดก็จะไปทำการเทียบค่าว่ารหัสเหล่านั้นเป็นอักษรตัวใดบ้างจากตารางต่อไปนี้

!	“	#	\$	%	&	‘	()	*	+	,	-	.	/	
20	21	22	23	24	25	26	27	28	29	2A	2B	2C	2D	2E	2F

0	1	2	3	4	5	6	7	8	9	:	;	<	=	>	?
30	31	32	33	34	35	36	37	38	39	3A	3B	3C	3D	3E	3F

@	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O
40	41	42	43	44	45	46	47	48	49	4A	4B	4C	4D	4E	4F

P	Q	R	S	T	U	V	W	X	Y	Z	[\]	^	_
50	51	52	53	54	55	56	57	58	59	5A	5B	5C	5D	5E	5F

a	b	c	d	e	f	g	h	i	j	k	l	m	n	o	
60	61	62	63	64	65	66	67	68	69	6A	6B	6C	6D	6E	6F

p	q	r	s	t	u	v	w	x	y	z	{		}	~	
70	71	72	73	74	75	76	77	78	79	7A	7B	7C	7D	7E	7F

ตารางที่ 3.1 แสดงรหัสของตัวอักษรภาษาอังกฤษ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	ก	ข	ช	ค	ฅ	ฆ	ง	จ	ฉ	ช	ฌ	ญ	ฎ	ฏ	
20	21	22	23	24	25	26	27	28	29	2A	2B	2C	2D	2E	2F

ฐ	ฑ	ฒ	ณ	ด	ต	ถ	ท	ธ	น	บ	ป	ผ	ฝ	พ	ฟ
30	31	32	33	34	35	36	37	38	39	3A	3B	3C	3D	3E	3F

ภ	ม	ย	ร	ฤ	ล	ฬ	ว	ศ	ษ	ส	ห	ฬ	อ	ฮ	ๆ
40	41	42	43	44	45	46	47	48	49	4A	4B	4C	4D	4E	4F

ะ	ั	า	ำ	ะ	ั	า	ำ	ะ	ั	า	ำ				
50	51	52	53	54	55	56	57	58	59	5A	5B	5C	5D	5E	5F

เ	แ	โ	ใ	ไ	า	ำ	เ	อ	ะ	ั	า	ำ			
60	61	62	63	64	65	66	67	68	69	6A	6B	6C	6D	6E	6F

ตารางที่ 3.2 แสดงรหัสของตัวอักษรภาษาไทย

ตัวอักษรแต่ละตัวที่จะนำมาแสดงผลนั้น จะต้องทำการออกแบบเอง ซึ่งหน้าจอแสดงผลในตระกูล SED 1526 จะต่างกับหน้าจอแสดงผลทั่วไปคือ หน้าจอแสดงผลทั่วไปนั้น หากต้องการอักษรภาษาอังกฤษหรือตัวเลขใด เพียงแต่ส่ง โคลด ไปหน้าจอก็จะสามารถแสดงตัวอักษรหรือตัวเลขที่เราต้องการได้ทันที แต่หน้าจอที่พรีในโครงการนั้นไม่ว่าจะเป็นตัวอักษรตัวใดก็ตามจะต้องสร้างตารางตัวอักษรขึ้นมาเอง ยกตัวอย่างเช่น ถ้าเราจะแสดงตัวอักษร ก จะต้องทำดังรูปที่ 3.6

0						Page 0
D1						
D2						
D3						
D4						
D5						
D6						
D7						
D0					Page 1	
D1						
D2						
D3						
D4						
D5						
D6						
D7						

รูปที่ 3.6 ตัวอย่างการออกแบบตัวอักษร ก

จะเห็นได้ว่าในอักษร 1 ตัว จะสามารถแบ่งเป็น 2 เพจ ซึ่งเวลาทำเป็นตารางสำหรับเก็บค่านั้นจะสามารถเก็บค่า ได้ตามตารางที่ 3.3 ดังนี้

เพจ 0	40	0E0	20	20	0C0
เพจ 1	00	07	00	00	07

ตารางที่ 3.3 ตัวอย่างการเก็บเป็นตาราง ก

ค่าต่างๆ สามารถอธิบายได้ดังนี้ เช่น ในเพจ 0 ค่า E0 มาจาก

D7	D6	D5	D4	D3	D2	D1	D0
1	1	1	0	0	0	0	0
E0				00			

ตารางที่ 3.4 แสดงวิธีการเก็บค่าลงในตาราง ก

ค่านั้นตัวอักษรทุกตัวไม่ว่าจะเป็น โหมคโคจะต้องออกแบบเช่นนี้ทุกตัว รวมทั้งตัวเลขและสัญลักษณ์ต่างๆ ด้วยและเก็บค่าตารางเหล่านี้ไว้ เมื่อรับรหัสที่ได้จากการถอดรหัสเป็นตัวใดก็จะนำตารางของตัวอักษรตัวนั้นมาแสดงทางหน้าจอ

ในการแสดงตัวอักษรของโหมคภาษาอังกฤษมักจะไม่มีปัญหา แต่ในส่วนของภาษาไทยต้องคำนึงถึงสระ และวรรณยุกต์ต่างๆ ที่อยู่ด้านบนและด้านล่างของพยัญชนะด้วย ไม่เช่นนั้นจะอยู่บรรทัดเดียวกับพยัญชนะ สามารถแก้ไขโดยเมื่อรับคำสั่งของพยัญชนะเข้ามา ก่อนที่จะนำไปแสดงผลให้นำค่าตารางตัวอักษร มาเก็บที่แรมก่อนและทำการรหัสตัวต่อไปเป็น

1. สระหรือวรรณยุกต์ (ที่อยู่ด้านบนหรือด้านล่างของตัวอักษร) ให้นำ ตารางของสระหรือวรรณยุกต์นั้นไปทำการ OR กันตามคำสั่งทางตรรกศาสตร์ กับค่าของพยัญชนะที่เก็บไว้ในแรม แล้วนำ ค่าที่ได้จากการ OR ไปแสดงทางหน้าจอ

2. พยัญชนะ ให้นำไปเก็บไว้ในแรมแทนที่ตัวเดิมแล้วแสดงผลทางหน้าจอ

3.3 การเขียนซอฟต์แวร์ควบคุมการทำงานของตัวถอดรหัส PCD5003

จากรูปวงจรรวมจะเห็นว่าในการติดต่อระหว่าง PCD 5003 และไมโครคอนโทรลเลอร์มีการเชื่อมต่อขา 5 ขา คือ REF, INT, RST, SDA และ SCL แต่ในการติดต่อส่งผ่านข้อมูลจะใช้ขาสัญญาณเพียง 2 เส้น คือ ขา SDA และ SCL เป็นการเชื่อมต่อแบบ I²C bus ดังนั้นการเขียนโปรแกรมรับ-ส่งจึงต้องทำตามเงื่อนไขของ I²C bus

เนื่องจาก PCD 5003 ทำหน้าที่เป็นเป็นสเลฟ ดังนั้นไมโครคอนโทรลเลอร์จะเป็นมาสเตอร์ตลอดเวลา เพียงแต่ทิศทางในการส่งข้อมูลอาจเป็นได้ทั้งผู้ส่งและรับ แต่สัญญาณนาฬิกาจะต้องถูกสร้างโดยมาสเตอร์เท่านั้น รวมทั้งยังต้องสร้างสถานะเริ่มต้นและสถานะสิ้นสุดตามรูปแบบ I²C bus ด้วย ดังเช่นถ้าไมโครคอนโทรลเลอร์เป็นผู้ส่งข้อมูล ในการส่งข้อมูล 1 บิตพร้อมด้วยการสร้างคล็อก 1 ลูกไปยัง PCD จะมีลักษณะโปรแกรมดังนี้ (ข้อมูลเก็บอยู่ในแอสคิมูลเตอร์ และเลื่อนบิตออกทางบิตแคร์รีเฟล็ก)

```
CLR    C
RLC    A
MOV    SDA,C
CALL   DELAY
SETB   SCL
NOP
NOP
CLR    SCL
```

ถ้าไมโครคอนโทรลเลอร์ เป็นผู้รับข้อมูลจาก PCD 1 บิต และสร้างคล็อก 1 ลูกจะมีค่าดังนี้

```
NOP
MOV    C,SDA
SETB   SCL
NOP
NOP
CLR    SCL
RLC    A
```

ในการสร้างคำสั่งแต่ละคำสั่งให้ติดต่อแบบ I²C bus ต้องคำนึงถึงเรื่องจำนวนเมกซ์ซินไซเคิล เป็นสำคัญ ซึ่งเวลาในไซเคิล จะขึ้นอยู่กับความถี่ของออสซิลเลเตอร์ ของไมโครคอนโทรลเลอร์ ในที่นี้จะใช้ 11.059 เมกกะเฮิร์ต ดังนั้นใน 1 เมกซ์ซินไซเคิล จะใช้เวลา 1.085 ไมโครวินาที ค่าเวลาต่างๆต้องสอดคล้องกับข้อกำหนดของการเชื่อมต่อ เช่น เวลาของคล็อก ส่วนที่เป็นสถานะต่ำ ต้องมีมากกว่า 1.3 ไมโครวินาที ดังนั้นแสดงว่า เวลาช่วงที่เป็นสถานะต่ำของพัลส์หนึ่งจนถึงสถานะสูงของอีกพัลส์หนึ่ง ต้องมีคำสั่งมากกว่า 2 เมกซ์ซินไซเคิล โดยประมาณ

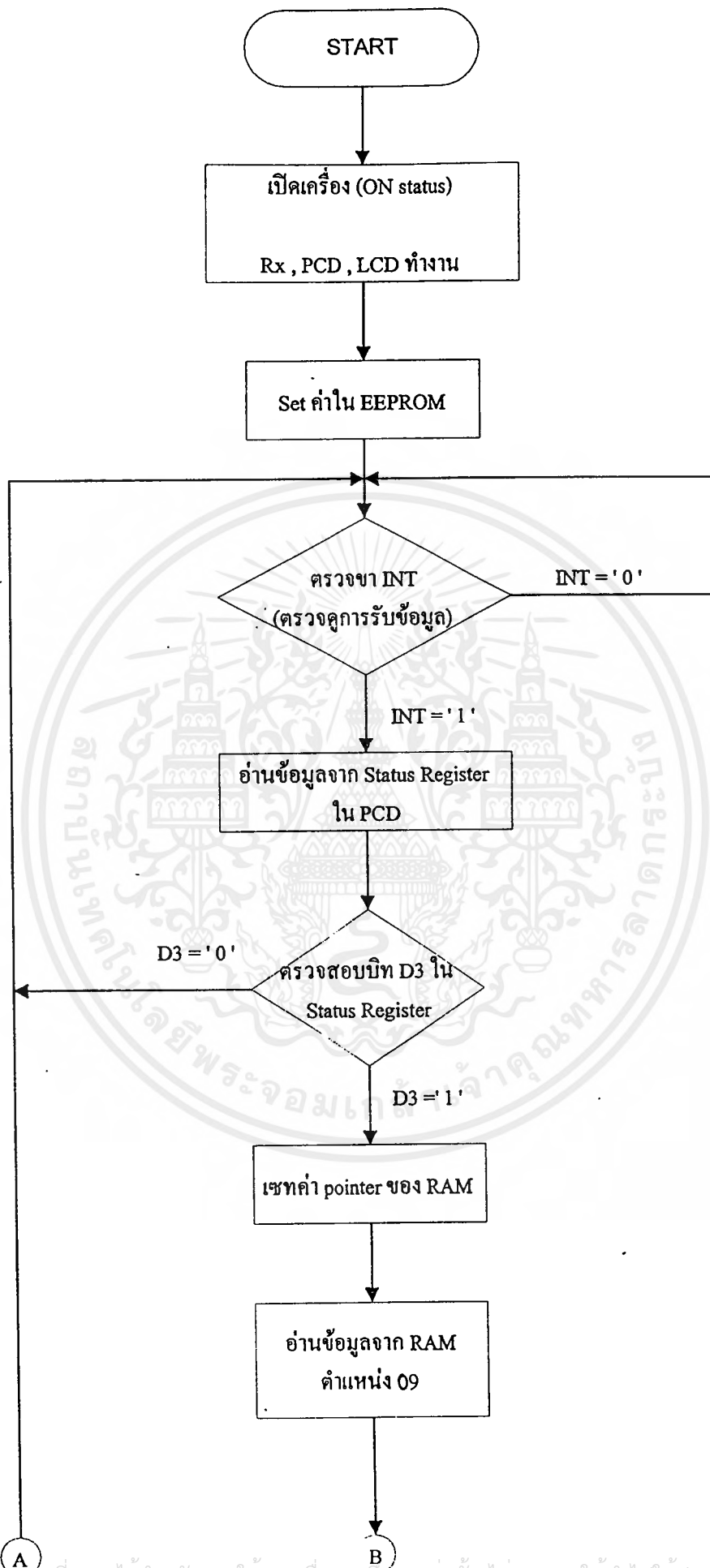
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

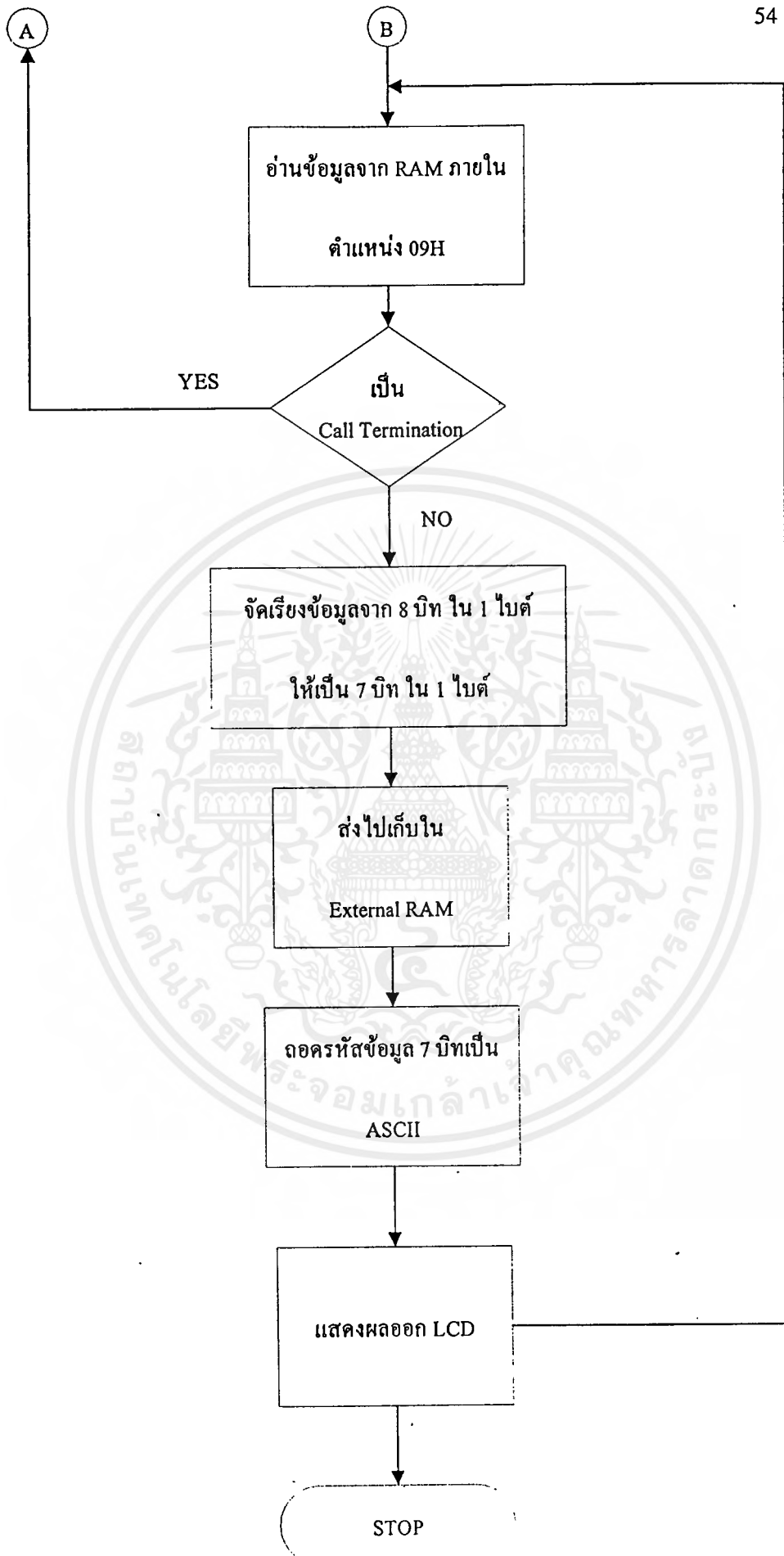
เมื่อสร้างพัลส์ส่วนที่เป็นข้อมูลและคล็อกได้ในการติดต่อกับรีจิสเตอร์ภายในจะต้องมีการสร้างโปรแกรมให้ตรงตามรูปแบบที่กำหนด ดังรูปที่ 2.13 ซึ่งใน PCD มีรีจิสเตอร์ภายในทั้งหมด 13 ตำแหน่ง มีหน้าที่แตกต่างกัน นอกจากนั้นมีแรมภายในและมี EEPROM สำหรับกำหนดค่าเริ่มต้น ในการติดต่อกับหน่วยความจำภายในทั้งหมดนี้ ต้องกระทำภายใต้เงื่อนไขของ I²C bus เช่นเดียวกัน

การกำหนดค่า EEPROM ที่สำคัญคือต้องกำหนดค่า SPF 4 ตำแหน่ง (4 ไบต์) และค่า RIC ซึ่งเป็นค่าที่กำหนดหมายเลขของเครื่องเพจเจอร์ แต่เงื่อนไขในการเข้าถึง EEPROM มีดังนี้

1. ก่อนเข้าถึง EEPROM ต้องเซทบิต D1 ในรีจิสเตอร์ควบคุม
2. ระหว่างที่ตัวรับทำงาน (RXE =1) จะเข้าถึง EEPROM ไม่ได้ ต้องรีเซทบิต D3 ในรีจิสเตอร์ควบคุม
3. เป็นการเข้าถึงตำแหน่งโดยทางอ้อม ต้องกำหนดค่าแอดเดรสผ่านตัวรีซีตำแหน่ง
4. เมื่อกำหนดค่าเสร็จใน 1 บล็อก ต้องมีการหน่วงเวลามากสุด 7.5 มิลลิวินาที
5. หลังการ โปรแกรมบน EEPROM ต้องรีเซทบิต D1 ในรีจิสเตอร์ควบคุม

โฟลว์ชาร์ตของโปรแกรมการทำงานของตัวถอดรหัสแสดงดังรูปที่ 3.7 และ 3.8





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใด ทั้งสิ้น อีรูปที่ 3.8 โฟลว์ชาร์ทของโปรแกรมการทำงานของตัวถอดรหัส (ต่อ) งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

4.1 การทดลองทำให้ LCD แสดงผล

การแสดงผลบนหน้าจอ LCD นั้น ทดลองโดยให้หน้าจอขึ้นข้อความใน 2 ลักษณะ คือ

- แสดงผลเป็นตัวอักษร 2 บรรทัด ซึ่งสามารถแสดงได้เฉพาะตัวอักษรภาษาอังกฤษ
- แสดงผลเป็นตัวอักษร 1 บรรทัด สามารถแสดงได้ทั้งภาษาไทยและภาษาอังกฤษ

ในการทดลองให้หน้าจอขึ้นข้อความทั้ง 2 ลักษณะ จะมีหลักการคล้ายๆ กัน คือ

1. สร้างข้อความที่ต้องการให้หน้าจอแสดงผล โดยนำตัวอักษรในประโยคมาเทียบค่ากับตาราง ASCII ว่าแต่ละตัวอักษรมีรหัสเป็นค่าเท่าใด
2. ให้โปรแกรมแสดงผลไปเรียกค่ารหัสที่เก็บไว้ในแรมมาแสดงออกทางหน้าจอ
3. เปรียบเทียบข้อความที่สร้างขึ้นกับข้อความที่ปรากฏบนหน้าจอ

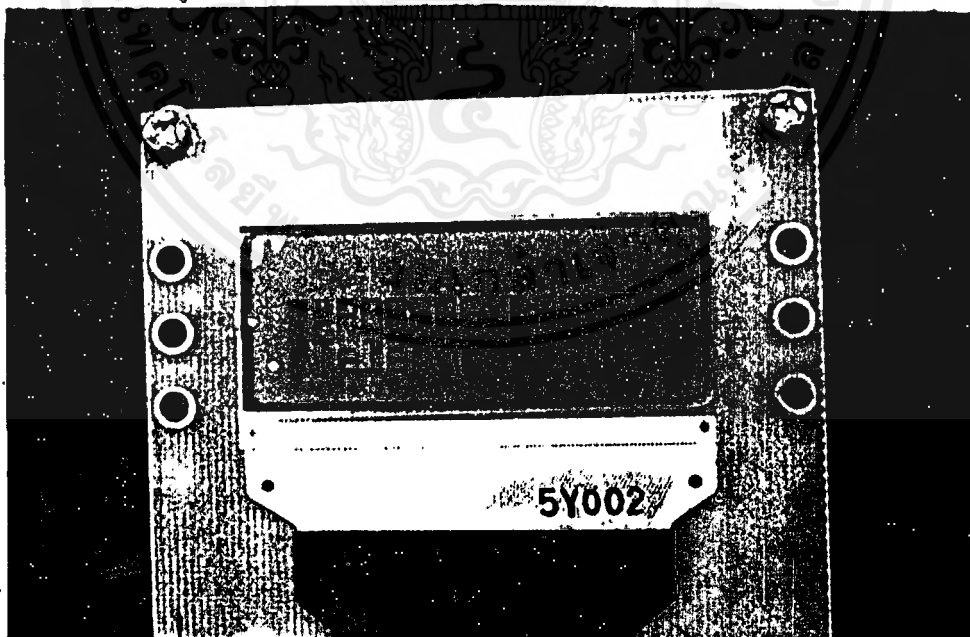
4.2 ผลการทดลอง

1. ให้หน้าจอแสดงผลแบบภาษาอังกฤษ 2 บรรทัด โดยแสดงคำว่า

POCSAG PAGER

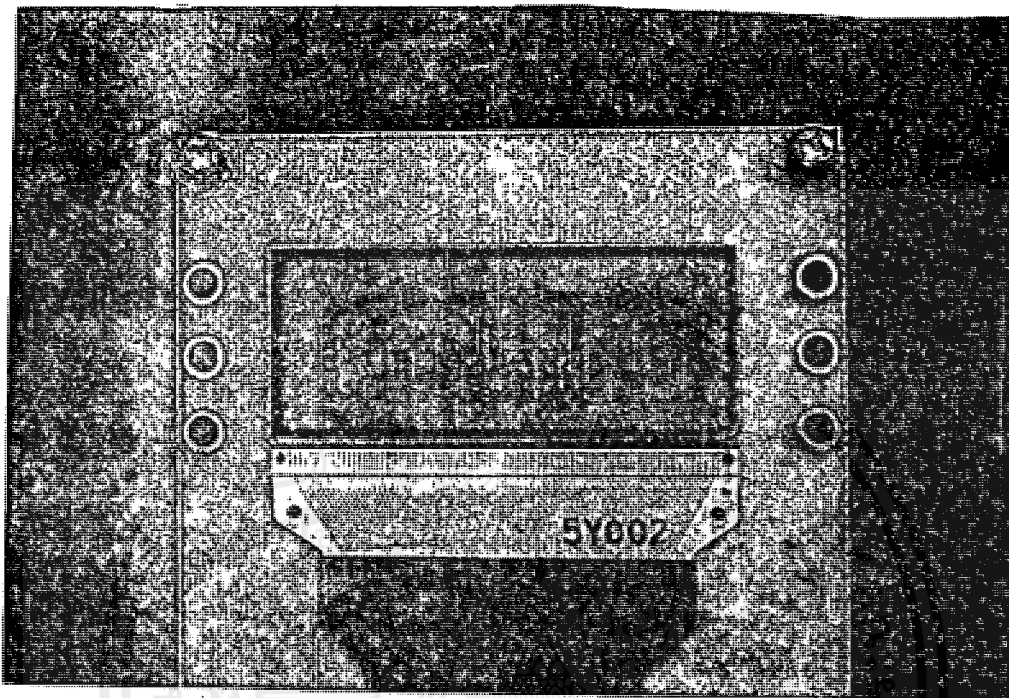
Telecom. Dept.

ได้ผลการทดลองดังรูปที่ 4.1

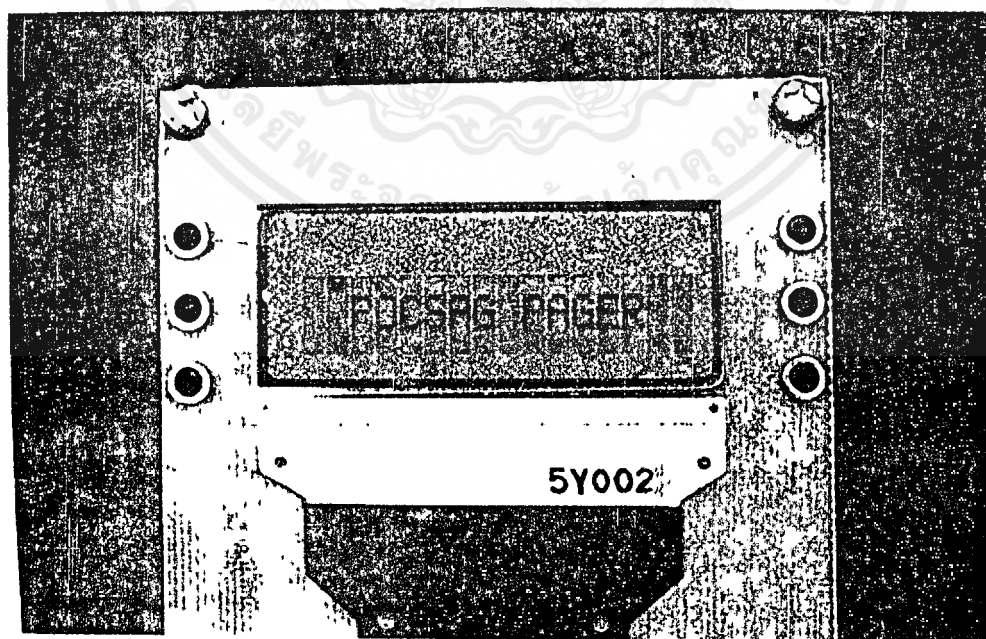


รูปที่ 4.1 หน้าจอแสดงผลตัวอักษรภาษาอังกฤษแบบ 2 บรรทัด

2. ให้นำจอแสดงผลเป็นตัวอักษรทั้งภาษาไทยและภาษาอังกฤษ โดยแสดงคำว่า
 ยินดีต้อนรับผู้ "POCSAG PAGER"
 ได้ผลการทดลองดังรูปที่ 4.2 และ 4.3



รูปที่ 4.2 หน้าจอแสดงผลตัวอักษรภาษาไทยและภาษาอังกฤษแบบ 1 บรรทัด

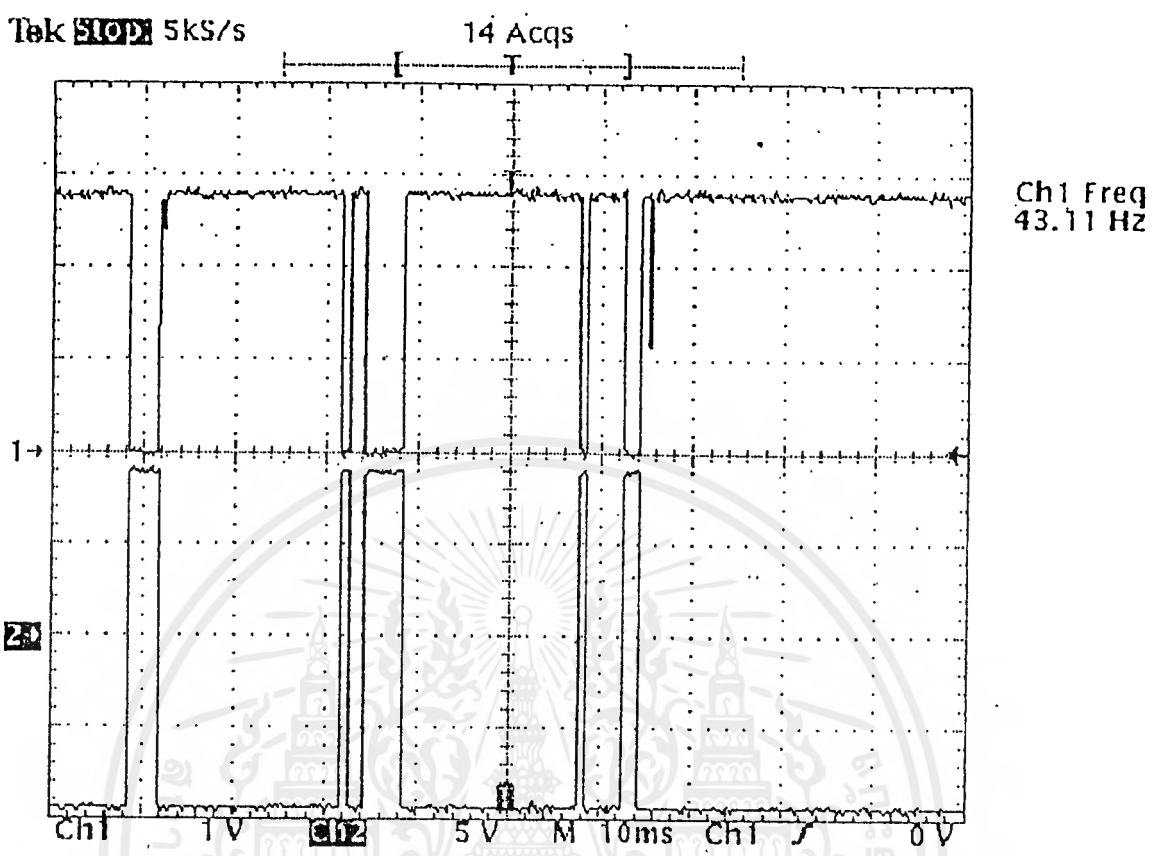


รูปที่ 4.3 หน้าจอแสดงผลตัวอักษรภาษาไทยและภาษาอังกฤษแบบ 1 บรรทัด

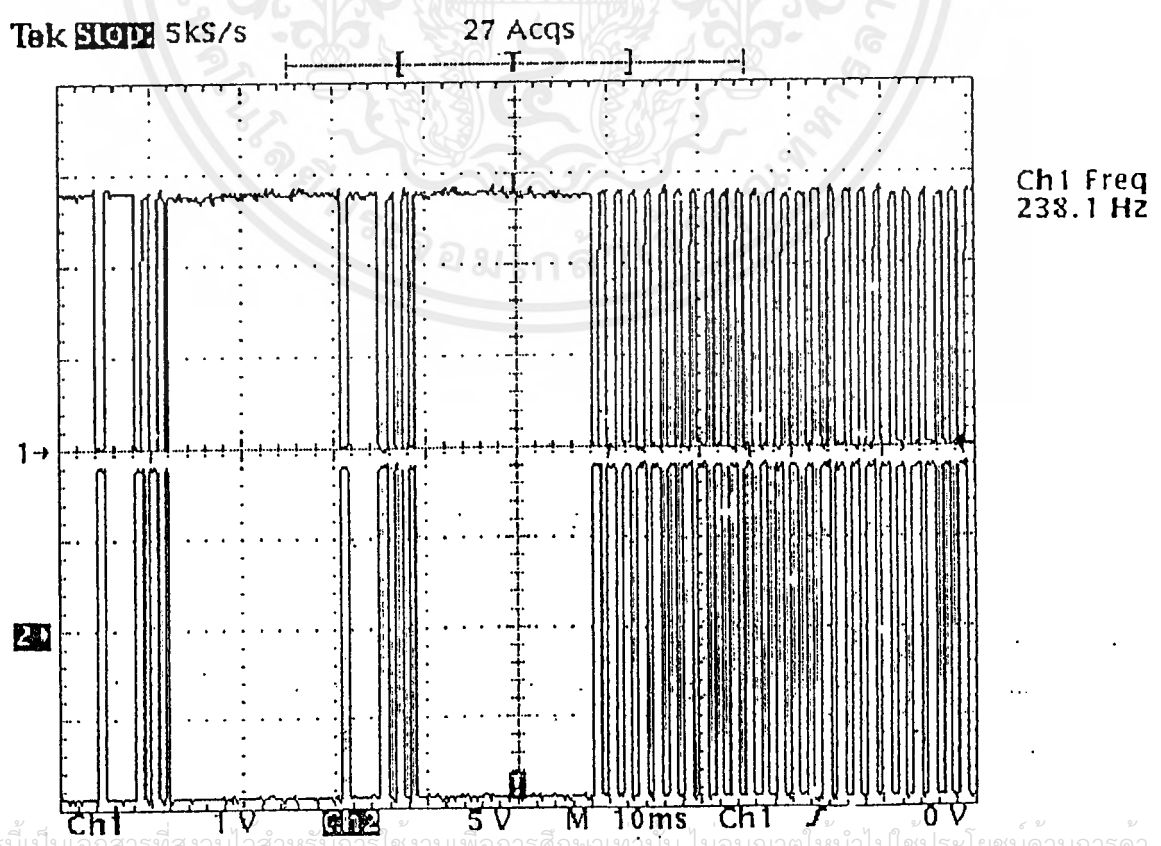
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 ผลการทดลองเมื่อทำการโหลดโปรแกรมเข้าไปในตัวอครหัส

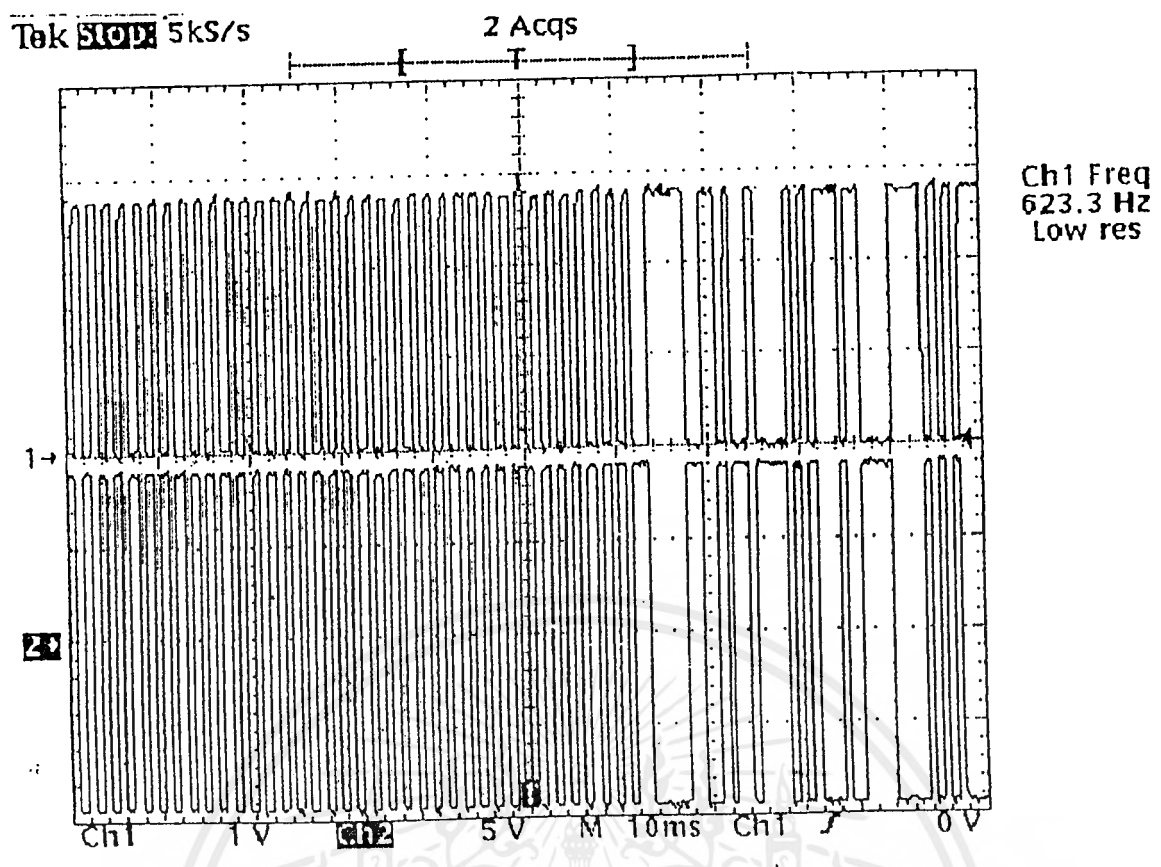
ทำการวัดสัญญาณที่ขาต่างๆของตัวอครหัส ได้ผลแสดงดังรูปที่ 4.4 - 4.12



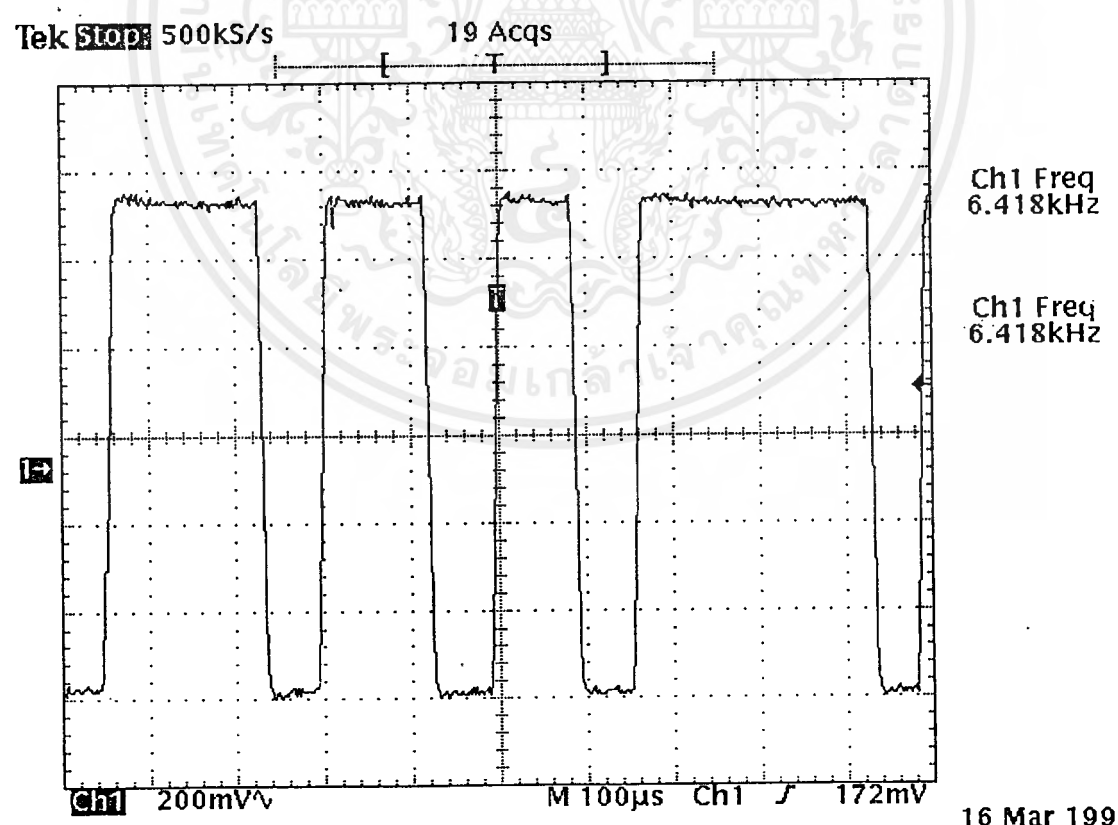
รูปที่ 4.4 สัญญาณขณะที่ยังไม่มีการเรียกจากศูนย์ควบคุม



รูปที่ 4.5 สัญญาณเมื่อมีพัลส์ส่วนหน้าเข้ามายังเครื่องรับ ครั้งที่มีการนำไปใช้



รูปที่ 4.6 สัญญาณของรหัสค่าการเชิงโครไนซ์



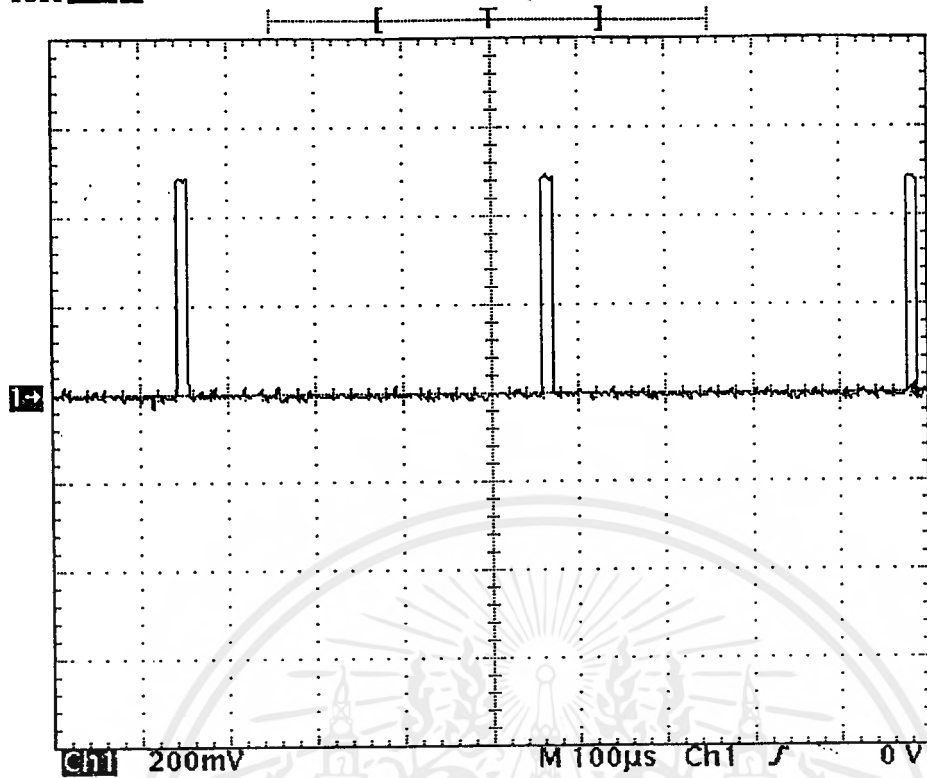
รูปที่ 4.7 สัญญาณข้อมูลที่มา DO ของตัวถอดรหัส

16 Mar 1999 18:21:48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Tek **Stop** 500kS/s

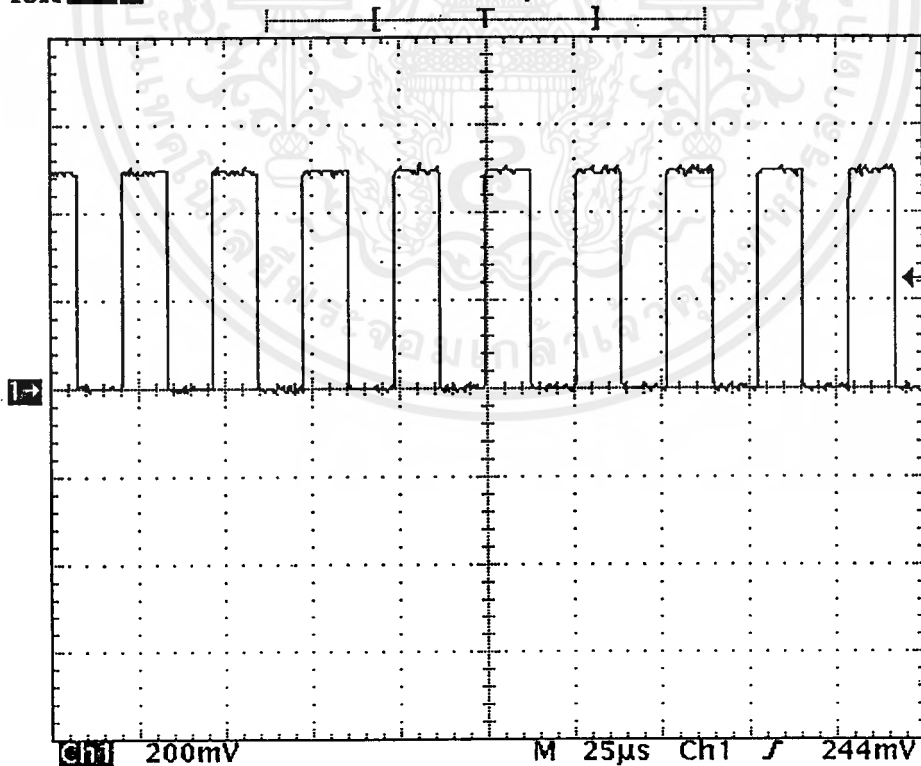
54 Acqs



รูปที่ 4.8 สัญญาณที่ขาอินเทอร์รัพท์ (INT) ของตัวลดครัทส์

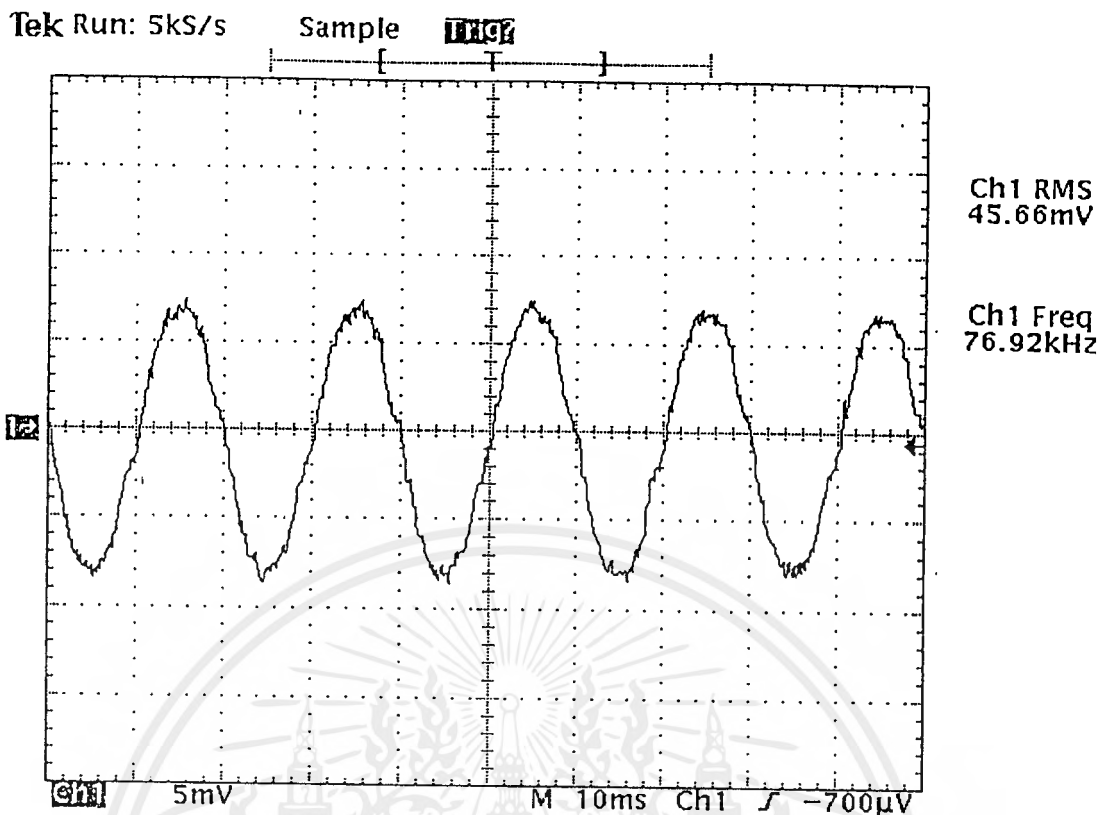
Tek **Stop** 2MS/s

106 Acqs

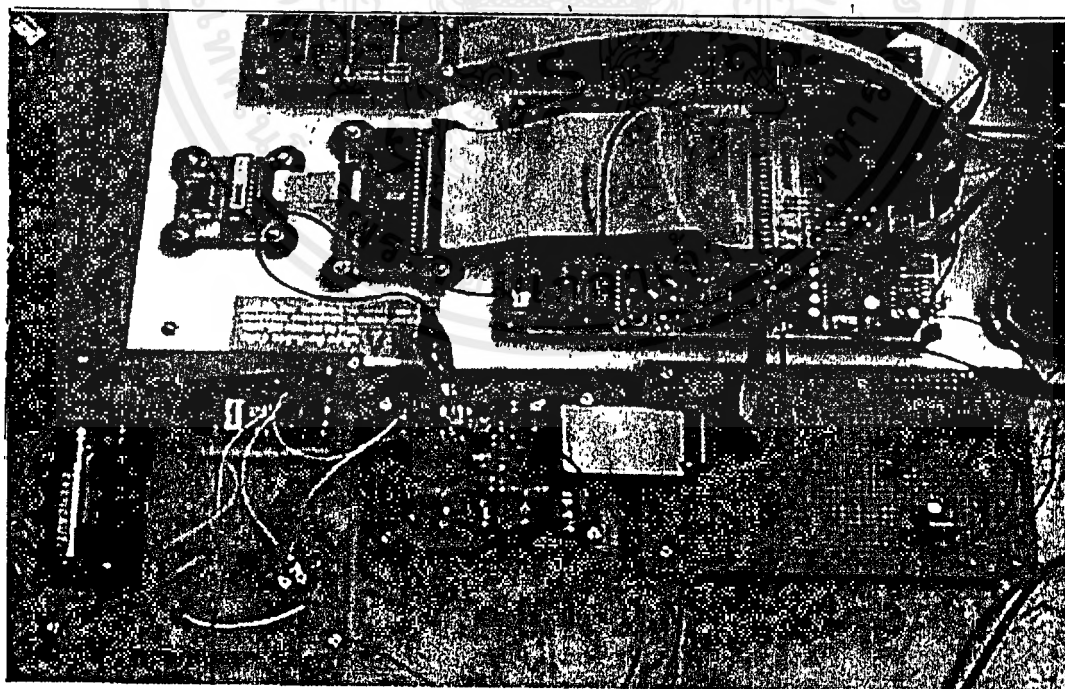


รูปที่ 4.9 สัญญาณที่ขา CCN ขณะทีโปรแกรมทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใด ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

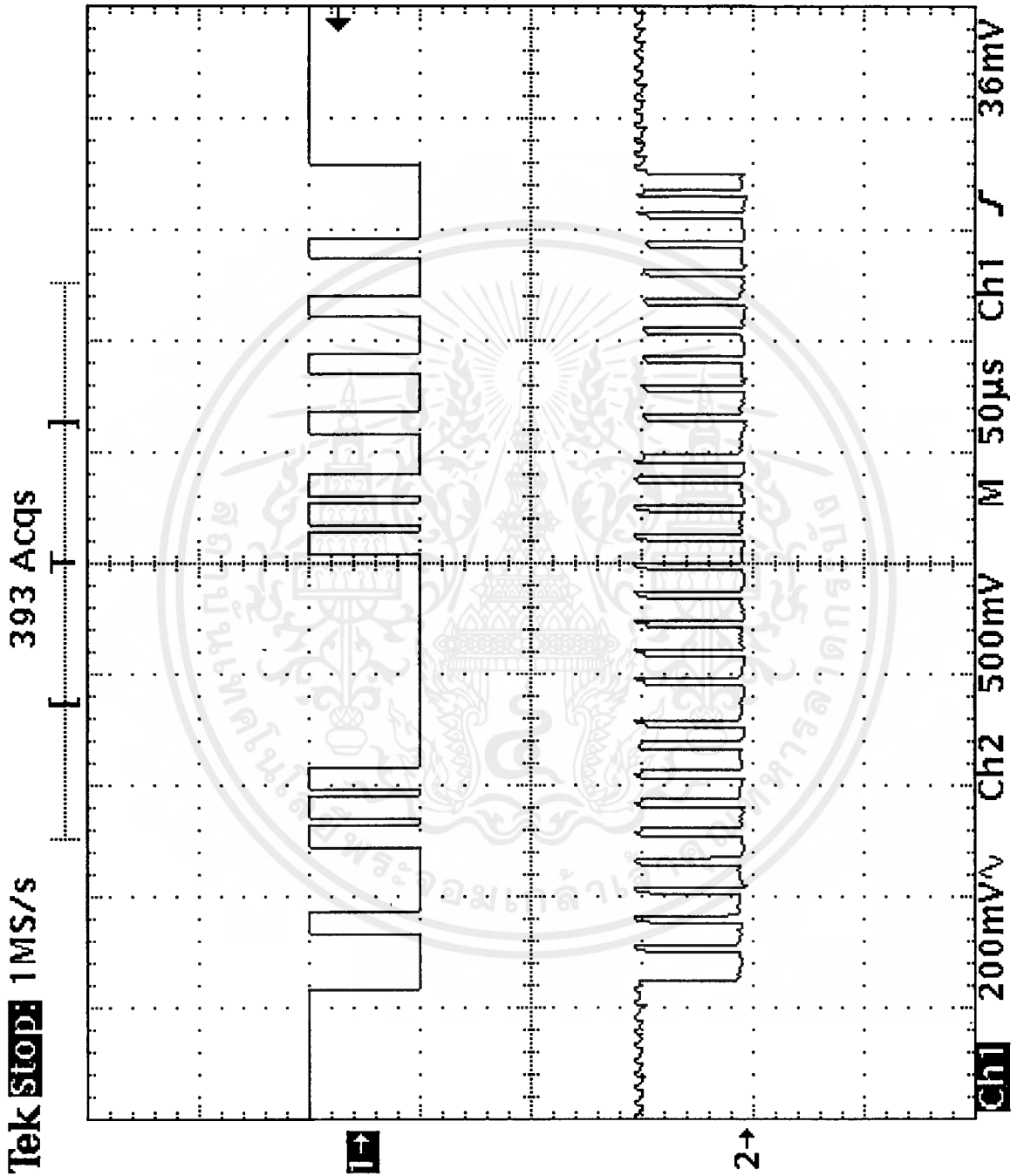


รูปที่ 4.10 สัญญาณเอาต์พุตจากคริสตอลของตัวถ่วงคริสตัล



รูปที่ 4.11 แสดงส่วนต่างๆ ของโครงการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใด ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.12 แสดงสัญญาณของคาส์ (SDA) และคล็อก (SCL) ที่วัดได้ตามรูปแบบ I²C bus

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 การทดลองของตัวถดถอห้ส

- ขั้นตอนการทดลองตัวถดถอห้ส

ป้อนไฟ 5 โวลต์ แล้วใช้โปรแกรมควบคุมผ่าน I²C bus

1. ขั้นรีเซท เป็นการควบคุมให้เกิดการ รีเซท ที่ขา RST (7) ซึ่งก่อนรีเซทขานี้ จะมีสถานะ ต่ำ และช่วงเวลาที่ทำให้เกิดการรีเซท ต้องมีค่ามากกว่า 50 ไมโครวินาที หลังจากมีการ รีเซทแล้ว ขา RXE (24) และ ROE(25) จะมีสถานะสูง และมีพัลซ์ที่ขา REF (4)

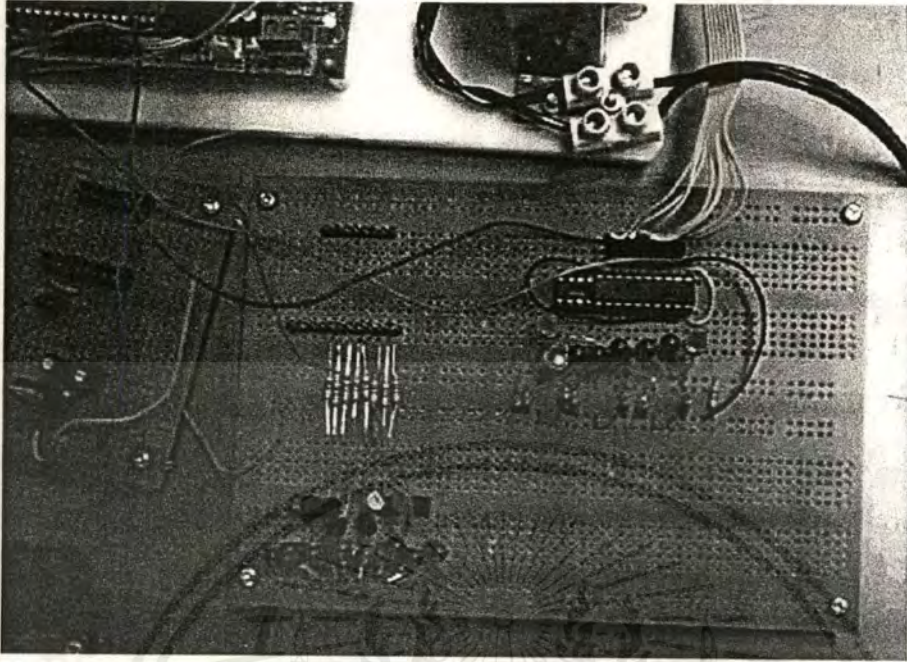
- ขั้นตอนสภาวะ ON

เป็นการควบคุมให้ PCD 5003 ทำงาน โดยกำหนดค่าในรีจิสเตอร์ควบคุม ผ่านทาง I²C bus

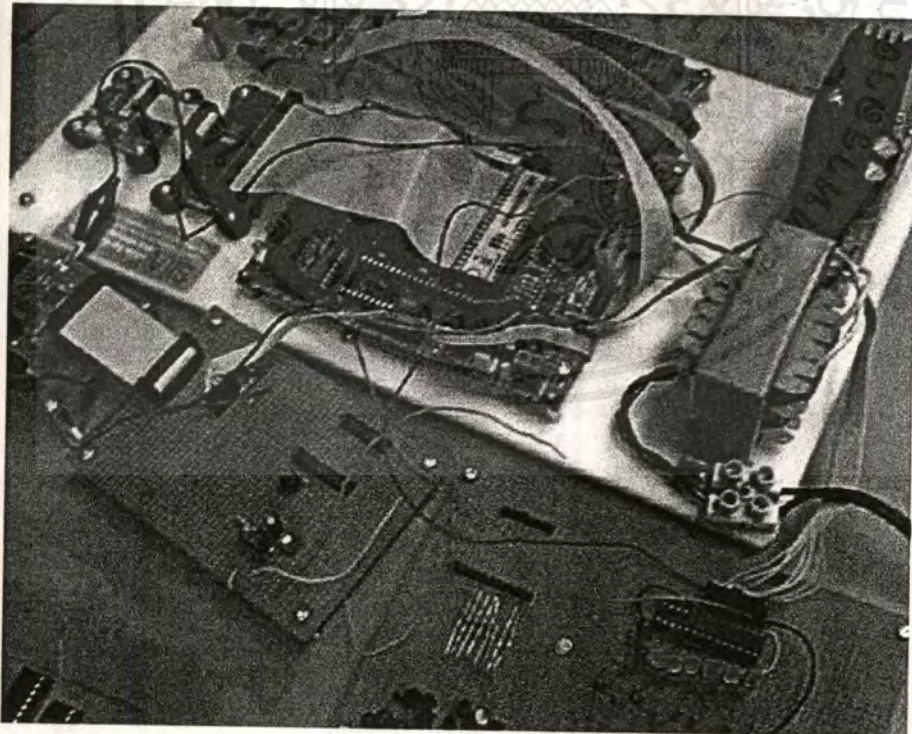
- ขั้นตอนทดลองให้ตัวถดถอห้สแสดงเวลาในหน่วยวินาที

เนื่องจาก PCD มีรีจิสเตอร์ ที่ทำหน้าที่เป็น สัญญาณเวลาในหน่วยวินาทีที่สามารถทำการเขียนและอ่านได้ ดังนั้นจึงทดลองกำหนดค่าเริ่มต้นให้แก่รีจิสเตอร์นี้ แล้วทำการอ่านวนไปเรื่อยๆ โดยให้แสดงผลออกทางไดโอดเปล่งแสง (LED) จะเห็นว่า ไดโอดเปล่งแสงมีการเพิ่มค่าทีละ 1 จากค่าเริ่มต้น ในเวลาทุกๆวินาที ดังแสดงในรูปที่ 4.13 และ 4.14

ขั้นตอนทั้งหมดนี้เป็นการใช้คำสั่งควบคุมจากไมโครคอนโทรลเลอร์ผ่านทาง I²C bus ของตัวถดถอห้ส โดยคำสั่งในการอ่านและเขียนข้อมูลมีลักษณะเฉพาะตัว ซึ่งจะต้องทำตามข้อกำหนดของ I²C bus เช่น ช่วงเวลาของพัลซ์ที่จะส่งออกและรับเข้ามา เป็นต้น

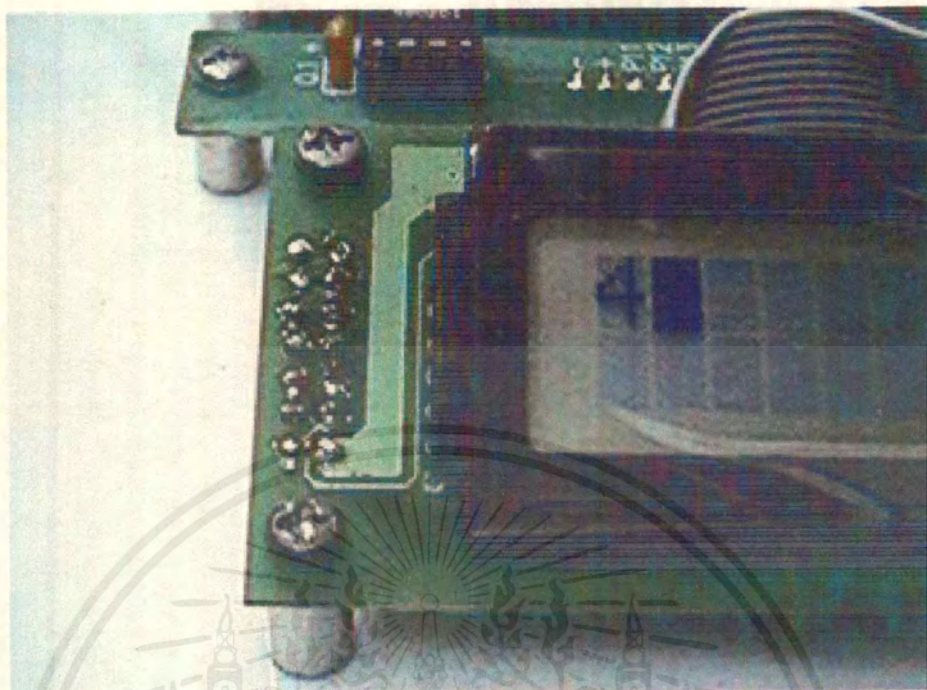


รูปที่ 4.13 กำหนดค่าเริ่มต้นของนาฬิกาเป็น #01H

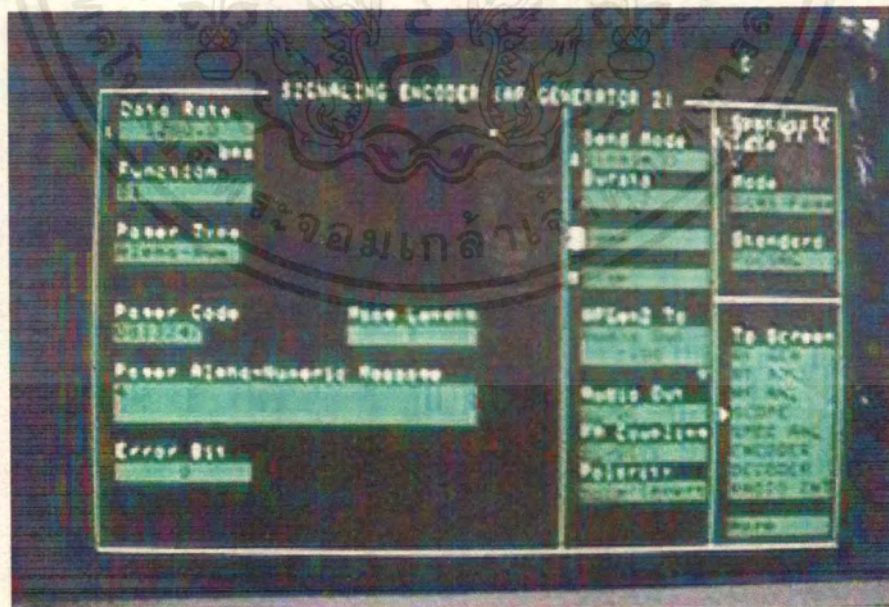


รูปที่ 4.14 กำหนดค่าเริ่มต้นของนาฬิกาเป็น #3FH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใด ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.17 แสดงข้อมูลเลข “4” บนหน้าจอ LCD หลังส่งสัญญาณผ่านตัวถอดรหัส



รูปที่ 4.18 แสดงการกำหนดค่าเริ่มต้นในการส่งสัญญาณ POCSAG หมายเลข “4”

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใด ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

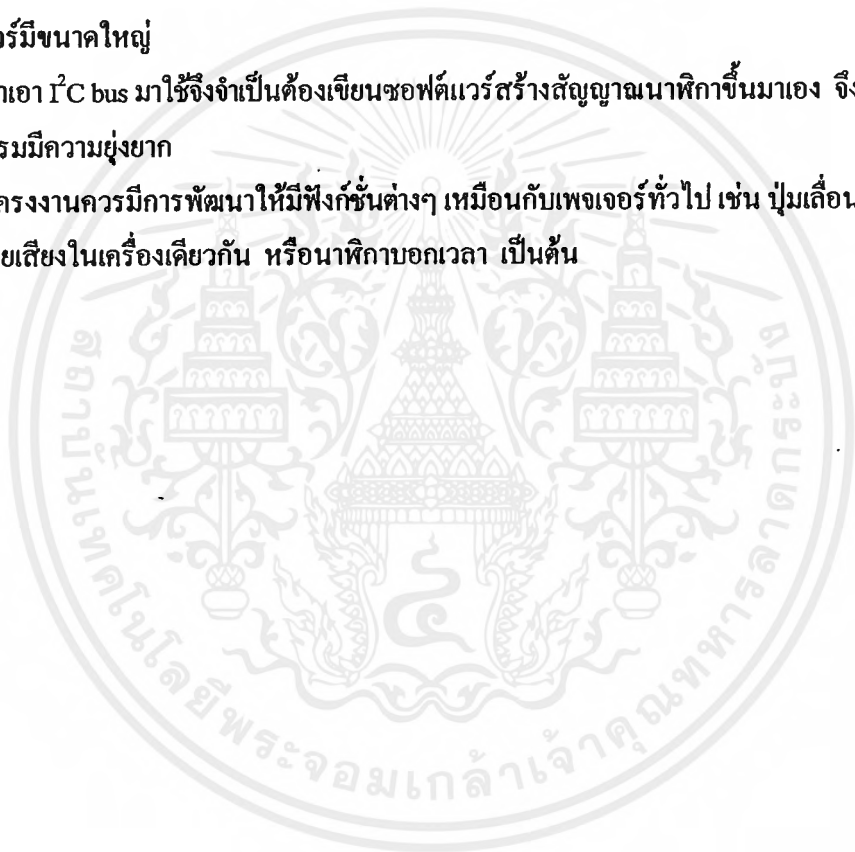
บทที่ 5 บทสรุปและวิจารณ์

โครงการนี้เป็นารเขียนโปรแกรมเพื่อควบคุมส่วนต่างๆ ของฮาร์ดแวร์ให้รับสัญญาณจากศูนย์ควบคุมแล้วนำข้อความมาแสดงผลทางหน้าจอ แต่โครงการนี้แบ่งเป็นส่วนต่างๆ หลายส่วน ซึ่งในบางส่วนมีความละเอียดซับซ้อนมาก ทำให้เมื่อรวมทุกส่วนเข้าด้วยกันทั้งทางด้านฮาร์ดแวร์และซอฟต์แวร์เกิดปัญหาและมีข้อผิดพลาด

ตัวอย่างเช่น


- การติดต่อกันระหว่างไมโครคอนโทรลเลอร์และตัวถอดรหัสยังไม่ดีเท่าที่ควร
- ฮาร์ดแวร์มีขนาดใหญ่
- มีการนำเอา IC bus มาใช้จึงจำเป็นต้องเขียนซอฟต์แวร์สร้างสัญญาณนาฬิกาขึ้นมาเอง จึงทำให้ตัวโปรแกรมมีความยุ่งยาก

นอกจากนี้โครงการควรมีการพัฒนาให้มีฟังก์ชันต่างๆ เหมือนกับเพจเจอร์ทั่วไป เช่น ปุ่มเลื่อนข้อความ การเรียกเดือนที่มีหลายเสียงในเครื่องเดียวกัน หรือนาฬิกาบอกเวลา เป็นต้น





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The seal of the National Library of Thailand is a circular emblem. It features a central five-tiered umbrella (parasol) with a sunburst above it. The sunburst has rays extending outwards. On either side of the central umbrella are two smaller, three-tiered umbrellas. The entire emblem is surrounded by a decorative border. The Thai text around the border reads "สำนักงานหอสมุดแห่งชาติ" at the top and "พระจอมเกล้าเจ้าคุณทหารลาดกระบัง" at the bottom.

โปรแกรมทดสอบการเขียนและอ่านจากตัวอักษรห้ส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

;*****TEST PCD*****
CALL SEND_DATA

ORG 0000H
MOV A,#00000001B
SETB P3.3 ;RESET HIGH
CLR C
CALL SEND_DATA
CALL D60SEC
CALL SEND_DATA
CLR P3.3 ;RESET LOW
S JMP ON
MOV A,#00000001B
CLR C
D60SEC: MOV R0,#0EH ;DELAY
CALL SEND_DATA
FOR 60 microSEC
CALL STOP
DRST: DJNZ R0,DRST
RET

;*****READ DATA*****
MOV A,#01001111B
CLR C
CALL START
CALL SEND_DATA
READ: MOV A,#00000000B
CLR C
MOV A,#00000000B
NOP
CLR C
MOV C,P3.1
CALL SEND_DATA
SETB P3.0 ;CLK
MOV A,#00011111B
NOP
CLR C
NOP
CALL SEND_DATA
CLR P3.0
CALL STOP
RLC A
NOP

;*****WRITE DATA*****
MOV C,P3.1
WRITE: MOV A,#01001110B
SETB P3.0 ;CLK
CLR C
NOP
CALL START
NOP

```



```
;P3.0 = SCL,P3.1=SDA
```

```
SEND_DATA:
```

```
RLC A
```

```
MOV P3.1,C ;MOV BIT7
```

```
CALL DEL1
```

```
SETB P3.0
```

```
NOP
```

```
NOP
```

```
CLR P3.0
```

```
CLR P3.1
```

```
RLC A
```

```
MOV P3.1,C ;MOV BIT6
```

```
CALL DEL1
```

```
SETB P3.0
```

```
NOP
```

```
NOP
```

```
CLR P3.0
```

```
CLR P3.1
```

```
RLC A
```

```
MOV P3.1,C ;MOV BIT5
```

```
CALL DEL1
```

```
SETB P3.0
```

```
NOP
```

```
NOP
```

```
CLR P3.0
```

```
CLR P3.1
```

```
RLC A
```

```
MOV P3.1,C ;MOV B4
```

```
CALL DEL1
```

```
SETB P3.0
```

```
NOP
```

```
NOP
```

```
CLR P3.0
```

```
CLR P3.1
```

```
RLC A
```

```
MOV P3.1,C ;MOV B3
```

```
CALL DEL1
```

```
SETB P3.0
```

```
NOP
```

```
NOP
```

```
CLR P3.0
```

```
CLR P3.1
```

```
RLC A
```

```
MOV P3.1,C ;MOV B2
```

```
CALL DEL1
```

```
SETB P3.0
```

```
NOP
```

```
NOP
```

```
CLR P3.0
```

```
CLR P3.1
```

```
RLC A
```

```
MOV P3.1,C ;MOV B1
```

```
CALL DEL1
```

```
SETB P3.0
```

```
NOP
```

```
NOP
```

```
CLR P3.0
```

```
CLR P3.1
```

```
RLC A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

MOV P3.1,C ;MOV B0          ;*****START*****
CALL DEL1                   START: SETB P3.1
SETB P3.0                   SETB P3.0
NOP                          CLR P3.1
NOP                          DELAY: MOV R0,#01H
CLR P3.0                     DELAY1: DJNZ R0,DELAY1
                              CLR P3.0
ACK: JNB P3.1,CLK          RET
SJMP ACK                    ;*****STOP*****

```

```

CLK: CALL DEL1              STOP: CLR P3.1
SETB P3.0                   SETB P3.0
NOP                          DELAY2: MOV R0,#01H
NOP                          DELAY3: DJNZ R0,DELAY3
CLR P3.0                    SETB P3.1
                              RET
CALL DEL                    END
CPL P1.7
RET

```

```

DEL: MOV R2,#00H
LOOP3: MOV R1,#02H
LOOP2: MOV R0,#00H
LOOP1: DJNZ R0,LOOP1
      DJNZ R1,LOOP2
      DJNZ R2,LOOP3
      RET

```

```

DEL1:
      RET
;

```



โปรแกรมแสดงผลทางหน้าจอ LCD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

ORG 0000H
MOV R1,#0F0H
_LP2: MOV R0,#00H
_LP3: DJNZ R0,LP3
      DJNZ R1,LP2

;##### GET CODE INTO RAM #####

MOV DPTR,#8000H
MOV A,#20H
CALL TRAN
MOV A,#20H
CALL TRAN
MOV A,#0FH
CALL TRAN
MOV A,#42H
CALL TRAN
MOV A,#54H
CALL TRAN
MOV A,#39H
CALL TRAN
MOV A,#34H
CALL TRAN
MOV A,#55H
CALL TRAN
MOV A,#35H
CALL TRAN
MOV A,#69H
CALL TRAN
MOV A,#4DH
CALL TRAN
MOV A,#39H
CALL TRAN
MOV A,#43H
CALL TRAN
MOV A,#51H
CALL TRAN
MOV A,#3aH
CALL TRAN
MOV A,#4AH
CALL TRAN
MOV A,#68H
CALL TRAN

MOV A,#59H
CALL TRAN
MOV A,#0FH
CALL TRAN
MOV A,#2EH
CALL TRAN
MOV A,#2EH
CALL TRAN
MOV A,#2EH
CALL TRAN
MOV A,#20H
CALL TRAN
MOV A,#20H
CALL TRAN
MOV A,#20H
CALL TRAN
MOV A,#22H
CALL TRAN
MOV A,#50H
CALL TRAN
MOV A,#4FH
CALL TRAN
MOV A,#43H
CALL TRAN
MOV A,#53H
CALL TRAN
MOV A,#41H
CALL TRAN
MOV A,#47H
CALL TRAN
MOV A,#20H
CALL TRAN
MOV A,#50H
CALL TRAN
MOV A,#41H
CALL TRAN
MOV A,#47H
CALL TRAN
MOV A,#45H
CALL TRAN
MOV A,#52H
CALL TRAN
MOV A,#22H

```

CALL TRAN	MOV A,#0FH
MOV A,#20H	CALL TRAN
CALL TRAN	MOV A,#3EH
MOV A,#0FH	CALL TRAN
CALL TRAN	MOV A,#43H
MOV A,#28H	CALL TRAN
CALL TRAN	MOV A,#37H
MOV A,#51H	CALL TRAN
CALL TRAN	MOV A,#54H
MOV A,#34H	CALL TRAN
CALL TRAN	MOV A,#3EH
MOV A,#37H	CALL TRAN
CALL TRAN	MOV A,#42H
MOV A,#53H	CALL TRAN
CALL TRAN	MOV A,#6CH
MOV A,#62H	CALL TRAN
CALL TRAN	MOV A,#0FH
MOV A,#34H	CALL TRAN
CALL TRAN	MOV A,#33H
MOV A,#42H	CALL TRAN
CALL TRAN	MOV A,#32H
MOV A,#20H	CALL TRAN
CALL TRAN	MOV A,#34H
MOV A,#3EH	CALL TRAN
CALL TRAN	MOV A,#0FH
MOV A,#39H	CALL TRAN
CALL TRAN	MOV A,#41H
MOV A,#54H	CALL TRAN
CALL TRAN	MOV A,#51H
MOV A,#34H	CALL TRAN
CALL TRAN	MOV A,#45H
MOV A,#52H	CALL TRAN
CALL TRAN	MOV A,#45H
MOV A,#20H	CALL TRAN
CALL TRAN	MOV A,#54H
MOV A,#0FH	CALL TRAN
CALL TRAN	MOV A,#21H
MOV A,#33H	CALL TRAN
CALL TRAN	MOV A,#52H
MOV A,#32H	CALL TRAN
CALL TRAN	MOV A,#0FH
MOV A,#30H	CALL TRAN
CALL TRAN	MOV A,#33H

```

CALL TRAN
MOV A,#39H
CALL TRAN
MOV A,#37H
CALL TRAN
MOV A,#00H
CALL TRAN
;-----
MOV DPTR,#9000H
MOV A,#0B7H
CALL INST
CALL LOOP
MOV A,#0AFH
CALL INST
MOV R0,#00H
MOV R1,#00H
SETB 38H
MOV DPTR,#7FFFH

MAIN:
INC DPTR
PUSH DPH
PUSH DPL
MOVX A,@DPTR
CJNE A,#0FH,CHECKFLAG
CPL 38H

CHECKFLAG:
JB 38H,ENG
JMP THAI

;##### ASCII FONT #####
ENG:
CJNE A,#0FH,DATA_STOP
JMP MAIN
DATA_STOP:
CJNE A,#00H,DATA_JAI
SJMP $
DATA_JAI:
CJNE A,#21H,DATA_WORD
JMP JAI

DATA_WORD:
CJNE A,#22H,DATA_SHARP
JMP WORD
DATA_SHARP:
CJNE A,#23H,DATA_DOLLA
JMP SHARP
DATA_DOLLA:
CJNE A,#24H,DATA_PERCENT
JMP DOLLA
DATA_PERCENT:
CJNE A,#25H,DATA_AND
JMP PERCENT
DATA_AND:
CJNE A,#26H,DATA_WR
JMP JAND
DATA_WR:
CJNE A,#27H,DATA_WONG_L
JMP WR0
DATA_WONG_L:
CJNE A,#28H,DATA_WONG_R
JMP WONG_L
DATA_WONG_R:
CJNE A,#29H,DATA_JAN
JMP WONG_R
DATA_JAN:
CJNE A,#2AH,DATA_PLUS
JMP JAN
DATA_PLUS:
CJNE A,#2BH,DATA_JUN
JMP PLUS
DATA_JUN:
CJNE A,#2CH,DATA_MIN
JMP JUD
DATA_MIN:
CJNE A,#2DH,DATA_JUD
JMP MIN
DATA_JUD:
CJNE A,#2EH,DATA_PER
JMP JUD

```

```

DATA_PER:
    CJNE A,#2FH,DATA0
    JMP PER
DATA0:
    CJNE A,#30H,DATA1
    JMP ZERO
DATA1:
    CJNE A,#31H,DATA2
    JMP ONE
DATA2:
    CJNE A,#32H,DATA3
    JMP TWO
DATA3:
    CJNE A,#33H,DATA4
    JMP THREE
DATA4:
    CJNE A,#34H,DATA5
    JMP FOUR
DATA5:
    CJNE A,#35H,DATA6
    JMP FIVE
DATA6:
    CJNE A,#36H,DATA7
    JMP SIX
DATA7:
    CJNE A,#37H,DATA8
    JMP SEVEN
DATA8:
    CJNE A,#38H,DATA9
    JMP EIGHT
DATA9:
    CJNE A,#39H,DATA_COL
    JMP NINE
DATA_COL:
    CJNE A,#3AH,DATA_SEMI
    JMP COL
DATA_SEMI:
    CJNE A,#3BH,DATA_NOI
    JMP SEMI
DATA_NOI:
    CJNE A,#3CH,DATA_EQU
    JMP NOI
DATA_EQU:
    CJNE A,#3DH,DATA_MAAK
    JMP EQU
DATA_MAAK:
    CJNE A,#3EH,DATA_ASK
    JMP MAAK
DATA_ASK:
    CJNE A,#3FH,DATA_AS
    JMP ASK
DATA_AS:
    CJNE A,#40H,DATA_A
    JMP NINE
DATA_A:
    CJNE A,#41H,DATA_B
    JMP AAA
DATA_B:
    CJNE A,#42H,DATA_C
    JMP BBB
DATA_C:
    CJNE A,#43H,DATA_D
    JMP CCC
DATA_D:
    CJNE A,#44H,DATA_E
    JMP D
DATA_E:
    CJNE A,#45H,DATA_F
    JMP E
DATA_F:
    CJNE A,#46H,DATA_G
    JMP F
DATA_G:
    CJNE A,#47H,DATA_H
    JMP G
DATA_H:
    CJNE A,#48H,DATA_I
    JMP H
DATA_I:

```

```

CJNE A,#49H,DATA_J
JMP I
DATA_J:
CJNE A,#4AH,DATA_K
JMP J
DATA_K:
CJNE A,#4BH,DATA_L
JMP K
DATA_L:
CJNE A,#4CH,DATA_M
JMP L
DATA_M:
CJNE A,#4DH,DATA_N
JMP M
DATA_N:
CJNE A,#4EH,DATA_O
JMP N
DATA_O:
CJNE A,#4FH,DATA_P
JMP O
DATA_P:
CJNE A,#50H,DATA_Q
JMP PPP
DATA_Q:
CJNE A,#51H,DATA_R
JMP Q
DATA_R:
CJNE A,#52H,DATA_S
JMP R
DATA_S:
CJNE A,#53H,DATA_T
JMP S
DATA_T:
CJNE A,#54H,DATA_U
JMP T
DATA_U:
CJNE A,#55H,DATA_V
JMP U
DATA_V:
CJNE A,#56H,DATA_W
JMP V
CJNE A,#57H,DATA_X
JMP W
DATA_X:
CJNE A,#58H,DATA_Y
JMP X
DATA_Y:
CJNE A,#59H,DATA_Z
JMP Y
DATA_Z:
CJNE A,#5AH,DATA_WG_L
JMP Z
DATA_WG_L:
CJNE A,#5BH,DATA_BK_SL
JMP WG_L
DATA_BK_SL:
CJNE A,#5CH,DATA_WG_R
JMP BK_SL
DATA_WG_R:
CJNE A,#5DH,DATA_HAT
JMP WG_R
DATA_HAT:
CJNE A,#5EH,DATA_KHEED
JMP HAT
DATA_KHEED:
CJNE A,#5FH,DATA_WRR
JMP KHEED
DATA_WRR:
CJNE A,#60H,DATA_aa
JMP WRR
DATA_aa:
CJNE A,#61H,DATA_bb
JMP aa
DATA_bb:
CJNE A,#62H,DATA_cc
JMP bb
DATA_cc:
CJNE A,#63H,DATA_dd
JMP cc
DATA_dd:
CJNE A,#64H,DATA_cc
JMP dd

```

```

CJNE A,#65H,DATA_ff          CJNE A,#73H,DATA_tt
JMP  ec                      JMP  ss
DATA_ff:                    DATA_tt:
CJNE A,#66H,DATA_gg          CJNE A,#74H,DATA_uu
JMP  ff                      JMP  tt
DATA_gg:                    DATA_uu:
CJNE A,#67H,DATA_hh          CJNE A,#75H,DATA_vv
JMP  gg                      JMP  uu
DATA_hh:                    DATA_vv:
CJNE A,#68H,DATA_ii          CJNE A,#76H,DATA_ww
JMP  hh                      JMP  vv
DATA_ii:                    DATA_ww:
CJNE A,#69H,DATA_jj          CJNE A,#77H,DATA_xx
JMP  ii                      JMP  ww
DATA_jj:                    DATA_xx:
CJNE A,#6AH,DATA_kk          CJNE A,#78H,DATA_yy
JMP  jj                      JMP  yy
DATA_kk:                    DATA_yy:
CJNE A,#6BH,DATA_ll          CJNE A,#79H,DATA_zz
JMP  kk                      JMP  zz
DATA_ll:                    DATA_zz:
CJNE A,#6CH,DATA_mm          CJNE A,#7AH,DT_PEEK_L
JMP  ll                      JMP  zz
DATA_mm:                    DT_PEEK_L:
CJNE A,#6DH,DATA_nn          CJNE A,#7BH,DT_PEEK_R
JMP  mm                      JMP  PEEK_L
DATA_nn:                    DT_PEEK_R:
CJNE A,#6EH,DATA_oo          CJNE A,#7DH,DT_BLANK
JMP  nn                      JMP  PEEK_R
DATA_oo:                    DT_BLANK:
CJNE A,#6FH,DATA_pp          JMP  BLANK
JMP  oo
;##### THAI FONT #####
DATA_pp:                    THAI:
CJNE A,#70H,DATA_qq          CJNE A,#0FH,CODE_STOP
JMP  qq                      JMP  MAIN
DATA_qq:                    CODE_STOP:
CJNE A,#71H,DATA_rr          CJNE A,#00H,CODE_CHIC
JMP  qq                      SJMP $
DATA_rr:                    CODE_CHIC:
CJNE A,#72H,DATA_ss          CJNE A,#21H,CODE_EGG
JMP  rr                      JMP  CHIC
DATA_ss:

```

```

CJNE A,#44H,CODE_LING
JMP RU
CODE_LING:
CJNE A,#45H,CODE_LU
JMP LING
CODE_LU:
CJNE A,#46H,CODE_RING
JMP LU
CODE_RING:
CJNE A,#47H,CODE_SALA
JMP RING
CODE_SALA:
CJNE A,#48H,CODE_RUSEE
JMP SALA
CODE_RUSEE:
CJNE A,#49H,CODE_TIGER
JMP RUSEE
CODE_TIGER:
CJNE A,#4AH,CODE_HEEP
JMP TIGER
CODE_HEEP:
CJNE A,#4BH,CODE_JULA
JMP HEEP
CODE_JULA:
CJNE A,#4CH,CODE_ANG
JMP JULA
CODE_ANG:
CJNE A,#4DH,CODE_OWL
JMP ANG
CODE_OWL:
CJNE A,#4EH,CD_YANNOI
JMP OWL
CD_YANNOI:
CJNE A,#4FH,CD_SRA_AA
JMP YANNOI
CD_SRA_AA:
CJNE A,#50H,CD_AR_KAD
JMP -SRA_AA
CD_AR_KAD:
CJNE A,#51H,CD_SRA_AR
JMP AR_KAD
CD_SRA_AR:
CJNE A,#52H,CD_SRA_UM
JMP SRA_AR
CD_SRA_UM:
CJNE A,#53H,CD_SRA_I
JMP SRA_UM
CD_SRA_I:
CJNE A,#54H,CD_SRA_E
JMP SRA_I
CD_SRA_E:
CJNE A,#55H,CD_SRA_AOE
JMP SRA_E
CD_SRA_AOE:
CJNE A,#56H,CD_SRA_E2
JMP SRA_AOE
CD_SRA_E2:
CJNE A,#57H,CD_SRA_AU
JMP SRA_E2
CD_SRA_AU:
CJNE A,#58H,CD_SRA_UU
JMP SRA_AU
CD_SRA_UU:
CJNE A,#59H,CD_SRA_A
JMP SRA_UU
CD_SRA_A:
CJNE A,#60H,CD_SRA_AIR
JMP SRA_A
CD_SRA_AIR:
CJNE A,#61H,CD_SRA_O
JMP SRA_AIR
CD_SRA_O:
CJNE A,#62H,CD_MAI_MOON
JMP SRA_O
CD_MAI_MOON:
CJNE A,#63H,CD_MALAI
JMP MAI_MOON
CD_MALAI:
CJNE A,#64H,CD_YAMOG
JMP MALAI
CD_YAMOG:

```

```

CODE_EGG:                                CJNE A,#36H,CODE_SOLD
                                           JMP BAG
                                           CODE_SOLD:
                                           CJNE A,#37H,CODE_FLAG
                                           JMP SOLD
CODE_BUF:                                CODE_FLAG:
                                           CJNE A,#38H,CODE_RAT
                                           JMP FLAG
CODE_BELL:                                CODE_RAT:
                                           CJNE A,#39H,CODE_LEAF
                                           JMP RAT
CODE_SNAKE:                              CODE_LEAF:
                                           CJNE A,#3AH,CODE_FISH
                                           JMP LEAF
CODE_DISH:                                CODE_FISH:
                                           CJNE A,#3BH,CODE_BEE
                                           JMP FISH
CODE_CHING:                              CODE_BEE:
                                           CJNE A,#3CH,CODE_LID
                                           JMP BEE
CODE_ELE:                                CODE_LID:
                                           CJNE A,#3DH,CODE_PAN
                                           JMP LID
CODE_SO:                                  CODE_PAN:
                                           CJNE A,#3EH,CODE_TOOTH
                                           JMP PAN
CODE_CHADA:                              CODE_TOOTH:
                                           CJNE A,#3FH,CODE_PHAO
                                           JMP TOOTH
                                           CODE_PHAO:
                                           CJNE A,#40H,CODE_MA
                                           JMP PHAO
                                           CODE_MA:
                                           CJNE A,#41H,CODE_YAK
                                           JMP MA
                                           CODE_YAK:
                                           CJNE A,#42H,CODE_BOAT
                                           JMP YAK
                                           CODE_BOAT:
                                           CJNE A,#43H,CODE_RU
                                           JMP BOAT
CODE_TAN:                                CODE_RU:
                                           CJNE A,#44H,CODE_SOLD
                                           JMP SOLD
CODE_CHILD:                              CODE_SOLD:
                                           CJNE A,#45H,CODE_FLAG
                                           JMP FLAG
CODE_CHILD:                              CODE_FLAG:
                                           CJNE A,#46H,CODE_RAT
                                           JMP RAT
CODE_TOR:                                CODE_RAT:
                                           CJNE A,#47H,CODE_LEAF
                                           JMP LEAF
CODE_TOR:                                CODE_LEAF:
                                           CJNE A,#48H,CODE_FISH
                                           JMP FISH
CODE_BAG:                                CODE_FISH:
                                           CJNE A,#49H,CODE_BEE
                                           JMP BEE
                                           CODE_BEE:
                                           CJNE A,#4AH,CODE_LID
                                           JMP LID
                                           CODE_LID:
                                           CJNE A,#4BH,CODE_PAN
                                           JMP PAN
                                           CODE_PAN:
                                           CJNE A,#4CH,CODE_TOOTH
                                           JMP TOOTH
                                           CODE_TOOTH:
                                           CJNE A,#4DH,CODE_PHAO
                                           JMP PHAO
                                           CODE_PHAO:
                                           CJNE A,#4EH,CODE_MA
                                           JMP MA
                                           CODE_MA:
                                           CJNE A,#4FH,CODE_YAK
                                           JMP YAK
                                           CODE_YAK:
                                           CJNE A,#50H,CODE_BOAT
                                           JMP BOAT
                                           CODE_BOAT:
                                           CJNE A,#51H,CODE_RU
                                           JMP RU

```

```

CJNE A,#44H,CODE_LING
JMP RU
CODE_LING:
CJNE A,#45H,CODE_LU
JMP LING
CODE_LU:
CJNE A,#46H,CODE_RING
JMP LU
CODE_RING:
CJNE A,#47H,CODE_SALA
JMP RING
CODE_SALA:
CJNE A,#48H,CODE_RUSEE
JMP SALA
CODE_RUSEE:
CJNE A,#49H,CODE_TIGER
JMP RUSEE
CODE_TIGER:
CJNE A,#4AH,CODE_HEEP
JMP TIGER
CODE_HEEP:
CJNE A,#4BH,CODE_JULA
JMP HEEP
CODE_JULA:
CJNE A,#4CH,CODE_ANG
JMP JULA
CODE_ANG:
CJNE A,#4DH,CODE_OWL
JMP ANG
CODE_OWL:
CJNE A,#4EH,CD_YANNOI
JMP OWL
CD_YANNOI:
CJNE A,#4FH,CD_SRA_AA
JMP YANNOI
CD_SRA_AA:
CJNE A,#50H,CD_AR_KAD
JMP SRA_AA
CD_AR_KAD:
CJNE A,#51H,CD_SRA_AR
JMP AR_KAD
CD_SRA_AR:
CJNE A,#52H,CD_SRA_UM
JMP SRA_AR
CD_SRA_UM:
CJNE A,#53H,CD_SRA_I
JMP SRA_UM
CD_SRA_I:
CJNE A,#54H,CD_SRA_E
JMP SRA_I
CD_SRA_E:
CJNE A,#55H,CD_SRA_AOE
JMP SRA_E
CD_SRA_AOE:
CJNE A,#56H,CD_SRA_E2
JMP SRA_AOE
CD_SRA_E2:
CJNE A,#57H,CD_SRA_AU
JMP SRA_E2
CD_SRA_AU:
CJNE A,#58H,CD_SRA_UU
JMP SRA_AU
CD_SRA_UU:
CJNE A,#59H,CD_SRA_A
JMP SRA_UU
CD_SRA_A:
CJNE A,#60H,CD_SRA_AIR
JMP SRA_A
CD_SRA_AIR:
CJNE A,#61H,CD_SRA_O
JMP SRA_AIR
CD_SRA_O:
CJNE A,#62H,CD_MAI_MOON
JMP SRA_O
CD_MAI_MOON:
CJNE A,#63H,CD_MALAI
JMP MAI_MOON
CD_MALAI:
CJNE A,#64H,CD_YAMOG
JMP MALAI
CD_YAMOG:

```

```

CJNE A,#66H,CD_TAI_KHU          MOV    R5,#00H
JMP  YAMOG                      MOV    R6,#00H
CD_TAI_KHU:                     CALL   CHAR
CJNE A,#67H,CD_MAI_AKE         ONEI:  MOV    R2,#00H
JMP  TAI_KHU                   MOV    R3,#04H
CD_MAI_AKE:                    MOV    R4,#07H
CJNE A,#68H,CD_MAI_TOO        MOV    R5,#04H
JMP  MAI_AKE                   MOV    R6,#00H
CD_MAI_TOO:                   LJMP   CH
CJNE A,#69H,CD_JATAWA
JMP  MAI_TOO                   TWO:   MOV    R2,#20H
CD_JATAWA:                    MOV    R3,#10H
CJNE A,#6BH,CD_GARAN          MOV    R4,#10H
JMP  JATAWA                   MOV    R5,#90H
CD_GARAN:                    MOV    R6,#60H
CJNE A,#6CH,CD_BLANK          CALL   CHAR
JMP  GARAN                    TWOI:  MOV    R2,#04H
CD_BLANK:                    MOV    R3,#06H
JMP  SPACE                    MOV    R4,#05H
;-----                      MOV    R5,#04H
TRAN: MOVX  @DPTR,A            MOV    R6,#04H
      INC   DPTR              LJMP   CH
      RET
;-----
;##### CHARACTER TABLE #####
;-----
ZERO:  MOV    R2,#0E0H
      MOV    R3,#10H
      MOV    R4,#90H
      MOV    R5,#50H
      MOV    R6,#0E0H
      CALL   CHAR
      THREE: MOV    R2,#10H
      MOV    R3,#10H
      MOV    R4,#50H
      MOV    R5,#0B0H
      MOV    R6,#10H
      CALL   CHAR
      THREEI: MOV    R2,#02H
      MOV    R3,#04H
      MOV    R4,#04H
      MOV    R5,#04H
      MOV    R6,#03H
      LJMP   CH
ZEROI: MOV    R2,#03H
      MOV    R3,#05H
      MOV    R4,#04H
      MOV    R5,#04H
      MOV    R6,#03H
      LJMP   CH
      FOUR:  MOV    R2,#80H
      MOV    R3,#40H
      MOV    R4,#20H
      MOV    R5,#0F0H
ONE:   MOV    R2,#00H
      MOV    R3,#20H
      MOV    R4,#0F0H
      CALL   CHAR

```

```

FOUR1: MOV R2,#01H          MOV R4,#00H
        MOV R3,#01H          MOV R5,#00H
        MOV R4,#01H          MOV R6,#00H
        MOV R5,#07H          Ljmp CH
        MOV R6,#01H
        Ljmp CH

EIGHT: MOV R2,#60H
        MOV R3,#90H
        MOV R4,#90H
        MOV R5,#90H
        MOV R6,#60H
        CALL CHAR

FIVE: MOV R2,#70H
        MOV R3,#50H
        MOV R4,#50H
        MOV R5,#50H
        MOV R6,#90H
        CALL CHAR

EIGHT1: MOV R2,#03H
        MOV R3,#04H
        MOV R4,#04H
        MOV R5,#04H
        MOV R6,#03H
        Ljmp CH

FIVE1: MOV R2,#02H
        MOV R3,#04H
        MOV R4,#04H
        MOV R5,#04H
        MOV R6,#03H
        Ljmp CH

NINE: MOV R2,#60H
        MOV R3,#90H
        MOV R4,#90H
        MOV R5,#90H
        MOV R6,#0E0H
        CALL CHAR

SIX: MOV R2,#0C0H
        MOV R3,#0A0H
        MOV R4,#90H
        MOV R5,#90H
        MOV R6,#00H
        CALL CHAR

NINE1: MOV R2,#00H
        MOV R3,#04H
        MOV R4,#04H
        MOV R5,#02H
        MOV R6,#01H
        Ljmp CH

SIX1: MOV R2,#03H
        MOV R3,#04H
        MOV R4,#04H
        MOV R5,#04H
        MOV R6,#03H
        JMP CH

AAA: MOV R2,#0E0H
        MOV R3,#90H
        MOV R4,#90H
        MOV R5,#90H
        MOV R6,#0E0H
        CALL CHAR

SEVEN: MOV R2,#30H
        MOV R3,#10H
        MOV R4,#90H
        MOV R5,#50H
        MOV R6,#30H
        CALL CHAR

AAA1: MOV R2,#07H
        MOV R3,#00H
        MOV R4,#00H

SEVEN1: MOV R2,#00H
        MOV R3,#07H
        MOV R4,#00H

```

```

MOV R5,#00H
MOV R6,#07H
LJMP CH
BBB: MOV R2,#0F0H
      MOV R3,#90H
      MOV R4,#90H
      MOV R5,#90H
      MOV R6,#60H
      CALL CHAR
BBB1: MOV R2,#07H
      MOV R3,#04H
      MOV R4,#04H
      MOV R5,#04H
      MOV R6,#03H
      LJMP CH
CCC: MOV R2,#0E0H
      MOV R3,#10H
      MOV R4,#10H
      MOV R5,#10H
      MOV R6,#20H
      CALL CHAR
CCC1: MOV R2,#03H
      MOV R3,#04H
      MOV R4,#04H
      MOV R5,#04H
      MOV R6,#02H
      LJMP CH
D: MOV R2,#0F0H
   MOV R3,#10H
   MOV R4,#10H
   MOV R5,#10H
   MOV R6,#0E0H
   CALL CHAR
DDD1: MOV R2,#07H
      MOV R3,#04H
      MOV R4,#04H
      MOV R5,#04H
      MOV R6,#03H
      LJMP CH
E: MOV R2,#0F0H
   MOV R3,#90H
   MOV R4,#90H
   MOV R5,#90H
   MOV R6,#10H
   CALL CHAR
EI: MOV R2,#07H
    MOV R3,#04H
    MOV R4,#04H
    MOV R5,#04H
    MOV R6,#04H
    LJMP CH
F: MOV R2,#0F0H
   MOV R3,#90H
   MOV R4,#90H
   MOV R5,#90H
   MOV R6,#10H
   CALL CHAR
F1: MOV R2,#07H
    MOV R3,#00H
    MOV R4,#00H
    MOV R5,#00H
    MOV R6,#00H
    LJMP CH
G: MOV R2,#0E0H
   MOV R3,#10H
   MOV R4,#90H
   MOV R5,#90H
   MOV R6,#0A0H
   CALL CHAR
G1: MOV R2,#03H
    MOV R3,#04H
    MOV R4,#04H
    MOV R5,#04H
    MOV R6,#07H
    LJMP CH
H: MOV R2,#0F0H

```

	MOV	R3,#80H		MOV	R6,#10H
	MOV	R4,#80H		CALL	CHAR
	MOV	R5,#80H			
	MOV	R6,#0F0H			
	CALL	CHAR	K1:	MOV	R2,#07H
H1:	MOV	R2,#07H		MOV	R3,#00H
	MOV	R3,#00H		MOV	R4,#00H
	MOV	R4,#00H		MOV	R5,#01H
	MOV	R5,#00H		MOV	R6,#06H
	MOV	R6,#07H		LJMP	CH
	LJMP	CH			
			L:	MOV	R2,#0F0H
				MOV	R3,#00H
I:	MOV	R2,#00H		MOV	R4,#00H
	MOV	R3,#10H		MOV	R5,#00H
	MOV	R4,#0F0H		MOV	R6,#00H
	MOV	R5,#10H		CALL	CHAR
	MOV	R6,#00H	L1:	MOV	R2,#07H
	CALL	CHAR		MOV	R3,#04H
II:	MOV	R2,#00H		MOV	R4,#04H
	MOV	R3,#04H		MOV	R5,#04H
	MOV	R4,#07H		MOV	R6,#04H
	MOV	R5,#04H		LJMP	CH
	MOV	R6,#00H			
	LJMP	CH	M:	MOV	R2,#0F0H
				MOV	R3,#30H
J:	MOV	R2,#00H		MOV	R4,#0C0H
	MOV	R3,#00H		MOV	R5,#30H
	MOV	R4,#10H		MOV	R6,#0F0H
	MOV	R5,#0F0H		CALL	CHAR
	MOV	R6,#10H	M1:	MOV	R2,#07H
	CALL	CHAR		MOV	R3,#00H
J1:	MOV	R2,#00H		MOV	R4,#00H
	MOV	R3,#02H		MOV	R5,#00H
	MOV	R4,#04H		MOV	R6,#07H
	MOV	R5,#04H		LJMP	CH
	MOV	R6,#03H			
	LJMP	CH	N:	MOV	R2,#0F0H
				MOV	R3,#40H
K:	MOV	R2,#0F0H		MOV	R4,#80H
	MOV	R3,#80H		MOV	R5,#00H
	MOV	R4,#0C0H		MOV	R6,#0F0H
	MOV	R5,#20H			

	CALL	CHAR	MOV	R3,#04H	
N1:	MOV	R2,#07H	MOV	R4,#05H	
	MOV	R3,#00H	MOV	R5,#02H	
	MOV	R4,#00H	MOV	R6,#05H	
	MOV	R5,#01H	LJMP	CH	
	MOV	R6,#07H			
	LJMP	CH	R:	MOV	R2,#0F0H
				MOV	R3,#90H
O:	MOV	R2,#0E0H		MOV	R4,#90H
	MOV	R3,#10H		MOV	R5,#90H
	MOV	R4,#10H		MOV	R6,#60H
	MOV	R5,#10H		CALL	CHAR
	MOV	R6,#0E0H	RRR1:	MOV	R2,#07H
	CALL	CHAR		MOV	R3,#00H
O1:	MOV	R2,#03H		MOV	R4,#01H
	MOV	R3,#04H		MOV	R5,#02H
	MOV	R4,#04H		MOV	R6,#04H
	MOV	R5,#04H		LJMP	CH
	MOV	R6,#03H			
	LJMP	CH	S:	MOV	R2,#60H
PPP:	MOV	R2,#0F0H		MOV	R3,#90H
	MOV	R3,#90H		MOV	R4,#90H
	MOV	R4,#90H		MOV	R5,#90H
	MOV	R5,#90H		MOV	R6,#20H
	MOV	R6,#60H		CALL	CHAR
	CALL	CHAR	SI:	MOV	R2,#02H
				MOV	R3,#04H
				MOV	R4,#04H
				MOV	R5,#04H
PPP1:	MOV	R2,#07H		MOV	R6,#03H
	MOV	R3,#00H		LJMP	CH
	MOV	R4,#00H			
	MOV	R5,#00H			
	MOV	R6,#00H	T:	MOV	R2,#10H
	LJMP	CH		MOV	R3,#10H
				MOV	R4,#0F0H
				MOV	R5,#10H
Q:	MOV	R2,#0E0H		MOV	R6,#10H
	MOV	R3,#10H		CALL	CHAR
	MOV	R4,#10H			
	MOV	R5,#10H	TTT1:	MOV	R2,#00H
	MOV	R6,#0E0H		MOV	R3,#00H
	CALL	CHAR		MOV	R4,#07H
	MOV	R2,#03H		MOV	R5,#00H

```

MOV    R6,#00H
LJMP   CH

U:     MOV    R2,#0F0H
        MOV    R3,#00H
        MOV    R4,#00H
        MOV    R5,#00H
        MOV    R6,#0F0H
        CALL   CHAR

U1:    MOV    R2,#03H
        MOV    R3,#04H
        MOV    R4,#04H
        MOV    R5,#04H
        MOV    R6,#03H
        LJMP   CH

V:     MOV    R2,#0F0H
        MOV    R3,#00H
        MOV    R4,#00H
        MOV    R5,#00H
        MOV    R6,#0F0H
        CALL   CHAR

V1:    MOV    R2,#01H
        MOV    R3,#02H
        MOV    R4,#04H
        MOV    R5,#02H
        MOV    R6,#01H
        LJMP   CH

W:     MOV    R2,#0F0H
        MOV    R3,#00H
        MOV    R4,#80H
        MOV    R5,#00H
        MOV    R6,#0F0H
        CALL   CHAR

W1:    MOV    R2,#03H
        MOV    R3,#04H
        MOV    R4,#03H
        MOV    R5,#04H
        MOV    R6,#03H
        LJMP   CH

X:     MOV    R2,#30H
        MOV    R3,#40H
        MOV    R4,#80H
        MOV    R5,#40H
        MOV    R6,#30H
        CALL   CHAR

X1:    MOV    R2,#06H
        MOV    R3,#01H
        MOV    R4,#00H
        MOV    R5,#01H
        MOV    R6,#06H
        LJMP   CH

Y:     MOV    R2,#70H
        MOV    R3,#80H
        MOV    R4,#00H
        MOV    R5,#80H
        MOV    R6,#70H
        CALL   CHAR

Y1:    MOV    R2,#00H
        MOV    R3,#00H
        MOV    R4,#07H
        MOV    R5,#00H
        MOV    R6,#00H
        LJMP   CH

Z:     MOV    R2,#10H
        MOV    R3,#10H
        MOV    R4,#90H
        MOV    R5,#50H
        MOV    R6,#30H
        CALL   CHAR

Z1:    MOV    R2,#06H
        MOV    R3,#05H
        MOV    R4,#04H
        MOV    R5,#04H
        MOV    R6,#04H
        LJMP   CH

```

```

aa:  MOV    R2,#00H                MOV    R5,#80H
      MOV    R3,#40H                MOV    R6,#0F0H
      MOV    R4,#40H                CALL   CHAR
      MOV    R5,#40H                dd1:  MOV    R2,#03H
      MOV    R6,#80H                MOV    R3,#04H
      CALL   CHAR                    MOV    R4,#04H
aal:  MOV    R2,#02H                MOV    R5,#04H
      MOV    R3,#05H                MOV    R6,#07H
      MOV    R4,#05H                JMP    CH
      MOV    R5,#05H
      MOV    R6,#07H                ee:   MOV    R2,#80H
      JMP    CH                    MOV    R3,#40H
                                      MOV    R4,#40H
                                      MOV    R5,#40H
                                      MOV    R6,#80H
                                      CALL   CHAR
bb:   MOV    R2,#0F0H                ee1:  MOV    R2,#03H
      MOV    R3,#80H                MOV    R3,#05H
      MOV    R4,#40H                MOV    R4,#05H
      MOV    R5,#40H                MOV    R5,#05H
      MOV    R6,#80H                MOV    R6,#05H
      CALL   CHAR                    JMP    CH
bb1:  MOV    R2,#07H                ff:   MOV    R2,#80H
      MOV    R3,#04H                MOV    R3,#0E0H
      MOV    R4,#04H                MOV    R4,#90H
      MOV    R5,#04H                MOV    R5,#10H
      MOV    R6,#03H                MOV    R6,#20H
      JMP    CH                    CALL   CHAR
cc:   MOV    R2,#80H                ff1:  MOV    R2,#00H
      MOV    R3,#40H                MOV    R3,#07H
      MOV    R4,#40H                MOV    R4,#00H
      MOV    R5,#40H                MOV    R5,#00H
      MOV    R6,#80H                MOV    R6,#00H
      CALL   CHAR                    JMP    CH
cc1:  MOV    R2,#03H
      MOV    R3,#04H
      MOV    R4,#04H
      MOV    R5,#04H
      MOV    R6,#02H
      JMP    CH
dd:   MOV    R2,#80H
      MOV    R3,#40H
      MOV    R4,#40H
      MOV    R5,#00H
      MOV    R6,#00H
gg:   MOV    R2,#00H
      MOV    R3,#00H
      MOV    R4,#00H
      MOV    R5,#00H
      MOV    R6,#00H

```

	CALL	CHAR	jj1:	MOV	R2,#00H
gg1:	MOV	R2,#06H		MOV	R3,#02H
	MOV	R3,#29H		MOV	R4,#04H
	MOV	R4,#29H		MOV	R5,#04H
	MOV	R5,#29H		MOV	R6,#03H
	MOV	R6,#1EH		JMP	CH
	JMP	CH	kk:	MOV	R2,#0F0H
				MOV	R3,#00H
hh:	MOV	R2,#0F0H		MOV	R4,#80H
	MOV	R3,#80H		MOV	R5,#40H
	MOV	R4,#40H		MOV	R6,#00H
	MOV	R5,#40H		CALL	CHAR
	MOV	R6,#80H	kk1:	MOV	R2,#07H
	CALL	CHAR		MOV	R3,#01H
hh1:	MOV	R2,#07H		MOV	R4,#02H
	MOV	R3,#00H		MOV	R5,#04H
	MOV	R4,#00H		MOV	R6,#00H
	MOV	R5,#00H		JMP	CH
	MOV	R6,#07H	ii:	MOV	R2,#00H
	JMP	CH		MOV	R3,#10H
ii:	MOV	R2,#00H		MOV	R4,#0F0H
	MOV	R3,#40H		MOV	R5,#00H
	MOV	R4,#0D0H		MOV	R6,#00H
	MOV	R5,#00H		CALL	CHAR
	MOV	R6,#00H	iii:	MOV	R2,#00H
	CALL	CHAR		MOV	R3,#04H
iii:	MOV	R2,#00H		MOV	R4,#07H
	MOV	R3,#04H		MOV	R5,#04H
	MOV	R4,#07H		MOV	R6,#00H
	MOV	R5,#04H		JMP	CH
	MOV	R6,#00H	mm:	MOV	R2,#0C0H
	JMP	CH		MOV	R3,#40H
jj:	MOV	R2,#00H		MOV	R4,#80H
	MOV	R3,#00H		MOV	R5,#40H
	MOV	R4,#00H		MOV	R6,#80H
	MOV	R5,#40H		CALL	CHAR
	MOV	R6,#0D0H	nml:	MOV	R2,#07H
	CALL	CHAR		MOV	R3,#00H
				MOV	R4,#01H

	MOV	R5,#00H		JMP	CH
	MOV	R6,#07H			
	JMP	CH	qq:	MOV	R2,#00H
				MOV	R3,#00H
nn:	MOV	R2,#0C0H		MOV	R4,#00H
	MOV	R3,#80H		MOV	R5,#00H
	MOV	R4,#40H		MOV	R6,#00H
	MOV	R5,#40H		CALL	CHAR
	MOV	R6,#80H	qq1:	MOV	R2,#02H
	CALL	CHAR		MOV	R3,#05H
nn1:	MOV	R2,#07H		MOV	R4,#05H
	MOV	R3,#00H		MOV	R5,#05H
	MOV	R4,#00H		MOV	R6,#1EH
	MOV	R5,#00H		JMP	CH
	MOV	R6,#07H			
	JMP	CH	rr:	MOV	R2,#0C0H
oo:	MOV	R2,#80H		MOV	R3,#80H
	MOV	R3,#40H		MOV	R4,#40H
	MOV	R4,#40H		MOV	R5,#40H
	MOV	R5,#40H		MOV	R6,#80H
	MOV	R6,#80H		CALL	CHAR
	CALL	CHAR	rr1:	MOV	R2,#07H
				MOV	R3,#00H
				MOV	R4,#00H
ool:	MOV	R2,#03H		MOV	R5,#00H
	MOV	R3,#04H		MOV	R6,#00H
	MOV	R4,#04H		JMP	CH
	MOV	R5,#04H			
	MOV	R6,#03H	ss:	MOV	R2,#80H
	JMP	CH		MOV	R3,#40H
				MOV	R4,#40H
pp:	MOV	R2,#00H		MOV	R5,#40H
	MOV	R3,#00H		MOV	R6,#00H
	MOV	R4,#00H		CALL	CHAR
	MOV	R5,#00H	ssl:	MOV	R2,#04H
	MOV	R6,#00H		MOV	R3,#05H
	CALL	CHAR		MOV	R4,#05H
pp1:	MOV	R2,#1FH		MOV	R5,#05H
	MOV	R3,#05H		MOV	R6,#02H
	MOV	R4,#05H		JMP	CH
	MOV	R5,#05H			
	MOV	R6,#02H	tt:	MOV	R2,#00H

```

MOV R3,#40H
MOV R4,#0F0H
MOV R5,#40H
MOV R6,#00H
CALL CHAR

tt1: MOV R2,#00H
      MOV R3,#00H
      MOV R4,#03H
      MOV R5,#04H
      MOV R6,#02H
      JMP CH

uu:  MOV R2,#0C0H
      MOV R3,#00H
      MOV R4,#00H
      MOV R5,#00H
      MOV R6,#0C0H
      CALL CHAR

uu1: MOV R2,#03H
      MOV R3,#04H
      MOV R4,#04H
      MOV R5,#04H
      MOV R6,#03H
      JMP CH

vv:  MOV R2,#0C0H
      MOV R3,#00H
      MOV R4,#00H
      MOV R5,#00H
      MOV R6,#0C0H
      CALL CHAR

vv1: MOV R2,#01H
      MOV R3,#02H
      MOV R4,#04H
      MOV R5,#02H
      MOV R6,#01H
      LJMP CH

      MOV R4,#00H
      MOV R5,#00H
      MOV R6,#00H
      CALL CHAR

      MOV R2,#03H
      MOV R3,#14H
      MOV R4,#14H
      MOV R5,#14H
      MOV R6,#0FH
      LJMP CH

      MOV R2,#40H
      MOV R3,#40H
      MOV R4,#40H
      MOV R5,#0C0H
      MOV R2,#40H
      MOV R3,#80H
      MOV R4,#00H
      MOV R5,#80H
      MOV R6,#40H
      CALL CHAR
xx1: MOV R2,#04H
      MOV R3,#02H
      MOV R4,#01H
      MOV R5,#02H
      MOV R6,#04H
      LJMP CH

yy:  MOV R2,#00H
      MOV R3,#00H
      MOV R4,#00H
      MOV R5,#00H
      MOV R6,#00H
      CALL CHAR

yy1: MOV R2,#03H
      MOV R3,#14H
      MOV R4,#14H
      MOV R5,#14H
      MOV R6,#0FH
      LJMP CH

zz:  MOV R2,#40H
      MOV R3,#40H
      MOV R4,#40H
      MOV R5,#0C0H

```

```

MOV R6,#40H MOV R3,#04H
CALL CHAR MOV R4,#05H
zz1: MOV R2,#04H MOV R5,#02H
MOV R3,#06H MOV R6,#05H
MOV R4,#05H LJMP CH
MOV R5,#04H
MOV R6,#04H PEEK_L: MOV R2,#00H
LJMP CH MOV R3,#80H
MOV R4,#60H
MOV R2,#00H MOV R5,#10H
MOV R3,#00H MOV R6,#00H
MOV R4,#0F0H CALL CHAR
MOV R5,#00H
MOV R6,#00H PEEK_L1: MOV R2,#00H
CALL CHAR MOV R3,#00H
JAI1: MOV R2,#00H MOV R4,#03H
MOV R3,#00H MOV R5,#04H
MOV R4,#05H MOV R6,#00H
MOV R5,#00H LJMP CH
MOV R6,#00H
LJMP CH PEEK_R: MOV R2,#00H
MOV R3,#10H
MOV R4,#60H
MOV R5,#80H
MOV R6,#00H
CALL CHAR
MOV R2,#00H
MOV R3,#04H
MOV R4,#03H
MOV R5,#00H
MOV R6,#00H
LJMP CH
JUN: MOV R2,#00H
MOV R3,#00H
MOV R4,#00H
MOV R5,#00H
MOV R6,#00H
CALL CHAR
PEEK_R1: MOV R2,#00H
MOV R3,#04H
MOV R4,#03H
MOV R5,#00H
MOV R6,#00H
LJMP CH
JUN1: MOV R2,#00H
MOV R3,#00H
MOV R4,#14H
MOV R5,#0CH
MOV R6,#00H
LJMP CH
JAN: MOV R2,#0A0H
MOV R3,#0C0H
MOV R4,#0F0H
MOV R5,#0C0H
MOV R6,#0A0H
CALL CHAR
JAND: MOV R2,#60H
MOV R3,#90H
MOV R4,#50H
MOV R5,#20H
MOV R6,#00H
CALL CHAR
JANI: MOV R2,#02H
MOV R3,#01H

```

```

MOV R5,#01H MOV R6,#00H
MOV R6,#02H JMP CH
LJMP CH

WG_L: MOV R2,#0F0H
MOV R3,#10H
MOV R4,#10H
MOV R5,#00H
MOV R6,#00H
CALL CHAR
WG_L1: MOV R2,#07H
MOV R3,#04H
MOV R4,#04H
MOV R5,#00H
MOV R6,#00H
JMP CH

WG_R: MOV R2,#00H
MOV R3,#00H
MOV R4,#10H
MOV R5,#10H
MOV R6,#0F0H
CALL CHAR
WG_R1: MOV R2,#00H
MOV R3,#00H
MOV R4,#04H
MOV R5,#04H
MOV R6,#07H
JMP CH

WR0: MOV R2,#00H
MOV R3,#00H
MOV R4,#07H
MOV R5,#07H
MOV R6,#00H
CALL CHAR
WR1: MOV R2,#00H
MOV R3,#00H
MOV R4,#00H
MOV R5,#00H
MOV R6,#00H
JMP CH

JUD: MOV R2,#00H
MOV R3,#00H
MOV R4,#00H
MOV R5,#00H
MOV R6,#00H
CALL CHAR

BK_SL: MOV R2,#20H
MOV R3,#40H
MOV R4,#80H
MOV R5,#00H
MOV R6,#00H
CALL CHAR
BK_SL1: MOV R2,#00H
MOV R3,#00H
MOV R4,#00H
MOV R5,#01H
MOV R6,#02H
JMP CH

WORD: MOV R2,#00H
MOV R3,#07H
MOV R4,#00H
MOV R5,#07H
MOV R6,#00H
CALL CHAR
WORD1: MOV R2,#00H
MOV R3,#00H
MOV R4,#00H
MOV R5,#00H
MOV R6,#00H
JMP CH
WR0: MOV R2,#00H
MOV R3,#00H
MOV R4,#07H
MOV R5,#07H
MOV R6,#00H
CALL CHAR
WR1: MOV R2,#00H
MOV R3,#00H
MOV R4,#00H
MOV R5,#00H
MOV R6,#00H
JMP CH
JUD: MOV R2,#00H
MOV R3,#00H
MOV R4,#00H
MOV R5,#00H
MOV R6,#00H
CALL CHAR
JUD1: MOV R2,#00H
MOV R3,#00H
MOV R4,#04H
MOV R5,#00H

```

```

NOI:  MOV    R2,#80H                MOV    R4,#10H
      MOV    R3,#40H                MOV    R5,#90H
      MOV    R4,#20H                MOV    R6,#60H
      MOV    R5,#10H                CALL   CHAR
      MOV    R6,#00H                ASK_I: MOV    R2,#00H
      CALL   CHAR                    MOV    R3,#00H
NOI_I: MOV    R2,#00H                MOV    R4,#05H
      MOV    R3,#01H                MOV    R5,#00H
      MOV    R4,#02H                MOV    R6,#00H
      MOV    R5,#04H                JMP    CH
      MOV    R6,#00H
      JMP    CH

      AS:  MOV    R2,#20H
      MOV    R3,#90H
      MOV    R4,#90H
      MOV    R5,#10H
      MOV    R6,#0E0H
      CALL   CHAR
      AS_I: MOV    R2,#03H
      MOV    R3,#04H
      MOV    R4,#07H
      MOV    R5,#04H
      MOV    R6,#03H
      JMP    CH
MAAK: MOV    R2,#00H
      MOV    R3,#10H
      MOV    R4,#20H
      MOV    R5,#40H
      MOV    R6,#80H
      CALL   CHAR
      AS_I: MOV    R2,#03H
      MOV    R3,#04H
      MOV    R4,#07H
      MOV    R5,#04H
      MOV    R6,#03H
      JMP    CH
MAAK_I: MOV   R2,#00H
      MOV    R3,#04H
      MOV    R4,#02H
      MOV    R5,#01H
      MOV    R6,#00H
      JMP    CH
      HAT:  MOV    R2,#00H
      MOV    R3,#20H
      MOV    R4,#10H
      MOV    R5,#20H
      MOV    R6,#00H
      CALL   CHAR
      HAT_I: MOV   R2,#00H
      MOV    R3,#00H
      MOV    R4,#00H
      MOV    R5,#00H
      MOV    R6,#00H
      JMP    CH
DOLLA: MOV    R2,#40H
      MOV    R3,#0A0H
      MOV    R4,#0F0H
      MOV    R5,#0A0H
      MOV    R6,#20H
      CALL   CHAR
      HAT_I: MOV   R2,#00H
      MOV    R3,#00H
      MOV    R4,#00H
      MOV    R5,#00H
      MOV    R6,#00H
      JMP    CH
DOLLA_I: MOV   R2,#02H
      MOV    R3,#02H
      MOV    R4,#07H
      MOV    R5,#02H
      MOV    R6,#01H
      JMP    CH
      EQU:  MOV    R2,#00H
      MOV    R3,#80H
      MOV    R4,#80H
      MOV    R5,#80H
      MOV    R6,#00H

```

```

CALL CHAR SEMI1: MOV R2,#00H
MOV R3,#00H
MOV R4,#05H
MOV R5,#03H
MOV R6,#00H
JMP CH
EQU_1: MOV R2,#00H
MOV R3,#02H
MOV R4,#02H
MOV R5,#02H
MOV R6,#00H
JMP CH
KHEED: MOV R2,#00H
MOV R3,#00H
MOV R4,#00H
MOV R5,#00H
MOV R6,#00H
CALL CHAR
COL: MOV R2,#00H
MOV R3,#00H
MOV R4,#80H
MOV R5,#00H
MOV R6,#00H
CALL CHAR
KHEED1: MOV R2,#04H
MOV R3,#04H
MOV R4,#04H
MOV R5,#04H
MOV R6,#04H
JMP CH
COL_1: MOV R2,#00H
MOV R3,#00H
MOV R4,#02H
MOV R5,#00H
MOV R6,#00H
JMP CH
PLUS: MOV R2,#00H
MOV R3,#80H
MOV R4,#0C0H
MOV R5,#80H
MOV R6,#00H
CALL CHAR
MIN: MOV R2,#00H
MOV R3,#80H
MOV R4,#80H
MOV R5,#80H
MOV R6,#00H
CALL CHAR
PLUS1: MOV R2,#00H
MOV R3,#00H
MOV R4,#01H
MOV R5,#00H
MOV R6,#00H
JMP CH
MIN_1: MOV R2,#00H
MOV R3,#00H
MOV R4,#00H
MOV R5,#00H
MOV R6,#00H
JMP CH
WONG_L: MOV R2,#0C0H
MOV R3,#20H
MOV R4,#10H
MOV R5,#00H
MOV R6,#00H
CALL CHAR
SEMI: MOV R2,#00H
MOV R3,#00H
MOV R4,#40H
MOV R5,#00H
MOV R6,#00H
WONG_L1: MOV R2,#01H
CALL CHAR MOV R3,#02H

```

```

MOV R4,#04H                                LJMP CH
MOV R5,#00H
MOV R6,#00H                                PER: MOV R2,#00H
JMP CH                                       MOV R3,#00H
                                           MOV R4,#80H
                                           MOV R5,#40H
                                           MOV R6,#20H
                                           CALL CHAR
WONG_R: MOV R2,#00H
MOV R3,#00H
MOV R4,#10H
MOV R5,#20H
MOV R6,#0C0H
CALL CHAR                                PER1: MOV R2,#02H
                                           MOV R3,#01H
                                           MOV R4,#00H
                                           MOV R5,#00H
                                           MOV R6,#00H
                                           LJMP CH
WONG_R1: MOV R2,#00H
MOV R3,#00H
MOV R4,#04H
MOV R5,#02H
MOV R6,#01H
JMP CH                                PERCENT: MOV R2,#30H
                                           MOV R3,#30H
                                           MOV R4,#80H
                                           MOV R5,#40H
                                           MOV R6,#20H
                                           CALL CHAR
BLANK: MOV R2,#00H                                PERCENT1: MOV R2,#02H
MOV R3,#00H                                MOV R3,#01H
MOV R4,#00H                                MOV R4,#00H
MOV R5,#00H                                MOV R5,#06H
MOV R6,#00H                                MOV R6,#06H
CALL CHAR                                LJMP CH
BLANK1: MOV R2,#00H
MOV R3,#00H
MOV R4,#00H
MOV R5,#00H
MOV R6,#00H
JMP CH                                CHIC: MOV R2,#40H
                                           MOV R3,#0E0H
                                           MOV R4,#20H
                                           MOV R5,#20H
                                           MOV R6,#0C0H
                                           CALL MEM
                                           CALL CHAR
SHARP: MOV R2,#40H
MOV R3,#0F0H
MOV R4,#40H
MOV R5,#0F0H
MOV R6,#40H
CALL CHAR                                CHIC1: MOV R2,#00H
                                           MOV R3,#07H
                                           MOV R4,#00H
                                           MOV R5,#00H
                                           MOV R6,#07H
                                           CALL MEM1
SHARP1: MOV R2,#01H
MOV R3,#07H
MOV R4,#01H
MOV R5,#07H
MOV R6,#01H

```

```

LJMP CH
EGG: MOV R2,#0A0H
MOV R3,#60H
MOV R4,#00H
MOV R5,#00H
MOV R6,#0E0H
CALL MEM
CALL CHAR
EGG1: MOV R2,#03H
MOV R3,#04H
MOV R4,#04H
MOV R5,#04H
MOV R6,#03H
CALL MEM1
LJMP CH
BUF: MOV R2,#0E0H
MOV R3,#20H
MOV R4,#20H
MOV R5,#20H
MOV R6,#0E0H
CALL MEM
CALL CHAR
BUF1: MOV R2,#07H
MOV R3,#03H
MOV R4,#01H
MOV R5,#00H
MOV R6,#07H
CALL MEM1
LJMP CH
MOV R3,#07H
MOV R4,#07H
MOV R5,#01H
MOV R6,#07H
CALL MEM1
LJMP CH
SNAKE: MOV R2,#80H
MOV R3,#00H
MOV R4,#00H
MOV R5,#20H
MOV R6,#0E0H
CALL MEM
CALL CHAR
SNAKE1: MOV R2,#00H
MOV R3,#01H
MOV R4,#02H
MOV R5,#04H
MOV R6,#07H
CALL MEM1
LJMP CH
DISH: MOV R2,#40H
MOV R3,#20H
MOV R4,#20H
MOV R5,#20H
MOV R6,#0C0H
CALL MEM
CALL CHAR
DISH1: MOV R2,#01H
MOV R3,#01H
MOV R4,#02H
MOV R5,#04H
MOV R6,#07H
CALL MEM1
LJMP CH
BELL: MOV R2,#20H
MOV R3,#40H
MOV R4,#0E0H
MOV R5,#00H
MOV R6,#0E0H
CALL MEM
CALL CHAR
CHING: MOV R2,#40H
MOV R3,#20H

```

```

MOV R4,#20H
MOV R5,#0C0H
MOV R6,#00H
CALL MEM
CALL CHAR
CHING1: MOV R2,#01H
MOV R3,#07H
MOV R4,#02H
MOV R5,#07H
MOV R6,#06H
CALL MEM1
LJMP CH

MOV R6,#03H
CALL MEM1
LJMP CH

CHADA: MOV R2,#40H
MOV R3,#0E0H
MOV R4,#20H
MOV R5,#20H
MOV R6,#0C0H
CALL MEM
CALL CHAR
CHADA1: MOV R2,#02H
MOV R3,#03H
MOV R4,#08H
MOV R5,#08H
MOV R6,#0FH
CALL MEM1
LJMP CH

ELE: MOV R2,#20H
MOV R3,#0E0H
MOV R4,#00H
MOV R5,#20H
MOV R6,#0D0H
CALL MEM
CALL CHAR
ELE1: MOV R2,#00H
MOV R3,#03H
MOV R4,#04H
MOV R5,#04H
MOV R6,#03H
CALL MEM1
LJMP CH

PATAK: MOV R2,#40H
MOV R3,#0E0H
MOV R4,#20H
MOV R5,#20H
MOV R6,#0C0H
CALL MEM
CALL CHAR
PATAK1: MOV R2,#02H
MOV R3,#03H
MOV R4,#08H
MOV R5,#04H
MOV R6,#0FH
CALL MEM1
LJMP CH

SO: MOV R2,#20H
MOV R3,#40H
MOV R4,#0E0H
MOV R5,#20H
MOV R6,#0D0H
CALL MEM
CALL CHAR
SO1: MOV R2,#00H
MOV R3,#00H
MOV R4,#03H
MOV R5,#04H
TAN: MOV R2,#40H

```

	MOV	R3,#60H		MOV	R5,#00H
	MOV	R4,#60H		MOV	R6,#07H
	MOV	R5,#40H		CALL	MEM1
	MOV	R6,#0A0H		LJMP	CH
	CALL	MEM			
	CALL	CHAR	BAG:	MOV	R2,#40H
TAN1:	MOV	R2,#04H		MOV	R3,#0E0H
	MOV	R3,#09H		MOV	R4,#20H
	MOV	R4,#07H		MOV	R5,#20H
	MOV	R5,#0CH		MOV	R6,#0C0H
	MOV	R6,#0BH		CALL	MEM
	CALL	MEM1		CALL	CHAR
	LJMP	CH	BAG1:	MOV	R2,#00H
				MOV	R3,#07H
CHILD:	MOV	R2,#0C0H		MOV	R4,#04H
	MOV	R3,#20H		MOV	R5,#00H
	MOV	R4,#20H		MOV	R6,#07H
	MOV	R5,#20H		CALL	MEM1
	MOV	R6,#0C0H		LJMP	CH
	CALL	MEM			
	CALL	CHAR			
CHILD1:	MOV	R2,#07H			
	MOV	R3,#05H			
	MOV	R4,#03H			
	MOV	R5,#00H	SOLD:	MOV	R2,#20H
	MOV	R6,#07H		MOV	R3,#0E0H
	CALL	MEM1		MOV	R4,#0C0H
	LJMP	CH		MOV	R5,#20H
				MOV	R6,#0E0H
				CALL	MEM
				CALL	CHAR
			SOLD1:	MOV	R2,#00H
				MOV	R3,#07H
TOR:	MOV	R2,#0C0H		MOV	R4,#00H
	MOV	R3,#20H		MOV	R5,#00H
	MOV	R4,#40H		MOV	R6,#07H
	MOV	R5,#20H		CALL	MEM1
	MOV	R6,#0C0H		LJMP	CH
	CALL	MEM			
	CALL	CHAR	FLAG:	MOV	R2,#0C0H
TOR1:	MOV	R2,#07H		MOV	R3,#0A0H
	MOV	R3,#05H		MOV	R4,#0A0H
	MOV	R4,#03H		MOV	R5,#0A0H

```

MOV R6,#20H                                LJMP CH
CALL MEM
CALL CHAR
FLAG1: MOV R2,#02H
MOV R3,#04H
MOV R4,#04H
MOV R5,#04H                                FISH: MOV R2,#20H
MOV R6,#03H                                MOV R3,#0E0H
CALL MEM1                                  MOV R4,#00H
LJMP CH                                    MOV R5,#00H
                                           MOV R6,#0F0H
                                           CALL MEM
                                           CALL CHAR
                                           FISH1: MOV R2,#00H
                                           MOV R3,#07H
RAT: MOV R2,#20H                            MOV R4,#04H
MOV R3,#0E0H                                MOV R5,#04H
MOV R4,#00H                                MOV R6,#07H
MOV R5,#0E0H                                CALL MEM1
MOV R6,#00H                                LJMP CH
CALL MEM
CALL CHAR                                BEE: MOV R2,#0E0H
RAT1: MOV R2,#00H                            MOV R3,#20H
MOV R3,#07H                                MOV R4,#00H
MOV R4,#02H                                MOV R5,#00H
MOV R5,#07H                                MOV R6,#0E0H
MOV R6,#06H                                CALL MEM
CALL MEM1                                  CALL CHAR
LJMP CH                                    BEE1: MOV R2,#03H
                                           MOV R3,#04H
LEAF: MOV R2,#20H                            MOV R4,#02H
MOV R3,#0E0H                                MOV R5,#04H
MOV R4,#00H                                MOV R6,#03H
MOV R5,#00H                                CALL MEM1
MOV R6,#0E0H                                LJMP CH
CALL MEM
CALL CHAR
LEAF1: MOV R2,#00H
MOV R3,#07H
MOV R4,#04H
MOV R5,#04H                                LID: MOV R2,#0E0H
MOV R6,#07H                                MOV R3,#20H
CALL MEM1                                  MOV R4,#00H

```

	MOV	R5,#00H		CALL	MEMI
	MOV	R6,#0F0H		LJMP	CH
	CALL	MEM			
	CALL	CHAR	PHAO:	MOV	R2,#40H
LID1:	MOV	R2,#03H		MOV	R3,#0E0H
	MOV	R3,#04H		MOV	R4,#20H
	MOV	R4,#02H		MOV	R5,#20H
	MOV	R5,#04H		MOV	R6,#0C0H
	MOV	R6,#03H		CALL	MEM
	CALL	MEMI		CALL	CHAR
	LJMP	CH	PHAO1:	MOV	R2,#04H
				MOV	R3,#07H
PAN:	MOV	R2,#0E0H		MOV	R4,#00H
	MOV	R3,#00H		MOV	R5,#00H
	MOV	R4,#00H		MOV	R6,#07H
	MOV	R5,#00H		CALL	MEMI
	MOV	R6,#0E0H		LJMP	CH
	CALL	MEM			
	CALL	CHAR			
PANI:	MOV	R2,#03H			
	MOV	R3,#04H			
	MOV	R4,#03H			
	MOV	R5,#04H	MA:	MOV	R2,#20H
	MOV	R6,#03H		MOV	R3,#0E0H
	CALL	MEMI		MOV	R4,#00H
	LJMP	CH		MOV	R5,#00H
				MOV	R6,#0E0H
				CALL	MEM
				CALL	CHAR
			MA1:	MOV	R2,#06H
				MOV	R3,#07H
TOOTH:	MOV	R2,#0E0H		MOV	R4,#02H
	MOV	R3,#00H		MOV	R5,#02H
	MOV	R4,#00H		MOV	R6,#07H
	MOV	R5,#00H		CALL	MEMI
	MOV	R6,#0F0H		LJMP	CH
	CALL	MEM			
	CALL	CHAR	YAK:	MOV	R2,#0E0H
TOOTH1:	MOV	R2,#03H		MOV	R3,#20H
	MOV	R3,#04H		MOV	R4,#00H
	MOV	R4,#02H		MOV	R5,#00H
	MOV	R5,#04H		MOV	R6,#0E0H
	MOV	R6,#03H		CALL	MEMI

```

CALL CHAR
YAKI: MOV R2,#06H
MOV R3,#05H
MOV R4,#04H
MOV R5,#04H
MOV R6,#03H
CALL MEM1
LJMP CH

LING: MOV R2,#40H
MOV R3,#20H
MOV R4,#20H
MOV R5,#20H
MOV R6,#0C0H
CALL MEM
CALL CHAR

LINGI: MOV R2,#06H
MOV R3,#05H
MOV R4,#01H
MOV R5,#02H
MOV R6,#07H
CALL MEM1
LJMP CH

BOAT: MOV R2,#0C0H
MOV R3,#0A0H
MOV R4,#0A0H
MOV R5,#0A0H
MOV R6,#20H
CALL MEM
CALL CHAR

BOATI: MOV R2,#00H
MOV R3,#00H
MOV R4,#00H
MOV R5,#04H
MOV R6,#07H
CALL MEM1
LJMP CH

LU: MOV R2,#40H
MOV R3,#0E0H
MOV R4,#20H
MOV R5,#20H
MOV R6,#0C0H
CALL MEM
CALL CHAR

LUI: MOV R2,#04H
MOV R3,#07H
MOV R4,#00H
MOV R5,#00H
MOV R6,#0FH
CALL MEM1
LJMP CH

RU: MOV R2,#40H
MOV R3,#0E0H
MOV R4,#20H
MOV R5,#20H
MOV R6,#0C0H
CALL MEM
CALL CHAR

RUI: MOV R2,#00H
MOV R3,#07H
MOV R4,#04H
MOV R5,#00H
MOV R6,#0FH
CALL MEM1
LJMP CH

RING: MOV R2,#40H
MOV R3,#20H
MOV R4,#20H
MOV R5,#20H
MOV R6,#0C0H

```

```

CALL    MEM
CALL    CHAR
RINGI:  MOV    R2,#00H
        MOV    R3,#00H
        MOV    R4,#00H
        MOV    R5,#04H
        MOV    R6,#07H
        CALL   MEM1
        LJMP   CH
SALA:   MOV    R2,#0C0H
        MOV    R3,#20H
        MOV    R4,#20H
        MOV    R5,#20H
        MOV    R6,#0D0H
        CALL   MEM
        CALL   CHAR
SALA1:  MOV    R2,#07H
        MOV    R3,#03H
        MOV    R4,#01H
        MOV    R5,#00H
        MOV    R6,#07H
        CALL   MEM1
        LJMP   CH
TIGER:  MOV    R2,#20H
        MOV    R3,#0A0H
        MOV    R4,#0A0H
        MOV    R5,#20H
        MOV    R6,#0D0H
        CALL   MEM
        CALL   CHAR
TIGER1: MOV    R2,#07H
        MOV    R3,#04H
        MOV    R4,#00H
        MOV    R5,#01H
        MOV    R6,#07H
        CALL   MEM1
        LJMP   CH
HEEP:   MOV    R2,#20H
        MOV    R3,#0E0H
        MOV    R4,#80H
        MOV    R5,#0E0H
        MOV    R6,#60H
        CALL   MEM
        CALL   CHAR
HEEP1:  MOV    R2,#00H
        MOV    R3,#07H
        MOV    R4,#00H
        MOV    R5,#07H
        MOV    R6,#00H
        CALL   MEM1
        LJMP   CH
RUSEE:  MOV    R2,#20H
        MOV    R3,#0E0H
        MOV    R4,#00H
        MOV    R5,#80H
        MOV    R6,#0E0H
        CALL   MEM
        CALL   CHAR
RUSEE1: MOV    R2,#00H
        MOV    R3,#07H
        MOV    R4,#04H
        MOV    R5,#04H
        MOV    R6,#07H
        CALL   MEM1
        LJMP   CH
JULA:   MOV    R2,#0E0H
        MOV    R3,#00H
        MOV    R4,#00H
        MOV    R5,#30H
        MOV    R6,#0F0H
        CALL   MEM
        CALL   CHAR
JULA1:  MOV    R2,#07H

```

```

MOV R3,#02H
MOV R4,#01H
MOV R5,#02H
MOV R6,#07H
CALL MEM1
LJMP CH

SRA_AA: MOV R2,#0C0H
MOV R3,#0C0H
MOV R4,#80H
MOV R5,#80H
MOV R6,#40H
CALL CHAR

SRA_AA1: MOV R2,#06H
MOV R3,#06H
MOV R4,#04H
MOV R5,#04H
MOV R6,#02H
LJMP CH

ANG: MOV R2,#40H
MOV R3,#20H
MOV R4,#20H
MOV R5,#20H
MOV R6,#0C0H
CALL MEM
CALL CHAR

SRA_AR: MOV R2,#40H
MOV R3,#20H
MOV R4,#20H
MOV R5,#20H
MOV R6,#0C0H
CALL CHAR

ANG1: MOV R2,#07H
MOV R3,#05H
MOV R4,#04H
MOV R5,#04H
MOV R6,#07H
CALL MEM1
LJMP CH

SRA_AR1: MOV R2,#00H
MOV R3,#00H
MOV R4,#00H
MOV R5,#00H
MOV R6,#07H
LJMP CH

OWL: MOV R2,#40H
MOV R3,#20H
MOV R4,#20H
MOV R5,#20H
MOV R6,#0D0H
CALL MEM
CALL CHAR

SRA_UM: MOV R2,#18H
MOV R3,#58H
MOV R4,#20H
MOV R5,#20H
MOV R6,#0C0H
CALL CHAR

OWL1: MOV R2,#07H
MOV R3,#05H
MOV R4,#04H
MOV R5,#04H
MOV R6,#07H
CALL MEM1
LJMP CH

SRA_UM1: MOV R2,#00H
MOV R3,#00H
MOV R4,#00H
MOV R5,#00H
MOV R6,#07H
LJMP CH

```

```

SRA_A:      MOV     R2,#00H                MOV     R5,#90H
            MOV     R3,#00H                MOV     R6,#08H
            MOV     R4,#00H                CALL    CHAR
            MOV     R5,#0C0H                SRA_O1:  MOV     R2,#00H
            MOV     R6,#00H                MOV     R3,#00H
            CALL    CHAR                    MOV     R4,#00H
            MOV     R2,#00H                MOV     R5,#07H
SRA_A1:     MOV     R3,#00H                MOV     R6,#04H
            MOV     R4,#00H                LJMP   CH
            MOV     R5,#07H
            MOV     R6,#04H
            LJMP   CH

SRA_AIR:    MOV     R2,#0C0H
            MOV     R3,#00H
            MOV     R4,#00H
            MOV     R5,#0C0H
            MOV     R6,#00H
            CALL    CHAR
SRA_AIR1:   MOV     R2,#07H
            MOV     R3,#04H
            MOV     R4,#00H
            MOV     R5,#07H
            MOV     R6,#04H
            LJMP   CH

MALAI:      MOV     R2,#08H
            MOV     R3,#10H
            MOV     R4,#08H
            MOV     R5,#0F8H
            MOV     R6,#00H
            CALL    CHAR

MALAI1:     MOV     R2,#00H
            MOV     R3,#00H
            MOV     R4,#00H
            MOV     R5,#07H
            MOV     R6,#04H
            LJMP   CH

MAI_MOON:   MOV     R2,#10H
            MOV     R3,#28H
            MOV     R4,#08H
            MOV     R5,#0F0H
            MOV     R6,#00H
            CALL    CHAR

YANNOI:     MOV     R2,#0C0H
            MOV     R3,#40H
            MOV     R4,#00H
            MOV     R5,#80H
            MOV     R6,#0C0H
            CALL    CHAR

MAL_MOON1:  MOV     R2,#00H
            MOV     R3,#00H
            MOV     R4,#00H
            MOV     R5,#07H
            MOV     R6,#04H
            LJMP   CH

YANNOI1:    MOV     R2,#00H
            MOV     R3,#05H
            MOV     R4,#05H
            MOV     R5,#04H
            MOV     R6,#03H
            LJMP   CH

SRA_O:      MOV     R2,#60H
            MOV     R3,#50H
            MOV     R4,#48H
            MOV     R5,#20H
            MOV     R6,#0C0H

YAMOG:      MOV     R2,#40H
            MOV     R3,#20H
            MOV     R4,#40H
            MOV     R5,#20H
            MOV     R6,#0C0H

```

	MOV	A,#00H		CALL	UP
	CALL	UP4		MOV	A,#00H
	CALL	CHAR		CALL	UP1
	POP	DPL		MOV	A,#0CH
	POP	DPH		CALL	UP2
	JMP	MAIN		MOV	A,#08H
				CALL	UP3
MAI_TOO:	DEC	R0		MOV	A,#08H
	MOV	A,#04H		CALL	UP4
	CALL	UP		CALL	CHAR
	MOV	A,#04H		POP	DPL
	CALL	UP1		POP	DPH
	MOV	A,#08H		JMP	MAIN
	CALL	UP2			
	MOV	A,#04H			
	CALL	UP3			
	MOV	A,#02H	GARAN:	DEC	R0
	CALL	UP4		MOV	A,#00H
	CALL	CHAR		CALL	UP
	POP	DPL		MOV	A,#0CH
	POP	DPH		CALL	UP1
	JMP	MAIN		MOV	A,#0CH
				CALL	UP2
				MOV	A,#02H
				CALL	UP3
JATAWA:	DEC	R0		MOV	A,#02H
	MOV	A,#00H		CALL	UP4
	CALL	UP		CALL	CHAR
	MOV	A,#04H		POP	DPL
	CALL	UP1		POP	DPH
	MOV	A,#0EH		JMP	MAIN
	CALL	UP2			
	MOV	A,#04H	TAI_KHU:	DEC	R0
	CALL	UP3		MOV	A,#06H
	MOV	A,#02H		CALL	UP
	CALL	UP4		MOV	A,#09H
	CALL	CHAR		CALL	UP1
	POP	DPL		MOV	A,#05H
	POP	DPH		CALL	UP2
	JMP	MAIN		MOV	A,#09H
				CALL	UP3
				MOV	A,#05H
AR_KAD:	DEC	R0		CALL	UP4
	MOV	A,#00H			

```

CALL CHAR                                SRA_E2:  DEC  R0
YAMOGI:  MOV  R2,#00H                      MOV  A,#08H
MOV  R3,#00H                              CALL  UP
MOV  R4,#00H                              MOV  A,#0CH
MOV  R5,#00H                              CALL  UP1
MOV  R6,#07H                              MOV  A,#0EH
LJMP  CH                                  CALL  UP2
                                           MOV  A,#0CH
                                           CALL  UP3
                                           MOV  A,#0EH
                                           CALL  UP4
SRA_I:  DEC  R0                          CALL  CHAR
MOV  A,#08H                              POP  DPL
CALL  UP                                  POP  DPH
MOV  A,#0CH                              JMP  MAIN
CALL  UP1
MOV  A,#0CH
CALL  UP2
MOV  A,#0CH
CALL  UP3
MOV  A,#08H
CALL  UP4
CALL  CHAR
POP  DPL
POP  DPH
JMP  MAIN
SRA_AOE:  DEC  R0
MOV  A,#08H
CALL  UP
MOV  A,#0CH
CALL  UP1
MOV  A,#0CH
CALL  UP2
MOV  A,#0AH
CALL  UP3
MOV  A,#0CH
CALL  UP4
CALL  CHAR
POP  DPL
POP  DPH
JMP  MAIN
SRA_E:  DEC  R0
MOV  A,#08H
CALL  UP
MOV  A,#0CH
CALL  UP
MOV  A,#0CH
CALL  UP2
MOV  A,#0CH
CALL  UP3
MOV  A,#0EH
CALL  UP4
CALL  CHAR
POP  DPL
POP  DPH
JMP  MAIN
MAI_AKE:  DEC  R0
MOV  A,#00H
CALL  UP
MOV  A,#00H
CALL  UP1
MOV  A,#00H
CALL  UP2
MOV  A,#06H
CALL  UP3

```

```

CALL CHAR                                MOV 47H,R4
POP DPL                                  MOV 48H,R5
POP DPH                                  MOV 49H,R6
JMP MAIN                                 RET

UP: ORL A,40H
MOV R2,A
RET
SRA_AU: DEC R1
MOV A,#00H                               UP1: ORL A,41H
CALL DOWN                                MOV R3,A
MOV A,#00H                               RET
CALL DOWN1                              UP2: ORL A,42H
MOV A,#10H                               MOV R4,A
CALL DOWN2                               RET
MOV A,#70H                               UP3: ORL A,43H
CALL DOWN3                               MOV R5,A
MOV A,#00H                               RET
CALL DOWN4                              UP4: ORL A,44H
JMP CH                                   MOV R6,A
RET
SRA_UU: DEC R1
MOV A,#00H                               DOWN: ORL A,45H
CALL DOWN                                MOV R2,A
MOV A,#10H                               RET
CALL DOWN1                              DOWN1: ORL A,46H
MOV A,#70H                               MOV R3,A
CALL DOWN2                               RET
MOV A,#40H                               DOWN2: ORL A,47H
CALL DOWN3                               MOV R4,A
MOV A,#70H                               RET
CALL DOWN4
JMP CH

DOWN3: ORL A,48H
MOV R5,A
RET
DOWN4: ORL A,49H
MOV R6,A
RET

MEM: MOV 40H,R2
MOV 41H,R3
MOV 42H,R4
MOV 43H,R5
MOV 44H,R6
RET

MEM1: MOV 45H,R2
MOV 46H,R3
CHAR: MOV 47H,R4
MOV 48H,R5
MOV 49H,R6
RET

```

```

;##### WRITE CHARACTER ON
LCD#####

```

เอกสารนี้เป็นเอกสารที่รวบรวมไว้เพื่อการใช้งานเพื่อการศึกษาเท่านั้น CHAR: มอนูญาติให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

        CJNE    R0,#00H,CHAR1
        CALL   SETPAGE_0
        CALL   SETCHAR0
        INC    R0
        RET

CHAR1:
        CJNE    R0,#01H,CHAR2
        CALL   SETPAGE_0
        CALL   SETCHAR1
        INC    R0
        RET

CHAR2:
        CJNE    R0,#02H,CHAR3
        CALL   SETPAGE_0
        CALL   SETCHAR2
        INC    R0
        RET

CHAR3:
        CJNE    R0,#03H,CHAR4
        CALL   SETPAGE_0
        CALL   SETCHAR3
        INC    R0
        RET

CHAR4:
        CJNE    R0,#04H,CHAR5
        CALL   SETPAGE_0
        CALL   SETCHAR4
        INC    R0
        RET

CHAR5:
        CJNE    R0,#05H,CHAR6
        CALL   SETPAGE_0
        CALL   SETCHAR5
        INC    R0
        RET

CHAR6:
        CJNE    R0,#06H,CHAR7
        CALL   SETPAGE_0
        CALL   SETCHAR6
        INC    R0
        RET

CHAR7:
        CJNE    R0,#07H,CHAR8
        CALL   SETPAGE_0
        CALL   SETCHAR7
        INC    R0
        RET

CHAR8:
        CJNE    R0,#08H,CHAR9
        CALL   SETPAGE_0
        CALL   SETCHAR8
        INC    R0
        RET

CHAR9:
        CJNE    R0,#09H,CHAR_10
        CALL   SETPAGE_0
        CALL   SETCHAR9
        INC    R0
        RET

CHAR_10:
        CJNE    R0,#0AH,CHAR_11
        CALL   SETPAGE_0
        CALL   SETCHAR_10
        INC    R0
        RET

CHAR_11:
        CJNE    R0,#0BH,CHAR_12
        CALL   SETPAGE_0
        CALL   SETCHAR_11
        INC    R0
        RET

CHAR_12:
        CJNE    R0,#0CH,CHAR_13

```

```

CALL  SETPAGE_0          POP   DPL
CALL  SETCHAR_12        POP   DPH
INC   R0                 JMP   MAIN
RET

                                CH1: CJNE  R1,#01H,CH2
                                CALL  SETPAGE_1
                                CALL  SETCHAR1
                                INC   R1
                                POP   DPL
                                POP   DPH
                                JMP   MAIN

CHAR_13:
    CJNE  R0,#0DH,CHAR_14
    CALL  SETPAGE_0
    CALL  SETCHAR_13
    INC   R0
    RET

                                CH2: CJNE  R1,#02H,CH3
                                CALL  SETPAGE_1
                                CALL  SETCHAR2
                                INC   R1
                                POP   DPL
                                POP   DPH
                                JMP   MAIN

CHAR_14:
    CJNE  R0,#0EH,CHAR_15
    CALL  SETPAGE_0
    CALL  SETCHAR_14
    INC   R0
    RET

                                CH3: CJNE  R1,#03H,CH4
                                CALL  SETPAGE_1
                                CALL  SETCHAR3
                                INC   R1
                                POP   DPL
                                POP   DPH
                                JMP   MAIN

CHAR_15:
    CJNE  R0,#0FH,CHAR_16
    CALL  SETPAGE_0
    CALL  SETCHAR_15
    INC   R0
    RET

                                CH4: CJNE  R1,#04H,CH5
                                CALL  SETPAGE_1
                                CALL  SETCHAR4
                                INC   R1
                                POP   DPL
                                POP   DPH
                                JMP   MAIN

CHAR_16:
    MOV   R0,#00H
    JMP   CHAR

                                CH5: CJNE  R1,#05H,CH6
                                CALL  SETPAGE_1
                                CALL  SETCHAR5
                                INC   R1

CH:  CJNE  R1,#00H,CH1
     CALL  SETPAGE_1
     CALL  SETCHAR0
     INC   R1

```

```

      POP    DPH
      JMP    MAIN
      JMP    MAIN
      CH_11: CJNE  R1,#0BH,CH_12
      CALL   SETPAGE_1
      CALL   SETCHAR_11
      INC    R1
      POP    DPL
      POP    DPH
      JMP    MAIN
      CH6: CJNE  R1,#06H,CH7
      CALL   SETPAGE_1
      CALL   SETCHAR6
      INC    R1
      POP    DPL
      POP    DPH
      JMP    MAIN
      CH7: CJNE  R1,#07H,CH8
      CALL   SETPAGE_1
      CALL   SETCHAR7
      INC    R1
      POP    DPL
      POP    DPH
      JMP    MAIN
      CH8: CJNE  R1,#08H,CH9
      CALL   SETPAGE_1
      CALL   SETCHAR8
      INC    R1
      POP    DPL
      POP    DPH
      JMP    MAIN
      CH9: CJNE  R1,#09H,CH_10
      CALL   SETPAGE_1
      CALL   SETCHAR9
      INC    R1
      POP    DPL
      POP    DPH
      JMP    MAIN
      CH_10: CJNE R1,#0AH,CH_11
      CALL   SETPAGE_1
      CALL   SETCHAR_10
      INC    R1
      POP    DPL
      POP    DPH
      CH_12: CJNE  R1,#0CH,CH_13
      CALL   SETPAGE_1
      CALL   SETCHAR_12
      INC    R1
      POP    DPL
      POP    DPH
      JMP    MAIN
      CH_13: CJNE  R1,#0DH,CH_14
      CALL   SETPAGE_1
      CALL   SETCHAR_13
      INC    R1
      POP    DPL
      POP    DPH
      JMP    MAIN
      CH_14: CJNE  R1,#0EH,CH_15
      CALL   SETPAGE_1
      CALL   SETCHAR_14
      INC    R1
      POP    DPL
      POP    DPH
      JMP    MAIN
      CH_15: CJNE  R1,#0FH,CH_16
      CALL   SETPAGE_1
      CALL   SETCHAR_15
      INC    R1
      MOV    55H,#17H
      LO1: MOV    56H,#00H
      LO2: MOV    57H,#00H

```

```

LO3: DJNZ 57H,LO3      MOV DPTR,#9000H
      DJNZ 56H,LO2      MOV A,#03H ;Col=3
      DJNZ 55H,LO1      CALL INST
      POP DPL           MOV DPTR,#9001H
      POP DPH           MOV A,R5
      JMP MAIN          CALL INST
                        MOV DPTR,#9000H
CH_16: MOV R1,#00H      MOV A,#04H ;Col=4
      JMP CH            CALL INST
;-----
                        MOV DPTR,#9001H
                        MOV A,R6
                        CALL INST
SETPAGE_0:
      MOV DPTR,#9000H      RET
      MOV A,#0B8H
      CALL INST
      RET
SETPAGE_1:
      MOV DPTR,#9000H
      MOV A,#0B9H
      CALL INST
      RET
;-----
SETCHAR0:
      MOV DPTR,#9000H
      MOV A,#00H ;Col=0
      CALL INST
      MOV DPTR,#9001H
      MOV A,R2
      CALL INST
      MOV DPTR,#9000H
      MOV A,#06H ;C=6
      CALL INST
      MOV DPTR,#9001H
      MOV A,R3
      CALL INST
      MOV DPTR,#9000H
      MOV A,#07H ;Col=7
      CALL INST
      MOV DPTR,#9001H
      MOV A,R4
      CALL INST
      MOV DPTR,#9000H
      MOV A,#08H ;Col=8
      CALL INST
      MOV DPTR,#9001H
      MOV A,R5
      CALL INST
      MOV DPTR,#9000H
      MOV A,#09H ;Col=9
      CALL INST
SETCHAR1:
      MOV DPTR,#9000H
      MOV A,#05H ;Col=5
      CALL INST
      MOV DPTR,#9001H
      MOV A,R2
      CALL INST
      MOV DPTR,#9000H
      MOV A,#06H ;C=6
      CALL INST
      MOV DPTR,#9001H
      MOV A,R3
      CALL INST
      MOV DPTR,#9000H
      MOV A,#07H ;Col=7
      CALL INST
      MOV DPTR,#9001H
      MOV A,R4
      CALL INST
      MOV DPTR,#9000H
      MOV A,#08H ;Col=8
      CALL INST
      MOV DPTR,#9001H
      MOV A,R5
      CALL INST
      MOV DPTR,#9000H
      MOV A,#09H ;Col=9
      CALL INST

```

```

MOV    DPTR,#9001H
MOV    A,R6
CALL   INST
RET

SETCHAR2:
MOV    DPTR,#9000H
MOV    A,#0AH    ;Col=10
CALL   INST
MOV    DPTR,#9001H
MOV    A,R2
CALL   INST
MOV    DPTR,#9000H
MOV    A,#0BH    ;Col=11
CALL   INST
MOV    DPTR,#9001H
MOV    A,R3
CALL   INST
MOV    DPTR,#9000H
MOV    A,#0CH    ;Col=12
CALL   INST
MOV    DPTR,#9001H
MOV    A,R4
CALL   INST
MOV    DPTR,#9000H
MOV    A,#0DH    ;Col=13
CALL   INST
MOV    DPTR,#9001H
MOV    A,R5
CALL   INST
MOV    DPTR,#9000H
MOV    A,#0EH    ;Col=14
CALL   INST
MOV    DPTR,#9001H
MOV    A,R6
CALL   INST
;pop    DPL
;pop    DPH
RET

SETCHAR3:
MOV    DPTR,#9000H
MOV    A,#0FH    ;Col=15
CALL   INST
CALL   INST
MOV    DPTR,#9001H
MOV    A,R3
CALL   INST
CALL   INST
MOV    DPTR,#9000H
MOV    A,#10H    ;Col=16
CALL   INST
MOV    DPTR,#9001H
MOV    A,R3
CALL   INST
MOV    DPTR,#9000H
MOV    A,#11H    ;Col=17
CALL   INST
MOV    DPTR,#9001H
MOV    A,R4
CALL   INST
MOV    DPTR,#9000H
MOV    A,#12H    ;Col=18
CALL   INST
MOV    DPTR,#9001H
MOV    A,R5
CALL   INST
MOV    DPTR,#9000H
MOV    A,#13H    ;Col=19
CALL   INST
MOV    DPTR,#9001H
MOV    A,R6
CALL   INST
RET

SETCHAR4:
MOV    DPTR,#9000H
MOV    A,#14H    ;Col=20
CALL   INST
MOV    DPTR,#9001H
MOV    A,R2
CALL   INST
MOV    DPTR,#9000H
MOV    A,#15H    ;Col=21
CALL   INST
MOV    DPTR,#9001H
MOV    A,R3
CALL   INST

```



```

CALL INST
RET

SETCHAR7:
MOV DPTR,#9000H
MOV A,#23H ;Col=35
CALL INST
MOV DPTR,#9001H
MOV A,R2
CALL INST
MOV DPTR,#9000H
MOV A,#24H ;Col=36
CALL INST
MOV DPTR,#9001H
MOV A,R3
CALL INST

MOV DPTR,#9000H
MOV A,#25H ;Col=37
CALL INST
MOV DPTR,#9001H
MOV A,R4
CALL INST
MOV DPTR,#9000H
MOV A,#26H ;Col=38
CALL INST
MOV DPTR,#9001H
MOV A,R5
CALL INST
MOV DPTR,#9000H
MOV A,#27H ;Col=39
CALL INST
MOV DPTR,#9001H
MOV A,R6
CALL INST
RET

SETCHAR8:
MOV DPTR,#9000H
MOV A,#28H ;Col=40
CALL INST
MOV DPTR,#9001H
MOV A,R2
CALL INST

CALL INST
MOV DPTR,#9000H
MOV A,#29H ;Col=41
CALL INST
MOV DPTR,#9001H
MOV A,R3
CALL INST

MOV DPTR,#9000H
MOV A,#2AH ;Col=42
CALL INST
MOV DPTR,#9001H
MOV A,R4
CALL INST
MOV DPTR,#9000H
MOV A,#2BH ;Col=43
CALL INST
MOV DPTR,#9001H
MOV A,R5
CALL INST
MOV DPTR,#9000H
MOV A,#2CH ;Col=44
CALL INST
MOV DPTR,#9001H
MOV A,R6
CALL INST
RET

SETCHAR9:
MOV DPTR,#9000H
MOV A,#2DH ;Col=45
CALL INST
MOV DPTR,#9001H
MOV A,R2
CALL INST
MOV DPTR,#9000H
MOV A,#2EH ;Col=46
CALL INST
MOV DPTR,#9001H
MOV A,R3
CALL INST

```

MOV	A,#2FH ;Col=47	MOV	A,R5
CALL	INST	CALL	INST
MOV	DPTR,#9001H	MOV	DPTR,#9000H
MOV	A,R4	MOV	A,#36H ;Col=54
CALL	INST	CALL	INST
MOV	DPTR,#9000H	MOV	DPTR,#9001H
MOV	A,#30H ;Col=48	MOV	A,R6
CALL	INST	CALL	INST
MOV	DPTR,#9001H	RET	
MOV	A,R5		
CALL	INST	SETCHAR_11:	
MOV	DPTR,#9000H	MOV	DPTR,#9000H
MOV	A,#31H ;Col=49	MOV	A,#37H ;Col=55
CALL	INST	CALL	INST
MOV	DPTR,#9001H	MOV	DPTR,#9001H
MOV	A,R6	MOV	A,R2
CALL	INST	CALL	INST
RET		MOV	DPTR,#9000H
SETCHAR_10:		MOV	A,#38H ;Col=56
MOV	DPTR,#9000H	CALL	INST
MOV	A,#32H ;Col=50	MOV	DPTR,#9001H
CALL	INST	MOV	A,R3
MOV	DPTR,#9001H	CALL	INST
MOV	A,R2	MOV	DPTR,#9000H
CALL	INST	MOV	A,#39H ;Col=57
MOV	DPTR,#9000H	CALL	INST
MOV	A,#33H ;Col=51	MOV	DPTR,#9001H
CALL	INST	MOV	A,R4
MOV	DPTR,#9001H	CALL	INST
MOV	A,R3	MOV	DPTR,#9000H
CALL	INST	MOV	A,#3AH ;Col=58
		CALL	INST
MOV	DPTR,#9000H	MOV	DPTR,#9001H
MOV	A,#34H ;Col=52	MOV	A,R5
CALL	INST	CALL	INST
MOV	DPTR,#9001H	MOV	DPTR,#9000H
MOV	A,R4	MOV	A,#3BH ;Col=59
CALL	INST	CALL	INST
MOV	DPTR,#9000H	MOV	DPTR,#9001H
MOV	A,#35H ;Col=53	MOV	A,R6
CALL	INST	CALL	INST
MOV	DPTR,#9001H	RET	

```

MOV A,#42H ;Col=66
CALL INST
MOV DPTR,#9001H
MOV A,R3
CALL INST

SETCHAR_12:
MOV DPTR,#9000H
MOV A,#3CH ;Col=60
CALL INST
MOV DPTR,#9001H
MOV A,R2
CALL INST
MOV DPTR,#9000H
MOV A,#3DH ;Col=61
CALL INST
MOV DPTR,#9001H
MOV A,R3
CALL INST

MOV DPTR,#9000H
MOV A,#3EH ;Col=62
CALL INST
MOV DPTR,#9001H
MOV A,R4
CALL INST
MOV DPTR,#9000H
MOV A,#3FH ;Col=63
CALL INST
MOV DPTR,#9001H
MOV A,R5
CALL INST
MOV DPTR,#9000H
MOV A,#40H ;Col=64
CALL INST
MOV DPTR,#9001H
MOV A,R6
CALL INST
RET

SETCHAR_13:
MOV DPTR,#9000H
MOV A,#41H ;Col=65
CALL INST
MOV DPTR,#9001H
MOV A,R2
CALL INST
MOV DPTR,#9000H
MOV A,#42H ;Col=66
CALL INST
MOV DPTR,#9001H
MOV A,R3
CALL INST

MOV DPTR,#9000H
MOV A,#43H ;Col=67
CALL INST
MOV DPTR,#9001H
MOV A,R4
CALL INST
MOV DPTR,#9000H
MOV A,#44H ;Col=68
CALL INST
MOV DPTR,#9001H
MOV A,R5
CALL INST
MOV DPTR,#9000H
MOV A,#45H ;Col=69
CALL INST
MOV DPTR,#9001H
MOV A,R6
CALL INST
RET

SETCHAR_14:
MOV DPTR,#9000H
MOV A,#46H ;Col=70
CALL INST
MOV DPTR,#9001H
MOV A,R2
CALL INST
MOV DPTR,#9000H
MOV A,#47H ;Col=71
CALL INST
MOV DPTR,#9001H
MOV A,R3
CALL INST

MOV DPTR,#9000H
MOV A,#48H ;Col=72
CALL INST

```

```

MOV DPTR,#9001H
MOV A,R4
CALL INST
MOV DPTR,#9000H
MOV A,#49H ;Col=73
CALL INST
MOV DPTR,#9001H
MOV A,R5
CALL INST
MOV DPTR,#9000H
MOV A,#4AH ;Col=74
CALL INST
MOV DPTR,#9001H
MOV A,R6
CALL INST
RET

SETCHAR_15:
MOV DPTR,#9000H
MOV A,#4BH ;Col=75
CALL INST
MOV DPTR,#9001H
MOV A,R2
CALL INST
MOV DPTR,#9000H
MOV A,#4CH ;Col=76
CALL INST
MOV DPTR,#9001H
MOV A,R3
CALL INST

MOV DPTR,#9000H
MOV A,#4DH ;Col=77
CALL INST
MOV DPTR,#9001H
MOV A,R4
CALL INST
MOV DPTR,#9000H
MOV A,#4EH ;Col=78
CALL INST
MOV DPTR,#9001H
MOV A,R5
CALL INST
MOV DPTR,#9000H
MOV A,#4FH ;Col=79
CALL INST
MOV DPTR,#9001H
MOV A,R6
CALL INST
RET

INST: CLR P1.5 ;CS1=0
MOVX @DPTR,A
SETB P1.5 ;CS1=1
MOV 56H,#50H
D1: MOV 57H,#00H
D2: DJNZ 57H,D2
DJNZ 56H,D1
RET

;-----
LOOP: MOV 56H,#99H
LOOP2: MOV 57H,#00H
LOOP1: DJNZ 57H,LOOP1
DJNZ 56H,LOOP2
RET
END

```

DATA SHEET



PCD5003 Advanced POCSAG Paging Decoder

Product specification
Supersedes data of 1997 Mar 04
File under Integrated Circuits, IC17

1997 Jun 24

Advanced POCSAG Paging Decoder

PCD5003

1 FEATURES

- Wide operating supply voltage range: 1.5 to 6.0 V
- EEPROM programming requires only 2.0 V supply
- Low operating current: 50 μ A typ. (ON), 25 μ A typ. (OFF)
- Temperature range: -25 to $+70$ °C
- "CCIR Radio paging Code No. 1" (POCSAG) compatible
- 512, 1200 and 2400 bits/s data rates using 76.8 kHz crystal
- Built-in data filter (16-times oversampling) and bit clock recovery
- Advanced ACCESS[®] synchronization algorithm
- 2-bit random and (optional) 4-bit burst error correction
- Up to 6 user addresses (RICs), each with 4 functions/alert cadences
- Up to 6 user address frames, independently programmable
- Standard POCSAG sync word, plus up to 4 user programmable sync words
- Received data inversion (optional)
- Call alert via beeper, vibrator or LED
- 2-level acoustic alert using single external transistor
- Alert control: automatic (POCSAG type), via cadence register or alert input pin
- Separate power control of receiver and RF-oscillator for battery economy
- Synthesizer set-up and control interface (3-line serial)
- On-chip EEPROM for storage of user addresses (RICs), pager configuration and synthesizer data

- On-chip SRAM buffer for message data
- Slave I²C-bus interface to microcontroller for transfer of message data, status/control and EEPROM programming (data transfer at up to 400 kbits/s)
- Wake-up interrupt for microcontroller, programmable polarity
- Direct and I²C-bus control of operating status (ON/OFF)
- Battery-low indication (external detector)
- Out-of-range condition indication
- Real time clock reference output
- On-chip voltage doubler
- Interfaces directly to UAA2080 and UAA2082 paging receivers.

2 APPLICATIONS

- Display pagers, basic alert-only pagers
- Information services
- Personal organizers
- Telepoint
- Telemetry/data transmission.

3 GENERAL DESCRIPTION

The PCD5003 is a very low power POCSAG decoder and pager controller. It supports data rates of 512, 1200 and 2400 bits/s using a single 76.8 kHz crystal. On-chip EEPROM is programmable using a minimum supply voltage of 2.0 V, allowing 'over-the-air' programming. The PCD5003 is fast I²C-bus compatible (maximum 400 kbits/s).

4 ORDERING INFORMATION

TYPE NUMBER	PACKAGE		
	NAME	DESCRIPTION	VERSION
PCD5003H	LQFP32	plastic low profile quad flat package; 32 leads; body 7 × 7 × 1.4 mm	SOT358-1
PCD5003U/10	—	film-frame carrier (naked die) 32 pads	—

Advanced POCSAG Paging Decoder

PCD5003

5 BLOCK DIAGRAM

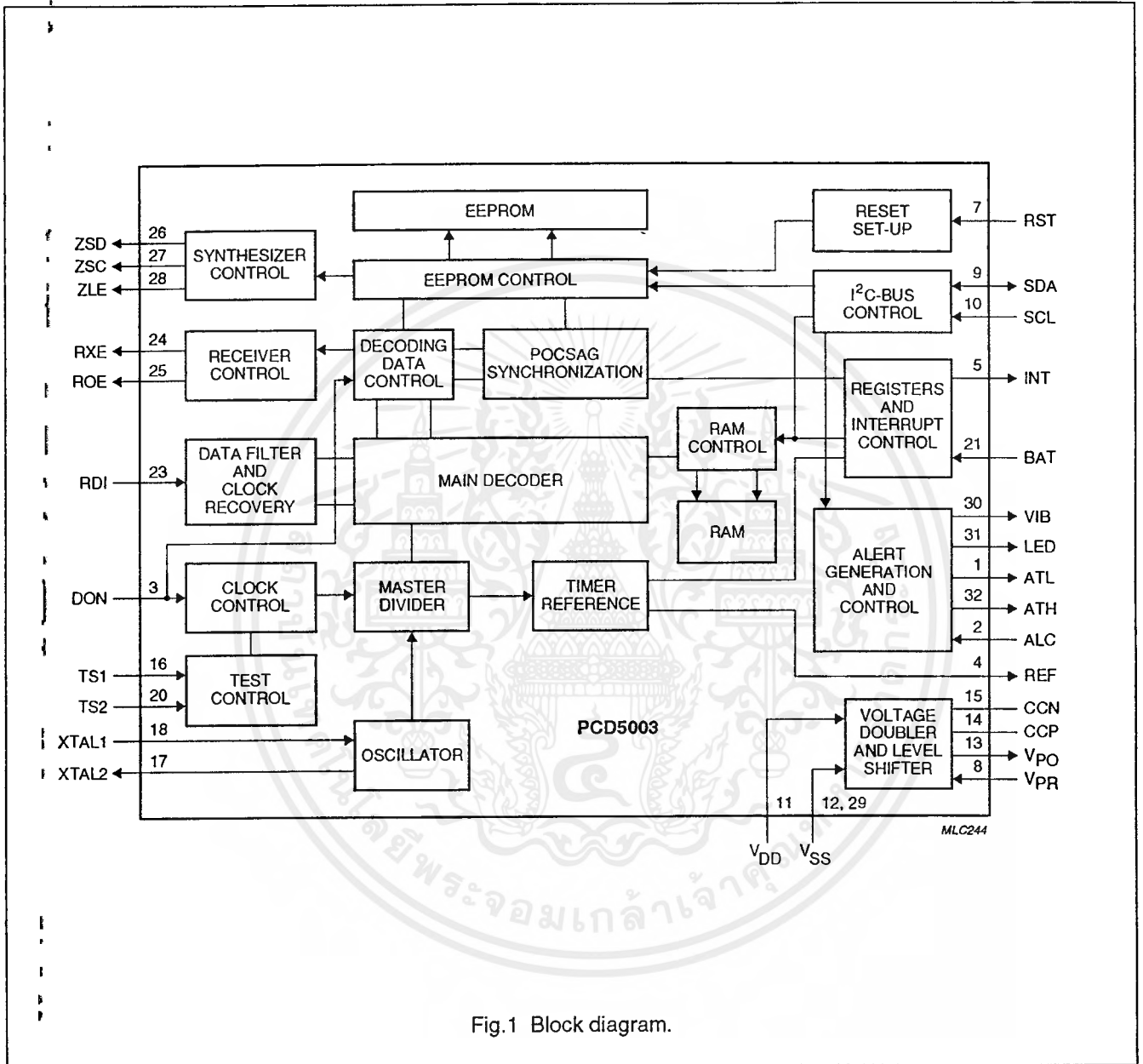


Fig.1 Block diagram.

Advanced POCSAG Paging Decoder

PCD5003

6 PINNING

SYMBOL	PIN	DESCRIPTION
ATL	1	alert LOW level output
ALC	2	alert control input (normally LOW by internal pull-down)
DON	3	direct ON/OFF input (normally LOW by internal pull-down)
REF	4	real time clock frequency reference output
INT	5	interrupt output
n.c.	6	not connected
RST	7	reset input (normally LOW by internal pull-down)
VPR	8	external positive voltage reference input
SDA	9	I ² C-bus serial data input/output
SCL	10	I ² C-bus serial clock input
VDD	11	main positive supply voltage
VSS	12	main negative supply voltage
VPO	13	voltage converter positive output
CCP	14	voltage converter shunt capacitor (positive side)
CCN	15	voltage converter shunt capacitor (negative side)
TS1	16	test input 1 (normally LOW by internal pull-down)
XTAL2	17	decoder crystal oscillator output
XTAL1	18	decoder crystal oscillator input
n.c.	19	not connected
TS2	20	test input 2 (normally LOW by internal pull-down)
BAT	21	battery sense input
n.c.	22	not connected
RDI	23	received POCSAG data input
RXE	24	receiver circuit enable output
ROE	25	receiver oscillator enable output
ZSD	26	synthesizer serial data output
ZSC	27	synthesizer serial clock output
ZLE	28	synthesizer latch enable output
VSS	29	main negative supply voltage
VIB	30	vibrator motor drive output
LED	31	LED drive output
ATH	32	alert HIGH level output

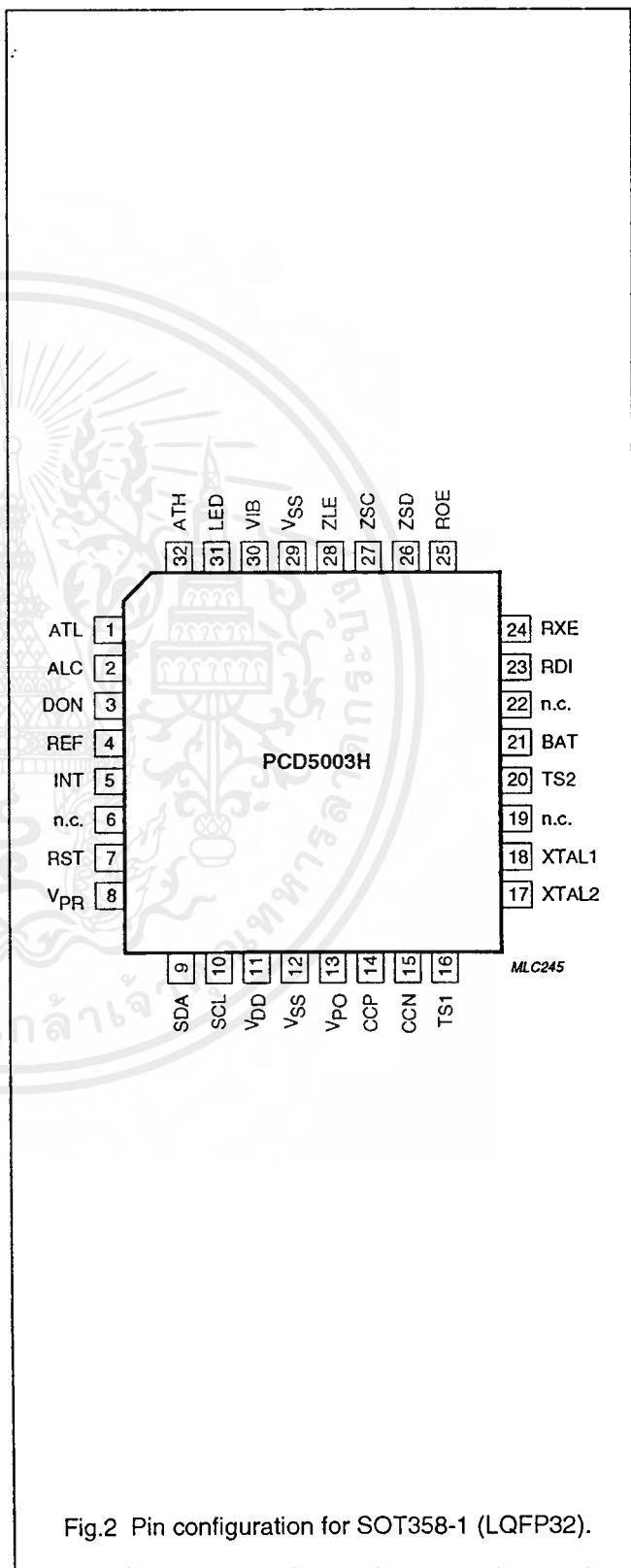


Fig.2 Pin configuration for SOT358-1 (LQFP32).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้า ไม่นับรวมในสัญญาซื้อขายสินค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Advanced POCSAG Paging Decoder

PCD5003

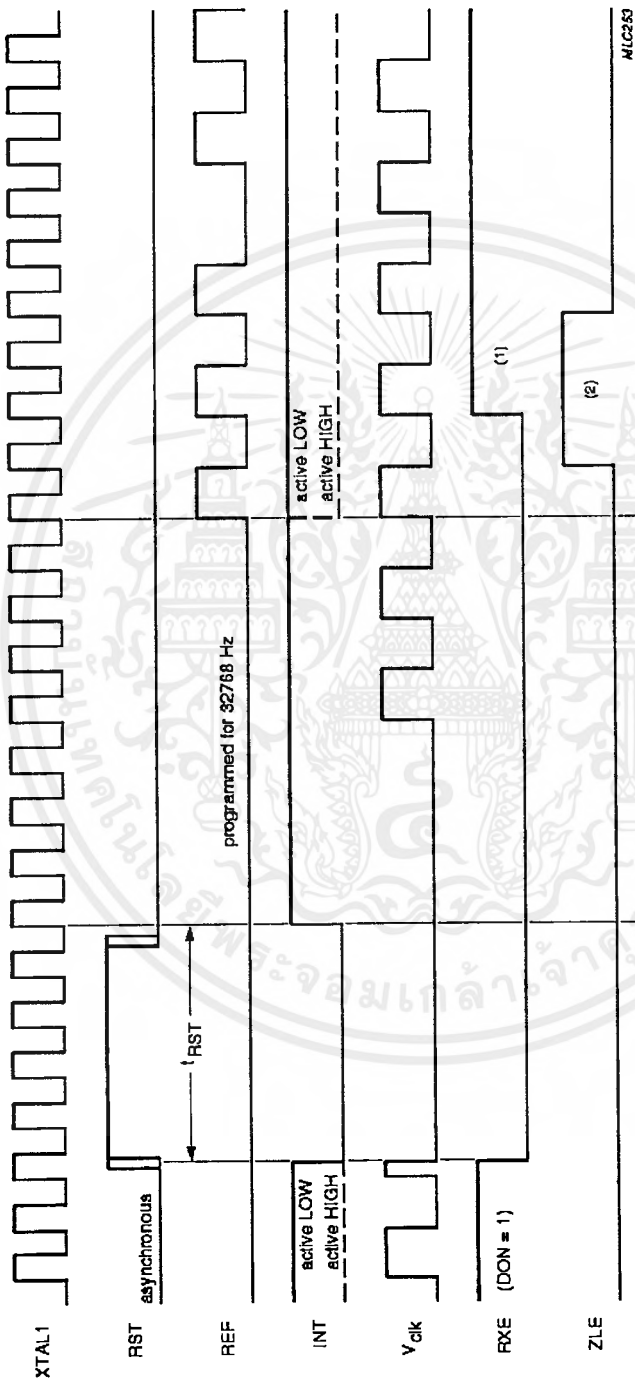
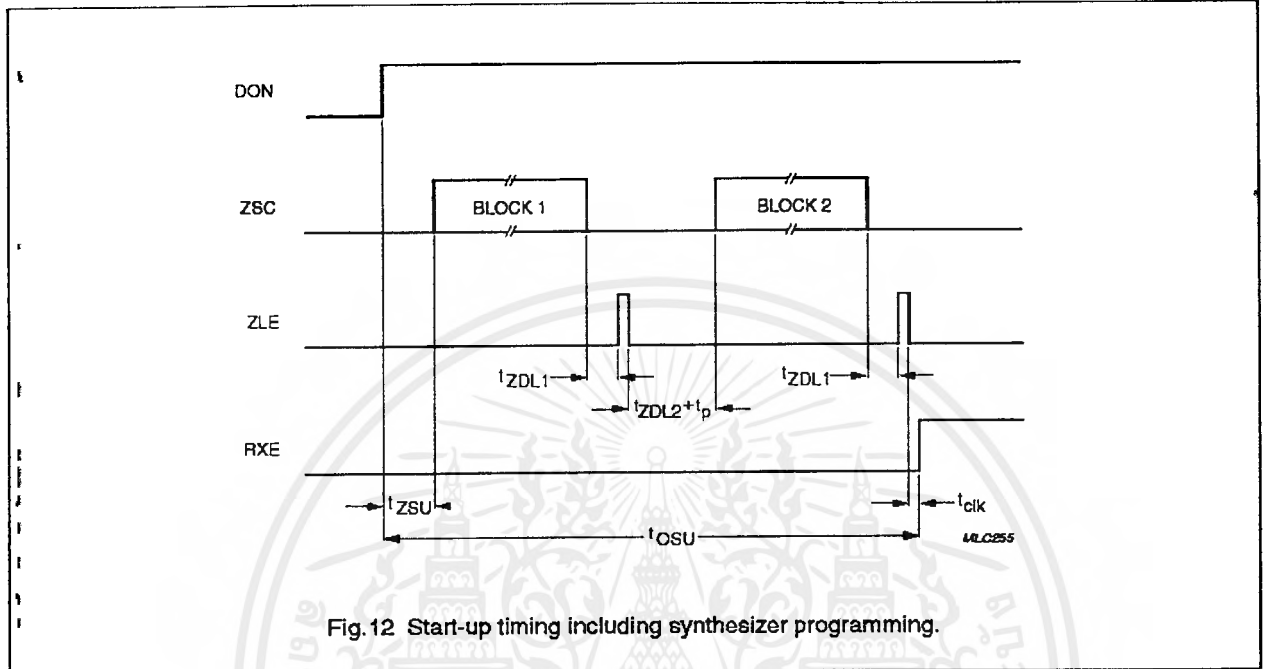


Fig. 11 Reset timing.
 (1) The FXE output signal is shown for disabled synthesizer. When the synthesizer is enabled FXE is held off until after the second pulse on ZLE (programming complete).
 (2) The ZLE output signal is shown for enabled synthesizer and DON = 1. When DON = 0 output ZLE remains HIGH until ON state is entered (DON = 1 of control register bit D4 = 1).

Advanced POCSAG Paging Decoder

PCD5003



9 LIMITING VALUES

In accordance with the Absolute Maximum Rating System (IEC 134).

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
V_{DD}	supply voltage		-0.5	+7.0	V
V_{PR}	external reference voltage input	$V_{PR} \geq V_{DD} - 0.8 \text{ V}$	-0.5	+7.0	V
V_n	voltage on pins ALC, DON, RST, SDA and SCL	$V_n \leq 7.0 \text{ V}$	$V_{SS} - 0.8$	$V_{PR} + 0.8$	V
V_{n1}	voltage on any other pin	$V_{n1} \leq 7.0 \text{ V}$	$V_{SS} - 0.8$	$V_{DD} + 0.8$	V
P_{tot}	total power dissipation		-	250	mW
P_O	power dissipation per output		-	100	mW
T_{amb}	operating ambient temperature		-25	+70	°C
T_{stg}	storage temperature		-55	+125	°C

Advanced POCSAG Paging Decoder

PCD5003

10 DC CHARACTERISTICS

 $V_{DD} = 2.7\text{ V}$; $V_{PR} = 2.7\text{ V}$; $V_{SS} = 0\text{ V}$; $T_{amb} = -25\text{ to }+70\text{ }^{\circ}\text{C}$; unless otherwise specified.

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
Supply						
V_{DD}	supply voltage	voltage converter disabled	1.5	2.7	6.0	V
V_{PR}	external reference voltage input	$V_{PR} \geq V_{DD} - 0.8\text{ V}$	1.5	2.7	6.0	V
I_{DD0}	supply current (OFF)	note 1	–	25.0	40.0	μA
I_{DD1}	supply current (ON)	note 1; $\text{DON} = V_{DD}$	–	50.0	80.0	μA
V_{PG}	programming supply voltage	voltage converter disabled	2.0	–	6.0	V
		voltage converter enabled	2.0	–	3.0	V
I_{PG}	programming supply current		–	–	800	μA
Inputs						
V_{IL}	LOW level input voltage					
	RDI, BAT		V_{SS}	–	$0.3V_{DD}$	V
	DON, ALC, RST		V_{SS}	–	$0.3V_{PR}$	V
V_{IH}	HIGH level input voltage					
	RDI, BAT		$0.7V_{DD}$	–	V_{DD}	V
	DON, ALC, RST		$0.7V_{PR}$	–	V_{PR}	V
I_{IL}	LOW level input current pins	$T_{amb} = 25\text{ }^{\circ}\text{C}$; $V_I = V_{SS}$	0	–	–0.5	μA
	RDI, BAT, TS1, TS2, DON, ALC and RST					
I_{IH}	HIGH level input current	$T_{amb} = 25\text{ }^{\circ}\text{C}$				
	TS1, TS2	$V_I = V_{DD}$	6	–	20	μA
	RDI, BAT	$V_I = V_{DD}$; $\text{RXE} = 0$	6	–	20	μA
	RDI, BAT	$V_I = V_{DD}$; $\text{RXE} = 1$	0	–	0.5	μA
I_{IH}	DON, ALC, RST	$V_I = V_{PR}$	250	500	850	nA
Outputs						
I_{OL}	LOW level output current	$T_{amb} = 25\text{ }^{\circ}\text{C}$				
	VIB, LED	$V_{OL} = 0.3\text{ V}$	80	–	–	μA
	ATH	$V_{OL} = 0.3\text{ V}$	250	–	–	μA
	INT, REF	$V_{OL} = 0.3\text{ V}$	80	–	–	μA
	ZSD, ZSC, ZLE	$V_{OL} = 0.3\text{ V}$	70	–	–	μA
	ATL	$V_{OL} = 1.2\text{ V}$; note 2	13	27	55	mA
ROE, RXE	$V_{OL} = 0.3\text{ V}$	80	–	–	μA	

Advanced POCSAG Paging Decoder

PCD5003

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
I _{OH}	HIGH level output current	T _{amb} = 25 °C				
	VIB, LED	V _{OH} = 0.7 V	-0.6	-	-2.4	mA
	ATH	V _{OH} = 0.7 V	-3.0	-	-11.0	mA
	INT, REF	V _{OH} = 2.4 V	-80	-	-	µA
	ZSD, ZSC, ZLE	V _{OH} = 2.4 V	-60	-	-	µA
	ATL	ATL high-impedance; note 3	-	-	-0.5	µA
	ROE, RXE	V _{OH} = 2.4 V	-600	-	-	µA

Notes

- Inputs: SDA and SCL pulled up to V_{DD}; all other inputs connected to V_{SS}.
Outputs: RXE and ROE logic 0; REF: f_{ref} = 1/60 Hz; all other outputs open-circuit.
Oscillator: no crystal; external clock f_{osc} = 76800 Hz; amplitude: V_{SS} to V_{DD}.
Voltage convertor disabled (SPF byte 01, bit D7 = 0; see Table 21).
- Maximum output current is subject to absolute maximum ratings per output (see Chapter 9).
- When ATL (open drain output) is not activated it is high impedance.

11 DC CHARACTERISTICS (WITH VOLTAGE CONVERTER)

V_{DD} = 2.7 V; V_{SS} = 0 V; V_{PR} = V_{PO}; T_{amb} = -25 to +70 °C; C_s = 100 nF; voltage convertor enabled.

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
V _{DD}	supply voltage		1.5	-	3.0	V
V _{PO(0)}	output voltage; no load	V _{DD} = 2.7; I _{PO} = 0	-	5.4	-	V
V _{PO}	output voltage	V _{DD} = 2.0 V; I _{PO} = -250 µA	3.0	3.5	-	V
I _{PO}	output current	V _{DD} = 2.0 V; V _{PO} = 2.7 V	-400	-650	-	µA
		V _{DD} = 3.0 V; V _{PO} = 4.5 V	-650	-900	-	µA

12 OSCILLATOR CHARACTERISTICS

Quartz crystal type: MX-1V or equivalent.

Quartz crystal parameters: f = 76 800 Hz; R_{S(max)} = 35 kΩ; C_L = 8 pF; C₀ = 1.4 pF; C₁ = 1.5 fF.

Maximum overall tolerance: ±200 × 10⁻⁶ (includes: cutting, temperature, aging).

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
C _{XO}	output capacitance XTAL2		-	10	-	pF
g _m	oscillator transconductance	V _{DD} = 1.5 V	6	12	-	µS

13 EEPROM CHARACTERISTICS

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
N _{EW}	erase/write cycles		1000	10000	-	
t _{DR}	data retention time	T _{amb} = +70 °C; note 1	10	-	-	years

Note

- Retention cannot be guaranteed for naked dies (PCD5003U/10).

Advanced POCSAG Paging Decoder

PCD5003

14 AC CHARACTERISTICS

 $V_{DD} = 2.7\text{ V}$; $V_{SS} = 0\text{ V}$; $V_{PR} = 2.7\text{ V}$; $T_{amb} = 25\text{ }^{\circ}\text{C}$; $f_{osc} = 76800\text{ Hz}$.

SYMBOLS	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
System clock						
T_{clk}	system clock period	$f_{osc} = 76800\text{ Hz}$	–	13.02	–	μs
Call alert frequencies						
f_{AL}	alert frequency	SPF byte 03H; bits: D1, D0 = 0 0 D1, D0 = 0 1 D1, D0 = 1 0 D1, D0 = 1 1	–	2048 2731 3200 4096	–	Hz Hz Hz Hz
f_{AW}	warbled alert; modulation frequency	alert set-up bit D2 = 1; outputs ATL, ATH, LED	–	16	–	Hz
f_{AWH}	warbled alert; high acoustic alert frequency	alert set-up bit D2 = 1; outputs ATL, ATH	–	f_{AL}	–	Hz
f_{AWL}	warbled alert; low acoustic alert frequency	alert set-up bit D2 = 1; outputs ATL, ATH	–	$\frac{1}{2}f_{AL}$	–	Hz
f_{VBP}	pulsed vibrator frequency (square-wave)	low-level alert	–	25	–	Hz
Call alert duration						
t_{ALT}	alert time-out period		–	16	–	s
t_{ALL}	ATL output time-out period	low-level alert	–	4	–	s
t_{ALH}	ATH output time-out period	high-level alert	–	12	–	s
t_{VBL}	VIB output time-out period	low-level alert	–	4	–	s
t_{VBH}	VIB output time-out period	high-level alert	–	12	–	s
t_{ALC}	alert cycle period		–	1	–	s
t_{ALP}	alert pulse duration		–	125	–	ms
Real time clock reference						
f_{ref}	real time clock reference frequency	SPF byte 02H; bits: D3, D2 = 0 0; note 1 D3, D2 = 0 1; note 2 D3, D2 = 1 0 D3, D2 = 1 1	–	32768 50 2 $\frac{1}{60}$	–	Hz Hz Hz Hz
t_{RFP}	real time clock reference pulse duration	all reference frequencies except 50 Hz (square-wave)	–	13.02	–	μs

Advanced POCSAG Paging Decoder

PCD5003

SYMBOLS	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
Receiver control						
t_{RXT}	RXE, ROE transition time	$C_L = 5 \text{ pF}$	–	100	–	ns
t_{RXON}	RXE establishment time (nominal values: actual duration is bit rate dependent, see Table 22)	SPF byte 01H; bits: D1, D0 = 0 0	–	5	–	ms
		D1, D0 = 0 1	–	10	–	ms
		D1, D0 = 1 0	–	15	–	ms
		D1, D0 = 1 1	–	30	–	ms
t_{ROON}	ROE establishment time (nominal values: actual duration is bit rate dependent, see Table 22)	SPF byte 01H; bits: D3, D2 = 0 0	–	20	–	ms
		D3, D2 = 0 1	–	30	–	ms
		D3, D2 = 1 0	–	40	–	ms
		D3, D2 = 1 1	–	50	–	ms
I²C-bus interface						
f_{SCL}	SCL clock frequency		0	–	400	kHz
t_{LOW}	SCL clock low period		1.3	–	–	μs
t_{HIGH}	SCL clock HIGH period		0.6	–	–	μs
$t_{SU;DAT}$	data set-up time		100	–	–	ns
$t_{HD;DAT}$	data hold time		0	–	–	ns
t_r	SDA, SCL rise time		–	–	300	ns
t_f	SDA, SCL fall time		note 3	–	300	ns
C_B	capacitive bus line load		–	–	400	pF
$t_{SU;STA}$	START condition set-up time		0.6	–	–	μs
$t_{HD;STA}$	START condition hold time		0.6	–	–	μs
$t_{SU;STO}$	STOP condition set-up time		0.6	–	–	μs
Reset						
t_{RST}	external reset duration		50	–	–	μs
t_{RSU}	set-up time after reset	oscillator running	–	–	105	μs
t_{OSU}	set-up time after switch-on	oscillator running	–	–	4	ms
Data input						
t_{DI}	data input transition time	see Fig. 13	–	–	100	μs
t_{DI1}	data input logic 1 duration	see Fig. 13	t_{BIT}	–	∞	
t_{DI0}	data input logic 0 duration	see Fig. 13	t_{BIT}	–	∞	
POCSAG data timing (512 bits/s)						
f_{DI}	data input rate	SPF byte 01H; bits D5, D4 = 0 0	–	512	–	bits/s
t_{BIT}	bit duration		–	1.9531	–	ms
t_{CW}	codeword duration		–	62.5	–	ms
t_{PA}	preamble duration		1125	–	–	ms
t_{BAT}	batch duration		–	1062.5	–	ms

Advanced POCSAG Paging Decoder

PCD5003

SYMBOLS	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
POCSAG data timing (1200 bits/s)						
t_{DI}	data input rate	SPF byte 01H; bits D5, D4 = 1 0	–	1200	–	bits/s
t_{BIT}	bit duration		–	833.3	–	μ s
t_{CW}	codeword duration		–	26.7	–	ms
t_{PA}	preamble duration		480	–	–	ms
t_{BAT}	batch duration		–	453.3	–	ms
POCSAG data timing (2400 bits/s)						
t_{DI}	data input rate	SPF byte 01H; bits D5, D4 = 1 1	–	2400	–	bits/s
t_{BIT}	bit duration		–	416.6	–	μ s
t_{CW}	codeword duration		–	13.3	–	ms
t_{PA}	preamble duration		240	–	–	ms
t_{BAT}	batch duration		–	226.6	–	ms
Synthesizer control						
t_{ZSU}	synthesizer set-up duration	oscillator running; note 4	1	–	2	bits
t_{ZSC}	output clock frequency	note 5	–	38400	–	Hz
t_{ZCL}	clock pulse duration		–	13.02	–	μ s
t_{ZSD}	data bit duration	note 5	–	26.04	–	μ s
t_{ZDS}	data bit set-up time		–	13.02	–	μ s
t_{ZDL1}	data load enable delay		–	91.15	–	μ s
t_{ZLE}	load enable pulse duration		–	13.02	–	μ s
t_{ZDL2}	Inter block delay		–	117.19	–	μ s

Notes

- 1: 32768 Hz reference signal: 32 pulses per 75 clock cycles, alternately separated by 1 or 2 pulse periods (pulse duration: t_{RFP}). The timing is shown in Fig.14.
- 2: 50 Hz reference signal: square-wave.
- 3: The fall time may be faster than prescribed in the I²C-bus specification for very low load capacitance values. To increase the fall time external capacitance is required.
- 4: Duration depends on programmed bit rate; after reset $t_{ZSU} = 1.5$ bits.
- 5: Nominal values; pause in 12th data bit (see Table 12).

Advanced POCSAG Paging Decoder

PCD5003



Fig.13 Data input timing.

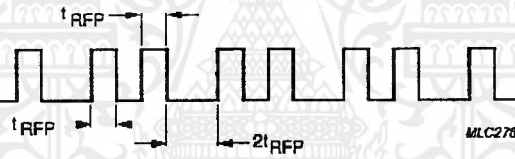


Fig.14 Timing of the 32 768 Hz reference signal.

OVERVIEW

The SED1526 series is a single-chip LCD driver for dot-matrix liquid crystal displays (LCD's). It accepts serial or 8-bit parallel display data directly from a microprocessor and stores data in an on-chip display RAM. It can generate an LCD drive signal independent from microprocessor clock.

As the SED1526 series features the very low power dissipation and wide operating voltage range, it can easily realize a powerful but compact display unit having a small battery.

A single chip of SED1526 series can drive a 17x80-pixel or 33x64-pixel LCD panel.

(Note: The SED1526 series are not designed to have EMI resistance.)

FEATURES

- Direct data display using the display RAM. When RAM data bit is 0, it is not displayed; when 1, it is displayed.
- Large 80x33-bit RAM capacity
- On-chip LCD driver circuit (97 segment and common drivers)

- High-speed, 8-bit microprocessor interface allowing direct connection to both the 8080 and 6800
- Supported serial interface
- Rich command functions (upward compatible to SED 1520 Series); they are Read/Write Display Data, Display On/Off Switching, Set Page Address, Set Initial Display Line, Set Column Address, Read Status, Static Drive On/Off Switching, Select Duty, Duty+1, Read-Modify-Write, Select Segment Driver Direction, Power Save, Reset, Set Power Control, Set Electronic Controls, Clock Stop.
- On-chip CR oscillator circuit
- On-chip LCD power circuit (The on-chip and external LCD power supplies are software selectable.)
- Very low power consumption
- Flexible power voltages; 2.4 to 6.0 V (VDD-VSS) and -13.0 to -4.0 V (VDD-V5)
- -40 to +85°C wide operating temperature range
- CMOS process
- 128-pin QFP5 package with aluminum pad or gold bump

Series Specifications (for 128-pin flat package)

Model	Operating clock (Internal OSC)	Duty	Segment driver	Common driver	VREG type	CMOS pin positions
SED1526FOA	20 kHz	1/8, 1/9, 1/16, 1/17	80	17	Type 1	Type A
SED1526FAA	20 kHz	1/8, 1/9, 1/16, 1/17	80	17	Type 1	Type B
SED1526FEA	20 kHz	1/8, 1/9, 1/16, 1/17	80	17	Type 2	Type A
SED1528FOA	20 kHz	1/32, 1/33	64	33	Type 1	Type A

Type 1 VREG (Built-in power supply regulating voltage)
Temperature gradient: 0.17% /°C

Type 2 VREG (Built-in power supply regulating voltage)
Temperature gradient: 0.00% /°C

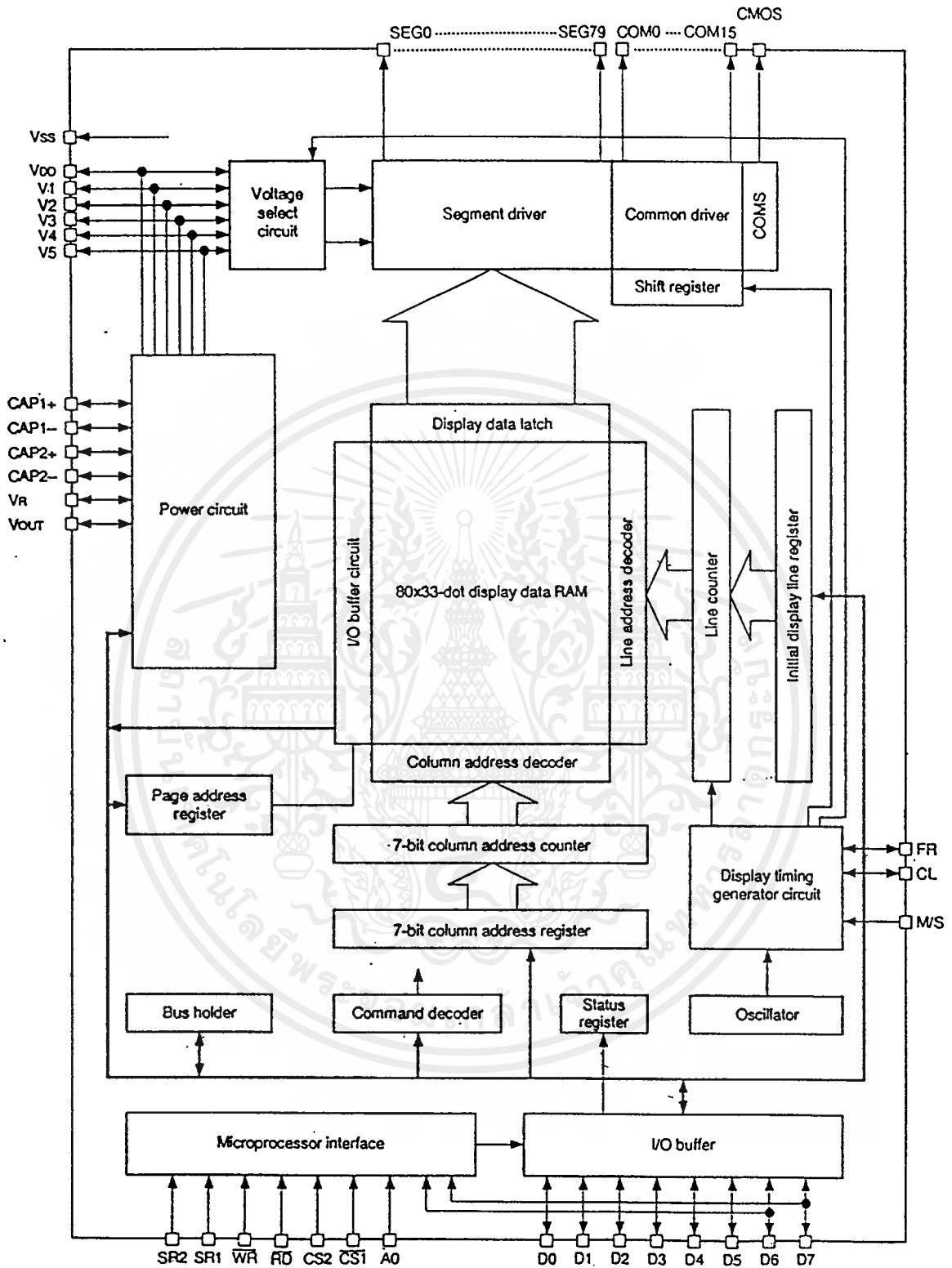
Refer to No. P3 (Package pin layout), No. P4 (PAD layout) and No. P5 (PAD coordinates).

An SED1526 series package has one of following subcodes according to its package type (an example of SED1526):

- SED1526FOA: 128-pin QFP5 flat package
- SED1526D0*: Bear chip
SED1526D0A having aluminum pad
SED1526D0B having gold bump
- SED1526T**: TCP

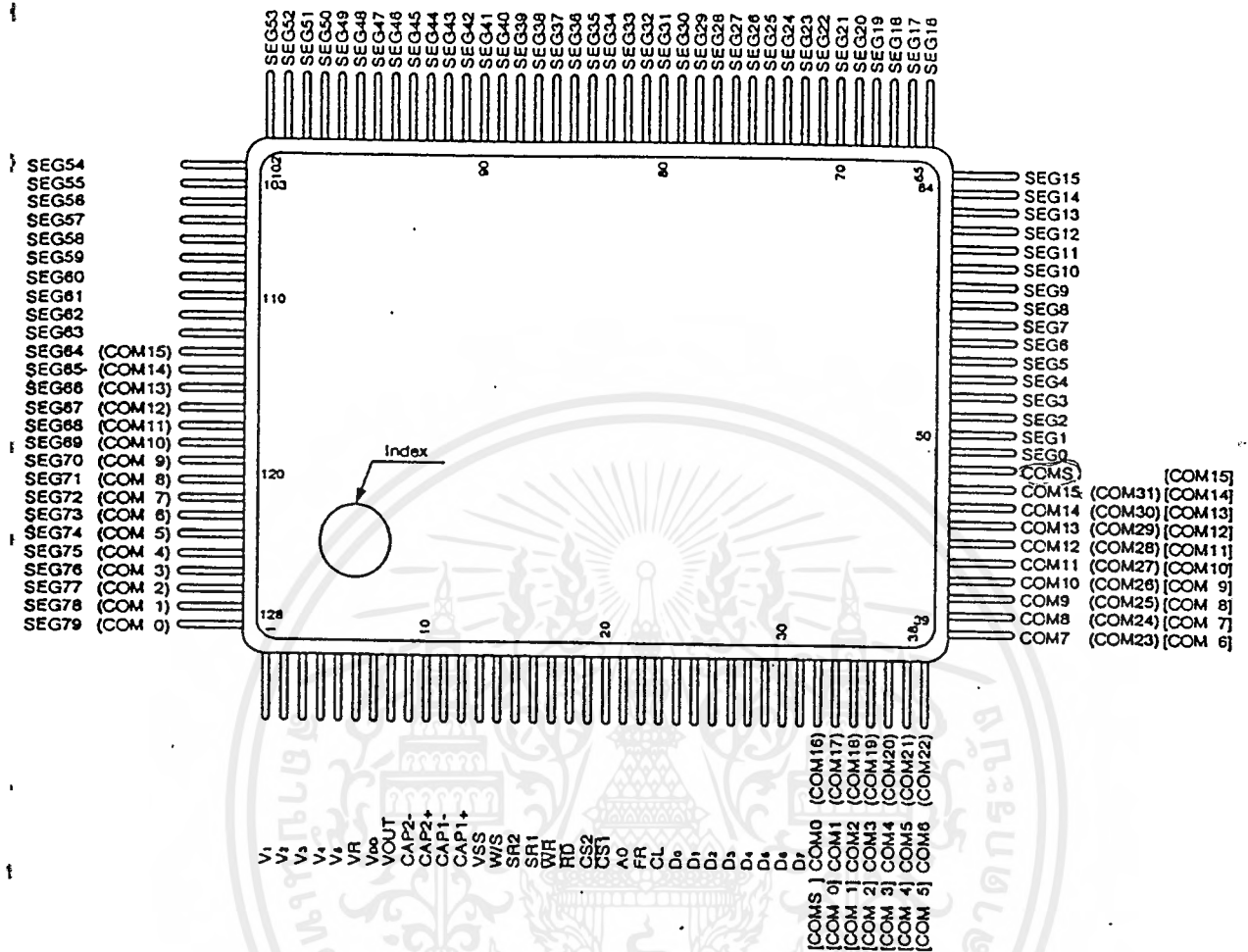
SED1526

BLOCK DIAGRAM (SED1526*0*)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

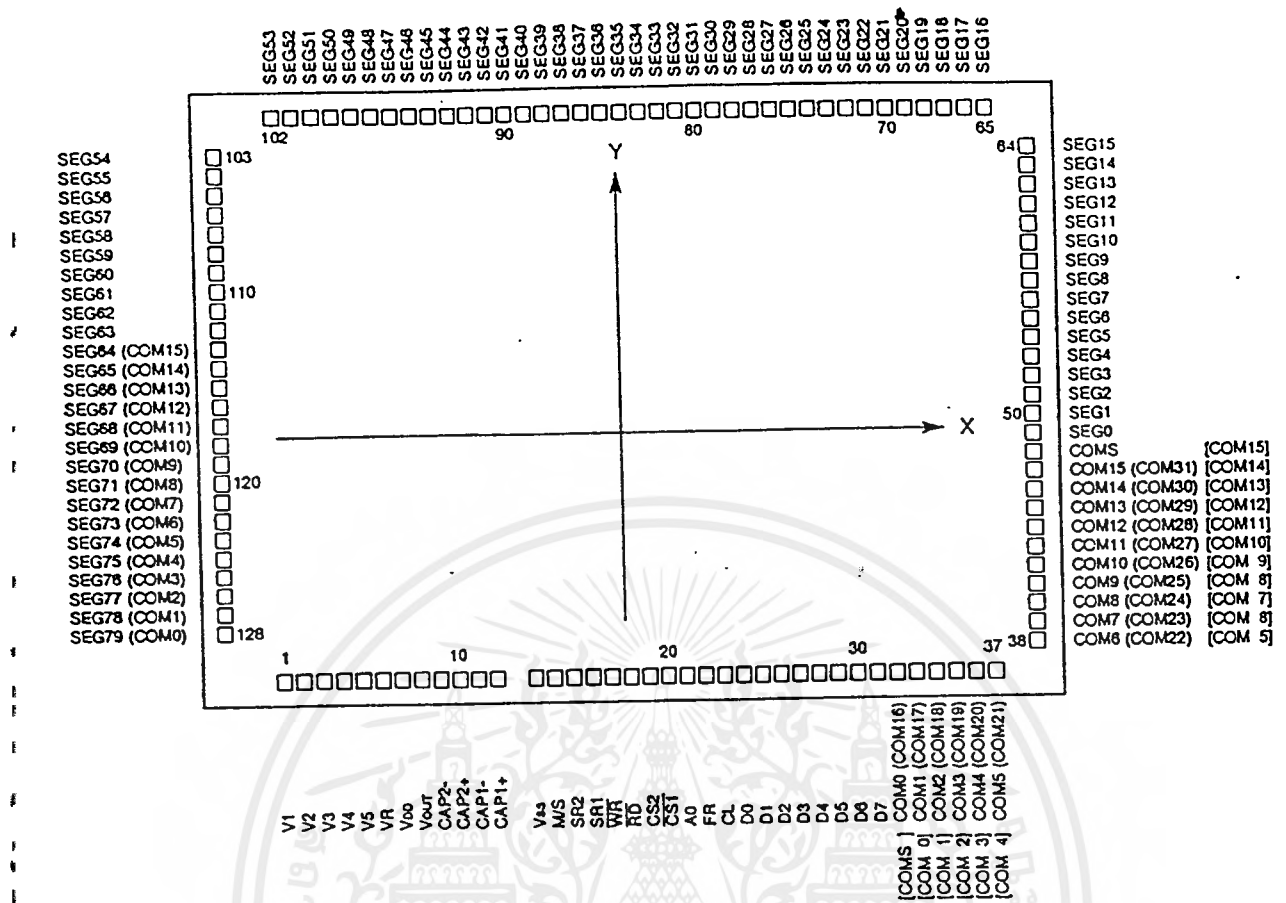
PIN ASSIGNMENT
Package Pin Assignment



SED1526

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pad Layout



* Pin names in () apply to SED1528.
 * Pin names in [] apply to SED1526DA* (CMOS pin - Type B).

- Aluminum pad chip**
- Chip size 5.92 mm × 4.68 mm
 - Chip thickness 0.4 mm
 - Pad opening 90.2 μm × 90.2 μm
 - Pad pitch 130 μm (Min)
- Gold bump chip (reference)**
- Chip size 5.92 mm × 4.68 mm
 - Chip thickness 0.4 mm
 - Bump size 81.7 μm × 81.7 μm
 - Bump height 22.5 μm

Pad Coordinates

PAD No.	PIN Name	X	Y	PAD No.	PIN Name	X	Y
1	V1	-2767	-2106	65	SEG16	2516	2185
2	V2	-2637	-2106	66	SEG17	2367	2185
3	V3	-2507	-2106	67	SEG18	2218	2185
4	V4	-2377	-2106	68	SEG19	2088	2185
5	V5	-2246	-2106	69	SEG20	1957	2185
6	VR	-2116	-2149	70	SEG21	1827	2185
7	VDD	-1985	-2176	71	SEG22	1697	2185
8	VOUT	-1857	-2176	72	SEG23	1567	2185
9	CAP2-	-1727	-2176	73	SEG24	1437	2185
10	CAP2+	-1522	-2176	74	SEG25	1307	2185
11	CAP1-	-1318	-2176	75	SEG26	1177	2185
12	CAP1+	-1113	-2176	76	SEG27	1046	2185
13	VSS	-553	-2166	77	SEG28	916	2185
14	M/S	-356	-2185	78	SEG29	786	2185
15	SR2	-226	-2185	79	SEG30	656	2185
16	SR1	-95	-2185	80	SEG31	526	2185
17	WR	35	-2185	81	SEG32	396	2185
18	RD	165	-2185	82	SEG33	266	2185
19	CS2	295	-2185	83	SEG34	135	2185
20	CS1	425	-2185	84	SEG35	5	2185
21	A0	555	-2185	85	SEG36	-125	2185
22	FR	719	-2185	86	SEG37	-255	2185
23	CL	849	-2185	87	SEG38	-385	2185
24	D0	979	-2185	88	SEG39	-515	2185
25	D1	1109	-2185	89	SEG40	-646	2185
26	D2	1239	-2185	90	SEG41	-776	2185
27	D3	1369	-2185	91	SEG42	-906	2185
28	D4	1500	-2185	92	SEG43	-1036	2185
29	D5	1630	-2185	93	SEG44	-1166	2185
30	D6	1760	-2185	94	SEG45	-1296	2185
31	D7	1890	-2185	95	SEG46	-1426	2185
32	COM0 (COM16) [CMOS]	2069	-2185	96	SEG47	-1557	2185
33	COM1 (COM17) [COM0]	2199	-2185	97	SEG48	-1687	2185
34	COM2 (COM18) [COM1]	2329	-2185	98	SEG49	-1817	2185
35	COM3 (COM19) [COM2]	2459	-2185	99	SEG50	-1947	2185
36	COM4 (COM20) [COM3]	2589	-2185	100	SEG51	-2077	2185
37	COM5 (COM21) [COM4]	2719	-2185	101	SEG52	-2226	2185
38	COM6 (COM22) [COM5]	2802	-1654	102	SEG53	-2375	2185
39	COM7 (COM23) [COM6]	2802	-1524	103	SEG54	-2802	1932
40	COM8 (COM24) [COM7]	2802	-1393	104	SEG55	-2802	1802
41	COM9 (COM25) [COM8]	2802	-1263	105	SEG56	-2802	1672
42	COM10 (COM26) [COM9]	2802	-1133	106	SEG57	-2802	1541
43	COM11 (COM27) [COM10]	2802	-1003	107	SEG58	-2802	1411
44	COM12 (COM28) [COM11]	2802	-873	108	SEG59	-2802	1281
45	COM13 (COM29) [COM12]	2802	-743	109	SEG60	-2802	1151
46	COM14 (COM30) [COM13]	2802	-612	110	SEG61	-2802	1021
47	COM15 (COM31) [COM14]	2802	-482	111	SEG62	-2802	891
48	COMS [COM15]	2802	-352	112	SEG63	-2802	760
49	SEG0	2802	-193	113	SEG64 (COM15)	-2802	599
50	SEG1	2802	-63	114	SEG65 (COM14)	-2802	469
51	SEG2	2802	67	115	SEG66 (COM13)	-2802	339
52	SEG3	2802	197	116	SEG67 (COM12)	-2802	209
53	SEG4	2802	327	117	SEG68 (COM11)	-2802	78
54	SEG5	2802	457	118	SEG69 (COM10)	-2802	-52
55	SEG6	2802	588	119	SEG70 (COM9)	-2802	-182
56	SEG7	2802	718	120	SEG71 (COM8)	-2802	-312
57	SEG8	2802	848	121	SEG72 (COM7)	-2802	-442
58	SEG9	2802	978	122	SEG73 (COM6)	-2802	-572
59	SEG10	2802	1108	123	SEG74 (COM5)	-2802	-703
60	SEG11	2802	1238	124	SEG75 (COM4)	-2802	-833
61	SEG12	2802	1368	125	SEG76 (COM3)	-2802	-963
62	SEG13	2802	1499	126	SEG77 (COM2)	-2802	-1093
63	SEG14	2802	1629	127	SEG78 (COM1)	-2802	-1223
64	SEG15	2802	1759	128	SEG79 (COM0)	-2802	-1353

SED1526

* Pin names in () apply to SED1528.
 * Pin names in [] apply to SED1526DA* (CMOS pin - Type B).

SED1526 Series

PIN DESCRIPTION

Power Supply

Name	I/O	Description	Number of pins
V _{DD}	Supply	+5VDC power supply. Common to microprocessor power supply pin V _{CC} .	1
V _{SS}	Supply	Ground	1
V ₁ , V ₂ V ₃ , V ₄ V ₅	Supply	LCD driver supply voltages. The Set Power Control command can switch the on-chip and external power supply modes of these pins. When external mode selects, the voltage determined by LCD cell is impedance-converted by a resistive divider or an operational amplifier for application. Voltages should be the following relationship: V _{DD} ≥ V ₁ ≥ V ₂ ≥ V ₃ ≥ V ₄ ≥ V ₅ When master mode selects, these voltages are generated on the chip:	5

	SED1526	SED1528
V ₁	1/5 V ₅	1/7 V ₅
V ₂	2/5 V ₅	2/7 V ₅
V ₃	3/5 V ₅	5/7 V ₅
V ₄	4/5 V ₅	6/7 V ₅

LCD Driver Supplies

Name	I/O	Description	Number of pins
CAP1+	O	DC/DC voltage converter capacitor 1 positive connection	1
CAP1-	O	DC/DC voltage converter capacitor 1 negative connection	1
CAP2+	O	DC/DC voltage converter capacitor 2 positive connection	1
CAP2-	O	DC/DC voltage converter capacitor 2 negative connection	1
V _{OUT}	O	DC/DC voltage converter output	1
V _R	I	Voltage adjustment pin. Applies voltage between V _{DD} and V ₅ using a resistive divider.	1

Microprocessor Interface

Name	I/O	Description	Number of pins
D0 to D7 (SI) (SCL)	I/O	Data input/outputs. The 8-bit bidirectional data buses to be connected to the standard 4/8-bit microprocessor data buses. When the serial interface selects, D7 is serial data input (SI) and D6 is serial clock input (SCL).	8
A0	I	Control/display data flag input. It is connected to the LSB of microprocessor address bus. When low, the data on D0 to D7 is control data. When high, the data on D0 to D7 is display data.	1
CS1 CS2	I	Chip select input. Data input/output is enabled when -CS1 is low and CS2 is high.	2
RD (E)	I	<ul style="list-style-type: none"> Read enable input. When interfacing to an 8080-series microprocessor and when its RD is low, the SED1526 series data bus output is enabled. When interfacing to an 6800-series microprocessor and when its R/W Enable (E) is high, the SED1526 series R/W input is enabled. 	1
WR (R/W)	I	<ul style="list-style-type: none"> Write enable input. When interfacing to an 8080-series microprocessor, WR is active low. When interfacing to an 6800-series microprocessor, it will be read mode when R/W is high and it will be write mode when R/W is low. <p>R/W = "1" : Read R/W = "0" : Write</p>	1

Name	I/O	Description	Number of pins															
SR1, SR2	I	Microprocessor interface select, and parallel/serial data input select. <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>SR1</th> <th>SR2</th> <th>Type</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>8080 microprocessor bus (parallel input)</td> </tr> <tr> <td>1</td> <td>1</td> <td>6800 microprocessor bus (parallel input)</td> </tr> <tr> <td>1</td> <td>0</td> <td>Serial input</td> </tr> <tr> <td>0</td> <td>0</td> <td>Reset</td> </tr> </tbody> </table> <p>* In serial mode, no data can be read from RAM and D0 to D5 are HZ. RD and WR must be high or low. When set for the 68 family MPU, the SR1 and SR2 timing must match or SR1 must rise first.</p>	SR1	SR2	Type	0	1	8080 microprocessor bus (parallel input)	1	1	6800 microprocessor bus (parallel input)	1	0	Serial input	0	0	Reset	2
SR1	SR2	Type																
0	1	8080 microprocessor bus (parallel input)																
1	1	6800 microprocessor bus (parallel input)																
1	0	Serial input																
0	0	Reset																

LCD Driver Outputs

Name	I/O	Description	Number of pins																
M/S	I	Normally "1".	1																
CL	I/O	Normally "1".	1																
FR	I/O	Normally "1".	1																
SEGN	O	LCD segment driver output. VDD, V2, V3, or V5 can select according to the display RAM and FR signal. <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>RAM data</th> <th>FR signal</th> <th>Output voltage of SEGN</th> </tr> </thead> <tbody> <tr> <td rowspan="2">1</td> <td>1</td> <td>VDD</td> </tr> <tr> <td>0</td> <td>V5</td> </tr> <tr> <td rowspan="2">0</td> <td>1</td> <td>V2</td> </tr> <tr> <td>0</td> <td>V3</td> </tr> <tr> <td>Power save</td> <td>-</td> <td>VDD</td> </tr> </tbody> </table>	RAM data	FR signal	Output voltage of SEGN	1	1	VDD	0	V5	0	1	V2	0	V3	Power save	-	VDD	80 (SED1526) or 64 (SED1528)
RAM data	FR signal	Output voltage of SEGN																	
1	1	VDD																	
	0	V5																	
0	1	V2																	
	0	V3																	
Power save	-	VDD																	
COMn	O	LCD common driver output. VDD, V1, V4, or V5 can select according to IC internal scan signal and FR signal. The common scan sequence is reversed in slave mode. <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>Internal scan signal</th> <th>FR signal</th> <th>Output voltage of COMn</th> </tr> </thead> <tbody> <tr> <td rowspan="2">1</td> <td>1</td> <td>V5</td> </tr> <tr> <td>0</td> <td>VDD</td> </tr> <tr> <td rowspan="2">0</td> <td>1</td> <td>V1</td> </tr> <tr> <td>0</td> <td>V4</td> </tr> <tr> <td>Power save</td> <td>-</td> <td>VDD</td> </tr> </tbody> </table>	Internal scan signal	FR signal	Output voltage of COMn	1	1	V5	0	VDD	0	1	V1	0	V4	Power save	-	VDD	16 (SED1526) or 32 (SED1528)
Internal scan signal	FR signal	Output voltage of COMn																	
1	1	V5																	
	0	VDD																	
0	1	V1																	
	0	V4																	
Power save	-	VDD																	
COMS	O	Indicator COM output. COMS pin is equivalent to following COM output pin when Duty+1 command is running: <table border="1" style="margin: 10px auto;"> <thead> <tr> <th rowspan="2"></th> <th colspan="2">SED1526</th> <th>SED1528</th> </tr> <tr> <th>1/9 duty</th> <th>1/17 duty</th> <th>1/33 duty</th> </tr> </thead> <tbody> <tr> <td>Indicator COMS output</td> <td>COM8</td> <td>COM16</td> <td>COM32</td> </tr> </tbody> </table>		SED1526		SED1528	1/9 duty	1/17 duty	1/33 duty	Indicator COMS output	COM8	COM16	COM32	1					
	SED1526			SED1528															
	1/9 duty	1/17 duty	1/33 duty																
Indicator COMS output	COM8	COM16	COM32																

FUNCTIONAL DESCRIPTION

Microprocessor Interface

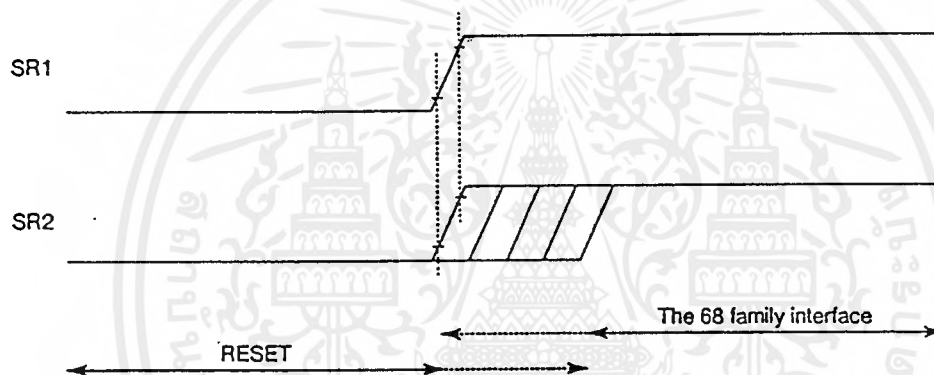
Parallel/Serial Interface

The SED1526 series can transfer data via 8-bit bidirectional data buses D0 to D7 or via serial data input D7 (SI). The 8-bit parallel data input or serial data input, 8080/6800-series microprocessor, and reset status can select according to SR1 and SR2. No data can be read from RAM and no status can be read during serial data input. Also, RD and WR are high or low, and D0 to D5 are open.

Table 1

SR1	SR2	Type	$\overline{CS1}$	CS2	A0	\overline{RD}	\overline{WR}	Data (D0 to D7)
0	1	8080 microprocessor bus (parallel)	$\overline{CS1}$	CS2	A0	\overline{RD}	\overline{WR}	D0 to D7
1	1	6800 microprocessor bus (parallel)	$\overline{CS1}$	CS2	A0	E	R/W	D0 to D7
1	0	Serial input	$\overline{CS1}$	CS2	A0	0/1	0/1	D6 (SCL) and D7 (SI)
0	0	Reset	$\overline{CS1}$	CS2	A0	\overline{RD}	\overline{WR}	-----

When set for the 68 family interface, the SR1 and SR2 timing must match or SR1 must rise first.



Data Bus Signals

The SED1526 series identifies the data bus signal according to A0, \overline{RD} , and \overline{WR} (E, R/W) signals.

Table 2

Common	6800 processor	8080 processor		Function
		\overline{RD}	\overline{WR}	
A0	\overline{WR} (R/W)			
1	1	0	1	Reads display data.
1	0	1	0	Writes display data.
0	1	0	1	Reads status.
0	0	1	0	Writes control data in internal register. (commands)

Serial Interface (SR1 is high and SR2 is low)

The serial interface consists of an 8-bit shift register and a 3-bit counter. The serial data input and serial clock input are enabled when $\overline{CS1}$ is low and CS2 is high (in chip select status). When chip is not selected, the shift register and counter are reset.

When serial data input is enabled by SR1 and SR2, D7 (SI) receives serial data and D6 (SCL) receives serial clock. Serial data of D7, D6, ..., D0 is read at D7 in this sequence when serial clock goes high. They are converted into 8-bit parallel data and processed on rising

edge of every eighth serial clock signal.

The serial data input is determined to be the display data when A0 is high, and it is control data when A0 is low. A0 is read on rising edge of every eighth clock signal.

Figure 1 shows a timing chart of serial interface signals. The serial clock signal must be terminated correctly against termination reflection and ambient noise. Operation checkout on the actual machine is recommended.

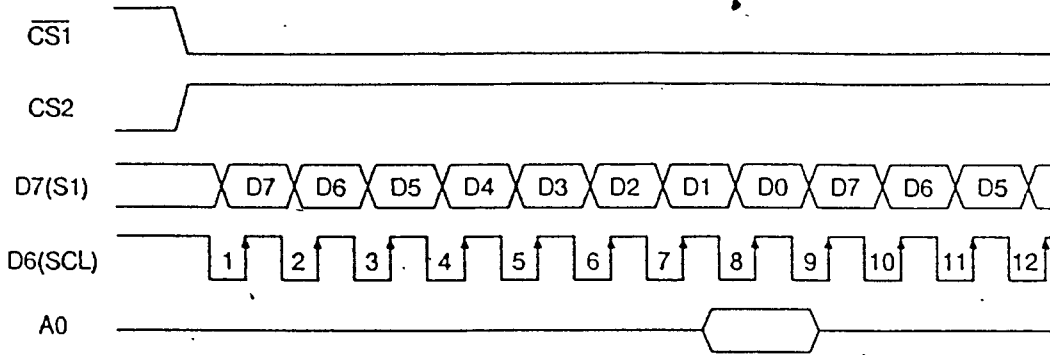


Figure 1

Chip Select Inputs

The SED1526 series can interface to microprocessor when $\overline{CS1}$ is low and $CS2$ is high. When these pins are set to any other combination, D0 to D7 are high impedance. A0, RD, and WR input are disabled. However, the reset signal is entered regardless of $\overline{CS1}$ and $CS2$ setup. The internal IC status including LCD driver circuit is held until a reset signal is entered.

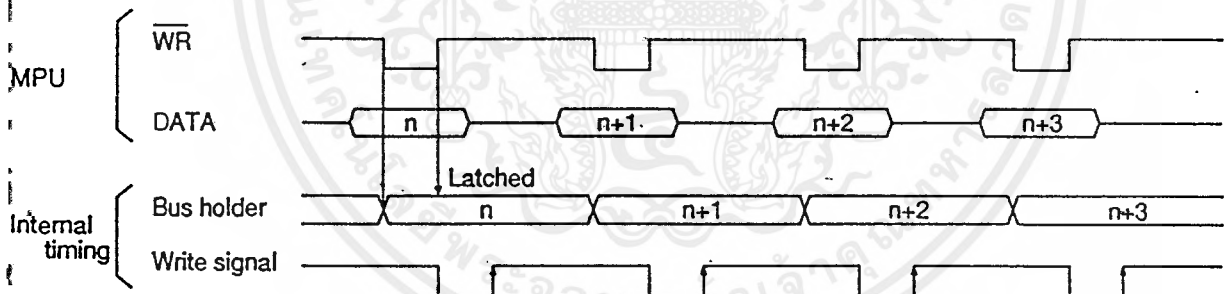
Access to Display Data RAM and Internal Registers

The SED1526 series can perform a series of pipeline processing between LSI's using bus holder of internal data bus in order to match the operating frequency of display RAM and internal registers with the microprocessor. For example, the microprocessor reads data

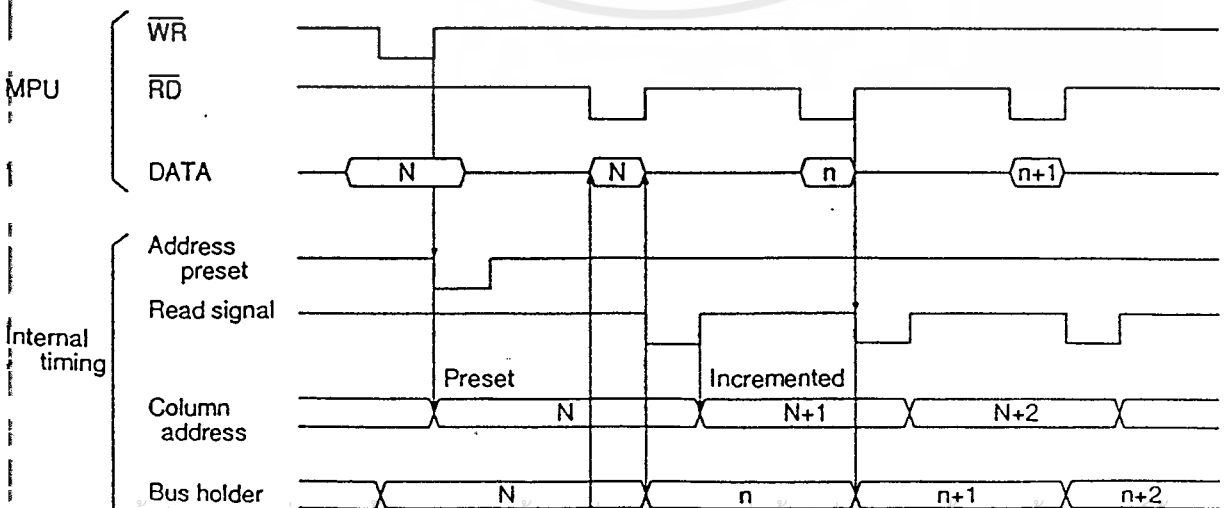
from display RAM in the first read (dummy) cycle, stores it in bus holder, and outputs it onto system bus in the next data read cycle. Also, the microprocessor temporarily stores display data in bus holder, and stores it in display RAM until the next data write cycle starts.

When viewed from the microprocessor, the SED1526 series access speed greatly depends on the cycle time rather than access time to the display RAM (t_{ACC} and t_{DS}). It shows the data transfer speed to/from the microprocessor can increase. If the cycle time is inappropriate, the microprocessor can insert the NOP instruction that is equivalent to the wait cycle setup. However, there is a restriction in the display RAM read sequence. When an address is set, the specified address data is NOT output at the immediately following read instruction. The address data is output during second data read. A single dummy read must be inserted after address setup and after write cycle (refer to Figure 2).

Write



Read



Set address n Dummy read Read address n Read address n+1

n: Current data
N: Dummy data

Busy Flag

The Busy flag is set when the SED1526 series starts to operate. During operating, it accepts Read Status instruction only. The busy flag signal is output at pin D7 when Read Status is issued. If the cycle time (t_{CYC}) is correct, the microprocessor needs not to check the flag before issuing a command. This can greatly improve the microprocessor performance.

Initial Display Line Register

When the display RAM data is read, the display line according to COM0 (usually, the top line of screen) is determined using register data. The register is also used for screen scrolling and page switching.

The Set Display Start Line command sets the 5-bit display start address in this register. The register data is preset on the line counter each time FR signal status changes. The line counter is incremented by oscillator circuit output (in master mode) or CL input (in slave mode), and it generates a line address to allow 80-bit sequential data output from display RAM to LCD driver circuit.

Column Address Counter

This is a 7-bit presettable counter that provides column address to the display RAM (refer to Figure 4). It is incremented by 1 when a Read/Write command is entered. However, the counter is not incremented but locked if a non-existing address above 50H is specified. It is

unlocked when a column address is set again. The Column Address counter is independent of Page Address register. When ADC Select command is issued to display inverse display, the column address decoder inverts the relationship between RAM column address and display segment output.

Page Address Register

This is a 4-bit page address register that provides page address to the display RAM (refer to Figure 4). The microprocessor issues Set Page Address command to change the page and access to another page. Page address 4 (D2 is high, but D0 and D1 are low) is RAM area dedicate to the indicator, and display data D0 is only valid.

Display Data RAM

The display data RAM stores pixel data for LCD. It is a 33-column by 80-row (4-page by 8+1 bit) addressable array. Each pixel can be selected when page and column addresses are specified.

The time required to transfer data is very short because the microprocessor enters D0 to D7 corresponding to LCD common lines as shown in Figure 3. Therefore, multiple SED1526's can easily configure a large display having the high flexibility with very few data transmission restriction.

The microprocessor writes and reads data to/from the RAM through I/O buffer. As LCD controller operates independently, data can be written into RAM at the same time as data is being displayed, without causing the LCD to flicker.

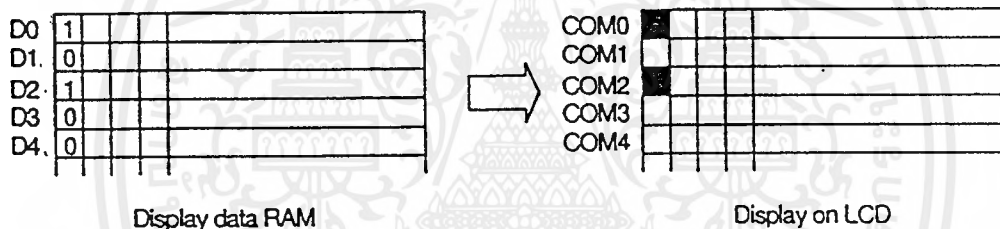


Figure 3

Relationship between display data RAM and addresses (if initial display line is 08):

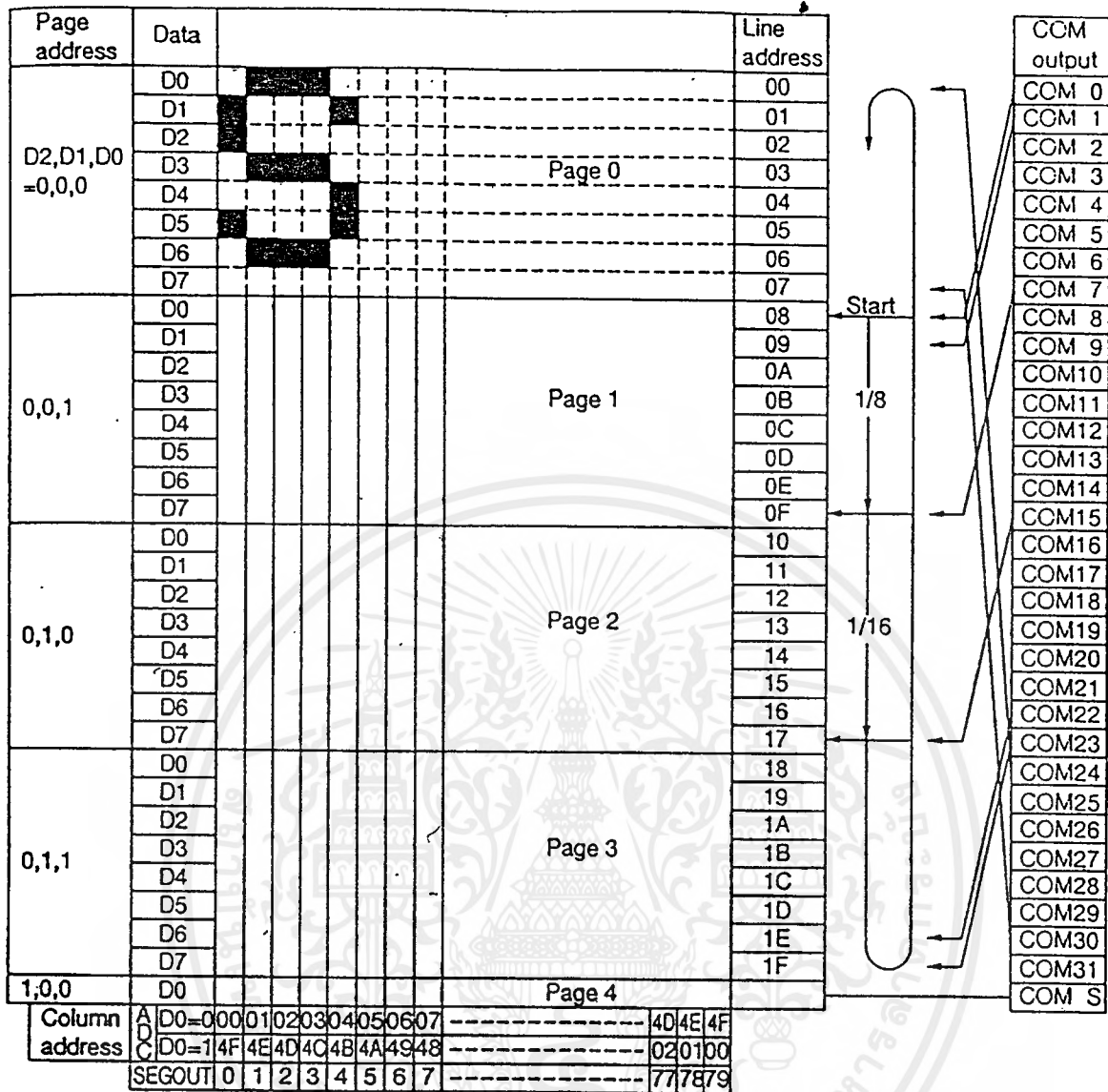


Figure 4

Display Timing Generator Circuit

This section explains how the display timing generator circuit operates.

Signal generation to line counter and display data latch circuit

The line address counter, RAM, and latch circuit of the SED1526 series operate synchronous to the display clock (the oscillator circuit out).mm The LCD drive signal is sent to LCD panel driver output pin SEGn.

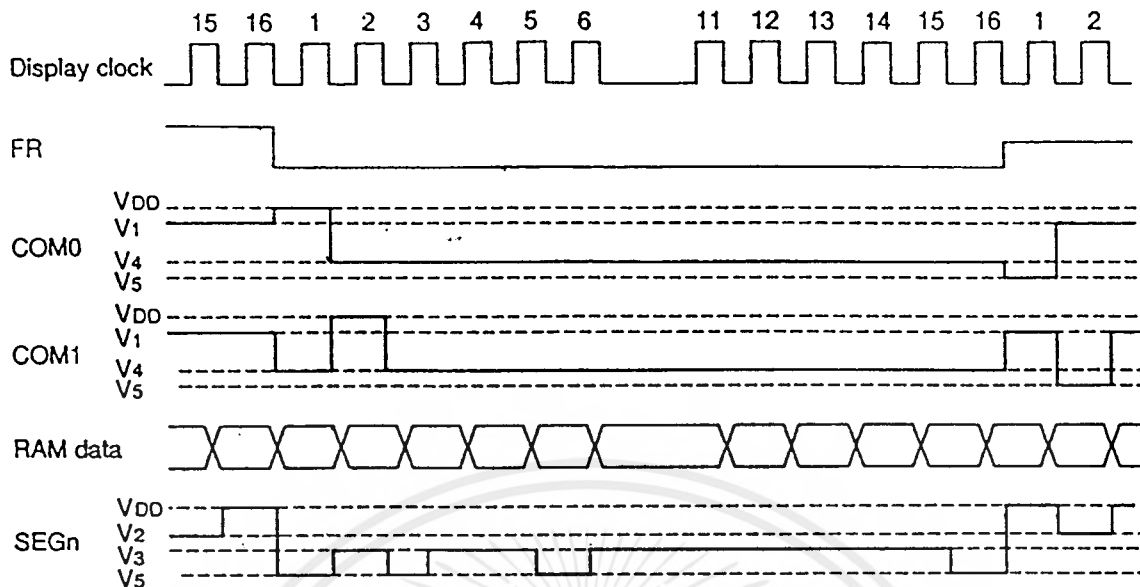
The timing of LCD panel driver outputs is independent of the timing of RAM data input from microprocessor.

LCD AC Signal (FR)

The LCD AC signal, FR, is generated from the display clock. The FR controller generates dual-frame AC driver waveforms for LCD panel driver circuit.

SED1526 Series

Dual-frame AC driver waveforms (If SED1526 is used in 1/16 duty)



Common timing Signals

The common timing generator circuit uses the display clock to generate common timing signal and FR frame signal. The Duty Select command can select 1/8 or 1/16 duty (SED1526). A combination of Select Duty and Duty+1 commands can select 1/9 or 1/17 duty (SED1526).

Display Data Latch Circuit

This circuit temporarily stores (or latches) display data (during a single common signal period) when it is output from display RAM to LCD panel driver circuit. This latch is controlled by Display ON/OFF and Static Drive ON/OFF commands. These commands do not alter the data.

LCD Driver

This is a multiplexer circuit consisting of 96 segment outputs to generate four-level LCD panel drive signals. The circuit also has a pair of COM outputs for indicator display. The COM n output has a shift register to sequentially output COM scan signals. The LCD panel drive voltage is generated by a specific combination of display data, COM scan signal, and FR signal. Figure 6 gives an example of SEG and COM output waveforms.

Oscillation Circuit

This is a low power consumption CR oscillator having an oscillator resistor, and its output is used as the display timing signal source or as the clock for voltage boost circuit of LCD power supply. The display clock output can be stopped by Clock Stop command to minimize the current consumption of LCD panel.

Power Supply Circuit

The power supply circuit produces voltage to drive LCD panel at low power consumption. The power circuit consists of three subcircuits: voltage tripler, voltage regulator, and voltage follower. The voltage tripler outputs $V_{DD} - (V_{SS} \times 2)$ or $-(V_{SS} \times 3)$ voltage at V_{OUT} . The regulator circuit generates V_5 voltage using external resistor. The voltage follower circuit changes the impedance of V_1 to V_4 that are generated from V_5 through division with internal resistors. (Details are explained later.)

SED1526 series can drive LCD panel using on-chip power circuit. However, the on-chip power circuit is intended to use for a small LCD panel and it is inappropriate to a large panel requiring multiple driver chips. As the large LCD panel has the dropped display quality due to large load capacity, it must use an external power source. The power circuit is controlled by Set Power Control command. This command sets a three-bit data in Power Control register to select one of eight power circuit functions. The external power supply and part of on-chip power circuit functions can be used simultaneously. The following explains how the Set Power Control command works.

[Control by Set Power Control command]

D2 turns on when triple booster control bit goes high, and D2 turns off when this bit goes low.

D1 turns on when voltage regulator control bit goes high, and D1 turns off when this bit goes low.

D0 turns on when voltage follower control bit goes high, and D0 turns off when this bit goes low.

[Practical combination examples]

D2 D1 D0	Voltage booster	Voltage regulator	Voltage follower	External voltage input	Voltage booster terminal	Voltage regulator terminal
1 1 1	ON	ON	ON	—	Used	Used
1 0 0	ON	OFF	OFF	—	Used	OPEN
0 1 1	OFF	ON	ON	To V _{OUT}	OPEN	Used
0 0 0	OFF	OFF	OFF	To V ₁ to V ₅	OPEN	OPEN

To use the on-chip (internal) power supply only, set (D2,D1,D0)=(1,1,1).

To use the voltage booster circuit only, set (D2,D1,D0)=(1,0,0).

To use the voltage regulator and voltage follower, set (D2,D1,D0)=(0,1,1).

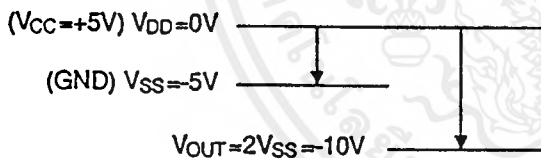
To use an external power supply only, set (D2,D1,D0)=(0,0,0).

- Notes:
1. The voltage booster terminals are CAP1+, CAP1-, CAP2+, and CAP2-.
 2. The above listed examples are the most practical use to control each circuit using control bits. Any other setup is unpractical and omitted in this manual.
 3. The V/F circuit alone cannot be used. When this circuit is used, the V adjustment circuit must be set simultaneously.

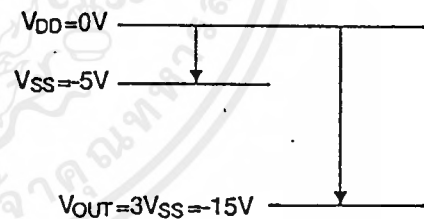
Voltage tripler

If capacitors C1 are inserted between CAP1+ and CAP1-, between CAP2+ and CAP2-, and between V_{SS} and V_{OUT}, the potential between V_{DD} and V_{SS} is boosted to triple toward negative side and it is output at V_{OUT}. For double boosting, remove only capacitor C1 between CAP2+ and CAP2-, open CAP2+, and jumper between CAP2- and V_{OUT}. The double boosted voltage appears at V_{OUT} (CAP2-).

The booster receives signals from oscillator circuit and, therefore, the oscillator must be active. The following shows the boosted potential.



Potential during double boosting



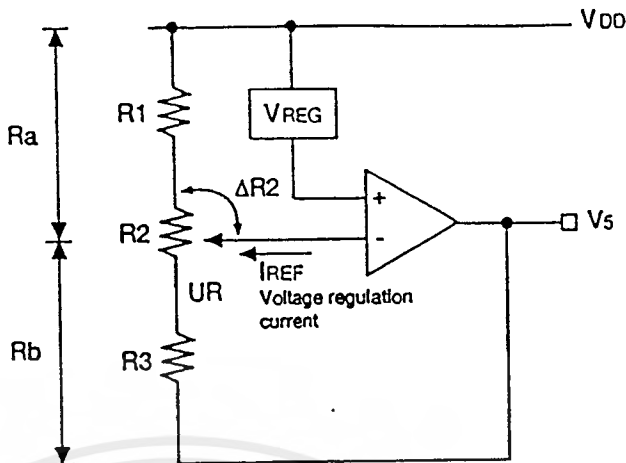
Potential during triple boosting

Voltage regulator

The boosting voltage occurring at V_{OUT} is sent to the voltage regulator and the V_5 liquid crystal display (LCD) drive voltage is output. This voltage can be determined by the following equation when resistors R_a and R_b (R_1, R_2 and R_3) are adjusted within the range of $1V_5 \leq V_{OUT}$.

$$V_5 = \left(1 + \frac{R_b}{R_a}\right) \cdot V_{REG} + I_{REF} \cdot R_b$$

$$= \left(1 + \frac{R_3 + R_2 - \Delta R_2}{R_1 + \Delta R_2}\right) \cdot V_{REG} + I_{REF} \cdot (R_3 + R_2 - \Delta R_2)$$



where, V_{REG} is the constant voltage source of the IC, and it is constant ($V_{REG} = -3.1$ V). ($V_{REG} = \text{Type1}$) $V_{REG} = V_{SS}$ (V_{DD} basis) ($V_{REG} = \text{Type2}$)
 I_{REF} is the voltage regulation current of the Electronic Volume Control Function, and $I_{REF} = 2.4$ μ A if the electronic volume control register (32-state) has $(D_4, D_3, D_2, D_1, D_0) = (1, 1, 1, 1, 1)$.
 To adjust the V_5 output voltage, insert a variable resistor between R_2 , V_{DD} and V_5 as shown. A combination of R_1 and R_3 constant resistors and R_2 variable resistor is recommended for fine-adjustment of V_5 voltage.

Setup example of resistors R_1, R_2 and R_3 :

When the Electronic Volume Control Function is OFF (electronic volume control register values are $(D_4, D_3, D_2, D_1, D_0) = (0, 0, 0, 0, 0)$):

$$V_5 = \left(1 + \frac{R_3 + R_2 - \Delta R_2}{R_1 + \Delta R_2}\right) \cdot V_{REG} \quad \text{①}$$

(As $I_{REF} = 0$ A)

- $R_1 + R_2 + R_3 = 6.0$ $M\Omega$ ②
 (Determined by the current passing between V_{DD} and V_5)
- Variable voltage range by R_2 : -6.2 to -9.3 V
 (Determined by the LCD characteristics)
- $\Delta R_2 = 0\Omega$, $V_{REG} = -3.1$ V
 To obtain $V_5 = -9.3$ V, from equation (1):
 $R_2 + R_3 = 2 \cdot R_1$ ③
- $\Delta R_2 = R_2$, $V_{REG} = -3.1$ V
 To obtain $V_5 = -6.2$ V, from equation (1):
 $R_1 + R_2 = 1 \cdot R_1$ ④

From equations ②, ③ and ④: $R_1 = 2.0$ $M\Omega$
 $R_2 = 1.0$ $M\Omega$
 $R_3 = 3.0$ $M\Omega$

The voltage regulator circuit has a temperature gradient of approximately $-0.17\%/^{\circ}\text{C}$ as the V_{REG} voltage. To obtain another temperature gradient, use the Electronic Volume Control Function or software processing using the MPU.

As the VR pin has a high input impedance, the shielded and short lines must be protected from a noise interference.

When the $V_{REG} = \text{Type 2}$, similarly preset R_1, R_2 and R_3 on the basis of $V_{REG} = V_{SS}$.

Voltage regulator circuit using the Electronic Volume Control Function

The Electronic Volume Control Function can adjust the intensity (brightness level) of liquid crystal display (LCD) screen by command control of V_5 LCD driver voltage. This function sets five-bit data in the electronic volume control register, and the V_5 LCD driver voltage can be one of 32-state voltages.

To use the Electronic Volume Control Function, issue the Set Power Control command to simultaneously operate both the voltage regulator circuit and voltage follower circuit. Also, when the voltage tripler off, the voltage must be supplied from V_{OUT} terminal.

When the Electronic Volume Control Function is used, the V_5 voltage can be expressed as follows:

$$V_5 = \left(1 + \frac{R_b}{R_a}\right) \cdot V_{REG} + I_{REF} \cdot R_b \quad \text{⑤}$$

(Variable voltage range)

The increased V_5 voltage is controlled by use of I_{REF} current source of the IC. (For 32 voltage levels, $\Delta I_{REF} = I_{REF}/31$)

The minimum setup voltage of the V_5 absolute value is determined by the ratio of external R_a and R_b , and the increased voltage by the Electronic Volume Control Function is determined by resistor R_b . Therefore, the resistors must be set as follows:

- (1) Determine R_b resistor depending on the V_5 variable voltage range by use of the Electronic Volume Control.

$$R_b = \frac{V_5 \text{ variable voltage range}}{I_{REF}}$$

- (2) To obtain the minimum voltage of the V_5 absolute value, determine R_a using the R_b of Step (1) above.

$$R_a = \frac{R_b}{\frac{V_5}{V_{REG}} - 1} \quad [V_5 = \left(1 + \frac{R_b}{R_a}\right) \cdot V_{REG}]$$

The SED1526 series have the built-in V_{REG} reference voltage and I_{REF} current source which are constant during voltage variation. However, they may change due to the variation occurring in IC manufacturing and due to the temperature change as shown below. Consider such variation and temperature change, and set the R_a and R_b appropriate to the LCD used.

$V_{REG} = -3.1V \pm 0.4V$ (Type1) $V_{REG} = -0.17\%/^{\circ}\text{C}$
 $V_{REG} = V_{SS}$ (V_{DD} basis) (Type2) $V_{REG} = -0.00\%/^{\circ}\text{C}$
 $I_{REF} = -1.2 \mu\text{A} \pm 40\%$ (For 16 levels) $I_{REF} = 0.011 \mu\text{A}/^{\circ}\text{C}$
 $I_{REF} = -2.4 \mu\text{A} \pm 40\%$ (For 32 levels) $I_{REF} = 0.022 \mu\text{A}/^{\circ}\text{C}$
 R_a is a variable resistor that is used to correct the V_5 voltage change due to V_{REG} and I_{REF} variation. Also, the contrast adjustment is recommended for each IC chip.

Before adjusting the LCD screen contrast, set the electronic volume control register values to $(D_4, D_3, D_2, D_1, D_0) = (1, 0, 0, 0, 0)$ or $(0, 1, 1, 1, 1)$ first. When not using the Electronic Volume Control Function, set the register values to $(D_4, D_3, D_2, D_1, D_0) = (0, 0, 0, 0, 0)$ by sending the $\overline{\text{RES}}$ signal or by issuing the Set Electronic Volume Control Register command.

Setup example of constants when Electronic Volume Control Function is used:

- V₅ maximum voltage: V₅ = -6.2 V (Electronic volume control register values (D4,D3,D2,D1,D0)=(0,0,0,0,0))
- V₅ minimum voltages: V₅ = -8.6 V (Electronic volume control register values (D4,D3,D2,D1,D0)=(1,1,1,1,1))
- V₅ variable voltage range: 2.4 V
- Variable voltage levels: 32 levels

(1) Determining the R_b:

$$R_b = \frac{V_5 \text{ variable voltage range}}{I_{REF}} = \frac{2.4 \text{ V}}{2.4 \mu\text{A}} \quad \underline{R_b = 1.0 \text{ M}\Omega}$$

(2) Determining the R_a:

$$R_a = \frac{R_b}{\frac{V_5 \text{ max}}{V_{REG}} - 1} = \frac{1.0 \text{ M}\Omega}{\frac{-6.2 \text{ V}}{-3.1 \text{ V}} - 1} \quad \underline{R_a = 1.0 \text{ M}\Omega}$$

According to the V₅ voltage and temperature change, equation ③ can be as follows (if V_{DD} = 0 V reference):

If T_a = 25°C:

$$V_5 \text{ max} = (1 + R_b/R_a) \cdot V_{REG} = (1 + 1 \text{ M}\Omega/1 \text{ M}\Omega) \times (-3.1 \text{ V}) = -6.2 \text{ V}$$

$$V_5 \text{ min} = V_5 \text{ max} + R_b \cdot I_{REF} = -6.2 \text{ V} + 1 \text{ M}\Omega \times (-2.4 \mu\text{A}) = -8.6 \text{ V}$$

If T_a = -10°C:

$$V_5 \text{ max} = (1 + R_b/R_a) \cdot V_{REG} = (1 + 1 \text{ M}\Omega/1 \text{ M}\Omega) \times (-3.1 \text{ V}) \times \{1 + (-0.17\%/^{\circ}\text{C}) \times (-10^{\circ}\text{C} - 25^{\circ}\text{C})\} = -6.57 \text{ V}$$

$$V_5 \text{ min} = V_5 \text{ max} + R_b \cdot I_{REF} = -6.57 \text{ V} + 1 \text{ M}\Omega \times \{-2.4 \mu\text{A} + (0.022 \mu\text{A}/^{\circ}\text{C}) \times (-10^{\circ}\text{C} - 25^{\circ}\text{C})\} = -8.20 \text{ V}$$

If T_a = 50°C:

$$V_5 \text{ max} = (1 + R_b/R_a) \cdot V_{REG} = (1 + 1 \text{ M}\Omega/1 \text{ M}\Omega) \times (-3.1 \text{ V}) \times \{1 + (-0.17\%/^{\circ}\text{C}) \times (50^{\circ}\text{C} - 25^{\circ}\text{C})\} = -5.94 \text{ V}$$

$$V_5 \text{ min} = V_5 \text{ max} + R_b \cdot I_{REF} = -5.94 \text{ V} + 1 \text{ M}\Omega \times \{-2.4 \mu\text{A} + (0.022 \mu\text{A}/^{\circ}\text{C}) \times (-50^{\circ}\text{C} - 25^{\circ}\text{C})\} = -8.89 \text{ V}$$

The margin must also be determined in the same procedure given above by considering the V_{REG} and I_{REF} variation. This margin calculation results show that the V₅ center value is affected by the V_{REG} and I_{REF} variation. The voltage setup width of the Electronic Volume Control depends on the I_{REF} variation. When the typical value of 0.2 V/step is set, for example, the maximum variation range of 0.12 to 0.28 V must be considered.

When the V_{REG} = Type 2, it so becomes that V_{REG} = V_{SS} and there is no temperature gradient. However, I_{REF} carries the same temperature characteristics as with V_{REG} = Type 1.

Voltage generator for LCD (Voltage follower)

The V₅ potential is divided using resistance within IC and V₁, V₂, V₃ and V₄ potentials are generated for LCD panel drive. These potentials are then converted in impedance by voltage follower, and sent to LCD driver circuit.

Because the LCD drive voltage has been fixed to each model, the display quality may drop in specific duty selected by Select Duty command. If it occurs, use an external power supply.

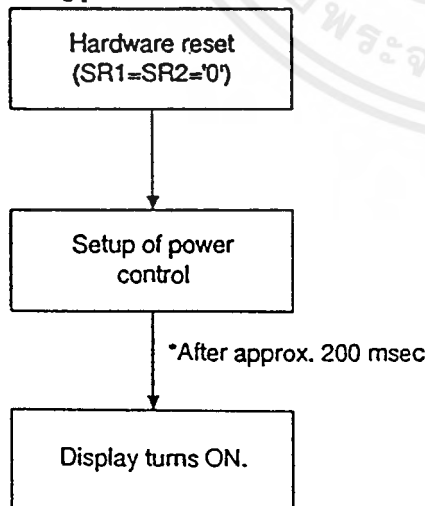
Model	LCD drive voltage
SED1526	1/5 of bias voltage
SED1528	1/7 of bias voltage

Subsection gives wiring examples and reference parts list when on-chip power supply is used and when not used.

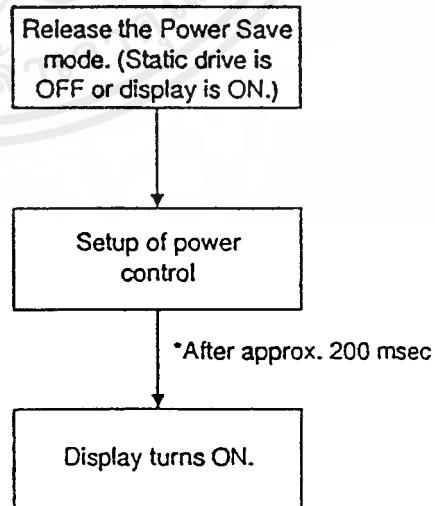
Command sequence for built-in power circuit startup

The built-in power circuit must follow the command sequence given below.

- To start the built-in power circuit when logic units are being powered:



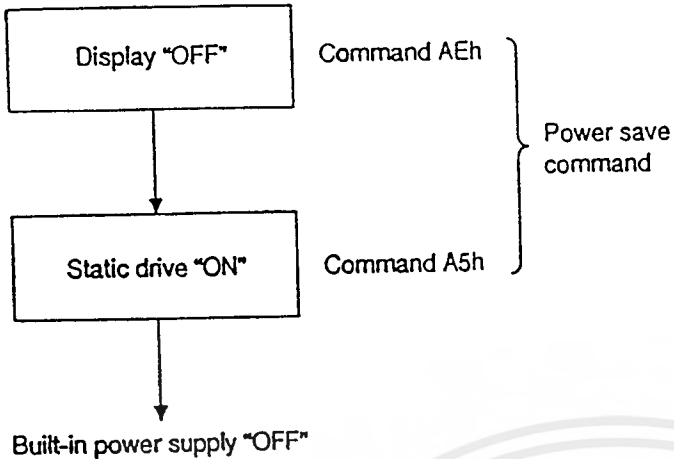
- To start the built-in power circuit after release of Power Save mode:



* When the Set Power Control command is issued, the V_{DD} level signal is output at both COM and SEG terminals for approximately 200 msec. Any other command can be entered during this period.

When turning off the built-in power circuit, observe the following command sequence to maintain power save status.

When turning off the built-in power supply:



Reset Circuit

The SED1526 series chip parameters are initialized when both SR1 and SR2 are set to low.

Initial parameter setup

- 1. Display : Off
- 2. Duty cycle : 1/16 (SED1526)
- 3. ADC select : Normal (D0 ADC command is high and ADC status flag is set)
- 4. Read-modify-write : Off
- 5. Power Control register : 0
- 6. Initial Display Line register : Line 1
- 7. Column Address counter : Address 0
- 8. Page Address register : Page 0
- 9. Register data of serial interface : Cleared
- 10. Electronic control register : 0

- 11. Static drive : Off
- 12. Clock : Output

As explained in Section 10.2, the microprocessor should also be reset when SR1 and SR2 are reset. The SR1 and SR2 go low only when logical low pulses are entered at least 10 microseconds (refer to Section for AC characteristics). The normal reset signal appears 1 microsecond after the rising edge of this signal.

If the on-board LCD power circuit of the SED1526 series is not used, both SR1 and SR2 must be low when an external LCD power is supplied. If not low, the IC chip may be destroyed by surge current. When reset, each register is cleared but the present setup of oscillator circuit and output terminals (FR, CL, D0 to D7) is not cleared.

As the SED1526 series does not have a Power-On Clear circuit, both SR1 and SR2 must go low when logic power applies. If not, any recovery may fail.

The Reset command can reset parameters 6 to 10 listed above.

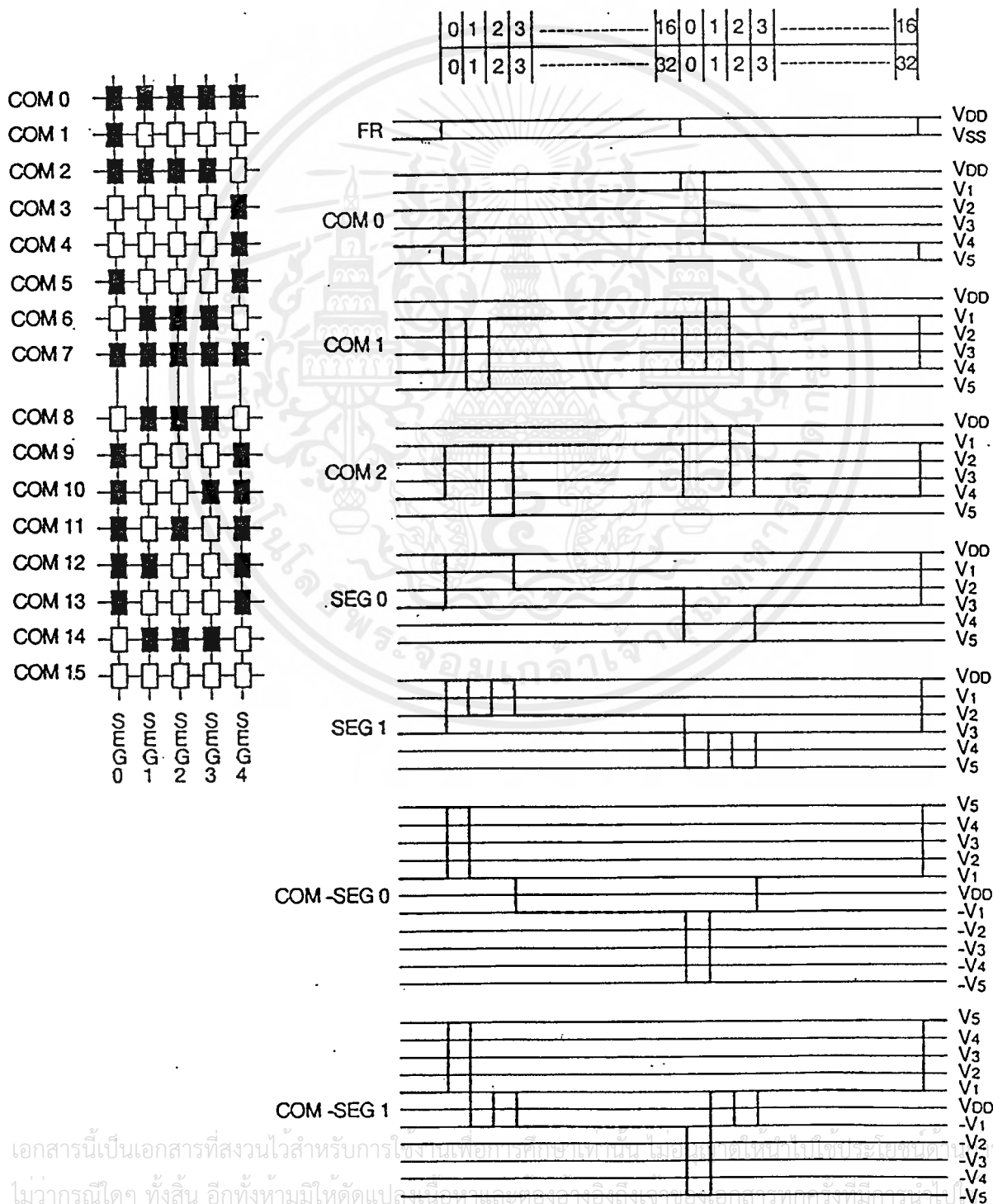


Figure 6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ใดๆ
ไม่ว่ากรณีใด ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและข้อมูลของเอกสารทุกประการที่ปรากฏ

SED1526

COMMANDS

Table 7 lists available commands. The SED1526 series uses a combination of A0, RD and WR (or R/W) signals to identify data bus signals. As the chip analyzes and executes each command using internal timing clock only (any external clock is required), its processing speed is very high and its busy check is usually not required.

Command set

(1) Display ON/OFF

Alternatively turns the display on and off.

A0	RD	R/W	D7	D6	D5	F4	D3	D2	D1	D0
0	1	0	1	0	1	0	1	1	1	D

The display turns off when D goes low, and it turns on when D goes high.

(2) Initial Display Line

Specifies line address (refer to Figure 4) to determine the initial display line, or COM0. The RAM display data becomes the top line of LCD screen. It is followed by the higher number of lines in ascending order, corresponding to the duty cycle. When this command changes the line address, the smooth scrolling or page change takes place.

A0	RD	R/W	D7	D6	D5	F4	D3	D2	D1	D0
0	1	0	1	1	0	A4	A3	A2	A1	A0

← High-order bit

A4	A3	A2	A1	A0	Line address
0	0	0	0	0	0
0	0	0	0	1	1
0	0	0	1	0	2
:	:	:	:	:	:
1	1	1	1	0	30
1	1	1	1	1	31

(3) Set Page Address

Specifies page address to load display RAM data to page address register. Any RAM data bit can be accessed when its page address and column address are specified. The display remains unchanged even when the page address is changed. Page address 4 is the display RAM area dedicated to the indicator, and only D0 is valid for data change.

A0	RD	R/W	D7	D6	D5	F4	D3	D2	D1	D0
0	1	0	1	0	1	1	1	A2	A1	A0

A2	A1	A0	Page Address
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4

(4) Set Column Address

Specifies column address of display RAM. When the microprocessor repeats to access to the display RAM, the column address counter is incremented by 1 during each access until address 80 is accessed. The page address is not changed during this time.

A0	RD	R/W	D7	D6	D5	F4	D3	D2	D1	D0
0	1	0	0	A6	A5	A4	A3	A2	A1	A0

A6	A5	A4	A3	A2	A1	A0	Column address
0	0	0	0	0	0	0	0
0	0	0	0	0	0	1	1
:	:	:	:	:	:	:	:
1	0	0	1	1	1	1	79

(5) Read Status

A0	RD	R/W	D7	D6	D5	F4	D3	D2	D1	D0
0	0	1	BUSY	ADC	ON/OFF	RESET	PS	0	0	0

BUSY: When high, the SED1526 series is busy due to internal operation or reset. Any command is rejected until BUSY goes low. The busy check is not required if enough time is provided for each cycle.

ADC: Indicates the relationship between RAM column address and segment drivers. When low, the display is normal and column address "79-n" corresponds to segment driver n. When high, the display is reversed and column address n corresponds to segment driver n.

ON/OFF: Indicates whether the display is on or off. When goes low, the display turns on. When goes high, the display turns off. This is the opposite of Display ON/OFF command.

RESET: Indicates the initialization is in progress by SR1 and SR2 to go low or by Reset command. When low, the display is on. When high, the chip is being reset.

PS: When low, LCD panel is in Power Save mode.

(6) Write Display Data

Writes 8-bit data in display RAM. As the column address is incremented by 1 automatically after each write, the microprocessor can continue to write data of multiple words.

A0	RD	R/W	D7	D6	D5	F4	D3	D2	D1	D0
1	1	0	Write data							

(7) Read Display Data

Reads 8-bit data from display RAM area specified by column address and page address. As the column address is incremented by 1 automatically after each write, the microprocessor can continue to read data of multiple words. A single dummy read is required immediately after column address setup. Refer to the display RAM section of FUNCTIONAL DESCRIPTION for details.

A0	RD	R/W	D7	D6	D5	F4	D3	D2	D1	D0
1	0	1	Read data							

(8) ADC Select

Changes the relationship between RAM column address and segment driver. The order of segment driver output pins can be reversed by software. This allows flexible IC layout during LCD module assembly. For details, refer to the column address section of Figure 4. When display data is written or read, the column address is incremented by 1 as shown in Figure 4.

A0	RD	R/W	D7	D6	D5	F4	D3	D2	D1	D0
0	1	0	1	0	1	0	0	0	0	D

When D is low, the right rotation (normal direction). When D is high, the left rotation (reverse direction).

(9) Static Drive ON/OFF

Forcibly turns the entire display ON and makes all common outputs selectable regardless of RAM data contents. The RAM data is held.

A0	RD	R/W	D7	D6	D5	F4	D3	D2	D1	D0
0	1	0	1	0	1	0	0	0	0	D

When D goes low, the static drive turns off. When D goes high, the static drive turns on.

The LCD panel enters Power Save mode if Static Drive ON command is issued when the display is off. Refer to the Power Save section for details.

(10) Select Duty

Selects the LCD driver duty. However, the bias of LCD driver voltage is fixed when on-chip power circuit is used (refer to Subsection).

A0	RD	R/W	D7	D6	D5	F4	D3	D2	D1	D0
0	1	0	1	0	1	0	1	0	0	D

Model	D	Duty
SED1526	0	1/8
	1	1/16
SED1528	0	1/32
	1	1/32

(11) Duty+1

Increments the duty by 1. If 1/8 duty is set for the SED1526, for example, it is incremented to 1/9 duty. If 1/16 duty is set, it is incremented to 1/17 duty. The COMS terminal functions as COM8 or COM16. The display line of RAM area corresponding to page address 4, or D0, is always accessed.

A0	RD	R/W	D7	D6	D5	F4	D3	D2	D1	D0
0	1	0	1	0	1	0	1	0	1	D

Model	D	Duty
SED1526	0	1/8 or 1/16
	1	1/9 or 1/17
SED1528	0	1/32
	1	1/33

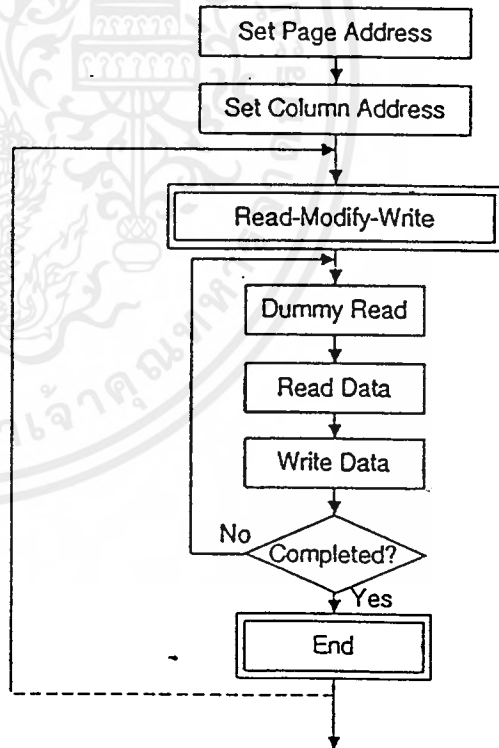
(12) Read-Modify-Write

A pair of Read-Modify-Write and End commands must always be used. Once Read-Modify-Write is issued, column address is not incremented by Read Display Data command but incremented by Write Display Data command only. It continues until End command is issued. When the End is issued, column address returns to the address when Read-Modify-Write was issued. This can reduce the microprocessor load when data of a specific display area is repeatedly changed during cursor blinking or others.

A0	RD	R/W	D7	D6	D5	F4	D3	D2	D1	D0
0	1	0	1	1	1	0	0	0	0	0

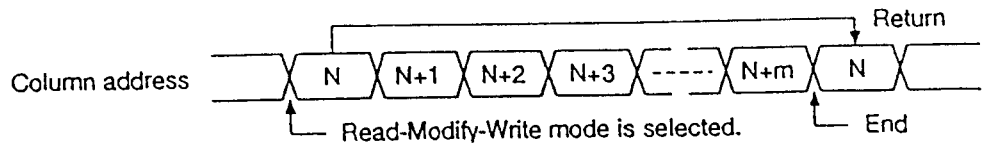
Note: Any command except Read/Write Display Data and Set Column Address can be issued during Read-Modify-Write mode.

- Cursor display sequence



(13) End
Cancels Read-Modify-Write mode and returns column address to the original address (when Read-Modify-Write was issued).

A0	R/D	R/W WR	D7	D6	D5	F4	D3	D2	D1	D0
0	1	0	1	1	1	0	1	1	1	0



(14) Reset
Resets the Initial Display Line register, Column Address counter, Page Address register, register data of serial interface, and Electronic Control register to their initial status. The Reset command does not affect on the contents of display RAM. Refer to the Reset circuit section of FUNCTIONAL DESCRIPTION.

A0	R/D	R/W WR	D7	D6	D5	F4	D3	D2	D1	D0
0	1	0	1	1	1	0	0	0	1	0

The Reset command cannot initialize LCD power supply. Only RES (that sets SR1 and SR2 to low) can initialize the supplies.

(15) Set Power Control
Selects one of eight power circuit functions using 3-bit register. An external power supply and part of on-chip power supply functions can be used simultaneously. Refer to Power Circuit section of FUNCTIONAL DESCRIPTION for details.

A0	R/D	R/W WR	D7	D6	D5	F4	D3	D2	D1	D0
0	1	0	1	0	1	1	0	D2	D1	D0

When D0 goes low, voltage follower turns off. When D0 goes high, it turns on.
When D1 goes low, voltage regulator turns off. When D1 goes high, it turns on.
When D2 goes low, voltage booster turns off. When D2 goes high, it turns on.

(16) Set Electronic Control
Adjusts the contrast of LCD panel display by changing V₅ LCD drive voltage that is output by voltage regulator of on-chip power supply.
This command selects one of 32 V₅ LCD drive voltages by storing data in 5-bit register. The V₅ voltage adjusting range should be determined depending on the external resistance. Refer to the Voltage Regulator Circuit section of FUNCTIONAL DESCRIPTION for details.
This command is valid only when voltage regulator circuit is turned on by Set Power Control command.

A0	R/D	R/W WR	D7	D6	D5	F4	D3	D2	D1	D0
0	1	0	1	0	0	D4	D3	D2	D1	D0

D4	D3	D2	D1	D0	V ₅
0	0	0	0	0	Low
0	0	0	0	1	
0	0	0	1	0	↓
1	1	1	0	1	
1	1	1	1	0	
1	1	1	1	1	High

Set register to (D4,D3,D2,D1,D0)=(0,0,0,0,0) to suppress electronic control function.

(17) Clock Stop
Stops clock output at CL to reduce current consumption.

A0	R/D	R/W WR	D7	D6	D5	F4	D3	D2	D1	D0
0	1	0	1	0	1	0	1	1	1	D

Clock outputs when D is low, but clock stops when D is high

(18) Power Save (a combination with Static Drive command)
Sets LCD panel in power save mode if Static Drive ON is issued when the display is off. Power consumption drops power consumption level.
When LCD panel enters Power Save mode:
(a) Both oscillator and power supply stop.
(b) LCD driver stops, and segment and common driver have V_{DD} level output.
(c) External clock input is disabled, and clock output is set to low (at CL).
(d) Both display data and operation mode before issue of Power Save are held.
(As the power control register is cleared, the Set Power Control command must be issued again after the Power Save mode has been released.)
(e) All LCD driver voltages are fixed to V_{DD}.
The Power Save is released when the display is turned on when Static Drive OFF is issued. If external voltage divider resistors are used to supply voltage to LCD panel, current passing through resistors must be cut off. An external power supply must be turned off if used; its voltage must be fixed floating or V_{DD} level.
* When the SED1526 family is operating, the internal static data set by commands is held. However, the internal static data may change due to an excessive ambient noise. The package and system noise generation must be suppressed or a noise protection design must be considered.
We recommend to periodically refresh the internal static data to prevent a spike noise and other interference.

SED1526 Series Command Table

Command	Code											Function	
	A0	RD	WR	D7	D6	D5	D4	D3	D2	D1	D0		
(1) Display ON/OFF	0	1	0	1	0	1	0	1	1	1	0	1	Turns on LCD panel when goes high, and turns off when goes low.
(2) Initial Display Line	0	1	0	1	1	0	Initial display address				0	Specifies RAM display line for COM0.	
(3) Set Page Address	0	1	0	1	0	1	1	1	Page address			0	Sets the display RAM page in Page Address register.
(4) Set Column Address	0	1	0	0	Column address						0	Sets RAM column address in Column register.	
(5) Read Status	0	0	1	Status					0	0	0	0	Reads the status information.
(6) Write Display Data	1	1	0	Write data							0	Writes data in display RAM.	
(7) Read Display Data	1	0	1	Read data							0	Reads data from display RAM.	
(8) ADC Select	0	1	0	1	0	1	0	0	0	0	0	1	Sets normal relationship between RAM column address and segment driver when low, but reverses the relationship when high.
(9) Static Drive ON/OFF	0	1	0	1	0	1	0	0	1	0	0	1	Normal indication when low, but full indication when high.
(10) Duty Select	0	1	0	1	0	1	0	1	0	0	0	1	Selects LCD driver duty of 1/8 (1/16) when low and 1/16 (1/32) when high.
(11) Duty+1	0	1	0	1	0	1	0	1	0	1	0	1	Selects normal LCD driver duty when low, and selects the duty added by 1 when high.
(12) Read-Modify-Write	0	1	0	1	1	1	0	0	0	0	0	0	Increments Column Address counter during each write when high and during each read when low.
(13) End	0	1	0	1	1	1	0	1	1	1	0	0	Releases the Read-Modify-Write.
(14) Reset	0	1	0	1	1	1	0	0	0	1	0	0	Resets internal functions.
(15) Set Power Control	0	1	0	1	0	1	1	0	Power control			0	Selects various power circuit functions.
(16) Set Electronic Control	0	1	0	1	0	0	Electronic control value				0	Sets V5 output voltage to Electronic Control register.	
(17) Clock Stop	0	1	0	1	1	1	0	0	1	1	0	1	Stops clock output at CL when low, and stops clock when high.
(18) Power Save	-	-	-	-	-	-	-	-	-	-	-	-	A combination of Display OFF and Static Drive ON commands.

Note: Do not use any other command, or the system malfunction may result.

กิตติกรรมประกาศ

ปริญญานิพนธ์นี้ สำเร็จลุล่วงได้ด้วยคำปรึกษาและคำแนะนำจากอาจารย์หลายๆท่าน

จึงขอขอบพระคุณ

ดร.ทองทศ วานิชศรี
อ. นภัทร สระเอี่ยม
รศ. สมยศ จุณณะปิยะ

และขอขอบคุณ

นายพิสิฐ บุญศรีเมือง ให้ความช่วยเหลือทั้งทางด้านฮาร์ดแวร์และซอฟต์แวร์
นางสาวจตุพร เชียงดี ให้ความช่วยเหลือทางด้านฮาร์ดแวร์
รวมทั้งพี่ๆและเพื่อนๆ ที่คอยช่วยเหลือและให้กำลังใจมาโดยตลอด

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. กองบรรณาธิการ, “วิทยุติดตามตัวระบบดิจิทัล”, วารสารเซมิคอนดักเตอร์อิเล็กทรอนิกส์, ฉบับที่ 74, 2529, หน้า 162-169
2. รศ. สมยศ อุณณะปิยะ, “ชุดคำสั่งของMCS51” การประยุกต์ใช้งานไมโครคอนโทรลเลอร์ตระกูล MCS51 , พิมพ์ครั้งที่ 2 , 2541
3. Philips Semiconductors , “PCD 5003 Advanced POCSAG Paging Decoder”, 1997

