สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องแปลงความถี่สำหรับเครื่องรับส่งสัญญาณดาวเทียมในย่าน L-BAND

L-BAND FREQUENCY CONVERTER FOR SATELLITE TRANSCEIVER

โดย

นายชูวิทย์ กลิ่นบัว

นายกิตติพงศ์ ราหุลนันท์

นายฉัตรชัย เชี่ยวชลาคม

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เลขหมู่.....
เลขทะเบียน 32604
วัน, เดือน, ปี 18 พ.ค. 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องแปลงความถี่สำหรับเครื่องรับส่งสัญญาณดาวเทียมในย่าน L-BAND

L-BAND FREQUENCY CONVERTER FOR SATELLITE TRANSCEIVER

โดย

นายชูวิทย์ กลิ่นบัว 39013006

นายกิตติพงศ์ ราหุลนันท์ 39013041

นายฉัตรชัย เชี่ยวชลาคม 39013045

อาจารย์ที่ปรึกษา

รศ. ณรงค์ เหมกรณ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2541

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **เครื่องแปลงความถี่สำหรับเครื่องรับส่งสัญญาณดาวเทียมในย่าน L-BAND**

L-BAND FREQUENCY CONVERTER FOR SATELLITE TRANSCEIVER

ผู้จัดทำ

1. **นายชูวิทย์ กลิ่นบัว 39013006**
2. **นายกิตติพงศ์ ราหุลนันท์ 39013041**
3. **นายฉัตรชัย เชี่ยวชลาคม 39013045**

..... อาจารย์ที่ปรึกษา

(รศ.ณรงค์ เหมกรณ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องแปลงความถี่สำหรับเครื่องรับส่งสัญญาณดาวเทียมในย่าน L-BAND

L-BAND FREQUENCY CONVERTER FOR SATELLITE TRANSCEIVER

โดย นายชูวิทย์ กลิ่นบัว 39013006
นายกิตติพงศ์ ราหุลนันท์ 39013041
นายฉัตรชัย เชี่ยวชลาคม 39013045

อาจารย์ที่ปรึกษา รศ.ณรงค์ เหมกรณ์

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ได้นำเสนอเครื่องแปลงสัญญาณความถี่ดาวเทียมย่าน L-BAND โดยทำการแปลงความถี่จาก 1.6 GHz ลงมาเป็น 1.5 GHz เพื่อนำมาใช้กับเครื่องรับส่งสัญญาณดาวเทียมในย่าน L-BAND เพื่อให้ชุดอินดอร์ยูนิตสามารถรับส่งสัญญาณได้ในแบบลูปแบ็ค โดยไม่ต้องส่งสัญญาณผ่านดาวเทียม ในโครงงานนี้ได้กล่าวถึงการสร้างวงจรมิกเซอร์ รวมทั้งวงจรสังเคราะห์ความถี่โดยใช้หลักการของเฟสล็อกลูป เอาท์พุทที่ได้จากวงจรสังเคราะห์ความถี่จะนำไปผสมกับสัญญาณจากเครื่องส่งที่วงจรมิกเซอร์ จากนั้นจึงนำมาผ่านวงจรแบนด์พาสฟิลเตอร์เพื่อให้ได้ความถี่ที่ต้องการแล้วส่งผ่านไปยังเครื่องรับต่อไป

ABSTRACT

This Thesis presents at frequency converter which converts the frequency from 1.6 GHz to 1.5 GHz. It uses the satellite transmitter to make indoor unit set able to receive/transmit signal in loop back. In this project, there are disscussions about the building of mixer circuit ,include frequency synthesizer. Output signal obtained from frequency synthesizer is mixed with signal from satellite transmitter. Both signal act as input of mixer circuit and pass through band pass filter followed by transmission to satellite.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	3
2.1 วงจรสังเคราะห์ความถี่	3
2.2 วงจรมิกเซอร์	8
2.3 ตัวกรองความถี่	13
2.4 ทฤษฎีไมโครสตริปไลน์	15
2.5 แบนด์พาสไมโครสตริปฟิลเตอร์	21
2.6 ทฤษฎีเอสพารามิเตอร์	28
2.7 อิมพิแดนซ์แม็ทชิ่ง	30
บทที่ 3 การคำนวณและการออกแบบ	32
3.1 วงจรสังเคราะห์ความถี่	32
3.1.1 การออกแบบวงจรควบคุมความถี่ด้วยความต่างศักย์	32
3.1.2 การออกแบบวงจรลูปพาสฟิลเตอร์	33
3.1.3 การออกแบบวงจรเฟสล็อกลูป	34
3.2 การคำนวณและการออกแบบไฮบริดริง	35
3.3 การออกแบบแบนด์พาสฟิลเตอร์	37
บทที่ 4 ผลการทดลอง	44
4.1 การทดลองภาคออสซิลเลเตอร์	44
4.2 การทดลองวงจรมิกเซอร์	47
4.3 การทดลองแบนพาสฟิลเตอร์	48
บทที่ 5 บทวิจารณ์และบทสรุป	53
5.1 บทวิจารณ์	53
5.2 บทสรุป	54
ภาคผนวก	
กิตติกรรมประกาศ	
หนังสืออ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

	หน้า
รูปที่ 1.1 แสดงการใช้งานของเครื่องแปลงความถี่	1
รูปที่ 1.2 บล็อกไดอะแกรมของเครื่องแปลงความถี่	2
รูปที่ 2.1 ตัวอย่างวิธีสังเคราะห์ความถี่โดยตรง	3
รูปที่ 2.2 แผนผังของเฟสล็อกลูป	4
รูปที่ 2.3 แผนผังของหน่วยสังเคราะห์ความถี่	5
รูปที่ 2.4 เฟสล็อกลูปแบบพรีสเกลเลอร์	6
รูปที่ 2.5 เฟสล็อกลูปแบบพรีสเกลเลอร์สองโมดูลัส	7
รูปที่ 2.6 วงจรไฮบริดริงแบบแรทเรซ	10
รูปที่ 2.7 วงจรเสมือนของไฮบริดริง	11
รูปที่ 2.8 แสดงคุณสมบัติของไฮบริดริง	12
รูปที่ 2.9 แสดงการต่อไดโอดร่วมกับไฮบริดริง	13
รูปที 2.10 เปรียบเทียบลักษณะของแถบความถี่ในวงจรกรองความถี่แบบต่างๆ	14
รูปที่ 2.11 ผลตอบสนองแบบบัตเตอร์เวิร์ธ	15
รูปที่ 2.12 แสดงโครงสร้างของไมโครสตริปไลน์	16
รูปที่ 2.13 กราฟอิมพิแดนซ์ของไมโครสตริปไลน์	18
รูปที่ 2.14 กราฟแสดงความยาวคลื่นของไมโครสติปไลน์	19
รูปที่ 2.15 ไมโครสตริปที่วางตัวขนานกัน	20
รูปที่ 2.16 แสดงโหมดของไมโครสตริปที่วางขนานกัน	21
รูปที่ 2.17โครงสร้างของเอ็นคัปเปิลแบนด์พาสฟิลเตอร์	21
รูปที่ 2.18โครงสร้างของพาราแรลคัปเปิลแบนด์พาสฟิลเตอร์	22
รูปที่ 2.19 วงจรฟิลเตอร์ไมโครสตริปหนึ่งเซ็กชั่น	23
รูปที่ 2.20 การแปลงในรูปแอดมิตแตนซ์	23
รูปที่ 2.21 การคัปปลิ้งแบบขนานของไมโครสตริปแบนด์พาสฟิลเตอร์	24
รูปที่ 2.22 กราฟความสัมพันธ์ระหว่าง Z_{0e} และ Z_{0o} กับความกว้าง	25
รูปที่ 2.23 กราฟความสัมพันธ์ระหว่าง Z_{0e} และ Z_{0o} กับความห่าง	26
รูปที่ 2.24 กราฟความสัมพันธ์ระหว่างค่านอร์มอลไลซ์แอดมิตแตนซ์กับความกว้างและระยะห่าง	27
รูปที่ 2.25 แสดงรูปแบบของเอสพารามิเตอร์	28
รูปที่ 2.26 แสดงกำลังงานที่เกิดขึ้นเมื่อมีการส่งผ่านตัวอุปกรณ์	29
รูปที่ 2.27 แสดงการแม็ทชิ่งกันของแหล่งจ่ายกับโหลด	31
รูปที่ 3.1 บล็อกไดอะแกรมของเฟสล็อกลูป	32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

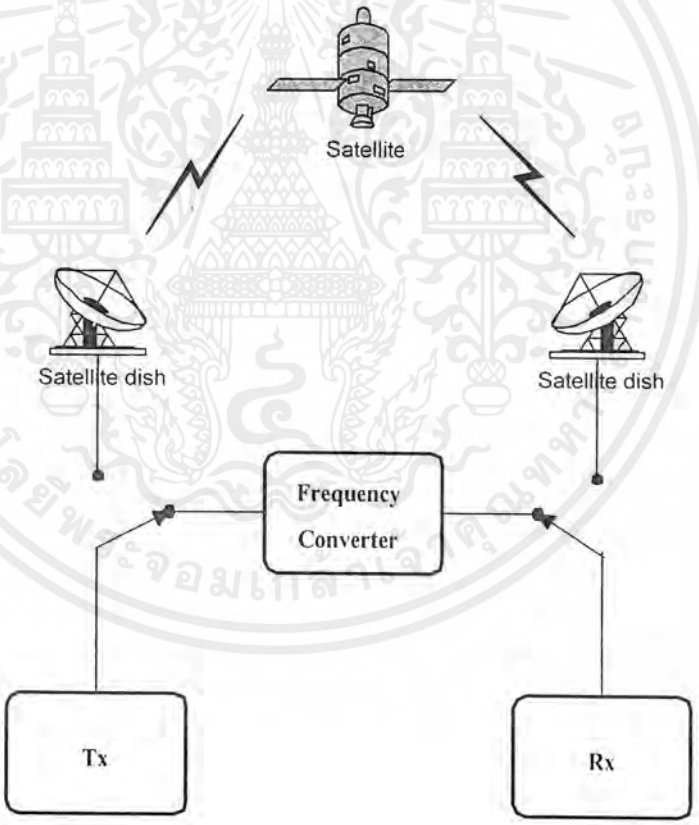
รูปที่ 3.2 วงจรควบคุมความถี่ด้วยความต่างศักย์ 33
รูปที่ 3.3 รูปวงจรลูปฟิลเตอร์ 34
รูปที่ 3.4 วงจรเฟสล็อกลูป 35
รูปที่ 3.5 ลายวงจรของไฮบริดริง 37
รูปที่ 3.6 วงจรมิกเซอร์ที่สร้างเสร็จสมบูรณ์แล้ว 37
รูปที่ 3.7 แสดงคุณสมบัติของแบนด์พาสที่ทำการออกแบบ 38
รูปที่ 3.8 กราฟแสดงการลดทอนที่ออร์เดอร์ต่างๆ 39
รูปที่ 3.9 แสดงโครงสร้างของไมโครสตริป 42
รูปที่ 3.10 แสดงลายวงจรของไมโครสตริปที่เสร็จสมบูรณ์แล้ว 42
รูปที่ 3.11 แสดงแบนด์พาสฟิลเตอร์ที่เสร็จสมบูรณ์แล้ว 43
รูปที่ 4.1 กราฟแสดงความสัมพันธ์ระหว่างแรงดันกับความถี่ของวีซีโอ 44
รูปที่ 4.2 แสดงเอาท์พุทที่ออกจากวงจรวีซีโอ 45
รูปที่ 4.3 แสดงเอาท์พุทที่ออกจากลูปฟิลเตอร์ 46
รูปที่ 4.4 แสดง ϕV และ ϕR เมื่ออยู่ในสภาวะล็อก 46
รูปที่ 4.5 แสดงสเปคตรัมที่จากภาคออสซิลเตอร์ 47
รูปที่ 4.6 แสดงเอาท์พุทของภาคมิกเซอร์ 48
รูปที่ 4.7 แสดงผลของการวัดอิมพิแดนซ์ทางด้านอินพุท 48
รูปที่ 4.8 แสดงผลของการวัดอิมพิแดนซ์ทางด้านเอาท์พุท 49
รูปที่ 4.9 แสดงผลของการวัดรีเทิร์นลอสทางด้านอินพุท (S_{11}) 49
รูปที่ 4.10 แสดงผลของการวัดรีเทิร์นลอสทางด้านเอาท์พุท (S_{22}) 50
รูปที่ 4.11 แสดงผลของการวัด VSWR ทางด้านอินพุท 50
รูปที่ 4.12 แสดงผลของการวัด VSWR ทางด้านเอาท์พุท 51
รูปที่ 4.13 แสดงการวัดค่าอินเสิร์ทชั่นลอสของแบนด์พาสฟิลเตอร์ (S_{21}) 51
รูปที่ 4.14 สัญญาณที่ได้จากภาคกรองสัญญาณความถี่ 52
รูปที่ 4.15 แสดงระดับสัญญาณที่ได้จากเอาท์พุทแต่ละภาค 52
รูปที่ 4.16 แสดงวงจรทั้งหมดที่เสร็จสมบูรณ์แล้ว 53

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

การสื่อสารผ่านดาวเทียมเป็นการสื่อสารที่มีความสำคัญระบบหนึ่งในระบบโทรคมนาคมเนื่องจากการสื่อสารผ่านดาวเทียมสามารถเข้าถึงพื้นที่เกือบทั่วโลกแม้แต่พื้นที่ทุรกันดารที่การสื่อสารชนิดอื่นไม่สามารถเข้าไปถึงได้ เพียงแค่มีเครื่องรับสัญญาณดาวเทียมเท่านั้นก็สามารถรับสัญญาณดาวเทียมได้

หลักการของระบบการสื่อสารผ่านดาวเทียม ก็คือ มีสถานีรับส่งสัญญาณดาวเทียมภาคพื้นดิน โดยมีดาวเทียมที่ถูกส่งขึ้นไปอยู่เหนือพื้นโลก ทำหน้าที่รับสัญญาณจากพื้นโลกแล้วทำการขยายสัญญาณให้แรงขึ้นแล้วทำการส่งสัญญาณกลับลงมาบนพื้นโลกอีกครั้งหนึ่ง โดยความถี่ที่ใช้ในการรับส่งสัญญาณดาวเทียมนั้นจะเป็นความถี่คนละความถี่กันเพียงแค่มีเครื่องรับสัญญาณดาวเทียมเท่านั้นก็สามารถรับสัญญาณดาวเทียมได้ ซึ่งการใช้ความถี่ของดาวเทียมนั้นจะใช้ความถี่ขาขึ้น (Uplink) ที่สูงกว่าความถี่ขาลง (Downlink)



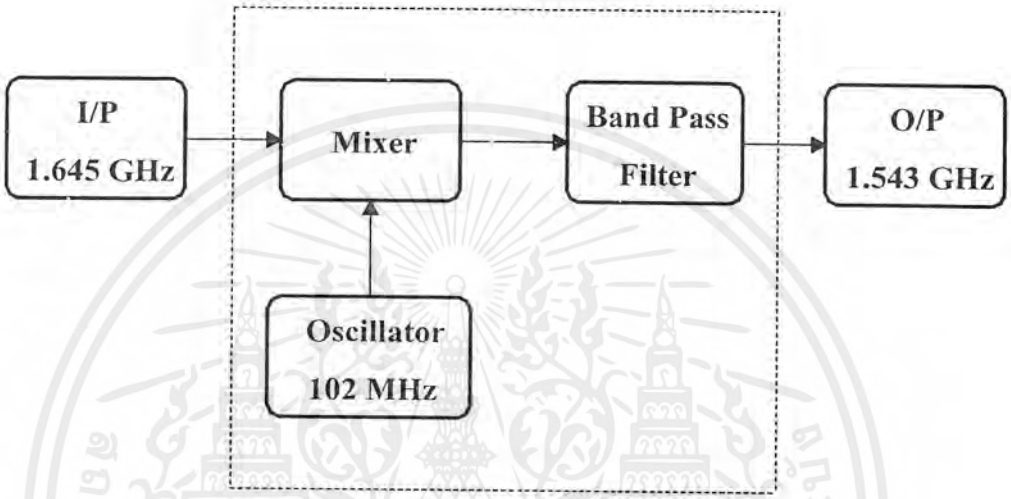
รูปที่ 1.1 แสดงการใช้งานของเครื่องแปลงความถี่

โครงงานนี้เป็นโครงงานสำหรับแปลงความถี่จาก 1.645 GHz เป็น 1.543 GHz เพื่อนำมาใช้กับเครื่องรับและเครื่องส่งดาวเทียมในย่าน L- Band เพื่อให้ชุด อินดอร์ยูนิท (Indoor Unit) สามารถรับส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณในแบบ ลูปแบ็ค (Loop Back) ได้ โดยไม่ต้องผ่านดาวเทียมจากรูปที่แสดงการใช้งานของเครื่องแปลงความถี่นี้จะเห็นได้ว่ามีหลักการทำงานเหมือนกับทรานสปอนเดอร์ (Transponder) ของดาวเทียมนั่นเอง

ซึ่งหลักการทำงานของ ฟรีเควนซี่คอนเวอร์ทเตอร์ (Frequency Converter) นี้ มีหลักการทำงานตาม บล็อกไดอะแกรม ดังนี้



รูปที่ 1.2 บล็อกไดอะแกรมของเครื่องแปลงความถี่

จุดประสงค์คือต้องการแปลงความถี่จาก 1.645 GHz เป็น 1.543 GHz ซึ่งจะใช้หลักการของ มิกเซอร์ (Mixer) ให้ทำหน้าที่ผสมสัญญาณสองสัญญาณก็คือสัญญาณทางด้านอินพุทกับสัญญาณจากภาคออสซิลเลเตอร์ (Oscillator) เพื่อให้ได้สัญญาณใหม่ที่มีความถี่พาหะเปลี่ยนไปโดยที่ข้อมูลที่ผสมมาด้วยนั้นยังคงเหมือนเดิม แล้วนำสัญญาณที่ได้จากการ มิกเซอร์ มาผ่านวงจรแบนด์พาสฟิลเตอร์ (Bandpass Filter) เพื่อเลือกความถี่ต้องการใช้งานออกมา

เมื่อสำเร็จทั้งสามภาคแล้ว จะใช้สายโคแอกเชียล (Coaxial) ในการเชื่อมต่อแต่ละภาคด้วยกัน โดยต้องคำนึงถึงเรื่องการแม็ทชิ่ง (Matching) ของแต่ละภาคด้วย เพื่อไม่ให้กำลังงานต้องสูญเสียไปกับการมิสแม็ทช์ชิ่ง (Missmatch) เพราะอุปกรณ์ในภาคมิกเซอร์กับแบนด์พาสฟิลเตอร์นั้นเป็นอุปกรณ์ประเภทพาสซีฟทั้งหมด จึงไม่มีการขยายสัญญาณเลย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

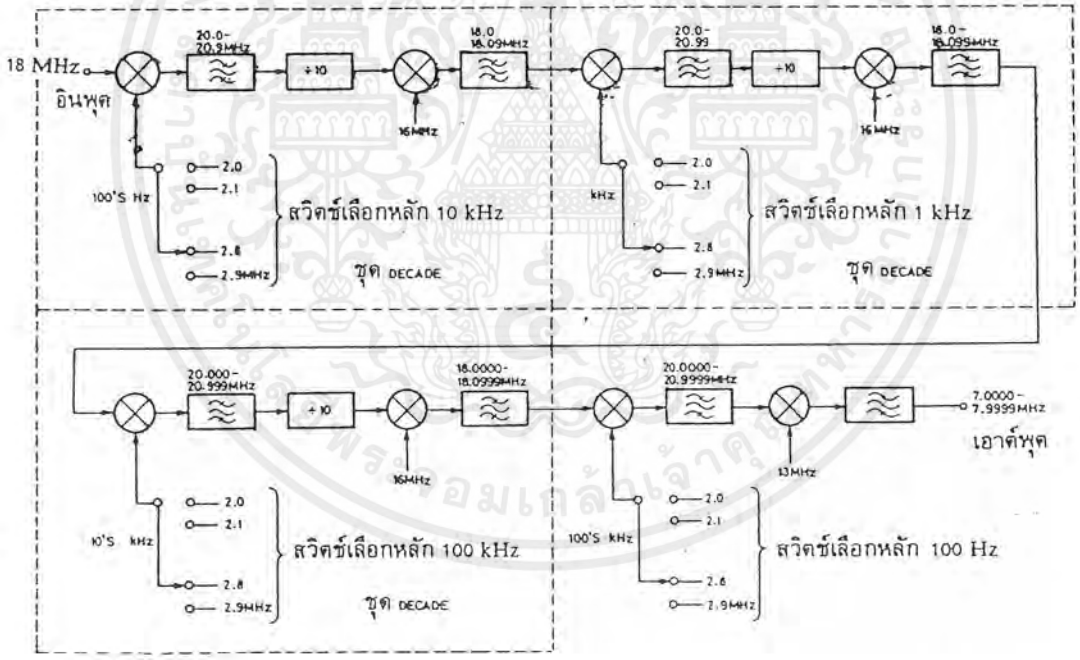
บทที่ 2
ทฤษฎีและหลักการ

2.1 วงจรสังเคราะห์ความถี่

วงจรสังเคราะห์ความถี่ (Frequency Synthesier) คือ วงจรที่ทำหน้าที่ผลิตสัญญาณความถี่ขนาดพอเหมาะและให้มีความถี่ตามที่เรากำหนด ช่วงความถี่ใช้งานของวงจรสังเคราะห์ความถี่จะจำกัดอยู่ในช่วงความถี่ที่แน่นอนแล้วแต่การใช้งานและความละเอียดของความถี่ที่เปลี่ยนได้ทีละขั้นเรียกว่าเรโซลูชั่น (Resolution)

วิธีสังเคราะห์ความถี่สามารถแบ่งออกได้เป็น 2 วิธี คือ

1) วิธีสังเคราะห์โดยตรง (Direct Synthesis) ซึ่งต้องใช้หลายค่ามาผสมกันเพื่อให้ได้ความถี่ที่ต้องการ โดยปกติต้องใช้แร่บังคับความถี่หลายชุด
2) วิธีสังเคราะห์โดยอ้อม (Indirect Synthesis) วิธีนี้อาศัยหลักการของเฟสล็อกลูป (Phase Lock Loop) เรียกย่อว่า PLL



รูปที่ 2.1 ตัวอย่างวิธีสังเคราะห์ความถี่โดยตรง

จากรูปที่ 2.1 เป็นการแสดงวิธีการสังเคราะห์ความถี่โดยตรง ในที่นี้เราต้องการให้เอาท์พุทมีความถี่อยู่ระหว่าง 7 ถึง 8 MHz นั่นคือเราต้องสามารถตั้งความถี่ได้ดังนี้คือ 7.0000 , 7.0001 , 7.0002 , ขึ้นไปจนถึง 7.9999 MHz สังเกตว่าเราใช้ความถี่หลัก 10 ความถี่คือ 2.0 , 2.1 ,.... ถึง 2.9 MHz เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

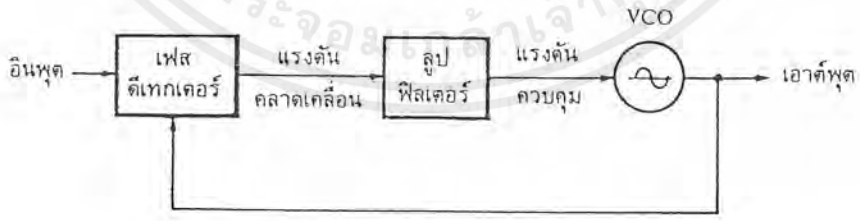
ตัวกำเนิดความถี่ ความถี่หลักดังกล่าวนี้สามารถผลิตมาจากการผสมสัญญาณ 100 Hz และพาหะ 2 MHz จะเห็นได้ว่าการสวิตช์เลือกความถี่ทั้งสิบความถี่นี้ ก็คือการสวิทช์ตั้งโปรแกรมเลือกความถี่ที่ต้องการ จากรูปจะเห็นว่ามี 4 ตัวตัวหนึ่งเลือกความถี่ขั้นละ 100 Hz ตัวถัดไปเลือกความถี่ขั้นละ 1 KHz ต่อไป 10 KHz และ 100 KHz ตามลำดับ

นอกจากความถี่หลัก 10 ความถี่ดังกล่าวแล้ว เราต้องอาศัยการผสมกับความถี่อื่นอีกด้วย จากรูปที่ 2.1 เราใช้ความถี่ 18 MHz ผสมกับความถี่ใดความถี่หนึ่งในความถี่หลักทั้งสิบความถี่ ผลรวมของการผสมจะผ่านฟิลเตอร์กรองเอาเฉพาะความถี่ย่าน 20 ถึง 20.9 MHz แล้วผ่านการหารด้วยสิบที่วงจรเคาน์เตอร์ เพื่อผสมกับความถี่ 18 MHz ตามเดิม สังเกตว่าเอาท์พุทจากชุดนี้เราสามารถสังเคราะห์ความถี่ได้ระหว่าง 18.00 , 18.01 , ... ถึง 18.09 MHz

วิธีสังเคราะห์ความถี่โดยอ้อมหรือวิธีเฟสล็อกลูปนั้น เราอาศัยการกำเนิดสัญญาณจากวงจรออสซิลเลเตอร์ ซึ่งควบคุมความถี่ได้โดยปรับแรงดันที่เรียกว่า วงจรควบคุมความถี่ด้วยความต่างศักย์ สัญญาณจากวงจรควบคุมความถี่ด้วยความต่างศักย์ จะถูกป้อนกลับมาเปรียบเทียบกับความถี่อ้างอิงแล้วนำผลลัพธ์ความถี่คลาดเคลื่อนมาแปลงเป็นแรงดัน ไปควบคุมการออสซิลเลตของ วงจรควบคุมความถี่ด้วยความต่างศักย์อีกครั้งหนึ่ง

เฟสล็อกลูป

เฟสล็อกลูปเป็นระบบป้อนกลับที่บังคับให้วงจรออสซิลเลเตอร์มีความถี่หรือเฟสเปลี่ยนแปลงไปตามความถี่หรือเฟสของสัญญาณอ้างอิงภายนอก เฟสล็อกลูปประกอบด้วยภาคสำคัญ 3 ภาค คือ ภาคเทียบเฟส หรือ เฟสดีเทคเตอร์ (Phase Detector) ภาคลูปฟิลเตอร์ (Loop Filter) และภาคควบคุมความถี่ด้วยความต่างศักย์ ดังแสดงดังรูปที่ 2.2 ในที่นี้สมมติว่าเราต่อเอาท์พุทจากวงจรควบคุมความถี่ด้วยความต่างศักย์



รูปที่ 2.2 แผนผังของเฟสล็อกลูป

สมมติว่ามีสัญญาณความถี่อ้างอิงภายนอกเป็นสัญญาณรายคาบ (Periodic) เข้ามาที่อินพุท ภาคเทียบเฟสทำหน้าที่เปรียบเทียบเฟสระหว่างสัญญาณอ้างอิงกับสัญญาณจากวงจรควบคุมความถี่ด้วยความต่างศักย์ เอาท์พุทที่ได้จากภาคเฟสดีเทกเตอร์จะเป็นแรงดันที่มีแอมพลิจูดเป็นสัดส่วนกับผลต่างในเฟส

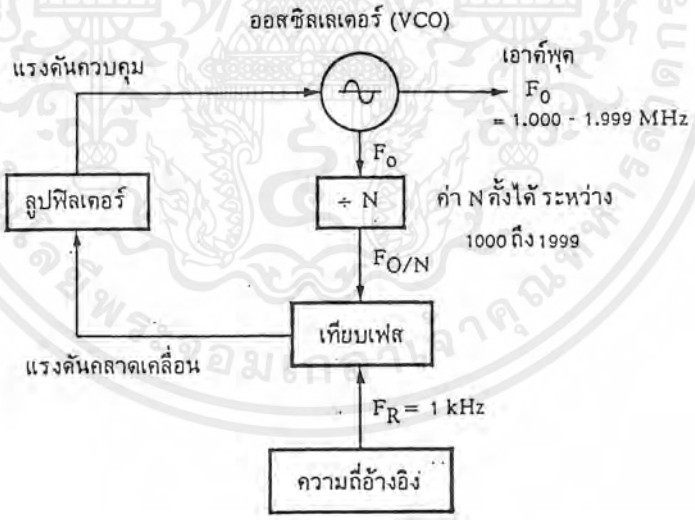
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของสัญญาณทั้งสองที่ทำการเปรียบเทียบ แรงดันผลต่างนี้ป้อนไปให้วงจรลูปฟิลเตอร์ซึ่งเป็นฟิลเตอร์ชนิดโลพาส กรองเอาแต่เฉพาะความถี่ต่ำ เพื่อส่งไปควบคุมการออสซิลเลทของวงจรควบคุมความถี่ด้วยความต่างศักย์ต่อไป

เมื่อลูปอยู่ในสภาวะล็อก ความถี่ของวงจรควบคุมความถี่ด้วยความต่างศักย์จะเท่ากับความถี่ของสัญญาณอินพุทพอดี อาจจะมีเฟสแตกต่างไป แต่ค่าเฟสที่แตกต่างนั้นจะมีค่าคงที่ (Constant Phase Difference)ในกรณีที่มีเฟสไม่ตรงกันภาคเฟสดีเทกเตอร์จะจ่ายแรงดันคลาดเคลื่อน(Error Voltage) ไปควบคุมการทำงานของวงจรควบคุมความถี่ด้วยความต่างศักย์ เพื่อมิให้เฟสคลาดเคลื่อนจนกว่าจะเข้าสู่สภาวะล็อก เอาท์พุทของวงจรควบคุมความถี่ด้วยความต่างศักย์จึงมีแอมพลิจูดคงที่เสมอ แต่ความถี่จะเปลี่ยนแปลงตามความถี่ของสัญญาณอินพุท

การใช้เฟสล็อกลูปในการสังเคราะห์ความถี่

ไม่ว่าระบบสังเคราะห์ความถี่จะมีความซับซ้อนเพียงใดเมื่อพิจารณาลึกลงไปแล้วจะพบว่ามี PLL เป็นหัวใจในการสังเคราะห์เสมอ รูปที่ 2.3 เป็นตัวอย่างของระบบสังเคราะห์ความถี่อย่างง่ายประกอบด้วย 5 ภาค คือ ภาคควบคุมความถี่ด้วยความต่างศักย์ เป็นออสซิลเลเตอร์กำเนิดสัญญาณเอาท์พุทของระบบสังเคราะห์ความถี่ , ภาคหาร N ทำหน้าที่หารความถี่แบบตั้งโปรแกรมให้หาร



รูปที่ 2.3 แผนผังของหน่วยสังเคราะห์ความถี่

ด้วยค่าตัวเลขตามต้องการ (Programmable Divider) , ภาคกำเนิดความถี่อ้างอิง ใช้คริสตอลออสซิลเลเตอร์หรือสัญญาณอื่นๆ (Reference Generator) , ภาคเทียบเฟสและภาคลูปฟิลเตอร์ซึ่งทำหน้าที่กรองเอาเฉพาะความถี่ต่ำไปใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.3 จะเห็นว่าสัญญาณอินพุทของภาคเทียบเฟสมาจาก 2 แหล่งคือ จากวงจรควบคุมความถี่ด้วยความต่างศักย์ มีความถี่เท่ากับ f_o/N และจากสัญญาณอ้างอิงมีความถี่เท่ากับ f_r เอาท์พุทจากการเปรียบเทียบก็คือ ผลต่างระหว่างสัญญาณ f_o/N หรือ f_r ซึ่งจะกรองเฉพาะความถี่ต่ำเท่านั้น เพื่อบังคับการออสซิลเลตของวงจรควบคุมความถี่ด้วยความต่างศักย์ให้ทำการปรับแก้ความถี่ (หรือเฟส) ให้ตรง จนกว่าความถี่ของสัญญาณทั้งสองจะเท่ากัน

ในสภาวะล็อก ความถี่ของวงจรควบคุมความถี่ด้วยความต่างศักย์ เมื่อผ่านวงจรหาร N จะเท่ากับความถี่อ้างอิง นั่นคือ

$$f_o = N \cdot f_r \qquad (2.1)$$

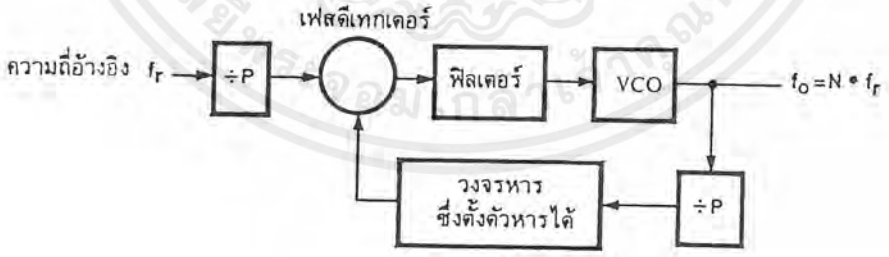
(คำนวณจาก $f_r = f_o/N$ ที่วงจรเทียบเฟส)

กล่าวอีกนัยหนึ่งว่า เอาท์พุทจะมีความถี่เป็น N เท่าของความถี่อ้างอิง สมมติว่า f_r = 1 KHz , N = 1000 จะได้ f_o = 1 MHz และถ้าเพิ่ม N ทีละหนึ่ง เป็น 1001, 1002 , 1003 .....ค่า f_o จะเพิ่มทีละ 1 KHz ไปเรื่อยๆเป็น 1.001 , 1.002 , 1.003.... MHz ตามลำดับ

ขอให้สังเกตว่า PLL ดังกล่าวสามารถผลิตความถี่ได้แต่เฉพาะในช่วงความถี่ที่วงจรควบคุมความถี่ด้วยความต่างศักย์ และวงจรหาร N สามารถทำงานได้เท่านั้น และตัวเลขในการหาร (N) ย่อมเป็นเลขจำนวนเต็มเสมอ แต่ความถี่จะเปลี่ยนแปลงไปตามความถี่ของสัญญาณอินพุท

เฟสล็อกลูปแบบพรีสเกลเลอร์

เฟสล็อกลูปแบบพรีสเกลเลอร์ ใช้วิธีหารความถี่อ้างอิง f_r ลง P เท่าก่อนที่จะป้อนให้แก่วงจรหาร N แล้วจึงนำไปเทียบเฟสที่เฟสดีเท็กเตอร์



รูปที่ 2.4 เฟสล็อกลูปแบบพรีสเกลเลอร์

โดย ความถี่เอาท์พุทสามารถหาได้โดย

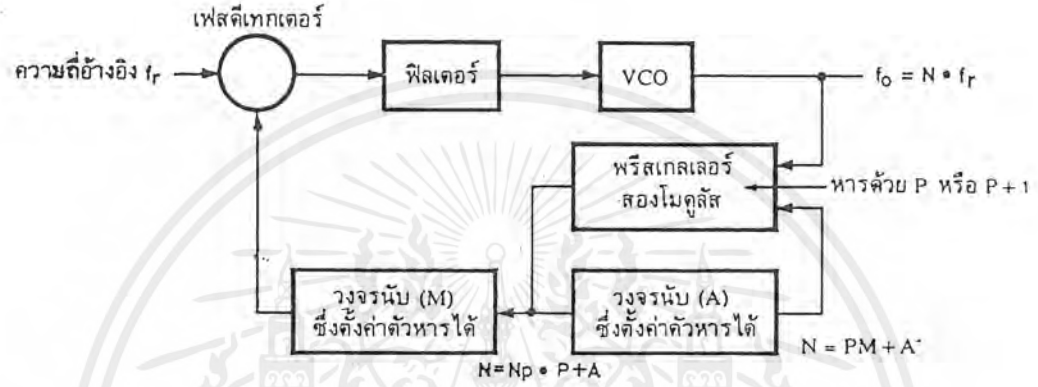
$$f_o = (N \cdot P) \cdot f_r \qquad (2.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PLL ที่ใช้พรีสเกลเลอร์แบบสองมอดูลัส (Dual Modulus)

เทคนิคการใช้พรีสเกลเลอร์แบบส องมอดูลัสเป็นวิธีการผลิตความถี่ของวงจรสังเคราะห์ความถี่ในช่วงความถี่สูง โดยมีหลักการคล้ายกับแบบมอดูลัสเดียวแต่ต่างกันที่มีพรีสเกลเลอร์เพื่อทำการหารล่วงหน้าก่อน หมายถึงมีลักษณะการทำงานในลักษณะที่หารได้ 2 ครั้ง ด้วย 2 ค่าสลับกันในตัวไอซีตัวเดียว

พรีสเกลเลอร์ตัวนี้สามารถหารความถี่ด้วยตัวเลข 2 ตัว ซึ่งต่างกันอยู่ 1 เช่น หาร 10 หรือ 11 เรียกว่า 10/11



รูปที่ 2.5 เฟสล็อกลูปแบบพรีสเกลเลอร์สองโมดูลัส

ในตัวอย่างต่อไปนี้เราจะใช้ 10 /11 พรีสเกลเลอร์ (ดูรูปที่ 2.5) เอาท์พุทของพรีสเกลเลอร์จะป้อนไปให้แก่วงจรเคาน์เตอร์ 2 ตัว ตัวหนึ่งเป็นเคาน์เตอร์หลัก ส่วนอีกตัวหนึ่งเป็นเคาเตอร์เสริม

ตัวเคาน์เตอร์เสริมจะเป็นตัวบังคับให้พรีสเกลเลอร์หารด้วยตัวหาร (Modulus) ตัวใด คือหารด้วย 10 หรือหารด้วย 11 เช่น สมมติป้อนความถี่หรือพรีเซตตัวเลขให้เคาน์เตอร์เสริม และในขณะนี้พรีสเกลเลอร์ใช้ 11 เป็นตัวหาร เมื่อเคาน์เตอร์เสริมหยุดนับ จึงจะส่งคำสั่งไปบังคับให้พรีสเกลเลอร์เปลี่ยนเป็นหารด้วย 10

ตัวเคาน์เตอร์หลักก็เช่นกัน จะค่อยๆ นับถอยหลังไปเรื่อยๆ จนเป็นศูนย์ เมื่อเคาน์เตอร์ทั้งตัวหลักและตัวเสริมนับถึงศูนย์เมื่อใด ทั้งคู่จะถูกพรีเซตด้วยตัวเลขความถี่ เนื่องจากเคาน์เตอร์เสริมจะต้องนับถึงศูนย์ก่อน ดังนั้นตัวเลขที่พรีเซตให้เคาน์เตอร์เสริมจะต้องน้อยกว่าตัวเลขที่พรีเซตให้เคาเตอร์หลัก

สมมติว่าตัวเลขที่พรีเซตเป็น M ให้แก่เคาน์เตอร์หลัก และ A ให้แก่เคาน์เตอร์เสริม เริ่มแรกให้พรีสเกลเลอร์อยู่ในสภาวะหาร 11 ซึ่งจะยังคงหารตัวหาร 11 ไปจนกว่าเคาน์เตอร์เสริมจะนับลงเป็นศูนย์นั่นคือเวลาที่ใช้ในการนับของเคาน์เตอร์เสริมเป็นศูนย์คิดเป็นจำนวนไซเกิล (ของวีซีโอ) ที่ผ่านไป จะเท่ากับ 11 คูณด้วย A ไซเกิล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลังจากนั้นพรีสเกลเลอร์จะถูกบังคับให้เปลี่ยนตัวหารเป็น 10 (โดยเคาน์เตอร์เสริม) ในขณะนี้เคาน์เตอร์หลักนับผ่าน A ไปแล้ว (พร้อมกันกับเคาน์เตอร์เสริม) เช่นกัน ยังเหลืออยู่อีก (M-A) ฉะนั้น รวมเวลาที่ใช้จึงเป็นผลรวมของเวลาทั้งสองข้างต้น คือ

$$\text{VCO ไซเกิล} = 11A + 10(M-A) = 10M + A \qquad (2.3)$$

ดังนั้นความถี่ของ วีซีโอ จะเท่ากับ (10 M + A) เท่าของความถี่อ้างอิง ซึ่งก็คือ

$$f_o = f_r \ (10M + A) \qquad (2.4)$$

คุณสมบัติของวงจรสังเคราะห์ความถี่

นอกจากวงจรสังเคราะห์ความถี่จะต้องมีคุณสมบัติเกี่ยวกับช่วงความถี่ (Frequency Range) ที่ต้องผลิตและเรโซลูชั่นระหว่างขั้นแล้ว คุณสมบัติอื่นๆ ของวงจรสังเคราะห์ความถี่ก็มีความสำคัญด้วย ดังจะได้อธิบายดังต่อไปนี้

โดยปกติวงจรสังเคราะห์ความถี่จะสามารถกำเนิดสัญญาณเพียงสัญญาณเดียว แต่เลือกความถี่ได้หลายค่า (ในช่วงความถี่ใช้งาน) และมีความละเอียดของความถี่ขึ้นอยู่กับเรโซลูชั่น ในกรณีที่เราเปลี่ยนความถี่จากค่าหนึ่งไปยังอีกค่าหนึ่ง วงจรสังเคราะห์ความถี่จะต้องเปลี่ยนตามได้เร็วทันที กล่าวอีกอย่างหนึ่งคือล็อกความถี่ได้ในเวลาอันรวดเร็ว นั่นคือ ช่วงเวลาล็อก (Lock-up Time) สั้น คุณสมบัติการล็อกความถี่ใหม่ได้รวดเร็วนั้นมีความจำเป็นอย่างยิ่งสำหรับเครื่องรับสัญญาณดาวเทียม

วงจรสังเคราะห์ความถี่ที่ดีจะต้องผลิตสัญญาณความถี่เดียว โดยปราศจากความถี่แปลกปลอมต่างๆ คุณสมบัตินี้เรียกว่า ความบริสุทธิ์ของสเปกตรัม (Spectrum Purity) นั่นคือความถี่ฮาร์มอนิกและสปิวเรียสต่างๆจะต้องถูกกำจัดให้เหลือน้อยที่สุด นอกจากนี้นอยส์จากวงจรออสซิลเลเตอร์ จะทำให้วงจรสังเคราะห์ความถี่มีความถี่ไม่บริสุทธิ์ ไม่ใช่เพียงความถี่เดียว ในช่วงใกล้เคียงกับความถี่ที่เราต้องการ นอยส์ดังกล่าวนี้เรียกว่าเฟสน้อยส์ (Phase Noise)

ความเที่ยงตรง (Accuracy) และเสถียรภาพ (Stability) ทางความถี่ของวงจรสังเคราะห์ความถี่ขึ้นอยู่กับสัญญาณอ้างอิง โดยทั่วไปสัญญาณอ้างอิงจะเป็นวงจรออสซิลเลเตอร์ชนิดใช้แร่บังคับความถี่ ฉะนั้น วงจรสังเคราะห์จะมีเสถียรภาพและความเที่ยงตรงทางความถี่เทียบเท่ากับคริสตอลออสซิลเลเตอร์

2.2 วงจรมิกเซอร์

มิกเซอร์ จะทำหน้าที่ผสมสัญญาณ ระหว่างสัญญาณความถี่สองสัญญาณเพื่อให้ได้สัญญาณความถี่ใหม่โดยที่ข้อมูลที่ผสมมาด้วยนั้นไม่เปลี่ยนแปลงไป

วงจรมิกเซอร์นั้นสามารถสร้างขึ้นโดยอาศัยคุณสมบัติที่ไม่เป็นเชิงเส้น (NonLinear) ของอุปกรณ์อิเล็กทรอนิกส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าให้ สัญญาณความถี่ที่รับเข้ามา เป็น $V_1' = v_1 \cos \omega_1 t$ (2.5)

สัญญาณความถี่จากออสซิลเลเตอร์ เป็น $V_2' = v_2 \cos \omega_2 t$ (2.6)

และให้เอาท์พุทที่ได้ เป็น $I_o = A(V_1' + V_2')^2$ (2.7)

จะได้ $$I_o = A(v_1 \cos \omega_1 t + v_2 \cos \omega_2 t)^2$$
$$= Av_1^2 \cos^2 \omega_1 t + 2Av_1 v_2 \cos \omega_1 t \cdot \cos \omega_2 t + Av_2^2 \cos^2 \omega_2 t \quad (2.8)$$

พิจารณาเทอมที่สอง

$$\cos \omega_1 t \cdot \cos \omega_2 t = \frac{1}{2}\{\cos(\omega_1 + \omega_2)t + \cos(\omega_1 - \omega_2)t\} \quad (2.9)$$

จากสมการที่ 2.9 จะเห็นว่าผลของการผสมสัญญาณนั้นจะทำให้เกิดสัญญาณความถี่ที่น่าสนใจสองความถี่คือ ความถี่ที่เป็นผลบวกและความถี่ที่เป็นผลลบระหว่าง ความถี่ที่รับเข้ามากับความถี่ที่ผลิตขึ้นมาจากออสซิลเลเตอร์

ความถี่ที่เป็นผลต่างจะถูกนำมาใช้เพื่อการแปลงความถี่จากสัญญาณอินพุทที่รับเข้ามาโดยการใช้วงจรกรองสัญญาณความถี่ เพื่อเลือกความถี่ที่ต้องการไปใช้งานต่อไป

การแบ่งชนิดของวงจรมิกเซอร์

แบ่งตามรูปแบบของวงจร

1) อันบาลานซ์ มิกเซอร์ (Unbalance Mixer) จะใช้อุปกรณ์ตัวหลักเพียงตัวเดียว
2) ซิงเกิลบาลานซ์ มิกเซอร์ (Single Balance Mixer) จะใช้อุปกรณ์เป็นคู่ โดยทั้งสองตัวจะต้องมีคุณสมบัติที่เหมือนกันด้วย (Match Pair)
3) ดับเบิลบาลานซ์ มิกเซอร์ (Double Balance Mixer) จะใช้ อุปกรณ์ถึงสองคู่

วงจรมิกเซอร์สามารถสร้างขึ้นด้วยอุปกรณ์อิเล็กทรอนิกส์ที่มีคุณสมบัติไม่เป็นเชิงเส้น(Nonlinear) เช่น ทรานซิสเตอร์ เฟ็ท ไดโอด

การให้ไบอัสแก่อุปกรณ์ก็จะมีผลถึงคุณสมบัติยกกำลังสอง ถ้ามีการไบอัสที่เปลี่ยนไปจะทำให้วงจรมีคุณสมบัตินี้เปลี่ยนไปด้วยและส่งผลถึงสัญญาณรบกวนตามมา

คุณสมบัติต่างๆ ของมิกเซอร์

1) คุณสมบัติในเรื่องคอนเวอร์สชั่นเกน (Conversion Gain)

คอนเวอร์สชั่นเกน คืออัตราการขยายของการผสมสัญญาณ ซึ่งก็คืออัตราส่วนระหว่างระดับสัญญาณของเอาท์พุทต่อระดับสัญญาณของอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

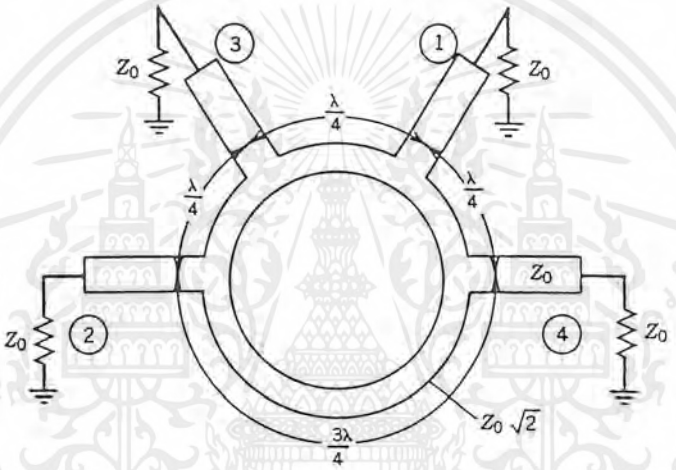
มิกเซอร์ที่ดีควรมีคอนเวอร์สชั่นเกนที่สูงหรืออาจกล่าวได้ว่าควรมี คอนเวอร์สชั่นลอส ที่ต่ำ

2) คุณสมบัติในการป้องกันการเล็ดลอดของสัญญาณระหว่างขั้ว (Isolation)

มิกเซอร์ที่ดีควรมีการเล็ดลอดของสัญญาณระหว่างพอร์ท ให้น้อยที่สุดหรือไม่มีเลยเพื่อลดการกวนกันระหว่างพอร์ท

ไฮบริดริง (Hybrid Ring)

ไฮบริดริงมีลักษณะดังในรูป โดยมีโครงสร้างคือ มี คัปเปลอร์ริง (Coupler Ring) เป็นสายส่งที่มีอิมพิแดนซ์ $\sqrt{2} \cdot Z_o$ ของพอร์ท โดยมีความยาวของเส้นรอบวง $3\lambda/2$ และระยะห่างระหว่างพอร์ททั้งสี่คือ $\lambda/4$

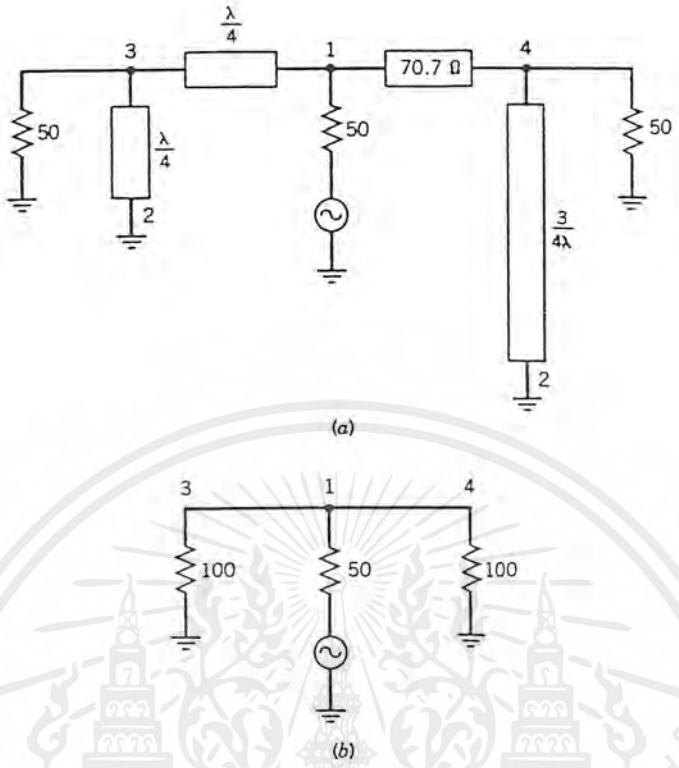


รูปที่ 2.6 วงจรไฮบริดริงแบบแรทเรซ (Ratrace)

คุณสมบัติของ ไฮบริดริง มีดังนี้ จากการที่กำหนดให้อิมพิแดนซ์ของพอร์ททั้งสี่มีค่า 50 Ω ดังนั้น อิมพิแดนซ์ของ คัปเปลอร์ริง จะมีค่า 70.7Ω ถ้าเราป้อนสัญญาณเข้าไปทางพอร์ท 1 แล้วสังเกตที่พอร์ท 2 จะเห็นว่าสัญญาณที่พอร์ท 2 จะต่างเฟสกันอยู่ 180° ทำให้สัญญาณที่พอร์ท 2 นี้ หักล้างกันหมดไป ดังนั้นที่พอร์ท 2 จะเป็นเสมือนกราวด์ ดังนั้นเราจะสามารถเขียนวงจรเสมือนได้ดังรูปที่ 2.7 เมื่อพอร์ท 2 เป็นกราวด์ ระยะห่างระหว่างพอร์ท 3 กับพอร์ท 2 และระหว่างพอร์ท 4 กับพอร์ท 2 จะมีคุณสมบัติเป็นสตับ (Stub) ที่ถูกช็อตลงกราวด์ ที่มีความยาวของสาย $\lambda/4$ และ $3\lambda/4$ ตามลำดับ ทำให้อินพุทอิมพิแดนซ์ของสตับเหล่านี้มีค่าเป็นอนันต์ ดังนั้นจึงไม่มีผลกระทบต่อพอร์ท 3 และ 4 เลย

จากนั้นส่วนที่เหลือของวงแหวน ซึ่งมีอิมพิแดนซ์ 70.7 Ω จะทำตัวเป็น ควอเตอร์เวฟทรานสฟอร์เมอร์ (Quaterwave Transformer) ซึ่งแปลงโหลด 50 Ω ที่พอร์ท 3 และ 4 ไปเป็นโหลด 100 Ω สองค่าขนานกันอยู่ที่พอร์ท 1 ดังรูป ซึ่งเมื่อนำมาขนานกันแล้วก็จะได้อิมพิแดนซ์ 50 Ω ดังนั้นพอร์ทจะได้รับการแมทช์ ทำให้พลังงานถ่ายเทได้อย่างสะดวกระหว่างพอร์ทต่อพอร์ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 วงจรเสมือนของไฮบริดริง

ในลักษณะเดียวกัน ถ้าป้อนพลังงานเข้าทางพอร์ท 2 คลื่นก็จะเดินทางไปยังพอร์ท 1 โดยที่มีเฟสต่างกัน ดังนั้นพอร์ท 1 จะเป็นเสมือนกราวด์ จึงสรุปได้ว่าพอร์ท 1 กับพอร์ท 2 นั้นจะไม่มีการรบกวนกัน (Isolate) และเรียกพอร์ททั้งสองนี้ว่า " คู่มิวชวลไอโซเลท " เช่นเดียวกับพอร์ท 3 กับพอร์ท 4 ดังนั้นเราจึงสามารถเลือกใช้คู่ใดคู่หนึ่งเพื่อป้อนสัญญาณได้

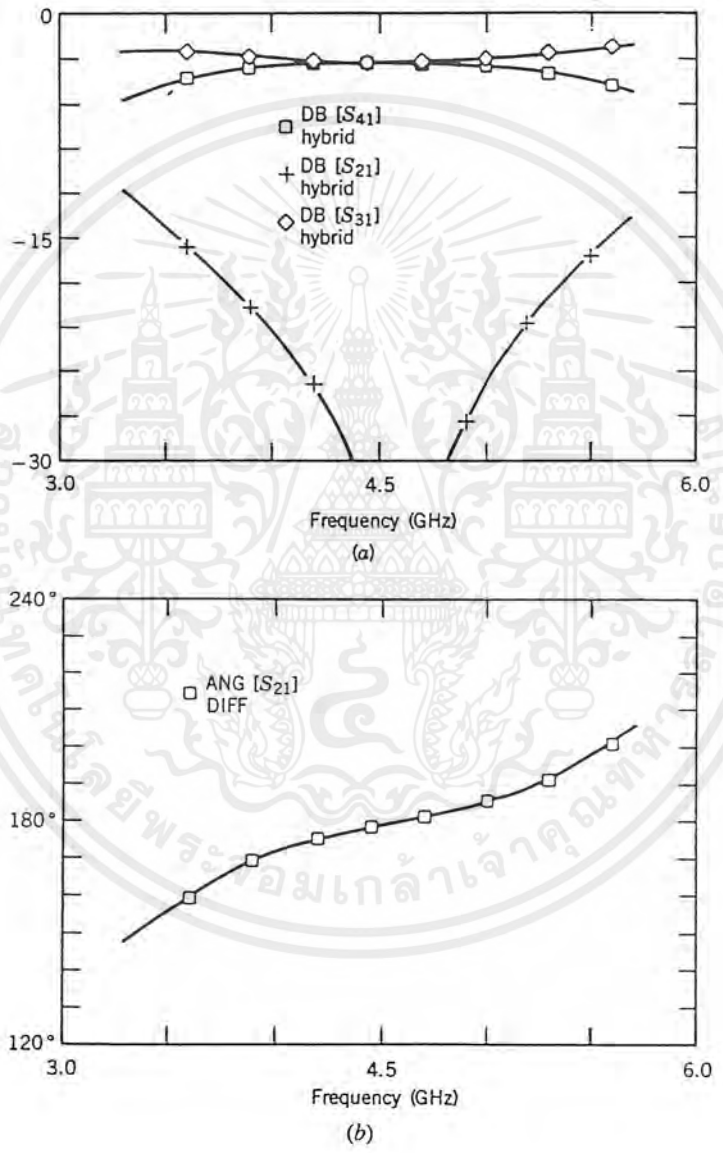
เมื่อเราสังเกตให้ดีจะพบว่า สัญญาณที่ป้อนทางพอร์ท 1 นั้น เอาท์พุทที่ได้ทางพอร์ท 3 และ 4 จะมีขนาดเท่ากันและมีเฟสตรงกันด้วย ซึ่งเราจะเรียกพอร์ท 1 ว่า Σ พอร์ท ส่วนสัญญาณที่ป้อนทางพอร์ท 2 นั้น เอาท์พุทที่ได้ทางพอร์ท 3 และ 4 จะมีขนาดเท่ากันแต่เฟสที่ได้จะต่างกัน 180 องศา เนื่องจากระยะจากพอร์ท 2 มายังเอาท์พุทต่างกันอยู่ $\lambda/2$ ซึ่งเราจะเรียกพอร์ท 2 นี้ว่า Δ พอร์ท

สำหรับค่า เอสพารามิเตอร์ (S – Parameter) ของไฮบริดริง ตามอุดมคติจะเป็นดังนี้

$$S_{180} = \frac{1}{\sqrt{2}} \begin{bmatrix} 0 & 0 & 1 & 1 \\ 0 & 0 & 1 & -1 \\ 1 & 1 & 0 & 0 \\ 1 & -1 & 0 & 0 \end{bmatrix} \qquad (2.10)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

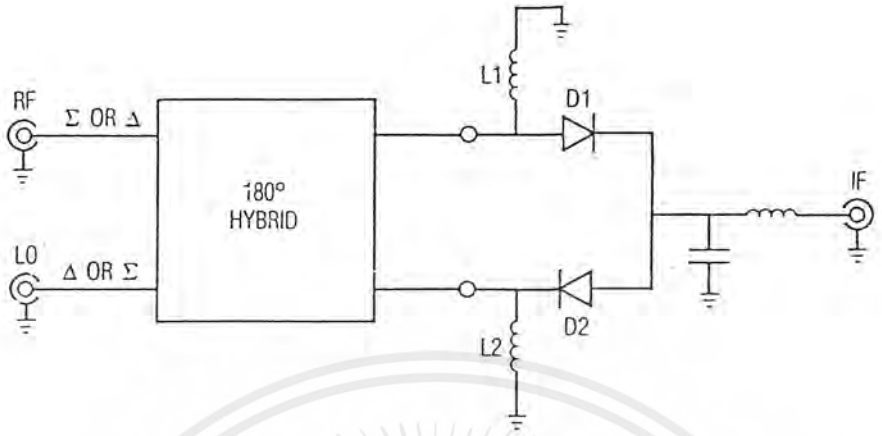
โดยค่าศูนย์ที่ทแยงมุมแสดงถึงการแมทช์ที่สมบูรณ์คือไม่มีการสะท้อนกลับที่พอร์ทนั้นๆ ส่วนค่าศูนย์ที่ไม่อยู่ในเส้นทแยงมุมแสดงถึงการไอโซเลชั่นพอร์ท (Isolation Port) นั้นๆ คือ จะไม่มีการส่งผ่านกำลังงานจากพอร์ทหนึ่งไปยังอีกพอร์ทหนึ่ง เช่น $S_{21} = 0$ หมายถึง ไม่มีการส่งผ่านกำลังจากพอร์ท 1 ไปยังพอร์ท 2 เลย



รูปที่ 2.8 แสดงคุณสมบัติของไฮบริดริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซิงเกิลบาลานซ์มิกเซอร์ มีรูปแบบดังในรูป โดยการนำไดโอดสองตัวมาต่อร่วมกับ ไฮบริดริง



รูปที่ 2.9 แสดงการต่อไดโอดร่วมกับไฮบริดริง

ถ้าสัญญาณ RF ถูกป้อนเข้ามาที่ Σ พอร์ทสัญญาณจะอินเฟสกันที่ไดโอด ส่วนสัญญาณจาก ออสซิลเลเตอร์ จะถูกป้อนเข้ามาที่ Δ พอร์ท ซึ่งจะทำให้สัญญาณเอาท์ออฟเฟสกันที่ตัวไดโอด ดังนั้นสัญญาณที่ได้จะเป็นผลรวมที่โหนดระหว่างไดโอดสองตัวนี้ โดย

$$I_1 = av_1 + b(v_1)^2 + c(v_1)^2 + d(v_1)^2 + \ldots\ldots \quad (2.11)$$

$$I_2 = -av_2 + b(v_2)^2 - c(v_2)^2 + d(v_2)^2 + \ldots\ldots \quad (2.12)$$

เมื่อ v_1, v_2 เป็นผลรวมของไดโอดโวลท์เตจ

$$v_1 = v_{LO}\cos_p t + v_{RF}\cos_s t \quad (2.13)$$

$$v_2 = v_{LO}\cos_p t + v_{RF}\cos_s t \quad (2.14)$$

$$I_T = I_1 - I_2 \quad (2.15)$$

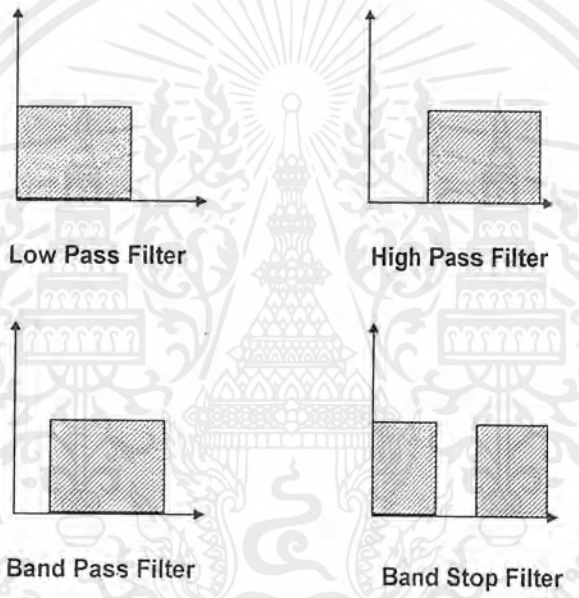
2.3 ตัวกรองความถี่

ตัวกรองความถี่ (Filter) มีบทบาทและความสำคัญต่องานทางด้านสื่อสาร และด้านอิเล็กทรอนิกส์มากเพราะเป็นตัวกำจัดสัญญาณหรือความถี่ที่ไม่ต้องการออกไป ตัวกรองความถี่ที่ใช้งานกัน สามารถแบ่งออกได้เป็น 4 ชนิด คือ

1) ตัวกรองความถี่ต่ำผ่าน (Low Pass Filter) คือ ในช่วงความถี่ผ่านจะยอมให้ความถี่ตั้งแต่ศูนย์(DC Frequency) ไปจนถึงความถี่คัทออฟ (Cut Off Frequency) ผ่านไปได้โดยไม่มีการลดทอนใดๆ ส่วนความถี่ที่อยู่เหนือความถี่คัทออฟขึ้นไปนั้นจะถูกกันออกไปทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) ตัวกรองความถี่สูงผ่าน (High Pass Filter) จะมีการทำงานในแบบตรงกันข้ามกับตัวกรองความถี่ต่ำผ่าน กล่าวคือ สัญญาณในช่วงความถี่ที่อยู่ต่ำกว่าความถี่คัทออฟจะถูกตัดออกไปแต่จะยอมให้สัญญาณความถี่ที่อยู่สูงกว่าความถี่คัทออฟผ่านได้โดยสะดวก
3) ตัวกรองความถี่ช่วงผ่าน (Band Pass Filter) ตัวกรองความถี่แบบนี้มีลักษณะผสมกันระหว่างตัวกรองความถี่สูงผ่านและตัวกรองความถี่ต่ำผ่าน โดยความถี่ที่ต่ำและความถี่ที่สูงกว่าความถี่คัทออฟจะถูกกำจัดทิ้งไปแต่จะยอมให้ความถี่ที่อยู่ระหว่างความถี่คัทออฟผ่านไปได้
4) ตัวกรองความถี่ช่วงหยุด (Band Stop Filter) ตัวกรองความถี่แบบนี้จะตัดความถี่ที่อยู่ระหว่างความถี่คัทออฟทิ้งไป ส่วนความถี่ที่ต่ำและสูงกว่าความถี่คัทออฟจะผ่านไปได้ ซึ่งก็คือจะมีการทำงานตรงกันข้ามกับตัวกรองความถี่ช่วงผ่านนั่นเอง



รูปที่ 2.10 เปรียบเทียบลักษณะของแถบความถี่ในวงจรกรองความถี่แบบต่างๆ

ผลตอบสนองของตัวกรองความถี่ (Filter Response)

ผลตอบสนองของตัวกรองความถี่ก็คือความพยายามที่จะสร้างให้ผลตอบสนองของตัวกรองความถี่มีลักษณะใกล้เคียงกับในทางอุดมคติมากที่สุด ซึ่งชนิดของผลตอบสนองที่ใช้กันมากๆ คือ ผลตอบสนองแบบบัตเตอร์เวิร์ท (Butterworth) และผลตอบสนองแบบเชบีเชฟ (Tchevbycheff) นอกจากนี้ก็มีแบบอื่นๆเช่น ผลตอบสนองแบบเกาส์เซียน (Gaussian) , ผลตอบสนองแบบเชบีเชฟย้อนกลับ (Inverse Tchevbycheff) , ผลตอบสนองแบบเบซเซล (Bessel) และผลตอบสนองแบบวงรี (Elliptic)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลตอบสนองแบบบัตเตอร์เวิร์ธ

เป็นผลตอบสนองแบบที่ไม่ซับซ้อน ในรูปที่ 2.11 เป็นผลตอบสนองแบบบัตเตอร์เวิร์ทของตัวกรองความถี่ต่ำผ่าน ซึ่งอัตราการขยายของการตอบสนองความถี่มีค่าเท่ากันตลอดย่านความถี่ที่ผ่านไปได้ คือไม่เกิดสัญญาณกระเพื่อม ซึ่งนับได้ว่ามีความราบเรียบของแถบความถี่ มากที่สุดในบรรดาวงจรกรองความถี่ชนิดต่างๆ สมการที่ใช้อธิบายผลตอบสนองแบบบัตเตอร์เวิร์ท คือ

$$A_{dB} = 10\log\left[1+\left(\frac{\omega}{\omega_c}\right)^{2n}\right] \qquad (2.16)$$

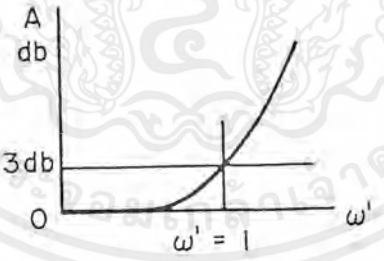
โดย A_{dB} คือ ค่าอัตราการลดทอนของวงจร

ω คือ ค่าความถี่ใดๆ

ω_c คือ ความถี่คัทออฟ

n คือ จำนวนออร์เดอร์ของตัวกรองความถี่

แต่ผลตอบสนองบัตเตอร์เวิร์ทนี้จะมีช่วงทรานสิทชั่น (Transition Band) ที่ไม่ชัน และมีค่า Q อยู่ที่ระดับปานกลาง ซึ่งค่า Q นี้คืออัตราส่วนระหว่างค่าความถี่กลางต่อค่าแบนด์วิด $\left(Q = \frac{f_o}{BW}\right)$ โดยที่ค่า Q สูงนั้นจะมีผลทำให้คุณสมบัติในการเลือกความถี่ดีแต่ก็มีส่วนทำให้ช่วงของแบนด์วิดแคบลงด้วย



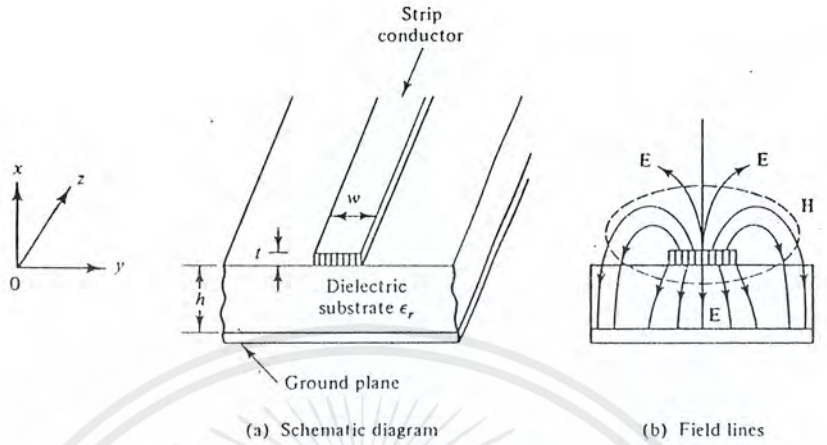
รูปที่ 2.11 ผลตอบสนองแบบบัตเตอร์เวิร์ธ

2.4 ทฤษฎีไมโครสตริปไลน์

ไมโครสตริปไลน์มักถูกใช้เป็นสายนำสัญญาณที่ใช้ในการเชื่อมโยงชิ้นส่วนวงจรต่างๆ ของวงจรไมโครเวฟและเนื่องจากไมโครสตริปนั้นมีขนาดที่เล็กจึงเหมาะสำหรับทำวงจรรวมไมโครเวฟ (Microwave Integrated Circuit : MIC)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างของไมโครสตริปไลน์จะแสดงดังรูปที่ 2.12 ซึ่งประกอบไปด้วย แถบตัวนำเล็กๆ อยู่บนสารไดอิเล็กตริกสับเสตรตและด้านล่างของสับสเตรตจะเป็นกราวด์เพลน



รูปที่ 2.12 แสดงโครงสร้างของไมโครสตริปไลน์

โดย w คือ ความกว้างของตัวนำ
h คือ ความสูงของไดอิเล็กตริกสับสเตรต
t คือ ความหนาของแผ่นตัวนำ

ไมโครสตริปไลน์สามารถสร้างบนแผ่นวงจรพิมพ์ได้ โดยใช้เทคนิคการสร้างแผ่นวงจรพิมพ์ และการที่จะวิเคราะห์ให้ละเอียดตามทฤษฎีจะทำได้ลำบากมาก เพราะพลังงานของคลื่นแม่เหล็กไฟฟ้าจะส่งผ่านอยู่ในซับสเตรตบริเวณที่อยู่ระหว่างแถบโลหะแคบๆ กับผิวโลหะด้านล่าง ซึ่งคลื่นที่ส่งผ่านไปตามไมโครสตริปนั้นจะใกล้เคียงกับโหมด TEM มาก แต่ไม่ใช่โหมด TEM เสียทีเดียวเพราะว่ามีสนามในแนวแกนอยู่ด้วยเนื่องจากโครงสร้างที่มีสารไดอิเล็กตริกและอากาศอยู่ในระบบเดียวกัน จึงนิยมเรียกโหมดดังกล่าวนี้ว่า โหมดกึ่ง TEM (Quasi-TEM Mode) ดังแสดงในรูปที่ 2.12

การที่แถบตัวนำของไมโครสตริปมีด้านบนสัมผัสกับอากาศ และด้านล่างสัมผัสกับสารไดอิเล็กตริก สนามไฟฟ้าจึงแยกไปในอากาศส่วนหนึ่งและส่วนที่เหลือผ่านไปในสารไดอิเล็กตริกทำให้ไมโครสตริปมี เรดิเอชั่นลอส (Radiation Loss) สูง

การเดินทางของสัญญาณในไมโครสตริปจะเดินทางในโหมด Quasi – TEM ซึ่งมีความเร็วเฟส

$$V_p = \frac{c}{\sqrt{\varepsilon_e}} \qquad (2.17)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

โดย c คือ ความเร็วแสง

ε_e คือ ค่าคงตัวไดอิเล็กตริกประสิทธิผล

ค่าอิมพิแดนซ์ลักษณะสมบัติของไมโครสตริปไลน์ คือ

$$Z_0 = \frac{1}{V_p \cdot C} \qquad (2.18)$$

โดย C คือค่าคาปาซิแตนซ์ต่อหน่วยความยาวของไมโครสตริป ซึ่งความยาวคลื่นในไมโครสตริปคือ

$$\lambda_g = \frac{V_p}{f} = \frac{c}{f\sqrt{\varepsilon_e}} = \frac{\lambda_0}{\sqrt{\varepsilon_e}} \qquad (2.19)$$

โดย λ_0 คือ ค่าความยาวคลื่นในอากาศ

เนื่องจากสารไดอิเล็กตริกทั้งหลายมีคุณสมบัติเปลี่ยนแปลงไปตามความถี่หรือมีดิสเพอร์ชันเชิงวัสดุ ดังนั้น ที่หาได้ก็จะมีค่าเปลี่ยนแปลงไปตามความถี่ด้วย ซึ่งในช่วงความถี่ที่สูงกว่า 2 GHz ก็ต้องคำนึงถึงค่าดิสเพอร์ชันโดยทำการปรับแต่งค่าให้เหมาะสมกับความถี่ที่ใช้งาน

ค่าอิมพิแดนซ์คุณลักษณะของเส้นไมโครสตริป

กรณี $w/h \le 1$

$$Z_0 = \frac{60}{\sqrt{\varepsilon_e}} \ln\left\{8 \cdot \frac{h}{w} + 0.25 \cdot \frac{w}{h}\right\} \qquad (2.20)$$

เมื่อ

$$\varepsilon_e = \frac{\varepsilon_r + 1}{2} + \frac{\varepsilon_r - 1}{2}\left\{\left(1 + 12 \cdot \frac{h}{w}\right)^{\frac{-1}{2}} + 0.04\left(1 - \frac{w}{h}\right)^2\right\} \qquad (2.21)$$

กรณี $w/h \ge 1$

$$Z_0 = \frac{120\pi / \sqrt{\varepsilon_e}}{\frac{w}{h} + 1.393 + 0.667 \cdot \ln\left(\frac{w}{h} + 1.444\right)} \qquad (2.22)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

32604

เมื่อ

$$\varepsilon_e = \frac{\varepsilon_r + 1}{2} + \frac{\varepsilon_r - 1}{2} \cdot \left(1 + 12\frac{h}{w}\right)^{\frac{-1}{2}} \qquad (2.23)$$

หรือหาได้โดยการแทนค่า Z_O กับ ε_r ก็จะทำให้ได้ค่าอัตราส่วนระหว่างความกว้างของสตริปกับความสูงของสับสเตรต ดังนี้

กรณี $w/h \leq 2$

$$\frac{w}{h} = \frac{8e^A}{e^{2A} - 2} \qquad (2.24)$$

เมื่อ

$$A = \frac{Zo}{60} \cdot \sqrt{\frac{\varepsilon_r + 1}{2}} + \frac{\varepsilon_r - 1}{\varepsilon_r + 1} \cdot \left(0.23 + \frac{0.11}{\varepsilon_r}\right) \qquad (2.25)$$

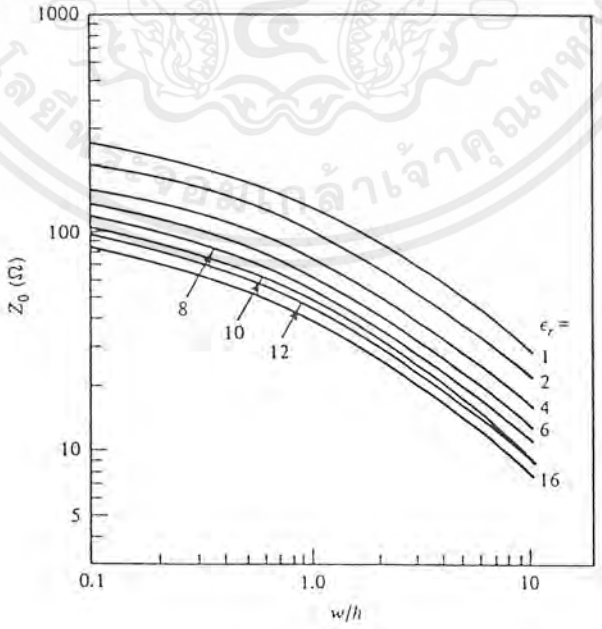
กรณี $w/h \geq 2$

$$\frac{w}{h} = \frac{2}{\pi}\left\{B - 1 - \ln(2B - 1) + \frac{\varepsilon_r - 1}{2\varepsilon_r}\left[\ln(B - 1) + 0.39 - \frac{0.61}{\varepsilon_r}\right]\right\} \qquad (2.26)$$

เมื่อ

$$B = \frac{377\pi}{2 \cdot Zo\sqrt{\varepsilon_r}} \qquad (2.27)$$

โดยความหนาของแถบตัวนำจะต้องมีค่าน้อยมาก ($t/h = 0.005$)



รูปที่ 2.13 กราฟอิมพิแดนซ์ของไมโครสตริปไลน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความยาวคลื่นที่เดินทางในไมโครสตริป

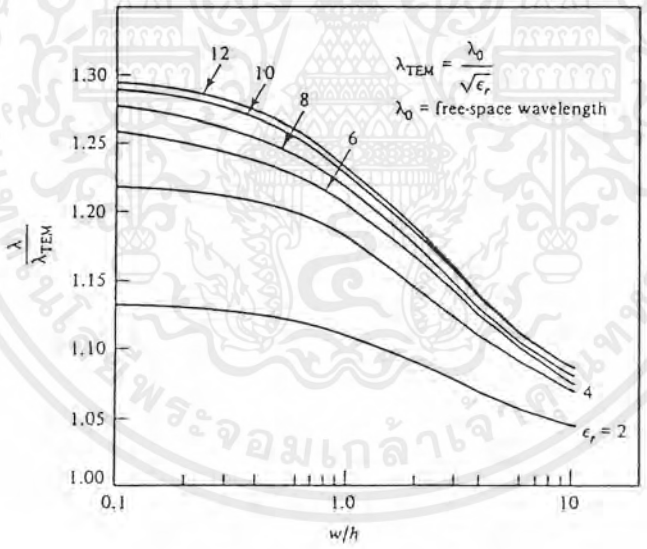
กรณี $w/h \geq 0.6$

$$\lambda_g = \frac{\lambda_O}{\sqrt{\varepsilon_r}}\left[\frac{\varepsilon_r}{1+0.63(\varepsilon_r-1)\left(\frac{w}{h}\right)^{0.1255}}\right]^{1/2} \qquad (2.28)$$

กรณี $w/h \leq 0.6$

$$\lambda_g = \lambda_O\left[\frac{\varepsilon_r}{1+0.6(\varepsilon_r-1)\left(\frac{w}{h}\right)^{0.0297}}\right] \qquad (2.29)$$

λ_0 คือ ความยาวคลื่นที่เดินทางในอากาศ



รูปที่ 2.14 กราฟแสดงความยาวคลื่นของไมโครสตริปไลน์

การสูญเสียในสายส่งไมโครสตริป

การสูญเสียในสายส่งไมโครสตริปสามารถแบ่งได้เป็น 2 ส่วน คือ การสูญเสียในตัวนำ และการสูญเสียที่ตัวไดอิเล็กตริก

$$\alpha_T = \alpha_c + \alpha_d \qquad (2.30)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย α_c คือ การสูญเสียที่ตัวนำ

α_d คือ การสูญเสียที่ไดอิเล็กตริก

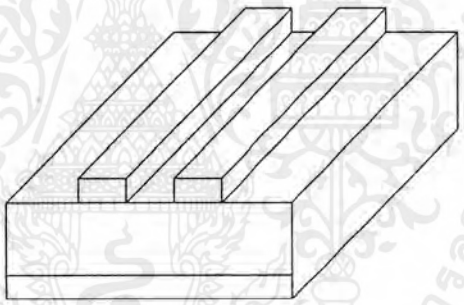
ซึ่ง

$$\alpha_c = 0.72\frac{\lambda_g \cdot \sqrt{f}}{w \cdot Z_0} \quad (\text{dB / wavelength}) \quad (2.31)$$

$$\alpha_d = 27.3\frac{\varepsilon_r(\varepsilon_e - 1)\cdot \tan\delta}{\varepsilon_e(\varepsilon_r - 1)} \quad (\text{dB / wavelength}) \quad (2.32)$$

ในย่านความถี่ไมโครเวฟนั้นการสูญเสียที่ไดอิเล็กตริกจะมีค่าน้อยเมื่อเทียบกับการสูญเสียในตัวนำ

การส่งผ่านพลังงานระหว่างไมโครสตริปที่อยู่ใกล้กัน

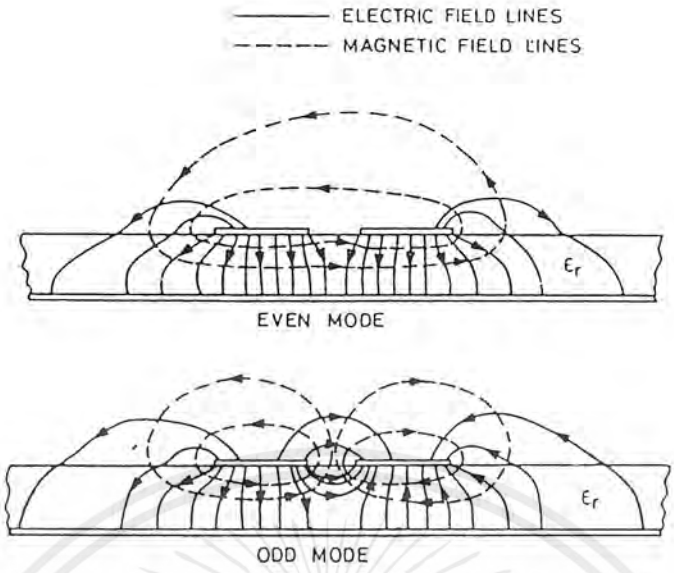


รูปที่ 2.15 ไมโครสตริปที่วางตัวขนานกัน

การส่งผ่านพลังงานระหว่างไมโครสตริปที่วางขนานกันก็คล้ายกับการที่นำสายส่งสองเส้นมาวางใกล้กันซึ่งจะทำให้เกิดการรบกวนกัน (Cross Talk) นั่นเอง ในทำนองเดียวกันไมโครสตริปที่วางตัวขนานกันบนสับสเตรตเดียวกัน เมื่อเราป้อนพลังงานให้กับเส้นใดเส้นหนึ่งก็จะสามารถที่จะส่งผ่านพลังงานไปยังอีกเส้นหนึ่งได้ ซึ่งการส่งผ่านพลังงานที่ว่านี้เป็นหลักการพื้นฐานในการออกแบบไดเร็คชั่นนอลคัปเปลอร์ (Directional Coupler)

จากรูปที่ 2.16 จะแสดงถึงสนามไฟฟ้าและสนามแม่เหล็กในโหมดคู่และโหมดคี่ของคัปเปิลไลน์ (Coupled line) โดยโหมดคู่ หมายถึง การที่สนามไฟฟ้าของทั้งสองเส้นมีทิศทางไปทางเดียวกัน ทำให้สนามแม่เหล็กอยู่ในลักษณะที่เสริมกัน ส่วนในโหมดคี่นั้น สนามไฟฟ้าของทั้งสองเส้นมีทิศทางตรงข้ามกัน ทำให้สนามแม่เหล็กจะอยู่ในลักษณะที่หักล้างกัน ซึ่งในแต่ละโหมดนั้นก็จะมีอิมพิแดนซ์คุณลักษณะ (Characteristic Impedance) คือ Z_{0e} สำหรับโหมดคู่และ Z_{0o} สำหรับโหมดคี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.16 แสดงโหมดของไมโครสตริปที่วางขนานกัน

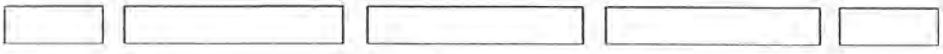
สัมประสิทธิ์ในการส่งผ่านของไมโครสตริปที่วางขนานกัน (Coupling Factor) จะเท่ากับ

$$K = 20\log\frac{Z_{0e} - Z_{0o}}{Z_{0e} + Z_{0o}} \qquad (2.33)$$

2.5 แบนด์พาสไมโครสตริปฟิลเตอร์ (Bandpass Microstrip Filter)

แบนด์พาสไมโครสตริปฟิลเตอร์นั้นถูกออกแบบโดยการนำเรโซเนเตอร์ที่มีความยาวครึ่งคลื่น (Half Wave Resonators) มาต่ออนุกรมหรือขนานกัน เช่นเดียวกับวงจรเรโซแนนซ์แบบแอลซี (LC Resonance) ซึ่งก็มีทั้งแบบอนุกรมและแบบขนานเช่นกัน ไมโครสตริปเรโซเนเตอร์สามารถใช้หลักการคัปเปิลกันทางแม่เหล็กไฟฟ้าโดยใช้การอนุกรมหรือชนานอย่างใดอย่างหนึ่งเท่านั้น ไม่สามารถใช้ทั้งสองวิธีพร้อมๆกันได้

1) เอ็นคัปเปิลแบนด์พาสฟิลเตอร์ (End – Coupled Bandpass Filter)



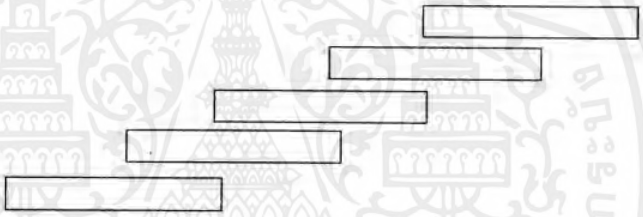
รูปที่ 2.17 โครงสร้างของเอ็นคัปเปิลแบนด์พาสฟิลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างโดยทั่วไปของฟิลเตอร์แบบนี้แสดงดังรูปที่ 2.17 ซึ่งฟิลเตอร์ทุกประเภทนั้นตั้งอยู่บนพื้นฐานของทรานสมิสชั่นไลน์เรโซเนเตอร์ (Transmission Line Resonator) โดยที่คัปปลิ้งแก็ป (Coupling Gap) ที่อยู่ระหว่างเรโซเนเตอร์จะต้องวางตัวอย่างเหมาะสมที่สุด โดยปกติขนาดของแก็ปจะเล็กกว่าความสูงของสับสเตรต ข้อเด่นของฟิลเตอร์แบบนี้ก็คือฟิลเตอร์แบบนี้สามารถให้แบนด์วิดที่แคบนั่นเอง

2) แบนด์พาสฟิลเตอร์ที่อาศัยการคัปปลิ้งระหว่างสาย (Parallel – Coupled – Bandpass Filter)

หลักการพื้นฐานของฟิลเตอร์แบบนี้ก็คืออาศัยการคัปปลิ้งระหว่างไมโครสตริปที่อยู่ใกล้กัน และการจัดความยาวอย่างเหมาะสมให้แก่ไมโครสตริปในช่วงที่มีการคัปปลิ้งระหว่างกัน (Coupled Region) ซึ่งการส่งผ่านพลังงานระหว่างไมโครสตริปสองเส้นที่วางขนานกันนั้นจะมีค่าสูงสุด(Maximum Coupling) เมื่อความยาวของไมโครสตริปในช่วงที่มีการคัปปลิ้งระหว่างกันยาวเท่ากับ $\frac{\lambda_g}{4}$ โดยที่เรโซเนเตอร์แต่ละตัวยาวเท่ากับ $\frac{\lambda_g}{2}$ โดยสามารถแสดงโครงร่างได้ดังรูปที่ 2.18



รูปที่ 2.18 โครงสร้างของพาราแรลคัปเปิลแบนด์พาสฟิลเตอร์

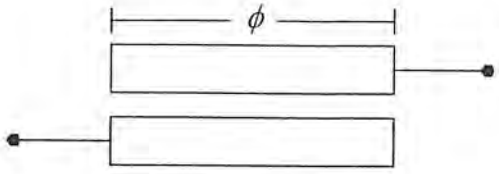
จากเหตุผลที่ว่าการส่งผ่านกำลังงานระหว่างไมโครสตริปที่วางตัวขนานกันจะมีการส่งผ่านได้มากที่สุดเมื่อระยะคัปปลิงยาว $\lambda/4$ นั้น จากรูปที่ 2.19 เป็นการพาราแรลคัปเปิลแบนพาสฟิลเตอร์เพียงเซ็กชั่นเดียวซึ่งจะเห็นว่าเราสามารถวิเคราะห์คุณสมบัติของวงจรแบบ 4 พอร์ทนี้ในเงื่อนไขต่างๆได้ เช่น ในกรณีที่ปลายสายของอีกสองพอร์ทอยู่ในลักษณะเปิดวงจรก็จะเป็นวงจร 2 พอร์ท แบบหนึ่ง ซึ่งเราสามารถหาค่าอิมเมจอิมพิแดนซ์ (Z_I) และอิมเมจเฟสชิฟ (β) ได้ดังนี้

$$Z_I = \frac{\left[(Z_{0e} - Z_{0o}) - (Z_{0e} + Z_{0o})^2 \cos^2\phi\right]^{\frac{1}{2}}}{2 \cdot \sin\phi} \qquad (2.34)$$

$$\cos\beta = \left(\frac{Z_{0e} + Z_{0o}}{Z_{0e} - Z_{0o}}\right)\cos\phi \qquad (2.35)$$

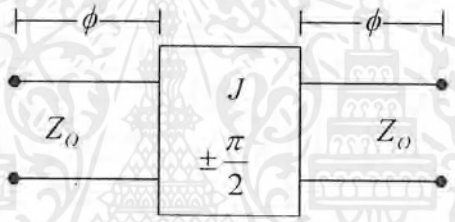
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย ϕ คือความยาวทางไฟฟ้าของสายส่ง $(\phi = \beta l)$



รูปที่ 2.19 วงจรฟิลเตอร์ไมโครสตริปหนึ่งเซ็กชั่น

วงจรฟิลเตอร์ในรูปที่ 2.19 นั้น สามารถแปลงค่าโดยประมาณได้ดังรูปที่ 2.20 โดย J คือแอดมิดแตนซ์ อินเวิร์ทเตอร์ (Admittance Inverter) หรืออาจเรียกว่า เจ-อินเวิร์ทเตอร์ ก็ได้



รูปที่ 2.20 การแปลงในรูปแอดมิตแตนซ์

เมื่อพิจารณาค่าของ Z_{Oe} และ Z_{Oo} เมื่อ $\phi = \pi/2$ จะได้

$$Z_{Oe} = \frac{1}{Y_O}\left[1 + \frac{J}{Y_O} + \left(\frac{J}{Y_O}\right)^2\right] \qquad (2.36)$$

$$Z_{Oo} = \frac{1}{Y_O}\left[1 - \frac{J}{Y_O} + \left(\frac{J}{Y_O}\right)^2\right] \qquad (2.37)$$

โดย $\frac{J}{Y_O} = J'$ คือ ค่านอร์มอลไลซ์แอดมิตแตนซ์ (Normalized Admittance)

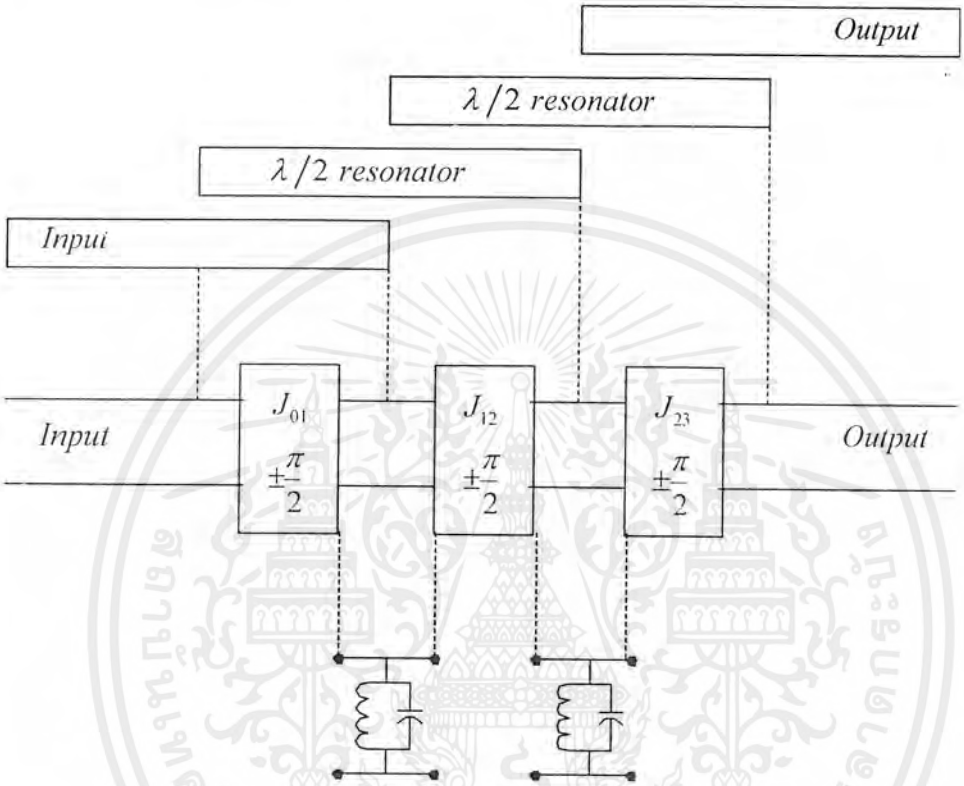
Y_O คือ ค่าแอดมิตแตนซ์ของสายส่งที่นำมาต่อ

ซึ่งค่าต่างๆเหล่านี้มีความสัมพันธ์ที่จะสามารถนำไปหาความกว้าง (w) และความห่าง (s) ของไมโครสตริปที่วางขนานกัน โดยในรูปที่ 2.22 และ 2.23 เป็นกราฟแสดงความสัมพันธ์ระหว่าง Z_{Oe}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

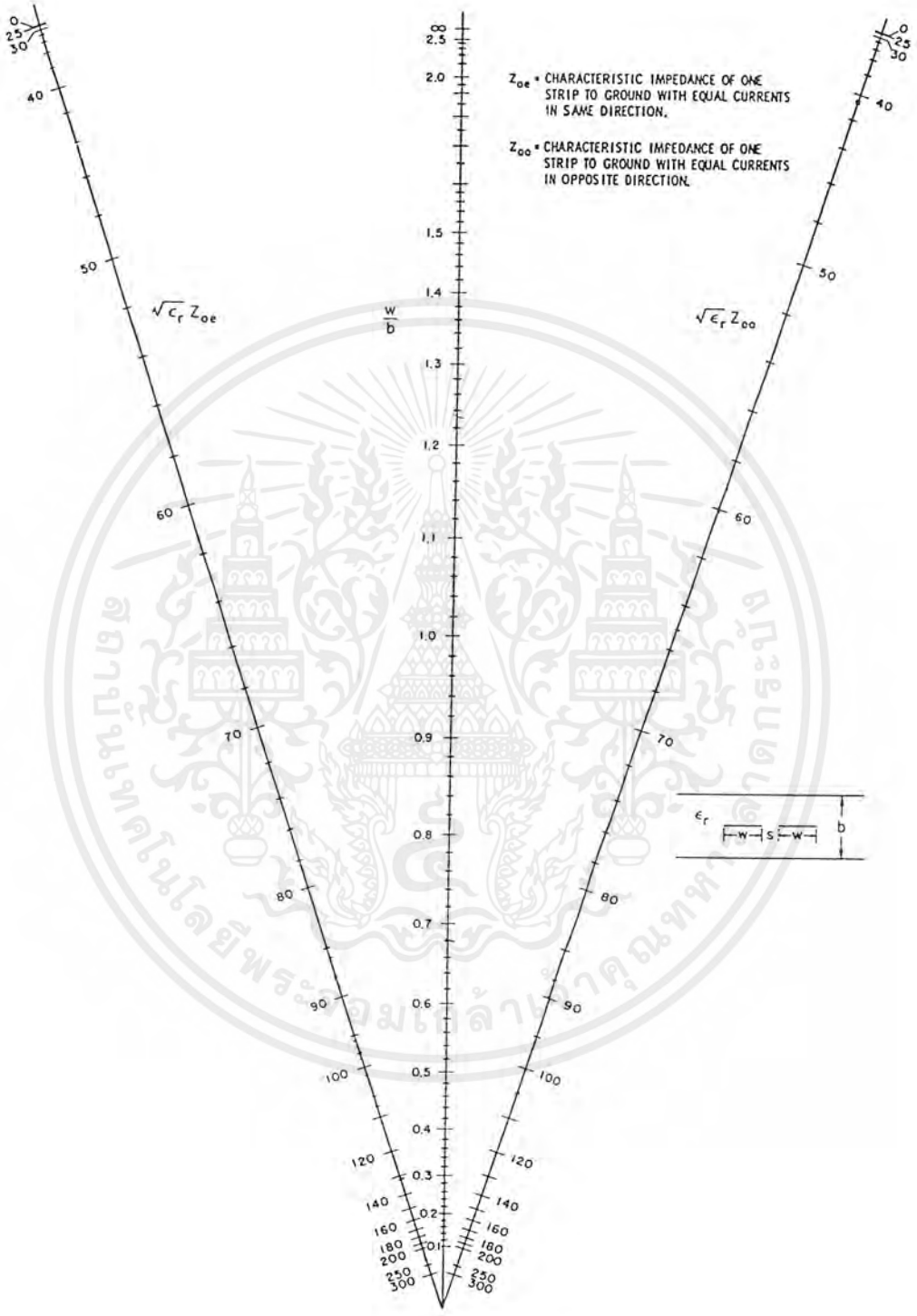
และ Z_{0n} กับความกว้างและความห่าง ตามลำดับ ส่วนในรูปที่ 2.24 เป็นกราฟแสดงความสัมพันธ์ระหว่างค่า J' กับความกว้างและความห่างเช่นกัน

ในทางปฏิบัตินั้นมักนำวงจรพื้นฐานดังที่กล่าวมาแล้วมาต่อกันแบบคาสเคด (Cascade) กัน เป็นวงจรพาราแรลคัปเปิ้ลไมโครสตริปแบนด์พาสฟิลเตอร์ โดยอาจจะเลือกใช้ผลตอบสนองความถี่แบบบัตเตอร์เวิร์ธหรือแบบเชฟบีเชฟก็ได้



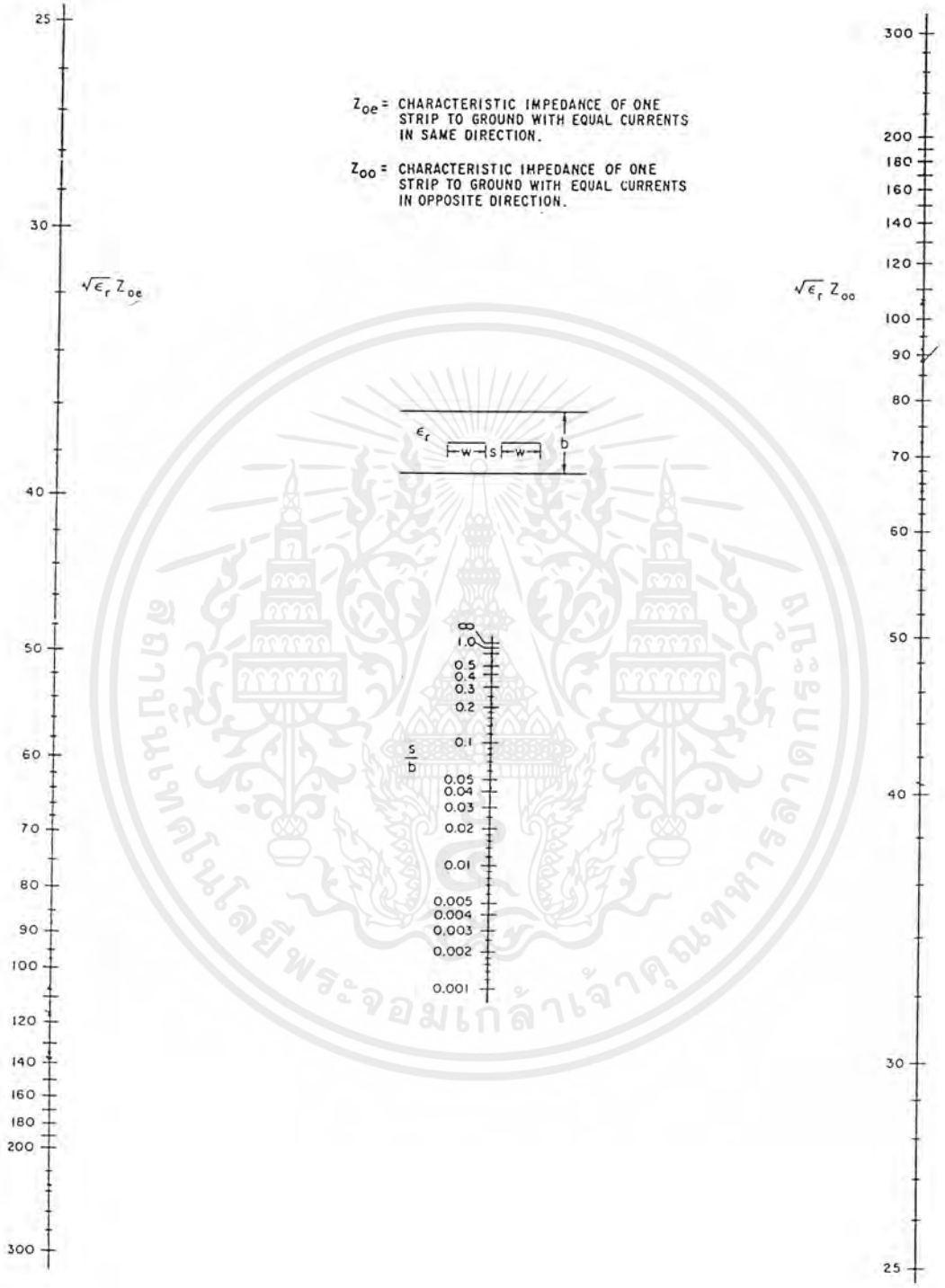
รูปที่ 2.21 การคัปปลิงแบบขนานของไมโครสตริปแบนพาสฟิลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



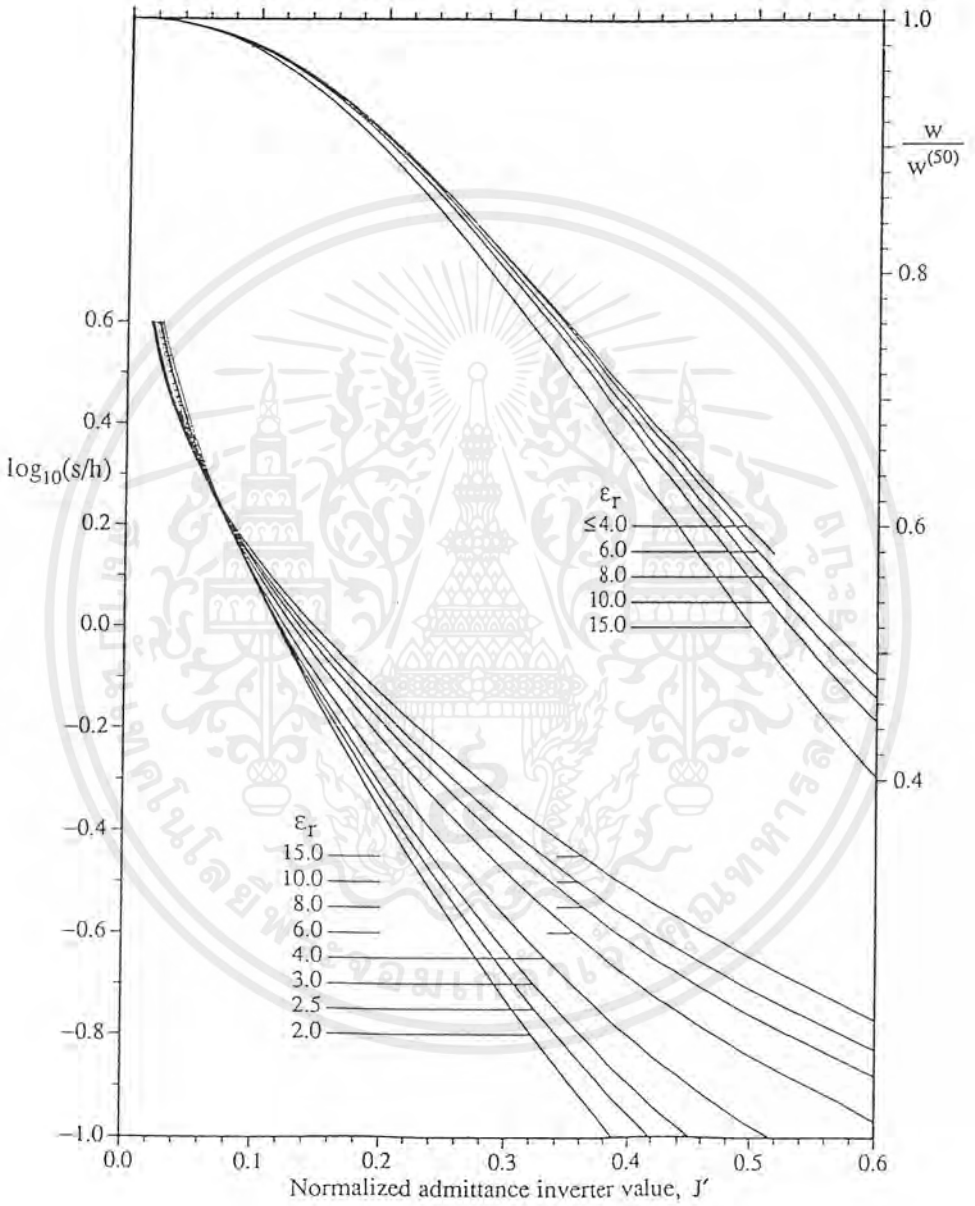
รูปที่ 2.22 กราฟความสัมพันธ์ระหว่าง Z_{0e} และ Z_{0o} กับความกว้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.23 กราฟความสัมพันธ์ระหว่าง Z_{0e} และ Z_{0o} กับความห่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



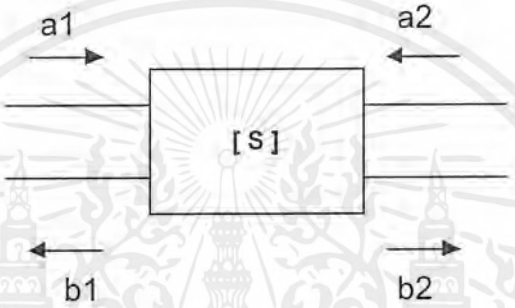
รูปที่ 2.24 กราฟความสัมพันธ์ระหว่างค่านอร์มอลไลซ์แอดมิตแตนซ์กับความกว้างและระยะห่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 ทฤษฎีเอสพารามิเตอร์ (S – Parameter)

ในอดีต การวิเคราะห์วงจร เรามักจะใช้ Z และ Y พารามิเตอร์ ซึ่งพรารามิเตอร์เหล่านี้จะใช้ได้ในการวัดค่าของ โวลท์เตจและกระแส แต่ในย่านความถี่ไมโครโครเวฟนั้นจะนิยมใช้ เอสพารามิเตอร์ เพราะสามารถวัดได้ถูกต้องและง่ายกว่า รวมทั้งสามารถเข้าใจได้ง่ายกว่าอีกด้วย

ขณะที่วายพารามิเตอร์ (Y – Parameter) ใช้ในการวัดความสัมพันธ์ระหว่างโวลท์เตจและกระแส ในการอธิบายคุณสมบัติของวงจร แต่เอสพารามิเตอร์ ใช้คลื่นตกกระทบและคลื่นสะท้อนกลับที่แต่ละพอร์ท ในการอธิบายคุณสมบัติของพอร์ท ดังนั้นจึงไม่จำเป็นต้องลัดวงจรของอุปกรณ์แต่ทำการต่อด้วยโหลดที่มีค่าเท่ากับ Zo (มาตรฐาน = 50 Ω) ซึ่งสามารถทำได้ง่ายและควบคุมได้ง่ายกว่าการลัดวงจรของการวัด วายพารามิเตอร์



รูปที่ 2.25 แสดงรูปแบบของเอสพารามิเตอร์

$$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \end{bmatrix} \qquad (2.38)$$

กำหนดให้ a_1 คือ คลื่นที่วิ่งเข้าไปในอินพุทพอร์ท

b_1 คือ คลื่นที่สะท้อนกลับจากอินพุทพอร์ท

a_2 คือ คลื่นที่สะท้อนกลับเข้าเอาท์พุทพอร์ท

b_2 คือ คลื่นที่วิ่งออกจากเอาท์พุทพอร์ท

โดย S_{11} คือ สัมประสิทธิ์การสะท้อนกลับด้านอินพุท (The input reflection coefficient)

S_{12} คือ สัมประสิทธิ์การส่งผ่านย้อนกลับ (The reverse transmission coefficient)

S_{21} คือ สัมประสิทธิ์การส่งผ่านไปข้างหน้า (The forward transmission coefficient)

S_{22} คือ สัมประสิทธิ์การสะท้อนด้านเอาท์พุท (The output reflection coefficient)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

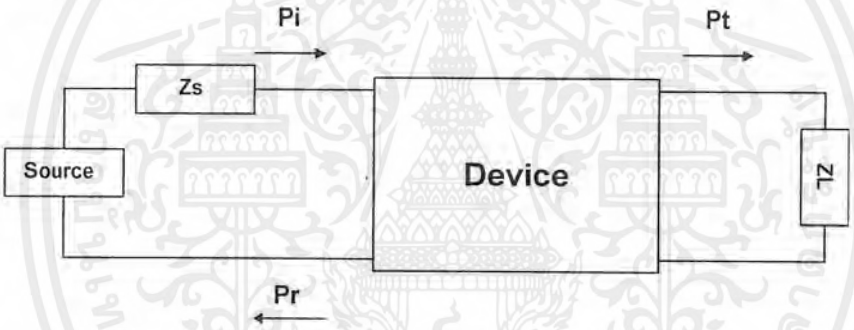
เมื่อ

$$S_{11} = \frac{b_1}{a_1}\Big| a_2 = 0 \qquad S_{22} = \frac{b_2}{a_2}\Big| a_1 = 0$$

$$S_{21} = \frac{b_2}{a_1}\Big| a_2 = 0 \qquad S_{12} = \frac{b_1}{a_2}\Big| a_1 = 0$$

การสูญเสียย้อนกลับ (Return Loss)

เนื่องจากระบบการส่งผ่านของอุปกรณ์ทูพอร์ท (Two Port) เมื่อทำการวิเคราะห์จะเห็นว่า สัมประสิทธิ์การสะท้อนกลับทางอินพุท (S_{11}) จะมีค่าเท่ากันกับสัมประสิทธิ์การสะท้อนกลับทางด้านเอาท์พุท (S_{22}) และสัมประสิทธิ์การส่งผ่านตรง (S_{21}) จะมีค่าเท่ากันกับสัมประสิทธิ์การส่งผ่านย้อนกลับ (S_{12}) ดังนั้นค่าสัมประสิทธิ์จะมีอยู่ 2 ค่าคือสัมประสิทธิ์การสะท้อนกลับทางด้านอินพุทและสัมประสิทธิ์การส่งผ่านตรง แต่ในทางปฏิบัติจะใช้การวัดในรูปของกำลังงานและมีหน่วยเป็น dB



รูปที่ 2.26 แสดงกำลังงานที่เกิดขึ้นเมื่อมีการส่งผ่านตัวอุปกรณ์

P_i คือ กำลังที่ป้อนเข้าสู่ระบบ

P_r คือ กำลังที่สะท้อนจากระบบ

P_t คือ กำลังที่ส่งผ่านจากระบบไปยังโหลด

พิจารณาจากรูป 2.26 เมื่อมีการส่งกำลังงานจากต้นกำเนิดมาบนสายนำสัญญาณที่ถูกต่อแทรกด้วยอุปกรณ์ทูพอร์ทซึ่งกำลังงานที่เดินทางมาตกกระทบ ณ ทางด้านอินพุทของอุปกรณ์ ในส่วนนี้เรียกว่า "อินซิเดนซ์" (Incident Power) (Pi) หากที่บริเวณรอยต่ออินพุทของอุปกรณ์มีอิมพิแดนซ์ที่ไม่แม็ทช์กันกับสายนำสัญญาณ กำลังงาน ณ บริเวณรอยต่อนี้จะถูกแบ่งออกเป็นสองส่วน คือส่วนแรกจะสะท้อนกลับเข้าไปในสายนำสัญญาณซึ่งเรียกกำบังงานส่วนนี้ว่ากำลังงานสะท้อนกลับ "รีเฟลกเต็ดพาวเวอร์" (Reflected Power) (Pr) ซึ่งปริมาณของกำลังงานที่สะท้อนกลับนี้สามารถที่จะบอกได้ด้วยอัตราส่วนของกำลังงานที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สะท้อนกลับกับกำลังงานที่ตกกระทบซึ่งเรียกว่า " รีเทิร์นลอส " (Return Loss) มีหน่วยเป็น Decibel (dB)

$$\text{Return Loss} = 10\log|S_{11}|^2 = 10\log\left(\frac{P_r}{P_i}\right) \quad \text{dB} \qquad (2.39)$$

การสูญเสียภายใน (Insertion Loss)

กำลังงานอีกส่วนหนึ่งที่เหลือก็จะถูกส่งผ่านเข้าไปในตัวอุปกรณ์ ซึ่งกำลังงานส่วนนี้ เมื่อขณะที่ผ่านเข้าไปในอุปกรณ์นั้นก็จะมีการสูญเสียเกิดขึ้นอีกส่วนหนึ่งจากวัสดุที่ใช้ทำอุปกรณ์มีการดูดซับกำลังงาน โดยปริมาณของกำลังงานที่สูญเสียไปในอุปกรณ์นี้สามารถที่จะบอกได้ด้วยอัตราส่วนของกำลังงานที่ส่งผ่านออกจากอุปกรณ์กับกำลังงานที่ตกกระทบซึ่งเรียกว่า " อินเสิร์ทชั่นลอส " (Insertion Loss) มีหน่วยเป็น Decibel (dB)

$$\text{Insertion Loss} = 10\log|S_{21}|^2 = 10\log\left(\frac{P_t}{P_i}\right) \quad \text{dB} \qquad (2.40)$$

กำลังงานที่เหลือทั้งหมดเมื่อผ่านอุปกรณ์แล้วไปออกอีกด้านหนึ่งของระบบเรียกว่ากำลังงานส่งผ่าน " ทรานสมิทพาวเวอร์ " (Transmited Power) (Pt) ดังนั้นจะเห็นได้ว่าการสูญเสียของกำลังงานจะมีอยู่สองลักษณะ คือการสูญเสียจากการสะท้อนกลับที่บริเวณรอยต่อของสายนำสัญญาณกับอุปกรณ์และการสูญเสียเนื่องจากวัสดุที่ใช้ทำอุปกรณ์มีการดูดซับกำลังงาน

สำหรับในการวัดหาค่าของ อินเสิร์ทชั่นลอส และ รีเทิร์นลอส ของอุปกรณ์นั้นในทางปฏิบัติสามารถทำได้หลายวิธี เช่นการใช้เครื่องมือวิเคราะห์โครงข่าย (Network Analyzer) โดยเครื่องมือนี้จะแสดงผลออกมาในรูปของ S-Parameter

2.7 อิมพิแดนซ์แมทชิ่ง (Impedance matching)

อิมพิแดนซ์แมทชิ่ง มีความสำคัญมากในการออกแบบวงจรในย่านความถี่ ถ้ามีการ แม็ทชิ่ง ที่ดีแล้วก็จะมีการส่งผ่านกำลังงานจากแหล่งจ่ายไปสู่โหลดได้สูงสุด เมื่อโหลดอิมพิแดนซ์ (Z_l) มีค่าเท่ากับคอมเพล็กซ์คอนจูเกต (Complex Conjugate) ของ ซอร์สอิมพิแดนซ์ (Z_s) คือ ทั้งสองจะมีค่ารีซิสแตนซ์ (Resistance) ที่เท่ากัน แต่จะมีค่า รีแอคแตนซ์ (Reactance) ที่ตรงกันข้ามกัน ซึ่งเขียนเป็นสมการได้ว่า

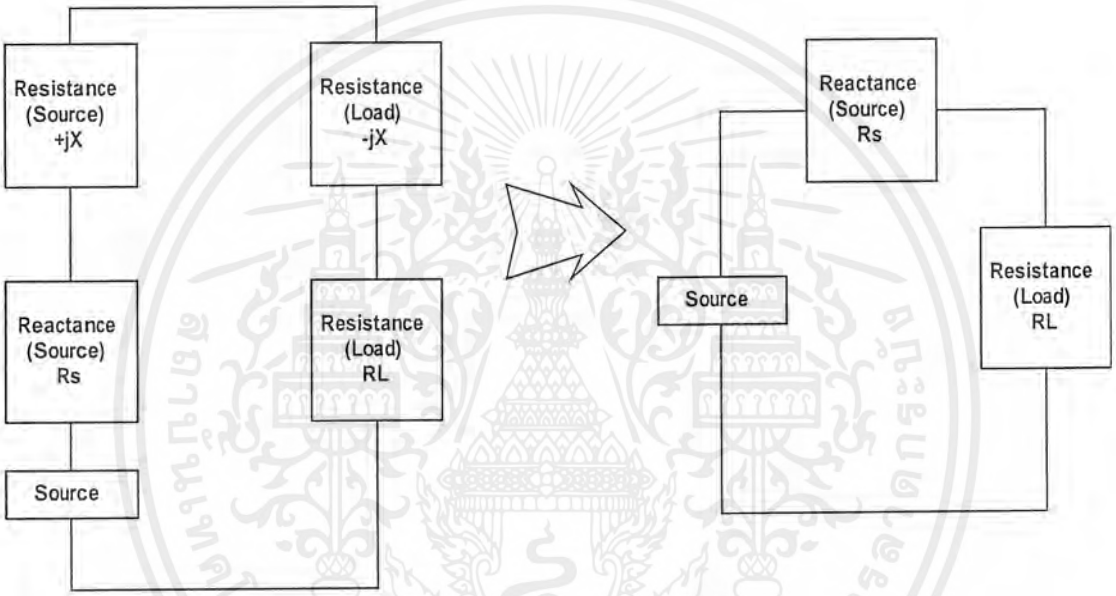
ถ้า $Z_s = R + jx$

จะได้ $Z_l = R - jx$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งจากสมการ เมื่อมีคอนจูเกตแมทช์ระหว่าง Z_l กับ Z_s แล้ว ค่ารีแอคแตนซ์ จะหักล้างกันหมด จะทำให้เหลือแต่ค่ารีซิสแตนซ์ ดังรูปที่ 2.27

โดยธรรมชาติโหลดจะมีค่าอิมพิแดนซ์เป็นค่าคอมเพล็ก (Complex) คือจะมีทั้งค่ารีซิสแตนซ์และรีแอคแตนซ์ แต่สายนำสัญญาณที่นำมาต่อกับโหลดนั้นจะมีแต่ค่ารีซิสแตนซ์เท่านั้น เมื่อมาต่อเข้ากับโหลดดังกล่าวจะทำให้เกิดการไม่แม็ทช์ขึ้น ทำให้ระบบเกิดการสูญเสียกำลังงานในรูปของกำลังงานสะท้อนกลับเกิดเป็นคลื่นนิ่งบนสายนำสัญญาณและคลื่นนิ่งนี้เองที่เป็นตัวบ่งว่าระบบมีการสูญเสียมากหรือน้อยซึ่งโดยทั่วไปเราจะวัดคลื่นนิ่งในรูปของอัตราส่วนคลื่นนิ่ง (Voltage Standing Wave Ratio) หรือ VSWR



รูปที่ 2.27 แสดงการแม็ทชิ่งกันของแหล่งจ่ายกับโหลด

โดย
$$VSWR = \frac{1+\sqrt{\Gamma}}{1-\sqrt{\Gamma}} \qquad (2.41)$$

ซึ่ง
$$\Gamma = \left(\frac{|Z_l - Z_o|}{|Z_l + Z_o|} \right)^2 \qquad (2.42)$$

Γ คือ สัมประสิทธิ์การสะท้อนกลับในรูปกำลังงาน

ดังนั้น การออกแบบวงจรจึงควรออกแบบให้แมทช์กับสายส่งที่ใช้ให้มากที่สุด เพื่อการส่งผ่านของกำลังงานให้มากที่สุดนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

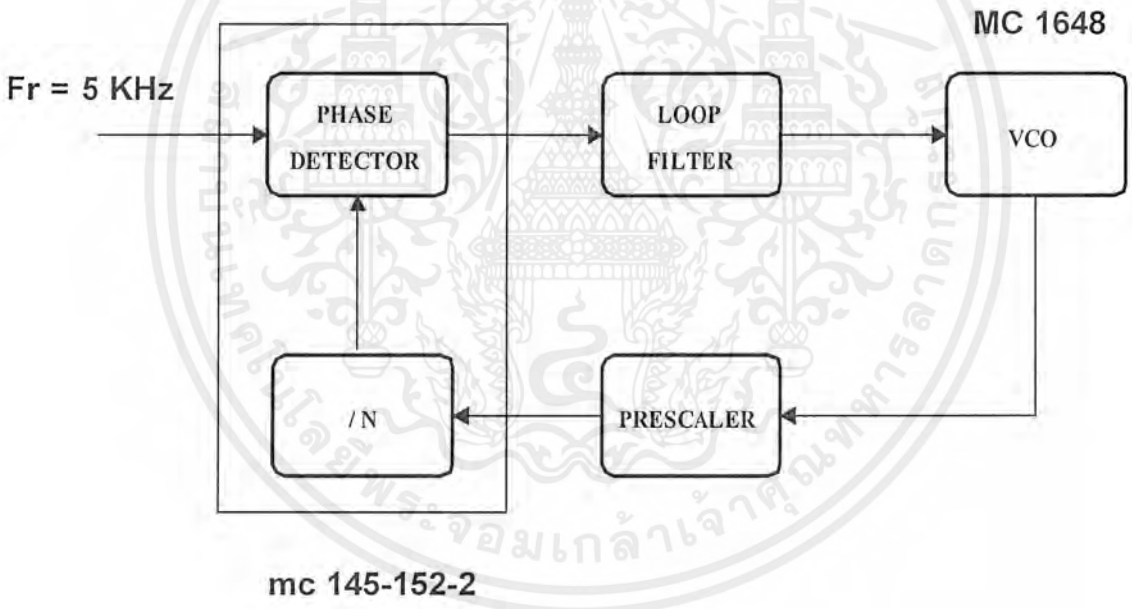
บทที่ 3

การคำนวณและการออกแบบ

3.1 วงจรสังเคราะห์ความถี่

วงจรสังเคราะห์ความถี่ที่ใช้นี้เป็นหลักการของเฟสล็อกลูป โดยมีหลักการทำงานดังแสดงในรูปที่ 3.1 โดยมีส่วนประกอบที่สำคัญ ดังนี้

1) วงจรควบคุมความถี่ด้วยความต่างศักย์ซึ่งทำหน้าที่ผลิตสัญญาณ
2) วงจรลูปฟิลเตอร์ (Loop Filter) เป็นวงจรฟิลเตอร์ชนิดโลพาสธรรมดา ทำหน้าที่กรองเอาเฉพาะสัญญาณความถี่ต่ำมาใช้ควบคุมการผลิตความถี่ของวงจรควบคุมความถี่ด้วยความต่างศักย์
3) วงจรพรีสเกลเลอร์ (Prescaler) ทำหน้าที่เป็นตัวหารความถี่ ซึ่งใช้ IC MC12017 ซึ่งเป็นแบบหาร 64/65
4) วงจรเฟสล็อกลูป (Phase Lock Loop) ซึ่งใช้ IC MC145152-2



รูปที่ 3.1 บล็อกไดอะแกรมของเฟสล็อกลูป

3.1.1 การออกแบบวงจรควบคุมความถี่ด้วยความต่างศักย์

การออกแบบวงจรควบคุมความถี่ด้วยความต่างศักย์ เราจะนำไอซีเบอร์ MC1648 มาทำเป็นวงจรควบคุมความถี่ด้วยความต่างศักย์โดยการนำวาริแคป มาต่อขนานกับอินดัคเตอร์ (L) เป็นวงจรแท็งค์จูน ดังรูปที่ 3.2

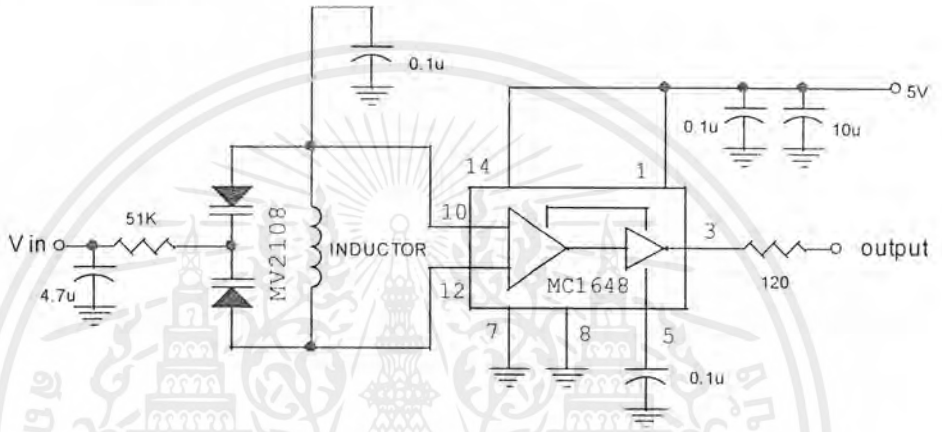
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การคำนวณความถี่ที่จะใช้นั้นจะหาได้จาก สูตร

$$f_n = \frac{1}{2\pi\sqrt{L(C_d + C_s)}} \qquad (3.1)$$

เมื่อ C_d คือ ค่าความจุของวาแรกเตอร์

C_s คือ ค่าความจุภายใน MC1648 มีค่าประมาณ 6 pF



รูปที่ 3.2 วงจรควบคุมความถี่ด้วยความต่างศักย์

3.1.2 การออกแบบวงจรลูปพาสฟิลเตอร์

วงจรลูปฟิลเตอร์เป็นส่วนประกอบของวงจรที่ใช้ในการนำผลลัพธ์จากไอซีเฟสล็อกลูป ซึ่งเป็นผลต่างของความถี่อ้างอิงกับความถี่ที่ผ่านการหารมาจากวงจรควบคุมความถี่ด้วยความต่างศักย์ วงจรลูปพาสฟิลเตอร์ที่ใช้ สร้างขึ้นจาก ไอซี LF 351

การหาค่า R_1, R_2, C หาได้จาก

$$\omega_n = \sqrt{\frac{K_\Phi \cdot K_{vco}}{N_t \cdot C \cdot R_1}} \qquad (3.2)$$

$$\zeta = \frac{\omega_n \cdot R_2 \cdot C}{2} \qquad (3.3)$$

โดยที่ N_t คือ จำนวนตัวหารทั้งหมดซึ่งหาได้จากอัตราส่วนระหว่างค่าความถี่ที่ต้องการ (f_o) กับค่าความถี่อ้างอิง (f_r) ในที่นี้ความถี่ที่ต้องการคือ 102 MHz และความถี่อ้างอิงคือ 5 KHz

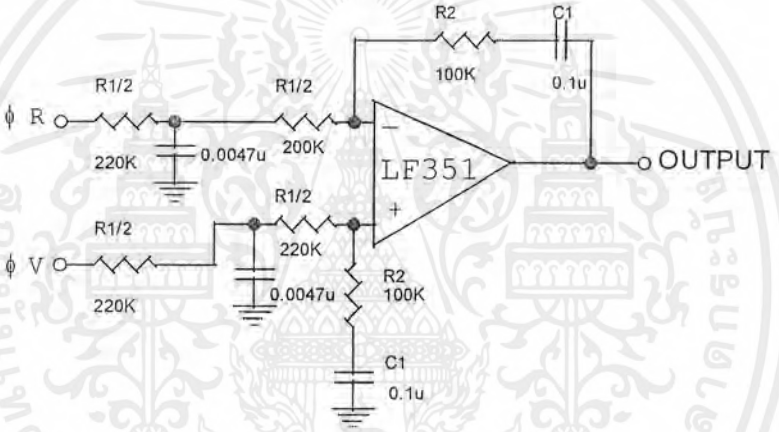
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่า K_Φ คือค่าเกนของเฟสดีเทคเตอร์ซึ่งมีค่าเท่ากับ $V_{DD}/2\pi$ ในที่นี้ V_{DD} มีค่าเท่ากับ 5

ค่า K_{vco} คือค่าเกนของวงจรกำเนิดความถี่มีค่าเท่ากับ $2\pi \cdot \frac{\Delta f_{vco}}{\Delta V_{vco}}$ ซึ่งค่า $\frac{\Delta f_{vco}}{\Delta V_{vco}}$ หาได้จากผลการทำงานของวงจรควบคุมความถี่ด้วยความต่างศักย์ ซึ่งมีค่าเท่ากับ 22.33 MHz/V.

ค่าแดมปิ้งแฟคเตอร์ (ζ) จะใช้ค่า 0.8

จากสมการที่ 3.2 และ 3.3 ในการออกแบบเมื่อเลือกค่า C ที่ใช้ในวงจรเท่ากับ 0.1 uF จะได้ความต้านทาน R1 เท่ากับ 420 kΩ และ R2 เท่ากับ 100 kΩ ในการออกแบบเพื่อป้องกันไม่ให้ออปแอมป์เกิดการอิ่มตัวสามารถแก้ไขได้โดย เพิ่มวงจรกรองความถี่ต่ำผ่านเข้าไปที่ขาอินพุททั้งสองของออปแอมป์ โดยแยกค่าของ R1 ออกเป็น 2 ตัวที่มีค่าเท่ากัน และระหว่าง R ทั้งสองจะมีคาปาซิเตอร์ C_C ต่อลงกราวด์



รูปที่ 3.3 รูปวงจรลูปฟิลเตอร์

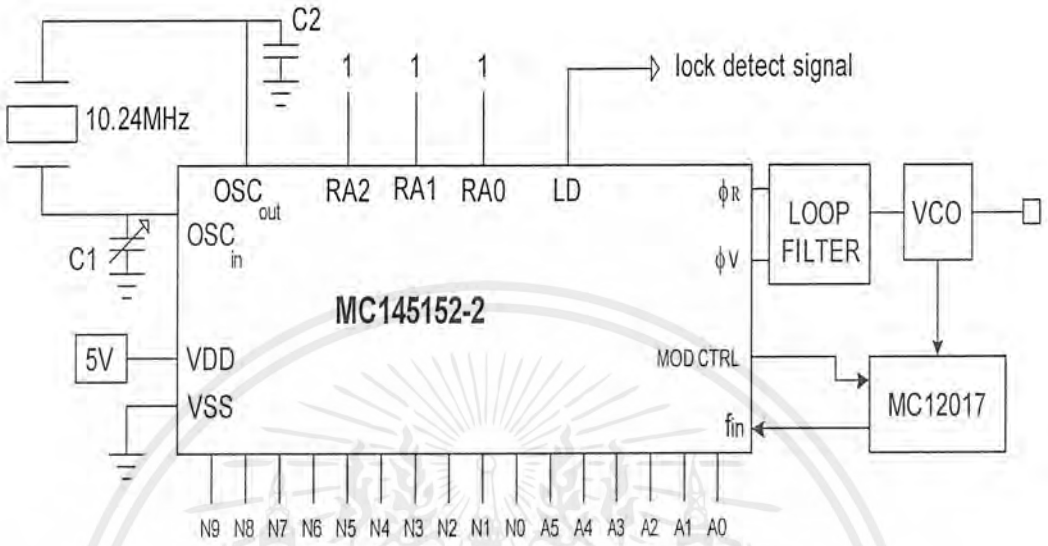
3.1.3 การออกแบบวงจรเฟสล็อกลูป

วงจรเฟสล็อกลูปใช้ IC เบอร์ MC145152-2 ซึ่งมีหลักการที่สำคัญดังนี้

1) ค่าควบคุมที่ป้อนเป็นแบบขนาน ทำหน้าที่เพื่อควบคุมตัวหารที่เป็นแบบสองมอดูลัสคือตัวหาร N และ A
2) ตัวหาร N เป็นข้อมูล 10 บิท มีค่าตั้งแต่ 3-1023
3) ตัวหาร A เป็นข้อมูล 6 บิท มีค่าตั้งแต่ 0-63
4) ค่าตัวหาร R มีค่าตั้งแต่ 8-2048 เป็นข้อมูล 3 บิท ทำหน้าที่กำหนดค่าที่จะนำไปหารความถี่อ้างอิง
5) ความถี่อ้างอิงจะใช้ความถี่ที่ผลิตจากคริสตอลออสซิลเลเตอร์ภายนอกที่มีค่า 10.24 MHz และถูกหารด้วยตัวหาร 2048 ก็จะได้ความถี่อ้างอิงเป็น 5 KHz
6) เอาท์พุทของ MC145152-2 ที่ได้จะมี 2 ค่าคือ ϕ_R และ ϕ_v ซึ่งจะนำไปผ่านวงจรลูปฟิลเตอร์ เพื่อให้ได้แรงดันไปควบคุมวงจรควบคุมความถี่ด้วยความต่างศักย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7) ในการป้อนค่าตัวหาร N และ A ให้กับวงจรเฟสล็อกลูป จะอาศัยการโปรแกรมของดิปสวิทช์ (Dip Switch) โดยเราจะโปรแกรมค่า N ไว้ที่ค่า 318 และค่า A ที่ค่า 48 เพื่อให้ได้ความถี่ 102 MHz



รูปที่ 3.4 วงจรเฟสล็อกลูป

3.2 การคำนวณและการออกแบบไฮบริดริง

เราจะทำการสร้างไฮบริดริง โดยใช้หลักการของไมโครสตริปไลน์ ซึ่งจะใช้แผ่นวงจรพิมพ์มาทำ โดยสับสเตรตที่ใช้งานเป็นอีพ็อกซี (Epoxy) ซึ่งมีค่าคงตัวไดอิเล็กตริกสัมพัทธ์ $\varepsilon_r = 4.5$ ซึ่งมีความหนาของสับสเตรตประมาณ 0.8 mm. ส่วนความถี่ที่ใช้งานก็คือ 1645 MHz

ให้อิมพิแดนซ์ที่พอร์ททั้งสี่เป็น 50 Ω ดังนั้นส่วนของคัปเปลอร์ริงก็จะมีอิมพิแดนซ์เป็น 70.7 Ω เราจะทำการหาค่าความกว้างของแถบตัวนำตามอิมพิแดนซ์ที่ต้องการ

ขั้นตอนในการออกแบบไฮบริดริง มีดังนี้

1) หาค่าความกว้างของสายส่งไมโครสตริปที่อิมพิแดนซ์ 50 Ω และ 70.7 Ω

$\varepsilon_r = 4.5$, $h = 0.8$, $Z_o = 70.7\Omega$

จากสมการที่ 2.24 และ 2.25

$$A = \frac{70.7}{60}\cdot\sqrt{\frac{4.5+1}{2}} + \frac{4.5-1}{4.5+1}\cdot\left(0.23+\frac{0.11}{4.5}\right) = 2.116$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{w}{h} = \frac{8e^{(2.113)}}{e^{2(2.116)} - 2} = 0.993mm.$$

ที่ 70.7 Ω จะได้ ค่า $w/h = 0.993mm.$ จะได้ความกว้างของแถบตัวนำประมาณ 0.794 mm.

ที่ 50Ω จะได้ ค่า $w/h = 1.875mm.$ จะได้ความกว้างของแถบตัวนำประมาณ 1.5 mm.

2) หารัศมีของไฮบริดริง

เส้นรอบวงของไฮบริดริงมีความยาว $\frac{3\lambda}{2}$ โดย λ เป็นความยาวคลื่นที่เดินทางใน ไมโครสตริป ซึ่งหาได้จากสมการที่ 2.27

$$\varepsilon_r = 4.5$$

$$\frac{w}{h} = 0.993$$

$$\lambda_0 = \frac{c}{f} = \frac{3\times10^8}{1645\times10^6} = 0.1824m.$$

$$\lambda_g = \frac{0.1824}{\sqrt{4.5}}\left[\frac{4.5}{1+0.63(4.5-1)(0.993)^{0.1255}}\right]^{1/2} = 0.102m. = 10.2cm.$$

หาเส้นรอบวงของ คัปเปลอร์ริง

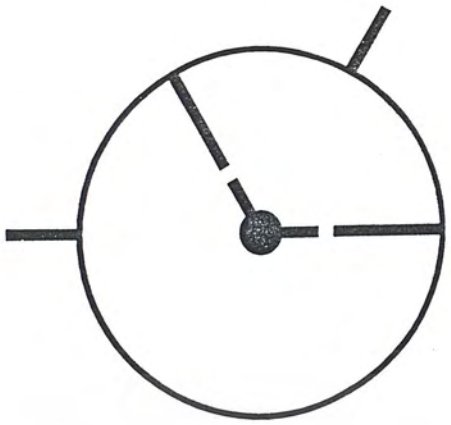
$$\frac{3\lambda}{2} = \frac{3\times10.2cm.}{2} = 15.3cm.$$

รัศมีของ คัปเปลอร์ริง

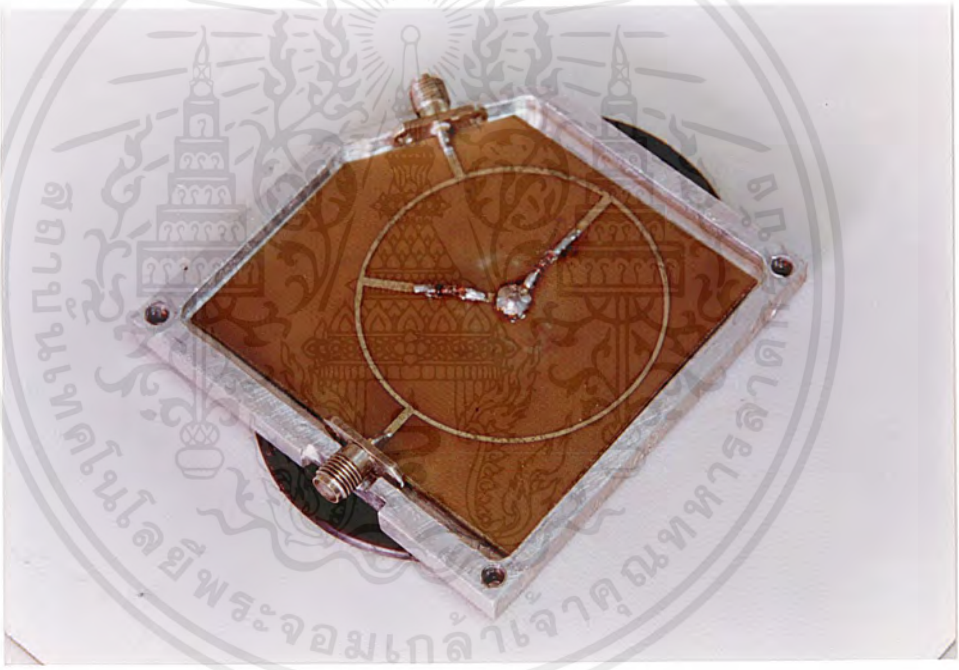
$$\frac{15.3cm.}{2\pi} = 2.453cm.$$

จากนั้นทำการออกแบบลงบนแผ่นวงจรพิมพ์แล้วทำการประกอบ ชื่อตกี้แบเรียร์ไดโอด (Schottky Barrier Diodes) ดังรูปที่ 3.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 ลายวงจรของไฮบริดริง



รูปที่ 3.6 วงจรมิกเซอร์ที่สร้างเสร็จสมบูรณ์แล้ว

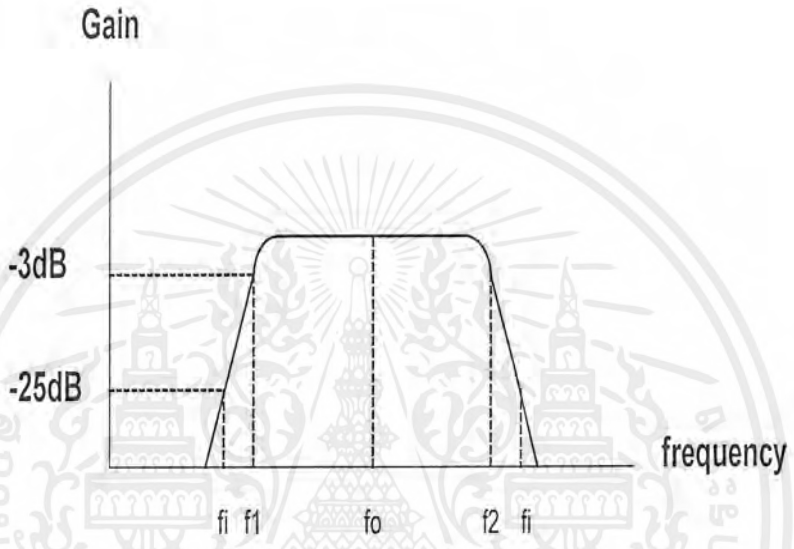
3.3 การออกแบบแบนพาสฟิลเตอร์

โครงงานนี้ได้ใช้หลักการของแบนพาสฟิลเตอร์ซึ่งมีการคัปปลิ้งแบบขนานของไมโครสตริป (Parallel – Coupled Stripline Resonator) และมีผลตอบสนองความถี่แบบบัตเตอร์เวิร์ธ (Butterworth)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดคุณสมบัติของแบนพาสฟิลเตอร์ที่จะทำการออกแบบ ดังนี้

- ความถี่กลาง (Center frequency)	1.543	GHz
- แถบกว้างความถี่ (Bandwitdh) ที่ -3 dB	50	MHz
- การลดทอนที่ความถี่ 1.473 GHz	< -25	dB
- อิมพิแดนซ์	50	Ω



รูปที่ 3.7 แสดงคุณสมบัติของแบนพาสฟิลเตอร์ที่ทำการออกแบบ

ขั้นตอนการออกแบบแบนพาสฟิลเตอร์ มีขั้นตอนดังนี้

1) หาแฟรคชั่นนอลแบนด์วิด (Fractional bandwidth)

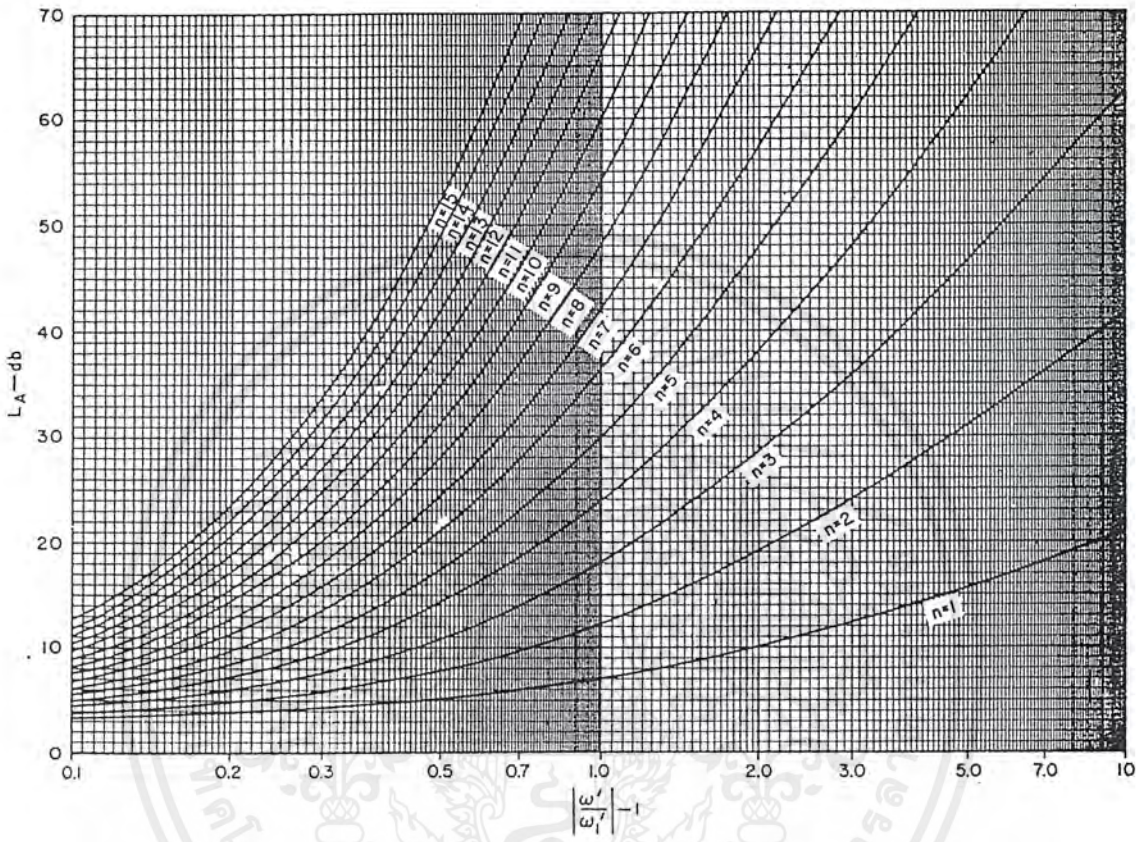
$$\delta = \frac{f_2 - f_1}{f_0} = \frac{50MHz}{1.543GHz} = 0.0324$$

2) หาจำนวนออเดอร์ของฟิลเตอร์ซึ่งจะเป็นตัวบอกจำนวนเรโซเนเตอร์ (Resonator) ที่จะต้องสร้างนั่นเอง

$$\frac{\omega_i'}{\omega_0} = \frac{2}{\delta}\left(\frac{f_i - f_0}{f_0}\right) = \frac{2}{0.0324}\left(\frac{1.473GHz - 1.543GHz}{1.543GHz}\right) = -2.8$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากนั้นนำค่า $\left|\frac{\omega_1'}{\omega_0}\right|-1$ ซึ่งมีค่าเท่ากับ 1.8 ไปพล็อตลงบนกราฟในรูปที่ 3.8 ซึ่งจะได้การลดทอนที่ -27 dB ที่ออเดอร์ 3 ดังนั้นเราจะทำการออกแบบแบนพาสฟิลเตอร์ที่ออร์เดอร์ 3



รูปที่ 3.8 กราฟแสดงการลดทอนที่ออร์เดอร์ต่างๆ

3) หาค่านอร์มอลไลซ์แอดมิดแตนซ์ โดย

$$J_{01}' = \frac{J_{01}}{Y_0} = \sqrt{\frac{\pi\delta}{2g_0g_1}} \qquad (3.4)$$

$$J_{j,j+1}' = \frac{J_{j,j+1}}{Y_0} = \frac{\pi\delta}{2\omega_0'\sqrt{g_jg_{j+1}}} \quad ; j = 1,2....n-1 \qquad (3.5)$$

$$J_{n,n+1}' = \frac{J_{n,n+1}}{Y_0} = \sqrt{\frac{\pi\delta}{2g_ng_{n+1}}} \qquad (3.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่ง $$g_j = 2\sin\left\{\frac{(2j-1)\pi}{2n}\right\} \quad ; j = 1,2....n \qquad (3.7)$$

$$g_0 = g_{n+1} = 1 \qquad ,\omega_0' = 1$$

n คือ จำนวนออเดอร์ของแบนด์พาสฟิลเตอร์

จะได้

$$g_0 = g_4 = 1$$

$$g_1 = 2\sin\left\{\frac{(2(1)-1)\pi}{2(3)}\right\} = 1$$

$$g_2 = 2\sin\left\{\frac{(2(2)-1)\pi}{2(3)}\right\} = 2$$

$$g_3 = 2\sin\left\{\frac{(2(3)-1)\pi}{2(3)}\right\} = 1$$

นำมาหาค่า

$$J_{01}' = \frac{J_{01}}{Y_0} = \sqrt{\frac{\pi(0.0324)}{2(1)(1)}} = 0.226$$

$$J_{12}' = \frac{J_{12}}{Y_0} = \frac{\pi(0.0324)}{2(1)\sqrt{(1)(2)}} = 0.036$$

$$J_{23}' = \frac{J_{23}}{Y_0} = \frac{\pi(0.0324)}{2(1)\sqrt{(2)(1)}} = 0.036$$

$$J_{34}' = \frac{J_{34}}{Y_0} = \sqrt{\frac{\pi(0.0324)}{2(1)(1)}} = 0.226$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4) จากนั้นนำค่าที่ได้มาพลอตลงในกราฟในรูปที่ 2.24 เพื่อหาความกว้างของเรโซเนเตอร์แต่ละอันและหาระยะห่างระหว่างเรโซเนเตอร์

จากกราฟสามารถอ่านค่าได้ดังนี้

ที่ $J'_{01} = J'_{34}$

$$\log(s/h) = -0.33$$

$$\frac{w}{w_{(50\Omega)}} = 0.87$$

ที่ $J'_{12} = J'_{23}$

$$\log(s/h) = 0.45$$

$$\frac{w}{w_{(50\Omega)}} = 1$$

ในโครงงานนี้เราใช้แผ่นวงจรพิมพ์ Epoxy ที่มีความหนาของสับสเตรต (h) = 0.8 mm. และมีค่า $\varepsilon_r = 4.5$

หาความกว้างของไมโครสตริปที่มีอิมพิแดนซ์เท่ากับ 50 Ω จากสมการที่ 2.24 และ 2.25

$$A = \frac{50}{60}\cdot\sqrt{\frac{4.5+1}{2}} + \frac{4.5-1}{4.5+1}\cdot\left(0.23+\frac{0.11}{4.5}\right) = 1.544$$

$$\frac{w}{h} = \frac{8e^{1.544}}{e^{2(1.544)}-2} = 1.88$$

ดังนั้นจะได้ความกว้างของไมโครสตริปเท่ากับ 1.504 mm.

จะได้ความกว้างและระยะห่างของเรโซเนเตอร์ดังนี้

$$s_{01} = s_{34} = 0.374$$

$$s_{12} = s_{23} = 2.255$$

$$w_{01} = w_{34} = 1.31$$

$$w_{12} = w_{23} = 1.504$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากค่าความกว้างและระยะห่างของเรโซเนเตอร์ข้างบน นำมาสร้างเป็นไมโครสตริปแบนด์พาสฟิลเตอร์ ดังรูปที่ 3.10 ส่วนค่า l ของเรโซเนเตอร์แต่ละตัวให้มีความยาวเท่ากับ $\lambda_g/4$ ซึ่งสามารถหาได้ดังนี้

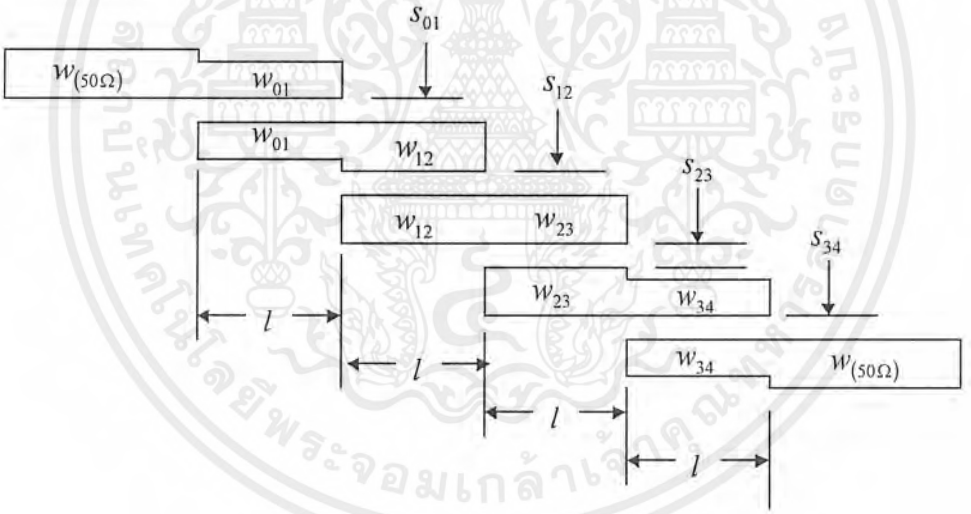
หาความยาวคลื่นได้โดย $$\lambda_0 = \frac{c}{f} = \frac{3\times10^8}{1543\times10^6} = 0.194m.$$

หาความยาวคลื่นที่เดินทางในไมโครสตริปได้ จากสมการที่ 2.28

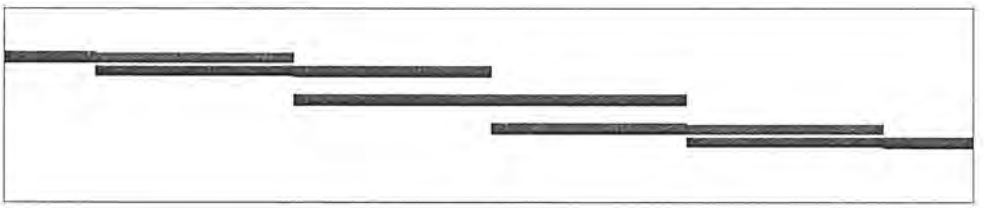
$$\lambda_g = \frac{0.194}{\sqrt{4.5}}\left[\frac{4.5_r}{1+0.63(4.5-1)(1.88)^{0.1255}}\right]^{1/2} = 0.106m.$$

$$l = \frac{\lambda_g}{4} = \frac{0.106}{4} = 0.026m. = 2.65cm.$$

เมื่อออกแบบแบนด์พาสฟิลเตอร์เรียบร้อยแล้วจึงทำการวาดแบบและลงมือทดลองต่อไป

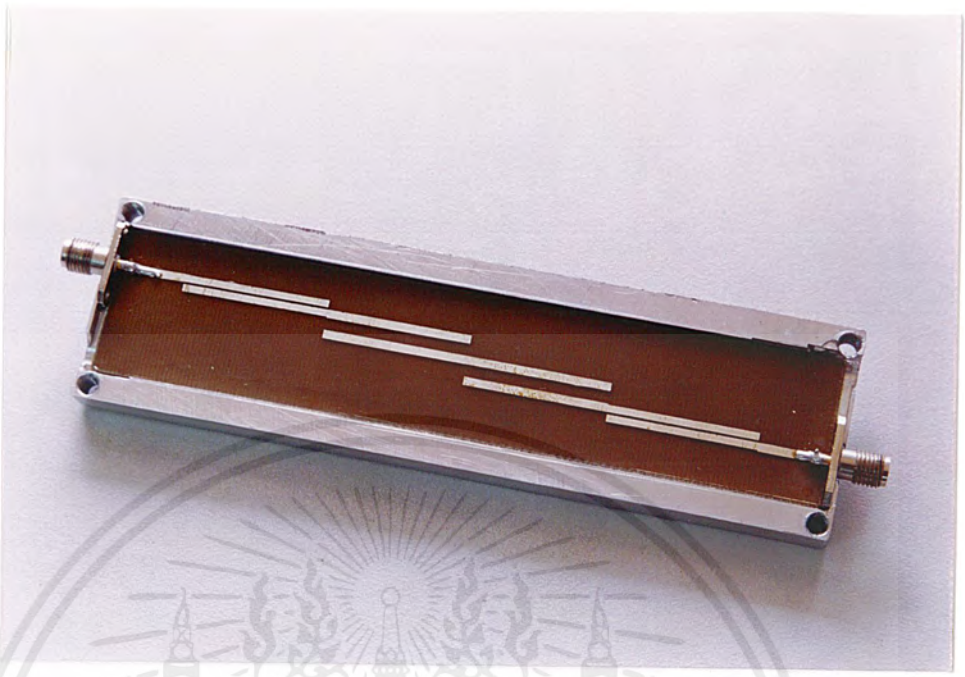


รูปที่ 3.9 แสดงโครงสร้างของไมโครสตริป



รูปที่ 3.10 แสดงลายวงจรของไมโครสตริปที่เสร็จสมบูรณ์แล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 แสดงแบนด์พาสฟิลเตอร์ที่เสร็จสมบูรณ์แล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ผลการทดลอง

4.1 การทดลองภาคออสซิลเลเตอร์

อุปกรณ์ที่ใช้ทำการทดลอง

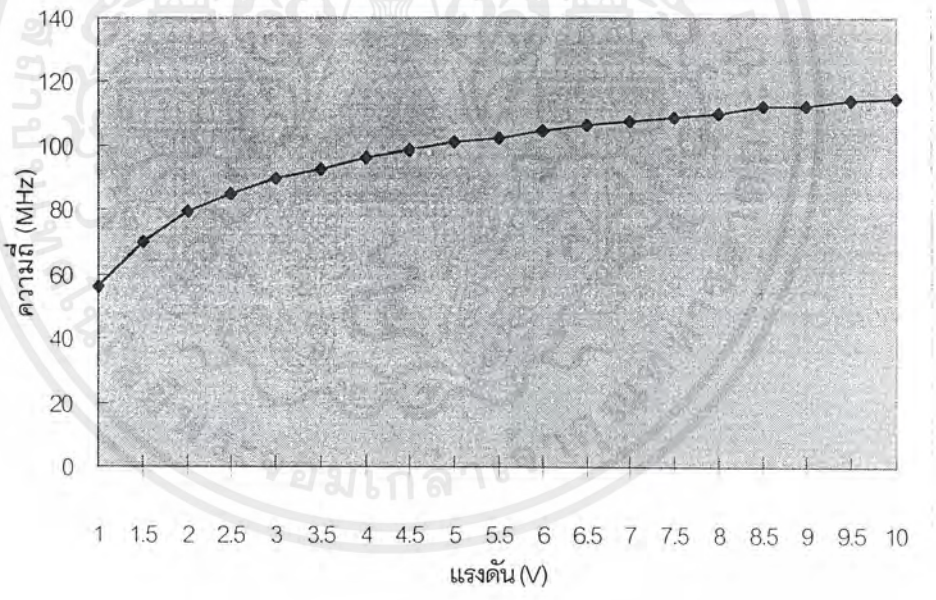
1) ออสซิลโลสโคป 200 MHz 1 เครื่อง

การทดลองวงจรควบคุมความถี่ด้วยความต่างศักย์

วิธีการทดลอง

จากรูปที่ 3.2 ทำการทดลองเพื่อหาความสัมพันธ์ระหว่างแรงดันที่ป้อนให้วงจรกับความถี่ที่ผลิตได้

1) ทำการป้อนแรงดันตั้งแต่ 1 จนถึง 10 โวลท์
2) นำออสซิลโลสโคปวัดความถี่ที่ผลิตได้ ที่ความถี่ค่าต่างๆ
3) บันทึกผลการทดลอง แล้วนำมาเขียนเป็นกราฟความสัมพันธ์ระหว่างแรงดันกับความถี่



รูปที่ 4.1 กราฟแสดงความสัมพันธ์ระหว่างแรงดันกับความถี่ของ VCO

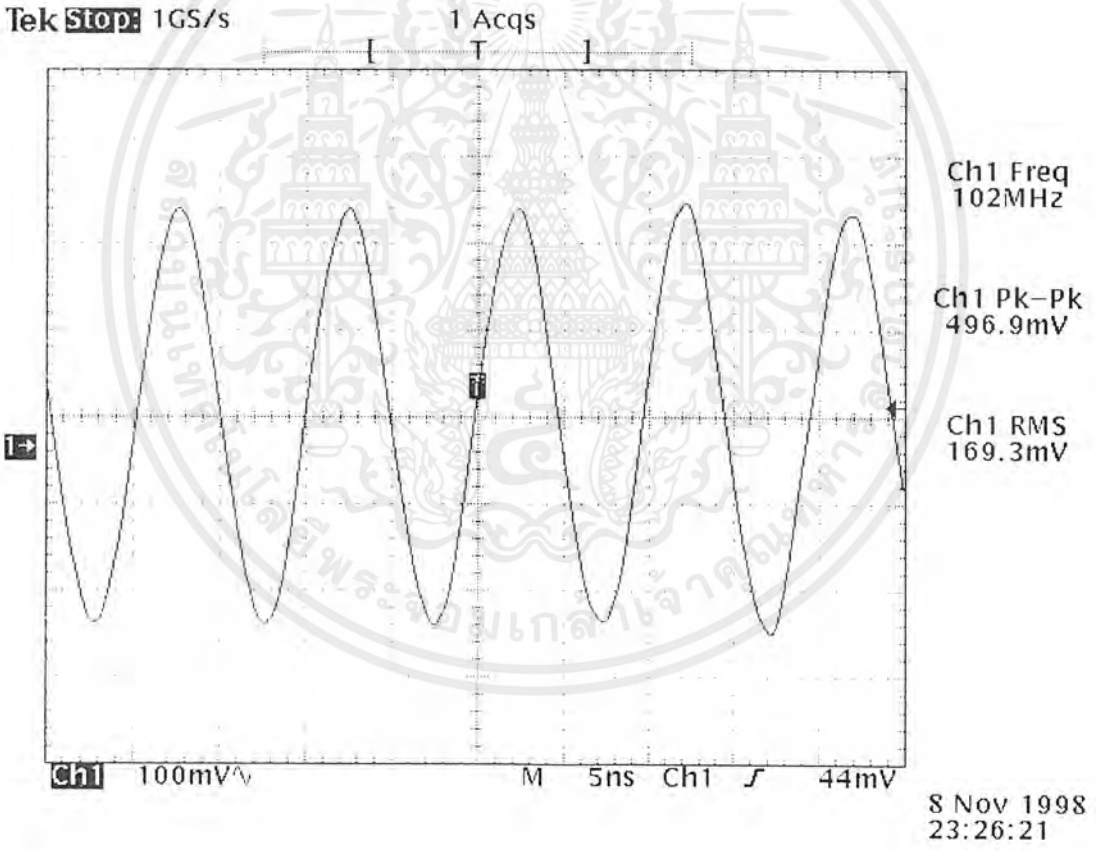
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองวงจรเฟสล็อกลูป

จากรูปที่ 3.3 ทำการทดลองวงจรเฟสล็อกลูปว่าสามารถสังเคราะห์ความถี่ 102 MHz ได้หรือไม่

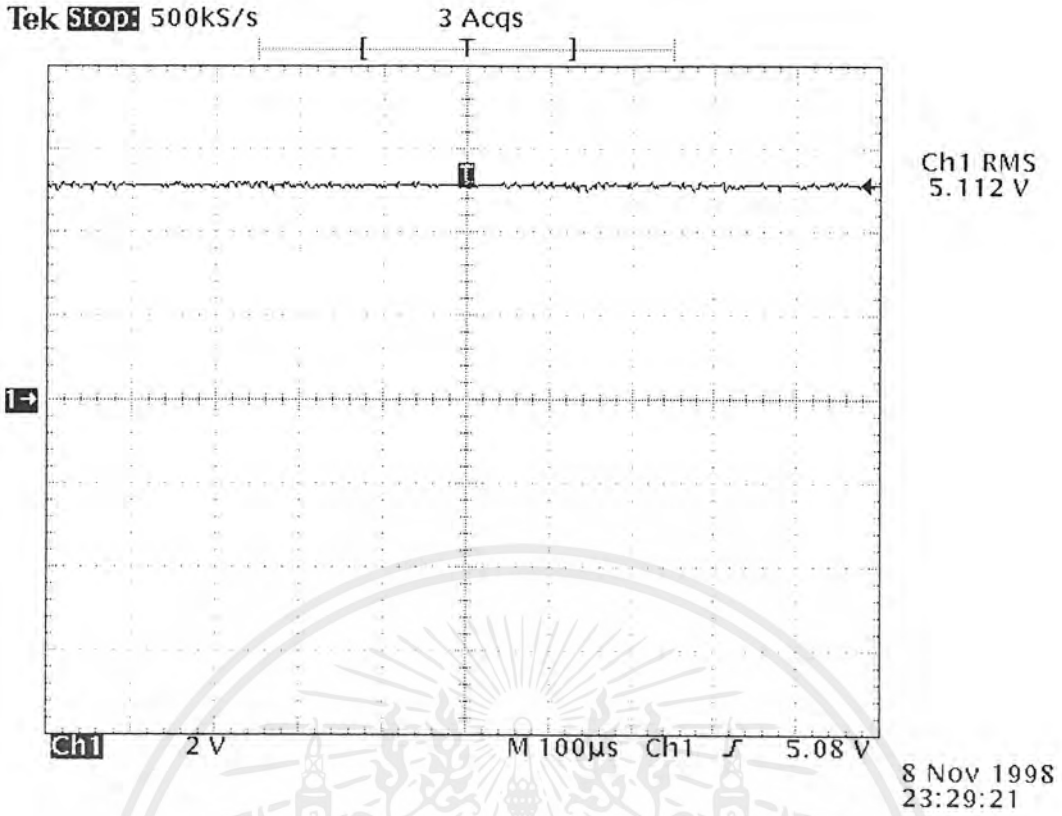
วิธีการทดลอง

1) นำออสซิลโลสโคปจับที่เอาท์พุทของวงจรวีซีโอ เมื่อวงจรอยู่ในสภาวะล็อกแล้วจะได้ผลตามรูปที่ 4.2
2) นำออสซิลโลสโคปจับที่เอาท์พุทของลูปฟิลเตอร์ ซึ่งเป็นตัวป้อนแรงดันให้กับวงจรวีซีโอ ซึ่งได้ผลดังรูปที่ 4.3
3) นำออสซิลเลเตอร์จับที่ขา ϕ_I และ ϕ_R ของไอซี MC 145152-2 เพื่อดูว่าวงจรเฟสล็อกลูปอยู่ในสภาวะล็อกหรือไม่ ซึ่งได้ผลดังรูปที่ 4.4

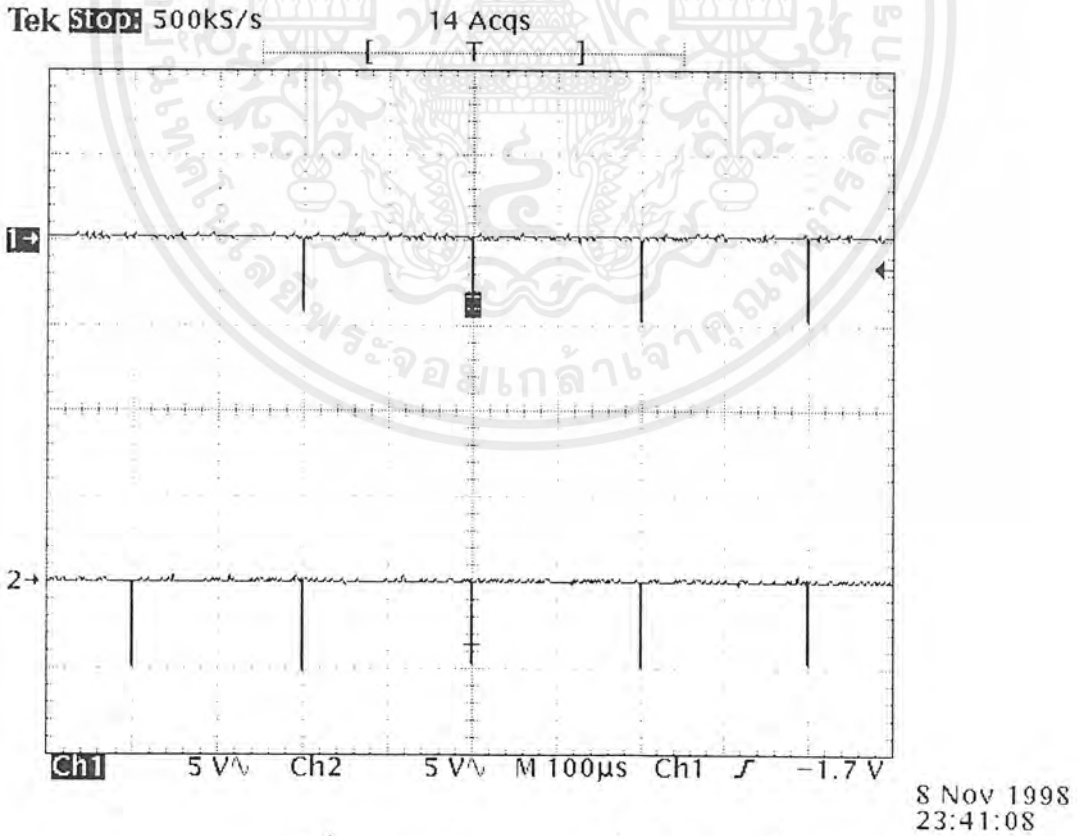


รูปที่ 4.2 แสดงเอาท์พุทที่ออกจากวงจรวีซีโอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 แสดงเอาท์พุทที่ออกจากลูปฟิลเตอร์



รูปที่ 4.4 แสดง ϕ_i และ ϕ_{ii} เมื่ออยู่ในสภาวะล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.5 แสดงสเปคตรัมจากภาคออสซิลเลเตอร์

4.2 การทดลองภาคมิกเซอร์

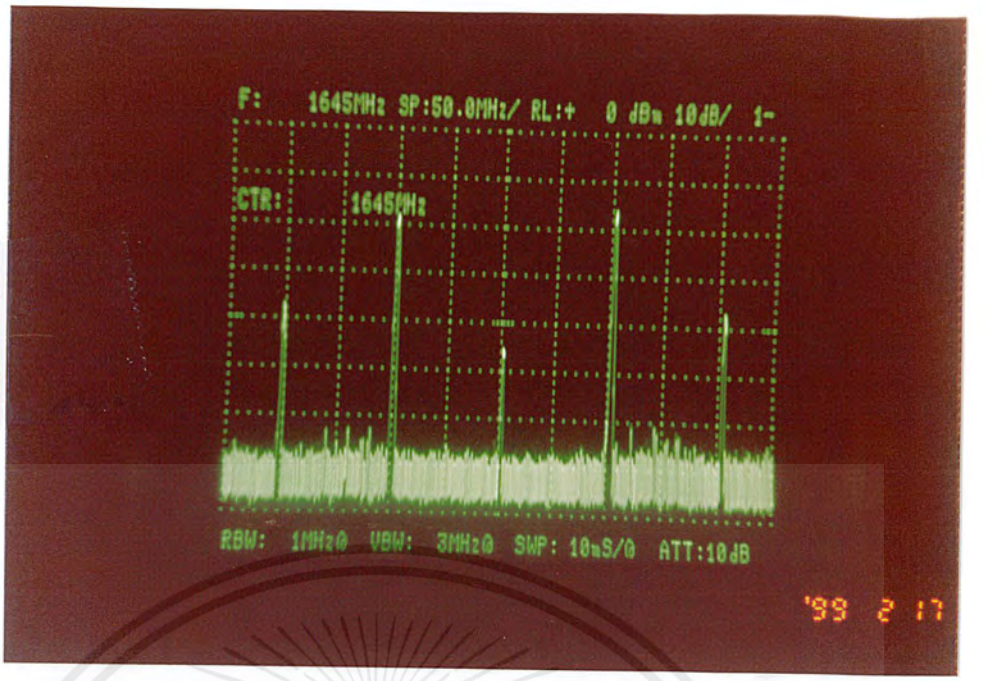
จากการออกแบบในบทที่ 3 นั้นเมื่อนำช็อตกี้แบเรียร์ไดโอดมาต่อลงบนไฮบริดริงแล้วก็ทำการทดลอง โดยใช้อุปกรณ์ดังนี้

1) ซิกแนลเจนเนอเรเตอร์ 2 เครื่อง
2) สเปคตรัมอนาไลซ์เซอร์ 1 เครื่อง

ขั้นตอนการทดลอง

1) ใช้ซิกแนลเจนเนอเรเตอร์โดยตั้งค่าความถี่ 1645 MHz ป้อนสัญญาณเข้าที่พอร์ทอินพุท
2) ใช้ซิกแนลเจนเนอเรเตอร์อีกตัว โดยตั้งค่าความถี่ 102 MHz ป้อนสัญญาณเข้าที่พอร์ทอินพุทที่เหลืออีกพอร์ท
3) ใช้สเปคตรัมอนาไลซ์เซอร์วัดสัญญาณที่ออกจากพอร์ทเอาท์พุท

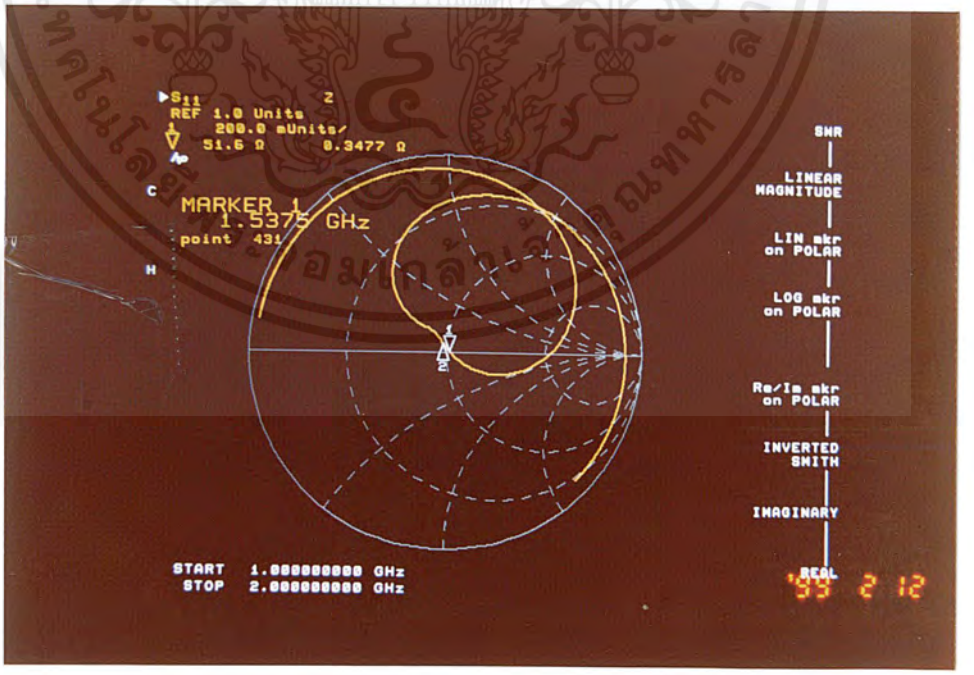
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 แสดงเอาท์พุทของภาคมิกเซอร์

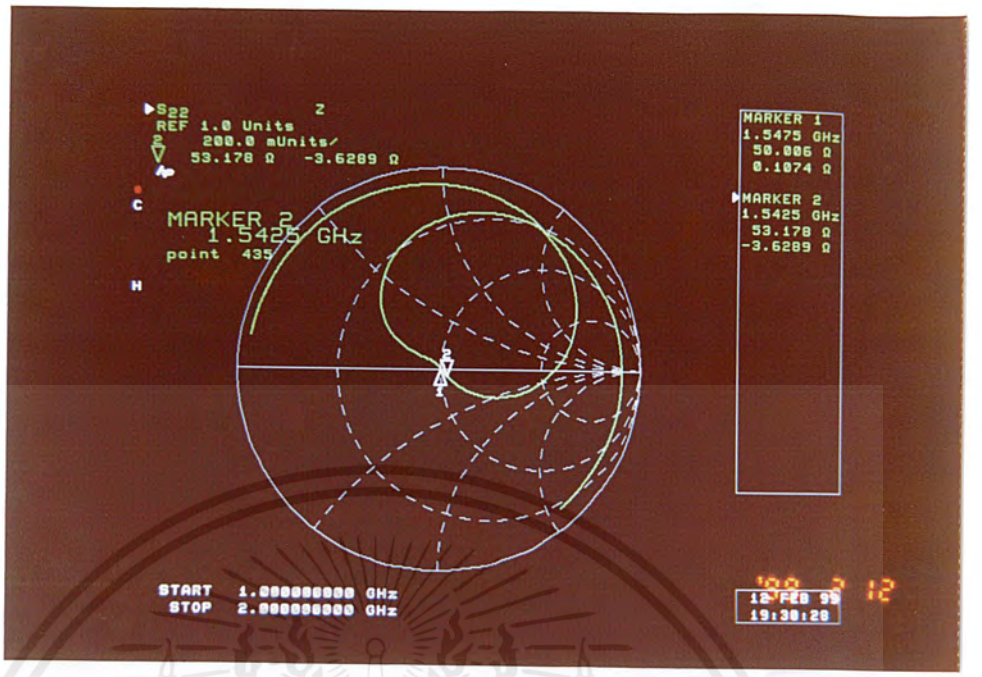
4.3 การทดลองแบนพาสฟิลเตอร์

ทำการวัดแบนพาสฟิลเตอร์ ด้วยเครื่อง เน็ทเวิร์คอนาไลเซอร์ (Network Analyzer) โดยทำการวัด S_{11}, S_{22}, S_{21} และ อินพุทอิมพิแดนซ์(Input Impedance) ,เอาท์พุทอิมพิแดนซ์ (Output Impedance) ในรูปของ สมิทชาร์ท รวมทั้ง ค่า VSWR ซึ่งผลที่ได้มีดังนี้

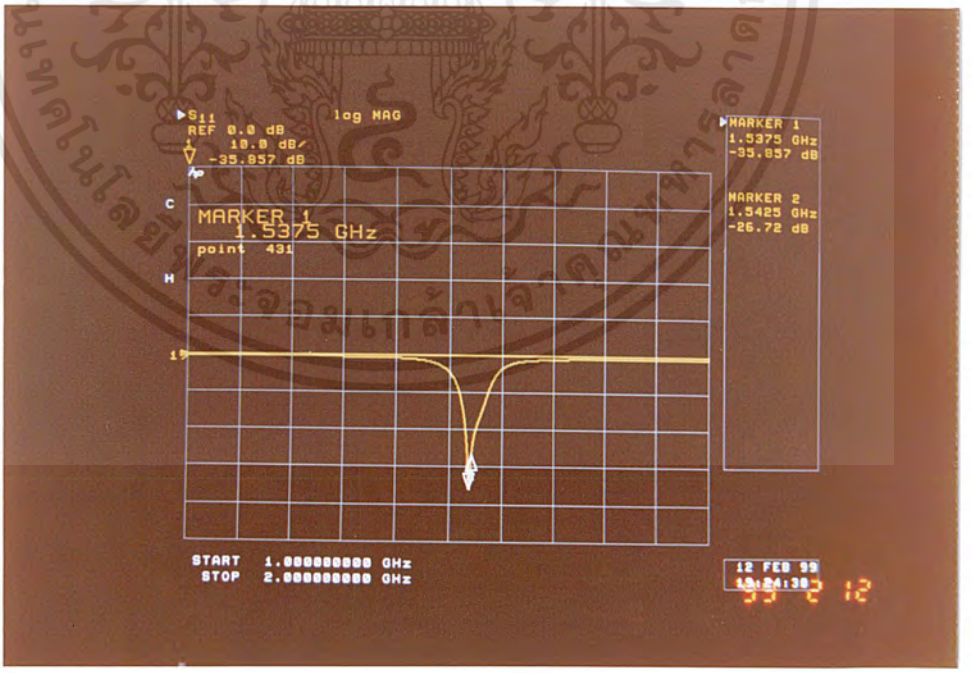


รูปที่ 4.7 แสดงผลของการวัดอิมพิแดนซ์ทางด้านอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

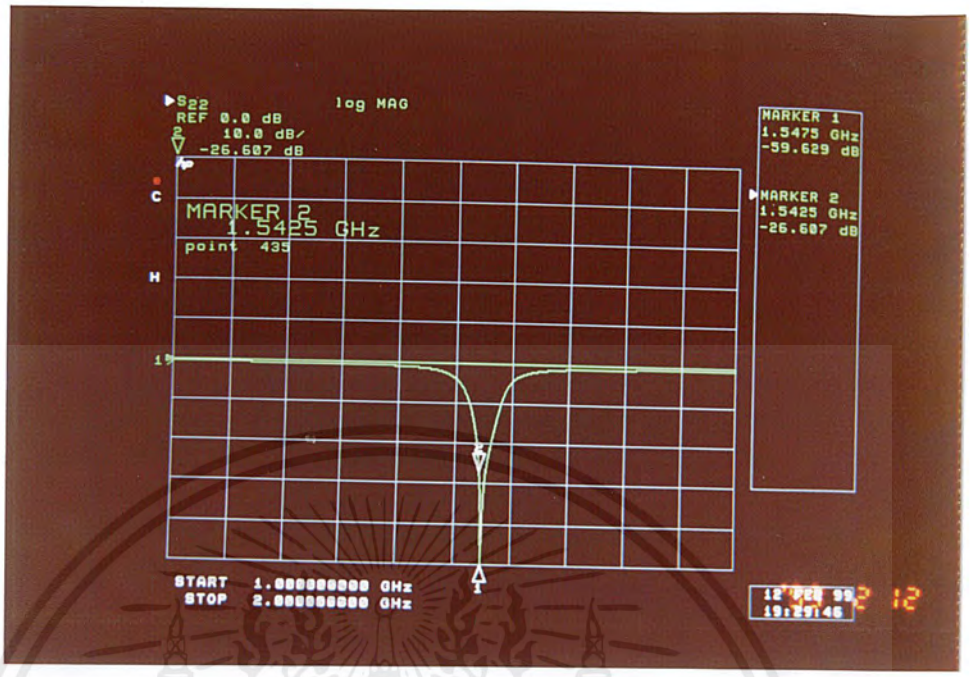


รูปที่ 4.8 แสดงผลของการวัดอิมพิแดนซ์ทางด้านเอาท์พุท

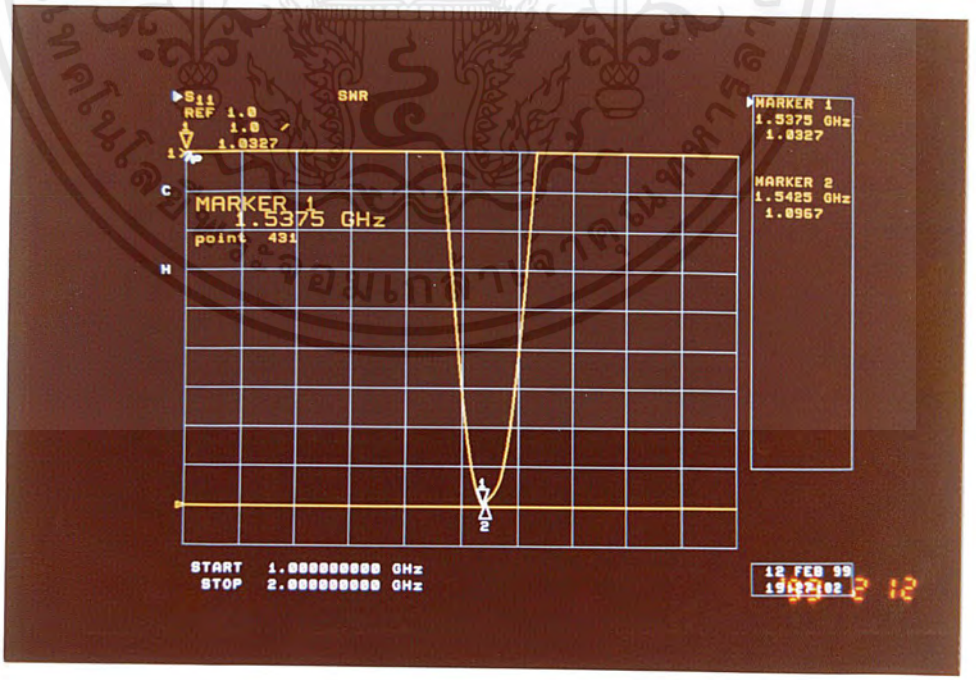


รูปที่ 4.9 แสดงผลของการวัดรีเทิร์นลอสทางด้านอินพุท (S_{11})

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

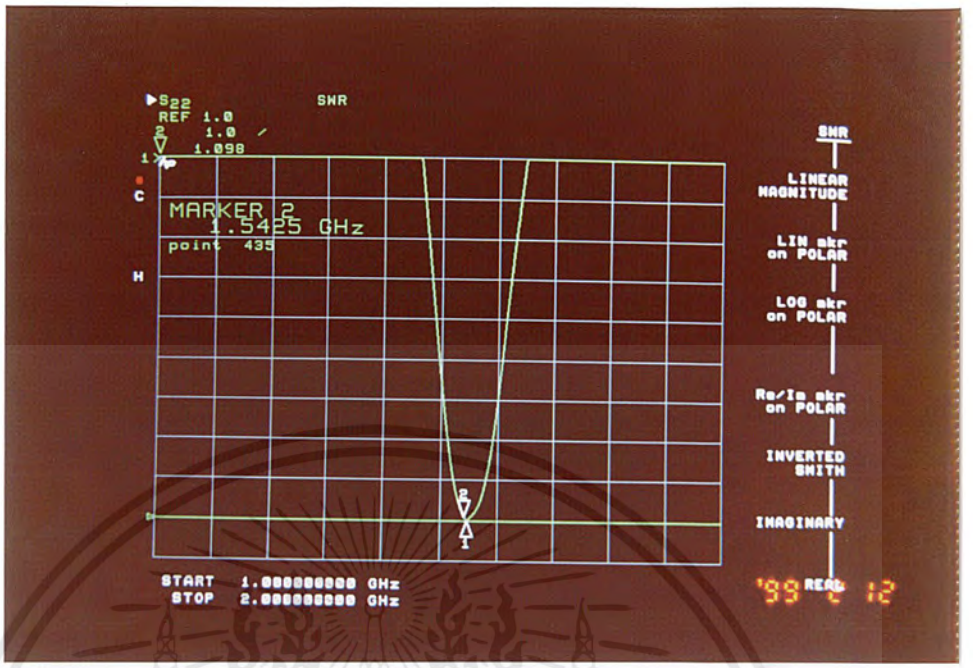


รูปที่ 4.10 แสดงผลของการวัดรีเทิร์นลอสทางด้านเอาท์พุท (S_{22})

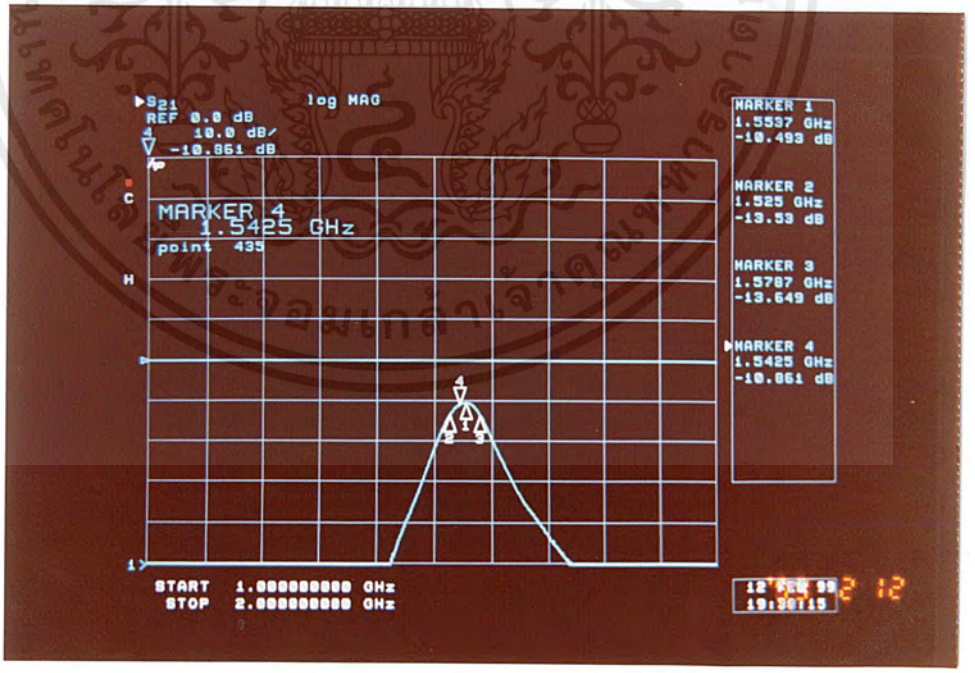


รูปที่ 4.11 แสดงผลของการวัด VSWR ทางด้านอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



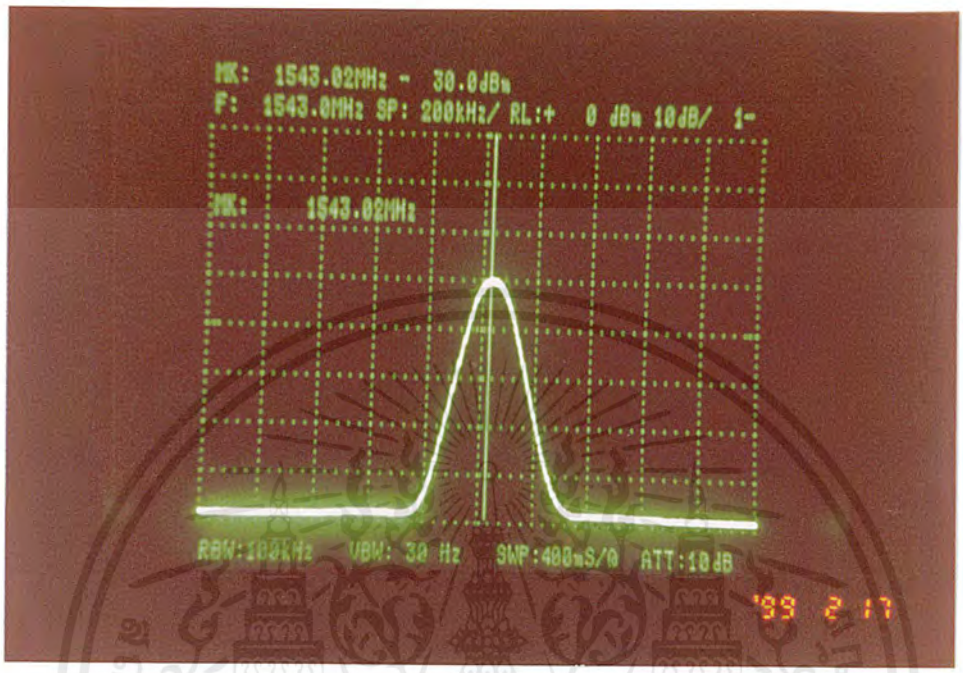
รูปที่ 4.12 แสดงผลของการวัด VSWR ทางด้านเอาท์พุท



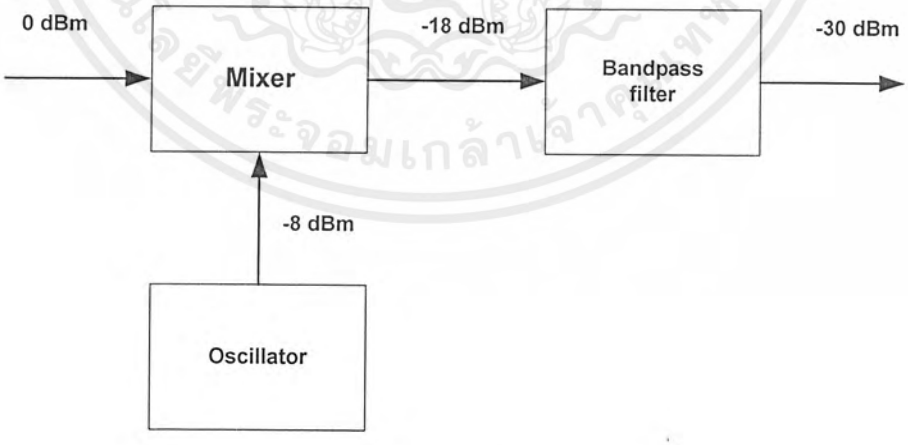
รูปที่ 4.13 แสดงการวัดค่าอินเสิร์ทชั่นลอสของแบนด์พาสฟิลเตอร์ (S_{21})

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อนำ ภาคออสซิลเตอร์ ภาคมิกเซอร์ และภาคแบนด์พาสฟิลเตอร์ มาต่อร่วมกัน แล้วป้อนสัญญาณความถี่ 1.645 GHz ที่ระดับความแรง $0dBm$ แล้วทำการวัดสัญญาณที่เอาท์พุทแล้ว จะได้ผลดังรูปที่ 4.14

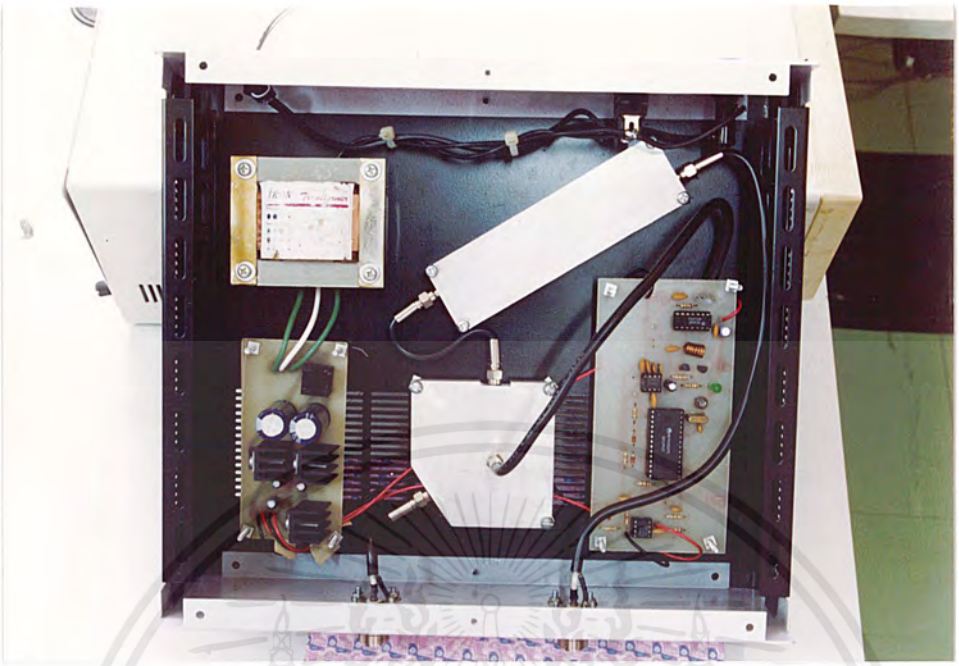


รูปที่ 4.14 สัญญาณจากเอาท์พุทของเครื่องแปลงความถี่ที่สร้างขึ้น



รูปที่ 4.15 แสดงระดับสัญญาณที่ได้จากเอาท์พุทแต่ละภาค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.16 แสดงวงจรทั้งหมดที่เสร็จสมบูรณ์แล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และบทสรุป

5.1 บทวิจารณ์

ในภาคออสซิลเลเตอร์นั้นวงจรวีซีโอสามารถผลิตความถี่ได้ตั้งแต่ 60-105 MHz เมื่อป้อนแรงดันจาก 1-10 โวลท์ จากรูปที่ 4.1 จะเห็นว่าการเพิ่มของความถี่ค่อนข้างจะเพิ่มอย่างเป็นเชิงเส้น ซึ่งเมื่อนำวงจรวีซีโอมาต่อรวมกับวงจรลูปฟิลเตอร์เพื่อประกอบเป็นวงจรเฟสล็อกลูปแล้ว เมื่อวงจรอยู่ในสภาวะล็อกแล้วก็สามารถผลิตความถี่ 102 MHz ได้ตามที่ต้องการ โดยจะสังเกตเห็นว่าแรงดันจากเอาท์พุทของวงจรลูปฟิลเตอร์เท่ากับ 5.1 โวลท์ ซึ่งเมื่อดูจากกราฟรูปที่ 4.1 จะเห็นว่าที่แรงดันประมาณ 5 โวลท์ จะทำให้วงจรวีซีโอผลิตความถี่ได้ประมาณ 102 MHz พอดี ส่วนเอาท์พุทจากขา ϕ_I และ ϕ_R จะเป็นตัวแสดงว่าวงจรเฟสล็อกลูปอยู่ในสภาวะล็อกหรือยัง โดยถ้าสัญญาณจากสองขานี้มีเฟสที่ตรงกันเมื่อใดก็หมายถึงวงจรอยู่ในสภาวะล็อกแล้วนั่นเอง

ส่วนในภาคมิกเซอร์จากผลการทดลองนั้น สามารถผสมสัญญาณระหว่างความถี่ 1.645 GHz กับความถี่ 102 MHz ทำให้เกิดความถี่ขึ้นหลายความถี่ด้วยกันคือ 1.543 GHz , 1.747 GHz , 1.645 GHz และความถี่ข้างเคียงอีกหลายความถี่ด้วยกัน

ในภาคแบนด์พาสฟิลเตอร์จากผลการทดลองนั้นจะเห็นได้ว่า VSWR มีค่า 1: 1.0967 เมื่อนำมาคิดค่าสัมประสิทธิ์การสะท้อนกลับของกำลังงาน (Γ) จะได้เท่ากับ 0.213 % ซึ่งหมายถึงมีการส่งพลังงานได้ถึง 99.787 % ซึ่งถือว่าดีพอสมควรที่จะนำมาใช้งานได้

ได้ทำการออกแบบแบนด์พาสฟิลเตอร์ให้มี แบนด์วิด 50 MHz ที่ความถี่ 1543 MHz แต่จากผลการทดลอง ค่าแบนด์วิดเท่ากับ 53 MHz ที่ความถี่ 1553 MHz และมีการลดทอนในช่วงพาสแบนด์มาก ซึ่งพอจะสรุปสาเหตุของปัญหาเหล่านี้ ได้ดังนี้

- แผ่นวงจรพิมพ์ที่ใช้เป็นแผ่นวงจรพิมพ์ที่สับเสตรตเป็นอีพ็อกซี ซึ่งยังไม่เหมาะสมกับการใช้งานในย่านความถี่ไมโครเวฟเพราะมีค่าความสูญเสียของไดอิเล็กตริกสูง ทำให้เกิดการลดทอนมาก โดยการพัฒนาต่อไปควรใช้แผ่นวงจรพิมพ์ที่มีคุณสมบัติที่เหมะสมที่จะใช้งานกับความถี่สูงๆ เช่น แผ่นวงจรพิมพ์ เกรด G-60
- การสร้างแผ่นวงจรพิมพ์ต้องมีความถูกต้องตามขนาดที่ออกแบบไว้ เพื่อให้ได้คุณสมบัติตรงตามที่ได้ออกแบบไว้ ซึ่งทำได้ค่อนข้างลำบากเพราะมีขนาดที่ละเอียด
- การสูญเสียที่อาจเกิดจากการต่อคอนเนคเตอร์เข้ากับอุปกรณ์ไม่ดีพอ
- ไม่สามารถสร้างกราวด์เพลนให้มีขนาดเป็นอนันต์ตามทฤษฎีได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2บทสรุป

ซึ่งในภาคออสซิลเลเตอร์นั้นได้ทำการสร้างวงจรวีซีโอ วงจรลูปฟิลเตอร์ และได้ทำการทดลองวงจรวีซีโอและได้ผลเป็นที่น่าพอใจคือสามารถผลิตความถี่อยู่ในย่านความถี่ที่ต้องการได้ เมื่อนำประกอบร่วมกับวงจรเฟสดีเทคเตอร์และวงจรพรีสเกลเลอร์แล้วทำการโปรแกรมค่าตามที่ได้คำนวณไว้นั้นสามารถผลิตความถี่ได้ 102 MHz ตามต้องการโดยมีระดับสัญญาณ $-8dBm$ ซึ่งส่งผ่านไปยังภาคมิกเซอร์เพื่อทำการผสมสัญญาณต่อไป

ในภาคมิกเซอร์ได้ทำการทดลองผสมสัญญาณระหว่างความถี่ 1645 MHz ที่ระดับสัญญาณ $0dBm$ กับความถี่จากภาคออสซิลเลเตอร์ที่ได้สร้างขึ้น เมื่อวัดสัญญาณทางพอร์ทเอาท์พุทจะได้ความถี่ต่างๆ หลายความถี่ แต่ความถี่ที่ต้องการมีเพียงความถี่เดียวเท่านั้นคือ 1543 MHz จึงต้องนำสัญญาณไปผ่านวงจรแบนด์พาสฟิลเตอร์ต่อไป

เมื่อนำสัญญาณเอาท์พุทจากภาคมิกเซอร์มาผ่านวงจรกรองความถี่ที่ได้สร้างขึ้นนั้น ก็จะเหลือเพียงความถี่ 1543 MHz ที่ระดับสัญญาณ $-30dBm$ ออกมาเพียงความถี่เดียว ซึ่งจากการทดลองโครงงานทั้งหมดประกอบแต่ละภาครวมกันแล้วจะเห็นว่าสามารถแปลงความถี่จาก 1645 MHz ลงมาที่ความถี่ 1543 MHz ได้ตามต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145152-2

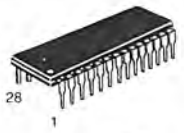
Parallel-Input PLL Frequency Synthesizer

Interfaces with Dual–Modulus Prescalers

The MC145152–2 is programmed by sixteen parallel inputs for the N and A counters and three input lines for the R counter. The device features consist of a reference oscillator, selectable–reference divider, two–output phase detector, 10–bit programmable divide–by–N counter, and 6–bit programmable ÷ A counter.

The MC145152–2 is an improved–performance drop–in replacement for the MC145152–1. Power consumption has decreased and ESD and latch–up performance have improved.

- Operating Temperature Range: – 40 to 85°C
- Low Power Consumption Through Use of CMOS Technology
- 3.0 to 9.0 V Supply Range
- On– or Off–Chip Reference Oscillator Operation
- Lock Detect Signal
- Dual Modulus/Parallel Programming
- 8 User–Selectable ÷ R Values: 8, 64, 128, 256, 512, 1024, 1160, 2048
- ÷ N Range = 3 to 1023, ÷ A Range = 0 to 63
- Chip Complexity: 8000 FETs or 2000 Equivalent Gates
- See Application Note AN980



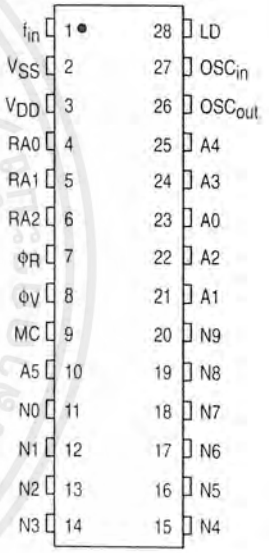
P SUFFIX
PLASTIC DIP
CASE 710

DW SUFFIX
SOG PACKAGE
CASE 751F

ORDERING INFORMATION

MC145152P2	Plastic DIP
MC145152DW2	SOG Package

PIN ASSIGNMENT



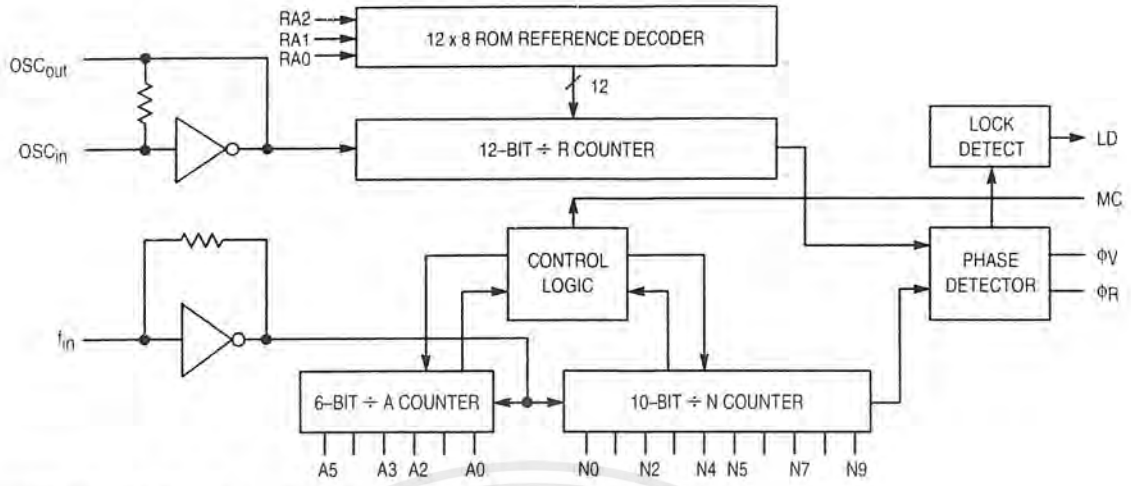
REV 1
8/95

© Motorola, Inc. 1995

MOTOROLA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145152–2 BLOCK DIAGRAM



NOTE: N0 – N9, A0 – A5, and RA0 – RA2 have pull–up resistors that are not shown.

PIN DESCRIPTIONS

INPUT PINS

f_{in}
Frequency Input (Pin 1)

Input to the positive edge triggered ÷ N and ÷ A counters. f_{in} is typically derived from a dual–modulus prescaler and is ac coupled into the device. For larger amplitude signals (standard CMOS logic levels) dc coupling may be used.

RA0, RA1, RA2
Reference Address Inputs (Pins 4, 5, 6)

These three inputs establish a code defining one of eight possible divide values for the total reference divider. The total reference divide values are as follows:

Reference Address Code			Total Divide Value
RA2	RA1	RA0	
0	0	0	8
0	0	1	64
0	1	0	128
0	1	1	256
1	0	0	512
1	0	1	1024
1	1	0	1160
1	1	1	2048

N0 – N9
N Counter Programming Inputs (Pins 11 – 20)

The N inputs provide the data that is preset into the ÷ N counter when it reaches the count of 0. N0 is the least significant digit and N9 is the most significant. Pull–up resistors ensure that inputs left open remain at a logic 1 and require only a SPST switch to alter data to the zero state.

A0 – A5
A Counter Programming Inputs
(Pins 23, 21, 22, 24, 25, 10)

The A inputs define the number of clock cycles of f_{in} that require a logic 0 on the MC output (see **Dual–Modulus Prescaling** section). The A inputs all have internal pull–up resistors that ensure that inputs left open will remain at a logic 1.

OSC_{in}, OSC_{out}
Reference Oscillator Input/Output (Pins 27, 26)

These pins form an on–chip reference oscillator when connected to terminals of an external parallel resonant crystal. Frequency setting capacitors of appropriate value must be connected from OSC_{in} to ground and OSC_{out} to ground. OSC_{in} may also serve as the input for an externally–generated reference signal. This signal is typically ac coupled to OSC_{in}, but for larger amplitude signals (standard CMOS logic levels) dc coupling may also be used. In the external reference mode, no connection is required to OSC_{out}.

OUTPUT PINS

ϕR, ϕV
Phase Detector B Outputs (Pins 7, 8)

These phase detector outputs can be combined externally for a loop–error signal.

If the frequency f_V is greater than f_R or if the phase of f_V is leading, then error information is provided by ϕV pulsing low. ϕR remains essentially high.

If the frequency f_V is less than f_R or if the phase of f_V is lagging, then error information is provided by ϕR pulsing low. ϕV remains essentially high.

If the frequency of $f_V = f_R$ and both are in phase, then both ϕV and ϕR remain high except for a small minimum time period when both pulse low in phase.

MC
Dual–Modulus Prescale Control Output (Pin 9)

Signal generated by the on–chip control logic circuitry for controlling an external dual–modulus prescaler. The MC level will be low at the beginning of a count cycle and will remain low until the ÷ A counter has counted down from its programmed value. At this time, MC goes high and remains high until the ÷ N counter has counted the rest of the way down from its programmed value (N – A additional counts since both ÷ N and ÷ A are counting down during the first portion of the cycle). MC is then set back low, the counters preset to

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

their respective programmed values, and the above sequence repeated. This provides for a total programmable divide value (N_T) = N • P + A where P and P + 1 represent the dual–modulus prescaler divide values respectively for high and low MC levels, N the number programmed into the ÷ N counter, and A the number programmed into the ÷ A counter.

LD
Lock Detector Output (Pin 28)

Essentially a high level when loop is locked (f_R, f_V of same phase and frequency). Pulses low when loop is out of lock.

POWER SUPPLY

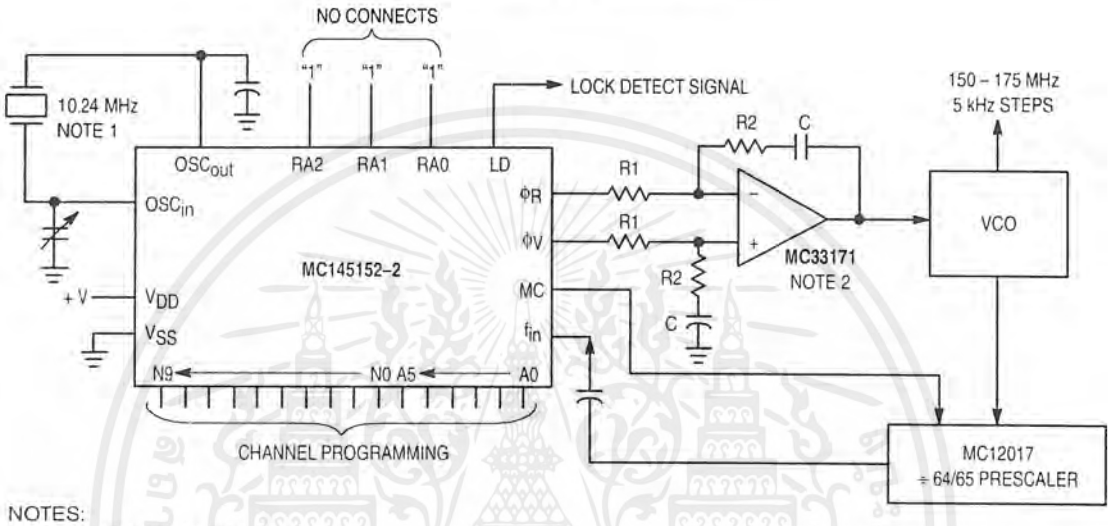
V_{DD}
Positive Power Supply (Pin 3)

The positive power supply potential. This pin may range from + 3 to + 9 V with respect to V_{SS}.

V_{SS}
Negative Power Supply (Pin 2)

The most negative supply potential. This pin is usually ground.

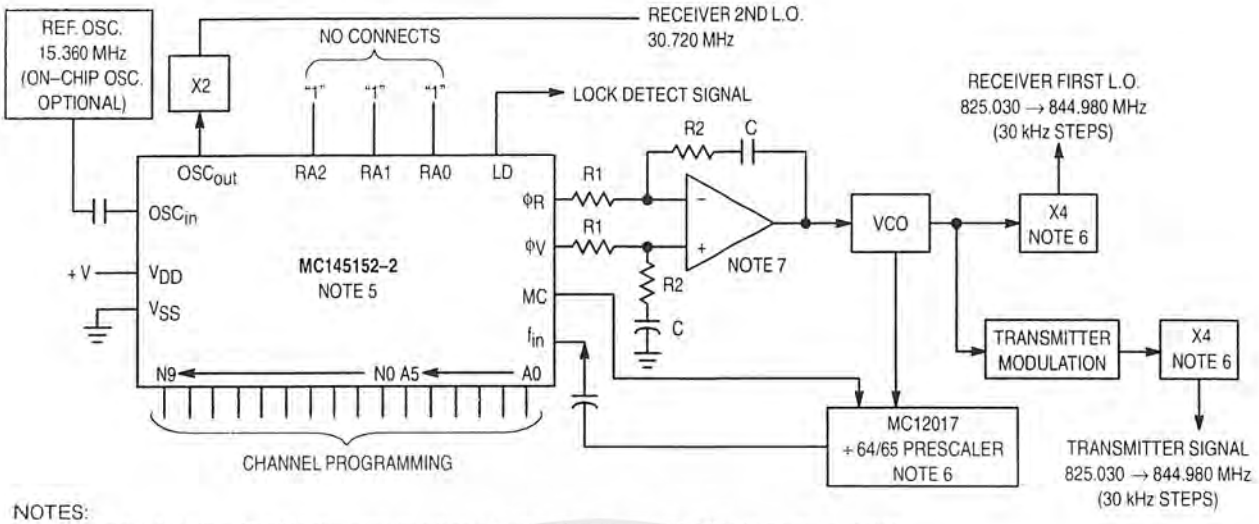
TYPICAL APPLICATIONS



NOTES:
1. Off–chip oscillator optional.
2. The ϕ_R and ϕ_V outputs are fed to an external combiner/loop filter. See the Phase–Locked Loop — Low–Pass Filter Design page for additional information. The ϕ_R and ϕ_V outputs swing rail–to–rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

Figure 1. Synthesizer for Land Mobile Radio VHF Bands

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTES:

1. Receiver 1st I.F. = 45 MHz, low side injection; Receiver 2nd I.F. = 11.7 MHz, low side injection.
2. Duplex operation with 45 MHz receiver/transmit separation.
3. f_R = 7.5 kHz; ÷ R = 2048.
4. N_{total} = N • 64 + A = 27501 to 28166; N = 429 to 440; A = 0 to 63.
5. MC145158–2 may be used where serial data entry is desired.
6. High frequency prescalers (e.g., MC12018 [520 MHz] and MC12022 [1 GHz]) may be used for higher frequency VCO and f_{ref} implementations.
7. The ϕ_R and ϕ_V outputs are fed to an external combiner/loop filter. See the Phase–Locked Loop — Low–Pass Filter Design page for additional information. The ϕ_R and ϕ_V outputs swing rail–to–rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

Figure 2. 666–Channel, Computer–Controlled, Mobile Radiotelephone Synthesizer for 800 MHz Cellular Radio Systems

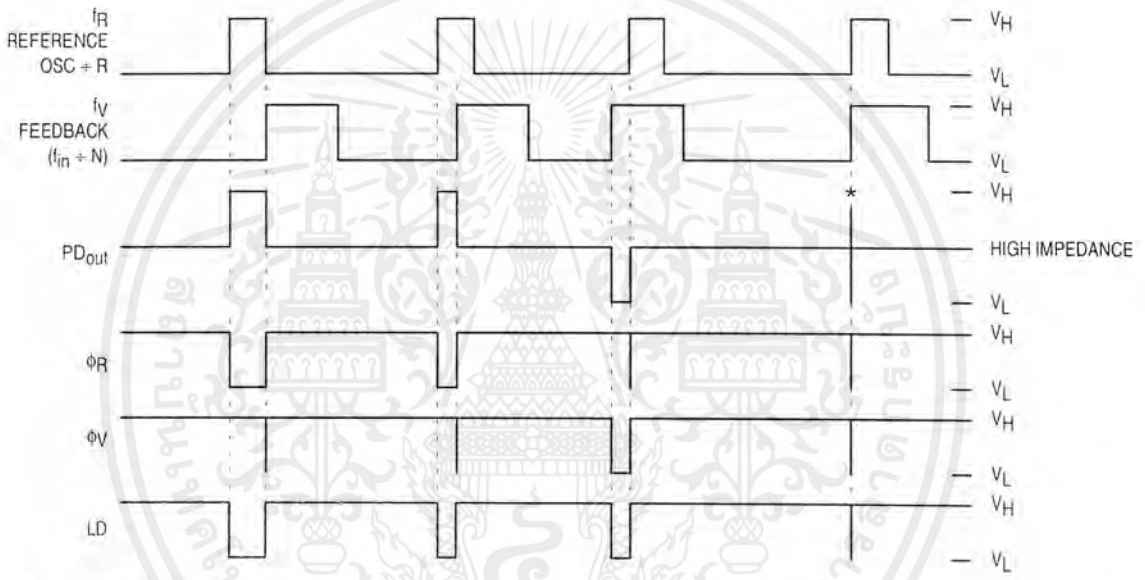
MC145152–2 Data Sheet Continued on Page 23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FREQUENCY CHARACTERISTICS (Voltages References to V_{SS}, C_L = 50 pF, Input $t_r = t_f$ =10 ns unless otherwise indicated)

Symbol	Parameter	Test Condition	V_{DD} V	−40°C Min	−40°C Max	25°C Min	25°C Max	85°C Min	85°C Max	Unit
f_i	Input Frequency (f_{in}, OSC_{in})	R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = 500 mV p–p ac coupled sine wave	3 5 9	— — —	6 15 15	— — —	6 15 15	— — —	6 15 15	MHz
		R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = 1 V p–p ac coupled sine wave	3 5 9	— — —	12 22 25	— — —	12 20 22	— — —	7 20 22	MHz
		R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = V_{DD} to V_{SS} dc coupled square wave	3 5 9	— — —	13 25 25	— — —	12 22 25	— — —	8 22 25	MHz

NOTE: Usually, the PLL's propagation delay from f_{in} to MC plus the setup time of the prescaler determines the upper frequency limit of the system. The upper frequency limit is found with the following formula: $f = P/(t_P + t_{set})$ where f is the upper frequency in Hz, P is the lower of the dual modulus prescaler ratios, t_P is the f_{in} to MC propagation delay in seconds, and t_{set} is the prescaler setup time in seconds. For example, with a 5 V supply, the f_{in} to MC delay is 70 ns. If the MC12028A prescaler is used, the setup time is 16 ns. Thus, if the 64/65 ratio is utilized, the upper frequency limit is $f = P/(t_P + t_{set}) = 64/(70 + 16) = 744$ MHz.



V_H = High Voltage Level.
V_L = Low Voltage Level.
* At this point, when both f_R and f_V are in phase, the output is forced to near mid–supply.
NOTE: The PD_{out} generates error pulses during out–of–lock conditions. When locked in phase and frequency the output is high and the voltage at this pin is determined by the low–pass filter capacitor.

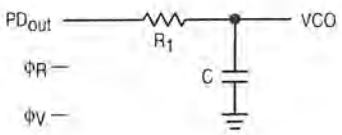
Figure 9. Phase Detector/Lock Detector Output Waveforms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESIGN CONSIDERATIONS

PHASE–LOCKED LOOP — LOW–PASS FILTER DESIGN

A)

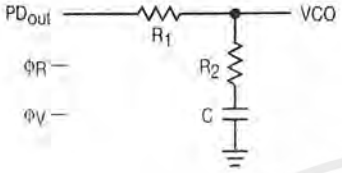


$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NR_1C}}$$

$$\zeta = \frac{N\omega_n}{2K_\phi K_{VCO}}$$

$$F(s) = \frac{1}{R_1sC + 1}$$

B)

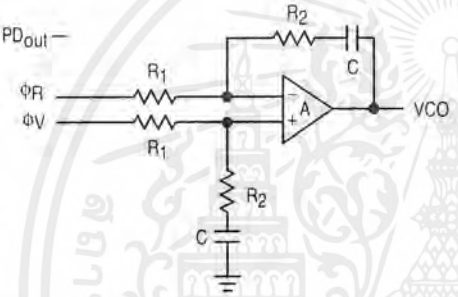


$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NC(R_1 + R_2)}}$$

$$\zeta = 0.5\,\omega_n \left(R_2C + \frac{N}{K_\phi K_{VCO}}\right)$$

$$F(s) = \frac{R_2sC + 1}{(R_1 + R_2)sC + 1}$$

C)



$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NCR_1}}$$

$$\zeta = \frac{\omega_n R_2 C}{2}$$

ASSUMING GAIN A IS VERY LARGE, THEN:

$$F(s) = \frac{R_2sC + 1}{R_1sC}$$

NOTE: Sometimes R_1 is split into two series resistors, each $R_1 \div 2$. A capacitor C_C is then placed from the midpoint to ground to further filter ϕ_V and ϕ_R. The value of C_C should be such that the corner frequency of this network does not significantly affect ω_n. The ϕ_R and ϕ_V outputs swing rail–to–rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

DEFINITIONS:

N = Total Division Ratio in feedback loop

K_ϕ (Phase Detector Gain) = $V_{DD}/4\pi$ for PD_{out}

K_ϕ (Phase Detector Gain) = $V_{DD}/2\pi$ for ϕ_V and ϕ_R

K_{VCO} (VCO Gain) = $\frac{2\pi\Delta f_{VCO}}{\Delta V_{VCO}}$

for a typical design w_n (Natural Frequency) = $\frac{2\pi fr}{10}$ (at phase detector input).

Damping Factor: $\zeta \equiv 1$

RECOMMENDED READING:

Gardner, Floyd M., *Phaselock Techniques (second edition)*. New York, Wiley–Interscience, 1979.

Manassewitsch, Vadim, *Frequency Synthesizers: Theory and Design (second edition)*. New York, Wiley–Interscience, 1980.

Blanchard, Alain, *Phase–Locked Loops: Application to Coherent Receiver Design*. New York, Wiley–Interscience, 1976.

Egan, William F., *Frequency Synthesis by Phase Lock*. New York, Wiley–Interscience, 1981.

Rohde, Ulrich L., *Digital PLL Frequency Synthesizers Theory and Design*. Englewood Cliffs, NJ, Prentice–Hall, 1983.

Berlin, Howard M., *Design of Phase–Locked Loop Circuits, with Experiments*. Indianapolis, Howard W. Sams and Co., 1978.

Kinley, Harold, *The PLL Synthesizer Cookbook*. Blue Ridge Summit, PA, Tab Books, 1980.

AN535, Phase–Locked Loop Design Fundamentals, Motorola Semiconductor Products, Inc., 1970.

AR254, Phase–Locked Loop Design Articles, Motorola Semiconductor Products, Inc., Reprinted with permission from *Electronic Design*, 1987.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CRYSTAL OSCILLATOR CONSIDERATIONS

The following options may be considered to provide a reference frequency to Motorola's CMOS frequency synthesizers.

Use of a Hybrid Crystal Oscillator

Commercially available temperature–compensated crystal oscillators (TCXOs) or crystal–controlled data clock oscillators provide very stable reference frequencies. An oscillator capable of sinking and sourcing 50 µA at CMOS logic levels may be direct or dc coupled to OSC_{in}. In general, the highest frequency capability is obtained utilizing a direct–coupled square wave having a rail–to–rail (V_{DD} to V_{SS}) voltage swing. If the oscillator does not have CMOS logic levels on the outputs, capacitive or ac coupling to OSC_{in} may be used. OSC_{out}, an unbuffered output, should be left floating.

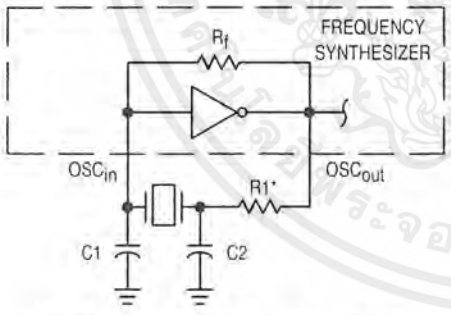
For additional information about TCXOs and data clock oscillators, please consult the latest version of the *eem Electronic Engineers Master Catalog,* the *Gold Book,* or similar publications.

Design an Off–Chip Reference

The user may design an off–chip crystal oscillator using ICs specifically developed for crystal oscillator applications, such as the MC12061 MECL device. The reference signal from the MECL device is ac coupled to OSC_{in}. For large amplitude signals (standard CMOS logic levels), dc coupling is used. OSC_{out}, an unbuffered output, should be left floating. In general, the highest frequency capability is obtained with a direct–coupled square wave having rail–to–rail voltage swing.

Use of the On–Chip Oscillator Circuitry

The on–chip amplifier (a digital inverter) along with an appropriate crystal may be used to provide a reference source frequency. A fundamental mode crystal, parallel resonant at the desired operating frequency, should be connected as shown in Figure 10.



* May be deleted in certain cases. See text.

Figure 10. Pierce Crystal Oscillator Circuit

For V_{DD} = 5.0 V, the crystal should be specified for a loading capacitance, C_L, which does not exceed 32 pF for frequencies to approximately 8.0 MHz, 20 pF for frequencies in the area of 8.0 to 15 MHz, and 10 pF for higher frequencies. These are guidelines that provide a reasonable compromise between IC capacitance, drive capability, swamping variations in stray and IC input/output capacitance, and realistic C_L values. The shunt load capacitance, C_L, presented across the crystal can be estimated to be:

$$C_L = \frac{C_{in}C_{out}}{C_{in} + C_{out}} + C_a + C_o + \frac{C1 \cdot C2}{C1 + C2}$$

where

C_{in} = 5 pF (see Figure 11)
C_{out} = 6 pF (see Figure 11)
C_a = 1 pF (see Figure 11)
C_O = the crystal's holder capacitance (see Figure 12)
C1 and C2 = external capacitors (see Figure 10)

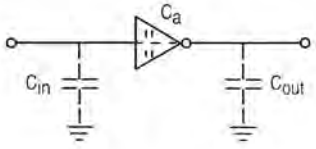
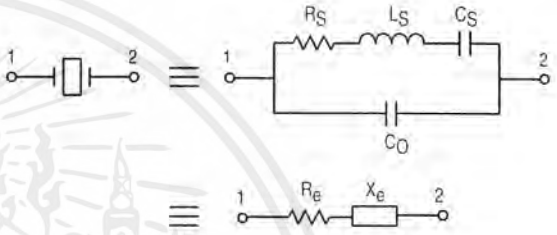


Figure 11. Parasitic Capacitances of the Amplifier



NOTE: Values are supplied by crystal manufacturer (parallel resonant crystal).

Figure 12. Equivalent Crystal Networks

The oscillator can be "trimmed" on–frequency by making a portion or all of C1 variable. The crystal and associated components must be located as close as possible to the OSC_{in} and OSC_{out} pins to minimize distortion, stray capacitance, stray inductance, and startup stabilization time. In some cases, stray capacitance should be added to the value for C_{in} and C_{out}.

Power is dissipated in the effective series resistance of the crystal, R_e, in Figure 12. The drive level specified by the crystal manufacturer is the maximum stress that a crystal can withstand without damage or excessive shift in frequency. R1 in Figure 10 limits the drive level. The use of R1 may not be necessary in some cases (i.e., R1 = 0 Ω).

To verify that the maximum dc supply voltage does not overdrive the crystal, monitor the output frequency as a function of voltage at OSC_{out}. (Care should be taken to minimize loading.) The frequency should increase very slightly as the dc supply voltage is increased. An overdriven crystal will decrease in frequency or become unstable with an increase in supply voltage. The operating supply voltage must be reduced or R1 must be increased in value if the overdriven condition exists. The user should note that the oscillator start–up time is proportional to the value of R1.

Through the process of supplying crystals for use with CMOS inverters, many crystal manufacturers have developed expertise in CMOS oscillator design with crystals. Discussions with such manufacturers can prove very helpful (see Table 1).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Partial List of Crystal Manufacturers

Motorola — Internet Address *http://motorola.com* (Search for resonators)
United States Crystal Corp.
Crystek Crystal
Statek Corp.
Fox Electronics

NOTE: Motorola cannot recommend one supplier over another and in no way suggests that this is a complete listing of crystal manufacturers.

RECOMMENDED READING

Technical Note TN–24, Statek Corp.

Technical Note TN–7, Statek Corp.

E. Hafner, "The Piezoelectric Crystal Unit – Definitions and Method of Measurement", *Proc. IEEE*, Vol. 57, No. 2 Feb., 1969.

D. Kemper, L. Rosine, "Quartz Crystals for Frequency Control", *Electro–Technology*, June, 1969.

P. J. Ottowitz, "A Guide to Crystal Selection", *Electronic Design*, May, 1966.

DUAL–MODULUS PRESCALING

OVERVIEW

The technique of dual–modulus prescaling is well established as a method of achieving high performance frequency synthesizer operation at high frequencies. Basically, the approach allows relatively low–frequency programmable counters to be used as high–frequency programmable counters with speed capability of several hundred MHz. This is possible without the sacrifice in system resolution and performance that results if a fixed (single–modulus) divider is used for the prescaler.

In dual–modulus prescaling, the lower speed counters must be uniquely configured. Special control logic is necessary to select the divide value P or P + 1 in the prescaler for the required amount of time (see modulus control definition). Motorola's dual–modulus frequency synthesizers contain this feature and can be used with a variety of dual–modulus prescalers to allow speed, complexity and cost to be tailored to the system requirements. Prescalers having P, P + 1 divide values in the range of ÷ 3/÷ 4 to ÷ 128/÷ 129 can be controlled by most Motorola frequency synthesizers.

Several dual–modulus prescaler approaches suitable for use with the MC145152–2, MC145156–2, or MC145158–2 are:

MC12009	÷ 5/÷ 6	440 MHz
MC12011	÷ 8/÷ 9	500 MHz
MC12013	÷ 10/÷ 11	500 MHz
MC12015	÷ 32/÷ 33	225 MHz
MC12016	÷ 40/÷ 41	225 MHz
MC12017	÷ 64/÷ 65	225 MHz
MC12018	÷ 128/÷ 129	520 MHz
MC12028A	÷ 32/33 or ÷ 64/65	1.1 GHz
MC12052A	÷ 64/65 or ÷ 128/129	1.1 GHz
MC12054A	÷ 64/65 or ÷ 128/129	2.0 GHz

DESIGN GUIDELINES

The system total divide value, N_{total} (N_T) will be dictated by the application:

$$N_T = \frac{\text{frequency into the prescaler}}{\text{frequency into the phase detector}} = N \bullet P + A$$

N is the number programmed into the ÷ N counter, A is the number programmed into the ÷ A counter, P and P + 1 are the two selectable divide ratios available in the dual–modulus prescalers. To have a range of N_T values in sequence, the ÷ A counter is programmed from zero through P – 1 for a particular value N in the ÷ N counter. N is then incremented to N + 1 and the ÷ A is sequenced from 0 through P – 1 again.

There are minimum and maximum values that can be achieved for N_T. These values are a function of P and the size of the ÷ N and ÷ A counters.

The constraint N ≥ A always applies. If $A_{max} = P - 1$, then $N_{min} \geq P - 1$. Then $N_{Tmin} = (P - 1)\,P + A$ or $(P - 1)\,P$ since A is free to assume the value of 0.

$$N_{Tmax} = N_{max} \bullet P + A_{max}$$

To maximize system frequency capability, the dual–modulus prescaler output must go from low to high after each group of P or P + 1 input cycles. The prescaler should divide by P when its modulus control line is high and by P + 1 when its MC is low.

For the maximum frequency into the prescaler (f_{VCOmax}), the value used for P must be large enough such that:

1. f_{VCOmax} divided by P may not exceed the frequency capability of f_{in} (input to the ÷ N and ÷ A counters).
2. The period of f_{VCO} divided by P must be greater than the sum of the times:
   a. Propagation delay through the dual–modulus prescaler.
   b. Prescaler setup or release time relative to its MC signal.
   c. Propagation time from f_{in} to the MC output for the frequency synthesizer device.

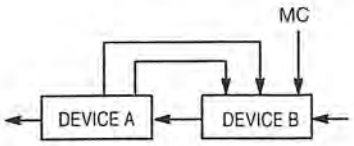
A sometimes useful simplification in the programming code can be achieved by choosing the values for P of 8, 16, 32, or 64. For these cases, the desired value of N_T results when N_T in binary is used as the program code to the ÷ N and ÷ A counters treated in the following manner:

1. Assume the ÷ A counter contains "a" bits where $2^a \geq P$.
2. Always program all higher order ÷ A counter bits above "a" to 0.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. Assume the ÷ N counter and the ÷ A counter (with all the higher order bits above "a" ignored) combined into a single binary counter of n + a bits in length (n = number of divider stages in the ÷ N counter). The MSB of this "hypothetical" counter is to correspond to the MSB of ÷ N and the LSB is to correspond to the LSB of ÷ A. The system divide value, N_T, now results when the value of N_T in binary is used to program the "new" n + a bit counter.

By using the two devices, several dual–modulus values are achievable (shown in Figure 13).



DEVICE A \ DEVICE B	MC12009	MC12011	MC12013
MC10131	÷ 20/÷ 21	÷ 32/÷ 33	÷ 40/÷ 41
MC10138	÷ 50/÷ 51	÷ 80/÷ 81	÷ 100/÷ 101

NOTE: MC12009, MC12011, and MC12013 are pin equivalent.
MC12015, MC12016, and MC12017 are pin equivalent.

Figure 13. Dual–Modulus Values

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Voltage Controlled Oscillator

Consider MC12148 for New Designs

MC1648

VOLTAGE CONTROLLED OSCILLATOR

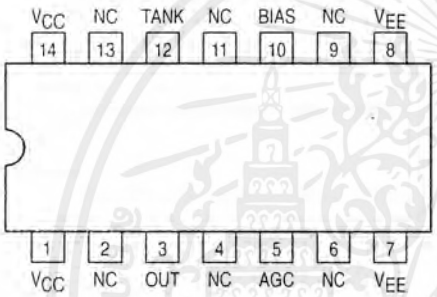
The MC1648 requires an external parallel tank circuit consisting of the inductor (L) and capacitor (C). **For Maximum Performance $Q_L \geq 100$ at Frequency of Operation.**

A varactor diode may be incorporated into the tank circuit to provide a voltage variable input for the oscillator (VCO). The MC1648 was designed for use in the Motorola Phase–Locked Loop shown in Figure 9. This device may also be used in many other applications requiring a fixed or variable frequency clock source of high spectral purity. (See Figure 2)

The MC1648 may be operated from a +5.0Vdc supply or a –5.2Vdc supply, depending upon system requirements.

NOTE: The MC1648 is NOT useable as a crystal oscillator.

Pinout: 14–Lead Package (Top View)



Pin assignment is for Dual–in–Line Package.
For PLCC pin assignment, see the MC1648 Non–Standard Pin Conversion Table below.

L SUFFIX
14–LEAD CERAMIC PACKAGE
CASE 632–08

Not Recommended for New Designs

P SUFFIX
14–LEAD PLASTIC PACKAGE
CASE 646–06

D SUFFIX
8–PIN PLASTIC SOIC PACKAGE
CASE 751–05

FN SUFFIX
20–LEAD PLCC PACKAGE
CASE 775–02

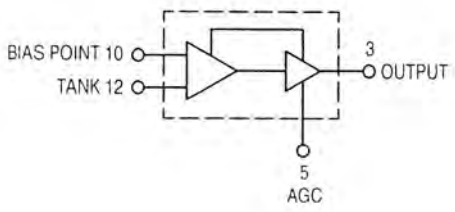
MC1648 NON–STANDARD PIN CONVERSION DATA

Package	TANK	V_{CC}	V_{CC}	OUT	AGC	V_{EE}	V_{EE}	BIAS
8 D	1	2	3	4	5	6	7	8
14 L,P	12	14	1	3	5	7	8	10
20FN	18	20	2	4	8	10	12	14

*NOTE – All unused pins are not connected.

Supply Voltage	GND Pins	Supply Pins
+5.0Vdc	7,8	1,14
–5.2Vdc	1,14	7,8

LOGIC DIAGRAM



- Input Capacitance = 6.0pF (TYP)
- Maximum Series Resistance for L (External Inductance) = 50Ω (TYP)
- Power Dissipation = 150mW (TYP)/Pkg (+5.0Vdc Supply)
- Maximum Output Frequency = 225MHz (TYP)

V_{CC1} = Pin 1
V_{CC2} = Pin 14
V_{EE} = Pin 7

© Motorola, Inc. 1997

MOTOROLA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

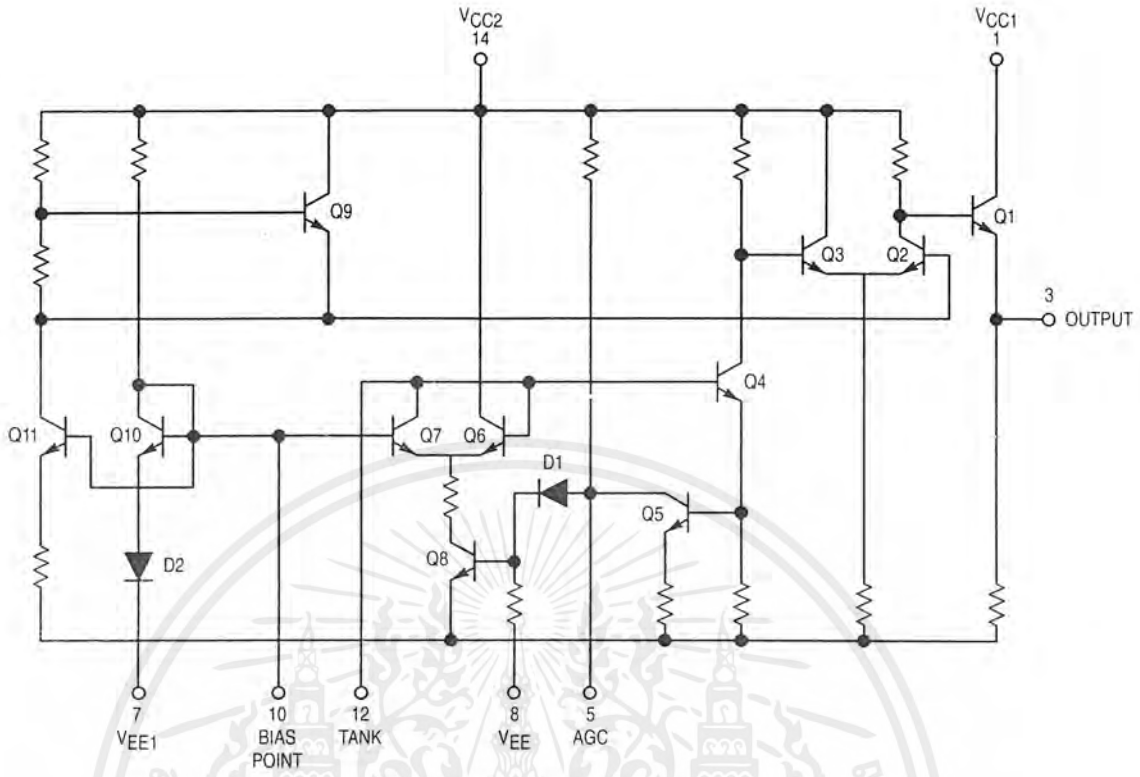


Figure 1. Circuit Schematic

TEST VOLTAGE/CURRENT VALUES

@ Test Temperature	(Volts)			mAdc
	V_{IHmax}	V_{ILmin}	V_{CC}	I_L
MC1648				
−30°C	+2.0	+1.5	+5.0	−5.0
+25°C	+1.85	+1.35	+5.0	−5.0
+85°C	+1.7	+1.2	+5.0	−5.0

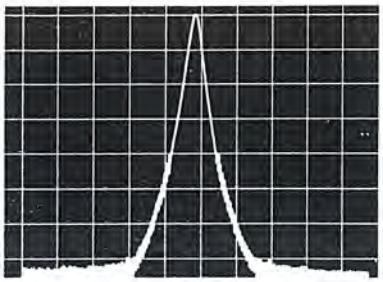
Note: SOIC "D" package guaranteed −30°C to +70°C only

ELECTRICAL CHARACTERISTICS (Supply Voltage = +5.0V)

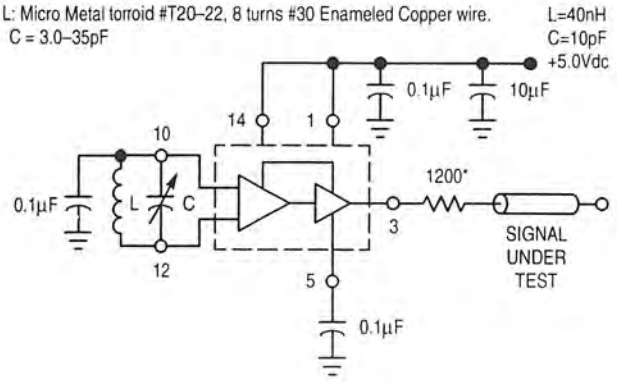
Symbol	Characteristic	−30°C			+25°C			+85°C			Unit	Condition
		Min		Max	Min		Max	Min		Max		
I_E	Power Supply Drain Current	–		–	–	41	–	–		–	mAdc	Inputs and outputs open
V_{OH}	Logic "1" Output Voltage	3.955		4.185	4.04	4.25		4.11		4.36	Vdc	V_{ILmin} to Pin 12, I_L @ Pin 3
V_{OL}	Logic "0" Output Voltage	3.16		3.4	3.2	3.43		3.22		3.475	Vdc	V_{IHmax} to Pin 12, I_L @ Pin 3
V_{BIAS}[1]	Bias Voltage	1.6		1.9	1.45	1.75		1.3		1.6	Vdc	V_{ILmin} to Pin 12
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Unit	Condition
V_{P-P}	Peak−to−Peak Tank Voltage	–	–	–	–	400	–	–	–	–	mV	See Figure 3
Vdc	Output Duty Cycle	–	–	–	–	50	–	–	–	–	%	
f_{max}[2]	Oscillation Frequency	–	225	–	200	225	–	–	225	–	MHz	

1. This measurement guarantees the dc potential at the bias point for purposes of incorporating a varactor tuning diode at this point.
2. Frequency variation over temperature is a direct function of the ΔC/Δ Temperature and ΔL/Δ Temperature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



B.W. = 10 kHz
Center Frequency = 100 MHz
Scan Width = 50 kHz/div
Vertical Scale = 10 dB/div



* The 1200 ohm resistor and the scope termination impedance constitute a 25:1 attenuator probe. Coax shall be CT–075–50 or equivalent.

Figure 2. Spectral Purity of Signal Output for 200MHz Testing

TEST VOLTAGE/CURRENT VALUES

@ Test Temperature	(Volts)			mAdc
	V_{IHmax}	V_{ILmin}	V_{EE}	I_L
	MC1648			
–30°C	–3.2	–3.7	–5.2	–5.0
+25°C	–3.35	–3.85	–5.2	–5.0
+85°C	–3.5	–4.0	–5.2	–5.0

Note: SOIC "D" package guaranteed –30°C to +70°C only

ELECTRICAL CHARACTERISTICS (Supply Voltage = –5.2V)

Symbol	Characteristic	–30°C		+25°C		+85°C		Unit	Condition
		Min	Max	Min	Max	Min	Max		
I_E	Power Supply Drain Current	–	–	–	41	–	–	mAdc	Inputs and outputs open
V_{OH}	Logic "1" Output Voltage	–1.045	–0.815	–0.96	–0.75	–0.89	–0.64	Vdc	V_{ILmin} to Pin 12, I_L @ Pin 3
V_{OL}	Logic "0" Output Voltage	–1.89	–1.65	–1.85	–1.62	–1.83	–1.575	Vdc	V_{IHmax} to Pin 12, I_L @ Pin 3
V_{BIAS}[1]	Bias Voltage	–3.6	–3.3	–3.75	–3.45	–3.9	–3.6	Vdc	V_{ILmin} to Pin 12

		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Unit	Condition
V_{P-P}	Peak–to–Peak Tank Voltage	–	–	–	–	400	–	–	–	–	mV	See Figure 3
Vdc	Output Duty Cycle	–	–	–	–	50	–	–	–	–	%	
f_{max}[2]	Oscillation Frequency	–	225	–	200	225	–	–	225	–	MHz	

1. This measurement guarantees the dc potential at the bias point for purposes of incorporating a varactor tuning diode at this point.
2. Frequency variation over temperature is a direct function of the ΔC/Δ Temperature and ΔL/Δ Temperature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

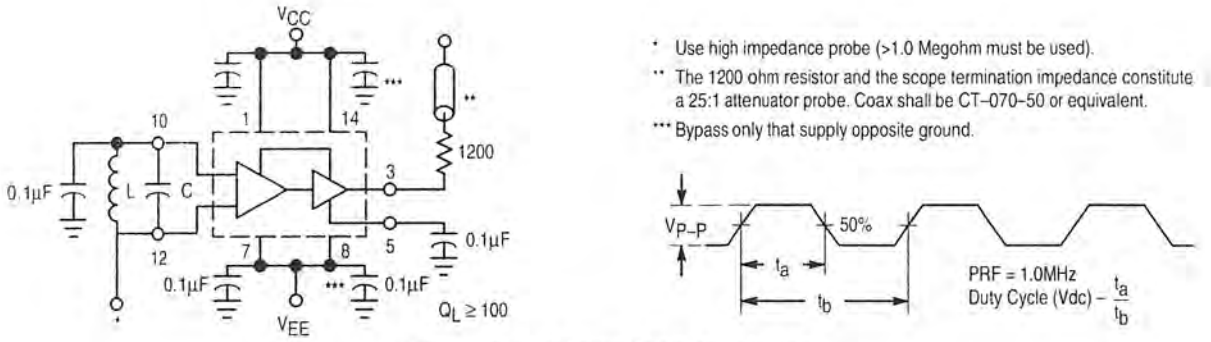


Figure 3. Test Circuit and Waveforms

OPERATING CHARACTERISTICS

Figure 1 illustrates the circuit schematic for the MC1648. The oscillator incorporates positive feedback by coupling the base of transistor Q6 to the collector of Q7. An automatic gain control (AGC) is incorporated to limit the current through the emitter–coupled pair of transistors (Q7 and Q6) and allow optimum frequency response of the oscillator.

In order to maintain the high Q of the oscillator, and provide high spectral purity at the output, transistor Q4 is used to translate the oscillator signal to the output differential pair Q2 and Q3. Q2 and Q3, in conjunction with output transistor Q1, provides a highly buffered output which produces a square wave. Transistors Q9 and Q11 provide the bias drive for the oscillator and output buffer. Figure 2 indicates the high spectral purity of the oscillator output (pin 3).

When operating the oscillator in the voltage controlled mode (Figure 4), it should be noted that the cathode of the varactor diode (D) should be biased at least "2" V_{BE} above V_{EE} (≈1.4V for positive supply operation).

When the MC1648 is used with a constant dc voltage to the varactor diode, the output frequency will vary slightly because of internal noise. This variation is plotted versus operating frequency in Figure 5.

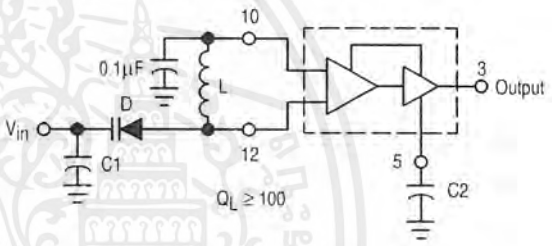
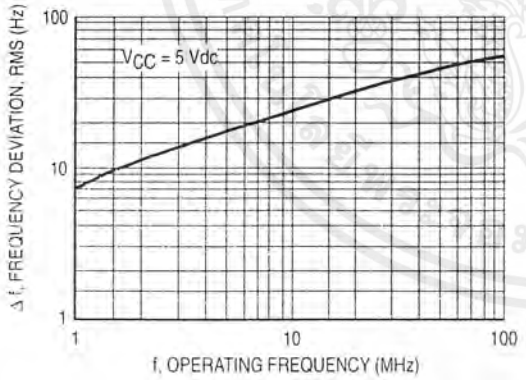
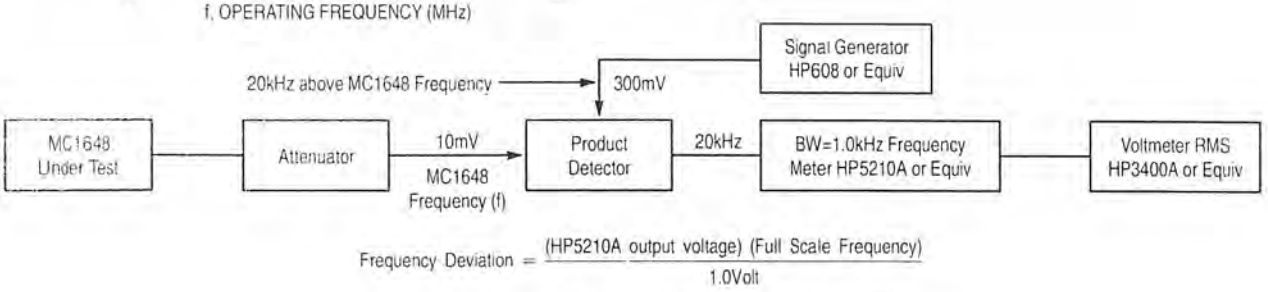


Figure 4. The MC1648 Operating in the Voltage Controlled Mode

Oscillator Tank Components (Circuit of Figure 4)

f MHz	D	L μH
1.0–10	MV2115	100
10–60	MV2115	2.3
60–100	MV2106	0.15





$$\text{Frequency Deviation} = \frac{\text{(HP5210A output voltage) (Full Scale Frequency)}}{\text{1.0Volt}}$$

Figure 5. Noise Deviation Test Circuit and Waveform

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

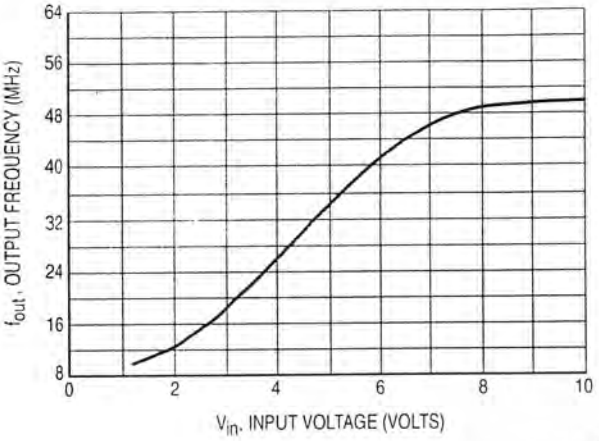
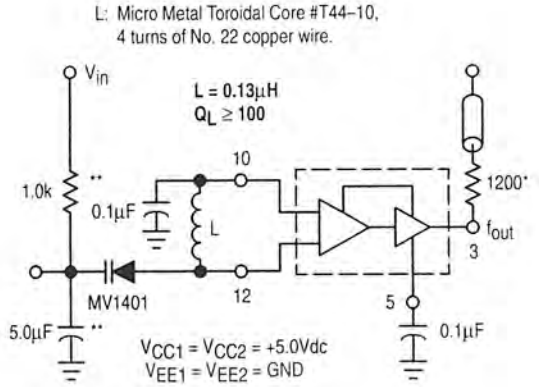


Figure 6



* The 1200 ohm resistor and the scope termination impedance constitute a 25:1 attenuator probe. Coax shall be CT–070–50 or equivalent. NOT used in normal operation.

** Input resistor and cap are for test only. They are NOT necessary for normal operation.

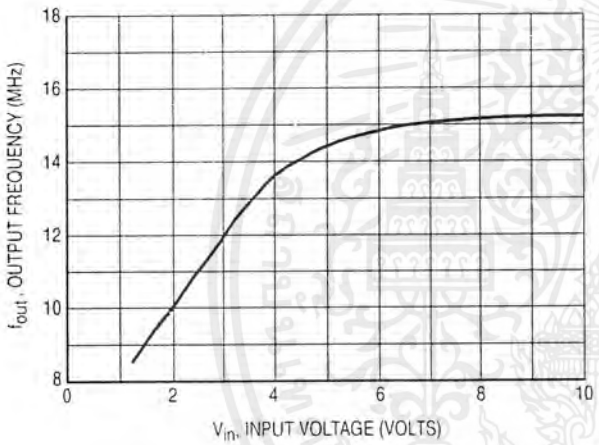
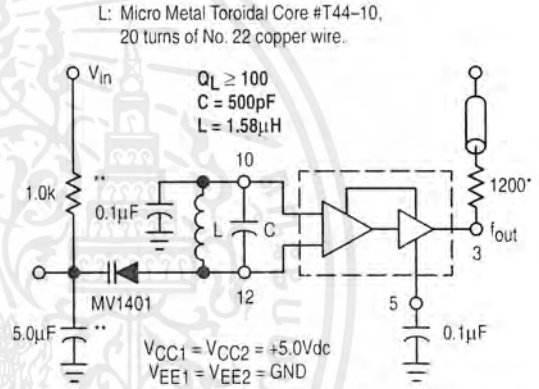


Figure 7



* The 1200 ohm resistor and the scope termination impedance constitute a 25:1 attenuator probe. Coax shall be CT–070–50 or equivalent. NOT used in normal operation.

** Input resistor and cap are for test only. They are NOT necessary for normal operation.

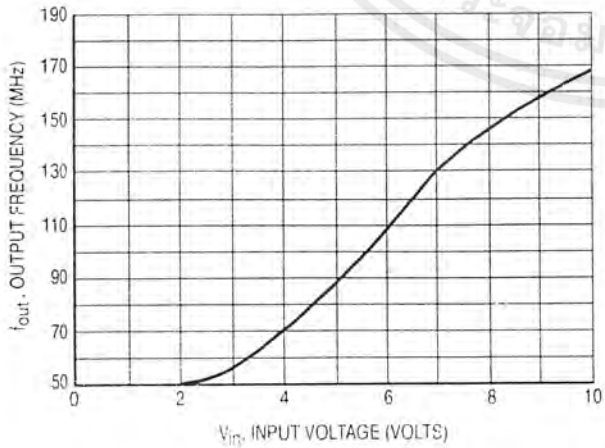
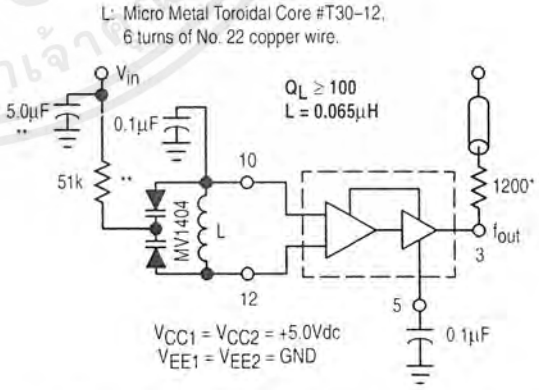


Figure 8



* The 1200 ohm resistor and the scope termination impedance constitute a 25:1 attenuator probe. Coax shall be CT–070–50 or equivalent. NOT used in normal operation.

** Input resistor and cap are for test only. They are NOT necessary for normal operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical transfer characteristics for the oscillator in the voltage controlled mode are shown in Figure 6, Figure 7 and Figure 8. Figure 6 and Figure 8 show transfer characteristics employing only the capacitance of the varactor diode (plus the input capacitance of the oscillator, 6.0pF typical). Figure 7 illustrates the oscillator operating in a voltage controlled mode with the output frequency range limited. This is achieved by adding a capacitor in parallel with the tank circuit as shown. The 1.0kΩ resistor in Figure 6 and Figure 7 is used to protect the varactor diode during testing. It is not necessary as long as the dc input voltage does not cause the diode to become forward biased. The larger–valued resistor (51kΩ) in Figure 8 is required to provide isolation for the high–impedance junctions of the two varactor diodes.

The tuning range of the oscillator in the voltage controlled mode may be calculated as:

$$\frac{f_{max}}{f_{min}} = \frac{\sqrt{C_D(max) + C_S}}{\sqrt{C_D(min) + C_S}}$$

where $$f_{min} = \frac{1}{2\pi\sqrt{L(C_D(max) + C_S)}}$$

CS = shunt capacitance (input plus external capacitance)

CD = varactor capacitance as a function of bias voltage

Good RF and low–frequency bypassing is necessary on the power supply pins. (See Figure 2)

Capacitors (C1 and C2 of Figure 4) should be used to bypass the AGC point and the VCO input (varactor diode), guaranteeing only dc levels at these points.

For output frequency operation between 1.0MHz and 50MHz a 0.1μF capacitor is sufficient for C1 and C2. At higher frequencies, smaller values of capacitance should be used; at lower frequencies, larger values of capacitance. At high frequencies the value of bypass capacitors depends directly upon the physical layout of the system. All bypassing should be as close to the package pins as possible to minimize unwanted lead inductance.

The peak–to–peak swing of the tank circuit is set internally by the AGC circuitry. Since voltage swing of the tank circuit provides the drive for the output buffer, the AGC potential directly affects the output waveform. If it is desired to have a sine wave at the output of the MC1648, a series resistor is tied from the AGC point to the most negative power potential (ground if +5.0 volt supply is used, –5.2 volts if a negative supply is used) as shown in Figure 10.

At frequencies above 100 MHz typ, it may be desirable to increase the tank circuit peak–to–peak voltage in order to shape the signal at the output of the MC1648. This is accomplished by tying a series resistor (1.0kΩ minimum) from the AGC to the most positive power potential (+5.0 volts if a +5.0 volt supply is used, ground if a –5.2 volt supply is used). Figure 11 illustrates this principle.

APPLICATIONS INFORMATION

The phase locked loop shown in Figure 9 illustrates the use of the MC1648 as a voltage controlled oscillator. The figure illustrates a frequency synthesizer useful in tuners for FM broadcast, general aviation, maritime and landmobile communications, amateur and CB receivers. The system operates from a single +5.0Vdc supply, and requires no internal translations, since all components are compatible.

Frequency generation of this type offers the advantages of single crystal operation, simple channel selection, and elimination of special circuitry to prevent harmonic lockup. Additional features include dc digital switching (preferable over RF switching with a multiple crystal system), and a broad range of tuning (up to 150MHz, the range being set by the varactor diode).

The output frequency of the synthesizer loop is determined by the reference frequency and the number programmed at the programmable counter; $f_{out} = Nf_{ref}$. The channel spacing is equal to frequency (f_{ref}).

For additional information on applications and designs for phase locked–loops and digital frequency synthesizers, see Motorola Brochure BR504/D, Electronic Tuning Address Systems, (ETAS).

Figure 10 shows the MC1648 in the variable frequency mode operating from a +5.0Vdc supply. To obtain a sine wave at the output, a resistor is added from the AGC circuit (pin 5) to V_{EE}.

Figure 11 shows the MC1648 in the variable frequency mode operating from a +5.0Vdc supply. To extend the useful range of the device (maintain a square wave output above 175Mhz), a resistor is added to the AGC circuit at pin 5 (1.0 kohm minimum).

Figure 12 shows the MC1648 operating from +5.0Vdc and +9.0Vdc power supplies. This permits a higher voltage swing and higher output power than is possible from the MECL output (pin 3). Plots of output power versus total collector load resistance at pin 1 are given in Figure 13 and Figure 14 for 100MHz and 10MHz operation. The total collector load includes R in parallel with R_p of L1 and C1 at resonance. The optimum value for R at 100MHz is approximately 850 ohms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by MC12015/D

MOTOROLA

MC12015
MC12016
MC12017

Dual Modulus Prescaler

The MC12015, MC12016 and MC12017 are dual modulus prescalers which will drive divide by 32 and 33, 40 and 41, and 64 and 65, respectively. An internal regulator is provided to allow these devices to be used over a wide range of power–supply voltages. The devices may be operated by applying a supply voltage of 5.0 Vdc ±10% at Pin 7, or by applying an unregulated voltage source from 5.5Vdc to 9.5 Vdc to Pin 8.

- 225 MHz Toggle Frequency
- Low–Power 7.5 mA Maximum at 6.8 V
- Control Input and Output Are Compatible With Standard CMOS
- Connecting Pins 2 and 3 Allows Driving One TTL Load
- Supply Voltage 4.5 V to 9.5 V

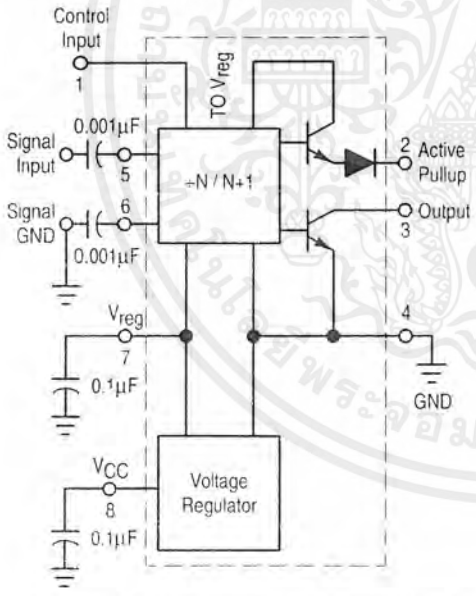
MECL PLL COMPONENTS
DUAL MODULUS PRESCALER

SEMICONDUCTOR
TECHNICAL DATA

P SUFFIX
PLASTIC PACKAGE
CASE 626

D SUFFIX
PLASTIC PACKAGE
CASE 751
(SO–8)

SIMPLIFIED BLOCK DIAGRAM



1. V_{reg} at Pin 7 is not guaranteed to be between 4.5 and 5.5V when V_{CC} is being applied to Pin 8
2. Pin 7 is not to be used as a source of regulated output voltage

ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC12015D	T_A = –40° to +85°C	SO–8
MC12016D		
MC12017D		
MC12015P		Plastic
MC12016P		
MC12017P		

© Motorola, Inc. 1997

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS [tblhead]

Rating	Symbol	Value	Unit
Regulated Voltage, Pin 7	V_{reg}	8.0	Vdc
Power Supply Voltage, Pin 8	V_{CC}	10	Vdc
Operating Temperature Range	T_A	–40 to +85	°C
Storage Temperature Range	T_{stg}	–65 to +175	°C

NOTE: ESD data available upon request.

ELECTRICAL CHARACTERISTICS (V_{CC} = 5.5 to 9.5 V; V_{reg} = 4.5 to 5.5 V; T_A = –40 to 85°C, unless otherwise noted.)

Characteristic	Symbol	Min	Typ	Max	Unit
Toggle Frequency (Sine Wave Input)					MHz
	f_{max}	225	–	–	
	f_{min}	–	–	35	
Supply Current	I_{CC}	–	6.0	7.8	mA
Control Input HIGH (÷32, 40 or 64)	V_{IH}	2.0	–	–	V
Control Input LOW (÷33, 41 or 65)	V_{IL}	–	–	0.8	V
Output Voltage HIGH (I_{source} = 50μA) [Nofe 1]	V_{OH}	2.5	–	–	V
Output Voltage LOW (I_{sink} = 2mA) [Note 1]	V_{OL}	–	–	0.5	V
Input Voltage Sensitivity	V_{in}				mVpp
35 MHz		400	–	800	
50 to 225 MHz		200	–	800	
PLL Response Time [Notes 2 and 3]	t_{PLL}	–	–	t_{out} to 70	ns

NOTES: 1. Pin 2 connected to Pin 3.
2. t_{PLL} = the period of time the PLL has from the prescaler rising output tranistion (50%) to the modulus control input edge transition (50%) to ensure proper modulus selection.
3. t_{out} = period of output waveform.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HEWLETT® PACKARD

Schottky Barrier Diodes for General Purpose Applications

Technical Data

1N5711
1N5712
5082-2300 Series
5082-2800 Series
5082-2900

Features

- **Low Turn-On Voltage**
  As Low as 0.34 V at 1 mA
- **Pico Second Switching Speed**
- **High Breakdown Voltage**
  Up to 70 V
- **Matched Characteristics Available**

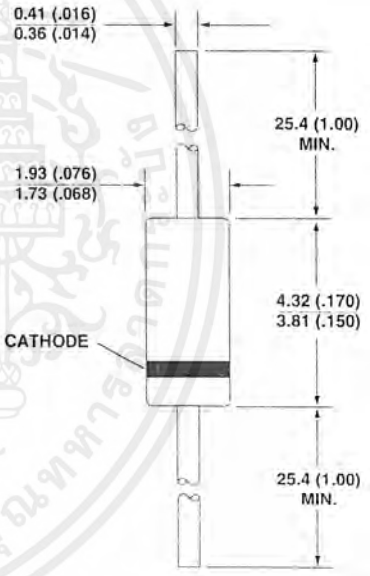
Description/Applications

The 1N5711, 1N5712, 5082-2800/10/11 are passivated Schottky barrier diodes which use a patented "guard ring" design to achieve a high breakdown voltage. Packaged in a low cost glass package, they are well suited for high level detecting, mixing, switching, gating, log or A-D converting, video detecting, frequency discriminating, sampling, and wave shaping.

The 5082-2835 is a passivated Schottky diode in a low cost glass package. It is optimized for low turn-on voltage. The 5082-2835 is particularly well suited for the UHF mixing needs of the CATV marketplace.

The 5082-2300 Series and 5082-2900 devices are unpassivated Schottky diodes in a glass package. These diodes have extremely low 1/f noise and are ideal for low noise mixing, and high sensitivity detecting. They are particularly well suited for use in Doppler or narrow band video receivers.

Outline 15



DIMENSIONS IN MILLIMETERS AND (INCHES).

Maximum Ratings

Junction Operating and Storage Temperature Range
- 5082-2303, -2900 ..... -60°C to +100°C
- 1N5711, 1N5712, 5082-2800/10/11 ..... -65°C to +200°C
- 5082-2835 ..... -60°C to +150°C

DC Power Dissipation

(Measured in an infinite heat sink at T_{CASE} = 25°C)
Derate linearly to zero at maximum rated temperature
- 5082-2303, -2900 ..... 100 mW
- 1N5711, 1N5712, 5082-2800/10/11 ..... 250 mW
- 5082-2835 ..... 150 mW

Peak Inverse Voltage ..... V_{BR}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Package Characteristics

Outline 15

Lead Material ..... Dumet
Lead Finish ..... 95-5% Tin-Lead
Max. Soldering Temperature ..... 260°C for 5 sec
Min. Lead Strength ..... 4 pounds pull
Typical Package Inductance
1N5711, 1N5712: ..... 2.0 nH
2800 Series: ..... 2.0 nH
2300 Series, 2900: ..... 3.0 nH
Typical Package Capacitance
1N5711, 1N5712: ..... 0.2 pF
2800 Series: ..... 0.2 pF
2300 Series, 2900: ..... 0.07 pF

The leads on the Outline 15 package should be restricted so that the bend starts at least 1/16 inch from the glass body.

Outline 15 diodes are available on tape and reel. The tape and reel specification is patterned after RS-296-D.

Electrical Specifications at $T_A = 25°C$

General Purpose Diodes

Part Number	Package Outline	Min. Breakdown Voltage V_{BR} (V)	Max. Forward Voltage V_F (mV)	V_F = 1 V Max. at Forward Current I_F (mA)	Max. Reverse Leakage Current I_R (nA) at V_R (V)		Max. Capacitance C_T (pF)
5082-2800	15	70	410	15	200	50	2.0
1N5711	15	70	410	15	200	50	2.0
5082-2810	15	20	410	35	100	15	1.2
1N5712	15	20	550	35	150	16	1.2
5082-2811	15	15	410	20	100	8	1.2
5082-2835	15	8*	340	10*	100	1	1.0
Test Conditions		I_R = 10 µA *I_R = 100 µA	I_F = 1 mA	*V_F = 0.45 V			V_R = 0 V f = 1.0 MHz

Note: Effective Carrier Lifetime (τ) for all these diodes is 100 ps maximum measured with Krakauer method at 5 mA except for 5082-2835 which is measured at 20 mA.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Low 1/f (Flicker) Noise Diodes

Part Number 5082-	Package Outline	Min. Breakdown Voltage V_{BR} (V)	Max. Forward Voltage V_F (mV)	V_F = 1 V Max. at Forward Current I_F (mA)	Max. Reverse Leakage Current I_R (nA) at V_R (V)		Max. Capacitance C_T (pF)
2303	15	20	400	35	500	15	1.0
2900	15	10	400	20	100	5	1.2
Test Conditions		I_R = 10 μA	I_F = 1 mA				V_R = 0 V f = 1.0 MHz

Note: Effective Carrier Lifetime (τ) for all these diodes is 100 ps maximum measured with Krakauer method at 20 mA.

Matched Pairs and Quads

Basic Part Number 5082-	Matched Pair Unconnected	Matched Quad Unconnected	Batch Matched[1]	Test Conditions
2900				ΔV_F at I_F = 1.0, 10 mA
2800	5082-2804 ΔV_F = 20 mV	5082-2805 ΔV_F = 20 mV		ΔV_F at I_F = 0.5, 5 mA *I_F = 10 mA ΔC_O at f = 1.0 MHz
2811			5082-2826 ΔV_F = 10 mV ΔC_O = 0.1 pF	ΔV_F at I_F = 10 mA ΔC_O at f = 1.0 MHz
2835			5082-2080 ΔV_F = 10 mV ΔC_O = 0.1 pF	ΔV_F at I_F = 10 mA ΔC_O at f = 1.0 MHz

Note:
1. Batch matched devices have a minimum batch size of 50 devices.

SPICE Parameters

Parameter	Units	5082-2800	5082-2810	5082-2811	5082-2835	5082-2303	5082-2900
B_V	V	75	25	18	9	25	10
C_{J0}	pF	1.6	0.8	1.0	0.7	0.7	1.1
E_G	eV	0.69	0.69	0.69	0.69	0.69	0.69
I_{BV}	A	10E-5	10E-5	10E-5	10E-5	10E-5	10E-5
I_S	A	2.2 x 10E-9	1.1 x 10E-9	0.3 x 10E-8	2.2 x 10E-8	7 x 1.0E-9	10E-8
N		1.08	1.08	1.08	1.08	1.08	1.08
R_S	Ω	25	10	10	5	10	15
P_B	V	0.6	0.6	0.6	0.56	0.64	0.64
P_I		2	2	2	2	2	2
M		0.5	0.5	0.5	0.5	0.5	0.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Parameters

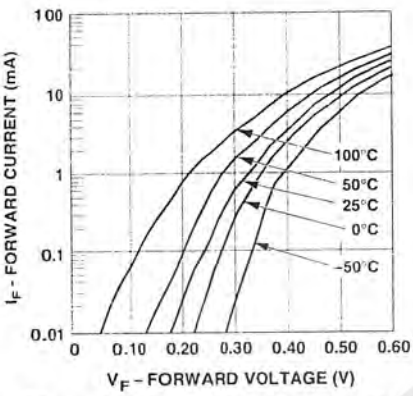


Figure 1. I-V Curve Showing Typical Temperature Variation for 5082-2300 Series and 5082-2900 Schottky Diodes.

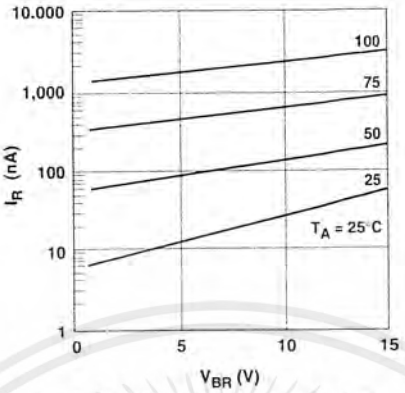


Figure 2. 5082-2300 Series Typical Reverse Current vs. Reverse Voltage at Various Temperatures.

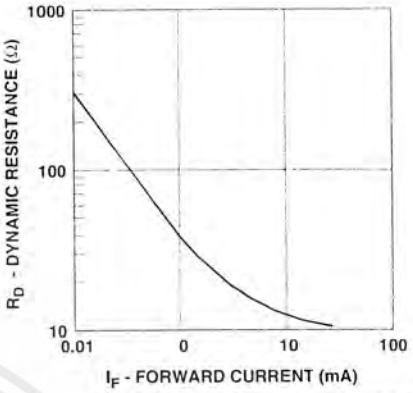


Figure 3. 5082-2300 Series and 5082-2900 Typical Dynamic Resistance (R_D) vs. Forward Current (I_F).

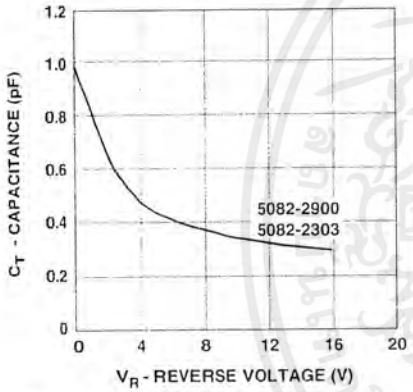


Figure 4. 5082-2300 and 5082-2900 Typical Capacitance vs. Reverse Voltage.

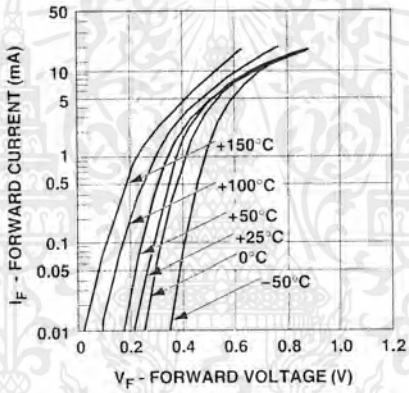


Figure 5. I-V Curve Showing Typical Temperature Variation for 5082-2800 or 1N5711 Schottky Diodes.

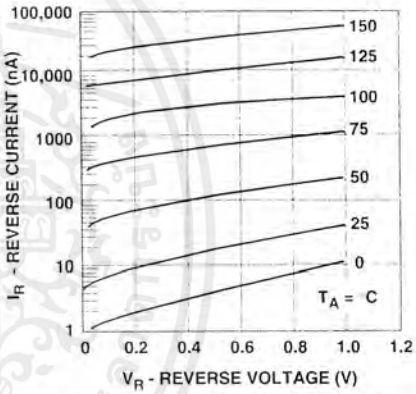


Figure 6. (5082-2800 OR 1N5711) Typical Variation of Reverse Current (I_R) vs. Reverse Voltage (V_R) at Various Temperatures.

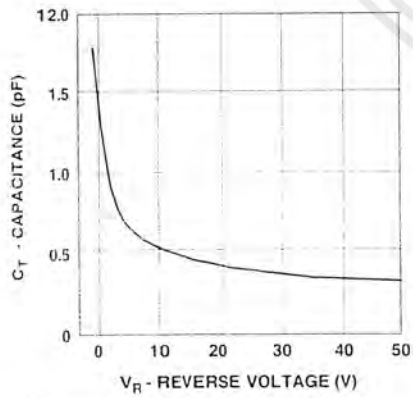


Figure 7. (5082-2800 or 1N5711) Typical Capacitance (C_T) vs. Reverse Voltage (V_R).

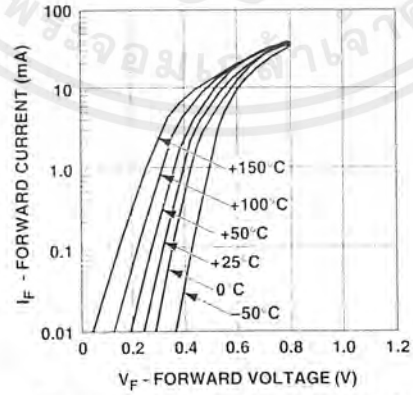


Figure 8. I-V Curve Showing Typical Temperature Variation for the 5082-2810 or 1N5712 Schottky Diode.

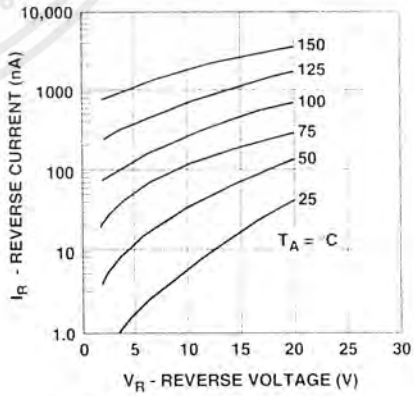


Figure 9. (5082-2810 or IN5712) Typical Variation of Reverse Current (I_R) vs. Reverse Voltage (V_R) at Various Temperatures.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Parameters, continued

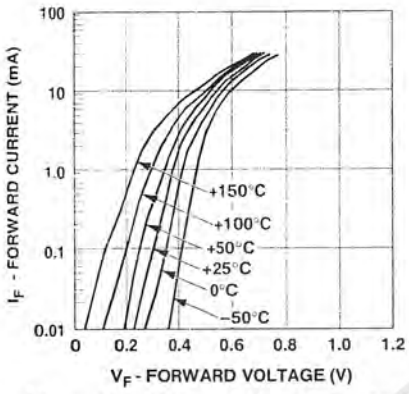


Figure 10. I-V Curve Showing Typical Temperature Variation for the 5082-2811 Schottky Diode.

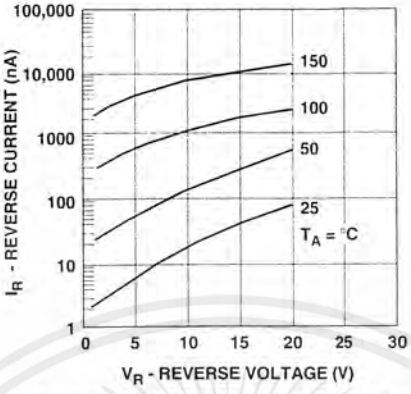


Figure 11. (5082-2811) Typical Variation of Reverse Current (I_R) vs. Reverse Voltage (V_R) at Various Temperatures.

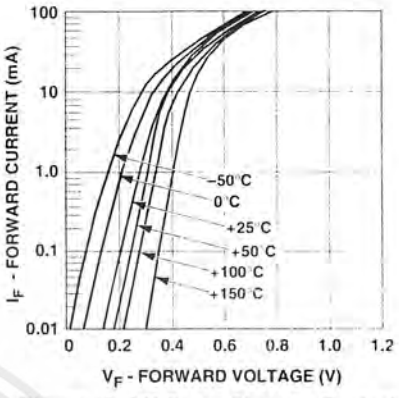


Figure 12. I-V Curve Showing Typical Temperature Variations for 5082-2835 Schottky Diode.

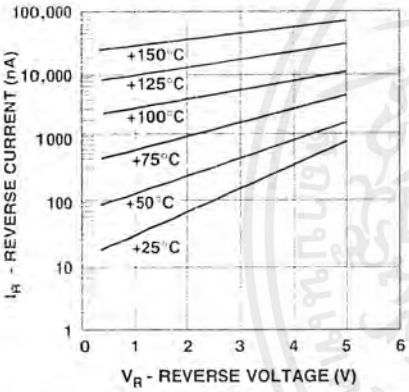


Figure 13. (5082-2835) Typical Variation of Reverse Current (I_R) vs. Reverse Voltage (V_R) at Various Temperatures.

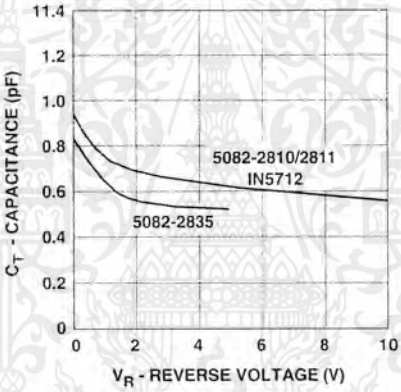


Figure 14. Typical Capacitance (C_T) vs. Reverse Voltage (V_R).

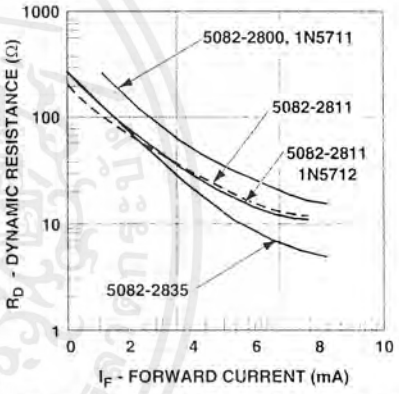


Figure 15. Typical Dynamic Resistance (R_D) vs. Forward Current (I_F).

Diode Package Marking

HPX

XXX

YZZ

where XXX are the last three digits of the 5082-XXXX part number, Y is the last digit of the calendar year, and ZZ is the work week of manufacture.

For example, a 5082-2811 manufactured during the 35th work week of 1996 would be marked

HP2

811

635

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานนี้จะไม่สามารถสำเร็จได้เลย ถ้าไม่มีบุคคลที่คอยให้ความช่วยเหลือเป็นอย่างดีตลอดมา ขอขอบพระคุณท่าน อ. ณรงค์ เหมกรณ์ , อ. นิภา ลีลารุจิ , อ. ทองทด วานิชศรี ที่คอยให้คำปรึกษาและแนะนำเป็นอย่างดีรวมทั้งให้ความอนุเคราะห์สำหรับอุปกรณ์และเครื่องมือต่างๆในการทดลอง

ขอขอบคุณ อ.มนต์ชัย แช่มช้อย , คุณจตุพร เชียงดี , คุณอเนก มีมูซอ ที่คอยช่วยเหลือและแนะนำสิ่งต่างๆในการทดลองเป็นอย่างดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1) ร.ต.อ. สุชาติ กังวารจิตต์ หลักการทำงานเครื่องรับส่งวิทยุและระบบวิทยุสื่อสาร กรุงเทพมหานคร: สำนักพิมพ์ ซีเอ็ดยูเคชั่น จำกัด

2) Stephen A Mass Microwave Mixers Artech House Inc 1986

3) G.Matthaei , L.Young , E.M.T. Jones Microwave Filters,Impedance - Matching Networks, And Coouppling Structures Artech House Inc , 1980

4) George D.Vendelin , Anthony M.Pavio , Ulrich L.Rohde Microwave Circuit Design Using Linear Techniques A Wiley – Interscience Publication , 1990

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้