โมเด็มไร้สายความเร็ว 64 กิโลบิทต่อวินาที

64 kbps WIRELESS MODEM

T032613

โดย

นายณฤทธิ์ ณังธนิศรา

นายเอกรงค์ ประสิทธิรัตน์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เลขหมู่.....
เลขทะเบียน 32613
วัน, เดือน, ปี 18 พ.ค. 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โมเด็มไร้สายความเร็ว 64 กิโลบิทต่อวินาที

64 kbps WIRELESS MODEM

โดย

นายณฤทธิ์ ญังธนิศรา 38014139

นายเอกรงค์ ประสิทธิรัตน์ 38014670

อาจารย์ที่ปรึกษา

ดร.ทองทด วานิชศรี

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2541

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **โมเด็มไร้สายความเร็ว 64 กิโลบิทต่อวินาที**

64 kbps Wireless Modem

ผู้จัดทำ

1. นายณฤทธิ์ ญังธนิศรา 38014139

2. นายเอกรงค์ ประสิทธิรัตน์ 38014670

อาจารย์ที่ปรึกษา

(ดร.ทองทด วานิชศรี)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โมเด็มไร้สายความเร็ว 64 กิโลบิทต่อวินาที

64 kbps WIRELESS MODEM

โดย นายณฤทธิ์ ญังธนิศรา 38014139
นายเอกรงค์ ประสิทธิรัตน์ 38014670

อาจารย์ที่ปรึกษา ดร.ทองทด วานิชศรี

บทคัดย่อ

อุปกรณ์ที่ใช้ในการรับส่งข้อมูลข่าวสารทางคอมพิวเตอร์ในปัจจุบันมีความสำคัญอย่างมาก เนื่องจากมีความจำเป็นที่จะต้องใช้คอมพิวเตอร์ในทุกสาขาวิชา ดังนั้นจึงมีการพัฒนาการรับส่งข้อมูลข่าวสารมากขึ้นเรื่อยๆ ปัจจุบันมีการใช้เทคโนโลยีด้านการสื่อสารไร้สายเข้ามาช่วย ทำให้สามารถส่งข้อมูลผ่านสิ่งกีดขวางหรือสามารถรับข้อมูลข่าวสารเดียวกันพร้อมๆกันทีละหลายๆเครื่อง โครงงานนี้จึงเป็นการนำเสนอการสร้างโมเด็มไร้สายโดยใช้คลื่นวิทยุความถี่ 140 MHz ทำการมอดูเลตสัญญาณในระบบดิจิตอลแบบ BPSK (Binary Phase Shift Keying)

ABSTRACT

The devices that are used in transferring computer data are very important because many works are done by computer thus the development of transmitting data has been increasing. Today , by using technology of wireless telecommunication to help transmitting data through a barriers or receiving data simultaneously by several computers. This project is constructed of wireless modem using radio wave at frequency of 140 MHz and BPSK (Binary Phase shift Keying) digital modulation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทที่ 1 บทนำ 1

บทที่ 2 ทฤษฎีหรือหลักการ 6

2.1 ทฤษฎีเบื้องต้นในการมอดูเลตแบบดิจิตอลในระบบ BPSK 6

2.1.1 ลักษณะทั่วไปของการมอดูเลตสัญญาณดิจิตอลในระบบ BPSK 8

2.2 วงจรคริสตอลออสซิลเลเตอร์ (Crystal Oscillator) 13

2.3 ระบบสังเคราะห์ความถี่ 20

2.3.1 เฟสล็อคลูป 22

2.3.2 การใช้เฟสล็อคลูปในการสังเคราะห์ความถี่ 23

2.3.3 ระบบสังเคราะห์ความถี่ 24

2.3.4 คุณสมบัติของวงจรสังเคราะห์ความถี่ 26

2.3.5 วงจรต่างๆในเฟสล็อคลูป 27

2.3.6 วิธีสังเคราะห์ความถี่แบบมิกซิ่ง 32

2.3.7 วิธีหารความถี่แบบที่ใช้วงจรหารสองมอดูลัส 36

2.3.8 การสังเคราะห์ความถี่ในย่าน HF 38

2.4 การออกแบบระบบสังเคราะห์ความถี่โดยใช้เฟสล็อคลูป 44

2.4.1 การออกแบบวงจรออสซิลเลเตอร์ที่ปรับความถี่ตามแรงดัน (VCO) 45

2.4.2 การออกแบบวงจร Synthesizer 54

2.4.3 การเลือกใช้วงจร Prescaler 57

2.4.4 การออกแบบวงจร Loop Filter 57

2.5 วงจรสร้างสัญญาณพัลส์แบบสุ่ม (Pseudo-Random Generator) 62

2.6 การเข้ารหัสแมนเชสเตอร์ (Manchester Encoder) 66

2.7 วงจรเปรียบเทียบสัญญาณ (Comparator) 67

2.8 ริงมอดูเลเตอร์ (Ring Modulator) 70

2.9 วงจรมิกเซอร์ (Mixer) 72

2.10 การวิเคราะห์บน Smith Chart 76

2.11 สแกตเตอริงเมตริกซ์ (Scattering Matrix) 82

2.11.1 นิยามและความหมายของสแกตเตอริงเมตริกซ์ 82

2.11.2 ความหมายของ S พารามิเตอร์ 83

2.11.3 คุณสมบัติของ S พารามิเตอร์ 85

2.11.4 S เมตริกซ์สำหรับวงจร 2 พอร์ต 88

2.12 วงจรขยายสัญญาณความถี่กึ่งกลาง (IF Amplifier) 91

2.13 วงจรขยายสัญญาณแบนด์วิทด์กว้าง (Wide-Band Amplifier) 96

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.14 การออกแบบ Small Signal RF Amplifier 100
2.15 วงจร Constant Noise Figure 108
2.16 การดีมอดูเลตสัญญาณในระบบ BPSK 110
2.17 การถอดรหัสข้อมูลแบบแมนเชสเตอร์ (Manchester Decoder) 119
บทที่ 3 การคำนวณและการสร้าง 122
3.1 วงจรสร้างสัญญาณพัลส์แบบสุ่ม (Pseudo Random Generator) 122
3.1.1 วงจรคริสตอลออสซิลเลเตอร์ 10.24 MHz (Crystal Oscillator 10.24 MHz) 122
3.1.2 วงจรหารความถี่ (Digital Frequency Divider) 123
3.1.3 วงจรสร้างสัญญาณพัลส์แบบสุ่ม (Pseudo Random Pulse Circuit) 124
3.2 วงจรเข้ารหัสสัญญาณแบบแมนเชสเตอร์ (Manchester Encoder) 124
3.3 การออกแแบวงจรสังเคราะห์ความถี่ด้วยเฟสล็อคลูป 10.7 MHz 125
3.3.1 การออกแบบวงจร VCO ใน PLL 10.7 MHz 125
3.3.2 การออกแบบวงจร Frequency Synthesizer10.7 MHz 128
3.3.3 การการแบบวงจร Loop Filter 128
3.3.4 การออกแบบวงจร Ceramic Filter ที่ 10.7 MHz 129
3.4 การออกแบบวงจรบาลานซ์ริงมอดูเลเตอร์ (Balance Ring Modulator) 130
3.5 การออกแบบวงจรสังเคราะห์ความถี่ด้วยเฟสล็อคลูปความถี่ 150.7 MHz เพื่อใช้เป็น RF Oscillator 131
3.5.1 การออกแบบวงจร VCO ใน PLL 150.7 MHz 131
3.5.2 การออกแบบวงจร Frequency Synthesizer 150.7 MHz 132
3.5.3 การออกแบบวงจร Loop Filter 132
3.6 การออกแบบวงจรมิกเซอร์ 133
3.7 การออกแบบวงจรกรองความถี่ผ่าน (BPF 140 MHz) 134
3.8 วงจรขยายสัญญาณความถี่อาร์เอฟ 135
3.8.1 การออกแบบ 2N3866 สำหรับ RF Small signal amplifier 135
3.8.2 การออกแบบ 2N3866 สำหรับ RF-low power amplifier 139
3.9 การออกแบบวงจรกรองแถบความถี่ก่อนส่งสัญญาณออกอากาศ 140
3.10 การออกแบบวงจรขยายสัญญาณ LNA ที่140 MHz 142
3.11 การออกแบบวงจรขยายสัญญาณแบนด์วิทด์กว้าง 142
3.12 การออกแบบวงจรสังเคราะห์ความถี่ด้วยเฟสล็อคลูปด้านรับ 144
3.13 การออกแบบวงจรมิกเซอร์ 144
3.14 การออกแบบวงจรกรองความถี่ที่ 10.7 MHz 145
3.15 การออกแบบวงจร IF Amplifier 145
3.16 การออกแบบวงจร Carrier Recovery 146

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.16.1 การออกแบบวงจรกรองความถี่ต่ำผ่าน 146
3.16.2 การออกแบบวงจรยกกำลังสอง 146
3.16.3 การออกแบบวงจรกรองแถบความถี่ที่ 21.4 MHz 146
3.17 การออกแบบวงจร Demodulate BPSK 147
3.17.1 วงจรคูณสัญญาณโดยใช้ MC 1496 147
3.17.2 วงจรกรองความถี่ต่ำผ่าน Active ที่ 320 kHz 147
3.18 การออกแบบวงจรถอดรหัสสัญญาณแบบแมนเชสเตอร์ 148
บทที่ 4 การทดลองและผลการทดลอง **150**
4.1 ผลการทดลองวงจรกำเนิดสัญญาณพัลส์แบบสุ่ม (Pseudo Random Pulse Generator) 150
4.1.1 ผลการทดลองวงจรคริสตอลออสซิลเลเตอร์ 10.24 MHz (Crystal Oscillator) 150
4.1.2 ผลการทดลองวงจรหารความถี่ (Frequency Divider) 151
4.1.2.1 ผลการทดลองวงจรหาร 10 ความถี่ 151
4.1.2.2 ผลการทดลองวงจรหาร 16 ความถี่ 152
4.1.3 ผลการทดลองวงจรสร้างสัญญาณพัลส์แบบสุ่ม (Pseudo Random Circuit) 153
4.2 ผลการทดลองวงจรเข้ารหัสสัญญาณข้อมูลแบบแมนเชสเตอร์ (Manchester Encoder) 154
4.3 ผลการทดลองวงจรสังเคราะห์ความถี่ด้วยเฟสล็อคลูป 10.7 MHz สำหรับ
โลคอลออสซิลเลเตอร์ (10.7 MHz PLL Frequency Synthesizer for Local Oscillator) 156
4.3.1 ผลการทดลองวงจร VCO ที่ใช้ในการสังเคราะห์ความถี่ 10.7 MHz 156
4.3.2 วงจร Frequency Synthesizer 10.7 MHz 158
4.3.3 วงจรรวมของการสังเคราะห์ความถี่ 10.7 MHz สำหรับโลคอลออสซิลเลเตอร์ 160
4.3.4 วงจรกรองแถบความถี่ผ่านด้วยเซรามิก (Ceramic Filter ที่ 10.7 MHz) 161
4.4 ผลการทดลองวงจรริงมอดูเลเตอร์ (Ring Modulator) 162
4.5 ผลการทดลองวงจรสังเคราะห์ความถี่ด้วยเฟสล็อคลูป 150.7 MHz สำหรับออสซิลเลเตอร์
ความถี่วิทยุด้านส่ง (150.7 MHz PLL Frequency Synthesizer for RF Oscillator : Tx) 164
4.5.1 ผลการทดลองวงจร VCO ที่ใช้ในการสังเคราะห์ความถี่ 150.7 MHz ภาคส่ง 164
4.5.2 วงจร Frequency Synthesizer 150.7 MHz ภาคส่ง 166
4.5.3 วงจรรวม PLL Frequency Synthesizer 150.7 MHz ภาคส่ง 168
4.6 วงจรมิกเซอร์ (Mixer) 169
4.7 วงจรกรองแถบความถี่ผ่าน 140 MHz (BPF ที่ 140 MHz : Bandwidth 15 MHz) 169
4.8 วงจรขยายสัญญาณความถี่วิทยุ (RF Amplifier) 171
4.8.1 วงจรขยายสัญญาณความถี่ RF ตัวที่ 1 171
4.8.2 วงจรขยายสัญญาณความถี่ RF ตัวที่ 2 173
4.9 วงจรกรองแถบความถี่ผ่าน (BPF ที่ 140 MHz : Bandwidth 30 MHz) 174
4.10 ผลการทดลองวงจรที่มีระดับสัญญาณรบกวนต่ำ (Low Noise Amplifier) 175

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.10.1 วงจรกรองแถบความถี่ผ่านหน้าวงจรขยายที่มีระดับสัญญาณรบกวนต่ำ 175
4.10.2 วงจรขยายที่มีระดับสัญญาณรบกวนต่ำ 176
4.10.3 วงจรกรองแถบความถี่ผ่านหลังวงจรขยายที่มีระดับสัญญาณรบกวนต่ำ 178
4.11 วงจรขยายสัญญาณแบนด์วิทด์กว้าง 179
4.12 ผลการทดลองวงจรสังเคราะห์ความถี่ด้วยเฟสล็อคลูป 150.7 MHz สำหรับออสซิลเลเตอร์ความถี่วิทยุด้านรับ (150.7 MHz PLL Frequency Synthesizer for RF Oscillator : Rx) 181
4.12.1 ผลการทดลองวงจร VCO ที่ใช้ในการสังเคราะห์ความถี่ 150.7 MHz ภาครับ 181
4.12.2 วงจร Frequency Synthesizer 150.7 MHz ภาครับ 183
4.12.3 วงจรรวม PLL Frequency Synthesizer 150.7 MHz ภาครับ 185
4.13 วงจรมิกเซอร์ (Mixer) 186
4.14 วงจรกรองแถบความถี่ (ที่ 10.7MHz Bandwidth : 10 MHz) 186
4.15 วงจรขยายสัญญาณความถี่ IF (ที่ 10.7 MHz) 188
4.16 ผลการทดลองของการทำ Carrier Recovery 189
4.16.1 ผลการทดลองวงจรกรองความถี่ต่ำผ่าน 189
4.16.2 ผลการทดลองวงจรยกกำลังสอง 191
4.16.3 ผลการทดลองวงจรกรองแถบความถี่ที่ 21.4 MHz 192
4.16.4 ผลการทดลองวงจรขยายสัญญาณ 194
4.16.5 ผลการทดลองวงจรหารสองความถี่ด้วย JK-Flip Flop 195
4.16.6 ผลการทดลองวงจรกรองแถบความถี่ด้วย Ceramics Filter ที่ 10.7 MHz 195
4.17 ผลการทดลองของวงจรดีมอดูเลทสัญญาณดิจิตอลแบบ BPSK 196
4.17.1 ผลการทดลองของวงจรคูณสัญญาณแบบ 4 – Quadrant 196
4.17.2 ผลการทดลองของวงจรกรองความถี่ต่ำผ่านที่ 320 kHz แบบ Active 197
4.17.3 ผลการทดลองของวงจรขยายสัญญาณแบบกลับเฟสด้วยออปแอมป์ 200
4.18 ผลการทดลองวงจรถอดรหัสสัญญาณแบบแมนเชสเตอร์ 200
4.17.1 ผลการทดลองวงจร Voltage Comparator 200
4.17.2 ผลการทดลองวงจร Integrator 201
4.17.3 ผลการทดลองวงจร Absolute 202
4.17.4 ผลการทดลองวงจร Voltage Comparator 202
1.17.5 ผลการทดลองวงจรถอดรหัสด้วย D-Flip Flop 203
บทที่ 5 บทวิจารณ์และบทสรุป **205**
ภาคผนวก
กิตติกรรมประกาศ
เอกสารอ้างอิง
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในระยะเวลาที่ผ่านมาการสื่อสารเข้ามามีส่วนสำคัญในการติดต่อสื่อสารในชีวิตประจำวันเพิ่มมากขึ้น ไม่ว่าจะเป็นการติดต่อสื่อสารระหว่างมนุษย์กับมนุษย์หรือว่าจะเป็นการติดต่อสื่อสารระหว่างมนุษย์กับคอมพิวเตอร์หรือว่าจะเป็นการติดต่อสื่อสารระหว่างคอมพิวเตอร์กับคอมพิวเตอร์ ดังนั้นอาจกล่าวได้ว่าในชีวิตประจำวันของเราวันๆหนึ่งนั้นไม่สามารถที่จะหลีกหนีการติดต่อสื่อสารได้เลยตัวอย่างเช่น การใช้โทรศัพท์ในการติดต่อสื่อสาร , การรับชมโทรทัศน์ , การรับฟังวิทยุ , การดึงหรือเลือกใช้ข้อมูลบนฐานข้อมูลคอมพิวเตอร์ส่วนกลาง ในปัจจุบันมีการคิดค้นและพัฒนาระบบสื่อสารขึ้นมาใหม่มากมายหลายระบบ เพื่อให้สามารถตอบสนองต่อความต้องการของผู้ใช้หรือเพื่อต้องการให้ระบบมีความสามารถในการปฏิบัติงานได้รวดเร็วและมีประสิทธิภาพเพิ่มมากขึ้นยกตัวอย่างเช่น การคิดค้นและพัฒนาระบบสื่อสารไร้สาย (Wireless Communication) เป็นต้น

การติดต่อสื่อสารระหว่างคอมพิวเตอร์กับคอมพิวเตอร์ เพื่อใช้ในการส่งข้อมูลหรือแลกเปลี่ยนข้อมูลซึ่งกันและกันมีบทบาทเพิ่มมากขึ้นและเนื่องจากประสิทธิภาพของคอมพิวเตอร์นั้นมีการพัฒนาไปอย่างรวดเร็ว หากอุปกรณ์ที่อยู่รอบข้างมีขีดความสามารถที่ต่ำเราก็ไม่สามารถที่จะใช้ประโยชน์จากคอมพิวเตอร์นั้นได้อย่างสมบูรณ์ จึงกล่าวได้ว่าอุปกรณ์ช่วยหรืออุปกรณ์รอบข้างของคอมพิวเตอร์นั้นมีความสำคัญมากเพราะเป็นส่วนหนึ่งในการกำหนดคุณภาพของการสื่อสาร

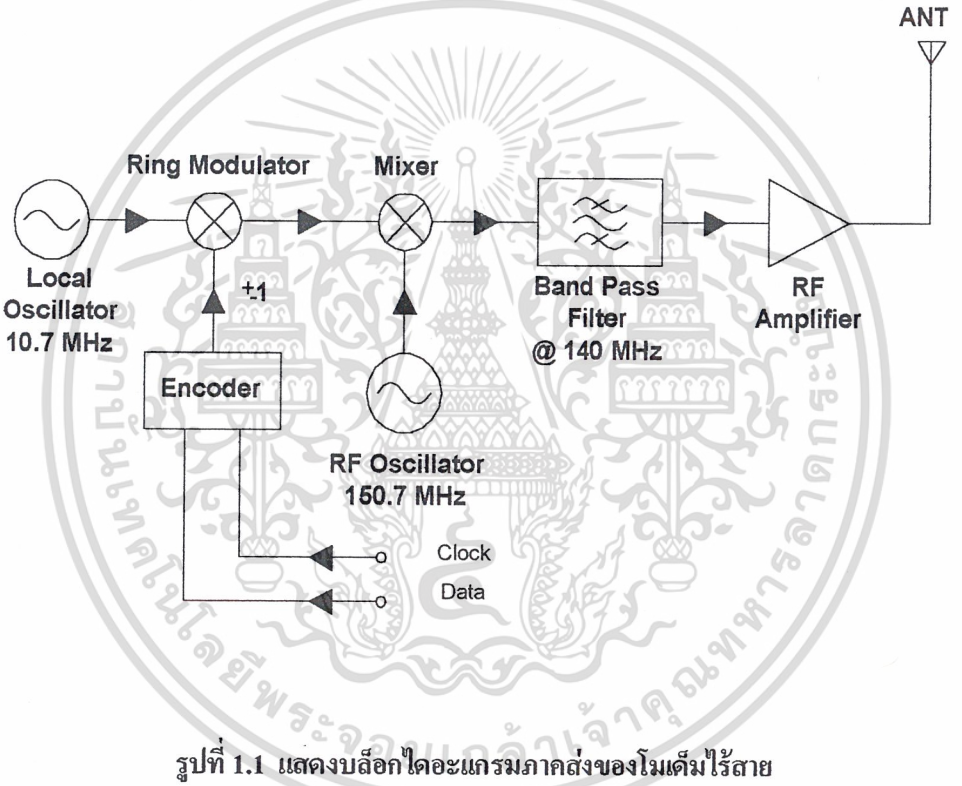
เนื่องจากการส่งผ่านข้อมูลระหว่างคอมพิวเตอร์กับคอมพิวเตอร์ หากมีการส่งข้อมูลผ่านสายนำสัญญาณโดยตรง เมื่อระยะห่างของอุปกรณ์มีมากขึ้นสายนำสัญญาณก็จำเป็นที่ต้องมีความยาวมากขึ้น ซึ่งจะมีผลทำให้ข้อมูลที่ส่งมีความผิดพลาดเกิดขึ้นและจะมีค่าแปรผันกับความยาวของสายนำสัญญาณ แต่ถ้าหากระยะทางระหว่างคอมพิวเตอร์กับคอมพิวเตอร์มีค่ามากเช่น อยู่คนละที่กัน (ระหว่างพื้นที่หนึ่งกับอีกพื้นที่หนึ่ง) จึงจำเป็นที่จะต้องอาศัยข่ายการสื่อสารที่มีอยู่แล้วในพื้นที่นั้นๆยกตัวอย่างเช่น ข่ายสายโทรศัพท์ , เครือข่ายดาวเทียม เป็นต้น

การส่งข้อมูลผ่านสายโทรศัพท์เป็นที่นิยมกันมาก เนื่องจากเป็นระบบสื่อสารพื้นฐานที่มีการให้บริการกันอย่างทั่วถึงแต่ก็มีข้อเสียคือ มีการรบกวนของสัญญาณภายนอกได้ง่าย ดังนั้นการส่งผ่านข้อมูลผ่านสายโทรศัพท์จึงต้องมีการเข้ารหัสสัญญาณที่ต้องการจะส่งก่อนเพื่อลดการผิดพลาดของข้อมูลและต้องทำการมอดูเลทกับคลื่นพาห์เสียก่อน ซึ่งคลื่นพาห์ที่ใช้ในการรับส่งข้อมูลก็เป็นคลื่นเสียงนั้นเอง (300-3400Hz) ส่วนอุปกรณ์ที่ใช้ในมอดูเลทข้อมูลที่เข้ารหัสแล้วเข้ากับคลื่นพาห์มีชื่อเรียกว่า “ โมเด็ม ” (Modem) มาจากคำว่ามอดูเลเตอร์-ดีมอดูเลเตอร์ (Modulator-Demodulator) ซึ่งจะมีการบอกความเร็วในการรับส่งข้อมูลเป็นบิทต่อวินาที (Bit per Second : bps) หรือบอดต่อวินาที (Baud per Second) แต่เนื่องจากโมเด็มนี้อาศัยสายสัญญาณโทรศัพท์เป็นตัวกลางในการส่งรับสัญญาณคลื่นพาห์ ดังนั้นในกรณีที่ไม่สามารถเดินสายโทรศัพท์หรือมีสิ่งกีดขวางขั้นอยู่หรืออื่นๆจะทำให้ไม่สามารถติดต่อสื่อสารกันได้ ต่อมาจึงได้อาศัยเทคโนโลยีของการสื่อสารไร้สายเข้ามาช่วยโดยทำการเปลี่ยนความถี่ของคลื่นพาห์ขึ้นจากความถี่เสียงเป็นความถี่วิทยุและทำการเปลี่ยนตัวกลางในการส่งสัญญาณจากสายโทรศัพท์มาเป็นอากาศ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการเปลี่ยนแปลงดังกล่าวทำให้สามารถที่จะลดปัญหาที่กล่าวข้างต้นลงได้ เพราะฉะนั้นในการทดลองนี้จะได้นำเสนอแนวทางในการคิดค้น , ออกแบบและพัฒนา โดยตั้งแต่บทที่ 2 จะเป็นทฤษฎีหลักที่เกี่ยวข้องและควรรู้ ในบทที่ 3 จะเป็นการออกแบบวงจรเพื่อการสร้าง และในบทที่ 4 จะนำเสนอผลที่ได้จากการทดลองมาอธิบาย ส่วนในบทสุดท้ายคือบทที่ 5 จะเป็นการสรุปผลการทดลองรวมถึงข้อปัญหาต่างๆมาอธิบายรวมทั้งวิธีการแก้ไขที่สามารถปฏิบัติได้ตามลำดับ

ก่อนที่จะทำการสร้างวงจรขึ้นมาได้นั้นสิ่งแรกที่จะต้องทำคือการเขียนบล็อกไดอะแกรมขึ้นมาก่อน บล็อกไดอะแกรมของโมเด็มไร้สายแยกเป็นด้านส่งและด้านรับสามารถแสดงได้ดังนี้



รูปที่ 1.1 แสดงบล็อกไดอะแกรมภาคส่งของโมเด็มไร้สาย

ภาคส่ง

จากบล็อกไดอะแกรมของภาคส่งของโมเด็มไร้สาย(รูปที่1.1)สัญญาณที่ออกจากวงจรกำเนิดความถี่โลคัล (Local Oscillator) จะมีค่าเท่ากับ

$$\phi(t) = Cos\left(2\pi \times 10.7 \times 10^{6} t\right) \quad \text{.....(1.1)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อผ่านวงจร Ring Modulator เพื่อทำการมอดูเลทข้อมูลเข้ากับคลื่นพาห์ถ้ากำหนดให้สัญญาณข้อมูลที่ผ่านการเข้ารหัสสัญญาณมาแล้วมีค่าเป็น $f(t)$ แล้วเอาท์พุทหลังการมอดูเลทจะมีค่าเป็น

$$\phi(t) = Cos\left(2\pi \times 10.7 \times 10^{6} t + \pi(1 - f(t))\right) \quad \text{.....(1.2)}$$

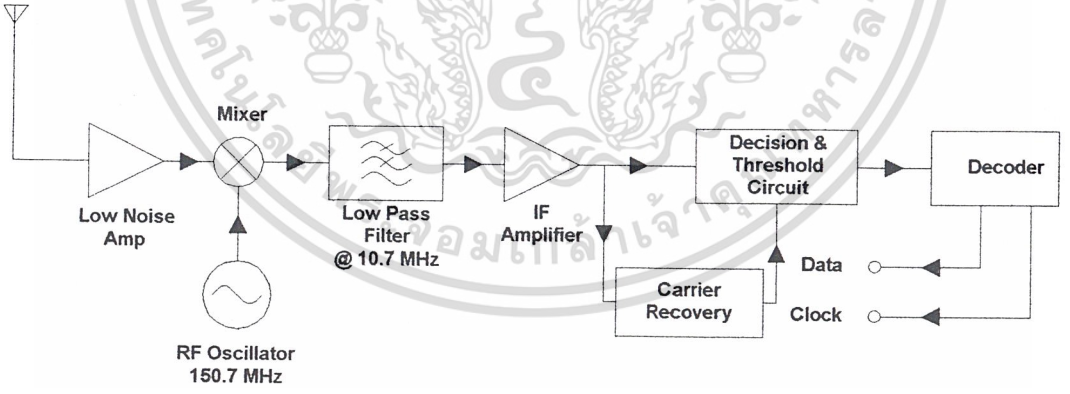
เมื่อผ่านมิกเซอร์เพื่อทำการมิกซ์สัญญาณที่ผ่านการมอดูเลทแล้วกับคลื่นความถี่วิทยุที่ 150.7 MHz สัญญาณที่ได้จะมีค่า

$$\phi(t) = Cos\left(2\pi \times (150.7 \pm 10.7) \times 10^{6} t + \pi(1 - f(t))\right) \quad \text{.....(1.3)}$$

หลังจากนั้นนำสัญญาณที่ได้ผ่านวงจรกรองแถบความถี่ผ่าน(Band Pass Filter ที่ 140 MHz) แล้ว สัญญาณเอาท์พุทที่ได้จะเป็น

$$\phi(t) = Cos\left(2\pi \times 140 \times 10^{6} t + \pi(1 - f(t))\right) \quad \text{.....(1.4)}$$

สัญญาณที่ได้นี้จะนำส่งออกผ่านอากาศไปโดยทำการขยายสัญญาณให้มีความแรงด้วย RF Amplifier ก่อนแล้วนำสัญญาณส่งออกสายอากาศต่อไป



รูปที่ 1.2 แสดงบล็อกไดอะแกรมภาครับของโมเด็มไร้สาย

ภาครับ

จากบล็อกไดอะแกรมของภาครับของโมเด็มไร้สาย (รูปที่1.2) สัญญาณที่รับได้จากอากาศผ่านวงจรขยายสัญญาณด้วย Low Noise Amplifier (LNA) มีค่าเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\alpha(t) = Cos(2\pi \times 140 \times 10^6 t + \pi(1 - f(t))) \quad (1.5)$$

เมื่อผ่านวงจรมิกเซอร์เพื่อทำการลดความถี่ของคลื่นพาห์เป็นความถี่กึ่งกลาง (Intermediate Frequency IF) โดยทำการมิกซ์สัญญาณที่ได้จาก LNA เข้ากับสัญญาณที่กำเนิดจากวงจรกำเนิด RF Oscillator โดยกำหนดให้ความถี่ที่ได้ RF Oscillator มีค่าเป็น

$$\alpha(t) = Cos(2\pi \times 150.7 \times 10^6 t) \quad (1.6)$$

จะได้เอาท์พุทของวงจรมิกเซอร์คือ

$$\alpha(t) = Cos(2\pi \times (150.7 \pm 140) \times 10^6 t + \pi(1 - f(t))) \quad (1.7)$$

เมื่อผ่านวงจรกรองความถี่ต่ำผ่านเพื่อเลือกเอาเฉพาะองค์ประกอบที่ความถี่ต่ำสัญญาณที่ได้มีค่าเท่ากับ

$$\alpha(t) = Cos(2\pi \times 10.7 \times 10^6 t + \pi(1 - f(t))) \quad (1.8)$$

หลังจากนั้นนำสัญญาณที่ได้ในสมการที่ (1.8) ผ่านวงจร Carrier Recovery โดยจะประกอบด้วยการทำงานดังนี้คือ นำสัญญาณที่ได้มาทำการยกกำลังสองก่อนจะได้

$$\alpha(t) = Cos^2(2\pi \times 10.7 \times 10^6 t + \pi(1 - f(t))) \quad (1.9)$$

$$\alpha(t) = \frac{1}{2} + \frac{1}{2} Cos(2\pi \times 21.4 \times 10^6 t + 2\pi(1 - f(t))) \quad (1.10)$$

$$\alpha(t) = \frac{1}{2} + \frac{1}{2} Cos(2\pi \times 21.4 \times 10^6 t) \quad (1.11)$$

สัญญาณที่ได้จะถูกกรองด้วยวงจรกรองแถบความถี่ผ่าน (BPF) ที่ 21.4 MHz จะได้

$$\alpha(t) = Cos(2\pi \times 21.4 \times 10^6 t) \quad (1.12)$$

สัญญาณที่ได้จากสมการที่ (1.12) จะถูกหารสองทางความถี่จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\alpha(t) = Cos(2\pi \times 10.7 \times 10^6 t) \quad \text{.....(1.13)}$$

นำสัญญาณที่ได้จากวงจร Carrier Recovery (ตามสมการที่ 1.13) ไปทำการคูณกับสัญญาณที่ได้ตามสมการที่(1.8)จะได้

$$\alpha(t) = Cos(2\pi \times 10.7 \times 10^6 t + \pi(1 - f(t))) \times Cos(2\pi \times 10.7 \times 10^6 t) \quad \text{.....(1.14)}$$

$$\alpha(t) = \frac{1}{2} Cos(\pi(1 - f(t))) + \frac{1}{2} Cos(2\pi \times 21.4 \times 10^6 t + \pi(1 - f(t))) \quad \text{.....(1.15)}$$

นำสัญญาณที่ได้ผ่านวงจรกรองแถบความถี่ต่ำผ่าน(Low Pass Filter)จะได้

$$\alpha(t) = Cos(\pi(1 - f(t))) \quad \text{.....(1.16)}$$

ซึ่ง $\alpha(t) = +1$ เมื่อ $f(t) = +1$

$\alpha(t) = -1$ เมื่อ $f(t) = +0$

สัญญาณข้อมูลที่ได้จะถูกส่งต่อให้วงจรถอดรหัสอีกทีหนึ่ง เนื่องจากข้อมูลนั้นมีการเข้ารหัสมาแล้วจากทางด้านเครื่องส่งเพื่อป้องกันความผิดพลาดที่อาจจะเกิดขึ้นได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีหรือหลักการ

2.1 ทฤษฎีเบื้องต้นในการมอดูเลทแบบดิจิตอลในระบบ BPSK (Binary Phase Shift Keying)

คลื่นที่มีความต่อเนื่องในลักษณะสัญญาณซายน์ (Sinusoidal) สามารถที่จะเกิดการเปลี่ยนแปลงได้ ไม่ว่าจะเป็นแอมพลิจูดหรือเฟสหรือมุมของสัญญาณตามสมการ

$$\phi(t) = a(t)\cos[\omega_c t + \gamma(t)] \qquad (2.1)$$

จากสมการที่2.1 ถ้าเราให้ $\gamma(t)$ มีค่าคงที่และทำการเปลี่ยนแปลงสัญญาณ $a(t)$ให้มีความเกี่ยวเนื่องกับ $f(t)$ หรือสัญญาณข่าวสารที่ต้องการจะฝากส่ง แล้ว ความสัมพันธ์ที่ได้นี้จะกลายเป็นแนวความคิดในการมอดูเลชั่นทางแอมพลิจูด (Amplitude Modulation) ตามสมการที่ (2.2)

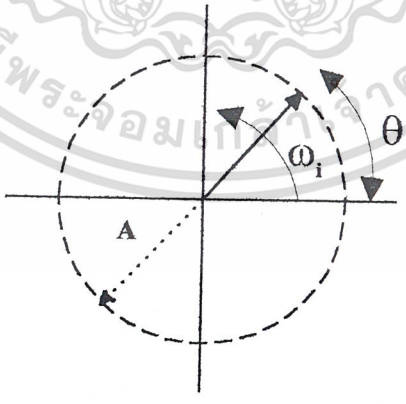
$$\phi_{AM}(t) = f(t)\cos[\omega_c t + \theta] \qquad (2.2)$$

แต่ถ้าเรากำหนดให้ $a(t)$ หรือแอมพลิจูดของสัญญาณ sinusoidal มีค่าคงที่เท่ากับ A แต่ทำการเปลี่ยนแปลงมุมของสัญญาณ หรือ $\gamma(t)$ ให้เกี่ยวเนื่องสัมพันธ์กับสัญญาณ $f(t)$ แล้ว ความสัมพันธ์นี้จะกลายเป็นแนวความคิดในการมอดูเลตเชิงมุม (Angle Modulation) ซึ่งมุมของสัญญาณ sinusoidal สามารถอธิบายได้ในเทอมของความถี่ (frequency) หรือ เฟส (Phase) ทั้งความถี่และเฟสต่างก็มีความสัมพันธ์ซึ่งกันและกันคือ ความถี่ของสัญญาณ sinusoidal คือ อัตราการเปลี่ยนแปลงมุมเฟสของสัญญาณเทียบกับเวลา ตามสมการที่ (2.3)

$$\omega(t) = \frac{d\theta}{dt} \qquad (2.3)$$

หรือ

$$\theta(t) = \int_0^t \omega_i(\tau)d\tau + \theta_0 \qquad (2.4)$$



รูปที่ 2.1 แสดงเฟสและความถี่เชิงมุมของสัญญาณ sinusoidal

จากแนวความคิดในเรื่องที่กล่าวมาทำให้เกิดการมอดูเลตใน 2 ลักษณะ ในลักษณะแรกจะทำการเปลี่ยนเฟสของสัญญาณ sinusoidal ให้เกี่ยวเนื่องสัมพันธ์กับสัญญาณ $f(t)$ เรียกว่าการมอดูเลตทางเฟส (Phase Modulation :PM) ตามสมการที่ (2.5) และ อีกลักษณะหนึ่งคือทำการเปลี่ยนแปลงความถี่ของ

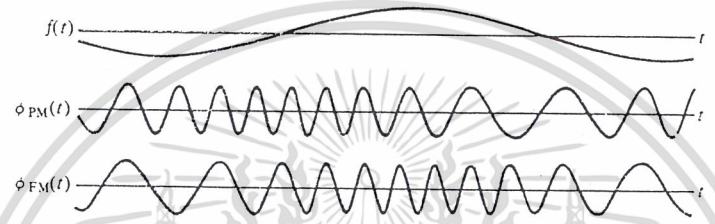
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ sinusoidal ให้สัมพันธ์กับสัญญาณ $f(t)$ เรียกว่า การมอดูเลตทางความถี่ (Frequency Modulation :FM) ตามสมการที่ (2.6)

$$\phi_{PM} = A_c \cos\left[\omega_c t + k_p f(t)\right] \qquad (2.5)$$

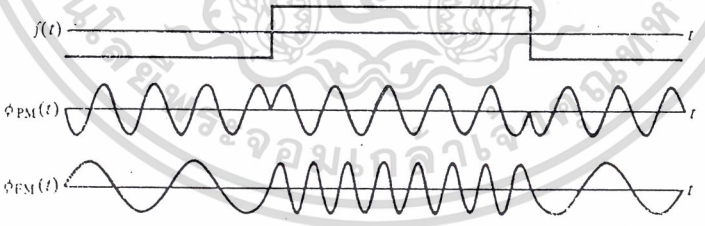
$$\phi_{FM} = A_c \cos\left[\omega_c t + k_f \int f(t)dt\right] \qquad (2.6)$$

ถ้าสัญญาณที่ต้องการจะฝากส่งหรือ $f(t)$ มีลักษณะเป็นสัญญาณ sinusoidal หรือสัญญาณที่มีความต่อเนื่องใดๆแล้ว ผลที่ได้จากการมอดูเลตทางเฟส กับ ผลที่ได้จากการมอดูเลตทางความถี่ สามารถแสดงได้ตามรูปที่ 2.2



รูปที่ 2.2 แสดงเอาท์พุทจากการมอดูเลตทางเฟสและความถี่เมื่อสัญญาณอินพุทคือสัญญาณซายน์

ถ้าสัญญาณที่ต้องการจะฝากส่งหรือ $f(t)$ มีลักษณะเป็นสัญญาณสี่เหลี่ยมหรือสัญญาณดิจิตอล (discrete signal or digital signal) แล้ว ผลที่ได้จากการมอดูเลตทางเฟสกับผลที่ได้จากการมอดูเลตทางความถี่สามารถแสดงได้ตามรูปที่ 2.3



รูปที่ 2.3 แสดงเอาท์พุทจากการมอดูเลตทางเฟสและความถี่เมื่ออินพุทคือสัญญาณสี่เหลี่ยม

ในการมอดูเลตทางเฟสกับสัญญาณดิจิตอลนั้นจะได้การมอดูเลตที่เรียกว่า "PSK (Phase Shift Keying)" และการมอดูเลตทางความถี่กับสัญญาณดิจิตอลนั้น จะได้การมอดูเลตที่เรียกว่า "FSK (Frequency Shift Keying)" นอกจากนั้น การมอดูเลตสัญญาณดิจิตอลในรูปแบบของการมอดูเลชั่นทางแอมพลิจูด จะได้การมอดูเลตที่เรียกว่า "ASK (Amplitude Shift Keying)"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.1 ลักษณะทั่วไปของการมอดูเลตสัญญาณดิจิตอลในระบบ BPSK

การมอดูเลตสัญญาณดิจิตอลในแบบ PSK (Phase Shift Keying) นั้นมีพื้นฐานมาจากการมอดูเลตทางเฟส (PM : Phase Modulation) หรือบางทีเรียกว่า " Carrier Phase Modulation " โดยเริ่มต้นพิจารณาจากสมการการมอดูเลตทางเฟสคือ

$$\phi_{PM}(t) = A_c \cos\left[\omega_c t + K_p m(t)\right] \qquad (2.7)$$

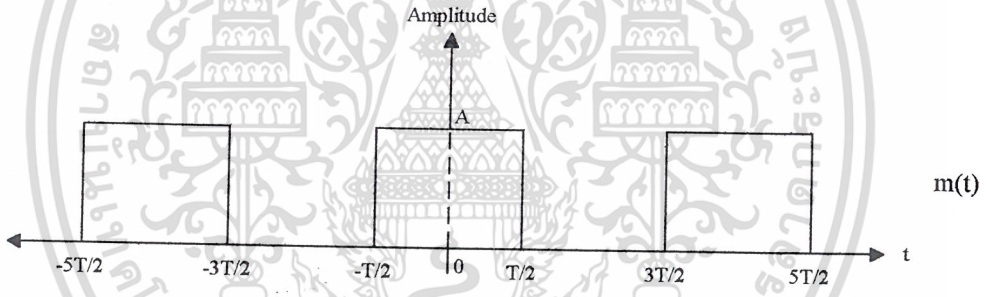
เมื่อ

$\phi_{PM}(t)$ คือ สัญญาณคลื่นพาห์ที่มีการมอดูเลตกับสัญญาณที่ต้องการจะฝากส่ง (Phase Modulated Signal)

K_p คือ ค่าคงที่ในการมอดูเลตทางเฟส (Phase Modulation Constant)

$m(t)$ คือ สัญญาณที่ต้องการจะฝากส่งไปกับคลื่นพาห์ (Phase Modulating Signal)

ถ้ากำหนดให้สัญญาณที่ต้องการจะฝากส่งไปกับคลื่นพาห์เป็นสัญญาณสี่เหลี่ยมตามรูปที่ 2.4



รูปที่ 2.4 สัญญาณที่ต้องการจะฝากส่งไปกับคลื่นพาห์โดยใช้วิธีการมอดูเลชั่นทางเฟส

ในบางครั้ง สัญญาณที่จะทำการมอดูเลตทางเฟสกับคลื่นพาห์เป็นสัญญาณดิจิตอล อาจถูกเรียกว่าเป็นสัญญาณเบสแบนด์ (Baseband – Digital) ก็ได้

จากรูปที่ 2.4 จะพบว่าสัญญาณเบสแบนด์ที่ต้องการจะมอดูเลตจะมีระดับคงที่ 2 ระดับคือ +A และ 0 และถ้ากำหนดค่าคงที่ในการมอดูเลตทางเฟสมีค่าเป็น π / A แล้วแทนค่าลงในสมการที่ (2.7) จะได้

$$\phi_{PM}(t) = A_c \cos\left[\omega_c t + \left(\frac{\pi}{A}\right) m(t)\right] \qquad (2.8)$$

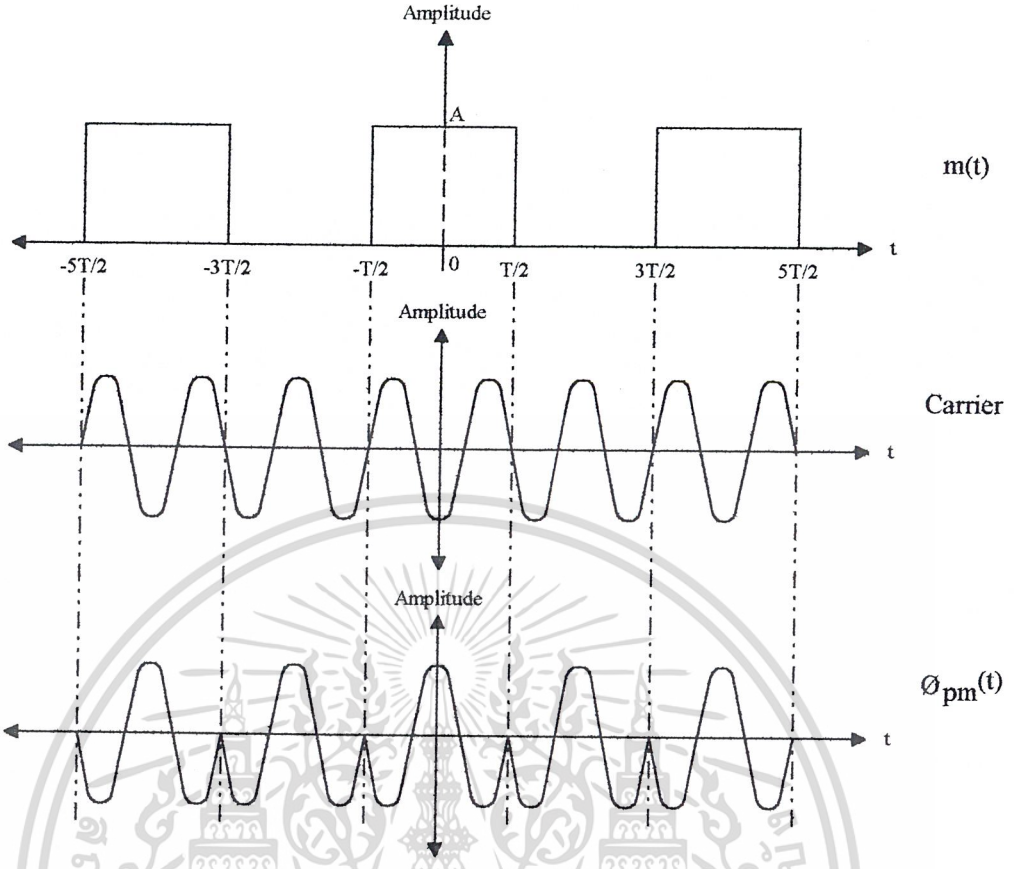
โดย

$$\phi_{PM}(t) = A_c \cos\left[\omega_c t\right] \quad \text{เมื่อ } m(t) = 0 \qquad (2.9)$$

$$\phi_{PM}(t) = A_c \cos\left[\omega_c t + \pi\right] \quad \text{เมื่อ } m(t) = \text{A} \qquad (2.10)$$

ตามรูปที่ 2.5 เป็นการเปรียบเทียบระหว่างสัญญาณเบสแบนด์กับคลื่นพาห์และเอาท์พุทที่ได้จากการมอดูเลตทางเฟส

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 แสดงการเปรียบเทียบระหว่างสัญญาณแบสแบนด์ดิจิตอลกับคลื่นพาห์ และเอาท์พุทที่ได้จากการมอดูเลททางเฟส

ซึ่งผลที่ได้จากการมอดูเลตสัญญาณดิจิตอลเข้ากับคลื่นพาห์ ในรูปแบบของมอดูเลชั่นทางเฟส (PM) นั้น จะพบว่าเมื่อระดับของสัญญาณเบสแบนด์มีการเปลี่ยนแปลงระดับสัญญาณ คือ จากสูงไปต่ำ หรือ ต่ำไปสูงนั้น คลื่นพาห์จะมีการเปลี่ยนแปลงเฟสอย่างกะทันหันโดยมีการเปลี่ยนเฟสไปเท่ากับ π ซึ่ง ด้วยเหตุนี้เองจึงเรียกการมอดูเลททางเฟสในแบบที่สัญญาณที่ต้องมอดูเลตเป็นสัญญาณดิจิตอลว่า " PSK (Phase Shift - Keying)" จากกราฟในรูปที่ 2.5 จะพบว่าในกรณีที่สัญญาณมีระดับสูง (logic 1) เฟสจะทำการเลื่อนไปเท่ากับ π (180°) แต่เมื่อสัญญาณมีระดับต่ำ (logic 0) เฟสจะไม่มีการเลื่อนแต่ในบางครั้งอาจมีการลบสัญญาณที่ต้องการมอดูเลทกับค่าคงที่ซึ่งมีค่าเท่ากับ A เสียก่อน ดังนั้น จากสมการที่ (2.8) สามารถเขียนใหม่ได้เป็น

$$\phi_{PM}(t) = A_c \cos\left[\omega_c t + \left(\frac{\pi}{A}\right)\left(A - m(t)\right)\right] \qquad (2.11)$$

โดย

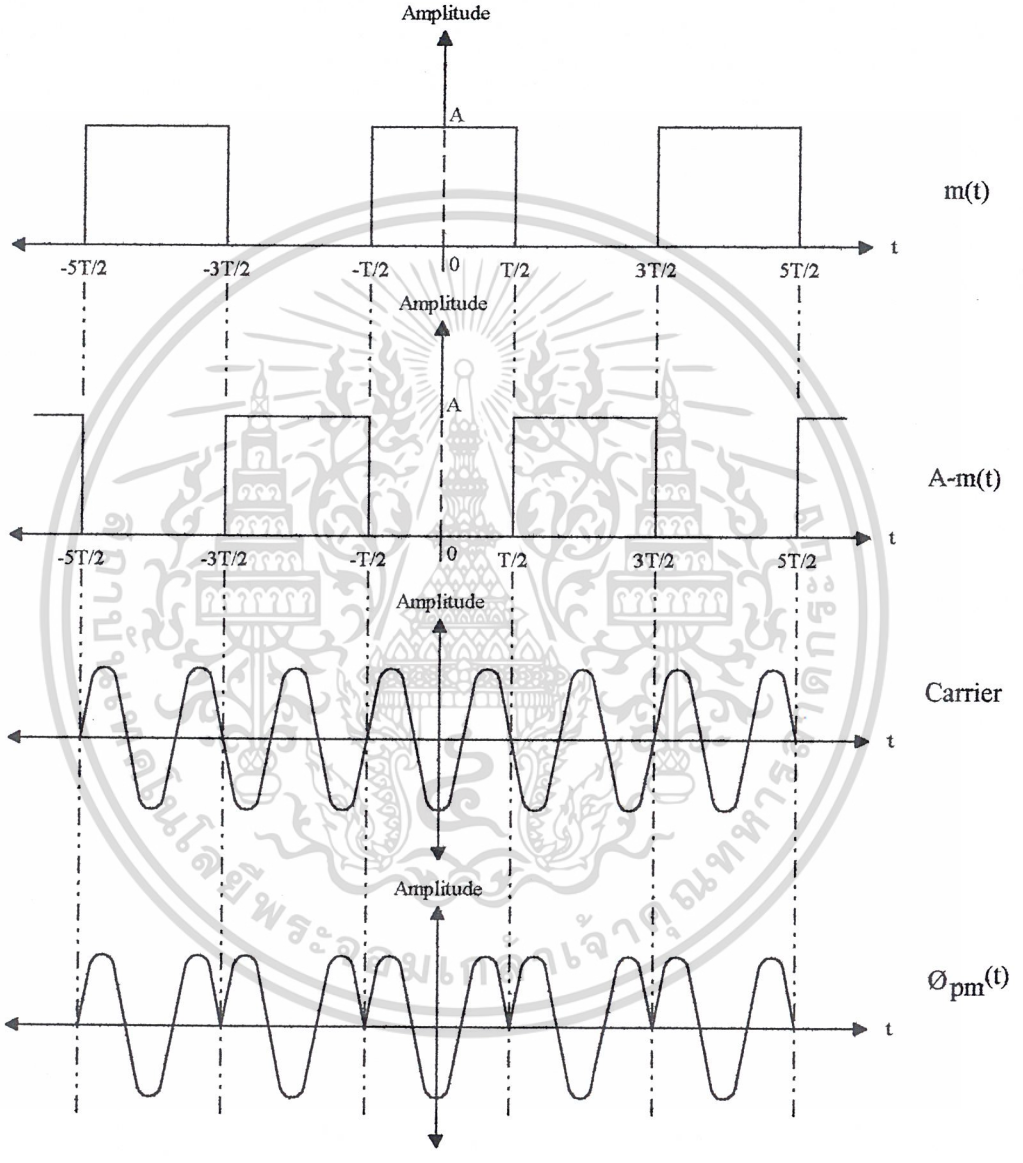
$$\phi_{PM}(t) = A_c \cos[\omega_c t] \qquad \text{เมื่อ } m(t) = \text{A} \qquad (2.12)$$

$$\phi_{PM}(t) = A_c \cos[\omega_c t + \pi] \qquad \text{เมื่อ } m(t) = 0 \qquad (2.13)$$

ซึ่งจะพบว่าผลที่ได้จากสมการที่ (2.11) และ (2.12) จะตรงกันข้ามกับผลที่ได้จากสมการที่ (2.9) และ (2.10) และจากรูปที่ 2.5 จะได้เอาท์พุทตามรูปที่ 2.6 คือ จากการมอดูเลชั่นทางเฟสที่กล่าว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มาข้างต้นนั้น จะพบว่าขนาดของสัญญาณคลื่นพาห์จะมีแอมพลิจูดคงที่ตลอด แต่จะมีการเปลี่ยนเฟสเมื่อข้อมูลมีการเปลี่ยนแปลง จากสูงไปต่ำหรือต่ำไปสูง โดยมีค่าเท่ากับ π (**180** °) และความถี่จะคงเดิมเสมอ จึงเรียกการมอดูเลตทางเฟส เมื่อสัญญาณที่ต้องการมอดูเลตมีลักษณะเป็นสัญญาณดิจิตอล 2 ระดับ และให้ลักษณะต่างๆดังที่กล่าวมาแล้วข้างต้นว่าเป็นวิธีการมอดูเลททางดิจิตอลแบบ BPSK (Binary Phase Shift Keying)



รูปที่ 2.6 แสดงการเปรียบเทียบระหว่างสัญญาณเบสแบนด์ดิจิตอลกับคลื่นพาห์และเอาท์พุทที่ได้จากการมอดูเลททางเฟสเมื่อจัดสัญญาณอินพุทเสียใหม่

จากการมอดูเลชั่นทางเฟสที่กล่าวมาข้างต้นนั้นจะพบว่าขนาดของสัญญาณคลื่นพาห์จะมีแอมพลิจูดคงที่ตลอด แต่จะมีการเปลี่ยนเฟสเมื่อข้อมูลมีการเปลี่ยนแปลง จากสูงไปต่ำหรือต่ำไปสูง โดยมีค่าเท่ากับ π และความถี่จะคงเดิมเสมอจึงเรียกการมอดูเลตทางเฟส เมื่อสัญญาณที่ต้องการมอดูเลตมี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะเป็นสัญญาณดิจิตอล 2 ระดับ และให้ลักษณะต่างๆ ดังที่กล่าวมาแล้วข้างต้น เป็นวิธีการมอดูเลตทางดิจิตอลแบบ BPSK (Binary Phase Shift Keying)

ที่กล่าวมาแล้วนั้นเป็นการมอดูเลชั่นแบบ BPSK (Binary Phase Shift Keying) เป็นการทำให้สัญญาณของคลื่นพาห์มีการเลื่อนเฟสครั้งละ π ซึ่งใช้กับการมอดูเลตสัญญาณดิจิตอลทีละ 1 บิต คือความเป็นไปได้ของข้อมูล 1 บิต(เท่ากับ 0 หรือ 1) จะมีค่าเท่ากับ 2 ดังนั้นเฟสที่จะเปลี่ยนแปลงต่อการเปลี่ยนแปลงข้อมูล 1 ค่าจะเท่ากับ $2\pi/2 = \pi$ หากต้องการมอดูเลตสัญญาณดิจิตอลโดยต้องการให้การเลื่อนเฟส 1 ครั้งแทนข้อมูล 2 บิตแล้ว ความเป็นไปได้ของข้อมูล 2 บิต (เท่ากับ 00, 01,10,11 (2^2)) จะมีค่าเท่ากับ 4 ดังนั้นเฟสที่จะเปลี่ยนแปลงข้อมูลจะเท่ากับ $2\pi/4 = \pi/2$ ตามที่ได้กล่าวมาแล้วสามารถเขียนเป็นสมการการมอดดูเลทชั่นสัญญาณดิจิตอลแบบ PSK ได้ตามสมการที่ (2.14) คือ

$$V_o(t) = V\cos\left[\omega_c(t) - \frac{2\pi(i-1)}{M}\right] \qquad (2.14)$$

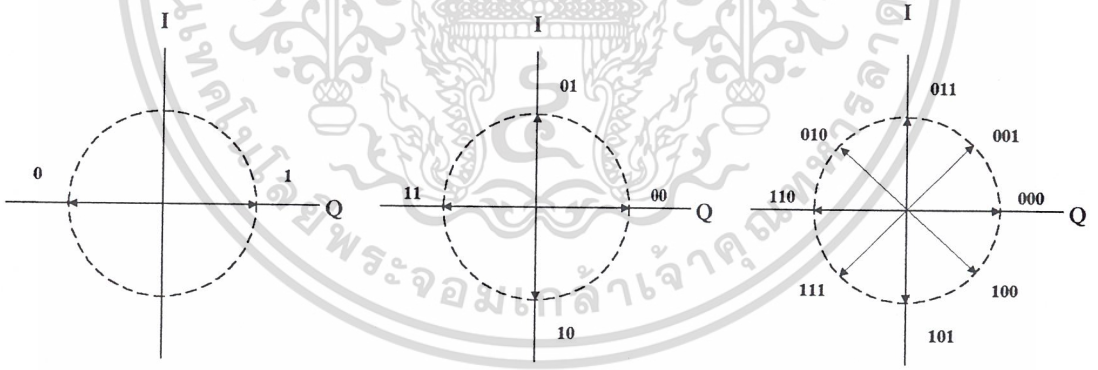
เมื่อ I = 1,2,.....,M

$M=2^N$ ความเป็นไปได้ทั้งหมดของข้อมูล

N=จำนวนบิทของข้อมูลที่ต้องการส่งต่อการเปลี่ยนแปลงเฟสของคลื่นพาห์หนึ่งครั้ง

ω_c = ความเร็วเชิงมุมของคลื่นพาห์ (rad/s)

ตัวอย่างการมอดูเลชั่นสัญญาณดิจิตอลแบบ PSK เมื่อ N=1,2,และ 3 แสดงได้ตามรูปที่ 2.7



2 PSK (BPSK) 4 PSK 8 PSK

รูปที่ 2.7 แสดงเฟสไดอะแกรมที่ได้จากการมอดูเลตสัญญาณดิจิตอลแบบ PSK

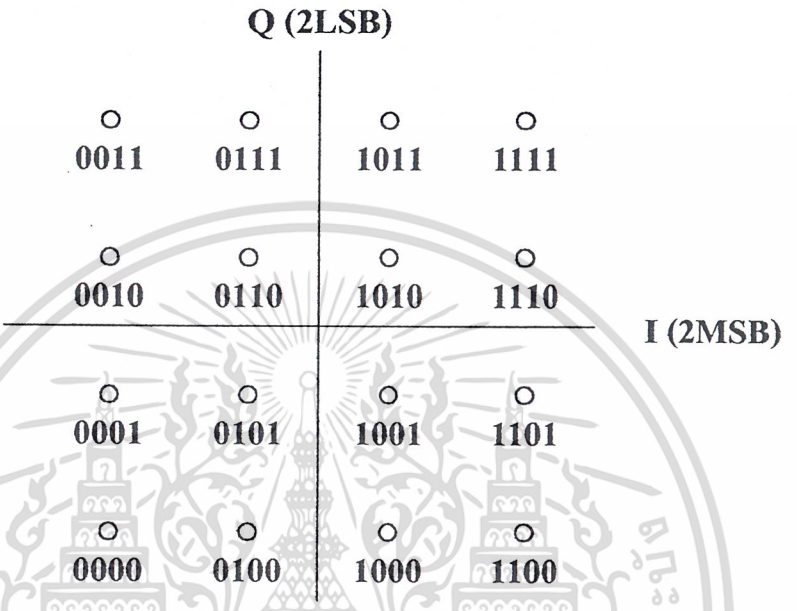
ในการมอดูเลตแบบ PSK ในระดับสูงๆ มักไม่ค่อยนิยมใช้เนื่องจากเฟสของแต่ละตำแหน่งข้อมูลจะใกล้กันมาก เมื่อทำการส่งผ่านคลื่นพาห์ที่ได้จากการผ่านการมอดูเลทแล้วทางเครื่องรับเมื่อทำการรับสัญญาณนี้มา จะมีการผสมกันระหว่างสัญญาณและสัญญาณรบกวน(noise)จนบางครั้งสัญญาณรบกวนที่ได้มีอิทธิพลมากจนอาจทำให้การเปลี่ยนแปลงของคลื่นพาห์ที่รับได้ผิดเพี้ยนไปจากเดิม เป็นผลให้การกู้เอาสัญญาณดิจิตอลที่ฝากส่งมานั้นผิดพลาดตามไปด้วย เพราะฉะนั้นในการฝากส่งสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ครั้งละหลายๆบิตมักไม่ค่อยนิยมส่งในแบบ PSK โดยตรงแต่จะอาศัยการมอดูเลตทางแอมพลิจูดเข้าร่วมด้วย จะได้การมอดูเลตที่เรียกว่า QAM (Quadrature Amplitude Modulation) ตามสมการที่ (2.15)

$$S(t) = I(t)\sin(\omega_c t) + Q(t)\cos(\omega_C t) \qquad (2.15)$$

ตัวอย่างการมอดูเลตสัญญาณดิจิตอลทีละ 4 บิต จะได้เฟสไดอะแกรมตามรูปที่ 2.8



รูปที่ 2.8 แสดงเฟสไดอะแกรมของ 16 QAM

สิ่งที่สำคัญอีกอย่างหนึ่งที่น่าจะพิจารณาในการเลือกมอดูเลตสัญญาณดิจิตอลในแบบ BPSK นั่นก็คือเรื่องของสเปกตรัมของสัญญาณก่อนและหลังการมอดูเลต ซึ่งจะได้อธิบายไว้ในหัวข้อต่อไป

สเปกตรัมของสัญญาณที่ได้จากมอดูเลตในระบบ BPSK

ตามที่กล่าวมานั้นเป็นการพิจารณาถึงสัญญาณที่ได้จากการมอดูเลทในโดเมนของเวลาซึ่งสิ่งที่สำคัญอีกอย่างหนึ่งคือการพิจารณาถึงสัญญาณที่ได้จากการมอดูเลตในโดเมนของความถี่ เริ่มต้นพิจารณาจากการมอดูเลชั่นทางแอมพลิจูด ถ้ากำหนดให้สัญญาณข่าวสารที่ต้องการจะฝากส่งมีค่าเป็น

$$m(t) = \cos(\omega_m t) \qquad (2.16)$$

และสัญญาณของคลื่นพาห์เป็น

$$f(t) = \cos(\omega_c t) \qquad (2.17)$$

จะได้ผลของการมอดูเลชั่นทางแอมพลิจูดแบบแถบข้างคู่ขจัดคลื่นพาห์ (Suppress Carrier) คือ

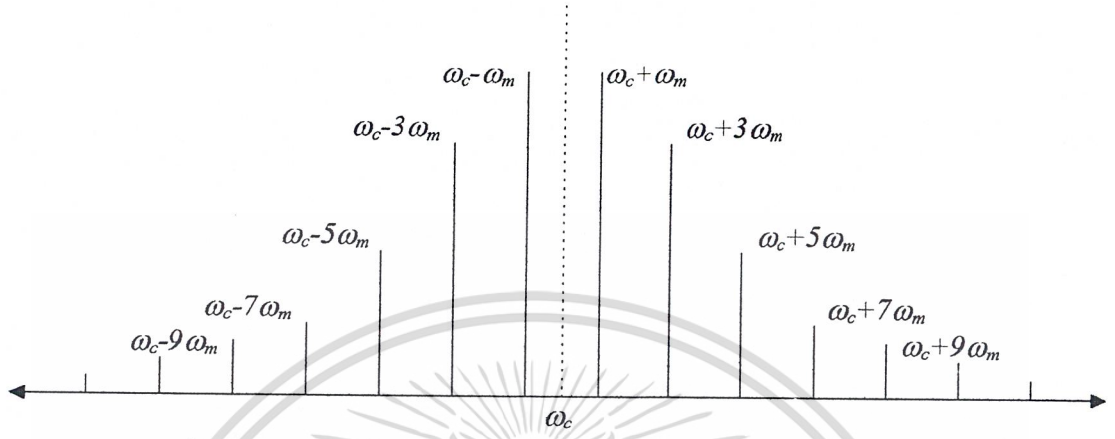
$$\phi_{BPSK} = m(t) \cdot f(t) \qquad (2.18)$$

เปรียบเทียบองค์ประกอบทางความถี่ หากสัญญาณที่ต้องการจะฝากส่งมีลักษณะเป็นสัญญาณสี่เหลี่ยมแล้วผลที่ได้จากการมอดูเลชั่นทางแอมพลิจูดที่ต้องการจะฝากส่งกับคลื่นพาห์ สามารถแสดงได้ด้วยสมการ (2.19)

$$\phi_{BPSK} = \frac{1}{2\pi}\left[\cos(\omega_C \pm \omega_m)t - \frac{1}{3}\cos(\omega_C \pm 3\omega_m)t + \ldots\right] \qquad (2.19)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งจะพบว่าสัญญาณที่ได้จากการมอดูเลตทางแอมพ ลิจูดระหว่างสัญญาณสี่เหลี่ยมเข้ากับคลื่นพาห์ มีลักษณะเกี่ยวกับสัญญาณที่ได้จากการมอดูเลตสัญญาณดิจิตอล ในระบบ BPSK เพราะฉะนั้น สเปกตรัมของสัญญาณที่ได้จากการมอดูเลตสัญญาณดิจิตอลในแบบ BPSK จึงเป็นไปตามรูปที่ 2.9



รูปที่ 2.9 แสดงผลของการมอดูเลทแบบ BPSK เมื่อวิเคราะห์ในเชิงความถี่

2.2 วงจรคริสตอลออสซิลเลเตอร์(Crystal Oscillator)

วงจรออสซิลเลเตอร์แบ่งออกได้เป็น วงจรออสซิลเลเตอร์คลื่นรูปไซน์ และวงจรออสซิลเลเตอร์ที่ไม่ใช่คลื่นรูปไซน์ เช่น รูปสี่เหลี่ยม เป็นต้น

วงจรออสซิลเลเตอร์คลื่นรูปไซน์ (Sine–wave Oscillator) จะให้กำเนิดสัญญาณคลื่นรูปไซน์ออกมาตลอดเวลาโดยมีขนาดและความถี่คงที่ชนิดของการออสซิลเลตแบ่งได้จากอุปกรณ์ที่ใช้ฉะนั้นวงจรออสซิลเลเตอร์คลื่นรูปไซน์จะแบ่งได้เป็น

1) วงจรออสซิลเลเตอร์ที่ใช้ LC
2) วงจรออสซิลเตอร์ที่ใช้ CR
3) วงจรออสซิลเลเตอร์ที่ใช้ก้อนผลึก (Crystal)

จากการแบ่งตามข้างบนนี้ ยังสามารถแบ่งออกไปเพื่อให้ชัดเจนยิ่งขึ้นได้อีก ตามตารางที่ 2.1

ตารางที่ 2.1 วงจรออสซิลเลเตอร์แบบคลื่นรูปไซน์

องค์ประกอบของออสซิลเลเตอร์	ชื่อของออสซิลเลเตอร์	ลักษณะการใช้งาน	ที่ใช้งาน
วงจรออสซิลเลเตอร์แบบ LC	1. เลือกความถี่ที่คอลเลคเตอร์ (เดรน) 2. เลือกความถี่ที่เบส (เกท) 3. เลือกความถี่ที่อิมิตเตอร์ 4. ฮาร์ทเลย์	1. ความถี่เปลี่ยนแปลงได้ง่าย 2. โดยทั่วไปเสถียรภาพของความถี่ไม่ดี 3. มักใช้กันโดยทั่วไป 4. ใช้ในย่านความถี่สูง	1. ใช้ในเครื่องรับวิทยุ ทีวี เอฟเอ็ม ฯลฯ 2. ใช้เป็นตัวออสซิลเลเตอร์ในการวัดทางด้านความถี่สูง

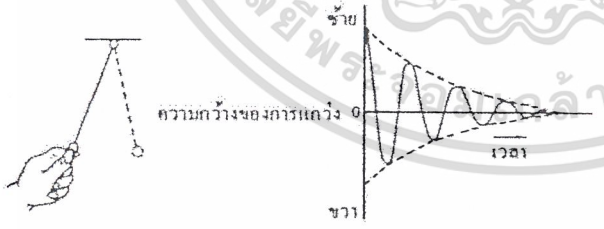
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	5. คอลพิทท์		
วงจร ออสซิลเลเตอร์ แบบ CR	1. แบบเลื่อนเฟส 2. แบบเวน บริดจ์	1. ใช้ช่วงความถี่ต่ำ 2. ความถี่สามารถเปลี่ยนแปลงได้ 3. เสถียรภาพของความถี่ไม่ดี	ใช้เป็นตัวออสซิลเล - เตอร์ในการวัดทางด้านความถี่ต่ำ
วงจร ออสซิลเลเตอร์ แบบใช้ชิ้นผลึก	1. ชิ้นผลึกต่อระหว่าง B กับ E 2. ชิ้นผลึกต่อระหว่าง C กับ B	1. เสถียรภาพของความถี่ดีเป็นพิเศษ : 10^{-5}- 10^{-7}/ องศา 2. ใช้ในย่านความถี่สูง 3. การทำให้ความถี่เปลี่ยนแปลงทำได้ยาก	1. ใช้ในเครื่องส่งวิทยุ นาฬิกา เครื่องมือวัดต่างๆ ฯลฯ 2. เมื่อนำมาใช้ร่วมกับวงจรเฟสล็อกลูป (PLL) จะนำมาใช้งานได้อย่างกว้างขวาง

ตารางที่ 2.1 (ต่อ) วงจรออสซิลเลเตอร์แบบคลื่นรูปไซน์

หลักการเบื้องต้นของการออสซิลเลต

1. กระแสที่ช่วยให้เกิดการออสซิลเลตอย่างต่อเนื่อง

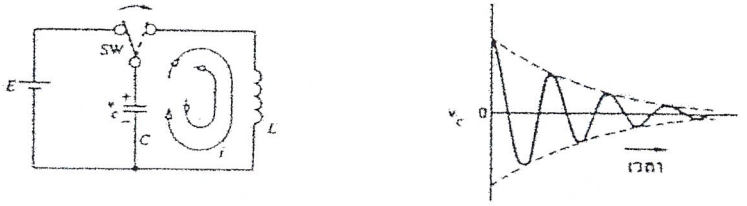


(ก) ลูกตุ้มนาฬิกา (ข) การออสซิลเลตแบบแดมป์ (damped oscillation)

รูปที่ 2.10 แสดงการออสซิลเลตทางกล

ตามรูปที่ 2.10 (ก) เมื่อลูกตุ้มนาฬิกาถูกปล่อยจากมือก็จะเกิดการแกว่งหรือออสซิลเลตด้วยค่าคงที่ดังรูปที่ 2.10(ข) แต่ต่อมาขนาดหรือระยะทางของการแกว่งจะลดลงเรื่อยๆ จนกระทั่งหยุดลง เนื่องจากผลของการต้านของอากาศและความฝืดของจุดที่ยึดลูกตุ้มนาฬิกาไว้ ด้วยลักษณะแนวความคิดนี้สามารถนำมาใช้กับวงจรไฟฟ้าดังรูปที่ 2.11 ได้เหมือนกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) (ข)

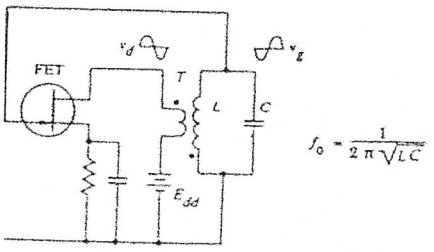
รูปที่ 2.11 แสดงการเกิดออสซิลเลตทางด้านวงจรไฟฟ้า

จากรูปที่ 2.11 (ก) ถ้าสวิตซ์ถูกเลื่อนออกมาด้านขวาหลังที่ทำการประจุตัวที่เก็บประจุ C เต็มแล้ว กระแส i จะเริ่มไหลออกจากตัวเก็บประจุ ผ่านไปยังขดลวด L แต่เนื่องจากขดลวดมีคุณสมบัติของการเฉื่อยหรือไม่สามารถที่จะเปลี่ยนแปลงอย่างทันทีทันใด ดังนั้นเมื่อกระแสที่ไหลจากตัวเก็บประจุ C ไปยังขดลวด L หมดแล้ว (คายประจุจนเป็นศูนย์) ก็จะเกิดกระแสไหลย้อนกลับทางกับทิศทางแรกเข้าที่การประจุตัวเก็บประจุอีก กลับไปกลับมาเช่นนี้ สภาวะการไหลของกระแสออสซิลเลตจะเป็นดังที่กล่าวมาแล้วข้างต้น เนื่องจากผลของความต้านทาน R ภายในวงจรทำให้เกิดการสูญเสียกำลังงานไปเป็น i^2R นั่นหมายความว่าการออสซิลเลตจะถูกลดทอนลง ค่าศักดาที่ตกคร่อมตัวเก็บประจุ C จะสามารถเขียนมาเป็นกราฟได้ดังรูปที่ 2.11 (ข) ซึ่งเหมือนกับการออสซิลเลตทางกล (โดยที่เฟสของศักดาจะตามกระแสอยู่ 90 องศา)

การออสซิลเลตในลักษณะที่ได้กล่าวมาแล้วนี้ เรียกว่า การออสซิลเลตแบบแดมป์ (damped oscillation) เพื่อที่จะช่วยให้การออสซิลเลตเป็นไปอย่างต่อเนื่อง จะต้องใส่กำลังเข้าไปในระบบมีค่าเท่ากับกำลังที่สูญเสียไป หรือกล่าวได้ว่า ลูกตุ้มนาฬิกาจะต้องถูกผลักเล็กน้อย เมื่อเคลื่อนที่ไปจนถึงด้านซ้ายสุดของการแกว่ง ในกรณีของการออสซิลเลตทางไฟฟ้า สวิตช์จะต้องถูกผลักกลับมาทางด้านซ้ายมือทันทีที่ค่าศักดา V_C มีค่าสูงสุด เพื่อที่จะรับค่ากำลังทางด้านไฟฟ้าจากแหล่งจ่ายไฟแล้วทำการผลักกลับตำแหน่งเดิม

โดยอาศัยหลักการออสซิลเลตทางกลมาทำความเข้าใจกับการออสซิลเลตทางไฟฟ้าลองมาพิจารณาจากวงจรจริง ดังรูป 2.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 แสดงวงจรออสซิลเลเตอร์แบบเลือกความถี่จากเกท

เมื่อเริ่มจ่ายไฟให้กับวงจร จะทำให้เกิดการกระชากของศักดาขึ้น ยังผลให้เกิดกระแสออสซิลเลตอ่อนๆ ขึ้นในวงจร LC และเกิดศักดา V_g ขึ้นด้วย ค่าศักดา V_g จะถูกขยายโดยเฟต ผลที่ได้ถูกป้อนไปยังขดปฐมภูมิของทรานฟอร์เมอร์มีค่าเป็น V_d (แหล่งจ่ายไฟตรงขนาดเมื่อคิดในแง่ของไฟสลับแล้วให้มีค่าเป็น V_d) โดยผลอันนี้จะทำให้ กำลังงานที่ป้อนไปให้วงจรเกิดออสซิลเลตได้ ขนาดของการออสซิลเลตจะเพิ่มขึ้นดังรูปที่ 2.13 และการออสซิลเลตในลักษณะแรกนี้เรียกว่า การออสซิลเลตช่วงเริ่มแรก หลังจากผ่านช่วงนี้ไปขนาดของสัญญาณจะเริ่มคงที่สภาวะนี้เรียกว่าการออสซิลเลตแบบต่อเนื่อง

รูปที่ 2.13 การออสซิลเลตในช่วงเริ่มแรกและการออสซิลเลตแบบต่อเนื่อง

การออสซิลเลตตามที่ได้อธิบายมานี้ กระแสที่ช่วยทำให้เกิดการออสซิลเลตอย่างต่อเนื่องได้รับมาจากกำลังงานที่จ่ายออกมา โดยแหล่งจ่ายไฟเลี้ยงวงจร

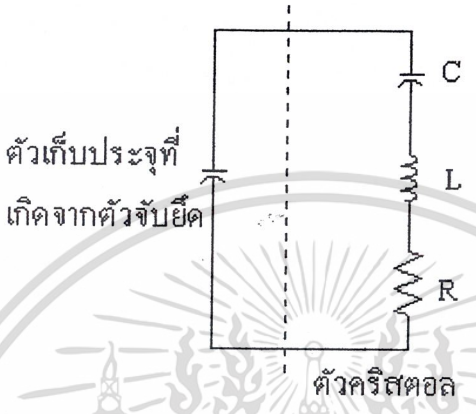
วงจรออสซิลเลเตอร์ใช้ผลึกควอร์ตซหรือคริสตอล (Crytral Oscillator)

ในวงจรเครื่องส่งส่วนใหญ่ที่ต้องการให้เสถียรภาพทางความถี่ของเครื่องส่งมีค่าสูง หรือความถี่มีค่าคงที่ตลอดเวลาเพื่อให้เครื่องรับสามารถจูนรับสถานีได้ถูกต้องและตลอดไป วงจรออสซิลเลเตอร์ที่ให้คุณสมบัติเด่นในเรื่องเสถียรภาพทางความถี่ได้แก่ *วงจรคริสตอลออสซิลเลเตอร์* นอกจากนี้วงจรคริสตอลออสซิลเลเตอร์ยังใช้เป็นตัวสร้างสัญญาณที่มีความถี่มาตรฐานไว้สำหรับตรวจสอบเครื่องมือบางชนิดและยังใช้เป็นตัวสร้างแรงดันฐานเวลามาตรฐานใช้กับอุปกรณ์ที่ต้องการความเที่ยงตรงเช่นนาฬิกาอิเล็กทรอนิกส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คริสตอลที่ใช้งานอยู่ทั่วไปทำมาจากผนึกควอร์ตซ เมื่อมีแรงดันตกคร่อมผนึกควอร์ตซ ผนึกควอร์ตซก็จะเกิดการสั่นความถี่ที่สั่นได้จะมีค่าเกือบคงที่ซึ่งขึ้นอยู่กับความหนาของผลึกนั้น ความถี่ที่เกิดขึ้นจะยังคงเปลี่ยนแปลงได้อีกเล็กน้อยเนื่องจากอุณหภูมิ

โดยหลักการแล้วลักษณะสมบัติของคริสตอล มีลักษณะคล้ายคลึงกับวงจรรีโซแนนซ์ที่สามารถเขียน วงจรสมมูลได้ดังรูป 2.14

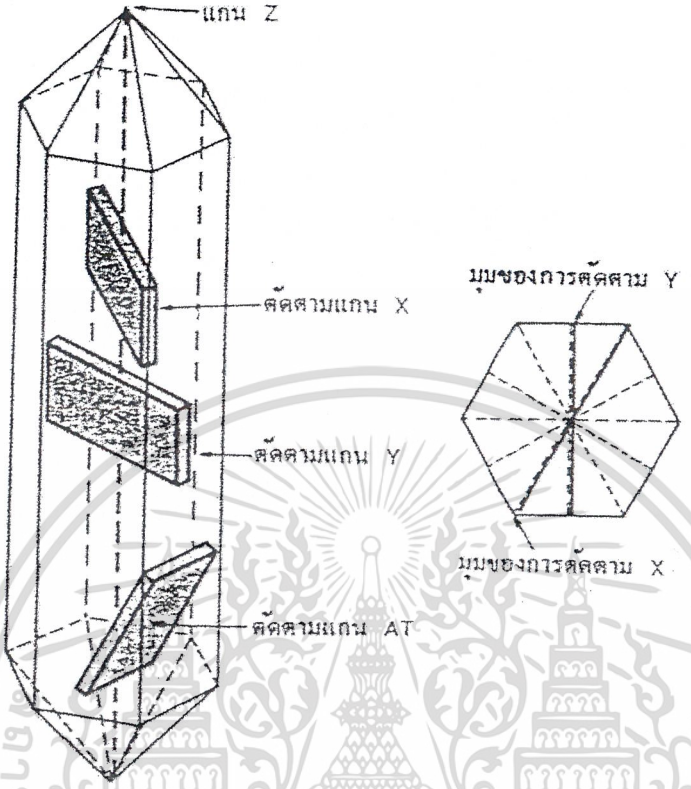


รูปที่ 2.14 วงจรสมมูลของผนึกคริสตอล

คริสตอลเป็นเพียงผนึกของควอร์ตซที่ยังต้องอาศัยตัวจับยึดเข้ากับกระป๋องโลหะดังนั้นในส่วนของตัวจับยึดคริสตอลจึงเกิดมีลักษณะเหมือนเป็นตัวเก็บประจุที่ขนาบอยู่อีก 1 ตัว ดังวงจรสมมูลดังรูปที่ 2.14 แต่เนื่องจากตัวเก็บประจุในตัวผนึกของคริสตอลที่ต่ออนุกรมกับตัวเหนี่ยวนำมีค่าต่ำ ดังนั้นตัวเก็บประจุที่ต่อขนานอยู่ภายนอกจึงมีอิทธิพลต่อการออสซิลเลตของสัญญาณน้อยมาก และในขณะรีโซแนนซ์นั้นส่วนของวงจรรีโซแนนซ์แบบอนุกรมและแบบขนานเกือบจะทำให้ความถี่รีโซแนนซ์เป็นความถี่เดียวกัน

ผนึกควอร์ตซนี้เป็นวัสดุจำพวกซิลิกอนไดออกไซด์ที่มีลักษณะเหมือนแก้วในส่วนของผนึกจะมีรูปร่างเป็น 6 ด้านเหมือนปริซึมโดยผนึกควอร์ตซที่ใช้งานจะได้รับการตัดด้วยลักษณะของแกน 3 แกน ดังแสดงในรูป 2.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 แสดงผลึกควอร์ตซและการตัดผลึก

แกน X เป็นแกนที่ลากระหว่างมุมสองมุมของแท่งปริซึม ส่วนแกน Y จะเป็นแกนที่ลากตั้งฉากกับผิวหน้าของตัวคริสตอล นั่นคือถ้าหากตัดคริสตอลตามแนวผลึกจากมุมหนึ่งไปยังอีกมุมหนึ่งที่อยู่ตรงข้ามก็เรียกว่าการตัดแบบ X (X-cut) ซึ่งผลของการตัดแบบนี้จะทำให้ความถี่ที่ได้เปลี่ยนแปลงกับอุณหภูมิในลักษณะที่อุณหภูมิสูงขึ้นค่าความถี่จะลดลง แต่ถ้าตัดในแนวแกน Y ก็จะเป็นผลทำให้ความถี่ของการสั่นสูงขึ้น เมื่ออุณหภูมิสูงขึ้น

จะเห็นได้ว่าไม่ว่าจะตัดในแกน X หรือ Y จะเป็นผลทำให้ความถี่ของการสั่นของคริสตอลขณะรีโซแนนซ์เปลี่ยนแปลงกับอุณหภูมิได้มาก ดังนั้นเราจึงต้องหาทางตัดแกนใดแกนหนึ่งเพื่อให้ผลการเปลี่ยนแปลงกับอุณหภูมิน้อยที่สุดหรือแทบจะกล่าวได้ว่ามันไม่มีผลเลย แกนที่ใช้ในการตัดคือแกน AT ดังแสดงไว้ในรูปที่ 2.15

เราอาจจะตัดคริสตอลให้อยู่ในแกนอื่นๆ ก็ได้ ในแต่ละระนาบของการตัดจะให้ผลการเปลี่ยนแปลงช่วงความถี่ต่ออุณหภูมิตลอดจนความถี่ฮาร์มอนิกที่ใช้งานแตกต่างกัน

ส่วนความหนาของแผ่นคริสตอล จะเป็นตัวกำหนดความถี่ของการรีโซแนนซ์ถ้าแผ่นคริสตอลยิ่งบางก็หมายความว่าความถี่ของการรีโซแนนซ์มีค่าสูงขึ้น แผ่นคริสตอลที่ทำความถี่ได้สูงประมาณ 15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมกะเฮิรตซ์ ไม่เกิน 50 เมกะเฮิรตซ์ แต่ถ้าต้องการความถี่สูงกว่านี้อีกมักใช้ฮาร์มอนิกของสัญญาณนั่นเอง

อุปกรณ์จำพวกคริสตอลเป็นอุปกรณ์ที่ค่อนข้างจะบอบบาง ดังนั้นคริสตอลจึงต้องทำงานที่ระดับพลังงานต่ำๆ หรือในขณะใช้งานเป็นตัวกระตุ้นในขณะที่ป้อนกลับระหว่างอินพุตกับเอาต์พุตจะต้องไม่ให้ระดับแรงดันตกคร่อมตัวมันมากเกินไป ซึ่งจะทำให้คริสตอลทำงานผิดความถี่ และเกิดความร้อนกับตัวมันสูงสุดจนมันเสียหายได้

จากที่กล่าวแล้วว่าเราใช้คริสตอลกระตุ้นวงจรออสซิลเลเตอร์ ก็เพื่อเหตุผลในเรื่องต้องการให้ได้ความถี่ที่มีเสถียรภาพสูง ค่าเสถียรภาพของวงจรออสซิลเลเตอร์สามารถหาได้จากการกำหนดค่า Q ของตัวคริสตอลและสัมประสิทธิ์การผันแปรทางความถี่กับอุณหภูมิ ค่าQ ของคริสตอลมักมีค่าสูงกว่าค่า Q ของวงจรจูนที่ประกอบด้วย RLC ถึง 100 เท่า 1000 เท่า คริสตอลที่มีขายกันในปัจจุบันมีค่า Q ประมาณ 5000 ถึง 30000 เราจึงพอจะเห็นแล้วว่าวงจรออสซิลเลเตอร์ที่ใช้คริสตอลจึงมีเสถียรภาพทางความถี่สูงกว่าวงจร LC ออสซิลเลเตอร์มาก

การออกแบบวงจรคริสตอลออสซิลเลเตอร์

คุณลักษณะของวงจรคริสตอลออสซิลเลเตอร์มีดังนี้

1. คุณสมบัติการเป็นวงจรแบบเชิงเส้น (linear property) ช่วยในการควบคุมค่าอัตราการขยายของสัญญาณ (gain) และเฟสชิฟต์ของสัญญาณ (phase shift)
2. คุณสมบัติทางโอเวอร์โหลด(overload property) ช่วยในการควบคุมรูปร่างและขนาดแอมปลิจูดของสัญญาณที่ผลิตได้

สาเหตุที่มีวงจรคริสตอลออสซิลเลเตอร์หลายชนิดเนื่องจากการออกแบบวงจรนั้นขึ้นอยู่กับการเปลี่ยนแปลงค่าความต้านทานภายในของคริสตอล ซึ่งจะทำให้ได้ความถี่ในช่วงกว้าง

1. ความถี่ของสัญญาณที่จะออสซิลเลตได้นั้นจะแปรค่าตามความต้านทานภายในของคริสตอล
2. การที่จะขับคริสตอลให้ทำงานได้นั้น ต้องทำให้ระดับอิมพีแดนซ์ของวงจรแมทช์กับค่าความต้านทานซึ่งต่ออนุกรมอยู่ภายในคริสตอล (R_s)

อย่างไรก็ตามไม่ว่าค่าความต้านทานภายในของคริสตอลจะมีค่าเท่าไร แต่ระดับอิมพิแดนซ์ของวงจรจะต้องเปลี่ยนแปลงตามให้แมทช์กันอย่างเหมาะสม ซึ่งขึ้นอยู่กับวงจรนั้นๆ ด้วยว่าสามารถทำงานได้ดีที่สุดในช่วงความถี่ใด เนื่องจากวงจรออสซิลเลเตอร์นั้นไม่มีรูปแบบที่แน่นอน

ชนิดของวงจรออสซิลเลเตอร์ที่ใช้ควอตร์ซคริสตอล แบ่งได้ 3 ชนิดใหญ่ๆ ดังนี้

1. แบบพื้นฐาน ใช้ที่ความถี่ไม่เกิน 20 เมกะเฮิรตซ์ เช่น วงจรแบบ Pierce และค่า Q ในวงจรจะมีค่าเท่ากับ 90 % ของค่า Q ภายในของออสซิลเลเตอร์
2. แบบฮาร์มอนิก ใช้ในช่วงความถี่ 20 – 100 เมกะเฮิรตซ์ ประกอบด้วยวงจรแทงก์ LC หรือเป็นระบบที่ใช้ L และ Cในการเลือกฮาร์มอนิกที่ต้องการ โดยมีการใช้วงจรอิมิตเตอร์คัปเปลอร์ฮาร์มอนิก (Emitter – coupled Harmonic) คือมีเสถียรภาพทางความถี่แบบช็อตเทอม (short – term) ดีที่สุด คือมีการรบกวนทางเฟส (phase noise) ต่ำที่สุด และค่า Q ในวงจรจะมีค่าเท่ากับ 80 % ของค่า Q ภายในคริสตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เงื่อนไขของวงจรแบบที่ 1 และ 2 คือ ต้องการส่วนประกอบของอุปกรณ์ที่เสถียรในระบบการเลื่อนเฟส (phase shift)

3. แบบบริดจ์ ใช้ในช่วงความถี่มากกว่า 100 เมกะเฮิรตซ์ เป็นวงจรที่มีความซับซ้อนมากกว่าสองแบบแรก แต่เป็นวงจรที่จะทำให้ได้ค่า Q ในวงจรมากกว่าค่า Q ภายในของคริสตอล มีหลักการคือ การใช้การป้อนกลับแบบลบ เพื่อไปหักล้างกับส่วนของค่าความต้านทานภายในของ คริสตอล โดยคิดค่า L และ C ภายในของคริสตอลด้วย มีลักษณะคือ จะช่วยให้เสถียรภาพทางความถี่แบบช็อตเทอม สูงขึ้น ใช้วงจรบัทเลอร์ฟอโลเวอร์ (Butler – follower)

เกณฑ์ที่ใช้ในการพิจารณาเลือกวงจรที่เราจะใช้ ประกอบด้วย

1. ค่าความถี่ที่เราต้องการในการออสซิลเลต
2. ค่า R_S ของคริสตอลที่เราใช้
3. ความเหมาะสมในด้านราคา
4. ปัญหาเนื่องจากความยุ่งยากซับซ้อนของวงจร
5. ความมีเสถียรภาพทางความถี่

2.3 ระบบสังเคราะห์ความถี่

เครื่องรับส่งวิทยุในปัจจุบันส่วนใหญ่นิยมใช้วิธีสังเคราะห์ความถี่แทบทั้งสิ้น วงจรที่ทำหน้าที่สังเคราะห์ความถี่เรียกว่า ซินธิไซเซอร์ ซึ่งแปลว่าสังเคราะห์(ความถี่) วิธีสังเคราะห์ความถี่นี้ทำให้วงการเครื่องรับส่งวิทยุเปลี่ยนโฉมหน้าไปอย่างมาก โดยเฉพาะรูปร่างของตัวเครื่องจะมีปุ่มควบคุมต่างๆ มากขึ้น เนื่องจากมีขีดความสามารถเพิ่มขึ้น สามารถโปรแกรมเลือกความถี่ใช้งานได้มาก จึงทำให้เกิดความคล่องตัวในการวางข่ายการสื่อสาร

ความจริงหลักการสังเคราะห์ความถี่ได้คิดค้นกันมาตั้งแต่ปี พ.ศ.2475 แล้ว และได้พัฒนามาโดยลำดับ แต่เริ่มแพร่หลายกันจริงๆ ก็เมื่อประมาณปี พ.ศ.2513 เนื่องจากเทคโนโลยีการผลิตไอซีช่วยให้การออกแบบใช้งานมีความสะดวกสบายมากกว่าแต่ก่อน

วงการแรกที่นำระบบสังเคราะห์ความถี่มาใช้คือ วงการทหาร(military) และกิจการเดินอากาศ (aviation) แล้วจึงค่อยๆ นำมาใช้ในวงการเครื่องวิทยุสื่อสารทั่วไปตามลำดับ

วิธีการสังเคราะห์ความถี่แต่ละแบบมีความซับซ้อนแตกต่างกัน ซึ่งขึ้นอยู่กับช่วงความถี่ (frequency range) ช่วงห่างระหว่างขั้น(step size หรือ resolution) ในที่นี้จะขออธิบายเฉพาะการสังเคราะห์ความถี่ที่ใช้ในเครื่องรับส่งวิทยุทั่วไป

ความจริงวงจรสังเคราะห์ความถี่ก็คือ วงจรที่ทำหน้าที่ผลิตสัญญาณความถี่ขนาดพอเหมาะ และให้มีความถี่ตามที่เรากำหนด (คือสั่งหรือโปรแกรมได้) การโปรแกรมสามารถทำได้โดยการตั้งสวิทช์หรือกดปุ่ม แต่ในปัจจุบันนิยมสั่งงานด้วยคอมพิวเตอร์

ช่วงความถี่ใช้งานของวงจรสังเคราะห์ความถี่จะจำกัดอยู่ในช่วงความถี่ที่แน่นอน แล้วแต่การใช้งานและความละเอียดของความถี่ที่เปลี่ยนได้ทีละขั้น เรียกว่า *เรโซลูชั่น (resolution)*

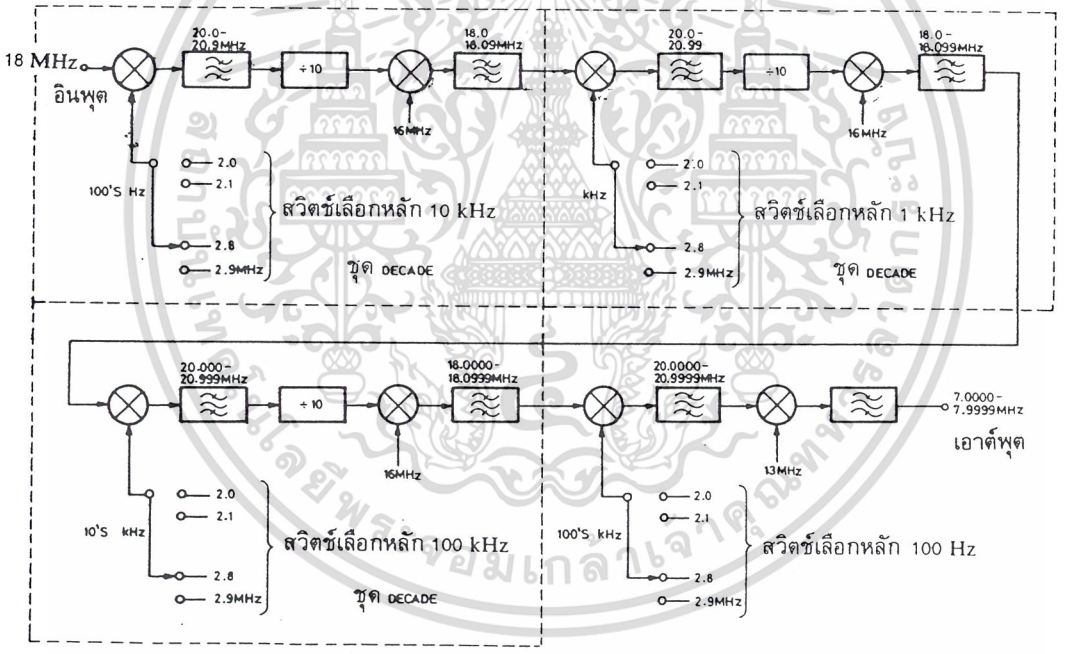
เอกสารนี้เป็นการที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีสังเคราะห์ความถี่สามารถแบ่งออกได้เป็น 2 วิธีคือ

1. วิธีสังเคราะห์แบบตรง (direct synthesis) ซึ่งต้องใช้ความถี่หลายค่ามาผสมกัน เพื่อให้ได้ความถี่ที่ต้องการ โดยปกติต้องใช้แร่บังคับความถี่หลายชุด

2. วิธีสังเคราะห์โดยอ้อม (indirect synthesis) วิธีนี้อาศัยเฟสล็อคลูป (phase locked loop เรียกย่อว่า PLL)

รูปที่ 2.16 แสดงวิธีการสังเคราะห์ความถี่โดยตรง ในที่นี้เราต้องการให้เอาท์พุทมีความถี่อยู่ระหว่าง 7 ถึง 8 เมกะเฮิรตซ์ และ เรโซลูชั่น 100 เฮิรตซ์ นั่นคือเราต้องการสามารถตั้งความถี่ได้ดังนี้ คือ 7.0000, 7.0001, 7.0002,.....ขึ้นไปจนถึง 7.9999 เมกะเฮิรตซ์ สังเกตว่าเราใช้ความถี่หลัก 10 ความถี่ คือ 2.0 , 2.1 , ...ถึง 2.9 เมกะเฮิรตซ์ เป็นตัวกำเนิดความถี่ ความถี่หลักดังกล่าวนี้สามารถผลิตได้จากการผสมสัญญาณ 100 เฮิรตซ์ และ คลื่นพาห์ 2 เมกะเฮิรตซ์ จะเห็นว่าสวิตช์เลือกความถี่ทั้งสิบความถี่นี้ ก็คือสวิตช์ตั้งโปรแกรมเลือกความถี่ที่ต้องการ จากรูปจะเห็นว่ามี 4 ตัว ตัวหนึ่งเลือกความถี่ขั้นละ 100 เฮิรตซ์ ตัวถัดไปเลือกขั้นละ 1 กิโลเฮิรตซ์ ต่อไป 10 กิโลเฮิรตซ์ และ 100 กิโลเฮิรตซ์ ตามลำดับ



รูปที่ 2.16 ตัวอย่างวิธีสังเคราะห์ความถี่โดยตรง (ตำแหน่งของสวิตช์ที่แสดงจะให้ความถี่เอาท์พุทเท่ากับ 7.8888 MHz)

นอกจากความถี่หลัก 10 ความถี่ดังกล่าวแล้ว เราต้องอาศัยการผสมกับความถี่อื่นด้วย จากรูปเราใช้ความถี่ 18 เมกะเฮิรตซ์ผสมกับความถี่ใดความถี่หนึ่งในความถี่หลักทั้งสิบความถี่ ผลรวมของการผสมจะผ่านฟิลเตอร์กรองเอาเฉพาะความถี่ย่าน 20 ถึง 20.9 เมกะเฮิรตซ์ แล้วผ่านการหารด้วยสิบที่วงจรเคาน์เตอร์ เพื่อผสมกับความถี่ 16 เมกะเฮิรตซ์ แล้วกรองเอาเฉพาะความถี่ในย่าน 18 เมกะเฮิรตซ์ ตามเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สังเกตว่าเอาท์พุทจากชุดนี้เราสามารถสังเคราะห์ความถี่ได้ระหว่าง 18.00, 18.01, ... ถึง 18.09 เมกะเฮิรตซ์

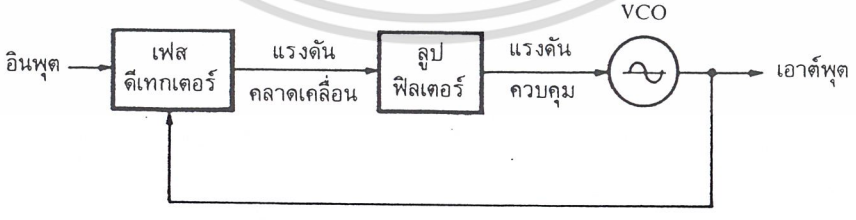
เอาท์พุทจากชุดแรกนี้ เมื่อป้อนเข้าชุดต่อไปก็จะเอาสัญญาณความถี่ระหว่าง 18.00 ถึง 18.09 เมกะเฮิรตซ์ไปผสมกับความถี่หลัก 2.0 ถึง 2.9 เมกะเฮิรตซ์ ซึ่งเราเลือกหรือโปรแกรมได้โดยการปิดสวิตช์ จากนั้นก็ผ่านการกรองและหารสิบแล้วผสมกับสัญญาณ 16 เมกะเฮิรตซ์ เอาท์พุทของชุดที่สอง (จุด A ก็จะตั้งความถี่ได้ระหว่าง 18.000, 18.001 .... 18.099 เมกะเฮิรตซ์) เมื่อเราทำการผสมคลื่นเช่นนี้อีกครั้ง เราก็จะสังเคราะห์ความถี่ได้ระหว่าง 18.000, 18.0001, ... ถึง 18.0999 เมกะเฮิรตซ์ ในชุดสุดท้าย เราจะทำแตกต่างจากเดิมโดยเมื่อผสมสัญญาณ 2.0 ถึง 2.9 เมกะเฮิรตซ์แล้ว เราก็จะนำไปผ่านการกรองเอาแต่เฉพาะสัญญาณระหว่าง 20 ถึง 20.9999 เมกะเฮิรตซ์ และผสมกับสัญญาณ 13 เมกะเฮิรตซ์ ก็จะได้เอาท์พุทเป็น 7.0000 ถึง 7.9999 เมกะเฮิรตซ์ตามต้องการ

สังเกตว่าชุดผสมและการหารความถี่ส่วนใหญ่ (ที่เขียนว่า DECADE) จะซ้ำๆกัน อย่างไรก็ดี วิธีสังเคราะห์ความถี่โดยตรงนี้ไม่ค่อยเป็นที่นิยมนัก เพราะความสิ้นเปลืองแร่ และต้องใช้การผสมคลื่นหลายๆครั้ง

วิธีสังเคราะห์ความถี่โดยอ้อมหรือวิธีเฟสล็อคลูปนั้น เราอาศัยการกำเนิดสัญญาณจากวงจรออสซิลเลเตอร์ ซึ่งควบคุมความถี่โดยการปรับแรงดันที่เรียกว่า VCO สัญญาณจาก VCO จะถูกป้อนกลับมาเปรียบเทียบกับความถี่อ้างอิงแล้วนำผลลัพท์ความถี่ความถี่คลาดเคลื่อนมาเป็นแรงดัน ไปควบคุมการออสซิลเลตของ VCO อีกครั้งหนึ่ง

2.3.1 เฟสล็อคลูป

เฟสล็อคลูปเป็นระบบป้อนกลับที่บังคับให้วงจรออสซิลเลเตอร์มีความถี่หรือเฟสเปลี่ยนแปลงไปตามความถี่หรือเฟสของสัญญาณอ้างอิงภายนอก เฟสล็อคลูปประกอบด้วยภาคสำคัญ 3 ภาค คือ ภาคเทียบเฟสหรือเฟสดีเทคเตอร์ (phase detector) ภาคลูปฟิลเตอร์ (loop filter) และภาค VCO ดูรูปที่ 2.17 ในที่นี้สมมติว่าเราต่อเอาท์พุทจาภวงจร VCO



รูปที่ 2.17 แผนผังของเฟสล็อคลูป

สมมติว่ามีสัญญาณความถี่อ้างอิงภายนอกเป็นสัญญาณรายคาบ (periodic) เข้ามาที่เอาท์พุท ภาคเทียบเฟสทำหน้าที่เปรียบเทียบเฟสระหว่างสัญญาณอ้างอิงกับสัญญาณจาก VCO เอาท์พุทที่ได้จากภาคเฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สดีเทคเตอร์จะเป็นแรงดันที่มีแอมพลิจูดเป็นสัดส่วนกับผลต่างในเฟสของสัญญาณทั้งสองที่ทำการเปรียบเทียบ แรงดันผลต่างนี้ป้อนไปให้วงจรลูปฟิลเตอร์ ซึ่งเป็นฟิลเตอร์ชนิดโลพาสกรองเอาแต่เฉพาะความถี่ต่างๆที่ต้องการ เพื่อส่งไปควบคุมการออสซิลเลทของ VCO ต่อไป

เมื่อลูปอยู่ในสภาวะล็อค (lock) ความถี่ของ VCO จะเท่ากับความถี่ของสัญญาณอินพุทพอดี อาจมีเฟสแตกต่างกันไป แต่ค่าเฟสที่แตกต่างนั้นจะมีค่าคงที่ (constant phase difference) ในกรณีที่มีเฟสไม่ตรงกัน ภาคเฟสดีเทคเตอร์จะจ่ายแรงดันความเคลื่อน (error voltage) ไปควบคุมการทำงานของ VCO เพื่อมิให้เฟสคลาดเคลื่อน จนกว่าจะเข้าสู่สภาวะล็อค เอาท์พุทของ VCO จึงมีแอมปริจูดคงที่เสมอ แต่ความถี่จะเปลี่ยนแปลงตามความถี่ของสัญญาณอินพุท

เราสามารถนำเฟสล็อคลูปไปใช้สังเคราะห์ (หรือผลิต) ความถี่ที่มีความเที่ยงตรงและเสถียรภาพเทียบเท่าสัญญาณอ้างอิงได้ วงจรนี้เรียกว่าวงจรสังเคราะห์ความถี่ ระบบสังเคราะห์ความถี่จะช่วยให้เราสามารถสังเคราะห์สัญญาณเอาท์พุท (จาก VCO) ให้มีความถี่ตามต้องการได้หลายความถี่ โดยมีความเที่ยงตรงและเสถียรภาพสูงเทียบเท่าคริสตอลออสซิลเลเตอร์

ความจริงเฟสล็อคลูปยังมีประโยชน์อื่นอีก เช่น ในการดีมอดสัญญาณ FM (หรือ PM) เนื่องจากเอาท์พุทของเฟสดีเทคเตอร์มีค่าสัมพันธ์กับการเปลี่ยนเฟสของคลื่นพาห์

2.3.2 การใช้เฟสล็อคลูปในการสังเคราะห์ความถี่

ไม่ว่าระบบสังเคราะห์ความถี่จะมีความซับซ้อนเพียงใด เมื่อพิจารณาลึกลงไปแล้วจะพบว่ามีเฟสล็อคลูปเป็นหัวใจในการสังเคราะห์เสมอ รูปที่ 2.18 เป็นตัวอย่างของระบบสังเคราะห์ความถี่อย่างง่าย ประกอบด้วย 5 ภาค คือ ภาค VCO เป็นออสซิลเลเตอร์กำเนิดสัญญาณเอาท์พุทของระบบสังเคราะห์ความถี่ ภาคหาร N ทำหน้าที่หารความถี่แบบตั้งโปรแกรมให้หารด้วยค่าตัวเลขตามต้องการได้ (programmable divider) ภาคกำเนิดความถี่อ้างอิง คริสตอลออสซิลเลเตอร์หรือสัญญาณอื่นๆ (reference generator) ภาคเทียบเฟส และ ภาคลูปฟิลเตอร์ ซึ่งทำหน้าที่กรองเอาเฉพาะความถี่ต่ำไปใช้

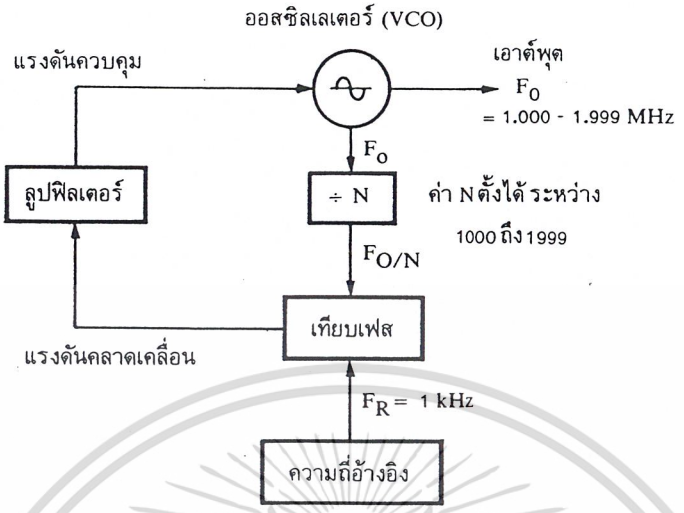
แผนผังในรูปที่ 2.18 จะเห็นว่า สัญญาณอินพุทของภาคเทียบเฟสมาจาก 2 แหล่งคือ จาก VCO มีความถี่เท่ากับ F_O/N และจากสัญญาณอ้างอิงมีความถี่เท่ากับ F_R เอาท์พุทจากการเปรียบเทียบก็คือผลต่างระหว่างสัญญาณ F_O/N กับ F_R ซึ่งจะกรองเฉพาะความถี่ต่ำเท่านั้น เพื่อบังคับการออสซิลเลทของวงจร VCO ให้ทำการปรับแก้ความถี่ (หรือเฟส) ให้ตรง จนกว่าความถี่ของสัญญาณทั้งสองจะเท่ากัน

ในสภาวะล็อค (lock) ความถี่ของ VCO เมื่อผ่านวงจรหาร N จะเท่ากับความถี่อ้างอิง นั่นคือ

$$F_O = NF_R$$

กล่าวอีกนัยหนึ่งว่า เอาท์พุทจะมีความถี่เป็น N เท่า ของความถี่อ้างอิงขอให้สังเกตว่า เฟสล็อคลูปดังกล่าว สามารถผลิตความถี่ได้แต่เฉพาะในช่วงความถี่ที่วงจร VCO และวงจรหาร N สามารถทำงานได้เท่านั้น และตัวเลขในการหาร (คือ N) ย่อมเป็นเลขจำนวนเต็มเสมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



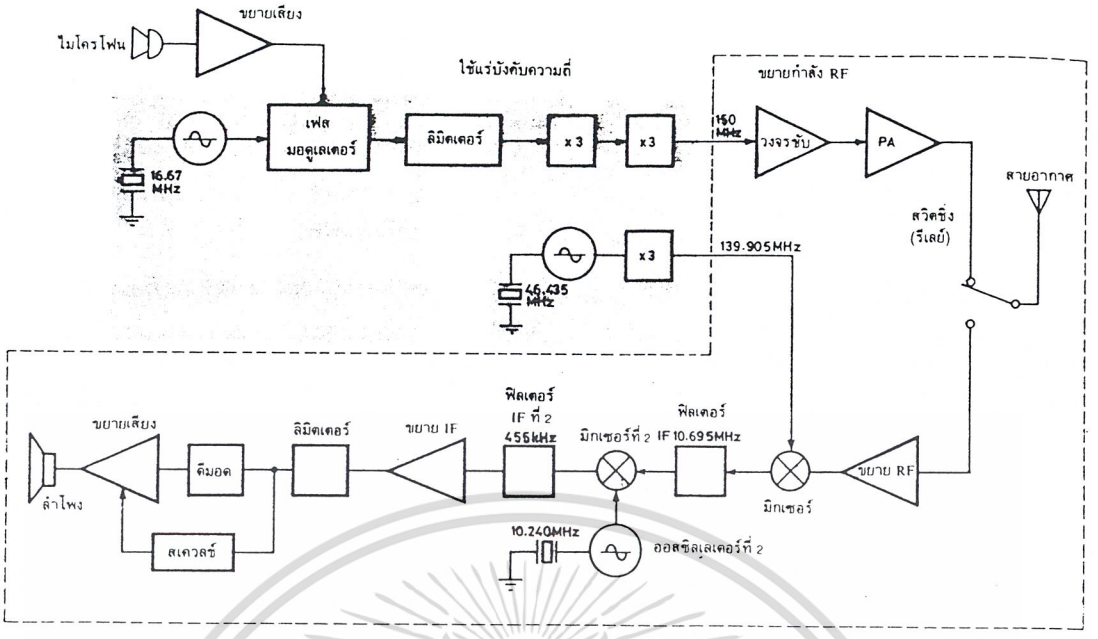
รูปที่ 2.18 แผนผังของหน่วยสังเคราะห์ความถี่

2.3.3ระบบสังเคราะห์ความถี่ในเครื่องรับส่งวิทยุ

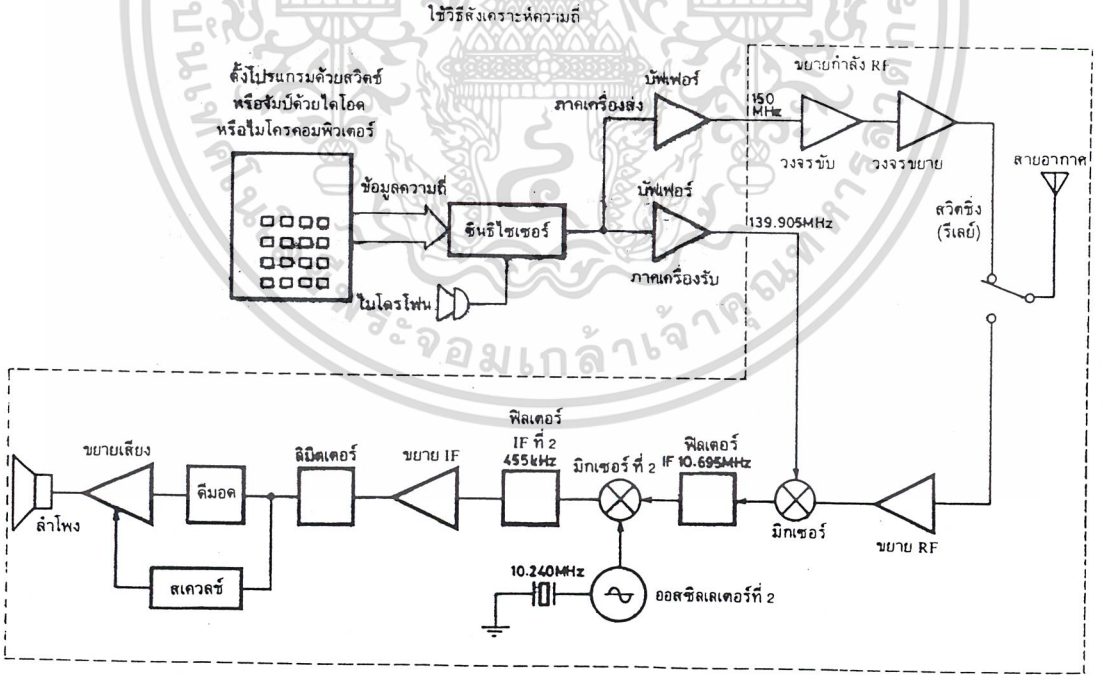
ข้อดีที่เห็นได้ชัดของระบบสังเคราะห์ความถี่ก็คือ ทำให้จำนวนช่องใช้งานเพิ่มขึ้นอย่างมหาศาล เครื่องรับส่งในสมัยก่อนมีจำนวนช่องใช้งานเพียงไม่กี่ช่อง แต่เครื่องรับส่งรุ่นใหม่มีจำนวนช่องใช้งานได้นับร้อยช่อง ทำให้สามารถเลือกใช้ความถี่ได้หลายความถี่ และเปลี่ยนความถี่ใช้งานได้สะดวก

สำหรับเครื่องรับส่งวิทยุที่ใช้แร่บังคับความถี่นั้น หากเพิ่มจำนวนช่องใช้งานจะต้องใช้แร่เพิ่มเติมอีกหลายก้อน และนอกจากนี้เมื่อเปลี่ยนความถี่ก็จะต้องเปลี่ยนแร่ใหม่ ทำให้ไม่คล่องตัวในการใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.19 (ก) ตัวอย่างของเครื่องรับวิทยุที่ใช้แร่บังคับความถี่



รูปที่ 2.19 (ข) ตัวอย่างแผนผังของเครื่องรับวิทยุที่ใช้ระบบสังเคราะห์ความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากนี้ระบบสังเคราะห์ความถี่ เป็นระบบที่ผสมเอาวงจรดิจิตอลเข้ามาใช้งานด้วย จึงทำให้การใช้งานเครื่องรับส่งวิทยุยิ่งสะดวกขึ้นไปอีก เพราะเมื่อเอาไมโครคอมพิวเตอร์มาต่อร่วมกับวงจร

สังเคราะห์ความถี่เพื่อควบคุมการทำงานของวงจรสังเคราะห์ความถี่แล้ว ยิ่งทำให้เครื่องรับวิทยุมีความสามารถต่างๆ เพิ่มขึ้นอีกมากมาย เช่น มีหน่วยจำความถี่ (memory) สามารถสแกน (scan) ความถี่ได้ ฯลฯ เครื่องรับส่งวิทยุประเภทนี้อาจจะมีแผงกดปุ่ม (keypad) เพื่อโปรแกรมสั่งงานได้จากภายนอกเครื่อง และมีหน่วยดิสเพลย์ (display) แสดงความถี่ซึ่งอาจจะใช้ LCD หรือ LED การเปลี่ยนความถี่ของเครื่องบางรุ่นนิยมใช้แกนหมุนเป็นแผ่นบังแสง (optical encoder) ร่วมกับสวิทช์ เพื่อให้เกิดความรู้สึกของการปรับจูนความถี่ แต่บางรุ่นก็ใช้สวิทช์ธัมวีล (thumbwheel) ธรรมดา

การตั้งความถี่ภายในเครื่อง ได้แก่การตั้งโปรแกรมโดยใช้ไดโอดหรือจัมเปอร์ หรือใช้หน่วยความจำ เช่น ROM, EPROM, RAM หรืออุปกรณ์อื่นๆ แทน

ลองเปรียบเทียบระหว่างแผนผังของเครื่องรับส่งวิทยุ VHF/FM ชนิดใช้แร่บังคับความถี่ กับชนิดที่ใช้การสังเคราะห์ความถี่ในรูปที่ 2.19 จะเห็นว่าทั้งสองชนิดแตกต่างกันตรงที่ภาคออสซิลเลเตอร์เป็นส่วนใหญ่นั่นคือหน่วยออสซิลเลเตอร์ทั้งภาครับและส่ง (ของชนิดสังเคราะห์ความถี่) กลายเป็นหน่วยสังเคราะห์ความถี่ซึ่งสามารถรับคำสั่งหรือโปรแกรมได้จากภายนอก โดยหน่วยสังเคราะห์ความถี่ทำหน้าที่ผลิตสัญญาณป้อนไปให้ทั้งภาครับและภาคส่งแทน ขอให้สังเกตว่าในสภาวะส่งในรูป 2.19(ก) สัญญาณก่อนที่จะป้อนให้แก่ภาคขยายสุดท้าย (ขยายกำลัง) จะต้องเป็นสัญญาณความถี่ที่ต้องการเหมือนกันคือ 150 เมกะเฮิรตซ์ และในสภาวะรับดังรูป 2.19(ข) ก็เช่นเดียวกัน สัญญาณป้อนหรืออินเจ็กชั่น(injection) เข้าที่มิกเซอร์ก็จะต้องเป็นความถี่เดียวกันคือ 139.905 เมกะเฮิรตซ์ เพื่อบีตให้เกิด IF เหมือนๆกัน นอกจากนี้ การมอดูเลทสัญญาณ FM (ในกรณีระบบสังเคราะห์ความถี่) ก็สามารถกระทำวงจร VCO ของภาคสังเคราะห์ความถี่ได้เลย

2.3.4 คุณสมบัติของวงจรสังเคราะห์ความถี่

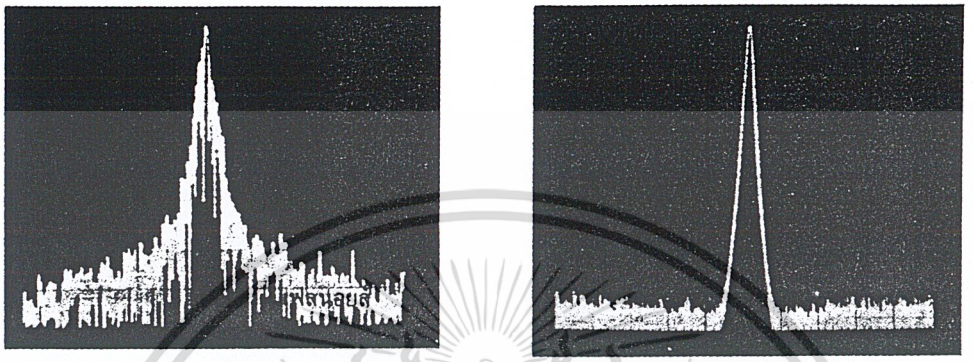
นอกจากวงจรสังเคราะห์ความถี่จะต้องมีคุณสมบัติเกี่ยวกับช่วงความถี่ (frequency range) ที่ต้องผลิตและเรโซลูชั่นระหว่างขั้นแล้ว คุณสมบัติอื่นๆ ของวงจรสังเคราะห์ความถี่ก็มีความสำคัญสำหรับเครื่องรับส่งวิทยุอีกด้วย ดังจะได้อธิบายต่อไปนี้

โดยปกติวงจรสังเคราะห์ความถี่จะสามารถกำเนิดสัญญาณเพียงสัญญาณเดียว แต่เลือกความถี่ได้หลายค่า (ในช่วงความถี่ใช้งาน) และมีความละเอียดของความถี่ขึ้นกับเรโซลูชั่น ในกรณีที่เราเปลี่ยนความถี่จากค่าหนึ่งไปอีกค่าหนึ่ง วงจรสังเคราะห์ความถี่จะต้องเปลี่ยนตามได้เร็วทันที กล่าวอีกอย่างหนึ่งคือล็อคความถี่ได้ในเวลาอันรวดเร็ว นั่นคือ ช่วงเวลาล็อค (lock-up time) สั้น คุณสมบัติการล็อคความถี่ใหม่ได้รวดเร็วนั้นจำเป็นอย่างยิ่งสำหรับเครื่องรับส่งวิทยุ โดยเฉพาะในระหว่างการเปลี่ยนจากสภาวะส่ง (รับ) มาเป็นสภาวะรับ(ส่ง) หรือในกรณีการสแกนความถี่

วงจรสังเคราะห์ความถี่ที่ดีจะต้องผลิตสัญญาณความถี่เดียว โดยปราศจากความถี่แปลกปลอมต่างๆ คุณสมบัตินี้เรียกว่า ความบริสุทธิ์ของสเปคตรัม (spectrum purity) นั่นคือความถี่ฮาร์โมนิคและสปิวเรียสต่างๆ จะต้องถูกกำจัดให้เหลือน้อยที่สุด นอกจากนี้นอยส์จากวงจรออสซิลเลเตอร์ จะทำให้วงจรสังเคราะห์ความถี่มีความถี่ไม่บริสุทธิ์ ไม่ใช่เพียงความถี่เดียว (ดูรูปที่ 2.20) ในช่วงใกล้เคียงกับความถี่ที่ต้องการ นอยส์ดังกล่าวนี้เรียกว่า เฟสนอยส์ (phase noise)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความเที่ยงตรง (accuracy) และ *เสถียรภาพ (stability)* ทางความถี่ของวงจรสังเคราะห์ความถี่ขึ้นอยู่กับสัญญาณอ้างอิง โดยทั่วไปสัญญาณอ้างอิงมักจะเป็นวงจรออสซิลเลเตอร์ชนิดใช้แร่บังคับความถี่ ฉะนั้นวงจรสังเคราะห์ความถี่จะมีเสถียรภาพและความเที่ยงตรงทางความถี่เทียบเท่ากับคริสตอลออสซิลเลเตอร์



(ก) เอาต์พุตมีเฟสนอยส์ (ข) เอาต์พุตที่บริสุทธิ์

รูปที่ 2.20 เฟสนอยส์ปรากฏเป็นความถี่แปลกปลอมในบริเวณใกล้ๆกับความถี่เอาท์พุท

วงจรสังเคราะห์ความถี่ที่ใช้กับเรื่องรับส่งวิทยุในย่านความถี่ HF (3 ถึง 30 เมกะเฮิรตซ์) ค่อนข้างมีความซับซ้อน เพราะการใช้งานในย่านความถี่นี้ เราต้องการเรโซลูชั่นละเอียดถึง 100 เฮิรตซ์ นอกจากนี้ช่วงความถี่ 3 ถึง 30 เมกะเฮิรตซ์ ค่อนข้างกว้างมาก วงจรสังเคราะห์ความถี่ที่ครอบคลุมช่วงความถี่กว้างๆ และมีเรโซลูชั่นละเอียดเช่นนี้ จะต้องออกแบบเป็นพิเศษเพื่อให้มีคุณสมบัตินอยส์ที่ดี และช่วงเวลาล็อคสั้นรวดเร็ว โดยทั่วไปอัตราส่วนความถี่สูงสุดและต่ำสุดระหว่างช่วงความถี่ใช้งานจะมีค่าไม่เกิน 2 เท่า ในกรณีที่อัตราส่วนเกิน2เท่าเราต้องใช้วงจร VCO หลายชุดแล้วมีสวิทช์เลือกเพื่อป้องกันการล็อคความถี่ฮาร์โมนิก และเพื่อให้ได้คุณสมบัตินอยส์ที่ดีสำหรับช่วงเวลาล็อครวดเร็วนั้น เราทำได้โดยใช้ลูปซ้อนกันหลายลูป (multiple loop)

2.3.5 วงจรต่าง ๆ ในเฟสล็อคลูป

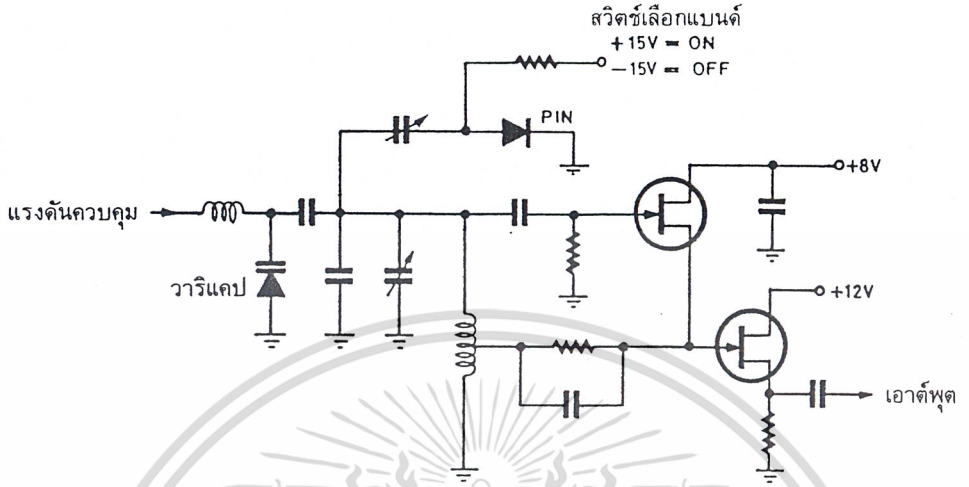
วงจรสำคัญที่กำเนิดความถี่เอาท์พุท ก็คือ วงจร VCO โดยทั่วไปเป็นวงจรออสซิลเลเตอร์ที่ใช้วาแรกเตอร์หรือวาริแคปเป็นส่วนหนึ่งในวงจรจูน ดังรูปที่ 2.20 คุณสมบัติที่สำคัญของ VCO ที่ต้องคำนึงถึงก็คือเฟสนอยส์ซึ่งเกิดจากนอยส์ในตัววาแรกเตอร์ ค่า Q เลื่อนไหลของวงจรจูน (drift) และคุณสมบัติในตัวอุปกรณ์แอกทีฟไม่คงที่

วงจร VCO นิยมใช้ FET เนื่องจากมีนอยส์ต่ำและอินพุทอิมพิแดนซ์มีค่าสูง แต่บางครั้งอาจใช้ไอซี เช่น เบอร์ MC1648 ดังรูปที่ 2.21 ซึ่งเป็นวงจรออสซิลเลเตอร์แบบ ECL โดยจะให้เอาท์พุทประมาณ 900 มิลลิโวลต์พีคทูพีค ซึ่งเพียงพอสำหรับเป็นโลคอลออสซิลเลเตอร์ แต่อย่างไรก็ดีคุณสมบัตินอยส์ย่อมสู้วงจรออสซิลเลเตอร์ที่ใช้ FET ไม่ได้

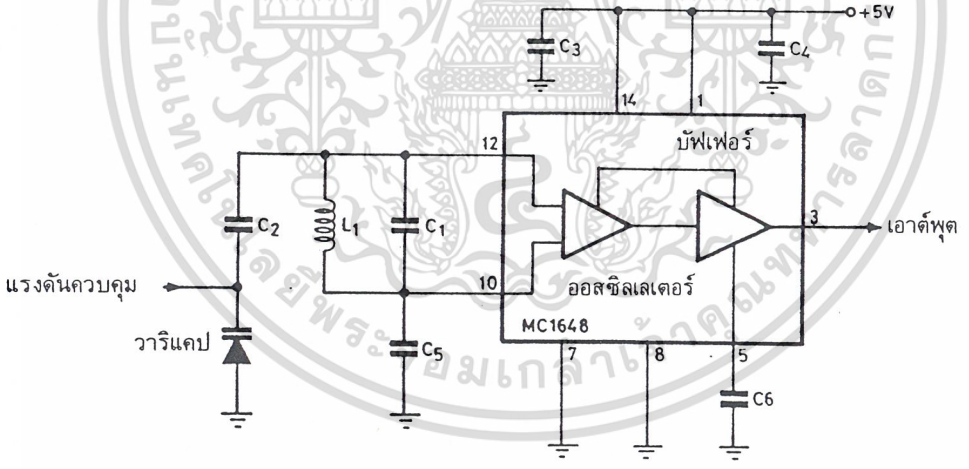
สังเกตว่าความถี่ของวงจร VCO ถูกควบคุมด้วยแรงดันควบคุมที่ป้อนมาไบแอสแก่วาริแคปในวงจรจูน ถ้าแรงดันที่ไบแอสแก่วาริแคปเพิ่มขึ้น ส่วนใหญ่ VCO จะมีความถี่สูงขึ้น แต่ก็มีบางวงจรที่ทำให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ VCO ลดลง แต่เป็นส่วนน้อย (เช่นในกรณีที่ใช้วงจรขยายอินเวอร์เตอร์มาขยายแรงดันควบคุมก่อน)



รูปที่ 2.21 วงจร VCO แบบใช้ FET



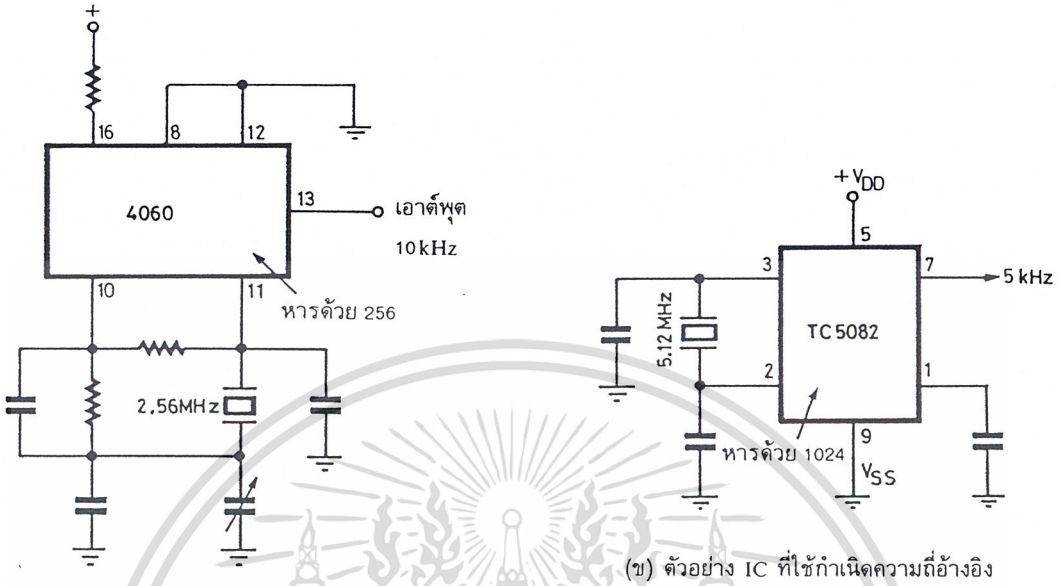
รูปที่ 2.22 วงจร VCO ชนิดเป็น IC ของ โมโตโรล่าเบอร์ MC 1648

ในวงจรรูปที่ 2.21จะเห็นว่าเราใช้ไดโอด PIN ในการสวิทช์เลือกแบนด์ เพื่อเพิ่มความจุไฟฟ้าให้วงจร VCO สามารถทำงานในย่านความถี่กว้างขึ้นได้

ภาคความถี่อ้างอิงนิยมใช้คริสตอลออสซิลเลเตอร์ และมีวงจรหารความถี่ค่าตายตัว ส่วนใหญ่เป็นไอซี ดูตัวอย่างในรูป 2.23(ก) แสดงตัวอย่างวงจรออสซิลเลเตอร์ ซึ่งใช้แร่ความถี่ 2.56 เมกะเฮิรตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แล้วหารออกมาเป็น 10 กิโลเฮิรตซ์ ทั้งวงจรออสซิลเลเตอร์และวงจรหารความถี่จะอยู่ภายในตัวไอซีทั้งหมด มีแต่เฉพาะ R และ C เท่านั้นที่ต่อภายนอก ส่วนรูป 2.23(ข) เป็นไอซีที่ใช้งานแบบเดียวกัน



(ก) วงจรออสซิลเลเตอร์อ้างอิงใช้ CMOS เบอร์ 4060

(ข) ตัวอย่าง IC ที่ใช้กำเนิดความถี่อ้างอิง เบอร์ TC 5082 P

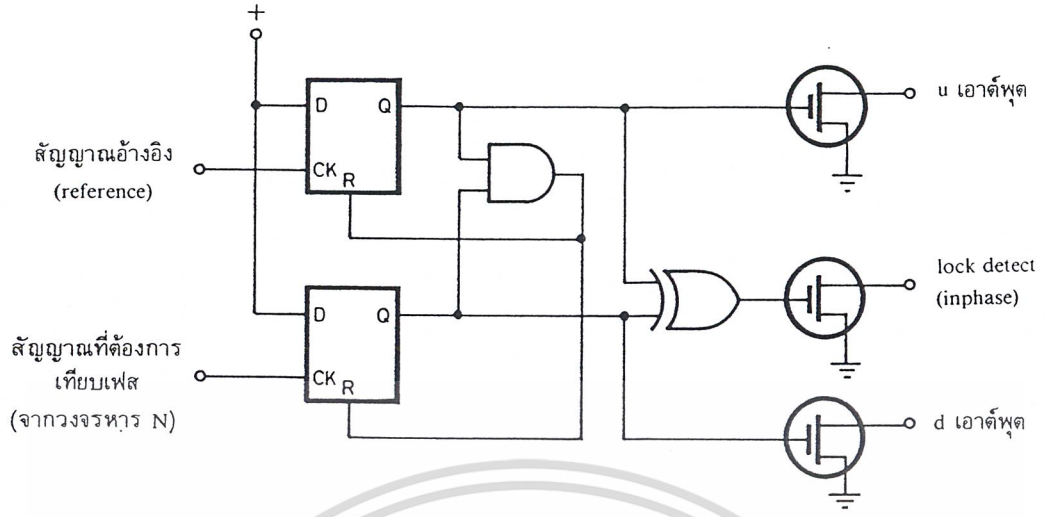
รูปที่ 2.23

ความถี่ออสซิลเลเตอร์อ้างอิงนี้ เป็นตัวกำหนดเรโซลูชั่นและเสถียรภาพของความถี่อ้างอิงที่ดี จึงทำให้สามารถสังเคราะห์ความถี่ที่มีเสถียรภาพที่ดีด้วย

ภาคเทียบเฟสส่วนใหญ่จะเป็นแบบดิจิตอล ซึ่งเปรียบเทียบสัญญาณอ้างอิงกับสัญญาณที่ได้จาก VCO (หลังการหาร N) เอาท์พุทที่ได้จากการเปรียบเทียบจะเป็นพัลส์ที่มีวัฏจักรหน้าที่ (duty cycle) เปลี่ยนแปลง ดูรูปที่ 2.24 ซึ่งแสดงไอซีที่ทำหน้าที่เป็นวงจรดีเทกเตอร์เฟส วงจรนี้ประกอบด้วยเกต exclusive OR, D-flipflop ฯลฯ ปกติจะมีเอาท์พุทพิเศษแสดงสภาวะล็อคด้วย สภาวะล็อคในที่นี้หมายถึงสภาวะที่ความถี่หรือเฟสของสัญญาณจาก VCO (หาร N) กับสัญญาณอ้างอิงตรงกันพอดี ล็อคเอาท์พุทนี้มีความสำคัญมากเพราะจำเป็นต้องใช้หยุดการทำงานภาคเครื่องส่ง(ของเครื่องรับส่งวิทยุ) ในกรณีที่ความถี่ไม่ล็อค

วงจรเทียบเฟสนี้ความจริงแล้วจะเรียกว่าเทียบเฟสหรือเทียบความถี่ก็ได้ เนื่องจากเอาท์พุทของเฟสดีเทคเตอร์ขึ้นอยู่กับผลต่างเฟสหรือความถี่ของสัญญาณอินพุท 2 สัญญาณผลลัพท์ที่ได้จากเฟสดีเทคเตอร์จะเป็นพัลส์ ซึ่งมีส่วนผสมของไฟ DC ปนอยู่ส่วนที่เป็นไฟ DC นี้จะนำไปใช้ควบคุมความถี่ของ VCO ไม่ว่าความถี่ของ VCO จะห่างจากความถี่ที่ต้องการเท่าใด ช่วงความถี่ที่วงจรเฟสล็อคลูปสามารถแก้ไขได้เรียกว่า capture range

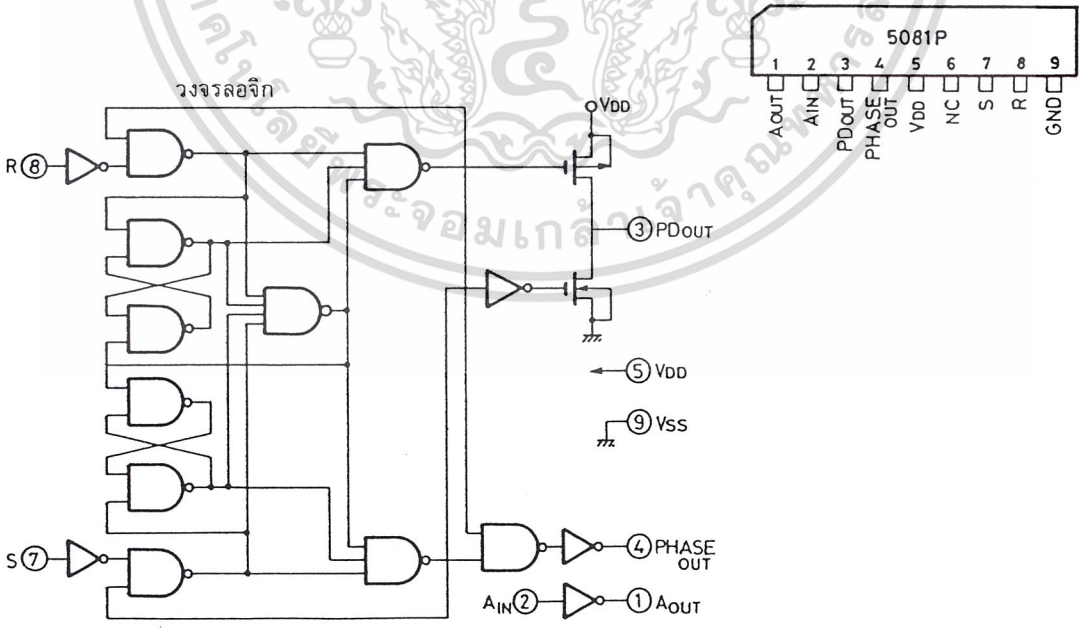
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.24 ภาคเฟสดีเทคเตอร์แบบ IC ของ Plesset เบอร์ NT 8811

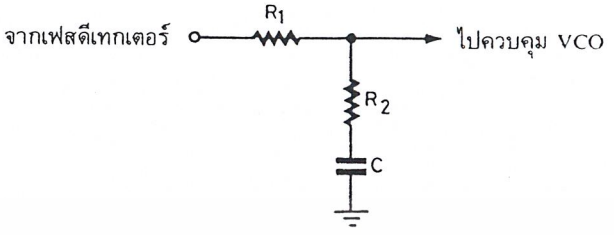
ตัวอย่างวงจรเฟสดีเทคเตอร์อีกแบบหนึ่งดังรูปที่ 2.25 ซึ่งมีหลักการคล้ายกับรูปที่ 2.24 แต่ซับซ้อนกว่า สังเกตว่ามีวงจรขยายอินเวอร์เตอร์อยู่ 1 ตัว ซึ่งเป็นวงจรขยายอเนกประสงค์ เพื่อประโยชน์ในการสลับขั้วแรงดันควบคุมของ VCO ให้อัตราขยายมีความแรงขึ้น หรือใช้ในการควบคุมอื่นๆ

ลูปฟิลเตอร์ เป็นวงจรฟิลเตอร์ชนิดโลพาสธรรมดา ทำหน้าที่กรองเอาเฉพาะสัญญาณความถี่ต่ำมาควบคุมความถี่ของ VCO โดยทั่วไปมักใช้ลูปฟิลเตอร์ประเภทพาสซีฟ (มีแต่ R กับ C หรือ อาจใช้ฟิลเตอร์ชนิดแอกทีฟก็ได้) ดูรูปที่ 2.26 ลูปฟิลเตอร์นี้เป็นตัวกำหนดคุณสมบัติการเปลี่ยนแปลงความถี่ก่อน



รูปที่ 2.25 เฟสดีเทคเตอร์แบบ IC อีกแบบหนึ่งของ Toshiba เบอร์ 5081

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



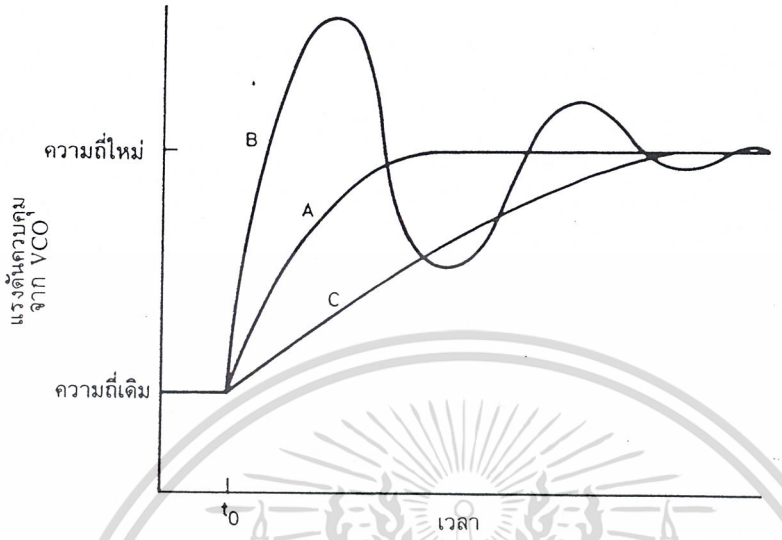
รูปที่ 2.26 ตัวอย่างวงจรลูปฟิลเตอร์

เข้าสู่สภาวะล็อคที่เรียกว่าคุณสมบัติชั่วครู่ (transient) ถ้าเลือกอัตราขยายลูป (loop gain) และค่าคงตัวเวลาของลูป (loop time constant) ไม่เหมาะสม ความถี่ของเฟสล็อคลูปจะไม่ล็อคและเปลี่ยนไปเปลี่ยนมา

ดังนั้น ค่าคงตัวเวลาของลูปฟิลเตอร์จะต้องไม่มากเกินไป เพื่อว่าทุกครั้งที่เปลี่ยนความถี่เฟสล็อคลูปจะล็อคได้เร็ว โดยไม่มีการสะบัด (overshoot) หรือใช้เวลาเปลี่ยนความถี่อย่างรวดเร็ว แต่ค่าคงตัวเวลาก็ไม่ควรจะน้อยเกินไปจนกระทั้งความถี่สั่นหรือไม่นิ่ง (jitter) ดูรูปที่ 2.27 ซึ่งแสดงการเปลี่ยนความถี่ของ VCO จะเห็นว่าเส้นทางการเปลี่ยนแรงดันมี 3 เส้นทาง เส้นทาง A เป็นเส้นทาง critically damped ใช้เวลาในการเปลี่ยนสู่ความถี่ใหม่น้อยที่สุด เส้นทาง B เรียกว่าเส้นทาง underdamped มีการสะบัด (หรือออสซิลเลต) เนื่องจากโอเวอร์ชูต เส้นทาง C เป็นเส้นทาง overdamped ไม่มีโอเวอร์ชูตแต่เวลาที่ใช้ในการเข้าสู่ความถี่ใหม่จะช้า

เส้นทาง A เป็นเส้นทางที่ดีที่สุดในการออกแบบค่าคงตัวเวลาของวงจรลูปฟิลเตอร์ เพราะใช้เวลาเปลี่ยนความถี่เร็วและไม่มีโอเวอร์ชูต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.27 คุณลักษณะ (dynamic characteristics) ในการเปลี่ยนความถี่ของเฟสล็อคลูป

ยังมีอีกภาคหนึ่งที่มีผลต่อช่วงเวลาที่ใช้ในการล็อคความถี่ นั่นคือภาคหาร N (หรือ programmable divider) เวลาที่ใช้ในการล็อคความถี่เมื่อ N มีค่าน้อยสุดจะไม่เท่ากับเมื่อ N มีค่ามากสุด วงจรหาร N เกิดจากวงจรนับฐานสิบ (decade counter) หลายๆชุดมาต่อร่วมกับเกตต่างๆ เพื่อให้สามารถเลือกสั่งให้วงจรนับทำหน้าที่หารความถี่ได้ตามตัวเลขที่ตั้งไว้

วงจรหาร N นี้เป็นตัวที่รับคำสั่งเกี่ยวกับความถี่ไปควบคุม VCO เพื่อให้กำเนิดสัญญาณตามที่ต้องการ ตัว N จะเป็นตัวที่กำหนดย่านความถี่และจำนวนช่องความถี่

วงจรหาร N บางชนิดใช้วิธีป้อนข้อมูล N เป็นแบบอนุกรม (serial) วงจรหารประเภทนี้มีความซับซ้อน เพราะต้องมีสัญญาณนาฬิกา (clock) มีวงจรแลตช์ (latch) ฯลฯ ในการป้อนข้อมูล วงจรหาร N ประเภทนี้จะควบคุมการทำงานด้วยไมโครคอมพิวเตอร์

ปัญหาสำคัญของซินธิไซเซอร์อีกอย่างหนึ่งก็คือ วงจรหาร N (หรือวงจรหารที่ตั้งโปรแกรมได้) ไม่สามารถทำงานที่ความถี่สูงกว่า 25 เมกะเฮิรตซ์ได้ ฉะนั้นเราจึงต้องหาทางลดทอนความถี่ที่ป้อนแก่วงจรหาร N ลง เพื่อให้วงจรลอจิกของวงจรหาร N ทำงานได้ วิธีต่างๆที่นิยมใช้ได้แก่ ใช้ความถี่จากออสซิลเลอร์พิเศษ (บางครั้งเรียกออสซิลเลเตอร์ PLL) มามิกซ์กับ VCO ให้ความถี่ลดลงก่อนที่จะป้อนให้แก่วงจรหาร อีกวิธีหนึ่งก็คือใช้วิธีพรีสเกลแบบสองโมดูลัสหารล่วงหน้าโดยใช้ตัวหาร 2 ค่า

2.3.6 วิธีสังเคราะห์ความถี่แบบมิกซิ่ง

วิธีสังเคราะห์ความถี่แบบมิกซิ่งนี้ แตกต่างจากเฟสล็อคลูปหาร N แบบที่กล่าวมาแล้ว ตรงที่เอาท์พุทของ VCO ผ่านการผสมหรือมิกซ์กับสัญญาณจากออสซิลเลเตอร์ ก่อนที่จะป้อนให้วงจรหาร N รูปที่

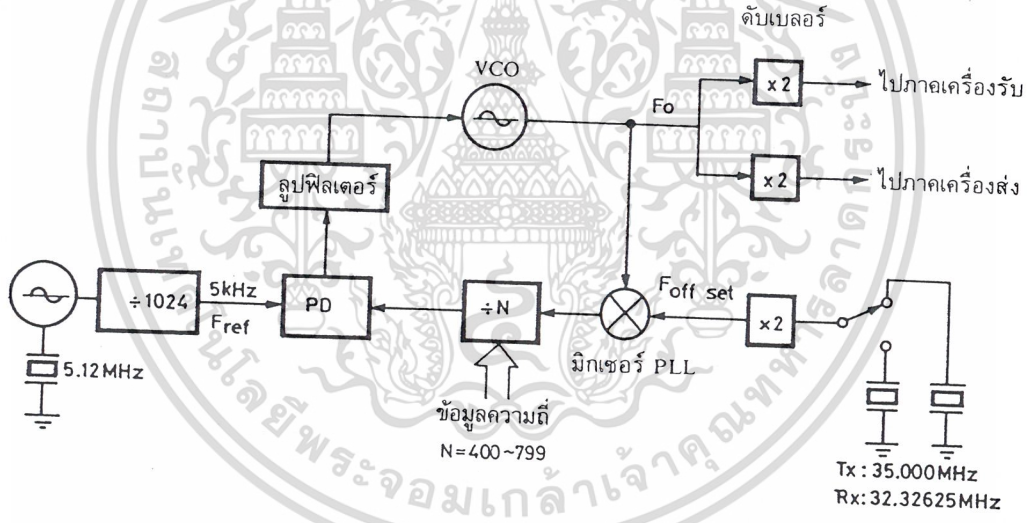
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.28 แสดงแผนผังของระบบสังเคราะห์ความถี่ของเครื่องรับส่งวิทยุระยะย่าน 2 เมตร ความถี่ของ VCO ในสภาวะรับกับสภาวะส่งจะไม่เท่ากัน (เพราะเลื่อนความถี่ให้ห่างเท่ากับ IF)

VCO จะทำงานในย่านความถี่ 72 เมกะเฮิรตซ์ แล้วทวีคูณ 2 เท่าทั้งสภาวะรับและสภาวะส่งเป็นความถี่ระหว่าง 144 ถึง 148 เมกะเฮิรตซ์ ซึ่งจะตรงกับความถี่ของ VCO สภาวะส่งคือ 72 ถึง 74 เมกะเฮิรตซ์ และ VCO สภาวะรับ 66.6525 ถึง 68.6525 เมกะเฮิรตซ์ (ใช้ป้อนด้านต่ำ โดยมี IF เท่ากับ 10.695 เมกะเฮิรตซ์)

สังเกตว่า VCO จะมิกซ์กับ PLL ออสซิลเลเตอร์ ซึ่งทวีคูณความถี่ด้วยวงจรคูณความถี่ 2 เท่า ทำให้ความถี่ถูกลดทอนลงเป็น 2 และ 4 เมกะเฮิรตซ์ ย่านความถี่นี้บางทีเรียกว่าเป็นความถี่ IF ของ PLL (นิยมเรียก PLL-IF) จากนั้นจะป้อนเข้าสู่วงจรหาร N โดย N มีค่าระหว่าง 400 ถึง 799 เหตุผลสำคัญที่เราต้องลดทอนความถี่ VCO ลงเป็นความถี่ PLL-IF ก็เพื่อทำให้วงจรหาร N ทำงานในย่านความถี่ต่ำลงมาได้

ความถี่อ้างอิงกำเนิดจากแร่ความถี่ 5.12 เมกะเฮิรตซ์ แล้วหารด้วย 1024 เป็น 5 กิโลเฮิรตซ์ ซึ่งเมื่อ VCO ถูกทวีคูณ 2 เท่าเรโซลูชั่นจะกลายเป็นขั้นละ 10 กิโลเฮิรตซ์ ความถี่อ้างอิงกับเอาท์พุทของวงจรหาร N จะเทียบเฟสกันแล้วป้อนไปยัง ลูปฟิลเตอร์และ VCO ตามลำดับ



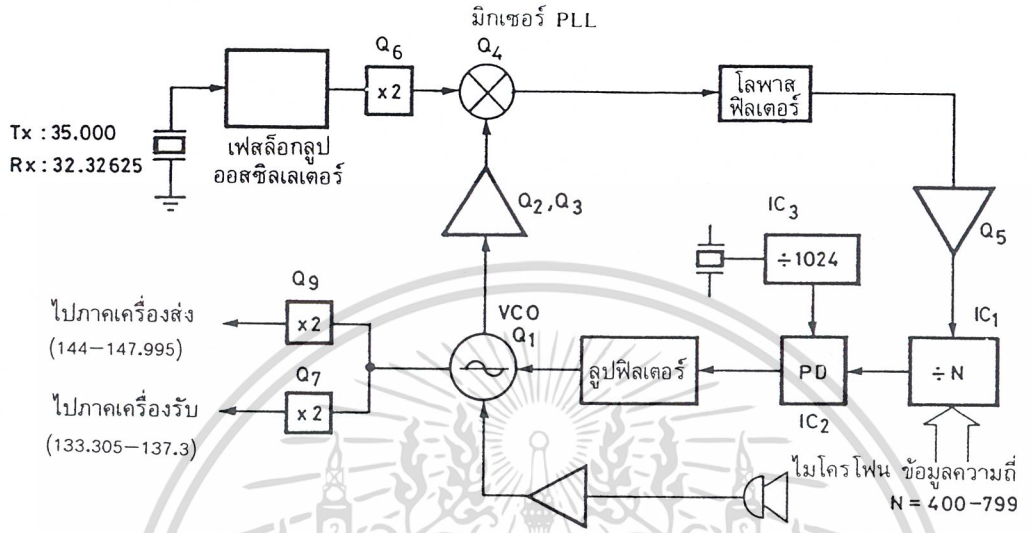
รูปที่ 2.28 หน่วยสังเคราะห์ความถี่แบบมิกซิ่งสำหรับเครื่องรับส่งวิทยุย่าน 2 เมตร(ความถี่ย่าน 150 MHz)

จากแผนภูมิในรูปที่ 2.28 จะเห็นว่า ค่าของ N ที่ป้อนให้แก่วงจรหาร N ในสภาวะรับและสภาวะส่งมีค่าเท่าเดิม แต่ความถี่ของ VCO เปลี่ยนไปได้เพราะความถี่ของ PLL ออสซิลเลเตอร์เปลี่ยน(ด้วยวงจรอิเลคโทรนิกส์สวิทช์) โดยทำให้ VCO เลื่อนความถี่ไป 5.3475 เมกะเฮิรตซ์ (คือ IF 10.695 เมกะเฮิรตซ์ หารด้วย 2) การที่ VCO ต้องเปลี่ยนความถี่ใหม่จากสภาวะรับเป็นสภาวะส่ง(หรือกลับกัน) นั้นเฟสล็อคลูปจะต้องล็อคความถี่ใหม่ ฉะนั้นการออกแบบวงจรจึงต้องคำนึงถึงคุณลักษณะการล็อคความถี่ด้วย

สำหรับรูปที่ 2.29 เป็นวงจรในทางปฏิบัติ ซึ่งใกล้เคียงกับหน่วยสังเคราะห์ความถี่ในรูปที่ 2.28 เพื่อทำการเปรียบเทียบและทำความเข้าใจหลักการที่สำคัญต่างๆ ในกรณีวิธีสังเคราะห์ความถี่แบบมิกซิ่งนั้น ความถี่เอาท์พุทจะเลื่อนไปเท่ากับความถี่ที่ผสม(ในที่นี้คือ 35×2=70เมกะเฮิรตซ์ และ 32.32625×2

เอกสารนี้ใช้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

= 64.6525 เมกะเฮิรตซ์ เราเรียกความถี่ที่เลื่อนไปนี้ว่า ความถี่ออฟเซต เทียบตามแผนผังที่แสดงในรูปที่ 2.18 เราจะได้ความสัมพันธ์ดังนี้



รูปที่ 2.29 ตัวอย่างแผนผังและวงจรของหน่วยสังเคราะห์ความถี่ในทางปฏิบัติ

$$F_O = F_{offset} + NF_{ref}$$

คำนวณจาก

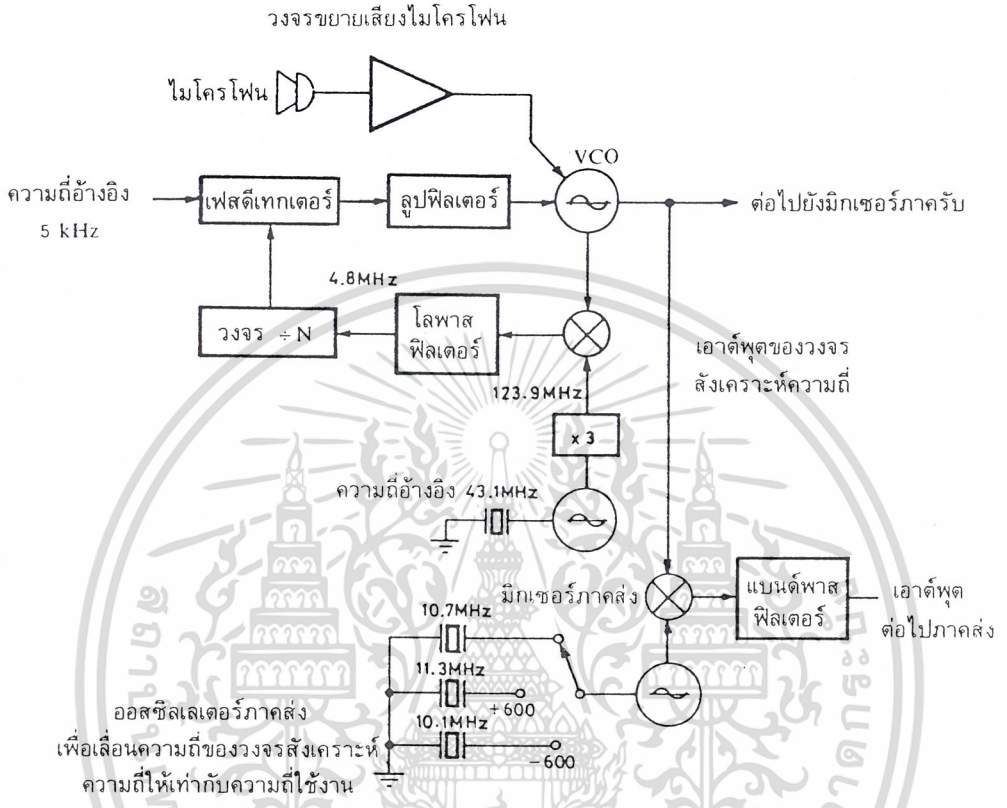
$$(\frac{F_O - F_{offset}}{N} = F_{ref} \text{ ที่วงจรเทียบเฟส})$$

จากรูปที่ 2.30 เป็นระบบสังเคราะห์ความถี่อีกชนิดหนึ่ง (คล้ายกับในรูปที่ 2.28)ซึ่งใช้ PLL ออสซิลเลเตอร์และมิกเซอร์ประกอบกัน โดยการมิกซ์สัญญาณ VCO กับ PLL ออสซิลเลเตอร์ เพื่อลดทอนความถี่ให้ต่ำลงเป็น PLL-IF ข้อแตกต่างระหว่างทั้งสองชนิดคือ VCO ในกรณีหลังนี้ ไม่ต้องเปลี่ยนความถี่ระหว่างสภาวะรับกับสภาวะส่ง แต่ความถี่จาก VCO จะถูกเฮตเทอร์โรดายน์กับความถี่จากออสซิลเลเตอร์เพื่อเลื่อนความถี่ แทนที่จะไปเปลี่ยนความถี่ในตัว VCO ลักษณะเด่นของการสังเคราะห์ความถี่แบบนี้ก็คือ ไม่ต้องใช้เวลาในการล็อคความถี่ของเฟสล็อคลูป ในระหว่างการเปลี่ยนสภาวะรับเป็นส่ง(หรือส่งเป็นรับ)แต่อย่างใด

สังเกตแร่ทั้ง 4 ตัวจากแผนผังในรูปที่ 2.29 ตัวแรกคือแร่ที่ผลิตความถี่ 43.1 เมกะเฮิรตซ์ เป็นแร่ที่กำเนิดความถี่อ้างอิง ส่วนแร่ 3 ตัวที่เหลือจะใช้ในสภาวะส่ง โดยแร่ตัวที่ใช้เลื่อนความถี่ไปเท่ากับความถี่ IF ของเครื่องรับส่งวิทยุ (คือแร่ความถี่ 10.7 เมกะเฮิรตซ์) เป็นแร่ชิมเพล็กซ์ ส่วนแร่อีกสองตัวที่เหลือเป็นแร่สำหรับรีพีทเตอร์ ซึ่งจะมีความถี่ออฟเซทไป +600 กิโลเฮิรตซ์ หรือ -600 กิโลเฮิรตซ์จากความถี่IF การมิกซ์ที่ภาคส่งนี้เป็นข้อเสียของระบบสังเคราะห์ความถี่ชนิดนี้ เนื่องจากสัญญาณแปลกปลอมมีโอกาสที่จะ

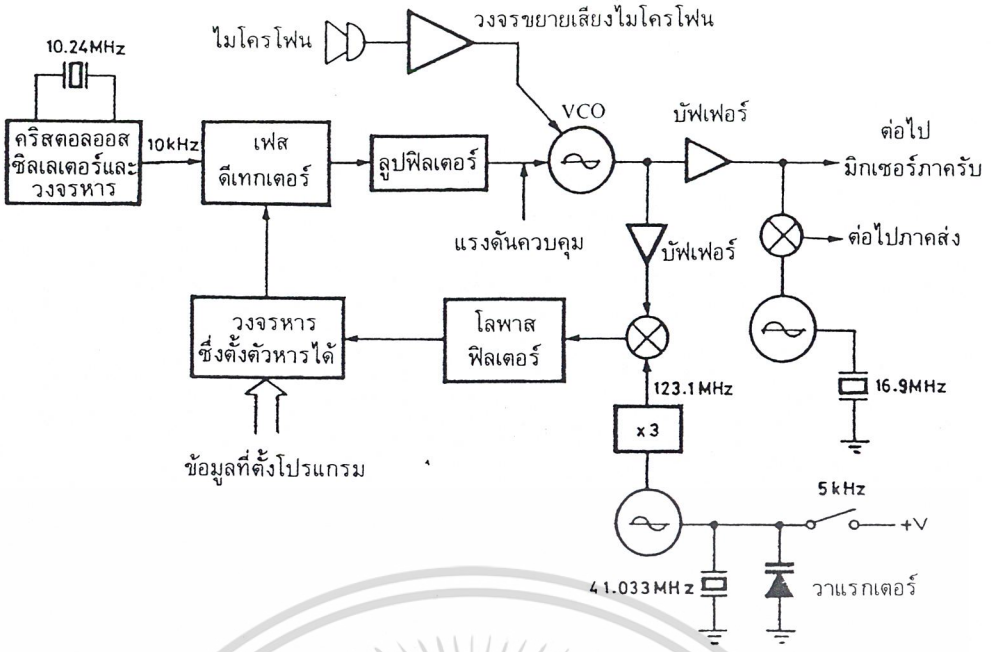
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลุดลอดออกไปยังภาคเครื่องส่งออกอากาศไปได้ ดังนั้นจึงจำเป็นต้องมีการฟิลเตอร์อย่างดีก่อนป้อนให้ภาคเครื่องส่ง



รูปที่ 2.30 หน่วยสังเคราะห์ความถี่แบบมิกซิ่งชนิดที่ความถี่ของ VCO ไม่เปลี่ยนระหว่างสภาวะรับกับส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.31 หน่วยสังเคราะห์ความถี่แบบมิกซิ่ง ที่ใช้แร่เพียงตัวเดียวเพื่อเลื่อนความถี่ส่งระหว่างสภาวะรับกับส่ง

การมอดูเลทนิยมทำที่เฟสล็อคลูป บางวงจรอาจจะมีวาริแคปอีกตัวหนึ่ง เพื่อใช้ในการมอดูเลทโดยเฉพาะ

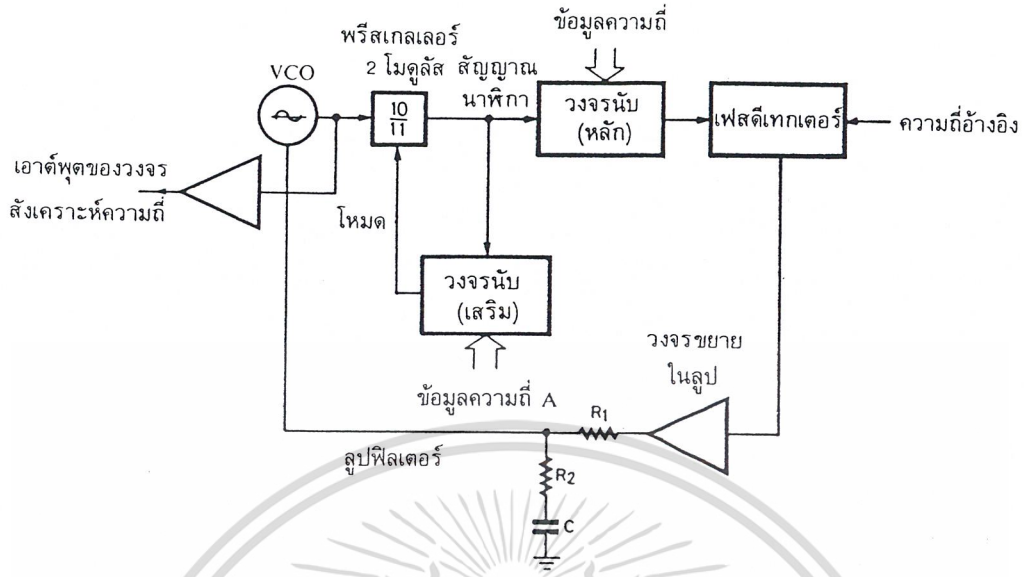
ตัวอย่างของการสังเคราะห์ความถี่แบบมิกซิ่งอีกตัวอย่างหนึ่ง ดังในรูปที่ 2.31 ก็คล้ายคลึงกับในตัวอย่างแรก (รูปที่ 2.28) เว้นแต่ว่าใช้แร่เพียงตัวเดียวในการมิกซ์กับสัญญาณจาก VCO ที่มิกเซอร์ภาคส่งเพื่อส่งออกอากาศ สำหรับในกรณีของการรับส่งผ่านรีพีทเตอร์ ซึ่งความถี่เลื่อนไป + 600 หรือ – 600 กิโลเฮิรตซ์ ทำได้โดยการป้อนข้อมูล N ตัวใหม่จากไมโครคอมพิวเตอร์ให้แก่วงจรหาร N จะเห็นว่าวงจรสังเคราะห์ความถี่จะต้องเสียเวลาในการล็อคที่ความถี่เลื่อนไป 600 กิโลเฮิรตซ์ เวลาที่ใช้ในการล็อคความถี่เมื่อเลื่อนความถี่ไปน้อยๆเช่นนี้ จำเป็นต้องมีความแน่นอนและรวดเร็วเพียงพอ

ข้อเสียของระบบนี้ก็คือ การเลื่อนความถี่ยุ่งยากและต้องคำนวณตัวเลขที่ซับซ้อนขึ้น แต่โดยทั่วไปแล้ว เครื่องรับส่งวิทยุที่ควบคุมด้วยไมโครคอมพิวเตอร์ เราจะใช้ตัวคอมพิวเตอร์เป็นตัวป้อนข้อมูลเพื่อเปลี่ยนแปลงความถี่ของภาคสังเคราะห์ความถี่เอง

2.3.8 วิธีหารความถี่แบบที่ใช้วงจรหารสองโมดูลัส

วิธีที่จะทำให้ระบบสังเคราะห์ความถี่ผลิตความถี่สูงมากได้อีกวิธีหนึ่งก็คือ การใช้วงจรหารเป็นแบบวงจรหารสองโมดูลัส (แทนที่จะเป็นวงจรหาร N ธรรมดาดังที่ได้กล่าวมาในตอนต้น) ส่วนสำคัญของวงจรหารสองโมดูลัสคือ ไอซีตระกูล ECL ซึ่งมีความสามารถในการทำงานที่ความถี่สูงกว่าตระกูล TTL หลายเท่า ไอซีที่กล่าวถึงนี้จะทำการ *หารล่วงหน้า* (หรือ prescaler) ก่อน หมายถึงมีการทำงานในลักษณะที่หารได้ 2 ครั้ง ด้วยค่า 2 ค่าสลับกันในตัวไอซีตัวเดียว เรานิยมเรียกไอซีตระกูล ECL ในที่นี้ว่า พรีสเกลเลอร์ชนิดสองโมดูลัส (dual modulus prescaler)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.32 หน่วยสังเคราะห์ความถี่แบบใช้วงจรหารสองโมดูลัส

พรีสเกลเลอร์ตัวนี้สามารถหารความถี่ด้วยตัวเลข 2 ตัว ซึ่งต่างกันอยู่ 1 เช่น หาร 10 หรือ 11 เรียกว่า 10/11 พรีสเกลเลอร์ หาร 15 หรือ 16 เรียก 15/16 พรีสเกลเลอร์ สังเกตว่าตัวหารทั้งคู่ต่างกันอยู่ 1

ในตัวอย่างต่อไปนี้เราจะใช้ 10/11 พรีสเกลเลอร์(ดูรูปที่ 2.32) เอาท์พุตของพรีสเกลเลอร์จะป้อนไปให้แก่วงจรเคาท์เตอร์ ตระกูล TTL 2 ตัว ตัวหนึ่งเป็นเคาท์เตอร์หลัก (maon counter) ส่วนอีกตัวหนึ่งเป็นเคาท์เตอร์เสริม (auxillary counter)

ตัวเคาท์เตอร์เสริมจะเป็นตัวบังคับให้พรีสเกลเลอร์หารด้วยตัวหาร (modulus) ตัวใด คือหารด้วย 10 หรือ 11 เช่นสมมติว่าป้อนข้อมูล(ความถี่) หรือพรีเซตตัวเลขให้เคาท์เตอร์เสริม และในขณะนี้ ECL พรีสเกลเลอร์ใช้ 11 เป็นตัวหาร เมื่อเคาท์เตอร์เสริมหยุดนับ จึงจะส่งคำสั่งไปบังคับให้พรีสเกลเลอร์เปลี่ยนเป็นหารด้วย 10

ตัวเคาท์เตอร์หลักก็เช่นเดียวกัน จะค่อยๆนับถอยหลังไปเรื่อยๆจนเป็นศูนย์ เมื่อเคาท์เตอร์ทั้งตัวหลักและตัวเสริมนับถึงศูนย์เมื่อใด ทั้งคู่จะถูกพรีเซตด้วยตัวเลขข้อมูล(ความถี่)เนื่องจากเคอท์เตอร์เสริมจะต้องนับถึงศูนย์ก่อน ดังนั้นตัวเลขที่พรีเซตให้เคาท์เตอร์เสริมจะต้องน้อยกว่าตัวเลขที่พรีเซตให้เคาท์เตอร์หลัก

สมมติว่าตัวเลขที่พรีเซตเป็น M ให้แก่เคาท์เตอร์หลัก และ A ให้แก่เคาท์เตอร์เสริม เริ่มแรกให้พรีสเกลเลอร์อยู่ในสภาวะหาร 11 ซึ่งจะยังคงหารตัวหาร 11 ไปจนกว่าเคาท์เตอร์เสริมจะนับลงเป็นศูนย์ นั่นคือเวลาที่ใช้ในการนับของเคาท์เตอร์เสริมเป็นศูนย์ คิดเป็นจำนวนไซเคิล (ของ VCO) ที่ผ่านไป จะเท่ากับ 11 คูณด้วย A ไซเคิล

หลังจากนั้นพรีสเกลเลอร์จะถูกบังคับให้เปลี่ยนตัวหารเป็น 10 (โดยเคาท์เตอร์เสริม) ในขณะนี้เคาท์เตอร์หลักนับผ่าน A ไปแล้ว (พร้อมกับเคาท์เตอร์เสริม)เช่นกัน ยังเหลืออยู่อีก M-A ไซเคิลก่อนที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นับเป็นศูนย์ นั่นคือจะต้องใช้เวลาในการนับเคาทเตอร์หลักเป็นศูนย์ต่อไปอีก คิดเป็นจำนวนไซเคิล(ของ VCO) ที่ผ่านไปเท่ากับ 10 คูณด้วย (M-A)

ฉะนั้นรวมเวลาที่ใช้จึงเป็นผลรวมของเวลาทั้งสองข้างต้น คือ

$$\text{VCO ไซเคิล} = 11A + 10(M-A) = 10M + A$$

ความถี่ของ VCO จะเท่ากับ (10M + A) เท่าของความถี่อ้างอิง หรือ

$$F_{synth} = F_{ref}(10M + A)$$

ขอให้สังเกตว่า ผลของตัวเลข M มีผลต่อความถี่ F_{synth} มากกว่าตัวเลข A อยู่ 10 เท่า นอกจากนี้ตัวหาร 10(M+A) ก็ไม่สามารถหาได้ครบตัวเลขทุกค่า เนื่องจากมีข้อจำกัดตรงที่ M จะต้องมากกว่า(หรือเท่ากับ) A ในที่นี้ตัวหาร (10M + A) จะหารได้ครบทุกค่าถ้าเกิน 90 แต่ถ้าหารน้อยกว่า 90 จะหารได้ไม่ครบทุกตัว ทดลองหาตัวเลข M กับ A ที่ทำให้ตัวหารมีค่า 89 ดูจะพบว่า หาไม่ได้

สมการที่ยกตัวอย่างมาข้างต้นใช้กับพรีสเกลเลอร์แบบ 10/11 ในกรณีที่พรีสเกลเลอร์ชนิดสองโมดูลัส เป็นแบบ P และ (N-1) ตัวหารจะกลายเป็นดังนี้

ตัวหารของระบบสังเคราะห์ความถี่ = PM+A

ตัวหารต่ำสุด =P(P-1)

ตัวหารสูงสุด $=P\,M_{max} + A_{max}$

ถ้าโมดูลัส(ตัวหาร) ของพรีสเกลเลอร์มีค่ามาก ตัวหารต่ำสุดก็จะยิ่งมากยิ่งขึ้นไปอีก ซึ่งเหมาะสมกับระบบสังเคราะห์ความถี่ที่ผลิตความถี่สูงๆ และช่วงห่างระหว่างช่องแคบ

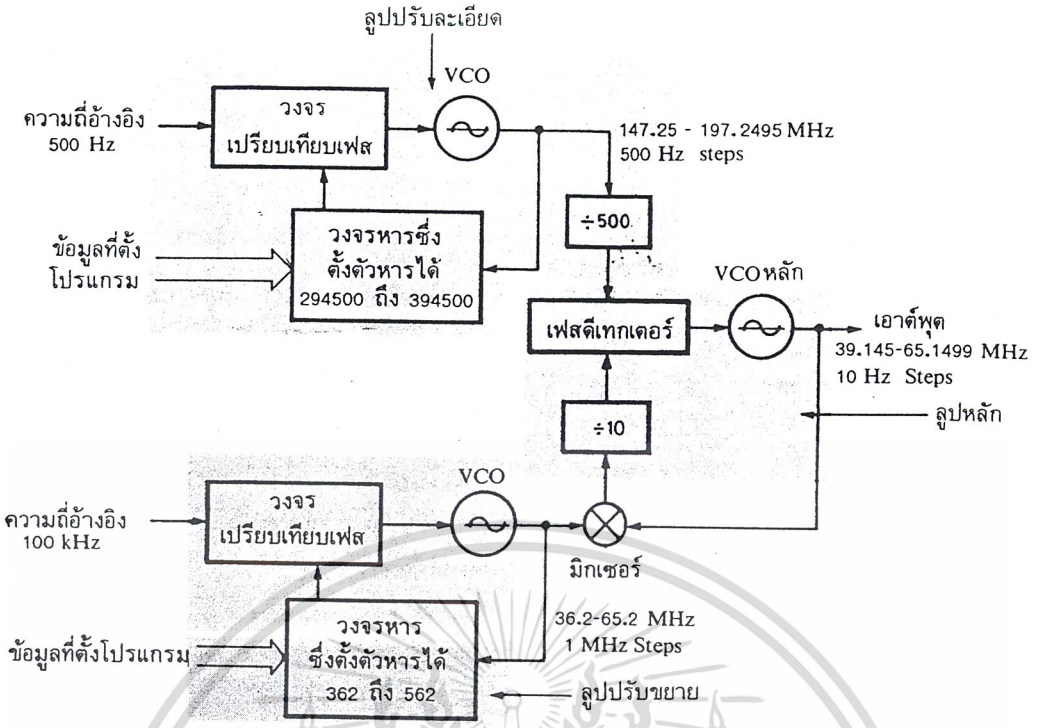
เหตุผลสำคัญในการใช้พรีสเกลเลอร์ชนิดสองโมดูลัสก็เพื่อลดทอนความถี่ลง และให้ใช้กับวงจรหาร N ตระกูล TTL หรือ CMOS ได้ ถ้าใช้พรีสเกลเลอร์แบบ 256/257 ก็จะสามารถสังเคราะห์ความถี่ไปถึงย่าน UHF ได้ ข้อดีอีกอย่ างหนึ่งของพรีสเกลเลอร์ชนิดสองโมดูลัสก็คือ ทำให้การกำเนิดความถี่ที่ไม่ตร งกับความถี่ที่แสดงเช่นในสภาวะรับ โลคอลออสซิลเลเตอร์จะผลิตความถี่แตกต่างจากความถี่ใช้งานอยู่เท่ากับความถี่ IF ของเครื่องรับ อีกตัวอย่างหนึ่ง เช่นในกรณีของการเลื่อนความถี่ภาคส่งสำหรับรีพีตเตอร์ (repeater offset) เป็นต้น ลักษณะเด่นของระบบสังเคราะห์ความถี่นี้คือสามารถทำงานที่ความถี่สูง (high speed operation) ได้โดยอาศัยเทคนิคทางดิจิตอลมาช่วย

2.3.9 การสังเคราะห์ความถี่ในย่าน HF

ดังที่ได้กล่าวมาแล้วว่า หน่วยพื้นฐานของระบบสังเคราะห์ความถี่ก็คือเฟสล็อคลูป หลักการสังเคราะห์ความถี่ก็คล้ายคลึงกันทั้งสิ้น แต่ความซับซ้อนขึ้นอยู่กับความสามารถหรือการใช้งาน การสังเคราะห์ความถี่ในย่าน VHF มีความซับซ้อนกว่าการสังเคราะห์ความถี่ในย่าน HF มาก ด้วยเหตุผลหลายประการ เช่น

ประการที่หนึ่ง ย่านความถี่ VHF เช่นในวิทยุสมัครเล่นความถี่ 144 ถึง 148 เมกะเฮิรตซ์ มีช่วงกว้างของความถี่ประมาณ 2.8 เปอร์เซนต์ของความถี่กึ่งกลาง แต่ย่านความถี่ HF (3 ถึง 30 เมกะเฮิรตซ์)มีช่วงกว้างของความถี่ถึง 200 เปอร์เซนต์ของความถี่กลาง ลองพิจารณาเครื่องรับส่งวิทยุชนิดอัพคอนเวอร์ชั่น ซึ่งใช้ IF ในย่าน 40 เมกะเฮิรตซ์ เราต้องใช้ความถี่อยู่ระหว่าง 40 ถึง 70 เมกะเฮิรตซ์ ซึ่งคิดในช่วงกว้างได้ประมาณ 50 ถึง 60 เปอร์เซนต์ ของย่านความถี่กึ่งกลาง

เอกสารนี้ใช้ประโยชน์ได้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น รวมทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.33 แผนผังของหน่วยสังเคราะห์ความถี่ในเครื่องคอลลินส์ KWM 380

ประการที่สอง เรโซลูชั่นของเครื่องรับส่งวิทยุในย่านความถี่ HF ละเอียดมาก คือมีเรโซลูชั่นประมาณ 10 ถึง 100 เฮิรตซ์ ส่วนเครื่องรับส่งวิทยุย่านความถี่ VHF ค่าเรโซลูชั่นมีค่าเท่ากับ 5 หรือ 10 กิโลเฮิรตซ์ ถ้าหากเราใช้ความถี่อ้างอิงเป็น 10 เฮิรตซ์จริงๆ ช่วงเวลาล็อคความถี่จะนานมาก และการจูนภาคเครื่องรับส่งวิทยุในย่านความถี่นี้จะไม่สะดวกและน่ารำคาญ เพราะต้องเสียเวลารอให้วงจรสังเคราะห์ความถี่ล็อคความถี่

ความจริงแล้วความซับซ้อนของระบบสังเคราะห์ความถี่อยู่ตรงที่การใช้งานของเครื่องรับส่งวิทยุด้วย เช่นในการรับส่ง SSB เครื่องรับจะต้องมีเรโซลูชั่นอย่างน้อย 50 เฮิรตซ์ เพื่อให้สามารถรับฟังเสียงได้อย่างชัดเจน และยังต้องมีคลาริฟาย(clarifier) หรือ RIT(Receiver Incremental Tuning เป็นการปรับความถี่ของเครื่องรับเล็กน้อยเพื่อ ให้ตรงกับความถี่ของสัญญาณที่ส่งมา) ซึ่งใช้ปรับความถี่การรับฟังและเพื่อจูนระหว่างขั้น โดยทั่วไปเครื่องรับส่งวิทยุในย่านความถี่ HF นี้มักจะออกแบบให้มีเรโซลูชั่นถึง 10 เฮิรตซ์

เทคนิคในการทำให้วงจรสังเคราะห์ความถี่สามารถปรับความละเอียดมาก หรือมีเรโซลูชั่นเพียง 10 เฮิรตซ์ได้ก็คือใช้ลูปซ้อน โดยทั่วไปเราต้องใช้อย่างน้อย 2 ลูป การตั้งความถี่อาจจะเป็นแบบแกนหมุนเชิงแสง(optical shaft encoder) หรือแบบสวิทช์รัมวิล หรืออื่นๆ ส่วนไมหญ่วงจรสังเคราะห์ความถี่ประเภทนี้มักจะควบคุมด้วยไมโครคอมพิวเตอร์

ลูป 2 ลูป ที่กล่าวถึงข้างต้นได้แก่ *ลูปปรับละเอียด(fine tuning)* และ*ลูปปรับหยาบ(coarse tuning)* ลูปปรับหยาบนั้น ใช้เวลาผลิตความถี่ได้ช่วงกว้างและใช้ความถี่อ้างอิงสูง ส่วนลูปปรับละเอียดเราใช้ผลิตความถี่เพียงช่วงแคบๆ และช่วงห่างระหว่างความถี่แคบด้วย ส่วนมากลูปปรับลพเอียดได้ออกแบบให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำงาน ณ ความถี่สูง แล้วหารความถี่ด้วยวิธีดิจิตอลลงมาเป็นความถี่ต่ำ ทั้งนี้เพื่อต้องการให้ช่วงเวลาล็อคความถี่เร็วขึ้น

รูป 2.33 แสดงหน่วยสังเคราะห์ความถี่ที่ใช้ 3 ลูป ในเครื่องรับส่งวิทยุแบบอัพคอนเวอร์ชั่น ย่านความถี่ใช้งาน 1 ถึง 30 เมกะเฮิรตซ์ จะใช้เฟสล็อคลูป 3 ลูป โดย 2 ลูปแรกควบคุมโดยวงจรลอจิกและลูปที่ 3 ซึ่งเป็นลูปสุดท้ายควบคุมโดย 2 ลูปแรก ลูปบนเป็นลูปปรับความละเอียดใช้ความถี่อ้างอิง 500 เฮิรตซ์ แต่ละลูปทำงานที่ความถี่สูงประมาณ 147 ถึง 197 เมกะเฮิรตซ์ แล้วหารความถี่ลงมา 500 เท่า ทำให้ช่วงห่า งระหว่างขั้นกลายเป็น 10 เฮิรตซ์

ลูปที่ 2 เป็นลูปปรับหยาบทำงานในย่านความถี่ 36 ถึง 65 เมกะเฮิรตซ์ มีช่วงห่างเท่ากับ 1 เมกะเฮิรตซ์

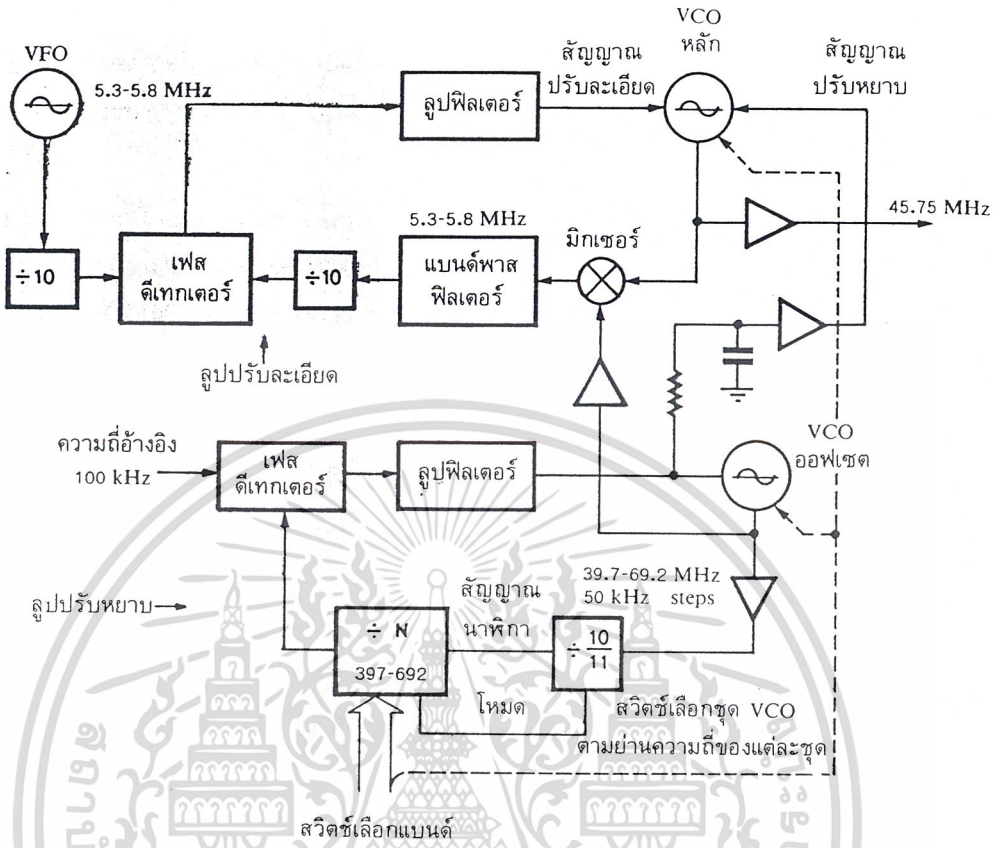
สังเกตว่าเราใช้ความถี่อ้างอิงเพียง 100 กิโลเฮิรตซ์ (แทนที่จะเป็น 1 เมกะเฮิรตซ์ ดังนั้นจึงต้องใช้ช่วงห่างระหว่างขั้นการหารเพิ่มเป็น 10 ไม่ใช่ 1) ทั้งนี้เพื่อลดนอยส์ ส่วนลูปปรับละเอียดซึ่งใช้ความถี่อ้างอิง 500 เฮิรตซ์ แล้วหารลงมา 500 เท่า ก็เพื่อลดนอยส์เช่นเดียวกัน

ลูปที่ 3 เป็นลูปหลัก อาศัยเอาท์พุต VCO จากลูปปรับหยาบมามิกซ์กับ VCO หลักผลลัพท์จากการมิกซ์จะนำไปหารความถี่ลง 10 เท่า แล้วส่งไปยังเฟสดีเทคเตอร์อินพุตที่เปรียบเทียบกันที่ภาคเทียบเฟสอีกทางหนึ่งมาจากลูปปรับละเอียด สังเกตว่าผลต่างความถี่ของ VCO หลักกับ VCO ปรับหยาบ มีค่าเท่ากับ1 ใน 50 เท่าของ VCO ปรับละเอียดเท่ากับ 500 เฮิรตซ์ ฉะนั้นหน่วยสังเคราะห์ความถี่ดังกล่าวจึงสามารถปรับความถี่ได้ละเอียดถึงขั้นละ 10 เฮิรตซ์

เนื่องจากวงจร VCO หลักทำงานในย่านความถี่กว้าง(ประมาณ 39-69 เมกะเฮิรตซ์) เราจึงต้องเพิ่มการปรับจูนพิเศษนอกเหนือไปจากแรงดันควบคุมจาก เฟสดีเทคเตอร์ เช่น โดยการเพิ่มวงจรจูนเพื่อให้ความถี่เลื่อนเข้าไปใกล้ความถี่ที่ต้องการ แล้วจึงใช้แรงดันควบคุมจากเฟสดีเทคเตอร์ปรับความถี่อีกเพียงเล็กน้อยเพื่อให้ความถี่ตรงพอดี

จะเห็นว่าการป้อนข้อมูลความถี่ที่ต้องการให้แก่เฟสล็อคลูปหลายๆลูปนั้น มีความซับซ้อน(นอกจากนี้ยังมีออฟเซตความถี่ระหว่างสภาวะรับกับสภาวะส่ง การแสดงค่าความถี่และคุณสมบัติพิเศษอย่างอื่นอีก เช่น การสแกน เป็นต้น) การใช้วงจรลอจิกธรรมดาจะมีความยุ่งยากมากเกินไป เราจึงนิยมนำไมโครคอมพิวเตอร์มาใช้งาน ไมโครคอมพิวเตอร์ดังกล่าวทำหน้าที่รับคำสั่งข้อมูลความถี่ที่ต้องการ แปลเป็นตัวหารที่ต้องใช้ในแต่ละลูป ส่งไปให้หน่วยสังเคราะห์ความถี่ และป้อนไปให้ภาคแสดงผลเพื่อแสดงความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

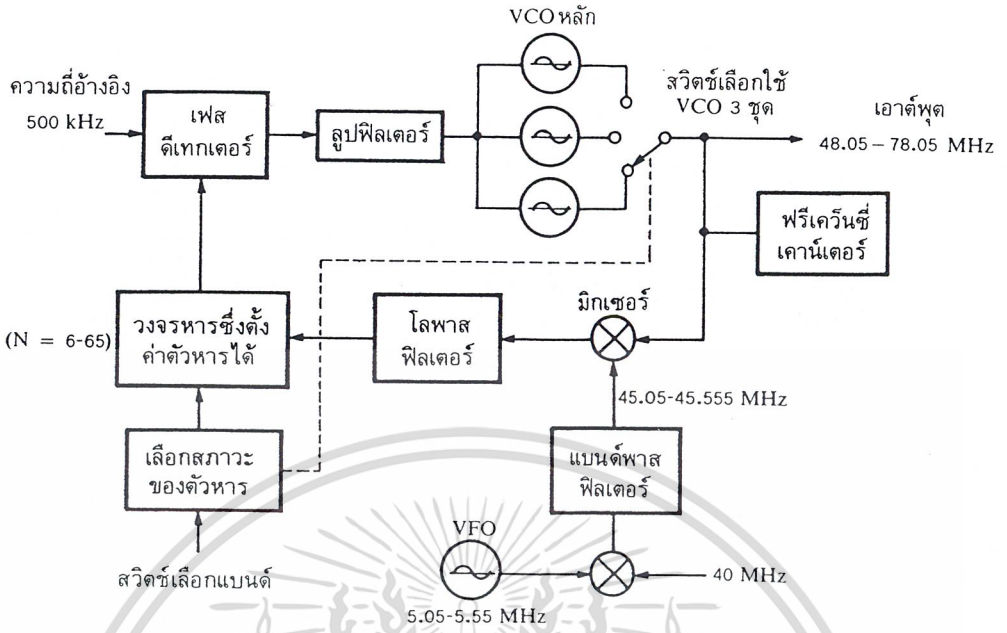


รูปที่ 2.34 หน่วยสังเคราะห์ความถี่แบบผสมที่ใช้ VFO เป็นตัวปรับละเอียด

ในรูปที่ 2.34 เป็นการสังเคราะห์ความถี่ในย่าน HF อีกชนิดหนึ่ง ซึ่งไม่ซับซ้อนเหมือนในรูปที่ 2.33 สังเกตว่าทั้งสองแบบมีความคล้ายคลึงกัน ยกเว้นแต่ในกรณีนี้เราใช้ VFO แทนลูปปรับละเอียด ดังนั้น ความละเอียดของช่วงห่างระหว่างช่องของระบบนี้จึงปรับได้ต่อเนื่อง และปัญหาต่างๆ เช่น ช่วงเวลาในการล็อค นอยส์ และไซด์แบนด์ต่างๆ ของการสังเคราะห์ความถี่จึงไม่ค่อยมี อย่างไรก็ตามเสถียรภาพทางความเสี่ยงของ VFO ย่อมไม่ดีเท่า เฟสล็อคลูป แต่ก็ยังเพียงพอสำหรับการใช้งาน เราสามารถปรับความถี่ให้เที่ยงตรงได้โดยใช้ ฟรีเควนซี่เคาท์เตอร์ (frequency counter) ทำหน้าที่นับอ่านค่าความถี่ (readout)

หน่วยสังเคราะห์ความถี่ดังกล่าวนี้ใช้ในเครื่องรับส่งวิทยุประเภทอัพคอนเวอร์ชั่น ซึ่งมี IF เท่ากับ 45 เมกะเฮิรตซ์ เอาท์พุทของหน่วยสังเคราะห์ความถี่อยู่ในช่วงระหว่าง 45 ถึง 75 เมกะเฮิรตซ์ ปรับขั้นละ 500 กิโลเฮิรตซ์ ใช้ความถี่อ้างอิง 100 กิโลเฮิรตซ์ ลูปปรับหยาบนี้โปรแกรม(กำหนด) ด้วยสวิทช์เลือกแบนด์เพื่อเลือกแบนด์ความถี่ของ VCO สำหรับความถี่ระหว่างแบนด์ปรับอย่างต่อเนื่องได้ที่วงจร VFO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.35 หน่วยสังเคราะห์ความถี่แบบลูกผสมแบบใช้ลูปเดียว สำหรับเครื่องรับส่งวิทยุชนิดอัพคอนเวอร์ชั่น

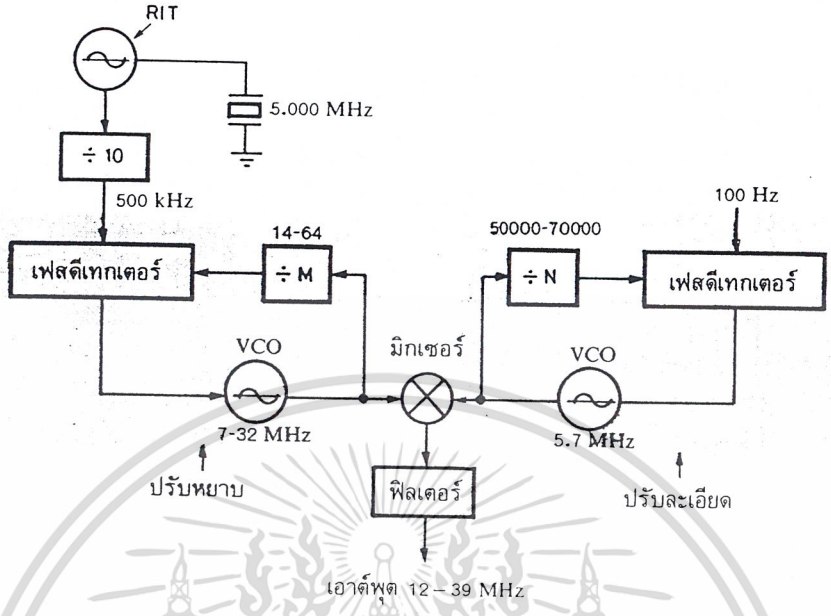
ในลูปหลักจะมิกซ์กับ VCO ของลูปปรับหยาบ ผลลัพท์ที่ได้หารลง 10 เท่าแล้วไปเปรียบเทียบเฟสกับความถี่ VFO ซึ่งทอนความถี่ลง 10 เท่าเช่นกัน ทั้งนี้เพื่อให้ความถี่ลดลง เราจึงสามารถใช้เฟสดีเทคเตอร์แบบไอซีได้ นั่นคือ VCO หลัก จะมีความถี่สูงกว่า VCO ปรับหยาบอยู่เท่ากับความถี่ของ VFO

เอาท์พุตของเฟสดีเทคเตอร์ป้อนไปสู่ลูปฟิลเตอร์และทำหน้าที่ปรับละเอียดให้แก่ VCO หลักการแสดงความถี่โดยใช้ฟรีเควนซี่เคาท์เตอร์ ทำได้โดยอ่านค่าความถี่ของ VFO แล้วบวกลบด้วยความถี่ที่ต้องชดเชย (ให้อ่านค่าได้ถูกต้อง) โดยการพรีเซตให้ฟรีเควนซีเคาท์เตอร์ โดยสัมพันธ์กับตัวเลขที่ใช้โปรแกรม มิใช่อ่านความถี่จากตัวเลขที่ตั้งโปรแกรมโดยตรง

รูปที่ 2.35 เป็นหน่วยสังเคราะห์ความถี่อีกชนิดหนึ่งใช้กับเครื่องรับส่งวิทยุแบบอัพคอนเวอร์ชั่นเช่นกัน มีความถี่ IF เท่ากับ 48.05 เมกะเฮิรตซ์ ย่านความถี่ใช้งานของเครื่องรับส่งวิทยุประมาณ 10 กิโลเฮิรตซ์ ถึง 30 เมกะเฮิรตซ์ ซึ่งต้องการความถี่จากหน่วยสังเคราะห์ความถี่เท่ากับ 48.05 ถึง 78.05 เมกะเฮิรตซ์ การสังเคราะห์ความถี่ที่กล่าวถึงนี้เป็นแบบลูกผสม กล่าวคือการปรับความถี่บางส่วนใช้วิธีโปรแกรมตัวเลขปรับขึ้นละ 500 กิโลเฮิรตซ์ และบางส่วนปรับโดย VFO เป็นแบบต่อเนื่อง

การสังเคราะห์ความถี่นี้แตกต่างจากการสังเคราะห์ความถี่รูปที่ 2.34 ตรงที่ใช้ความถี่เฟสล็อคลูปเพียงลูปเดียวและใช้ความถี่อ้างอิงเท่ากับ 500 กิโลเฮิรตซ์ ซึ่งช่วยให้ช่วงเวลาล็อคความถี่เร็วและนอยส์ต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.36 หน่วยสังเคราะห์ความถี่อีกแบบหนึ่งซึ่งมีช่วงห่างขั้นละ 100 Hz และมี RIT

สัญญาณที่นำมามิกซ์ในเฟสล็อคลูปมีความถี่ระหว่าง 45.05 ถึง 45.55 เมกะเฮิรตซ์ ซึ่งเกิดจากการผสมสัญญาณ 2 แหล่ง คือจาก VFO 5.05 ถึง 5.55 เมกะเฮิรตซ์ กับคริสตอลออสซิลเลเตอร์ 40 เมกะเฮิรตซ์ สัญญาณผลลัพธ์หลังจากผ่านแบนด์พาสฟิลเตอร์จะถูกนำมามิกซ์หรือเฮตเทอร์โรดายน์กับ VCO หลัก ซึ่งจะต้องออสซิลเลตคลอบคลุมย่านความถี่ประมาณ 48 ถึง 78 เมกะเฮิรตซ์ ผลต่างของการเฮตเทอร์โรดายน์ที่ป้อนให้แก่ฟิลเตอร์ชนิดโลพาสจะมีความถี่อยู่ระหว่าง 3 ถึง 33 เมกะเฮิรตซ์ แล้วหารด้วยวงจรหารที่มีตัวหารเท่ากับ 6 ถึง 65

ในระบบสังเคราะห์ความถี่ดังกล่าวต้องใช้ VCO 3 ชุด เพื่อให้สามารถออสซิลเลตได้ตลอดย่านความถี่ 45 ถึง 75 เมกะเฮิรตซ์ และมีเฟสนอยส์ต่ำๆ การสวิทช์เลือกVCO ทำได้โดยใช้ไดโอด PIN เหตุผลสำคัญอย่างหนึ่งที่ต้องใช้VCO หลายชุดก็เพื่อที่จะให้ลักษณะสมบัติของลูป (loop characteristic) เหมือนกันตลอดย่านความถี่ใช้งานทั้งด้านต่ำและด้านสูง เพราะตัวหารเปลี่ยนจาก 6 ไปเป็น 65 (ประมาณ 11 เท่าตัว)

ตัวอย่างของหน่วยสังเคราะห์ความถี่ที่แสดงมาข้างต้น เป็นชนิดที่ใช้กับเครื่องรับส่งวิทยุประเภทอัพคอนเวอร์ชั่น หน่วยสังเคราะห์ความถี่อีกชนิดหนึ่งในรูปที่ 2.36 เป็นหน่วยสังเคราะห์ความถี่ในเครื่องรับส่งวิทยุแบบซิงเกิลคอนเวอร์ชั่น ซึ่งมีช่วงห่างระหว่างขั้นเท่ากับ 100 เฮิรตซ์ และมีการปรับความถี่ภาคเครื่องรับ RIT ความถี่ IF เท่ากับ 9 เมกะเฮิรตซ์

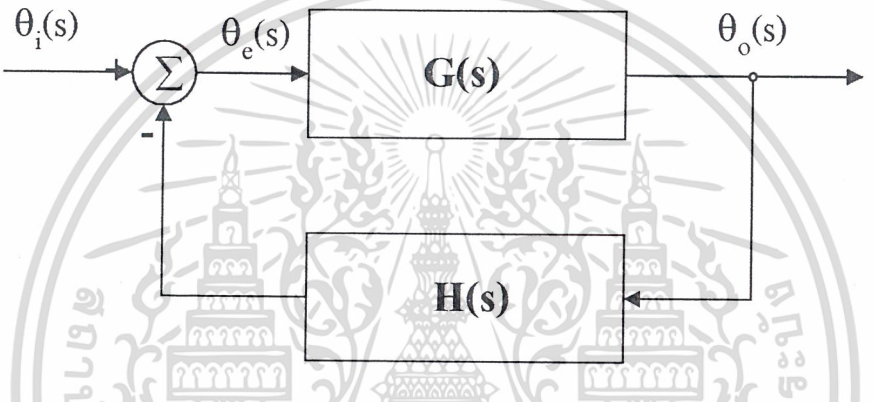
หน่วยสังเคราะห์ความถี่ดังกล่าวใช้เฟสล็อคลูป 2 ลูป ลูปหนึ่งเป็นลูปปรับหยาบช่วงห่างขั้นละ 500 กิโลเฮิรตซ์ ทำงานในย่านความถี่ 7 ถึง 32 เมกะเฮิรตซ์ อีกลูปหนึ่งเป็นลูปปรับละเอียดใช้ความถี่อ้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อิง 100 เฮิรตซ์ ทำงานในย่านความถี่ 5 ถึง 7 เมกะเฮิรตซ์ ปรับได้ขั้นละ 100 เฮิรตซ์ เอาท์พุตจากทั้ง 3 ลูป มิกซ์กันได้ผลลัพธ์เป็นความถี่ 12 ถึง 39 เมกะเฮิรตซ์ จะเห็นว่าผลลัพธ์จากมิกเซอร์จะต้องกรองความถี่สปัวเรียสออกให้หมด ก่อนที่จะนำไปใช้งานต่อไป เฟสล็อคลูปทั้งสองควบคุมการป้อนข้อมูลความถี่จากไมโครคอมพิวเตอร์

2.4 การออกแบบระบบสังเคราะห์ความถี่โดยใช้เฟสล็อคลูป

ระบบสังเคราะห์ความถี่โดยใช้เฟสล็อคลูปอาศัยทฤษฎีการป้อนกลับแบบลบ ดังแสดงในบล็อกไดอะแกรมตามรูปที่ 2.37



รูปที่ 2.37 แสดงบล็อคไดอะแกรมของระบบป้อนกลับแบบลบ

เมื่อ $\theta_i(s)$ = Phase Input

$\theta_e(s)$ = Phase Error

$\theta_o(s)$ = Phase Output

G(s) = Forward Transfer Function

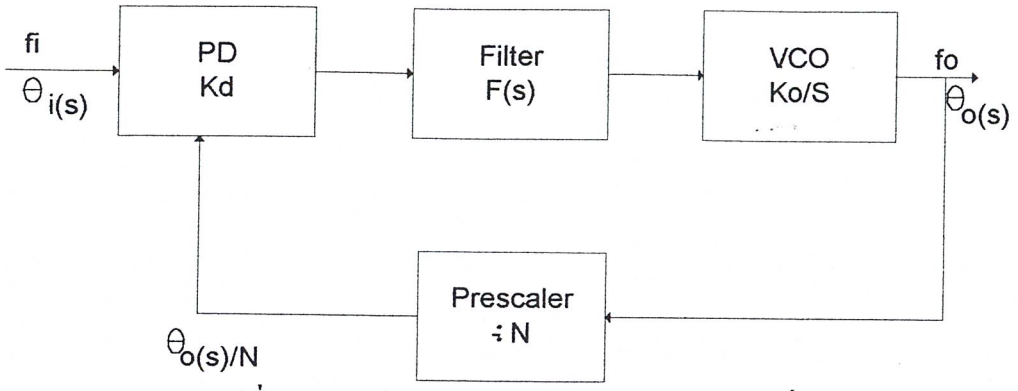
H(s) = Feedback Transfer Function

จะได้ว่า

$$\theta_e(s) = \frac{1}{1+G(s)H(s)}\theta_i(s)$$

$$\theta_o(s) = \frac{G(s)}{1+G(s)H(s)}\theta_i(s)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.38 บล็อคไดอะแกรมของระบบสังเคราะห์ความถี่

ผลต่างของเฟส $\theta_I(s)$ และ $\theta_o(s)/N$ จะถูกแปลงเป็นค่าแรงดันและกรองโดยวงจรกรองความถี่ เพื่อควบคุมความถี่ของวงจร VCO จะได้ว่า

$$f_o = Nf_i$$

จะได้ Forward Transfer Function

$$G(s) = K_d F(s)\frac{K_o}{S}$$

$$= K_V \frac{F(s)}{S} \qquad \text{เมื่อ} \quad K_V = K_d K_o$$

ถ้าให้ N = 1 จะได้ว่า $H(s) = 1$

จะได้ว่า Open-loop Transfer Function

$$T'(s) = G(s)H(s)$$

$$= K_V \frac{F(s)}{S}$$

และ Closed-loop Transfer Function

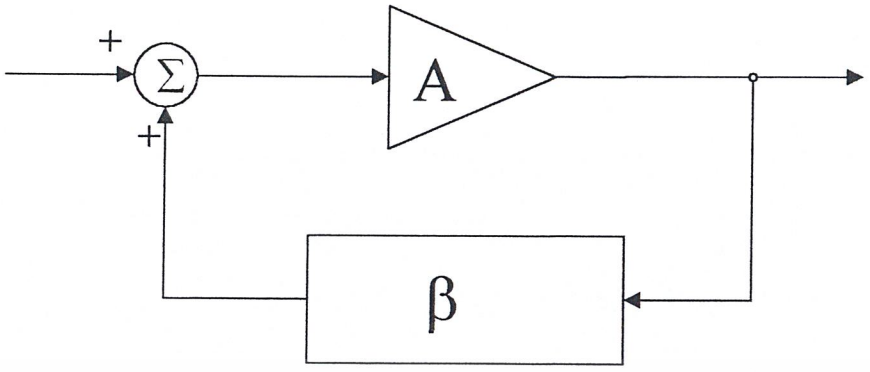
$$T(s) = \frac{G(s)}{1 + G(s)H(s)}$$

$$= \frac{K_V F(s)}{S + K_V F(s)}$$

1) <u>การออกแบบวงจรออส์ซิเลเตอร์ที่ปรับค่าความถี่ตามแรงดัน (VCO)</u>

การออกแบบวงจรออส์ซิลเลเตอร์อาศัยหลักการของการป้อนกลับแบบบวก (positive feedback) ตามบล็อคไดอะแกรมในรูปที่ 2.39

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.39 แสดงบล็อคไดอะแกรมของระบบป้อนกลับแบบบวก

โดย A คือ Gain ของวงจรขยายในส่วนของ Forward Path

B คือ Feedback Ratio ในส่วนของ Feedback Path

วงจรจะออสซิลเลตได้ก็ต่อเมื่อ (Barkhausen Criterion)

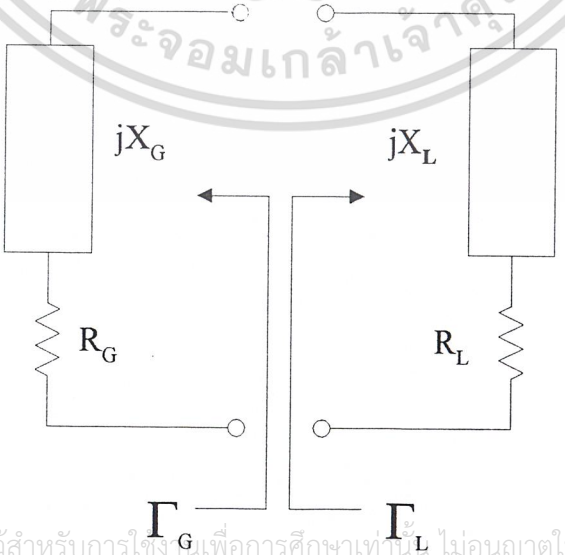
1) $|AB| = 1$ และ

2) $\angle AB = 360^\circ$

ดังนั้น $A_{รวม} = \dfrac{A}{1 - AB}$ จะมีค่า = ∞ เมื่อเกิดการออส์ซิเลต

วงจรขยาย (A) จะทำการขยายสัญญาณรบกวนซึ่งเป็นการเริ่มต้นให้วงจรเกิดการออส์ซิลเลต หลังจากนั้นความถี่ที่ถูกออส์ซิลเลตจะถูกเลือกโดยวงจรเรโซแนนซ์ซึ่งแบ่งออกได้เป็น 2 รูปแบบ คือ

Series Resonant



รูปที่ 2.40 วงจร Series Resonant

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

■ For Startup of Oscillation

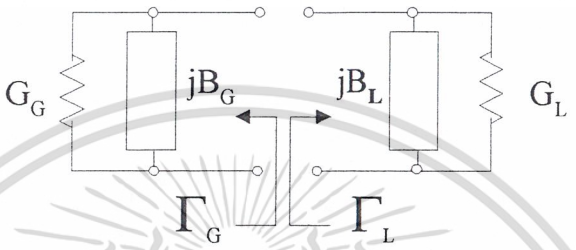
$|R_G| > R_L$ เมื่อ R_G มีค่าเป็น Negative Resistance

■ For Resonance (Steady State)

$$R_G + R_L = 0$$

$$X_G + X_L = 0$$

Parallel Resonance



รูปที่ 2.41 วงจร Parallel Resonance

■ For Startup of Oscillation

$|G_G| > G_L$ เมื่อ G_G มีค่าเป็น Negative Conductance

■ For Resonance (Steady State)

$$G_G + G_L = 0$$

$$B_G + B_L = 0$$

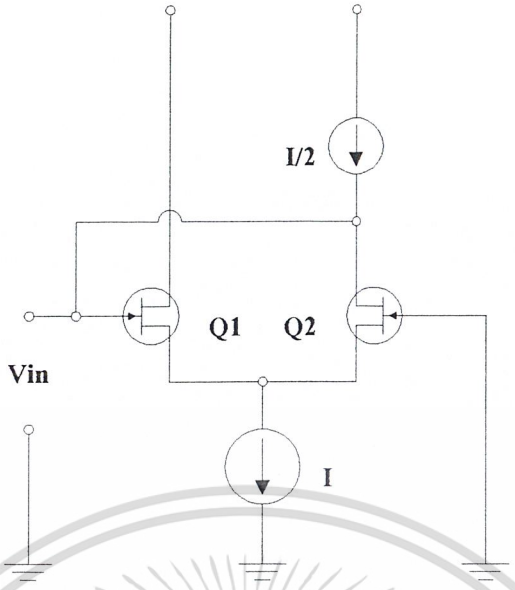
Resonator

1. Lumped Element
2. Distributed Transmission Line
3. Cavity
4. Dielectric Resonator
5. YIG (yytrium Iron Garnet)
6. Voractor

เราต้องการวงจรที่มีการสูญเสียต่ำแต่มีค่า Q (Quality Factor) สูง ๆ

การออกแบบวงจรออสซิลเลเตอร์จะอาศัยหลักการของ Negative Resistance มาอธิบายเพราะง่ายกว่า ตัวอย่างของวงจรที่จะยกตัวอย่างมาอธิบายอาศัยการอธิบายในเชิง Negative Resistance เช่นเดียวกัน เริ่มต้นจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.42 วงจรออสซิลเลเตอร์ที่ใช้ Differential Amplifier (Long Tail Pair)

หา Input Resistance

$$i = g_m \frac{V_i}{2}$$

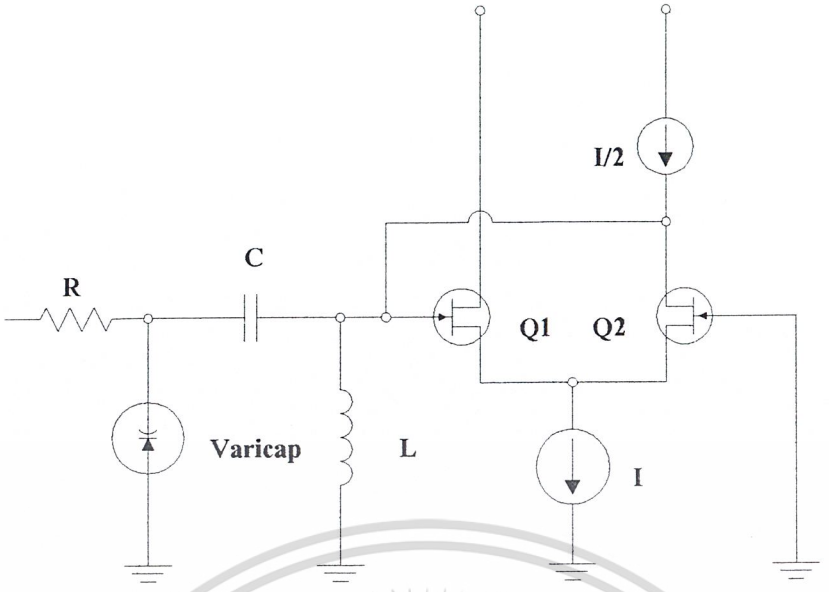
เมื่อสมมติให้ Input Resistance ของ FET และ Constant Current มีค่ามาก ๆ ดังนั้น V ที่ตกคร่อม $V_{gs} \approx V_{in}/2$

$$\frac{V_{in}}{i_{in}} = \frac{-2}{g_m}$$

$$R_{in} = \frac{-2}{g_m}$$

ดังนั้นหากทำการใช้ Resonator ทางด้านอินพุทของออสซิลเลเตอร์ (V_{in}) เพื่อเลือกความถี่ และใช้ Varicap แทนตัวเก็บประจุ จะได้วงจรออสซิลเลเตอร์ที่ปรับความถี่ได้ตามแรงดัน (VCO) ตามรูปที่ 2.43 ไอซีสำเร็จรูปที่อาศัยองค์ประกอบภายในเป็นออสซิเลเตอร์ประเภทนี้ เช่น MC 1648 ทำงานได้ดีที่ความถี่น้อยกว่า 500 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.43 วงจรออสซิลเลเตอร์ที่ปรับความถี่ได้ตามแรงดัน

เงื่อนไขการทำงานของวงจรประเภทนี้ คือ

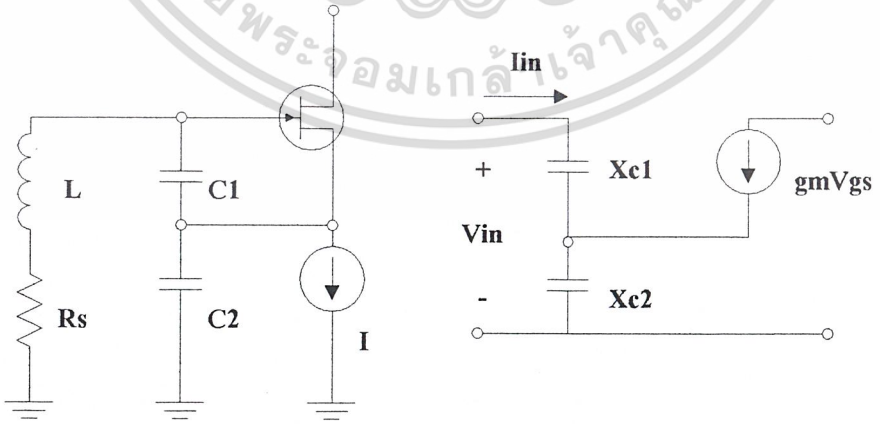
$$|G_G| > G_L$$

$$\frac{g_m}{2} > G_L$$

$$f = \frac{1}{2\pi\sqrt{LC}}$$

$$Q = \frac{R_L}{j\omega L} = R_L j\omega C$$

FET



รูปที่ 2.44 วงจร FET Oscillator

$$V_{in} = i_{in}\left(X_{C1} + X_{C2}\right) + g_m V_{gs} X_{C2}$$

$$V_{gs} = V_{X_{C1}} = i_{in} X_{C1}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{in} = i_{in}\left(X_{C1} + X_{C2}\right) + g_m i_{in} X_{C1} X_{C2}$$

$$\frac{V_{in}}{i_{in}} = X_{C1} + X_{C2} + g_m X_{C1} X_{C2}$$

$$Z_{in} = \frac{-g_m}{\omega^2 C_1 C_2} + \frac{1}{j\omega\left[C_1 C_2 / \left(C_1 + C_2\right)\right]}$$

ซึ่งจะเห็นว่า input resistance ประกอบด้วย negative resistance

$$R = -g_m / \omega^2 C_1 C_2$$

ต่ออนุกรมอยู่กับ

$$C_{in} = C_1 C_2 / \left(C_1 + C_2\right)$$

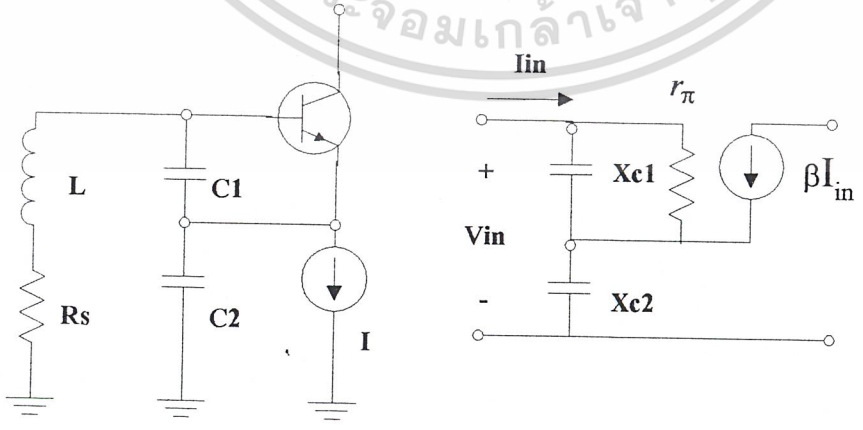
นำ L มาต่อเข้ากับวงจรนี่โดย R_s คือ Series Resistance จะได้ว่าวงจรจะเริ่มทำงานได้ คือ

$$f_o = \frac{1}{2\pi\sqrt{L\left\{C_1 C_2 / \left(C_1 + C_2\right)\right\}}}$$

ผลรวมของ C_1 และ C_2 ในแบบอนุกรมจะมีค่ามากที่สุดเมื่อ $C_1 = C_2 = C_m$ ดังนั้น

$$\sqrt{\frac{R_S}{g_m}} < \frac{1}{\omega C_m}$$

<u>BJT</u>



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.45 และ รูปที่ 2.46 วงจรออสซิลเลเตอร์โดยใช้ทรานซิสเตอร์

หาค่า input impedance

$$V_{in} = i_{in}X_{C_1} + i_{in}X_{C_2} - i_bX_{C_1} + i_bX_{C_2}$$

$$0 = -i_{in}X_{C_1} + i_bX_{C_1} + i_br_\pi$$

$$i_b = i_{in}\left(\frac{X_{C_1}}{X_{C_1} + r_\pi}\right)$$

$$V_{in} = i_{in}X_{C_1} + i_{in}X_{C_2} + \mathrm{B}X_{C_2}\frac{i_{in}X_{C_1}}{\left(X_{C_1} + r_\pi\right)} - \frac{i_{in}X_{C_1}X_{C_1}}{\left(X_{C_1} + r_\pi\right)}$$

$$\frac{V_{in}}{i_{in}} = X_{C_1} + X_{C_2} + \frac{\mathrm{B}X_{C_2}X_{C_1}}{\left(X_{C_1} + r_\pi\right)} - \frac{X_{C_1}X_{C_1}}{\left(X_{C_1} + r_\pi\right)}$$

$$Z_{in} = \frac{\left(X_{C_1} + X_{C_2}\right)\left(X_{C_1} + r_\pi\right) + \mathrm{B}X_{C_2}X_{C_1} - X_{C_1}X_{C_1}}{\left(X_{C_1} + r_\pi\right)}$$

$$Z_{in} = \frac{X_{C_1}X_{C_1} + X_{C_2}X_{C_1} + X_{C_1}r_\pi + X_{C_2}r_\pi + \mathrm{B}X_{C_2}X_{C_1} - X_{C_1}X_{C_1}}{\left(X_{C_1} + r_\pi\right)}$$

$$Z_{in} = \frac{(1+\mathrm{B})X_{C_1}X_{C_2} + r_\pi\left(X_{C_1} + X_{C_2}\right)}{X_{C_1} + r_\pi}$$

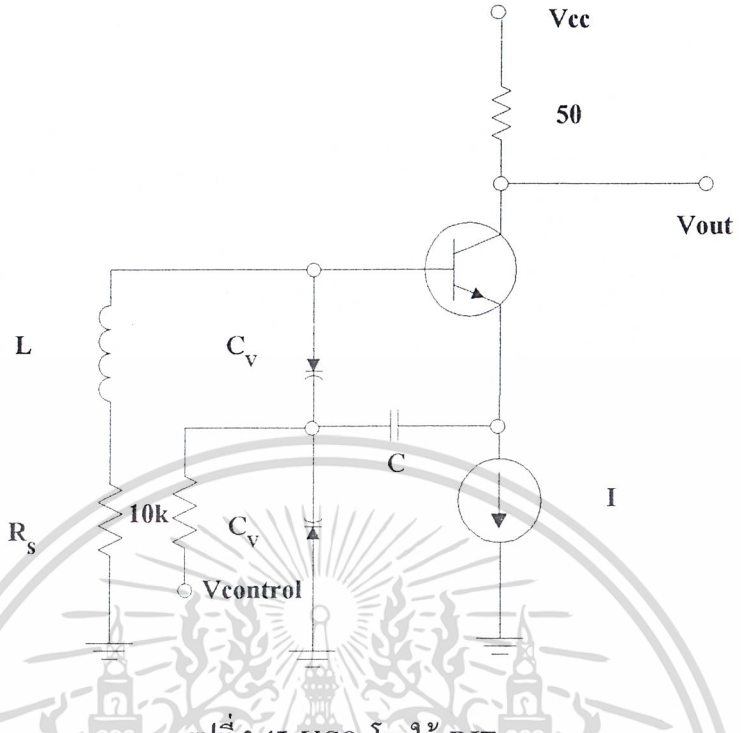
ถ้า $X_{C_1} << r_\pi$

$$Z_{in} \cong \frac{(1+\mathrm{B})}{r_\pi}X_{C_1}X_{C_2} + \left(X_{C_1} + X_{C_2}\right) \quad ; \quad g_m = \mathrm{B}/r_\pi$$

$$\cong \frac{-g_m}{\omega^2 C_1C_2} + \frac{1}{j\omega\left[C_1C_2/\left(C_1 + C_2\right)\right]}$$

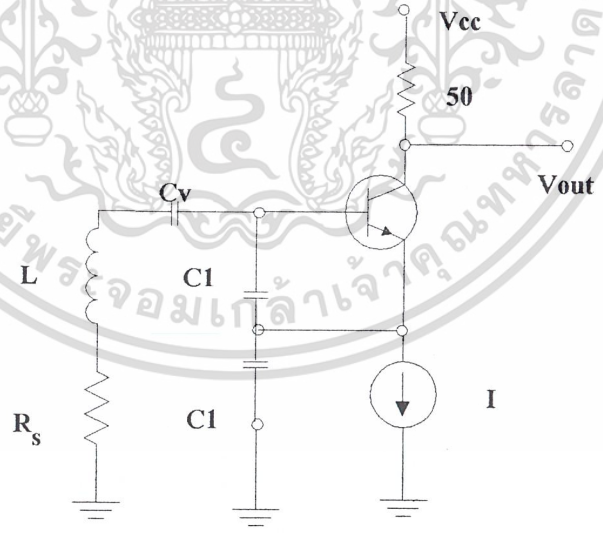
ดังนั้นหากต้องการวงจรที่ปรับแต่งความถี่ได้ตามแรงดันไฟฟ้า ก็สามารถทำได้โดยใช้ Varicap คู่แทน C_1 และ C_2 ดังนั้นจะได้วงจรออสซิลเลเตอร์ที่ปรับค่าความถี่ได้โดยใช้แรงดันตามรูปที่ 2.46

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.47 VCO โดยใช้ BJTs

<u>วงจร Clapp - Gouriet ออสซิลเลเตอร์</u>

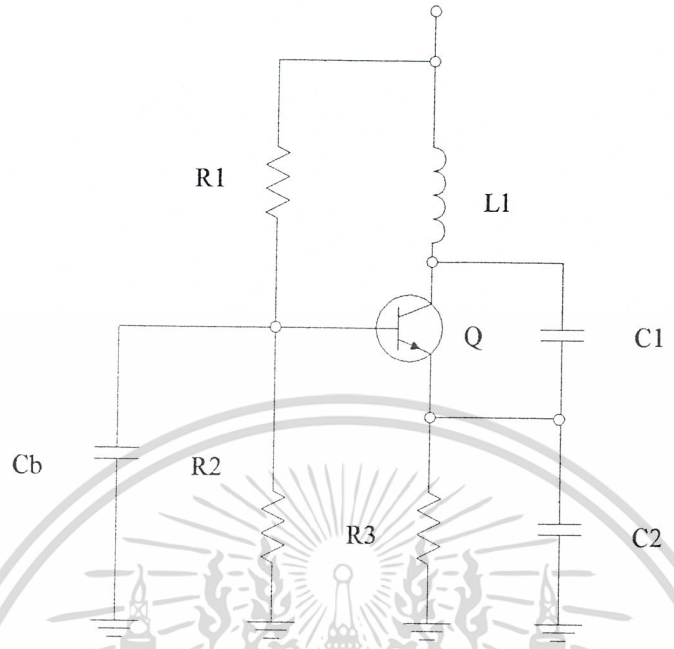


รูปที่ 2.48 วงจร Clapp Oscillator

วงจรจะมีลักษณะเหมือน BJTs Oscillator ในหัวข้อที่แล้ว เพียงแต่เพิ่ม C_v เข้าไปเพื่อให้สามารถปรับแต่งความถี่ได้ โดยค่า C_v จะต้องมีค่าน้อยกว่า C_1 และ C_2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร Collpit Oscillator



รูปที่ 2.49 วงจร Collpits Oscillator

อาศัยการอธิบายเช่นเดียวกัน จะได้

$$f_o = \frac{1}{2\pi\sqrt{L\{C_1C_2/(C_1+C_2)\}}}$$

เมื่อ R_3 มากกว่า X_{C2} มาก ๆ

และ $$R_{in} = \frac{-g_m}{\omega^2 C_1 C_2}$$

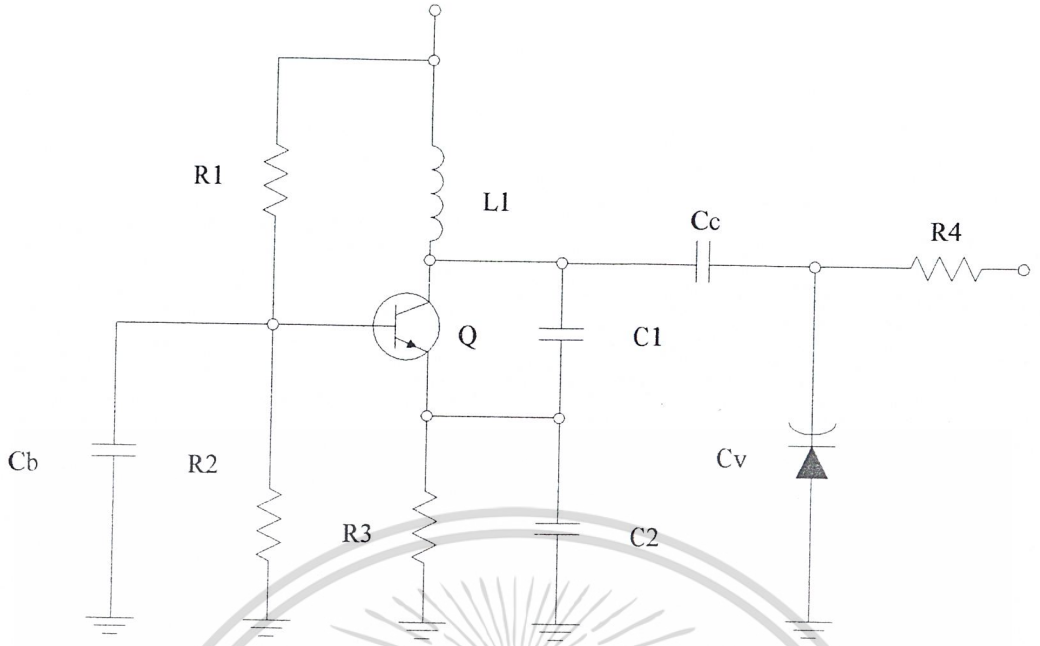
เมื่อ $$g_m = \frac{I_C}{V_T} \qquad ; V_T \approx 25\text{ mV} \qquad \text{ที่ } 25^\circ\text{C}$$

ดังนั้น

$$Z_{in} = \frac{-g_m}{\omega^2 C_1 C_2} + \frac{1}{j\omega[C_1C_2/(C_1+C_2)]}$$

หากต้องการทำออสซิลเลเตอร์ที่ปรับความถี่ได้โดยใช้แรงดันสามารถใช้ Varicap ในการทำงาน โดยวงจรจะอยู่ในรูปแบบของวงจรในรูปที่ 2.49 ทำหน้าที่บล็อก DC ดังนั้นจึงต้องมีค่ามาก ๆ ที่ความถี่สูง ๆ อาจมากกว่า 0.1 μF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.50 Collpitt Oscillator ปรับค่าได้ตามแรงดัน

ดังนั้นความถี่ที่กำเนิดได้ คือ

$$f_o = \frac{1}{2\pi\sqrt{L\left[\left(\frac{C_1 C_2}{C_1 + C_2}\right) \| C_v\right]}}$$

เอาท์พุทสามารถเหนี่ยวนำกระแสที่ขดลวดเหนี่ยวนำไปใช้งานได้ หรืออาจดึงจากขา Collector ได้แต่ต้องระวังค่าตัวต้านทานด้วย มิฉะนั้นวงจรอาจไม่เกิดการออสซิลเลตได้ เนื่องจากค่า Negative Resistance น้อยกว่า Positive Resistance (Load) และที่สำคัญ Q ของ L ควรมีค่ามาก ๆ เพื่อไม่ให้ Loss ในวงจรมากอาจเป็นสาเหตุให้ไม่เกิดการออสซิลเลตได้เช่นเดียวกัน

2.4.2 การออกแบบวงจร synthesizer

วงจร synthesizer มีมากมายให้เลือกใช้งาน ในที่นี้จะยกมาเพียง 1 เบอร์เท่านั้น (เบอร์ที่จะใช้ในการออกแบบวงจร) คือ MC145152 ผลิตโดยบริษัท Motorola ภายในวงจรเป็นอุปกรณ์ที่ทำขึ้นจาก FET เนื่องจากกินกำลังงานน้อย ทำงานที่ความถี่สูงได้ดีกว่า ออกแบบง่าย การใช้งานนั้นเริ่มต้นจาก เลือกสัญญาณอ้างอิงที่จะใช้ในการเปรียบเทียบเบส โดยใช้คริสตอลเป็นตัวกำเนิด เนื่องจากคริสตอลมีค่า Q มาก หลังจากนั้นเลือกค่าของ channel spacing คือ ความถี่ที่ถูกหารแล้วจากคริสตอลออสซิลเลเตอร์ ความถี่จากคริสตอลออสซิลเลเตอร์จะถูกหารลงมาโดยการตั้งหารที่ขา RA2 , RA1 และ RAO ตามตารางที่ 2.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.2 ตารางแสดงการตั้งหารคริสตอลด้วย RA2, RA1 และ RAO ลงมาเป็นความถี่ของ Channel Spacing

Reference Address Code			Total Divide Value
RA2	RA1	RA0	
0	0	0	8
0	0	1	128
0	1	0	256
0	1	1	512
1	0	0	1024
1	0	1	2048
1	1	0	2410
1	1	1	8192

คริสตอลที่ใช้ต้องสามารถหารด้วยเลขฐานสองได้ลงตัว เช่น XTAL 10.24 MHz , XTAL 6.4 MHz เป็นต้น ยกตัวอย่างเช่น เลือก XTAL 10.24 MHz และเลือก Channel Spacing = 10 kHz ดังนั้นจึงต้องตั้งหารด้วย 1024 คือตั้ง RAZ = 1 , RA1 = 0 และ RAO = 1 (ตามตารางที่ 2.2) ดังนั้นคริสตอล 10.24 MHz จะถูกหารด้วย 1024 ลงมาเหลือความถี่เพียง 10 kHz เพื่อจะใช้ในการล็อคความถี่และเฟสของสัญญาณอินพุท (f_{in})

ต่อไปจะเป็นการคำนวณหาค่าการหารโดยการตังค่าหารที่ bit N9 - N0 และ A0 - A5 โดย MC 145152 สามารถรับสัญญาณอินพุทได้สูงสุด 26 MHz ดังนั้นหากต้องการล็อคความถี่ของสัญญาณที่ความถี่สูงกว่า 26 MHz ต้องใช้ prescaler ช่วยในการทำงาน การคำนวณจะยกตัวอย่างให้เห็นเช่น

<u>ตัวอย่างที่ 1</u>

หากต้องการล็อคความถี่และเฟสของสัญญาณจาก VCO ที่ความถี่ 10 MHz โดยใช้ crystal 10.24 MHz และเลือก Channel spacing ที่ 10 kHz ดังนั้น

RA2 RA1 RAO = 1 0 1

Channel Spacing = 10 kHz

N9 - N0 = 10 MHz

= 1000

= 1111101000

A5 - A0 = 0 (เนื่องจากหารลงตัวไม่มีเศษ)

= 0 0 0 0 0 0

จึงสรุปได้ว่า N9 - N0 เป็นการตั้งค่าการหารตามจำนวนเต็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A5 - A0 เป็นการตั้งค่าการหารตามเศษที่เหลือ

ในกรณีที่สัญญาณอินพุทมีค่าน้อยกว่า 26 MHz ค่า A5 - A0 จะเป็น 0 เสมอ ดังนั้น ขา MC ของ MC145152 จะเป็น logic 1 เสมอ ดังนั้นการหารจะหารได้สูงสุด $= 2^{10} = 2048$ เท่านั้น

หากสัญญาณที่ต้องการล็อคค่าความถี่มากกว่าความถี่ที่ MC 145152 จะรับได้ต้องใช้ Prescaler ในการทำงาน

<u>ตัวอย่างที่ 2</u>

หากต้องการล็อคความถี่และเฟสของสัญญาณจาก VCO ที่ความถี่ 100 MHz โดยใช้ crystal 10.24 MHz และเลือก Channel Spacing ที่ 10 kHz และเลือก prescaler หาร 64/65

RA2, RA1, RAO = 1 0 1

Channel Spacing = 10 kHz

N9 - N0 = 156

= 0 0 1 0 0 1 1 1 0 0

A5 - A0 = 16

= 1 0 0 0 0

การคำนวณหา Positive Duty cycles ของสัญญาณ MC สามารถคำนวณหาได้ตามสูตร

Positive Duty cycles of MC = N - A / N

จากตัวอย่างที่แล้ว MC จะมี Duty cycle เท่ากัน

= 156 - 16 / 156

= 89.7 %

<u>ข้อจำกัด</u> ของใช้ prescaller นั้นคือ ค่า N ที่ได้จะต้องมากกว่า A เสมอ หากค่าที่ได้นั้นมีค่า N น้อยกว่า A แล้ว ต้องลดค่าการหารด้วย prescaler ลงมา เช่น จากตัวอย่างที่แล้ว หากต้องการล็อคความถี่จาก VCO ที่ 30 MHz โดยใช้ precaller + 64 /65 พบว่า

(N9 - N0) = 46

(A5 - A0) = 56

ซึ่ง A>N ดังนั้นใช้งานไม่ได้ ต้องลดการหารของ prescaller ลงมาเช่น ลงมาเหลือหาร 32/33 prescaler จะได้

(N9 - N0) = 93

(A5 - A0) = 24

ใช้งานได้

MC Duty Cycle = $\frac{93 - 24}{93}$

= 74.1%

ส่วนสัญญาณ ϕ_Rและ ϕ_V จะถูกส่งต่อให้ Loop Filter, LD เป็นสัญญาณที่แสดงสถานะการล็อคความถี่หากความถี่ล็อคแล้ว LD และ ϕ_R , ϕ_V จะมีลักษณะเป็น negative Impulse และส่วนใหญ่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณจะไม่ล็อคเกิดจากปัญหาเรื่อง impedance ดังนั้นจากวงจร VCO ต้องมีวงจรบัฟเฟอร์เพื่อกัน Load pulling ที่จะเกิดขึ้น และบัฟเฟอร์การปรับค่า Zout ได้โดยทำการปรับให้ตรงกันกับ prescaler (ในกรณีที่ใช้ prescaler) หรือ synthesizer

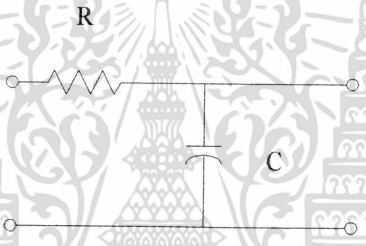
2.4.3 การเลือกใช้วงจร prescaler

จากหัวข้อที่ผ่านมาแล้วเราได้ ทำการเลือกค่าของ prescaler ที่ต้องการหารแล้วเช่น หาร 64/65 หาร 32/33 เป็นต้น นอกจากนั้น การเลือกใช้วงจร prescaler ยังต้องคำนึงถึงปัจจัยต่าง ๆ ดังต่อไปนี้

1. ค่าการหารของ prescaler
2. ช่วงความถี่ที่ใช้งานโดย prescaler แต่ละตัวจะสามารถรองรับช่วงความถี่ได้ไม่เท่ากัน
3. ขนาดของสัญญาณอินพุท โดย prescaler จะสามารถหารความถี่ได้ถูกต้องเมื่อขนาดของ input อยู่ในช่วงใช้งานหารต่อไปจะหารผิดหรือไม่หารเลย ในทางตรงข้ามหากสูงเกินอาจพังเสียหายได้

2.4.4 การออกแบบวงจร Loop filter

ลูปอันดับที่ 1



$$F(S)=\frac{1}{S\Gamma+1} \qquad ;\ \Gamma=RC$$

จะได้ Closed Loop Transfer Function คือ

$$T(S)=\frac{K_V\left(1/S\Gamma+1\right)}{S+K_V\left(1/S\Gamma+1\right)}$$

$$=\frac{K_V}{S(S\Gamma+1)+K_V}$$

$$=\frac{K_V/\Gamma}{S^2+S/\Gamma+K_V/\Gamma}$$

เทียบกับทรานซ์เฟอร์ฟังก์ชั่นมาตรฐาน

$$T(S)=\frac{\omega_n^2}{S^2+2\xi\omega_n S+\omega_n^2}$$

จะได้ว่า

$$\omega_n^2=\frac{K_V}{\Gamma}$$

$$2\xi\omega_n=\frac{1}{\Gamma}$$

$$\xi=\frac{1}{2\sqrt{\Gamma K_V}}$$

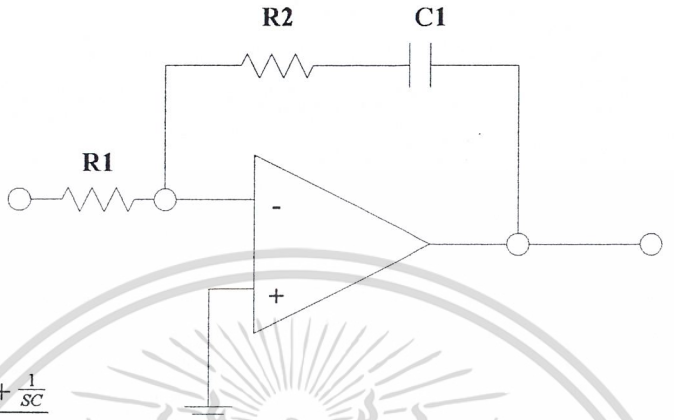
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ

ω_n = Natural Angular Frequency

ξ = Damping Factor

<u>ลูปอันดับที่ 2</u>



$$F(S) = \frac{R_2 + \frac{1}{SC}}{R_1}$$
$$= \frac{SR_2C + 1}{SR_1C}$$
$$= \frac{S\Gamma_2 + 1}{S\Gamma_1}$$

จาก

$$T(S) = \frac{K_V F(S)}{S + K_V F(S)}$$
$$= \frac{K_V\left(S\Gamma_2 + 1\right)/S\Gamma_1}{S + K_V\left(S\Gamma_2 + 1\right)/S\Gamma_1}$$
$$= \frac{K_V\left(S\Gamma_2 + 1\right)/\Gamma_1}{S^2 + K_V\frac{\Gamma_2}{\Gamma_1}S + \frac{K_V}{\Gamma_1}}$$

เทียบกับทรานซ์เฟอร์ฟังก์ชั่นมาตรฐาน

$$T(S) = \frac{2\xi\omega_n S + \omega_n^2}{S^2 + 2\xi\omega_n S + \omega_n^2}$$

จะได้ว่า

$$\omega_n^2 = \frac{K_V}{\Gamma_1}$$

$$2\xi\omega_n = K_V\frac{\Gamma_2}{\Gamma_1}$$

$$\xi = \frac{\Gamma_2}{2}\sqrt{\frac{K_V}{\Gamma_1}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= \frac{\Gamma_2}{2}\omega_n$$

ฉะนั้นสามารถปรับค่า ω_n และ ξ เป็นอิสระจากกันได้ ทำการตรวจสอบเสถียรภาพโดยใช้ Bode Plot จาก Open-loop Transfer Function

$$T'(S) = \frac{K_V F(S)}{S}$$

$$= \frac{K_V\left(S\Gamma_2 + 1\right)}{S^2\Gamma_1}$$

แทน S=jω จะได้

$$T'(S) = \frac{\left(2\xi\frac{S}{\omega_n} + 1\right)}{\left(\frac{S}{\omega_n}\right)^2}$$

เมื่อ $\Gamma_1 = \frac{K_V}{\omega_n^2}$ และ $\Gamma_2 = \frac{2\xi}{\omega_n}$

$$\left|\Gamma'(j\omega)\right| = \frac{K_V}{\Gamma_1\omega^2}\sqrt{1+\omega^2\Gamma_2^2}$$

$$\left|\Gamma'\frac{(j\omega)}{\omega_n}\right| = \left(\frac{\omega_n}{\omega}\right)^2\sqrt{1+4\xi^2\left(\frac{\omega}{\omega_n}\right)^2}$$

พิจารณาเฟสจะได้ว่า

$$\phi\left(\frac{j\omega}{\omega_n}\right) = \tan^{-1}\left(2\xi\frac{\omega}{\omega_n}\right) - 180°$$

กำหนดให้ $X = \left(\frac{\omega}{\omega_n}\right)$

$$\left|T'(jX)\right| = \frac{1}{X^2}\sqrt{\left(1+4\xi^2X^2\right)}$$

$$\phi(jX) = \tan^{-1}(2\xi X) - 180°$$

คำนวณหาค่า X ในขณะที่ $\left|T'\left(\frac{j\omega_1}{\omega_n}\right)\right| = 1$

$$1 = \frac{1}{X^2}\sqrt{\left(1+4\xi^2X^2\right)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ยกกำลังสองแล้วจัดรูปใหม่

$$X^4 - 4\xi^2 X^2 - 1 = 0$$

หารากคำตอบที่เป็นบวก

$$X = \frac{\omega_1}{\omega_n} = \sqrt{2\xi^2 + \sqrt{\left(4\xi^4 + 1\right)}}$$

แทน X ลงในสมการ

$$\theta(jX) = \tan^{-1}\left(2\xi\sqrt{2\xi^2 + \sqrt{4\xi^4 + 1}}\right)$$

ได้ Phase margin

$$\theta_M(jX) = \theta(jX) + 180^\circ$$
$$= \tan^{-1}\left(2\xi\sqrt{2\xi^2 + \sqrt{\left(4\xi^4 + 1\right)}}\right)$$

แบนด์วิดท์ -3 dB

$$\left|T(j\omega)\right| = \frac{2\xi\omega_n S + \omega_n^2}{S^2 + 2\xi\omega_n S + \omega_n^{\ 2}}$$

$$\left|T(j\omega)\right| = \frac{\sqrt{\left(2\xi\omega_n\right)^2\omega^2 + \omega_n^4}}{\sqrt{\left(\omega_n^2 - \omega^2\right)^2 + \left(2\xi\omega_n\right)^2\omega^2}}$$

$$\left|T_{\mathrm{B}}(j\omega)\right| = \frac{1}{\sqrt{2}}$$

$$= \frac{\sqrt{\left(2\xi\omega_n\right)^2\omega_{\mathrm{B}}^2 + \omega_n^4}}{\sqrt{\left(\omega_n^2 - \omega_{\mathrm{B}}^2\right) + \left(2\xi\omega_n\right)^2\omega_{\mathrm{B}}^2}}$$

$$\left(\omega_n^2 - \omega_{\mathrm{B}}^2\right)^2 + \left(2\xi\omega_n\right)^2\omega_{\mathrm{B}}^2 = 2\left(2\xi\omega_n\right)^2\omega_{\mathrm{B}}^2 + 2\omega_n^4$$

$$\omega_{\mathrm{B}}^4 - \left(2\omega_n^2\right)\omega_{\mathrm{B}}^2 + \omega_n^4 + \left(4\xi^2\omega_n^2\right)\omega_{\mathrm{B}}^2 = 2\left(4\xi^2\omega_n^2\right)\omega_{\mathrm{B}}^2 + 2\omega_n^4$$

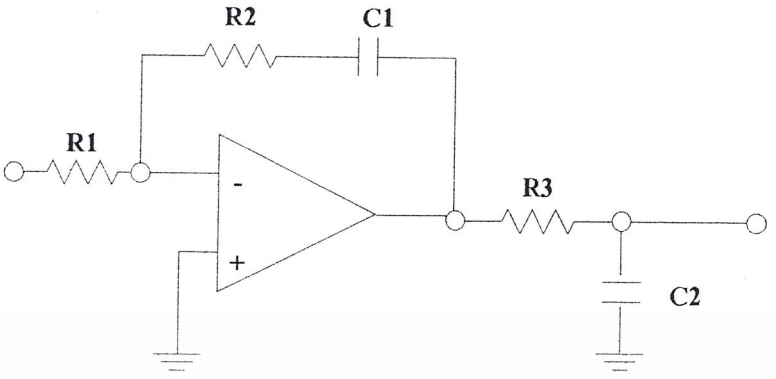
$$\omega_{\mathrm{B}}^4 - \left(\omega_n^2\right)\left(2 + 4\xi^2\right)\omega_{\mathrm{B}}^2 - \omega_n^4 = 0$$

$$\omega_{\mathrm{B}}^2 = \frac{\left(2 + 4\xi^2\right)\left(\omega_n^2\right) \pm \sqrt{\omega_n^4\left(2 + 4\xi^2\right)^2 + 4\omega_n^4}}{2}$$

$$\omega_{Bandwidth} = \omega_n\sqrt{\left(1 + 2\xi^2\right) + \sqrt{2 + 4\xi^2 + 4\xi^4}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลูปอันดับที่ 3



$$F(S) = \frac{S\Gamma_2 + 1}{S\Gamma_1}\frac{1}{S\Gamma_3 + 1}$$

เมื่อ $\Gamma_1 = R_1C_1$

$\Gamma_2 = R_2C_2$

$\Gamma_3 = R_3C_2$

จะได้ Closed-loop Transfer Function

$$T(S) = \frac{K_V F(S)}{S + K_V F(S)}$$

$$= \frac{\frac{K_V(S\Gamma_2+1)}{S\Gamma_1(S\Gamma_3+1)}}{S + \frac{K_V(S\Gamma_2+1)}{S\Gamma_1(S\Gamma_3+1)}}$$

$$= \frac{K_V(S\Gamma_2+1)}{S(S\Gamma_1(S\Gamma_3+1)) + K_V(S\Gamma_2+1)}$$

$$= \frac{K_V(S\Gamma_2+1)}{S^3\Gamma_1\Gamma_3 + S^2\Gamma_1 + SK_V\Gamma_2 + K_V}$$

$$= K_V\left(\frac{\Gamma_2}{\Gamma_2\Gamma_3}\right)\left(\frac{S+\frac{1}{\Gamma_2}}{S^3 + \frac{1}{\Gamma_3}S^2 + \frac{K_V\Gamma_2}{\Gamma_1\Gamma_3}S + \frac{K_V}{\Gamma_1\Gamma_3}}\right)$$

Open-loop Transfer Function

$$T'(S) = \frac{K_V F(S)}{S}$$

$$T'(S) = \frac{K_V(S\Gamma_2+1)}{S\cdot S\Gamma_1(S\Gamma_3+1)}$$

$$\phi(j\omega) = \tan^{-1}(\Gamma_2\omega) - \tan^{-1}(\Gamma_3\omega) - 180°$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การหาเสถียรภาพโดยวิธี BODE จะได้ส่วนเผื่อเฟส (Phase margin)

$$\phi_M(j\omega) = \phi(j\omega) + 180°$$

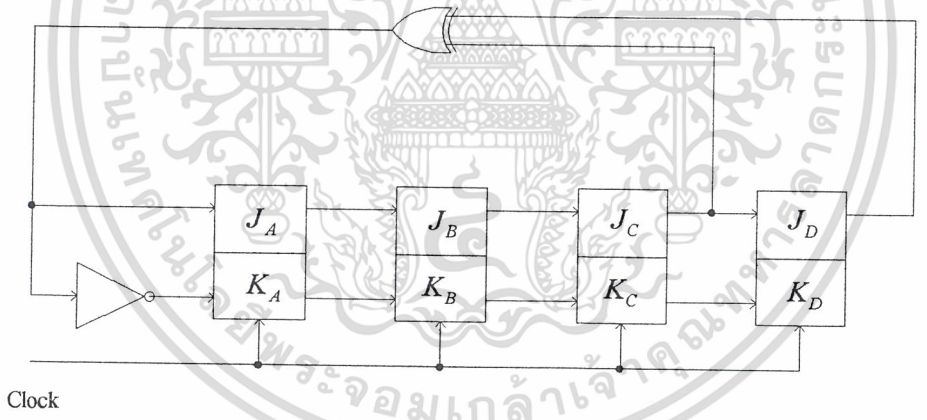
$$\phi_M(j\omega) = \tan^{-1}(\Gamma_2\omega) - \tan^{-1}(\Gamma_3\omega)$$

2.5 วงจรสร้างสัญญาณพัลส์แบบสุ่ม (Pseudo-Random Pulse Generator)

วงจรสร้างสัญญาณพัลส์แบบสุ่มเป็นการสร้างชุดข้อมูลขึ้นเพื่อใช้ในการทดสอบการรับส่งของเครื่องรับ-ส่ง ซึ่งมีหลักการดังนี้

ชิฟต์รีจิสเตอร์ (shift register) ที่มีการป้อนกลับด้วยเอกซ์คลูซีฟออร์ (exclusive-OR)

ชิฟต์รีจิสเตอร์ที่มี 4 สเตจ แสดงดังรูปที่ 2.51 มีการป้อนกลับด้วยเอกซ์คลูซีฟออร์จากสเตจ C และ D กล่าวคือเอาต์พุตของมันจะกลายไปเป็นอินพุตของสเตจแรก $J_A = C \oplus D$ เพื่อที่จะอธิบายลำดับของสเตจต่างๆสำหรับรีจิสเตอร์ เราจะต้องสมมติสถานะเริ่มต้นให้กับชิฟต์รีจิสเตอร์ให้อยู่ในสเตจที่ $D = 0$, $C = 0$, $B = 0$ และ $A = 1$ ในกรณีนี้ $J_A = 0 \oplus 0$ และเมื่อมันได้รับคล็อกลูกต่อไปจะทำให้รีจิสเตอร์กลายเป็นสเตจที่ $D = 0$, $C = 0$, $B = 1$ และ $A = 0$ ลำดับของสเตจต่าง ๆ ที่สมบูรณ์สำหรับรีจิสเตอร์ได้แสดง ดังในตารางที่ 2.3 ค่าของฟังก์ชันของการป้อนกลับสำหรับแต่ละสเตจ อยู่ในช่องของ f ในตาราง



รูปที่ 2.51 เจนเนอร์เรเตอร์ของชิฟต์รีจิสเตอร์ MLS ที่มี 4 สเตจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

S	D	C	B	A	f
S1	0	0	0	1	0
S2	0	0	1	0	0
S4	0	1	0	0	1
S9	1	0	0	1	1
S3	0	0	1	1	0
S6	0	1	1	0	1
S13	1	1	0	1	0
S10	1	0	1	0	1

S	D	C	B	A	f
S5	0	1	0	1	1
S11	1	0	1	1	1
S7	0	1	1	1	1
S15	1	1	1	1	0
S14	1	1	1	0	0
S12	1	1	0	0	0
S8	1	0	0	0	1

ตารางที่ 2.3 MLS สำหรับรีจิสเตอร์ที่มี 4 สเตจ

จะเห็นได้ว่ามีทั้งหมด 15 สเตจ ซึ่งเป็นจำนวนสูงสุดของสเตจที่มีได้ของรีจิสเตอร์ 4 สเตจที่มีการป้อนกลับด้วยเอกซ์คลูซีฟออร์และลำดับเหล่านี้ได้ถูกกำหนดให้เป็นลำดับที่มีความยาวสูงสุด(maximum-length sequence : MLS) สเตจ $S_0 = 0000$ ไม่สามารถถูกรวมเป็นลำดับของสเตจเพราะว่าจะทำเกิดสเตจล็อกอิน (lock-in) คือถ้ารีจิสเตอร์เข้าสู่สเตจนี้ $J_A = 0 \oplus 0 = 0$ ดังนั้นรีจิสเตอร์ จะไม่สามารถออกจากสเตจนี้ได้เมื่อคล็อกลูกถัดไปและลูกต่อๆไปมาถึง โดยทั่วไปแล้ว ลำดับที่มีความยาวสูงสุดสำหรับแต่ละวงจรจะพิจารณาได้โดย

$$l = 2^N - 1 \qquad (2.20)$$

โดย N เป็นจำนวนของสเตจในชิฟต์รีจิสเตอร์

ตารางที่ 2.4 แสดงฟังก์ชันการป้อนกลับ (feedback function) ซึ่งจะให้ลำดับที่มีความยาวสูงสุดสำหรับการต่อ N สเตจถึง 18 สเตจ

สำหรับ MLS อื่น ๆที่ใช้ประโยชน์โดยที่มีการใช้จำนวนรีจิสเตอร์เท่ากัน ยกตัวอย่างเช่น ถ้าทำการอินเวอร์สฟังก์ชัน $C \oplus D$ ซึ่งถูกใช้เป็นฟังก์ชันของการป้อนกลับ จากนั้นจะได้ MLS ออกมา แสดงดังตารางที่ 2.5 (a)

No of stages, N	Feedback Equation	No of stages, N	Feedback Equation
1	A	10	$G \oplus J$
2	$A \oplus B$	11	$I \oplus K$
3	$B \oplus C$	12	$F \oplus H \oplus K \oplus L$
4	$C \oplus D$	13	$I \oplus J \oplus L \oplus M$
5	$C \oplus E$	14	$D \oplus H \oplus M \oplus N$
6	$E \oplus F$	15	$N \oplus O$
7	$F \oplus G$	16	$D \oplus M \oplus O \oplus P$
8	$D \oplus E \oplus F \oplus H$	17	$N \oplus O$
9	$E \oplus I$	18	$K \oplus U$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.4 ฟังก์ชันการป้อนกลับสำหรับ MLS

เมื่อพิจารณาสมการการป้อนกลับในตารางที่ 2.4 แสดงให้เห็นว่าดิจิตหนึ่งในสมการจะมาจากดิจิตที่ N ในรีจิสเตอร์เสมอและดิจิตอื่นๆจะได้รับโดยการมองย้อนรีจิสเตอร์กลับไป ยกตัวอย่างเช่น สำหรับ N=4 ดิจิตที่ N ก็คือ D และดิจิตอื่นในสมการ ก็คือ C ซึ่งก็คือ ดิจิต (N-1) ทางเลือกทางที่สองสำหรับรีจิสเตอร์ 4 สเตจสำหรับการเลือกดิจิตอื่นอีกอันคือการเลือกโดยการมองไปข้างหน้า ซึ่งก็คือดิจิต(N-1) ในกรณีนี้ก็คือ A ดังนั้น MLS อีกสองอันจะได้โดยการใช้สมการการป้อนกลับ A ⊕ D และ A ⊙ Dและซีเควนซ์เหล่านี้ได้แสดงดังตารางที่ 2.5 (b)

S	D	C	B	A	F=C ⊙ D
S1	0	1	1	1	0
S3	1	0	1	1	0
S7	0	1	1	0	0
S14	1	0	0	1	0
S13	0	1	0	1	0
S11	1	0	1	0	0
S6	0	1	0	0	0
S12	1	0	0	0	0
S9	0	0	0	1	1
S2	0	0	1	1	1
S5	1	1	1	0	1
S10	1	1	0	1	1
S4	1	1	0	0	1
S8	0	0	1	0	1
S0	0	0	0	0	1

(a)

S	D	C	B	A	F=A⊕B
S1	0	0	0	1	1
S3	0	0	1	1	1
S7	0	1	1	1	1
S15	1	1	1	1	0
S14	1	1	1	0	1
S13	1	1	0	1	0
S10	1	0	1	0	1
S5	0	1	0	1	1
S11	1	0	1	1	0
S6	0	1	1	0	0
S12	1	1	0	0	1
S9	1	0	0	1	0
S2	0	0	1	0	0
S4	0	1	0	0	0
S8	1	0	0	0	1

(b)

S	D	C	B	A	F=A ⊙ D
S1	0	0	0	1	0
S2	0	0	1	0	1
S5	0	1	0	1	0
S10	1	0	1	0	0
S4	0	1	0	0	1
S9	1	0	0	1	1
S3	0	0	1	1	0
S6	0	1	1	0	1
S13	1	1	0	1	1
S11	1	0	1	1	1
S7	0	1	1	1	0
S14	1	1	1	0	0
S12	1	1	0	0	0
S8	1	0	0	0	0
S0	0	0	0	0	1

(c)

ตารางที่ 2.5 (a) MLSสำหรับชิฟต์รีจิสเตอร์ 4 สเตจที่มีการป้อนกลับด้วยฟังก์ชัน C ⊙ D

(b) MLS ที่มีการป้อนกลับด้วยฟังก์ชัน A ⊕ D

(c) MLS ที่มีการป้อนกลับด้วยฟังก์ชัน A ⊙ D

เพื่อความกระจ่าง วงจรที่แสดงดังรูปที่ 2.51 สามารถใช้เป็นวงจรกำเนิดซีเควนซ์ของเลขฐานสอง (binary sequence generator) ซีเควนซ์ของเอาต์พุตจะได้โดยตรงจากเอาต์พุตของฟลิปฟลอปตัวใดตัวหนึ่งในรีจิสเตอร์ ในกรณีนี้ ซีเควนซ์ของเลขฐานสองที่จะปรากฏที่เอาต์พุตของดี-ฟลิปฟลอปคือ 0-0-0-1-0-0-1-1-0-1-0-1-1-1 วงจรกำเนิดชนิดนี้ในบางครั้งถูกอ้างอิงเป็น *Pseudo-Random Binary Sequence Generator* เพราะว่าดิจิตในซีเควนซ์จะปรากฏออกมาเรียงลำดับตามการสุ่มตัวอย่าง อย่างไรก็ตาม การสุ่มตัวอย่างจะทำซ้ำทุกๆ 2^N-1 คล็อกพัลส์ สำหรับความถี่ของคล็อกที่ให้และคาบของการสุ่มตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อย่างจะเพิ่มขึ้นอย่างรวดเร็วด้วยจำนวนสเตจในรีจิสเตอร์ ถ้า N = 10 ดังนั้น 2^N-1 = 1023 และถ้าความถี่ของ คล็อกเป็น 1 เมกะเฮิรตซ์ ซีเควนซ์ที่ทำการซ้ำตัวมันเองทุกๆ 1.02 มิลลิวินาที ถ้า N = 20 ดังนั้น 2^N-1 = 1048575 และคาบของซีเควนซ์ จะเท่ากับ 10.5 วินาที ถ้า N = 30 ดังนั้น 2^N-1 = 1073730624 และ คาบของซีเควนซ์จะเท่ากับ 1017.73 วินาที

ในการสร้าง Non–MLS จากรีจิสเตอร์ 4 สเตจ ได้โดยการใช้การป้อนกลับด้วย เอกซ์คลูซีฟออร์แบบอื่นๆบางแบบ ยกตัวอย่างเช่น ถ้าฟังก์ชันการป้อนกลับคือ $B \oplus D$ หนึ่งในซีเควนซ์ ที่จะถูกสร้างขึ้นจะแสดงดังตารางที่ 2.6 ซีเควนซ์ที่ถูกสร้างขึ้นจะขึ้นอยู่กับสถานะเริ่มต้นของรีจิสเตอร์

S	D	C	B	A	f
S1	0	0	0	1	0
S2	0	0	1	0	1
S5	0	1	0	1	0
S10	1	0	1	0	0
S4	0	1	0	0	0
S8	1	0	0	0	1

S	D	C	B	A	f
S3	0	0	1	1	1
S7	0	1	1	1	1
S15	1	1	1	1	0
S14	1	1	1	0	0
S12	1	1	0	0	1
S9	1	0	0	1	1

S	D	C	B	A	f
S6	0	1	1	0	1
S13	1	1	0	1	1
S11	1	0	1	1	0

ตารางที่ 2.6 Non-MLSที่ถูกสร้างขึ้นโดยชิฟต์รีจิสเตอร์4สเตจที่มีการป้อนกลับด้วยฟังก์ชัน$B \oplus D$

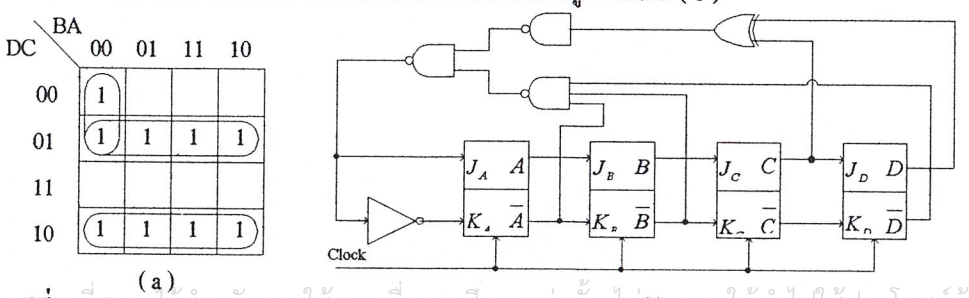
วงจรกำเนิดเบื้องต้นของ MLS ที่แสดงดังในรูปที่ 2.4 ไม่มีความจำเป็นที่จะต้องเริ่มต้นทำงานได้ด้วยตนเอง (self-starting) ตั้งแต่ทำการเปิดสวิตช์ สถานะเริ่มต้นของวงจรกำเนิดอาจจะเป็น 0-0-0-0 เมื่อวงจรอยู่ในสถานะนี้มันจะไม่มีทางออกจากสถานะนี้ได้เลย อย่างไรก็ตามเมื่อทำการเปลี่ยนแปลงเพียงเล็กน้อยก็จะสามารถสร้างวงจรกำเนิดที่เป็นแบบเริ่มต้นทำงานด้วยตนเองได้ การเปลี่ยนแปลงที่จำเป็นในทางลอจิคอลคือ การเพิ่มเทอม $\overline{A}\,\overline{B}\,\overline{C}\,\overline{D}$ ในสมการการป้อนกลับ ดังนั้น จะได้

$$f = C \oplus D + \overline{ABCD} \tag{2.21}$$

ฟังก์ชันนี้จะถูกพลอตลงบนคาร์นอแม็ปแสดงดังในรูป 2.52 (a) และหลังจากทำการลดรูปแล้วจะได้

$$f = C \oplus D + \overline{ABD} \tag{2.22}$$

การสร้างวงจรกำเนิดแบบเริ่มต้นทำงานด้วยตนเอง ได้แสดงดังรูปที่ 2.52 (b)



(a) (b)

รูปที่ 2.52 (a) K-map plot สำหรับวงจรกำเนิด MLS แบบ self-starting

(b) วงจรกำเนิด MLS แบบ self-starting

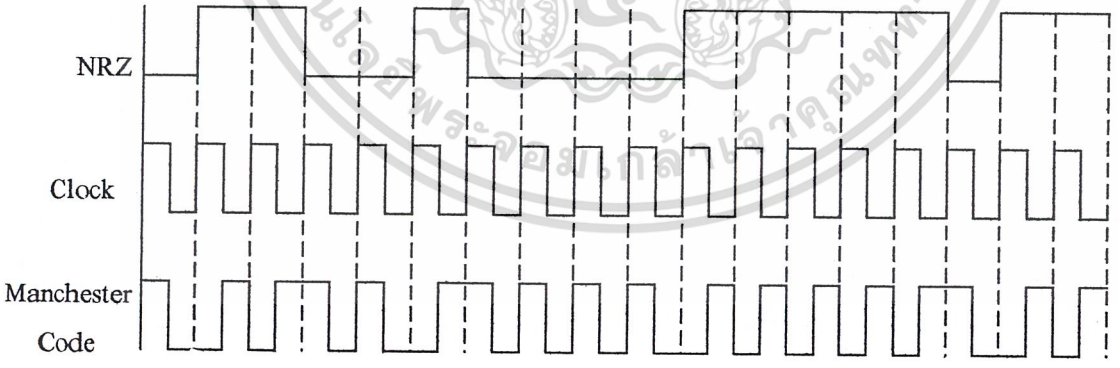
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 การเข้ารหัสแมนเชสเตอร์

การเข้ารหัสด้วยวิธีการนี้จะสร้างจากการนำเอาสัญญาณที่เป็นประเภทไม่กลับสู่ศูนย์(Non-Return to Zero : NRZ) มาทำการเอกซ์คลูซีฟออร์กับสัญญาณนาฬิกา ถ้าข้อมูลกับสัญญาณนาฬิกาเหมือนกัน สัญญาณที่ผ่านการเอกซ์คลูซีฟออร์จะกลายเป็น 0 แต่ถ้าข้อมูลกับสัญญาณนาฬิกาต่างกัน สัญญาณที่ผ่านการเอกซ์คลูซีฟออร์จะกลายเป็น 1 นั่นคือ เมื่อสัญญาณที่ผ่านการเข้ารหัสแมนเชสเตอร์แล้วลักษณะของสัญญาณจาก 1 บิต จะกลายเป็น 2 บิตที่แตกต่างกันเช่น ถ้าข้อมูลคือ 1 จะกลายเป็น 0-1 และถ้าข้อมูลคือ 0 จะกลายเป็น 1-0 ดังรูปที่ 2.54 พบว่าความเร็วจะกลายเป็น 2 เท่า เช่นจาก 2400 บิตต่อวินาที จะกลายเป็น 4800 บิตต่อวินาที แต่เมื่อทำการถอดรหัสแล้ว จะได้ข้อมูลที่มีความเร็วเท่าเดิม นั่นคือ 2400 บิตต่อวินาที นั่นเอง

รหัสแมนเชสเตอร์ มีข้อดีคือ ทำการเข้ารหัสและถอดรหัสได้ง่าย นั่นคือนำสัญญาณ NRZ กับสัญญาณนาฬิกามาทำการเอกซ์คลูซีฟออร์ และอีกประการหนึ่งคือ หากข้อมูลที่ส่งไปมีค่าเป็น 1 หรือ 0 ติดกันมากเกินไป จะทำให้เกิดความผิดพลาดได้ง่ายในการรับข้อมูลที่ด้านรับ โดยเมื่อทำการเข้ารหัสแบบนี้แล้ว จะมีค่า 1 หรือ 0 ติดกันไม่เกิน 2 บิต และหากเกิดการผิดพลาดก็สามารถที่จะตรวจสอบได้ง่าย

รูปที่ 2.53 แสดงวงจร (a) การเข้ารหัส (b) การถอดรหัส



รูปที่ 2.54 แสดงสัญญาณที่ผ่านการเข้ารหัสแมนเชสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

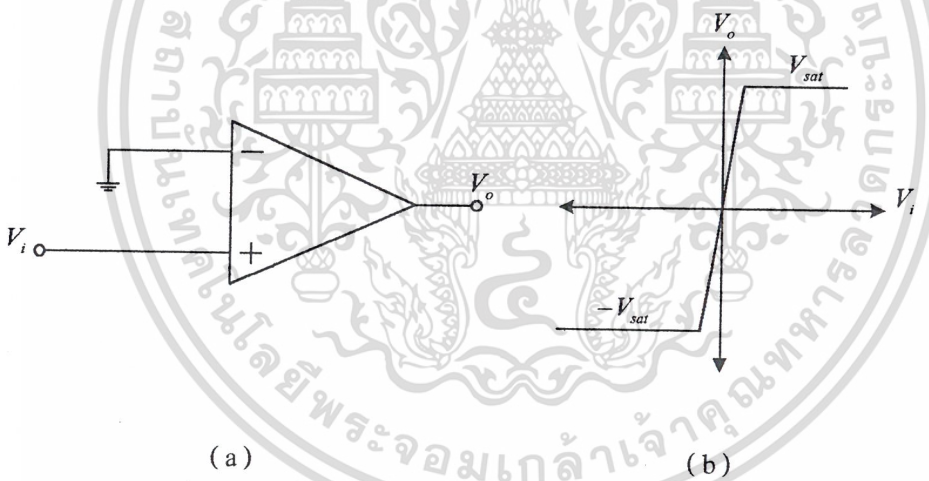
2.7 วงจรเปรียบเทียบสัญญาณ (Comparator)

วงจรเปรียบเทียบสัญญาณจะทำหน้าที่เปรียบเทียบระดับแรงดันสัญญาณเข้าขาหนึ่งกับแรงดันเปรียบเทียบที่ขาสัญญาณเข้าอีกข้างหนึ่ง ระดับแรงดันเปรียบเทียบอาจจะมีค่าเป็นบวก ลบ ศูนย์ก็ได้ วงจรเปรียบเทียบสัญญาณจะมีประโยชน์หลักในงานประเภทต่าง ๆ ต่อไปนี้

1. วงจรชมิททริกเกอร์ (Schmitt Trigger) หรือวงจรจัดสัญญาณสี่เหลี่ยม (Squaring Circuit) จะทำหน้าที่จัดรูปลักษณะของสัญญาณต่าง ๆ ให้อยู่ในลักษณะของสัญญาณรูปสี่เหลี่ยม (Square Wave Signal)
2. วงจรดักสัญญาณข้ามระดับศูนย์ (Zero Level Detector) จะทำหน้าที่แจ้งว่าสัญญาณได้เข้าระดับศูนย์เมื่อใด และกำลังเพิ่มระดับไปในทิศใด

วงจรเปรียบเทียบแบบนอนอินเวอร์สติง

สัญญาณอินพุตที่จะถูกป้อนเข้าอินพุตขาบวก ส่วนอินพุตขาลบจะถูกต่อลงกราวนด์ ถ้า $V_i > 0$ ทั้งผลต่างของแรงดันอินพุตและระดับแรงดันเอาต์พุตต่างก็มีค่าเป็นบวก ในกรณีที่อัตราการขยายแบบรอบเปิดมีค่ามาก ๆ V_i ค่าน้อย ๆ ก็สามารถที่จะทำให้ V_o อยู่ในสภาวะอิ่มตัว หรือ $V_o = V_{sat}$



(a) (b)

รูปที่ 2.55 แสดง (a) วงจรเปรียบเทียบแบบนอนอินเวอร์สติง
(b) คุณสมบัติอินพุต-เอาต์พุต

ถ้า $V_i < 0$ ทั้งผลต่างของแรงดันอินพุตและระดับแรงดันเอาต์พุตต่างมีค่าเป็นลบ ที่ V_i ค่าน้อยก็สามารถที่จะทำให้ V_o อยู่ในสถานะอิ่มตัว โดยทั่วไปจุดเปลี่ยนสถานะจะถูกสมมติให้อยู่ที่ 0 โวลต์ นั่นคือ

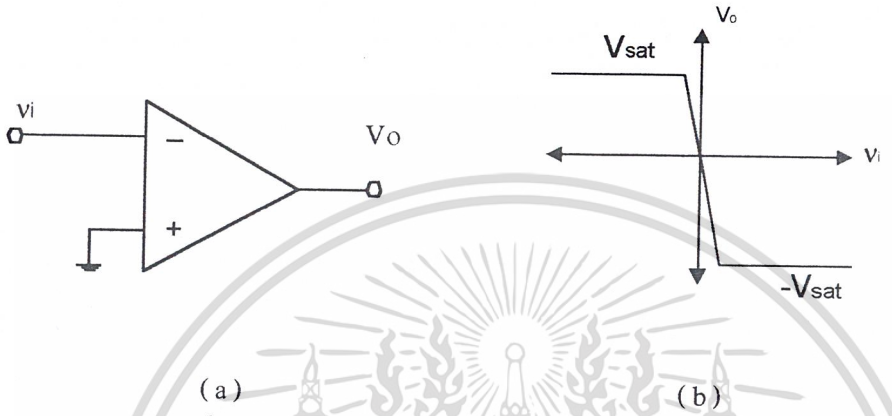
$$V_o = V_{sat} \quad for \quad V_i > 0$$
$$V_o = -V_{sat} \quad for \quad V_i < 0$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเปรียบเทียบแบบอินเวอร์สติง

ในทางกลับกันกับวงจรเปรียบเทียบแบบนอนอินเวอร์สติง ถ้าขาบวกต่อลงกราวนด์ และป้อนสัญญาณอินพุตที่ขาลบจะได้

$$V_o = V_{sat} \quad for \quad V_i < 0$$
$$V_o = -V_{sat} \quad for \quad V_i > 0$$

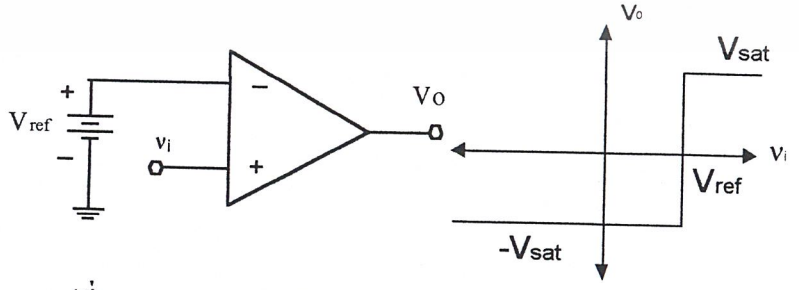


รูปที่ 2.56 แสดง (a) วงจรเปรียบเทียบแบบอินเวอร์สติง
(b) คุณสมบัติอินพุต-เอาต์พุต

วงจรเปรียบเทียบแบบนอนอินเวอร์สติงกับไบอัสบวก

พิจารณาวงจรในรูปที่ 2.57 แรงดันบวก V_{ref} ถูกป้อนเข้าที่อินพุตขาลบ และสัญญาณ V_i ถูกป้อนเข้าอินพุตขาบวก เมื่อระดับสัญญาณต่ำกว่า V_{ref} ผลต่างแรงดันอินพุตมีค่าลบและระดับแรงดันเอาต์พุตจะมีค่าลบ (Negative Saturation Level) ในทางตรงกันข้ามเมื่อระดับสัญญาณอินพุตมีค่าเกินระดับของ V_{ref} ผลต่างแรงดันอินพุตมีค่าเป็นบวกและเอาต์พุตจะเปลี่ยนไปอยู่ในสถานะบวก (Positive Saturation Level) จะได้

$$V_o = V_{sat} \quad for \quad V_i > V_{ref}$$
$$V_o = -V_{sat} \quad for \quad V_i < V_{ref}$$



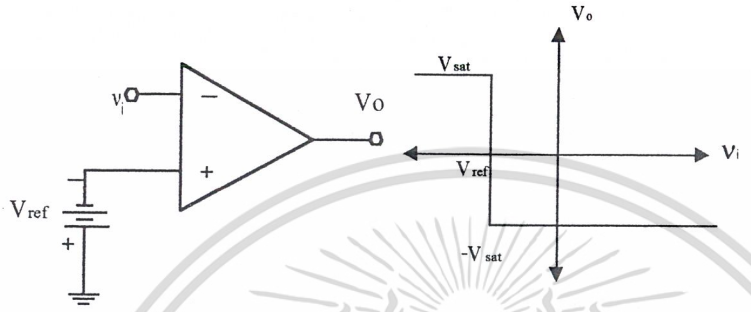
รูปที่ 2.57 แสดงวงจรเปรียบเทียบแบบนอนอินเวอร์สติงกับไบอัสบวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเปรียบเทียบแบบอินเวอร์สติงกับไบอัสลบ

พิจารณารูปที่ 2.58 แรงดันลบ $(-V_{ref})$ ถูกป้อนเข้าที่อินพุตขาบวกและสัญญาณอินพุต V_i ถูกป้อนเข้าอินพุตขาลบ เมื่อระดับ V_i มีค่ามากกว่าระดับแรงดันไบอัส (V_{ref}) เป็นผลให้ทั้งผลต่างแรงดันอินพุตและระดับแรงดันเอาต์พุตมีค่าเป็นบวก จะได้

$$V_o = V_{sat} \quad for \quad V_i < V_{ref}$$
$$V_o = -V_{sat} \quad for \quad V_i > V_{ref}$$



รูปที่ 2.58 แสดงวงจรเปรียบเทียบแบบอินเวอร์สติงกับไบอัสลบ

วงจรเปรียบเทียบในทางปฏิบัติ

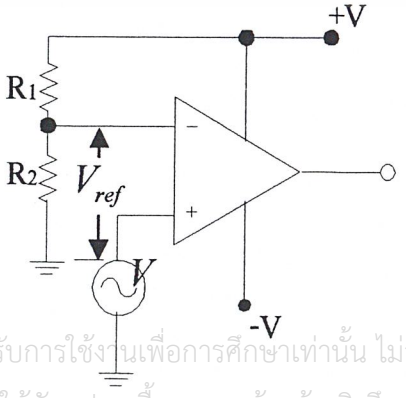
เนื่องจากระดับแรงดันไฟฟ้าที่จ่ายให้แก่ออปแอมป์มักจะถูกควบคุมให้มีค่าคงที่ตลอด ดังนั้นเราอาจจะอาศัยแรงดันไฟฟ้าเพื่อจะสร้างแรงดันไฟฟ้าอ้างอิง (V_{ref}) ดังที่แสดงในรูปที่ 2.59

ในทางปฏิบัติอาจให้ R_1 เป็นค่าความต้านทานปรับค่าได้เพื่อสามารถเปลี่ยนแปลงค่าระดับแรงดันไฟฟ้าอ้างอิงได้ตามต้องการ

เนื่องจากอิมพีแดนซ์จุดสัญญาณเข้ามีค่าสูง กระแสที่ไหลเข้าขาลบจึงมีค่าน้อยมาก ดังนั้นระดับแรงดันไฟฟ้าอ้างอิงจึงมีค่าเท่ากับ

$$V_{ref} = \left(\frac{R_2}{R_1 + R_2}\right) \times V \qquad (2.23)$$

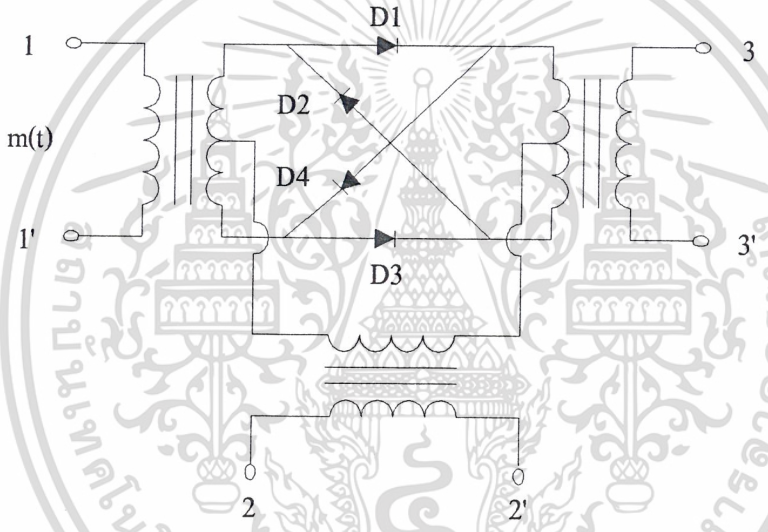
รูปที่ 2.59 แสดงวงจรเปรียบเทียบในทางปฏิบัติ



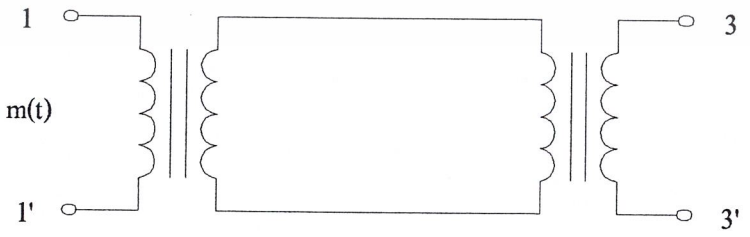
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8 ริงมอดูเลเตอร์ (Ring Modulator)

ริงมอดูเลเตอร์เป็นมอดูเลเตอร์แบบสวิตช์ ซึ่งมีไดโอดต่อกันตามรูปที่ 2.60 การทำงานของวงจร อธิบายการทำงานได้ดังนี้ คือ สมมุติว่าไม่มีสัญญาณ $m(t)$ เข้ามาชั่วขณะ และให้คลื่นพาห์มีขนาดแรงพอสมควร ในเวลาที่คลื่นพาห์มีสถานะเป็นบวก ไดโอด D_1 และ D_3 จะนำกระแสแต่ D_2 และ D_4 จะตัดกระแส ดังนั้นวงจรสมมูลในสถานะเช่นนี้วงจรสมมูลจะเป็นดังแสดงในรูปที่ 2.61 ครั้นพอถึงพอถึงเวลาที่คลื่นพาห์เปลี่ยนเป็นลบ ไดโอด D_1 และ D_3จะตัดกระแส แต่ไดโอด D_2 และ D_4 จะนำกระแสทำให้วงจรสมมูลในสถานะนี้ เป็นดังรูปที่ 2.62 ดังนั้นเมื่อทำการพิจารณาโดยรวมจะเห็นว่าคลื่นพาห์จะเป็นตัวคอยควบคุมการตัดต่อวงจรให้สัญญาณจากอินพุตไปปรากฏเป็นบวกหรือลบสลับกันที่เอาท์พุตตามสถานะของคลื่นพาห์ กล่าวคือ สถานะการตัดต่อสวิตช์จะเป็นฟังก์ชั่นของเวลา

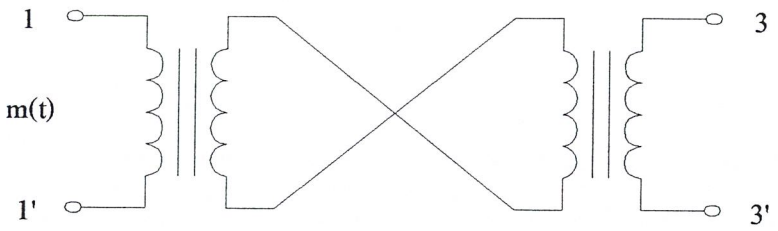


รูปที่ 2.60 ริงมอดูเลเตอร์



รูปที่ 2.61 วงจรสมมูลเมื่อคลื่นพาห์เป็นบวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.62 วงจรสมมูลเมื่อคลื่นพาห์เป็นลบ

ถ้าพิจารณาในเชิงคณิตศาสตร์ จะเห็นว่าสัญญาณเอาต์พุต $v_o(t)$ เป็นผลคูณของสัญญาณ $m(t)$ กับสัญญาณสวิตซ์ $s(t)$ แต่ $s(t)$ เป็นสัญญาณที่มีคาบสามารถกระจายเป็นอนุกรมฟูริเยร์ได้เป็น

$$s(t) = \sum_{n=-\infty}^{\infty} S_n e^{jn\omega_c t}$$

โดยที่ S_n คือ ค่าขนาดของคลื่นฮาร์โมนิคในอนุกรมฟูริเยร์ ดังนั้น

$$v_o(t) = \sum_{n=-\infty}^{\infty} S_n m(t) e^{jn\omega_c t}$$

เมื่อนำ $v_o(t)$ ผ่านวงจรกรองความถี่ผ่านที่มีความถี่กลางที่ ω_c และมีแบนด์วิดท์ที่เหมาะสมแล้ว จะได้เอาต์พุตของวงจรกรองความถี่คือ

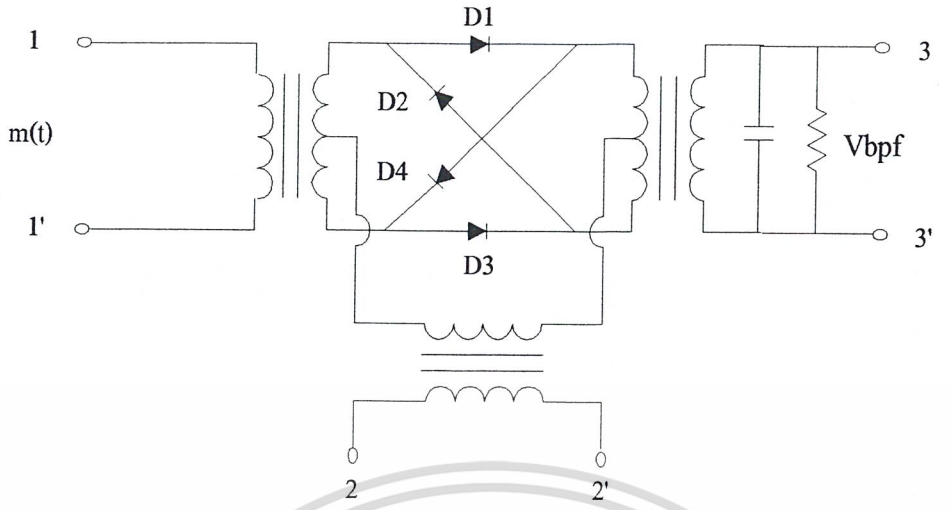
$$v_{BPF} = S_{-1} m(t) e^{-jn\omega_c t} + S_1 m(t) e^{jn\omega_c t}$$

$$= 2 S_1 m(t) \cos(\omega_c t)$$

ทั้งนี้เพราะ $S_1 = S_{-1}$ จะเห็นว่า v_{BPF} นั้นคือสัญญาณ ดีเอสบี เอสซีนั้นเอง

ในทางปฏิบัติวงจรกรองความถี่ผ่าน มักจะสร้างขึ้นด้วยวงจรแทงซ์รีโซแนนซ์ (tank resonance) ซึ่งประกอบด้วยขดลวดเหนี่ยวนำซึ่งก็คือด้านหนึ่งของเอาท์พุตหม้อแปลงและตัวเก็บประจุซึ่งวงจรที่ได้จึงมีลักษณะที่ง่ายๆตามรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.63 วงจรริงมอดูเลเตอร์เชิงปฏิบัติ

ข้อได้เปรียบของริงมอดูเลเตอร์ก็คือมีเอาท์พุทที่แรงกว่าเป็น 2 เท่าของสัญญาณอินพุททั้งนี้เนื่องจากอัตราส่วนของหม้อแปลงนั้นมีอัตราส่วนวงรอบการพันเท่ากับ 2 :1 ดังนั้นเอาท์พุตจึงมีขนาดแรงกว่าเป็นสองเท่าของสัญญาณอินพุทนั้นเอง

2.9 วงจรมิกเซอร์ (Mixer)

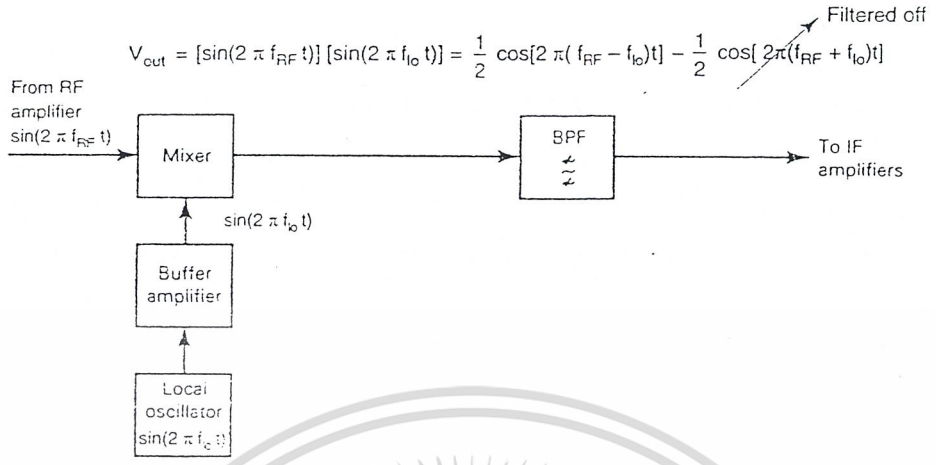
วงจรมิกเซอร์หรือวงจรคอนเวอร์เตอร์ มีหน้าที่ในการลดความถี่จากความถี่วิทยุ (RF) มาเป็นความถี่กลาง(IF)ในเครื่องรับวิทยุ หรือทำการเพิ่มความถี่จากความถี่กลางเป็นความถี่วิทยุในเครื่องส่งวิทยุ เนื่องจากการมอดูเลทกับความถี่วิทยุโดยตรงทำให้ดีได้ยาก จึงทำการมอดูเลทกับความถี่ IF ก่อน แล้วจึงขยับความถี่ขึ้นเป็นความถี่วิทยุหรือการดีมอดูเลทกับความถี่วิทยุ โดยตรงทำได้ยากจึงต้องลดความถี่มาเป็นความถี่ IF ก่อน เพื่อให้สามารถดีมอดูเลทได้ง่ายขึ้น การมิกซ์สัญญาณทำได้โดยใช้วงจรมิกเซอร์โดยการป้อนสัญญาณอินพุท 2 อินพุท คือ ความถี่วิทยุและความถี่โลคอล การผสมสัญญาณความถี่วิทยุเข้ากับความถี่ที่กำเนิดได้จากวงจรกำเนิดความถี่โลคอล(Local Oscillators)เรียกวิธีนี้ว่า " Heterodyning " วงจรมิกเซอร์ส่วนใหญ่อาศัยการทำงานของอุปกรณ์นอนลิเนียร์ เช่น ไดโอด รูปที่ 2.9.1 แสดงบล็อกไดอะแกรมของวงจรมิกเซอร์ซึ่งเอาท์พุทของวงจรมิกเซอร์เป็นผลคูณของความถี่วิทยุและความถี่โลคอลดังสมการ

$$Vout = [\sin 2\pi f_{RF} t\,][\sin 2\pi f_{LO} t\,]$$

เมื่อ f_{RF} คือ ความถี่วิทยุที่เข้ามา (Radio Frequency Input)

f_{LO} คือ ความถี่ที่กำเนิดจากวงจรกำเนิดความถี่โลคอล (Local Oscillator)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.64 แสดงบล็อกไดอะแกรมของวงจรมิกเซอร์

ดังนั้นผลลัพท์ที่ได้จากการคูณความถี่ทั้งสองจะเป็นเอาท์พุทของวงจรมิกเซอร์ คือ

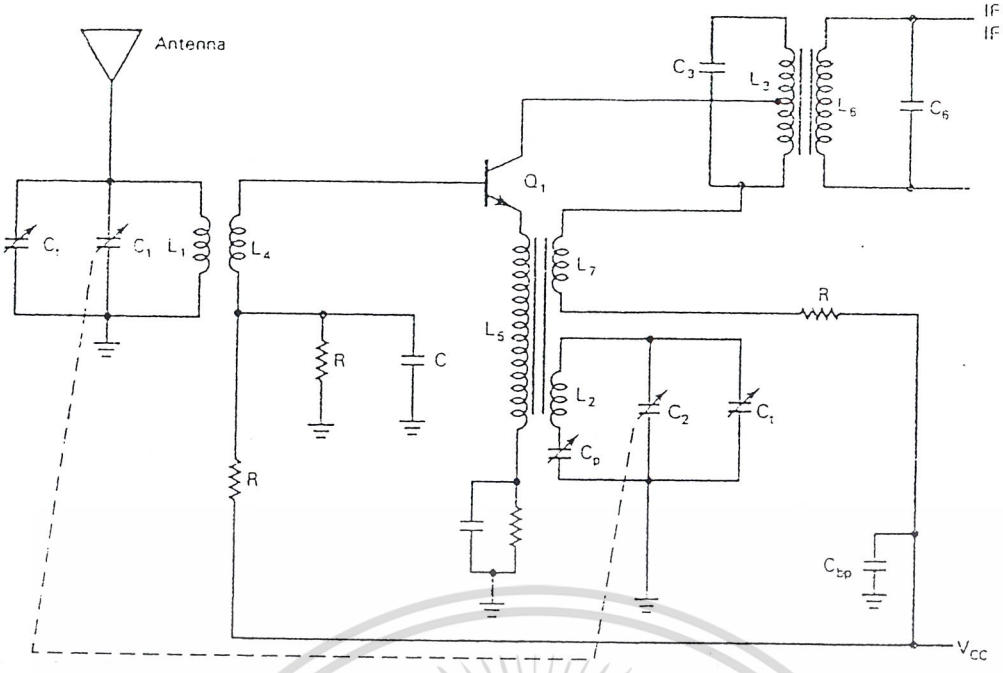
$$Vout = \frac{1}{2}Cos[2\pi(f_{RF} - f_{LO})t] - \frac{1}{2}Cos[2\pi(f_{RF} + f_{LO})t]$$

เมื่อนำสัญญาณที่ได้ผ่านวงจรกรองความถี่ต่ำผ่าน หรืออาจเป็นวงจรกรองความถี่ผ่านจะได้เอาท์พุทของวงจรกรองความถี่ คือ

$$Vout = \frac{1}{2}Cos[2\pi(f_{RF} - f_{LO})t]$$

ซึ่งผลต่างของความถี่วิทยุกับความถี่โลคอลจะเรียกว่าความถี่กึ่งกลาง " Intermediate Frequency " หรือความถี่ IF หรือความถี่กึ่งกลางนั้นเอง อย่างไรก็ตามถึงแม้ว่าอุปกรณ์นอนลิเนียร์จะใช้ในวงจรมิกเซอร์ แต่การใช้อุปกรณ์จำพวกทรานซิสเตอร์จะเป็นที่นิยมมากกว่าไดโอด เนื่องจากสามารถปรับปรุงและพัฒนาด้วยวิธีการต่างๆได้มากกว่า เนื่องจากเอาท์พุตของวงจรมิกเซอร์เป็นผลคูณของความถี่สองความถี่ ในทางปฏิบัติจะเกิดการสูญเสีย(loss)เกิดขึ้น ซึ่งการสูญเสียนั้นจะเรียกว่า " Conversion Loss " เป็นผลทำให้แอมปลิจูดของสัญญาณ IF มีขนาดต่ำ รูปที่ 2.65 แสดงตัวอย่างวงจรมิกเซอร์ที่ใช้ทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

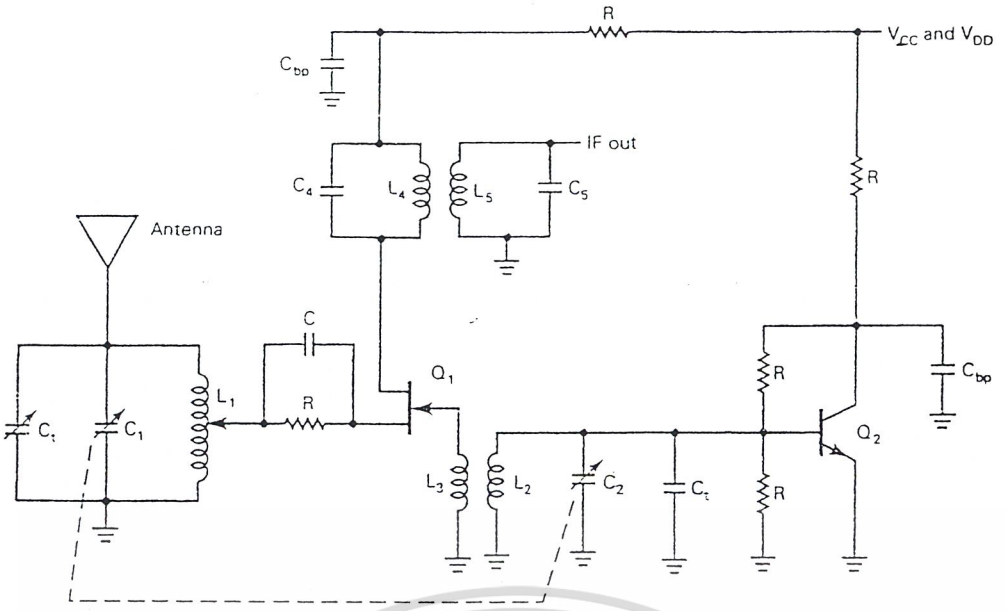


รูปที่ 2.65

จากรูปที่ 2.65 วงจรมิกเซอร์มีประสิทธิภาพในการทำงาน มีราคาถูกเหมาะสำหรับเครื่องรับในระบบเอเอ็มธรรมดาทั่วไป สำหรับการทำงานของวงจรในรูปที่ 2.65 นั้น สัญญาณคลื่นวิทยุจากสายอากาศจะถูกเลือกหรือถูกจูนจาก L_1 , C_1 ผ่านหม้อแปลงไปยังอีกด้านหนึ่งโดยมีทรานซิสเตอร์ Q_1 ทำหน้าที่ขยายสัญญาณความถี่ที่ถูกผลิตจากวงจรกำเนิดความถี่โลคอล เรียกว่าเป็น "Self exited" มิกเซอร์ เพราะวงจรมิกเซอร์อาศัยสัญญาณความถี่โลคอลที่ได้จากการป้อนพลังงานย้อนกลับจากพลังงานของความถี่วิทยุที่รับเข้ามาได้ ทำให้ L_2 และ C_2 ผลิตความถี่ออกมา โดยไม่ต้องอาศัยแหล่งจากไปจากภายนอก

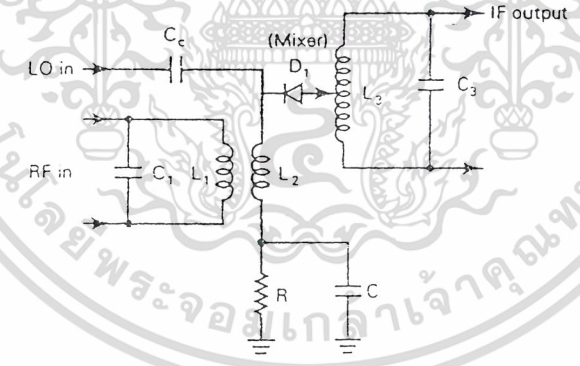
ในตอนเริ่มต้นกำลังงานถูกส่งให้กับทรานซิสเตอร์ Q_1 ทำหน้าที่ขยายสัญญาณวิทยุและสัญญาณรบกวนไปพร้อมกันด้วย กำลังงานส่วนหนึ่งจะถูกส่งให้กับวงจร tank (L_1 ,C_1) เมื่อมีพลังงานเพียงพอวงจร tank ก็จะผลิตความถี่โลคอลออกมาเป็นความถี่เรโซแนนซ์ของตัวเก็บประจุและตัวเหนี่ยวนำ และความถี่ที่ผลิตได้จะคัปปลิ้งผ่าน L_2 และ L_5 เข้าทางขาอิมิเตอร์ของทรานซิสเตอร์ Q_1 ทำให้เอาท์พุททางขาคอลเล็กเตอร์เป็นผลรวมและผลต่างของความถี่ทั้ง 2 นั้นเอง L_3 และ C_3 ทำหน้าที่จูนความถี่ให้ตรงกับความถี่ปานกลางที่ต้องการ โดยการทำงานเป็นวงรอบนี้จะเกิดขึ้นตลอดที่มีความถี่วิทยุเข้ามา C_1 และ C_2 แทรกกิ่งตามกัน ทำหน้าที่เลือกความถี่วิทยุและความถี่โลคอลไปพร้อมๆ กัน เพื่อให้ได้ความถี่กึ่งกลางเท่าเดิม แต่ข้อเสียของวงจรนี้คือไม่สามารถกำจัดปัญหาเรื่องความถี่เงาได้ (image frequency) และทรานซิสเตอร์ยังผลิตความถี่ฮาร์โมนิกอื่นออกมาอีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.66

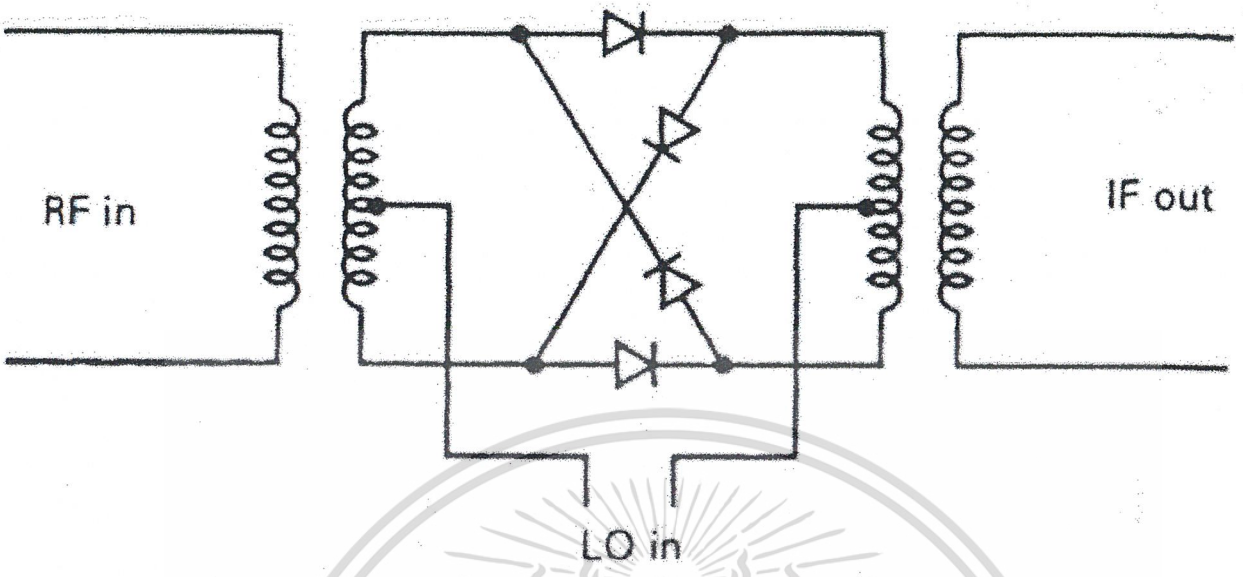
วงจรรูปที่ 2.66 เป็นวงจรมิกเซอร์ที่อาศัยการทำงานเหมือนรูปที่ 2.65 ต่างกันตรงที่ว่าการกำเนิดความถี่โลคอลนั้น อาศัยกำลังงานจากแหล่งจ่ายไฟภายนอก เรียกว่าเป็น "Separately exited" ซึ่งทรานซิสเตอร์ที่ใช้กันเป็นจำพวก FET มีความเป็นนอนลิเนียร์ที่ดีกว่าไบโพลาร์ทรานซิสเตอร์(BJTs)



รูปที่ 2.67

วงจรรูปที่ 2.67 เป็นวงจรมิกเซอร์ที่อาศัยการทำงานของไดโอด (Single-diode Mixer) การทำงานนั้นอาศัยการป้อนความถี่วิทยุและความถี่โลคอล ทำให้เกิดผลรวมและผลต่างจากไดโอดมิกเซอร์ แต่วงจรนี้มีประสิทธิภาพต่ำ มีการสูญเสียกำลังงานสูง แต่อย่างไรก็ตามมักจะถูกใช้ในเครื่องรับเอเอ็มทั่วไป และใช้ในการกำเนิดความถี่คลื่นพาห์ความถี่เสียงขึ้นมาใหม่ในระบบโทรทัศน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.68

จากรูปที่ 2.68 เป็นวงจรมิกเซอร์ที่ใช้ไดโอด 4 ตัว ในการทำงานซึ่งเป็นวงจรที่สำคัญมากในการสื่อสารปัจจุบัน วงจรนี้เรียกว่า "Balanced Modulators" หรือ"Product Modulators" หรือ "Product Detector" วงจรประเภทนี้ถูกใช้ในวงจรเครื่องรับและเครื่องส่งทั้งในระบบเอเอ็มและเอฟเอ็ม และในวงจรมอดูเลชันหลายๆ วงจร เช่น PSK, QAM วงจรนี้มีข้อดีตรงที่ว่ามีอัตราการรบกวนต่ำและกำจัดคลื่นพาห์ได้ดี แต่มีข้อเสียตรงที่ว่า ในวงจรมอดูเลเตอร์ของ AM-DSBSC ถ้าหม้อแปลงที่ใช้มีการแท็ปไม่ตรงกึ่งกลางจะเกิดการไหลของกระแสในลูปบนและลูปล่างไม่เท่ากัน จะปรากฏความถี่ของคลื่นพาห์รวมไปกับสัญญาณเอาท์พุทด้วย มีผลทำให้ประสิทธิภาพในการกดความถี่ของคลื่นพาห์ไม่ดีได้ นอกจากวงจรที่กล่าวมาแล้วยังมีไอซีที่ทำหน้าที่เป็นมิกเซอร์อีกเช่น

- NE/SE6024 : Double – Balanced Mixer and Oscillator
- MC1496 : Balanced Modulators and Balanced Demodulators

2.10 Smith Chart Analysis

จุดประสงค์ในการศึกษา Smith Chart

1. เพื่ออธิบายหน้าที่การทำงานของ smith chart
2. เพื่อใช้ในการแก้ปัญหา Transmission Lines
3. เพื่อใช้อธิบายเทคนิคการ Matching ระหว่างสายส่งกับโหลด
4. เพื่อเปรียบเทียบและแสดงให้เห็นข้อแตกต่างของเทคนิคการ Matching
5. เพื่อใช้อธิบายและออกแบบวงจรขยายสัญญาณที่ความถี่วิทยุ และ ความถี่สูง

ก่อนที่จะศึกษาการทำงานของวงจรในความถี่ไมโครเวฟ เราจะทำความเข้าใจในอุปกรณ์ที่ใช้ในการอธิบายและใช้ในการคำนวณเสียก่อน สมการต่าง ๆ ซึ่งสามารถใช้ในการอธิบายการทำงานนั้นมีความ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ง่าย แต่เมื่อปัญหาที่พบมีความซับซ้อนมากขึ้น ตัวอย่างเช่น การแมตช์อิมพีแดนซ์ระหว่างโหลดที่ไม่ทราบค่ากับสายส่งเป็นต้น ดังนั้นการใช้งานอุปกรณ์ชนิดนี้ จึงเป็นอุปกรณ์ที่ใช้ในการแก้ปัญหาได้ดีโดยปราศจากความต้องการทางด้านคณิตศาสตร์ชั้นสูง เช่น แคลคูลัส หรือ ตรีโกณ

อุปกรณ์ที่พูดถึงนี้คือ "Smith Chart" (เป็นชื่อที่ตั้งขึ้นหลังการตีพิมพ์เป็นครั้งแรกโดย P.H. Smith ในปี ค.ศ. 1939) สมิทชาร์ทสามารถแสดงได้ในรูปที่ 2.69 ซึ่งถูกอธิบายเผยแพร่ในปี 1944 และเป็นชาร์ทที่เหมาะสมอย่างยิ่งในการทรานส์ฟอร์มค่ารีแอคแตนซ์ ภายในชาร์ทประกอบด้วยจำนวนจุดเป็นอนันต์ (จุดของค่า Reactance) หรือสามารถอธิบายได้อีกอย่างว่า สมิทชาร์ทคือ ชาร์ทที่แสดงโคออร์ดิเนตของค่าอิมพิแดนซ์ของระบบ โดยอาศัยหลักการทางกลศาสตร์สามารถที่จะคำนวณ , เปลี่ยนแปลง , หรือแสดงความสัมพันธ์ของจุดทุกจุดบนสายส่งได้ ผลเฉลยของปัญหาทุกปัญหาสามารถแก้ได้โดยใช้การวิเคราะห์รูปกราฟบนสมิทชาร์ท

ค่าความต้านทานหรือรีแอคแตนซ์ทุกค่าบนสมิทชาร์ท จะเป็นค่าที่ผ่านการทำให้เป็นบรรทัดฐาน (normalize) แล้วทั้งสิ้น (หมายความว่า อิมพิแดนซ์ของโหลดที่จะทำการพล็อตได้มีการหารด้วยค่าอิมพีแดนซ์คุณลักษณะ ของสาย (Z_L) หรือ R_L / Z_o มาแล้ว) ผลของการกระทำดังกล่าวทำให้ชาร์ทสามารถใช้งานได้อย่างกว้างขวาง หรือเรียกว่า " Universal Chart " ซึ่งจากการทำให้เป็นบรรทัดฐานนี้เองทำให้สมิทชาร์ทสามารถใช้กับระบบที่มีค่า Z_o หรือ Z_L ใด ๆ ก็ได้ , ค่าอิมพิแดนซ์จริง ๆ ของระบบก็สามารถหาได้โดยการคูณค่าที่ผ่านจากชาร์ทด้วยอิมพีแดนซ์คุณลักษณะของสายส่ง (ระบบมาตรฐานโดยทั่วไปมีค่าเท่ากับ 50 อดีตญี่ปุ่นใช้ค่า 75) สมิทชาร์ทในรูปที่ 2.69 คือ universal chart

วงกลมที่ tangent ไปทางด้านขวาของชาร์ทจะมีค่าของความต้านทานคงที่เท่ากันตลอดเส้นรอบวง ซึ่งวงกลมที่มีค่าความต้านทานคงที่ตลอดวงนี้จะเป็นค่าความต้านทานที่ทำให้เป็นบรรทัดฐานมาแล้ว คือมีค่าตั้งแต่ 0, 0.3, 1.0, 3.0 ….. , 10 จนกระทั่งถึงอนันต์ ตามรูปที่ 2.70

เส้นขนานที่ผ่ากลางของชาร์ทเป็นเส้นที่แสดงค่าความต้านทานของโหลด ซึ่งโหลดอาจมีค่าเป็นความต้านทานเพียงอย่างเดียว, เป็นค่ารีแอคแตนซ์อย่างเดียว หรือมีค่าเป็นเชิงซ้อน ก็ได้ เส้นผ่านศูนย์กลางของชาร์ทแสดงค่าความนำไฟฟ้า, บนเส้นนี้ $R = O$ หรือ $G = O$ จะอยู่ทางด้านซ้ายสุดของชาร์ท ในขณะที่ $R = \infty$ หรือ $G = \infty$ จะอยู่ทางด้านขวาของชาร์ท

เส้นตรงที่ลากจากจุดทางด้านขวาสุดของชาร์ทและลากขึ้นหรือลากลงเป็นเส้นแสดงค่าโคออร์ดิเนตของรีแอคแตนซ์ ซึ่งมีค่ารีแอคแตนซ์เท่ากันตลอดเส้น ในขณะที่เส้นขนานที่ผ่ากลางชาร์ทจะมีค่ารีแอคแตนซ์เท่ากับศูนย์, เส้นโค้งที่ลากขึ้นด้านบนแสดงค่าของรีแอคแตนซ์อนุกรมที่มีค่าเป็นบวก (inductance) ส่วนเส้นโค้งที่ลากลงด้านล่างแสดงค่ารีแอคแตนซ์อนุกรมที่มีค่าเป็นลบ (Capacitance) , Note : ค่าที่ได้เป็นค่าที่ผ่านการทำให้เป็นบรรทัดฐานมาแล้ว ตามรูปที่ 2.71 ค่าของเส้นรีแอคแตนซ์ คงที่ เช่น $\pm 3.0, \pm 1.0, \pm 3.0, \pm 10.0$

ค่าอิมพิแดนซ์ใด ๆ สามารถที่จะพล็อตลงบนสมิทชาร์ทได้ โดยกำหนดตำแหน่งบนชาร์ทจากโคออร์ดิเนต ตัวอย่างเช่น ค่าอิมพิแดนซ์ขนาด 1.0 + jo ค่านี้จะถูกวางบนเส้นขนานกับขอบล่าง ตรงจุดกึ่งกลางของชาร์ทพอดี ซึ่ง ณ จุดนี้เป็นจุดที่มีการแมทช์ที่ดีที่สุด และเป็นจุดเพียงจุดเดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

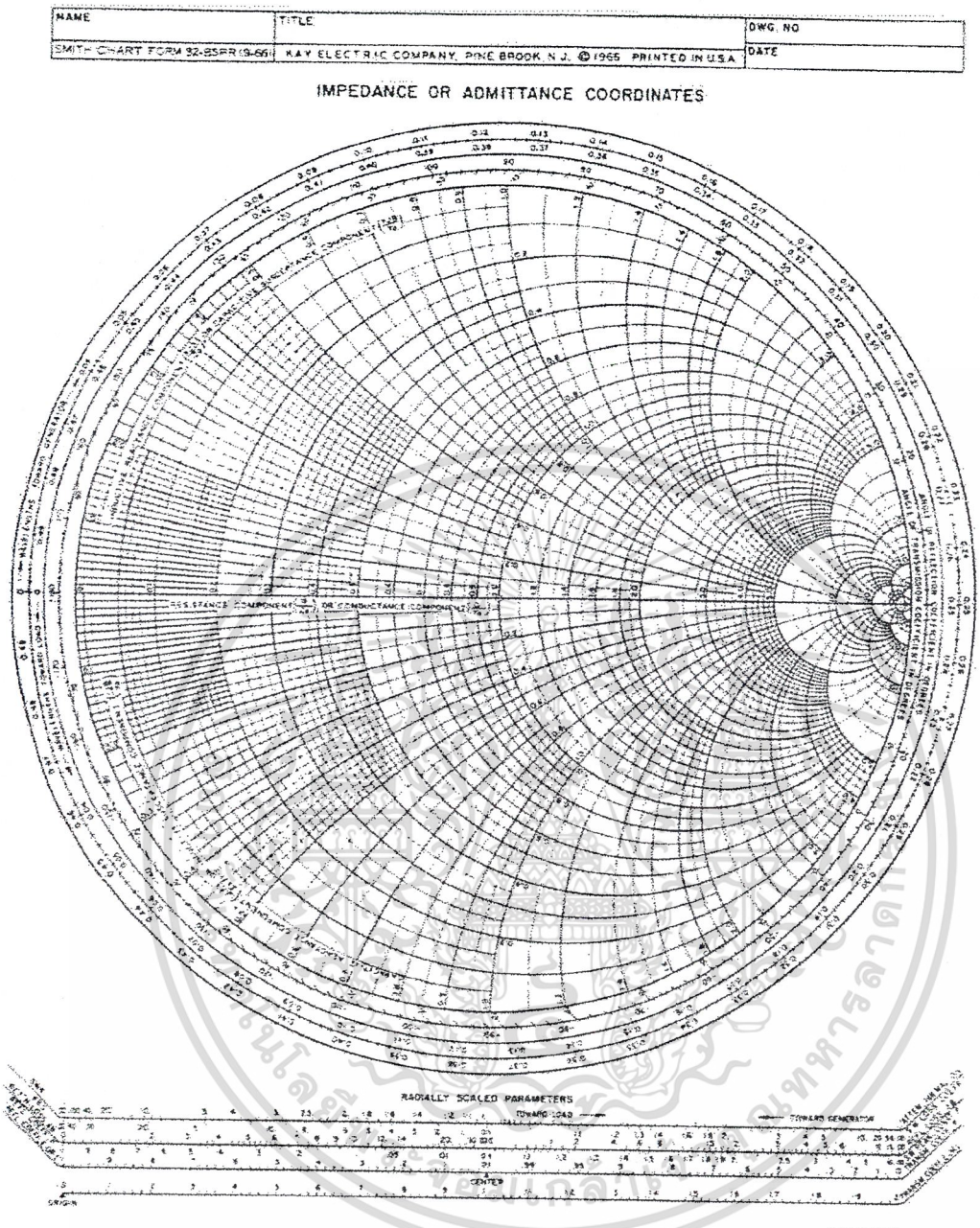
การพล็อตค่าอิมพิแดนซ์ที่ทำให้เป็นบรรทัดฐานค่าอื่น ๆ สามารถอาศัยหลักการเดียวกับการพล็อตโคออร์ดิเนตบนกราฟสี่เหลี่ยม คือให้แกน x มีค่าเป็น ความต้านทาน (R), แกน +y มีค่าเป็นรีแอคแตนซ์ที่เป็น +j (Inductive), แกน -y มีค่ารีแอคแตนซ์ที่เป็นลบ -j (Capacitive)

อีกคุณสมบัติหนึ่งที่สำคัญของสมิทชาร์ท คือ การใช้งานกับสายส่งที่ไม่มีการสูญเสียโดยการพล็อตค่าอิมพิแดนซ์ ณ แต่ละตำแหน่งของสายส่งลงบนวงกลมที่มีจุดศูนย์กลางอยู่ที่ 1+ jo และมีเส้นผ่านศูนย์กลางเท่ากับขนาดของค่าอิมพิแดนซ์ เมื่อทำการวาดวงกลมนี้แล้ว วงกลมที่ได้ ณ ทุกตำแหน่งบนเส้นรอบวง จะมีค่า VSWR คงที่ตลอดเส้นรอบวง จึงเรียกว่า " constant VSWR circle " ความสัมพันธ์ของเฟสของคลื่นที่เดินทางระหว่าง 2 จุด ขึ้นอยู่กับระยะห่างระหว่างจุดทั้ง 2 ซึ่งสามารถอ่านค่าความต่างเฟสระหว่าง 2 จุดนี้ได้จากค่าบนขอบของ Smith Chart และจะบอกความต่างเฟสในรูปของความยาวคลื่น (λ) หรือในรูปของผลต่างขององศา (degree)

การใช้งาน smith chart

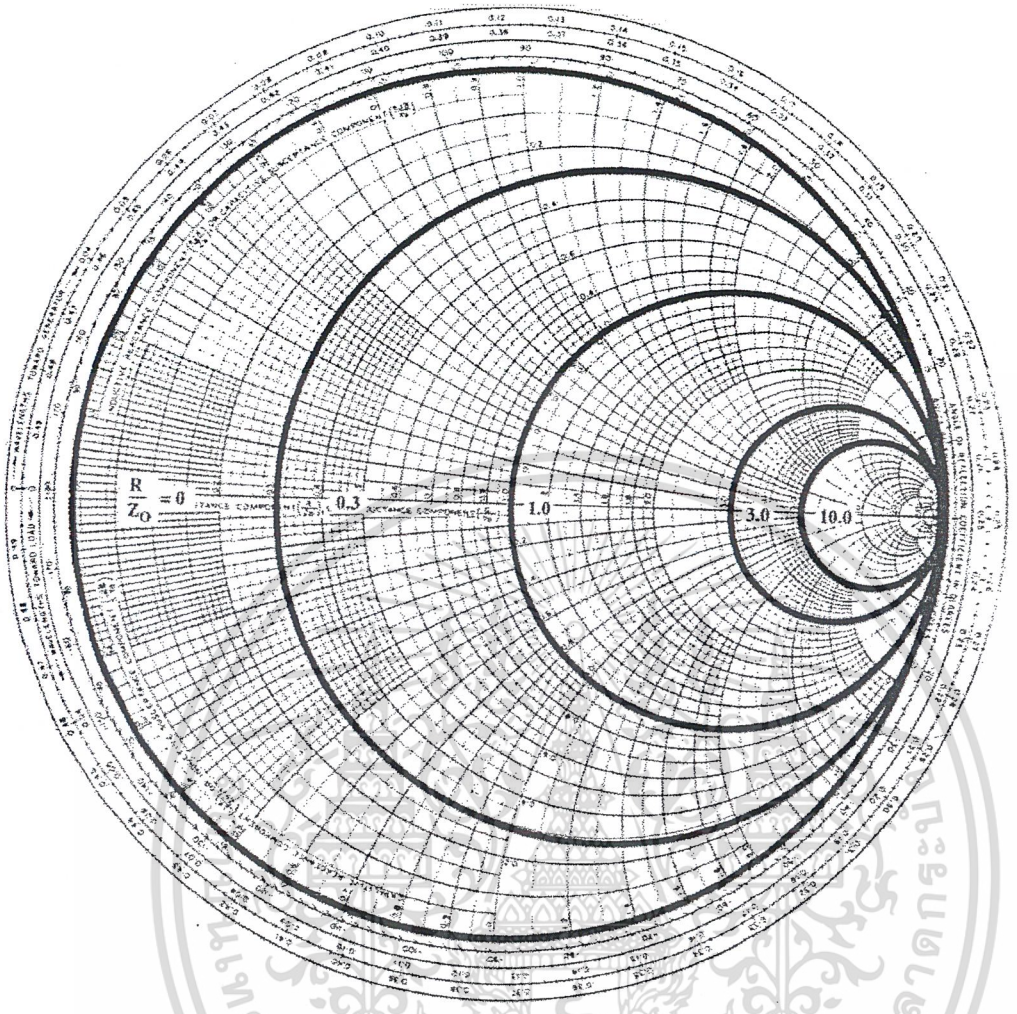
1. ใช้ plot ค่า resistance, reactive, complex loads
2. ใช้หาค่า T (reflection coefficient) สำหรับค่า Z ต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



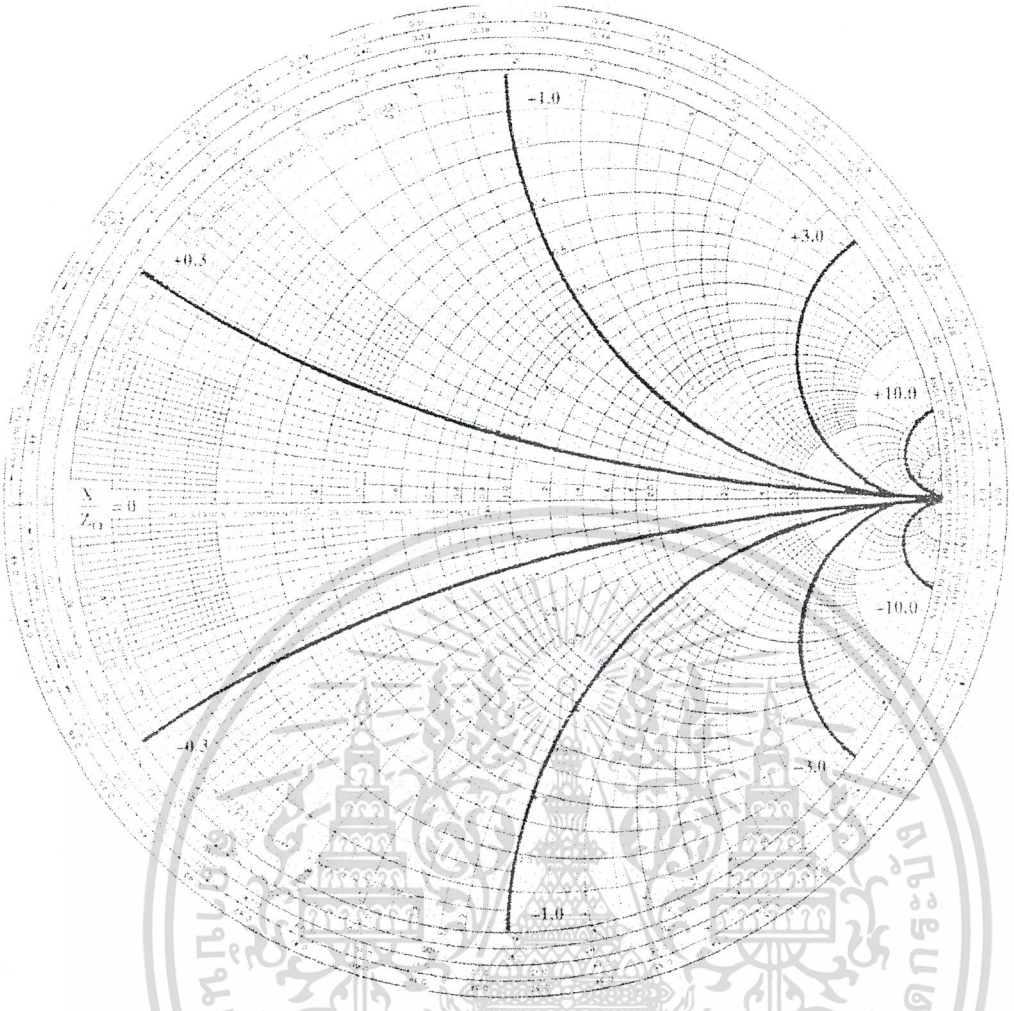
รูป 2.69 Smith Chart

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.70 Constant resistance circles.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.71 Positive and Negative reactance coordinate

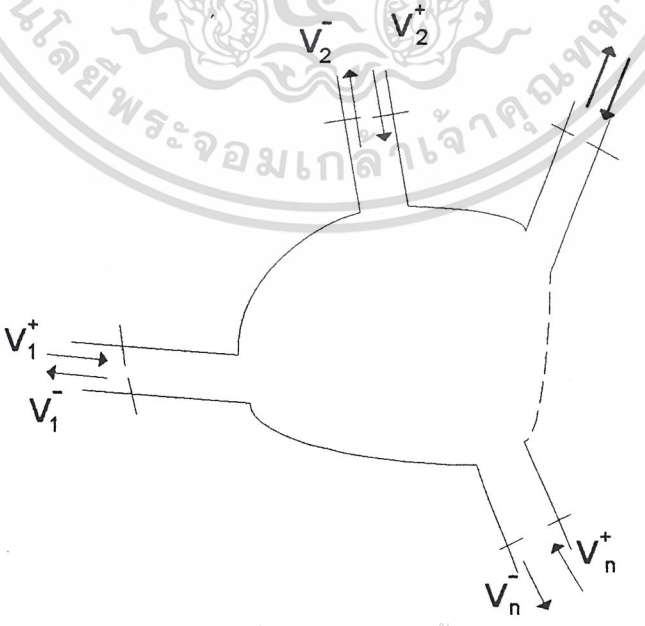
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.11 สแกตเตอริงเมตริกซ์ (Scattering matrix)

2.11.1 นิยามและความหมายของสแกตเตอริงเมตริกซ์

ก่อนที่จะกล่าวถึงนิยามของสแกตเตอริงเมตริกซ์จะขอสรุปข้อดีและข้อเสียของอิมพีแดนซ์เมตริกซ์และแอดมิตแตนซ์เมตริกซ์ก่อน ข้อดีของอิมพีแดนซ์เมตริกซ์ก็คือการนิยามแรงดันไฟฟ้าสมมูลและกระแสไฟฟ้าสมมูลขึ้นในวงจรท่อนำคลื่นก็ทำให้ได้วงจรสมมูล และสามารถใช้ทฤษฎีของสายนำสัญญาณกับวงจรสมมูลนั้นได้ อย่างไรก็ตามแรงดันไฟฟ้าและกระแสไฟฟ้านั้นเป็นเพียงค่าสมมูลซึ่งจะไม่เชื่อมโยงโดยตรงจากค่าที่ได้จากการวัด จึงทำให้เป็นข้อเสียที่ทำให้อิมพีแดนซ์เมตริกซ์ไม่มีที่ใช้มากนักในวงจรไมโครเวฟ เมื่อพิจารณาว่าในทางปฏิบัติเราจะวัดค่าอะไรได้บ้างนั้น ค่าที่วัดได้คือค่า SWR ซึ่งจะให้ข้อมูลของสัมประสิทธิ์ของการสะท้อนกลับ และการวัดค่าสัมประสิทธิ์ของการส่งผ่าน ซึ่งก็จะสามารถทำได้โดยป้อนกำลังคลื่นเข้าที่พอร์ตใดพอร์ตหนึ่ง แล้ววัดกำลังคลื่นที่ออกไปที่พอร์ตที่เหลือ การวัดในสภาพดังกล่าวนี้จะทำได้ง่ายและให้ผลที่ชัดเจน นอกจากนั้นยังสามารถวัดได้ทั้งขนาดและเฟสของคลื่นเมื่อเทียบกับคลื่นที่ส่งผ่านเข้ามาได้ ดังนั้นถ้าเรานิยามพารามิเตอร์ที่เชื่อมโยงความสัมพันธ์ระหว่างคลื่นที่ส่งผ่านเข้ามากับคลื่นที่สะท้อนและคลื่นที่ส่งผ่านออกไปทางพอร์ตต่างๆ หรืออาจเรียกรวมกันว่าคลื่นที่กระจัดกระจาย (scatter) ออกไป พารามิเตอร์ชุดดังกล่าวก็จะมีความสัมพันธ์อย่างใกล้ชิดกับค่าที่ทำการวัดได้ และพารามิเตอร์นี้ก็คือสแกตเตอริงเมตริกซ์นั่นเอง

เมื่อพิจารณาวงจรไมโครเวฟที่มี N พอร์ตตามรูปที่ 2.72 ถ้ามีคลื่นที่ส่งเข้ามาจากพอร์ตใดพอร์ตหนึ่ง เช่น พอร์ตที่ 1 ก็จะเกิดคลื่นสะท้อนกลับเป็น $V_1^- = S_{11}V_1^+$ และเกิดคลื่นที่ออกไปจากพอร์ตอื่นๆ เป็น $V_n^- = S_{n1}V_1^+$ และจากคุณสมบัติที่เป็นเชิงเส้นของสมการแมกซ์เวลล์เมื่อมีคลื่นส่งผ่านเข้ามาจากทุกๆพอร์ต คลื่นที่ส่งผ่านออกไปจากพอร์ตต่างๆ ก็จะเป็นผลรวมเชิงเส้นของคลื่นกระจัดกระจายที่เกิดจากการส่งผ่านคลื่นเข้าที่แต่ละพอร์ต ดังนั้นผลที่ได้จึงสามารถเขียนได้ในรูปของเมตริกซ์ได้ดังต่อไปนี้



รูปที่ 2.72 วงจรไมโครเวฟที่มี N พอร์ตกับการนิยามสแกตเตอริงเมตริกซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{bmatrix} V_1^- \\ V_2^- \\ .. \\ .. \\ V_N^- \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} & S_{13} & .. & S_{1N} \\ S_{21} & S_{22} & .. & .. & S_{2N} \\ .. & .. & .. & .. & .. \\ .. & .. & .. & .. & .. \\ S_{N1} & S_{N2} & .. & .. & S_{NN} \end{bmatrix} \begin{bmatrix} V_1^+ \\ V_2^+ \\ .. \\ .. \\ V_N^+ \end{bmatrix} \qquad (2.24ก)$$

หรือ

$$[V^-] = [S][V^+] \qquad (2.24ข)$$

ในการคำนวณค่า S พารามิเตอร์โดยทั่วไปเราจะใช้ค่า V_n^+ และ V_n^- ที่นอร์มอไลซ์ไว้ด้วยอิมพีแดนซ์ลักษณะสมบัติของท่อนำคลื่น เพื่อให้กำลังคลื่นขาเข้าและกำลังคลื่นขาออกเขียนได้ในรูป $|V_n^+|^2$ และ $|V_n^-|^2$ ตามลำดับ ในที่นี้เพื่อหลีกเลี่ยงความสับสนที่อาจจะเกิดขึ้นจะให้ค่า V_n^+ และ V_n^- ที่นอร์มอไลซ์แล้วเป็น a_n และ b_n ตามลำดับ เมื่อให้อิมพีแดนซ์ลักษณะสมบัติของพอร์ตที่ n เป็น Z_n ความสัมพันธ์ระหว่าง a_n, b_n กับ V_n^+, V_n^- ก็จะเขียนได้ดังนี้

$$a_n = V_n^+ \Big/ \sqrt{Z_n} = I_n^+ \sqrt{Z_n} \qquad (2.25ก)$$

$$b_n = V_n^- \Big/ \sqrt{Z_n} = I_n^- \sqrt{Z_n} \qquad (2.25ข)$$

ซึ่งทำให้กำลังคลื่นขาเข้าและกำลังคลื่นขาออกที่พอร์ตที่ n เขียนได้ดังนี้

$$|a_n|^2 = |V_n^+|^2 \Big/ Z_n = |I_n^+|^2 Z_n \qquad (2.26ก)$$

$$|b_n|^2 = |V_n^-|^2 \Big/ Z_n = |I_n^-|^2 Z_n \qquad (2.26ข)$$

เมื่อเราใช้ค่า a_n, b_n ดังกล่าวนี้ S เมตริกซ์ที่ได้ก็จะเป็นการผูกความสัมพันธ์ระหว่าง a_n และ b_n ดังนี้

$$\begin{bmatrix} b_1 \\ b_2 \\ .. \\ .. \\ b_N \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} & .. & .. & S_{1N} \\ S_{21} & S_{22} & .. & .. & S_{2N} \\ .. & .. & .. & .. & .. \\ .. & .. & .. & .. & .. \\ S_{N1} & S_{N2} & .. & .. & S_{NN} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \\ .. \\ .. \\ a_N \end{bmatrix}$$

หรือ $$[b] = [S][a] \qquad (2.27)$$

สำหรับเพตุผลหลักที่เราใช้ a_n, b_n แทนที่จะใช้ V_n^+, V_n^- ที่ไม่ได้นอร์มอไลซ์นั้นก็เพื่อต้องการให้เมตริกซ์ที่เกิดขึ้นมีคุณสมบัติสมมาตรในกรณีที่วงจรท่อนำคลื่นนั้นเป็นไปตามทฤษฎีบทภาวะย้อนกลับ

2.11.2 ความหมายของ S พารามิเตอร์

ดังที่ได้กล่าวไว้ตอนต้นว่า S พารามิเตอร์จะมีความสัมพันธ์อย่างใกล้ชิดกับค่าที่ทำการวัดได้ในทางปฏิบัติ ในหัวข้อย่อยนี้ในขั้นแรกเราจะพิจารณาความหมายของ S พารามิเตอร์ซึ่งจะให้ผลในการยืนยันคำกล่าวนี้ ก่อนอื่นพิจารณากรณีที่เราส่งคลื่นเข้าทางพอร์ตที่ i แล้วทำการต่อปลายสายของพอร์ตที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เหลือด้วยแมทชิ่งโหลดดังที่แสดงไว้ในรูปที่ 2.73 ในสภาพเช่นนี้ a_n จะเป็นศูนย์หมด ยกเว้น a_i และจากสมการ (4) เราจะได้

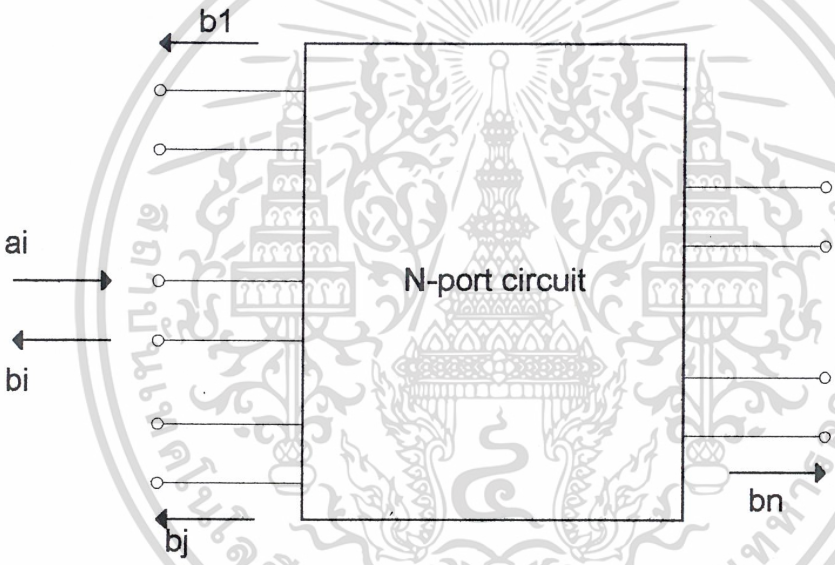
$$b_i = S_{ii} a_i$$

หรือ
$$S_{ii} = \frac{b_i}{a_i} = \frac{V_i^-}{V_i^+} = \Gamma_i \qquad (2.28)$$

ผลที่ได้นี้ก็เป็นการบ่งบอกว่าภายใต้เงื่อนไขวงจรดังกล่าว เราจะสามารถหาค่า S_{ii} ได้โดยการวัดคลื่นที่สะท้อนกลับมาในพอร์ตที่ i และ S_{ii} ก็คือสัมประสิทธิ์ของการสะท้อนกลับมานั่นเอง และภายใต้เงื่อนไขเดียวกันนี้ b_j จะเขียนได้ดังนี้

$$b_j = S_{ji} a_i$$

หรือ
$$S_{ji} = \frac{b_j}{a_i} \qquad (2.29)$$



รูปที่ 2.73 การวัด S พารามิเตอร์โดยการป้อนกำลังคลื่น เข้าที่พอร์ตที่ i และต่อแมทชิ่งโหลดในพอร์ตที่เหลือ

ผลที่ได้นี้ก็เป็นการแสดงว่า S_{ji} จะเท่ากับสัมประสิทธิ์ของการส่งผ่านจากพอร์ตที่ i ไปพอร์ตที่ j ค่า S_{ji} นี้ก็จะทำการวัดได้โดยทำการวัดขนาด และเฟสของ b_j ภายใต้เงื่อนไขวงจรดังกล่าว

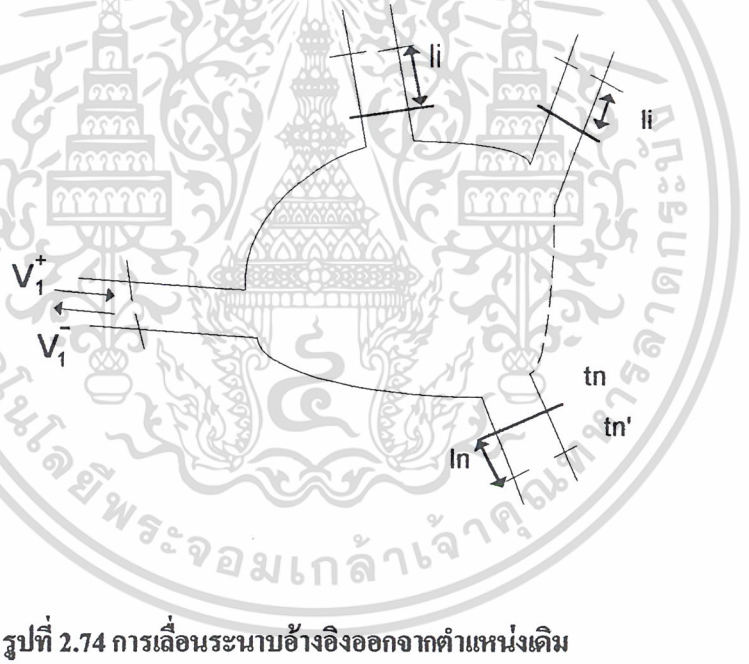
จากที่กล่าวมานี้จะเห็นได้ว่าการวัดค่า S พารามิเตอร์ นี้จะทำได้โดยการต่อแมทชิ่งโหลดเข้าที่ปลายสายของพอร์ตต่างๆซึ่งจัดว่าทำได้ง่ายในภาคปฏิบัติ ในกรณีของการวัด Z พารามิเตอร์หรือ Y พารามิเตอร์นั้นเราจะต้องทำการเปิดวงจรปลายพอร์ตเพื่อให้ $I_n = 0$ หรือทำการปิดวงจรปลายพอร์ตเพื่อให้ $V_n = 0$ ซึ่งมักจะทำได้ยากในภาคปฏิบัติ ยกตัวอย่างเช่นการเปิดวงจรปลายพอร์ตที่เป็นท่อนำคลื่นนั้นจะไม่ให้คุณสมบัติของการเปิดวงจรในเชิงไฟฟ้า เพราะจะมีกำลังคลื่นบางส่วนแพร่กระจายออกไปจากปลายเปิดของท่อนำคลื่นได้ ซึ่งก็หมายถึงกำลังคลื่นจะสะท้อนกลับมาไม่หมด ผลก็คือไม่มีคุณสมบัติของการเปิดวง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จรดังกล่าวข้างต้น ดังนั้นเมื่อกล่าวโดยสรุปแล้วในย่านวงจรความถี่สูงมากโดยเฉพาะในย่านความถี่ไมโครเวฟขึ้นไปนั้น เรามักจะใช้ S พารามิเตอร์มากกว่า Z พารามิเตอร์ หรือ Y พารามิเตอร์ด้วยเหตุผลที่ S พารามิเตอร์ให้ความหมายที่ชัดเจนและสามารถทำการวัดได้โดยง่าย

2.11.3 คุณสมบัติของ S พารามิเตอร์

ในหัวข้อย่อยนี้จะพิจารณาคุณสมบัติของ S พารามิเตอร์ที่สำคัญๆ และเป็นประโยชน์ในการคำนวณวงจรภายหลัง คุณสมบัติประการแรกที่จะพิจารณาก็คือการเลื่อนระนาบอ้างอิงออกจากตำแหน่งเดิม เพื่อความสะดวกในการพิจารณาจะให้เป็นการเลื่อนออกจุดเชื่อมต่อเหมือนกันหมดดังที่แสดงไว้ในรูปที่ 2.74 ถ้าให้ t_n' เป็นระนาบอ้างอิงใหม่ และ t_n เป็นระนาบอ้างอิงเดิม l_n เป็นระยะห่างระหว่าง t_n' และ t_n และ β_n เป็นค่าคงที่เฟสในท่อนำคลื่น การเลื่อนระนาบอ้างอิงใหม่ ถอยห่างออกจากระนาบอ้างอิงเดิมจะทำให้เฟสของ a_n ช้ากว่า a_n' อยู่ $\beta_n l_n$ ในขณะที่ เฟสของ b_n' ช้ากว่า b_n เป็น $\beta_n l_n$ โดยที่ขนาดของคลื่นยังเหมือนเดิม ดังนั้นเมื่อเขียนเฟสสัมพันธ์ระหว่าง a_n' กับ a_n กับ b_n' กับ b_n ในรูปของเมตริกซ์จะได้ผลดังนี้



รูปที่ 2.74 การเลื่อนระนาบอ้างอิงออกจากตำแหน่งเดิม

$$\begin{bmatrix} a_1 \\ a_2 \\ .. \\ .. \\ a_N \end{bmatrix} = \begin{bmatrix} e^{-j\beta_1 l_1} & & & 0 \\ & e^{-j\beta_2 l_2} & & \\ & & .. & \\ & & & .. \\ 0 & & & e^{-j\beta_N l_N} \end{bmatrix} \begin{bmatrix} a_1' \\ a_2' \\ .. \\ .. \\ a_N' \end{bmatrix} \quad (2.30ก)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{bmatrix} b_1' \\ b_2' \\ .. \\ .. \\ b_N' \end{bmatrix} = \begin{bmatrix} e^{-j\beta_1 l_1} & & & & 0 \\ & e^{-j\beta_2 l_2} & & & \\ & & .. & & \\ & & & .. & \\ 0 & & & & e^{-j\beta_N l_N} \end{bmatrix} \begin{bmatrix} b_1 \\ b_2 \\ .. \\ .. \\ b_N \end{bmatrix} \qquad (2.30ข)$$

และเมื่อเขียนความสัมพันธ์ระหว่าง b_n' กับ a_n' ก็จะได้ S เมตริกซ์สำหรับระนาบอ้างอิงใหม่ในรูปต่อไปนี้

$$\begin{bmatrix} b_1' \\ b_2' \\ .. \\ .. \\ b_N' \end{bmatrix} = \begin{bmatrix} e^{-j\beta_1 l_1} & & & & 0 \\ & e^{-j\beta_2 l_2} & & & \\ & & .. & & \\ & & & .. & \\ 0 & & & & e^{-j\beta_N l_N} \end{bmatrix} \begin{bmatrix} S_{11} & S_{12} & .. & .. & S_{1N} \\ S_{21} & S_{22} & .. & .. & S_{2N} \\ .. & .. & .. & .. & .. \\ .. & .. & .. & .. & .. \\ S_{N1} & S_{N2} & .. & .. & S_{NN} \end{bmatrix} \begin{bmatrix} e^{-j\beta_1 l_1} & & & & 0 \\ & e^{-j\beta_2 l_2} & & & \\ & & .. & & \\ & & & .. & \\ 0 & & & & e^{-j\beta_N l_N} \end{bmatrix} \begin{bmatrix} a_1' \\ a_2' \\ .. \\ .. \\ a_N' \end{bmatrix}$$

(2.31)

ผลที่ได้ตามสมการ (2.31) นี้เป็นการบ่งบอกว่าเราสามารถคำนวณ S เมตริกซ์ ของวงจรที่มองจากระนาบอ้างอิงใหม่ได้จาก S เมตริกซ์ของระนาบอ้างอิงเดิมโดยนำเมตริกซ์ที่แสดงการเลื่อนของเฟสคูณเข้าที่ด้านหน้าและด้านหลัง ผลที่ได้นี้นับว่าให้ความสะดวกในการใช้งานมาก เพราะบางครั้งเราจำเป็นต้องทำการวัดค่า S พารามิเตอร์ที่ระนาบอ้างอิงอันหนึ่ง แต่เวลาใช้งานไปใช้ที่ระนาบอ้างอิงอีกอันหนึ่ง ข้อสังเกตที่ควรระวังก็คือค่าเฟส $e^{-j\beta_n l_n}$ ที่ปรากฏในสมการ (2.31) นั้นมีค่าเป็นลบและเกิดขึ้นในกรณีที่เลื่อนระนาบอ้างอิงห่างออกไปจากจุดเชื่อมต่อมากกว่าเดิม ถ้าทำการเลื่อนระนาบอ้างอิงไปในทิศทางตรงกันข้ามเฟสดังกล่าวก็จะมีค่าเป็นบวก อย่างไรก็ตามการเลื่อนระนาบอ้างอิงเข้าใกล้จุดเชื่อมต่อนั้นจะต้องไม่เข้าไปใกล้จนมีปัญหาของโหมดจางหาย เพราะผลกระทบของโหมดจางหายจะทำให้ค่าของ S พารามิเตอร์เปลี่ยนแปลงไปได้

ในลำดับต่อไปเราจะพิจารณาคุณสมบัติที่สำคัญอีกประการหนึ่งของ S เมตริกซ์ ซึ่งเกิดขึ้นในกรณีที่ทฤษฎีบทภาวะย้อนกลับเป็นจริง คุณสมบัติดังกล่าวนี้ก็คือ S เมตริกซ์ จะเป็นเมตริกซ์แบบสมมาตร เมื่อเราพิจารณาคลื่นที่เข้าและออกในรูปของ a_n, b_n แทนที่จะเป็น V_n^+, V_n^- ซึ่งเป็นคลื่นที่ไม่ได้นอร์มอไลซ์ไว้ การพิสูจน์คุณสมบัติดังกล่าวนี้จะทำได้โดยอาศัยคุณสมบัติสมมาตรของ Z เมตริกซ์ ดังรายละเอียดที่จะกล่าวต่อไปนี้ ก่อนอื่นเราจะแสดงให้เห็นว่า Z เมตริกซ์ที่นิยามจากค่าแรงดันไฟฟ้าสมมูลและกระแสไฟฟ้าสมมูลที่นอร์มาไลซ์ไว้จะมีคุณสมบัติสมมาตรเช่นเดียวกับ Z เมตริกซ์ จากสมการ (2.25ก) และสมการ (2.25ข) เราจะได้ความสัมพันธ์ระหว่าง V_n, I_n และ a_n, b_n ในรูปต่อไปนี้

$$V_n = V_n^+ + V_n^- = \sqrt{Z_n}\left(a_n + b_n\right) = \sqrt{Z_n} V_n' \qquad (2.32ก)$$

$$I_n = I_n^+ - I_n^- = \frac{1}{\sqrt{Z_n}}\left(a_n + b_n\right) = I_n' \Big/ \sqrt{Z_n} \qquad (2.32ข)$$

โดยที่ V_n' และ I_n' คือแรงดันไฟฟ้าที่ถูกนอร์มาไลซ์ไว้ และจากความสัมพันธ์ [V] = [Z][I] เราจะหา Z เมตริกซ์ที่นิยามในรูปของ V_n' และ I_n' ได้ดังนี้

เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{bmatrix} \sqrt{Z_1}V_1' \\ \sqrt{Z_2}V_2' \\ .. \\ .. \\ \sqrt{Z_N}V_N' \end{bmatrix} = \begin{bmatrix} Z_{11} & Z_{12} & .. & .. & Z_{1N} \\ Z_{21} & Z_{22} & .. & .. & Z_{2N} \\ .. & & & & \\ .. & & & & \\ Z_{N1} & Z_{N2} & .. & .. & Z_{NN} \end{bmatrix} \begin{bmatrix} I_1'/\sqrt{Z_1} \\ I_2'/\sqrt{Z_2} \\ .. \\ .. \\ I_N'/\sqrt{Z_N} \end{bmatrix}$$

$$\begin{bmatrix} V_1' \\ V_2' \\ .. \\ .. \\ V_N' \end{bmatrix} = \begin{bmatrix} Z_{11}/Z_1 & Z_{12}/\sqrt{Z_1Z_2} & .. & .. & Z_{1N}/\sqrt{Z_1Z_N} \\ Z_{21}/\sqrt{Z_2Z_1} & Z_{22}/Z_2 & .. & .. & Z_{2N}/\sqrt{Z_2Z_N} \\ .. & .. & .. & .. & .. \\ .. & .. & .. & .. & .. \\ Z_{N1}/\sqrt{Z_NZ_1} & Z_{N2}/\sqrt{Z_NZ_2} & .. & .. & Z_{NN}/Z_N \end{bmatrix} \begin{bmatrix} I_1' \\ I_2' \\ .. \\ .. \\ I_N' \end{bmatrix}$$

$$[V'] = [Z'][I'] \qquad (2.33)$$

จากผลที่ได้ในสมการ (2.33) นี้ จะเห็นว่า Z เมตริกซ์ที่ได้ก็จะมีคุณสมบัติสมมาตรเหมือน Z เมตริกซ์เดิม เพราะ $Z_{ij}'=Z_{ji}'$ เนื่องจาก $Z_{ij}=Z_{ji}$ ในขั้นต่อไปเราจะแสดงการพิสูจน์ว่า S เมตริกซ์จะมีคุณสมบัติสมมาตรดังนี้คือ จากสมการ (2.32 ก.) และ (2.32 ข.) และสมการ (2.33) จะได้ความสัมพันธ์ดังนี้

$$[V'] = [a] + [b] = [Z'][I'] = [Z'\{[a] - [b]\}]$$

ซึ่งทำให้ได้

$$\{[Z'] + [U]\}[b] = \{[Z'] - [U]\}[a]$$

หรือ

$$[b] = \{[Z'] + [U]\}^{-1}\{[Z'] - [U]\}[a] \qquad (2.34)$$

โดยที่ [U] เป็นยูนิตเมตริกซ์ เมื่อเปรียบเทียบผลที่ได้นี้กับการนิยาม S เมตริกซ์ตามสมการ (2.27) ก็จะได้ S เมตริกซ์เขียนได้ในรูปต่อไปนี้

$$[S] = \{[Z'] + [U]\}^{-1}\{[Z'] - [U]\} \qquad (2.35)$$

และจากสมการ (2.32 ก.) และ (2.32 ข.) เราจะเขียน *[a], [b]* ในรูปของ *[V'], [I']* ได้ดังนี้

$$[a] = \frac{1}{2}\{[V'] + [I']\} = \frac{1}{2}\{[Z'] + [U]\}[I'] \qquad (2.36)$$

$$[b] = \frac{1}{2}\{[V'] - [I']\} = \frac{1}{2}\{[Z'] - [U]\}[I'] \qquad (2.37)$$

เมื่อแทนค่า [I'] ในสมการ (2.37) ด้วย [I'] ในสมการ (2.36) จะได้ผลดังนี้

$$[b] = \{[Z'] - [U]\}\{[Z'] + [U]\}^{-1}[a] = [S][a] \qquad (2.38)$$

S เมตริกซ์ที่ได้ตามสมการ (2.38) นี้จะต้องเท่ากับ S เมตริกซ์ในสมการ (2.35) เพื่อนิยามจาก [a] และ [b] ชุดเดียวกัน เมื่อนำ S เมตริกซ์ในสมการ (2.35) มาเขียนในรูปทรานส์โพสเมตริกซ์จะได้ผลดังนี้

$$[S]_t = \{[Z'] - [U]\}\{[Z'] + [U]\}_t^{-1} \qquad (2.39)$$

ผลที่ได้นี้เมื่อนำไปเปรียบเทียบ S เมตริกซ์ในสมการ (2.38) จะเห็นว่ามีค่าเท่ากัน นั่นคือ

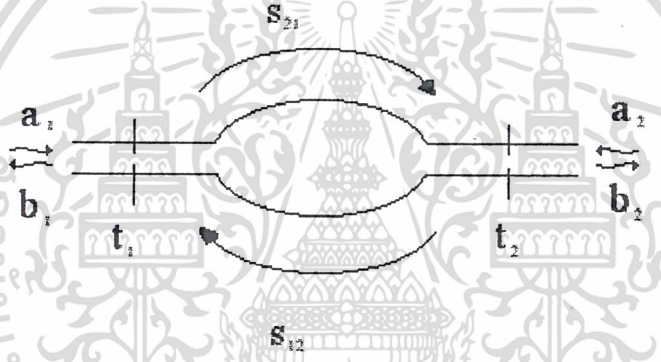
เอกสารนี้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ทุกครั้งที่มีการนำไปใช้

$$[S]_t = [S] \qquad (2.40)$$

ผลที่ได้ตามสมการ (2.40) นี้ก็เป็นการพิสูจน์ว่า S เมตริกซ์นั้นเป็นแบบสมมาตร ซึ่งจะเกิดขึ้นในกรณีที่ทฤษฎีบทภาวะย้อนกลับเป็นจริงเท่านั้น

2.11.4 S เมตริกซ์สำหรับวงจร 2 พอร์ต

วงจร 2 พอร์ตจัดว่าเป็นวงจรพื้นฐานที่สุดในการนิยาม S เมตริกซ์ แล้วก็เป็นวงจรที่พบบ่อยครั้งในภาคปฏิบัติ ยกตัวอย่างเช่น การนำท่อนำคลื่นหรือสายนำสัญญาณอย่างอื่นที่มีค่าอิมพีแดนซ์ลักษณะสมบัติที่ต่างกันมาต่อกัน หรือท่อนำคลื่นที่มีชิ้นส่วนรีแอกตีฟอยู่ภายในเป็นต้น ในการนิยาม S เมตริกซ์ความไม่ต่อเนื่องต่าง ๆ นี้จะถูกจำกัดบริเวณให้อยู่ภายในจุดเชื่อมต่อดังที่แสดงไว้ในรูปที่ 2.75 ในกรณีทั่วไป



รูปที่ 2.75 วงจร 2 พอร์ตที่มีความไม่ต่อเนื่องที่จุดเชื่อมต่อ

อิมพีแดนซ์ลักษณะสมบัติของพอร์ตทั้งสองอาจจะไม่เท่ากัน ซึ่งเราจะให้เท่ากับ Z_1 และ Z_2 ตามลำดับ ตามนิยามของ S เมตริกซ์ เราจะได้ความสัมพันธ์ดังนี้

$$b_1 = S_{11}a_1 + S_{12}a_2 \qquad (2.41\text{ ก.})$$

$$b_2 = S_{21}a_1 + S_{22}a_2 \qquad (2.41\text{ ข.})$$

โดยที่ความหมายของ S พารามิเตอร์แต่ละตัวก็จะชัดเจนคือ S_{11} และ S_{22} จะเป็นสัมประสิทธิ์ของการสะท้อนที่วัดที่พอร์ตที่ 1 และพอร์ตที่ 2 ในขณะที่อีกพอร์ตหนึ่งถูกต่อไว้ด้วยแมตชิงโหลด สำหรับ S_{12} และ S_{21} ก็จะเป็นสัมประสิทธิ์ของการส่งผ่านจากพอร์ตที่ 2 มาพอร์ตที่ 1 และจากพอร์ตที่ 1 ไปพอร์ตที่ 2 ในสภาพมีการต่อไว้ด้วยแมตชิงโหลดเช่นเดียวกัน และ S_{12} จะเท่ากับ S_{21} ในกรณีที่วงจร 2 พอร์ตนี้มีคุณสมบัติตามทฤษฎีบทภาวะย้อนกลับ ในกรณีที่จุดเชื่อมต่อเป็นแบบไม่มีการสูญเสีย S เมตริกซ์นี้จะเป็นแบบยูนิทารีและมีเงื่อนไขสำหรับ S พารามิเตอร์ซึ่งเขียนรายละเอียดได้ดังนี้

$$S_{11}S_{11}^{*} + S_{21}S_{21}^{*} = 1 \qquad (2.42\text{ ก.})$$

$$S_{22}S_{22}^{*} + S_{12}S_{12}^{*} = 1 \qquad (2.42\text{ ข.})$$

$$S_{11}S_{12}^{*} + S_{21}S_{22}^{*} = 0 \qquad (2.42\text{ ค.})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจาก $S_{12} = S_{21}$ ดังนั้นสมการ (2.42 ก.) จะเท่ากับสมการ (2.42 ข.) และทำให้ S_{11} และ S_{22} มีความสัมพันธ์กันดังนี้

$$|S_{11}| = |S_{22}| \qquad (2.43)$$

และจากสมการ (2.42 ก.) เราจะได้

$$|S_{12}| = \sqrt{1 - |S_{11}|^2} \qquad (2.44)$$

ดังนั้นเมื่อเราให้ $S_{11} = |S_{11}|e^{j\theta_1}, S_{22} = |S_{22}|e^{j\theta_2} = |S_{11}|e^{j\theta_2}$ และ $S_{12} = \left(1 - |S_{11}|^2\right)^{1/2} e^{j\phi}$ แล้วแทนค่าลงในสมการ (2.42 ค.) จะได้ผลดังนี้

$$|S_{11}|\left(1 - |S_{11}|^2\right)^{1/2}\left(e^{j\theta_1 - j\phi} + e^{j\phi - j\theta_2}\right) = 0$$

หรือ

$$e^{j(\theta_1 + \theta_2)} = -e^{j2\theta} \qquad (2.45)$$

ซึ่งจะหา ϕ ในรูปของ θ_1 และ θ_2 ได้ดังนี้

$$\theta_1 + \theta_2 = 2\phi \pm \pi$$

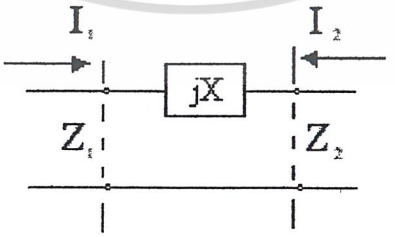
หรือ

$$\phi = \frac{\theta_1 + \theta_2}{2} \mp \frac{\pi}{2} \qquad (2.46)$$

ผลที่ได้ตามสมการ (2.46) กับสมการ (2.44) เป็นการระบุว่า S_{12} และ S_{21} จะหาได้จาก S_{11} และ S_{22} และจะเป็นได้ว่าพารามิเตอร์ที่มีค่าอิสระนั้นจะมีเพียง 3 ตัวเท่านั้นคือ $|S_{11}|, \theta_1$ และ θ_2 ซึ่งก็จะตรงกับผลการคำนวณจำนวนพารามิเตอร์อิสระที่เท่ากับ N(N+1)/2 = 2×3/2 = 3

ในลำดับต่อไปจะแสดงวิธีหาค่า S พารามิเตอร์ของวงจร 2 พอร์ตแบบง่าย ๆ ที่แสดงไว้ในรูปที่ 2.76 คือเป็นสายนำสัญญาณ 2 ชุดต่อคั่นด้วยค่ารีแอกแตนซ์ในลักษณะอนุกรม เมื่อให้ $V_1^+, V_1^-, V_2^+, V_2^-$ เป็นแรงดันไฟฟ้าสมมูลที่ไม่ได้นอร์มาไลซ์ไว้เราจะหา S_{11} ได้โดยการต่อพอร์ตที่ 2 ด้วยแมตชิงโหลดคือ Z_2 ซึ่งจะได้ผลดังนี้

$$S_{11} = \frac{b_1}{a_1} = \frac{V_1^-}{V_1^+} = \frac{Z_{in} - Z_1}{Z_{in} + Z_1} = \frac{Z_2 - Z_1 + jX}{Z_2 + Z_1 + jX} \qquad (2.47)$$



รูปที่ 2.76 ตัวอย่างวงจร 2 พอร์ตที่ใช้ในการหา S พารามิเตอร์

ในทำนองเดียวกันจะสามารถหาค่า S_{22} ได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$S_{22} = \frac{b_2}{a_2} = \frac{V_2^-}{V_2^+} = \frac{Z_1 - Z_2 + jX}{Z_1 + Z_2 + jX} \qquad (2.48)$$

ในการหา S นั้น เราจะทำได้โดยการต่อแมตชิงโหลดไว้ที่พอร์ตที่ 2 แล้วหาค่า b_2/a_1 ซึ่งในขั้นแรกจะติดอยู่ในรูปของ V_2^- และ V_1^+ ดังนี้

$$S_{12} = S_{21} = \frac{b_2}{a_1} = \sqrt{\frac{Z_1}{Z_2}}\frac{V_2^-}{V_1^+} \qquad (2.49)$$

การหาค่า V_2^- ในรูปของ V_1^+ นั้นจะทำได้โดยคำนึงถึงแรงดันไฟฟ้าและกระแสไฟฟ้าที่ไหลในวงจรดังนี้ คือ ก่อนอื่นที่พอร์ตที่ 1 จะมีแรงดันไฟฟ้ารวมในรูป

$$V_1 = V_1^+ + V_1^- = V_1^+\left(1 + S_{11}\right) \qquad (2.50)$$

และกระแสไฟฟ้าที่ไหลเข้าที่พอร์ตที่ 1 จะเขียนได้ดังนี้

$$I_1 = \frac{1}{Z_1}\left(V_1^+ - V_1^-\right) = \frac{V_1^+}{Z_1}\left(1 + S_{11}\right) \qquad (2.51)$$

เนื่องจากกระแสที่ไหลผ่านวงจรอนุกรมจะมีขนาดเท่ากัน เมื่อให้ I_2^- เป็นกระแสที่ไหลออกจากพอร์ตที่ 2 จะได้

$$I_1 = -I_2 = I_2^- = \frac{V_2^-}{Z_2} \qquad (2.52)$$

จากสมการ (2.51) และ (2.52) จะสามารถหาความสัมพันธ์ระหว่าง V กับ V ได้ดังนี้

$$\frac{V_2^-}{V_1^+} = \frac{Z_2}{Z_1}\left(1 - S_{11}\right) \qquad (2.53)$$

เมื่อแทนค่าสมการ (2.53) และ S_{11} จากสมการ (2.47) ลงในสมการ (2.49) จะได้ S_{12} ในรูปต่อไปนี้

$$S_{12} = S_{21} = \sqrt{\frac{Z_2}{Z_1}}\frac{2Z_1}{Z_1 + Z_2 + jX} = \frac{2\sqrt{Z_1 Z_2}}{Z_1 + Z_2 + jX} \qquad (2.54)$$

ถ้าเราทำการหาค่า S_{21} จาก V_2^-/V_1^+ ในสมการ (2.53) โดยตรง เราจะได้

$$S_{21} = \frac{2Z_2}{Z_1 + Z_2 + jX} \qquad (2.55)$$

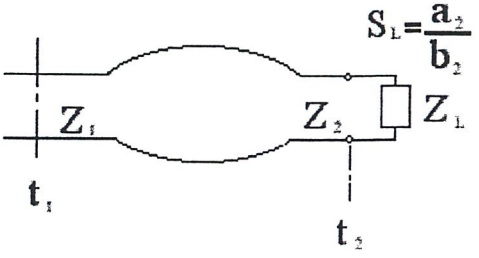
ในทำนองเดียวกัน

$$S_{12} = \frac{V_1^-}{V_2^+} = \frac{2Z_1}{Z_1 + Z_2 + jX} \qquad (2.56)$$

ซึ่งจะเห็นได้ว่า S_{21} และ S_{12} ในกรณีนี้จะไม่เท่ากัน และทำให้ S เมตริกซ์ที่นิยามแบบนี้ไม่มีคุณสมบัติสมมาตร ดังนั้นโดยทั่วไปเราจึงนิยมใช้ S เมตริกซ์ที่นิยามจาก a_n และ b_n มากกว่า

ในลำดับสุดท้ายนี้จะพิจารณาในกรณีที่มีการป้อนกำลังคลื่นเข้าที่พอร์ตหนึ่งแล้วอีกพอร์ตหนึ่งต่อไว้ด้วยโหลดที่ไม่ใช่แมตชิงโหลด ในกรณีเช่นนี้เราจะสามารถหาค่าสัมประสิทธิ์ของการสะท้อนในรูปของ S พารามิเตอร์ได้ดังต่อไปนี้ ก่อนอื่นให้มีการป้อนกำลังเข้าที่พอร์ตที่ 1 และพอร์ตที่ 2 ต่อไว้ด้วยอิมพีแดนซ์ Z ตามรูปที่ 2.77 เมื่อต่อด้วยโหลด Z_L ซึ่งไม่แมตช์กับอิมพีแดนซ์ลักษณะสมบัติของสายนำสัญญาณก็จะเกิดการสะท้อนกลับตรงตำแหน่งที่ต่อ Z_L นั้น ถ้าให้ S_L เป็นสัมประสิทธิ์ของการสะท้อนกลับตรงตำแหน่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.77 วงจร 2 พอร์ตที่ต่อปลายสายไว้ด้วยโหลดที่ไม่ใช่แมตชิงโหลด

ดังกล่าวนี้ S_L จะเขียนได้ดังต่อไปนี้

$$S_L = \frac{a_2}{b_2} = \frac{Z_L - Z_2}{Z_L + Z_2} = \frac{z_L - 1}{z_L + 1} \qquad (2.57)$$

โดยที่ $z_L = Z_L / Z_2$ หรือเป็นโหลดที่ถูกนอร์มาไลซ์ไว้ เมื่อแทนค่า $a_2 = s_L b_2$ ลงในสมการ (2.41 ก.) และ (2.41 ข.) จะได้ผลดังนี้

$$b_1 = S_{11} a_1 + S_{12} S_L b_2 \qquad (2.58 ก.)$$

$$b_2 = S_{21} a_1 + S_{22} S_L b_2 \qquad (2.58 ข.)$$

จากสมการ (2.58 ก.) และ (2.58 ข.) นี้ เราจะหาความสัมพันธ์ระหว่าง b_1 และ a_1 ได้ดังนี้

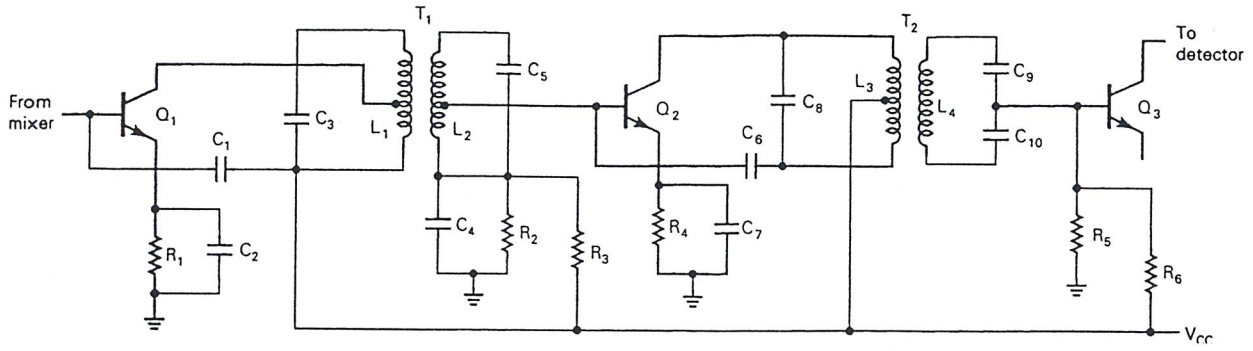
$$\frac{b_1}{a_1} = S_{11} + \frac{S_{12} S_{21} S_L}{1 - S_{22} S_L} \qquad (2.59)$$

ผลที่ได้นี้คือสัมประสิทธิ์ของการสะท้อนกลับในกรณีที่ต่อพอร์ตที่ 2 ไว้ด้วยโหลด Z_L ที่ไม่ใช่แมตชิงโหลด และสมการ (2.59) ก็จะแสดงให้เห็นว่าสัมประสิทธิ์ของการสะท้อนกลับนั้นจะเปลี่ยนแปลงไปจาก S_{11} อย่างไร จากสมการ (2.57) จะเห็นได้ว่า กรณีที่ต่อไว้ด้วยแมตชิงโหลด S_L จะเท่ากับ 0 ทำให้สมการ(2.59) มีค่าเท่ากับ S_{11} ซึ่งก็ตรงกับสิ่งที่ควรเป็น

2.12 วงจรขยายสัญญาณความถี่กึ่งกลาง (IF Amplifier)

วงจรขยายสัญญาณความถี่กึ่งกลางเป็นวงจรขยายที่มีอัตราขยายสูงโดยมีวงจรที่ทำหน้าที่จูนความถี่ให้ตรงกับความถี่กึ่งกลาง วงจรขยายสัญญาณความถี่กึ่งกลางมีลักษณะคล้ายกับวงจรขยายสัญญาณวิทยุ (RF Amplifier) แตกต่างกันตรงที่วงจรขยายประเภทนี้จะทำงานในช่วงแบนด์วิทธ์แคบ ๆ และ ที่ความถี่กึ่งกลางเท่านั้น (10.7 MHz) การออกแบบวงจรขยายสัญญาณความถี่กึ่งกลางทำได้ง่ายกว่าวงจรขยายสัญญาณวิทยุ เนื่องจากความถี่ที่ต่ำกว่า จึงมีเสถียรภาพที่ดีกว่า และปราศจากการแพร่กระจายของคลื่น เนื่องจากวงจรขยายสัญญาณความถี่กึ่งกลางมีความถี่ที่ทำงานแน่นอนดังนั้นวงจรขยายจะอาศัยการคับปลิ้งของตัวเหนี่ยวนำ โดยใช้การปรับจูนความถี่ 2 ครั้ง (Double – tuned circuit) ดังนั้นวงจรขยายที่ได้จะมีผลตอบสนองความถี่ที่ดี คือ มี shape factor และ sensitivity ที่ดีกว่า วงจรของภาครับส่วนใหญ่ตัวที่กำหนดอัตราขยายและความไวของเครื่องรับ (sensitivity) คือ วงจรขยายสัญญาณ IF นี้เอง วงจรขยายสัญญาณความถี่ IF อาจประกอบด้วยวงจรขยาย 2 – 5 ตัวต่ออนุกรมกัน ตามรูปที่ 2.78แสดงวงจรขยายสัญญาณ IF ประกอบด้วยวงจรขยายย่อย ๆ 3 สเตจ ด้วยกัน T_1 และ T_2 เป็นหม้อแปลง 2 ด้าน ส่วน L_1, L_2, และ L_3 ถูกแท็ปกลางเพื่อลดผลของโหลด ขาเบสของ Q_3 ต่อกับเก็บประจุ C_9 และ C_{10}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้นำไปดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

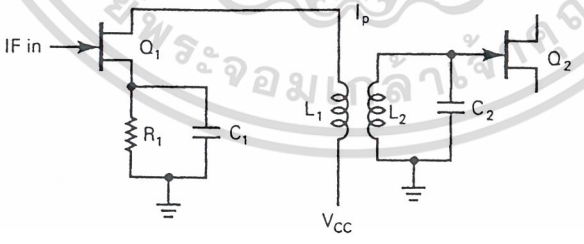


รูปที่ 2.78 3 สเตจ IF Amplifier

เทคนิคในที่ใช้ในการสร้างวงจรขยายสัญญาณความถี่กึ่งกลาง เช่น

<u>เทคนิคของ Inductive Coupling</u> เทคนิคนี้อาศัยการถ่ายเทฟลักซ์แม่เหล็กจากด้านอินพุทของหม้อแปลงไปยังด้านเอาท์พุทด้วยอัตราส่วนการพันหม้อแปลงด้าน primary และ secondeary (turn Ratio) แยกได้เป็น 2 ประเภทคือ

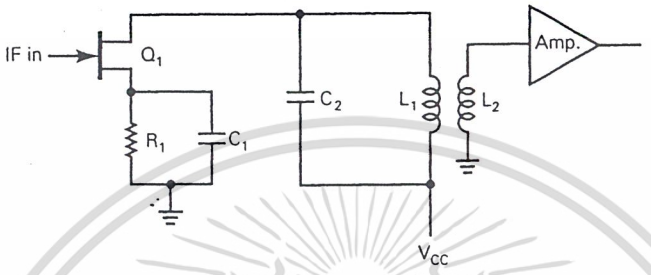
1) <u>Single – Turned Transformer</u> วงจรที่ประกอบด้วยหม้อแปลง 1 ตัว แสดงในรูปที่ 2.79 ผลตอบสนองทางความถี่ที่ได้เป็นตามรูปที่ 2.80 ส่วนในรูปที่ 2.81 เป็นวงจร IF Amplifier ที่ทำการปรับจูนเฉพาะด้านอินพุท (primary) เท่านั้น



รูปที่ 2.79 Single - Tuned Transtomer

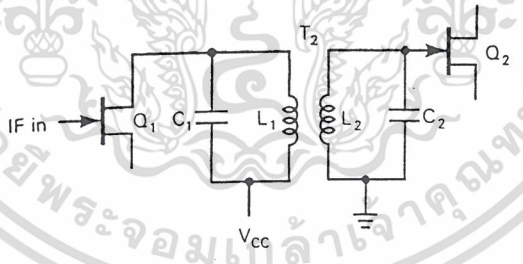
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.80 ผลตอบสนองทางความถี่ของ IF Amp



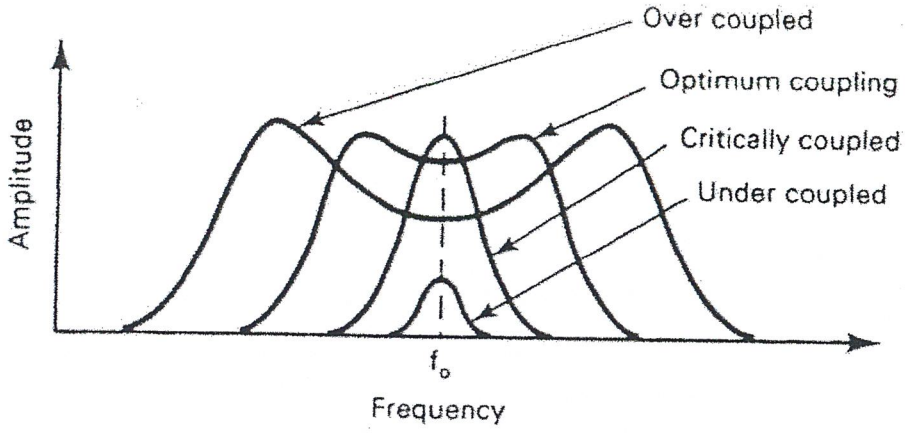
รูปที่ 2.81 วงจร IF Amp ที่มีการปรับจูน 1 ด้าน

2) <u>Double – Tuned Transformer</u>



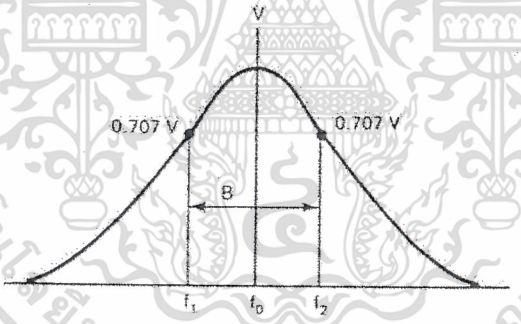
รูปที่ 2.82 วงจร IF Amp ที่มีการปรับจูน 2 ด้าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

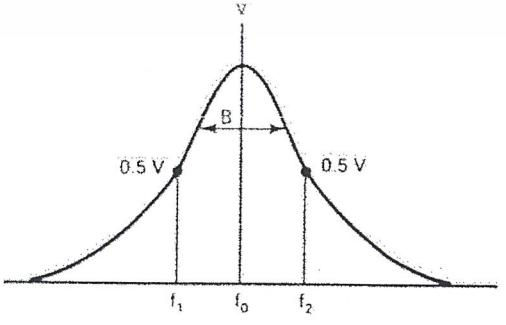


รูปที่ 2.83 ผลตอบสนองของ Double - Tuned Transformer IF Amplifier

เมื่อทำการ Cascade วงจรขยายสัญญาณความถี่กึ่งกลางหลาย ๆ สเตจต่อ ๆ กันผลตอบสนองที่ได้จะมีแบนด์วิทธ์ที่ แคบลง ดังแสดงในรูปที่ 2.84 , รูปที่ 2.85 และ รูปที่ 2.86 แสดงผลตอบสนองทางความถี่ของวงจรขยายสัญญาณความถี่ IF จำนวน 1 สเตจ , 2 สเตจ และ 3 สเตจต่อกัน

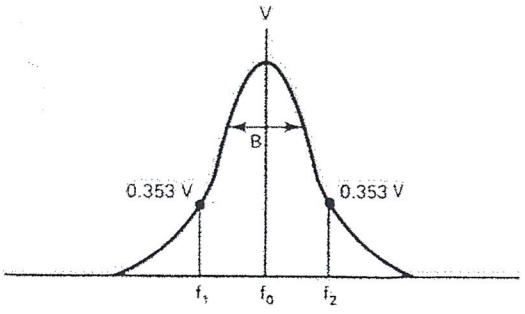


รูปที่ 2.84 ผลตอบสนองทางความถี่ของ IF Amp 1 สเตจ



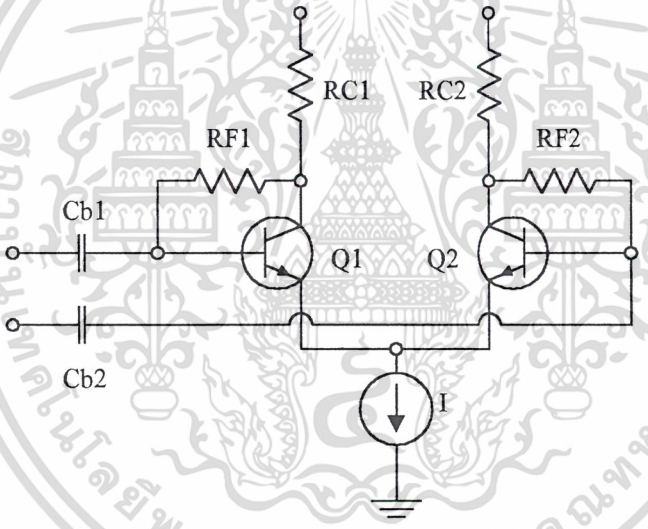
รูปที่ 2.85 ผลตอบสนองทางความถี่ของ IF Amp 2 สเตจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.86 ผลตอบสนองทางความถี่ของ IF Amp 3 สเตจ

นอกจากวงจรที่กล่าวมาแล้วทั้งหมด วงจรขยายสัญญาณความถี่กึ่งกลางบางประเภทอาศัยการทำงานของวงจร Differential Pair หรือ Long Tall Pair ตามรูปที่ 2.87 คุณสมบัติของวงจรเหล่านี้คือมีอัตราการขยายสูง , มี S/N (Signal to noise Ratio) ที่ดีกว่าเพราะมีการหักล้างกันของสัญญาณรบกวนที่เกิดขึ้นในวงจร นอกจากนั้น ยังสามารถทำหน้าที่เป็นวงจรจำกัดสัญญาณ (limiter) ได้อีกด้วย (ใช้ในการดีมอดูเลทสัญญาณ FM เพื่อมิให้มีขนาดสูงเกินไป)



รูปที่ 2.87 IF Amp Diff Amp

ตัวอย่างไอซีที่ใช้วงจร Differential Amp เป็น IF Amplifier เช่น LM3089 เป็นต้น

Integraled – Circuit IF Amplifier

ในระยะเวลาไม่กี่ปีมานี้วงจรรวมที่ใช้เป็นวงจรขยายสัญญาณ IF เป็นที่ยอมรับในการสื่อสาร เนื่องจากมีข้อดีหลายด้านเช่น มีขนาดเล็ก กินพลังงานน้อย ตัวอย่างของไอซีที่นิยมใช้เช่น CA3028A เป็นวงจรขยายสัญญาณความถี่กึ่งกลางที่ใช้วงจร Differential สามารถทำงานได้ตั้งแต่ความถี่ DC จนถึง 120 MHz ทำงานได้ทั้ง single ended และ Dual – ended operation นอกจากนั้นภายในยังประกอบด้วยวงจร AGC (Automatic Gain Control) สามารถทำงานในช่วงกระแสกว้าง ๆ ได้

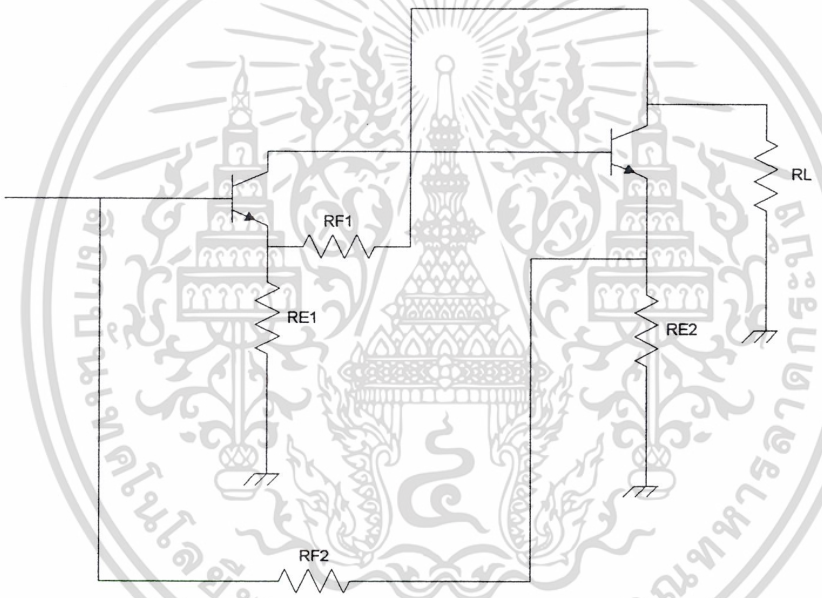
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.13 วงจรขยายสัญญาณแบนด์วิทกว้าง (Wind – Band Amplifier)

สำหรับวงจรขยายสัญญาณแบนด์วิทกว้างส่วนใหญ่จะใช้ในกระบวนการป้อนกลับ โดยตัวต้านทานที่ต่อที่ขาอิมิตเตอร์ที่ไม่ได้บายพาสไว้ จะทำให้เกิดการป้อนกลับแบบอนุกรมเช่น Avantek และ MINI Circuit จะใช้ตัวต้านทานอนุกรมและขนานในการป้อนกลับ ซึ่งวงจรขยายมีอัตราการขยายคงที่ในช่วงๆ หนึ่ง และมีความต้านทานขาเข้าและขาออกใกล้เคียง 50 โอห์มคงที่ในตลอดช่วงความถี่ที่ต้องการ การใช้ความต้านทานป้อนกลับจะไม่ซับซ้อน แต่จะลดคุณสมบัติในเรื่องสัญญาณรบกวนลง และในวงจรขยายสัญญาณแบนด์วิทกว้างที่ต้องการให้มีระดับสัญญาณรบกวนต่ำจะใช้อุปกรณ์ที่ไม่มีการสูยเสียในการป้อนกลับ เช่น (Reactor)

2-Transistor Broadband Amplifier

การทำให้ทรานซิสเตอร์เป็นเชิงเส้นนั้น ต้องทำให้มีลูปเกนมาก จึงต้องใช้ทรานซิสเตอร์ 2 ตัวดังรูป



รูปที่2.88 วงจร Multiple feedback loop

พิจารณาหาความต้านทานขาออก

$$v_2 = \frac{R_{E1}}{R_{E1}+R_{F1}}v$$

$$v_3 = g_{m2}V_4 \frac{R_{E2}\left(R+R_{F2}\right)}{R_{E2}+R+R_{F2}} \frac{R}{R+R_{F2}}$$

$$= g_{m2}V_4 \frac{R_{E2}R}{R_{E2}+R+R_{F2}}$$

$$v_2 = v_3$$

$$\frac{R_{E1}}{R_{E1}+R_{F1}}v = g_{m2}V_4 \frac{R_{E2}R}{R_{E2}+R_{F2}+R}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$g_{m2}V_4 = \frac{R_{E1}}{R_{E1}+R_{F1}}\frac{R_{E2}+R_{F2}+R}{R_{E2}R}v$$

$$\frac{1}{R_o} = \frac{i}{v}$$

$$= \frac{1}{v}\left(\frac{v}{R_{F1}+R_{E1}} + g_{m2}V_4\right)$$

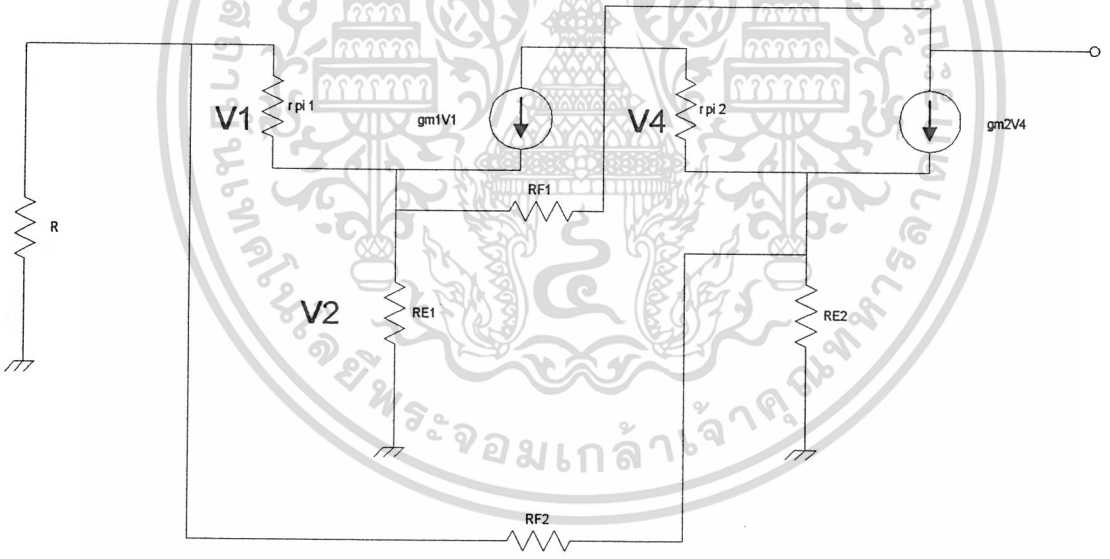
$$\frac{1}{R_o} = \frac{1}{R_{F1}+R_{E1}} + \frac{R_{E2}+R_{F2}+R}{R_{E2}R}\frac{R_{E1}}{R_{E1}+R_{F1}}$$

$$= \frac{R_{E2}R + \left(R_{E2}+R_{F2}+R\right)R_{E1}}{R_{E2}R\left(R_{E1}+R_{F1}\right)}$$

$$R_o = \frac{R_{E2}R\left(R_{E1}+R_{F1}\right)}{R_{E2}R + \left(R_{E2}+R_{F2}+R\right)R_{E1}}$$

หรือเขียนได้ว่า

$$R_o = \frac{\left(R_{E1}+R_{F1}\right)R_{E2}R}{R_{E1}\left(R_{F2}+R_{E2}+R\right)} \Big\| \left(R_{F1}+R_{E1}\right)$$



รูปที่ 2.89 พิจารณาความต้านทานขาออก

พิจารณาความต้านทานขาเข้า

$$v_2 = g_{m2}V_4 \frac{R\left(R_{E1}+R_{F1}\right)}{\left(R+R_{E1}+R_{F1}\right)}\frac{R_{E1}}{R_{E1}+R_{F1}}$$

$$v_2 = v$$

$$i = g_{m2}V_4 \frac{R_{E2}}{R_{E2}+R_{F2}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i = v\frac{\left(R+R_{E1}+R_{F1}\right)}{R\left(R_{E1}+R_{F1}\right)}\frac{\left(R_{E1}+R_{F1}\right)}{R_{E1}}\frac{R_{E2}}{R_{E2}+R_{F2}}$$

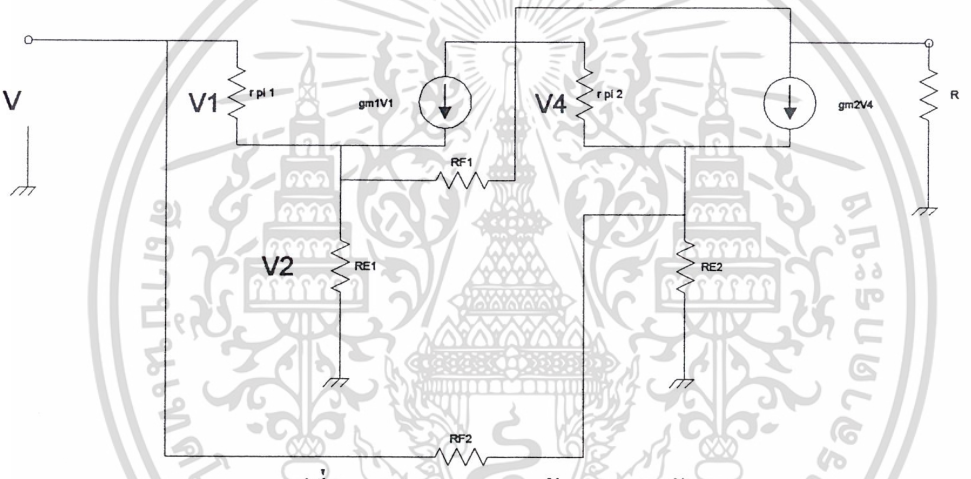
$$R_i = \frac{v}{i}$$

$$= \frac{R\cdot R_{E1}}{\left(R+R_{E1}+R_{F1}\right)}\frac{R_{E2}+R_{F2}}{R_{E2}}$$

มีกระแสอีกส่วนหนึ่ง คือ $\frac{V}{R_{F2}+R_{E2}}$

ดังนั้น

$$R_i = \frac{R\cdot R_{E1}}{\left(R+R_{E1}+R_{F1}\right)}\frac{R_{E2}+R_{F2}}{R_{E2}}\left\|\left(R_{E2}+R_{F2}\right)\right.$$



รูปที่ 2.90 พิจารณาความต้านทานขาเข้า

การคำนวณหาอัตราการขยายของวงจรขยายสัญญาณแบนด์วิดท์กว้าง

การคำนวณหาอัตราขยายของวงจรขยายสัญญาณแบนด์วิดท์กว้างสามารถคำนวณหาได้จากทฤษฎีของการป้อนกลับแบบลบ

จาก Closed Loop Gain = $\frac{A}{1+AB}$

เมื่อ A คือ อัตราขยายวงรอบแบบเปิด (Opened-Loop Gain)

B คือ อัตราส่วนย้อนกลับ (Feedback Ratio)

ถ้าอัตราขยาย (A) มีค่ามากๆแล้ว สามารถประมาณหาค่าอัตราขยายวงรอบแบบปิดได้คือ

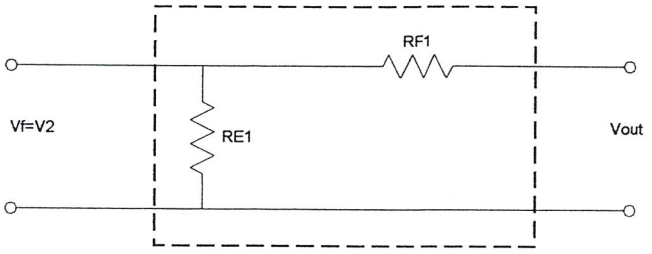
Closed Loop Gain = $\frac{A/A}{1/A+B}$

$= \frac{1}{\frac{1}{A}+B}$

$\approx \frac{1}{B}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หาอัตราส่วนป้อนกลับจากรูป



รูปแสดงให้เห็นถึงส่วนป้อนกลับ

หา B จาก

$$B = \frac{R_{E_1}}{R_{E_1} + R_{F_1}}$$ เมื่อ r_π มีค่ามากๆ

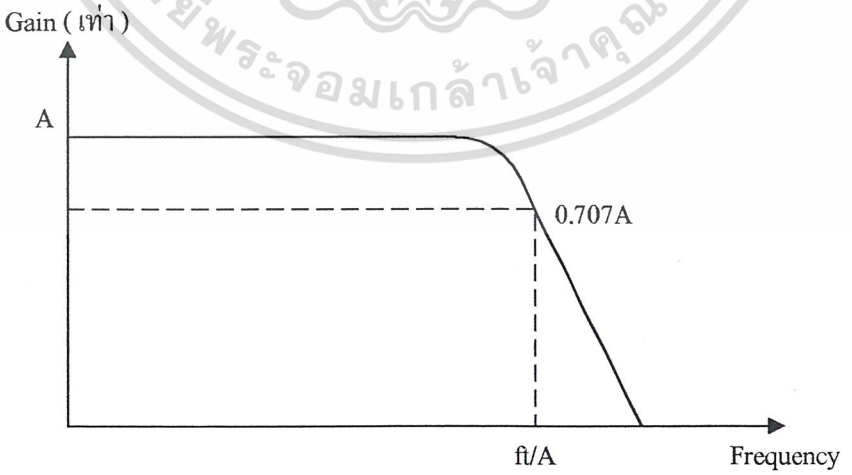
ดังนั้น

$$\text{Closed Loop Gain} = \frac{1}{\frac{R_{E1}}{R_{E1}+R_{F1}}}$$

$$= \frac{R_{E_1} + R_{F_1}}{R_{E_1}}$$

แบนด์วิดท์

แบนด์วิดท์ของวงจรขยายถูกกำหนดจากอัตราขยาย โดยมีความสัมพันธ์แบบแปรผกผันซึ่งกันและกัน องค์ประกอบที่ต้องคำนึงอีกอย่างคือ f_t (แบนด์วิดท์ของอัตรขยายกระแส) ของทรานซิสเตอร์ จะพบว่า จากการคำนวณไม่ได้มีองค์ประกอบเฉพาะของทรานซิสเตอร์มาเกี่ยวข้องเลย ดังนั้น แบนด์วิดท์ของวงจรจึงขึ้นกับ f_t ของทรานซิสเตอร์ เช่น BFR90 มี f_t ที่ 5 GHz ถ้าออกแบบให้อัตราขยายเท่ากับ 10 ดังนั้น แบนด์วิดท์สูงสุดของวงจรจะประมาณ 500 MHz เท่านั้น



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.14 Small Signal RF Amplifier Design

ในการออกแบบ rf small - signal amplifier นั้นเป็นขบวนการทางตรรกวิทยาแบบเป็นระดับขั้นด้วยผลลัพธ์ที่แน่นอนสำหรับแต่ละปัญหา ในปัจจุบันมีหนังสือมากมายตามท้องตลาดที่เสนอแบบแผนที่ "ใช้ได้กับทุกวงจรที่คุณต้องการ" นั่นคือ วงจรที่ผู้เขียนออกแบบสำหรับเซ็ทเฉพาะของเงื่อนไขการปฏิบัติงานถูกเสนอขึ้น และมันอาจจะตรงตามความต้องการของคุณ อย่างไรก็ตาม การออกแบบถูกเสนอโดยปราศจากการผูกมัดจากขบวนการออกแบบอื่น ๆ และผู้อ่านอาจจะลำบากเมื่อพยายามที่จะดัดแปลงวงจรในรูปแบบของเขาโดยเฉพาะในเงื่อนไขของการปฏิบัติงาน

เราจะเริ่มการอภิปรายด้วยลักษณะทั่วไปของการไบอัสทรานซิสเตอร์โดยย่อ เราจะอภิปรายทั้งไบโพลาร์ และ เฟท (FET) ดังจะเห็นในบทสุดท้าย, จุดไบอัสสงบ (the quiescent bias point) ของทรานซิสเตอร์ มีผลดีต่อ Y และ Z พารามิเตอร์ของมัน การไบอัสทรานซิสเตอร์เป็นงานที่สำคัญมากและไม่ควรทำโดยสะเพร่า

ต่อมา เราจะไปที่ลักษณะทาง rf ของ amplifier โดยทดสอบความเสถียรภาพ (ความโน้มเอียงของการแกว่ง) , กำลังขยาย, การแมตช์อิมพีแดนซ์ และการออกแบบวงจรขยายทั่วไป ด้วยการนำเอา Y และ Z พารามิเตอร์มาเป็นเครื่องมือในการออกแบบ

การไบอัสทรานซิสเตอร์

ในการออกแบบวงจรขยายอาร์เอฟ ส่วนใหญ่มีการพิจารณากันน้อยมาก ที่ให้มาในการออกแบบระบบไบอัส (bias network) สำหรับ การรวมกันแบบอิสระของทรานซิสเตอร์, บ่อยครั้ง การขาดความสนใจในระบบไบอัสนั้นถูกต้องในกรณีเช่น วงจรขยายที่ต้องทำงานที่อุณหภูมิห้อง มันไม่ต้องใช้เวลามาก, พัฒนาจุดทำงานกระแสตรง ที่อุณหภูมิคงที่มาก ๆ หรือกล่าวได้ว่าวงจรขยายจะทำงานเชื่อถือได้และรักษาคุณสมบัติ (กำลังขยาย, ตัวเลขสัญญาณรบกวน ฯ ล ฯ)

แต่ที่อุณหภูมิสูงมากเกินไป ระบบไบอัสกระแสตรงจะต้องพิจารณาอย่างระมัดระวัง ในการพิจารณา , ตัวอย่าง, สำหรับ ดาต้าชีท 2N5179 การมองเผิน ๆ ที่เส้นโค้งของ Y และ S พารามิเตอร์ของอุปกรณ์ จะแสดงให้เห็นกรเปลี่ยนแปลงในจุดไบอัสของทรานซิสเตอร์ และเปลี่ยนคุณสมบัติต่าง ๆ ของการทำงานในย่านอาร์เอฟ ของมัน มันจึงเป็นเหตุผลที่จุดทำงานกระแสตรง ต้องคงที่ภายใต้เงื่อนไขการทำงานหรือคุณสมบัติของอาร์เอฟ จะเปลี่ยนแปลงมาก

มันได้ถูกแสดงว่า มีค่าพื้นฐานของทรานซิสเตอร์ 2 ค่าที่ขึ้นกับจุดของการไบอัสกระแสตรง ที่อุณหภูมิสูง คือ ΔV_{BE} และ $\Delta\beta$ ซึ่งในการออกแบบที่อุณหภูมิคงที่ จะมองข้ามผลกระทบที่เกิดกับค่าพารามิเตอร์เหล่านี้

เมื่ออุณหภูมิสูงขึ้น ค่าแรงดันจากขาเบสไปอีมิตเตอร์ของทรานซิสเตอร์จะลดลงที่ค่าประมาณ 2.5 mV/°C จากที่อุณหภูมิห้องจะมีค่า V_{BE} ประมาณ 0.7 V (สำหรับอุปกรณ์แบบซิลิกอน) เมื่อ V_{BE} ลดลง กระแสที่ขาเบสจะสามารถไหลได้มากขึ้น ในทำนองเดียวกัน ก็จะเพิ่มกระแสคอลเลคเตอร์ และนั่นคือสิ่งที่เราต้องป้องกันการเปลี่ยนแปลงทั้งหมดใน V_{BE} จากการเปลี่ยนแปลงอุณหภูมิจะเรียก ΔV_{BE} ซึ่งเป็นปัจจัยภายนอกพื้นฐาน ที่การออกแบบวงจรไม่สามารถควบคุมได้ และสิ่งที่จะลดผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น และห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระทบของ ΔV_{BE} คือ แรงดันอีมิตเตอร์ (emitter voltage) ของทรานซิสเตอร์ซึ่งแสดงในรูป 2.91 , ซึ่งการลดลงของ V_{BE} จากอุณหภูมิ จะเป็นผลให้กระแสอีมิตเตอร์เพิ่มขึ้น ดังนั้นการเพิ่มขึ้นใน V_E เป็นรูปแบบของการป้อนกลับที่ส่งผลให้ไบอัสย้อนกลับที่รอยต่อเบสอีมิตเตอร์ และ ดังนั้น การลดลงของกระแสคอลเลคเตอร์ การลดลงใน V_{BE} จะถูกขัดขวางโดยการเพิ่มขึ้นของ V_E และกระแสคอลเลคเตอร์จะไม่เพิ่มมากกับอุณหภูมิ ถ้าการสังเกตถูกนำมาเป็นสมการ เราสามารถเขียนได้ว่า

$$\Delta I_C \approx -\frac{\Delta V_{BE} I_C}{V_E} \qquad (2.60)$$

เมื่อ

$\Delta I_C =$ ค่าความเปลี่ยนแปลงในกระแสคอลเลคเตอร์

$I_C =$ ค่ากระแสคอลเลคเตอร์เริ่มต้น (quiescent)

$\Delta V_{BE} =$ ค่าความเปลี่ยนแปลงของแรงดัน เบส - อีมิตเตอร์

$V_E =$ ค่าเริ่มต้นของแรงดันที่ขาอีมิตเตอร์

ดังนั้น ถ้า V_E มีค่าเป็น 20 เท่าของ ΔV_{BE} แล้ว ค่ากระแสคอลเลคเตอร์จะเปลี่ยนเพียง 5 % เหนืออุณหภูมิถึง ΔV_{BE}

สมการ 2.60 แสดงให้เห็นว่า ค่า V_E ที่สูงจะดีกว่า เพราะจะเห็นว่า เรากังวลเพียงเรื่องการไบอัสทรานซิสเตอร์สำหรับจุดทำงานเฉพาะ อย่างเห็นได้ชัดว่ามีสิ่งอื่นที่ต้องพิจารณาในการออกแบบ เช่น ถ้าค่าแรงดันขาอีมิตเตอร์สูง ทำให้เปลืองพลังงานและลดกำลังขยายของสัญญาณกระแสสลับ การใช้ตัวเก็บประจุบายพาส ระหว่าง R_E ที่ความถี่ของสัญญาณเป็นสิ่งที่ใช้กันตามปกติ เพื่อป้องกันการสูญเสียในอัตราขยาย แต่พลังงานที่เสียไปยังคงเป็นปัญหาอยู่

ถ้าเราสมมติว่าวงจรขยายจะทำงานโดยอุณหภูมิเปลี่ยนแปลงภายใน $\pm$ 50 °C แล้วค่าแรงดันที่ขาอีมิตเตอร์ที่ 2.5 โวลต์ จะเปลี่ยนแปลง $\pm$ 5 % ของค่า I_C และ ΔV_{BE} ในความเป็นจริงคุณจะพบว่าจุดหลักของระบบไบอัสทรานซิสเตอร์ที่มีรูปร่างคล้ายรูป 2.91 จะเปลี่ยนแปลงค่าของแรงดันขาอีมิตเตอร์จาก 2-4 โวลต์ ขึ้นกับค่าของ V_{CC} และ V_C ที่กำหนด

การเปลี่ยนแปลงกำลังขยายของกระแสตรงในทรานซิสเตอร์ (β) ที่อุณหภูมิสูง ๆ เป็นสิ่งสำคัญสำหรับนักออกแบบวงจร การเปลี่ยนแปลงค่าใด ๆ ใน จะทำให้เกิดการเปลี่ยนแปลงในกระแสเริ่มต้นของคอลเลคเตอร์ และทำให้จุดทำงานที่ออกแบบไว้ยุ่งเหยิง ค่า β ของ ทรานซิสเตอร์แบบซิลิคอน ตามปกติจะเพิ่มกับอุณหภูมิที่อัตรา 0.5 % / °C ดังนั้นที่ $\pm$ 50 °C คุณสามารถสรุปได้ว่า ค่ากระแสคอลเลคเตอร์จะเปลี่ยนแปลงค่ามากสุดที่ $\pm$ 25 %

ไม่เพียงแต่ค่า β จะเปลี่ยนแปลงกับอุณหภูมิเท่านั้น แต่ค่า β ที่ผลิตมาของทรานซิสเตอร์เบอร์เดียวกัน ก็จะมีค่าไม่เท่ากัน เช่น ผู้ผลิตเองจะกำหนดค่า ที่ช่วง 10 เท่าถึง 1 เท่าในคาต้าชีท (เช่น β= 50 - 500) มันทำให้ยากมากที่จะออกแบบระบบไบอัสสำหรับอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความเปลี่ยนแปลงในกระแสคอลเลคเตอร์สำหรับค่าความเปลี่ยนแปลงใน β สามารถประมาณได้ว่า

$$\Delta I_C = I_{C_1}\left(\frac{\Delta\beta}{\beta_1\beta_2}\right)\left(1+\frac{R_B}{R_E}\right) \qquad (2.61)$$

เมื่อ

I_{C_1} = ค่ากระแสคอลเลคเตอร์ที่

β_1 = ค่า β ที่น้อยที่สุด

β_2 = ค่า β ที่สูงที่สุด

$\Delta\beta = \beta_2 - \beta_1$

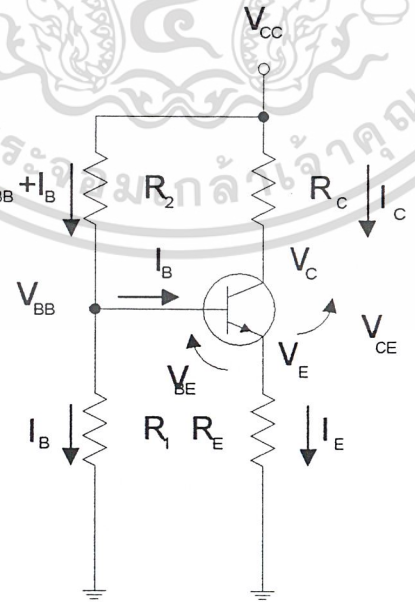
R_B = ค่าผลรวมที่ขนานกันของ และ (ตามรูป 2.91)

R_E = ค่าความต้านทานที่ต่อกับขาอีมิตเตอร์

สมการนี้บอกให้รู้ว่าเมื่อทรานซิสเตอร์ถูกกำหนดแล้ว สิ่งเดียวที่ผู้ออกแบบจะกำหนดได้ นอกจากผลกระทบของ β คือ ค่าอัตราส่วนของค่าความต้านทาน (R_B / R_E) ยิ่งมีสัดส่วนน้อย ค่าความเปลี่ยนแปลงของกระแสคอลเลคเตอร์จะน้อยตาม อย่างไรก็ตามเราก็ยอมกันได้

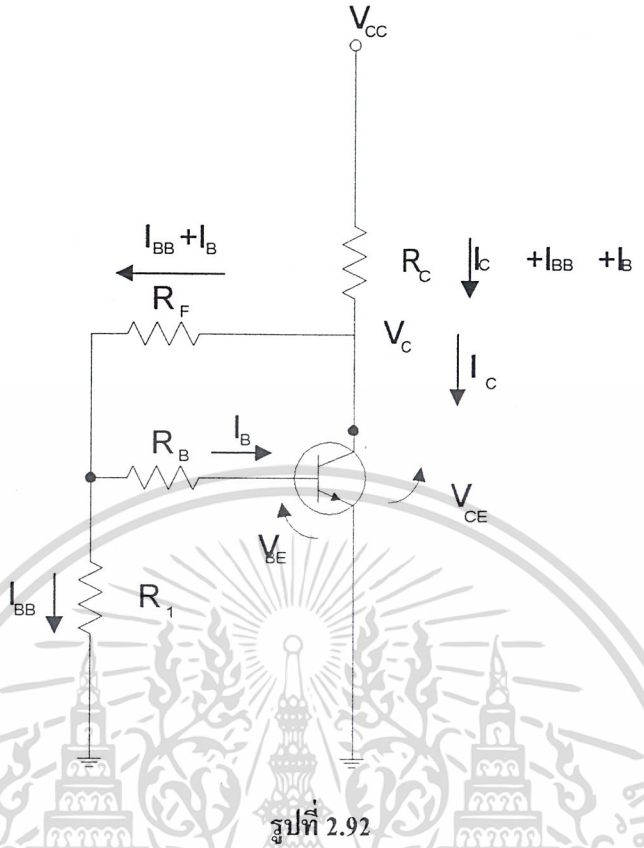
ถ้าคุณลดค่าสัดส่วนของ R_B / R_E ลง คุณจะทำให้เกิดผลกระทบที่คาดการณ์ไม่ได้ของการลดลงของกำลังขยายกระแส ค่าเสถียรภาพของระบบจะลดลง ดังนั้น ในทางปฏิบัติถ้าอัตราส่วน R_B/R_E ควรจะน้อยกว่า 10

รูป 2.91 , 2.92 และ 2.93 แสดงให้เห็นถึงรูปแบบการไบอัส 3 แบบที่ทำให้เกิดการป้อนกลับที่ส่งผลไปที่การเปลี่ยนแปลงกระแสคอลเลคเตอร์ โดยจะใช้ R_F เชื่อมระหว่างขาคอลเลคเตอร์ไปหาเบสของทรานซิสเตอร์ให้เกิดการป้อนกลับ อย่างไรก็ตาม R_F จะทำให้ผลกระทบที่เกิดจากอุณหภูมิมีค่าน้อยมาก ๆ

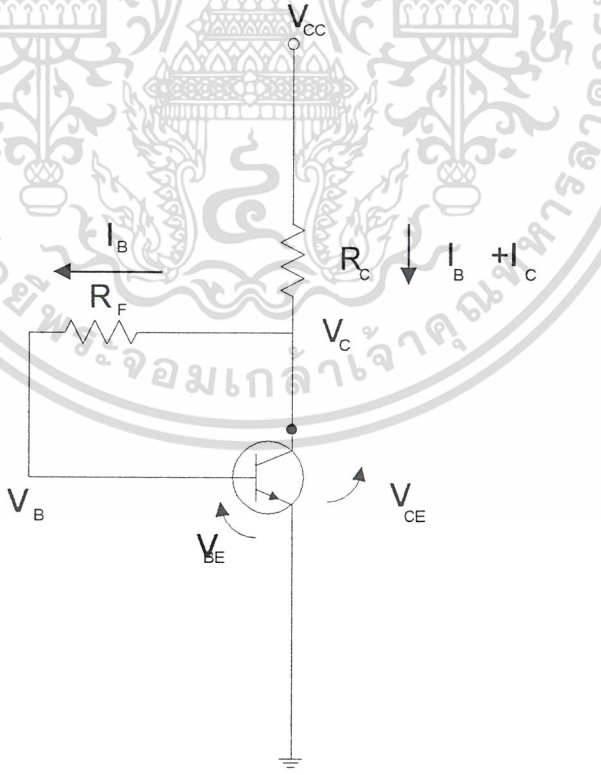


รูปที่ 2.91

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.92



รูปที่ 2.93

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบโดยใช้ S พารามิเตอร์

ดังที่กล่าวไว้ในเรื่องสแกตเตอริ่งพารามิเตอร์ ทรานซิสเตอร์สามารถกำหนดคุณสมบัติโดยสแกตเตอริ่ง หรือ S พารามิเตอร์ และด้วยพารามิเตอร์นี้ มันก็เป็นไปได้ที่จะคำนวณความเสถียรภาพของศักยภาพ, ค่ากำลังขยายสูงสุดที่สามารถเป็นไปได้ ค่าความต้านทานขาเข้าและขาออก และกำลังขยายของทรานส์ดิวเซอร์

ค่า S พารามิเตอร์ จะเปลี่ยนแปลงตามความถี่และระดับไบอัส ดังนั้น เริ่มต้นคุณต้องเลือกทรานซิสเตอร์ กำหนดจุดทำงานเสถียรภาพ (Stable operating point) และ พิจารณาค่า S พารามิเตอร์ที่จุดทำงานนั้น ตามส่วนต่อไปนี้

ความเป็นเสถียรภาพ

การคำนวณควรทำก่อนที่จะสร้างวงจรขยายเพื่อช่วยในการหาทรานซิสเตอร์ที่เหมาะสมสำหรับงาน

เพื่อจะคำนวณค่าความเป็นเสถียรภาพของทรานซิสเตอร์ด้วย S พารามิเตอร์ คุณต้องหาค่าปริมาณกลาง (intermediate quantity :Ds) ก่อนโดย

$$D_s = S_{11}S_{22} - S_{12}S_{21} \qquad (2.62)$$

แล้วค่าตัวประกอบเสถียรภาพของโลเลท (Rollett Stability Factor : K) จะคำนวณได้

$$K = \frac{1+|D_s|^2 - |S_{11}|^2 - |S_{22}|^2}{2|S_{21}||S_{12}|} \qquad (2.63)$$

ถ้าค่า K มากกว่า 1 อุปกรณ์นั้นจะมีเสถียรภาพอย่างไม่มีเงื่อนไขสำหรับการรวมของ แหล่งกำเนิด (source) และ ค่าความต้านทานที่โหลด (load impedance) ในอีกกรณีที่ค่า k คำนวณได้น้อยกว่า 1 อุปกรณ์จะมีส่วนที่ไม่เสถียรภาพซึ่งทำให้เกิดการออสซิลเลทได้ ต้องระวังในการเลือก แหล่งกำเนิด และ ค่าความต้านทานที่โหลด สำหรับทรานซิสเตอร์ มันไม่ได้หมายความว่าใช้งานกับงานนี้ไม่ได้ แต่มันทำให้ยากขึ้นในการนำมาใช้งานเท่านั้น

ถ้าค่า K ที่คำนวณได้ น้อยกว่า 1 คุณอาจจะเลือกทำตามนี้

1. เลือกจุดไบอัสใหม่สำหรับทรานซิสเตอร์
2. เลือกทรานซิสเตอร์ตัวอื่น
3. ทำตามขั้นตอนที่จะกล่าวต่อไป

ค่ากำลังขยายสูงสุดที่เป็นไปได้

ค่ากำลังขยายสูงสุดที่สามารถหวังได้จากทรานซิสเตอร์ภายใต้เงื่อนไขการแมทช์โดยสมบูรณ์เรียกว่า ค่ากำลังขยายสูงสุดที่เป็นไปได้ (Maximum Available Gain : MAG) ในการจะคำนวณหาค่า MAG แรกสุดเราต้องหาค่าปริมาณกลาง (Intermediate quantity :B_1) โดย

$$B_1 = 1 + |S_{11}|^2 - |S_{22}|^2 - |D_s|^2 \qquad (2.64)$$

โดยที่ค่า D_s คำนวนได้จากสมการ (6-14)

หลังจากนั้น ค่า MAG สามารถคำนวณได้โดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$MAG = 10\log\frac{|S_{21}|}{|S_{12}|} + 10\log\left|K \pm \sqrt{K^2 - 1}\right| \qquad (2.65)$$

โดย

MAG อยู่ในหน่วย dB

K คือค่าตัวประกอบเสถียรภาพที่ได้จากการคำนวณในสมการที่ (2.63)

เหตุผลที่ต้องคำนวณค่า B_1 ก่อนเนื่องจากความตรงข้ามของเครื่องหมายของมัน $(\pm)$ ที่ใช้ในสมการ (2.65) ต้องนำค่า B_1 มาใช้ในการพิจารณา ถ้าเป็นค่าลบ จะใช้เครื่องหมายบวก ถ้าค่า B_1 เป็นค่าบวกจะใช้เครื่องหมายบวก (พิจารณาในเสถียรภาพแบบไม่มีเงื่อนไขเท่านั้น)

Simultaneous Conjugate Match

(Unconditionally Stable Transistors)

เมื่อค่าเสถียรภาพของทรานซิสเตอร์ที่เหมาะสมได้ถูกพบ และความสามารถในกำลังขยายของมันถูกพบที่จะแมตช์ตามความต้องการ คุณสามารถที่จะทำตามการออกแบบนั้นเลย

ขั้นตอนการออกแบบต่อไปนี้จะแสดงให้เห็นถึงผลของสัมประสิทธิ์การสะท้อนของโหลดและแหล่งกำเนิดที่แสดงถึงการแมตช์รวมสำหรับความต้านทานขาออกและขาเข้าจริงของทรานซิสเตอร์ตามลำดับ จำไว้ว่าความต้านทานขาออกจริงของทรานซิสเตอร์ขึ้นอยู่กับค่าความต้านทานของแหล่งกำเนิด เช่นเดียวกับความต้านทานขาเข้าจริงของทรานซิสเตอร์จะขึ้นอยู่กับค่าความต้านทานของโหลด การพึ่งพานี้ มีสาเหตุมาจากกำลังขยายย้อนกลับของทรานซิสเตอร์ (S_{12})ซึ่งถ้า S_{12} มีค่าเป็นศูนย์แล้วค่าความต้านทานของโหลดและแหล่งกำเนิดจะไม่มีผลกระทบกับความต้านทานขาเข้าและขาออกของทรานซิสเตอร์

เพื่อที่จะหาการออกแบบ สัมประสิทธิ์การสะท้อนของโหลด สำหรับการแมตช์สมบูรณ์ จะต้องทำการคำนวณ

$$C_2 = S_{22} - \left(D_S S_{11}^{*}\right) \qquad (2.66)$$

โดยที่เครื่องหมายดอกจันทน์แสดงให้เห็นค่าคอนจูเกทของจำนวนเชิงซ้อนของ S_{11} (ขนาดเท่าเดิม แต่มุมจะมีเครื่องหมายตรงข้าม) ปริมาณ D_s เป็นปริมาณกลางเช่นเดียวกับการคำนวณในสมการที่ 2.62

หลังจากนั้น จะคำนวณ B_2

$$B_2 = 1 + |S_{22}|^2 - |S_{11}|^2 - |D_S|^2 \qquad (2.67)$$

ขนาดของสัมประสิทธิ์การสะท้อนสามารถหาได้จากสมการ

$$|\Gamma_L| = \frac{B_2 \pm \sqrt{B_2{}^2 - 4|C_2|^2}}{2|C_2|} \qquad (2.68)$$

เครื่องหมายในการคิดจะเป็นตรงข้ามกับกับเครื่องหมายของ B_2 มุมของสัมประสิทธิ์การสะท้อนของโหลด จะมีค่าตรงข้ามกับมุมของ C_2 (ที่สามารถหาได้จากสมการ 2.66)

เมื่อเราสามารถจะคำนวณค่าสัมประสิทธิ์การสะท้อนของโหลดได้แล้วมันสามารถที่จะวางแผนลงบนสมิทช์ชาร์ท และค่าความต้านทานของโหลดที่สอดคล้องกันจะหาได้โดยตรง เมื่อหาค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัมประสิทธิ์การสะท้อนของโหลดเฉพาะได้แล้ว เราสามารถที่จะหาค่าสัมประสิทธิ์การสะท้อนของแหล่งกำเนิดได้ว่า

$$\Gamma_S = \left[S_{11} + \frac{S_{12}S_{21}\Gamma_L}{1-(\Gamma_L S_{22})} \right]^* \qquad (2.69)$$

เครื่องหมายดอกจันทน์จะแสดงว่าคุณควรใช้ค่าคอนจูเกทของค่าที่ได้ในวงเล็บ(ขนาดเท่าเดิม แต่เครื่องหมายตรงข้ามสำหรับมุม)

อัตราขยายของตัวแปลง (Transducer Gain)

อัตราขยายของตัวแปลงที่อธิบายในหัวข้อนี้คือค่ากำลังขยายจริงของวงจรขยายรวมทั้งผลกระทบจากการแมตชิ่งขาเข้าและขาออก และอุปกรณ์ขยาย มันไม่ได้รวมค่าสูญเสียที่เกิดจากความไม่สมบูรณ์ของอุปกรณ์นั้นๆ

อัตราขยายของตัวแปลงมีค่า

$$G_T = \frac{|S_{21}|^2 \left(1-|\Gamma_S|^2\right)\left(1-|\Gamma_L|^2\right)}{\left|(1-S_{11}\Gamma_S)(1-S_{22}\Gamma_L)-S_{12}S_{21}\Gamma_L\Gamma_S\right|^2} \qquad (2.70)$$

เมื่อ Γ_S และ Γ_L คือค่าสัมประสิทธิ์การสะท้อนของแหล่งกำเนิดและโหลด ตามลำดับ

การคำนวณหาค่า G_T เป็นวิธีการที่มีประโยชน์ในการตรวจสอบอัตราขยายกำลังของวงจรขยายก่อนที่จะทำการสร้างขึ้นมา

การออกแบบสำหรับกำลังขยายเฉพาะ

บ่อยครั้งเมื่อต้องการออกแบบวงจรขยาย ซึ่งมันต้องการกำลังขยายในสเตทเดียวที่มีค่าพอดีไม่มากหรือน้อยกว่านั้น ในสถานการณ์เช่นนี้ การแมตช์คอนจูเกทที่สมบูรณ์สำหรับทรานซิสเตอร์จะให้อัตราขยายมากในสเตท และใช้งานโหลดของมันมากเกินไป หนึ่งในวิธีที่ง่ายต่อการออกแบบคือการวาดวงกลมอัตราขยาย (constant-gain-circle) ดังที่วาดลงในสมิทช์ชาร์ท โดยวงกลมนี้จะแสดงจุดทั้งหมดของความต้านทานของโหลดที่มีค่าอัตราขยายตามต้องการ

วงกลมอัตราขยายคงที่นี้จะถูกวาดลงบนสมิทช์ชาร์ทโดยการคำนวณ เพื่อพิจารณาหา

1. ตำแหน่งจุดกึ่งกลางของวงกลม
2. รัศมีของวงกลม

โดยมีข้อมูลในการคำนวณดังนี้

1. หาค่า D_S โดยใช้สมการ 2.62
2. หาค่า D_2

$$D_2 = |S_{22}|^2 - |D_S|^2 \qquad (2.71)$$

3. หาค่า C_2

$$C_2 = S_{22} - D_S S_{11}^* \qquad (2.72)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. หาค่า G

$$G = \frac{Gain_desires(absolute)}{|S_{21}|^2} \quad (2.73)$$

5. หาค่าตำแหน่งของจุดศูนย์กลางของวงกลม

$$r_o = \frac{GC_2^*}{1 + D_2 G} \quad (2.74)$$

6. หาค่ารัศมีของวงกลม

$$p_o = \frac{\sqrt{1 - 2K|S_{12}S_{21}|G + |S_{12}S_{21}|^2 G^2}}{1 + D_2 G} \quad (2.75)$$

วงกลมเสถียรภาพ

เมื่อค่าตัวประกอบเสถียรภาพของโลเลทที่คำนวณในสมการ 2.63 แสดงให้เห็นความไม่แน่นอนที่อาจเป็นไปได้ของทรานซิสเตอร์ (โอกาสที่การรวมกันของความต้านทานของแหล่งกำเนิดและโหลดทำให้ทรานซิสเตอร์เกิดการกำเนิดความถี่ออกมาเอง) ดังนั้นเมื่อค่า K ที่ได้จากการคำนวณมีค่าน้อยกว่า 1 มันจำเป็นมากที่จะเลือกความต้านทานแหล่งกำเนิดและความต้านทานของโหลดอย่างระมัดระวังอย่างสูง หนึ่งในวิธีที่ดีที่สุดในการพิจารณา ความต้านทานของแหล่งกำเนิดและโหลด ที่เป็นสาเหตุในทรานซิสเตอร์เกิดความไม่เป็นเสถียรภาพ คือการวาดวงกลมเสถียรภาพลงบนสมิทช์ชาร์ท

วงกลมเสถียรภาพพูดง่ายๆคือวงกลมบนสมิทช์ชาร์ทที่จะแสดงให้เห็นถึงขอบเขตระหว่างค่าของความต้านทานแหล่งกำเนิดและโหลดที่ทำให้เกิดความไม่เป็นเสถียรภาพ และ ค่าที่ไม่เป็นเช่นนั้น เส้นรอบวงของวงกลมแสดงให้เห็นชุดของจุดทั้งหมดที่มีค่า K = 1 นอกนั้น ข้างนอก หรือ ข้างในของวงกลมจะแสดงให้เห็นขอบเขตของความไม่เป็นเสถียรภาพ และการพิจารณาจะเริ่มเมื่อวงกลมได้วาดแล้ว

ตำแหน่งและรัศมีของวงกลมเสถียรภาพของอินพุทและเอาท์พุท จะเป็นดังนี้

1. คำนวนค่า D_S โดยใช้สมการ 2.62
2. คำนวณค่า C_1

$$C_1 = S_{11} - D_S S_{22}^* \quad (2.76)$$

3. คำนวณค่า C_2 โดยใช้สมการ 6-18
4. คำนวณหาตำแหน่งของจุดศูนย์กลางของวงกลมเสถียรภาพของอินพุท

$$r_{S_1} = \frac{C_1^*}{|S_{11}|^2 - |D_S|^2} \quad (2.77)$$

5. คำนวณหารัศมีของวงกลมเสถียรภาพของอินพุท

$$p_{S_1} = \left| \frac{S_{12}S_{21}}{|S_{11}|^2 - |D_S|^2} \right| \quad (2.78)$$

6. คำนวณหาตำแหน่งของจุดศูนย์กลางของวงกลมเสถียรภาพของเอาท์พุท

$$r_{S_2} = \frac{C_2^*}{|S_{22}|^2 - |D_S|^2} \quad (2.79)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7. คำนวณหารัศมีของวงกลมเสถียรภาพของเอาท์พุท

$$p_{S_2} = \left| \frac{S_{12}S_{21}}{|S_{22}|^2 - |D_S|^2} \right| \qquad (2.80)$$

2.15 Constant-noise-figure Circles

นอยส์ แบ่งออกเป็น

1.เทอร์มัลนอยส์ (Thermal Noise) เกิดจากการกระจายของอิเลคตรอนแบบสุ่มที่ถูกกระตุ้นขึ้นมาจากอุณหภูมิ มีค่า

$\bar{V}_n^2 = 4kTBR_n$

$k = 1.38 \times 10^{-23} J/K$

T = อุณหภูมิสมมูล (K)

B = แบนด์วิดท์ของสัญญาณ

R_n = ความต้านทานของสัญญาณรบกวน

$\bar{I}_n^2 = 4kTBG$ กระแสเฉลี่ยกำลังสองของเทอร์มัลนอยส์

G = ความนำของสัญญาณรบกวน

ค่ากำลังสูงสุดของนอยส์จากตัวต้านทาน (R_n) มีค่า

$$P_{n\max} = \frac{V_n^2}{4R_n} = kTB$$

2. สัญญาณรบกวนแบบช็อต (shot noise) เป็นนอยส์ที่เกิดจากกระแสที่ไหลผ่านอุปกรณ์แบบแอกทีฟแล้วกำเนิดขึ้นมา

$\bar{I}_{sn}^2 = 2qI_{dc}B$ กระแสเฉลี่ยกำลังสองของสัญญาณรบกวนแบบช็อต

$q = 1.6 \times 10^{-19} coulomb$

I_{dc} = กระแสตรง

B = แบนด์วิทของสัญญาณ (Hz)

จาก $F = \dfrac{S_i/N_i}{S_o/N_o}$ จะได้ว่า ตัวเลขสัญญาณรบกวนของวงจรขยายแบบ 2 ทางเข้าออก

$$F = F_{\min} + \frac{r_n}{g_s}\left|y_s - y_o\right|^2$$

$$= F_{\min} + \frac{r_n}{g_s}\left|\left(g_s - g_o\right)^2 + \left(b_s - b_o\right)^2\right|$$

$F_{\min}$ = ตัวเลขสัญญาณรบกวนน้อยสุด(ขึ้นอยู่กับความถี่และกระแสไบอัส)

$r_n = \dfrac{R_n}{Z_o}$ ค่านอร์มอไลซ์ความต้านทานของสัญญาณรบกวนของวงจร 2 ทางเข้าออก

$y_s = g_s + jb_s$ ค่านอร์มอไลซ์ความนำของแหล่งกำเนิด

$y_o = g_o + jb_o$ ค่านอร์มอไลซ์ความนำของแหล่งกำเนิดที่ดีที่สุดที่ทำให้เกิดค่าตัวเลขสัญญาณรบกวนน้อยสุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราสามารถเขียนค่านอร์มอไลซ์ความนำของแหล่งกำเนิดในรูปของสัมประสิทธิ์การสะท้อนของแหล่งกำเนิด Γ_S ได้ว่า

$$y_s = \frac{1-\Gamma_s}{1+\Gamma_s}$$

ในทำนองเดียวกันจะได้ว่า

$$y_o = \frac{1-\Gamma_o}{1+\Gamma_o}$$ Γ_o =สัมประสิทธิ์การสะท้อนของแหล่งกำเนิดที่ดีที่สุด

แทนค่า y_s, y_o ด้วย Γ_s, Γ_o จะได้ว่า

$$F = F_{\min} + \frac{4r_n\left|\Gamma_s - \Gamma_o\right|^2}{\left(1-\left|\Gamma_s\right|^2\right)\left|1+\Gamma_o\right|^2}$$

ค่า r_n สามารถหาได้ด้วยการวัดค่า F ที่ Γ_S=0

$$r_n = \left(F_{\Gamma_s=0} - F_{\min}\right)\frac{\left|1+\Gamma_o\right|^2}{4\left|\Gamma_o\right|^2}$$

การหาวงกลมสัญญาณรบกวน (Noise Circle)

เริ่มต้นจะกำหนดให้

$$N_i = \frac{\left|\Gamma_s - \Gamma_o\right|^2}{1-\left|\Gamma_s\right|^2} = \frac{F_i - F_{\min}}{4r_n}\left|1+\Gamma_o\right|^2$$ F_i = ตัวเลขสัญญาณรบกวน

จะได้ว่า

$$\left(\Gamma_s - \Gamma_o\right)\left(\Gamma_s^* - \Gamma_o^*\right) = N_i\left(1-\left|\Gamma_s\right|^2\right) = \left|\Gamma_s - \Gamma_o\right|^2$$

หรือ

$$\left|\Gamma_s\right|^2\left(1+N_i\right) + \left|\Gamma_o\right|^2 - 2\,\mathrm{Re}\left(\Gamma_s\Gamma_o^*\right) = N_i$$

คูณทั้งสองข้างด้วย $\left(1+N_i\right)$ จะได้ว่า

$$\left|\Gamma_s\right|^2\left(1+N_i\right)^2 + \left|\Gamma_o\right|^2 - 2\left(1+N_i\right)\mathrm{Re}\left(\Gamma_s\Gamma_o\right) = N_i^2 + N_i\left(1-\left|\Gamma_o\right|^2\right)$$

$$\left|\Gamma_s\left(1+N_i\right) - \Gamma_o\right|^2 = N_i^2 + N_i\left(1-\left|\Gamma_o\right|^2\right)$$

$$\left|\Gamma_s - \frac{\Gamma_o}{1+N_i}\right|^2 = \frac{N_i^{\,2} + N_i\left(1+\left|\Gamma_o\right|^2\right)}{\left(1-N_i\right)^2}$$

จากนั้นจะได้ตำแหน่งจุดศูนย์กลางวงกลม (C_{Fi})

$$C_{Fi} = \frac{\Gamma_o}{1+N_i}$$

รัศมี

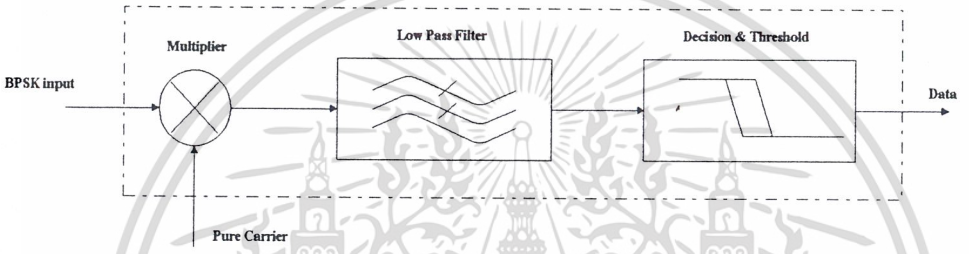
$$r_{Fi} = \frac{1}{1+N_i}\left[N_i^2 + N_i\left(1-\left|\Gamma_o\right|^2\right)\right]^{1/2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.16 การดีมอดูเลตสัญญาณในระบบ BPSK

การกู้เอาข้อมูลจากสัญญาณ BPSK นั้น ต้องอาศัยคลื่นพาห์ที่ได้จากการทำ Carrier Recovery มาใช้ในการกู้เอาข้อมูลกลับคืนมา ประสิทธิภาพของการมอดูเลตจะขึ้นอยู่กับวงจรในส่วนของการทำ Carrier Recovery หากการทำ Carrier Recovery ไม่สมบูรณ์ ข้อมูลที่ได้ก็จะผิดพลาดตามไปด้วย ส่วนประกอบของการดีมอดูเลตสัญญาณ BPSK นั้นประกอบด้วย 3 ส่วนด้วยกันตามรูปที่ 2.94 คือ

1) วงจรคูณสัญญาณแบบ 4 Quadrant
2) วงจรกรองแถบความถี่ต่ำผ่าน (Low Pass Filler)
3) วงจรตัดสินสัญญาณ (Dicision & Threshold circuits)



รูปที่ 2.94 บล๊อคไดอะแกรม ของการดีมอดูเลตสัญญาณ BPSK

1. วงจรคูณสัญญาณแบบ 4 - Quadrant

อาศัยการทำงานของวงจร " Gillbert Multiplier Cell " หรือ " Four quadrant Multiplier " ตามรูปที่ 2.95 แสดงวงจรคูณสัญญาณแบบ Four Quadrant (Gilbert Cell) วงจรจะใช้งานจริงได้ก็ต่อเมื่อมีการไบแอสวงจรอย่างถูกต้องแล้ว

จาก

$$I_{cs} = \frac{I_{c1}}{1+exp(-v_1/v_T)}$$

$$I_{c4} = \frac{I_{c1}}{1+exp(v_1/v_T)}$$

ดังนั้น

$$I_{c5} = \frac{I_{c2}}{1+exp(v_1/v_T)}$$

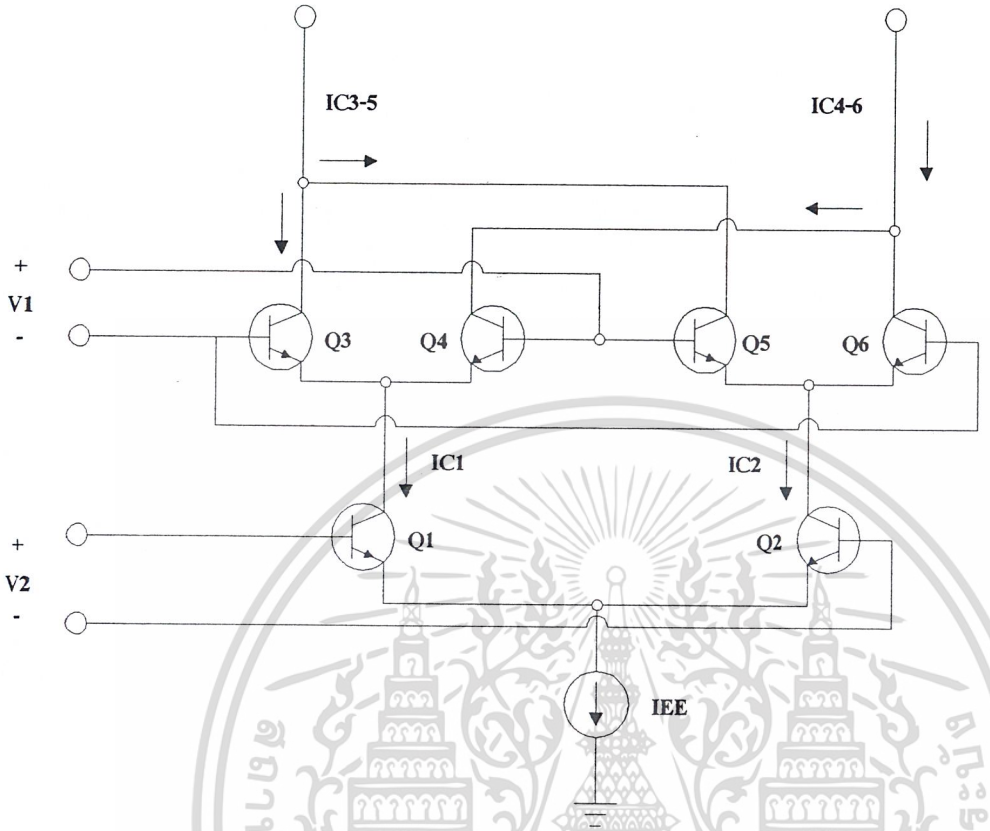
$$I_{c6} = \frac{I_{c2}}{1+exp(-v_1/v_T)}$$

และ

$$I_{c1} = \frac{I_{EE}}{1+exp(-v_2/v_T)}$$

$$I_{c2} = \frac{I_{EE}}{1+exp(v_2/v_T)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.95 Gilbert Multiplier Cell

กำหนดให้

$$x_1 = v_1 / v_T$$

$$x_2 = v_2 / v_T$$

$$\Delta I = I_{EE}\left[\left(\frac{1}{1+e^{-x1}}\cdot\frac{1}{1+e^{-x2}}\right)+\left(\frac{1}{1+e^{x1}}\cdot\frac{1}{1+e^{x2}}\right)-\left(\frac{1}{1+e^{x2}}\cdot\frac{1}{1+e^{-x1}}\right)-\left(\frac{1}{1+e^{-x2}}\cdot\frac{1}{1+e^{x1}}\right)\right]$$

$$\Delta I = \left[\left(\frac{e^{x1/2}}{e^{x1/2}+e^{-x1/2}}\cdot\frac{e^{x2/2}}{e^{x2/2}+e^{-x2/2}}\right)+\left(\frac{e^{-x1/2}}{e^{-x1/2}+e^{x1/2}}\cdot\frac{e^{-x2/2}}{e^{-x2/2}+e^{x2/2}}\right)-\left(\frac{e^{-x2/2}}{e^{-x2/2}+e^{x2/2}}\cdot\frac{e^{x1/2}}{e^{x1/2}+e^{-x1/2}}\right)-\left(\frac{e^{x2/2}}{e^{x2/2}+e^{-x2/2}}\cdot\frac{e^{-x1/2}}{e^{-x1/2}+e^{x1/2}}\right)\right]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\Delta I = I_{EE}\left[\frac{\left(e^{x1/2}\cdot e^{x2/2}\right)+\left(e^{-x1/2}\cdot e^{x2/2}\right)-\left(e^{-x2/2}\cdot e^{x1/2}\right)-\left(e^{x2/2}\cdot e^{-x1/2}\right)}{\left(e^{x1/2}+e^{-x1/2}\right)\left(e^{x2/2}+e^{-x2/2}\right)}\right]$$

$$\Delta I = I_{EE}\left[\frac{e^{x1/2}-e^{-x1/2}}{e^{x1/2}+e^{-x1/2}}\right]\cdot\left[\frac{e^{x2/2}-e^{-x2/2}}{e^{x2/2}+e^{-x2/2}}\right]$$

$$\Delta I = I_{EE}\left[tanh\left(\frac{x1}{2}\right)\cdot tanh\left(\frac{x2}{2}\right)\right]$$

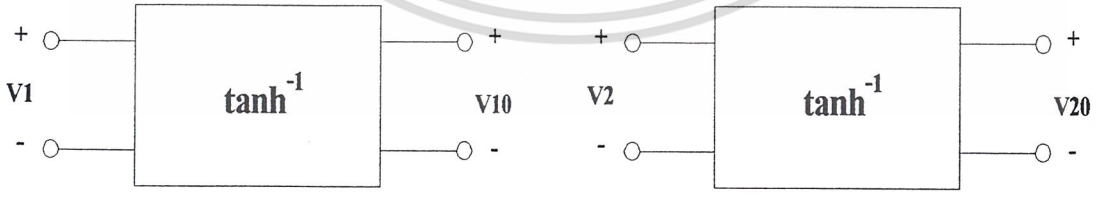
ดังนั้น $$\Delta I = I_{EE}\left[tanh\left(\frac{v_1}{2v_T}\right)\cdot tanh\left(\frac{v_2}{2v_T}\right)\right]$$

เมื่อ $x >> 1$ $$tanh\, x = x + \frac{x^3}{3} + \frac{x^5}{5} + \ldots \approx x$$

$$\Delta I = I_{EE}\left(\frac{v_1}{2v_T}\right)\cdot\left(\frac{v_2}{2v_T}\right)$$

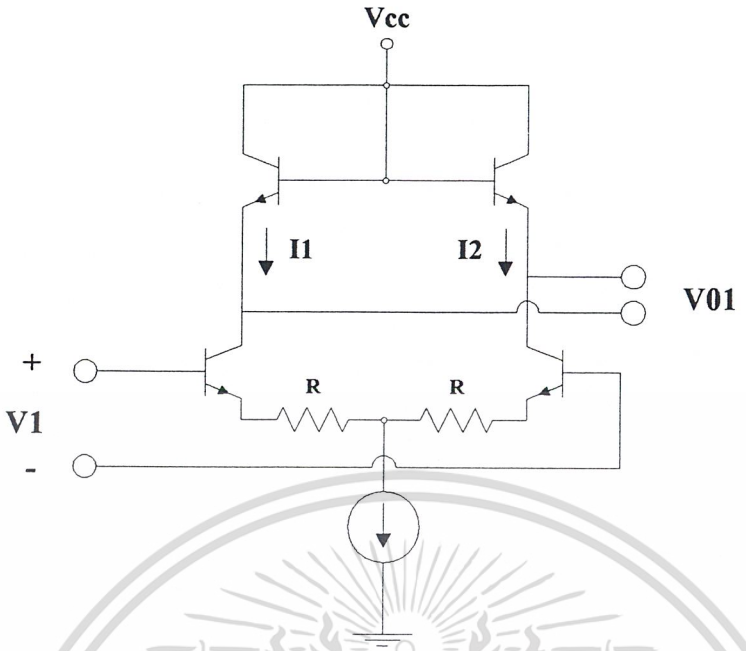
เมื่อ $v_1, v_2 << 2v_T$; v_T (Thermal Voltage) $\approx$ 25 mV ที่ 25°C

ข้อดีของวงจรคูณของ Gilbert คือ สามารถใช้งานได้ดีที่ความถี่สูงๆ แต่ข้อเสียของวงจรก็คือ ขนาดของสัญญาณอินพุต v_1 และ v_2 ต้องมีค่าต่ำมากๆ (น้อยกว่า 10 mV) ดังนั้นการแก้ปัญหาสามารถทำได้โดย Compensate ด้วยวงจร $\tanh^{-1}$ เพื่อให้สามารถทำงานได้ที่อินพุตสูงๆ (มากกว่า 10 mV) ได้



รูปที่ 2.96 แสดงวงจร tanh-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.97 แสดงวงจร tanh-1 ที่ใช้ในวงจรจริง

รูปที่ 2.97 แสดงวงจร tanh-1 เพื่อช่วยในการ Compensate การทำงานของวงจร Gilbert ค่าความต้านทาน R จะช่วยในการเพิ่มช่วง linear ของวงจรให้ยาวขึ้น

$$I_1 = I_{01} + k_1 v_1$$
$$I_2 = I_{01} - k_1 v_1$$

เมื่อ I_{01} คือ Static Current

k_1 คือ Transconductance Coefficient

จากสมการมาตราฐานของทรานซิสเตอร์

$$V_{BE} = V_T Ln(I_c / I_s)$$

เมื่อ I_s คือ Saturation Current จะได้

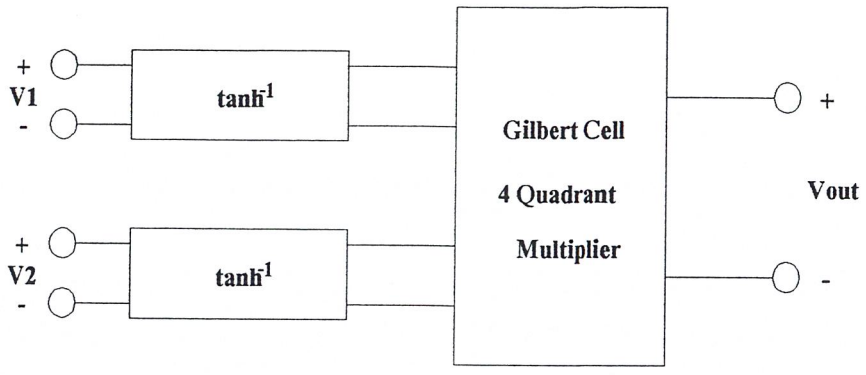
$$\Delta v = v_T Ln\left(\frac{I_{01} + k_1 v_1}{I_s}\right) - v_T Ln\left(\frac{I_{01} - k_1 v_1}{I_s}\right)$$

$$= v_T Ln\left(\frac{I_{01} + k_1 v_1}{I_{01} - k_1 v_1}\right)$$

จาก $$tanh^{-1} x = \frac{1}{2} Ln\left(\frac{1+x}{1-x}\right)$$

ดังนั้น $$\Delta v = 2 v_T tanh^{-1}\left(\frac{k_1 v_1}{I_{01}}\right)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.98 การชดเชยการทำงานของวงจรคูณด้วยวงจร $\tanh^{-1}$

จะได้ $$\Delta I = I_{EE}\left[\frac{k_1 v_1}{I_{01}}\right]\cdot\left[\frac{k_2 v_2}{I_{02}}\right]$$

<u>ข้อจำกัด</u> เนื่องจากวงจร tanh-1 มีค่าไม่เกิน 1 และไม่น้อยกว่า –1 ดังนั้นจึงมีข้อจำกัดในการใช้ คือ

$$\frac{-I_{01}}{k_1} < v_1 < \frac{I_{01}}{k_1}$$

$$\frac{-I_{02}}{k_2} < v_2 < \frac{I_{02}}{k_2}$$

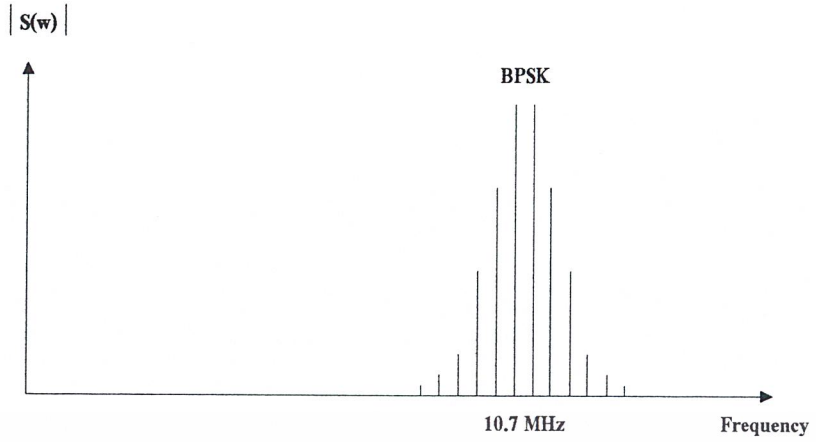
ดังนั้นเอาต์พุตที่ได้จากวงจรคูณสัญญาณจะอยู่ในรูปของ

$$v_{out} = cos\left(2\pi\cdot 10.7\,MH_Z + \pi(1-f(t))\right)[BPSK]\times cos\left(2\pi\cdot 10.7\,MH_Z\right)[carrier]$$

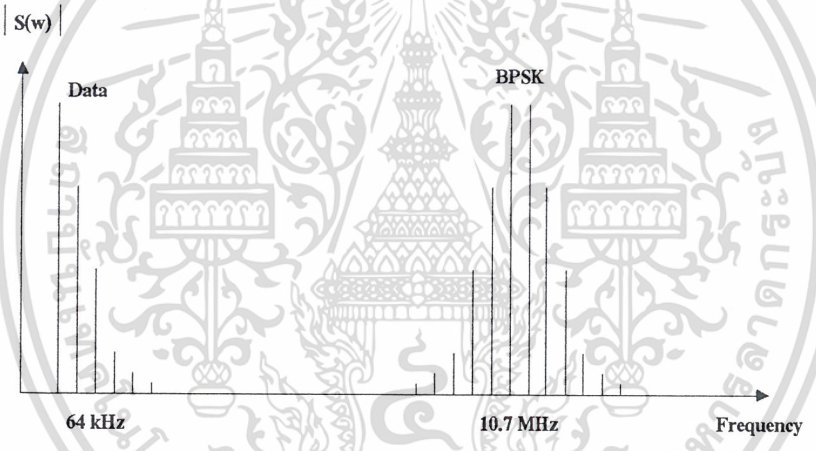
$$= \frac{1}{2}cos\left(\pi(1-f(t))\right) + \frac{1}{2}cos\left(2\pi\cdot 21.4\,MH_z + \pi(1-f(t))\right)$$

ประกอบด้วยองค์ประกอบทางความถี่ 21.4 MH_Z รวมกับข้อมูลที่ต้องการอยู่ ดังนั้นจึงต้องแยกเอา 2 ส่วน ออกจากกันด้วยวงจรในหัวข้อต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.99 แสดงสเปกตรัมของ BPSK



รูปที่ 2.100 แสดงสเปกตรัมเอาต์พุตของวงจรคูณสัญญาณ

2 . วงจรกรองแถบความถี่ต่ำผ่าน (Low Pass Filter)

จากเอาต์พุตของวงจรคูณจะอยู่ในรูปของ

$$v_{out} = \frac{1}{2}cos(\pi(1+f(t))) + \frac{1}{2}cos(2\pi \cdot 21.4MH_z + \pi(1-f(t)))$$

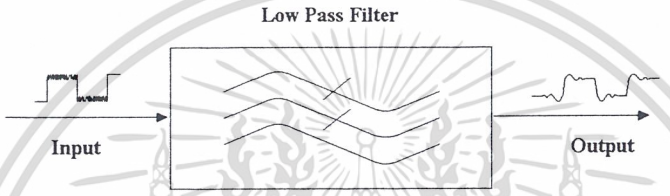
ดังนั้น จึงจำเป็นที่จะต้องกรองเอาเฉพาะพจน์แรกออกมาด้วยวงจรกรองความถี่ต่ำ แต่เนื่องจากสัญญาณ $f(t)$ มีลักษณะเป็นสัญญาณสี่เหลี่ยม ดังนั้น การใช้วงจรกรองความถี่ยิ่งมีแบนด์วิทด์กว้างยิ่งได้องค์ประกอบของสัญญาณครบ แต่ก็กว้างมากไม่ได้มาก เนื่องจากอาจกอบเอาองค์ประกอบที่ความถี่สูงเข้ามาด้วย ปกติจะทำการออกแบบวงจรกรองความถี่ให้มีแบนด์วิทด์อย่างน้อย 5 เท่าของความถี่สูงสุดของข้อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

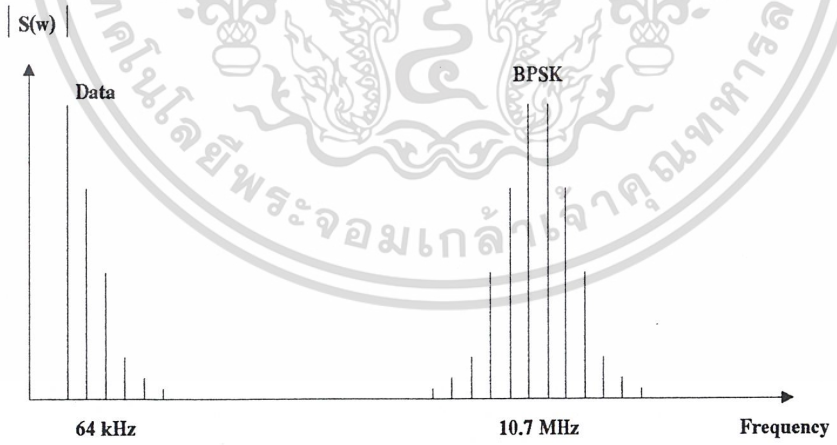
มูล ซึ่งจะได้กำลังงาน 98% ของกำลังงานรวมของสัญญาณสี่เหลี่ยม ดังนั้นเอาต์พุตของวงจรกรองความถี่ต่ำคือ

$$v_{out} = \frac{1}{2}cos[\pi(1 - f(t))]$$

การออกแบบวงจรกรองความถี่ต่ำผ่านนั้นจะอาศัยทฤษฎีจากหัวข้อที่ 2.8 หรือ 2.9 ขึ้นอยู่กับความถี่สูงสุดของข้อมูล หากความถี่ของข้อมูลสูงมากไม่สามารถออกแบบโดยใช้วงจรกรองความถี่แบบ Active ได้ เนื่องจาก GBW ของ OP-Amp ไม่เพียงพอในการทำงาน ทำให้ Gain Sensitivity มีค่ามากขึ้น เป็นผลทำให้เกิด error ของวงจรกรองเกิดขึ้นมาก

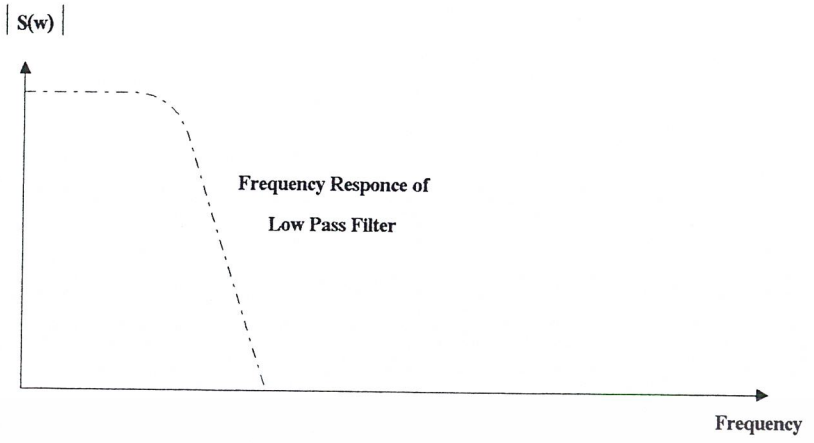


รูปที่ 2.101 แสดงสัญญาณที่ผ่านวงจรกรองแถบความถี่ต่ำ

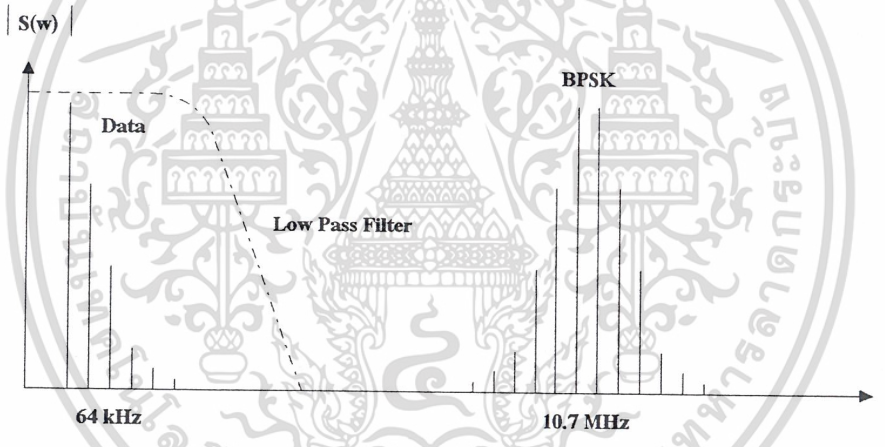


รูปที่ 2.102 อินพุตของวงจรกรองความถี่ต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.103 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำ

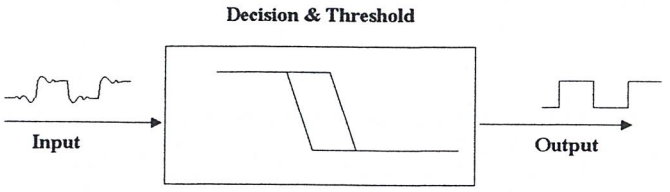


รูปที่ 2.104 แสดงเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน

3 . วงจรตัดสินสัญญาณ (Dicision & Threshold circuit)

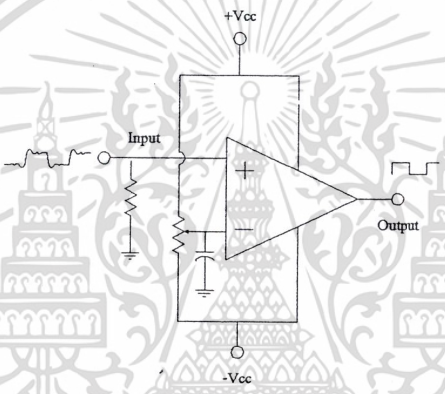
ใช้ในการแปลงรูป สัญญาณที่ได้จากวงจรกรองความถี่ต่ำให้มีลักษณะเป็นสัญญาณสี่เหลี่ยมโดยการเลือกตัดสัญญาณตามความเหมาะสม และสัญญาณที่ตัดสินแล้วจะมีลักษณะเป็นข้อมูลที่ผ่านการเข้ารหัสแมนเชสเตอร์มาแล้ว (เหมือนทางด้านส่ง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



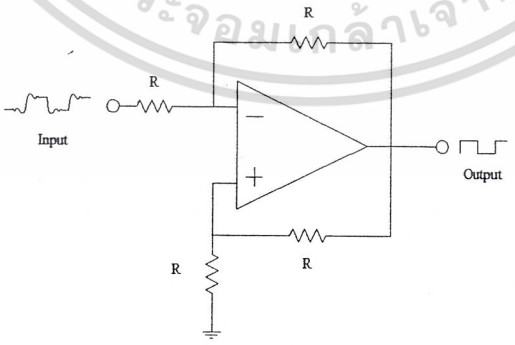
รูปที่ 2.105 แสดงสัญญาณที่ผ่านวงจรตัดสินสัญญาณ

วงจรที่ใช้อาจใช้วงจร Voltage Comparator ตามรูปที่ 2.106



รูปที่ 2.106 แสดงรูปวงจร Voltage Comparator

หรืออาจใช้วงจร Schmittrigger Comparator



รูปที่ 2.107 แสดงรูปวงจร Schmittrigger Comparator

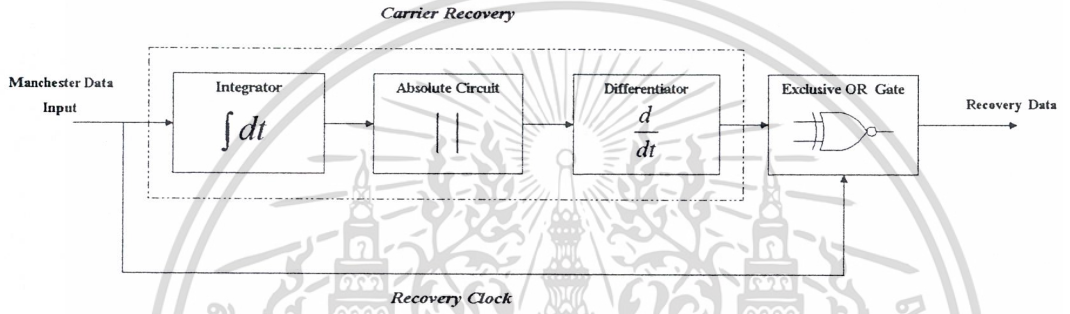
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.17 การถอดรหัสข้อมูลแบบแมนเชสเตอร์ (Manchester Decoder)

การถอดรหัสข้อมูลแบบแมนเชสเตอร์วิธีที่ 1 แสดงตามรูปที่ 2.108 อาศัยการทำงานของ 4 ส่วน การทำงานคือ

1) วงจร Integrator
2) วงจร Absolute
3) วงจร Differential
4) วงจร Exclusive OR Gate

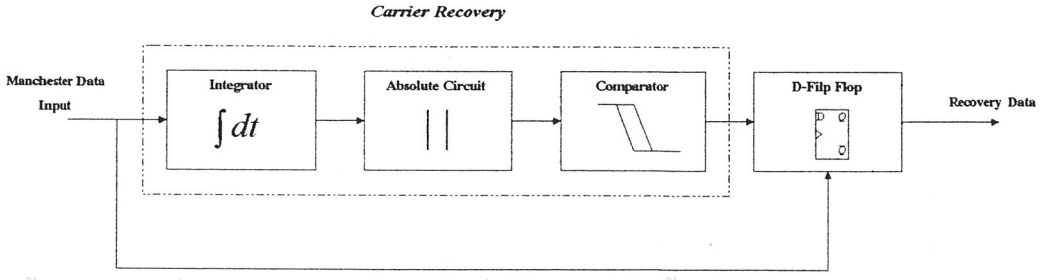
ตามรูปที่ 2.110 แสดง Timming Diagram ของการถอดรหัสสัญญาณ manchester แบบนี้



รูปที่ 2.108 บล็อคไดอะแกรมของการถอดรหัสแมนเชสเตอร์

ปัญหาที่เกิดขึ้นคือ การเกิดการเหลื่อมล้ำของสัญญาณนาฬิกาอ้างอิง(clock)ที่กู้กลับมาได้ จะทำให้เกิด Jitter ระหว่างข้อมูลที่เข้ามากับสัญญาณนาฬิกาอ้างอิงที่กู้กลับมา ดังนั้นจึงเลี่ยงการกู้สัญญาณกลับโดยใช้ Exclusive OR โดยการกลับมาใช้อีกรูปแบบหนึ่ง การถอดรหัสข้อมูลแบบนี้แสดงตามรูปที่ 2.109 ประกอบด้วย

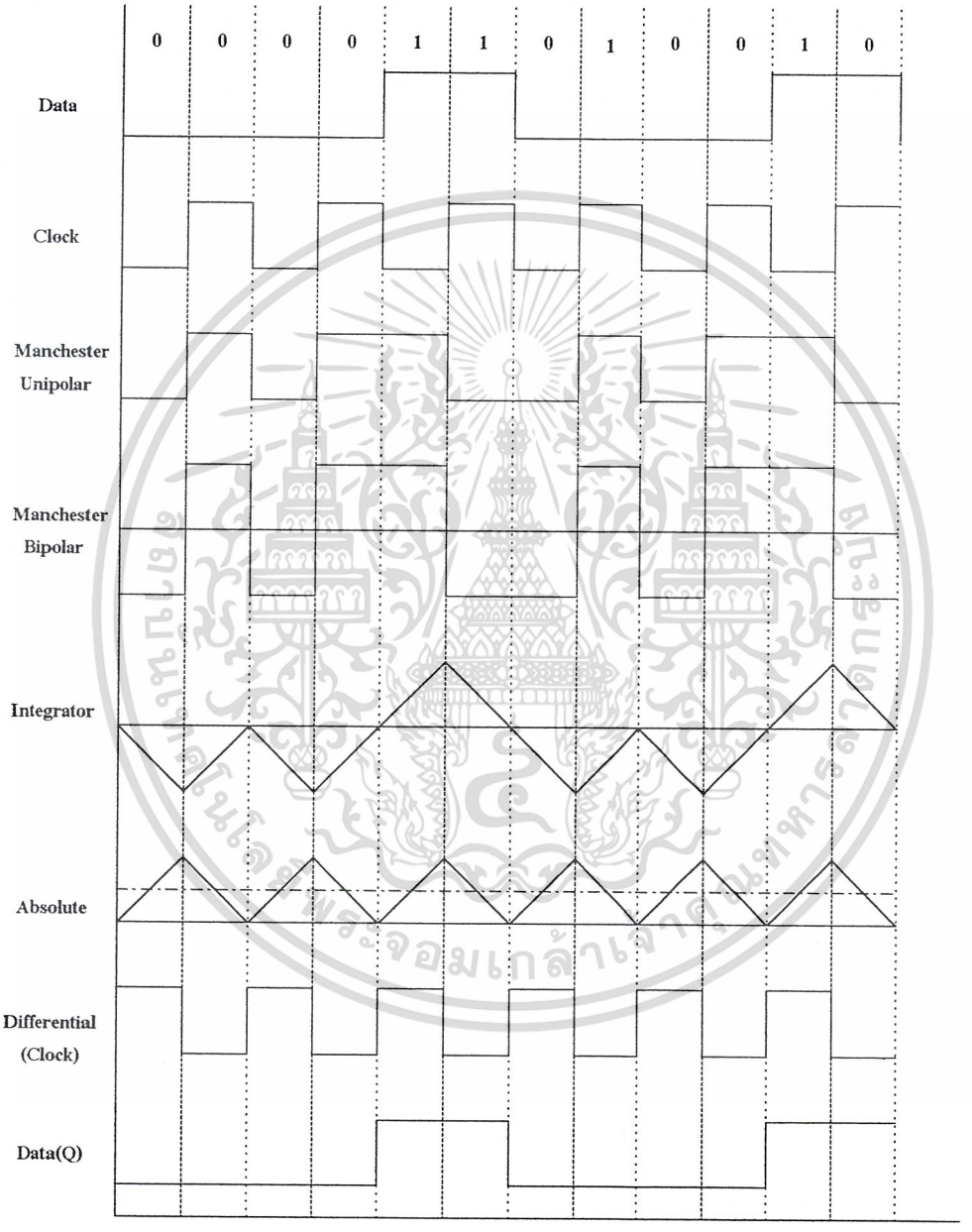
1) วงจร Integrator
2) วงจร Absolute
3) วงจร Voltage Comparator
4) วงจร D – Flip Flop



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

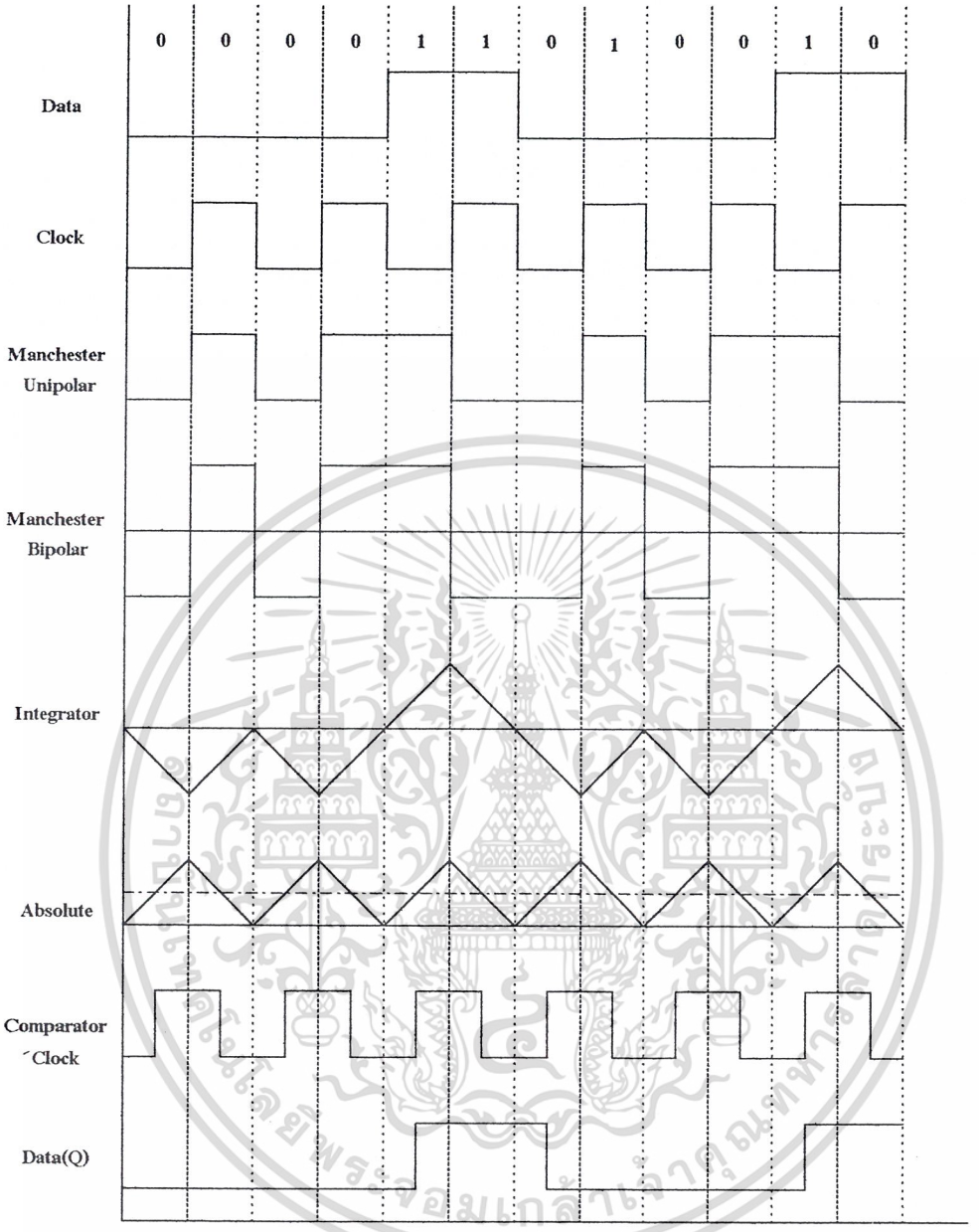
รูปที่ 2.109 Block Diagram

Timming Diagram ของการถอดรหัสแบบนี้แสดงตามรูปที่ 2.111 ซึ่งการถอดรหัสแบบนี้จะดีกว่าแบบแรกเพราะสามารถแก้ปัญหา Jitter ได้เพราะ Delay สัญญาณ Clock ออกไปแล้วเท่ากับ 0.25 ของคาบเวลาของสัญญาณนาฬิกาอ้างอิง



รูปที่ 2.110 แสดง Timming Diagram ของการถอดรหัสสัญญาณแมนเชสเตอร์แบบที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.111 แสดง Timming Diagram ของการถอดรหัสสัญญาณแมนเชสเตอร์แบบที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การคำนวณและการสร้าง

ในบทที่ 3 นี้ จะเป็นการกล่าวถึงการออก แบบวงจร โดยทำการยึดหลักจากบล็อคไดอะแกรมที่กล่าวถึงมาแล้วในบทที่ 1 (บทนำ) และวงจรในบางส่วน การทดลองอาจมีการเพิ่มเติมเข้าไปบ้างเพื่อชดเชยส่วนที่ขาดหายไปหรือตัดออกในสิ่งที่เกินเข้ามา ทั้งนี้มีจุดประสงค์หลักเพื่อให้วงจรสามารถใช้งานได้จริงหรือมีคุณสมบัติที่เหมาะสมและดีขึ้นกว่าเดิม เพื่อให้เกิดความสะดวกและเข้าใจง่าย จะแบ่งการออกแบบออกเป็น 2 ส่วนใหญ่ ๆ คือ

1) การออกแบบวงจรภาคส่ง

2) การออกแบบวงจรภาครับ

ในการออกแบบวงจรนี้ จะอาศัยจากทฤษฎีที่กล่าวถึงมาแล้วจากในบทที่ 2 ดังนั้นการออกแบบจะมีการอ้างถึงเนื้อหาหรือสมการบางสมการในบทที่ 2 โดยยกเอามาใช้เลย เพราะได้มีการอธิบายถึงเนื้อหาเอาไว้แล้วบ้างบางส่วน การออกแบบวงจรจะเริ่มจาก

การออกแบบวงจรภาคส่ง
Transmitter Circuit Design

3.1 วงจรสร้างสัญญาณพัลส์แบบสุ่ม (Pseudo Random Pulse Generator)

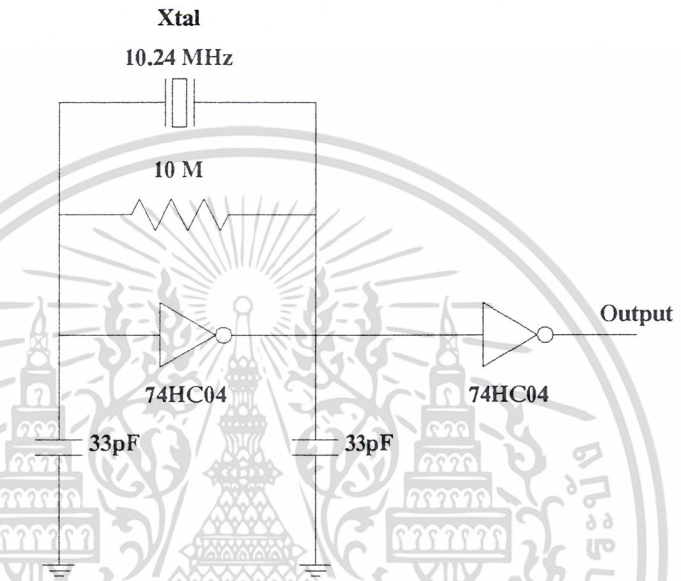
ก่อนที่จะทำการออกแบบวงจรในส่วนอื่น ๆ นั้น ต้องเริ่มจากการจำลองชุดข้อมูลที่จะใช้ในการส่งขึ้นมาก่อน โดยในส่วนนี้จะใช้วงจรที่ทำการสร้างสัญญาณพัลส์อนุกรม เพื่อนำไปใช้ในการเข้ารหัสสัญญาณ และมอดูเลทแบบดิจิตอลต่อไป วงจรในส่วนนี้จะประกอบด้วยวงจรย่อย ๆ ซึ่งสามารถออกแบบได้ดังนี้ คือ

3.1.1 วงจรคริสตอลออสซิลเลเตอร์ 10.24 MHz (Crystal Oscillator 10.24 MHz)

วงจรคริสตอลออสซิลเลเตอร์ใช้ในการกำเนิดสัญญาณอ้างอิงเริ่มต้นให้กับวงจรในส่วนถัดไป (วงจรหารความถี่) ในการเลือกวงจรออสซิลเลเตอร์นั้นมีอยู่มากมาย แต่ในการสร้างนี้เลือกคริสตอลออสซิลเลเตอร์ เนื่องจากมีเสถียรภาพทางความถี่สูง ซึ่งปกติค่า Q ที่ได้จากออสซิลเลเตอร์ประเภทนี้จะมีค่าตั้งแต่ 10,000 ขึ้นไป มีความมั่นคงทางความถี่มาก คือ มีการเบี่ยงเบน (Variation) หรือเปลี่ยนแปลงทางความถี่น้อย ประมาณ 1 - 10 ส่วนในล้านส่วน (1 - 10 ppm) ในส่วนของการออกแบบวงจรเริ่มต้นจากการเลือกอินเวอร์เตอร์ที่จะใช้ , ซึ่งในที่นี้เลือก High Speed CMOS 74HCO4 เนื่องจากมีคุณสมบัติที่ดีหลายด้าน เช่น กินกระแสน้อย , ทำงานที่ความถี่สูงได้ดี , มีอินพุทอิมพิแคนซ์ค่อนข้างมาก ในส่วนของความต้านที่ป้อนกลับนี้ มีหน้าที่ในการไบอัสวงจรอินเวอร์เตอร์ที่ทำงานในโหมดดิจิตอล ให้สามารถทำงานในโหมดอนาล็อกได้ ซึ่งปกติจะมีค่ามาก ๆ (ในหน่วย MΩ) ตามการทดลองเลือกค่าเท่ากับ 10 MΩ โดยเมื่อต่อความต้านทานเข้าไปแล้ว ขาอินพุทและเอาท์พุทของอินเวอร์เตอร์จะมีค่าโวลเตจประมาณครึ่งหนึ่งของไฟเลี้ยงวงจร (ประมาณ 2.5 Volts) ค่าตัวเก็บประจุที่ต่ออยู่ใช้ในการรักษาเสถียร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพและทำการชิพเฟส เพื่อให้เกิดการออสซิลเลต ซึ่งตามที่เราทราบแล้วว่า XTAL ในวงจรนี้จะประพฤติตัวเสมือนตัวเหนี่ยวนำตัวหนึ่ง ดังนั้นจึงเกิดการออสซิลเลตขึ้น โดยค่าตัวเก็บประจุที่ใช้จะอยู่ในช่วงต่ำ ๆ คือประมาณ 20 - 100 pF แต่การทดลองใช้ค่ากลาง ๆ คือ 33 pF อินเวอร์เตอร์อีกตัวทำหน้าที่เป็นบัฟเฟอร์ เพื่อกันในกรณีที่มีการโหลดกระแสมาก วงจรอาจไม่ออสซิลเลตได้ สรุปวงจรรวมของคริสตอลออสซิลเลเตอร์แสดงในรูปที่ 3.1



รูปที่ 3.1 วงจรคริสตอลออสซิลเลเตอร์ 10.24 MHz

3.1.2 วงจรหารความถี่ (Digital Frequency Divider)

วงจรหารความถี่จะทำหน้าที่หารความถี่จาก 10.24 MHz เป็น 64 kHz เท่ากับอัตราส่งที่ต้องการ คือ 64 บิทต่อวินาที ดังนั้นจะต้องหารความถี่ 10.24 MHz ด้วย 160 โดยแยกเป็น 2 ส่วน คือ วงจรหาร 10 และ วงจรหาร 16 ที่ต้องเอาวงจรหาร 16 ไว้ท้ายเนื่องจากวงจรหาร 16 จะเป็น Toggle ซึ่งสามารถให้เอาท์พุทที่มีค่า Duty Cycle เท่ากับ 50 % ได้ เริ่มต้นจาก

■ วงจรหารความถี่ 10 เท่า (÷ 10 Digital Frequency Divider)

เลือกใช้ไอซี TTL 74LS90 เนื่องจากใช้งานง่ายไม่ต้องมีการต่อที่ยุ่งย (รายละเอียดเพิ่มเติมศึกษาได้จากคู่มือการใช้ IC TTL 74LS90 ในภาคผนวก) โดยสัญญาณอินพุทรับมาจากคริสตอลออสซิลเลเตอร์มีความถี่ 10.24 MHz เอาท์พุทของ 74LS90 จะมีความถี่ 1.024 MHz

■ วงจรหารความถี่ 16 เท่า (÷ 16 Digital Frequency Divider)

เลือกใช้ไอซี CMOS เบอร์ 4020 เนื่องจากสามารถใช้งานได้ดีที่ความถี่ไม่สูงมาก กินพลังงานน้อย โดยอินพุทรับมาจากวงจรหาร 10 (74LS90) ซึ่งมีความถี่เท่ากับ 1.024 MHz จะได้เอาท์พุทของวงจร (4020) ที่ความถี่ 64 kHz และมี Duty cycle 50 % เอาท์พุทของวงจรส่วนหนึ่งจะถูกใช้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ แสวงหาผลประโยชน์ทางการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

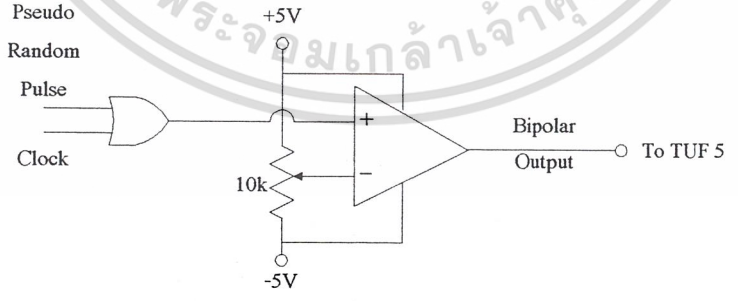
สัญญาณอ้างอิงในการจำลองข้อมูลของวงจรสร้างสัญญาณพัลส์แบบสุ่ม อีกส่วนหนึ่งจะถูกส่งต่อให้กับวงจรเข้ารหัสสัญญาณแบบ Manchester

3.1.3 วงจรสร้างสัญญาณพัลส์แบบสุ่ม (Pseudo Random Pulse Circuit)

เมื่อทำการสร้างสัญญาณอ้างอิงที่ความถี่ 64 kHz(เท่ากับอัตราสุ่ม 64 kbps) ได้แล้วสัญญาณเอาท์พุทของวงจรหาร 16 (CMOS 4020) จะถูกส่งต่อให้กับวงจรสร้างสัญญาณพัลส์แบบสุ่มต่อไป วงจรสร้างสัญญาณพัลส์แบบสุ่มนี้ เลือกใช้แบบ 4 สเตจ สามารถสร้างข้อมูลอนุกรมได้ 16 บิท โดยจะแตกต่างกันขึ้นอยู่กับการเลือกตำแหน่งการป้อนกลับของวงจร สัญญาณอ้างอิงจะถูกป้อนให้วงจร เอาท์พุทที่ได้จะถูกส่งต่อให้วงจรเข้ารหัสสัญญาณแบบแมนเชสเตอร์

3.2 วงจรเข้ารหัสสัญญาณแบบแมนเชสเตอร์ (Manchester Encoder)

วงจรเข้ารหัสสัญญาณแบบแมนเชสเตอร์ ใช้ Exclusive OR Gate ของ CMOS 4070 โดยอินพุทที่ 1 เป็นข้อมูลจำลองที่ได้จาก Pseudo Random Pulse Generator อินพุทที่ 2 เป็นสัญญาณอ้างอิง (clock) ที่ได้จากวงจรหารความถี่ 16 เท่า (CMOS 4020) ซึ่งถูกแบ่งเอาไว้แล้วส่วนหนึ่งสำหรับการเข้ารหัส เอาท์พุทที่ได้จะเป็นข้อมูลจำลองที่มีการเข้ารหัสเป็นสัญญาณสี่เหลี่ยม (Square Wave) สูงเท่าไฟเลี้ยงวงจรกับกราวน์ แต่สัญญาณที่จะถูกนำไปมอดูเลทกับริงมอดูเลเตอร์นั้น ต้องเป็นสัญญาณที่มีระดับโวลเตจที่ ไฟเลี้ยง +5 และ -5 แต่ที่ได้จาก exclusive or gate มี +5 กับ 0 จึงต้องใช้วงจร Voltage Comparator เปลี่ยนระดับสัญญาณเสียก่อน โดยตั้งโวลต์เปรียบเทียบที่ครึ่งหนึ่งของความสูงของเอาท์พุทของ gate คือประมาณ 2.5 Volts โดยการปรับค่า VR ในวงจร เอาท์พุทของ Voltage Comparator ใส่ VR ไว้หนึ่งตัว เพื่อปรับขนาดให้เหมาะสมกับการเข้าไปมอดูเลตแบบ BPSK ทั้งนี้เพราะถ้าขนาดต่ำไปจะไม่สามารถมอดูเลตได้ (Diode ไม่ นำกระแส) แต่ถ้าสูงไปอาจเสียได้ (Diode ขาดได้เพราะกระแสมากเกินไป) รูปวงจรรวมแสดงในรูปที่ 3.2



รูปที่ 3.2 วงจรเข้ารหัสสัญญาณแบบแมนเชสเตอร์ด้วย exclusive or gate 4070 และวงจรปรับระดับสัญญาณด้วย voltage comparator

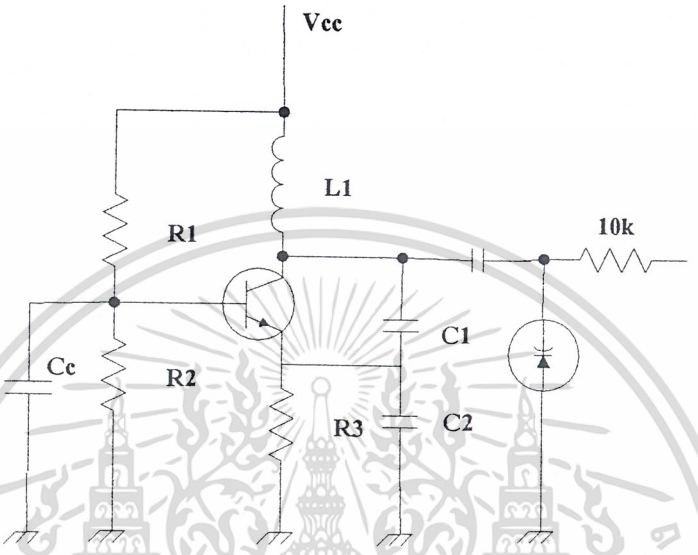
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 การออกแบบวงจรสังเคราะห์ความถี่ด้วยเฟสล็อคลูป 10.7 MHz เมื่อใช้เป็นโลคอลออสซิลเลเตอร์

แยกการออกแบบออกเป็น

3.3.1 การออกแบบวงจร VCO ใน PLL 10.7 MHz

เลือกใช้วงจร Collpitt Oscillator ตามรูปที่ 3.3



รูปที่ 3.3 วงจร Collpit Oscillator

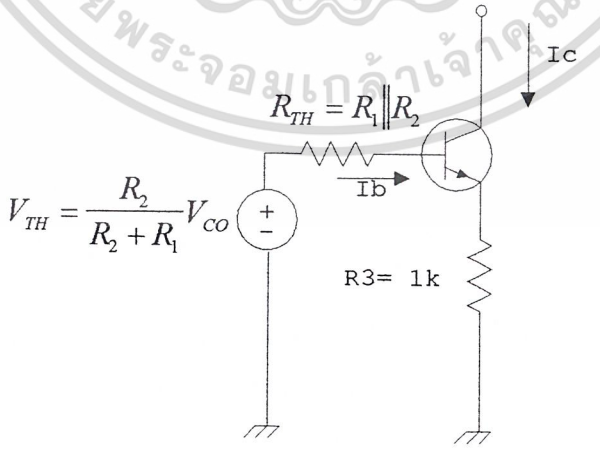
ทำการ Bias วงจรโดยให้

R1 = 15 kΩ

R2 = 15 kΩ

R 3 (มากกว่า XC2 มาก ๆ ที่ความถี่ 10.7 MHz) = 1 kΩ

ดังนั้นจะได้ i_b เท่ากับ



$$i_b = \frac{V_{TH} - 0.7}{\left(R_1 \| R_2\right) + \beta R_3}$$

เมื่อ

$$V_{TH} = 12\frac{5k}{(5k + 15k)} = 3Volt$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น $i_b = \dfrac{3-0.7}{(5k+15k)+(300)(1k\Omega)}$ β = 300 (จาก Datasheet และจากการวัด)

$i_b = 7.572\mu A$

ดังนั้น $i_c = \beta i_b$

$= 300 \times 7.572\mu A$

= 2.27 mA_{dc}

จาก $g_m = \dfrac{I_C}{V_T}$

$= \dfrac{2.27mAdc}{25mV_{25^\circ C}}$

= 0.0908

เพราะฉะนั้น

จาก $R_{in} = \dfrac{-g_m}{\omega^2 C_1 C_2} + \dfrac{1}{j\omega\left(C_1 C_2 \left\| (C_1 + C_2)\right.\right)}$

เลือก C_1 = 470 pF

C_2 = 200 pF

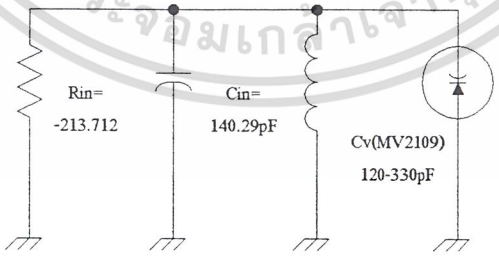
จะได้ Negative Resistance ขนาด $R_{in} = \dfrac{-0.908}{(2\pi \times 10.7MHz)^2(200pF \times 470pF)}$

= - 213.712 Ω

Series กับ Capacitor ขนาด $C_{in} = \dfrac{C_1 C_2}{C_1 + C_2}$

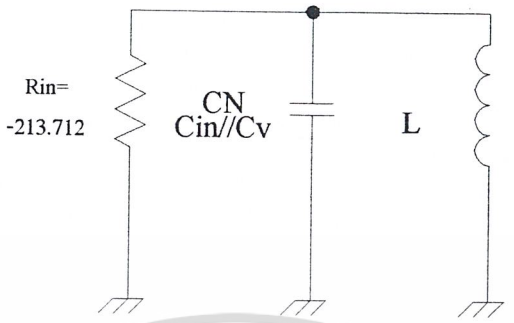
$= \dfrac{200pF \times 470pF}{200pF + 470pF}$

= 140.29 pF



เลือก Varicap เบอร์ MV 2309 มีค่า Capacitance ที่ 120 - 330 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เมื่อ ให้

$$C_N = C_{in} // C_V$$

$$C_{N\,min} = 140.29pF // 120pF = 260.29pF(0V)$$

$$C_{N\,max} = 140.29pF // 330pF = 470.29pF(20V)$$

เลือกค่า C_N กลาง ๆ ประมาณ 300 pF ดังนั้นต้องใช้ค่า L กำหนดค่าความถี่ มีค่าเท่ากับ

$$L = \frac{1}{(2\pi f)^2 C}$$

$$L = \frac{1}{4\pi^2 (10.7MHz)^2 (300pF)}$$

$$= 737.48 \text{ nH}$$

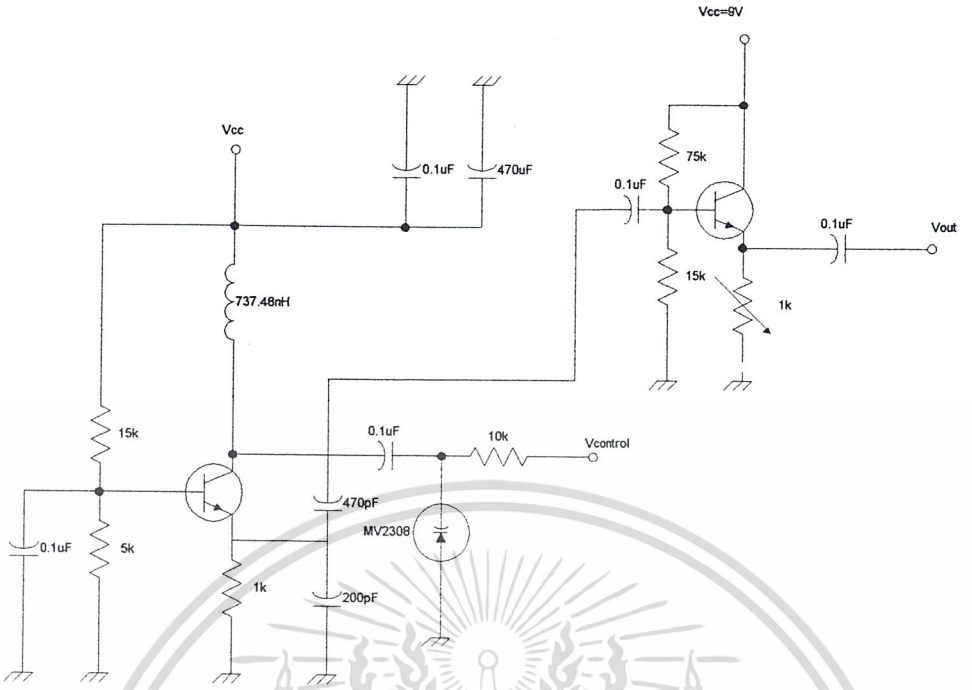
ดังนั้นช่วงความถี่ที่ VCO ผลิตได้ เท่ากับ

$$f_{\max} = \frac{1}{2\pi\sqrt{737.38nH \times 260.29pF}} = 11.488MHz$$

$$f_{\min} = \frac{1}{2\pi\sqrt{737.38nH \times 470.29pF}} = 8.546MHz$$

ข้อควรระวัง ค่าของความต้านทานภายในของ Varicap L และ C นั้นจะต้องมีความต้านทานภายในที่เมื่อรวมกันกันแล้วมีค่าน้อยกว่า Negative Resistance ที่เกิดขึ้นมิฉะนั้นจะไม่สามารถออสซิลเลตได้ สรุปวงจรรวมคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 วงจรรวม VCO ที่ความถี่ 10.7 MHz

3.3.2 การออกแบบวงจร Frequency Synthesizer 10.7 MHz

การออกแบบวงจรแบ่งออกเป็น

- Crystal Oscillator เลือกใช้ความถี่ 10.24 MHz , C_1 , C_2 = 33 pF
- เลือกค่า Channel Spacing ที่ 20 kHz
- ต้องหาร ความถี่คริสตอลด้วย 512 ดังนั้นตั้งค่า RA2 , RA1 และ RA0 ให้หาร 512 คือตั้งด้วย " 1 " " 0 " " 0 "
- ตั้งค่า N9 - N0 ด้วย = ความถี่ที่จะล็อค/ความถี่อ้างอิง

= 10.7 MHz/20kHz

= 535

= 1 0 0 0 0 1 0 1 1 1

3.3.3 การออกแบบวงจร Loop Filter

จากการออกแบบและผลการทดลองที่ได้ (4.3.1) หาค่าของ

$K_{VCO} = 1.89 Mrad/V$

$K_\phi = \frac{5}{2\pi} = 0.706$

$f_b = 0.01 f_s = 0.01 \times 20 \times 10^3 = 200 Hz$

$\omega_n = \frac{2\pi f_b}{\sqrt{2\xi_2 + 1 + \sqrt{\left(\left(2\xi^2 + 1\right)^2 + 1\right)}}} = \frac{2\pi \times 200}{\sqrt{2(0.8)^2 + 1 + \sqrt{\left(\left(2(0.8)^2 + 1\right)^2 + 1\right)}}}$

=575.383

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการอ้างอิงเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

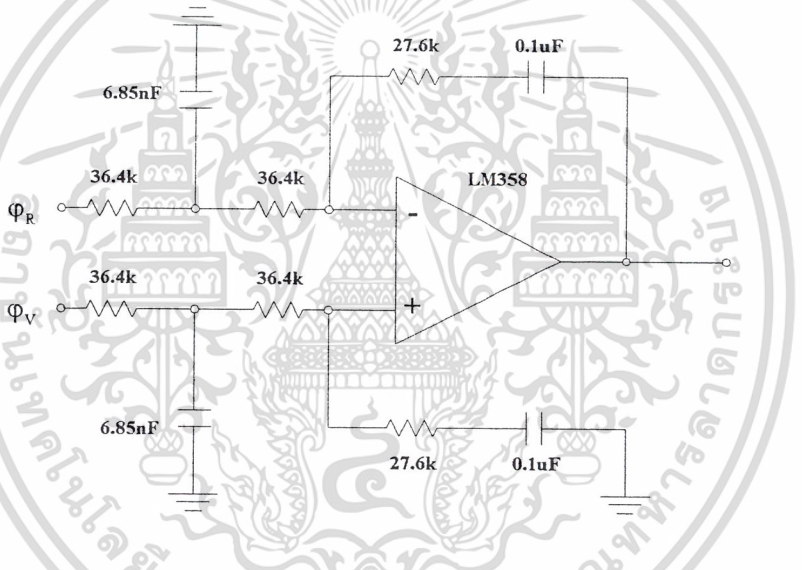
$$N_t = \frac{10.7MHz}{20kHz} = 535$$

$$R_1 = \frac{K_\phi K_{VCO}}{C_1 \omega_n^2 N_t} = 72.9k\Omega$$ ทำการแบ่งออกเป็น 2 ค่าเท่าๆกัน จะได้ตัวละ 36.4 kΩ

$$R_2 = \frac{2\xi}{\omega_n C_1} = 27.8k\Omega$$; $C_1 = 0.1uF$

$$C_c = \frac{1}{10 R_1 f_b} = 6.85nF$$

เพราะฉะนั้นจะได้วงจรตามรูป

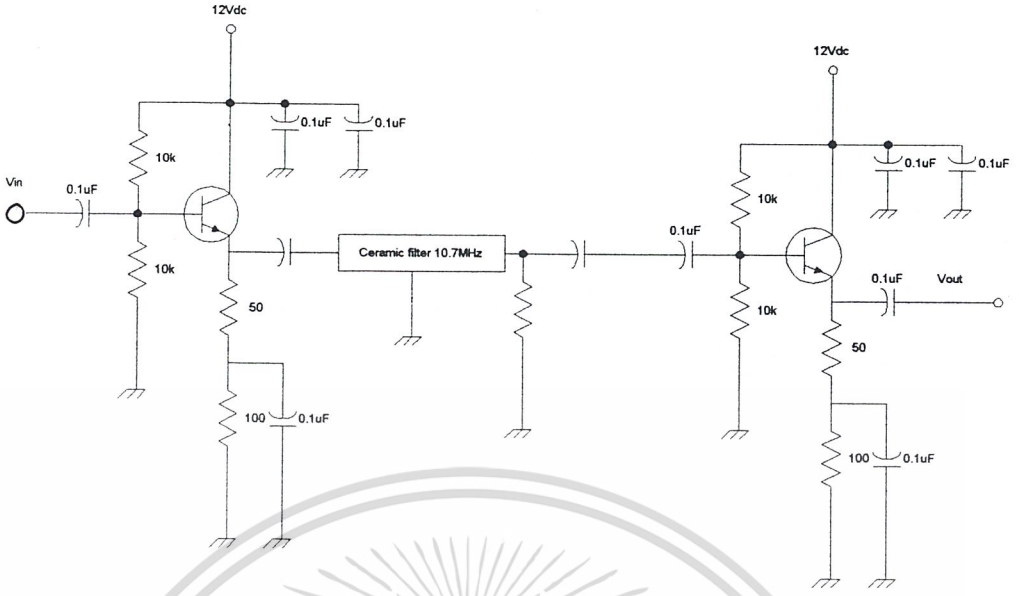


รูปที่ 3.5 วงจร Loop Filter

3.3.4 การออกแบบวงจร Ceramic Filter ที่ 10.7 MHz

เพื่อไม่ให้สัญญาณที่ดึงออกจากเฟสล็อคลูปเกิดการเปลี่ยนแปลงจำเป็นที่จะต้องใส่วงจรบัฟเฟอร์ เพื่อกันการสะเทือนของวงจร ดังนั้นจะได้วงจรสมบูรณ์ของ Ceramic Filter ที่ 10.7 MHz ตามรูป

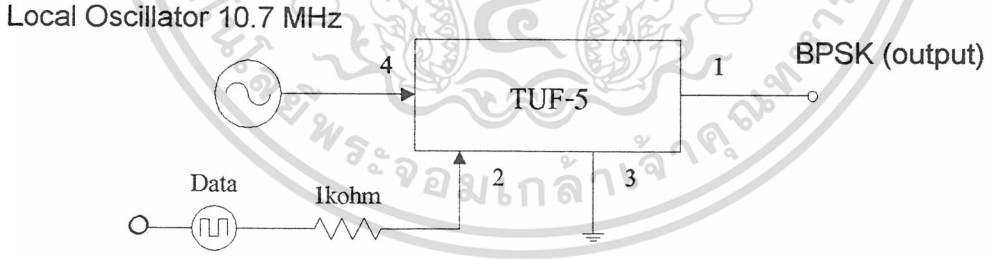
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 วงจรสมบูรณ์ของ Ceramic filter 10.7 MHz

3.4 การออกแบบวงจรบาลานซ์ริงมอดูเลเตอร์ (Balance Ring Modulator)

ริงมอดูเลเตอร์ที่จะออกแบบจะทำหน้าที่มอดูเลทสัญญาณความถี่ IF 10.7 MHz กับข้อมูลที่ผ่านการเข้ารหัสแบบแมนเชสเตอร์มาแล้ว ทำให้ได้ข้อมูลที่มีอัตราส่งที่ 64 kbps (128 k bauds/วินาที) เอาท์พุทที่ได้จากวงจรริงมอดูเลเตอร์จะมีลักษณะเป็นสัญญาณ BPSK ซึ่งริงมอดูเลเตอร์ที่ใช้ใช้ MINI CIRCUIT เบอร์ TUF 5 โดยทำการต่อวงจรตามรูปที่ 3.7



รูปที่ 3.7 วงจรบาลานซ์ริงมอดูเลเตอร์

สัญญาณจากโลคอลออสซิลเลเตอร์ 10.7 MHz (IF) จะถูกส่งผ่านเข้าทางขาที่ 4 ของวงจร และข้อมูลที่ต้องการมอดูเลทจะต่อผ่าน R 1 k เพื่อจำกัดกระแสกัดมิให้ไดโอดภายในเสียหาย สัญญาณ IF ที่ขา 4 ต้องมีขนาดน้อยกว่า 0 dB , ขา 3 ต่อกราวน์ และเอาท์พุทที่ได้จะออกที่ขา 1 ของวงจร สัญญาณ IF และ BPSK จะต้องผ่านต่อเก็บประจุ C เพื่อทำหน้าที่คัปปลิ้งสัญญาณ , Conversion Loss ที่เกิดขึ้นมีค่าประมาณ 10 dB (ตาม Data Sheet TUF 5 ในภาคผนวก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 การออกแบบวงจรสังเคราะห์ความถี่ด้วยเฟสล็อคลูปความถี่ 150.7 MHz เพื่อใช้เป็น RF Oscillator

การออกแบบอาศัยหลักเดียวกับหัวข้อที่ 3.3.1 ดังนั้น

3.5.1 การออกแบบวงจร VCO ใน PLL 150.7 MHz

เลือกใช้วงจร Collpitts Oscillators โดยใช้ไบอัสเดียวกัน แต่เปลี่ยนค่า C1 และ C2 เป็น 10 pF และ 47 pF และเลือกค่า C ปรับค่าได้ตามโวลท์เตจ(Varicap) เบอร์ MV2109 มีค่าอยู่ในช่วง 6.8 - 100 pF ดังนั้นจะได้

$C_{in} = C_1$ series with C_2

$= 8.24$ pF

$C_N = C_{in}$ parallel with C_V

$C_{N\,max} = 8.24$ parallel with 100 pF $= 108.24$ pF

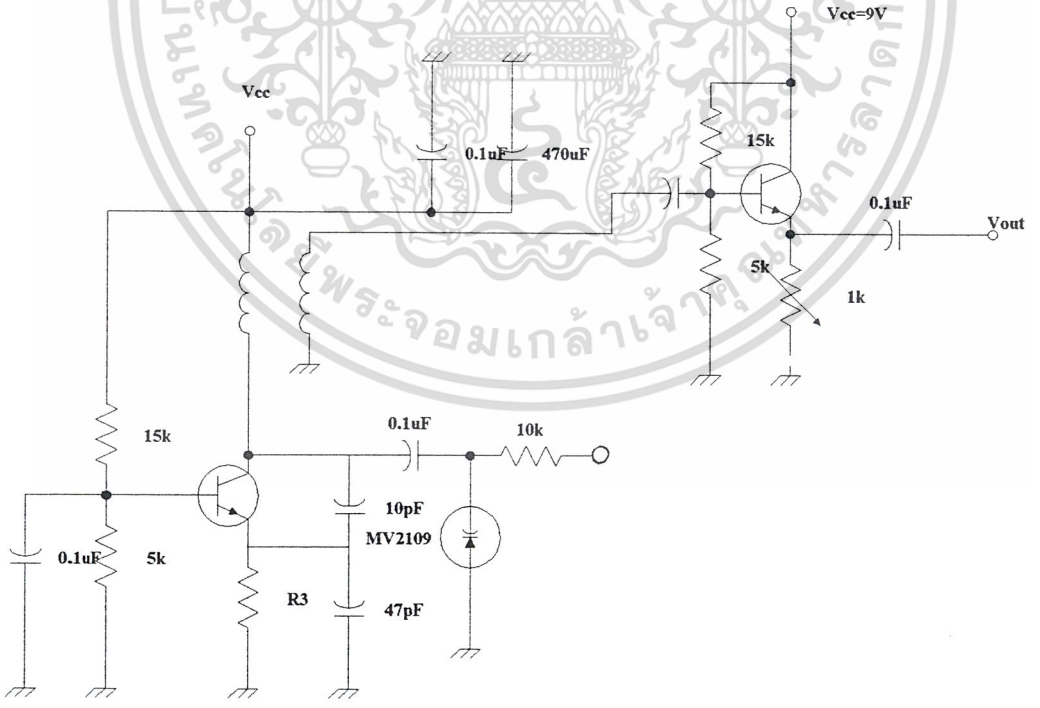
$C_{N\,min} = 8.24$ parallel with 6.8 pF $= 15.04$ pF

เลือกค่า C กลาง ๆ คือประมาณ 50 pF ดังนั้น

$$L = \frac{1}{4\pi^2 (150.7MHz)^2 50pF}$$

$= 22.30$ nH

ดังนั้นวงจรสมบูรณ์จะเป็น



รูปที่ 3.8 วงจร VCO ใน PLL 150.7 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5.2 การออกแบบวงจร Frequency Synthesizer 150.7 MHz

การออกแบบแบ่งเป็น

- Crystal Oscillator เลือกความถี่ที่ 10.24 MHz C1 , C2 = 33 pF
- เลือก Channel Spacing ที่ 10 kHz
- ต้องหาร Crystal ด้วย 1024 ดังนั้นต้องตั้งค่า RA2, RA1 และ RA0 ให้หาร 1024 คือการตั้งด้วย " 1 " " 0 " " 1 "
- ตั้งค่า N9 - N0 และ A5 - A0 จาก

ความถี่ที่จะล็อค = (N9 - N0) * 64 + (A5 - A0)

150.7 MHz /10kHz = (N9 - N0) * 64 + (A5 - A0)

15070 = (235) * 64 + 30

เพราะฉะนั้น (N9 - N0) = 235 = 011101011

(A5 - A0) = 30 = 011110

MC Duty Cycles = (235 – 30)/235 = 87.2 %

3.5.3 การออกแบบวงจร Loop Filter

จากผลการอกแบบและผลการทดลอง (4.5.1) ได้

$f_o = 150.7MHz$

$f_s = 10kHz$

$f_b = 0.01 f_s = 0.01(10kHz) = 100Hz$

$f_{rc} = 20 f_b = 20(100) = 2kHz$

$\xi = 0.8$

$V_{DD} = 5V$

$C_1 = 0.1\mu F$

$K_\phi = \frac{V_{DD}}{2\pi} = 0.796$

$K_{VCO} = 2\pi \frac{\Delta f_{VCO}}{\Delta V_{VCO}} = 10.1228 \times 10^6 rad/V$

$\omega_n = 287.69 rad/sec$

$N_t = \frac{f_o}{f_s} = 15070$

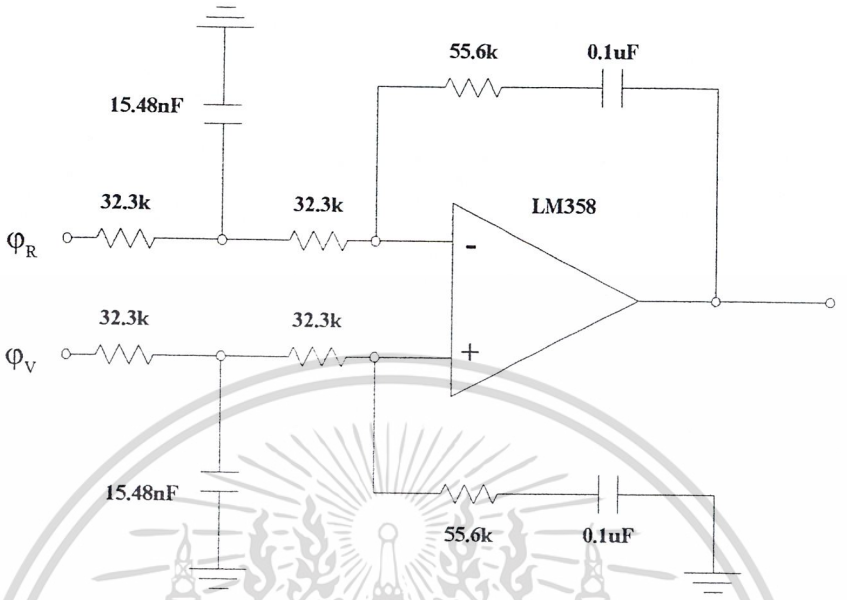
$R_1 = \frac{K_\phi K_{VCO}}{C_1 \omega_n^2 N_t} 64.602k\Omega$

$R_2 = \frac{2\xi}{\omega_n C_1} = 55.615k\Omega$

$C_C = \frac{2}{R_1 f_{rc}} = 15.48nF$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

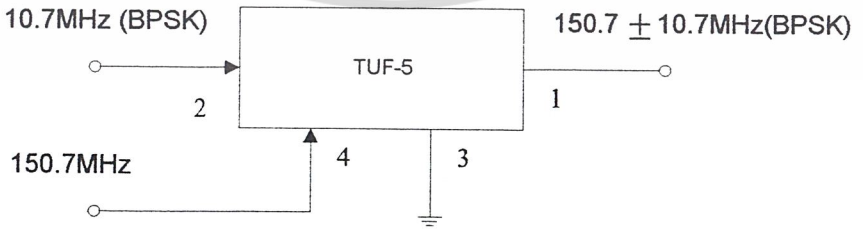
เพราะฉะนั้นจะได้วงจรตามรูปที่ 3.9



รูปที่ 3.9 วงจรลูปฟิลเตอร์ของวงจรสังเคราะห์ความถี่ที่ 150.7 MHz

3.6 การออกแบบวงจรมิกเซอร์

วงจรมิกเซอร์จะทำการออกแบบนี้ใช้ในการแปลงความถี่จากความถี่กลาง 10.7 MHz ให้เป็นความถี่อาร์เอฟ ที่ 140 MHzโดยใช้ MINI circuit เบอร์ TUF-5 โดยป้อนสัญญาณความถี่กลาง ที่ผ่านการมอดูเลตแบบ BPSK ทาแล้วเข้าทางขาที่ 2 และป้อนสัญญาณอาร์เอฟจากอาร์เอฟออสซิลเลเตอร์ 150.7 MHz เข้าทางขา 4 ,ขา 3 ของวงจรลงกราวด์เอาไว้ เอาท์พุตที่ได้จากวงจรมิกเซอร์อยู่ที่ขา 1 ของ TUF-5 ตามรูปที่ 3.10



รูปที่ 3.10 MINI circuit ของ TUF-5

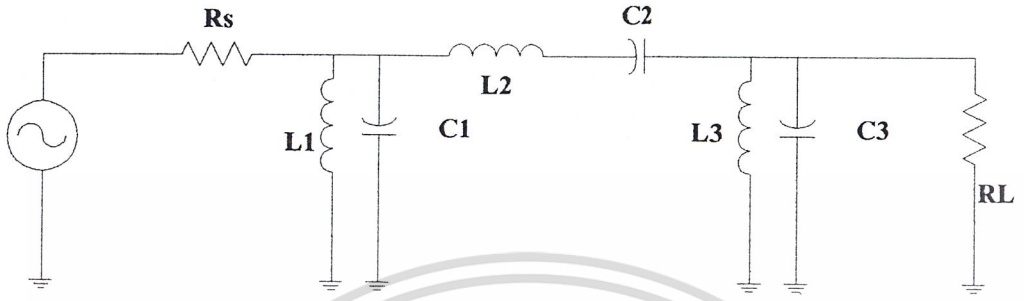
คุณสมบัติที่สำคัญหลักๆของ TUF-5 คือ

1. ความถี่ที่ใช้งานสามารถทำงานได้ตั้งแต่ 1-500 MHz
2. Conversion Loss ไม่เกิน 10 dB

เอกสารนี้มีไว้เพื่อการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7 การออกแบบวงจรกรองความถี่ผ่าน (Band Pass Filter ที่ 140 MHz)

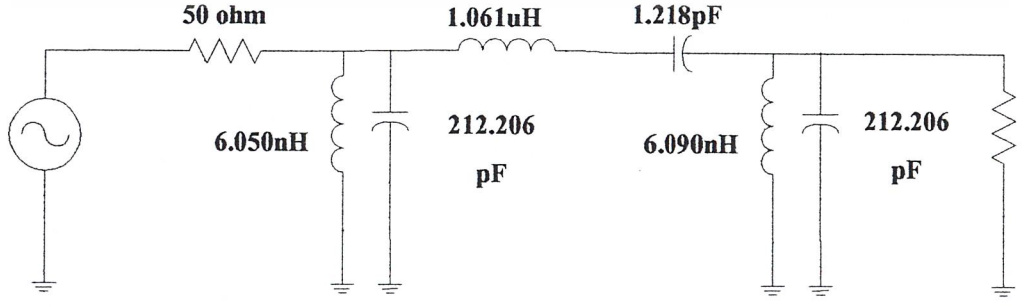
เลือกใช้วงจรกรองความถี่แบบ Passive แบบ Chevbyshev Ripple 1 dB โดยใช้วงจรกรองความถี่ต่ำเป็นโทโปโลยี (topology) ดังนั้นทำการแปลง Frequency Transformation จะได้



รูปที่ 3.11 วงจรกรองความถี่ผ่าน 140 MHz แบบ Chevbyshev Ripple 1 dB

Parameter	Bandwidth			
	10MHz	12MHz	15MHz	20MHz
C1	318.3 pF	265.25 pF	212.206 pF	159.154 pF
L1	4.060 nH	4.87 nH	6.090 nH	8.120 nH
C2	0.812 pF	0.974 pF	1.218 pF	1.624 pF
L2	1.591 uH	1.326 uH	1.061 uH	0.795 uH
C3	318.3 pF	265.25 pF	212.206 pF	159.154 pF
L3	4.060 nH	4.87 nH	6.090 nH	8.12 nH

ตัดสินเลือกสร้าง BPF 140 MHz ที่แบนด์วิดท์ 15 MHz เพราะฉะนั้น วงจรสมบูรณ์คือ



รูปที่ 3.12 วงจรกรองความถี่ผ่านที่ 140 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.8 วงจรขยายสัญญาณความถี่อาร์เอฟ

3.8.1 2N3866 Design for RF-Small signal amplifier

จาก Data Sheet ในภาคผนวก

$I_C(DC) = 50\ mA_{dc}$

$V_{CE} = 15\ V_{dc}$

$S_{11} = 0.563\angle 187.446^\circ$

$S_{12} = 0.05\angle 70^\circ$

$S_{21} = 6\angle 80^\circ$

$S_{22} = 0.418\angle -38^\circ$

$$D_S = S_{11}S_{22} - S_{12}S_{21}$$

$$= 0.064\angle -28.54^\circ \quad |\Delta| = 0.064$$

$$K = \frac{1+|\Delta|^2 - |S_{11}|^2 - |S_{22}|^2}{2|S_{12}||S_{21}|}$$

$$= 0.854$$

Input Stability Circles

$$D_S = 0.064\angle -28.54^\circ$$

$$C_1 = S_{11} - D_S S_{22}^*$$

$$= 0.589\angle 187.410^\circ$$

Output Stability Circles

$$C_2 = S_{22} - D_S S_{11}^*$$

$$= 0.453\angle -37.75^\circ$$

$$r_{S1} = \frac{C_1^*}{|S_{11}|^2 - |D_S|^2}$$

$$= 1.882\angle -187.410^\circ$$

$$\rho_{S1} = \left|\frac{S_{12}S_{21}}{|S_{11}|^2 - |D_S|^2}\right|$$

$$= 0.958$$

$$r_{S2} = \frac{C_2^*}{|S_{22}|^2 - |D_S|^2}$$

$$= 2.654\angle 37.75^\circ$$

$$\rho_{S2} = \left|\frac{S_{12}S_{21}}{|S_{22}|^2 - |D_S|^2}\right|$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$= 1.758$

maximum stable power gain

$$G_{msp} = \frac{|S_{21}|}{|S_{12}|} = \frac{6}{0.05} = 120(20.79dB)$$

$$D_2 = |S_{22}|^2 - |D_S|^2 = 0.17$$

ในที่นี้เราเลือกกำลังขยาย 20 dB (100เท่า)

$$G = \frac{Gain_desired}{|S_{21}|^2} = \frac{100}{6^2} = 2.78$$

$$r_O = \frac{GC_2^*}{1 + D_2 G} = \frac{2.78(0.453\angle 37.75^\circ)}{1 + 0.17(2.78)} = 0.855\angle 37.75^\circ$$

$$\rho_O = \frac{\sqrt{1 - 2K|S_{12}||S_{21}|G + |S_{12}S_{21}|^2 G^2}}{1 + D_2 G} = 0.353$$

เลือก $Z_L = 2+j1.4$

$$\Gamma_l = \frac{2 + j1.4 - 1}{2 + j1.4 + 1} = \frac{1 + j1.4}{3 + j1.4} = \frac{1.72\angle 54.46^\circ}{3.31\angle 25.01^\circ} = 0.52\angle 29.45^\circ$$

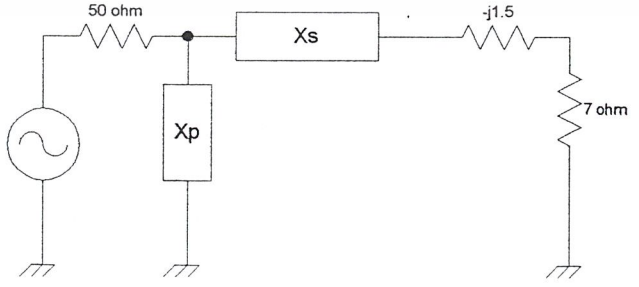
$$\Gamma_s = \left(\frac{S_{11} - \Delta\Gamma_l}{1 + S_{22}\Gamma_l}\right)^* = 0.757\angle -184.71^\circ$$

$$Z_{in} = 0.14 + j0.030$$

$$Z_{in} = 7 + j1.5$$

$$Z_{out} = 100 - j70$$

Input Matching



$$Q = 2.47$$

$$X_S = QR = 17.29$$

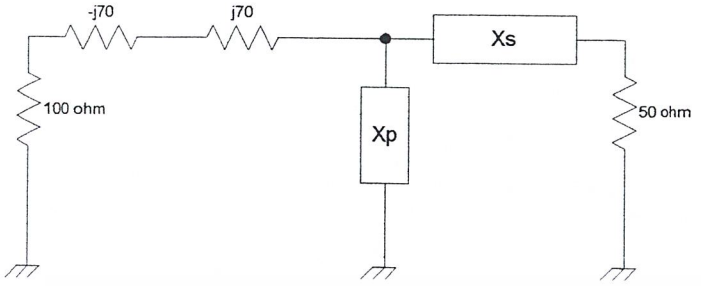
$$X_P = \frac{R}{Q} = 20.24$$

$$X_S = L = 21.36nH$$

$$X_P = C = 56.167pF$$

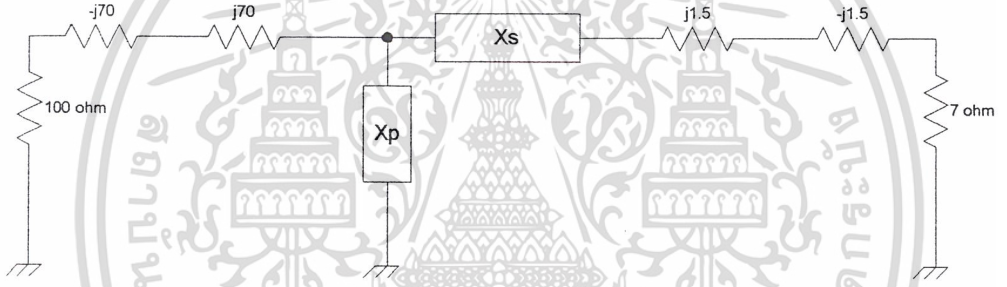
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Output Matching



$$Q = 1$$
$$X_S = 1 \times 50 = 50$$
$$X_P = \frac{100}{1} = 100$$
$$X_P = C = 11.368pF$$
$$X_S = L = 56.841nH$$
$$X_e = L = 79.57nH$$

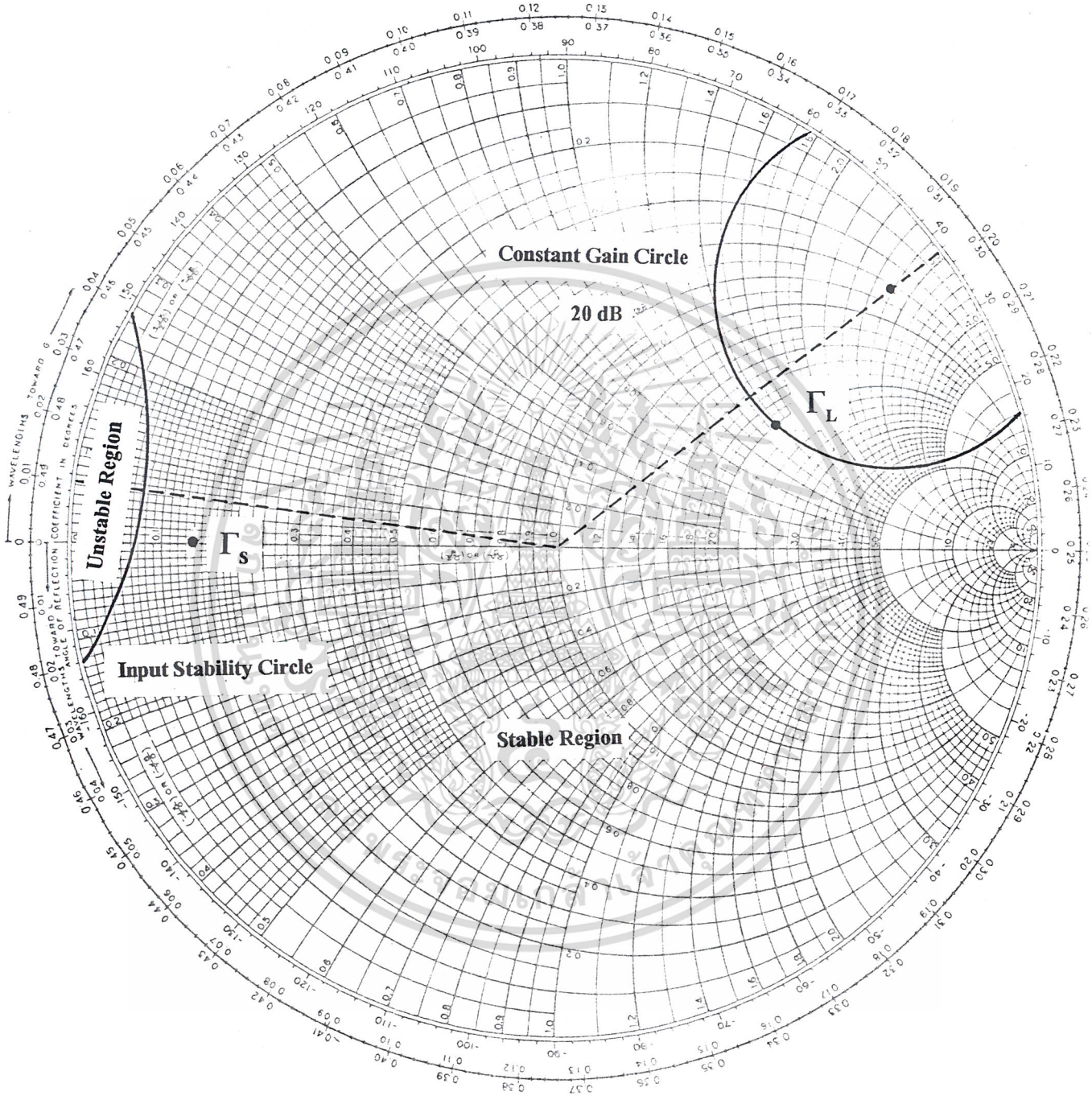
Interstage Matching



$$Q = 3.644$$
$$X_S = QR = 3.644 \times 7 = 25.508\Omega$$
$$X_P = \frac{R}{Q} = \frac{100}{3.644} = 27.44\Omega$$
$$X_S = L = 30.7nH$$
$$X_P = C = 41.42pF$$

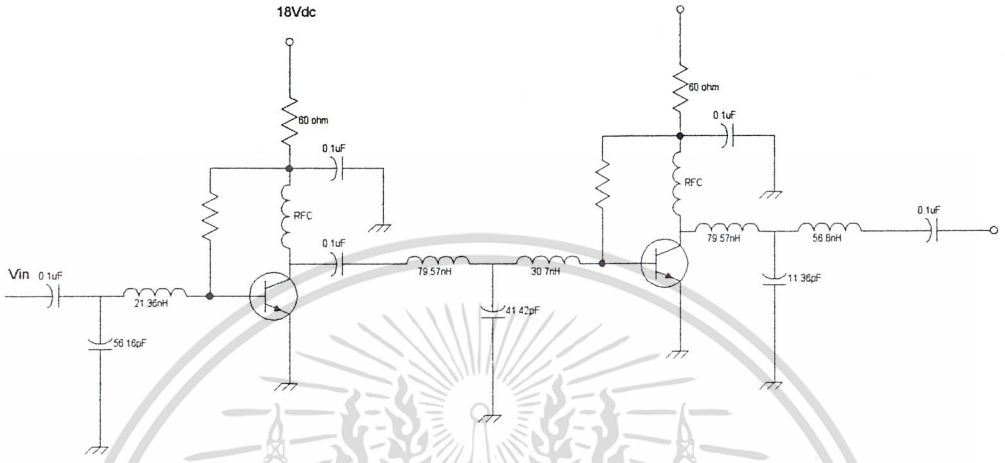
ดังนั้นจะได้วงจรรวมดังนี้ คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 แสดง Smith Chart ที่ใช้ในการออกแบบวงจรขยายสัญญาณ RF ด้วย 2N3866

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.14 วงจรรวมของ RF Small Signal Amplifier

3.8.2 2N3866 Design for RF-low power amplifier

P_{out}=1.0W

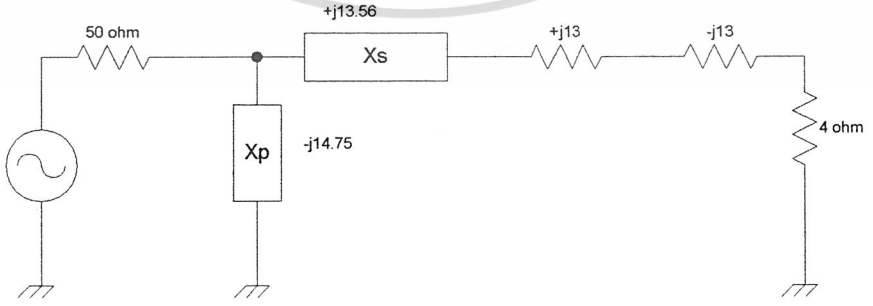
V_{CE}=28Vdc

z_{in}=0.08-j0.26

z_{out}=0.8-j3.3

Input

Z_{in}=4-j13



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Q = \sqrt{\frac{50}{4} - 1} = 3.4$$

$$X_P = \frac{R_P}{Q} = 14.75\Omega$$

$$X_P = C = 77.07pF$$

$$X_S = R_S Q = 13.56\Omega$$

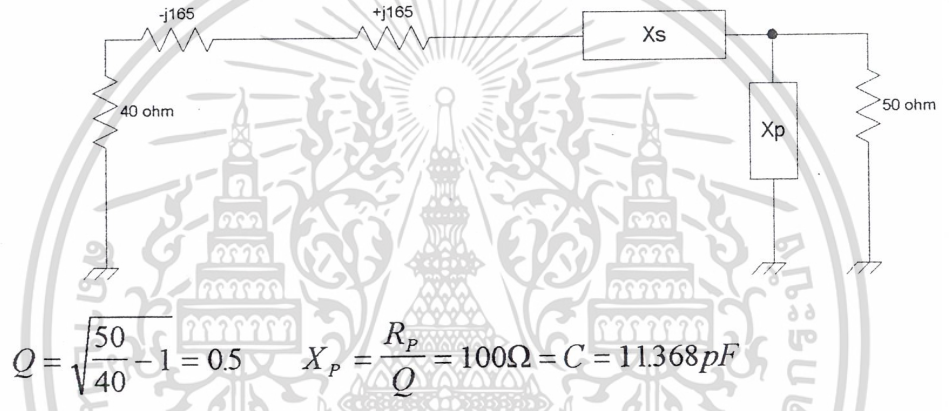
$$X_S = L = 15.41nH$$

แต่ L เดิม = 13 ohm = 14.77 nH

$$X_{total} = 30.18nH$$

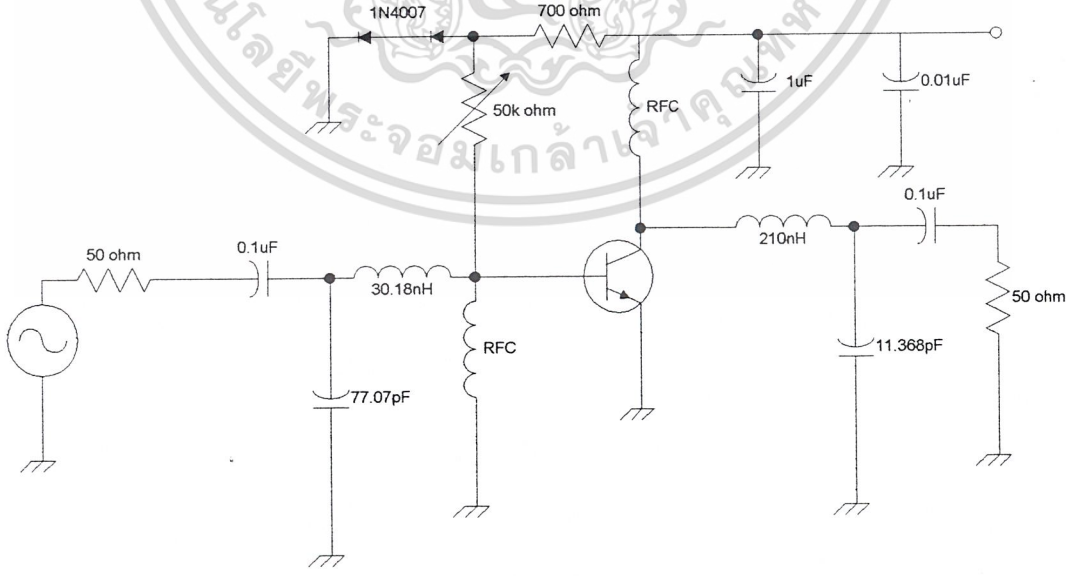
Output

Z_{out}=40-j165



$$Q = \sqrt{\frac{50}{40} - 1} = 0.5 \qquad X_P = \frac{R_P}{Q} = 100\Omega = C = 11.368pF$$

$$X_S = R_S Q = 20\Omega \text{ รวม L เดิม } 165\Omega = 185\Omega = L = 210.31nH$$

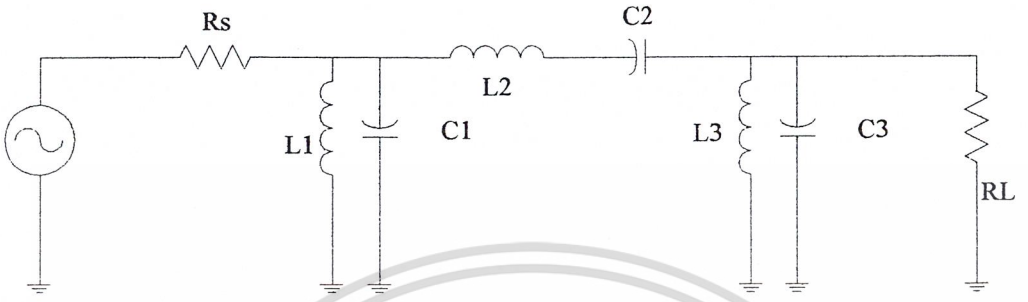


รูปที่ 3.15 แสดงวงจรรวม RF power Amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.9 การออกวงจรกรองแถบความถี่ก่อนส่งสัญญาณออกอากาศ

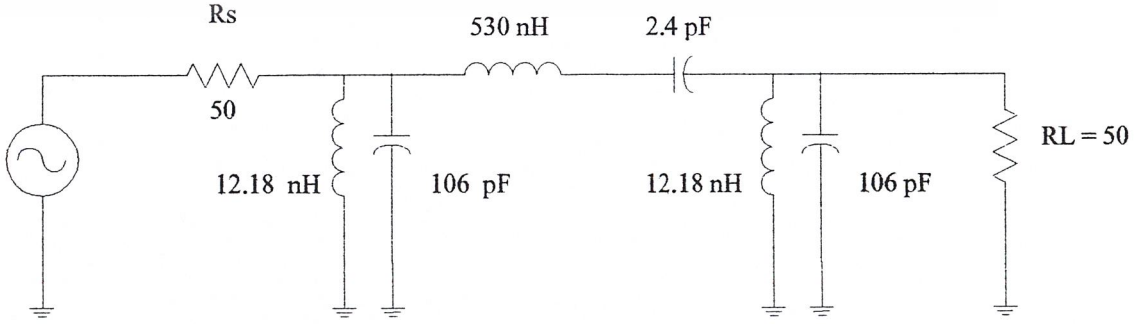
เลือกใช้วงจรกรองความถี่แบบ Passive แบบ Butterworth โดยใช้วงจรกรองความถี่ต่ำเป็นโทโปโลยี (topology) ดังนั้นทำการแปลง Frequency Transformation จะได้



รูปที่ 3.16 วงจรกรองแถบความถี่ผ่าน 140 MHz ก่อนส่งออกอากาศ

Parameter	Bandwidth			
	10MHz	12MHz	15MHz	30MHz
C1	318.3 pF	265.25 pF	212.206 pF	106 pF
L1	4.060 nH	4.87 nH	6.090 nH	12.18 nH
C2	0.812 pF	0.974 pF	1.218 pF	2.4 pF
L2	1.591 uH	1.326 uH	1.061 uH	530 nH
C3	318.3 pF	265.25 pF	212.206 pF	106 pF
L3	4.060 nH	4.87 nH	6.090 nH	12.18 nH

ตัดสินเลือกสร้าง BPF 140 MHz ที่แบนด์วิดท์ 30 MHz เพราะฉะนั้น วงจรสมบูรณ์คือ



รูปที่ 3.17 วงจรกรองความถี่ผ่านที่ 140 MHz ก่อนส่งออกอากาศ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรภาครับ

Receiver Circuit Design

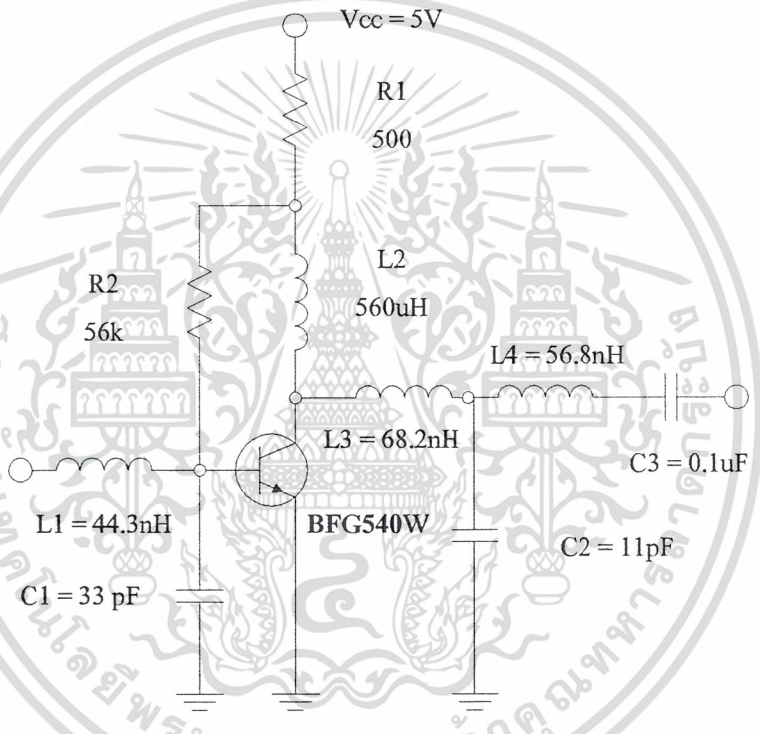
3.10 การออกแบบวงจรขยายสัญญาณ LNA ที่ 140 MHz

การออกแบบประกอบด้วย

3.10.1 การออกแบบวงจรกรองแถบความถี่ขาเข้า (อากาศหลักการเดียวกันกับหัวข้อที่ 3.9)

3.10.2 การออกแบบวงจรขยายสัญญาณที่มีระดับสัญญาณรบกวนต่ำ

อาศัยหลักการเดียวกันกับหัวข้อที่ 3.7 จะได้วงจรตามรูปที่ 3.18



รูปที่ 3.18 วงจรขยายสัญญาณ LNA

3.10.3 การออกแบบวงจรกรองแถบความถี่ขาเข้า (อากาศหลักการเดียวกันกับหัวข้อที่ 3.9)

3.11 การออกแบบวงจรขยายสัญญาณแบนด์วิดท์กว้าง

ก่อนอื่นเลือกทรานซิสเตอร์ที่จะใช้งานก่อน ในการทดลองนี้เลือกเอา BFR90 ซึ่งมีคุณสมบัติดังนี้

f_t = 5 GHz ที่ I_C=14mA$_{dc}$

V_{CEO} = 15 V$_{dc}$

$I_c$max = 30 mA$_{dc}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Power Dissipation = 180 mW

การออกแบบเลือกให้วงจรมีกำลังขยายเท่ากับ 20 dB หรือ 10 เท่า ดังนั้น จะได้ว่า

$$Gain = \frac{R_{E1} + R_{F1}}{R_{E1}} = 10$$

AC Analysis

เลือก R_{E1} = 10 Ω

ได้ R_{F1} = 90 Ω

เลือก R_{E2} = 210 Ω

และ R_{F2} = 3000 Ω

ดังนั้น R_{in} = 50.95 Ω

R_{out} = 53.59 Ω

DC Analysis

เลือกให้ทรานซิสเตอร์ตัวที่ 1 รับภาระน้อยกว่าตัวที่ 2 โดยกำหนดให้ V_{CC}=12V และ

β = 113 เท่า (จากการวัดจริง)

I_{C1} = 10 mA_{dc}

I_{C2} = 15 mA_{dc}

กำหนด V_{C2} = 7.5 V

ได้ V_{E1} = 0.1 V ทำให้ V_{B1} = 0.8 V

V_{E2} = 3.15 V ทำให้ V_{B2} = 3.85 = V_{C1}

เป็นผลให้ R_{C1} = 815 ohm

R_{C2} = 300 ohm

เลือก RF choke ≈ 560 uH

Ci = 0.1 uF

Co= 0.1 uF

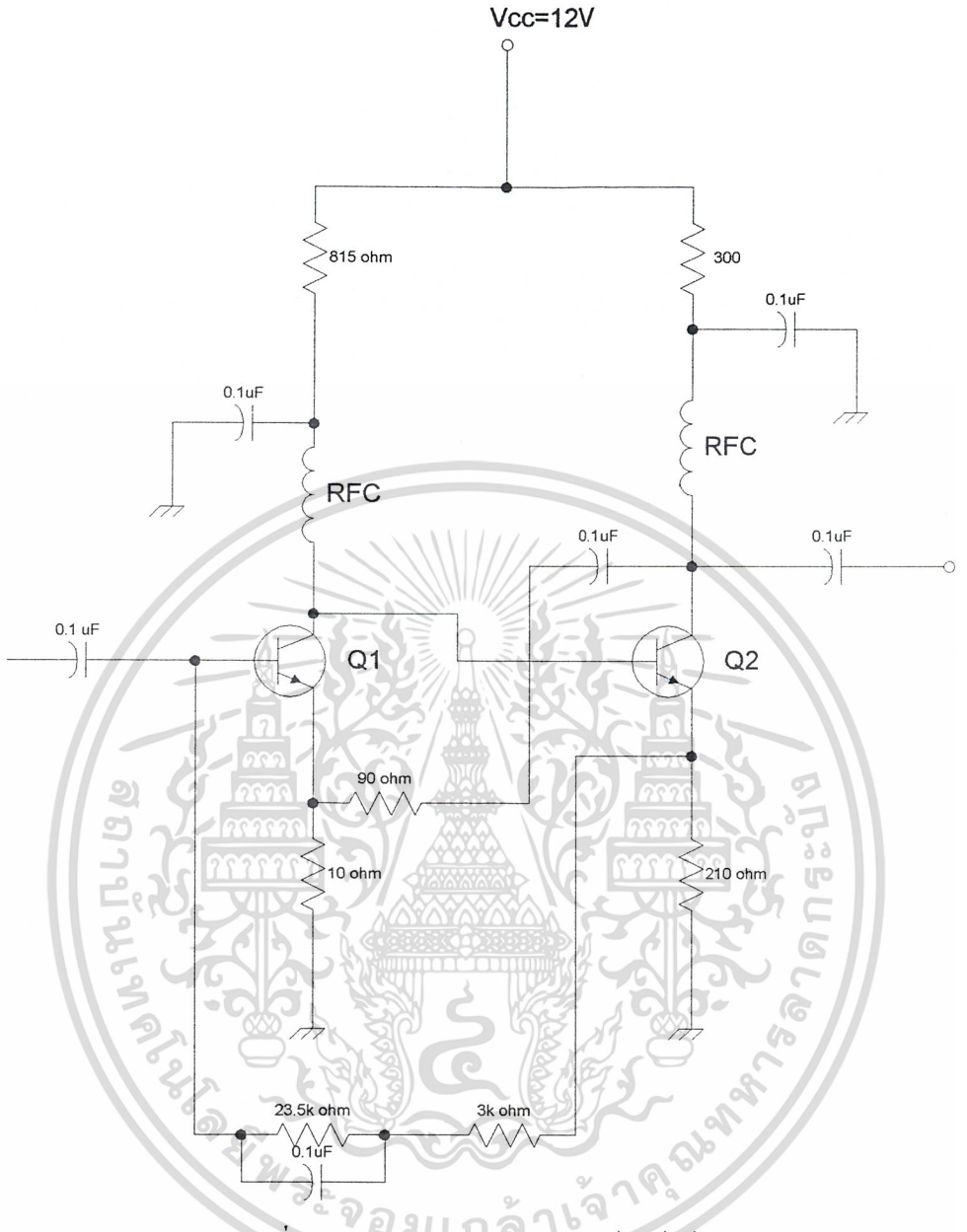
ทำการ bypass RF1 ด้วย Capacitor = 0.1 uF

C_P=0.1uF bypass AC

C_D= 0.1 uF Block DC ให้ bias ง่ายขึ้น

ดังนั้น รูปวงจรสมบูรณ์แสดงไว้ในรูปที่ 3.16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.18 วงจรขยายสัญญาณแบนด์วิดท์กว้าง

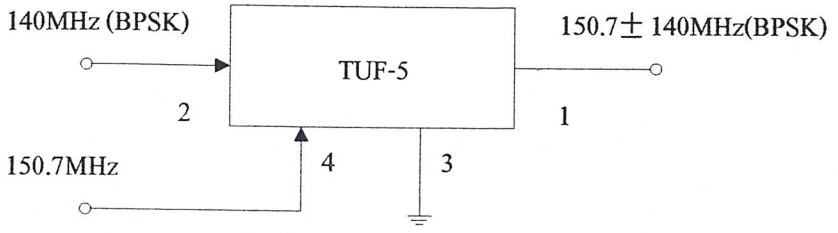
3.12 การออกแบบวงจรสังเคราะห์ความถี่ด้วยเฟสล็อคลูปด้านรับ

อาศัยหลักการเดียวกันในหัวข้อที่ 3.5

3.13 การออกแบบวงจรมิกเซอร์

อาศัยหลักการเดียวกับหัวข้อที่ 3.4 จะได้วงจรตามรูปที่ 3.19

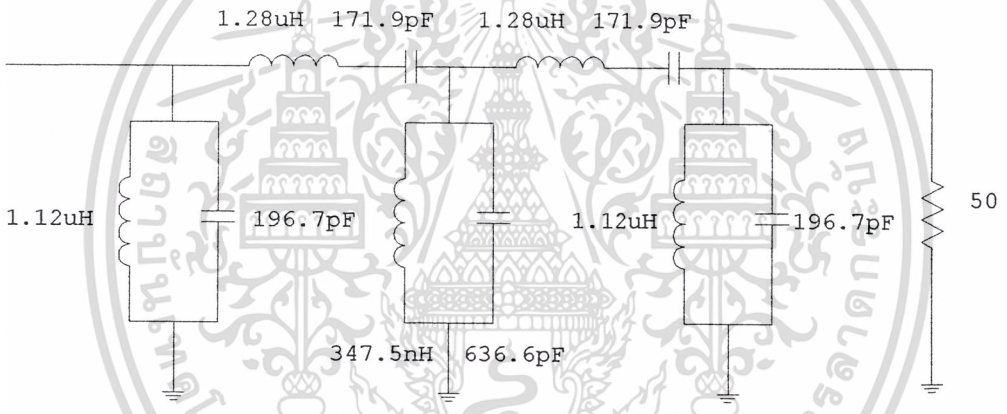
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.19 แสดงวงจรมิกเซอร์ทางด้านรับ

3.14 การออกแบบวงจรกรองความถี่ที่ 10.7 MHz

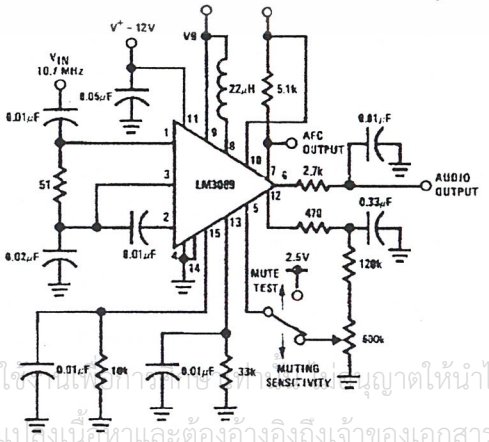
อาศัยหลักการเดียวกันกับการออกแบบวงจรกรองความถี่ที่ภาคส่งจะได้วงจรตามรูปที่ 3.20



รูปที่ 3.20 แสดงวงจรกรองความถี่ที่ 10.7 MHz

3.15 การออกแบบวงจร IF Amplifier

การออกแบบใช้วงจรตาม Application ของ IC LM 3089 จะได้วงจรตามรูปที่ 3.21



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

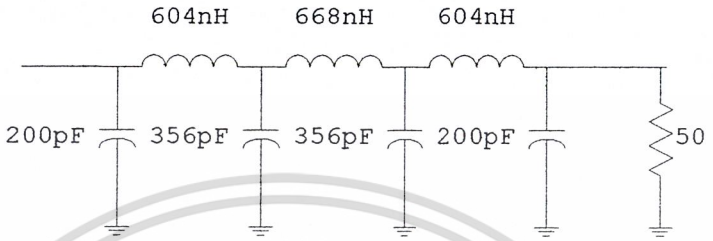
รูปที่ 3.21 แสดงวงจร IF Amplifier โดยใช้ LM3089

3.16 การออกแบบวงจร Carrier Recovery

ประกอบด้วย

3.16.1 การออกแบบวงจรกรองความถี่ต่ำผ่าน

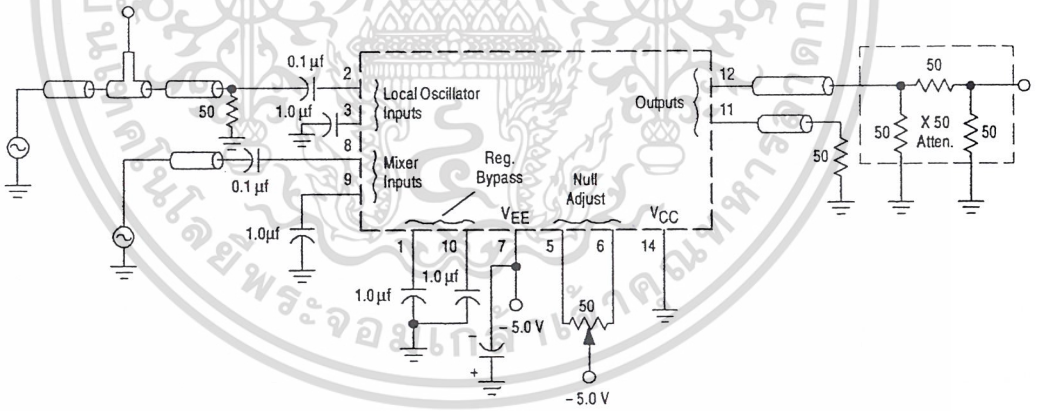
โดยอาศัยหลักการเดียวกันจะได้วงจรตามรูปที่ 3.22



รูปที่ 3.22 วงจรกรองความถี่ต่ำผ่าน

3.16.2 การออกแบบวงจรยกกำลังสอง

โดยอาศัยหลักการของการประยุกต์วงจร MC 12002 ตาม Data Sheet จะได้วงจรตามรูป

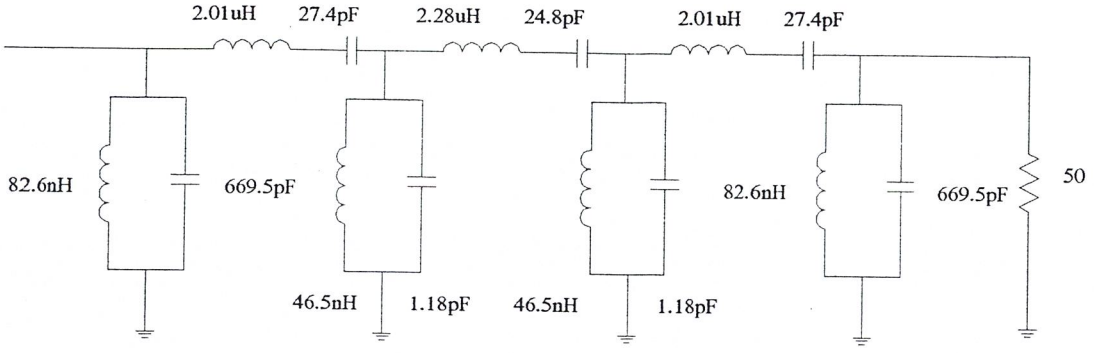


รูปที่ 3.23 วงจรยกกำลังสอง

3.16.3 การออกแบบวงจรกรองแถบความถี่ที่ 21.4 MHz

อาศัยหลักการเดียวกันกับวงจรกรองความถี่อื่นๆจะไดวงจรตามรูปที่ 3.24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

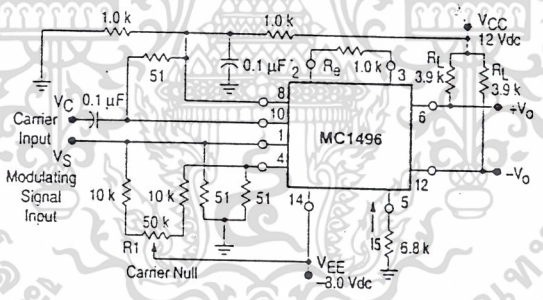


รูปที่ 3.24 แสดงวงจรกรองความถี่ที่ 21.4 MHz

3.17 การออกแบบวงจร Demodulate BPSK

ประกอบด้วย

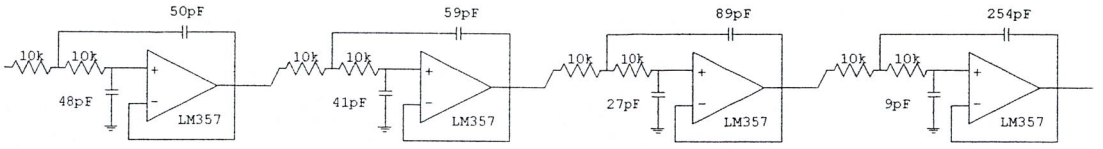
3.17.1 วงจรคูณสัญญาณโดยใช้ MC 1496 โดยการต่อวงจรตามรูปที่ 3.25



รูปที่ 3.25 วงจรคูณสัญญาณโดยใช้ MC 1496

3.17.2 วงจรกรองความถี่ต่ำผ่านแบบ Active ที่ 320 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

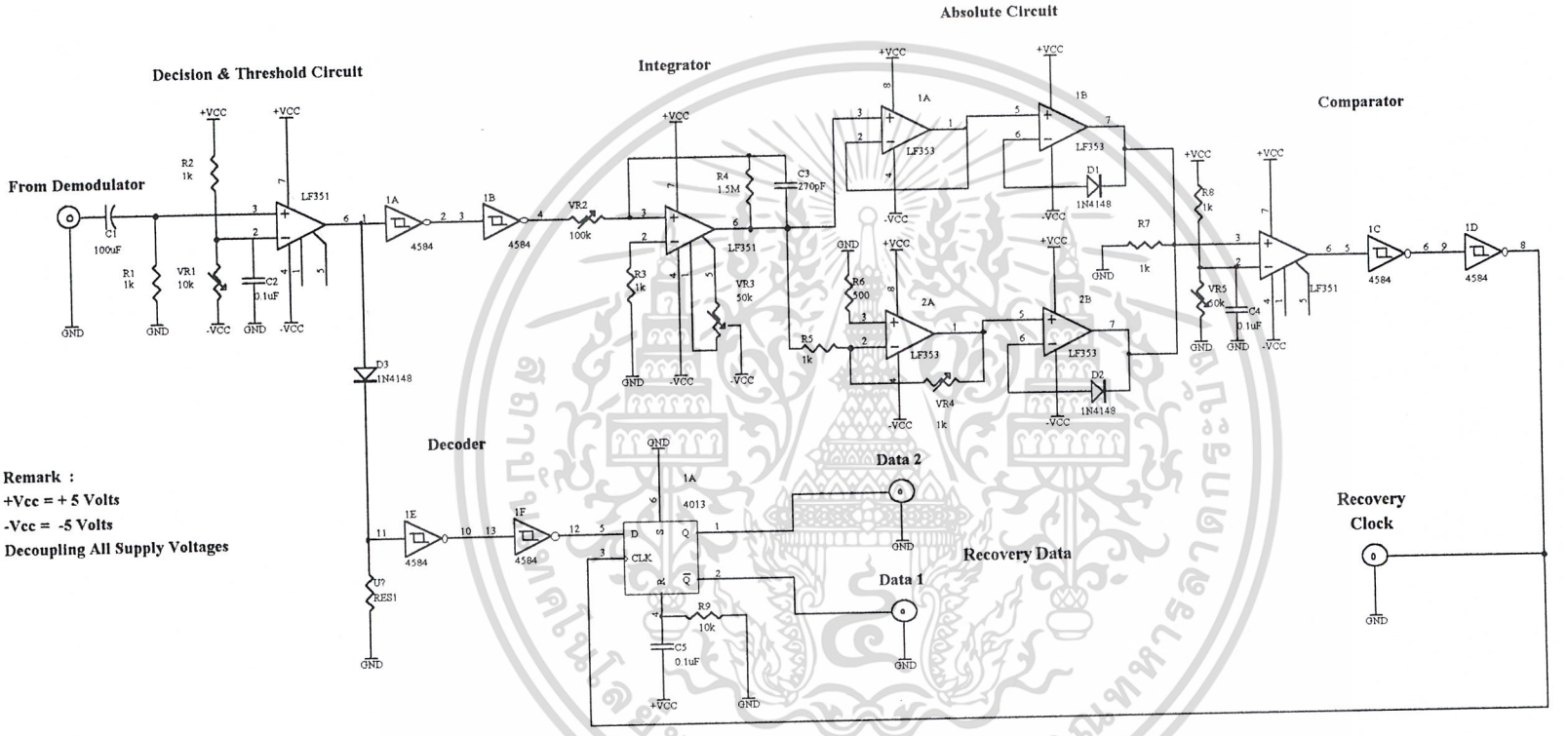


รูปที่ 3.26 วงจรกรองความถี่ต่ำผ่านแบบ Active

3.18 การออกแบบวงจรถอดรหัสสัญญาณแบบแมนเชสเตอร์

การออกแบบใช้วงจรที่มีอยู่ในส่วนประยุกต์ใช้งานใน Data Sheet ดังนั้นจะได้วงจรสำเร็จตามรูปที่ 3.27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.27 แสดงวงจรรวมของภาคการถอดรหัสสัญญาณแบบแมนเชสเตอร์

บทที่ 4
การทดลองและผลการทดลอง

จากที่กล่าวมาแล้วในบทที่ 3 เป็นการออกแบบวงจรเพื่อให้ได้วงจรที่มีผลตอบสนองเป็นไปตามต้องการ แต่ในทางปฏิบัตินั้นวงจรต่างๆที่ได้มีการคำนวณและออกแบบไว้อาจไม่ให้ผลตอบสนองที่ตรงกับทางทฤษฎีเสียทีเดียว โดยเฉพาะอย่างยิ่งในวงจรความถี่สูงคงเป็นไปได้ยากที่วงจรจะให้ผลตอบสนองที่สมบูรณ์ทุกอย่าง ดังนั้นในการทดลองอาจจำเป็นที่จะต้องมีการเพิ่มวงจรเข้าไปบ้างบางส่วนเพื่อชดเชยผลตอบสนองที่ขาดหายไป สำหรับผลการทดลองที่ได้จากการต่อวงจรสามารถที่จะแบ่งออกได้เป็น 2 ส่วนด้วยกันคือ

1. ผลการทดลองของวงจรภาคส่งโมเด็มไร้สาย

และ 2. ผลการทดลองของวงจรภาครับโมเด็มไร้สาย

ภาคส่ง
Transmitter

4.1 ผลการทดลองของวงจรกำเนิดสัญญาณพัลส์แบบสุ่ม (Pseudo Random Pulse Generator)

จากที่กล่าวมาแล้วในบทที่ 3 วงจรกำเนิดสัญญาณพัลส์แบบสุ่มใช้ในการจำลองข้อมูลพร้อมที่จะทำการเข้ารหัสข้อมูล โดยมีวัตถุประสงค์เพื่อใช้เป็นข้อมูลในการทดสอบการทำงานของวงจร โดยประกอบด้วย 3 ส่วนด้วยกันคือ

4.1.1 วงจรคริสตอลออสซิลเลเตอร์ (Crystal Oscillator)

4.1.2 วงจรหารความถี่ (Frequency Divider)

4.1.2.1 วงจรหาร 10 ความถี่ (÷10 Frequency Divider)

4.1.2.2 วงจรหาร 16 ความถี่ (÷16 Frequency Divider)

และ 4.1.3 วงจรสร้างสัญญาณพัลส์แบบสุ่ม (Pseudo Random Pulse Circuit)

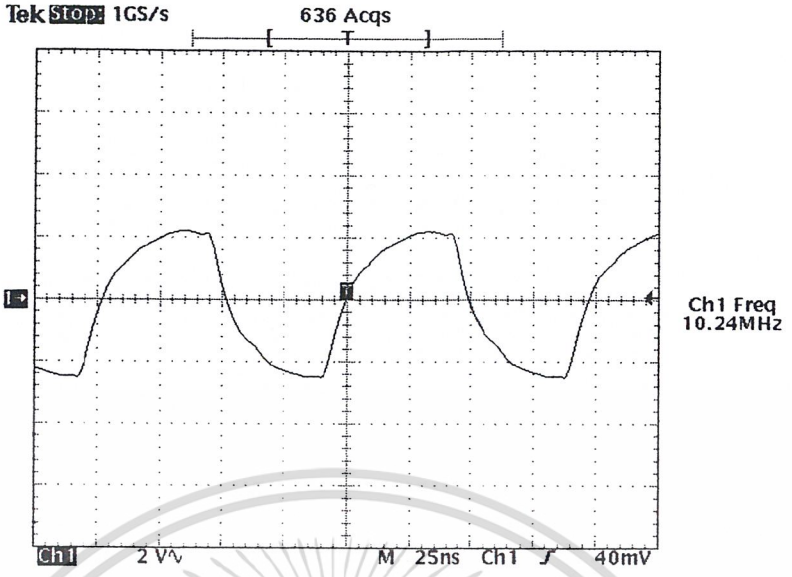
ผลการทดลองในแต่ละส่วนมีดังต่อไปนี้

4.1.1 ผลการทดลองของวงจรคริสตอลออสซิลเลเตอร์ 10.24 MHz (Crystal Oscillator)

วงจรคริสตอลออสซิลเลเตอร์ใช้คริสตอลความถี่ 10.24 MHz เป็นตัวกำหนดค่าความถี่ร่วมกับการทำงานของอินเวอเตอร์ซีมอส (CMOS) เบอร์ 74HC04 ได้ผลการทดลองดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(มีต่อหน้าถัดไป)



รูปที่ 4.1 แสดงรูปสัญญาณและความถี่ที่ได้จากวงจรคริสตอลออสซิลเลเตอร์ที่ 10.24 MHz

4.1.2 ผลการทดลองของวงจรหารความถี่ (Frequency Divider)

ในส่วนของวงจรหารความถี่จะทำการหารความถี่ที่ได้จากวงจรคริสตอลออสซิลเลเตอร์ 10.24 MHz มาเป็นความถี่ 64 kHz โดยจะต้องหารทั้งหมด 160 จึงจะได้ความถี่สุดท้ายที่ 64 kHz โดยแยกวงจรเป็น 2 ส่วนคือ

4.1.2.1 วงจรหาร 10 ความถี่ (÷10 Frequency Divider)

4.1.2.2 วงจรหาร 16 ความถี่ (÷16 Frequency Divider)

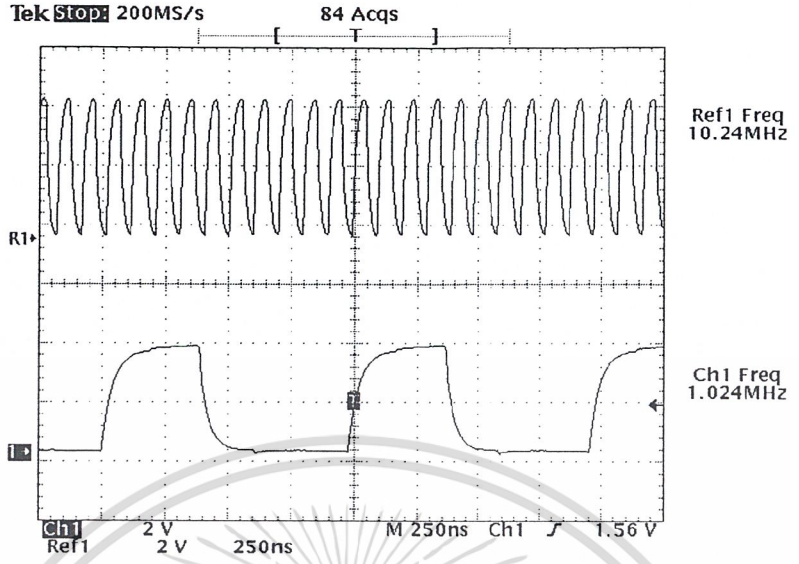
ทั้งนี้ที่ต้องแยกเพื่อให้ได้เอาท์พุทสุดท้ายที่ 64 kHz และมี Duty Cycle เท่ากับ 50 % ผลการทดลองมีดังนี้คือ

4.1.2.1 ผลการทดลองของวงจรหาร 10 ความถี่ (÷10 Frequency Divider)

วงจรหาร 10 ใช้ไอซี TTL เบอร์ 74LS90 ทำการหารความถี่โดยความถี่ขาเข้าที่ 10.24 MHz ดังนั้นจะได้ความถี่ขาออกจากวงจรคือ 1.024 MHz ได้ผลการทดลองดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(มีต่อหน้าถัดไป)



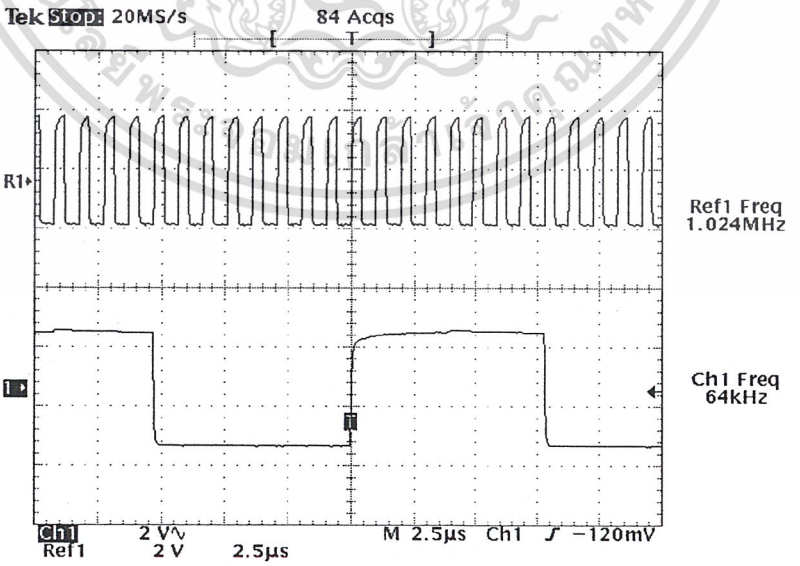
รูปที่ 4.2 แสดงผลที่ได้จากวงจรหารความถี่ (÷10) โดยใช้ไอซี TTL เบอร์ 74LS90

เมื่อ R1 : คือสัญญาณอินพุทที่ได้จากวงจรคริสตอลออสซิลเลเตอร์ 10.24 MHz

Ch1 : คือสัญญาณเอาท์พุทที่ได้จากวงจรหาร 10 ซึ่งมีความถี่เท่ากับ 1.024 MHz

4.1.2.2 ผลการทดลองของวงจรหาร 16 ความถี่ (÷16 Frequency Divider)

วงจรหาร 16 ใช้ไอซี CMOS เบอร์ 4020 ทำการหารความถี่โดยความถี่ขาเข้าอยู่ที่ 1.024 MHz ดังนั้นจะได้ความถี่ขาออกจากวงจรคือ 64 kHz และมี Duty Cycle เท่ากับ 50 % ผลการทดลองดังนี้

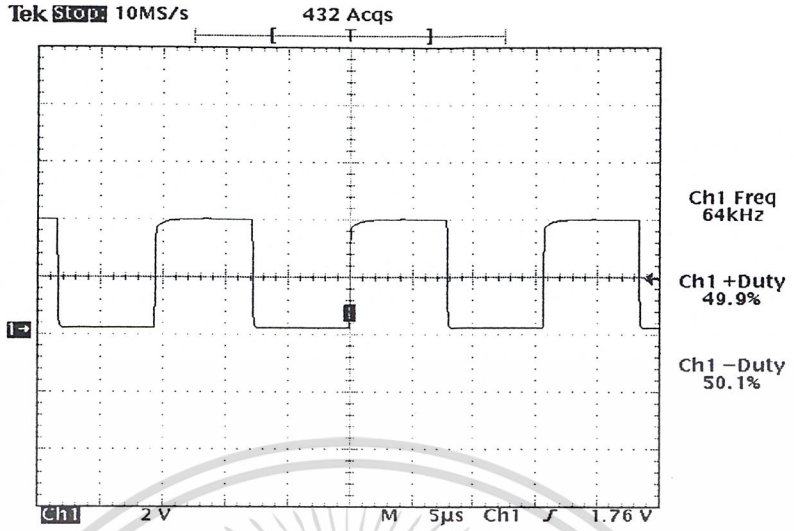


รูปที่ 4.3 แสดงผลที่ได้จากวงจรหารความถี่ (÷16) โดยใช้ไอซี CMOS เบอร์ 4020

เมื่อ R1 : คือสัญญาณอินพุทที่ได้จากวงจรหาร 10 (1.024 MHz)

Ch1 : คือสัญญาณเอาท์พุทที่ได้จากวงจรหาร 16 ความถี่ซึ่งจะได้ความถี่ 64 kHz

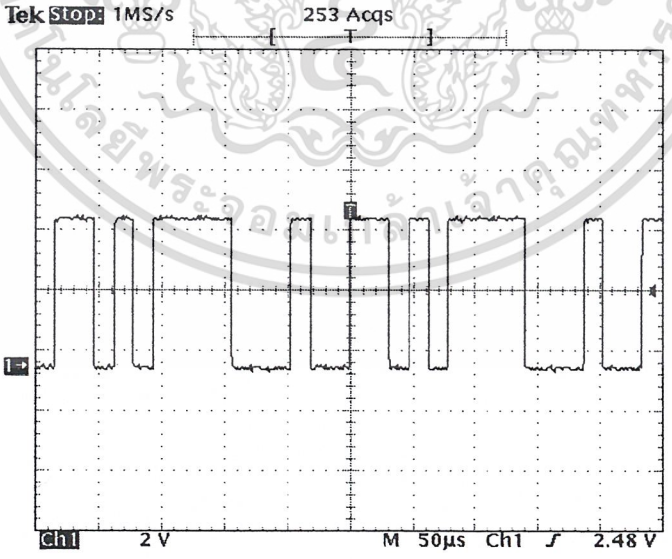
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 แสดงเอาท์พุทสุดท้ายที่ได้จากวงจรหารความถี่โดยเอาท์พุทสุดอยู่ที่ 64 kHz

4.1.3 ผลการทดลองของวงจรสร้างสัญญาณพัลส์แบบสุ่ม (Pseudo Random Pulse Circuit)

ในส่วนของวงจรสร้างสัญญาณพัลส์แบบสุ่มได้ผลการทดลองดังนี้

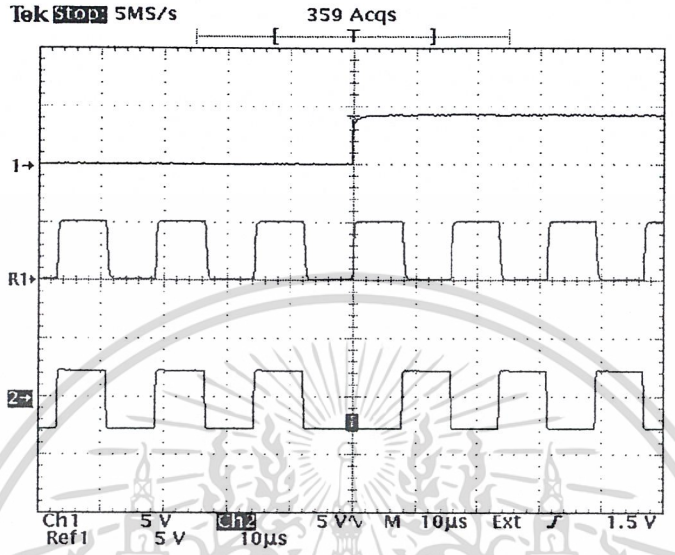


รูปที่ 4.5 แสดงสัญญาณเอาท์พุทที่ได้จากวงจรสร้างสัญญาณพัลส์แบบสุ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 ผลการทดลองของวงจรเข้ารหัสสัญญาณข้อมูลแบบแมนเชสเตอร์ (Manchester Encoder)

ผลการทดลองที่ได้จากวงจรเข้ารหัสสัญญาณแบบแมนเชสเตอร์ เป็นการเข้ารหัสสัญญาณก่อนที่จะทำการมอดูเลทข้อมูลที่ได้เข้ากับคลื่นพาห์ที่ความถี่โลคอลเป็นดังนี้

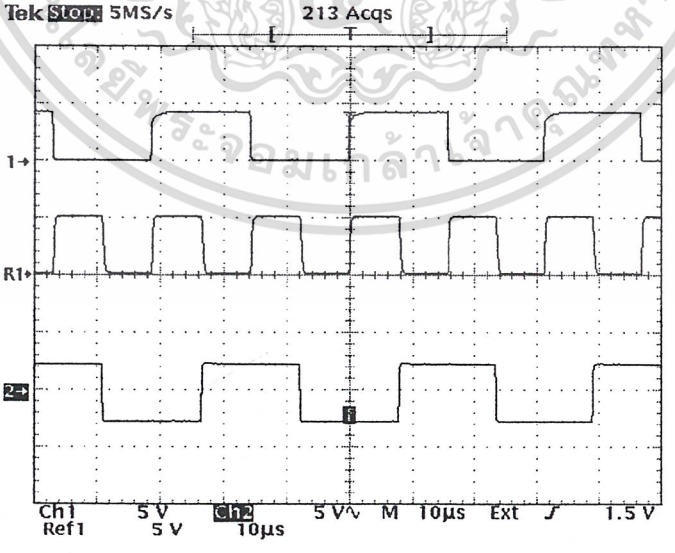


รูปที่ 4.6 ตัวอย่างที่ 1 ของการเข้ารหัสสัญญาณแบบแมนเชสเตอร์

เมื่อ R1 : คือสัญญาณอ้างอิงของข้อมูล(Clock)

Ch1 : คือสัญญาณข้อมูลที่ต้องการจะเข้ารหัส(Data)

Ch2 : คือสัญญาณเอาท์พุทที่ได้จากการเข้ารหัสแล้ว



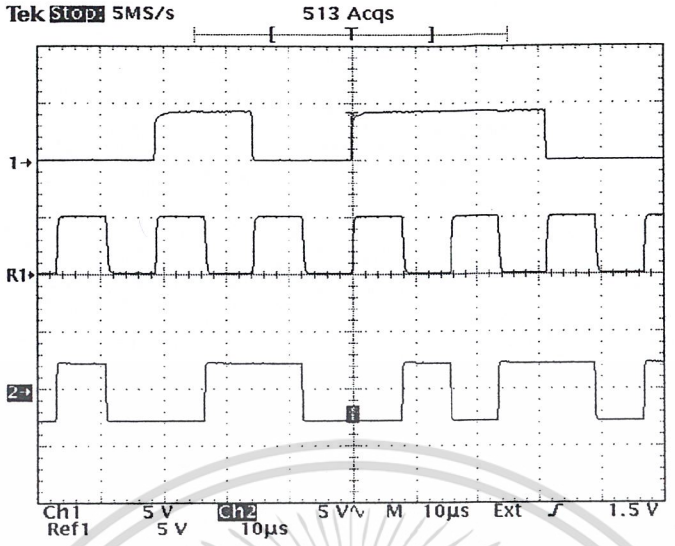
รูปที่ 4.7 ตัวอย่างที่ 2 ของการเข้ารหัสสัญญาณแบบแมนเชสเตอร์

เมื่อ R1 : คือสัญญาณอ้างอิงของข้อมูล(Clock)

Ch1 : คือสัญญาณข้อมูลที่ต้องการ จะเข้ารหัส(Data)

Ch2 : คือสัญญาณเอาท์พุทที่ได้จากการเข้ารหัสแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

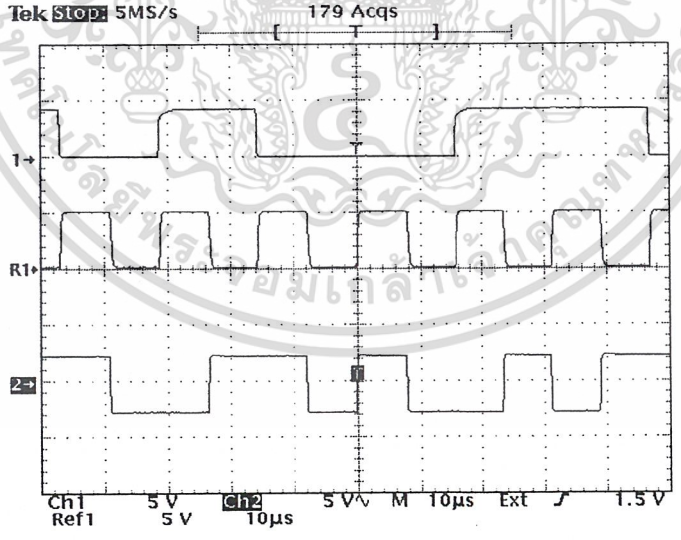


รูปที่ 4.8 ตัวอย่างที่ 3 ของการเข้ารหัสสัญญาณแบบแมนเชสเตอร์

เมื่อ R1 : คือสัญญาณอ้างอิงของข้อมูล(Clock)

Ch1 : คือสัญญาณข้อมูลที่ต้องการจะเข้ารหัส(Data)

Ch2 : คือสัญญาณเอาท์พุทที่ได้จากการเข้ารหัสแล้ว



รูปที่ 4.9 ตัวอย่างที่ 4 ของการเข้ารหัสสัญญาณแบบแมนเชสเตอร์

เมื่อ R1 : คือสัญญาณอ้างอิงของข้อมูล(Clock)

Ch1 : คือสัญญาณข้อมูลที่ต้องการจะเข้ารหัส(Data)

Ch2 : คือสัญญาณเอาท์พุทที่ได้จากการเข้ารหัสแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 ผลการทดลองของวงจรสังเคราะห์ความถี่ด้วยเฟสล็อคลูป 10.7 MHz สำหรับโลคอลออสซิลเลเตอร์ (10.7 MHz Phase Lock Loop – Frequency Synthesizer For Local Oscillator)

วงจรสังเคราะห์ความถี่ด้วยเฟสล็อคลูปสำหรับความถี่โลคอลนั้นจะใช้ความถี่ที่ 10.7 MHz ซึ่งประกอบด้วยวงจรย่อยภายในระบบ 4 ส่วนด้วยกันคือ

4.3.1 วงจร VCO ที่จะใช้ในการสังเคราะห์ความถี่ที่ 10.7 MHz

4.3.2 วงจร Frequency Synthesizer 10.7 MHz

- Crystal 10.24 MHz
- LD
- $Ø_R$, $Ø_V$
- MC

4.3.3 วงจรรวม PLL Frequency Synthesizer

4.3.4 วงจร Ceramic Filter ที่ 10.7 MHz

4.3.1 ผลการทดลองของวงจร VCO ที่จะใช้ในการสังเคราะห์ความถี่ที่ 10.7 MHz

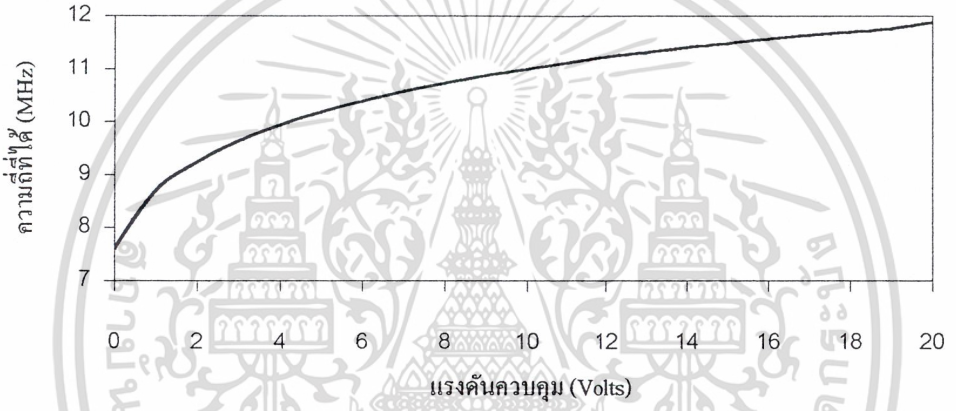
ผลการทดลองจะอยู่ในรูปแบบของตารางและกราฟแสดงความสัมพันธ์ระหว่างแรงดันที่ใช้ควบคุมกับความถี่และกำลังงานที่ได้ เพื่อนำไปใช้ในการสังเคราะห์ความถี่ด้วยเฟสล็อคลูปที่ 10.7 MHz อีกทีหนึ่ง โดยมีผลการทดลองดังนี้

แรงดันควบคุม (Vc)	ความถี่ที่ได้ (MHz)	กำลังงานที่ได้ (dBm)
0.0	7.6094	15.310
1.0	8.7000	15.310
2.0	9.2425	16.547
3.0	9.6345	17.625
4.0	9.9440	18.279
5.0	10.1855	18.837
6.0	10.3955	19.124
7.0	10.5743	19.452
8.0	10.7302	19.631
9.0	10.8755	19.722
10.0	10.9990	19.897
11.0	11.1132	19.980
12.0	11.2203	20.070
13.0	11.3154	20.070

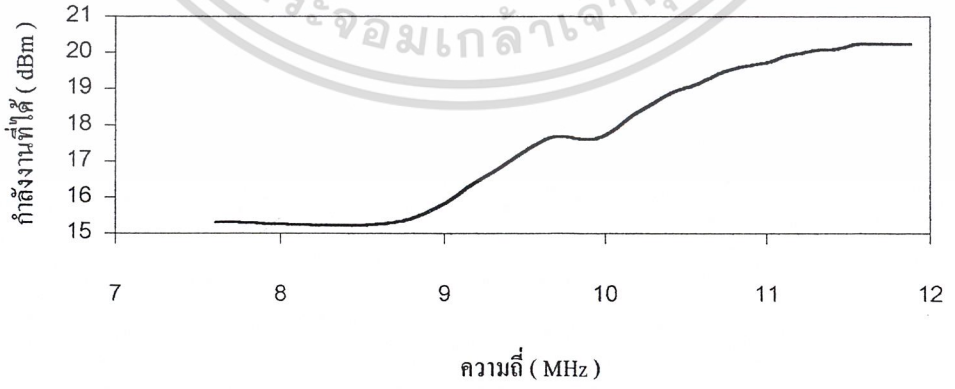
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

14.0	11.4019	20.154
15.0	11.4823	20.237
16.0	11.5582	20.237
17.0	11.6315	20.237
18.0	11.6966	20.237
19.0	11.7629	20.237
20.0	11.8819	20.237

ตารางที่ 4.1 แสดงผลของวงจร VCO ที่จะใช้ในการสังเคราะห์ความถี่ที่ 10.7 MHz



รูปที่ 4.10 กราฟแสดงความสัมพันธ์ระหว่างความถี่ที่ระดับแรงดันควบคุมค่าต่างๆของวงจร VCO ที่จะใช้ในการสังเคราะห์ความถี่ที่ 10.7 MHz ในวงจรโลคอลออสซิลเลเตอร์



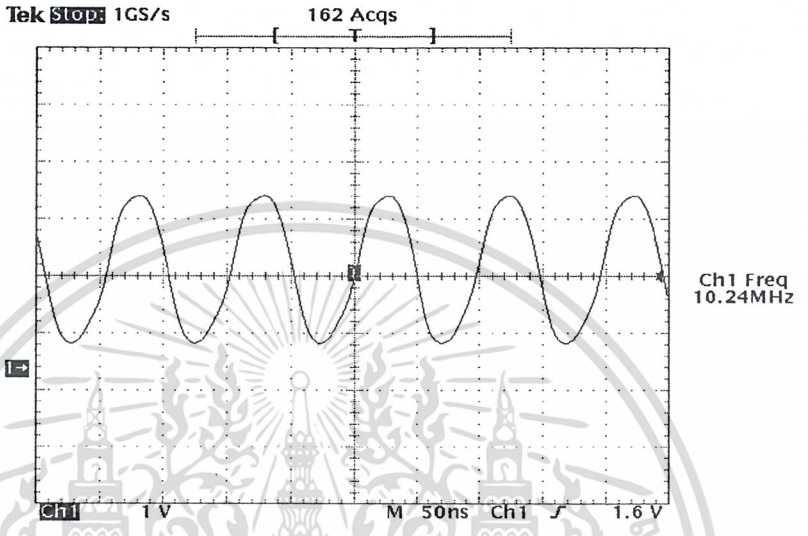
รูปที่ 4.11 กราฟแสดงความสัมพันธ์ระหว่างกำลังงานที่ความถี่ค่าต่างๆของวงจร VCO ที่จะใช้ในการสังเคราะห์ความถี่ที่ 10.7 MHz ในวงจรโลคอลออสซิลเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.2 วงจร Frequency Synthesizer 10.7 MHz

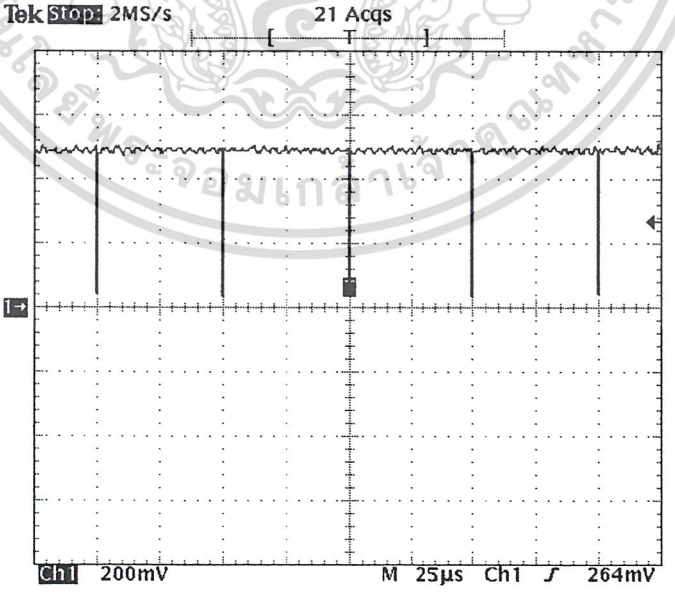
วงจรในส่วนของ Frequency Synthesizer 10.7 MHz ใช้ IC เบอร์ MC145152 ซึ่งประกอบด้วยผลการทดลองแยกเป็นส่วนๆตามขาต่างๆดังนี้

Crystal 10.24 MHz



รูปที่ 4.12 แสดงสัญญาณที่ได้จากคริสตอลออสซิลเลเตอร์ 10.24 MHz ของ MC 145152

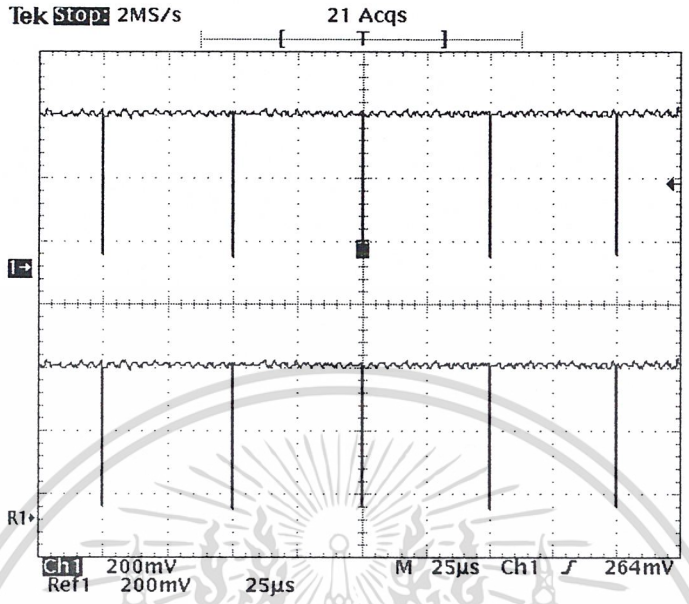
LD



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.13 แสดงรูปสัญญาณที่ได้จากขา Lock Detect ของ MC145152

$Ø_R$, $Ø_V$

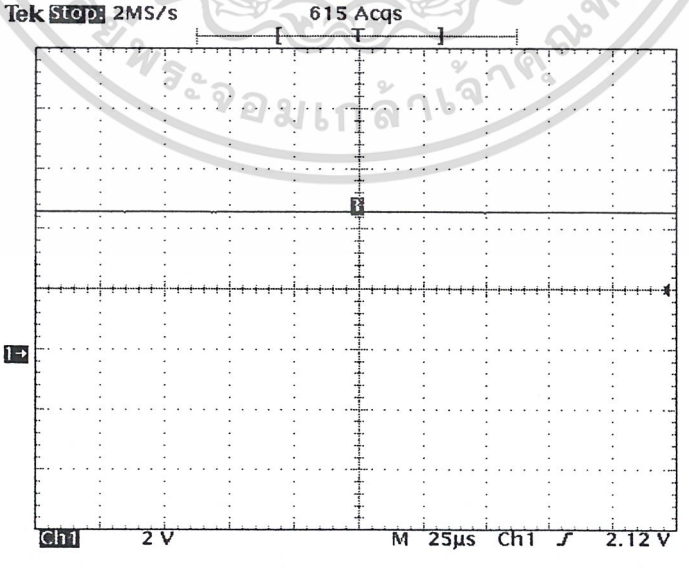


รูปที่ 4.14 แสดงสัญญาณที่ได้จากขา $Ø_R$, $Ø_V$ ของ MC 145152

เมื่อ Ch1 : สัญญาณ $Ø_R$

Ref1 : สัญญาณ $Ø_V$

MC

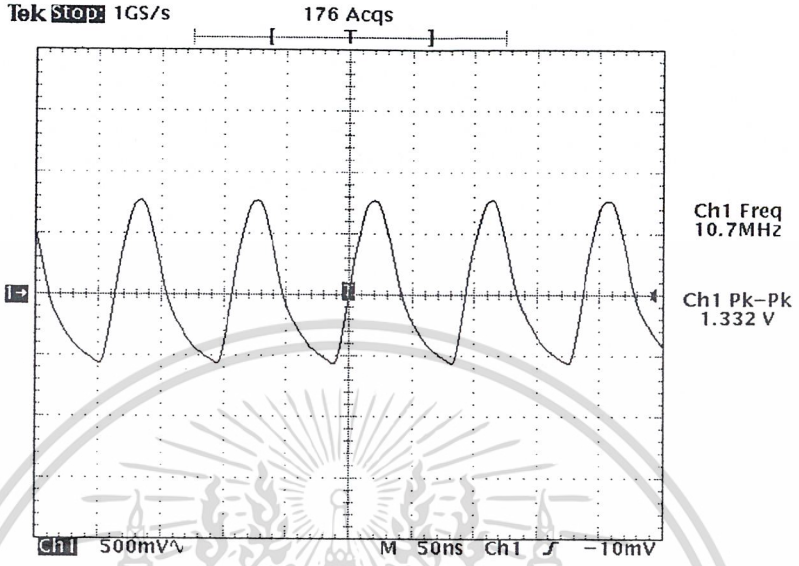


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

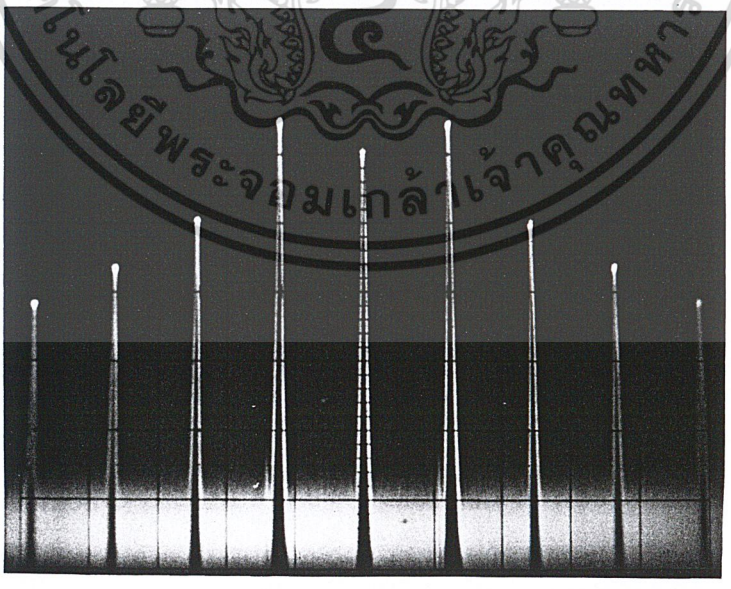
รูปที่ 4.15 แสดงสัญญาณที่ได้จากขา MC ของ MC 145152

4.3.3 วงจรรวมของการสังเคราะห์ความถี่ที่ 10.7 MHz สำหรับโลคอลออสซิลเลเตอร์

รูปร่างของสัญญาณที่ได้จากการสังเคราะห์ความถี่ด้วยเฟสล็อคลูป แสดงไว้ในรูปที่ 4.16



รูปที่ 4.16 แสดงรูปสัญญาณจากวงจรสังเคราะห์ความถี่ด้วยเฟสล็อคลูปความถี่ 10.7 MHz



Center Frequency : 0 Hz

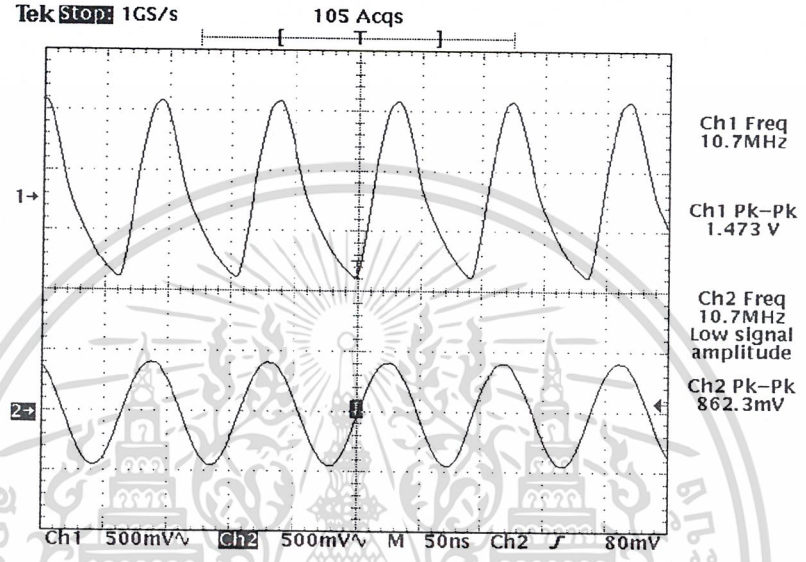
Bandwidth : 300 kHz Scanwidth : 10 MHz Reference Level : 30 dBm

รูปที่ 4.17 แสดงสเปกตรัมของสัญญาณจากวงจรสังเคราะห์ความถี่ที่ 10.7 MHz

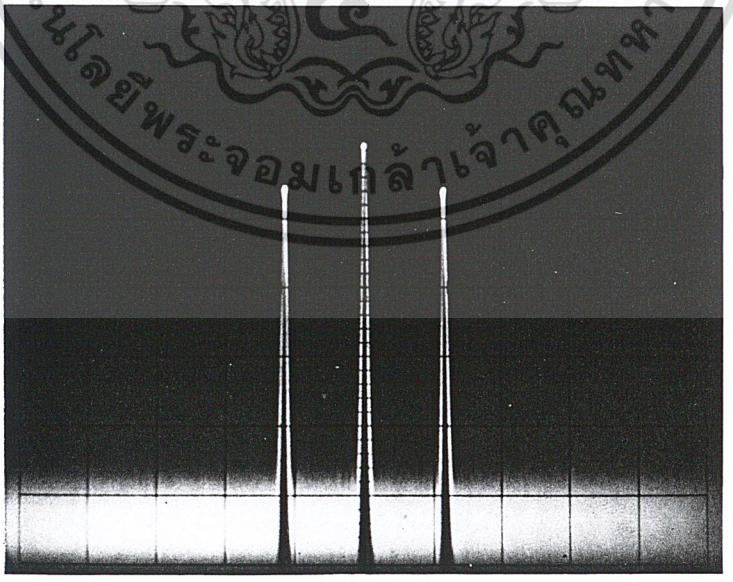
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.4 วงจรกรองแถบความถี่ผ่านด้วยเซรามิก (Ceramic filter ที่ 10.7 MHz)

วงจรสังเคราะห์ความถี่ที่ได้จากหัวข้อที่ 4.3.1 และ 4.3.2 นั้นปรากฏว่าความถี่ที่ได้มีค่าขององค์ประกอบที่ความถี่อื่นปนมาด้วยจึงจำเป็นที่จะต้องกรองเอาเฉพาะที่ความถี่ 10.7 MHz ออกมาเพียงอย่างเดียว โดยการกดองค์ประกอบอื่นๆลงให้ได้มากที่สุดโดยใช้ Ceramic filter 10.7 MHz (IF frequency) ผลการทดลองมีดังนี้



รูปที่ 4.18 แสดงรูปสัญญาณเอาท์พุทหลังผ่านวงจรกรองความถี่(Ceramic Filter ที่ 10.7MHz)
เมื่อ Ch1 : สัญญาณที่ได้จากวงจรสังเคราะห์ความถี่ 10.7 MHz
Ch2 : เอาท์พุทของเซรามิกฟิลเตอร์ที่เพื่อกรองเฉพาะ Fundamental Harmonic



Center Frequency : 0 Hz

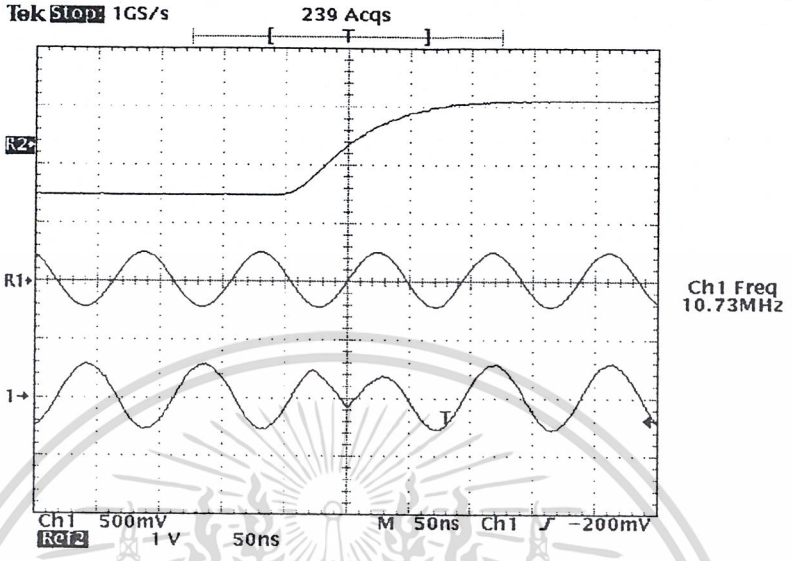
Bandwidth : 300 kHz Scanwidth : 10 MHz Reference Level : 30 dBm

รูปที่ 4.19 แสดงสเปกตรัมของสัญญาณหลังผ่านเซรามิกฟิลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 ผลการทดลองของวงจรริงมอดูเลเตอร์ (Ring Modulator)

ผลการทดลองของวงจรริงมอดูเลเตอร์ที่ใช้ในการมอดูเลทข้อมูลที่ได้จากวงจรสร้างสัญญาณพัลส์แบบสุ่มที่ผ่านการเข้ารหัสแมนเชสเตอร์แล้วกับคลื่นพาห์ที่ความถี่ IF 10.7 MHz (BPSK) มีดังนี้

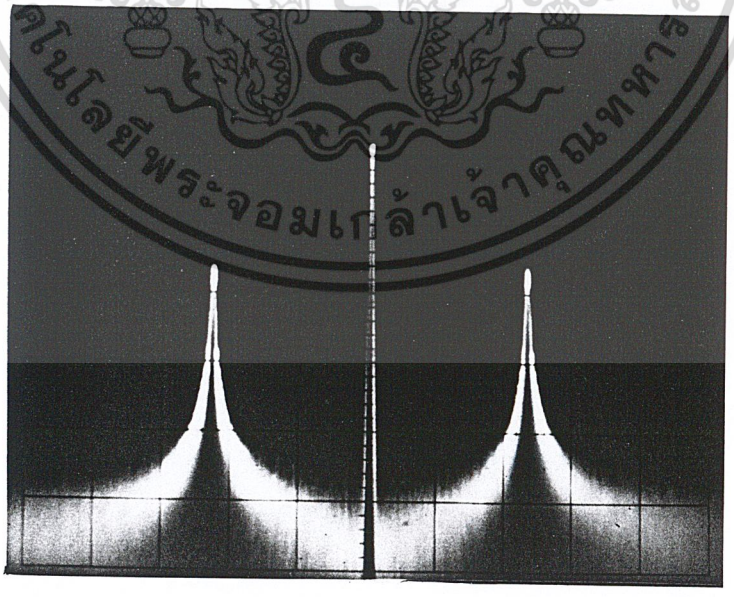


รูปที่ 4.20 แสดงเอาท์พุทที่ได้จากวงจรริงมอดูเลเตอร์

เมื่อ R1 : คลื่นพาห์(Carrier)

R2 : สัญญาณข้อมูล(Data)ที่ต้องการมอดูเลท

Ch1 : สัญญาณเอาท์พุทจากวงจรริงมอดูเลเตอร์

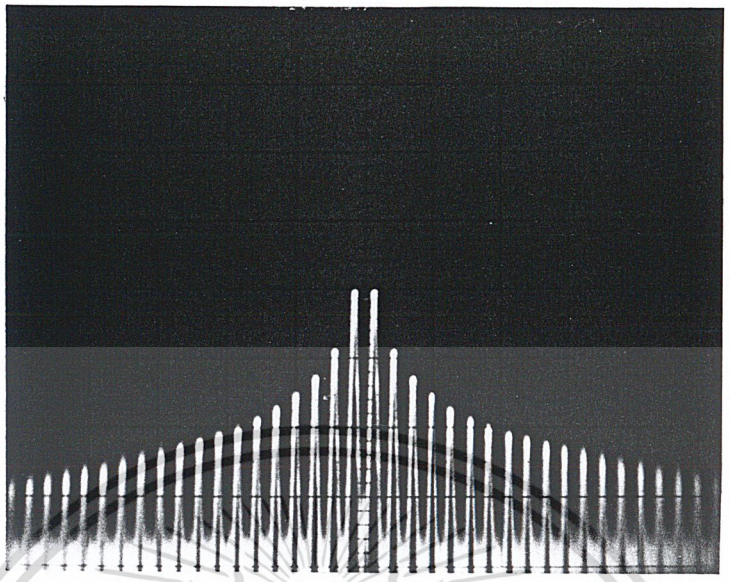


Center Frequency : 0 Hz

Bandwidth : 100 kHz Scanwidth : 5 MHz Reference Level : 20 dBm

รูปที่ 4.21 แสดงสเปกตรัมของสัญญาณหลังการมอดูเลทด้วยสัญญาณสี่เหลี่ยมความถี่ 64 kHz

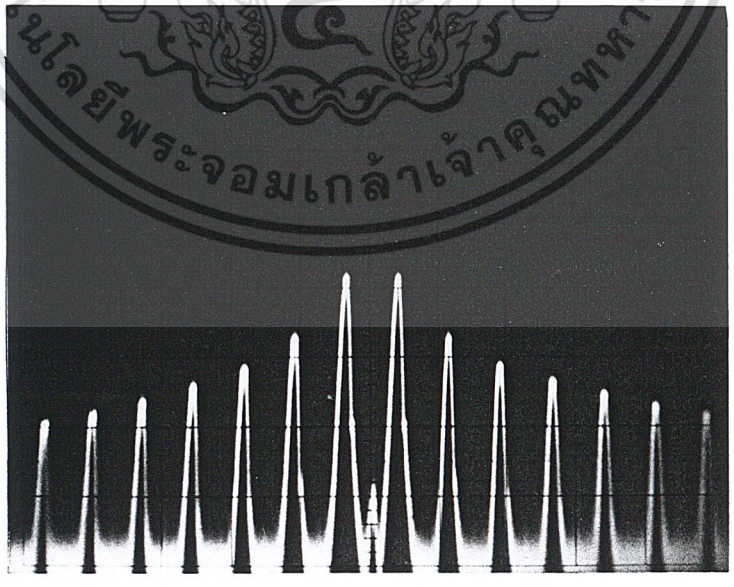
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Center Frequency : 10.7 MHz

Bandwidth : 10 kHz Scanwidth : 200 kHz Reference Level : 20 dBm

รูปที่ 4.22 แสดงสเปกตรัมของสัญญาณหลังการมอดูเลทด้วยสัญญาณสี่เหลี่ยมความถี่ 64 kHz



Center Frequency : 10.7 MHz

Bandwidth : 10 kHz Scanwidth : 100 kHz Reference Level : 20 dBm

รูปที่ 4.23 แสดงสเปกตรัมของสัญญาณหลังการมอดูเลทด้วยสัญญาณสี่เหลี่ยมความถี่ 64 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 ผลการทดลองของวงจรสังเคราะห์ความถี่ด้วยเฟสล็อคลูป 150.7 MHz สำหรับออสซิลเลเตอร์ความถี่วิทยุด้านส่ง (150.7 MHz Phase Lock Loop – Frequency Synthesizer For RF Oscillator : Tx)

วงจรสังเคราะห์ความถี่ด้วยเฟสล็อคลูปสำหรับความถี่วิทยุภาคส่งนั้นจะใช้ความถี่ที่ 150.7 MHz ซึ่งประกอบด้วยวงจรย่อยภายในระบบ 3 ส่วนด้วยกันคือ

4.5.1 วงจร VCO ที่จะใช้ในการสังเคราะห์ความถี่ที่ 150.7 MHz ภาคส่ง

4.5.2 วงจร Frequency Synthesizer 150.7 MHz ภาคส่ง

- Crystal 10.24 MHz
- LD
- $Ø_R$, $Ø_V$
- MC

และ 4.5.3 วงจรรวม PLL Frequency Synthesizer 150.7 MHz ภาคส่ง

4.5.1 ผลการทดลองของวงจร VCO ที่จะใช้ในการสังเคราะห์ความถี่ที่ 150.7 MHz ภาคส่ง

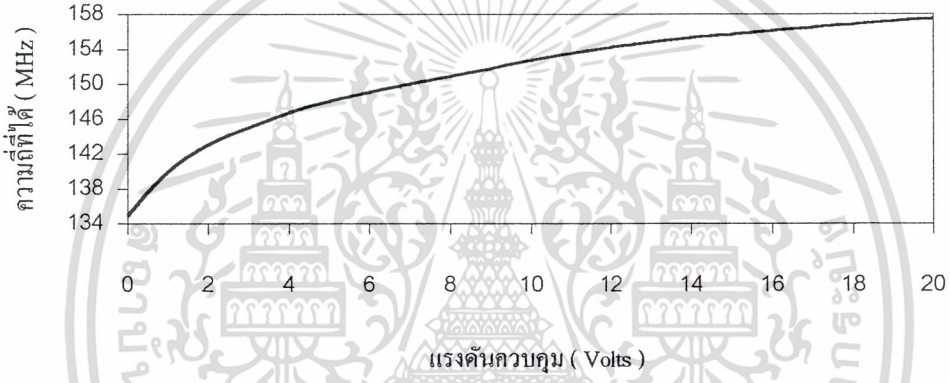
ผลการทดลองจะอยู่ในรูปแบบของตารางและกราฟแสดงความสัมพันธ์ระหว่างแรงดันที่ใช้ควบคุมกับความถี่และกำลังงานที่ได้ เพื่อนำไปใช้ในการสังเคราะห์ความถี่ด้วยเฟสล็อคลูปที่ 150.7 MHz อีกทีหนึ่ง โดยมีผลการทดลองดังนี้

แรงดันควบคุม (Vc)	ความถี่ที่ได้ (MHz)	กำลังงานที่ได้ (dBm)
0.0	134.875	9.890
1.0	139.873	8.902
2.0	143.009	8.396
3.0	144.992	8.129
4.0	146.692	7.925
5.0	148.041	7.925
6.0	149.029	7.994
7.0	150.010	7.994
8.0	150.888	7.994
9.0	151.777	8.129
10.0	152.684	8.129
11.0	153.500	8.196
12.0	154.208	8.263
13.0	154.792	8.395
14.0	155.270	8.395

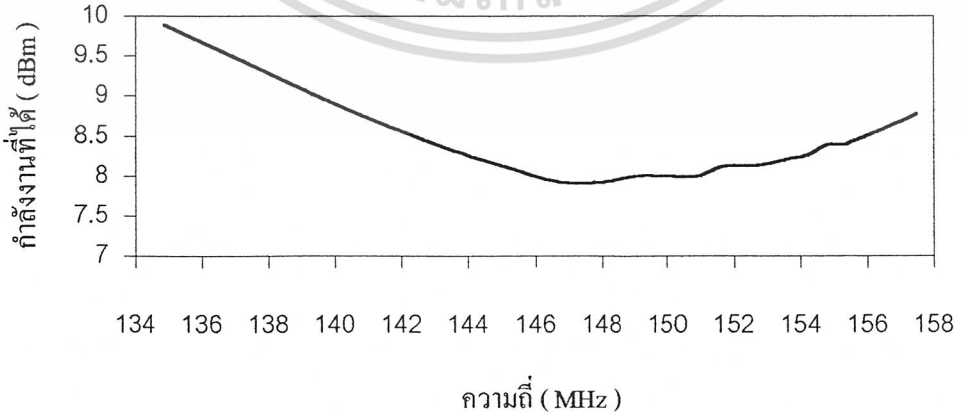
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

15.0	155.687	8.459
16.0	156.061	8.524
17.0	156.456	8.588
18.0	156.806	8.652
19.0	157.165	8.715
20.0	157.482	8.778

ตารางที่ 4.2 แสดงผลของวงจร VCO ที่จะใช้ในการสังเคราะห์ความถี่ที่ 150.7 MHz ภาคส่ง



รูปที่ 4.24 กราฟแสดงความสัมพันธ์ระหว่างความถี่ที่ระดับแรงดันควบคุมค่าต่างๆของวงจร VCO ที่จะใช้ในการสังเคราะห์ความถี่ที่ 150.7 MHz ในวงจรออสซิลเลเตอร์ความถี่วิทยุภาคส่ง



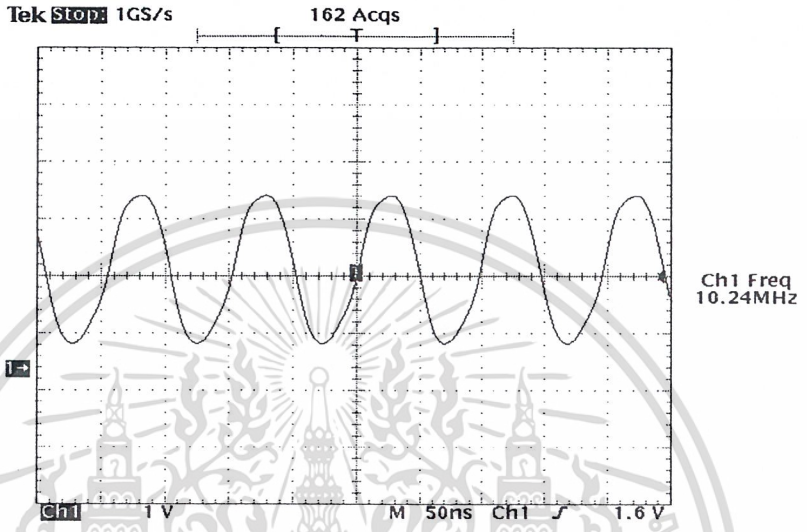
รูปที่ 4.25 กราฟแสดงความสัมพันธ์ระหว่างกำลังงานที่ความถี่ค่าต่างๆของวงจร VCO ที่จะใช้ในการสังเคราะห์ความถี่ที่ 150.7 MHz ในวงจรออสซิลเลเตอร์ความถี่วิทยุภาคส่ง

เอกสารนี้เป็นทรัพย์สินของ ... ไม่ว่ากรณีใดๆ ทั้งสิ้น ... การนำไปใช้

4.5.2 วงจร Frequency Synthesizer 150.7 MHz ภาคส่ง

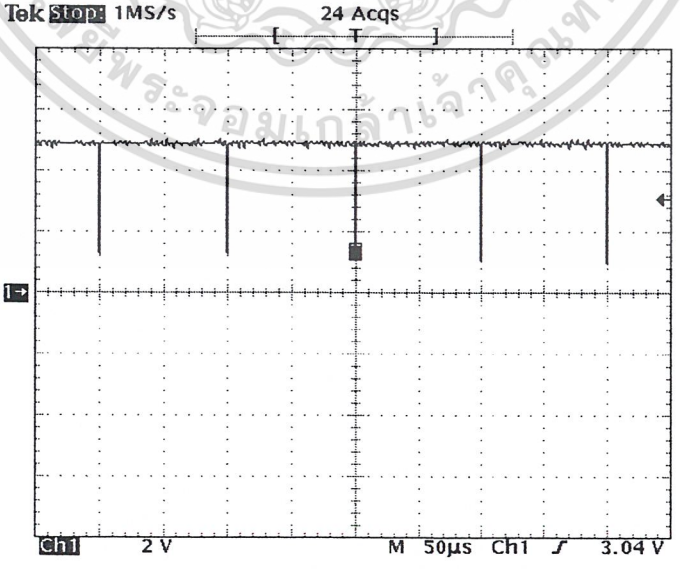
วงจรในส่วนของ Frequency Synthesizer 150.7 MHz ภาคส่ง ใช้ IC เบอร์ MC145152 ซึ่งประกอบด้วยผลการทดลองแยกเป็นส่วนๆตามขาต่างๆเมื่อทำการล็อคความถี่แล้วมีดังนี้

Crystal 10.24 MHz



รูปที่ 4.26 แสดงสัญญาณที่ได้จากคริสตอลออสซิลเลเตอร์ 10.24 MHz ของ MC 145152

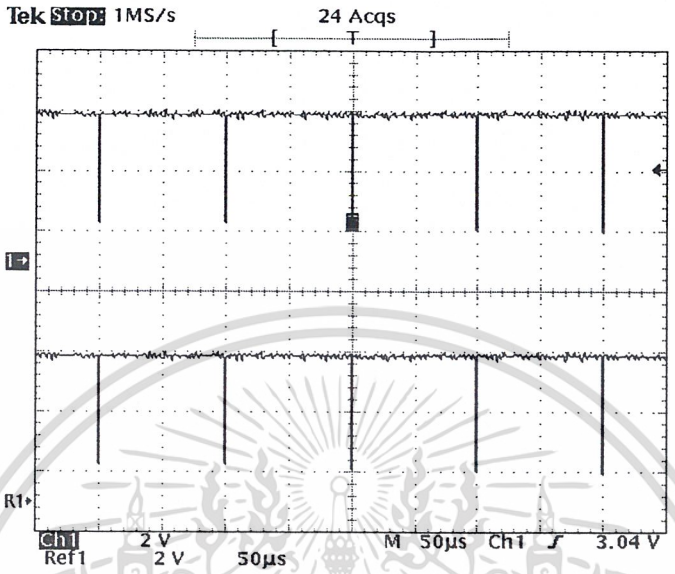
LD



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น

รูปที่ 4.27 แสดงรูปสัญญาณที่ได้จากขา Lock Detect ของ MC145152

$Ø_R$, $Ø_V$

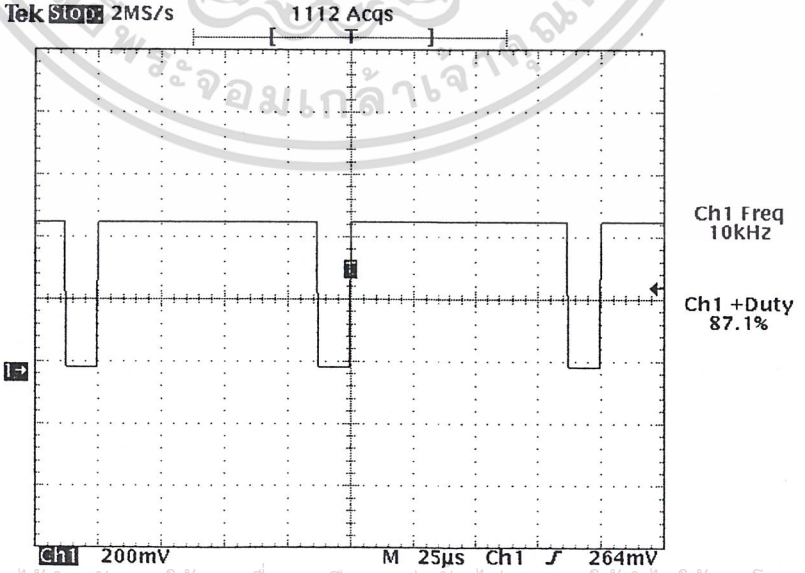


รูปที่ 4.28 แสดงสัญญาณที่ได้จากขา $Ø_R$, $Ø_V$ ของ MC 145152

เมื่อ Ch1 : สัญญาณ $Ø_R$

Ref1 : สัญญาณ $Ø_V$

MC

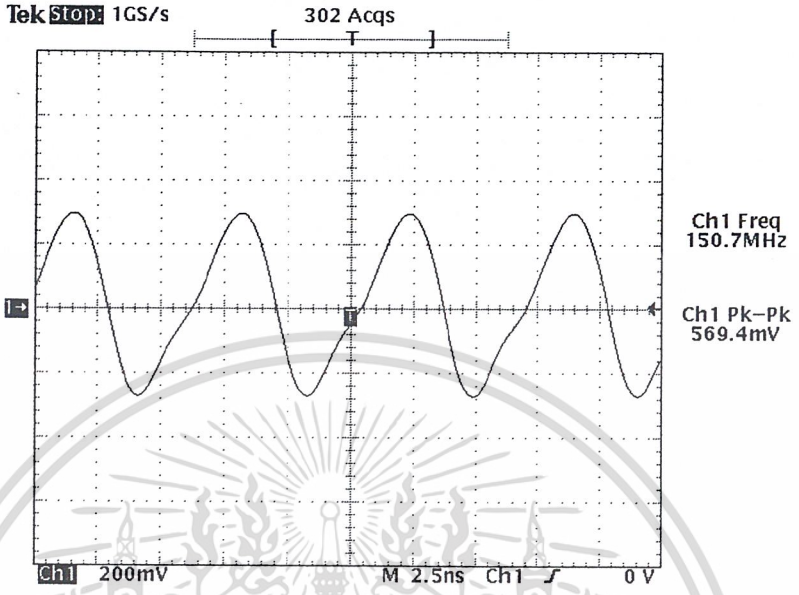


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

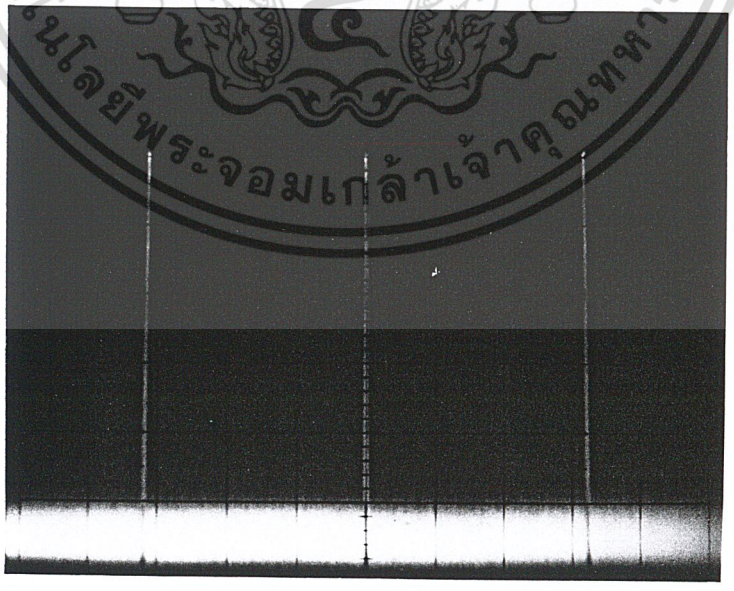
รูปที่ 4.29 แสดงสัญญาณที่ได้จากขา MC ของ MC 145152

4.5.3 วงจรรวม PLL Frequency Synthesizer 150.7 MHz ภาคส่ง

รูปสัญญาณที่ได้จากวงจรสังเคราะห์ความถี่ที่ 150.7 MHz ที่ภาคส่งได้ผลการทดลองดังนี้



รูปที่ 4.30 แสดงรูปสัญญาณที่ได้จากวงจรสังเคราะห์ความถี่
ด้วยเฟสล็อคลูปความถี่ 150.7 MHz ภาคส่ง



Center Frequency : 0 Hz

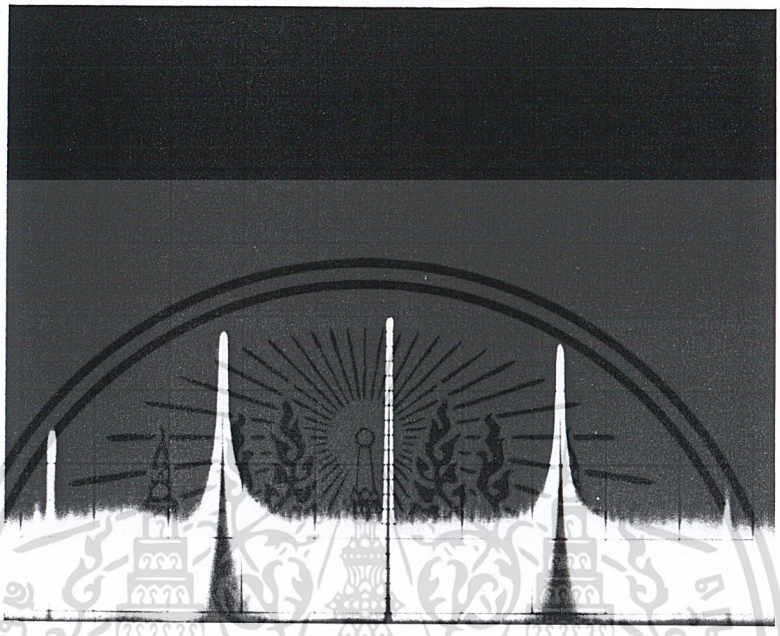
Bandwidth : 300 kHz Scanwidth : 50 MHz Reference Level: 20 dBm

รูปที่ 4.31 แสดงสเปกตรัมของสัญญาณจากวงจรสังเคราะห์ความถี่ที่ 150.7 MHz ภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 วงจรมิกเซอร์ (Mixer)

วงจรมิกเซอร์ที่ใช้ทำหน้าที่ขยับความถี่จาก 10.7 MHz (IF) เป็นผลรวมและผลต่างกับความถี่ 150.7 MHz ดังนั้นจะได้สเปกตรัมที่ความถี่ 140 MHz และ 161.4 MHz ผลการทดลองที่ได้แสดงไว้ในรูปที่ 4.32



Center Frequency : 150.7 MHz

Bandwidth : 100 kHz Scanwidth : 5 MHz Reference Level : 0 dBm

รูปที่ 4.32 แสดงเอาท์พุทที่ได้จากวงจรมิกเซอร์

4.7 วงจรกรองแถบความถี่ผ่านที่ 140 MHz (Band Pass Filter ที่ 140 MHz : Bandwidth 15 MHz)

สัญญาณที่ได้จากการผสมสัญญาณในหัวข้อที่ 4.6 จะถูกส่งต่อมายังส่วนวงจรกรองความถี่นี้ เพื่อทำหน้าที่ในการกดแถบความถี่ข้างที่ความถี่ 161.4 MHz ลงให้ได้มากที่สุด วงจรกรองความถี่ที่ได้สร้างมีผลการตอบสนองทางความถี่ดังแสดงไว้ในตารางที่ 4.3

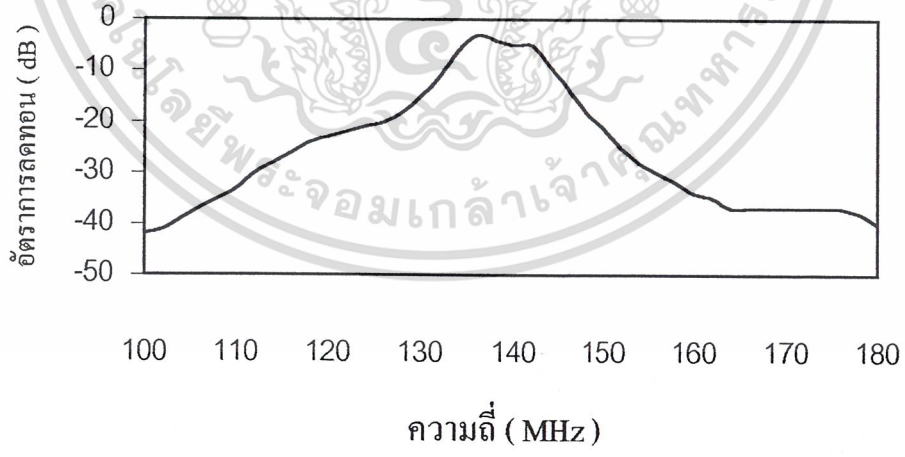
Band Pass Filter ที่ 140 MHz : Bandwidth 15 MHz : Chevbyshev 6^{th} Order

ความถี่ (MHz)	เอาท์พุท(dB)	ความถี่ (MHz)	เอาท์พุท(dB)
100	-42	140	-5
102	-41	142	-9
104	-39	144	-13
106	-38	146	-18
108	-35	148	-21
110	-33	150	-25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

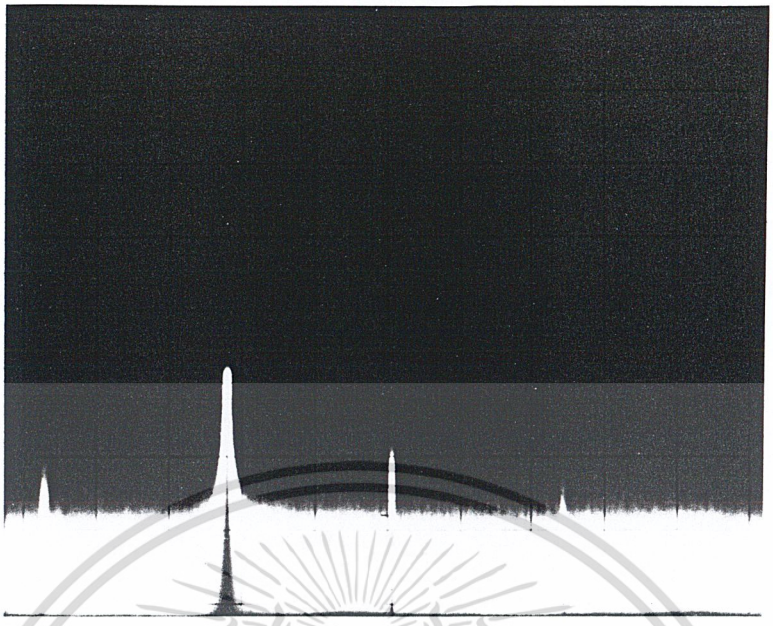
112	-30	152	-28
114	-28	154	-30
116	-26	156	-32
118	-24	158	-34
120	-23	160	-35
122	-22	162	-37
124	-21	164	-37
126	-20	166	-37
128	-18	168	-37
130	-15	170	-37
132	-11	172	-37
134	-6	174	-37
136	-3	176	-38
138	-4	178	-40

ตารางที่ 4.3 แสดงผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่ผ่าน 140 MHz



รูปที่ 4.33 กราฟแสดงผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่ผ่านที่ 140 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Center Frequency : 150.7 MHz

Bandwidth : 100 kHz Scanwidth : 5 MHz Reference Level : 0 dBm

รูปที่ 4.34 แสดงเอาท์พุทที่ได้จากวงจรกรองแถบความถี่ที่ 140 MHz BW 15 MHz

4.8 วงจรขยายสัญญาณความถี่วิทยุ (RF Amplifier)

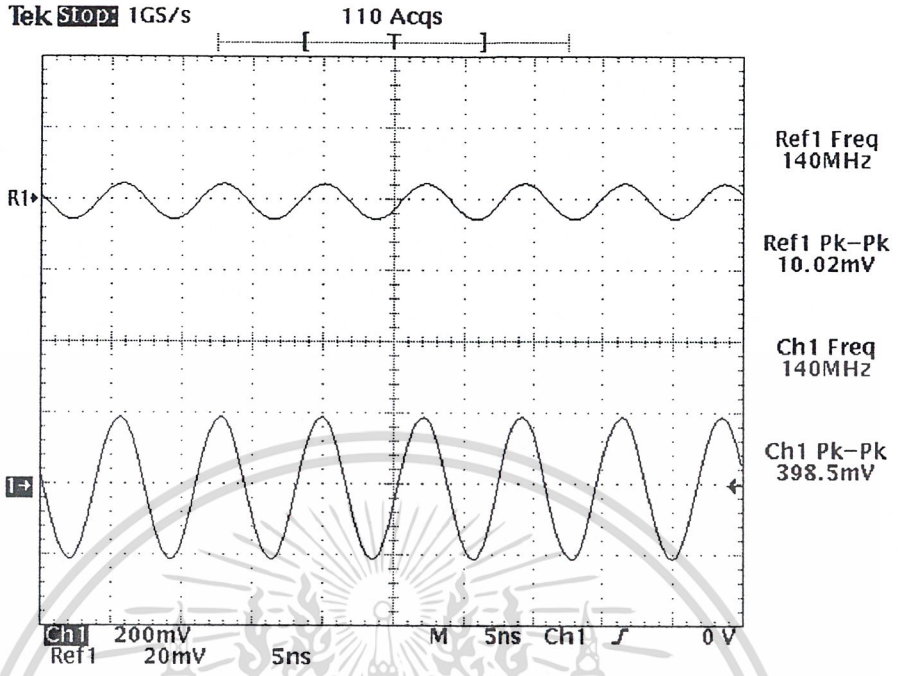
วงจรขยายสัญญาณทำหน้าที่ขยายสัญญาณที่ได้จากวงจรกรองความถี่ ในหัวข้อที่ 4.7 ซึ่งมีขนาดของสัญญาณต่ำไม่สามารถที่จะส่งออกอากาศได้ ผลการทดลองของวงจรแบ่งออกเป็น 2 ส่วนคือ

4.8.1 วงจรขยายสัญญาณความถี่ RF ตัวที่ 1

ผลการทดลองของวงจรแสดงได้ในรูปที่ 4.35 และ 4.36 อัตราการขยายสัญญาณของวงจรเท่ากับ 32 dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

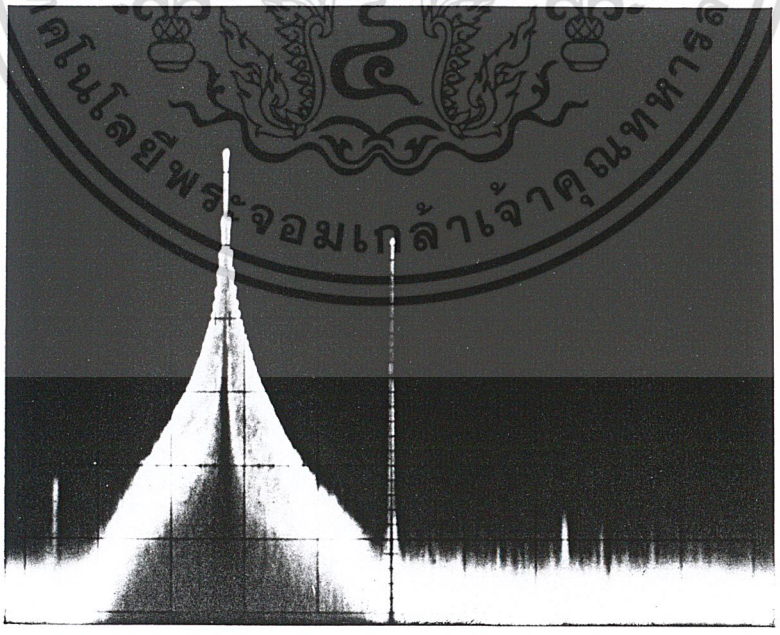
มีต่อหน้าถัดไป



รูปที่ 4.35 แสดงสัญญาณที่ได้จากวงจรขยายสัญญาณความถี่วิทยุตัวที่ 1

เมื่อ R1 : คือสัญญาณอินพุทที่ทดลองป้อนเข้าวงจรขยาย

Ch1 : คือสัญญาณเอาท์พุทที่ได้จากวงจรขยาย



Center Frequency : 150.7 MHz

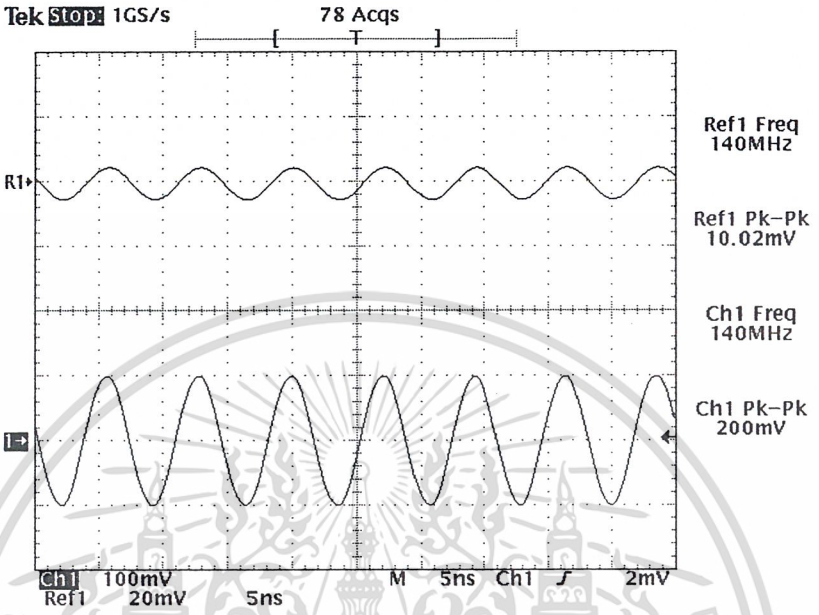
Bandwidth : 30 kHz Scanwidth : 5 MHz Reference Level : 0 dBm

รูปที่ 4.36 แสดงสัญญาณ BPSK ที่ความถี่ 140 MHz เมื่อถูกขยายด้วยวงจรขยายตัวที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของผลงานทุกครั้งที่มีการนำไปใช้

4.8.2 วงจรขยายสัญญาณความถี่ RF ตัวที่ 2

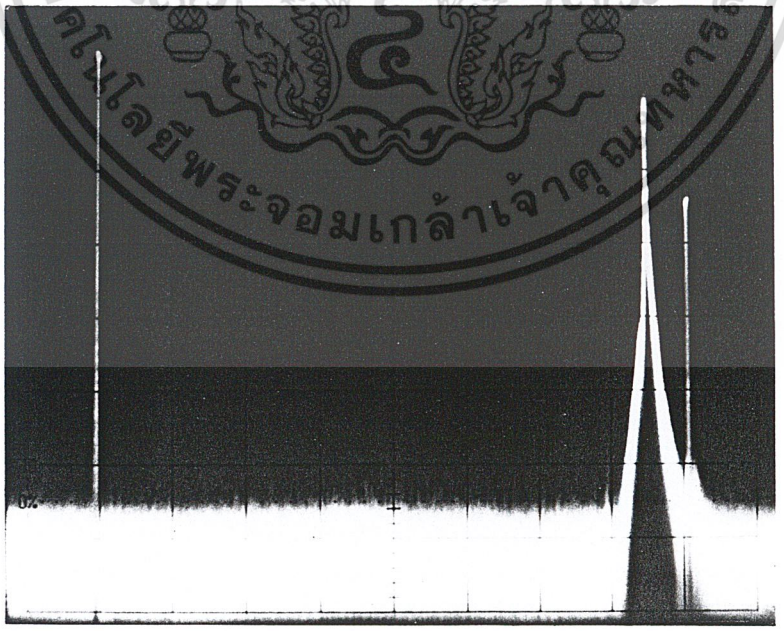
ผลการทดลองของวงจรแสดงได้ในรูปที่ 4.37 และ 4.38 อัตราการขยายสัญญาณของวงจรเท่ากับ 26 dB



รูปที่ 4.37 แสดงสัญญาณที่ได้จากวงจรขยายสัญญาณความถี่วิทยุตัวที่ 2

เมื่อ R1 : คือสัญญาณอินพุทที่ทดลองป้อนเข้าวงจรขยาย

Ch1 : คือสัญญาณเอาท์พุทที่ได้จากวงจรขยาย



Center Frequency : 80 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Bandwidth : 100 kHz Scanwidth : 20 MHz Reference Level : 20 dBm

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.38 แสดงสัญญาณ BPSK ที่ความถี่ 140 MHz เมื่อถูกขยายด้วยวงจรขยาย

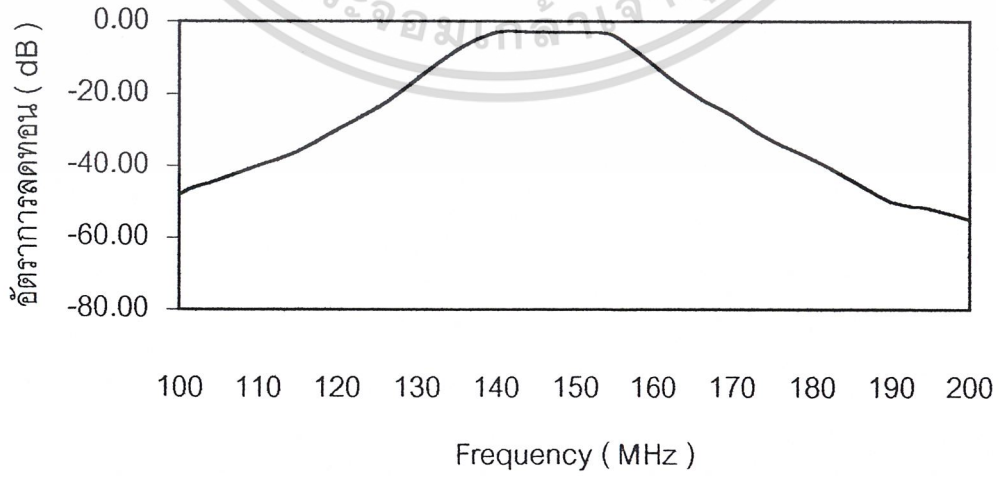
4.9 วงจรกรองแถบความถี่ (Band Pass Filter ที่ 140 MHz : Bandwidth 30 MHz)

วงจรกรองใช้กรองความถี่อีกครั้งก่อนส่งออกอากาศ เพื่อป้องกันมิให้องค์ประกอบที่ความถี่อื่นๆ ไปกวนช่องสัญญาณความถี่อื่น ผลตอบสนองของวงจรแสดงไว้ในตารางที่ 4.4

Band Pass Filter ที่ 140 MHz : Bandwidth 30 MHz : Butterworth 6^{th} Order

ความถี่ (MHz)	เอาท์พุท (dB)	ความถี่ (MHz)	เอาท์พุท (dB)
90	-75	155	-4
95	-58	160	-12
100	-48	165	-20
105	-44	170	-26
110	-40	175	-33
115	-36	180	-38
120	-30	185	-44
125	-24	190	-50
130	-16	195	-52
135	-8	200	-55
140	-3	205	-58
145	-3	210	-61
150	-3	215	-65

ตารางที่ 4.4 แสดงผลตอบสนองทางความถี่ของวงจรกรองความถี่ก่อนส่งสัญญาณออกอากาศ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.39 กราฟแสดงผลตอบทางความถี่ของวงจรกรองความถี่ก่อนออกอากาศ

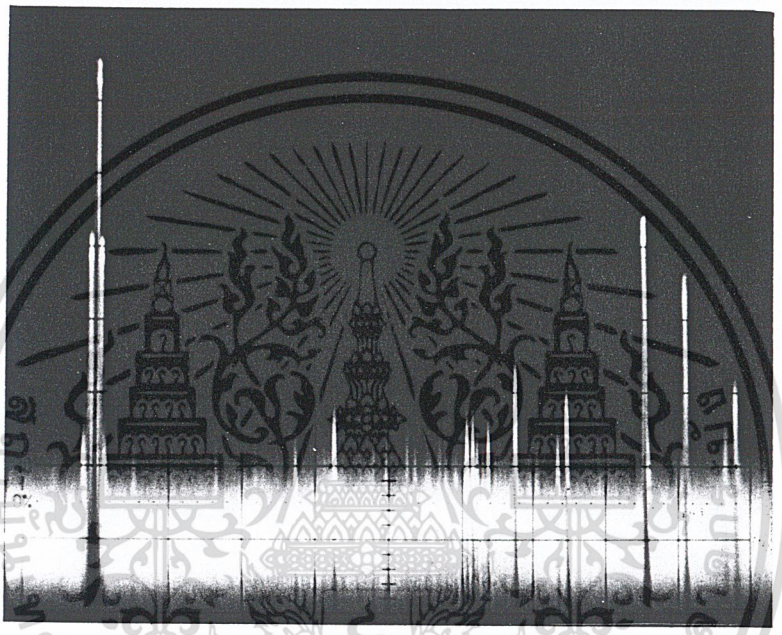
ภาครับ

Receiver

(ทำการทดลองเก็บผลที่ระยะห่างระหว่างเครื่องรับและเครื่องส่งที่ 5 เมตร)

4.10 ผลการทดลองของวงจรขยายที่มีระดับสัญญาณรบกวนต่ำ (Low Noise Amplifier)

สัญญาณความถี่ที่วงจรขยายที่มีระดับสัญญาณรบกวนต่ำจะรับเข้ามาได้นั้นจะมีองค์ประกอบที่ความถี่หลายๆความถี่ตามรูปที่ 4.40 ดังนั้น จึงจำเป็นต้องอาศัยวงจรกรองความถี่เข้าช่วยเพื่อป้ององค์ประกอบที่ความถี่อื่น มิฉะนั้นหากสัญญาณที่ความถี่อื่นมีกำลังแรงอาจทำให้วงจรเกิดการอิ่มตัวได้



Center Frequency : 80 MHz

Bandwidth : 300 kHz Scanwidth : 20 MHz Reference Level : -10 dBm

รูปที่ 4.40 แสดงสัญญาณที่รับได้จากวงจรขยายที่มีระดับสัญญาณรบกวนต่ำเมื่อไม่มีวงจรกรองความถี่

4.10.1 วงจรกรองแถบความถี่ผ่านหน้าวงจรขยายที่มีระดับสัญญาณรบกวนต่ำ

ได้ผลการทดลองดังนี้คือ

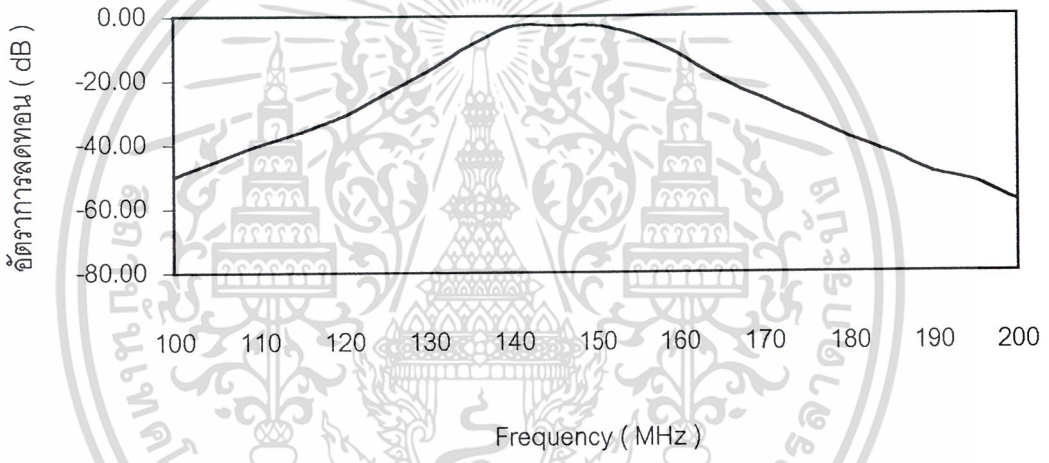
Band Pass Filter ที่ 140 MHz : Bandwidth 30 MHz : Butterworth 6^{th} Order

ความถี่ (MHz)	เอาท์พุท (dB)	ความถี่ (MHz)	เอาท์พุท (dB)
90	-70	155	-6
95	-58	160	-12
100	-50	165	-20
105	-45	170	-26
110	-40	175	-32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

115	-36	180	-38
120	-31	185	-43
125	-24	190	-49
130	-17	195	-52
135	-9	200	-58
140	-3	205	-60
145	-3	210	-65
150	-3	215	-76

ตารางที่ 4.5 แสดงผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่หน้าวงจรขยาย LNA



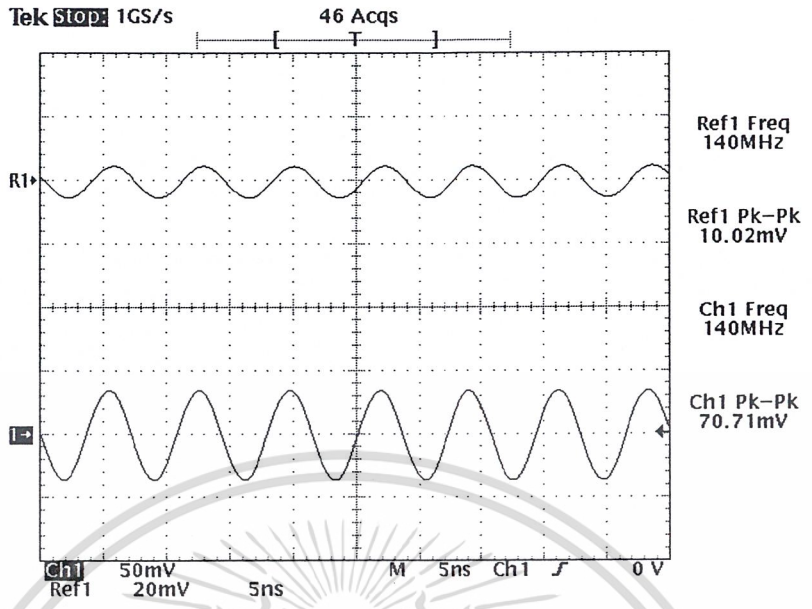
รูปที่ 4.41 กราฟแสดงผลตอบสนองทางความถี่ของวงจรกรองความถี่หน้าวงจรขยาย

4.10.2 วงจรขยายที่มีระดับสัญญาณรบกวนต่ำ

ผลการทดลองปรากฏว่าวงจรขยายมีอัตราการขยายเท่ากับ 17 dB ผลการทดลองมีดังนี้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

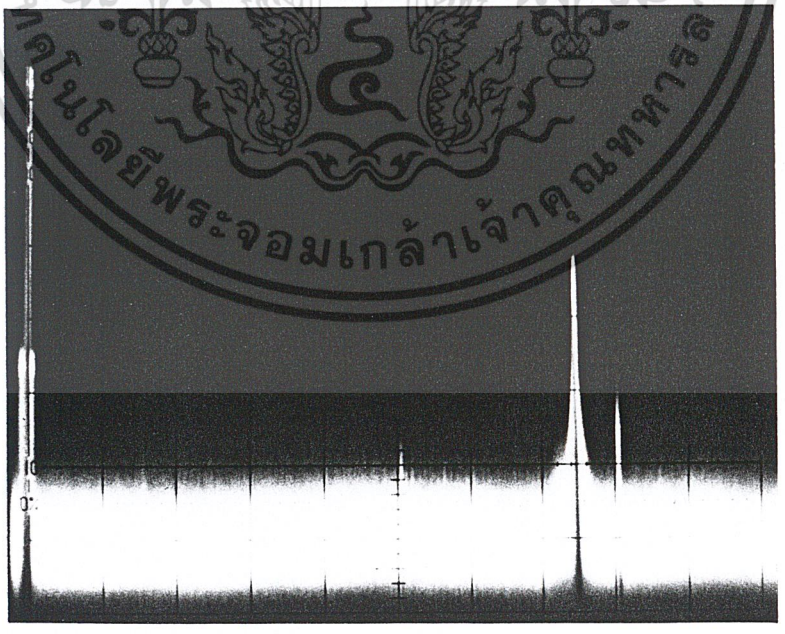
มีต่อหน้าถัดไป



รูปที่ 4.42 แสดงสัญญาณที่ได้จากวงจรขยายสัญญาณที่มีระดับสัญญาณรบกวนต่ำ

เมื่อ R1 : คือสัญญาณอินพุทที่ทดลองป้อนเข้าวงจรขยาย (LNA)

Ch1 : คือสัญญาณเอาท์พุทที่ได้จากวงจรขยาย



Center Frequency : 100 MHz

Bandwidth : 300 kHz Scanwidth : 20 MHz Reference Level : 0 dBm

รูปที่ 4.43 แสดงสเปกตรัมของสัญญาณที่รับได้จากวงจรขยายที่มีสัญญาณรบกวนต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

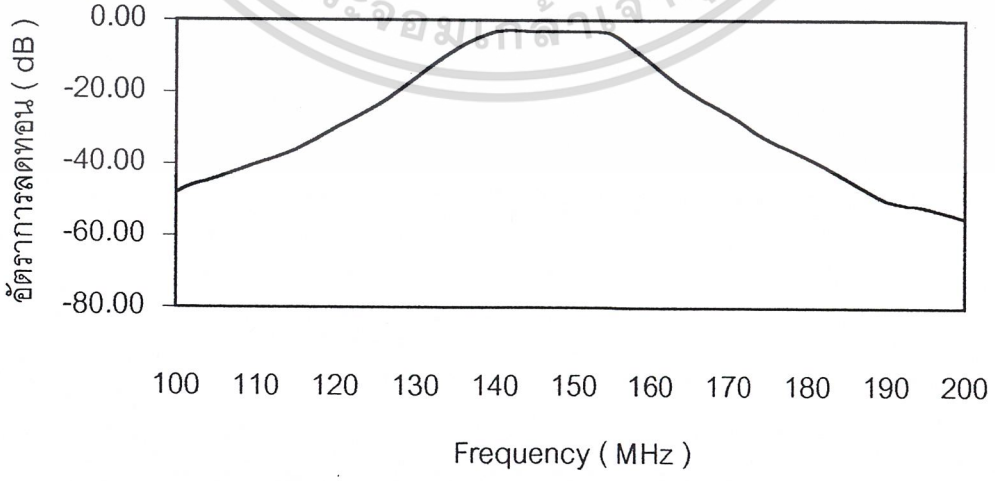
4.10.3 วงจรกรองแถบความถี่ผ่านหลังวงจรขยายที่มีระดับสัญญาณรบกวนต่ำ

ได้ผลการทดลองดังนี้คือ

Band Pass Filter ที่ 140 MHz : Bandwidth 30 MHz : Butterworth 6^{th} Order

ความถี่ (MHz)	เอาท์พุท (dB)	ความถี่ (MHz)	เอาท์พุท (dB)
90	-75	155	-4
95	-58	160	-12
100	-48	165	-20
105	-44	170	-26
110	-40	175	-33
115	-36	180	-38
120	-30	185	-44
125	-24	190	-50
130	-16	195	-52
135	-8	200	-55
140	-3	205	-58
145	-3	210	-61
150	-3	215	-65

ตารางที่ 4.6 แสดงผลตอบสนองทางความถี่ของวงจรกรองความถี่หลัง LNA



รูปที่ 4.44 กราฟแสดงผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่หลัง LNA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

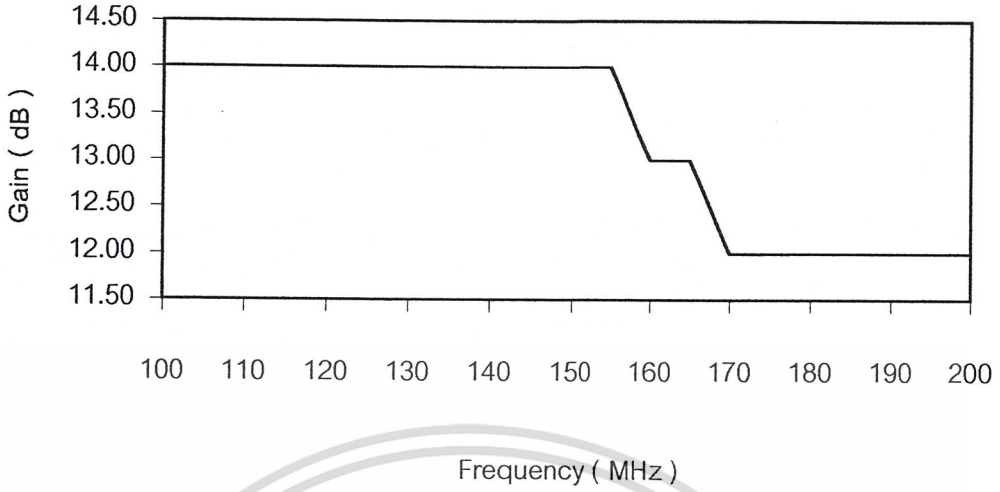
4.11 วงจรขยายสัญญาณแบนด์วิทกว้าง

สัญญาณที่ได้จากวงจรกรองความถี่ในหัวข้อที่ 4.10 นั้นจะมีขนาดของสัญญาณน้อยมาก ดังนั้นจึงจำเป็นที่จะต้องขยายขนาดของสัญญาณเสียก่อน วงจรขยายจึงใช้วงจรขยายสัญญาณแบนด์วิทกว้างจำนวน 1 ชุด เพื่อให้ได้อัตราการขยายสูงขึ้น ผลตอบสนองทางความถี่แสดงไว้ในตารางที่ 4.7 และกราฟในรูปที่ 4.45

ความถี่ (MHz)	Gain (dB)	ความถี่ (MHz)	Gain (dB)
10	14	210	12
20	14	220	12
30	14	230	12
40	14	240	12
50	14	250	12
60	14	260	12
70	14	270	12
80	14	280	11
90	14	290	11
100	14	300	9
110	14	310	8
120	14	320	8
130	14	330	8
140	14	340	8
150	14	350	8
160	13	360	8
170	12	370	8
180	12	380	8
190	12	390	8
200	12	400	7

ตารางที่ 4.7 แสดงผลตอบสนองของอัตราการขยายสัญญาณที่ความถี่ต่างๆของวงจรขยาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.45 กราฟแสดงอัตราขยายของวงจรขยายสัญญาณแบนด์วิดท์กว้างที่ความถี่ต่างๆ

Center Frequency : 100 MHz

Bandwidth : 300 kHz Scanwidth : 20 MHz Reference Level : 0 dBm

รูปที่ 4.46 รูปแสดงสัญญาณ BPSK ที่ได้จากวงจรขยายสัญญาณแบนด์วิดท์กว้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีต่อหน้าถัดไป

4.12 ผลการทดลองของวงจรสังเคราะห์ความถี่ด้วยเฟสล็อคลูป 150.7 MHz สำหรับออสซิลเลเตอร์ความถี่วิทยุด้านรับ (150.7 MHz Phase Lock Loop – Frequency Synthesizer For RF Oscillator : Rx)

วงจรสังเคราะห์ความถี่ด้วยเฟสล็อคลูปสำหรับความถี่วิทยุภาครับนั้นจะใช้ความถี่ที่ 150.7 MHz ซึ่งประกอบด้วยวงจรย่อยภายในระบบ 3 ส่วนด้วยกันคือ

4.12.1 วงจร VCO ที่จะใช้ในการสังเคราะห์ความถี่ที่ 150.7 MHz ภาครับ

4.12.2 วงจร Frequency Synthesizer 150.7 MHz ภาครับ

- Crystal 10.24 MHz
- LD
- $Ø_R$, $Ø_V$
- MC

และ 4.12.3 วงจรรวม PLL Frequency Synthesizer 150.7 MHz ภาครับ

4.12.1 ผลการทดลองของวงจร VCO ที่จะใช้ในการสังเคราะห์ความถี่ที่ 150.7 MHz ภาครับ

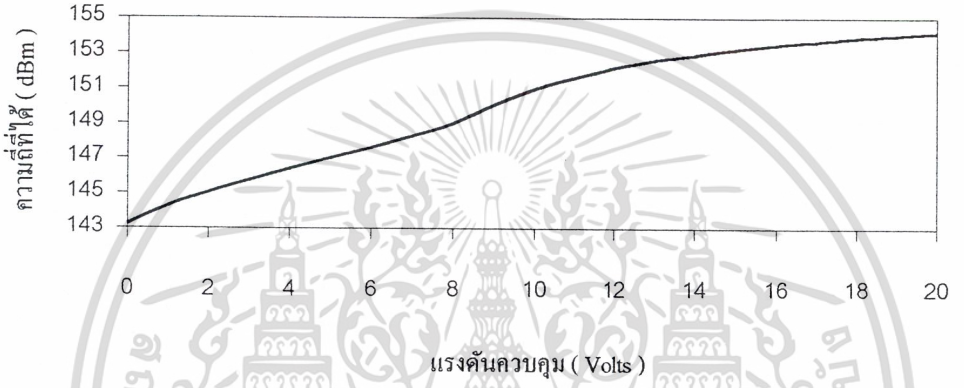
ผลการทดลองจะอยู่ในรูปแบบของตารางและกราฟแสดงความสัมพันธ์ระหว่างแรงดันที่ใช้ควบคุมกับความถี่และกำลังงานที่ได้ เพื่อนำไปใช้ในการสังเคราะห์ความถี่ด้วยเฟสล็อคลูปที่ 150.7 MHz อีกทีหนึ่ง โดยมีผลการทดลองดังนี้

แรงดันควบคุม (Vc)	ความถี่ที่ได้ (MHz)	กำลังงานที่ได้ (dBm)
0.0	143.2103	7.501
1.0	144.2660	6.902
2.0	145.0604	6.586
3.0	145.7352	6.341
4.0	146.4012	6.003
5.0	147.0085	5.830
6.0	147.6058	5.652
7.0	148.2554	5.380
8.0	148.9824	5.193
9.0	150.0459	5.097
10.0	150.9522	4.904
11.0	151.6027	4.707
12.0	152.1460	4.505
13.0	152.5933	4.505
14.0	152.8999	4.505
15.0	153.2058	4.505

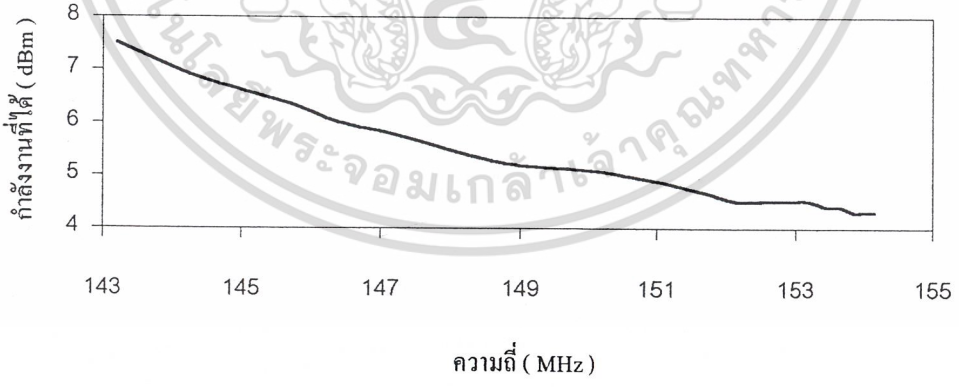
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

16.0	153.4555	4.403
17.0	153.6614	4.403
18.0	153.8520	4.298
19.0	154.0334	4.298
20.0	154.1480	4.298

ตารางที่ 4.8 แสดงผลของวงจร VCO ที่จะใช้ในการสังเคราะห์ความถี่ที่ 150.7 MHz ภาครับ



รูปที่ 4.47 กราฟแสดงความสัมพันธ์ระหว่างความถี่ที่ระดับแรงดันควบคุมค่าต่างๆของวงจร VCO ที่จะใช้ในการสังเคราะห์ความถี่ที่ 150.7 MHz ในวงจรออสซิลเลเตอร์ความถี่วิทยุภาครับ



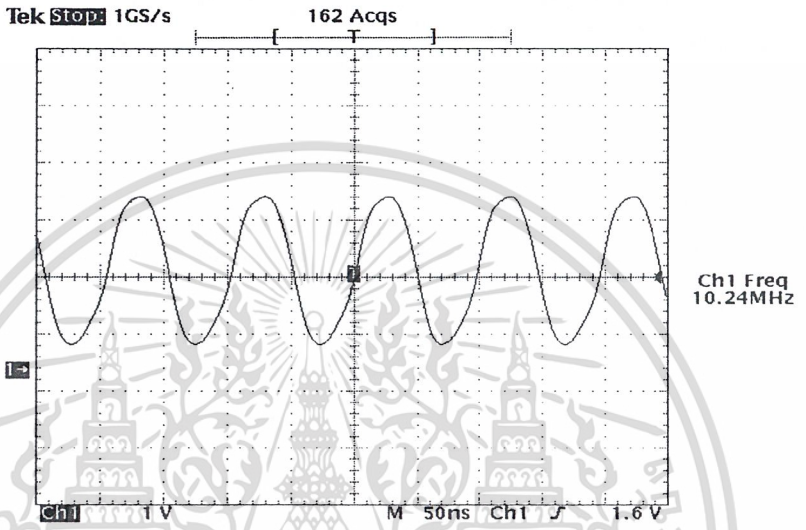
รูปที่ 4.48 กราฟแสดงความสัมพันธ์ระหว่างกำลังงานที่ความถี่ค่าต่างๆของวงจร VCO ที่จะใช้ในการสังเคราะห์ความถี่ที่ 150.7 MHz ในวงจรออสซิลเลเตอร์ความถี่วิทยุภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.12.2 วงจร Frequency Synthesizer 150.7 MHz ภาครับ

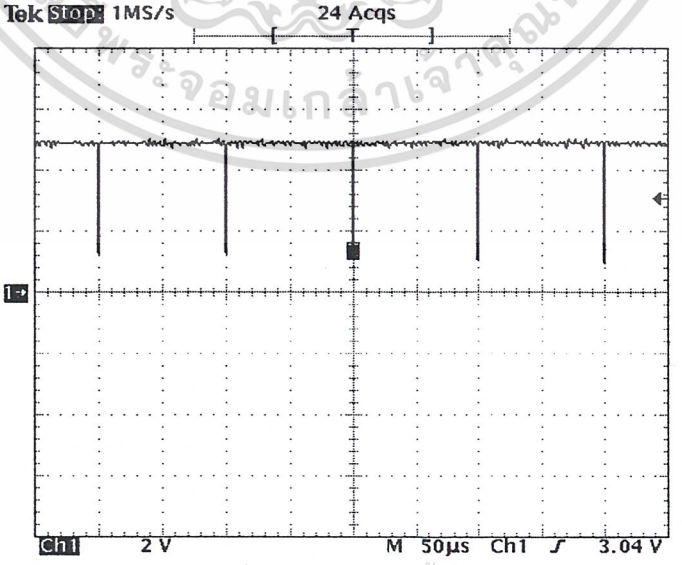
วงจรในส่วนของ Frequency Synthesizer 150.7 MHz ภาคส่ง ใช้ IC เบอร์ MC145152 ซึ่งประกอบด้วยผลการทดลองแยกเป็นส่วนๆตามขาต่างๆเมื่อทำการล็อคความถี่แล้วมีดังนี้

Crystal 10.24 MHz



รูปที่ 4.49 แสดงสัญญาณที่ได้จากคริสตอลออสซิลเลเตอร์ 10.24 MHz ของ MC 145152

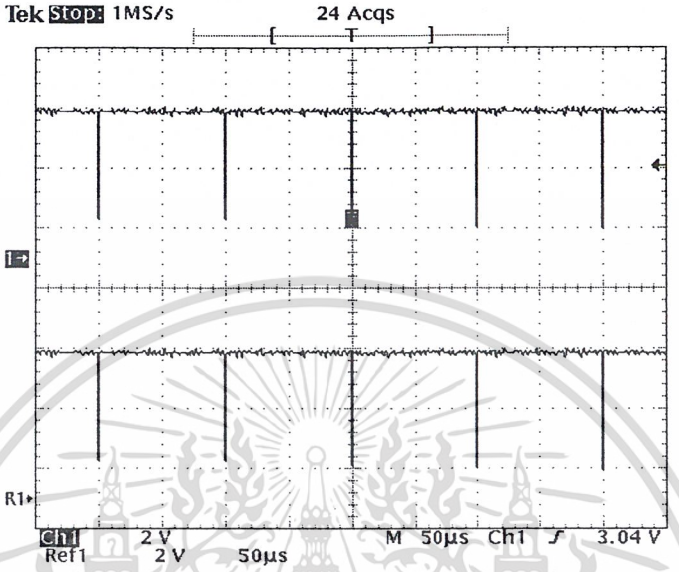
LD



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.50 แสดงรูปสัญญาณที่ได้จากขา Lock Detect ของ MC145152

$Ø_R$, $Ø_V$

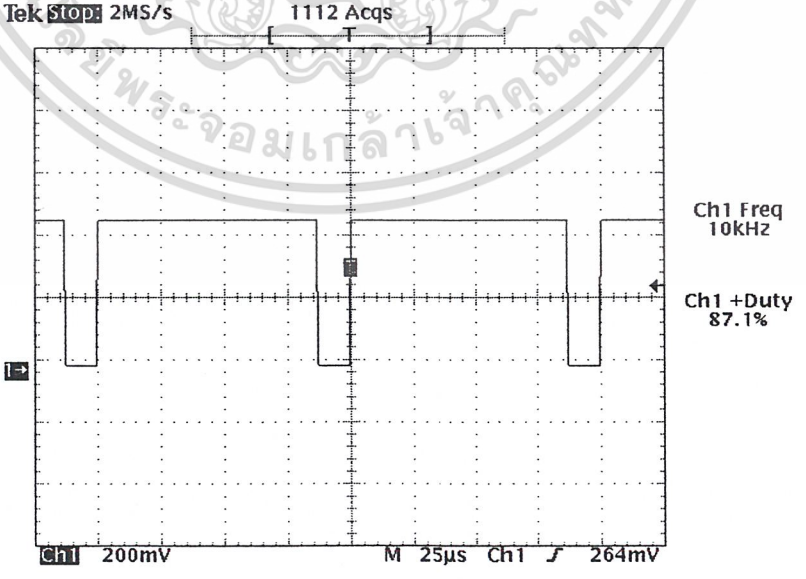


รูปที่ 4.51 แสดงสัญญาณที่ได้จากขา $Ø_R$, $Ø_V$ ของ MC 145152

เมื่อ Ch1 : สัญญาณ $Ø_R$

Ref1 : สัญญาณ $Ø_V$

MC

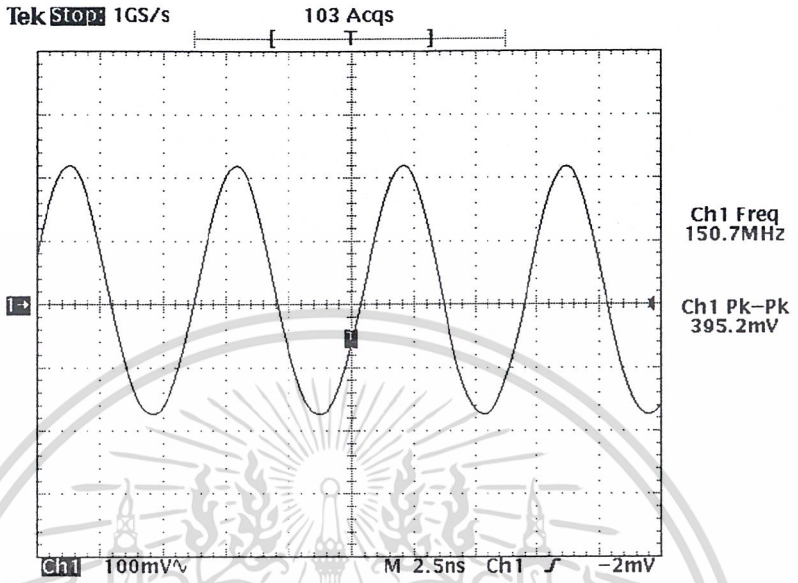


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

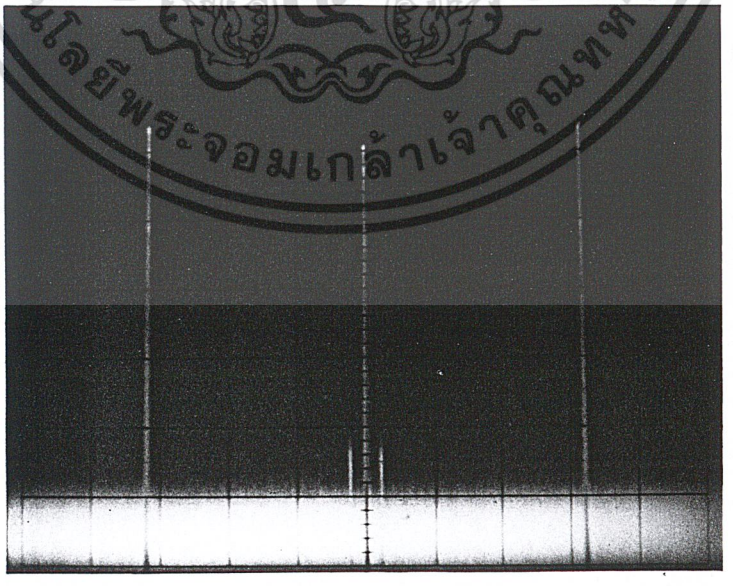
รูปที่ 4.52 แสดงสัญญาณที่ได้จากขา MC ของ MC 145152

4.12.3 วงจรรวม PLL Frequency Synthesizer 150.7 MHz ภาครับ

รูปสัญญาณที่ได้จากวงจรสังเคราะห์ความถี่ที่ 150.7 MHz ที่ภาครับได้ผลการทดลองดังนี้



รูปที่ 4.53 แสดงรูปสัญญาณที่ได้จากวงจรสังเคราะห์ความถี่
ด้วยเฟสล็อคลูปความถี่ 150.7 MHz ภาครับ



Center Frequency : 0 Hz

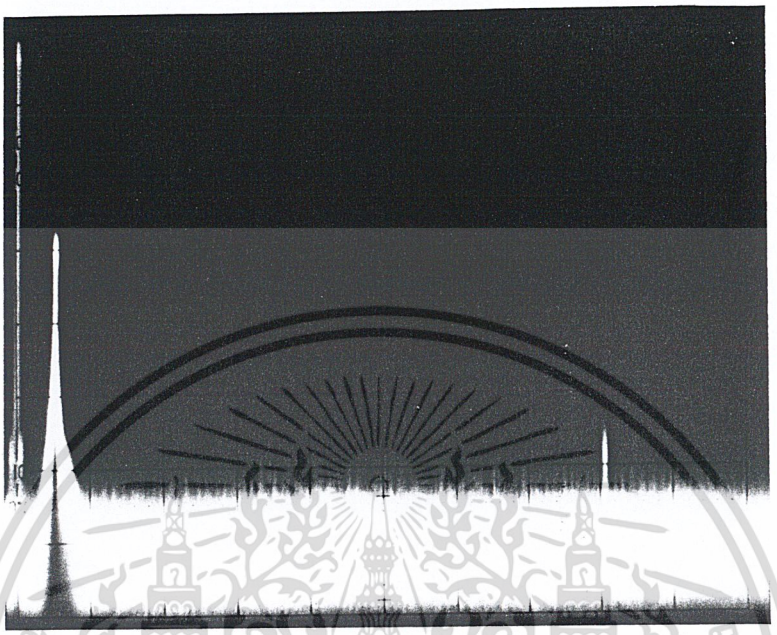
Bandwidth : 300 kHz Scanwidth : 50 MHz Reference Level : 20 dBm

รูปที่ 4.54 แสดงสเปกตรัมของสัญญาณจากวงจรสังเคราะห์ความถี่ที่ 150.7 MHz ภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น รวมถึงการนำไปใช้ในการแสวงหาผลประโยชน์ทางการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น

4.13 วงจรมิกเซอร์ (Mixer)

วงจรมิกเซอร์ทำหน้าที่ลดความถี่จากความถี่ 140 MHz มาเป็นความถี่ที่ 10.7 MHz (IF) ได้ผลการทดลองตามรูปที่ 4.55



Center Frequency : 100 MHz

Bandwidth : 300 kHz Scanwidth : 20 MHz Reference Level : 0 dBm

รูปที่ 4.55 รูปแสดงสเปกตรัมสัญญาณเอาท์พุทที่ได้จากวงจรมิกเซอร์

4.14 วงจรกรองแถบความถี่ (Band Pass Filter ที่ 10.7 MHz Bandwidth : 10 MHz)

ผลการทดลองของวงจรกรองความถี่มีดังต่อไปนี้

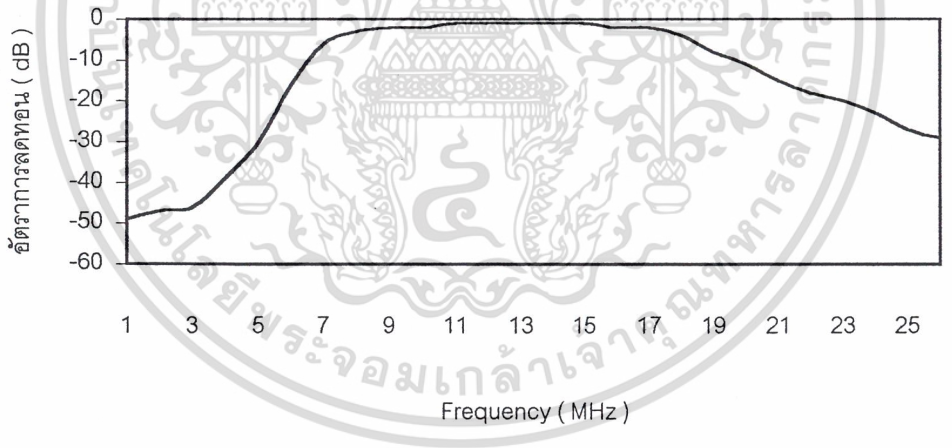
Band Pass Filter ที่ 10.7 MHz : Bandwidth 10 MHz : Butterworth 10^{th} Order

Frequency (MHz)	เอาท์พุท (dB)	Frequency (MHz)	เอาท์พุท (dB)
1	-49	21	-15
2	-47	22	-18
3	-46	23	-20
4	-39	24	-23
5	-30	25	-27
6	-16	26	-29
7	-6	27	-30
8	-3	28	-22
9	-2	29	-34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10	-2	30	-35
11	-1	31	-38
12	-1	32	-39
13	-1	33	-40
14	-1	34	-42
15	-1	35	-43
16	-2	36	-44
17	-2	37	-45
18	-4	38	-46
19	-8	39	-47
20	-11	40	-48

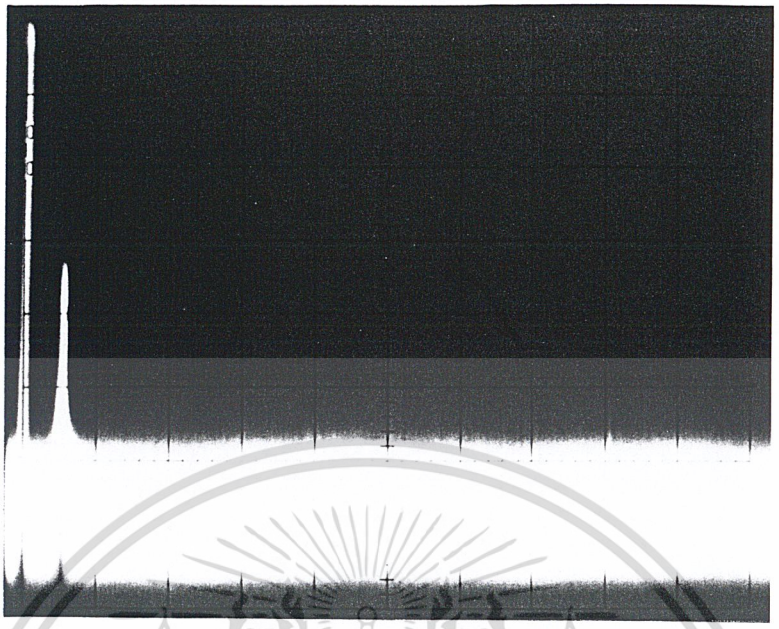
ตารางที่ 4.9 แสดงผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่ที่ 10.7 MHz



รูปที่ 4.56 กราฟแสดงผลตอบสนองทางความถี่ของวงจรกรองความถี่ที่ 10.7MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีต่อหน้าถัดไป



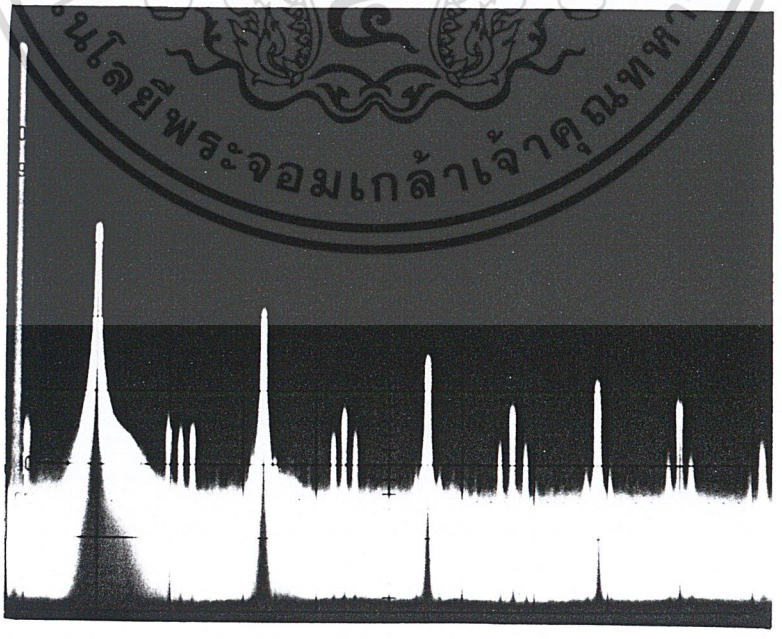
Center Frequency : 100 MHz

Bandwidth : 300 kHz Scanwidth : 20 MHz Reference Level : 0 dBm

รูปที่ 4.57 รูปแสดงสเปกตรัมสัญญาณเอาท์พุทที่ได้จากวงจรกรองความถี่

4.15 วงจรขยายสัญญาณความถี่ IF (ที่ 10.7 MHz)

ผลการทดลองที่ได้คือ



Center Frequency : 50 MHz

Bandwidth : 100 kHz Scanwidth : 10 MHz Reference Level : 0 dBm

รูปที่ 4.58 รูปแสดงสเปกตรัมสัญญาณเอาท์พุทที่ได้จากวงจรขยาย IF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.16 ผลการทดลองของการทำ Carier Recovery

ประกอบด้วยส่วนต่างๆคือ

4.16.1 วงจรกรองความถี่ต่ำผ่านที่ 21.4 MHz

4.16.2 วงจรยกกำลังสอง

4.16.3 วงจรกรองแถบความถี่ผ่าน

4.16.4 วงจรขยายสัญญาณ

4.16.5 วงจรหารสองความถี่

4.16.6 วงจร Ceramic Filter ที่ 10.7 MHz

ผลการทดลองมีดังนี้คือ

4.16.1 ผลการทดลองของวงจรกรองความถี่ต่ำผ่าน

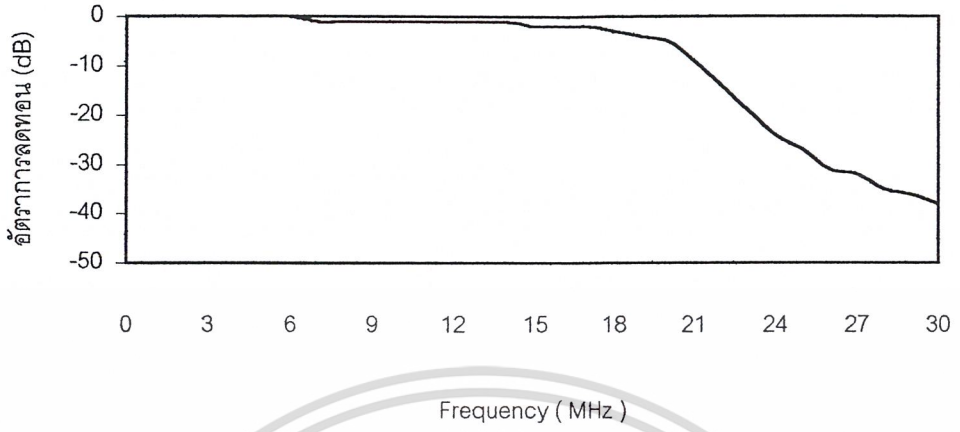
เพื่อให้วงจรในส่วนถัดไปทำหน้าที่ได้อย่างสมบูรณ์ จึงจำเป็นที่จะต้องกรองเอาเฉพาะความถี่ Fundamental มาใช้เท่านั้น

Low Pass Filter ที่ 20 MHz : Butterworth 7th Order

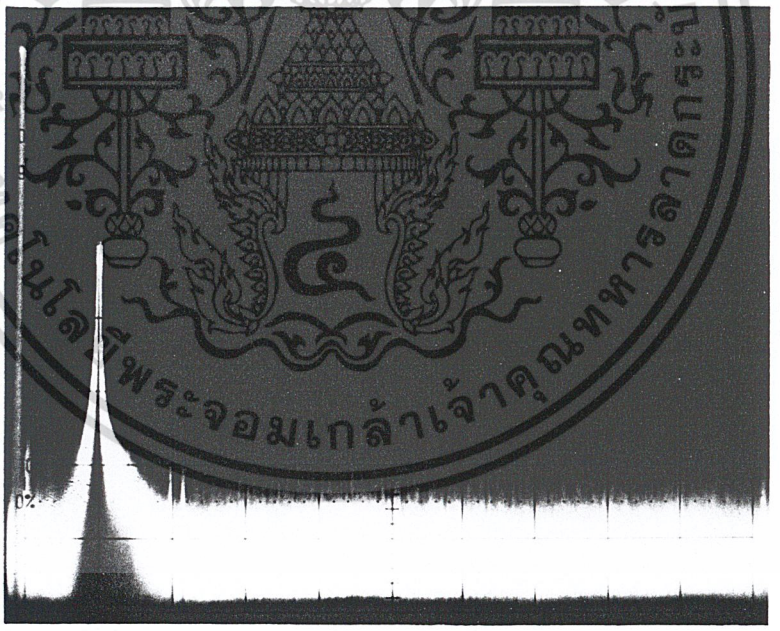
Frequency (MHz)	เอาท์พุท (dB)	Frequency (MHz)	เอาท์พุท (dB)
1.00	0	17.00	-2
2.00	0	18.00	-3
3.00	0	19.00	-4
4.00	0	20.00	-5
5.00	0	21.00	-9
6.00	0	22.00	-14
7.00	-1	23.00	-19
8.00	-1	24.00	-24
9.00	-1	25.00	-27
10.00	-1	26.00	-31
11.00	-1	27.00	-32
12.00	-1	28.00	-35
13.00	-1	29.00	-36
14.00	-1	30.00	-38
15.00	-2	31.00	-40
16.00	-2	32.00	-42

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.10 แสดงผลตอบสนองของวงจรกรองความถี่ต่ำผ่านที่ 20 MHz



รูปที่ 4.59 กราฟแสดงผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่าน



Center Frequency : 50 MHz

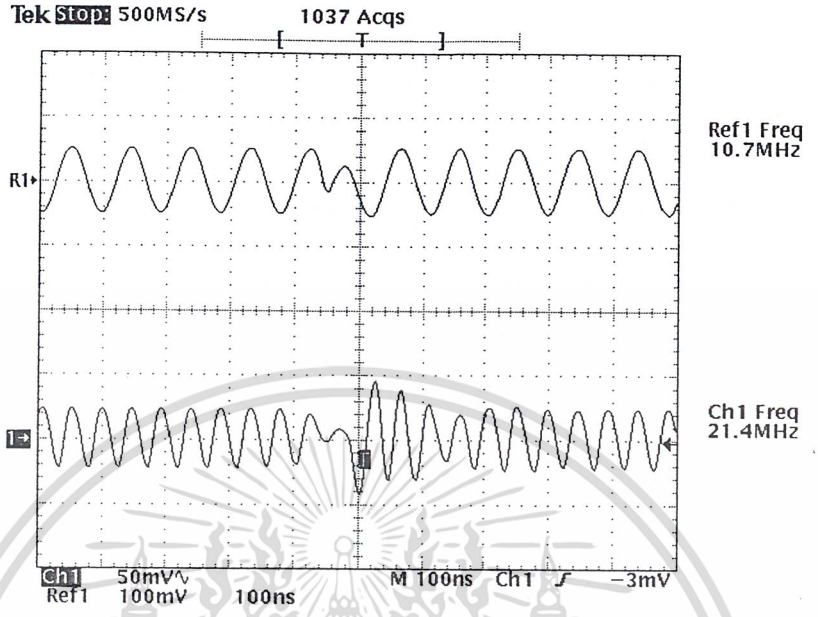
Bandwidth : 100 kHz Scanwidth : 10 MHz Reference Level : 0 dBm

รูปที่ 4.60 รูปแสดงสเปกตรัมสัญญาณเอาท์พุทที่ได้จากวงจรกรองความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.16.2 ผลการทดลองของวงจรยกกำลังสอง

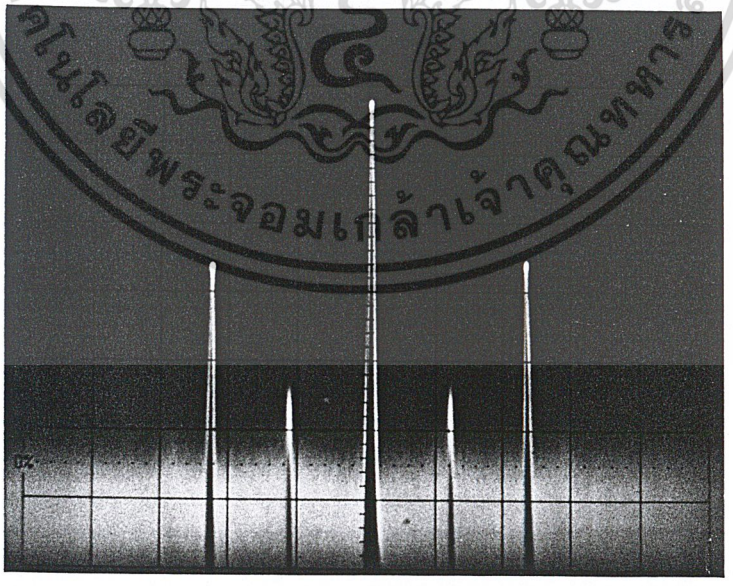
ได้ผลการทดลองดังนี้



รูปที่ 4.61 แสดงรูปสัญญาณที่ได้จากวงจรยกกำลังสอง

เมื่อ R1 : คือสัญญาณ BPSK ที่เข้าวงจรยกกำลังสอง

Ch1 : คือสัญญาณที่ได้จากวงจรยกกำลังสอง



Center Frequency : 0 MHz

Bandwidth : 300 kHz Scanwidth : 10 MHz Reference Level : 10 dBm

รูปที่ 4.62 รูปแสดงสเปกตรัมสัญญาณเอาท์พุทที่ได้จากวงจรยกกำลังสอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.16.3 ผลการทดลองของวงจรกรองแถบความถี่ที่ 21.4 MHz

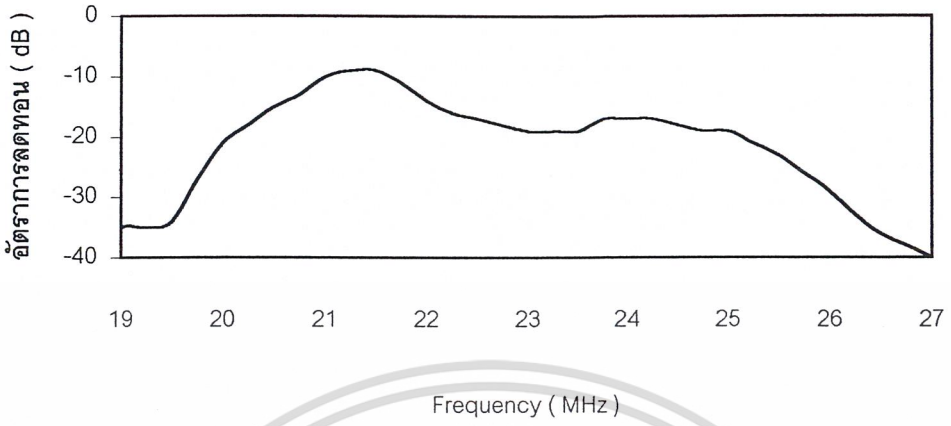
ผลการทดลองของวงจรกรองความถี่แสดงไว้ในตารางที่ 4.10

Band Pass Filter ที่ 21.4 MHz : Bandwidth 6 MHz : Butterworth 14^{th} Order

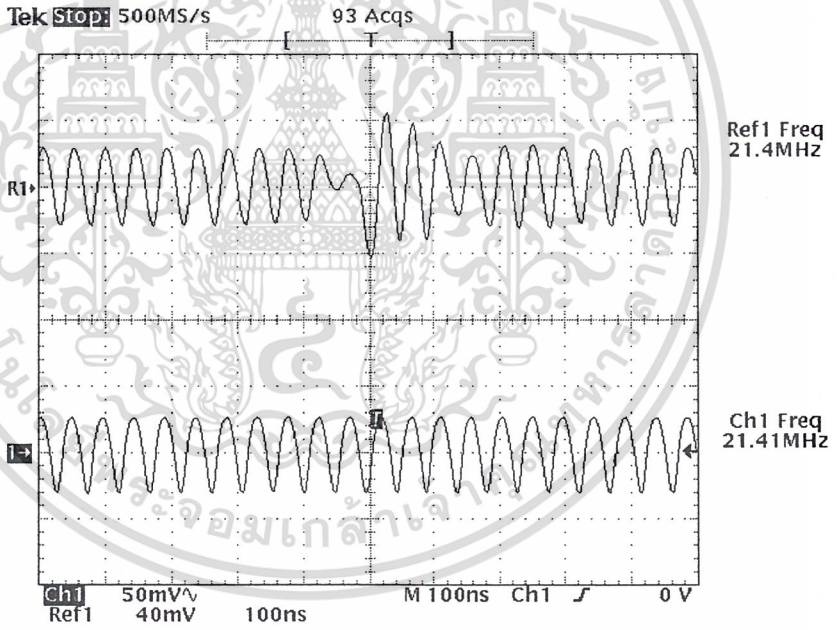
Frequency (MHz)	เอาท์พุท (dB)	Frequency (MHz)	เอาท์พุท (dB)
16.00	-43	22.00	-14
16.25	-43	22.25	-16
16.50	-43	22.50	-17
16.75	-43	22.75	-18
17.00	-40	23.00	-19
17.25	-40	23.25	-19
17.50	-40	23.50	-19
17.75	-40	23.75	-17
18.00	-40	24.00	-17
18.25	-40	24.25	-17
18.50	-40	24.50	-18
18.75	-40	24.75	-19
19.00	-35	25.00	-19
19.25	-35	25.25	-21
19.50	-34	25.50	-23
19.75	-27	25.75	-26
20.00	-21	26.00	-29
20.25	-18	26.25	-33
20.50	-15	26.50	-36
20.75	-13	26.75	-38
21.00	-10	27.00	-40
21.25	-9	27.25	-43
21.50	-9	27.50	-43
21.75	-11	27.75	-54

ตารางที่ 4.10 แสดงผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่ที่ 21.4 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.63 กราฟแสดงผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่ที่ 21.4 MHz



รูปที่ 4.64 แสดงรูปสัญญาณที่ได้จากวงจรกรองแถบความถี่

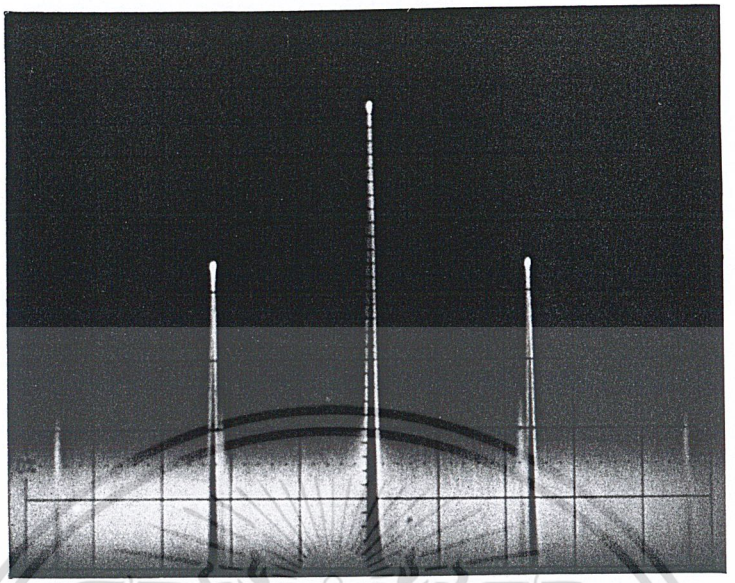
เมื่อ R1 : คือสัญญาณที่ได้จากการยกกำลังสอง

Ch1 : คือสัญญาณที่ได้จากวงจรกรองแถบความถี่

ที่ 21.4 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีต่อหน้าถัดไป



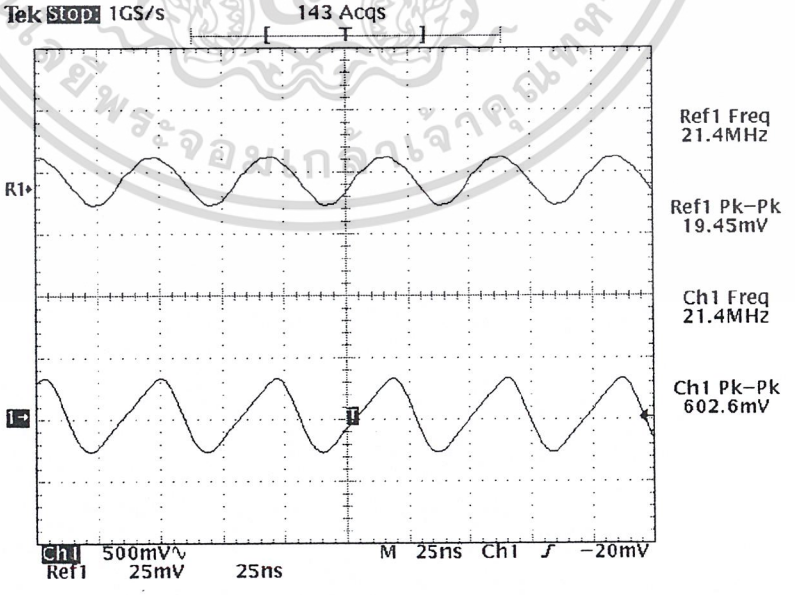
Center Frequency : 0 MHz

Bandwidth : 300 kHz Scanwidth : 10 MHz Reference Level : 10 dBm

รูปที่ 4.65 รูปแสดงสเปกตรัมสัญญาณเอาท์พุทที่ได้จากวงจรกรองความถี่ที่ 21.4 MHz

4.16.4 ผลการทดลองของวงจรขยายสัญญาณ

วงจรขยายทำหน้าที่ขยายสัญญาณความถี่เพื่อให้สามารถที่จะให้วงจรหารสองสามารถที่จะทำการหารได้ ผลการทดลองมีดังนี้คือ



รูปที่ 4.66 แสดงรูปสัญญาณที่ได้จากขยายสัญญาณ

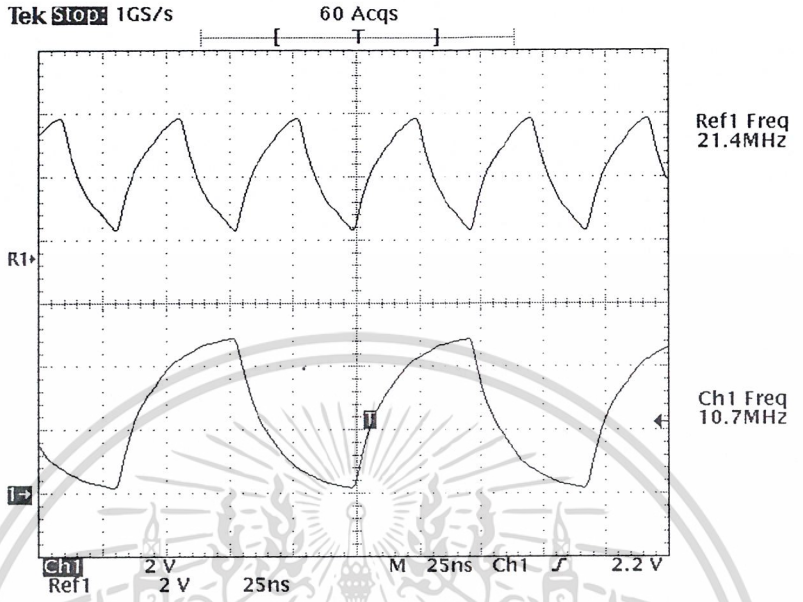
เมื่อ R1 : คือสัญญาณที่ได้จากวงจรกรองความถี่

Ch1 : คือสัญญาณที่ได้จากวงจรขยายสัญญาณ (Probe ×10)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.16.5 ผลการทดลองของวงจรหารสองความถี่ด้วย JK-Flip Flop

ผลการทดลองมีดังนี้



รูปที่ 4.67 แสดงรูปสัญญาณที่ได้จากวงจรหารสองความถี่

เมื่อ R1 : คือสัญญาณที่ได้จากวงจรขยายสัญญาณ

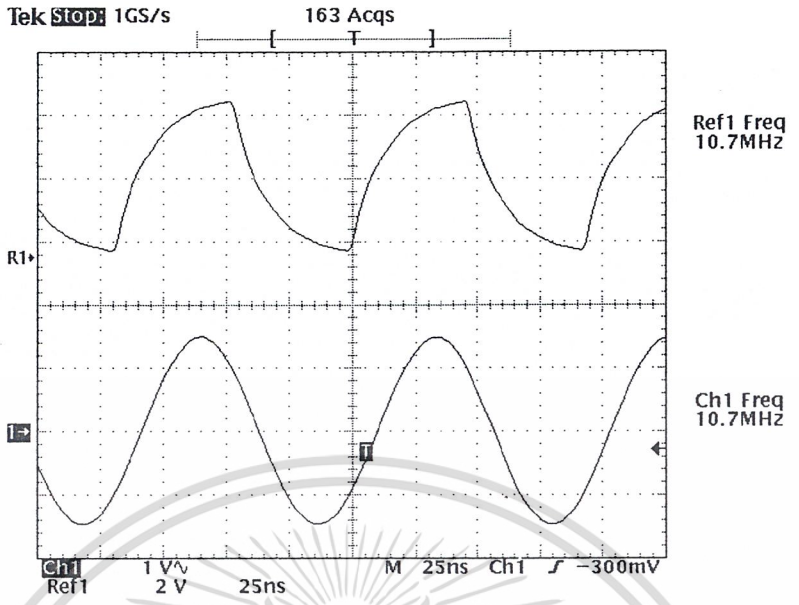
Ch1 : คือสัญญาณที่ได้จากวงจรหารสองความถี่

4.16.6 ผลการทดลองของวงจรกรองแถบความถี่ด้วย Ceramics Filter ที่ 10.7 MHz

วงจรกรองความถี่ใช้กรองความถี่เอาเฉพาะ Fundamental Harmonic ผลการทดลองมีดังต่อไปนี้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีต่อหน้าถัดไป



รูปที่ 4.68 แสดงรูปสัญญาณที่ได้จาก Ceramic Filter ที่ 10.7 MHz

เมื่อ R1 : คือสัญญาณที่ได้จากวงจรหารสองความถี่

Ch1 : คือสัญญาณที่ได้จาก Ceramic Filter ที่ 10.7 MHz

4.17 ผลการทดลองของวงจรดีมอดูเลทสัญญาณดิจิตอลแบบ BPSK

ประกอบด้วย

4.17.1 วงจรคูณสัญญาณแบบ 4 – Quadrant

4.17.2 วงจรกรองความถี่ต่ำผ่านที่ 320 kHz แบบ Active

4.17.3 วงจรขยายสัญญาณแบบกลับเฟสด้วยออปแอมป์ (Inverting Amplifier)

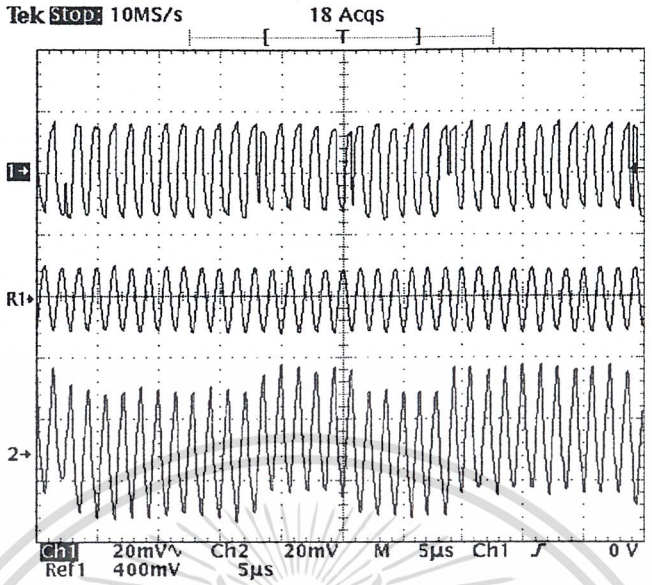
ผลการทดลองในส่วนต่างๆมีดังนี้คือ

4.17.1 ผลการทดลองของวงจรคูณสัญญาณแบบ 4 – Quadrant

ผลการทดลองแสดงในรูปที่ 4.69

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีต่อหน้าถัดไป



รูปที่ 4.69 แสดงรูปสัญญาณที่ได้จากวงจรคูณสัญญาณ ในส่วนการดีมอดูเลท

เมื่อ Ch1 : คือสัญญาณ BPSK ความถี่ 10.7 MHz ที่ได้จากวงจรขยายสัญญาณ IF

R1 : คือสัญญาณความถี่ 10.7 MHz ที่ได้จากการทำ Carrier Recovery

Ch2 : คือสัญญาณที่ได้จากวงจรคูณสัญญาณ โดยใช้ MC 1496

4.17.2 ผลการทดลองของวงจรกรองความถี่ต่ำผ่านที่ 320 kHz แบบ Active

ผลการทดลองมีดังนี้

Low Pass Filter ที่ 320 kHz : Butterworth Sallen & Key : 8^{th} Order

Vin = 1000 mVp

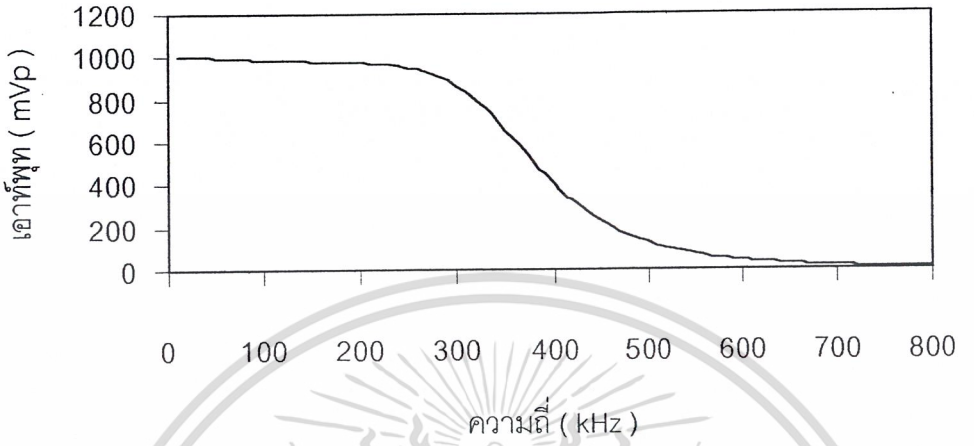
ความถี่ (kHz)	Vout (mVp)	ความถี่ (kHz)	Vout (mVp)
10	1000	410	359.4
20	1000	420	325.0
30	1000	430	287.5
40	993.8	440	256.3
50	993.8	450	228.1
60	993.8	460	203.1
70	993.8	470	181.2
80	993.8	480	162.5
90	987.5	490	145.3
100	987.5	500	129.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

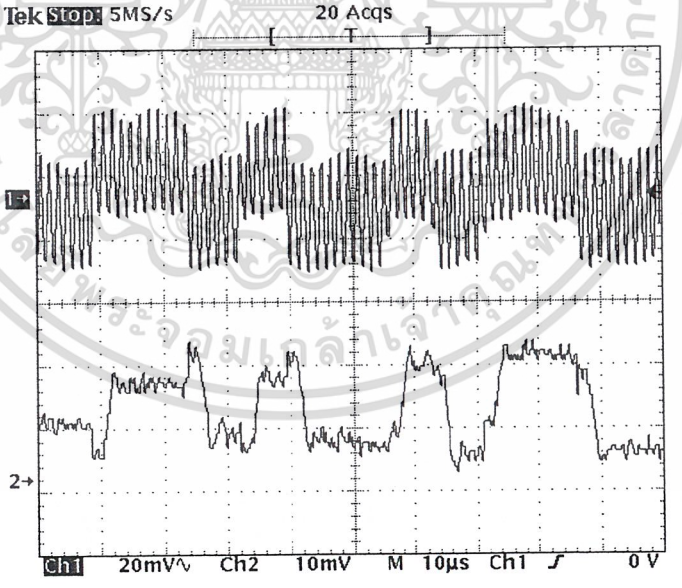
110	987.5	510	115.0
120	981.3	520	102.5
130	981.3	530	92.5
140	981.3	540	83.1
150	975.0	550	75.0
160	975.0	560	66.8
170	975.0	570	60.6
180	975.0	580	54.3
190	975.0	590	48.7
200	975.0	600	43.7
210	968.8	610	40.0
220	962.5	620	36.3
230	962.5	630	33.1
240	956.3	640	30.0
250	950.0	650	26.8
260	943.8	660	24.6
270	925.0	670	22.8
280	912.5	680	20.9
290	887.5	690	19.2
300	862.5	700	17.5
310	831.3	710	15.9
320	800.0	720	13.4
330	756.2	730	12.6
340	706.2	740	12.0
350	656.2	750	11.4
360	612.5	760	11.0
370	562.5	770	10.4
380	493.7	780	10.1
390	446.9	790	9.8
400	403.1	800	9.0

ตารางที่ 4.11 แสดงผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำแบบ Active ที่ 320 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.70 กราฟแสดงผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านที่ 320 kHz



รูปที่ 4.71 แสดงรูปสัญญาณที่ได้จากวงจรกรองความถี่ต่ำที่ 320 kHz

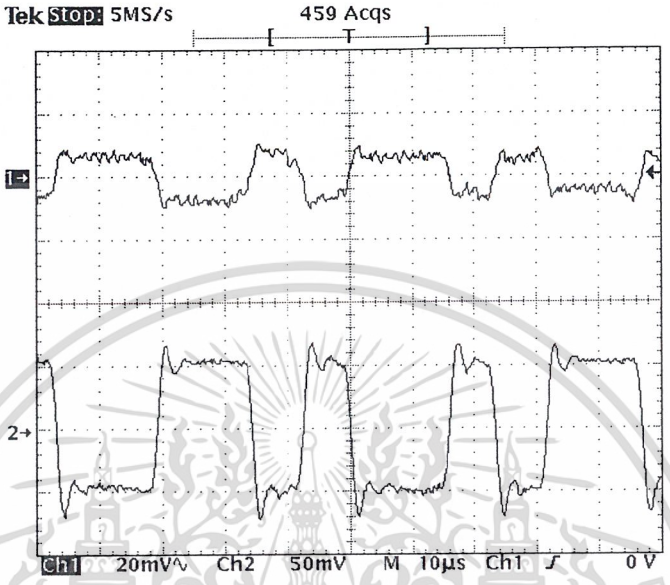
เมื่อ Ch1 : คือสัญญาณที่ได้จากวงจรคูณสัญญาณ

Ch2 : คือสัญญาณที่ได้จากวงจรกรองความถี่ต่ำผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.17.3 ผลการทดลองของวงจรขยายสัญญาณแบบกลับเฟสด้วยออปแอมป์ (Inverting Amplifer)

ผลการทดลองแสดงในรูปที่ 4.72



รูปที่ 4.72 แสดงรูปสัญญาณที่ได้จากวงจรขยายสัญญาณแบบกลับเฟสด้วยออปแอมป์

เมื่อ Ch1 : คือสัญญาณที่ได้จากวงจรกรองความถี่ต่ำ

Ch2 : คือสัญญาณที่ได้จากวงจรขยายสัญญาณ

4.18 ผลการทดลองของวงจรถอดรหัสสัญญาณแบบแมนเชสเตอร์

ประกอบด้วยวงจรต่างๆดังดังนี้

4.18.1 วงจร Voltage Comparator

4.18.2 วงจร Integrator

4.18.3 วงจร Absolute

4.18.4 วงจร Voltage Comparator

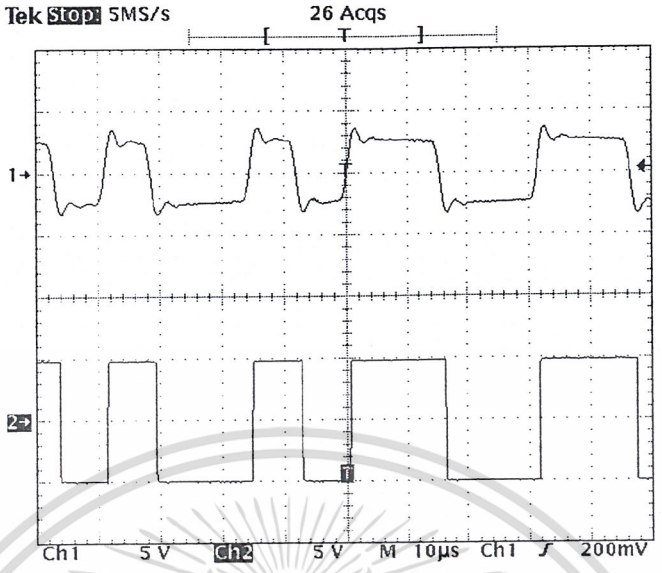
4.18.5 วงจรถอดรหัสด้วย D - Flip Flop

ผลการทดลองในส่วนต่างๆมีดังต่อไปนี้คือ

4.18.1 ผลการทดลองของวงจร Voltage Comparator

ได้ผลการทดลองดังนี้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



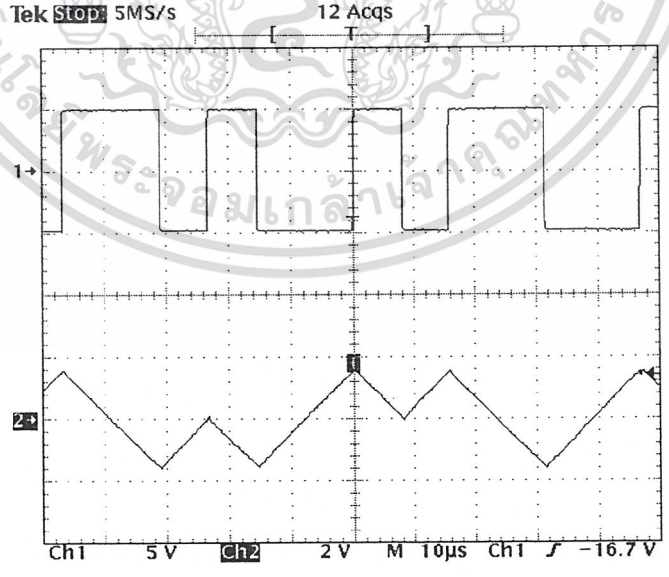
รูปที่ 4.72 แสดงรูปสัญญาณที่ได้จากวงจร Voltage Comparator

เมื่อ Ch1 : คือสัญญาณที่ได้จากการคีมอดูเลท

Ch2 : คือสัญญาณที่ได้จากวงจร Voltage Comparator

4.18.2 ผลการทดลองของวงจร Integrator

ได้ผลการทดลองดังนี้คือ



รูปที่ 4.73 แสดงรูปสัญญาณที่ได้จากวงจร Integrator

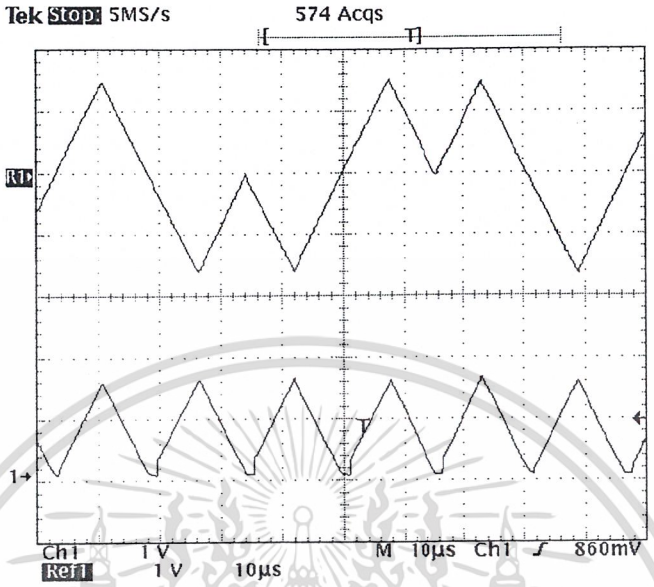
เมื่อ Ch1 : คือสัญญาณที่ได้จากวงจร Voltage Comparator

Ch2 : คือสัญญาณที่ได้จากวงจร Integartor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.18.3 ผลการทดลองของวงจร Absolute

ได้ผลการทดลองดังนี้คือ



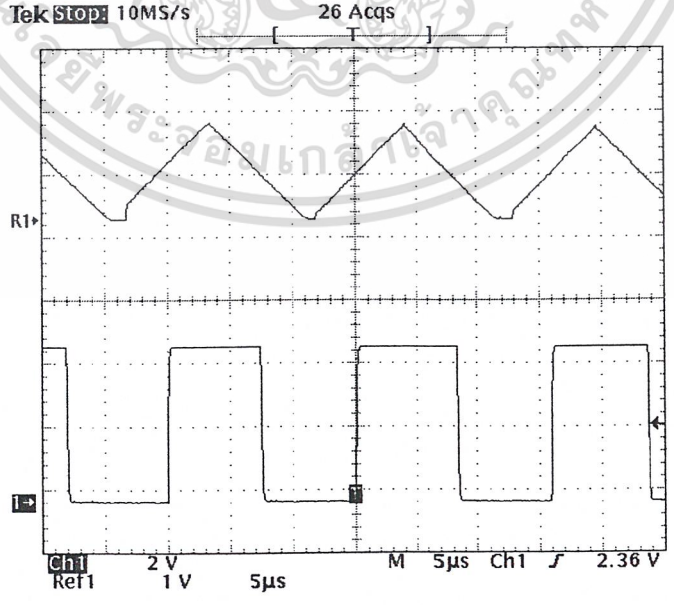
รูปที่ 4.74 แสดงรูปสัญญาณที่ได้จากวงจร Absolute

เมื่อ R1 : คือสัญญาณที่ได้จากวงจร Integrator

Ch1 : คือสัญญาณที่ได้จากวงจร Absolute

4.18.4 ผลการทดลองของวงจร Voltage Comparator

ได้ผลการทดลองดังนี้คือ



รูปที่ 4.75 แสดงรูปสัญญาณที่ได้จากวงจร Voltage Comparator

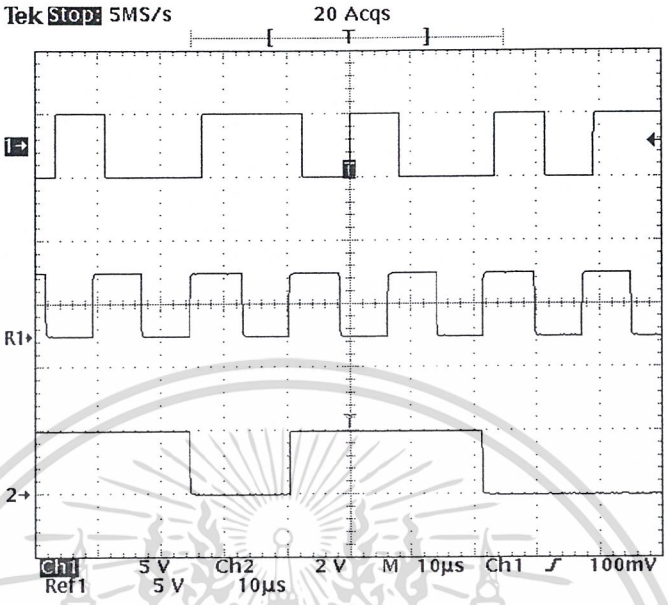
เมื่อ R1 : คือสัญญาณที่ได้จากวงจร Absolute

Ch1 : คือสัญญาณ Clock ที่กู้กลับมาได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

4.18.5 ผลการทดลองของวงจรถอดรหัสด้วย D-Flip Flop

ได้ผลการทดลองดังนี้คือ

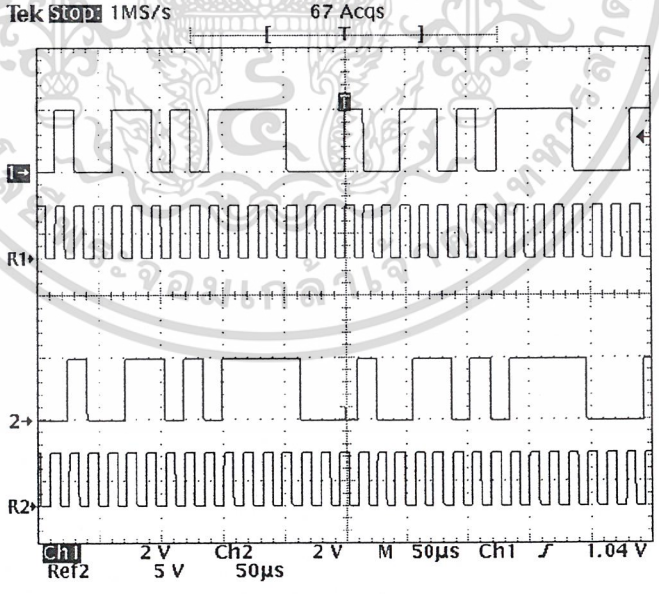


รูปที่ 4.76 แสดงรูปสัญญาณที่ได้จากวงจรถอดรหัส

เมื่อ R1 : คือสัญญาณ Clock ที่กู้กลับมาได้

Ch1 : คือสัญญาณที่แมนเชสเตอร์ที่ดีมอดูเลทได้

Ch2 : คือสัญญาณข้อมูลที่กู้กลับมาได้



รูปที่ 4.77 แสดงรูปสัญญาณที่ได้จากวงจรถอดรหัส

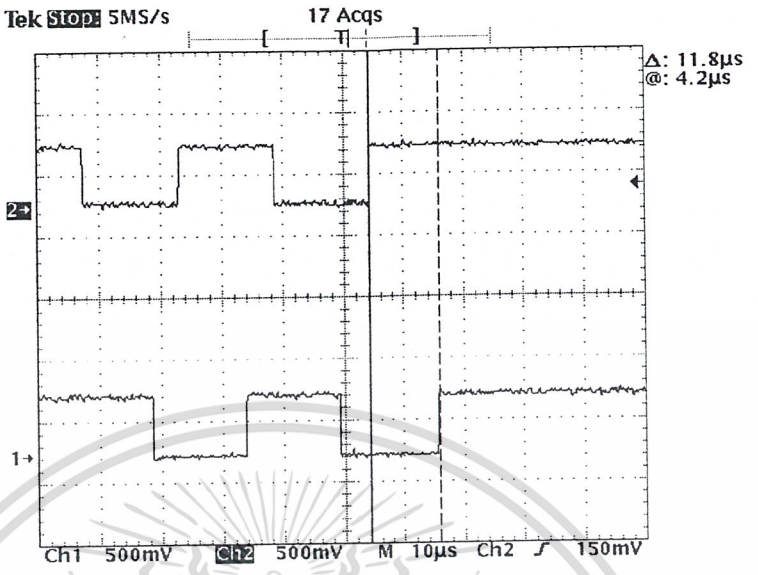
เมื่อ Ch1 : สัญญาณข้อมูลทางด้านส่ง

R1 : สัญญาณ Clock ทางด้านส่ง

Ch2 : คือสัญญาณข้อมูลที่กู้กลับมาได้

R2 : สัญญาณ Clock ที่กู้กลับมาได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.78 แสดงการเปรียบเทียบความล้าช้า (Delay Times) ที่เกิดขึ้นในการรับส่ง

เมื่อ Ch2 : คือสัญญาณข้อมูลทางด้านเครื่องส่ง

Ch1 : คือสัญญาณข้อมูลที่กู้กลับมาได้ทางด้านเครื่องรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และบทสรุป

จากการทดลองที่ผ่านมาเราเริ่มต้นด้วยการออกแบบวงจรในบทที่ 3 แล้วหลังจากนั้น จึงทำการสร้างวงจรโดยอาศัยทฤษฎีจากในบทที่ 2 บางส่วนและอีกบางส่วนจากความรู้เดิมที่มีอยู่แล้ว ดังนั้นในบางส่วนจึงไม่กล่าวถึงความรู้พื้นฐานเนื่องจากจะเป็นการยืดเยื้อที่จะอธิบายซ้ำอีก ส่วนในบทที่ 4 นั้นเป็นผลการทดลองที่ได้จากการสร้างวงจรจริงพบว่ายังมีความไม่สมบูรณ์หลายประการ แต่ก็ปรากฏว่าวงจรสามารถทำงานได้ดีในระดับหนึ่งทั้งนี้เนื่องจากสาเหตุหลายๆประการ การแก้ไขอาจทำได้ดังนี้คือ

5.1 ข้อแนะนำและปัญหาที่พบ

5.1.1 ในส่วนของวงจรสังเคราะห์ความถี่นั้นสัญญาณรบกวนในตัวเอง (เช่น Phase Noise หรือ Side Band Noise) ยังมีมากอยู่จำเป็นที่จะต้องลดลงให้มากที่สุดเพื่อให้วงจรภาครับสามารถที่จะรับสัญญาณได้ชัดเจนและเพื่อให้วงจรสามารถที่จะดีมอดูเลทได้ถูกต้องมากยิ่งขึ้น

5.1.2 เกิดการสูญเสียของสัญญาณในสายส่ง

5.1.3 วงจรกรองความถี่มีความคมต่ำเกินไป

5.1.4 กำลังส่งมีค่าต่ำเพียง 10 mW เท่านั้น

5.1.5 Sensitivity ของภาครับอยู่ที่ –72 dBm ยังไม่ดีพอ

5.1.6 อุปกรณ์ไม่มีคุณภาพหรือไม่สามารถทำงานที่ความถี่สูงได้

5.1.7 ขาของอุปกรณ์มีความยาวมากเกินไป

5.1.8 สายอากาศที่ใช้มีอัตราการขยายต่ำตอบสนองในแบนด์วิดท์ที่แคบ

5.1.9 เกิดการรบกวนกันเองของสัญญาณความถี่สูงและความถี่ต่ำ

5.2 แนวทางการแก้ไขและพัฒนา

5.2.1 ในส่วนของวงจรสังเคราะห์ความถี่นั้นสัญญาณรบกวนในตัวเอง (เช่น Phase Noise หรือ Side Band Noise) ยังมีมากอยู่จำเป็นที่จะต้องลดลงให้มากที่สุดเพื่อให้วงจรภาครับสามารถที่จะรับสัญญาณได้ชัดเจนและเพื่อให้วงจรสามารถที่จะดีมอดูเลทได้ถูกต้องมากยิ่งขึ้น แนวทางแก้ไขอาจทำได้โดย

- ทำการแยกวงจรในแต่ละส่วนออกจากกันแล้วทำการชิลด์ให้มิดชิดเรียบร้อย อย่าให้มีช่องว่างเกิดขึ้นเนื่องจากอาจทำให้สัญญาณหลุดลอดออกไปรบกวนต่อวงจรอื่นได้

- ทำการแยกไฟเลี้ยงระหว่างสัญญาณอนาล็อก และสัญญาณดิจิตอลออกจากกัน เนื่องจากอาจเกิดการกระชากของกระแสซึ่งก็ก่อให้เกิดสัญญาณรบกวนในวงจรได้

- ทำการชิลด์ขดลวดเหนี่ยวนำ เนื่องจากขดลวดอาจประพฤติตัวเป็นสายอากาศได้ ทำในเกิดการรบกวนกันเองของคลื่นที่ออกอากาศ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ทำการดีคัปปลิ้งไฟเลี้ยงของวงจรให้เพียงพอ เพื่อไม่ให้ความถี่สูงไปรบกวนวงจรในส่วนอื่นๆได้

5.2.2 ทำการลากสายสัญญาณด้วยสายสัญญาณความถี่สูงทุกเส้นที่จำเป็น เพื่อไม่ให้เกิดการสูญเสียของสัญญาณอันเป็นเหตุให้เกิดการลดลงของสัญญาณที่ความถี่สูง หรืออาจทำให้แบนด์วิดท์ของสัญญาณไม่เพียงพอโดยเฉพาะอย่างยิ่งในการมอดูเลทสัญญาณดิจิตอลเพราะมีขนาดของแบนด์วิดท์ที่สูง

5.2.3 ทำวงจรกรองความถี่ที่มีความคมมากกว่านี้ ทั้งนี้เนื่องจากในวงจรเองบางครั้งค่าของตัวเหนี่ยวนำมีค่าน้อยมากจึงไม่สามารถที่จะทำขึ้นมาเองได้ดังนั้นจึงเลือกแบนด์วิดท์ของวงจรเท่าที่เราสามารถที่จะสร้างได้เท่านั้น

5.2.4 เพิ่มกำลังส่งของวงจรให้มากขึ้น มีผลทำให้สามารถที่จะส่งข้อมูลได้ไกลมากขึ้นและมีความถูกต้องมากขึ้น

5.2.5 ทำวงจรภาครับที่มีค่า Sensitivity ที่ดีกว่านี้เพื่อให้สามารถรับสัญญาณที่มีกำลังน้อยมากๆได้ส่งผลให้วงจรสามารถส่งได้ไกลมากขึ้นและถูกต้องมากขึ้น

5.2.6 ทำการเลือกอุปกรณ์ที่มีคุณภาพ ทำให้วงจรสามารถที่จะทำงานได้ดี แต่ก็มีข้อเสียคือมีราคาที่แพงไม่สามารถหาซื้อได้ในระดับการศึกษานี้

5.2.7 ขาของอุปกรณ์ควรมีความสั้นเนื่องจากความถี่สูงแล้วอาจทำให้เกิดพาราซิทริกภายในได้เป็นผลให้วงจรเกิดการผิดเพี้ยนหรือสามารถทำงานได้ไม่ดีเท่าที่ควร

5.2.8 ควรเลือกสายอากาศที่มีอัตราขยายมากกว่านี้ เพราะการทดลองนี้ใช้สายอากาศสำเร็จรูปจึงมีอัตราการขยายต่ำเนื่องจากของมีราคาที่ถูก

5.2.9 การลงวงจรในเครื่องรับและเครื่องส่งควรทำการขั้นแต่ละส่วนออกจากกัน เพื่อป้องกันการรบกวนกันเองเพราะที่ความถี่สูงเมื่อปิดกล่องแล้วอาจเกิดปัญหาได้

5.3 สรุปผลการทดลอง

จึงสรุปได้ว่าการทดลองนี้มีความน่าพอใจในระดับหนึ่ง หากเป็นไปได้ควรพัฒนาด้วยด้วยหลักการต่างๆข้างต้น แต่ต้องอาศัยเวลามากและสิ้นเปลืองค่าใช้จ่าย โดยเฉพาะอย่างยิ่งต้องอาศัยประสบการณ์และผู้ที่มีความรู้เป็นผู้แนะนำ หากต้องการเพียงศึกษาการทำงานก็สามารถที่จะทำได้ตามขั้นตอนในบทต่างๆ สรุปคุณสมบัติต่างๆของเครื่องรับและส่งโมเด็มไร้สายความเร็วบิท 64 kbps ได้ดังนี้คือ

เครื่องส่ง

- เครื่องส่งมีอัตราการส่งข้อมูล 64 kbps , 128 kiloBaud / Second
- เครื่องส่งมีกำลังส่ง 10 mW
- เครื่องส่งใช้แบนด์วิดท์ของช่องสัญญาณเท่ากับ 20 MHz
- เครื่องส่งสามารถส่งได้ทั้งในโหมดซิงโครนัส (Synchronous Mode) และในโหมดอะซิงโครนัส (Asynchronous Mode)
- เครื่องส่งใช้กระแส 350 mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับ

- เครื่องรับมีความไว (Sensitivity) ในการรับสัญญาณเท่ากับ –72 dBm
- เครื่องรับใช้กระแส 420 mA
- เครื่องรับสามารถรับสัญญาณบริเวณที่มีสิ่งกีดขวางเป็นระยะทาง 30 เมตร
- เครื่องรับสามารถรับสัญญาณบริเวณที่ไม่มีสิ่งกีดขวางเป็นระยะทาง 100 เมตร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก :

รูปแสดงวงจรรวมภาคส่งของโมเด็มไร้สายความเร็ว 64 กิโลบิทต่อวินาที

ภาคผนวก ข :

รูปแสดงวงจรรวมภาครับของโมเด็มไร้สายความเร็ว 64 กิโลบิทต่อวินาที

ภาคผนวก ค :

รูปภาพแสดงวงจร (PCB) ที่ได้จากการปฏิบัติจริง

ภาคผนวก ง :

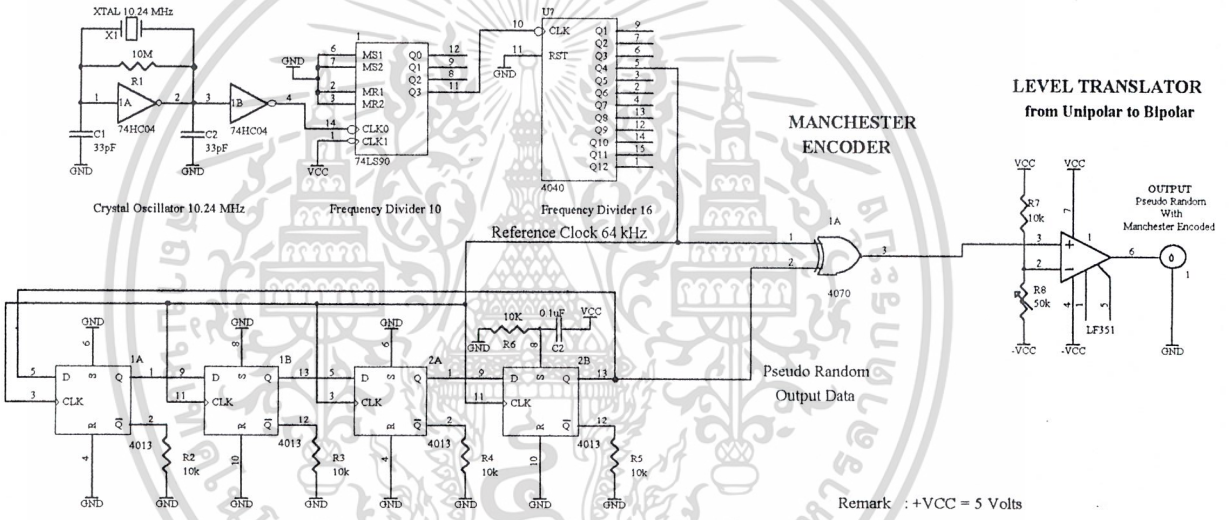
Data Sheet

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

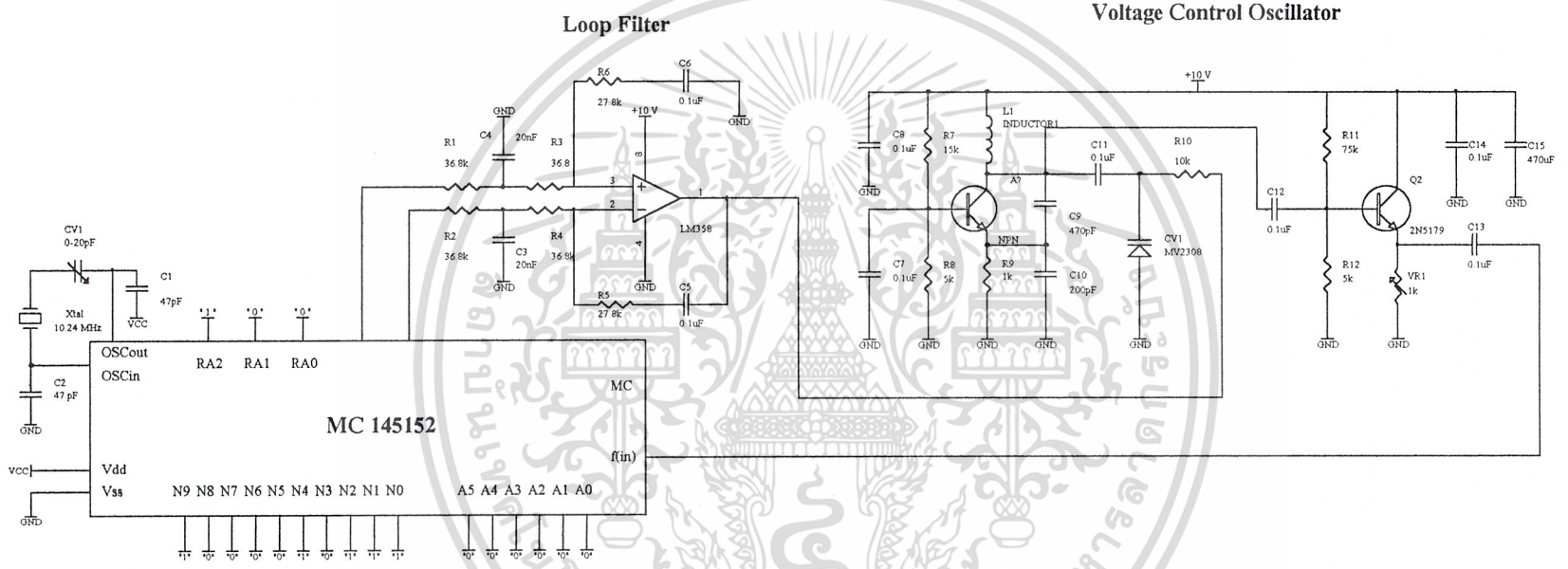
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CLOCK GENERATOR CIRCUIT 64 kHz



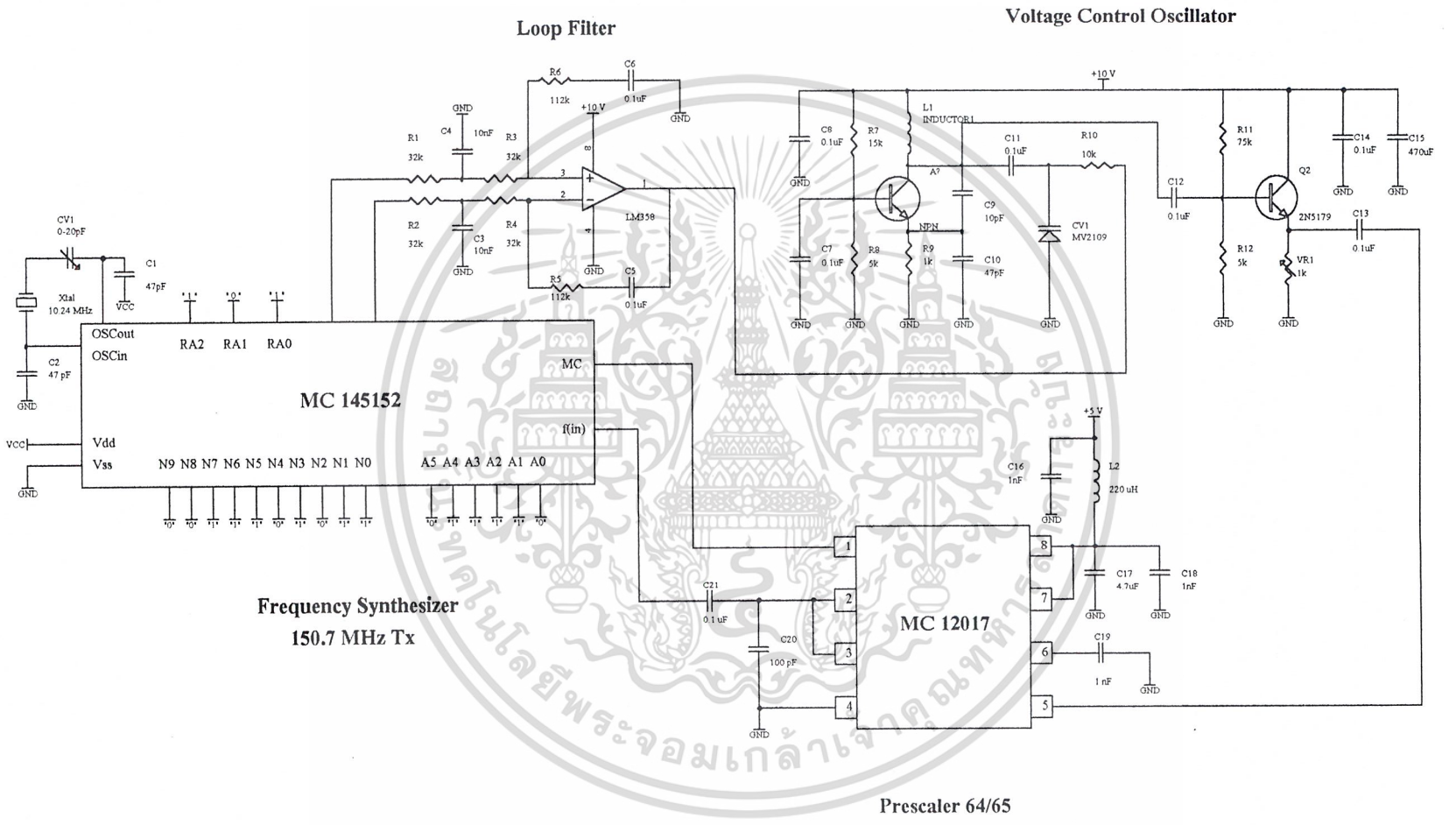
PSEUDO RANDOM PULSE GENERATOR CIRCUIT

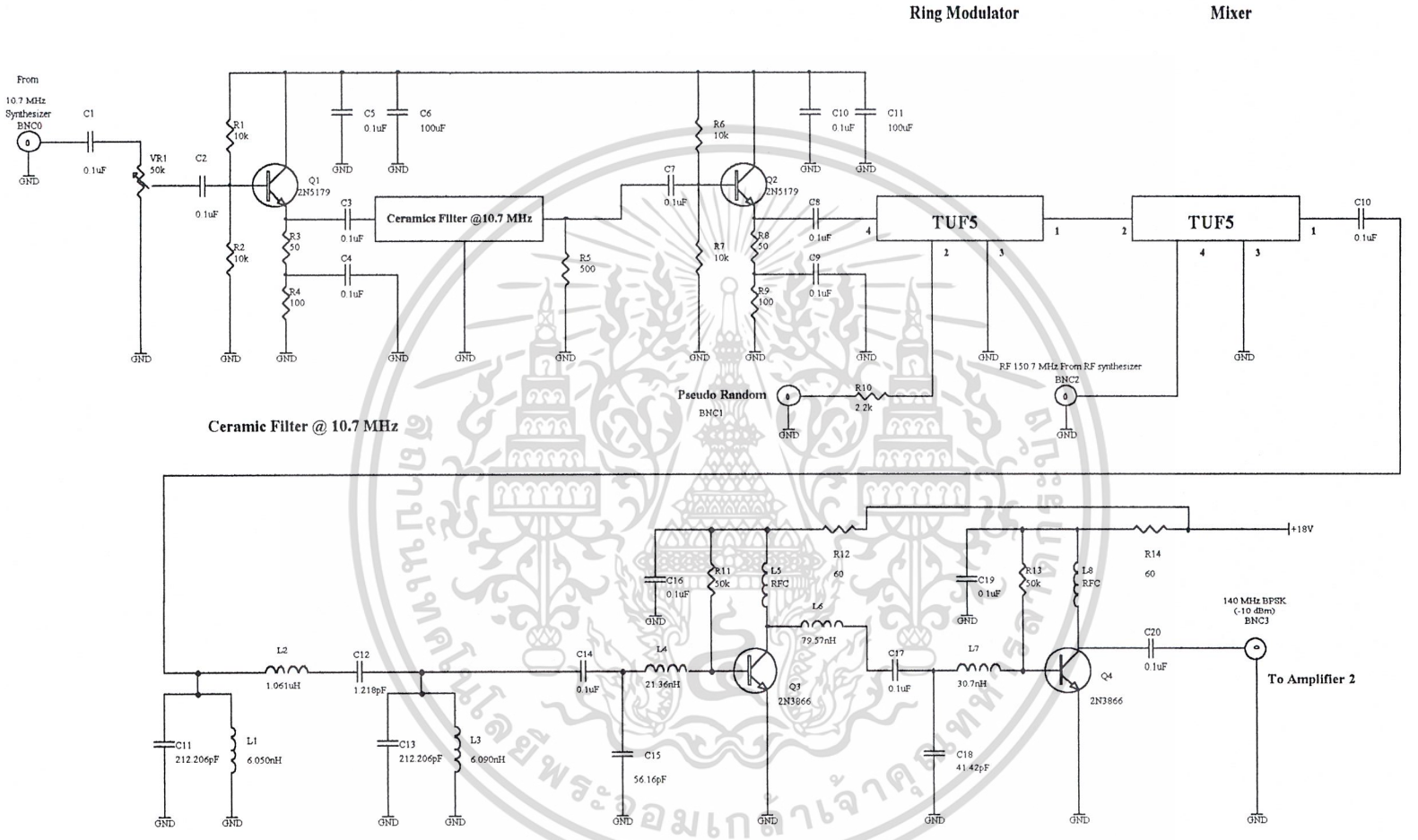
Remark : +VCC = 5 Volts
-VCC = -5 Volts
& Decoupling all supply voltages

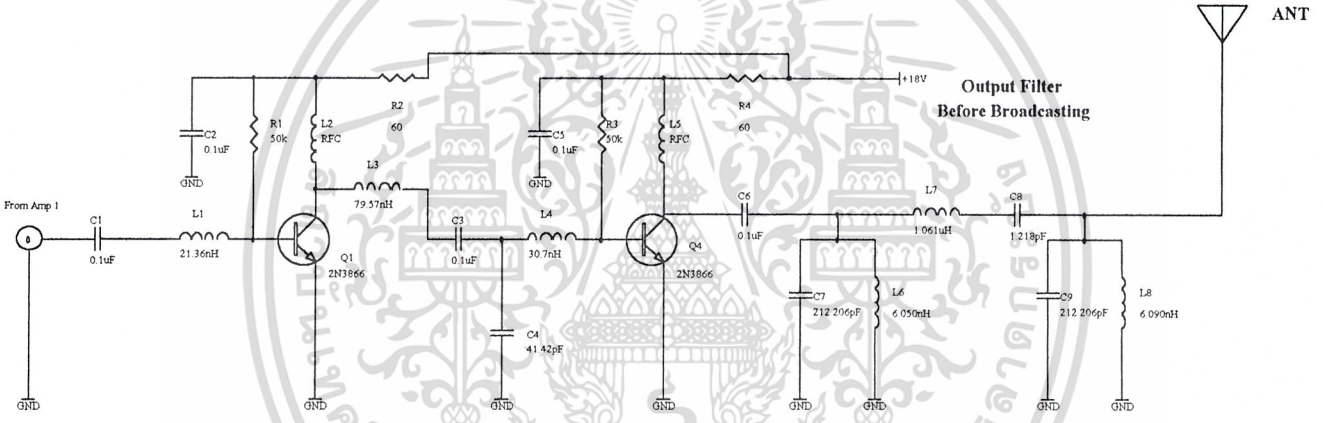


Frequency Synthesizer

10.7 MHz IF


Loop Filter
Voltage Control Oscillator
MC 145152
MC 12017
LM358
2N5179
MV2109
Frequency Synthesizer
150.7 MHz Tx
Prescaler 64/65


Ring Modulator
Mixer
From
10.7 MHz
Synthesizer
BNC0
C1
0.1uF
VR1
50k
C2
0.1uF
R1
10k
R2
10k
R3
50
R4
100
Q1
2N5179
C3
0.1uF
C4
0.1uF
C5
0.1uF
C6
100uF
Ceramics Filter @10.7 MHz
R5
500
R6
10k
R7
10k
C7
0.1uF
Q2
2N5179
R8
50
R9
100
C8
0.1uF
C9
0.1uF
C10
0.1uF
C11
100uF
TUF5
TUF5
C10
0.1uF
RF 150.7 MHz From RF synthesizer
BNC2
Pseudo Random
BNC1
R10
2.2k
Ceramic Filter @ 10.7 MHz
+18V
R12
60
R14
60
C16
0.1uF
R11
50k
L5
RFC
L6
79.57nH
C19
0.1uF
R13
50k
L8
RFC
140 MHz BPSK
(-10 dBm)
BNC3
C20
0.1uF
To Amplifier 2
L2
1.061uH
C12
1.218pF
C14
0.1uF
L4
21.36nH
Q3
2N3866
C17
0.1uF
L7
30.7nH
Q4
2N3866
C11
212.206pF
L1
6.050nH
C13
212.206pF
L3
6.090nH
C15
56.16pF
C18
41.42pF
Amplifier 1
Side Band Filter @140 MHz BW : 15 MHz

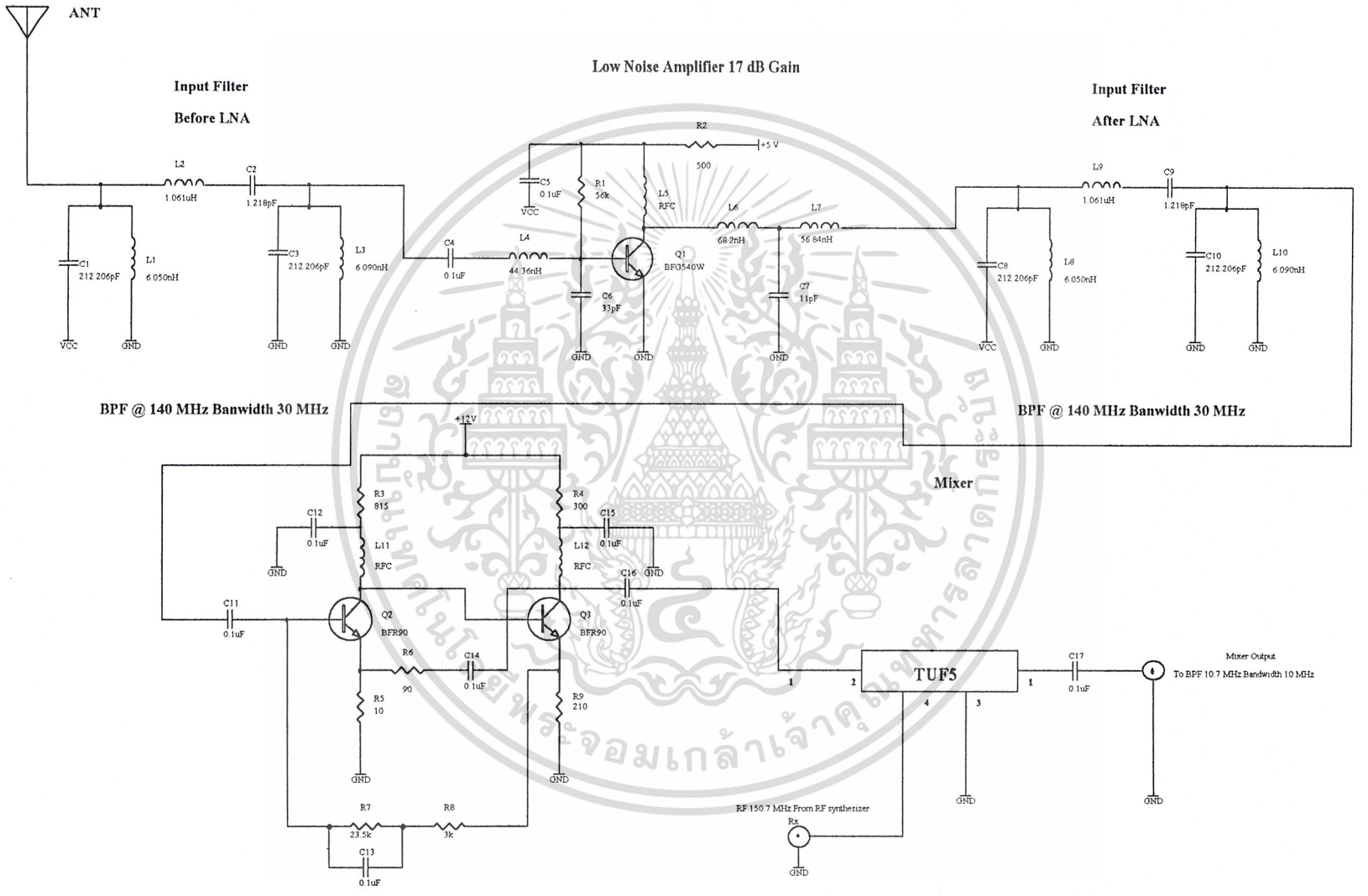


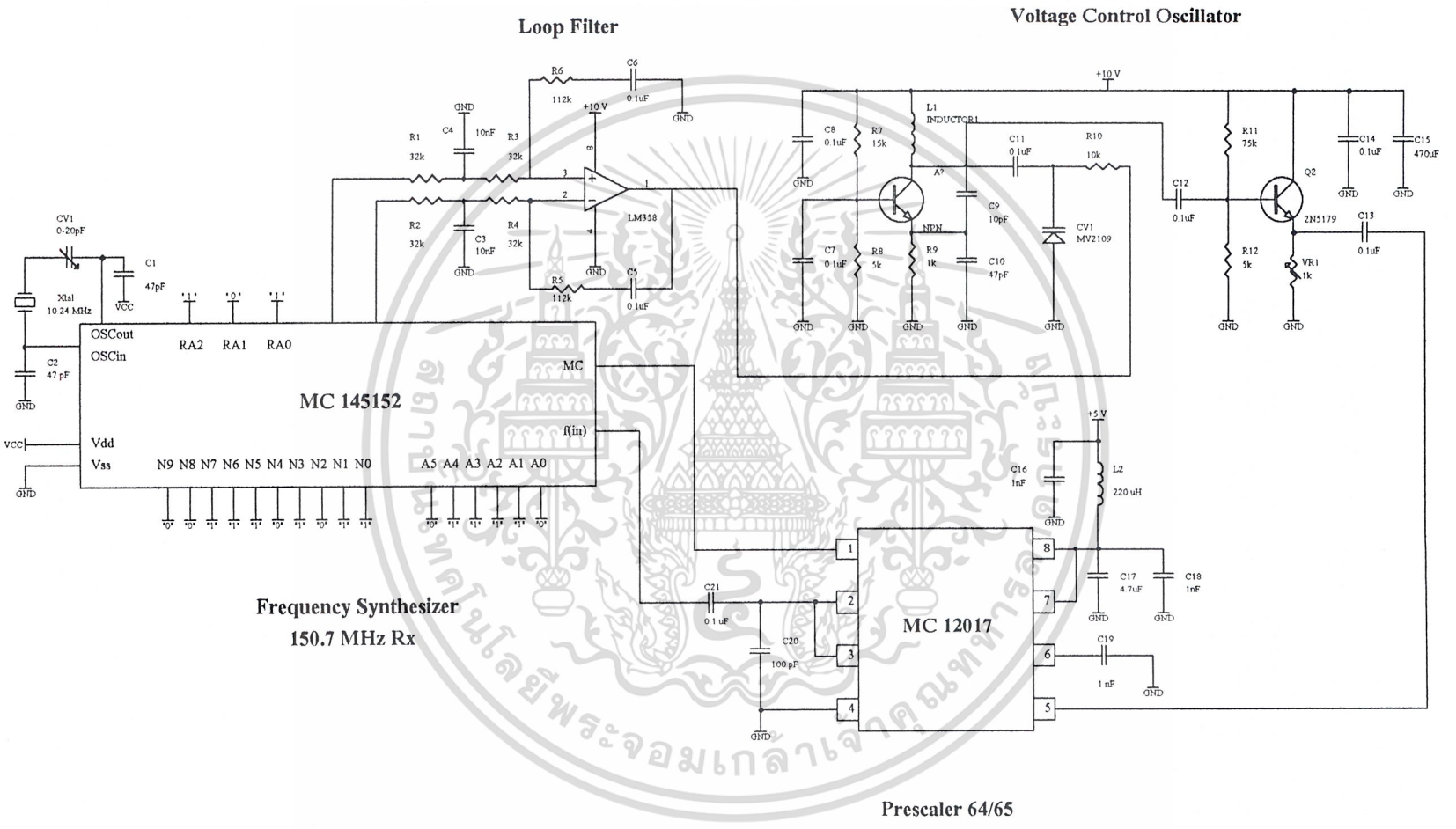
Amplifier 2 (Output +10 dBm)

BPF @ 140 MHz Banwidth 30 MHz

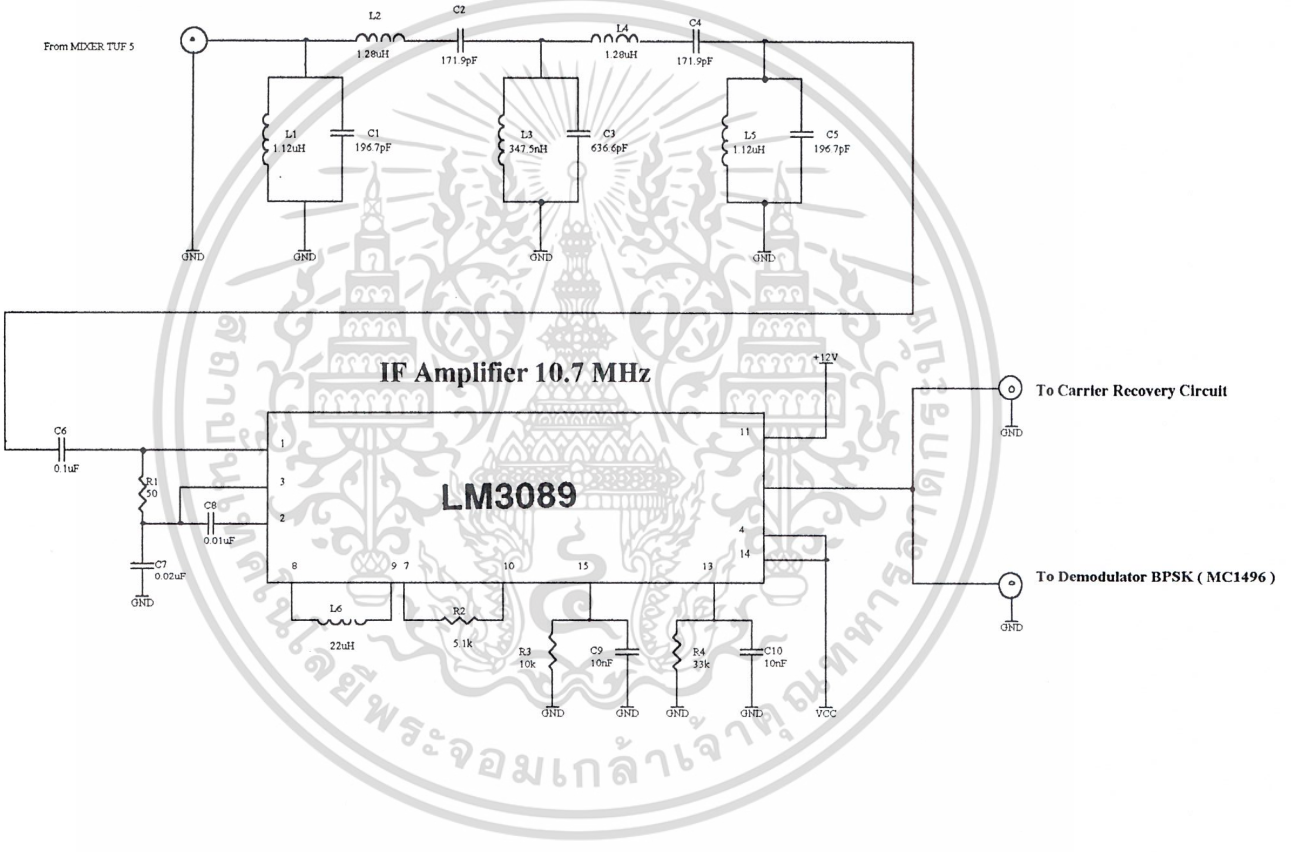
ภาคผนวก ข

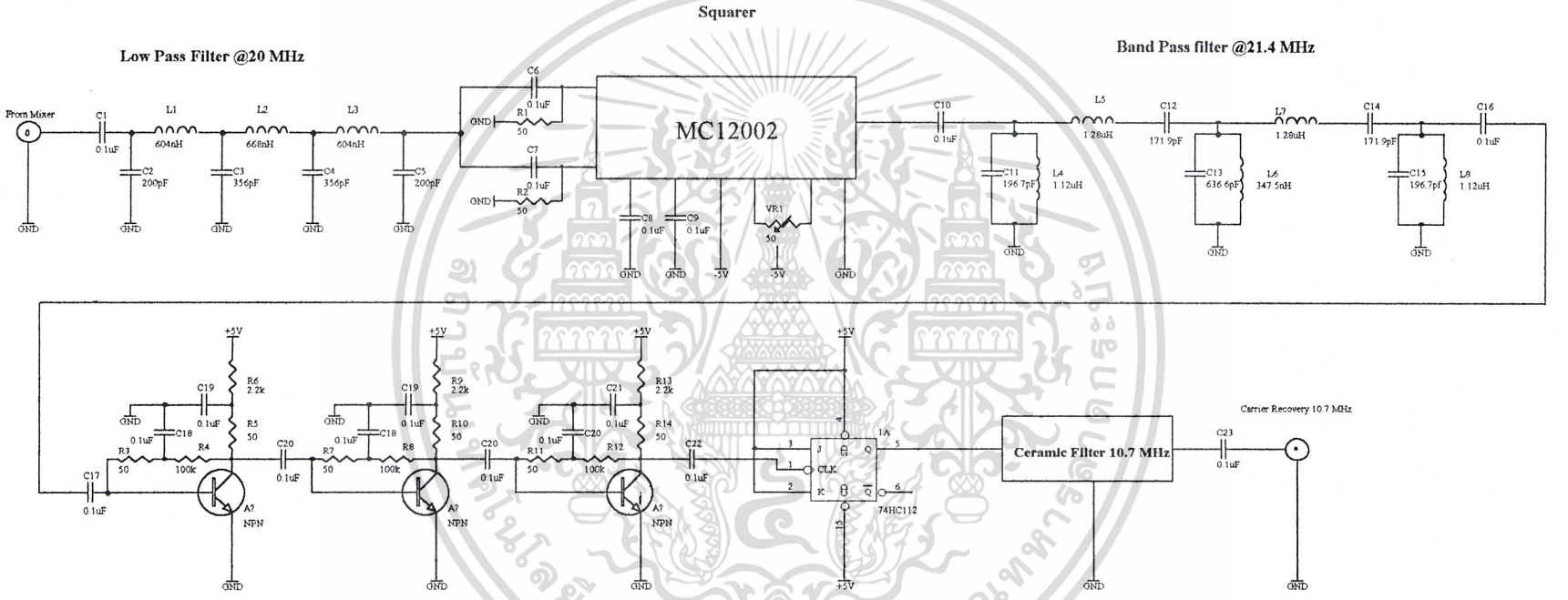
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


ANT
Low Noise Amplifier 17 dB Gain
Input Filter
Before LNA
Input Filter
After LNA
L2
1.061uH
C2
1.218pF
C1
212.206pF
L1
6.050nH
C3
212.206pF
L3
6.090nH
C4
0.1uF
L4
44.36nH
C5
0.1uF
VCC
R1
56k
R2
500
+5 V
L5
RFC
L6
68.2nH
L7
56.84nH
Q1
BFG540W
C6
33pF
C7
11pF
GND
L9
1.061uH
C9
1.218pF
C8
212.206pF
L8
6.050nH
C10
212.206pF
L10
6.090nH
BPF @ 140 MHz Banwidth 30 MHz
BPF @ 140 MHz Banwidth 30 MHz
Mixer
+12V
R3
815
R4
300
C12
0.1uF
C15
0.1uF
L11
RFC
L12
RFC
C16
0.1uF
C11
0.1uF
Q2
BFR90
Q3
BFR90
R6
90
C14
0.1uF
R5
10
R9
210
TUF5
C17
0.1uF
Mixer Output
To BPF 10.7 MHz Bandwidth 10 MHz
R7
23.5k
R8
3k
C13
0.1uF
RF 150.7 MHz From RF synthesizer
Rx


Loop Filter
Voltage Control Oscillator
MC 145152
MC 12017
LM358
2N5179
MV2109
Frequency Synthesizer
150.7 MHz Rx
Prescaler 64/65

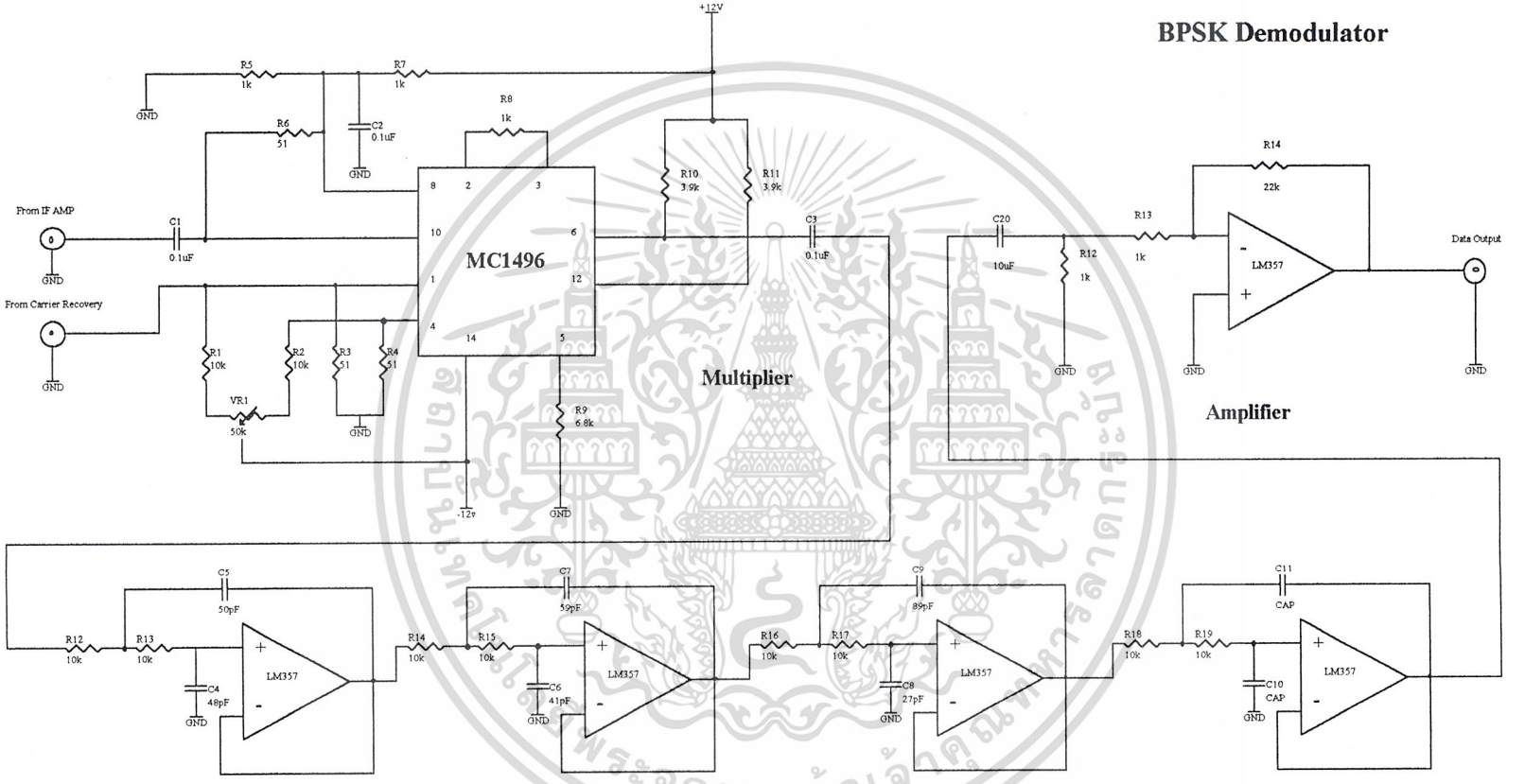
Band Pass Filter @ 10.7 MHz : Bandwidth 10 MHz



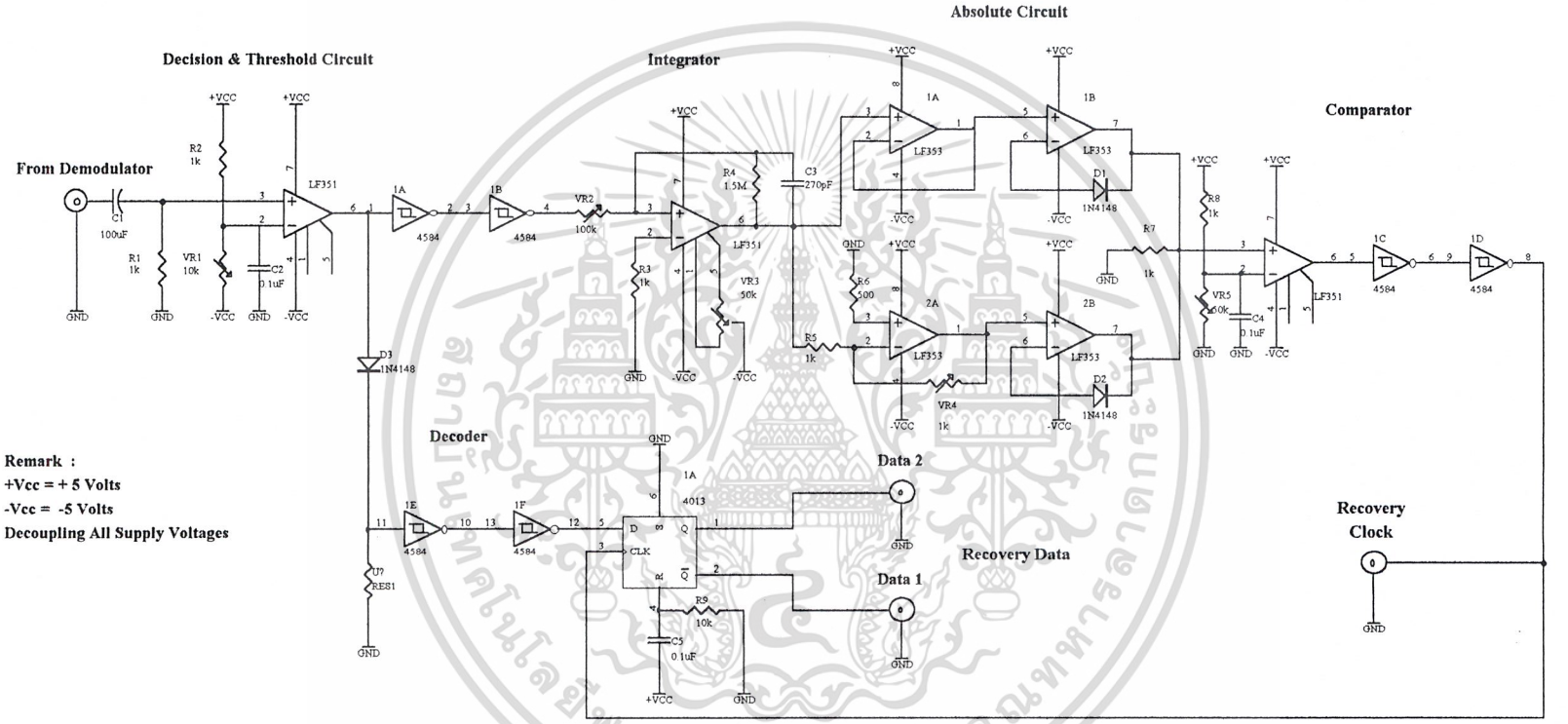


Carrier Recovery

BPSK Demodulator

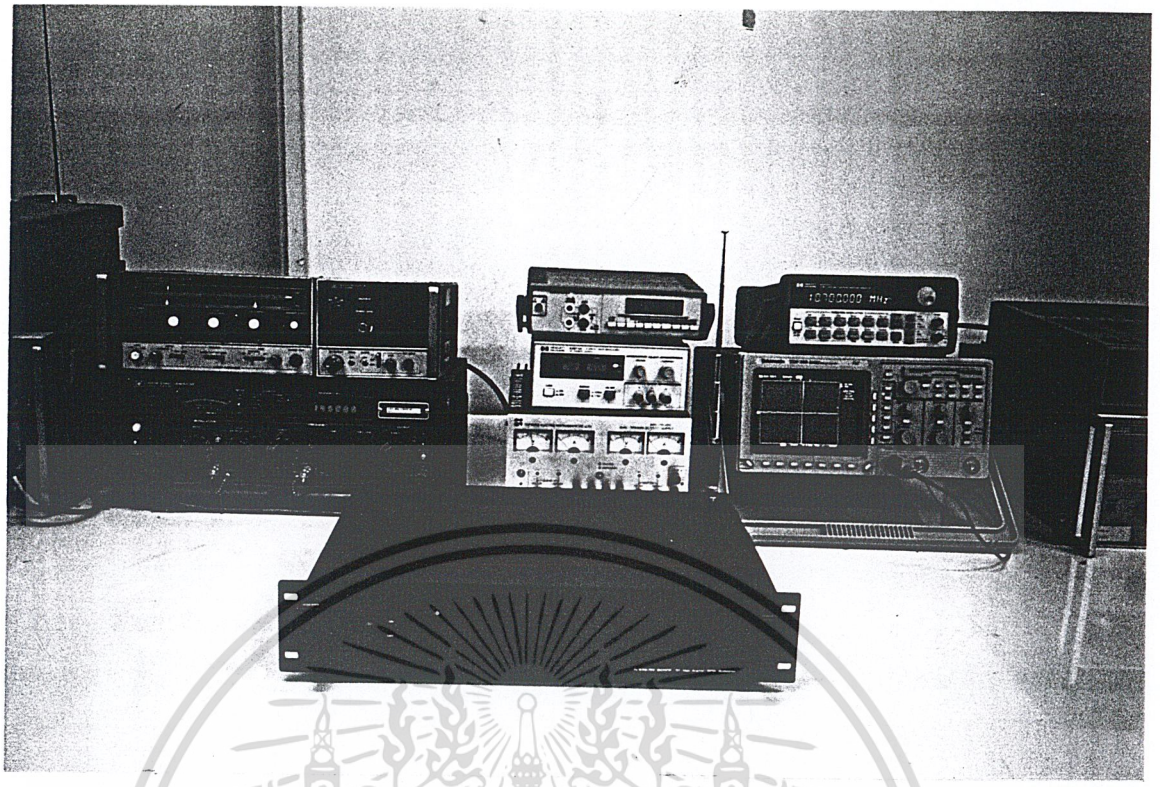


Low Pass Filter @ 320 kHz

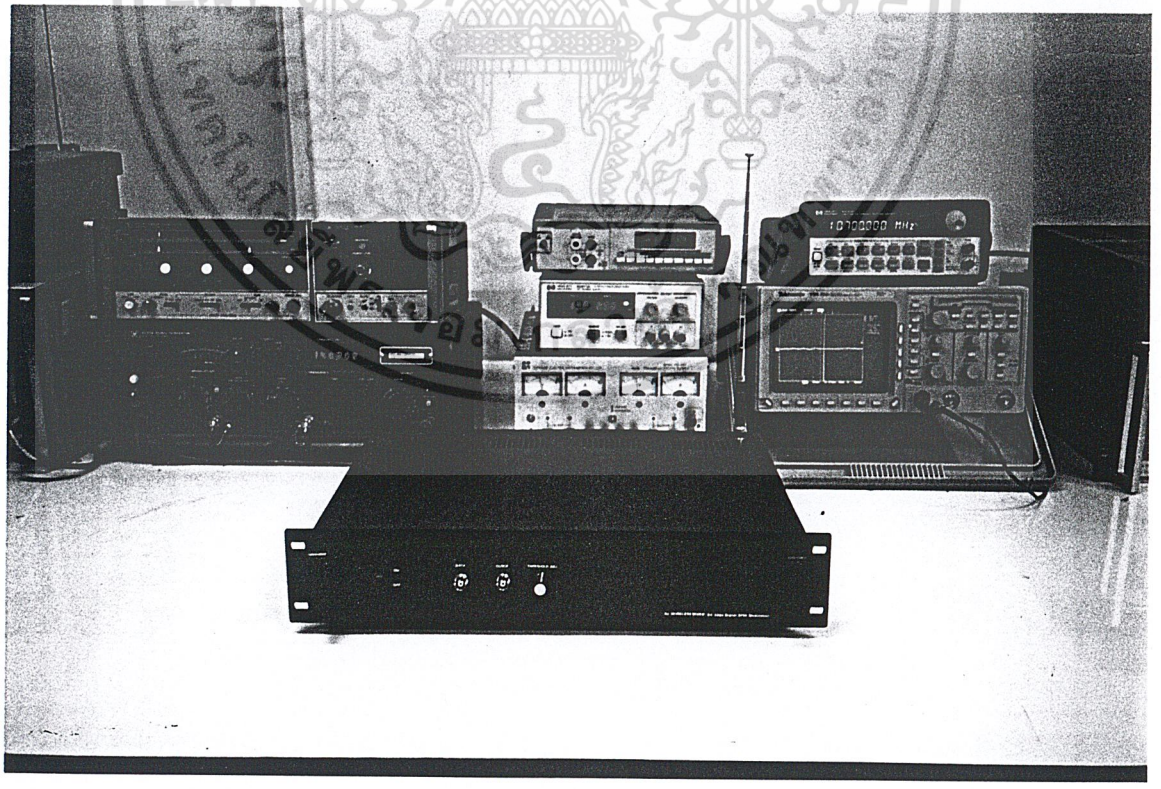

Absolute Circuit
Decision & Threshold Circuit
Integrator
Comparator
From Demodulator
Decoder
Data 2
Data 1
Recovery Data
Recovery Clock
Remark :
+Vcc = + 5 Volts
-Vcc = -5 Volts
Decoupling All Supply Voltages

ภาคผนวก ค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

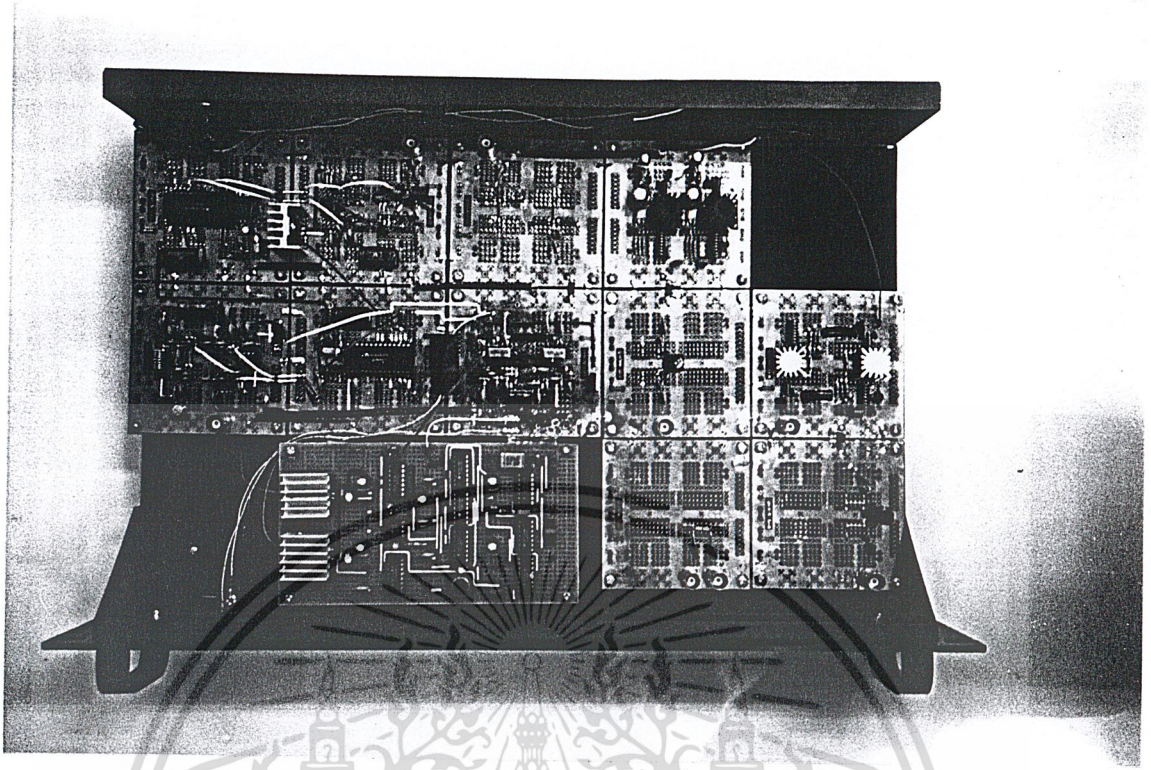


รูปแสดงเครื่องส่งโมเด็มไร้สายความเร็ว 64 กิโลบิทต่อวินาที

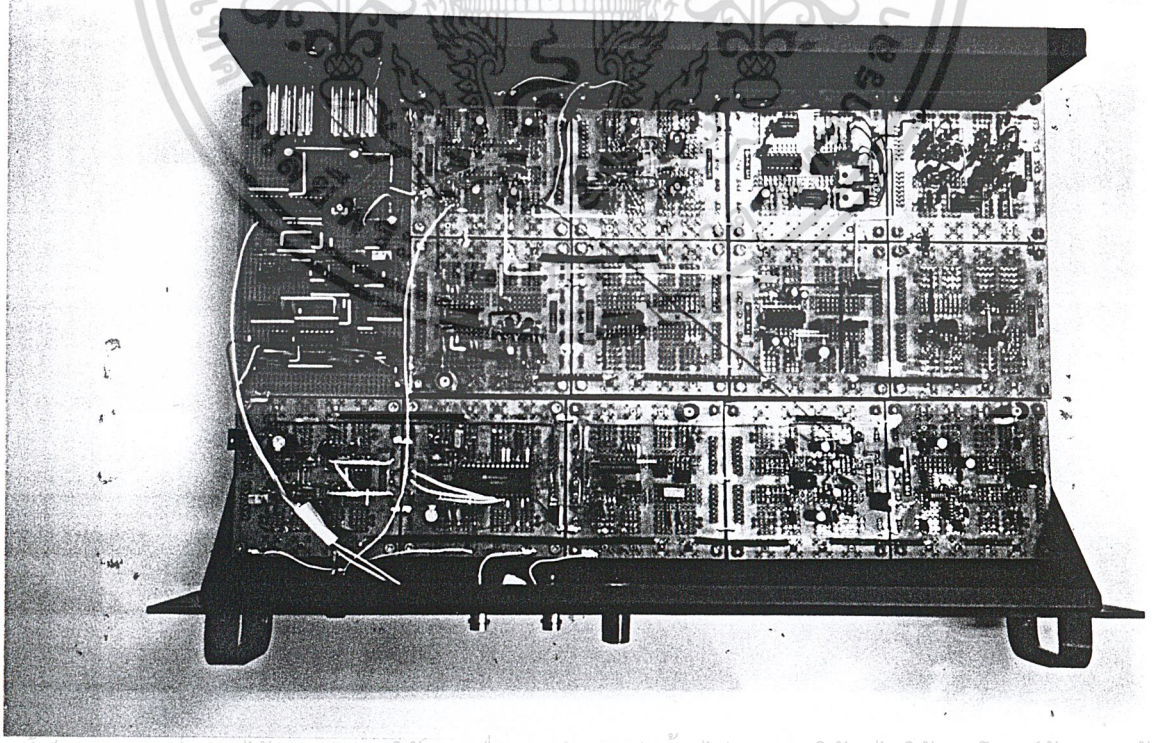


รูปแสดงเครื่องรับโมเด็มไร้สายความเร็ว 64 กิโลบิทต่อวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

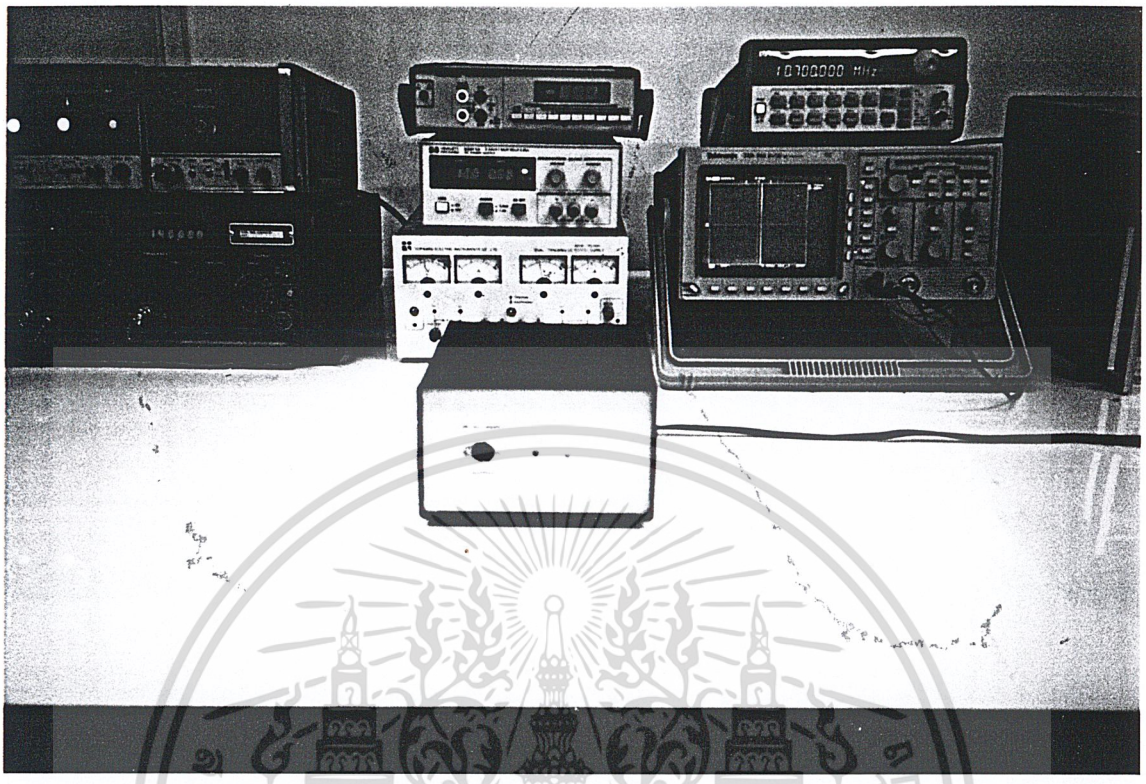


รูปแสดงองค์ประกอบของวงจรภายในของภาคส่งโมเด็มไร้สาย

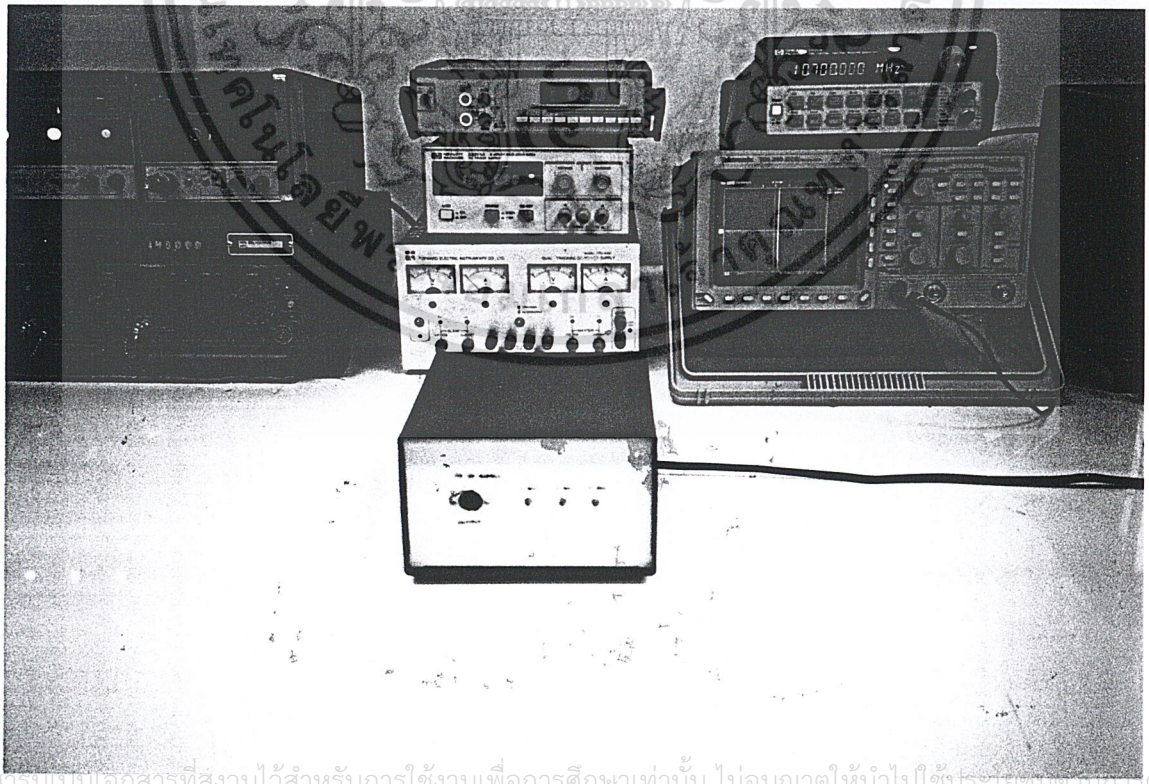


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปแสดงองค์ประกอบของวงจรภายในของภาครับโมเด็มไร้สาย

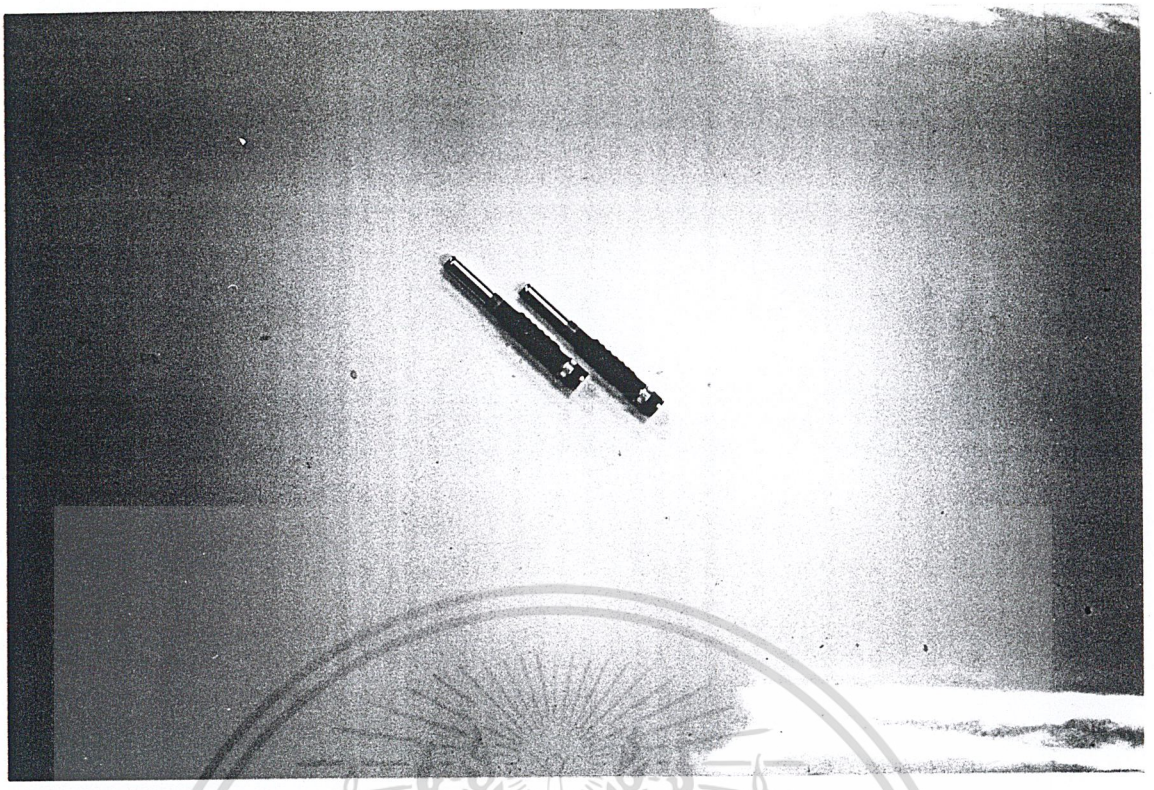


รูปแสดงแหล่งจ่ายไฟของภาคส่งโมเด็มไร้สาย



รูปแสดงแหล่งจ่ายไฟของภาครับโมเด็มไร้สาย

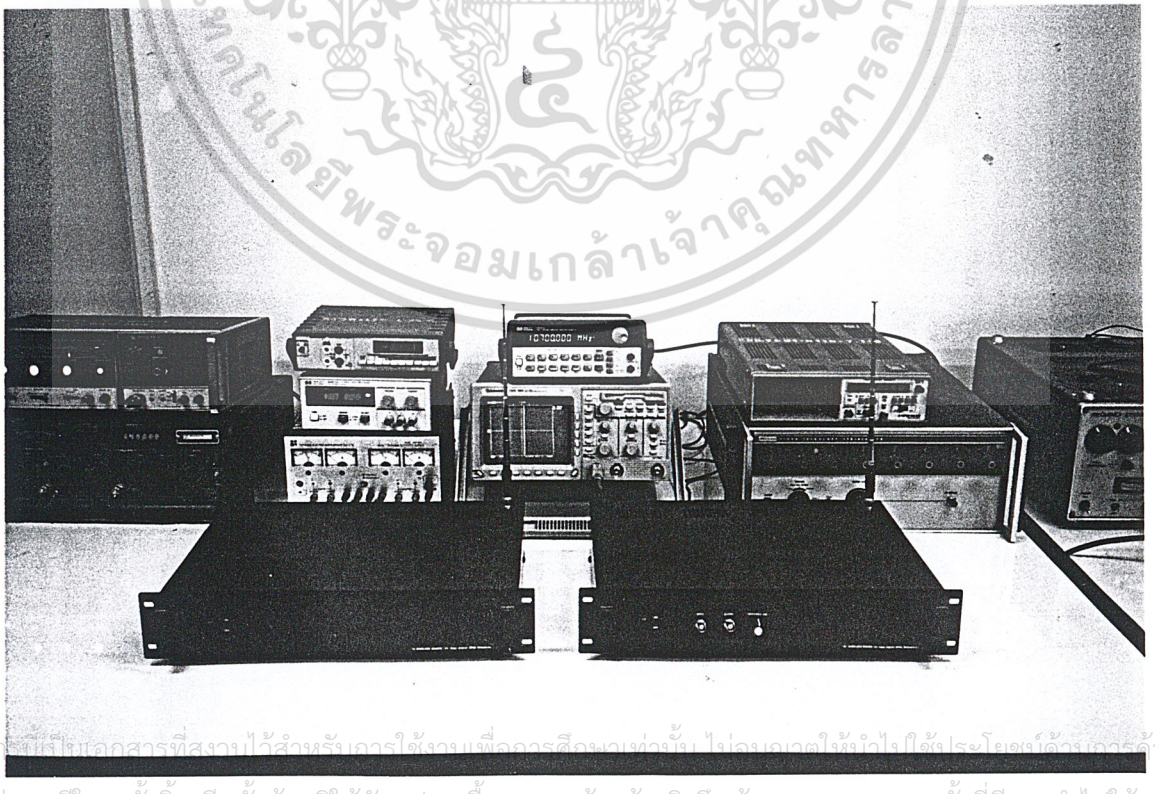
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปแสดงสายอากาศด้านส่งของโมเด็มไร้สาย

และ

รูปแสดงสายอากาศด้านรับของโมเด็มไร้สาย



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

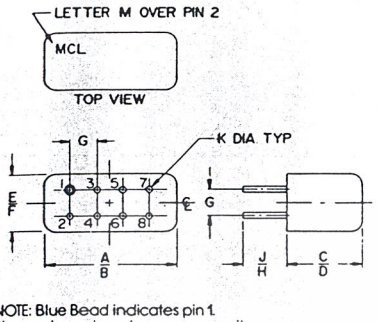
ภาคผนวก ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

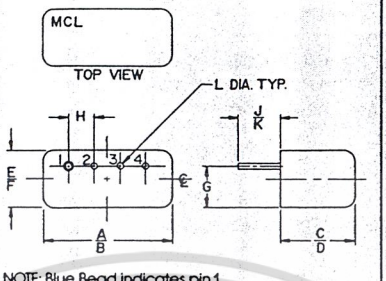
Mini-Circuits

outline drawings

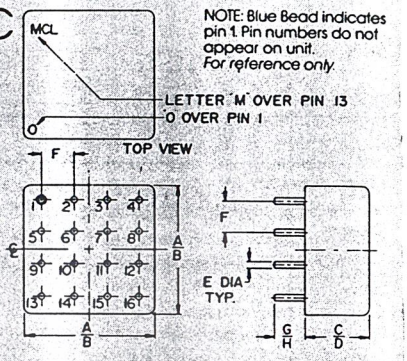
A



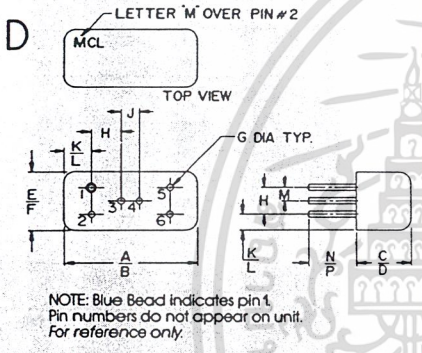
B



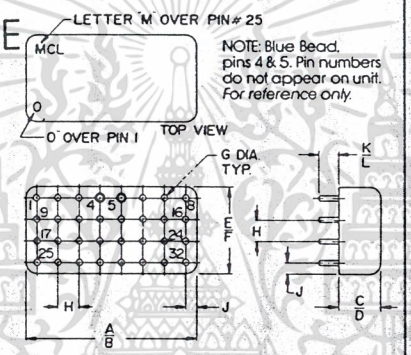
C



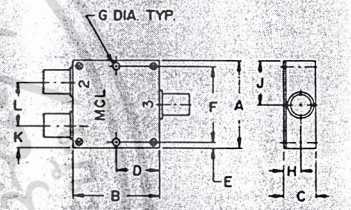
D



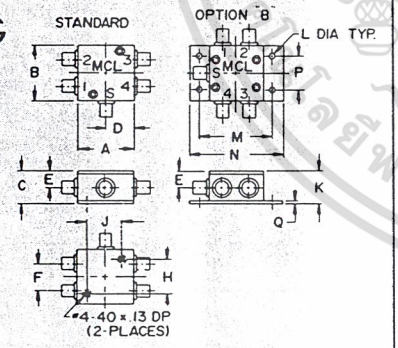
E



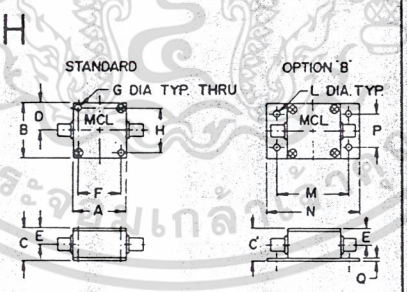
F



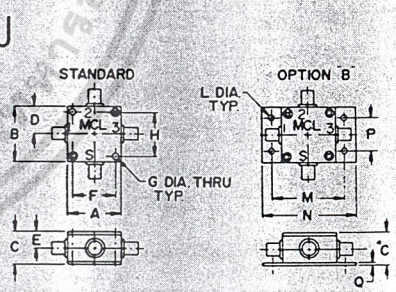
G



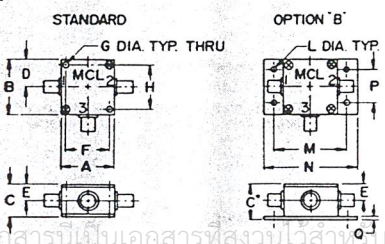
H



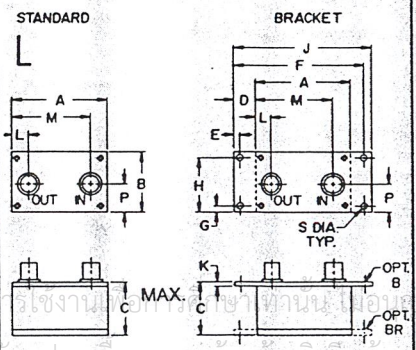
J



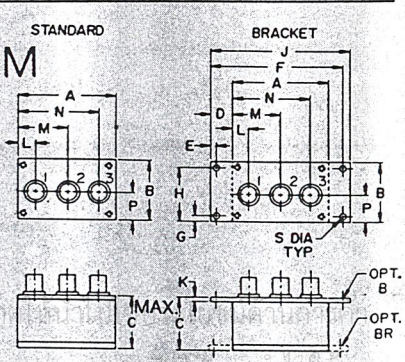
K



L



M



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

In Stock...Immediate Delivery

Mini-Circuits

ULTRA-REL™ MIXERS

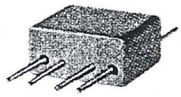
5-YR. GUARANTEE *

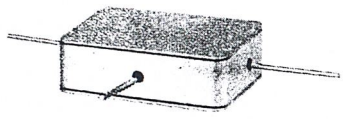
Plug-In/Flat-Pack

ASK-X65

ASK

TUF
TFM


LMX


PAM

	MODEL NO.	FREQUENCY MHz LO/RF f_L–f_U	IF	CONVERSION LOSS dB Mid-Band m $\bar{x}$	σ	Max.	Total Range Max.	LO–RF ISOLATION, dB L Typ.	Min.	M Typ.	Min.	U Typ.	Min.	LO–IF ISOLATION, dB L Typ.	Min.	M Typ.	Min.	U Typ.	Min.	PRICE $ Qty. (1–9)	DISTRIBUTOR FACTORY	LOCAL
□* ASK	ASK-1	1-600	DC-600	5.58	.06	7.0	8.5	50	30	35	25	30	20	45	35	30	20	25	15	6.95	●	●
case W38	ASK-2	1-1000	DC-1000	6.79	.10	8.0	9.8	60	40	35	18	26	16	50	30	25	17	15	10	8.25	●	●
TFM	TFM-2	1-1000	DC-1000	5.74	.07	7.5	8.5	50	45	40	25	30	25	45	40	35	25	25	20	13.95	●	●
case B02	†TFM-2P	1-1000	DC-1000	5.74	.07	7.5	8.5	50	45	40	25	30	25	45	40	35	25	25	20	13.95	●	●
	TFM-3	0.04-400	DC-400	4.70	.06	7.0	8.0	60	50	50	35	35	25	55	40	45	30	35	25	21.45	●	●
	†TFM-4	5-1250	DC-1250	6.47	.05	7.5	8.5	50	45	40	30	30	25	45	40	35	25	25	20	23.45	●	●
	TFM-5	5-1500	DC-1000	6.33	.06	8.5	9.5	60	45	35	25	30	25	60	40	35	15	25	14	25.45	●	●
case B13	TFM-11	1-2000	5-600	7.16	.07	8.5	9.0	50	45	35	25	25	10	45	40	27	20	25	20	47.45	●	●
	TFM-12	800-1250	50-90	5.71	.14	—	7.5	35	25	35	25	35	25	30	20	30	20	30	20	47.45	●	●
	TFM-2400	750-2400	DC-400	6.65	.20	—	9.0	30	20	30	20	30	20	30	10	30	10	30	10	28.95	●	●
	TFM-4300	300-4300	DC-800	5.87	.13	—	10.5	30	20	—	—	30	17	15	7	—	—	10	7	38.95		
LMX	LMX-3	0.04-400	DC-400	4.84	.05	7.0	8.0	60	50	50	35	35	25	45	40	35	25	25	20	25.95	●	●
case B848	LMX-113	5-1000	DC-1000	5.72	.05	7.0	8.0	50	40	40	25	35	25	45	35	35	30	30	20	16.95	●	●
	LMX-124	0.5-500	DC-500	5.18	.06	6.5	7.0	50	40	45	25	45	22	45	40	40	30	30	20	27.95	●	●
	LMX-149	10-1500	DC-1500	6.58	.09	7.5	9.0	55	40	45	35	30	20	50	40	40	25	20	12	29.95	●	●
	LMX-156	800-2500	DC-1500	7.09	.37	9.0	9.0	35	25	35	25	35	25	22	17	22	17	22	17	44.95	●	●
□ PAM	PAM-42	2000-4200	DC-1300	8.13	.14	—	8.5			25 (typ.)		17 (min.)				12 (typ.)		8 (min.)		27.95	●	●
case AA46																						
□TUF	TUF-1	2-600	DC-600	5.85	.04	7.0	8.0	60	50	42	30	37	25	60	45	47	30	36	22	4.25	●	●
case B02	TUF-2	50-1000	DC-1000	5.85	.07	7.5	9.0	58	40	47	30	42	25	50	35	44	20	29	18	5.20	●	●
	†TUF-3	0.15-400	DC-400	4.7	.02	7.0	8.0	60	50	46	30	35	25	60	40	47	25	35	20	6.10	●	●
	TUF-5	20-1500	DC-1000	5.7	.04	9.0	9.0	54	40	42	30	39	25	40	25	32	18	23	8	9.45	●	●
	TUF-11A	1400-1900	40-500	6.8	.30	8.6	8.6			33 (typ.)		20 (min.)				29 (typ.)		15 (min.)		16.95	●	●
	TUF-860	800-1050	DC-250	5.6	.24	7.75	7.75			35 (typ.)		25 (min.)				27 (typ.)		20 (min.)		9.45	●	●

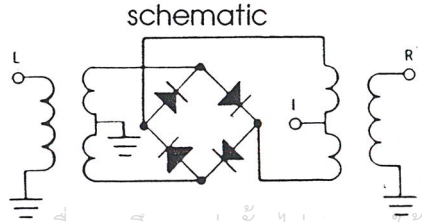
L=low range (f_L to 10 f_L) M=mid range (10 f_L to $f_U/2$) U=upper range ($f_U/2$ to f_U)
m=mid band (2 f_L to $f_U/2$)

*ASK-Plug-In mounting case X65.

ASK	TUF-SM TUF TFM	LMX	PAM	CBL
all models	all models ■	all models	all models	all models
1	4	8	3	8
4	1	5	1	3,4
5	2	4	4	1
2,3,6	3	2,3,6,7	2	2,5,6,7
—	3	2,3,6,7	2	

■ TFM-2400, TFM-5 and TFM-4300 LO = 1; RF = 4

schematic

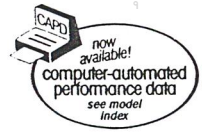


NSN GUIDE

MCL NO.	NSN
ASK-1	5895-01-320-0366
TFM-2	5895-01-135-1852
TFM-3	5895-01-112-0031
TFM-12	5895-01-179-5686
TFM-4	5895-01-317-9388

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

In Stock...Immediate Delivery



plug-in, surface-mount

Frequency Mixers

LEVEL 7 (+7 dBm LO, up to +1 dBm RF)

Models
TUF-5
TUF-5SM

computer-automated performance data

typical production unit / for data of other models consult factory

mixer conversion loss and isolation

RF MHz	LO MHz	Conversion Loss (dB) LO +4 dBm	LO +7 dBm	LO +10 dBm	Isolation L-R (dB) LO +4 dBm	LO +7 dBm	LO +10 dBm	Isolation L-I (dB) LO +4 dBm	LO +7 dBm	LO +10 dBm
20.000	50.000	6.33	5.76	5.50	69.02	69.06	68.24	50.16	50.01	49.77
40.000	70.000	6.11	5.54	5.27	63.58	63.75	63.61	46.13	45.70	45.41
50.000	80.000	6.00	5.44	5.20	61.66	61.73	61.60	44.11	43.88	43.72
100.000	70.000	5.94	5.38	5.14	56.16	56.05	55.78	38.85	38.99	38.98
158.750	128.750	5.96	5.40	5.19	52.34	52.30	51.82	36.10	36.23	35.74
200.000	170.000	5.91	5.41	5.20	50.15	49.90	48.79	34.62	34.38	33.79
297.500	267.500	6.12	5.58	5.33	47.03	46.54	45.34	31.74	31.36	30.79
436.250	406.250	6.40	5.81	5.52	45.66	46.39	47.22	28.23	28.70	28.59
500.000	470.000	6.57	5.94	5.63	45.24	46.35	47.53	26.79	27.70	27.93
575.000	545.000	6.79	6.28	5.78	44.28	45.43	46.69	25.50	26.65	27.62
713.750	683.750	7.45	6.65	6.23	42.95	43.76	44.80	23.58	25.47	27.32
750.000	720.000	7.62	6.73	6.29	42.81	43.43	44.23	23.20	25.18	27.28
852.500	822.500	7.67	6.83	6.35	41.93	42.21	42.70	22.64	24.77	26.98
991.250	961.250	7.85	7.20	6.70	40.44	40.31	40.22	21.27	22.85	24.04
1000.000	970.000	7.77	7.15	6.66	40.30	40.23	40.15	21.10	22.65	23.80
1130.000	1100.000	7.86	7.28	6.85	39.02	38.87	38.41	19.21	19.85	19.82
1268.750	1238.750	7.86	7.27	6.91	38.49	38.46	38.13	16.87	17.22	17.01
1407.500	1377.500	8.15	7.29	6.91	37.51	37.61	37.31	14.38	14.48	14.44
1453.750	1423.750	8.29	7.22	6.79	37.09	37.14	36.69	13.51	13.58	13.43
1500.000	1470.000	8.60	7.38	6.93	36.81	36.87	36.41	12.94	12.98	12.91

mixer VSWR

FREQ. (MHz)	VSWR RF port LO +4 dBm	LO +7 dBm	LO +10 dBm	VSWR LO port LO +4 dBm	LO +7 dBm	LO +10 dBm	VSWR IF port LO +4 dBm	LO +7 dBm	LO +10 dBm
20.000	1.66	1.56	1.49	1.67	2.37	3.26	1.61	1.34	1.15
50.000	1.56	1.44	1.35	1.63	2.31	3.18	1.61	1.34	1.15
100.000	1.69	1.56	1.46	1.54	2.17	2.97	1.61	1.34	1.15
200.000	1.75	1.62	1.51	1.54	2.16	2.94	1.62	1.34	1.16
323.400	2.04	1.89	1.77	1.58	2.18	2.92	1.60	1.33	1.15
401.100	2.28	2.12	1.99	1.63	2.20	2.90	1.58	1.31	1.15
438.100	2.42	2.25	2.10	1.67	2.23	2.90	1.57	1.30	1.14
552.800	2.84	2.65	2.48	1.77	2.27	2.88	1.51	1.26	1.11
663.800	3.22	3.02	2.85	1.88	2.33	2.87	1.42	1.19	1.07
741.500	3.45	3.26	3.10	1.93	2.35	2.85	1.35	1.13	1.05
778.500	3.53	3.36	3.19	1.97	2.38	2.88	1.30	1.10	1.05
815.500	3.60	3.43	3.29	2.03	2.42	2.91	1.26	1.07	1.08
930.200	3.75	3.60	3.46	2.20	2.54	2.97	1.10	1.08	1.20
1044.900	3.76	3.65	3.53	2.41	2.71	3.09	1.10	1.28	1.42
1118.900	3.79	3.65	3.55	2.58	2.84	3.19	1.24	1.43	1.58
1159.600	3.79	3.62	3.54	2.68	2.90	3.24	1.34	1.55	1.71
1270.600	3.73	3.58	3.50	3.02	3.10	3.38	1.74	1.97	2.14
1385.300	3.66	3.50	3.42	3.48	3.39	3.57	2.32	2.57	2.75
1463.000	3.58	3.42	3.35	3.91	3.62	3.67	2.77	3.00	3.18
1500.000	3.54	3.39	3.32	4.09	3.76	3.76	3.06	3.30	3.48

ϕ detection

FREQ. (MHz)	max DC output mV	DC offset mV
20.000	-227.32	0.17
40.000	-238.44	0.11
50.000	-242.56	0.10
100.000	-253.79	0.12
158.750	-229.69	0.16
200.000	-231.62	0.17
297.500	-238.47	0.33
436.250	-243.06	0.36
500.000	-208.99	0.46
575.000	-217.27	0.70
713.750	-202.23	0.92
750.000	-217.23	1.22
852.500	-189.86	0.76
991.250	-185.84	0.51
1000.000	-183.93	0.55
1130.000	-196.56	1.95
1268.750	-202.24	4.70
1407.500	-169.06	5.38
1453.750	-184.80	9.35
1500.000	-159.22	8.52

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Mini-Circuits™ P.O. Box 350166, Brooklyn, New York 11235-0003 (718) 934-4500 Fax (718) 332-4661
Distribution Centers/NORTH AMERICA 800-654-7949 417-335-5935 Fax 417-335-5945 EUROPE 44-252-835094 Fax 44-252-837010

20 to 1500 MHz

Mini-Circuits

ULTRA-REL™ MIXERS

5-YR. GUARANTEE *

mixer harmonic intermodulation

(relative to desired IF output)

RF ORDER HARMONIC	RF CAL	0	1	2	3	4	5	6	7	8	9	10
0	-	-	+5	24	8	36	17	48	36	50	47	42
1	-	30	+0	44	27	38	36	60	39	60	47	51
2	94	> 74	47	68	46	68	50	67	52	73	65	> 68
3	95	70	69	73	57	73	65	> 75	66	> 74	67	68
4	> 97	> 75	> 74	> 73	> 75	> 75	73	> 74	> 74	74	> 74	> 73
5	> 97	> 74	73	> 72	> 74	> 74	> 75	> 74	73	> 73	> 74	73
6	> 97	> 74	> 52	> 74	> 74	> 74	> 74	74	> 74	> 74	73	73
7	89	64	> 75	73	> 74	> 74	72	> 74	> 75	74	> 75	> 75
8	> 91	68	66	> 75	> 75	> 74	> 74	72	> 75	> 75	> 75	> 74
9	> 91	> 69	> 69	> 67	> 75	> 74	74	> 73	71	> 74	> 74	74
10	91	> 69	> 70	67	66	> 75	73	> 74	> 74	> 73	74	> 75

Harmonic LO Order

test condition: RF IN: 945.10 MHZ; -14.94 DBM
LO IN: 915.01 MHZ; +7.00 DBM
IF OUT: 30.09 MHZ; -21.95 DBM

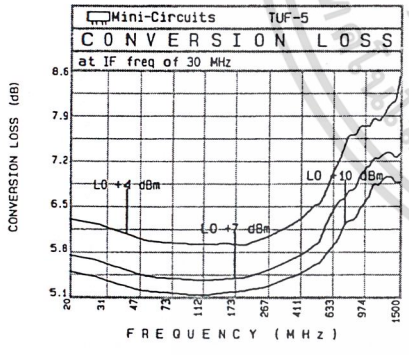
RF ORDER HARMONIC	RF CAL	0	1	2	3	4	5	6	7	8	9	10
0	-	-	6	34	19	49	30	56	46	69	64	62
1	-	30	0	46	27	41	40	64	46	69	57	65
2	76	64	41	61	40	64	44	63	48	79	60	71
3	> 96	53	53	66	38	64	48	59	50	82	56	73
4	> 96	81	68	75	56	74	55	73	60	73	61	81
5	> 96	> 84	71	75	72	75	55	74	62	73	65	> 84
6	94	83	72	84	80	82	67	> 84	65	> 84	73	81
7	82	76	> 85	> 84	84	> 85	> 84	> 84	71	82	75	> 84
8	> 91	78	> 78	> 85	> 84	> 84	> 84	> 84	78	> 84	75	> 84
9	> 91	78	> 79	76	> 85	> 84	> 84	> 84	> 84	> 85	81	83
10	> 92	78	79	> 80	75	> 85	83	> 85	> 84	> 83	83	> 85

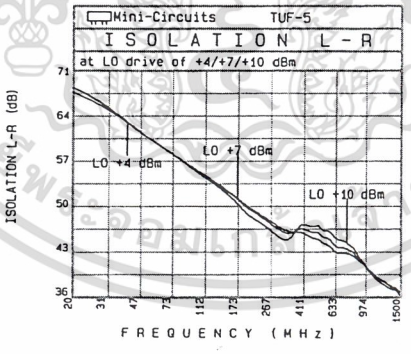
Harmonic LO Order

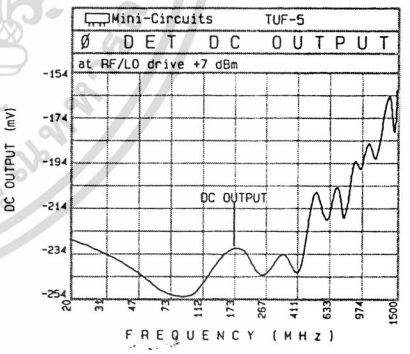
test condition: RF IN: 945.10 MHZ; -5.01 DBM
LO IN: 915.01 MHZ; +7.00 DBM
IF OUT: 30.09 MHZ; -11.88 DBM

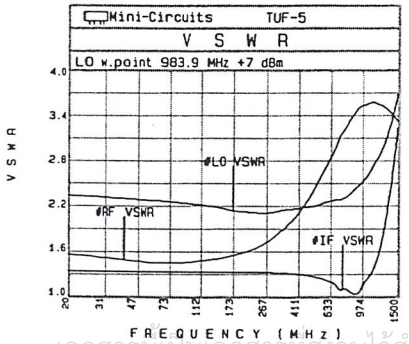
typical performance curves

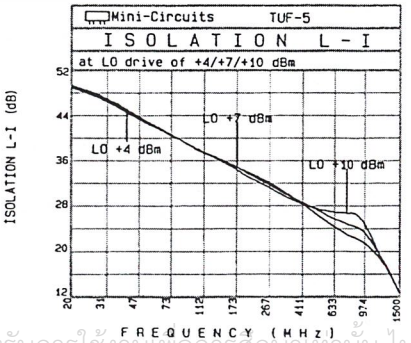
(production unit)

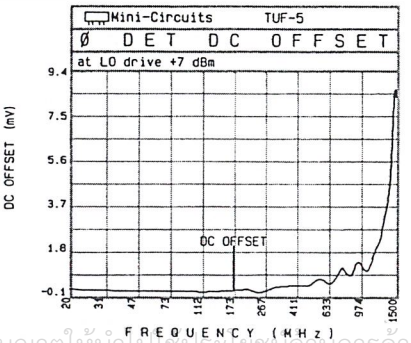












เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

In Stock...Immediate Delivery

MOTOROLA

MC1496, B

Balanced Modulators/ Demodulators

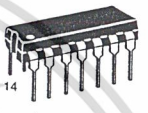
BALANCED MODULATORS/DEMODULATORS

SEMICONDUCTOR TECHNICAL DATA

These devices were designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN531 for additional design information.

- Excellent Carrier Suppression –65 dB typ @ 0.5 MHz
  –50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection –85 dB typical

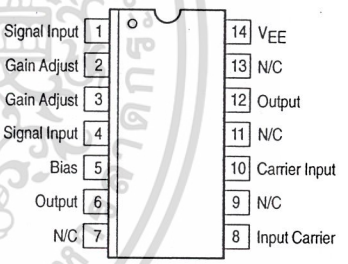
This device contains 8 active transistors.



D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO–14)

P SUFFIX
PLASTIC PACKAGE
CASE 646

PIN CONNECTIONS



ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC1496D	T_A = 0°C to +70°C	SO–14
MC1496P		Plastic DIP
MC1496BP	T_A = –40°C to +125°C	Plastic DIP

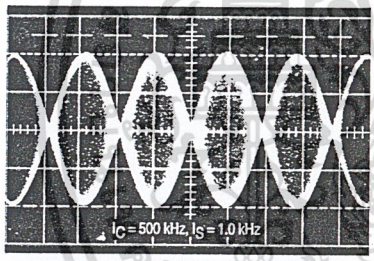


Figure 1. Suppressed Carrier Output Waveform

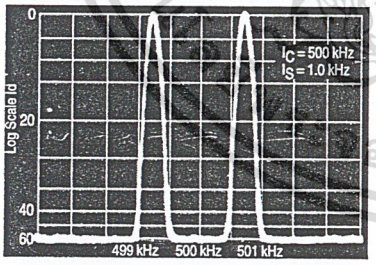


Figure 2. Suppressed Carrier Spectrum

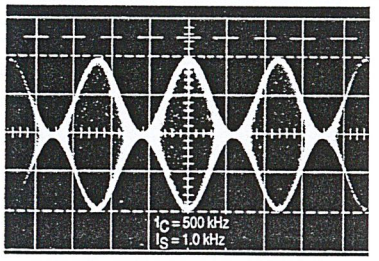
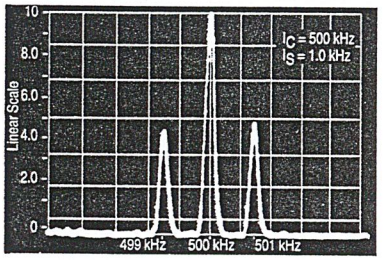


Figure 3. Amplitude Modulation Output Waveform

Figure 4. Amplitude–Modulation Spectrum



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (T_A = 25°C, unless otherwise noted.)

Rating	Symbol	Value	Unit
Applied Voltage (V6 – V8, V10 – V1, V12 – V8, V12 – V10, V8 – V4, V8 – V1, V10 – V4, V6 – V10, V2 – V5, V3 – V5)	ΔV	30	Vdc
Differential Input Signal	V8 – V10 V4 – V1	+5.0 ±(5+I5R_e)	Vdc
Maximum Bias Current	I_5	10	mA
Thermal Resistance, Junction–to–Air Plastic Dual In–Line Package	$R_{\theta JA}$	100	°C/W
Operating Temperature Range	T_A	0 to +70	°C
Storage Temperature Range	T_{stg}	–65 to +150	°C

NOTE: ESD data available upon request.

ELECTRICAL CHARACTERISTICS (V_{CC} = 12 Vdc, V_{EE} = –8.0 Vdc, I5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = T_{low} to T_{high}, all input and output characteristics are single–ended, unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	Min	Typ	Max	Unit
Carrier Feedthrough	5	1	V_{CFT}				μVrms
V_C = 60 mVrms sine wave and offset adjusted to zero — f_C = 1.0 kHz				–	40	–	
— f_C = 10 MHz				–	140	–	mVrms
V_C = 300 mVpp square wave: offset adjusted to zero — f_C = 1.0 kHz				–	0.04	0.4	
offset not adjusted — f_C = 1.0 kHz				–	20	200	
Carrier Suppression f_S = 10 kHz, 300 mVrms	5	2	V_{CS}				dB
f_C = 500 kHz, 60 mVrms sine wave				40	65	–	
f_C = 10 MHz, 60 mVrms sine wave				–	50	–	k
Transadmittance Bandwidth (Magnitude) (R_L = 50 Ω)	8	8	BW_{3dB}				MHz
Carrier Input Port, V_C = 60 mVrms sine wave f_S = 1.0 kHz, 300 mVrms sine wave				–	300	–	
Signal Input Port, V_S = 300 mVrms sine wave |V_C| = 0.5 Vdc				–	80	–	
Signal Gain (V_S = 100 mVrms, f = 1.0 kHz; |V_C|= 0.5 Vdc)	10	3	A_{VS}	2.5	3.5	–	V/V
Single–Ended Input Impedance, Signal Port, f = 5.0 MHz	6	–					
Parallel Input Resistance			r_{ip}	–	200	–	kΩ
Parallel Input Capacitance			c_{ip}	–	2.0	–	pF
Single–Ended Output Impedance, f = 10 MHz	6	–					
Parallel Output Resistance			r_{op}	–	40	–	kΩ
Parallel Output Capacitance			c_{oo}	–	5.0	–	pF
Input Bias Current $I_{bS} = \frac{I1 + I4}{2}$; $I_{bC} = \frac{I8 + I10}{2}$	7	–					μA
			I_{bS}	–	12	30	
			I_{bC}	–	12	30	
Input Offset Current I_{ioS} = I1–I4; I_{ioC} = I8–I10	7	–					μA
			|I_{ioS}|	–	0.7	7.0	
			|I_{ioC}|	–	0.7	7.0	
Average Temperature Coefficient of Input Offset Current (T_A = –55°C to +125°C)	7	–	|TC_{Iio}|	–	2.0	–	nA/°C
Output Offset Current (I6–I9)	7	–	|I_{oo}|	–	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = –55°C to +125°C)	7	–	|TC_{Ioo}|	–	90	–	nA/°C
Common–Mode Input Swing, Signal Port, f_S = 1.0 kHz	9	4	CMV	–	5.0	–	Vpp
Common–Mode Gain, Signal Port, f_S = 1.0 kHz, |V_C|= 0.5 Vdc	9	–	ACM	–	–85	–	dB
Common–Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	–	V_{out}	–	8.0	–	Vpp
Differential Output Voltage Swing Capability	10	–	V_{out}	–	8.0	–	Vpp
Power Supply Current I6 +I12	7	6	I_{CC}	–	2.0	4.0	mAdc
I14			I_{EE}	–	3.0	5.0	
DC Power Dissipation	7	5	P_D	–	33	–	mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION

Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R1 of Figure 5).

Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1496 has been characterized with a 60 mVrms sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal–input transistor pair – or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input–signal amplitude (see Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Signal Gain and Maximum Input Level

Signal gain (single–ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_o}{V_S} = \frac{R_L}{R_e + 2r_e} \quad \text{where } r_e = \frac{26\ mV}{I5(mA)}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I5.

$$V_S \leq I5\ R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1.0 V peak.

Common Mode Swing

The common–mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen.

Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage–current products at each port, i.e. assuming V12 = V6, I5 = I6 = I12 and ignoring base current, $P_D = 2\ I5\ (V6 - V14) + I5)\ V5 - V14$ where subscripts refer to pin numbers.

Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions.

A. Operating Current

The internal bias currents are set by the conditions at Pin 5. Assume:

$$I5 = I6 = I12,$$
$$I_B << I_C \text{ for all transistors}$$

then :

$$R5 = \frac{V - -\phi}{I5} - 500\ \Omega$$

where: R5 is the resistor between Pin 5 and ground
ϕ = 0.75 at T_A = +25°C

The MC1496 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common–Mode Quiescent Output Voltage

$$V6 = V12 = V+ - I5\ R_L$$

Biasing

The MC1496 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2.0 V collector–base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table;

$$30\ Vdc \geq [(V6, V12) - (V8, V10)] \geq 2\ Vdc$$
$$30\ Vdc \geq [(V8, V10) - (V1, V4)] \geq 2.7\ Vdc$$
$$30\ Vdc \geq [(V1, V4) - (V5)] \geq 2.7\ Vdc$$

The foregoing conditions are based on the following approximations:

$$V6 = V12,\ V8 = V10,\ V1 = V4$$

Bias currents flowing into Pins 1, 4, 8 and 10 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$\gamma 21C = \frac{i_o\ (\text{each sideband})}{v_s\ (\text{signal})} \Bigg|\ V_o = 0$$

Signal transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$\gamma 21S = \frac{i_o\ (\text{signal})}{v_s\ (\text{signal})} \Bigg|\ V_C = 0.5\ Vdc,\ V_o = 0$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Coupling and Bypass Capacitors

Capacitors C1 and C2 (Figure 5) should be selected for a reactance of less than 5.0 Ω at the carrier frequency.

Output Signal

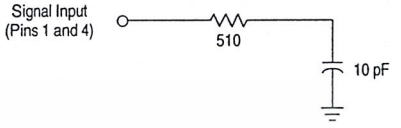
The output signal is taken from Pins 6 and 12 either balanced or single–ended. Figure 11 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single–ended output connection.

Negative Supply

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Signal Port Stability

Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source–tuned circuits that cause the oscillation.



An alternate method for low–frequency applications is to insert a 1.0 kΩ resistor in series with the input (Pins 1, 4). In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS

Figure 5. Carrier Rejection and Suppression

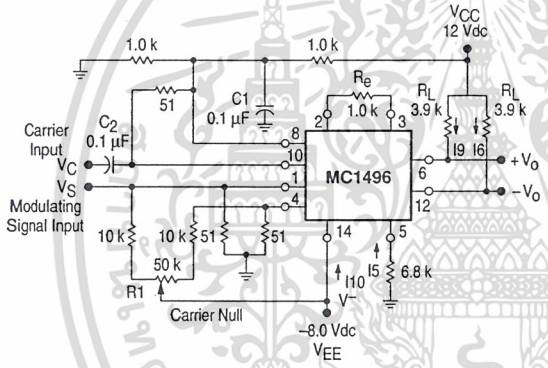
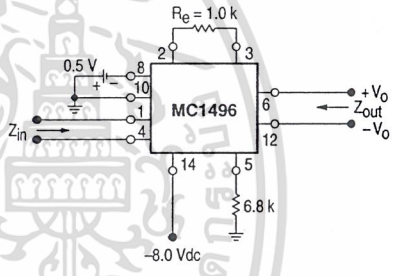


Figure 6. Input–Output Impedance



NOTE: Shielding of input and output leads may be needed to properly perform these tests.

Figure 7. Bias and Offset Currents

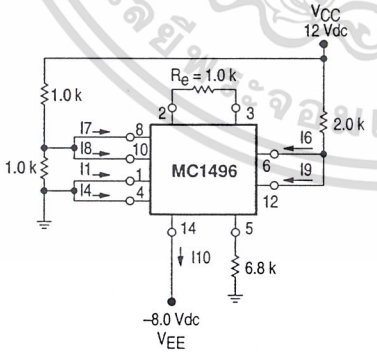
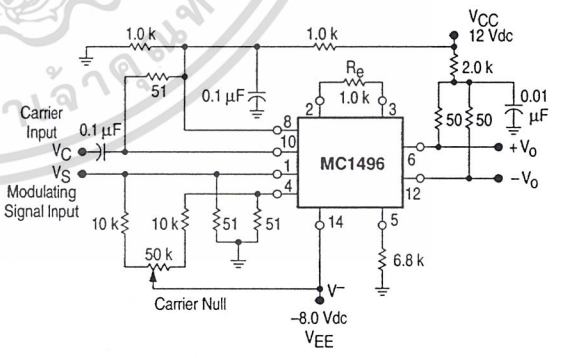


Figure 8. Transconductance Bandwidth



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 9. Common Mode Gain

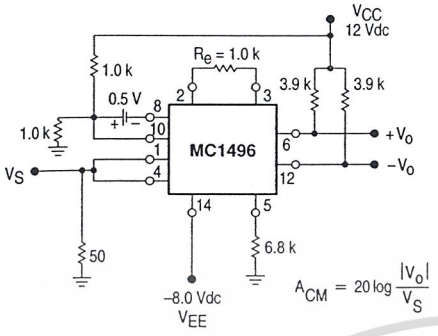
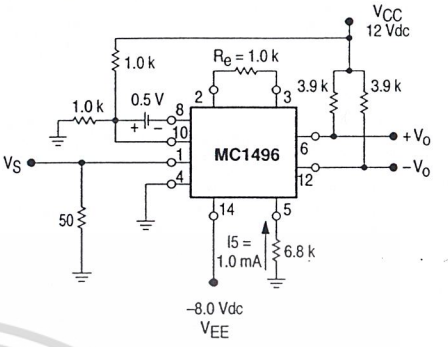


Figure 10. Signal Gain and Output Swing



TYPICAL CHARACTERISTICS

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mVrms, f_S = 1.0 kHz, V_S = 300 mVrms, T_A = 25°C, unless otherwise noted.

Figure 11. Sideband Output versus Carrier Levels

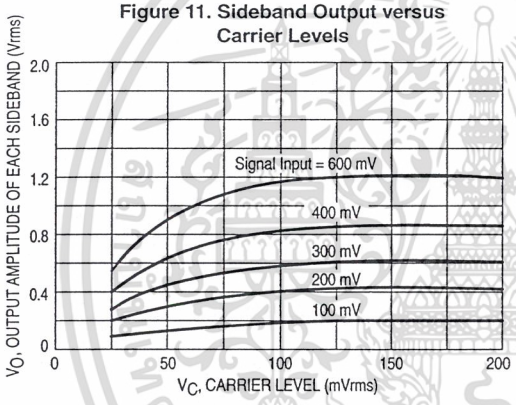


Figure 12. Signal–Port Parallel–Equivalent Input Resistance versus Frequency

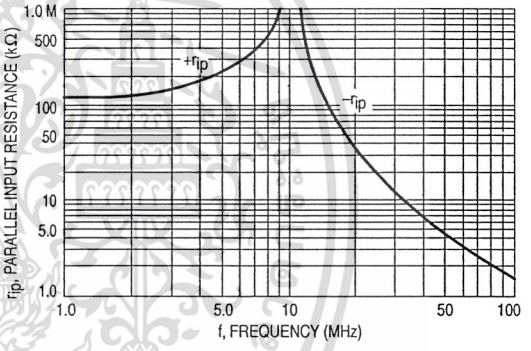


Figure 13. Signal–Port Parallel–Equivalent Input Capacitance versus Frequency

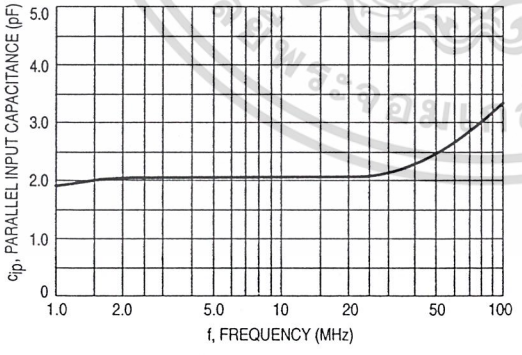
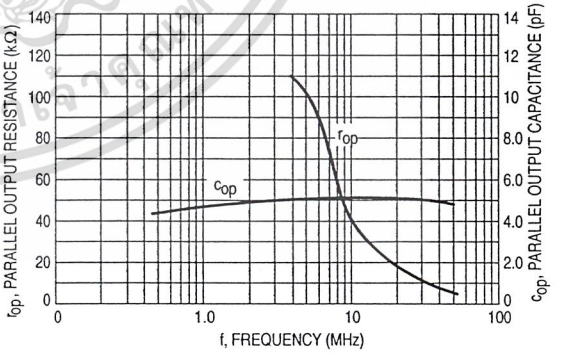


Figure 14. Single–Ended Output Impedance versus Frequency



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mVrms, f_S = 1.0 kHz, V_S = 300 mVrms, T_A = 25°C, unless otherwise noted.

Figure 15. Sideband and Signal Port Transadmittances versus Frequency

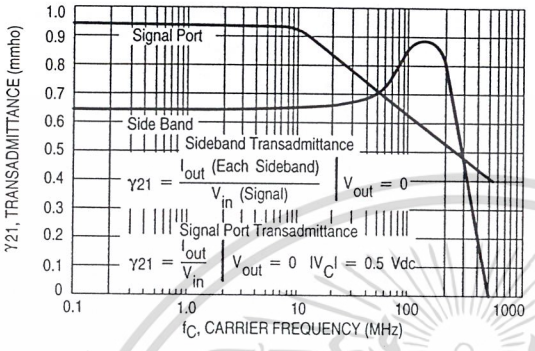


Figure 16. Carrier Suppression versus Temperature

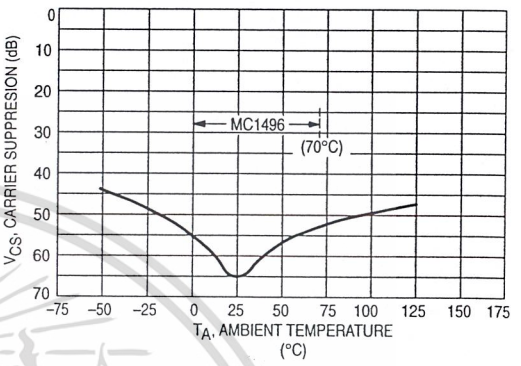


Figure 17. Signal–Port Frequency Response

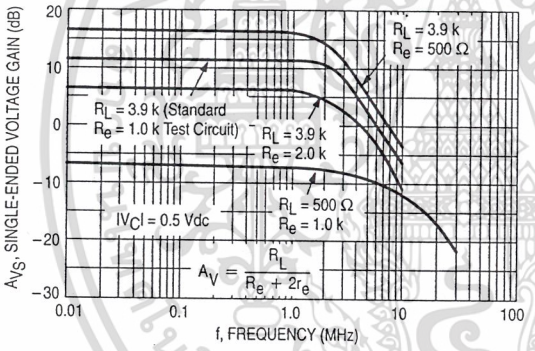


Figure 18. Carrier Suppression versus Frequency

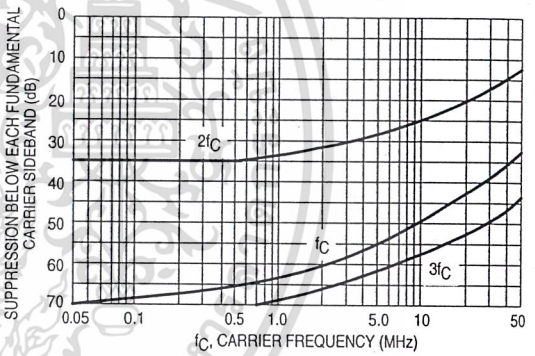


Figure 19. Carrier Feedthrough versus Frequency

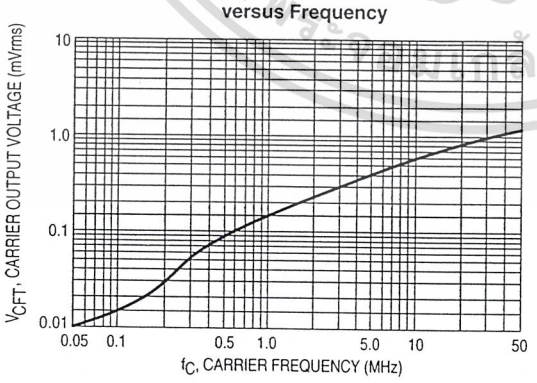
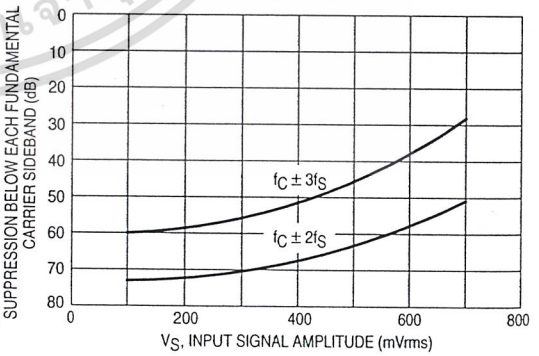


Figure 20. Sideband Harmonic Suppression versus Input Signal Level



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 21. Suppression of Carrier Harmonic Sidebands versus Carrier Frequency

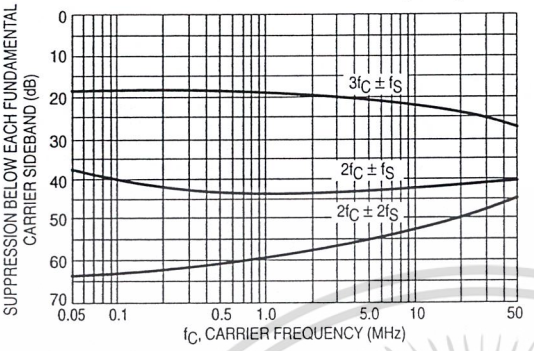
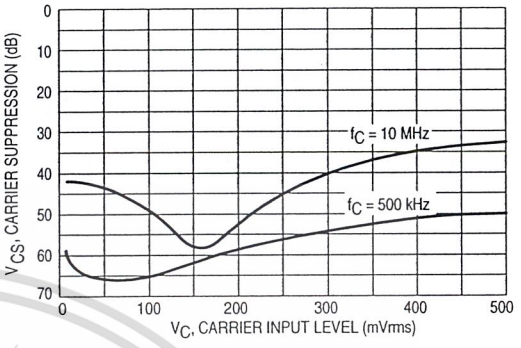


Figure 22. Carrier Suppression versus Carrier Input Level



OPERATIONS INFORMATION

The MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross–coupled so that full–wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low–level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high–level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

The linear signal handling capabilities of a differential amplifier are well defined. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be approximated from the following expression:

$$V = (I5)\,(R_E) \text{ volts peak.}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude.

Figure 23. Circuit Schematic

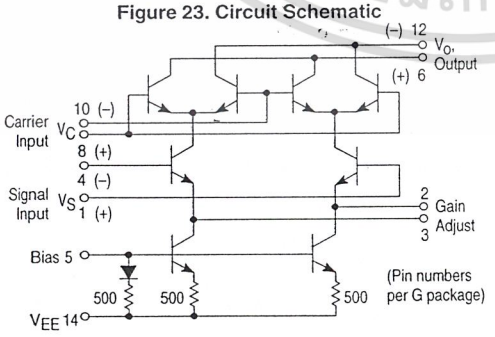
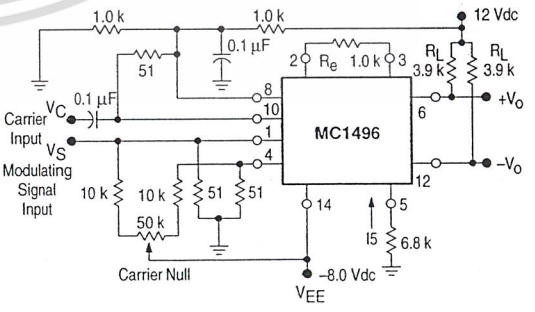


Figure 24. Typical Modulator Circuit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 25. Voltage Gain and Output Frequencies

Carrier Input Signal (V_C)	Approximate Voltage Gain	Output Signal Frequency(s)
Low–level dc	$\frac{R_L V_C}{2(R_E + 2r_e)\left(\frac{KT}{q}\right)}$	f_M
High–level dc	$\frac{R_L}{R_E + 2r_e}$	f_M
Low–level ac	$\frac{R_L V_C(rms)}{2\sqrt{2}\left(\frac{KT}{q}\right)(R_E + 2r_e)}$	$f_C \pm f_M$
High–level ac	$\frac{0.637\ R_L}{R_E + 2r_e}$	$f_C \pm f_M, 3f_C \pm f_M, 5f_C \pm f_M, \ldots$

NOTES: 1. Low–level Modulating Signal, V_M, assumed in all cases. V_C is Carrier Input Voltage.
2. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
3. All gain expressions are for a single–ended output. For a differential output connection, multiply each expression by two.
4. R_L = Load resistance.
5. R_E = Emitter resistance between Pins 2 and 3.
6. r_e = Transistor dynamic emitter resistance, at 25°C;
$$re \approx \frac{26\ mV}{I_5\ (mA)}$$
7. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron.
$$\frac{KT}{q} \approx 26\ mV \text{ at room temperature}$$

The gain from the modulating signal input port to the output is the MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower differential amplifier is operated in a linear mode, but this includes most applications of the device.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1496 for a low–level modulating signal input and the following carrier input conditions:

1) Low–level dc
2) High–level dc
3) Low–level ac
4) High–level ac

These gains are summarized in Figure 25, along with the frequency components contained in the output signal.

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single 12 Vdc supply. Performance of this circuit is similar to that of the dual supply modulator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplitude modulator with a minor modification.

All that is required to shift from suppressed carrier to AM operation is to adjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient adjustment range. Therefore, the modulator may be modified for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1496 makes an excellent SSB product detector (see Figure 29).

This product detector has a sensitivity of 3.0 microvolts and a dynamic range of 90 dB when operating at an intermediate frequency of 9.0 MHz.

The detector is broadband for the entire high frequency range. For operation at very low intermediate frequencies down to 50 kHz the 0.1 μF capacitors on Pins 8 and 10 should be increased to 1.0 μF. Also, the output filter at Pin 12 can be tailored to a specific intermediate frequency and audio amplifier input impedance.

As in all applications of the MC1496, the emitter resistance between Pins 2 and 3 may be increased or decreased to adjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM detector by introducing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be derived from the intermediate frequency signal or generated locally. The carrier signal may be introduced with or without modulation, provided its level is sufficiently high to saturate the upper quad differential

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

amplifier. If the carrier signal is modulated, a 300 mVrms input level is recommended.

Doubly Balanced Mixer

The MC1496 may be used as a doubly balanced mixer with either broadband or tuned narrow band input and output networks.

The local oscillator signal is introduced at the carrier input port with a recommended amplitude of 100 mVrms.

Figure 30 shows a mixer with a broadband input and a tuned output.

Frequency Doubler

The MC1496 will operate as a frequency doubler by introducing the same frequency at both input ports.

Figures 31 and 32 show a broadband frequency doubler and a tuned output very high frequency (VHF) doubler, respectively.

Phase Detection and FM Detection

The MC1496 will function as a phase detector. High–level input signals are introduced at both inputs. When both inputs are at the same frequency the MC1496 will deliver an output which is a function of the phase difference between the two input signals.

An FM detector may be constructed by using the phase detector principle. A tuned circuit is added at one of the inputs to cause the two input signals to vary in phase as a function of frequency. The MC1496 will then provide an output which is a function of the input signal frequency.

TYPICAL APPLICATIONS

Figure 26. Balanced Modulator (12 Vdc Single Supply)

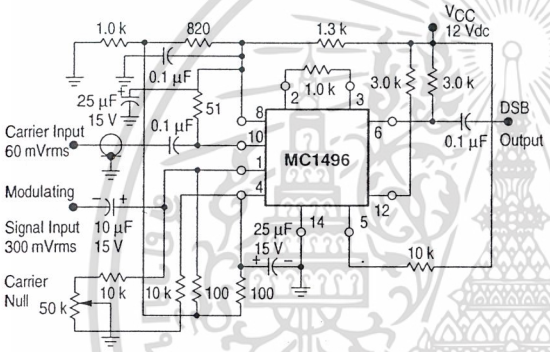


Figure 27. Balanced Modulator–Demodulator

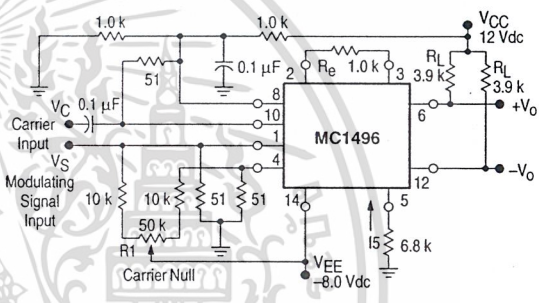


Figure 28. AM Modulator Circuit

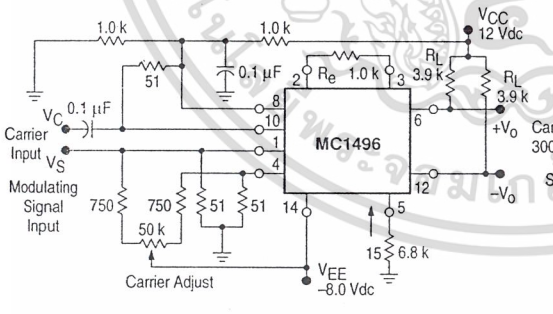
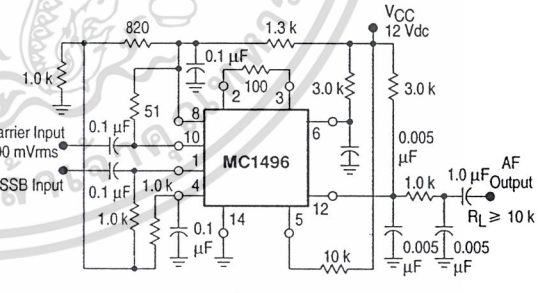
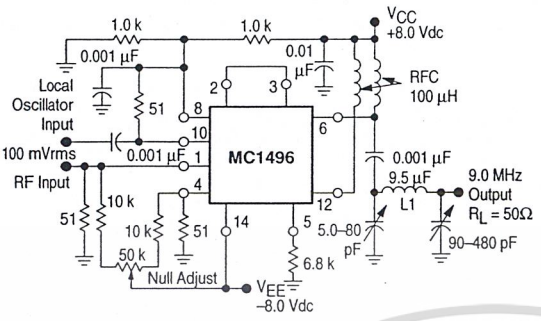


Figure 29. Product Detector (12 Vdc Single Supply)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 30. Doubly Balanced Mixer (Broadband Inputs, 9.0 MHz Tuned Output)



L1 = 44 Turns AWG No. 28 Enameled Wire, Wound on Micrometals Type 44–6 Toroid Core.

Figure 31. Low–Frequency Doubler

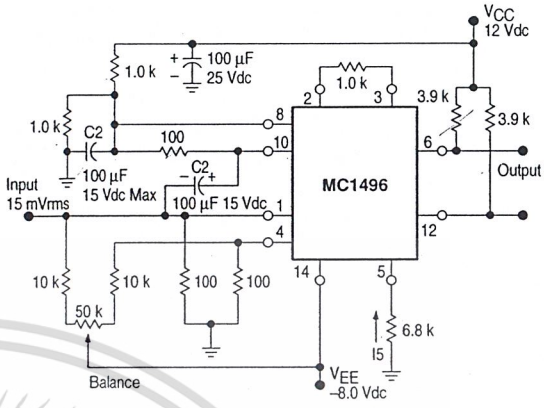
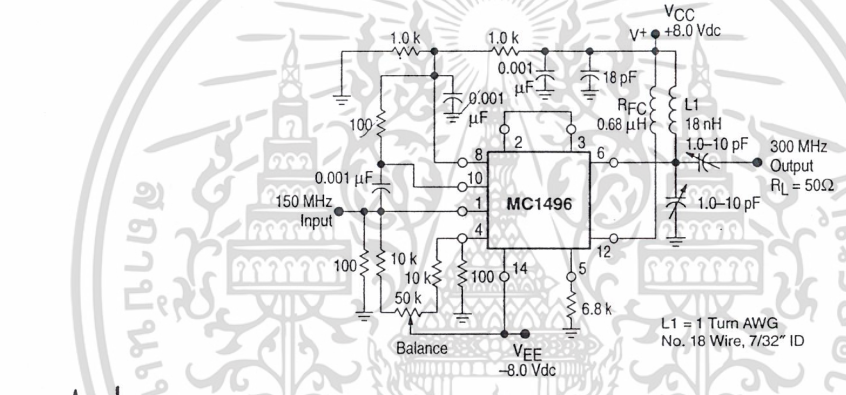
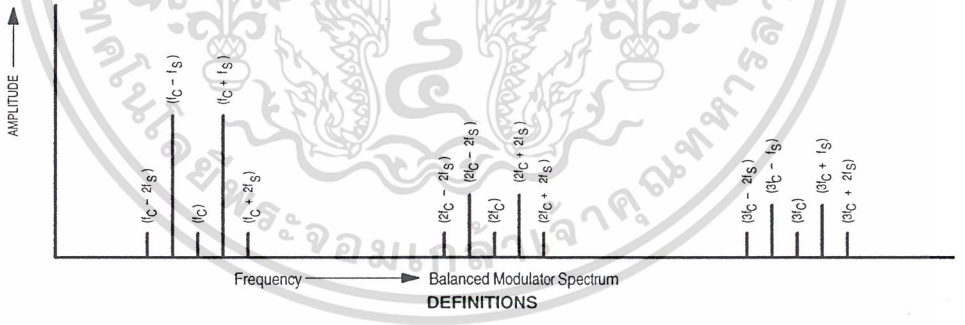


Figure 32. 150 to 300 MHz Doubler





DEFINITIONS

f_C	Carrier Fundamental	$f_C \pm nf_S$	Fundamental Carrier Sideband Harmonics
f_S	Modulating Signal	nf_C	Carrier Harmonics
$f_C \pm f_S$	Fundamental Carrier Sidebands	$nf_C \pm nf_S$	Carrier Harmonic Sidebands

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC74HC112

ual J-K Flip-Flop with et and Reset

gh–Performance Silicon–Gate CMOS

he MC74HC112 is identical in pinout to the LS112. The device inputs are ıpatible with standard CMOS outputs; with pullup resistors, they are ıpatible with LSTTL outputs.

ach flip–flop is negative–edge clocked and has active–low asynchro- s Set and Reset inputs.

he HC112 is identical in function to the HC76, but has a different pinout.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Similar in Function to the LS112 Except When Set and Reset are Low Simultaneously
- Chip Complexity: 100 FETs or 25 Equivalent Gates

N SUFFIX
PLASTIC PACKAGE
CASE 648–08

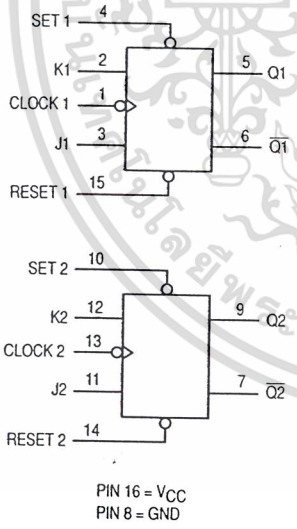
D SUFFIX
SOIC PACKAGE
CASE 751B–05

DT SUFFIX
TSSOP PACKAGE
CASE 948F–01

ORDERING INFORMATION

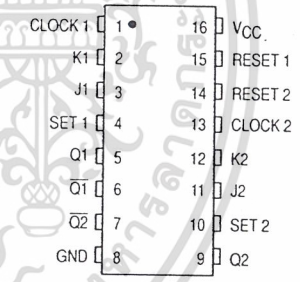
MC74HCXXXN	Plastic
MC74HCXXXD	SOIC
MC74HCXXXDT	TSSOP

LOGIC DIAGRAM



PIN 16 = V_{CC}
PIN 8 = GND

PIN ASSIGNMENT



FUNCTION TABLE

Inputs					Outputs	
Set	Reset	Clock	J	K	Q	$\overline{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	L*	L*
H	H	↓	L	L	No Change	
H	H	↓	L	H	L	H
H	H	↓	H	L	H	L
H	H	↓	H	H	Toggle	
H	H	L	X	X	No Change	
H	H	H	X	X	No Change	
H	H	↑	X	X	No Change	

* Both outputs will remain low as long as Set and Reset are low, but the output states are unpredictable if Set and Reset go high simultaneously.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	– 0.5 to + 7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	– 1.5 to V_{CC} + 1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	– 0.5 to V_{CC} + 0.5	V
I_{in}	DC Input Current, per Pin	± 20	mA
I_{out}	DC Output Current, per Pin	± 25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	± 50	mA
P_D	Power Dissipation in Still Air — Plastic DIP†	750	mW
	SOIC Package†	500	
	TSSOP Package†	450	
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds (Plastic DIP, SOIC or TSSOP)	260	°C

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: – 10 mW/°C from 65° to 125°C
SOIC Package: – 7 mW/°C from 65° to 125°C
TSSOP Package: – 6.1 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 2.

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		– 55	+ 125	°C
t_r, t_f	Input Rise and Fall Time (Figure 1)	V_{CC} = 2.0 V	0	1000	ns
		V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit – 55 to 25°C	Guaranteed Limit ≤ 85°C	Guaranteed Limit ≤ 125°C	Unit
V_{IH}	Minimum High–Level Input Voltage	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0	1.5	1.5	1.5	V
			4.5	3.15	3.15	3.15	
			6.0	4.2	4.2	4.2	
V_{IL}	Maximum Low–Level Input Voltage	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0	0.3	0.3	0.3	V
			4.5	0.9	0.9	0.9	
			6.0	1.2	1.2	1.2	
V_{OH}	Minimum High–Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA	2.0	1.9	1.9	1.9	V
			4.5	4.4	4.4	4.4	
			6.0	5.9	5.9	5.9	
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 4.0 mA	4.5	3.98	3.84	3.70	
		$\|I_{out}\|$ ≤ 5.2 mA	6.0	5.48	5.34	5.20	
V_{OL}	Maximum Low–Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA	2.0	0.1	0.1	0.1	V
			4.5	0.1	0.1	0.1	
			6.0	0.1	0.1	0.1	
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 4.0 mA	4.5	0.26	0.33	0.40	
		$\|I_{out}\|$ ≤ 5.2 mA	6.0	0.26	0.33	0.40	
I_{in}	Maximum Input Leakage Current	V_{in} = V_{CC} or GND	6.0	± 0.1	± 1.0	± 1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	V_{in} = V_{CC} or GND I_{out} = 0 μA	6.0	4	40	80	μA

NOTE: Information on typical parametric values can be found in Chapter 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6 ns)

mbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			– 55 to 25°C	≤ 85°C	≤ 125°C	
nax	Maximum Clock Frequency (50% Duty Cycle) (Figures 1 and 4)	2.0 4.5 6.0	6.0 30 35	4.8 24 28	4.0 20 24	MHz
LH, HL	Maximum Propagation Delay, Clock to Q or $\overline{Q}$ (Figures 1 and 4)	2.0 4.5 6.0	125 25 21	155 31 26	190 38 32	ns
LH, HL	Maximum Propagation Delay, Reset to Q or $\overline{Q}$ (Figures 2 and 4)	2.0 4.5 6.0	155 31 26	195 39 33	235 47 40	ns
LH, HL	Maximum Propagation Delay, Set to Q or $\overline{Q}$ (Figures 2 and 4)	2.0 4.5 6.0	165 33 28	205 41 35	250 50 43	ns
LH, HL	Maximum Output Transition Time, Any Output (Figures 1 and 4)	2.0 4.5 6.0	75 15 13	95 19 16	110 22 19	ns
in	Maximum Input Capacitance	—	10	10	10	pF

S:
For propagation delays with loads other than 50 pF, see Chapter 2.
Information on typical parametric values can be found in Chapter 2.

		Typical @ 25°C, V_{CC} = 5.0 V	
PD	Power Dissipation Capacitance (Per Flip–Flop)*	35	pF

d to determine the no–load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$. For load considerations, see Chapter 2.

NG REQUIREMENTS (Input $t_r = t_f$ = 6 ns)

mbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			– 55 to 25°C	≤ 85°C	≤ 125°C	
su	Minimum Setup Time, J or K to Clock (Figure 3)	2 0 4.5 6.0	100 20 17	125 25 21	150 30 26	ns
t_h	Minimum Hold Time, Clock to J or K (Figure 3)	2.0 4.5 6.0	3 3 3	3 3 3	3 3 3	ns
rec	Minimum Recovery Time, Set or Reset Inactive to Clock (Figure 2)	2.0 4.5 6.0	100 20 17	125 25 21	150 30 26	ns
t_w	Minimum Pulse Width, Clock (Figure 1)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
t_w	Minimum Pulse Width, Set or Reset (Figure 2)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
r, t_f	Maximum Input Rise and Fall Times (Figure 1)	2.0 4.5 6.0	1000 500 400	1000 500 400	1000 500 400	ns

E: Information on typical parametric values can be found in Chapter 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING WAVEFORMS

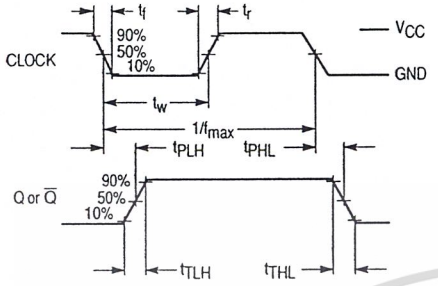


Figure 1.

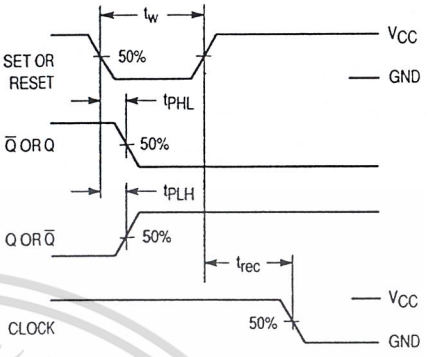


Figure 2.

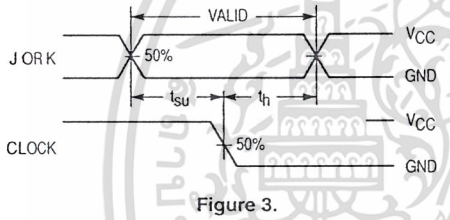
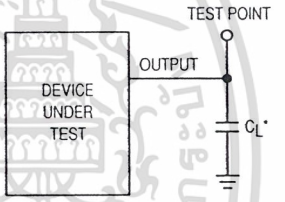


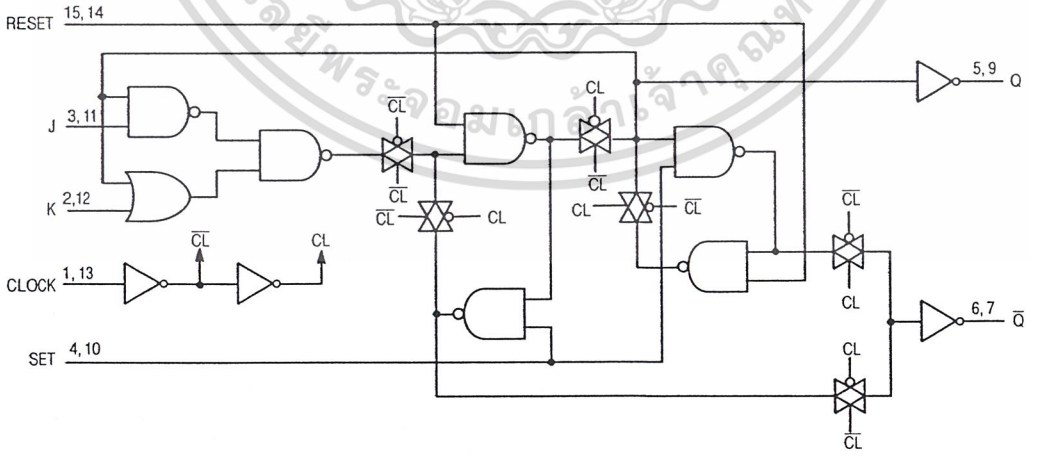
Figure 3.



* Includes all probe and jig capacitance

Figure 4. Test Circuit

EXPANDED LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC74HC4020A

14-Stage Binary Ripple Counter

High–Performance Silicon–Gate CMOS

The MC74C4020A is identical in pinout to the standard CMOS MC14020B. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

This device consists of 14 master–slave flip–flops with 12 stages brought out to pins. The output of each flip–flop feeds the next and the frequency at each output is half of that of the preceding one. Reset is asynchronous and active–high.

State changes of the Q outputs do not occur simultaneously because of internal ripple delays. Therefore, decoded output signals are subject to decoding spikes and may have to be gated with the Clock of the HC4020A for some designs.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance With JEDEC Standard No. 7A Requirements
- Chip Complexity: 398 FETs or 99.5 Equivalent Gates

N SUFFIX
PLASTIC PACKAGE
CASE 648–08

D SUFFIX
SOIC PACKAGE
CASE 751B–05

DT SUFFIX
TSSOP PACKAGE
CASE 948F–01

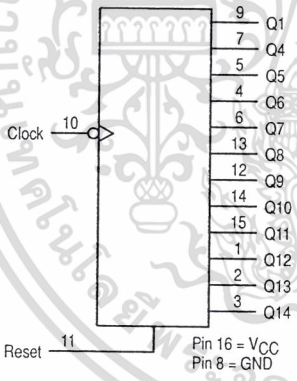
ORDERING INFORMATION

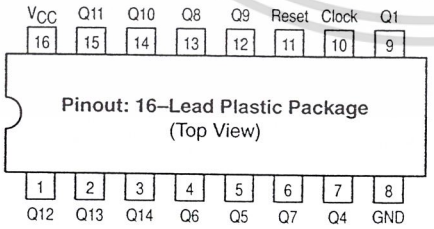
MC74HCXXXXAN	Plastic
MC74HCXXXXAD	SOIC
MC74HCXXXXADT	TSSOP

FUNCTION TABLE

Clock	Reset	Output State
⌐	L	No Change
⌐	L	Advance to Next State
X	H	All Outputs Are Low

LOGIC DIAGRAM





© Motorola, Inc. 1995

MOTOROLA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	– 0.5 to + 7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	– 0.5 to V_{CC} + 0.5	V
V_{out}	DC Output Voltage (Referenced to GND)	– 0.5 to V_{CC} + 0.5	V
I_{in}	DC Input Current, per Pin	± 20	mA
I_{out}	DC Output Current, per Pin	± 25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	± 50	mA
P_D	Power Dissipation in Still Air, Plastic DIP†	750	mW
	SOIC Package†	500	
	TSSOP Package†	450	
T_{stg}	Storage Temperature Range	– 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds, Plastic DIP, SOIC or TSSOP Package	260	°C

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: – 10 mW/°C from 65° to 125°C
SOIC Package: – 7 mW/°C from 65° to 125°C
TSSOP Package: – 6.1 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 2.

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature Range, All Package Types		– 55	+ 125	°C
t_r, t_f	Input Rise/Fall Time (Figure 1)	V_{CC} = 2.0 V	0	1000	ns
		V_{CC} = 3.0 V	0	600	
		V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

DC CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Condition	V_{CC} V	Guaranteed Limit –55 to 25°C	Guaranteed Limit ≤85°C	Guaranteed Limit ≤125°C	Unit
V_{IH}	Minimum High–Level Input Voltage	V_{out} = 0.1V or V_{CC} –0.1V, $\|I_{out}\|$ ≤ 20μA	2.0	1.50	1.50	1.50	V
			3.0	2.10	2.10	2.10	
			4.5	3.15	3.15	3.15	
			6.0	4.20	4.20	4.20	
V_{IL}	Maximum Low–Level Input Voltage	V_{out} = 0.1V or V_{CC} – 0.1V, $\|I_{out}\|$ ≤ 20μA	2.0	0.50	0.50	0.50	V
			3.0	0.90	0.90	0.90	
			4.5	1.35	1.35	1.35	
			6.0	1.80	1.80	1.80	
V_{OH}	Minimum High–Level Output Voltage	V_{in} = V_{IH} or V_{IL}, $\|I_{out}\|$ ≤ 20μA	2.0	1.9	1.9	1.9	V
			4.5	4.4	4.4	4.4	
			6.0	5.9	5.9	5.9	
		V_{in} = V_{IH} or V_{IL}, $\|I_{out}\|$ ≤ 2.4mA	3.0	2.48	2.34	2.20	
		$\|I_{out}\|$ ≤ 4.0mA	4.5	3.98	3.84	3.70	
		$\|I_{out}\|$ ≤ 5.2mA	6.0	5.48	5.34	5.20	
V_{OL}	Maximum Low–Level Output Voltage	V_{in} = V_{IH} or V_{IL}, $\|I_{out}\|$ ≤ 20μA	2.0	0.1	0.1	0.1	V
			4.5	0.1	0.1	0.1	
			6.0	0.1	0.1	0.1	
		V_{in} = V_{IH} or V_{IL}, $\|I_{out}\|$ ≤ 2.4mA	3.0	0.26	0.33	0.40	
		$\|I_{out}\|$ ≤ 4.0mA	4.5	0.26	0.33	0.40	
		$\|I_{out}\|$ ≤ 5.2mA	6.0	0.26	0.33	0.40	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Condition	V_{CC} V	Guaranteed Limit			Unit
				–55 to 25°C	≤85°C	≤125°C	
I_{in}	Maximum Input Leakage Current	V_{in} = V_{CC} or GND	6.0	±0.1	±1.0	±1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	V_{in} = V_{CC} or GND I_{out} = 0μA	6.0	4	40	160	μA

NOTE: Information on typical parametric values can be found in Chapter 2.

AC CHARACTERISTICS (C_L = 50 pF, Input t_r = t_f = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			–55 to 25°C	≤85°C	≤125°C	
f_{max}	Maximum Clock Frequency (50% Duty Cycle) (Figures 1 and 4)	2.0 3.0 4.5 6.0	10 15 30 50	9.0 14 28 50	8.0 12 25 40	MHz
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock to Q1* (Figures 1 and 4)	2.0 3.0 4.5 6.0	96 63 31 25	106 71 36 30	115 88 40 35	ns
t_{PHL}	Maximum Propagation Delay, Reset to Any Q (Figures 2 and 4)	2.0 3.0 4.5 6.0	45 30 30 26	52 36 35 32	65 40 40 35	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Qn to Qn+1 (Figures 3 and 4)	2.0 3.0 4.5 6.0	69 40 17 14	80 45 21 15	90 50 28 22	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 4)	2.0 3.0 4.5 6.0	75 27 15 13	95 32 19 15	110 36 22 19	ns
C_{in}	Maximum Input Capacitance		10	10	10	pF

NOTE: For propagation delays with loads other than 50 pF, and information on typical parametric values, see Chapter 2.

* For T_A = 25°C and C_L = 50 pF, typical propagation delay from Clock to other Q outputs may be calculated with the following equations:

V_{CC} = 2.0 V: t_P = [93.7 + 59.3 (n–1)] ns
V_{CC} = 3.0 V: t_P = [61.5 + 34.4 (n–1)] ns
V_{CC} = 4.5 V: t_P = [30.25 + 14.6 (n–1)] ns
V_{CC} = 6.0 V: t_P = [24.4 + 12 (n–1)] ns

		Typical @ 25°C, V_{CC} = 5.0 V	
C_{PD}	Power Dissipation Capacitance (Per Package)*	38	pF

* Used to determine the no–load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$. For load considerations, see Chapter 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

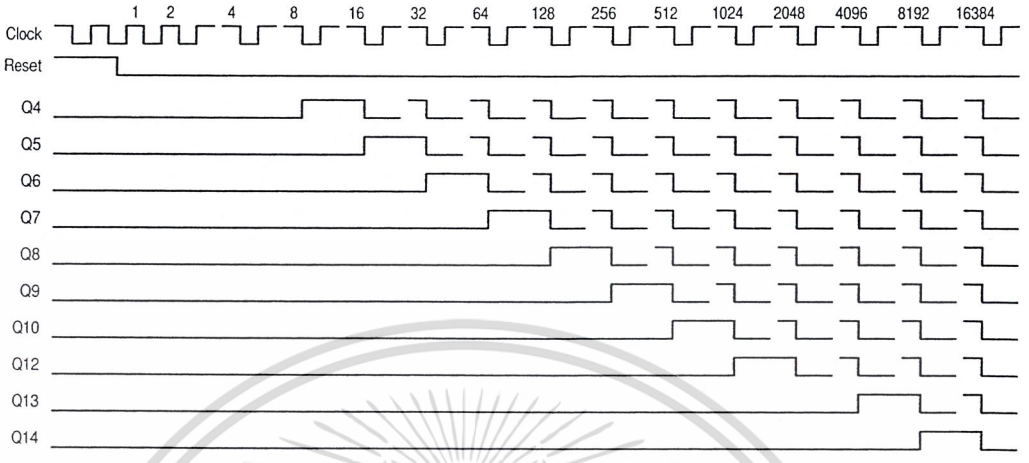


Figure 6. Timing Diagram

APPLICATIONS INFORMATION

Time–Base Generator

A 60Hz sinewave obtained through a 1.0 Megohm resistor connected directly to a standard 120 Vac power line is applied to the input of the MC54/74HC14A, Schmitt-trigger inverter. The HC14A squares–up the input waveform and feeds the HC4020A. Selecting outputs Q5, Q10, Q11, and Q12 causes a reset every 3600 clocks. The HC20 decodes the counter outputs, produces a single (narrow) output pulse, and resets the binary counter. The resulting output frequency is 1.0 pulse/minute.

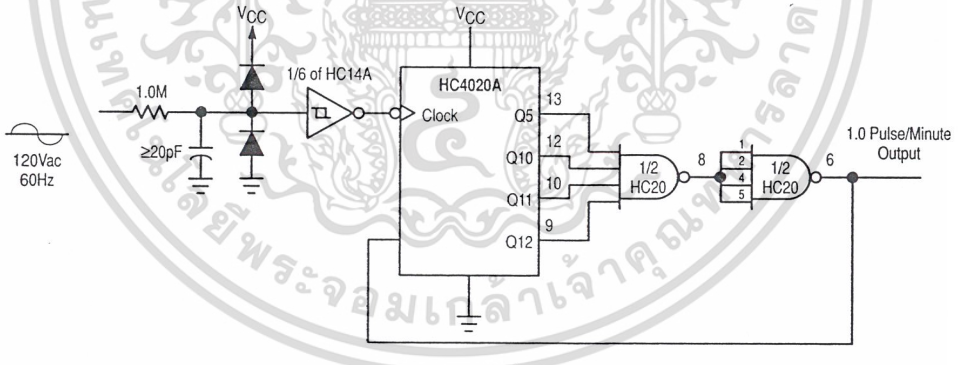


Figure 7. Time–Base Generator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

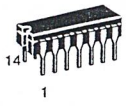
MC54/74HC04A

Hex Inverter
High–Performance Silicon–Gate CMOS

The MC54/74HC04A is identical in pinout to the LS04 and the MC14069. The device inputs are compatible with Standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

The device consists of six three–stage inverters.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS and TTL
- Operating Voltage Range: 2 to 6V
- Low Input Current: 1μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance With the JEDEC Standard No. 7A Requirements
- Chip Complexity: 36 FETs or 9 Equivalent Gates



J SUFFIX
CERAMIC PACKAGE
CASE 632–08

N SUFFIX
PLASTIC PACKAGE
CASE 646–06

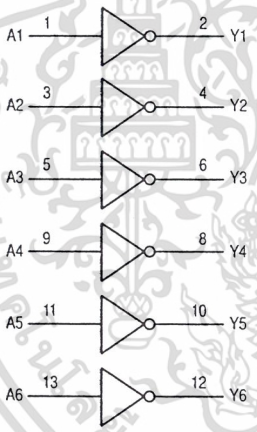
D SUFFIX
SOIC PACKAGE
CASE 751A–03

DT SUFFIX
TSSOP PACKAGE
CASE 948G–01

ORDERING INFORMATION

MC54HCXXAJ	Ceramic
MC74HCXXAN	Plastic
MC74HCXXAD	SOIC
MC74HCXXADT	TSSOP

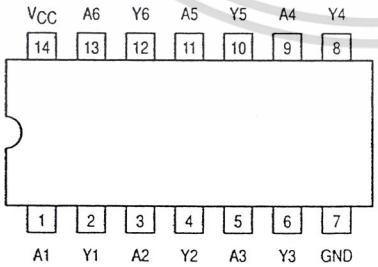
LOGIC DIAGRAM



FUNCTION TABLE

Inputs	Outputs
A	Y
L	H
H	L

Pinout: 14–Lead Packages (Top View)



© Motorola, Inc. 1995

MOTOROLA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	– 0.5 to + 7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	– 0.5 to V_{CC} + 0.5	V
V_{out}	DC Output Voltage (Referenced to GND)	– 0.5 to V_{CC} + 0.5	V
I_{in}	DC Input Current, per Pin	± 20	mA
I_{out}	DC Output Current, per Pin	± 25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	± 50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP† SOIC Package† TSSOP Package†	750 500 450	mW
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds Plastic DIP, SOIC or TSSOP Package Ceramic DIP	 260 300	°C

* Maximum Ratings are those values beyond which damage to the device may occur.
Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: – 10 mW/°C from 65° to 125°C
Ceramic DIP: – 10 mW/°C from 100° to 125°C
SOIC Package: – 7 mW/°C from 65° to 125°C
TSSOP Package: – 6.1 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 2.

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		– 55	+ 125	°C
t_r, t_f	Input Rise and Fall Time (Figure 1)	V_{CC} = 2.0 V	0	1000	ns
		V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Condition	V_{CC} V	Guaranteed Limit			Unit
				–55 to 25°C	≤85°C	≤125°C	
V_{IH}	Minimum High–Level Input Voltage	V_{out} = 0.1V or V_{CC} –0.1V $\|I_{out}\| \le 20\mu A$	2.0 3.0 4.5 6.0	1.50 2.10 3.15 4.20	1.50 2.10 3.15 4.20	1.50 2.10 3.15 4.20	V
V_{IL}	Maximum Low–Level Input Voltage	V_{out} = 0.1V or V_{CC} – 0.1V $\|I_{out}\| \le 20\mu A$	2.0 3.0 4.5 6.0	0.50 0.90 1.35 1.80	0.50 0.90 1.35 1.80	0.50 0.90 1.35 1.80	V
V_{OH}	Minimum High–Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 20\mu A$	2.0 4.5 6.0	1.9 4.4 5.9	1.9 4.4 5.9	1.9 4.4 5.9	V
		V_{in} =V_{IH} or V_{IL} $\|I_{out}\| \le 2.4mA$ $\|I_{out}\| \le 4.0mA$ $\|I_{out}\| \le 5.2mA$	3.0 4.5 6.0	2.48 3.98 5.48	2.34 3.84 5.34	2.20 3.70 5.20	
V_{OL}	Maximum Low–Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 20\mu A$	2.0 4.5 6.0	0.1 0.1 0.1	0.1 0.1 0.1	0.1 0.1 0.1	V
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 2.4mA$ $\|I_{out}\| \le 4.0mA$ $\|I_{out}\| \le 5.2mA$	3.0 4.5 6.0	0.26 0.26 0.26	0.33 0.33 0.33	0.40 0.40 0.40	
I_{in}	Maximum Input Leakage Current	V_{in} = V_{CC} or GND	6.0	±0.1	±1.0	±1.0	µA
I_{CC}	Maximum Quiescent Supply Current (per Package)	V_{in} = V_{CC} or GND I_{out} = 0µA	6.0	1.0	10	40	µA

NOTE: Information on typical parametric values can be found in Chapter 2.

AC CHARACTERISTICS (C_L = 50pF, Input t_r = t_f = 6ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			–55 to 25°C	≤85°C	≤125°C	
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Input A or B to Output Y (Figures 1 and 2)	2.0 3.0 4.5 6.0	75 30 15 13	95 40 19 16	110 55 22 19	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 2)	2.0 3.0 4.5 6.0	75 27 15 13	95 32 19 16	110 36 22 19	ns
C_{in}	Maximum Input Capacitance		10	10	10	pF

NOTE: For propagation delays with loads other than 50 pF, and information on typical parametric values, see Chapter 2.

		Typical @ 25°C, V_{CC} = 5.0 V	
C_{PD}	Power Dissipation Capacitance (Per Inverter)*	20	pF

* Used to determine the no–load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$. For load considerations, see Chapter 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

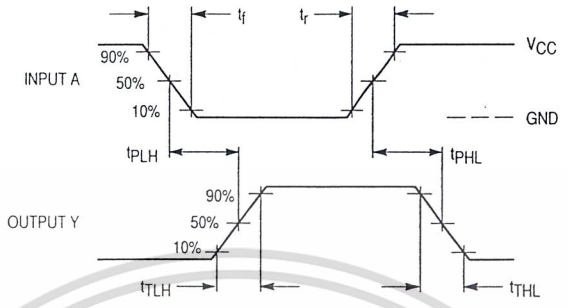
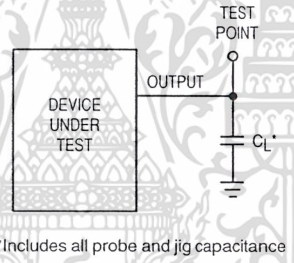


Figure 1. Switching Waveforms



*Includes all probe and jig capacitance

Figure 2. Test Circuit

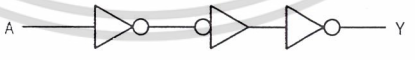


Figure 3. Expanded Logic Diagram
(1/6 of the Device Shown)

เอกสารนี้เป็นสิ่งสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

SN54/74LS90
SN54/74LS92
SN54/74LS93

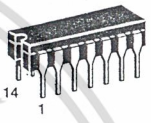
DECADE COUNTER; DIVIDE-BY-TWELVE COUNTER; 4-BIT BINARY COUNTER

DECADE COUNTER; DIVIDE-BY-TWELVE COUNTER; 4-BIT BINARY COUNTER

LOW POWER SCHOTTKY

The SN54/74LS90, SN54/74LS92 and SN54/74LS93 are high-speed 4-bit ripple type counters partitioned into two sections. Each counter has a divide-by-two section and either a divide-by-five (LS90), divide-by-six (LS92) or divide-by-eight (LS93) section which are triggered by a HIGH-to-LOW transition on the clock inputs. Each section can be used separately or tied together (Q to $\overline{CP}$) to form BCD, bi-quinary, modulo-12, or modulo-16 counters. All of the counters have a 2-input gated Master Reset (Clear), and the LS90 also has a 2-input gated Master Set (Preset 9).

- Low Power Consumption . . . Typically 45 mW
- High Count Rates . . . Typically 42 MHz
- Choice of Counting Modes . . . BCD, Bi-Quinary, Divide-by-Twelve, Binary
- Input Clamp Diodes Limit High Speed Termination Effects



J SUFFIX
CERAMIC
CASE 632-08

N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

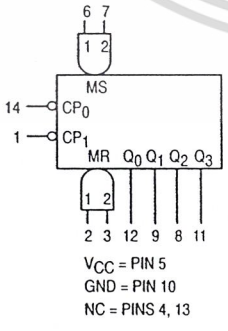
PIN NAMES

		LOADING (Note a) HIGH	LOW
$\overline{CP}_0$	Clock (Active LOW going edge) Input to ÷2 Section	0.5 U.L.	1.5 U.L.
$\overline{CP}_1$	Clock (Active LOW going edge) Input to ÷5 Section (LS90), ÷6 Section (LS92)	0.5 U.L.	2.0 U.L.
$\overline{CP}_1$	Clock (Active LOW going edge) Input to ÷8 Section (LS93)	0.5 U.L.	1.0 U.L.
MR_1, MR_2	Master Reset (Clear) Inputs	0.5 U.L.	0.25 U.L.
MS_1, MS_2	Master Set (Preset-9, LS90) Inputs	0.5 U.L.	0.25 U.L.
Q_0	Output from ÷2 Section (Notes b & c)	10 U.L.	5 (2.5) U.L.
Q_1, Q_2, Q_3	Outputs from ÷5 (LS90), ÷6 (LS92), ÷8 (LS93) Sections (Note b)	10 U.L.	5 (2.5) U.L.

NOTES:
a. 1 TTL Unit Load (U.L.) = 40 µA HIGH/1.6 mA LOW.
b. The Output LOW drive factor is 2.5 U.L. for Military, (54) and 5 U.L. for commercial (74) Temperature Ranges.
c. The Q_0 Outputs are guaranteed to drive the full fan-out plus the $\overline{CP}_1$ input of the device.
d. To insure proper operation the rise (t_r) and fall time (t_f) of the clock must be less than 100 ns.

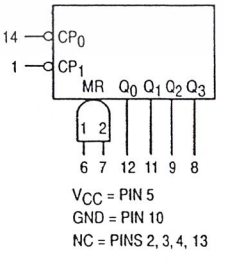
LOGIC SYMBOL

LS90



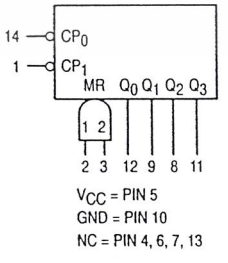
VCC = PIN 5
GND = PIN 10
NC = PINS 4, 13

LS92



VCC = PIN 5
GND = PIN 10
NC = PINS 2, 3, 4, 13

LS93

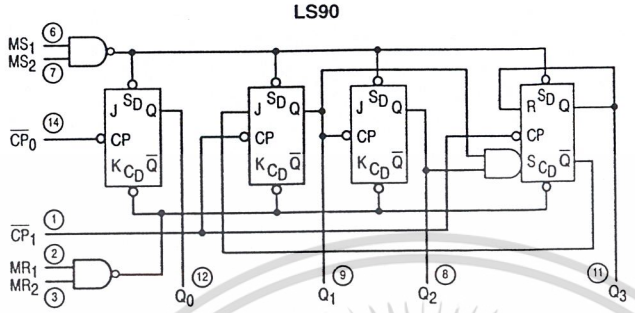


VCC = PIN 5
GND = PIN 10
NC = PIN 4, 6, 7, 13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

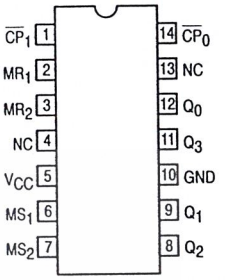
LOGIC DIAGRAM

LS90



○ = PIN NUMBERS
V_{CC} = PIN 5
GND = PIN 10

CONNECTION DIAGRAM
DIP (TOP VIEW)

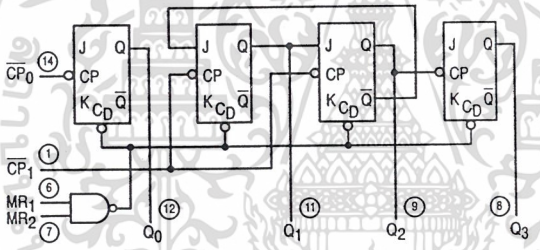


NC = NO INTERNAL CONNECTION

NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

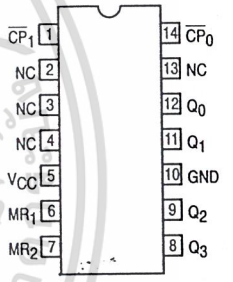
LOGIC DIAGRAM

LS92



○ = PIN NUMBERS
V_{CC} = PIN 5
GND = PIN 10

CONNECTION DIAGRAM
DIP (TOP VIEW)

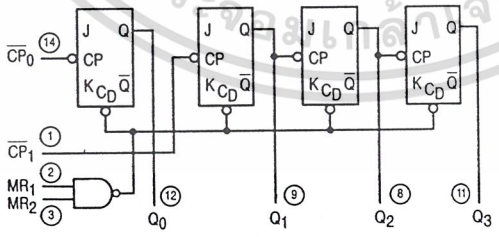


NC = NO INTERNAL CONNECTION

NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

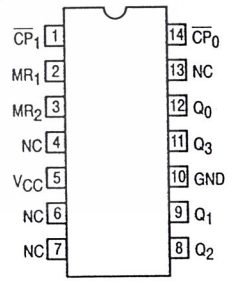
LOGIC DIAGRAM

LS93



○ = PIN NUMBERS
V_{CC} = PIN 5
GND = PIN 10

CONNECTION DIAGRAM
DIP (TOP VIEW)



NC = NO INTERNAL CONNECTION

NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC CHARACTERISTICS (T_A = 25°C, V_{CC} = 5.0 V, C_L = 15 pF)

Symbol	Parameter	Limits									Unit
		LS90			LS92			LS93			
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
f_{MAX}	$\overline{CP}_0$ Input Clock Frequency	32			32			32			MHz
f_{MAX}	$\overline{CP}_1$ Input Clock Frequency	16			16			16			MHz
t_{PLH} t_{PHL}	Propagation Delay, $\overline{CP}_0$ Input to Q_0 Output		10 12	16 18		10 12	16 18		10 12	16 18	ns
t_{PLH} t_{PHL}	$\overline{CP}_0$ Input to Q_3 Output		32 34	48 50		32 34	48 50		46 46	70 70	ns
t_{PLH} t_{PHL}	$\overline{CP}_1$ Input to Q_1 Output		10 14	16 21		10 14	16 21		10 14	16 21	ns
t_{PLH} t_{PHL}	$\overline{CP}_1$ Input to Q_2 Output		21 23	32 35		10 14	16 21		21 23	32 35	ns
t_{PLH} t_{PHL}	$\overline{CP}_1$ Input to Q_3 Output		21 23	32 35		21 23	32 35		34 34	51 51	ns
t_{PLH}	MS Input to Q_0 and Q_3 Outputs		20	30							ns
t_{PHL}	MS Input to Q_1 and Q_2 Outputs		26	40							ns
t_{PHL}	MR Input to Any Output		26	40		26	40		26	40	ns

AC SETUP REQUIREMENTS (T_A = 25°C, V_{CC} = 5.0 V)

Symbol	Parameter	Limits						Unit
		LS90		LS92		LS93		
		Min	Max	Min	Max	Min	Max	
t_W	$\overline{CP}_0$ Pulse Width	15		15		15		ns
t_W	$\overline{CP}_1$ Pulse Width	30		30		30		ns
t_W	MS Pulse Width	15						ns
t_W	MR Pulse Width	15		15		15		ns
t_{rec}	Recovery Time MR to $\overline{CP}$	25		25		25		ns

RECOVERY TIME (t_{rec}) is defined as the minimum time required between the end of the reset pulse and the clock transition from HIGH-to-LOW in order to recognize and transfer HIGH data to the Q outputs

AC WAVEFORMS

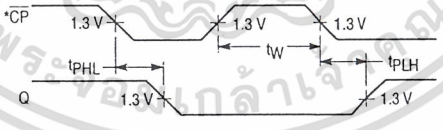


Figure 1

*The number of Clock Pulses required between the t_{PHL} and t_{PLH} measurements can be determined from the appropriate Truth Tables.

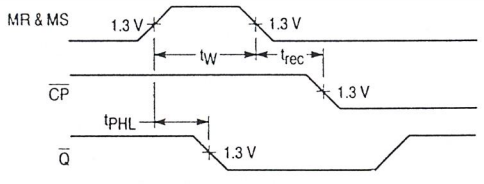


Figure 2

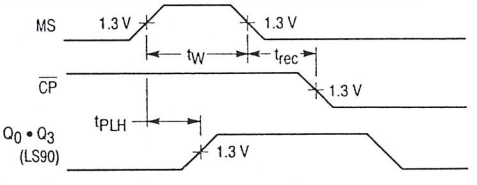


Figure 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION

The LS90, LS92, and LS93 are 4-bit ripple type Decade, Divide-By-Twelve, and Binary Counters respectively. Each device consists of four master/slave flip-flops which are internally connected to provide a divide-by-two section and a divide-by-five (LS90), divide-by-six (LS92), or divide-by-eight (LS93) section. Each section has a separate clock input which initiates state changes of the counter on the HIGH-to-LOW clock transition. State changes of the Q outputs do not occur simultaneously because of internal ripple delays. Therefore, decoded output signals are subject to decoding spikes and should not be used for clocks or strobes. The Q_0 output of each device is designed and specified to drive the rated fan-out plus the $\overline{CP}_1$ input of the device.

A gated AND asynchronous Master Reset ($MR_1 \bullet MR_2$) is provided on all counters which overrides and clocks and resets (clears) all the flip-flops. A gated AND asynchronous Master Set ($MS_1 \bullet MS_2$) is provided on the LS90 which overrides the clocks and the MR inputs and sets the outputs to nine (HLLH).

Since the output from the divide-by-two section is not internally connected to the succeeding stages, the devices may be operated in various counting modes.

LS90

A. BCD Decade (8421) Counter — The $\overline{CP}_1$ input must be externally connected to the Q_0 output. The $\overline{CP}_0$ input receives the incoming count and a BCD count sequence is produced.

B. Symmetrical Bi-quinary Divide-By-Ten Counter — The Q_3 output must be externally connected to the $\overline{CP}_0$ input. The input count is then applied to the $\overline{CP}_1$ input and a divide-by-ten square wave is obtained at output Q_0.

C. Divide-By-Two and Divide-By-Five Counter — No external interconnections are required. The first flip-flop is used as a binary element for the divide-by-two function ($\overline{CP}_0$ as the input and Q_0 as the output). The $\overline{CP}_1$ input is used to obtain binary divide-by-five operation at the Q_3 output.

LS92

A. Modulo 12, Divide-By-Twelve Counter — The $\overline{CP}_1$ input must be externally connected to the Q_0 output. The $\overline{CP}_0$ input receives the incoming count and Q_3 produces a symmetrical divide-by-twelve square wave output.

B. Divide-By-Two and Divide-By-Six Counter —No external interconnections are required. The first flip-flop is used as a binary element for the divide-by-two function. The $\overline{CP}_1$ input is used to obtain divide-by-three operation at the Q_1 and Q_2 outputs and divide-by-six operation at the Q_3 output.

LS93

A. 4-Bit Ripple Counter — The output Q_0 must be externally connected to input $\overline{CP}_1$. The input count pulses are applied to input $\overline{CP}_0$. Simultaneous divisions of 2, 4, 8, and 16 are performed at the Q_0, Q_1, Q_2, and Q_3 outputs as shown in the truth table.

B. 3-Bit Ripple Counter— The input count pulses are applied to input $\overline{CP}_1$. Simultaneous frequency divisions of 2, 4, and 8 are available at the Q_1, Q_2, and Q_3 outputs. Independent use of the first flip-flop is available if the reset function coincides with reset of the 3-bit ripple-through counter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

LF155/LF156/LF157 Series Monolithic JFET Input Operational Amplifiers

General Description

These are the first monolithic JFET input operational amplifiers to incorporate well matched, high voltage JFETs on the same chip with standard bipolar transistors (BI-FET™ Technology). These amplifiers feature low input bias and offset currents/low offset voltage and offset voltage drift, coupled with offset adjust which does not degrade drift or common-mode rejection. The devices are also designed for high slew rate, wide bandwidth, extremely fast settling time, low voltage and current noise and a low 1/f noise corner.

Advantages

- Replace expensive hybrid and module FET op amps
- Rugged JFETs allow blow-out free handling compared with MOSFET input devices
- Excellent for low noise applications using either high or low source impedance—very low 1/f corner
- Offset adjust does not degrade drift or common-mode rejection as in most monolithic amplifiers
- New output stage allows use of large capacitive loads (5,000 pF) without stability problems
- Internal compensation and large differential input voltage capability

Applications

- Precision high speed integrators
- Fast D/A and A/D converters
- High impedance buffers
- Wideband, low noise, low drift amplifiers
- Logarithmic amplifiers
- Photocell amplifiers
- Sample and Hold circuits

Common Features

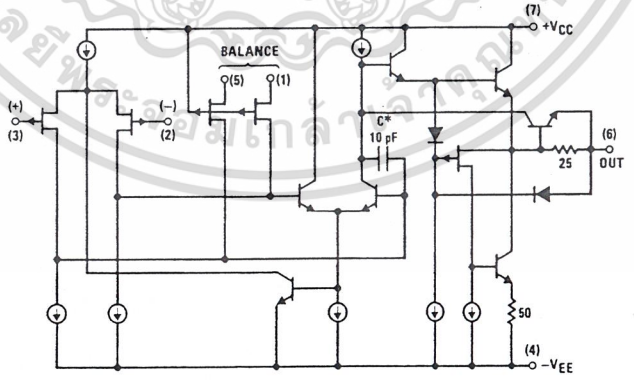
(LF155A, LF156A, LF157A)

- Low input bias current: 30 pA
- Low Input Offset Current: 3 pA
- High input impedance: $10^{12}\Omega$
- Low input offset voltage: 1 mV
- Low input offset voltage temp. drift: 3 μV/°C
- Low input noise current: 0.01 pA/$\sqrt{\text{Hz}}$
- High common-mode rejection ratio: 100 dB
- Large dc voltage gain: 106 dB

Uncommon Features

	LF155A	LF156A	LF157A ($A_V=5$)	Units
Extremely fast settling time to 0.01%	4	1.5	1.5	μs
Fast slew rate	5	12	50	V/μs
Wide gain bandwidth	2.5	5	20	MHz
Low input noise voltage	20	12	12	nV/$\sqrt{\text{Hz}}$

Simplified Schematic



*3 pF in LF157 series.

TL/H/5646–1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.
(Note 8)

	LF155A/6A/7A	LF155/6/7	LF355B/6B/7B LF255/6/7	LF355/6/7 LF355A/6A/7A
Supply Voltage	±22V	±22V	±22V	±18V
Differential Input Voltage	±40V	±40V	±40V	±30V
Input Voltage Range (Note 2)	±20V	±20V	±20V	±16V
Output Short Circuit Duration	Continuous	Continuous	Continuous	Continuous
T_{jMAX}				
H-Package	150°C	150°C	115°C	115°C
N-Package			100°C	100°C
M-Package			100°C	100°C
Power Dissipation at T_A = 25°C (Notes 1 and 9)				
H-Package (Still Air)	560 mW	560 mW	400 mW	400 mW
H-Package (400 LF/Min Air Flow)	1200 mW	1200 mW	1000 mW	1000 mW
N-Package			670 mW	670 mW
M-Package			380 mW	380 mW
Thermal Resistance (Typical) θ_{JA}				
H-Package (Still Air)	160°C/W	160°C/W	160°C/W	160°C/W
H-Package (400 LF/Min Air Flow)	65°C/W	65°C/W	65°C/W	65°C/W
N-Package			130°C/W	130°C/W
M-Package			195°C/W	195°C/W
(Typical) θ_{JC}				
H-Package	23°C/W	23°C/W	23°C/W	23°C/W
Storage Temperature Range	−65°C to +150°C	−65°C to +150°C	−65°C to +150°C	−65°C to +150°C
Soldering Information (Lead Temp.)				
Metal Can Package				
Soldering (10 sec.)	300°C	300°C	300°C	300°C
Dual-In-Line Package				
Soldering (10 sec.)	260°C	260°C	260°C	260°C
Small Outline Package				
Vapor Phase (60 sec.)	215°C	215°C	215°C	215°C
Infrared (15 sec.)	220°C	220°C	220°C	220°C
See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.				
ESD tolerance				
(100 pF discharged through 1.5 kΩ)	1000V	1000V	1000V	1000V

DC Electrical Characteristics (Note 3) $T_A = T_j = 25°C$

Symbol	Parameter	Conditions	LF155A/6A/7A			LF355A/6A/7A			Units
			Min	Typ	Max	Min	Typ	Max	
V_{OS}	Input Offset Voltage	$R_S = 50\Omega$, $T_A = 25°C$		1	2		1	2	mV
		Over Temperature			2.5			2.3	mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	$R_S = 50\Omega$		3	5		3	5	μV/°C
$\Delta TC/\Delta V_{OS}$	Change in Average TC with V_{OS} Adjust	$R_S = 50\Omega$, (Note 4)		0.5			0.5		μV/°C per mV
I_{OS}	Input Offset Current	$T_j = 25°C$, (Notes 3, 5)		3	10		3	10	pA
		$T_j \leq T_{HIGH}$			10			1	nA
I_B	Input Bias Current	$T_j = 25°C$, (Notes 3, 5)		30	50		30	50	pA
		$T_j \leq T_{HIGH}$			25			5	nA
R_{IN}	Input Resistance	$T_j = 25°C$		10^{12}			10^{12}		Ω
A_{VOL}	Large Signal Voltage Gain	$V_S = \pm 15V$, $T_A = 25°C$	50	200		50	200		V/mV
		$V_O = \pm 10V$, $R_L = 2k$							
		Over Temperature	25			25			V/mV
V_O	Output Voltage Swing	$V_S = \pm 15V$, $R_L = 10k$	±12	±13		±12	±13		V
		$V_S = \pm 15V$, $R_L = 2k$	±10	±12		±10	±12		V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Electrical Characteristics (Note 3) $T_A = T_j = 25°C$ (Continued)

Symbol	Parameter	Conditions	LF155A/6A/7A			LF355A/6A/7A			Units
			Min	Typ	Max	Min	Typ	Max	
V_{CM}	Input Common-Mode Voltage Range	$V_S = \pm 15V$	±11	+15.1 −12		±11	+15.1 −12		V V
CMRR	Common-Mode Rejection Ratio		85	100		85	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 6)	85	100		85	100		dB

AC Electrical Characteristics $T_A = T_j = 25°C$, $V_S = \pm 15V$

Symbol	Parameter	Conditions	LF155A/355A			LF156A/356A			LF157A/357A			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
SR	Slew Rate	LF155A/6A; $A_V = 1$, LF157A; $A_V = 5$	3	5		10	12		 40	 50		V/μs V/μs
GBW	Gain Bandwidth Product			2.5		4	4.5		15	20		MHz
t_s	Settling Time to 0.01%	(Note 7)		4			1.5			1.5		μs
e_n	Equivalent Input Noise Voltage	$R_S = 100\Omega$ f = 100 Hz f = 1000 Hz		 25 20			 15 12			 15 12		 nV/√Hz nV/√Hz
i_n	Equivalent Input Noise Current	f = 100 Hz f = 1000 Hz		0.01 0.01			0.01 0.01			0.01 0.01		pA/√Hz pA/√Hz
C_{IN}	Input Capacitance			3			3			3		pF

DC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF155/6/7			LF255/6/7 LF355B/6B/7B			LF355/6/7			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
V_{OS}	Input Offset Voltage	$R_S = 50\Omega$, $T_A = 25°C$ Over Temperature		3	5 7		3	5 6.5		3	10 13	mV mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	$R_S = 50\Omega$		5			5			5		μV/°C
$\Delta TC/\Delta V_{OS}$	Change in Average TC with V_{OS} Adjust	$R_S = 50\Omega$, (Note 4)		0.5			0.5			0.5		μV/°C per mV
I_{OS}	Input Offset Current	$T_j = 25°C$, (Notes 3, 5) $T_j \leq T_{HIGH}$		3	20 20		3	20 1		3	50 2	pA nA
I_B	Input Bias Current	$T_j = 25°C$, (Notes 3, 5) $T_j \leq T_{HIGH}$		30	100 50		30	100 5		30	200 8	pA nA
R_{IN}	Input Resistance	$T_j = 25°C$		10^{12}			10^{12}			10^{12}		Ω
A_{VOL}	Large Signal Voltage Gain	$V_S = \pm 15V$, $T_A = 25°C$ $V_O = \pm 10V$, $R_L = 2k$ Over Temperature	50 25	200		50 25	200		25 15	200		V/mV V/mV
V_O	Output Voltage Swing	$V_S = \pm 15V$, $R_L = 10k$ $V_S = \pm 15V$, $R_L = 2k$	±12 ±10	±13 ±12		±12 ±10	±13 ±12		±12 ±10	±13 ±12		V V
V_{CM}	Input Common-Mode Voltage Range	$V_S = \pm 15V$	±11	+15.1 −12		±11	±15.1 −12		+10	+15.1 −12		V V
CMRR	Common-Mode Rejection Ratio		85	100		85	100		80	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 6)	85	100		85	100		80	100		dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Electrical Characteristics $T_A = T_j = 25°C$, $V_S = \pm 15V$

Parameter	LF155A/155, LF255, LF355A/355B		LF355		LF156A/156, LF256/356B		LF356A/356		LF157A/157 LF257/357B		LF357A/357		Units
	Typ	Max	Typ	Max	Typ	Max	Typ	Max	Typ	Max	Typ	Max	
Supply Current	2	4	2	4	5	7	5	10	5	7	5	10	mA

AC Electrical Characteristics $T_A = T_j = 25°C$, $V_S = \pm 15V$

Symbol	Parameter	Conditions	LF155/255/ 355/355B	LF156/256, LF356B	LF156/256/ 356/356B	LF157/257, LF357B	LF157/257/ 357/357B	Units
			Typ	Min	Typ	Min	Typ	
SR	Slew Rate	LF155/6: $A_V = 1$, LF157: $A_V = 5$	5	7.5	12	30	50	V/μs V/μs
GBW	Gain Bandwidth Product		2.5		5		20	MHz
t_s	Settling Time to 0.01%	(Note 7)	4		1.5		1.5	μs
e_n	Equivalent Input Noise Voltage	$R_S = 100\Omega$ f = 100 Hz f = 1000 Hz	25 20		15 12		15 12	nV/√Hz nV/√Hz
i_n	Equivalent Input Current Noise	f = 100 Hz f = 1000 Hz	0.01 0.01		0.01 0.01		0.01 0.01	pA/√Hz pA/√Hz
C_{IN}	Input Capacitance		3		3		3	pF

Notes for Electrical Characteristics

Note 1: The maximum power dissipation for these devices must be derated at elevated temperatures and is dictated by T_{jMAX}, θ_{jA}, and the ambient temperature, T_A. The maximum available power dissipation at any temperature is $P_d = (T_{jMAX} - T_A)/\theta_{jA}$ or the 25°C P_{dMAX}, whichever is less.

Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

Note 3: Unless otherwise stated, these test conditions apply:

	LF155A/6A/7A LF155//6/7	LF255//6/7	LF355A/6A/7A	LF355B/6B/7B	LF355//6/7
Supply Voltage, V_S	$\pm 15V \le V_S \le \pm 20V$	$\pm 15V \le V_S \le \pm 20V$	$\pm 15V \le V_S \le \pm 18V$	$\pm 15V \le V_S \pm 20V$	$V_S = \pm 15V$
T_A	$-55°C \le T_A \le +125°C$	$-25°C \le T_A \le +85°C$	$0°C \le T_A \le +70°C$	$0°C \le T_A \le +70°C$	$0°C \le T_A \le +70°C$
T_{HIGH}	+125°C	+85°C	+70°C	+70°C	+70°C

and V_{OS}, I_B and I_{OS} are measured at $V_{CM} = 0$.

Note 4: The Temperature Coefficient of the adjusted input offset voltage changes only a small amount (0.5μV/°C typically) for each mV of adjustment from its original unadjusted value. Common-mode rejection and open loop voltage gain are also unaffected by offset adjustment.

Note 5: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_J. Due to limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, Pd. $T_j = T_A + \theta_{jA}$ Pd where θ_{jA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

Note 6: Supply Voltage Rejection is measured for both supply magnitudes increasing or decreasing simultaneously, in accordance with common practice.

Note 7: Settling time is defined here, for a unity gain inverter connection using 2 kΩ resistors for the LF155/6. It is the time required for the error voltage (the voltage at the inverting input pin on the amplifier) to settle to within 0.01% of its final value from the time a 10V step input is applied to the inverter. For the LF157, $A_V = -5$, the feedback resistor from output to input is 2 kΩ and the output step is 10V (See Settling Time Test Circuit).

Note 8: Refer to RETS155AX for LF155A, RETS155X for LF155, RETS156AX for LF156A, RETS156X for LF156, RETS157A for LF157A and RETS157X for LF157 military specifications.

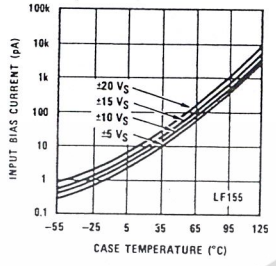
Note 9: Max. Power Dissipation is defined by the package characteristics. Operating the part near the Max. Power Dissipation may cause the part to operate outside guaranteed limits.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

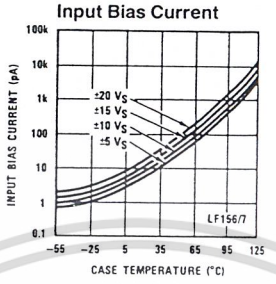
Typical DC Performance Characteristics

Curves are for LF155, LF156 and LF157 unless otherwise specified.

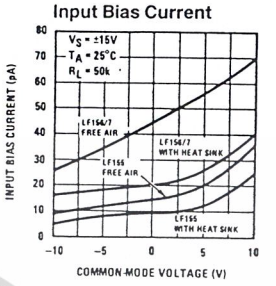
Input Bias Current



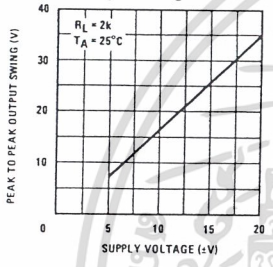
Input Bias Current



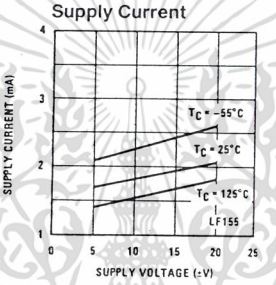
Input Bias Current



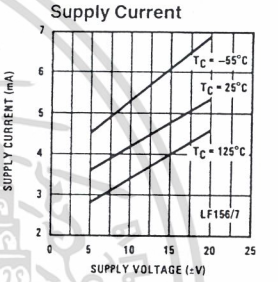
Voltage Swing



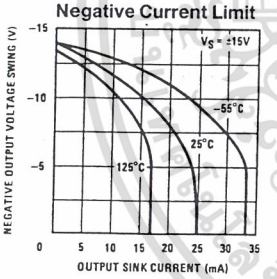
Supply Current



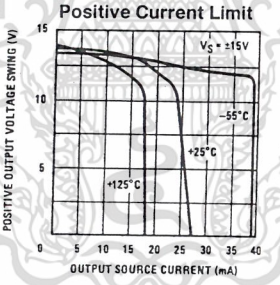
Supply Current



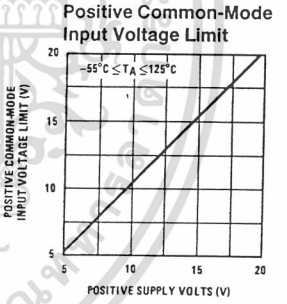
Negative Current Limit



Positive Current Limit

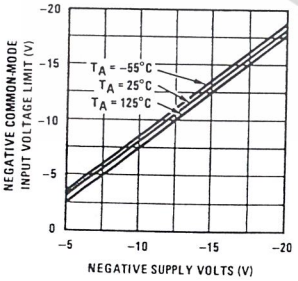


Positive Common-Mode Input Voltage Limit

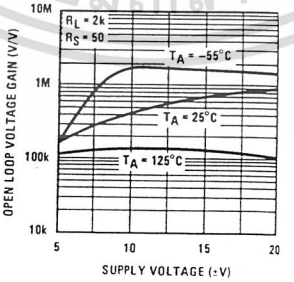


TL/H/5646-2

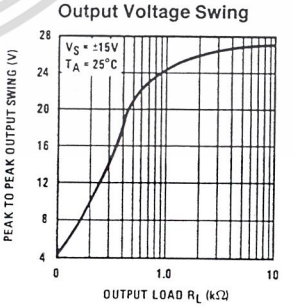
Negative Common-Mode Input Voltage Limit



Open Loop Voltage Gain



Output Voltage Swing

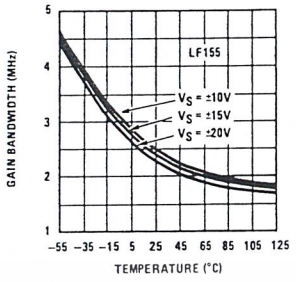


TL/H/5646-3

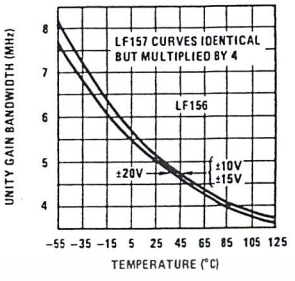
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical AC Performance Characteristics

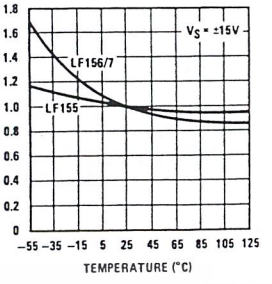
Gain Bandwidth



Gain Bandwidth

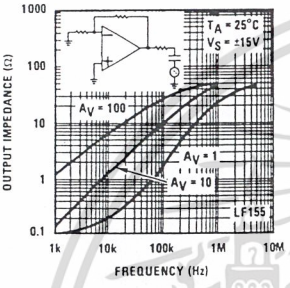


Normalized Slew Rate

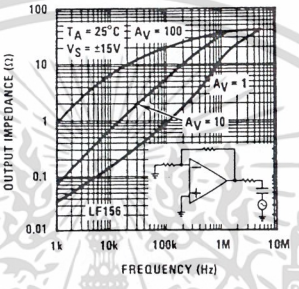


TL/H/5646–4

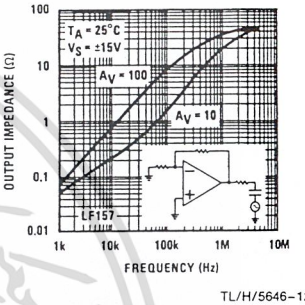
Output Impedance



Output Impedance

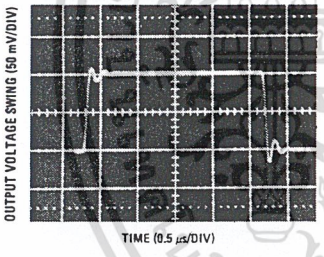


Output Impedance



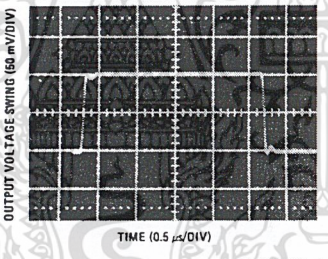
TL/H/5646–12

LF155 Small Signal Pulse Response, $A_V = +1$



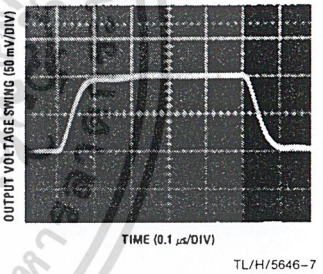
TL/H/5646–5

LF156 Small Signal Pulse Response, $A_V = +1$



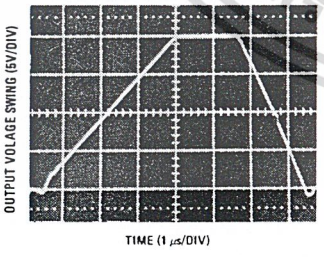
TL/H/5646–6

Small Signal Pulse Response, $A_V = +5$



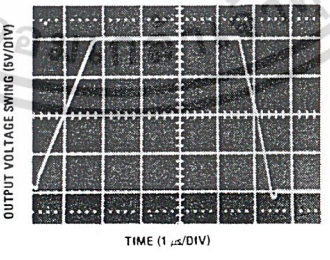
TL/H/5646–7

LF155 Large Signal Pulse Response, $A_V = +1$



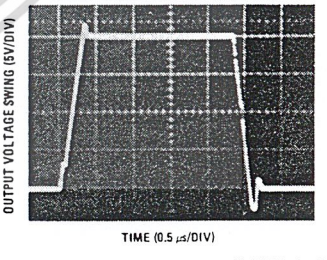
TL/H/5646–8

LF156 Large Signal Pulse Response, $A_V = +1$



TL/H/5646–9

LF157 Large Signal Pulse Response, $A_V = +5$

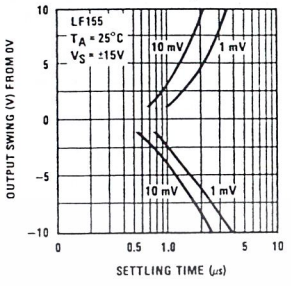


TL/H/5646–10

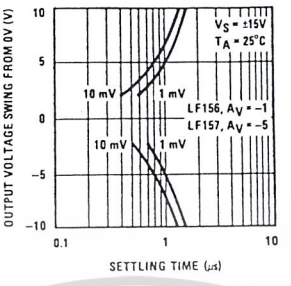
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical AC Performance Characteristics (Continued)

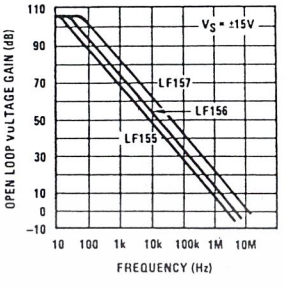
Inverter Settling Time



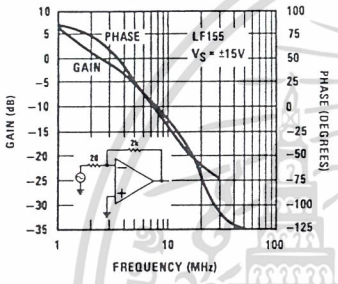
Inverter Settling Time



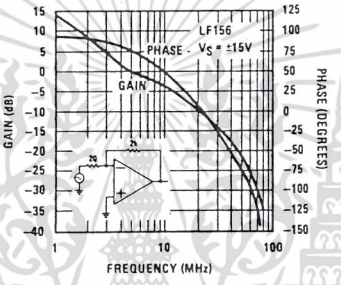
Open Loop Frequency Response



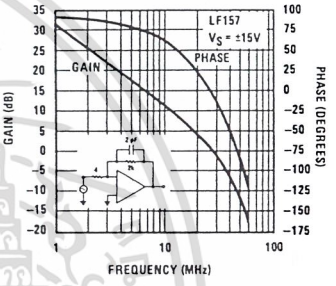
Bode Plot



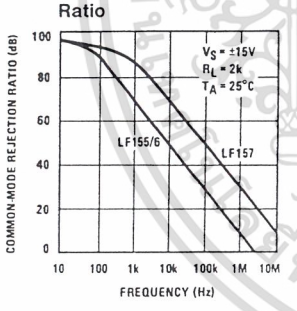
Bode Plot



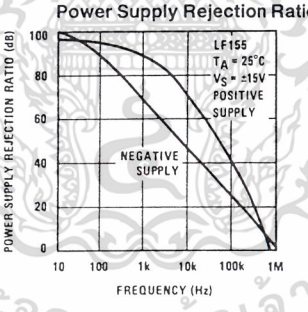
Bode Plot



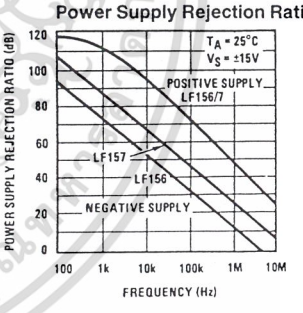
Common-Mode Rejection Ratio



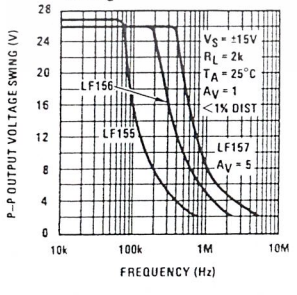
Power Supply Rejection Ratio



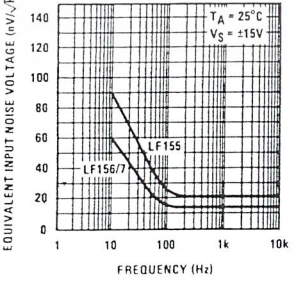
Power Supply Rejection Ratio



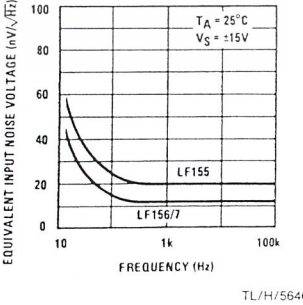
Undistorted Output Voltage Swing



Equivalent Input Noise Voltage



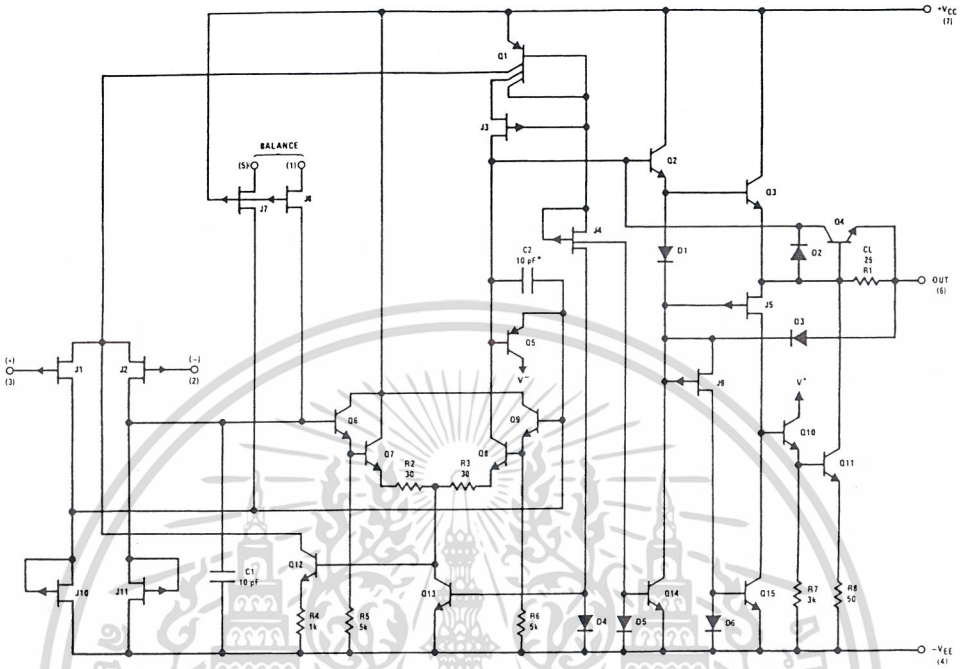
Equivalent Input Noise Voltage (Expanded Scale)



TL/H/5646–11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Detailed Schematic

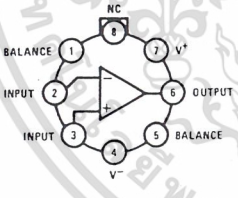


*C = 3 pF in LF157 series.

TL/H/5646–13

Connection Diagrams (Top Views)

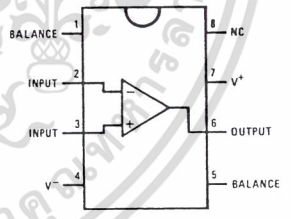
Metal Can Package (H)



TL/H/5646–14

Order Number LF156AH, LF155H, LF156H, LF255H, LF256H, LF257H, LF355AH, LF356AH, LF357AH, LF356BH, LF355H, LF356H, LF357H, LM155AH/883, LM155H/883, LM156AH/883, LM156H/883, LM157AH/883 or LM157H/883*
See NS Package Number H08C

Dual-In-Line Package (M and N)



TL/H/5646–29

Order Number LF355M, LF356M, LF357M, LF355BM, LF356BM, LF355BN, LF356BN, LF357BN, LF355N, LF356N or LF357N
See NS Package Number M08A or N08E

*Available per JM38510/11401 or JM38510/11402

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints

The LF155/6/7 series are op amps with JFET input devices. These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore large differential input voltages can easily be accomodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will force the output to a high state, potentially causing a reversal of phase to the output. Exceeding the negative common-mode limit on both inputs will force the amplifier output to a high state. In neither case does a latch occur since raising the input back within the common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

These amplifiers will operate with the common-mode input voltage equal to the positive supply. In fact, the common-mode voltage can exceed the positive supply by approximately 100 mV independent of supply voltage and over the full operating temperature range. The positive supply can therefore be used as a reference on an input as, for example, in a supply current monitor and/or limiter.

Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

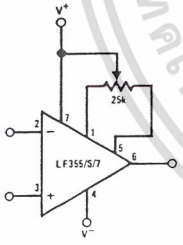
All of the bias currents in these amplifiers are set by FET current sources. The drain currents for the amplifiers are therefore essentially independent of supply voltage.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pickup" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to ac ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately six times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

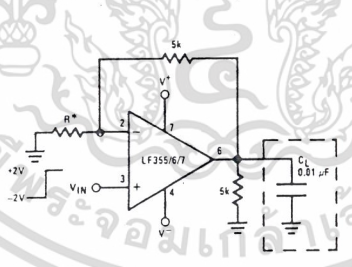
Typical Circuit Connections

V_{OS} Adjustment



- V_{OS} is adjusted with a 25k potentiometer
- The potentiometer wiper is connected to V^+
- For potentiometers with temperature coefficient of 100 ppm/°C or less the additional drift with adjust is ≈ 0.5 μV/°C/mV of adjustment
- Typical overall drift: 5 μV/°C ±(0.5 μV/°C/mV of adj.)

Driving Capacitive Loads



*LF155/6 R = 5k

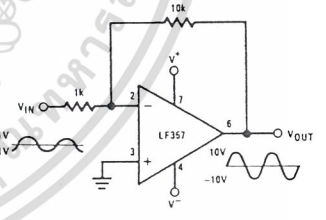
LF157 R = 1.25k

Due to a unique output stage design, these amplifiers have the ability to drive large capacitive loads and still maintain stability. $C_{L(MAX)} \cong 0.01$ μF.

Overshoot ≤ 20%

Settling time (t_s) ≅ 5 μs

LF157. A Large Power BW Amplifier



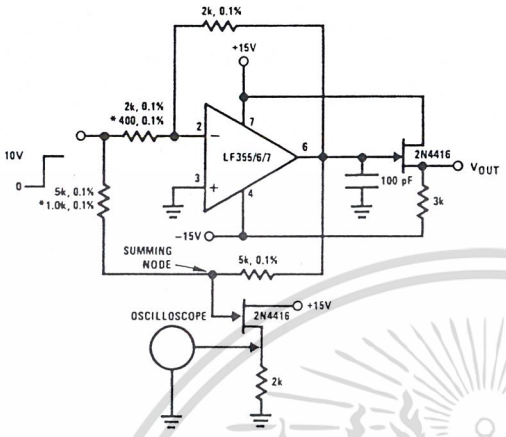
TL/H/5646–15

For distortion ≤ 1% and a 20 Vp-p V_{OUT} swing, power bandwidth is: 500 kHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications

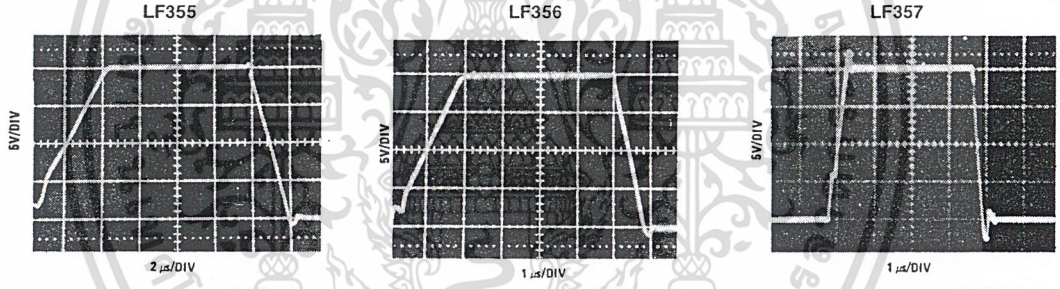
Settling Time Test Circuit



- Settling time is tested with the LF155/6 connected as unity gain inverter and LF157 connected for $A_V = -5$
- FET used to isolate the probe capacitance
- Output = 10V step
- $A_V = -5$ for LF157

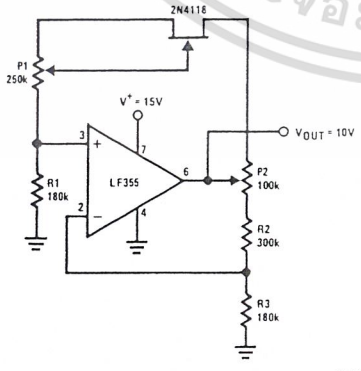
TL/H/5646–16

Large Signal inverter Output, V_{OUT} (from Settling Time Circuit)



TL/H/5646–17 TL/H/5646–18 TL/H/5646–19

Low Drift Adjustable Voltage Reference



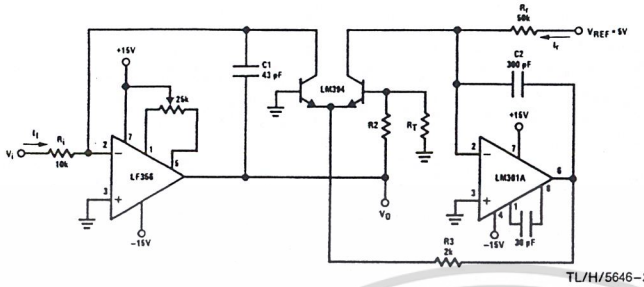
- $\Delta V_{OUT}/\Delta T = \pm 0.002\%/°C$
- All resistors and potentiometers should be wire-wound
- P1: drift adjust
- P2: V_{OUT} adjust
- Use LF155 for
  - Low I_B
  - Low drift
  - Low supply current

TL/H/5646–20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

Fast Logarithmic Converter

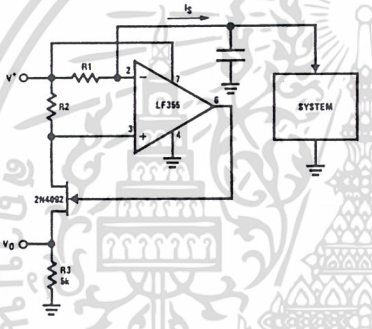


TL/H/5646–21

- Dynamic range: 100 μA ≤ I_i ≤ 1 mA (5 decades), $|V_O| = 1V$/decade
- Transient response: 3 μs for $\Delta I_i = 1$ decade
- C1, C2, R2, R3: added dynamic compensation
- V_{OS} adjust the LF156 to minimize quiescent error
- R_T: Tel Labs type Q81 + 0.3%/°C

$$|V_{OUT}| = \left[1 + \frac{R2}{R_T}\right]\frac{kT}{q}\ln V_i\left[\frac{R_r}{V_{REF}\,R_i}\right] = \log V_i \frac{1}{R_i I_r} R2 = 15.7k, R_T = 1k, 0.3\%/°C \text{ (for temperature compensation)}$$

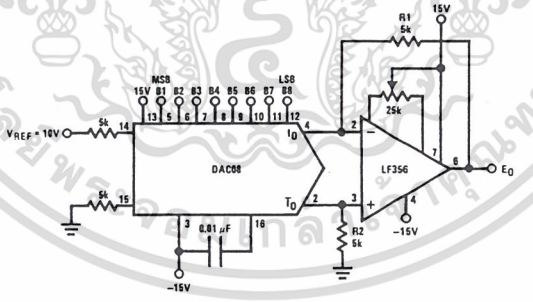
Precision Current Monitor



TL/H/5646–31

- $V_O = 5\ R1/R2$ (V/mA of I_S)
- R1, R2, R3: 0.1% resistors
- Use LF155 for
  - Common-mode range to supply range
  - Low I_B
  - Low V_{OS}
  - Low Supply Current

8-Bit D/A Converter with Symmetrical Offset Binary Operation



TL/H/5646–32

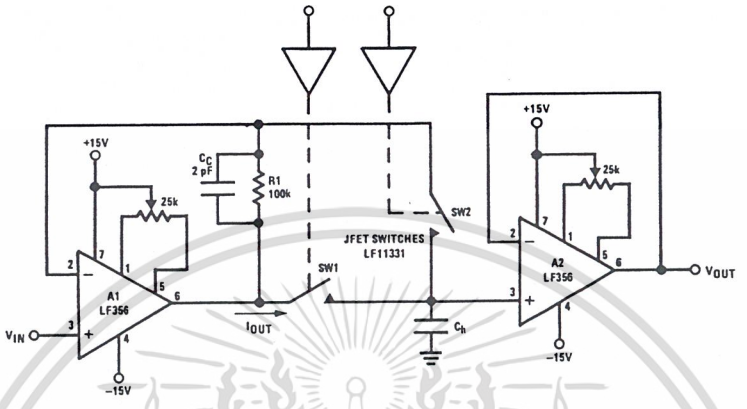
- R1, R2 should be matched within ±0.05%
- Full-scale response time: 3μs

E_O	B1	B2	B3	B4	B5	B6	B7	B8	Comments
+9.920	1	1	1	1	1	1	1	1	Positive Full-Scale
+0.040	1	0	0	0	0	0	0	0	(+) Zero-Scale
−0.040	0	1	1	1	1	1	1	1	(−) Zero-Scale
−9.920	0	0	0	0	0	0	0	0	Negative Full-Scale

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

Fast Sample and Hold



TL/H/5646–33

- Both amplifiers (A1, A2) have feedback loops individually closed with stable responses (overshoot negligible)
- Acquisition time T_A, estimated by:

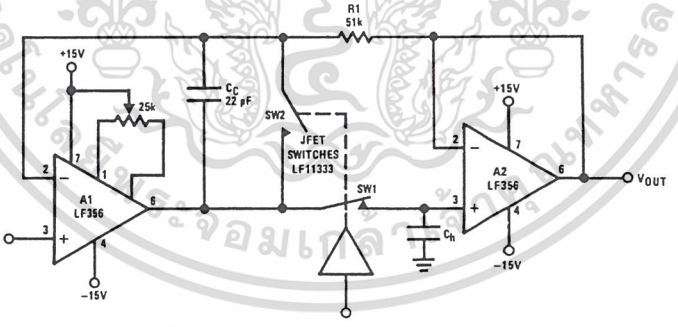
$$T_A \cong \left[\frac{2R_{ON} \cdot V_{IN} \cdot C_h}{S_r}\right] \text{ ½ provided that:}$$

$$V_{IN} < 2\pi S_r R_{ON} C_h \text{ and } T_A > \frac{V_{IN}\, C_h}{I_{OUT(MAX)}},\ R_{ON} \text{ is of SW1}$$

$$\text{If inequality not satisfied: } T_A \cong \frac{V_{IN}\, C_h}{20\ \text{mA}}$$

- LF156 develops full S_r output capability for $V_{IN} \geq 1V$
- Addition of SW2 improves accuracy by putting the voltage drop across SW1 inside the feedback loop
- Overall accuracy of system determined by the accuracy of both amplifiers, A1 and A2

High Accuracy Sample and Hold



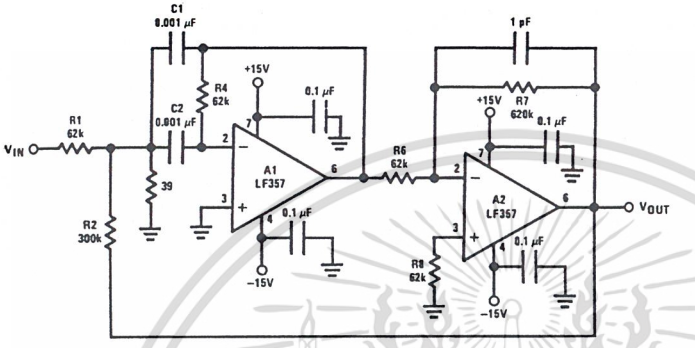
TL/H/5646–27

- By closing the loop through A2, the V_{OUT} accuracy will be determined uniquely by A1. No V_{OS} adjust required for A2.
- T_A can be estimated by same considerations as previously but, because of the added propagation delay in the feedback loop (A2) the overshoot is not negligible.
- Overall system slower than fast sample and hold
- R1, C_C: additional compensation
- Use LF156 for
  - Fast settling time
  - Low V_{OS}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

High Q Band Pass Filter



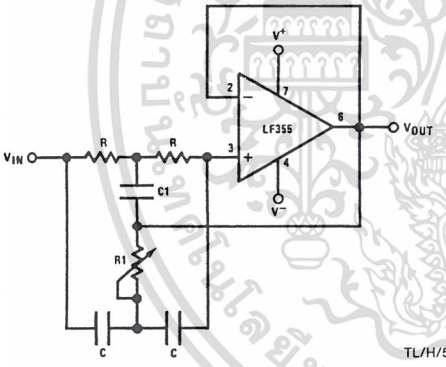
TL/H/5646–28

- By adding positive feedback (R2) Q increases to 40
- $f_{BP} = 100$ kHz

$$\frac{V_{OUT}}{V_{IN}} = 10\sqrt{Q}$$

- Clean layout recommended
- Response to a 1 Vp-p tone burst: 300 μs

High Q Notch Filter



TL/H/5646–34

- 2R1 = R = 10 MΩ
  2C = C1 = 300 pF
- Capacitors should be matched to obtain high Q
- f_{NOTCH} = 120 Hz, notch = −55 dB, Q > 100
- Use LF155 for
  - Low I_B
  - Low supply current

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

LM158/LM258/LM358/LM2904
Low Power Dual Operational Amplifiers

General Description

The LM158 series consists of two independent, high gain, internally frequency compensated operational amplifiers which were designed specifically to operate from a single power supply over a wide range of voltages. Operation from split power supplies is also possible and the low power supply current drain is independent of the magnitude of the power supply voltage.

Application areas include transducer amplifiers, dc gain blocks and all the conventional op amp circuits which now can be more easily implemented in single power supply systems. For example, the LM158 series can be directly operated off of the standard +5V power supply voltage which is used in digital systems and will easily provide the required interface electronics without requiring the additional ±15V power supplies.

Unique Characteristics

- In the linear mode the input common-mode voltage range includes ground and the output voltage can also swing to ground, even though operated from only a single power supply voltage.
- The unity gain cross frequency is temperature compensated.
- The input bias current is also temperature compensated.

Advantages

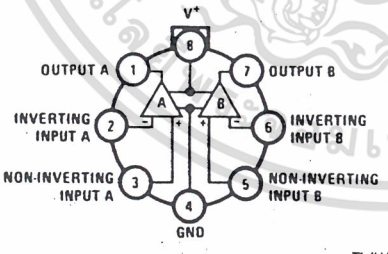
- Two internally compensated op amps in a single package
- Eliminates need for dual supplies
- Allows directly sensing near GND and V_{OUT} also goes to GND
- Compatible with all forms of logic
- Power drain suitable for battery operation
- Pin-out same as LM1558/LM1458 dual operational amplifier

Features

- Internally frequency compensated for unity gain
- Large dc voltage gain 100 dB
- Wide bandwidth (unity gain) 1 MHz (temperature compensated)
- Wide power supply range:
  - Single supply 3V to 32V
  - or dual supplies ±1.5V to ±16V
- Very low supply current drain (500 μA)—essentially independent of supply voltage
- Low input offset voltage 2 mV
- Input common-mode voltage range includes ground
- Differential input voltage range equal to the power supply voltage
- Large output voltage swing 0V to V^+ − 1.5V

Connection Diagrams (Top Views)

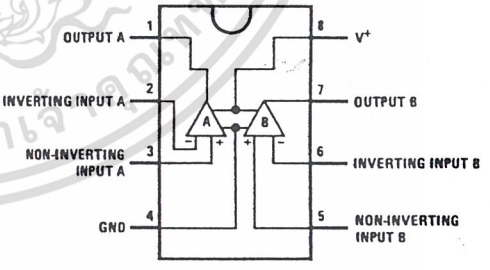
Metal Can Package



TL/H/7787–1

Order Number LM158AH, LM158AH/883*, LM158H, LM158H/883*, LM258H or LM358H
See NS Package Number H08C

DIP/SO Package



TL/H/7787–2

Order Number LM158J, LM158J/883*, LM158AJ or LM158AJ/883*
See NS Package Number J08A
Order Number LM358M, LM358AM or LM2904M
See NS Package Number M08A
Order Number LM358AN, LM358N or LM2904N
See NS Package Number N08E

*LM158 is available per SMD #5962-8771001
LM158A is available per SMD #5962-8771002

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications. (Note 9)

	LM158/LM258/LM358 LM158A/LM258A/LM358A	LM2904
Supply Voltage, V^+	32V	26V
Differential Input Voltage	32V	26V
Input Voltage	−0.3V to +32V	−0.3V to +26V
Power Dissipation (Note 1)		
Molded DIP	830 mW	830 mW
Metal Can	550 mW	
Small Outline Package (M)	530 mW	530 mW
Output Short-Circuit to GND (One Amplifier) (Note 2) $V^+ \leq 15V$ and $T_A = 25°C$	Continuous	Continuous
Input Current ($V_{IN} < -0.3V$) (Note 3)	50 mA	50 mA

	LM158/LM258/LM358 LM158A/LM258A/LM358A	LM2904
Operating Temperature Range		
LM358	0°C to +70°C	−40°C to +85°C
LM258	−25°C to +85°C	
LM158	−55°C to +125°C	
Storage Temperature Range	−65°C to +150°C	−65°C to +150°C
Lead Temperature, DIP (Soldering, 10 seconds)	260°C	260°C
Lead Temperature, Metal Can (Soldering, 10 seconds)	300°C	300°C
Soldering Information		
Dual-In-Line Package		
Soldering (10 seconds)	260°C	260°C
Small Outline Package		
Vapor Phase (60 seconds)	215°C	215°C
Infrared (15 seconds)	220°C	220°C
See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.		
ESD Tolerance (Note 10)	250V	250V

Electrical Characteristics $V^+ = +5.0V$, unless otherwise stated

Parameter	Conditions	LM158A			LM358A			LM158/LM258			LM358			LM2904			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage	(Note 5), $T_A = 25°C$		1	2		2	3		2	5		2	7		2	7	mV
Input Bias Current	$I_{IN(+)}$ or $I_{IN(-)}$, $T_A = 25°C$, $V_{CM} = 0V$, (Note 6)		20	50		45	100		45	150		45	250		45	250	nA
Input Offset Current	$I_{IN(+)} - I_{IN(-)}$, $V_{CM} = 0V$, $T_A = 25°C$		2	10		5	30		3	30		5	50		5	50	nA
Input Common-Mode Voltage Range	$V^+ = 30V$, (Note 7) (LM2904, $V^+ = 26V$), $T_A = 25°C$	0		$V^+ - 1.5$	0		$V^+ - 1.5$	0		$V^+ - 1.5$	0		$V^+ - 1.5$	0		$V^+ - 1.5$	V
Supply Current	Over Full Temperature Range $R_L = \infty$ on All Op Amps																
	$V^+ = 30V$ (LM2904 $V^+ = 26V$)		1	2		1	2		1	2		1	2		1	2	mA
	$V^+ = 5V$		0.5	1.2		0.5	1.2		0.5	1.2		0.5	1.2		0.5	1.2	mA

Electrical Characteristics (Continued) $V^+ = +5.0V$, Note 4, unless otherwise stated

Parameter		Conditions	LM158A			LM358A			LM158/LM258			LM358			LM2904			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Large Signal Voltage Gain		$V^+ = 15V$, $T_A = 25°C$, $R_L \geq 2\ k\Omega$, (For $V_O = 1V$ to 11V)	50	100		25	100		50	100		25	100		25	100		V/mV
Common-Mode Rejection Ratio		$T_A = 25°C$, $V_{CM} = 0V$ to $V^+ - 1.5V$	70	85		65	85		70	85		65	85		50	70		dB
Power Supply Rejection Ratio		$V^+ = 5V$ to 30V (LM2904, $V^+ = 5V$ to 26V), $T_A = 25°C$	65	100		65	100		65	100		65	100		50	100		dB
Amplifier-to-Amplifier Coupling		f = 1 kHz to 20 kHz, $T_A = 25°C$ (Input Referred), (Note 8)		−120			−120			−120			−120			−120		dB
Output Current	Source	$V_{IN}^+ = 1V$, $V_{IN}^- = 0V$, $V^+ = 15V$, $V_O = 2V$, $T_A = 25°C$	20	40		20	40		20	40		20	40		20	40		mA
	Sink	$V_{IN}^- = 1V$, $V_{IN}^+ = 0V$ $V^+ = 15V$, $T_A = 25°C$, $V_O = 2V$	10	20		10	20		10	20		10	20		10	20		mA
		$V_{IN}^- = 1V$, $V_{IN}^+ = 0V$ $T_A = 25°C$, $V_O = 200\ mV$, $V^+ = 15V$	12	50		12	50		12	50		12	50		12	50		μA
Short Circuit to Ground		$T_A = 25°C$, (Note 2), $V^+ = 15V$		40	60		40	60		40	60		40	60		40	60	mA
Input Offset Voltage		(Note 5)			4			5			7			9			10	mV
Input Offset Voltage Drift		$R_S = 0\Omega$		7	15		7	20		7			7			7		μV/°C
Input Offset Current		$I_{IN(+)} - I_{IN(-)}$			30			75			100			150		45	200	nA
Input Offset Current Drift		$R_S = 0\Omega$		10	200		10	300		10			10			10		pA/°C
Input Bias Current		$I_{IN(+)}$ or $I_{IN(-)}$		40	100		40	200		40	300		40	500		40	500	nA

Electrical Characteristics (Continued) $V^+ = +5.0V$, Note 4, unless otherwise stated

Parameter		Conditions		LM158A			LM358A			LM158/LM258			LM358			LM2904			Units
				Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Common-Mode Voltage Range		$V^+ = 30$ V, (Note 7) (LM2904, $V^+ = 26$V)		0		$V^+ - 2$	0		$V^+ - 2$	0		$V^+ - 2$	0		$V^+ - 2$	0		$V^+ - 2$	V
Large Signal Voltage Gain		$V^+ = +15V$ (V_O = 1V to 11V) $R_L \geq 2\ k\Omega$		25			15			25			15			15			V/mV
Output Voltage Swing	V_{OH}	$V^+ = +30V$ (LM2904, $V^+ = 26V$)	$R_L = 2\ k\Omega$	26			26			26			26			22			V
			$R_L = 10\ k\Omega$	27	28		27	28		27	28		27	28		23	24		V
	V_{OL}	$V^+ = 5V$, $R_L = 10\ k\Omega$			5	20		5	20		5	20		5	20		5	100	mV
Output Current	Source	$V_{IN}^+ = +1V$, $V_{IN}^- = 0V$, $V^+ = 15V$, $V_O = 2V$		10	20		10	20		10	20		10	20		10	20		mA
	Sink	$V_{IN}^- = +1V$, $V_{IN}^+ = 0V$, $V^+ = 15V$, $V_O = 2V$		10	15		5	8		5	8		5	8		5	8		mA

Note 1: For operating at high temperatures, the LM358/LM358A, LM2904 must be derated based on a +125°C maximum junction temperature and a thermal resistance of 120°C/W which applies for the device soldered in a printed circuit board, operating in a still air ambient. The LM258/LM258A and LM158/LM158A can be derated based on a +150°C maximum junction temperature. The dissipation is the total of both amplifiers—use external resistors, where possible, to allow the amplifier to saturate or to reduce the power which is dissipated in the integrated circuit.

Note 2: Short circuits from the output to V^+ can cause excessive heating and eventual destruction. When considering short circuits to ground, the maximum output current is approximately 40 mA independent of the magnitude of V^+. At values of supply voltage in excess of +15V, continuous short-circuits can exceed the power dissipation ratings and cause eventual destruction. Destructive dissipation can result from simultaneous shorts on all amplifiers.

Note 3: This input current will only exist when the voltage at any of the input leads is driven negative. It is due to the collector-base junction of the input PNP transistors becoming forward biased and thereby acting as input diode clamps. In addition to this diode action, there is also lateral NPN parasitic transistor action on the IC chip. This transistor action can cause the output voltages of the op amps to go to the V^+ voltage level (or to ground for a large overdrive) for the time duration that an input is driven negative. This is not destructive and normal output states will re-establish when the input voltage, which was negative, again returns to a value greater than −0.3V (at 25°C).

Note 4: These specifications are limited to $-55°C \leq T_A \leq +125°C$ for the LM158/LM158A. With the LM258/LM258A, all temperature specifications are limited to $-25°C \leq T_A \leq +85°C$, the LM358/LM358A temperature specifications are limited to $0°C \leq T_A \leq +70°C$, and the LM2904 specifications are limited to $-40°C \leq T_A \leq +85°C$.

Note 5: $V_O \cong 1.4V$, $R_S = 0\Omega$ with V^+ from 5V to 30V; and over the full input common-mode range (0V to $V^+ - 1.5V$) at 25°C. For LM2904, V^+ from 5V to 26V.

Note 6: The direction of the input current is out of the IC due to the PNP input stage. This current is essentially constant, independent of the state of the output so no loading change exists on the input lines.

Note 7: The input common-mode voltage of either input signal voltage should not be allowed to go negative by more than 0.3V (at 25°C). The upper end of the common-mode voltage range is $V^+ - 1.5V$ (at 25°C), but either or both inputs can go to +32V without damage (+26V for LM2904), independent of the magnitude of V^+.

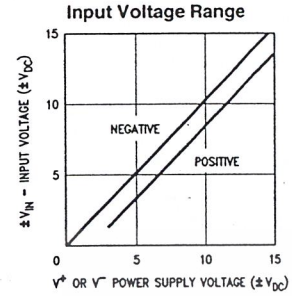
Note 8: Due to proximity of external components, insure that coupling is not originating via stray capacitance between these external parts. This typically can be detected as this type of capacitance increases at higher frequencies.

Note 9: Refer to RETS158AX for LM158A military specifications and to RETS158X for LM158 military specifications.

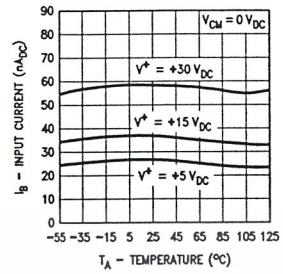
Note 10: Human body model, 1.5 kΩ in series with 100 pF.

Typical Performance Characteristics

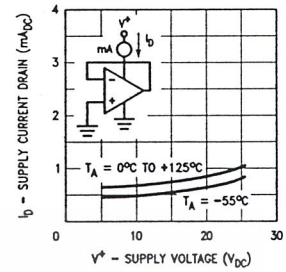
Input Voltage Range



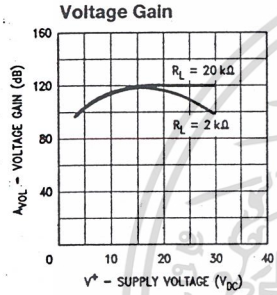
Input Current



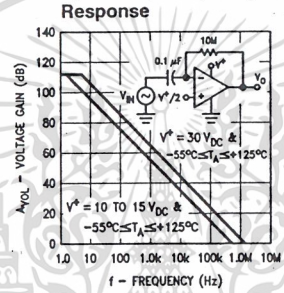
Supply Current



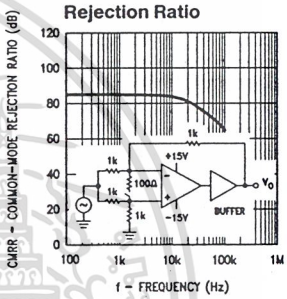
Voltage Gain



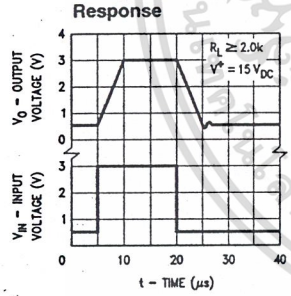
Open Loop Frequency Response



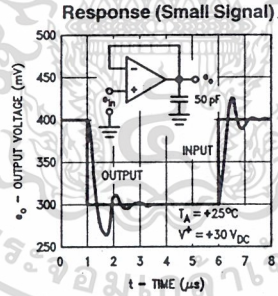
Common-Mode Rejection Ratio



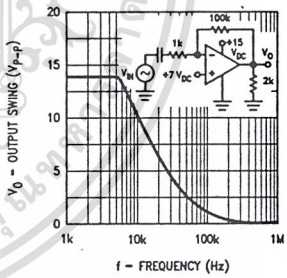
Voltage Follower Pulse Response



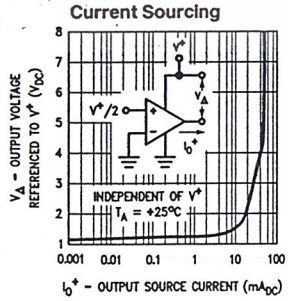
Voltage Follower Pulse Response (Small Signal)



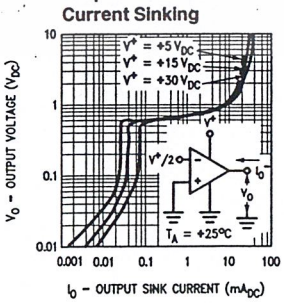
Large Signal Frequency Response



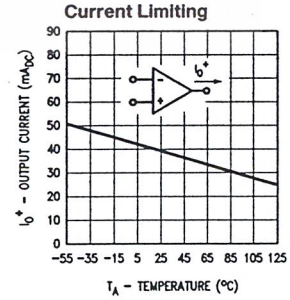
Output Characteristics Current Sourcing



Output Characteristics Current Sinking



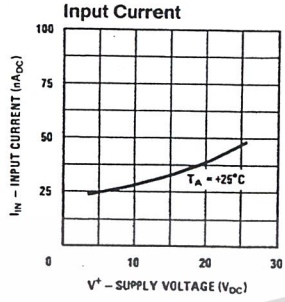
Current Limiting

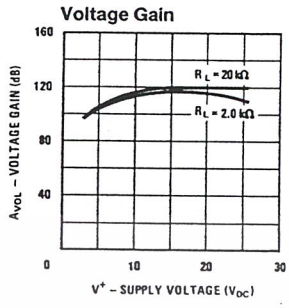


TL/H/7787–4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued) (LM2902 only)





TL/H/7787–5

Application Hints

The LM158 series are op amps which operate with only a single power supply voltage, have true-differential inputs, and remain in the linear mode with an input common-mode voltage of 0 V_{DC}. These amplifiers operate over a wide range of power supply voltage with little change in performance characteristics. At 25°C amplifier operation is possible down to a minimum supply voltage of 2.3 V_{DC}.

Precautions should be taken to insure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a test socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

Large differential input voltages can be easily accomodated and, as input differential voltage protection diodes are not needed, no large input currents result from large differential input voltages. The differential input voltage may be larger than V^+ without damaging the device. Protection should be provided to prevent the input voltages from going negative more than −0.3 V_{DC} (at 25°C). An input clamp diode with a resistor to the IC input terminal can be used.

To reduce the power supply current drain, the amplifiers have a class A output stage for small signal levels which converts to class B in a large signal mode. This allows the amplifiers to both source and sink large output currents. Therefore both NPN and PNP external current boost transistors can be used to extend the power capability of the basic amplifiers. The output voltage needs to raise approximately 1 diode drop above ground to bias the on-chip vertical PNP transistor for output current sinking applications.

For ac applications, where the load is capacitively coupled to the output of the amplifier, a resistor should be used, from the output of the amplifier to ground to increase the class A bias current and prevent crossover distortion. Where the load is directly coupled, as in dc applications, there is no crossover distortion.

Capacitive loads which are applied directly to the output of the amplifier reduce the loop stability margin. Values of 50 pF can be accomodated using the worst-case non-inverting unity gain connection. Large closed loop gains or resistive isolation should be used if larger load capacitance must be driven by the amplifier.

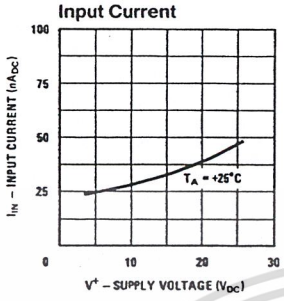
The bias network of the LM158 establishes a drain current which is independent of the magnitude of the power supply voltage over the range of 3 V_{DC} to 30 V_{DC}.

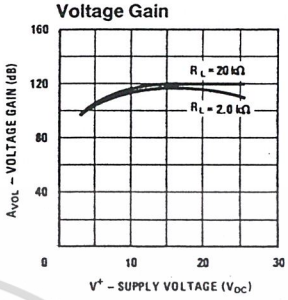
Output short circuits either to ground or to the positive power supply should be of short time duration. Units can be destroyed, not as a result of the short circuit current causing metal fusing, but rather due to the large increase in IC chip dissipation which will cause eventual failure due to excessive function temperatures. Putting direct short-circuits on more than one amplifier at a time will increase the total IC power dissipation to destructive levels, if not properly protected with external dissipation limiting resistors in series with the output leads of the amplifiers. The larger value of output source current which is available at 25°C provides a larger output current capability at elevated temperatures (see typical performance characteristics) than a standard IC op amp.

The circuits presented in the section on typical applications emphasize operation on only a single power supply voltage. If complementary power supplies are available, all of the standard op amp circuits can be used. In general, introducing a pseudo-ground (a bias voltage reference of $V^+/2$) will allow operation above and below this value in single power supply systems. Many application circuits are shown which take advantage of the wide input common-mode voltage range which includes ground. In most cases, input biasing is not required and input voltages which range to ground can easily be accommodated.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued) (LM2902 only)





TL/H/7787–5

Application Hints

The LM158 series are op amps which operate with only a single power supply voltage, have true-differential inputs, and remain in the linear mode with an input common-mode voltage of 0 V_{DC}. These amplifiers operate over a wide range of power supply voltage with little change in performance characteristics. At 25°C amplifier operation is possible down to a minimum supply voltage of 2.3 V_{DC}.

Precautions should be taken to insure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a test socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

Large differential input voltages can be easily accomodated and, as input differential voltage protection diodes are not needed, no large input currents result from large differential input voltages. The differential input voltage may be larger than V^+ without damaging the device. Protection should be provided to prevent the input voltages from going negative more than −0.3 V_{DC} (at 25°C). An input clamp diode with a resistor to the IC input terminal can be used.

To reduce the power supply current drain, the amplifiers have a class A output stage for small signal levels which converts to class B in a large signal mode. This allows the amplifiers to both source and sink large output currents. Therefore both NPN and PNP external current boost transistors can be used to extend the power capability of the basic amplifiers. The output voltage needs to raise approximately 1 diode drop above ground to bias the on-chip vertical PNP transistor for output current sinking applications.

For ac applications, where the load is capacitively coupled to the output of the amplifier, a resistor should be used, from the output of the amplifier to ground to increase the class A bias current and prevent crossover distortion. Where the load is directly coupled, as in dc applications, there is no crossover distortion.

Capacitive loads which are applied directly to the output of the amplifier reduce the loop stability margin. Values of 50 pF can be accomodated using the worst-case non-inverting unity gain connection. Large closed loop gains or resistive isolation should be used if larger load capacitance must be driven by the amplifier.

The bias network of the LM158 establishes a drain current which is independent of the magnitude of the power supply voltage over the range of 3 V_{DC} to 30 V_{DC}.

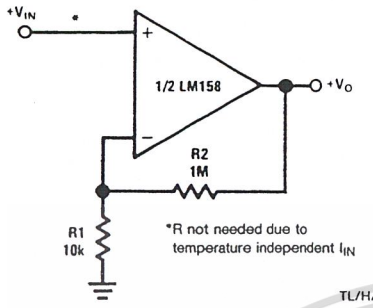
Output short circuits either to ground or to the positive power supply should be of short time duration. Units can be destroyed, not as a result of the short circuit current causing metal fusing, but rather due to the large increase in IC chip dissipation which will cause eventual failure due to excessive function temperatures. Putting direct short-circuits on more than one amplifier at a time will increase the total IC power dissipation to destructive levels, if not properly protected with external dissipation limiting resistors in series with the output leads of the amplifiers. The larger value of output source current which is available at 25°C provides a larger output current capability at elevated temperatures (see typical performance characteristics) than a standard IC op amp.

The circuits presented in the section on typical applications emphasize operation on only a single power supply voltage. If complementary power supplies are available, all of the standard op amp circuits can be used. In general, introducing a pseudo-ground (a bias voltage reference of $V^+/2$) will allow operation above and below this value in single power supply systems. Many application circuits are shown which take advantage of the wide input common-mode voltage range which includes ground. In most cases, input biasing is not required and input voltages which range to ground can easily be accommodated.

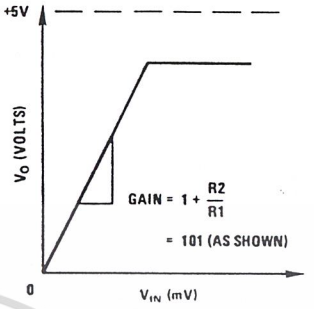
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

cal Single-Supply Applications ($V^+ = 5.0\ V_{DC}$)

Non-Inverting DC Gain (0V Input = 0V Output)

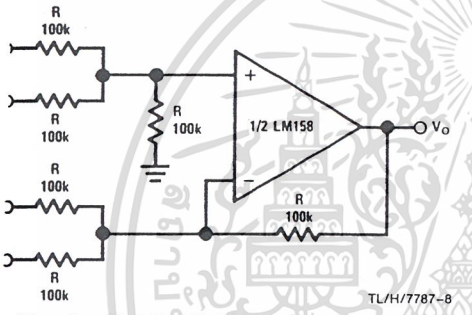


TL/H/7787–6



TL/H/7787–7

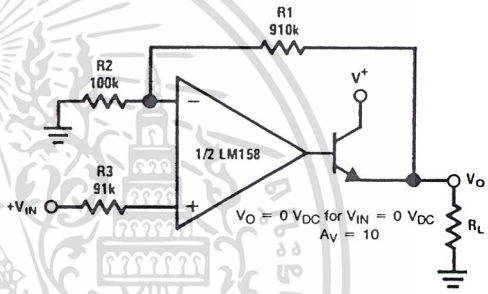
DC Summing Amplifier
(V_{IN}'S ≥ 0 V_{DC} and V_O ≥ 0 V_{DC})



TL/H/7787–8

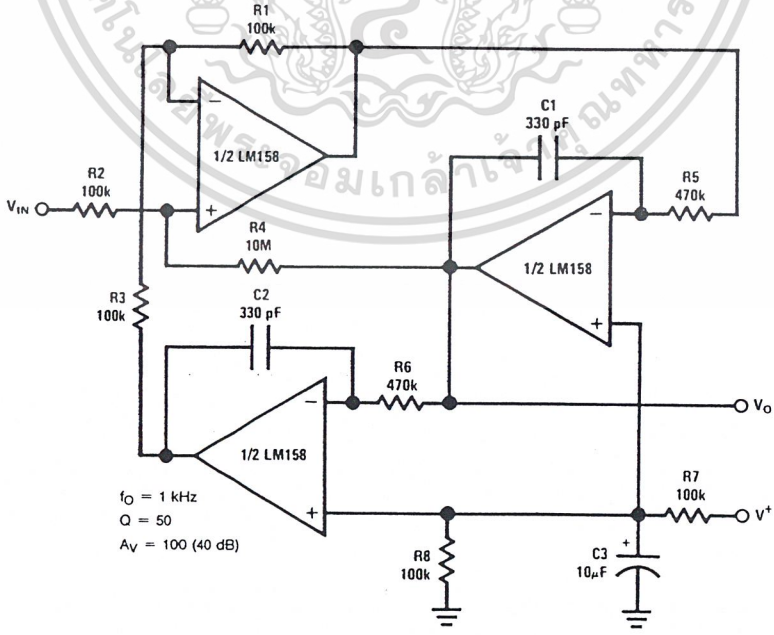
Where: $V_O = V_1 + V_2 + V_3 + V_4$
$(V_1 + V_2) \geq (V_3 + V_4)$ to keep $V_O > 0\ V_{DC}$

Power Amplifier



TL/H/7787–9

"Bi-QUAD" RC Active Bandpass Filter

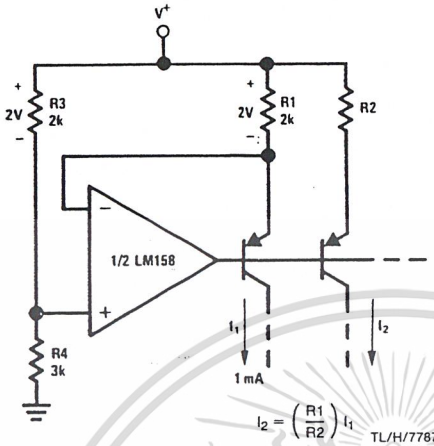


TL/H/7787–10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Single-Supply Applications ($V^+ = 5.0\ V_{DC}$) (Continued)

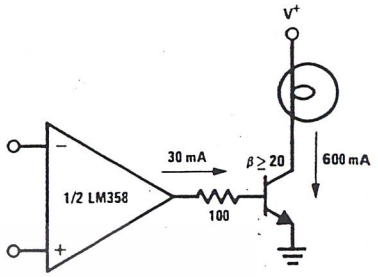
Fixed Current Sources



$$I_2 = \left(\frac{R1}{R2}\right) I_1$$

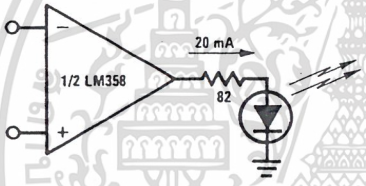
TL/H/7787–11

Lamp Driver



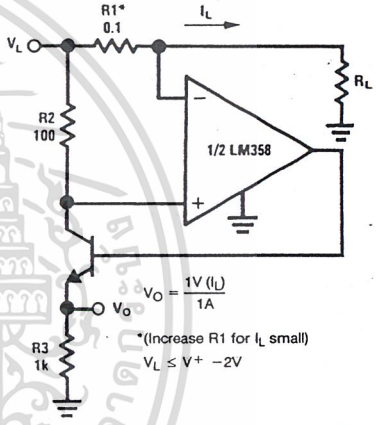
TL/H/7787–12

LED Driver



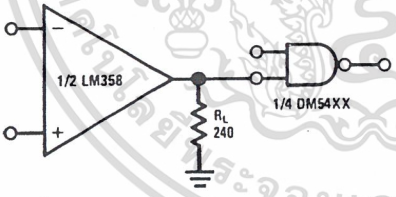
TL/H/7787–13

Current Monitor



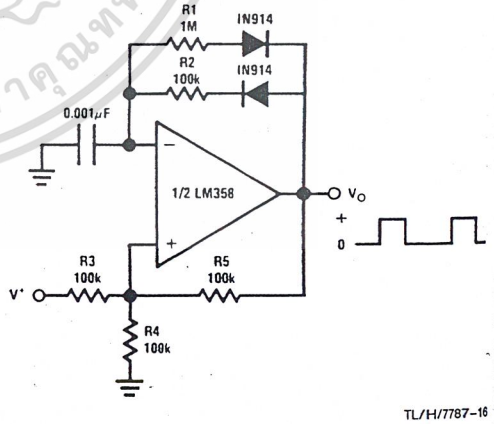
TL/H/7787–14

Driving TTL



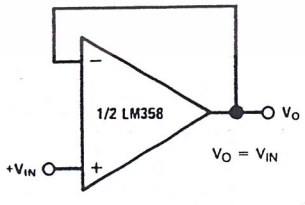
TL/H/7787–15

Pulse Generator



TL/H/7787–16

Voltage Follower

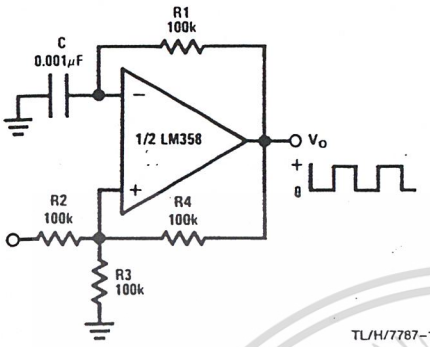


TL/H/7787–17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

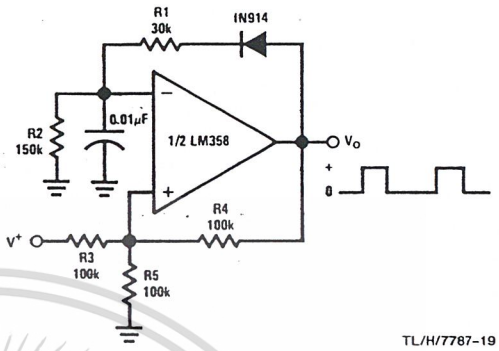
ıical Single-Supply Applications ($V^+ = 5.0\ V_{DC}$) (Continued)

Squarewave Oscillator



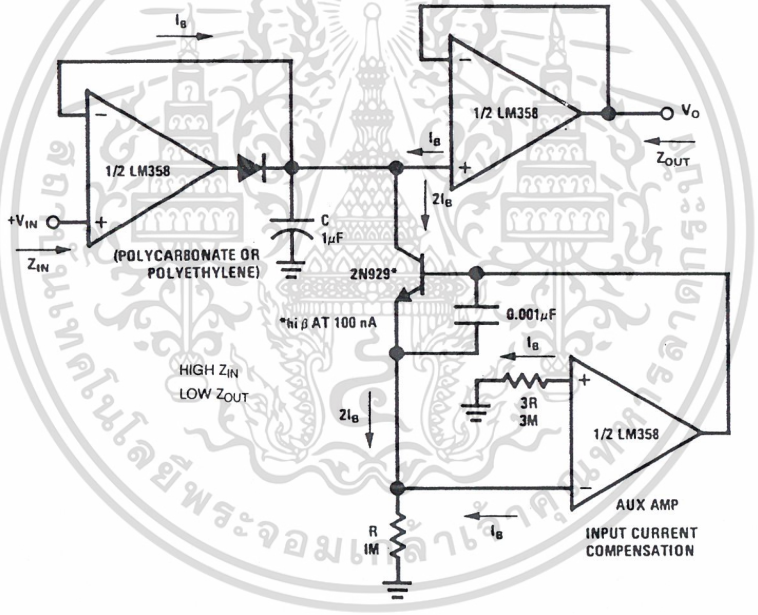
TL/H/7787–18

Pulse Generator



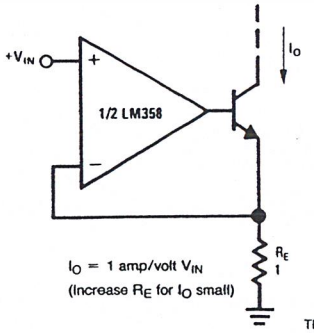
TL/H/7787–19

Low Drift Peak Detector



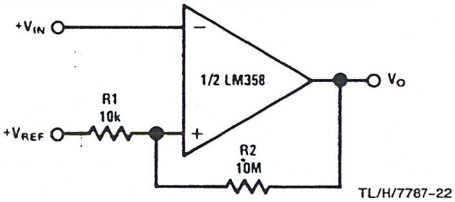
TL/H/7787–20

High Compliance Current Sink



TL/H/7787–21

Comparator with Hysteresis

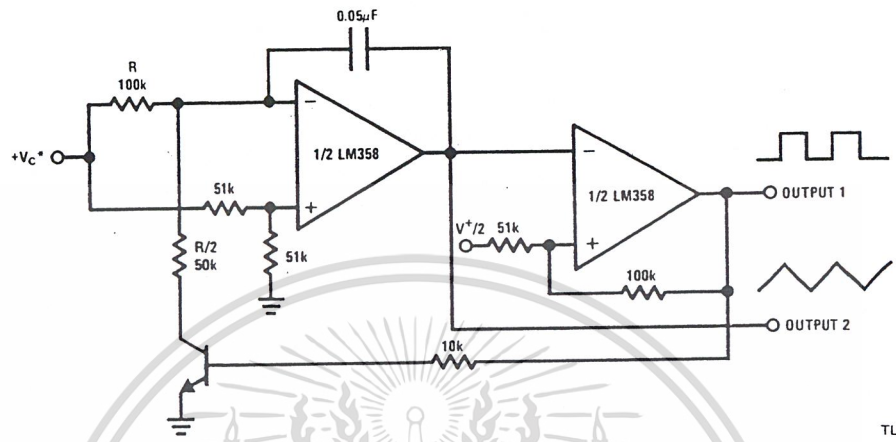


TL/H/7787–22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Single-Supply Applications ($V^+ = 5.0\ V_{DC}$) (Continued)

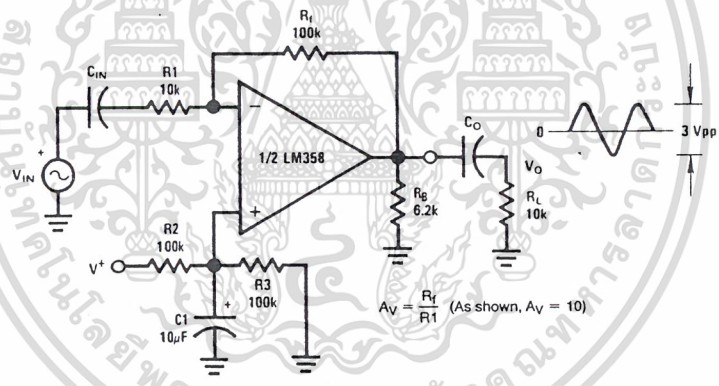
Voltage Controlled Oscillator (VCO)



TL/H/7787-23

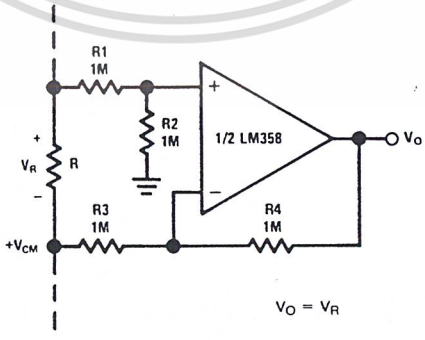
*WIDE CONTROL VOLTAGE RANGE: $0\ V_{DC} \leq V_C \leq 2\ (V^+ - 1.5V_{DC})$

AC Coupled Inverting Amplifier



TL/H/7787-24

Ground Referencing a Differential Input Signal



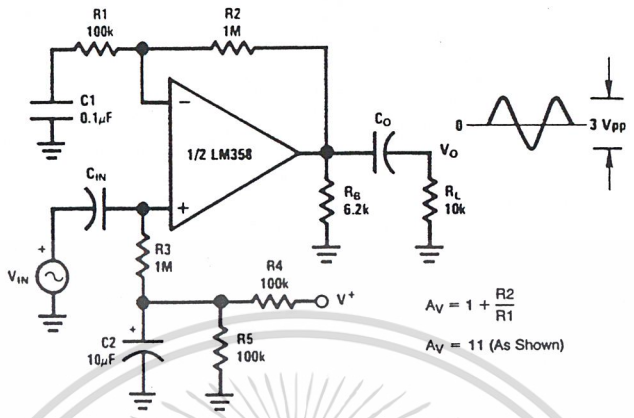
$V_O = V_R$

TL/H/7787-25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

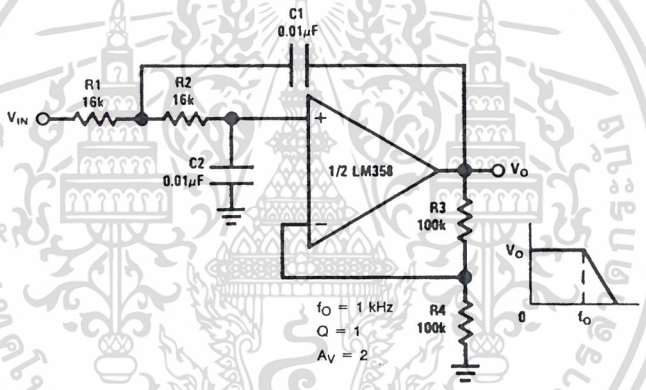
ɔical Single-Supply Applications ($V^+ = 5.0\ V_{DC}$) (Continued)

AC Coupled Non-Inverting Amplifier



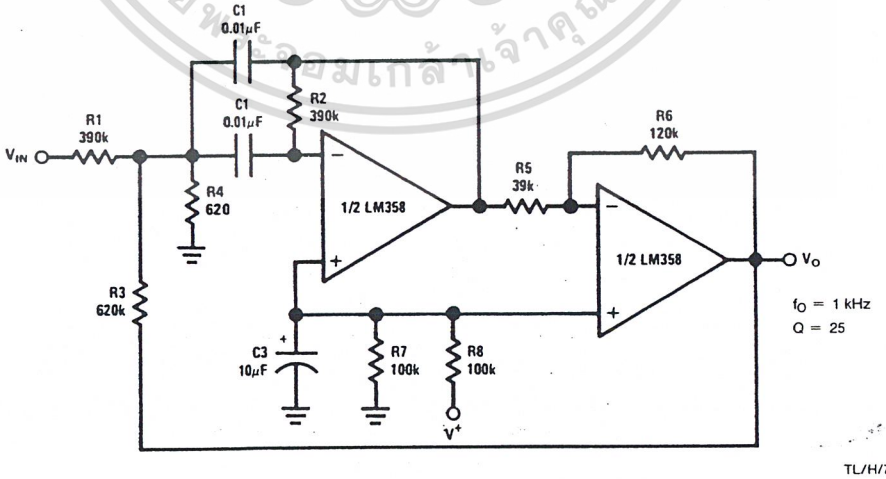
TL/H/7787–26

DC Coupled Low-Pass RC Active Filter



TL/H/7787–27

Bandpass Active Filter

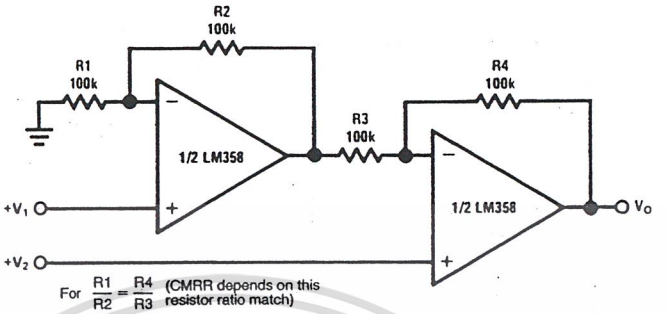


TL/H/7787–28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Single-Supply Applications ($V^+ = 5.0\ V_{DC}$) (Continued)

High Input Z, DC Differential Amplifier



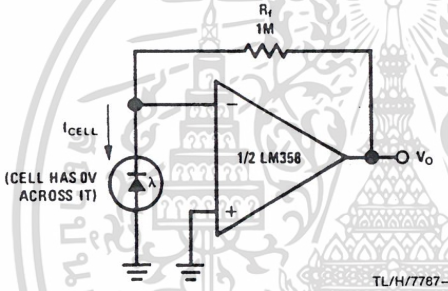
TL/H/7787–29

For $\frac{R1}{R2} = \frac{R4}{R3}$ (CMRR depends on this resistor ratio match)

$V_O = 1 + \frac{R4}{R3}(V_2 - V_1)$

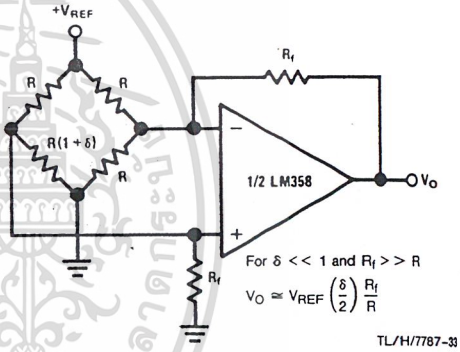
As Shown: $V_O = 2(V_2 - V_1)$

Photo Voltaic-Cell Amplifier



TL/H/7787–30

Bridge Current Amplifier

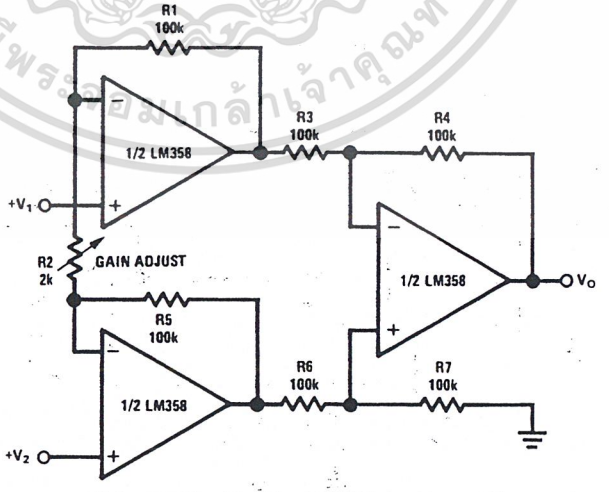


For $\delta << 1$ and $R_f >> R$

$V_O \cong V_{REF}\left(\frac{\delta}{2}\right)\frac{R_f}{R}$

TL/H/7787–33

High Input Z Adjustable-Gain DC Instrumentation Amplifier



TL/H/7787–31

If R1 = R5 & R3 = R4 = R6 = R7 (CMRR depends on match)

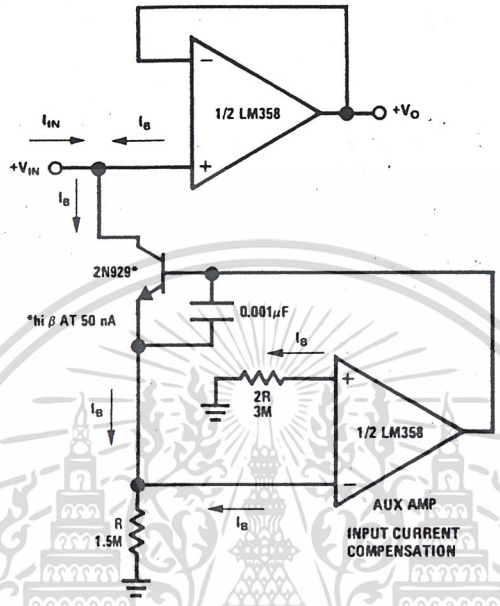
$V_O = 1 + \frac{2R1}{R2}(V_2 - V_1)$

As shown $V_O = 101(V_2 - V_1)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

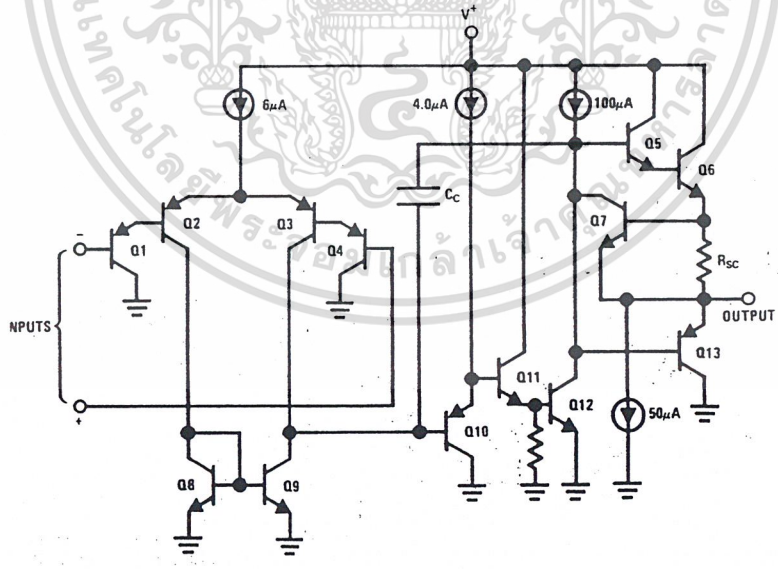
gle-Supply Applications (V^+ = 5.0 V_{DC}) (Continued)

Using Symmetrical Amplifiers to Reduce Input Current (General Concept)



TL/H/7787–32

Diagram (Each Amplifier)



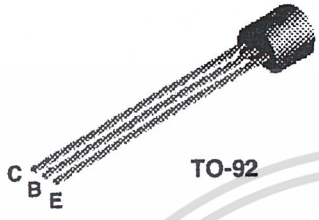
TL/H/7787–3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor™

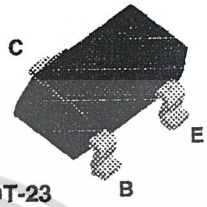
Discrete Power & Signal Technologies

2N3904



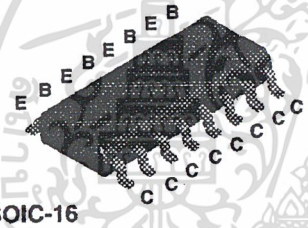
TO-92

MMBT3904



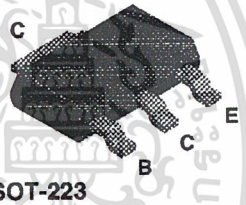
SOT-23
Mark: 1A

MMPQ3904



SOIC-16

PZT3904



SOT-223

NPN General Purpose Amplifier

This device is designed as a general purpose amplifier and switch. The useful dynamic range extends to 100 mA as a switch and to 100 MHz as an amplifier. Sourced from Process 23.

Absolute Maximum Ratings*

TA = 25°C unless otherwise noted

Symbol	Parameter	Value	Units
V_{CEO}	Collector-Emitter Voltage	40	V
V_{CBO}	Collector-Base Voltage	60	V
V_{EBO}	Emitter-Base Voltage	6.0	V
I_C	Collector Current - Continuous	200	mA
T_J, T_{stg}	Operating and Storage Junction Temperature Range	-55 to +150	°C

*These ratings are limiting values above which the serviceability of any semiconductor device may be impaired.

NOTES:
1) These ratings are based on a maximum junction temperature of 150 degrees C.
2) These are steady state limits. The factory should be consulted on applications involving pulsed or low duty cycle operations.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NPN General Purpose Amplifier
(continued)

Electrical Characteristics
TA = 25°C unless otherwise noted

Symbol	Parameter	Test Conditions	Min	Max	Units
OFF CHARACTERISTICS					
$V_{(BR)CEO}$	Collector-Emitter Breakdown Voltage	I_C = 10 mA, I_B = 0	40		V
$V_{(BR)CBO}$	Collector-Base Breakdown Voltage	I_C = 10 µA, I_E = 0	60		V
$V_{(BR)EBO}$	Emitter-Base Breakdown Voltage	I_E = 10 µA, I_C = 0	6.0		V
I_{BL}	Base Cutoff Current	V_{CE} = 30 V, V_{EB} = 0		50	nA
I_{CEX}	Collector Cutoff Current	V_{CE} = 30 V, V_{EB} = 0		50	nA
ON CHARACTERISTICS*					
h_{FE}	DC Current Gain	I_C = 0.1 mA, V_{CE} = 1.0 V I_C = 1.0 mA, V_{CE} = 1.0 V I_C = 10 mA, V_{CE} = 1.0 V I_C = 50 mA, V_{CE} = 1.0 V I_C = 100 mA, V_{CE} = 1.0 V	40 70 100 60 30	 300 	
$V_{CE(sat)}$	Collector-Emitter Saturation Voltage	I_C = 10 mA, I_B = 1.0 mA I_C = 50 mA, I_B = 5.0 mA		0.2 0.3	V V
$V_{BE(sat)}$	Base-Emitter Saturation Voltage	I_C = 10 mA, I_B = 1.0 mA I_C = 50 mA, I_B = 5.0 mA	0.65	0.85 0.95	V V
SMALL SIGNAL CHARACTERISTICS					
f_T	Current Gain - Bandwidth Product	I_C = 10 mA, V_{CE} = 20 V, f = 100 MHz	300		MHz
C_{obo}	Output Capacitance	V_{CB} = 5.0 V, I_E = 0, f = 1.0 MHz		4.0	pF
C_{ibo}	Input Capacitance	V_{EB} = 0.5 V, I_C = 0, f = 1.0 MHz		8.0	pF
NF	Noise Figure (except MMPQ3904)	I_C = 100 µA, V_{CE} = 5.0 V, R_S = 1.0kΩ, f=10 Hz to 15.7 kHz		5.0	dB
SWITCHING CHARACTERISTICS (except MMPQ3904)					
t_d	Delay Time	V_{CC} = 3.0 V, V_{BE} = 0.5 V, I_C = 10 mA, I_{B1} = 1.0 mA		35	ns
t_r	Rise Time			35	ns
t_s	Storage Time	V_{CC} = 3.0 V, I_C = 10mA I_{B1} = I_{B2} = 1.0 mA		200	ns
t_f	Fall Time			50	ns

*Pulse Test: Pulse Width ≤ 300 µs, Duty Cycle ≤ 2.0%

Spice Model

NPN (Is=6.734f Xti=3 Eg=1.11 Vaf=74.03 Bf=416.4 Ne=1.259 Ise=6.734 Ikf=66.78m Xtb=1.5 Br=.7371 Nc=2 Isc=0 Ikr=0 Rc=1 Cjc=3.638p Mjc=.3085 Vjc=.75 Fc=.5 Cje=4.493p Mje=.2593 Vje=.75 Tr=239.5n Tf=301.2p Itf=.4 Vtf=4 Xtf=2 Rb=10)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NPN General Purpose Amplifier
(continued)

Thermal Characteristics
TA = 25°C unless otherwise noted

Symbol	Characteristic	Max		Units
		2N3904	*PZT3904	
P_D	Total Device Dissipation Derate above 25°C	625 5.0	1,000 8.0	mW mW/°C
$R_{\theta JC}$	Thermal Resistance, Junction to Case	83.3		°C/W
$R_{\theta JA}$	Thermal Resistance, Junction to Ambient	200	125	°C/W

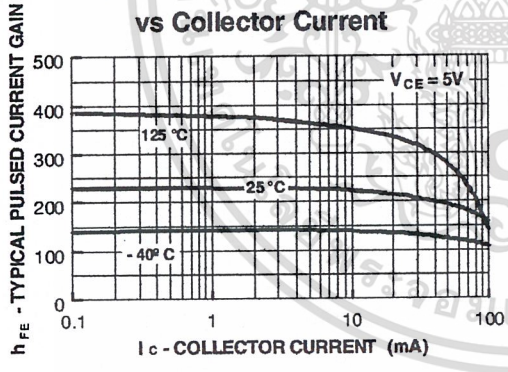
Symbol	Characteristic	Max		Units
		**MMBT3904	MMPQ3904	
P_D	Total Device Dissipation Derate above 25°C	350 2.8	1,000 8.0	mW mW/°C
$R_{\theta JA}$	Thermal Resistance, Junction to Ambient Effective 4 Die Each Die	357	125 240	°C/W °C/W °C/W

*Device mounted on FR-4 PCB 36 mm X 18 mm X 1.5 mm; mounting pad for the collector lead min. 6 cm^2.

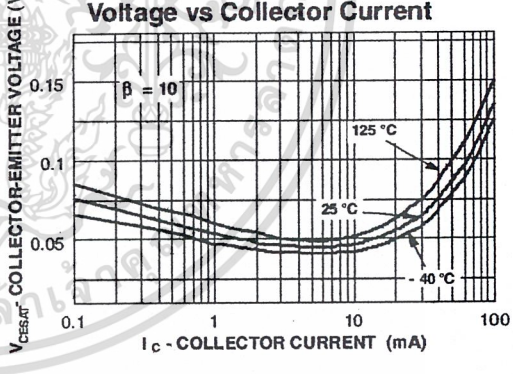
**Device mounted on FR-4 PCB 1.6" X 1.6" X 0.06."

Typical Characteristics

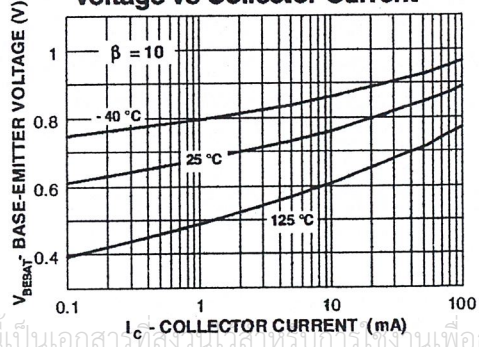
Typical Pulsed Current Gain vs Collector Current



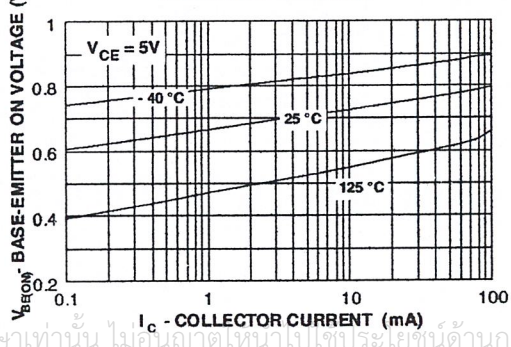
Collector-Emitter Saturation Voltage vs Collector Current



Base-Emitter Saturation Voltage vs Collector Current



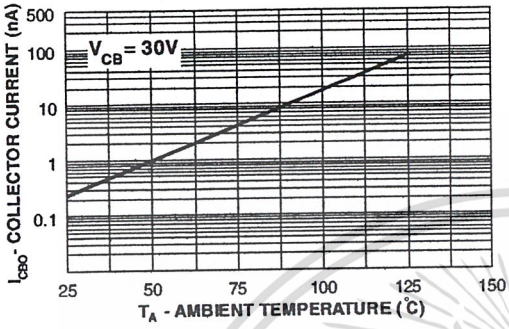
Base-Emitter ON Voltage vs Collector Current



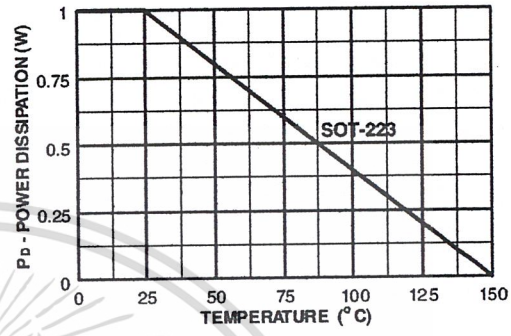
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Characteristics (continued)

Collector-Cutoff Current vs Ambient Temperature



POWER DISSIPATION vs AMBIENT TEMPERATURE



Test Circuits

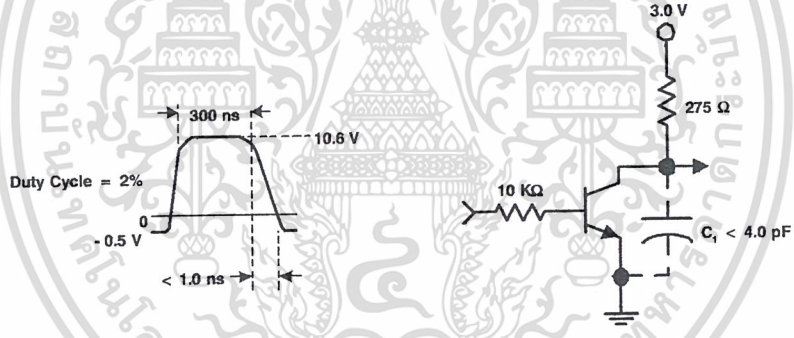


FIGURE 1: Delay and Rise Time Equivalent Test Circuit

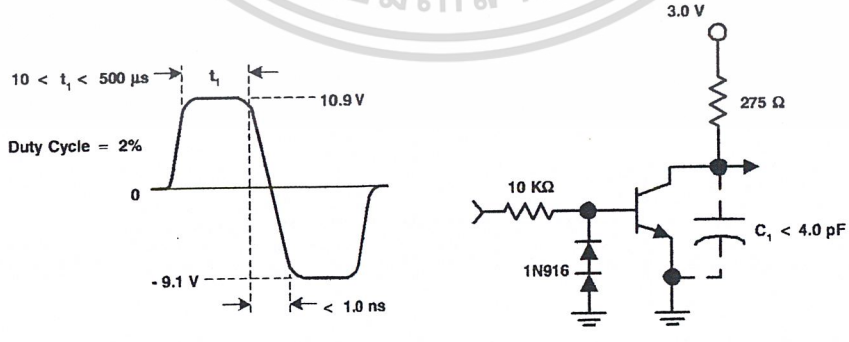


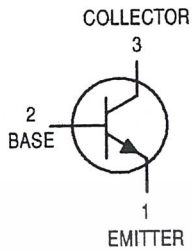
FIGURE 2: Storage and Fall Time Equivalent Test Circuit

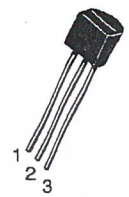
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

High Frequency Transistor
NPN Silicon

MPS5179

Motorola Preferred Device





CASE 29–04, STYLE 1
TO–92 (TO–226AA)

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Collector–Emitter Voltage	V_{CEO}	12	Vdc
Collector–Base Voltage	V_{CBO}	20	Vdc
Emitter–Base Voltage	V_{EBO}	2.5	Vdc
Collector Current — Continuous	I_C	50	mAdc
Total Device Dissipation @ T_A = 25°C Derate above 25°C	P_D	200 1.14	mW mW/°C
Total Device Dissipation @ T_C = 25°C Derate above 25°C	P_D	300 1.71	mW mW/°C
Storage Temperature Range	T_{stg}	−55 to +150	°C

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Max	Unit
OFF CHARACTERISTICS				
Collector–Emitter Sustaining Voltage (I_C = 3.0 mAdc, I_B = 0)	$V_{CEO(sus)}$	12	—	Vdc
Collector–Base Breakdown Voltage (I_C = 0.001 mAdc, I_E = 0)	$V_{(BR)CBO}$	20	—	Vdc
Emitter–Base Breakdown Voltage (I_E = 0.01 mAdc, I_C = 0)	$V_{(BR)EBO}$	2.5	—	Vdc
Collector Cutoff Current (V_{CB} = 15 Vdc, I_E = 0) (V_{CB} = 15 Vdc, I_E = 0, T_A = 150°C)	I_{CBO}	— —	0.02 1.0	μAdc
ON CHARACTERISTICS				
DC Current Gain (I_C = 3.0 mAdc, V_{CE} = 1.0 Vdc)	h_{FE}	25	250	—
Collector–Emitter Saturation Voltage (I_C = 10 mAdc, I_B = 1.0 mAdc)	$V_{CE(sat)}$	—	0.4	Vdc
Base–Emitter Saturation Voltage (I_C = 10 mAdc, I_B = 1.0 mAdc)	$V_{BE(sat)}$	—	1.0	Vdc

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลง คัดลอก ทำซ้ำ หรือเผยแพร่ต่อสาธารณชน ไม่ว่ากรณีใดๆ ทั้งสิ้น โดยไม่ได้รับอนุญาตเป็นลายลักษณ์อักษรจากผู้ถือลิขสิทธิ์ และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

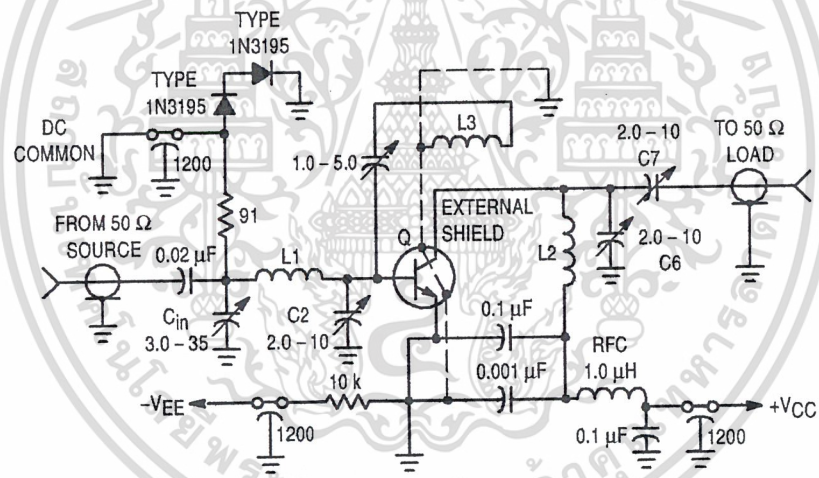
Preferred devices are Motorola recommended choices for future use and best overall value.

© Motorola, Inc. 1996

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted) (Continued)

Characteristic	Symbol	Min	Max	Unit
SMALL–SIGNAL CHARACTERISTICS				
Current–Gain — Bandwidth Product(1) (I_C = 5.0 mAdc, V_{CE} = 6.0 Vdc, f = 100 MHz)	f_T	900	2000	MHz
Collector–Base Capacitance (V_{CB} = 10 Vdc, I_E = 0, f = 0.1 to 1.0 MHz)	C_{cb}	—	1.0	pF
Small Signal Current Gain (I_C = 2.0 mAdc, V_{CE} = 6.0 Vdc, f = 1.0 kHz)	h_{fe}	25	300	—
Collector Base Time Constant (I_E = 2.0 mAdc, V_{CB} = 6.0 Vdc, f = 31.9 MHz)	$rb'C_c$	3.0	14	ps
Noise Figure (See Figure 1) (I_C = 1.5 mAdc, V_{CE} = 6.0 Vdc, R_S = 50 ohms, f = 200 MHz)	NF	—	5.0	dB
Common–Emitter Amplifier Power Gain (See Figure 1) (V_{CE} = 6.0 Vdc, I_C = 5.0 mAdc, f = 200 MHz)	G_{pe}	15	—	dB

1. f_T is defined as the frequency at which $|h_{fe}|$ extrapolates to unity.

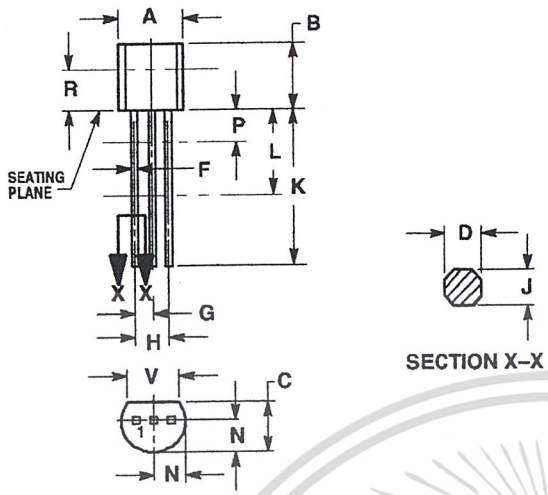


L1 1–3/4 Turns, #18 AWG, 0.5″ L, 0.5″ Diameter
L2 2 Turns, #16 AWG, 0.5″ L, 0.5″ Diameter
L3 2 Turns, #13 AWG, 0.25″ L, 0.5″ Diameter (Position 1/4″ from L2)

Figure 1. 200 MHz Amplifier Power Gain and Noise Figure Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. CONTOUR OF PACKAGE BEYOND DIMENSION R IS UNCONTROLLED.
4. DIMENSION F APPLIES BETWEEN P AND L. DIMENSION D AND J APPLY BETWEEN L AND K MINIMUM. LEAD DIMENSION IS UNCONTROLLED IN P AND BEYOND DIMENSION K MINIMUM.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.175	0.205	4.45	5.20
B	0.170	0.210	4.32	5.33
C	0.125	0.165	3.18	4.19
D	0.016	0.022	0.41	0.55
F	0.016	0.019	0.41	0.48
G	0.045	0.055	1.15	1.39
H	0.095	0.105	2.42	2.66
J	0.015	0.020	0.39	0.50
K	0.500	—	12.70	—
L	0.250	—	6.35	—
N	0.080	0.105	2.04	2.66
P	—	0.100	—	2.54
R	0.115	—	2.93	—
V	0.135	—	3.43	—

STYLE 1:
PIN 1. EMITTER
2. BASE
3. COLLECTOR

CASE 029–04
(TO–226AA)
ISSUE AD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters which may be provided in Motorola data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and Ⓜ are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

How to reach us:
USA/EUROPE/Locations Not Listed: Motorola Literature Distribution;
P.O. Box 20912; Phoenix, Arizona 85036. 1–800–441–2447 or 602–303–5454

MFAX: RMFAX0@email.sps.mot.com – TOUCHTONE 602–244–6609
INTERNET: http://Design–NET.com

JAPAN: Nippon Motorola Ltd.; Tatsumi–SPD–JLDC, 6F Seibu–Butsuryu–Center, 3–14–2 Tatsumi Koto–Ku, Tokyo 135, Japan. 03–81–3521–8315

ASIA/PACIFIC: Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park, 51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852–26629298

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The RF Line

NPN Silicon High-Frequency Transistor

- Tape and reel packaging available for MRF3866R2:
  R2 suffix = 2,500 units per reel

MRF3866R2

I_C = 400 mA
HIGH–FREQUENCY
TRANSISTORS
NPN SILICON

CASE 751–06, STYLE 1
(SO–8)

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Collector–Emitter Voltage	V_{CEO}	30	Vdc
Collector–Base Voltage	V_{CBO}	55	Vdc
Emitter–Base Voltage	V_{EBO}	3.5	Vdc
Collector Current — Continuous	I_C	0.4	Adc
Total Device Dissipation @ T_A = 25°C Derate above 25°C	P_D	625 5.0	mW mW/°C
Total Device Dissipation @ T_C = 25°C Derate above 25°C	P_D	1.5 12	Watts mW/°C
Operating and Storage Junction Temperature Range	T_J, T_{stg}	−55 to +150	°C
Maximum Junction Temperature	T_{Jmax}	150	°C

THERMAL CHARACTERISTICS

Characteristic	Symbol	Max	Unit
Thermal Resistance, Junction to Case	$R_{\theta JC}$	83.3	°C/W
Thermal Resistance, Junction to Ambient	$R_{\theta JA}$	125	°C/W

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Max	Unit
OFF CHARACTERISTICS				
Collector–Emitter Breakdown Voltage (I_C = 5.0 mAdc, R_{BE} = 10 Ω)	$V_{(BR)CER}$	55	—	Vdc
Collector–Emitter Sustaining Voltage (I_C = 5.0 mAdc, I_B = 0)	$V_{CEO(sus)}$	30	—	Vdc
Emitter–Base Breakdown Voltage (I_E = 100 μAdc, I_C = 0)	$V_{(BR)EBO}$	3.5	—	Vdc
Collector Cutoff Current (V_{CE} = 28 Vdc, I_B = 0)	I_{CEO}	—	0.02	mAdc
Collector Cutoff Current (V_{CE} = 30 Vdc, V_{BE} = −1.5 Vdc (Rev.), T_C = 150°C) (V_{CE} = 55 Vdc, V_{BE} = −1.5 Vdc (Rev.))	I_{CEX}	 — —	 5.0 0.1	mAdc
Emitter Cutoff Current (V_{BE} = 3.5 Vdc, I_C = 0)	I_{EBO}	—	0.1	mAdc

(continued)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

© Motorola, Inc. 1998

ELECTRICAL CHARACTERISTICS — continued (T_A = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Max	Unit
ON CHARACTERISTICS				
DC Current Gain (I_C = 360 mAdc, V_{CE} = 5.0 Vdc) (1) (I_C = 50 mAdc, V_{CE} = 5.0 Vdc)	h_{FE}	 5.0 10	 — 200	—
Collector–Emitter Saturation Voltage (I_C = 100 mAdc, I_B = 20 mAdc)	$V_{CE(sat)}$	—	1.0	Vdc
SMALL–SIGNAL CHARACTERISTICS				
Current–Gain — Bandwidth Product (I_C = 50 mAdc, V_{CE} = 15 Vdc, f = 200 MHz)	f_T	500	—	MHz
Output Capacitance (V_{CB} = 28 Vdc, I_E = 0, f = 1.0 MHz)	C_{obo}	—	3.0	pF
FUNCTIONAL TEST				
Amplifier Power Gain (V_{CC} = 28 Vdc, P_{out} = 1.0 W, f = 400 MHz)	G_{pe}	10	—	dB
Collector Efficiency (V_{CC} = 28 Vdc, P_{out} = 1.0 W, f = 400 MHz)	η	45	—	%

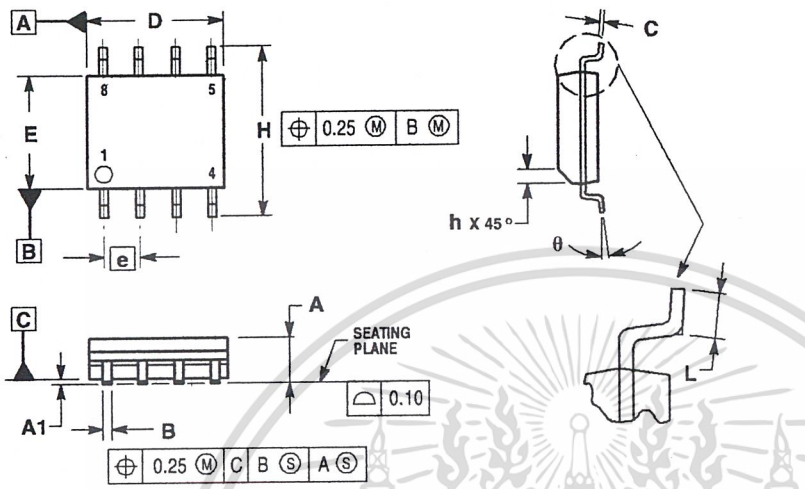
NOTE:
1. Pulse Test: Pulse Width ≤ 300 μs, Duty Cycle ≤ 2.0%.

V_{CE} (Volts)	I_C (mA)	f (MHz)	S_{11}		S_{21}		S_{12}		S_{22}	
			S_{11}	∠ϕ	S_{21}	∠ϕ	S_{12}	∠ϕ	S_{22}	∠ϕ
15	50	100	0.67	−166	13.75	92	0.016	44	0.32	−27
		200	0.69	−176	6.93	81	0.024	53	0.30	−24
		300	0.70	177	4.57	73	0.032	57	0.32	−31
		400	0.71	172	3.38	67	0.042	59	0.34	−37
		500	0.72	168	2.66	61	0.049	59	0.37	−45
		600	0.72	164	2.17	54	0.056	61	0.40	−53
		700	0.72	160	1.85	49	0.061	63	0.43	−60
		800	0.72	155	1.61	44	0.068	65	0.47	−66
		900	0.71	151	1.40	39	0.075	64	0.50	−73
		1000	0.70	146	1.25	34	0.084	68	0.53	−79

Table 1. MRF3866R2 Common Emitter S–Parameters

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS



NOTES:
1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M, 1994.
2. DIMENSIONS ARE IN MILLIMETER.
3. DIMENSION D AND E DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 PER SIDE.
5. DIMENSION B DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 TOTAL IN EXCESS OF THE B DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS	
DIM	MIN	MAX
A	1.35	1.75
A1	0.10	0.25
B	0.35	0.49
C	0.19	0.25
D	4.80	5.00
E	3.80	4.00
e	1.27 BSC	
H	5.80	6.20
h	0.25	0.50
L	0.40	1.25
θ	0°	7°

STYLE 1:
PIN 1. EMITTER
2. COLLECTOR
3. COLLECTOR
4. EMITTER
5. EMITTER
6. BASE
7. BASE
8. EMITTER

CASE 751–06
ISSUE T

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters which may be provided in Motorola data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and Ⓜ are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

Mfax is a trademark of Motorola, Inc.

How to reach us:

USA/EUROPE/Locations Not Listed: Motorola Literature Distribution;
P.O. Box 5405, Denver, Colorado 80217. 1–303–675–2140 or 1–800–441–2447

JAPAN: Nippon Motorola Ltd.: SPD, Strategic Planning Office, 141,
4–32–1 Nishi–Gotanda, Shagawa–ku, Tokyo, Japan. 03–5487–8488

Customer Focus Center: 1–800–521–6274

Mfax™: RMFAX0@email.sps.mot.com – TOUCHTONE 1–602–244–6609
Motorola Fax Back System – US & Canada ONLY 1–800–774–1848
– http://sps.motorola.com/mfax/

ASIA/PACIFIC: Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park,
51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852–26629298

HOME PAGE: http://motorola.com/sps/

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

September 1992

LM3089 FM Receiver IF System

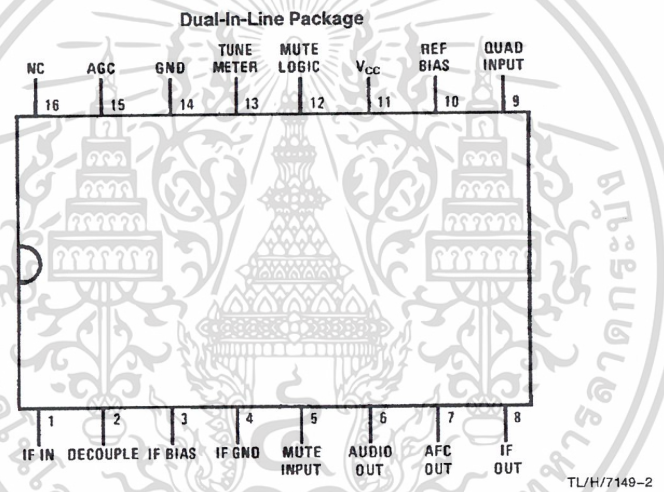
General Description

The LM3089 has been designed to provide all the major functions required for modern FM IF designs of automotive, high-fidelity and communications receivers.

Features

- Three stage IF amplifier/limiter provides 12 μV (typ) −3 dB limiting sensitivity
- Balanced product detector and audio amplifier provide 400 mV (typ) of recovered audio with distortion as low as 0.1% with proper external coil designs.
- Four internal carrier level detectors provide delayed AGC signal to tuner, IF level meter drive current and interchannel mute control
- AFC amplifier provides AFC current for tuner and/or center tuning meters
- Improved operating and temperature performance, especially when using high Q quadrature coils in narrow band FM communications receivers
- No mute circuit latchup problems
- A direct replacement for CA3089E

Connection Diagram



Top View

Order Number LM3089N

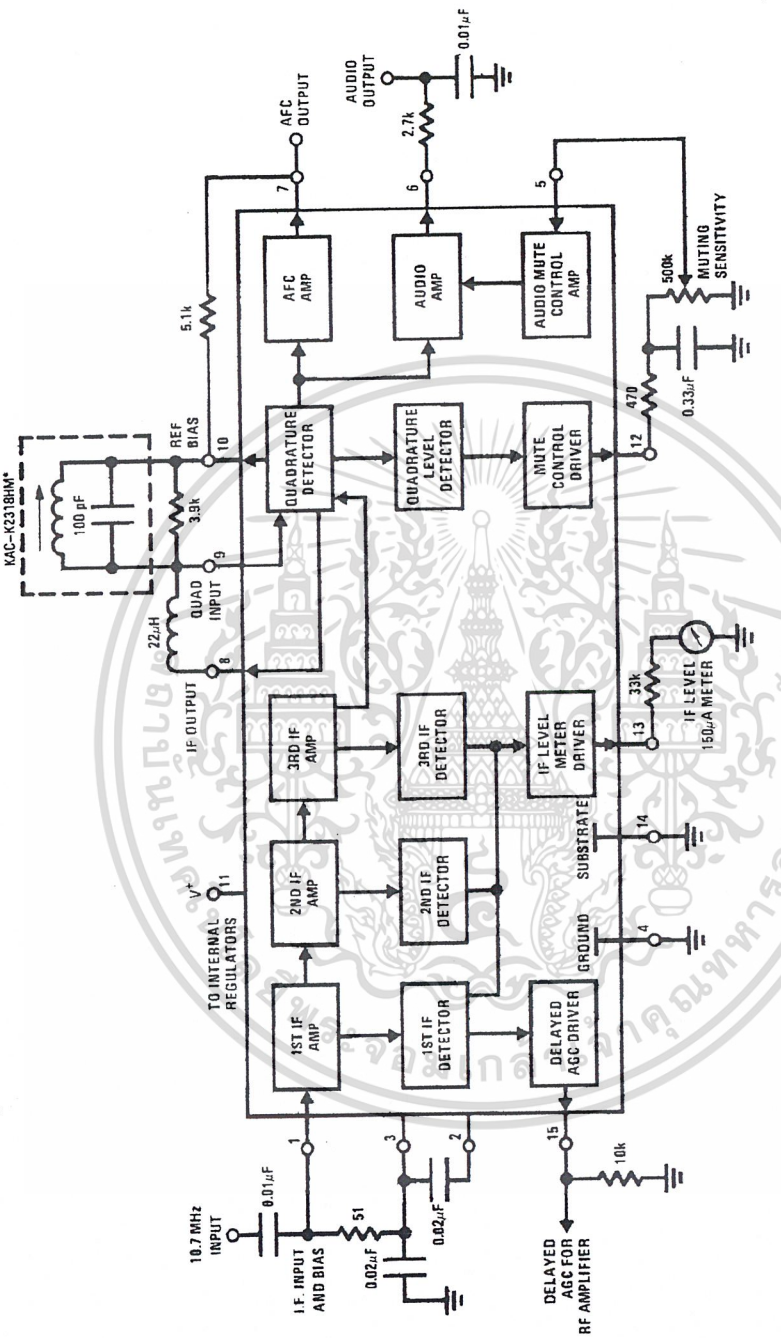
See NS Package Number N16E

©1995 National Semiconductor Corporation TL/H/7149

RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram



TL/H/7149–1

Toko America
1250 Feehanville Drive
Mount Prospect, IL 60056
(312) 297-0070

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage Between Pin 11 and Pins 4, 14	+16V
DC Current Out of Pin 12	5 mA
DC Current Out of Pin 13	5 mA
DC Current Out of Pin 15	2 mA
Power Dissipation (Note 2)	1500 mW
Operating Temperature Range	−40°C to +85°C
Storage Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	260°C

Electrical Characteristics (T_A = 25°C, V_{CC} = +12V, see Test Circuit)

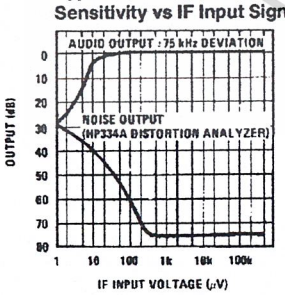
Symbol	Parameter	Conditions	Min	Typ	Max	Units
DC CHARACTERISTICS (V_{IN} = 0, NOT MUTED)						
I_{11}	Supply Current		16	23	30	mA
V1, 2, 3	IF Input and Bias		1.2	1.9	2.4	V
V6	Audio Output		5.0	5.6	6.0	V
V7	AFC Output		5.0	5.6	6.0	V
V10	Reference Bias		5.0	5.6	6.0	V
V12	Mute Control		5.0	5.4	6.0	V
V13	IF Level			0	0.5	V
V15	Delayed AGC		4.2	4.7	5.3	V
DYNAMIC CHARACTERISTICS f_o = 10.7 MHZ, Δf = ±75 kHz @ 400 Hz						
V_{IN}(LIM)	Input Limiting −3 dB			12	25	μV
AMR	AM Rejection	V_{IN} = 100 mV, AM: 30%	45	55		−dB
V_O(AF)	Recovered Audio	V_{IN} = 10 mV	300	400	500	mVrms
THD	Total Harmonic Distortion					
	Single Tuned (Note 1)	V_{IN} = 100 mV		0.5	1.0	%
	Double Tuned (Note 1)	V_{IN} = 100 mV		0.1	0.3	%
S+N/N	Signal to Noise Ratio	V_{IN} = 100 mV	60	70		dB
V12	Mute Control	V_{IN} = 100 mV		0	0.5	V
V13	IF Level	V_{IN} = 100 mV	4.0	5.0	6.0	V
V13	IF Level	V_{IN} = 500 μV	1.0	1.5	2.0	V
V15	Delayed AGC	V_{IN} = 100 mV		0.1	0.5	V
V15	Delayed AGC	V_{IN} = 30 mV		2.5		V
V_O(AF)	Audio Muted	V_{IN} = 100 mV, V5 = +2.5V		60		−dB

Note 1: Distortion is a function of quadrature coil used.

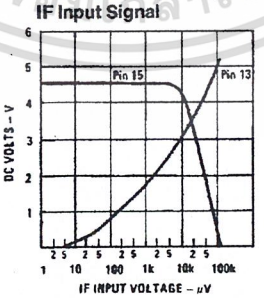
Note 2: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and a thermal resistance of 80°C/W junction to ambient.

Typical Performance Characteristics

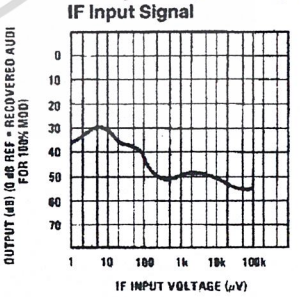
Typical S + N/N and IF Limiting Sensitivity vs IF Input Signal



Typical AGC (Pin 15) and Meter Output (Pin 13) vs IF Input Signal



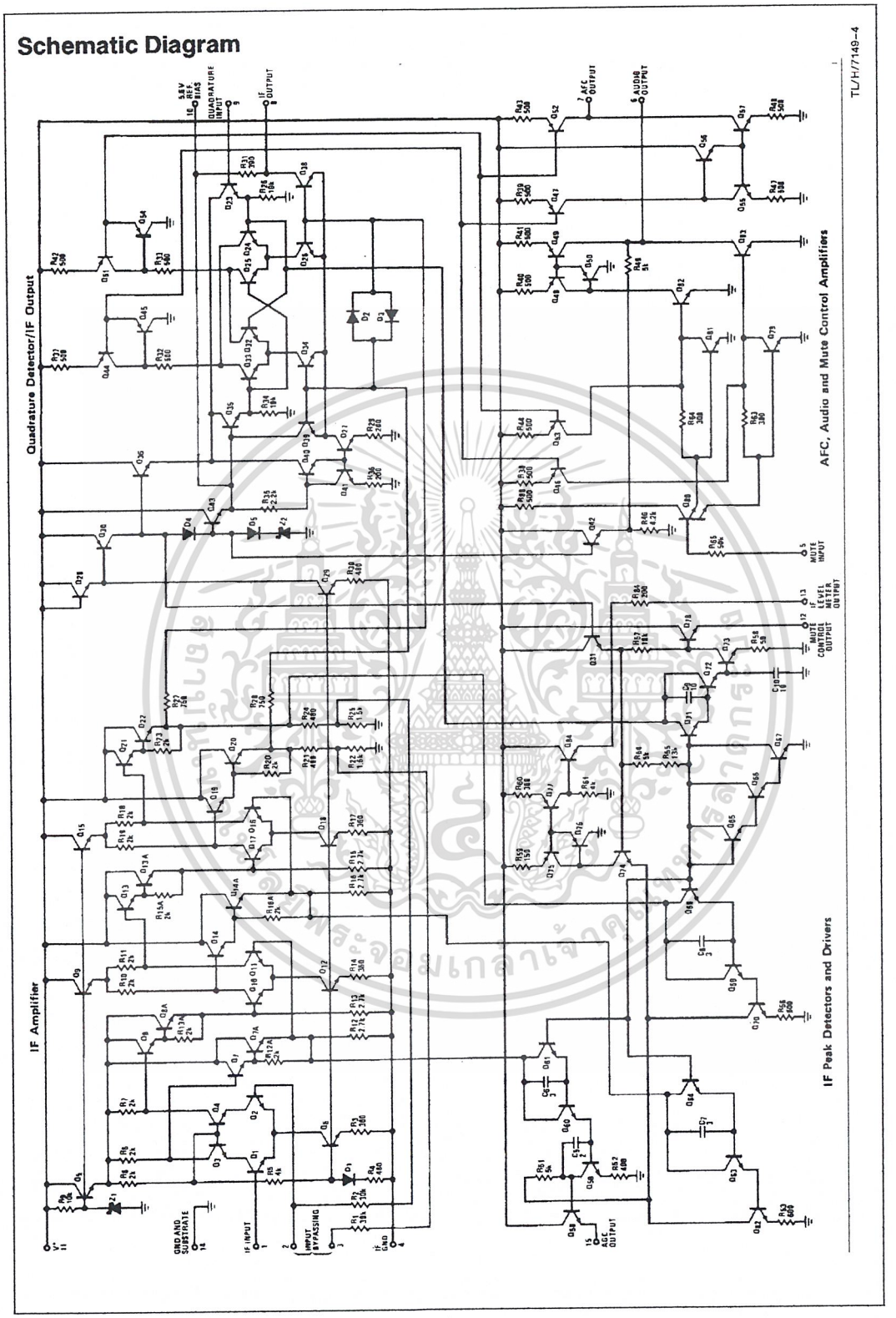
AM Rejection (30% Mod) vs IF Input Signal



TL/H/7149–3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

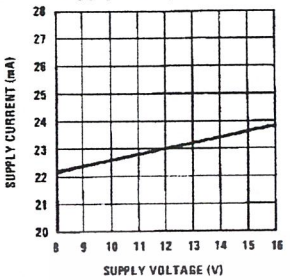
Schematic Diagram



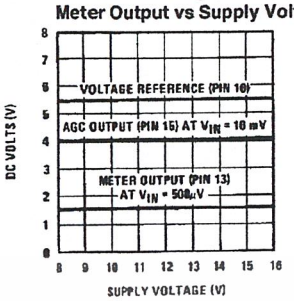
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

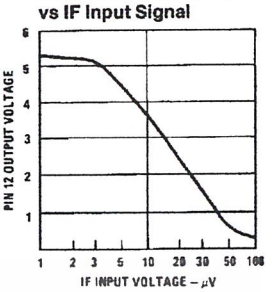
Supply Current (I_{11}) vs Supply Voltage (V11)



Reference Voltage, AGC and Meter Output vs Supply Voltage

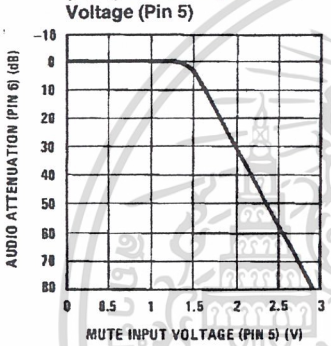


Mute Control Output (Pin 12) vs IF Input Signal



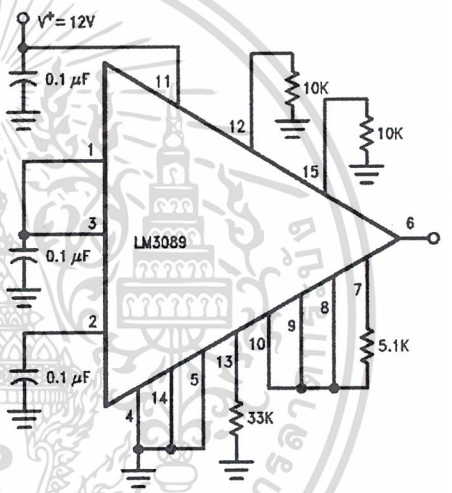
TL/H/7149–5

Typical Audio Attenuation (Pin 6) vs Mute Input Voltage (Pin 5)



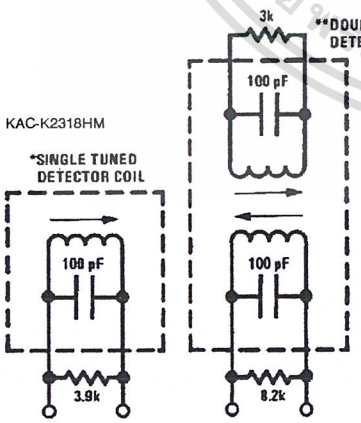
TL/H/7149–6

DC Test Circuit



TL/H/7149–7

AC Test Circuit



TL/H/7149–8

*For single tuned dectector coil:
L_O tunes with 100 pF at 10.7 MHz
Q_{UL} (unloaded) ≅ 75
Q_L (loaded) ≅ 13 for V9 ≅ 150 mVrms

**For double tuned detector coil:
$Q_{ULPRI} = Q_{ULSEC} \cong 75$
kQ ≅ 0.7 for V9 ≅ 150 mVrms

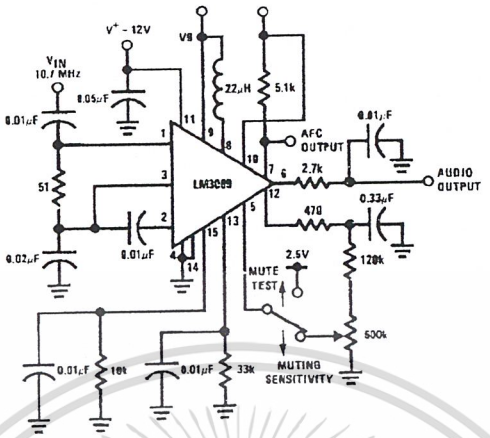
Note:

The recovered audio output voltage will be approximately 0.5 dB less when using the double tuned detector coil.

For proper operation of the mute circuit, the RF voltage at pin 9 should be 150 mVrms ±30 mV.

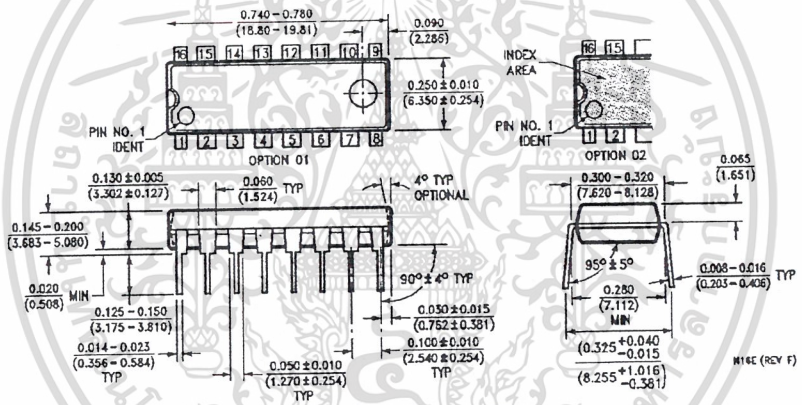
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Test Circuit (Continued)



TL/H/7149–9

Physical Dimensions inches (millimeters)



Dual-In-Line Package (N)
Order Number LM3089N
See NS Package Number N16E

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or (a) into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by MC12002/D

MOTOROLA

MC12002

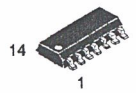
Analog Mixer

The MC12002 is a double balanced analog mixer, including an input amplifier feeding the mixer carrier port and a temperature compensated bias regulator. The input circuits for both the amplifier and mixer are differential amplifier circuits. The on-chip regulator provides all of the required biasing.

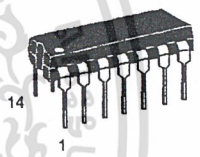
This circuit is designed for use as a balanced mixer in high-frequency wide-band circuits. Other typical applications include suppressed carrier and amplitude modulation, synchronous AM detection, FM detection, phase detection, and frequency doubling, at frequencies up to UHF.

ANALOG MIXER

SEMICONDUCTOR TECHNICAL DATA

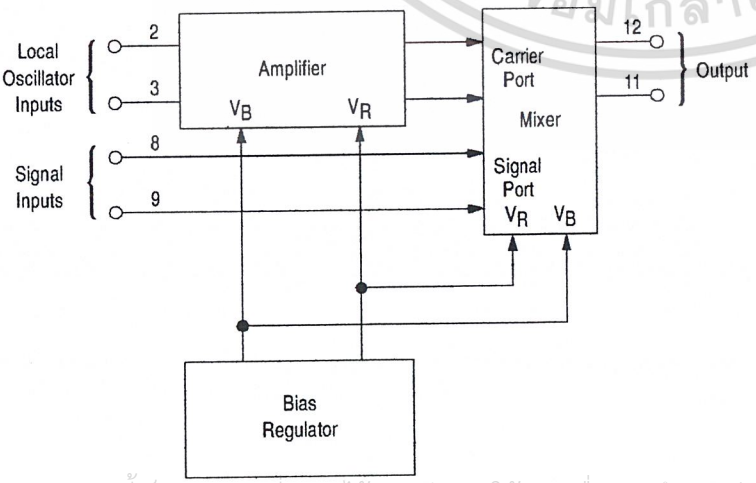


D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO–14)

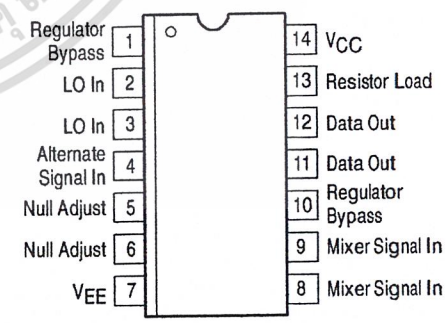


P SUFFIX
PLASTIC PACKAGE
CASE 646

Figure 1. Logic Diagram



PIN CONNECTIONS



(Top View)

ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC12002D	T_A = –30 to 85°C	SO–14
MC12002P		Plastic DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

© Motorola, Inc. 1998

ELECTRICAL CHARACTERISTICS

										TEST VOLTAGE VALUES			
										Volts			
										V_{IHmax}	V_{ILmin}	V_{CC}	
										2.9	2.0	5.0	
			Test Limits							VOLTAGE APPLIED TO PINS LISTED BELOW			
			–30°C		25°C		85°C						
Characteristic	Symbol	Pin Under Test	Min	Max	Min	Max	Min	Max	Unit	V_{IHmax}	V_{ILmin}	V_{CC}	Gnd
Power Supply Drain	I_{CC}	14	—	—	—	16	—	—	mAdc	—	—	11,12,14	5,6,7
Input Current	I_{inH}	2	—	—	—	0.75	—	—	mAdc	2	—	11,12,14	5,6,7
		3	—	—	—	0.75	—	—	mAdc	3	—	11,12,14	5,6,7
		8	—	—	—	0.75	—	—	mAdc	8	—	11,12,14	5,6,7
		9	—	—	—	0.75	—	—	mAdc	9	—	11,12,14	5,6,7
	I_{inL}	2	—	—	– 0.7	—	—	—	mAdc	—	2	11,12,14	5,6,7
		3	—	—	– 0.7	—	—	—	mAdc	—	3	11,12,14	5,6,7
		8	—	—	– 0.7	—	—	—	mAdc	—	8	11,12,14	5,6,7
		9	—	—	– 0.7	—	—	—	mAdc	—	9	11,12,14	5,6,7
Output Current	IO_1	11	—	—	0.7	1.3	—	—	mAdc	—	—	11,12,14	7
		12	—	—	0.7	1.3	—	—	mAdc	—	—	11,12,14	7
	IO_2	11	—	—	2.1	3.9	—	—	mAdc	—	—	11,12,14	5,6,7
		12	—	—	2.1	3.9	—	—	mAdc	—	—	11,12,14	5,6,7
	I_{out}	11	—	—	4.2	7.8	—	—	mAdc	2,9	—	11,12,14	5,6,7
		11	—	—	4.2	7.8		—	mAdc	3,8	—	11,12,14	5,6,7
		12	—	—	4.2	7.8		—	mAdc	2,8	—	11,12,14	5,6,7
		12	—	—	4.2	7.8		—	mAdc	3,9	—	11,12,14	5,6,7
Differential Current	ΔIO_1	11,12	–100	100	–100	100	–100	100	µAdc	—	—	11,12,14	7
	ΔIO_2	11,12	–200	200	–200	200	–200	200	µAdc	—	—	11,12,14	5,6,7
Bias Voltage	V_{Bias}	1	2.33	2.53	2.32	2.52	2.3	2.5	Vdc	—	—	11,12,14	5,6,7
		4	390	590	400	600	410	610	mVdc	—	—	11,12,14	5,6,7
		5	275	415	285	425	295	435	mVdc	—	—	11,12,14	7
		6	275	415	285	425	295	435	mVdc	—	—	11,12,14	7
		10	1.26	1.46	1.185	1.385	1.105	1.305	Vdc	—	—	11,12,14	5,6,7
										Pulse In	Pulse Out	–3.0 V	Gnd	V_{EE}
AC Gain (See Figure 1)	A_V	11	—	—	5.0	—	—	—	V/V	2	11	9	14	7
(Frequency = 100 MHz) [Note]		11	—	—	0.28	—	—	—	V/V	8	11	3	14	7

NOTE: AC Gain is a function of collector load impedance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 2. Analog Mixer Circuit Schematic

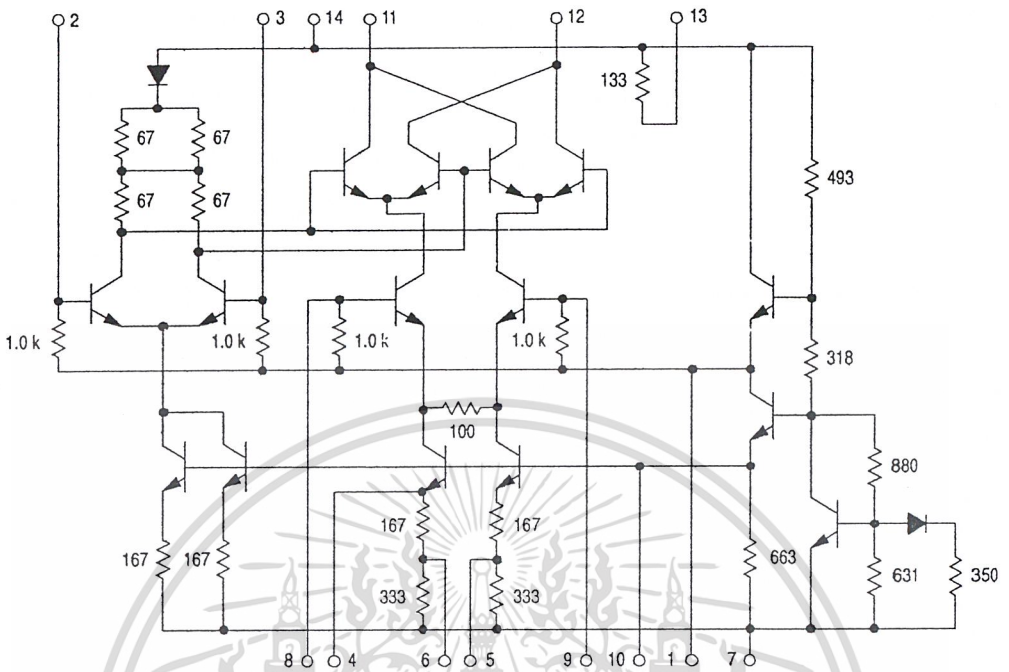
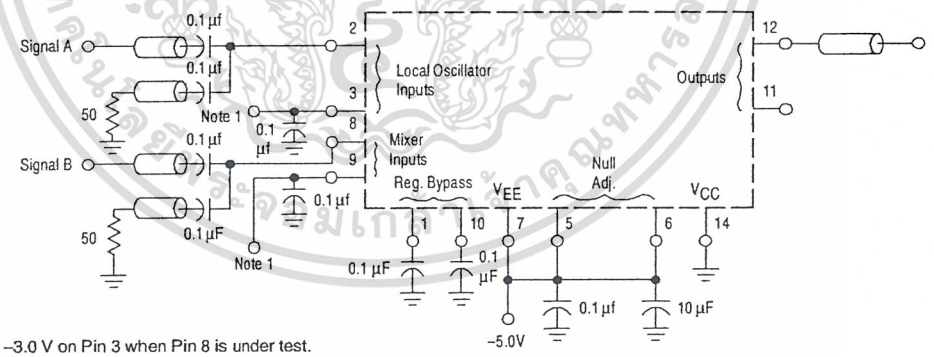


Figure 3. AC Gain Test



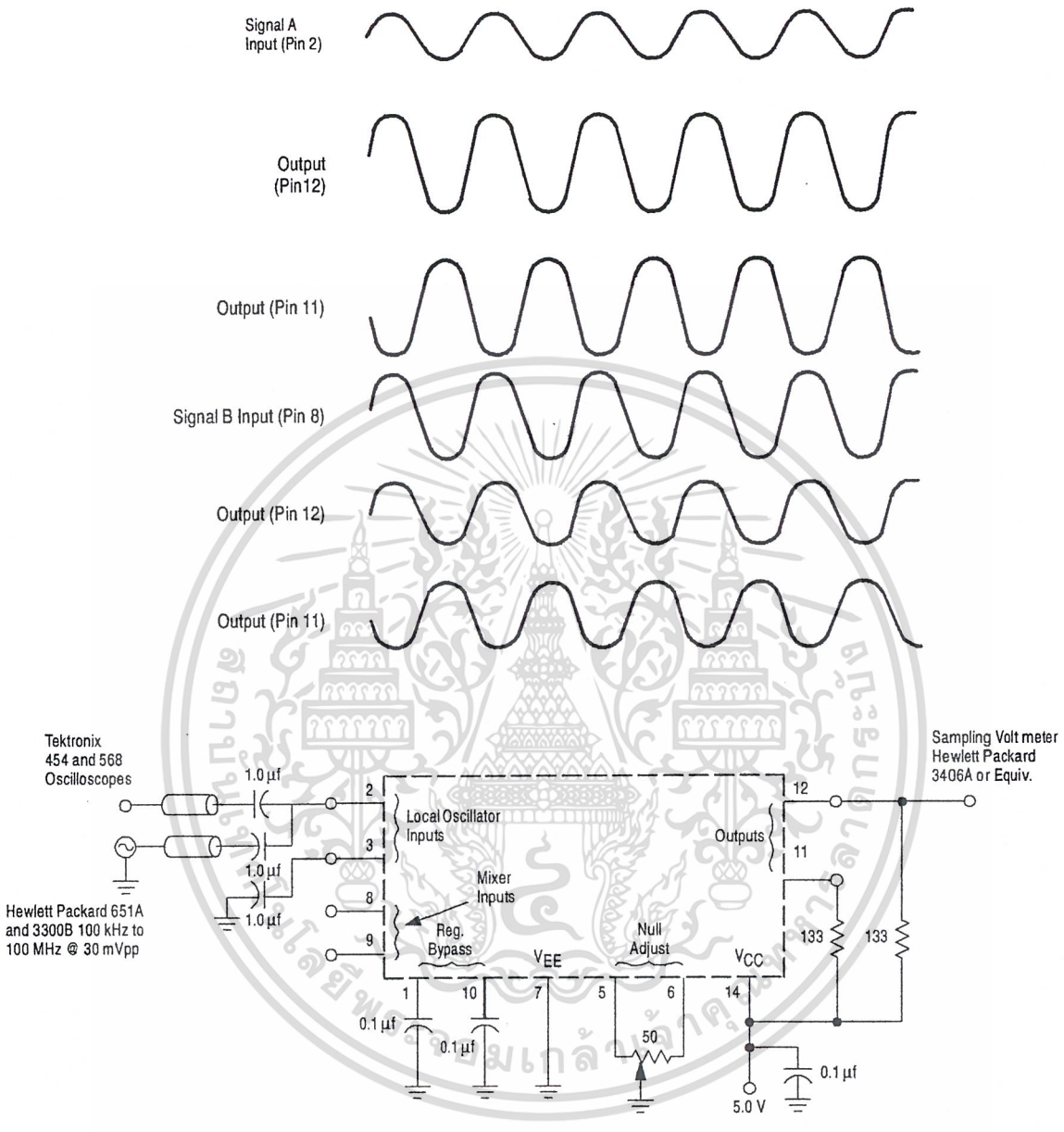
Note 1: V_{IL} = –3.0 V on Pin 3 when Pin 8 is under test.
V_{IL} = –3.0 V on Pin 9 when Pin 2 is under test.

Signal A = 30 mVpp
Signal B = 300 mVpp
Freq. = 100 MHz

All input and output cables to the scope are equal lengths of 50-Ω coaxial cable.
The unused output is connected to a 50-Ω resistor to ground.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 4. Carrier Feedthrough Test Circuits



Note: Test 1 – Adjust potentiometer for carrier null at f_c = 100 kHz.
Test 2 – Connect Pins 5 and 6 to Gnd.

All Input and output cables to the scope are equal lengths of 50-Ω coaxial cable.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 5. Carrier Feedthrough versus Frequency
(Test 1)

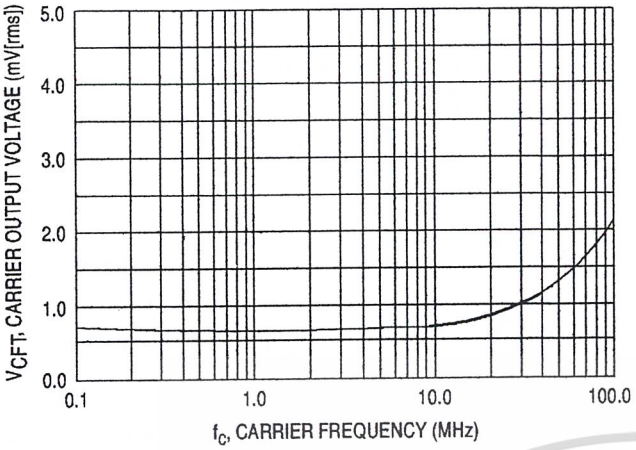


Figure 6. Carrier Feedthrough versus Frequency
(Test 2)

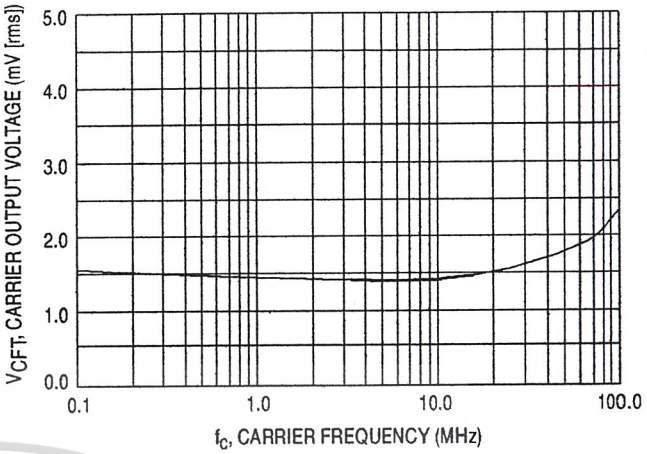
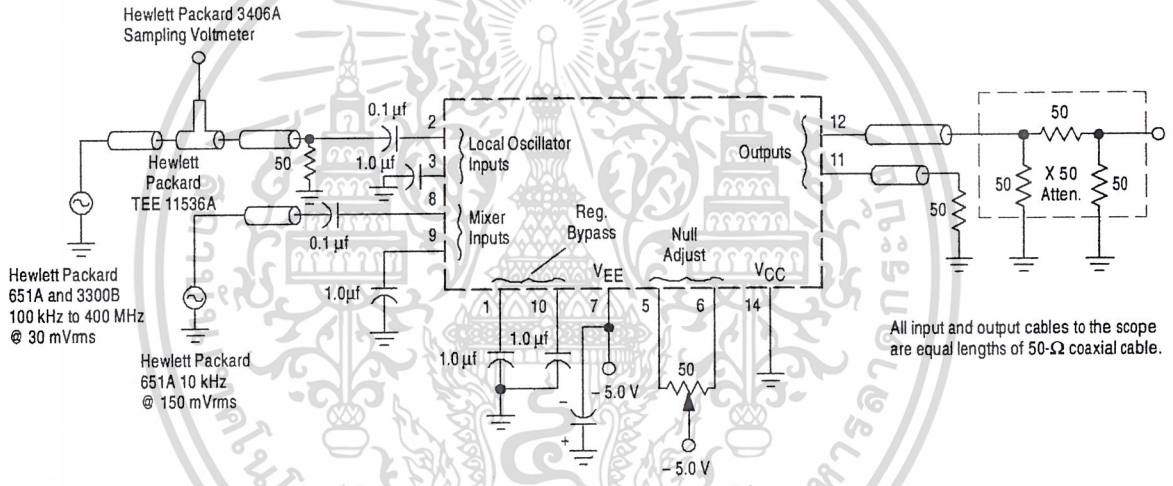


Figure 7. Carrier Suppression Test Circuit



Note: Test 1 – Adjust potentiometer for carrier null @ f_C = 100 kHz
Test 2 – Connect Pins 5 and 6 to –5.0 V
Test 3 – Adjust potentiometer for carrier null @ 25°C

Figure 8. Carrier Suppression versus Frequency
(Test 1)

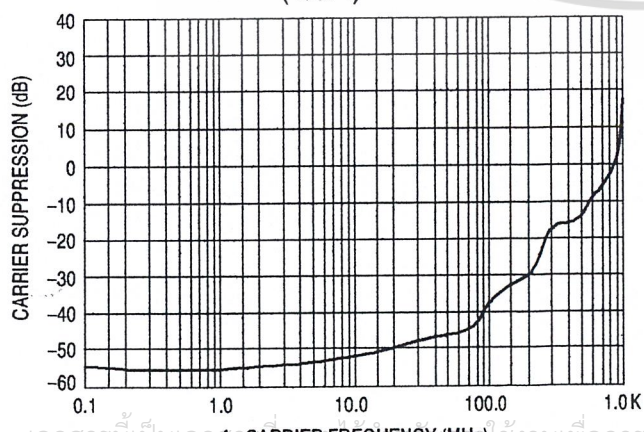
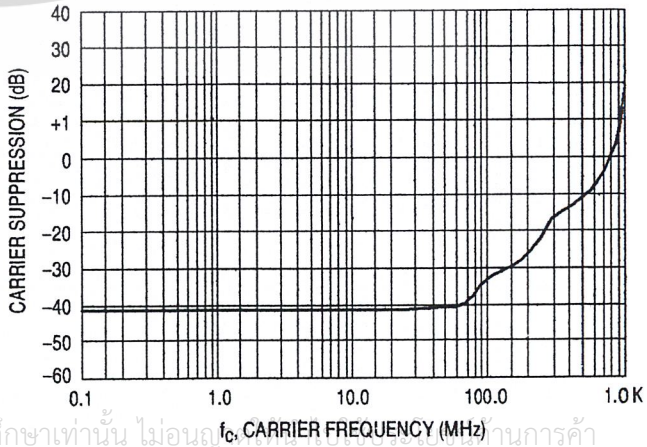


Figure 9. Carrier Suppression versus Frequency
(Test 2)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 10. Carrier Suppression versus Temperature

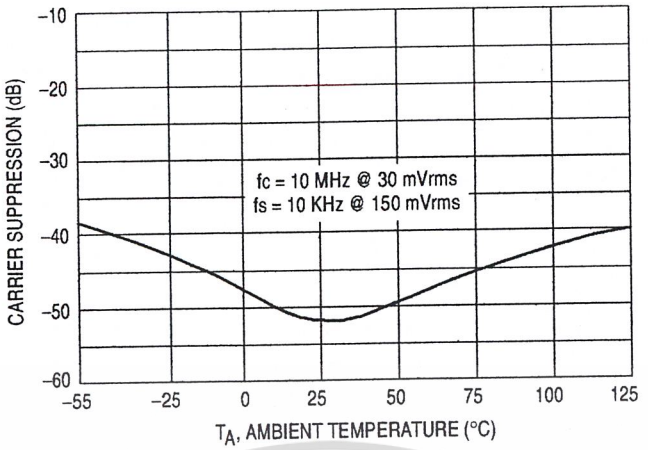


Figure 11. Output Offset Current (I_{OO}) versus Temperature

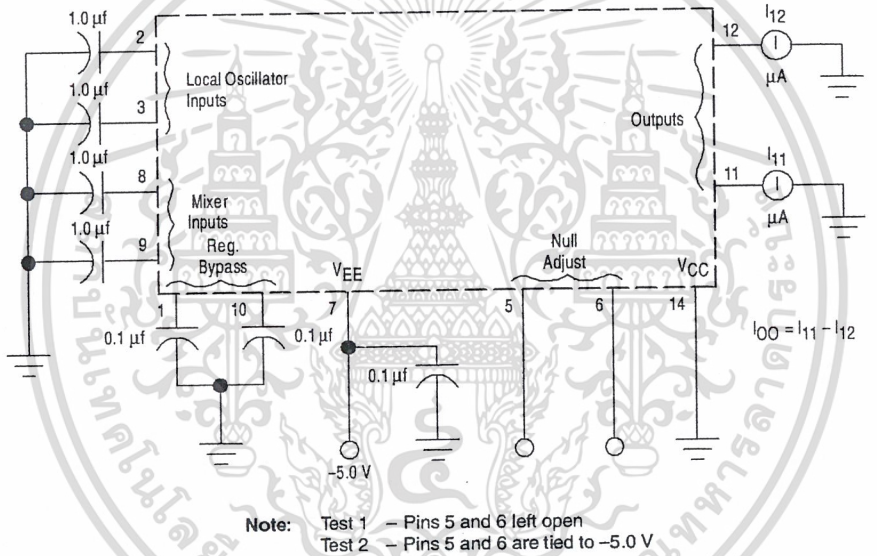


Figure 12. Output Offset Current versus Temperature

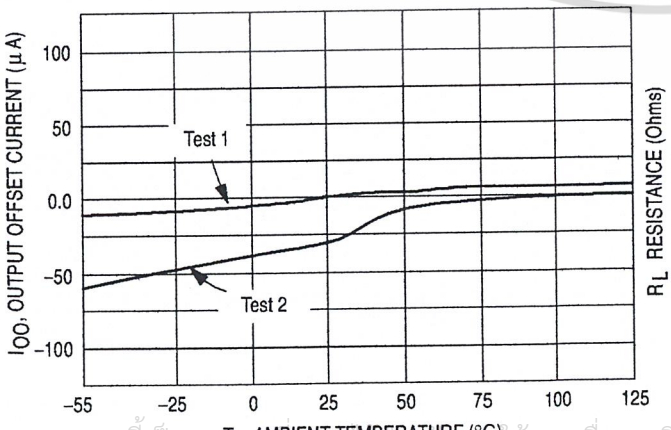
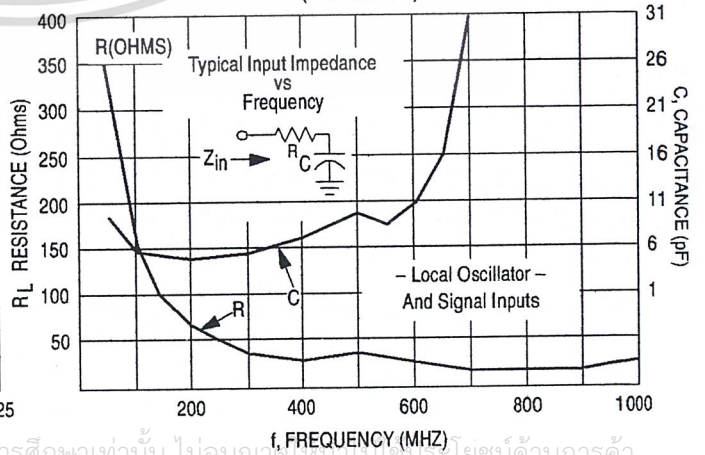


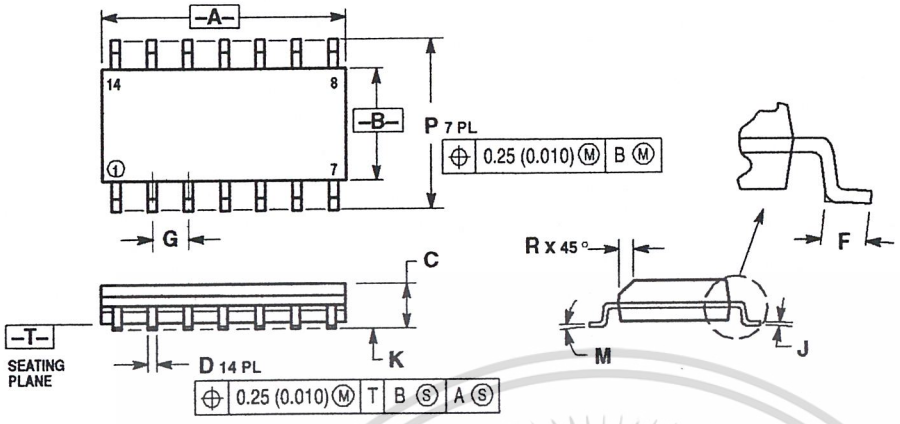
Figure 13. Typical Input Impedance versus Frequency (No Circuit)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTLINE DIMENSIONS

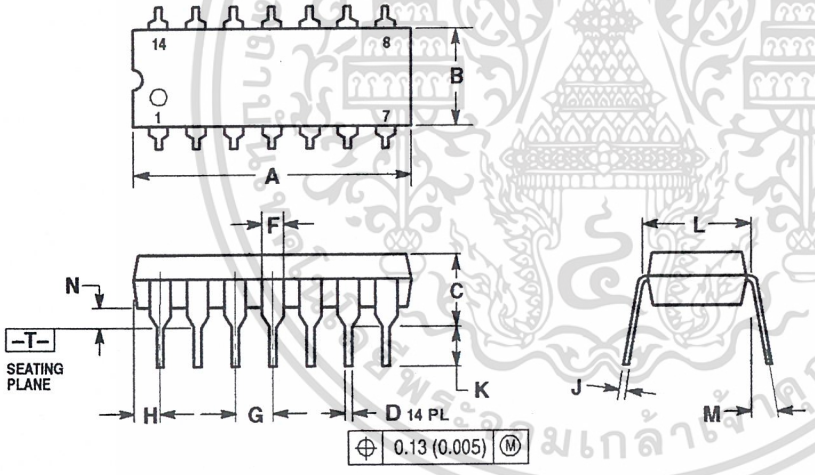
D SUFFIX
PLASTIC PACKAGE
CASE 751A–03
ISSUE F



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	8.55	8.75	0.337	0.344
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.228	0.244
R	0.25	0.50	0.010	0.019

P SUFFIX
PLASTIC PACKAGE
CASE 646–06
ISSUE M



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.715	0.770	18.16	18.80
B	0.240	0.260	6.10	6.60
C	0.145	0.185	3.69	4.69
D	0.015	0.021	0.38	0.53
F	0.040	0.070	1.02	1.78
G	0.100 BSC		2.54 BSC	
H	0.052	0.095	1.32	2.41
J	0.008	0.015	0.20	0.38
K	0.115	0.135	2.92	3.43
L	0.290	0.310	7.37	7.87
M	—	10°	—	10°
N	0.015	0.039	0.38	1.01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters which may be provided in Motorola data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and Ⓜ are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

Mfax is a trademark of Motorola, Inc.

How to reach us:
USA/EUROPE/Locations Not Listed: Motorola Literature Distribution;
P.O. Box 5405, Denver, Colorado 80217. 1–303–675–2140 or 1–800–441–2447

JAPAN: Nippon Motorola Ltd.; SPD, Strategic Planning Office, 141,
4–32–1 Nishi–Gotanda, Shinagawa–ku, Tokyo, Japan. 81–3–5487–8488

Customer Focus Center: 1–800–521–6274

Mfax™: RMFAX0@email.sps.mot.com – TOUCHTONE 1–602–244–6609
Motorola Fax Back System – US & Canada ONLY 1–800–774–1848
– http://sps.motorola.com/mfax/

ASIA/PACIFIC: Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park,
51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852–26629298

HOME PAGE: http://motorola.com/sps/

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR TECHNICAL DATA

Order this document
by MC145151-2/D

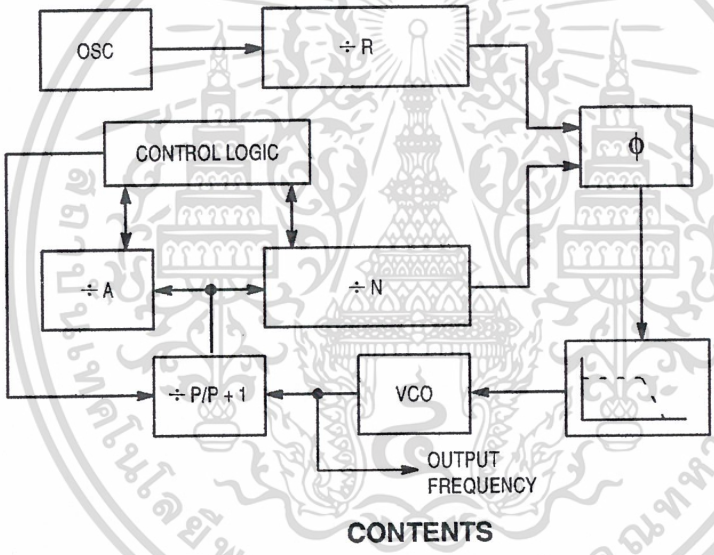
MC145151-2
MC145152-2
MC145155-2
MC145156-2
MC145157-2
MC145158-2

PLL Frequency Synthesizer Family
CMOS

The devices described in this document are typically used as low–power, phase–locked loop frequency synthesizers. When combined with an external low–pass filter and voltage–controlled oscillator, these devices can provide all the remaining functions for a PLL frequency synthesizer operating up to the device's frequency limit. For higher VCO frequency operation, a down mixer or a prescaler can be used between the VCO and the synthesizer IC.

These frequency synthesizer chips can be found in the following and other applications:

CATV
AM/FM Radios
Two–Way Radios
TV Tuning
Scanning Receivers
Amateur Radio



CONTENTS

Page

DEVICE DETAIL SHEETS

MC145151–2 Parallel–Input, Single–Modulus 2
MC145152–2 Parallel–Input, Dual–Modulus 5
MC145155–2 Serial–Input, Single–Modulus (Not Recommended for New Designs) 9
MC145156–2 Serial–Input, Dual–Modulus (Not Recommended for New Designs) 13
MC145157–2 Serial–Input, Single–Modulus 17
MC145158–2 Serial–Input, Dual–Modulus 20

FAMILY CHARACTERISTICS

Maximum Ratings 23
DC Electrical Characteristics 23
AC Electrical Characteristics 25
Timing Requirements 26
Frequency Characteristics 27
Phase Detector/Lock Detector Output Waveforms 27

DESIGN CONSIDERATIONS

Phase–Locked Loop — Low–Pass Filter Design 28
Crystal Oscillator Considerations 29
Dual–Modulus Prescaling 30

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

REV 3
1/99

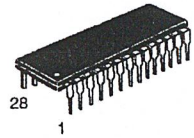
© Motorola, Inc. 1998

MOTOROLA

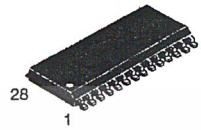
MC145152-2

Parallel-Input PLL Frequency Synthesizer

Interfaces with Dual–Modulus Prescalers



P SUFFIX
PLASTIC DIP
CASE 710



DW SUFFIX
SOG PACKAGE
CASE 751F

ORDERING INFORMATION

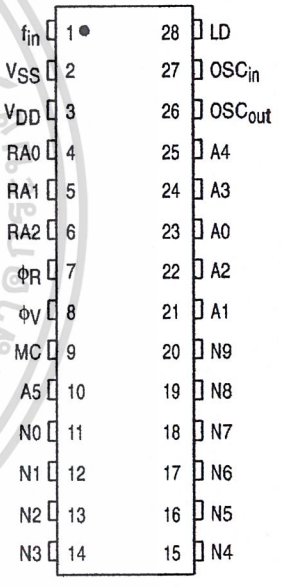
MC145152P2	Plastic DIP
MC145152DW2	SOG Package

The MC145152–2 is programmed by sixteen parallel inputs for the N and A counters and three input lines for the R counter. The device features consist of a reference oscillator, selectable–reference divider, two–output phase detector, 10–bit programmable divide–by–N counter, and 6–bit programmable ÷ A counter.

The MC145152–2 is an improved–performance drop–in replacement for the MC145152–1. Power consumption has decreased and ESD and latch–up performance have improved.

- Operating Temperature Range: – 40 to 85°C
- Low Power Consumption Through Use of CMOS Technology
- 3.0 to 9.0 V Supply Range
- On– or Off–Chip Reference Oscillator Operation
- Lock Detect Signal
- Dual Modulus/Parallel Programming
- 8 User–Selectable ÷ R Values: 8, 64, 128, 256, 512, 1024, 1160, 2048
- ÷ N Range = 3 to 1023, ÷ A Range = 0 to 63
- Chip Complexity: 8000 FETs or 2000 Equivalent Gates
- See Application Note AN980

PIN ASSIGNMENT

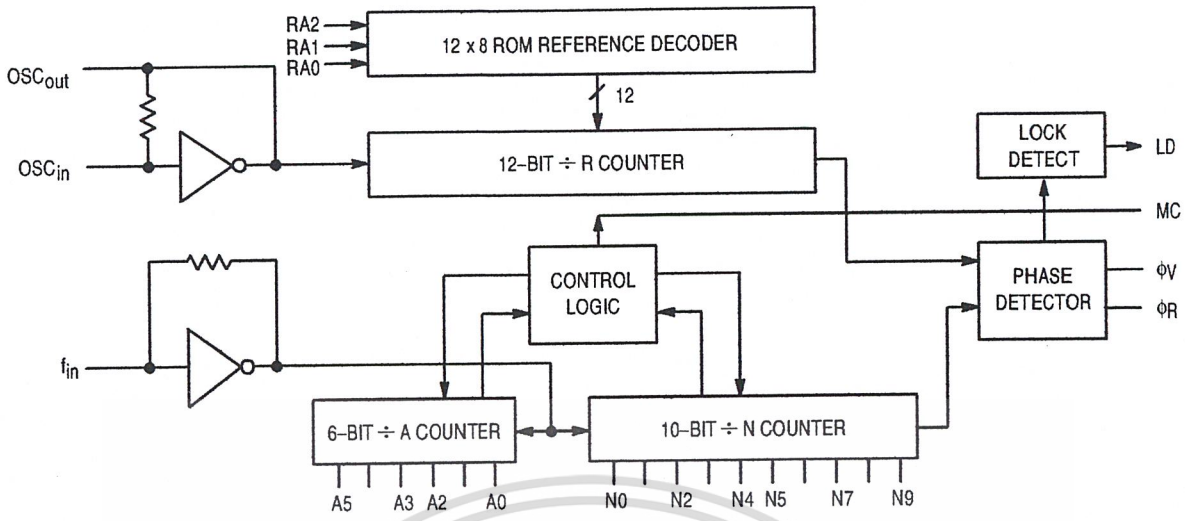


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

REV 1
8/95

© Motorola, Inc. 1995

MC145152–2 BLOCK DIAGRAM



NOTE: N0 – N9, A0 – A5, and RA0 – RA2 have pull–up resistors that are not shown.

PIN DESCRIPTIONS

INPUT PINS

f_{in}
Frequency Input (Pin 1)

Input to the positive edge triggered ÷ N and ÷ A counters. f_{in} is typically derived from a dual–modulus prescaler and is ac coupled into the device. For larger amplitude signals (standard CMOS logic levels) dc coupling may be used.

RA0, RA1, RA2
Reference Address Inputs (Pins 4, 5, 6)

These three inputs establish a code defining one of eight possible divide values for the total reference divider. The total reference divide values are as follows:

Reference Address Code			Total Divide Value
RA2	RA1	RA0	
0	0	0	8
0	0	1	64
0	1	0	128
0	1	1	256
1	0	0	512
1	0	1	1024
1	1	0	1160
1	1	1	2048

N0 – N9
N Counter Programming Inputs (Pins 11 – 20)

The N inputs provide the data that is preset into the ÷ N counter when it reaches the count of 0. N0 is the least significant digit and N9 is the most significant. Pull–up resistors ensure that inputs left open remain at a logic 1 and require only a SPST switch to alter data to the zero state.

A0 – A5
A Counter Programming Inputs (Pins 23, 21, 22, 24, 25, 10)

The A inputs define the number of clock cycles of f_{in} that require a logic 0 on the MC output (see **Dual–Modulus Prescaling** section). The A inputs all have internal pull–up resistors that ensure that inputs left open will remain at a logic 1.

OSC_{in}, OSC_{out}
Reference Oscillator Input/Output (Pins 27, 26)

These pins form an on–chip reference oscillator when connected to terminals of an external parallel resonant crystal. Frequency setting capacitors of appropriate value must be connected from OSC_{in} to ground and OSC_{out} to ground. OSC_{in} may also serve as the input for an externally–generated reference signal. This signal is typically ac coupled to OSC_{in}, but for larger amplitude signals (standard CMOS logic levels) dc coupling may also be used. In the external reference mode, no connection is required to OSC_{out}.

OUTPUT PINS

ϕR, ϕV
Phase Detector B Outputs (Pins 7, 8)

These phase detector outputs can be combined externally for a loop–error signal.

If the frequency f_V is greater than f_R or if the phase of f_V is leading, then error information is provided by ϕV pulsing low. ϕR remains essentially high.

If the frequency f_V is less than f_R or if the phase of f_V is lagging, then error information is provided by ϕR pulsing low. ϕV remains essentially high.

If the frequency of $f_V = f_R$ and both are in phase, then both ϕV and ϕR remain high except for a small minimum time period when both pulse low in phase.

MC
Dual–Modulus Prescale Control Output (Pin 9)

Signal generated by the on–chip control logic circuitry for controlling an external dual–modulus prescaler. The MC level will be low at the beginning of a count cycle and will remain low until the ÷ A counter has counted down from its programmed value. At this time, MC goes high and remains high until the ÷ N counter has counted the rest of the way down from its programmed value (N – A additional counts since both ÷ N and ÷ A are counting down during the first

ใบอนุญาตนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ดัดแปลง เผยแพร่ หรือใช้งานเพื่อการค้า

portion of the cycle). MC is then set back low, the counters preset to their respective programmed values, and the above sequence repeated. This provides for a total programmable divide value (N_T) = N • P + A where P and P + 1 represent the dual–modulus prescaler divide values respectively for high and low MC levels, N the number programmed into the ÷ N counter, and A the number programmed into the ÷ A counter.

LD
Lock Detector Output (Pin 28)

Essentially a high level when loop is locked (f_R, f_V of same phase and frequency). Pulses low when loop is out of lock.

POWER SUPPLY

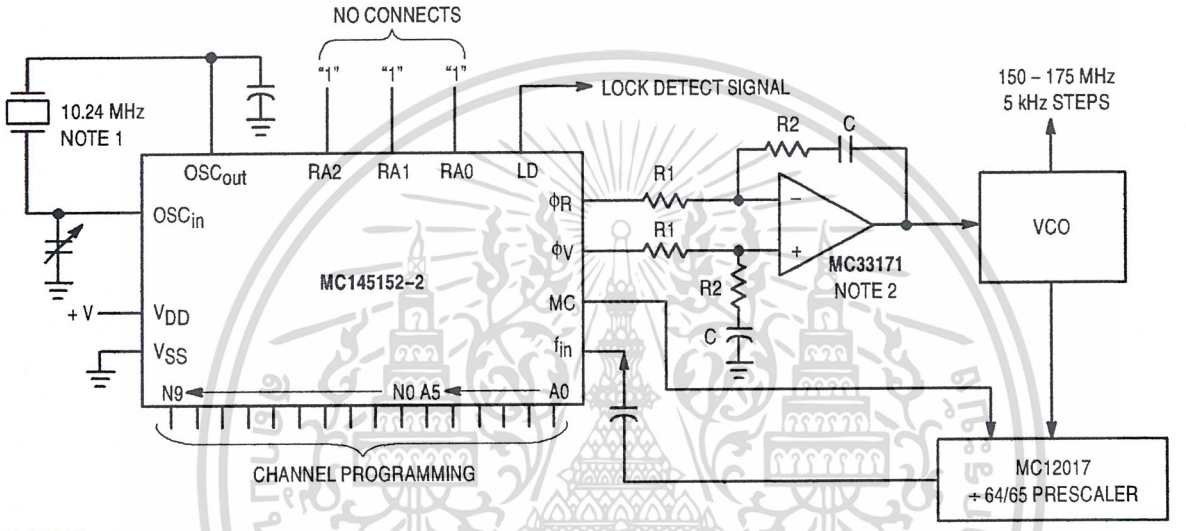
V_{DD}
Positive Power Supply (Pin 3)

The positive power supply potential. This pin may range from + 3 to + 9 V with respect to V_{SS}.

V_{SS}
Negative Power Supply (Pin 2)

The most negative supply potential. This pin is usually ground.

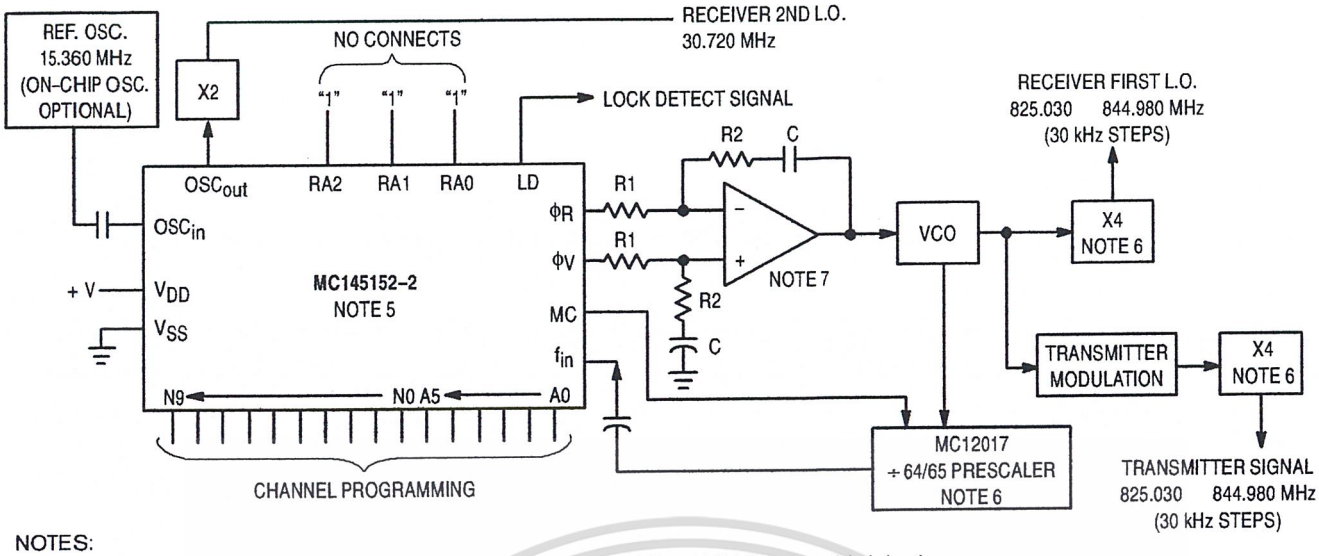
TYPICAL APPLICATIONS



NOTES:
1. Off–chip oscillator optional.
2. The ϕ_R and ϕ_V outputs are fed to an external combiner/loop filter. See the Phase–Locked Loop — Low–Pass Filter Design page for additional information. The ϕ_R and ϕ_V outputs swing rail–to–rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

Figure 1. Synthesizer for Land Mobile Radio VHF Bands

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTES:

1. Receiver 1st I.F. = 45 MHz, low side injection; Receiver 2nd I.F. = 11.7 MHz, low side injection.
2. Duplex operation with 45 MHz receiver/transmit separation.
3. f_R = 7.5 kHz; ÷ R = 2048.
4. N_{total} = N • 64 + A = 27501 to 28166; N = 429 to 440; A = 0 to 63.
5. MC145158–2 may be used where serial data entry is desired.
6. High frequency prescalers (e.g., MC12018 [520 MHz] and MC12022 [1 GHz]) may be used for higher frequency VCO and f_{ref} implementations.
7. The ϕ_R and ϕ_V outputs are fed to an external combiner/loop filter. See the Phase–Locked Loop — Low–Pass Filter Design page for additional information. The ϕ_R and ϕ_V outputs swing rail–to–rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

Figure 2. 666–Channel, Computer–Controlled, Mobile Radiotelephone Synthesizer for 800 MHz Cellular Radio Systems

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา

MC145152-2 Data Sheet Continued on Page 23

MC14515X–2 FAMILY CHARACTERISTICS AND DESCRIPTIONS

MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage	– 0.5 to + 10.0	V
V_{in}, V_{out}	Input or Output Voltage (DC or Transient) except SW1, SW2	– 0.5 to V_{DD} + 0.5	V
V_{out}	Output Voltage (DC or Transient), SW1, SW2 ($R_{pull-up}$ = 4.7 kΩ)	– 0.5 to + 15	V
I_{in}, I_{out}	Input or Output Current (DC or Transient), per Pin	± 10	mA
I_{DD}, I_{SS}	Supply Current, V_{DD} or V_{SS} Pins	± 30	mA
P_D	Power Dissipation, per Package†	500	mW
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 seconds	260	°C

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the limits in the Electrical Characteristics tables or Pin Descriptions section.

†Power Dissipation Temperature Derating:
Plastic DIP: – 12 mW/°C from 65 to 85°C
SOG Package: – 7 mW/°C from 65 to 85°C

These devices contain protection circuitry to protect against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to these high–impedance circuits. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$ except for SW1 and SW2.

SW1 and SW2 can be tied through external resistors to voltages as high as 15 V, independent of the supply voltage.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}), except for inputs with pull–up devices. Unused outputs must be left open.

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Symbol	Parameter	Test Condition	V_{DD} V	–40°C Min	–40°C Max	25°C Min	25°C Max	85°C Min	85°C Max	Unit
V_{DD}	Power Supply Voltage Range		—	3	9	3	9	3	9	V
I_{ss}	Dynamic Supply Current	$f_{in} = OSC_{in}$ = 10 MHz, 1 V p–p ac coupled sine wave R = 128, A = 32, N = 128	3	—	3.5	—	3	—	3	mA
			5	—	10	—	7.5	—	7.5	
			9	—	30	—	24	—	24	
I_{SS}	Quiescent Supply Current (not including pull–up current component)	$V_{in} = V_{DD}$ or V_{SS}, I_{out} = 0 µA	3	—	800	—	800	—	1600	µA
			5	—	1200	—	1200	—	2400	
			9	—	1600	—	1600	—	3200	
V_{in}	Input Voltage — f_{in}, OSC_{in}	Input ac coupled sine wave	—	500	—	500	—	500	—	mV p–p
V_{IL}	Low–Level Input Voltage — f_{in}, OSC_{in}	$V_{out} \ge 2.1$ V Input dc	3	—	0	—	0	—	0	V
		$V_{out} \ge 3.5$ V coupled	5	—	0	—	0	—	0	
		$V_{out} \ge 6.3$ V square wave	9	—	0	—	0	—	0	
V_{IH}	High–Level Input Voltage — f_{in}, OSC_{in}	$V_{out} \le 0.9$ V Input dc	3	3.0	—	3.0	—	3.0	—	V
		$V_{out} \le 1.5$ V coupled	5	5.0	—	5.0	—	5.0	—	
		$V_{out} \le 2.7$ V square wave	9	9.0	—	9.0	—	9.0	—	
V_{IL}	Low–Level Input Voltage — except f_{in}, OSC_{in}		3	—	0.9	—	0.9	—	0.9	V
			5	—	1.5	—	1.5	—	1.5	
			9	—	2.7	—	2.7	—	2.7	
V_{IH}	High–Level Input Voltage — except f_{in}, OSC_{in}		3	2.1	—	2.1	—	2.1	—	V
			5	3.5	—	3.5	—	3.5	—	
			9	6.3	—	6.3	—	6.3	—	
I_{in}	Input Current (f_{in}, OSC_{in})	$V_{in} = V_{DD}$ or V_{SS}	9	±2	±50	±2	±25	±2	±22	µA
I_{IL}	Input Leakage Current (Data, CLK, ENB — without pull–ups)	$V_{in} = V_{SS}$	9	—	–0.3	—	–0.1	—	–1.0	µA
I_{IH}	Input Leakage Current (all inputs except f_{in}, OSC_{in})	$V_{in} = V_{DD}$	9	—	0.3	—	0.1	—	1.0	µA

(continued)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (continued)

Symbol	Parameter	Test Condition	V_{DD} V	−40°C		25°C		85°C		Unit
				Min	Max	Min	Max	Min	Max	
I_{IL}	Pull–up Current (all inputs with pull–ups)	$V_{in} = V_{SS}$	9	−20	−400	−20	−200	−20	−170	μA
C_{in}	Input Capacitance		—	—	10	—	10	—	10	pF
V_{OL}	Low–Level Output Voltage — OSC_{out}	$I_{out} \approx 0$ μA $V_{in} = V_{DD}$	3 5 9	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	V
V_{OH}	High–Level Output Voltage — OSC_{out}	$I_{out} \approx 0$ μA $V_{in} = V_{SS}$	3 5 9	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	V
V_{OL}	Low–Level Output Voltage — Other Outputs	$I_{out} \approx 0$ μA	3 5 9	— — —	0.05 0.05 0.05	— — —	0.05 0.05 0.05	— — —	0.05 0.05 0.05	V
V_{OH}	High–Level Output Voltage — Other Outputs	$I_{out} \approx 0$ μA	3 5 9	2.95 4.95 8.95	— — —	2.95 4.95 8.95	— — —	2.95 4.95 8.95	— — —	V
$V_{(BR)DSS}$	Drain–to–Source Breakdown Voltage — SW1, SW2	$R_{pull–up} = 4.7$ kΩ	—	15	—	15	—	15	—	V
I_{OL}	Low–Level Sinking Current — MC	$V_{out} = 0.3$ V $V_{out} = 0.4$ V $V_{out} = 0.5$ V	3 5 9	1.30 1.90 3.80	— — —	1.10 1.70 3.30	— — —	0.66 1.08 2.10	— — —	mA
I_{OH}	High–Level Sourcing Current — MC	$V_{out} = 2.7$ V $V_{out} = 4.6$ V $V_{out} = 8.5$ V	3 5 9	−0.60 −0.90 −1.50	— — —	−0.50 −0.75 −1.25	— — —	−0.30 −0.50 −0.80	— — —	mA
I_{OL}	Low–Level Sinking Current — LD	$V_{out} = 0.3$ V $V_{out} = 0.4$ V $V_{out} = 0.5$ V	3 5 9	0.25 0.64 1.30	— — —	0.20 0.51 1.00	— — —	0.15 0.36 0.70	— — —	mA
I_{OH}	High–Level Sourcing Current — LD	$V_{out} = 2.7$ V $V_{out} = 4.6$ V $V_{out} = 8.5$ V	3 5 9	−0.25 −0.64 −1.30	— — —	−0.20 −0.51 −1.00	— — —	−0.15 −0.36 −0.70	— — —	mA
I_{OL}	Low–Level Sinking Current — SW1, SW2	$V_{out} = 0.3$ V $V_{out} = 0.4$ V $V_{out} = 0.5$ V	3 5 9	0.80 1.50 3.50	— — —	0.48 0.90 2.10	— — —	0.24 0.45 1.05	— — —	mA
I_{OL}	Low–Level Sinking Current — Other Outputs	$V_{out} = 0.3$ V $V_{out} = 0.4$ V $V_{out} = 0.5$ V	3 5 9	0.44 0.64 1.30	— — —	0.35 0.51 1.00	— — —	0.22 0.36 0.70	— — —	mA
I_{OH}	High–Level Sourcing Current — Other Outputs	$V_{out} = 2.7$ V $V_{out} = 4.6$ V $V_{out} = 8.5$ V	3 5 9	−0.44 −0.64 −1.30	— — —	−0.35 −0.51 −1.00	— — —	−0.22 −0.36 −0.70	— — —	mA
I_{OZ}	Output Leakage Current — PD_{out}	$V_{out} = V_{DD}$ or V_{SS} Output in Off State	9	—	±0.3	—	±0.1	—	±1.0	μA
I_{OZ}	Output Leakage Current — SW1, SW2	$V_{out} = V_{DD}$ or V_{SS} Output in Off State	9	—	±0.3	—	±0.1	—	±3.0	μA
C_{out}	Output Capacitance — PD_{out}	PD_{out} — Three–State	—	—	10	—	10	—	10	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 10 ns)

Symbol	Parameter	V_{DD} V	Guaranteed Limit 25°C	Guaranteed Limit – 40 to 85°C	Unit
t_{PLH}, t_{PHL}	Maximum Propagation Delay, f_{in} to MC (Figures 1 and 4)	3 5 9	110 60 35	120 70 40	ns
t_{PHL}	Maximum Propagation Delay, ENB to SW1, SW2 (Figures 1 and 5)	3 5 9	160 80 50	180 95 60	ns
t_W	Output Pulse Width, ϕ_R, ϕ_V, and LD with f_R in Phase with f_V (Figures 2 and 4)	3 5 9	25 to 200 20 to 100 10 to 70	25 to 260 20 to 125 10 to 80	ns
t_{TLH}	Maximum Output Transition Time, MC (Figures 3 and 4)	3 5 9	115 60 40	115 75 60	ns
t_{THL}	Maximum Output Transition Time, MC (Figures 3 and 4)	3 5 9	60 34 30	70 45 38	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, LD (Figures 3 and 4)	3 5 9	180 90 70	200 120 90	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Other Outputs (Figures 3 and 4)	3 5 9	160 80 60	175 100 65	ns

SWITCHING WAVEFORMS

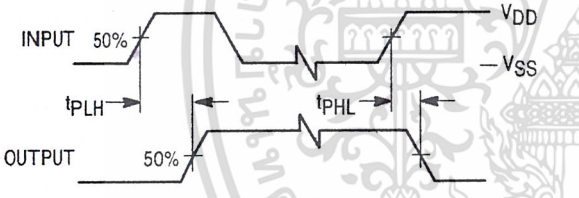


Figure 1.

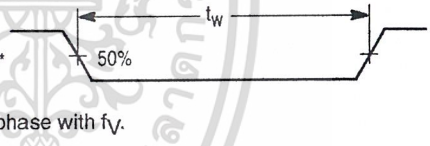
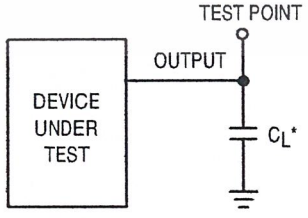


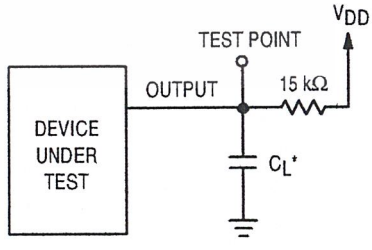
Figure 2.

Figure 3.



* Includes all probe and fixture capacitance.

Figure 4. Test Circuit



* Includes all probe and fixture capacitance.

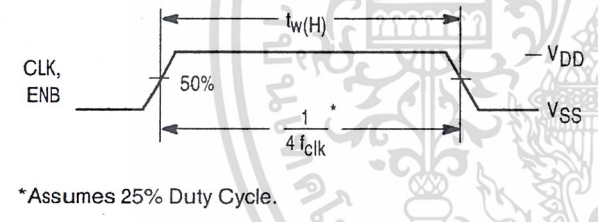
Figure 5. Test Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING REQUIREMENTS (Input $t_r = t_f = 10$ ns unless otherwise indicated)

Symbol	Parameter	V_{DD} V	Guaranteed Limit 25°C	Guaranteed Limit – 40 to 85°C	Unit
f_{clk}	Serial Data Clock Frequency, Assuming 25% Duty Cycle NOTE: Refer to CLK $t_{w(H)}$ below (Figure 6)	3 5 9	dc to 5.0 dc to 7.1 dc to 10	dc to 3.5 dc to 7.1 dc to 10	MHz
t_{su}	Minimum Setup Time, Data to CLK (Figure 7)	3 5 9	30 20 18	30 20 18	ns
t_h	Minimum Hold Time, CLK to Data (Figure 7)	3 5 9	40 20 15	40 20 15	ns
t_{su}	Minimum Setup Time, CLK to ENB (Figure 7)	3 5 9	70 32 25	70 32 25	ns
t_{rec}	Minimum Recovery Time, ENB to CLK (Figure 7)	3 5 9	5 10 20	5 10 20	ns
$t_{w(H)}$	Minimum Pulse Width, CLK and ENB (Figure 6)	3 5 9	50 35 25	70 35 25	ns
t_r, t_f	Maximum Input Rise and Fall Times — Any Input (Figure 8)	3 5 9	5 4 2	5 4 2	µs

SWITCHING WAVEFORMS



*Assumes 25% Duty Cycle.

Figure 6.

Figure 8.

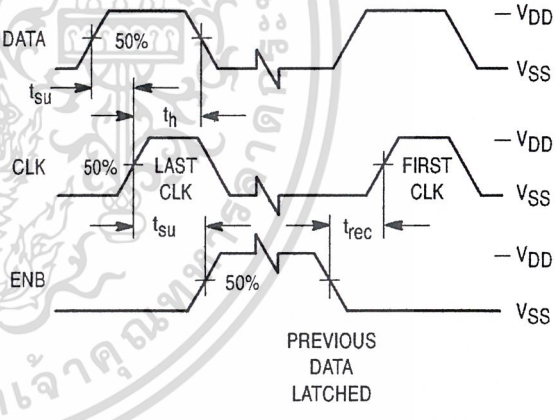


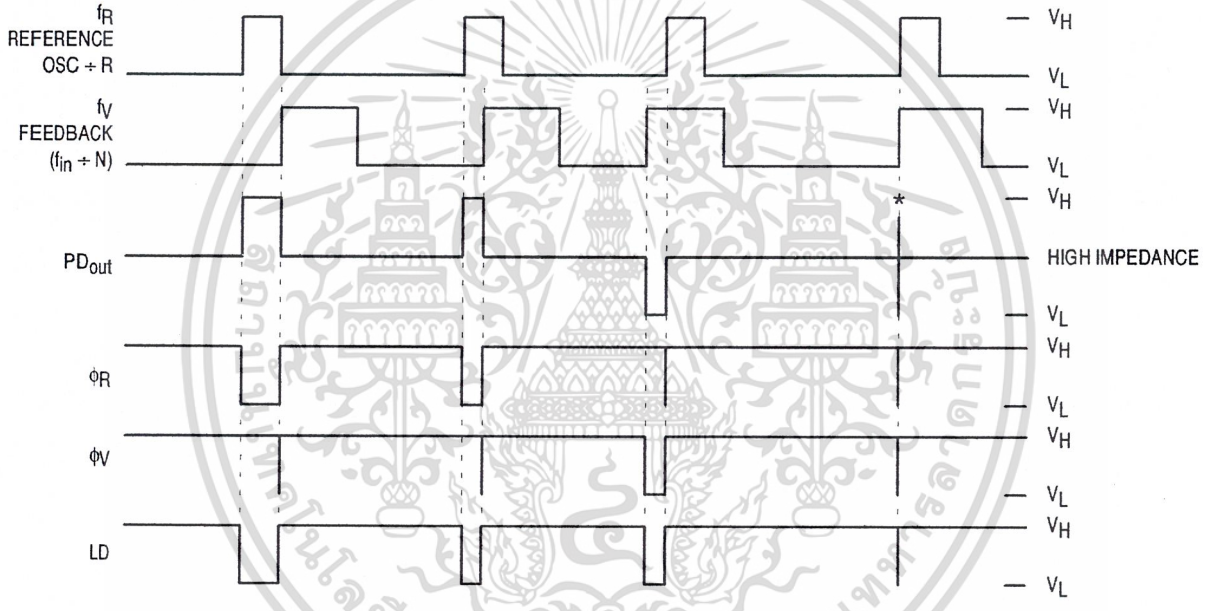
Figure 7.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FREQUENCY CHARACTERISTICS (Voltages References to V_{SS}, C_L = 50 pF, Input $t_r = t_f$ =10 ns unless otherwise indicated)

Symbol	Parameter	Test Condition	V_{DD} V	– 40°C		25°C		85°C		Unit
				Min	Max	Min	Max	Min	Max	
f_i	Input Frequency (f_{in}, OSC_{in})	R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = 500 mV p–p ac coupled sine wave	3 5 9	— — —	6 15 15	— — —	6 15 15	— — —	6 15 15	MHz
		R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = 1 V p–p ac coupled sine wave	3 5 9	— — —	12 22 25	— — —	12 20 22	— — —	7 20 22	MHz
		R ≥ 8, A ≥ 0, N ≥ 8 $V_{in} = V_{DD}$ to V_{SS} dc coupled square wave	3 5 9	— — —	13 25 25	— — —	12 22 25	— — —	8 22 25	MHz

NOTE: Usually, the PLL's propagation delay from f_{in} to MC plus the setup time of the prescaler determines the upper frequency limit of the system. The upper frequency limit is found with the following formula: $f = P/(t_P + t_{set})$ where f is the upper frequency in Hz, P is the lower of the dual modulus prescaler ratios, t_P is the f_{in} to MC propagation delay in seconds, and t_{set} is the prescaler setup time in seconds.
For example, with a 5 V supply, the f_{in} to MC delay is 70 ns. If the MC12028A prescaler is used, the setup time is 16 ns. Thus, if the 64/65 ratio is utilized, the upper frequency limit is $f = P/(t_P + t_{set}) = 64/(70 + 16) = 744$ MHz.



V_H = High Voltage Level.
V_L = Low Voltage Level.
* At this point, when both f_R and f_V are in phase, the output is forced to near mid–supply.
NOTE: The PD_{out} generates error pulses during out–of–lock conditions. When locked in phase and frequency the output is high and the voltage at this pin is determined by the low–pass filter capacitor.

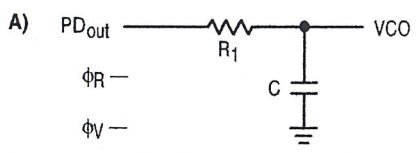
Figure 9. Phase Detector/Lock Detector Output Waveforms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESIGN CONSIDERATIONS

PHASE–LOCKED LOOP — LOW–PASS FILTER DESIGN

A)

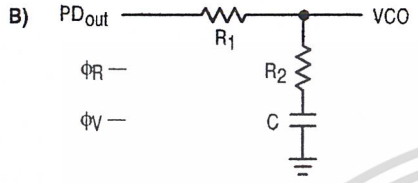


$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NR_1C}}$$

$$\zeta = \frac{N\omega_n}{2K_\phi K_{VCO}}$$

$$F(s) = \frac{1}{R_1sC + 1}$$

B)

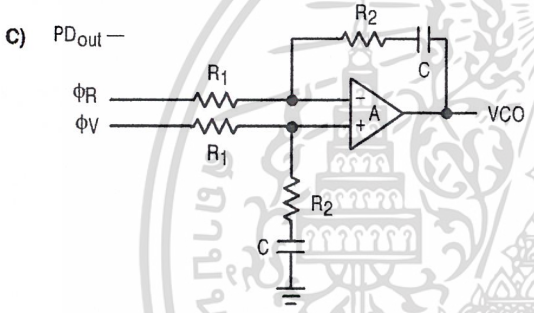


$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NC(R_1 + R_2)}}$$

$$\zeta = 0.5\,\omega_n \left(R_2C + \frac{N}{K_\phi K_{VCO}}\right)$$

$$F(s) = \frac{R_2sC + 1}{(R_1 + R_2)sC + 1}$$

C)



$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NCR_1}}$$

$$\zeta = \frac{\omega_n R_2 C}{2}$$

ASSUMING GAIN A IS VERY LARGE, THEN:

$$F(s) = \frac{R_2sC + 1}{R_1sC}$$

NOTE: Sometimes R_1 is split into two series resistors, each $R_1 \div 2$. A capacitor C_C is then placed from the midpoint to ground to further filter ϕ_V and ϕ_R. The value of C_C should be such that the corner frequency of this network does not significantly affect ω_n. The ϕ_R and ϕ_V outputs swing rail–to–rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

DEFINITIONS:

N = Total Division Ratio in feedback loop

K_ϕ (Phase Detector Gain) = $V_{DD}/4\pi$ for PD_{out}

K_ϕ (Phase Detector Gain) = $V_{DD}/2\pi$ for ϕ_V and ϕ_R

K_{VCO} (VCO Gain) = $\frac{2\pi\Delta f_{VCO}}{\Delta V_{VCO}}$

for a typical design w_n (Natural Frequency) $\approx \frac{2\pi fr}{10}$ (at phase detector input).

Damping Factor: $\zeta \cong 1$

RECOMMENDED READING:

Gardner, Floyd M., *Phaselock Techniques (second edition).* New York, Wiley–Interscience, 1979.

Manassewitsch, Vadim, *Frequency Synthesizers: Theory and Design (second edition).* New York, Wiley–Interscience, 1980.

Blanchard, Alain, *Phase–Locked Loops: Application to Coherent Receiver Design.* New York, Wiley–Interscience, 1976.

Egan, William F., *Frequency Synthesis by Phase Lock.* New York, Wiley–Interscience, 1981.

Rohde, Ulrich L., *Digital PLL Frequency Synthesizers Theory and Design.* Englewood Cliffs, NJ, Prentice–Hall, 1983.

Berlin, Howard M., *Design of Phase–Locked Loop Circuits, with Experiments.* Indianapolis, Howard W. Sams and Co., 1978.

Kinley, Harold, *The PLL Synthesizer Cookbook.* Blue Ridge Summit, PA, Tab Books, 1980.

AN535, Phase–Locked Loop Design Fundamentals, Motorola Semiconductor Products, Inc., 1970.

AR254, Phase–Locked Loop Design Articles, Motorola Semiconductor Products, Inc., Reprinted with permission from *Electronic Design,* 1987.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CRYSTAL OSCILLATOR CONSIDERATIONS

The following options may be considered to provide a reference frequency to Motorola's CMOS frequency synthesizers.

Use of a Hybrid Crystal Oscillator

Commercially available temperature–compensated crystal oscillators (TCXOs) or crystal–controlled data clock oscillators provide very stable reference frequencies. An oscillator capable of sinking and sourcing 50 µA at CMOS logic levels may be direct or dc coupled to OSC_{in}. In general, the highest frequency capability is obtained utilizing a direct–coupled square wave having a rail–to–rail (V_{DD} to V_{SS}) voltage swing. If the oscillator does not have CMOS logic levels on the outputs, capacitive or ac coupling to OSC_{in} may be used. OSC_{out}, an unbuffered output, should be left floating.

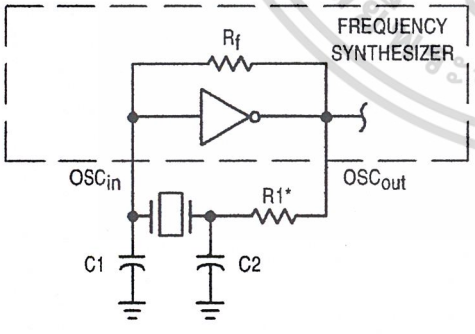
For additional information about TCXOs and data clock oscillators, please consult the latest version of the *eem Electronic Engineers Master Catalog,* the *Gold Book,* or similar publications.

Design an Off–Chip Reference

The user may design an off–chip crystal oscillator using ICs specifically developed for crystal oscillator applications, such as the MC12061 MECL device. The reference signal from the MECL device is ac coupled to OSC_{in}. For large amplitude signals (standard CMOS logic levels), dc coupling is used. OSC_{out}, an unbuffered output, should be left floating. In general, the highest frequency capability is obtained with a direct–coupled square wave having rail–to–rail voltage swing.

Use of the On–Chip Oscillator Circuitry

The on–chip amplifier (a digital inverter) along with an appropriate crystal may be used to provide a reference source frequency. A fundamental mode crystal, parallel resonant at the desired operating frequency, should be connected as shown in Figure 10.



* May be deleted in certain cases. See text.

Figure 10. Pierce Crystal Oscillator Circuit

For V_{DD} = 5.0 V, the crystal should be specified for a loading capacitance, C_L, which does not exceed 32 pF for frequencies to approximately 8.0 MHz, 20 pF for frequencies in the area of 8.0 to 15 MHz, and 10 pF for higher frequencies. These are guidelines that provide a reasonable compromise between IC capacitance, drive capability, swamping variations in stray and IC input/output capacitance, and realistic C_L values. The shunt load capacitance, C_L, presented across the crystal can be estimated to be:

$$C_L = \frac{C_{in}C_{out}}{C_{in} + C_{out}} + C_a + C_O + \frac{C1 \cdot C2}{C1 + C2}$$

where

C_{in} = 5 pF (see Figure 11)
C_{out} = 6 pF (see Figure 11)
C_a = 1 pF (see Figure 11)
C_O = the crystal's holder capacitance (see Figure 12)
C1 and C2 = external capacitors (see Figure 10)

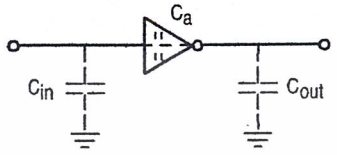
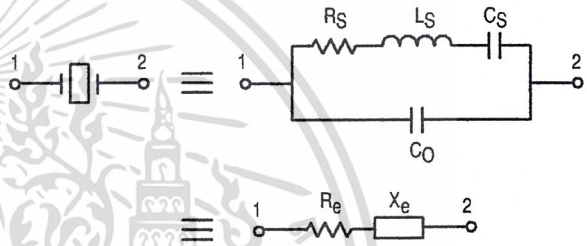


Figure 11. Parasitic Capacitances of the Amplifier



NOTE: Values are supplied by crystal manufacturer (parallel resonant crystal).

Figure 12. Equivalent Crystal Networks

The oscillator can be "trimmed" on–frequency by making a portion or all of C1 variable. The crystal and associated components must be located as close as possible to the OSC_{in} and OSC_{out} pins to minimize distortion, stray capacitance, stray inductance, and startup stabilization time. In some cases, stray capacitance should be added to the value for C_{in} and C_{out}.

Power is dissipated in the effective series resistance of the crystal, R_e, in Figure 12. The drive level specified by the crystal manufacturer is the maximum stress that a crystal can withstand without damage or excessive shift in frequency. R1 in Figure 10 limits the drive level. The use of R1 may not be necessary in some cases (i.e., R1 = 0 Ω).

To verify that the maximum dc supply voltage does not overdrive the crystal, monitor the output frequency as a function of voltage at OSC_{out}. (Care should be taken to minimize loading.) The frequency should increase very slightly as the dc supply voltage is increased. An overdriven crystal will decrease in frequency or become unstable with an increase in supply voltage. The operating supply voltage must be reduced or R1 must be increased in value if the overdriven condition exists. The user should note that the oscillator start–up time is proportional to the value of R1.

Through the process of supplying crystals for use with CMOS inverters, many crystal manufacturers have developed expertise in CMOS oscillator design with crystals. Discussions with such manufacturers can prove very helpful (see Table 1).

ศูนย์วิทยทรัพยากร จุฬาลงกรณ์มหาวิทยาลัย ... ห้ามมิให้ทำซ้ำ ดัดแปลง ... โดยไม่ได้รับอนุญาตจากเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Partial List of Crystal Manufacturers

Motorola — Internet Address *http://motorola.com* (Search for resonators)
United States Crystal Corp.
Crystek Crystal
Statek Corp.
Fox Electronics

NOTE: Motorola cannot recommend one supplier over another and in no way suggests that this is a complete listing of crystal manufacturers.

RECOMMENDED READING

Technical Note TN–24, Statek Corp.

Technical Note TN–7, Statek Corp.

E. Hafner, "The Piezoelectric Crystal Unit – Definitions and Method of Measurement", *Proc. IEEE,* Vol. 57, No. 2 Feb., 1969.

D. Kemper, L. Rosine, "Quartz Crystals for Frequency Control", *Electro–Technology,* June, 1969.

P. J. Ottowitz, "A Guide to Crystal Selection", *Electronic Design*, May, 1966.

DUAL–MODULUS PRESCALING

OVERVIEW

The technique of dual–modulus prescaling is well established as a method of achieving high performance frequency synthesizer operation at high frequencies. Basically, the approach allows relatively low–frequency programmable counters to be used as high–frequency programmable counters with speed capability of several hundred MHz. This is possible without the sacrifice in system resolution and performance that results if a fixed (single–modulus) divider is used for the prescaler.

In dual–modulus prescaling, the lower speed counters must be uniquely configured. Special control logic is necessary to select the divide value P or P + 1 in the prescaler for the required amount of time (see modulus control definition). Motorola's dual–modulus frequency synthesizers contain this feature and can be used with a variety of dual–modulus prescalers to allow speed, complexity and cost to be tailored to the system requirements. Prescalers having P, P + 1 divide values in the range of ÷ 3/÷ 4 to ÷ 128/÷ 129 can be controlled by most Motorola frequency synthesizers.

Several dual–modulus prescaler approaches suitable for use with the MC145152–2, MC145156–2, or MC145158–2 are:

MC12009	÷ 5/÷ 6	440 MHz
MC12011	÷ 8/÷ 9	500 MHz
MC12013	÷ 10/÷ 11	500 MHz
MC12015	÷ 32/÷ 33	225 MHz
MC12016	÷ 40/÷ 41	225 MHz
MC12017	÷ 64/÷ 65	225 MHz
MC12018	÷ 128/÷ 129	520 MHz
MC12028A	÷ 32/33 or ÷ 64/65	1.1 GHz
MC12052A	÷ 64/65 or ÷ 128/129	1.1 GHz
MC12054A	÷ 64/65 or ÷ 128/129	2.0 GHz

DESIGN GUIDELINES

The system total divide value, N_{total} (N_T) will be dictated by the application:

$$N_T = \frac{\text{frequency into the prescaler}}{\text{frequency into the phase detector}} = N \bullet P + A$$

N is the number programmed into the ÷ N counter, A is the number programmed into the ÷ A counter, P and P + 1 are the two selectable divide ratios available in the dual–modulus prescalers. To have a range of N_T values in sequence, the ÷ A counter is programmed from zero through P – 1 for a particular value N in the ÷ N counter. N is then incremented to N + 1 and the ÷ A is sequenced from 0 through P – 1 again.

There are minimum and maximum values that can be achieved for N_T. These values are a function of P and the size of the ÷ N and ÷ A counters.

The constraint $N \geq A$ always applies. If $A_{max} = P - 1$, then $N_{min} \geq P - 1$. Then $N_{Tmin} = (P - 1)\,P + A$ or $(P - 1)\,P$ since A is free to assume the value of 0.

$$N_{Tmax} = N_{max} \bullet P + A_{max}$$

To maximize system frequency capability, the dual–modulus prescaler output must go from low to high after each group of P or P + 1 input cycles. The prescaler should divide by P when its modulus control line is high and by P + 1 when its MC is low.

For the maximum frequency into the prescaler (f_{VCOmax}), the value used for P must be large enough such that:

1. f_{VCOmax} divided by P may not exceed the frequency capability of f_{in} (input to the ÷ N and ÷ A counters).
2. The period of f_{VCO} divided by P must be greater than the sum of the times:
   a. Propagation delay through the dual–modulus prescaler.
   b. Prescaler setup or release time relative to its MC signal.
   c. Propagation time from f_{in} to the MC output for the frequency synthesizer device.

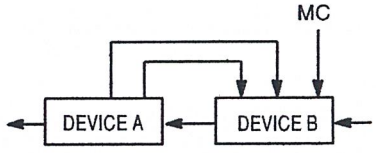
A sometimes useful simplification in the programming code can be achieved by choosing the values for P of 8, 16, 32, or 64. For these cases, the desired value of N_T results when N_T in binary is used as the program code to the ÷ N and ÷ A counters treated in the following manner:

1. Assume the ÷ A counter contains "a" bits where $2^a \geq P$.
2. Always program all higher order ÷ A counter bits above "a" to 0.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. Assume the ÷ N counter and the ÷ A counter (with all the higher order bits above "a" ignored) combined into a single binary counter of n + a bits in length (n = number of divider stages in the ÷ N counter). The MSB of this "hypothetical" counter is to correspond to the MSB of ÷ N and the LSB is to correspond to the LSB of ÷ A. The system divide value, N_T, now results when the value of N_T in binary is used to program the "new" n + a bit counter.

By using the two devices, several dual–modulus values are achievable (shown in Figure 13).



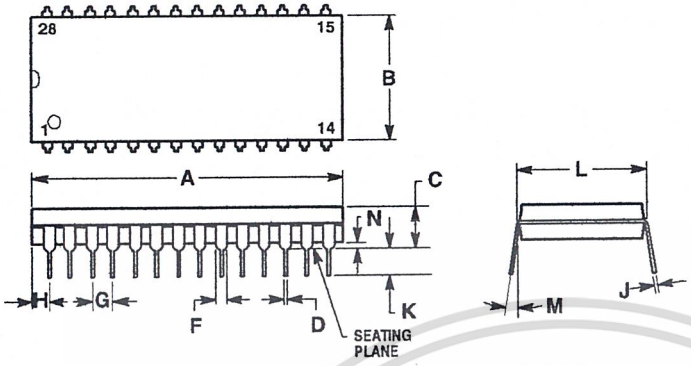
DEVICE A \ DEVICE B	MC12009	MC12011	MC12013
MC10131	÷ 20/÷ 21	÷ 32/÷ 33	÷ 40/÷ 41
MC10138	÷ 50/÷ 51	÷ 80/÷ 81	÷ 100/÷ 101

NOTE: MC12009, MC12011, and MC12013 are pin equivalent.
MC12015, MC12016, and MC12017 are pin equivalent.

Figure 13. Dual–Modulus Values

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

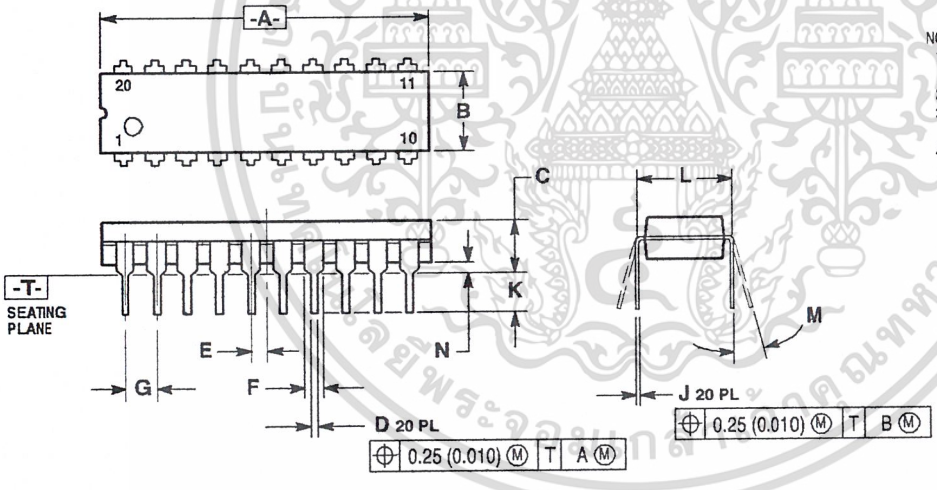
P SUFFIX
PLASTIC DIP
CASE 710–02
(MC145151–2, MC145152–2)



NOTES:
1. POSITIONAL TOLERANCE OF LEADS (D), SHALL BE WITHIN 0.25mm (0.010) AT MAXIMUM MATERIAL CONDITION, IN RELATION TO SEATING PLANE AND EACH OTHER.
2. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
3. DIMENSION B DOES NOT INCLUDE MOLD FLASH.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	36.45	37.21	1.435	1.465
B	13.72	14.22	0.540	0.560
C	3.94	5.08	0.155	0.200
D	0.36	0.56	0.014	0.022
F	1.02	1.52	0.040	0.060
G	2.54 BSC		0.100 BSC	
H	1.65	2.16	0.065	0.085
J	0.20	0.38	0.008	0.015
K	2.92	3.43	0.115	0.135
L	15.24 BSC		0.600 BSC	
M	0°	15°	0°	15°
N	0.51	1.02	0.020	0.040

P SUFFIX
PLASTIC DIP
CASE 738–03
(MC145156–2)



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEAD WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	1.010	1.070	25.66	27.17
B	0.240	0.260	6.10	6.60
C	0.150	0.180	3.81	4.57
D	0.015	0.022	0.39	0.55
E	0.050 BSC		1.27 BSC	
F	0.050	0.070	1.27	1.77
G	0.100 BSC		2.54 BSC	
J	0.008	0.015	0.21	0.38
K	0.110	0.140	2.80	3.55
L	0.300 BSC		7.62 BSC	
M	0°	15°	0°	15°
N	0.020	0.040	0.51	1.01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters which may be provided in Motorola data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and Ⓜ are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

Mfax is a trademark of Motorola, Inc.

How to reach us:

USA/EUROPE/Locations Not Listed: Motorola Literature Distribution;
P.O. Box 5405, Denver, Colorado 80217. 1–303–675–2140 or 1–800–441–2447

JAPAN: Motorola Japan Ltd.; SPD, Strategic Planning Office, 141,
4–32–1 Nishi–Gotanda, Shinagawa–ku, Tokyo, Japan. 81–3–5487–8488

Customer Focus Center: 1–800–521–6274

Mfax™: RMFAX0@email.sps.mot.com – TOUCHTONE 1–602–244–6609
Motorola Fax Back System – US & Canada ONLY 1–800–774–1848
– http://sps.motorola.com/mfax/

ASIA/PACIFIC: Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park,
51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852–26629298

HOME PAGE: http://motorola.com/sps/

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Use the LM158/LM258/ LM358 Dual, Single Supply Op Amp

National Semiconductor
Application Note 116
August 1980

INTRODUCTION

Use the LM158/LM258/LM358 dual op amp with a single supply in place of the LM1458/LM1558 with split supply and reap the profits in terms of:

a. Input and output voltage range down to the negative (ground) rail

b. Single supply operation

c. Lower standby power dissipation

d. Higher output voltage swing

e. Lower input offset current

f. Generally similar performance otherwise

The main advantage, of course, is that you can eliminate the negative supply in many applications and still retain equivalent op amp performance. Additionally, and in some cases more importantly, the input and output levels are permitted to swing down to ground (negative rail) potential. Table I shows the relative performance of the two in terms of guaranteed and/or typical specifications.

In many applications the LM158/LM258/LM358 can also be used directly in place of LM1558 for split supply operation.

SINGLE SUPPLY OPERATION

The LM1458/LM1558 or similar op amps exhibit several important limitations when operated from a single positive (or negative) supply. Chief among these is that input and output signal swing is severely limited for a given supply as shown in *Figure 1*. For linear operation, the input voltage must not reach within 3 volts of ground or of the supply, and output range is similarly limited to within 3–5 volts of ground or supply. This means that operation with a +12V supply could be limited as low as 2 Vp-p output swing. The LM358 however, allows a 10.5 Vp-p output swing for the same 12V supply. Admittedly these are worst case specification limits, but they serve to illustrate the problem.

TABLE I. Comparison of Dual Op Amps LM1458 and LM358

Characteristic	LM1458	LM358
V_{IO}	6 mV Max	7 mV Max
CM V_I	24 Vp-p*	0–28.5V*
I_{IO}	200 nA	50 nA
I_{OB}	500 nA	−500 nA
CMRR	60 dB Min @ 100 Hz 90 dB Typ	85 dB Typ @ DC
$\overline{e}_n$ @ 1 kHz, R_{GEN} 10 kΩ	45 nV/$\sqrt{Hz}$ Typ	40 nV/$\sqrt{Hz}$ Typ**
Z_{IN}	200 MΩ Typ	Typ 100 MΩ
A_{VOL}	20k Min 100k Typ	100k Typ
f_c	1.1 MHz Typ	1 MHz Typ**
P_{BW}	14 kHz Typ	11 kHz Typ**
dV_o/dt	0.8V/μs Typ	0.5V/μs Typ**
V_o @ R_L = 10k/2k	24/20 Vp-p*	28.5 Vp-p
I_{SC}	20 mA Typ	Source 20 mA Min (40 Typ) Sink 10 mA Min (20 Typ)
PSRR @ DC	37 dB Min 90 dB Typ	100 dB Typ
I_D (R_L = ∞)	8 mA Max	2 mA Max

‡From laboratory measurement

*Based on V_S = 30V on LM358 only, or V_S = ±15V

**From data sheet typical curves

©1995 National Semiconductor Corporation TL/H/7424

RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

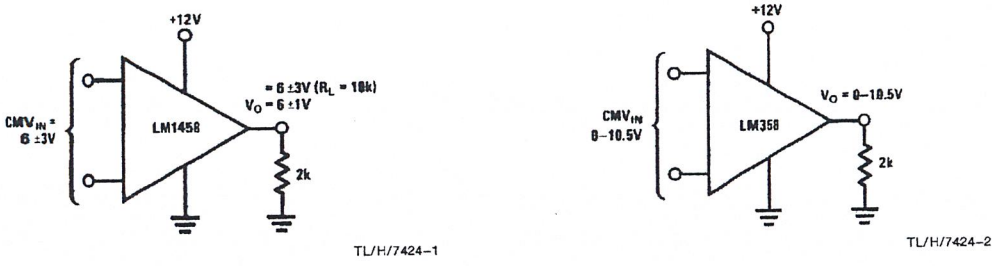


FIGURE 1. Worst Case Signal Levels with +12V Supply

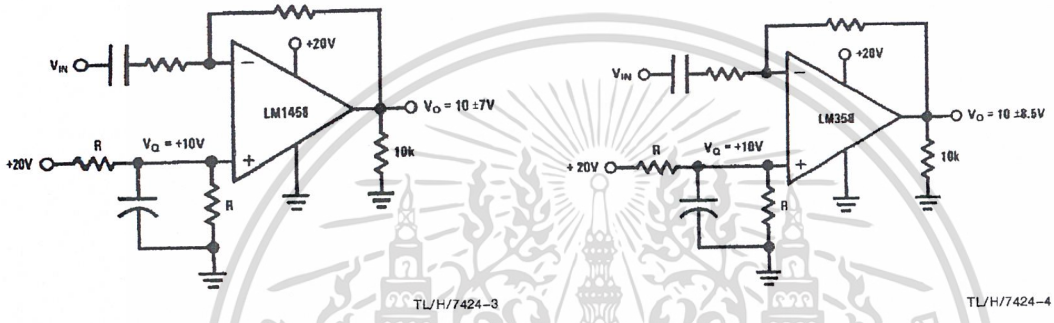


FIGURE 2. Operating with AC Signals

AC GAIN

For AC signals the input can be capacitor coupled. The input common mode and quiescent output voltages are fixed at one-half the supply voltage by a resistive divider at the non-inverting input as shown in *Figure 2*. This quiescent output could be set at a lower voltage to minimize power dissipation in the LM358, if desired, so long as $V_Q \geq V_{IN}$ pk. For the LM1458 the quiescent output must be higher, $V_Q \geq 3V + V_{IN}$ pk thus, for small signals, power dissipation is much greater with the LM1458. Example: Required $V_O = V_Q \pm 1V$ pk into 2k, V_{SUPPLY} = as required. Find quiescent dissipation in load and amplifier for LM1458 and LM358.

LM358

$V_Q = +1V$

$V_{SUPPLY} = +3.5V$

$P_{LOAD} = \frac{E_L^2}{R_L} = \frac{1}{2k} = 0.5$ mW

$P_D = V_S I_S^* + (V_S - V_Q) I_L$

$= 3.5V \times 0.7$ mA $+ (3.5-1)\frac{1V}{2k}$

$P_D = 2.45 + 1.25 = 3.7$ mW

$P_{TOTAL} = 3.7 + 0.5 = 4.2$ mW

*From typical characteristics

LM1458

$V_Q = 4V$

$V_{SUPPLY} = 8V$

$P_{LOAD} = \frac{4^2}{2k} = 8$ mW

$P_D = P_D^* + (V_S - V_Q) I_L$

$= 22$ mW $+ (8-4)\frac{4V}{2k}$

$P_D = 22 + 8 = 30$ mW

$P_{TOTAL} = 30 + 8 = 38$ mW

*From typical characteristics

The LM1458 requires over twice the supply voltage and nearly 10 times the supply power of the LM358 in this application.

INVERTING DC GAIN

Connections and biasing for DC inverting gain are essentially the same as for the AC coupled case. Note, of course, that the output cannot swing negative when operated from a single positive supply. *Figure 3* shows the connections and signal limitations.

NON-INVERTING DC GAIN

The non-inverting gain connection does not require the V_Q biasing as before; the inverting input can be returned to ground in the usual manner for gains greater than unity, (see *Figure 4*). A tremendous advantage of the LM358 in this connection is that input signals and output may extend all the way to ground; therefore DC signals in the low-millivolt range can be handled. The LM1458 still requires that V_{IN} = 3–17V. Therefore maximum gain is limited to $A_V = (V_O - 3)/3$, or A_V max = 5.4 for a 20V supply.

There is no similar limitation for the LM358.

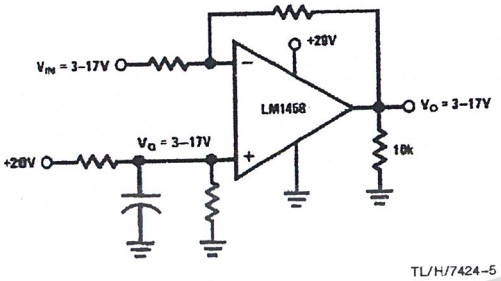
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ZERO T.C. INPUT BIAS CURRENT

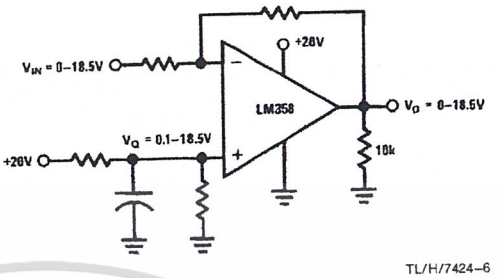
An interesting and unusual characteristic is that I_{IN} has a zero temperature coefficient. This means that matched resistance is not required at the input, allowing omission of one resistor per op amp from the circuit in most cases.

BALANCED SUPPLY OPERATION

The LM358 will operate satisfactorily in balanced supply operation so long as a load is maintained from output to the negative supply.

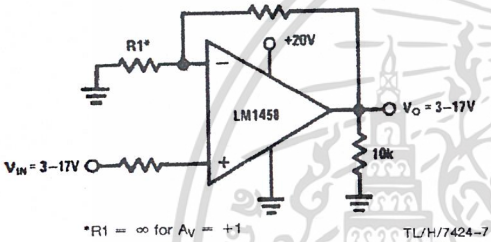


TL/H/7424–5



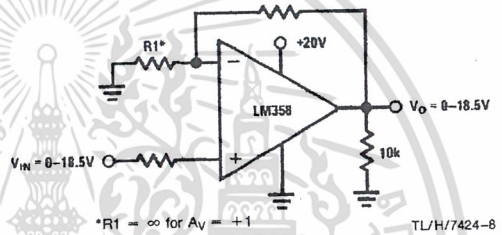
TL/H/7424–6

FIGURE 3. Typical DC Coupled Inverting Gain



*R1 = ∞ for A_V = +1
$A_V \leq$ 5.4 for 20V Supply

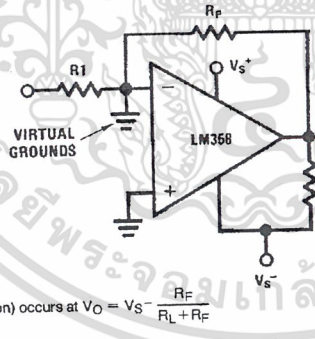
TL/H/7424–7



*R1 = ∞ for A_V = +1
A_V not limited

TL/H/7424–8

FIGURE 4. Typical DC Coupled Non-Inverting Gain



Crossover (distortion) occurs at $V_O = V_S^- \frac{R_F}{R_L + R_F}$

TL/H/7424–9

FIGURE 5. Split Supply Operation of LM358

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The output load to negative supply forces the amplifier to source some minimum current at all times, thus eliminating crossover distortion. Crossover distortion without this load would be more severe than that expected with the normal op amp. Since the single supply design took notice of this normal load connection to ground, a class AB output stage was not included. Where ground referenced feedback resistors are used as in *Figure 5*, the required load to the negative supply depends upon the peak negative output signal level desired without exhibiting crossover distortion. R_L to the negative rail should be chosen small enough that the voltage divider formed by R_F and R_L will permit V_o to swing negative to the desired point according to the equation:

$$R_L = R_F \frac{V_S^- - V_o}{V_o}.$$

R_L could also be returned to the positive supply with the advantage that V_o max would never exceed ($V_S^+ - 1.5V$). Then with $\pm 15V$ supplies $R_{L\ MIN}$ would be 0.12 R_F. The disadvantage would be that the LM358 can source twice as much current as it can sink, therefore R_L to negative supply can be one-half the value of R_L to positive supply.

The need for single or split supply is based on system requirements which may be other than op amp oriented. However if the only need for balanced supplies is to simplify the biasing of op amps, there are many systems which can find a cost effective benefit in operating LM358's from single supplies rather than standard op amps from balanced supplies. Of the usual op amp circuits, Table II shows those few which have limited function with single supply operation. Most are based on the premise that to operate from a single supply, a reference V_Q at about one-half the supply be available for bias or (zero) signal reference. The basic circuits are those listed in AN-20.

TABLE II. Conventional Op Amp Circuits Suitable for Single Supply Operation

Application	Limitations
AC Coupled amp‡	V_Q*
Inverting amp	V_Q
Non-inverting amp	OK*
Unity gain buffer	OK
Summing amp	V_Q
Difference amp	V_Q
Differentiator	V_Q
Integrator	V_Q
LP Filter	V_Q
I-V Connector	V_Q
PE Cell Amp	OK
I Source	$I_{O\ MIN} = \frac{1.5}{R1}$
I sink	OK
Volt Ref	OK
FW Rectifier	V_Q or modified circuit
Sine wave osc	V_Q
Triangle generator	V_Q
Threshold detector	OK
Tracking, regulator PS	Not practical
Programmable PS	OK
Peak Detector	OK to $V_{IN} = 0$

‡See AN20 for conventional circuits

*V_Q denotes need for a reference voltage, usually at about $\frac{V_S}{2}$

OK means no reference voltage required

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge_tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

BFG540W
BFG540W/X; BFG540W/XR
NPN 9 GHz wideband transistor

Product specification
Supersedes data of August 1995
File under Discrete Semiconductors, SC14

1997 Dec 04

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NPN 9 GHz wideband transistor

BFG540W
BFG540W/X; BFG540W/XR

FEATURES

- High power gain
- Low noise figure
- High transition frequency
- Gold metallization ensures excellent reliability.

APPLICATIONS

They are intended for applications in the RF front end, in wideband applications in the GHz range such as analog and digital cellular telephones, cordless telephones (CT2, CT3, PCN, DECT, etc.), radar detectors, pagers, satellite television tuners (SATV), MATV/CATV amplifiers and repeater amplifiers in fibre-optic systems.

DESCRIPTION

NPN silicon planar epitaxial transistors in plastic, 4-pin dual-emitter SOT343N and SOT343R packages.

MARKING

TYPE NUMBER	CODE
BFG540W	N9
BFG540W/X	N7
BFG540W/XR	N8

PINNING

PIN	DESCRIPTION
BFG540W (see Fig.1)	
1	collector
2	base
3	emitter
4	emitter
BFG540W/X (see Fig.1)	
1	collector
2	emitter
3	base
4	emitter
BFG540W/XR (see Fig.2)	
1	collector
2	emitter
3	base
4	emitter

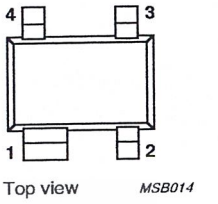


Fig.1 SOT343N.

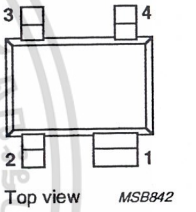


Fig.2 SOT343R.

QUICK REFERENCE DATA

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
V_{CBO}	collector-base voltage	open emitter	–	–	20	V
V_{CES}	collector-emitter voltage	$R_{BE} = 0$	–	–	15	V
I_C	collector current (DC)		–	–	120	mA
P_{tot}	total power dissipation	up to $T_s = 85$ °C	–	–	500	mW
h_{FE}	DC current gain	$I_C = 40$ mA; $V_{CE} = 8$ V	60	120	250	
C_{re}	feedback capacitance	$I_C = 0$; $V_{CB} = 8$ V; f = 1 MHz	–	0.5	–	pF
f_T	transition frequency	$I_C = 40$ mA; $V_{CE} = 8$ V; f = 1 GHz; $T_{amb} = 25$ °C	–	9	–	GHz
G_{UM}	maximum unilateral power gain	$I_C = 40$ mA; $V_{CE} = 8$ V; f = 900 MHz; $T_{amb} = 25$ °C	–	16	–	dB
		$I_C = 40$ mA; $V_{CE} = 8$ V; f = 2 GHz; $T_{amb} = 25$ °C		10	–	dB
$\lvert s_{21} \rvert^2$	insertion power gain	$I_C = 40$ mA; $V_{CE} = 8$ V; f = 900 MHz; $T_{amb} = 25$ °C	14	15	–	dB
F	noise figure	$\Gamma_s = \Gamma_{opt}$; $I_C = 10$ mA; $V_{CE} = 8$ V; f = 2 GHz	–	2.1	–	dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LIMITING VALUES

In accordance with the Absolute Maximum Rating System (IEC 134).

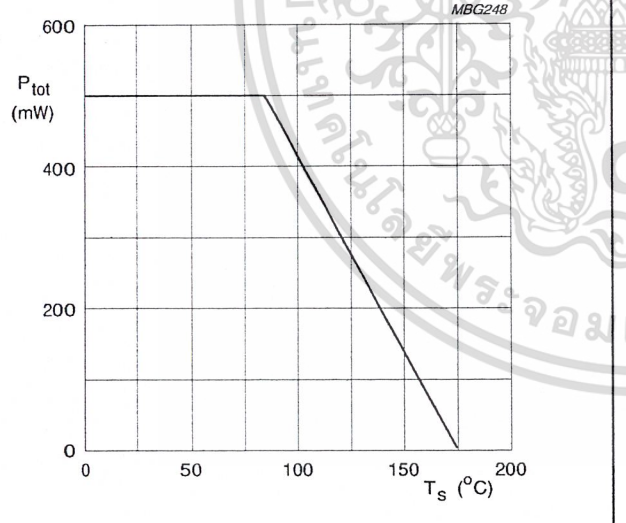
SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
V_{CBO}	collector-base voltage	open emitter	–	20	V
V_{CES}	collector-emitter voltage	$R_{BE} = 0$	–	15	V
V_{EBO}	emitter-base voltage	open collector	–	2.5	V
I_C	collector current (DC)		–	120	mA
P_{tot}	total power dissipation	up to T_s = 85 °C; see Fig.3; note 1	–	500	mW
T_{stg}	storage temperature		–65	+150	°C
T_j	junction temperature		–	175	°C

THERMAL CHARACTERISTICS

SYMBOL	PARAMETER	CONDITIONS	VALUE	UNIT
$R_{th\ j\text{-}s}$	thermal resistance from junction to soldering point	up to T_s = 85 °C; note 1	180	K/W

Note to the "Limiting values" and "Thermal characteristics"

1. T_s is the temperature at the soldering point of the collector pin.



$V_{CE} \leq 10$ V.

Fig.3 Power derating curve.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CHARACTERISTICS

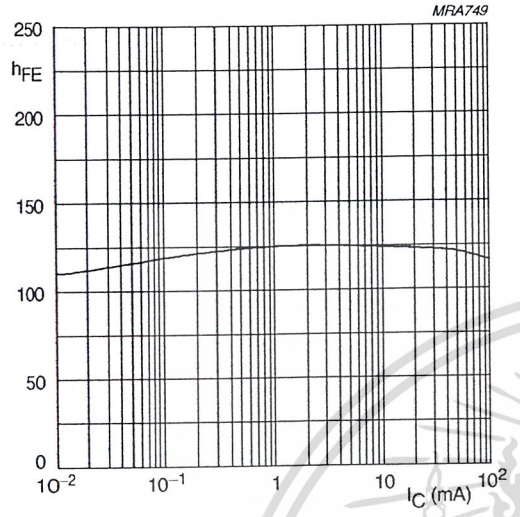
T_j = 25 °C (unless otherwise specified).

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
$V_{(BR)CBO}$	collector-base breakdown voltage	open emitter; I_C = 10 μA ; I_E = 0	20	–	–	V
$V_{(BR)CES}$	collector-emitter breakdown voltage	R_{BE} = 0; I_C = 40 μA	15	–	–	V
$V_{(BR)EBO}$	emitter-base breakdown voltage	open collector; I_E = 100 μA; I_C = 0	2.5	–	–	V
I_{CBO}	collector cut-off current	open emitter; V_{CB} = 8 V; I_E = 0	–	–	50	nA
h_{FE}	DC current gain	I_C = 40 mA; V_{CE} = 8 V	60	120	250	
f_T	transition frequency	I_C = 40 mA; V_{CE} = 8 V; f = 1 GHz; T_{amb} = 25 °C	–	9	–	GHz
C_c	collector capacitance	$I_E = i_e$ = 0; V_{CB} = 8 V; f = 1 MHz	–	0.9	–	pF
C_e	emitter capacitance	$I_C = i_c$ = 0; V_{EB} = 0.5 V; f = 1 MHz	–	2	–	pF
C_{re}	feedback capacitance	I_C = 0; V_{CB} = 8 V; f = 1 MHz	–	0.5	–	pF
G_{UM}	maximum unilateral power gain; note 1	I_C = 40 mA; V_{CE} = 8 V; f = 900 MHz; T_{amb} = 25 °C	–	16	–	dB
		I_C = 40 mA; V_{CE} = 8 V; f = 2 GHz; T_{amb} = 25 °C	–	10	–	dB
$\lvert s_{21}\rvert^2$	insertion power gain	I_C = 40 mA; V_{CE} = 8 V; f = 900 MHz; T_{amb} = 25 °C	14	15	–	dB
F	noise figure	$\Gamma_s = \Gamma_{opt}$; I_C = 10 mA; V_{CE} = 8 V; f = 900 MHz	–	1.3	1.8	dB
		$\Gamma_s = \Gamma_{opt}$; I_C = 40 mA; V_{CE} = 8 V; f = 900 MHz	–	1.9	2.4	dB
		$\Gamma_s = \Gamma_{opt}$; I_C = 10 mA; V_{CE} = 8 V; f = 2 GHz	–	2.1	–	dB
P_{L1}	output power at 1 dB gain compression	I_C = 40 mA; V_{CE} = 8 V; f = 900 MHz; R_L = 50 Ω; T_{amb} = 25 °C	–	21	–	dBm
ITO	third order intercept point	note 2	–	34	–	dBm
V_o	output voltage	note 3	–	500	–	mV
d_2	second order intermodulation distortion	note 4	–	–50	–	dB

Notes

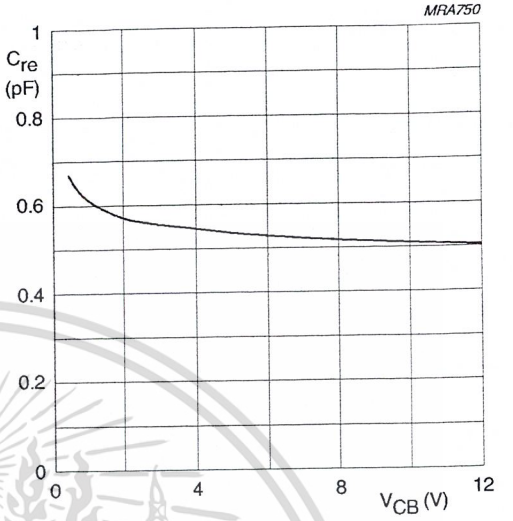
1. G_{UM} is the maximum unilateral power gain, assuming s_{12} is zero. $G_{UM} = 10 \log \frac{|s_{21}|^2}{(1-|s_{11}|^2)(1-|s_{22}|^2)}$ dB.
2. I_C = 40 mA; V_{CE} = 8 V; R_L = 50 Ω; T_{amb} = 25 °C;
   a) f_p = 900 MHz; f_q = 902 MHz; measured at $f_{(2p-q)}$ = 898 MHz and $f_{(2q-p)}$ = 904 MHz.
3. d_{im} = –60 dB (DIN45004B); $V_p = V_o$; $V_q = V_o$ –6 dB; $V_r = V_o$ –6 dB; R_L = 75 Ω; V_{CE} = 8 V; I_C = 40 mA;
   a) f_p = 795.25 MHz; f_q = 803.25 MHz; f_r = 805.25 MHz; measured at $f_{(p+q-r)}$ = 793.25 MHz.
4. I_C = 40 mA; V_{CE} = 8 V; V_o = 275 mV; R_L = 75 Ω; T_{amb} = 25 °C;
   a) f_p = 250 MHz; f_q = 560 MHz; measured at $f_{(p+q)}$ = 810 MHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



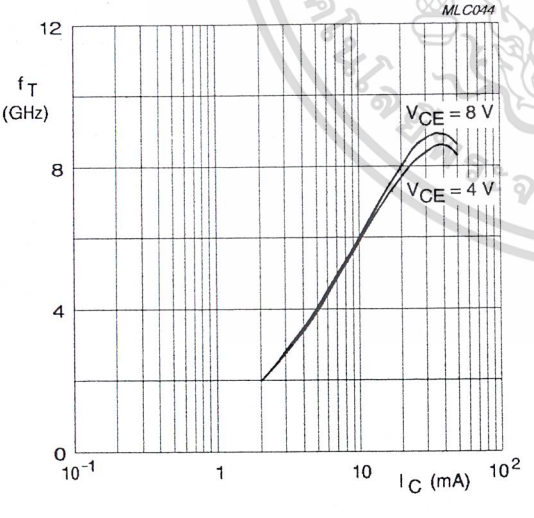
V_{CE} = 8 V.

Fig.4 DC current gain as a function of collector current; typical values.



I_C = 0; f = 1 MHz.

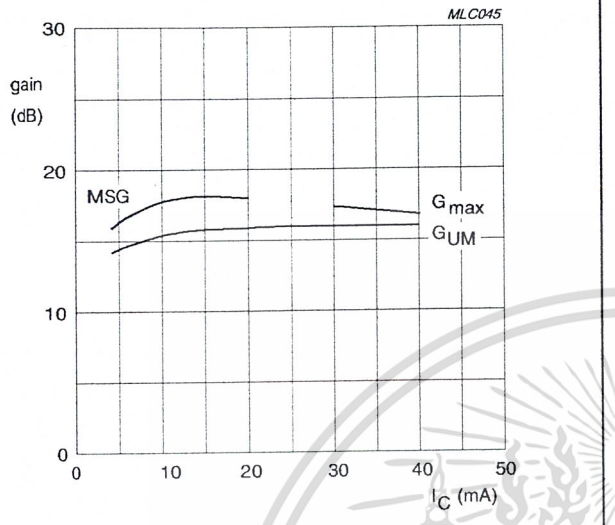
Fig.5 Feedback capacitance as a function of collector-base voltage; typical values.



f = 1 GHz; T_{amb} = 25 °C.

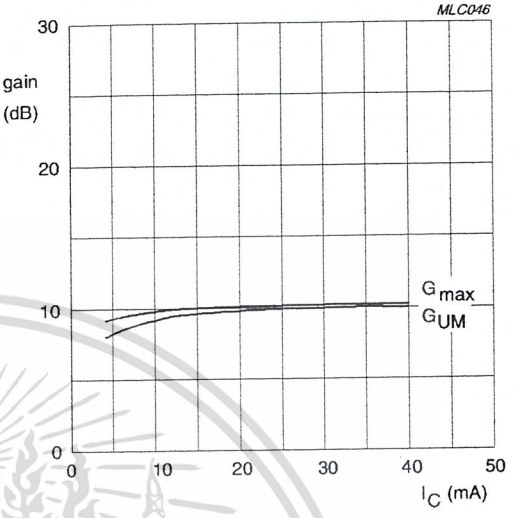
Fig.6 Transition frequency as a function of collector current; typical values.

เอกสารนี้ใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



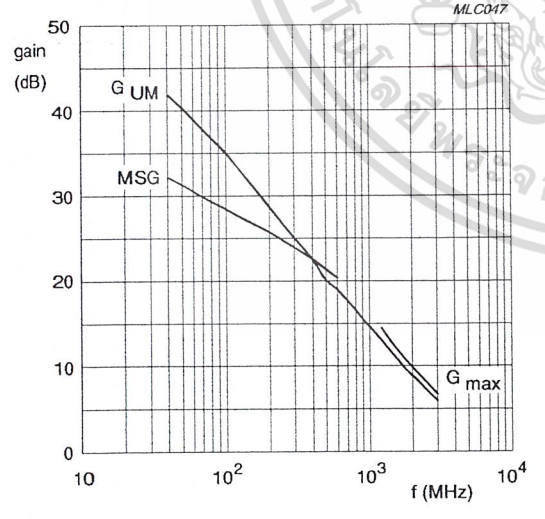
f = 900 MHz; V_{CE} = 8 V.

Fig.7 Gain as a function of collector current; typical values.



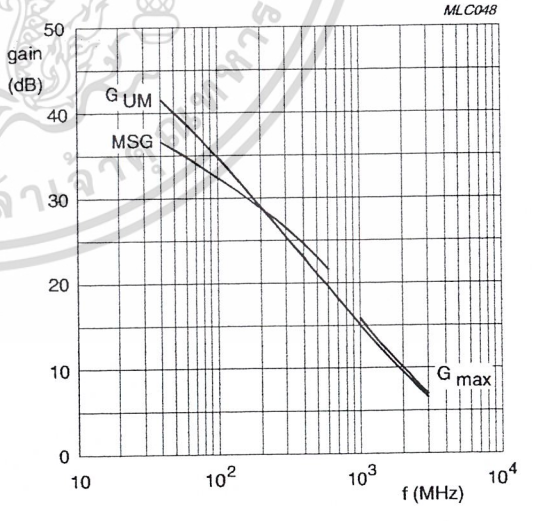
f = 2 GHz; V_{CE} = 8 V.

Fig.8 Gain as a function of collector current; typical values.



I_C = 10 mA; V_{CE} = 8 V.

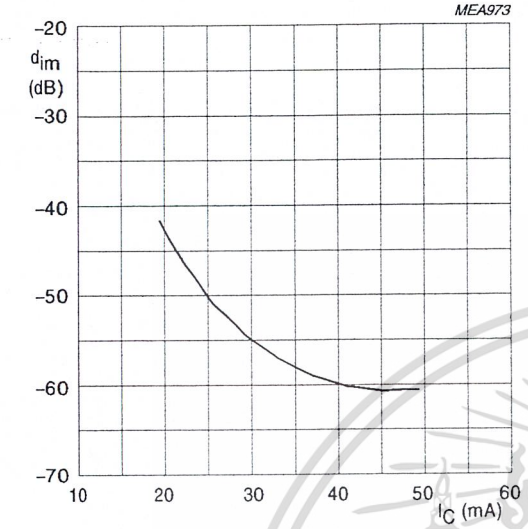
Fig.9 Gain as a function of frequency; typical values.



I_C = 40 mA; V_{CE} = 8 V.

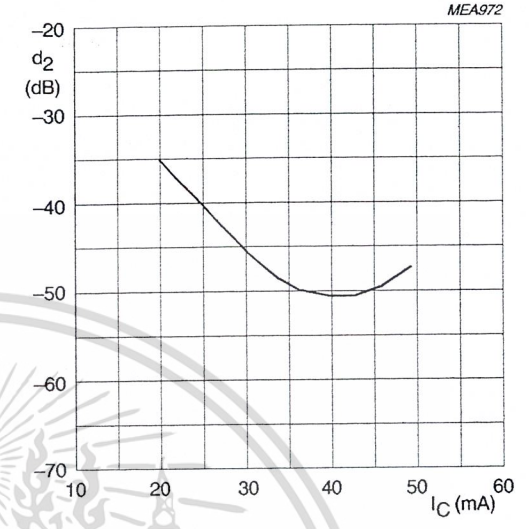
Fig.10 Gain as a function of frequency; typical values.

เอกสารนี้เป็นเอกสารสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



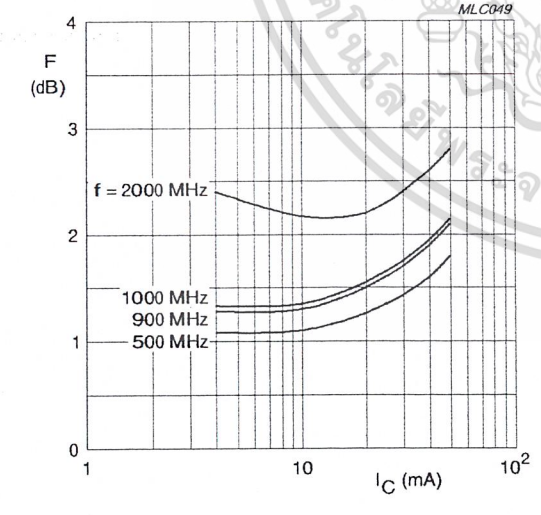
V_o = 500 mV; $f_{(p+q-r)}$ = 793.25 MHz; V_{CE} = 8 V; T_{amb} = 25 °C; R_L = 75 Ω.

Fig.11 Intermodulation distortion as a function of collector current; typical values.



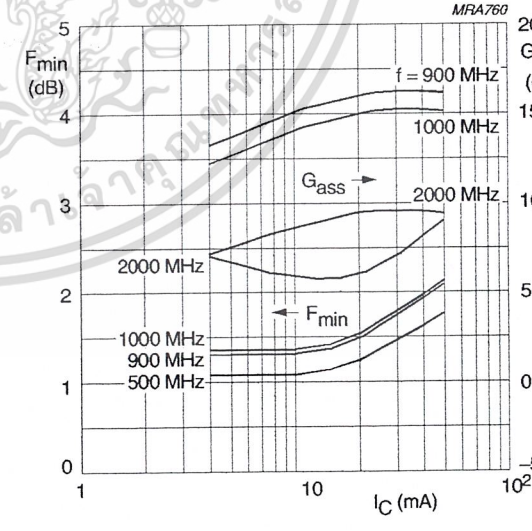
V_o = 275 mV; $f_{(p+q)}$ = 810 MHz; V_{CE} = 8 V; T_{amb} = 25 °C; R_L = 75 Ω.

Fig.12 Second order intermodulation distortion as a function of collector current; typical values.



V_{CE} = 8 V.

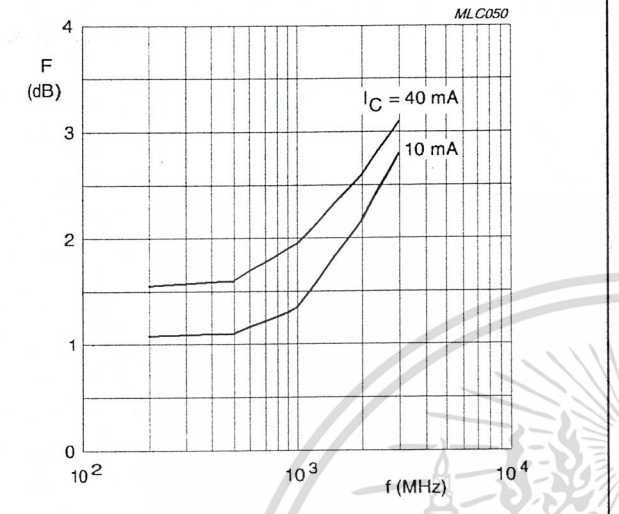
Fig.13 Minimum noise figure as a function of collector current; typical values.



V_{CE} = 8 V.

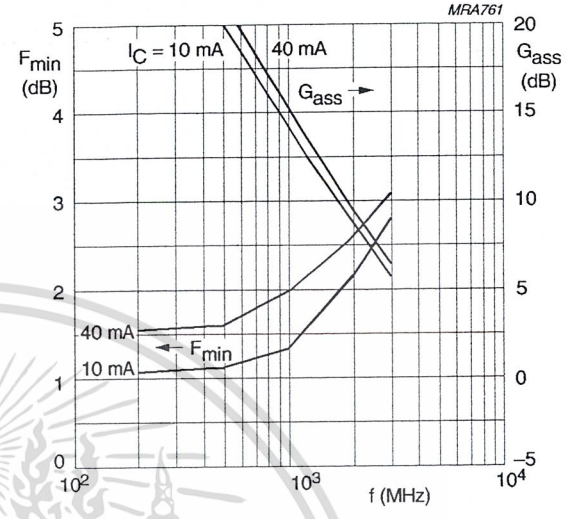
Fig.14 Associated available gain as a function of collector current; typical values.

เอกสารนี้มีลิขสิทธิ์ สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



V_{CE} = 8 V.

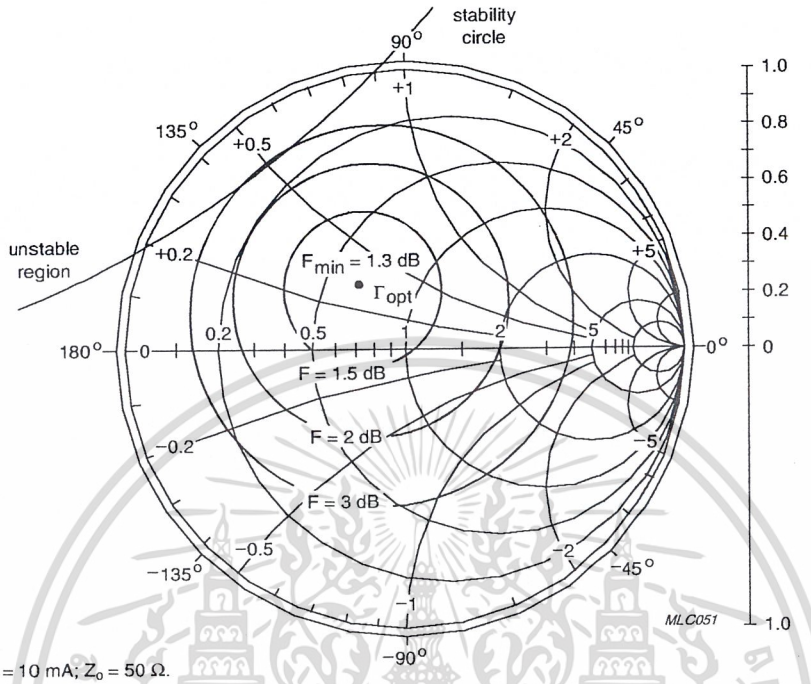
Fig.15 Minimum noise figure as a function of frequency; typical values.



V_{CE} = 8 V.

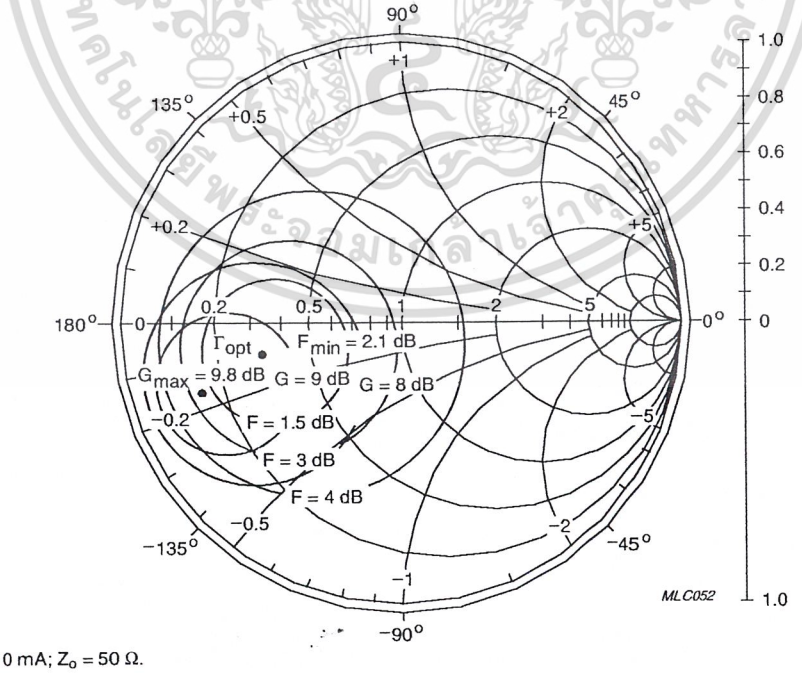
Fig.16 Associated available gain as a function of frequency; typical values.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



f = 900 MHz; V_{CE} = 8 V; I_C = 10 mA; Z_o = 50 Ω.

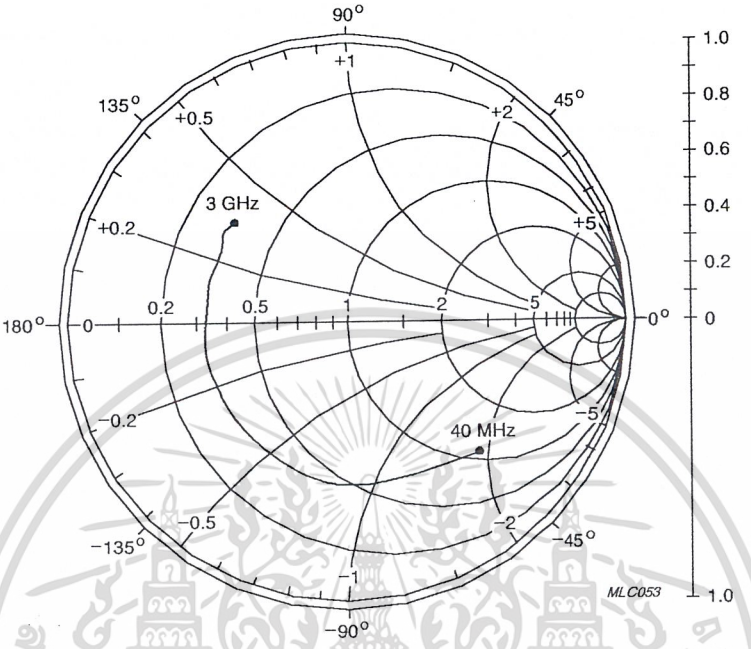
Fig.17 Common emitter noise figure circles; typical values.



f = 2 GHz; V_{CE} = 8 V; I_C = 10 mA; Z_o = 50 Ω.

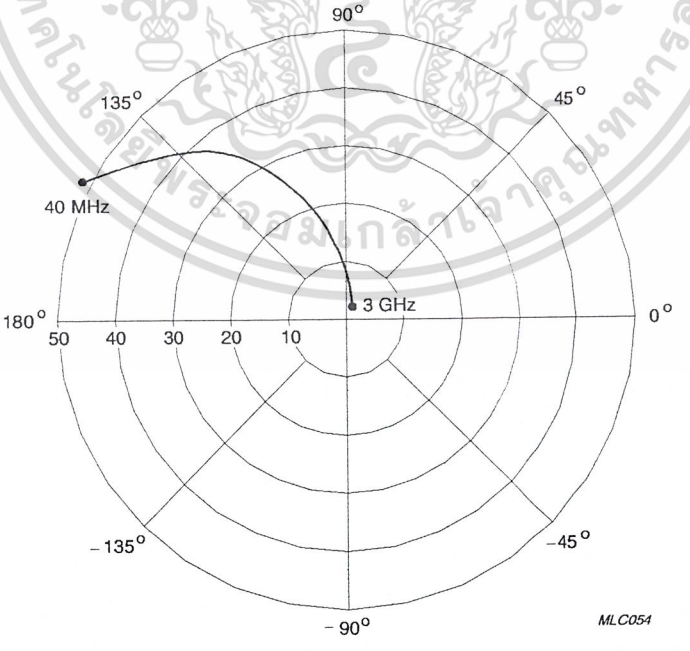
Fig.18 Common emitter noise figure circles; typical values.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



V_{CE} = 8 V; I_C = 40 mA; Z_o = 50 Ω.

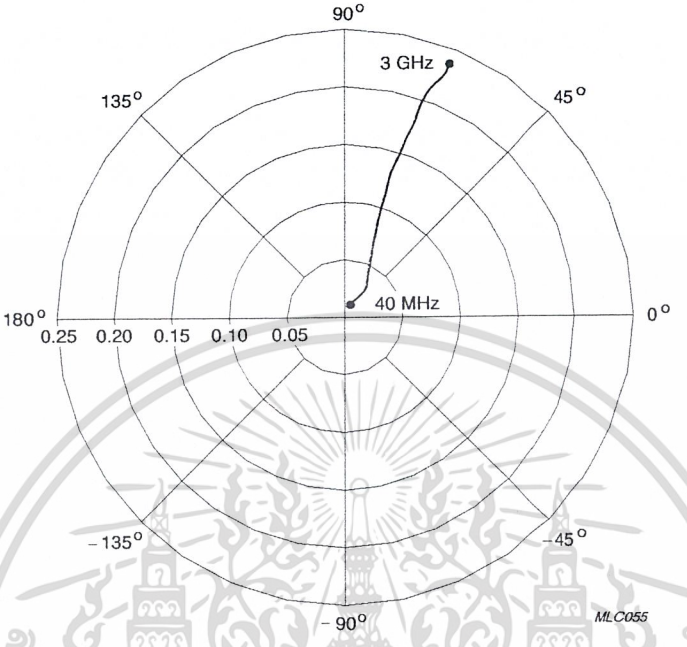
Fig.19 Common emitter input reflection coefficient (s_{11}); typical values.



V_{CE} = 8 V; I_C = 40 mA.

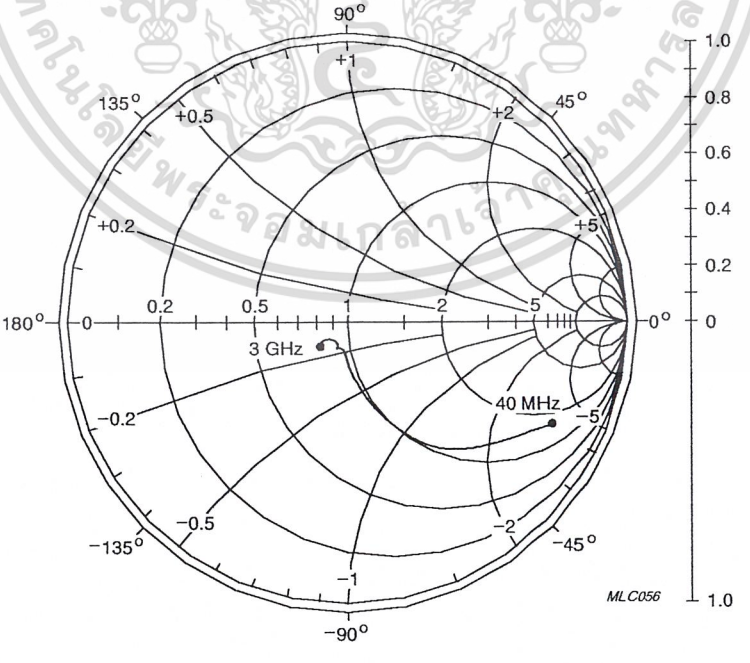
Fig.20 Common emitter forward transmission coefficient (s_{21}); typical values.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



V_{CE} = 8 V; I_C = 40 mA.

Fig.21 Common emitter reverse transmission coefficient (s_{12}); typical values.



V_{CE} = 8 V; I_C = 40 mA; Z_o = 50 Ω.

Fig.22 Common emitter output reflection coefficient (s_{22}); typical values.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SPICE parameters for the BFG540W crystal

SEQUENCE No.	PARAMETER	VALUE	UNIT
1	IS	1.045	fA
2	BF	184.3	–
3	NF	0.981	–
4	VAF	41.69	V
5	IKF	10.00	A
6	ISE	232.4	fA
7	NE	2.028	–
8	BR	43.99	–
9	NR	0.992	–
10	VAR	2.097	V
11	IKR	166.2	mA
12	ISC	129.8	aA
13	NC	1.064	–
14	RB	5.000	Ω
15	IRB	1.000	μA
16	RBM	5.000	Ω
17	RE	353.5	mΩ
18	RC	1.340	Ω
19 (1)	XTB	0.000	–
20 (1)	EG	1.110	eV
21 (1)	XTI	3.000	–
22	CJE	1.978	pF
23	VJE	600.0	mV
24	MJE	0.332	–
25	TF	7.457	ps
26	XTF	11.40	–
27	VTF	3.158	V
28	ITF	156.9	mA
29	PTF	0.000	deg
30	CJC	793.7	fF
31	VJC	185.5	mV
32	MJC	0.084	–
33	XCJC	0.150	–
34	TR	1.598	ns
35 (1)	CJS	0.000	F
36 (1)	VJS	750.0	mV
37 (1)	MJS	0.000	–
38	FC	0.814	–

Note

1. These parameters have not been extracted, the default values are shown.

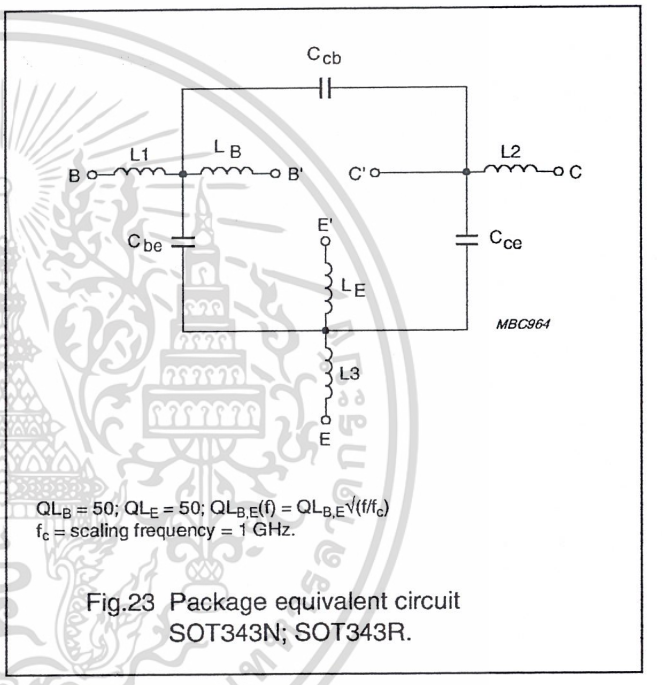


Fig.23 Package equivalent circuit SOT343N; SOT343R.

List of components (see Fig.23).

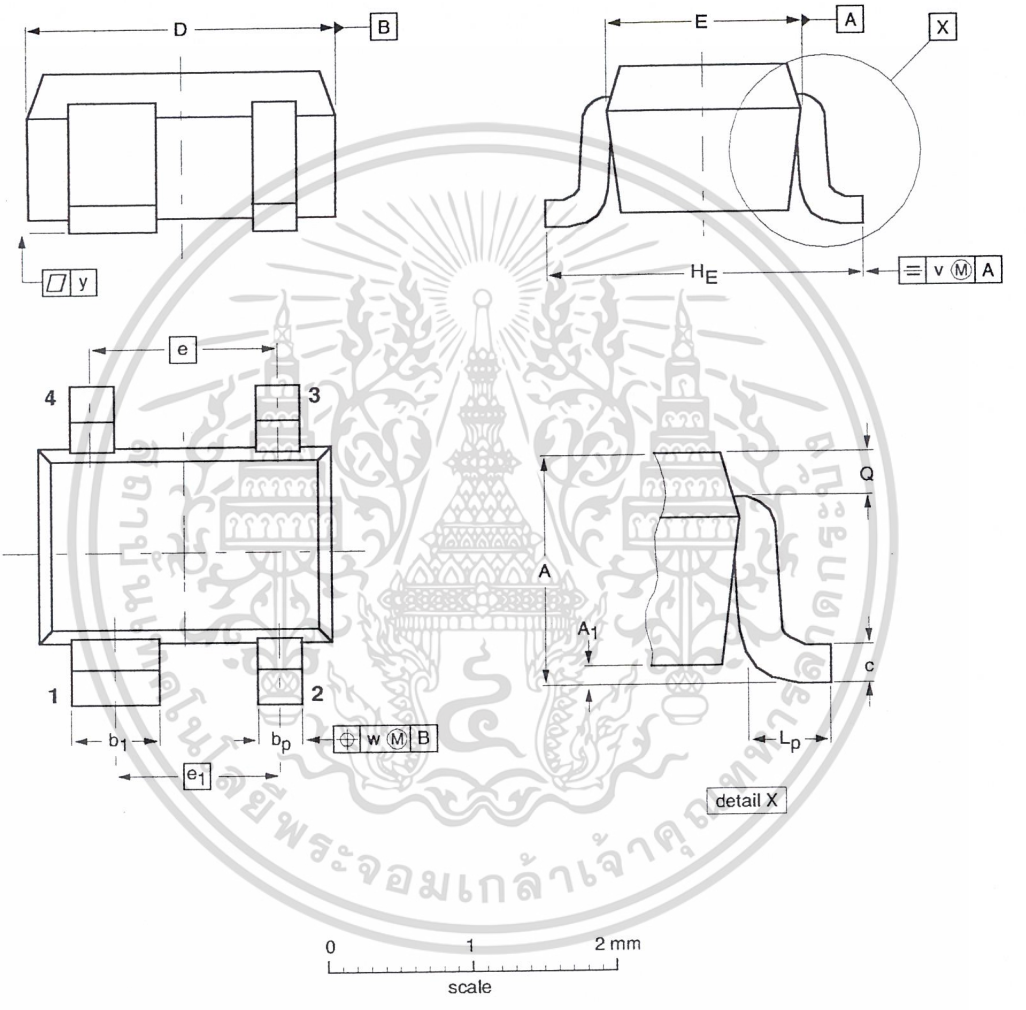
DESIGNATION	VALUE	UNIT
C_{be}	70	fF
C_{cb}	50	fF
C_{ce}	115	fF
L1	0.34	nH
L2	0.10	nH
L3	0.25	nH
L_B	0.40	nH
L_E	0.40	nH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE OUTLINES

Plastic surface mounted package; 4 leads

SOT343N



DIMENSIONS (mm are the original dimensions)

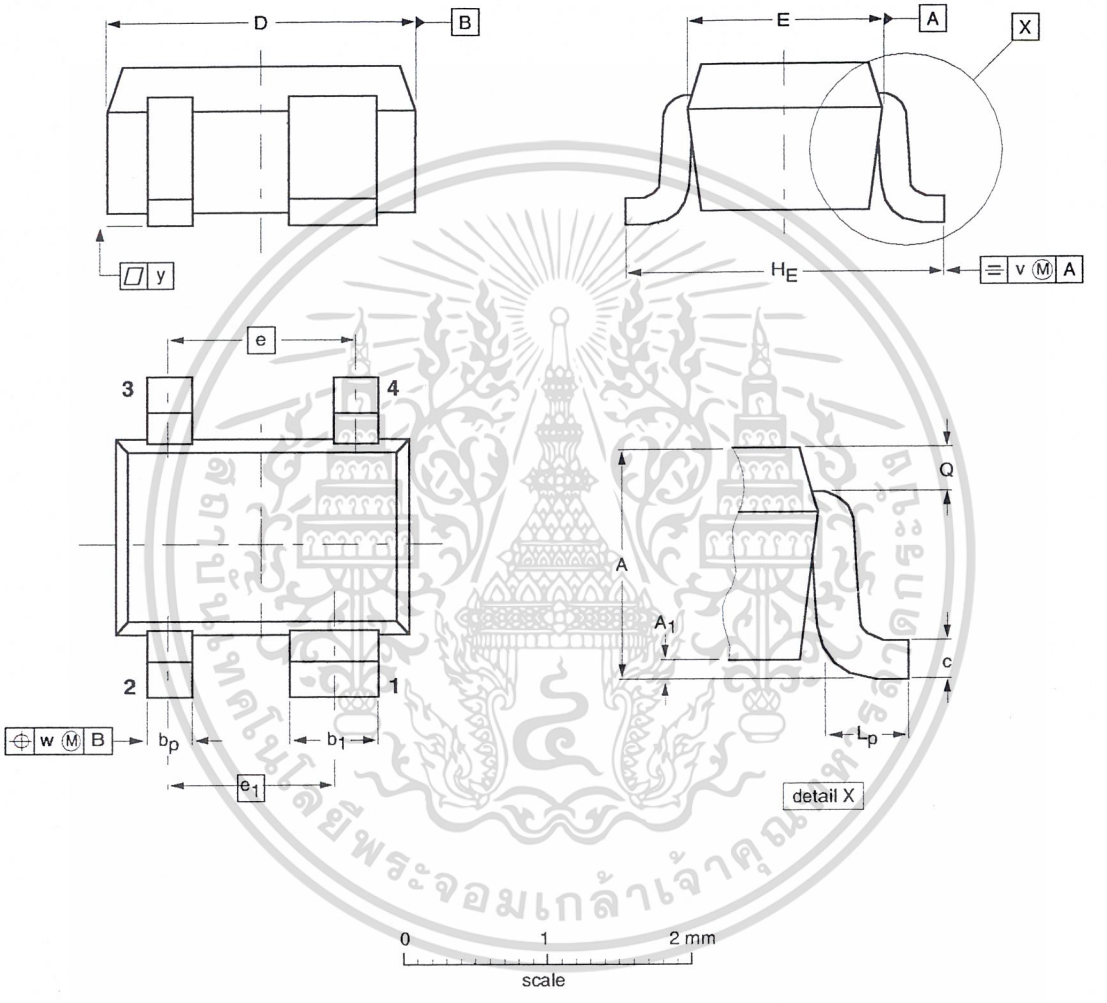
UNIT	A	A_1 max	b_p	b_1	c	D	E	e	e_1	H_E	L_p	Q	v	w	y
mm	1.1 0.8	0.1	0.4 0.3	0.7 0.5	0.25 0.10	2.2 1.8	1.35 1.15	1.3	1.15	2.2 2.0	0.45 0.15	0.23 0.13	0.2	0.2	0.1

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	EIAJ			
SOT343N						97-05-21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปแสวงหาประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Plastic surface mounted package; reverse pinning; 4 leads

SOT343R



DIMENSIONS (mm are the original dimensions)

UNIT	A	A_1 max	b_p	b_1	c	D	E	e	e_1	H_E	L_p	Q	v	w	y
mm	1.1 0.8	0.1	0.4 0.3	0.7 0.5	0.25 0.10	2.2 1.8	1.35 1.15	1.3	1.15	2.2 2.0	0.45 0.15	0.23 0.13	0.2	0.2	0.1

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	EIAJ			
SOT343R						97-05-21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEFINITIONS

Data Sheet Status	
Objective specification	This data sheet contains target or goal specifications for product development.
Preliminary specification	This data sheet contains preliminary data; supplementary data may be published later.
Product specification	This data sheet contains final product specifications.
Limiting values	
Limiting values given are in accordance with the Absolute Maximum Rating System (IEC 134). Stress above one or more of the limiting values may cause permanent damage to the device. These are stress ratings only and operation of the device at these or at any other conditions above those given in the Characteristics sections of the specification is not implied. Exposure to limiting values for extended periods may affect device reliability.	
Application information	
Where application information is given, it is advisory and does not form part of the specification.	

LIFE SUPPORT APPLICATIONS

These products are not designed for use in life support appliances, devices, or systems where malfunction of these products can reasonably be expected to result in personal injury. Philips customers using or selling these products for use in such applications do so at their own risk and agree to fully indemnify Philips for any damages resulting from such improper use or sale.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ที่นำเสนอนี้ สามารถสำเร็จได้ด้วยคำแนะนำและความช่วยเหลือจากท่านอาจารย์ ดร. ทองทด วานิชศรี ซึ่งเป็นที่ปรึกษาโครงงานชิ้นนี้ ในโอกาสนี้จึงกราบขอบพระคุณท่านอาจารย์ ดร. ทองทด วานิชศรี เป็นอย่างยิ่งสำหรับความกรุณาที่มีตลอดหนึ่งปีที่ผ่านมา

ณฤทธิ์ ญังธนิศรา
ผู้จัดทำปริญญานิพนธ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

- Roland E.Best , " *Phase – Locked Loops* " : Mc Graw-Hill Book Company : 1984
- Samuel Y.Liao, " *Microwave Circuit Analysis and Amplifier Design* " : Prentice-Hall International , Inc : 1987
- Wayne Tomasi, " *Electronic Communications Systems* " : Prentice-Hall International , Inc : 1998
- Ferrel G.Stremler, " *Introduction to Communication Systems* " : Addison-Wesley Publishing Company : 1982
- Frank R.Dungan, " *Electronic Communication Systems* " : Delmar Publisher , Inc : 1987
- William Schweber, " *Electronic Communication Systems* " : Prentice-Hall International , Inc : 1996
- สุชาติ กังวารจิตต์, " *เครื่องรับส่งวิทยุและระบบสื่อสาร* " : บริษัท ซีเอ็ดยูเคชั่น จำกัด : 2521

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้