เครื่องเข้ารหัสช่องสัญญาณในการส่งข้อมูล

CHANNEL CODING IN DATA TRANSMISSION

นายณัฏฐา คหาปนะ
นายมูหามัด ดาราฮิม

เลขเรียกหนังสือ ปริญญานิพนธ์ 2541
เลขทะเบียน 040527
วัน เดือน ปี 19 ตค 41

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต
สาขาวิชาเทคโนโลยีโทรคมนาคม คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

040527

หัวข้อปริญญานิพนธ์	เครื่องเข้ารหัสในการส่งสัญญาณข้อมูล
	CHANNEL CODING IN DATA TRANSMISSION
ชื่อนักศึกษา	นายณัฏฐา คหาปนะ
	นายมูหามัด ดาราฮิม
อาจารย์ที่ปรึกษา	ผศ. ชวลิต เบญจางคประเสริฐ
ภาควิชา	เทคนิคอุตสาหกรรม
ปีการศึกษา	2541

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

..... ประธานกรรมการ
( )

..... กรรมการ
( )

..... กรรมการ
( )

..... กรรมการ
( )

..... กรรมการ
( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องเข้ารหัสในการส่งสัญญาณข้อมูล

โดย	นายณัฏฐา	คหาปนะ
	นายมูหามัด	ดาราฮิม
อาจารย์ที่ปรึกษา	ผศ.ชวลิต	เบญจางคประเสริฐ
ปีการศึกษา	2541	

บทคัดย่อ

ในปัจจุบันเทคโนโลยีทางการสื่อสารได้ถูกพัฒนาขึ้นอย่างรวดเร็ว การสื่อสารข้อมูลที่มีจำนวนมากจำเป็นอย่างยิ่งที่จะต้องมีการเข้ารหัสของข้อมูล เนื่องจากคุณสมบัติและประสิทธิภาพที่มีของการเข้ารหัสจะทำให้ข้อมูลในการติดต่อสื่อสารทั้งภาครับและภาคส่งไม่ให้เกิดความผิดพลาดขึ้นได้ สำหรับเทคนิคในการเข้ารหัสแบบดิจิตอลนั้นรูปแบบของสัญญาณจะมีรูปร่างหลายลักษณะด้วยกัน ทั้งนี้ขึ้นอยู่กับการเลือกใช้วิธีการเข้ารหัสให้ได้อย่างเหมาะสมและมีประสิทธิภาพสูงสุดในการส่งผ่านเข้าไปในตัวกลางนั้น ตัวอย่างการเลือกเข้ารหัสบางครั้งอาจจะต้องเลือกเพื่อให้สอดคล้องกับแบนท์วิดท์ เพื่อทำให้เกิดความผิดพลาดน้อยที่สุด

ในโครงงานชิ้นนี้เป็นการเข้ารหัส และถอดรหัสสัญญาณด้วยกัน 6 แบบ ดังนี้

1. RZ
2. BIPHASE
3. ADI
4. CMI
5. AMI
6. HDB3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CHANNEL CODING IN DATA TRANSMISSION

BY Mr.Nattha Kahapana

Mr.Muhamat Darahim

Advisor Asst. Prof. Chawalit Benjangkaprasert

Year 1998

ABTRACT

In recent year , the technology of communication has been developed very quickly. The communication which has a lot of data is necessary to have data encoding . A good property of a thing and efficiency in encoding makes communication , both the receiver and transmitter without any error. There are several techniques in digital encoding. It depends on the way of choosing and the efficiency in encoding through transmitter. The example of choosing sometime we need it to get alone with bandwidth to avoid the mistake as much as we can .

In this project is described in six types of encoding and decoding as follow

1. RZ
2. BIPHASE
3. ADI
4. CMI
5. AMI
6. HDB3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ สำเร็จลุล่วงได้ด้วยดีก็เนื่องจากได้รับคำแนะนำ และการช่วยเหลือส่วนข้อมูลต่างๆอย่างดียิ่งจากผู้ช่วยศาสตราจารย์ ชวลิต เบญจางคประเสริฐ ซึ่งเป็นอาจารย์ที่ปรึกษา และนอกจากนี้ยังได้รับความเอื้อเฟื้อด้านเครื่องมือและห้องปฏิบัติการในการทำโครงงานครั้งนี้จากผู้ช่วยศาสตราจารย์ อรลาภ แสงอรุณ คณะผู้จัดทำได้ขอบคุณมา ณ ที่นี้

ณัฏฐา คหาปนะ

มูหามัด ดาราฮิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ(ภาษาไทย)	ก
บทคัดย่อ(ภาษาอังกฤษ)	ข
กิตติกรรมประกาศ	ค
สารบัญ	ง
สารบัญภาพ	ฉ
สารบัญตาราง	ฎ
บทที่ 1 บทนำ	1
1.1 ระบบสื่อสาร	1
1.2 รูปแบบของข้อมูลที่ใช้ในการสื่อสารแบบดิจิตอล	1
1.3 คุณสมบัติของสายส่ง	2
1.4 สาเหตุของการเกิดความผิดพลาด	3
1.5 ข้อดีของการมอดูเลชัน	9
1.6 วัตถุประสงค์	11
1.7 แนวความคิดและที่	11
1.8 ส่วนประกอบโครงงาน	11
1.9 ประโยชน์ที่ได้รับ	11
บทที่ 2 ทฤษฎีและการออกแบบ	12
2.1 การเข้ารหัสข้อมูล	12
2.2 รูปแบบของข้อมูลที่ใช้ในการสื่อสารดิจิตอล	14
2.3 ชนิดของรหัสไบนารี	15
2.4 รหัสการส่งสัญญาณตามสาย	29
2.5 การส่งข้อมูล	30
2.6 การโอนถ่ายข้อมูลอนุกรม	32
2.7 รูปแบบของการติดต่อสื่อสารแบบอนุกรม	33
2.8 ความเร็วในการส่งข้อมูลแบบอนุกรม	34
2.9 การสื่อสารแบบอะซิงโครนัส	34
2.10 การออกแบบวงจรกำเนิดสัญญาณนาฬิกา	36
2.11 การออกแบบและการทำงานของวงจร NRZ	36

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	หน้า
2.12 การออกแบบและการทำงานของวงจร RZ	37
2.13 การออกแบบและการทำงานของวงจร BIPHASE	39
2.14 การออกแบบและการทำงานของวงจร ADI	39
2.15 การออกแบบและการทำงานของวงจร CMI	42
2.16 การออกแบบและการทำงานของวงจร AMI	45
2.17 การออกแบบและการทำงานของวงจร HDB3	48
บทที่ 3 ผลการทดลอง	55
บทที่ 4 บทสรุปโครงงาน	81
บรรณานุกรม	84
ภาคผนวก ก	85
ภาคผนวก ข	103

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

	หน้า
บทที่ 1	
รูปที่ 1.1 กรณีที่ไม่มีการผิดเพี้ยนรูปทรงสัญญาณ	2
รูปที่ 1.2 กรณีที่เกิดการผิดเพี้ยนรูปทรงสัญญาณอย่างมาก	2
รูปที่ 1.3 ปริมาณการลดทอนของสัญญาณของสายโคแอกเซียลในเมือง	4
รูปที่ 1.4 ปริมาณการลดทอนขนาดของสัญญาณสายโคแอกเซียล	5
รูปที่ 1.5 โครงสร้างของสายโคแอกเซียล	7
รูปที่ 1.6 การผิดเพี้ยนของสัญญาณเนื่องจากการสะท้อนกลับ	8
รูปที่ 1.7 การผิดเพี้ยนของสัญญาณเนื่องจากผลตอบสนองความถี่	9
รูปที่ 1.8 การมอดูเลชัน	10
รูปที่ 1.9 ตัวอย่างของพัลส์โค้ด	10
บทที่ 2	
รูปที่ 2.1 คุณลักษณะของการเข้ารหัสและการมอดูเลชัน	12
รูปที่ 2.2 รูปคลื่นรหัสไบนารี	16
รูปที่ 2.3 คุณลักษณะของรหัส NRZ(I)	17
รูปที่ 2.4 แสดงบล็อกไดอะแกรมของวงจร PRBS ขนาด M-Seq = 4 bits	18
รูปที่ 2.5 แสดงสัญญาณเอาท์พุตของ PRBS ขนาด 4 บิต	19
รูปที่ 2.6 แสดงลักษณะหลักการทำงานวงจรชิพรีจิสเตอร์	20
รูปที่ 2.7 แสดงข้อมูลที่อยู่ในรีจิสเตอร์	20
รูปที่ 2.8 แสดงการชิพข้อมูล	21
รูปที่ 2.9 วงจรชิพรีจิสเตอร์	23
รูปที่ 2.10 คุณลักษณะของการเข้ารหัส Retune-to-zero	24
รูปที่ 2.11 คุณลักษณะของรหัสไดเฟส	26
รูปที่ 2.12 คุณลักษณะของรูปคลื่นรหัสไบโพลาร์	26
รูปที่ 2.13 คุณลักษณะของรหัสไบโพลาร์	27
รูปที่ 2.14 รหัสสัญญาณแบบ HDB3	28
รูปที่ 2.15 การส่งข้อมูลแบบอนุกรม	32
รูปที่ 2.16 รูปแบบของการติดต่อสื่อสารแบบอนุกรม	33
รูปที่ 2.17 ฟอร์แมตการสื่อสารแบบอะซิงโครนัส	34

เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	หน้า
รูปที่ 2.18 วงจรกำเนิดสัญญาณนาฬิกา	36
รูปที่ 2.19 วงจรสร้างสัญญาณ NRZ	37
รูปที่ 2.20 แสดงวงจรและการทำงานการเข้ารหัส RZ	38
รูปที่ 2.21 แสดงวงจรและการทำงานการถอดรหัส RZ	38
รูปที่ 2.22 แสดงวงจรและการทำงานการเข้ารหัส BIPHASE	39
รูปที่ 2.23 แสดงวงจรและการทำงานการเข้ารหัส ADI	40
รูปที่ 2.24 แสดงวงจรและการทำงานการรถอดรหัส ADI	41
รูปที่ 2.25 แสดงวงจรและการทำงานการเข้ารหัส CMI	43
รูปที่ 2.26 แสดงวงจรและการทำงานการถอดรหัส CMI	44
รูปที่ 2.27 แสดงวงจรและการทำงานการเข้ารหัส AMI	46
รูปที่ 2.28 แสดงวงจรและการทำงานการถอดรหัส AMI	48
รูปที่ 2.29 แสดงบล็อกไดอะแกรมของการเข้ารหัส HDB3	48
รูปที่ 2.30 แสดงวงจรและการทำงานการเข้ารหัส HDB3	51
รูปที่ 2.31 แสดงบล็อกไดอะแกรมของการถอดรหัส HDB3	52
รูปที่ 2.32 แสดงวงจรและการทำงานการถอดรหัส HDB3	54
บทที่ 3	
รูปที่ 3.1 CH1 แสดงสัญญาณ NRZ เมื่อมีรหัส 1000 0000	55
CH2 แสดงสัญญาณนาฬิกาความถี่ 64 KHz	
รูปที่ 3.2 CH1 แสดงสัญญาณ NRZ เมื่อมีรหัส 1000 0000	56
CH2 แสดงสัญญาณ RZ	
รูปที่ 3.3 CH1 แสดงสัญญาณ RZ	56
CH2 แสดงสัญญาณนาฬิกาความถี่ 64 KHz	
รูปที่ 3.4 CH1 แสดงสัญญาณ NRZ เมื่อมีรหัส 1000 0000	57
CH2 แสดงสัญญาณ BIPHASE	
รูปที่ 3.5 CH1 แสดงสัญญาณ BIPHASE	57
CH2 แสดงสัญญาณนาฬิกา 64 KHz	
รูปที่ 3.6 CH1 แสดงสัญญาณ NRZ เมื่อมีรหัส 1000 0000	58
CH2 แสดงสัญญาณ ADI	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 3.7 CH1 แสดงสัญญาณ ADI 58
CH2 แสดงสัญญาณนาฬิกาความถี่ 64 KHz
รูปที่ 3.8 CH1 แสดงสัญญาณ NRZ เมื่อมีรหัส 1000 0000 59
CH2 แสดงสัญญาณ CMI
รูปที่ 3.9 CH1 แสดงสัญญาณ CMI 59
CH2 แสดงสัญญาณนาฬิกาความถี่ 64 KHz
รูปที่ 3.10 CH1 แสดงสัญญาณ NRZ เมื่อมีรหัส 1000 0000 60
CH2 แสดงสัญญาณ AMI
รูปที่ 3.11 CH1 แสดงสัญญาณ AMI 60
CH2 แสดงสัญญาณนาฬิกาความถี่ 64 HKz
รูปที่ 3.12 CH1 แสดงสัญญาณ NRZ เมื่อมีรหัส 1000 0000 61
CH2 แสดงสัญญาณ HDB3
รูปที่ 3.13 CH1 แสดงสัญญาณ HDB3 61
CH2 แสดงสัญญาณนาฬิกาความถี่ 64 KHz
รูปที่ 3.14 CH1 แสดงสัญญาณ NRZ เมื่อมีรหัส 1101 0000 62
CH2 แสดงสัญญาณนาฬิกาความถี่ 64 KHz
รูปที่ 3.15 CH1 แสดงสัญญาณ NRZ เมื่อมีรหัส 1101 0000 63
CH2 แสดงสัญญาณ RZ
รูปที่ 3.16 CH1 แสดงสัญญาณ RZ 63
CH2 แสดงสัญญาณนาฬิกาความถี่ 64 KHz
รูปที่ 3.17 CH1 แสดงสัญญาณ NRZ เมื่อมีรหัส 1101 0000 64
CH2 แสดงสัญญาณ BIPHASE
รูปที่ 3.18 CH1 แสดงสัญญาณ BIPHASE 64
CH2 แสดงสัญญาณนาฬิกาความถี่ 64 KHz
รูปที่ 3.19 CH1 แสดงสัญญาณ NRZ เมื่อมีรหัส 1101 0000 65
CH2 แสดงสัญญาณ ADI
รูปที่ 3.20 CH1 แสดงสัญญาณ ADI 65
CH2 แสดงสัญญาณนาฬิกาความถี่ 64 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

		หน้า
รูปที่ 3.21 CH1	แสดงสัญญาณ NRZ เมื่อมีรหัส 1101 0000	66
CH2	แสดงสัญญาณ CMI	
รูปที่ 3.22 CH1	แสดงสัญญาณ CMI	66
CH2	แสดงสัญญาณนาฬิกาความถี่ 64 KHz	
รูปที่ 3.23 CH1	แสดงสัญญาณ NRZ เมื่อมีรหัส 1101 0000	67
CH2	แสดงสัญญาณAMI	
รูปที่ 3.24 CH1	แสดงสัญญาณ AMI	67
CH2	แสดงสัญญาณนาฬิกาความถี่ 64 KHz	
รูปที่ 3.25 CH1	แสดงสัญญาณ NRZ เมื่อมีรหัส 11010000	68
CH2	แสดงสัญญาณ HDB3	
รูปที่ 3.26 CH1	แสดงสัญญาณ HDB3	68
CH2	แสดงสัญญาณนาฬิกาความถี่ 64 KHz	
รูปที่ 3.27 CH1	แสดงสัญญาณอินพุต RZ	69
CH2	แสดงสัญญาณเอาท์พุต NRZ	
รูปที่ 3.28 CH1	แสดงสัญญาณอินพุต NRZ	69
CH2	แสดงสัญญาณเอาท์พุต NRZ	
รูปที่ 3.29 CH1	แสดงสัญญาณอินพุต BIPHASE	70
CH2	แสดงสัญญาณเอาท์พุต NRZ	
รูปที่ 3.30 CH1	แสดงสัญญาณอินพุต NRZ	70
CH2	แสดงสัญญาณเอาท์พุต NRZ	
รูปที่ 3.31 CH1	แสดงสัญญาณอินพุต CMI	71
CH2	แสดงสัญญาณเอาท์พุต NRZ	
รูปที่ 3.32 CH1	แสดงสัญญาณอินพุต NRZ	71
CH2	แสดงสัญญาณเอาท์พุต NRZ	
รูปที่ 3.33 CH1	แสดงสัญญาณอินพุต ADI	72
CH2	แสดงสัญญาณเอาท์พุต NRZ	
รูปที่ 3.34 CH1	แสดงสัญญาณอินพุต NRZ	72
CH2	แสดงสัญญาณเอาท์พุต NRZ	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

		หน้า
รูปที่ 3.35 CH1	แสดงสัญญาณอินพุต AMI	73
CH2	แสดงสัญญาณเอาท์พุต NRZ	
รูปที่ 3.36 CH1	แสดงสัญญาณอินพุต NRZ	73
CH2	แสดงสัญญาณเอาท์พุต NRZ	
รูปที่ 3.37 CH1	แสดงสัญญาณอินพุต HDB3	74
CH2	แสดงสัญญาณเอาท์พุต NRZ	
รูปที่ 3.38 CH1	แสดงสัญญาณอินพุต NRZ	74
CH2	แสดงสัญญาณเอาท์พุต NRZ	
รูปที่ 3.39 CH1	แสดงสัญญาณอินพุต RZ	75
CH2	แสดงสัญญาณเอาท์พุต NRZ	
รูปที่ 3.40 CH1	แสดงสัญญาณอินพุต NRZ	75
CH2	แสดงสัญญาณเอาท์พุต NRZ	
รูปที่ 3.41 CH1	แสดงสัญญาณอินพุต BIPHASE	76
CH2	แสดงสัญญาณเอาท์พุต NRZ	
รูปที่ 3.42 CH1	แสดงสัญญาณอินพุต NRZ	76
CH2	แสดงสัญญาณเอาท์พุต NRZ	
รูปที่ 3.43 CH1	แสดงสัญญาณอินพุต ADI	77
CH2	แสดงสัญญาณเอาท์พุต NRZ	
รูปที่ 3.44 CH1	แสดงสัญญาณอินพุต NRZ	77
CH2	แสดงสัญญาณเอาท์พุต NRZ	
รูปที่ 3.45 CH1	แสดงสัญญาณอินพุต CMI	78
CH2	แสดงสัญญาณเอาท์พุต NRZ	
รูปที่ 3.46 CH1	แสดงสัญญาณอินพุต NRZ	78
CH2	แสดงสัญญาณเอาท์พุต NRZ	
รูปที่ 3.47 CH1	แสดงสัญญาณอินพุต AMI	79
CH2	แสดงสัญญาณเอาท์พุต NRZ	
รูปที่ 3.48 CH1	แสดงสัญญาณอินพุต NRZ	79
CH2	แสดงสัญญาณเอาท์พุต NRZ	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 3.49 CH1 แสดงสัญญาณอินพุต HDB3 80
CH2 แสดงสัญญาณเอาท์พุต NRZ

รูปที่ 3.50 CH1 แสดงสัญญาณอินพุต NRZ 80
CH2 แสดงสัญญาณเอาท์พุต NRZ

บทที่ 4

รูปที่ 4.1 แสดงบล็อกไดอะแกรมการประยุกต์ใช้งาน 83

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

			หน้า
บทที่ 1			
	ตารางที่ 1.1	ตัวอย่างของสายเคเบิลในเมือง	6
	ตารางที่ 1.2	ชนิดของสายเคเบิลในเมืองที่ฉนวนเป็นโพลีเอทิลีน	6
	ตารางที่ 1.3	ชนิดของสายเคเบิล CCP	6
บทที่ 2			
	ตารางที่ 2.1	แสดง state ของชิฟรีจิสเตอร์แต่ละตัวของรูปที่ 2.4	18
	ตารางที่ 2.2	ตัวอย่างของ Maximum-Length	19
	ตารางที่ 2.3	แสดงการชิฟข้อมูลทางซ้าย	21
	ตารางที่ 2.4	แสดงการชิฟข้อมูลทางขวา	22
	ตารางที่ 2.5	แสดงค่าเอาท์พุตของวงจรฟลิปฟลอป	23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ทฤษฎีและหลักการจัดการข้อมูลดิจิตอล

1.1 ระบบสื่อสาร

ก่อนที่จะทำการส่งสัญญาณข้อมูลข่าวสาร ไปยังผู้รับปลายทางหรืออุปกรณ์ได้อย่างถูกต้องในระบบโทรคมนาคม ข้อมูลนั้นจะต้องถูกแปลงให้อยู่ในรูปของสัญญาณไฟฟ้า ที่เรียกว่าสัญญาณเบสแบนด์ (Base band) ซึ่งสัญญาณจะมีสเปคตรัมของความถี่เดียวกับต้นทาง สัญญาณเบสแบนด์นี้จะถูกแปลงให้อยู่ในรูปของโค้ดตามวิธีการสื่อสารแบบดิจิตอล การส่งข้อมูลดิจิตอลที่มีประสิทธิภาพนั้น ทำโดยการฝากสัญญาณข้อมูลไปกับคลื่นพาห์ (carrier signal) ปกติจะทำโดยการใช้สัญญาณข้อมูลไปที่ไกลๆด้วยความถี่สูงตามกระบวนการมอดูเลชัน (modulation) ในการวัดความสามารถในการทำงานของระบบสื่อสารระบบดิจิตอล จะพิจารณาจากค่าอัตราความผิดพลาดข้อมูล (Bit Error Rate:BER) อัตราความผิดพลาดนี้จะแสดงให้เห็นว่า พัลส์ที่รับได้ทางภาครับ. จะผิดไปกี่พัลส์จากจำนวนพัลส์ทั้งหมดที่ส่งมาโดยในช่วงเวลาหนึ่งโดยถ้าอัตราความผิดพลาดข้อมูล มีค่าต่ำหมายถึงระบบมีประสิทธิภาพสูง จากที่จะกล่าวต่อไปนี้เป็นการศึกษาเทคนิค และ วิธีที่เกี่ยวข้องกับการจัดการข้อมูลในทางดิจิตอล การมอดูเลตสัญญาณดิจิตอลที่ข่าวสารเปลี่ยนแปลง ขนาด ความถี่ และเฟสของคลื่นพาห์และการดีมอดูเลต สัญญาณแต่ละประเภทเพื่อให้ได้ข้อมูลกลับคืนมา

1.2 รูปแบบของข้อมูลที่ใช้ในการสื่อสารแบบดิจิตอล (Digital transmission format)

เนื่องจากขีดจำกัดของค่าแบนด์วิดท์ (Bandwidth) อาจทำให้ความจุไม่เพียงพอต่อปริมาณข้อมูล ดังนั้นจึงต้องมีการเข้ารหัสเพื่อทำการลดจำนวนข้อมูลแต่รายละเอียดของข้อมูลยังอยู่ครบหรือมีการสูญเสียที่น้อย ในความเป็นจริง สัญญาณดิจิตอลที่เป็นพัลส์อาจมีระดับ ขนาดอะไรก็ได้ 2,4,8 หรือ 16 ระดับก็ได้ ไม่จำเป็นต้องเป็น “1” และ “0” การเพิ่มระดับเป็นการช่วยในการใช้ประโยชน์จากช่องสัญญาณและทำให้ได้สมรรถนะที่มีความผิดพลาดต่ำ

สำหรับวิธีเข้ารหัสมีหลายวิธี ซึ่งจะแบ่งตามชนิดของสัญญาณได้เป็น สัญญาณแบบขั้วเดียว (Unipolar signal) และสัญญาณแบบสองขั้ว (Bipolar signal)

(ก) สัญญาณแบบขั้วเดียว

วิธีแบบนี้ใช้หลักการสร้างขั้วศักย์ไฟฟ้าเพียงขั้วเดียว เพื่อสร้างแรงดันให้เกิด สถานะกำหนดให้เป็น “0” (สภาพที่ไม่มีแรงดัน) และ “V” โวลต์ สัญญาณนี้มีองค์ประกอบไฟฟ้ากระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้นำไปดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

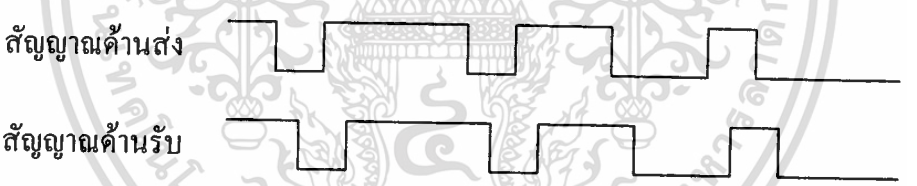
ตรง (DC offset) ที่มีค่าไม่เป็นศูนย์คือ มีค่าเป็นครึ่งหนึ่งของศักย์ไฟฟ้าบวก

(ข) สัญญาณแบบสองขั้ว (Bipolar signal)

เป็นสัญญาณที่มีการแบ่งระดับสัญญาณข้อมูลออกเป็น 3 ระดับ คือเป็นระดับบวกและลบสลับกันกรณีที่สัญญาณข้อมูลมีสถานะเป็น "1" และมีระดับศูนย์เมื่อสัญญาณข้อมูลมีสถานะเป็น "0" ผลของการเข้ารหัสแบบนี้จะทำให้องค์ประกอบไฟฟ้ากระแสตรงมีค่าเท่ากับศูนย์ทำให้ไม่ถูกบล็อกโดยตัวกลางในวงจรสื่อสาร สำหรับแบบสองขั้วนี้ได้รับการรบกวนจากค่าเหนี่ยวนำไฟฟ้าในสายส่งได้น้อยกว่าด้วย มีผลให้สามารถส่งข้อมูลได้ระยะไกลกว่าแบบขั้วเดียว

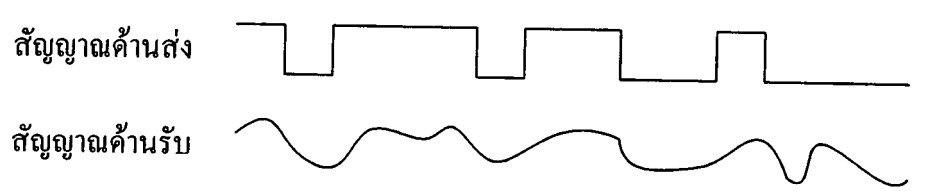
1.3 คุณสมบัติของสายส่งข้อมูล

การติดต่อสื่อสารในปัจจุบันมีความจำเป็นมาก การส่งข้อมูลไม่ว่าจะเป็นข้อมูลชนิดใดหรือจะส่งด้วยวิธีการใด สิ่งสำคัญคือความถูกต้อง และรวดเร็ว การส่งข้อมูลดิจิตอลไปทางสายนำสัญญาณต้องการความรวดเร็วและถูกต้องของข้อมูลเช่นกัน แต่การส่งข้อมูลที่เป็นสัญญาณทางไฟฟ้าผ่านสายนำสัญญาณเป็นระยะทางไกลๆ ต้องมีการพิจารณาและคำนึงถึงอยู่หลายประการ โดยเฉพาะสัญญาณที่เป็นข้อมูลดิจิตอล ซึ่งต้องการความถูกต้องและแม่นยำของข้อมูลมากเป็นพิเศษ



รูปที่ 1.1 กรณีที่ไม่มีการผิดเพี้ยนของสัญญาณ

เนื่องจากเกิดการหน่วงเวลาขึ้นในสายข้อมูลทำให้สัญญาณทางด้านรับถูกหน่วงเวลาไปจากสัญญาณทางด้านส่งแต่ไม่เกิดการผิดเพี้ยนของสัญญาณ



รูปที่ 1.2 กรณีที่เกิดการผิดเพี้ยนของสัญญาณอย่างมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความผิดเพี้ยนของสัญญาณทางด้านรับมีค่าสูงทำให้สัญญาณที่รับได้แตกต่างไปจากสัญญาณทางด้านส่งอย่างมากเป็นสาเหตุทำให้เกิดความผิดพลาดขึ้นในการส่งข้อมูล

1.4 สาเหตุของการเกิดความผิดพลาด

สาเหตุของการเกิดความผิดพลาดของข้อมูลในการส่งนี้ อาจกล่าวรวมๆ ได้ว่าเกิดขึ้นจากการที่สัญญาณเกิดการผิดเพี้ยน (distortion) ไปอันเนื่องมาจากการส่ง ตามรูปที่ 1.1 ซึ่งแสดงสัญญาณที่ส่งออกจากเอาท์พุตของเครื่องส่ง ถ้าสามารถเดินทางไปถึงเครื่องรับได้โดยไม่มีการผิดเพี้ยนใดๆ ก็จะถือได้ว่าไม่เกิดความผิดพลาดในการส่งข้อมูลเลย แต่ถ้าเกิดการเพี้ยนของสัญญาณขึ้นดังรูปที่ 1.2 ก็จะเกิดการผิดพลาดของข้อมูลขึ้น และการที่เราจะทำให้ได้ข้อมูลที่ถูกต้องกลับมาได้นั้น จะเป็นไปได้ยากขึ้น

ดังนั้นเทคนิคพื้นฐานในการส่งข้อมูลจึงมีหลักสำคัญอยู่ 2 ข้อคือ

(ก) ต้องพยายามทำให้ความผิดเพี้ยนของสัญญาณที่เกิด จากการส่งข้อมูลไปยังเครื่องรับมีน้อยที่สุด

(ข) ในกรณีที่สัญญาณมีการผิดเพี้ยนเกิดขึ้นอยู่แล้ว ต้องสามารถที่จะคัดเลือก (pick up) เอาเฉพาะสัญญาณที่ถูกต้องออกมาให้ได้ จะโดยวิธีใดก็ตาม ทั้งนี้จะต้องคิดถึงในแง่ความสมดุลกับสภาพเศรษฐกิจด้วย

1.4.1 สัญญาณรบกวนที่มาจากภายนอก

ข้อนี้เป็นปัญหาใหญ่โดยเฉพาะกับการส่งข้อมูลมากที่สุด เป็นปัญหาที่ไม่สามารถหลีกเลี่ยงได้เนื่องจากข้อมูลในรูปของสัญญาณจะต้องเดินทางไปตามสายส่ง ซึ่งมีระยะทางยาว และอยู่ในสภาพแวดล้อมต่างๆ

แต่การผิดเพี้ยนของสัญญาณ ไม่ได้เกิดขึ้นจากสัญญาณรบกวนที่มาจากภายนอกแต่เพียงอย่างเดียวเท่านั้น แต่อาจเกิดขึ้นเนื่องจากคุณสมบัติของตัวสายส่งข้อมูลเองด้วย

1.4.2 ผลการตอบสนองความถี่ของสายส่งข้อมูล

สาเหตุของการผิดเพี้ยนของสัญญาณที่เกิดจากตัวสายส่งข้อมูลเอง คือ ถ้าสายส่งมีความยาวมากก็จะทำให้เกิดการลดทอนขนาดของสัญญาณอันเนื่องมาจากตัวสาย การลดทอนขนาดของสัญญาณนี้มีค่าไม่คงที่ ขึ้นอยู่กับความถี่ของสัญญาณ และอันนี้เองที่เป็นสาเหตุที่ทำให้เกิดความผิดเพี้ยนของสัญญาณขึ้น

เอกสารนี้จัดทำขึ้นเพื่อสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

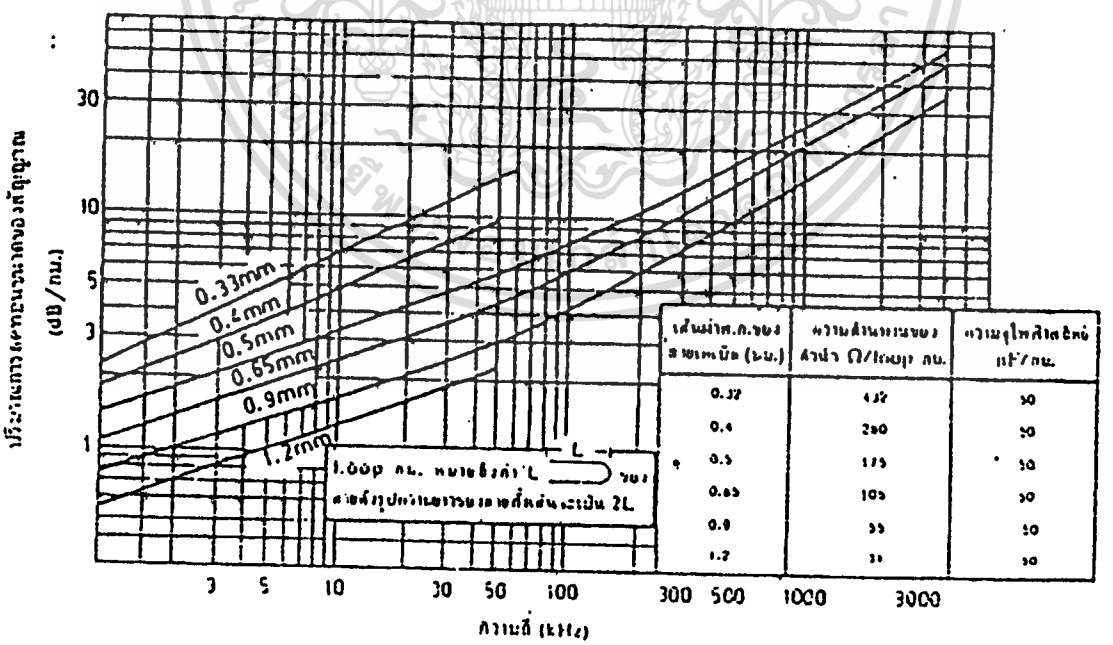
1.4.2.1 ผลตอบสนองต่อความถี่

ถ้าสายเคเบิลมีความยาวมากขึ้น นอกจากจะทำให้ปริมาณการลดทอนขนาดของสัญญาณมีค่าเพิ่มขึ้นแล้ว ยังทำให้ผลตอบสนองต่อความถี่มีการเปลี่ยนแปลงรวดเร็วขึ้นด้วย

1.4.2.2 การผิดเพี้ยนของสัญญาณเนื่องจากผลตอบสนองต่อความถี่

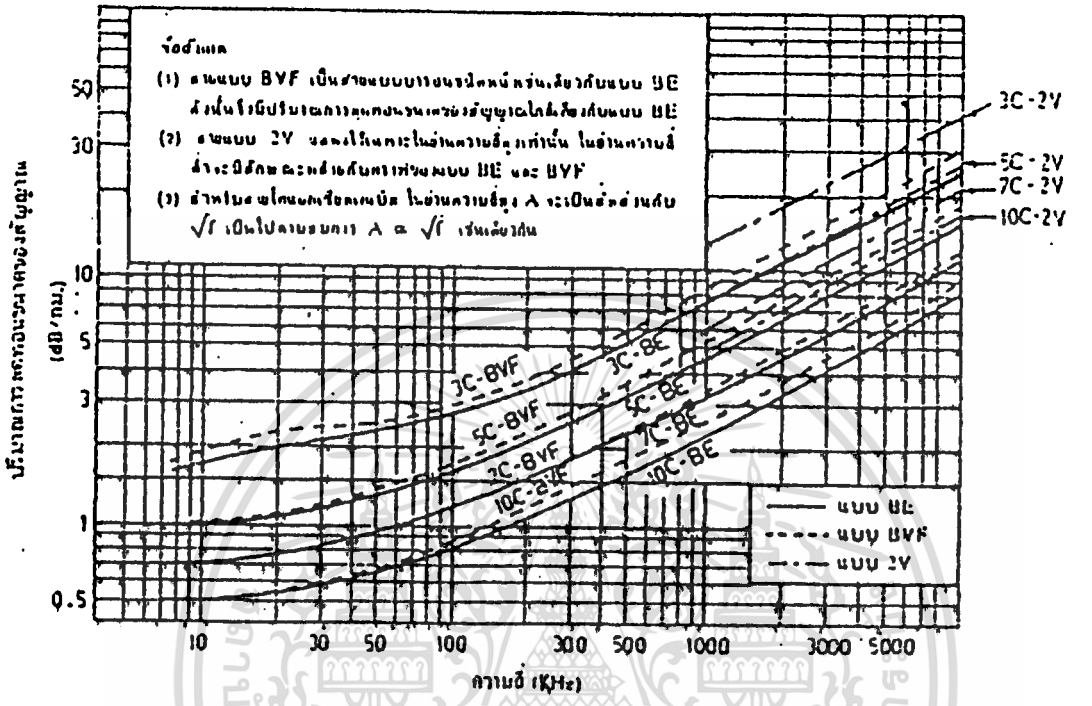
เนื่องจากสายส่งข้อมูลมีคุณสมบัติตอบสนองต่อความถี่ต่างๆ ไม่เท่ากันจึงเป็นสาเหตุทำให้เกิดความผิดเพี้ยนของสัญญาณขึ้น กล่าวคือถ้าสัญญาณที่เดินทางในสายส่งข้อมูลมีแบนด์วิดท์กว้าง การลดทอนขนาดสัญญาณที่ความถี่ต่างๆ ก็จะไม่เท่ากัน เป็นสาเหตุทำให้เกิดความผิดเพี้ยนของสัญญาณขึ้น และยิ่งถ้าขนาดของการลดทอนสัญญาณในสายส่งมีค่ามาก ความผิดเพี้ยนของสัญญาณก็จะยิ่งมาก

ตัวอย่างของการผิดเพี้ยนของสัญญาณเนื่องจากผลตอบสนองต่อความถี่ของสายส่งนี้ แสดงไว้ในรูปที่ 1.7 จากรูปจะเห็นได้ว่าความผิดเพี้ยนของสัญญาณเป็นสาเหตุทำให้เกิดการผิดพลาดของข้อมูลในการส่ง ถ้าไม่ต้องการให้เกิดการผิดเพี้ยนของสัญญาณ จำเป็นจะต้องให้แบนด์วิดท์ของสัญญาณมีขนาดแคบที่สุด



รูปที่ 1.3 ปริมาณการลดทอนขนาดของสัญญาณของสายโคแอกเซียลในเมือง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.4 ปริมาณการลดทอนขนาดของสัญญาณสายโคแอกเซียล

1.4.3 สายเคเบิลที่ใช้ส่งข้อมูล

สายส่งที่ใช้ในการส่งข้อมูลมีทั้งแบบใช้ส่งข้อมูลในรูปของคลื่นไฟฟ้าและในรูปของคลื่นแสง จากความก้าวหน้าในการพัฒนาเคเบิลใยแก้วนำแสง ทำให้มีการนำเอาคลื่นแสงมาใช้กันมากในปัจจุบัน สายส่งที่ใช้ในการส่งข้อมูลมีด้วยกันมากมายหลายชนิดแต่ที่นิยมใช้กันมากก็คือสายเคเบิลสื่อสาร และสายโคแอกเซียลเคเบิล

1.4.3.1 สายเคเบิลสื่อสาร

สายเคเบิลชนิดนี้เดิมเป็นสายที่สร้างขึ้นมาเพื่อใช้เป็นสายโทรศัพท์สามารถใช้ได้กับสัญญาณในย่านความถี่เสียงและสัญญาณที่มีความถี่สูงกว่าได้ ดังนั้นจึงมีการนำสายชนิดนี้มาใช้มากในการส่งข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สายเคเบิลสื่อสารมีด้วยกันหลายชนิด ชนิดที่ใช้กับการส่งข้อมูลของไมโครคอมพิวเตอร์มีลักษณะคล้ายกับสายที่เรียกว่าสายเคเบิลในเมือง(จำพวกสายโทรศัพท์) ตัวอย่างของสายเคเบิลสื่อ

สารที่นิยมใช้ในการส่งข้อมูลของไมโครคอมพิวเตอร์ แสดงไว้ในตารางที่ 1 ถึงตารางที่ 3 แต่เนื่องจากไม่ได้ใช้งานเช่นเดียวกับสายโทรศัพท์จึงไม่จำเป็นต้องมีจำนวนเส้นของสายต่อเคเบิลมากๆ

ในบางกรณีก็มีการใช้สายเคเบิลที่ใช้กับงานโทรศัพท์ในการส่งข้อมูลบ้างเหมือนกัน ถ้าหากไม่มีการเกิดผลเสียหายอันเนื่องมาจากสัญญาณรบกวน

ตารางที่ 1.1 ตัวอย่างของสายเคเบิลในเมือง

ชื่อย่อ	ลักษณะของสาย
CPEV	เป็นสายคู่บิดเกลียว ฉนวนทำจากสารโพลีเอเทิลีน หุ้มภายนอกด้วยพลาสติก
CPEE	เป็นสายคู่บิดเกลียว ฉนวนทำจากสารโพลีเอเทิลีน หุ้มภายนอกด้วยสารโพลีเอทิลีน
CCP	เหมือนกับสาย CPEE แต่แยกสีของสายทั้งหมดไว้ด้วย จึงง่ายต่อการจำแนกสาย

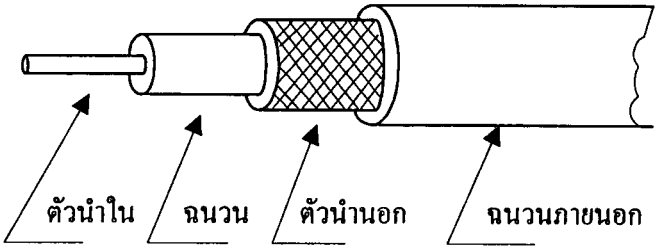
ตารางที่ 1.2 ชนิดของสายเคเบิลในเมืองที่มีฉนวนเป็นโพลีเอทิลีน

ขนาดเส้นผ่าศูนย์กลางของตัวนำ (ม.ม)	จำนวนคู่สาย				
0.50	3	5	7	10	15
0.60	20	25	30	50	75
0.90	100	150	200		
1.20	100	200	300		

ตารางที่ 1.3 ชนิดของสายเคเบิล CCP

ขนาดเส้นผ่าศูนย์กลางของตัวนำ (ม.ม)	จำนวนคู่สาย					
0.40	10	30	50	100	200	400
0.50	10	30	50	100	200	400
0.65	10	30	50	100	200	400
0.90	10	30	50	100		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.5 โครงสร้างของสายโคแอกเซียล

ตัวนำอันในและตัวนำอันนอกมีลักษณะโค้งเป็นวงกลมที่มีจุดศูนย์กลางร่วมกันเป็นสายโคแอกเซียลหรือสายตัวนำแกนร่วม

1.4.3.2 การลดทอนขนาดของสัญญาณในสายเคเบิล

การลดทอนขนาดของสัญญาณในสายเคเบิล ขึ้นอยู่กับชนิดและความยาวของสาย และความถี่ของสัญญาณการลดทอนขนาดของสัญญาณเนื่องจากความยาวของสายในหน่วยของเดซิเบล (dB) มีค่าเป็นสัดส่วนโดยตรงกับความยาว โดยทั่วไปสายส่งข้อมูลมักจะมีขนาดยาว มีหน่วยความยาวเป็นกิโลเมตรดังนั้นการลดทอนขนาดของสัญญาณจึงมักแสดงเป็นหน่วยของเดซิเบลต่อกิโลเมตร

ตัวอย่างของการลดทอนขนาดของสัญญาณของสายเคเบิลในเมือง (CPEV,CPEE,CCP) แสดงไว้ในรูปที่ 1.3 จากรูปจะเห็นได้ว่ายิ่งสายมีขนาดใหญ่ขึ้นเท่าไร การลดทอนขนาดของสัญญาณก็จะยิ่งน้อยลงเท่านั้น

ในช่วงความถี่สูงๆ ปริมาณการลดทอนขนาดของสัญญาณของสายเคเบิลจะสัมพันธ์กับความถี่เป็นไปตามสมการต่อไปนี้คือ

$$A \propto \sqrt{f}$$

หรือ A แปรโดยตรงกับ $\sqrt{f}$

เมื่อ

f คือความถี่ของสัญญาณ

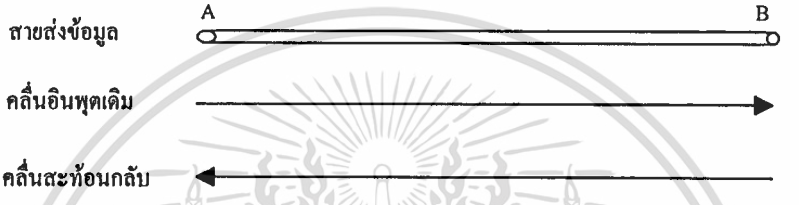
A คือปริมาณการลดทอนขนาดของสัญญาณที่หน่วยเป็นเดซิเบล

ดังนั้นในช่วงความถี่สูงๆ เส้นกราฟมีลักษณะเป็นเส้นตรงที่มีความลาดเอียงประมาณ ½ สำหรับในช่วงความถี่ต่ำเส้นกราฟมีลักษณะโค้งเล็กน้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

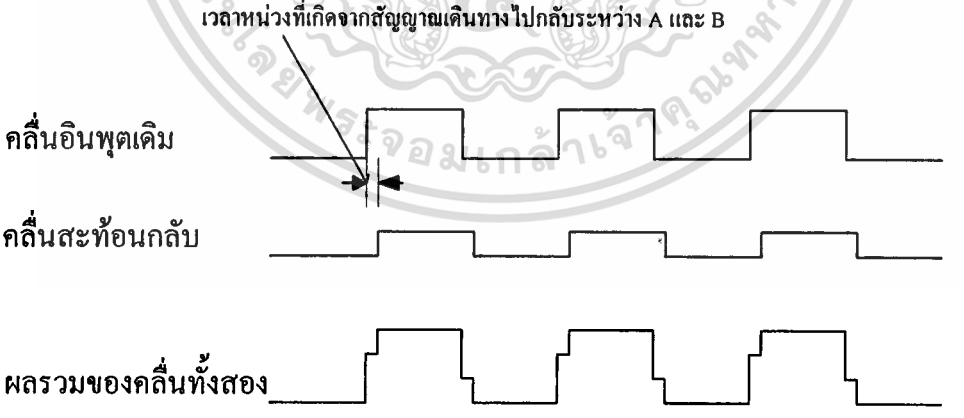
1.4.4 การสะท้อนกลับของสัญญาณ

อีกสาเหตุหนึ่งของการเกิดความผิดเพี้ยนของสัญญาณอันเนื่องจากตัวสายส่งข้อมูลก็คือ ปัญหาการเกิดการสะท้อนกลับของสัญญาณภายในสายส่ง ทั้งนี้เพราะสัญญาณต่างๆ เดินทางไปในสายส่งข้อมูลในรูปของคลื่น ดังนั้นเมื่อคลื่นเดินทางไปถึงปลายสายหรือบริเวณที่มีรอยต่อของสาย ส่วนหนึ่งของคลื่นนั้นจะถูกสะท้อนกลับมา คลื่นของสัญญาณที่สะท้อนกลับมาจะรวมกับคลื่นที่ส่งไปตอนแรก เป็นสาเหตุทำให้เกิดการผิดเพี้ยนของสัญญาณ



(ก) การสะท้อนกลับของสัญญาณ

จากรูปในการส่งคลื่นอินพุตเข้าไปในสายส่งข้อมูล คลื่นจะสะท้อนกลับที่ปลายสาย B และจะเคลื่อนที่สวนทางกับทิศของคลื่นอินพุตเดิม



(ข) รูปของสัญญาณที่จุด A

จากรูป(ข)เป็นผลรวมของคลื่นอินพุตกับคลื่นที่สะท้อนกลับมาทำให้สัญญาณผิดเพี้ยน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 1.6 การผิดเพี้ยนของสัญญาณเนื่องจากการสะท้อนกลับ

1.5 ข้อดีของการมอดูเลชัน

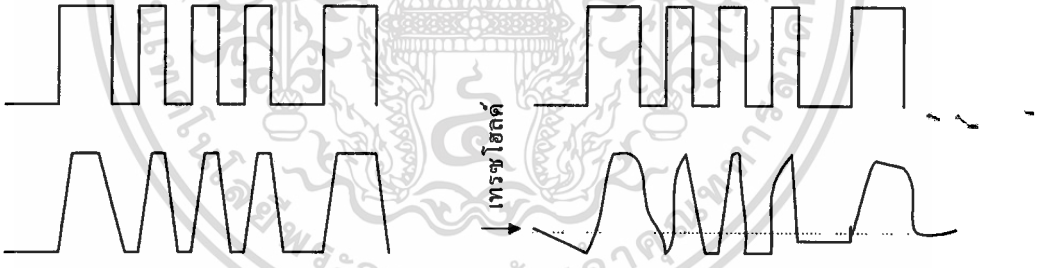
การมอดูเลชัน(modulation)ทำให้เกิดผลดีคือ ช่วยให้สามารถหลีกเลี่ยงปัญหาการเกิดความผิดเพี้ยนของสัญญาณในการส่งข้อมูลได้ ซึ่งการมอดูเลชันมีอยู่หลายแบบ ดังแสดงในรูปที่ 1.8

ในการมอดูเลชัน จำเป็นต้องใช้ความถี่พาหะสูงขึ้นไปกว่าความถี่ของสัญญาณที่ต้องการส่ง ดังนั้นเมื่อคิดถึงผลตอบสนองต่อความถี่ของสายส่งข้อมูล ซึ่งการลดทอนขนาดของสัญญาณจะมีค่าสูงขึ้นตามไปด้วย การมอดูเลชันเป็นการมัลติเพลกซ์ความถี่ ทำให้สามารถส่งสัญญาณหลายๆ สัญญาณพร้อมกันไปในเวลาเดียวกันได้ สำหรับการส่งข้อมูลที่มีแบนด์วิดท์กว้างด้วยการใช้การมัลติเพลกซ์ความถี่จะทำได้ก็ต้องอาศัยเทคนิคการมอดูเลชันเข้าช่วย

ในรูปเป็นการเปรียบเทียบกรณีที่ส่งสัญญาณที่ความถี่ต่างๆ เข้าไปในสายส่งเดียวกัน

(ก) เมื่อความถี่ของสัญญาณมีค่าต่ำการลดทอนขนาดของสัญญาณจะต่ำด้วย การผิดเพี้ยนของสัญญาณจึงมีน้อย

(ข) เมื่อความถี่ของสัญญาณมีค่าสูงขึ้นการลดทอนขนาดของสัญญาณจะสูงด้วยการ ผิดเพี้ยนของสัญญาณจึงมีมาก สำหรับระดับเทรชโฮลด์ในรูปตำแหน่งที่มีเครื่องหมายแสดง

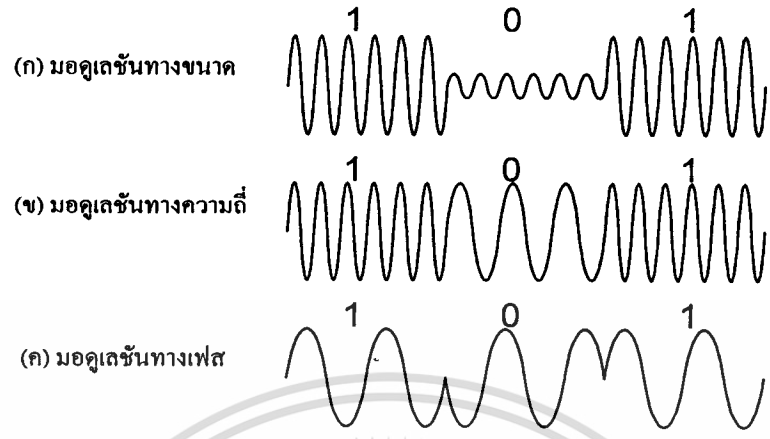


(ก) 200 กิโลบิต / วินาที (ข) 2 เมกะบิต / วินาที

รูปที่ 1.7 การผิดเพี้ยนของสัญญาณเนื่องจากผลตอบสนองความถี่

การเบี่ยงเบนไปจากระดับเทรชโฮลด์ ดังนั้นที่ตำแหน่งนั้นจะเกิดการผิดพลาดของข้อมูลขึ้น

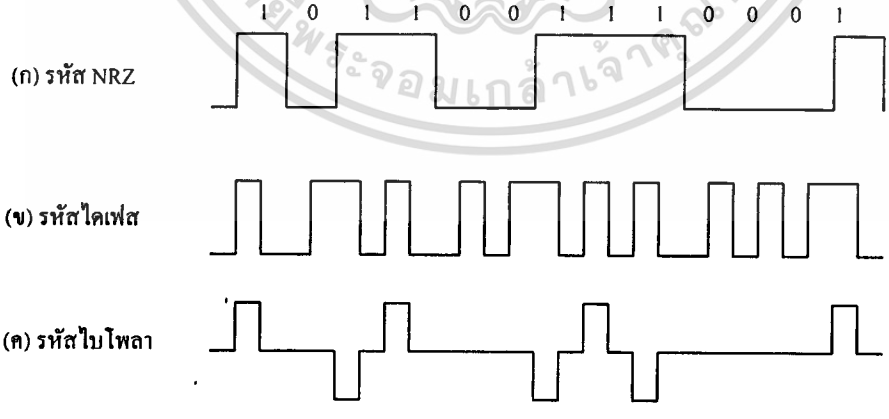
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.8 การมอดูเลชัน

(1) การมอดูเลชันทางขนาดและเฟส ถ้าพิจารณาจากหลักการของการมอดูเลชันแล้วจะเห็นว่าความถี่ของสัญญาณจะคงที่ (แต่ในความเป็นจริงแล้ว การมอดูเลชันจะทำให้เกิดองค์ประกอบของสัญญาณที่มีความถี่อื่นๆ ขึ้นมาด้วย เพียงแต่องค์ประกอบเหล่านั้นจะมีแบนด์วิดท์ที่แคบเท่านั้น)

(2) การมอดูเลชันทางความถี่ ถ้าพิจารณาตามหลักการแล้ว จะเห็นว่าเป็นการเปลี่ยนแปลงความถี่ของสัญญาณ การเปลี่ยนแปลงของความถี่จะทำได้ในช่วงแคบๆ นั่นคือจะมีแบนด์วิดท์ที่แคบ



รูปที่ 1.9 ตัวอย่างของพัลส์โค้ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไดเฟสโค้ด (diphasecode): เป็นรหัสที่จะต้องมีการเปลี่ยนแปลงช่วงขึ้น หรือการเปลี่ยนแปลงช่วงลงที่ตรงกึ่งกลาง ของสัญญาณอยู่ด้วยแน่นอน จากตัวอย่างในรูป จะเห็นว่าที่บิต “0” ของ

สัญญาณจะมีการเปลี่ยนแปลงช่วงขึ้นที่ตรงกึ่งกลางบิต และที่บิต "1" ของสัญญาณจะมีการเปลี่ยนแปลงช่วงลงที่ตรงกึ่งกลางบิต

ไบโพลาร์โค้ด (bipolar code): สำหรับโค้ดนี้บิต "0" ของสัญญาณหมายถึงไม่มีพัลส์ และบิต "1" หมายถึงมีพัลส์ นอกจากนี้ในกรณีที่มีพัลส์ ทิศทางการหันของพัลส์จะสลับไปมาระหว่าง "+v" และ "–v"

ในการส่งสัญญาณเป็นพัลส์ จะใช้วิธีการเปลี่ยนจากรหัส NRZ เป็นพัลส์โค้ดที่มีลักษณะเฉพาะ จากนั้นจะส่งโค้ดนั้นเข้าไปในสายส่งข้อมูลโดยตรง โดยไม่ต้องมีการมอดูเลชันเลย (รูปที่ 1.9 แสดงตัวอย่างของพัลส์โค้ด)

1.6 วัตถุประสงค์

เพื่อที่จะนำเสนอวิธีการเข้ารหัสและการถอดหรหัสของสัญญาณเบสแบนด์แบบต่างๆ

1.7 แนวความคิดและที่มา

เนื่องจากในปัจจุบันนี้การสื่อสารข้อมูลแบบดิจิตอลได้เข้ามามีบทบาทมาก ดังนั้นการป้องกันข้อมูลไม่ให้มีความผิดพลาดเกิดขึ้นเป็นสิ่งจำเป็นอย่างมาก แนวความคิดที่จะป้องกันการผิดพลาดของข้อมูลโดยการเข้ารหัสเป็นแนวความคิดอย่างหนึ่งที่ได้นำมาทดลองและสร้างในโครงงาน

1.8 ส่วนประกอบของโครงงาน

สามารถแบ่งออกเป็น 2 ส่วน คือ

(1) ส่วนของการเข้ารหัส

(2) ส่วนของการถอดรหัส

1.9 ประโยชน์ที่จะได้รับ

ทำให้สามารถเข้าใจการเข้ารหัสและการถอดรหัสแบบต่างๆของสัญญาณเบสแบนด์ได้ดียิ่งขึ้น และสามารถนำโครงงานชิ้นนี้ไปประยุกต์ใช้งานได้อย่างกว้างขวาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีและการออกแบบ

2.1 การเข้ารหัสข้อมูล (Data Encoding)

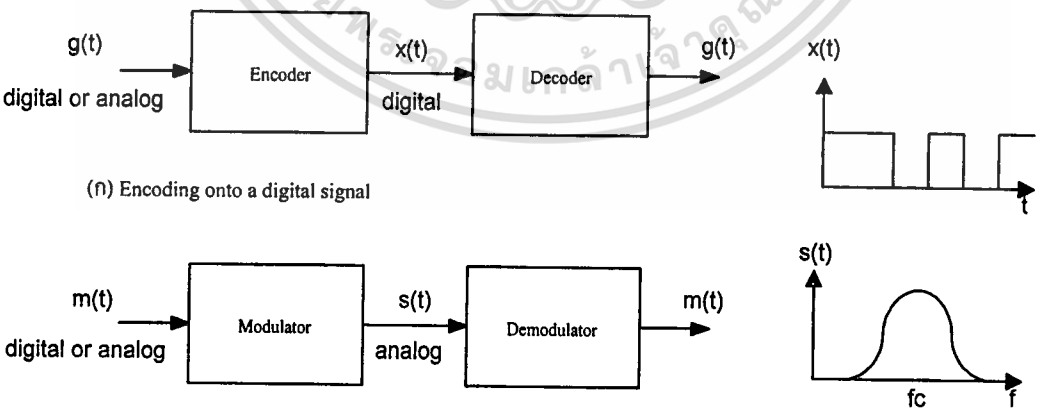
ในการเข้ารหัสและการมอดูเลชัน ซึ่งขบวนการดังกล่าวอาจมีข้อมูลต้นกำเนิด เป็นอนาล็อกหรือดิจิตอลก็ได้ และสำหรับเทคนิคในการเข้ารหัสข้อมูลแบบดิจิตอลแล้วรูปแบบของสัญญาณ x(t) จะมีรูปแบบที่หลากหลายซึ่งขึ้นอยู่กับการเลือกเทคนิควิธีในการเข้ารหัสได้เหมาะสมได้ประสิทธิภาพสูงสุดในการส่งผ่านเข้าไปในตัวกลางนั้นๆ ตัวอย่างการเลือกการเข้ารหัสบางครั้งเราก็อาจเลือกเพื่อให้สอดคล้องกับแบนท์วิดท์ หรือเพื่อทำให้เกิดความผิดพลาดน้อยที่สุด

ในกรณีของสัญญาณอนาล็อกคุณสมบัติพื้นฐานที่สำคัญประการหนึ่งของสัญญาณก็คือการมีค่าความถี่คงที่ต่อเนื่อง จึงเป็นคุณสมบัติที่เหมาะจะใช้เป็นสัญญาณพาหะข้อมูล และความถี่ของสัญญาณพาหะใดๆ จะถูกเลือกให้เหมาะสมกับตัวกลางที่จะใช้ส่งผ่านโดยการนำพาข้อมูลอาศัยวิธีการมอดูเลชัน ซึ่งถือว่าขบวนการของการเข้ารหัสข้อมูลไปบนสัญญาณพาหะที่มีความถี่ (fc) เทคนิคการมอดูเลชันทั้งหมดจะอยู่ภายในขอบเขตของการทำการเปลี่ยนแปลงค่าพารามิเตอร์ที่เป็นคุณสมบัติเบื้องต้นของสัญญาณซึ่งได้แก่

(1) ขนาด (Amplitude)

(2) ความถี่ (Frequency)

(3) เฟส (Phase)



(ก) Encoding onto a digital signal

(ข) Modulation onto an analog signal

รูปที่ 2.1 คุณลักษณะการเข้ารหัสและการมอดูเลชัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณดิจิตอลเอาไว้ได้เทคนิคที่จะได้กล่าวถึงในที่นี้ จะนำไปใช้กับระบบสายเคเบิลทั้งแบบโลหะและเส้นใยนำแสงที่ใช้การส่งผ่านแบบเบสแบนด์

คุณสมบัติต่างๆ ที่สำคัญในการส่งผ่านแบบเบสแบนด์ที่ใช้รูปร่างหรือรหัสของสัญญาณมีดังต่อไปนี้

เทคนิครหัสเบสแบนด์ที่ดีจะต้องทำให้จำนวนการเปลี่ยนแปลงสถานะของข้อมูลมีจำนวนเพิ่มมากขึ้นซึ่งจะเป็นการเพิ่มประสิทธิภาพการทำงานของวงจรกู้สัญญาณให้ดีขึ้น ทั้งค่าของบิต ข้อมูลและสัญลักษณ์ในการซิงค์ (Synchronization)

(1) การตรวจสอบความผิดพลาด และการแก้ไขให้ถูกต้อง (Error detection / correction) รหัสที่พิจารณาต่อไปนี้จะมีความสามารถในการตรวจสอบความผิดพลาดอยู่ภายในได้ถ้าเรากำหนดให้มีการเปลี่ยนแปลงระหว่างกลางระดับสัญญาณ ถ้าคุณสมบัติที่กำหนดให้มีการเปลี่ยนแปลงไปก็จะเป็นการเตือนให้รู้ว่ามีข้อผิดพลาดเกิดขึ้นแม้ว่า การแก้ไขความผิดพลาดจะไม่สามารถทำได้จากคุณสมบัติของรหัสเบสแบนด์นี้ก็ตาม

(2) การลดแบนด์วิดท์ (Reduced bandwidth) ของสัญญาณดิจิตอลอาจจะถูกลดลงได้โดยการใช้โครงสร้างตัวกรองสัญญาณที่ละเอียดแน่นอน กับการส่งผ่านแบบมีหลายระดับหรือเทคนิคการเข้ารหัสบางแบบจะไม่ได้รับความนิยมเพราะเมื่อเข้ารหัสไปแล้วอาจทำให้อัตราส่วนสัญญาณต่อสัญญาณรบกวน (S/N) ลดลงหรือจำนวนการเกิด การสอดแทรกระหว่างสัญญาณ (Intersymbol interferrence) มีจำนวนมากขึ้น

(3) รูปร่างของสเปกตรัม (Spectrum shaping) รูปร่างของข้อมูลสามารถเปลี่ยนแปลงได้ด้วยโครงสร้างของการสแกรมบิ้ง (Scrambling) หรือการกรองซึ่งโครงสร้างเหล่านี้จะถูกเลือกให้เหมาะสมระหว่างสัญญาณกับคุณสมบัติของสัญญาณการส่งผ่าน หรือกับการควบคุมการแทรกสอดระหว่างช่องทางเดินสัญญาณที่แตกต่างกัน

2.2 รูปแบบของข้อมูลที่ใช้ในการสื่อสารแบบดิจิตอล (Digital transmission format)

เนื่องจากขีดจำกัดของค่าแบนด์วิดท์อาจทำให้ความจุไม่เพียงพอต่อปริมาณข้อมูล ดังนั้นจึงต้องมีการเข้ารหัสเพื่อทำการลดจำนวนข้อมูลแต่รายละเอียดของข้อมูลยังอยู่ครบหรือมีการสูญเสียที่น้อย ในความเป็นจริง สัญญาณดิจิตอลที่เป็นพัลส์อาจมีระดับ ขนาดอะไรก็ได้ 2,4,8 หรือ 16 ระดับก็ได้ ไม่จำเป็นต้องเป็น “1” และ “0” การเพิ่มระดับเป็นการช่วยในการใช้ประโยชน์จากช่องสัญญาณและทำให้ได้สมรรถนะที่มีความผิดพลาดต่ำ

สำหรับวิธีเข้ารหัสมีหลายวิธี ซึ่งจะแบ่งตามชนิดของสัญญาณได้เป็น สัญญาณแบบขั้วเดียว (Unipolar signal) และสัญญาณแบบสองขั้ว (Bipolar signal)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ แสวงหาผลประโยชน์ทางการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น โดยไม่ได้รับอนุญาตจากจุฬาลงกรณ์มหาวิทยาลัย

(ก) สัญญาณแบบขั้วเดียว

วิธีแบบนี้ใช้หลักการสร้างขั้วศักย์ไฟฟ้าเพียงขั้วเดียว เพื่อสร้างแรงดันให้เกิด 2 สถานะ กำหนดให้เป็น "0" โวลต์ และ "V" โวลต์ สัญญาณนี้มีองค์ประกอบกระแสตรงที่มีค่าไม่เป็นศูนย์ คือ มีค่าเป็นครึ่งหนึ่งของศักย์ไฟฟ้าบวก มีทั้งแบบไม่กลับศูนย์ (Nonreturn-To-Zero: NRZ) และแบบกลับศูนย์ (Return-To-Zero: RZ)

(ข) สัญญาณแบบสองขั้ว

เรียกอีกชื่อหนึ่งว่า สัญญาณแบบ AMI (Alternate Mark Inversion) เป็นวิธีการเข้ารหัสที่แบ่งระดับสัญญาณข้อมูลออกเป็น 3 ระดับ คือเป็นระดับบวกและลบสลับกันกรณีที่สัญญาณข้อมูลมีสถานะเป็น "1" และมีระดับศูนย์เมื่อสัญญาณข้อมูลมีสถานะเป็น "0" ผลของการเข้ารหัสแบบนี้จะทำให้องค์ประกอบกระแสตรงมีค่าเท่ากับศูนย์ ทำให้ไม่ถูกบล็อกโดยตัวนำวงจรสื่อสารรหัสแบบนี้อาจเป็น NRZ (duty cycle 100%) หรือ RZ (duty cycle 50%) ก็ได้

สำหรับแบบสองขั้วนี้ได้รับการรบกวนจากค่าเหนี่ยวนำไฟฟ้าในสายส่งได้น้อยกว่าด้วยมีผลให้สามารถส่งข้อมูลได้ระยะไกลกว่าแบบขั้วเดียว

2.3 ชนิดของรหัสไบนารี

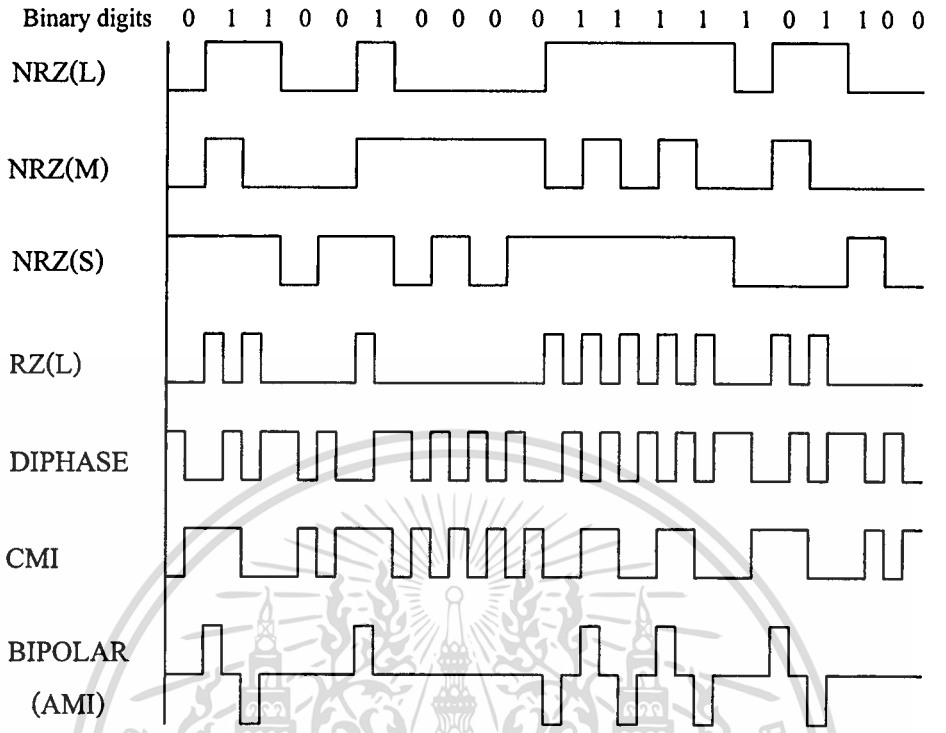
การเข้ารหัสข้อมูลไบนารีสอดคล้องโดยตรงกับสัญญาณไบนารีที่ใช้ในการส่งผ่าน เงื่อนไขสัญญาณดังกล่าวนี้ทำขึ้นเพื่อให้คุณสมบัติของคลื่นสี่เหลี่ยมเหมาะสมโดยตรงกับการส่งผ่านบนสายเคเบิล สำหรับในที่นี้จะกล่าวถึงประโยชน์โดยทั่วไปของการส่งผ่านแบบไบนารี รวมทั้งแสดงรูปคลื่นคุณสมบัติและโครงร่างของแผนภาพของตัวเข้ารหัสและถอดรหัสซึ่งจะมีรูปแบบของสัญญาณชนิดต่างๆ ดังรายละเอียดในรูปที่ 2.2

2.3.1 Nonreturn-to-Zero (NRZ)

สำหรับ NRZ ระดับของสัญญาณจะถูกรักษาให้คงที่ 1 ใน 2 ของระดับแรงดันระหว่างช่วงเวลาบิต "T" ถ้าแรงดันทั้งสองกำหนดให้เป็น "0" โวลต์ และ "V" โวลต์ แล้วรูปคลื่น NRZ จะเรียกว่าเป็นขั้วเดียว (Unipolar) เพราะว่ามันมีขั้วศักย์ไฟฟ้าขั้วเดียว และสัญญาณนี้มีองค์ประกอบกระแสตรง ที่มีค่าไม่เป็นศูนย์คือเป็นครึ่งหนึ่งของศักย์ไฟฟ้าบวกสัญญาณ NRZ แบบมีขั้วใช้ขั้วทั้งสองขั้วคือ ศักย์ (+ , -) ซึ่งทำให้องค์ประกอบกระแสตรงมีค่าเป็นศูนย์

รูปแบบต่างๆ ของ NRZ อธิบายดังในรูปที่ 2.2 ตัวอย่างเช่น NRZ (L) ระดับศักย์ไฟฟ้าของสัญญาณจะเป็นตัวแสดงค่าของบิต การกำหนดของบิต "0" กับ "1" ขึ้นอยู่กับระดับศักย์ไฟฟ้าสามารถกำหนดได้อย่างอิสระสำหรับ NRZ (L)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

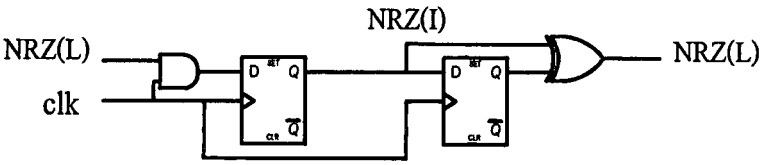


รูปที่ 2.2 รูปคลื่นรหัสไบนารี

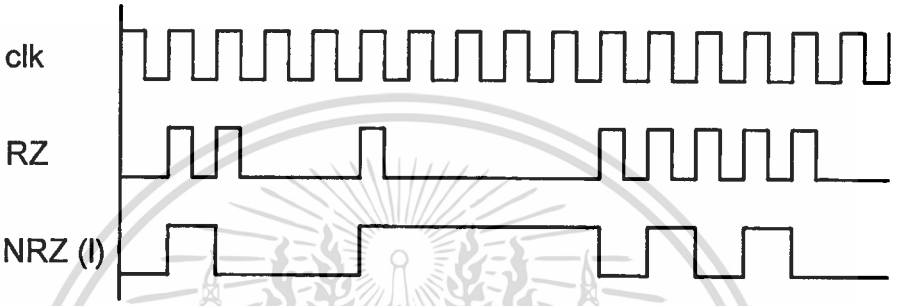
แต่ตามแบบแผนโดยทั่วไปแล้วการกำหนดให้ค่า "1" มีค่าระดับศักย์ไฟฟ้าสูงๆ และค่า "0" มีค่าระดับไฟฟ้าต่ำๆ รหัส NRZ (L) เป็นรูปแบบของ NRZ ในการส่งผ่านที่รู้จักกันมากที่สุด เพราะระบบรับและส่งทำได้ง่าย ตัวรับรหัส/ถอดรหัส ประกอบด้วยตัวขับและตัวรับอย่างง่ายๆซึ่งคุณสมบัติมาตรฐานได้ถูกกำหนดไว้ในมาตรฐานการเชื่อมต่อระดับ 1 (layer 1 physical layer)

รูปแบบของ NRZ (M) จะใช้การเปลี่ยนระดับสัญญาณแทนค่ามาร์ค (mark) ซึ่งมีค่าเท่ากับลอจิก "1" ส่วนค่าลอจิก "0" จะแทนได้ด้วยการไม่เปลี่ยนแปลงระดับของสัญญาณสำหรับ NRZ (S) ก็จะมีลักษณะทำนองเดียวกันกับ NRZ (M) เพียงแต่จะกลับกันคือ ลอจิก "0" จะแทนด้วยการเปลี่ยนระดับสัญญาณรูปแบบของ NRZ (M , S) ที่กล่าวมาแล้วคือ สับเซตของ NRZ (I) ซึ่งเรียกว่า "conditioned NRZ " ซึ่งอาศัยการเปลี่ยนแปลงระดับมาเป็นตัวกำหนดของลอจิก และตัวเข้ารหัสและถอดรหัสของลอจิก NRZ (I) ข้อได้เปรียบของ NRZ (I) ที่มีเหนือ NRZ (L) ก็คือ มันจะมีภูมิคุ้มกันเนื่องจากการสลับขั้ว เพราะว่าข้อมูลถูกเข้ารหัสด้วยการมีหรือไม่มีการเปลี่ยนแปลงแทนที่จะเป็นการมีหรือไม่มี พัลส์ ดังในรูปที่ 2.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) coder (ข) decoder



(ค) Waveform of coder

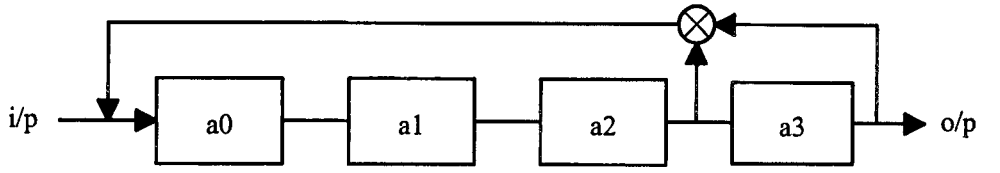
รูปที่ 2.3 คุณลักษณะของรหัส NRZ (I)

ข้อเสียของการเข้ารหัสสัญญาณดิจิตอลแบบ NRZ คือถ้ามีสถานะใดสถานะหนึ่งติดต่อกันเป็นเวลานานจะเกิดการถอดรหัสที่ผิดพลาดขึ้นที่ภาครับเช่นมีค่าบิต "0" ถึง 4 บิตติดกันอาจทำให้ด้านภาครับถอดรหัสผิดพลาดขึ้น

2.3.2 หลักการของ PSEUDORANDOM

Pseudorandomsequence เป็นสัญญาณที่สร้างขึ้นซึ่งเป็นสัญญาณรบกวนชนิดหนึ่งซึ่งมีชื่อเรียกว่า white noise ที่ไม่เปลี่ยนแปลงตามความถี่ จะเปลี่ยนแปลงตามแบนด์วิดท์ไม่ว่าย่านความถี่ใดก็ตาม Pseudorandom เราสามารถให้มีขนาด บิต ได้หลายๆ บิต แล้วแต่ผู้สนใจจะทำได้ ซึ่งหลักการของ pseudorandom จะอาศัย ชิพรีจิสเตอร์ ในการสร้างสัญญาณ pseudorandom ขึ้นมาโดยจะชิพไปเรื่อย จนได้เอาท์พุตที่ต้องการซึ่งข้อมูลที่ออกมาจาก ชิพรีจิสเตอร์ จะถูกป้อนกลับมายังอินพุตเพื่อเป็นการควบคุมการชิฟของฟลิปฟลอปซึ่งแสดงหลักการทำงานของการผลิตสัญญาณ pseudorandom ดังรูปที่ 2.4 pseudorandom ขนาด 4 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 แสดงบล็อกไดอะแกรมของวงจร PRBS ขนาด M-Seq =4 bits

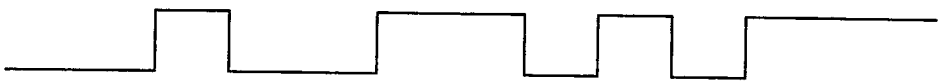
จากรูปที่ 2.4 มีสมการโพลิโนเมียล เราจะเอาจุดใดไปนั้นขึ้นอยู่กับสมการโพลิโนเมียล หรือขนาดของบิต ของวงจรนี้ถ้าเปลี่ยนไปใช้ บิต อื่นก็จะต้องเพิ่มหรือลดจำนวน ฟลิปฟลอป แล้วถึงเปลี่ยนจุดต่อที่นำไปคูณกันแล้วเรา สามารถหาค่า Maximum-length sequence ได้โดยสูตร 2^n -1= 15 ดังนั้น เอาท์พุต จะเปลี่ยนแปลงไปโดยมีความยาวของ Maximum-length = 15 จากรูปที่ 2.4 เราจะสามารถเขียน เอาท์พุต ดังตารางที่ 2.1 ถ้าให้ อินพุต เริ่มต้น "1000"

ตารางที่ 2.1 แสดง state ของชิพรีจิสเตอร์ แต่ละตัวของรูปที่ 2.4

I	a0	a1	a2	a3
0	1	0	0	0
1	0	1	0	0
2	0	0	1	0
3	0	0	0	1
4	1	1	0	0
5	0	1	1	0
6	1	0	1	1
7	0	1	0	1
8	1	0	1	0
9	1	1	0	1
10	1	1	1	0
11	1	1	1	1
12	0	1	1	1
13	0	0	1	1
14	0	0	0	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.4 ลักษณะรูปสัญญาณจะได้ดังรูป



รูปที่ 2.5 แสดงสัญญาณ เอาท์พุต ของ PRBS ขนาด 4 บิต

ความยาวของ pseudorandomsequence สามารถหาได้โดยความยาว ชิพรีจิสเตอร์ จุดป้อนกลับ (feedback taps) และ สถานะเริ่มต้น (initial states) ของ ฟลิปฟลอป สามารถเขียนในรูปที่ 2.5 ไม่ควรให้วงจรของ pseudorandom เริ่มที่ "0000" เพราะจะทำให้ ชิพรีจิสเตอร์ ไม่มีเอาท์พุตออกหรือออกเป็น "0" หมดและไม่เกิดสัญญาณ pseudorandom ไม่สามารถสร้างสัญญาณ sequence และสามารถแสดงถึง Maximum-length ของแต่ละบิตดังตารางที่ 2.2

ตารางที่ 2.2 ตัวอย่างของ Maximum - Length

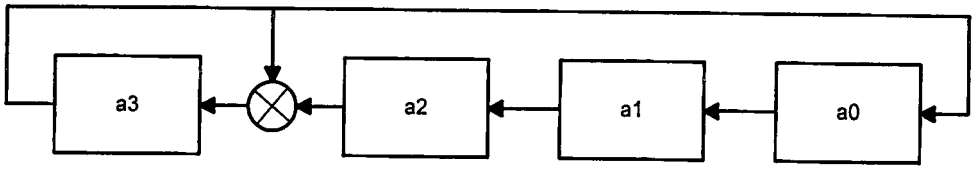
Length of shift register	Feedback taps	period of seguence
3	1,3	7
4	1,4	15
5	2,5	31
6	1,6	63
7	1,7	127

2.3.2.1 หลักการทำงานของรีจิสเตอร์

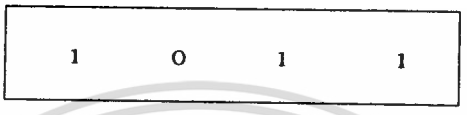
วงจรรีจิสเตอร์ ประกอบขึ้นจากกลุ่มของฟลิปฟลอป หลายตัวสามารถเก็บข้อมูลที่ได้ในรูปเลขฐานสอง โดยใช้ฟลิปฟลอป 1 ตัว แทนเลขฐานสอง 1 บิต โดยทั่วๆ ไปเราสามารถแทนรีจิสเตอร์ ดังรูปที่ 2.6 และรูปที่ 2.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

040527



รูปที่ 2.6 แสดงลักษณะหลักการทำงานวงจร shift register



รูปที่ 2.7 แสดงข้อมูลที่อยู่ในรีจิสเตอร์

ในรูปแสดงถึงดิจิตอลขนาด 4 บิต ที่มีข้อมูล "1011" ในเลขฐานสองเก็บอยู่โดยเขียนค่าต่างๆเข้าไปในช่องที่ 1 ไว้ 4 ช่องในรีจิสเตอร์นั้นเราสามารถนำข้อมูล จากภายนอกเข้าไปเก็บในรีจิสเตอร์ หรือนำข้อมูลภายใน รีจิสเตอร์ ออกมาภายนอกได้ การนำข้อมูลเข้าหรือออกจาก รีจิสเตอร์ นั้นทำได้ 2 วิธีคือ

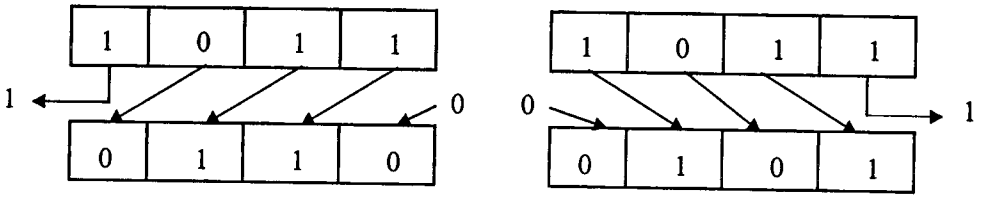
(1) การนำข้อมูลเข้าไปหรือออกมาครั้งละหนึ่งบิต จนกว่าจะหมดเป็นอนุกรม ในทางปฏิบัติแล้วการนำข้อมูลเข้าหรือออกแต่ละบิต จะถูกควบคุมด้วยสัญญาณนาฬิกา หรือบางทีเรียกว่าสัญญาณชิพ เราเรียกวงจรนี้ว่า ชิพรีจิสเตอร์ แบบอนุกรม ซึ่งมีทั้งเลื่อนเข้าเลื่อนออกทางซ้ายหรือขวาก็ได้อีก

(2) การเลือกข้อมูลที่จะนำเข้าหรือออกจาก รีจิสเตอร์ ทุกๆ บิต พร้อมกันครั้งเดียว เราจึงเรียกวงจรนี้ ว่าชิพรีจิสเตอร์แบบขนาน

2.3.2.2 วงจรชิพรีจิสเตอร์

ดังกล่าวแล้วว่าวงจรชีพรีจิสเตอร์แบบอนุกรมเป็นวงจรรีจิสเตอร์ ที่เราเลือกข้อมูลเข้าหรือออกจาก รีจิสเตอร์ ครั้งละ 1 บิต จากซ้ายหรือขวาก็ได้ วงจรที่มีการเลื่อนข้อมูลเข้า/ออกจากทางขวาเราเรียกว่า วงจรรีจิสเตอร์ทางขวาและวงจรที่เลื่อน ข้อมูลเข้า / ออกทางซ้ายเรียกวงจรชิพรีจิสเตอร์ทางซ้าย เราเขียนอธิบายได้ทั้งสองชนิดได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) (ข)

รูปที่ 2.8 แสดงการชิพข้อมูล

จากรูปที่ 2.8 แสดงถึงชีพรีจิสเตอร์ที่มีขนาด 4 บิต ภายในมีข้อมูล "1011" อยู่ก่อน ในการเลื่อนทุกครั้งจะมีสัญญาณ ชิพ เข้ามา การเลื่อนจะเลื่อนไปที่ 1 บิต ต่อสัญญาณ ชิพ 1 ตัว รูปที่ 2.8ก เป็นการเลื่อนไปทางซ้ายกล่าวคือ เมื่อมีสัญญาณ ชิพ เข้ามา ข้อมูลที่อยู่ภายใน บิต จะถูกเลื่อนไปทางซ้าย 1 บิต โดยตัวที่อยู่ทางซ้ายสุด จะถูกเลื่อนออกไปและข้อมูลตัวที่ 2 นับจากทางซ้ายจะถูกเลื่อนมาทางซ้ายสุด เป็นเช่นนี้ไปเรื่อย ๆ สำหรับตัวที่อยู่ถัดไปจนกว่าจะถึงตำแหน่งขวาสุด สำหรับตำแหน่งขวาสุดนั้นเมื่อข้อมูลเดิมถูกเลื่อนไปและจะมี "0" เลื่อนเข้ามาแทนที่ฉนั้นหลังจากสัญญาณ ชิพ เข้ามาอีกข้อมูลจะถูกเลื่อนไปซ้ายอีก 1 บิต โดยได้ข้อมูลในรีจิสเตอร์ เป็น "1100" เป็นเช่นนี้เรื่อย ๆ ดังตารางที่ 2.3

ตารางที่ 2.3 แสดงการชิพข้อมูลทางซ้าย

สัญญาณชิพ	ข้อมูลหลังจากสัญญาณชิพ			
0	1	0	1	1
1	0	1	1	0
2	1	1	0	0
3	1	0	0	0
4	0	0	0	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

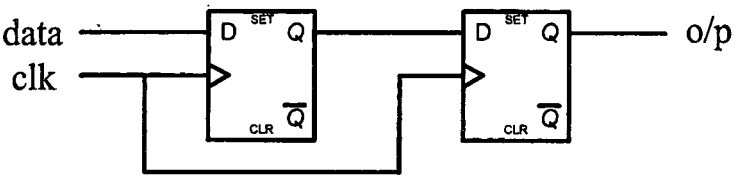
ตารางที่ 2.4 แสดงการชิพข้อมูลทางขวา

สัญญาณชิพ	ข้อมูลหลังจากสัญญาณชิพ			
0	1	0	1	1
1	0	1	0	0
2	0	0	1	0
3	0	0	0	1
4	0	0	0	0

จะเห็นได้ว่าหลังจากสัญญาณชิพเข้ามา 4 ตัว ข้อมูลใน รีจิสเตอร์ จะถูกเลื่อนออกไปหมด เหลือ "0000" อยู่ภายใน สำหรับรูป 2.8ข เป็นการชิพทางขวา ซึ่งมีหลักการทำงานเช่นเดียวกันเพียงแต่ข้อมูลจะเลื่อนไปทางขวาดังแสดงในตารางที่ 2.4 ที่จะกล่าวมานั้นเป็นการเลื่อนข้อมูลที่มีอยู่ใน รีจิสเตอร์ ออกมาข้างนอกแต่สำหรับ รีจิสเตอร์ นั้น เราจะต้องสามารถเลื่อนข้อมูลจากภายนอก เข้าไปได้ด้วยหากสังเกตการทำงานในรูปที่ 2.8ก จะพบว่าทุกครั้งของการเลือกนั้น บิต ขวาสุดจะมี "0" เลื่อนเข้าไปหากเราเปลี่ยนเป็นข้อมูลอย่างอื่นแทนที่จะเป็น "0" เราก็จะได้การทำงานเลื่อนเข้าไป เช่นต้องการเลื่อนข้อมูล "1101" เข้าไป เราก็นำเอา "1101" มาป้อนเข้าที่ บิต ขวาสุด สัญญาณ ชิพ ตัวแรกจะเลื่อนเอา "1" ทางซ้ายสุดเข้าไปเราก็นำเอา "1101" มาป้อนเข้าที่ บิต ขวาสุด สัญญาณ ชิพ ตัวแรกจะเลื่อนเอา "1" ทางซ้ายสุดเข้าไปยัง บิต ขวาสุดของ รีจิสเตอร์ ข้อมูลเดิมที่มีอยู่ก็จะถูกเลื่อนไปทางซ้ายด้วยเมื่อ ชิพรีจิสเตอร์ ตัวที่ 2 เข้ามา 1 ตัว ตัวที่ 2 จะถูกเลื่อนเข้าไปยัง บิตขวาสุดและ "1" ตัวแรกที่อยู่บิตขวาสุดของรีจิสเตอร์จะถูกเลื่อนไปยังบิตถัดไปทางซ้ายเป็นเช่นนี้เรื่อยๆ จนสัญญาณ ชิพ ตัวที่ 4 เข้ามา ข้อมูล "1101" ก็จะถูกนำเข้าไปใน รีจิสเตอร์และข้อมูลเดิมที่มีอยู่ในรีจิสเตอร์จะหายไป ฉนั้นเมื่อต้องการเลื่อนข้อมูลกี่บิตเข้าไปจะต้องใช้สัญญาณ ชิพจำนวนเท่ากับจำนวนของข้อมูลที่ ชิพ เข้าสำหรับการชิพ เข้าทางขวาก็เช่นเดียวกัน

หลักการทำงานเบื้องต้นของวงจรชิพรีจิสเตอร์ แสดงดังรูปที่ 2.9 ในรูปเป็นรีจิสเตอร์ขนาด 2 บิต ที่ประกอบขึ้นจากฟลิปฟลอปมาต่อเรียงกันในรูปที่แสดง ใช้ D ฟลิปฟลอปข้อมูลในฟลิปฟลอปแต่ละตัวจะเปลี่ยนแปลงไปตามอินพุตหลังจากมีสัญญาณชิพเข้ามาโดยข้อมูลของฟลิปฟลอปตัวที่ 2 จะมีค่าเหมือนค่าของ Q1 และ ฟลิปฟลอป ตัวแรกจะมีค่าตามค่าของอินพุต เขียนเป็นตารางได้ดังตารางที่ 2.5 ฉนั้นเมื่อต้องการค่าข้อมูลที่เอาท์พุตของ ฟลิปฟลอป อย่างไรก็ป้อนค่าอินพุตตามตารางที่ 2.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 วงจรชิพรีจิสเตอร์

ตารางที่ 2.5 แสดงค่าเอาท์พุตของวงจรฟลิปฟลอป

clk	data	Q1	Q2
0	x	Q1	Q2
1	0	0	Q1
1	1	1	0
1	0	0	1
1	1	1	0

สิ่งสำคัญก็คือ การควบคุมค่าของระดับสัญญาณอินพุตที่เข้ามายังฟลิปฟลอป์ ตัวแรกคือฟลิปฟลอป เพื่อให้ค่าที่เลื่อนเข้าไปเป็นค่าที่ถูกต้องและในการเลื่อนนั้นต้องคำนึงถึงลำดับก่อนหลังว่า จะเลื่อนบิต ไหนเข้าไปก่อน ในกรณีวงจรชิพซ้าย ก็ต้องเลื่อนบิต ที่มีค่าสูงสุดเข้าไปก่อนและบิตที่มีค่าต่ำสุดเลื่อนเข้าไปสุดท้ายหลังจากการเลื่อนครบทุกตัว จากวงจรชิพรีจิสเตอร์ ที่กล่าวมาพอสรุปได้ดังนี้

(1) ขนาดชิพรีจิสเตอร์จะถูกกำหนดโดยจำนวนบิต ของข้อมูลที่จะต้องเลื่อนโดยใช้ฟลิปฟลอป 1 ตัว ต่อข้อมูล 1 บิต

(2) จำนวนสัญญาณนาฬิกา มีจำนวนเท่ากับ จำนวนของข้อมูลที่จะเลื่อน

(3) สำหรับการเลื่อนออกเมื่อสัญญาณนาฬิกาเข้ามาครบจำนวนแล้วข้อมูลเดิมใน รีจิสเตอร์จะหายไป

2.3.3 Return-to-Zero (RZ)

โดยการเข้ารหัส Return-to-Zero (RZ) การแสดงระดับสัญญาณค่าบิต จะกระทำเพียงครึ่งช่วงแรกของช่วงเวลาบิตหลังจากครึ่งหนึ่งของบิตผ่านไป สัญญาณจะกลับไปยังระดับสัญญาณ

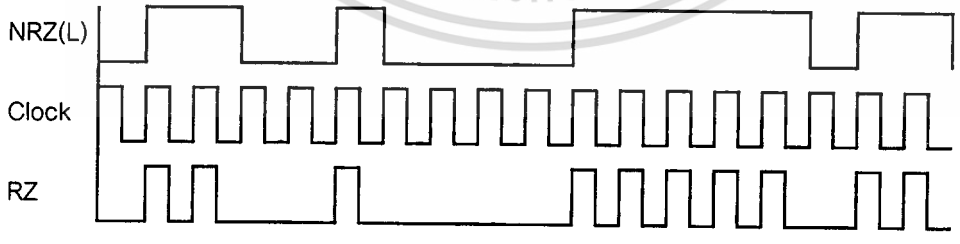
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อ้างอิง (zero) เป็นเวลาครึ่งหนึ่งของช่วงความยาวบิตตามรูปที่ 2.10 ค่าศูนย์จะถูกแสดงด้วยการไม่มีการเปลี่ยนแปลง โดยที่สัญญาณจะยังคงอยู่ที่ระดับอ้างอิง ซึ่งมันจะมีประโยชน์ในการเปลี่ยนแปลง (Transition) และการทำให้สัญญาณนาฬิกาในการกู้สัญญาณคืนดีขึ้นรูปคลื่นของ RZ สำหรับค่าบิต "1" และ "0" แสดงไว้ในรูปที่ 2.2 เปรียบเทียบกับรูปแบบของรหัสตัวอื่นจะสังเกตเห็นว่า ค่าบิต "0" ก็คือค่าของสัญญาณที่ไม่มีการเปลี่ยนแปลงซึ่งทำให้เกิดปัญหาเรื่องศักยภาพของวงจร เวลาในการกู้สัญญาณซึ่ง เขาอาจจะกำจัดปัญหาดังกล่าว ได้โดยการทำ Precoding ตัวเข้ารหัสรูปคลื่นและตัวถอดรหัสแสดงไว้ในรูปที่ 2.10 รหัส RZ จะถูกสร้างโดยการแอนด์(AND) NRZ (L) กับสัญญาณนาฬิกาที่ทำหน้าที่เป็นอัตราบิตของระบบ ตัวถอดรหัสจะถอดรหัสได้โดยการหน่วงเวลา RZ ไป 1/2 บิต และนำเอาสัญญาณ RZ ที่หน่วงเวลามาเอกซ์คลูซีฟออร์กับสัญญาณ RZ เดิมก็จะได้สัญญาณ NRZ (L) กลับคืนมาเหมือนเดิม

ข้อดีของ RZ นี้ด้านรับสามารถตรวจจับค่าสถานะบิต "1" ได้ง่ายแบบ NRZ แต่ยังไม่สามารถแก้ปัญหาในการส่งสถานะบิต "0" ติดต่อกันนานๆได้

ข้อเสียไม่เหมาะสมในการส่งสัญญาณที่มีบิตศูนย์ติดต่อกันนานๆ

สรุป แล้วทั้งแบบ NRZ และ RZ จะมีลักษณะเหมือนกันคือ ค่าแรงดัน (voltage)เฉลี่ยไม่เท่ากับศูนย์หรือใกล้เคียงค่าศูนย์ แต่มีค่าแรงดันค่อนข้างคงที่ขึ้นอยู่กับสัดส่วนของสถานะบิต "1" หรือบิต "0" ซึ่งการส่งข้อมูลในลักษณะนี้ผ่านเข้าไปในเครือข่าย นับว่าเสี่ยงต่อความผิดพลาดของข้อมูลได้ พิจารณาอย่างเช่น สัญญาณข้อมูลแบบ NRZ เท่ากับ "1 1 1 1 0 1" และเมื่อผ่านอุปกรณ์ประจุไฟฟ้า โอกาสที่สถานะบิต "0"ไม่สามารถถูกตรวจจับที่ด้านรับได้มีสูงมาก เพราะ เกิดจากการคายประจุไม่ทัน(บิตตามมาเป็นบิต"1")ซึ่งเราสามารถแก้ปัญหานี้ได้โดยการใช้สัญญาณแบบสองขั้ว



รูปที่ 2.10 คุณลักษณะของการเข้ารหัส Return-to-Zero

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.4 Diphase หรือ Manchester

ในบางครั้งอาจเรียกว่า ไดเฟส (diphase) สปลิทเฟส (split phase) และ แมนเชสเตอร์ (Manchester) นั้นเป็นวิธีการเข้ารหัสสองระดับดังนี้

$f_1(t) = V \quad 0 < t < T/2$

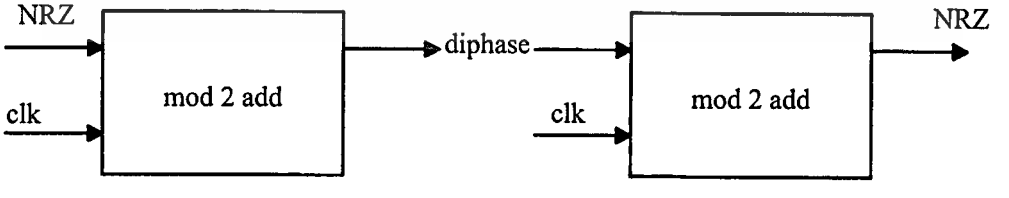
$-V \quad T/2 < t < T$

$f_2(t) = -f_1(t)$

รหัสไดเฟสสามารถสร้างได้จากการนำเอา NRZ (L) เอกซ์คลูซีฟออร์(xor) หรือ Mod 2 ADD กับสัญญาณนาฬิกา ดังในรูปที่ 2.11ก ถ้าเราสมมติว่า "1" ถูกส่งผ่านไปโดยใช้ (+v) และ "0" ถูกส่งไปโดยใช้ (-v) จากรูปคลื่นของไดเฟสที่กล่าวในรูปที่ 2.11 แสดงให้เห็นชัดเจนว่าจำนวนของการเปลี่ยนระดับสัญญาณ จะเพิ่มขึ้นซึ่งทำให้การสร้างสัญญาณควบคุมจังหวะเวลาแบบ selt timing เพื่อนำมาทำการกู้สัญญาณที่ดีขึ้น ซึ่งเป็นข้อได้เปรียบที่สำคัญของไดเฟส การกู้สัญญาณจะทำได้โดยวิธีการเช่นเดียวกับการเข้ารหัส conditioned diphase จะมีทั้งคุณสมบัติของ NRZ(I) และไดเฟสกล่าวคือ จะมีการคุ้มกันต่อการกลับขั้ว และการเพิ่มจำนวนของการเปลี่ยนแปลงสถานะโดยสัญญาณจะมีการเปลี่ยนแปลงทางขอบขาขึ้นเมื่อข้อมูลเป็น "0" และเปลี่ยนแปลงทางขอบขาลงเมื่อข้อมูลมีค่าเป็น "1" รูปแบบของสัญญาณ ดังแสดงในรูปที่ 2.11

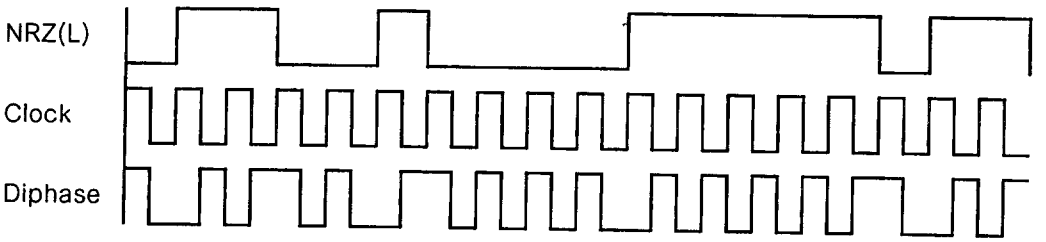
ข้อดีของการเข้ารหัสสัญญาณแบบไดเฟสก็คือ

- สามารถตรวจจับสัญญาณนาฬิกาจากข้อมูลที่ส่งมาได้ง่าย
- ไม่มีการรบกวนของไฟฟ้ากระแสตรง
- ค่าอัตราบิต (Bit Rate) เป็น 2 เท่าของแบบ NRZ
- สามารถคำนวณค่าประสิทธิภาพของแบนด์วิดท์ได้เลยเท่ากับ 1/2=50%



(ก) coder (ข) decoder

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

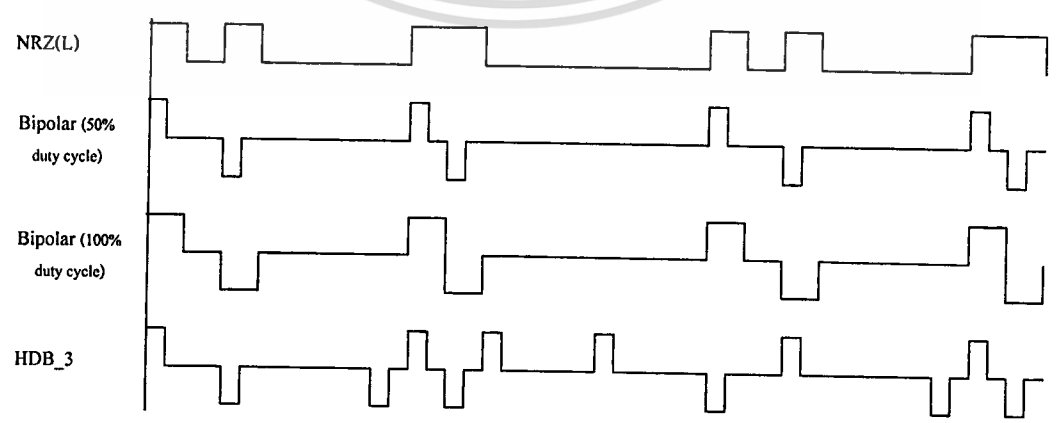


(ค) Waveforms of coder

รูปที่ 2.11 คุณลักษณะของรหัสไดเฟส

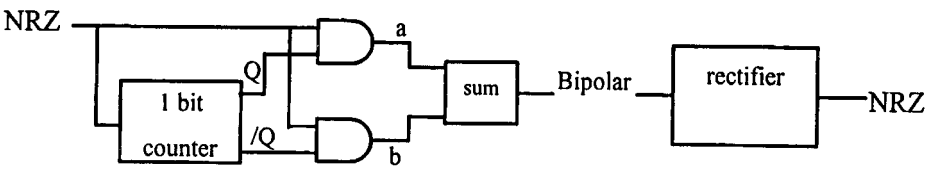
2.3.5 Bipolar หรือ Alternate Mark Inversion

ในไบโพลาร์หรือ alternate mark inversion (AMI) ข้อมูลเลขฐานสองจะถูกเข้ารหัสโดยแอมพลิจูด 3 ระดับ คือ "+v" และ "- v" และ "0" โดยที่เลขไบนารี "0" จะถูกเข้ารหัสกับระดับ "0" เสมอ สำหรับไบนารี "1" จะถูเข้ารหัสเป็น "+v" หรือ "-v" สลับกันทุกครั้งที่มีค่า "1" เกิดขึ้นผลของการเข้ารหัสไบโพลาร์จะทำให้องค์ประกอบไฟฟ้ากระแสตรงกลายเป็นศูนย์ซึ่งเหมาะกับเงื่อนไขการส่งผ่านสัญญาณแบบเบสแบนด์ ดังในรูปที่ 2.11 รหัสไบโพลาร์เหล่านี้จะเป็น NRZ (duty cycle 100 %) หรือ RZ (duty cycle 50%) รูปที่ 2.12 แสดงแผนภูมิการทำงานของตัวเข้ารหัส/ถอดรหัสและรูปคลื่นของสัญญาณไบโพลาร์ที่ถูกสร้างขึ้นจาก NRZ โดยใช้ตัวนับ "1" บิต ทำการควบคุมแนนเกต(NAND GATE) เพื่อบังคับการทำงานเป็นไปตามกฎการสลับขั้ว การกู้สัญญาณของ NRZ (L) จากไบโพลาร์ทำได้โดยใช้การเร็กติไฟเออร์เต็มคลื่นแบบง่ายๆ

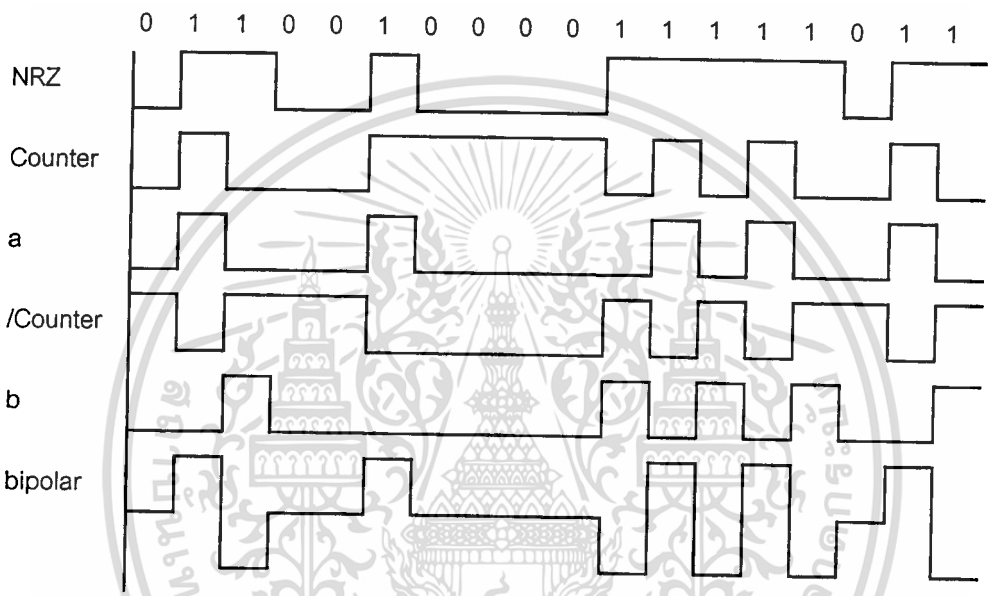


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.12 คุณลักษณะของรูปคลื่นรหัสไบโพลาร์



(ก) Coder (ข) Decoder



(ค) Waveforms of coder

รูปที่ 2.13 คุณลักษณะของรหัสไบโพลาร์

ประโยชน์ต่างๆที่ได้จากการส่งสัญญาณแบบไบโพลาร์ ทำให้มันถูกเลือกใช้งานอย่างกว้างขวางตัวอย่างเช่น ระบบคลื่นพาหะ T1 ของ AT&T ซึ่งไบโพลาร์ Duty cycle 50 % เนื่องจากในทางปฏิบัติของไบโพลาร์ถูกปรับปรุงให้ดีขึ้นกว่า NRZ ความสามารถในการตรวจสอบความผิดพลาดก็เป็นผลมาจากคุณสมบัติของการกลับไปกลับมาของค่าบิต "1" ค่าแอมพลิจูดลบสลับก็คือไบโพลาร์ที่เสียหายและแสดงว่ามีความผิดพลาดในการส่งผ่านเกิดขึ้น คุณสมบัตินี้จะใช้ในการเตือนไปยังตัวเตือนสัญญาณหรือตัวรับโดยไม่เกิดการรบกวนข้อมูล

แม้ว่าจังหวะเวลาในการกู้สัญญาณคืนของไบโพลาร์จะได้รับการปรับปรุง ให้เหนือกว่าของ NRZ แล้วก็ตาม ผลของสัญญาณ "0" ที่ยาวนานโดยไม่มีการเปลี่ยนสถานะในสัญญาณไบโพลาร์จะทำให้เกิดความลำบากในเรื่องการจัดจังหวะเวลาในการกู้สัญญาณได้ สำหรับตัวทวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

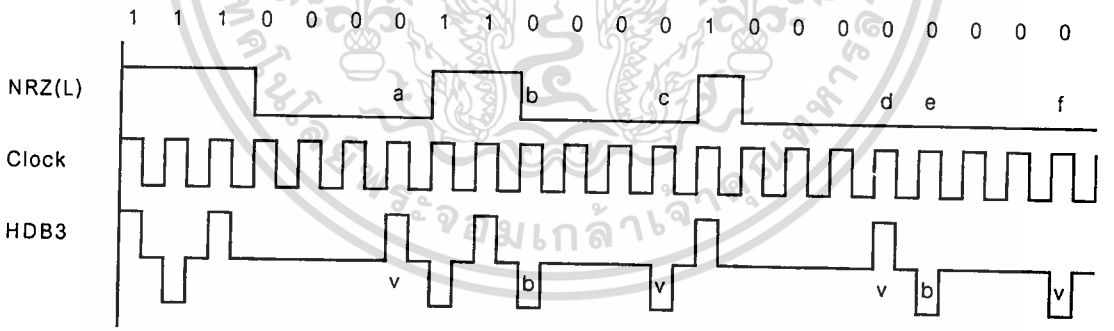
สัญญาณระบบคลื่นพาหะ T1 ย่อมให้ค่า "0" ที่เกิดเรียงติดต่อกันได้สูงสุด 14 ตัวการปฏิบัติโดยทั่วๆไปในการมัลติเพลกซ์ PCM การออกแบบตัวเข้ารหัสก็จะมีข้อจำกัดดังกล่าว อย่างไรก็ตามในการแก้ปัญหานี้ก็คือการแทนของลำดับค่าของเลข "0" พิเศษ ลงไปตามสัญญาณไบโพลาร์ที่เสียหาย

2.3.6 สัญญาณแบบ HDBn (High Density Bipolar n)

เป็นการพัฒนารูปแบบสัญญาณชนิดใหม่เพื่อแก้ไขข้อเสียแบบ AMI เราเรียกแบบใหม่นี้ว่าสัญญาณแบบ High-Density Bipolar (HDBn) ซึ่งในระบบชนิด 30 ช่องสัญญาณค่า n เลือกให้เท่ากับ 3 เพื่อแสดงถึงจำนวนบิตที่มากที่สุด ในการส่งสถานะบิต "0" ติดต่อกันได้ เราเรียกสัญญาณนี้ว่า HDB3 ดังนี้

-ถ้ามีข้อมูลบิต "0" ติดต่อกันมากกว่า3บิต บิตที่4กำหนดให้แทนด้วยสถานะของพัลซ์ตามขั้วของสัญญาณที่อยู่ก่อนรหัสนี้ (เพื่อสถานะ Mark ลงไป)

-เนื่องจากบิตสถานะ Mark ที่เพิ่มขึ้นมา ไม่ได้แทนค่าบิต mark (1)อย่างแท้จริงแต่เป็นแทนค่าบิต "0" จึงต้องมีการเพิ่มบิตที่มีสถานะตรงข้ามลงไปแทนที่บิตแรกสุดของสี่บิต "0"ให้พิจารณารูปสัญญาณ และอ่านคำอธิบายเกี่ยวกับการกำหนดบิตของ HDB3 ดังรูปที่ 2.14



รูปที่ 2.14 รหัสสัญญาณแบบ HDB3

จากรูป อธิบายขั้นตอนเข้ารหัสสัญญาณของ HDB3ได้เรียงตามลำดับดังนี้

-ที่ลำดับ (a) บิตสถานะ "0" สี่บิต ถูกตรวจพบและเพิ่มบิตลงไป (v) ซึ่งมีลักษณะเหมือนก่อนหน้านี้

-ที่ลำดับ (b) ขอให้ดูเหตุผลของการเพิ่มบิต (b)จากลำดับ (c)

-ที่ลำดับ (c)บิตสถานะ "0" จำนวนสี่บิต อีกชุดถูกตรวจพบและเพิ่มบิต (v) ลงไปจากนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาว่าจำนวนบิตระหว่างบิต (v)มีจำนวนคู่หรือศูนย์ ถ้าเป็นไปตามนี้ให้เพิ่มบิต (b) ที่ตำแหน่งแรกของบิต "0" ชุดนั้น และมีสถานะกลับกันกับบิตก่อนหน้านี้

-ที่ลำดับ (d) ถึงลำดับ (h) ก็ใช้กฎเดียวกันก่อนหน้านี้

2.4 รหัสการส่งสัญญาณตามสาย (Line Transmission Code)

การส่งสัญญาณ PCM ในรูปของไบนารีพัลส์จะมีข้อเสียบางประการเช่นถ้าพัลส์นั้นมีแต่ "0" และ "+" จะมีองค์ประกอบความถี่ต่ำซึ่งอาจเป็นสาเหตุของการรบกวนสายส่งคู่อื่นๆ ในเคเบิลเดียวกันได้ นอกจากนั้นสัญญาณไบนารีเหล่านั้นยังมีค่าไฟฟ้ากระแสตรงปนอยู่ด้วยจึงไม่เป็นสิ่งที่ปรารถนาด้วยเหตุผลดังกล่าวก่อนที่จะส่งสัญญาณพัลส์ออกไปยังสายส่ง จะสร้างรหัสของพัลส์ขึ้นใหม่จากสัญญาณ PCM เดิม ซึ่งสัญญาณนี้ก็จะถูกเปลี่ยนเป็นสัญญาณ PCM เดิมที่อินพุตของอุปกรณ์ทางด้านรับ อย่างไรก็ตามเหตุผลที่ต้องทำรหัสใหม่เพื่อส่งออกไปในสายส่งนั้นมีดังต่อไปนี้

(ก) แยกไทมิ่งพัลส์ (timing pulses) ออกมาได้ง่าย

อุปกรณ์ทวนสัญญาณก็ดี และอุปกรณ์ทางด้านรับจะต้องสร้างสัญญาณนาฬิกา เพื่อใช้เป็นบิตซิงโครไนซ์จากขบวนพัลส์ที่ส่งมา การที่จะแยกไทมิ่งพัลส์ออกมาได้อย่างถูกต้องและมีเสถียรภาพนั้นขบวนพัลส์ที่ส่งมาต้องไม่มี "0" ต่อเนื่องกันนานเกินไป

(ข) ไม่มีองค์ประกอบไฟฟ้ากระแสตรง

ในระบบ PCM จะมีอุปกรณ์ทวนสัญญาณติดตั้งไว้ในระหว่างสายส่งเป็นระยะๆ และโดยทั่วไปทางต้นทางหรือปลายทางจะจ่ายกระแสตรงให้กับอุปกรณ์ทวนสัญญาณเหล่านั้นโดยส่งไปในสายส่งเดียวกัน หรือกล่าวอีกนัยหนึ่งคือในย่านความถี่ต่ำจะถูกใช้สำหรับป้อนกระแสไฟ (power feeding) ดังนั้นจะต้องส่งข่าวสารแบบดิจิตอลในแถบความถี่ซึ่งอยู่นอกเหนือจากนี้

(ค) แบนด์วิดท์ในการส่งแคบ

ถ้าสัญญาณครอบคลุมไปถึงย่านความถี่สูงมาก อัตราส่วนสัญญาณต่อการรบกวน (S/N) จะเลวลงเนื่องมาจากการลดทอนของสัญญาณและครอสทอล์คระหว่างคู่สายจะเป็นรากที่ 2 ของความถี่ของสัญญาณ ดังนั้นจึงต้องทำรหัสสัญญาณใหม่เพื่อไม่ให้มีองค์ประกอบความถี่สูงเกินไปที่จะใช้สำหรับส่งสัญญาณ PCM

(ง) สามารถตรวจสอบความถูกต้องในขณะบริการได้

ถ้ารหัสที่ทำขึ้นใหม่มีกฎเกณฑ์ที่แน่นอนแล้ว การตรวจสอบความถูกต้องจะกระทำได้ที่ด้านรับโดยการตรวจสอบหาสิ่งที่ผิดแปลกไปจากกฎเกณฑ์ที่กำหนดไว้ อย่างเช่นกรณีของรหัส AMI (Alternate Mark Inversion) จะต้องมีพัลส์ทางบวกและทางลบหรือตรงกันข้ามสลับกันไป ถ้าตรวจพบว่าไม่เป็นเช่นนี้ ก็แสดงว่ามีการผิดพลาด (error) เกิดขึ้นในสายส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

2.5 การส่งข้อมูล

วิธีการในการส่งข้อมูลนั้น สามารถแบ่งตามคุณสมบัติต่างๆได้หลายวิธี ซึ่งสามารถจำแนกได้ดังนี้

2.5.1 การจำแนกวิธีการส่งตามทิศทางการส่งภายในสาย

2.5.2 การจำแนกวิธีการส่งตามลักษณะการจัดข้อมูล

2.5.1 การจำแนกวิธีการส่งตามทิศทางการส่งภายในสาย

ในการใช้สายสำหรับการส่งข่าวสาร หากพิจารณาตามทิศทางการส่งข้อมูลภายในสายแล้ว สามารถแบ่งการส่งข้อมูลออกได้เป็น 3 ชนิดคือ

(ก) การส่งแบบทิศทางเดียว (One way transmission or simplex)

(ข) การส่งแบบทิศทางใดทิศทางหนึ่ง (Either way transmission or full-duplex transmission)

(ค) การส่งแบบสองทิศทาง (Both way transmission or full-duplex transmission)

2.5.2 การจำแนกวิธีการส่งตามลักษณะของการจัดข้อมูล

นอกจากการจำแนกวิธีการส่งตามลักษณะทิศทางการส่งแล้ว ยังสามารถจำแนกออกตามลักษณะการจัดข้อมูลได้อีกซึ่งการส่งตามลักษณะการจัดข้อมูลนั้นเราแบ่งออกได้เป็น 2 วิธีคือ

(ก) การส่งแบบขนาน (Parallel Transmission)

วิธีการส่งในลักษณะนี้ ทุกๆ บิตของรหัสของอักษรหนึ่งตัวจะต้องส่งไปพร้อมๆ กันในลักษณะขนานกัน นั้นหมายความว่า หากเรามีรหัสขนาด 8 บิตก็ต้องมีแชนเนลสำหรับการส่งจำนวนเท่านั้น การส่งแบบขนานนี้มักใช้ในระบบการสื่อสารที่มีระยะไม่ไกลนัก และโดยเฉพาะอย่างยิ่งในการส่งข้อมูลระหว่างคอมพิวเตอร์กับอุปกรณ์ประกอบคอมพิวเตอร์ต่างๆ เช่น เครื่องอ่านบัตร เครื่องเทปแม่เหล็กต่างๆ เป็นต้น โดยวิธีการนี้ทำให้เราได้ระบบการสื่อสารที่มีอัตราการส่งข้อมูลสูงมาก แต่ในกรณีที่ระยะทางไกลมากๆ นั้น ระบบการส่งแบบขนานจะไม่ได้รับความนิยม เพราะราคาของการวางแชนเนลค่อนข้างแพง

(ข) การส่งแบบอนุกรม (Serial Transmission)

วิธีการที่ได้รับความนิยมแพร่หลายที่สุดสำหรับการส่งข่าวสารก็คือ การส่งแบบอนุกรม ในการส่งแบบอนุกรมนั้น บิตทั้งหมดของตัวอักษรหนึ่งตัวจะถูกนำมาส่งไปทีละบิตติดต่อกันไปเรื่อยๆ ตามแชนเนลซึ่งมีอยู่เพียงแชนเนลเดียว ทางด้านรับเมื่อรับข้อมูลมาแล้วก็จะนำมาจัดเป็นตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อักษรขึ้นใหม่ให้ตรงกับชุดของตัวอักษรที่ทางด้านส่งส่งมา ซึ่งวิธีการดังกล่าวนี้จะต้องประกอบด้วยความสัมพันธ์ในการทำงานระหว่างด้านรับและด้านส่งสองชนิดคือ

(1) ความสัมพันธ์ของบิต (Bit Synchronization)

(2) ความสัมพันธ์ของตัวอักษร (Character Synchronization)

2.5.2.1 ความสัมพันธ์ของบิต

ความสัมพันธ์ของบิตนั้นหมายถึงว่า ทางด้านรับจะต้องได้รับบิตต่างๆ ที่ทางด้านส่งทำการส่งมาได้อย่างถูกต้อง นั่นหมายถึงว่า ทางด้านรับจะต้องทราบว่าจะรับจากสายส่งนั้นเมื่อใด หลังจากรับตัวแรกมาแล้วจะรับตัวที่ 2,3 และตัวต่อๆ ไปเมื่อไรซึ่งสามารถกระทำได้โดยการเพิ่มสัญญาณนาฬิกาเข้าไปที่จุดปลายของระบบทั้งสองด้านหรืออาจใช้วิธีการส่งสัญญาณนาฬิกาของทางด้านรับจะเป็นตัวกำหนดการเวลา ว่าจะรับข้อมูลจากสายด้วยอัตราความถี่เท่าใด ตราบเท่าที่สัญญาณนาฬิกาทางด้านส่งและรับยังมีความเร็วเดียวกัน ทางด้านรับก็จะสามารถรับบิตที่ทางด้านส่งส่งออกมาได้

2.5.2.2 ความสัมพันธ์ของตัวอักษร

ในการรับข่าวสารตามสายนั้น แม้ว่าเราจะมีการจัดเกี่ยวกับความสัมพันธ์ของบิตแล้วก็ตาม ยังมีปัญหาที่ตามมาอีกก็คือ บิตต่างๆ ที่รับมาอย่างถูกต้องแล้วนั้น กลุ่มของบิตที่แสดงถึงตัวอักษรต่างๆ นั้น เริ่มต้นที่บิตใดวิธีแก้ปัญหานี้กระทำได้หากว่าเราทราบว่าบิตใดเป็นบิตเริ่มต้นของตัวอักษรและถ้าหากทราบว่า (1) ในตัวอักษรหนึ่งตัวนั้นมีกี่บิต และ (2) ความเร็วของการส่งบิตต่างๆ มาตามสาย โดยการนับจำนวนบิตที่ได้รับมาตามสายหลังจากทราบบิตแรกก็จะสามารถแยกตัวอักษรออกจากกันได้ วิธีการในการหาว่าบิตใดเป็นบิตเริ่มต้นของตัวอักษรนั้นมีด้วยกัน 2 วิธีคือ

(1) ใช้เทคนิคการส่งแบบสัมพันธ์

(2) ใช้เทคนิคการส่งแบบไม่สัมพันธ์ ในที่นี้จะกล่าวเฉพาะการใช้เทคนิคแบบการส่งแบบ สัมพันธ์

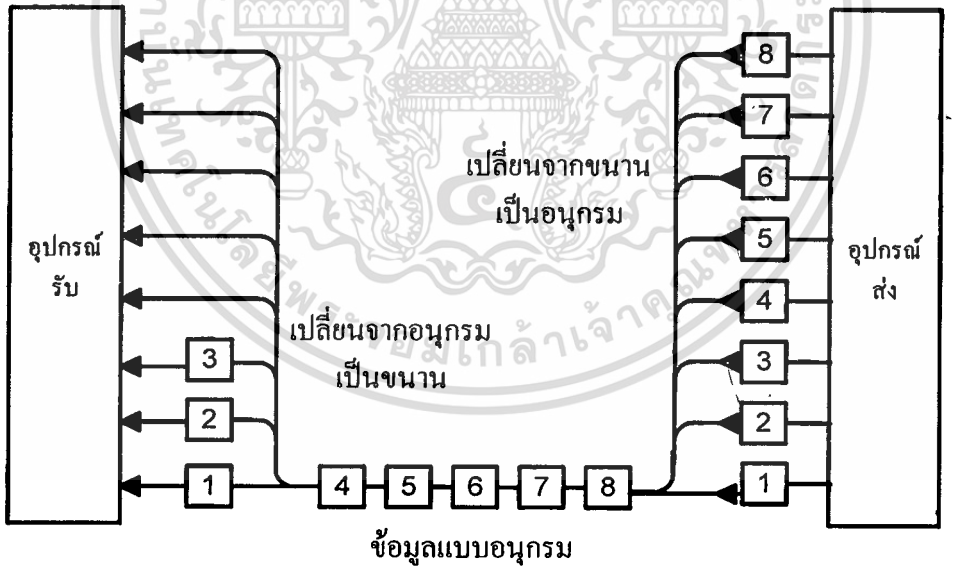
เทคนิคการส่งแบบสัมพันธ์ ใช้สำหรับการส่งข้อมูลทั้งชุดไปครั้งเดียวในการส่งแบบนี้นั้น ช่วงความกว้างระหว่างบิตแต่ละบิตจะมีค่าเท่ากันและตัวอักษรแต่ละตัวมีช่วงเวลาห่างกันเท่ากับศูนย์ ทางด้านรับนั้นเพียงหาว่าบิตแรกของตัวอักษรตัวแรกคือบิตใด และทราบขนาดหรือจำนวนบิตในหนึ่งตัวอักษรพร้อมทั้งความเร็วในการส่ง ก็จะสามารถแยกข่าวสารของแต่ละตัวอักษรออกมาได้ เพื่อให้การหาบิตแรกของตัวอักษรตัวแรกเป็นไปอย่างถูกต้องจึงมักส่งชุดของข้อมูลชุดหนึ่งก่อนหน้าการส่งข้อมูลตัวอักษร โดยการส่งตัวอักษรควบคุมความสัมพันธ์ (SYN Transmission control

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้

character: TC) สำหรับทางด้านรับนั้นจะถูกออกแบบมาให้นำบิตที่รับมาเปรียบเทียบกับชุดของบิตของตัวอักษรควบคุมความสัมพันธ์ โดยกระทำทุกครั้งที่รับบิตใหม่เข้ามาจนกว่าจะได้ชุดของบิตที่ต้องการดังกล่าว

2.6 การโอนถ่ายข้อมูลแบบอนุกรม

ในการถ่ายโอนข้อมูลแบบอนุกรม ข้อมูลถูกส่งออกมาทีละบิต ระหว่างจุดส่งและจุดรับจะเห็นว่าการส่งข้อมูลแบบนี้จะช้ากว่าแบบขนานที่กล่าวมาแล้วแน่นอน แล้วทำไมต้องส่งแบบนี้ คำตอบก็คือ ตัวกลางการสื่อสารต้องการเพียงช่องเดียวหรือสายเพียงคู่เดียวค่าใช้จ่ายในการสื่อสารจะต้องถูกกว่าแบบขนานอย่างแน่นอน สำหรับการส่งระยะทางไกลๆ โดยเฉพาะเมื่อเรามีการสื่อสารทางโทรศัพท์ไว้ใช้งานอยู่แล้วย่อมจะเป็นการประหยัดกว่าที่เราจะทำการติดต่อสื่อสารทีละ 8 ช่อง เพื่อการถ่ายโอนข้อมูลแบบขนานอย่างแน่นอน



รูปที่ 2.15 การส่งข้อมูลแบบอนุกรม

รูปที่ 2.15 แสดงให้เห็นการส่งข้อมูลแบบอนุกรม ข้อมูลจากจุดส่งจะถูกเปลี่ยนให้เป็นอนุกรมเสียก่อนแล้วค่อยทยอยส่งออกทีละบิตไปยังจะจุดรับ ณ ที่จุดรับจะต้องมีกลไกในการเปลี่ยนข้อมูลที่ส่งออกมาทีละบิต ให้เป็นสัญญาณแบบขนานซึ่งลงตัวพอดี นั่นคือ บิต 1 ลงที่บัสข้อมูลเส้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ 1 พอดี การที่จะทำให้การแปลงสัญญาณจากอนุกรมทีละบิตให้ลงพอดีนั้นจำเป็นจะต้องมีกลไกที่เหมาะสม เพื่อป้องกันการผิดพลาดในการรับ กลไกที่ว่านี้มี 2 แบบ คือ

(1) การสื่อสารแบบซิงโครนัส

(2) การสื่อสารแบบอะซิงโครนัส

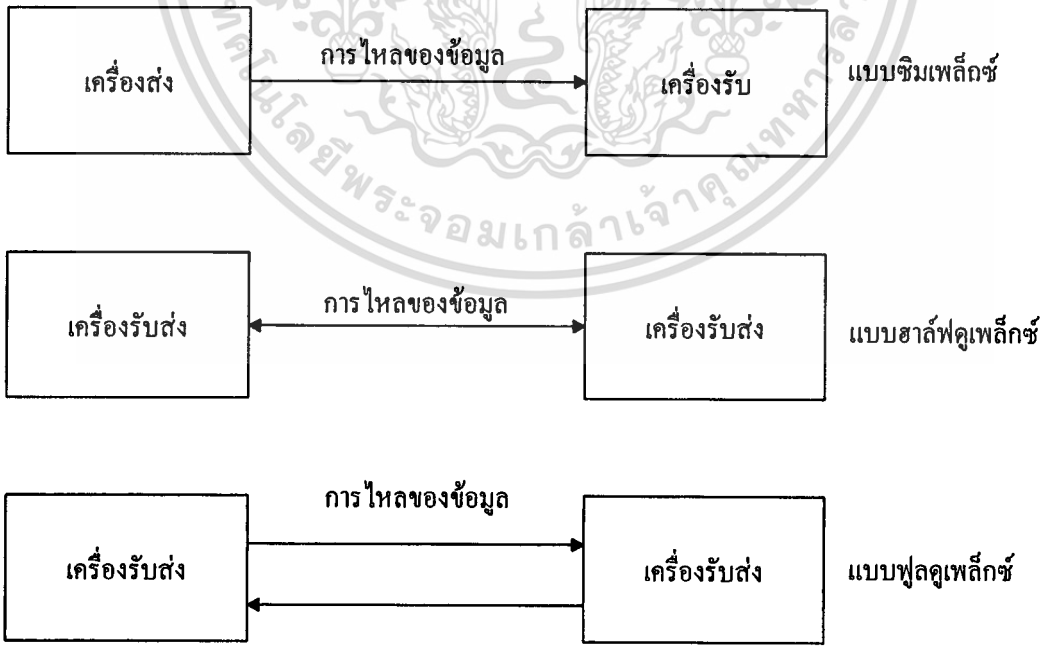
2.7 รูปแบบของการติดต่อสื่อสารแบบอนุกรม

(1) แบบซิมเพลกซ์ (simplex) ข้อมูลส่งได้ในทางเดียวเท่านั้น บางครั้งเรียกว่าการส่งทิศทางเดียว (Unidirectionnal data bus)

(2) แบบฮาล์ฟดูเพลกซ์ (Half duplex) ข้อมูลสามารถส่งได้ทั้งสองสถานี แต่จะต้องผลัดกันส่งและผลัดกันรับ จะส่งและรับพร้อมกันไม่ได้

(3) แบบฟลูดูเพลกซ์ (Full duplex) ทั้งสองสถานีรับและส่งได้ในเวลาเดียวกัน

การส่งแบบฟลูดูเพลกซ์และฮาล์ฟดูเพลกซ์ ไม่ขึ้นอยู่กับจำนวนของสายในการติดต่อ บางครั้งคำว่า ทูไวร์ (two wire) หรือสองเส้น และ โฟร์ไวร์(four wire) หรือ 4 เส้น ใช้ในการบรรยายถึงลักษณะการสื่อสารข้อมูลซึ่งอาจจะทำให้เข้าใจแบบฮาล์ฟดูเพลกซ์ สายโทรศัพท์ทั่วไปเป็นแบบ 2 เส้น ส่วนที่เป็นแบบเช่า (lease line) นั้นส่วนมากจะเป็นแบบ 4 เส้น



รูปที่ 2.16 รูปแบบของการติดต่อสื่อสารแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

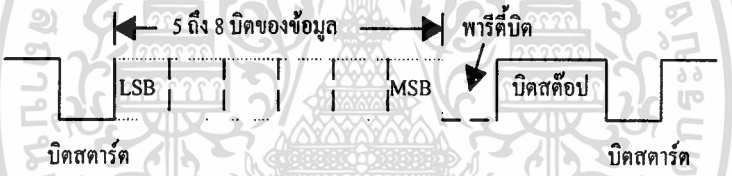
2.8 ความเร็วในการส่งข้อมูลแบบอนุกรม

ความเร็วของการถ่ายโอนข้อมูลแบบอนุกรม หน่วยวัดเป็นบิตต่อวินาที (bps) หน่วยที่บรรยายถึงการเปลี่ยนแปลงของสัญญาณใน 1 วินาที เรียกว่า บอดเรท (boud rate) หรืออัตราบอด หลายคนยังเข้าใจสับสนระหว่างอัตราบอดและอัตราบิต (bit rate) การเปลี่ยนแปลงของสัญญาณ 1 ครั้ง อาจจะแสดงถึงการส่งข้อมูลแบบอนุกรมมากกว่า 1 บิตถ้าเขียนในรูปของสมการคณิตศาสตร์เราก็จะได้

อัตราบิต (bit rate) = อัตราบอด (baud rate) x บิตใน 1 บอด

2.9 การสื่อสารแบบอะซิงโครนัส

การส่งแบบอะซิงโครนัสนี้ พัฒนามาจากการส่งโทรพิมพ์ในสมัยก่อน ลักษณะของสัญญาณเริ่มต้นหรือบิตเริ่มต้น (start bit) และบิตสิ้นสุด (stop bit)



รูปที่ 2.17 ฟอร์แมตการสื่อสารแบบอะซิงโครนัส

ขณะที่สถานะของการส่งแบบว่าง (Idle) คือ ยังไม่มีสัญญาณส่งออกมาจะมีสัญญาณหรือมีแรงดัน (หรือกระแส) ตลอดเวลา เพื่อความแน่ใจว่าฝ่ายรับยังติดต่ออยู่กับฝ่ายส่ง เมื่อเริ่มจะส่งข้อมูล สัญญาณของอะซิงโครนัสจะเป็น 0 หนึ่งช่วงสัญญาณนาฬิกา บิตนี้เรียกว่า สตาร์ทบิตตามหลังของสตาร์ทบิตก็จะเป็นข้อมูลสำหรับ 1 ตัวอักษร ซึ่งอาจจะมีขนาดตั้งแต่ 5 บิต ถึง 8 บิตโดยบิตที่มีค่าน้อยที่สุด (LSB) จะถูกส่งออกมาก่อนไล่ไปจนถึงบิตที่มีค่ามากที่สุด (MSB) การเข้ารหัสอักขระนี้ส่วนมากจะใช้รหัส ASCII แรกเริ่มทีเดียวในงานโทรพิมพ์ เขาใช้รหัส Saudo ซึ่งใช้ 5 บิตในการแทนอักขระ 1 ตัวอักษร ตามหลังข้อมูลก็จะเป็นพาริตี้บิต ซึ่งอาจจะใช้หรือไม่ใช้ก็ได้ พาริตี้บิตทำหน้าที่เป็นตัวตรวจสอบความถูกต้องของสัญญาณที่รับได้ พาริตี้อาจจะเป็นแบบคู่ (Even) หรือ คี่ (Odd) หมายความว่า ถ้าหากเป็นพาริตี้คู่ จำนวนบิตที่เป็น 1 ในช่วงบิตข้อมูลกับบิตพาริตี้รวมแล้วจะต้องเป็นจำนวนคู่ ผู้ส่งจะต้องทำหน้าที่ตรวจสอบข้อมูลแล้วใส่พาริตี้เอง ฝ่ายรับเมื่อรับแล้วก็จะตรวจสอบคู่ว่าเป็นจริงดังสถานการณ์ที่ตั้งเอาไว้หรือไม่ หากผิดพลาดก็หมายความว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่รับนั้นผิดพลาดไปจากสถานีส่งส่งออกมาทั้งนี้ทั้งนั้นจะต้องผิดเป็นจำนวนคี่ เท่านั้น คือ ผิดไป 1 บิต 3 บิต หรือ 5 บิต พร้อมกันจึงจะตรวจสอบได้ว่าผิด มองเห็นง่ายๆ ว่า ถ้าผิดเป็นจำนวนคู่ ผลรวมของจำนวนหนึ่งก็ยังเป็นคู่อยู่ดีทั้งนี้ทั้งนั้นไม่ได้หมายความว่าพาริตี้คี่ (Odd Parity) จะตรวจสอบการผิดพลาดเป็นจำนวนคี่ความจริงแล้วตรวจสอบความผิดพลาดได้เหมือนกับพาริตี้คู่ Even Parity) แต่แทนที่จะตรวจสอบดูว่าสัญญาณที่รับเข้ามามีจำนวนคู่ ก็ตรวจสอบดูว่ามีจำนวนคี่ หรือเปล่าอย่างไรก็ตามโอกาสที่จะผิดพลาด 2 บิตพร้อมกันมีน้อยมากย้อนกลับมาดู สัญญาณอะซิงโครนัสใหม่ หลังจากบิตพาริตี้แล้วก็จะต้องมีสต็อปบิตซึ่งเป็น ความกว้างของสต็อปบิตอาจจะเป็น 1,1.5 หรือ 2 พัลส์ของสัญญาณนาฬิกา แล้วแต่ผู้รับและผู้ส่งจะตกลงใช้กันเองการเริ่มต้นใช้พอร์ตอนุกรม (ทางออกอนุกรม) จึงจำเป็นจะต้องตั้งค่าต่างๆ สำหรับเป็นการส่งแบบอนุกรมอันได้แก่

(1) ความเร็วในการส่ง

(2) ความยาวรหัส 1 อักขระ

(3) บิตตรวจสอบ

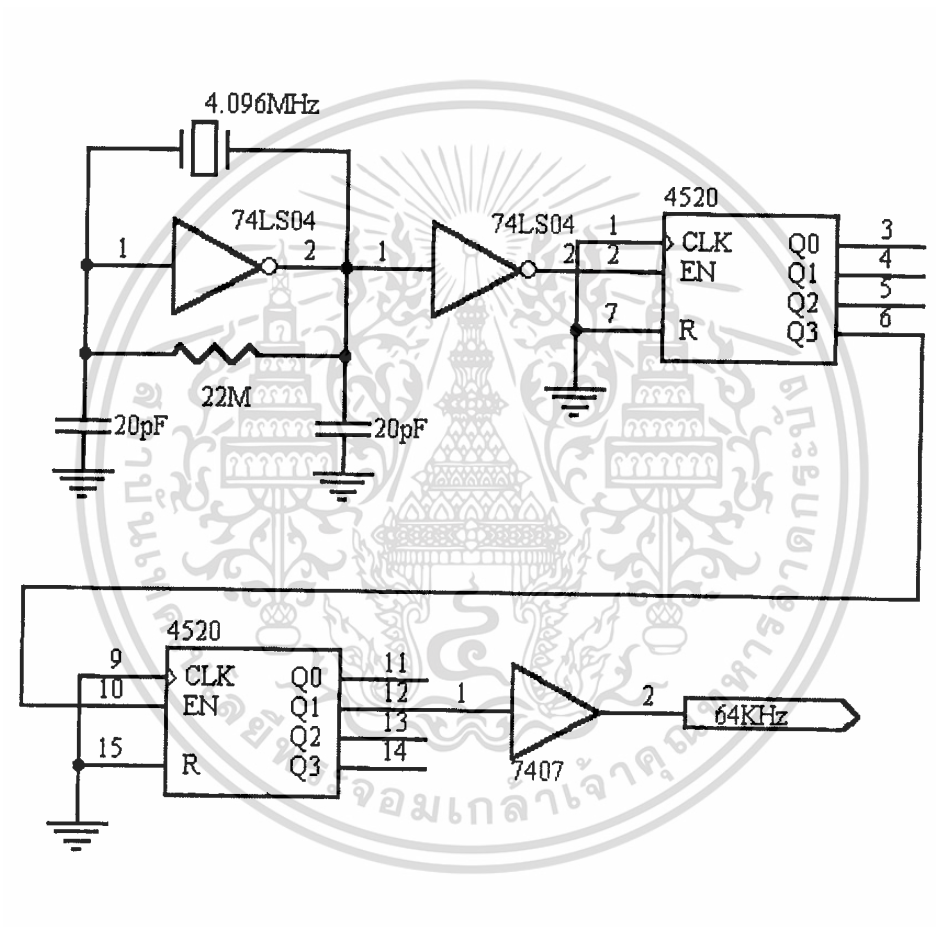
(4) จำนวนสต็อปบิต

จะเห็นว่ากลไกในการซิงโครนัสของของการสื่อสารอะซิงโครนัส มีลักษณะเป็นไปทีละอักษรจำนวนพลัสซ์ของสัญญาณที่ส่งออกยังมีส่วนใช้ในการควบคุมการส่งอยู่อันได้แก่ บิตสตาร์ตบิตสต็อปและบิตพาริตี้ ทำให้ความเร็วการส่งอักขระต่อวินาทีน้อยลงไป การส่งสัญญาณด้วยความเร็ว 300 บอดสำหรับการเข้ารหัส 7 บิตไม่ได้หมายความว่า ส่งได้ 300 หารด้วย 7 อักขระต่อวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.10 การออกแบบวงจรกำเนิดสัญญาณนาฬิกา

การกำเนิดสัญญาณนาฬิกาออกแบบโดยใช้วงจรกำเนิดความถี่แบบ X-TAL โดยใช้ ไอซี 7404 ทำหน้าที่รับสัญญาณ X-TAL ที่ใช้ความถี่ 4.096 MHz ความถี่ที่กำเนิดได้เมื่อผ่าน ไอซี 7404 แล้วจะได้สัญญาณ SQUARE WAVE เมื่อนำไปผ่านวงจรหารความถี่ โดยในวงจรนี้ใช้ไอซี 4520 ซึ่งเอาท์พุตของ ไอซี 4520 จะได้ความถี่ต่างๆ โดยในที่นี้จะใช้ความถี่ 64 KHz แล้วผ่าน 7407 ทำหน้าที่เป็นบัฟเฟอร์ ดังรูปที่ 2.18

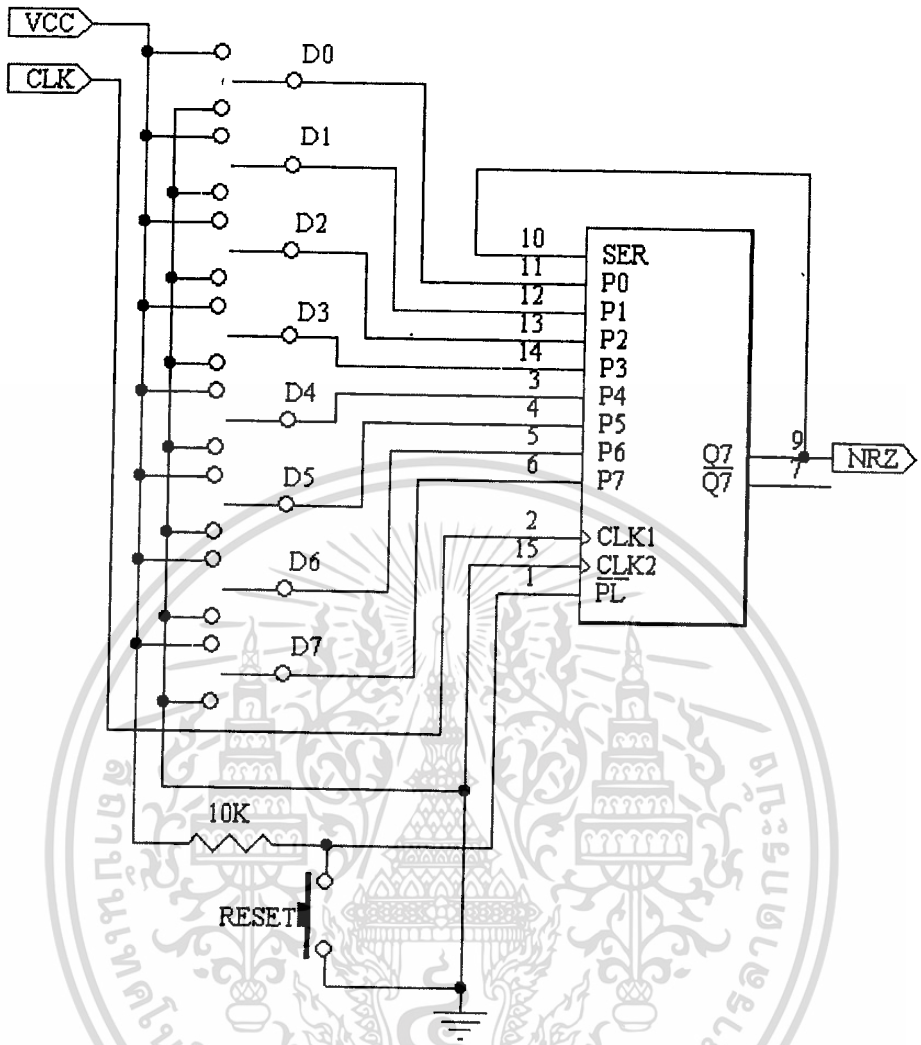


รูปที่ 2.18 วงจรกำเนิดสัญญาณนาฬิกา

2.11 การออกแบบและการทำงานของวงจร NRZ

ในการทดลองจะใช้ IC 74165 เป็นตัวกำเนิดสัญญาณ NRZ โดยที่ไอซี 74165 เป็นไอซี Parallel-Load 8 bit shift Register ซึ่งไอซี 74165 จะเปลี่ยนข้อมูลแบบขนาน 8 บิต เป็นข้อมูลแบบอนุกรม โดยส่งบิตนัยสำคัญสูงสุด (MSB) เป็นบิตแรกแล้วเรียงตามลำดับไปจนถึงบิตต่ำสุด (LSB) สามารถต่อวงจรได้ดังรูปที่ 2.19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



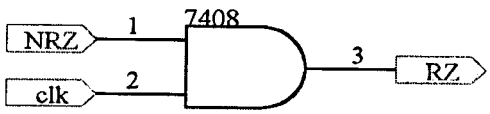
รูปที่ 2.19 วงจรสร้างสัญญาณ NRZ

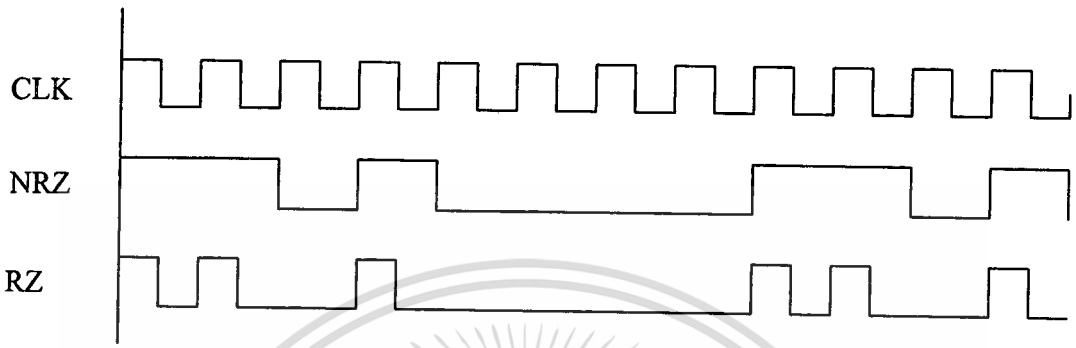
การทำงานของวงจรสามารถอธิบายได้ดังนี้ ไอซี 74165 เริ่มการส่งข้อมูลขนาน 8 บิต ออกไปทีละ 1 บิต ตามจังหวะสัญญาณนาฬิกา 64 kHz ที่ป้อนให้ขา 2 ของ ไอซี 74165 โดย ไอซี 74165 จะโหลดข้อมูลทางบิตนัยสำคัญสูงสุด (MSB) ออกไปก่อน

2.12 การออกแบบและการทำงานของวงจร RZ

ในการออกแบบการเข้ารหัสสัญญาณ RZ จะใช้ไอซี 7408 เป็นตัวเข้ารหัส โดย ไอซี 7408 เป็นไอซี AND GATE 2 INPUT โดยอินพุตแรกป้อนสัญญาณ NRZ ส่วนอีกอินพุตป้อนสัญญาณนาฬิกาให้ เอาท์พุตที่ได้จะเป็นสัญญาณ RZ โดยคุณสมบัติของ AND GATE ก็คือ ถ้าสัญญาณที่ป้อนเข้ามามีลอจิกเป็น "1" ทั้งคู่ เอาท์พุตจะเป็น "1"

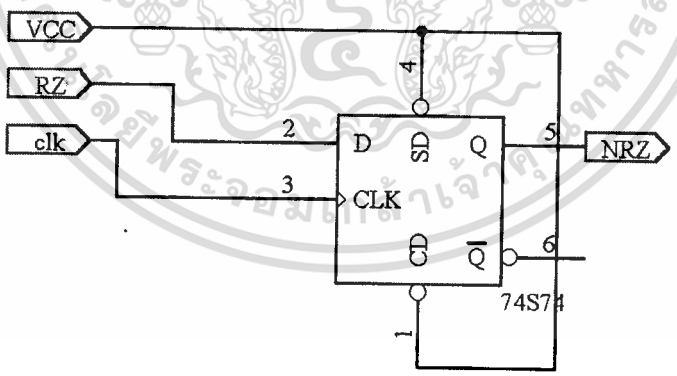
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

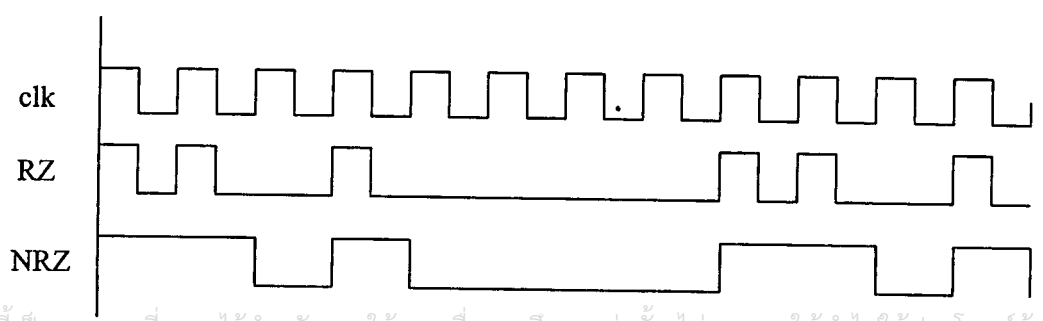




รูปที่ 2.20 แสดงวงจรและการทำงานการเข้ารหัส RZ

ในส่วนการถอดรหัสสัญญาณ RZ จะใช้ ไอซี 7474 เป็นตัวถอดรหัส โดยไอซี 7474 เป็น D ฟลิปฟลอปจะทำงานในสภาวะขอบขาขึ้นของสัญญาณนาฬิกา โดยอินพุตของ D ฟลิปฟลอปจะถูกป้อนด้วยสัญญาณ RZ แสดงดังรูปที่ 2.21



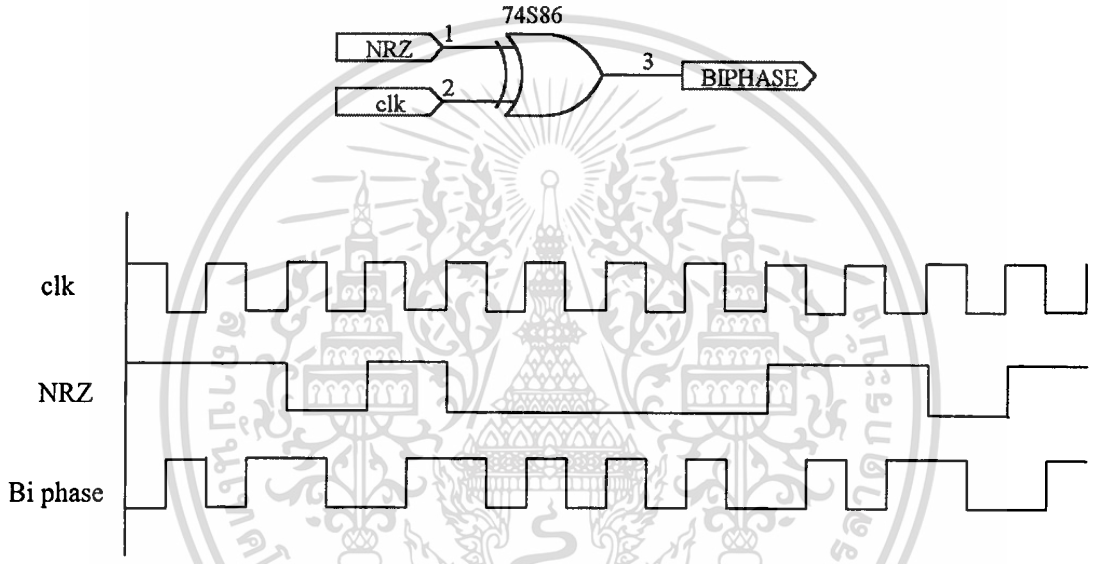


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.21 แสดงวงจรและการทำงานการถอดรหัส RZ

2.13 การออกแบบและการทำงานของวงจร BI-PHASE

ในการออกแบบการเข้ารหัสสัญญาณ BI-PHASE โดยจะใช้ไอซี 7486 เป็นตัวเข้ารหัสโดย ไอซี 7486 เป็นไอซี EXCLUSIVE OR GATE การเข้ารหัสจะทำได้โดยการป้อนสัญญาณ NRZ กับสัญญาณนาฬิกา ไปยัง ไอซี 7486 เอาท์พุตที่ได้จะเป็นสัญญาณ BI-PHASE ออกมา โดยคุณสมบัติของไอซี 7486 EXCLUSIVE OR GATE ก็คือ ถ้าสัญญาณที่ป้อนเข้ามามีลอจิกเหมือนกันจะได้เอาท์พุตที่ได้จะเป็นลอจิก "0"



รูปที่ 2.22 แสดงวงจรและการทำงานการเข้ารหัส Biphase

ส่วนการถอดรหัส BI-PHASE ซึ่งมีหลักการทำงานวงจรดังนี้ คือ เมื่อวงจรได้รับสัญญาณ BI-PHASE จากภาคส่งแล้วก็จะทำการต่อกับ clock ที่อุปกรณ์ EXCLUSIVE NOR เอาท์พุตที่ได้ก็จะเป็นสัญญาณ NRZ

2.14 การทำงานและการออกแบบของวงจร ADI (Alternative digit inversion)

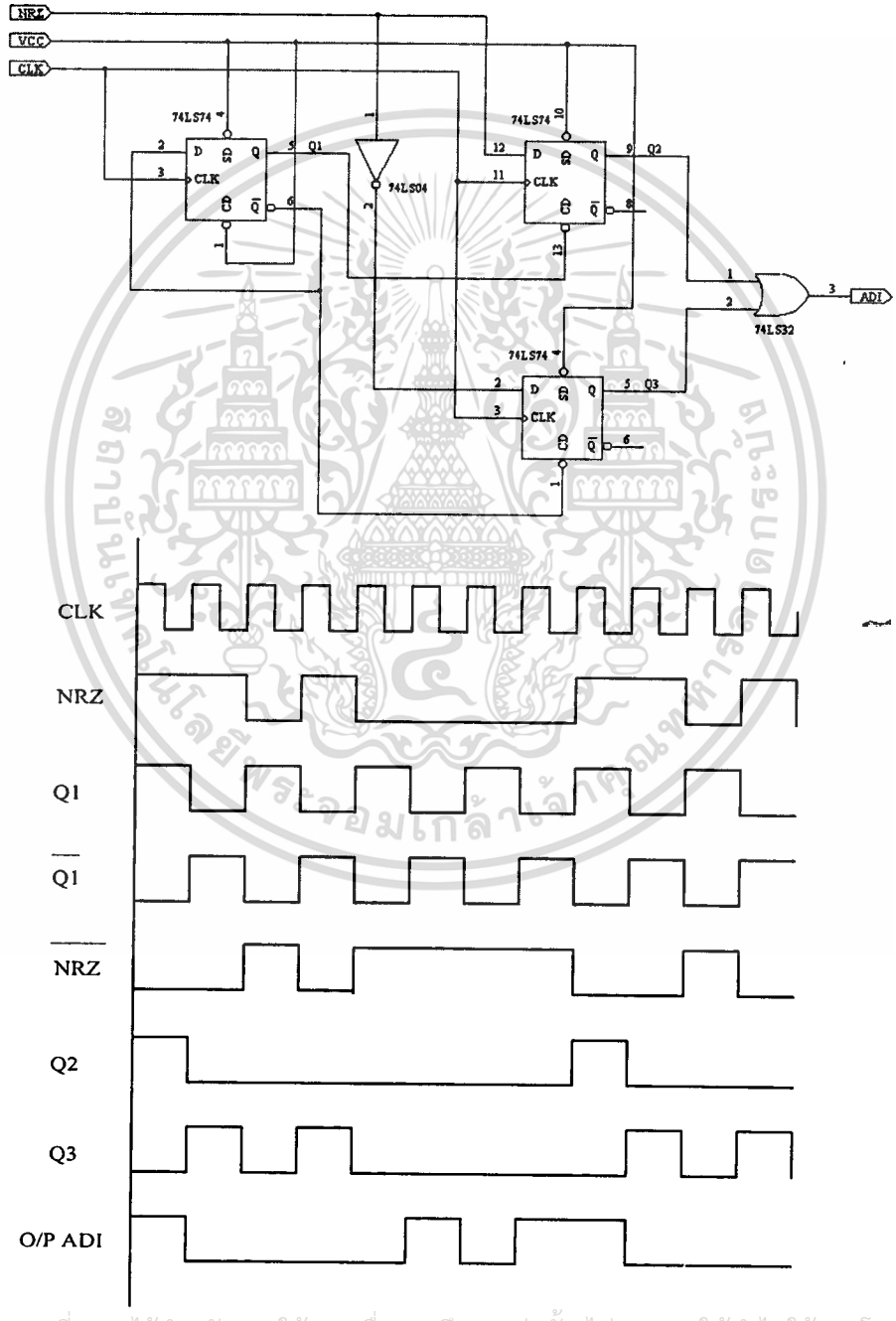
ADI เป็นสัญญาณขั้วเดียวโดยหลักการเข้ารหัสสัญญาณ ADI สามารถอธิบายคร่าวๆ ได้ดังนี้ คือสัญญาณ ADI จะทำการเปลี่ยนสภาวะของสัญญาณทุกๆ บิตคู่ให้ตรงกันข้ามกับสัญญาณเดิม (อินเวอร์สัญญาณ)ส่วนบิตคี่จะเหมือนกับสัญญาณเดิมโดยไม่มีการเปลี่ยนแปลง ในการทำงานส่วนของวงจรสามารถอธิบายดังนี้

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้

การเข้ารหัสจะประกอบด้วยไอซี 74LS74 จำนวน 3 ตัว 74LS32 จำนวน 1 ตัว และ 74LS04

จำนวน 1 ตัว โดย ไอซี 74LS74 ตัวแรกทำหน้าที่เป็น counter เพื่อส่งสัญญาณเอาท์พุตไปยังไอซี

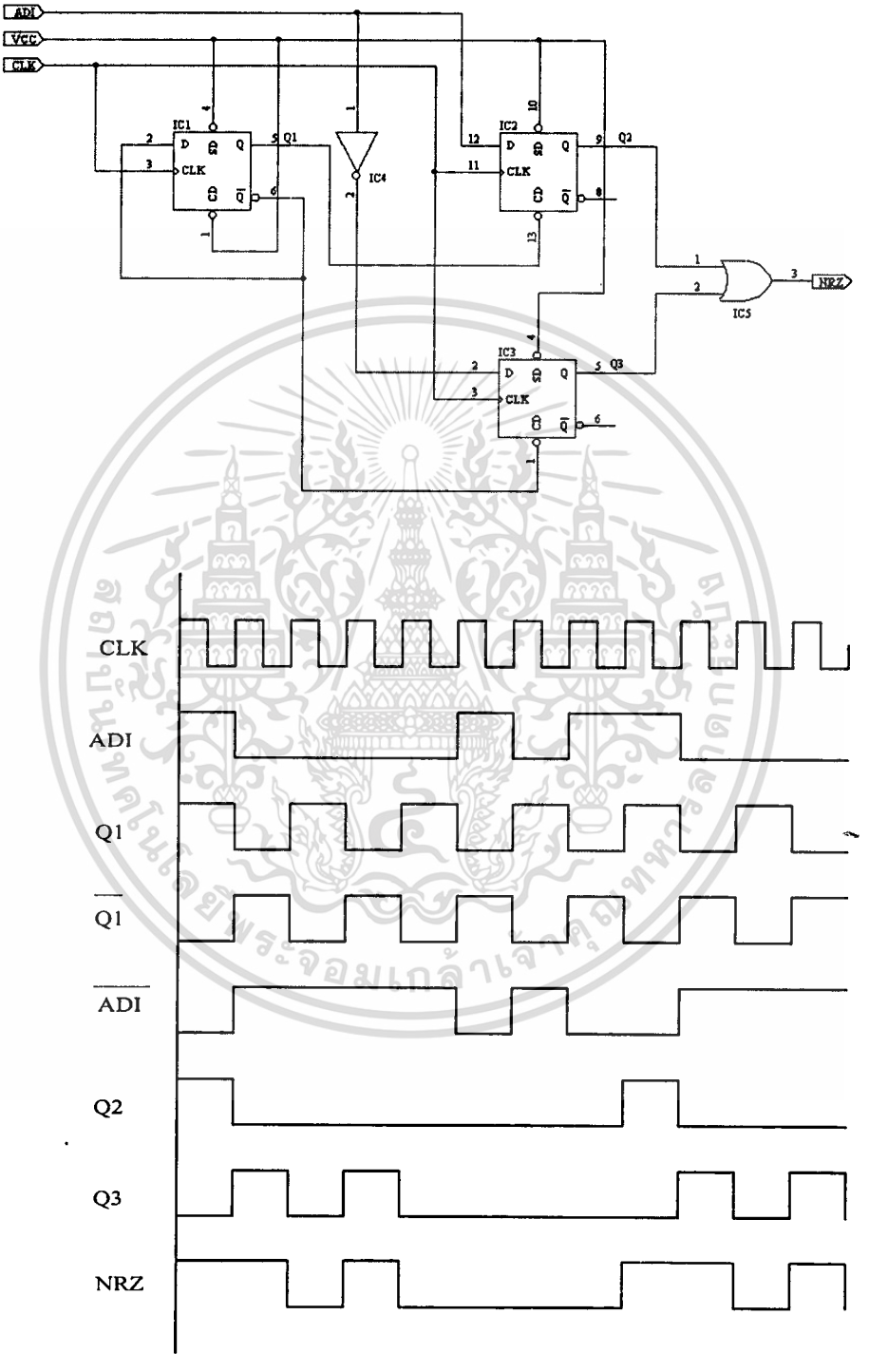
74LS74 สองตัวที่เหลือ ไอซี 74LS74 ตัวที่ 2 ทำหน้าตรวจสอบบิตคี่ ส่วนไอซี 74LS74 ตัวที่ 3 ทำหน้าที่ตรวจสอบบิตคู่และแก้ไขให้ตรงข้ามกับสัญญาณเดิม ดังนั้นจะได้สัญญาณ ADI จากการสัญญาณที่เอาท์พุตของไอซี 74LS74 ตัวที่ 2,3 การทำงานแสดงดังรูป 2.23



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.23 แสดงวงจรและการทำงานการเข้ารหัส ADI

ในส่วนการถอดรหัสก็จะมีหลักการเหมือนกันกับการเข้ารหัสสามารถแสดงได้ดังรูป



รูปที่ 2.24 แสดงวงจรและการทำงานการถอดรหัส ADI

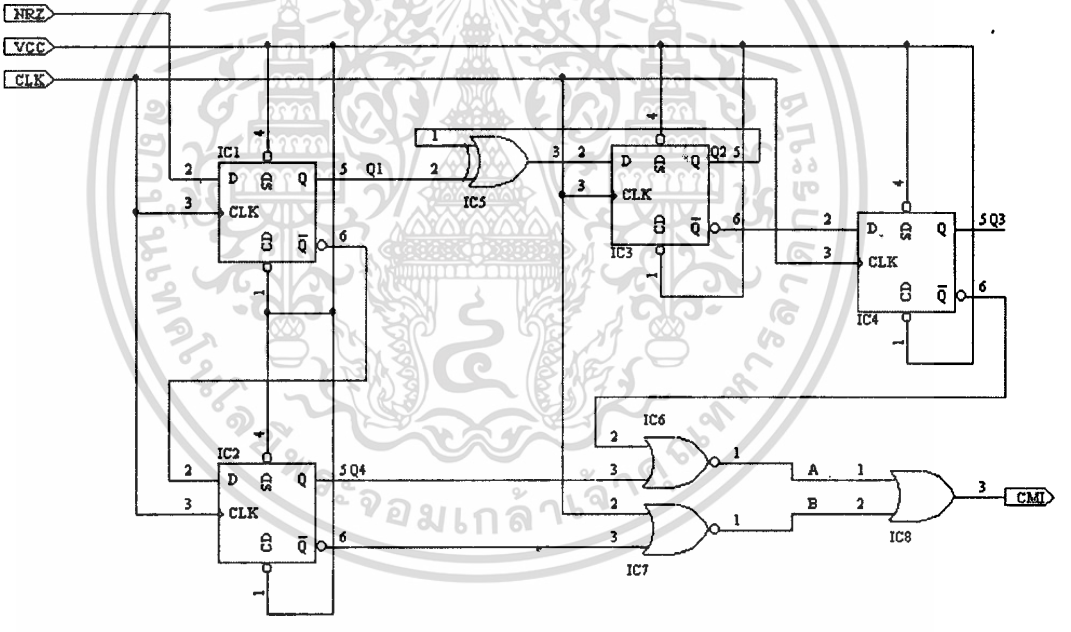
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.15 การทำงานและการออกแบบของวงจร CMI (CODE MARK INVERSION)

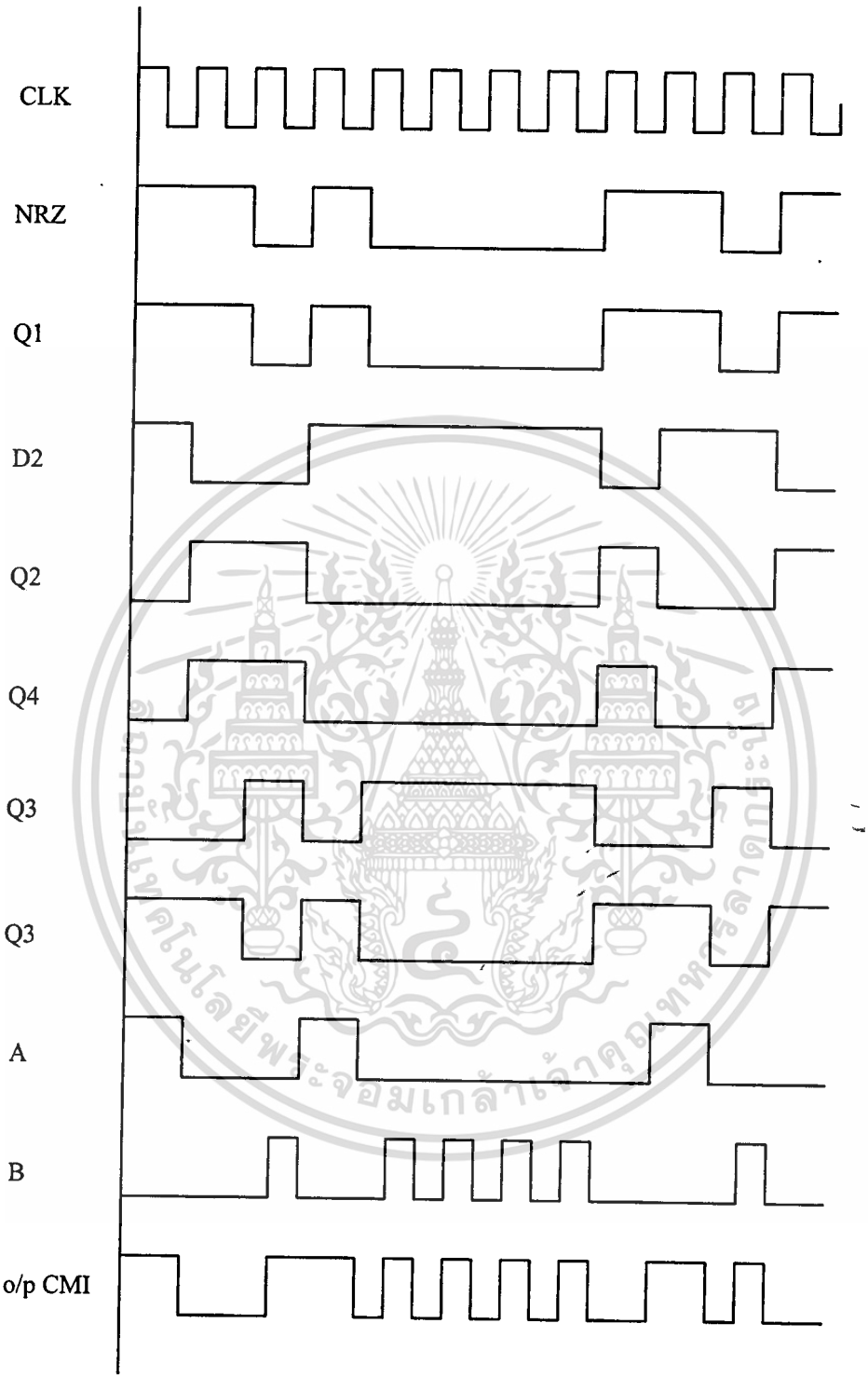
สามารถอธิบายหลักการทำงานของวงจรพอคร่าวๆ คือ รหัส CMI เป็นรหัสสัญญาณขั้วเดียวมีหลักการทำงานที่ว่า

- ถ้ารหัสเดิมเป็น “1” ให้ทำเป็น “1” และ “0” สลับกันไป
- ถ้ารหัสเดิมเป็น “0” ให้ทำเป็น “0” ในช่วงครึ่งบิตแรกและถ้ารหัสเดิมเป็น “1” ให้ทำเป็น “1” ในช่วงครึ่งบิตหลัง

สามารถอธิบายการทำงานได้ชัดเจนดียิ่งขึ้นได้ดังรูปที่ 2.25



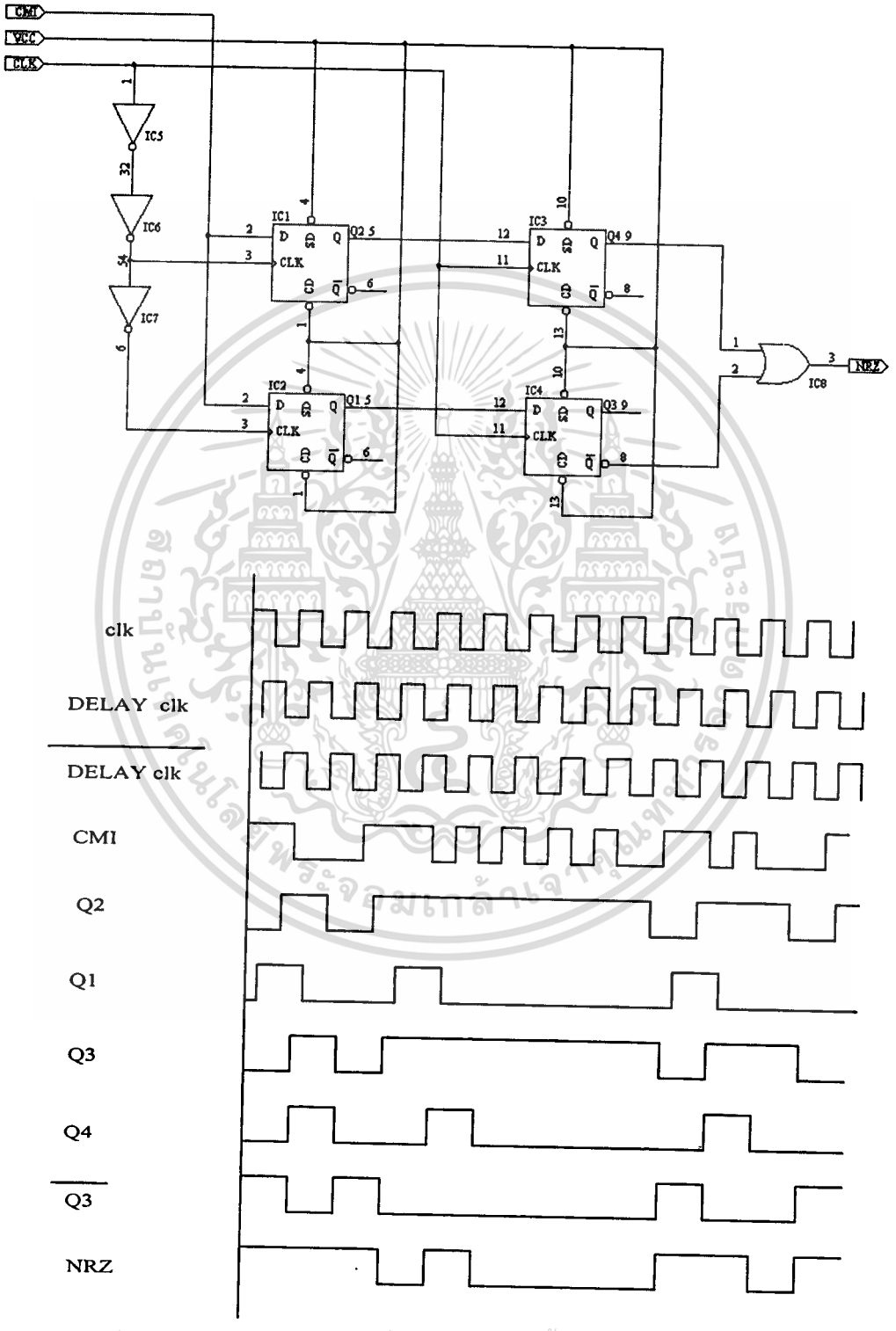
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.25 แสดงวงจรและการทำงานการเข้ารหัส CMI

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนการถอดรหัสแสดงดังรูปที่ 2.26



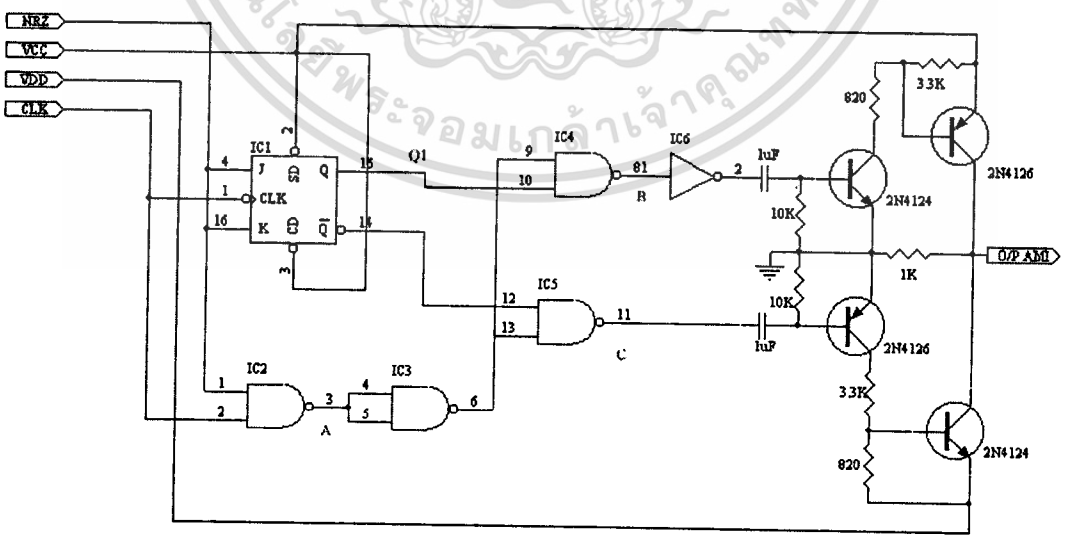
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.26 แสดงวงจรและการทำงานการถอดรหัส CMI

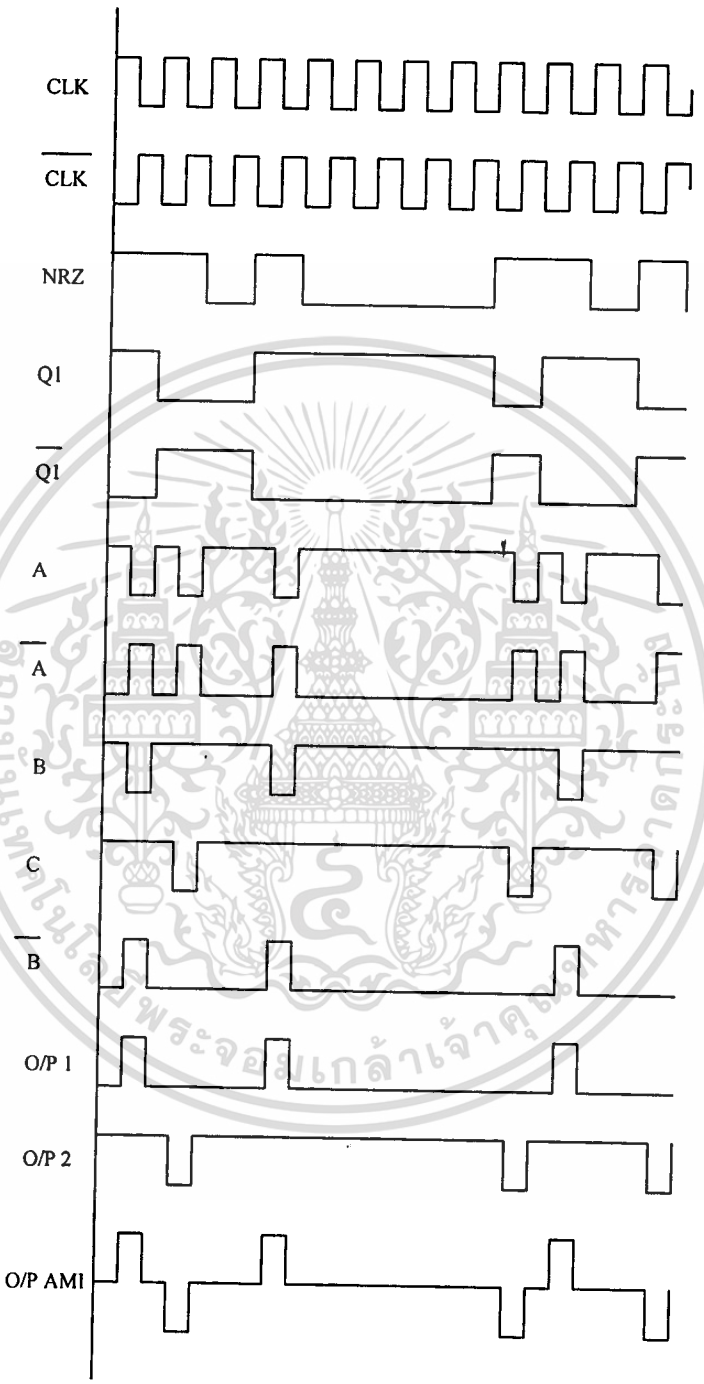
2.16 การออกแบบและการทำงานของวงจร AMI

สัญญาณ Bipolar หรือ AMI เป็นสัญญาณดิจิตอลแบบหนึ่งที่ใช้ในการส่งข้อมูลโดย สัญญาณ AMI นั้นจะมีระดับสัญญาณถึง 3 ระดับ คือ level "0" และ level + v ซึ่งจะเป็น level "0" ก็ต่อเมื่อเป็นลอจิก "0" และ level "+v" นั้นจะสลับระดับ +v กับ -v ไปมาก็เมื่อข้อมูลที่ป้อนเข้ามาเป็น ทุกๆ ลอจิก "1"

ส่วนหลักการทำงานของวงจร AMI ภาคส่ง จะมีหลักการดังนี้คือ เมื่อทำการป้อนสัญญาณ NRZ ให้กับวงจร โดย IC 7476 เราจะใช้เป็นวงจรนับบิตเพื่อเป็นตัวควบคุม แอนท์เกตให้สัญญาณที่ ออกมาของแอนท์เกตแต่ละตัวจะแยกคนละบิตเฉพาะลอจิก "1" ของอินพุตที่ป้อนเข้ามาสลับกัน แล้วป้อนไปยังวงจรไดรฟ์โดยทรานซิสเตอร์ชุดบนจะทำหน้าที่ขยายสัญญาณพัลส์ "+v" และ ทรานซิสเตอร์ชุดล่างทำหน้าที่ขยายสัญญาณพัลส์ "-v" ซึ่งจะทำการรวมสัญญาณทั้งซีกบวกและซีก ลบก็จะได้สัญญาณ เอาท์พุตออกมาเป็นสัญญาณ AMI ดังสามารถแสดงวงจรและการทำงานได้ดัง รูปที่ 2.27



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.27 แสดงวงจรและการทำงานการเข้ารหัส AMI

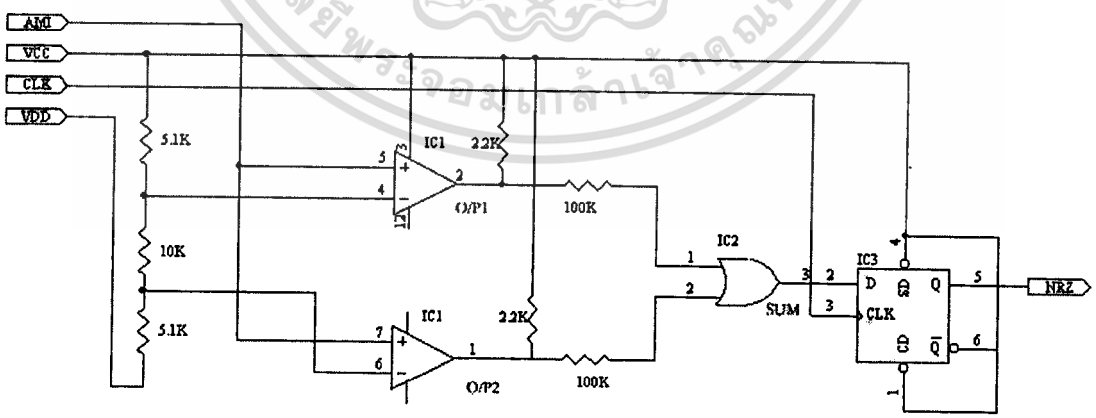
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนหลักการทำงานของวงจร AMI ทางด้านถอดรหัส จะมีหลักการดังนี้

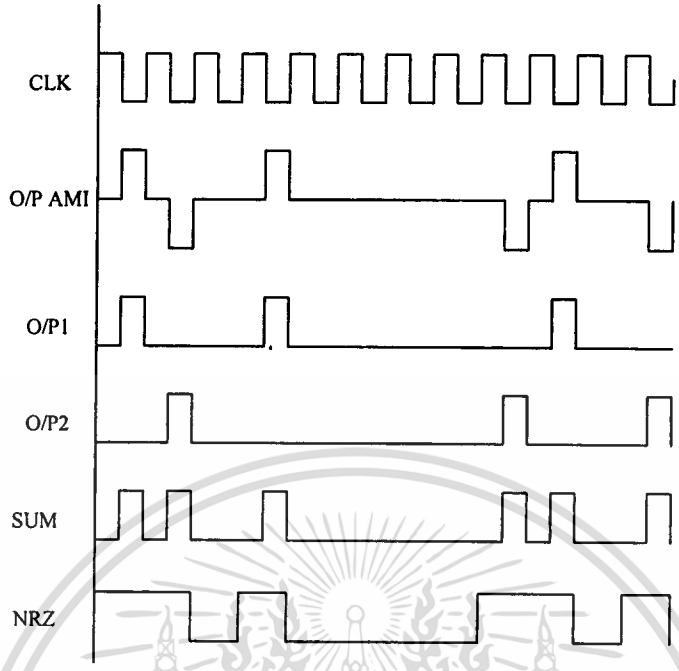
เมื่อป้อนสัญญาณ AMI ให้กับวงจร (โดยขา 7 ของ LM339A มีแรงดันเท่ากับ 2.5 v ซึ่งเราให้เป็น V_{UT} และขา 4 ของ LM339B นั้นมีแรงดันเท่ากับ -2.5 v ซึ่งเราให้เป็น V_{LT}) เมื่อสัญญาณที่ป้อนเข้าไปในวงจรมีค่าน้อยกว่า V_{UT} และ V_{LT} แรงดันที่ขาบวกของ LM339A จะสูงกว่าแรงดันที่ขาลบ สวิทช์ด้านเอาท์พุตซึ่งจะอยู่ภายในตัว LM339A จะสูงกว่าแรงดันที่ขาลบ สวิตช์ด้านเอาท์พุตซึ่งจะอยู่ภายในตัวออปแอมป์ 339A จะเปิด ส่วนของ LM339B นั้นแรงดันที่ขาบวกจะต่ำกว่าแรงดันที่ขาลบ ทำให้สวิตช์ด้านเอาท์พุตซึ่งอยู่ภายในตัวออปแอมป์ 339B จะปิดลักษณะอย่างนี้จะทำให้ V_{01} เท่ากับ 0 โวลต์ เอาท์พุตของ D FLIP-FLOP จึงมีค่าเป็นศูนย์ด้วย

เมื่อสัญญาณที่ป้อนอยู่ระหว่าง V_{UT} และ V_{LT} แรงดันที่ขาบวกของออปแอมป์ LM339B สูงกว่าแรงดันที่ขาลบ ทำให้สวิตช์ที่อยู่ภายในตัวออปแอมป์ LM339B เปิดส่วนของออปแอมป์ LM339A แรงดันที่ขาบวกจะสูงกว่าที่ขาลบ สวิตช์ด้านเอาท์พุตภายในตัวออปแอมป์จะเปิดเช่นกัน ลักษณะอย่างนี้จะทำให้ V_{01} เท่ากัน +5 v เอาท์พุตของ D FLIP-FLOP จึงมีค่าเป็น +5 v ด้วย

เมื่อสัญญาณที่ป้อนอยู่สูงกว่า V_{UT} และ V_{LT} แรงดันที่ขาบวกของออปแอมป์ LM339B จะสูงกว่าแรงดันที่ขาลบ สวิตช์ด้านเอาท์พุตภายในจะปิด ทำให้ V_{01} เท่ากับศูนย์โวลต์ เอาท์พุตของ D FLIP-FLOP จึงมีค่าเป็นศูนย์ด้วยสามารถแสดงวงจรและการทำงานในส่วนของการถอดรหัสได้ดังรูปที่ 2.28



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.28 แสดงวงจรและการทำงานการถอดรหัส AMI

2.17 การออกแบบและการทำงานของวงจร HDB_3

2.17.1 การเข้ารหัส HDB_3

สามารถแบ่งเป็นส่วนใหญ่ๆ ได้ดังนี้

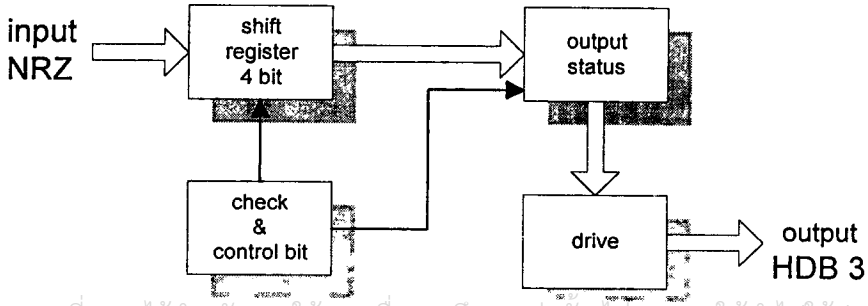
(1) ส่วนชิพรีจิสเตอร์ขนาด 4 บิต

(2) ส่วนตรวจสอบและควบคุม

(3) ส่วนกำหนดสถานะเอาท์พุต

(4) ส่วนชุดไดร์ฟ

รายละเอียดสามารถอธิบายได้ดังรูป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.29 แสดงบล็อกไดอะแกรมของการเข้ารหัส HDB_3

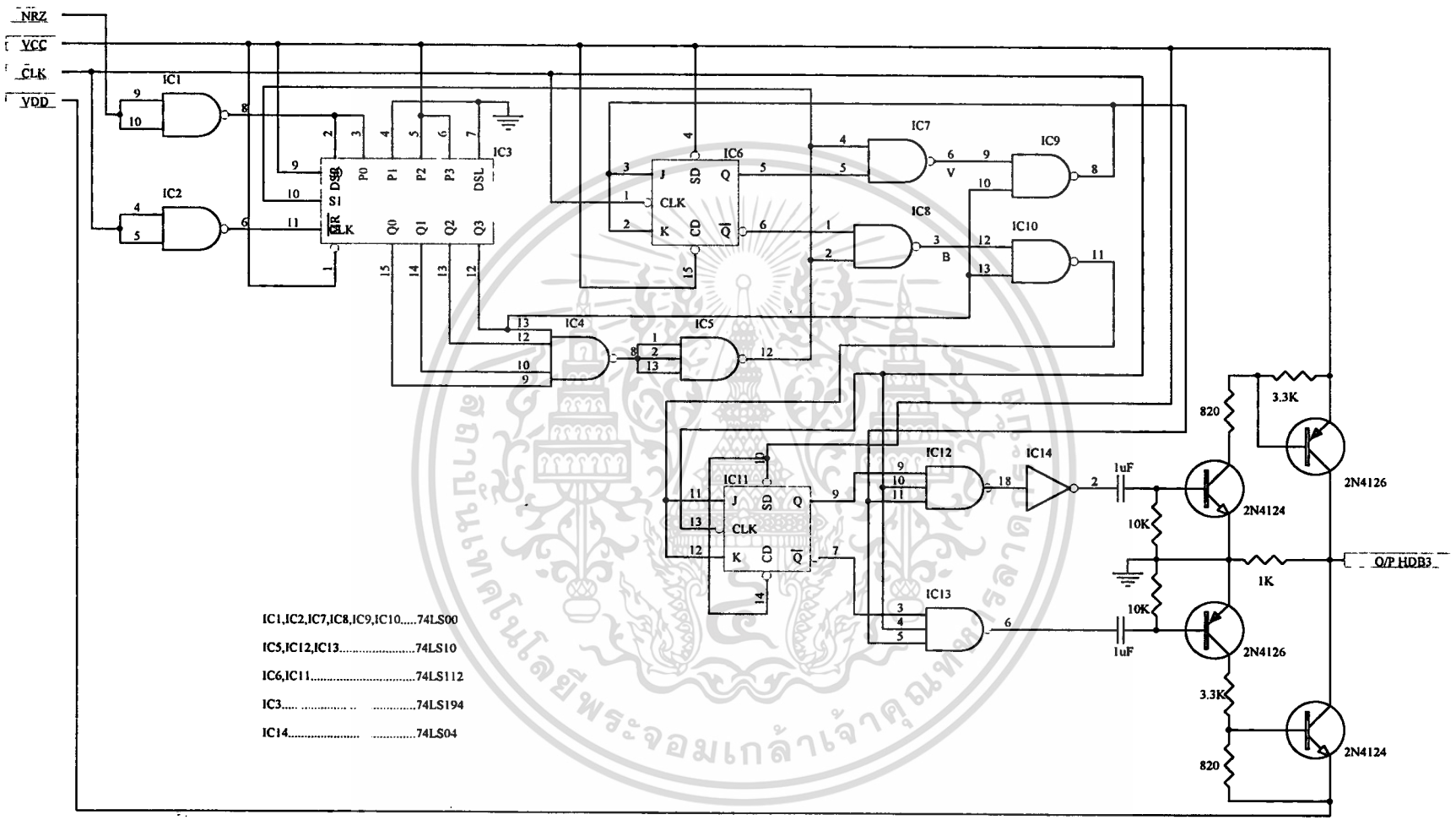
(1) ส่วนชิพรีจิสเตอร์ขนาด 4 บิต (IC74194) ทำหน้าที่เป็นหน่วยความจำและหน่วงเวลาอินพุตพัลส์ไว้ 4 บิตเพื่อทำการนับอินพุตพัลส์ที่เข้ามาว่ามีสถานะลอจิก “0” หรือลอจิก “1” เพื่อที่ส่วนตรวจสอบจะทำการตรวจสอบลอจิก “0”

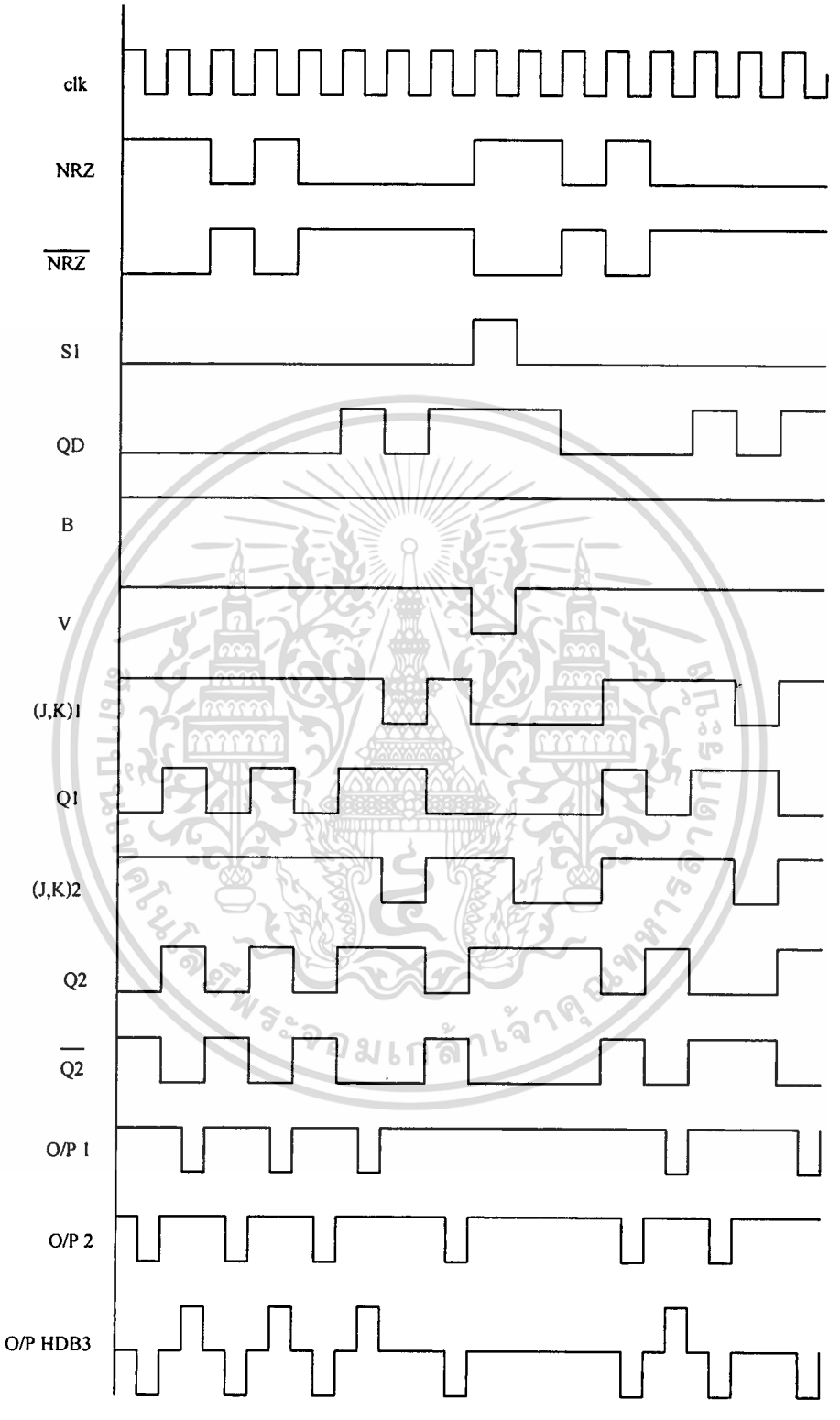
(2) ส่วนตรวจสอบและควบคุมประกอบด้วย NAND GATE (IC4,IC5,IC7,IC8,IC9และ IC10)และ J-K ฟลิปฟลอป (IC6, IC4,IC5) จะทำการตรวจจับสถานะลอจิก “0” ที่ติดต่อกันจำนวน 4 บิต จากเอาท์พุตของชิพรีจิสเตอร์ส่งเอาท์พุตที่ได้เข้า IC7 และ IC8 เพื่อทำการกำหนดสถานะการเติมบาลานซ์พัลส์กับไวโอเลชั่นพัลส์ IC6 ทำหน้าที่นับจำนวนพัลส์ของสถานะลอจิก “1” ว่ามีจำนวนเป็นคู่หรือคี่

(3) ส่วนกำหนดสถานะเอาท์พุตประกอบด้วย J-K ฟลิปฟลอป (IC11) NAND GATE (IC12,IC13) J-K ฟลิปฟลอปทำหน้าที่กำหนดสถานะเอาท์พุตของสถานะลอจิก “1” ว่ามีสถานะพัลส์เป็น “+V”หรือ “-V” NAND GATE ทำหน้าที่แสดงสถานะพัลส์ที่เป็นแบบ RETURN TO ZERO เพื่อส่งต่อไปยังชุดไดร์ฟ

(4) ส่วนชุดไดร์ฟประกอบด้วยทรานซิสเตอร์จำนวน 4 ตัวทำหน้าที่เป็นสวิทซ์ทำการคัดเลือกเอาท์พุตพัลส์ โดยจะทำงานสลับกันระหว่างชุดบนและชุดล่าง ทรานซิสเตอร์ชุดบนจะทำการขยายพัลส์ “+V” ส่วนทรานซิสเตอร์ชุดล่างจะทำการขยายพัลส์ “-V” เมื่อรวมกันจะได้สัญญาณเอาท์พุตเป็นสัญญาณ HDB_3 โดยรายละเอียดสามารถแสดงได้ดังรูปที่ 2.30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


NRZ
VCC
CLK
VDD
IC1
IC2
IC3
IC4
IC5
IC6
IC7
IC8
IC9
IC10
IC11
IC12
IC13
IC14
J
SD
Q
CLK
K
CD
Q
P0
P1
P2
P3
DSL
DSR
S1
CLR
Q0
Q1
Q2
Q3
V
B
3.3K
820
2N4126
2N4124
1uF
10K
1K
Q/P HDB3
IC1,IC2,IC7,IC8,IC9,IC10.....74LS00
IC5,IC12,IC13.....74LS10
IC6,IC11.....74LS112
IC3..... .....74LS194
IC14..... .....74LS04



รูปที่ 2.30 แสดงวงจรและการทำงานการเข้ารหัส HDB_3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.17.2 การถอดรหัส HDB_3

ประกอบด้วยสำคัญ 4 ส่วน ดังรูปบล็อกไดอะแกรม

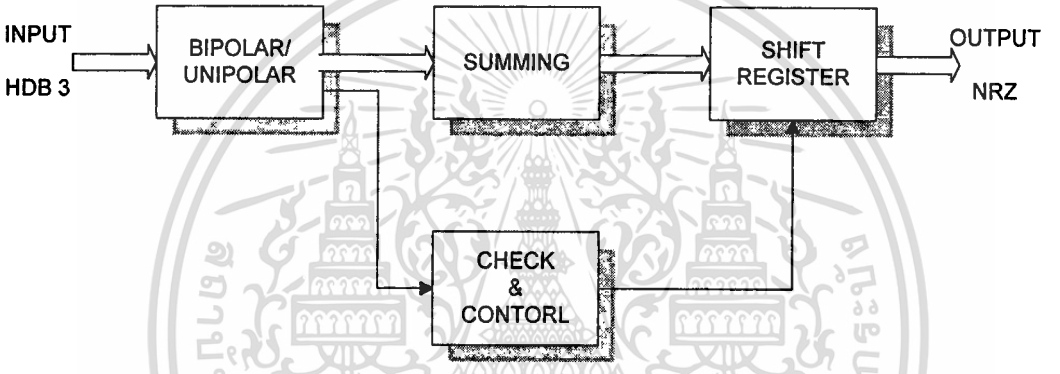
(1) ส่วนเรกติไฟล์

(2) ส่วนทำการรวมสัญญาณ

(3) ส่วนทำหน้าที่ตรวจสอบและควบคุม

(4) ส่วนชิพรีจิสเตอร์

โดยมีรายละเอียดดังรูป



รูปที่ 2.31 แสดงบล็อกไดอะแกรมการถอดรหัส HDB_3

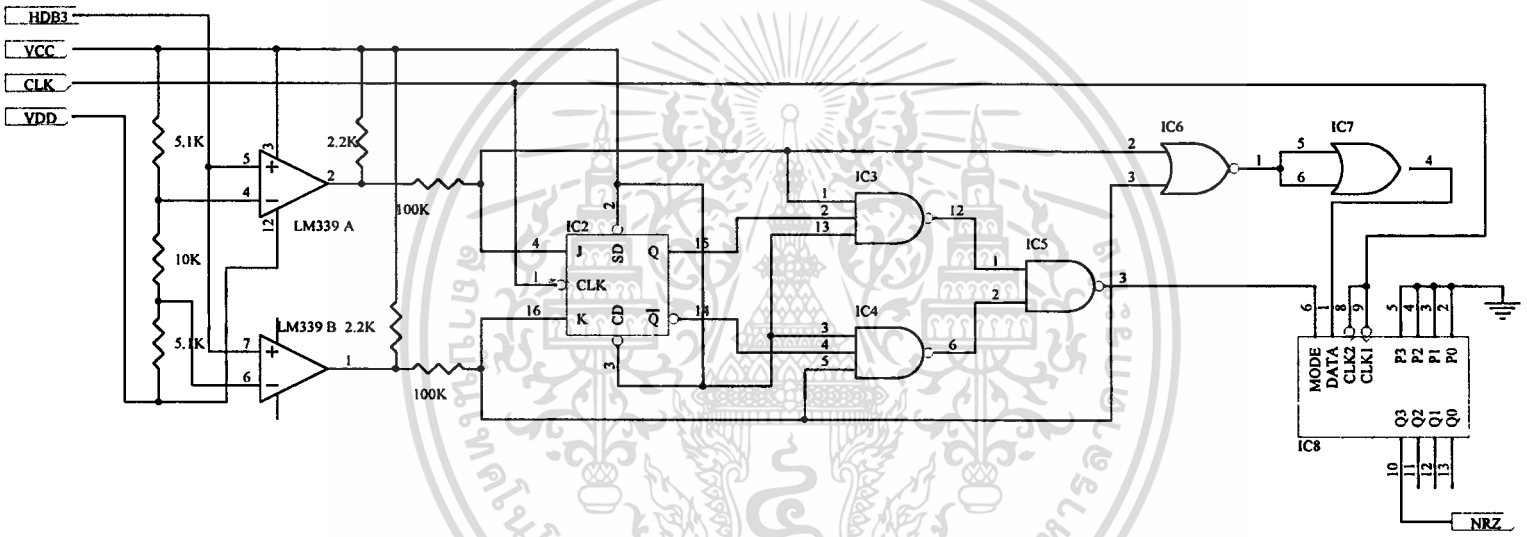
(1) ส่วนเรกติไฟล์(LM339) ทำหน้าที่จัดเรียงพัลส์แบบสองขั้วให้เป็นสัญญาณแบบขั้วเดียว เพื่อส่งต่อไปยังส่วนทำการรวมสัญญาณ

(2) ส่วนทำการรวมสัญญาณประกอบด้วย OR GATE (IC6,IC7) ทำหน้าที่รวมสัญญาณทั้งสองให้อยู่บนฐานเวลาเดียวกันป้อนให้กับอินพุตชิพรีจิสเตอร์

(3) ส่วนทำหน้าที่ตรวจสอบและควบคุมประกอบด้วย J-K ฟลิปฟลอปและ NAND GATE (IC2,IC3,IC4,IC5) ทำหน้าที่ตรวจจับไวโอเลชั่นพัลส์เมื่อมีการเติมไวโอเลชั่นพัลส์เข้ามาในรหัส HDB_3 วงจรชุดนี้จะส่งสัญญาณคอนโทรลโหมดไปควบคุมการทำงานของชิพรีจิสเตอร์ให้ทำหน้าที่เป็นการโหลดข้อมูล

(4) ส่วนชิพรีจิสเตอร์(IC 7495) ทำหน้าที่ชิพข้อมูลที่เข้ามาทางอินพุตอนุกรมออกยังเอาท์พุตและจะทำหน้าที่โหลดข้อมูลจากอินพุตขนานออกเอาท์พุตเมื่อมีสัญญาณคอนโทรลโหมดเข้ามาควบคุม ก็จะได้สัญญาณเอาท์พุต NRZ ออกมาดังแสดงในรูปต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



IC3,IC4.....74LS10

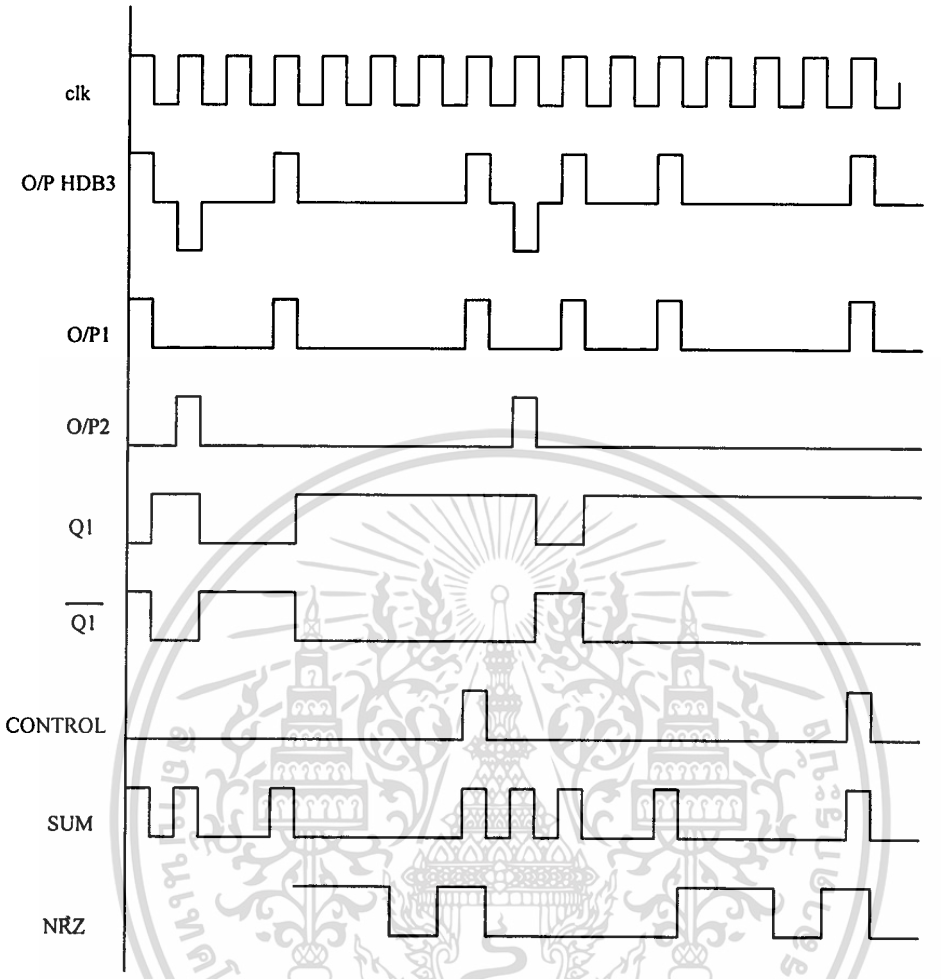
IC6,IC7.....74LS02

IC1.....LM339

IC2.....74LS76

IC5.....74LS00

IC8.....7495



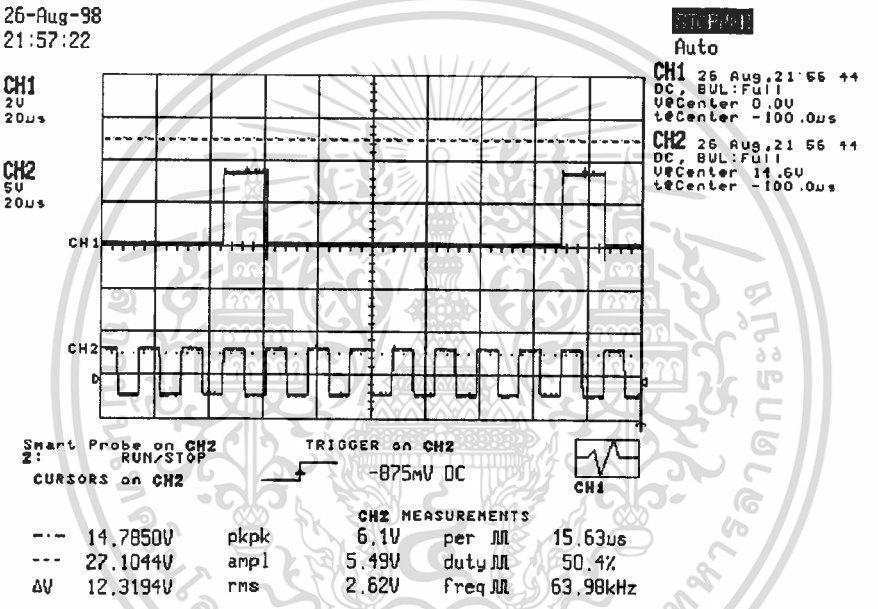
รูปที่ 2.32 แสดงวงจรและการทำงานการถอดรหัส HDB3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

ผลการทดลอง

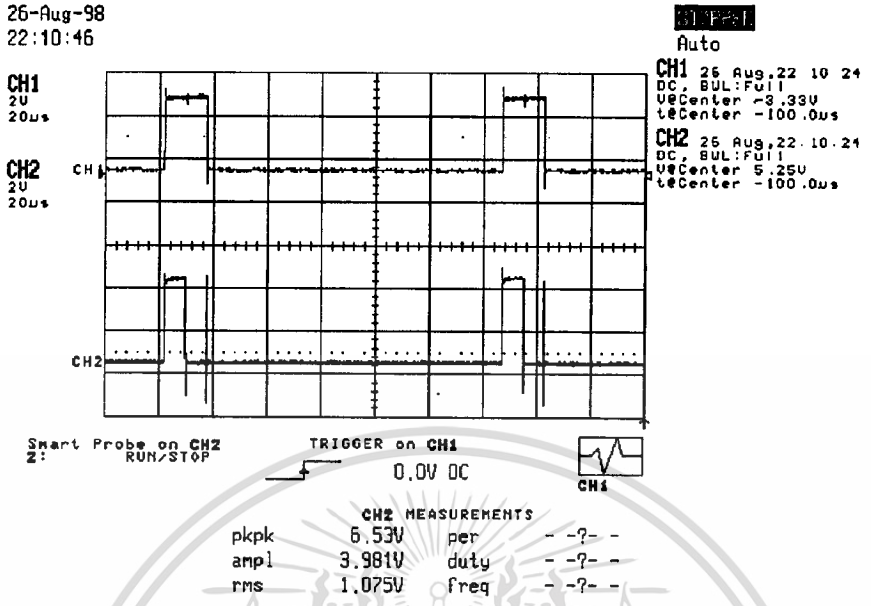
การเข้ารหัส



รูปที่ 3.1 (CH1) แสดงสัญญาณ NRZ เมื่อมีรหัส (1000 0000)

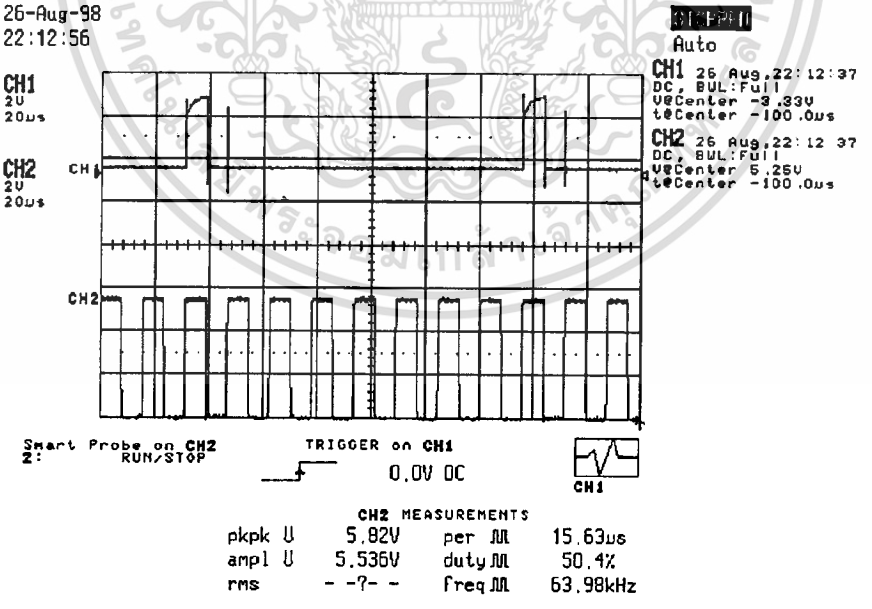
(CH2) แสดงสัญญาณนาฬิกาความถี่ 64 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 (CH1) แสดงสัญญาณ NRZ เมื่อมีรหัส (1000 0000)

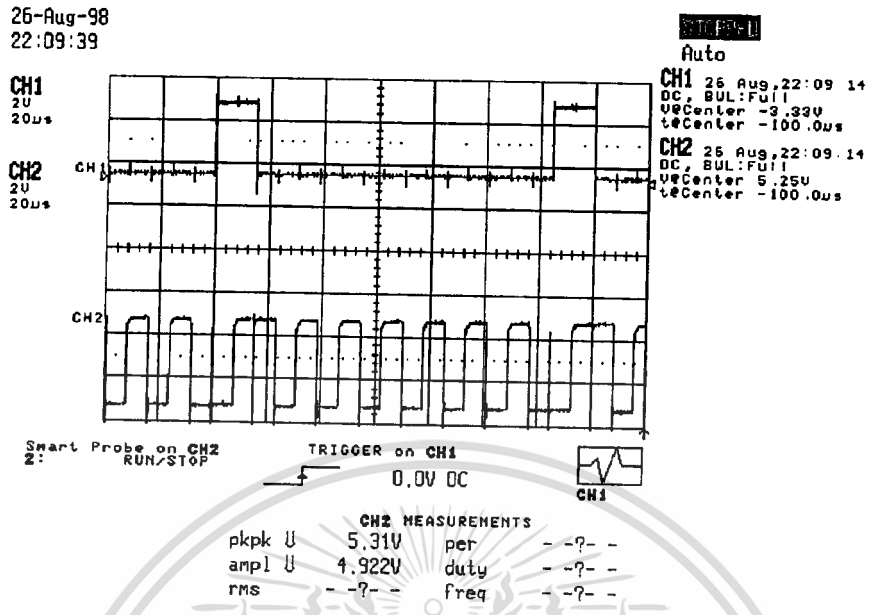
(CH2) แสดงสัญญาณ RZ



รูปที่ 3.3 (CH1) แสดงสัญญาณ RZ

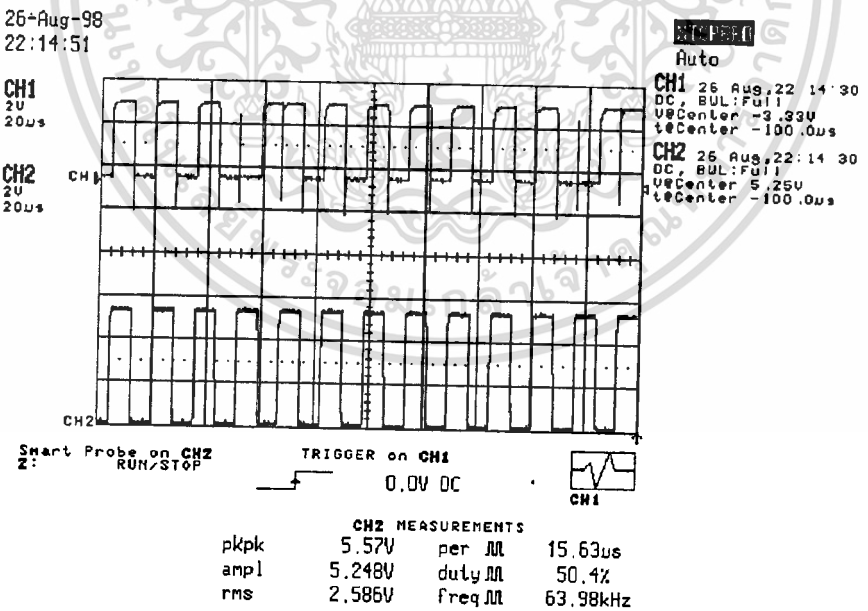
(CH2) แสดงสัญญาณนาฬิกาความถี่ 64 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 (CH1) แสดงสัญญาณ NRZ เมื่อมีรหัส (1000 0000)

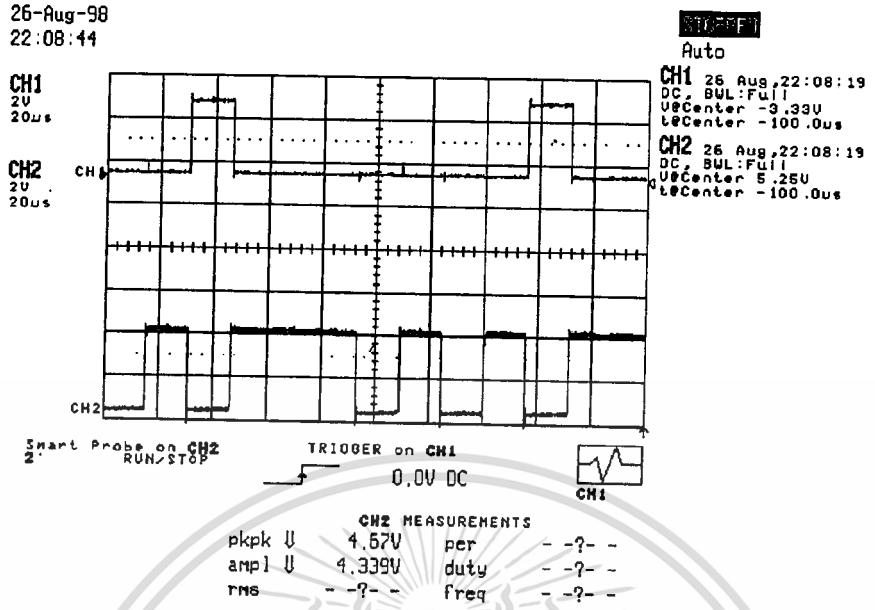
(CH2) แสดงสัญญาณ BIPHASE



รูปที่ 3.5 (CH1) แสดงสัญญาณ BIPHASE

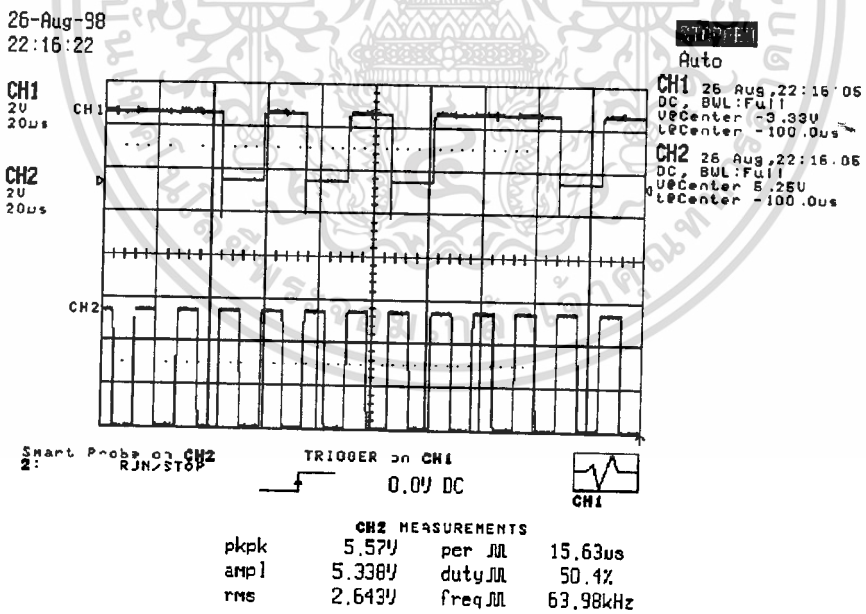
(CH2) แสดงสัญญาณนาฬิกาความถี่ 64 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 (CH1) แสดงสัญญาณ NRZ เมื่อมีรหัส (1000 0000)

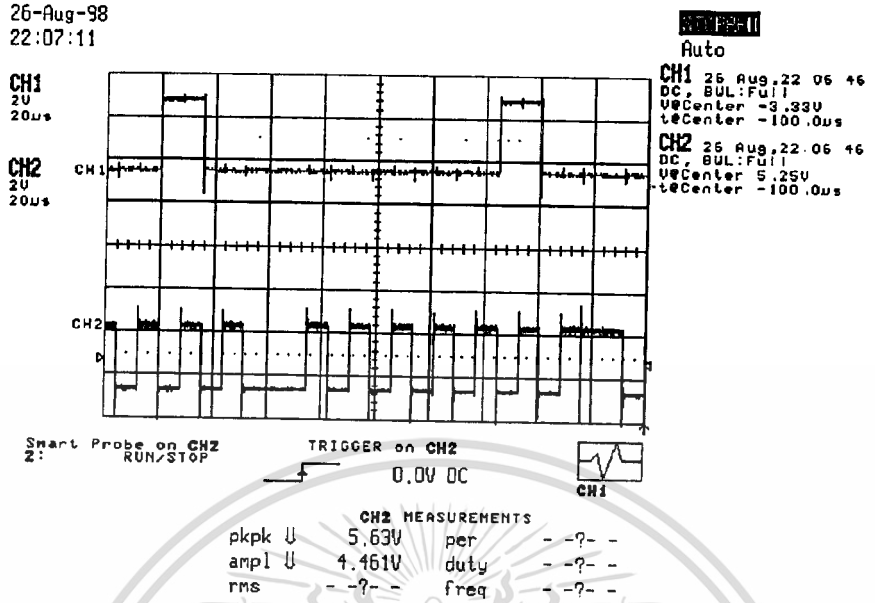
(CH2) แสดงสัญญาณ ADI



รูปที่ 3.7 (CH1) แสดงสัญญาณ ADI

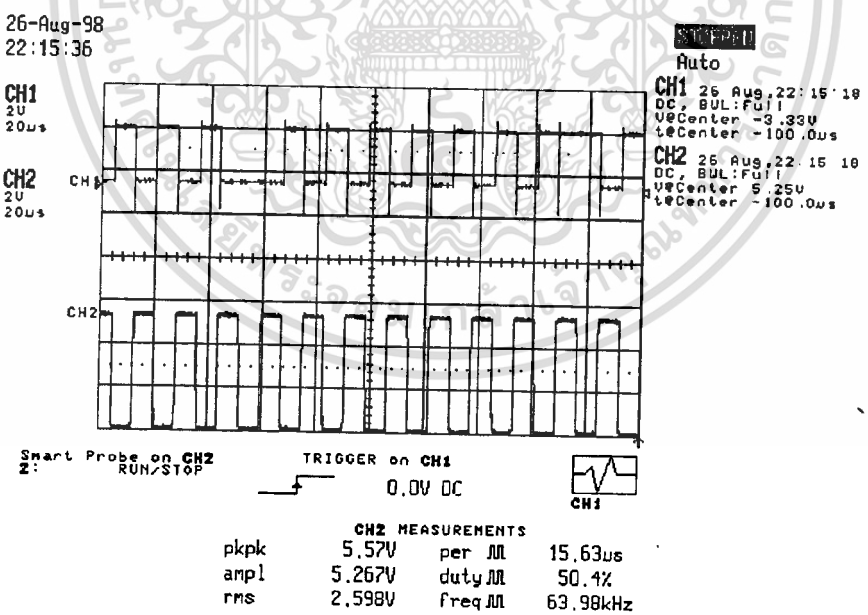
(CH2) แสดงสัญญาณนาฬิกาความถี่ 64 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 (CH1) แสดงสัญญาณ NRZ เมื่อมีรหัส (1000 0000)

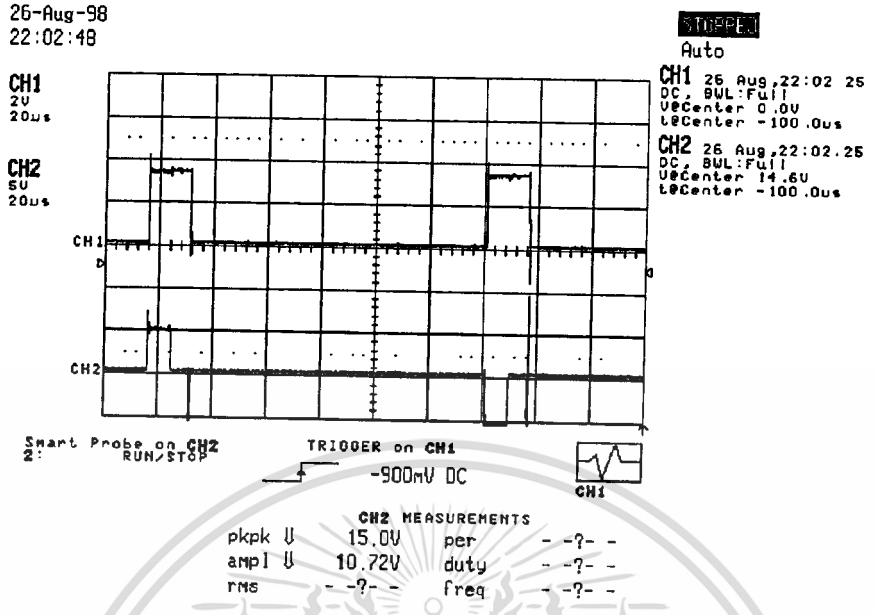
(CH2) แสดงสัญญาณนาฬิกาความถี่ 64 KHz



รูปที่ 3.9 (CH1) แสดงสัญญาณ CMI

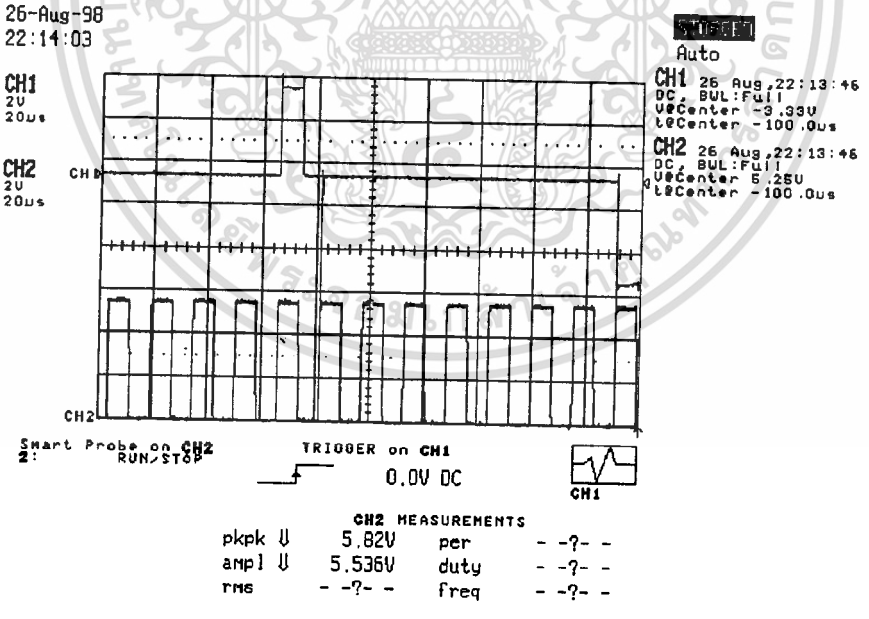
(CH2) แสดงสัญญาณนาฬิกาความถี่ 64 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 (CH1) แสดงสัญญาณ NRZ เมื่อมีรหัส (1000 0000)

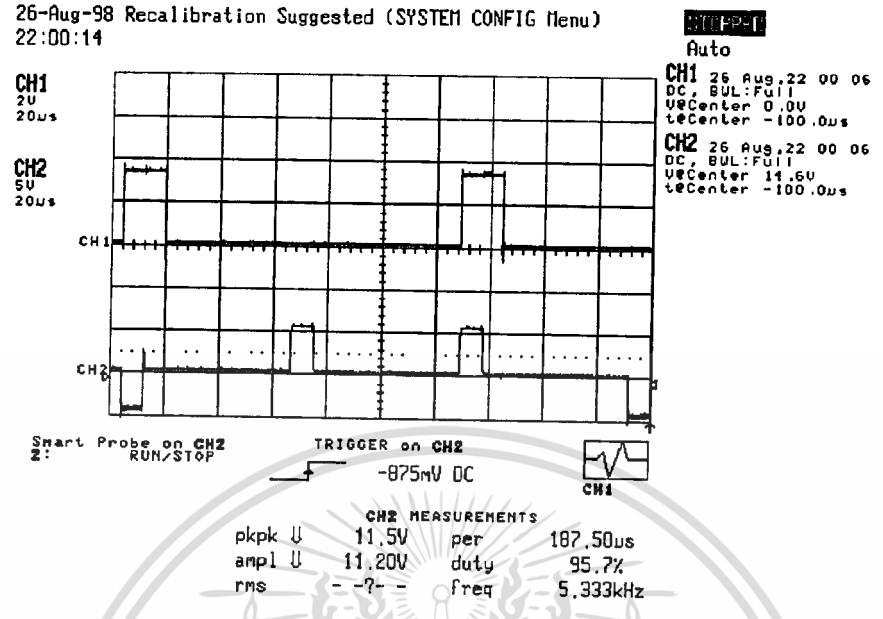
(CH2) แสดงสัญญาณAMI



รูปที่ 3.11 (CH1) แสดงสัญญาณ AMI

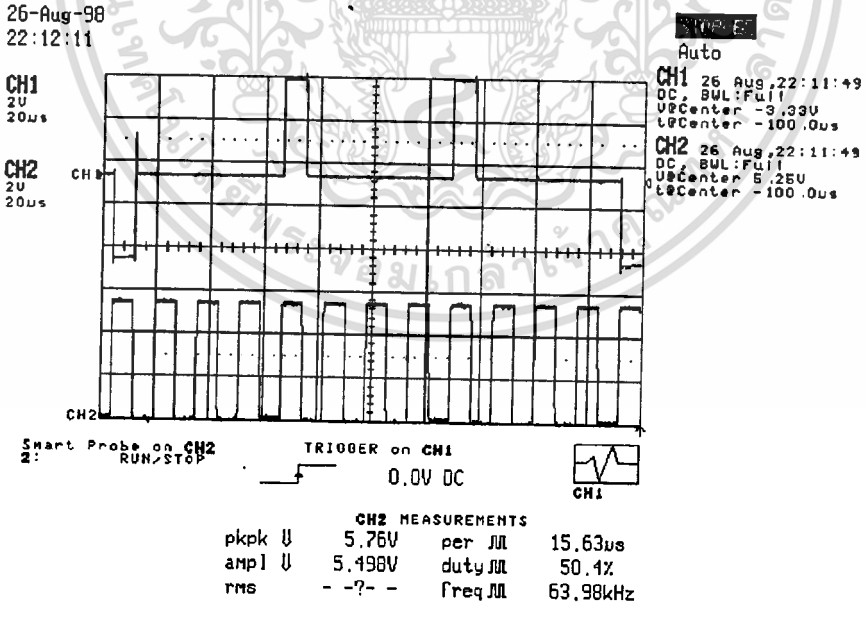
(CH2) แสดงสัญญาณนาฬิกาความถี่ 64 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 (CH1) แสดงสัญญาณ NRZ เมื่อมีรหัส (1000 0000)

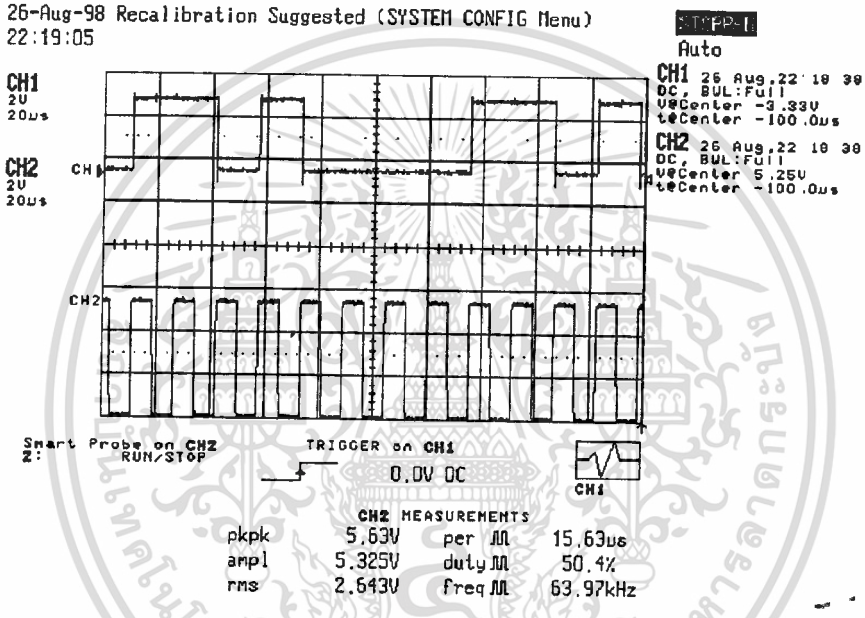
(CH2) แสดงสัญญาณ HDB3



รูปที่ 3.13 (CH1) แสดงสัญญาณ HDB3

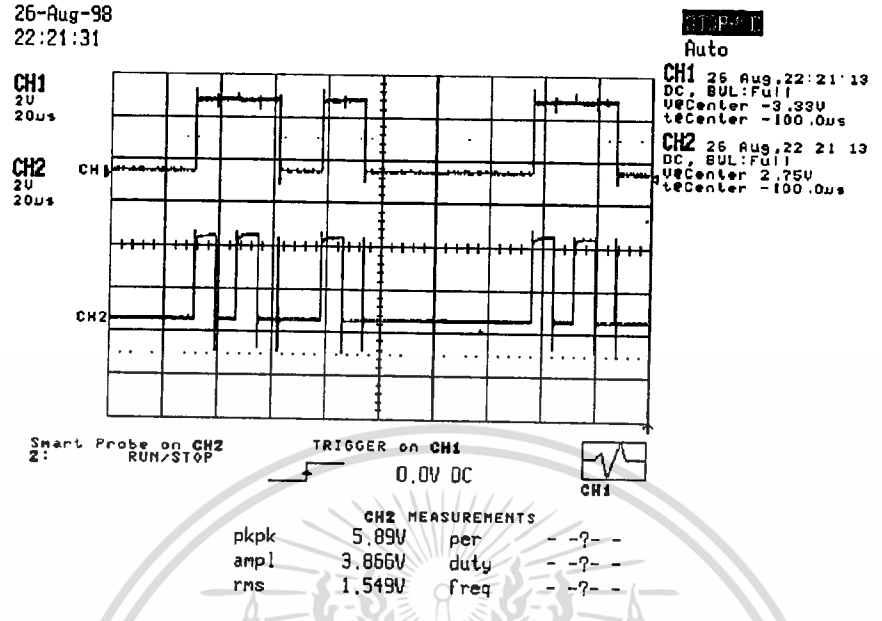
(CH2) แสดงสัญญาณนาฬิกา 64KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



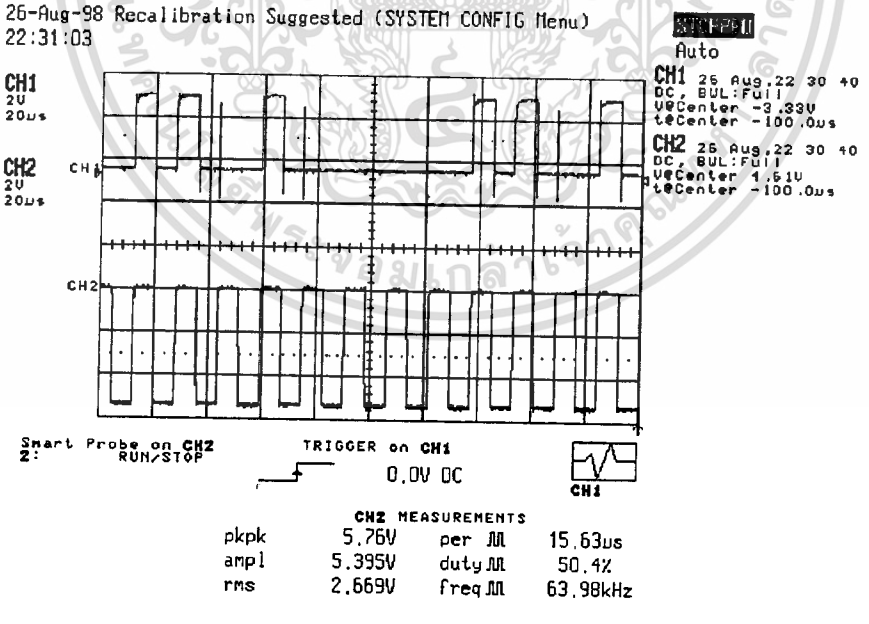
รูปที่ 3.14 (CH1) แสดงสัญญาณ NRZ เมื่อมีรหัส (1101 0000)
(CH2) แสดงสัญญาณนาฬิกาความถี่ 64 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.15 (CH1) แสดงสัญญาณ NRZ เมื่อมีรหัส (1101 0000)

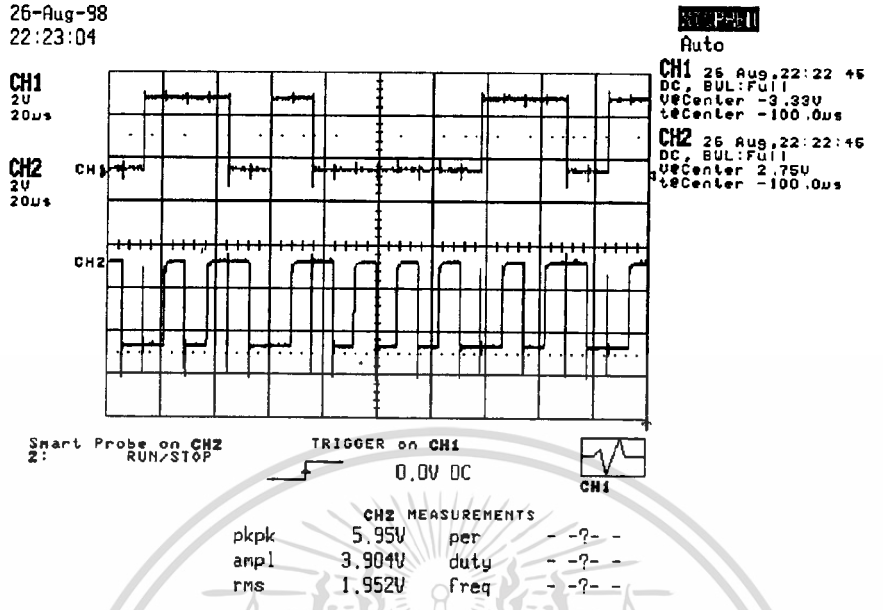
(CH2) แสดงสัญญาณ RZ



รูปที่ 3.16 (CH1) แสดงสัญญาณ RZ

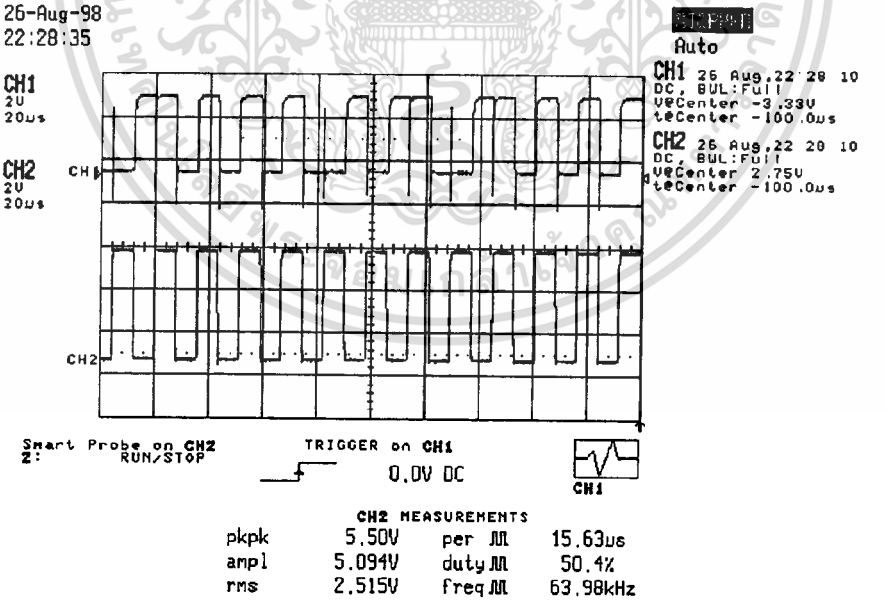
(CH2) แสดงสัญญาณนาฬิกาความถี่ 64 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.17 (CH1) แสดงสัญญาณ NRZ เมื่อมีรหัส (1101 0000)

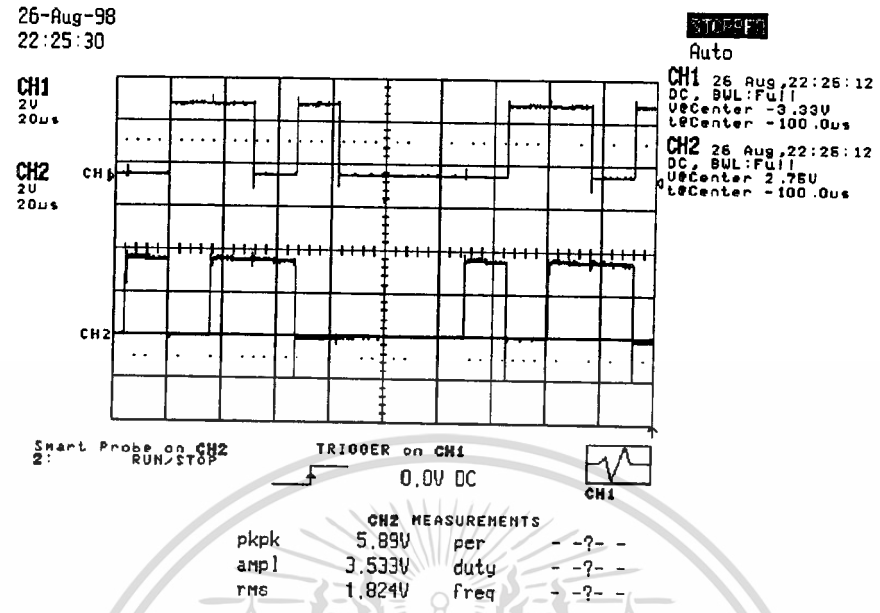
(CH2) แสดงสัญญาณ Biphase



รูปที่ 3.18 (CH1) แสดงสัญญาณ Biphase

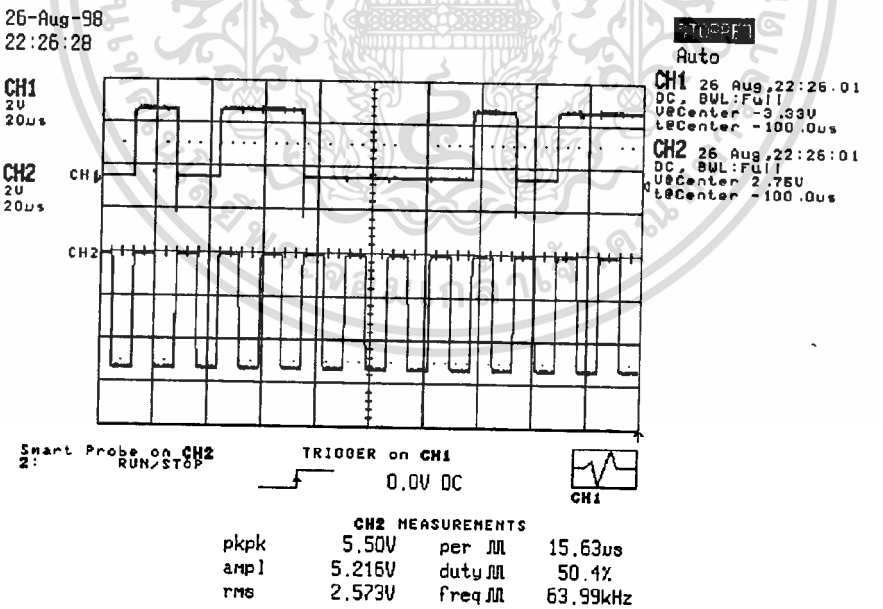
(CH2) แสดงสัญญาณนาฬิกาความถี่ 64 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.19 (CH1) แสดงสัญญาณ NRZ เมื่อมีรหัส (1101 0000)

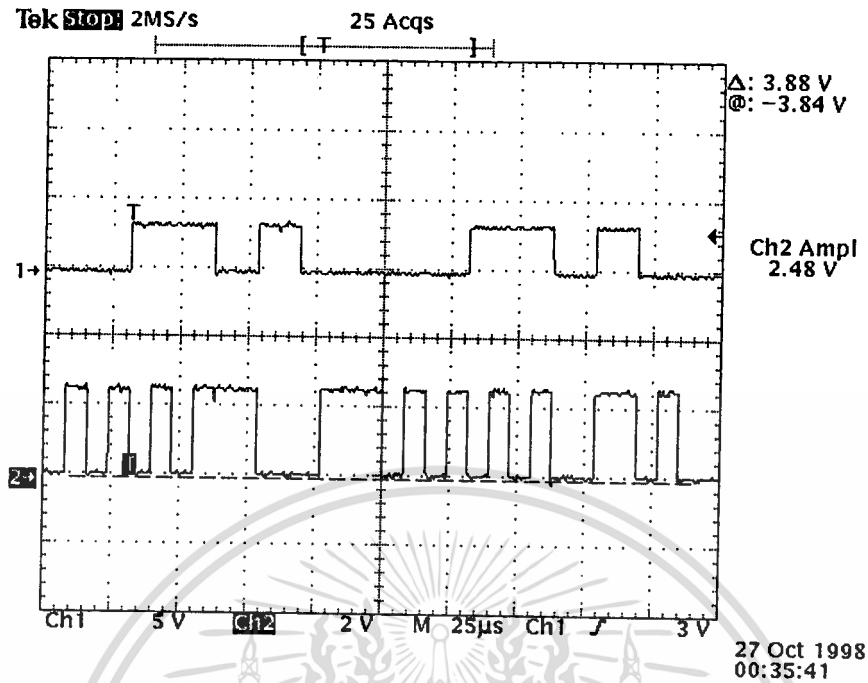
(CH2) แสดงสัญญาณ ADI



รูปที่ 3.20 (CH1) แสดงสัญญาณ ADI

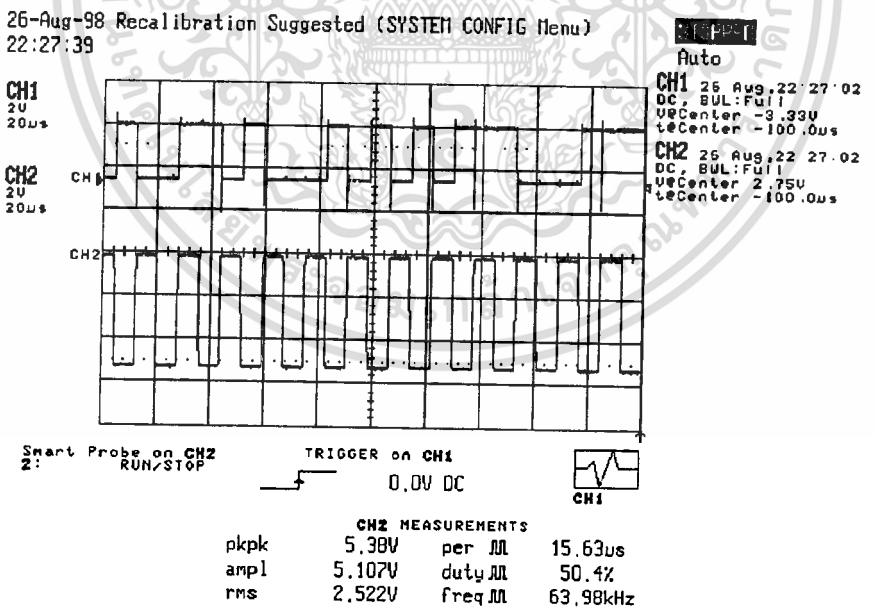
(CH2) แสดงสัญญาณนาฬิกาความถี่ 64KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.21 (CH1) แสดงสัญญาณ NRZ เมื่อมีรหัส (1101 0000)

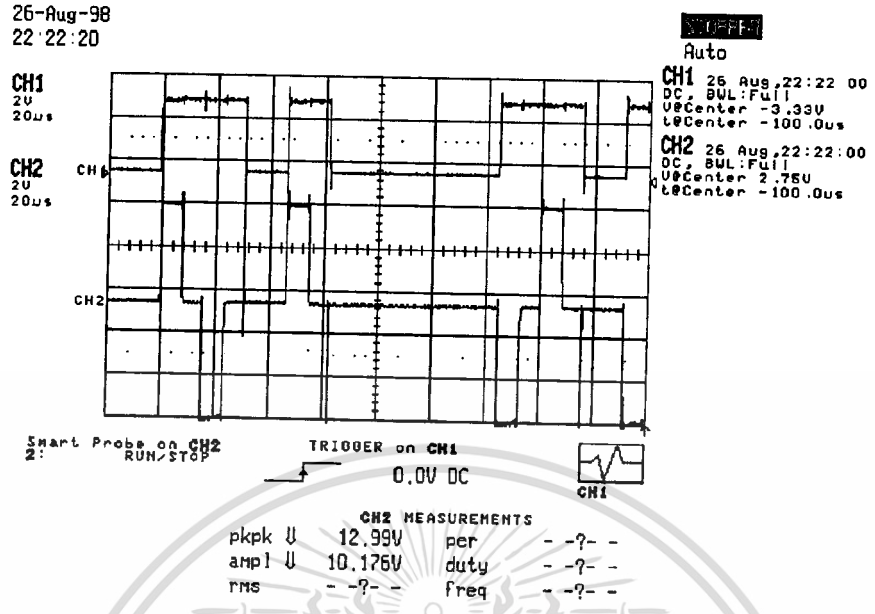
(CH2) แสดงสัญญาณCMI



รูปที่ 3.22 (CH1) แสดงสัญญาณ CMI

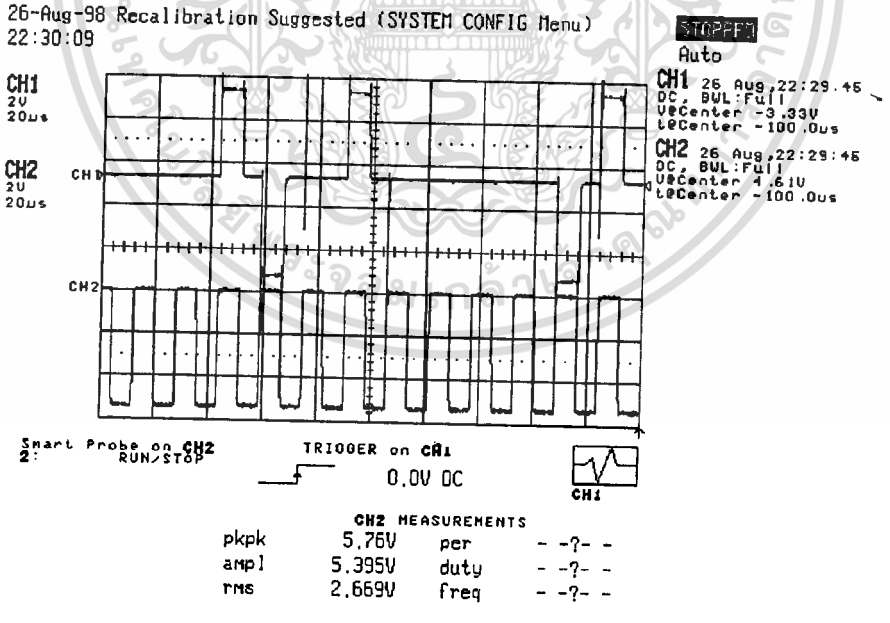
(CH2) แสดงสัญญาณนาฬิกาความถี่ 64 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.23 (CH1) แสดงสัญญาณ NRZ เมื่อมีรหัส (1101 0000)

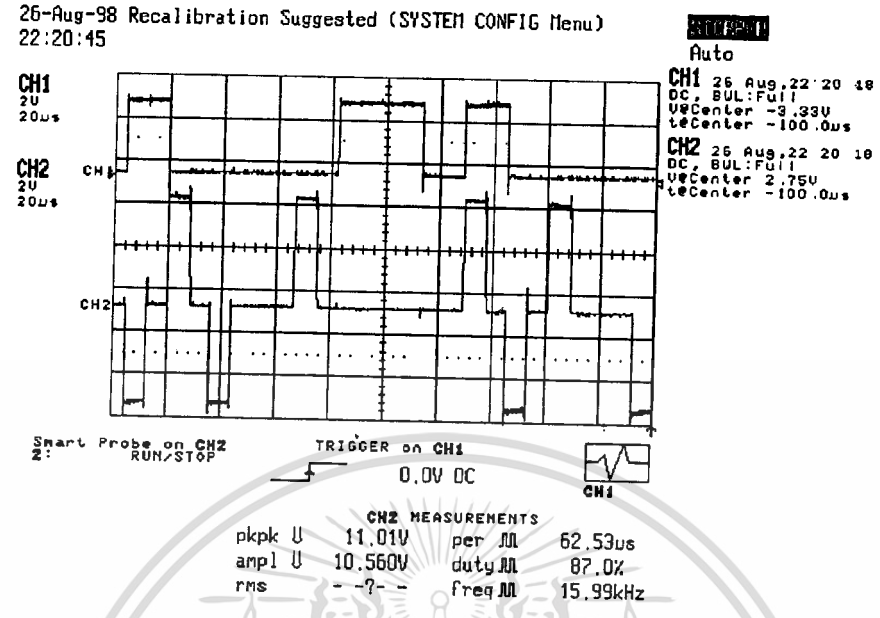
(CH2) แสดงสัญญาณ AMI



รูปที่ 3.24 (CH1) แสดงสัญญาณ AMI

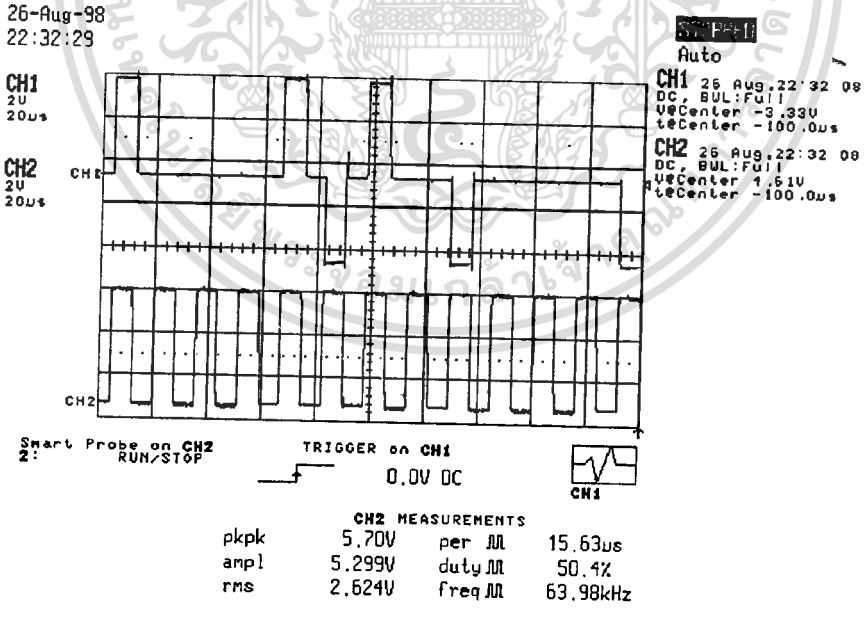
(CH2) แสดงสัญญาณนาฬิกาความถี่ 64 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.25 (CH1) แสดงสัญญาณ NRZ เมื่อมีรหัส (1101 0000)

(CH2) แสดงสัญญาณ HDB3

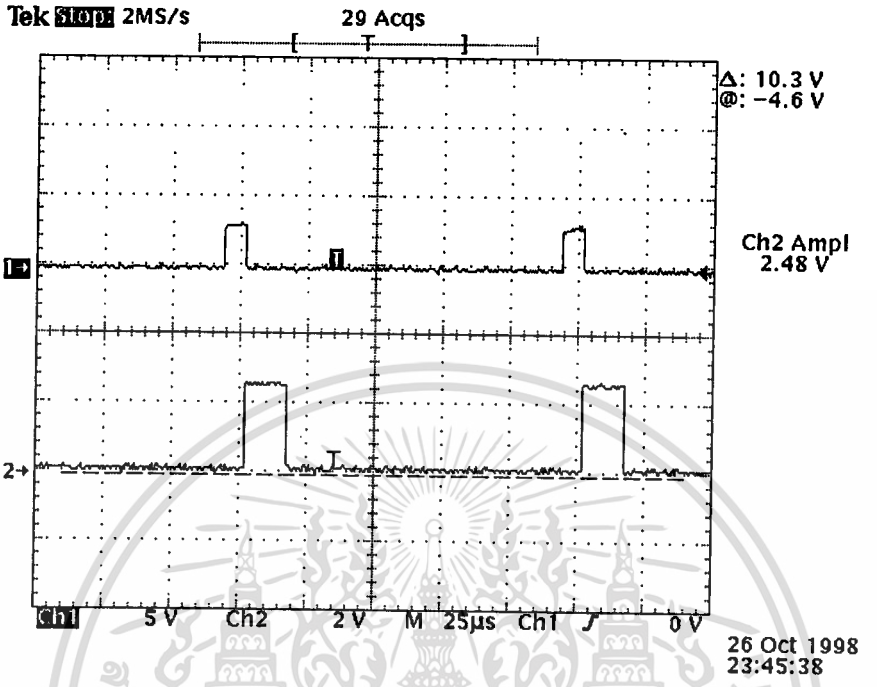


รูปที่ 3.26 (CH1) แสดงสัญญาณ HDB3

(CH2) แสดงสัญญาณนาฬิกาความถี่ 64 KHz

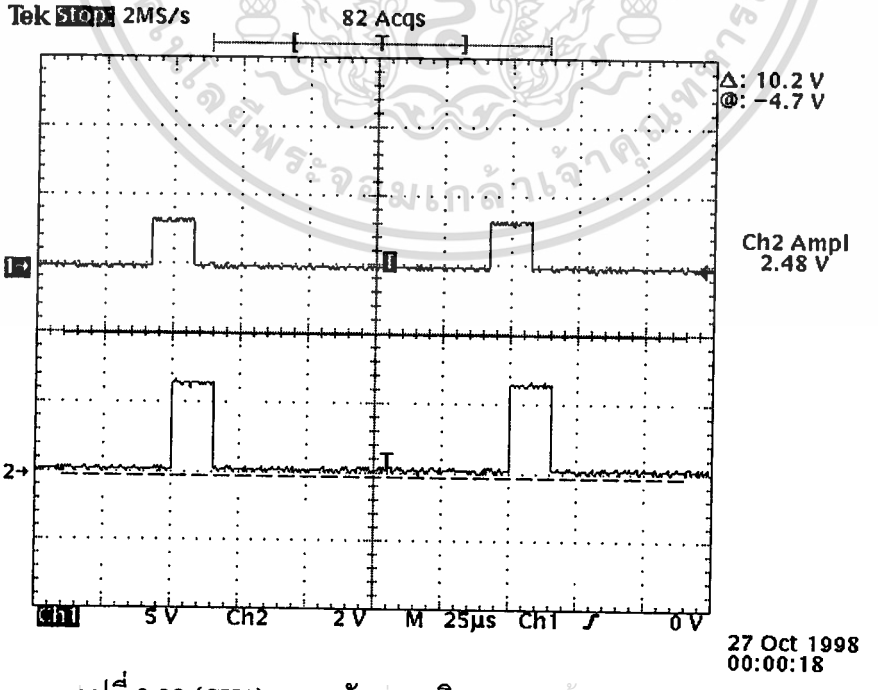
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การถอดรหัส เมื่อสัญญาณอินพุต NRZ เป็น (1000 0000)



รูปที่ 3.27 (CH1) แสดงสัญญาณอินพุต RZ

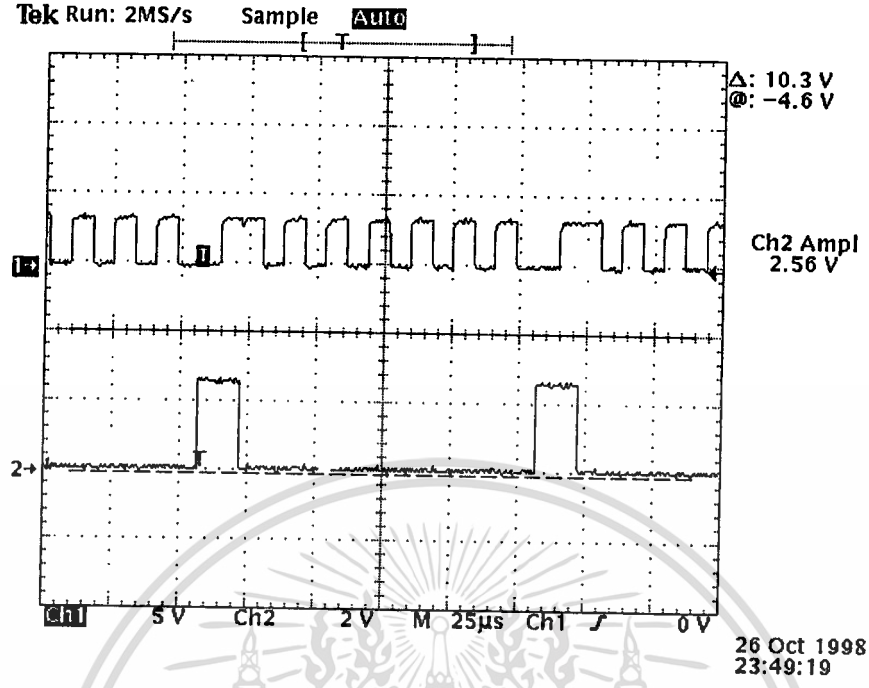
(CH2) แสดงสัญญาณเอาท์พุต NRZ



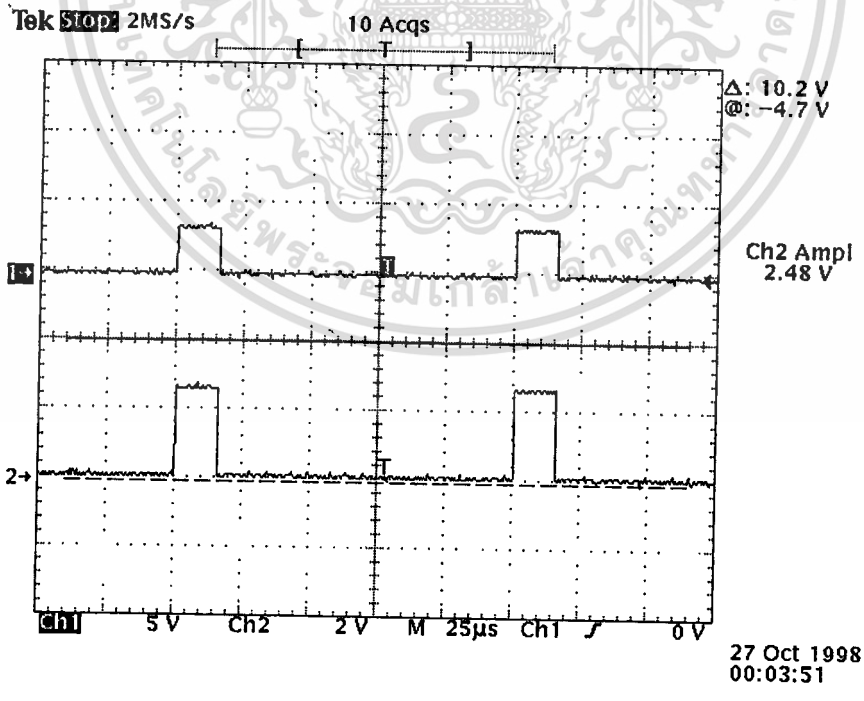
รูปที่ 3.28 (CH1) แสดงสัญญาณอินพุต NRZ

(CH2) แสดงสัญญาณเอาท์พุต NRZ

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

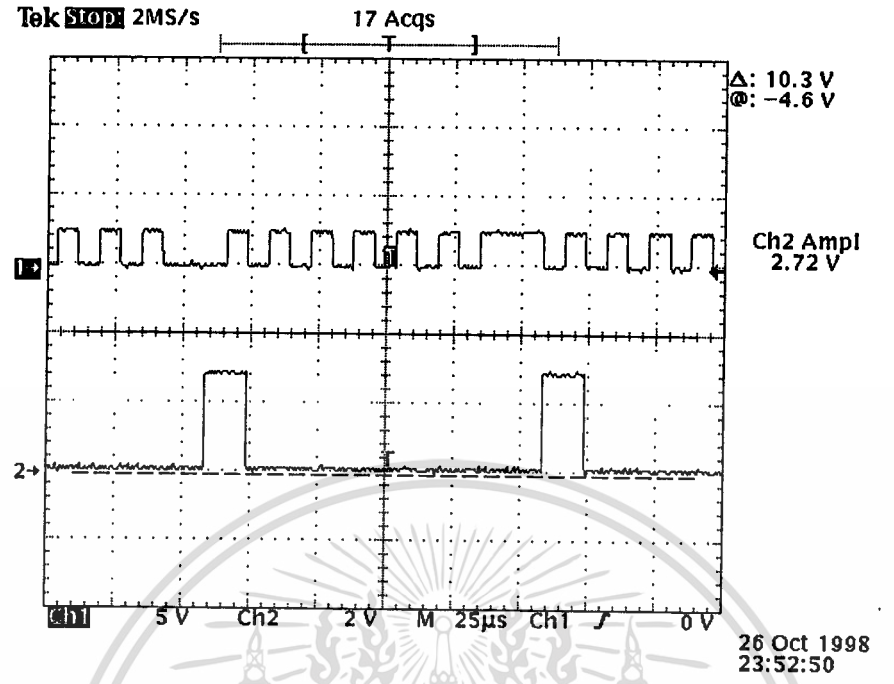


รูปที่ 3.29 (CH1) แสดงสัญญาณอินพุต BIPHASE
(CH2) แสดงสัญญาณเอาท์พุต NRZ



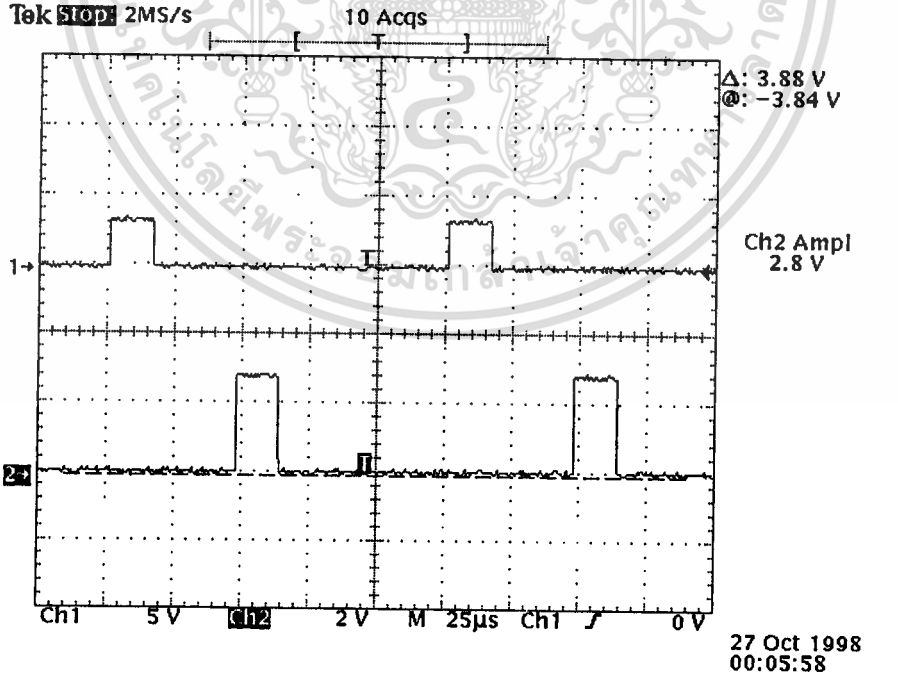
รูปที่ 3.30 (CH1) แสดงสัญญาณอินพุต NRZ
(CH2) แสดงสัญญาณเอาท์พุต NRZ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.31(CH1) แสดงสัญญาณอินพุต CMI

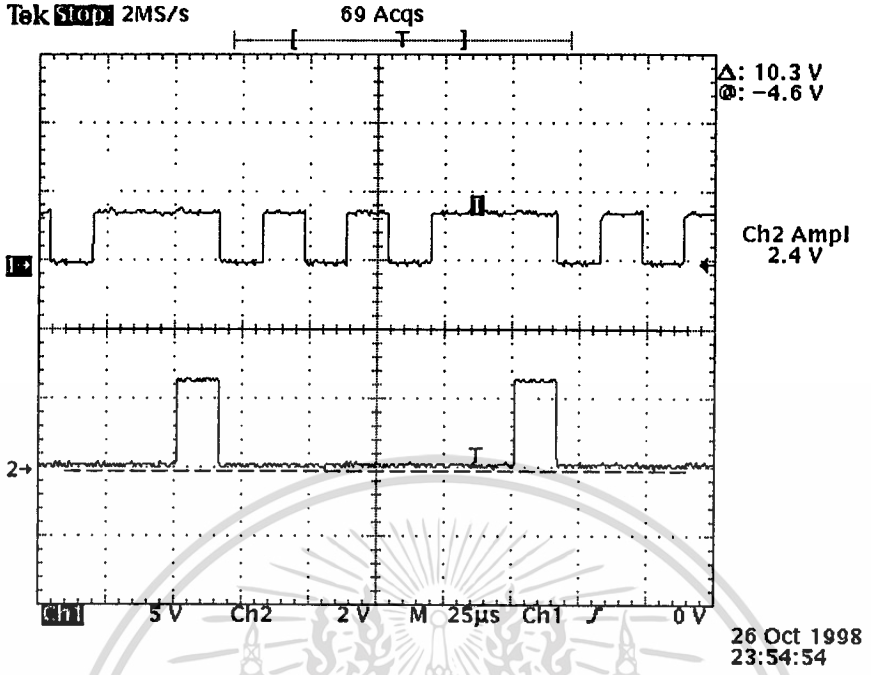
(CH2) แสดงสัญญาณเอาท์พุต NRZ



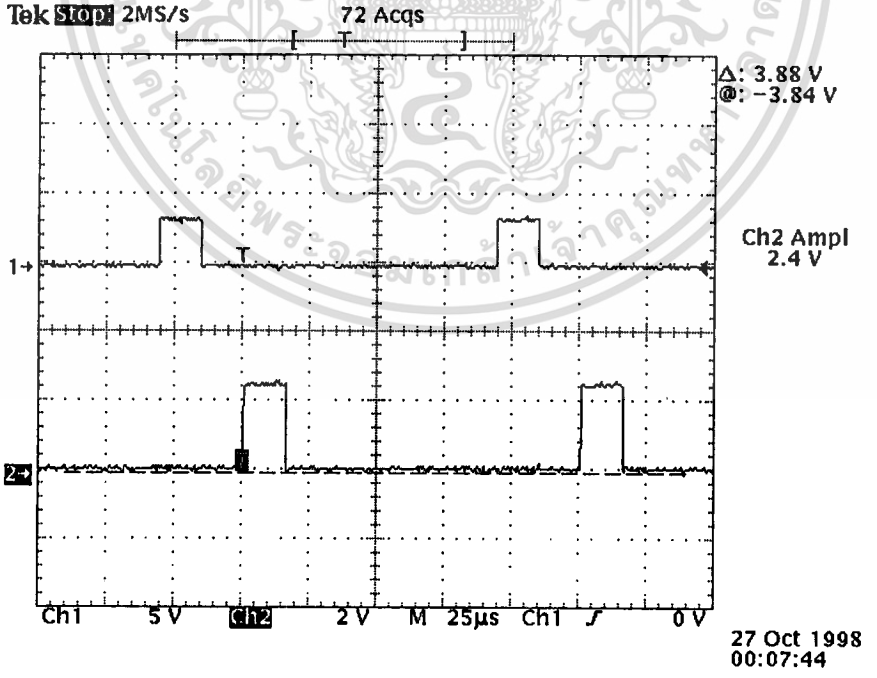
รูปที่ 3.32 (CH1) แสดงสัญญาณอินพุต NRZ

(CH2) แสดงสัญญาณเอาท์พุต NRZ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

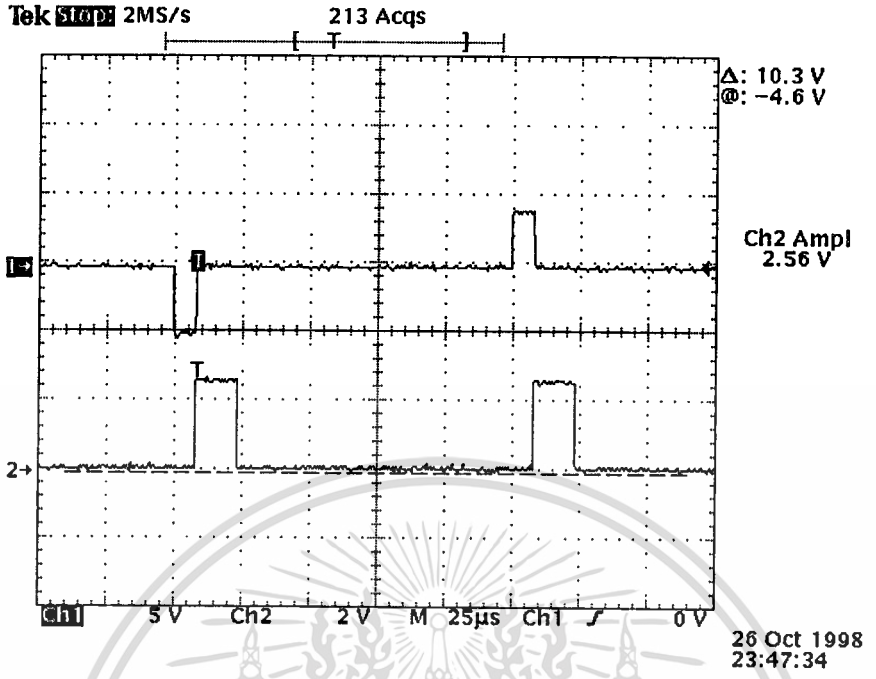


รูปที่ 3.33 (CH1) แสดงสัญญาณอินพุต ADI
(CH2) แสดงสัญญาณเอาท์ NRZ

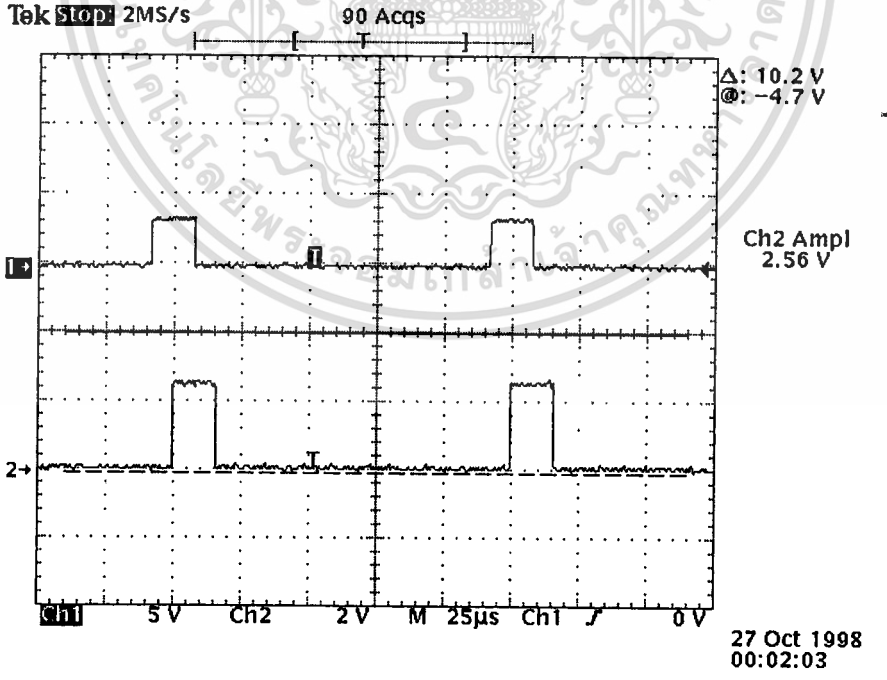


รูปที่ 3.34 (CH1) แสดงสัญญาณอินพุต NRZ
(CH2) แสดงสัญญาณเอาท์พุต NRZ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

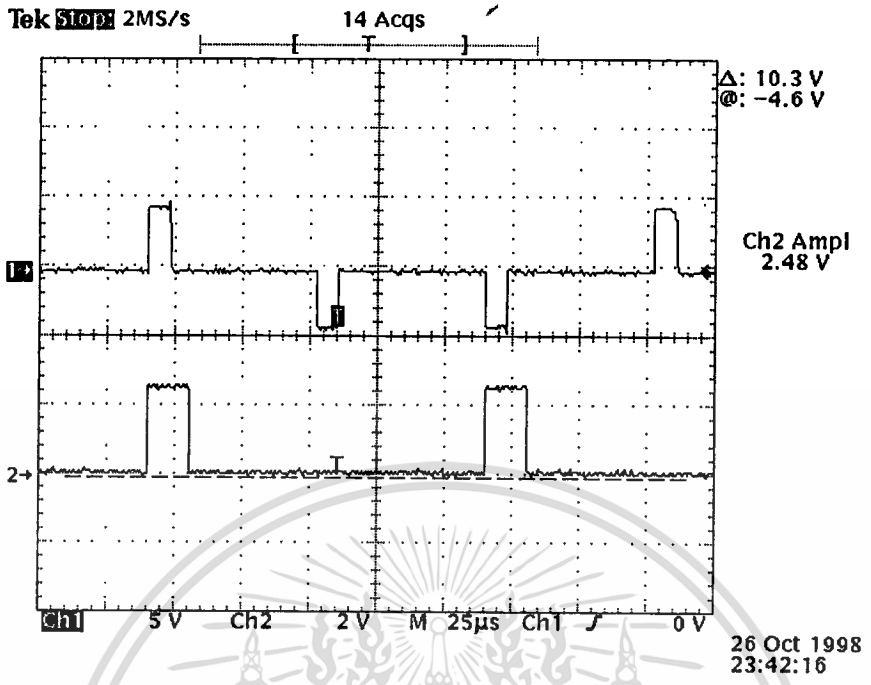


รูปที่ 3.35 (CH1) แสดงสัญญาณอินพุต AMI
(CH2) แสดงสัญญาณเอาท์พุต NRZ

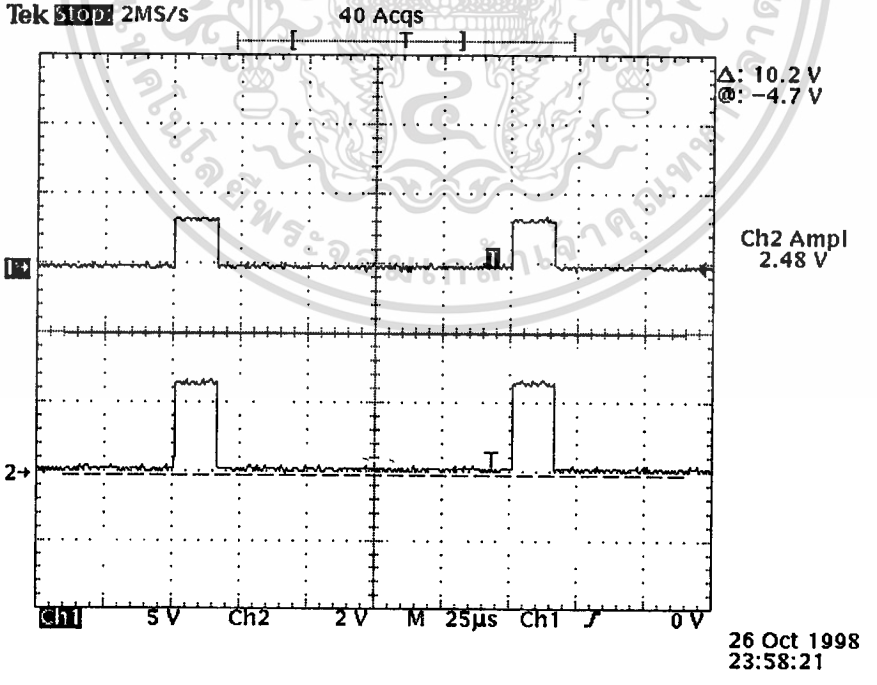


รูปที่ 3.36 (CH1) แสดงสัญญาณอินพุต NRZ
(CH2) แสดงสัญญาณเอาท์พุต NRZ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



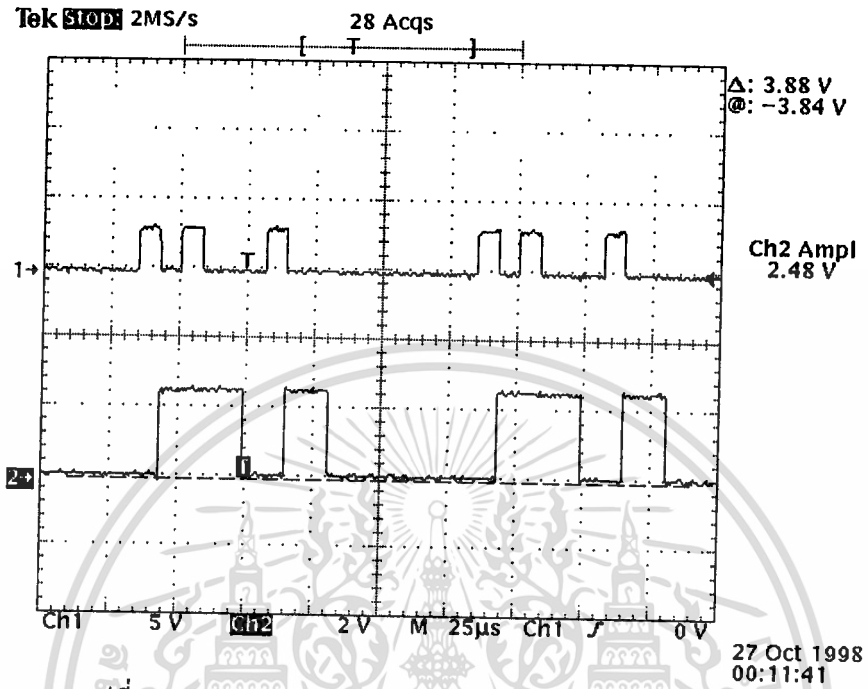
รูปที่ 3.37 (CH1) แสดงสัญญาณอินพุต HDB3
(CH2) แสดงสัญญาณเอาท์พุต NRZ



รูปที่ 3.38 (CH1) แสดงสัญญาณอินพุต NRZ
(CH2) แสดงสัญญาณเอาท์พุต NRZ

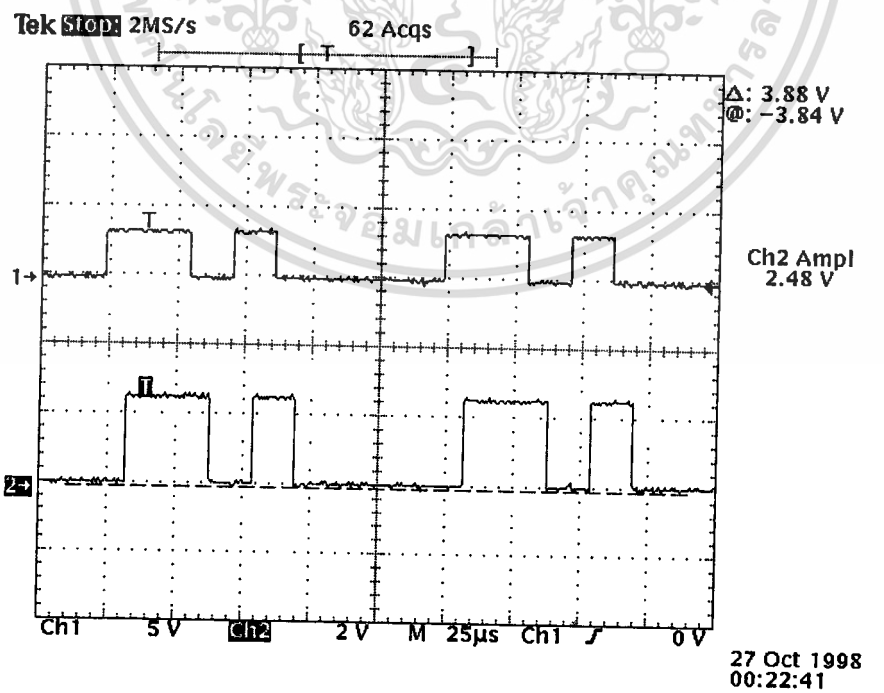
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การถอดรหัส เมื่ออินพุต NRZ เป็น (1101 0000)



รูปที่ 3.39 (CH1) แสดงสัญญาณอินพุต RZ

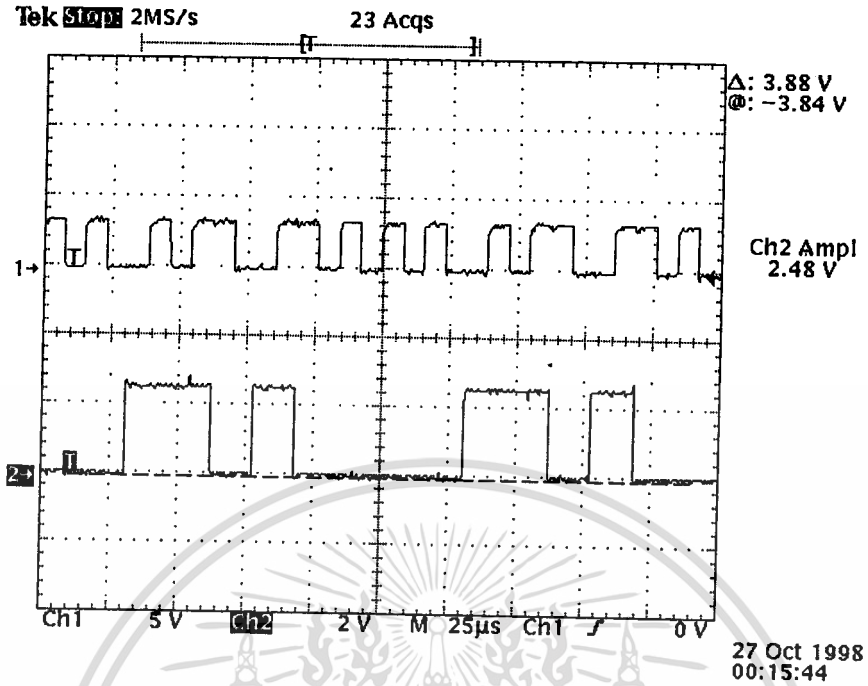
(CH) แสดงสัญญาณเอาท์พุต NRZ



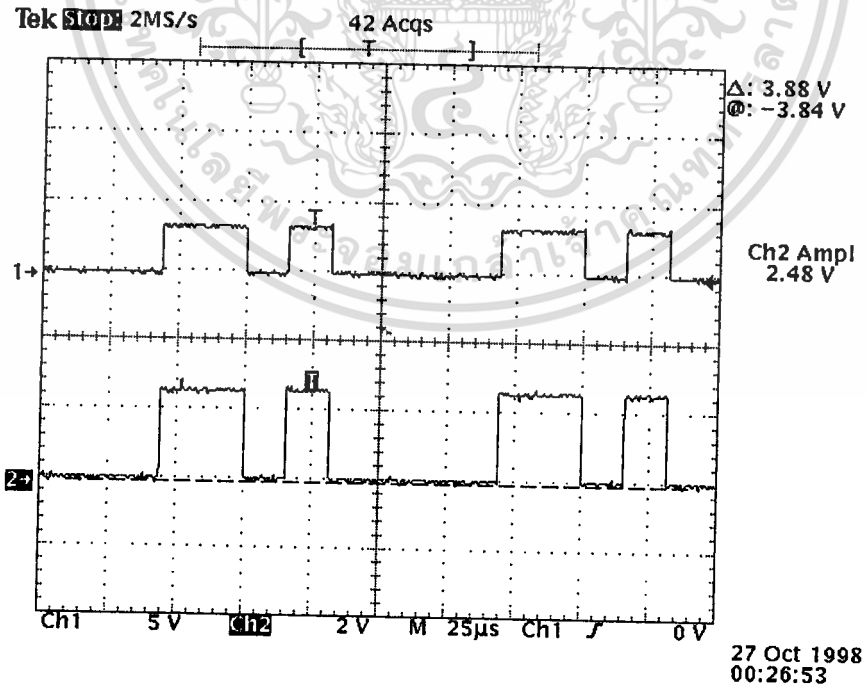
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.40 (CH1) แสดงสัญญาณอินพุต NRZ

(CH2) แสดงสัญญาณเอาท์พุต NRZ

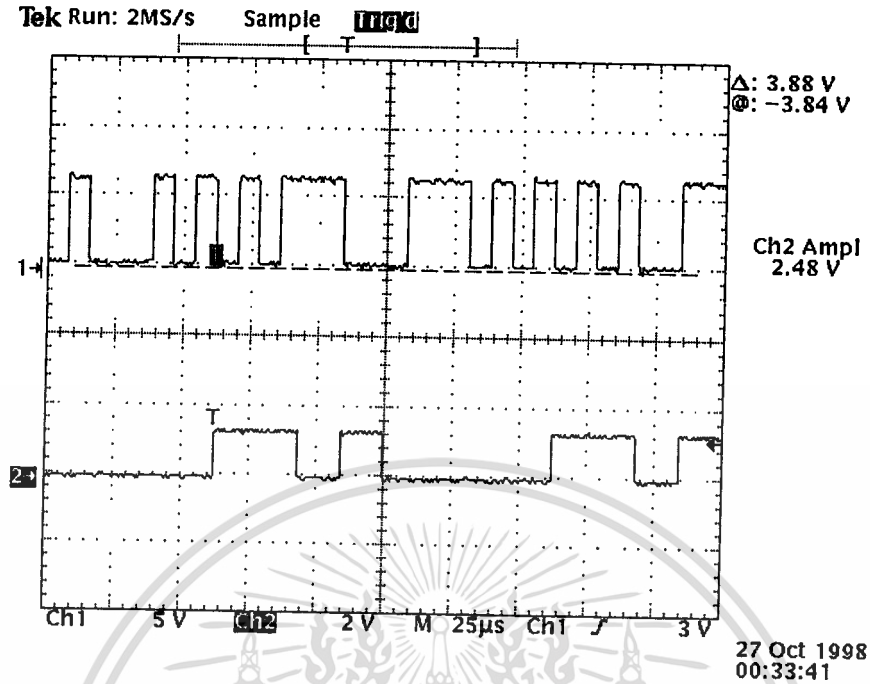


รูปที่ 3.41 (CH1) แสดงสัญญาณอินพุต BIPHASE
(CH2) แสดงสัญญาณเอาท์พุต NRZ



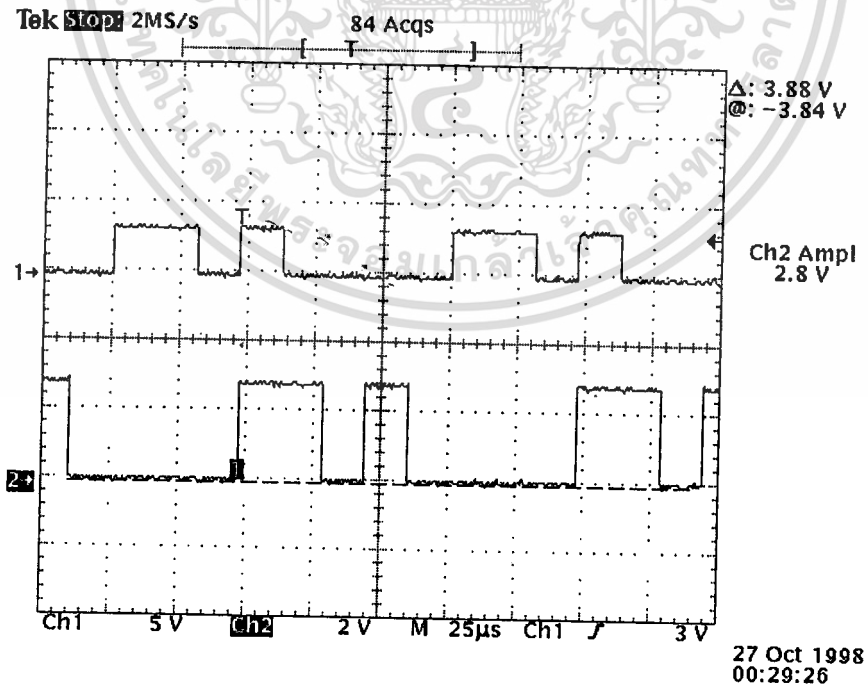
รูปที่ 3.42 (CH1) แสดงสัญญาณอินพุต NRZ
(CH2) แสดงสัญญาณเอาท์พุต NRZ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.43 (CH1) แสดงสัญญาณอินพุต CMI

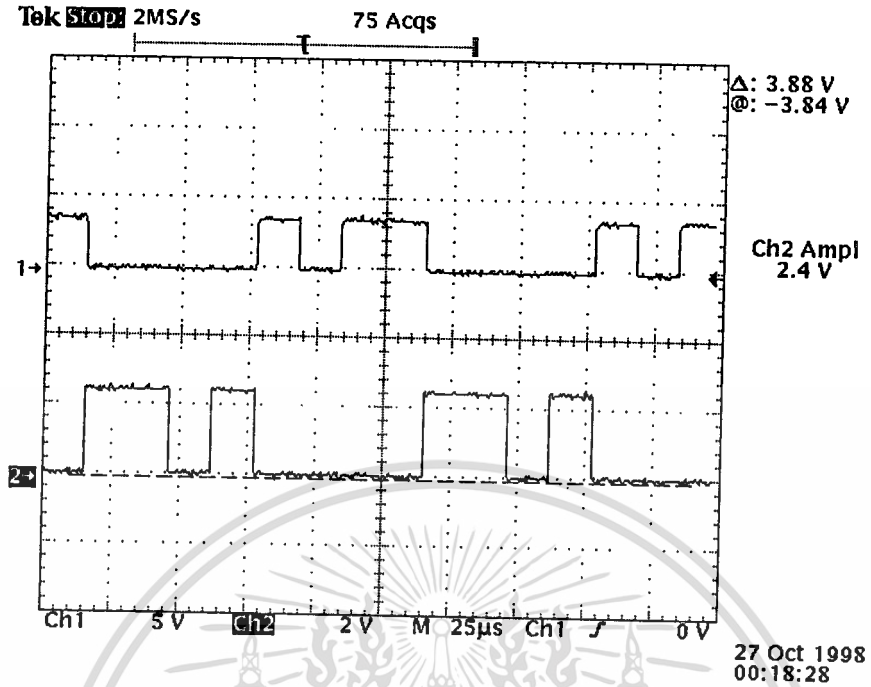
(CH2) แสดงสัญญาณเอาท์พุต NRZ



รูปที่ 3.44 (CH1) แสดงสัญญาณอินพุต NRZ

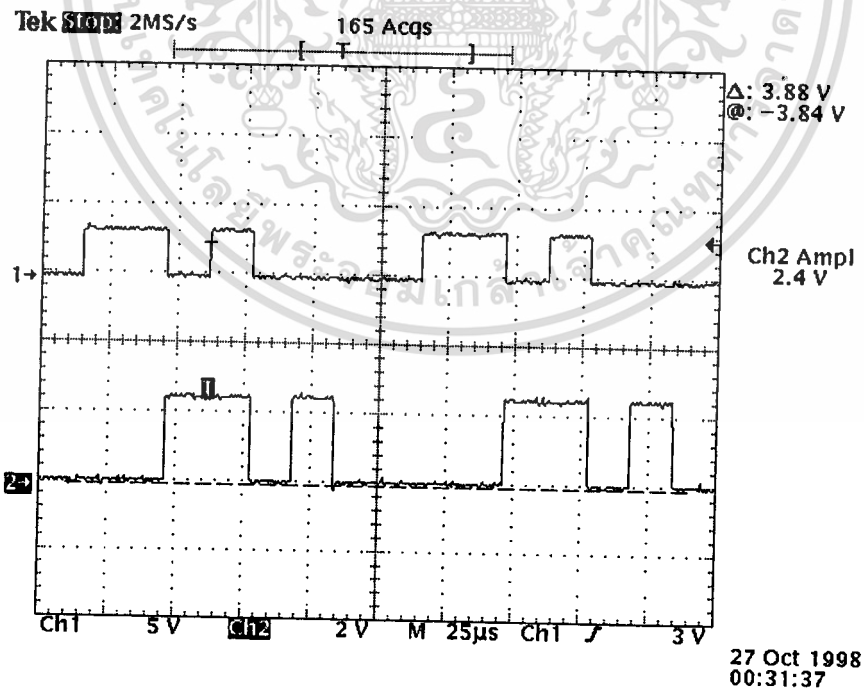
(CH2) แสดงสัญญาณเอาท์พุต NRZ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.45 (CH1) แสดงสัญญาณอินพุต ADI

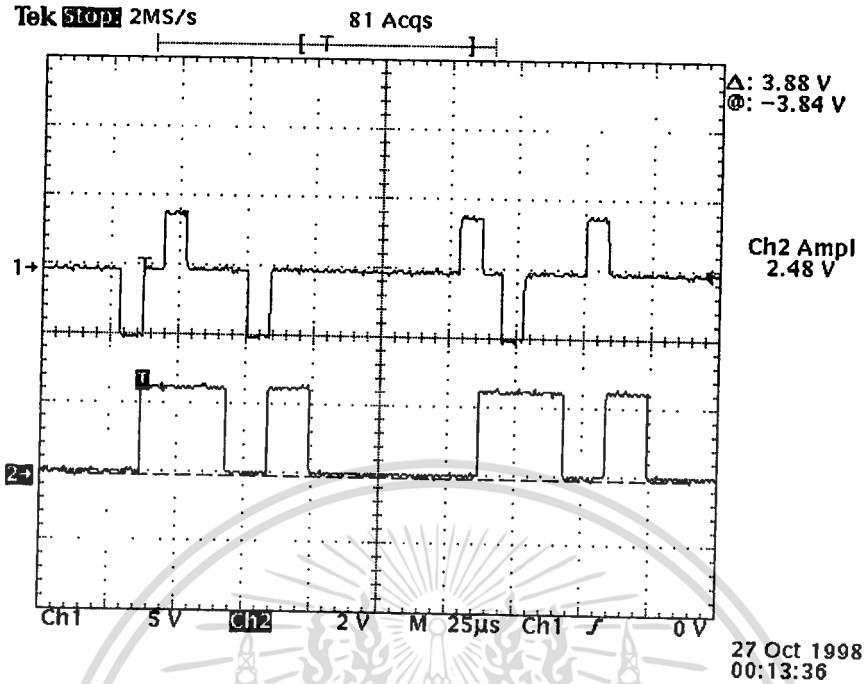
(CH2) แสดงสัญญาณเอาท์พุต NRZ



รูปที่ 3.46 (CH1) แสดงสัญญาณอินพุต NRZ

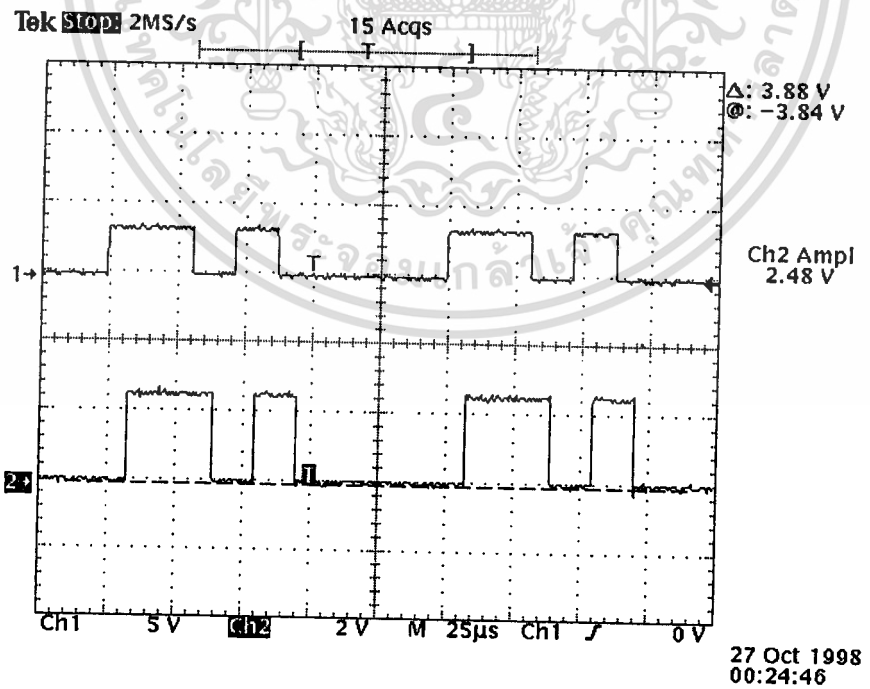
(CH2) แสดงสัญญาณเอาท์พุต NRZ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.47 (CH1) แสดงสัญญาณอินพุต AMI

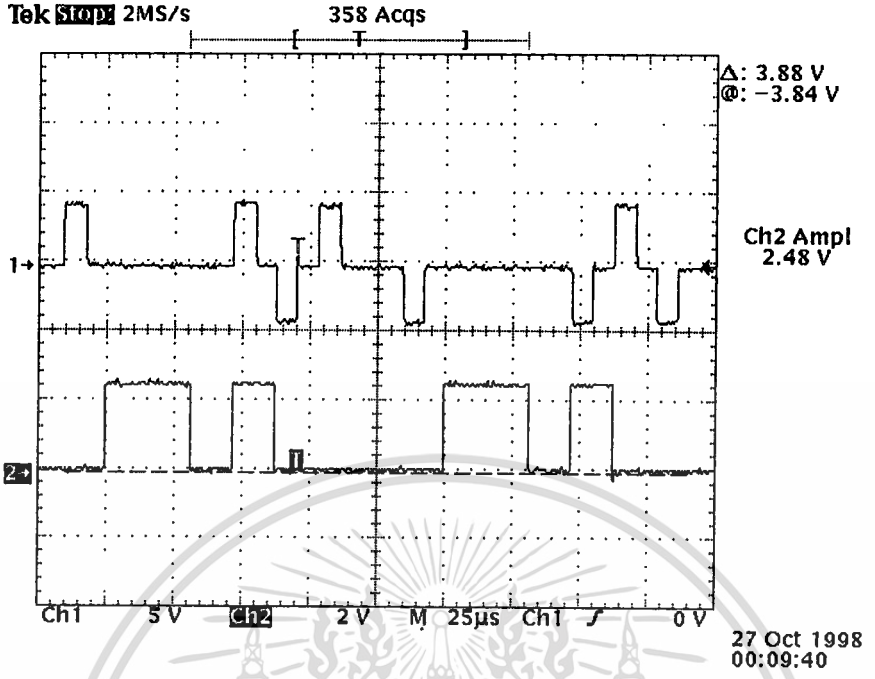
(CH2) แสดงสัญญาณเอาท์พุต NRZ



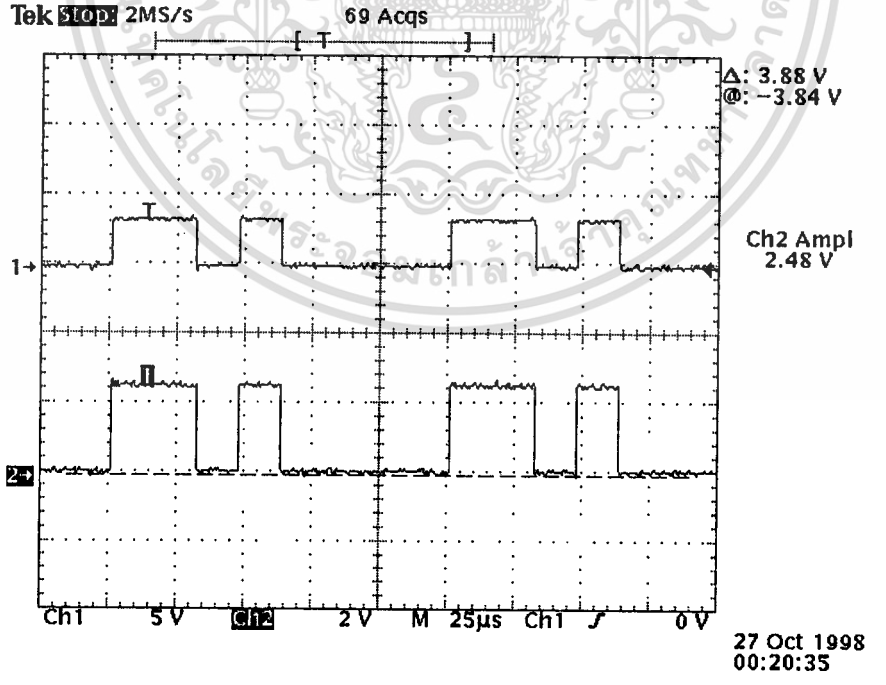
รูปที่ 3.48 (CH1) แสดงสัญญาณอินพุต NRZ

(CH2) แสดงสัญญาณเอาท์พุต NRZ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.49 (CH1) แสดงสัญญาณอินพุต HDB3
(CH2) แสดงสัญญาณเอาท์พุต NRZ



รูปที่ 3.50 (CH1) แสดงสัญญาณอินพุต NRZ
(CH2) แสดงสัญญาณเอาท์พุต NRZ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

บทสรุปโครงงาน

ในโครงงานนี้ได้ศึกษาถึงวิธีการเข้ารหัสและถอดรหัสสัญญาณเบสแบนด์แบบต่างๆ เพื่อที่จะให้โครงงานชิ้นนี้มีประโยชน์มากขึ้นในภายภาคหน้า และข้อแนะนำจากการทำงานของวงจรต่างๆที่ใช้ในโครงงานนี้

1. วงจรกำเนิดสัญญาณนาฬิกา

จะใช้ X-TAL เป็นตัวกำเนิดสัญญาณนาฬิกา เหตุผลที่ใช้ X-TAL กำเนิดความถี่เพราะจะให้ความถี่ที่แน่นอน

2. วงจรกำเนิดสัญญาณ NRZ

ใช้ ไอซี 74LS165 เป็นตัวกำเนิดและมีสวิทซ์ข้อมูลขนาด 8 บิต เพื่อจะทำให้เมื่อป้อนให้กับวงจรเข้ารหัสและถอดรหัสจะดูได้ชัดเจนขึ้น

3. วงจรเข้ารหัส RZ

จะใช้ไอซี 74LS08 เป็นตัวเข้ารหัสวงจรนี้จะไม่ประสบกับปัญหา

4. วงจรเข้ารหัส BIPHASE

สัญญาณที่ได้จะเป็นเงาเนื่องจากสัญญาณทั้ง 2 สัญญาณที่นำมา XOR กัน จะเลื่อมล้ำกันอยู่

5. วงจรเข้ารหัส ADI

วงจรเข้ารหัส ADI นี้จะไม่ค่อยมีปัญหา

6. วงจรเข้ารหัส CMI

วงจรเข้ารหัส CMI นี้จะไม่ค่อยมีปัญหา

7. วงจรเข้ารหัส AMI

วงจรเข้ารหัส AMI ทำงานได้ถูกต้องตามทฤษฎี แต่รูปสัญญาณจะมีความผิดเพี้ยนอาจเนื่องจากภาค Drive ของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8. วงจรเข้ารหัส HDB3

วงจรเข้ารหัส HDB3 ทำงานได้ถูกต้องตามทฤษฎี

9. วงจรถอดรหัส RZ

วงจรนี้จะไม่ค่อยผิดพลาด

10. วงจรถอดรหัส BIPHASE

ในวงจรนี้สัญญาณที่ถอดรหัสได้จะมีลักษณะเหมือนสัญญาณที่ถูกเข้ารหัสมาแต่สัญญาณจะมีเงาเล็กน้อย

11. วงจรถอดรหัส ADI

วงจรนี้จะประสบปัญหาเป็นอย่างมากในการทดลองครั้งนี้ เนื่องจากสัญญาณที่ป้อนเข้ามาไม่สามารถตรวจสอบได้ว่ามีบิตไหน เป็นบิตที่เริ่มต้นกันแน่ อาจจะทำให้การถอดรหัสผิดพลาดได้

12. วงจรถอดรหัส CMI

วงจรถอดรหัส CMI นี้สามารถถอดรหัสได้ตรงกับสัญญาณที่ได้เข้ารหัสมา

13. วงจรถอดหรหัส AMI

ปัญหาของวงจรนี้ คือสัญญาณรบกวนที่เกิดจากการเข้ารหัสที่ไม่สามารถแก้ไขได้ทำให้การถอดรหัสผิดพลาดได้

14. วงจรถอดรหัส HDB3

การถอดวงจรนี้จะไม่ค่อยประสบกับปัญหาอะไรมากนัก

15. ปัญหาที่พบ

(1) สัญญาณนาฬิการบกวนไฟเลี้ยง Vcc

ทำให้ไฟเลี้ยงวงจรไม่เรียบก่อให้เกิดปัญหาต่อการทำงานของลอจิกเกต แก้ไขโดยการต่อสัญญาณนาฬิกาผ่านบัฟเฟอร์ก่อนจ่ายให้กับวงจรเกตต่างๆ

(2) ความไม่สมดุลย์กันระหว่างอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

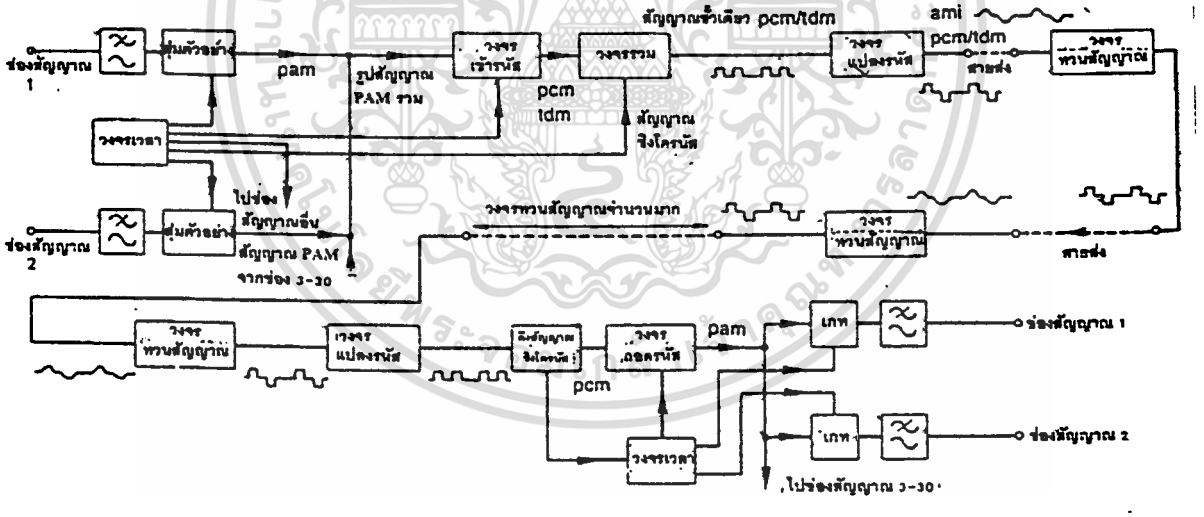
ความไม่สมดุลย์กันระหว่างไอซีต่างชนิดต่างตระกูลกันเนื่องจากมีคาบเวลาในการทำงานไม่เท่ากัน และมีอิมพีแดนซ์ในตัวไม่เท่ากันด้วย แก้ไขโดยการใช้ไอซีตระกูลเดียวกันจากบริษัทผู้ผลิตรายเดียวกัน

(3) กระแสไฟเลี้ยงวงจร

เนื่องด้วยในวงจรได้นำไอซีตระกูล TTL มาใช้งานซึ่งเป็นอุปกรณ์ที่ใช้กระแสในการทำงานที่สูง จำเป็นต้องมีแหล่งจ่ายไฟเลี้ยงที่มีขนาดการจ่ายกระแสที่สูง

16. การประยุกต์ไปใช้งาน

สามารถนำไปประยุกต์ไปใช้งานในด้านการสื่อสารทั่วไปขององค์การโทรศัพท์แห่งประเทศไทย โดยการนำข้อมูลแต่ละช่องสัญญาณมาทำการเข้ารหัสเป็น LINE CODE แล้วทำการส่งไปในสายนำสัญญาณ ทางด้านภาครับก็จะต้องทำการ DECODE สัญญาณกลับมาแล้วส่งไปยังวงจรอื่นๆ เพื่อทำกรรมวิธี ตามลำดับต่อไปดังรูปที่ 4.1



รูปที่ 4.1 แสดงบล็อกไดอะแกรมการประยุกต์ใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

[1] ฉกาจ เปรมสุข , พิศยา รัตนสัมฤทธิ์กุล , มนตรี ปานอินทร์ เครื่องรับส่งสัญญาณดิจิตอล 16QAM ปริญญานิพนธ์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง,2540

[2] DAVID R. SMITH , Digital Transmission System ,Van nostrand Reihold Company New Yark ,1985

[3] ROBERT G. WINCH , Telecommanication Transmission System : microwave , fiber optic , mobile cellular ratio , data and digital multiplexing ,Mcgraw . Hill International Editions, 1993

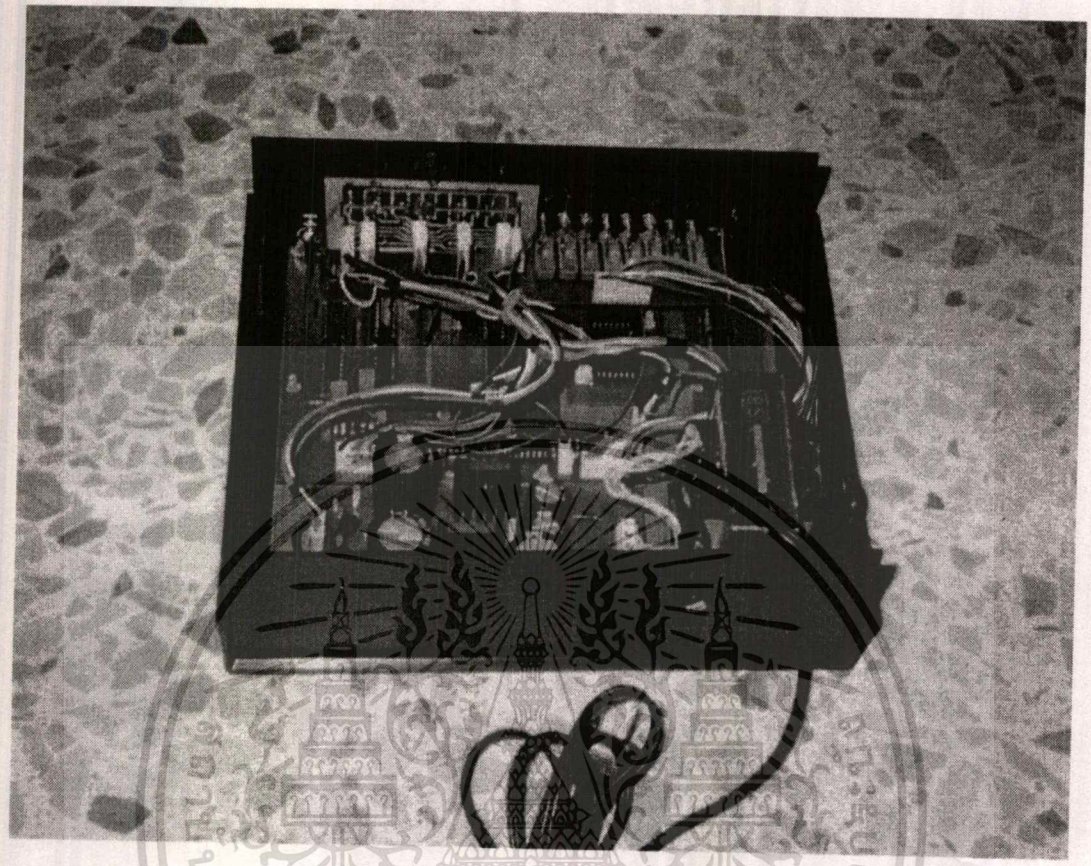
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

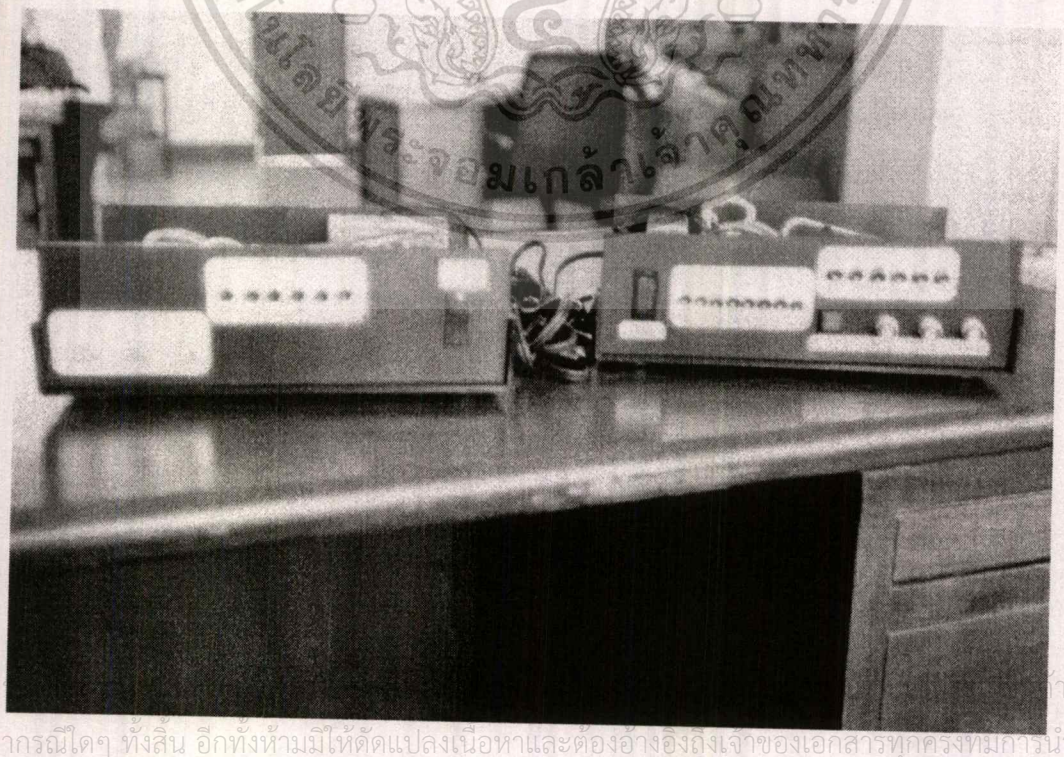
ภาคผนวก ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

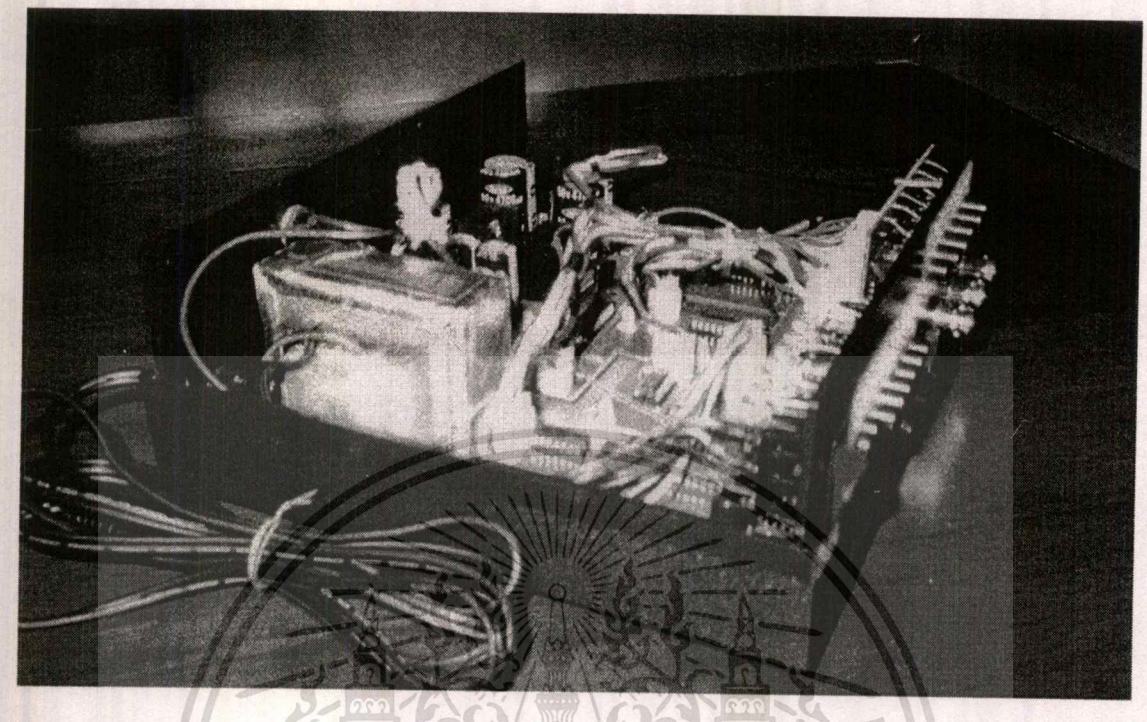
รูปแสดงชิ้นงานจริง

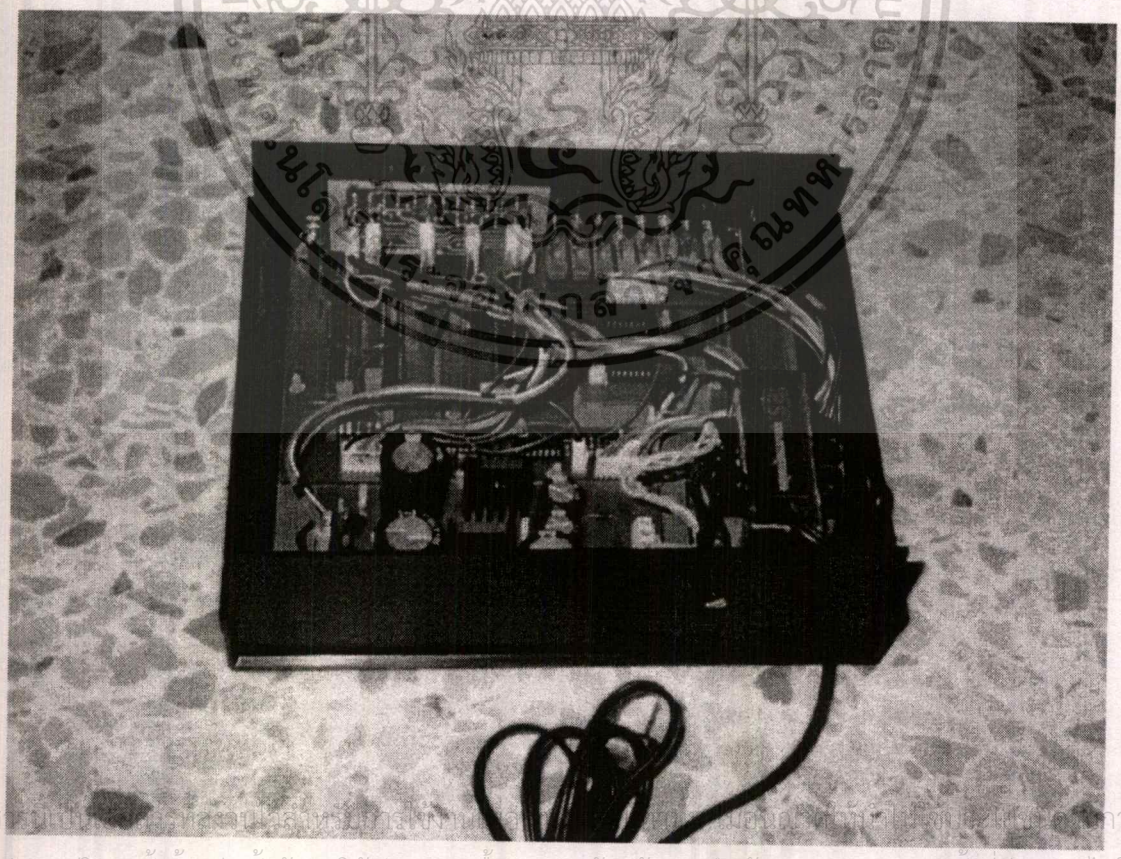
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



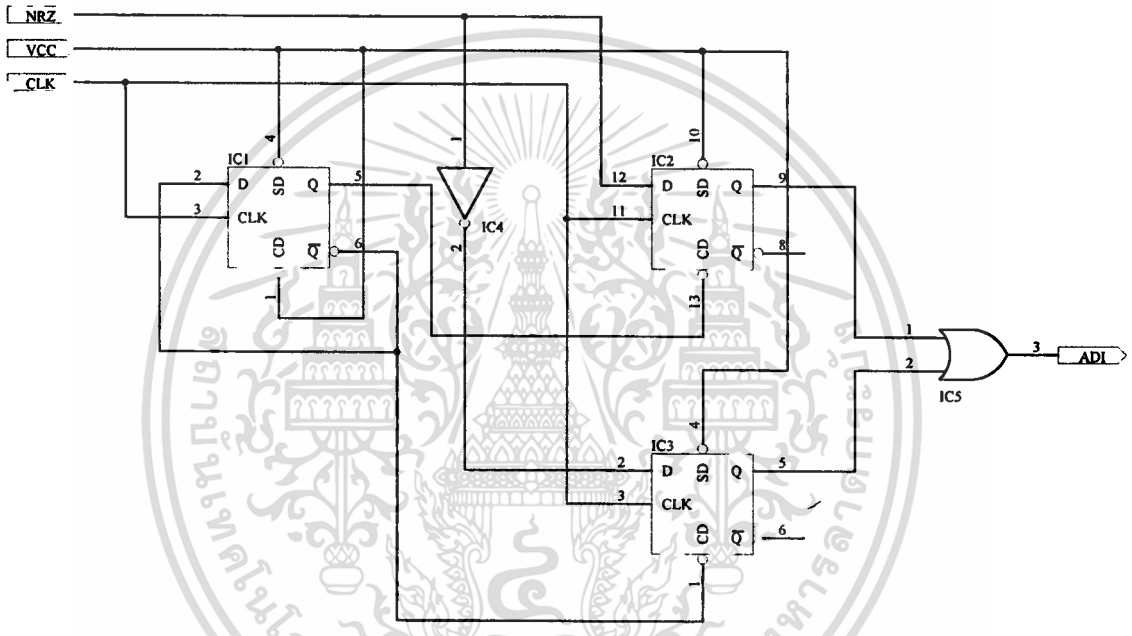


เอกสาร ... ห้ามการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

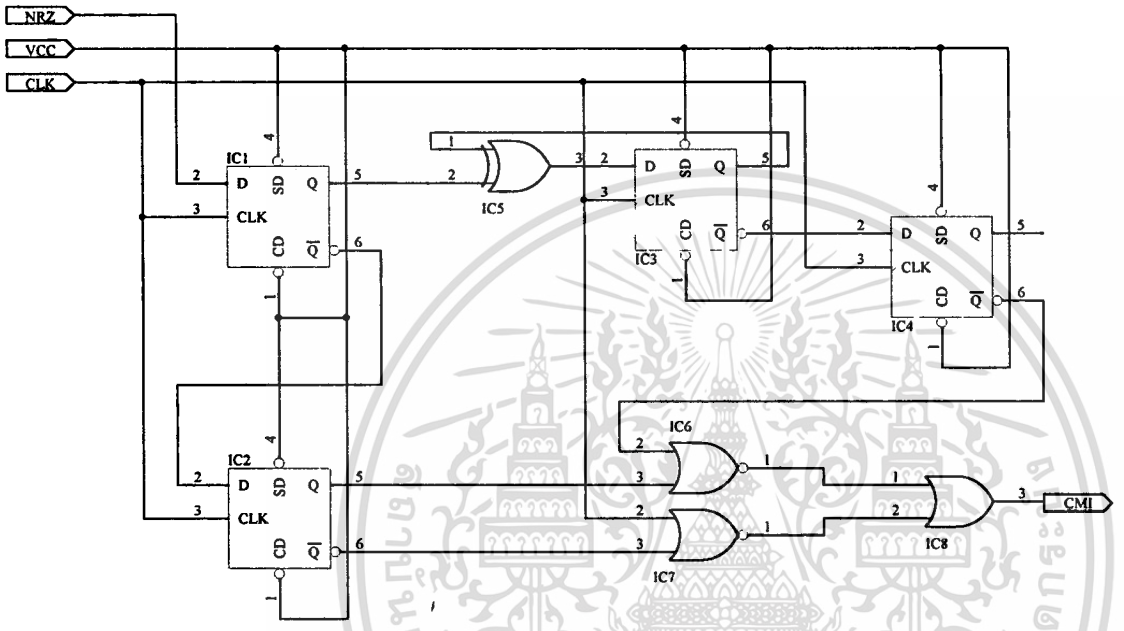


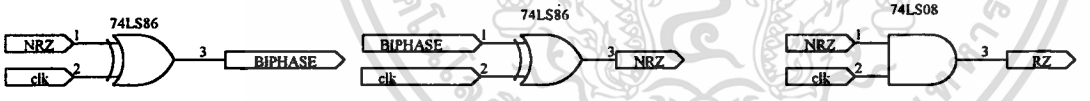
IC1,IC2,IC3... ....74LS74

IC3.....74LS04

IC4.....74LS32

Title		
Size A4	Number	Revision
Date: 11-Nov-1998		Sheet of
File: C:\PROJECT2\EN-ADI.SCH		Drawn By:





IC1,IC2,IC3,IC4.....74LS74

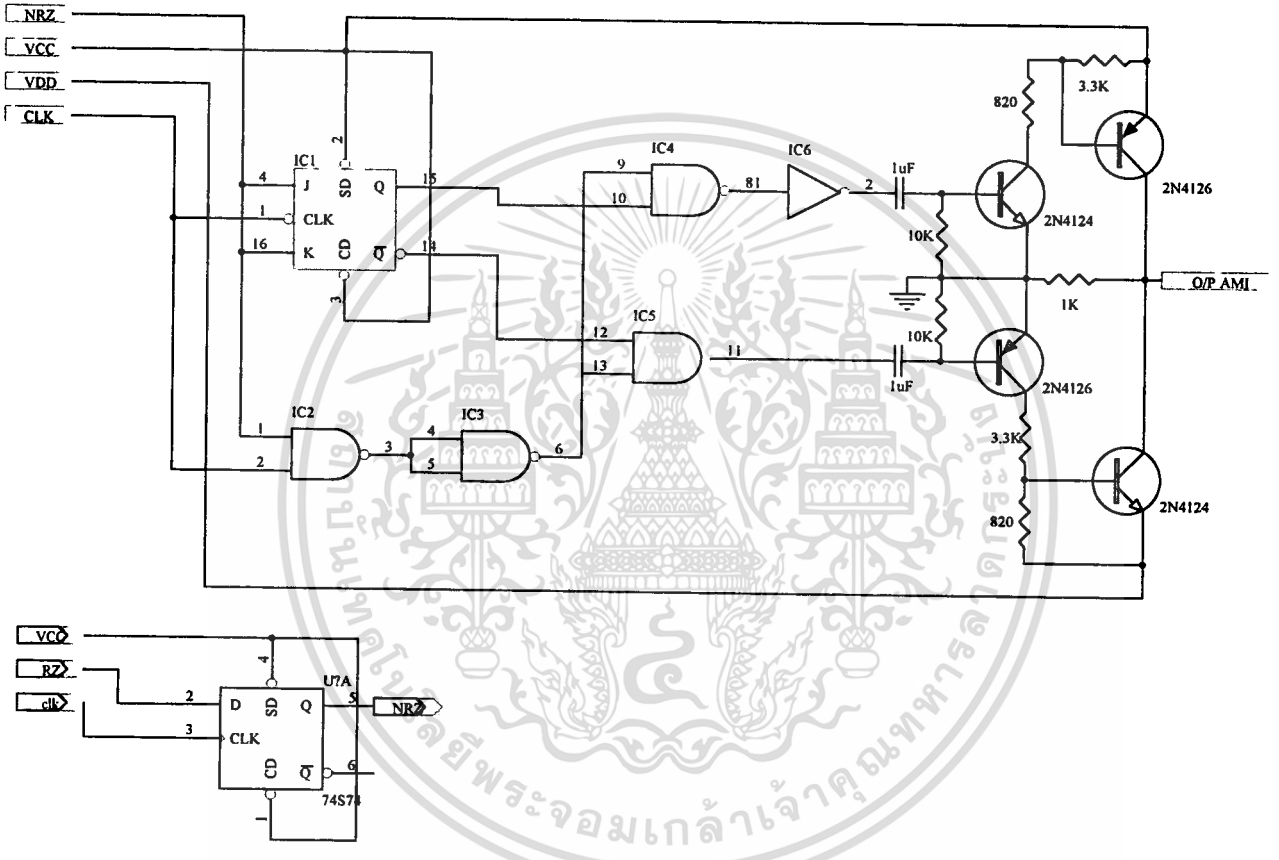
IC6,IC7.....74LS02

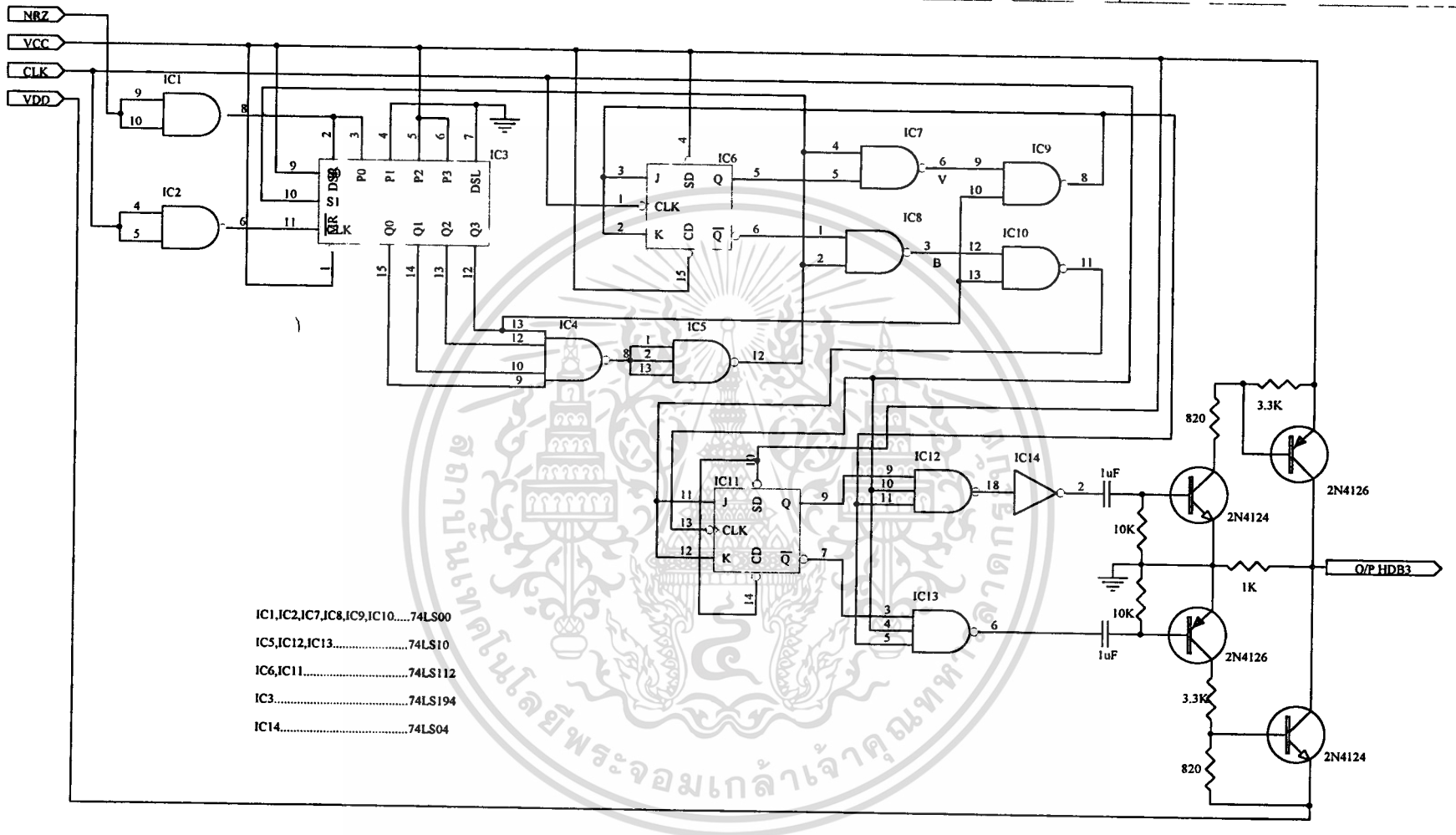
IC5.....74LS86

IC8.....74LS32

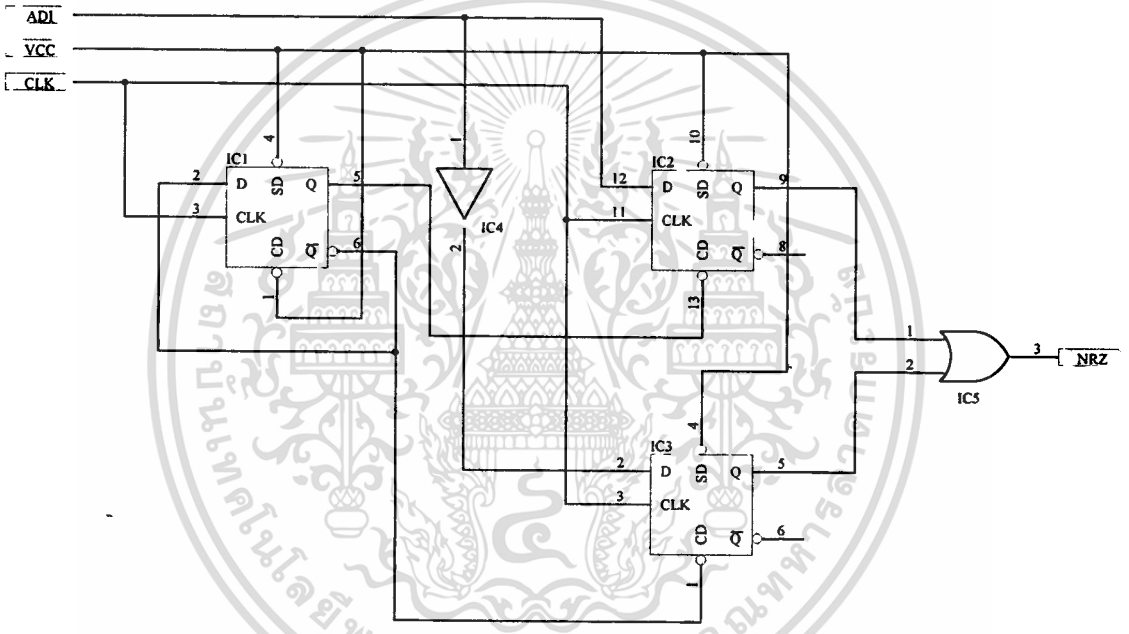
Title		
Size A4	Number	Revision
Date: 11-Nov-1998		Sheet of
File: C:\PROJECT2\EN-CMI.SCH		Drawn By:

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย


NRZ
VCC
VDD
CLK
IC1
IC2
IC3
IC4
IC5
IC6
820
3.3K
2N4126
2N4124
10K
1K
O/P AMI
1uF
VCC
RZ
clk
U7A
NRZ
74S74
IC1.....74LS76
IC2,IC3,IC4,IC5.....74LS00
IC6.....74LS04
Title
Size
A4
Number
Revision
Date: 11-Nov-1998
File: C:\PROJECT2\EN-AMI.SCH
Sheet of
Drawn By:



Title		
Size A4	Number	Revision
Date: 11-Nov-1998		Sheet of
File: C:\PROJECT2\EN-HDB3.SCH		Drawn By:

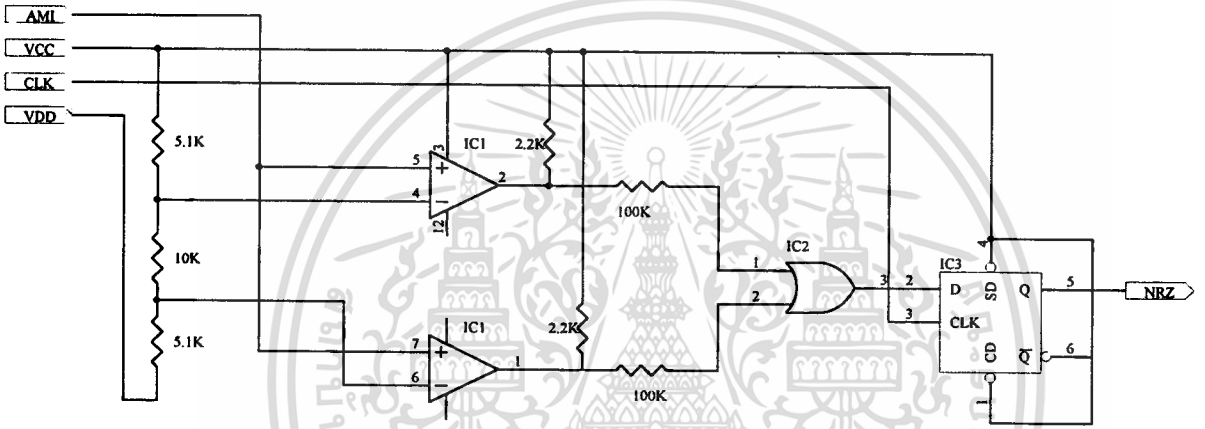


IC1,IC2,IC3.....74LS74

IC3.....74LS04

IC4..... .....74LS32

Title		
Size A4	Number	Revision
Date: 11-Nov-1998		Sheet of
File: C:\PROJECT2\DE-ADI.SCH		Drawn By:



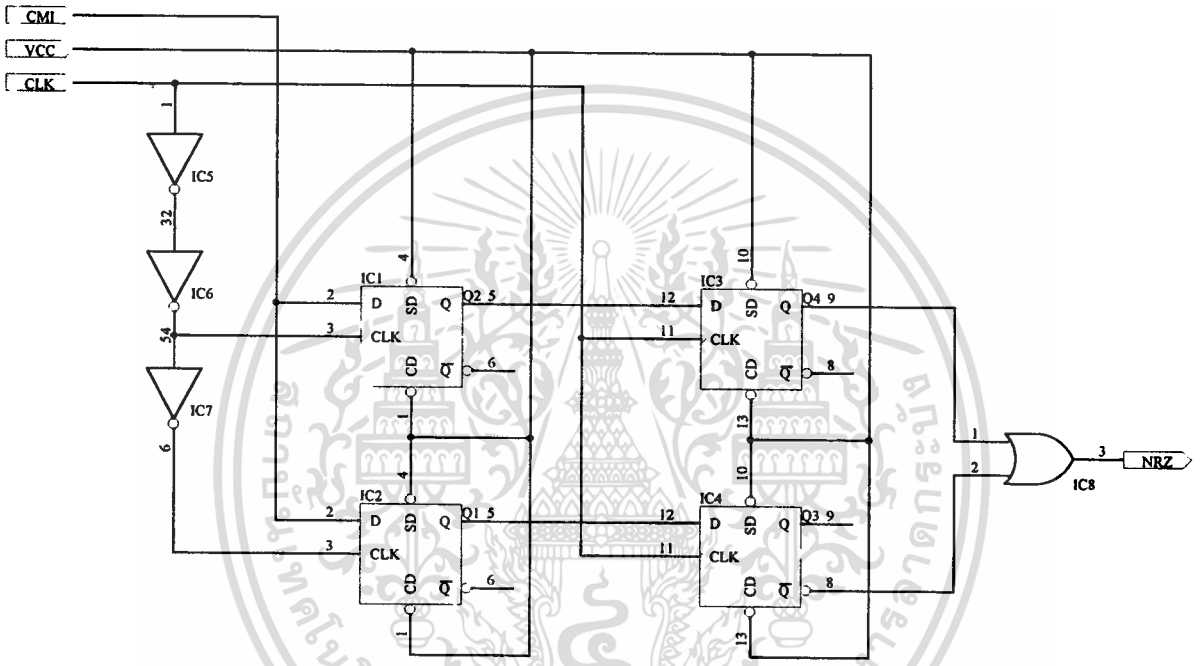
IC1.....LM339

IC2.....74LS32

IC3.....74LS74

Title		
Size A4	Number	Revision
Date: 11-Nov-1998		Sheet of
File: C:\PROJECT2\DE-AMI.SCH		Drawn By:

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง



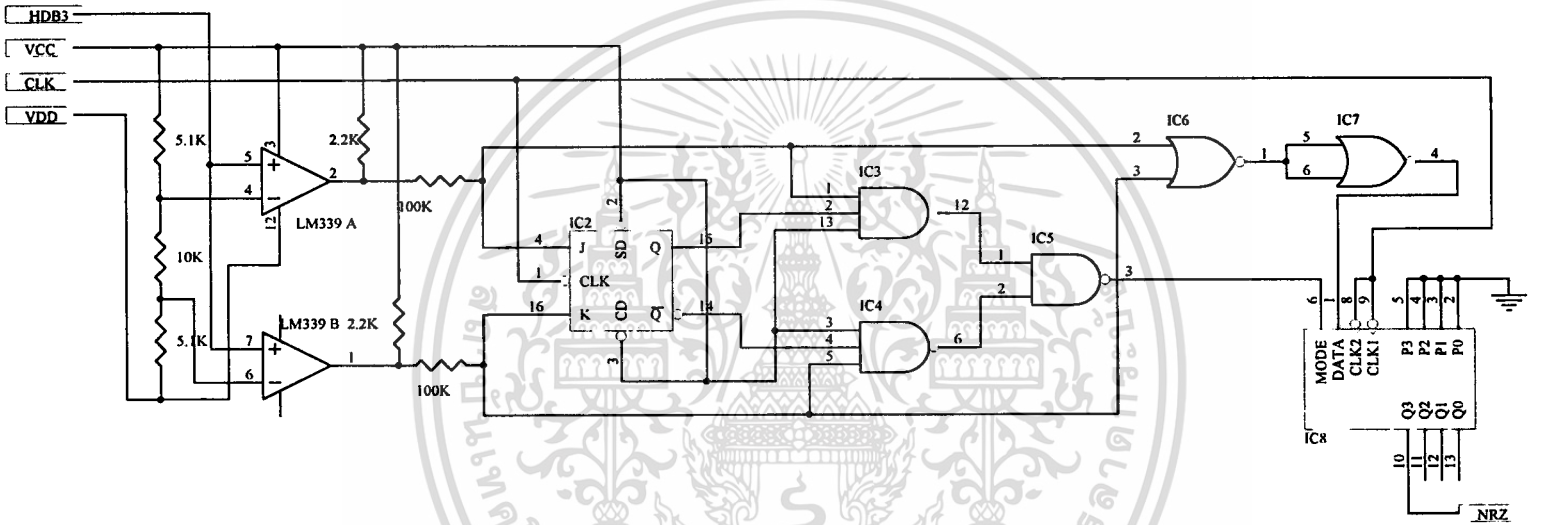
IC8.....74LS32

IC5,IC6,IC7.....74LS04

IC1,IC2,IC3,IC4.....74LS74

Title		
Size A4	Number	Revision
Date: 11-Nov-1998		Sheet of
File: C:\PROJECT2\DE-CMI.SCH		Drawn By:

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง



IC3,IC4.....74LS10

IC6,IC7.....74LS02

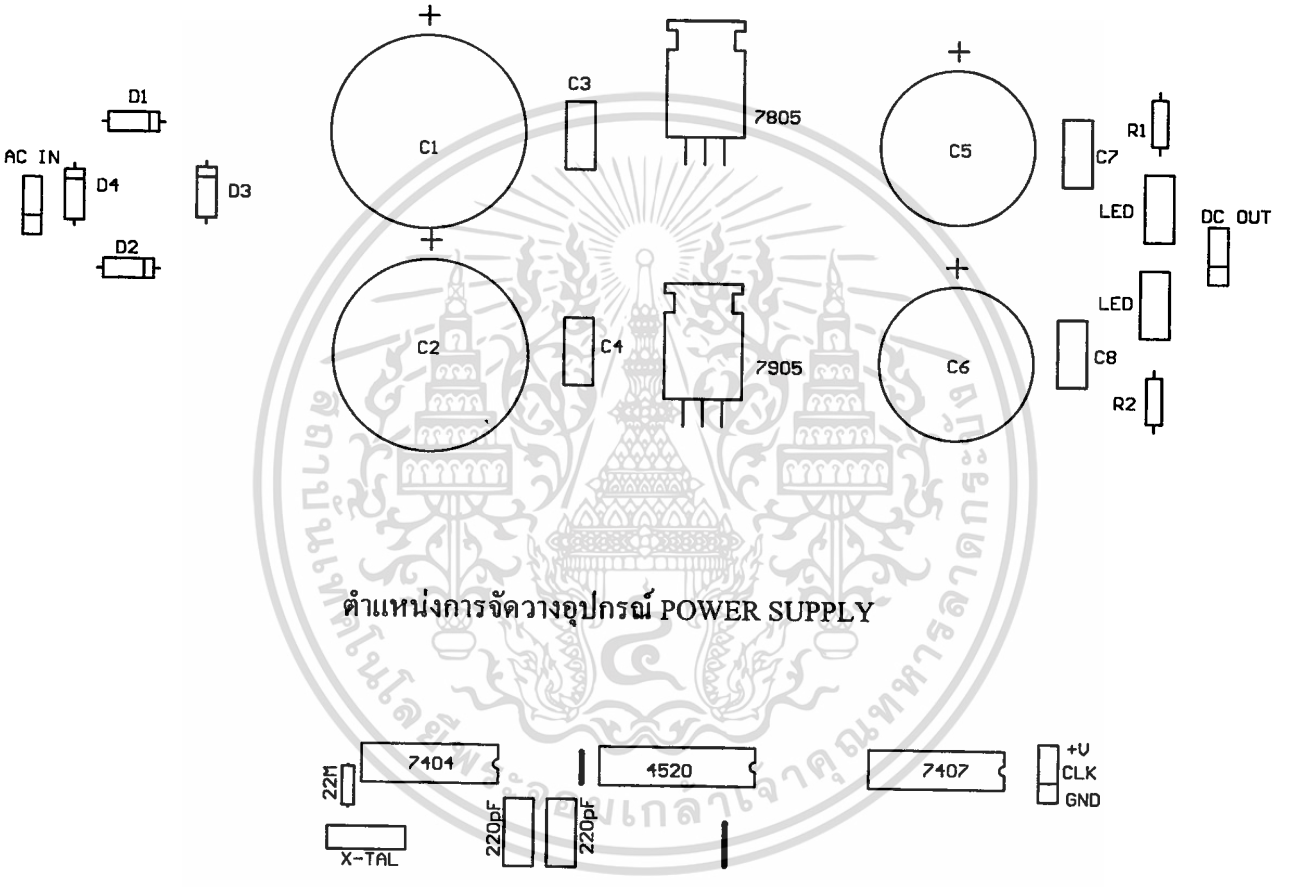
IC1.....LM339

IC2.....74LS76

IC5.....74LS00

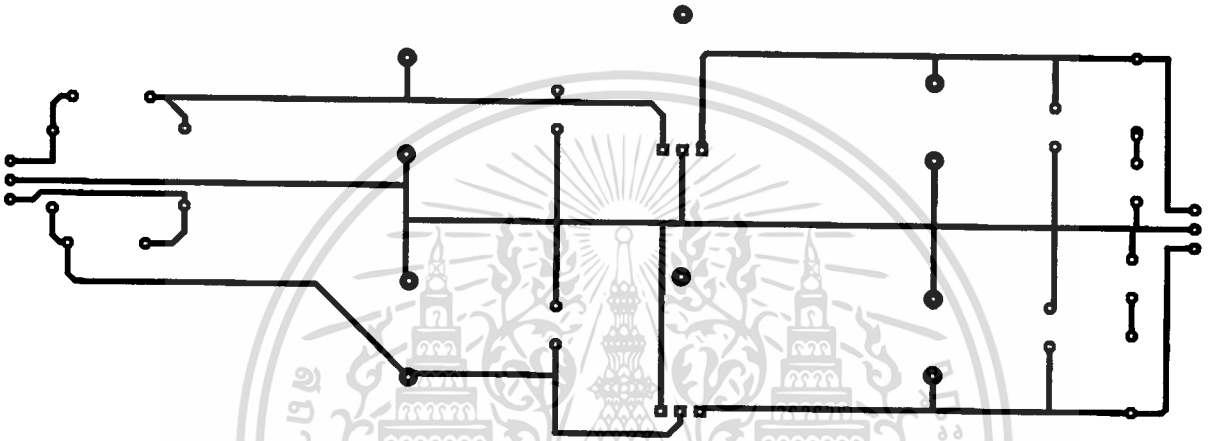
IC8.....7495

Title		
Size A4	Number	Revision
Date: 11-Nov-1998		Sheet of
File: C:\PROJECT2\DE-HDB3.SCH		Drawn By:

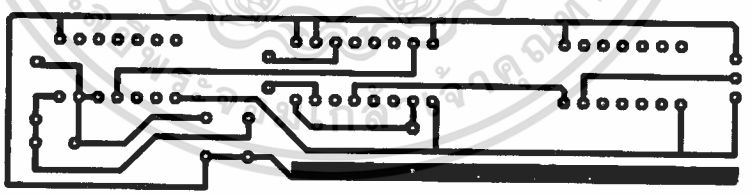


ตำแหน่งการจัดวางอุปกรณ์ POWER SUPPLY

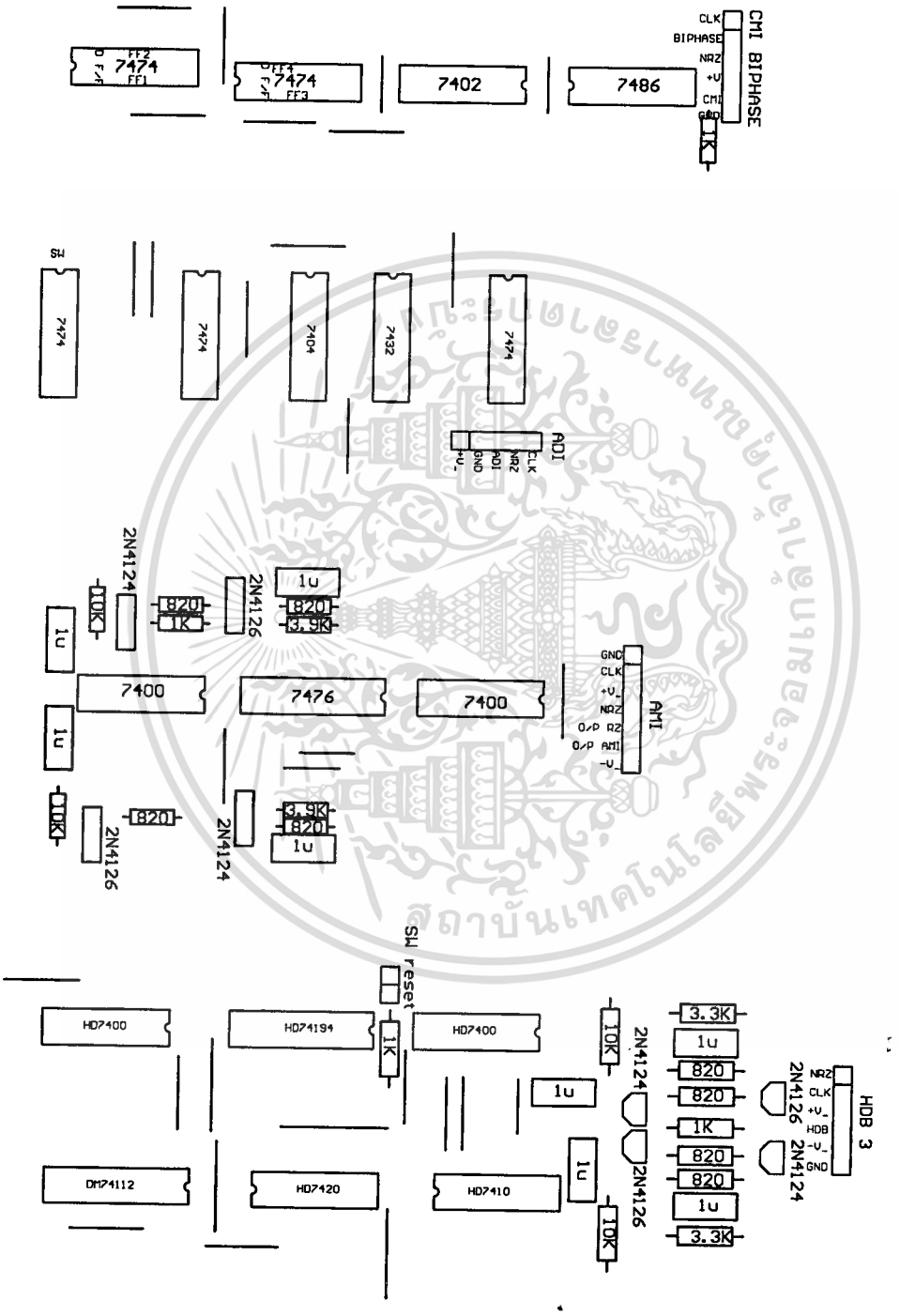
ตำแหน่งการจัดวางอุปกรณ์วงจรกำเนิดสัญญาณนาฬิกา



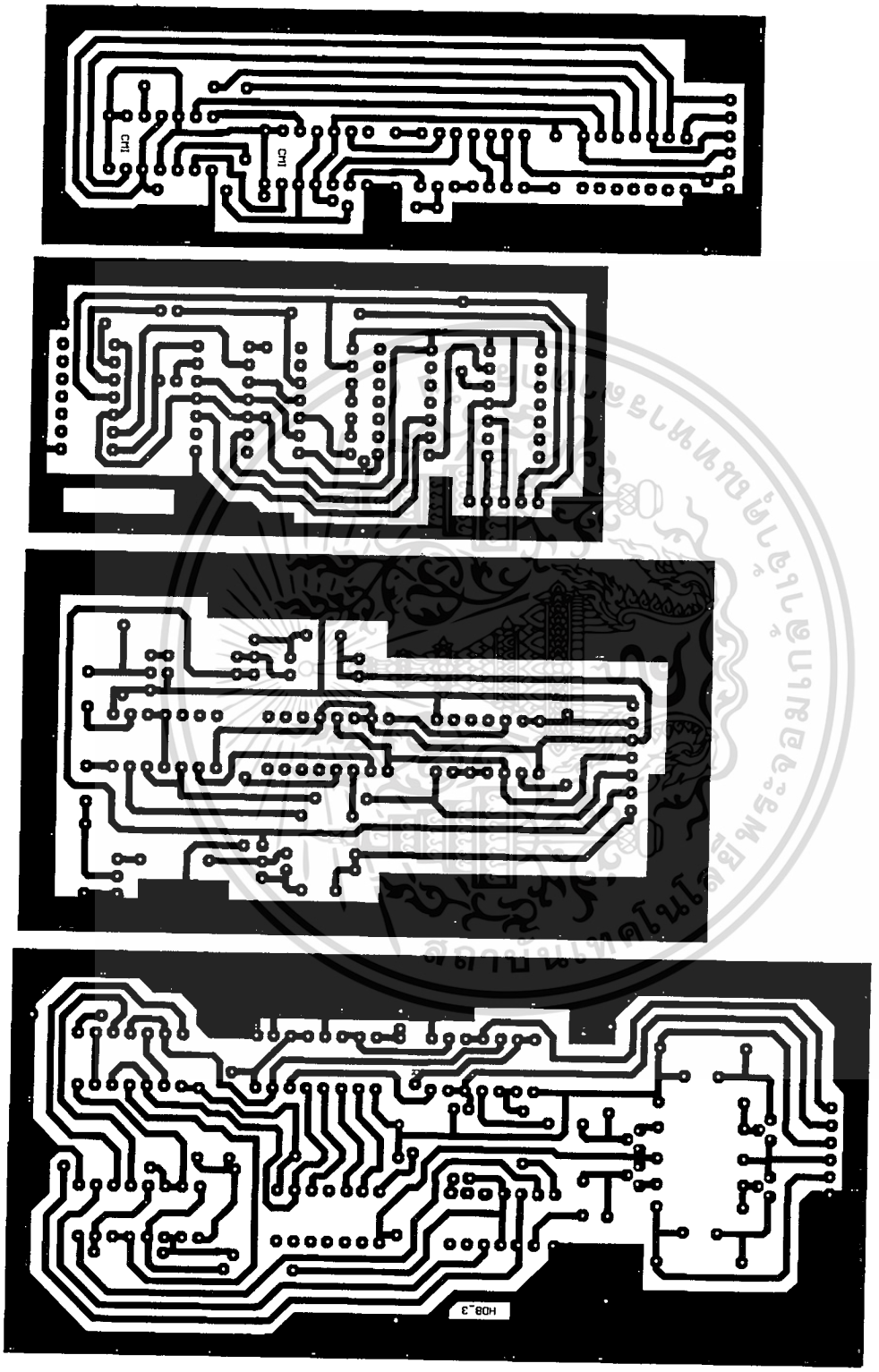
รูปแสดงลายวงจรพิมพ์ POWER SUPPLY



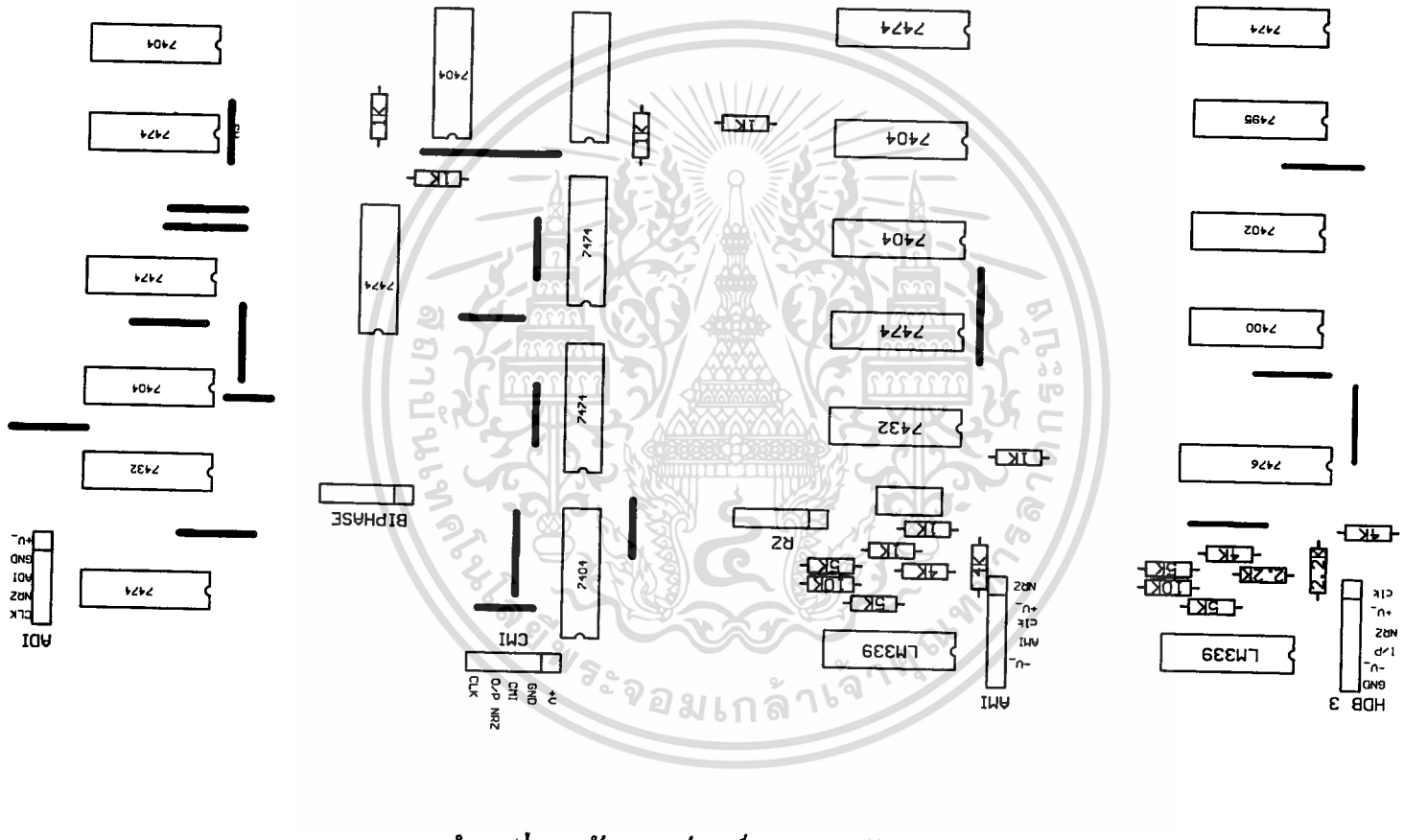
รูปแสดงลายวงจรพิมพ์วงจรกำเนิดสัญญาณนาฬิกา



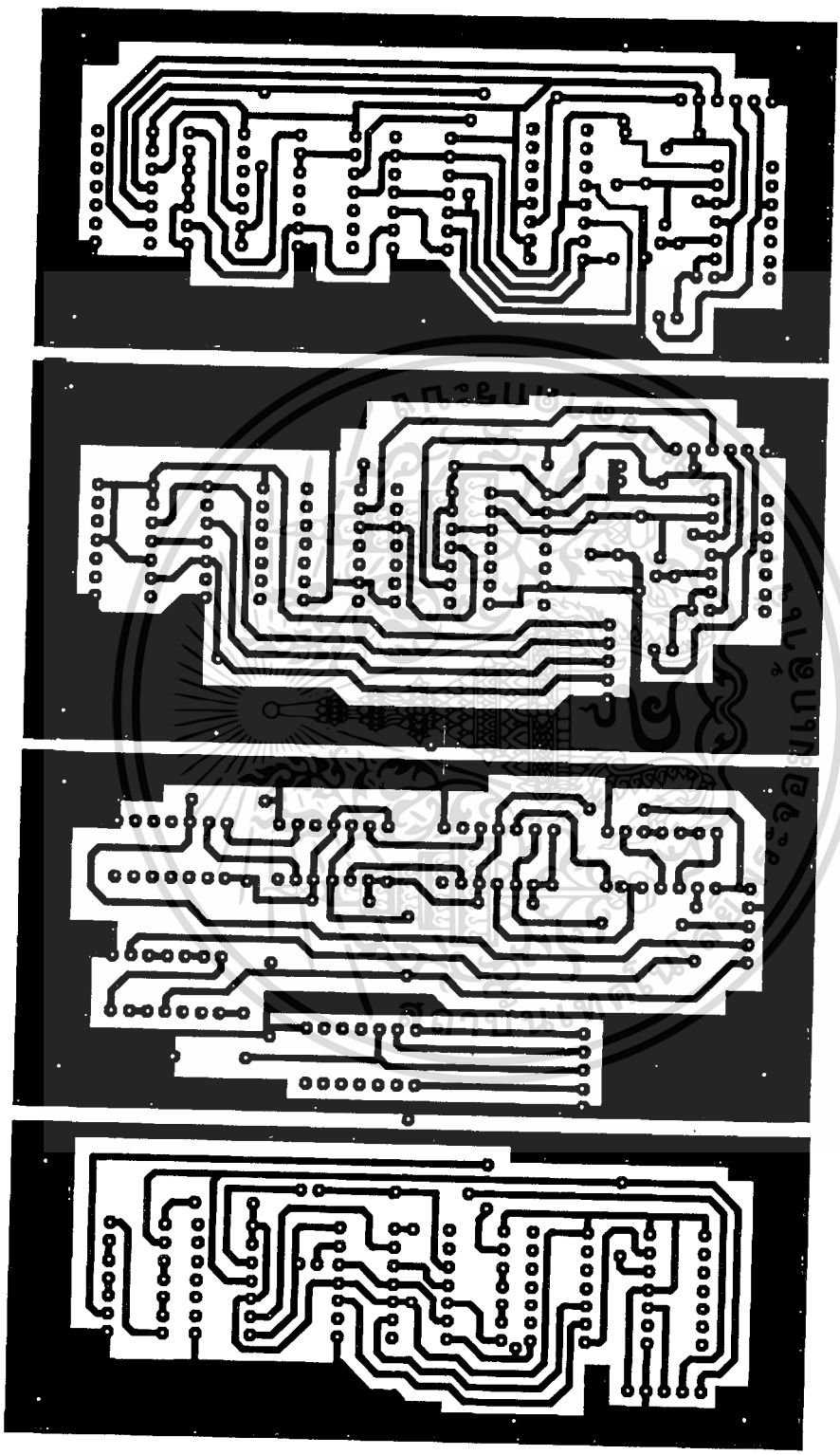
ภาพแสดงการจัดวางอุปกรณ์ภาคเข้ารหัส



ลายวงจรพิมพ์ภาคเข้ารหัส



ตำแหน่งการจัดวางอุปกรณ์ภาคถอดรหัส



ลายวงจรพิมพ์ภาคออดิโอ

ภาคผนวก ข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

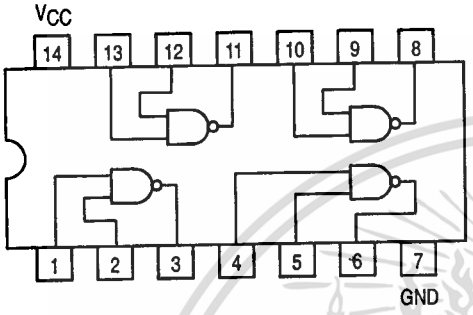
SN54/74LS00

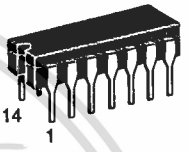
QUAD 2-INPUT NAND GATE

- ESD > 3500 Volts

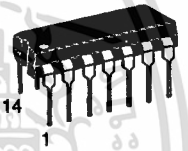
QUAD 2-INPUT NAND GATE

LOW POWER SCHOTTKY





J SUFFIX
CERAMIC
CASE 632-08



N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54/74LS00

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Limits Typ	Limits Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current				20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current				−0.4	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current Total, Output HIGH				1.6	mA	V_{CC} = MAX	
	Total, Output LOW				4.4			

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter	Limits Min	Limits Typ	Limits Max	Unit	Test Conditions
t_{PLH}	Turn-Off Delay, Input to Output		9.0	15	ns	V_{CC} = 5.0 V, C_L = 15 pF
t_{PHL}	Turn-On Delay, Input to Output		10	15	ns	

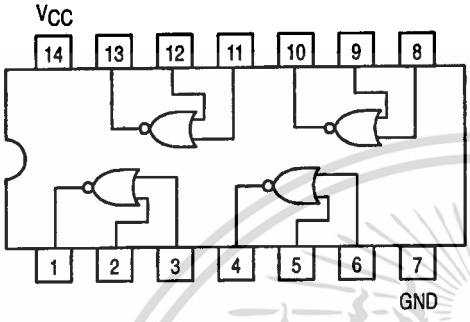
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

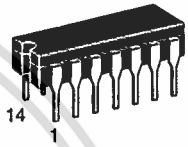
MOTOROLA

QUAD 2-INPUT NOR GATE

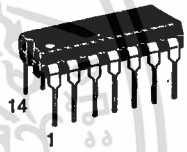
SN54/74LS02

QUAD 2-INPUT NOR GATE
LOW POWER SCHOTTKY





J SUFFIX
CERAMIC
CASE 632-08



N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54/74LS02

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Limits Typ	Limits Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current				20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current				−0.4	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current Total, Output HIGH				3.2	mA	V_{CC} = MAX	
	Total, Output LOW				5.4			

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter	Limits Min	Limits Typ	Limits Max	Unit	Test Conditions
t_{PLH}	Turn-Off Delay, Input to Output		10	15	ns	V_{CC} = 5.0 V C_L = 15 pF
t_{PHL}	Turn-On Delay, Input to Output		10	15	ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

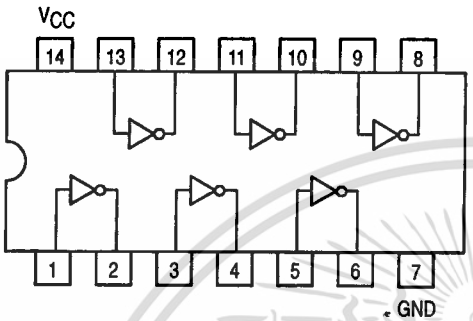
MOTOROLA

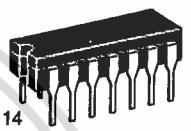
HEX INVERTER

SN54/74LS04

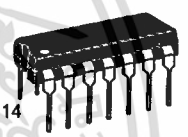
HEX INVERTER

LOW POWER SCHOTTKY





J SUFFIX
CERAMIC
CASE 632-08



N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54/74LS04

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Limits Typ	Limits Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current				20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current				−0.4	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current Total, Output HIGH				2.4	mA	V_{CC} = MAX	
	Total, Output LOW				6.6			

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter	Limits Min	Limits Typ	Limits Max	Unit	Test Conditions
t_{PLH}	Turn-Off Delay, Input to Output		9.0	15	ns	V_{CC} = 5.0 V, C_L = 15 pF
t_{PHL}	Turn-On Delay, Input to Output		10	15	ns	

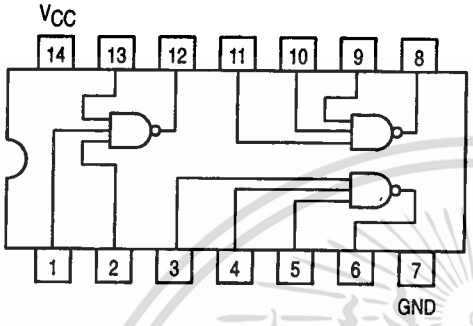
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

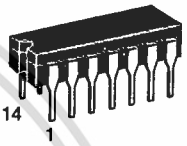
MOTOROLA

TRIPLE 3-INPUT NAND GATE

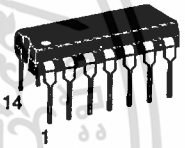
SN54/74LS10

TRIPLE 3-INPUT NAND GATE
LOW POWER SCHOTTKY





J SUFFIX
CERAMIC
CASE 632-08



N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54/74LS10

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Limits Typ	Limits Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current				20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current				−0.4	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current Total, Output HIGH				1.2	mA	V_{CC} = MAX	
	Total, Output LOW				3.3			

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter	Limits Min	Limits Typ	Limits Max	Unit	Test Conditions
t_{PLH}	Turn-Off Delay, Input to Output		9.0	15	ns	V_{CC} = 5.0 V, C_L = 15 pF
t_{PHL}	Turn-On Delay, Input to Output		10	15	ns	

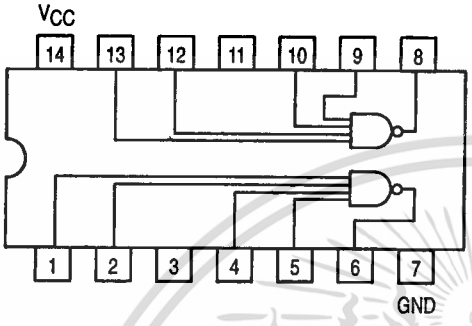
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

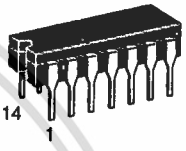
MOTOROLA

DUAL 4-INPUT NAND GATE

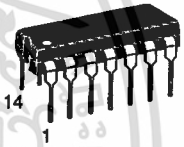
SN54/74LS20

DUAL 4-INPUT NAND GATE
LOW POWER SCHOTTKY





J SUFFIX
CERAMIC
CASE 632-08



N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54/74LS20

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current				20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current				−0.4	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current Total, Output HIGH				0.8	mA	V_{CC} = MAX	
	Total, Output LOW				2.2			

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions
t_{PLH}	Turn-Off Delay, Input to Output		9.0	15	ns	V_{CC} = 5.0 V, C_L = 15 pF
t_{PHL}	Turn-On Delay, Input to Output		10	15	ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

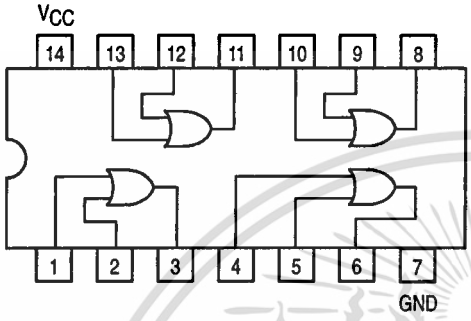
MOTOROLA

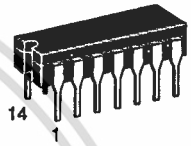
QUAD 2-INPUT OR GATE

SN54/74LS32

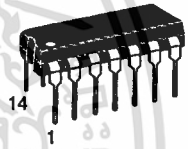
QUAD 2-INPUT OR GATE

LOW POWER SCHOTTKY





J SUFFIX
CERAMIC
CASE 632-08



N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54/74LS32

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current				20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current				−0.4	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current Total, Output HIGH				6.2	mA	V_{CC} = MAX	
	Total, Output LOW				9.8			

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions
t_{PLH}	Turn-Off Delay, Input to Output		14	22	ns	V_{CC} = 5.0 V, C_L = 15 pF
t_{PHL}	Turn-On Delay, Input to Output		14	22	ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

SN54/74LS74A

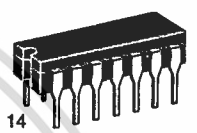
DUAL D-TYPE POSITIVE EDGE-TRIGGERED FLIP-FLOP

The SN54/74LS74A dual edge-triggered flip-flop utilizes Schottky TTL circuitry to produce high speed D-type flip-flops. Each flip-flop has individual clear and set inputs, and also complementary Q and Q outputs.

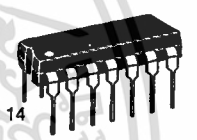
Information at input D is transferred to the Q output on the positive-going edge of the clock pulse. Clock triggering occurs at a voltage level of the clock pulse and is not directly related to the transition time of the positive-going pulse. When the clock input is at either the HIGH or the LOW level, the D input signal has no effect.

DUAL D-TYPE POSITIVE EDGE-TRIGGERED FLIP-FLOP

LOW POWER SCHOTTKY



J SUFFIX
CERAMIC
CASE 632-08



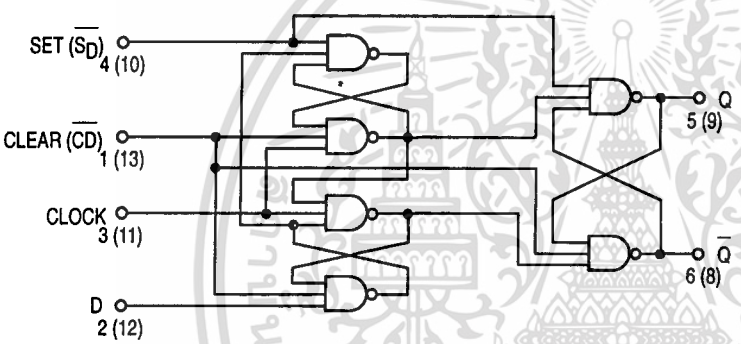
N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

LOGIC DIAGRAM (Each Flip-Flop)



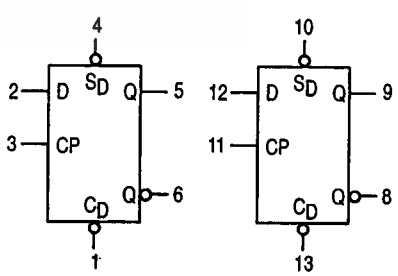
MODE SELECT — TRUTH TABLE

OPERATING MODE	INPUTS			OUTPUTS	
	S_D	$\overline{S_D}$	D	Q	$\overline{Q}$
Set	L	H	X	H	L
Reset (Clear)	H	L	X	L	H
*Undetermined	L	L	X	H	H
Load "1" (Set)	H	H	h	H	L
Load "0" (Reset)	H	H	l	L	H

* Both outputs will be HIGH while both S_D and C_D are LOW, but the output states are unpredictable if S_D and C_D go HIGH simultaneously. If the levels at the set and clear are near V_{IL} maximum then we cannot guarantee to meet the minimum level for V_{OH}.

H, h = HIGH Voltage Level
L, l = LOW Voltage Level
X = Don't Care
i, h (q) = Lower case letters indicate the state of the referenced input (or output) one set-up time prior to the HIGH to LOW clock transition.

LOGIC SYMBOL



V_{CC} = PIN 14
GND = PIN 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54/74LS74A

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input High Current Data, Clock Set, Clear				20 40	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
	Data, Clock Set, Clear				0.1 0.2	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current Data, Clock Set, Clear				−0.4 −0.8	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Output Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current				8.0	mA	V_{CC} = MAX	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C, V_{CC} = 5.0 V)

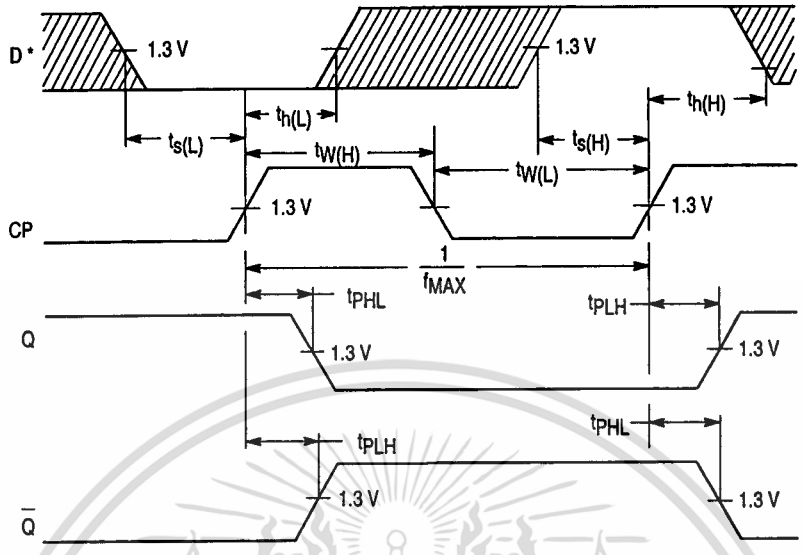
Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions	
f_{MAX}	Maximum Clock Frequency	25	33		MHz	Figure 1	V_{CC} = 5.0 V C_L = 15 pF
t_{PLH} t_{PHL}	Clock, Clear, Set to Output		13	25	ns	Figure 1	
			25	40	ns		

AC SETUP REQUIREMENTS (T_A = 25°C)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions	
$t_{W(H)}$	Clock	25			ns	Figure 1	V_{CC} = 5.0 V
$t_{W(L)}$	Clear, Set	25			ns	Figure 2	
t_s	Data Setup Time — HIGH	20			ns	Figure 1	
	LOW	20			ns		
t_h	Hold Time	5.0			ns	Figure 1	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC WAVEFORMS



*The shaded areas indicate when the input is permitted to change for predictable output performance.

Figure 1. Clock to Output Delays, Data Set-Up and Hold Times, Clock Pulse Width

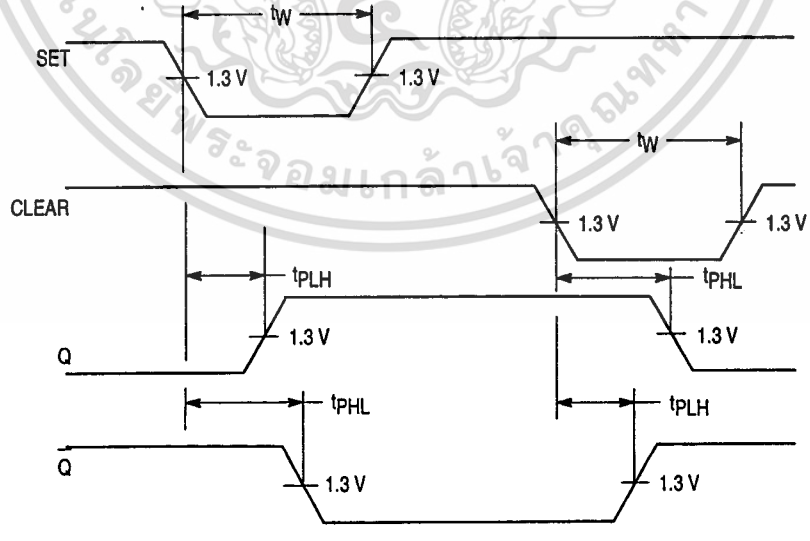


Figure 2. Set and Clear to Output Delays, Set and Clear Pulse Widths

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

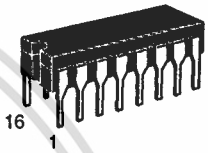
SN54/74LS76A

DUAL JK FLIP-FLOP WITH SET AND CLEAR

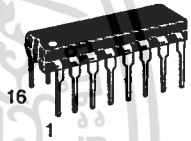
The SN54/74LS76A offers individual J, K, Clock Pulse, Direct Set and Direct Clear inputs. These dual flip-flops are designed so that when the clock goes HIGH, the inputs are enabled and data will be accepted. The Logic Level of the J and K inputs will perform according to the Truth Table as long as minimum set-up times are observed. Input data is transferred to the outputs on the HIGH-to-LOW clock transitions.

DUAL JK FLIP-FLOP WITH SET AND CLEAR

LOW POWER SCHOTTKY



J SUFFIX
CERAMIC
CASE 620-09



N SUFFIX
PLASTIC
CASE 648-08

D SUFFIX
SOIC
CASE 751B-03

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

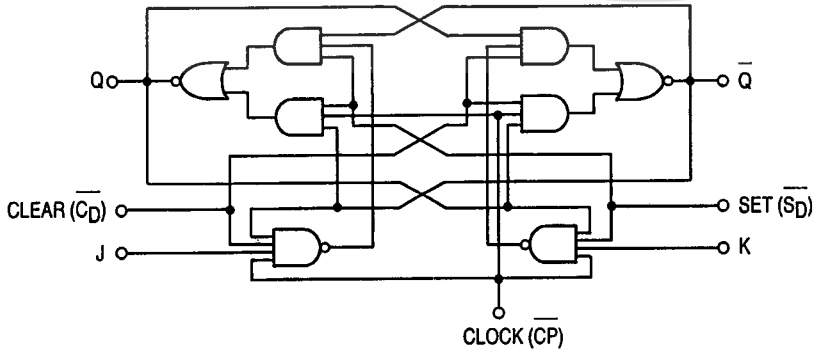
MODE SELECT — TRUTH TABLE

OPERATING MODE	INPUTS				OUTPUTS	
	S_D	C_D	J	K	Q	$\overline{Q}$
Set	L	H	X	X	H	L
Reset (Clear)	H	L	X	X	L	H
*Undetermined	L	L	X	X	H	H
Toggle	H	H	h	h	q	$\overline{q}$
Load "0" (Reset)	H	H	l	h	L	H
Load "1" (Set)	H	H	h	l	H	L
Hold	H	H	l	l	q	$\overline{q}$

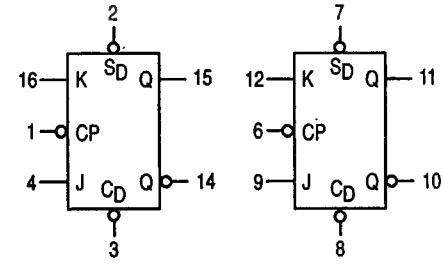
*Both outputs will be HIGH while both S_D and C_D are LOW, but the output states are unpredictable if S_D and C_D go HIGH simultaneously.

H,h = HIGH Voltage Level
L,l = LOW Voltage Level
X = Immaterial
l, h (q) = Lower case letters indicate the state of the referenced input (or output) one setup time prior to the HIGH-to-LOW clock transition

LOGIC DIAGRAM



LOGIC SYMBOL



V_{CC} = PIN 5
GND = PIN 13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54/74LS76A

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current	J, K Clear Clock			20 60 80	µA	V_{CC} = MAX, V_{IN} = 2.7 V	
		J, K Clear Clock			0.1 0.3 0.4	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current	J, K Clear, Clock			−0.4 −0.8	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current				6.0	mA	V_{CC} = MAX	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C, V_{CC} = 5.0 V)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions
f_{MAX}	Maximum Clock Frequency	30	45		MHz	V_{CC} = 5.0 V C_L = 15 pF
t_{PLH} t_{PHL}	Clock, Clear, Set to Output		15	20	ns	
			15	20	ns	

AC SETUP REQUIREMENTS (T_A = 25°C)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions
t_W	Clock Pulse Width High	20			ns	V_{CC} = 5.0 V
t_W	Clear Set Pulse Width	25			ns	
t_s	Setup Time	20			ns	
t_h	Hold Time	0			ns	

เอกสารนี้จัดทำขึ้นสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

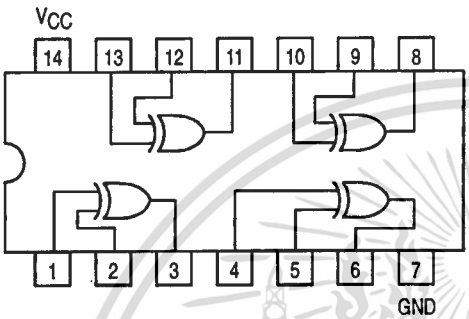
MOTOROLA

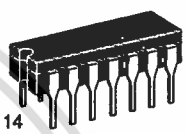
SN54/74LS86

QUAD 2-INPUT EXCLUSIVE OR GATE

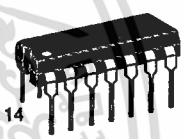
QUAD 2-INPUT EXCLUSIVE OR GATE

LOW POWER SCHOTTKY





J SUFFIX
CERAMIC
CASE 632-08



N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

TRUTH TABLE

IN		OUT
A	B	Z
L	L	L
L	H	H
H	L	H
H	H	L

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54/74LS86

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Limits Typ	Limits Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current				40	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.2	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current				−0.8	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current				10	mA	V_{CC} = MAX	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter	Limits Min	Limits Typ	Limits Max	Unit	Test Conditions
t_{PLH} t_{PHL}	Propagation Delay, Other Input LOW		12 10	23 17	ns	V_{CC} = 5.0 V C_L = 15 pF
t_{PLH} t_{PHL}	Propagation Delay, Other Input HIGH		20 13	30 22	ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

SN54/74LS95B

4-BIT SHIFT REGISTER

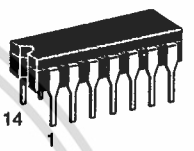
4-BIT SHIFT REGISTER

LOW POWER SCHOTTKY

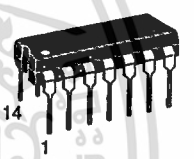
The SN54/74LS95B is a 4-Bit Shift Register with serial and parallel synchronous operating modes. The serial shift right and parallel load are activated by separate clock inputs which are selected by a mode control input. The data is transferred from the serial or parallel D inputs to the Q outputs synchronous with the HIGH to LOW transition of the appropriate clock input.

The LS95B is fabricated with the Schottky barrier diode process for high speed and is completely compatible with all Motorola TTL families.

- Synchronous, Expandable Shift Right
- Synchronous Shift Left Capability
- Synchronous Parallel Load
- Separate Shift and Load Clock Inputs
- Input Clamp Diodes Limit High Speed Termination Effects



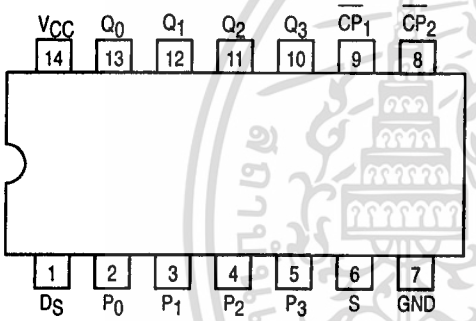
J SUFFIX
CERAMIC
CASE 632-08



N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

CONNECTION DIAGRAM DIP (TOP VIEW)



NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

V_{CC} = PIN 14
GND = PIN 7

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

PIN NAMES

		LOADING (Note a)	
		HIGH	LOW
S	Mode Control Input	0.5 U.L.	0.25 U.L.
D_S	Serial Data Input	0.5 U.L.	0.25 U.L.
$\overline{P_0}$–$\overline{P_3}$	Parallel Data Inputs	0.5 U.L.	0.25 U.L.
$\overline{CP_1}$	Serial Clock (Active LOW Going Edge) Input	0.5 U.L.	0.25 U.L.
CP_2	Parallel Clock (Active LOW Going Edge) Input	0.5 U.L.	0.25 U.L.
Q_0–Q_3	Parallel Outputs (Note b)	10 U.L.	5 (2.5) U.L.

NOTES:
a. 1 TTL Unit Load (U.L.) = 40 µA HIGH/1.6 mA LOW.
b. The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.

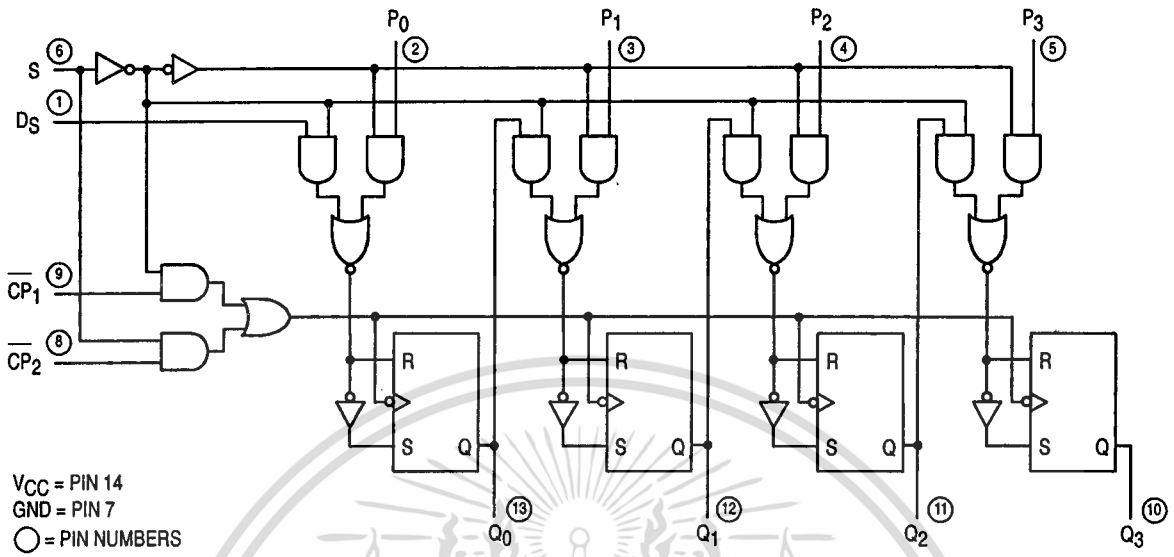
GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

เอกสารนี้จัดทำขึ้นสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54/74LS95B

LOGIC DIAGRAM



FUNCTIONAL DESCRIPTION

The LS95B is a 4-Bit Shift Register with serial and parallel synchronous operating modes. It has a Serial (D_S) and four Parallel (P_0–P_3) Data inputs and four Parallel Data outputs (Q_0–Q_3). The serial or parallel mode of operation is controlled by a Mode Control input (S) and two Clock Inputs (CP_1) and (CP_2). The serial (right-shift) or parallel data transfers occur synchronous with the HIGH to LOW transition of the selected clock input.

When the Mode Control input (S) is HIGH, $\overline{CP_2}$ is enabled. A HIGH to LOW transition on enabled CP_2 transfers parallel data from the P_0–P_3 inputs to the Q_0–Q_3 outputs.

When the Mode Control input (S) is LOW, CP_1 is enabled. A HIGH to LOW transition on enabled $\overline{CP_1}$ transfers the data from Serial input (D_S) to Q_0 and shifts the data in Q_0 to Q_1, Q_1 to Q_2, and Q_2 to Q_3 respectively (right-shift). A left-shift is accomplished by externally connecting Q_3 to P_2, Q_2 to P_1, and Q_1 to P_0, and operating the LS95B in the parallel mode (S = HIGH).

For normal operation, S should only change states when both Clock inputs are LOW. However, changing S from LOW to HIGH while CP_2 is HIGH, or changing S from HIGH to LOW while CP_1 is HIGH and CP_2 is LOW will not cause any changes on the register outputs.

MODE SELECT — TRUTH TABLE

OPERATING MODE	INPUTS					OUTPUTS			
	S	CP_1	CP_2	D_S	P_n	Q_0	Q_1	Q_2	Q_3
Shift	L	↓	X	l	X	L	q_0	q_1	q_2
	L	↓	X	h	X	H	q_0	q_1	q_2
Parallel Load	H	X	↓	X	P_n	P_0	P_1	P_2	P_3
Mode Change	↓	L	L	X	X	No Change			
	↑	L	L	X	X	No Change			
	↓	H	L	X	X	No Change			
	↑	H	L	X	X	Undetermined			
	↓	L	H	X	X	Undetermined			
	↑	L	H	X	X	No Change			
	↓	H	H	X	X	Undetermined			
	↑	H	H	X	X	No Change			

L = LOW Voltage Level
H = HIGH Voltage Level
X = Don't Care
l = LOW Voltage Level one set-up time prior to the HIGH to LOW clock transition.
h = HIGH Voltage Level one set-up time prior to the HIGH to LOW clock transition.
P_n = Lower case letters indicate the state of the referenced input (or output) one set-up time prior to the HIGH to LOW clock transition.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และไม่อนุญาตให้ดัดแปลงเนื้อหา รวมทั้งไม่อนุญาตให้นำไปเผยแพร่ต่อ ในทุกรูปแบบ ทั้งที่มีการนำไปใช้

SN54/74LS95B

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current				20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input HIGH Current				−0.4	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current				21	mA	V_{CC} = MAX	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C, V_{CC} = 5.0 V)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions
f_{MAX}	Maximum Clock Frequency	25	36		MHz	V_{CC} = 5.0 V C_L = 15 pF
t_{PLH} t_{PHL}	CP to Output		18	27	ns	
			21	32	ns	

AC SETUP REQUIREMENTS (T_A = 25°C, V_{CC} = 5.0 V)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions
t_W	CP Pulse Width	20			ns	V_{CC} = 5.0 V
t_s	Data Setup Time	20			ns	
t_h	Data Hold Time	20			ns	
t_s	Mode Control Setup Time	20			ns	
t_h	Mode Control Hold Time	20			ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54/74LS95B

DESCRIPTION OF TERMS

SETUP TIME(ts) —is defined as the minimum time required for the correct logic level to be present at the logic input prior to the clock transition from HIGH to LOW in order to be recognized and transferred to the outputs.

HOLD TIME (th) — is defined as the minimum time following the clock transition from HIGH to LOW that the logic level must be maintained at the input in order to ensure continued recognition. A negative HOLD TIME indicates that the correct logic level may be released prior to the clock transition from HIGH to LOW and still be recognized.

AC WAVEFORMS

The shaded areas indicate when the input is permitted to change for predictable output performance.

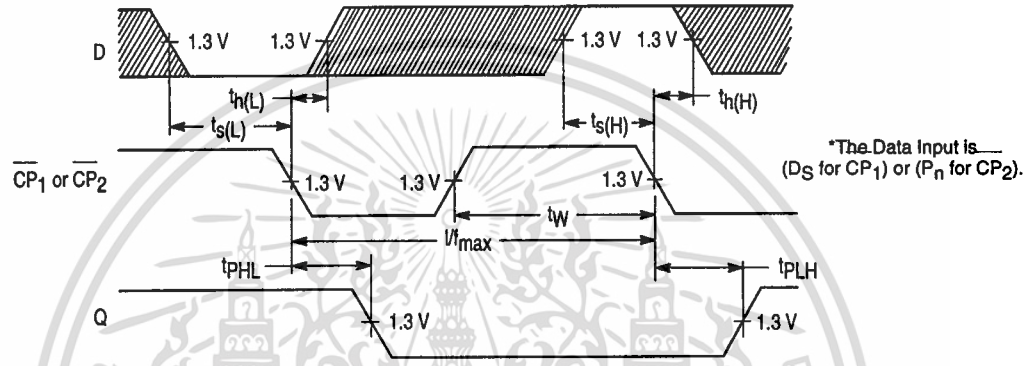


Figure 1

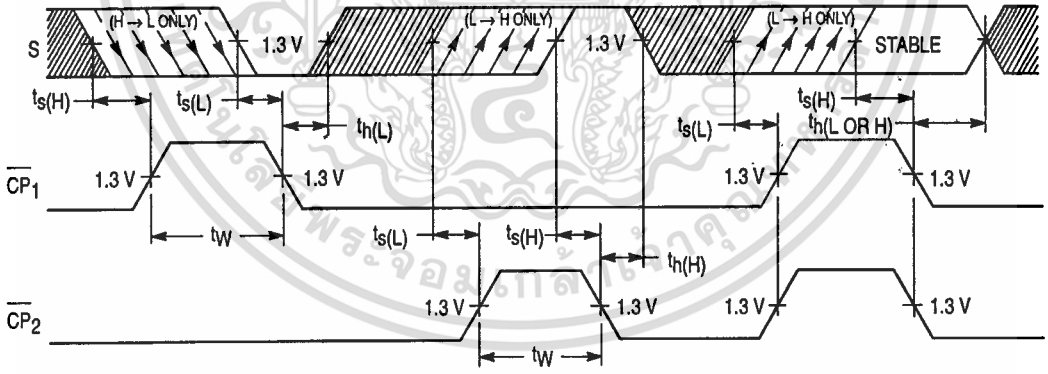


Figure 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

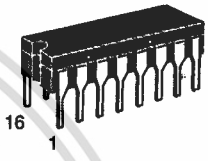
SN54/74LS112A

DUAL JK NEGATIVE EDGE-TRIGGERED FLIP-FLOP

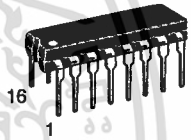
The SN54/74LS112A dual JK flip-flop features individual J, K, clock, and asynchronous set and clear inputs to each flip-flop. When the clock goes HIGH, the inputs are enabled and data will be accepted. The logic level of the J and K inputs may be allowed to change when the clock pulse is HIGH and the bistable will perform according to the truth table as long as minimum set-up and hold time are observed. Input data is transferred to the outputs on the negative-going edge of the clock pulse.

DUAL JK NEGATIVE EDGE-TRIGGERED FLIP-FLOP

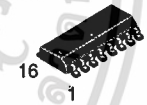
LOW POWER SCHOTTKY



J SUFFIX
CERAMIC
CASE 620-09



N SUFFIX
PLASTIC
CASE 648-08

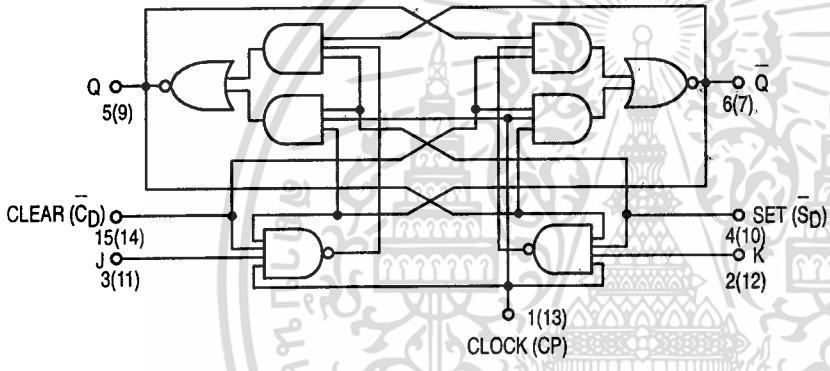


D SUFFIX
SOIC
CASE 751B-03

ORDERING INFORMATION

SN54LSXXXJ	Ceramic
SN74LSXXXN	Plastic
SN74LSXXXD	SOIC

LOGIC DIAGRAM (Each Flip-Flop)



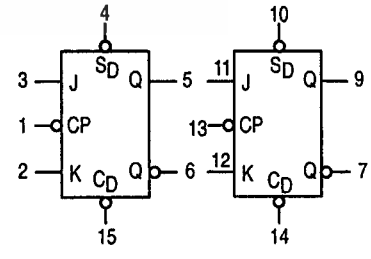
MODE SELECT — TRUTH TABLE

OPERATING MODE	INPUTS				OUTPUTS	
	S_D	C_D	J	K	Q	$\overline{Q}$
Set	L	H	X	X	H	L
Reset (Clear)	H	L	X	X	L	H
*Undetermined	L	L	X	X	H	H
Toggle	H	H	h	h	q	q
Load "0" (Reset)	H	H	l	h	L	H
Load "1" (Set)	H	H	h	l	H	L
Hold	H	H	l	l	q	q

* Both outputs will be HIGH while both S_D and C_D are LOW, but the output states are unpredictable if S_D and C_D go HIGH simultaneously.

H, h = HIGH Voltage Level
L, l = LOW Voltage Level
X = Don't Care
l, h (q) = Lower case letters indicate the state of the referenced input (or output) one set-up time prior to the HIGH to LOW clock transition.

LOGIC SYMBOL



V_{CC} = PIN 16
GND = PIN 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54/74LS112A

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current	J, K Set, Clear Clock			20 60 80	µA	V_{CC} = MAX, V_{IN} = 2.7 V	
		J, K Set, Clear Clock			0.1 0.3 0.4	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current	J, K Clear, Set, Clk			−0.4 −0.8	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current				6.0	mA	V_{CC} = MAX	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C, V_{CC} = 5.0 V)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions
f_{MAX}	Maximum Clock Frequency	30	45		MHz	V_{CC} = 5.0 V C_L = 15 pF
t_{PLH}	Propagation Delay, Clock Clear, Set to Output		15	20	ns	
t_{PHL}			15	20	ns	

AC SETUP REQUIREMENTS (T_A = 25°C, V_{CC} = 5.0 V)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions
t_W	Clock Pulse Width High	20			ns	V_{CC} = 5.0 V
t_W	Clear, Set Pulse Width	25			ns	
t_s	Setup Time	20			ns	
t_h	Hold Time	0			ns	

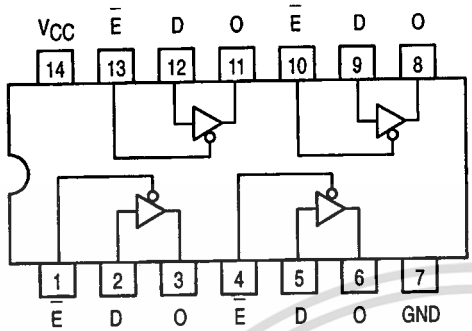
เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

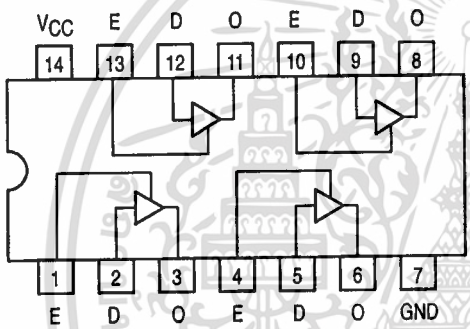
QUAD 3-STATE BUFFERS

SN54/74LS125A
SN54/74LS126A

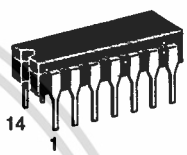
QUAD 3-STATE BUFFERS
LOW POWER SCHOTTKY



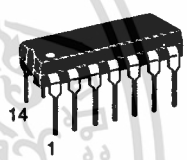
LS125A



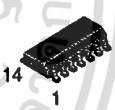
LS126A



J SUFFIX
CERAMIC
CASE 632-08



N SUFFIX
PLASTIC
CASE 646-06



D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXXJ	Ceramic
SN74LSXXXN	Plastic
SN74LSXXXD	SOIC

TRUTH TABLES

LS125A

INPUTS		OUTPUT
E	D	
L	L	L
L	H	H
H	X	(Z)

LS126A

INPUTS		OUTPUT
E	D	
H	L	L
H	H	H
L	X	(Z)

L = LOW Voltage Level
H = HIGH Voltage Level
X = Don't Care
(Z) = High Impedance (off)

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54 74			−1.0 −2.6	mA
I_{OL}	Output Current — Low	54 74			12 24	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54/74LS125A • SN54/74LS126A

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Limits Typ	Limits Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.4			V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.4			V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 12 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 24 mA	
I_{OZH}	Output Off Current HIGH				20	μA	V_{CC} = MAX, V_{OUT} = 2.4 V	
I_{OZL}	Output Off Current LOW				−20	μA	V_{CC} = MAX, V_{OUT} = 0.4 V	
I_{IH}	Input HIGH Current				20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current				−0.4	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−40		−225	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current	LS125A			20	mA	V_{CC} = MAX	V_{IN} = 0 V, V_E = 4.5 V
		LS126A			22			V_{IN} = 0 V, V_E = 0 V

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter		Limits Min	Limits Typ	Limits Max	Unit	Test Conditions	
t_{PLH}	Propagation Delay, Data to Output	LS125A		9.0	15	ns	Figure 2	V_{CC} = 5.0 V, C_L = 45 pF, R_L = 667 Ω
t_{PLH}		LS126A		9.0	15			
t_{PHL}		LS125A		7.0	18			
t_{PHL}		LS126A		8.0	18			
t_{PZH}	Output Enable Time to HIGH Level	LS125A		12	20	ns	Figures 4, 5	
		LS126A		16	25			
t_{PZL}	Output Enable Time to LOW Level	LS125A		15	25	ns	Figures 3, 5	
		LS126A		21	35			
t_{PHZ}	Output Disable Time from HIGH Level	LS125A			20	ns	Figures 4, 5	V_{CC} = 5.0 V, C_L = 5.0 pF, R_L = 667 Ω
		LS126A			25			
t_{PLZ}	Output Disable Time from LOW Level	LS125A			20	ns	Figures 3, 5	
		LS126A			25			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

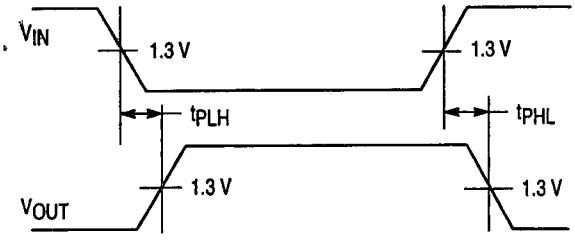


Figure 1

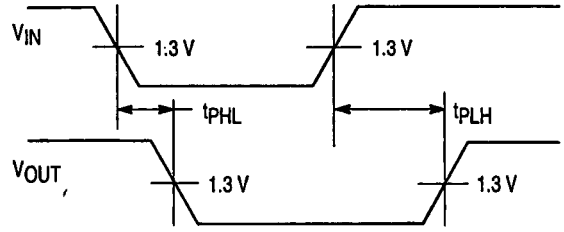


Figure 2

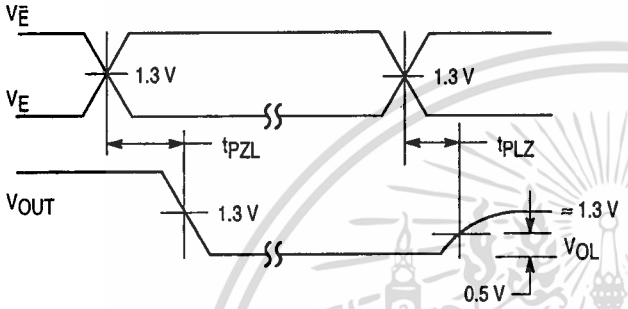


Figure 3

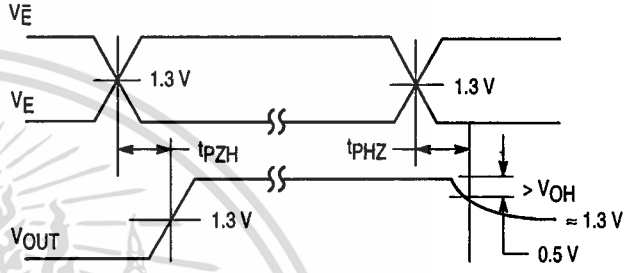


Figure 4

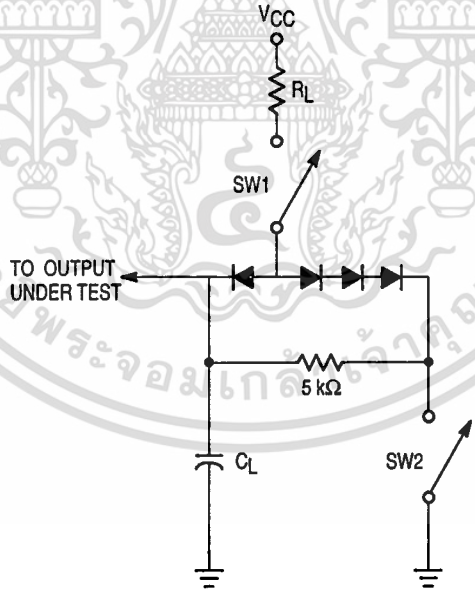


Figure 5

SWITCH POSITIONS

SYMBOL	SW1	SW2
t_{PZH}	Open	Closed
t_{PZL}	Closed	Open
t_{PLZ}	Closed	Closed
t_{PHZ}	Closed	Closed

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

8-BIT PARALLEL-TO-SERIAL SHIFT REGISTER

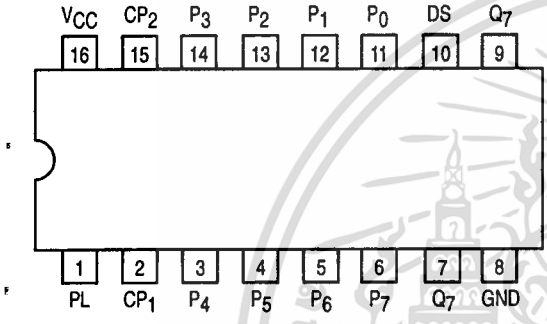
SN54/74LS165

8-BIT PARALLEL-TO-SERIAL SHIFT REGISTER

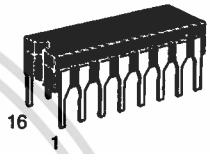
LOW POWER SCHOTTKY

The SN54/74LS165 is an 8-bit parallel load or serial-in register with complementary outputs available from the last stage. Parallel inputing occurs asynchronously when the Parallel Load (PL) input is LOW. With PL HIGH, serial shifting occurs on the rising edge of the clock; new data enters via the Serial Data (DS) input. The 2-input OR clock can be used to combine two independent clock sources, or one input can act as an active LOW clock enable.

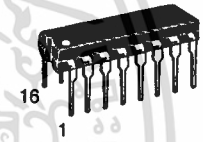
CONNECTION DIAGRAM DIP (TOP VIEW)



NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.



J SUFFIX
CERAMIC
CASE 620-09



N SUFFIX
PLASTIC
CASE 648-08

D SUFFIX
SOIC
CASE 751B-03

PIN NAMES

		LOADING (Note a) HIGH	LOW
CP_1, CP_2	Clock (LOW-to-HIGH Going Edge) Inputs	0.5 U.L.	0.25 U.L.
$\overline{DS}$	Serial Data Input	0.5 U.L.	0.25 U.L.
PL	Asynchronous Parallel Load (Active LOW) Input	1.5 U.L.	0.75 U.L.
P_0-P_7	Parallel Data Inputs	0.5 U.L.	0.25 U.L.
Q_7	Serial Output from Last State (Note b)	10 U.L.	5 (2.5) U.L.
$\overline{Q}_7$	Complementary Output (Note b)	10 U.L.	5 (2.5) U.L.

NOTES:
a) 1 TTL Unit Load (U.L.) = 40 µA HIGH/1.6 mA LOW.
b) The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.

ORDERING INFORMATION

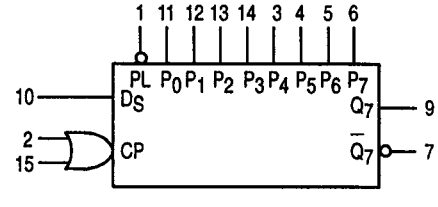
SN54LSXXXJ	Ceramic
SN74LSXXXN	Plastic
SN74LSXXXD	SOIC

TRUTH TABLE

PL	CP 1	CP 2	CONTENTS Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	RESPONSE
L	X	X	P_0	P_1	P_2	P_3	P_4	P_5	P_6	P_7	Parallel Entry
H	L	↓	D_S	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Right Shift
H	H	↓	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	No Change
H	↓	L	D_S	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Right Shift
H	↓	H	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	No Change

H = HIGH Voltage Level
L = LOW Voltage Level
X = Immaterial

LOGIC SYMBOL

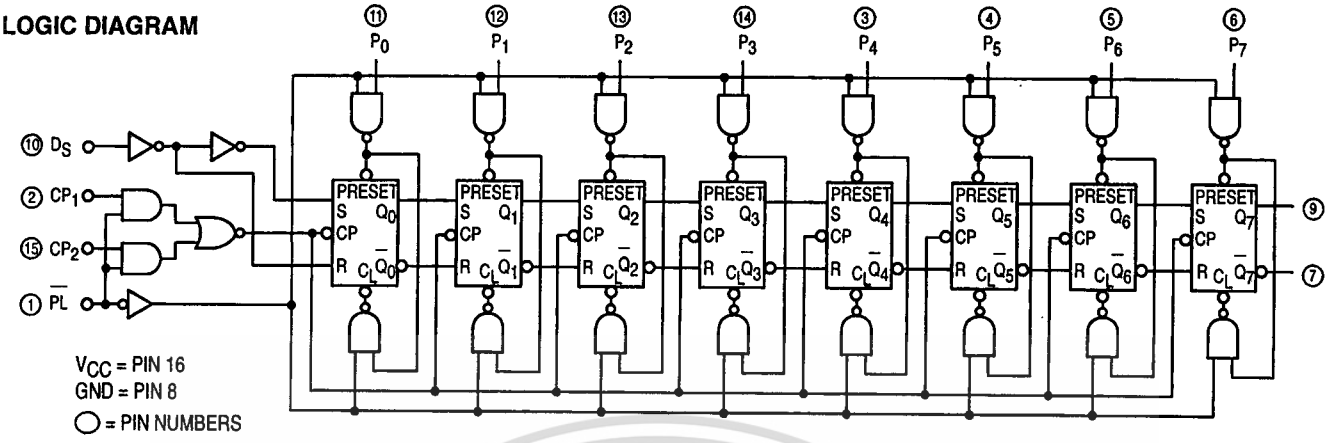


V_{CC} = PIN 16
GND = PIN 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54/74LS165

LOGIC DIAGRAM



FUNCTIONAL DESCRIPTION

The SN54/74LS165 contains eight clocked master/slave RS flip-flops connected as a shift register, with auxiliary gating to provide overriding asynchronous parallel entry. Parallel data enters when the PL signal is LOW. The parallel data can change while PL is LOW, provided that the recommended set-up and hold times are observed.

For clock operation, PL must be HIGH. The two clock inputs perform identically; one can be used as a clock inhibit by applying a HIGH signal. To avoid double clocking, however, the inhibit signal should only go HIGH while the clock is HIGH. Otherwise, the rising inhibit signal will cause the same response as a rising clock edge. The flip-flops are edge-triggered for serial operations. The serial input data can change at any time, provided only that the recommended setup and hold times are observed, with respect to the rising edge of the clock.

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54/74LS165

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current Other Inputs PL Input				20 60	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
	Other Inputs PL Input				0.1 0.3	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current Other Inputs PL Input				−0.4 −1.2	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current				36	mA	V_{CC} = MAX	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions
f_{MAX}	Maximum Input Clock Frequency	25	35		MHz	V_{CC} = 5.0 V C_L = 15 pF
t_{PLH} t_{PHL}	Propagation Delay PL to Output		22 22	35 35	ns	
t_{PLH} t_{PHL}	Propagation Delay Clock to Output		27 28	40 40	ns	
t_{PLH} t_{PHL}	Propagation Delay P_7 to Q_7		14 21	25 30	ns	
t_{PLH} t_{PHL}	Propagation Delay P_7 to Q_7		21 16	30 25	ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54/74LS165

AC SETUP REQUIREMENTS (T_A = 25°C)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
t_W	CP Clock Pulse Width	25			ns	V_{CC} = 5.0 V
t_W	PL Pulse Width	15			ns	
t_s	Parallel Data Setup Time	10			ns	
t_s	Serial Data Setup Time	20			ns	
t_s	CP_1 to CP_2 Setup Time[1]	30			ns	
t_h	Hold Time	0			ns	
t_{rec}	Recovery Time, $\overline{PL}$ to CP	45			ns	

[1] The role of CP_1, and CP_2 in an application may be interchanged.

DEFINITION OF TERMS:

SETUP TIME (t_s) — is defined as the minimum time required for the correct logic level to be present at the logic input prior to the clock transition from LOW-to-HIGH in order to be recognized and transferred to the outputs.

HOLD TIME (t_h) — is defined as the minimum time following the clock transition from LOW-to-HIGH that the logic level must be maintained at the input in order to ensure continued recognition. A negative hold time indicates that the correct logic level may be released prior to the clock transition from LOW-to-HIGH and still be recognized.

RECOVERY TIME (t_{rec}) — is defined as the minimum time required between the end of the PL pulse and the clock transition from LOW-to-HIGH in order to recognize and transfer loaded Data to the Q outputs.

AC WAVEFORMS

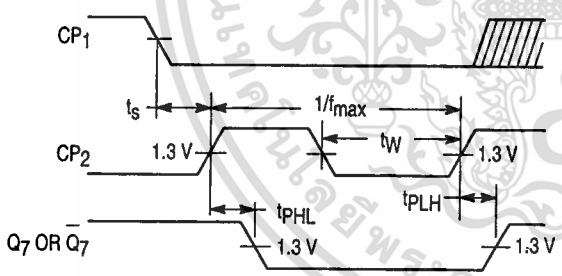


Figure 1

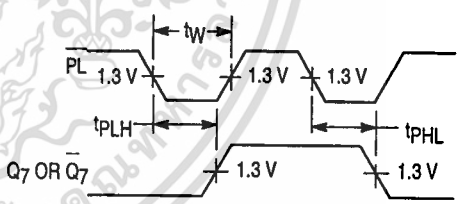


Figure 2

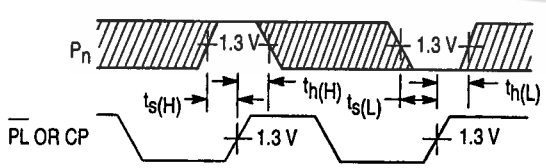


Figure 3

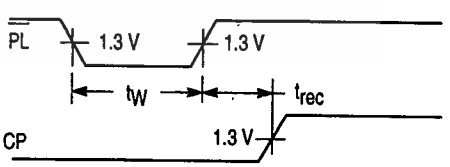


Figure 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by MC7800/D

MOTOROLA

MC7800, MC7800A, LM340, LM340A Series

Three-Terminal Positive Voltage Regulators

THREE–TERMINAL POSITIVE FIXED VOLTAGE REGULATORS

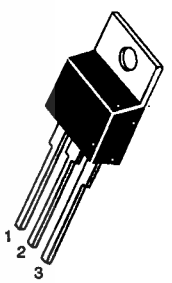
SEMICONDUCTOR TECHNICAL DATA

These voltage regulators are monolithic integrated circuits designed as fixed–voltage regulators for a wide variety of applications including local, on–card regulation. These regulators employ internal current limiting, thermal shutdown, and safe–area compensation. With adequate heatsinking they can deliver output currents in excess of 1.0 A. Although designed primarily as a fixed voltage regulator, these devices can be used with external components to obtain adjustable voltages and currents.

- Output Current in Excess of 1.0 A
- No External Components Required
- Internal Thermal Overload Protection
- Internal Short Circuit Current Limiting
- Output Transistor Safe–Area Compensation
- Output Voltage Offered in 2% and 4% Tolerance
- Available in Surface Mount D^2PAK and Standard 3–Lead Transistor Packages
- Previous Commercial Temperature Range has been Extended to a Junction Temperature Range of –40°C to +125°C

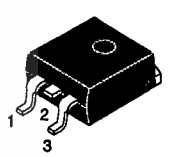
T SUFFIX
PLASTIC PACKAGE
CASE 221A

Heatsink surface connected to Pin 2.



Pin 1. Input
2. Ground
3. Output

D2T SUFFIX
PLASTIC PACKAGE
CASE 936
(D^2PAK)

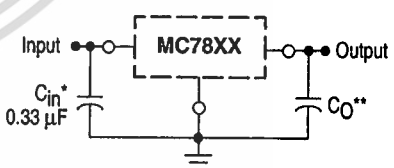


Heatsink surface (shown as terminal 4 in case outline drawing) is connected to Pin 2.

DEVICE TYPE/NOMINAL OUTPUT VOLTAGE

MC7805AC LM340AT–5 MC7805C LM340T–5	5.0 V	MC7812C LM340T–12	12 V
MC7806AC MC7806C	6.0 V	MC7815AC LM340AT–15 MC7815C LM340T–15	15 V
MC7808AC MC7808C	8.0 V	MC7818AC MC7818C	18 V
MC7809C	9.0 V	MC7824AC MC7824C	24 V
MC7812AC LM340AT–12	12 V		

STANDARD APPLICATION



A common ground is required between the input and the output voltages. The input voltage must remain typically 2.0 V above the output voltage even during the low point on the input ripple voltage.

XX, These two digits of the type number indicate nominal voltage.

* C_{in} is required if regulator is located an appreciable distance from power supply filter.

** C_O is not needed for stability; however, it does improve transient response. Values of less than 0.1 µF could cause instability.

ORDERING INFORMATION

Device	Output Voltage Tolerance	Operating Temperature Range	Package
MC78XXACT	2%	T_J = –40° to +125°C	Insertion Mount
LM340AT–XX			
MC78XXACD2T			Surface Mount
MC78XXCT	4%		Insertion Mount
LM340T–XX			
MC78XXCD2T			Surface Mount

XX indicates nominal voltage.

© Motorola, Inc. 1997

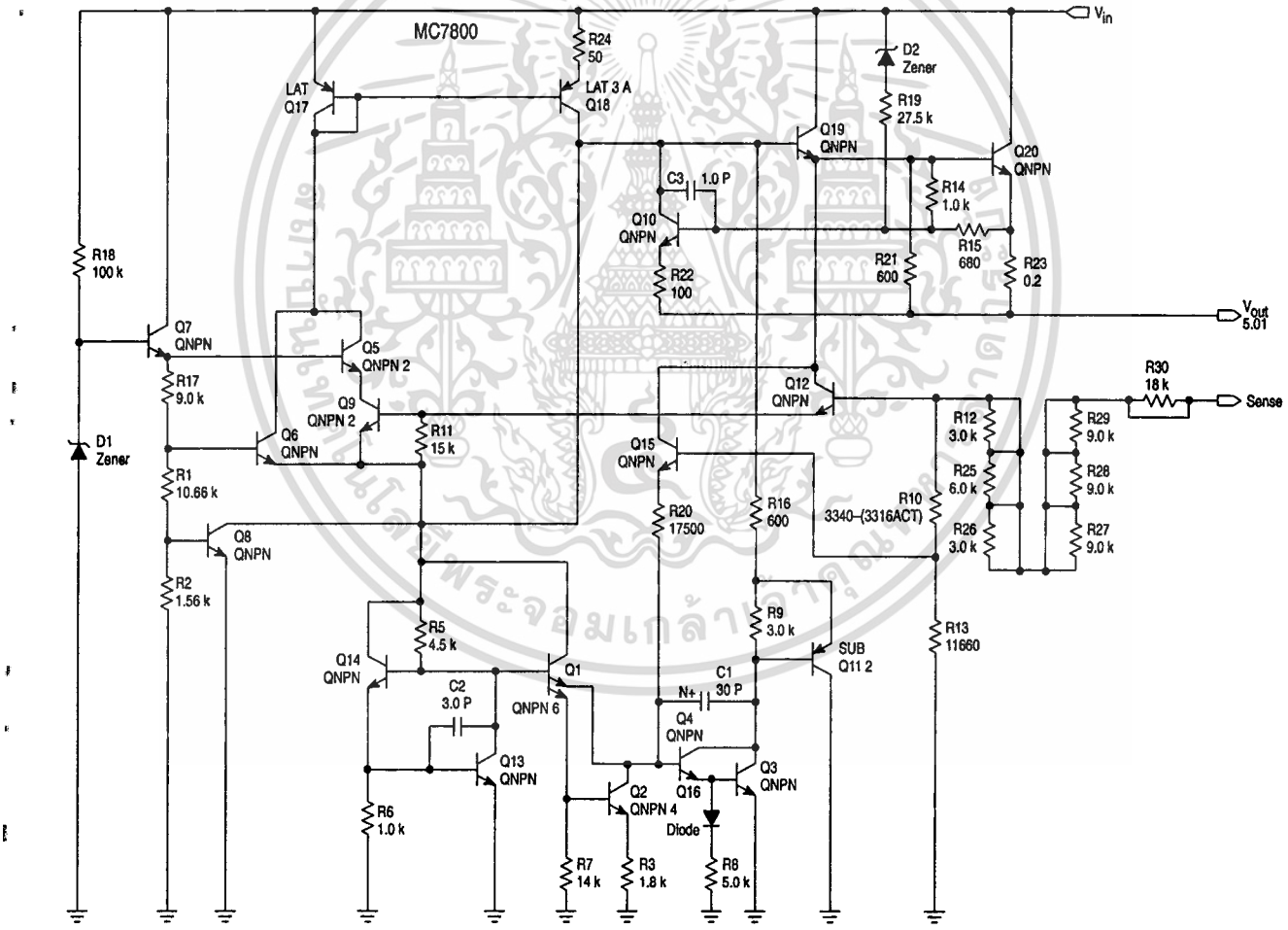
MC7800, MC7800A, LM340, LM340A Series

MAXIMUM RATINGS (T_A = 25°C, unless otherwise noted.)

Rating	Symbol	Value	Unit
Input Voltage (5.0 – 18 V) (24 V)	V_I	35 40	Vdc
Power Dissipation Case 221A T_A = 25°C Thermal Resistance, Junction–to–Ambient Thermal Resistance, Junction–to–Case Case 936 (D^2PAK) T_A = 25°C Thermal Resistance, Junction–to–Ambient Thermal Resistance, Junction–to–Case	 P_D $R_{\theta JA}$ $R_{\theta JC}$ P_D $R_{\theta JA}$ $R_{\theta JA}$	 Internally Limited 65 5.0 Internally Limited See Figure 13 5.0	 W °C/W °C/W W °C/W °C/W
Storage Junction Temperature Range	T_{stg}	–65 to +150	°C
Operating Junction Temperature	T_J	+150	°C

NOTE: ESD data available upon request.

Representative Schematic Diagram



This device contains 22 active transistors.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC7800, MC7800A, LM340, LM340A Series

ELECTRICAL CHARACTERISTICS (V_{in} = 10 V, I_O = 500 mA, T_J = T_{low} to T_{high} [Note 1], unless otherwise noted.)

Characteristic	Symbol	MC7805C/LM340T–5			Unit
		Min	Typ	Max	
Output Voltage (T_J = 25°C)	V_O	4.8	5.0	5.2	Vdc
Output Voltage (5.0 mA ≤ I_O ≤ 1.0 A, P_D ≤ 15 W) 7.0 Vdc ≤ V_{in} ≤ 20 Vdc 8.0 Vdc ≤ V_{in} ≤ 20 Vdc	V_O	 4.75 –	 5.0 –	 5.25 –	Vdc
Line Regulation (Note 2) 7.5 Vdc ≤ V_{in} ≤ 20 Vdc, 1.0 A 8.0 Vdc ≤ V_{in} ≤ 12 Vdc	Reg_{line}	 – –	 0.5 0.8	 20 10	mV
Load Regulation (Note 2) 5.0 mA ≤ I_O ≤ 1.0 A 5.0 mA ≤ I_O ≤ 1.5 A (T_A = 25°C)	Reg_{load}	 – -	 1.3 1.3	 25 25	mV
Quiescent Current	I_B	–	3.2	6.5	mA
Quiescent Current Change 7.0 Vdc ≤ V_{in} ≤ 25 Vdc 5.0 mA ≤ I_O ≤ 1.0 A (T_A = 25°C)	ΔI_B	 – –	 0.3 0.08	 1.0 0.8	mA
Ripple Rejection 8.0 Vdc ≤ V_{in} ≤ 18 Vdc, f = 120 Hz	RR	62	83	–	dB
Dropout Voltage (I_O = 1.0 A, T_J = 25°C)	$V_I - V_O$	–	2.0	–	Vdc
Output Noise Voltage (T_A = 25°C) 10 Hz ≤ f ≤ 100 kHz	V_n	–	10	–	μV/V_O
Output Resistance f = 1.0 kHz	r_O	–	0.9	–	mΩ
Short Circuit Current Limit (T_A = 25°C) V_{in} = 35 Vdc	I_{SC}	–	0.6	–	A
Peak Output Current (T_J = 25°C)	I_{max}	–	2.2	–	A
Average Temperature Coefficient of Output Voltage	TCV_O	–	–0.3	–	mV/°C

ELECTRICAL CHARACTERISTICS (V_{in} = 10 V, I_O = 1.0 A, T_J = T_{low} to T_{high} [Note 1], unless otherwise noted.)

Characteristic	Symbol	MC7805AC/LM340AT–5			Unit
		Min	Typ	Max	
Output Voltage (T_J = 25°C)	V_O	4.9	5.0	5.1	Vdc
Output Voltage (5.0 mA ≤ I_O ≤ 1.0 A, P_D ≤ 15 W) 7.5 Vdc ≤ V_{in} ≤ 20 Vdc	V_O	4.8	5.0	5.2	Vdc
Line Regulation (Note 2) 7.5 Vdc ≤ V_{in} ≤ 25 Vdc, I_O = 500 mA 8.0 Vdc ≤ V_{in} ≤ 12 Vdc, I_O = 1.0 A 8.0 Vdc ≤ V_{in} ≤ 12 Vdc, I_O = 1.0 A, T_J = 25°C 7.3 Vdc ≤ V_{in} ≤ 20 Vdc, I_O = 1.0 A, T_J = 25°C	Reg_{line}	 – – – –	 0.5 0.8 1.3 4.5	 10 12 4.0 10	mV
Load Regulation (Note 2) 5.0 mA ≤ I_O ≤ 1.5 A, T_J = 25°C 5.0 mA ≤ I_O ≤ 1.0 A 250 mA ≤ I_O ≤ 750 mA	Reg_{load}	 – – –	 1.3 0.8 0.53	 25 25 15	mV
Quiescent Current	I_B	–	3.2	6.0	mA
Quiescent Current Change 8.0 Vdc ≤ V_{in} ≤ 25 Vdc, I_O = 500 mA 7.5 Vdc ≤ V_{in} ≤ 20 Vdc, T_J = 25°C 5.0 mA ≤ I_O ≤ 1.0 A	ΔI_B	 – – –	 0.3 – 0.08	 0.8 0.8 0.5	mA
Ripple Rejection 8.0 Vdc ≤ V_{in} ≤ 18 Vdc, f = 120 Hz, I_O = 500 mA	RR	68	83	–	dB
Dropout Voltage (I_O = 1.0 A, T_J = 25°C)	$V_I - V_O$	–	2.0	–	Vdc

NOTES: 1. T_{low} = –40°C for MC78XXAC, C, LM340AT–XX, LM340T–XX T_{high} = +125°C for MC78XXAC, C, LM340AT–XX, LM340T–XX

2. Load and line regulation are specified at constant junction temperature. Changes in V_O due to heating effects must be taken into account separately. Pulse testing with low duty cycle is used.

Order this document by MC7900/D

MOTOROLA

MC7900 Series

Three-Terminal Negative Voltage Regulators

THREE–TERMINAL NEGATIVE FIXED VOLTAGE REGULATORS

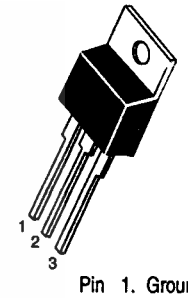
The MC7900 series of fixed output negative voltage regulators are intended as complements to the popular MC7800 series devices. These negative regulators are available in the same seven–voltage options as the MC7800 devices. In addition, one extra voltage option commonly employed in MECL systems is also available in the negative MC7900 series.

Available in fixed output voltage options from −5.0 V to −24 V, these regulators employ current limiting, thermal shutdown, and safe–area compensation – making them remarkably rugged under most operating conditions. With adequate heatsinking they can deliver output currents in excess of 1.0 A.

- No External Components Required
- Internal Thermal Overload Protection
- Internal Short Circuit Current Limiting
- Output Transistor Safe–Area Compensation
- Available in 2% Voltage Tolerance (See Ordering Information)

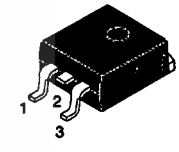
T SUFFIX
PLASTIC PACKAGE
CASE 221A

Heatsink surface connected to Pin 2.



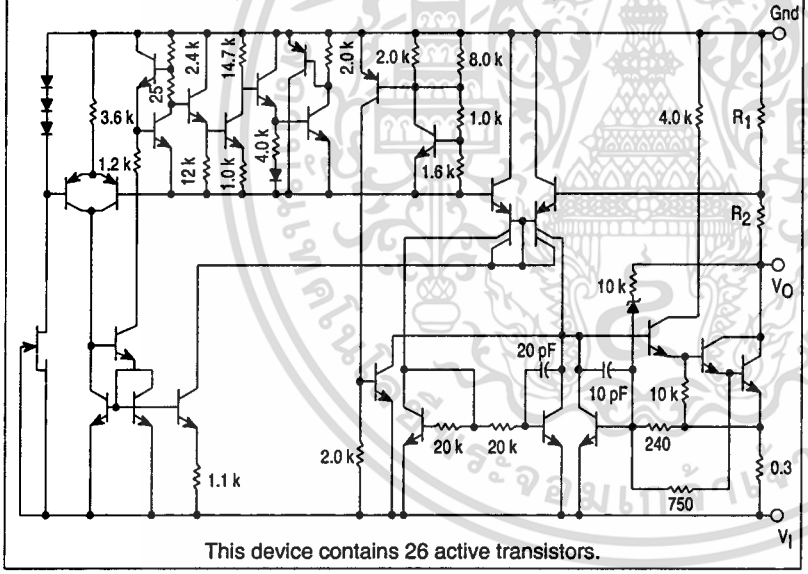
Pin 1. Ground
2. Input
3. Output

D2T SUFFIX
PLASTIC PACKAGE
CASE 936
(D^2PAK)



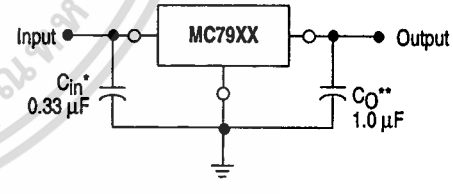
Heatsink surface (shown as terminal 4 in case outline drawing) is connected to Pin 2.

Representative Schematic Diagram



This device contains 26 active transistors.

STANDARD APPLICATION



A common ground is required between the input and the output voltages. The input voltage must remain typically 2.0 V above more negative even during the high point of the input ripple voltage.

XX, These two digits of the type number indicate nominal voltage.
* C_{in} is required if regulator is located an appreciable distance from power supply filter.
** C_O improve stability and transient response.

ORDERING INFORMATION

Device	Output Voltage Tolerance	Operating Temperature Range	Package
MC79XXACD2T	2%	T_J = 0° to +125°C	Surface Mount
MC79XXCD2T	4%		
MC79XXACT	2%		Insertion Mount
MC79XXCT	4%		
MC79XXBD2T	4%	T_J = −40° to +125°C	Surface Mount
MC79XXBT			Insertion Mount

XX indicates nominal voltage.

DEVICE TYPE/NOMINAL OUTPUT VOLTAGE

MC7905	5.0 V	MC7912	12 V
MC7905.2	5.2 V	MC7915	15 V
MC7906	6.0 V	MC7918	28 V
MC7908	8.0 V	MC7924	24 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

© Motorola, Inc. 1996

MC7900

MAXIMUM RATINGS (T_A = +25°C, unless otherwise noted.)

Rating	Symbol	Value	Unit
Input Voltage (−5.0 V ≥ V_O ≥ −18 V) (24 V)	V_I	−35 −40	Vdc
Power Dissipation Case 221A T_A = +25°C Thermal Resistance, Junction–to–Ambient Thermal Resistance, Junction–to–Case Case 936 (D^2PAK) T_A = +25°C Thermal Resistance, Junction–to–Ambient Thermal Resistance, Junction–to–Case	 P_D θ_{JA} θ_{JC} P_D θ_{JA} θ_{JC}	 Internally Limited 65 5.0 Internally Limited 70 5.0	 W °C/W °C/W W °C/W °C/W
Storage Junction Temperature Range	T_{stg}	−65 to +150	°C
Junction Temperature	T_J	+150	°C

THERMAL CHARACTERISTICS

Characteristics	Symbol	Max	Unit
Thermal Resistance, Junction–to–Ambient	$R_{\theta JA}$	65	°C/W
Thermal Resistance, Junction–to–Case	$R_{\theta JC}$	5.0	°C/W

MC7905C

ELECTRICAL CHARACTERISTICS (V_I = −10 V, I_O = 500 mA, 0°C < T_J < +125°C, unless otherwise noted.)

Characteristics	Symbol	Min	Typ	Max	Unit
Output Voltage (T_J = +25°C)	V_O	−4.8	−5.0	−5.2	Vdc
Line Regulation (Note 1) (T_J = +25°C, I_O = 100 mA) −7.0 Vdc ≥ V_I ≥ −25 Vdc −8.0 Vdc ≥ V_I ≥ −12 Vdc (T_J = +25°C, I_O = 500 mA) −7.0 Vdc ≥ V_I ≥ −25 Vdc −8.0 Vdc ≥ V_I ≥ −12 Vdc	Reg_{line}	 – – – –	 7.0 2.0 35 8.0	 50 25 100 50	mV
Load Regulation, T_J = +25°C (Note 1) 5.0 mA ≤ I_O ≤ 1.5 A 250 mA ≤ I_O ≤ 750 mA	Reg_{load}	 – –	 11 4.0	 100 50	mV
Output Voltage −7.0 Vdc ≥ V_I ≥ −20 Vdc, 5.0 mA ≤ I_O ≤ 1.0 A, P ≤ 15 W	V_O	−4.75	–	−5.25	Vdc
Input Bias Current (T_J = +25°C)	I_{IB}	–	4.3	8.0	mA
Input Bias Current Change −7.0 Vdc ≥ V_I ≥ −25 Vdc 5.0 mA ≤ I_O ≤ 1.5 A	ΔI_{IB}	 – –	 – –	 1.3 0.5	mA
Output Noise Voltage (T_A = +25°C, 10 Hz ≤ f ≤ 100 kHz)	V_n	–	40	–	μV
Ripple Rejection (I_O = 20 mA, f = 120 Hz)	RR	–	70	–	dB
Dropout Voltage I_O = 1.0 A, T_J = +25°C	V_I–V_O	 –	 2.0	 –	Vdc
Average Temperature Coefficient of Output Voltage I_O = 5.0 mA, 0°C ≤ T_J ≤ +125°C	$\Delta V_O/\Delta T$	 –	 −1.0	 –	mV/°C

NOTE: 1. Load and line regulation are specified at constant junction temperature. Changes in V_O due to heating effects must be taken into account separately. Pulse testing with low duty cycle is used.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC7905AC

ELECTRICAL CHARACTERISTICS (V_I = −10 V, I_O = 500 mA, 0°C < T_J < +125°C, unless otherwise noted.)

Characteristics	Symbol	Min	Typ	Max	Unit
Output Voltage (T_J = +25°C)	V_O	−4.9	−5.0	−5.1	Vdc
Line Regulation (Note 1) −8.0 Vdc ≥ V_I ≥ −12 Vdc; I_O = 1.0 A, T_J = +25°C −8.0 Vdc ≥ V_I ≥ −12 Vdc; I_O = 1.0 A −7.5 Vdc ≥ V_I ≥ −25 Vdc; I_O = 500 mA −7.0 Vdc ≥ V_I ≥ −20 Vdc; I_O = 1.0 A, T_J = +25°C	Reg_{line}	 – – – –	 2.0 7.0 7.0 6.0	 25 50 50 50	mV
Load Regulation (Note 1) 5.0 mA ≤ I_O ≤ 1.5 A, T_J = +25°C 250 mA ≤ I_O ≤ 750 mA 5.0 mA ≤ I_O ≤ 1.0 A	Reg_{load}	 – – –	 11 4.0 9.0	 100 50 100	mV
Output Voltage −7.5 Vdc ≥ V_I ≥ −20 Vdc, 5.0 mA ≤ I_O ≤ 1.0 A, P ≤ 15 W	V_O	−4.80	–	−5.20	Vdc
Input Bias Current	I_{IB}	–	4.4	8.0	mA
Input Bias Current Change −7.5 Vdc ≥ V_I ≥ −25 Vdc 5.0 mA ≤ I_O ≤ 1.0 A 5.0 mA ≤ I_O ≤ 1.5 A, T_J = +25°C	ΔI_{IB}	 – – –	 – – –	 1.3 0.5 0.5	mA
Output Noise Voltage (T_A = +25°C, 10 Hz ≤ f ≤ 100 kHz)	V_n	–	40	–	μV
Ripple Rejection (I_O = mA, f = 120 Hz)	RR	–	70	–	dB
Dropout Voltage I_O = 1.0 A. T_J = +25°C	V_I–V_O	–	2.0	–	Vdc
Average Temperature Coefficient of Output Voltage I_O = 5.0 A, 0°C ≤ T_J ≤ +125°C	$\Delta V_O/\Delta T$	–	−1.0	–	mV/°C

MC7905.2C

ELECTRICAL CHARACTERISTICS (V_I = −10 V, I_O = 500 mA, 0°C < T_J < +125°C, unless otherwise noted.)

Characteristics	Symbol	Min	Typ	Max	Unit
Output Voltage (T_J = +25°C)	V_O	−5.0	−5.2	−5.4	Vdc
Line Regulation (Note 1) (T_J = +25°C, I_O = 100 mA) −7.2 Vdc ≥ V_I ≥ −25 Vdc −8.0 Vdc ≥ V_I ≥ −12 Vdc (T_J = +25°C, I_O = 500 mA) −7.2 Vdc ≥ V_I ≥ −25 Vdc −8.0 Vdc ≥ V_I ≥ −12 Vdc	Reg_{line}	 – – – –	 8.0 2.2 37 8.5	 52 27 105 52	mV
Load Regulation, T_J = +25°C (Note 1) 5.0 mA ≤ I_O ≤ 1.5 A 250 mA ≤ I_O ≤ 750 mA	Reg_{load}	 – –	 12 4.5	 105 52	mV
Output Voltage −7.2 Vdc ≥ V_I ≥ −20 Vdc, 5.0 mA ≤ I_O ≤ 1.0 A, P ≤ 15 W	V_O	−4.95	–	−5.45	Vdc
Input Bias Current (T_J = +25°C)	I_{IB}	–	4.3	8.0	mA
Input Bias Current Change −7.2 Vdc ≥ V_I ≥ −25 Vdc 5.0 mA ≤ I_O ≤ 1.5 A	ΔI_{IB}	 – –	 – –	 1.3 0.5	mA
Output Noise Voltage (T_A = +25°C, 10 Hz ≤ f ≤ 100 kHz)	V_n	–	42	–	μV
Ripple Rejection (I_O = 20 mA, f = 120 Hz)	RR	–	68	–	dB
Dropout Voltage I_O = 1.0 A, T_J = +25°C	V_I–V_O	–	2.0	–	Vdc
Average Temperature Coefficient of Output Voltage I_O = 5.0 mA, 0°C ≤ T_J ≤ +125°C	$\Delta V_O/\Delta T$	–	−1.0	–	mV/°C

NOTE: 1. Load and line regulation are specified at constant junction temperature. Changes in V_O due to heating effects must be taken into account separately. Pulse testing with low duty cycle is used.

เอกสารนี้จัดทำขึ้นสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by LM339/D

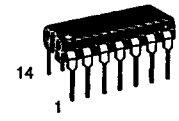
MOTOROLA

Quad Single Supply Comparators

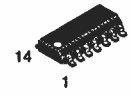
LM339, LM339A, LM239, LM239A, LM2901, M2901V, MC3302

These comparators are designed for use in level detection, low–level sensing and memory applications in consumer automotive and industrial electronic applications.

- Single or Split Supply Operation
- Low Input Bias Current: 25 nA (Typ)
- Low Input Offset Current: ±5.0 nA (Typ)
- Low Input Offset Voltage: ±1.0 mV (Typ) LM139A Series
- Input Common Mode Voltage Range to Gnd
- Low Output Saturation Voltage: 130 mV (Typ) @ 4.0 mA
- TTL and CMOS Compatible
- ESD Clamps on the Inputs Increase Reliability without Affecting Device Operation

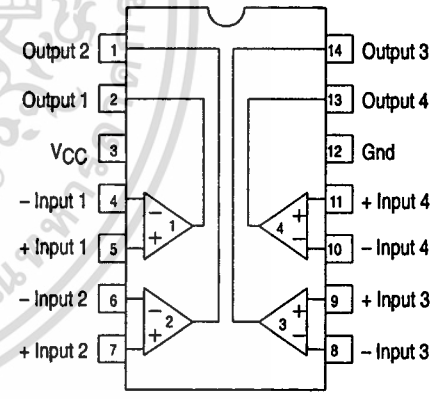


N, P SUFFIX
PLASTIC PACKAGE
CASE 646



D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO–14)

PIN CONNECTIONS



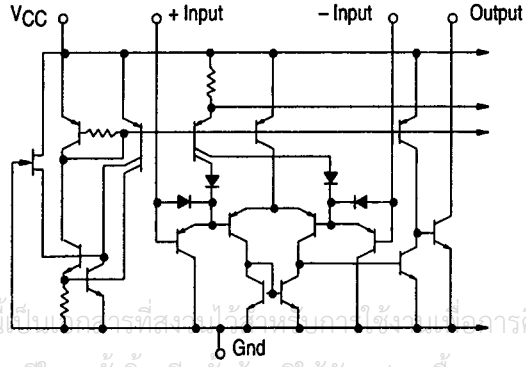
(Top View)

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Power Supply Voltage LM239, A/LM339A/LM2901, V MC3302	V_{CC}	 +36 or ±18 +30 or ±15	Vdc
Input Differential Voltage Range LM239, A/LM339A/LM2901, V MC3302	V_{IDR}	 36 30	Vdc
Input Common Mode Voltage Range	V_{ICMR}	–0.3 to V_{CC}	Vdc
Output Short Circuit to Ground (Note 1)	I_{SC}	Continuous	
Power Dissipation @ T_A = 25°C Plastic Package Derate above 25°C	P_D	 1.0 8.0	 W mW/°C
Junction Temperature	T_J	150	°C
Operating Ambient Temperature Range LM239, A MC3302 LM2901 LM2901V LM339, A	T_A	 –25 to +85 –40 to +85 –40 to +105 –40 to +125 0 to +70	°C
Storage Temperature Range	T_{stg}	–65 to +150	°C

NOTE: 1. The maximum output current may be as high as 20 mA, independent of the magnitude of V_{CC}. Output short circuits to V_{CC} can cause excessive heating and eventual destruction.

Figure 1. Circuit Schematic



NOTE: Diagram shown is for 1 comparator.

ORDERING INFORMATION

Device	Operating Temperature Range	Package
LM239D,AD LM239N,AN	T_A = 25° to +85°C	SO–14 Plastic DIP
LM339D, AD LM339N, AN	T_A = 0° to +70°C	SO–14 Plastic DIP
LM2901D LM2901N	T_A = –40° to +105°C	SO–14 Plastic DIP
LM2901VD LM2901VN	T_A = –40° to +125°C	SO–14 Plastic DIP
MC3302P	T_A = –40° to +85°C	Plastic DIP

© Motorola, Inc. 1996

LM339, LM339A, LM239, LM239A, LM2901, M2901V, MC3302

ELECTRICAL CHARACTERISTICS (V_{CC} = +5.0 Vdc, T_A = +25°C, unless otherwise noted)

Characteristic	Symbol	LM239A/339A			LM239/339			LM2901/2901V			MC3302			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage (Note 4)	V_{IO}	–	±1.0	±2.0	–	±2.0	±5.0	–	±2.0	±7.0	–	±3.0	±20	mVdc
Input Bias Current (Notes 4, 5) (Output in Analog Range)	I_{IB}	–	25	250	–	25	250	–	25	250	–	25	500	nA
Input Offset Current (Note 4)	I_{IO}	–	±5.0	±50	–	±5.0	±50	–	±5.0	±50	–	±3.0	±100	nA
Input Common Mode Voltage Range	V_{ICMR}	0	–	V_{CC} –1.5	0	–	V_{CC} –1.5	0	–	V_{CC} –1.5	0	–	V_{CC} –1.5	V
Supply Current R_L = ∞ (For All Comparators) R_L = ∞, V_{CC} = 30 Vdc	I_{CC}	 – –	 0.8 1.0	 2.0 2.5	 – –	 0.8 1.0	 2.0 2.5	 – –	 0.8 1.0	 2.0 2.5	 – –	 0.8 1.0	 2.0 2.5	mA
Voltage Gain R_L ≥ 15 kΩ, V_{CC} = 15 Vdc	A_{VOL}	50	200	–	50	200	–	25	100	–	25	100	–	V/mV
Large Signal Response Time V_I = TTL Logic Swing, V_{ref} = 1.4 Vdc, V_{RL} = 5.0 Vdc, R_L = 5.1 kΩ	–	–	300	–	–	300	–	–	300	–	–	300	–	ns
Response Time (Note 6) V_{RL} = 5.0 Vdc, R_L = 5.1 kΩ	–	–	1.3	–	–	1.3	–	–	1.3	–	–	1.3	–	µs
Output Sink Current V_I (–) ≥ +1.0 Vdc, V_I(+) = 0, V_O ≤ 1.5 Vdc	I_{Sink}	6.0	16	–	6.0	16	–	6.0	16	–	6.0	16	–	mA
Saturation Voltage V_I(–) ≥ +1.0 Vdc, V_I(+) = 0, I_{sink} ≤ 4.0 mA	V_{sat}	–	130	400	–	130	400	–	130	400	–	130	500	mV
Output Leakage Current V_I(+) ≥ +1.0 Vdc, V_I(–) = 0, V_O = +5.0 Vdc	I_{OL}	–	0.1	–	–	0.1	–	–	0.1	–	–	0.1	–	nA

PERFORMANCE CHARACTERISTICS (V_{CC} = +5.0 Vdc, T_A = T_{low} to T_{high} [Note 3])

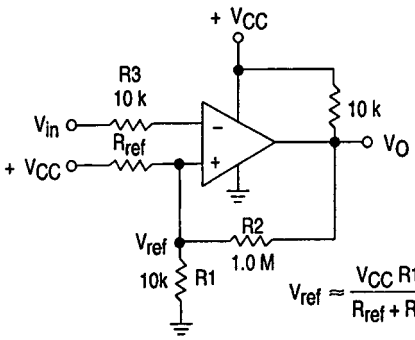
Characteristic	Symbol	LM239A/339A			LM239/339			LM2901/2901V			MC3302			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage (Note 4)	V_{IO}	–	–	±4.0	–	–	±9.0	–	–	±15	–	–	±40	mVdc
Input Bias Current (Notes 4, 5) (Output in Analog Range)	I_{IB}	–	–	400	–	–	400	–	–	500	–	–	1000	nA
Input Offset Current (Note 4)	I_{IO}	–	–	±150	–	–	±150	–	–	±200	–	–	±300	nA
Input Common Mode Voltage Range	V_{ICMR}	0	–	V_{CC} –2.0	0	–	V_{CC} –2.0	0	–	V_{CC} –2.0	0	–	V_{CC} –2.0	V
Saturation Voltage V_I(–) ≥ +1.0 Vdc, V_I(+) = 0, I_{sink} ≤ 4.0 mA	V_{sat}	–	–	700	–	–	700	–	–	700	–	–	700	mV
Output Leakage Current V_I(+) ≥ +1.0 Vdc, V_I(–) = 0, V_O = 30 Vdc	I_{OL}	–	–	1.0	–	–	1.0	–	–	1.0	–	–	1.0	µA
Differential Input Voltage All V_I ≥ 0 Vdc	V_{ID}	–	–	V_{CC}	–	–	V_{CC}	–	–	V_{CC}	–	–	V_{CC}	Vdc

NOTES: 3. (LM239/239A) T_{low} = –25°C, T_{high} = +85°
(LM339/339A) T_{low} = 0°C, T_{high} = +70°C
(MC3302) T_{low} = –40°C, T_{high} = +85°C
(LM2901) T_{low} = –40°C, T_{high} = +105°
(LM2901V) T_{low} = –40°C, T_{high} = +125°C

4. At the output switch point, V_O ≈ 1.4 Vdc, R_S ≤ 100 Ω 5.0 Vdc ≤ V_{CC} ≤ 30 Vdc, with the inputs over the full common mode range (0 Vdc to V_{CC} –1.5 Vdc).
5. The bias current flows out of the inputs due to the PNP input stage. This current is virtually constant, independent of the output state.
6. The response time specified is for a 100 mV input step with 5.0 mV overdrive. For larger signals, 300 ns is typical.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 2. Inverting Comparator with Hystersis



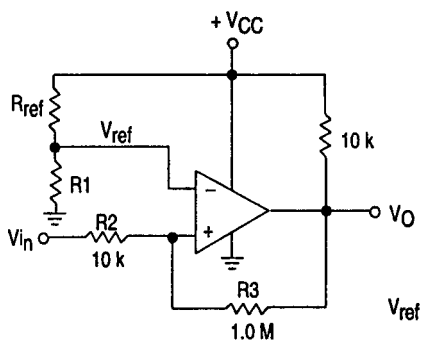
$$V_{ref} \approx \frac{V_{CC}\,R1}{R_{ref} + R1}$$

$$R3 \simeq R1 \,//\, R_{ref} \,//\, R2$$

$$V_H = \frac{R1 \,//\, R_{ref}}{R1 \,//\, R_{ref} + R2}\,[V_{O(max)} - V_{O(min)}]$$

$$R2 \gg Rref \,//\, R1$$

Figure 3. Noninverting Comparator with Hysteresis



$$V_{ref} = \frac{V_{CC}\,R1}{R_{ref} + R1}$$

$$R2 \approx R1 \,//\, R_{ref}$$

Amount of Hysteresis V_H

$$V_H = \frac{R2}{R2 + R3}\,[(V_{O(max)} - V_{O(min)}]$$

Typical Characteristics

(V_{CC} = 15 Vdc, T_A = +25°C (each comparator) unless otherwise noted.)

Figure 4. Normalized Input Offset Voltage

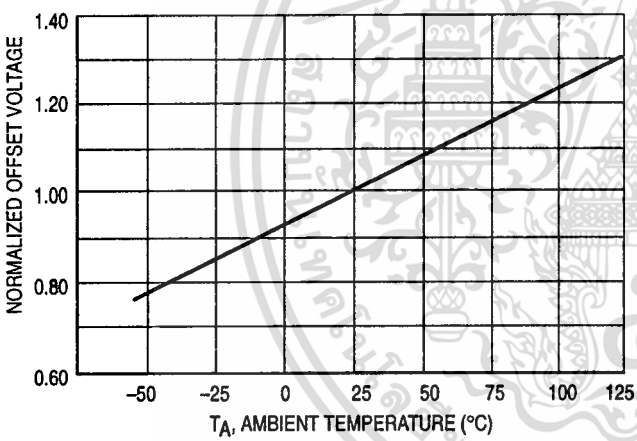


Figure 5. Input Bias Current

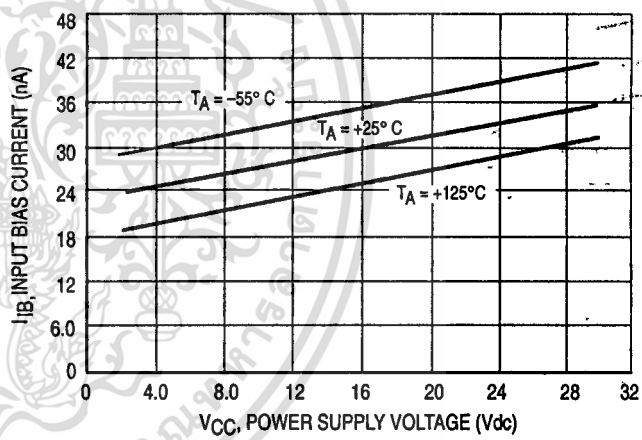
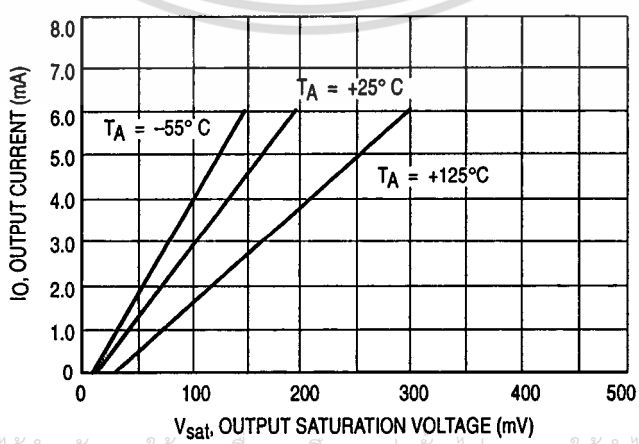


Figure 6. Output Sink Current versus Output Saturation Voltage



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้