



เครื่องรับสัญญาณโทรทัศน์ผ่านดาวเทียม  
SATELLITE TELEVISION RECEIVER



ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต  
สาขาวิชาเทคโนโลยีโทรคมนาคม ภาควิชาเทคนิคอุตสาหกรรม  
คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

040553

หัวข้อปริญญาบัตร เครื่องรับสัญญาณ โทรทัศน์ผ่านดาวเทียม  
SATELLITE TELEVISION RECEIVER

ชื่อนักศึกษา นายกฤตยศ นวรัตน์ ณ อยุรยา  
นายเสกสรร ร่มโพธิ์ชี

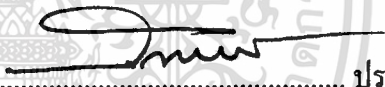
อาจารย์ที่ปรึกษา รองศาสตราจารย์ประกิจ ตั้งศิลาพันธ์  
อาจารย์สถาพร พรหมวงศ์

ภาควิชา เทคนิคอุตสาหกรรม

ปีการศึกษา 2541

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
อนุมัติให้นำปริญญาบัตรฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

คณะกรรมการสอบปริญญาบัตร

  
..... ประธานกรรมการ  
( )  
..... กรรมการ  
( )  
..... กรรมการ  
( )  
..... กรรมการ  
( )  
..... กรรมการ  
( )  
..... กรรมการ  
( )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

# เครื่องรับสัญญาณโทรทัศน์ผ่านดาวเทียม

โดย	นายกฤตยศ นวรัตน์ ณ อยุธยา รหัส 39013340
	นายเสกสรร ร่มโพธิ์ศรี รหัส 39013369
อาจารย์ที่ปรึกษา	รองศาสตราจารย์ประกิจ ตั้งศิษานนท์ อาจารย์สถาพร พรหมวงศ์
ปีการศึกษา	2541

## บทคัดย่อ

ปฏิญานิพนธ์นี้ เสนอเครื่องรับสัญญาณโทรทัศน์ผ่านดาวเทียมโดยได้พัฒนาให้วงจรมีความซับซ้อนน้อยลง มีขนาดเล็ก ประสิทธิภาพสูง และราคาถูก โดยเฉพาะส่วนของภาพและเสียงในระบบสเตอริโอ ได้เปลี่ยนอุปกรณ์ไปใช้ IC สำเร็จรูป และได้ออกแบบวงจรเพิ่มเติมด้วย นอกจากนี้แล้วยังได้เพิ่มความคมชัดของสัญญาณด้วยการปรับโพลาไรซ์ของตัวรับสัญญาณ จากผลการวัดและทดสอบเครื่องรับสัญญาณโทรทัศน์ผ่านดาวเทียมที่สร้างขึ้น สามารถรับสัญญาณโทรทัศน์ผ่านดาวเทียมได้ในช่วงความถี่ 950-1450 MHz ซึ่งเป็นย่านความถี่ C-Band และในช่วงความถี่ 1450-2050 MHz ซึ่งเป็นย่านความถี่ Ku-Band ส่วนสัญญาณที่วัดได้เป็นไปตามหลักการของทางทฤษฎี ได้แสดงไว้ในปฏิญานิพนธ์เล่มนี้เรียบร้อยแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# SATELLITE TELEVISION RECEIVER

BY MR. Kritiyot Navarat Na Aytaya  
MR. Seksan Rompochee  
ADVISOR Associate.Prof. Prakit Tungtisanon  
MR. Sataporn promwong  
YEAR 1998

---

## ABSTRACT

This thesis presents the satellite television receiver by developing the circuit to diminish the complication, the small size, high efficiency and the low cost. In particular, vision and sound part in stereo system uses IC and designs the supplement circuit. Moreover, adjusting polarization of receiver to accrue obviousness of signal. The test result from the satellite television receiver can receive between 950 - 1,450 MHz in C - Band and 1,450 - 2,050 MHz in Ku - Band. The experimental results quite agree with the theory which is shown in this thesis.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## กิตติกรรมประกาศ

ปริญญาบัตรฉบับนี้ได้สำเร็จลุล่วงไปได้ ก็เพราะอาศัยความรู้จากบูรพาจารย์ทั้งหลายผู้เขียนเอกสารอ้างอิงต่างๆ ทุกท่าน คุณความดีทั้งหลายของปริญญาบัตรฉบับนี้ ผู้จัดทำขอมอบเป็นเครื่องสักการะต่อท่านเหล่านั้น

อนึ่งแม้ว่าผู้จัดทำได้พยายามที่จะจัดทำปริญญาบัตรฉบับนี้ด้วยความใส่ใจอย่างดี แต่ก็ยังมีสิ่งที่จะต้องแก้ไขอยู่ ความสมบูรณ์ต่างๆ ของปริญญาบัตรฉบับนี้ จะมีอยู่อย่างที่เป็นนี้ไม่ได้ ถ้าขาดความช่วยเหลือจากหลายท่าน ซึ่งผู้จัดทำต้องขอขอบคุณไว้อย่างจริงใจ คือ อาจารย์ที่ปรึกษา โดยเฉพาะ ท่านรองศาสตราจารย์ประกิจ ตั้งศิษานนท์ และอาจารย์สถาพร พรหมวงศ์ ซึ่งท่านได้ให้คำแนะนำ รวมทั้งค่าใช้จ่ายที่ใช้ในการทดลอง นอกจากนี้ผู้เขียนยังได้รับความช่วยเหลือที่ยิ่งกว่าความช่วยเหลือธรรมดาจาก ท่านอาจารย์มนต์ชัย แซ่มะชัย ท่านอาจารย์พิชญ สุพรรณกุล คุณณัฐพล จินดาคุณพนารัตน์ ระวีวรรณ คุณพรณระวี ภูพัฒนะกุล และกลุ่มวิศวกรบริษัทไทยแอดวานซ์ เทคโนโลยี โดยมิ คุณสมชาย ไหมบัณฑิต คุณชัยยศ พฤษชลธาร และคุณสุรพล รัตนสกุล ที่ให้คำแนะนำ และแก้ไขเป็นอย่างดี ซึ่งถ้าขาดสิ่งเหล่านี้แล้วการทดลองจะไม่ประสบผลสำเร็จไปได้

ท้ายนี้ ผู้จัดทำใคร่ขอกราบขอบพระคุณ บิดา-มารดา ซึ่งให้การสนับสนุนด้านต่างๆ รวมทั้งให้กำลังใจเสมอมา

นายกฤตยศ นวรัตน์ ณ อยุธยา

นายเสกสรร ร่มโพธิ์ศรี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ

หน้า

บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
สารบัญ	ง
สารบัญรูป	ช
ศัพท์เทคนิค	ฅ

บทที่ 1 บทนำ	1
บทที่ 2 ระบบการส่งและรับสัญญาณ โทรทัศน์ผ่านดาวเทียม	3
2.1 ระบบสื่อสารผ่านดาวเทียม	3
2.2 ข่านความถี่ในการส่งสัญญาณ	3
2.3 ระบบการส่งสัญญาณครอบคลุมพื้นที่ของดาวเทียม	7
2.4 ระบบการรับสัญญาณแบบ TVRO	8
บทที่ 3 ทฤษฎีและหลักการ	14
3.1 ระบบภาพ	14
3.1.1 วงจรบีเพอร์	14
3.1.2 วงจรขยายแบบเชื่อมต่อโดยตรง	14
3.1.3 ระบบดีเอ็มฟาซิส	15
3.1.4 ระบบมัลติเพล็กซ์เซอร์	16
3.1.5 ระบบฟิลเตอร์	16
3.1.6 ระบบกรองความถี่ต่ำผ่าน	17
3.2 ระบบเสียง	17
3.2.1 ระบบกรองแถบความถี่ต่ำผ่าน	17
3.2.2 วงจรขยายแบบผลต่าง	18
3.2.3 ระบบมิกเซอร์	19
3.2.4 ระบบบ็อกซ์จิกเลเตอร์	19
3.2.5 ระบบสังเคราะห์ความถี่	20

	หน้า
3.2.6 เฟสล็คคูลูป	20
3.2.7 การใช้เฟสล็คคูลูปในการสังเคราะห์ความถี่	21
3.2.8 ระบบเอฟเอ็ม.ดีเทคเตอร์	22
3.2.9 วงจรขยายกลับเฟส (อินเวอร์ตติ้งแอมป์)	24
3.2.10 ระบบคิมัลติเพล็กซ์เซอร์	24
3.3 ภาคแสดงผล	25
3.3.1 ระบบซีพทีรีจิสเตอร์	25
3.4 ภาคการปรับโพลาริซ์	26
3.4.1 ระบบอะสเตเบิลมัลติไวเบรเตอร์	26
3.5 ภาครีโมทคอนโทรล	26
3.5.1 หลักการ	26
3.5.2 การส่งรหัสควบคุมแบบพีพีเอ็ม	27
3.5.3 ภาคส่งสัญญาณ	28
3.6 ไมโครคอนโทรลเลอร์ MCS-51	29
3.6.1 โครงสร้างของ 8051	29
3.6.2 การจัดการหน่วยความจำของ 8051	31
3.6.3 สถาปัตยกรรมของ 8051	33
3.6.4 รีจิสเตอร์หน้าที่พิเศษ (SFR)	37
3.6.5 รีจิสเตอร์ใช้งานทั่วไป	37
3.6.6 รีจิสเตอร์ PSW	37
3.7 มอดูเลเตอร์	39
3.8 การทำงานของจูนเนอร์	39
<b>บทที่ 4 การออกแบบและการทำงาน</b>	<b>42</b>
4.1 ระบบภาพ	42
4.1.1 วงจรบัฟเฟอร์	42
4.1.2 วงจรขยายแบบเชื่อมตอตรง	42
4.1.3 วงจรดีเอ็มฟาซิส	43
4.1.4 ระบบมัลติเพล็กซ์เซอร์	44

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งยังมีใช้ผิดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.5 ระบบกรองความถี่ต่ำผ่าน	46
4.2 ระบบเสียง	48
4.2.1 วงจรกรองแถบความถี่ผ่าน	48
4.2.2 วงจรขยายผลต่าง	51
4.2.3 วงจรบาลานซ์มิกเซอร์และออสซิลเลเตอร์	52
4.2.4 วงจรเฟสล็อกคูปแบบสังเคราะห์ความถี่	56
4.2.5 วงจรเอฟเอ็ม.ดีเทคเตอร์	59
4.2.6 วงจรขยายสัญญาณ	60
4.2.7 วงจร Dynamic Noise Reduction (DNR)	62
4.2.8 วงจรดีมัลติเพล็กซ์เซอร์	64
4.3 ภาคการปรับโพลาริซ	66
4.3.1 วงจรอะสเตเบิลมัลติไวเบรเตอร์	66
4.4 ภาครีโมทคอนโทรล	69
4.4.1 การส่งโค้ด	70
4.5 วงจรอาร์เอฟมอดูเลเตอร์	73
4.6 โปรแกรมควบคุมการทำงาน	74
4.7 การทำงานของเครื่องรับสัญญาณโทรทัศน์ผ่านดาวเทียม	77
4.7.1 การทำงานของภาคจ่ายไฟ	77
4.7.2 การทำงานของระบบภาพ	77
4.7.3 การทำงานของระบบเสียง	78
4.7.4 ภาคแสดงผล	80
4.7.5 ภาคระบบการทำงาน	81
<b>บทที่ 5 การทดสอบและวัดสัญญาณ</b>	<b>90</b>
5.1 การคำนวณหามุมการรับแบบรับดาวเทียมดวงเดียว	90
5.2 การทดสอบและวัดสัญญาณ	92
5.3 จุดทดสอบสัญญาณที่ 1	93
5.4 จุดทดสอบสัญญาณที่ 2	93
5.5 จุดทดสอบสัญญาณที่ 3	94
5.6 จุดทดสอบสัญญาณที่ 4	94

5.7 จุดทดสอบสัญญาณที่ 5  
5.8 วิธีทดสอบเครื่องรับ

**บทที่ 6 บทวิจารณ์และบทสรุป**

**บรรณานุกรม**  
**ภาคผนวก ก**  
**ภาคผนวก ข**  
**ภาคผนวก ค**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญรูป

	หน้า
รูปที่ 2.1 วงโคจรของดาวเทียม	4
รูปที่ 2.2 การถ่ายทอดทวนสัญญาณจากดาวเทียม	4
รูปที่ 2.3 ช่องสัญญาณภาพดาวเทียม	5
รูปที่ 2.4 ความกว้างของช่องคลื่นสัญญาณภาพและเสียง	5
รูปที่ 2.5 แถบแสดงความถี่ของคลื่นแม่เหล็กไฟฟ้า	6
รูปที่ 2.6 ฟุตพรีนซ์ของ C-BAND และ KU-BAND	7
รูปที่ 2.7 บล็อกไดอะแกรมการรับสัญญาณดาวเทียม	8
รูปที่ 2.8 งานรับสัญญาณดาวเทียม และ LNB	9
รูปที่ 2.9 การแพร่กระจายคลื่นแบบ LINEAR และ CIRCULAR POLARIZATION	10
รูปที่ 2.10 FEED HORN FIX และ FEED HORN ADJ	11
รูปที่ 3.1 วงจรบัฟเฟอร์	14
รูปที่ 3.2 วงจรไดเรคต์ปลิ่ง	15
รูปที่ 3.3 แสดงขบวนการดีเอ็มฟาซิสที่เครื่องรับ	16
รูปที่ 3.4 ระบบการมัลติเพล็กซ์	16
รูปที่ 3.5 ลักษณะคุณสมบัติของระบบกรองความถี่ต่ำ	17
รูปที่ 3.6 ลักษณะคุณสมบัติของระบบกรองแถบความถี่ผ่าน	17
รูปที่ 3.7 วงจรขยายแบบผลต่าง	18
รูปที่ 3.8 มิกเซอร์ของภาคเครื่องรับ	19
รูปที่ 3.9 หลักการคิมอดูเลชันสัญญาณ FM ด้วยเฟสล็อกดูป	20
รูปที่ 3.10 แผนผังของหน่วยสังเคราะห์ความถี่	22
รูปที่ 3.11 แสดงการเลื่อนเฟสที่คอยล์	22
รูปที่ 3.12 การเทียบเฟส	23
รูปที่ 3.13 วงจรขยายกลับเฟส	24
รูปที่ 3.14 ระบบคิมมัลติเพล็กซ์	25
รูปที่ 3.15 SIPO (ข้อมูลอินพุทแบบอนุกรม/ข้อมูลเอาต์พุทแบบขนาน)	25
รูปที่ 3.16 บล็อกไดอะแกรมหลักการทั่วไปของรีโมทคอนโทรล	27
รูปที่ 3.17 รูปแบบของสัญญาณพีซีเอ็ม	28
รูปที่ 3.18 บล็อกไดอะแกรมของภาคส่ง	28
รูปที่ 3.19 ไดอะแกรมโครงสร้างของ 8051	30

รูปที่ 3.20 ไดอะแกรมภาพของหน่วยความจำ 8051	32
รูปที่ 3.21 ไดอะแกรมขาของ 8051 แบบ DIP	34
รูปที่ 3.22 สถาปัตยกรรมภายในของ 8051	34
รูปที่ 3.23 บล็อกไดอะแกรมจูนเนอร์	41
รูปที่ 4.1 วงจรบัฟเฟอร์ (ที่ออกแบบ)	42
รูปที่ 4.2 วงจรไคเร็คคัปปลิง (ที่ออกแบบ)	43
รูปที่ 4.3 ลักษณะเส้นโค้งดีเอ็มฟาซิส	43
รูปที่ 4.4 วงจรดีเอ็มฟาซิส (ที่ออกแบบ)	44
รูปที่ 4.5 บล็อกไดอะแกรมของ IC4053B	44
รูปที่ 4.6 วงจรมัลติเพล็กซ์ (ที่ออกแบบ)	45
รูปที่ 4.7 ลักษณะการส่งผ่านของแถบความถี่เมื่อเปรียบเทียบกับจำนวนของอุปกรณ์ที่นำไปต่อ	46
รูปที่ 4.8 วงจรกรองความถี่ต่ำผ่าน(ที่ออกแบบ)	47
รูปที่ 4.9 การแปลงแบนด์วิดท์จากวงจรกรองความถี่ต่ำผ่านเป็นวงจรกรองแถบความถี่ผ่าน	49
รูปที่ 4.10 การเปลี่ยนต้นแบบวงจรกรองความถี่ต่ำผ่าน ไปเป็นวงจรกรองแถบความถี่ผ่าน	49
รูปที่ 4.11 วงจรกรองแถบความถี่ผ่าน(ที่ออกแบบ)	50
รูปที่ 4.12 วงจรคิฟเฟอร์เนเชียล (ที่ออกแบบ)	51
รูปที่ 4.13 รายละเอียดขบบล็อก ไดอะแกรมภายใน	53
รูปที่ 4.14 ลักษณะการจัดวงจรทางด้านอินพุต (วงจรจูน)	54
รูปที่ 4.15 ลักษณะการจัดวงจรทางด้านเอาต์พุต	54
รูปที่ 4.16 การจัดวงจรออสซิลเลเตอร์	55
รูปที่ 4.17 วงจรบาลานซ์มิกเซอร์และออสซิลเลเตอร์คู่ (ที่ออกแบบ)	56
รูปที่ 4.18 หลักการทำงานของ PLL แบบสังเคราะห์ความถี่	57
รูปที่ 4.19 วงจรสังเคราะห์ความถี่ (ที่ออกแบบ)	58
รูปที่ 4.20 วงจรเอฟเอ็ม.คิเทคเตอร์ (ที่ออกแบบ)	59
รูปที่ 4.21 วงจรขยายสัญญาณ (พื้นฐาน (ก) ที่ออกแบบแบบ (ข))	61
รูปที่ 4.22 บล็อก ไดอะแกรมภายใน DNR	62
รูปที่ 4.23 วงจร DNR (ที่ออกแบบ)	63
รูปที่ 4.24 บล็อก ไดอะแกรมของ IC4052B	64
รูปที่ 4.25 วงจรมัลติเพล็กซ์ (ที่ออกแบบ)	65
รูปที่ 4.26 บล็อก ไดอะแกรมภายในไอซี 555	67
รูปที่ 4.27 วงจรพื้นฐานอะสเตเบิลมัลติไวเบรเตอร์ไอซี 555	68

รูปที่ 4.28 สัญญาณรูปคลื่นของวงจระสเตเบิลและการหาความถี่จากกราฟ	68
รูปที่ 4.29 วงจระสเตเบิล (ที่ออกแบบ)	69
รูปที่ 4.30 บล็อกไดอะแกรม HT6222	69
รูปที่ 4.31 รูปแบบเอาร์ทพุทสำหรับ DOUT	70
รูปที่ 4.32 แคร้รีซร์ 38 KHz	70
รูปที่ 4.33 สถานะลอจิก	72
รูปที่ 4.34 วงจรรีโมท (ที่ออกแบบ)	72
รูปที่ 4.35 วงจรรอาร์เอฟมอดูเลเตอร์	73
รูปที่ 4.36 โพล์วชาร์ตการทำงานของโปรแกรมระบบควบคุมในเครื่องรับสัญญาณดาวเทียม	75
รูปที่ 4.37 โพล์วชาร์ตการถอดรหัส 1	76
รูปที่ 4.38 ภาคจ่ายไฟ	82
รูปที่ 4.39 ภาคแสดงผล	83
รูปที่ 4.40 ภาคซิสเต็ม	84
รูปที่ 4.41 บล็อกไดอะแกรมระบบภาพ	85
รูปที่ 4.42 บล็อกไดอะแกรมระบบเสียงส่วน 1	86
รูปที่ 4.43 บล็อกไดอะแกรมระบบเสียงส่วน 2	86
รูปที่ 4.44 วงจรรวมของระบบภาพ	87
รูปที่ 4.45 วงจรรวมของระบบเสียงส่วน 1	88
รูปที่ 4.46 วงจรรวมของระบบเสียงส่วน 2	89
รูปที่ 5.1 การคูทิสและคูมูมเงยมุมต่ำ	90
รูปที่ 5.2 แสดงเข็มทิสและทิสทางงาน	91
รูปที่ 5.3 การใช้เข็มทิสหาตำแหน่งมุมต่ำของงาน	92
รูปที่ 5.4 สัญญาณทดสอบที่จุดเบสแบนด์ เมื่อเครื่องรับรับช่องสัญญาณรายการ THAICOM	93
รูปที่ 5.5 สัญญาณที่วัดได้จาก Video Out	94
รูปที่ 5.6 สัญญาณที่วัดได้จาก Audio Left Out	94
รูปที่ 5.7 สัญญาณที่วัดได้จาก Audio Right Out	95
รูปที่ 5.8 สัญญาณที่วัดได้จากจุดเอาต์พุตพัลส์เพื่อปรับโพราไรซ์	95
รูปที่ 5.9 รายการ PTV ที่สามารถรับได้จากดาวเทียม PALAPA	95
รูปที่ 5.10 รายการ ZEETV ที่สามารถรับได้จากดาวเทียม ASIASAT	96
รูปที่ 5.11 รายการ THAICOM ที่สามารถรับได้มีส โนว์จากดาวเทียม THAICOM	96
รูปที่ 5.12 รายการ THAICOM ที่สามารถรับได้และปรับโพราไรซ์แล้วจากดาวเทียม THAICOM97	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะในรูปแบบใด ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาของเอกสารทุกครั้งที่มีการนำไปใช้

## คำศัพท์

<b>Analog :</b>	สัญญาณไฟฟ้าที่มีลักษณะการเปลี่ยนแปลงของรูปคลื่นอย่างต่อเนื่อง เช่น สัญญาณเสียง เป็นต้น
<b>AZ :</b>	Azimuth Angle มุมกวาดของจานรับสัญญาณที่เคลื่อนที่จากทิศตะวันออกไปยังทิศตะวันตก หรือในทางกลับกัน
<b>Band :</b>	หน่วยที่ใช้สำหรับกำหนดความถี่ หรือย่านความถี่ในสเปคตรัมของสนามแม่เหล็กไฟฟ้า
<b>Bandwidth :</b>	ช่วงความถี่ของคลื่นที่ใช้ในการส่ง สัญญาณโทรทัศน์จำนวนหนึ่งช่อง หรือใช้ในการส่งสัญญาณอื่นๆ โดยไม่ทำให้สัญญาณที่ส่งเข้าไบนั้นขาดความสมบูรณ์ในขณะที่รับออกมา
<b>Baseband :</b>	ย่านความถี่ที่บรรจุเอาข้อมูลข่าวสารต่างๆ ก่อนที่จะทำการมอดูเลตกับคลื่นพาห์ หรือหลังจากการดีมอดูเลตแล้ว
<b>BDC.:</b>	Block Downconverter หรือ Block Downconversion ก่อตั้งวงจรทางอิเล็กทรอนิกส์ ซึ่งทำหน้าที่เปลี่ยนความถี่ไมโครเวฟที่ส่งลงมาจากดาวเทียมให้ต่ำลง โดยเปลี่ยนเป็นความถี่ไอเอฟสำหรับปรับหา และแยกออกเป็นสัญญาณภาพและเสียงตามต้องการ
<b>BPF :</b>	Band Pass Filter วงจรกรองสัญญาณความถี่ให้สามารถผ่านออกไปได้ เฉพาะย่านความถี่ที่กำหนดไว้ในการออกแบบ
<b>Carrier :</b>	คลื่นความถี่วิทยุที่ถูกส่งร่วมไปกับสัญญาณความถี่ย่านเบสแบนด์ เรามักจะเรียกเป็นภาษาไทยว่า “คลื่นพาห์”
<b>C-band :</b>	ย่านความถี่ที่ใช้ในการติดต่อสื่อสารผ่านดาวเทียม มีความถี่ตั้งแต่ 3.4 ถึง 4.2 GHz
<b>Channel :</b>	การติดต่อสื่อสารแบบทางเคียว เช่น การส่งสัญญาณโทรทัศน์ผ่านดาวเทียม
<b>C/N :</b>	Carrier-to-Noise ratio คือ อัตราส่วนระหว่างระดับของสัญญาณคลื่นพาห์ กับระดับของสัญญาณรบกวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Componding :** เทคนิคการลดสัญญาณรบกวน โดยใช้วิธีบีบสัญญาณที่เครื่องส่ง แล้วจึงส่งขึ้นไปยังดาวเทียม เมื่อเครื่องรับรับสัญญาณดังกล่าวเข้ามาก็จะนำไปเข้ากระบวนการคืนรูปสัญญาณให้กลับมาเหมือนเดิม
- Composite Baseband :** สัญญาณที่ออกมาจากภาคคิ่อมดุลเคเตอร์ (ยังไม่มีกรนำไปผ่านกระบวนการใดๆ ทั้งสิ้น) ก่อนที่จะนำไปกรองสัญญาณที่ไม่ต้องการออกและนำไปยกระดับของสัญญาณขึ้น มักจะเป็นสัญญาณที่อยู่ก่อนภาค De-emphasis เสมอ
- Composite Video :** สัญญาณภาพที่สมบูรณ์แล้วประกอบไปด้วยสัญญาณลูมิแนนซ์ สัญญาณสี และสัญญาณซิงโครไนซ์
- CP :** Circular Polarization ลักษณะการส่งสัญญาณที่มีขั้วคลื่นเป็นแบบวงกลม
- dB :** deciBel เป็นหน่วยของการวัดอัตราขยายเมื่อเขียนอยู่ในรูปของสมการลอการิทึม ก็คือ  $dB = 10 \times \log x$  (อัตราส่วนของกำลังงาน) เมื่อมีการแสดงอัตราขยายให้อยู่ในรูปของ dB เช่น 3, 10 และ 20 dB จะมีความหมายว่ามีอัตราขยายเป็น 2, 10 และ 100 เท่าตามลำดับ
- DBS :** Direct Broadcasting Satellite ระบบการกระจายคลื่นสัญญาณโทรทัศน์หรือสัญญาณวิทยุจากดาวเทียมโดยตรง
- DE :** De-emphasis การคืนรูปของสัญญาณให้กลับมาคงที่เหมือนเดิม หลังจากที่ถูกกระบวนการ Pre-emphasis กระทำมาก่อนที่จะส่งออกอากาศ
- Digital :** สัญญาณไฟฟ้า ที่มีลักษณะการเปลี่ยนแปลงของรูปคลื่นเพียงสองสภาวะ ได้แก่ “เปิด” (1) และ “ปิด” (0) เท่านั้น
- Downconversion :** การเปลี่ยนสัญญาณความถี่สูงให้มีความถี่ต่ำลงมาอยู่ในบางช่วง ภายในสเปคตรัมของสนามแม่เหล็กไฟฟ้า
- Downlink :** สัญญาณที่ส่งจากดาวเทียมลงมายังสถานีภาคพื้นดิน ซึ่งถือว่าเป็นส่วนหนึ่งของระบบการติดต่อสื่อสารแบบสองทาง
- Elevation :** มุมเงยหรือมุมระหว่างลำคลื่นที่ส่งลงมาจกดาวเทียม กับระนาบทางแนวนอนของพื้นโลก
- Feedhorn :** สายอากาศขนาดเล็กที่มีลำคลื่นกว้าง โดยจะรับสัญญาณที่เกิดจากการสะท้อนของจานรับสัญญาณขึ้นมา และจะทำหน้าที่ส่งสัญญาณลงไปยังไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งยังมีให้ลดแปลงเป็นอนุและตัวอ้างอิงเป็นเจ้าของเอกสารทุกครั้งที่ถูกนำไปที่จานรับสัญญาณเพื่อสะท้อนส่งขึ้นไปยังดาวเทียมในกรณีที่จานรับสัญญาณทำหน้าที่เป็นเครื่องส่ง

- Footprint :** อาณาเขตของพื้นที่ที่ลำคลื่นจากดาวเทียมส่งลงมาครอบคลุม พร้อมทั้งบอกค่าของ EIRP ที่รับได้ หรือบอกขนาดของจานรับสัญญาณที่สามารถนำมารับสัญญาณได้ในพื้นที่นั้นๆ
- Frequency :** ความถี่ของสัญญาณที่พิจารณาจากการเปลี่ยนแปลงคลื่น ภายในหนึ่งวินาทีว่าเปลี่ยนไปกี่รอบ โดยมีหน่วยเป็นเฮิรตซ์ (Hz: ใน 1 วินาที คลื่นเปลี่ยนแปลงครบหนึ่งรอบ) ดังนั้น ถ้าความถี่ขนาด 1 GHz ก็แสดงว่าใน 1 วินาที คลื่นมีการเปลี่ยนแปลงทั้งหมดหนึ่งพันล้านรอบ
- GEO :** Geosynchronous Equatorial (Clarke) Orbit วงโคจรที่มีเอกลักษณ์ของตัวเองที่ว่า หากนำดาวเทียมขึ้นไปเดินทางอยู่ในวงโคจรแบบนี้ จะทำให้ดาวเทียมดังกล่าวเสมือนกับลอยอยู่กับที่หรือเป็นดาวเทียมค้างฟ้า เมื่อเทียบกับจุดสังเกตการณ์บนพื้นโลก
- Geosynchronous :** วงโคจรที่มีระยะเวลาในการหมุนรอบโลกหนึ่งรอบ เท่ากับระยะเวลาที่โลกหมุนรอบตัวเองครบหนึ่งรอบพอดี
- Geostationary :** คำอธิบาย GEO
- Guard Band :** ช่วงความถี่ที่เว้นเอาไว้ทางหัว และท้ายของความถี่ใช้งานในแต่ละทรานสพอนเดอร์ ความถี่ดังกล่าวมีประโยชน์ในการป้องกันมิให้ความถี่ของทรานสพอนเดอร์หนึ่ง ไปแทรกสอดยังอีกทรานสพอนเดอร์หนึ่ง
- IF :** (หรือ i.f.) Intermediate Frequency สัญญาณความถี่กลางที่ผ่านกระบวนการมาจากสัญญาณ RF จะมียู่ในระบบของเครื่องรับ
- Kelvin :** หน่วยของอุณหภูมิที่เรียกว่า องศาสัมบูรณ์ใช้ในการวัดสัญญาณรบกวน โดย  $273^{\circ}\text{K}$  มีค่าเท่ากับ  $^{\circ}\text{C}$
- KU-band :** ย่านความถี่ที่ใช้ในระบบดาวเทียมมีความถี่อยู่ระหว่าง 10.7 ถึง 18 GHz
- Latitude :** เส้นรุ้ง หรือระยะทางที่อยู่ในรูปขององศาโดยเทียบจากเส้นศูนย์สูตรของโลกไปยังจุดต่างๆ ที่อยู่ทางทิศเหนือหรือทางทิศใต้ ดังนั้นเส้นศูนย์สูตรจึงถือว่าอยู่ที่ตำแหน่งเส้นรุ้งที่  $0^{\circ}$  ส่วนขั้วโลกเหนือและใต้จะอยู่ที่ตำแหน่งเส้นรุ้งที่  $90^{\circ}$
- LNA :** Low-Noise Amplifier เครื่องขยายแบบสัญญาณรบกวนต่ำ
- LNB (หรือ LNBC) :** Low Noise Block (Downconverter) กล้องวงจรซึ่งประกอบไปด้วยเครื่องขยายแบบสัญญาณรบกวนต่ำ กับ เครื่องเปลี่ยนสัญญาณความถี่ยังขวดให้เป็นสัญญาณความถี่กลาง

- LNF (หรือ LNBF) :** ชื่อเฉพาะตั้งขึ้นมาเพื่อเรียกอุปกรณ์ที่ประกอบด้วยฟีดฮอร์น เครื่องปรับโพลาไรซ์อัตโนมัติ และเครื่องขยายสัญญาณรบกวนต่ำโดยประกอบอยู่ในชั้นเดียวกัน
- Longitude :** เส้นแวง หรือระยะทางที่วัดอยู่ในรูปขององศา โดยวัดเทียบจากเส้นเมริเดียน (ดูคำอธิบาย Meridians) เส้นหนึ่งไปยังเส้นอื่นๆ ที่เรากำหนด
- Look Angle :** มุมระหว่างระนาบของพื้นโลกกับจานรับสัญญาณที่เอียงขึ้นไป เพื่อรับสัญญาณจากดาวเทียมหรือส่งสัญญาณขึ้นไปยังดาวเทียม
- Meridians :** เส้นวงกลมที่ขีดผ่านขั้วโลกหนึ่งไปยังอีกขั้วโลกหนึ่ง โดยตัดผ่านเส้นศูนย์สูตรจนครบ  $360^{\circ}$
- Noise Figure :** ค่าที่แสดงถึงสภาพการกำเนิดสัญญาณรบกวนในตัวเครื่องขยาย ถ้าเครื่องมีค่า NF สูง ก็แสดงว่ามีการกำเนิดสัญญาณรบกวนมากในตัวเครื่องคุณภาพของสัญญาณที่ได้ก็จะต่ำลง มักจะใช้กับเครื่องขยายที่ใช้งานย่านความถี่ Ku-band โดยมีหน่วยเป็น dB
- Noise Temperature :** ค่าที่แสดงถึงสภาพการเกิดสัญญาณรบกวนในตัวเครื่องขยายเช่นเดียวกันกับค่า Noise Figure แต่จะใช้งานกับเครื่องขยายที่ใช้งานย่านความถี่ C-band โดยมีหน่วยเป็น  $^{\circ}\text{K}$
- Offset-fed Antenna :** จานรับสัญญาณชนิดหนึ่งที่มี ตัวงานทำหน้าที่เป็นตัวสะท้อนสัญญาณ ออกแบบมาจากส่วนหนึ่งของจานแบบพาราโบลาที่ใช้งานทั่วไป ลักษณะของจานขณะที่ใช้งานจะไม่มีเสายื่นออกมาตรงกลางจาน หรือมีขาหลายขายื่นออกมาหน้าจานเหมือนแบบป้อนสัญญาณด้านหน้า
- PAL :** Phase Alternating Line เทคนิคการเข้ารหัสสีของระบบการส่งสัญญาณโทรทัศน์ โดยใช้วิธีการสลับเส้นของสี ออกแบบโดยชาวเยอรมัน ปัจจุบันประเทศไทยใช้ระบบการส่งสัญญาณโทรทัศน์แบบนี้
- Polar Mount :** ฐานซึ่งใช้สำหรับ ตั้งจานรับสัญญาณที่มีกลไกในการควบคุมให้ตัวงานสามารถหันหน้าไปยังวงโคจรแบบคลาดได้โดยหมุนเพียงแกนเดียวบางครั้งก็เรียกว่าเป็นฐานแบบตามเส้นศูนย์สูตร (Equatorial Mount) เมื่อนำฐานแบบนี้มาติดตั้งจานรับสัญญาณเพื่อรับสัญญาณจากดาวเทียมค้างฟ้า จะต้องมีการปรับมุมเอียงขดเซซที่ด้านตรงข้ามกับมุมอง

- Polarization :** โพลาริเซชัน หรือที่เรียกในภาษาไทยว่าขั้วคลื่น เป็นคุณสมบัติที่แสดงให้เห็นถึงการเดินทางของคลื่นแม่เหล็กไฟฟ้าว่ามีลักษณะเป็นระนาบพุ่งออกไปหรือหมุนออกไป
- Polarizer :** อุปกรณ์ที่อยู่ในท่อนำคลื่นหรือในระบบสายอากาศ มีหน้าที่บังคับขั้วคลื่นให้เปลี่ยนไปมาระหว่างแบบระนาบ (Linear) กับแบบหมุนเป็นวงกลม (Circular)
- Polarotor :** ชื่อที่บัญญัติขึ้นมาเพื่อใช้เรียกโรเตอร์ สำหรับควบคุมขั้วคลื่น (Polarization Rotor) การเปลี่ยนขั้วคลื่นจะกระทำได้ โดยการควบคุมโรเตอร์ให้ไปหมุนโพรบที่อยู่ในฟีดฮอร์นอีกทอดหนึ่ง
- Pre-emphasis :** วิธีการปรับปรุงค่า S/N ในระบบ FM โดยการเพิ่มค่าความเบี่ยงเบนของเบสแบนด์ทางด้านความถี่สูงให้มากขึ้น
- RF :** Radio Frequency ความถี่สัญญาณวิทยุ
- SCPC :** single Channel per Carrier ระบบการส่งสัญญาณเสียง และสัญญาณที่เป็นข้อมูลซึ่งใช้แถบความถี่แคบ (Narrowband)
- S/N :** signal-to-Noise ratio ค่าอัตราส่วนระหว่างสัญญาณที่รับได้เทียบกับสัญญาณรบกวน เพื่อใช้วัดว่าสัญญาณภาพที่รับได้สดใส (ปราศจากสัญญาณรบกวน) เพียงใด
- Sub-carrier :** คลื่นพาห่อย่อย ใช้ในการส่งเฉพาะสัญญาณสี สัญญาณเสียงของรายการโทรทัศน์สัญญาณเสียงของรายการอื่นๆ และสัญญาณที่เป็นข้อมูลทางคอมพิวเตอร์หรือข้อมูลอื่นๆ ส่วนสัญญาณภาพจะส่งไปในคลื่นพาห่หลัก
- Threshold :** ในระบบ FM นั้นค่าของ C/N ที่จุดเทรลโฮลด์นี้จะสัมพันธ์กันกับค่า S/N ที่ได้จากการคิมอดูเลต
- Transponder :** อุปกรณ์ที่ใช้ในการทวนสัญญาณที่ติดตั้งอยู่บนดาวเทียม
- UHF :** สัญญาณที่มีย่านความถี่อยู่ในช่วงตั้งแต่ 300 MHz ถึง 3 GHz ซึ่งสถานีโทรทัศน์ภาคพื้นดินจะใช้ความถี่ตั้งแต่ 470 ถึง 890 MHz ในการส่งกระจายสัญญาณโทรทัศน์ ส่วนการส่งกระจายสัญญาณโทรทัศน์ระบบ DBS ที่ได้กำหนดเอาไว้ในประเทศไทยที่กำลังพัฒนา หรือมีพื้นที่ที่ห่างไกล จะใช้ความถี่อยู่ในช่วงตั้งแต่ 620 ถึง 790 MHz
- Uplink :** เส้นทางของสัญญาณที่ส่งจากพื้นโลกขึ้นไปยังดาวเทียม ที่ลอยอยู่ในอวกาศเรียกว่าความถี่ส่งขึ้น

	หน้า
รูปที่ 5.13 แสดงการจัดวางอุปกรณ์ภายในส่วนเครื่องรับ	97
รูปที่ 5.14 แสดงด้านหน้าและด้านหลังของเครื่องรับ	98
รูปที่ 5.15 จานที่ใช้รับสัญญาณขนาด 8 ฟุต	98



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1

## บทนำ

ปัจจุบันเทคโนโลยีการสื่อสารผ่านดาวเทียม ได้เจริญรุ่งเรืองมาก และเป็นที่ยอมรับกันอย่างแพร่หลาย ทั้งในความถี่ย่าน C-Band และความถี่ย่าน KU-Band ทำให้มีความสนใจ และมีความต้องการเครื่องรับสัญญาณโทรทัศน์ผ่านดาวเทียมมากขึ้น ดังนั้นเพื่อที่จะทำให้ระบบเป็นจริงได้ จึงจำเป็นต้องมีสิ่งเหล่านี้ นั่นคือ เทคโนโลยี มัลติฟังก์ชัน, ประสิทธิภาพสูง, ขนาดเล็ก, น้ำหนักเบา, ราคาถูก และความก้าวหน้าของเทคโนโลยีนี้เองก็ได้้นำเอาไมโครคอนโทรลเลอร์มาใช้ในการควบคุมการทำงานวงจรอิเล็กทรอนิกส์ต่างๆ เป็นจำนวนมาก ดังนั้นในโครงการนี้จึงนำเอาไมโครคอนโทรลเลอร์ 8051 มาประยุกต์ใช้ในภาคถอดรหัส, ภาคแสดงผลและภาคควบคุม ซึ่งส่วนใหญ่แล้วเครื่องรับสัญญาณโทรทัศน์ได้นำเข้ามาจากต่างประเทศซึ่งมีราคาแพง ดังนั้นเพื่อให้เพียงพอกับความต้องการของประเทศ และยังสามารถผลิตเป็นสินค้าส่งออกยังประเทศใกล้เคียงได้อีกด้วย ในราคาที่ไมแพงเกินไป เป็นผลทางเศรษฐกิจของประเทศด้วย จึงได้คิดค้นออกแบบเครื่องต้นแบบขึ้นมา โดยเน้นให้มีขนาดเล็ก ราคาถูก แล้วสัญญาณภาพและเสียงจากเครื่องต้นแบบที่สร้างขึ้นจะมีความคมชัดในระดับที่ดี เครื่องต้นแบบที่จะสร้างขึ้นมามีส่วนประกอบหลักคือ จูนเนอร์ วงจรกรองความถี่ ภาคขยายสัญญาณภาพ ภาคขยายสัญญาณเสียง ภาคควบคุมและแสดงผล และสามารถรับสัญญาณ Analog ได้ทั้ง C-Band และ KU-Band อุปกรณ์ที่ใช้ก็มีขายภายในประเทศที่มีราคาไม่แพง การประยุกต์ใช้งาน สามารถนำไปใช้ในระบบสเตอริโอ, DECODER และการปรับโพลาริไซซ์ได้

ปริญญานิพนธ์นี้กล่าวถึง ระบบการรับสัญญาณดาวเทียม คุณสมบัติและการทำงานของอุปกรณ์ที่ใช้เกี่ยวกับเครื่องรับสัญญาณโทรทัศน์ผ่านดาวเทียม วงจรและทฤษฎีของภาคต่างๆ ในเครื่องรับสัญญาณโทรทัศน์ผ่านดาวเทียม และการติดตั้งงานรับสัญญาณดาวเทียม

### วัตถุประสงค์ของโครงการ

1. พัฒนาออกแบบ และสร้างเครื่องรับสัญญาณโทรทัศน์ผ่านดาวเทียมให้มีประสิทธิภาพดียิ่งขึ้น มีขนาดเล็ก ในราคาที่ถูก
2. เพื่อการพัฒนาเครื่องรับสัญญาณโทรทัศน์ผ่านดาวเทียม
3. เพื่อศึกษาอุปกรณ์และส่วนประกอบต่างๆ ของเครื่องรับสัญญาณโทรทัศน์ผ่านดาวเทียม และระบบการสื่อสารผ่านดาวเทียม
4. เพื่อการส่งเสริมเทคโนโลยีสื่อสาร และภาคอุตสาหกรรมการผลิตภายในประเทศ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในการศึกษาค้นคว้าเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ห้ามมิให้นำไปใช้เพื่อวัตถุประสงค์อื่นและต้องแจ้งถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### ขอบเขตของโครงการ

1. ศึกษาข้อมูลออกแบบวงจรส่วนต่างๆ ของเครื่องรับโทรทัศน์ผ่านดาวเทียม
2. สร้างส่วนต่างๆ ของเครื่องรับโทรทัศน์ผ่านดาวเทียม
3. ทำการทดลอง และทำการปรับแต่งสัญญาณ แล้วเก็บข้อมูลเปรียบเทียบ
4. ทดสอบอีกครั้ง แล้วก็ทำการประกอบเครื่องพร้อมที่จะเป็นเครื่องรับสัญญาณโทรทัศน์จากดาวเทียมได้

### ประโยชน์ที่คาดว่าจะได้รับ

1. เป็นพื้นฐานสำหรับงานปฏิบัติ และทดลองวิจัยในการพัฒนาเทคโนโลยีทางโทรคมนาคมของประเทศ
2. ได้เครื่องรับสัญญาณ โทรทัศน์ผ่านดาวเทียมที่มีความคมชัดทางด้านภาพและเสียง และมีราคาที่ไม่แพงเกินไป
3. เป็นการลดการขาดดุลย์การค้า เพราะการที่สั่งซื้อเครื่องรับสัญญาณโทรทัศน์ผ่านดาวเทียมจากต่างประเทศ จะทำให้เงินตราไหลออกนอกประเทศ
4. ได้รับความรู้เพื่อใช้ในการออกแบบเครื่องรับสัญญาณโทรทัศน์ผ่านดาวเทียม
5. รู้จักคุณสมบัติของอุปกรณ์ที่ใช้ในโครงการนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 2

### ระบบการสื่อสารผ่านดาวเทียม

ดาวเทียมที่ใช้กันอยู่ในปัจจุบันนี้มีอยู่ด้วยกัน 2 ชนิด จำแนกตามแนวโคจรที่มันโคจรอยู่

1. ดาวเทียมที่อยู่ในวงโคจรทั่วไป มีวงโคจรเป็นรูปวงรีมีระนาบไม่แน่นอนตำแหน่งของตัวดาวเทียมเมื่อเทียบกับโลกก็ไม่แน่นอน มักใช้งานในการสำรวจสภาพภูมิอากาศ ภูมิประเทศ แหล่งทรัพยากรธรณี และงานกิจกรรมทางทหาร

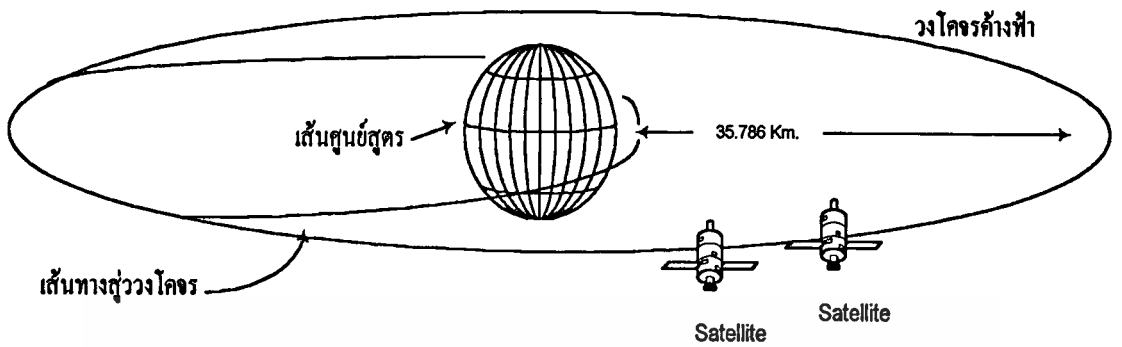
2. ดาวเทียมค้างฟ้า (GEOSTATIONARY SATELLITE) เป็นดาวเทียมที่อยู่กับที่เมื่อเทียบกับโลกมีวงโคจรอยู่ในระนาบเดียวกับเส้นศูนย์สูตร อยู่สูงจากผิวโลกประมาณ 35,786 กม. วงโคจรพิเศษนี้อาจเรียกว่า “วงโคจรค้างฟ้า” หรือ “วงโคจรคลาร์ก” เพื่อเป็นเกียรติแก่นาย Arthur C. Clarke ผู้ค้นพบวงโคจรนี้

วงโคจรคลาร์ก เป็นวงโคจรในระนาบเส้นศูนย์สูตร (EQUATOR) ที่มีความสูงเป็นระยะที่ทำให้ดาวเทียมที่เคลื่อนที่ด้วยความเร็วเชิงมุมเท่ากับการหมุนของโลก แล้วทำให้เกิดแรงเหวี่ยงหนีศูนย์กลางมีค่าเท่ากับแรงดึงดูดของโลกพอดี เป็นผลให้ดาวเทียมดูเหมือนอยู่คงที่ ณ ระดับความสูงนี้ ดาวเทียมค้างฟ้าส่วนใหญ่ใช้ในการสื่อสารระหว่างประเทศ และภายในประเทศ เช่น ดาวเทียมอนุกรมอินเทลแซต ดาวเทียมปลาปาของประเทศอินโดนีเซีย และดาวเทียมไทยคมของประเทศไทย ปัจจุบันมีดาวเทียมค้างฟ้าเป็นร้อยๆ ดวงที่ปรากฏอยู่ในวงโคจรคลาร์ก

ดาวเทียม คือ วัตถุที่เกิดจากการประดิษฐ์คิดค้นโดยมันสมองของมนุษย์ ซึ่งมันสามารถจะลอยอยู่ในอวกาศ และโคจรรอบโลก หรือขับเคลื่อนไปยังจุดหมายปลายทางที่มนุษย์ต้องการได้โดยอาศัยกฎเกณฑ์ทางวิทยาศาสตร์ต่างๆ เช่นแรงดึงดูดของโลกซึ่งทำให้ดาวเทียมสามารถโคจรรอบโลกได้ ในลักษณะเดียวกันกับที่ดวงจันทร์โคจรรอบโลกและโลกโคจรรอบดวงอาทิตย์

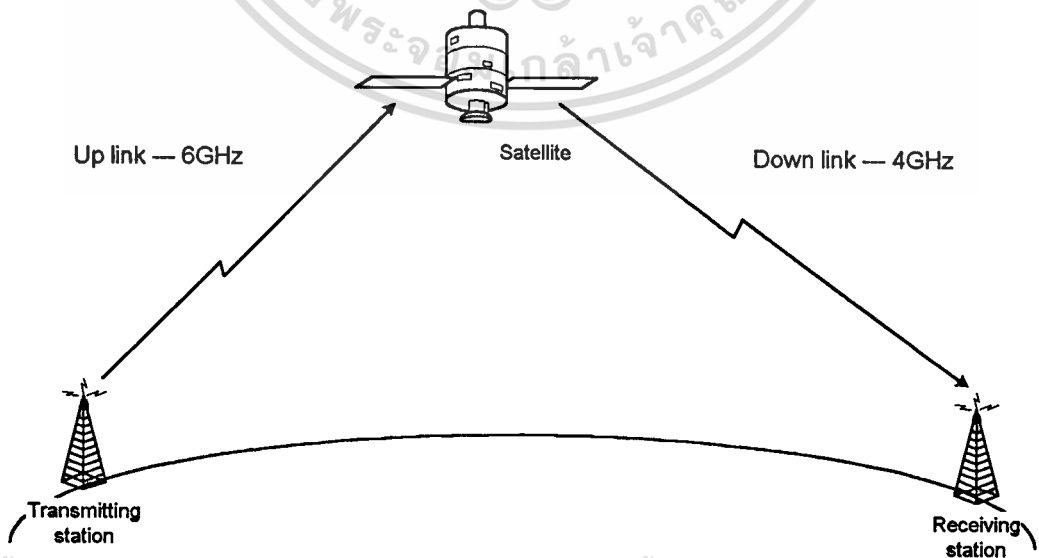
#### ย่านความถี่ในการส่งสัญญาณ

ดาวเทียมที่ใช้ในการสื่อสาร จะมีอุปกรณ์การรับ-ส่งคลื่นวิทยุ ภายในตัวดาวเทียมและอาศัยดาวเทียมทำหน้าที่ ถ่ายทอดทวนสัญญาณ (REPEATER) ไปยังสถานีภาคพื้นดินที่ทำการส่งสัญญาณและรับสัญญาณ การส่งสัญญาณความถี่คลื่นไมโครเวฟจากสถานีภาคพื้นดินที่ส่งสัญญาณ



รูปที่ 2.1 วงโคจรของดาวเทียม

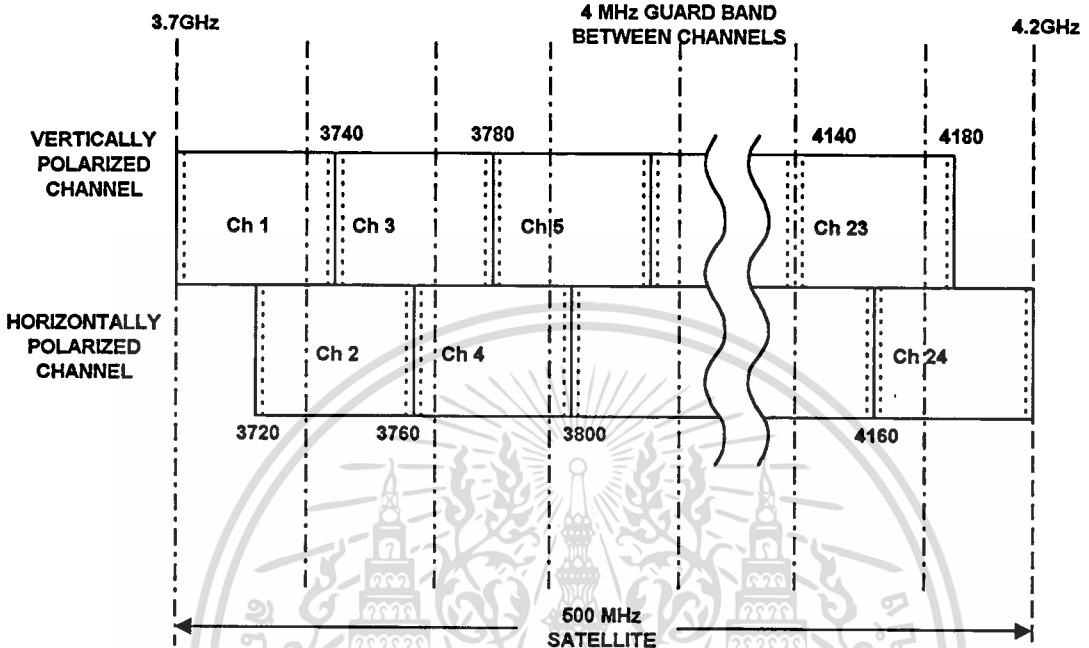
ขาขึ้น เราเรียกว่า “การเชื่อมโยงขาขึ้น” (Up-link) ซึ่งงานรับสัญญาณบนตัวดาวเทียมจะรับคลื่นสัญญาณข้อมูล ภาพ, เสียง, คอมพิวเตอร์ไว้แล้วนำไปขยายให้มีความแรงของสัญญาณมากขึ้นแล้วจึงส่งลงมายังสถานีภาคพื้นดินที่ต้องการ ซึ่งการส่งสัญญาณจากดาวเทียมลงมายังสถานีภาคพื้นดิน เราเรียกว่า “การเชื่อมโยงขาลง” (Down-link) โดยความถี่คลื่นไมโครเวฟขาขึ้นจะแตกต่างกับความถี่ขาลงซึ่งเป็นไปตามหลักของระบบการถ่ายทอดความถี่ และหลักการการรบกวนของสัญญาณ โดยความถี่ขาขึ้นจะสูงกว่าความถี่ขาลงจากดาวเทียมเสมอ ซึ่งการส่งจะยากกว่าการรับสัญญาณ



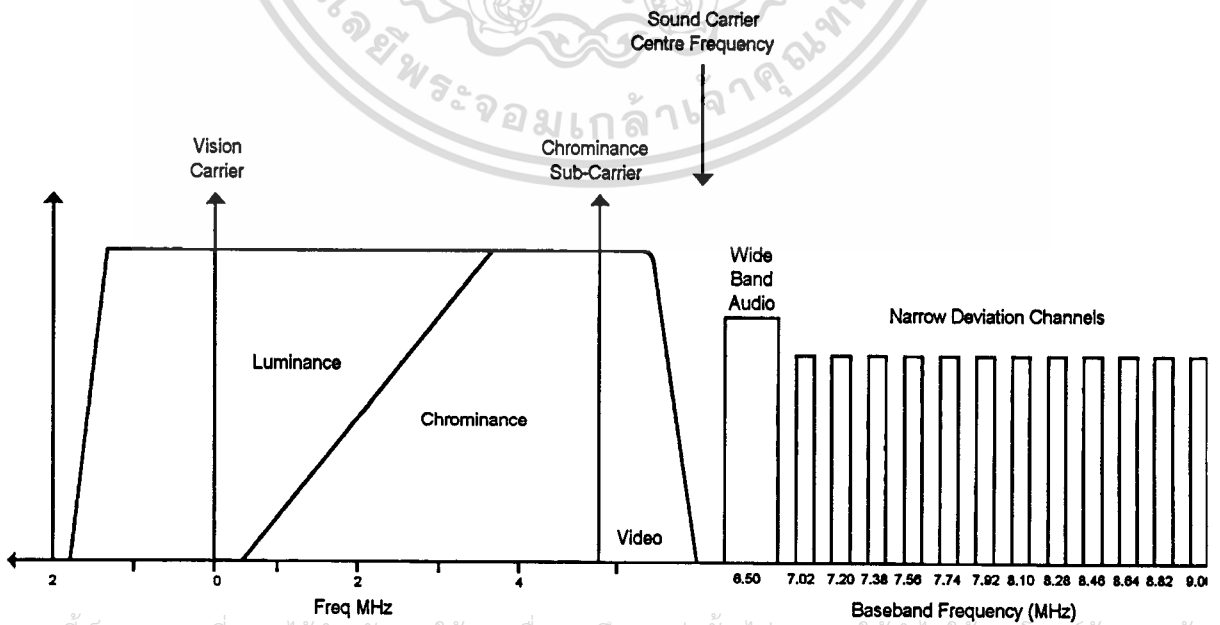
รูปที่ 2.2 การถ่ายทอดทวนสัญญาณจากดาวเทียม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VIDEO CHANNEL FREQUENCIES

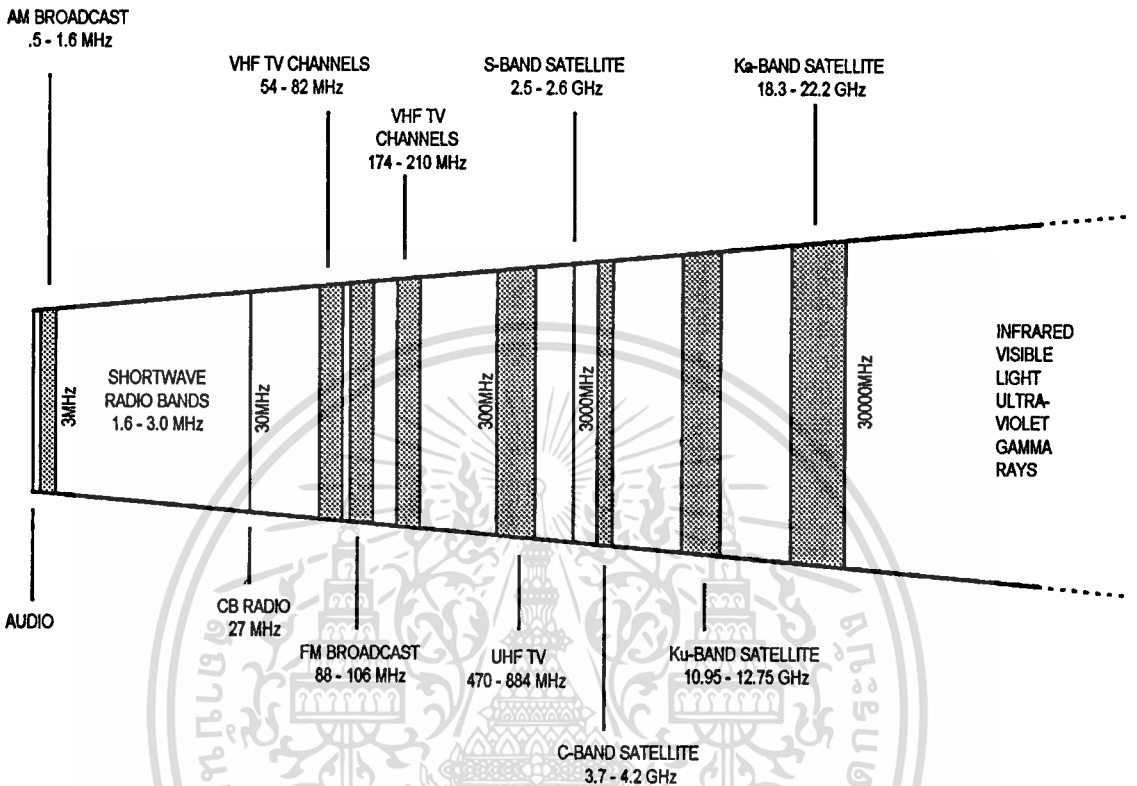


รูปที่ 2.3 ช่องสัญญาณดาวเทียม



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

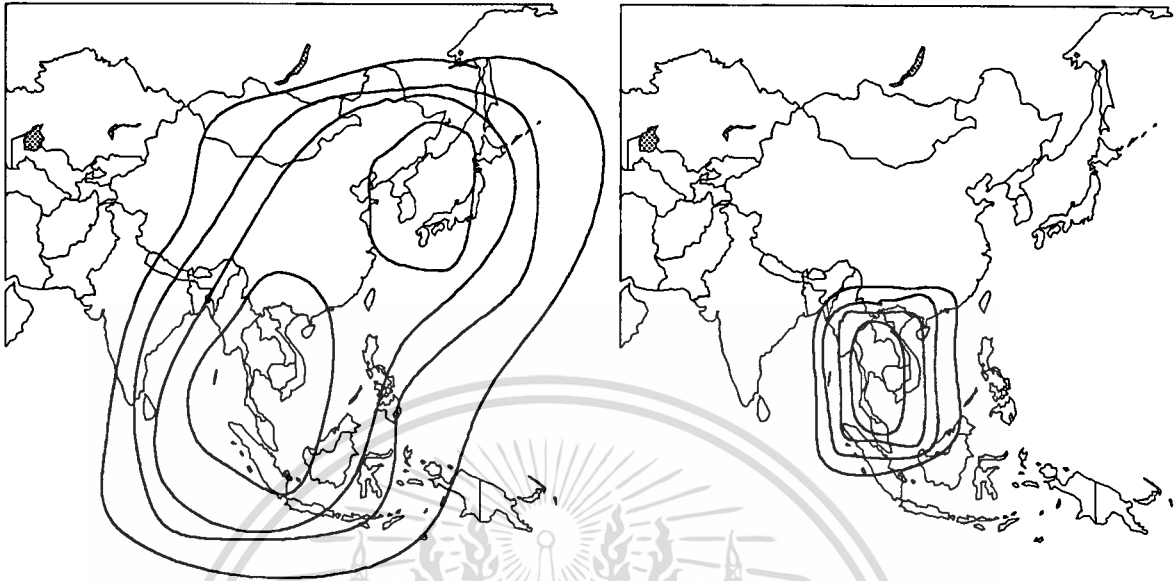
รูปที่ 2.4 ความกว้างของช่องคลื่นสัญญาณภาพและเสียง



รูปที่ 2.5 แถบแสดงความถี่ของคลื่นแม่เหล็กไฟฟ้า

คลื่นแม่เหล็กที่สามารถทะลุชั้นบรรยากาศไอโอโนสเฟียร์ได้ดี ก็คือย่านความถี่ไมโครเวฟ แต่ทว่าย่านความถี่ไมโครเวฟมีหลายช่วงจึงต้องพิจารณาถึงคุณสมบัติ การดูดกลืนของบรรยากาศ และการลดทอนกำลังของสัญญาณเนื่องจากกระยะทาง โดยแถบความถี่ที่นิยมใช้กันมากที่สุดในการสื่อสารทางด้านโทรทัศน คือแถบความถี่ย่าน C-BAND และ Ku-BAND

ฟุตพริ้นท์ (FOOTPRINT) หรือรอยเท้า คือขอบข่ายรัศมี บริเวณพื้นที่ให้บริการในการส่งสัญญาณดาวเทียมว่าต้องการให้ปกคลุมพื้นที่บริเวณใด ดังเช่น กรุงเทพมหานคร เป็นศูนย์กลางฟุตพริ้นท์ของดาวเทียมไทยคม ก็จะมีคามเข้มของสัญญาณแรงมากจะใช้จานเล็กกว่าต่างจังหวัดหรือประเทศเพื่อนบ้านที่มีพื้นที่ห่างไกลออกไป เหมือนกับพื้นที่การส่งไฟฉายฉายแสงไปยังวัตถุ แสงที่ส่งไปตรงกลางจะสว่างจ้ามาก ส่วนบริเวณห่างออกไปจะค่อยๆ มีลดลงตามลำดับ



รูปที่ 2.6 ฟูตปรินท์ของ C-BAND และ KU-BAND

ระบบการส่งสัญญาณครอบคลุมพื้นที่ของดาวเทียม มี 2 แบบ

1. แบบ C-BAND จะส่งคลื่นความถี่กลับมายังโลกอยู่ในช่วงความถี่ 3.7 - 4.2 GHz แบบนี้จะมีฟูตปรินท์กว้าง สามารถส่งสัญญาณครอบคลุมพื้นที่ได้หลายประเทศ

ข้อดี : การใช้ดาวเทียมระบบนี้เหมาะที่จะใช้ในประเทศที่ใหญ่ๆ เพราะส่งดาวเทียมดวงเดียวก็สามารถครอบคลุมพื้นที่ได้ทั่วประเทศ เช่น สหรัฐ, รัสเซีย, จีน, อินโดนีเซีย

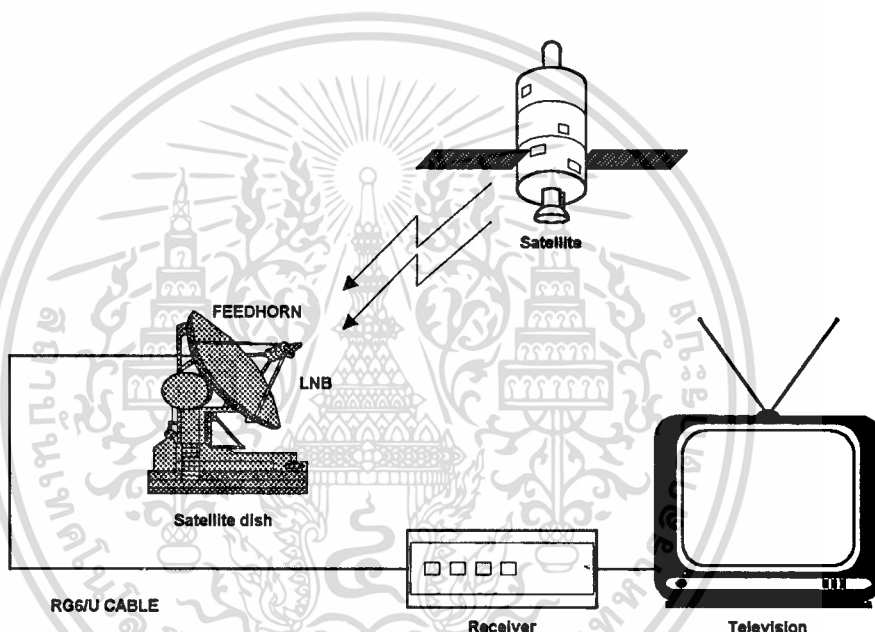
ข้อเสีย : เนื่องจากส่งครอบคลุมพื้นที่ที่กว้างๆ ความเข้มของสัญญาณจะต่ำ จึงต้องใช้จาน 4-12 ฟุต จานขนาดใหญ่รับสัญญาณภาพจึงจะชัด

2. แบบ KU-BAND ส่งความถี่ 10.95-12.75 GHz สูงกว่าความถี่ C-BAND สัญญาณที่ส่งจะครอบคลุมพื้นที่ได้น้อยจึงเหมาะสำหรับการส่งสัญญาณเฉพาะภายในประเทศ เป็นที่นิยมใช้ในประเทศสหรัฐอเมริกา ในยุโรปและประเทศญี่ปุ่น

ข้อดี : ความเข้มของสัญญาณสูงมาก ใช้จานขนาดเล็กๆ 40-80 เซ็นติเมตรก็สามารถรับสัญญาณได้แล้ว เหมาะสำหรับส่งสัญญาณเฉพาะภายในประเทศ เช่น สัญญาณ CABLE TV ผ่านดาวเทียม DBS (DIRECT BROADCAST SATELLITE) ความถี่ 11.7-12.5 GHz ในระบบไม่วากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มาเผยแพร่  
DIGITAL COMPRESSION ของประเทศ สหรัฐอเมริกา

ข้อเสีย : ชุดปรีท์ระบบ KU-BAND จะแคบ ส่งเฉพาะจุดที่ต้องการ ครอบคลุมพื้นที่ได้น้อยทำให้เสียค่าใช้จ่ายสูง อาจรับสัญญาณเสียบ้างค่าสมาชิก (PAY TV) เช่น CABLE TV

## ระบบการรับสัญญาณดาวเทียม



รูปที่ 2.7 บล็อกไดอะแกรมการรับสัญญาณดาวเทียม

หากพิจารณาบล็อกไดอะแกรมของระบบการรับสัญญาณดาวเทียมสามารถดูได้จากรูป โดยมีองค์ประกอบอยู่ทั้งหมด 6 ส่วนด้วยกัน มีรายละเอียดดังนี้

### 1. งานรับสัญญาณดาวเทียม (Sattellite Dish Antenna)

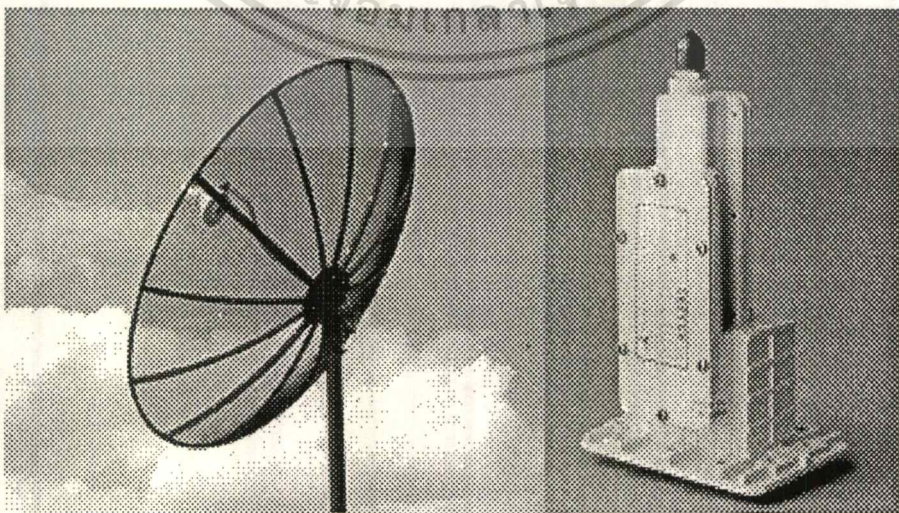
1.1 หน้าที่-ทำหน้าที่สะท้อนสัญญาณให้ไปรวมกันที่จุดโฟกัส ทั้งยังเป็นตัวเพิ่มอัตราขยายให้กับสัญญาณในเวลาเดียวกัน หากงานมีขนาดใหญ่ขึ้นจะทำให้อัตราขยายมากขึ้น งานสายอากาศที่ง่ายที่สุดจะทำงานเป็นรูปจานโค้งหรือจานพาราโบลา (Parabolar) แต่มีใช้ว่าระบบงานที่มีใช้จะเป็นพาราโบลาอย่างเดียวยังมีงานแบบร่ม งานแบบแบน ฯลฯ

1.2 ประเภทของจานที่ได้รับความนิยมในประเทศไทย-มี 2 แบบคือจานโค้งแบบทึบ กับ จานโค้งแบบโปร่ง จานทั้งสองแบบมีความแตกต่างกันดังนี้

ก. จานแบบทึบ มีน้ำหนักมาก ด้านลม แต่ต้นทุนในการผลิตจะต่ำเนื่องจากใช้กระบวนการผลิตด้วยการปั๊มขึ้นรูปผลิตในระบบโรงงานที่ใช้สายงานผลิตครั้งละมากๆ ความแน่นอนของ ส่วนโค้งจะมีความแน่นอนสูงเนื่องจากผลิตจากแม่แบบเดียวกันสามารถควบคุมคุณภาพได้แน่นอน

ข. จานแบบโปร่ง จะมีน้ำหนักเบา ไม่ด้านลม แต่ต้นทุนในการผลิตจะสูงกว่าหลายเท่าตัว เพราะจานแบบโปร่งใช้วัสดุที่เป็นอะลูมิเนียมมาเป็นตัวงาน อัตราขยายของจานแบบโปร่งจะ ดีกว่าจานแบบทึบตามหลักการแพร่ขยายตัวของสนามแม่เหล็กไฟฟ้า อย่างไรก็ตามการระบบการผลิตได้ทำอย่างพิถีพิถันจะมีส่วนทำให้คุณภาพของจาน โปร่งสามารถเทียบเคียงกับจานทึบได้ หัวใจของจานโค้งอยู่ที่อัตราความโค้ง หากอัตราความโค้งถูกต้อง การรับสัญญาณก็จะมีอัตราขยายที่ดีตามไปด้วย อย่างไรก็ตามผู้ผลิตจานแบบโปร่งต้องคำนึงถึงรูตะแกรงของจานด้วย เพราะหากรูตะแกรงโตเกินไปการรับจะรับสัญญาณได้อ่อนลง รูตะแกรงที่ดีต้องมีขนาดน้อยกว่า  $1/12$  ของความยาวคลื่น จานรับที่ใหญ่จะให้ผลการสะท้อนของสัญญาณได้ดีกว่าจานรับขนาดเล็ก ส่วนจานทึบ (SOLID) จะสะท้อนสัญญาณได้ดีกว่าจานโปร่ง (MESH) ในขนาดจานที่เท่ากัน

ซึ่งถือว่าขนาดของรูตะแกรงที่ใช้ในย่านความถี่ C-BAND ควรจะมีเส้นผ่าศูนย์กลางไม่เกิน 0.6 Cm. และหากจะให้รับย่านความถี่ Ku-BAND ต้องให้ขนาดของรูตะแกรงเส้นผ่าศูนย์กลางไม่เกิน 0.3 Cm.

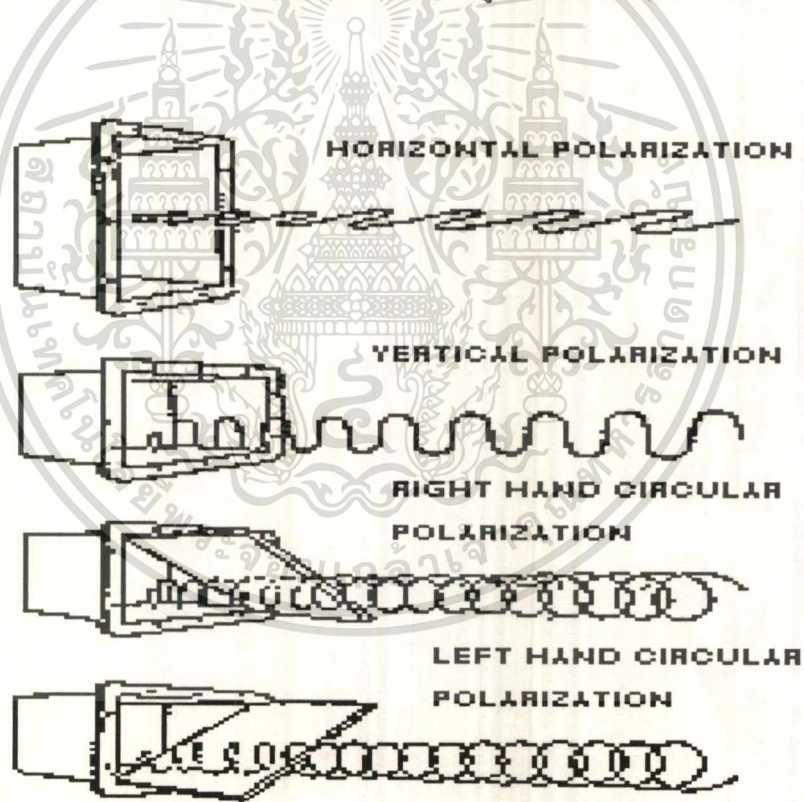


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้  
รูปที่ 2.8 จานรับสัญญาณดาวเทียม และ LNB

## 2. ตัวขยายสัญญาณแอลเอ็นบี (LNB: Low Noise Block Down Convertor)

2.1 หน้าที่-ขยายสัญญาณให้มีความแรงขึ้นโดยวงจรขยายสัญญาณแบบนี้ต้องให้มีการรบกวนเนื่องจากระบบการขยายสัญญาณให้น้อยที่สุด หากงานรับเป็นงานขนาดใหญ่จะช่วยให้สัญญาณที่เป็นสัญญาณรบกวน (Noise) ลดน้อยลง

2.2 หน้าที่-แปลงความถี่ในระบบดาวเทียมให้เป็นความถี่ต่ำลง เพราะหากจะส่งความถี่ไปกับสายส่งด้วยสัญญาณความถี่สูง หากเป็นสายโคแอกเซียลธรรมดา (Coaxial) ย่อมก่อให้เกิดการสูญเสียในสายมาก ต้องอาศัยตัวเวฟไกด์มาทำการขยายสัญญาณ เนื่องจากสัญญาณที่ส่งมาจากดาวเทียมในย่าน C-BAND มีความถี่อยู่ในช่วง 3.7-4.2 GHz และ Ku-BAND มีความถี่อยู่ในย่าน 10.95 - 12.75 GHz ต้องมีการแปลงความถี่ลงมาให้เป็นความถี่ต่ำที่อยู่ในช่วง 950-2,050 MHz



รูปที่ 2.9 การแพร่กระจายคลื่นแบบ LINEAR และ CIRCULAR POLARIZATION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 2.3 ต้องเป็นอุปกรณ์ที่ให้สัญญาณรบกวนต่ำที่สุด ตัวของ LNB สมัยก่อนจะใช้เป็น LNA  
 ไม่ว่าจะรูปร่างใด ๆ ทั้งสิ้น อีกทั้งห้ามมีเหตุขัดแย้งและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้  
 อันเป็นวงจรขยายแบบมีสัญญาณรบกวนน้อยที่สุด การจะควบคุมอุปกรณ์ให้มีเสถียรภาพในการ  
 ขยายสัญญาณ โดยปราศจากการรบกวนจากระบบวงจรมานั้น ต้องควบคุมอุณหภูมิหรือต้องหล่อเย็น

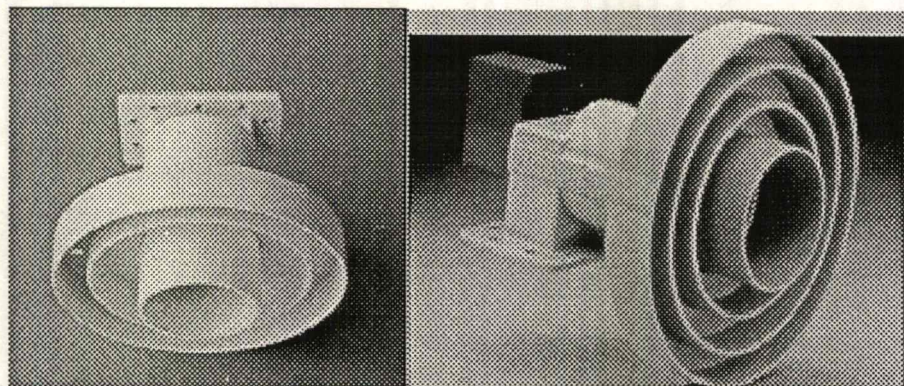
ให้กับอุปกรณ์ เมื่อมาถึงยุคของ LNB ซึ่งก็คือ LNA บวกกับ Block Down Converter จึงต้องกำหนดค่า NF (Noise Figure) ให้กับตัว LNB โดยทั่วไปค่า NF จะอยู่ในช่วง 25-40 °K ถ้า LNB ตัวใดมีค่า NF น้อยตัวนั้นจะมีคุณภาพ-เสถียรภาพในการทำงานดีกว่าและราคาข้อมแพงกว่าด้วย

2.4 อัตราขยาย (GAIN) วัดอยู่ในหน่วยเดซิเบล เหมือนเครื่องขยายทั่วไปจะมีค่าประมาณ 65 dB. ความถี่ช่องต่างกันเกณฑ์การขยายจะไม่เท่ากัน

### 3. ฟีดฮอร์น (Feed Horn)

3.1 ทำหน้าที่เป็นตัวรวมสัญญาณที่ได้จากการสะท้อนจากจานรับดาวเทียม ป้อนเข้าไปทางปากฮอร์น และส่งผ่านไปยังท่อนำสัญญาณ (WAVEGUIDE) เข้าไปยังโพรบสายอากาศทางเข้าของ LNB ซึ่งตัว FEED HORN สามารถขยับให้สูงขึ้นหรือต่ำลงได้เหมือนกับเป็นตัวปรับ FOCUS ของสัญญาณให้มีความแรงมากที่สุด โดยตำแหน่งการวางอุปกรณ์ฟีดฮอร์นจะมีความสัมพันธ์กับอัตราส่วน F/D

3.2 การตั้งทิศทางการรับหรือระบบโพลาไรเซชัน (Polarization) เนื่องจากการส่งสัญญาณความถี่วิทยุนั้นได้มีการจัดสรรความถี่ให้เกิดประโยชน์สูงสุดโดยไม่รบกวนกัน ระบบโพลาไรเซชันจึงถูกกำหนดทิศทางเคลื่อนที่ให้กับคลื่นความถี่ต่างๆ เช่น โพลาไรซ์แนวตั้ง (Vertical) โพลาไรซ์แนวนอน (Horizontal) ซึ่งถือว่าทั้งสองรูปแบบดังที่ว่ามีเป็นการแพร่กระจายคลื่นที่เป็นสัดส่วนตรง (Linear Polarization) ยังมีการแพร่กระจายคลื่นแบบอื่นอีก เช่น การแพร่กระจายคลื่นแบบเกลียวกลม หรือที่รู้จักกันในนามเซอร์กิวลาร์โพลาไรเซชัน (Circuit Polarization) ซึ่งในระบบของดาวเทียมยังไม่นิยม



รูปที่ 2.10 FEED HORN FIX และ FEED HORN ADJ

#### 4. ขั้วต่อและสายนำสัญญาณ (CONNECTOR & CABLE FINDER)

เนื่องจากคลื่นความถี่ในระบบการรับสัญญาณดาวเทียมย่าน UHF ความถี่สูงมีการสูญเสียง่าย ขั้วต่อและสายนำสัญญาณจึงต้องใช้อย่างดีกว่าเครื่องรับโทรทัศน์ปกติ ปัจจุบันจะนิยมใช้ขั้วต่อสัญญาณดาวเทียมแบบ F-TYPE CONNECTOR เนื่องจากมีเกลียวภายในลึกลับจุกต่อ ทำให้ขั้วต่อแน่น มีความแข็งแรงทนทาน และการใช้งานง่ายไม่ต้องบังคับกริ ส่วนใหญ่จะนิยมต่อใช้งานในช่วงความถี่สูง เช่น จากจุดออกของ LNB มายังทางเข้าของเครื่องรับสัญญาณดาวเทียม หรือต่อเข้ากับจุดต่อของ BOOSTER ความถี่สูง

สายนำสัญญาณที่ใช้ในการติดตั้งการรับสัญญาณดาวเทียม จะแตกต่างจากสาย COAXIAL ธรรมดา 75 โอห์ม สีขาวที่ใช้ในการรับสัญญาณจากสายอากาศทีวีโดยสายนำสัญญาณดาวเทียมนี้ จะส่งผ่านความถี่สูงมาก ย่านไมโครเวฟ ทำให้มีการสูญเสียง่ายจึงต้องมีการ SHIELD อย่างดีโดยทั่วไปจะเป็นแบบ DOUBLE SHIELD 75 โอห์ม LOW LOSS (FOAM) มีทั้งแบบเดินภายนอกและภายในอาคาร การเลือกซื้อควรดูที่สเปคของสายว่า ให้ความถี่เท่าใด มีการลดทอนสูญเสียสัญญาณกี่ dB. สายชนิดดัดก็มีมากหรือเปล่า ทำด้วยเงินหรือทองแดง มีอิมมูนิตี้หรือชนิดด้วยหรือไม้ และฉนวนที่กั้นระหว่างสายนำสัญญาณด้านใน กับสายชนิดที่ทำด้วยอะไร ควรให้มีรูอากาศระบายในฉนวน ฉนวนแบบโฟมจะดีกว่าแบบพลาสติก PE ระยะเวลาแรก ใช้ไปนานๆ จะไม่ค่อยดี

สายที่ใช้ได้แก่สาย 5C, RG-11, RG-59 และสาย RG-6, RG-6/U สีดำ จะเป็นสายที่นิยมใช้กันมากที่สุดจะใช้ CODE EX-50, EX-51 ซึ่ง EX-50 จะมีสายชนิดดัดมากกว่า EX-51 ราคาสายประมาณเมตรละ 15 บาท สำหรับการเดินสายนำสัญญาณจาก LNB มายังเครื่องรับไม่ควรยาวเกินกว่า 30 เมตรหากสายมีระยะทางยาวมากที่ปลายสายจะรับสัญญาณความถี่สูงไม่ได้

สายที่ใช้ได้แก่สาย 5C, RG-11, RG-59 และสาย RG-6, RG-6/U สีดำ จะเป็นสายที่นิยมใช้กันมากที่สุดจะใช้ CODE EX-50, EX-51 ซึ่ง EX-50 จะมีสายชนิดดัดมากกว่า EX-51 ราคาสายประมาณเมตรละ 15 บาท สำหรับการเดินสายนำสัญญาณจาก LNB มายังเครื่องรับไม่ควรยาวเกินกว่า 30 เมตรหากสายมีระยะทางยาวมากที่ปลายสายจะรับสัญญาณความถี่สูงไม่ได้

#### 5. เครื่องรับสัญญาณดาวเทียม (Satellite Receiver)

ทำหน้าที่รับสัญญาณเข้ามาแล้วเปลี่ยนความถี่ IF. 950-2,050 MHz ให้เป็นความถี่ของ VIDEO และ AUDIO ด้วยการควบคุมการเลือกช่องที่ภาค ออสซิลเลเตอร์ สัญญาณภาพและเสียงที่ถูกคิดเทคเตอร์ออกมาจะนำไปขยายส่งเข้าจุดต่อเอาต์พุต อีกส่วนหนึ่งเข้าภาค RF CONVERTER ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งยังมีหลอดแปลงสัญญาณและห้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้แปลงสัญญาณภาพและเสียง ให้กลับเป็นคลื่นวิทยุ RF. ความถี่ช่องโทรทัศน์ย่าน UHF. ประมาณช่องที่ 30 - 45 เครื่องรับรุ่นใหม่จะเป็นระบบดิจิทัล ควบคุมด้วยรีโมทคอนโทรลบอกค่าความถี่

เป็นตัวอักษรหน้าจอ ปัจจุบันแสดงผลเป็นภาษาไทย สามารถรับสัญญาณเสียงได้หลายภาษา มีทั้งระบบสเตอริโอ และระบบโมโน มีจำนวนช่องตั้งโปรแกรมต่างๆ ได้มากมาย มีทั้งแบบรับสัญญาณจากดาวเทียมดวงเดียว และแบบรับสัญญาณดาวเทียมได้ 2, 3, 4 ดวงและแบบรับดาวเทียมได้หลายดวง (MOVE) ซึ่งจะมีอุปกรณ์ควบคุมตำแหน่งจาน อยู่ภายในเครื่องรับ

#### 6. เครื่องรับโทรทัศน์ (TELEVISION)

ควรเป็นเครื่องรับโทรทัศน์ที่รับความถี่ย่าน UHF. ได้ มีจำนวนช่องรับหลายช่องถ้าเป็นหลายระบบ (MULTI SYSTEM) คือระบบ NTSC SECAM PAL จะดีเพราะบางรายการอย่างเช่นของพม่าส่งสัญญาณภาพในระบบ NTSC ซึ่งเครื่องรับระบบ PAL ที่ใช้ในประเทศไทยจะรับไม่ได้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

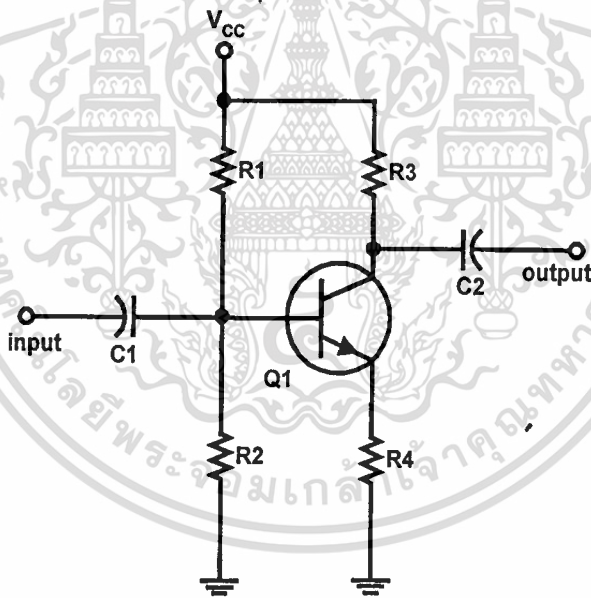
## บทที่ 3

### ทฤษฎีและหลักการ

#### ระบบภาพ

#### วงจรบัฟเฟอร์

ทำหน้าที่ขยายสัญญาณให้มีความแรงมากพอเพื่อที่จะส่งไปตามวงจรส่วนต่างๆ ให้สามารถทำงานได้โดยไม่เกิดการผิดพลาด อีกหน้าที่คือทำให้เกิดความสมดุลทางอิมพีแดนซ์ (Matching Impedance) ซึ่งส่วนประกอบโดยทั่วไปของวงจรบัฟเฟอร์ ที่ใช้ในโครงการนี้จะใช้อุปกรณ์ประเภททรานซิสเตอร์



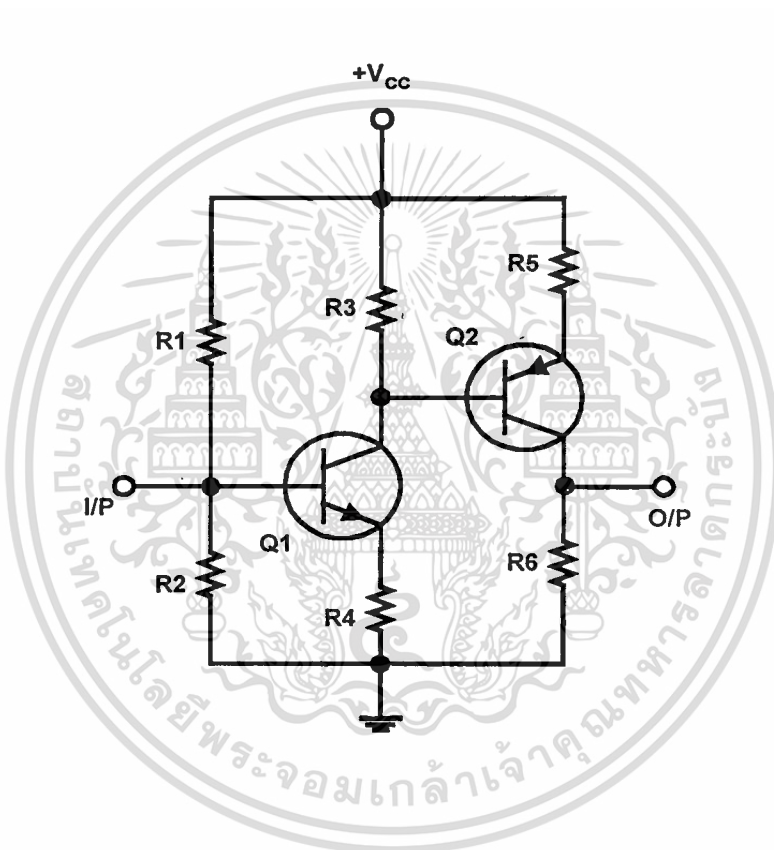
รูปที่ 3.1 วงจรบัฟเฟอร์

#### วงจรขยายที่ใช้ในการเชื่อมต่อ (Amplifier Coupling)

#### วงจรขยายแบบเชื่อมต่อโดยตรง (Direct coupled Amplifier)

เอกสารนี้เป็นในโครงการนี้ได้ใช้วงจรขยายแบบ 2 ชั้น (two-stage amplifier) ซึ่งใช้ทรานซิสเตอร์ทั้งชนิด NPN และชนิด PNP เราเรียกวงจรนี้ว่า วงจรขยายแบบคอมพิลิมেন্টารี โดยสัญญาณอินพุตถูกใช้

ขยายเป็นขั้นแรก จากนั้นสัญญาณที่ได้รับการขยายจะถูกจ่ายให้กับขาเบสของทรานซิสเตอร์ ส่วนขั้นที่สอง เป็นที่ทรานซิสเตอร์ชนิด PNP คือไบแอสโดยให้โฟลตเข้าที่คอลเลกเตอร์และบวกเข้าที่อิมิตเตอร์ และสำหรับทรานซิสเตอร์ NPN จะไบแอสในทิศทางตรงข้ามกับทรานซิสเตอร์ PNP ในวงจรจะเห็นว่าขั้วลบของแบตเตอรี่จะต่อลงกราวด์เป็นผลทำให้ทรานซิสเตอร์ PNP มีคอลเลกเตอร์เป็นลบ เมื่อเทียบกับอิมิตเตอร์ซึ่งเป็นบวก อัตราการขยายทั้งหมดของวงจรคือ ผลที่ได้รับจากขั้นที่สองซึ่งเป็นอัตราการขยายแรงดัน

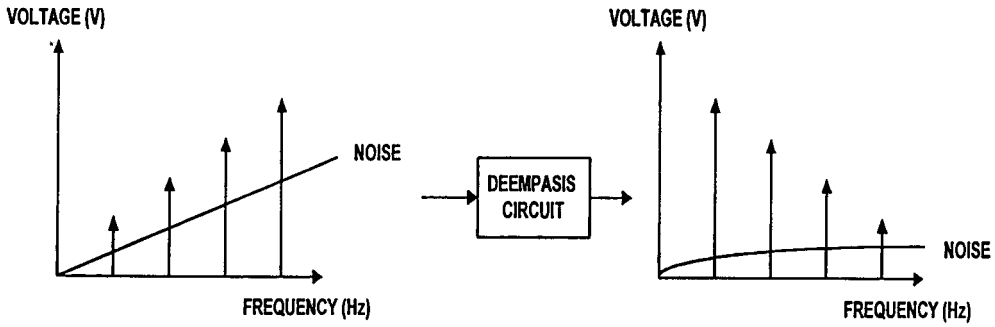


รูปที่ 3.2 วงจรโคเร็คคัปลิ่ง

### ระบบดีเอ็มฟาซิส

ทางด้านส่งจะมีการปรับเอ็มฟาซิสมาเนื่องจากปัญหาทางความถี่สูง เมื่อมาถึงเครื่องรับจึงจำเป็นต้องลดระดับความแรงของสัญญาณความถี่สูงให้อยู่ในสภาวะปกติด้วยวงจรลดระดับความถี่สูงที่เรียกว่าดีเอ็มฟาซิส (De-emphasis)

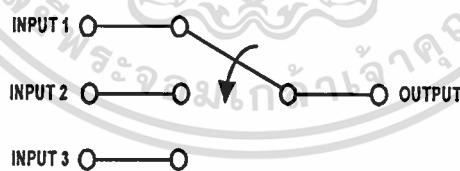
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 ขบวนการดีเอ็มฟาซิสที่เครื่องรับ

### ระบบมัลติเพล็กซ์เซอร์

ระบบมัลติเพล็กซ์เซอร์หรือโดยทั่วๆ ไปมักเรียกระบบนี้ว่าระบบเลือกข้อมูล ซึ่งระบบนี้อาจใช้แทนสวิตช์เลือก ระบบจะประกอบด้วยอินพุตจำนวนหลายๆ อินพุต แต่มีเอาต์พุตเดียว ข้อมูลจากอินพุตจะส่งมายังเอาต์พุตเพียงข้อมูลเดียวที่เวลาใดเวลาหนึ่ง และขณะนี้ข้อมูลจากอินพุตอื่นๆ ไม่สามารถส่งมาแสดงผลที่เอาต์พุตได้เลย ข้อมูลอินพุตผ่านมายังเอาต์พุตได้ทุกๆ ข้อมูล แต่ต้องไม่ใช่ในเวลาเดียวกันกับข้อมูลแรก ซึ่งระบบนี้เหมาะที่จะนำมาใช้ส่งข้อมูลในระบบคอมพิวเตอร์หรือส่งสัญญาณในวงจรควบคุมใดๆ ก็ได้ ข้อดีของวงจรนี้ คือสัญญาณข้อมูลจะถูกส่งไปยังเอาต์พุตหรือวงจรถัดไปไม่พร้อมกัน สามารถลดจำนวนสายส่งข้อมูลไปได้มาก



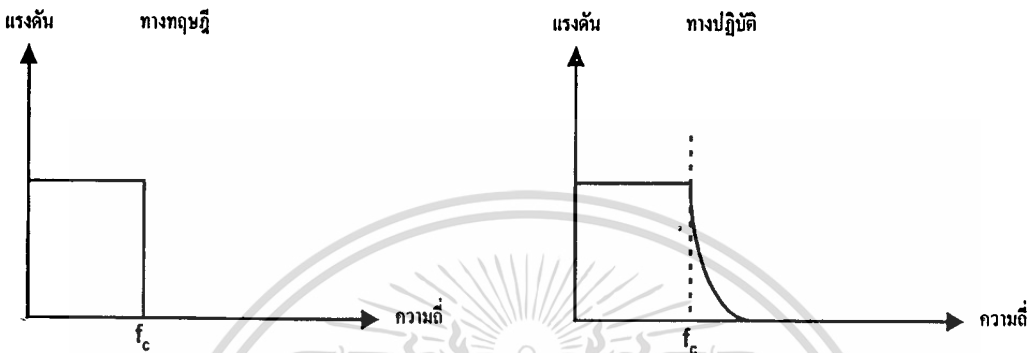
รูปที่ 3.4 ระบบการมัลติเพล็กซ์

### ระบบฟิลเตอร์

เมื่อทราบแล้วว่าสัญญาณภาพเป็นสัญญาณที่อยู่ในช่วงความถี่ 0-5 MHz เราจะใช้ระบบกรองความถี่ต่ำผ่าน 5 MHz (LPF : Low Pass Filter) ทำหน้าที่เป็นวงจรแยกสัญญาณภาพ และสัญญาณเสียงเป็นสัญญาณที่อยู่ในช่วงความถี่ 5-8 MHz เราจะใช้ระบบกรองแถบความถี่ผ่าน 5-8 MHz (BPF : Band Pass Filter)

### ระบบกรองความถี่ต่ำผ่าน (Low Pass Filter)

ระบบกรองความถี่ต่ำผ่าน (low pass filter) จะให้สัญญาณความถี่ตั้งแต่ 0 เฮิรตซ์ ไปจนถึงความถี่ที่กำหนดไว้ ( $f_c$ ) ผ่านไปได้ ส่วนความถี่ที่เกินค่า  $f_c$  จะถูกลดทอนและกำจัดออกไป

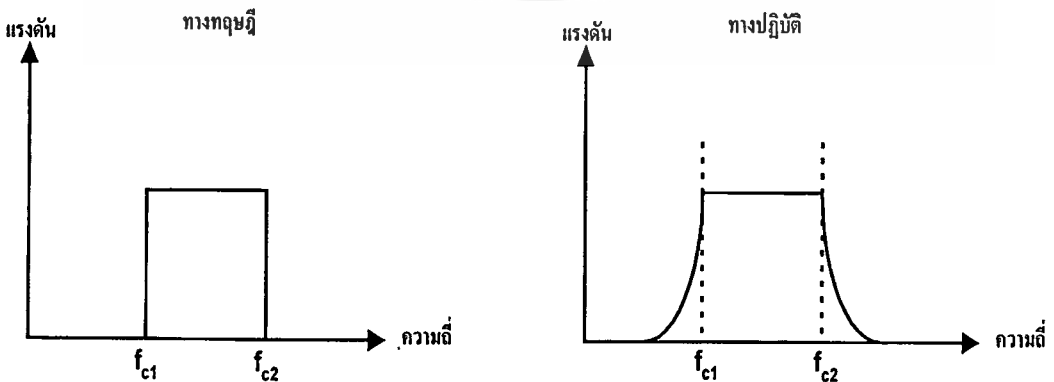


รูปที่ 3.5 ลักษณะคุณสมบัติของระบบกรองความถี่ต่ำ

### ระบบเสียง

#### ระบบกรองแถบความถี่ผ่าน (Band Pass Filter)

ระบบกรองแถบความถี่ผ่าน (band pass filter) จะให้สัญญาณความถี่ตั้งแต่  $f_{c1}$  ไปจนถึงความถี่  $f_{c2}$  ผ่านไปได้สำหรับความถี่ต่ำกว่า  $f_{c1}$  และความถี่ที่สูงกว่า  $f_{c2}$  จะถูกกำจัดทิ้งไป เปรียบเสมือนเอาระบบกรองความถี่ต่ำผ่านกับระบบกรองความถี่สูงผ่านมาผสมกัน

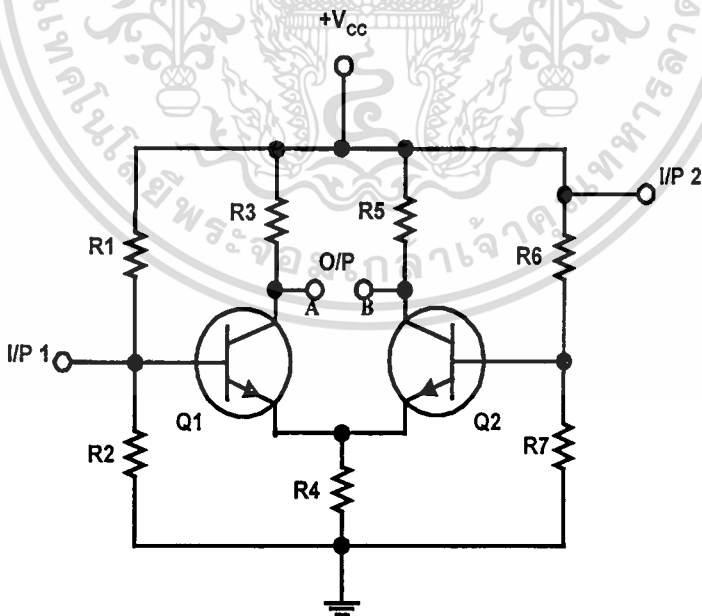


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น รูปที่ 3.6 ลักษณะคุณสมบัติของระบบกรองแถบความถี่ผ่านทุกครั้งที่มีการนำไปใช้

### วงจรรขยายแบบผลต่าง (Differential Amplifier)

ในการทำงานของวงจรมีอัตราขยายสูง และมีความเสถียรสูงเมื่ออุณหภูมิเปลี่ยนแปลง วงจรรขยายอีกแบบหนึ่งซึ่งเป็นที่ต้องนำมาใช้ ก็คือวงจรรขยายแบบผลต่าง ดังแสดงในรูปที่ 3.4 ซึ่งจะเห็นว่าสัญญาณอินพุตแบ่งเป็น 2 ส่วน และให้สัญญาณเอาต์พุตหนึ่งหรือสองเอาต์พุต ถ้าจ่ายสัญญาณเข้าไปยังอินพุตของทรานซิสเตอร์  $Q_1$  สัญญาณจะถูกขยายและถูกส่งออกมายังเอาต์พุต A กับกราวนด์ ซึ่งเป็นการขยายธรรมดา อย่างไรก็ตามสัญญาณเล็กน้อยที่ตกคร่อมตัวต้านทาน  $R_4$  จะถูกจ่ายไปยังอิมิตเตอร์ของทรานซิสเตอร์  $Q_2$  ซึ่งทรานซิสเตอร์  $Q_2$  ทำหน้าที่เป็นตัวขยายสัญญาณแบบคอมมอนเบส ซึ่งจะขยายสัญญาณที่เบสของทรานซิสเตอร์  $Q_2$  สัญญาณเอาต์พุตที่ถูกขยายแล้ว จะถูกส่งออกมาที่เอาต์พุต B กับกราวนด์ โดยที่เอาต์พุตที่ถูกผลิตขึ้นมานี้จะมีเฟสต่างกับกับเอาต์พุต A 180 องศา อันนี้เองจึงทำให้วงจรรขยายแบบผลต่าง มีข้อดีกว่าวงจรรขยายแบบอื่นๆ

วงจรรขยายแบบผลต่าง โดยทั่วไปจะไม่นำเอาต์พุตจากวงจรด้านใดด้านหนึ่งกับกราวนด์มาใช้งาน แต่จะเอาแรงดันเอาต์พุตระหว่าง A และ B ไปใช้งาน เพราะเอาต์พุตทั้งสองมีเฟสต่างกัน 180 องศา และแรงดันเอาต์พุตจะเป็นค่าที่คงตัวระหว่างสองจุดนี้ โดยที่สัญญาณอินพุตสามารถจ่ายได้ข้างใดข้างหนึ่งในสองด้านได้



รูปที่ 3.7 วงจรรขยายแบบผลต่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ... ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



### ระบบมิกเซอร์

ระบบมิกเซอร์ในโครงงานนี้ได้ใช้ประเภทแอกทีฟ (active) โดยใช้ทรานซิสเตอร์หรือไอซี รวมทั้งอุปกรณ์อื่นๆ ที่ให้อัตราขยาย (ในการผสมคลื่น) และเป็นแบบบาลานซ์

ระบบมิกเซอร์แบบสมดุลหรือบาลานซ์นี้ เราต่อวงจรให้ขั้วอินพุตหรือเอาต์พุตของวงจรมิกเซอร์ไม่เกิดปฏิกิริยาซึ่งกันและกัน (สัญญาณไม่เล็ดลอดระหว่างขั้ว) คุณสมบัตินี้เราเรียกว่า การแยกระหว่างขั้วหรือ ไอโซเลชัน (isolation) ขั้วอินพุตของวงจรมิกเซอร์มี 2 ขั้วคือ สัญญาณ RF (หรือ IF) กับสัญญาณออสซิลเลเตอร์ และมีขั้วเอาต์พุต 1 ขั้ว คือสัญญาณ IF (หรือ RF) จากรูปที่ 3.8 ในกรณีของภาคเครื่องรับจะเห็นว่าการแยกระหว่างขั้ว RF และขั้วออสซิลเลเตอร์จะช่วยมิให้สัญญาณออสซิลเลเตอร์ย้อนกลับออกสู่สายอากาศแผ่กระจายคลื่นออกไปได้ และการแยกระหว่างขั้ว RF กับขั้ว IF จะช่วยมิให้สัญญาณที่มีความถี่พอดีตรงกับความถี่ IF เล็ดลอดเข้าไปสู่วงจรขยาย IF



รูปที่ 3.8 มิกเซอร์ของภาคเครื่องรับ

### ระบบออสซิลเลเตอร์

ทำหน้าที่กำเนิดสัญญาณความถี่สูง เพื่อใช้ในการทำงานร่วมกับวงจรอื่นๆ ภายในเครื่อง เช่น ในการมอดูเลต การผสมคลื่นหรือมิกซ์ รวมทั้งใช้เป็นสัญญาณอ้างอิงออสซิลเลเตอร์ การออสซิลเลตของวงจรออสซิลเลเตอร์อาศัยหลักการป้อนกลับแบบบวก ระบบที่เป็นตัวกำหนดความถี่ อาจเป็นวงจรจูน LC หรือใช้คริสตอลก็ได้ ค่า Q ของวงจรมีค่าสูง ความถี่ที่วงจรจะออสซิลเลตก็จะยิ่งคงที่ไม่เคลื่อน (shift) ไปได้ง่าย สำหรับวงจร LC มีค่า Q น้อยกว่าคริสตอล ฉะนั้นเสถียรภาพทางความถี่ของระบบคริสตอลออสซิลเลเตอร์ จึงดีกว่า วงจรออสซิลเลเตอร์ที่ใช้ LC ธรรมดา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ระบบสังเคราะห์ความถี่

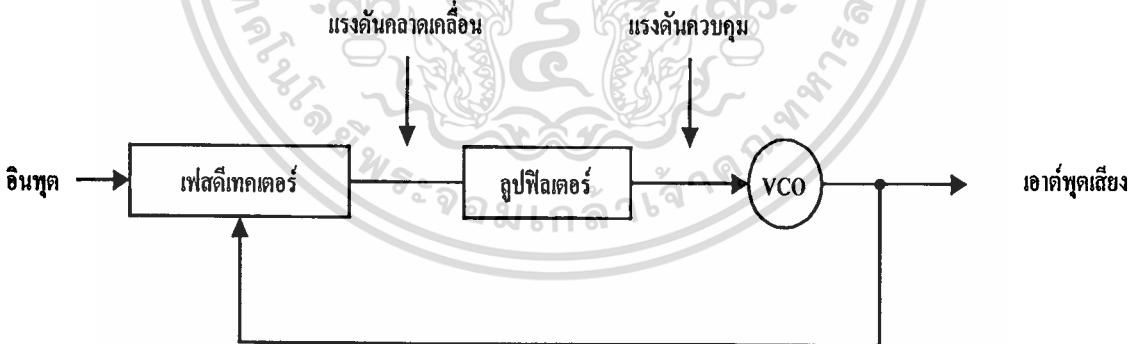
ระบบสังเคราะห์ความถี่ก็คือ ระบบที่ทำหน้าที่ผลิตสัญญาณความถี่ขนาดพอเหมาะ และให้มีความถี่ตามที่เรากำหนด (คือสั่งหรือโปรแกรมได้) การโปรแกรมสามารถทำได้โดยการตั้งสวิทช์หรือกดปุ่ม แต่ ในปัจจุบันนิยมสั่งงานด้วยคอมพิวเตอร์

ช่วงความถี่ใช้งานของวงจรสังเคราะห์ความถี่จะจำกัดอยู่ในช่วงความถี่ที่แน่นอน แล้วแต่การใช้งานและความละเอียดของความถี่ที่เปลี่ยนได้ที่ละขั้น เรียกว่า **เรโซลูชัน (resolution)**

วิธีสังเคราะห์ความถี่ในโครงการนี้จะใช้วิธีสังเคราะห์โดยอ้อม (indirect synthesis) วิธีนี้อาศัยเฟสล็อกคูล (phase locked loop เรียกย่อว่า PLL)

## เฟสล็อกคูล

เฟสล็อกคูลเป็นระบบป้อนกลับที่บังคับให้วงจรออสซิลเลเตอร์มีความถี่หรือเฟสเปลี่ยนแปลงไปตามความถี่หรือเฟสของสัญญาณอ้างอิงภายนอก เฟสล็อกคูลประกอบด้วยภาคสำคัญ 3 ภาค คือ ภาคเทียบเฟสหรือเฟสดีเทคเตอร์ (phase detector) ภาคลูปฟิลเตอร์ (loop filter) และภาค VCO ดังรูปที่ 3.9 ในที่นี้สมมติว่าเราต่อเอาต์พุตจากวงจร VCO



รูปที่ 3.9 หลักการดีมอดูเลชันสัญญาณ FM ด้วยเฟสล็อกคูล

สมมติว่ามีสัญญาณความถี่อ้างอิงภายนอกเป็นสัญญาณรายคาบ (periodic) เข้ามาที่อินพุต ภาคเทียบเฟสทำหน้าที่เปรียบเทียบเฟสระหว่างสัญญาณอ้างอิงกับสัญญาณจาก VCO เอาต์พุตที่ได้จากภาคเฟสดีเทคเตอร์จะเป็นแรงดันที่มีแอมพลิจูดเป็นสัดส่วนกับผลต่างในเฟสของสัญญาณทั้ง

สองที่ทำการเปรียบเทียบ แรงดันผลต่างนี้ป้อนไปให้วงจรรูปฟิลเตอร์ชนิดกรองความถี่ต่ำผ่าน ซึ่ง จะกรองเอาแต่เฉพาะความถี่ต่างๆ ที่ต้องการ เพื่อส่งไปควบคุมการออสซิลเลตของ VCO ต่อไป

เมื่อลูปอยู่ในสภาวะล็อก (lock) ความถี่ของ VCO จะเท่ากับความถี่ของสัญญาณอินพุตพอดี อาจจะมีเฟสแตกต่างกันไป แต่ค่าเฟสที่แตกต่างนั้นจะมีค่าคงที่ (constant phase difference) ในกรณีที่มี เฟสไม่ตรงกันภาคเฟสดีเทคเตอร์จะจ่ายแรงดันคลาดเคลื่อน (error voltage) ไปควบคุมการทำงานของ VCO เพื่อมิให้เฟสคลาดเคลื่อนจนกว่าจะเข้าสู่สภาวะล็อกเอาต์พุตของ VCO จึงมี แอมพลิจูดคงที่เสมอ แต่ความถี่จะเปลี่ยนแปลงตามความถี่ของสัญญาณอินพุต

เราสามารถนำเฟสล็อกกลับไปใช้สังเคราะห์ (หรือผลิต) ความถี่ที่มีความเที่ยงตรงและเสถียร ภาพเทียบเท่าสัญญาณอ้างอิงได้ วงจรนี้เรียกว่า วงจรสังเคราะห์ความถี่ ระบบสังเคราะห์ความถี่จะ ช่วยให้เราสามารถสังเคราะห์สัญญาณเอาต์พุต (จาก VCO) ให้มีความถี่ตามต้องการได้หลายความถี่ โดยมีความเที่ยงตรงและเสถียรภาพสูงเทียบเท่าคริสตอลออสซิลเลเตอร์

ความจริงเฟสล็อกยังมีประโยชน์อื่นอีก เช่น ในการคิมอดูเลตสัญญาณ FM (หรือ PM) เนื่องจากเอาต์พุตของเฟสดีเทคเตอร์มีค่าสัมพันธ์กับการเปลี่ยนแปลงเฟสของคลื่นพาหะ

### การใช้เฟสล็อกในการสังเคราะห์ความถี่

ไม่ว่าระบบสังเคราะห์ความถี่จะมีความซับซ้อนเพียงใด เมื่อพิจารณาถี่กลงไปแล้วจะพบว่า เฟสล็อกกลายเป็นหัวใจในการสังเคราะห์เสมอ รูปที่ 3.10 เป็นตัวอย่างของระบบสังเคราะห์ความถี่ อย่างง่าย ประกอบด้วย 5 ภาค คือภาค VCO เป็นออสซิลเลเตอร์กำเนิดสัญญาณเอาต์พุตของระบบ สังเคราะห์ความถี่ ภาคหาร N ทำหน้าที่หารความถี่แบบตั้งโปรแกรมให้หารด้วยค่าตัวเลขตามที่ ต้องการได้ (programmable divider) ภาคกำเนิดความถี่อ้างอิง คริสตอลออสซิลเลเตอร์หรือสัญญาณ อื่นๆ (reference generator) ภาคเทียบเฟสและภาคลูปฟิลเตอร์ซึ่งทำหน้าที่กรองเอาเฉพาะความถี่ต่ำ ไปใช้

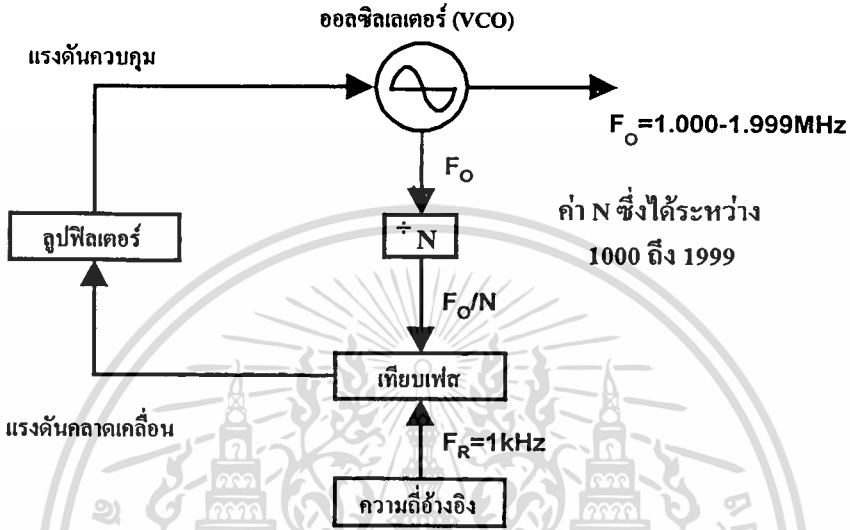
แผนผังในรูปที่ 3.10 จะเห็นว่า สัญญาณอินพุตของภาคเทียบเฟสมาจาก 2 แหล่งคือ จาก VCO มีความถี่เท่ากับ  $F_0/N$  และจากสัญญาณอ้างอิงมีความถี่เท่ากับ  $F_R$  เอาต์พุตจากการเปรียบเทียบก็คือ ผลต่างระหว่างสัญญาณ  $F_0/N$  กับ  $F_R$  ซึ่งจะกรองเอาเฉพาะความถี่ต่ำเท่านั้น เพื่อบังคับการออสซิลเลต ของ วงจร VCO ให้ทำการปรับแก้ความถี่ (หรือเฟส) ให้ตรง จนกว่าความถี่ของสัญญาณทั้งสองจะ เท่ากัน

ในสภาวะล็อก (lock) ความถี่ของ VCO เมื่อผ่านวงจรหาร N จะเท่ากับความถี่อ้างอิง นั่นคือ

$$F_0 = NF_R$$

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งยังมิให้ตัดแปลงเนื้อหาสาระใดๆ ต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้ (คำนวณ จาก  $F_0/N = F_R$  ที่วงจรเทียบเฟส)

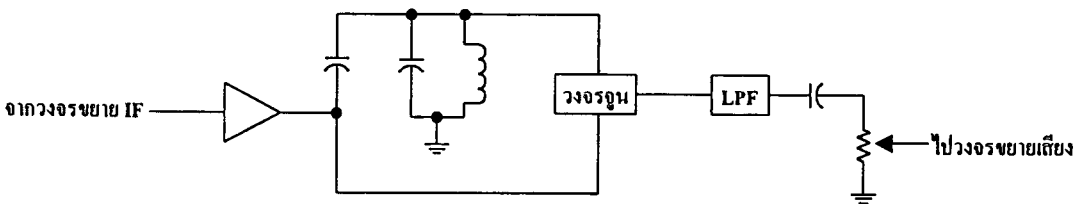
กล่าวอีกนัยหนึ่งว่า เฮตซ์พุทจะมีความถี่เป็น  $N$  เท่าของความถี่อ้างอิง สมมติว่า  $F_R = 1$  กิโลเฮิร์ตซ์  $N = 1000$  จะได้  $F_o = 1$  เมกะเฮิร์ตซ์ ถ้า  $N$  เพิ่มขึ้นทีละ 1 เป็น 1001, 1002, 1003..... ค่า  $F_o$  จะเพิ่มขึ้นทีละ 1 กิโลเฮิร์ตซ์ไปเรื่อยๆ เป็น 1.001, 1.002, 1.003.....เมกะเฮิร์ตซ์ตามลำดับ



รูปที่ 3.10 แผนผังของหน่วยสังเคราะห์ความถี่

ขอให้สังเกตว่า เฟสล็อกดังกล่าว สามารถผลิตความถี่ได้แต่เฉพาะในช่วงความถี่ที่วงจร VCO และวงจรหาร  $N$  สามารถทำงานได้เท่านั้น และตัวเลขในการหาร (คือ  $N$ ) ย่อมเป็นเลขจำนวนเต็มเสมอ

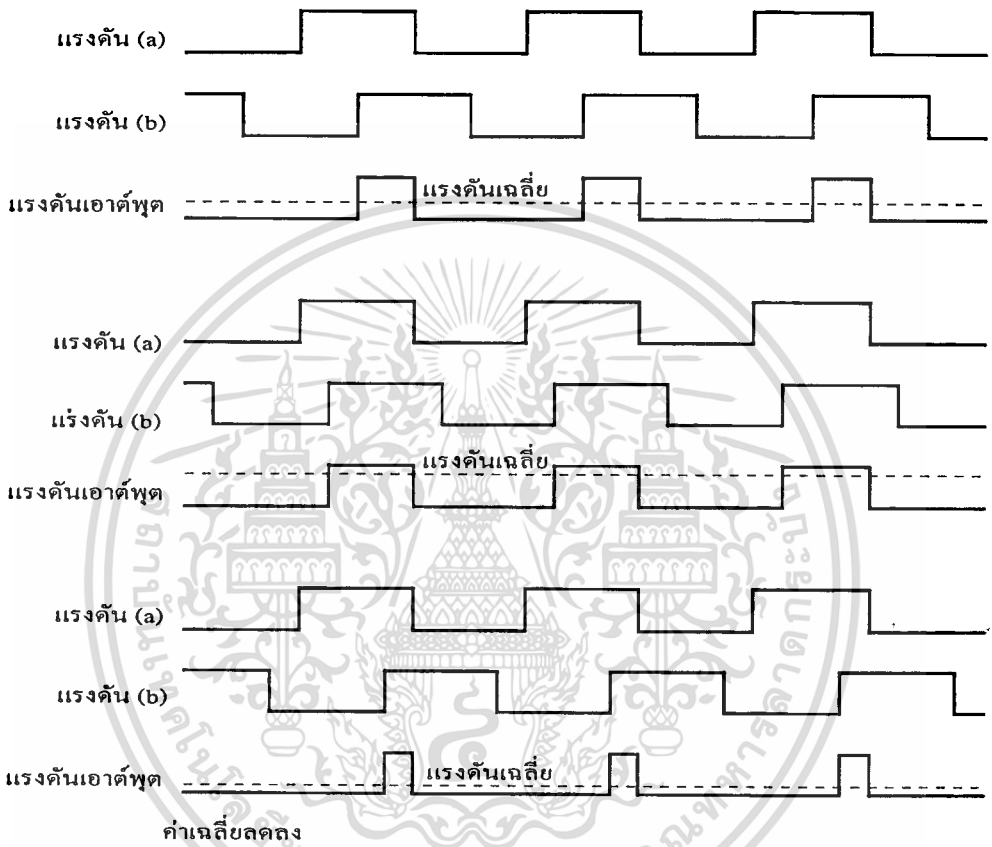
ระบบเอฟเอ็ม.ดีเทคเตอร์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องแจ้งถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.11 แสดงการเลือนเฟสที่คอยล์

ทำหน้าที่ดีเทคเตอร์สัญญาณเสียงในระบบเอฟเอ็ม ให้เป็นสัญญาณเสียงตัวเดิมหรืออาจเรียกว่าวงจรแยกคลื่นพากับสัญญาณเสียงออกจากกัน เอาคลื่นพาทิ้งไป เอาสัญญาณเสียงไปใช้งาน เป็นระบบที่เรียกว่าดีเทคเตอร์แบบควอดเรเจอร์



รูปที่ 3.12 การเทียบเฟส

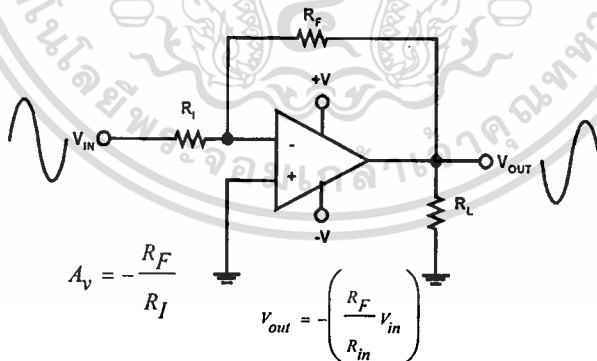
ระบบดีเทคเตอร์ชนิดนี้อาศัยหลักการคูณสัญญาณ FM กับสัญญาณ FM ตัวเดิมแต่เลื่อนเฟสไป 90 องศา ผลลัพธ์ที่ได้จะเป็นสัญญาณมอดูเลต (สัญญาณเสียง) รูปที่ 3.11 กระแสที่ไหลในคอยล์จะมีเฟสต่างจากแรงดันคร่อมคอยล์อยู่ 90 องศา กระแสนี้จะป้อนไปให้วงจรเรโซแนนซ์ขนาน Z ซึ่งจูนความถี่ไว้ที่ความถี่กลางของสัญญาณ FM แรงดันคร่อมวงจรเรโซแนนซ์จะมีเฟสเลื่อนไปตามความถี่ที่พาหะเบี่ยงเบนไป สัญญาณ FM ที่ผ่านวงจรเรโซแนนซ์จะกลายเป็นสัญญาณ PM หลังจากที่ได้สัญญาณ FM และสัญญาณ FM คูณกัน (ทำงานในช่วงไม่เป็นเชิงเส้น) รูปที่ 3.12 ผลลัพธ์จากเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การคูณจะเป็นสัญญาณความถี่สูงกับสัญญาณความถี่ต่ำ (คือสัญญาณมอดูเลต) สัญญาณแรกจะถูกกรองทิ้งไปโดยวงจรกรองความถี่ต่ำผ่านเอาต์พุตจึงเป็นสัญญาณเสียงตามต้องการ

ความจริงแล้ววงจรดีเทกเตอร์ควอดราเจอร์ทำหน้าที่เสมือนวงจรเทียบเฟสของสัญญาณ FM สองสัญญาณซึ่งมีเฟสต่างกัน 90 องศา จากรูปที่ 3.12 ในที่นี้เราเขียนเป็นพัลส์เพื่อความสะดวก สัญญาณความถี่สูงจะถูกกรองทิ้งไป คงเหลือแต่สัญญาณความถี่ต่ำ (เปรียบเทียบค่าเฉลี่ยในรูปคลื่น 1, 2 และ 3) ซึ่ง เป็น สัญญาณเสียง สังเกตว่าค่าเฉลี่ยจะเป็นสัดส่วนโดยตรงกับความถี่เบี่ยงเบนของพาหะ (เพราะเมื่อสัญญาณ FM มีความถี่ต่ำลง พัลส์เอาต์พุตจะแคบลง ค่าเฉลี่ยจะน้อยลง) นั่นคือ ค่าเฉลี่ยจะเปลี่ยนแปลงไปตามสัญญาณเสียง

### วงจรรขยายกลับเฟส (อินเวอร์ติ่งแอมป์)

โดยทั่วไป วงจรรขยายจะหมายความถึงวงจรที่เปลี่ยนสัญญาณอินพุตน้อยๆ มาเป็นสัญญาณเอาต์พุตที่มีขนาดสูงขึ้นมากว่าเดิม ซึ่งสัญญาณที่ว่าอาจเป็นไปได้ทั้งแรงดันหรือกระแส ในลักษณะเดียวกันจรรขยายของออปแอมป์ก็คือวงจรที่มีอัตราขยายแรงดันสูงมาก และยังมีลักษณะของการขยายเป็นเส้นตรง นั่นคือ อัตราส่วนระหว่างเอาต์พุตจะคงที่เสมอ (ในอุดมคติ) และนอกจากนี้เรายังสามารถควบคุมอัตราขยายของออปแอมป์ได้โดยใช้อุปกรณ์ภายนอกเพียงไม่กี่ตัว



รูปที่ 3.13 วงจรรขยายกลับเฟส

### ระบบดีมัลติเพล็กซ์เซอร์

ระบบดีมัลติเพล็กซ์เซอร์เป็นระบบกระจายข้อมูล ซึ่งทำงานตรงกันข้ามกับระบบมัลติเพล็กซ์เซอร์ หมายถึงการต่ออินพุตเพียงอินพุตเดียวเป็นอินพุตรับข้อมูลเข้า แต่มีเอาต์พุตหลายๆ เอาต์พุตใช้



จากรูปจะเห็นว่าเอาต์พุตจะมีจำนวนเท่ากับจำนวนภาคของฟิลิปฟลอป ดังนั้นไอซีประเภทนี้จำเป็นจะต้องมีจำนวนขามากกว่าปกติ การใช้งานของ SIPO ก็เพื่อเปลี่ยนแปลงข้อมูลที่อยู่ในลักษณะอนุกรมให้เป็นลักษณะขนาน ดังตัวอย่างเช่นข้อมูล 8 บิตที่อนุกรมกันป้อนเข้ากับ SIPO ก็จะได้ข้อมูลที่เอาต์พุตขนานกันซึ่งสามารถนำไปใช้งานได้ใช้เวลาเดียวกัน

## ภาคการปรับโพลาร์ซ์

### ระบบอะสเตเบิลมัลติไวเบรเตอร์ (astable multivibrator)

เป็นระบบมัลติไวเบรเตอร์ที่ทำงานได้ด้วยตัวเอง ทำหน้าที่คล้ายวงจรถ่ายความถี่ คือตัวมันเองสามารถทำงานและหยุดทำงานสลับกันตลอดเวลา บางครั้งจะเรียกว่า *ฟรีรันนิ่งมัลติไวเบรเตอร์ (free running multivibrator)*

ระบบอะสเตเบิลมัลติไวเบรเตอร์ หรือระบบฟรีรันนิ่งมัลติไวเบรเตอร์คือระบบทางอิเล็กทรอนิกส์ที่มีสภาวะกึ่งเสถียรภาพ 2 สภาวะ ระยะเวลาของแต่ละสภาวะกึ่งเสถียรภาพทั้งสองจะขึ้นอยู่กับค่าเวลาคงที่ของ RC ในวงจรมัลติไวเบรเตอร์ ถึงแม้ว่าไม่มีสัญญาณพัลส์จากอินพุตป้อนเข้ามากระตุ้นการทำงาน วงจรอะสเตเบิลมัลติไวเบรเตอร์ก็สามารถกำเนิดสัญญาณคลื่นสี่เหลี่ยมออกเอาต์พุตได้ ระบบอะสเตเบิลนี้จะให้สัญญาณพัลส์สี่เหลี่ยมมาอย่างต่อเนื่อง

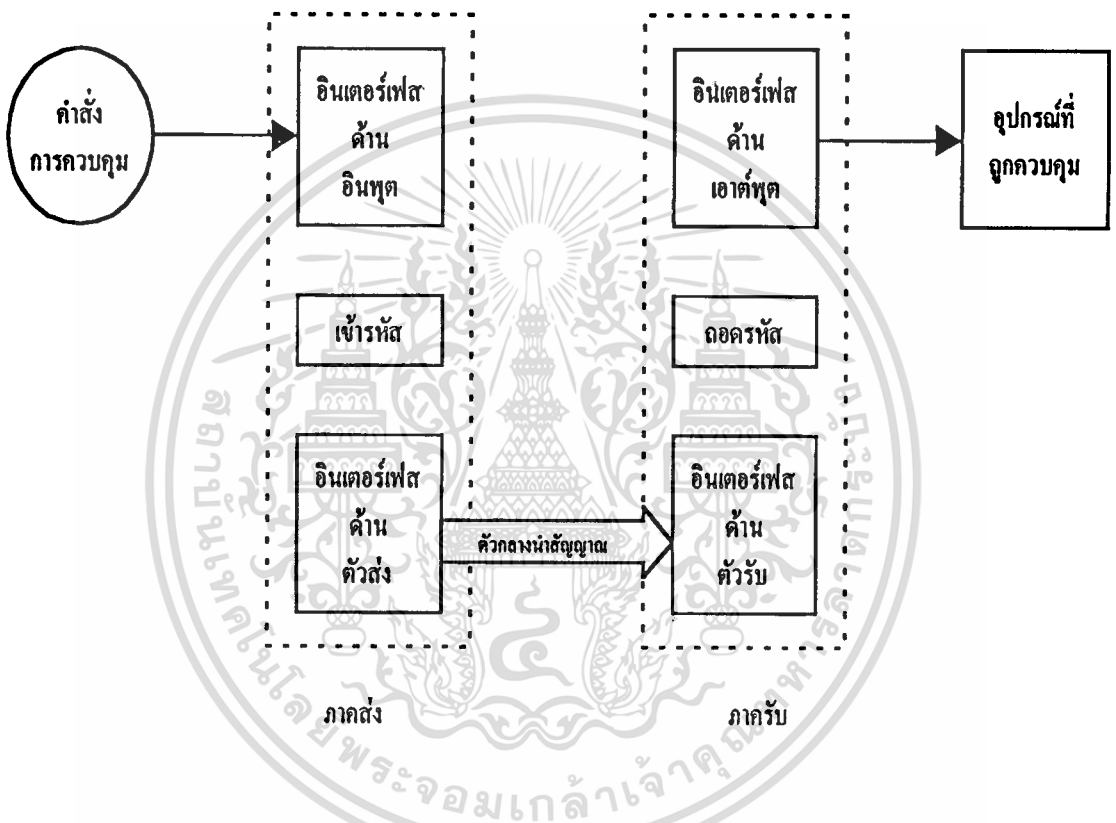
## ภาครีโมทคอนโทรล

### หลักการ

บล็อกไดอะแกรมในรูปที่ 3.16 แสดงโครงสร้างและหลักการทำงานของระบบควบคุมระยะไกลโดยทั่วไป ในลักษณะของการควบคุมแบบทางเดียว เริ่มจากตัวกำหนดคำสั่งที่ใช้สำหรับการควบคุมว่ามีคำสั่งอะไรบ้าง ชุดคำสั่งทั้งหมดมีที่คำสั่ง เป็นต้น เมื่อมีการกำหนดรูปแบบของคำสั่งแล้ว รูปแบบของคำสั่งที่ถูกเลือก จะถูกส่งไปยังภาคส่งสัญญาณที่ทำหน้าที่แปลงสัญญาณ หรือรวมสัญญาณควบคุมให้มีรูปแบบที่เหมาะสมกับวงจร

โดยอาจทำการเข้ารหัสสัญญาณให้แต่ละคำสั่งมีรหัส เฉพาะของตัวเองให้เป็นสัญญาณทางไฟฟ้า ก่อนที่จะถูกส่งออกไปยังภาครับ โดยตัวอินเตอร์เฟสด้านตัวส่งเพื่อทำหน้าที่ส่งสัญญาณที่ภาครับต้องเข้าใจได้ นั่นก็คือต้องเป็นระบบเดียวกัน สัญญาณที่ถูกส่งออกมาอาจอยู่ในรูปของสัญญาณไฟฟ้า, สัญญาณแสง หรือสัญญาณเสียงความถี่สูง สัญญาณนี้สามารถเดินทางผ่านตัวกลางที่เป็นสายนำสัญญาณ หรือผ่านตัวกลางอากาศ ขึ้นอยู่กับระบบที่ถูกออกแบบ นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่เข้ามายังเครื่องรับหรือภาครับ จะถูกตัวอินเตอร์เฟสทำหน้าที่แปลงสัญญาณ ให้อยู่ในรูปของสัญญาณไฟฟ้าที่เข้ากับระบบของตัวรับ ก่อนถูกถอดรหัสเพื่อทราบวัตถุประสงค์ของคำสั่ง จากนั้นส่วนของวงจรอินเตอร์เฟสด้านเอาต์พุตจะทำหน้าที่ควบคุมการทำงานของอุปกรณ์ที่ต้องการ ตามลักษณะคำสั่งที่ได้รับ



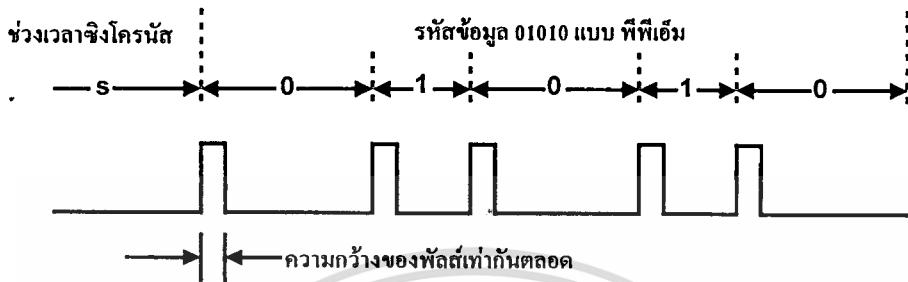
รูปที่ 3.16 บล็อกไดอะแกรมหลักการทั่วไปของรีโมทคอนโทรล

### การส่งรหัสควบคุมแบบพีพีเอ็ม

รูปแบบสัญญาณชนิด พีพีเอ็ม (PPM : Pulse Position Modulation) เกิดจากการมอดูเลตสัญญาณในลักษณะของตำแหน่งพัลส์ กล่าวคือขนาดความกว้างของสัญญาณพัลส์จะมีค่าเท่ากันตลอดและไม่มีผลสำคัญในการบ่งบอกชนิดของข้อมูลเลข แต่จะใช้คาบเวลา (period) ของพัลส์แต่ละถูกเป็นตัวกำหนดชนิดของข้อมูล เช่น ข้อมูลที่เป็น “1” แทนด้วยพัลส์ที่มีคาบเวลาคงที่ค่าหนึ่ง ซึ่งแตกต่างจากคาบเวลาของพัลส์ที่แสดงข้อมูลที่เป็น “0” ดังแสดงในรูปที่ 3.17

โดยหลักการแล้ว การมอดูเลตสัญญาณแบบพีพีเอ็มจะใช้การแบ่งช่วงสัญญาณด้วยคาบเวลาที่เท่ากัน แต่จุดเวลาที่แสดงสัญญาณพัลส์ต่างกัน เช่น หากสัญญาณเป็นศูนย์ สัญญาณพัลส์จะ

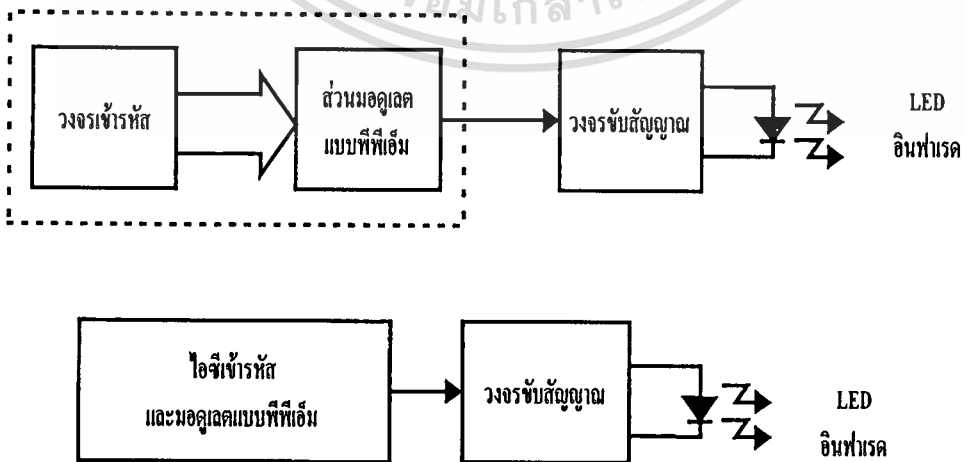
ปรากฏในตำแหน่งที่ไล่ไปทางขวาของจุดกึ่งกลางคาบเวลา โดยมีระยะห่างขึ้นกับค่าของแอมพลิจูด ในลักษณะเป็นสัดส่วนกัน



รูปที่ 3.17 รูปแบบของสัญญาณพีพีเอ็ม

ในการทำงานกลับกัน หากสัญญาณมีแอมพลิจูดเป็นลบ สัญญาณพัลส์จะปรากฏอยู่ในครึ่งช่วงแรกของคาบเวลา ดังนั้นการมอดูเลตแบบพีพีเอ็มจึงสามารถใช้ได้ทั้งสัญญาณที่เป็นแอนะล็อกและดิจิตอล เพียงแต่ในสัญญาณแบบดิจิตอลเราจะเห็นระยะห่างของพัลส์ได้แน่นอนกว่า เพราะมีขนาดสัญญาณเพียงสองระดับ จึงดูเหมือนว่าคาบเวลาของพัลส์เป็นตัวกำหนดชนิดของข้อมูล

ภาคส่งสัญญาณ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมีการเปลี่ยนแปลงเนื้อหาและโครงสร้างของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.18 บล็อกไดอะแกรมของภาคส่ง

รูปที่ 3.18 แสดงบล็อกไดอะแกรมของวงจรในภาคส่งสัญญาณควบคุมที่ใช้แสง ซึ่งประกอบด้วย วงจรเข้ารหัสทำหน้าที่จัดรูปแบบของรหัสควบคุมตามที่กำหนด จากนั้นทำการมอดูเลตให้เป็นสัญญาณพีซีเอ็มก่อนส่งไปยังวงจรับสัญญาณ เพื่อแปลงให้เป็นแสงสำหรับส่งออกไป ในทางปฏิบัติเราสามารถใช้อิซซีสำเร็จรูปซึ่งทำหน้าที่เข้ารหัสและมอดูเลตแบบพีซีเอ็มไปพร้อมกันได้เลย เช่นไอซีเบอร์ HT6222 ซึ่งจะช่วยให้วงจรมีขนาดเล็กลง และลดความยุ่งยากซับซ้อนของวงจรถงได้

## ไมโครคอนโทรลเลอร์ MCS-51

### โครงสร้างของ 8051

ภายใน 8051 จะประกอบด้วย GATE ต่างๆ เช่น AND, OR, NOT ซึ่ง GATE เหล่านี้จะถูกนำมาออกแบบให้มีหน้าที่การทำงานต่างๆ เช่นวงจรถอดรหัสคำสั่ง (Instruction Decoder), วงจรสร้างสัญญาณนาฬิกา (Clock Signal Generator) โครงสร้างภายในของ 8051 จะประกอบด้วยส่วนย่อยๆ ดังไดอะแกรมในรูปที่ 3.19

ไดอะแกรมในรูปที่ 3.19 เป็นโครงสร้างใหญ่ๆ ของ 8051 เนื่องจากลักษณะของ 8051 เป็นคอมพิวเตอร์จึงประกอบด้วย 3 ส่วนหลักๆ คือ

ส่วนที่ 1 คือ CPU (Central Processing Unit) หรือตัวประมวลผล ส่วนนี้จะมีส่วนที่ทำหน้าที่สร้างสัญญาณควบคุมในการติดต่อกับส่วนอื่นๆ เรียกว่าวงจรถวลคุม (Control Unit) สัญญาณที่สร้างจากวงจรถวลคุม ได้แก่สัญญาณสำหรับการติดต่อกับหน่วยความจำ, อุปกรณ์รับข้อมูลเข้าหรือส่งข้อมูลออกจากตัว 8051 ซึ่งส่วนควบคุมการขัดจังหวะ (Interrupt Control) และ ส่วนควบคุมบัส (Bus Control) ก็เป็นส่วนหนึ่งของวงจรถวลคุมด้วยการสร้างสัญญาณควบคุมจากส่วน CPU นี้ จะทำการสร้างสัญญาณโดยการถอดรหัสจากคำสั่ง (Instruction) ตามที่มีการกำหนดไว้และสัญญาณที่สร้างขึ้นมาจะอ้างอิงกับสัญญาณนาฬิกาที่สร้างจากวงจรถวลคุมเพื่อให้อุปกรณ์ต่างๆ ส่วนในวงจรถวลคุมประสานกัน (Synchronize) อย่างถูกต้อง

ใน CPU นี้ยังประกอบด้วยส่วนย่อยอีกส่วนที่เรียกว่าส่วนประมวลผล (Arithmetic Logic Unit) ส่วนนี้จะทำหน้าที่ประมวลผลข้อมูลเช่น การบวก, ลบ, คูณ หรือหารข้อมูลแล้วนำผลลัพธ์ไปเก็บไว้ในรีจิสเตอร์หรือหน่วยความจำที่ต้องการ

ส่วนที่ 2 คือ หน่วยความจำ (Memory) มีไว้สำหรับจดจำข้อมูล การเอาข้อมูลไปเก็บในหน่วยความจำเรียกว่าการเขียน (Write) ข้อมูล และการเอาข้อมูลออกจากหน่วยความจำจะเรียกว่าการอ่าน (Read) ข้อมูล ซึ่งแต่ละตำแหน่งของหน่วยความจำจะเก็บข้อมูลได้เพียงค่าเดียวเท่านั้น ในไมโครโปรเซสเซอร์ทั่วไปรวมทั้ง 8051 นั้นข้อมูลในแต่ละตำแหน่งของหน่วยความจำจะมีค่าได้



ได้แก่ 4K ROM และ 128 Byte RAM ซึ่งขนาดของหน่วยความจำนี้มีขนาดต่างๆ กันตามเบอร์ของไมโครคอนโทรลเลอร์

ส่วนที่ 3 อุปกรณ์อินพุตและเอาต์พุต (Input/Output Device) เป็นส่วนที่จะใช้ส่งข้อมูลเข้าหรือออกจาก 8051 ทำให้ 8051 ติดต่อกับภายนอกได้ ดังในไดอะแกรมรูปที่ 3.19 อุปกรณ์อินพุตและเอาต์พุตได้แก่ 4 I/O Port, Timer 0, Timer 1, Serial Port การทำงานของแต่ละส่วนมีดังนี้

1. 4 I/O Port คำว่าพอร์ตหมายถึงจุดที่จะติดต่อกับส่วนที่อยู่ภายนอก 4 I/O Port ของ 8051 เป็นที่ใช้สำหรับรับ-ส่งข้อมูลซึ่งเป็นสัญญาณดิจิทัลเข้าหรือออกจากตัว MCS-51 พอร์ตมีทั้งหมด 4 พอร์ต. โดยแต่ละพอร์ตจะรับ-ส่งข้อมูลได้ 8 บิต มีพอร์ต P0, P1, P2 และ P3 บางพอร์ตจะใช้ทำงานมากกว่า 1 อย่างก็ได้ เช่น พอร์ต P0 และ P2 จะใช้สำหรับการส่งค่าตำแหน่ง (Address) ของหน่วยความจำที่ต้องการติดต่อและพอร์ต P0 จะใช้รับส่งข้อมูลเมื่อติดต่อกับหน่วยความจำได้ด้วยแต่สิ่งเหล่านี้ไม่ได้เกิดขึ้นในเวลาเดียวกัน แต่จะใช้วิธีทำงานตามลำดับ โดยควบคุมจากสัญญาณควบคุม (Control) ที่ถอดรหัสมาจากแต่ละคำสั่งที่ให้คอมพิวเตอร์ทำงานนั่นเอง และสัญญาณทั้งหมดจะอ้างอิงกับจากสัญญาณนาฬิกา

2. Timer 0 และ Timer 1 เป็นวงจรนับที่สามารถกำหนดให้ทำการนับจำนวนไซเคิลของสัญญาณที่ต่อจากภายนอก 8051 หรือจำนวนไซเคิลของสัญญาณนาฬิกาภายใน 8051 ก็ได้ค่าจากการนับจะถูกอ่านหรือตั้งค่าเริ่มต้นของการนับได้โดย CPU

3. Serial Port หรือพอร์ตอนุกรม CPU จะอ่านและเขียนข้อมูลกับ Serial Port เป็นแบบ 8 บิตแต่ข้อมูลจะถูกส่งออกจาก 8051 เรียงไปทีละบิตออกจากขา TXD และในการรับข้อมูลเข้าก็จะรับเข้ามาทีละบิตทางขา RXD แล้วจัดเรียงใหม่เป็น 8 บิตเพื่อให้ CPU อ่านไปใช้งานต่อไป

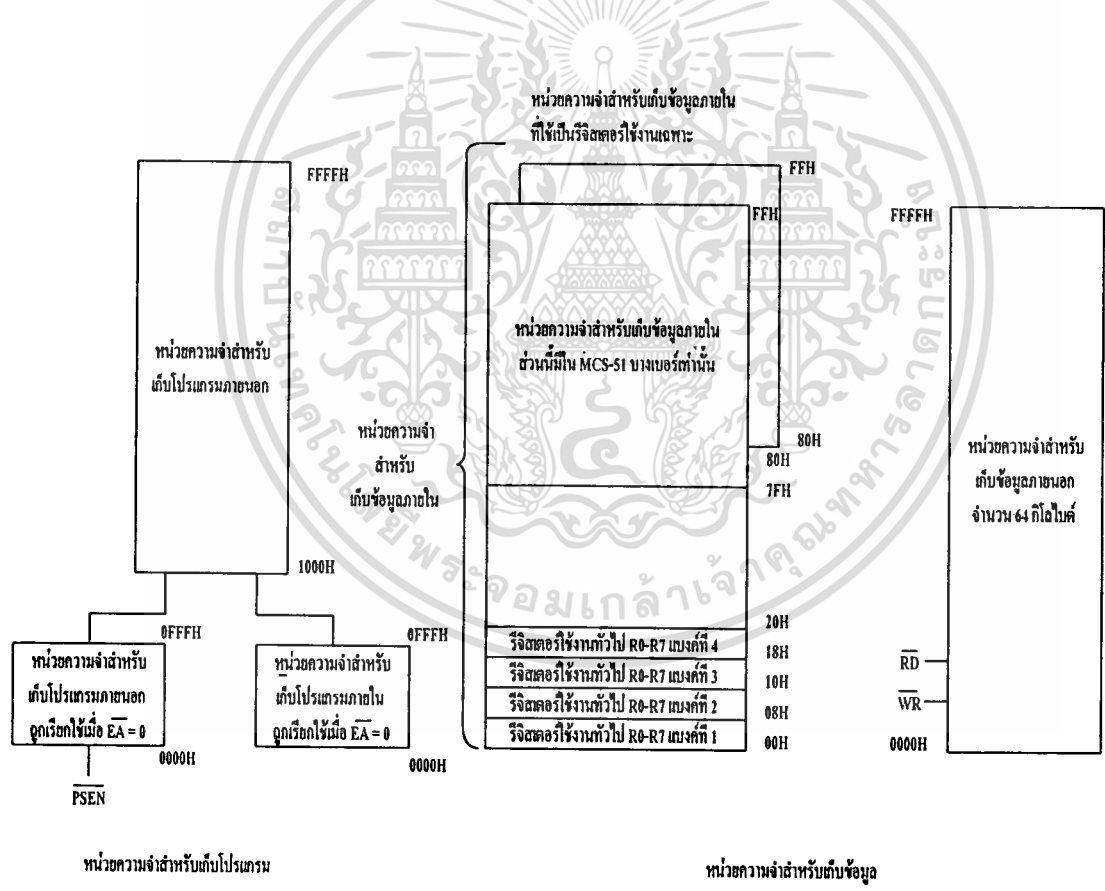
8051 มีพอร์ตให้ใช้งานได้หลายแบบทำให้สะดวกแก่การนำไปใช้งานต่างๆ มากมาย การจะนำพอร์ตเหล่านี้ไปใช้งานได้จะต้องเขียนโปรแกรมขึ้นมาควบคุม

### การจัดการหน่วยความจำของ 8051

หน่วยความจำของ 8051 แบ่งออกไว้เป็น 2 แบบตามลักษณะของการใช้งานคือ

1. Program Memory เป็นหน่วยความจำที่ใช้เก็บคำสั่งในรูปรหัสภาษาเครื่อง (Machine Language) ซึ่งต้องการให้ 8051 ทำงาน เมื่อ 8051 ทำงานก็จะอ่านข้อมูลที่เก็บในหน่วยความจำประเภทนี้เข้าไปถอดรหัสแล้วสร้างสัญญาณควบคุมส่วนอื่นๆ ตามการทำงานของแต่ละคำสั่งนั้น หน่วยความจำแบบนี้จะต้องเป็นแบบ Read Only Memory (ROM) และผู้ใช้ต้องเขียนข้อมูลในแต่ละตำแหน่งของหน่วยความจำเป็นรหัสภาษาเครื่องของ 8051 ตามลำดับการทำงานที่ต้องการ (หน่วยความจำแบบ ROM เป็นแบบ Non volatile ซึ่งเมื่อปิดไฟแล้วข้อมูลก็ไม่มีการสูญหาย) การเขียน

ข้อมูลลงไปบน ROM จะต้องใช้เครื่องมือพิเศษ ในระหว่างการทำงานของ 8051 ผู้ใช้จะไม่สามารถใช้คำสั่งทำการเขียนข้อมูลลงในหน่วยความจำแบบนี้ได้ จำนวนตำแหน่งสูงสุดของหน่วยความจำแบบนี้ที่ 8051 จะใช้งานได้คือ 65536 ตำแหน่ง ค่าของตำแหน่ง (Address) จะเขียนเป็นเลขฐาน 16 ได้ตั้งแต่ 0000H ถึง FFFFH หน่วยความจำตำแหน่ง 0000H ถึง 0FFFFH จำนวน 4 กิโลไบต์ นั้นผู้ใช้จะเลือกได้ว่าเป็นตำแหน่งของ ROM ที่อยู่ภายในหรือภายนอก 8051 (ไมโครคอนโทรลเลอร์เบอร์อื่นๆ เช่น 8052 จะมีขนาดของ ROM ส่วนนี้ได้ถึง 8 กิโลไบต์ ตำแหน่ง 0000H ถึง 1FFFFH) ถ้าต้องการให้ 8051 ทำงานตามคำสั่งที่เก็บไว้ใน ROM ภายใน 8051 ก็ให้ป้อนสัญญาณสถานะลอจิก High (1) เข้าที่ขา  $\overline{EA}$  ของ 8051 แต่ถ้าต้องการให้ทำงานในโปรแกรมที่เก็บไว้ใน ROM ภายนอก 8051 ก็ให้ต่อลอจิก Low (0) เข้าที่ขา  $\overline{EA}$  ของ 8051 ส่วนหน่วยความจำที่ตำแหน่ง 1FFFFH ถึง FFFFFH จะต้องต่ออยู่ภายนอก 8051 เสมอ ดังแสดงในแผนภูมิหน่วยความจำ (Memory Map) ในรูปที่ 3.20



รูปที่ 3.20 ไคอะแกรมภาพของหน่วยความจำ 8051

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. Data Memory เป็นหน่วยความจำที่ 8051 จะใช้สำหรับพัก, เก็บข้อมูล แล้วเรียกมาใช้ใหม่ในระหว่างการทำงานของ 8051 การอ่านหรือเขียนข้อมูลจากหน่วยความจำจะกระทำโดยคำสั่งที่เก็บไว้ใน Program Memory หน่วยความจำแบบนี้เป็นประเภท Random Access Memory (RAM) ถ้ามีไฟเลี้ยงอยู่ข้อมูลที่เก็บไว้จะไม่สูญหาย แต่ถ้าปิดเครื่องหรือไม่จ่ายไฟให้แก่ RAM แล้ว ข้อมูลใน RAM ก็จะไม่สูญหายไป การสูญหายของข้อมูลไม่ได้หมายความว่าไม่มีอะไรอยู่เลยแต่เป็นการที่มีข้อมูลใหม่ซึ่งไม่ใช่ข้อมูลที่เก็บไว้เดิมเข้ามาอยู่แทนที่ เช่นเดิมเก็บข้อมูล 18H ไว้ที่ตำแหน่ง 1900H เมื่อปิดไฟแล้วเปิดใหม่ ข้อมูลที่ตำแหน่ง 1900H จะไม่ใช่ 18H อาจเป็นค่าอะไรก็ได้ ซึ่งเรียกการเกิดลักษณะแบบนี้ว่าข้อมูลสูญหายไป หน่วยความจำแบบ Data Memory ของ 8051 จะมีอยู่ 2 ชุด ชุดหนึ่งอยู่ภายใน 8051 จำนวน 128 ไบต์ที่ตำแหน่ง 00H ถึง 7FH (เบอร์ 8052 จะมี 256 ไบต์อยู่ที่ตำแหน่ง 00H ถึง FFH) และอีกชุดหนึ่งจะต้องค่ออยู่นอกของวงจรรวม 8051 มีได้สูงสุด 65536 ไบต์ (64 กิโลไบต์) อยู่ที่ตำแหน่ง 0000H ถึง FFFFH ดังแสดงในรูปที่ 3.20 หน่วยความจำแบบ Data Memory ภายใน 8051 ที่ตำแหน่ง 80H ถึง FFH นั้นไม่ได้มีอยู่ทุกตำแหน่ง จะมีเฉพาะในบางตำแหน่งซึ่งเรียกหน่วยความจำบางตำแหน่งนี้ว่า Special Function Register (SFR) เพราะจะใช้หน่วยความจำเหล่านี้สำหรับงานพิเศษเท่านั้น แต่ละตำแหน่งของหน่วยความจำแบบ SFR นี้ อาจเป็น RAM หรือวงจรรนับ (Counter) วงจรตั้งเวลา (Timer) ก็ได้เช่นเป็น Timer 0, Timer 1 ดังนั้นใน 8051 จึงไม่ถือว่า SFR เป็น Data Memory ถ้าเป็น 8052 ซึ่งมี Data Memory ขนาด 256 ไบต์ จะใช้บางตำแหน่งของหน่วยความจำช่วงตำแหน่ง 80H ถึง FFH เป็น SFR ส่วนตำแหน่งอื่นที่เหลือก็เป็น RAM เหมือนกับหน่วยความจำช่วง 00H ถึง 7FH นั่นเอง

### สถาปัตยกรรมของ 8051

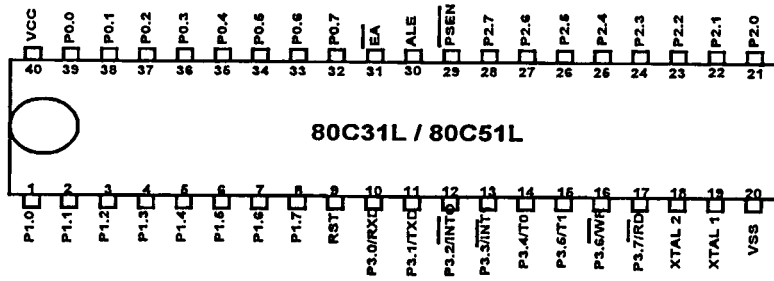
ในรูปที่ 3.22 เป็นสถาปัตยกรรมภายในของ 8051 ซึ่งจะอธิบายถึงส่วนย่อยๆ ของภายใน 8051 เพียงชีพเดียว และสัญญาณจากภายในจะค่อออกสู่ภายนอกทางขา (Pin) ของ 8051 ที่มีอยู่ 40 ขา ดังรูปที่ 3.21

8051 ไมโครคอนโทรลเลอร์ที่บรรจุอยู่ในวงจรรวมแบบ Dual Inline Package (DIP) ซึ่งแต่ละข้างของ 8051 มีขาอยู่ข้างละ 20 ขารวมทั้งหมด 40 ขานั้นจะใช้งานต่างๆ กันดังนี้คือ

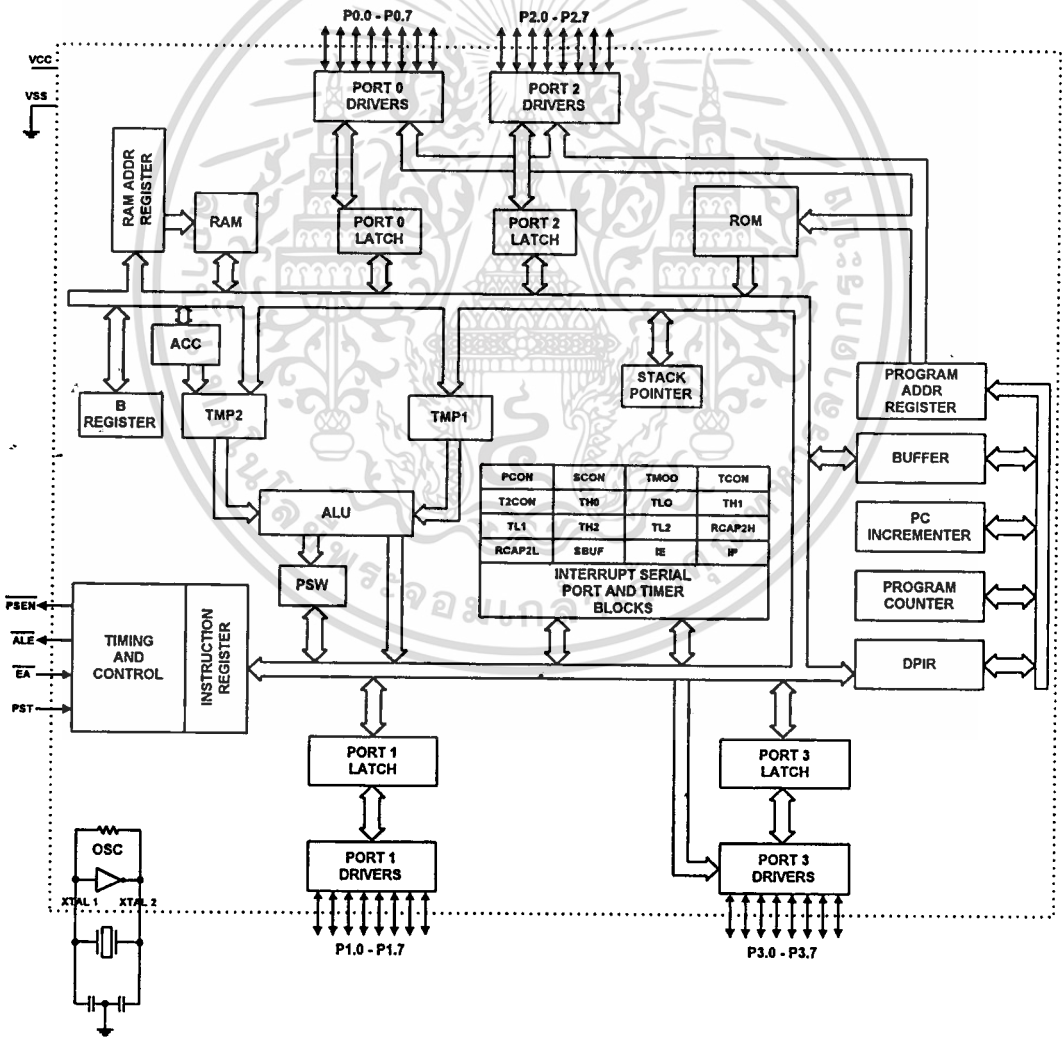
- $V_{cc}$  (ขา 40) เป็นขาที่ต้องป้อนไฟเลี้ยง +5 โวลต์เข้าไปเพื่อให้วงจรรวมทำงานได้ ระดับแรงดันของลอจิก 0 และ 1 ของ 8051 จึงค่อเข้ากับอุปกรณ์ลอจิกแบบ TTL ได้โดยตรง

- $V_{ss}$  (ขา 20) เป็นขาที่ต้องค่อกับกราวด์ (Ground) ของแหล่งจ่ายไฟ การค่ออุปกรณ์ทั้งหมด

เอกสารจะต้องมีกราวด์ของอุปกรณ์ค่อเข้าด้วยกันเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.21 โค้ดแอมของ 8051 แบบ DIP



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 รูปที่ 3.22 สถาปัตยกรรมภายในของ 8051  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามเผยแพร่ต่อผู้อื่นโดยไม่ได้รับอนุญาตจากเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- *Port 0* (ขา 32-39) มี 8 ขา ใช้เป็นขาสำหรับพอร์ต 0 ขนาด 8 บิต (P0.0-P0.7) แบบ Open Drain Bidirectional พอร์ตนี้สามารถใช้งานเป็นอินพุตเอาต์พุตพอร์ตทั่วไปได้โดยหากใช้งานเป็นอินพุตพอร์ต ต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ตนี้เพื่อบังคับให้ขาอยู่ในสถานะถูกปล่อยลอย (มีสถานะ high impedance) นอกจากใช้งานเป็นอินพุตเอาต์พุตพอร์ตแล้ว พอร์ต 0 ยังใช้ติดต่อในหน่วยความจำสำหรับเก็บโปรแกรมและข้อมูลภายนอกชิพด้วย โดยส่งค่าแอดเดรสไบต์ต่ำ (A0-A7) และมัลติเพล็กซ์กับการรับส่งข้อมูล (D0-D7) จากหน่วยความจำภายนอกในระหว่างการเขียนหรือการอ่านข้อมูลโดยมีวงจรถูกผูกภายใน

- *Port 1* (ขา 1-8) มี 8 ขา ใช้เป็นขาสำหรับพอร์ต 1 (P1.0-P1.7) สามารถใช้งานเป็นอินพุตหรือเอาต์พุตพอร์ตทั่วไปได้ หากต้องการใช้งานเป็นอินพุตพอร์ต ต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ตนี้ เพื่อให้มีสถานะ high impedance โดยมีวงจรถูกผูกภายใน

- *Port 2* (ขา 21-28) มี 8 ขา ใช้เป็นขาสำหรับพอร์ต 2 (P2.0-P2.7) ขนาด 8 บิตแบบ Open Drain Bidirectional พอร์ตนี้สามารถใช้งานเป็นอินพุตเอาต์พุตพอร์ตทั่วไปได้โดยหากใช้งานเป็นอินพุตพอร์ต ต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ตนี้ เพื่อบังคับให้ขาอยู่ในสถานะ high impedance นอกจากจะใช้งานเป็นอินพุตเอาต์พุตพอร์ตทั่วไปแล้ว พอร์ต 2 ยังใช้ในการติดต่อหน่วยความจำสำหรับเก็บโปรแกรมและข้อมูลภายนอกด้วยโดยใช้สำหรับส่งค่าแอดเดรสไบต์สูง (A8-A15) และมีวงจรถูกผูกภายใน

- *Port 3* (ขา 10-17) มี 8 ขา ใช้เป็นขาสำหรับพอร์ต 3 (P3.0-P3.7) สามารถใช้งานเป็นอินพุตเอาต์พุตพอร์ตทั่วไปได้ หากต้องการใช้งานเป็นอินพุตพอร์ต ต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ตนี้เพื่อให้สถานะ high impedance โดยมีวงจรถูกผูกภายใน นอกจากนี้ยังใช้งานในหน้าที่พิเศษต่างๆ อีกหลายอย่างดังนี้

P3.0/RXD (Serial Input Port) เป็นขาที่ใช้รับข้อมูลแบบอนุกรม

P3.1/TXD (Serial Output Port) เป็นขาที่ใช้ส่งข้อมูลแบบอนุกรม

P3.2/ $\overline{INT0}$  (External interrupt) ใช้รับสัญญาณขัดจังหวะจากภายนอก

P3.3/ $\overline{INT1}$  (External Interrupt) ใช้รับสัญญาณขัดจังหวะจากภายนอก

P3.4/TO (Timer/Counter 0 External Input) ขารับสัญญาณเข้าไปยังวงจรถูกผูก Timer/Counter 0 ที่ทำหน้าที่นับจำนวน ไชเคิลของสัญญาณ T0 นี้หรือสัญญาณนาฬิกาได้

P3.5/T1 (Timer/Counter 1 External Input) ขารับสัญญาณเข้าไปยังวงจรถูกผูก Timer/Counter 1 ซึ่งมีการทำงานเหมือนกับ T0

P3.6/ $\overline{WR}$  (External Data Memory Write Strobe) ขาสัญญาณควบคุมการเขียนข้อมูลไปยังหน่วยความจำสำหรับข้อมูลภายนอก 8051

P3.7/ $\overline{RD}$  (External Data Memory Read Strobe) ขาสัญญาณควบคุมการอ่านข้อมูลจากหน่วยความจำสำหรับข้อมูลภายนอก

-  $RST$  (ขา 9) ใช้สำหรับการรีเซ็ตวงจรทุกอย่างภายในชิพ เพื่อเริ่มต้นการทำงานใหม่ การรีเซ็ตใช้เมื่อเริ่มจ่ายพลังงานหรือเมื่อโปรแกรมเกิดทำงานผิดพลาด เมื่อต้องการรีเซ็ตชิพ MCS-51 ขานี้ต้องมีสถานะ 1 เป็นเวลาอย่างน้อย 2 แมกซ์ซีไอเกิลระหว่างที่ออสซิลเลเตอร์ยังทำงานอยู่ โดยต้องต่อตัวต้านทานค่า 8.2 กิโลโอห์ม รักษาค่าแรงดันไฟฟ้าให้มีสถานะเป็นกราวด์) และเพื่อให้ชิพรีเซ็ตเองเมื่อเริ่มจ่ายพลังงานให้ต่อตัวเก็บประจุขนาด 10 ไมโครฟาร์ดคร่อมระหว่างขา  $RST$  กับ  $V_{cc}$

-  $ALE$  (ขา 30) เป็นขาสำหรับใช้ส่งสัญญาณออกไปภายนอก เพื่อควบคุมการแลตช์ค่าแอดเดรสไปตั่ว (address latch enable) จากพอร์ต 0 ในระหว่างการติดต่อหน่วยความจำสำหรับเก็บโปรแกรมหรือข้อมูลภายนอก ปกติเมื่อไม่มีการติดต่อหน่วยความจำภายนอกขานี้จะส่งสัญญาณพัลส์ออกมาด้วยความถี่ 1/8 ของความถี่ออสซิลเลเตอร์ที่ใช้ตลอดเวลา ดังนั้นเราสามารถใช้ความถี่ที่ได้จากขานี้ไปใช้งานอย่างอื่นได้ แต่ความถี่ที่ขานี้จะลดลงครึ่งหนึ่งในระหว่างติดต่อกับหน่วยความจำสำหรับเก็บข้อมูลที่อยู่ภายนอกชิพ นอกจากนี้ขา  $ALE$  ยังใช้สำหรับควบคุมการเขียน โปรแกรมลงไปใน EPROM สำหรับ MCS-51 เบอร์ที่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิพเป็น EPROM

-  $\overline{PSEN}$  (ขา 29) ใช้ส่งสัญญาณสโตรบเพื่ออ่านคำสั่งจากโปรแกรมที่เก็บไว้ในหน่วยความจำภายนอกชิพ (program strobe enable) เมื่อชิพทำงานด้วยโปรแกรมจากภายนอกขานี้จะส่งสัญญาณสโตรบสองครั้งในแต่ละแมกซ์ซีไอเกิล แต่ในช่วงการเขียนหรืออ่านข้อมูลกับหน่วยความจำภายนอกหรือเมื่อใช้โปรแกรมจากหน่วยความจำสำหรับเก็บโปรแกรมภายในชิพจะไม่มีสัญญาณออกมาจากขานี้

-  $\overline{EA}$  (ขา 31) เป็นขาสำหรับใช้เลือกให้ MCS-51 ทำงานจากโปรแกรมที่อยู่ภายในหรือภายนอกชิพ โดยหากขานี้มีสถานะเป็น 0 หมายถึงให้ใช้โปรแกรมจากหน่วยความจำที่เก็บโปรแกรมภายนอก หากขานี้มีสถานะเป็น 1 หมายถึงบังคับให้ MCS-51 ใช้โปรแกรมจากหน่วยความจำสำหรับเก็บโปรแกรมภายในชิพและสำหรับ MCS-51 ที่มีหน่วยความจำภายในชิพ สามารถเลือกให้ทำงานได้ทั้งจากโปรแกรมที่เก็บในหน่วยความจำภายในชิพหรือจากโปรแกรมที่เก็บไว้ในหน่วยความจำภายนอกชิพด้วยการต่อขา  $\overline{EA}$  กับไฟเลี้ยงหรือกราวด์ตามลำดับ ส่วนใน MCS-51 ที่ไม่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิพให้ต่อขานี้ลงกราวด์เสมอ

-  $XTAL1$  (ขา 19) ใช้ต่อคริสตัลภายนอก โดยเป็นอินพุตเข้าสู่วงจรออสซิลเลเตอร์ คาปาซิเตอร์ในวงจรควมมีค่าประมาณ 20 pF

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี การนำเอกสารนี้ไปใช้โดยไม่ได้รับอนุญาตถือว่าผิดกฎหมาย

- XTAL 2 (ขา 18) ใช้ต่อคริสตอลภายนอก โดยเป็นเอาต์พุตออกจากวงจรออสซิลเลเตอร์

### รีจิสเตอร์หน้าที่พิเศษ (SFR)

รีจิสเตอร์หน้าที่พิเศษมีบทบาทอย่างมากในการควบคุมการทำงานของไมโครคอนโทรลเลอร์และทำให้การเขียนโปรแกรมสามารถทำได้สะดวกมากขึ้น รีจิสเตอร์หน้าที่พิเศษทำหน้าที่สำคัญคือควบคุมการทำงานในส่วนต่างๆ ภายในไมโครคอนโทรลเลอร์และทำหน้าที่แสดงสถานะการทำงาน ซึ่งในรีจิสเตอร์หน้าที่พิเศษบางตัวยังสามารถเข้าถึงได้ในระดับบิต (bit addressable) ด้วย

### รีจิสเตอร์ใช้งานทั่วไป

รีจิสเตอร์ใช้งานทั่วไปมีไว้สำหรับให้ผู้เขียนโปรแกรมสามารถนำข้อมูลไปพักไว้ชั่วคราวหรือใช้งานทั่วไปได้ตามต้องการ ซึ่งรีจิสเตอร์ใช้งานทั่วไปนี้มีอยู่ด้วยกัน 8 ตัวคือรีจิสเตอร์  $R_0-R_7$  โดยรีจิสเตอร์ทั้ง 8 ตัวถูกจัดให้อยู่รวมกันและมีให้เลือกใช้ถึง 4 แบนก์ (bank) นั่นคือมีรีจิสเตอร์ใช้งานทั่วไปถึง 32 ตัวให้ใช้งาน เพียงแต่การเลือกใช้รีจิสเตอร์  $R_0-R_7$  ในแบนก์ใดแบนก์หนึ่งจะถูกกำหนดจากบิต RS0, RS1 ในรีจิสเตอร์หน้าที่พิเศษ PSW ดังนั้นการเลือกใช้จึงเลือกได้เพียงแบนก์เดียวในขณะใดขณะหนึ่ง อย่างไรก็ตามค่าข้อมูลที่เก็บไว้ในรีจิสเตอร์แบนก์ใดก็ตามที่มีชื่อเดียวกันแต่อยู่คนละแบนก์จะไม่มีผลซึ่งกันและกันเลย ทำให้ผู้เขียนโปรแกรมใช้งานรีจิสเตอร์ทั่วไปนี้ได้ทั้ง 32 ตัวอย่างเต็มที่และไม่ยุ่งยากในการเขียนโปรแกรม

### รีจิสเตอร์ PSW

รีจิสเตอร์ PSW (program status word) เป็นรีจิสเตอร์พิเศษอีกตัวหนึ่งที่สามารถเข้าถึงได้ในระดับบิต ซึ่งอยู่ที่ตำแหน่งแอดเดรส 0D0H ภายในไมโครคอนโทรลเลอร์ รีจิสเตอร์ PSW มีหน้าที่ในการเก็บบิตหรือแฟล็ก (flags) เพื่อแสดงสถานะการทำงานของโปรแกรมและระบบ อย่างเช่น มีตัวทศหรือไม่จากผลลัพธ์ของการลบทางคณิตศาสตร์ โดยตัวที่จะเกิดการเปลี่ยนแปลงในกรณีนี้ก็คือบิตที่ 7 ของ PSW และสามารถเข้าถึงได้โดยอ้างแอดเดรสที่ PSW.7

PSW.7 เป็นบิตที่ถูกใช้งานในโปรแกรมบ่อยครั้ง เพราะมันมีผลต่อการคำนวณทางลอจิก เช่น ฟังก์ชัน OR, AND หรือ NOT ซึ่งโดยโปรแกรมส่วนมากจะมีการคำนวณอยู่เสมอ บิตนี้จึงถูกเรียกว่าเป็นแฟล็ก C (C-flag มาจากคำว่า Carry flag) ดังนั้นบิตนี้จึงมักถูกนำมาใช้งานในลักษณะคำสั่งเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สังกะโดดแบบมีเงื่อนไข บางครั้งก็ใช้แฟลก C ในรูปของแอกคิวมูลเตอร์ขนาด 1 บิต สำหรับคำสั่งปฏิบัติการระดับบิต

อีกส่วนหนึ่งของรีจิสเตอร์ PSW ที่น่าสนใจมีดังนี้คือบิตพาริตี (parity bit) หรือ PSW.0 ซึ่งมันจะถูกเซต เมื่อค่าที่บรรจุอยู่ในแอกคิวมูลเตอร์มีจำนวนของบิตที่มีสถานะ "1" เป็นจำนวนคี่, บิตหรือแฟลกโอเวอร์โฟลว์ (overflow flag : PSW.2) และแฟลก C ช่วยเสริม (auxiliary carry flag : PSW.6) ทำหน้าที่ตรวจสอบเครื่องหมายหน้าจำนวนตัวเลขเช่นเครื่องหมายหน้าจำนวน BCD เป็นต้น

บิตใช้งานที่ยังไม่ได้กล่าวถึงอีก 2 บิตคือบิตที่ 3 และ 4 ของรีจิสเตอร์ PSW เป็นแฟลกที่ใช้ในการกำหนดตำแหน่งของรีจิสเตอร์แบงก์ที่ต้องการใช้งาน โดยผู้เขียน โปรแกรมเป็นผู้กำหนด ซึ่งในที่นี้ใช้งานแต่เพียงรีจิสเตอร์แบงก์ศูนย์เพียงอย่างเดียว ทั้ง 2 บิตนี้จึงไม่มีการเปลี่ยนแปลง สำหรับบิตที่เหลืออีก 2 บิตคือบิตที่ 1 และ 5 นั้น เป็นบิตหรือแฟลกที่ใช้งานได้อย่างอิสระ ในบางครั้งอาจนำมาใช้ประโยชน์ในโปรแกรมก็ได้แล้วแต่ความต้องการของผู้เขียน โปรแกรม

#### บิตหรือแฟลกในรีจิสเตอร์ PSW (program status word)

ชื่อ	ตำแหน่ง	ชื่อเต็ม	คำอธิบาย
CY	PSW.7	Carry flag	เป็นแฟลกตัวทศหรือแอกคิวมูลเตอร์ระดับบิต
AC	PSW.6	Auxiliary Carry	เป็นแฟลก C ช่วยเสริมสำหรับการใช้งานรหัส BCD
F0	PSW.5	Flag 0	เป็นแฟลกสำหรับใช้ประโยชน์ทั่วไป
RS1	PSW.4	Reg. Bank select 1	เลือกรีจิสเตอร์แบงก์ใช้งานตัวที่ 1
RS0	PSW.3	Reg. Bank select 0	เลือกรีจิสเตอร์แบงก์ใช้งานตัวที่ 0
OV	PSW.2	Overflow	แฟลกโอเวอร์โฟลว์
	PSW.1	-	เป็นแฟลกสำหรับใช้ประโยชน์ทั่วไป
P	PSW.0	Parity	แฟลกพาริตีใช้งานกับแอกคิวมูลเตอร์

#### การเลือกใช้งานรีจิสเตอร์แบงก์

RS1	RS0	รีจิสเตอร์แบงก์ ที่เลือก	แอดเดรสในการเข้าถึงรีจิสเตอร์ ในแรมภายใน
0	0	แบงก์ 0	00H - 07H
0	1	แบงก์ 1	08H - 0FH
1	0	แบงก์ 2	10H - 17H
1	1	แบงก์ 3	18H - 1FH

## มอดูเลเตอร์

ในส่วนนี้จะทำหน้าที่ผสมสัญญาณภาพและสัญญาณเสียงเข้ากับความถี่ RF เพื่อป้อนให้กับเครื่องรับโทรทัศน์ทางช่องเสียบสายอากาศ โดยเอาต์พุตจากมอดูเลเตอร์จะมีความถี่อยู่ในย่าน UHF ช่อง 30 - 45 ความแรงของสัญญาณภาพประมาณ  $75 \text{ dB}\mu\text{V} \pm 4\text{dB}$

## การทำงานของจูนเนอร์

วงจรถูนเนอร์นี้เป็นวงจรสำเร็จรูปที่ถูกผลิตขึ้นมาเป็น โมดูล (Module) ที่ใช้งานเฉพาะสำหรับในเครื่องรับ TVRO ซึ่ง ประกอบไปด้วยส่วนต่างๆ คือ

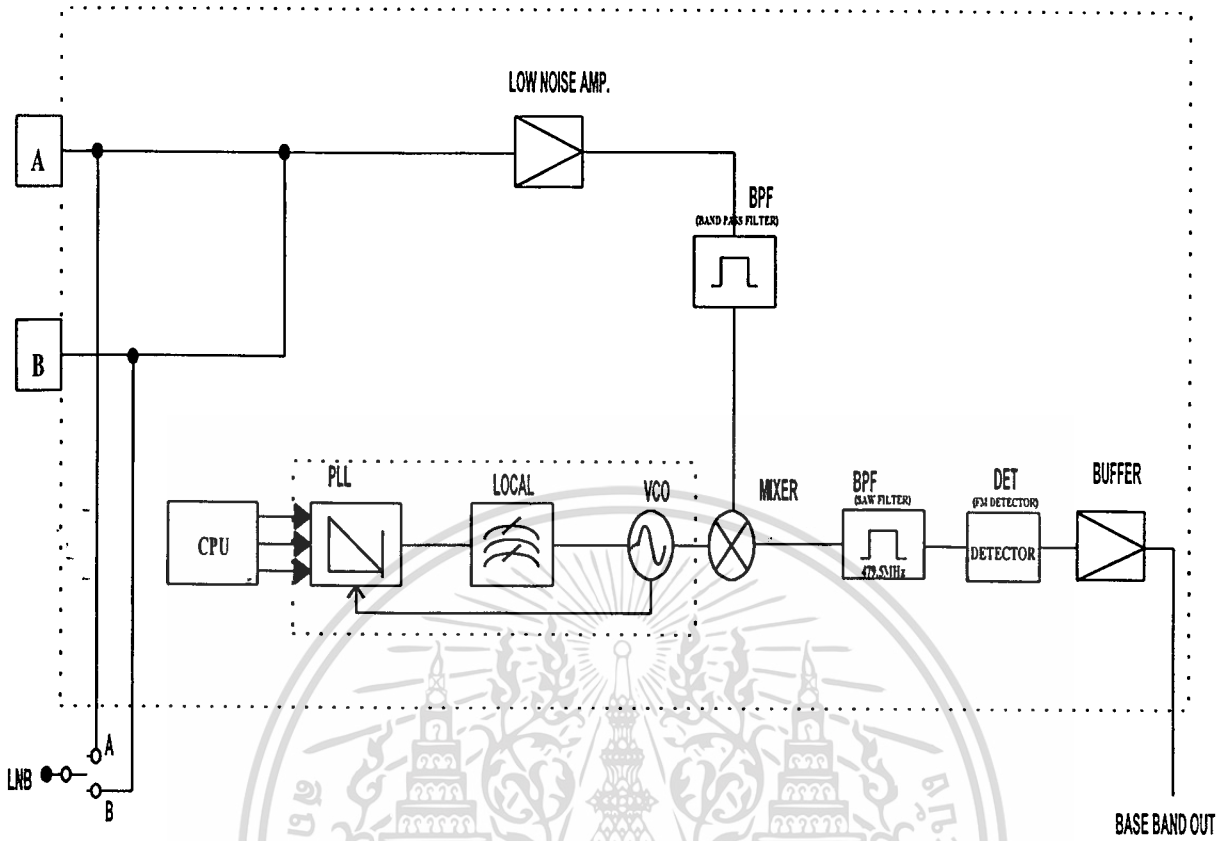
1. วงจรขยายแบบให้สัญญาณรบกวนต่ำ
2. วงจรกรองแถบความถี่ผ่าน
3. ระบบสังเคราะห์ความถี่ (SYNTHESIZED PLL)
4. มิกเซอร์
5. ซอร์ฟิลเตอร์
6. เอฟเอ็มดีเทกเตอร์
7. บัฟเฟอร์

หากพิจารณาการทำงานของระบบจูนเนอร์ในภาครับของเครื่องรับดาวเทียม เราจะพบว่าจูนเนอร์ก็คือวงจรที่จะทำการแปลงความถี่จากความถี่ในระบบไมโครเวฟ ให้ความถี่นั้นลดต่ำลงมาเป็นความถี่ IF ของสัญญาณรวม เราเรียกสัญญาณรวมนี้ว่า ความถี่เบสแบนด์ (Base-band) หากจะพิจารณาให้ง่ายเข้าในส่วนของระบบจูนเนอร์ สามารถที่จะเขียนออกมาได้ตามบล็อกไดอะแกรมในรูปที่ 3.23 โดยสัญญาณความถี่ที่มาจาก LNB ซึ่งมีความถี่อยู่ในช่วง 950-2,050 เมกะเฮิรตซ์ ซึ่งหมายความว่าจูนเนอร์ที่ใช้นี้จะรับสัญญาณได้จาก LNB ทั้งย่าน C และ Ku BAND (LNB ย่าน C BAND จะมีความถี่ IF OUTPUT ที่ 950-1,450 MHz ส่วน LNB ย่าน Ku BAND จะมีความถี่ IF OUTPUT ที่ 1450-2,050 MHz) จูนเนอร์จะรับสัญญาณที่มาจาก LNB แล้วส่งเข้ามาทางอินพุตของจูนเนอร์ A หรือ B ก็ได้ทางใดทางหนึ่ง โดยการรับคำสั่งจาก CPU สัญญาณดังกล่าวจะถูกส่งเข้าสู่ตัวเลือก SW. การทำงาน A,B (แล้วแต่จะใช้จุดไหน) และส่งเข้าสู่วงจขยายพร้อมกันหลายๆ ช่องทั้งหมด ซึ่งวงจขยายดังกล่าวนี้จะเป็นวงจขยายที่ให้สัญญาณรบกวนต่ำหรือเรียกว่าวงจ LNA วงจขยาย LNA (Low Noise Amplifier) จะทำหน้าที่เป็นวงจขยายให้สัญญาณที่รับมาจากระบบ LNB และส่งผ่านสายนำสัญญาณเข้ามา ถ้าหากสัญญาณส่งผ่านสายนำสัญญาณเกิดการสูญเสียหรือเกิดสัญญาณรบกวนขึ้นในระบบ วงจขยาย LNA จะทำหน้าที่ในการขยายให้มีความแรงเพียงพอและกำจัดสัญญาณรบกวนที่เกิดขึ้นนั้นด้วย เมื่อขยายสัญญาณจนเป็นที่เรียบร้อยแล้วจึงส่งผ่าน

วงจรกรองแถบความถี่ผ่าน เพื่อจะให้ความถี่ในแบนด์ของระบบดาวเทียมส่งผ่านไป ซึ่งจูนเนอร์ตัวนี้จะรับได้ทั้ง 2 แบนด์ วงจรกรองแถบความถี่ผ่านก็จะต้องส่งผ่านความถี่ได้ตั้งแต่ 950-2,050 เมกะเฮิรตซ์หรือส่งได้ตลอดย่านของการแพร่คลื่นสำหรับคลื่นเพื่อการบันเทิงนั่นเอง หรือการสื่อสารนั่นเอง ถ้าต้องการเลือกรับดู ความถี่ IF. ภาพช่องใดช่องหนึ่ง (CHANNEL SELECTOR) วงจรอิเล็กทรอนิกส์จูนนิ่ง ก็ จะทำการหารความถี่ออสซิลเลเตอร์ ในระบบสังเคราะห์ความถี่ (SYNTHESIZED PLL) ถ้าความถี่ออสซิลเลเตอร์ที่ได้ มีค่ามากกว่าความถี่สัญญาณภาพของช่องที่ต้องการอยู่ 479.5 MHz เมื่อนำไปผสมในวงจรมิกเซอร์ (MIXER) ก็จะได้ความถี่ผลต่าง 479.5 MHz รายการช่องนั้น ซึ่งสามารถผ่านไปขยายในวงจร IF.AMP ความถี่ 479.5 MHz ได้ และมีความกว้าง (IF. BANDWIDTH) อยู่ที่ 18 MHz หรือ 27 MHz โดยรับคำสั่งการเลือกจาก CPU ดังนั้นไม่ว่าสถานีไหนหรือทรานส์สปอนเดอร์ใดส่งเข้ามาในระบบสังเคราะห์ความถี่จะผลิตความถี่ขึ้นมาสูงกว่าทรานส์สปอนเดอร์หรือช่องสถานีที่รับเข้ามาอยู่ 479.5 MHz เพื่อส่งเข้าไปผสมสัญญาณในรูปแบบของการบีตสัญญาณ (Beat) เพื่อให้ความถี่ดังกล่าวนั้นกลายเป็นความถี่ IF 479.5 สัญญาณที่ได้จากการบีตนี้จะถูกส่งไปยังตัว Saw Filter (ซอร์ฟิลเตอร์) เพื่อกรองเอาเฉพาะความถี่ IF ไปใช้งาน

ที่ต้องใช้ระบบซอร์ฟิลเตอร์ (Saw Filter) หรือวงจรคอมป์ฟิลเตอร์ (comb.Filter) ก็เพื่อจะให้สัญญาณภาพและเสียง สามารถที่จะส่งออกไปได้สดใสบริสุทธิ์ เพื่อให้ภาพที่ออกไปเป็นภาพที่เร้าใจ เพื่อให้เสียงที่ส่งออกไปเป็นเสียงที่แจ่มใสชัดเจน ซึ่งระบบนี้ก็คงจะเหมือนกับระบบซอร์ฟิลเตอร์ของระบบเครื่องรับ โทรทัศน์นั่นเอง

สัญญาณ IF ที่ออกจาก ซอร์ฟิลเตอร์ จะถูกขยายให้มีความแรงสูงขึ้น จากนั้นจึงถูกส่งไปยังวงจรดีมอดูเลตแบบ FM (เนื่องจากสัญญาณโทรทัศน์ผ่านดาวเทียมนั้น ระบบการผสมสัญญาณภาพจะเป็นแบบ FM) สัญญาณที่ได้จากวงจรดีมอดูเลตแบบ FM นั้น จะมีทั้งสัญญาณภาพและเสียงผสมกันอยู่และส่งผ่านบัฟเฟอร์ออกไปเป็นสัญญาณเบส แบนด์เพื่อจะส่งให้กับวงจรระบบภาพและระบบเสียงต่อไป



รูปที่ 3.23 บล็อกไดอะแกรมจูนเนอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

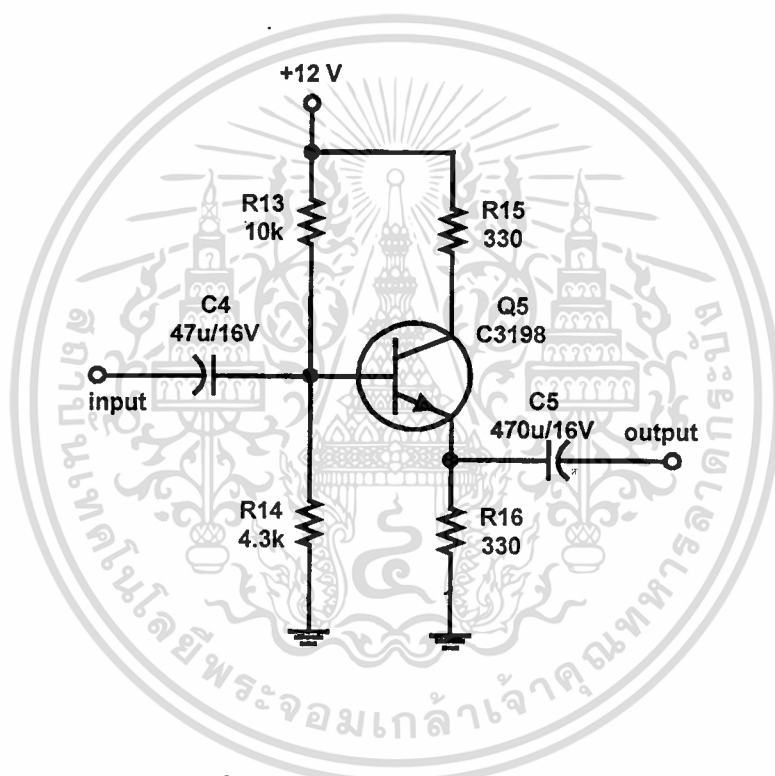
## บทที่ 4

### การออกแบบและการทำงาน

#### ระบบภาพ

#### วงจรบัฟเฟอร์

วงจรนี้ได้ใช้ทรานซิสเตอร์ ชนิด NPN เบอร์ C3198 ต่อแบบคอมมอนอิมิตเตอร์ ดังรูป



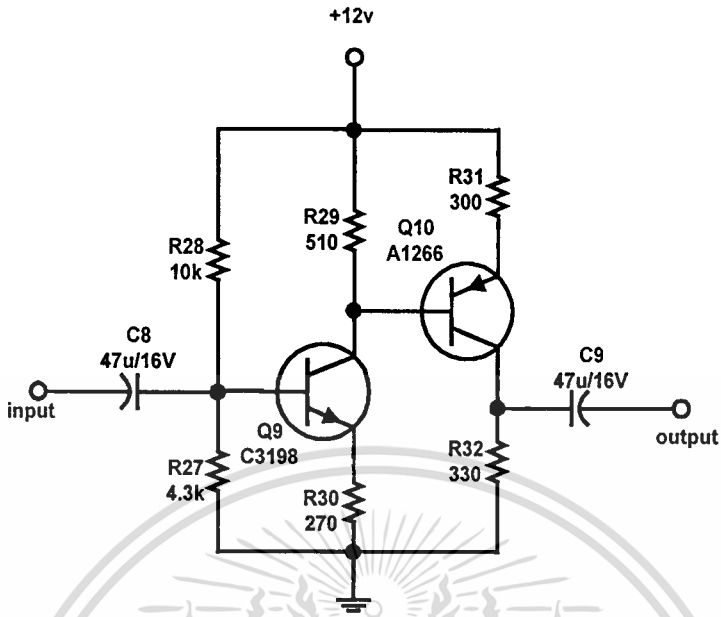
รูปที่ 4.1 วงจรบัฟเฟอร์ (ที่ออกแบบ)

#### วงจรขยายแบบเชื่อมต้อ (Amplifier Coupling)

##### วงจรขยายแบบเชื่อมต่อตรง (Direct coupled Amplifier)

ในกรณีที่เราต้องการอัตราขยายแรงดันมากกว่า 20 เราไม่นิยมใช้การต่อตัวเก็บประจุร้อมตัวต้านทาน  $R_E$  เพื่อเพิ่มอัตราขยายแรงดันเพราะมีข้อเสียคือ ต้องใช้ค่า  $C$  ที่มีขนาดใหญ่เพียงพอที่จะทำให้สัญญาณความถี่ต่ำผ่านไปได้ การแก้ไขทำได้โดยใช้วงจรทรานซิสเตอร์สองตัวต่อกันโดยตรง

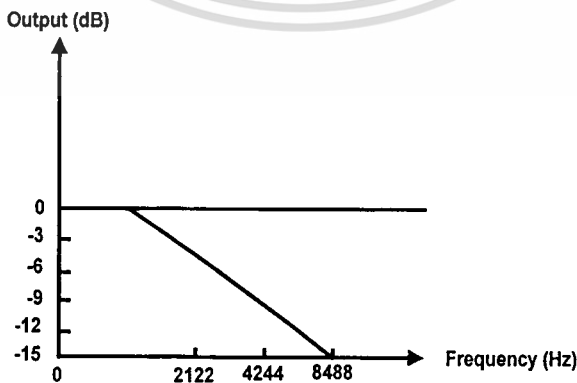
นั่นคือ การเชื่อมต่อโดยตรง วงจรขยายแบบ DC (DC Amplifier) ใช้สำหรับขยายสัญญาณที่มีความถี่ต่ำซึ่งให้อัตราการขยายสูงหรือใช้สำหรับขยายสัญญาณกระแสตรง และดีซี



รูปที่ 4.2 วงจร ไดเรคต์คัปปลิง (ที่ออกแบบ)

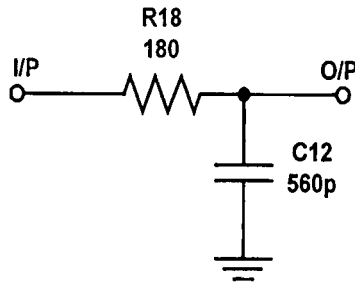
**วงจรดีเอ็มฟาซิส**

ทำหน้าที่ในการลดความถี่สูง วงจรที่ใช้ก็คือวงจรฟิลเตอร์นั่นเอง ในระบบกระจายเสียง FM โดยมากเรากำหนดคุณสมบัติของวงจรกรองความถี่ เป็นค่าคงตัวเวลา (time constant) เท่ากับ 75 ไมโครวินาที ซึ่งแอมพลิฟายเออร์จะค่อยๆ ลดลง ตั้งแต่ความถี่ 2122 เฮิรตซ์ เป็นต้นไป ดังรูป 4.3



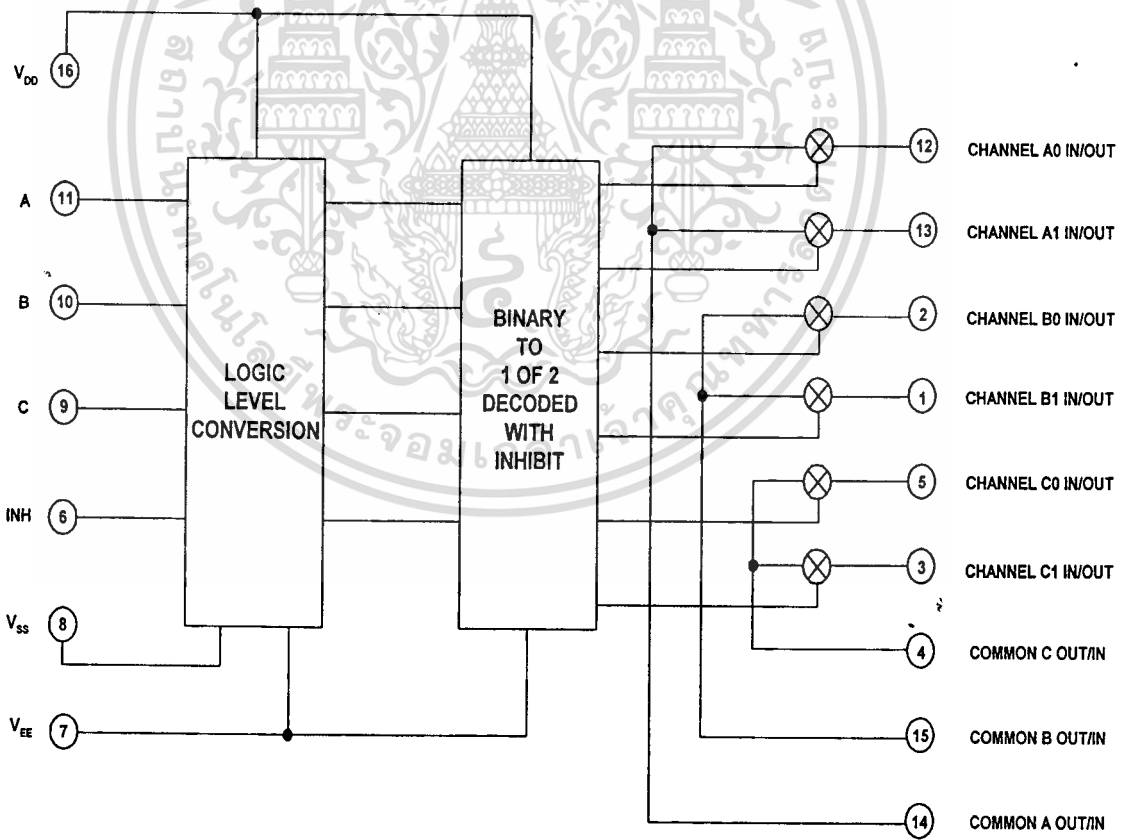
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้เผยแพร่เนื้อหาของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.3 ลักษณะเส้นโค้งดีเอ็มฟาซิส

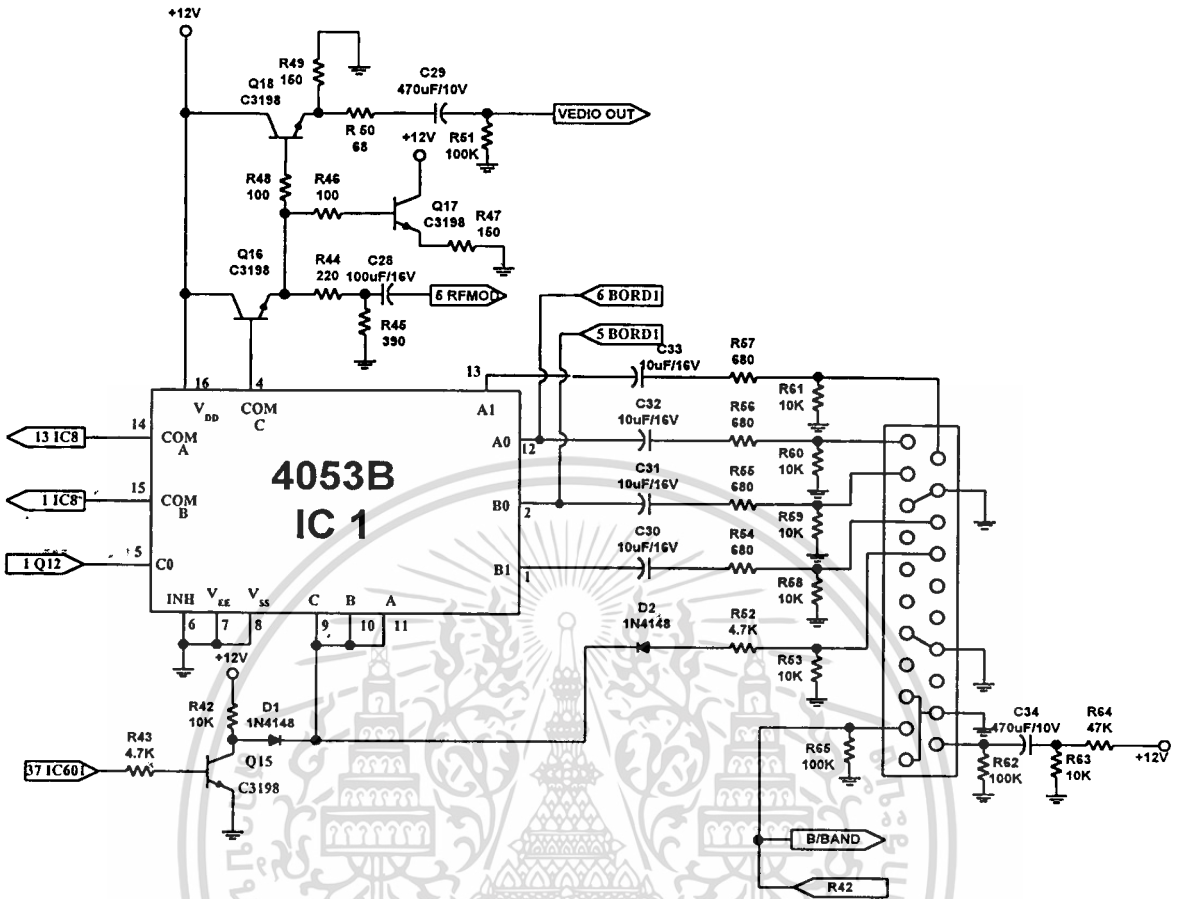


รูปที่ 4.4 วงจรดีเอ็มฟาส (ที่ออกแบบ)

วงจรมัลติเพล็กซ์เซอร์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 รูปที่ 4.5 บล็อกไดอะแกรมของ IC4053B  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและข้อมูลของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 วงจรมัลติเพล็กซ์ (ที่ออกแบบ)

ในโครงการนี้ได้ใช้ไอซี 4053B ซึ่งเป็น Triple 3-แชนแนลมัลติเพล็กซ์เซอร์มีอินพุตควบคุมดิจิทัลแยกสามอินพุต, A,B และ C และอินพุต Inhibit แต่ละอินพุตควบคุมการเลือก 1 คู่จาก 3 แชนแนลที่ซึ่งถูกต่อแบบ single-pole double-throw

จากรูปที่ 4.5 เมื่อถูกใช้เป็นตัวแยกสัญญาณ “CHANNEL IN/OUT” จะเป็นเอาต์พุต และ “COMMON OUT/IN” จะเป็นอินพุต

จากวงจรที่ออกแบบจะมีสัญญาณเข้ามาที่วงจร MUX 3 ส่วน ส่วนแรกจะมาจาก Q11 ซึ่งเป็นสัญญาณภาพ ส่วนที่ 2 เป็นสัญญาณการควบคุมการเลือกใช้ตัวถอดรหัสหรือไม่ใช้ จาก CPU ถ้าสั่งเป็น HIGH จะเป็นการใช้ ตัวถอดรหัส ถ้าเป็น LOW จะไม่ใช้ DECODER และส่วนที่ 3 เป็นสัญญาณเสียงที่มาจากวงจร DNR จากนั้นก็ส่งสัญญาณออกไป 3 ส่วน ส่วนแรกสัญญาณที่มาจาก DNR แล้วใช้วงจรมัลติเพล็กซ์ เป็นตัวผ่านออกไปเข้าวงจรดีมัลติเพล็กซ์ ส่วนที่ 2 นำสัญญาณภาพและเสียงส่งออกไปที่ SCART เพื่อใช้ในการถอดรหัส และส่วนที่ 3 ส่งสัญญาณออกไปใช้งานทาง

จุดเอาต์พุตของวีดีโอ เป็นแจ็ค RCA PHONE หากจะนำไปใช้กับเครื่องรับโทรทัศน์ที่ไม่มีระบบเอวี. จะต้องมอดูเลตในอาร์เอฟ.มอดูเลเตอร์ (RF Modulator) แล้วจึงนำสัญญาณที่มอดแล้วไปใช้งาน

### วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)

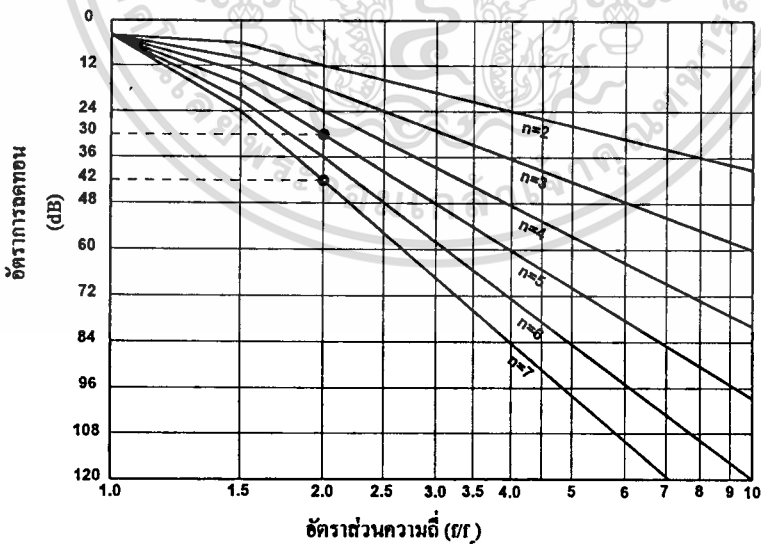
#### ขั้นตอนการออกแบบ

1. แปลงรูปแบบความถี่ที่ใช้งาน โดยเทียบกับความถี่ตัด เพื่อจัดรูปแบบให้ไปสู่วงจรพื้นฐาน พร้อมทั้งหาอัตราส่วนของ  $R_s/R_L$  หรือ  $R_L/R_s$  ดังนี้จะได้

$$\text{ความถี่ที่ใช้งาน/ความถี่ตัดเท่ากับ} : f/f_c = \omega/\omega_c$$

นำผลที่ได้ไปพิจารณากับกราฟคุณสมบัติอัตราการลดทอนสัญญาณ เพื่อหาค่าจำนวนอุปกรณ์ (n)

2. เลือกชนิดวงจรกรองความถี่และจำนวนของอุปกรณ์ที่ใช้ในการออกแบบ โดยพิจารณาจากผลที่ได้จากข้อ 1 เปรียบเทียบกับกราฟคุณสมบัติอัตราการลดทอนสัญญาณของวงจรกรองความถี่ชนิดต่างๆ
3. หาค่าต้นแบบวงจรกรองความถี่ต่ำผ่านจากตารางที่ได้บอกค่าไว้
4. นำผลที่ได้มาแปลงเป็นค่าที่ใช้งานได้จริง โดยวิธีการปรับอัตราของความถี่และอิมพีแดนซ์



#### รูปที่ 4.7 ลักษณะการส่งผ่านของแถบความถี่เมื่อเปรียบเทียบกับจำนวนของอุปกรณ์ที่นำไปต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- จากโครงการจะให้  $f_c = 5 \text{ MHz}$ ,  $f = 10 \text{ MHz}$ , อัตราการลดทอน = 30 dB,  $R_s = 100 \Omega$ ,  $R_L = 120 \Omega$  ทำการออกแบบได้ดังนี้

$$f/f_c = 10 \times 10^6 / 5 \times 10^6 = 2$$

$$R_s/R_L = 100/120 = 0.833$$

นำค่าอัตราส่วนระหว่าง  $f/f_c$  กับ อัตราการลดทอน ไปเทียบกับรูปที่ 4.7 จะได้ค่าใกล้เคียงที่  $n = 5$  จากนั้น ทำการเลือกชนิดวงจรกรองความถี่ต่ำโดยในโครงการนี้ใช้แบบบัตเตอร์เวิร์ดเพราะมีความราบเรียบของแถบความถี่สูงที่สุด การกระเพื่อมของสัญญาณต่ำมาก แต่การส่งผ่านแถบความถี่จะไม่ดีต้องแก้ไขโดยการเพิ่มจำนวนของอุปกรณ์

หาค่าต้นแบบวงจรกรองความถี่ต่ำแบบบัตเตอร์เวิร์ดจากตารางโดยนำค่าอัตราส่วน  $R_s/R_L$  กับ  $n$  ที่ได้ไปเปิดตารางจะได้ค่าดังนี้

$$C1 = 1.244, C3 = 2.111, C5 = 0.829, L1 = 0.864, L2 = 0.576$$

หาค่าที่ใช้งานได้จริงๆ โดยมีสูตรต่างๆ ดังนี้

$$C = C_n / 2\pi f_c R_L$$

$$L = (R_L L_n) / 2\pi f_c$$

นำไปแทนค่าได้ค่าต่างๆ ดังนี้

$$C1 = 1.244 / 2\pi (5 \times 10^6) (120) = 330 \text{ pF}$$

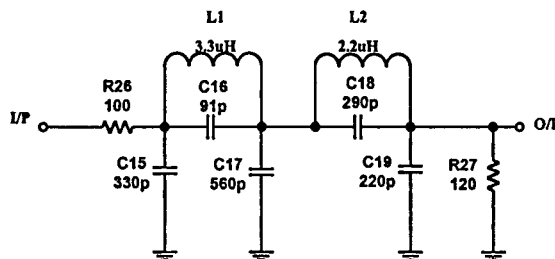
$$C3 = 2.111 / 2\pi (5 \times 10^6) (120) = 560 \text{ pF}$$

$$C5 = 0.829 / 2\pi (5 \times 10^6) (120) = 220 \text{ pF}$$

$$L1 = (120 \times 0.864) / 2\pi (5 \times 10^6) = 3.3 \mu\text{H}$$

$$L2 = (120 \times 0.576) / 2\pi (5 \times 10^6) = 2.2 \mu\text{H}$$

แต่สัญญาณที่ได้ยังไม่ดีพอจึงนำอุปกรณ์มาต่อเพิ่มโดยใช้ C ขนานกับ L ทั้งสองตัว



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษานี้ ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
รูปที่ 4.8 วงจรกรองความถี่ต่ำผ่าน (ที่ออกแบบ)  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรณีที่วงจรกรองไม่ดีพอไม่สามารถกำจัดสัญญาณที่ความถี่สูงกว่า 5 MHz ได้มากกว่า 20 dB จะทำให้ภาพดูหยาบ หรือหากออกแบบโดยใช้อุปกรณ์ไม่เหมาะสมเช่นใช้ค่าของตัวเหนี่ยวนำหรือตัวเก็บประจุมากไป แม้จะขจัดสัญญาณที่ความถี่สูงกว่า 5 MHz ได้ดีมาก แต่จะเกิดปัญหาแทรกซ้อนคือ ค่าหน่วงเวลา (group delay) ของสัญญาณสูงเกินไป (มากกว่า 200 ns) จะทำให้ภาพมีลักษณะเป็นเงายาวหรือบางครั้งจะไม่สคัลย้ายมีหมอกลง

## ระบบเสียง

### วงจรกรองแถบความถี่ผ่าน (Band Pass Filter)

เราจะใช้วงจรกรองความถี่ต่ำเป็นหลักและทำการแปลงเป็นวงจรกรองเฉพาะความถี่ผ่านได้ดังนี้

#### ขั้นตอนการออกแบบ

1. แปลงอัตราส่วนแบนด์วิดท์ ( $BW/BW_c$ ) ของวงจรกรองแถบความถี่ผ่านเป็นอัตราส่วนความถี่ ( $f/f_c$ ) ของวงจรกรองความถี่ต่ำผ่าน (โดย BW. ของ BPF. จะเท่ากับกับ LPF. ดังรูปที่ 4.9)
2. หาจำนวนอุปกรณ์จากกราฟคุณสมบัติการลดทอนจากค่า  $f/f_c$  ในข้อที่ 1
3. พิจารณาอุปกรณ์ต้นแบบของวงจรกรองความถี่ต่ำผ่าน
4. เปลี่ยนอุปกรณ์จากต้นแบบวงจรกรองความถี่ต่ำผ่านเป็นอุปกรณ์ต้นแบบวงจรกรองแถบความถี่ผ่าน
5. แปลงเป็นค่าอุปกรณ์ที่ใช้งานจริง โดยการปรับอัตราของความถี่และอิมพีแดนซ์จากสูตรที่ 1 ถึง

4

จากรูปเป็นวงจรต้นแบบวงจรกรองแถบความถี่ผ่าน เราต้องแปลงมาเป็นวงจรที่ใช้งานได้จริงก่อน โดยการใช้การปรับขนาดอัตราของความถี่และอิมพีแดนซ์เพื่อแปลงค่าในวงจรไปเป็นค่าที่ใช้งานจริงโดยที่ชุดของวงจรเรโซแนนซ์แบบขนานจะมีสูตรดังนี้

$$C = C_n / 2\pi R_L B \quad \text{----(1)}$$

$$L = RB / 2\pi f_o^2 L_n \quad \text{----(2)}$$

และสำหรับชุดของวงจรเรโซแนนซ์แบบอนุกรมก็จะเป็น

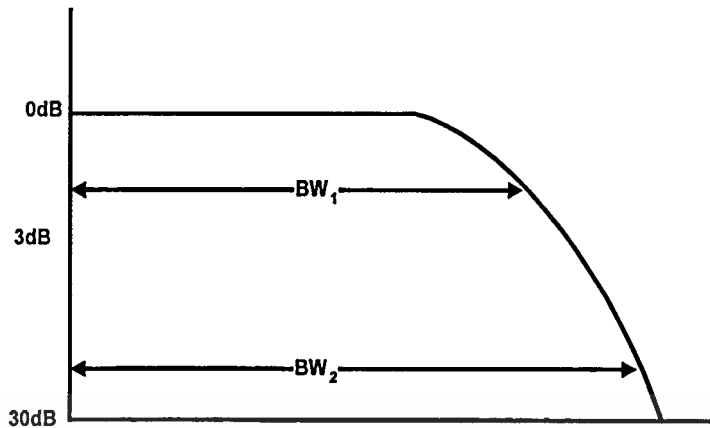
$$C = B / 2\pi f_o^2 C_n R_L \quad \text{----(3)}$$

$$L = R L_n / 2\pi B \quad \text{----(4)}$$

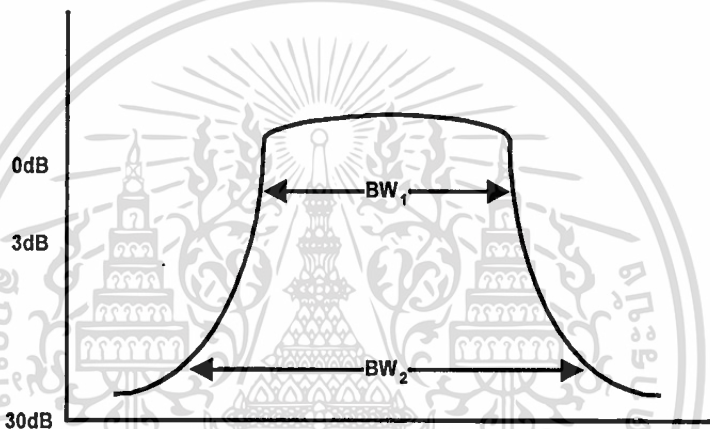
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

$$f_o = \sqrt{f_a f_b} \quad \text{----(5)}$$

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

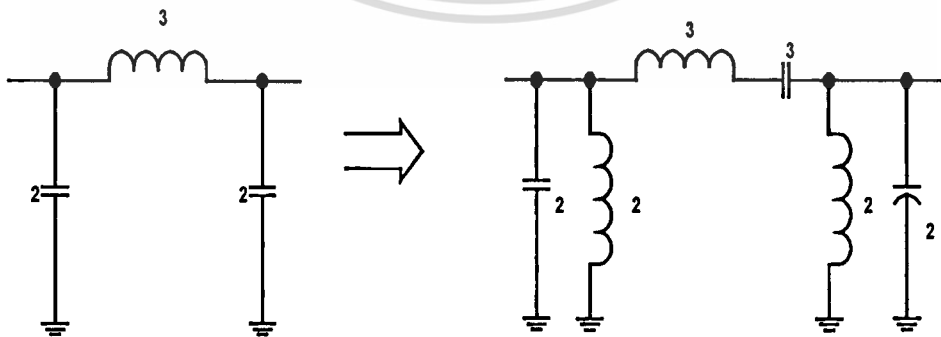


(ก) การตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่าน



(ข) การตอบสนองความถี่ของวงจรกรองแถบความถี่ผ่าน

รูปที่ 4.9 การแปลงแบบตัววัดจากรวงจรกรองความถี่ต่ำผ่านเป็นวงจรกรองแถบความถี่ผ่าน



รูปที่ 4.10 การเปลี่ยนต้นแบบวงจรกรองความถี่ต่ำผ่าน ไปเป็นวงจรกรองแถบความถี่ผ่าน  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ  $f_u$  และ  $f_b$  คือความถี่ด้านต่ำและด้านสูงของวงจรรองแถบความถี่ผ่าน

- จากโครงการกำหนดให้  $f_u = 5 \text{ MHz}$ ,  $f_b = 8 \text{ MHz}$ ,  $R_s = 100 \ \Omega$ ,  $R_L = 200 \ \Omega$  ทำการออกแบบได้ดังนี้

$$f_0 = \sqrt{(5)(8)} \text{ MHz} = 6.32 \text{ MHz}$$

หาค่าต้นแบบวงจรรองความถี่ต่ำแบบบัตเตอร์เวิร์ค ( $n=3$ ) จากตารางโดยนำค่าอัตราส่วน  $R_s/R_L$  กับ  $n$  ที่ได้ไปเปิดตารางจะได้ค่าดังนี้

$$C1 = 1.244, C3 = 2.111, L1 = 0.864$$

นำค่าต่างๆ เหล่านี้มาแทนในสูตร 1 - 4 เพื่อหาค่าใช้งานจริง

$$C1 = 1.244/2\pi(200)(5 \times 10^6) = 150 \text{ p}$$

$$C3 = 5 \times 10^6/2\pi(6.32 \times 10^6)^2(2.111)(200) = 20 \text{ F}$$

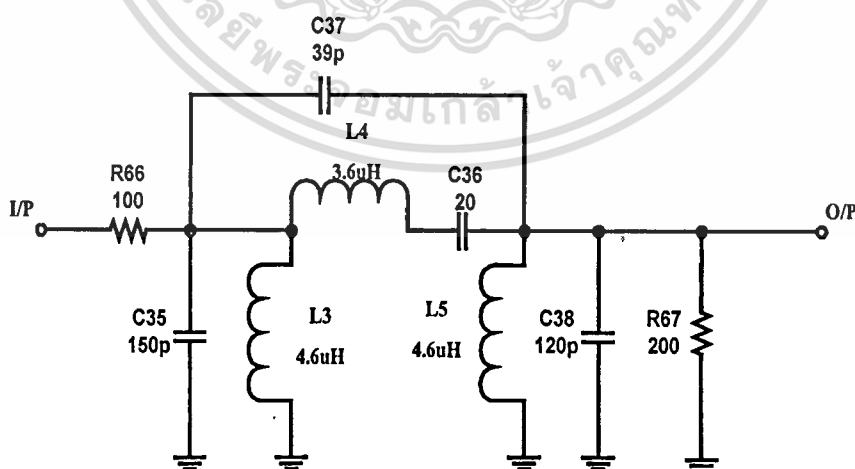
$$C5 = 0.829/2\pi(200)(5 \times 10^6) = 120 \text{ pF}$$

$$L1 = (200 \times 5 \times 10^6)/2\pi(6.32 \times 10^6)^2(0.864) = 4.6 \ \mu\text{H}$$

$$L2 = (200 \times 0.576)/2\pi(5 \times 10^6) = 3.6 \ \mu\text{H}$$

$$L3 = (200 \times 5 \times 10^6)/2\pi(6.32 \times 10^6)^2(0.864) = 4.6 \ \mu\text{H}$$

แต่สัญญาณที่ได้ยังไม่ดีพอจึงนำอุปกรณ์มาต่อเพิ่มโดยใช้ C ต่อขนาน

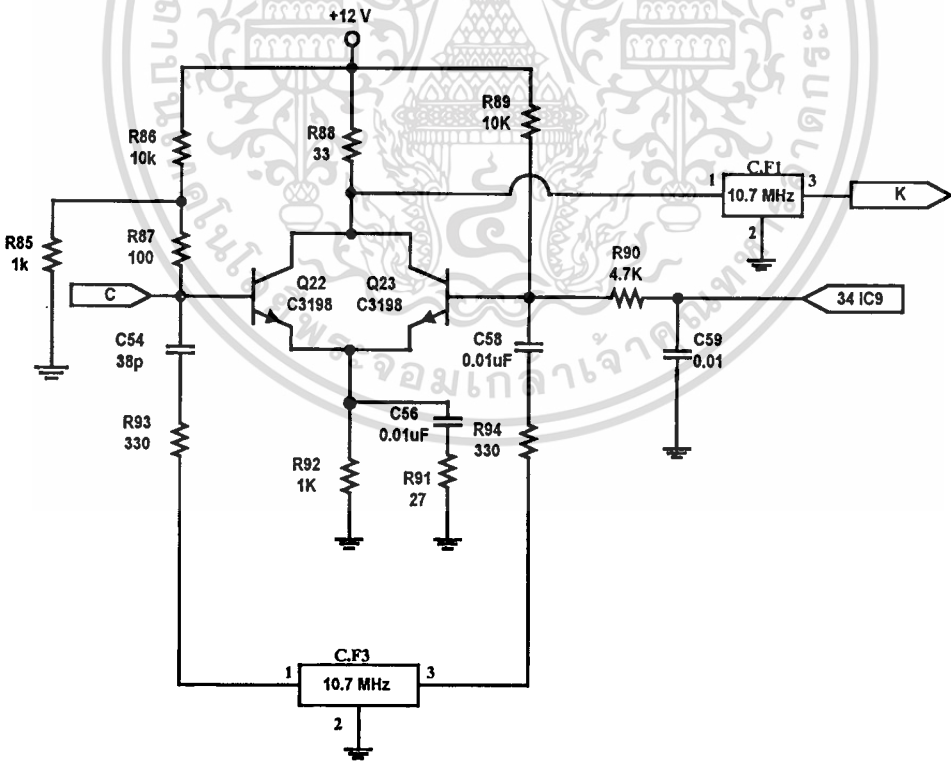


เอกสารนี้เป็นเอกสารที่สงวนรูปที่ 4.11 วงจรรองแถบความถี่ผ่าน(ที่ออกแบบ)ให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### วงจรรขยายผลต่าง (Differential Amplifier)

วงจรรขยายผลต่างจะมีความเสถียรที่อุณหภูมิสูง เพราะทรานซิสเตอร์  $Q_1$  และ  $Q_2$  จะถูกติดตั้งให้อยู่ใกล้กัน ดังนั้นผลกระทบจากการเปลี่ยนแปลงอุณหภูมิจะเกิดขึ้นเท่ากันด้วยทำให้กระแสคอลเล็กเตอร์ของทรานซิสเตอร์  $Q_1$  และ  $Q_2$  เพิ่มขึ้นและลดลงในปริมาณที่เท่ากัน ดังนั้นแรงดันเอาต์พุตก็จะคงที่อยู่

จากวงจรที่ออกแบบ สัญญาณ i/p ที่เข้าทาง Q22 จะมีส่วนหนึ่งที่ผ่าน C54, R93, C.F.3, R94 และ C58 ก่อนไปเข้า Q23 ซึ่งอุปกรณ์ชุดนี้จะทำหน้าที่ฟิลเตอร์สัญญาณให้แคบลงกว่าเดิม เมื่อมีสัญญาณจาก CPU เป็น HIGH มาจะทำให้ทรานซิสเตอร์ Q23 ทำงาน ซึ่งทำให้สัญญาณที่ส่งผ่านมาจากชุดกรองแถบความถี่ผ่านแคบนั้นสามารถผ่านไปรวมกับสัญญาณ i/p ทาง Q22 ได้แล้วส่งผ่าน C.F.1 ซึ่งเป็นตัวฟิลเตอร์แบนด์กว้าง ได้สัญญาณแบนด์แคบ (ฟิลเตอร์ครั้งแรกเป็นแคบแล้วครั้งต่อมาก็ไม่มีผล) ออกไปยังส่วนต่อไป ส่วนถ้า CPU ส่งสัญญาณเป็น LOW มา Q23 จะไม่ทำงาน ทำให้มีแต่สัญญาณ i/p ของ Q22 ส่งผ่าน C.F.1 ได้เป็นสัญญาณแบนด์กว้างออกไป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้เฉพาะงานวิจัยและเอกสารที่ส่งออกไปยังหน่วยงานที่เกี่ยวข้องเท่านั้น ไม่ควรเผยแพร่โดยไม่ได้รับอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### วงจรมิกเซอร์และออสซิลเลเตอร์คู่

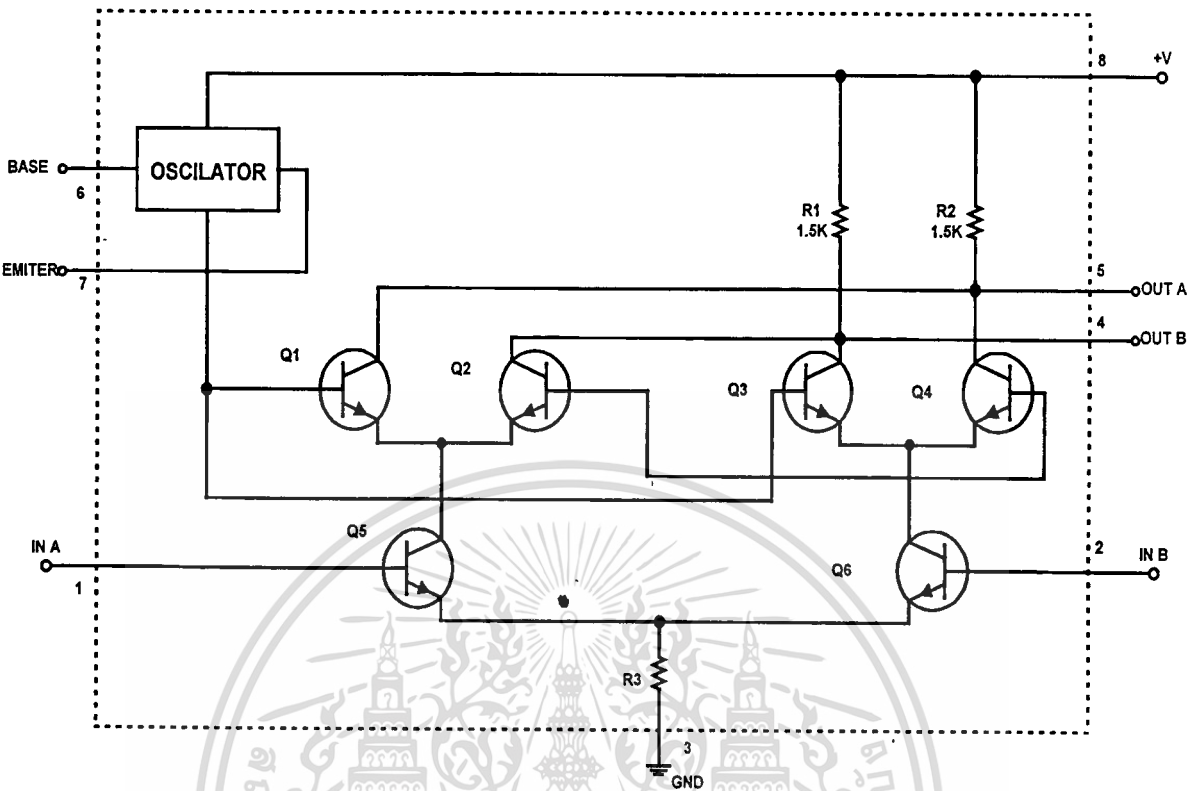
ในโครงการนี้ได้ใช้ไอซี NE612AN ซึ่งไอซีตัวนี้ถูกสร้างขึ้นมาให้ภายในประกอบไปด้วยภาคมิกเซอร์ (mixer) และออสซิลเลเตอร์ความถี่มูลฐาน (local oscillator) ดังนั้นอุปกรณ์ตัวนี้จึงสามารถถูกนำมาใช้งานเป็นวงจรมิกเซอร์ฟรอนต์เอนด์ (front-end) ของเครื่องรับวิทยุได้โดยคุณสมบัติที่เด่นเฉพาะแล้วคือมีการป้องกันสัญญาณรบกวนด้วยตัวเองได้ดี และคุณลักษณะที่พิเศษของการอินเตอร์มอดูเลชัน ออร์เดอร์ที่ 3 ทำให้มีค่า noise figure (noise figure) มีค่าเท่ากับ 4.7 เดซิเบล ที่ความถี่อินพุต 45 เมกะเฮิรตซ์ ที่ความถี่ออร์เดอร์ที่ 3 จะมีการลดทอนสัญญาณ -15 dBm (จะมีการลดทอนสัญญาณทางกำลังลดลงโดยคิดที่ค่าอิมพีแดนซ์ของวงจรที่ทำการวัดเป็นค่ามาตรฐานที่ 600 โอห์ม โดยจะมีหน่วยเป็น มิลลิวัตต์ (mW)) ที่แสดงให้เห็นว่ามีการแมตซ์กันทางอินพุต NE612AN นี้มีระดับสัญญาณทางอินพุตประมาณ 12.6 มิลลิโวลต์ที่โหลด 50 โอห์ม หรือ 68 มิลลิโวลต์ที่โหลดทางอินพุต 1,500 โอห์ม ความไวทางอินพุตเท่ากับ 0.2 ไมโครโวลต์ โดยไม่มีวงจรมิกเซอร์อาร์เอฟประกอบไปด้วย

### การแปลงและแยกความถี่

จากบล็อกไดอะแกรมภายในตัวไอซีดังแสดงไว้ในรูปที่ 4.13 แสดงให้เห็นส่วนประกอบของวงจรรออสซิลเลเตอร์ความถี่มูลฐานภายในไอซีซึ่งทำงานด้วยทรานซิสเตอร์ NPN ที่มีคุณสมบัติขยายความถี่ได้ในย่าน VHF โดยขาเบสต่ออยู่กับขา 6 และขาอิมิตเตอร์ต่อกับขา 7 ของไอซี แต่ขาคอลเล็กเตอร์ของทรานซิสเตอร์ออสซิลเลเตอร์จะไม่ต่อออกไปเข้ากับอุปกรณ์ภายนอกไอซี แต่จะต่ออยู่กับวงจรมิกเซอร์อาร์เอฟภายใน โดยจะเชื่อมต่อระหว่างขาคอลเล็กเตอร์เข้ากับวงจรมิกเซอร์คู่ภายในไอซี

วงจรมิกเซอร์คู่ประกอบด้วยวงจรมิกเซอร์ความแตกต่างที่ประกอบขึ้นมาจากทรานซิสเตอร์คู่สองชุด ชุดแรก  $Q_1$ ,  $Q_2$  มี  $Q_3$  เป็นตัวจ่ายกระแสชอร์ชให้ และอีกชุดหนึ่งมี  $Q_4$ ,  $Q_5$  และ  $Q_6$  จ่ายกระแสชอร์ชให้ การต่อวงจรในลักษณะนี้เรียกว่า Gilbert Transconductance Cell การเชื่อมต่อแบบข้ามชุดขยายความแตกต่างของขาคอลเล็กเตอร์ทำให้ได้เอาต์พุตออกมาที่ขา 4 และ 5 ในลักษณะพุชพูล (push-pull) มีตัวต้านทานต่อแบ่งแรงดันจากแรงดันไฟบวก (+V) ซึ่งเป็นค่าความต้านทานภายในไอซีมีค่าเท่ากับ  $1.5\text{ K}\Omega$  และสัญญาณความถี่ออสซิลเลเตอร์จะต่อกับขาเบสของทรานซิสเตอร์หนึ่งในสองตัวของวงจรมิกเซอร์ความแตกต่างทั้งสองชุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

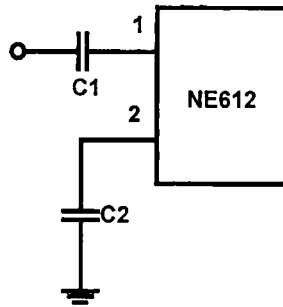


รูปที่ 4.13 รายละเอียดบล็อกไดอะแกรมภายใน

**อินพุตของ NE612AN**

ในส่วนวงจรทางอินพุตของ NE612AN สัญญาณความถี่วิทยุ (RF) จะมาเข้าที่อินพุตขา 1 และขา 2 ของไอซีซึ่งเป็นอินพุตแบบบาลานซ์ ภายในก็จัดวงจรแบบวงจรขยายความแตกต่างและผสมความถี่วิทยุ นั่นคือสัญญาณอินพุตที่เป็นความถี่วิทยุจะเข้าที่ขา 1,2 ซึ่งเป็นขาเบสของชุดจ่ายกระแสซอร์สให้กับชุดขยายความแตกต่างภายใน โดยเป็นขาเบสของ Q<sub>5</sub> และ Q<sub>6</sub> ดังแสดงในบล็อกไดอะแกรมภายในดังรูปที่ 4.13 ซึ่งค่าความต้านทานทางอินพุตกำหนดไว้ที่ 1.5 กิโลโอห์มขนานกับค่าความจุภายใน 3 พิโกฟารัด คิดที่ความถี่อินพุตต่ำๆ แต่ถ้าความถี่วิทยุทางอินพุตอยู่ในย่าน VHF ค่าความต้านทานทางอินพุตจะลดลงมาเหลือ 1 กิโลโอห์ม

ในรูปที่ 4.14 เป็นวงจรอินพุตแบบตัวเก็บประจุคัปปลิ่ง, ไม่มีวงจรจูนและเป็นแบบไม่บาลานซ์ สัญญาณความถี่วิทยุจะถูกคัปปลิ่งผ่าน C<sub>i</sub> มาเข้าที่ขา 1 ของ NE612AN (ขา 2 หากเป็นแบบไม่บาลานซ์แล้วจะ ไม่รับอินพุตแต่จะบายพาสความถี่ที่ไม่ต้องการออกไป) ปกติจัดวงจรแบบนี้ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

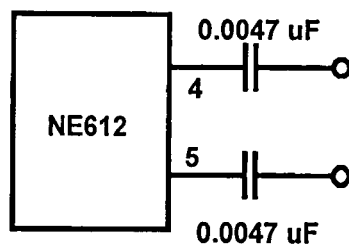


รูปที่ 4.14 ลักษณะการจัดวงจรทางด้านอินพุต (วงจรรزون)

จะมีค่าอินพุตอิมพีแดนซ์ต่ำและเปลี่ยนไปตามช่วงความถี่ใช้งานทางอินพุตระดับความแรงสัญญาณทางอินพุตจะไม่น้อยกว่า -25 dBm หรือประมาณ 68 มิลลิโวลต์ (180 มิลลิโวลต์พีค-พีค) ที่ค่าความต้านทานทางอินพุต 1.5 กิโลโอห์มสัญญาณที่ขาอินพุตที่ใช้งาน (ขา 1) จะตรงข้ามกันกับอินพุตที่ไม่ได้ใช้งาน (ขา 2) และสัญญาณที่ขา 2 นี้จะถูกส่งผ่านลงกราวด์โดยผ่าน  $C_2$  ค่าของ  $C_2$  จะเปลี่ยนแปลงตามความถี่ที่ต้องการส่งผ่านมีค่าประมาณ (0.001 ถึง 0.1 ไมโครฟารัด)

#### เอาต์พุตของ NE612AN

หากย้อนกลับไปดูบล็อกไดอะแกรมภายในของไอซีในรูปที่ 4.13 ที่ผ่านมาก็คงเห็นว่าเอาต์พุตของไอซีออกมาทางขา 4 และ 5 เป็นเอาต์พุตแบบบาลานซ์ ได้จากการคับปลิ่งข้ามชุดรวมของวงจรรขยายความแตกต่างภายใน 2 ชุด (Gilbert transconductance cell) ทำให้การจัดวงจรทางเอาต์พุตสามารถจัดได้หลายลักษณะ

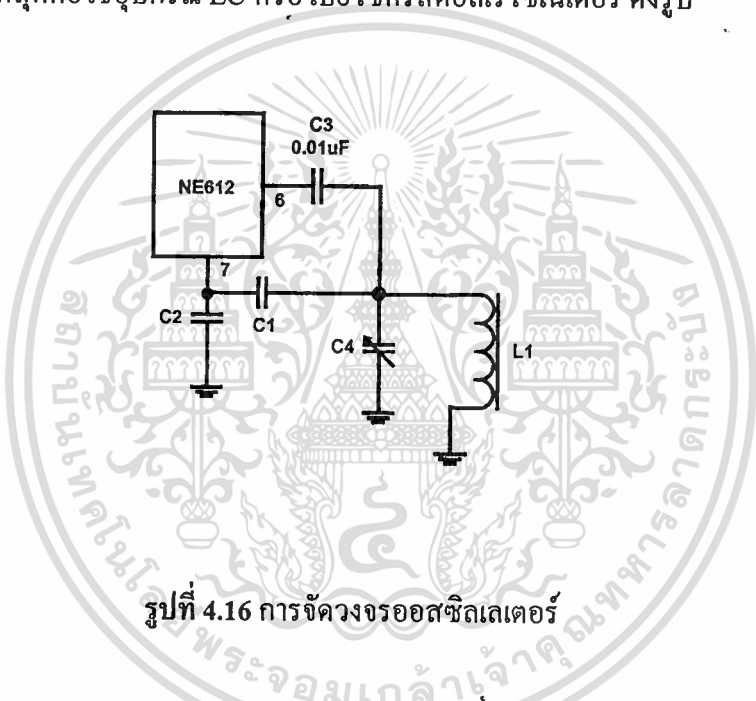


รูปที่ 4.15 ลักษณะการจัดวงจรทางด้านเอาต์พุต

ในรูปที่ 4.15 เป็นการคับปลิ่งสัญญาณเอาต์พุตผ่านตัวเก็บประจุและเพื่อกันแรงดันไฟตรงไม่ให้ออกไปเข้าวงจรในส่วนอื่นต่อไปได้ และมีค่าเอาต์พุตอิมพีแดนซ์สูงประมาณ 1.5 กิโลโอห์ม ซึ่งตัวเก็บประจุที่เลือกใช้จะต้องเป็นค่าที่ทำให้เกิดค่ารีแอกแตนซ์ต่ำๆ ที่ความถี่ใช้งาน โดยทั่วไปจะมีค่าประมาณ 0.001-0.1 ไมโครฟารัด

### ออสซิลเลเตอร์ภายในไอซี

สำหรับอุปกรณ์ที่จะนำมาประกอบร่วมกับวงจรออสซิลเลเตอร์ภายในตัวไอซีจะมีอยู่ 2 ลักษณะที่น่าจะดีที่สุดคือไอซีอุปกรณ์ LC หรือ เปียโซคริสตัลออสซิลเลเตอร์ ดังรูป



รูปที่ 4.16 การจับวงจรออสซิลเลเตอร์

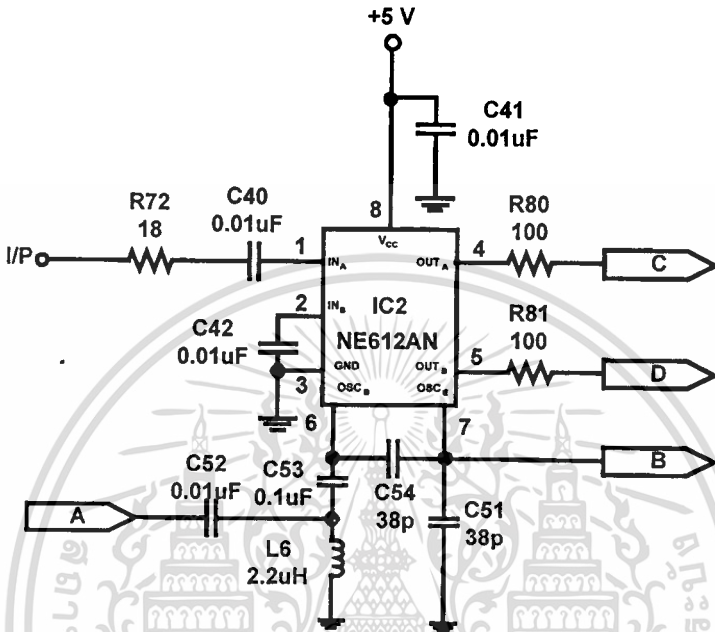
ในรูปที่ 4.16 จะเป็นวงจรออสซิลเลเตอร์แบบปรับถี่ได้ (variable frequency oscillator : VFO) จะใช้การป้อนกลับโดยการแท็ปที่จุดต่อของ  $C_1$  กับ  $C_2$  และใช้วารีแคปไดโอดปรับความถี่ โดยค่า  $C_1, C_2$  นี้สามารถคำนวณหาได้จากสมการ

$$C_1 = 100 / \sqrt{F} \dots(1)$$

$$C_2 = 1000 / F \dots(2)$$

โดยที่ค่าของตัวเก็บประจุของ  $C_1$  และ  $C_2$  จะมีหน่วยเป็นพิโกฟารัด (pF) และค่าของความถี่ (F) จะมีหน่วยเป็นเมกะเฮิรตซ์ (MHz) แต่การคำนวณหาค่าของตัวเก็บประจุจากสมการที่ (1) และ (2) อาจจะทำให้ได้ค่าความถี่ที่ไม่ตรงกับค่าของตัวเก็บประจุมาตรฐานที่มีจำหน่ายอยู่และอาจเป็นค่าที่หายาก หรือไม่ได้ผลิตเลยก็เป็นได้ ถ้าหากใส่ค่าตัวเก็บประจุไม่ตรงจะทำให้การออสซิลเลตมีการคำนวณค่าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปัญหา อาจมีความถี่ที่เพิ่มขึ้น หรือลดลงไม่คงที่ตลอดเวลา ดังนั้นจึงใช้วาริแคปไดโอดทำการต่อเข้าไปรวม



รูปที่ 4.17 วงจรบาลานซ์มิกเซอร์และออสซิลเลเตอร์คู่ (ที่ออกแบบ)

**วงจรเฟสล็อคลูปแบบสังเคราะห์ความถี่**

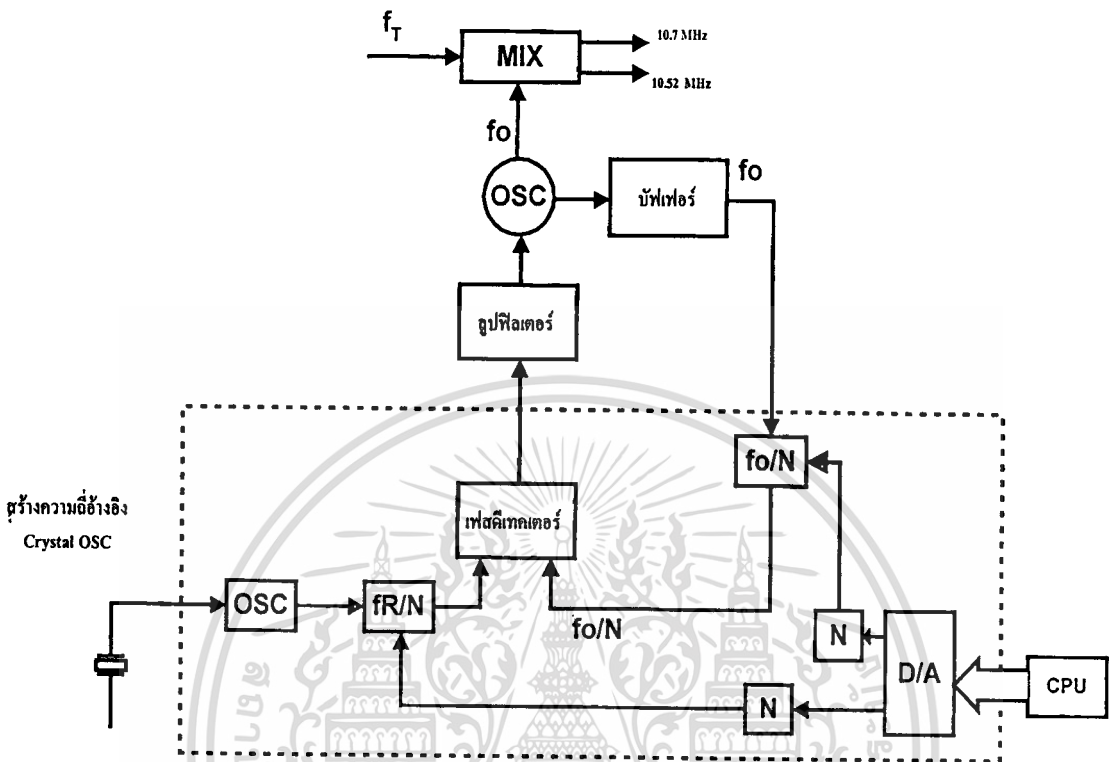
วงจรสังเคราะห์ความถี่นิยมใช้ไอซีเป็นตัวแทน ซึ่งใช้งานสะดวกดังนั้นเราจึงใช้ LC7215

ในส่วนของเฟสล็อคลูปที่อยู่ใน IC LC7215 จะประกอบด้วย วงจรเฟสดีเทคเตอร์ วงจรกำเนิดสัญญาณอ้างอิง วงจรหาร  $fR/N$  วงจรหาร  $f_o/N$  และวงจร D/A นอกนั้นเป็นวงจรที่อยู่ภายนอกตัว IC LC7215 คือ วงจรรูปฟิลเตอร์ ส่วนวงจรออสซิลเลเตอร์จะอยู่ใน IC NE612AN

การผลิตความถี่อ้างอิงจะเป็นแบบคริสตอลออสซิลเลเตอร์เพื่อให้ความถี่ได้มีเสถียรภาพคงที่ และใช้เป็นความถี่อ้างอิงสำหรับควบคุมการสังเคราะห์ความถี่ให้ทุกส่วนมีความเที่ยงตรงเท่ากับคริสตอล ในโครงการคริสตอลมีค่าความถี่เป็น 11.160 MHz (โดยค่า N จะเท่ากับ 223) แล้วเข้าวงจร  $fR/N$  จะเหลือความถี่ที่หารแล้วเท่ากับ 11.160/223 เท่ากับ 0.05 MHz หรือเท่ากับ 50 kHz เป็นความถี่อ้างอิงส่งเข้าวงจรเฟสดีเทคเตอร์ ค่า  $fR/N$  ที่เหมาะสมนั้น IC LC7215 จะเป็นตัวจัดการซึ่ง

ต้องการข้อมูลจาก  $f_o/N$  มาประกอบกัน

แม้ว่าการแก้ไข ทั้งต้น ยกทั้งที่ ไม่มีเห็นแต่เปลี่ยนแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



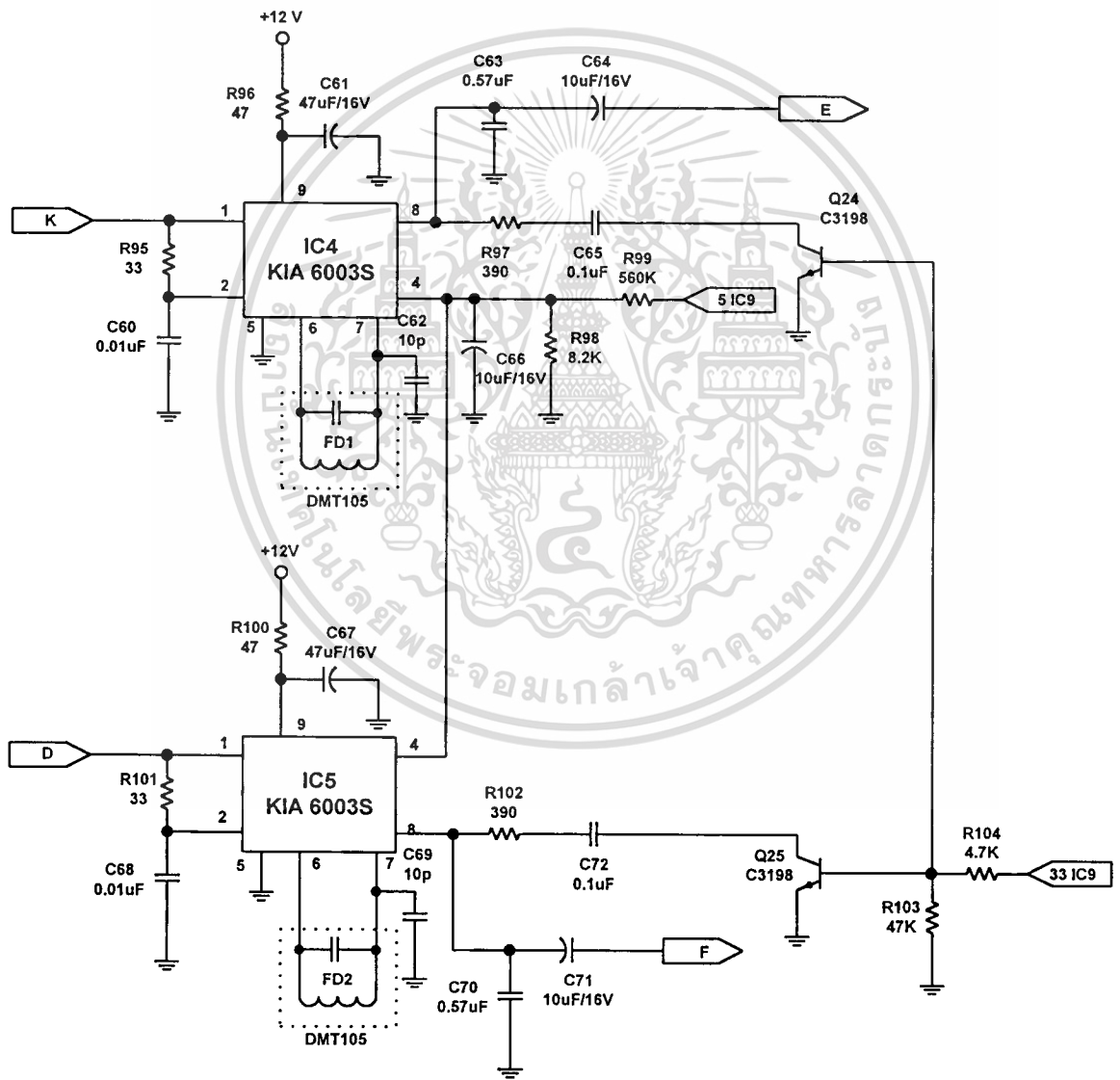
รูปที่ 4.18 หลักการทำงานของ PLL แบบสังเคราะห์ความถี่

ในการทำงานเมื่อให้จูนเนอร์รับคลื่นนั้น สมมติต้องการรับคลื่นจากสถานีด้วยความถี่ FM 6.60 MHz ตัว IC LC7215 จะส่งการจ่ายแรงดันออกจากรูปฟิลเตอร์เพื่อให้ OSC ผลิตความถี่  $f_o = 17.3 \text{ MHz}$  ( $f_T + IF = 6.60 + 10.7 = 17.3 \text{ MHz}$ ) ส่งเข้าวงจรมิกเซอร์เพื่อลบกับความถี่ที่รับเข้ามาจะได้ความถี่ IF 10.7 MHz ออกทางเอาต์พุต ความถี่  $f_o = 17.3 \text{ MHz}$  อีกส่วนหนึ่งผ่านบัฟเฟอร์ป้อนเข้าวงจรหาร  $f_o/N$  เพื่อให้ความถี่ต่ำลงเท่ากับความถี่อ้างอิง IC LC7215 จะกำหนดค่า N หรือกำหนดโปรแกรมการหาร (programmable divider) ให้พอดี เช่น  $N = 346$  ความถี่  $f_o/N = 17.3 \text{ MHz}/346 = 0.05 \text{ MHz}$  หรือ 50 kHz พอดีกับความถี่อ้างอิง ซึ่งความถี่นี้จะส่งเข้าเฟสดีเทกเตอร์ การเปรียบเทียบเมื่อเฟสหรือความถี่เท่ากันรูปฟิลเตอร์จะจ่ายแรงดันให้ OSC คงที่เป็นการล็อกความถี่ให้ OSC ผลิตความถี่ที่ 17.3 MHz อย่างเที่ยงตรง ถ้าหาก OSC ผลิตความถี่เปลี่ยนแปลงไป เช่น สูงขึ้นเป็น 17.5 MHz เมื่อเข้าวงจร  $f_o/N$  จะเท่ากับ  $17.5 \text{ MHz}/346 = 50.578 \text{ kHz}$  เมื่อเข้าเปรียบเทียบกับความถี่อ้างอิง 50 kHz แล้วจะได้แรงดันคลาดเคลื่อนผ่านรูปฟิลเตอร์ออกไปควบคุมให้ OSC ผลิตความถี่ต่ำลงจนถึง 17.3 MHz แล้วจึงล็อกความถี่ ส่วนในกรณีที่ OSC ผลิตความถี่ต่ำลงเป็น 17.0 MHz การ



วงจรเฟรม.ดีเทคเตอร์

ในโครงการนี้ได้ใช้ไอซีเบอร์ KIA6003S เป็นตัวทำงาน ซึ่งเป็นวงจรดีเทคเตอร์แบบควอดราเจอร์จะรวมวงจรขยาย IF วงจรขยายลิมิเตอร์ และอื่นๆ ไว้ด้วยในไอซีตัวเดียว โดยต่อขดลวดเหนี่ยวนำคักความถี่ 10.7 MHz และ 10.52 MHz ไว้ภายนอกเพื่อทำการเลื่อนเฟสให้ต่างไปจากสัญญาณคลื่นพาห่เสียงอยู่ 90 องศา เพื่อส่งความถี่ทั้งสองส่วนนี้เข้าสู่ระบบเฟสดีเทคเตอร์ (Phase detector) เผลี่ยผลออกมาเป็นแรงดันไฟส่งออกไป



รูปที่ 4.20 วงจรเฟรม.ดีเทคเตอร์ (ที่ออกแบบ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรที่ออกแบบ เมื่อ CPU ส่งสัญญาณเป็น 1 มาเข้าที่ขา 4 ของไอซี KIA6003S จะทำให้มีเสียง แต่ถ้าส่งสัญญาณเป็น 0 เข้าแทนจะเป็นการปิดเสียง และเมื่อ CPU ส่งสัญญาณเป็น 1 ไปเข้าที่ขา 8 โดยผ่านตัวทรานซิสเตอร์ ซึ่งทำหน้าที่เป็นสวิตช์ให้สัญญาณผ่านหรือไม่ผ่าน โดยถ้าเป็นสัญญาณ 1 ทรานซิสเตอร์ก็จะทำงานให้สัญญาณผ่าน R และ C ส่วนนี้เพื่อฟิลเตอร์ครั้งที่ 1 และ ผ่านไปยัง C อีก 2 ตัว ฟิลเตอร์อีกครั้งหนึ่ง เพื่อส่งสัญญาณออกไป โดยการฟิลเตอร์ 2 ครั้งนี้จะเป็นแบบ J17 สัญญาณเสียงจะคมชัดขึ้น ถ้า CPU ส่งสัญญาณเป็น 0 มาเข้าที่ขา 8 ทรานซิสเตอร์จะไม่ทำงาน สัญญาณจึงไม่สามารถผ่านฟิลเตอร์ช่วงแรกได้ จึงมีแต่ฟิลเตอร์ช่วงที่สอง ซึ่งเป็นแบบ 50.75

### วงจรรขยายสัญญาณ

จากรูปที่ 4.21 (ก) แสดงวงจรรขยายชนิดกลับเฟสซึ่งสามารถนำไปใช้ร่วมกับวงจรรอดิโจะเห็นว่ามิโครงสร้างวงจรรขยายของสัญญาณไฟตรง (DC) เพียงแต่มีตัวเก็บประจุ  $C_1$  ที่ต่ออนุกรมกับขั้วอินพุตลบเพิ่มขึ้นมาเท่านั้น หน้าที่ของ  $C_1$  คือ ป้องกันแรงดันไฟจากภาคก่อนหน้าไม่ให้ผ่านเข้าสู่วงจรรขยายชุดนี้ได้ มิเช่นนั้นแรงดันไฟนี้จะถูกขยายและทำให้เอาต์พุตของวงจรรขยายมีค่าเกิน  $\pm V_{sat}$  (แรงดันอิ่มตัว) เป็นผลให้สัญญาณออกดีโอดีจากความไม่เป็นจริง และป้องกันไม่ให้สัญญาณรบกวนความถี่ต่ำสามารถผ่านเข้าสู่ขั้วอินพุตของออปแอมป์ได้ โดยที่ความถี่คัทออฟ ( $f_c$ ) จะมีค่าดังนี้

$$f_c = 1/2\pi R_1 C_1$$

อัตราขยายแรงดันของวงจร ( $A_v$ ) มีค่าเท่ากับ  $-(R_f/R_1)$  และมีอินพุตริซิสเตนซ์เท่ากับ  $R_1$

ออปแอมป์ที่ใช้ในโครงงานนี้จะใช้ไฟเลี้ยงเพียงด้านเดียว (โดยอีกด้านต่อกับกราวด์) ดังใน

รูปที่ 4.21(ก) การต่อในลักษณะนี้ แรงดันเอาต์พุตของออปแอมป์ในขณะที่ไม่ได้มีสัญญาณอินพุต ( $V_o$ ) ควรจะมีระดับอยู่ที่  $\frac{1}{2}(+V)$  เมื่อ  $R_3 = R_4$  นั่นคือ เมื่อมีสัญญาณเข้ามา สัญญาณเอาต์พุตจะสามารถสวิง

ได้สูงสุด (ถารต่อชนิดนี้ต่างกับชนิดที่ใช้ไฟเลี้ยง 2 ชุด ตรงที่เอาต์พุตจะสวิงจาก  $\frac{1}{2}(V)$  ไปยัง  $+V$

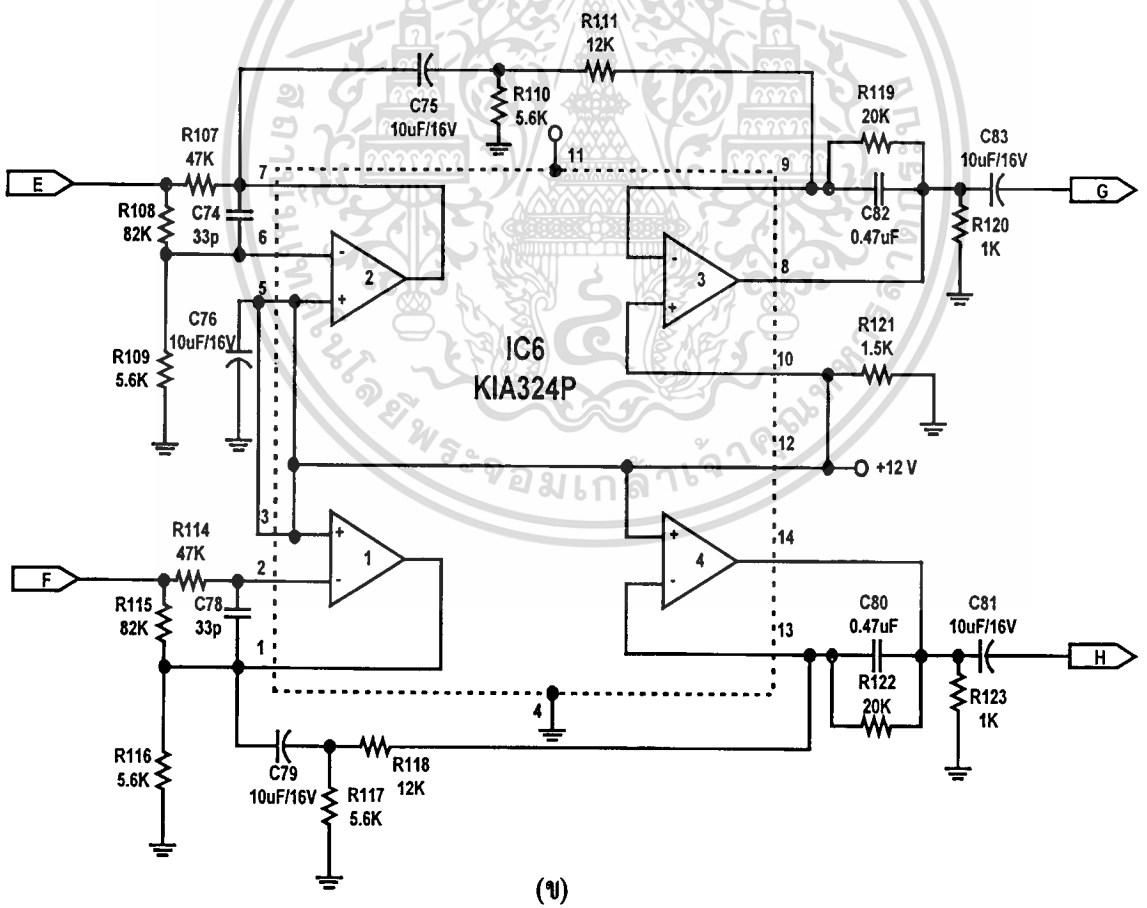
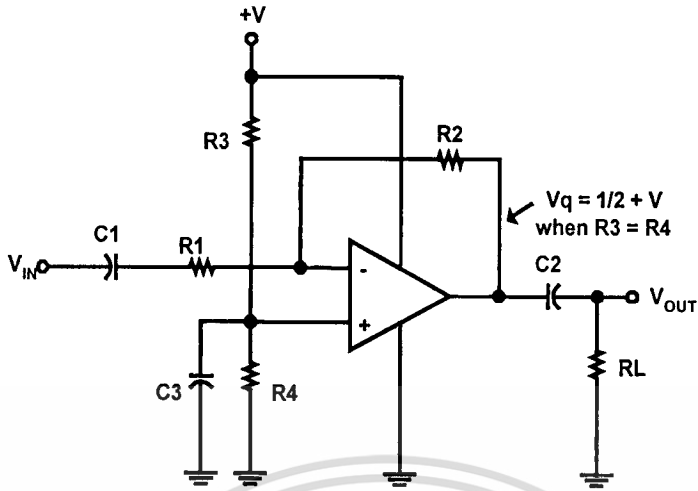
หรือ  $\frac{1}{2}(V)$  ไปยังกราวด์ แทนที่จะสวิงระหว่าง 0 โวลต์ ไป  $\pm V$  โวลต์เช่นวงจรที่ใช้ไฟเลี้ยง 2 ชุด)

$R_3 = R_4$  ที่ใช้อาจมีค่าตั้งแต่ 10 ถึง 100 กิโลโอห์ม ตัวเก็บประจุ  $C_3$  จะช่วยกรองสัญญาณรบกวน (การคิ่คัปลิ่ง) ซึ่งเกิดจากแหล่งจ่ายไฟเลี้ยง เพื่อป้องกันไม่ให้สัญญาณนี้ผ่านเข้าสู่ขั้วอินพุตบวกของออปแอมป์ ส่วน  $C_2$  จะป้องกันไม่ให้แรงดันไฟตรงผ่านออกไปยังวงจรถัดไป ตัวเก็บประจุที่ใช้

ควรเป็นชนิดอิเล็กโทรไลต์ (electrolytic)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



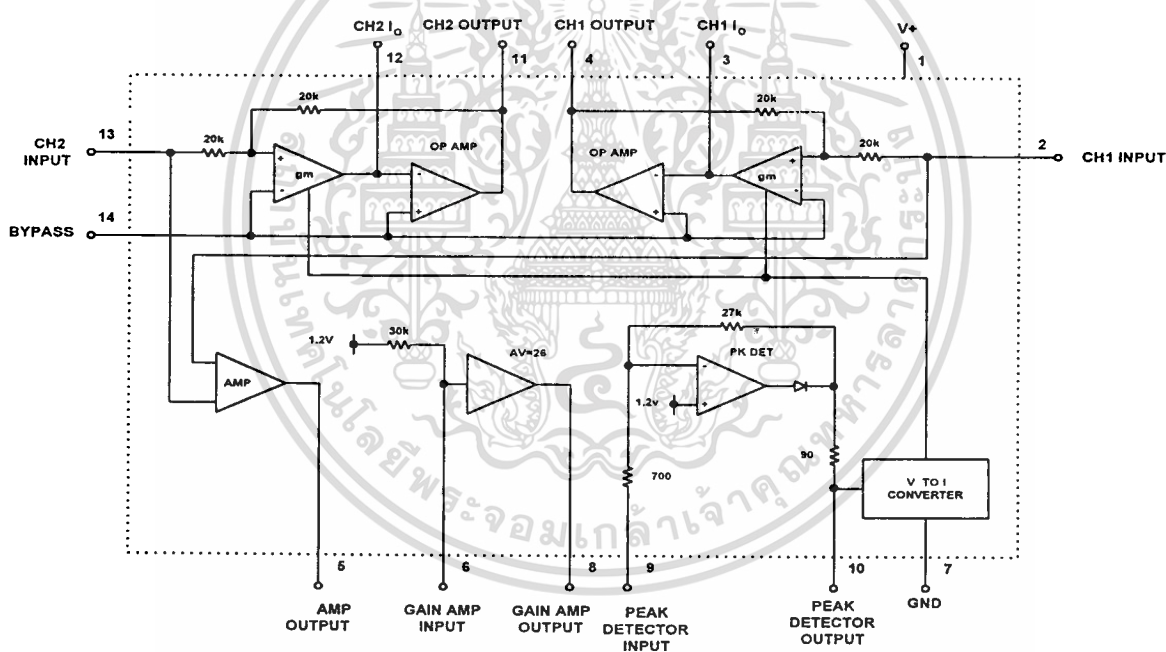
รูปที่ 4.21 วงจรขยายสัญญาณ (พื้นฐาน (ก) ที่ออกแบบ (ข))

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมีเหตุเปลี่ยนแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในโครงการนี้ได้ใช้ไอซี KIA324P ซึ่งภายในประกอบด้วยออปแอมป์ 4 ตัว แบ่งเป็นเสียง ซีกซ้าย และขวา อย่างละ 2 ตัว เพื่อขยายให้เป็นสัญญาณเดิมและแรงขึ้น

### วงจร Dynamic Noise Reduction (DNR)

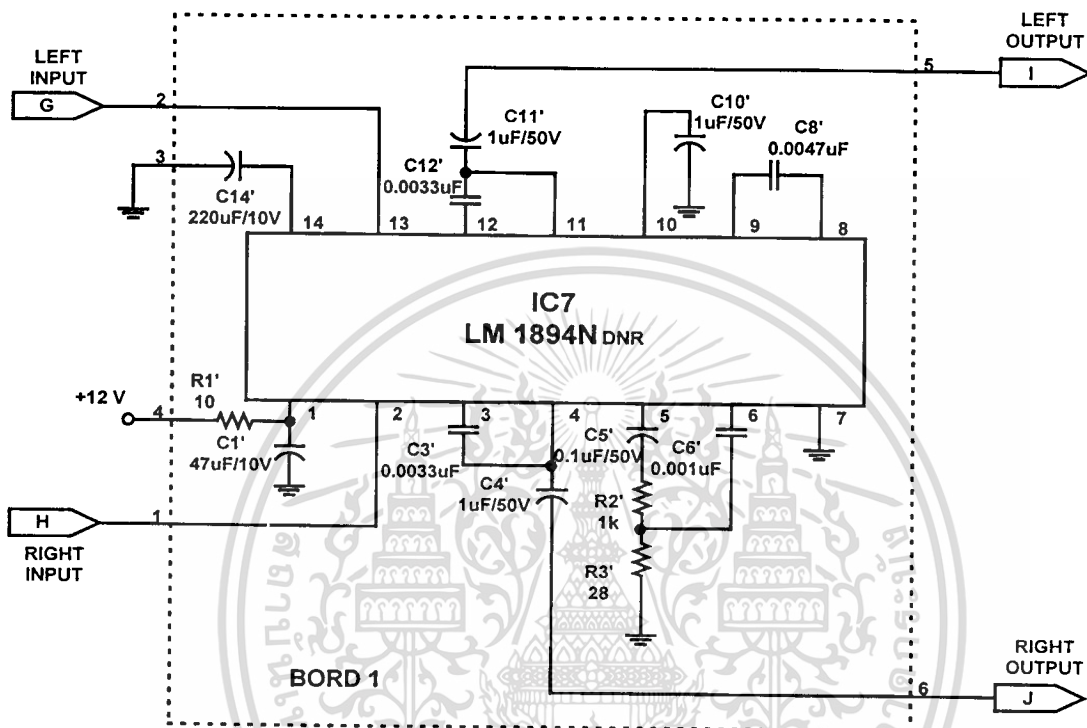
วงจรมีไอซีสำเร็จรูปเบอร์ LM1894 ซึ่งเป็นวงจรบั่นทอนเสียงสเตอริโอ LM1894 มีสัญญาณ 2 ส่วน, ส่วนสัญญาณหลักและส่วนควบคุมแบนด์วิดท์ ส่วนหลักคือ วงจรกรองความถี่ต่ำผ่านออกดีโอประกอบด้วยบล็อก gm กับกระแสแปรได้, และออปแอมป์ ในรูปที่ 4.22, การป้อนกลับ DC บังคับเกนความถี่ต่ำ  $A_v = -1$  สูงกว่าความถี่คัทออฟของวงจรกรองความถี่, เอาต์พุตลดน้อยลงที่  $-6\text{dB/oct}$  จนถึงเวลาที่กำหนดจากการกระทำของคาปาซิเตอร์  $0.0033\ \mu\text{F}$



รูปที่ 4.22 บล็อกไดอะแกรมภายใน DNR

ส่วนควบคุมคือ สัญญาณควบคุมแบนด์วิดท์ สัญญาณส่วนควบคุมถูกใช้สำหรับแขนแนลคู่ เก็บเงาสเตอริโอเนื่องจากไม่คงที่ การกระทำนี้ทำโดยการเพิ่มแขนแนลขวาและซ้ายพร้อมกันใน Amp แสดงในรูปที่ 4.22 ตัวต้านทาน R1, R2 เป็นตัวหารปรับเปลี่ยนค่า เมื่อมีสัญญาณรบกวนต้อง ออกสารนี้เป็นเอกสารที่สงวนไว้สำหรับครูผู้ใช้งานเพื่อการศึกษาเท่านั้น, เมื่อนำไปใช้ประโยชน์ด้านการค้า ขยายแบนด์วิดท์ของวงจรกรองความถี่ต่ำผ่านแต่เพียงเล็กน้อย ให้ส่วนควบคุมเกนประมาณ 60 dB ไม่วาร์ณใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และตั้งโดยเกน Amp และดีเทคเตอร์ยอดเกน อัตราขยายขนาดใหญ่นี้ทำให้แบนด์วิดธ์วงจรกรองความถี่ต่ำผ่านสามารถถูกขยายโดยมีสัญญาณรบกวนต่ำ



รูปที่ 4.23 วงจร DNR (ที่ออกแบบ)

จากรูปที่ 4.23 อุปกรณ์ต่างๆ มีค่าดังต่อไปนี้

- C1   ค่าประมาณ 0.1  $\mu\text{F}$ -100  $\mu\text{F}$    หน้าที่กำจัดสัญญาณที่ไม่คงที่ ของเพาเวอร์ซัพพลาย
- C2,C13   ค่า 1  $\mu\text{F}$    หน้าที่บล็อก DC ที่ขา 2 และขา 13 หาได้จาก  $f_L = 1/2\pi C_2 R_{IN}$  โดย  $R_{IN}$  ประมาณ 20  $\text{k}\Omega$
- C14   ค่าประมาณ 25  $\mu\text{F}$ -100  $\mu\text{F}$    หน้าที่ปรับปรุงเพาเวอร์ซัพพลาย
- C3,C12   ค่า 0.0033  $\mu\text{F}$    หน้าที่เซตการเปลี่ยนแปลงแบนด์วิดธ์เกน
- C4,C11   ค่า 1  $\mu\text{F}$    หน้าที่คาปาซิเตอร์คัปปลิ่ง
- C5   ค่า 0.1  $\mu\text{F}$    ทำงานด้วย R1 และ R2 หาได้จาก  $f_s = 1/2\pi C_5 (R1+R2)$  ของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่ควรนำเอกสารนี้ไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาใดๆ ของเอกสารทุกครั้งที่มีการนำไปใช้

C6   ค่า 0.001  $\mu\text{F}$

ทำงานด้วยความต้านทานอินพุทของขา 6

หาได้จาก  $f_c = 1/2\pi C_6 R_{1\text{PIN}6}$

C9   ค่า 0.047  $\mu\text{F}$

ทำงานด้วยความต้านทานอินพุทของขา 9

หาได้จาก  $f_c = 1/2\pi C_9 R_{1\text{IN}9}$

C10   ค่า 1  $\mu\text{F}$

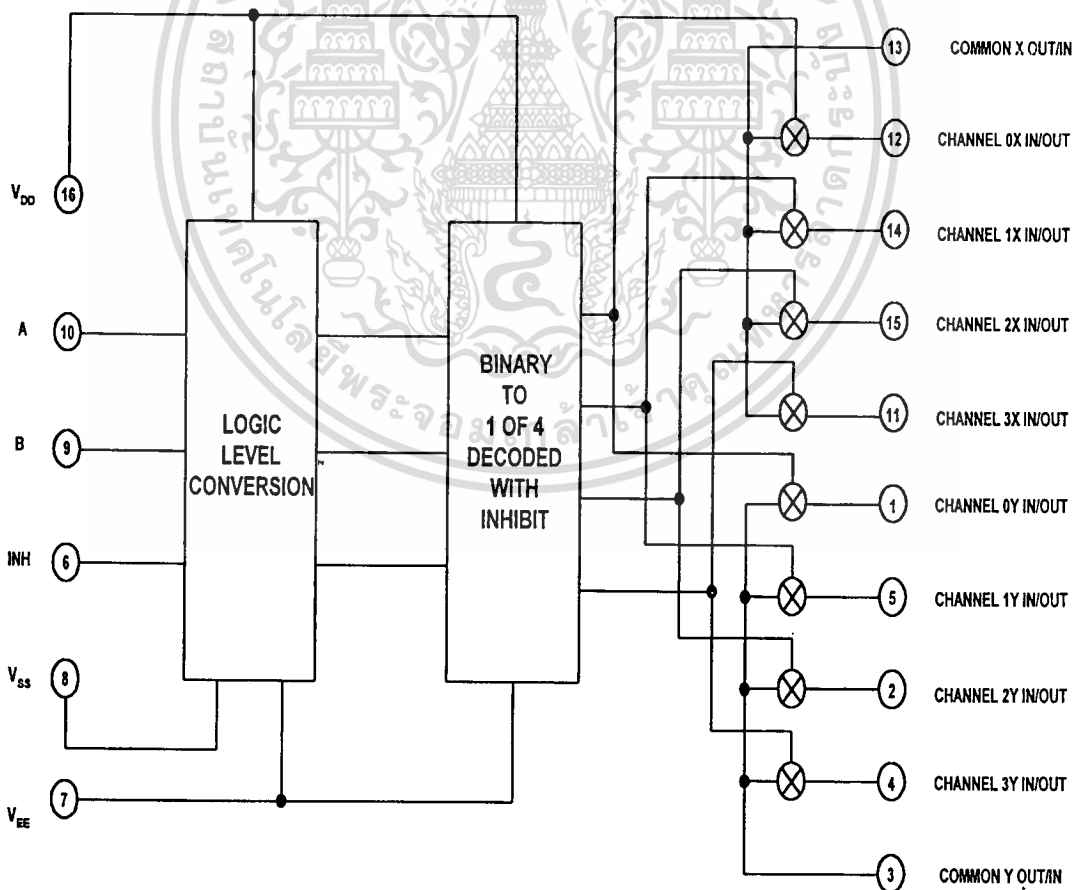
เซต attack และ delay time

R1,R2   ค่า 1  $\text{k}\Omega$

ตัวต้านทานความไวสำหรับเซตnoise threshold

เป็นการลดสัญญาณ และแบนด์วิดธ์ขนาดใหญ่  
ที่ถูกรวบรวม

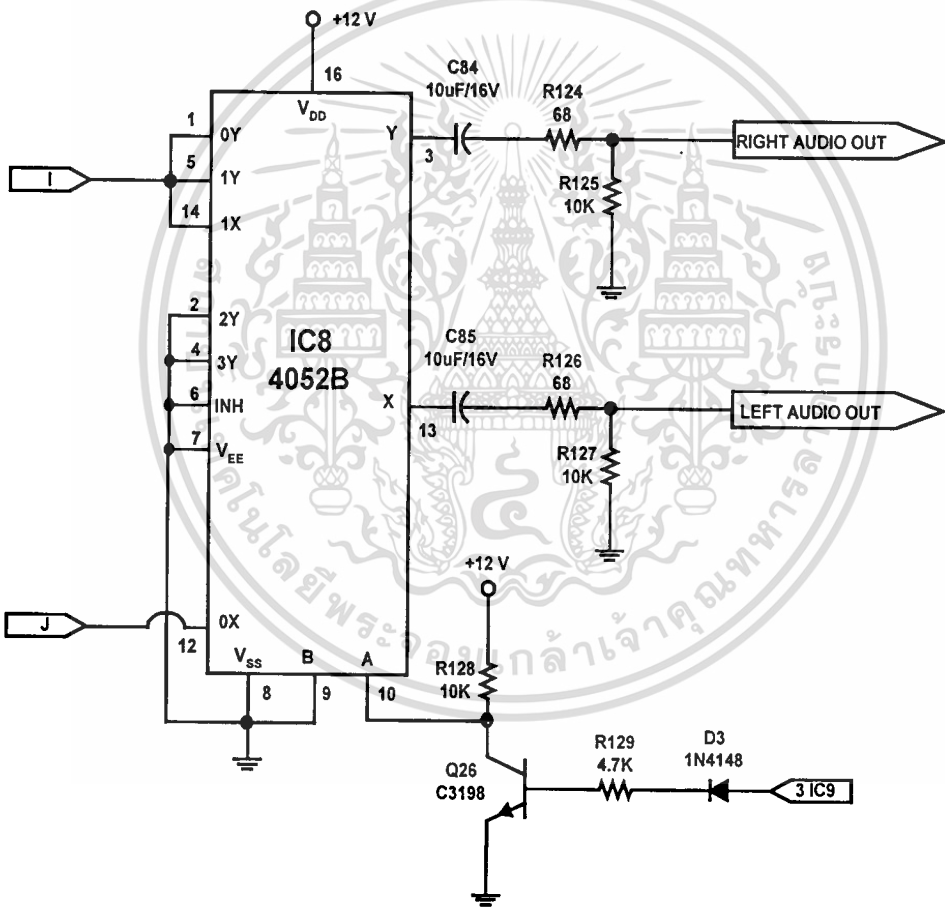
วงจรดีมัลติเพล็กซ์เซอร์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งรูปที่ 4.24 บล็อกไดอะแกรมของ IC4052B นี้ของเอกสารทุกครั้งที่มีการนำไปใช้

ในโครงการนี้ได้ใช้ไอซี 4052B ซึ่งเป็น คิฟเฟอร์เรนเซียน 4-แชนแนล มัลติเพ็กเซอร์มี อินพุตควบคุมฐานสอง 2 อินพุต, A และ B และ อินพุต Inhibit สัญญาณอินพุตฐานสอง 2 อินพุตเลือก 1 ของ 4 คู่ของแชนแนลถูกจูน และต่ออินพุตอนาลอกคิฟเฟอร์เรนเซียนถึงเอาต์พุต คิฟเฟอร์เรนเซียน

จากรูปที่ 4.24 เมื่อถูกใช้เป็นตัวแยกสัญญาณ “CHANNEL IN/OUT” จะเป็นเอาต์พุต และ “COMMON OUT/IN” จะเป็นอินพุต



รูปที่ 4.25 วงจรคิฟเฟอร์เรนเซียน (ที่ออกแบบ)

เอกสารนี้เจ้ากวางจรที่ออกแบบส่งจรแยกสัญญาณ จะเอาสัญญาณเสียงซึ่งอาจจะส่งมาในรูปแบบของ สัญญาณแผ่นต่างๆ ออกมาใช้งานเพราะพัฒนาการของระบบเสียงที่เป็นสัญญาณสองภาษา สัญญาณ

เสียงระบบแพนด้า และอื่นๆ อาจจะแฝงมากับสัญญาณเสียงให้สามารถดึงออกมาใช้ประโยชน์ได้ โดยมีคำสั่งการเลือก โมโน (สัญญาณ LOW) หรือ สเตอริโอ (สัญญาณ HIGH) จาก CPU

## ภาคการปรับโพลาริซ์

### วงจรระยะตเบิ้ล

ในโครงการนี้ได้ใช้ไอซี NE555 ทำงานเป็นวงจรระยะตเบิ้ล

การทำงานของวงจรร อธิบายได้จากรูปที่ 4.26 ตัวเก็บประจุภายนอก C จะรับประจุจนมีค่าแรงดันคร่อมตัวมัน  $2/3 V_{CC}$  โดยการประจุผ่านตัวต้านทาน  $R_A$  และ  $R_B$  มันจะคายประจุทันที จนกระทั่งมีแรงดันคร่อมตัว C เหลือเพียง  $1/3 V_{CC}$  โดยการคายประจุผ่านตัวต้านทาน  $R_B$  นั่นคือแรงดันคร่อมตัวเก็บประจุจะออสซิลเลตอยู่ระหว่าง  $1/3 V_{CC}$  และ  $2/3 V_{CC}$  สัญญาณเอาต์พุตจะอยู่ในสภาวะ 1 (high) ในขณะที่ตัวเก็บประจุ C ได้รับประจุและจะอยู่ในสภาวะ 0 (low) เมื่อตัวเก็บประจุคายประจุ การคายและการรับประจุ จะไม่ขึ้นกับค่าแรงดันจ่ายไฟเลี้ยง แต่จะขึ้นอยู่กับค่า R และ C เราอาจจะทำให่วงจรออสซิลเลต หรือหยุดออสซิลเลตด้วยสวิทช์ที่ต่อที่ขา 6 กับขา 14 ช่วงเวลาของการที่ตัวเก็บประจุ หรือเอาต์พุตอยู่ในสภาวะ 1 (high) หาได้โดย

$$t_1 = 0.695 \cdot (R_A + R_B) \cdot C$$

$$t_1 = 0.695 \cdot (1k + 100) \cdot (0.22\mu)$$

$$t_1 = 0.168 \text{ msec}$$

ช่วงเวลาของการคายประจุของตัวเก็บประจุหรือเอาต์พุตอยู่ในสภาวะ 0 (low) หาได้โดย

$$t_2 = 0.695 \cdot (R_B) \cdot C$$

$$t_2 = 0.695 \cdot (100) \cdot (0.22\mu)$$

$$t_2 = 0.015 \text{ msec}$$

คาบเวลาหาได้โดย

$$T = t_1 + t_2 = 0.695 (R_A + 2R_B) C$$

$$T = 0.695 \cdot (1k + 200) \cdot (0.22\mu)$$

$$T = 0.183 \text{ msec}$$

ความถี่ของการออสซิลเลตหาได้จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ  $f = 1/T = 1.44 / ((R_A + 2R_B)C)$  นั้น ไม่นิยามให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมี  $f = 1/0.183\text{m}$  หาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f = 5.45 \text{ kHz}$$

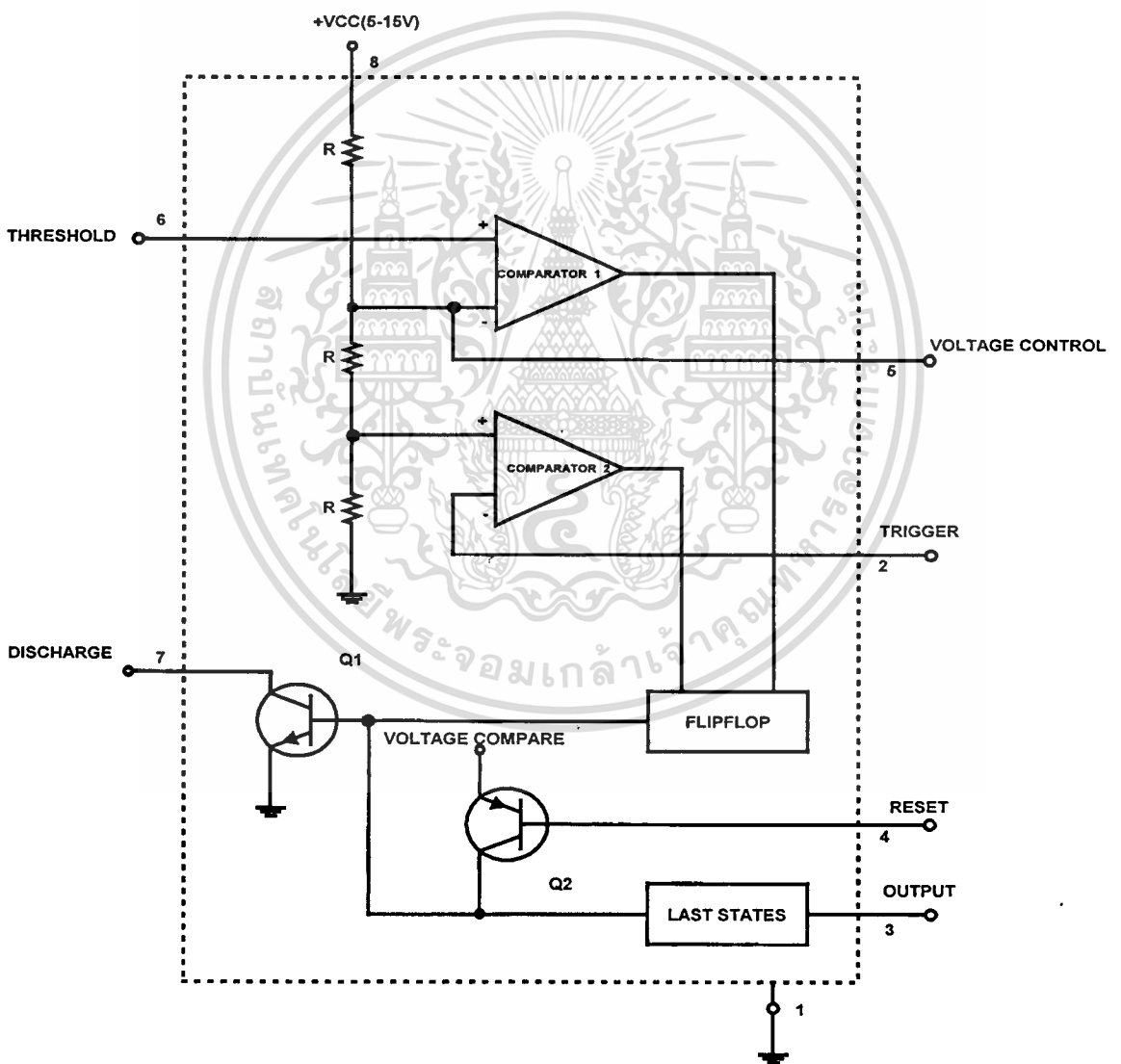
คิวตี้ไซเคิลหาได้จาก

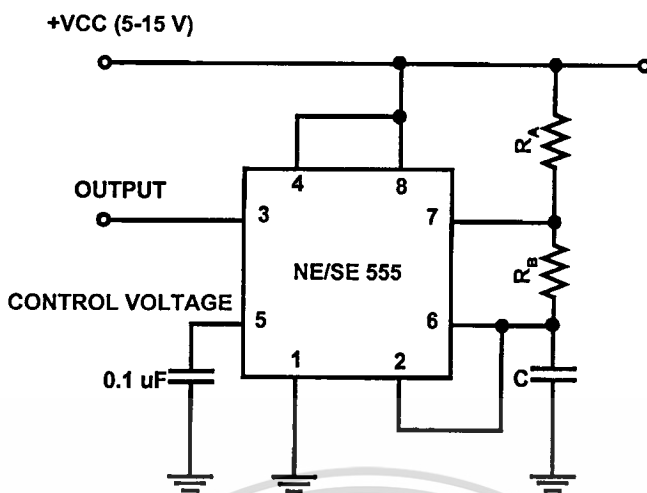
$$D = t_1 / (t_1 + t_2) \cdot 100$$

$$D = (0.168\text{m}) / ((0.183\text{m}) \cdot (100))$$

$$D = 91.8$$

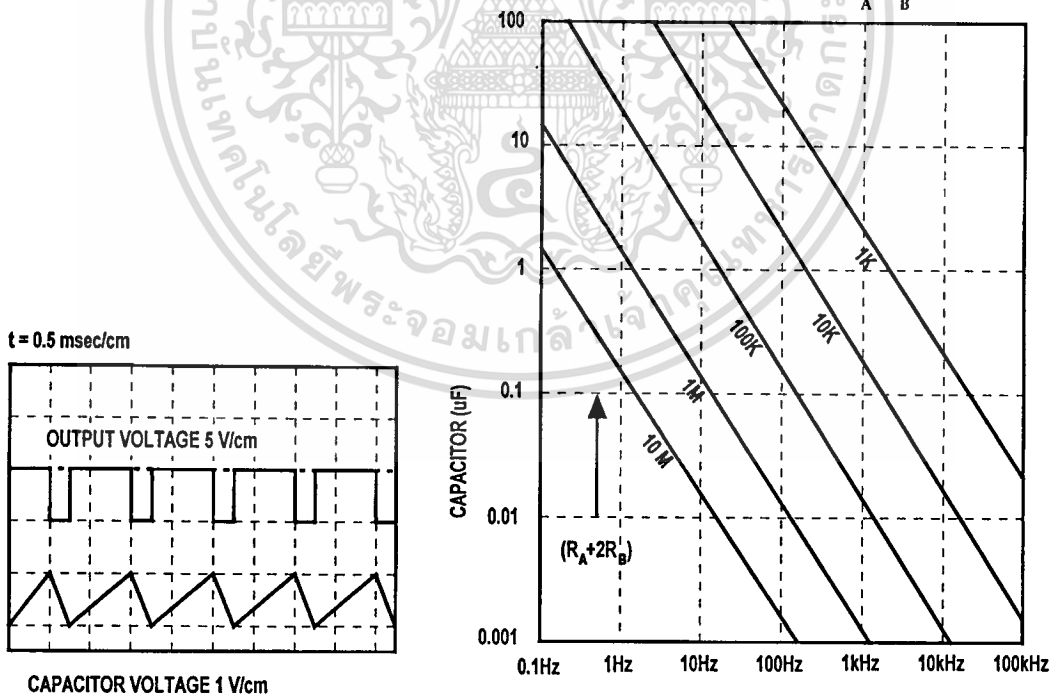
ในการหาความถี่นี้สามารถหาได้โดยตรงจากกราฟรูปที่ 4.27





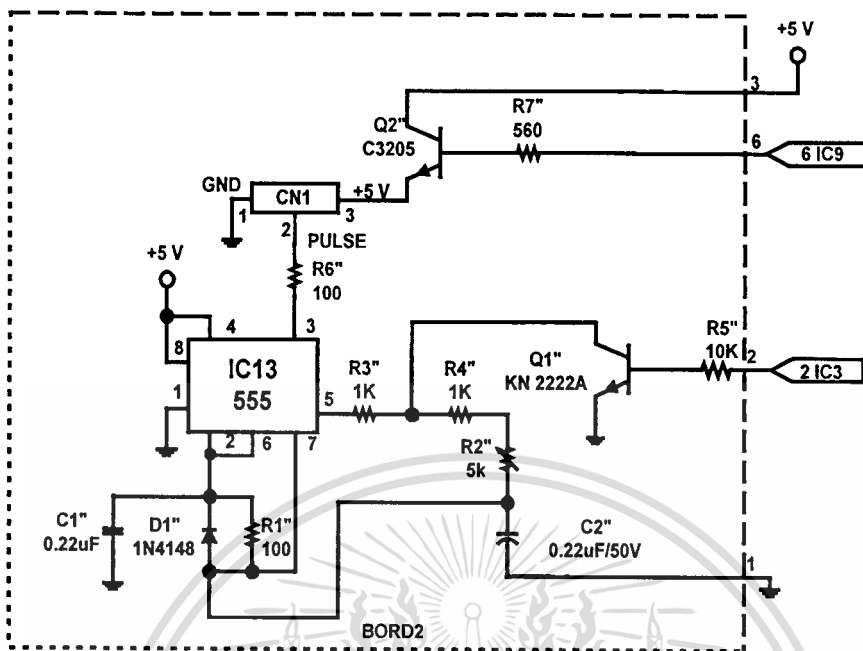
รูปที่ 4.27 วงจรพื้นฐานอะสเตเบิลมัลติไวเบรเตอร์ไอซี 555

ความสัมพันธ์ของความถี่กับ  $R_A$ ,  $R_B$  และ  $C$



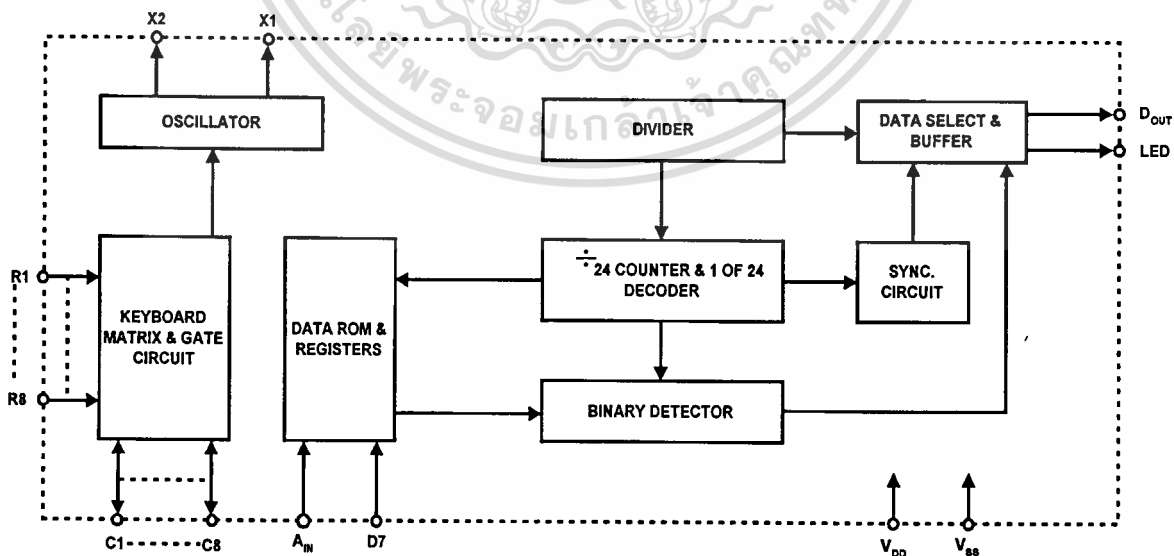
รูปที่ 4.28 สัญญาณรูปคลื่นของวงจรอะสเตเบิลและการหาความถี่จากกราฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.29 วงจรอะอสเตเบิลิต (ที่ออกแบบ)

ภาครีโมทคอนโทรล



รูปที่ 4.30 บล็อกไดอะแกรม HT6222

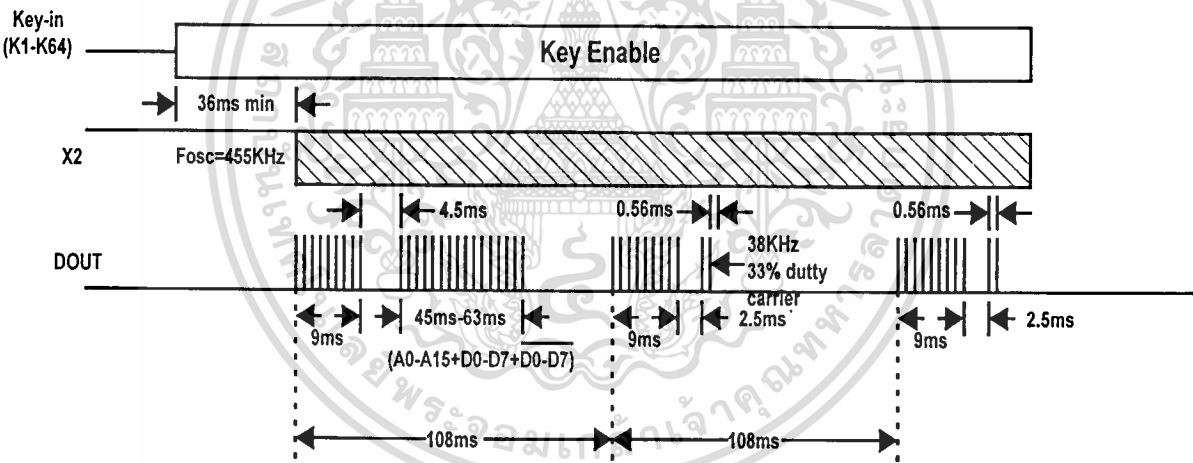
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HT6222 เป็นตัวเข้ารหัส LSI CMOS ออกแบบสำหรับใช้ในระบบบริโมทคอนโทรล สามารถเข้ารหัสแอดเดรสโค้ด 16 บิต และ คาส์โค้ด 8 บิต แต่ละอินพุต แอดเดรส/คาส์ สามารถ เซต 1 จาก 2 สถานะลอจิก, 0 หรือ 1

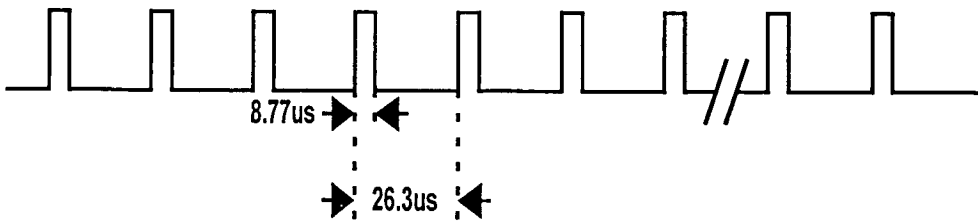
HT6222 บรรจุ 64 คีย์ เมื่อ 1 ของคีย์ถูกทริกเกอร์โปรแกรมแอดเดรส/คาส์ถูกส่งพร้อมกัน กับเฮดเดอร์บิตผ่านการส่ง IR กลาง (คลื่นพาห์ 38KHz)

**การส่งโค้ด**

การส่งโค้ดของ HT6222 ประกอบด้วยเฮดเดอร์โค้ด 9 ms, ออฟโค้ด 4.5 ms, แอดเดรสโค้ด 16 บิต(18ms-36ms), คาส์โค้ด 8 บิต 9ms-18ms, และอินเวิร์ด โค้ดของคาส์โค้ด 8 บิต แสดงดังรูปที่ 4.31



รูปที่ 4.31 รูปแบบเอาต์พุตสำหรับ DOUT



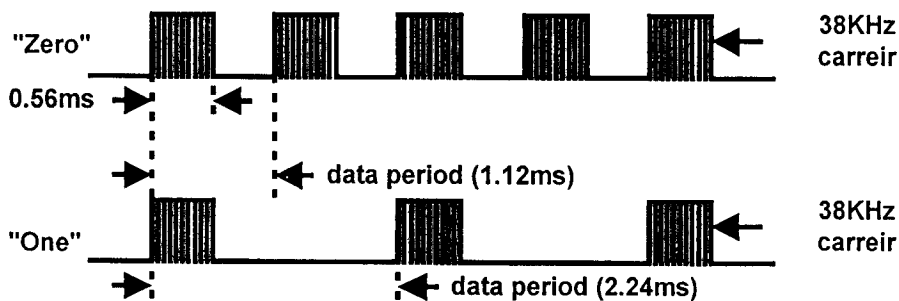
รูปที่ 4.32 แครี่เรี่ยร์ 38 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหามาเผยแพร่หรือแจ้งถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตาราง single-key data code table

KEY	Data Codes D0-D6	Data Code D7	รหัสสัญญาณ Data Code
0	0000 100	1	09H
1	1000 100	1	89H
2	0100 100	1	49H
3	1100 100	1	C9H
4	0010 100	1	29H
5	1010 100	1	A9H
6	0110 100	1	69H
7	1110 100	1	E9H
8	0001 100	1	19H
9	1001 100	1	99H
Δ	1111 000	1	F1H
▽	0111 000	1	71H
IF/BW	0001 000	1	11H
RECALL	1111 100	1	F9H
SKEW	1010 000	1	A1H
MEMO	1110 000	1	E1H
POWER	0000 000	1	01H
VIDEO	0010 000	1	21H
H/L	0101 000	1	51H
CLEAR	0100 000	1	41H
LNB	1101 000	1	D1H
AUDIO	1001 000	1	91H
MUTE	1011 100	1	B9H
DECODER	0101 100	1	59H

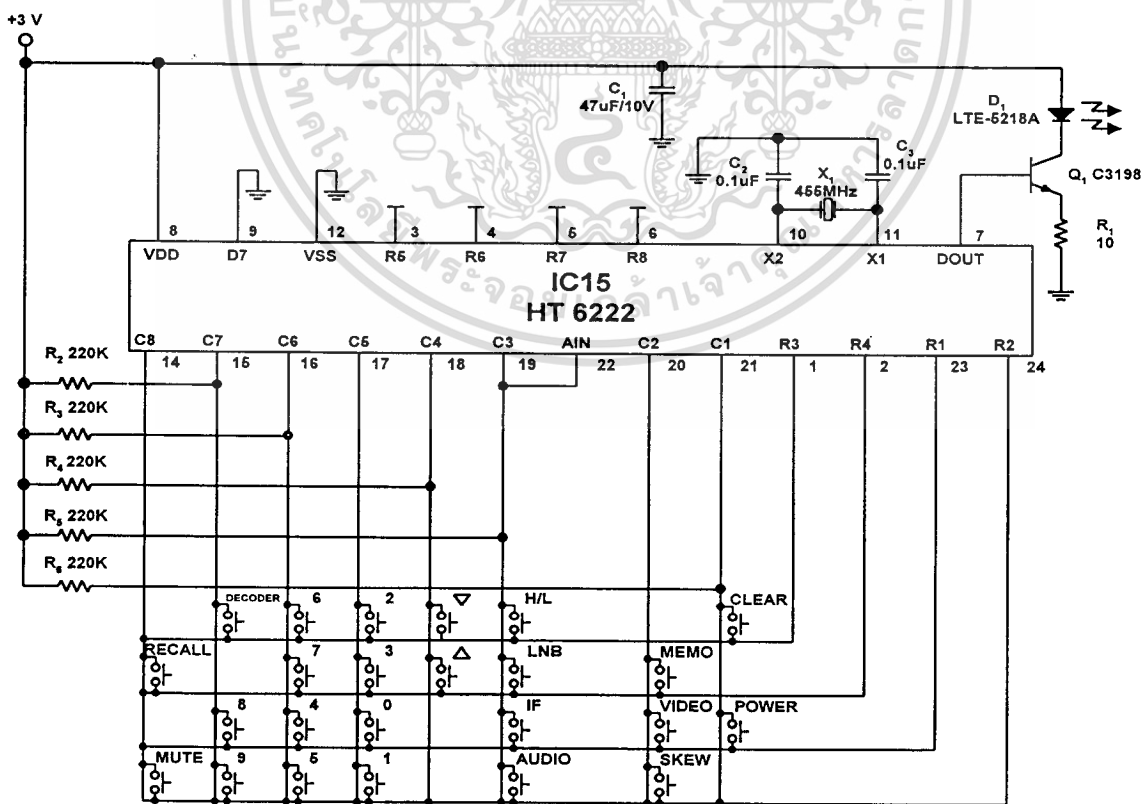
\*D7 = 1 เพราะต่อกับ VSS  
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.33 สถานะลอจิก

เอาต์พุตแคร์เรียร์โค้ดของขา DOUT แสดงในรูปที่ 4.32

การส่งโค้ดใช้วิธี PPM (Pulse Position Modulation) แสดงถึงสถานะสองลอจิกโดย "0" (1.12ms) และ "1" (2.24ms) แสดงในรูปที่ 4.33



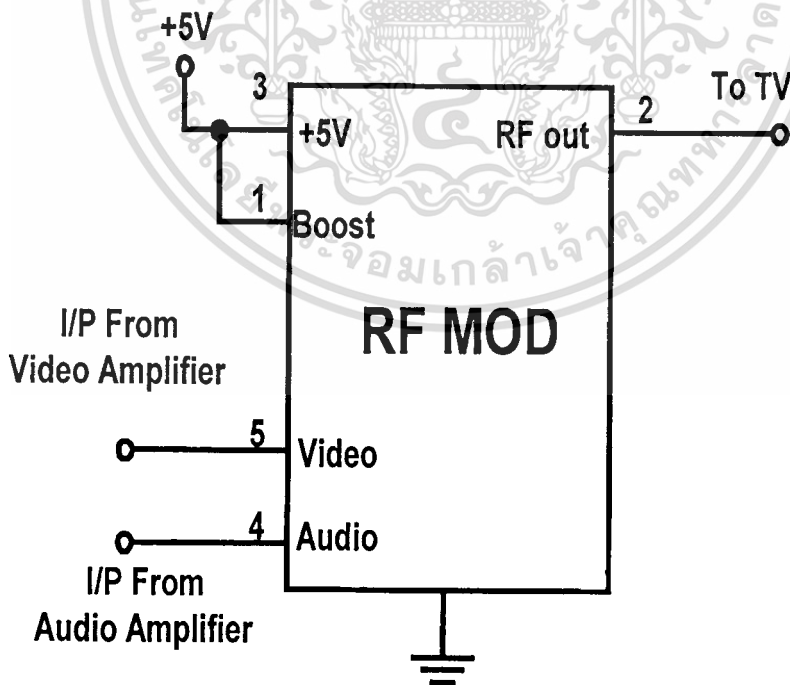
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้  
รูปที่ 4.34 วงจรรีโมท (ที่ออกแบบ)

ข้อดีของไอซีเบอร์ HT6222 คือขณะทำการกดสวิทช์ส่งสัญญาณชุดข้อมูลจะถูกสร้างขึ้นตามรหัสไบนารี HGFEDCBA แล้วส่งออกไปหากส่งไปหมดแล้วแต่สวิทช์ยังคงถูกกดค้างอยู่ข้อมูลชุดเดิมจะถูกสร้างขึ้นใหม่ แล้วส่งออกไปเรื่อยๆ โดยมีช่วงเวลาชิงโครนัสเป็นตัวแยกชุดข้อมูลไว้ และหากมีการปล่อยสวิทช์ ข้อมูลในบิตที่เหลือก็ยังคงถูกส่งออกไปจนหมดแล้วจึงหยุดสัญญาณเอาต์พุตที่เป็นสัญญาณพีพีเอ็มจะถูกส่งออกมาที่ ขา 7

สัญญาณเอาต์พุตที่ขา 7 ของไอซีเบอร์ HT6222 จะจ่ายกระแสออกมาเพียงไม่กี่มิลลิแอมป์ ซึ่งไม่เพียงพอต่อการขับ LED อินฟราเรดจึงจำเป็นต้องมีทรานซิสเตอร์ช่วยขับสัญญาณ

### วงจรรีเอฟมอดูเลเตอร์ (RF Modulator)

อาร์เอฟมอดูเลเตอร์ ทำหน้าที่มอดูเลตสัญญาณพาหะย่อยของสัญญาณภาพความถี่ 4.43 MHz และคลื่นพาหะสัญญาณเสียง ซึ่งมีความถี่พาหะย่อยของสัญญาณภาพเสียงอยู่ที่ 5.5 MHz สำหรับระบบเสียงโมโน ถ้าเป็นระบบเสียงแบบสเตอริโอ นั้น สัญญาณพาหะย่อยของเสียงจะมีความถี่อยู่ที่หลายช่องความถี่ด้วยกัน

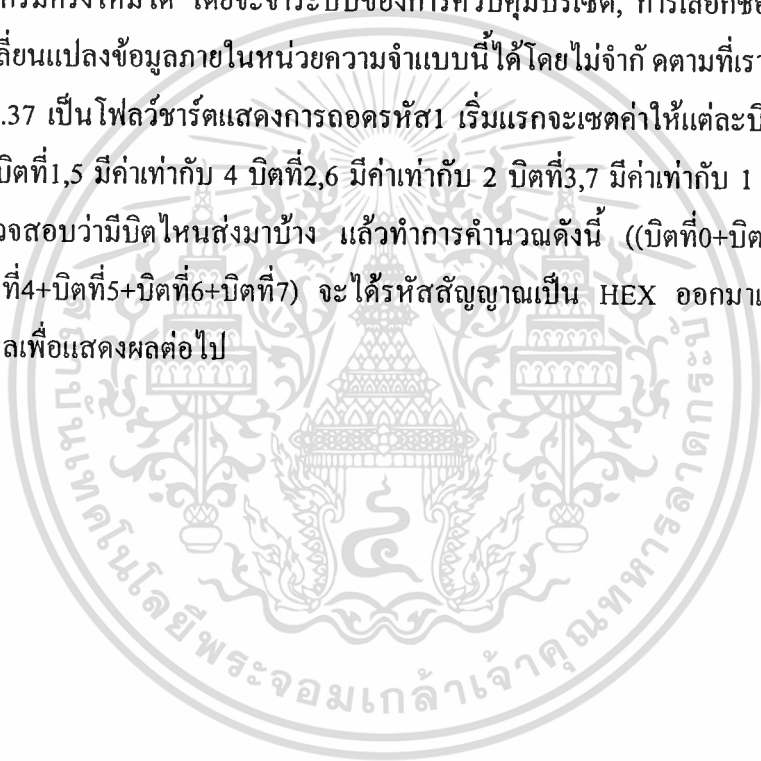


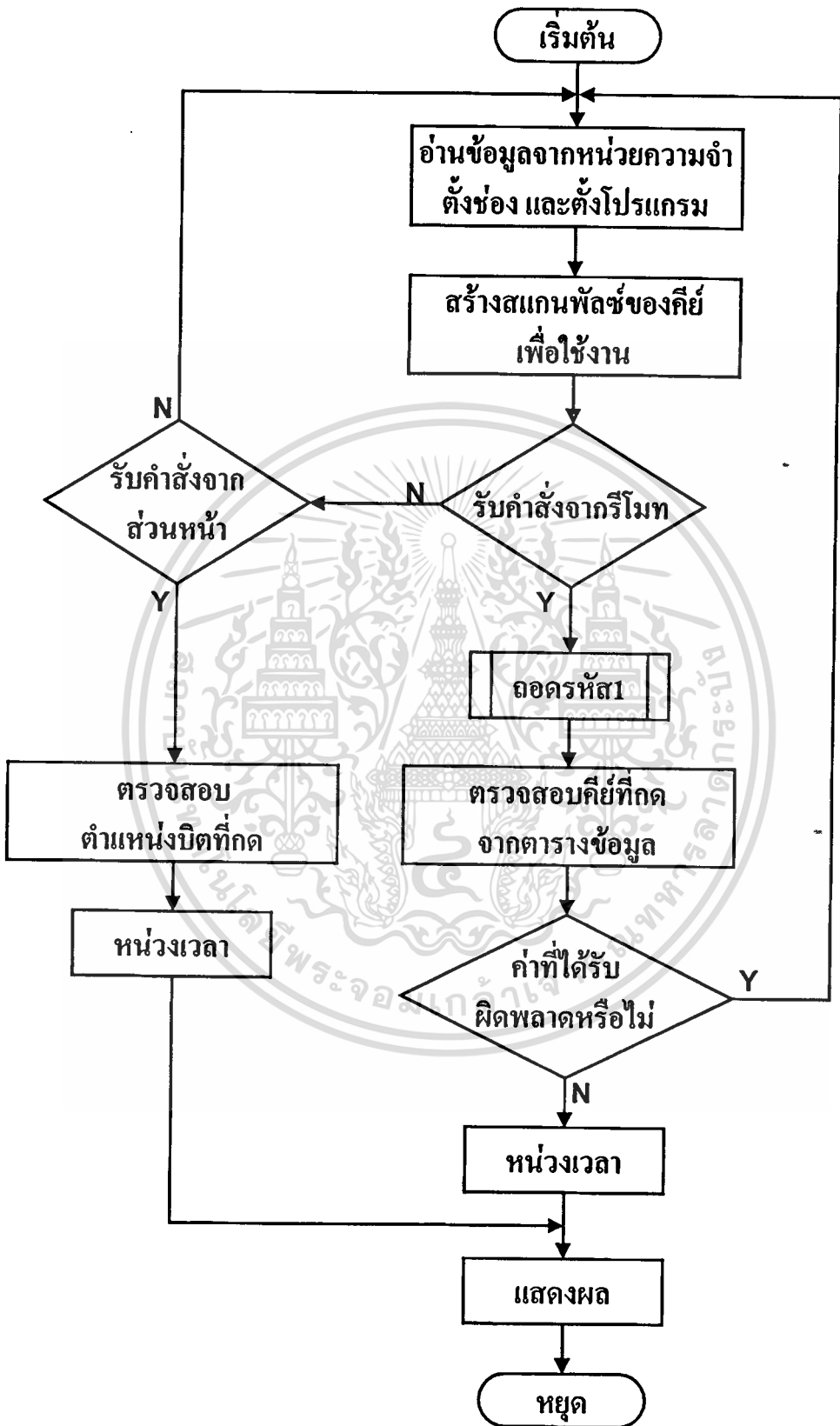
รูปที่ 4.35 วงจรรีเอฟมอดูเลเตอร์

## โปรแกรมควบคุมการทำงาน

ในรูปที่ 4.36 ได้แสดงให้เห็นถึงซอฟต์แวร์ของเครื่องรับสัญญาณโทรทัศน์ผ่านดาวเทียมในรูปแบบการทำงานของซีพียูไมโครคอนโทรลเลอร์ โดยเขียนออกมาในรูปของโฟลว์ชาร์ต (Flow Chart) เมื่อมีการจ่ายไฟเข้าไปยังเครื่องไมโครคอมพิวเตอร์จะส่งด้วยคำสั่งสแตนด์บาย ซึ่งเป็นคำสั่งที่มาจากหน่วยความจำภายนอกที่เรียกว่า E<sup>2</sup>PROM (Electrically Erasable and Programmable Read-only Memory) โดยหน่วยความจำ E<sup>2</sup>PROM นี้จะอ่านคำสั่งออกมา โดยคำสั่งดังกล่าวนี้เป็นคำสั่งที่เราเซตไว้ เป็นข้อมูลสุดท้ายก่อนที่จะปิดเครื่อง หน่วยความจำแบบนี้สามารถที่จะลบโปรแกรม และสามารถที่จะโปรแกรมครั้งใหม่ได้ โดยจะจากระบบของการควบคุมปริเซต, การเลือกช่อง และอื่นๆ เราสามารถที่จะเปลี่ยนแปลงข้อมูลภายในหน่วยความจำแบบนี้ได้โดยไม่จำกัดตามที่เราจะต้องการ

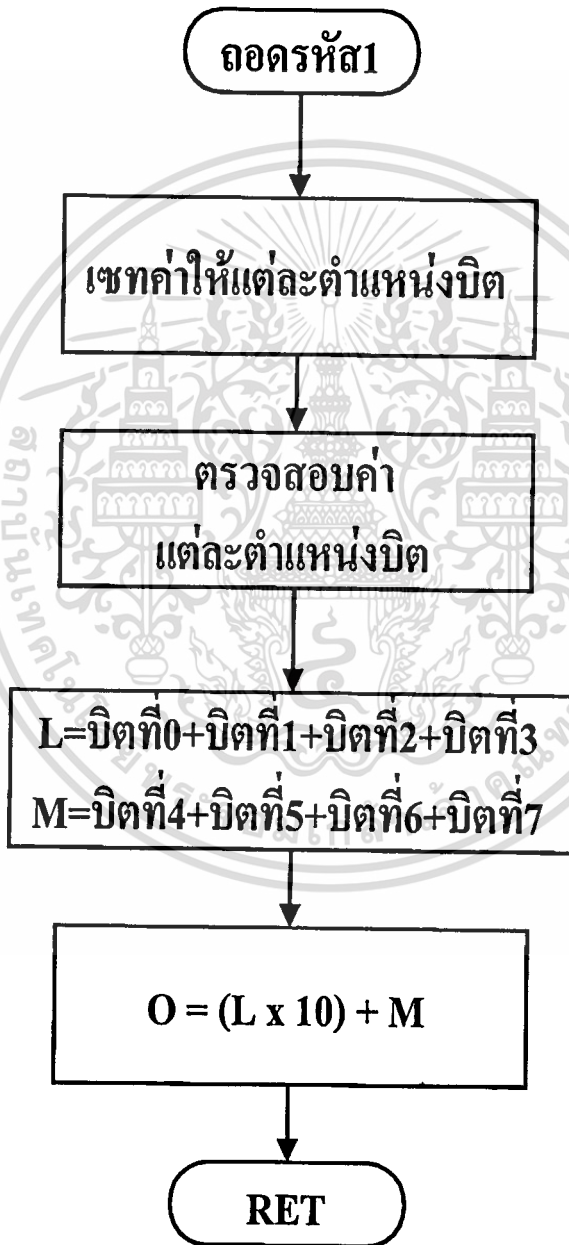
ในรูปที่ 4.37 เป็นโฟลว์ชาร์ตแสดงการถอดรหัส1 เริ่มแรกจะเซตค่าให้แต่ละบิตดังนี้ บิตที่ 0,4 มีค่าเท่ากับ 8 บิตที่1,5 มีค่าเท่ากับ 4 บิตที่2,6 มีค่าเท่ากับ 2 บิตที่3,7 มีค่าเท่ากับ 1 เมื่อมีการส่งพัลส์เข้ามาก็จะตรวจสอบว่ามีบิตไหนส่งมาบ้าง แล้วทำการคำนวณดังนี้ ((บิตที่0+บิตที่1+บิตที่2+บิตที่3)x10)+( บิตที่4+บิตที่5+บิตที่6+บิตที่7) จะได้รับรหัสสัญญาณเป็น HEX ออกมาแล้วไปตรวจสอบกับตารางข้อมูลเพื่อแสดงผลต่อไป





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่าโดยวิธีใด ๆ ทั้งสิ้น และผู้จัดทำขอสงวนสิทธิ์ในเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.36 โฟลว์ชาร์ตการทำงานของโปรแกรมระบบควบคุมในเครื่องรับสัญญาณดาวเทียม



การทำงานของเครื่องรับสัญญาณโทรทัศน์ผ่านดาวเทียม

จะประกอบไปด้วยหลักๆ ดังต่อไปนี้

### การทำงานของภาคจ่ายไฟ

เริ่มจากการจ่ายแรงดันไฟสลับเข้ามา 3 ชุดเข้าไปยังวงจรเรกติฟาย 3 ชุด ซึ่งประกอบด้วย ไดโอดบริดจ์และคาปาซิเตอร์อิเล็กโตรไลต์และคาปาซิเตอร์บายพาสสัญญาณรบกวนความถี่สูง ก่อนที่จะส่งเข้าสู่ไอซีลิเนียร์เรกูเลเตอร์ 3 ขา LM7812, LM7805, LM317 ตามแต่ละชุด

ในชุดแรก จะแปลงแรงดันไฟฟ้าให้ออกมาเท่ากับ 12V และกรองสัญญาณด้วยคาปาซิเตอร์อิเล็กโตรไลต์และคาปาซิเตอร์บายพาสสัญญาณเพื่อให้แรงดันไฟเรียบยิ่งขึ้นแล้วส่งเข้า Q28 แล้วส่งไปยัง IC1 อีกส่วนหนึ่งก็จะส่งเข้า Q29 ผ่านไปยัง IC9 ขา 12 เพื่อใช้เป็น SW. ให้ CPU สั่งการทำงาน POWER ON (HIGH) , POWER OFF (LOW) และอีกส่วนจะส่งไปเลี้ยงอุปกรณ์ต่างๆ

ในชุดที่สองจะแปลงไฟออกมาเท่ากับ 5V กรองด้วยคาปาซิเตอร์อิเล็กโตรไลต์ และคาปาซิเตอร์บายพาสสัญญาณ แล้วจึงส่งไปเลี้ยงอุปกรณ์ต่างๆ

ในชุดที่สาม ไอซีเรกูเลเตอร์จะเป็นแบบปรับค่าแรงดันเอาต์พุตได้ โดยขา ADJ จะต่อผ่าน Q32 เพื่อเป็น SW. ให้ CPU สั่งเป็น A-2, B-2 (HIGH) หรือ A-1, B-1 (LOW) (โดย A1, B1 ไม่ใช่ pulse 22 kHz แต่ A2, B2 จะใช้ pulse 22 kHz) อีกส่วนจะส่งเข้า Q31 เพื่อจ่ายไปยัง tuner ขา 13, 14 และขาเอาต์พุตจะต่อเข้า Q30 เพื่อเป็น SW. ให้ CPU สั่ง H(LOW) เป็นแรงดัน 18V หรือ L(HIGH) เป็นแรงดัน 13V และแรงดันอีกส่วนหนึ่งที่ขาอินพุต จะส่งผ่าน R188 เข้าไปยังขา 4 ของ TUNER เป็นแรงดันไฟเลี้ยง TUNER ตัวหนึ่ง

### การทำงานของระบบภาพ

เมื่อจานรับสัญญาณนำเอาสัญญาณ RF เข้าสู่จูนเนอร์ จูนเนอร์จะทำหน้าที่จูนคักสัญญาณความถี่ต่างๆ ในแต่ละทรานส์ปอนเดอร์ และส่งสัญญาณดังกล่าวไปทำการดีเทคคาพออกมาเป็นสัญญาณเบสแบนด์ ส่วนสัญญาณเสียงยังคงอยู่ในรูปของสัญญาณเอฟเอ็มดั้งเดิม สัญญาณเบสแบนด์จะส่งมายังคาปาซิเตอร์ C1 ซึ่งทำหน้าที่เป็นคาปาซิเตอร์คัปปลิ่งสัญญาณเบสแบนด์เข้าสู่ขาเบสของผ่านวงจรบัฟเฟอร์ซึ่งทำงานโดยทรานซิสเตอร์ Q1 แยกสัญญาณออกไปสองทางด้วยสวิทช์เลือก

แบนด์ คือเลือกเป็นย่านความถี่ C-BAND ทางหนึ่งกับย่านความถี่ KU-BAND อีกทางหนึ่ง

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่ได้จะส่งผ่านคาปาซิเตอร์คัปปลิงสัญญาณเข้าสู่วงจรขยายสัญญาณ Q3, Q4 และมีสัญญาณอีกส่วนหนึ่งที่มาจาก Q2 ซึ่ง Q2 จะรับคำสั่งจาก CPU เพื่อปรับความสว่าง, มืดของภาพ โดย ถ้าสัญญาณเป็น HIGH ภาพจะมีมืด แต่ถ้าสัญญาณเป็น LOW ภาพจะสว่าง ถ้าเราไม่ใช้รีโมทเราก้ใช้การปรับที่ VR1 แทนก็ได้ สัญญาณเอาต์พุตของ Q3, Q4 จะส่งเข้าไปยังทรานซิสเตอร์ Q5 ซึ่งเป็นวงจรบัฟเฟอร์ทำหน้าที่ขยายสัญญาณให้แรงขึ้น เพื่อส่งไปยังวงจรส่วนต่างๆ โดยจะส่งไปยังวงจร กรองแถบความถี่ผ่านของระบบเสียงกับส่งผ่านไปยังวงจรดีเอมฟาสซิส เนื่องจากสัญญาณที่ผ่านการผสมมาในระบบเอฟเอ็ม. ทราบกันทั่วไปแล้วว่าจะมีปัญหาในด้านความถี่สูงจึงต้องมีการปรับดีเอมฟาสซิส เมื่อมาถึงเครื่องรับจึงจำเป็นต้องลดระดับความแรงของสัญญาณความถี่สูงให้อยู่ในสภาวะปกติด้วยวงจรลดระดับความถี่สูงที่เรียกว่าดีเอมฟาสซิส (De-emphasis) ด้วยการทำงานของ R19, C11 ก่อนส่งผ่านวงจรบัฟเฟอร์ Q6 ไปขยายสัญญาณให้มีความแรงมากขึ้นวงจรขยายทางภาพ Q7, Q8 ต่อไป

สัญญาณที่ส่งออกมาจากวงจรขยาย Q7, Q8 จะส่งไปยังวงจรกรองความถี่ต่ำผ่านเพื่อกรองเฉพาะส่วนสัญญาณภาพซึ่งมีความถี่ตั้งแต่ 5 MHz ลงมาเพื่อส่งไปตั้งระดับสัญญาณมิให้เกิดภาพโอเวอร์หรืออันเดอร์ วงจรส่วนนี้จึงใช้ทรานซิสเตอร์ Q9, Q10 ทำการขยายสัญญาณภาพ ก่อนส่งผ่านวงจรบัฟเฟอร์ Q11 ออกไป 2 ส่วน โดยส่วนแรกไปตั้งระดับสัญญาณด้วยวงจรแคลมป์ (DC Clamp) ซึ่งมีทรานซิสเตอร์ Q12, Q13 ทำหน้าที่ตั้งระดับดีซี. ให้กับสัญญาณก่อนส่งแรงดันดังกล่าวไปเป็นไบอัสเบสให้ทรานซิสเตอร์แอดเดอร์ Q14 ส่งสัญญาณไปยัง SCART เพื่อใช้งานทาง การถอดรหัส ส่วนที่สองที่ออกจาก Q11 จะส่งเข้าสู่วงจรรวมสัญญาณ โดยจะมีสัญญาณเข้ามาที่วงจรรวมสัญญาณ 3 ส่วน ส่วนแรกจะมาจาก Q11 ซึ่งเป็นสัญญาณภาพ ส่วนที่ 2 เป็นสัญญาณการควบคุมการเลือกใช้ ตัวถอดรหัส หรือไม่ใช้ จาก CPU ถ้าส่งเป็น HIGH จะเป็นการใช้ตัวถอดรหัส ถ้าเป็น LOW จะไม่ใช้ ตัวถอดรหัส และส่วนที่ 3 เป็นสัญญาณเสียงที่มาจากวงจร DNR จากนั้นก็ส่งสัญญาณออกไป 3 ส่วน ส่วนแรกสัญญาณที่มาจาก DNR แล้วใช้วงจรรวมสัญญาณ เป็นตัวผ่านออกไปเข้าวงจรแยกสัญญาณ ส่วนที่ 2 นำสัญญาณภาพและเสียงส่งออกไปที่ SCART เพื่อใช้ในการถอดรหัส และส่วนที่ 3 ส่งสัญญาณออกไปใช้งานทางจุด เอาต์พุตของวีดีโอ เป็นแจ๊ค RCA PHONE หากจะนำไปใช้กับเครื่องรับโทรทัศน์ที่ไม่มีระบบเอวี. จะต้องมอดูเลตในอาร์เอฟ.มอดูเลเตอร์ (RF Modulator) แล้วจึงนำสัญญาณที่ผ่านการผสมแล้ว ไปใช้งาน

### การทำงานของระบบเสียง

เอกสารนี้เป็นเอกสารลิขสิทธิ์สงวนไว้สำหรับกรนำไปใช้งานเพื่อการศึกษามาก่อนนั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
สัญญาณเสียงที่ส่งมานั้นถึงแม้วงจรจูนเนอร์จะทำการดีมอดูเลตภาพออกมาแล้ว แต่เสียงยังเป็นการมอดูเลต โดย ทั้งรีโมท รีโมททั้งหมดให้คนไปรับสัญญาณและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้  
เป็นคลื่นเอฟเอ็ม. ต้องคิดเทคเสียบก่อนจึงนำไปใช้ได้ จากรายละเอียดของวงจร พบว่าเมื่อเอาสัญญาณ

เบสแบนด์เข้าสู่วงจรกรองแถบความถี่ผ่านในช่วงความถี่ 5-8 MHz เพื่อแยกเอาคลื่นพาหะเสียงออกมาแล้วจึงส่งไปให้ทรานซิสเตอร์ Q19 ทำการขยายสัญญาณให้มีความแรงเพียงพอ ก่อนจะส่งไปบิตกับความถี่ออสซิลเลเตอร์ที่ส่งมาจากไอซี.เฟสล็อคลูป เพื่อให้เกิดความถี่ไอเอฟ. ตามหลักการของระบบซูเปอร์เฮตเทอโรไดน์ ด้วยการเอาสัญญาณดังกล่าวบิต (Beat) กับความถี่ออสซิลเลเตอร์ซึ่งผลิตมาจาก วงจรควบคุมการผลิตความถี่ด้วยแรงดันไฟ (Voltage Control Oscillator : VCO)

ไอซีเฟสล็อคลูปนี้จะควบคุมการทำงานและแก้ไขเฟสสัญญาณโดยหน่วยซิสเต็มคอนโทรล ไอซี. ตัวนี้ จะทำการผลิตความถี่ด้วยการควบคุมระบบมาจากข้อมูลอนุกรม ส่งมาจาก CPU สัญญาณส่วนหนึ่งของระบบเฟสล็อคลูปถูกนำไปบังคับการทำงานของวงจรออสซิลเลเตอร์มี C215, L204 เป็นอุปกรณ์หลักของการกำหนดความถี่ โดยมีวารีแคป D1 ทำหน้าที่เป็นหน่วยเปลี่ยนแปลงความถี่, ขั้วเฟสจากการควบคุมของเฟสล็อคลูป ส่วนสัญญาณอีกส่วนจะส่งไปยังวงจรปรับโพราไรซ์เพื่อปรับเปลี่ยนการ SKEW โดยแรงดันจะเปลี่ยนแปลงไป

ความถี่ของเรโซแนนซ์ถูกส่งเข้าสู่วงจรบาลานซ์มิกเซอร์และออสซิลเลเตอร์คู่ ส่งออกไปใช้งานสำหรับ บิตกับแคร์เรียร์เสียงให้ได้เป็นความถี่ไอเอฟ. และส่งป้อนกลับในรูปแบบของวงจรป้อนกลับเชิงบวก (Positive Feed Back) เพื่อรักษาระดับความแรงสัญญาณออสซิลเลเตอร์ให้มีแอมพลิจูดคงที่

สัญญาณอีกส่วนหนึ่งที่นำเอาไปใช้งานจะถูกส่งกลับมาสำรวจเฟสกับความถี่ในวงจรเฟสล็อคลูป ในวงจรเฟสดีเทคเตอร์ (PD) โดยการส่งกลับผ่าน R210, C214

สัญญาณเสียงที่เป็นแคร์เรียร์ ซึ่งแยกออกมาจากสัญญาณเบสแบนด์และความถี่ออสซิลเลเตอร์ที่ได้ จะทำการบิตสัญญาณให้เกิดเป็นความถี่ไอเอฟ ต่อไป เอาความถี่เข้าสู่เซรามิคฟิลเตอร์ F1, F2 ได้ 10.7 MHz, 10.52 MHz ตามลำดับ โดยทาง 10.7 MHz จะใช้ เซรามิคฟิลเตอร์ 2 ตัว โดยมีวงจรแอมพลิไฟร์ขยายสัญญาณช่วยและรับคำสั่งจาก CPU เพื่อปรับแบนด์วิดท์ 150/280 kHz (150kHz สำหรับคำสั่ง HIGH 280 kHz คำสั่ง LOW) จากนั้นส่งความถี่ไอเอฟของเสียง ที่ได้ไปทำการคีมอดสัญญาณเสียงออกจากแคร์เรียร์เป็นสัญญาณปกติด้วยวงจรควอดเรเจอร์ดีเทคเตอร์หรือวงจร เอฟเอ็ม.ดีเทคเตอร์และสัญญาณที่ออกทางขา 4 จะเป็นการเปิดเสียง (คำสั่ง HIGH) หรือปิดเสียง (คำสั่ง LOW) ด้วยคำสั่งจาก CPU ส่วนสัญญาณที่ออกทางขา 8 จะเป็นการปรับดีเอ็มฟาซิส ถ้าเป็นสัญญาณ HIGH จะเป็น J17 ถ้าเป็นสัญญาณ LOW จะเป็น 50.75

เนื่องจากทราบแล้วว่าสัญญาณที่ผสมคลื่นในแบบเอฟเอ็ม. มีปัญหาการกระทบทางฮาร์โมนิกส์ ดังนั้นวงจรมอดูเลตหรือวงจรผสมคลื่นของเครื่องส่งจึงต้องทำการเน้นระดับความแรงของ ความถี่สูงมา เมื่อสัญญาณดังกล่าวส่งมาถึงเครื่องรับ เครื่องรับจะต้องทำการลดระดับความถี่สูงลงมิจำนวนการค้ำ เช่นนั้นเสียงแหลมจะออกมาเกินปกติจนฟังแล้วไม่ให้อิทธิของการฟังแบบเสียงธรรมชาติ นั้นหมายความว่า

ความว่าพอส่งสัญญาณออกมาจากวงจรถอพอเอ็ม. ดีเทคเตอร์ (Frequency Modulator Detector) หรือ วงจรถอพอเอ็ม. ดีมอดูเลเตอร์ (FM Demodulator) แล้ว ต้องส่งสัญญาณนี้เข้าสู่วงจรถอพอเอ็มฟาซิสเพื่อลดระดับความแรงของความถี่สูงก่อนนำไปใช้งานดังในรูปวงจรระบบเสียงส่วนที่สอง

วงจรระบบเสียงในส่วนที่สองประกอบด้วย วงจรถอพอเอ็มฟาซิสเพื่อลดระดับความแรงของความถี่สูงก่อนนำไปใช้งาน และส่งเข้าสู่วงจรรขยายความแรงสัญญาณ ก่อนส่งเข้าวงจรถอพอเอ็มฟาซิสเพื่อลดสัญญาณรบกวนและส่งสัญญาณมายังวงจรรวมสัญญาณ แยกออกเป็น 2 ส่วน ส่วนแรกนำสัญญาณภาพและเสียงส่งออกไปที่ SCART เพื่อใช้ในการถอดรหัส ส่วนที่ 2 ส่งผ่านวงจรถอพอเอ็มฟาซิส รวมสัญญาณ เข้าสู่ วงจรถอพอเอ็มฟาซิส เพื่อเอาสัญญาณเสียงซึ่งอาจจะส่งมาในรูปแบบของสัญญาณแผ่นต่างๆ ออกมาใช้งานเพราะพัฒนาการของระบบเสียงที่เป็นสัญญาณสองภาษา สัญญาณเสียงระบบแพนด้า และอื่นๆ อาจจะแผ่มาทับสัญญาณเสียงให้สามารถดึงออกมาใช้ประโยชน์ได้โดยมีคำสั่งการเลือก โมโน (LOW) หรือ สเตอริโอ (HIGH) จาก CPU ส่วนเสียงที่จะส่งออกไปยังวงจรถอพอเอ็มฟาซิสเดมอดูเลเตอร์นั้นต้องมีการนำเอาสัญญาณจากเซนแนลซ้ายขวามาทำการผสมสัญญาณให้เป็นสัญญาณเสียงในระบบ โมโนเสียงก่อน โดยส่งเข้าสู่ตัวผสมสัญญาณ RF ถ้าเป็นสเตอริโอก็ส่งออกทาง AUDIO OUT ซึ่งเป็นแจ๊ค RCA 2 อัน

#### ภาคแสดงผล

เมื่อ CPU ต้องการแสดงผลจะส่งสัญญาณออกมาที่ INPUT IC 74164 ซึ่งเป็นไอซีชิฟท์รีจิสเตอร์ชนิดข้อมูลอินพุตแบบอนุกรมให้ข้อมูลเอาต์พุตขนาด 8 บิตเลื่อนข้อมูลได้ทางขวาแต่เพียงอย่างเดียว ในการทำงานปกติ ขาที่ใช้เป็นขาอินพุตของข้อมูลซึ่งมี 2 ขาจะต้องให้ขาหนึ่งอยู่ที่ลอจิก "1" แล้วนำข้อมูลเข้าอีกขาหนึ่งที่เหลือ ขาเคลียร์จะต้องอยู่ลอจิก "1" สัญญาณนาฬิกาที่เปลี่ยนจากลอจิก "0" ไปเป็น "1" จะทำการเลื่อนข้อมูล การเลื่อนข้อมูลจะเลื่อนจาก A ไปยัง B จาก B ไปยัง C แล้วเลื่อนต่อไปเรื่อยๆ จนหมด ถ้าต้องการเคลียร์ก็ทำได้โดยการให้ขาเคลียร์เป็น "0" เอาต์พุตทุกตัวจะเป็น "0" หมด แล้วส่งข้อมูลออกไปทาง OUTPUT ไปยัง 4-DIGIT โดยมีทรานซิสเตอร์ 4 ตัวเป็นตัวสแกนรับข้อมูลจาก CPU เพื่อไปควบคุม 4-DIGIT เมื่อมีการแอกติฟที่ทรานซิสเตอร์ตัวไหน DIGIT ที่ถูกทรานซิสเตอร์ตัวนั้นควบคุมอยู่ก็จะติด จะมีทรานซิสเตอร์ 3 ตัวที่ใช้พอร์ต CPU ร่วมกันกับ SW.PWR, SW.UP, SW.DOWN (SW. เหล่านี้ติดตั้งอยู่บนหน้ากล่อง) โดยเมื่อทรานซิสเตอร์ทำหน้าที่เสร็จตามที่กล่าวมาแล้วข้างต้น CPU จะเช็คว่ามีมารกดปุ่มไหนของ SW. เหล่านี้หรือเปล่า ถ้ามีก็ไปทำงานตามคำสั่งของปุ่มนั้น เช่น กด SW.UP, SW.DOWN CPU ก็ส่งสัญญาณข้อมูลไปยัง TUNER เพื่อปรับเปลี่ยนความถี่ไปตามช่องรายการนั้นๆ เท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ภาคระบบการทำงาน

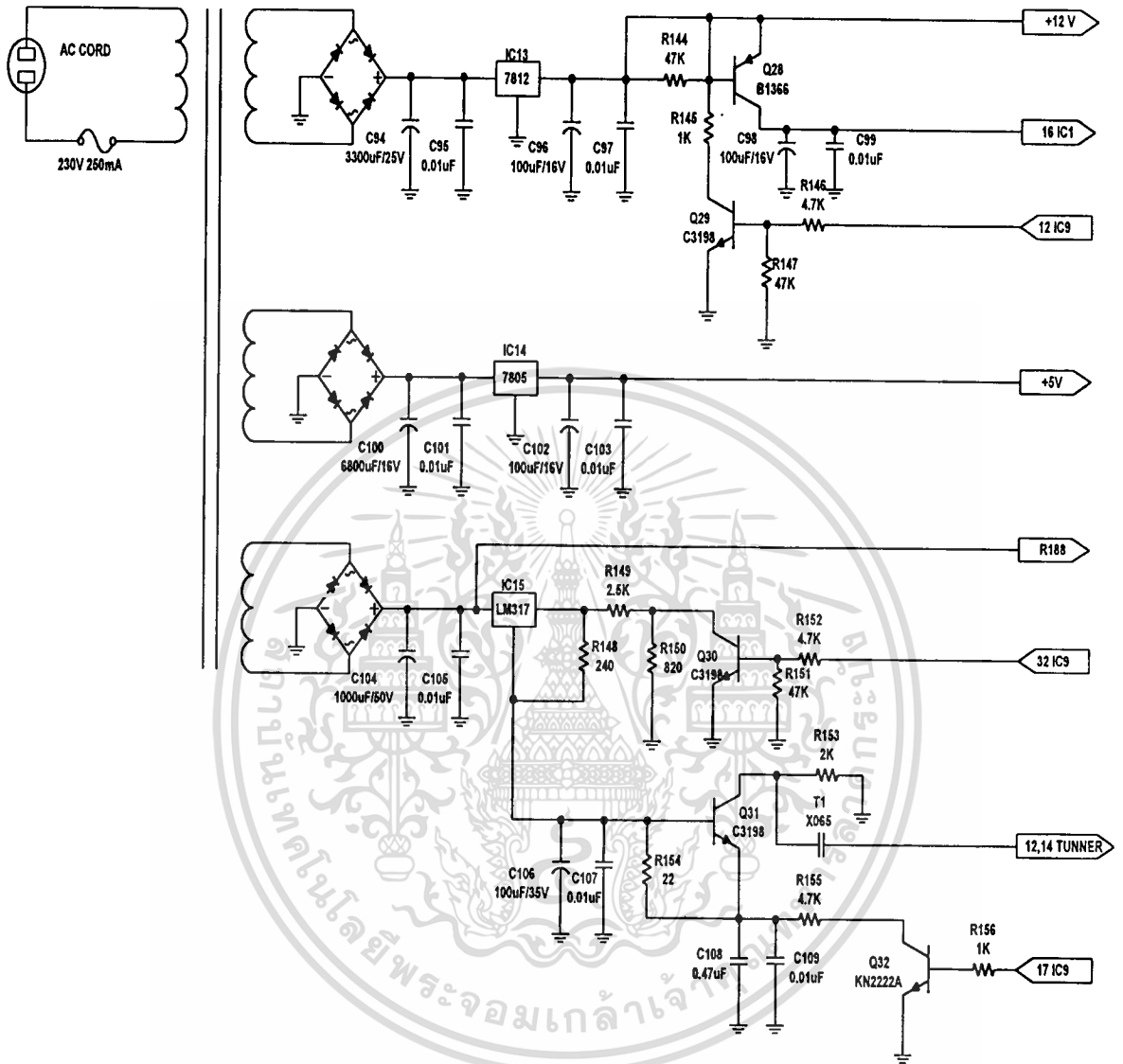
หากพิจารณาวงจรในส่วนการควบคุมระบบการทำงานใช้ไอซี.9 เบอร์ 8051 โดยการ  
ทำงานหลักไอซี.เบอร์นี้ต้องประกอบด้วยหลักระบบหลักๆ ดังนี้คือ

1. ต้องมีไฟจากหน่วยเรกูเลเตอร์ 5 โวลท์จ่ายให้ขาที่ 40 ซึ่งเป็นขา VCC
2. ต้องมีการจ่ายไฟรีเซ็ตเข้าที่ขาเรเซ็ต-ขา 9 เป็นคำสั่งรีเซ็ตไฮ เมื่อวงจรจ่ายไฟไปแล้วขา  
จะเป็นโลว์ตลอด
3. หน่วยออสซิลเลเตอร์ 10.00 MHz ต้องสามารถผลิตความถี่ฐานเวลาให้

ไอซี.คอนโทรลเลอร์ โดยสามารถสำรวจจากคริสตอลที่ขา 18-19 ของไอซี.

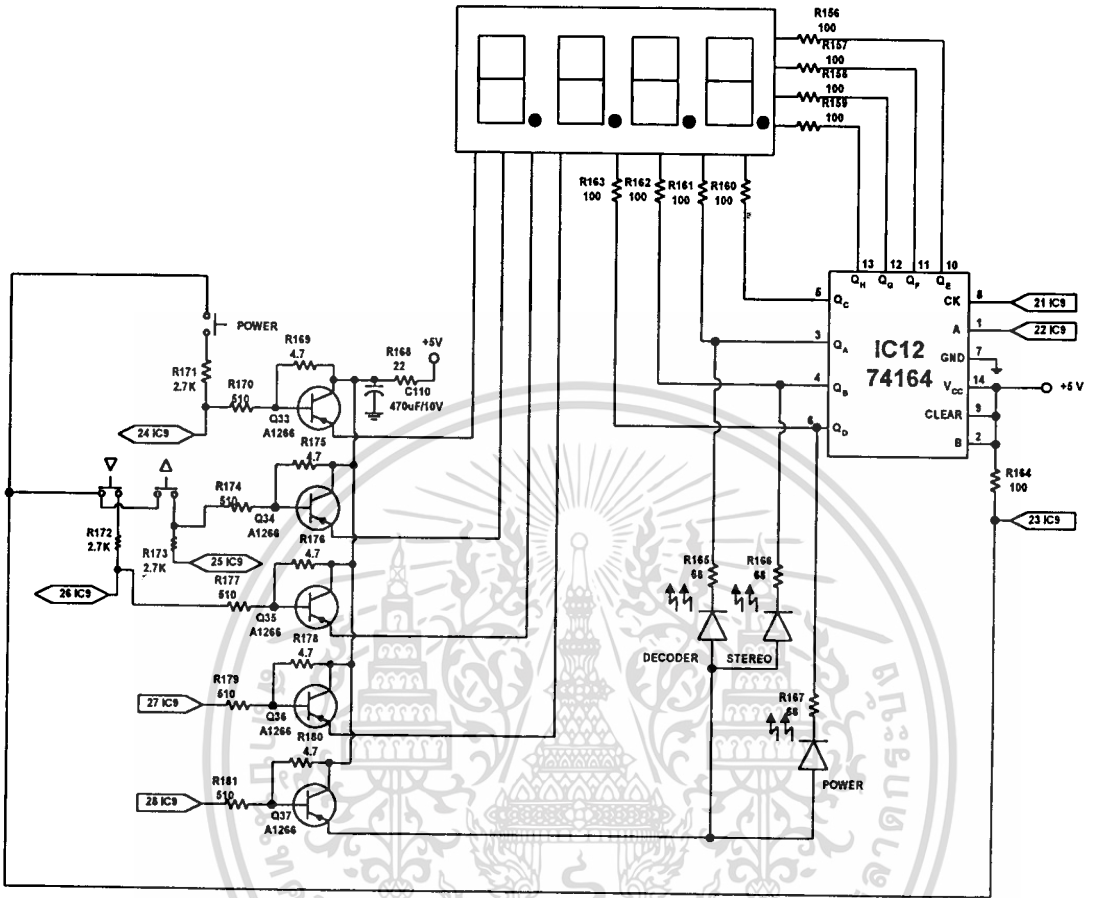
นอกจากนี้ยังต้องมีไอซี.ประกอบอื่นอีก เช่น IC 10 เป็นไอซีหน่วยความจำ เพื่อจำข้อมูลที่มี  
ได้เป็นข้อมูลที่สามารถโปรแกรมมาจากโรงงาน ซึ่งความจำดังกล่าวเป็นหน้าที่ของเจ้าของเครื่องใน  
การบันทึกโปรแกรมที่จะโปรแกรมสถานี ช่องโผลงในโปรแกรมไหน ส่วน IC 11 คือไอซี. ที่รับ  
สัญญาณมาจากรีโมทคอนโทรล เพื่อส่งข้อมูลคำสั่งไป ยังขารับสัญญาณอินฟราเรดขาที่ 13 ของ  
ไอซี.601

ข้อมูลเพื่อบังคับไอซี.เฟสล็คคูลูปได้แก่ข้อมูลที่เรียกว่า ข้อมูลอนุกรม-ส่งออกทางขา 14  
ส่วนความถี่ควบคุมที่เรียกว่าซีเรียลคล็อกส่งออกทางขา 8, คำสั่งควบคุมการจ่ายไฟ-เพาเวอร์ออน  
ออฟส่งออกทางขา 12, คำสั่งควบคุมการเลือก MONO/STERIO ส่งออกทางขา 3, คำสั่งควบคุมการ  
ปรับ SKEW ส่งออกทางขา 4, คำสั่งควบคุมการปิด-เปิดเสียง ส่งออกทางขา 5, คำสั่งควบคุมการ  
ปรับ AUDIO ส่งออกทางขา 6, คำสั่งควบคุมการเลือกการใช้ LNB แบบ 22KHz ใช้ Pulse หรือไม่  
ใช้ ส่งออกทางขา 17, คำสั่งควบคุมการเลือก 13V/18V ส่งออกทางขา 32, คำสั่งควบคุมการเลือก  
ดีเอ็มฟาซิส ส่งออกทางขา 33, คำสั่งควบคุมการเลือก BW. Narrow/Wide ส่งออกทางขา 34, คำสั่ง  
ควบคุมการเลือก IF/BW ส่งออกทางขา 35, คำสั่งควบคุมการเลือกการทำงานของตัวถอดรหัส ส่ง  
ออกทางขา 37, คำสั่งควบคุมการเลือกความสว่าง ส่งออกทางขา 38, คำสั่งควบคุมการเลือก LNB  
A/B ส่งออกทางขา 39



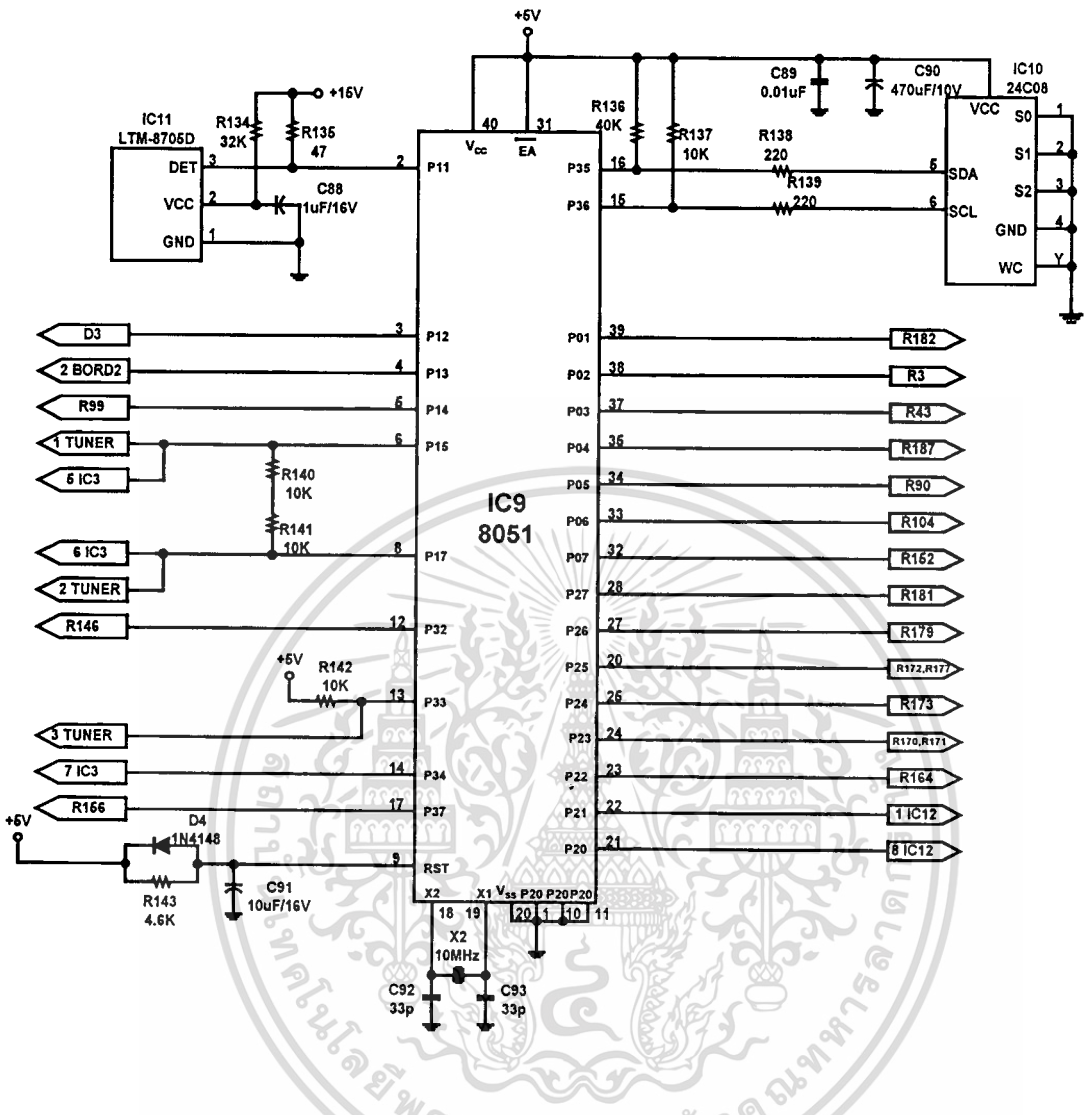
รูปที่ 4.38 ภาคจ่ายไฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



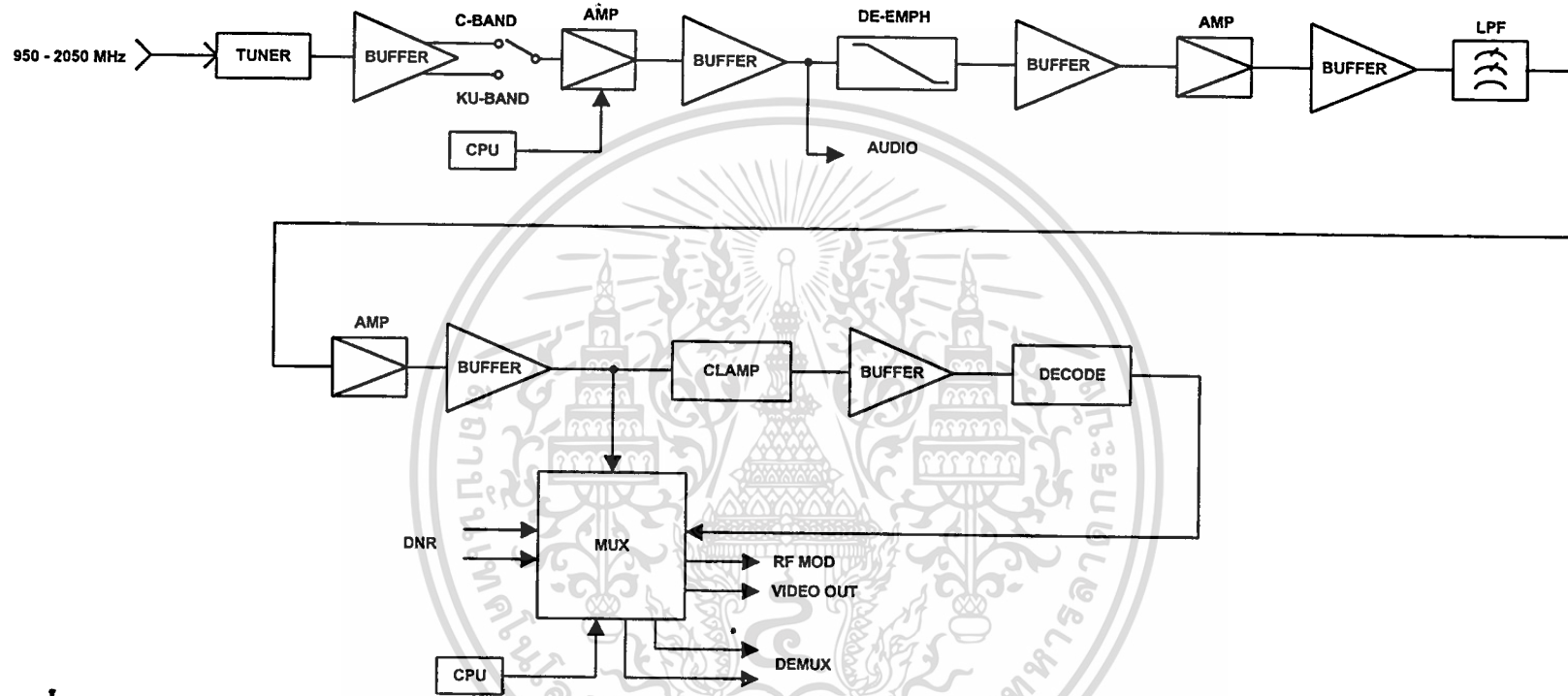
รูปที่ 4.39 ภาคแสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

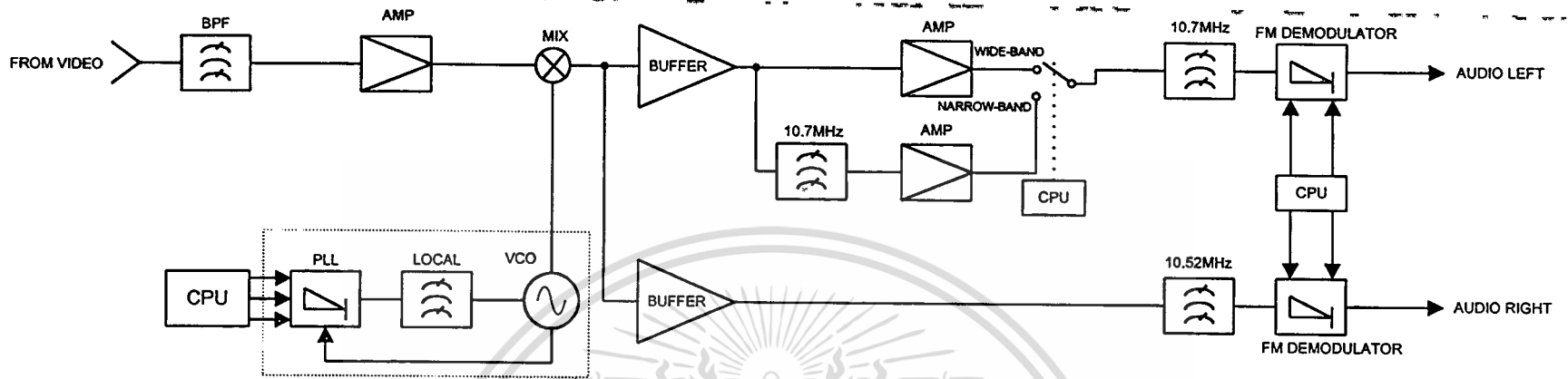


รูปที่ 4.40 ภาพระบบการทำงาน

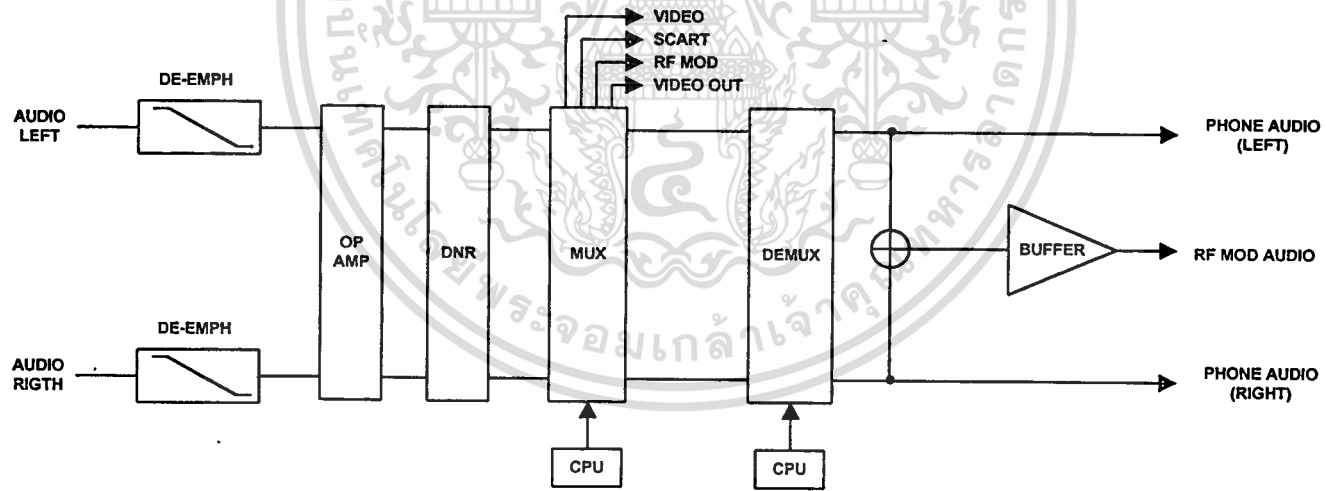
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.41 บล็อกไดอะแกรมระบบภาพ

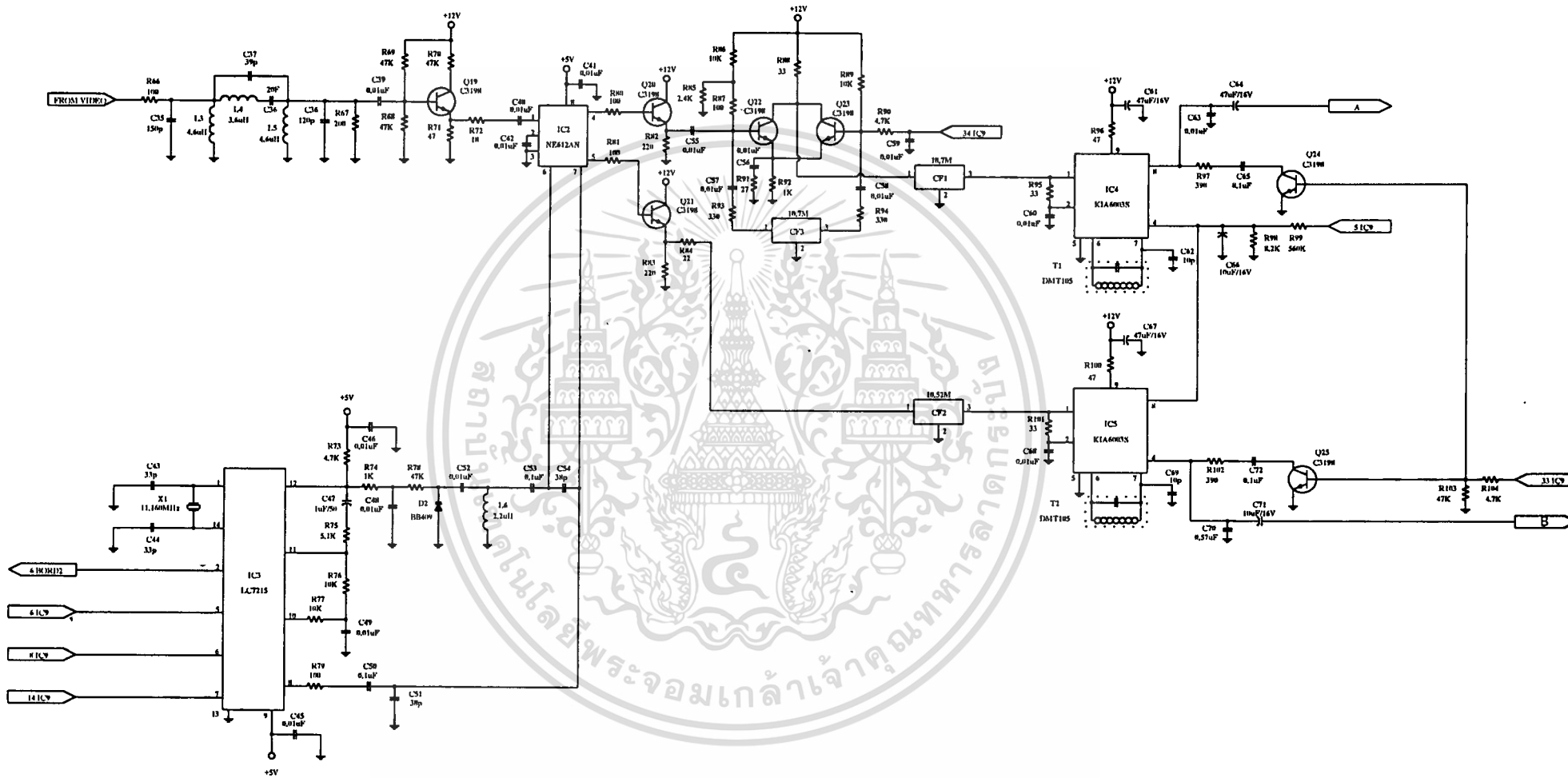


รูปที่ 4.42 บล็อกไดอะแกรมระบบเสียงส่วน 1

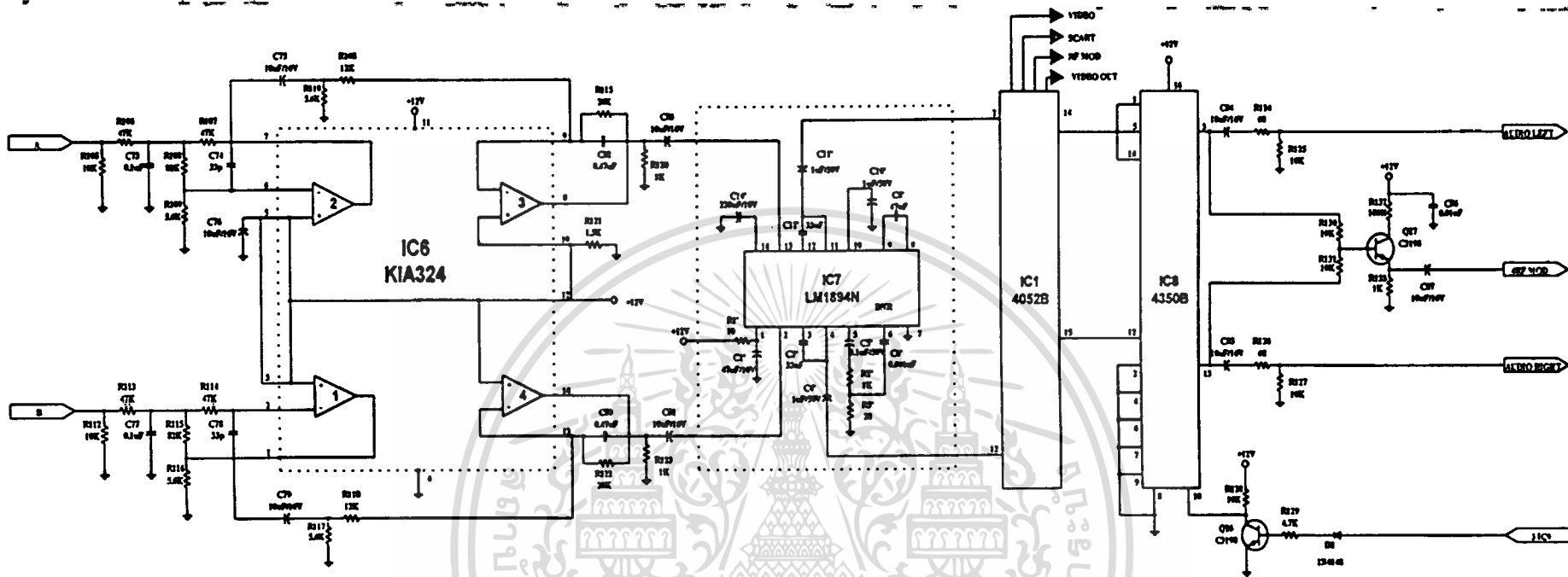


รูปที่ 4.43 บล็อกไดอะแกรมระบบเสียงส่วน 2





รูปที่ 4.45 วงจรรวมของระบบเสียงส่วน 1



รูปที่ 4.46 วงจรรวมของระบบเสียงส่วน 2

## บทที่ 5

### การทดสอบและวัดสัญญาณ

การคำนวณหามุมการรับแบบรับดาวเทียมดวงเดียว (FIXED)

1. หามุมเงย (ELEVATION ANGLE) :  $\alpha$

$$\tan \alpha = (\cos \lambda \cos \phi - K) / \sqrt{1 - \cos^2 \lambda \cos^2 \phi}$$

K : เป็นอัตราส่วนระหว่างรัศมีของโลกกับรัศมีวงโคจรของดวงอาทิตย์

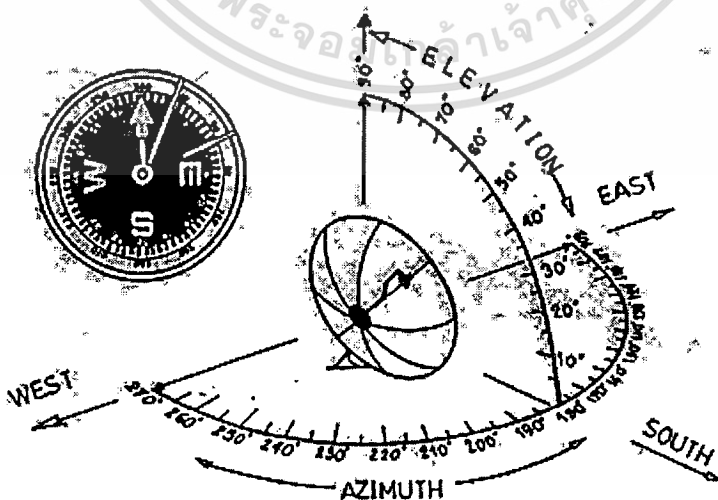
$$K = (6,370 \times 10^3) / (35,860 \times 10^3) \text{ ม.} = 0.15084 \text{ (สำหรับประเทศไทย)}$$

$\lambda$  : เป็นความแตกต่างของเส้นแวง (LONGITUDE) ระหว่างจุดที่ตั้งงานสายอากาศและดาวเทียม

$\phi$  : เป็นค่าเส้นรุ้ง (LATITUDE) ของตำแหน่งที่ตั้งงานสายอากาศ

2. หามุมสาย (AZIMUTH ANGLE) :  $\theta$

$$\tan \text{Az} = \tan \lambda / \sin \phi \text{ (เทียบกับทิศใต้เป็นหลัก)}$$



รูปที่ 5.1 การดูทิศและมุมเงยมุมสาย

ตัวอย่าง: ต้องการรับสัญญาณดาวเทียมที่ กรุงเทพฯ ซึ่งอยู่ตำแหน่งเส้นรุ้ง (LATITUDE) มุม 13.4° N เส้นแวง (LONGTITUDE) 100.37° E ดาวเทียม Asiasat 1 อยู่ที่ตำแหน่ง 100.5° E จะต้องตั้งจานสายอากาศมีมุมเงย (ELEVATION ANGLE) และมุมสาย (AZIMUTH) เท่าไร

วิธีทำ: จาก  $\phi$  = เส้นรุ้ง (LATITUDE) = 13.4° N

$$\lambda = \text{เส้นแวง (LONGTITUDE)} = 100.37^\circ \text{ E}$$

$$= 105.5^\circ - 100.37^\circ = 5.13 \text{ องศา}$$

$$\text{มุมเงย } \alpha = [(\text{Cos } 5.13^\circ)(\text{Cos } 13.4^\circ) - 0.15084] / \sqrt{(1 - (\text{cos}^2 5.13^\circ) \cdot (\text{cos}^2 13.4^\circ))}$$

$$= 0.818 / 0.247$$

$$= 3.30476 \text{ องศา}$$

$$\alpha = \text{Tan}^{-1} 3.30476 = 73.1645 \text{ องศา} \text{ ---***}$$

$$\text{เทียบมุมเงย } 90 \text{ องศา} = 90^\circ - 73.1645^\circ$$

$$\text{ตอบ มุมเงย } 90^\circ \text{ EL} = 16.83 \text{ องศา} \text{ ---***}$$

$$\text{มุมสาย } \theta : \text{Tan Az} = \text{Tan } 5.13^\circ / \text{Sin } 13.4^\circ$$

$$= 0.0897 / 0.2317$$

$$= 0.38738 \text{ องศา} \text{ ---***}$$

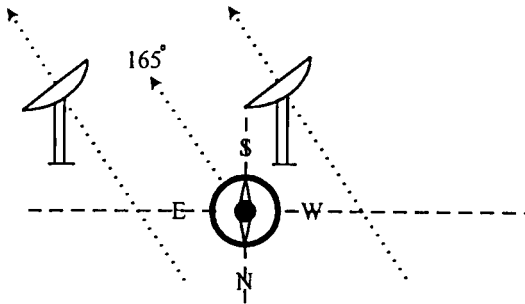
$$\bullet \text{ มุมสาย } \text{Az} = \text{Tan}^{-1} 0.38738 = 21.175 \text{ องศา}$$

$$\text{เทียบ } 180^\circ \text{ กับทิศได้} = 180^\circ - 21.175^\circ$$

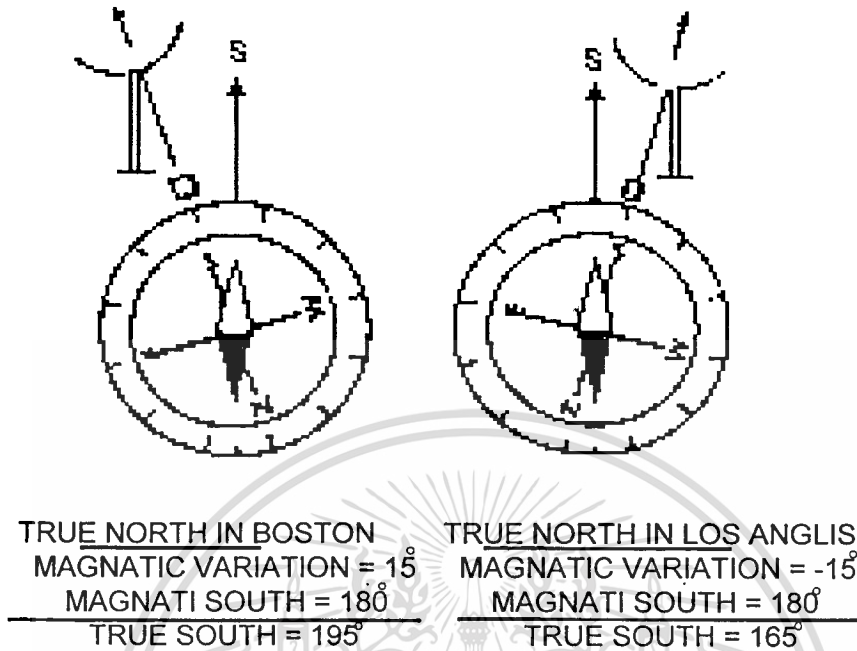
$$= 158.824 \text{ องศา} \text{ ---***}$$

ตอบ : มุมเงย ใช้ที่ตั้งมุมเงยติดที่ก้านจานให้หน้าจานแหงนขึ้นที่มุม 17 องศา

มุมสาย ใช้เข็มทิศสองที่คอจานเป็นหลัก หันหน้าจานไปทิศใต้ที่มุม 159 องศา



รูปที่ 5.2 แสดงเข็มทิศและทิศทำงาน



รูปที่ 5.3 การใช้เข็มทิศหาตำแหน่งมุมสายของจาน

ประเทศไทยอยู่สูงกว่าเส้นศูนย์สูตร จึงหันจานไปทางทิศใต้ โดยใช้เข็มทิศเทียบทิศใต้เป็นหลัก แล้วหันจานไปมุมที่คำนวณได้ เช่นคำนวณมุมสายได้  $165^{\circ}$  E ก็ให้เข็มทิศอยู่ในแนวเหนือใต้ แล้วมองคูมูที่ต้องการ โดยให้จานขนานกับมุมที่ถูกต้อง หรือ เอามุมสายไปลบออกจากมุม  $180$  องศาจะได้  $15$  องศา เอาค่าที่ได้ไปบวกกับ  $180$  องศา จะได้มุม  $195$  องศา แล้วให้เข็มทิศชี้ไปที่มุม  $195$  องศา จากนั้นมองไปช่องมองขั้วใต้ของเข็มทิศ โดยยึดคอกจานเป็นหลักให้จานหันตรงกับช่องมองของเข็มทิศ จะได้จานหันไปที่มุมสาย  $165$  องศาตามที่ต้องการ

#### การทดสอบและวัดสัญญาณ

เครื่องรับสัญญาณโทรทัศน์ผ่านดาวเทียมย่าน C Band & KU Band ซึ่งเป็นโครงการที่สร้างขึ้นมา นั้น จะทำการทดสอบวัดสัญญาณตามจุดต่างๆ ของวงจร ดังแสดงในรูปที่ จะใช้เครื่องมือวัดคือ OSCILLOSCOPE ตามจุดต่างๆ ที่วัดนั้นได้ผ่านกระบวนการ Down Converter ของ LNB มาแล้วและส่งผ่านส่วนของวงจรในชุดกล่องจูนเนอร์ (Tuner) ซึ่งเอาต์พุตที่ได้จาก Tuner จะเป็น

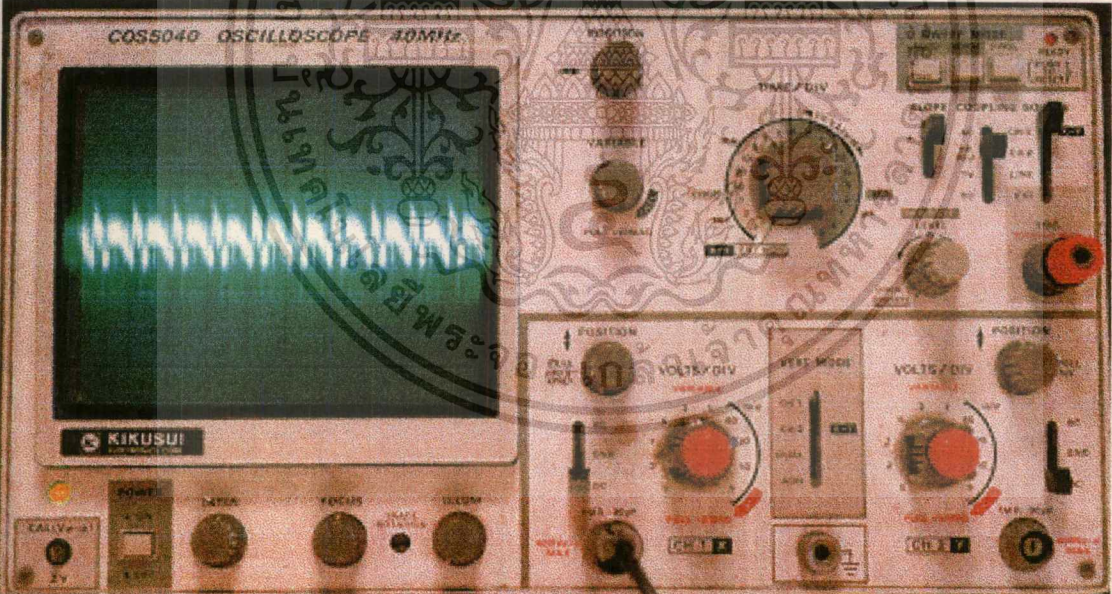
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่ผ่านการ Detect มาแล้ว เป็นสัญญาณรวมของภาพและเสียง ซึ่งเรียกว่าสัญญาณเบสแบนด์ สัญญาณที่วัดได้แสดงดังรูปที่ 5.4 - 5.8

การทดสอบเครื่องรับโทรทัศน์ผ่านดาวเทียมตามโครงการนี้ โดยต่อกับสายอากาศย่าน C-Band แบบ Fixed ทดสอบการรับสัญญาณของเครื่องรับโดยการรับสัญญาณดาวเทียม Asiasat 1 ที่ตำแหน่ง 100.5° E, THAICOM 3 ที่ตำแหน่ง 78.5° E และ PARAPA ที่ตำแหน่ง 113° E สามารถรับสัญญาณโทรทัศน์ได้หลายช่อง ในรายงานฉบับนี้ได้นำรูปตัวอย่างรายการที่รับได้มาแสดงให้เห็นเพียงบางตัวอย่างเท่านั้น ดังแสดงในรูปที่ 5.9 - 5.12

**จุดทดสอบสัญญาณที่ 1**

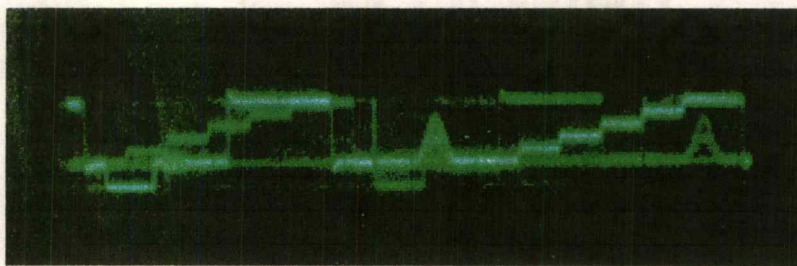
วัดสัญญาณเบสแบนด์ก่อนผ่าน 1 จุดนี้เป็นจุดอินพุตของสัญญาณเบสแบนด์ที่ส่งมาจากชุดจูนเนอร์ ซึ่งจะมีทั้งสัญญาณภาพ และสัญญาณเสียง เพื่อที่จะส่งไปยังจุดต่างๆ ของวงจรในส่วนของภาค Video และ Audio ผลที่ได้ดังรูปที่ 5.4



รูปที่ 5.4 สัญญาณทดสอบที่จุดเบสแบนด์ เมื่อเครื่องรับรับช่องสัญญาณรายการ THAICOM

**จุดทดสอบสัญญาณที่ 2**

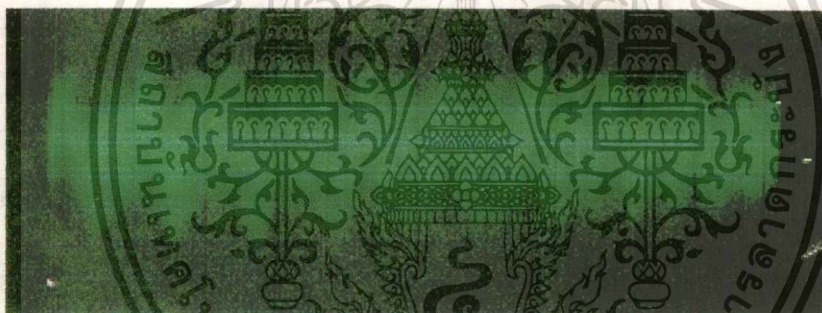
วัดสัญญาณที่จุด Video Out ซึ่งถือว่าเป็นจุดที่จะนำสัญญาณภาพไปต่อกับเครื่องรับโทรทัศน์ได้ (ระบบ AV) อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.5 สัญญาณที่วัดได้จาก Video Out

### จุดทดสอบสัญญาณที่ 3

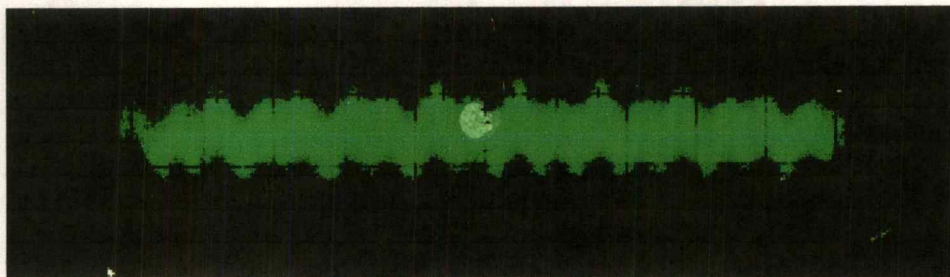
วัดสัญญาณที่จุด Audio Left Out ซึ่งถือว่าเป็นจุดที่จะนำสัญญาณเสียงซีกซ้ายไปต่อกับเครื่องรับโทรทัศน์ได้ (ระบบ AV) เนื่องจากรายการนี้ยังไม่ได้ส่งสัญญาณเสียงมารูปสัญญาณจึงนิ่ง



รูปที่ 5.6 สัญญาณที่วัดได้จาก Audio Left Out

### จุดทดสอบสัญญาณที่ 4

วัดสัญญาณที่จุด Audio Right Out ซึ่งถือว่าเป็นจุดที่จะนำสัญญาณเสียงซีกขวาไปต่อกับเครื่องรับโทรทัศน์ได้ (ระบบ AV) เนื่องจากรายการนี้ยังไม่ได้ส่งสัญญาณเสียงมารูปสัญญาณจึงนิ่ง



รูปที่ 5.7 สัญญาณที่วัดได้จาก Audio Right Out

จุดทดสอบสัญญาณที่ 5

วัดสัญญาณพัลส์ที่ส่งออกมาเพื่อปรับโพราไรซ์ให้ภาพดูชัดจนยิ่งขึ้น



รูปที่ 5.8 สัญญาณที่วัดได้จากจุดเอาต์พุตพัลส์เพื่อปรับโพราไรซ์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งรูปที่ 5.9 รายการ PTV ที่สามารถรับได้จากดาวเทียม PALAPA ทุกครั้งที่มีการนำไปใช้

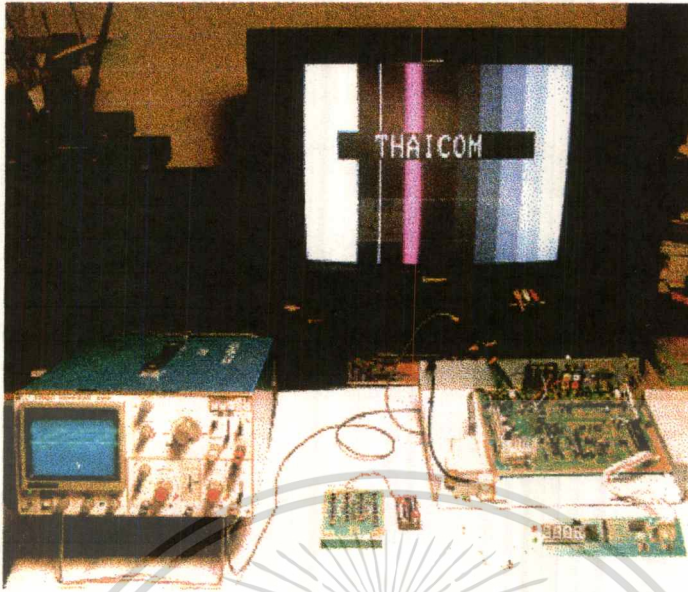


รูปที่ 5.10 รายการ ZEETV ที่สามารถรับได้จากดาวเทียม ASIASAT

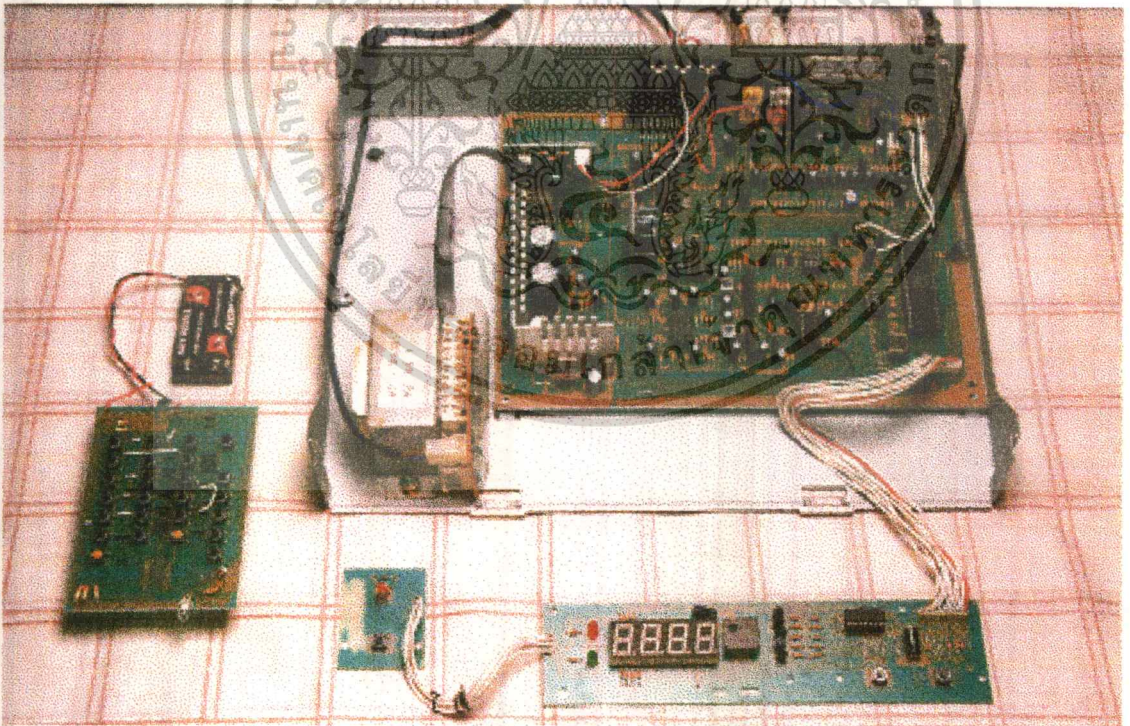


รูปที่ 5.11 รายการ THAICOM ที่สามารถรับได้มีสโนว์จากดาวเทียมTHAICOM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

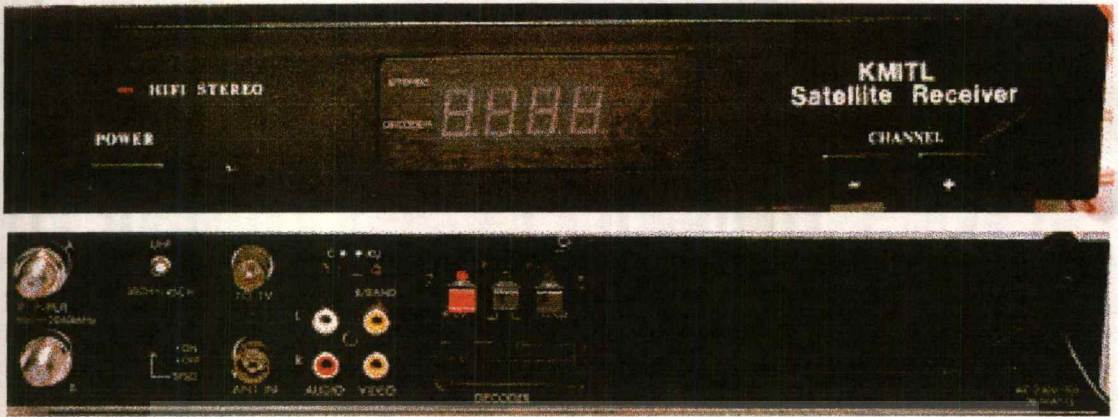


รูปที่ 5.12 รายการ THAI COM ที่สามารถรับได้และปรับโฟกัสได้จกดาวเทียม THAI COM



รูปที่ 5.13 แสดงการจัดวางอุปกรณ์ภายในส่วนเครื่องรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.14 แสดงด้านหน้าและด้านหลังของเครื่องรับ



รูปที่ 5.15 จานที่ใช้รับสัญญาณขนาด 8 ฟุต

### วิธีทดสอบเครื่องรับ

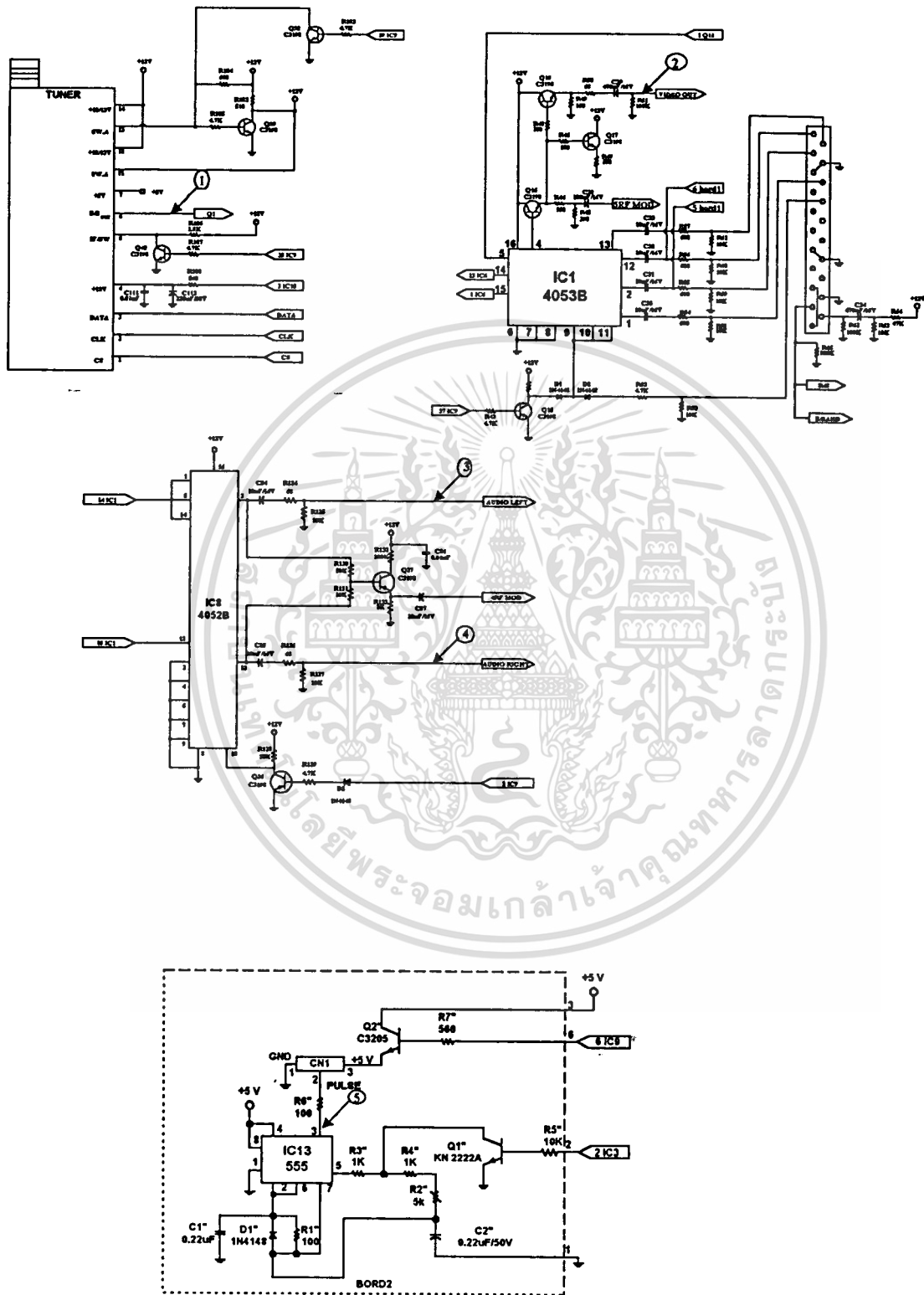
1. ติดตั้งตัวรับสัญญาณ ประกอบ LNB และ FEEDHORN เข้าด้วยกันแล้วนำไปติดตั้งในตำแหน่งจุดรวมสัญญาณที่กลางจาน โดยให้ตัว LNB เอียงกับหน้าจานประมาณ 11 นาฬิกา
2. ตั้งมุมเงย แขนงานขึ้นใช้ที่วัดมุมเงยวัดที่คอจานให้ได้มุมตรงกับดาวเทียมที่ต้องการรับ
3. ตั้งมุมสาย หันงานไปทางทิศใต้เป็นหลัก ใช้เข็มทิศส่องที่คอจานให้ได้มุมสายตามที่ต้องการ
4. ต่อสายอากาศจากงานรับสัญญาณที่จุดต่อ LNB
5. วนช่องสัญญาณที่สวิตช์ Video (up-down) เพื่อเลือกรับช่องสัญญาณที่ชัดเจนที่สุด หากยังไม่มีภาพให้ทำการสายงานไปมาอย่างช้าๆ จนเกิดภาพ
6. ทำการเก็บข้อมูลสัญญาณภาพที่รับได้ชัดเจน โดยกดปุ่ม memo

7. จูนช่องสัญญาณเสียงที่สวิทช์ Audio (up-down) ให้ตรงกับช่องสัญญาณภาพให้ได้เสียงที่ชัดเจนที่สุด
8. ทำการเก็บข้อมูลสัญญาณเสียงที่รับได้ชัดเจน โดยการกดปุ่ม memo
9. ตั้งช่องสัญญาณ up-down เพื่อให้แสดงว่าช่องสัญญาณภาพและเสียงที่บันทึกไว้อยู่ที่ช่องไหนของ Display
10. ใช้รีโมทคอนโทรลประกอบในการเลือกรับช่องสัญญาณ โดยจะแสดงที่ตัวรีโมทว่าตำแหน่งใดปุ่มใดเป็นของช่องสัญญาณใด
11. ถ้าจะยกเลิกการเก็บข้อมูลของช่องสัญญาณให้กดปุ่ม Clear



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### จุดทดสอบสัญญาณ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 6

### บทวิจารณ์และบทสรุป

#### บทสรุป

โครงการนี้เป็นการศึกษาระบบ TVRO ในส่วนของเครื่องรับ (Receiver) จุดมุ่งหมายก็เพื่อจะศึกษาในหลักการ และการทำงานของเครื่องรับ ซึ่งจะสามารถรับสัญญาณจากดาวเทียมได้ ในช่วง 950-2050 MHz ซึ่งความสามารถของเครื่องรับ จะรับได้ 2 ย่าน (C และ KU) สัญญาณที่ออกจากจูนเนอร์จะผ่านวงจรขยายสัญญาณภาพ ซึ่งส่วนใหญ่ในการออกแบบจะนิยมใช้ไอซีสำเร็จรูป หรือจะใช้วงจรขยายทรานซิสเตอร์ก็ได้ อีกส่วนหนึ่งจะนำสัญญาณเสียงไปผ่านวงจรสังเคราะห์ความถี่ด้วยเฟสล็อกคูลเพื่อทำการดีเทคเสียงออกมา ส่วนภาคควบคุมอัตโนมัติจะใช้รีโมทคอนโทรลทำงานร่วมกับไมโครคอนโทรลเลอร์ MCS-51 เพื่อนำไปใช้ควบคุมช่องสัญญาณที่ต้องการ

#### ปัญหา

จากการสร้างชุดเครื่องรับสัญญาณโทรทัศน์ผ่านดาวเทียมย่าน C Band & KU Band มีปัญหาและอุปสรรคต่างๆ ที่เกิดขึ้นในการทดลอง พอจะสรุปได้ดังนี้

1. อุปกรณ์ที่ใช้ในการสร้างวงจร เช่น พวกริโมทคอนโทรลเลอร์ HT6222, IC สังเคราะห์ความถี่ด้วยเฟสล็อกคูลเบอร์ LC7215 หาได้ยาก
2. งานสายอากาศที่ใช้ทดลองและเครื่องมือวัด Spectrum นั้นหาได้ยาก ดังนั้นจึงใช้ OSCILLOSCOPE แทนและก็ไม่ทราบว่า OSCILLOSCOPE ที่วัดสัญญาณออกมาจะได้รูป OSCILLOSCOPE ที่ตรงตามความเป็นจริงหรือไม่

#### แนวทางพัฒนาต่อไป

ในโครงการนี้ สามารถจะขยายขีดความสามารถเพื่อพัฒนาต่อไปได้อีกหลายด้าน เช่น

1. ออกแบบวงจรให้สามารถแสดงผลการทำงานหน้าจอโทรทัศน์ได้
2. พัฒนางจรเครื่องรับโดยการใช้ ระบบ Tracking เข้าร่วมเพื่อการหาตำแหน่งของช่องสัญญาณที่แน่นอนและรวดเร็ว
3. เขียนโปรแกรมควบคุมให้สามารถใช้กับงาน MOVE ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บรรณานุกรม

1. มาร์ก ลอง และ เจฟฟรีย์ คีทติง. โลกของการรับสัญญาณโทรทัศน์ผ่านดาวเทียม. แปลโดย รังสรรค์ วงศ์สรรค์. พิมพ์ครั้งที่ 1. กรุงเทพมหานคร : สำนักพิมพ์นิตยสารซีคิว, 2536
2. สมพร ชีระโรจนพงษ์ และ สมนึก ธัญญาวิณิชกุล. เทคโนโลยีการสื่อสาร เทคนิคการติดตั้งงานรับสัญญาณดาวเทียม. พิมพ์ครั้งที่ 5. กรุงเทพมหานคร: 2537
3. มนต์ชัย กุลกวีชุมเห่. เทคนิคการทำงานและการตรวจซ่อม เครื่องรับสัญญาณดาวเทียม. อิเล็กทรอนิกส์แฮนด์บุ๊ค. ปีที่ 1 ฉบับที่ 3 มกราคม - กุมภาพันธ์ 2537. 18 - 29.
4. ร.ต.อ.สุชาติ กังวารจิตต์. หลักการทํางานเครื่องรับส่งวิทยุและระบบสื่อสาร. กรุงเทพมหานคร: สำนักพิมพ์บริษัท ซีเอ็ดยูเคชั่น จำกัด, 2532
5. ไกรวุฒิ โรจน์ประเสริฐสุด. เข้าใจ/สร้าง/เล่น ไมโครโปรเซสเซอร์2. กรุงเทพมหานคร: สำนักพิมพ์บริษัท ซีเอ็ดยูเคชั่น จำกัด, 2539
6. สุนทร วิทูสรพจน์. ไมโครคอนโทรลเลอร์ตระกูล 8051. กรุงเทพมหานคร: สำนักพิมพ์บริษัท ซีเอ็ดยูเคชั่น จำกัด, 2537
7. สมคิด วิริยประสิทธิ์ชัย, อรรถพล มณีโชติ และ ธนารัตน์ ภมรรัตตพงษ์. ความรู้เบื้องต้นทางอิเล็กทรอนิกส์. กรุงเทพมหานคร:
8. รีโมต เครื่องควบคุมไร้สาย. กรุงเทพมหานคร: สำนักพิมพ์บริษัท ซีเอ็ดยูเคชั่น จำกัด, 2538
9. ออปแอมป์. กรุงเทพมหานคร: หจก.สำนักพิมพ์ฟิสิกส์เซ็นเตอร์
10. ยืน ภู่วรรณ. เทคนิคการประยุกต์และใช้งาน ไอซีทีทีแอล. กรุงเทพมหานคร: สำนักพิมพ์บริษัท ซีเอ็ดยูเคชั่น จำกัด, 2528
11. พันธุ์ศักดิ์ พุฒิมานิตพงศ์. วงจรพัลส์และสวิตซิ่ง. กรุงเทพมหานคร: สำนักพิมพ์บริษัท ซีเอ็ดยูเคชั่น จำกัด, 2539
12. บุญชาติ เนติศักดิ์. ทฤษฎีและปฏิบัติเครื่องรับวิทยุ AM/FM. กรุงเทพมหานคร: สำนักพิมพ์บริษัท ซีเอ็ดยูเคชั่น จำกัด, 2540
13. เจน สงสมพันธุ์. เทคนิคการซ่อมเครื่องรับสัญญาณดาวเทียมรุ่น DS1500H/SAT100. อิเล็กทรอนิกส์แฮนด์บุ๊ค. ปีที่ 1 ฉบับที่ 3 มกราคม - กุมภาพันธ์ 2537. 30 - 41.

เอกสารนี้เป็น 14. จารุพงศ์ จินาพันธ์. สร้างเครื่องรับสัญญาณดาวเทียมใช้เองกันดีกว่า. มาไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ที่ อิเล็กทรอนิกส์แฮนด์บุ๊ค. ปีที่ 1 ฉบับที่ 3 มกราคม - กุมภาพันธ์ 2537. 52 - 60. การนำไปใช้

15. นิวัฒน์ บัญญัติเจริญ. 15 นาทีกับการออกแบบวงจรรองความถี่ ตอน 1 ทบทวนความทรงจำวงจรรองความถี่. เซมิคอนดักเตอร์. ฉบับที่ 178 ธันวาคม 2540 225 - 229
16. นิวัฒน์ บัญญัติเจริญ. 15 นาทีกับการออกแบบวงจรรองความถี่ ตอน 2 การออกแบบวงจรรองความถี่แบบบัตเตอร์เวิร์ธ. เซมิคอนดักเตอร์. ฉบับที่ 179 มกราคม 2540 213 - 218
17. นิวัฒน์ บัญญัติเจริญ. 15 นาทีกับการออกแบบวงจรรองความถี่ ตอนจบ วงจรรองแถบความถี่ผ่านและวงจรรองตัดแถบความถี่ผ่าน เซมิคอนดักเตอร์. ฉบับที่ 183 พฤษภาคม 2541 217 - 222
18. เสกสิทธิ์ คำชมภู. อุปกรณ์นำใช้ไอซีนำสน NE612AN บาลานซ์มิกเซอร์ และ ออสซิลเลเตอร์คู่. เซมิคอนดักเตอร์. ฉบับที่ 148 พฤษภาคม 2538 107 - 113



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

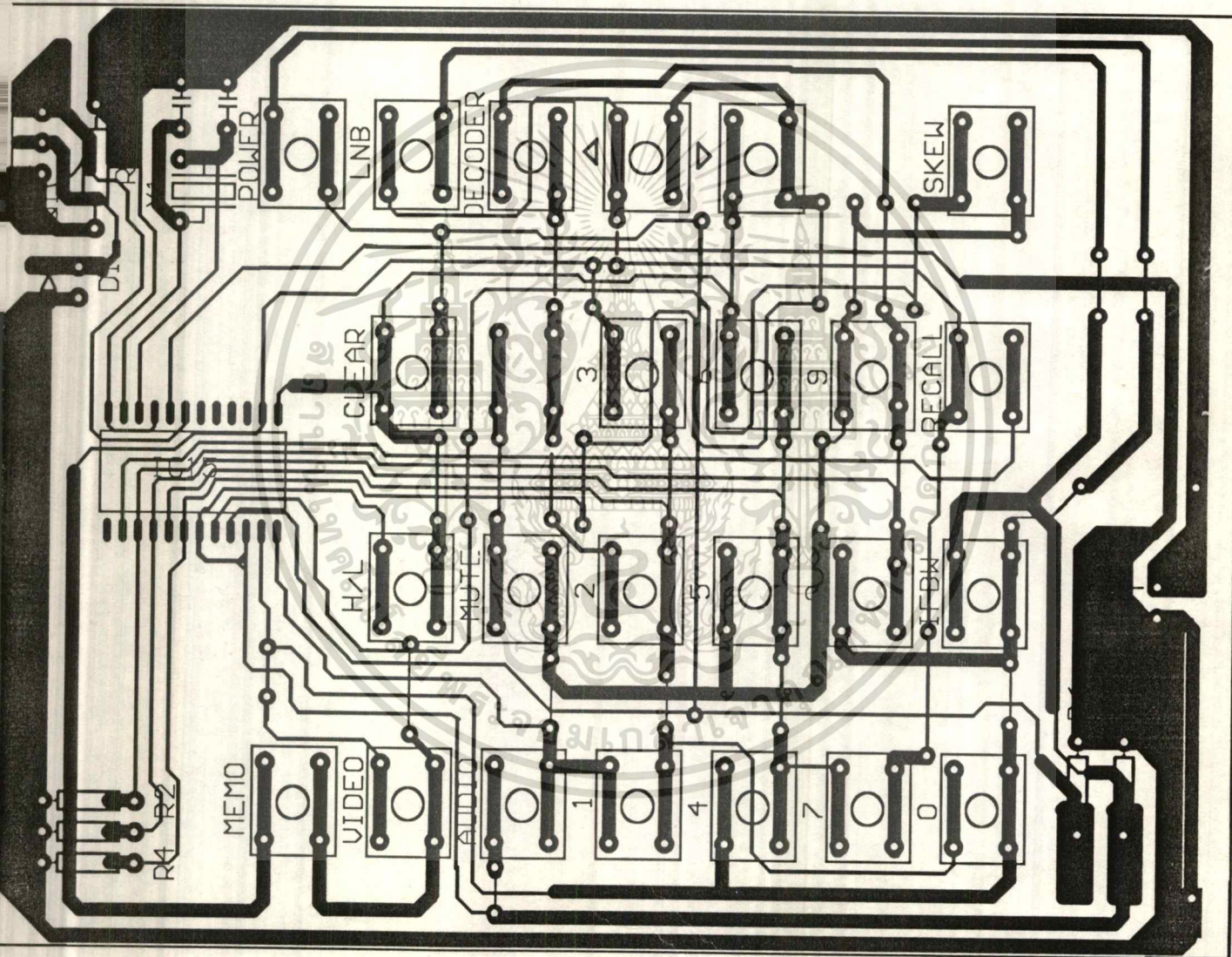
ตารางรายการการรับสัญญาณจากดาวเทียมดวงต่างๆ

ดาวเทียม	ช่อง	รายการ	ความถี่ภาพ	ความถี่เสียง
THAICOM1&2 78.5°E	1	ไทยทีวีสีช่อง 3	V-1200	6.80
	2	ช่อง 9 อสมท.	V-1178	6.80
	3	ททบ. 5	V-1230	6.80
	4	กองทัพบกช่อง 7	V-1400	7.20
	5	MRTV	V-1460	6.60
	6	VTV	V-1498	6.60
	7	ช่อง 11	V-1278	6.80
	8	RAJTV	H-1510	6.60
	9	ATN BANGLA	H-1575	6.60
	10	PUNJABI WORLD	H-1615	6.60
ASIASAST1 105.5°E	11	PTV	H-1048	6.60
	12	ZEETV	H-1168	6.80
	13	India TV	H-1208	6.80
	14			
	15			
PALAPA B2P 113°E	16	MTV	V-1030	7.55
	17	CNBC	V-1108	6.80
	18	CNN	H-1172	6.80
	19	TV3	H-1248	6.60
	20	RCTI	H-1408	6.60
	21	TVSN	V-1270	6.60
	22	TVRN	V-1310	6.80
	23	TV5	V-990	6.60
	24	INDOSIAR	H-1080	6.60
	25	SCTV	H-1188	6.60
	26	Ka	H-967	6.60
	27			
28				

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งยังให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

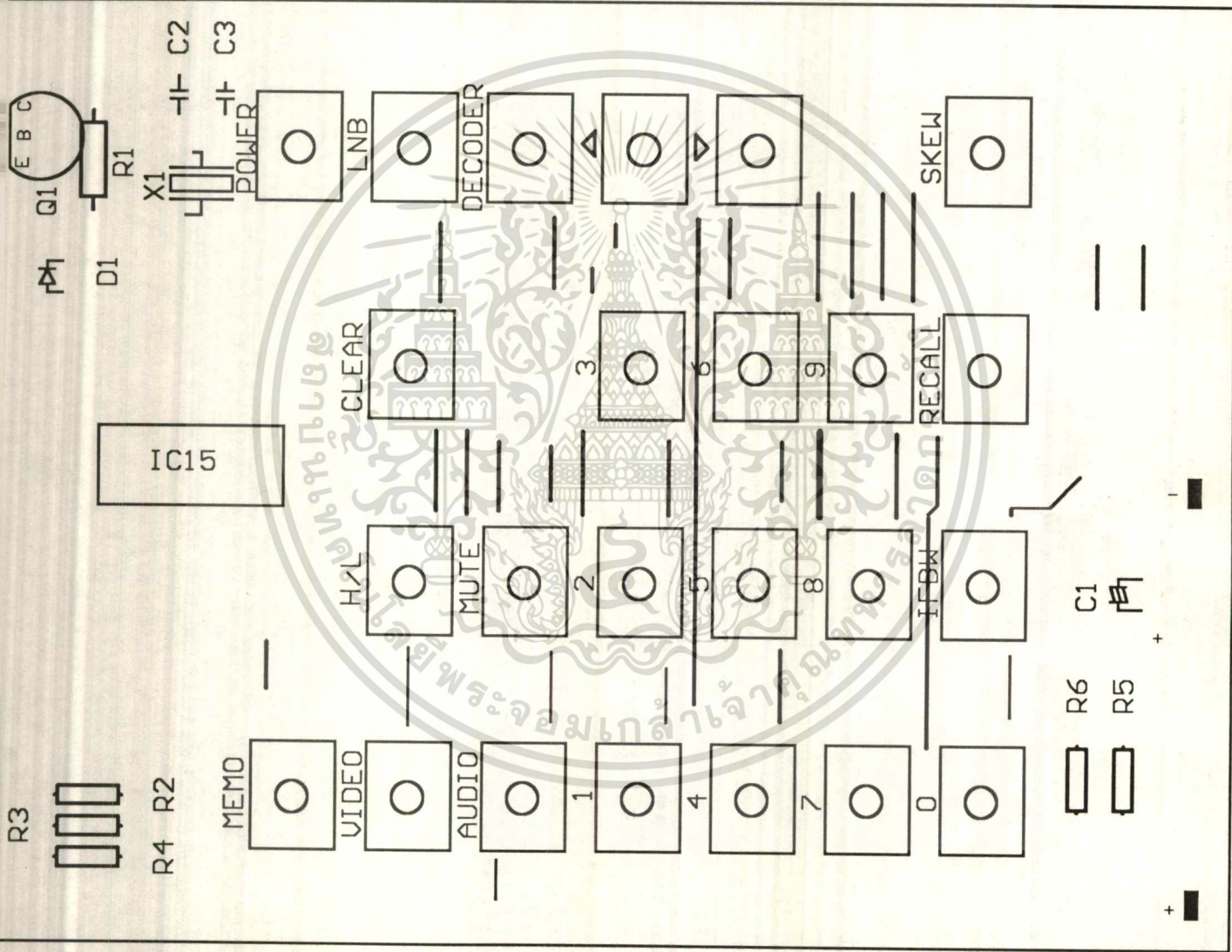
ดาวเทียม	ช่อง	รายการ	ความถี่ภาพ	ความถี่เสียง
PANAMSAT4 68.0°E	31	MTV	V-967	7.55
	32	CARTOON	V-1034	6.80
	33	CNN	V-1061	6.80
	34	LOSING	V-1215	6.60
	35	SONY	V-1242	6.80
	36	BBC WORLD	H-1284	6.60
	37	INDIA	H-1115	6.80
	38	VEDA VISION	H-1245	6.60
ASIASAT2 100.5°E	41	RTP	H-1170	6.60
	42	C-SPAN	V-1268	6.60
	43	CCTV-4	V-1185	6.60
	44	BUNEI	V-1510	6.60
APSTAR 134°E	45	CCTV-2	H-996	6.60
	46	CCTV-7	V-992	6.60
	47	V	H-1050	6.60
	48	CHINA-1	V-1070	6.60
	49	CETV-1	H-1168	6.60
	50	TV-1	V-1187	6.60
	51	CETV-2	H-1249	6.60
	52	CCTV-1	H-1285	6.60
	53	N	H-1128	6.60
	54	91	V-1070	6.60
	55	TN	V-1145	6.60

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



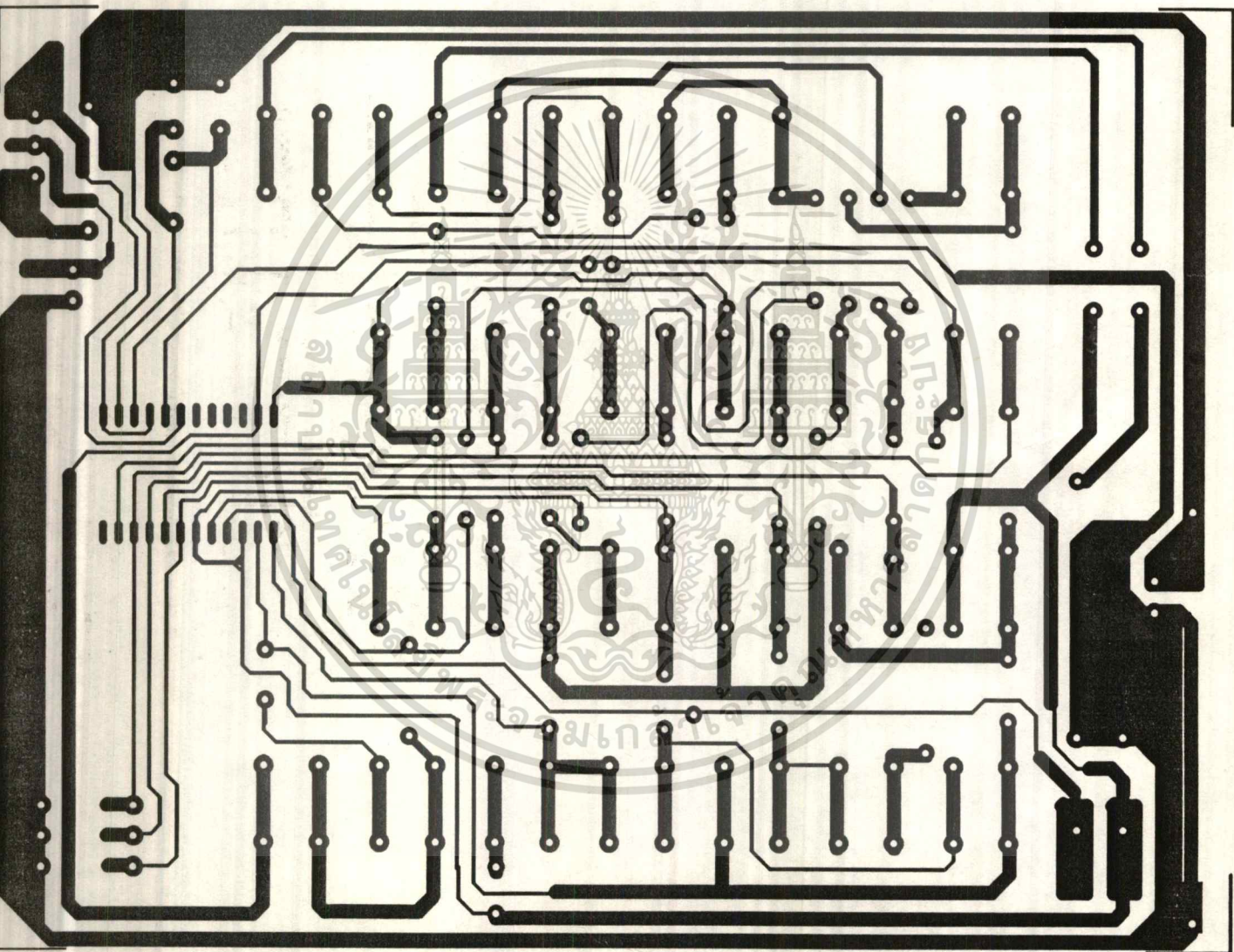
รูปแสดงลายทองแดงและการจัดวางอุปกรณ์บนแผ่นรีโมท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



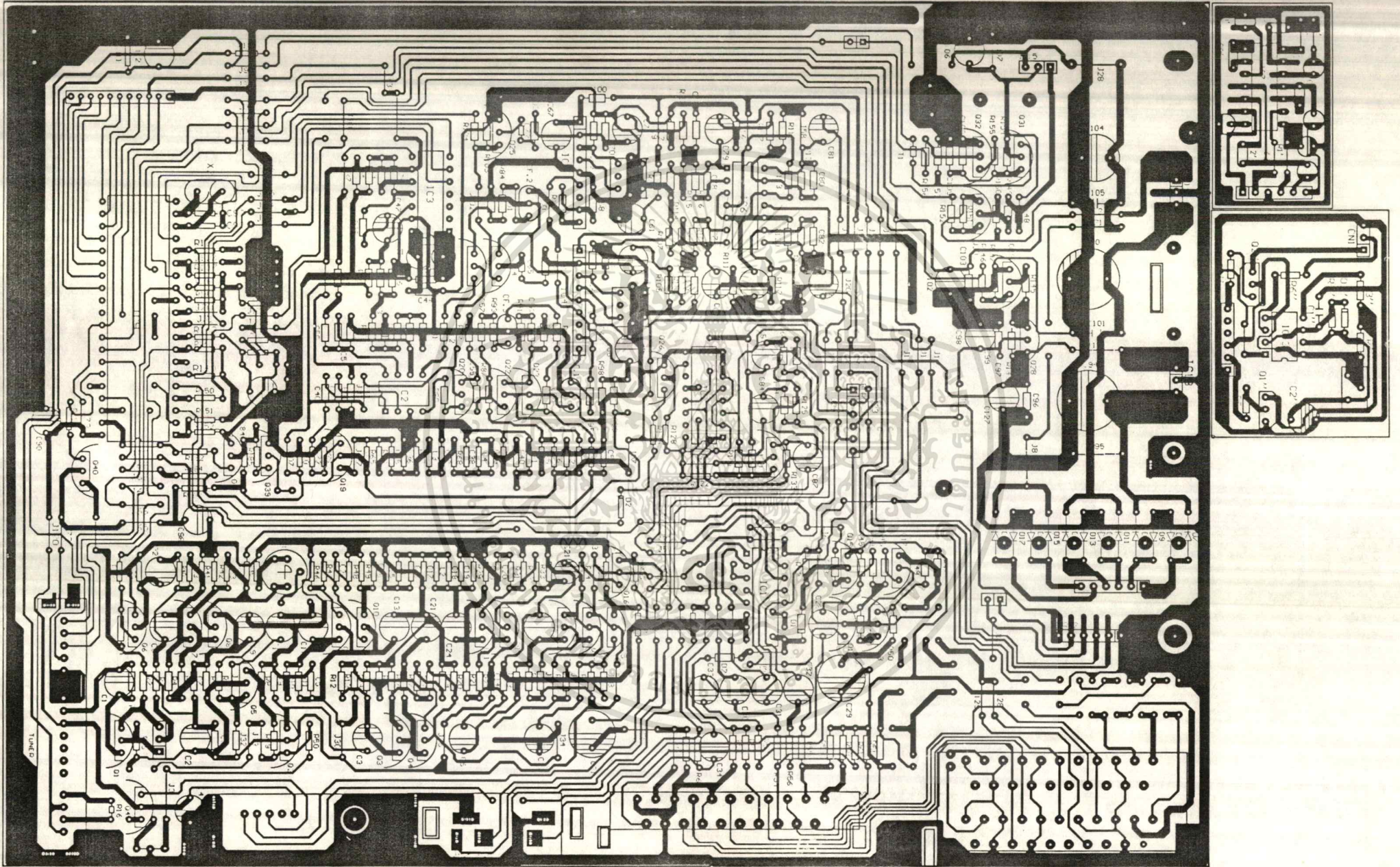
รูปแสดงการจัดวางอุปกรณ์บนแผ่นรีโมท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



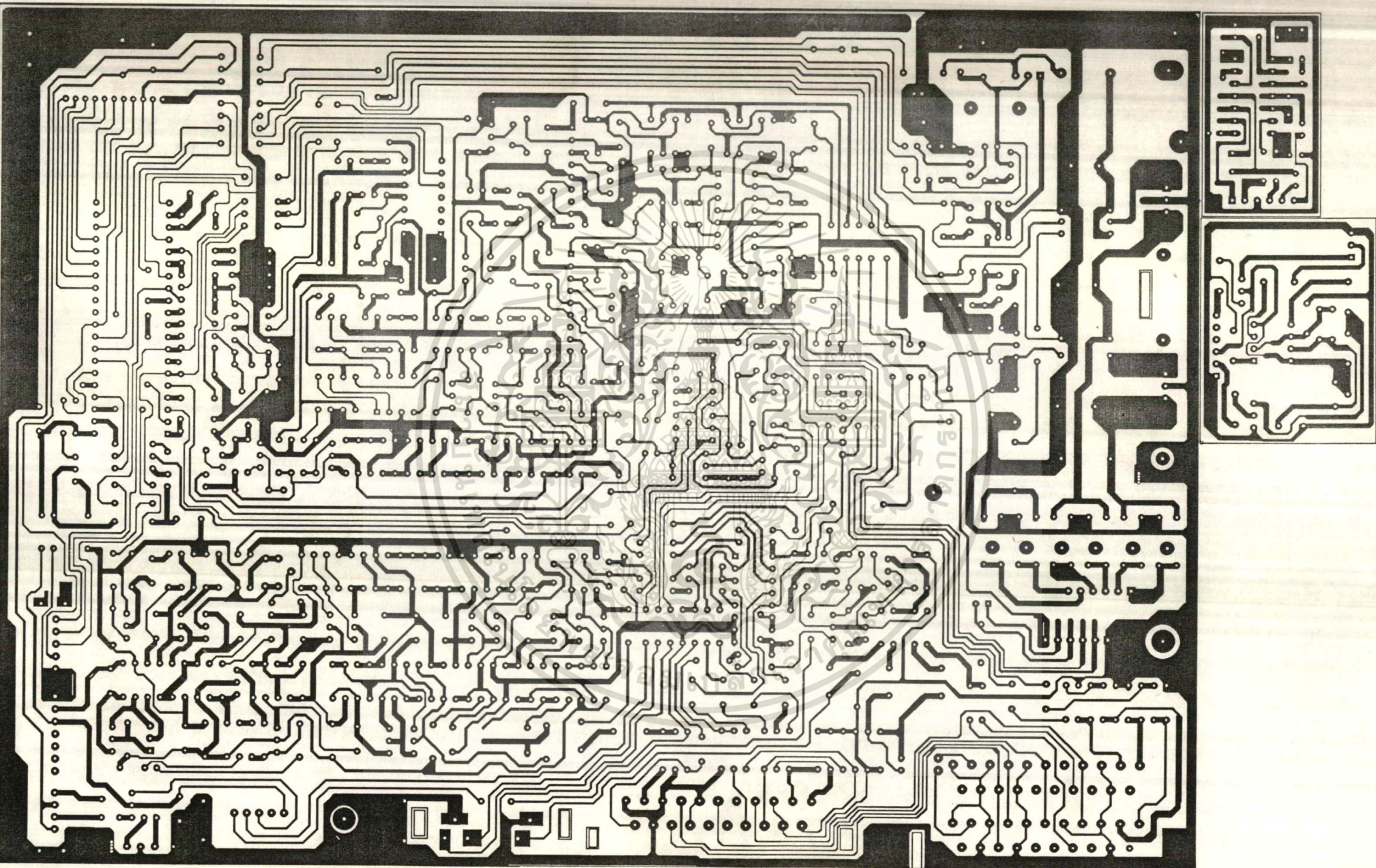
รูปแสดงลายทองแดงบนแผ่นรีโมท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

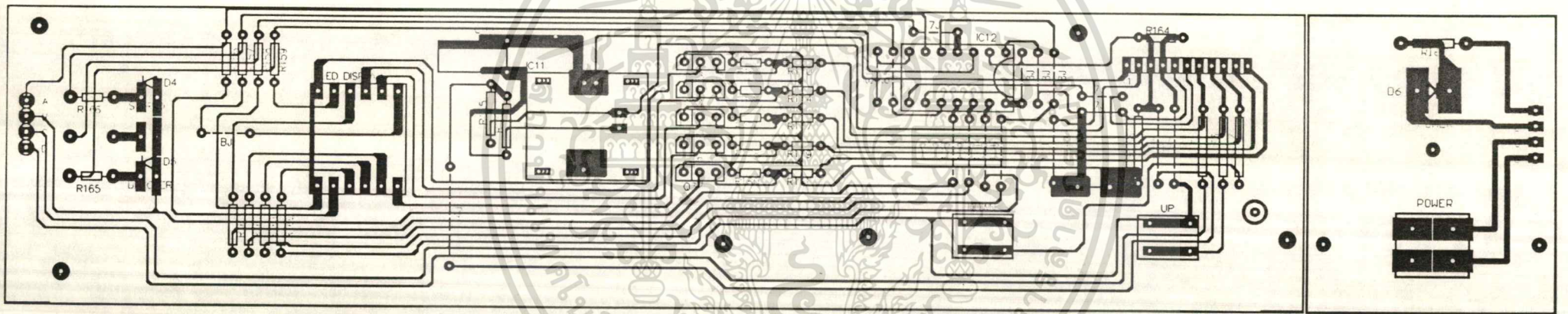


รูปแสดงลายทองแดงและการจัดวางอุปกรณ์บนแผ่นเมนบอร์ด





รูปแสดงลายทองแดงบนแผ่นเมนบอร์ด



รูปแสดงลายทองแดงและการจัดวางอุปกรณ์บนแผ่นส่วนหน้า

A  
B  
C  
D

R166

D4  
STEREO



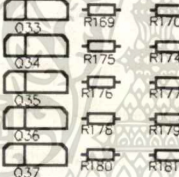
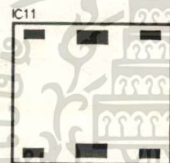
BJ

R165

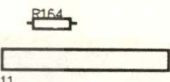
D5  
DECODER



14J



C110



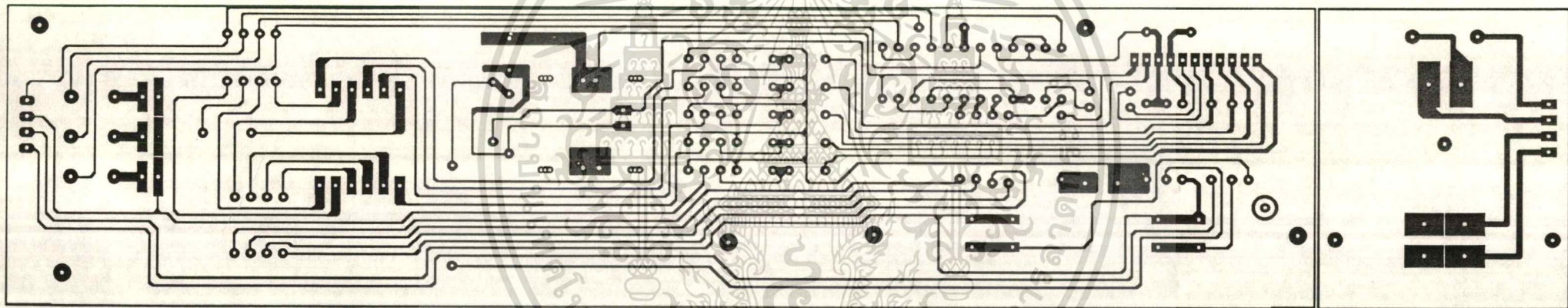
D6

POWER

POWER

A  
B  
C  
D

รูปแสดงการจัดวางอุปกรณ์บนแผ่นส่วนหน้า



รูปแสดงลายทองแดงบนแผ่นส่วนหน้า



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORG 0000H

; START AT 0000H

\*\*\*\*\*

; START PROGRAM \*

\*\*\*\*\*

CLR RS0

CLR RS1

CALL DEL

CALL DEL

CALL DEL

MOV DPTR,#PACTRL

MOV A,#88h

MOVX @DPTR,A

MOV DPTR,#PBCTRL

MOV A,#80H

MOVX @DPTR,A

START:

MOV DPTR,#DAMUX

MOV A,#0

MOVX @DPTR,A

MOV DPTR,#DSPA

MOV A,#0

MOVX @DPTR,A

MOV DPTR,#DSPB

MOV A,#0

MOVX @DPTR,A

MOV DPTR,#DSPC

MOV A,#0

MOVX @DPTR,A

MOV DPTR,#DSPD

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น

สงวนเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

MOV A,#3FH
MOVX @DPTR,A
;
GET:    CALL GETDA
        MOV A,R7
        CJNE A,#0AH,ENTK
        SJMP GET
ENTK:   CJNE A,#0BH,DAZE
        SJMP GET
DAZE:   CJNE A,#0,DAIN
        SJMP GET
DAIN:   CALL CODE
        MOV DPTR,#DSPD
        MOV A,R4
        MOVX @DPTR,A
LOOP1:  CALL GETDA
        MOV A,R7
        CJNE A,#0AH,ENTK1
        MOV DPTR,#DSPD
        MOVX A,@DPTR
        ORL A,#80H
        MOVX @DPTR,A
DO:     CALL GETDA
        MOV A,R7
        CJNE A,#0AH,ENTK1
        SJMP DO
ENTK1:  CJNE A,#0BH,CBNK
        JMP CHDAT
CBNK:   CALL CODE
        MOV DPTR,#DSPC
        MOVX A,@DPTR
        CJNE A,#0,BBNK

```

```
MOV DPTR,#DSPD
MOVX A,@DPTR
MOV DPTR,#DSPC
MOVX @DPTR,A
MOV R2,A
MOV DPTR,$DSPD
MOV A,R4
MOVX @DPTR,A
JMP LOOP1
```

BBNK:

```
MOV DPTR,#DSPB
MOVX A,@DPTR
CJNE A,#0,ABNK
MOV DPTR,#DSPC
MOVX A,@DPTR
MOV DPTR,#DSPB
MOVX @DPTR,A
MOV DPTR,#DSPD
MOVX A,@DPTR
MOV DPTR,#DSPC
MOVX @DPTR,A
MOV DPTR,#DSPD
MOV A,R4
MOVX @DPTR,A
JMP LOP1
```

ABNK:

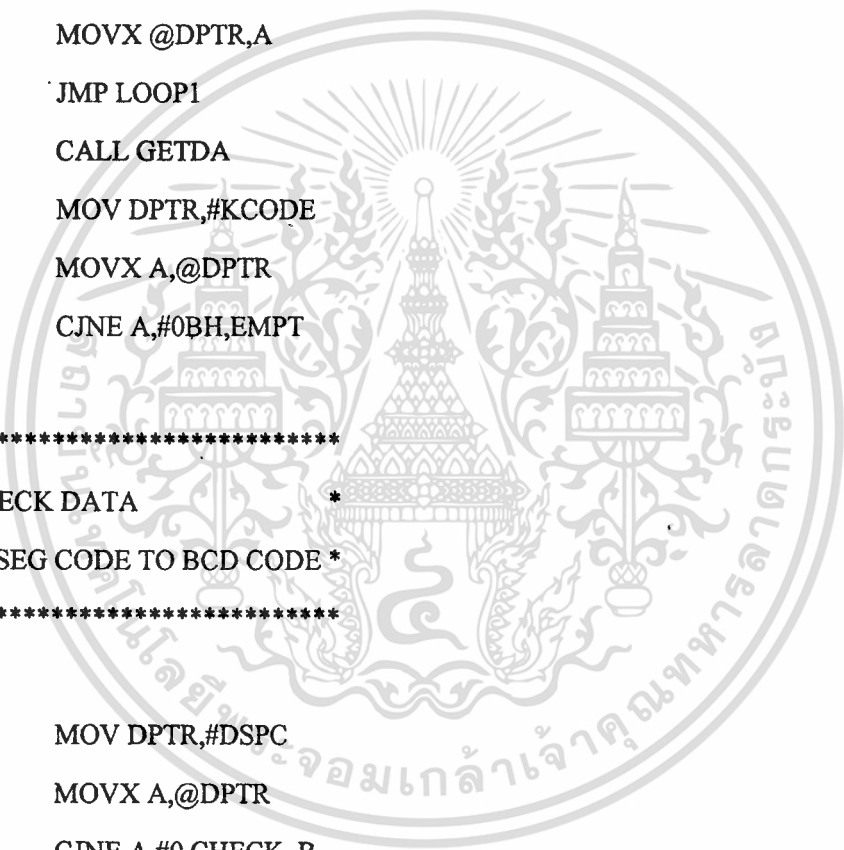
```
MOV DPTR,#DSPA
MOVX A,@DPTR
CJNE A,#0,EMPT
MOV DPTR,#DSPB
MOVX A,@DPTR
MOV DPTR,#DSPC
```

เอกสารนี้เป็นเอกสาร MOVX @DPTR,A ใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น MOV DPTR,#DSPC ปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

MOVX A,@DPTR
MOV DPTR,#DSPB
MOVX @DPTR,A
MOV DPTR,#DSPB
MOVX A,@DPTR
MOV DPTR,#DSPC
MOVX @DPTR,A
MOV DPTR,#DSPD
MOVX A,R4
MOVX @DPTR,A
JMP LOOP1
EMPT: CALL GETDA
MOV DPTR,#KCODE
MOVX A,@DPTR
CJNE A,#0BH,EMPT
;
;*****
; CHECK DATA *
;CHANGE SEG CODE TO BCD CODE *
;*****
;
CHDAT: MOV DPTR,#DSPC
MOVX A,@DPTR
CJNE A,#0,CHECK_B
CHECK_B MOV DPTR,#DSPB
MOVX A,@DPTR
CJNE A,#0,CHECK_A
MOV DPTR,#DSPC
MOVX A,@DPTR
ANL A,#80H ;CHECK DOT3
CJNE A,#80H,DT3BLK
DT3BLK: MOV DPTR,#DSPC

```



เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ของโรงเรียนเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ควรเผยแพร่ ทั้งสิ้น ยกเว้นที่โรงเรียนได้ขออนุญาตและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

MOVX A,@DPTR
MOV R3,A
CALL STOB
CJNE A,#3,HCARY1
MOV DPTR,#DSPD
MOVX A,@DPTR
MOV R3,A
CALL STOB

```

```

HCARY1:  MOV DPTR,#DSPC
          MOVX A,@DPTR
          MOV DPTR,#DSPA
          MOVX A,@DPTR
          MOV DPTR,#DSPD
          MOVX A,@DPTR
          ORL A,#80H
          MOV DPTR,#DSPB
          MOVX A,@DPTR
          MOV DPTR,#DSPC
          MOV A,#3FH
          MOVX A,@DPTR
          MOV DPTR,#DSPD
          MOVX A,@DPTR
          CALL SELV
          JMP LOOP1

```

```

CHCARY1: JC HCARY1

```

```

CHECK_A: JMP CHECLA

```

```

SELV:    CALL SCAND
          MOV DPTR,#DSPB
          MOVX A,@DPTR
          ANL A,#7FH

```

```

MOVX A,@DPTR

```

```

CALL VCO

```

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของสำนักงานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น ให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CALL DIVI
MOV DPTR,#DSPB
MOVX A,@DPTR
ORL A,#80H
MOVX A,@DPTR
CALL GETDA
MOV A,R7
CJNE A,#0AH,SEL1
JMP SELV
```

```
SEL1: CJNE A,#0AH,SEL2
```

```
JMP SELV
```

```
SEL2: CJNE A,#0,SEL3
```

```
JMP SELV
```

```
SEL3:
```

```
MOV R2,A
MOV DPTR,#DAMUX
MOV A,#0
MOVX @DPTR,A
MOV DPTR,#DSPB
MOVX @DPTR,A
MOV DPTR,#DSPC
MOVX @DPTR,A
MOV A,R2
CALL CODE
MOV DPTR,#DSPD
MOV A,R4
MOVX @DPTR,A
RET
```

```
;
```

```
CHECKA: MOV DPTR,#DSPA
```

```
MOVX A,@DPTR
```

```
CJNE A,#0,DA_ON
```

```
MOV DPTR,#DSPB
```

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ของสำนักงานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น หากมีข้อสงสัยหรือต้องการข้อมูลเพิ่มเติมและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
MOVX A,@DPTR
ANL A,#80H
CJNE A,#80H,DT2B
```

DT2B:

```
MOV DPTR,#DSPC
MOVX A,@DPTR
ANL A,#80H
MOV DPTR,#DSPB
MOVX A,@DPTR
MOV R3,A
CALL STOB
```

```
MOV DPTR,#DSPC
MOVX A,@DPTR
ANL A,#7FH
MOV R3,A
CALL STOB
MOV DPTR,#DSPD
MOVX A,@DPTR
MOVX A,@DPTR
MOV R3,A
CALL STOB
```

HCARY2:

```
MOV DPTR,#DSPB
MOVX A,@DPTR
MOV DPTR,#DSPA
MOVX A,@DPTR
MOV DPTR,#DSPC
MOVX A,@DPTR
MOV DPTR,#DSPB
MOVX @DPTR,A
MOV DPTR,#DSPD
MOVX A,@DPTR
```

```
MOV DPTR,#DSPC
```

```
MOVX @DPTR,A
```

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ที่มีการเปลี่ยนแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

MOV DPTR,#DSPD
MOV A,#3FH
MOVX @DPTR,A
CALL SELV
JMP START ;SENT TO CTRL DIVIDER PATR

```

```

CHCARY2: JC HCARY2
;

```

```

DA_ON: MOV DPTR,#DSPA
MOVX A,@DPTR
ANL A,#80H

```

```

CJNE A,#80H,DIRG1

```

```

DIRG1: MOV DPTR,#DSPC
MOVX A,@DPTR
ANL A,#80H

```

```

CJNE A,#80H,DIRG2

```

```

DIRG2: MOV DPTR,#DSPB
MOVX A,@DPTR
ANL A,#80H
;

```

```

;*****
; SEGCODE TO BCD CODE *
;*****
;

```

```

BCD: MOV DPTR,#DSPA
MOVX A,@DPTR
MOV R3,A
CALL STOB
MOV DPTR,#BCDA
MOVX @DPTR,A
MOV DPTR,#DSPB

```

เอกสารนี้เป็นเอกสาร MOVX A,@DPTR ใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ที่ MOV R3,A ห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

CALL STOB
MOV DPTR,#BCDB
MOVX @DPTR,A
MOV DPTR,#DSPC
MOVX A,@DPTR
MOV R3,A
CALL STOB
MOV DPTR,#BCDC
MOVX @DPTR,A
MOV DPTR,#DSPC
MOVX A,@DPTR
MOV R3,A
CALL STOB
MOV DPTR,#BCDD
MOVX @DPTR,A
RET

```

;

STOB:

```
MOV B,#0AH
```

```
MOV A,#0
```

```
MOV R4,#0
```

DATA2:

```
MOV R7,A
```

```
MOV DPTR,#DATBL
```

```
MOVC A,@A+DPTR
```

```
SUBB A,R3
```

```
CJNE A,#0,DATA1
```

```
MOV A,R4
```

```
MOV DPTR,#DIVITL
```

```
MOVC A,@A+DPTR
```

```
RET
```

DATA1:

```
MOV A,R7
```

```
INC A
```

```
INC R4
```

เอกสารนี้เป็นเอกสารที่จัดทำขึ้นไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ที่ INC R4 ห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CALL STOB
MOV DPTR,#BCDB
MOVX @DPTR,A
MOV DPTR,#DSPC
MOVX A,@DPTR
MOV R3,A
```

```
CALL STOB
MOV DPTR,#BCDC
MOVX @DPTR,A
MOV DPTR,#DSPC
MOVX A,@DPTR
MOV R3,A
```

```
CALL STOB
MOV DPTR,#BCDD
MOVX @DPTR,A
RET
```

```
;
STOB: MOV B,#0AH
```

```
MOV A,#0
MOV R4,#0
```

```
DATA2: MOV R7,A
MOV DPTR,#DATBL
MOVC A,@A+DPTR
SUBB A,R3
```

```
CJNE A,#0,DATA1
```

```
MOV A,R4
```

```
MOV DPTR,#DIVITL
```

```
MOVC A,@A+DPTR
```

```
RET
```

```
DATA1: MOV A,R7
```

```
INC A
```

```
INC R4
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DJNZ B,DATA2

SJMP BCD

;

\*\*\*\*\*

; DIVIDER DATA \*

\*\*\*\*\*

;

DIVI: CALL BCD

MOV DPTR,#BCDB

MOVX A,@DPTR

MOV R7,A

MOV DPTR,#BCDA

MOVX A,@DPTR

MOV R1,A

SWAP A

ORL A,R7

MOV DPTR,#DIVIA

MOVX @DPTR,A

MOV DPTR,#BCDA

MOV A,R1

MOVX @DPTR,A ;DIVI A

MOV DPTR,#BCDD

MOVX A,@DPTR

MOV R7,A

MOV DPTR,#BCDC

MOVX A,@DPTR

MOV R1,A

SWAP A

ORL A,R7

MOV DPTR,#DIVIB

MOVX @DPTR,A

RET

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของสำนักงานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;
;*****
; GET DATA *
;*****
```

```
GETDA: CALL SCAND
        CALL SCANK
        JC GETDA
        CALL REL
        CALL CODEC
        RET
```

```
VCO:   CALL BCD
        MOV DPTR,#BCDB
        MOVX A,@DPTR
        CJNE A,#2,LOW
        MOV DPTR,#BCDC
        MOVX A,@DPTR
        CJNE A,#4,LOW
        MOV DPTR,#BCDD
        MOVX A,@DPTR
        CJNE A,#9,LOW
```

```
;
;*****
; DATA TABLE *
;*****
```

```
BR:     DB 00H, 7CH, 50H, 06H
DAR:    DB 00H, 5EH, 77H, 50H
HOR:    DB 00H, 76H, 3FH, 50H
VER:    DB 00H, 1CH, 79H, 50H
AI:     DB 00H, 77H, 40H, 06H
```



เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์ของสำนักงานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
หากกรณีใดๆ ที่ DB 00H, 77H, 40H, 06H ใช้งานเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A2: DB 00H, 77H, 40H, 5BH  
 B1: DB 00H, 7CH, 40H, 06H  
 B2: DB 00H, 7CH, 40H, 5BH  
 NARR: DB 37H, 77H, 50H, 50H  
 WIDE: DB 7EH, 06H, 5EH, 79H  
 J17: DB 00H, 0EH, 06H, 07H  
 V0: DB 6DH, BFH, 07H, 6DH  
 V: DB 00H, 00H, 3EH, 00H  
 VV: DB 00H, 3EH, 40H, 3EH  
 DCDF: DB 5EH, 58H, 5EH, 71H  
 DCDO: DB 5EH, 58H, 5EH, 3FH  
 1: DB 06H  
 2: DB 5BH  
 3: DB 4FH  
 4: DB 66H  
 5: DB 6DH  
 6: DB 7DH  
 7: DB 07H  
 8: DB 7FH  
 9: DB 6FH  
 0: DB 3FH  
 1.: DB 86H  
 2.: DB DBH  
 5.: DB EDH  
 6.: DB FDH  
 7.: DB 87H  
 8.: DB FFH  
 0.: DB BFH  
 P: DB 73H  
 V: DB 1CH

H: DB 76H  
 เอกสารนี้เป็นเอกสารลิขสิทธิ์ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

*****
;
;   REMOTE   *
*****
;
;   MOV DPTR,#PSET           ; SET CONTROL REGISTER ADDRESS
;   MOV A,#80H
;   MOVX @DPTR,A            ; OUT THE CONTROL WORD TO 8051
;   MOV DPTR,#PORT2        ; SET UP PORT 2 ADDRESS
;   MOV 2AH,#00H           ; SET BUFFER OF PORT 2 TO #00H
;   MOV A,2AH
;   MOVX @DPTR,A           ; SET OUTPUT AT PORT 2
;   MOV R0,#0AH
;   MOV R1,#20H
REP:  MOV @R1,#0FFH         ; STORE #0FFH IN RAM
      INC R1
      DJNZ R0,REP
LEDPPM: MOV OLDCODE,#INVALID ; SET UP OLD CODE AS 63
CODELOOP: LCALL GETCODE     ; GET A CODE
          JC CODELOOP
          MOV A,CODE        ; PUT CODE IN A REG
          CJNE A,#ENCODE,STORE ; IF NOT END CODE,STORE & WAIT
          LCALL CHCODE
          LCALL OPORT
          JMP LEDPPM
STORE:  MOV OLDCODE,CODE    ; STORE A VALID CODE IN RAM
          JMP CODELOOP
; *****
; FUNC   OUT TO PORT 2     *
; INPUT  INRAM 2AH,2BH    *
; OUTPUT PORT 2           *
; REG    A                *
; *****
; OPORT: MOV A,2AH        ; STORE IN BUFFER OF PORT 2

```

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ของทางโรงเรียนเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 OPORT: มีได้ๆ ที่ MOV A,2AH ให้ตัดแปลงเนื้อหา; STORE IN BUFFER OF PORT 2 รังที่มีกรนำไปใช้

```

MOV DPTR,#PORT 2      ; SET UP PORT 2 ADDRESS
MOVX @DPTR,A          ; OUT PORT 2 WHEN SELECT CHANELL
RET

```

```

; *****

```

```

; FUNC      CHECK CODE      *
; INPUT     ADDR OLD CODE   *
; OUTPUT    INRAM 2AH,2BH   *
; REG       R0,R1,A        *

```

```

; *****

```

```

CHCODE:    MOV R0,#0AH

```

```

MOV R1,#20H

```

```

CHCODE:    MOV A,OLD CODE

```

```

CLR C

```

```

SUBB A,@R1      ; COMPARE OLD CODE WITH DATA IN RAM

```

```

JZ CHCODE      ; IF ZERO THEN # 0FFH IN RAM

```

```

INC R1

```

```

DJNZ R0,CHCODE0

```

```

LCALL GRAM

```

```

LCALL SBIT

```

```

JMP ENDCH

```

```

CHCODE1:    MOV @R1,#0FFH

```

```

LCALL CBIT

```

```

ENDCH:      RET

```

```

; *****

```

```

; FUNC      GET VALUE      *
; INPUT     ADDR OLD CODE   *
; OUTPUT    INRAM 20H-28H   *
; REG       R0,R1,A        *

```

```

; *****

```

```

GRAM:       MOV R0,#0AH

```

```

MOV R1,#20H

```

```

GRAM1:      CJNE @R1,#0FFH,GRAM2

```

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของสำนักงานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 โดทุก ๆ แห่ง

```

MOV A,OLDCODE
MOV @R1,A
JMP ENDRAM
GRAM2: INC R1
        DJNZ R0,GRAM1
ENDRAM: RET
; *****
; FUNC      SETBIT          *
; INPUT     -                *
; OUTPUT    ADDR IN RAM 2AH,2BH *
; REG       A                *
; *****
SBIT:     MOV A,OLDCODE
          CJNE A,#09H,SBIT1
          SETB 50H
          JMP ENDSBIT
SBIT1:    CJNE A,#89H,SBIT2
          SETB 52H
          JMP ENDSBIT
SBIT2:    CJNE A,#49H,SBIT3
          SETB 54H
          JMP ENDSBIT
SBIT3:    CJNE A,#C9H,SBIT4
          SETB 56H
          JMP ENDSBIT
SBIT4:    CJNE A,#29H,SBIT5
          SETB 58H
          JMP ENDSBIT
SBIT5:    CJNE A,#A9H,SBIT6
          SETB 59H
          JMP ENDSBIT
SBIT6:    CJNE A,#69H,SBIT7

```

เอกสารนี้เป็นเอกสารบริการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 SBIT6: รมณ์ใดๆ ที่ CJNE A,#69H,SBIT7 แปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SETB 5AH  
 JMP ENDSBIT  
 SBIT7: CJNE A,#E9H,SBIT8  
 SETB 5BH  
 JMP ENDSBIT  
 SBIT8: CJNE A,#19H,SBIT9  
 SETB 5CH  
 JMP ENDSBIT  
 SBIT9: CJNE A,#99H,UP  
 SETB 5DH  
 JMP ENDSBIT  
 UP: CJNE A,#F1H,DOWN  
 SETB 5FH  
 JMP ENDSBIT  
 DOWN: CJNE A,#71H,IFBW  
 SETB 60H  
 JMP ENDSBIT  
 IFBW: CJNE A,#11H,RECAL  
 SETB 61H  
 JMP ENDSBIT  
 RECAL: CJNE A,#F9H,SKEW  
 SETB 62H  
 JMP ENDSBIT  
 SKEW: CJNE A,#A1H,MEMO  
 SETB 63H  
 JMP ENDSBIT  
 MEMO: CJNE A,#E1H,PWR  
 SETB 64H  
 JMP ENDSBIT  
 PWR: CJNE A,#01H,VIDEO

SETB 65H

JMP ENDSBIT

เอกสารนี้เป็นเอกสารลิขสิทธิ์สงวนสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ที่ผู้จัดทำเอกสารให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

VIDEO:    CJNE A,#21H,HL
          SETB 66H
          JMP ENDSBIT
HL:       CJNE A,#51H,CLR
          SETB 67H
          JMP ENDSBIT
CLR:      CJNE A,#41H,LNB
          SETB 68H
          JMP ENDSBIT
LNB:      CJNE A,#D1H,AUDIO
          SETB 69H
          JMP ENDSBIT
AUDIO:    CJNE A,#91H,MUTE
          SETB 6AH
          JMP ENDSBIT
MUTE:     CJNE A,#59H,DEC
          SETB 6BH
          JMP ENDSBIT
DEC:      SETB 6CH
ENDSBIT:  RET

```

; \*\*\*\*\*

```

; FUNC      CLRBIT      *
; INPUT     -           *
; OUTPUT    ADDR INRAM 2AH,2BH *
; REG       A           *

```

; \*\*\*\*\*

```

CBIT:      MOVA,OLDPCODE
          CJNE A,#09H,CBIT1
          CLR 50H
          JMP ENDCBIT

```

```

CBIT1:     CJNE A,#89H,CBIT2
          CLR 52H

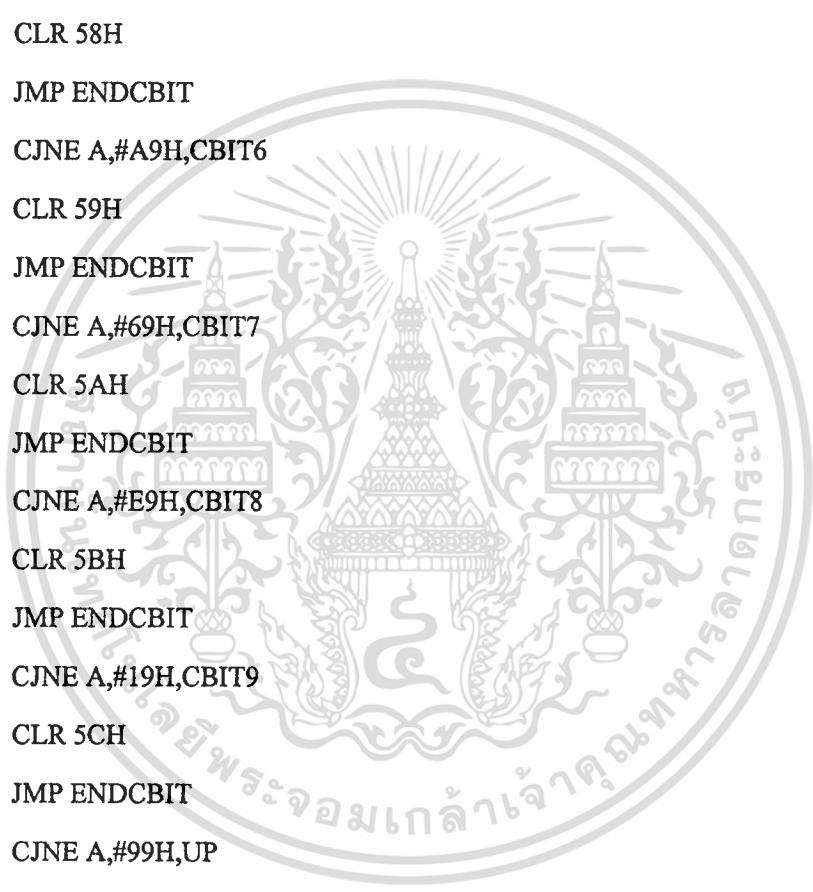
```

เอกสารนี้เป็นเอกสารลิขสิทธิ์สงวนลิขสิทธิ์ของสำนักงานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ที่ CLR 52H ห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

    JMP ENDCBIT
CBIT2:  CJNE A,#49H,CBIT3
        CLR 54H
        JMP ENDCBIT
CBIT3:  CJNE A,#C9H,CBIT4
        CLR 56H
        JMP ENDCBIT
CBIT4:  CJNE A,#29H,CBIT5
        CLR 58H
        JMP ENDCBIT
CBIT5:  CJNE A,#A9H,CBIT6
        CLR 59H
        JMP ENDCBIT
CBIT6:  CJNE A,#69H,CBIT7
        CLR 5AH
        JMP ENDCBIT
CBIT7:  CJNE A,#E9H,CBIT8
        CLR 5BH
        JMP ENDCBIT
CBIT8:  CJNE A,#19H,CBIT9
        CLR 5CH
        JMP ENDCBIT
CBIT9:  CJNE A,#99H,UP
        CLR 5DH
        JMP ENDCBIT
UP:     CJNE A,#F1H,DOWN
        CLR 5FH
        JMP ENDCBIT
DOWN:   CJNE A,#71H,IFBW
        CLR 60H
        JMP ENDCBIT
IFBW:   CJNE A,#11H,RECAL

```



เอกสารนี้เป็นเอกสารลิขสิทธิ์ของสถาบันพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
 IFBW: รัชนีใด ๆ ที่ CJNE A,#11H,RECAL ลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

CLR 61H
JMP ENDCBIT
RECAL: CJNE A,#F9H,SKEW
CLR 62H
JMP ENDCBIT
SKEW: CJNE A,#A1H,MEMO
CLR 63H
JMP ENDCBIT
MEMO: CJNE A,#E1H,PWR
CLR 64H
JMP ENDCBIT
PWR: CJNE A,#01H,VIDEO
CLR 65H
JMP ENDCBIT
VIDEO: CJNE A,#21H,HL
CLR 66H
JMP ENDCBIT
HL: CJNE A,#51H,CLR
CLR 67H
JMP ENDCBIT
CLR: CJNE A,#41H,LNB
CLR 68H
JMP ENDCBIT
LNB: CJNE A,#D1H,AUDIO
CLR 69H
JMP ENDCBIT
AUDIO: CJNE A,#91H,MUTE
CLR 6AH
JMP ENDCBIT
MUTE: CJNE A,#B9H,DEC
CLR 6BH
JMP ENDCBIT

```

เอกสารนี้เป็นเอกสารลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น หากต้องการให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEC: SETB 6CH

ENDBIT: RET

; END OF CODE LOOP ROUTINE

\*\*\*\*\*

; THIS ROUTINE RECEIVES THE NEXT VALID CODE. \*

; INVALID CODE GROUPS ARE IGNORED \*

\*\*\*\*\*

GETCODE EQU \$ ; WAIT FOR AGC BURST

WAITAGC: CALL SAMPLE ; GET THE VALUE AT INPUT PORT

CJNE A,#ZERO,WAITAGC ; WAIT UNTIL IT IS A 0

ONEWAIT: CALL SAMPLE ; GET ANOTHER VALUE

CJNE A,#ONE,ONEWAIT ; IF NOT ONE WAIT FOR A 1

MOV B,#1 ; SET DELAY TO 264  $\mu$ S

CALL WAIT ; AND WAIT FOR THAT TIME

CALL SAMPLE ; RE-TEST INPUT BIT

CJNE A,#ONE,WAITAGC ; IF NOT 1 FALSE AGC BURST.

MOV B,#3 ; SET UP FOR 3 \* 528  $\mu$ S

AFTERAGC: PUSH B ; SAVE ON STACK

MOV B,#2 ; SET DELAY TO 528  $\mu$ S

CALL WAIT ; AND WAIT FOR THAT TIME

CALL SAMPLE ; CHECK INPUT VALUE

POP B ; RECOVER COUNT VALUE

CJNE A,#ZERO,WAITAGC ; IF 1,FALSE WAIT AFTER AGC

DJNZ B,AFTERAGC ; CHECK IF DONE WITH WAIT

\*\*\*\*\*

; RECEIVE START BIT \*

\*\*\*\*\*

STARTBIT: CALL SAMPLE ; GET INPUT BIT

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรีให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ที่ MOV B,#1 ห้ามมิให้ดัดแปลงเนื้อหา; SET DELAY TO 264  $\mu$ S าสารทุกครั้งที่มีการนำไปใช้



```

CODEEND    RET                ; RETURN TO CALLER
; END OF CODEEND ROUTINE
;
; *****
; THIS ROUTINE RECEIVE A VALID PPM BIT          *
; CARRY IS SET IF THE PPM ENCODING IS NOT VALID *
; *****
READBIT:   CALL SAMPLE        ; GET INPUT VALUE
           MOV IN1,A          ; STORE IN IN1 REG
           MOV B,#2           ; WIAT ANOTHER 528 μS
           CALL WAIT          ; AND WAIT FOR THAT TIME
           CALL SAMPLE        ; GET ANOTHER SAMPLE
           CJNE A,IN1,GOODPCM ; IF 2 INPUT <>, GOOD PPM CODE
BADPPM:    SETB C              ; SET CARRY FLAG (BADPPM)
           JMP READEN         ; AND EXIT
GOODPPM:   CLR C              ; CLEAR CARRY FLAG
READEN:    RET                ; RETURN TO CALLER
;
; END OF READBIT ROUTINE
;
; *****
; THIS ROUTINE SAMPLES THE INPUT BIT          *
; *****
SAMPLE:    MOV A,INPORT       ; READ BYTE AT PORT C
           ANL A,#ONE         ; MASK OF OUR BIT
           RET                ; AND RETURN TO CALLER
;
; END OF SAMPLE ROUTINE
;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

; *****
; THIS ROUTINE DELAY 264 MICROSECONDS FOR EACH *
; COUNT IN THE B REGISTER *

```

```

; *****
WAIT:      PUSH B                ; SAVE B REG COUNT
DELAY264:  MOV B,#DELAYCNT      ; LOAD THIS DELAY COUNT VALUE
LOOP264:   DJNZ B,LOOP264       ; BURN UP CYCLES
          POP B                  ; RECOVER COUNTS
          DJNZ B,WAIT           ; IF NOT DONE WAIT MORE
          RET                    ; RETURN TO CALLER

```

```

; *****

```

```

;                MAIN *
; *****

```

```

; END OF WAIT ROUTINE

```

```

; *****

```

```

; SYSTEM EQUATES *

```

```

; REGISTER ALIASES *

```

```

; *****

```

```

IN1        EQU 18H              ; FIRST HALF PCM INPUT
CODE       EQU 19H              ; CURRENT CODE
OLDCODE    EQU 1FH              ; LAST CODE READ

```

```

; *****

```

```

; CONSTANTS *

```

```

; *****

```

```

ZERO       EQU 0                ; ZERO BIT VALUE

```

ONE นี้เป็นเอกส EQU 4 นไว้สำหรับการใช้งานเพื่อ; PORT 3, BIT 2 MASK VALUE ใช้ประโยชน์ด้านการค้า

DELAYCNT ที่ EQU 117 ห้ามมิให้ดัดแปลงเนื้อหา; 264 μS CONSTANTS เอกสารทุกครั้งที่มีการนำไปใช้

ENDCODE	EQU 62	; END CODE FROM TRANSMITTER
INVALID	EQU 63	; INVALID CODE SETTING
BOUNCE	EQU 20	;Set debounce delay to 20mS
KNEXT	EQU 50	;Set interval between keys to 50 ms
TDLAY	EQU 0ECH	;For 996 us time delay (222d)
NWKEY	DATA 20H	;Reserved byte for new key press
PACTRL:	EQU 0E0E3H	
PBCTRL:	EQU 0E0C3H	
DAKEY:	EQU 0E0E2H	
DADSP:	EQU 0E0E0H	
DSPSEL:	EQU 0E0E1H	
DIVIA:	EQU 0E0C2H	
DIVIB:	EQU 0E0C1H	
DAMUX:	EQU 0E0C0H	
B:	EQU 0F0H	
ACC:	EQU 0E0H	
PSW:	EQU 0D0H	
DPH:	EQU 83H	
DPL:	EQU 82H	
SP:	EQU 81H	
CY:	EQU 0D7H	
AC:	EQU 0D6H	
F0:	EQU 0D5H	
RS1:	EQU 0D4H	
RS0:	EQU 0D3H	
OV:	EQU 0D2H	
P:	EQU 0D0H	
TB8:	EQU 09BH	
RB8:	EQU 09AH	
IE1:	EQU 08BH	

IE0: กรณีนี้เป็นเอกสารสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

IT0: กรณีใดๆ ที่ EQU 088H ห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

P0:      EQU 80H
P1:      EQU 90H
P2:      EQU 0A0H
SP:      EQU 81H
;
; *****
; HARDWARE PORTS *
; *****
;
INPORT   EQU P3           ; MEMORY MAPPED INPUT PORT
; END OF GLOBAL EQUATES
; END OF LEDPPM PROGRAM
;
ZZZZ:    END
;
*****
; CHECK BIT *
*****
LOOP:
    ACALL SCAN           ; Wait until key pressed
    JZ     LOOP          ; If register A = 0; no key pressed
    ACALL CONVERT        ; Convert position to key value
    MOV    NMKEY,A       ; Save result in buffer
    MOV    A,#BOUNCE     ; Wait 20 mS
    ACALL DELAY1
    ACALL SCAN           ; See if a key still down
    JZ     LOOP          ; If not down, it must have been noise
    ACALL CONVERT        ; Convert position to key value
    CJNE  A,NWKEY,LOOP   ; Original key found
WAIT:
    ACALL SCAN           ; Now wait for all keys to go up
    JNZ   WAIT           ; Wait until register A = 0

```

เอกสารนี้เป็นเอกสารประกอบการใช้งานเพื่อการศึกษา  
 ไม่ว่ากรรมใดๆ ที่ JNZ WAIT ให้ตัดแปลงเนื้อหา; Wait until register A = 0 เอกสารทุกครั้งที่มีการนำไปใช้

```

MOV A,#KNEXT           ;Wait 50 mS
ACALLDELAY1
ACALLSCAN              ;Check keys and
JZ   WAIT              ;Loop until keys are up
SJMP $

```

```

;
;Subroutine: SCAN

```

```

;Function: Get the contents of P2 pins that are connected

```

```

; to the keys and checks for any zero bits.

```

```

; No check is made to see if more than one bit is low.
;

```

```

SCAN:

```

```

MOV P2,#11111111B     ;High all bits of P2

```

```

MOV A,P2              ;Get state of P2

```

```

INC A                 ;if all key up, A is now 0

```

```

RET

```

```

;Subroutine: CONVERT

```

```

;Function: Convert a zero bit pattern to an equivalent 0-9

```

```

; number in the register A. If more than one key is down,

```

```

; more significant bit will give a result.
;

```

```

CONVERT:

```

```

CLR A                 ;First key value = 00

```

```

JB P2.3,NXT1         ;Check bit for key down

```

```

SJMP DONE

```

```

NXT1: INC A           ;Next key value = 01

```

```

JB P2.4,NXT2         ;Check bit for key down

```

```

SJMP DONE

```

```

NXT2: INC A           ;Next key value = 02

```

เอกสารนี้เป็นเอกสาร JB P2.5,NXT3 รับการใช้งานเพื่อ ;Check bit for key down ตให้นำไปใช้ประโยชน์ด้านการค้า

SJMP กรณีใดๆ ที่ DONE ทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NXT3: INC A ;Next key value = 03

DONE: RET

;

;Subroutine: Delay1

;Function: This subroutine will delay the number of

; milliseconds expressed by the binary number, from

; 1 to 65,535, found in register A(LSB) and B(MSB)

; The call program loads the desired delay into

; register A and B and calls this subroutines.

; Loading zeroes into A and B results in an immediate

; return.

;

DELAY1:

PUSH 07H ;SAVE R7

PUSH ACC ;SAVE A REGISTER

ORL A,B ;TEST FOR A AND B EQUAL TO ZERO

CJNE A,#00H,OK ;RETURN IF ALL ZERO

POP ACC ;KEEP STACK BALANCED

POP 07H

SJMP FINL

OK:

MOV R7,#TDLAY ;INITIALINZE R7 (1 MACHINE CYCLE)

ONEMS:

NOP ;TUNE THE LOOP FOR 6 CYCLES

NOP ;THIS MAKES 2 CYCLES TOTAL

NOP ;3 CYCLES TOTAL (1 MACHINE CYCLE)

NOP ;4 CYCLES TOTAL (1 MACHINE CYCLE)

DJNZ R7,ONEMS ;COUNT R7 DOWN, 6 CYCLES TOTAL

;(2 MACHINE CYCLE)

;

;TOTAL DELAY IS 6 CYCLES (4.5 uS) x 222d = 999 uS เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

;ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NOP ;TUNE SUBROUTINE 0.75 uS MORE

;TOTAL DELAY IS 999.75 uS, WHICH IS AS CLOSE AS POSSIBLE FOR

;THE FREQUENCY USED (1000 uS = 400/3 CYCLES)

DJNZ ACC,OK ;COUNT A AND B DOWN AS ONE

CJNE A,B,BDOWN ;A = 00, COUNT B DOWN UNTIL = 00

SJMP FINL ;IF SO, THEN DELAY IS DONE

BDOWN:

DEC B ;COUNT B DOWN AND TIME AGAIN

SJMP OK

FINL:

POP 07H ;RESTORE R7 TO ORIGINAL VALUE

RET ;RETURN TO CALLING ROUTINES

END

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ค.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# LM117/LM217/LM317 3-terminal adjustable regulator

## general description

The LM117/LM217/LM317 are adjustable 3-terminal positive voltage regulators capable of supplying in excess of 1.5A over a 1.2V to 37V output range. They are exceptionally easy to use and require only two external resistors to set the output voltage. Further, both line and load regulation are better than standard fixed regulators. Also, the LM117 is packaged in standard transistor packages which are easily mounted and handled.

In addition to higher performance than fixed regulators, the LM117 series offers full overload protection available only in IC's. Included on the chip are current limit, thermal overload protection and safe area protection. All overload protection circuitry remains fully functional even if the adjustment terminal is disconnected.

## features

- Adjustable output down to 1.2V
- Guaranteed 1.5A output current
- Line regulation typically 0.01%/V
- Load regulation typically 0.1%
- Current limit constant with temperature
- 100% electrical burn-in
- Eliminates the need to stock many voltages
- Standard 3-lead transistor package
- 80 dB ripple rejection

Normally, no capacitors are needed unless the device is situated far from the input filter capacitors in which

case an input bypass is needed. An optional output capacitor can be added to improve transient response. The adjustment terminal can be bypassed to achieve very high ripple rejections ratios which are difficult to achieve with standard 3-terminal regulators.

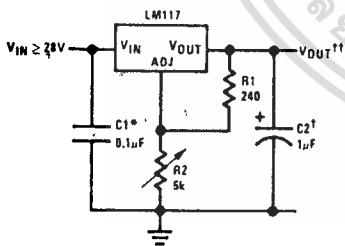
Besides replacing fixed regulators, the LM117 is useful in a wide variety of other applications. Since the regulator is "floating" and sees only the input-to-output differential voltage, supplies of several hundred volts can be regulated as long as the maximum input to output differential is not exceeded.

Also, it makes an especially simple adjustable switching regulator, a programmable output regulator, or by connecting a fixed resistor between the adjustment and output, the LM117 can be used as a precision current regulator. Supplies with electronic shutdown can be achieved by clamping the adjustment terminal to ground which programs the output to 1.2V where most loads draw little current.

The LM117K, LM217K and LM317K are packaged in standard TO-3 transistor packages while the LM117H, LM217H and LM317H are packaged in a solid Kovar base TO-5 transistor package. The LM117 is rated for operation from -55°C to +150°C, the LM217 from -25°C to +150°C and the LM317 from 0°C to +125°C. The LM317T, rated for operation over a 0°C to +125°C range is available in a TO-220 plastic package.

## typical applications

1.2V-25V Adjustable Regulator

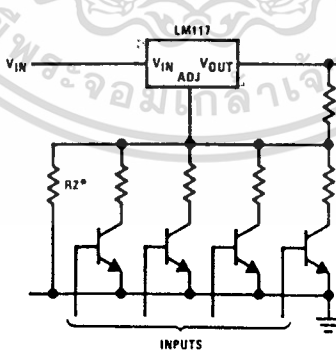


† Optional—improves transient response

\* Needed if device is far from filter capacitors

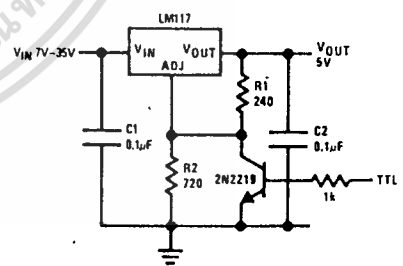
$$\dagger\dagger V_{OUT} = 1.25V \left( 1 + \frac{R2}{R1} \right)$$

Digitally Selected Outputs



\* Sets maximum V<sub>OUT</sub>

5V Logic Regulator with Electronic Shutdown\*



\* Min output ≈ 1.2V

# absolute maximum ratings

Power Dissipation	Internally limited
Input-Output Voltage Differential	40V
Operating Junction Temperature Range	
LM117	-55°C to +150°C
LM217	-25°C to +150°C
LM317	0°C to +125°C
Storage Temperature	-65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

## electrical characteristics (Note 1)

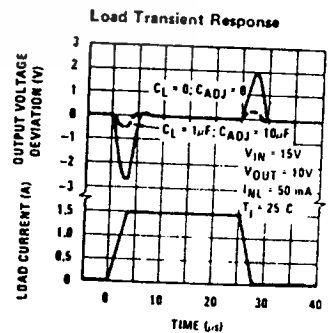
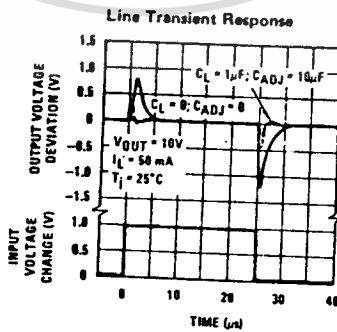
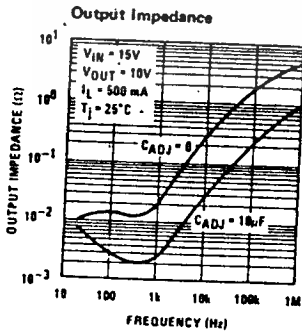
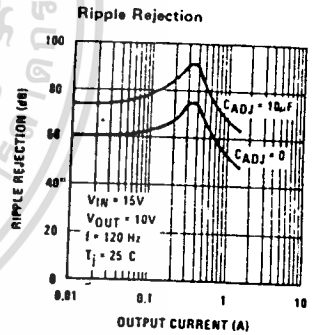
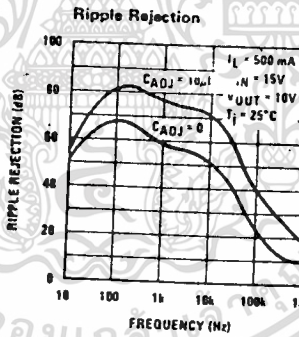
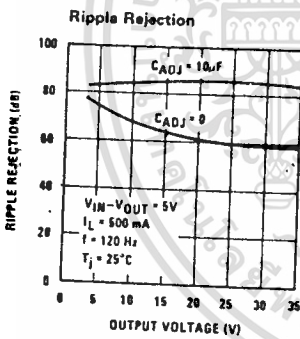
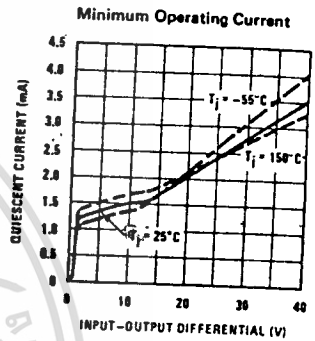
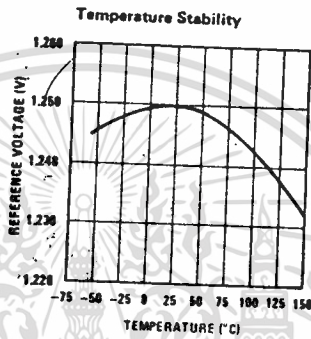
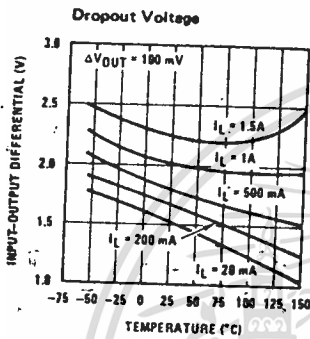
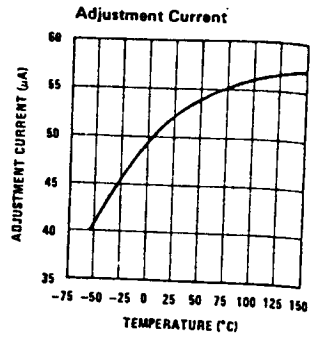
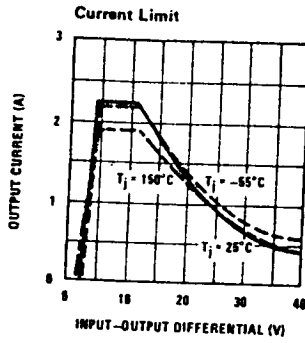
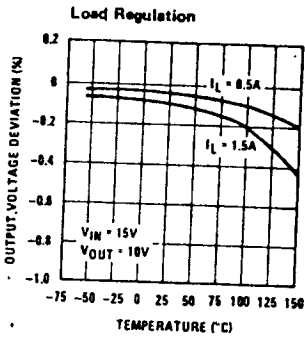
PARAMETER	CONDITIONS	LM117/217			LM317			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Line Regulation	$T_A = 25^\circ\text{C}$ , $3\text{V} \leq V_{\text{IN}} - V_{\text{OUT}} \leq 40\text{V}$ (Note 2)		0.01	0.02		0.01	0.04	%/V
Load Regulation	$T_A = 25^\circ\text{C}$ , $10\text{mA} \leq I_{\text{OUT}} \leq I_{\text{MAX}}$ $V_{\text{OUT}} \leq 5\text{V}$ , (Note 2) $V_{\text{OUT}} \geq 5\text{V}$ , (Note 2)		5	15		5	25	mV
			0.1	0.3		0.1	0.5	%
Adjustment Pin Current			50	100		50	100	$\mu\text{A}$
Adjustment Pin Current Change	$10\text{mA} \leq I_L \leq I_{\text{MAX}}$ $2.5\text{V} \leq (V_{\text{IN}} - V_{\text{OUT}}) \leq 40\text{V}$		0.2	5		0.2	5	$\mu\text{A}$
Reference Voltage	$3 \leq (V_{\text{IN}} - V_{\text{OUT}}) \leq 40\text{V}$ , (Note 3) $10\text{mA} \leq I_{\text{OUT}} \leq I_{\text{MAX}}$ , $P \leq P_{\text{MAX}}$	1.20	1.25	1.30	1.20	1.25	1.30	V
Line Regulation	$3\text{V} \leq V_{\text{IN}} - V_{\text{OUT}} \leq 40\text{V}$ , (Note 2)		0.02	0.05		0.02	0.07	%/V
Load Regulation	$10\text{mA} \leq I_{\text{OUT}} \leq I_{\text{MAX}}$ , (Note 2) $V_{\text{OUT}} \leq 5\text{V}$ $V_{\text{OUT}} \geq 5\text{V}$		20	50		20	70	mV
			0.3	1		0.3	1.5	%
Temperature Stability	$T_{\text{MIN}} \leq T_j \leq T_{\text{MAX}}$		1			1		%
Minimum Load Current	$V_{\text{IN}} - V_{\text{OUT}} = 40\text{V}$		3.5	5		3.5	10	mA
Current Limit	$V_{\text{IN}} - V_{\text{OUT}} \leq 15\text{V}$ K and T Package		1.5	2.2		1.5	2.2	A
			0.5	0.8		0.5	0.8	A
	$V_{\text{IN}} - V_{\text{OUT}} = 40\text{V}$ K and T Package			0.4			0.4	A
				0.07			0.07	A
RMS Output Noise, % of $V_{\text{OUT}}$	$T_A = 25^\circ\text{C}$ , $10\text{Hz} \leq f \leq 10\text{kHz}$		0.003			0.003		%
Ripple Rejection Ratio	$V_{\text{OUT}} = 10\text{V}$ , $f = 120\text{Hz}$ $C_{\text{ADJ}} = 10\mu\text{F}$		65			65		dB
			66	80		66	80	dB
Long-Term Stability	$T_A = 125^\circ\text{C}$		0.3	1		0.3	1	%
Thermal Resistance, Junction to Case	H Package		12	15		12	15	$^\circ\text{C/W}$
	K Package		2.3	3		2.3	3	$^\circ\text{C/W}$
	T Package					5		$^\circ\text{C/W}$
	P Package					12		$^\circ\text{C/W}$

Note 1: Unless otherwise specified, these specifications apply  $-55^\circ\text{C} \leq T_j \leq +150^\circ\text{C}$  for the LM117,  $-25^\circ\text{C} \leq T_j \leq +150^\circ\text{C}$  for the LM217 and  $0^\circ\text{C} \leq T_j \leq +125^\circ\text{C}$  for the LM317;  $V_{\text{IN}} - V_{\text{OUT}} = 5\text{V}$  and  $I_{\text{OUT}} = 0.1\text{A}$  for the TO-5 package and  $I_{\text{OUT}} = 0.5\text{A}$  for the TO-3 package and TO-220 package. Although power dissipation is internally limited, these specifications are applicable for power dissipations of 2W for the TO-5 and 20W for the TO-3 and TO-220.  $I_{\text{MAX}}$  is 1.5A for the TO-3 and TO-220 package and 0.5A for the TO-5 package.

Note 2: Regulation is measured at constant junction temperature. Changes in output voltage due to heating effects must be taken into account separately. Pulse testing with low duty cycle is used.

Note 3: Selected devices with tight tolerance reference voltage available.

# typical performance characteristics (K and T Packages)



## application hints

In operation, the LM117 develops a nominal 1.25V reference voltage,  $V_{REF}$ , between the output and adjustment terminal. The reference voltage is impressed across program resistor  $R_1$  and, since the voltage is constant, a constant current  $I_1$  then flows through the output set resistor  $R_2$ , giving an output voltage of

$$V_{OUT} = V_{REF} \left( 1 + \frac{R_2}{R_1} \right) + I_{ADJ} R_2$$

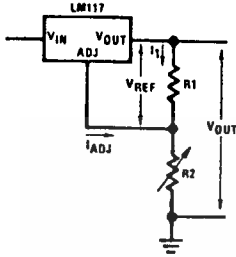


FIGURE 1.

Since the 100 $\mu$ A current from the adjustment terminal represents an error term, the LM117 was designed to minimize  $I_{ADJ}$  and make it very constant with line and load changes. To do this, all quiescent operating current is returned to the output establishing a minimum load current requirement. If there is insufficient load on the output, the output will rise.

### External Capacitors

An input bypass capacitor is recommended. A 0.1 $\mu$ F disc or 1 $\mu$ F solid tantalum on the input is suitable input bypassing for almost all applications. The device is more sensitive to the absence of input bypassing when adjustment or output capacitors are used but the above values will eliminate the possibility of problems.

The adjustment terminal can be bypassed to ground on the LM117 to improve ripple rejection. This bypass capacitor prevents ripple from being amplified as the output voltage is increased. With a 10 $\mu$ F bypass capacitor 80 dB ripple rejection is obtainable at any output level. Increases over 10 $\mu$ F do not appreciably improve the ripple rejection at frequencies above 120 Hz. If the bypass capacitor is used, it is sometimes necessary to include protection diodes to prevent the capacitor from discharging through internal low current paths and damaging the device.

In general, the best type of capacitors to use are solid tantalum. Solid tantalum capacitors have low impedance even at high frequencies. Depending upon capacitor construction, it takes about 25 $\mu$ F in aluminum electrolytic to equal 1 $\mu$ F solid tantalum at high frequencies. Ceramic capacitors are also good at high frequencies; but some types have a large decrease in capacitance at frequencies around 0.5 MHz. For this reason, 0.01 $\mu$ F disc may seem to work better than a 0.1 $\mu$ F disc as a bypass.

Although the LM117 is stable with no output capacitors, like any feedback circuit, certain values of external capacitance can cause excessive ringing. This occurs with values between 500 pF and 5000 pF. A 1 $\mu$ F solid tantalum (or 25 $\mu$ F aluminum electrolytic) on the output swamps this effect and insures stability.

### Load Regulation

The LM117 is capable of providing extremely good load regulation but a few precautions are needed to obtain maximum performance. The current set resistor connected between the adjustment terminal and the output terminal (usually 240 $\Omega$ ) should be tied directly to the output of the regulator rather than near the load. This eliminates line drops from appearing effectively in series with the reference and degrading regulation. For example, a 15V regulator with 0.05 $\Omega$  resistance between the regulator and load will have a load regulation due to line resistance of  $0.05\Omega \times I_L$ . If the set resistor is connected near the load the effective line resistance will be  $0.05\Omega (1 + R_2/R_1)$  or in this case, 11.5 times worse.

Figure 2 shows the effect of resistance between the regulator and 240 $\Omega$  set resistor.

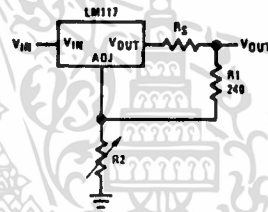


FIGURE 2. Regulator with Line Resistance in Output Lead

With the TO-3 package, it is easy to minimize the resistance from the case to the set resistor, by using two separate leads to the case. However, with the TO-5 package, care should be taken to minimize the wire length of the output lead. The ground of  $R_2$  can be returned near the ground of the load to provide remote ground sensing and improve load regulation.

### Protection Diodes

When external capacitors are used with any IC regulator it is sometimes necessary to add protection diodes to prevent the capacitors from discharging through low current points into the regulator. Most 10 $\mu$ F capacitors have low enough internal series resistance to deliver 20A spikes when shorted. Although the surge is short, there is enough energy to damage parts of the IC.

When an output capacitor is connected to a regulator and the input is shorted, the output capacitor will discharge into the output of the regulator. The discharge

current depends on the value of the capacitor, the output voltage of the regulator, and the rate of decrease of  $V_{IN}$ . In the LM117, this discharge path is through a large junction that is able to sustain 15A surge with no problem. This is not true of other types of positive regulators. For output capacitors of  $25\mu\text{F}$  or less, there is no need to use diodes.

occurs when *either* the input or output is shorted. Internal to the LM117 is a  $50\Omega$  resistor which limits the peak discharge current. No protection is needed for output voltages of 25V or less and  $10\mu\text{F}$  capacitance. *Figure 3* shows an LM117 with protection diodes included for use with outputs greater than 25V and high values of output capacitance.

The bypass capacitor on the adjustment terminal can discharge through a low current junction. Discharge

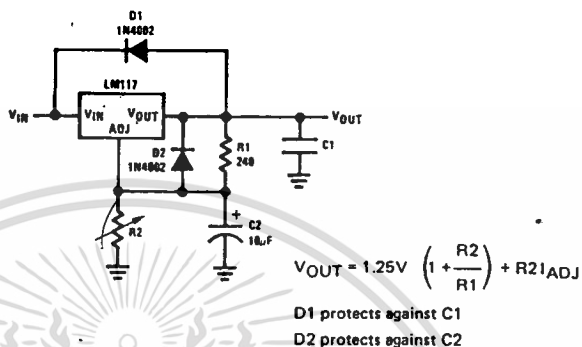
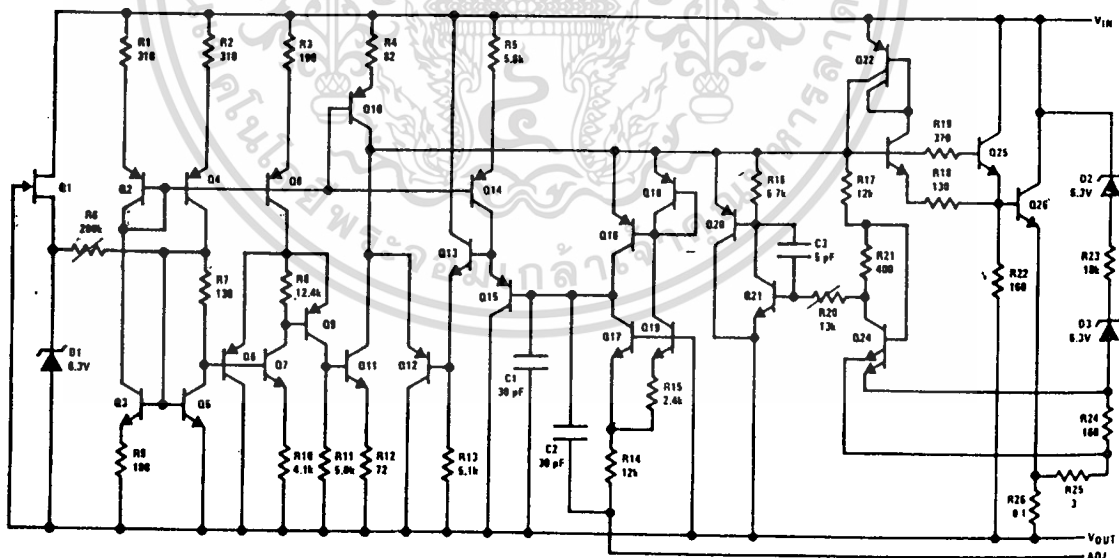


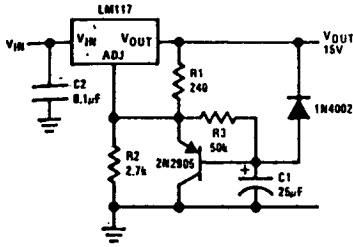
FIGURE 3. Regulator with Protection Diodes

schematic diagram

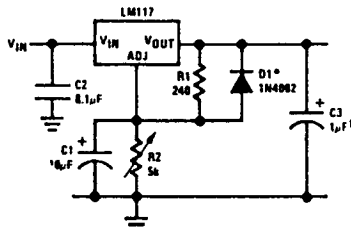


typical applications (con't)

Slow Turn-On 15V Regulator

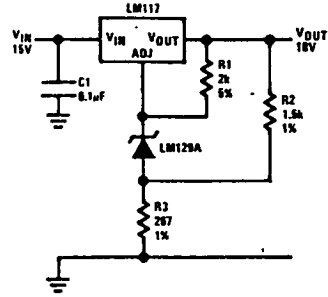


Adjustable Regulator with Improved Ripple Rejection

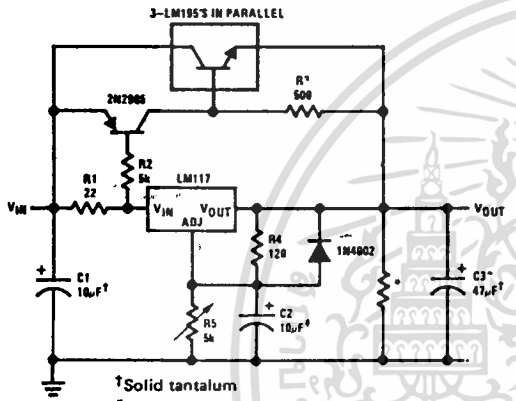


†Solid tantalum  
\*Discharges C1 if output is shorted to ground

High Stability 10V Regulator

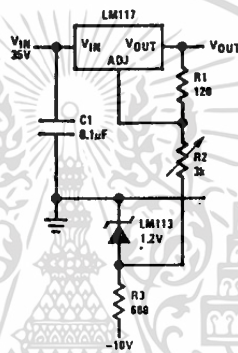


High Current Adjustable Regulator

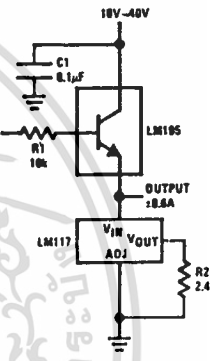


†Solid tantalum  
\*Minimum load current = 30 mA  
‡Optional—improves ripple rejection

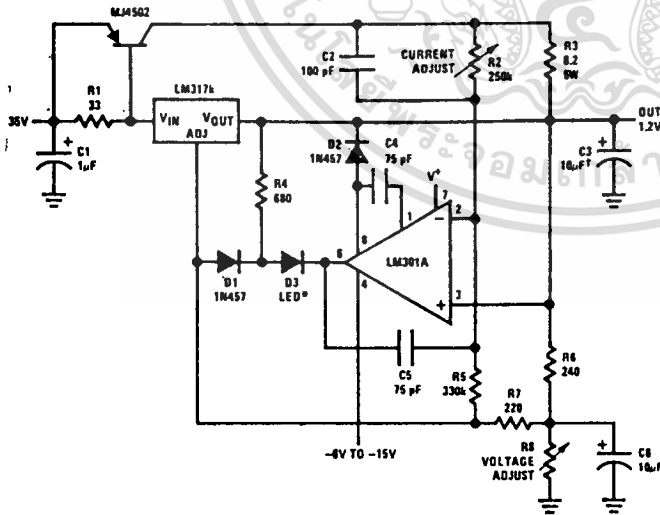
0 to 30V Regulator



Power Follower

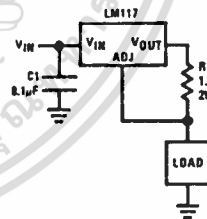


5A Constant Voltage/Constant Current Regulator

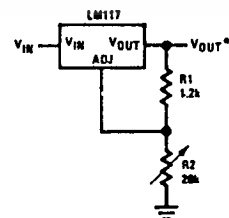


†Solid tantalum  
\*Lights in constant current mode

1A Current Regulator



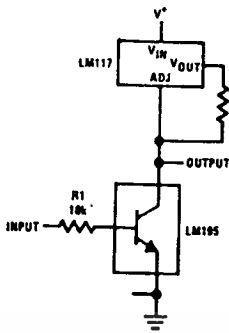
1.2V-20V Regulator with Minimum Program Current



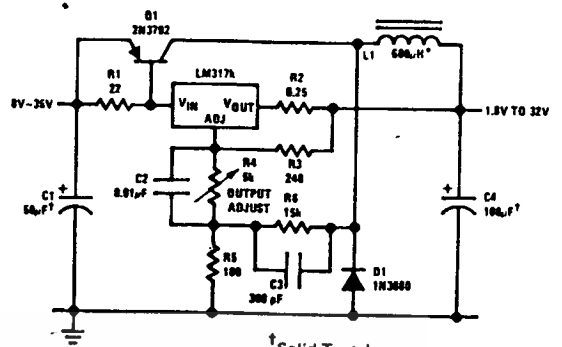
\*Minimum load current ≈ 4 mA

# typical applications (con't)

High Gain Amplifier



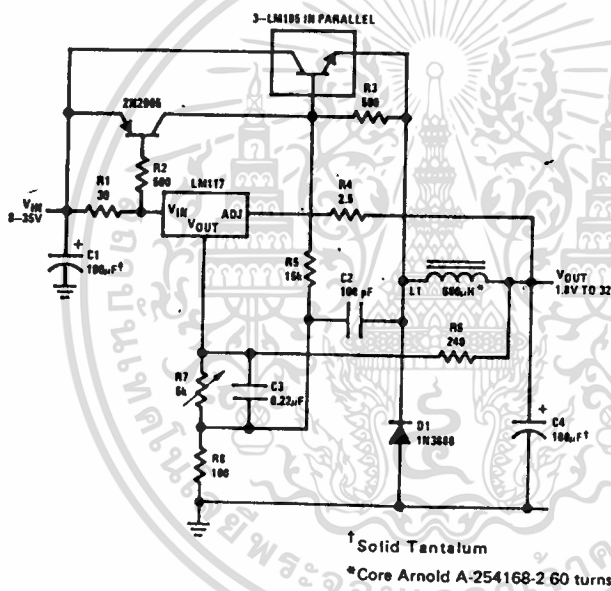
Low Cost 3A Switching Regulator



† Solid Tantalum

\*Core-Arnold A-254168-2 60 turns

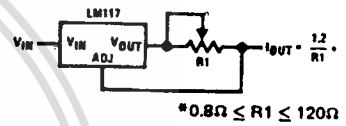
4A Switching Regulator with Overload Protection



† Solid Tantalum

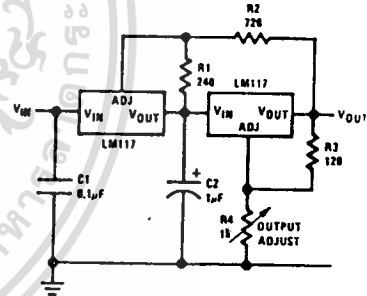
\*Core Arnold A-254168-2 60 turns

Precision Current Limiter

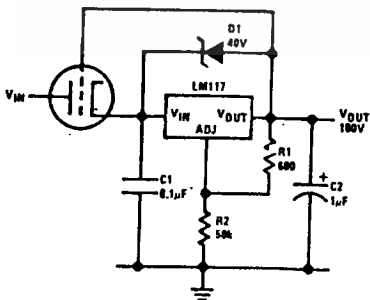


\*0.8Ω ≤ R1 ≤ 120Ω

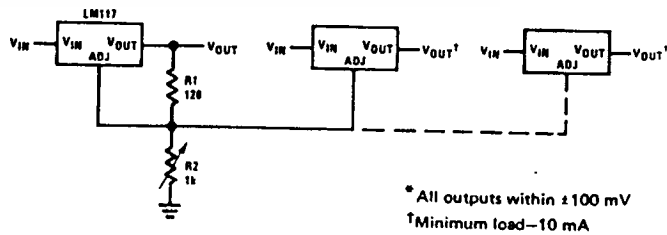
Tracking Preregulator



High Voltage Regulator



Adjusting Multiple On-Card Regulators with Single Control\*

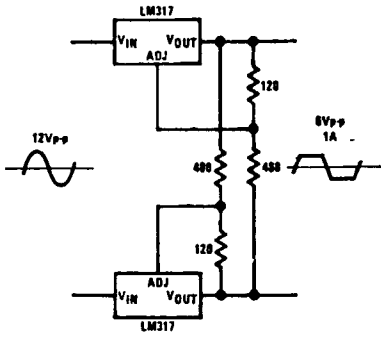


\* All outputs within ±100 mV  
† Minimum load—10 mA

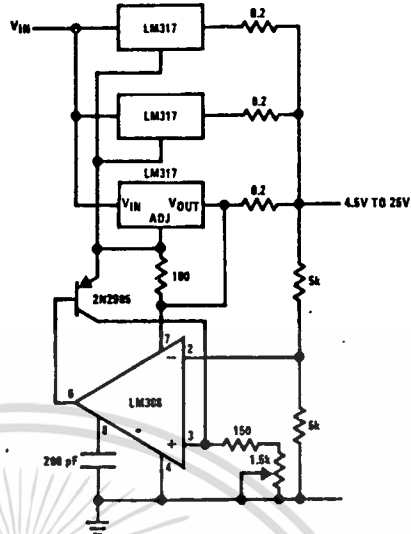
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# typical applications (con't)

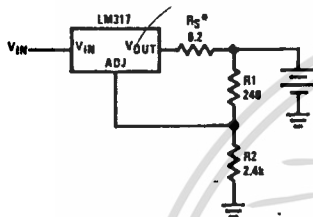
AC Voltage Regulator



Adjustable 4A Regulator

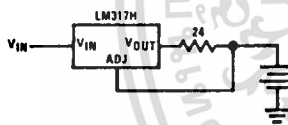


12V Battery Charger

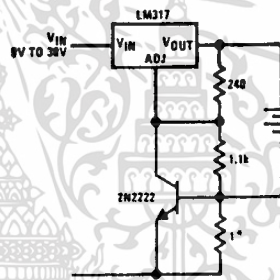


\*R<sub>S</sub> sets output impedance of charger Z<sub>OUT</sub> = R<sub>S</sub> (1 + R<sub>2</sub>/R<sub>1</sub>)  
Use of R<sub>S</sub> allows low charging rates with fully charged battery.

50 mA Constant Current Battery Charger



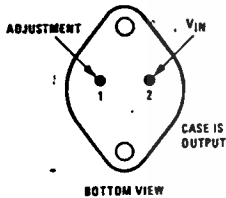
Current Limited 6V Charger



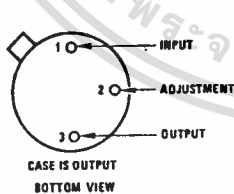
\*Sets peak current (0.6A for 1Ω)

## connection diagrams

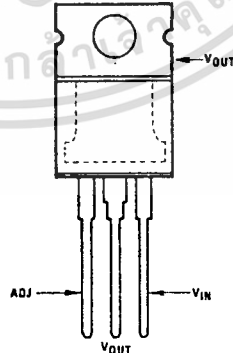
Metal Can Package



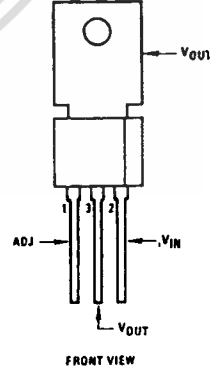
Metal Can Package



Plastic Package



Plastic Package



Order Number LM117K, LM217K or LM317K  
See Package 18

Order Number LM117H, LM217H or LM317H  
See Package 9

Order Number LM317T  
See Package 26

Order Number LM317P  
See Package 37

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# LINEAR INTEGRATED CIRCUITS

# TYPES SN52555, SN72555 PRECISION TIMERS

BULLETIN NO. DL-S 7312053, SEPTEMBER 1973

- Timing from Microseconds to Hours
- Astable or Monostable Operation
- Adjustable Duty Cycle
- Up to 200-mA Sink or Source Output Current
- TTL Compatible Output
- Designed to be Interchangeable with Signetics SE555/NE555

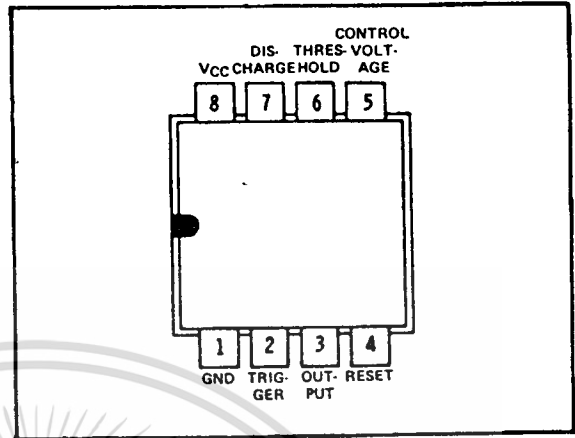
## description

The SN52555 and SN72555 are monolithic timing circuits capable of producing accurate time delays or oscillation. In the time-delay or monostable mode of operation, the timed interval is controlled by a single external resistor and capacitor network. In the astable mode of operation, the frequency and duty cycle may be independently controlled with two external resistors and a single external capacitor.

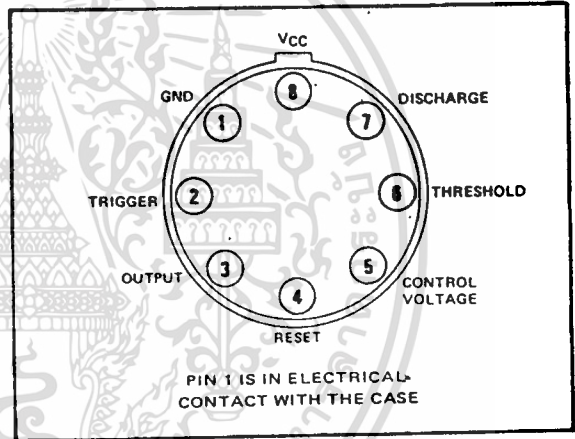
The threshold and trigger levels are normally two-thirds and one-third, respectively, of  $V_{CC}$ . These levels can be altered by use of the control voltage terminal. When the trigger input falls below the trigger level, the flip-flop is set and the output goes high. When the threshold input rises above the threshold level, the flip-flop is reset and the output goes low. The reset input can override all other inputs and can be used to initiate a new timing cycle. When the reset input goes low, the flip-flop is reset and the output goes low. When the output is low, a low-impedance path is provided between the discharge terminal and ground.

The output circuit is capable of sinking or sourcing current up to 200 milliamperes. Operation is specified for supplies of 5 to 15 volts. With a 5-volt supply, output levels are compatible with TTL inputs.

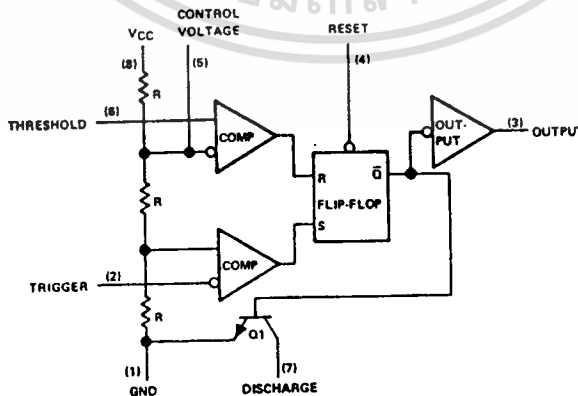
JP OR P DUAL-IN-LINE PACKAGE  
(TOP VIEW)



L PLUG-IN PACKAGE  
(TOP VIEW)

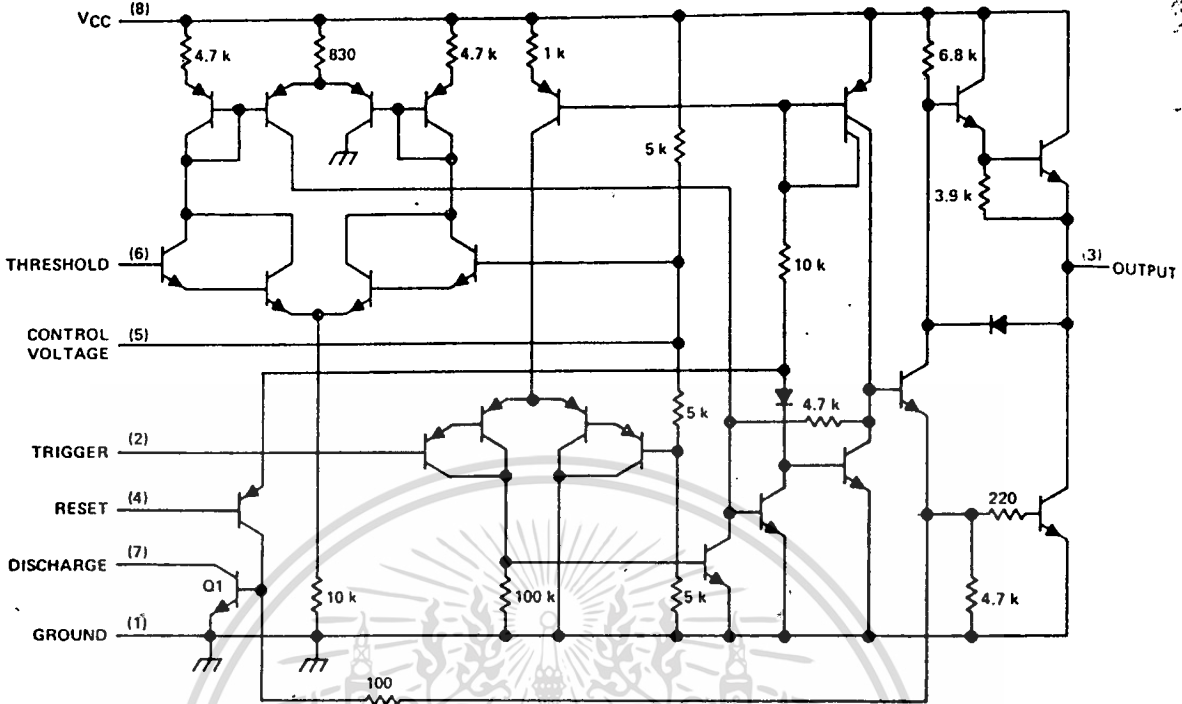


## functional block diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีกรนำไปใช้

**schematic**



Resistor values shown are nominal and in ohms.

**absolute maximum ratings over operating free-air temperature range (unless otherwise noted)**

Supply voltage, $V_{CC}$ (see Note 1)	18 V
Input voltage (control voltage, reset, threshold, trigger)	$V_{CC}$
Output current	$\pm 225$ mA
Continuous total dissipation at (or below) 25°C free-air temperature (see Note 2)	600 mW
Operating free-air temperature range: SN52555	-55°C to 125°C
SN72555	0°C to 70°C
Storage temperature range	-65°C to 150°C
Lead temperature 1/16 inch from case for 60 seconds: JP or L package	300°C
Lead temperature 1/16 inch from case for 10 seconds: P package	260°C

- NOTES: 1. All voltage values are with respect to network ground terminal.  
 2. For operation above 25°C free-air temperature, refer to Dissipation Derating Curve, Figure 1.

**recommended operating conditions**

	SN52555			SN72555			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, $V_{CC}$	4.5		18	4.5		18	V
Input voltage, $V_I$ (control voltage, reset, threshold, trigger)	$V_{CC}$						V
Output Current, $I_O$	$\pm 200$			$\pm 200$			mA
Operating free-air temperature, $T_A$	-55		125	0		70	°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

electrical characteristics at 25°C free-air temperature, V<sub>CC</sub> = 5 V to 15 V (unless otherwise noted)

PARAMETER	TEST CONDITIONS	SN52555			SN72555			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	
Threshold voltage level as a percentage of supply voltage		66.7			66.7			%
Threshold current (see Note 3)		0.1 0.25			0.1 0.25			μA
Trigger voltage level	V <sub>CC</sub> = 15 V	4.8	5	5.2	5			V
	V <sub>CC</sub> = 5 V	1.45	1.67	1.9	1.67			
Trigger current		0.5			0.5			μA
Reset voltage level		0.4	0.7	1	0.4	0.7	1	V
Reset current		0.1			0.1			mA
Control voltage (open-circuit)	V <sub>CC</sub> = 15 V	9.6	10	10.4	9	10	11	V
	V <sub>CC</sub> = 5 V	2.9	3.3	3.8	2.6	3.3	4	
Low-level output voltage	V <sub>CC</sub> = 15 V	I <sub>OL</sub> = 10 mA	0.1 0.15		0.1 0.25		V	
		I <sub>OL</sub> = 50 mA	0.4 0.5		0.4 0.75			
		I <sub>OL</sub> = 100 mA	2 2.2		2 2.5			
		I <sub>OL</sub> = 200 mA	2.5		2.5			
	V <sub>CC</sub> = 5 V	I <sub>OL</sub> = 5 mA	0.1 0.25					
		I <sub>OL</sub> = 8 mA			0.16 0.35			
High-level output voltage	V <sub>CC</sub> = 15 V	I <sub>OH</sub> = -100 mA	13	13.3	12.75	13.3	V	
		I <sub>OH</sub> = -200 mA	12.5		12.5			
	V <sub>CC</sub> = 5 V	I <sub>OH</sub> = -100 mA	3	3.3	2.75	3.3		
Supply current	Output low, No load	V <sub>CC</sub> = 15 V	10 12		10 15		mA	
		V <sub>CC</sub> = 5 V	3 5		3 6			
	Output high, No load	V <sub>CC</sub> = 15 V	9 11		9 14			
		V <sub>CC</sub> = 5 V	2 4		2 5			

NOTE 3: This parameter influences the maximum value of the timing resistors R<sub>A</sub> and R<sub>B</sub>. For example when V<sub>CC</sub> = 5 V the maximum value is  $R = R_A + R_B \approx 20 \text{ M}\Omega$ .

operating characteristics, V<sub>CC</sub> = 5 V and 15 V

PARAMETER	TEST CONDITIONS†	SN52555			SN72555			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	
Initial accuracy of timing interval	R <sub>A</sub> = 1 kΩ to 100 kΩ, T <sub>A</sub> = 25°C	0.5 2			1			%
Temperature coefficient of timing interval	R <sub>B</sub> = 0 to 100 kΩ, T <sub>A</sub> = MIN to MAX	30			50			ppm/°C
Supply voltage sensitivity of timing interval	C = 0.1 μF, T <sub>A</sub> = 25°C	0.005 0.02			0.01			%/V
Output pulse rise time	C <sub>L</sub> = 15 pF, T <sub>A</sub> = 25°C	100			100			ns
Output pulse fall time		100			100			ns

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

### THERMAL INFORMATION

DISSIPATION DERATING CURVE

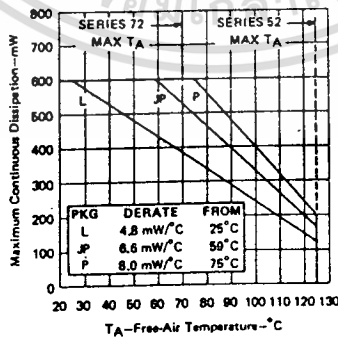


FIGURE 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# TYPICAL CHARACTERISTICS†

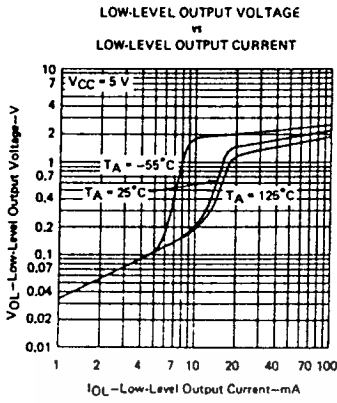


FIGURE 2

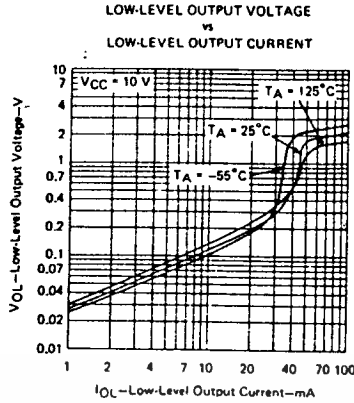


FIGURE 3

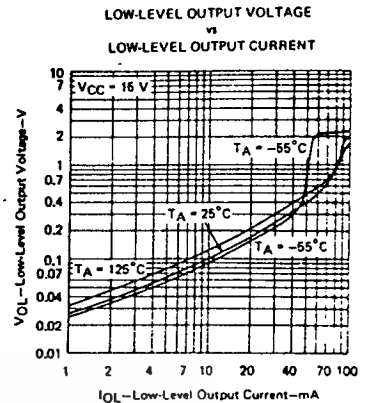


FIGURE 4

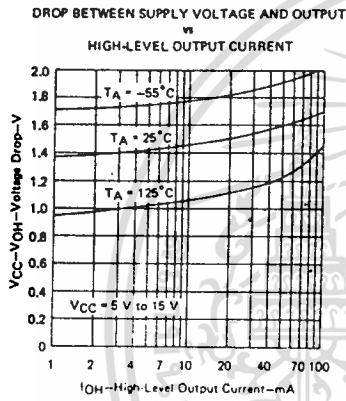


FIGURE 5

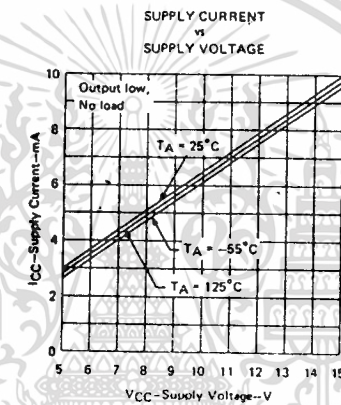


FIGURE 6

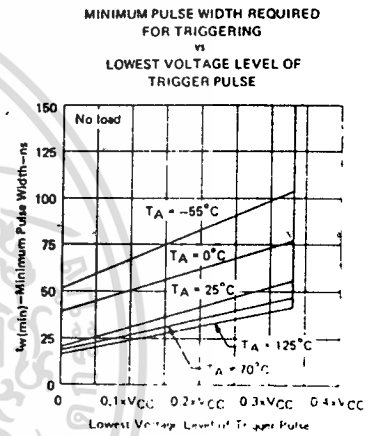


FIGURE 7

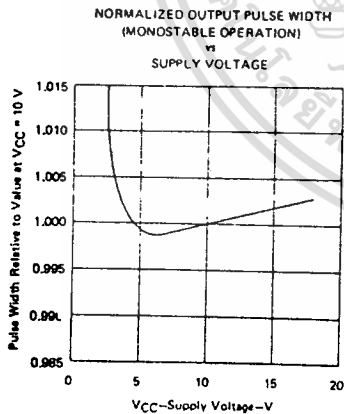


FIGURE 8

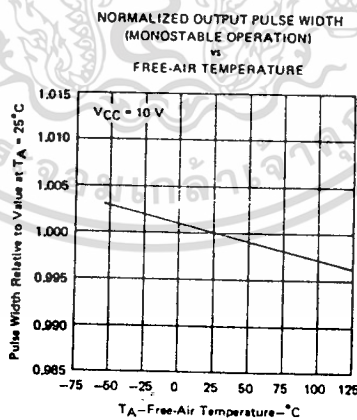


FIGURE 9

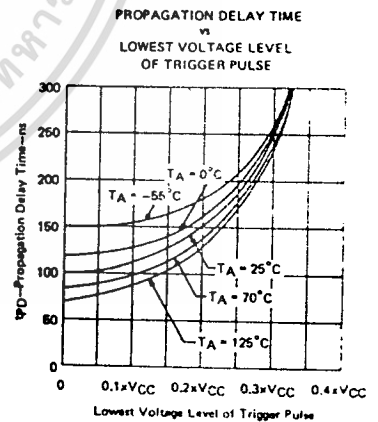


FIGURE 10

† Data for temperatures below 0°C and above 70°C are applicable for SN52555 circuits only.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## TYPICAL APPLICATION DATA

### monostable operation

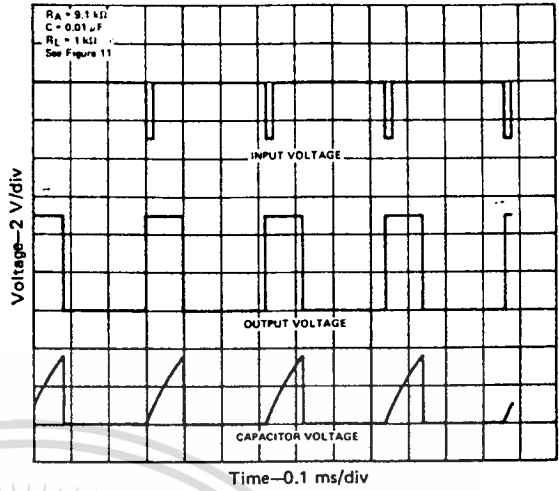
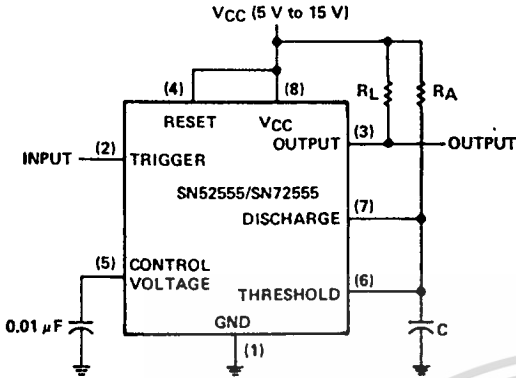


FIGURE 11—CIRCUIT FOR MONOSTABLE OPERATION

FIGURE 12—TYPICAL MONOSTABLE WAVEFORMS

The SN52555 and SN72555 may be connected as shown in Figure 11 for monostable operation producing an output pulse width independent of the input waveform and controlled by the  $R_A \cdot C$  time constant. Prior to the negative-going input pulse, capacitor C is held discharged by transistor Q1 (see schematic). Application of a negative-going input pulse sets the flip-flop, turns off Q1, and drives the output high. Capacitor C is now charged through  $R_A$  with a time constant  $\tau = R_A C$ . When the voltage across capacitor C reaches the threshold voltage of the comparator, the flip-flop is reset, energizing Q1 and discharging C; therefore driving the output back to the low level. Figure 12 shows the actual resultant waveforms.

Monostable operation is initiated when the negative-going input pulse reaches the trigger level. Once initiated, the timing interval will complete even if retriggering occurs during the timing interval. Because of the threshold level and saturation voltage of Q1, the output pulse width is approximately  $t_w = 1.1 R_A C$ . Figure 13 is a plot of the time constant for various values of  $R_A$  and C. The threshold levels and charge rates are both directly proportional to the supply voltage, VCC. The timing interval is therefore independent of the supply voltage, so long as the supply voltage is constant during the time interval.

Applying a negative-going trigger pulse simultaneously to the reset and trigger terminals during the timing interval will discharge C and re-initiate the cycle, commencing on the positive edge of the reset pulse. The output is held low as long as the reset pulse is low. When the reset input is not used, it should be connected to VCC to prevent false triggering.

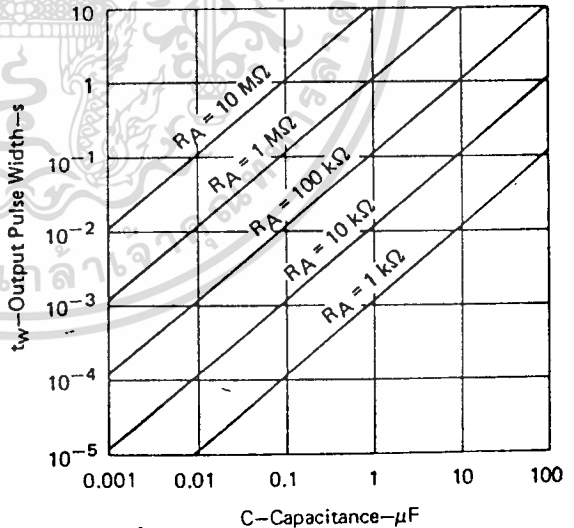
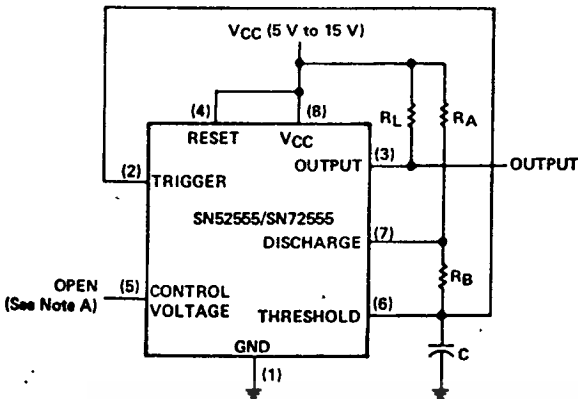


FIGURE 13—OUTPUT PULSE WIDTH vs CAPACITANCE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

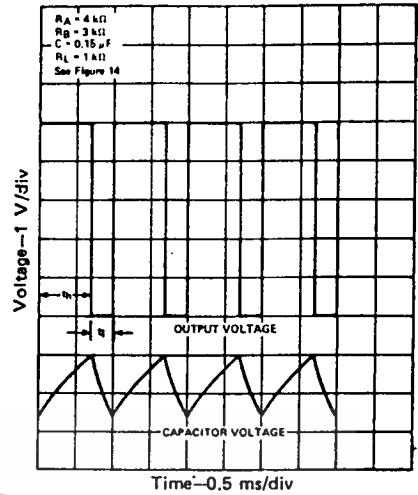
## TYPICAL APPLICATION DATA

astable operation



**NOTE A:** Decoupling the control voltage input (pin 5) to ground with a capacitor may improve operation. This should be evaluated for individual applications.

**FIGURE 14—CIRCUIT FOR ASTABLE OPERATION**



**FIGURE 15—TYPICAL ASTABLE WAVEFORMS**

Addition of a second resistor,  $R_B$ , to the circuit of Figure 11; as shown in Figure 14, and connection of the trigger input to the threshold input will cause the SN52555/SN72555 to self-trigger and run as a multivibrator. The capacitor  $C$  will charge through  $R_A$  and  $R_B$  then discharge through  $R_B$  only. The duty cycle may be controlled, therefore, by the values of  $R_A$  and  $R_B$ .

This astable connection results in capacitor  $C$  charging and discharging between the threshold-voltage level ( $\approx 0.67 \cdot V_{CC}$ ) and the trigger-voltage level ( $\approx 0.33 \cdot V_{CC}$ ). As in the monostable circuit, charge and discharge times (and therefore the frequency and duty cycle) are independent of the supply voltage.

Figure 15 shows typical waveforms generated during astable operation. The output high-level duration,  $t_h$ , is calculated as:

$$t_h = 0.693 (R_A + R_B)C,$$

output low-level duration,  $t_l$ , as:

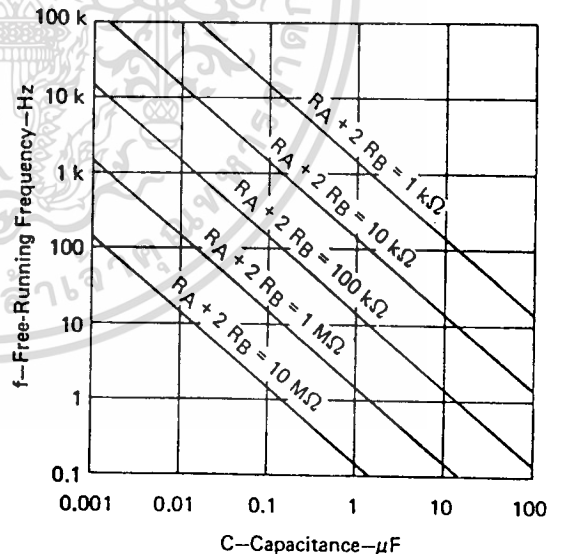
$$t_l = 0.693 (R_B)C.$$

The total period is  $T = t_h + t_l$  and frequency is

$$f = \frac{1}{T}, \text{ or } f = \frac{1.44}{(R_A + 2R_B)C}$$

The frequency of oscillation may be determined by referring to the chart shown in Figure 16, which relates free-running frequency,  $f$ , to the external resistors  $R_A$  and  $R_B$  and the external capacitor  $C$ . Duty cycle,  $D$ , is determined by the values selected for  $R_A$  and  $R_B$  and may be calculated as:

$$D = \frac{R_B}{R_A + R_B}$$



**FIGURE 16—FREE-RUNNING FREQUENCY**

## TYPICAL APPLICATION DATA

### missing-pulse detector

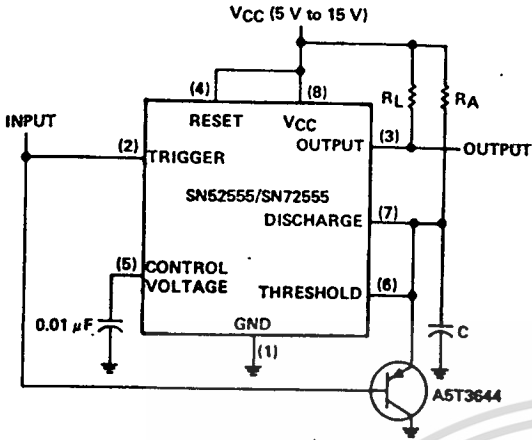


FIGURE 17—CIRCUIT FOR MISSING-PULSE DETECTOR

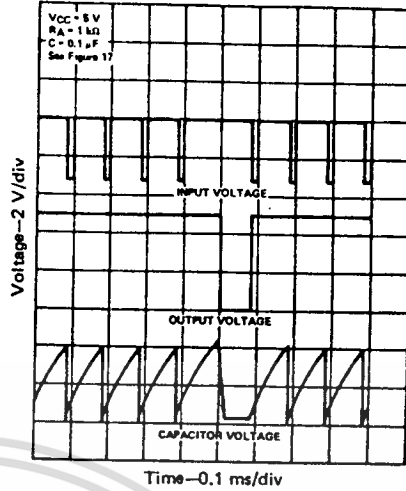


FIGURE 18—MISSING-PULSE-DETECTOR WAVEFORMS

The circuit shown in Figure 17 may be utilized to detect a missing pulse or abnormally long spacing between consecutive pulses in a train of pulses. The timing interval of the monostable circuit is continuously retriggered by the input pulse train as long as the pulse spacing is less than the timing interval. A longer pulse spacing, missing pulse, or terminated pulse train will permit the timing interval to be completed, thereby generating an output pulse as illustrated in Figure 18.

### frequency divider

By adjusting the length of the timing cycle, the basic circuit of Figure 11 can be made to operate as a frequency divider. Figure 19 illustrates a divide-by-3 circuit that makes use of the fact that retriggering cannot occur during the timing cycle.

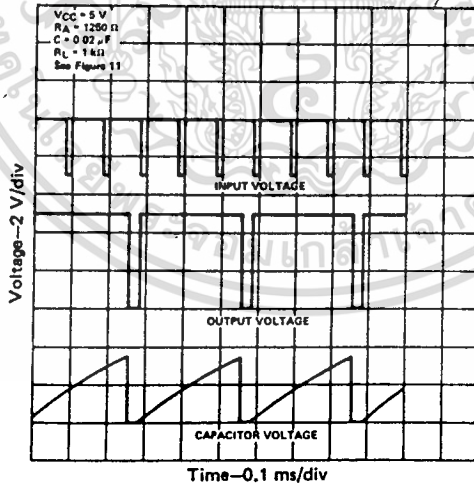
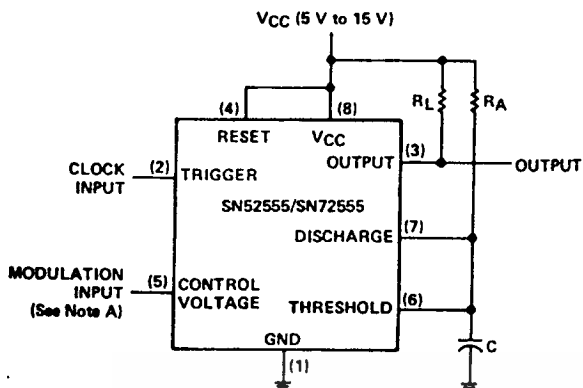


FIGURE 19—DIVIDE-BY-THREE CIRCUIT WAVEFORMS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

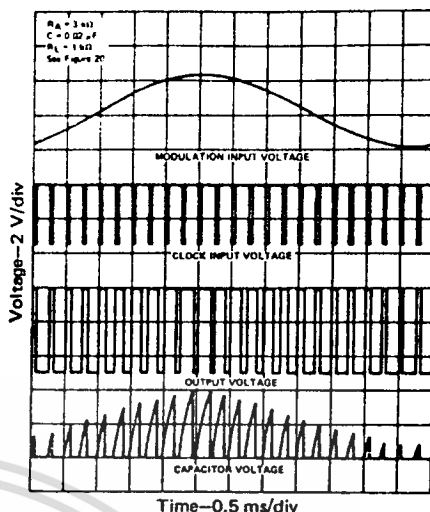
## TYPICAL APPLICATION DATA

### pulse-width modulation



**NOTE A:** The modulating signal may be direct or capacitively coupled to the control voltage terminal. For direct coupling, the effects of modulation source voltage and impedance on the bias of the SN52555/SN72555 should be considered.

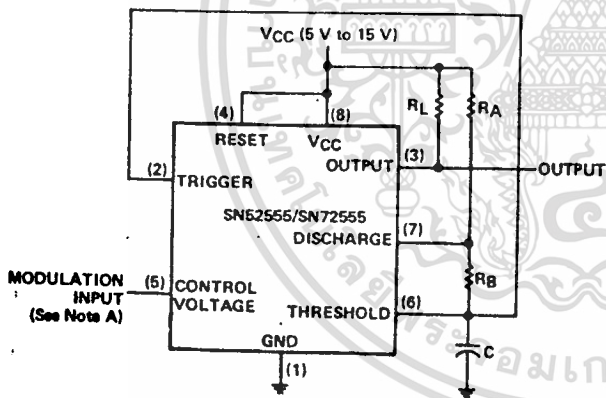
**FIGURE 20—CIRCUIT FOR PULSE-WIDTH MODULATION**



**FIGURE 21—PULSE-WIDTH-MODULATION WAVEFORMS**

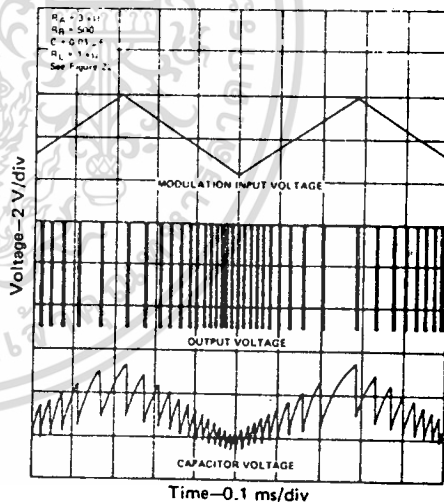
The operation of the timer may be modified by modulating the internal threshold and trigger voltages. This is accomplished by applying an external voltage (or current) to the control voltage pin. Figure 20 is a circuit for pulse-width modulation. The monostable circuit is triggered by a continuous input pulse train and the threshold voltage is modulated by a control signal. The resultant effect is a modulation of the output pulse width, as shown in Figure 21. A sine-wave modulation signal is illustrated, but any wave-shape could be used.

### pulse-position modulation



**NOTE A:** The modulating signal may be direct or capacitively coupled to the control voltage terminal. For direct coupling, the effects of modulation source voltage and impedance on the bias of the SN52555/SN72555 should be considered.

**FIGURE 22—CIRCUIT FOR PULSE-POSITION MODULATION**



**FIGURE 23—PULSE POSITION-MODULATION WAVEFORMS**

The SN52555/SN72555 may be used as a pulse-position modulator as shown in Figure 22. In this application, the threshold voltage, and thereby the time delay, of a free-running oscillator is modulated. Figure 23 shows such a circuit, with a triangular-wave modulation signal, however, any modulating wave-shape could be used.



# LM124/LM224/LM324, LM124A/LM224A/LM324A, LM2902

## low power quad operational amplifiers

### general description

The LM124 series consists of four independent, high gain, internally frequency compensated operational amplifiers which were designed specifically to operate from a single power supply over a wide range of voltages. Operation from split power supplies is also possible and the low power supply current drain is independent of the magnitude of the power supply voltage.

Application areas include transducer amplifiers, dc gain blocks and all the conventional op amp circuits which now can be more easily implemented in single power supply systems. For example, the LM124 series can be directly operated off of the standard +5 V<sub>DC</sub> power supply voltage which is used in digital systems and will easily provide the required interface electronics without requiring the additional ±15 V<sub>DC</sub> power supplies.

### unique characteristics

- In the linear mode the input common-mode voltage range includes ground and the output voltage can also swing to ground, even though operated from only a single power supply voltage.
- The unity gain cross frequency is temperature compensated.
- The input bias current is also temperature compensated.

### advantages

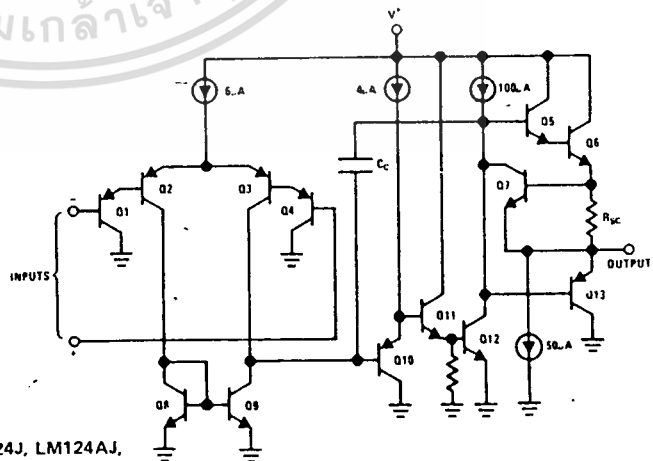
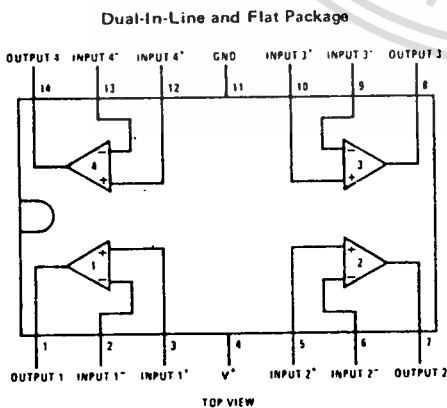
- Eliminates need for dual supplies.
- Four internally compensated op amps in a single package
- Allows directly sensing near GND and V<sub>OUT</sub> also goes to GND
- Compatible with all forms of logic
- Power drain suitable for battery operation

### features

- Internally frequency compensated for unity gain
- Large dc voltage gain 100 dB
- Wide bandwidth (unity gain) 1 MHz (temperature compensated)
- Wide power supply range:
  - Single supply 3 V<sub>DC</sub> to 30 V<sub>DC</sub>
  - or dual supplies ±1.5 V<sub>DC</sub> to ±15 V<sub>DC</sub>
- Very low supply current drain (800µA) – essentially independent of supply voltage (1 mW/op amp at +5 V<sub>DC</sub>)
- Low input biasing current 45 nA<sub>DC</sub> (temperature compensated)
- Low input offset voltage and offset current 2 mV<sub>DC</sub> 5 µA<sub>DC</sub>
- Input common-mode voltage range includes ground
- Differential input voltage range equal to the power supply voltage
- Large output voltage swing 0 V<sub>DC</sub> to V<sup>+</sup> - 1.5 V<sub>DC</sub>

### connection diagram

### schematic diagram (Each Amplifier)



Order Number LM124D, LM124AD, LM224D or LM224AD  
See Package 1

Order Number LM124F, LM124AF, LM224F or LM224AF  
See Package 4

Order Number LM124J, LM124AJ, LM224J, LM224AJ, LM324J, LM324AJ or LM2902J  
See Package 16

Order Number LM324N, LM324AN or LM2902N  
See Package 22

# absolute maximum ratings

	—LM124/LM224/LM324 LM124A/LM224A/LM324A	LM2902	LM124/LM224/LM324 LM124A/LM224A/LM324A	LM2902
Supply Voltage, $V^+$	32 V <sub>DC</sub> or $\pm 16$ V <sub>DC</sub>	26 V <sub>DC</sub> or $\pm 13$ V <sub>DC</sub>	50 mA	-40°C to +85°C
Differential Input Voltage	32 V <sub>DC</sub>	26 V <sub>DC</sub>	Operating Temperature Range	
Input Voltage	-0.3 V <sub>DC</sub> to +32 V <sub>DC</sub>	-0.3 V <sub>DC</sub> to +32 V <sub>DC</sub>	LM324/LM324A	0°C to +70°C
Power Dissipation (Note 1)			LM224/LM224A	-25°C to +85°C
Molded DIP	570 mW	570 mW	LM124/LM124A	-55°C to +125°C
Cavity DIP	900 mW		Storage Temperature Range	-65°C to +150°C
Flat Pack	800 mW		Lead Temperature (Soldering, 10 seconds)	300°C
Output Short-Circuit to GND (One Amplifier) (Note 2)	Continuous	Continuous		300°C
$V^+ \leq 15$ V <sub>DC</sub> and $T_A = 25^\circ\text{C}$				

# electrical characteristics ( $V^+ = +5.0$ V<sub>DC</sub>, Note 4)

PARAMETER	CONDITIONS	LM124A			LM224A			LM324A			LM124/LM224			LM324			LM2902			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage	$T_A = 25^\circ\text{C}$ , (Note 5)		1	2		1	3		2	3		$\pm 2$	$\pm 5$		$\pm 2$	$\pm 7$		$\pm 2$	$\pm 7$	mV <sub>DC</sub>
Input Bias Current (Note 6)	$I_{IN(+)}$ or $I_{IN(-)}$ , $T_A = 25^\circ\text{C}$		20	50		40	80		45	100		45	150		45	250		45	250	nADC
Input Offset Current	$I_{IN(+)} - I_{IN(-)}$ , $T_A = 25^\circ\text{C}$		2	10		2	15		5	30		$\pm 3$	$\pm 30$		$\pm 5$	$\pm 50$		$\pm 5$	$\pm 50$	nADC
Input Common-Mode Voltage Range (Note 7)	$V^+ = 30$ V <sub>DC</sub> , $T_A = 25^\circ\text{C}$		0	$V^+ - 1.5$		0	$V^+ - 1.5$		0	$V^+ - 1.5$		0	$V^+ - 1.5$		0	$V^+ - 1.5$		0	$V^+ - 1.5$	V <sub>DC</sub>
Supply Current	$R_L = \infty$ , $V_{CC} = 30$ V, (LM2902 $V_{CC} = 26$ V) $R_L = \infty$ On All Op Amps Over Full Temperature Range $T_A = 25^\circ\text{C}$		1.5	3		1.5	3		1.5	3		1.5	3		1.5	3		1.5	3	mADC
			0.7	1.2		0.7	1.2		0.7	1.2		0.7	1.2		0.7	1.2		0.7	1.2	mADC
																			3	mADC
Large Signal Voltage Gain	$V^+ = 15$ V <sub>DC</sub> (For Large $V_O$ Swing) $R_L \geq 2$ k $\Omega$ , $T_A = 25^\circ\text{C}$		50	100		50	100		25	100		50	100		25	100		100		V/mV
Output Voltage Swing	$R_L = 2$ k $\Omega$ , $T_A = 25^\circ\text{C}$ (LM2902 $R_L \geq 10$ k $\Omega$ )											0	$V^+ - 1.5$		0	$V^+ - 1.5$		0	$V^+ - 1.5$	V <sub>DC</sub>
Common-Mode Rejection Ratio	DC, $T_A = 25^\circ\text{C}$		70	85		70	85		65	85		70	85		65	70		50	70	dB
Power Supply Rejection Ratio	DC, $T_A = 25^\circ\text{C}$		65	100		65	100		65	100		65	100		65	100		50	100	dB
Amplifier-to-Amplifier Coupling (Note 8)	$f = 1$ kHz to 20 kHz, $T_A = 25^\circ\text{C}$ (Input Referred)		-120			-120			-120			-120			-120			-120		dB
Output Current																				
Source	$V_{IN}^+ = 1$ V <sub>DC</sub> , $V_{IN}^- = 0$ V <sub>DC</sub> , $V^+ = 15$ V <sub>DC</sub> , $T_A = 25^\circ\text{C}$		20	40		20	40		20	40		20	40		20	40		20	40	mADC
Sink	$V_{IN}^- = 1$ V <sub>DC</sub> , $V_{IN}^+ = 0$ V <sub>DC</sub> , $V^+ = 15$ V <sub>DC</sub> , $T_A = 25^\circ\text{C}$		-10	20		-10	20		-10	20		-10	20		-10	20		-10	20	mADC
	$V_{IN}^- = 1$ V <sub>DC</sub> , $V_{IN}^+ = 0$ V <sub>DC</sub> , $T_A = 25^\circ\text{C}$ , $V_O = 200$ mV <sub>DC</sub>		12	50		12	50		12	50		12	50		12	50		12	50	$\mu$ ADC
Short Circuit to Ground	$T_A = 25^\circ\text{C}$ , (Note 2)		40	60		40	60		40	60		40	60		40	60		40	60	mADC

## electrical characteristics (con't)

PARAMETER	CONDITIONS	LM124A			LM224A			LM324A			LM124/LM224			LM324			LM2902			UNITS		
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX			
Input Offset Voltage	(Note 5)			4			4			5			±7			±9			±10	mV <sub>DC</sub>		
Input Offset Voltage Drift	$R_S = 0\Omega$			7			20			7			.30			7			7	$\mu\text{V}/^\circ\text{C}$		
Input Offset Current	$I_{IN(+)} - I_{IN(-)}$			30			30			-75			±100			±150			45	±200	nA <sub>DC</sub>	
Input Offset Current Drift				10			200			10			300			10			10		pA <sub>DC</sub> /°C	
Input Bias Current	$I_{IN(+)}$ or $I_{IN(-)}$			40			100			40			100			40			40	500	nA <sub>DC</sub>	
Input Common-Mode Voltage Range (Note 7)	$V^+ = 30\text{VDC}$	0		$V^+ - 2$	0		$V^+ - 2$	0		$V^+ - 2$	0		$V^+ - 2$	0		$V^+ - 2$	0		$V^+ - 2$	0	$V^+ - 2$	V <sub>DC</sub>
Large Signal Voltage Gain	$V^+ = +15\text{VDC}$ (For Large $V_O$ Swing) $R_L \geq 2\text{k}\Omega$	25			25			15			25			15			15				V/mV	
Output Voltage Swing																						
$V_{OH}$	$V^+ = +30\text{VDC}$ , $R_L = 2\text{k}\Omega$ $R_L \geq 10\text{k}\Omega$	26			26			26			26			26			26			22	V <sub>DC</sub>	
$V_{OL}$	$V^+ = 5\text{VDC}$ , $R_L \leq 10\text{k}\Omega$	27	28		27	28		27	28		27	28		27	28		27	28	23	24	V <sub>DC</sub>	
				5			20			5			20			5			5	100	mV <sub>DC</sub>	
Output Current																						
Source	$V_{IN^+} = +1\text{VDC}$ , $V_{IN^-} = 0\text{VDC}$ , $V^+ = 15\text{VDC}$	10			20			10			20			10			20			10	20	mA
Sink	$V_{IN^-} = +1\text{VDC}$ , $V_{IN^+} = 0\text{VDC}$ , $V^+ = 15\text{VDC}$	10			15			5			8			5			8			5	8	mA
Differential Input Voltage	(Note 7)			$V^+$			$V^+$			$V^+$			$V^+$			$V^+$			$V^+$		$V^+$	V <sub>DC</sub>

**Note 1:** For operating at high temperatures, the LM324/LM324A, LM2902 must be derated based on a  $+125^\circ\text{C}$  maximum junction temperature and a thermal resistance of  $175^\circ\text{C}/\text{W}$  which applies for the device soldered in a printed circuit board, operating in a still air ambient. The LM224/LM224A and LM124/LM124A can be derated based on a  $+150^\circ\text{C}$  maximum junction temperature. The dissipation is the total of all four amplifiers—use external resistors, where possible, to allow the amplifier to saturate or to reduce the power which is dissipated in the integrated circuit.

**Note 2:** Short circuits from the output to  $V^+$  can cause excessive heating and eventual destruction. The maximum output current is approximately 40 mA independent of the magnitude of  $V^+$ . At values of supply voltage in excess of  $+15\text{VDC}$ , continuous short-circuits can exceed the power dissipation ratings and cause eventual destruction. Destructive dissipation can result from simultaneous shorts on all amplifiers.

**Note 3:** This input current will only exist when the voltage at any of the input leads is driven negative. It is due to the collector-base junction of the input PNP transistors becoming forward biased and thereby acting as input diode clamps. In addition to this diode action, there is also lateral NPN parasitic transistor action on the IC chip. This transistor action can cause the output voltages of the op amps to go to the  $V^+$  voltage level (or to ground for a large overdrive) for the time duration that an input is driven negative. This is not destructive and normal output states will re-establish when the input voltage, which was negative, again returns to a value greater than  $-0.3\text{VDC}$ .

**Note 4:** These specifications apply for  $V^+ = +5\text{VDC}$  and  $-55^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ , unless otherwise stated. With the LM224/LM224A, all temperature specifications are limited to  $-25^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$ , the LM324/LM324A temperature specifications are limited to  $0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$ , and the LM2902 specifications are limited to  $-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$ .

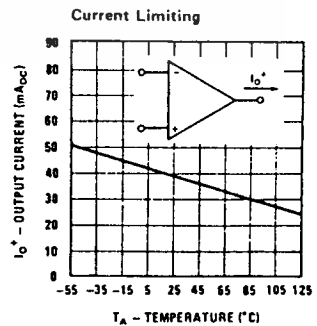
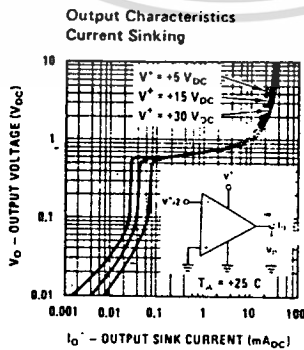
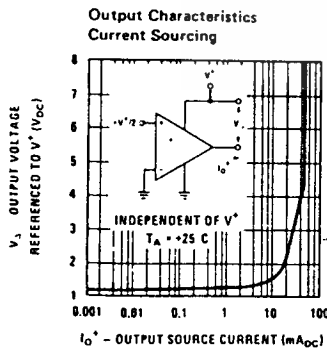
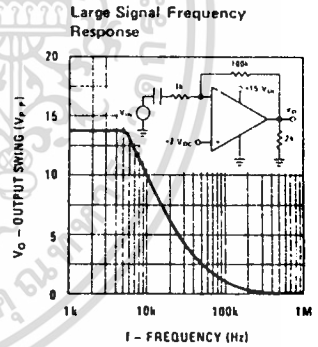
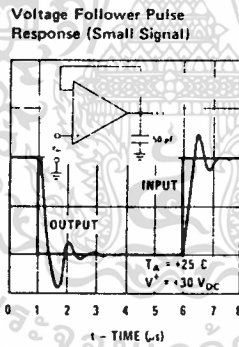
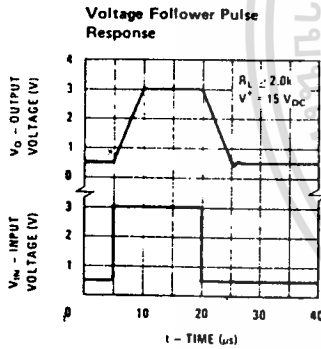
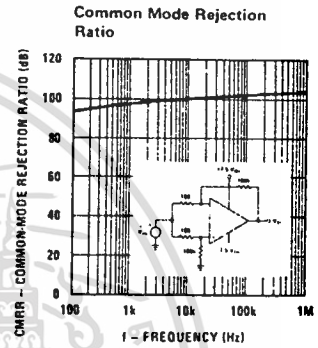
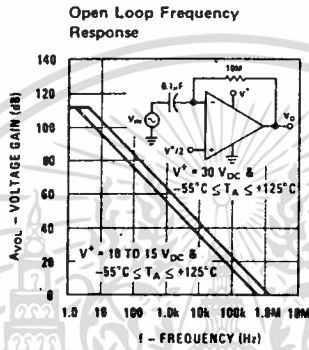
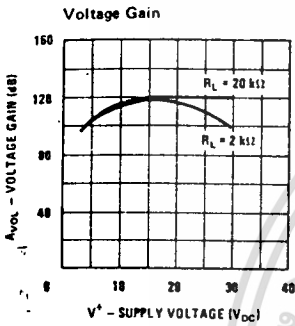
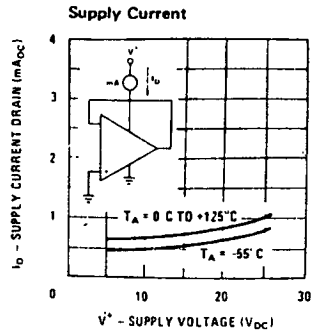
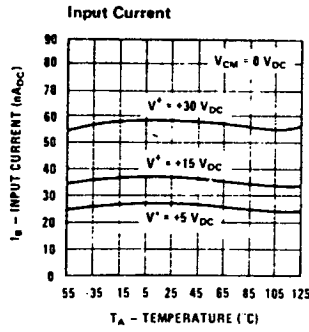
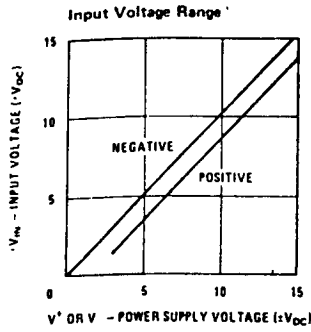
**Note 5:**  $V_O \approx 1.4\text{VDC}$ ,  $R_S = 0\Omega$  with  $V^+$  from  $5\text{VDC}$  to  $30\text{VDC}$ ; and over the full input common-mode range ( $0\text{VDC}$  to  $V^+ - 1.5\text{VDC}$ ).

**Note 6:** The direction of the input current is out of the IC due to the PNP input stage. This current is essentially constant, independent of the state of the output so no loading change exists on the input lines.

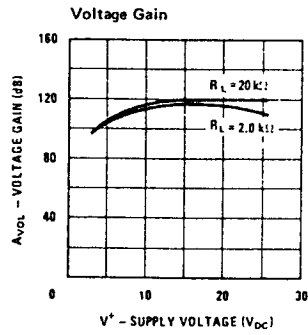
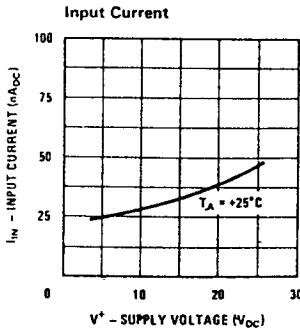
**Note 7:** The input common-mode voltage or either input signal voltage should not be allowed to go negative by more than  $0.3\text{V}$ . The upper end of the common-mode voltage range is  $V^+ - 1.5\text{V}$ , but either or both inputs can go to  $+32\text{VDC}$  without damage ( $+26\text{VDC}$  for LM2902).

**Note 8:** Due to proximity of external components, insure that coupling is not originating via stray capacitance between these external parts. This typically can be detected as this type of capacitive increases at higher frequencies.

# typical performance characteristics



## typical performance characteristics (LM2902 only)



## application hints

The LM124 series are op amps which operate with only a single power supply voltage, have true-differential inputs, and remain in the linear mode with an input common-mode voltage of 0  $V_{DC}$ . These amplifiers operate over a wide range of power supply voltage with little change in performance characteristics. At 25°C amplifier operation is possible down to a minimum supply voltage of 2.3  $V_{DC}$ .

The pinouts of the package have been designed to simplify PC board layouts. Inverting inputs are adjacent to outputs for all of the amplifiers and the outputs have also been placed at the corners of the package (pins 1, 7, 8, and 14).

Precautions should be taken to insure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a test socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

Large differential input voltages can be easily accommodated and, as input differential voltage protection diodes are not needed, no large input currents result from large differential input voltages. The differential input voltage may be larger than  $V^+$  without damaging the device. Protection should be provided to prevent the input voltages from going negative more than  $-0.3 V_{DC}$  (at 25°C). An input clamp diode with a resistor to the IC input terminal can be used.

To reduce the power supply current drain, the amplifiers have a class A output stage for small signal levels which converts to class B in a large signal mode. This allows the amplifiers to both source and sink large output currents. Therefore both NPN and PNP external current boost transistors can be used to extend the power capability of the basic amplifiers. The output voltage needs to raise approximately 1 diode drop above ground to bias the on-chip vertical PNP transistor for output current sinking applications.

For ac applications, where the load is capacitively coupled to the output of the amplifier, a resistor should

be used, from the output of the amplifier to ground to increase the class A bias current and prevent crossover distortion. Where the load is directly coupled, as in dc applications, there is no crossover distortion.

Capacitive loads which are applied directly to the output of the amplifier reduce the loop stability margin. Values of 50 pF can be accommodated using the worst-case non-inverting unity gain connection. Large closed loop gains or resistive isolation should be used if larger load capacitance must be driven by the amplifier.

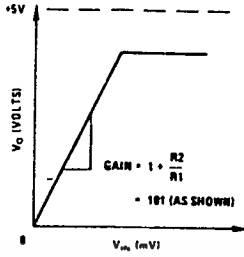
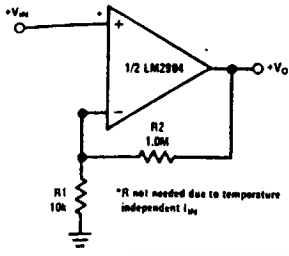
The bias network of the LM124 establishes a drain current which is independent of the magnitude of the power supply voltage over the range of from 3  $V_{DC}$  to 30  $V_{DC}$ .

Output short circuits either to ground or to the positive power supply should be of short time duration. Units can be destroyed, not as a result of the short circuit current causing metal fusing, but rather due to the large increase in IC chip dissipation which will cause eventual failure due to excessive junction temperatures. Putting direct short-circuits on more than one amplifier at a time will increase the total IC power dissipation to destructive levels, if not properly protected with external dissipation limiting resistors in series with the output leads of the amplifiers. The larger value of output source current which is available at 25°C provides a larger output current capability at elevated temperatures (see typical performance characteristics) than a standard IC op amp.

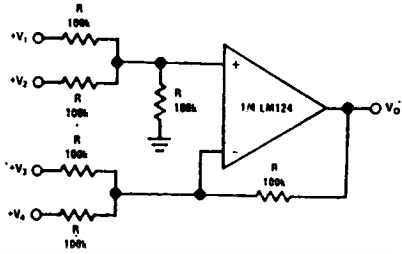
The circuits presented in the section on typical applications emphasize operation on only a single power supply voltage. If complementary power supplies are available, all of the standard op amp circuits can be used. In general, introducing a pseudo-ground (a bias voltage reference of  $V^+/2$ ) will allow operation above and below this value in single power supply systems. Many application circuits are shown which take advantage of the wide input common-mode voltage range which includes ground. In most cases, input biasing is not required and input voltages which range to ground can easily be accommodated.

typical single-supply applications ( $V^+ = 5.0 V_{DC}$ )

Non-Inverting DC Gain (0V Input = 0V Output)

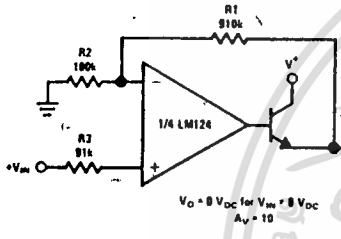


DC Summing Amplifier ( $V_{IN'S} \geq 0 V_{DC}$  AND  $V_O \geq 0 V_{DC}$ )

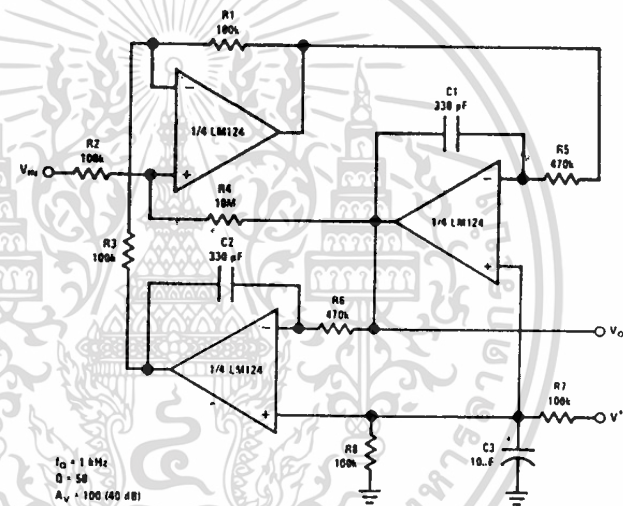


Where:  $V_O = V_1 + V_2 + V_3 + V_4$   
 $(V_1 + V_2) - (V_3 + V_4)$  to keep  $V_O > 0 V_{DC}$

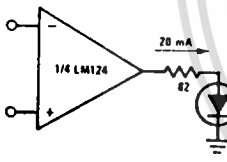
Power Amplifier



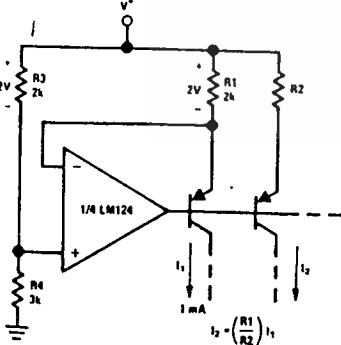
"BI-QUAD" RC Active Bandpass Filter



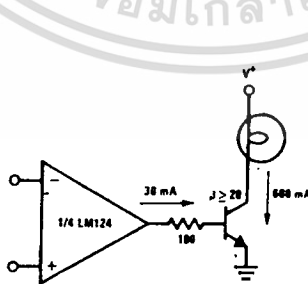
LED Driver



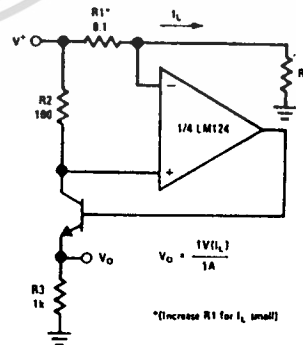
Fixed Current Sources



Lamp Driver

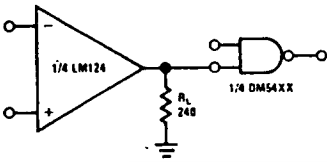


Current Monitor

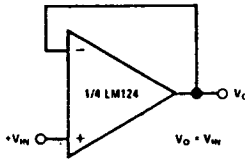


typical single-supply applications (con't) ( $V^+ = 5.0 V_{DC}$ )

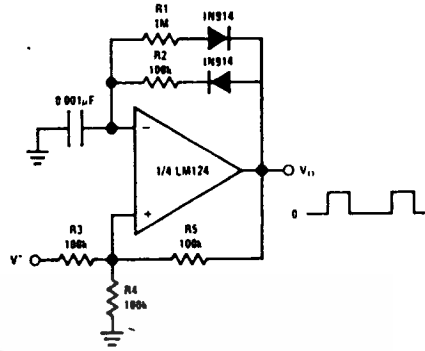
Driving TTL



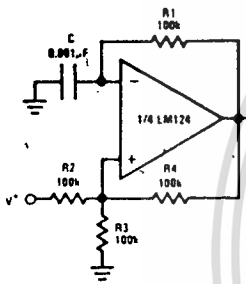
Voltage Follower



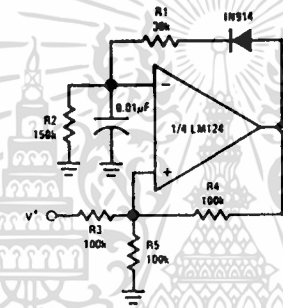
Pulse Generator



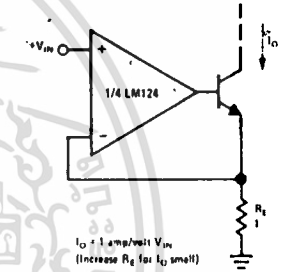
Squarewave Oscillator



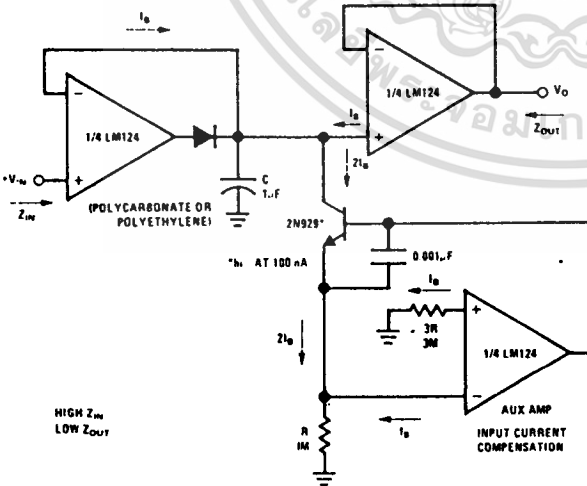
Pulse Generator



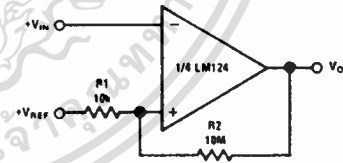
High Compliance Current Sink



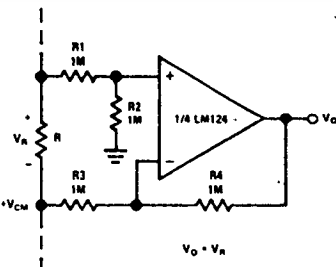
Low Drift Peak Detector



Comparator with Hysteresis



Ground Referencing A Differential Input Signal



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า...  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

typical single-supply applications (con't) ( $V^+ = 5.0 V_{OC}$ )

Voltage Controlled Oscillator Circuit

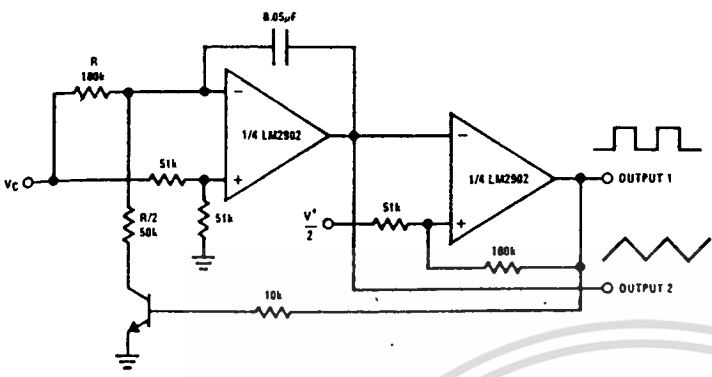
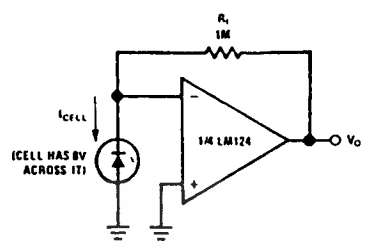
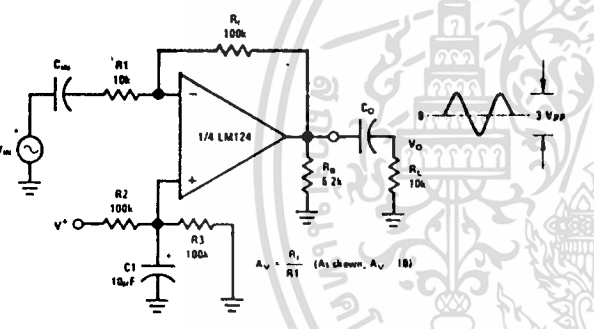


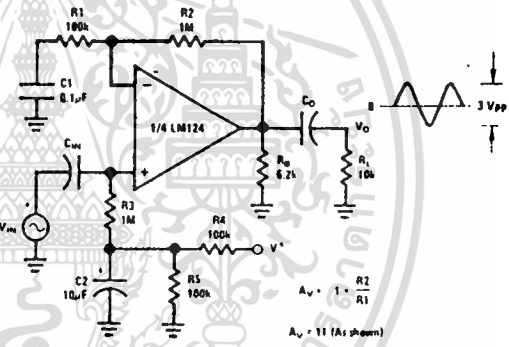
Photo Voltaic-Cell Amplifier



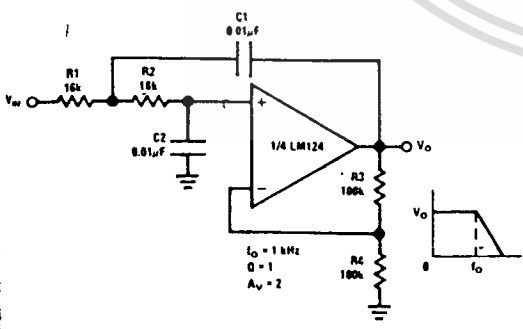
AC Coupled Inverting Amplifier



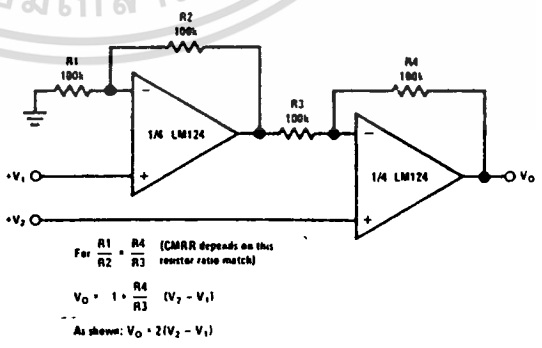
AC Coupled Non-Inverting Amplifier



DC Coupled Low-Pass RC Active Filter

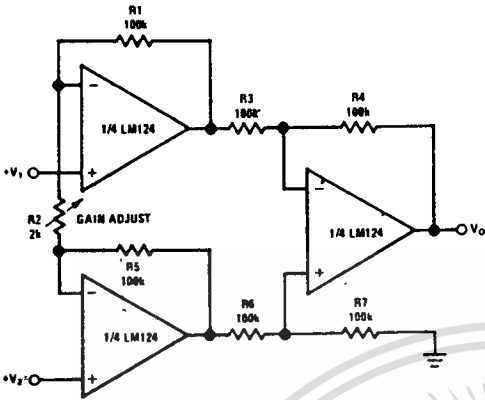


High Input Z, DC Differential Amplifier



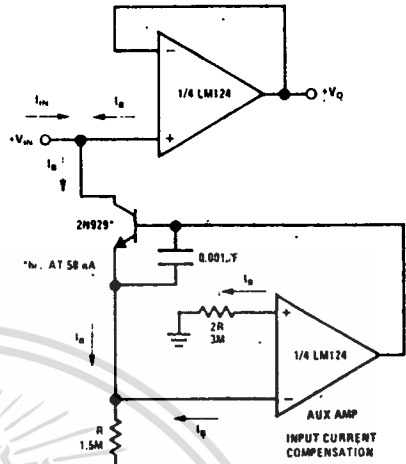
typical single-supply applications (con't) ( $V^+ = 5.0 V_{DC}$ )

High Input Z Adjustable-Gain DC Instrumentation Amplifier

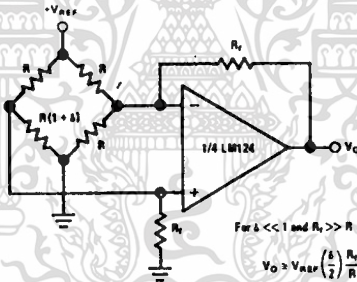


If  $R1 = R5$  &  $R3 = R4 = R6 = R7$  (CMRR depends on match)  
 $V_0 = 1 + \frac{2R1}{RZ} (V_2 - V_1)$   
 As shown  $V_0 = 101 (V_2 - V_1)$

Using Symmetrical Amplifiers to Reduce Input Current (General Concept)

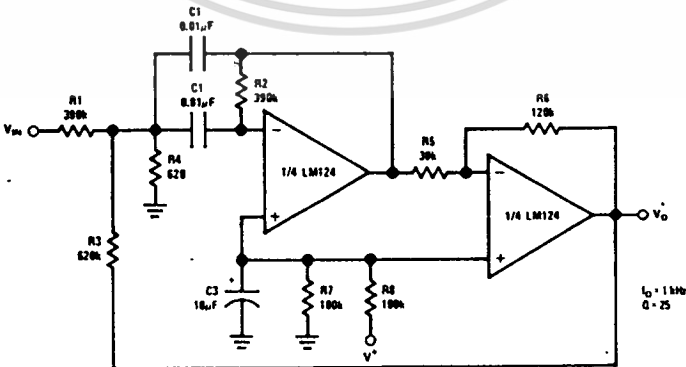


Bridge Current Amplifier



For  $\delta \ll 1$  and  $R_f \gg R$   
 $V_0 \approx V_{max} \left( \frac{\delta}{2} \right) \frac{R_f}{R}$

Bandpass Active Filter



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



## Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	20V
Input Voltage Range, $V_{pk}$	$V_S/2$
Operating Temperature (Note 1)	0°C to +70°C
Storage Temperature	-65°C to +150°C

## Soldering Information

Dual-In-Line Package	
Soldering (10 seconds)	260°C
Small Outline Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

## Electrical Characteristics

$V_S = 8V$ ,  $T_A = 25^\circ C$ ,  $V_{IN} = 300\text{ mV}$  at 1 kHz, circuit shown in Figure 1 unless otherwise specified

Parameter	Conditions	Min	Typ	Max	Units
Operating Supply Range		4.5	8	18	V
Supply Current	$V_S = 8V$		17	30	mA
<b>MAIN SIGNAL PATH</b>					
Voltage Gain	DC Ground Pin 9, Note 2	-0.9	-1	-1.1	V/V
DC Output Voltage		3.7	4.0	4.3	V
Channel Balance	DC Ground Pin 9	-1.0		1.0	dB
Minimum Balance	AC Ground Pin 9 with 0.1 $\mu F$ Capacitor, Note 2	675	965	1400	Hz
Maximum Bandwidth	DC Ground Pin 9, Note 2	27	34	46	kHz
Effective Noise Reduction	CCIR/ARM Weighted, Note 3		-10	-14	dB
Total Harmonic Distortion	DC Ground Pin 9		0.05	0.1	%
Input Headroom	Maximum $V_{IN}$ for 3% THD AC Ground Pin 9		1.0		V <sub>rms</sub>
Output Headroom	Maximum $V_{OUT}$ for 3% THD DC Ground Pin 9		$V_S - 1.5$		V <sub>rms</sub>
Signal to Noise	BW = 20 Hz - 20 kHz, re 300 mV AC Ground Pin 9 DC Ground Pin 9 CCIR/ARM Weighted re 300 mV Note 4 AC Ground Pin 9 DC Ground Pin 9 CCIR Peak, re 300 mV, Note 5 AC Ground Pin 9 DC Ground Pin 9	82 70	79 77 88 76 77 64		dB
Input Impedance	Pin 2 and Pin 13	14	20	26	k $\Omega$
Channel Separation	DC Ground Pin 9	-50	-70		dB
Power Supply Rejection	C14 = 100 $\mu F$ , $V_{RIPPLE} = 500\text{ mVrms}$ , $f = 1\text{ kHz}$	-40	-56		dB
Output DC Shift	Reference DVM to Pin 14 and Measuree Output DC Shift from Minimum to Maximum Band- width, Note 6.		4.0	20	mV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# Electrical Characteristics

$V_S = 8V$ ,  $T_A = 25^\circ C$ ,  $V_{IN} = 300\text{ mV}$  at 1 kHz, circuit shown in Figure 1 unless otherwise specified (Continued)

Parameter	Conditions	Min	Typ	Max	Units
<b>CONTROL SIGNAL PATH</b>					
Summing Amplifier Voltage Gain	Both Channels Driven	0.9	1	1.1	V/V
Gain Amplifier Input Impedance	Pin 6	24	30	39	k $\Omega$
	Pin 6 to Pin 8	21.5	24	26.5	V/V
Peak Detector Input Impedance	Pin 9	560	700	840	$\Omega$
Voltage Gain	Pin 9 to Pin 10	30	33	36	V/V
Attack Time	Measured to 90% of Final Value with 10 kHz Tone Burst	300	500	700	$\mu s$
Decay Time	Measured to 90% of Final Value with 10 kHz Tone Burst	45	60	75	ms
DC Voltage Range	Minimum Bandwidth to Maximum Bandwidth	1.1		3.8	V

**Note 1:** For operation in ambient temperature above  $25^\circ C$ , the device must be derated based on a  $150^\circ C$  maximum junction temperature and a thermal resistance of 1)  $80^\circ C/W$  junction to ambient for the dual-in-line package, and 2)  $105^\circ C/W$  junction to ambient for the small outline package.

**Note 2:** To force the DNR system into maximum bandwidth, DC ground the input to the peak detector, pin 9. A negative temperature coefficient of  $-0.5\%/^\circ C$  on the bandwidth, reduces the maximum bandwidth at increased ambient temperature or higher package dissipation. AC ground pin 9 or pin 6 to select minimum bandwidth. To change minimum and maximum bandwidth, see Application Hints.

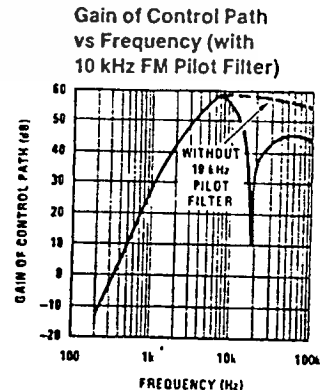
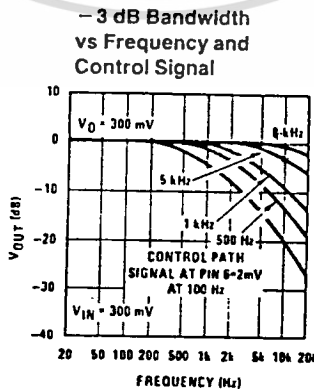
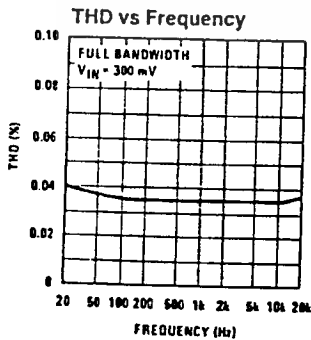
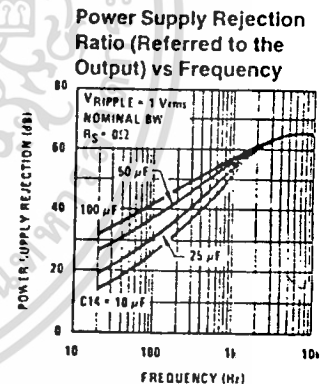
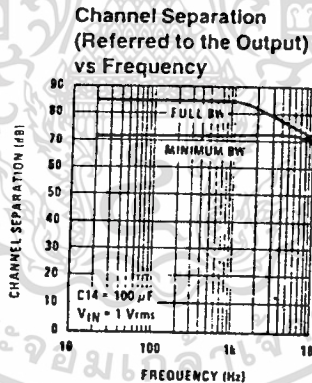
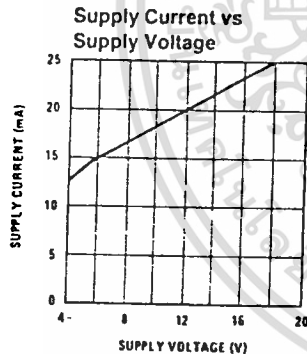
**Note 3:** The maximum noise reduction CCIR/ARM weighted is about 14 dB. This is accomplished by changing the bandwidth from maximum to minimum. In actual operation, minimum bandwidth is not selected, a nominal minimum bandwidth of about 2 kHz gives  $-10\text{ dB}$  of noise reduction. See Application Hints.

**Note 4:** The CCIR/ARM weighted noise is measured with a 40 dB gain amplifier between the DNR system and the CCIR weighting filter; it is then input referred.

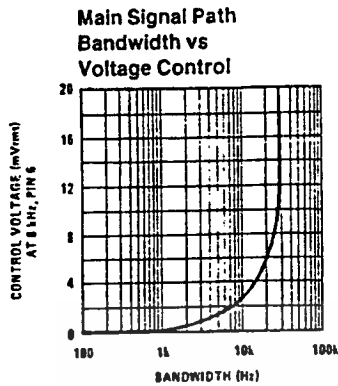
**Note 5:** Measured using the Rhode-Schwartz psophometer.

**Note 6:** Pin 10 is DC forced half way between the maximum bandwidth DC level and minimum bandwidth DC level. An AC 1 kHz signal is then applied to pin 10. Its peak-to-peak amplitude is  $V_{DC}(\text{max BW}) - V_{DC}(\text{min BW})$ .

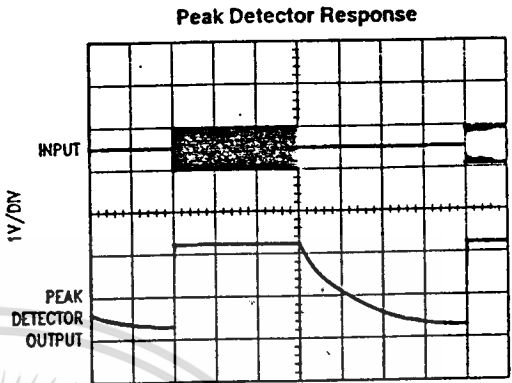
## Typical Performance Characteristics



Typical Performance Characteristics (Continued)

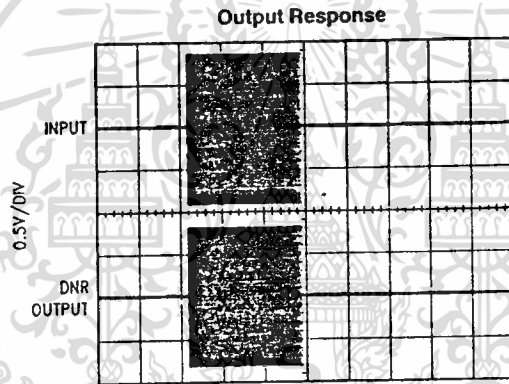


TL/H/7918-3



TIME: 20 ms/DIV

TL/H/7918-4



TIME: 20 ms/DIV

TL/H/7918-5

External Component Guide (Figure 1)

Component	Value	Purpose	Component	Value	Purpose
✓ C1	0.1 μF–100 μF	May be part of power supply, or may be added to suppress power supply oscillation	✓ C4, C11	1 μF	Output coupling capacitor. Output is at DC potential of $V_S/2$ .
○ C2, C13	1 μF	Blocks DC, pin 2 and pin 13 are at DC potential of $V_S/2$ . C2, C13 form a low frequency pole with $20k R_{IN}$ .	✓ C5	0.1 μF	Works with R1 and R2 to attenuate low frequency transients which could disturb control path operation.
✓ C14	25 μF–100 μF	Improves power supply rejection.	✓ C6	0.001 μF	Works with input resistance of pin 6 to form part of control path frequency weighting.
✓ C3, C12	0.0033 μF	Forms integrator with internal gm block and op amp. Sets bandwidth conversion gain of 33 Hz/μA of gm current.	○ C8'	0.1 μF	Combined with L8 and $C_L$ forms 19 kHz filter for FM pilot. This is only required in FM applications (Note 1).

$$f_L = \frac{1}{2\pi C2 R_{IN}}$$

$$f_5 = \frac{1}{2\pi C5 (R1 + R2)} = 1.6 \text{ kHz}$$

$$f_6 = \frac{1}{2\pi C6 R1_{PIN6}} = 5.3 \text{ kHz}$$

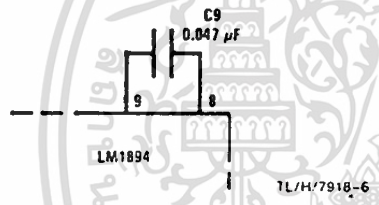
## External Component Guide (Figure 1)

(Continued)

Component	Value	Purpose
L8, C <sub>L</sub>	4.7 mH, 0.015 μF	Forms 19 kHz filter for FM pilot. L8 is Toko coil CAN-1A185HM* (Note 1).
C9	0.047 μF	Works with input resistance of pin 9 to form part of control path frequency weighting. $f_g = \frac{1}{2\pi C9 R_{PIN 9}} = 4.8 \text{ kHz}$
C10	1 μF	Set attack and decay time of peak detector.
R1, R2	1 kΩ	Sensitivity resistors set the noise threshold. Reducing attenuation causes larger signals to be peak detected and larger bandwidth in main signal path. Total value of R1 + R2 should equal 1 kΩ.
R8	100Ω	Forms RC roll-off with C8. This is only required in FM applications.

\* Toko America Inc., 1250 Feehanville Drive, Mt. Prospect IL 60056

Note 1: When FM applications are not required, pin 8 and pin 9 hook-up as follows:



## Circuit Operation

The LM1894 has two signal paths, a main signal path and a bandwidth control path. The main path is an audio low pass filter comprised of a gm block with a variable current, and an op amp configured as an integrator. As seen in Figure 2, DC feedback constrains the low frequency gain to  $A_v = -1$ . Above the cutoff frequency of the filter, the output decreases at  $-6 \text{ dB/oct}$  due to the action of the  $0.0033 \mu\text{F}$  capacitor.

The purpose of the control paths is to generate a bandwidth control signal which replicates the ear's sensitivity to noise in the presence of a tone. A single control path is used for both channels to keep the stereo image from wandering. This is done by adding the right and left channels together in the summing amplifier of Figure 2. The R1, R2 resistor divider adjusts the incoming noise level to open slightly the bandwidth of the low pass filter. Control path gain is about 60 dB and is set by the gain amplifier and peak detector gain. This large gain is needed to ensure the low pass filter bandwidth can be opened by very low noise floors. The capacitors between the summing amplifier output and the

peak detector input determine the frequency weighting as shown in the typical performance curves. The  $1 \mu\text{F}$  capacitor at pin 10, in conjunction with internal resistors, sets the attack and decay times. The voltage is converted into a proportional current which is fed into the gm blocks. The bandwidth sensitivity to gm current is  $33 \text{ Hz}/\mu\text{A}$ . In FM stereo applications at 19 kHz pilot filter is inserted between pin 8 and pin 9 as shown in Figure 1.

Figure 3 is an interesting curve and deserves some discussion. Although the output of the DNR system is a linear function of input signal, the  $-3 \text{ dB}$  bandwidth is not. This is due to the non-linear nature of the control path. The DNR system has a uniform frequency response, but looking at the  $-3 \text{ dB}$  bandwidth on a steady state basis with a single frequency input can be misleading. It must be remembered that a single input frequency can only give a single  $-3 \text{ dB}$  bandwidth and the roll-off from this point must be a smooth  $-6 \text{ dB/oct}$ .

A more accurate evaluation of the frequency response can be seen in Figure 4. In this case the main signal path is frequency swept, while the control path has a constant frequency applied. It can be seen that different control path frequencies each give a distinctive gain roll-off.

### Psychoacoustic Basics

The dynamic noise reduction system is a low pass filter that has a variable bandwidth of 1 kHz to 30 kHz, dependent on music spectrum. The DNR system operates on three principles of psychoacoustics.

1. White noise can mask pure tones. The total noise energy required to mask a pure tone must equal the energy of the tone itself. Within certain limits, the wider the band of masking noise about the tone, the lower the noise amplitude need be. As long as the total energy of the noise is equal to or greater than the energy of the tone, the tone will be inaudible. This principle may be turned around; when music is present, it is capable of masking noise in the same bandwidth.
2. The ear cannot detect distortion for less than 1 ms. On a transient basis, if distortion occurs in less than 1 ms, the ear acts as an integrator and is unable to detect it. Because of this, signals of sufficient energy to mask noise open bandwidth to 90% of the maximum value in less than 1 ms. Reducing the bandwidth to within 10% of its minimum value is done in about 60 ms; long enough to allow the ambience of the music to pass through, but not so long as to allow the noise floor to become audible.
3. Reducing the audio bandwidth reduces the audibility of noise. Audibility of noise is dependent on noise spectrum, or how the noise energy is distributed with frequency. Depending on the tape and the recorder equalization, tape noise spectrum may be slightly rolled off with frequency on a per octave basis. The ear sensitivity on the other hand greatly increases between 2 kHz and 10 kHz. Noise in this region is extremely audible. The DNR system low pass filters this noise. Low frequency music will not appreciably open the DNR bandwidth, thus 2 kHz to 20 kHz noise is not heard.

# Block Diagram

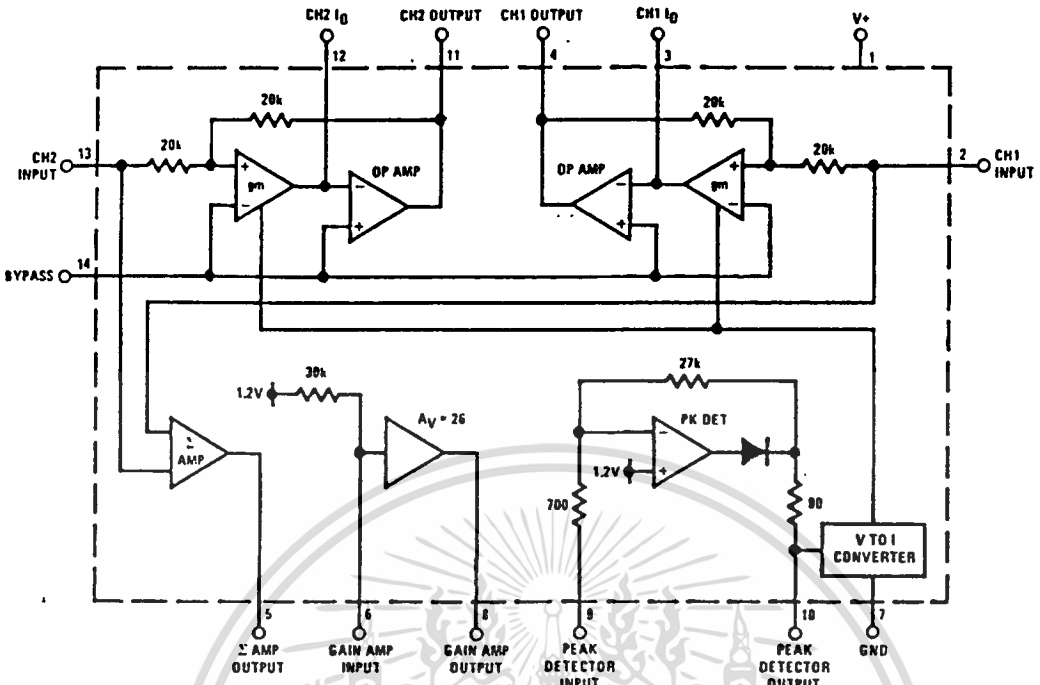


FIGURE 2

TL/H/7918-7

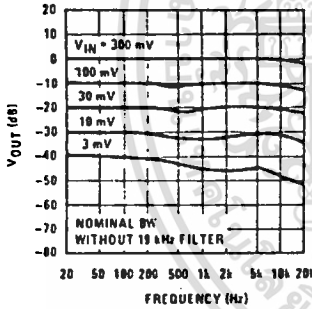


FIGURE 3. Output vs Frequency

TL/H/7918-8

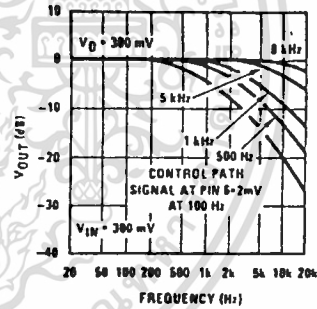


FIGURE 4. -3 dB Bandwidth vs Frequency and Control Signal

TL/H/7918-9

## Application Hints

The DNR system should always be placed before tone and volume controls as shown in *Figure 1*. This is because any adjustment of these controls would alter the noise floor seen by the DNR control path. The sensitivity resistors R1 and R2 may need to be switched with the input selector, depending on the noise floors of different sources, i.e., tape, FM, phono. To determine the value of R1 and R2 in a tape system for instance; apply tape noise (no program material) and adjust the ratio of R1 and R2 to open slightly the bandwidth of the main signal path. This can easily be done by viewing the capacitor voltage of pin 10 with an oscilloscope, or by using the circuit of *Figure 5*. This circuit gives an LED display of the voltage on the peak detector capacitor. Adjust the values of R1 and R2 (their sum is always 1 kΩ) to light the LEDs of pin 1 and pin 18. The LED bar graph does not indicate signal level, but rather instantaneous bandwidth of the two filters; it should not be used as a signal-level indica-

tor. For greater flexibility in setting the bandwidth sensitivity, R1 and R2 could be replaced by a 1 kΩ potentiometer.

To change the minimum and maximum value of bandwidth, the integrating capacitors, C3 and C12, can be scaled up or down. Since the bandwidth is inversely proportional to the capacitance, changing this 0.0039 μF capacitor to 0.0033 μF will change the typical bandwidth from 965 Hz–34 kHz to 1.1 kHz–40 kHz. With C3 and C12 set at 0.0033 μF, the maximum bandwidth is typically 34 kHz. A double pole double throw switch can be used to completely bypass DNR.

The capacitor on pin 10 in conjunction with internal resistors sets the attack and decay times. The attack time can be altered by changing the size of C10. Decay times can be decreased by paralleling a resistor with C10, and increased by increasing the value of C10.

### Application Hints (Continued)

When measuring the amount of noise reduction of the DNR system, the frequency response of the cassette should be flat to 10 kHz. The CCIR weighting network has substantial gain to 8 kHz and any additional roll-off in the cassette player will reduce the benefits of DNR noise reduction. A typical

signal-to-noise measurement circuit is shown in *Figure 6*. The DNR system should be switched from maximum bandwidth to nominal bandwidth with tape noise as a signal source. The reduction in measured noise is the signal-to-noise ratio improvement.

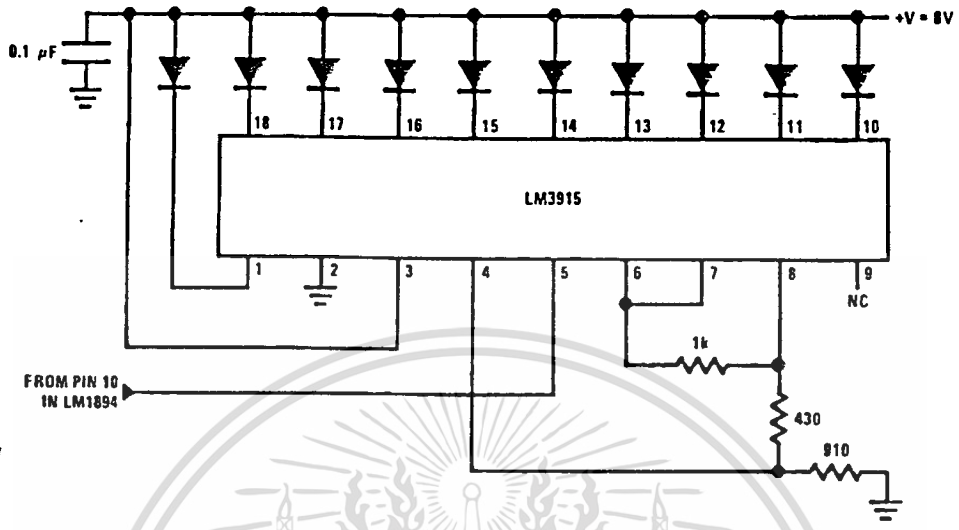


FIGURE 5. Bar Graph Display of Peak Detector Voltage

TL/H/7918-10

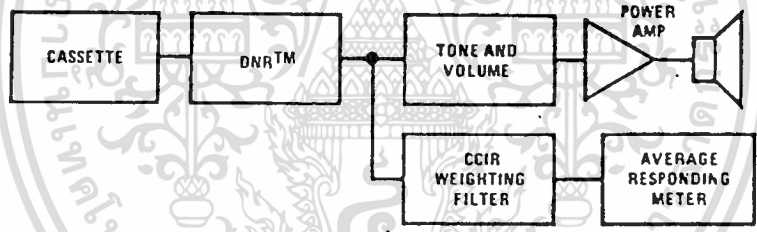


FIGURE 6. Technique for Measuring S/N Improvement of the DNR System

TL/H/7918-11



## Preliminary Information

8,192-Bit Serial Electrically Erasable PROM  
2.5 to 5.5 Volt Operation

### FEATURES

- Low Power CMOS
  - Active current less than 3mA
  - Standby current less than 5  $\mu$ A
- Hardware Write Protection
  - Write Control pin
- 2.5 to 5.5V Operation
- Extended Temperature Range: -40°C to +85°C
- Internally Organized as 1,024 X 8
- Two Wire Serial Interface (I<sup>2</sup>C™)
  - Bidirectional data transfer protocol
- Sixteen-Byte Page-Write Mode
  - Minimizes total write time per byte
- Automatic Word Address Incrementing
  - Sequential register read
- Self-Timed Write Cycle
- High Reliability
  - Endurance: 100,000 write cycles per byte
  - Data retention: 10 years
- 8-Pin PDIP or SOIC Packages

### OVERVIEW

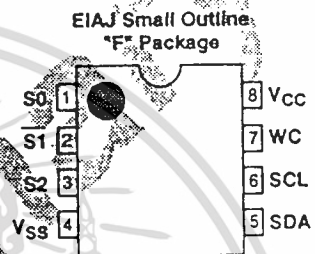
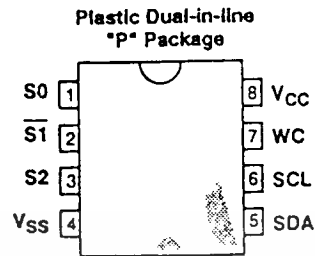
The XL24C08 is a cost-effective, 8,192-bit serial E<sup>2</sup>PROM. It is fabricated using EXEL's advanced CMOS E<sup>2</sup>PROM technology. This part operates from a single power supply over the range of 2.5 to 5.5 volts.

The XL24C08 is internally organized as 1,024 X 8. It features the I<sup>2</sup>C™ serial interface and software protocol allowing operation on a simple two-wire bus. Up to eight XL24C08s may be individually addressed on the two-wire bus by establishing their device address using the address input pins (S0, S1, and S2).

### PIN DESCRIPTIONS

**Serial Clock (SCL)** - The SCL input is used to clock data into and out of the device. In the WRITE mode, data must remain stable while SCL is HIGH. In the READ mode, data is clocked out on the falling edge of SCL.

### PIN CONFIGURATIONS



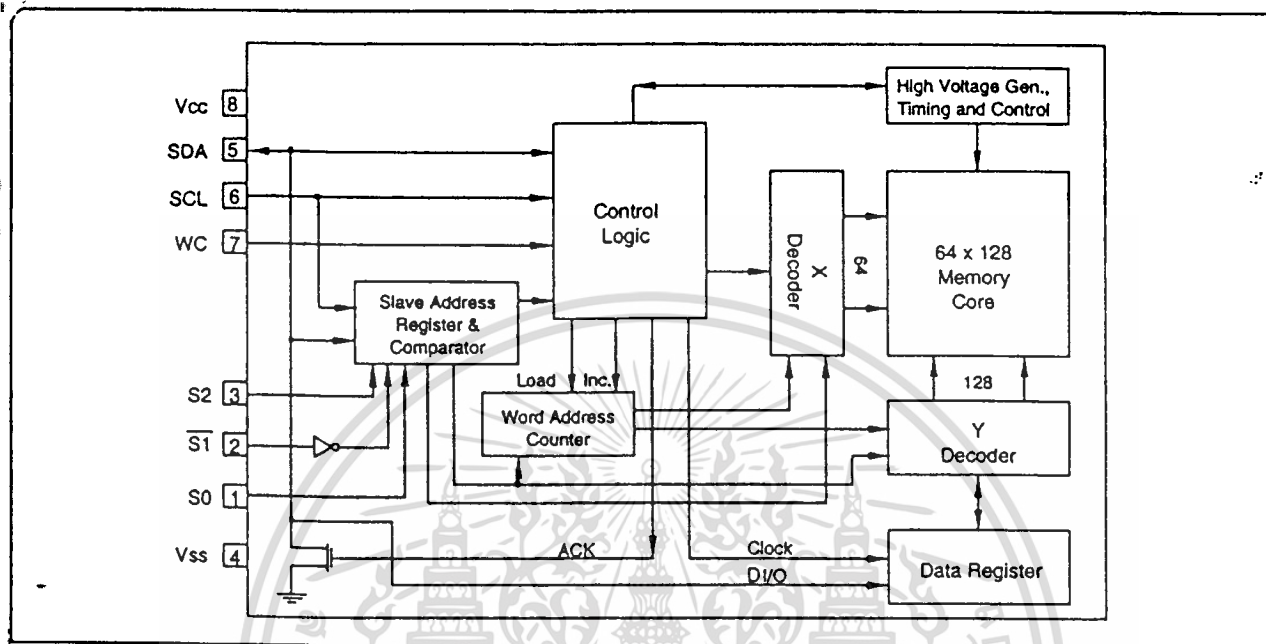
### PIN NAMES

S0, S1, S2	Device Select Inputs
SDA	Serial Data I/O
SCL	Serial Clock Input
WC	Write Control Input
V <sub>SS</sub>	Ground
V <sub>CC</sub>	Supply Voltage

**Serial Data (SDA)** - The SDA pin is a bidirectional pin used to transfer data into and out of the device. Data may change only when SCL is LOW, except START and STOP conditions. It is an open-drain output and may be wire-ORed with any number of open-drain or open-collector outputs.

**Device Select (S0, S1, and S2)** - The device select input pins are used to set the three-bit device address of the XL24C08 which will identify it on the two-wire bus. These inputs may be tied HIGH, LOW, or they may be actively driven. These inputs allow up to eight XL24C08 devices to be distinguished on the bus. If only one XL24C08 is connected to the two-wire bus, the S0, S1, and S2 inputs must be tied or driven to LOW.

**Write Control (WC)** - The Write Control input pin is used to disable the write circuitry to the memory. This input may be tied HIGH, LOW, or left unconnected. When HIGH, the write function is disabled, protecting previously written data; when LOW, or unconnected the write function is enabled.

**BLOCK DIAGRAM**

**ENDURANCE AND DATA RETENTION**

The XL24C08 is designed for applications requiring up to 100,000 write cycles per bit and unlimited read cycles. It provides 10 years of secure data retention, with or without power applied, after the execution of 100,000 write cycles.

**APPLICATIONS**

The XL24C08 is ideal for applications requiring low voltage and low power consumption. This device uses a cost effective, space-saving, 8-pin plastic package. Typical applications include alarm devices, electronic locks, meters, keys, pagers and cellular phones.

**CHARACTERISTICS OF THE I<sup>2</sup>C™ BUS**
**General Description**

The I<sup>2</sup>C™ bus was designed for two-way, two-line serial communication between different integrated circuits. The two lines are: a serial data line (SDA), and a serial clock line (SCL). The SDA line must be connected to a positive supply by a pull-up resistor, located somewhere on the bus (See Figure 1.) Data transfer between devices may be initiated with a START condition only when SCL and SDA are HIGH (bus is not busy).

**Input Data Protocol**

One data bit is transferred during each clock pulse. The data on the SDA line must remain stable during clock HIGH time, because changes on the data line while SCL is HIGH will be interpreted as start or stop condition (See Figure 2.)

**START and STOP Conditions**

When both the data and clock lines are HIGH, the bus is said to be not busy. A HIGH-to-LOW transition on the data line, while the clock is HIGH, is defined as the "START" condition. A LOW-to-HIGH transition on the data line, while the clock is HIGH, is defined as the "STOP" condition (See Figure 3.)

**DEVICE OPERATION**

The XL24C08 is a 8,192-bit serial E<sup>2</sup>PROM. The device supports the I<sup>2</sup>C™ bidirectional data transmission protocol. The protocol defines any device that sends data onto the bus as a "transmitter" and any device which receives data as a "receiver". The device controlling data transmission is called the "master" and the controlled device is called the "slave." In all cases, the XL24C08 will be a "slave" device, since it never initiates any data transfers.

Up to eight XL24C08s can be connected to the bus, selected by the S0, S1, and S2 device addresses. S0, S1, and S2 must be connected to either V<sub>CC</sub>, V<sub>SS</sub> or they may be actively driven. S0, S1, S2 form part of the Device Identifier Code in the slave address byte (see Device Addressing). If only one XL24C08 is connected to the bus, S0, S1, and S2 must be tied or driven LOW. Other devices may be connected to the bus, but need a different Device identifier code.

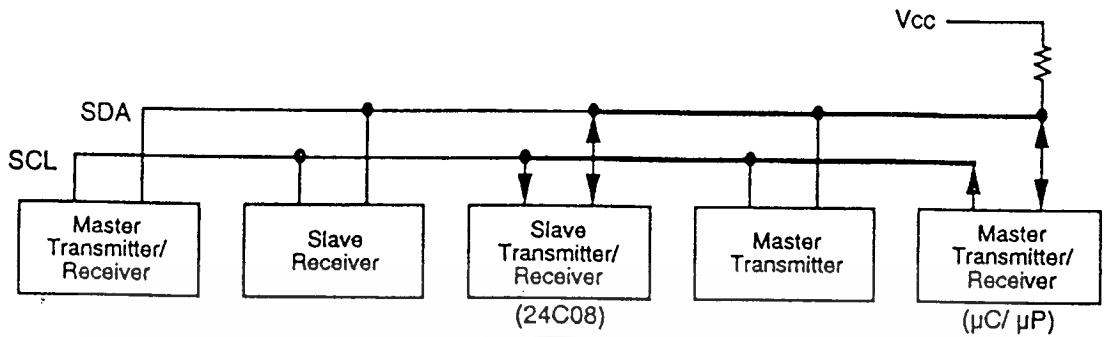


FIGURE 1. TYPICAL SYSTEM CONFIGURATION

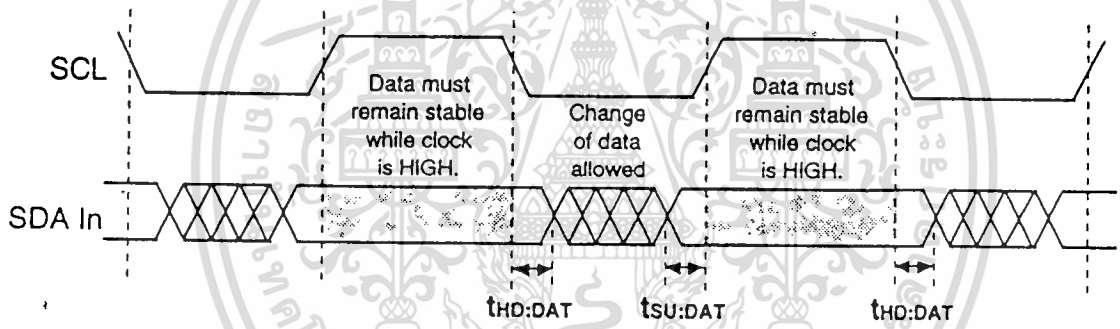


FIGURE 2. INPUT DATA PROTOCOL

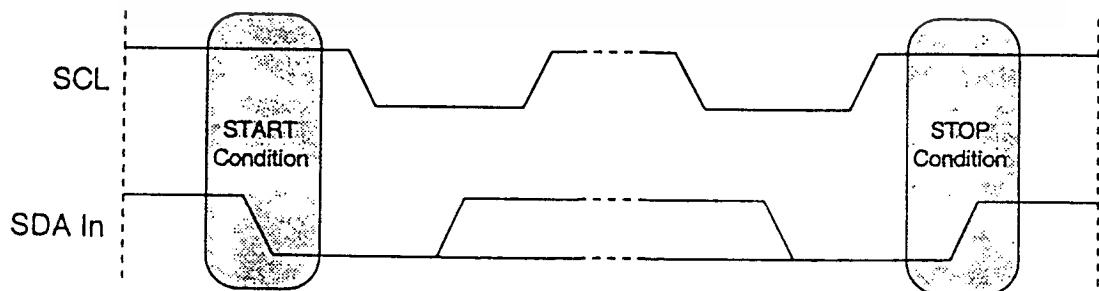
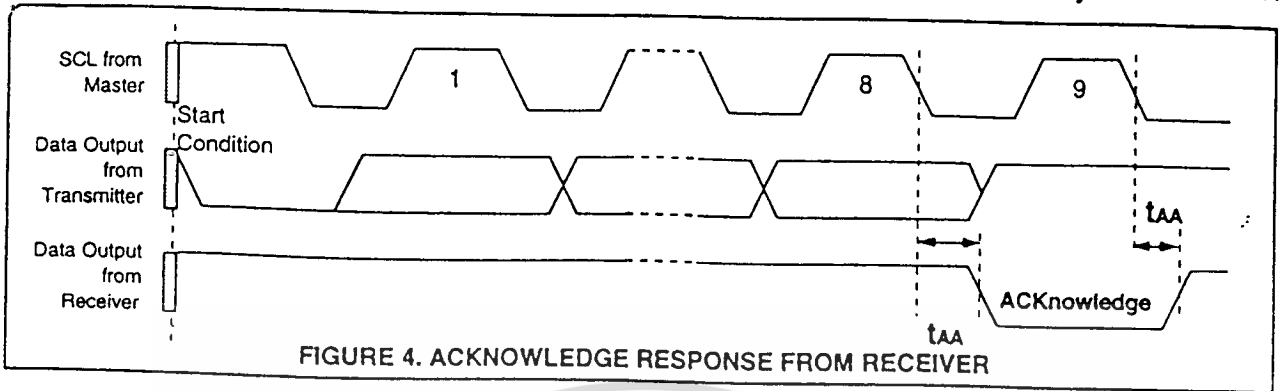


FIGURE 3. START AND STOP CONDITIONS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ...ไปว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


**FIGURE 4. ACKNOWLEDGE RESPONSE FROM RECEIVER**

### Acknowledge (ACK)

Acknowledge is a software convention used to indicate successful data transfers. The transmitting device, either the master or the slave, will release the bus after transmitting eight bits. During the ninth clock cycle, the receiver will pull the SDA line LOW to Acknowledge that it received the eight bits of data (See Figure 4.)

The XL24C08 will respond with an Acknowledge after recognition of a START condition and its slave address byte. If both the device and a write operation are selected, the XL24C08 will respond with an Acknowledge after the receipt of each subsequent 8-bit word.

In the READ mode, the XL24C08 transmits eight bits of data, then releases the SDA line, and monitors the line for an Acknowledge signal. If an Acknowledge is detected, and no STOP condition is generated by the master, the XL24C08 will continue to transmit data. If an Acknowledge is not detected, the XL24C08 will terminate further data transmissions and awaits a STOP condition before returning to the standby power mode.

### Device Addressing

Following a START condition, the master must output the device address of the slave to be accessed. The most significant bit of the slave address is a one. The next three bits are the device select-bits. A system could have up to eight XL24C08 on the bus. The XL24C08 device identifier is 1010 for single device operation (with S0, S1 and S2

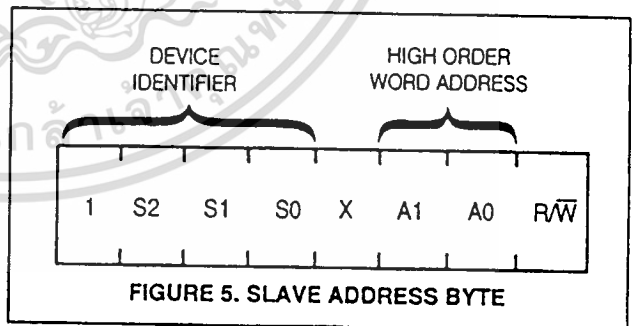
tied or driven LOW). When multiple devices are connected to the bus, the identifier is 1 S2 S1 S0. The eight addresses are defined by the states of S2, S1, S0 inputs. S1 bit of the slave address is the inverse of the S1 input pin (see figure 5).

### Word Address

The next three bits of the slave address (the most significant bit being a "don't care") are an extension of the array's address and are concatenated with the eight bits of address in the word address field, providing direct access to the 1,024 X 8 array.

### Read/Write Bit

The last bit of the data stream defines the operation to be performed. When set to "1," a read operation is selected; when set to "0," a write operation is selected.


**FIGURE 5. SLAVE ADDRESS BYTE**

### WRITE OPERATIONS

The XL24C08 allows two types of write operations: byte write and page write. The byte write operation writes a single byte during the nonvolatile write period ( $t_{WR}$ ). The page write operation allows up to full 16-byte in the same page to be written during  $t_{WR}$ .

#### Byte WRITE

After the slave address is sent (to identify the slave device and specify high order word address, a read or write operation), a second byte is transmitted which contains the low 8 bit addresses of any one of the 1,024 words in the array.

Upon receipt of the word address, the XL24C08 responds with an ACKnowledge. After receiving the next byte of data, it again responds with an ACKnowledge. The master then terminates the transfer by generating a STOP condition, at which time the XL24C08 begins the internal write cycle.

While the internal write cycle is in progress, the XL24C08 inputs are disabled, and the device will not respond to any requests from the master. Refer to Figure 6 for the address, ACKnowledge and data transfer sequence.

#### Page WRITE

The XL24C08 is capable of a 16-byte page write operation. It is initiated in the same manner as the byte-write operation, but instead of terminating the write cycle after the first data word, the master can transmit up to 15 more words of data. After the receipt of each word, the XL24C08 will respond with an ACKnowledge.

The XL24C08 automatically increments the address for subsequent data words. After the receipt of each word, the four low order address bits are internally incremented by one. The high order five bits of the address byte remain constant. Should the master transmit more than sixteen words, prior to generating the STOP condition, the address counter will "roll over," and the previously written data will be overwritten. As with the byte-write operation, all inputs are disabled during the internal write cycle. Refer to Figure 6 for the address, ACKnowledge and data transfer sequence.

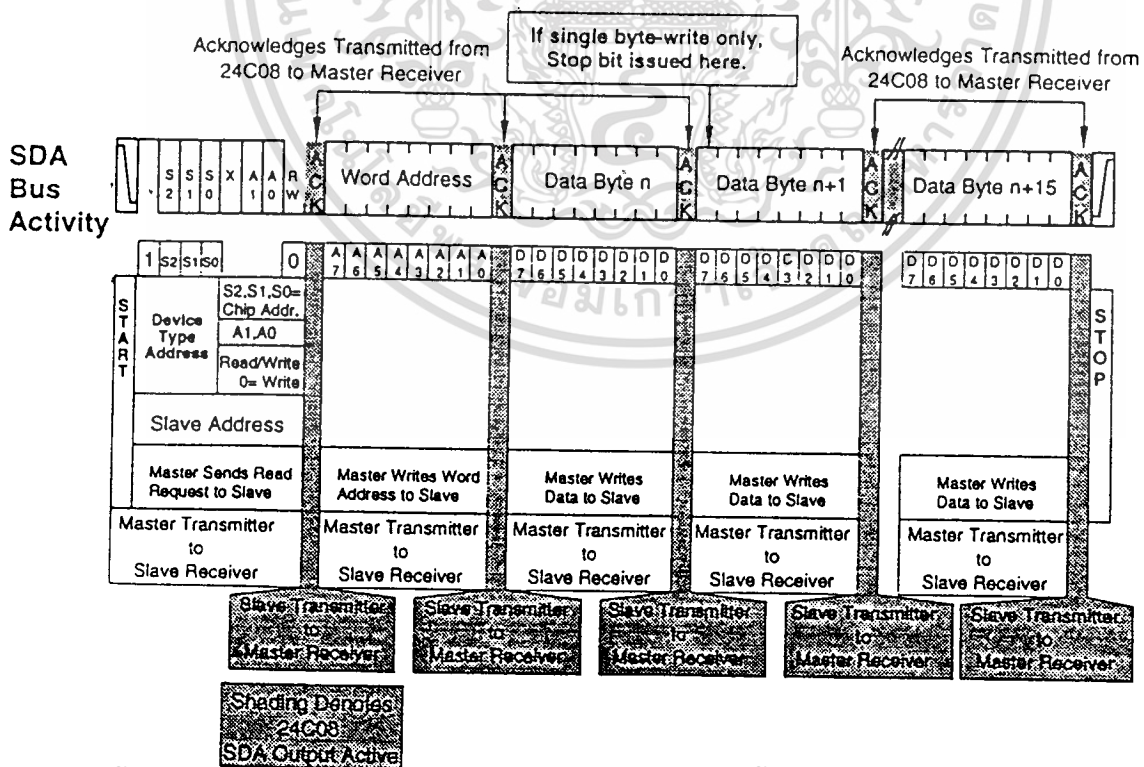


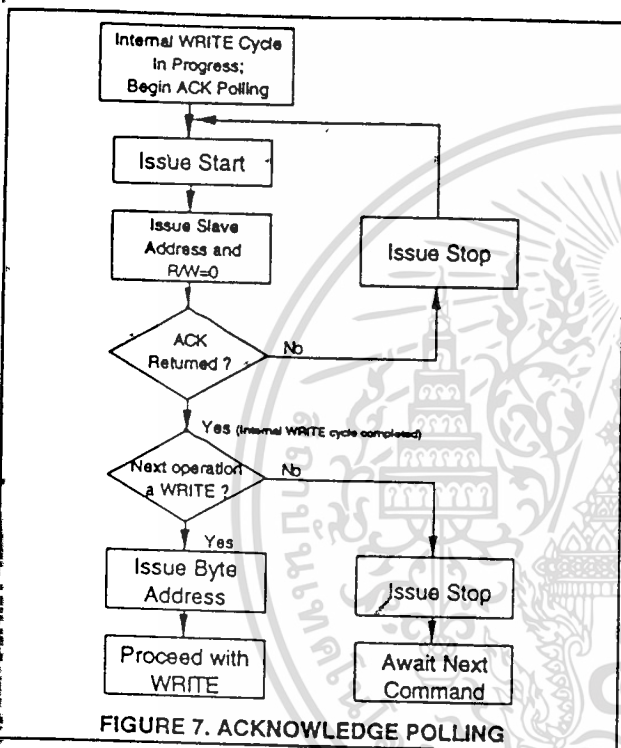
FIGURE 6. PAGE/BYTE WRITE MODE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ภายในเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามเผยแพร่ลงบนสื่อใดๆ และต้องอ้างอิงถึงเลขของเอกสารทุกครั้งที่มีการแก้ไข

### Acknowledge Polling

When the XL24C08 is performing an internal WRITE operation, it will ignore any new START conditions. Since the device will only return an acknowledge after it accepts the START, the part can be continuously queried until an acknowledge is issued, indicating that the internal WRITE cycle is complete.

To poll the device, give it a START condition, followed by a slave address for a WRITE operation (See Figure 7).



### READ OPERATIONS

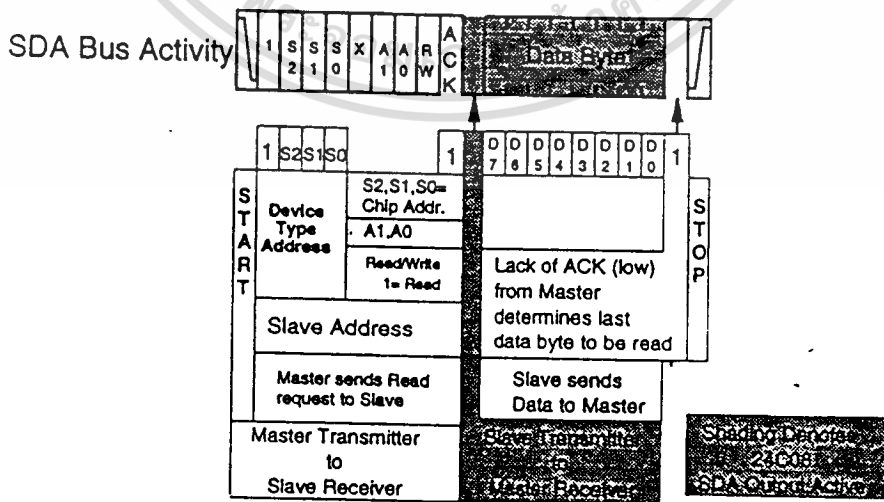
Read operations are initiated with the R/W bit of the identification field set to "1." There are four different read options:

1. Current Address Byte Read
2. Random Address Byte Read
3. Current Address Sequential Read
4. Random Address Sequential Read

#### Current Address Byte Read

The XL24C08 contains an internal address counter which maintains the address of the last word accessed, incremented by one. If the last address accessed (either a read or write) was to address location  $n$ , the next read operation would access data from address location  $n+1$  and increment the current address pointer. When the XL24C08 receives the slave address field with the R/W bit set to "1", it issues an acknowledge and transmits the 8-bit word stored at address location  $n+1$ .

The current address byte read operation only accesses a single byte of data. The master does not acknowledge the transfer, but does generate a stop condition. At this point, the XL24C08 discontinues data transmission. See Figure 8 for the address acknowledge and data transfer sequence.



**FIGURE 8. CURRENT ADDRESS BYTE READ MODE**

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ของ AL Microelectronics Co., Ltd. ห้ามไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Random Address Byte Read**

Random address read operations allow the master to access any memory location in a random fashion. This operation involves a two-step process. First, the master issues a write command which includes the start condition and the slave address field (with the R/W bit set to WRITE) followed by the address of the word it is to read. This procedure sets the internal address counter of the XL24C08 to the desired address.

After the word address acknowledge is received by the master, the master immediately reissues a start condition followed by another slave address field with the R/W bit set to READ. The XL24C08 will respond with an acknowledge and then transmit the 8-data bits stored at the addressed location. At this point, the master does not acknowledge the transmission but does generate the stop condition. The XL24C08 discontinues data transmission and reverts to its standby power mode. See Figure 9 for the address, acknowledge and data transfer sequence.

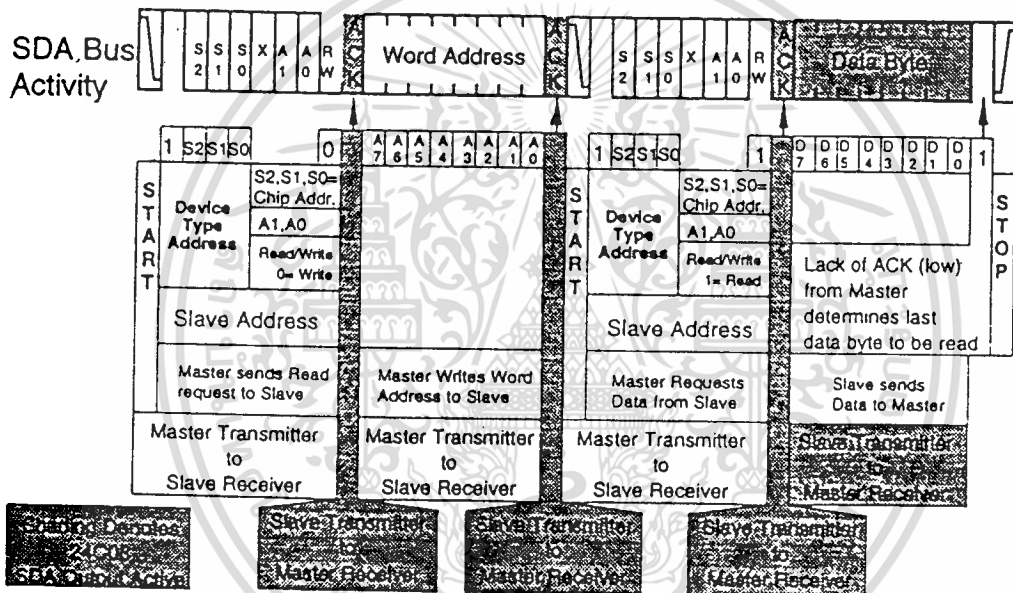
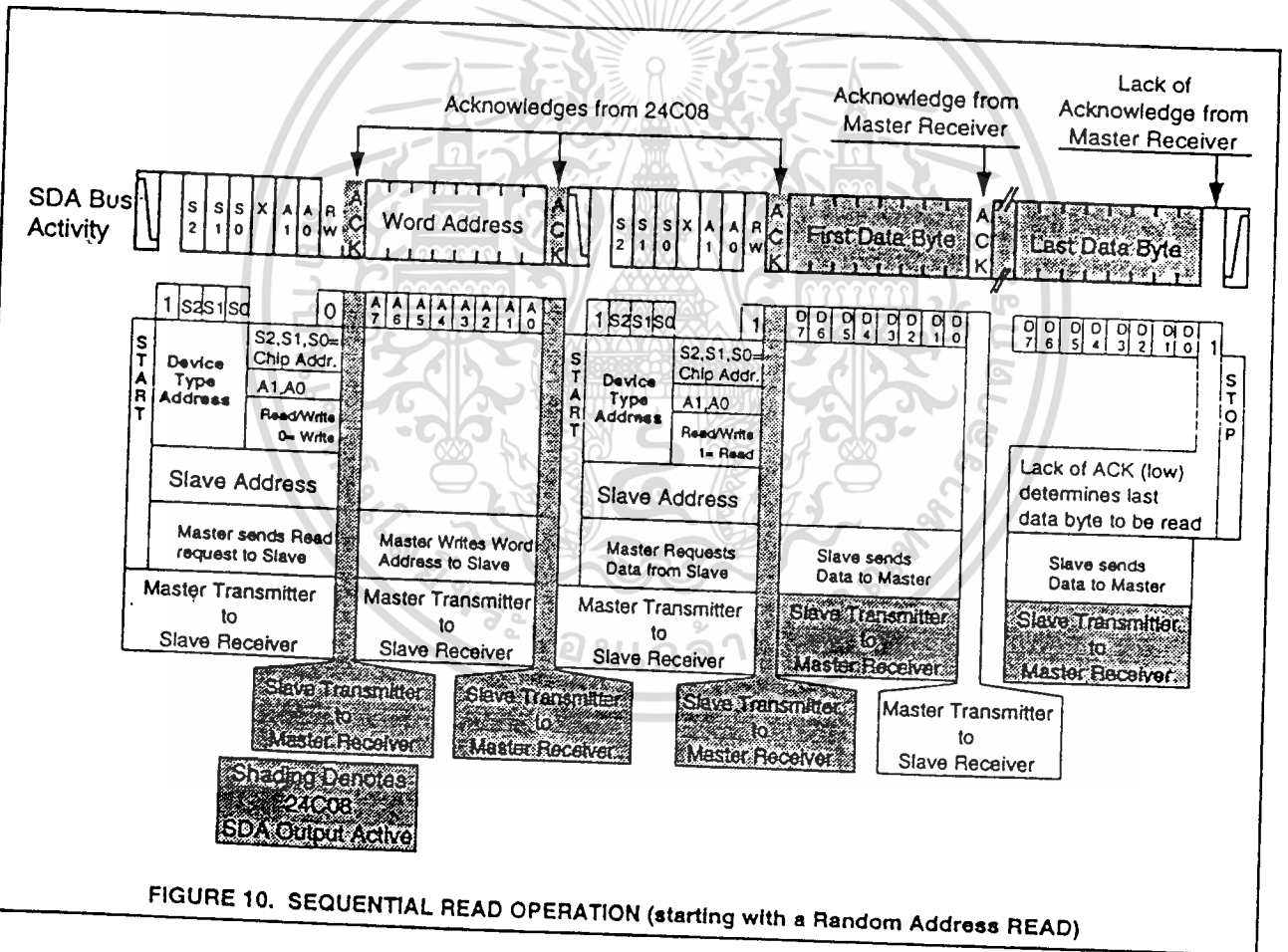


FIGURE 9. RANDOM ADDRESS BYTE READ MODE

**Sequential READ**

Sequential READs can be initiated as either a current address READ or random access READ. The first word is transmitted as with the other byte read modes (current address byte READ or random address byte READ); however, the master now responds with an ACKnowledge, indicating that it requires additional data from the XL24C08. The XL24C08 continues to output data for each ACKnowledge received. The master terminates the sequential READ operation by not responding with an ACKnowledge, and issues a STOP conditions.

During a sequential read operation, the internal address counter is automatically incremented with each acknowledge signal. For read operations, all address bits are incremented, allowing the entire array to be read using a single read command. When the counter reaches the top of the array, it will "roll over" to the bottom of the array and continue to transmit data for each acknowledge bit it receives. See Figure 10 for the address, acknowledge and data transfer sequence.



**FIGURE 10. SEQUENTIAL READ OPERATION (starting with a Random Address READ)**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### ABSOLUTE MAXIMUM RATINGS

Temperature Under Bias: .....	-40°C to +85°C
Storage Temperature .....	-65°C to +125°C
Soldering Temperature (less than 10 seconds) .....	300°C
Supply Voltage .....	0 to 6.5V
Voltage on Any Pin .....	-0.3V to $V_{CC}+0.3V$
ESD Voltage (JEDEC method) .....	2,000V

NOTE: These are STRESS ratings only. Appropriate conditions for operating these devices are given elsewhere in this specification. Stresses beyond those listed here may permanently damage the part. Prolonged exposure to maximum ratings may affect device reliability.

### DC ELECTRICAL CHARACTERISTICS

$T_A = -40^\circ\text{C}$  to  $+85^\circ\text{C}$ ,  $V_{CC} = 2.5\text{V}$  to  $5.5\text{V}$

Symbol	Parameter	Conditions	Min	Max	Units	
$I_{CC}$	Supply Current (CMOS)	SCL = CMOS Levels @ 100KHz SDA = Open; $V_{CC} = 5V$ All other inputs = GND or $V_{CC}$	Read		2	mA
			Write		3	mA
$I_{SB}$	Standby Current (CMOS)	SCL = SDA = $V_{CC}$ All other inputs = GND or $V_{CC}$		5	$\mu\text{A}$	
$I_U$	Input Leakage	$V_{IN} = 0$ To $V_{CC}$		10	$\mu\text{A}$	
$I_{LO}$	Output Leakage	$V_{OUT} = 0$ To $V_{CC}$		10	$\mu\text{A}$	
$V_{IL}$	Input Low Voltage	S0, $\bar{S}1$ , S2, SCL, SDA		$0.3 \times V_{CC}$	V	
$V_{IH}$	Input High Voltage	S0, $\bar{S}1$ , S2, SCL, SDA	$0.7 \times V_{CC}$		V	
$V_{OL}$	Output Low Voltage	$I_{OL} = 3\text{mA}$		0.4	V	

### AC ELECTRICAL CHARACTERISTICS

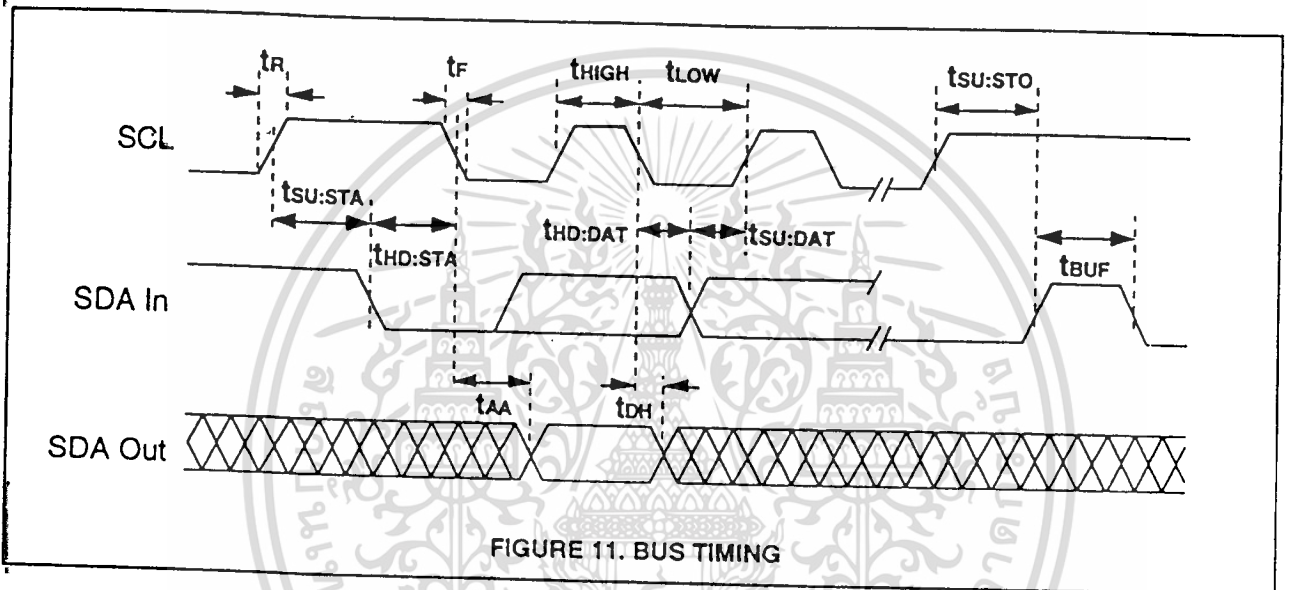
$T_A = -40^\circ\text{C}$  to  $+85^\circ\text{C}$ ,  $V_{CC} = 2.5\text{V}$  to  $5.5\text{V}$

Symbol	Parameter	Conditions	Min	Max	Units
$f_{SCL}$	SCL Clock Frequency		0	100	KHz
$t_{LOW}$	Clock Low Period		4.7		$\mu\text{s}$
$t_{HIGH}$	Clock High Period		4.0		$\mu\text{s}$
$t_{BUF}$	Bus Free Time	Before New Transmission	4.7		$\mu\text{s}$
$t_{SU:STA}$	Start Condition Setup Time		4.7		$\mu\text{s}$
$t_{HD:STA}$	Start Condition Hold Time		4.0		$\mu\text{s}$
$t_{SU:STO}$	Stop Condition Setup Time		4.7		$\mu\text{s}$
$t_{AA}$	Clock to Output	SCL Low to SDA Data Out Valid	0.3	3.5	$\mu\text{s}$
$t_{DH}$	Data Out Hold Time	SCL Low to SDA Data Out Change	0.3		$\mu\text{s}$
$t_R$	SCL and SDA Rise Time			1000	ns
$t_F$	SCL and SDA Fall Time			300	ns
$t_{SU:DAT}$	Data In Setup Time		250		ns
$t_{HD:DAT}$	Data In Hold Time		0		ns
$T_I$	Noise Spike Width	Noise Suppression Time Constant @ SCL, SDA Inputs		100	ns
$t_{WR}$	Write Cycle Time				ms

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**CAPACITANCE**  
 TA = 25°C, f = 100KHz

Symbol	Parameter	Max	Units
C <sub>IN</sub>	Input Capacitance	5	pF
C <sub>OUT</sub>	Output Capacitance	8	pF



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4051B, SCL4052B  
SCL4053B



CMOS ANALOG MULTIPLEXERS  
/DEMULTIPLEXERS

FEATURES

- ◆ Wide Range of Digital and Analog Signal Levels: Digital-3 to 15V, Analog-to 15V<sub>p-p</sub>
- ◆ Low ON-Resistance: 80Ω (typ.) over entire 15V<sub>p-p</sub> Signal-Input Range for V<sub>DD</sub>-V<sub>EE</sub> = 15V
- ◆ High OFF-Resistance: Input Leakage ± 10pA (typ) @ V<sub>DD</sub>-V<sub>EE</sub> = 10V
- ◆ Logic-Level Conversion for Digital Addressing Signals of 3 to 15V (V<sub>DD</sub>-V<sub>SS</sub> = 3V to 15V) to Switch Analog Signals to 15V<sub>p-p</sub> (V<sub>DD</sub>-V<sub>EE</sub> = 15V)
- ◆ Matched Switch Characteristics: ΔR<sub>ON</sub> = 5Ω (typ.) for V<sub>DD</sub>-V<sub>EE</sub> = 18V
- ◆ Very Low Quiescent Power Dissipation under all Digital Control Input and Supply Conditions: 1μW typ. @ V<sub>DD</sub>-V<sub>SS</sub> = V<sub>DD</sub>-V<sub>EE</sub> = 10V
- ◆ Binary Address Decoding on Chip

DESCRIPTION

The SCL4051B, SCL4052B, and SCL4053B are Digitally-Controlled Analog Switches having low ON-impedance and very low OFF leakage current. Control of analog signals up to 15V<sub>p-p</sub> can be achieved by digital signal amplitudes of 3 to 15V. For example, if V<sub>DD</sub> = +5V, V<sub>SS</sub> = 0V, and V<sub>EE</sub> = -5V, analog signals from -5V to +5V can be controlled by digital inputs of 0 to 5V. The multiplexer circuits dissipate extremely low quiescent power over the full V<sub>DD</sub> - V<sub>SS</sub> and V<sub>DD</sub> - V<sub>EE</sub> supply-voltage ranges, independent of the logic state of the control signals. When a logic "1" is present at the Inhibit input terminal all channels are OFF.

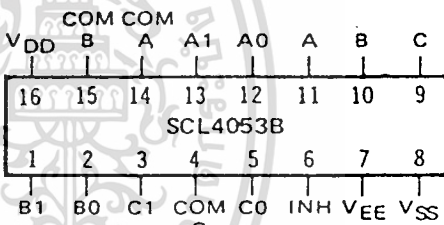
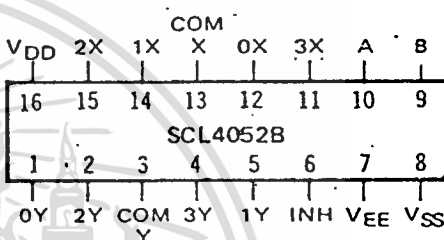
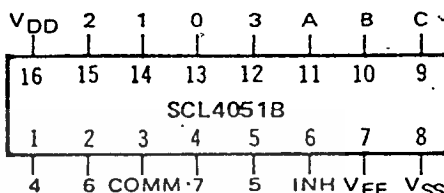
SCL4051B is a Single 8-Channel Multiplexer having three binary Control inputs, A, B, and C, and an Inhibit input. The three binary signals select 1 of 8 channels to be turned ON and connect the input to the output.

SCL4052B is a Differential 4-Channel Multiplexer having two binary Control inputs, A and B, and an Inhibit input. The two binary input signals select 1 of 4 pairs of channels to be turned on and connect the differential analog inputs to the differential outputs.

SCL4053B is a Triple 4-Channel Multiplexer having three separate digital Control inputs, A, B, and C and an Inhibit input. Each control input selects one of a pair of channels which are connected in a single-pole double-throw configuration.

When the devices are used as demultiplexers, the "CHANNEL IN/OUT" terminals are the outputs and the "COMMON OUT/IN" terminal(s) is (are) the input(s).

CONNECTION DIAGRAMS  
(all packages)



Add suffix for package:

- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

RECOMMENDED OPERATING CONDITIONS

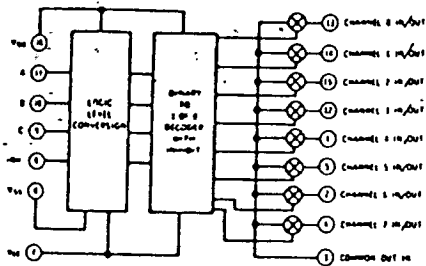
For maximum reliability:

DC Supply Voltage	V <sub>DD</sub> - V <sub>SS</sub>	3 to 15	V <sub>dc</sub>
	V <sub>DD</sub> - V <sub>EE</sub>	3 to 15	V <sub>dc</sub>
Operating Temperature	T <sub>A</sub>		
C, D, F, H Device		-55 to +125	°C
E-Device		-40 to +85	°C

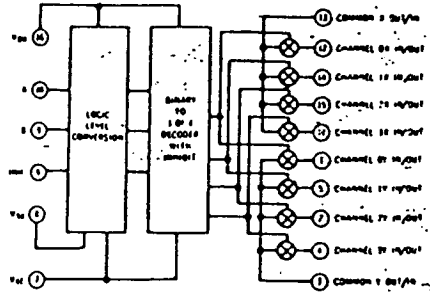
NOTE: There are no restrictions on the relative magnitudes of -V<sub>SS</sub> and V<sub>EE</sub>, providing Absolute Maximum Ratings are observed.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

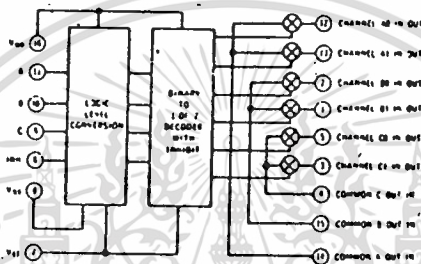
LOGIC DIAGRAMS



SCL4051B  
Single 8-Channel Multiplexer



SCL4052B  
Differential 4-Channel Multiplexer



SCL4053B  
Triple 2-Channel Multiplexer

TRUTH TABLE

INPUT STATES				"ON" CHANNELS		
INHIBIT	C	B	A	4051	4052	4053
0	0	0	0	0	0x, 0y	cx, bx, ax
0	0	0	1	1	1x, 1y	cx, bx, ay
0	0	1	0	2	2x, 2y	cx, by, ax
0	0	1	1	3	3x, 3y	cx, by, ay
0	1	0	0	4		cy, bx, ax
0	1	0	1	5		cy, bx, ay
0	1	1	0	6		cy, by, ax
0	1	1	1	7		cy, by, ay
1	*	*	*	NONE	NONE	NONE

\* = Don't care

## ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS <sup>1,3</sup>

PARAMETER	CONDITIONS	V <sub>SS</sub> (Vdc)	V <sub>DD</sub> (Vdc)	V <sub>EE</sub> (Vdc)	T <sub>LOW</sub> <sup>2</sup>		+25°C			T <sub>HIGH</sub> <sup>2</sup>		Units			
					Min.	Max.	Min.	Typ.	Max.	Min.	Max.				
QUIESCENT DEVICE CURRENT	I <sub>DD</sub> V <sub>IN</sub> =V <sub>SS</sub> or V <sub>DD</sub> All valid input combinations	0	+5	0	-	5	-	0.05	5	-	150	μAdc			
		0	+10	0	-	10	-	0.1	10	-	300				
			+5	-5											
		0	+15	0	-	20	-	0.2	20	-	600				
			+7.5	-7.5											
MINIMUM INPUT HIGH VOLTAGE (Control and Inhibit Inputs)	V <sub>IN</sub> V <sub>IS</sub> =V <sub>EE</sub> V <sub>OS</sub> =V <sub>DD</sub> I <sub>OS</sub> =10μA	0	5	0	-	3.5	-	2.75	3.5	-	3.5	Vdc			
		0	10	0	-	7.0	-	5.5	7.0	-	7.0				
		0	15	0	-	11.0	-	8.25	11.0	-	11.0				
MAXIMUM INPUT LOW VOLTAGE (Control and Inhibit Inputs)	V <sub>IL</sub> V <sub>IS</sub> =V <sub>EE</sub> V <sub>OS</sub> =V <sub>DD</sub> I <sub>OS</sub> =10μA	0	5	0	1.5	-	1.5	2.25	-	1.5	-	Vdc			
		0	10	0	3.0	-	3.0	4.5	-	3.0	-				
		0	15	0	4.0	-	4.0	6.75	-	4.0	-				
SWITCH INPUT/ OUTPUT LEAKAGE Any channel OFF	b <sub>OFF</sub> V <sub>IN</sub> =V <sub>SS</sub> or V <sub>DD</sub> V <sub>IS</sub> =±7.5Vdc	0	+7.5	-7.5	-	±100	-	±0.01	±100	-	±500	nAdc			
		All channels OFF	I <sub>inh</sub> = 7.5Vdc V <sub>IS</sub> =±7.5Vdc SCL4051B	0	±7.5	-7.5	-	±400	-	±0.08	±400		-	±1000	nAdc
				SCL4052B	-	±200	-	±0.04	±200	-	±1000				
				SCL4053B	-	±100	-	±0.02	±100	-	±1000				
ON-RESISTANCE C, D, F, H device	R <sub>ON</sub> V <sub>IN</sub> =V <sub>SS</sub> or V <sub>DD</sub> V <sub>EE</sub> ≤V <sub>IS</sub> ≤V <sub>DD</sub> R <sub>L</sub> =10kΩ	-7.5	+7.5	-7.5	-	-	-	-	-	-	-	Ω			
		0	+15	0	-	220	-	125	280	-	400				
		-5	+5	-5	-	310	-	180	400	-	580				
		0	+10	0	-	-	-	-	-	-	-				
		-2.5	+2.5	-2.5	-	2000	-	470	2500	-	3500				
	0	+5	0	-	-	-	-	-	-	-					
	E device	R <sub>ON</sub> V <sub>IN</sub> =V <sub>SS</sub> or V <sub>DD</sub> V <sub>EE</sub> ≤V <sub>IS</sub> ≤V <sub>DD</sub> R <sub>L</sub> =10kΩ	-7.5	+7.5	-7.5	-	230	-	125	280	-	360	Ω		
			0	+15	0	-	330	-	180	400	-	520			
			-5	+5	-5	-	-	-	-	-	-	-			
			0	+10	0	-	-	-	-	-	-	-			
-2.5			+2.5	-2.5	-	2100	-	470	2500	-	3200				
0	+5	0	-	-	-	-	-	-	-						
ON-RESISTANCE MATCH (Same Package)	ΔR <sub>ON</sub> V <sub>IN</sub> =V <sub>SS</sub> or V <sub>DD</sub> V <sub>EE</sub> ≤V <sub>IS</sub> ≤V <sub>DD</sub> R <sub>L</sub> =10kΩ	-7.5	+7.5	-7.5	-	-	-	5	-	-	-	Ω			
		0	+15	0	-	-	-	10	-	-	-				
		-5	+10	-5	-	-	-	-	-	-	-				
		0	+10	0	-	-	-	-	-	-	-				
		-2.5	+2.5	-2.5	-	-	-	50	-	-	-				
0	+5	0	-	-	-	-	-	-	-						

NOTES: <sup>1</sup> Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications"

<sup>2</sup> T<sub>LOW</sub> = -55°C for C, D, F, H device.

= -40°C for E device.

T<sub>HIGH</sub> = +125°C for C, D, F, H device.

= + 85°C for E device.

<sup>3</sup> These devices have been designed for balanced output drive current specifications. Consult Family Specifications.

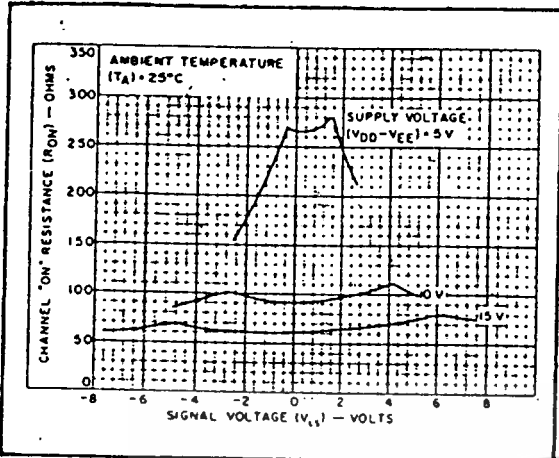
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Continued)

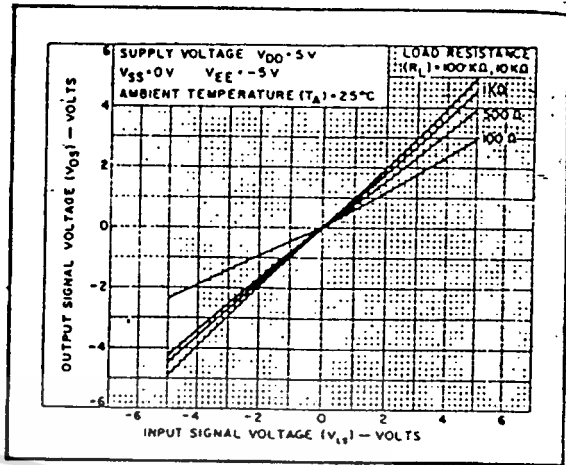
DYNAMIC CHARACTERISTICS ( $C_L = 50\text{pF}$ ,  $T_A = 25^\circ\text{C}$ )

PARAMETER	CONDITIONS	$V_{SS}$ (Vdc)	$V_{DD}$ (Vdc)	$V_{EE}$ (Vdc)	Min.	Typ.	Max.	Units		
<b>SIGNAL INPUTS (<math>V_{in}</math>) AND OUTPUTS (<math>V_{out}</math>)</b>										
PROPAGATION DELAY TIME Signal Input to Signal Output	$t_{PLH}$ $t_{PHL}$	Inh = $V_{SS}$ $V_{IN} = V_{SS}$ or $V_{DD}$ $V_{in}$ = Square Wave $R_L = 10\text{k}\Omega$	0	5	0	—	30	60	ns	
			0	10	0	—	15	30		
			0	15	0	—	12.5	25		
BANDWIDTH (-3dB) (Sine Wave)	BW	Inh = $V_{SS}$ $R_L$ $V_{IN} = V_{SS}$ $\begin{matrix} 1\text{k}\Omega \\ 10\text{k}\Omega \\ 100\text{k}\Omega \\ 1\text{M}\Omega \end{matrix}$ or $V_{DD}$ $V_{in} = 5V_{pp}$ centered @ 0.0Vdc	0	+5	-5	—	54	—	MHz	
			—	—	—	—	40	—		
			—	—	—	—	38	—		
			—	—	—	—	37	—		
INSERTION LOSS (= $20 \log_{10} \frac{V_{out}}{V_{in}}$ )		Inh = $V_{SS}$ $R_L$ $V_{IN} = V_{SS}$ $\begin{matrix} 1\text{k}\Omega \\ 10\text{k}\Omega \\ 100\text{k}\Omega \\ 1\text{M}\Omega \end{matrix}$ or $V_{DD}$ $V_{in} = 5V_{pp}$ centered @ 0.0Vdc	0	+5	-5	—	2.3	—	dB	
			—	—	—	—	0.2	—		
			—	—	—	—	0.1	—		
			—	—	—	—	0.05	—		
SIGNAL DISTORTION (Sine Wave)		Inh = $V_{SS}$ $V_{IN} = V_{SS}$ or $V_{DD}$ $V_{in} = 5V_{pp}$ centered @ 0.0Vdc $f_{in} = 1.0\text{kHz}$ $R_L = 10\text{k}\Omega$	-7.5	+7.5	-7.5	—	0.1	—	%	
			-5	+5	-5	—	0.2	—		
			-2.5	+2.5	-2.5	—	1.0	—		
			—	—	—	—	—	—		
FEEDTHROUGH (-40dB)		Inh = $V_{SS}$ $R_L$ $V_{IN} = V_{SS}$ $\begin{matrix} 1\text{k}\Omega \\ 10\text{k}\Omega \\ 100\text{k}\Omega \\ 1\text{M}\Omega \end{matrix}$ or $V_{DD}$ $V_{in} = 5V_{pp}$ centered @ 0.0Vdc	0	+5	-5	—	1250	—	kHz	
			—	—	—	—	140	—		
			—	—	—	—	18	—		
			—	—	—	—	2	—		
CROSSTALK (-40dB) Between two switches		Inh = $V_{SS}$ $V_{IN} = V_{SS}$ or $V_{DD}$ $V_{in} = 5V_{pp}$ centered @ 0.0Vdc $R_L = 10\text{k}\Omega$	0	+5	-5	—	1.0	—	MHz	
			—	—	—	—	—	—		
CAPACITANCE Input	$C_w$	Inh = $V_{DD}$	0	+5	-5	—	5	—	pF	
			Common	$C_{os}$	SCL4051B	—	30	—		pF
					SCL4052B	—	18	—		
					SCL4053B	—	10	—		
Feedthrough	$C_{fbs}$	0	+5	-5	—	0.2	—	pF		
<b>CONTROL INPUTS</b>										
PROPAGATION DELAY TIME <sup>1</sup> Turn on	$t_{PLH}$ $t_{PHL}$	Inh = $V_{SS}$ $V_{EE} < V_{in} < V_{DD}$ $R_L = 10\text{k}\Omega$	0	+7.5	-7.5	—	160	320	ns	
			0	+15	0	—	120	240		
			0	+5	-5	—	225	450		
			0	+10	0	—	160	320		
			-2.5	+2.5	-2.5	—	400	800		
			0	+5	0	—	360	720		
PROPAGATION DELAY TIME Turn on	$t_{PLH}$ $t_{PHL}$	$V_{IN} = V_{SS}$ or $V_{DD}$ $V_{in} = V_{DD}$ $R_L = 10\text{k}\Omega$	0	+7.5	-7.5	—	160	320	ns	
			0	+15	0	—	120	240		
			0	+5	-5	—	200	400		
			0	+10	0	—	160	320		
			-2.5	+2.5	-2.5	—	400	800		
			0	+5	0	—	360	720		
INHIBIT RECOVERY TIME <sup>2</sup>	$t_{in}$	$V_{IN} = V_{SS}$ or $V_{DD}$ $V_{EE} < V_{in} < V_{DD}$ $R_L = 10\text{k}\Omega$	0	+7.5	-7.5	—	150	300	ns	
			0	+15	0	—	80	160		
			0	+5	-5	—	200	400		
			0	+10	0	—	105	210		
			-2.5	+2.5	-2.5	—	300	600		
			0	+5	0	—	225	450		

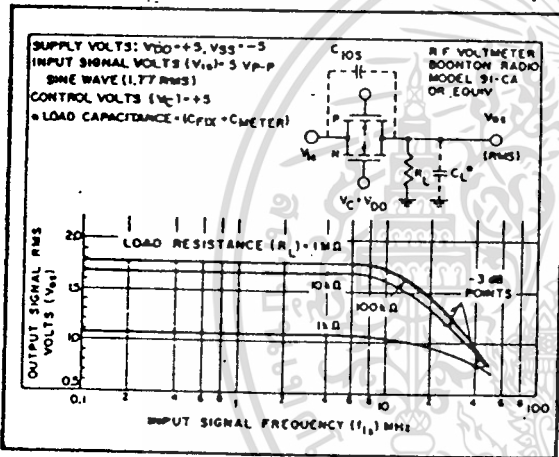
Notes: <sup>1</sup> Channel Overlap time — interval following change of control input during which two channels may be ON simultaneously.  
<sup>2</sup> Interval following removal of Inhibit during which channel information is invalid.



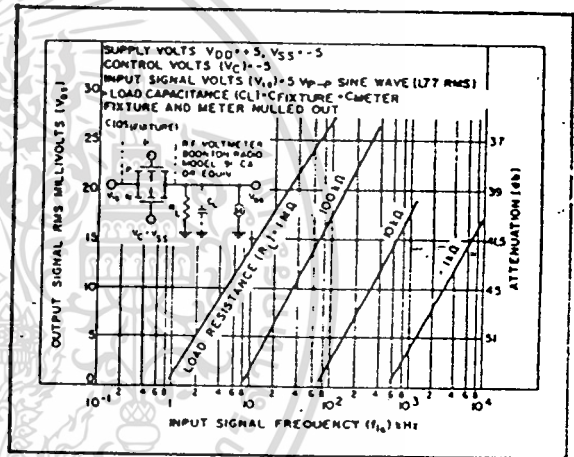
Typical Channel "ON" resistance vs. signal voltage



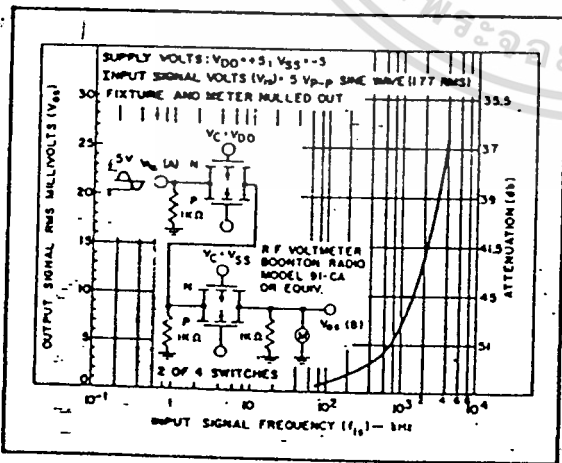
Typical "ON" characteristics



Typ. switch frequency response-switch "ON"

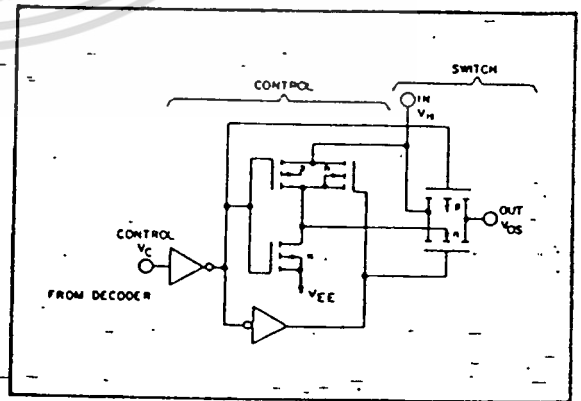


Typ. feedthru vs. freq. — switch "OFF"



Typ. crosstalk between switch circuits in the same package

SCHMATIC DIAGRAM OF ONE SWITCH



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## MM54C164/MM74C164 8-Bit Parallel-Out Serial Shift Register

### general description

The MM54C164/MM74C164 shift registers are a monolithic complementary MOS (CMOS) integrated circuit constructed with N- and P-channel enhancement transistors. These 8-bit shift registers have gated serial inputs and clear. Each register bit is a D-type master/slave flip flop. A high-level input enables the other input which will then determine the state of the flip flop.

Data is serially shifted in and out of the 8-bit register during the positive going transition of clock pulse. Clear is independent of the clock and accomplished by a low level at the clear input. All inputs are protected against electrostatic effects.

### features

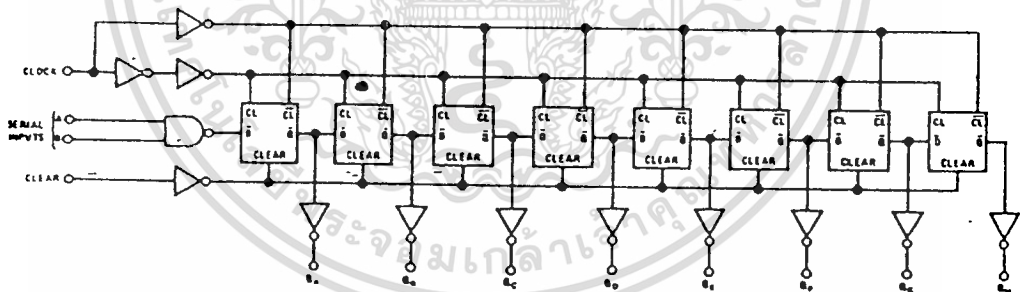
- Supply voltage range 3V to 15V
- Tenth power TTL compatible drive 2 LPTTL loads

- High noise immunity 0.45  $V_{CC}$  typ
- Low power 50 nW typ
- Medium speed operation 8.0 MHz typ with 10V supply

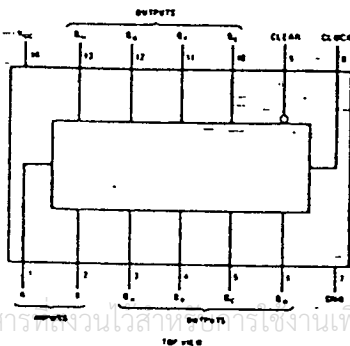
### applications

- Data terminals
- Instrumentation
- Medical electronics
- Alarm systems
- Industrial electronics
- Remote metering
- Computers

### block diagram



### connection diagram



### truth table

Serial Inputs A and B

INPUTS $t_n$		OUTPUT $t_{n+1}$
A	B	$Q_A$
1	1	1
0	1	0
1	0	0
0	0	0

## absolute maximum ratings

Voltage at Any Pin (Note 1)	-0.3 V to $V_{CC} + 0.3$ V	Maximum $V_{CC}$ Voltage	18 V
Operating Temperature	MM54C164 -55°C to +125°C	Package Dissipation	500 mW
	MM74C164 -40°C to +85°C	Operating $V_{CC}$ Range	+3 V to +15 V
Storage Temperature	-65°C to +150°C	Lead Temperature (Soldering, 10 seconds)	300°C

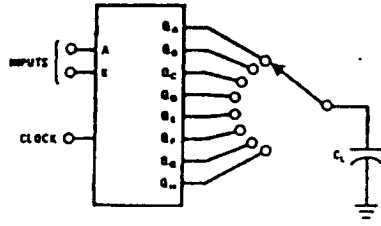
## electrical characteristics

Min/max limits apply across temperature range unless otherwise specified.

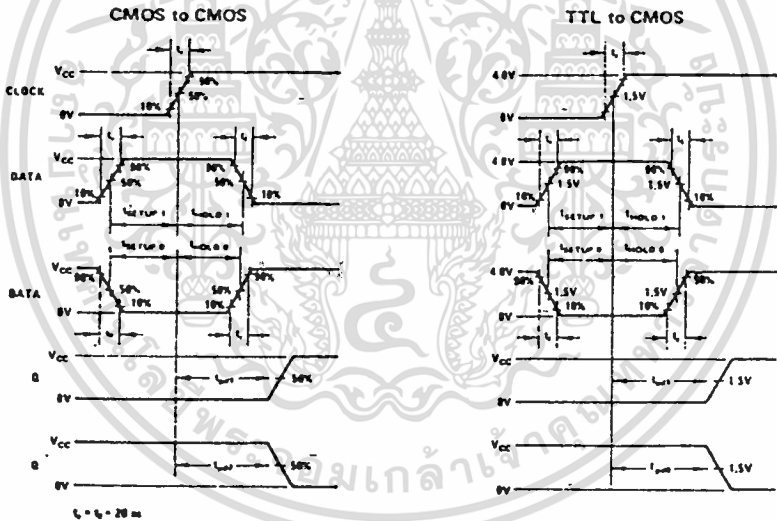
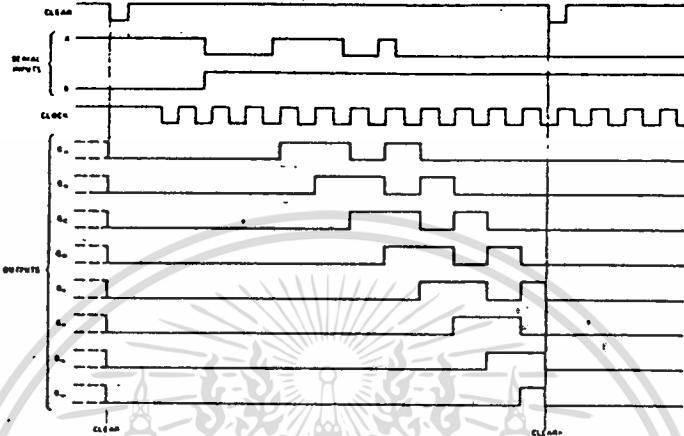
PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
<b>CMOS TO CMOS</b>					
Logical "1" Input Voltage $V_{IN(1)}$	$V_{CC} = 5.0$ V $V_{CC} = 10.0$ V	3.5 8			V V
Logical "0" Input Voltage $V_{IN(0)}$	$V_{CC} = 5.0$ V $V_{CC} = 10.0$ V			1.5 2	V V
Logical "1" Output Voltage $V_{OUT(1)}$	$V_{CC} = 5.0$ V, $I_O = -10$ $\mu$ A $V_{CC} = 10.0$ V, $I_O = -10$ $\mu$ A	4.5 9.0			V V
Logical "0" Output Voltage $V_{OUT(0)}$	$V_{CC} = 5.0$ V, $I_O = -10$ $\mu$ A $V_{CC} = 10.0$ V, $I_O = -10$ $\mu$ A			0.5 1	V V
Logical "1" Input Current $I_{IN(1)}$	$V_{CC} = 15.0$ V, $V_{IN} = 15$ V		0.005	1	$\mu$ A
Logical "0" Input Current $I_{IN(0)}$	$V_{CC} = 15.0$ V, $V_{IN} = 0$ V	-1	-0.005		$\mu$ A
Supply Current $I_{CC}$	$V_{CC} = 15.0$ V		0.05	300	$\mu$ A
Input Capacitance	Any Input		5		pF
Propagation Delay Time to a Logical "0" or a Logical "1" from Clock to Q	$V_{CC} = 5.0$ V, $C_L = 50$ pF, $T_A = 25^\circ$ C $V_{CC} = 10.0$ V, $C_L = 50$ pF, $T_A = 25^\circ$ C		230 90	310 120	ns ns
Propagation Delay Time to a Logical "0" from Clear to Q	$V_{CC} = 5.0$ V, $C_L = 50$ pF, $T_A = 25^\circ$ C $V_{CC} = 10.0$ V, $C_L = 50$ pF, $T_A = 25^\circ$ C	200 80	110	380 150	ns ns
Time Prior to Clock Pulse that Data Must be Present $t_{SETUP}$	$V_{CC} = 5.0$ V, $C_L = 50$ pF, $T_A = 25^\circ$ C $V_{CC} = 10.0$ V, $C_L = 50$ pF, $T_A = 25^\circ$ C		110 30		ns ns
Time After Clock Pulse that Data Must be Held	$V_{CC} = 5.0$ V, $C_L = 50$ pF, $T_A = 25^\circ$ C $V_{CC} = 10.0$ V, $C_L = 50$ pF, $T_A = 25^\circ$ C	0 0	0 0		ns ns
Maximum Clock Frequency	$V_{CC} = 5.0$ V, $C_L = 50$ pF, $T_A = 25^\circ$ C $V_{CC} = 10.0$ V, $C_L = 50$ pF, $T_A = 25^\circ$ C	2 5.5	3 8		MHz MHz
Minimum Clear Pulse Width	$V_{CC} = 5.0$ V, $C_L = 50$ pF, $T_A = 25^\circ$ C $V_{CC} = 10.0$ V, $C_L = 50$ pF, $T_A = 25^\circ$ C		150 55	250 90	ns ns
Maximum Clock Rise and Fall Time	$V_{CC} = 5.0$ V, $C_L = 50$ pF, $T_A = 25^\circ$ C $V_{CC} = 10.0$ V, $C_L = 50$ pF, $T_A = 25^\circ$ C	15 5			$\mu$ s $\mu$ s
<b>CMOS TO TENTH POWER INTERFACE</b>					
Logical "1" Input Voltage $V_{IN(1)}$	54C: $V_{CC} = 4.5$ V 74C: $V_{CC} = 4.75$ V	$V_{CC} - 1.5$			V
Logical "0" Input Voltage $V_{IN(0)}$	54C: $V_{CC} = 4.5$ V 74C: $V_{CC} = 4.75$ V			0.8	V
Logical "1" Output Voltage $V_{OUT(1)}$	54C: $V_{CC} = 4.5$ V, $I_O = -360$ $\mu$ A 74C: $V_{CC} = 4.75$ V, $I_O = -360$ $\mu$ A	2.4			V
Logical "0" Output Voltage $V_{OUT(0)}$	54C: $V_{CC} = 4.5$ V, $I_O = 360$ $\mu$ A 74C: $V_{CC} = 4.75$ V, $I_O = 360$ $\mu$ A			0.4	V
<b>OUTPUT DRIVE (See 54C/74C Family Characteristics Data Sheet)</b>					
Output Source Current ( $I_{SOURCE}$ )	$V_{CC} = 5.0$ V, $V_{IN(0)} = 0$ V $T_A = 25^\circ$ C, $V_{OUT} = 0$ V	-1.75			mA
Output Source Current ( $I_{SOURCE}$ )	$V_{CC} = 10$ V, $V_{IN(0)} = 0$ V $T_A = 25^\circ$ C, $V_{OUT} = 0$ V	-8.0			mA
Output Sink Current ( $I_{SINK}$ )	$V_{CC} = 5.0$ V, $V_{IN(1)} = 5.0$ V $T_A = 25^\circ$ C, $V_{OUT} = V_{CC}$	1.75			mA
Output Sink Current ( $I_{SINK}$ )	$V_{CC} = 10$ V, $V_{IN(1)} = 10$ V $T_A = 25^\circ$ C, $V_{OUT} = V_{CC}$	8.0			mA

Note 1: These devices should not be connected under power on conditions. อ่างอิงถึงเจ้าของเอกสารทุกครั้งที่มีกรนำไปใช้

# ac test circuit

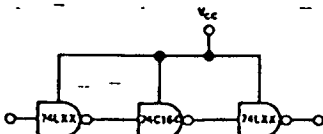


# switching time waveforms

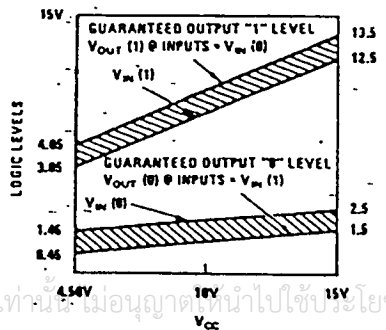


# typical applications

## 74C Compatibility



## Guaranteed Noise Margin as a Function of Vcc



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามเผยแพร่ต่อไปยังบุคคลภายนอกและต้องแจ้งถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# DATA SHEET

# 80C51-L / 80C31-L

## CMOS SINGLE-CHIP 8 BIT 3V-MICROCONTROLLER

- 80C51-L - CMOS SINGLE-CHIP 8-BIT MICROCONTROLLER with factory mask-programmable ROM
- 80C31-L - CMOS SINGLE-CHIP 8-BIT CONTROL-ORIENTED CPU with RAM and I/O
- 80C51-L/C31-L: 0 TO 6 MHz, VCC = 2.7V TO 6V

### FEATURES

- POWER CONTROL MODES
- 128 x 8 BIT RAM
- 32 PROGRAMMABLE I/O LINES
- TWO 16-BIT TIMER/COUNTERS
- 64K PROGRAM MEMORY SPACE
- FULLY STATIC DESIGN
- HIGH PERFORMANCE SAJI VI CMOS PROCESS
- BOOLEAN PROCESSOR
- 5 INTERRUPT SOURCES
- PROGRAMMABLE SERIAL PORT
- 64K DATA MEMORY SPACE
- TEMPERATURE RANGE: 0 TO 70°C

### DESCRIPTION

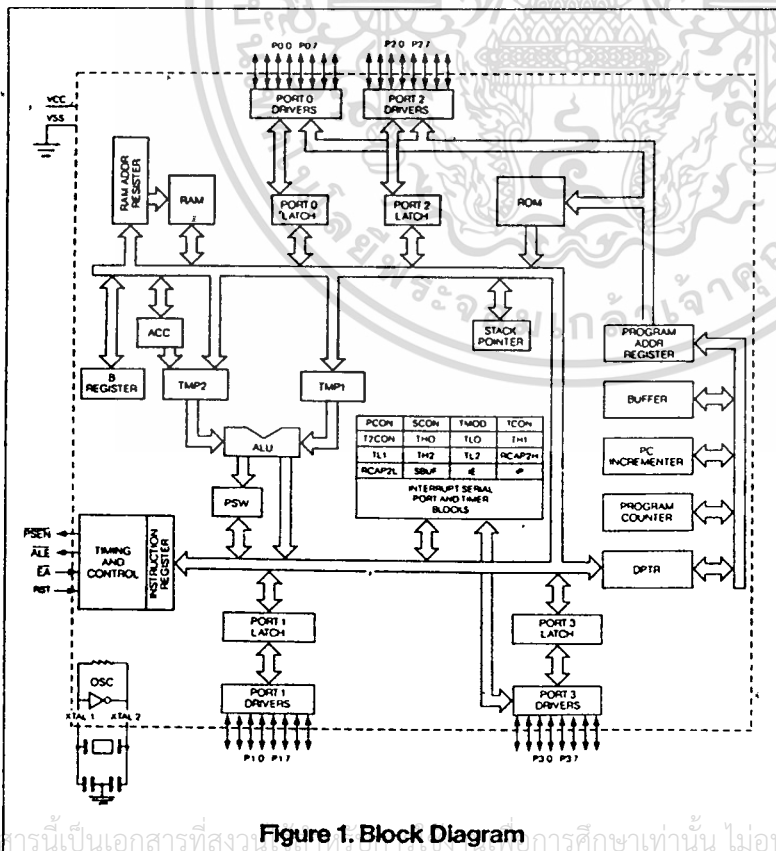


Figure 1. Block Diagram

MHS's 80C51 and 80C31 are high performance CMOS versions of the 8051/8031 NMOS single chip 8 bit  $\mu$ C and is manufactured using a self-aligned silicon gate CMOS process (SAJI VI).

The fully static design of the MHS 80C51/80C31 allows to reduce system power consumption by bringing the clock frequency down to any value, even DC, without loss of data.

The 80C51 retains all the features of the 8051: 4K bytes of ROM; 128 bytes of RAM; 32 I/O lines; two 16 bit timers; a 5-source 2-level interrupt structure; a full duplex serial port; and on-chip oscillator and clock circuits.

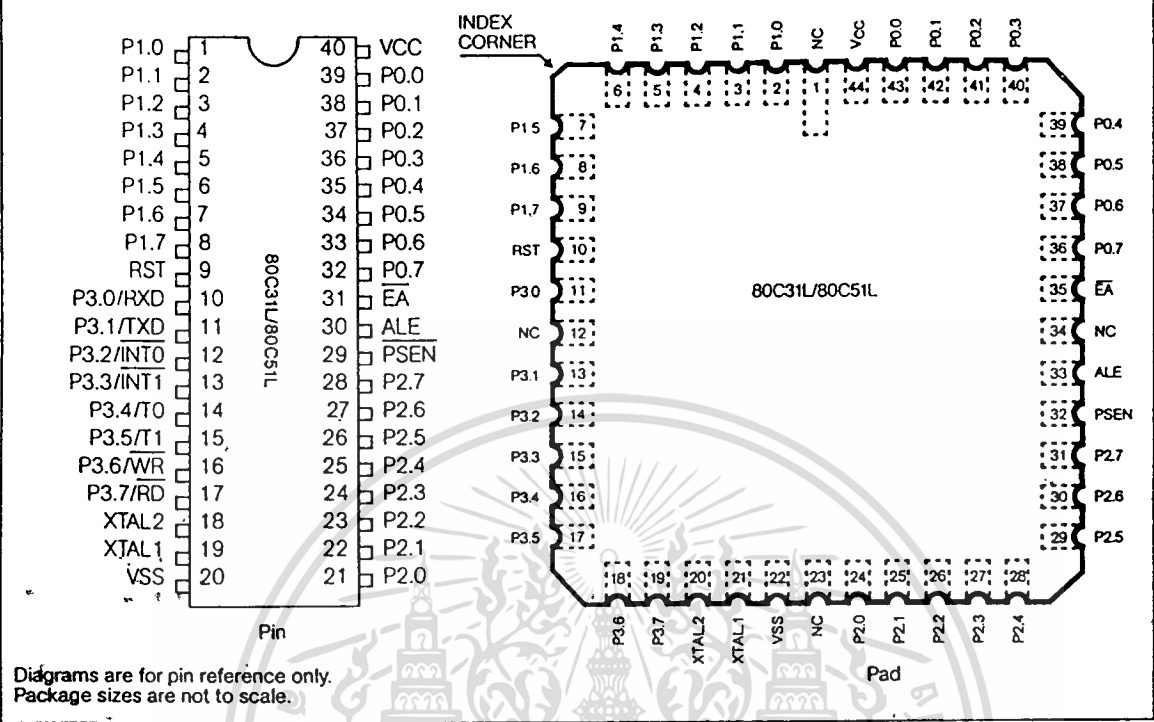
In addition, the 80C51 has two software-selectable modes of reduced activity for further reduction in power consumption. In the Idle Mode the CPU is frozen while the RAM, the timers, the serial port, and the interrupt system continue to function. In the Power Down Mode the RAM is saved and all other functions are inoperative.

The 80C31 is identical to the 80C51 except that it has no on-chip ROM.

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ การศึกษาเท่านั้น ไม่เผยแพร่

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้ง

Figure 2. Configurations



Diagrams are for pin reference only. Package sizes are not to scale.

**IDLE AND POWER DOWN OPERATION**

Figure 3 shows the internal Idle and Power Down clock configuration. As illustrated, Power Down operation stops the oscillator. Idle mode operation allows the interrupt, serial port, and timer blocks to continue to function while the clock to the CPU is gated off. These special modes are activated by software via the Special Function Register. Its hardware address is 87H. PCON is not bit addressable.

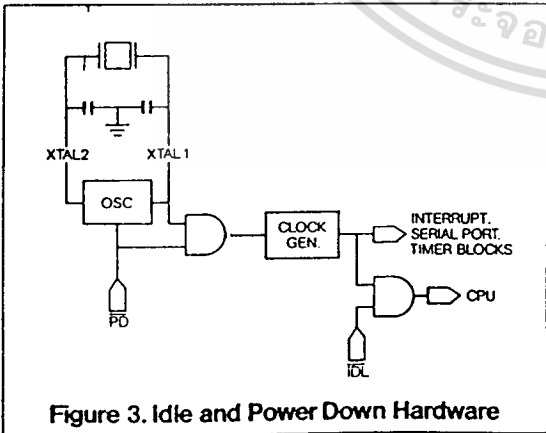


Figure 3. Idle and Power Down Hardware

PCON: Power Control Register (MSB) (LSB)

SMOD	-	-	-	GF1	GF0	PD	IDL
------	---	---	---	-----	-----	----	-----

**Symbol Position Name and Function**

SMOD	PCON.7	Double Baud rate bit. When set to a 1, the baud rate is doubled when the serial port is being used in either modes 1, 2 or 3.
-	PCON.6	(Reserved)
-	PCON.5	(Reserved)
-	PCON.4	(Reserved)
GF1	PCON.3	General-purpose flag bit.
GF0	PCON.2	General-purpose flag bit.
PD	PCON.1	Power Down bit. Setting this bit activates power down operation.
IDL	PCON.0	Idle mode bit. Setting this bit activates idle mode operation.

If 1's are written to PD and IDL at the same time, PD takes precedence. The reset value of PCON is (OXXX0000).

Table 1. Status of the external pins during Idle and Power Down modes

Mode	Program Memory	ALE	PSEN	PORT0	PORT1	PORT2	PORT3
Idle	Internal	1	1	Port Data	Port Data	Port Data	Port Data
Idle	External	1	1	Floating	Port Data	Address	Port Data
Power Down	Internal	0	0	Port Data	Port Data	Port Data	Port Data
Power Down	External	0	0	Floating	Port Data	Port Data	Port Data

### IDLE MODE

The instruction that sets PCON.0 is the last instruction executed before the Idle mode is activated. Once in the Idle mode the CPU status is preserved in its entirety: the Stack Pointer, Program Counter, Program Status Word, Accumulator, RAM, and all other registers maintain their data during Idle. Table 1 describes the status of the external pins during Idle mode.

There are two ways to terminate the Idle mode. Activation of any enabled interrupt will cause PCON.0 to be cleared by hardware, terminating Idle mode. The interrupt is serviced, and following RETI, the next instruction to be executed will be the one following the instruction that wrote a 1 to PCON.0.

The flag bits GF0 and GF1 may be used to determine whether the interrupt was received during normal execution or during the Idle mode. For example, the instruction that writes to PCON.0 can also set or clear one or both flag bits. When Idle mode is terminated by an enabled interrupt, the service routine can examine the status of the flag bits.

The second way of terminating the Idle mode is with a hardware reset. Since the oscillator is still running, the hardware reset needs to be active for only 2 machine cycles (24 oscillator periods) to complete the reset operation.

### POWER DOWN MODE

The instruction that sets PCON.1 is the last executed prior to entering power down. Once in power down, the oscillator is stopped. The contents of the onchip RAM and the Special Function Register is saved during power down mode. A hardware reset is the only way of exiting the power down mode. The hardware reset initiates the Special Function Register (see Table 1).

In the Power Down mode, VCC may be lowered to minimize circuit power consumption. Care must be taken to ensure the voltage is not reduced until the power down mode is entered, and that the voltage is restored before the hardware reset is applied which frees the oscillator. Reset should not be released until the oscillator has restarted and stabilized.

Table 1 describes the status of the external pins while in the power down mode. It should be noted that if the power down mode is activated while in external program memory, the port data that is held in the Special Function Register P2 is restored to Port 2. If the data is a 1, the port pin is held high during the power down mode by the strong pullup, T1, shown in Figure 4.

### STOP CLOCK MODE

Due to static design, the MHS 80C31/C51 clock speed can be reduced until 0 MHz without any data loss in memory or registers. This mode allows step by step utilization, and permits to reduce system power consumption by bringing the clock frequency down to any value. At 0 MHz, the power consumption is the same as in the Power Down Mode.

### 80C51 I/O PORTS

The I/O port drive of the 80C51 is similar to the 8051. The I/O buffers for Ports 1, 2, and 3 are implemented as shown in figure 4.

When the port latch contains a 0, all pFETS in figure 4 are off while the nFET is turned on. When the port latch makes a 0-to-1 transition, the nFET turns off. The strong pullup pFET, T1, turns on for two oscillator periods, pulling the output high very rapidly. As the output line is drawn high, pFET T3 turns on through the inverter to supply the I<sub>OH</sub> source current. This inverter and T3 form a latch which holds the 1 and is supported by T2. When Port 2 is used as an address port, for access to external program or data memory, any address bit that contains a 1 will have his strong pullup turned on for the entire duration of the external memory access.

When an I/O pin on Ports 1, 2, or 3 is used as an input the user should be aware that the external circuit must sink current during the logical 1-to-0 transition. The maximum sink current is specified as I<sub>TL</sub> under the D.C. Specifications. When the input goes below approximately 2V, T3 turns off to save ICC current. Note when returning to a logical 1, T2 is the only internal pullup that is on. This will result in a slow rise time if the user's circuit does not force the input line high.

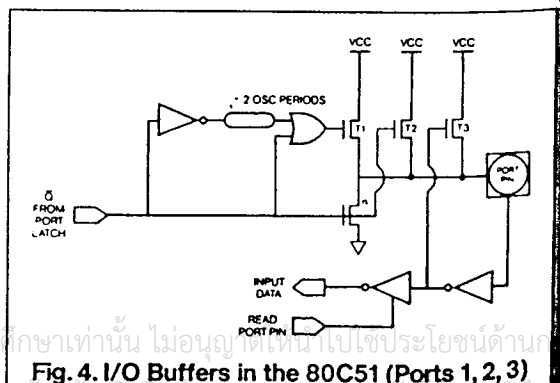


Fig. 4. I/O Buffers in the 80C51 (Ports 1, 2, 3)

## 80C51 PIN DESCRIPTIONS

**VSS**

Circuit ground potential

**VCC**

Supply voltage during normal, Idle, and Power Down operation.

**Port 0**

Port 0 is an 8-bit open drain bi-directional I/O port. Port 0 pins that have 1's written to them float, and in that state can be used as high-impedance inputs.

Port 0 is also the multiplexed low-order address and data bus during accesses to external Program and Data Memory. In this application it uses strong internal pullups when emitting 1's. Port 0 also outputs the code bytes during program verification in the 80C51. External pullups are required during program verification. Port 0 can sink-eight LS TTL inputs.

**Port 1**

Port 1 is an 8-bit bi-directional I/O port with internal pullups. Port 1 pins that have 1's written to them are pulled high by the internal pullups, and in that state can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current (IIL, on the data sheet) because of the internal pullups.

Port 1 also receives the low-order address bytes during program verification. In the 80C51, Port 1 can sink/source three LS TTL inputs. It can drive CMOS inputs without external pullups.

**Port 2**

Port 2 is an 8-bit bi-directional I/O port with internal pullups. Port 2 pins that have 1's written to them are pulled high by the internal pullups, and in that state can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current (IIL, on the data sheet) because of the internal pullups. Port 2 emits the high-order address byte during fetches from external Program Memory and during accesses to external Data Memory that use 16-bit addresses (MOVX @ DPTR). In this application, it uses strong internal pullups when emitting 1's. During accesses to external Data Memory that uses 8-bit addresses (MOVX @ Ri), Port 2 emits the contents of the P2 Special Function Register.

It also receives the high-order address bits and control signals during program verification in the 80C51. Port 2 can sink/source three LS TTL inputs. It can drive CMOS inputs without external pullups.

**Port 3**

Port 3 is an 8-bit bi-directional I/O port with internal pullups. Port 3 pins that have 1's written to them are pulled high by the internal pullups, and in that state can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (IIL, on the data sheet) because of the pullups. It also serves the functions of various special features of the MCS-51 Family, as listed below.

Port Pin	Alternate Function
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	INT0 (external interrupt 0)
P3.3	INT1 (external interrupt 1)
P3.4	T0 (Timer 0 external input)
P3.5	T1 (Timer 1 external input)
P3.6	WR (external Data Memory write strobe)
P3.7	RD (external Data Memory read strobe)

Port 3 can sink/source three LS TTL inputs. It can drive CMOS inputs without external pullups.

**RST**

A high level on this for two machine cycles while the oscillator is running resets the device. An internal pull-down resistor permits Power-On reset using only a capacitor connected to VCC.

**ALE**

Address Latch Enable output for latching the low byte of the address during accesses to external memory. ALE is activated as though for this purpose at a constant rate of 1/6 the oscillator frequency except during an external data memory access at which time one ALE pulse is skipped. ALE can sink/source 8 LS TTL inputs. It can drive CMOS inputs without an external pullup.

**PSEN**

Program Store Enable output is the read strobe to external Program Memory. PSEN is activated twice each machine cycle during fetches from external Program Memory. (However, when executing out of external Program Memory, two activations of PSEN are skipped during each access to external Data Memory). PSEN is not activated during fetches from internal Program Memory. PSEN can sink/source 8 LS TTL inputs. It can drive CMOS inputs without an external pullup.

**EA**

When EA is held high, the CPU executes out of internal Program Memory (unless the Program Counter exceeds 0FFFH). When EA is held low, the CPU executes only out of external Program Memory. EA must not be floated.

**XTAL1**

Input to the inverting amplifier that forms the oscillator. Receives the external oscillator signal when an external oscillator is used.

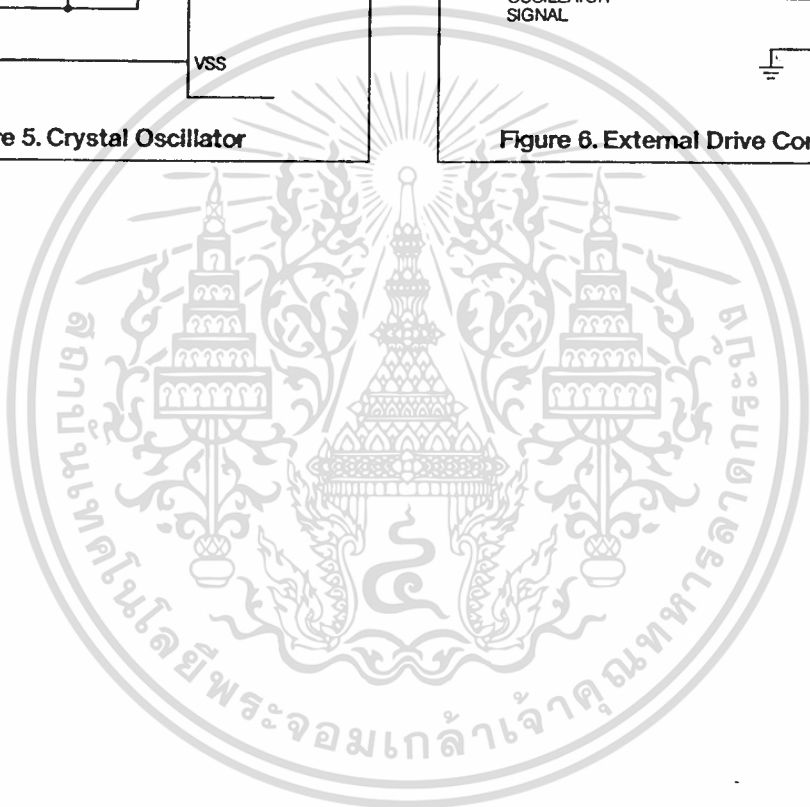
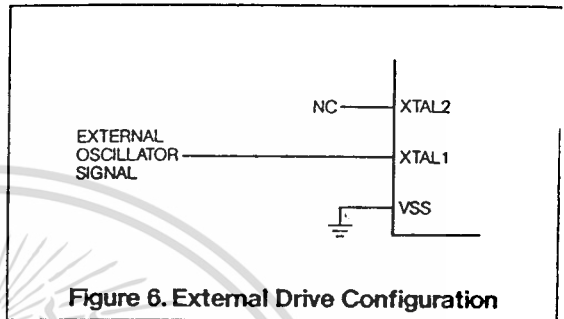
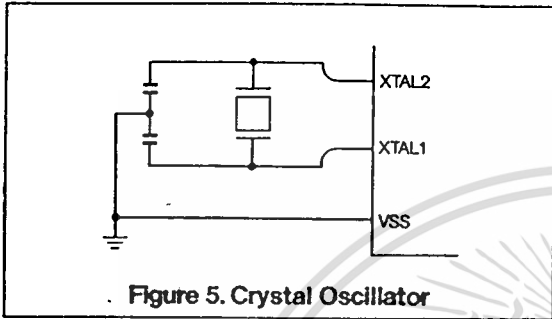
**XTAL2**

Output of the inverting amplifier that forms the oscillator, and input to the internal clock generator. This pin should be floated when an external oscillator is used.

**OSCILLATOR CHARACTERISTICS**

XTAL1 and XTAL2 are the input and output respectively, of an inverting amplifier which is configured for use as an on-chip oscillator, as shown in figure 5. Either a quartz crystal or ceramic resonator may be used. To drive the device from an external clock source, XTAL1 should be driven while XTAL2 is left

unconnected as shown in figure 6. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum high and low times specified on the Data Sheet must be observed.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านธุรกิจ  
 ไม่สามารถคัดลอก ตัดต่อ หรือเผยแพร่ข้อมูลใดๆ โดยไม่ได้รับอนุญาตจากทางมหาวิทยาลัยราชภัฏบรียรัมย์

**ABSOLUTE MAXIMUM RATINGS\***

Ambient Temperature Under Bias:	
Commercial .....	0°C to 70°C
Industrial .....	- 40°C to 85°C
Storage Temperature .....	- 65°C to + 150°C
Voltage on VCC to VSS .....	- 0.5V to + 7V
Voltage on Any Pin to VSS .....	- 0.5V to VCC + 0.5V
Power Dissipation .....	1W*

\*This value is based on the maximum allowable die temperature and the thermal resistance of the package.

**\*NOTICE:**

Stresses at or above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions may affect device reliability.

**DC CHARACTERISTICS**

TA = -40°C to 85°C; VCC = 2.7V to 6V; VSS = 0V; F = 0 to 6 MHz

Symbol	Parameter	Min	Max	Unit	Test Conditions
VIL	Input Low Voltage	-0.5	0.2VCC -0.1	V	
VIH	Input High Voltage (Except XTALs and RST)	0.2VCC + 0.9	VCC + 0.5	V	
VIH1	Input High Voltage to RST for Reset	0.7VCC	VCC + 0.5	V	
VIH2	Input High Voltage To XTAL 1	0.7VCC	VCC + 0.5	V	
VPD	Power Down Voltage To VCC in PD Mode	2.0	6.0	V	
VOL	Output Low Voltage (Ports 1, 2, 3)		0.45	V	IOL = 1.6mA (note 1)
VOL1	Output Low Voltage Port 0, ALE, PSEN		0.45	V	IOL = 3.2mA (note 1)
VOH	Output High Voltage Ports 1, 2, 3	0.9VCC		V	IOH = -10µA
		2.4		V	IOH = -60µA VCC = 5V ± 10%
VOH1	Output High Voltage (Port 0 in External in External Bus Mode), ALE, PSEN	0.9VCC		V	IOH = -40µA
		2.4		V	IOH = -400µA VCC = 5V ± 10%
IIL	Logical 0 Input Current Ports 1,2,3		-50	µA	Vin = 0.45V
ILI	Input Leakage Current		± 10	µA	0.45 < Vin < VCC
ITL	Logical 1 to 0 Transition Current (Ports 1, 2, 3)		-500	µA	Vin = 2.0V
ICCPD	Power Supply Current (Power Down Mode)	50	10	µA	VCC = 2.0V to 5.5V (note 2)
RRST	RST Pulldown Resistor	50	150	kΩ	
CIO	Capacitance of I/O Buffer		10	pF	fC = 1MHz, TA = 25°C

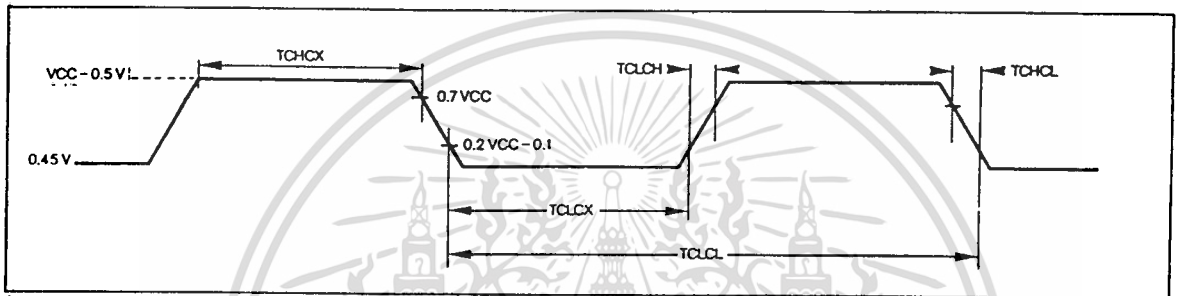
**Note 1:**

Capacitive loading on Ports 0 and 2 may cause spurious noise pulses to be superimposed on the VOLS of ALE and Ports 1 and 3. The noise is due to external bus capacitance discharging into the Port 0 and Port 2 pins when these pins make 1-to-0

transitions during bus operations. In the worst cases (capacitive loading 100 pF), the noise pulse on the ALE line may exceed 0.45V with maxi VOL peak 0.6V. A Schmitt Trigger use is not necessary.

## EXTERNAL CLOCK DRIVE CHARACTERISTICS (XTAL 1)

Symbol	Parameter	Variable Clock freq=0 to 6 MHz		Unit
		Min	Max	
TCLCL	Oscillator Period	166		ns
TCHCX	High Time	20		ns
TCLCX	Low Time	20		ns
TCLCH	Rise Time		20	ns
TCHCL	Fall Time		20	ns



## AC CHARACTERISTICS

( $T_A = -40^\circ\text{C}$  to  $85^\circ\text{C}$ ,  $V_{CC} = 2.7\text{V}$  to  $6\text{V}$ ,  $V_{SS} = 0\text{V}$ )

(Load Capacitance for Port 0, ALE, and PSEN = 100pf; Load Capacitance for All Other Outputs = 80pf).

## EXTERNAL PROGRAM MEMORY CHARACTERISTICS

Symbol	Parameter	Min	Max	Units
TLHLL	ALE Pulse Width	$2TCLCL - 40$		ns
TAVLL	Address Valid to ALE	$TCLCL - 55$		ns
TLLAX	Address Hold After ALE	$TCLCL - 35$		ns
TLLIV	ALE to Valid Instr In		$4TCLCL - 170$	ns
TLLPL	ALE to PSEN	$TCLCL - 25$		ns
TPLPH	PSEN Pulse Width	$3TCLCL - 35$		ns
TPLIV	PSEN to Valid Instr In		$3TCLCL - 220$	ns
TPXIX	Input Instr Hold After PSEN	0		ns
TPXIZ	Input Instr Float After PSEN		$TCLCL - 20$	ns
TPXAV	PSEN to Address Valid	$TCLCL - 8$		ns
TAVIV	Address to Valid Instr In		$5TCLCL - 220$	ns
TPLAZ	PSEN Low to Address Float		0	ns

See next page for External Data Memory Characteristics.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านธุรกิจ  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างถึงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## EXTERNAL DATA MEMORY CHARACTERISTICS

Symbol	Parameter	Min	Max	Units
TRLRH	RD Pulse Width	6TCLCL - 100		ns
TWLWH	WR Pulse Width	6TCLCL - 100		ns
TLLAX	Data Address Hold After ALE	TCLCL - 35		ns
TRLDV	RD to valid Data In		5TCLCL - 165	ns
TRHDX	Data Hold After RD	0		ns
TRHDZ	Data Float After RD		2TCLCL - 70	ns
TLLDV	ALE to Valid Data In		8TCLCL - 150	ns
TAVDV	Address to Valid Data In		9TCLCL - 165	ns
TLLWL	ALE to WR or RD	3TCLCL - 50	3TCLCL + 50	ns
TAVWL	Address to WR or RD	4TCLCL - 130		ns
TQVWX	Data Valid to WR Transition	TCLCL - 60		ns
TQVWH	Data Setup to WR High	7TCLCL - 150		ns
TWHQX	Data Hold After WR	TCLCL - 50		ns
TRLAZ	RD Low to Address Float		0	ns
TWHLH	RD or WR High to ALE High	TCLCL - 40	TCLCL + 40	ns

## MAXIMUM ICC (mA)

Freq. VCC	Operating (Note 3)			Idle (Note 4)		
	2.7V	5V	6V	2.7V	5V	6V
1 MHz	0.8 mA	1.5 mA	1.8 mA	400 $\mu$ A	800 $\mu$ A	1 mA
6 MHz	4 mA	8 mA	10 mA	1.2 mA	3.5 mA	3.8 mA

## Note 2:

Power Down ICC is measured with all output pins disconnected; EA = Port 0 = VCC; XTAL2 N.C.; RST = VSS

## Note 3:

ICC is measured with all output pins disconnected; XTAL1 driven with TCLCH, TCHCL = 5 ns, VIL = VSS + 0.5V; VIH = VCC - 0.5V; XTAL2 N.C.; EA = RST = Port 0 = VCC. ICC would be slightly higher if a crystal oscillator used.

## Note 4:

Idle ICC is measured with all output pins disconnected; XTAL1 driven TCLCH, TCHCL = 5 ns, VIL = VSS + 0.5V; VIH = VCC - 0.5V; XTAL2 N.C.; Port 0 = VCC; EA = RST = VSS.

## EXPLANATION OF THE AC SYMBOLS

Each timing symbol has 5 characters. The first character is always a 'T' (stands for time). The other characters, depending on their positions, stand for the name of a signal or the logical status of that signal. The following is a list all the characters and what they stand for.

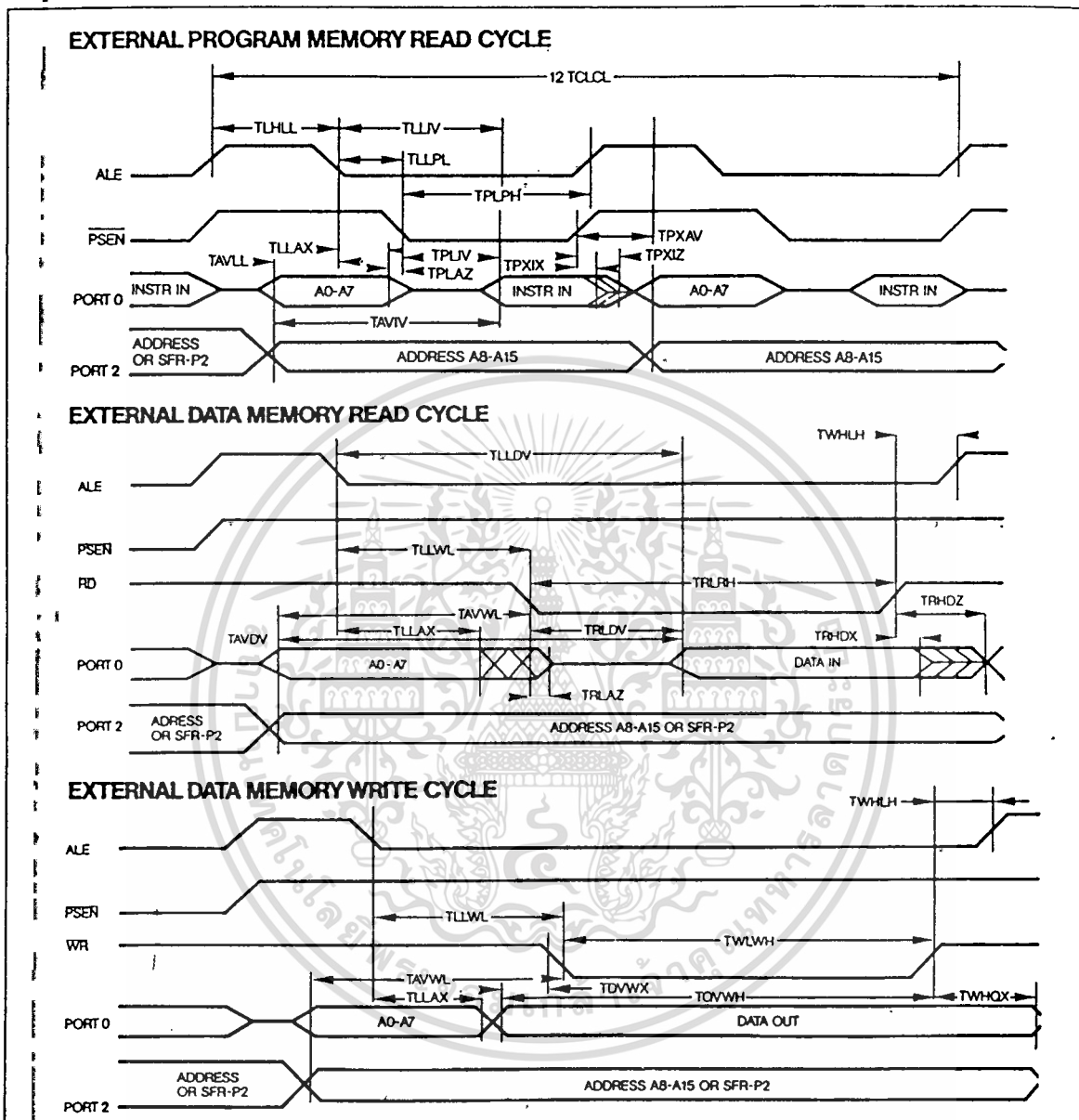
## EXAMPLE:

TAVLL = Time for Address Valid to ALE low.  
TLLPL = Time for ALE low to PSEN low.

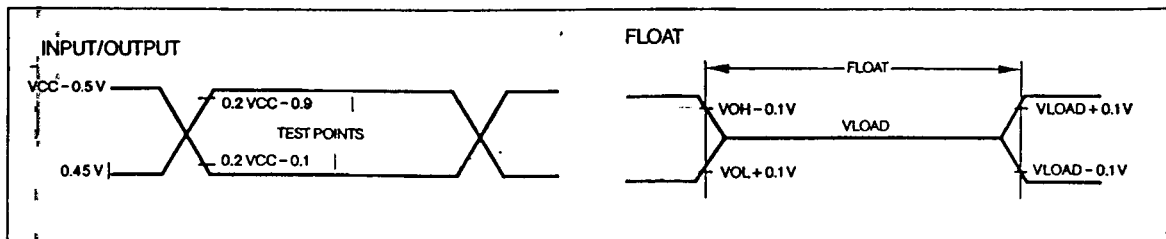
A: Address.  
C: Clock.  
D: Input data.  
H: Logic level HIGH.  
I: Instruction (program memory contents).  
L: Logic level LOW, or ALE.  
P: PSEN

Q: Output data.  
R: READ signal.  
T: Time.  
V: Valid.  
W: WRITE signal  
X: No longer a valid logic level.  
Z: Float.

## ACTIMING DIAGRAMS



## AC TESTING INPUT/OUTPUT, FLOAT WAVEFORMS



AC inputs during testing are driven at  $V_{CC} - 0.5$  for a logic "1" and  $0.45\text{ V}$  for a logic "0". Timing measurements are made at  $V_{IH\text{ min}}$  for a logic "1" and  $V_{IL\text{ max}}$  for a logic "0". For timing purposes a port pin is no longer floating when a  $100\text{ mV}$  change from load voltage occurs and begins to float when a  $100\text{ mV}$  change from the loaded  $V_{OH}/V_{OL}$  level occurs.  $I_{ol}/I_{oH} \geq \pm 20\text{ Ma}$ .

ไม่ทราบมีใคร ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

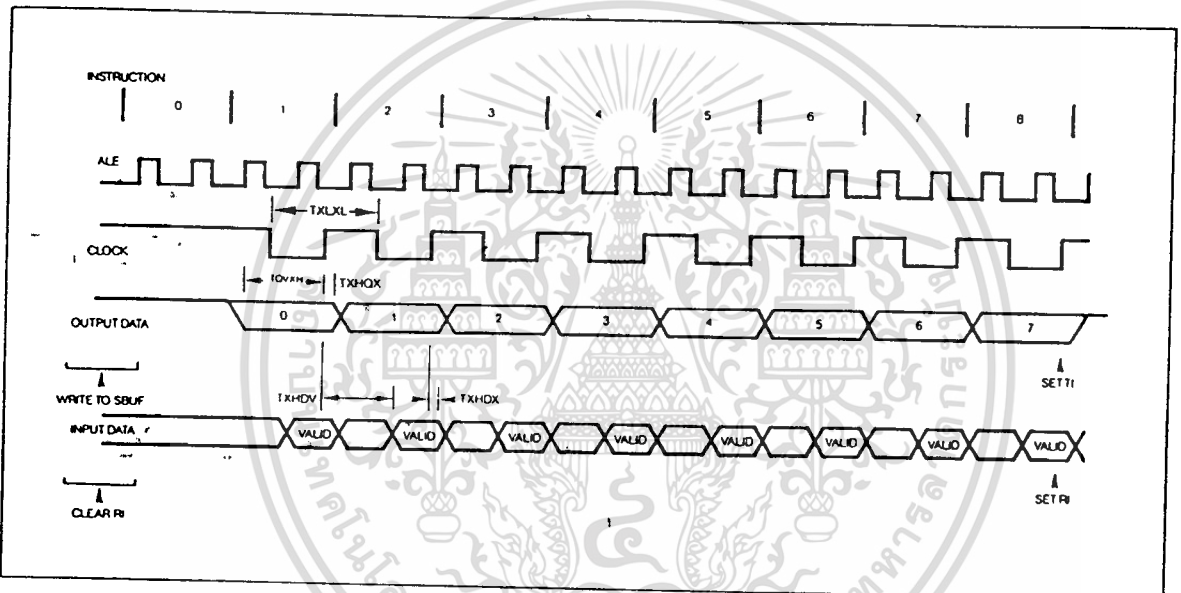
## SERIAL PORT TIMING - SHIFT REGISTER MODE

### A.C. CHARACTERISTICS:

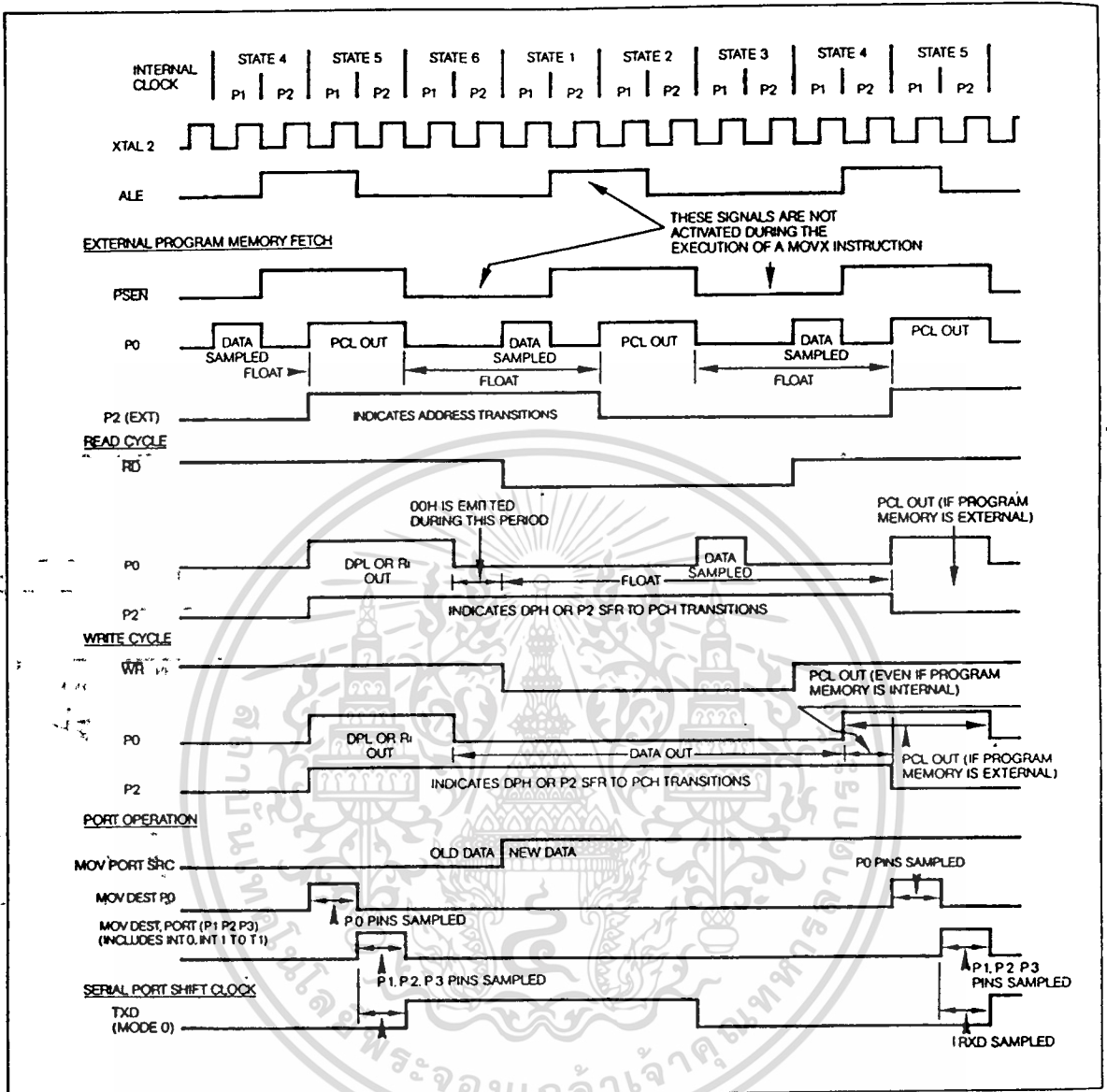
( $T_A = 0^\circ\text{C}$  to  $70^\circ\text{C}$ ;  $V_{SS} = 0\text{V}$ ;  $V_{CC} = 2.7\text{V}$  to  $6\text{V}$ ; Load Capacitance =  $80\text{ pF}$ )

Symbol	Parameter	Min	Max	Units
TXLXL	Serial Port Clock Cycle Time	$12T_{CLCL}$		$\mu\text{s}$
TQVXH	Output Data Setup to Clock Rising Edge	$10T_{CLCL}-133$		ns
TXHQX	Output Data Hold After Clock Rising Edge	$2T_{CLCL}-117$		ns
TXHDX	Input Data Hold After Clock Rising Edge	0		ns
TXHDV	Clock Rising Edge to Input Data Valid		$10T_{CLCL}-133$	ns

### SHIFT REGISTER TIMING WAVEFORMS



**CLOCK WAVEFORMS**



This diagram indicates when signals are clocked internally. The time it takes the signals to propagate to the pins, however, ranges from 25 to 125 ns. This propagation delay is dependent on variables such as temperature and pin loading. Propagation also varies from output to output and component. Typically though ( $T_A = 25^\circ\text{C}$  fully loaded) RD and WR propagation delays are approximately 50 ns. The other signals are typically 85 ns. Propagation delays are incorporated in the AC specifications.

Table 1. MCS<sup>®</sup>-51 Instruction Set Description

ARITHMETIC OPERATIONS				
Mnemonic		Description	Byte	Cyc
ADD	A,Rn	Add register to Accumulator	1	1
ADD	A,direct	Add direct byte to Accumulator	2	1
ADD	A,@Ri	Add indirect RAM to Accumulator	1	1
ADD	A,#data	Add immediate data to Accumulator	2	1
ADDC	A,Rn	Add register to Accumulator with Carry	1	1
ADDC	A,direct	Add direct byte to A with Carry flag	2	1
ADDC	A,@Ri	Add indirect RAM to A with Carry flag	1	1
ADDC	A,#data	Add immediate data to A with Carry flag	2	1
SUBB	A,Rn	Subtract register from A with Borrow	1	1
SUBB	A,direct	Subtract direct byte from A with Borrow	2	1
SUBB	A,@Ri	Subtract indirect RAM from A with Borrow	1	1
SUBB	A,#data	Subtract immed. data from A with Borrow	2	1
INC	A	Increment Accumulator	1	1
INC	Rn	Increment register	1	1
INC	direct	Increment direct byte	2	1
INC	@Ri	Increment indirect RAM	1	1
INC	DPTR	Increment Data Pointer	1	2
DEC	A	Decrement Accumulator	1	1
DEC	Rn	Decrement register	1	1
DEC	direct	Decrement direct byte	2	1
DEC	@Ri	Decrement indirect RAM	1	1
MUL	AB	Multiply A & B	1	4
DIV	AB	Divide A by B	1	4
DA	A	Decimal Adjust Accumulator	1	1
LOGICAL OPERATIONS				
Mnemonic		Destination	Byte	Cyc
ANL	A,Rn	AND register to Accumulator	1	1
ANL	A,direct	AND direct byte to Accumulator	2	1
ANL	A,@Ri	AND indirect RAM to Accumulator	1	1
ANL	A,#data	AND immediate data to Accumulator	2	1
ANL	direct,A	AND Accumulator to direct byte	2	1
ANL	direct,#data	AND immediate data to direct byte	3	2
ORL	A,Rn	OR register to Accumulator	1	1
ORL	A,direct	OR direct byte to Accumulator	2	1
ORL	A,@Ri	OR indirect RAM to Accumulator	1	1
ORL	A,#data	OR immediate data to Accumulator	2	1
ORL	direct,A	OR Accumulator to direct byte	2	1
ORL	direct,#data	OR immediate data to direct byte	3	2
XRL	A,Rn	Exclusive-OR register to Accumulator	1	1
XRL	A,direct	Exclusive-OR direct byte to Accumulator	2	1
XRL	A,@Ri	Exclusive-OR indirect RAM to A	1	1
XRL	A,#data	Exclusive-OR immediate data to A	2	1
XRL	direct,A	Exclusive-OR Accumulator to direct byte	2	1
XRL	direct,#data	Exclusive-OR immediate data to direct	3	2
CLR	A	Clear Accumulator	1	1
CPL	A	Complement Accumulator	1	1
RL	A	Rotate Accumulator Left	1	1
RLC	A	Rotate A Left through the Carry flag	1	1
RR	A	Rotate Accumulator Right	1	1
RRC	A	Rotate A Right through Carry flag	1	1
SWAP	A	Swap nibbles within the Accumulator	1	1

Table 1. (Cont.)

<b>DATA TRANSFER</b>				
<b>Mnemonic</b>		<b>Description</b>	<b>Byte</b>	<b>Cyc</b>
MOV	A,Rn	Move register to Accumulator	1	1
MOV	A,direct	Move direct byte to Accumulator	2	1
MOV	A,@Ri	Move indirect RAM to Accumulator	1	1
MOV	A,#data	Move immediate data to Accumulator	2	1
MOV	Rn,A	Move Accumulator to register	1	1
MOV	Rn,direct	Move direct byte to register	2	2
MOV	Rn,#data	Move immediate data to register	2	1
MOV	direct,A	Move Accumulator to direct byte	2	1
MOV	direct,Rn	Move register to direct byte	2	2
MOV	direct,direct	Move direct byte to direct	3	2
MOV	direct,@Ri	Move indirect RAM to direct byte	2	2
MOV	direct,#data	Move immediate data to direct byte	3	2
MOV	@Ri,A	Move Accumulator to indirect RAM	1	1
MOV	@Ri,direct	Move direct byte to indirect RAM	2	2
MOV	@Ri,#data	Move immediate data to indirect RAM	2	1
MOV	DPTR,#data 16	Load Data Pointer with a 16-bit constant	3	2
MOVC	A,@A+DPTR	Move Code byte relative to DPTR to A	1	2
MOVC	A,@A+PC	Move Code byte relative to PC to A	1	2
MOVX	A,@Ri	Move External RAM (8-bit addr) to A	1	2
MOVX	A,@DPTR	Move External RAM (16-bit addr) to A	1	2
MOVX	@Ri,A	Move A to External RAM (8-bit addr)	1	2
MOVX	@DPTR,A	Move A to External RAM (16-bit addr)	1	2
PUSH	direct	Push direct byte onto stack	2	2
POP	direct	Pop direct byte from stack	2	2
XCH	A,Rn	Exchange register with Accumulator	1	1
XCH	A,direct	Exchange direct byte with Accumulator	2	1
XCH	A,@Ri	Exchange indirect RAM with A	1	1
XCHD	A,@Ri	Exchange low-order nibble ind RAM with A	1	1
<b>BOOLEAN VARIABLE MANIPULATION</b>				
<b>Mnemonic</b>		<b>Description</b>	<b>Byte</b>	<b>Cyc</b>
CLR	C	Clear Carry flag	1	1
CLR	bit	Clear direct bit	2	1
SETB	C	Set Carry flag	1	1
SETB	bit	Set direct Bit	2	1
CPL	C	Complement Carry flag	1	1
CPL	bit	Complement direct bit	2	1
ANL	C,bit	AND direct bit to Carry flag	2	2
ANL	C,1 bit	AND complement of direct bit to Carry	2	2
ORL	C/bit	OR direct bit to Carry flag	2	2
ORL	C,1 bit	OR complement of direct bit to Carry	2	2
MOV	C/bit	Move direct bit to Carry flag	2	1
MOV	bit,C	Move Carry flag to direct bit	2	2
<b>PROGRAM AND MACHINE CONTROL</b>				
<b>Mnemonic</b>		<b>Description</b>	<b>Byte</b>	<b>Cyc</b>
ACALL	addr 11	Absolute Subroutine Call	2	2
LCALL	addr 16	Long Subroutine Call	3	2
RET		Return from subroutine	1	2
RETI		Return from interrupt	1	2
AJMP	addr 11	Absolute Jump	2	2
LJMP	addr 16	Long Jump	3	2
SJMP	rel	Short Jump (relative addr)	2	2
JMP	@A+DPTR	Jump indirect relative to the DPTR	1	2
JZ	rel	Jump if Accumulator is Zero	2	2
JNZ	rel	Jump if Accumulator is Not Zero	2	2
JC	rel	Jump if Carry flag is set	2	2
JNC	rel	Jump if No Carry flag	2	2

Table 1. (Cont.)

PROGRAM AND MACHINE CONTROL (cont.)				
Mnemonic		Description	Byte	Cyc
JB	bit,rel	Jump if direct Bit set	3	2
JNB	bit,rel	Jump if direct Bit Not set	3	2
JBC	bit,rel	Jump if direct Bit is set & Clear bit	3	2
CJNE	A,direct,rel	Compare direct to A & Jump if Not Equal	3	2
CJNE	A,#data,rel	Comp. immed. to A & Jump if Not Equal	3	2
CJNE	Rn,#data,rel	Comp. immed. to reg & Jump if Not Equal	3	2
CJNE	@Ri,#data,rel	Comp. immed. to ind. & Jump if Not Equal	3	2
DJNZ	Rn,rel	Decrement register & Jump if Not Zero	2	2
DJNZ	direct,rel	Decrement direct & Jump if Not Zero	3	2
NOP		No operation	1	1

**Notes on data addressing modes:**

- Rn - Working register R0-R7
- direct - 128 internal RAM locations, any I/O port, control or status register
- @Ri - Indirect internal RAM location addressed by register R0 or R1
- #data - 8-bit constant included in instruction
- #data 16 - 16-bit constant included as bytes 2 & 3 of instruction
- bit - 128 software flags, any I/O pin, control or status bit

**Notes on program addressing modes:**

- addr 16 - Destination address for LCALL & LJMP may be anywhere within the 64-k program memory address space
- Addr 11 - Destination address for ACALL & AJMP will be within the same 2-k page of program memory as the first byte of the following instruction
- rel - SJMP and all conditional jumps include an 8-bit offset byte. Range is +127-128 bytes relative to first byte of the following instruction.

All mnemonics copyrighted © Intel Corporation 1979

Table 2. Instruction Opcodes in Hexadecimal Order

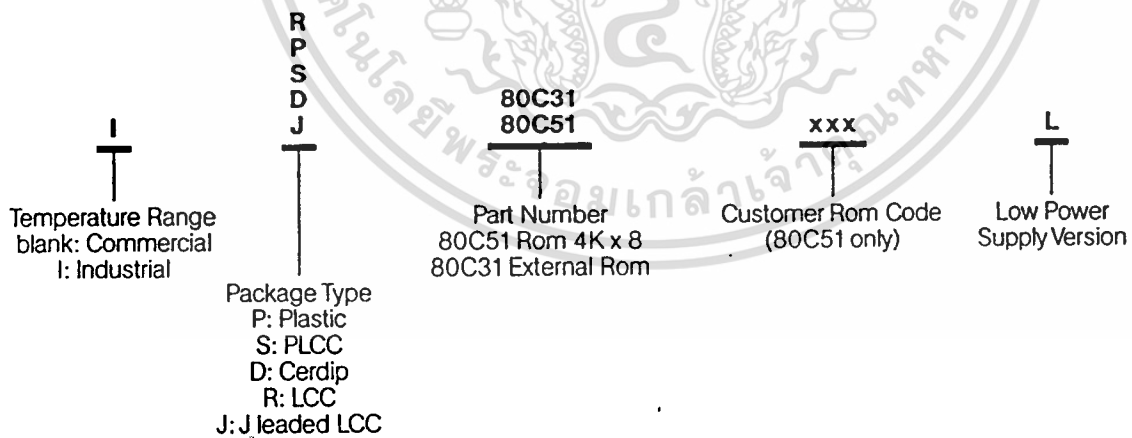
Hex Code	Number of Bytes	Mnemonic	Operands	Hex Code	Number of Bytes	Mnemonic	Operands
00	1	NOP		33	1	RLC	A
01	2	AJMP	code addr	34	2	ADDC	A,#data
02	3	LJMP	code addr	35	2	ADDC	A,data addr
03	1	RR	A	36	1	ADDC	A,@R0
04	1	INC	A	37	1	ADDC	A,@R1
05	2	INC	data addr	38	1	ADDC	A,R0
06	1	INC	@R0	39	1	ADDC	A,R1
07	1	INC	@R1	3A	1	ADDC	A,R2
08	1	INC	R0	3B	1	ADDC	A,R3
09	1	INC	R1	3C	1	ADDC	A,R4
0A	1	INC	R2	3D	1	ADDC	A,R5
0B	1	INC	R3	3E	1	ADDC	A,R6
0C	1	INC	R4	3F	1	ADDC	A,R7
0D	1	INC	R5	40	2	JC	code addr
0E	1	INC	R6	41	2	AJMP	code addr
0F	1	INC	R7	42	2	ORL	data addr,A
10	3	JBC	bit addr,code addr	43	3	ORL	data addr,#data
11	2	ACALL	code addr	44	2	ORL	A,#data
12	3	LCALL	code addr	45	2	ORL	A,data addr
13	1	RRC	A	46	1	ORL	A,@R0
14	1	DEC	A	47	1	ORL	A,@R1
15	2	DEC	data addr	48	1	ORL	A,R0
16	1	DEC	@R0	49	1	ORL	A,R1
17	1	DEC	@R1	4A	1	ORL	A,R2
18	1	DEC	R0	4B	1	ORL	A,R3
19	1	DEC	R1	4C	1	ORL	A,R4
1A	1	DEC	R2	4D	1	ORL	A,R5
1B	1	DEC	R3	4E	1	ORL	A,R6
1C	1	DEC	R4	4F	1	ORL	A,R7
1D	1	DEC	R5	50	2	JNC	code addr
1E	1	DEC	R6	51	2	ACALL	code addr
1F	1	DEC	R7	52	2	ANL	data addr,A
20	3	JB	bit addr,code addr	53	3	ANL	data addr,#data
21	2	AJMP	code addr	54	2	ANL	A,#data
22	1	RET		55	2	ANL	A,data addr
23	1	RL	A	56	1	ANL	A,@R0
24	2	ADD	A,data	57	1	ANL	A,@R1
25	2	ADD	A,data addr	58	1	ANL	A,R0
26	1	ADD	A,@R0	59	1	ANL	A,R1
27	1	ADD	A,@R1	5A	1	ANL	A,R2
28	1	ADD	A,R0	5B	1	ANL	A,R3
29	1	ADD	A,R1	5C	1	ANL	A,R4
2A	1	ADD	A,R2	5D	1	ANL	A,R5
2B	1	ADD	A,R3	5E	1	ANL	A,R6
2C	1	ADD	A,R4	5F	1	ANL	A,R7
2D	1	ADD	A,R5	60	2	JZ	code addr
2E	1	ADD	A,R6	61	2	AJMP	code addr
2F	1	ADD	A,R7	62	2	XRL	data addr A
30	3	JNB	bit addr,code addr	63	3	XRL	data addr,#data
31	2	ACALL	code addr	64	2	XRL	A,#data
32	1	RETI		65	2	XRL	A,data addr

Table 2. (Cont.)

Hex Code	Number of Bytes	Mnemonic	Operands	Hex Code	Number of Bytes	Mnemonic	Operands
66	1	XRL	A,@R0	99	1	SUBB	A,R1
67	1	XRL	A,@R1	9A	1	SUBB	A,R2
68	1	XRL	A,R0	9B	1	SUBB	A,R3
69	1	XRL	A,R1	9C	1	SUBB	A,R4
6A	1	XRL	A,R2	9D	1	SUBB	A,R5
6B	1	XRL	A,R3	9E	1	SUBB	A,R6
6C	1	XRL	A,R4	9F	1	SUBB	A,R7
6D	1	XRL	A,R5	A0	2	ORL	C,bit addr
6E	1	XRL	A,R6	A1	2	AJMP	code addr
6F	1	XRL	A,R7	A2	2	MOV	C,bit addr
70	2	JNZ	code addr	A3	1	INC	DPTR
71	2	ACALL	code addr	A4	1	MUL	AB
72	2	ORL	C,bit addr	A5		reserved	
73	1	JMP	@A+DPTR	A6	2	MOV	@R0,data addr
74	2	MOV	A,#data	A7	2	MOV	@R1,data addr
75	3	MOV	data addr,#data	A8	2	MOV	R0,data addr
76	2	MOV	@R0,#data	A9	2	MOV	R1,data addr
77	2	MOV	@R1,#data	AA	2	MOV	R2,data addr
78	2	MOV	R0,#data	AB	2	MOV	R3,data addr
79	2	MOV	R1,#data	AC	2	MOV	R4,data addr
7A	2	MOV	R2,#data	AD	2	MOV	R5,data addr
7B	2	MOV	R3,#data	AE	2	MOV	R6,data addr
7C	2	MOV	R4,#data	AF	2	MOV	R7,data addr
7D	2	MOV	R5,#data	B0	2	ANL	C,bit addr
7E	2	MOV	R6,#data	B1	2	ACALL	code addr
7F	2	MOV	R7,#data	B2	2	CPL	bit addr
80	2	SJMP	code addr	B3	1	CPL	C
81	2	AJMP	code addr	B4	3	CJNE	A,#data,code addr
82	2	ANL	C,bit addr	B5	3	CJNE	A,data addr,code addr
83	1	MOVC	A,@A+PC	B6	3	CJNE	@R0,#data,code addr
84	1	DIV	AB	B7	3	CJNE	@R1,#data,code addr
85	3	MOV	data addr,data addr	B8	3	CJNE	R0,#data,code addr
86	2	MOV	data addr,@R0	B9	3	CJNE	R1,#data,code addr
87	2	MOV	data addr,@R1	BA	3	CJNE	R2,#data,code addr
88	2	MOV	data addr,R0	BB	3	CJNE	R3,#data,code addr
89	2	MOV	data addr,R1	BC	3	CJNE	R4,#data,code addr
8A	2	MOV	data addr,R2	BD	3	CJNE	R5,#data,code addr
8B	2	MOV	data addr,R3	BE	3	CJNE	R6,#data,code addr
8C	2	MOV	data addr,R4	BF	3	CJNE	R7,#data,code addr
8D	2	MOV	data addr,R5	C0	2	PUSH	data addr
8E	2	MOV	data addr,R6	C1	2	AJMP	code addr
8F	2	MOV	data addr,R7	C2	2	CLR	bit addr
90	3	MOV	DPTR,#data	C3	1	CLR	C
91	2	ACALL	code addr	C4	1	SWAP	A
92	2	MOV	bit addr,C	C5	2	XCH	A,data addr
93	1	MOVC	A,@A+DPTR	C6	1	XCH	A,@R0
94	2	SUBB	A,#data	C7	1	XCH	A,@R1
95	2	SUBB	A,data addr	C8	1	XCH	A,R0
96	1	SUBB	A,@R0	C9	1	XCH	A,R1
97	1	SUBB	A,@R1	CA	1	XCH	A,R2
98	1	SUBB	A,R0	CB	1	XCH	A,R3

Table 2. (Cont.)

Hex Code	Number of Bytes	Mnemonic	Operands	Hex Code	Number of Bytes	Mnemonic	Operands
CC	1	XCH	A,R4	E6	1	MOV	A,@R0
CD	1	XCH	A,R5	E7	1	MOV	A,@R1
CE	1	XCH	A,R6	E8	1	MOV	A,R0
CF	1	XCH	A,R7	E9	1	MOV	A,R1
D0	2	POP	data addr	EA	1	MOV	A,R2
D1	2	ACALL	code addr	EB	1	MOV	A,R3
D2	2	SETB	bit addr	EC	1	MOV	A,R4
D3	1	SETB	C	ED	1	MOV	A,R5
D4	1	DA	A	EE	1	MOV	A,R6
D5	3	DJNZ	data addr,code addr	EF	1	MOV	A,R7
D6	1	XCHD	A,@R0	F0	1	MOVX	@DPTR,A
D7	1	XCHD	A,@R1	F1	2	ACALL	code addr
D8	2	DJNZ	R0,code addr	F2	1	MOVX	@R0,A
D9	2	DJNZ	R1,code addr	F3	1	MOVX	@R1,A
DA	2	DJNZ	R2,code addr	F4	1	CPL	A
DB	2	DJNZ	R3,code addr	F5	2	MOV	data addr,A
DC	2	DJNZ	R4,code addr	F6	1	MOV	@R0,A
DD	2	DJNZ	R5,code addr	F7	1	MOV	@R1,A
DE	2	DJNZ	R6,code addr	F8	1	MOV	R0,A
DF	2	DJNZ	R7,code addr	F9	1	MOV	R1,A
E0	1	MOVX	A,@DPTR	FA	1	MOV	R2,A
E1	2	AJMP	code addr	FB	1	MOV	R3,A
E2	1	MOVX	A,@R0	FC	1	MOV	R4,A
E3	1	MOVX	A,@R1	FD	1	MOV	R5,A
E4	1	CLR	A	FE	1	MOV	R6,A
E5	2	MOV	A,data addr	FF	1	MOV	R7,A



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารฉบับนี้ทุกครั้งไปใช้

# RF Modulator

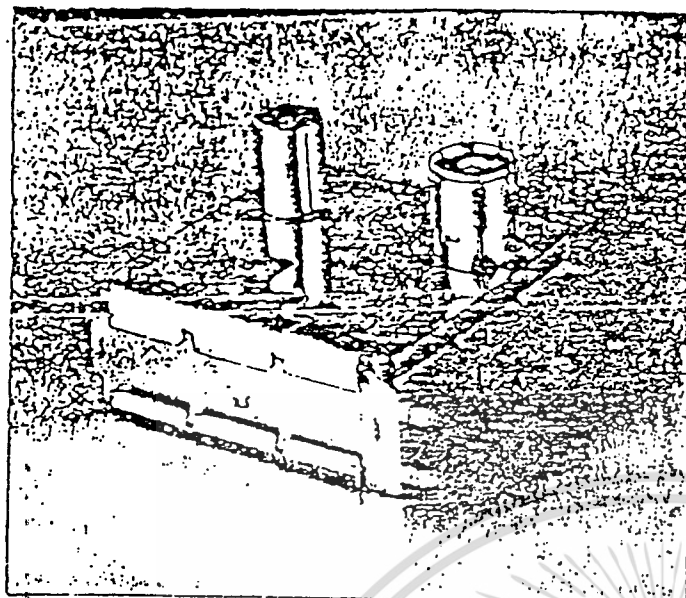
## RM8T-EU36L SERIES

RF Modulator With Booster For VTR, Video Disk Player Or Satellite Receiver

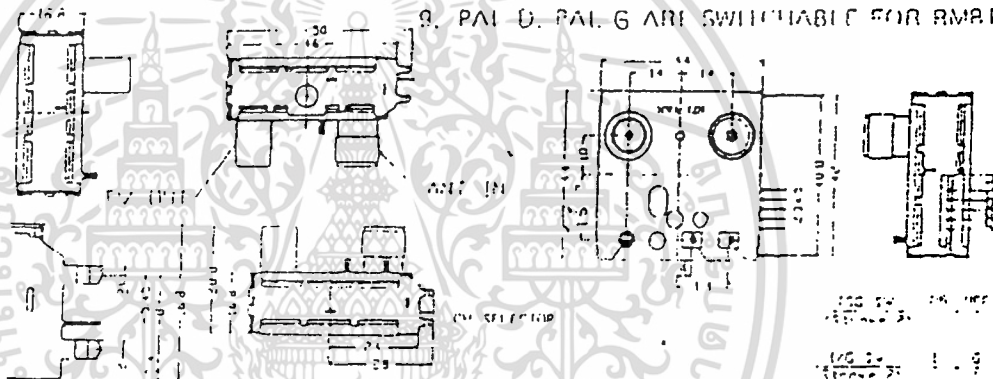
RM8T-EU36L SERIES ARE SUPERCOMPACT RF MODULATORS WHICH MODULATE VIDEO AND AUDIO SIGNALS INTO RF SIGNALS (UHF BAND) OF TV. AND CONSISTS OF BOOSTER FOR VHF AND UHF TV SIGNALS

### FEATURES:

1. SUPER COMPACT
2. HIGH PERFORMANCE
3. VARIABLE OUTPUT CHANNEL
4. ANT IN AND TV OUT TERMINALS WITH "BNC" TYPE CONNECTORS ARE AVAILABLE FOR PANEL TERMINALS OF VTR
5. BUILT-IN BOOSTER FOR VHF AND UHF TV SIGNALS
6. BUILT-IN TEST SIGNAL
7. CAN BE MOUNTED DIRECTLY ON PC BOARD
8. PAL I, PAL G ARE SWITCHABLE FOR RM8T-EU36L
9. PAL D, PAL G ARE SWITCHABLE FOR RM8T-F036L



NO	FUNCTION
1	VIDEO IN
2	AUDIO IN
3	MOD +B
4	GND
5	BST -B



### SPECIFICATIONS

SYSTEM	PAL D (MAINLAND CHINA)		PAL I (UNITED KINGDOM)	
	PAL G (W. GERMANY)		PAL G (W. GERMANY)	
MODEL NO.	HL-RM8T-ED36L		HL-RM8T-EU36L	
CHANNEL (CH)	30-40 VARIABLE			
SUPPLY VOLTAGE (VDC)	MOD	5		
	BOOSTER			
CURRENT CONSUMPTION (mA)	MOD	45 MAX.		
	BOOSTER	95 MAX.		
VIDEO INPUT VOLTAGE (Vp-p)	1			
SOUND INPUT VOLTAGE (Vp-p)	1.23			
VIDEO CARRIER FREQ. (MHz)	543.25-615.25 VARIABLE			
VIDEO CARRIER OUTPUT (dBμ)	73 ± 4			
VIDEO MODULATION (%)	75 ± 10			
SOUND SUB-CARRIER FREQ. (KHz)	PAL D 6500 ± 10		PAL I 6000 ± 10	
	PAL G 5500 ± 10		PAL G 5500 ± 10	
SOUND CARRIER OUTPUT (dB)	-15 ± 4			
SOUND MODULATION (KHz)	50 ± 12			
BOOSTER GAIN (dB)	0.7 (47.854 MHz)			



# HT6221/HT6222 Multi-Purpose Encoders

## Features

- Operating voltage: 1.8V~3.5V
- DOUT with a 38KHz carrier for IR medium
- Low stand-by current
- Minimum transmission words: one word
- A 455KHz ceramic resonator or crystal
- 16-bit address codes
- 8-bit data codes
- PPM code method
- 3 double-active keys
- Maximum active keys:
  - HT6221: 32 keys
  - HT6222: 64 keys
- Low power and high noise immunity CMOS technology

## Applications

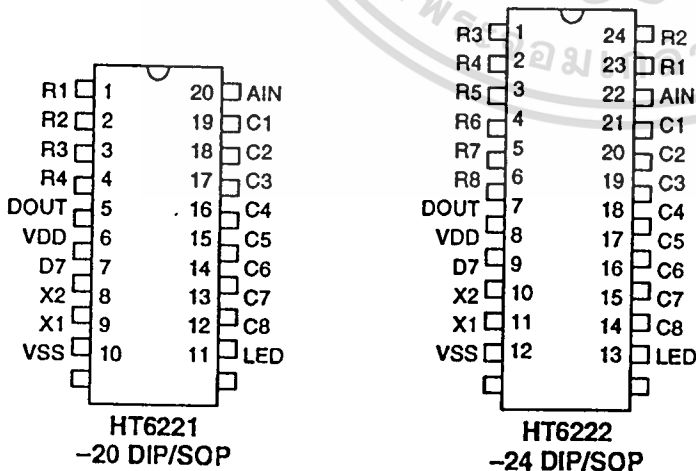
- Televisions & video cassette recorder controllers
- Burglar alarm system
- Smoke and fire alarm system
- Garage door controllers
- Car door controllers
- Car alarm system
- Security system
- Other remote control systems

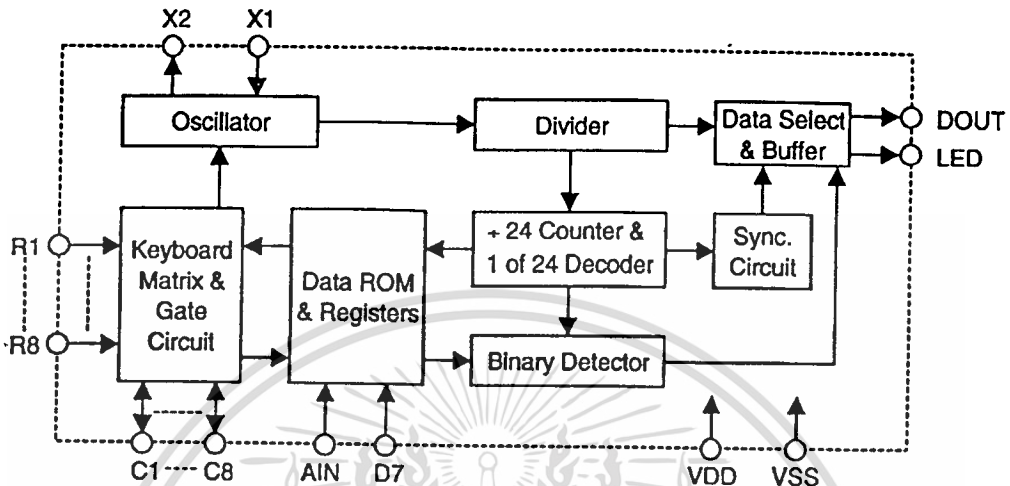
## General Description

The HT6221/HT6222 are CMOS LSI encoders designed for use in remote control system. They are capable of encoding 16-bit address codes and 8-bit data codes. Each address/data input can be set to one of the two logic states, 0 and 1.

The HT6221/HT6222 contain 32 keys (K1~K32) and 64 keys (K1~K64), respectively. When one of the keys is triggered the programmed address/data is transmitted together with the header bits via an IR (38KHz carrier) transmission medium.

## Pin Assignment



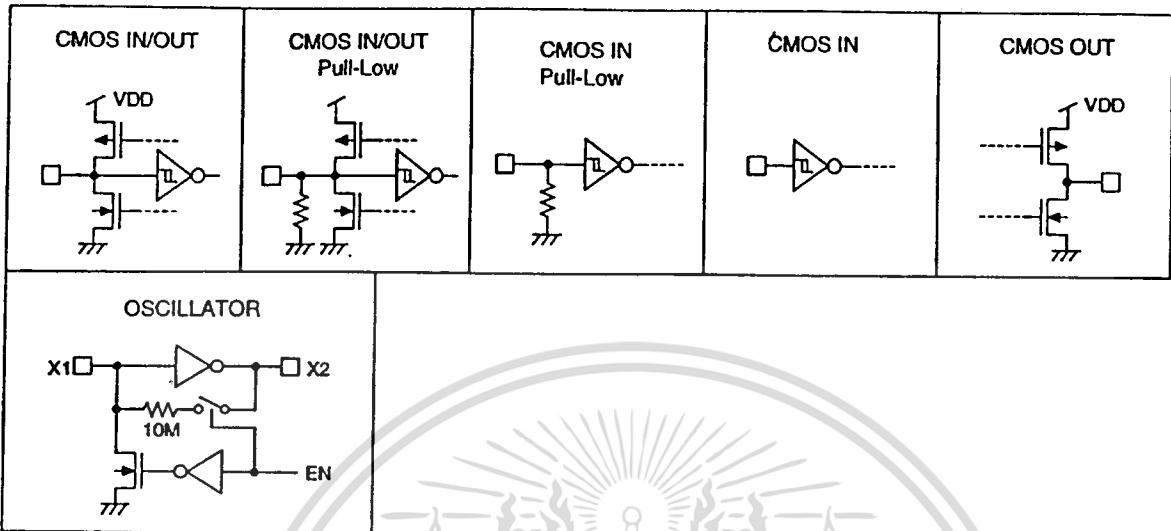
**Block Diagram**

**Pin Description**
**HT6222**

Pin No.	Pin Name	I/O	Internal Connection	Description
1-6	R3-R8	I	CMOS IN Pull-Low	Row control for keyboard matrix, active high
7	DOUT	O	CMOS OUT	Serial data output pin, with a 38KHz carrier
8	VDD	I	—	Positive power supply, 1.8V-3.5V for normal operation
9	D7	I	CMOS IN	Most significant data bit (D7) code setting
10	X2	O	OSCILLATOR	455KHz resonator oscillator output
11	X1	I	OSCILLATOR	455KHz resonator oscillator input
12	VSS	I	—	Negative power supply
13	LED	O	CMOS OUT	Transmission enable indicator output
14-21	C8-C1	I/O	CMOS IN/OUT Pull-Low	Column control for keyboard matrix
22	AIN	I	CMOS IN Pull-High Pull-Low	Low byte of address codes (8 bits) scan input
23-24	R1-R2	I	CMOS IN Pull-Low	Row control for keyboard matrix, active high

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Approximate internal connection circuits



Absolute Maximum Ratings

Supply Voltage ..... -0.3V to 6V  
 Storage Temperature ..... -50°C to 125°C

Input Voltage .....  $V_{SS} - 0.3V$  to  $V_{DD} + 0.3V$   
 Operating Temperature ..... -20°C to 75°C

Electronic Characteristic

( $T_a = 25^\circ C$ )

Symbol	Parameter	Test Condition		Min.	Typ.	Max.	Unit
		VDD	Condition				
VDD	Operating Voltage	—	—	1.8	3	3.5	V
ISTB	Stand-by Current	3V	Oscillator stops.	—	0.1	1.0	$\mu A$
IDD	Operating Current	3V	Fosc=455KHz no load	—	200	400	$\mu A$
IOH1	Output Source Current for DOUT	3V	$V_O = 2.7V$	-2.0	-4.0	—	mA
IOL1	Output Sink Current for DOUT	3V	$V_O = 0.3V$	50	100	—	$\mu A$
IOH2	Output Source Current for LED	3V	$V_O = 2.7V$	-10	-60	—	$\mu A$
IOL2	Output Sink Current for LED	3V	$V_O = 0.3V$	1.2	2.0	—	mA
IOH3	Output Source Current for C1~C8	3V	$V_O = 2.7V$	-0.6	-2.0	—	mA
IOL3	Output Sink Current for C1~C8	3V	$V_O = 0.3V$	10	30	—	$\mu A$
VIH1	Input High Voltage for R1~R8	3V	—	1.9	—	3.0	V
VIL1	Input Low Voltage for R1~R8	3V	—	0	—	0.8	V
VIH2	Input High Voltage for C1~C8	3V	—	1.1	—	3.0	V
VIL2	Input Low Voltage for C1~C8	3V	—	0	—	0.6	V

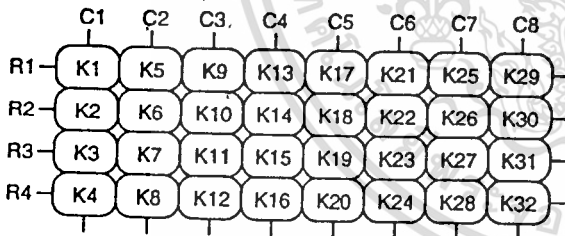
Symbol	Parameter	Test Condition		Min.	Typ.	Max.	Unit
		V <sub>DD</sub>	Condition				
V <sub>IH3</sub>	Input High Voltage for AIN	3V	—	1.25	—	3.0	V
V <sub>IL3</sub>	Input Low Voltage for AIN	3V	—	0	—	0.6	V
R <sub>PH1</sub>	Input Pull-High Resistance for AIN	3V	V <sub>IN</sub> =0V	100	200	400	K $\Omega$
R <sub>PL1</sub>	Input Pull-Low Resistance for AIN	3V	V <sub>IN</sub> =3V	70	150	250	K $\Omega$
R <sub>PL2</sub>	Input Pull-Low Resistance for R1~R8	3V	V <sub>IN</sub> =3V	120	200	320	K $\Omega$
R <sub>PL3</sub>	Input Pull-Low Resistance for C1~C8	3V	V <sub>IN</sub> =3V	300	500	1500	K $\Omega$
FOSC	System Frequency	—	455KHz ceramic resonator	—	455	—	KHz

## Functional Description

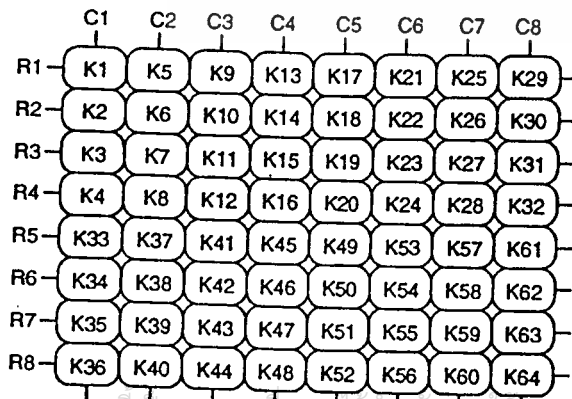
### Keyboard scan

The HT6221/HT6222 stay in the halt mode in the stand-by state (at this time, the oscillator stops, and the stand-by current < 1 $\mu$ A). The HT6221 consists of 32 action keys whereas the HT6222 of 64 action keys. The keyboard forms of the HT6221/ HT6222 are as shown.

- The HT6221 keyboard form



- The HT6222 keyboard form



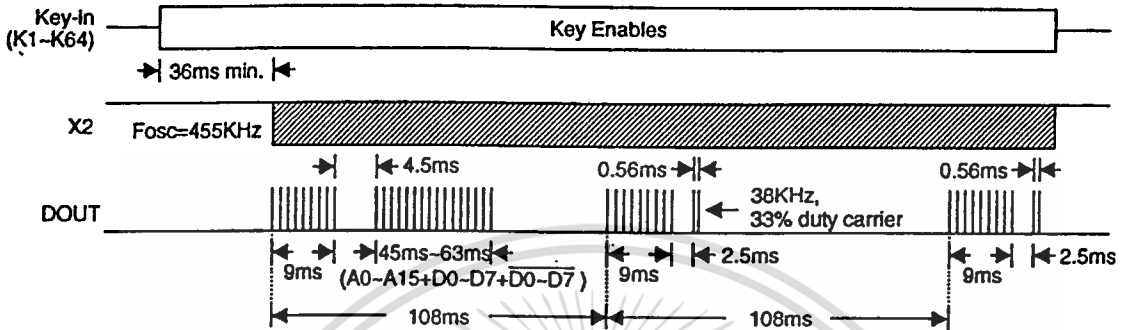
When one of the included keys (32 or 64 keys) is triggered over 36ms, the oscillator is enabled and the chip is activated. If the key is pressed and held for 108ms or less, the 108ms transmission codes are comprised by a header code (9ms), an off code (4.5ms), low byte address codes (9ms~18ms), high byte address codes (9ms~18ms), 8-bit data codes (9ms~18ms), and the inverse codes of the 8-bit data codes (18ms~9ms). After the pressed key is held for 108ms, if the key is still held down, the transmission codes turn out to be a composition of header (9ms) and off codes (2.5ms) only.

To avoid the mistakes made by keyboard scanning or simultaneous two-key inputs (except the 3 double-key active functions (K21+K22, K21+K23, and K21+K24), the HT6221/HT6222 are facilitated with 36ms starting time.

The HT6221/HT6222 also provide 3 double-key active functions (K21+K22, K21+K23, and K21+K24) for tape deck recording operation. The double-key operation rules are shown in timing 4 & timing 6.

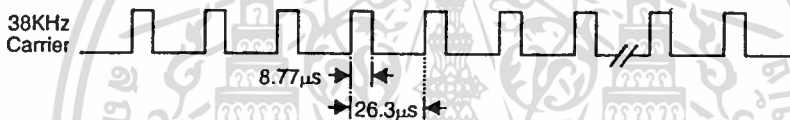
**Transmission codes**

The transmission codes of the HT6221/6222 consist of a 9ms header code, a 4.5ms off code, 16-bit address codes (18ms~36ms), 9ms~18ms 8-bit data codes, and the inverse code of the 8-bit data codes. The following is an illustration of the transmission codes:



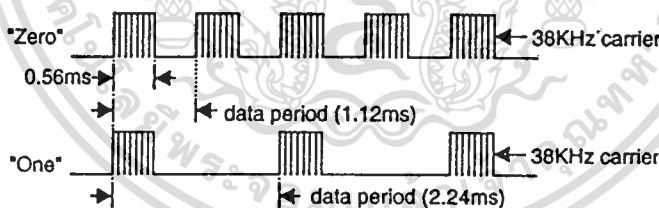
Timing 1. Output format for the DOUT

The output code carrier of the DOUT pin is shown in Timing 2:



Timing 2. 38KHz carrier

The transmission codes employ the PPM (Pulse Position Modulation) method to represent their two logic states by "0" (1.12ms) and "1" (2.24ms) as shown in Timing 3:



Timing 3. Logic states

• How to set the address codes (A0~A15) ?

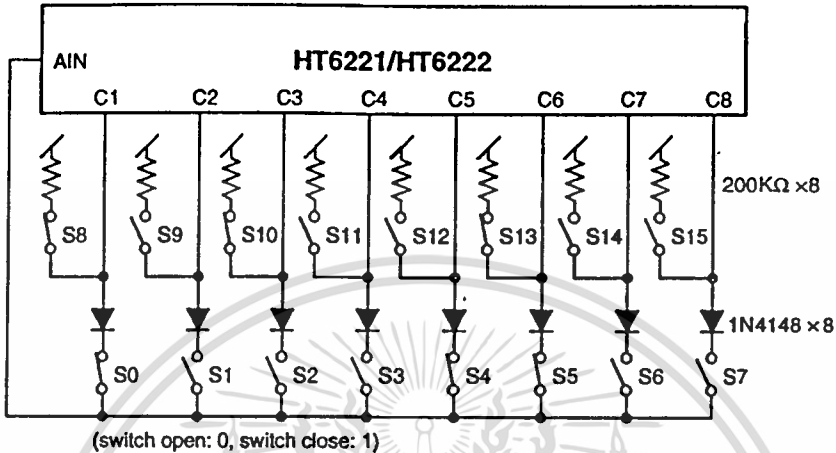
The algorithm rule of the address codes (A0~A15) can be selected by mask option. User can choose HT6221/HT6222 or HT6221-002/HT6222-002.

• HT6221/HT6222:

In this case, the 16 bits on-chip MASK ROM (ROM1 and ROM2) is available, and the value of ROM1 (8 bits) and ROM2 (8 bits) are decided by one MASK LAYER. Currently value of ROM1 and ROM2 are both "00H". The A0~A7 are set by logical OR between the external switch S0~S7 and the ROM1. The A8~A15 equal some bits be inverted of A0~A7, the inversion are decided by Logical OR between the external switch S8~S15 and the ROM2.

For example:

Following is an illustration of these rules to select the address codes (A0-A15)



external switch S0~S15: 

1	0	0	0	1	1	0	0	1	0	1	0	0	1	0	0
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

on-chip ROM1, ROM2: 

0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

bit0 ..... bit7 bit0 ..... bit7

S0~S7 OR ROM1  
A0~A7: 

1	0	0	0	1	1	0	0
---	---	---	---	---	---	---	---

A8'-A15': 

1	0	1	0	0	1	0	0
---	---	---	---	---	---	---	---

A8-A15: 

A0	A1	A2	A3	A4	A5	A6	A7
1	1	0	1	0	1	1	1

 ← complement (1: noninversion, 0: inversion)

\* HT6221-002/HT6222-002:

In this case, the 28 bits on-chip MASK ROM (ROM2, ROM3-0, ROM3-1, ROM3-2 and ROM3-3) is available, and the value of MASK ROM are decided by one MASK LAYER. Currently value of ROM2 (8 bits) are "00H", and the value of ROM3 are show below "ROM3 option table". The A0-A2 are set by S0-S7 (see the "A0-A2 option table").

The A3-A7 are set by S14 and S15 (see the "ROM3 option table").

The A8-A15 equal some bits be inverted of A0-A7, the inversion are decided by logical OR between the external switch S8-S13 and the ROM2.

	A0	A1	A2
S0=1	0	0	0
S1=1	1	0	0
S2=1	0	1	0
S3=1	1	1	0
S4=1	0	0	1
S5=1	1	0	1
S6=1	0	1	1
S7=1	1	1	1

A0-A2 option table

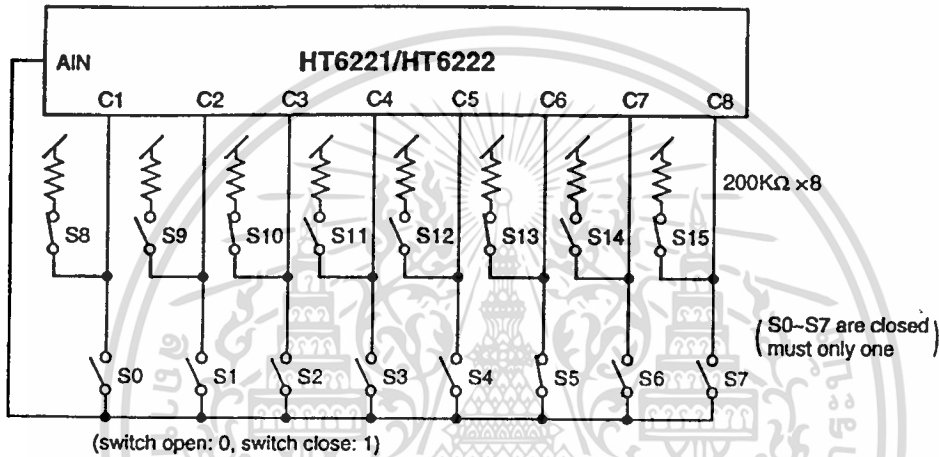
Note: priority. S7>.....>S0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

S14 S15	A3 A4 A5 A6 A7	ROM3
0 0	0 0 0 0 0	ROM3-0
0 1	1 1 0 0 1	ROM3-1
1 0	0 0 0 0 1	ROM3-2
1 1	1 0 1 1 1	ROM3-3

ROM3 option table

For example:


 A0~A2, A3~A7: **1 0 1 1 1 0 0 1**

 external switch S8~S13: **1 0 1 0 0 1 0 0** expletive bits

 on-chip ROM2: **0 0 0 0 0 0 0 0**  
 bit0-----bit7

 S8~S13 OR ROM2  
**1 0 1 0 0 1 0 0**

 A8~A15: **1 1 1 0 0 0 1 0**  
 complement (1: noninversion, 0: inversion)

## • Values of the data codes (D0~D7)

The HT6221/HT6222 contain 32 and 64 action keys, respectively. Each key corresponds to a data code. For tape deck recording, the HT6221/HT6222 provide 3 double-key functions. The double-key, single-key, and double-key operation rules are shown in Table 3, Table 4, Timing 4, Timing 5 and Timing 6:

KEY	Data Codes D0~D6	Data Code D7
K21+K22	1010110	0/1
K21+K23	0110110	0/1
K21+K24	1110110	0/1

Note: D7 is defined by an external switch.

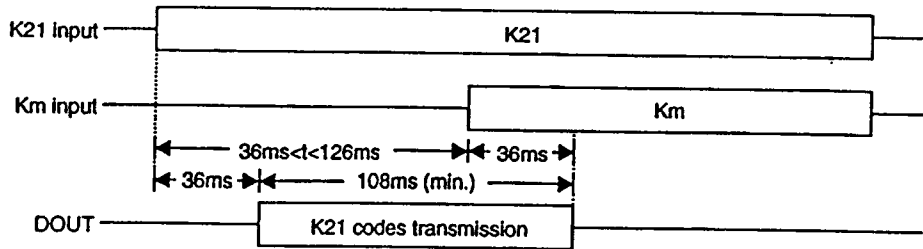
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 4: K1~K64 single-key data code table

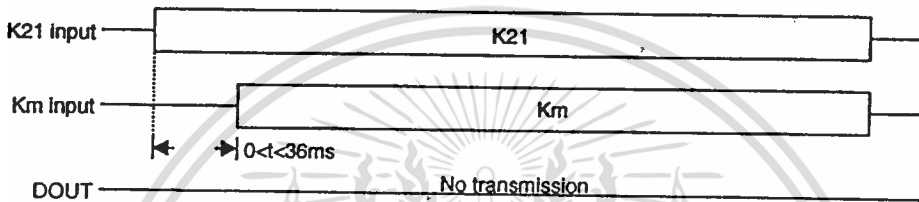
KEY	Data Codes D0~D6	Data Code D7
K1	0000 000	0/1
K2	1000 000	0/1
K3	0100 000	0/1
K4	1100 000	0/1
K5	0010 000	0/1
K6	1010 000	0/1
K7	0110 000	0/1
K8	1110 000	0/1
K9	0001 000	0/1
K10	1001 000	0/1
K11	0101 000	0/1
K12	1101 000	0/1
K13	0011 000	0/1
K14	1011 000	0/1
K15	0111 000	0/1
K16	1111 000	0/1
K17	0000 100	0/1
K18	1000 100	0/1
K19	0100 100	0/1
K20	1100 100	0/1
K21	0010 100	0/1
K22	1010 100	0/1
K23	0110 100	0/1
K24	1110 100	0/1
K25	0001 100	0/1
K26	1001 100	0/1
K27	0101 100	0/1
K28	1101 100	0/1
K29	0011 100	0/1
K30	1011 100	0/1
K31	0111 100	0/1
K32	1111 100	0/1
K33	0000 001	0/1

KEY	Data Codes D0~D6	Data Code D7
K34	1000 001	0/1
K35	0100 001	0/1
K36	1100 001	0/1
K37	0010 001	0/1
K38	1010 001	0/1
K39	0110 001	0/1
K40	1110 001	0/1
K41	0001 001	0/1
K42	1001 001	0/1
K43	0101 001	0/1
K44	1101 001	0/1
K45	0011 001	0/1
K46	1011 001	0/1
K47	0111 001	0/1
K48	1111 001	0/1
K49	0000 101	0/1
K50	1000 101	0/1
K51	0100 101	0/1
K52	1100 101	0/1
K53	0010 101	0/1
K54	1010 101	0/1
K55	0110 101	0/1
K56	1110 101	0/1
K57	0001 101	0/1
K58	1001 101	0/1
K59	0101 101	0/1
K60	1101 101	0/1
K61	0011 101	0/1
K62	1011 101	0/1
K63	0111 101	0/1
K64	1111 101	0/1

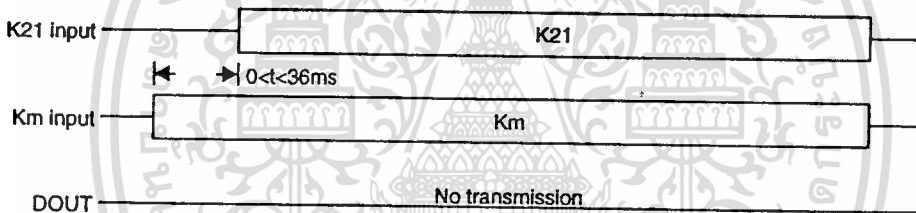
Note: D7 is defined by an external switch.  
 D7=0 : connect to VDD  
 D7=1 : connect to VSS



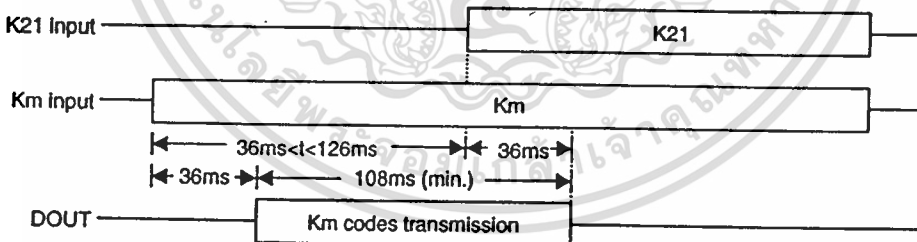
(a)



(b)



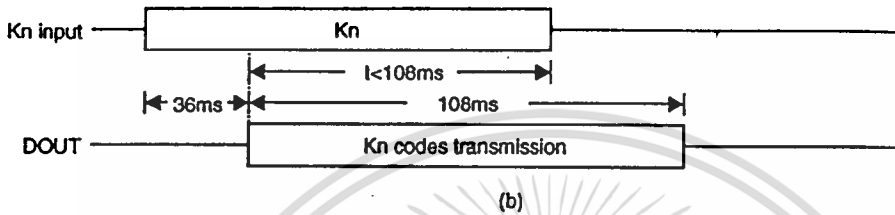
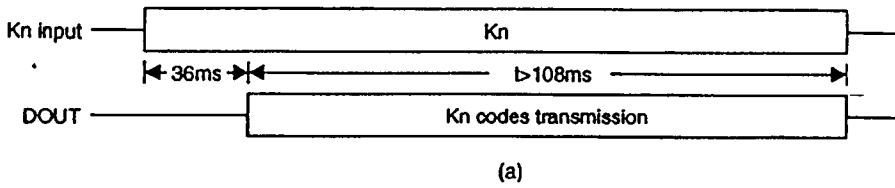
(c)



(d)

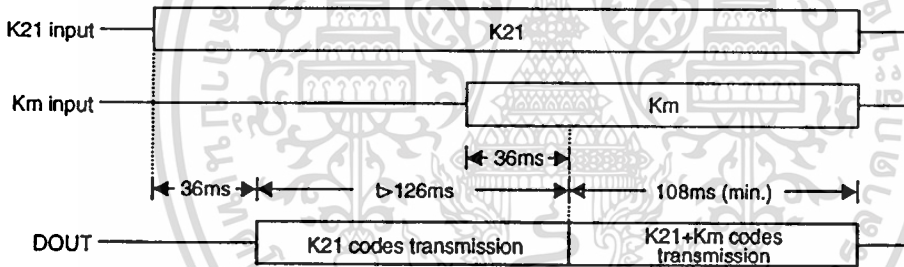
Timing 4. Invalid double-key input

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Note:  $K_n$  can be any one of  $K_1 \sim K_{64}$

Timing 5. Valid single-key input



Note:  $K_m$  can be any one of  $K_{22} \sim K_{24}$

Timing 6. Valid double-key input

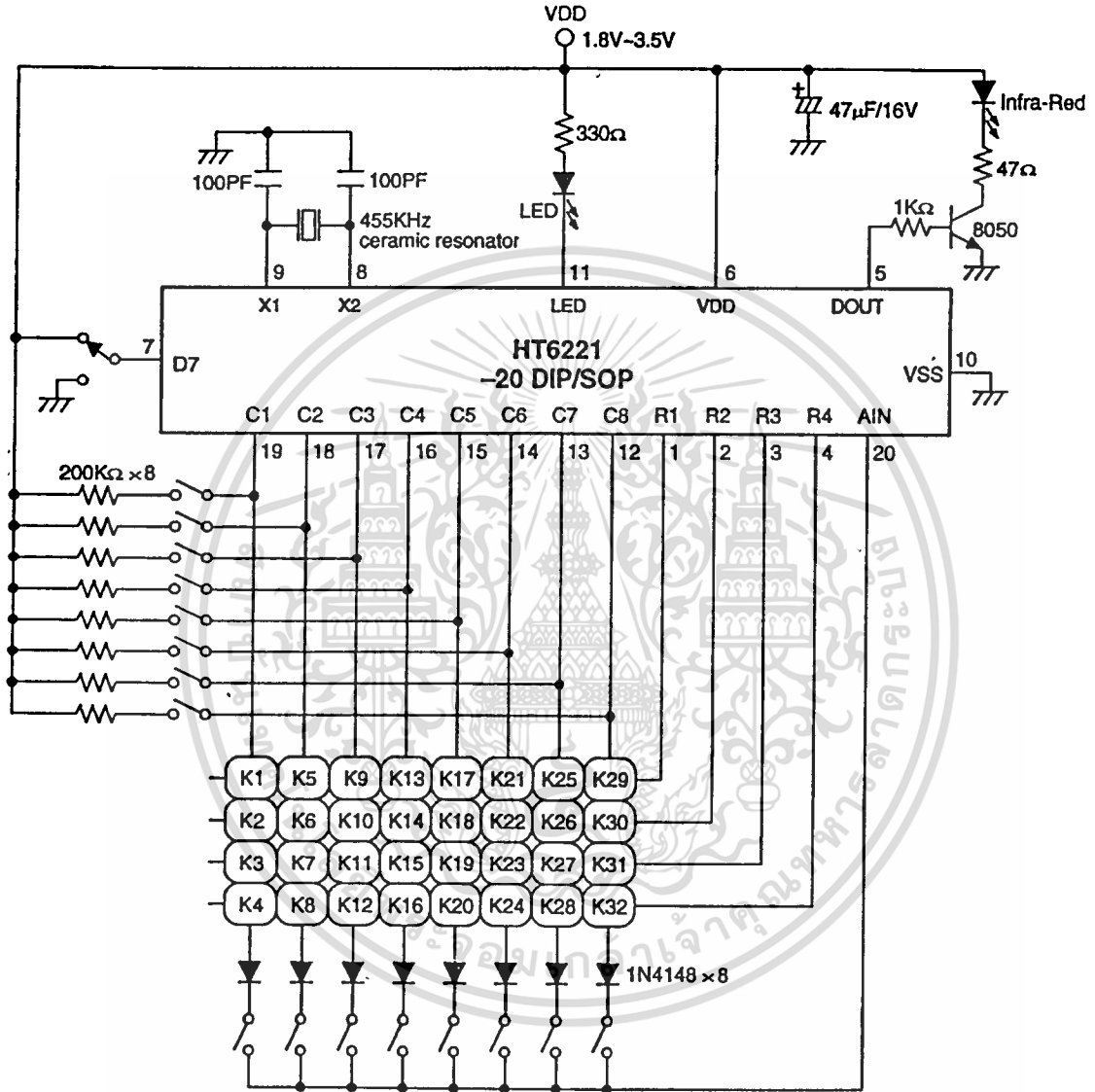
**DOUT & LED**

After the transmission codes are sent, the DOUT pin outputs transmission codes with a carrier, and the LED goes low to drive a transmission indicator.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

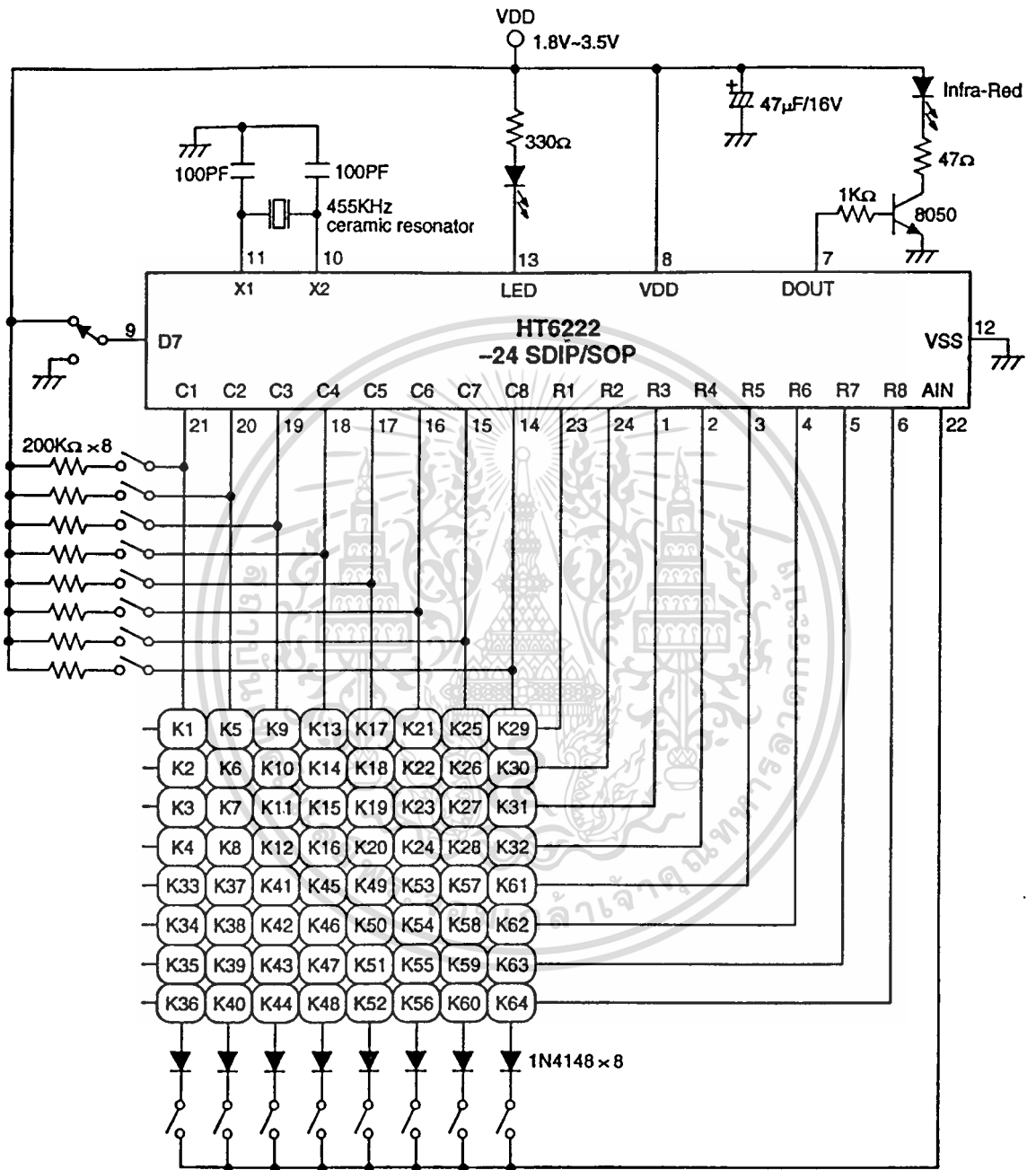
Application Circuit

Application circuit 1



Note: Typical infrared diode: EL-1L2 (KODENSHI CORP.).

Application circuit 2



Note: Typical infrared diode: EL-1L2 (KODENSHI CORP.).