

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ตัวส่งภาพระยะไกล



นายสุรศักดิ์ พิพัฒนศาสตร์  
นางสาวพนิดา เลหาพูนรัมย์



โครงการพิเศษนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิทยาศาสตรบัณฑิต

ภาควิชาฟิสิกส์ประยุกต์

คณะวิทยาศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เลขหมึก.....

เลขทะเบียน **31661**

วัน, เดือน, ปี **19 พ.ค. 2541**

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Remote Picture Sender



Mr. Surasak Pipatsart  
Miss Panida Laohapoonrungsi

A Special Project Submitted in Partial Fulfillment of the  
Requirement for the Degree of Bachelor of Science  
Department of Applied Physics  
Faculty of Science  
King Mongkut's Institute of Technology Ladkrabang

1997

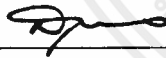
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

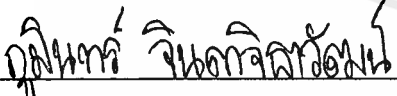
หัวข้อโครงการพิเศษ	ตัวส่งภาพระยะไกล
	Remote Picture Sender
นักศึกษา	นายสุรศักดิ์ พิพัฒน์ศาสตร์
	นางสาวพนิดา เกาหพุนรัมย์
ภาควิชา	ฟิสิกส์ประยุกต์
อาจารย์ที่ปรึกษา	ผู้ช่วยศาสตราจารย์วิชิต ศิริโชค
	อาจารย์ภูมินทร์ จินดาจิธาวัฒน์


ภาควิชาฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
อนุมัติให้นำโครงการพิเศษฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิทยาศาสตรบัณฑิต

  
หัวหน้าภาควิชาฟิสิกส์ประยุกต์  
(รองศาสตราจารย์สุรพล รักวิชัย)

คณะกรรมการโครงการพิเศษ  
  
ประธานกรรมการ  
(ผู้ช่วยศาสตราจารย์วิชิต ศิริโชค)

  
กรรมการ  
(รองศาสตราจารย์สุรพล รักวิชัย)

  
กรรมการ  
(อาจารย์ภูมินทร์ จินดาจิธาวัฒน์)

  
กรรมการ  
(อาจารย์บัณฑิต คำรงค์ศักดิ์)

ลิขสิทธิ์ของภาควิชาฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

หัวข้อโครงการพิเศษ	ตัวส่งภาพระยะไกล
นักศึกษา	นายสุรศักดิ์ พิพัฒน์ศาสตร์
	นางสาวพนิดา เกลาพูนรัมย์
อาจารย์ที่ปรึกษา	ผู้ช่วยศาสตราจารย์วิจิต ศรีโชติ
	อาจารย์ภูมิินทร์ จินดาจิธาวัฒน์
ภาควิชา	ฟิสิกส์ประยุกต์
ปีการศึกษา	2540

### บทคัดย่อ

ตัวส่งภาพระยะไกลเป็นอุปกรณ์ที่ได้ออกแบบและสร้างขึ้นเพื่อใช้จับภาพและส่งภาพไปยัง PC server ระยะไกล กล้องซึ่งติดตั้งบนส่วนควบคุมกล้องใช้จับภาพและกำเนิดสัญญาณมาตรฐาน PAL ตามเวลาจริง ไอซี LM1881 เป็นตัวแยกสัญญาณวิดีโอซึ่งจะให้สัญญาณวิดีโอสัญญาณซิงโครไนซ์แนวตั้งและสัญญาณซิงโครไนซ์แนวนอน มีการสร้างบอร์ดซึ่งประกอบไปด้วย ไมโครคอนโทรลเลอร์ 89C51 หน่วยความจำชนิด SRAM ขนาด 128kB และมีตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลความเร็วสูงโดยใช้ไอซี CA3306 มีความละเอียด 6 บิต การทำงานของบอร์ดจะทำหน้าที่แปลงสัญญาณภาพวิดีโอขณะนั้นและเก็บไว้ที่ SRAM โดยใช้อัตราการแซมปลิง 5 MHz และ 64 ระดับเกรย์สเกล ภาพที่บันทึกสามารถส่งไปยัง PC server ระยะไกลผ่านโมเด็มด้วยความเร็ว 9600 บิตต่อวินาที ตัวส่งภาพระยะไกลมีจุดมุ่งหมายที่ใช้เป็นอุปกรณ์เก็บข้อมูล เพื่อใช้พัฒนาในระบบรายงานสภาพการจราจรในอนาคตต่อไป

<b>Special Project Title</b>	Remote Picture Sender
<b>Name</b>	Mr. Surasak Pipatsart Miss Panida Laohapoonrungsi
<b>Special Project Advisor</b>	Asst.Prof. Wichit Sirichote Mr. Phumin Jindajitawat
<b>Department</b>	Applied Physics
<b>Academic Year</b>	1997

### Abstract

A device used for capturing and sending pictures to a remote PC server, namely Remote Picture Sender, has been designed and built. A close-circuit CCD camera mounted on the scanner captures pictures and generates a real-time standard PAL signal. An LM1881 video sync separator provides a video signal, vertical and horizontal synchronizing signals. A dedicated microcontroller board, 89C51 including a 128kB SRAM and the high speed flash converter, CA3306 6-Bit resolution, converts the video signal, captures a still picture and saves to the SRAM. The flash converter is capable of providing a 5MHz Sampling rate and 64 levels gray scale. Additionally, the recorded picture in SRAM can also be transmitted to a remote PC server through a 9600BAUD MODEM. Application of the sender is intended to be a traffic acquisition front-end for further development of traffic monitoring system.

## กิติกรรมประกาศ

โครงการพิเศษนี้สำเร็จลุล่วงได้ด้วยดี เนื่องจากความอนุเคราะห์จากบุคคลหลายฝ่ายดังนี้

บิดามารดา และ ผู้ปกครอง

ผู้ช่วยศาสตราจารย์วิชิต ศิริโชค

คณาจารย์ทุกท่าน

คุณศศิธร จันทร์นฤกุล

เพื่อนๆ ทุกคน

ภาควิชาฟิสิกส์ประยุกต์

ผู้ให้กำลังใจและคอยห่วงใยอย่างดียิ่ง

ผู้ให้การสอนสั่ง, ถ่ายทอดความรู้ และให้คำแนะนำต่างๆ เสมอมา

ผู้ถ่ายทอดความรู้มาโดยตลอด

ผู้ให้คำปรึกษาทางด้านซอฟต์แวร์

ที่ให้ความช่วยเหลือต่างๆ

ที่ให้สิ่งดีๆ มาโดยตลอด 4 ปี

ขอขอบพระคุณทุกท่านเป็นอย่างสูง



## สารบัญเรื่อง

	หน้า
บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
สารบัญเรื่อง	ง
สารบัญตาราง	ฉ
สารบัญรูป	ช
บทที่ 1 บทนำ	1
1.1 ความเป็นมาของการทำโครงการพิเศษ	1
1.2 วัตถุประสงค์ของการทำโครงการพิเศษ	1
1.3 แนวความคิดของการทำโครงการพิเศษ	1
1.4 ขอบเขตของการทำโครงการพิเศษ	3
1.5 ขั้นตอนการดำเนินงาน	3
1.6 ประโยชน์ที่ได้รับ	3
บทที่ 2 ทฤษฎีและหลักการที่เกี่ยวข้อง	5
2.1 การทำงานของซีพียู	5
2.1.1 แบบส่งทั้งเฟรม	8
2.1.2 แบบเลื่อนส่งทีละแถว	8
2.2 องค์ประกอบต่าง ๆ ของสัญญาณภาพ	9
2.2.1 การสแกน	9
2.2.2 สัญญาณภาพรวม	12
2.3 พื้นฐานของตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล	15
2.3.1 ตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลแบบขนาน	16
2.3.2 องค์ประกอบในการทำงานและค่าความผิดพลาดที่เกิดขึ้น	16
2.3.3 วิธีการเลือกตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลมีดังนี้	20
2.3.4 การกำจัดทรานเซียนท์ของเอาต์พุตจะมีวิธีแก้ไข 2 วิธี	22
2.4 AT89C51 8-Bit Microcontroller with 4 Kbytes Flash	24
2.4.1 คุณสมบัติของ AT89C51	24
2.4.2 ตัวถังและขาสัญญาณของชิป AT89C51	25

	หน้า
2.5 ระบบการสื่อสารข้อมูลเบื้องต้น	25
2.5.1 ระบบสื่อสารแบบดิจิทัล	25
2.5.2 ทิศทางของการส่งสัญญาณ	26
2.5.3 ลักษณะของการรับส่งข้อมูลแบบดิจิทัล	27
2.5.4 การสื่อสารแบบซิงโครนัสและแบบอะซิงโครนัส	28
2.5.5 การมอดูเลตข้อมูลดิจิทัล	28
2.5.6 หลักการทำงานของโมเด็ม	30
2.5.7 สายเคเบิลของ RS-232C	31
2.5.8 มาตรฐานคำสั่งของโมเด็ม	33
บทที่ 3 การดำเนินการวิจัย	37
3.1 การออกแบบวงจรในส่วนฮาร์ดแวร์ (Hardware)	37
3.1.1 การออกแบบวงจรของตัวส่งภาพ (Digitizer)	37
3.1.2 การออกแบบวงจรของตัวควบคุมกล้อง CCD (Scanner)	40
3.2 การออกแบบวงจรในส่วนซอฟต์แวร์ (Software)	42
3.2.1 การออกแบบซอฟต์แวร์ในส่วนของ PC Server	42
3.2.2 การออกแบบซอฟต์แวร์ในส่วนของตัวควบคุมกล้อง CCD	44
3.2.3 การออกแบบซอฟต์แวร์ในส่วนของตัวส่งภาพ	44
3.3 การออกแบบส่วนการติดต่อสื่อสารข้อมูลผ่านโมเด็ม	47
บทที่ 4 ผลการทดลองวิจัย	49
บทที่ 5 สรุปผลการทดลองวิจัยและแนวทางการพัฒนา	52
ภาคผนวก	
ประวัติผู้จัดทำโครงการพิเศษ	

สารบัญตาราง

	หน้า
ตารางที่ 1 แสดงตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลชนิดต่างๆ	23
ตารางที่ 2 ตารางเปรียบเทียบระหว่างการส่งข้อมูลแบบขนานและอนุกรม	28
ตารางที่ 3 ขาสัญญาณต่างๆ ในการรับ-ส่งข้อมูลแบบอนุกรม	32



## สารบัญรูป

	หน้า
รูปที่ 1.1 แสดงบล็อกไดอะแกรมของตัวส่งภาพระยะไกล	2
รูปที่ 2.1 แสดงโครงสร้างพื้นฐานโดยทั่วไปของซีซีดี	5
รูปที่ 2.2 แสดงการเลื่อนประจุภายในโครงสร้างซีซีดี	7
รูปที่ 2.3 แบบส่งทั้งเฟรม (Frame Transfer)	8
รูปที่ 2.4 แบบส่งทีละเส้น (Interline Transfer)	9
รูปที่ 2.5 แสดงรายละเอียดภาพที่ต่างกัน	9
รูปที่ 2.6 การสแกนภาพแบบสลับเส้น (Interlace Scanning)	11
รูปที่ 2.7 การสแกนภาพแบบไม่สลับเส้น (Noninterlace Scanning)	11
รูปที่ 2.8 แสดงระดับสัญญาณขาว-ดำโดยเกรย์สเกล	12
รูปที่ 2.9 แสดงลักษณะของสัญญาณภาพรวมเบื้องต้น	14
รูปที่ 2.10 (a) สัญญาณภาพรวม แสดงให้เห็นสัญญาณภาพกับสัญญาณซิงค์ทางแนวนอน และ สัญญาณซิงค์ทางแนวตั้ง	14
รูปที่ 2.10 (b) รายละเอียดของสัญญาณซิงค์ทางแนวตั้ง (ภายหลังจากการสแกนฟิลด์เส้นคู่)	14
รูปที่ 2.10 (c) รายละเอียดของสัญญาณซิงค์ทางแนวตั้ง (ภายหลังจากการสแกนฟิลด์เส้นคี่)	15
รูปที่ 2.11 สัญญลักษณะของตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล	16
รูปที่ 2.12 กราฟระหว่างสัญญาณอนาลอกอินพุตและจำนวนระดับ	17
รูปที่ 2.13 กราฟของสัญญาณอนาลอกอินพุตกับค่าความผิดพลาดที่เกิดขึ้น	18
รูปที่ 2.14 แสดงการตอบสนองของเวลาแปลงสัญญาณ (Conversion Time) ของตัวแปลงสัญญาณ อนาลอกเป็นสัญญาณดิจิทัล	19
รูปที่ 2.15 การเพี้ยนที่เกิดขึ้นเมื่ออัตราแซมปลิงต่ำเกินไป	20
รูปที่ 2.16 ตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลแบบขนาน	21
รูปที่ 2.17 การวางวงจรแซมเปิลและเก็บค่า ในการแปลงสัญญาณ	22
รูปที่ 2.18 แสดงขาของไมโครคอมพิวเตอร์ AT89C51	25
รูปที่ 2.19 การส่งสัญญาณแบบทิศทางเดียว (Simplex)	26
รูปที่ 2.20 การส่งสัญญาณแบบสองทิศทางแต่ต่างเวลา (Half-Duplex)	26
รูปที่ 2.21 การส่งสัญญาณแบบสองทิศทางในเวลาเดียวกัน (Full-Duplex)	26
รูปที่ 2.22 การส่งข้อมูลแบบอนุกรม	27
รูปที่ 2.23 การส่งข้อมูลแบบขนาน	27
รูปที่ 2.24 การส่งข้อมูลแบบอะซิงโครนัส	29

	หน้า
รูปที่ 2.25 การมอดูเลตข้อมูลดิจิทัล	29
รูปที่ 2.26 แสดงการใช้งานของ โมเด็ม	30
รูปที่ 2.27 แสดงขาสัญญาณต่างๆ ของข้อต่อแบบ DB-25	31
รูปที่ 3.1 แสดงผังการทำงานของตัวส่งภาพ (Digitizer)	37
รูปที่ 3.2 แสดงส่วนของวงจร Analog Video Input	38
รูปที่ 3.3 แสดงส่วนของวงจรการแยกสัญญาณวีดีโอ	38
รูปที่ 3.4 แสดงส่วนของวงจรการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล	39
รูปที่ 3.5 แสดงส่วนของวงจรกำเนิดความถี่ 5 MHz	39
รูปที่ 3.6 แสดงผังการทำงานของตัวควบคุมกล้อง CCD (Scanner)	40
รูปที่ 3.7 แสดงส่วนของวงจรควบคุม Stepping Motor	40
รูปที่ 3.8 แสดงวงจรโดยรวมของตัวส่งภาพระยะไกล	41
รูปที่ 3.9 แสดงบล็อกไดอะแกรมของส่วนควบคุมกล้อง CCD (Scanner)	45
รูปที่ 3.10 แสดงบล็อกไดอะแกรมของส่วนตัวส่งภาพ (Digitizer)	46
รูปที่ 3.11 แสดงสัญญาณข้อมูลที่ผ่าน RS-232	48
รูปที่ 3.12 แสดงการต่อสายของข้อต่อ DB-9 หรือ DB-25	48
รูปที่ 4.1 แสดงข้อมูลสัญญาณภาพ 1 เส้นที่ประกอบด้วยแอสกี 256*2 (2 ตัวต่อ 1 จุดภาพ)	50
รูปที่ 4.2 แสดงข้อมูลสัญญาณภาพ 1 เส้นที่ประกอบด้วยแอสกี 256 (1 ตัวต่อ 1 จุดภาพ)	50
รูปที่ 4.3 แสดงภาพต่างๆ ที่ได้จากการทดลอง	51

## บทที่ 1

### บทนำ

#### 1.1 ความเป็นมาของการทำโครงการพิเศษ

ในปัจจุบันนี้ปริมาณรถต่างๆ บนท้องถนนได้เพิ่มจำนวนขึ้นอย่างรวดเร็ว ในขณะที่ปริมาณพื้นที่ที่เป็นถนนยังคงเท่าเดิมและเครือข่ายขนส่งยังดำเนินการไม่แล้วเสร็จ วิธีการหนึ่งที่จะช่วยลดปริมาณรถให้ใช้พื้นที่ถนนอย่างมีประสิทธิภาพอาจกระทำได้โดยการเปลี่ยนแปลงเวลาการเข้า-ออกงาน การกำหนดให้รถประจำทางวิ่งในช่องทางที่กำหนด (Bus Way) หรือหาทางที่จะทำให้ผู้ใช้เส้นทางเลือกเส้นทางที่ไม่มีรถติดขัด แต่อย่างไรก็ตามผู้ใช้ถนนไม่มีทางเลือกสภาพการจราจร ปัจจุบัน ทำให้การจราจรติดขัดมากขึ้นเมื่อนำรถออกไปใช้บนท้องถนน ส่วนอีกวิธีการก็คือ การแพร่กระจายข้อมูลสภาพการจราจรไปยังผู้ใช้ถนน เมื่อผู้ใช้ถนนทราบสภาพการจราจร ณ ปัจจุบัน จะทำให้สามารถเลือกเส้นทาง เลือกเวลาหรือแม้กระทั่งเปลี่ยนแปลงเส้นทางการเดินทาง ซึ่งเราเชื่อว่า จะทำให้เกิดการใช้ถนนด้วยพื้นที่อันจำกัดในปัจจุบันได้อย่างมีประสิทธิภาพขึ้น

แนวความคิดที่น่าเสนอนี้ จะเป็นการสร้างตัวส่งภาพระยะไกล (Remote Picture Sender) ซึ่งประกอบไปด้วยส่วนตัวส่งภาพ (Digitizer) และส่วนตัวควบคุมกล้อง CCD (Scanner) ในมุมมองต่างๆ ผ่านโมเด็ม (Modem) เพื่อเป็นแนวทางใช้ในโครงการระบบรายงานสภาพการจราจรเวลาจริง (Real Time) ผ่านเครือข่าย World Wide Web (WWW) จะรายงานสภาพการจราจรด้วยรูปภาพแทนการใช้ตัวตรวจจับ (Sensor) หรือการใช้เจ้าหน้าที่ตำรวจรายงานสภาพการจราจรเหมือนดังที่หลายหน่วยงานได้ทำแต่ก็ประสบกับปัญหาว่าจะทำอย่างไรจึงจะได้ข้อมูลที่ต้องการและรวดเร็ว เพื่อนำข้อมูลเหล่านี้ไปรายงานสภาพการจราจรต่อไป

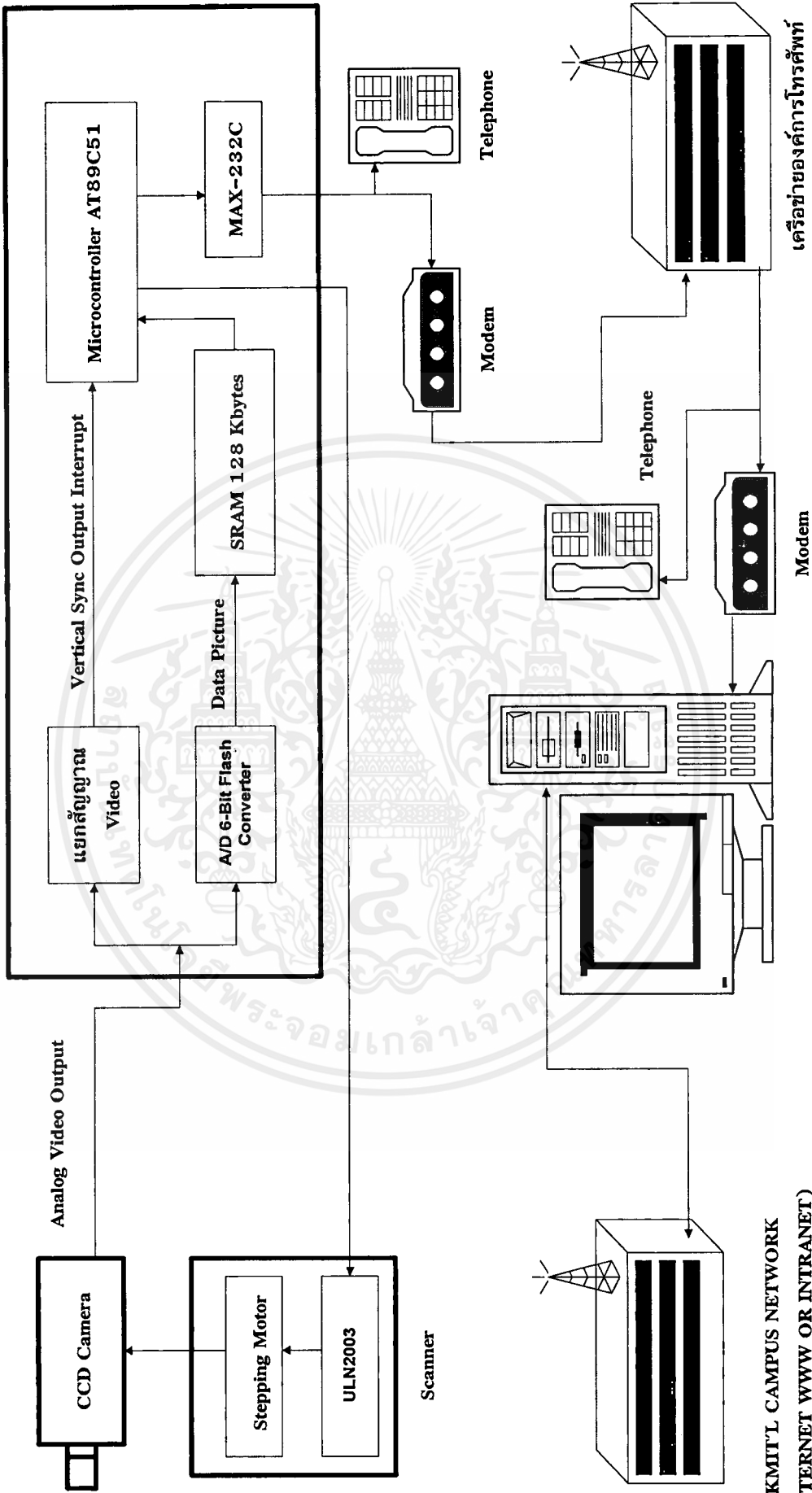
#### 1.2 วัตถุประสงค์ของการทำโครงการพิเศษ

1. เพื่อสร้างตัวส่งภาพ (Digitizer) และตัวควบคุมกล้อง CCD (Scanner) ในมุมมองต่าง ๆ
2. เพื่อสร้าง โปรแกรมควบคุมส่วนต่างๆ และติดต่อสื่อสารระยะไกลผ่านทางโมเด็ม
3. เพื่อใช้เป็นแนวทางใน โครงการระบบรายงานสภาพการจราจรเวลาจริง (Real Time) ผ่านเครือข่าย World Wide Web (WWW)

#### 1.3 แนวความคิดของการทำโครงการพิเศษ

ดังที่ได้กล่าวมาแล้วจะเห็นได้ว่าปัญหาที่สำคัญคือ การจัดเก็บข้อมูลสัญญาณภาพ การควบคุมกล้อง CCD ในมุมมองต่างๆ และทำการส่งข้อมูลสัญญาณภาพในมุมที่ต้องการบนท้องถนนกลับมายัง PC Sever โดยผ่านทางโมเด็มและต่อเข้ากับระบบ Intranet หรือ Internet WWW ดังรูปที่ 1.1

Digitizer



PC SERVER OR PICTURE SERVER

รูปที่ 1.1 แสดงบล็อกไดอะแกรมของตั้งส่งภาพระยะไกล

ดังนั้นโครงการพิเศษนี้จึงประกอบไปด้วย

1. กล้อง CCD ที่ใช้ในการถ่ายภาพ 1 ตัว
2. วัสดุอุปกรณ์ที่ใช้ในการสร้างตัวส่งภาพ (Digitizer)  
CMOS Video Speed 6 Bits Flash A/D Converter CA3306, SRAM 128 Kbytes,  
8-Bit Microcontroller with 4 Kbytes Flash AT89C51, Video Sync Separator  
LM1881, IC 74HCT157, 74HCT393, 74HCT74, 74HCT245, 74HCT04,  
MAX RS232, ตัวต้านทานและตัวเก็บประจุ
3. วัสดุอุปกรณ์ที่ใช้ในการสร้างตัวควบคุมกล้อง CCD (Scanner)  
Stepping Motor 4 Phase, Darlington Transistor Arrays ULN2003
4. โมเด็มที่ใช้ในการรับ-ส่งข้อมูล 2 เครื่อง
5. โทรศัพท์ 1 หมายเลข
6. ไมโครคอมพิวเตอร์ที่ใช้ในการควบคุม ประมวลผลและจัดเก็บภาพ 1 เครื่อง

#### 1.4 ขอบเขตของการทำโครงการพิเศษ

1. สร้างตัวส่งภาพ (Digitizer)
2. สร้างตัวควบคุมกล้อง CCD (Scanner) ในมุมต่างๆ
3. สร้างส่วนการติดต่อสื่อสารข้อมูลระยะไกลผ่านทาง โมเด็ม
3. เขียนโปรแกรมควบคุม ประมวลผลและจัดเก็บภาพในรูปแบบ File.BMP, File.JPG

#### 1.5 ขั้นตอนการดำเนินงาน

1. จัดหากล้อง CCD และ Stepping Motor
2. ค้นคว้าหาข้อมูลต่างๆ ของโครงการพิเศษ
3. ออกแบบและสร้างตัวควบคุมกล้อง CCD (Scanner) ในมุมต่างๆ
4. ออกแบบและสร้างตัวส่งภาพ (Digitizer)
5. ออกแบบและสร้างส่วนติดต่อสื่อสารข้อมูลระยะไกลผ่านทาง โมเด็ม
6. เขียนโปรแกรมควบคุม ประมวลผลและจัดเก็บภาพในรูปแบบ File.BMP, File.JPG
7. พัฒนาและปรับปรุงโครงการพิเศษ
8. สรุปผลและเขียนปริญญานิพนธ์

#### 1.6 ประโยชน์ที่ได้รับ

1. สามารถควบคุมกล้อง CCD และเก็บข้อมูลสัญญาณภาพในมุมที่ต้องการส่งถ่ายข้อมูล  
สัญญาณภาพจากระยะไกลผ่านทาง โมเด็มมายัง PC Server เพื่อประมวลผลต่อไป

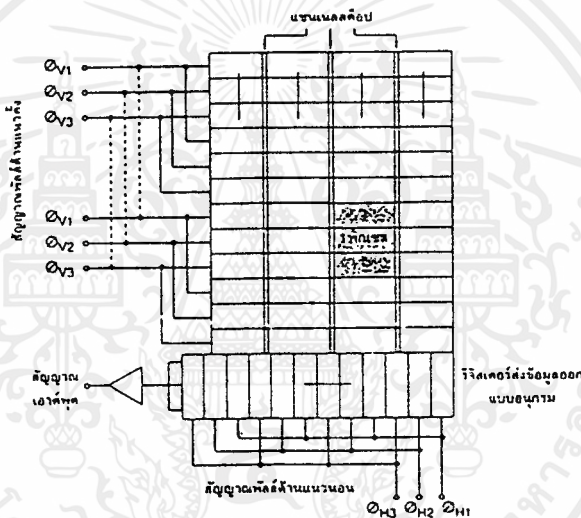
- 2.เป็นแนวทางในการพัฒนาตัวส่งภาพระยะไกลเพื่อใช้ในโครงการระบบรายงานสภาพการจราจรเวลาจริง (Real Time) ผ่านเครือข่าย World Wide Web (WWW)
- 3.สามารถนำไปใช้เพื่อเป็นประโยชน์ต่อส่วนรวม



## บทที่ 2 ทฤษฎีและหลักการที่เกี่ยวข้อง

### 2.1 การทำงานของซีซีดี (CCD : Charge Coupled Device)

อุปกรณ์ซีซีดี (CCD : Charge Coupled Device) ถือกำเนิดขึ้นมาหลายทศวรรษแล้ว และได้มีการพัฒนาขึ้นอย่างรวดเร็วเมื่อประมาณปีพ.ศ.2493หลังจากมีการวิจัยเกี่ยวกับกับการผลิตทรานซิสเตอร์รูปแบบใหม่ประสบผลสำเร็จ ต่อจากนั้นจึงมีการพัฒนาไปสู่การผลิตวงจรรวมหรือไอซี (IC : Integrated Circuit) ด้วยเทคโนโลยีมอส (MOS : Metal Oxide Semiconductor) และในที่สุดก็ประสบผลสำเร็จอีกครั้งกับการผลิตวงจรรวมซิลิคอน ซีซีดี สำหรับใช้งานเป็นอุปกรณ์ถ่ายภาพเป็นอุปกรณ์ที่อาศัยหลักการทำงานโดยการถ่ายเทของประจุไฟฟ้า ดังรูปที่ 2.1



รูปที่ 2.1 แสดง โครงสร้างพื้นฐาน โดยทั่วไปของ CCD

จากรูปที่ 2.1 แสดงให้เห็นถึงโครงสร้างภายใน และทิศทางถ่ายเทของประจุไฟฟ้าภายในอุปกรณ์ โครงสร้างภายในซีซีดีถูกแบ่งออกเป็นเซลล์หรือพื้นที่เล็กๆ มากมายซึ่งแต่ละเซลล์เล็กๆ นี้เรียกว่า พิกเซล (Pixel) นั่นคือยังมีการแบ่งพิกเซลมากเท่าใดก็จะทำให้ภาพที่ได้จากการตรวจจับนั้นมีความละเอียดมากขึ้น ในแต่ละพิกเซลถูกแบ่งการควบคุมการทำงานเป็นแบบด้านแนวนอน (Row) และแนวตั้ง (Column) โดยมีส่วนที่คั่นกลางที่เรียกว่า แชนเนลสตอป (Channel Stop) เป็นตัวคั่นกลางระหว่างแต่ละแนวตั้ง ในแต่ละพิกเซลจะมีประจุไฟฟ้าสำหรับถ่ายเทอยู่ซึ่งจะมีการถ่ายเทเมื่อในพิกเซล (Pixel) นั้นได้รับพลังงานจากภายนอกในที่นี้ก็คือแสงที่มากกระทบ

การถ่ายเทประจุไฟฟ้าเกิดขึ้นโดยใช้หลักการหมุนเฟส (Phase Clock Voltage) ซึ่งจากรูปที่ 2.1 จะเห็นได้ว่าในแต่ละพิกเซลนั้นจะถูกเชื่อมต่อกับขาสัญญาณ สัญญาณที่ปรากฏที่ขาสัญญาณทั้ง

สามนี้จะมีเฟสที่สัมพันธ์กันตลอดเวลาทั้งระดับแรงดันและช่วงเวลา ค่าแรงดันที่ปรากฏทั้ง 3 เฟสนี้จะทำให้เกิดกระบวนการถ่ายเทประจุไฟฟ้าขึ้นจากตำแหน่งหนึ่งไปยังอีกตำแหน่งหนึ่งได้ เมื่อประจุไฟฟ้าถูกถ่ายเทมาจนถึงปลายสุดของพิกเซล ค่าประจุไฟฟ้าเหล่านั้นจะถูกส่งผ่านไปยังรีจิสเตอร์รับข้อมูลต่อไป เมื่อรีจิสเตอร์รับข้อมูลเป็นที่เรียบร้อยแล้วก็จะชิฟต์ข้อมูลออกในลักษณะอนุกรมออกสู่เอาต์พุต โดยส่งผ่านบัฟเฟอร์แอมป์ก่อนส่งออกสู่เอาต์พุต จังหวะการชิฟต์ข้อมูลออกจากรีจิสเตอร์ถูกควบคุมจากสัญญาณพัลส์ด้านแนวอนหรือแถวที่ขาสัญญาณด้วยหลักการหมุนเฟสเช่นเดียวกับการหมุนเฟสทั้งด้านแนวอนและแนวดิ่งนี้จะมีความสัมพันธ์กันตลอดเวลา แต่ทว่าในซีซีดีบางรุ่นนั้นอาจจะใช้จำนวนเฟสในการควบคุมมากกว่าหรือน้อยกว่า 3 เฟสก็ได้ขึ้นอยู่กับารออกแบบโครงสร้างภายในซีซีดี

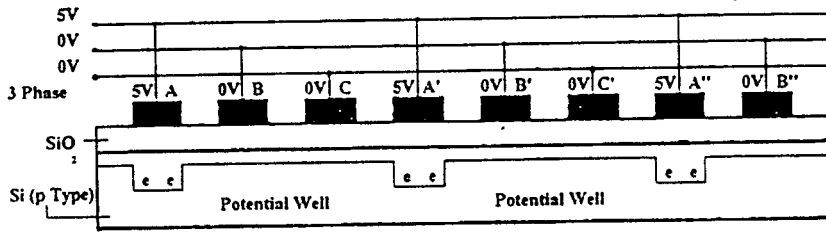
ซีซีดีเป็นสิ่งประดิษฐ์สารกึ่งตัวนำที่ทำงานเหมือนชิพรีจิสเตอร์ที่ใช้ในการเลื่อนประจุ เป็นไอซีหน่วยความจำที่มีความจุมากชนิดหนึ่งมีโครงสร้างดังแสดงในรูปที่ 2.2 บนแผ่นสารกึ่งตัวนำจะมีชั้นฉนวนและบนชั้นฉนวนจะมีแผ่นโลหะเป็นขั้วไฟฟ้าเรียงต่อกันไปเป็นตัว MOS-FET หลายๆ ตัวต่อกับตัวเก็บประจุในรูปที่ 2.2 บนแผ่นฐานซิลิกอนชนิด P จะสร้างชั้น  $\text{SiO}_2$  และฉาบผิวด้วยไอโลหะอะลูมิเนียมเพื่อสร้างแผ่นขั้วไฟฟ้า A, B และ C 3 ชุดเรียงกันไปแผ่นขั้ว A, A', A'', B, B', B'', C, C' และ C'' จะต่อเชื่อมถึงกันและต่อกับสัญญาณพัลส์ 3 เฟส

รูปที่ 2.2 (a) เมื่อมีพัลส์เข้าที่ขั้ว A, A' และ A'' แรงดัน 5V จะปรากฏที่ขั้วไฟฟ้าเหล่านั้นแรงดันนี้จะผลักให้โฮลในชั้น P ให้ออกไปจากบริเวณใกล้ๆ ขั้วไฟฟ้านั้นเกิดเป็นบริเวณที่ปราศจากประจุคือเป็น Depletion Layer บริเวณนี้จะมีคุณสมบัติเหมือนกับบ่อศักย์ไฟฟ้า (Potential Well) ที่สามารถเก็บกักอิเล็กตรอนที่ถูกฉีดเข้ามาในบริเวณนี้ ไม่ว่าอิเล็กตรอนนั้นจะมาจากภายนอกหรือจากผลของแสงก็ตาม

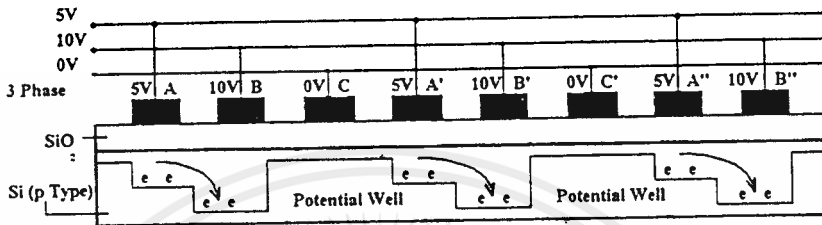
รูปที่ 2.2 (b) เมื่อมีพัลส์ที่แผ่นขั้ว B, B' และ B'' เป็นพัลส์ที่มีแรงดันสูงกว่า A ก็เกิดบริเวณที่ปราศจากประจุสูงกว่าที่เกิดที่ขั้ว A ทำให้อิเล็กตรอนที่ถูกกักไว้ได้แผ่นขั้ว A ไหลเข้ามาที่ได้แผ่นขั้ว B เป็นการโยกย้ายอิเล็กตรอนไปสู่บริเวณที่มีศักย์สูงกว่า

รูปที่ 2.2 (c) สัญญาณพัลส์จะเหลือแต่ที่ขั้ว B ส่วนที่ขั้ว A จะหายไปบริเวณที่ปราศจากประจุได้แผ่นขั้ว B จะตื้นลง แต่ยังคงกักอิเล็กตรอนทั้งหมดอยู่ในบริเวณนี้

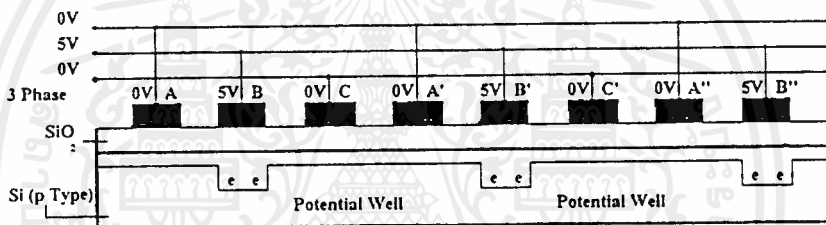
รูปที่ 2.2 (d) สัญญาณพัลส์จะปรากฏที่ขั้ว C เหมือนกรณีแรก คือ มีแรงดันสูงกว่าที่ขั้ว B ก็ จะคู่อิเล็กตรอนที่อยู่ได้ขั้ว B ให้มาอยู่ได้ขั้ว C ทั้งหมด



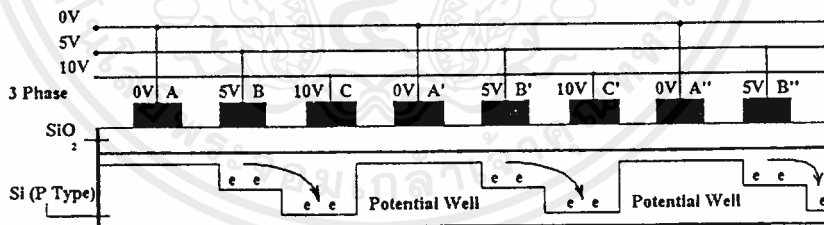
รูปที่ 2.2 (a)



รูปที่ 2.2 (b)



รูปที่ 2.2 (c)



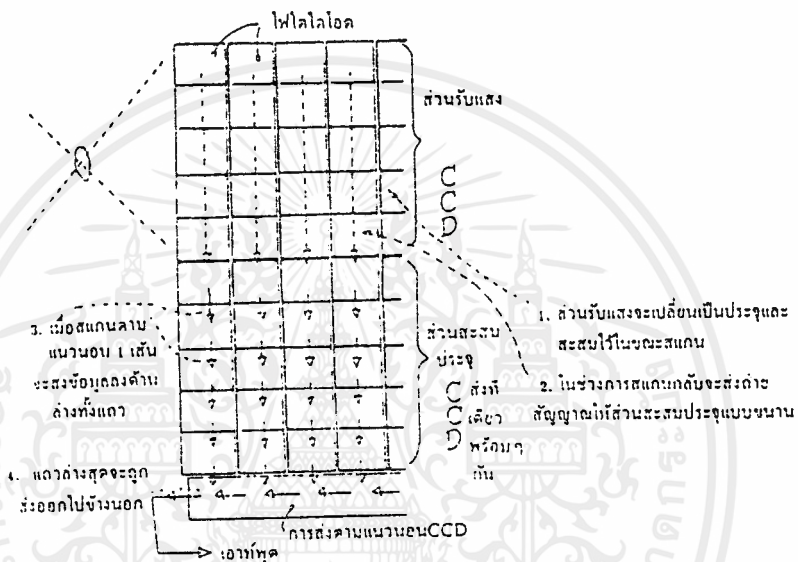
รูปที่ 2.2 (d)

รูปที่ 2.2 แสดงการเคลื่อนประจุภายใน โครงสร้างซีซีดี

ถ้าทำให้ซีซีดีเป็นฉิวรับแสง แสงที่ตกกระทบก็จะสร้างประจุตามความเข้มของแสง ประจุเหล่านี้สามารถเคลื่อนออกไปเป็นสัญญาณออกได้ตามหลักการทำงานของซีซีดี ภาครับแสงและภาคเคลื่อนข้อมูลนี้จะแยกตัวจากซีซีดี เพื่อไม่ให้เกิดปัญหาของแสงที่เข้ามาซึ่งจะมีผลต่อประจุภายในขณะที่ถูกเลื่อน

### 2.1.1 แบบส่งทั้งเฟรม (Frame Transfer)

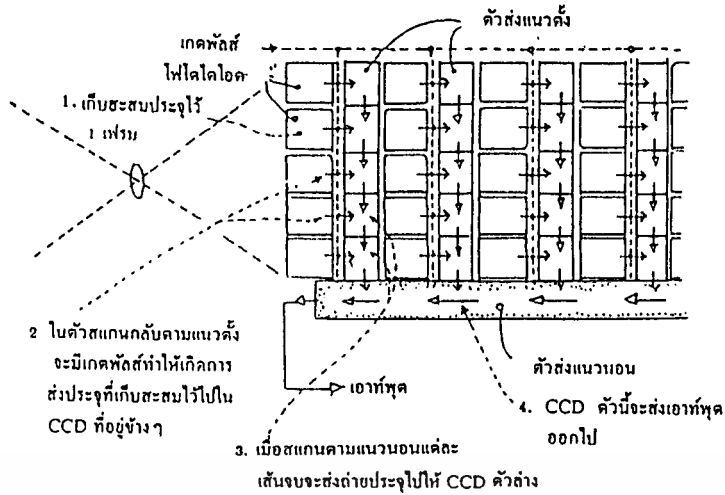
ซีซีดีแบบนี้จะมีอยู่ 2 ส่วนที่มีตัวรับแสงและส่วนที่เก็บสะสมประจุ โดยส่วนเก็บสะสมประจุนี้จะเป็นส่วนที่ไม่โค่นแสง การสแกนสัญญาณภาพ 1 จอภาพเรียกว่า 1 เฟรม (Frame) ส่วนรับแสงจะสร้างประจุจากแสงและยังคงเก็บสะสมประจุนั้นไว้เมื่อจบการสแกนในเฟรมและจะเริ่มการสแกนใหม่จากด้านบนซ้ายของจอภาพ ในช่วงนั้นจะส่งถ่ายประจุที่เก็บสะสมประจุจะเลื่อนประจุนั้นออกไปเป็นสัญญาณออกทีละแถวโดยเริ่มจากแถวล่างสุด เมื่อเลื่อนจบหนึ่งแถวประจุจากแถวนั้นจะเลื่อนมาที่แถวล่างถัดไปแถวล่างก็จะถูกเลื่อนเป็นสัญญาณออกเป็นเช่นนี้เรื่อยๆ จนหมดทุกแถวหรือหนึ่งจอภาพ



รูปที่ 2.3 แบบส่งทั้งเฟรม (Frame Transfer)

### 2.1.2 แบบเลื่อนส่งทีละแถว (Interline Transfer)

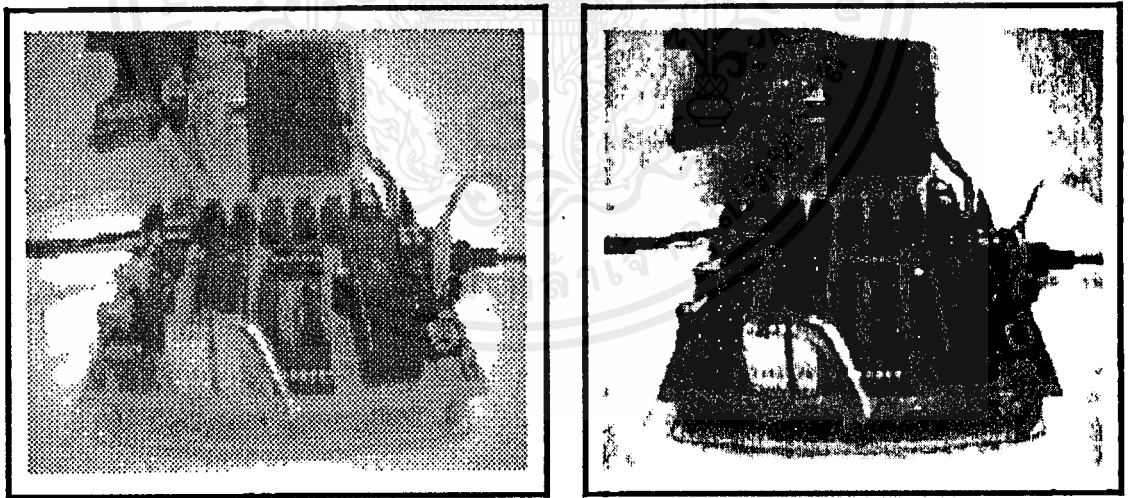
แบบนี้จะใช้โฟโตไดโอดเป็นตัวรับแสงและจับซีซีดีที่อยู่ข้างๆ เมื่อโฟโตไดโอดเปลี่ยนแสงเป็นประจุนั้นจะเก็บสะสมประจุไว้ในช่วง 1 เฟรม เมื่อจบเฟรมการสแกนก็จะวิ่งกลับจากจุดล่างสุดมาจุดบนสุด ช่วงนี้คือช่วงสแกนกลับในแนวตั้ง ในช่วงนี้จะมีพัลส์เพื่อส่งถ่ายประจุไปให้ซีซีดีที่อยู่ข้างๆ ซีซีดีตัวล่างสุดจะส่งสัญญาณออกโดยการเลื่อนประจุนั้นออกทางแนวอนนเมื่อจบการเลื่อนหนึ่งเส้นก็จะเลื่อนประจุจากซีซีดีด้านบนลงมาด้านล่างทีละแถว



รูปที่ 2.4 แบบส่งทีละเส้น (Interline Transfer)

2.2 องค์ประกอบต่างๆ ของสัญญาณภาพ

ภาพที่มองเห็นจะประกอบด้วยจุดเล็กๆ จำนวนมากมายซึ่งเรียกว่า "Picture Element" หรือ พิกเซล (Pixel) Picture Element เป็นพื้นที่สี่เหลี่ยมเล็กๆ ซึ่งเกิดขึ้นโดย Horizontal Line กับ Vertical Line จะแบ่งภาพออกเป็นส่วนๆ แต่ละส่วนจะมีขนาดเท่ากันแต่มีความสว่างไม่เท่ากันหากภาพนั้นมีรายละเอียด (Detail) ของจุดแสงมาก ภาพที่ได้ออกมาจะมีรายละเอียดมากกว่าภาพที่มีจุดแสงน้อย คือ ถ้าแสงรายละเอียดน้อย ภาพจะออกมาหยาบ ดังรูปที่ 2.5



รูปที่ 2.5 แสดงรายละเอียดภาพที่ต่างกัน

2.2.1 การสแกน (Scanning)

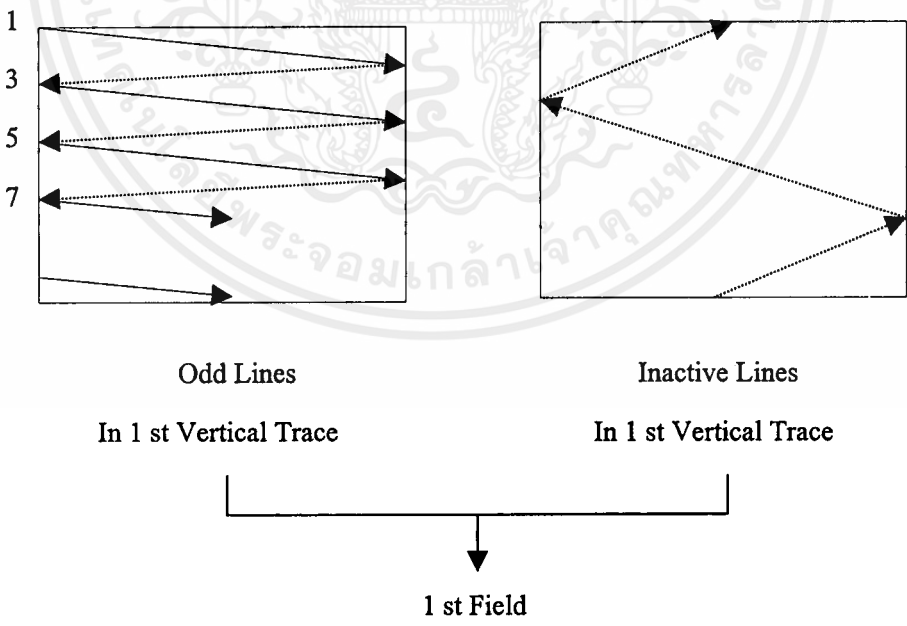
ภาพจะประกอบด้วยเส้นขวางเล็กๆ ในแนวนอนเป็นจำนวนมากซึ่งแต่ละเส้นเหล่านี้มีทั้งส่วนที่ดำสนิทหรือสีเข้ม ส่วนที่ดำจางหรือมีสีจางและส่วนที่ว่างมากปะปนกันอยู่เส้นขวางเล็กๆ ในแนวนอนเหล่านี้เรียกว่า เส้นสแกน

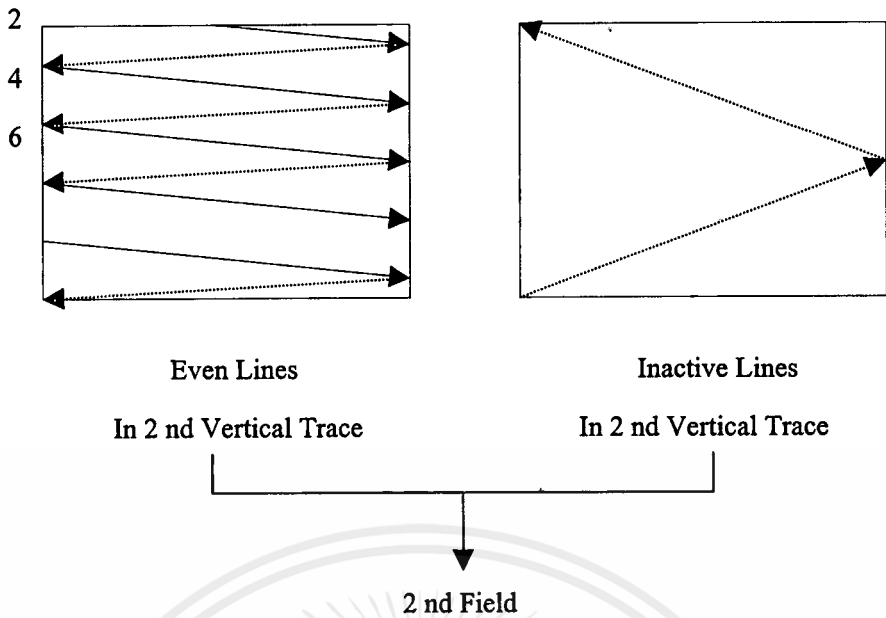
โดยการสแกนสัญญาณภาพที่จอภาพแบ่งออกเป็น 2 ลักษณะคือ

- การสแกนสัญญาณภาพแบบสลับเส้น (Interlace Scanning)
- การสแกนสัญญาณภาพแบบไม่สลับเส้น (Noninterlace Scanning)

**2.2.1.1 การสแกนสัญญาณภาพแบบสลับเส้น (Interlace Scanning)**

เนื่องจากการสแกนของจอภาพบนเครื่องรับจะเกิดปัญหาเรื่องการกระพริบของแสงบนจอ (Flicker) ด้วยเหตุนี้การสร้างภาพหรือการสแกนสัญญาณภาพบนจอเครื่องรับจะต้องใช้การสแกนสัญญาณภาพเป็นแบบสลับเส้น โดยที่ภาพหนึ่งเฟรมประกอบด้วย การสแกนสองฟิลด์ และเริ่มต้นด้วยการสแกนฟิลด์แรกซึ่งเป็นการสแกนเส้นคี่ก่อน โดยจะเริ่มสแกนจากเส้นที่หนึ่งจากขอบบนซ้ายสุดไปขวาสุด จากด้านบนลงด้านล่างจะสิ้นสุดที่กึ่งกลางจอด้านล่าง (ซึ่งในระบบ PAL หนึ่ง เฟรมจะมีเส้นสแกน 625 เส้น ดังนั้นเส้นที่สิ้นสุดจึงเป็นเส้นที่ 313 เพียงครึ่งเส้นด้านหน้า) เรียกฟิลด์แรกนี้ว่า “ฟิลด์คี่” (Odd Field) ในระหว่างเส้นต่อเส้นก็จะเว้นช่องว่างให้พอสแกนได้อีกครึ่งหนึ่งจากนั้นก็สแกนสลับกลับไปยังกึ่งกลางจอด้านบน (ในช่วงสแกนสลับกลับนี้เรียกว่า Retrace or Flyback จะมีสัญญาณแบล็กใช้ลบเส้นสแกนสลับกลับ) และเริ่มสแกนฟิลด์ที่สองเป็นการสแกนเส้นคู่ สแกนเส้นที่เหลือจากด้านล่างอีกครั้งเส้น (ในระบบ PAL เป็นเส้นที่ 313 ครึ่งเส้นด้านหลัง) แล้วสแกนเส้นต่อไปจากด้านบนลงด้านล่างเหมือนกันจะสิ้นสุดลงที่มุมขวาด้านล่างของจอ (ในระบบ PAL เป็นเส้นที่ 625 ) เรียกฟิลด์ที่สองนี้ว่า “ฟิลด์คู่” (Even Field) จากนั้นก็จะสแกนสลับกลับไปที่ยุ่บนซ้ายด้านบนของจอเพื่อเริ่มต้นสแกนฟิลด์คี่ของเฟรมภาพถัดไปดังรูปที่ 2.6

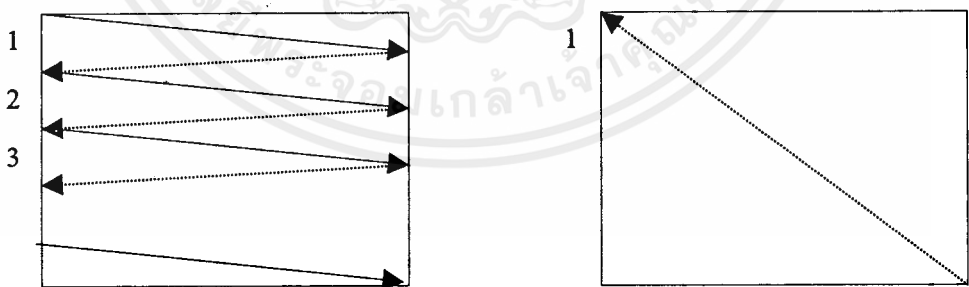




รูปที่ 2.6 การสแกนภาพแบบสลับเส้น (Interlace Scanning)

2.2.1.2 การสแกนสัญญาณภาพแบบไม่สลับเส้น (Noninterlace Scanning)

ในการสแกนของสัญญาณภาพแบบนี้จะเริ่มจากเส้นแรกด้านบนซ้ายสุดของจอมนิเตอร์ไปทางด้านขวามือสุด และสลับกลับมาเริ่มที่ซ้ายมือสุดของเส้นถัดไปทำเช่นนี้จนถึงเส้นสุดท้ายด้านล่างสุดของจอมนิเตอร์ เมื่อการสแกนสัญญาณภาพหมดหนึ่งภาพหลังจากนั้นจะสลับกลับไปเริ่มต้นการสแกนในเส้นที่ 1 ใหม่ ซึ่งจะทับกับเส้นเดิมที่สแกนเสร็จในครั้งแรกและจะเป็นเช่นนี้ตลอดการสแกน ดังรูปที่ 2.7



รูปที่ 2.7 การสแกนภาพแบบไม่สลับเส้น (Noninterlace Scanning)

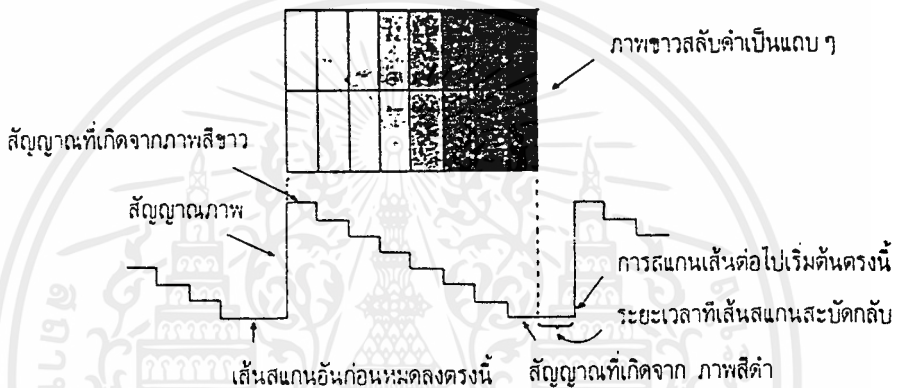
การสแกนในลักษณะนี้ส่วนมากจะใช้ในระบบการแสดงผลภาพของไมโครคอมพิวเตอร์ทั่วไปซึ่งลดความยุ่งยากในการอ่านข้อมูลที่จะนำมาแสดงที่จอมนิเตอร์ได้

## 2.2.2 สัญญาณภาพรวม (Composite Video Signal)

สัญญาณภาพหมายถึง สัญญาณที่เกิดจากอุปกรณ์ที่กำเนิดสัญญาณภาพออกมา เช่น กล้องถ่ายภาพวิดีโอ, เครื่องเล่นวิดีโอ, กล้อง CCD และอื่นๆ สัญญาณเหล่านี้จะมีลักษณะต่อเนื่อง (Analog Signal) และจะมีลักษณะเป็นสัญญาณรวม (Composite Video Signal) ซึ่งสัญญาณรวมนี้ประกอบด้วยสัญญาณขาว-ดำ, สัญญาณแบล็กกิ้ง, สัญญาณซิงโครไนซ์, สัญญาณอ็ควอลไอซิ่ง

### 2.2.2.1 สัญญาณภาพขาว-ดำ (Luminance Signal)

กล่าวถึงสัญญาณขาว-ดำหรือสัญญาณ โมโนโครม ภาพที่เป็นสีขาวคือภาพที่มีความสว่างมากที่สุดและภาพที่เป็นสีดำคือภาพที่ไม่มีแสงเลย ภาพจำลองที่ดีที่สุดของกรณีนี้ก็คือแถบภาพที่มีความแตกต่างของระดับขาว-ดำที่น้อย ซึ่งเราเรียกว่า ระดับเกรย์สเกล



รูปที่ 2.8 แสดงระดับสัญญาณขาว-ดำ โดยเกรย์สเกล

จากรูปที่ 2.8 แสดงให้เห็นระดับของเกรย์สเกล ในกรณีที่ระดับสัญญาณภาพเป็นสัญญาณสีขาวเข้ามา นั้นหมายความว่าระดับความแรงของสัญญาณภาพมากที่สุดจึงให้ความสว่างที่หน้าจอบมากที่สุดและเมื่อระดับสัญญาณสีขาวลดลงเป็นสีม่วง, สีเทาและสีดำนั้น ระดับสัญญาณจะลดลงมาเรื่อยๆ นั้นหมายความว่าเมื่อสัญญาณมีความแรงน้อยลงความส่องสว่างจะน้อยลงตามไปด้วย

อันที่จริงแล้วภาพแต่ละภาพเป็นสัญญาณความถี่ทางไฟฟ้าที่มีความถี่สูงค่าไม่เท่ากัน โดยความถี่สูงสุดจะไม่เกิน 4 MHz ในระบบ FCC และไม่เกิน 5 MHz ในระบบ CCIR ภาพที่เกิดจากความถี่สูงย่อมมีความละเอียดกว่าความถี่ต่ำ (มีจำนวนจุดดำมากกว่า)

### 2.2.2.2 สัญญาณแบล็กกิ้ง (Blanking)

เมื่อมีการสแกนลำอิเล็กตรอนที่หน้าจอจะเกิดเส้นริเทรตหรือเส้นสะบัดกลับซึ่งเป็นเส้นภาพที่เราไม่ต้องการ เครื่องส่งจึงต้องส่งสัญญาณแบล็กกิ้ง (Blanking) เพื่อบังคับให้เครื่องรับสามารถลบเส้นสะบัดกลับได้สัญญาณแบล็กกิ้งส่วนหนึ่งเครื่องรับจะต้องสร้างขึ้นเหมือนการสร้างสัญญาณซิงโครไนซ์แต่มันจะสัมพันธ์กับเครื่องส่งได้อย่างไร จึงต้องมีการส่งสัญญาณแบล็กกิ้งมาจากเครื่อง

ส่งเพื่อลบเส้นสะบัดกลับในเครื่องรับสัญญาณแบบลงกึ่งมีอยู่ 2 อย่างคือ เวิร์ติคอลลแบบลงกึ่ง (Vertical Blanking) กับ ฮอริซอนคอลลแบบลงกึ่ง (Horizontal Blanking)

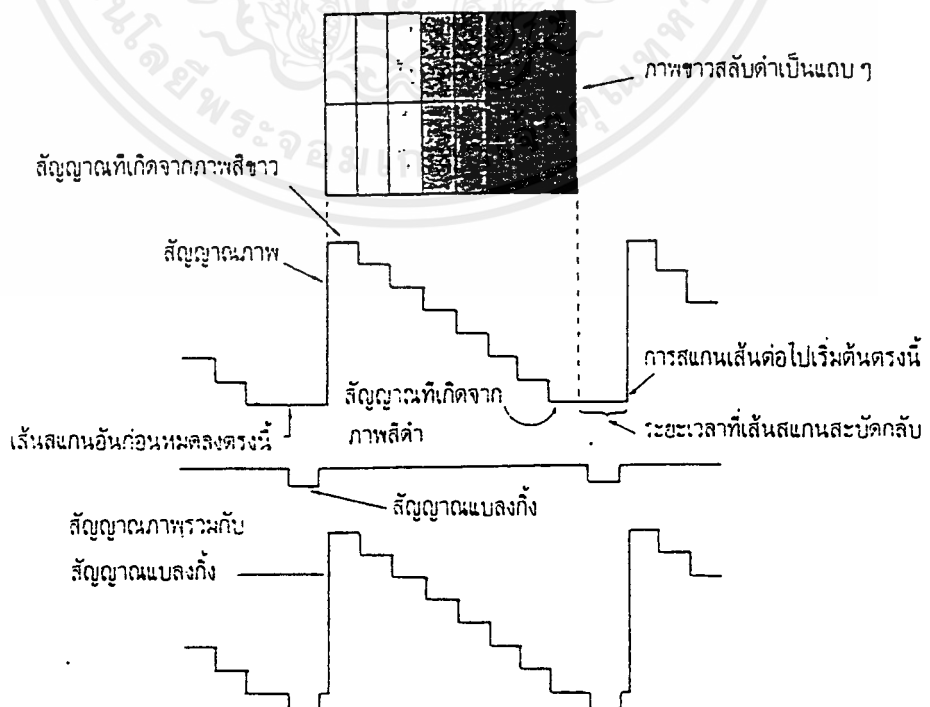
### 2.2.2.3 สัญญาณซิงโครไนซ์ (Synchronize Signal)

เป็นสัญญาณเพื่อให้การสแกนเป็นไปอย่างถูกต้องทั้งการสแกนแนวตั้งและแนวนอน โดยสัญญาณซิงโครไนซ์ หรือสัญญาณซิงค์มีอยู่ 2 สัญญาณ คือ

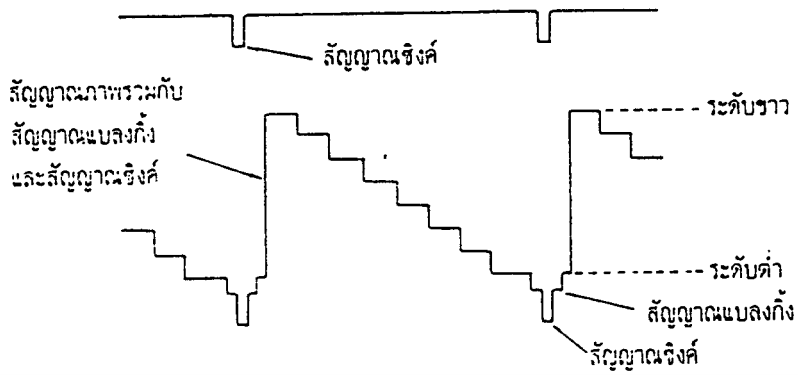
1.ฮอริซอนคอลล ซิงโครไนซ์ (Horizontal Synchronize) เป็นสัญญาณซิงโครไนซ์ทางแนวนอน ซึ่งมีความถี่ 15,625 Hz (ในระบบ CCIR) หรือ 15,750 Hz (ในระบบ FCC) ถ้าไม่มีสัญญาณส่วนนี้ส่งมาจะทำให้ภาพเกิดการล้าได้

2.เวิร์ติคอลล ซิงโครไนซ์ (Vertical Synchronize) เป็นสัญญาณซิงโครไนซ์ทางแนวตั้ง ซึ่งมีความถี่ 50 Hz (ในระบบ CCIR) หรือ 60 Hz (ในระบบ FCC) ถ้าไม่มีการส่งสัญญาณส่วนนี้มาจะทำให้ภาพเลื่อน

เนื่องจากสัญญาณซิงโครไนซ์กับสัญญาณแบบลงกึ่งไม่ว่าจะเป็นแนวนอนหรือแนวตั้ง จะมีความถี่เท่ากันเวลาส่งจึงต้องกำหนดตำแหน่งของการส่งให้ถูกต้อง มิฉะนั้นแล้วจะเกิดการกวนกันได้ ในทางปฏิบัติจึงให้สัญญาณซิงค์พัลส์มีขนาดความกว้างน้อยกว่าสัญญาณแบบลงกึ่งพัลส์ แล้วใช้วิธีการส่งแบบผสม กล่าวคือส่งสัญญาณซิงค์พัลส์กับสัญญาณแบบลงกึ่งพัลส์ไปด้วยกัน ให้สัญญาณแบบลงกึ่งพัลส์เป็นฐานของสัญญาณซิงค์พัลส์ เมื่อมีการจัดระดับของสัญญาณส่วนนี้เทียบกับเกย์สเกลระดับของสัญญาณแบบลงกึ่งจะอยู่ที่ระดับต่ำกว่าค่า ส่วนสัญญาณซิงค์พัลส์จะเป็นระดับต่ำกว่าระดับค่ามากกว่าลงไปอีก สัญญาณเหล่านี้จึงไม่มีการส่งผลต่อการมองเห็นหรือไม่กวนสัญญาณภาพ ดังรูปที่ 2.9



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



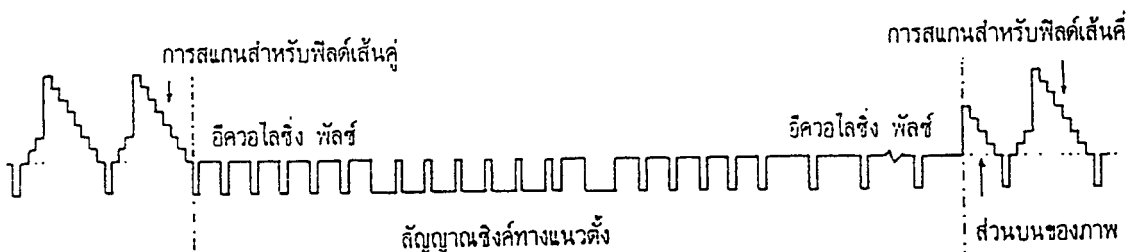
รูปที่ 2.9 แสดงลักษณะของสัญญาณภาพรวมเบื้องต้น

2.2.2.4 สัญญาณอีควอลไลซิง (Equalizing Signal)

เป็นสัญญาณบังคับรูปร่างของสัญญาณซิงโครไนซ์ทางแนวตั้ง เพื่อให้สามารถคงรูปถูกต้องแล้วยังช่วยให้การสแกนแบบสลับเส้นเป็นไปได้อย่างถูกต้องด้วย สามารถขึ้นเส้นคู่เส้นคี่ในตำแหน่งที่ถูกต้องได้ ทั้งยังส่งผลทางอ้อมให้สัญญาณซิงโครไนซ์ทางแนวนอนไม่ขาดช่วงหายไปในช่วงการส่งสัญญาณทางแนวตั้งด้วย สัญญาณตัวนี้จะมีขนาดของพัลส์รวมเท่ากับเวอร์ติคอลล ซิงโครไนซ์พัลส์ สัญญาณส่วนนี้จะถูกแบ่งออกเป็น 6 ลูกเล็ก ๆ ในระบบ 525 เส้น และถูกแบ่งเป็น 5 ลูกเล็ก ๆ ในระบบ 625 เส้น ดังแสดงไว้ในรูปที่ 2.10

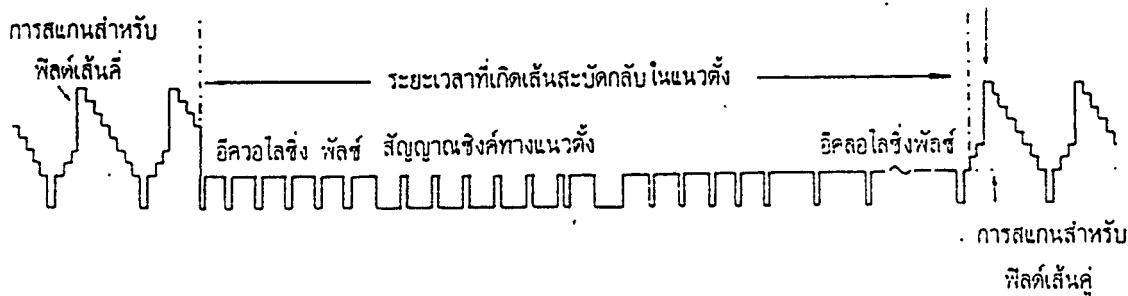


รูปที่ 2.10 (a) สัญญาณภาพรวม แสดงให้เห็นสัญญาณภาพกับสัญญาณซิงค์ทางแนวนอน และสัญญาณซิงค์ทางแนวตั้ง



รูปที่ 2.10 (b) รายละเอียดของสัญญาณซิงค์ทางแนวตั้ง (ภายหลังจากการสแกนฟิลด์เส้นคู่)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 (c) รายละเอียดของสัญญาณเชิงคี่ทางแนวตั้ง (ภายหลังจากการสแกนฟิลต์เส้นคู่)

### 2.3 พื้นฐานของตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล

เนื่องจากสัญญาณอนาลอกเป็นสัญญาณที่มีการเปลี่ยนแปลงกับเวลาอย่างต่อเนื่อง และเป็นฟังก์ชันที่มีการเปลี่ยนแปลงอย่างต่อเนื่องไม่มีที่สิ้นสุดจึงเป็นการยากที่เราจะสามารถควบคุมสัญญาณให้ทำงานตามที่เรต้องการได้ แต่ในทางตรงข้ามเราพบว่าสัญญาณอีกชนิดหนึ่งซึ่งไม่เป็นฟังก์ชันกับเวลาอย่างต่อเนื่องหรือที่เราเรียกกันว่า สัญญาณดิจิทัลสามารถที่จะควบคุมได้ง่ายกว่า โดยการใช้วงจรอย่างง่ายหรือไม่โครคอนโทรลเลอร์

ดังนั้นเมื่อเราต้องการวัดและควบคุมปริมาณสัญญาณอนาลอกนั้น เนื่องจากเราไม่สามารถที่จะเชื่อมต่อสัญญาณอนาลอกเข้ากับสัญญาณดิจิทัลได้โดยตรงจำเป็นต้องแปลงสัญญาณอนาลอกให้อยู่ในรูปของสัญญาณดิจิทัลเสียก่อน โดยอาศัยวงจรสำหรับแปลงรูปสัญญาณหรือวงจรรวม (Integrated Circuit : IC) โดยมีเทคนิคพื้นฐานที่ใช้ในการแปลงข้อมูลหลายวิธีด้วยกัน ซึ่งแต่ละวิธีก็มีข้อดี-ข้อเสียแตกต่างกันออกไป

ตัวแปลงแบบแฟลช (Flash Converter) เป็นเทคนิคในการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลที่มีความเร็วในการแปลงสูงที่สุด โดยอาศัยตัวเปรียบเทียบสัญญาณ (Comparator)  $2^n - 1$  ตัว ( $n$  คือจำนวนบิตแสดงความละเอียด) โดยทั่วไปตัวแปลงสัญญาณชนิดนี้ถูกนำไปใช้ในอุปกรณ์ตรวจสอบอัตโนมัติที่มีราคาแพง

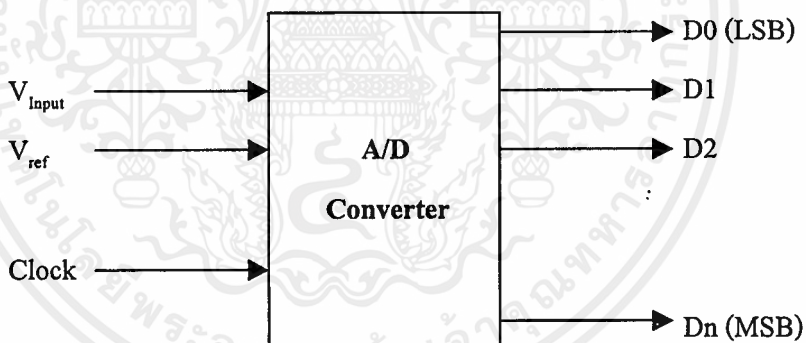
ตัวแปลงแบบสลอปคู่ (Dual-Slope Converter) เป็นเทคนิคการแปลงที่มีค่าความละเอียด (Resolution) สูง โดยอาศัยการอินทิเกรตสัญญาณอินพุตที่ไม่ทราบค่ากับการอินทิเกรตสัญญาณอ้างอิงที่ทราบค่าแล้ว โดยทั่วไปจะใช้ตัวแปลงสัญญาณชนิดนี้กับอุปกรณ์ประเภทเครื่องมือวัด

ตัวแปลงแบบประมาณค่าทีละบิต (Successive-Approximation Converter) เป็นเทคนิคที่นิยมนำมาใช้มากที่สุด ซึ่งมีความเร็วในการแปลงข้อมูลค่อนข้างสูงและมีค่าความละเอียดค่อนข้างสูง โดยอาศัยการประมาณค่าสัญญาณอินพุตด้วยตัวแปลงสัญญาณดิจิทัลเป็นสัญญาณอนาลอก (Digital to Analog Converter : DAC) ซึ่งนำเอาค่าที่ได้มาเปรียบเทียบกับสัญญาณจริง โดยเริ่มเปรียบเทียบจากบิตนัยสำคัญสูงสุด (MSB) จนกระทั่งถึงบิตนัยสำคัญต่ำสุด (LSB)

ตัวแปลงแบบเดลต้า-ซิกมา (Delta-Sigma Converter) เป็นเทคนิคที่มีค่าความละเอียดสูงที่สุด โดยอาศัยวงจรโอเวอร์แซมปลิงและการมอดูเลตซึ่งส่วนใหญ่ได้ใช้ทำเป็นเครื่องมือวัดและงานด้านออคิโอ

### 2.3.1 ตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลแบบขนาน (Flash Converter)

การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล โดยการใช้ตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล (Analog to Digital Converter : ADC) ซึ่งเป็นอุปกรณ์ที่เมื่อใส่แรงดันหรือกระแสไฟฟ้าให้มันอย่างค่อเนื่องแล้วมันจะเปลี่ยนปริมาณแรงดันหรือกระแสไฟฟ้าทำให้เกิดเอาต์พุตเป็นรหัสออกมาซึ่งรหัสนี้จะเป็นสัดส่วนกับสัญญาณอินพุต โดยอุปกรณ์นี้จะเป็นระบบดิจิทัลและมีสัญญาณในการแฮนเชคคิง (Handshaking) กับอุปกรณ์ภายนอกอยู่ 2 สัญญาณ โดยสัญญาณแรกจะเป็นสัญญาณที่บอกเริ่มการแปลงค่าและเมื่อการแปลงค่าเสร็จสิ้นแล้วจะมีการส่งสัญญาณที่สอง เพื่อบอกการสิ้นสุดการแปลงค่า โดยลักษณะการทำงานจะมีเอาต์พุตอินเนเบิล (Output Enabled) เป็นตัวบอกสถานะเอาต์พุตที่ปรากฏอยู่ ถ้าเอาต์พุตอินเนเบิลไม่ทำงานสัญญาณเอาต์พุตจะอยู่ในสถานะอิมพีแดนซ์สูง (High Impedance) และคล็อก (Clock) จะเป็นเวลาอ้างอิงกับตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลจากรูปที่ 2.11 แสดงบล็อกไดอะแกรมของตัวแปลงอนาลอกเป็นสัญญาณดิจิทัล วงจรนี้จะให้เอาต์พุตแบบไบนารี  $n$  บิตซึ่งเป็นอัตราส่วนกับแรงดันอินพุต



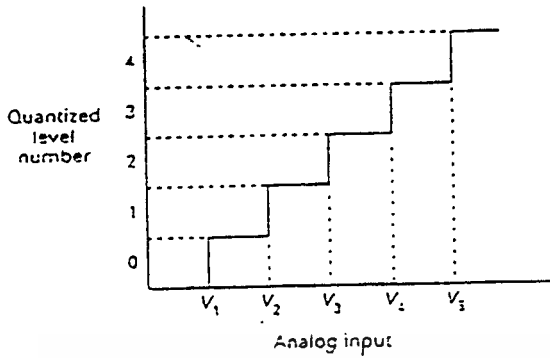
รูปที่ 2.11 สัญลักษณ์ของตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล

การเลือกตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลที่สำคัญจะต้องพิจารณาถึงข้อจำกัดในการแปลงและวิธีการแปลงสัญญาณอนาลอกเพื่อที่จะทำให้เกิดค่าความผิดพลาดน้อยที่สุด

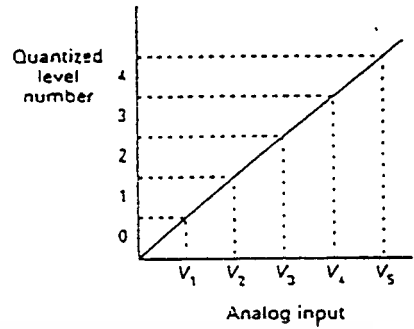
### 2.3.2 องค์ประกอบในการทำงานและค่าความผิดพลาดที่เกิดขึ้น

ความยาวของสัญญาณอนาลอกที่ต้องการเปลี่ยนเป็นรหัสดิจิทัลนั้นมีได้ไม่จำกัด โดยความยาวของรหัสดิจิทัลจะแสดงอยู่ในระดับ (Level) ซึ่งแต่ละระดับก็จะมีจำนวนรหัสดิจิทัลได้จำกัด และจำนวนระดับเองก็มีได้จำกัดเช่นกัน เราจะเปลี่ยนจากสัญญาณอนาลอกเป็นรหัสดิจิทัลโดยการ

**สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง**  
 แบ่งสัญญาณอนาลอกลงในแต่ละระดับ ช่วงสัญญาณอนาลอกที่ใส่ลงในแต่ละระดับนี้เรียกว่า  
 “ควอนไทเซชัน” (Quantization)



รูปที่ 2.12 (a)



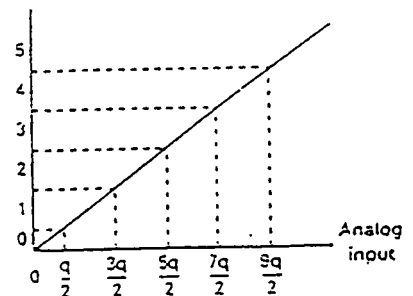
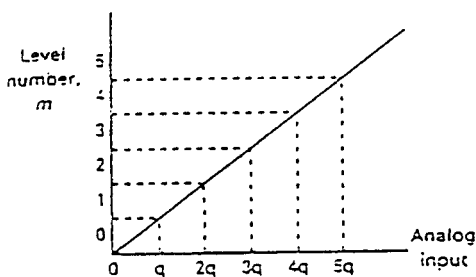
รูปที่ 2.12 (b)

รูปที่ 2.12 กราฟระหว่างสัญญาณอนาลอกอินพุตและจำนวนระดับ

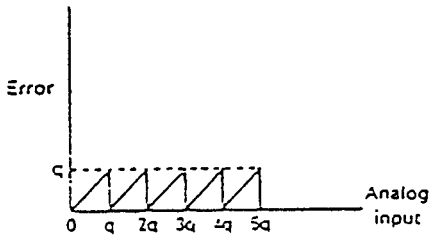
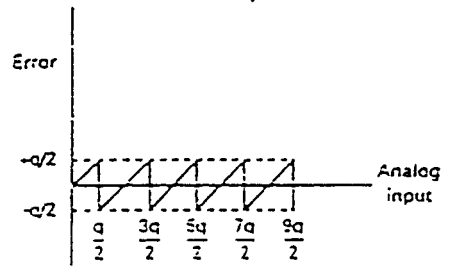
จากรูปที่ 2.12 (a) จะแสดงให้เห็นถึงควอนไทเซชัน โดยสัญญาณอินพุตมีค่าตั้งแต่  $0-V_1$  แล้วสัญญาณนี้จะอยู่ที่ระดับ 0 และถ้าสัญญาณอยู่ระหว่าง  $V_1$  และ  $V_2$  แล้วสัญญาณจะอยู่ที่ระดับ 1 ถ้าความกว้างในแต่ละระดับเท่ากันดังรูปที่ 2.12 (b) จะสามารถอธิบายความสัมพันธ์ระหว่างสัญญาณอินพุตและจำนวนระดับได้ โดยความกว้างของระดับเราจะให้เป็นช่วงกว้างควอนไทเซชัน (Quantization Interval) หรือ  $q$  ซึ่งค่านี้เรียกได้อีกอย่างหนึ่งว่าเป็นค่าที่น้อยที่สุดที่จะพบความแตกต่าง (LSB Value) จากรูปที่ 2.12 (a) และ 2.12 (b) ค่าช่วงกว้างควอนไทเซชันหรือ  $q$  จะเท่ากับ  $V_1$

ในการแปลงสัญญาณอนาลอกเป็นรหัสดิจิทัลนั้น รหัสดิจิทัลจะบอกระดับที่สัญญาณอนาลอกนั้นอยู่ เช่น ถ้าการแปลงสัญญาณอนาลอกนั้นอยู่ระหว่างระดับ 3 และระดับ 4 แล้วเอาท์พุทของรหัสดิจิทัลคือเลข 3 แต่ในการใช้หมายเลขระดับนี้จะทำให้เกิดค่าที่ไม่ถูกต้องขึ้นได้ เรียกว่าเกิดข้อผิดพลาดควอนไทซ์ (Quantization Error) โดยค่าความผิดพลาดนี้ดูได้จากรูปที่ 2.13 และเกิดข้อผิดพลาดควอนไทซ์หรือ QE ที่มีขนาด  $N$  บิตคือ

$$QE = \frac{q}{2} = \frac{V_{\max}}{2^{N+1}}$$



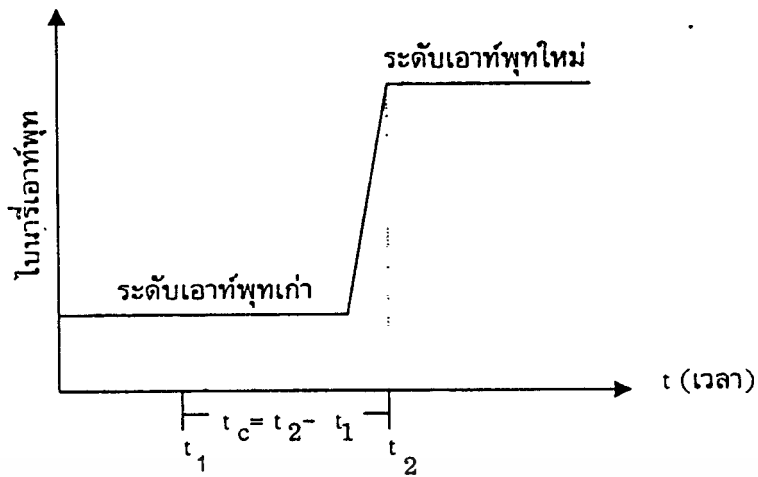
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.13 (a) ข้อผิดพลาดควอนไทซ์ของ  $q$ รูปที่ 2.13 (b) ข้อผิดพลาดควอนไทซ์ของ  $q/2$ 

## รูปที่ 2.13 กราฟของสัญญาณอนาลอกอินพุตกับค่าความผิดพลาดที่เกิดขึ้น

ค่าความผิดพลาดสามารถคำนวณได้จากความแตกต่างของค่าสัญญาณอนาลอกที่แท้จริงและค่าที่แสดงจากเลขระดับ โดยเลขระดับ  $m$  จะให้เป็น  $mq$  ในรูปที่ 2.13 (a) ซึ่งระดับ 0 จะแสดงค่าสัญญาณอนาลอกที่ 0 และค่าความผิดพลาดจะเพิ่มขึ้นจาก 0 ถึง  $q$  เมื่อสัญญาณอนาลอกเพิ่มขึ้นจาก 0 ถึง  $q$  แล้วเลขระดับจะเท่ากับ 1 โดยค่าความผิดพลาดที่จุดนี้จะตกลงมาที่ศูนย์แต่จะเพิ่มขึ้นจนถึง  $q$  เมื่อสัญญาณอินพุตเพิ่มขึ้นจาก  $q$  ถึง  $2q$  เพราะฉะนั้นค่าความผิดพลาดมากที่สุดที่เกิดขึ้นจะเท่ากับ  $q$

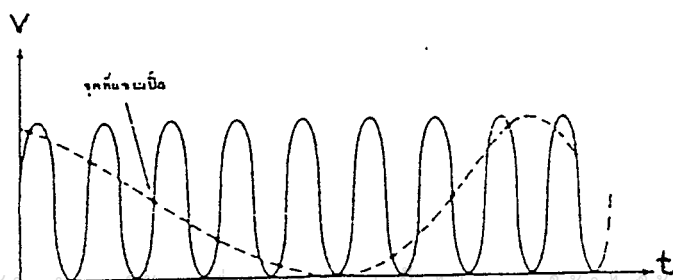
แต่ถ้าช่วงควอนไทซ์ลดลงมาเป็น  $q/2$  หรือ  $(1/2)LBS$  แล้วจะได้ค่าความผิดพลาดมากที่สุดเท่ากับ  $q/2$  ดังรูปที่ 2.13 (b) เพราะฉะนั้นถ้าเราต้องการให้มีค่าความผิดพลาดน้อยที่สุดเราต้องพยายามทำให้มีช่วงทำงานของควอนไทซ์ขั้นน้อยที่สุด ส่วนกรณีที่ตัวแปลงสัญญาณมีค่าความละเอียดสูงๆ (อินพุตบิตมาก) ความกว้างสูงสุดของข้อผิดพลาดจะลดลงตามทฤษฎีแล้ว ถ้าเป็นตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลในอุดมคติจะต้องมีเอาต์พุตมากจนนับไม่ได้ (Infinity) ดังนั้นจะมีค่าความละเอียดถึงอินฟินิตี้จะทำให้กราฟรูปที่ 2.13 (b) แแกนตั้งเป็น 0 แต่ไม่มีทางเกิดขึ้นได้ในทางปฏิบัติ ข้อผิดพลาดที่เกิดจากค่าความละเอียดที่จำกัดเราเรียกว่าข้อผิดพลาดควอนไทซ์ เอาต์พุตของตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลคือ ระดับอินพุตซึ่งจะคงที่ในเวลาหนึ่ง สิ่งนี้จะชี้ให้เห็นว่าตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลทำงานโดยการแชมปลิงปริมาณของสัญญาณ อนาลอกและต้องแน่ใจว่าสัญญาณจะคงที่ ณ ช่วงเวลานั้น เราจึงต้องมีวงจรสำหรับค้างค่า (Hold) ของสัญญาณจึงทำให้นิยมใช้วงจรแชมเปิ้ลและโฮล (Sample and Hold Circuit) เพื่อแน่ใจว่าปริมาณของอินพุตจะไม่เปลี่ยนขณะที่กำลังทำการแปลงสัญญาณ เวลาในการแปลงสัญญาณและอัตราการแชมปลิงเป็นปัจจัยในการพิจารณาอย่างมาก เวลาในการแปลงสัญญาณ (Conversion Time :  $t_c$ ) คือ เวลาที่เข้าไประหว่างที่อินพุตเข้ามาจนถึงการแสดงค่าของไบนารีเอาต์พุต ในกรณีที่เอาต์พุตจะเริ่มเปลี่ยนจาก 0 ไปถึงค่าที่มากที่สุด ในรูปที่ 2.14 เป็นตัวอย่างของเวลาหน่วง (Time Delay)

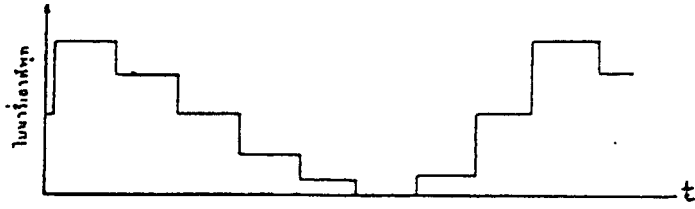


รูปที่ 2.14 แสดงการตอบสนองของเวลาแปลงสัญญาณ (Conversion Time) ของตัวแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัล

สัญญาณอินพุตที่เข้าไปในคอนเวอร์เตอร์จะอยู่ ณ เวลา  $t_1$  และสัญญาณตอบสนองอยู่ ณ  $t_2$  ผลต่างของเวลาทั้งสองคือเวลาแปลงสัญญาณ  $t_c$  เวลาแปลงสัญญาณเป็นอัตรามากที่สุดที่สัญญาณถูกแซมปลิง ช่วงเวลาของการแซมปลิงเรียกว่า เวลาแซมปลิง (Sampling Time) อัตราแซมปลิงใช้ช่วงในการบอกเวลาแซมปลิง เพื่อให้ทราบถึงผลของการแซมปลิงบนสัญญาณอินพุตอนาล็อกไปเป็นปริมาณสัญญาณดิจิทัล โดยถ้าเราเพิ่มอัตราการแซมปลิงและเพิ่มค่าความละเอียด (จำนวนเอาต์พุตบิต) ให้มากขึ้นก็จะได้อาต์พุตที่ใกล้เคียงกับสัญญาณอนาล็อกจากอินพุตมากขึ้น

ปัญหาอีกอย่างหนึ่งคือถ้าอินพุตเปลี่ยนแปลงระดับอย่างรวดเร็วเมื่อเทียบกับอัตราแซมปลิงแล้วตัวแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัล จะไม่สามารถเปลี่ยนแปลงสัญญาณได้อย่างถูกต้องและจะเกิดการเพี้ยนของสัญญาณ ปัญหาเช่นนี้สามารถแสดงให้เห็นจากระบบเวลาแซมปลิง (Time Sampling System) เช่น ตัวแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัล อัตราความถี่ของการแซมปลิงอย่างน้อย 2 ครั้งต่อหนึ่งลูกคลื่นของสัญญาณอินพุต การกำหนดความถี่ในการแซมปลิงแบบนี้ก็คือ ทฤษฎีการแซมปลิงไนควิสต์ (Nyquist Sampling Theorem) ซึ่งกล่าวไว้ว่า การจะแซมปลิงสัญญาณอินพุตนั้นความถี่ของการแซมปลิงจะต้องมากกว่า 2 เท่าของความถี่สูงสุดของสัญญาณอินพุต แต่ถ้าเราไม่ทำตามทฤษฎีการแซมปลิงไนควิสต์แล้วเอาต์พุตของตัวแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัลจะผิดเพี้ยนตามรูปที่ 2.15





รูปที่ 2.15 การเพี้ยนที่เกิดขึ้นเมื่ออัตราแซมปลิงต่ำเกินไปเมื่อเทียบกับคาบเวลาของสัญญาณอินพุท

เพราะฉะนั้นในการหลีกเลี่ยงความผิดเพี้ยน (Alias) ของสัญญาณเอาต์พุทที่ได้จากตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล ในการใช้งานที่มีการเปลี่ยนแปลงสัญญาณอินพุทเร็วๆ เราควรที่จะใช้การแซมปลิงแบบความเร็วสูง เพื่อจะให้ได้ความถูกต้องมากขึ้น

### 2.3.3 วิธีการเลือกตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลมีดังนี้

#### 2.3.3.1 จำนวนบิต

จำนวนบิตที่ตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลให้อาต์พุทออกมานั้น เป็นสิ่งสำคัญที่เราเลือกใช้ตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล โดยจำนวนบิต หรือ  $N$  เป็นตัวบอกถึงข้อผิดพลาดควอนไทซ์ (โดยทั่วไปควรเลือกให้มีจำนวนบิตมากกว่าความละเอียดที่เราต้องการ 1 หรือ 2 บิต)

#### 2.3.3.2 เวลาในการแปลงค่า

ช่วงเวลาในการแปลงค่าคือ ช่วงเวลาที่เริ่มแปลงข้อมูล (Start Conversion Pulse) จนถึงจุดสิ้นสุดการแปลงข้อมูล โดยส่วนใหญ่แล้วช่วงเวลาในการแปลงค่าจะดูจาก 50% ของการเริ่มเปลี่ยนสถานะและ 50% ของจุดสิ้นสุดการแปลงค่า

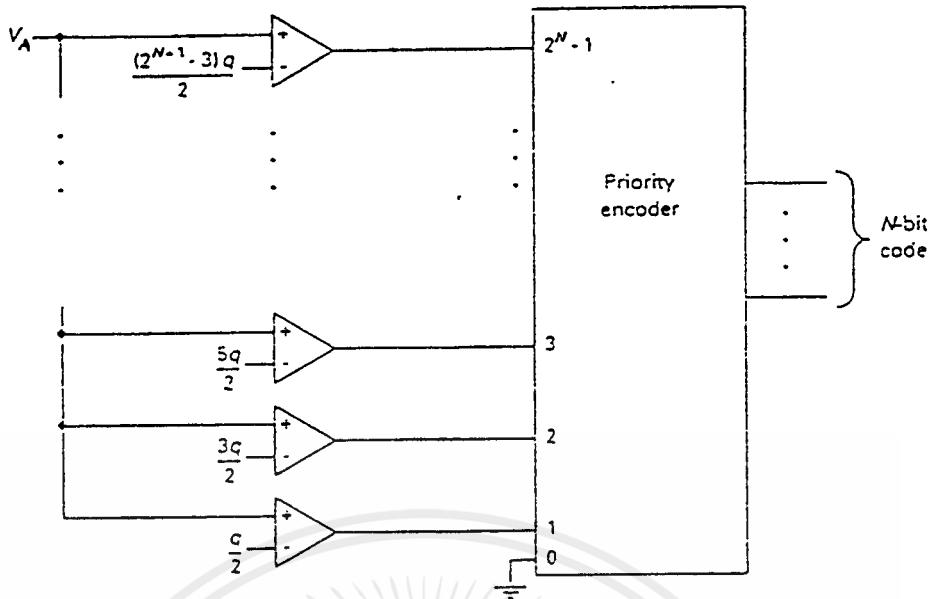
#### 2.3.3.3 ขนาดของอนาลอกน้อยที่สุดที่จะทำให้เกิดการเปลี่ยนแปลง

ช่วงกว้างของควอนตัม (Quantum Interval คือ LSB Value) ขนาดอินพุทของสัญญาณอนาลอกที่ทำให้เกิดการเปลี่ยนแปลงเป็นรหัสทางดิจิทัล ซึ่งค่านี้จะมีผลต่อข้อผิดพลาดควอนไทซ์ถ้าจะทำให้มีการเกิดการผิดพลาดน้อยต้องพยายามทำให้ช่วงกว้างควอนตัมมีค่าน้อยด้วย

#### 2.3.3.4 ความถูกต้อง

ถ้ารวมข้อผิดพลาดควอนไทซ์ซึ่งมีค่าเท่ากับ  $\pm q/2$  และค่าความผิดพลาดอื่นๆ ที่เกิดขึ้นเนื่องจากความเป็นเชิงเส้น (Linearity), ออฟเซต (Offset), หลายชั้น (Multilayer) และเต็มสเกล (Full-Scale) แล้วโดยทั่วไปจะมีค่าประมาณ  $\pm 1$  LSB หรือ  $\pm q$

ถ้าเราคำนึงด้านความเร็วในการแปลงสัญญาณเป็นอันดับแรกเราควรจะใช้ตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลแบบขนาน (บางที่เรียกว่า Flash Converter) วิธีนี้เป็นการป้อนอินพุทพร้อมๆ กันเข้าไปในกลุ่มของคอมพาราเตอร์ที่ต่อแบบขนาน ซึ่งแต่ละตัวทำหน้าที่ของมัน โดยเขียนหลักการทำงานง่ายๆ ได้ดังรูปที่ 2.16



รูปที่ 2.16 ตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลแบบขนาน

ตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลแบบขนานนี้มีแรงดันอยู่  $2^N-1$  ระดับ โดยระดับต่ำสุดอยู่ที่  $q/2$  ถัดขึ้นไปคือ  $(3/2)q$ ,  $(5/2)q$ ,  $(7/2)q$ , ...,  $(2^{N+1}-3)q/2$  จากรูปที่ 2.16 นั้น เอาท์พุทของคอมพาราเตอร์ (ตัวเปรียบเทียบ) ทุกตัวจะเป็น 0 แล้วคอมพาราเตอร์ตัวแรกจะเป็น 1 ได้เมื่อสัญญาณอนาลอกที่เราใส่เข้าไปเกินค่าของ  $q/2$  ซึ่งเป็นตัวอ้างอิงอยู่โดยตัวแปลงสัญญาณตัวนี้จะมีเส้นอินพุท  $2^N$  เส้น จาก 0 ถึง  $2^N-1$  ถ้ามีเส้นอินพุทใดทำงานแล้ว เส้นอินพุทที่เหลือก็จะไม่ทำงาน อุปกรณ์นี้ทำหน้าที่แปลงสัญญาณอนาลอกเป็นรหัสไบนารีให้สอดคล้องกับอินพุทที่ได้รับเข้ามา ถ้า  $V_{Amax}$  เป็นค่าแรงดันอินพุทมากที่สุดที่จะถูกแปลงสัญญาณแล้วช่วงกว้างควอนตัมสามารถคำนวณได้จาก

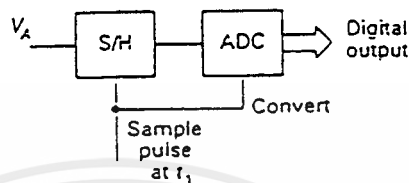
$$q = \frac{V_{Amax}}{2^N - (3/2)}$$

ถ้าเราใส่ค่าแรงดันอินพุทเท่ากับ  $V_A$  ไปที่คอมพาราเตอร์แล้วแรงดันอ้างอิงที่คอมพาราเตอร์จะต้องน้อยกว่าค่า  $V_A$  จึงจะทำการเข้ารหัส แต่ถ้าคอมพาราเตอร์ที่มีแรงดันอ้างอิงสูงกว่า  $V_A$  มันจะไม่สามารถรับอินพุทเพื่อไปทำการเข้ารหัสได้ เมื่อแรงดันอินพุทมีการเปลี่ยนระดับแล้ว รหัสเอาท์พุทที่เกิดขึ้นจะตอบสนองต่ออินพุทที่เข้ามาเมื่อเวลาผ่านไปช่วงสั้นๆ โดยเวลาที่เกิดขึ้นก่อนการตอบสนองนี้ เรียกว่า เวลาหน่วงของคอมพาราเตอร์ สัญญาณการแปลงข้อมูลหรือสัญญาณการเริ่มต้นแปลงข้อมูลก็ต้องนำมาใช้ในการหาช่วงเวลาในการแปลงข้อมูลที่ต้องด้วย เพราะเหตุนี้เนื่อง

จากต้องใช้เวลาการแปลงข้อมูลจึงอาจทำให้เกิดรหัสเอาต์พุตที่มีความผิดพลาดขึ้นได้ ช่วงเวลาที่เกิดการผิดพลาดนี้เรียกว่า ทรานเซียนท์

### 2.3.4 การกำจัดทรานเซียนท์ของเอาต์พุตจะมีวิธีแก้ไข 2 วิธีคือ

1. เพิ่มส่วนของวงจรแซมเปิลและเก็บค่า (Sample and Hold Circuit) ระหว่างสัญญาณอนาลอก  $V_A$  และอินพุตของตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล ณ ช่วงเวลาปัจจุบัน ดังรูปที่ 2.17



รูปที่ 2.17 การวางวงจรแซมเปิลและเก็บค่าในการแปลงสัญญาณ

เมื่อแซมเปิลพัลส์ถูกป้อนเข้าไปในวงจรแซมเปิลและเก็บค่าแล้ว ค่าเอาต์พุตที่เกิดขึ้นจะต้องให้แรงดันเหมือนกับแรงดันอินพุต เมื่อแรงดันอินพุตเปลี่ยนเอาต์พุตจะต้องคงที่เช่นเดิมจนกว่าแซมเปิลพัลส์ถูกใหม่จะมาป้อนให้กับวงจรแล้ว เอาต์พุตที่เกิดขึ้นจะเปลี่ยนตามแรงดันอินพุต ถ้าแซมเปิลพัลส์ถูกป้อนเข้าไปในวงจรแซมเปิลและเก็บค่าแล้วเอาต์พุตของวงจรนี้จะกลายเป็นอินพุตให้กับตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลซึ่งมีค่าคงที่ รหัสเอาต์พุตจะไม่เปลี่ยนแปลงจนกว่าจะมีการแซมเปิลพัลส์ใหม่เกิดขึ้น ทำให้แน่ใจได้ว่าปริมาณของอินพุตจะไม่เปลี่ยนขณะที่กำลังทำการแปลงสัญญาณ เพื่อประกันถึงความถูกต้องของรหัสเอาต์พุตที่ได้

2. ใช้ตัวคอมพาราเตอร์ในการพักข้อมูล โดยขอบข่ายขึ้นของการเริ่มต้นการแปลงข้อมูลอินพุตจะทำการพักข้อมูลของคอมพาราเตอร์ ในเวลานั้นรหัสของอินพุตจะไม่มีการเปลี่ยนแปลงจนกว่าจะมีสัญญาณเริ่มต้นแปลงอินพุตอีกครั้ง รหัสเอาต์พุตจะยังคงที่ในช่วงการรอรับสัญญาณเริ่มต้นการแปลงข้อมูล ยกเว้นช่วงเวลาสั้นๆ ที่ใช้ในการแปลงซึ่งก็คือช่วงหน่วง (Delay) ของการเข้ารหัสนั่นเอง วิธีนี้จะเหมือนกับวิธีของวงจรแซมเปิลและเก็บค่า ยกเว้นเอาต์พุตของคอมพาราเตอร์จะถูกแซมเปิลและเก็บค่าไว้ได้หลายค่าไม่เหมือนกับวิธีของวงจรแซมเปิลและเก็บค่าซึ่งมีเอาต์พุตของคอมพาราเตอร์ได้เพียงค่าเดียว วงจรนี้ถูกเรียกว่า Flash Converter เพราะมีความเร็วสูงในการแปลงสัญญาณ ถ้าเราใช้คอมพาราเตอร์และตัวถอดรหัส (Decode) อย่างรวดเร็วอีก เอาต์พุตจะได้ทันทีที่อินพุตเปลี่ยนไปแน่นอนเราต้องมีการเก็บค่าไว้ใช้จึงควรใช้ระบบการเก็บค่าที่มีความเร็วมาๆ เพื่อเก็บข้อมูลที่ออกมาอย่างรวดเร็ว สังเกตว่าในตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลชนิดนี้ จะไม่มีตัวควบคุมคล็อก (Clock Control) ซึ่งตัวควบคุมคล็อกใช้ในการติดต่อควบคุมระหว่างเอาต์พุตของตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลและวงจรเก็บค่า ข้อเสียเปรียบของวงจรแบบ

นี่คือต้องใช้จำนวนของคอมพาราเตอร์มากมาย ถ้าเราต้องการค่าความละเอียดสูงๆ ซึ่งจำนวนของคอมพาราเตอร์หาได้จาก

$$N = 2^n - 1$$

โดยที่  $N$  คือจำนวนของคอมพาราเตอร์ และ  $n$  คือจำนวนบิตเอาต์พุต

ในโครงการนี้ใช้ตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลแบบขนานเบอร์ CA3306 ขนาด 6 บิต ตารางที่ 1 เป็นตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลของตระกูลแฮร์ริส (Harris) ในตระกูลนี้มีตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลแบบขนานอยู่หลายเบอร์ที่สามารถใช้งานได้แตกต่างกันตามต้องการ โดยในการใช้งานเราต้องใช้ระดับลอจิกเอาต์พุตและความเร็วคล็อกที่เหมาะสมเพื่อกำจัดสัญญาณรบกวนให้น้อยที่สุด โดยใช้ตระกูลลอจิกที่ช้าที่สุดเท่าที่จะทำงานได้

รายชื่อ	จำนวนบิต	ความเร็วในการแปลงข้อมูล	ระดับลอจิก	ช่วงกว้างของอินพุต	เทคโนโลยี
CA3304	4	25 MSPS	CMOS	13 MHz	CMOS Flash
CA3306	6	18 MSPS	CMOS	9 MHz	CMOS Flash
HI5701	6	30 MSPS	CMOS/TTL	20 MHz	CMOS Flash
CA3318	8	15 MSPS	CMOS	2.5 MHz	CMOS Flash
HI5700	8	20 MSPS	CMOS/TTL	18 MHz	CMOS Flash

ตารางที่ 1 แสดงตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลชนิดต่างๆ

ในการออกแบบตัวอ้างอิงสำหรับตัวแปลงสัญญาณที่ถูกต้องนั้นต้องดูที่ช่วงกว้างของอุมหภูมิของตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลและการเกิดสัญญาณรบกวน สำหรับตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลแบบแฟรช นั้นแรงดันอ้างอิงมีไว้เพื่อเกิดกระแสทรานเซียนท์ระหว่างการแปลงสัญญาณ ดังนั้นการขับขาอ้างอิงของตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลระหว่างขา  $V_{Ref+}$  และ  $V_{Ref-}$  จึงสำคัญมาก สำหรับในตัว CA3306 ที่เราใช้ในโครงการนี้มีค่าซีเนอร์ (Zener) ภายใน 6.2V ซึ่งสามารถใช้เป็นแรงดันอ้างอิงได้ อย่างไรก็ตามเทคนิคนี้ใช้สำหรับตัวแปลงสัญญาณที่มีค่าความละเอียดมากกว่า 6 บิต เพราะซีเนอร์ไดโอดอาจจะทำให้เกิดสัญญาณรบกวนขึ้นได้ การเพิ่มความถูกต้อง เทคนิคสำหรับซีมอสในการปรับค่าต่างๆ ของตัวแปลง

สัญญาณนั้น ค่าออฟเซต, ส่วนขยายและความเป็นเส้นตรงที่ถูกต้องนั้นสำคัญมาก ควรทำให้เกิดค่าขนาดของออฟเซตน้อยที่สุด โดยการใส่แรงดันอ้างอิงน้อยสุด ( $V_{ref}$ ) ค่าออฟเซตนั้นต้องจัดให้เรียบร้อยก่อนแล้วจึงทำการจับตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลเพื่อทำให้เกิดการเปลี่ยนแปลงค่าจาก 0 ถึง 1 ได้อย่างราบเรียบ ส่วนขยายที่ถูกต้องควรจัดให้เรียบร้อยก่อนเช่นกัน โดยสามารถทำในวงจรก่อนก็ได้แต่ทางที่ดีควรปรับค่าของแรงดันอ้างอิงให้เต็มสเกล ( $V_{ref}$ ) ค่าความผิดพลาดที่ไม่เป็นเชิงเส้น (Non-Linearity) ในตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลแบบแพร่หลายๆ ครั้งนั้นเนื่องมาจากเกิดการเปลี่ยนแปลงที่เป็นเส้นโค้งมากกว่าที่เป็นเส้นตรง สามารถแก้ไขโดยการนำตัวต้านทานปรับค่าได้มาทำการปรับซึ่งค่านี้ควรทำหลังจากที่ปรับค่าออฟเซตและส่วนขยายเรียบร้อยแล้ว

## 2.4 AT89C51 8-Bit Microcontroller with 4 Kbytes Flash

AT89C51 เป็นไมโครคอนโทรลเลอร์ 8 Bits ขนาด 40 ขา สร้างด้วยเทคโนโลยี Atmel's High Density Nonvolatile Memory Technology โดยมีหน่วยความจำโปรแกรมภายในขนาด 4 Kbytes แบบ Flash Memory หรือที่เรียกกันว่า Programable and Erasable Read Only Memory (PEROM) หน่วยความจำข้อมูลภายในขนาด 128 Bytes สร้างด้วยเทคโนโลยี CMOS AT89C51 เป็นไมโครคอมพิวเตอร์ผลิตโดย ATMEL ชุดคำสั่งและสถาปัตยกรรมภายในเหมือนกับไมโครคอมพิวเตอร์ตระกูล MCS-51 ซึ่งผลิตโดย INTEL ที่ใช้พลังงานต่ำและหน่วยความจำภายใน สามารถเขียนและลบได้ไม่น้อยกว่า 1000 ครั้ง AT89C51 เป็นไมโครคอมพิวเตอร์ที่มีความสามารถในการเปลี่ยนแปลงสูงและผลที่ได้คุ้มค่าซึ่งสามารถนำมาประยุกต์ใช้ในการควบคุมและสามารถเลือกใช้ซอฟต์แวร์ในการประหยัดพลังงานได้ 2 โหมด คือ โหมด Idle และ โหมด Power Down

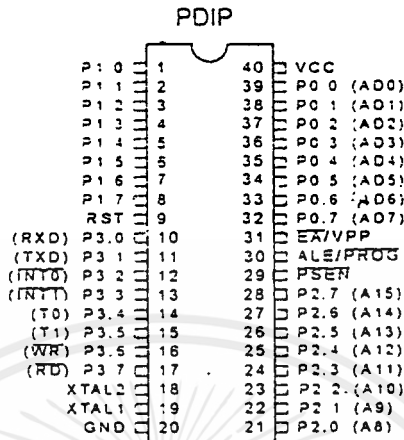
### 2.4.1 คุณสมบัติของ AT89C51

- 1.สามารถใช้แทนไมโครคอมพิวเตอร์ตระกูล MCS 51
- 2.หน่วยความจำโปรแกรมเป็นแบบ Flash Memory ขนาด 4 Kbytes สามารถเขียนหรือลบโปรแกรมได้ถึง 1000 ครั้งและเก็บข้อมูลได้นานถึง 10 ปี
- 3.ใช้ไฟเลี้ยงตั้งแต่ 2.7-6 Volts
- 4.ทำงานได้ในช่วงความถี่ 0 Hz ถึง 24 MHz
- 5.ระบบหน่วยความจำโปรแกรมมี 3 ระดับ
- 6.มี I/O พอร์ต 32 บิต
- 7.แหล่งอินเทอร์รัพท์ 2 ระดับ 5 ตำแหน่ง
- 8.มี Counter/Timer ขนาด 16-Bits 2 ตัว
- 9.พอร์ตอนุกรมแบบ Full Duplex
- 10.สามารถล๊อคโปรแกรมได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.4.2 ตัวถังและขาสัญญาณของชิป AT89C51

ลักษณะเป็นแบบ PDIP (Plastic Dual Inline Package) ขนาด 40 ขา แสดงดังรูปที่ 2.18 ซึ่งจะเห็นว่ายังคงใช้งานได้เหมือนกับไมโครคอมพิวเตอร์ตระกูล MCS-51



รูปที่ 2.18 แสดงขาของไมโครคอมพิวเตอร์ AT89C51

## 2.5 ระบบการสื่อสารข้อมูลเบื้องต้น

ในชีวิตประจำวันของมนุษย์เรานั้นแทบจะกล่าวได้ว่าต้องเกี่ยวข้องกับการสื่อสารในรูปแบบใดรูปแบบหนึ่งตลอดเวลาไม่ว่าจะเป็นการสนทนา การอ่านหนังสือ การรับส่งจดหมายหรือการนั่งฟังสัมมนาล้วนเป็นการสื่อสารข้อมูลซึ่งมีรูปแบบของการสื่อสารแตกต่างกันไปตามคุณสมบัติเฉพาะของแต่ละชนิดซึ่งล้วนแล้วแต่มีจุดมุ่งหมายที่จะส่งข่าวสารจากจุดหนึ่งไปยังอีกจุดหนึ่งอย่างถูกต้องทั้งสิ้น เราสามารถแบ่งชนิดของระบบการสื่อสารออกเป็น 2 แบบตามลักษณะสัญญาณที่ใช้ได้แก่

- 1.แบบสัญญาณอนาลอก ตัวอย่างเช่น เสียงพูด เป็นต้น
- 2.แบบสัญญาณดิจิทัล ตัวอย่างเช่น เลขฐานสอง เลขฐานสิบหก เป็นต้น

ซึ่งในที่นี้เราจะกล่าวถึงเฉพาะระบบสื่อสารแบบสัญญาณดิจิทัลที่นำมาใช้ในโครงการตัวส่งภาพระยะไกล (Remote Picture Sender) ส่งผ่านทาง โมเด็ม(Modem)

### 2.5.1 ระบบสื่อสารแบบดิจิทัล

ลักษณะข้อมูลที่ใช้ในระบบนี้จะอยู่ในรูปฟอร์มของตัวเลข "0" กับ "1" เช่น ตัวเลขฐานสอง, ตัวเลขฐานสิบหก เป็นต้น บางครั้งอาจมีความต้องการส่งสัญญาณอนาลอกผ่านทางระบบดิจิทัลจึงต้องมีการเปลี่ยนสัญญาณอนาลอกให้เป็นสัญญาณดิจิทัลเสียก่อนเรียกว่าการสุ่มตัวอย่าง (Sampling) ซึ่งเป็นวิธีทางคณิตศาสตร์ ค่าที่ได้จากการสุ่มตัวอย่างจัดเป็นเลขฐานสอง (Binary Code) ที่สามารถจัดตามเทคนิคทางสัญญาณดิจิทัลได้เช่น การส่งข้อมูลแบบขนานหรืออนุกรม และแบบซิงโครนัสหรือแบบอะซิงโครนัส เป็นต้น

## 2.5.2 ทิศทางของการส่งสัญญาณ

เราสามารถแบ่งทิศทางของการส่งสัญญาณได้ 3 วิธีคือ

1. การส่งผ่านแบบทิศทางเดียว (Simplex)
2. การส่งผ่านแบบสองทิศทางแต่ต่างเวลากัน (Half-Duplex)
3. การส่งผ่านแบบสองทิศทางในเวลาเดียวกัน (Full-Duplex)

### 2.5.2.1 การส่งผ่านแบบทิศทางเดียว (Simplex)

หมายถึง รูปแบบการส่งสัญญาณให้ด้านรับได้ฝ่ายเดียว โดยไม่สามารถโต้ตอบผ่านทาง การติดต่อได้เช่น การกระจายเสียงของวิทยุหรือสัญญาณโทรทัศน์ เป็นต้น



รูปที่ 2.19 การส่งสัญญาณแบบทิศทางเดียว (Simplex)

### 2.5.2.2 การส่งสัญญาณแบบสองทิศทางแต่ต่างเวลากัน (Half-Duplex)

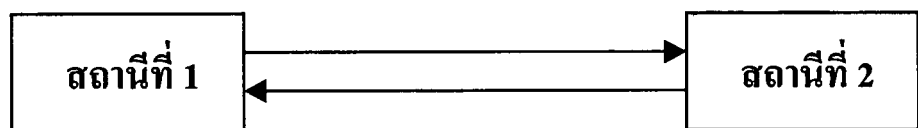
หมายถึงรูปแบบสัญญาณที่สถานีทั้งสองฝ่ายสามารถรับและส่งสัญญาณระหว่างกันได้โดยกำหนดว่ามีต้องมีด้านใดด้านหนึ่งเป็นคิวรับเสมอเช่น การใช้วิทยุสมัครเล่นในการติดต่อสื่อสาร เป็นต้น



รูปที่ 2.20 การส่งสัญญาณแบบสองทิศทางแต่ต่างเวลากัน (Half-Duplex)

### 2.5.2.3 การส่งสัญญาณแบบสองทิศทางในเวลาเดียวกัน (Full-Duplex)

หมายถึงรูปแบบการส่งสัญญาณที่ทั้งด้านส่งและด้านรับสามารถที่จะส่งสัญญาณในเวลาเดียวกันได้โดยไม่จำเป็นต้องสลับด้านกันด้วย เช่นการสนทนาทางโทรศัพท์ เป็นต้น



รูปที่ 2.21 การส่งสัญญาณแบบสองทิศทางในเวลาเดียวกัน (Full-Duplex)

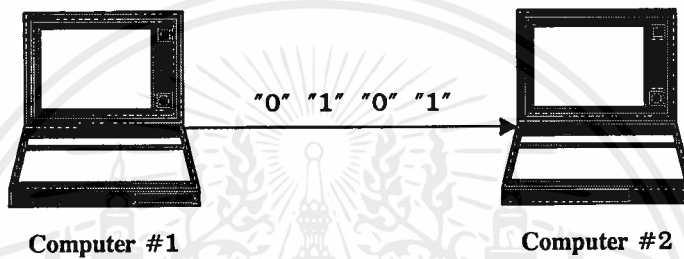
### 2.5.3 ลักษณะของการรับส่งข้อมูลแบบดิจิทัล

โดยทั่วไปแล้วหลักใหญ่ของการรับส่งข้อมูลในรูปแบบของสัญญาณดิจิทัลมีลักษณะการส่งข้อมูล 2 แบบคือ

1. การส่งแบบอนุกรม
2. การส่งแบบขนาน

#### 2.5.3.1 การส่งแบบอนุกรม

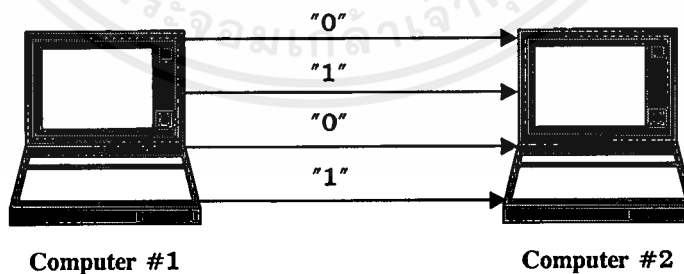
ข้อมูลแต่ละบิตจะถูกส่งเรียงออกไปเป็นลำดับต่อเนื่องกันทีละบิต เช่น ข้อมูล 0101 เลข 1 ทางขวาสุดซึ่งเป็นบิตนัยสำคัญต่ำสุดจะถูกส่งออกไปก่อน ตามด้วยเลข 0 เลข 1 และเลข 0 ซึ่งเป็นบิตนัยสำคัญสูงสุดตามลำดับ โดยมีสายส่งอยู่เพียงเส้นเดียว



รูปที่ 2.22 การส่งข้อมูลแบบอนุกรม

#### 2.5.3.2 การส่งแบบขนาน

ข้อมูลหลายๆ บิตจะถูกส่งออกไปพร้อมๆ กันในครั้งเดียว เช่น ถ้าข้อมูลเป็น 0101 ทั้งสี่บิตจะถูกส่งออกไปพร้อมกันหมด โดยผ่านสายส่งสัญญาณจำนวน 4 เส้น โดยแต่ละบิตจะส่งในสายคนละเส้นกัน



รูปที่ 2.23 การส่งข้อมูลแบบขนาน

ข้อเปรียบเทียบระหว่างการส่งข้อมูลแบบขนานและการส่งข้อมูลแบบอนุกรม		
	แบบขนาน	แบบอนุกรม
1.ระยะทาง	ปกติจะน้อยกว่า 100 ฟุต	ส่งได้ตั้งแต่ระยะสั้นจนถึงระยะยาวเป็นกิโลเมตร
2.ความเร็ว	อัตราเร็วสูงมากในระยะใกล้	อัตราเร็วช้ากว่าแบบขนานมาก
3.ระดับของสัญญาณ	ใช้ระดับสัญญาณลอจิก “0” กับ “1” ตามลำดับ	มีหลายมาตรฐานอาจใช้ลอจิกแบบ TTL หรือ EIA-232 บางกรณีอาจใช้แบบรูปกระแสก็ได้
4.ความผิดพลาดของสัญญาณ	ถ้าส่งในระยะไกลจะผิดพลาดได้ง่าย	การผิดพลาดมีน้อยกว่า
5.ค่าใช้จ่าย	ถ้าส่งในระยะไกลจะสิ้นเปลืองมากเพราะต้องใช้สายส่งหลายเส้น	สิ้นเปลืองน้อยกว่าหลายเท่า ถึงแม้ว่าจำเป็นต้องใช้อุปกรณ์ในการเปลี่ยนข้อมูลแบบขนานไปเป็นอนุกรมและจากข้อมูลแบบอนุกรมไปเป็นแบบขนานก็ตาม

## ตารางที่ 2 ตารางเปรียบเทียบระหว่างการส่งข้อมูลแบบขนานและอนุกรม

### 2.5.4 การสื่อสารแบบซิงโครนัสและแบบอะซิงโครนัส

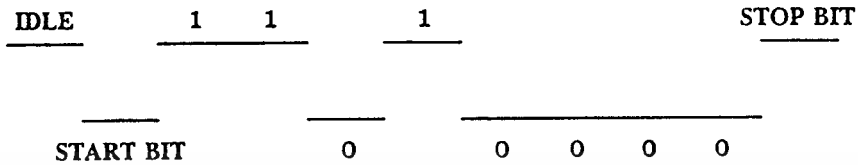
#### 2.5.4.1 การสื่อสารแบบซิงโครนัส (Synchronous Transmission)

เป็นการรับส่งข้อมูลโดยอาศัยสัญญาณนาฬิกาช่วยในการกำหนดจังหวะการทำงานทางด้านรับและด้านส่งให้มีความสัมพันธ์กัน เมื่อจังหวะเวลาถูกตั้งให้เข้ากับด้านรับแล้วข้อมูลจะถูกส่งออกไปบนทางติดต่อในแบบบิตต่อบิตต่อเนื่องกันไป อาศัยช่วงเวลาระหว่างบิตต่อบิตมีค่าเท่ากัน โดยไม่ต้องมีบิตเริ่มส่ง (Start Bit) หรือบิตจบ (Stop Bit) คอยกำกับ ทำให้มีความเร็วสูงในการส่งข้อมูล

ข้อเสียของวิธีนี้คือ การที่ต้องมีนาฬิกาขนานไปกับข้อมูลทำให้ต้องการช่องสื่อสารเพื่อเป็นทางติดต่อเพิ่ม โดยเฉพาะกรณีสื่อสารระยะไกลๆ เป็นการยากมากที่จัดหาช่องทางติดต่อแยกต่างหากสำหรับสัญญาณนาฬิกา นอกจากนี้ทางด้านรับต้องมีวงจรเฟสล็อกเพิ่มทำหน้าที่รับข้อมูลจังหวะเวลาด้านส่งและสร้างนาฬิกาขึ้นใหม่ในด้านรับ ดังนั้นการส่งแบบซิงโครนัสจึงมีค่าใช้จ่ายสูงกว่า

### 2.5.4.2 การสื่อสารแบบอะซิงโครนัส (Asynchronous Transmission)

เป็นการรับส่งข้อมูลโดยอาศัยบิตเริ่มส่งและบิตจบคอยกำกับโดยไม่จำเป็นต้องมีความสัมพันธ์ระหว่างข้อมูลกับเวลาที่แน่นอนซึ่งข้อมูลแต่ละตัวสามารถทิ้งช่วงห่างกันเท่าไรก็ได้ขึ้นกับบิตเริ่มส่ง (Start Bit) หรือบิตจบ (Stop Bit) โดยวงจรที่ใช้ก็มีความง่ายไม่ต้องยุ่งยากเหมือนกับการสื่อสารแบบซิงโครนัส



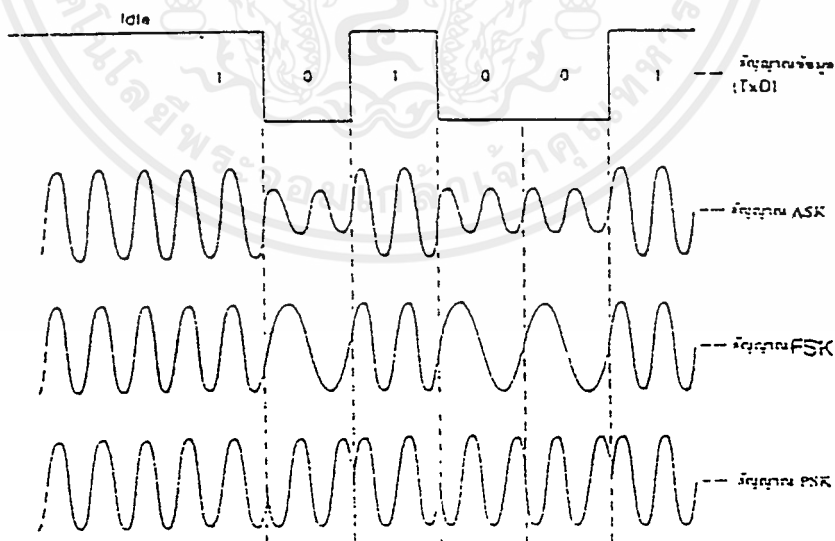
รูปที่ 2.24 การส่งข้อมูลแบบอะซิงโครนัส

ดังนั้น โครงงานตัวส่งภาพระยะไกลเป็นการรับ-ส่งข้อมูลผ่านทางโมเด็มจึงเลือกใช้วิธีการส่งแบบอะซิงโครนัส

### 2.5.5 การมอดูเลตข้อมูลดิจิทัล

พื้นฐานการมอดูเลตสัญญาณข้อมูลดิจิทัลมี 3 วิธีคือ

1. การมอดูเลตสัญญาณข้อมูลดิจิทัลทางขนาด (Amplitude Shift Keying: ASK)
2. การมอดูเลตสัญญาณข้อมูลดิจิทัลทางความถี่ (Frequency Shift Keying: FSK)
3. การมอดูเลตสัญญาณข้อมูลดิจิทัลทางเฟส (Phase Shift Keying: PSK)



รูปที่ 2.25 การมอดูเลตสัญญาณข้อมูลดิจิทัล

แบบ ASK จัดได้ว่ามีประสิทธิภาพต่ำสุดและใช้ในสายสื่อสารที่ต้องการความเร็วของข้อมูลต่ำ

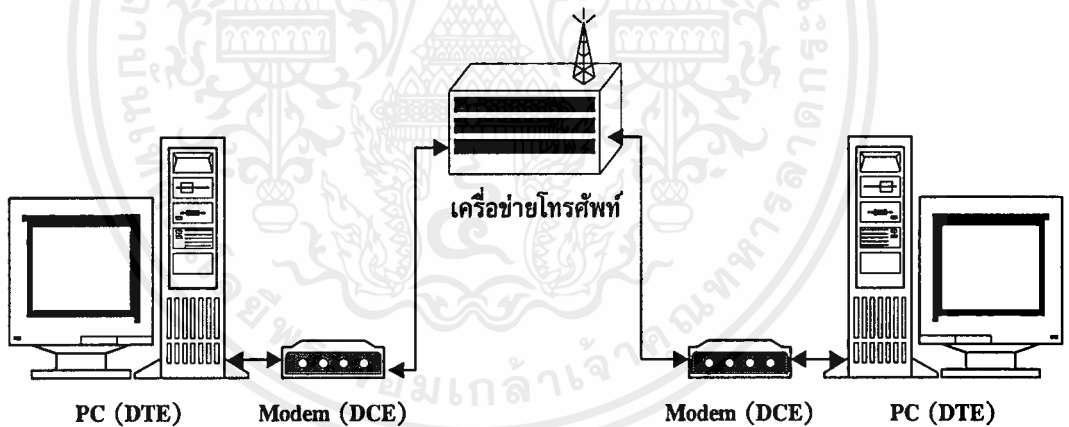
แบบ FSK เป็นที่นิยมใช้ในโมเด็มความเร็วต่ำถึงปานกลาง โดยเป็นการส่งแบบอะซิงโครนัสที่ใช้ได้ถึง 9600 บิต/วินาที

แบบ PSK จะใช้ร่วมกับการส่งแบบซิงโครนัส ในการส่งข้อมูลที่อัตราเร็ว 2400 บิต/วินาที และ 4800 บิต/วินาที เพราะเทคนิค PSK ใช้ช่วงความกว้างแถบน้อยกว่าแบบ FSK

ในโครงการตัวส่งภาพระยะไกลเป็นการรับ-ส่งข้อมูลผ่าน โมเด็มเลือกใช้โมเด็มแบบ FSK เนื่องจากหาซื้อได้ง่าย ราคาถูกกว่าแบบ PSK มากและรับ-ส่งข้อมูลด้วยอัตราเร็ว 9600 บิต/วินาที

### 2.5.6 หลักการทำงานของโมเด็ม

โมเด็มย่อมาจาก Modulator Demodulator โดยจะทำหน้าที่แปลงสถานะลอจิกดิจิทัลอลคตินรูปสี่เหลี่ยมให้ไปอยู่ในรูปคลื่นอื่นที่เหมาะสมเพื่อจัดส่งผ่านตัวกลางที่มีแบนด์วิธแคบๆ เช่น เครือข่ายโทรศัพท์ เป็นต้น วิธีการทำงานที่ด้านส่งจะใช้โมเด็มแปลงสัญญาณดิจิทัลให้เป็นสัญญาณอนาลอกโดยการมอดูเลชัน (Modulation) แล้วส่งผ่านตัวกลางไปยังด้านรับและในทางกลับกันที่ด้านรับเมื่อรับสัญญาณอนาลอกได้ก็จะแปลงกลับคืนให้เป็นสัญญาณดิจิทัลโดยวิธีการดีมอดูเลชัน (Demodulation) ดังรูปที่ 2.26



รูปที่ 2.26 แสดงการใช้งานของโมเด็ม

องค์ประกอบของการติดต่อประกอบด้วยเครื่องคอมพิวเตอร์ทำหน้าที่เป็นอุปกรณ์เทอร์มินอล (DTE: Data Terminal Equipment) โมเด็มทำหน้าที่เป็นเครื่องมือสื่อสาร (DCE: Data Communication Equipment) ส่วนสื่อสารกลางจะใช้เครือข่ายโทรศัพท์เป็นเครือข่ายสื่อสาร (Communication Network) การเชื่อมโยงมีอยู่ 2 ช่วง คือ ช่วงระหว่างคอมพิวเตอร์กับโมเด็มการติดต่อจะเป็นสัญญาณดิจิทัลมาตรฐาน RS-232C ลอจิก "0" แทนด้วยศักดาไฟฟ้าขนาด 3 ถึง 25 โวลต์ และลอจิก "1" แทนด้วยศักดาไฟฟ้าขนาด -3 ถึง -25 โวลต์ จากพอร์ทอนุกรมของคอมพิวเตอร์ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ยังโมเด็มความเร็วของการติดต่อในช่วงนี้ถูกจำกัดโดยชีพของวงจรของเครื่องคอมพิวเตอร์และโมเด็มซึ่งติดต่อได้อย่างต่ำ 100 Kbps. ช่วงที่สองของการเชื่อมต่อคือการเชื่อมต่อระหว่างโมเด็มตัวส่งกับตัวรับซึ่งจะติดต่อผ่านเครือข่ายโทรศัพท์ ในช่วงติดต่อนี้สัญญาณจะเป็นสัญญาณอนาลอกความเร็วจะขึ้นอยู่กับความสามารถของโมเด็ม

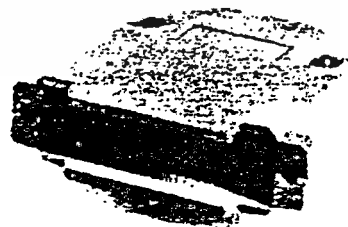
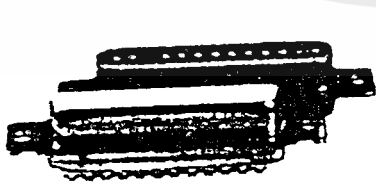
### 2.5.7 สายเคเบิลของ RS-232C

มาตรฐานของการรับ-ส่งข้อมูลแบบอนุกรม (RS-232C) นี้ ได้กำหนดขึ้นมาเพื่อให้คอมพิวเตอร์ต่างยี่ห้อกัน หรืออุปกรณ์ต่อพ่วงแต่ละชนิดรับ-ส่งข้อมูลกันได้ เมื่อทำตามมาตรฐานนี้โดยไม่สนใจว่าอุปกรณ์หรือคอมพิวเตอร์นั้นจะผลิตมาจากที่ใด โดยมีการกำหนดรายละเอียดในเรื่องหัวต่อ (Connector) ที่ใช้ สัญญาณที่ใช้ในแต่ละเส้น และแต่ละเส้นทำหน้าที่อะไรดังนี้

#### 2.5.7.1 ขาต่างๆ ของ RS-232C

ข้อต่อ (Connector) ระหว่างสายเคเบิลทั้งสองปลายจะใช้ข้อต่อแบบ 25 ขารูปร่างหน้าตัดคล้ายตัว "D" เรียกว่า DB-25 ดังรูปที่ 2.27

Secondary Transmitted Data	● 14	1 ●	Protective Ground
Transmit Clock	● 15	2 ●	Transmitted Data
Secondary Received Data	● 16	3 ●	Received Data
Receiver Clock	● 17	4 ●	Request to Send
Unassigned	● 18	5 ●	Clear to Send
Secondary Request to Send	● 19	6 ●	Data Set Ready
Data Terminal Ready	● 20	7 ●	Signal Ground
Signal Quality Detector	● 21	8 ●	Data Carrier Detect
Ring Indicator	● 22	9 ●	Reserved
Data Rate Select	● 23	10 ●	Reserved
External Clock	● 24	11 ●	Unassigned
Unassigned	● 25	12 ●	Secondary Data Carrier Detect
		13 ●	Secondary Clear to Send



รูปที่ 2.27 แสดงขาสัญญาณต่างๆ ของข้อต่อแบบ DB-25

สายเคเบิลที่ใช้ในการรับ-ส่งข้อมูลส่วนมากจะใช้สายเพียง 9-10 เส้นสัญญาณเท่านั้น โดยขาสัญญาณที่ 1 (Protective Ground) นั้น มักจะไม่จำเป็นต้องต่อใช้งาน จึงเหลือจำนวนสายสัญญาณที่ใช้เพียง 9 เส้น จากข้อต่อแบบ DB-25 สัญญาณแต่ละเส้นเรียงตามลำดับดังนี้

- ขาที่ 1 (Protective Ground) เป็นสายดินของอุปกรณ์
- ขาที่ 2 (Transmitted Data) ใช้สำหรับส่งข้อมูล
- ขาที่ 3 (Received to Send) ใช้สำหรับรับข้อมูล
- ขาที่ 4 (Request to Send) เป็นสัญญาณขอทำการส่งข้อมูล
- ขาที่ 5 (Clear to Send) เป็นสัญญาณตอบรับว่าเริ่มส่งข้อมูลได้
- ขาที่ 6 (Data Set Ready) เป็นสัญญาณแสดงว่าตัวรับพร้อมที่จะรับข้อมูลแล้ว
- ขาที่ 7 (Signal Ground) เป็นสายดินของสัญญาณรับส่ง
- ขาที่ 8 (Data Carrier Detect) เป็นตัวบอกว่าทั้งตัวรับและตัวส่งต่อถึงกันเรียบร้อยแล้ว และพร้อมที่จะทำการรับ-ส่งข้อมูล
- ขาที่ 20 (Data Terminal Ready) เป็นสัญญาณแสดงว่าตัวส่งพร้อมที่จะส่งข้อมูล
- ขาที่ 22 (Ring Indicator) เป็นขาแสดงกริ่งโทรศัพท์ที่เรียกเข้ามา

#### 2.5.7.2 DB-9 และ DB-25

ข้อต่อแบบ 25 ขา เราใช้งานจริงเพียง 9 ขาเท่านั้น ดังนั้นเครื่องคอมพิวเตอร์รุ่นใหม่ ๆ จึงได้ลดข้อต่อลงมาใช้แบบ 9 ขาแทน ทำให้มีขนาดเล็กและกระทัดรัด การต่อสายเคเบิลสะดวกขึ้น สัญญาณต่างๆ ของข้อต่อแบบ DB-9 บางเส้นจะตรงกับที่ใช้ใน DB-25 ดังแสดงในตารางที่ 3 แต่อุปกรณ์รับ-ส่งในปัจจุบันเราก็มักนิยมใช้ DB-9 และ DB-25

DB-9 Pin	DB-25 Pin	Assignment / Function
1	8	Carrier Detect
2	3	Receive Data
3	2	Transmit Data
4	20	Data Terminal Ready
5	7	Signal Ground
6	6	Data Set Ready
7	4	Request to Send
8	5	Clear to Send
9	22	Ring Indicator

#### ตารางที่ 3 ขาสัญญาณต่างๆ ในการรับ-ส่งข้อมูลแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.5.8 มาตรฐานคำสั่งของโมเด็ม

ปกติโมเด็มจะติดต่อกับเครื่องคอมพิวเตอร์เพื่อทำหน้าที่รับส่งข้อมูลอยู่แล้ว ดังนั้นขณะที่โมเด็มยังไม่ได้ติดต่อกับโมเด็มปลายทางเพื่อรับ-ส่งข้อมูล คอมพิวเตอร์จะสามารถส่งคำสั่งต่างๆ ให้โมเด็มได้ ในขั้นแรกเมื่อเปิดสวิตช์ให้โมเด็มทำงาน สัญญาณทุกอย่างที่โมเด็มได้รับจากคอมพิวเตอร์จะถือว่าเป็นคำสั่งทั้งหมด จนกว่าจะมีคำสั่งขอติดต่อกับโมเด็มปลายทางและเมื่อโมเด็มต้นทางและโมเด็มปลายทางทั้งสองติดต่อกันการรับ-ส่งข้อมูลผ่านสายส่งสัญญาณต่างๆ ระหว่างคอมพิวเตอร์กับโมเด็มจะเริ่มขึ้น จนกว่าจะหยุดรับ-ส่งข้อมูลหรือวางสายโทรศัพท์ โมเด็มจึงจะกลับมาอยู่ในสภาวะที่คอยรับคำสั่งจากคอมพิวเตอร์อีกครั้ง

บริษัท Hayes Microcomputer Products Inc. เป็นผู้คิดชุดคำสั่งเพื่อสั่งงานโมเด็มสำหรับคอมพิวเตอร์พีซีและได้รับความนิยมจนถือเป็นมาตรฐานอันหนึ่ง มาตรฐานคำสั่งนี้เรียกว่า Hayes Command Set หรือ AT Command เพราะเป็นคำสั่งที่ขึ้นต้นด้วยอักษร AT เสมอ เมื่อจบคำสั่งให้ปิดท้ายด้วยรหัส ASCII ตัวที่ 13 คือ Carriage Return หรือปุ่ม Enter โมเด็มก็จะรับคำสั่งนี้ไปทำงานทันที ชุดคำสั่งที่สำคัญและถูกใช้งานเสมอคือ

+++ การสั่งให้โมเด็มเปลี่ยนโหมดการทำงานจากการรับ-ส่งข้อมูลกับโมเด็มปลายทางมาเป็นการรับคำสั่งจากเครื่องคอมพิวเตอร์

ATA เป็นคำสั่งให้โมเด็มตอบรับสัญญาณโทรศัพท์ที่เรียกเข้ามา เมื่อโมเด็มทำคำสั่งนี้การติดต่อระหว่างปลายทางทั้งสองข้างจะเริ่มขึ้น โมเด็มจะเข้าสู่ช่วงรับ-ส่งข้อมูลและไม่รับคำสั่งจากเครื่องคอมพิวเตอร์จนกว่าจะเลิกการติดต่อกับปลายทางเสียก่อน แต่มักใช้ในกรณีชั่วคราวที่จำเป็นเท่านั้น โดยปกติสามารถกำหนดให้โมเด็มรับหรือไม่รับสายได้โดยการตั้งค่าภายในรีจิสเตอร์ S

ATD เป็นคำสั่งให้โมเด็มทำการหมุนโทรศัพท์อัตโนมัติ (Auto Dialing) แทนการหมุนเอง คำสั่งนี้มักตามด้วยชนิดของโทรศัพท์ที่ต่ออยู่ด้วยและต้องการพารามิเตอร์บางอย่างทุกครั้งที่ใช้คำสั่งนี้คือ

- ! วางหูโทรศัพท์ชั่วคราว
- , หยุดรอเป็นเวลา 2 วินาทีขณะหมุนหมายเลข
- ; หลังจากหมุนหมายเลขแล้วจะส่งไปที่สภาวะคำสั่ง
- P หมุนหมายเลขด้วยระบบ Pulse
- R เรียกโมเด็มรีเวิร์ส
- S = x เก็บหมายเลขโทรศัพท์ไว้ที่พื้นที่ x
- T หมุนหมายเลขด้วยระบบ Tone
- W รอฟังเสียงสัญญาณ “สายว่าง”

ATE เป็นคำสั่งที่ใช้สำหรับควบคุมการแสดงตัวอักษรที่ผู้ใช้พิมพ์ออกมาทางจอภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ATE0 หรือ ATE: ECHO OFF คือกดปุ่มใดๆ แล้ว ผู้ใช้จะไม่สามารถเห็นตัวอักษรบนจอใน  
ขณะที่กำลังพิมพ์เข้าไป
- ATE1 : ECHO ON (Default)
- ATH เป็นคำสั่งให้โมเด็มวางหูโทรศัพท์หรือยกหูโทรศัพท์
- ATH0 หรือ ATH : วางหูโทรศัพท์
- ATH1 : ยกหูโทรศัพท์
- มักใช้หลังจากที่ส่ง +++ ให้แก่โมเด็มเพื่อให้โมเด็มกลับเข้าสู่สถานะคำสั่ง มักใช้เพื่อทำการ  
หยุดการสื่อสารหรือตัดสาย (Disconnect)
- ATL เป็นตัวปรับความดังของลำโพงภายในตัวโมเด็มซึ่งปรับได้ 3 ระดับคือ
- ATL0 หรือ ATL: เสียงเบาสุด
- ATL1 : เสียงดังปานกลาง
- ATL2 : เสียงดังสุด
- ATM ใช้ควบคุมการทำงานของลำโพงภายใน โมเด็ม
- ATM0 หรือ ATM: โมเด็มปิดเสียงทั้งหมด
- ATM1 : มีเสียงเฉพาะตอนที่ยังต่อกับปลายทางไม่ได้เท่านั้น
- ATM2 : มีเสียงตลอดเวลา
- ATM3 : ปิดเสียงขณะที่หมุนหมายเลข หลังจากนั้นทำการเปิดเสียงจนได้รับ  
สัญญาณพาหะจากโมเด็มปลายทางจึงปิดเสียงอีกครั้ง
- ATO เป็นคำสั่งให้โมเด็มอยู่ในโหมด Online คือเปลี่ยนจากการรับคำสั่งจากเครื่องคอมพิวเตอร์  
มาเป็นการรับส่งข้อมูลผ่านสายส่ง
- ATQ เป็นคำสั่งใช้ควบคุมการส่ง Result code จาก โมเด็มสู่พีซี
- ATQ0 หรือ ATQ: ให้โมเด็มส่ง Result code ออกมาได้
- ATQ1 : ไม่อนุญาตให้โมเด็มส่ง Result code ออกมาได้
- ATQ2 : ให้โมเด็มส่ง Result code ออกมา ถ้าเป็นโมเด็มตัวต้นทางและไม่ให้ส่ง  
ออกมาถ้าเป็น โมเด็มปลายทาง
- ATS ใช้ดูและเปลี่ยนแปลงค่าของ S-Register ซึ่งเป็นที่เก็บพารามิเตอร์ในการทำงานต่างๆ ตาม  
แบบของ Hayes การตั้งค่ารีจิสเตอร์ S มีรูปแบบดังนี้  $ATS_x = y$  โดยที่ x เป็นหมายเลขรีจิส  
เตอร์ S และ Y หมายถึงค่าที่ต้องการบรรจุลงไปในรีจิสเตอร์ S ตัวนั้นๆ
- ATV เป็นคำสั่งบอกให้โมเด็มแสดงผลพัลซ์ของคำสั่งต่างๆ เป็นรหัสตัวเลขหรือเป็นตัวอักษร  
ภาษาอังกฤษ
- ATV0 หรือ ATV : ส่งเป็นตัวเลข
- ATV1 : ส่งเป็นตัวอักษร โดยมีคิฟอลต์เป็น V1

**ATWn** เป็นคำสั่งที่กำหนด Result code เพิ่มเติมได้ซึ่งจะเรียกรหัสดังกล่าวว่า Negotiation Progress Codes มักใช้แสดงการควบคุมความผิดพลาดและการบีบข้อมูลระหว่างโมเด็มต้นทางและปลายทาง

**ATW0 หรือ ATW** : อนุญาตให้ส่ง Negotiation Progress Codes แก่พีซี

**ATW1** : ไม่อนุญาตให้ส่ง Negotiation Progress Codes แก่พีซี

**ATX** คำสั่งให้โมเด็มแสดงผลลัพธ์ในการหมุนโทรศัพท์แบบต่างๆ

**ATX0 หรือ ATX** : ใช้ Result code คือ OK, CONNECT, RING, NO, CARRIER หรือ ERROR เมื่อเลือกตัวนี้สัญญาณการหมุนหมายเลขและสัญญาณสายไม่ว่างจะไม่ทำงาน

**ATX1** : เหมือน ATX0 แต่เพิ่มเกี่ยวกับความเร็วเข้าไปเช่น CONNECT 2400

**ATX2** : เหมือน ATX1 แต่เพิ่ม No Dial Tone

**ATX3** : เหมือน ATX1 แต่เพิ่ม Busy

**ATX4** : เลือกได้ทุกตัว

**ATZ** เป็นคำสั่งรีเซ็ตโมเด็มกลับมาอยู่ในสถานะเดิมที่ผู้ผลิตกำหนด เมื่อโมเด็มได้รับคำสั่งนี้มันจะยกเลิกคำสั่งการเปลี่ยนแปลงค่าต่างๆ ที่ได้รับมาทั้งหมดและดึงค่าพารามิเตอร์ที่ผู้ผลิตกำหนดไว้ซึ่งอยู่ใน ROM ของโมเด็มมาใช้

**AT&C** ใช้ควบคุมการส่งสัญญาณ CD (Carrier Detect) ให้แก่ขาของคอนเน็กเตอร์ RS-232-C ซึ่งสัญญาณนี้มีสถานะ ON เมื่อโมเด็มเชื่อมต่อกับโมเด็มปลายทางเรียบร้อยแล้ว

**AT&C0** : ON เสมอไม่ว่าโมเด็มจะออนไลน์หรือไม่ก็ตาม

**AT&C1** : ON เมื่อโมเด็มออนไลน์และมีการเชื่อมต่อกับโมเด็มตัวอื่นๆ เท่านั้น

**AT&C2** : ON เมื่ออยู่ในสถานะคำสั่ง (Command State) แต่หลังจากมีการเชื่อมต่อเรียบร้อยแล้วจะมีสถานะตามความเป็นจริง

**AT&C3** : เหมือน AT&C0

**AT&D** ควบคุมการรับรู้สัญญาณ DTR (Data terminal Ready) ที่ส่งออกมาจากพีซี โมเด็มจะคอยตรวจสอบสัญญาณนี้ว่าอยู่ในสถานะ ON หรือไม่

**AT&D0** : ไม่รับรู้สัญญาณ DTR

**AT&D1** : รับรู้สัญญาณ DTR และจะไม่ตอบรับถ้าสัญญาณอยู่ในสถานะ OFF ถ้า DTR เปลี่ยนจาก ON เป็น OFF ขณะออนไลน์โมเด็มก็จะยังยกหูโทรศัพท์ไว้ แต่จะเข้าสู่สถานะคำสั่ง

**AT&D2** : รับรู้สัญญาณ DTR และจะไม่ตอบรับถ้าสัญญาณอยู่ในสถานะ OFF ถ้า DTR เปลี่ยนจาก ON เป็น OFF ขณะออนไลน์โมเด็มจะหยุดการติดต่อและจะเข้าสู่สถานะคำสั่ง

**AT&D3** : รับรู้สัญญาณ DTR และจะไม่ตอบรับถ้าสัญญาณอยู่ในสถานะ OFF ถ้า DTR เปลี่ยนจาก ON เป็น OFF ขณะออนไลน์โมเด็มจะหยุดการติดต่อและรีเซตตัวเอง

**AT&K** เลือกชนิดของการควบคุมการไหลของข้อมูล

**AT&W** เก็บข้อมูลการตั้งค่าไว้ใน NVRAM เพื่อไม่ต้องกำหนดใหม่ทุกครั้งที่เปิดปิดโมเด็ม

**AT&W0** หรือ **AT&W** : ให้เก็บข้อมูลการเซตจาก Active Profile ลงใน User Profile 0

**AT&W1** : ให้เก็บข้อมูลการเซตจาก Active Profile ลงใน User Profile 1

**AT&Y** โหลดข้อมูลการเซตจาก NVRAM เมื่อเปิดเครื่อง

**AT&Y0** หรือ **AT&Y** : ให้เรียก User Profile 0 มาเก็บไว้ใน Active Profile หลังจากเปิดเครื่อง

**AT&Y1** : ให้เรียก User Profile 1 มาเก็บไว้ใน Active Profile หลังจากเปิดเครื่อง



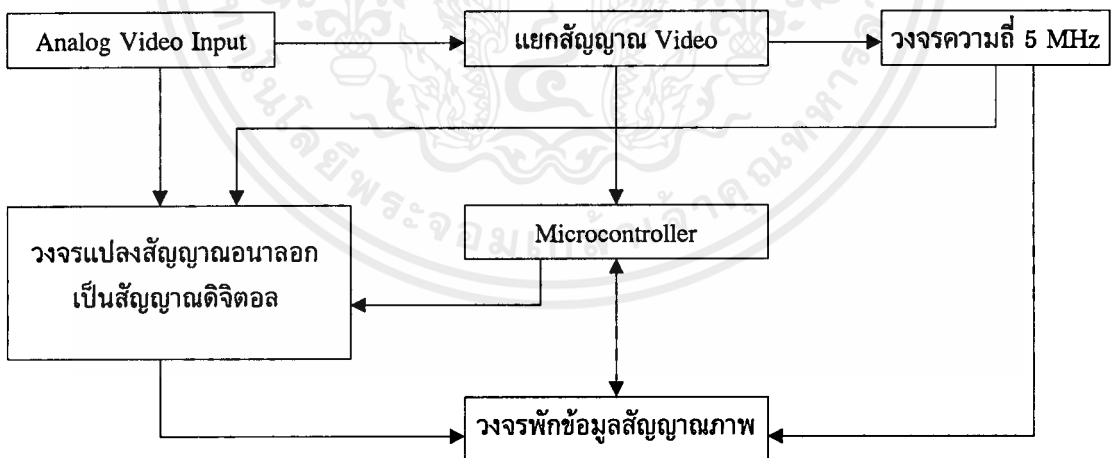
### บทที่ 3 การดำเนินการวิจัย

การทำงานในโครงการพิเศษนี้จะแบ่งได้เป็น 3 ส่วนใหญ่ โดยส่วนแรกจะเป็นในส่วนของ ฮาร์ดแวร์ (Hardware) ซึ่งจะประกอบไปด้วยส่วนตัวส่งภาพ (Digitizer) และส่วนควบคุมกล้อง CCD (Scanner) ส่วนที่สอง จะเป็นในส่วนซอฟต์แวร์ (Software) ซึ่งจะเป็นการเขียน โปรแกรมควบคุมทั้งสองส่วน คือ ส่วนตัวส่งภาพ (Digitizer) และส่วนควบคุมกล้อง CCD (Scanner) ส่วนที่สาม เป็นส่วนการติดต่อสื่อสารข้อมูลผ่านโมเด็ม

#### 3.1 การออกแบบวงจรในส่วนฮาร์ดแวร์ (Hardware)

##### 3.1.1 การออกแบบวงจรของตัวส่งภาพ (Digitizer)

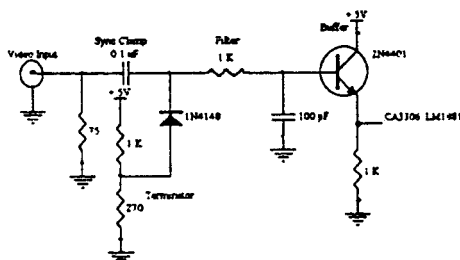
ส่วนนี้จะเริ่มจากการที่เราได้สัญญาณวิดีโอจากอุปกรณ์ถ่ายภาพซึ่งก็คือกล้อง CCD (สีขาว-ดำ) แล้วเราทำการแปลงสัญญาณอนาลอก (สัญญาณวิดีโอ) เป็นสัญญาณดิจิทัลและเก็บข้อมูลสัญญาณภาพขณะนั้นลงใน SRAM แล้วส่งข้อมูลสัญญาณภาพผ่านโมเด็มมายัง PC Server เพื่อประมวลผล และจัดเก็บภาพในรูปแบบ File.BMP, File.JPG ซึ่งเราจำเป็นต้องสร้างวงจรที่เรียกรวมๆ ว่าวงจร “Digitizer” ซึ่งจะมีแผนผังการทำงานของวงจรส่วนนี้สรุปได้ดังรูปที่ 3.1



รูปที่ 3.1 แสดงผังการทำงานของตัวส่งภาพ (Digitizer)

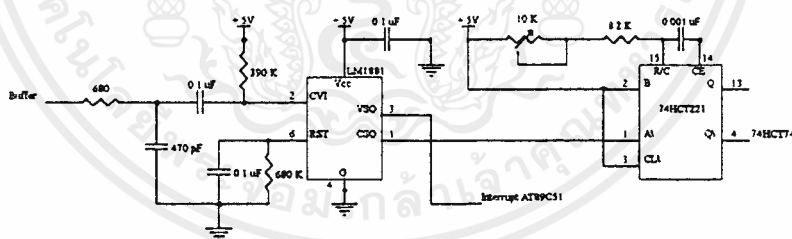
ส่วนที่ 1 จะเกี่ยวข้องกับ Analog Video Input ซึ่งมาตรฐานของการส่งสัญญาณวิดีโอจะส่งด้วยสาย Coaxial ที่มี  $Z_c$  75 โอห์มเพื่อป้องกันการสะท้อนกลับที่จุดปลายของสาย Coaxial ถ้าสายที่ใช้ส่งไม่ได้มาตรฐานจะต้องตัวด้านทาน 75 โอห์มเข้ากับ Video Input เพื่อป้องกันการสะท้อนกลับที่จุดปลายของสาย กล้อง CCD บางรุ่นอาจจะให้สัญญาณวิดีโอเป็น DC Offset ซึ่งขึ้นอยู่กับ

ที่ดู แต่ในที่นี่ได้รวมวงจร Clamping ซึ่งสามารถทำให้ Sync Pulses ถูกปรับจนมีค่าเป็น 0 โวลต์ได้ ทรานซิสเตอร์ 2N4401 จะทำหน้าที่เหมือนเป็น Power Amplifier เพื่อทำให้แน่ใจว่าวงจรอื่นๆ จะได้สัญญาณที่ไม่มีการ Load ของ Input ดังรูปที่ 3.2



รูปที่ 3.2 แสดงส่วนของวงจร Analog Video Input

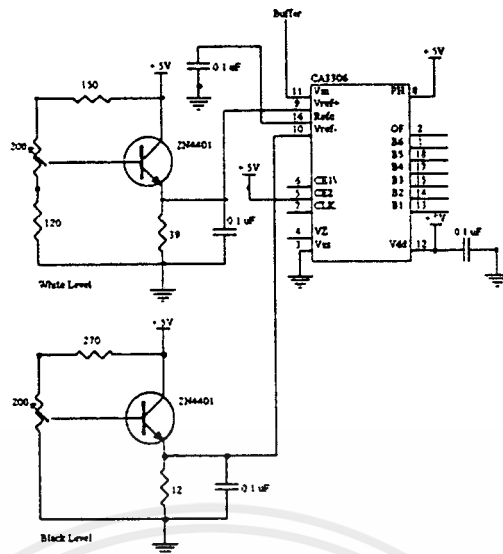
ส่วนที่ 2 จะเป็นการแยกสัญญาณวิดีโอ (Composite Video Signal) ซึ่งจะใช้ IC LM1881 (Video Sync Separator) ซึ่งเป็น IC สำเร็จรูป ซึ่งแยกสัญญาณต่างๆ ออกมาโดยเราจะนำสัญญาณซิงโครไนซ์ทางแนวตั้ง (Vertical Sync) ซึ่งมีความถี่ 50 Hz มา Interrupt Microcontroller เพื่อเริ่มและหยุดการแปลงสัญญาณวิดีโอ ในที่นี้เราจะเก็บข้อมูลภาพ ฟิลด์คี่ (Odd Field) หรือ ฟิลด์คู่ (Even Field) เท่านั้น ซึ่งขึ้นอยู่กับจังหวะของสัญญาณซิงโครไนซ์ทางแนวตั้ง และเราจะใช้สัญญาณซิงค์ (Composite Sync) ต่อเข้ากับ IC 74HCT221 ซึ่งเป็นการกำหนดจังหวะให้กับ IC 74HCT74 เพื่อผลิต Clock ดังรูปที่ 3.3



รูปที่ 3.3 แสดงส่วนของวงจรการแยกสัญญาณวิดีโอ

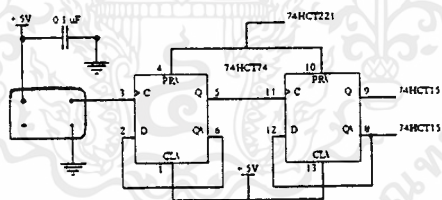
ส่วนที่ 3 เป็นส่วนการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล เนื่องจากสัญญาณวิดีโอมีความเร็วสูง ดังนั้น A/D Converter ต้องมีความเร็วสูงในที่นี้จะใช้ CMOS Video Speed 6 Bits Flash A/D Converter CA3306 ซึ่งต่างจาก Slower Converter เพราะมีตัวเปรียบเทียบ 64 ตัว เพราะเราแปลงแค่ 64 Gray Level อัตราการแซมปลิง คือ 5 MHz โดย  $+V_{ref}$  จะเป็นช่วงสีขาวและ  $-V_{ref}$  จะเป็นช่วงสีดำ โดยสัญญาณดิจิทัลสีขาวแปลงเป็นเลขฐาน 16 คือ 3FH และสีดำแปลงเป็นเลขฐาน 16 คือ 00H ดังรูปที่ 3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 แสดงส่วนของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล

ส่วนที่ 4 เป็นส่วนวงจรกำเนิดความถี่ 5 MHz ในที่นี่เราจะใช้คริสตัลอสซิลิเตอร์ที่มีความถี่ 20 MHz โดยต่อกับ IC 74HCT74 ซึ่งมี D-Type Flip Flop อยู่ 2 ตัว และจำนวน Clock ที่สร้างขึ้นจะถูกกำหนดโดยจังหวะของสัญญาณซิงค์ (Composite Sync) ที่ต่อเข้ากับ IC 74HCT221 ดังรูปที่ 3.5 ความถี่เอาต์พุตที่ได้คือ 5 MHz

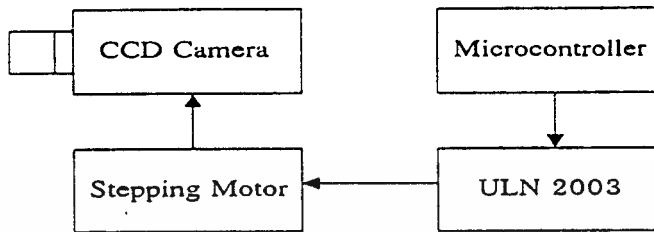


รูปที่ 3.5 แสดงส่วนของวงจรกำเนิดความถี่ 5 MHz

ส่วนที่ 5 จะเป็นวงจรพักข้อมูล เนื่องจากข้อมูลสัญญาณภาพซึ่งได้จากการแปลงสัญญาณ วิดีโอเป็นสัญญาณดิจิทัลมีความเร็วสูงทำให้ไม่สามารถส่งผ่านโมเด็ม มายัง PC Server ได้โดยตรง ดังนั้นจึงต้องมีการพักข้อมูลก่อนวงจรส่วนนี้จะประกอบไปด้วย SRAM 128 Kbytes, วงจรเคาเตอร์ในที่นี้ใช้ IC 74HCT393 ในการนับตำแหน่งหน่วยความจำ ดังรูปที่ 3.8 การควบคุมการอ่าน-เขียนสัญญาณข้อมูลจะใช้ IC 74HCT157 เพื่อประหยัดขาของ Microcontroller วงจรรูปที่ 3.8 จะแสดงวงจรทั้งหมดของตัวส่งภาพรวมทั้งส่วนพักข้อมูลด้วย

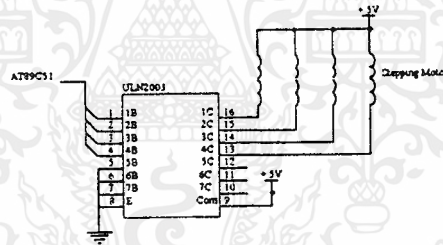
### 3.1.2 การออกแบบวงจรของตัวควบคุมกล้อง CCD (Scanner)

ส่วนนี้จะเป็นการควบคุมกล้อง CCD เพื่อถ่ายภาพในมุมต่างๆ ที่ต้องการและเก็บข้อมูลสัญญาณภาพในมุมต่างๆ เหล่านั้นส่งผ่านโมเด็มมาให้กับ PC Server เราจำเป็นต้องสร้างวงจรที่เรียกรวมๆ ว่าวงจร "Scanner" ซึ่งจะมีหน้าที่หลัก คือ ควบคุมกล้อง CCD ให้หมุนไปในมุมที่ต้องการเก็บภาพ ซึ่งจะมีแผนผังการทำงานของวงจรส่วนนี้สรุปได้ดังรูปที่ 3.6



รูปที่ 3.6 แสดงผังการทำงานของตัวควบคุมกล้อง CCD (Scanner)

ส่วนนี้จะใช้ IC ULN2003 ขับ Stepping Motor แบบ 4 เฟส แทนการใช้ทรานซิสเตอร์เป็นการสะดวกและประหยัดเนื้อที่ ซึ่งการควบคุมจะใช้ Microcontroller และ IC ULN2003 เท่านั้นในการขับ Stepping Motor วงจรส่วนนี้แสดงได้ดังรูปที่ 3.7



รูปที่ 3.7 แสดงส่วนของวงจรควบคุม Stepping Motor

นำส่วนต่างๆ มาต่อเชื่อมกันโดยมี Microcontroller AT89C51 เป็นตัวควบคุมการทำงานของทุกส่วนในระบบ และมีแหล่งจ่ายไฟเลี้ยง 5 โวลต์ให้แก่ระบบทุกส่วน การติดต่อสื่อสารตามมาตรฐาน EIA-232 จะมี MAX-232C เป็นตัวขับสัญญาณซึ่งเป็น Negative Logic และแปลงลอจิกจากลอจิกแบบ RS-232C ไปเป็น TTL ดังรูปที่ 3.8 ในการรับ-ส่งข้อมูลในที่นี้จะใช้อัตราเร็วในการส่ง 9600 บิตต่อวินาทีผ่านทางโมเด็ม ซึ่งจะต้องมีการตั้งค่าให้กับโมเด็มต้นทางและปลายทางเพื่อให้สามารถติดต่อสื่อสารกันได้ซึ่งจะกล่าวถึงต่อไป



## 3.2 การออกแบบวงจรในส่วนซอฟต์แวร์ (Software)

### 3.2.1 การออกแบบซอฟต์แวร์ในส่วนของ PC Server

โดยที่ PC Server จะทำหน้าที่เป็นตัวรับ-ส่งข้อมูลกับตั้งส่งภาพระยะไกล การออกแบบซอฟต์แวร์ของส่วน PC Server จะใช้โปรแกรม Visual Basic ซึ่งมีข้อดีคือ ช่วยสนับสนุนงานทางด้านกราฟฟิกซึ่งมีประโยชน์กับการทำ User Interface (การติดต่อกับผู้ใช้) อย่างมาก

ต่อไปนี้เป็นารออกแบบในส่วนของ PC Server โดยจะแบ่งเป็น 3 ส่วนการทำงานย่อย ๆ ดังนี้

1. สร้าง Form สำหรับทำการติดต่อกับภายนอก มีชื่อว่า WELCOME TO REMOTE PICTURE SENDER ซึ่งใน Form ประกอบด้วย
  - 1.1 ComPort Control ใช้เมื่อต้องการรับ-ส่ง กับข้อมูลกับอุปกรณ์ภายนอก โดยที่ไม่ถูกแสดงออกมา
  - 1.2 Frame ที่ชื่อว่า ComPort Control และภายในมี Option Control ใช้สำหรับเลือก ComPort ในการติดต่อ ซึ่งมีชื่อว่า Comm1 และ Comm2
  - 1.3 Frame ที่ชื่อว่า Modem Control และภายในมี Option Control ใช้สำหรับเลือกว่าต้องการจะติดต่อระยะไกลผ่าน Modem หรือ ติดต่อกับส่วนควบคุมกล้อง CCD และส่วนเก็บภาพโดยตรง ซึ่งมีชื่อว่า Connect และ Disconnect และจะมี Text Box ใช้สำหรับใส่หมายเลขโทรศัพท์ ในกรณีที่มีการติดต่อกับ Modem Text Box นี้จะถูกสั่งให้ Enabled คือสามารถใส่หมายเลขโทรศัพท์ได้ แต่ในทางตรงกันข้าม ถ้าไม่ต้องการติดต่อกับ Modem Text Box นี้จะถูกสั่งให้ Disabled คือไม่ต้องมีการใส่ข้อมูลในส่วนนี้
  - 1.4 Label ใช้สำหรับแสดงสถานะในการติดต่อกับ Modem ในกรณีที่ไม่มีการติดต่อกับ Modem ส่วนนี้จะไม่ถูกแสดงขึ้นมา
  - 1.5 Command Control เป็นปุ่มใช้สำหรับไปการทำงานในขั้นตอนต่อไปมีชื่อว่า Next และสำหรับการออกจากโปรแกรมมีชื่อว่า Exit โดยที่ปุ่ม Next ถูกสั่งให้ Disabled จนกว่า Label ในข้อที่ 1.4 จะแสดงข้อความ Connected By 9600,n,8,1 จึงจะกลายเป็น Enabled
  - 1.6 Picture Box ใช้แสดงภาพซึ่งภาพใน Form นี้ก็เป็นภาพที่ได้จากกล้อง CCD
2. สร้าง Form สำหรับทำการควบคุมกล้อง CCD มีชื่อว่า SCANNER CONTROLS CCD CAMERA ซึ่งใน Form ประกอบด้วย
  - 2.1 Frame ที่ชื่อว่า Rotate Control และภายในมี Option Control ใช้สำหรับเลือกด้านที่ต้องการควบคุมกล้องซึ่งมีชื่อว่า Left และ Right

- 2.2 Frame ที่ชื่อว่า Degrees Control และภายในมี Text Box ใช้สำหรับใส่ค่ามุมที่ต้องการเป็นจำนวนเต็มได้ตั้งแต่ 0-180 องศา นอกจากนี้ยังมี Option Control ใช้สำหรับเลือกค่ามุมที่ต้องการอย่างรวดเร็วมีชื่อว่า 30, 60,..., 180 Degrees โดยที่จะถูก Disabled เมื่อมีการใส่ค่ามุมที่ Text Box ก่อนหน้านี้แล้ว
- 2.3 Label Control แสดงสถานะการควบคุมกล้องซึ่งจะถูกสั่งให้มองไม่เห็น จนกระทั่งมีการเลือกด้านและมุมที่ต้องการแล้ว จึงจะปรากฏข้อความ
- 2.4 Command Button มีทั้งหมด 3 ปุ่ม ปุ่มที่หนึ่งมีชื่อว่า Back ใช้สำหรับกลับไปทำงานใน Form ก่อนหน้านี้ ปุ่มที่สองมีชื่อว่า Cancel ใช้สำหรับยกเลิกการควบคุมที่ได้สั่งไปแล้วคือ มุมและด้าน ปุ่มที่สามมีชื่อว่า Capture ใช้สำหรับสั่งให้มีการจับภาพที่ตำแหน่งในขณะนั้น และหลังจากกดปุ่มนี้แล้วจะไปยัง Form ต่อไปซึ่งเป็นส่วนการแสดงผลภาพ
- 2.5 Data Control ใช้เมื่อต้องการติดต่อกับฐานข้อมูล โดยจะไม่ถูกแสดงออกมา
- 2.6 Frame ที่ชื่อว่า Data Picture Control ภายในมี Picture Box Control ใช้สำหรับแสดงภาพที่เก็บไว้แล้วในฐานข้อมูล โดยจะใช้ DBCombo Box Control ซึ่งเป็น Control ที่สามารถ Link กับฐานข้อมูลที่เก็บภาพไว้ได้ โดยฐานข้อมูลที่ใช้ก็คือ Microsoft Access 97 นั่นก็คือสามารถเลือกภาพที่ต้องการจาก DBCombo Box Control ขึ้นมาแสดงบน Picture Box Control และจะมี Command Button ที่มีชื่อว่า Delete Picture ใช้สำหรับลบภาพที่ไม่ต้องการออกจากฐานข้อมูลได้
3. สร้าง Form สำหรับควบคุมการ Upload ข้อมูลสัญญาณภาพมาที่ PC Server มีชื่อว่า DIGITIZER ภายใน Form ประกอบด้วย
- 3.1 Rich Text Box Control ทั้งหมด 7 Box ใช้สำหรับ Upload ข้อมูลสัญญาณภาพทั้งหมด 280 เส้น ดังนั้นจึงต้องแบ่งเป็น 40 เส้น ต่อ 1 Box (1 เส้นเท่ากับ 256 Byte, 1Byte เท่ากับ 1 Pixel) เหตุที่ไม่สามารถใช้ Rich Text Box Control เพียง 1 Box ได้เนื่องจากมีข้อจำกัดในการอ่านข้อมูล
- 3.2 Frame ที่ชื่อว่า Picture Control ภายในมี Command Button มีชื่อว่า Display Picture ใช้สำหรับสั่งให้มีการประมวลผลภาพจากข้อมูลที่ Upload แล้วเพื่อแสดงออกทางหน้าจอ
- 3.3 Frame ที่ชื่อว่า Picture Area ภายในมี Picture Box Control ใช้สำหรับแสดงผลภาพที่ประมวลผลแล้วเมื่อมีการกดปุ่ม Display Picture
- 3.4 Progress Bar Control ใช้สำหรับแสดงความก้าวหน้าในการ Process ข้อมูลภาพเพื่อแสดงผลภาพออกหน้าจอ แต่จะถูกแสดงเมื่อกดปุ่ม Display Picture

3.5 Command Button ที่ชื่อว่า Back ใช้สำหรับกลับไปทำงานใหม่ยัง Form ก่อนหน้านี้

3.6 Command Button ที่ชื่อว่า Exit ใช้สำหรับการออกจากโปรแกรม

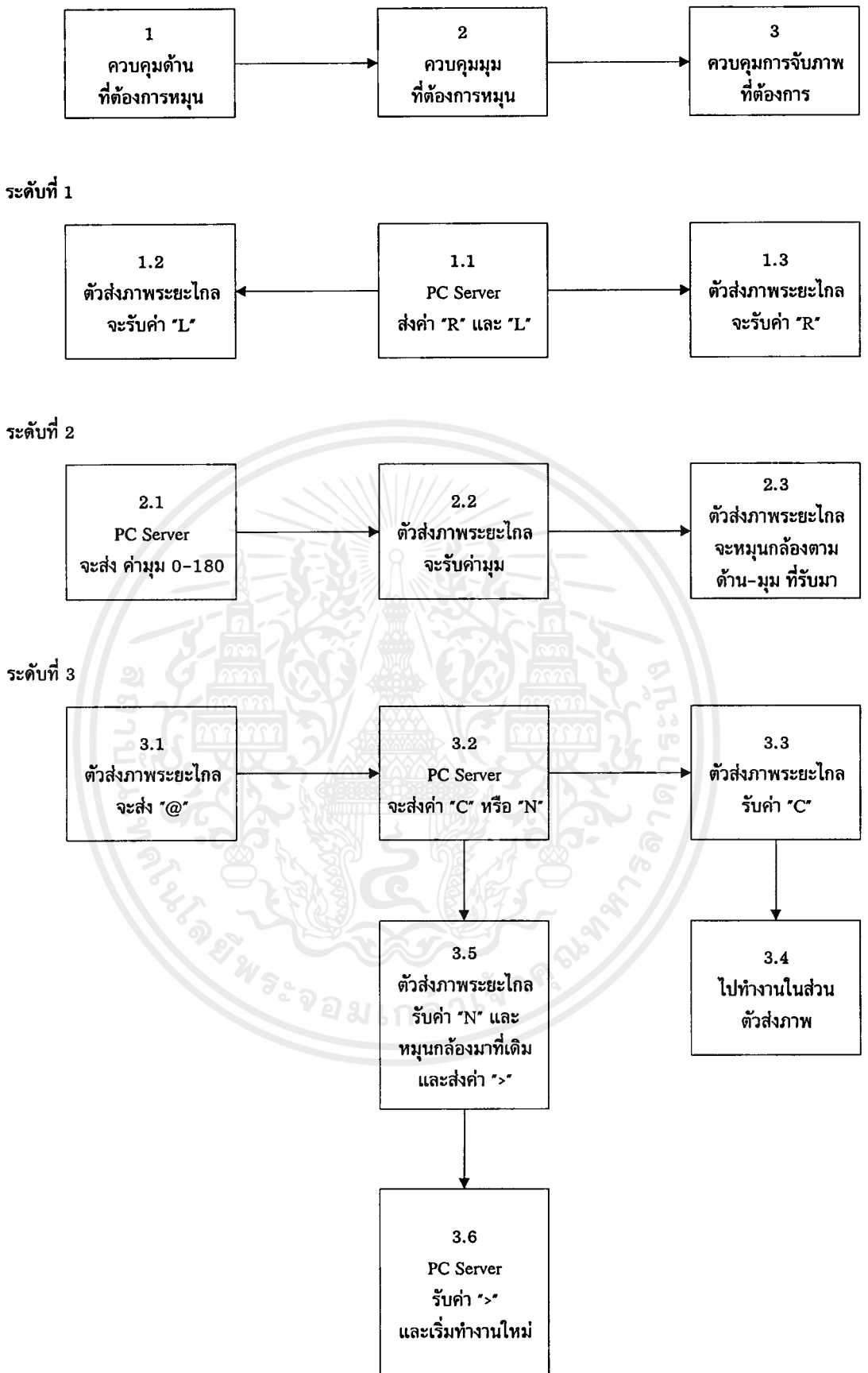
3.7 Label แสดงสถานะขณะทำการ Upload ข้อมูล, ขณะเมื่อ Upload เสร็จ และขณะแสดงภาพเสร็จพร้อมกับการทำการ Save ภาพนั้น

### 3.2.2 การออกแบบซอฟต์แวร์ในส่วนของตัวควบคุมกล้อง CCD (Scanner)

ลักษณะขั้นตอนการทำงานของซอฟต์แวร์ในส่วนของตัวควบคุมกล้อง CCD (Scanner) จะสามารถอธิบายบล็อกไดอะแกรมดังรูปที่ 3.9 ได้ว่าตัวส่งภาพระยะไกลจะรอรับแอสกี ("L" หรือ "R" และรอรับค่ามุมที่ต้องการจาก PC Server เพื่อควบคุมให้กล้อง CCD หมุนไปทางซ้ายหรือทางขวาตามจำนวนมุมที่ต้องการซึ่งก็คือการควบคุมเฟสของ Stepping Motor ให้เปลี่ยนแปลงไป ในส่วนนี้เราสามารถควบคุมให้กล้อง CCD หมุนได้ในระดับองศาซึ่งมีชุดเฟืองในการช่วยเพิ่มความละเอียดในส่วนนี้คือทางซ้าย (0-180) หรือทางขวา (0-180) เมื่อกำลังหมุนมาถึงมุมที่กำหนดตัวส่งภาพระยะไกลจะส่งแอสกี "@" มาให้ PC Server จากนั้น ตัวส่งภาพระยะไกลจะรอรับแอสกี "C" หรือ "N" ถ้าเป็น "C" ไปทำในส่วน Capture เพื่อทำการเก็บภาพ ถ้าเป็น "N" ไปทำในส่วน Cancel กล้องจะหมุนกลับมาที่ตำแหน่งเริ่มต้นและจะส่งแอสกี ">" มาให้ PC Server เมื่อกำลังหมุนกลับมายังตำแหน่งเดิม เพื่อให้ PC Server วนกลับไปส่ง "L" หรือ "R" และค่ามุมมาใหม่ จะสามารถเขียนเป็นบล็อกไดอะแกรมดังรูปที่ 3.9

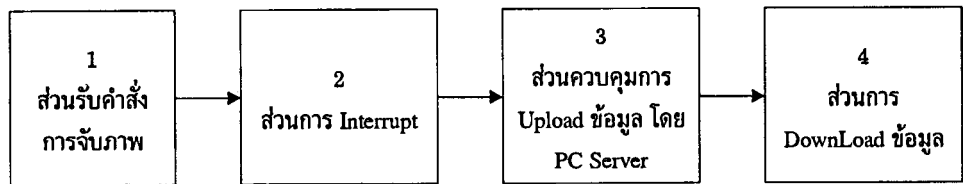
### 3.2.3 การออกแบบซอฟต์แวร์ในส่วนของตัวส่งภาพ (Digitizer)

ลักษณะขั้นตอนการทำงานของซอฟต์แวร์ในส่วนของตัวส่งภาพ (Digitizer) จากบล็อกไดอะแกรมดังรูปที่ 3.10 จะสามารถอธิบายได้ว่า ตัวส่งภาพระยะไกลจะรอรับแอสกี "C" จาก PC Server จากนั้นตัวส่งภาพระยะไกลจะส่งแอสกี "!" เพื่อบอกว่าพร้อมจะเก็บภาพแล้ว จะมีการเซต Interrupt และรอการ Interrupt ถ้าถูก Interrupt ครั้งที่ 1 สัญญาณข้อมูลจะถูกเขียนลง SRAM และตัวส่งภาพระยะไกลจะรอการ Interrupt ครั้งที่ 2 เพื่อหยุดการ Interrupt (Clear Interrupt) และหยุดการเขียนสัญญาณข้อมูลลง SRAM จากนั้นจะรอรับแอสกี "U" เพื่อทำการโหลดข้อมูลจำนวน 256 Bytes \* 280 เส้น (1 เส้นต่อ 256 Bytes แต่ละเส้นจะปิดด้วย "#") จากตัวส่งภาพระยะไกลมาให้กับ PC Server เพื่อประมวลผลต่อไป จะสามารถเขียนเป็นบล็อกไดอะแกรมดังรูปที่ 3.10

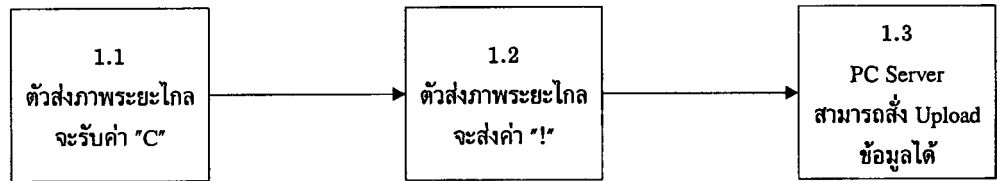


รูปที่ 3.9 แสดงบล็อกไดอะแกรมของส่วนควบคุมกล้อง CCD

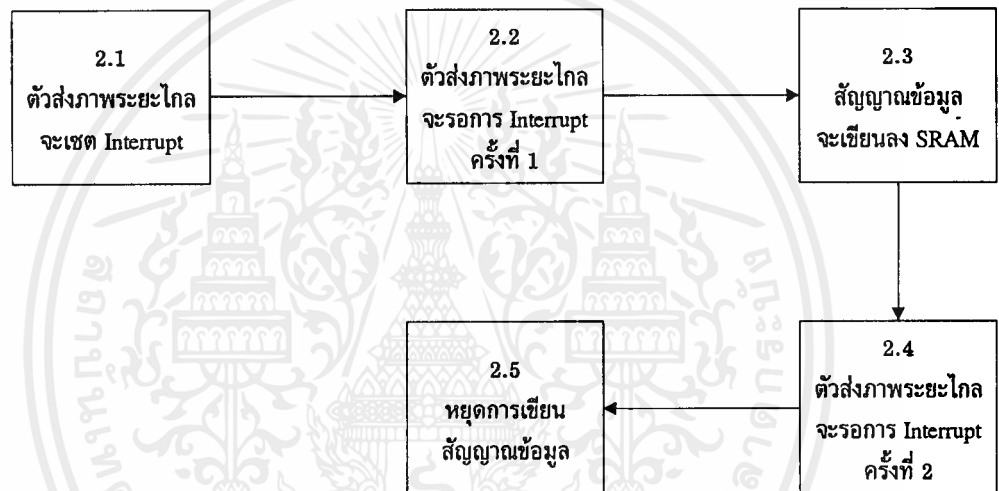
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



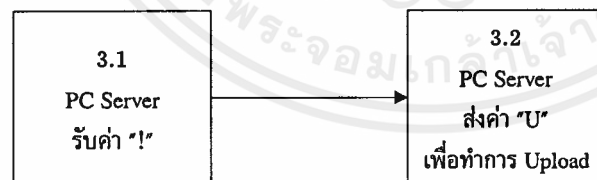
## ระดับที่ 1



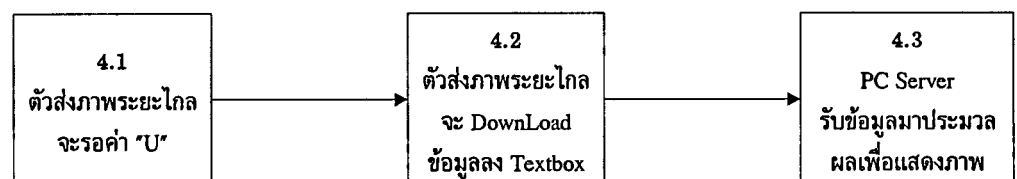
## ระดับที่ 2



## ระดับที่ 3



## ระดับที่ 4



รูปที่ 3.10 แสดงบล็อกไดอะแกรมของส่วนตัวส่งภาพ

### 3.3 การออกแบบส่วนการติดต่อสื่อสารข้อมูลผ่านโมเด็ม

การติดต่อสื่อสารจำเป็นต้องเลือกใช้อุปกรณ์สื่อสารในที่นี้เราจะใช้โมเด็ม ดังนั้นจะต้องมีการเซตโมเด็มให้ติดต่อกันโดยใช้จำนวนสายน้อยที่สุดคือ 3 เส้น ในที่นี้จะมีการต่อขาสัญญาณบางคู่เข้าด้วยกันและการเปลี่ยนแปลงค่ารีจิสเตอร์ในหน่วยความจำของโมเด็ม ซึ่งจะทำให้ได้โดยใช้โปรแกรมสื่อสาร X-Talk ประกอบกับคำสั่งของ Hayes Command หรือที่เรียกว่า AT Command ซึ่งมีขั้นตอนดังนี้

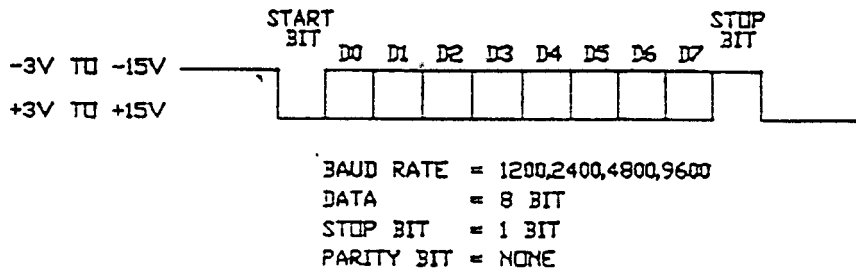
#### โมเด็มตัวส่งที่ต่อกับ PC Server

1. ATE1 ^M                      ECHO ON
2. AT&C0 ^M                    ON เสมอไม่ว่าโมเด็มจะออนไลน์หรือไม่ก็ตาม
3. AT&D0 ^M                    ไม่รับรู้สัญญาณ DTR
4. AT&W0 ^M                    ให้เก็บข้อมูลการเซตจาก Active Profile ลงใน User Profile 0
5. AT&Y0                        ให้เรียก User Profile 0 มาเก็บไว้ใน Active Profile หลังจากเปิดเครื่อง

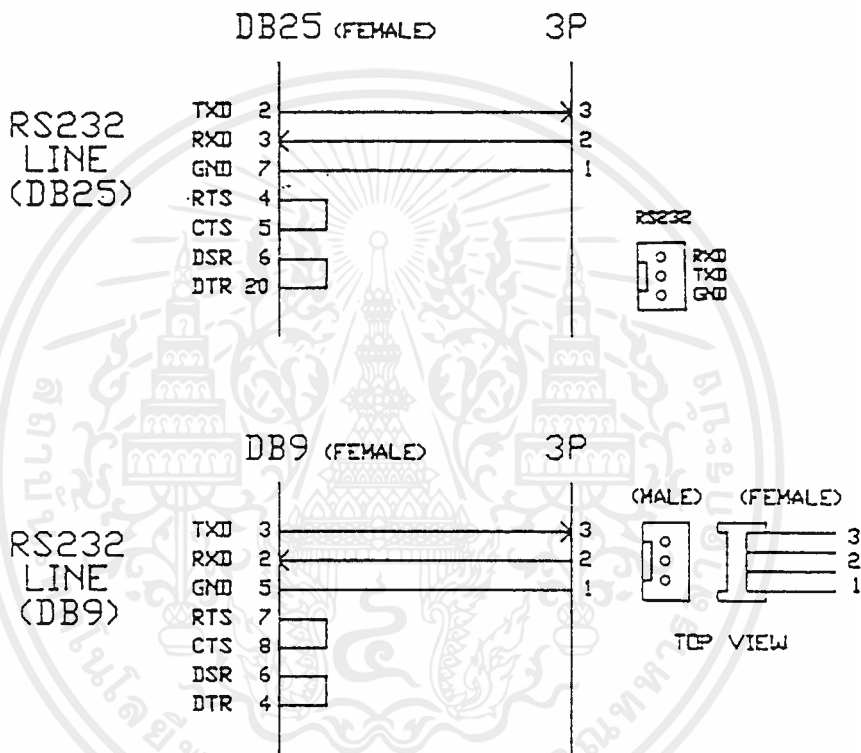
#### โมเด็มตัวรับที่ต่อกับตัวส่งภาพระยะไกล

1. ATE0 ^M                      ECHO OFF
2. ATS0=3 ^M                    รอสัญญาณโทรศัพท์ 3 ครั้ง
3. AT&C0 ^M                    ON เสมอไม่ว่าโมเด็มจะออนไลน์หรือไม่ก็ตาม
4. AT&D0 ^M                    ไม่รับรู้สัญญาณ DTR
5. AT&W0 ^M                    ให้เก็บข้อมูลการเซตจาก Active Profile ลงใน User Profile 0
6. AT&Y0                        ให้เรียก User Profile 0 มาเก็บไว้ใน Active Profile หลังจากเปิดเครื่อง

เมื่อเราทำการเปลี่ยนแปลงค่ารีจิสเตอร์ในโมเด็มแล้ว เมื่อเราทำการติดต่อโมเด็มต้นทางกับปลายทางผ่านทางสายโทรศัพท์ขององค์การโทรศัพท์ โมเด็มปลายทางจะรอรับสัญญาณติดต่อกับ 3 ครั้ง (จากการตั้งค่า) จากนั้นโมเด็มทั้งสองจะต่อถึงกันโดยโมเด็มปลายทางจะส่งสัญญาณติดต่อกับโมเด็มต้นทาง และโมเด็มต้นทางที่ต่ออยู่กับ PC Server จะส่งคำว่า Connected By 9600,n,8,1 มาให้กับ PC Server และ PC Server จะทำการรับ-ส่งข้อมูลกับตัวส่งภาพระยะไกลผ่านทางโมเด็ม ซึ่งสัญญาณข้อมูลที่ผ่าน RS-232 จะแสดงได้ดังรูปที่ 3.11 เมื่อจะหยุดรับ-ส่งข้อมูลจะทำการวางหูโทรศัพท์โดยการปิดพอร์ตของ PC Server โมเด็มจะตัดสัญญาณการติดต่อซึ่งลักษณะการต่อสายของข้อต่อ DB-9 หรือ DB-25 เป็นดังรูปที่ 3.12



รูปที่ 3.11 แสดงสัญญาณข้อมูลทีผ่าน RS-232



รูปที่ 3.12 แสดงการต่อสายของข้อต่อ DB-9 หรือ DB-25

## บทที่ 4

### ผลการทดลองวิจัย

ในการทดลองวิจัยโครงการนี้เนื่องจากประกอบด้วยส่วนต่างๆ หลายส่วนเราจึงได้ทำการแบ่งการทดลองวิจัยออกเป็น 3 ส่วนใหญ่ ซึ่งจะได้ตรวจสอบข้อผิดพลาดและแก้ไขได้ง่าย แต่แต่ละส่วนมีผลการทดลองวิจัยดังนี้

#### 1. ผลการทดลองในส่วนการติดต่อสื่อสารข้อมูล

เราสามารถติดต่อกับส่วนควบคุมกล้อง CCD และส่วนตัวส่งภาพได้ โดยการติดต่อสื่อสารจะยึดมาตรฐาน EIA-232 ในการรับ-ส่งข้อมูล ซึ่งผลทดลองวิจัยจะสามารถทำงานได้ทั้งต่อโมเด็ม (ถ้าติดต่อระยะไกล) หรือไม่ต่อโมเด็ม (ถ้าไม่ติดต่อระยะไกล) ถ้าขั้นตอนนี้เกิดผิดพลาดจะทำให้ไม่สามารถทำงานในส่วนอื่นต่อไปได้ ซึ่งจะได้อธิบายขั้นตอนการทำงานโดยละเอียดในภาคผนวก

#### 2. ผลการทดลองในส่วนตัวควบคุมกล้อง CCD (Scanner)

ในส่วนนี้เราสามารถควบคุมกล้อง CCD ซึ่งติดอยู่กับ Stepping Motor ซึ่งเราใช้ IC ULN2003 แทนการใช้ทรานซิสเตอร์ในการขับ Stepping Motor เราสามารถควบคุมกล้อง CCD ติดต่อผ่านโมเด็ม (ระยะไกล) ในทิศทางมุมต่างๆ ได้ในระดับองศา โดยสามารถควบคุมกล้อง CCD ให้หมุนทางซ้ายหรือทางขวา ในมุมตั้งแต่ 0-180 องศา ซึ่งจะอธิบายขั้นตอนการทำงานโดยละเอียดในภาคผนวก

#### 3. ผลการทดลองในส่วนตัวส่งภาพ (Digitizer)

ส่วนนี้สามารถโหลดข้อมูลสัญญาณภาพจากตัวส่งภาพระยะไกลมาให้กับ PC Server เมื่อมีการเก็บภาพในขณะที่กล้องหมุนไปถึงมุมที่ต้องการเก็บภาพ และ PC Server จะประมวลผลจัดเก็บอยู่ในรูปแบบ File.BMP, File.JPG (ในที่นี้จะจัดเก็บอยู่ในรูปแบบ File.JPG เพราะใช้เนื้อที่น้อยกว่ารูปแบบ File.BMP) ข้อมูลสัญญาณภาพที่เก็บและจากการประมวลผลจาก PC Server จะมีความละเอียดของภาพเท่ากับ (256 จุด (Pixels) / เส้น X 280 เส้น) รูปต่างๆ แสดงได้ดังรูปที่ 4.3 ในที่นี้เราจะเก็บข้อมูลสัญญาณภาพในฟิลด์คู่หรือฟิลด์คี่เท่านั้นขึ้นอยู่กับจังหวะของการ Interrupt

ผลการทดลองวิจัยทั้งหมดนี้ปัญหาส่วนใหญ่ที่เกิดขึ้นคือการประมวลผลล่าช้าเพราะวิธีการส่งข้อมูลสัญญาณภาพและการประมวลผล โปรแกรมส่วน PC Server ที่ทำงานบน Windows แต่ส่วนต่างๆ ทำงานประสานกันได้ดีมีข้อผิดพลาดน้อย ข้อมูลสัญญาณภาพที่ส่งจากตัวส่งภาพระยะไกลมาให้กับ PC Server โดยข้อมูลสัญญาณภาพ (1 Byte) ซึ่งจะประกอบไปด้วยแอสกี 2 ตัว มีค่าตั้งแต่ 00H (ระดับสีดำ) ถึง 3FH (ระดับสีขาว) โดยแบ่งเป็น 64 ระดับ ซึ่งเรียกว่าระดับเกรย์สเกล ดังในรูปที่ 4.1 ในที่นี้เป็นสัญญาณข้อมูล 1 เส้นภาพ (256 จุด) จะเห็นว่าข้อมูล 1 จุดภาพจะมีแอสกี 2 ตัว

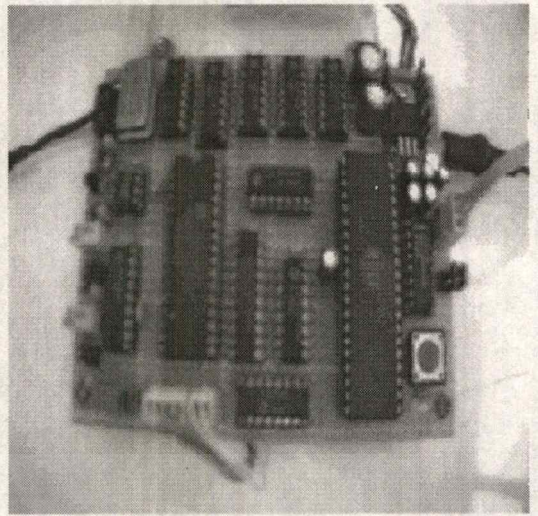
ดังนั้น 1 เส้นภาพจะมีแอสกี 256\*2 ตัว เมื่อ PC Server ประมวลผลจะเสียเวลามากกว่าการประมวล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

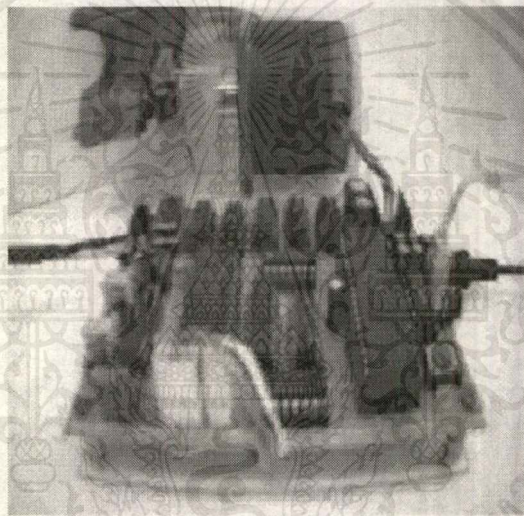




ภาพแสดงผู้ทำโครงการตัวส่งภาพระยะไกล



ภาพแสดงวงจรของตัวส่งภาพระยะไกล



ภาพแสดงตัวส่งภาพระยะไกล

รูปที่ 4.3 แสดงภาพต่างๆ ที่ได้จากการทดลองวิจัย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 5

### สรุปผลการทดลองวิจัยและแนวทางการพัฒนา

โครงการนี้สามารถควบคุมกล้อง CCD ในทิศทางมุมต่างๆ ได้ในระดับองศา โดยสามารถควบคุมกล้อง CCD ให้หมุนทางซ้ายหรือทางขวาในมุมตั้งแต่ 0-180 องศา และสามารถเก็บข้อมูลสัญญาณภาพลงใน SRAM โดยใช้อัตราการแซมปลิงสัญญาณ 5 MHz สำหรับ A/D CA3306 (ความละเอียด 6 Bits) โดยความละเอียดของภาพเท่ากับ (256 จุด (Pixels) / เส้น \* 280 เส้น) ซึ่งสามารถเลือกควบคุมการรับ-ส่งข้อมูลระยะไกลผ่านโมเด็มมายัง PC Server ได้ซึ่งในการส่งถ่ายข้อมูลนี้ไม่มีการเช็คข้อผิดพลาด เพราะเราต้องการความไวในการส่งถ่ายข้อมูลเพื่อให้เป็นเวลาจริงมากที่สุด (Real Time) และ PC Server สามารถประมวลผลเป็นภาพและเก็บบันทึกเป็น File.BMP, File.JPG

ปัญหาที่เกิดขึ้นในการทำโครงการ

1. การรับ-ส่งข้อมูลจะมีอัตราเร็วสูงสุดที่ 9600 บิต/วินาที เท่านั้น ถ้าสูงกว่านี้เครื่องคอมพิวเตอร์จะรับไม่ทันและจะประมวลผลผิดพลาด
2. ในการส่งถ่ายข้อมูลไม่มีการบีบอัดข้อมูลก่อนทำการส่ง ดังนั้นการส่งถ่ายจึงช้า
3. การประมวลผลของข้อมูลสัญญาณภาพช้า เนื่องจากในที่นี้ใช้โปรแกรม Visual Basic ซึ่งทำงานบน Windows (การทำงานบน Windows จะช้ากว่าการทำงานบน Dos) แต่จะช่วยสนับสนุนงานทางด้านกราฟฟิกซึ่งมีประโยชน์กับการทำ User Interface (การติดต่อกับผู้ใช้) อย่างมาก

แนวทางในการพัฒนาโครงการ

ทำการบีบอัดข้อมูลก่อนทำการส่งเพื่อจะช่วยให้การส่งถ่ายเร็วขึ้นหรือแปลงข้อมูลเป็นรูปแบบ (Format BMP หรือ JPEG) เมื่อส่งถ่ายมายัง PC Server จะได้ไม่ต้องเสียเวลาในการประมวลผลมาก

## เอกสารอ้างอิง

- 1.FEUCHT,D.L. , **HANDBOOK OF ANALOG CIRCUIT DESIGN**, pp.659-660,  
ACADEMIC PRESS,INC., USA,1990.
- 2.LOUZON P. , **USING HARRIS HIGH SPEED A/D CONVERTERS**, APPLICATION  
NOTE HARRIS DATA ACQUISITION, no.AN9214.2, october,1993
- 3.PEI AN , **HIGH-SPEED ANALOGUE CAPTURE**, ELECTRONICS WORLD, vol 103,  
no.1729, january, 1997.
- 4.สุทธิศักดิ์ พงษ์ธนาพาณิช , **Visual BASIC 4.0 Professional**, บริษัทซีเอ็ดยูเคชั่น จำกัด (มหาชน),  
2538.
- 5.STEVE CIARCIA, **The Best of Ciarcia's Circuit Cellar**, McGRAW-HILL, INC, 1992.
- 6.สุรชัย เพิ่มสิน, **การสื่อสารข้อมูลด้วยระบบ MODEM**, บริษัทซีเอ็ดยูเคชั่น จำกัด (มหาชน), 2538.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ส่วนตัวส่งภาพระยะไกล

```

                ORG    0000H
SVER_INT0      EQU    00H
EOS            EQU    10H
CR             EQU    0DH
LF             EQU    0AH
END_LINE      EQU    20H
ASCII_0       EQU    30H
TEXT          EQU    31H
DATA          EQU    32H
LINE          EQU    33H
DATA_LEFT     EQU    34H
DATA_RIGHT    EQU    35H
CHK_BACK      EQU    36H
                LJMP   MAIN
;*****
                ORG    0003H                ;INT0 INTERRUPT VECTOR HERE
                LJMP   SVER_INT
;*****
SVER_INT:      JB     SVER_INT0,JMP_DOWNLOAD
                LCALL  DELAY_CAPTURE
                CLR    P3.3                ;SELECT = LOW WRITE DATA TO SRAM
                SETB   P3.5                ;START COUNTER
                SETB   SVER_INT0
                RETI
;*****
JMP_DOWNLOAD: CLR    EA
                CLR    IT0
                CLR    EX0
                LJMP   DOWN_LOAD
;*****
MAIN:          MOV    SP,#50H
                MOV    P2,#00000000B
                LCALL  INT
                MOV    ASCII_0,#48
                CLR    SVER_INT0
                SETB   P3.4                ;OFF LED GREEN
                SETB   P3.6                ;OFF LED RED
CHECK:         LCALL  RECEIVE
                CJNE   A,#'c',CHK_RIGHT
                MOV    CHK_BACK,#00H
```

```

MOV    CHK_BACK,#c'
LCALL  CAPTURE
CHK_RIGHT: CJNE  A,#r',CHK_LEFT
LJMP   RIGHT
CHK_LEFT: CJNE  A,#l',CHECK
LJMP   LEFT
;*****
CAPTURE: MOV    A,#l'
LCALL  SEND
MOV    ASCII_0,#48
CLR    SVER_INT0
CLR    P3.5          ;CLEAR COUNTER
SETB   EA
SETB   IT0
SETB   EX0
JMP    CHECK
;*****
RIGHT:  CLR    P3.6          ;ON LED RED
MOV    CHK_BACK,#00H
LCALL  RECEIVE
SUBB   A,ASCII_0
MOV    DATA_RIGHT,A
LCALL  RETURN_R
MOV    P2,#00000000B
MOV    A,#@'
LCALL  SEND
MOV    CHK_BACK,#r'
CHK_CR: LCALL  RECEIVE
CJNE  A,#c',CHK_NOR
LJMP  CAPTURE
CHK_NOR: LCALL  RECEIVE
CJNE  A,#n',CHK_CR
BACK_RIGHT: MOV    A,DATA_RIGHT
LCALL  RETURN_L
MOV    A,#>'
LCALL  SEND
SETB   P3.6          ;OFF LED RED
MOV    P2,#00000000B
RETI
;*****
LEFT:  CLR    P3.6          ;ON LED RED
MOV    CHK_BACK,#00H
LCALL  RECEIVE

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

SUBB  A,ASCII_0
MOV   DATA_LEFT,A
LCALL RETURN_L
MOV   P2,#00000000B
MOV   A,#'@'
LCALL SEND
MOV   CHK_BACK,#'I'
CHK_CL:  LCALL RECEIVE
        CJNE  A,#'c',CHK_NOL
        LJMP  CAPTURE
CHK_NOL:  LCALL RECEIVE
        CJNE  A,#'n',CHK_CL
BACK_LEFT:  MOV   A,DATA_LEFT
        LCALL RETURN_R
        MOV   A,#'>'
        LCALL SEND
        SETB  P3.6           ;OFF LED RED
        MOV   P2,#00000000B
        RETI
;*****
DOWN_LOAD:  SETB  P3.3           ;SELECT = HIGH READ DATA FROM SRAM
            CLR   P3.5           ;CLEAR COUNTER
            CLR   P3.4           ;ON LED GREEN
            SETB  P3.5           ;START COUNTER

UP_LOAD:   MOV   TEXT,#07
            LCALL RECEIVE
            CJNE  A,#'u',UP_LOAD
            LCALL BEGIN
            CLR   END_LINE
            LCALL LOAD_DATA
            DJNZ  TEXT,UP_LOAD
            SETB  P3.4           ;OFF LED GREEN

CHK_AGAIN:  MOV   A,CHK_BACK
            CJNE  A,#'c',CHK_R
            LJMP  CHK_RETI
CHK_R:     CJNE  A,#'r',CHK_L
            LJMP  BACK_RIGHT
CHK_L:     CJNE  A,#'l',CHK_RETI
            LJMP  BACK_LEFT
CHK_RETI:  RETI
;*****

```

```

LOAD_DATA:  MOV    LINE,#40
            MOV    DATA,#256

LOAD:       SETB   P3.7           ;CLOCK = H
            CLR    P3.7           ;CLOCK = L

            CLR    A
            MOV    A,P1
            ANL    A,#00111111B
            CJNE   A,#00H,LOAD1
            LJMP   LOAD

LOAD1:      CJNE   A,#01H,LOAD2
            LJMP   LOAD

LOAD2:      CJNE   A,#02H,LOOP_DATA
            LJMP   LOAD

LOOP_DATA:  SETB   P3.7           ;CLOCK = H
            CLR    P3.7           ;CLOCK = L

            CLR    A
            MOV    A,P1
            ANL    A,#00111111B
            LCALL  SEND_ASCII
            DJNZ   R6,LOOP_DATA
            CLR    END_LINE
            LCALL  BEGIN

L_CHK:     SETB   P3.7           ;CLOCK = H
            CLR    P3.7           ;CLOCK = L

            CLR    A
            MOV    A,P1
            ANL    A,#00111111B
            CJNE   A,#00H,L_D1
            LJMP   L_DD

L_D1:      CJNE   A,#01H,L_D2
            LJMP   L_DD

L_D2:      CJNE   A,#02H,L_GO

L_DD:      JB     END_LINE,L_CHK
            MOV    A,##
            LCALL  SEND
            SETB   END_LINE
            CPL    P3.4           ;ON/OFF LED GREEN
            LJMP   L_CHK

L_GO:      MOV    DATA,#256
            DJNZ   LINE,LOOP_DATA
            RET

;*****
RETURN_R:   MOV    R0,A

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ประการใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

MOV DPTR,#TABLE
LOOP_R: MOV R3,#07
MAIN_R: MOV R1,#04
MOV R2,#00
SEND_R: MOV A,R2
MOVC A,@A+DPTR
MOV P2,A
LCALL DELAY_STEP
INC R2
DJNZ R1,SEND_R
DJNZ R3,MAIN_R
CPL P3.6 ;ON/OFF LED RED
DJNZ R0,LOOP_R
RET

```

\*\*\*\*\*

```

RETURN_L: MOV R0,A
MOV DPTR,#TABLE
LOOP_L: MOV R3,#07
MAIN_L: MOV R1,#04
MOV R2,#03
SEND_L: MOV A,R2
MOVC A,@A+DPTR
MOV P2,A
LCALL DELAY_STEP
DEC R2
DJNZ R1,SEND_L
DJNZ R3,MAIN_L
CPL P3.6 ;ON/OFF LED RED
DJNZ R0,LOOP_L
RET

```

\*\*\*\*\*

```

INIT: MOV SCON,#01010010B
MOV TMOD,#00100000B
MOV TH1,#0FDH
SETB TR1
RET

```

\*\*\*\*\*

```

BEGIN: SETB P3.7 ;CLOCK = H
CLR P3.7 ;CLOCK = L
CLR A
MOV A,P1
ANL A,#00111111B
CJNE A,#00H,BEGIN

```

```

RET
;
;*****
SEND_ASCII:   ADD    A,#30H
              LCALL  SEND
              RET
;
;*****
;RECEIVE RECIVE BYTE PUT TO AFROM SERIAL PORT
;WAIT UNTIL RECIVER BUFFER READY
RECEIVE:     JNB    RI,$
              CLR   RI
              MOV   A,SBUF
              LCALL  SEND
              RET
;
;*****
;RECEIVE RECEIVE BYTE WITE NO ECHO
RECEIVE:     JNB    RI,$
              CLR   RI
              MOV   A,SBUF
              RET
;
;*****
;SEND SEND A TO SERIAL PORT
;CHECK TRANSMITTER BUFFER BEFORE SEND
SEND:        JNB    TI,$
              CLR   TI
              MOV   SBUF,A
              RET
;
;*****
DELAY_CAPTURE: MOV   R7,#03
DE_CAPTURE:   MOV   R6,#212
              DJNZ  R6,$
              DJNZ  R7,DE_CAPTURE
              RET
;
;*****
DELAY_STEP:   MOV   R7,#0FFH
DE_STEP:      MOV   R6,#10
              DJNZ  R6,$
              DJNZ  R7,DE_STEP
              RET
;
;*****
DELAY_RETURN: MOV   R5,#200H
DE_RETURE:    MOV   R4,#20H
              LCALL  DELAY_STEP
              DJNZ  R4,$

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DJNZ R5,DE\_RETURE

RET

.....  
TABLE: DB 00001000B,00000100B,00000010B,00000001B  
.....

END



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ส่วนการติดต่อสื่อสารข้อมูล

```
Dim port As Integer
```

```
Private Sub Command1_Click()
```

```
Scannerform.Show
```

```
End Sub
```

```
Private Sub Command2_Click()
```

```
Wellcomeform.Comm1.PortOpen = False
```

```
Unload Me
```

```
End Sub
```

```
Private Sub Command3_Click()
```

```
Wellcomeform.Comm1.Output = Chr$(128) + Chr$(81)
```

```
Wellcomeform.Comm1.Output = Chr$(27)
```

```
Wellcomeform.Comm1.Output = "ATH" + Chr$(13)
```

```
End Sub
```

```
Private Sub MDIForm_Load()
```

```
Text2.Visible = False
```

```
Option1 = Empty
```

```
Option2 = Empty
```

```
Option1.Enabled = True
```

```
Option2.Enabled = True
```

```
Option3.Enabled = False
```

```
Option4.Enabled = False
```

```
Command1.Enabled = False
```

```
Command2.Enabled = False
```

```
End Sub
```

```
Private Sub Option1_Click()
```

```
Wellcomeform.Comm1.CommPort = 1
```

```
Wellcomeform.Comm1.Settings = "9600,N,8,1"
```

```
Wellcomeform.Comm1.PortOpen = True
```

```
Option2.Enabled = False
```

```
Option1.Enabled = False
```

```
Command1.Enabled = False
```

```
Command2.Enabled = True
```

```
Option3.Enabled = True
```

```
Option4.Enabled = True
```

```
End Sub
```

```
Private Sub Option2_Click()
```

```
Wellcomeform.Comm1.CommPort = 2
```

```
Wellcomeform.Comm1.Settings = "9600,N,8,1"
```

```
Wellcomeform.Comm1.PortOpen = True
```

```
Option1.Enabled = False
```

```
Option2.Enabled = False
```

```
Command1.Enabled = False
```

```
Command2.Enabled = True
```

```
Option3.Enabled = True
```

```
Option4.Enabled = True
```

```
End Sub
```

```
Private Sub Option3_Click()
```

```
Text2.Visible = True
```

```
Text2.Enabled = True
```

```
Option4.Enabled = False
```

```
Option3.Enabled = False
```

```
Command1.Enabled = False
```

```
End Sub
```

```
Private Sub Option4_Click()
```

```
Text2.Visible = False
```

```
Option3.Enabled = False
```

```
Option4.Enabled = False
```

```
Command1.Enabled = True
```

```
End Sub
```

```
Private Sub Text2_KeyPress(KeyAscii As Integer)
```

```
Dim Response, check As String
```

```
Dim i As Integer
```

```
If KeyAscii = 13 Then
```

```
Wellcomeform.Comm1.Output = "ATDT" + CStr  
(Text2.Text) + Chr$(13)
```

```
Label6.BackColor = "&H000000FF"
```

```
Label6.Caption = " Wait Connected "
```

```
Text2.Enabled = False
```

```
Text1.Enabled = True
```

```
Command2.Enabled = False
```

```
i = 0
```

```
Text1.Text = ""
```

```
Do
```

```
DoEvents
```

```
Response = Wellcomeform.Comm1.Input
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
If Response <> "" Then
    i = i + 1
    Text1.Text = Text1.Text + Response
    Response = ""
End If
If Len(Text1.Text) = 23 Then
    Label6.BackColor = "&H0000FF00"
    Label6.Caption = "Connected By 9600,n,8,1"
    Text1.Text = "Connected By 9,600,n,8,1"
Exit Do
End If
Loop While (i <> 6)
Command1.Enabled = True
Command2.Enabled = True
Command1.SetFocus
End If
End Sub
```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ทำกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ส่วนการควบคุมกล้อง CCD (Scanner)

```
Dim LR As String

Private Sub Command1_Click()
Dim Instring As String
Dim i%

Wellcomeform.Comm1.Output = "c"
NotDegreeButton
Option4 = Empty
Option3 = Empty
Text1.Text = Empty
Do
DoEvents
Instring$ = Wellcomeform.Comm1.Input
If Instring$ = "!" Then
Unload Me
Downloadform.Show
Exit Do
End If
Loop
End Sub

Private Sub Command2_Click()
Dim Instring As String
Command1.Enabled = False
Command2.Enabled = False
Wellcomeform.Comm1.Output = "n"
Wellcomeform.Comm1.Output = "n"
Label2.BackColor = "&H00FFC0C0"
Label2.Caption = "โปรดรอสักครู่ กล้องกำลังหมุนกลับไป
ยังตำแหน่งเริ่มต้น"
Do
DoEvents
Instring$ = Wellcomeform.Comm1.Input
If Instring$ = ">" Then
Command1.Enabled = True
Command4.Enabled = True
Option3.Enabled = True
Option4.Enabled = True
Option3 = Empty
Option4 = Empty
Text1.Text = Empty
NotDegreeButton
Label2.Caption = ""
Label2.Visible = False
Exit Do
End If
Loop
End Sub

Private Sub Command3_Click()
Data1.Recordset.Bookmark = DBCombo1.SelectedItem
Data1.Recordset.Delete
DBCombo1.ReFill
'DBCombo1.Text = Data1.Recordset.
Picture1.Picture = LoadPicture("d:/bmp/" +
DBCombo1.Text + ".jpg")
End Sub

Private Sub Command4_Click()
Unload Me
Wellcomeform.Show
End Sub

Private Sub Data1_Validate(Action As Integer, Save As
Integer)
DBCombo1.DataChanged = False
End Sub

Private Sub DBCombo1_Click(Area As Integer)
If DBCombo1.DataChanged = True Then
Picture1.Picture = LoadPicture("d:/bmp/" +
DBCombo1.Text + ".jpg")
End If
End Sub

Private Sub Form_Activate()
Picture1.Picture = LoadPicture("d:/bmp/" +
DBCombo1.Text + ".jpg")
End Sub

Private Sub Form_Load()
Command1.Enabled = True
Command2.Enabled = False
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

Command4.Enabled = True
Option4 = Empty
Option3 = Empty
Text1.Text = Empty
For i = 0 To 5
    Option5(i) = Empty
    Option5(i).Enabled = False
Next i
End Sub

Private Sub Option3_Click()
    Command1.Enabled = False
    Command4.Enabled = False
    LR = "ซ้าย"
    Wellcomeform.Comm1.Output = "r"
    Text1.Enabled = True
    Text1.SetFocus
    Text1.Text = Empty
    Option4.Enabled = False
    Option3.Enabled = False
    DegreeButton
End Sub

Private Sub Option4_Click()
    Command1.Enabled = False
    Command4.Enabled = False
    LR = "ขวา"
    Wellcomeform.Comm1.Output = "l"
    Text1.Enabled = True
    Text1.SetFocus
    Text1.Text = Empty
    Option3.Enabled = False
    Option4.Enabled = False
    DegreeButton
End Sub

Private Sub Option5_Click(Index As Integer)
    Dim OutStr As Integer
    AfterClickDegree (Index)
    Index = Index + 1
    Text1.Text = CStr(30 * Index)
    Text1.Enabled = False
    OutStr = 48 + (30 * Index)
    Wellcomeform.Comm1.Output = Chr$(OutStr)
    Label2.Visible = True
    Label2.BackColor = "&H00FFC0C0"
    Label2.Caption = "กำลังหมุนไปทาง" + LR + "ที่ " +
    Text1.Text + " องศา"
    Option5(Index - 1).Enabled = False
    Rotate
End Sub

Private Sub Text1_KeyPress(KeyAscii As Integer)
    Dim x%
    If KeyAscii = 13 Then
        x = 1
        For x = 1 To 180
            If Text1.Text = CStr(x) Then
                Wellcomeform.Comm1.Output = Chr$(48 + x)
                Label2.Visible = True
                Label2.BackColor = "&H00FFC0C0"
                Label2.Caption = "กำลังหมุนไปทาง" + LR + "ที่"
                + CStr(x) + " องศา"
                Exit For
            End If
        Next x%
        Text1.Enabled = False
        NotDegreeButton
        Rotate
    End If
End Sub

Public Sub AfterClickDegree(N As Integer)
    Dim i As Integer
    For i = 0 To 5
        If i <> N Then
            Option5(i).Enabled = False
        End If
    Next i%
End Sub

Public Sub Rotate()
    Dim Rotate$
    Do
        DoEvents
        Rotate$ = Wellcomeform.Comm1.Input

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

Loop Until Rotate$ = Chr(64)
If Rotate$ = Chr(64) Then
    Command1.Enabled = True
    Command2.Enabled = True
    Command4.Enabled = False
    Label2.BackColor = "&H00FFC0C0"
    Label2.Caption = "ถ้าต้องการ Capture ภาพ Click ที่
ปุ่ม Capture"
End If
End Sub

```

```
Public Sub DegreeButton()
```

```
Dim i As Integer
```

```
For i = 0 To 5
```

```
Option5(i).Enabled = True
```

```
Next i%
```

```
End Sub
```

```
Public Sub NotDegreeButton()
```

```
Dim i As Integer
```

```
For i = 0 To 5
```

```
Option5(i).Enabled = False
```

```
Option5(i) = Empty
```

```
Next i%
```

```
End Sub
```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ส่วนการเก็บภาพ (Digitizer)

```
Dim Present As String
```

```
Private Sub Command1_Click()
```

```
Unload Me
```

```
Scannerform.Show
```

```
End Sub
```

```
Private Sub Command2_Click()
```

```
Dim i&, j%, k%, l%, cl%, m%, image$
```

```
Dim strings As Integer
```

```
Dim PictureDatabase As Database
```

```
Dim PictureRecordset As Recordset
```

```
Set PictureDatabase =
```

```
OpenDatabase("D:\aun\DBPicAun.mdb")
```

```
Set PictureRecordset = _
```

```
PictureDatabase.OpenRecordset("DBPicAun",
```

```
dbOpenDynaset)
```

```
Command1.Enabled = False
```

```
Command3.Enabled = False
```

```
Command2.Enabled = False
```

```
k = 0
```

```
l = 0
```

```
cl = 0
```

```
ProgressBar1.Visible = True
```

```
For m = 0 To 6
```

```
    i = 0
```

```
    j = 0
```

```
    Do While (l <= 279)
```

```
        RichTextBox1(m).SelStart = i
```

```
        RichTextBox1(m).SelLength = l
```

```
        image$ = RichTextBox1(m).SelText
```

```
        i = i + 1
```

```
    If image$ = ("##") Then
```

```
        k = k + 1
```

```
        j = 0
```

```
        l = l + 1
```

```
    Else
```

```
        strings = (Asc(image$) - 35) + 1
```

```
        cl = strings * 3 + (strings - 1)
```

```
        Picture1.PSet (j, k), RGB(cl, cl, cl)
```

```
        j = j + 1
```

```
    End If
```

```
    If i = 10279 Then
```

```
        Exit Do
```

```
    End If
```

```
    Loop
```

```
    k = k + 1
```

```
    l = l + 1
```

```
    ProgressBar1.Value = m
```

```
Next m%
```

```
ProgressBar1.Visible = False
```

```
Picture1.Picture = Picture1.image
```

```
SavePicture Picture1.Picture, "D:/Bmp/" + Present +
```

```
".JPG"
```

```
With PictureRecordset
```

```
    .AddNew
```

```
    !Name_of_Pic = Present
```

```
    .Update
```

```
    .Bookmark = .LastModified
```

```
End With
```

```
Label1.BackColor = "&H00C0E0FF"
```

```
Label1.Caption = "Save Picture at " + Present
```

```
Command1.Enabled = True
```

```
Command3.Enabled = True
```

```
End Sub
```

```
Private Sub Command3_Click()
```

```
Wellcomeform.Comm1.PortOpen = False
```

```
Unload Wellcomeform
```

```
Unload Scannerform
```

```
Unload Me
```

```
End Sub
```

```
Private Sub Form_Activate()
```

```
Dim Instring$, i%
```

```
Command1.Enabled = False
```

```
Command2.Enabled = False
```

```
Command3.Enabled = False
```

```
Present = Format(Date, "yyyy-mm-dd") + "_" + Format
```

```
(Time, "hh-mm")
```

```
Label1.Visible = True
```

```
Label1.BackColor = "&H00C0C0FF"
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ทำกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

Label1.Caption = "Please Wait For Uploading Data
Picture"
Wellcomeform.Comm1.Output = "u"
For i% = 0 To 6
RichTextBox1(i).Text = ""
Instring$ = ""
MaxLength = 10280
Do
DoEvents
Instring$ = Wellcomeform.Comm1.Input
RichTextBox1(i).Text = RichTextBox1(i).Text +
Instring$
If Len(RichTextBox1(i).Text) = MaxLength Then
Wellcomeform.Comm1.Output = "u"
Exit Do
End If
Loop
ProgressBar1.Value = i
Next i%
Label1.BackColor = "&H00C0C0FF"
Label1.Caption = "Completed Data"
ProgressBar1.Visible = False
Command3.Enabled = True
Command1.Enabled = True
Command2.Enabled = True
Command2.SetFocus
End Sub

```



## คู่มือการใช้ซอฟต์แวร์

ซอฟต์แวร์ที่ออกแบบให้ใช้กับตัวส่งภาพระยะไกลจะแบ่งได้เป็น 3 ส่วนคือ

1. ส่วนการติดต่อสื่อสารข้อมูลกับ Modem
2. ส่วนการควบคุมกล้อง CCD (Scanner)
3. ส่วนตัวส่งภาพ (Digitizer)

โดยซอฟต์แวร์ทั้งหมดจะติดตั้งบน PC Server เพื่อทำการรับ-ส่งข้อมูลผ่านทางโมเด็มมาประมวลผลและจัดเก็บต่อไป

## สิ่งจำเป็นสำหรับการติดตั้งซอฟต์แวร์

1. คอมพิวเตอร์ 80486 Dx4-100 หรือสูงกว่านั้น
2. ระบบปฏิบัติการวินโดวส์ 95
3. หน่วยความจำ (RAM) 16 เมกะไบต์
4. ฮาร์ดดิสก์ที่มีเนื้อที่มากพอสำหรับบรรจุโปรแกรมและประมวลผล
5. โปรแกรม Visual Basic Version 5 ที่ติดตั้งบนระบบปฏิบัติการวินโดวส์ 95
6. โมเด็มและหมายเลขโทรศัพท์ที่ใช้ในการติดต่อสื่อสาร
7. ตัวส่งภาพระยะไกล (Remote Picture Sender)

## การติดตั้งซอฟต์แวร์

หลังจากที่เรามีอุปกรณ์ดังที่กล่าวมาแล้ว เราจะเริ่มการติดตั้งซอฟต์แวร์ดังนี้

1. เข้าสู่ระบบปฏิบัติการวินโดวส์ 95
2. ใสแผ่น Setup ลงในไดรฟ์ 2.5 นิ้ว
3. กดปุ่ม เริ่ม-Start เลื่อนเมาท์มาที่ Run แล้วกด Enter
4. พิมพ์ A:\Setup กดปุ่ม Ok

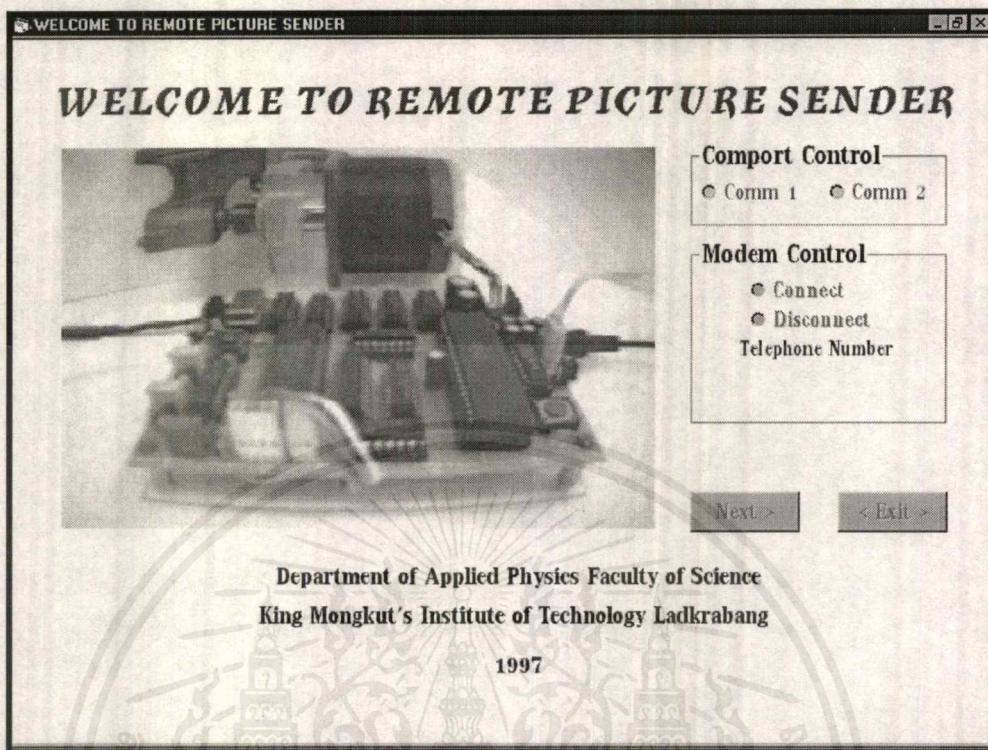
จากนั้น โปรแกรมจะติดตั้งลงบนฮาร์ดดิสก์และเติมกลุ่มไอคอนเข้าไปในวินโดวส์

## ส่วนประกอบของซอฟต์แวร์บน PC Server จะประกอบด้วย 3 ส่วนคือ

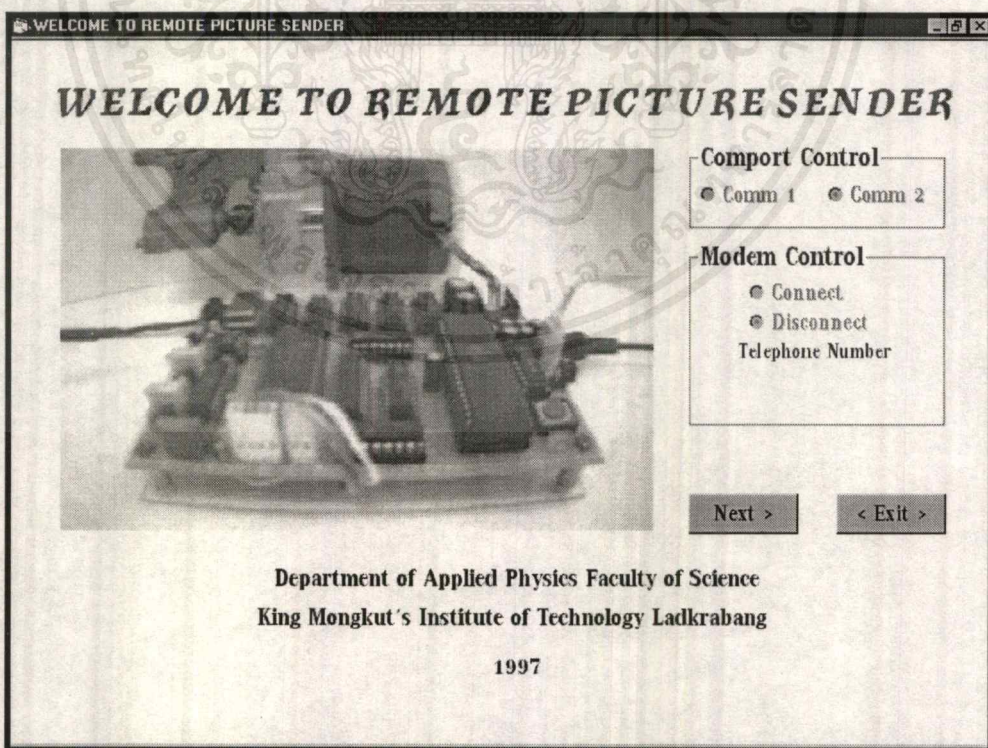
1. ส่วนการติดต่อสื่อสารข้อมูล
2. ส่วนการควบคุมกล้อง CCD (Scanner)
3. ส่วนตัวส่งภาพ (Digitizer)

## ส่วนการติดต่อสื่อสารข้อมูล

เมื่อเริ่มรันโปรแกรมบน PC Server ส่วนการติดต่อสื่อสารข้อมูลจะปรากฏหน้าจอดังนี้

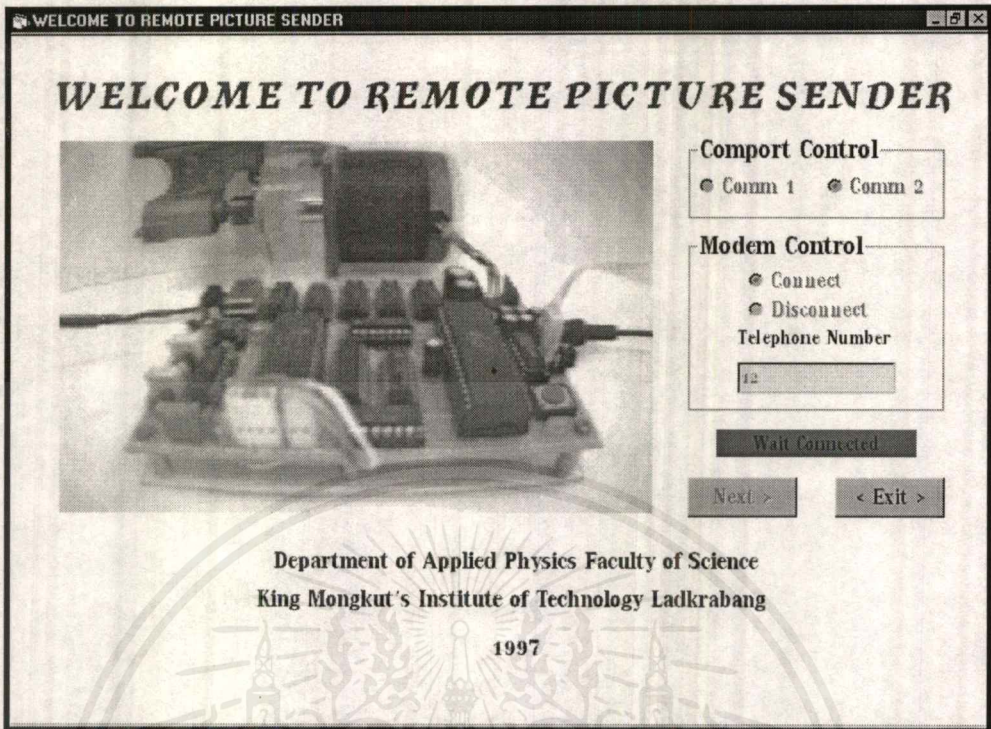


เมื่อมีการติดต่อโดยไม่ต่อโมเด็มให้กดปุ่ม Comm2 และDisconnect จะปรากฏหน้าจอดังนี้

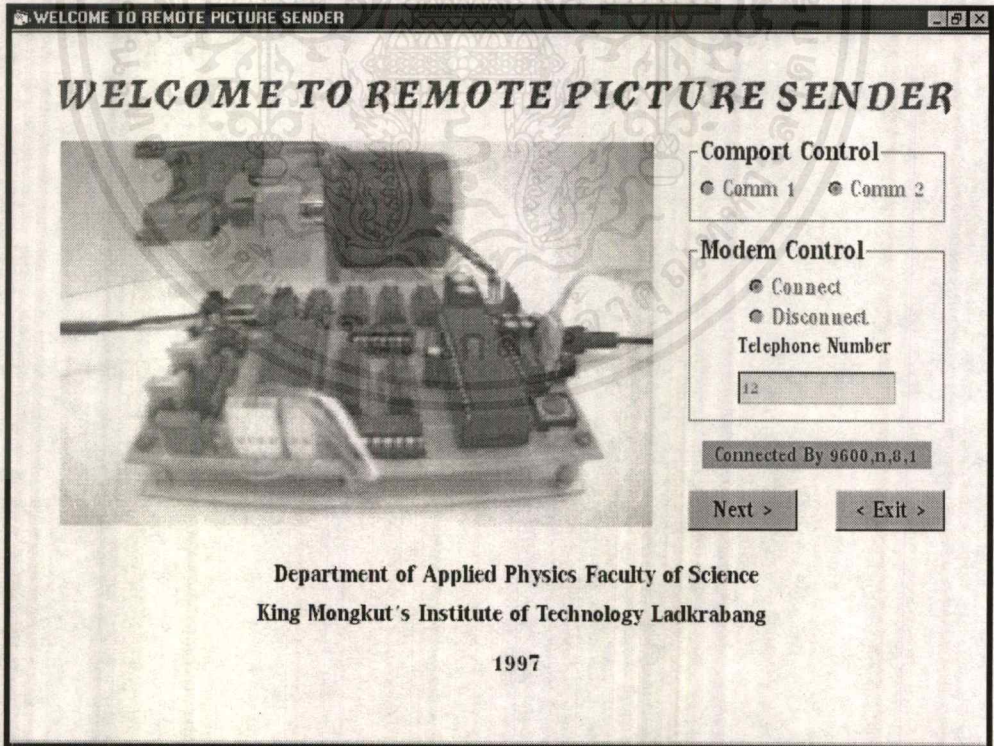


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อมีการติดต่อโมเด็มให้กดปุ่ม Comm2 และConnect จะปรากฏหน้าจอดังนี้



เมื่อโมเด็มต้นทางติดต่อกับ โมเด็มปลายทางแล้วจะมีหน้าจอดังนี้

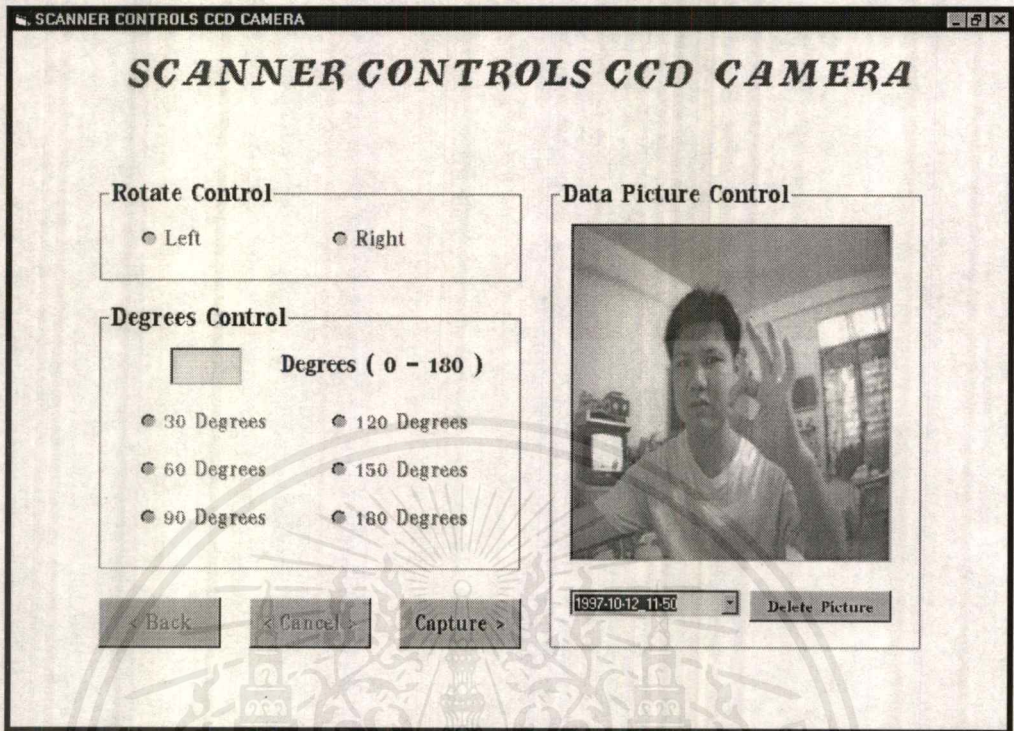


กดปุ่ม Next เพื่อทำงานในส่วนควบคุมกล้อง CCD หรือกดปุ่ม Exit เพื่อออกจากโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

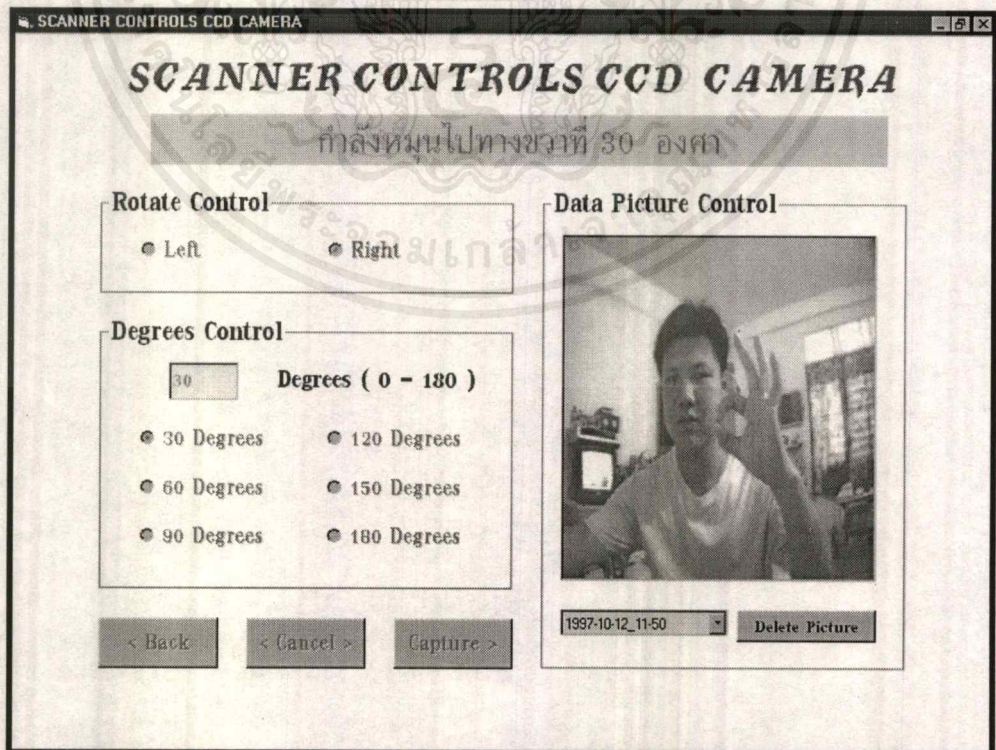
## ส่วนควบคุมกล้อง CCD (Scanner)

ส่วนควบคุมกล้อง CCD จะปรากฏหน้าจอดังนี้



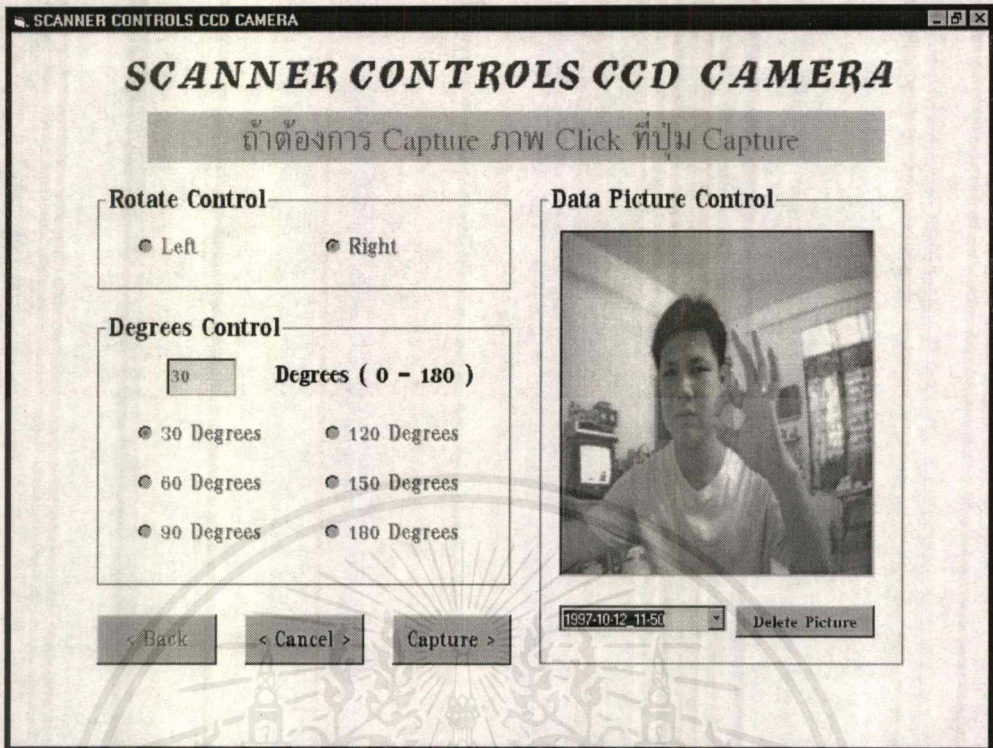
ดังนี้

เมื่อต้องการหมุนกล้องทางขวา 30 องศาให้กดปุ่ม Right และ 30 Degrees จะปรากฏหน้าจอ

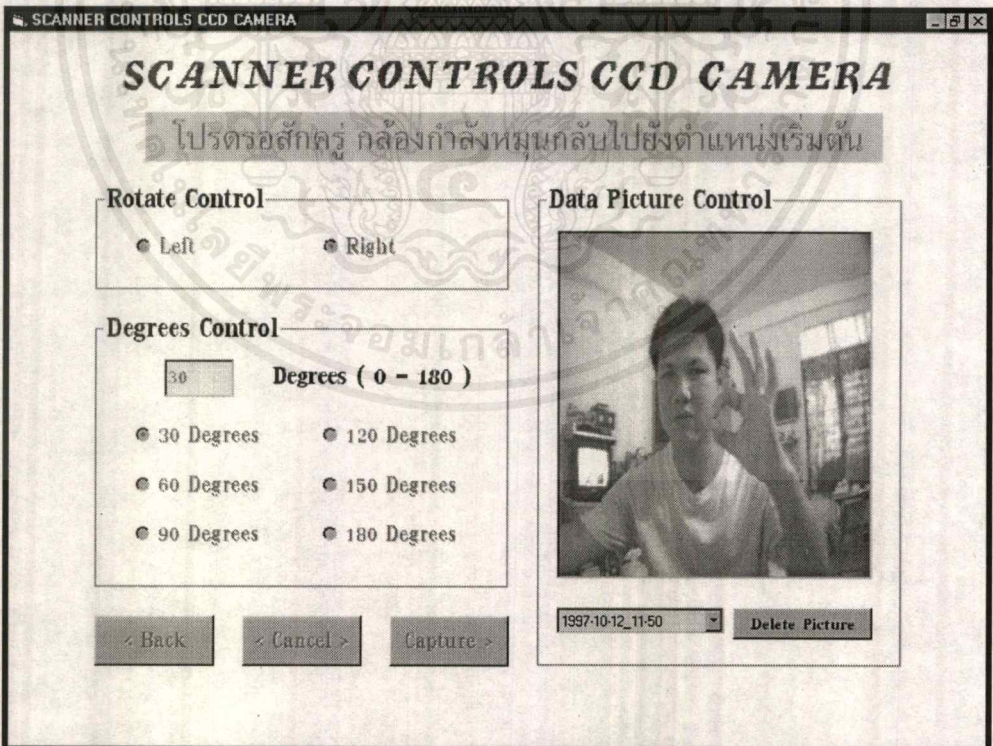


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อกำลังหมุนมายังด้านและมุมที่ต้องการจะปรากฏหน้าจอดังนี้



ถ้าไม่ต้องการเก็บภาพกดปุ่ม Cancel จะปรากฏหน้าจอดังนี้



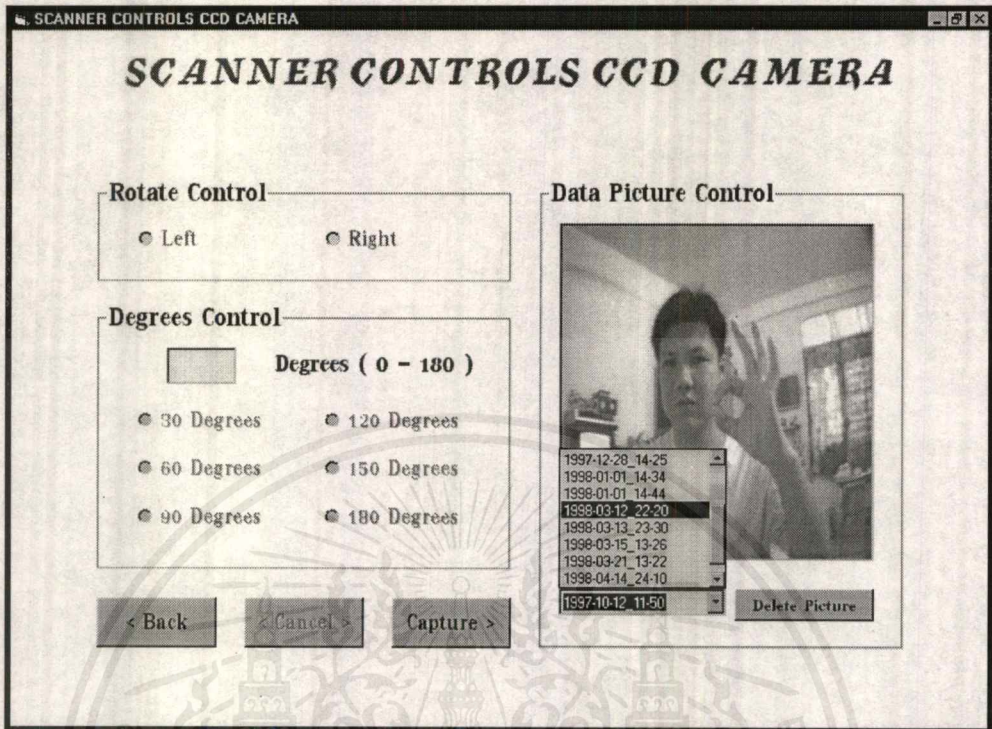
เมื่อกำลังหมุนกลับมายังตำแหน่งเริ่มต้นแล้วหน้าจอจะเหมือนกับหน้าจอเริ่มต้นของส่วน

#### ควบคุมกล้อง CCD

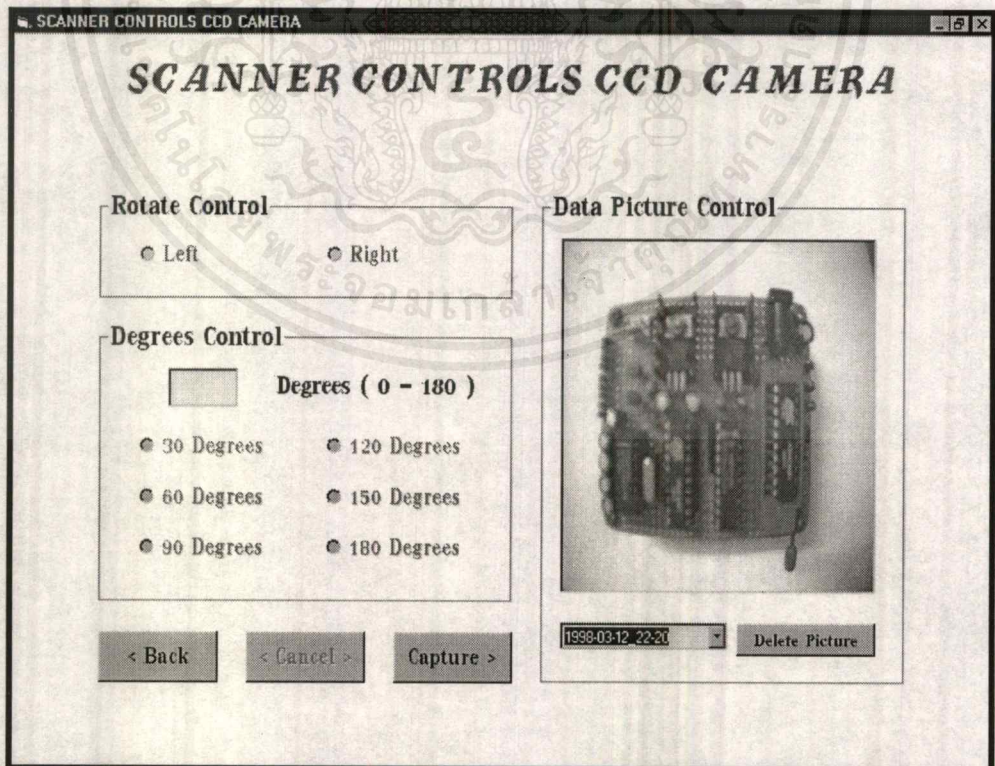
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนี้

ถ้าต้องการรูปภาพที่เก็บไว้สามารถเลือกดูได้จากส่วน Data Picture Control จะปรากฏหน้าจอ



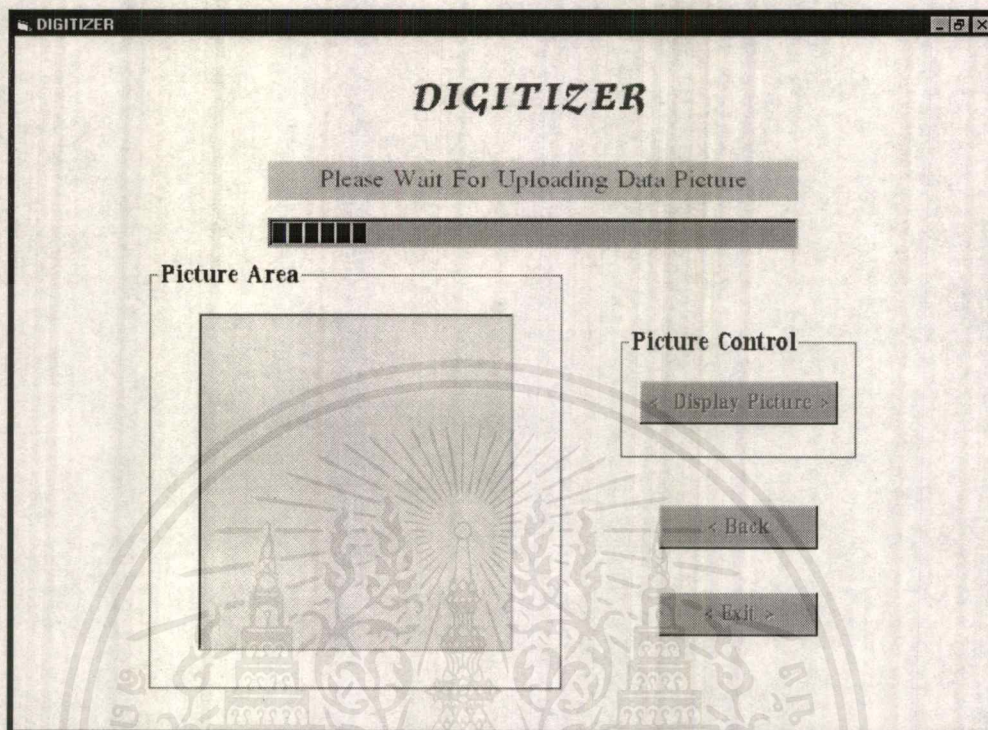
ภาพที่เลือกจะปรากฏในส่วน Data Picture Control จะปรากฏหน้าจอดังนี้ดังนี้



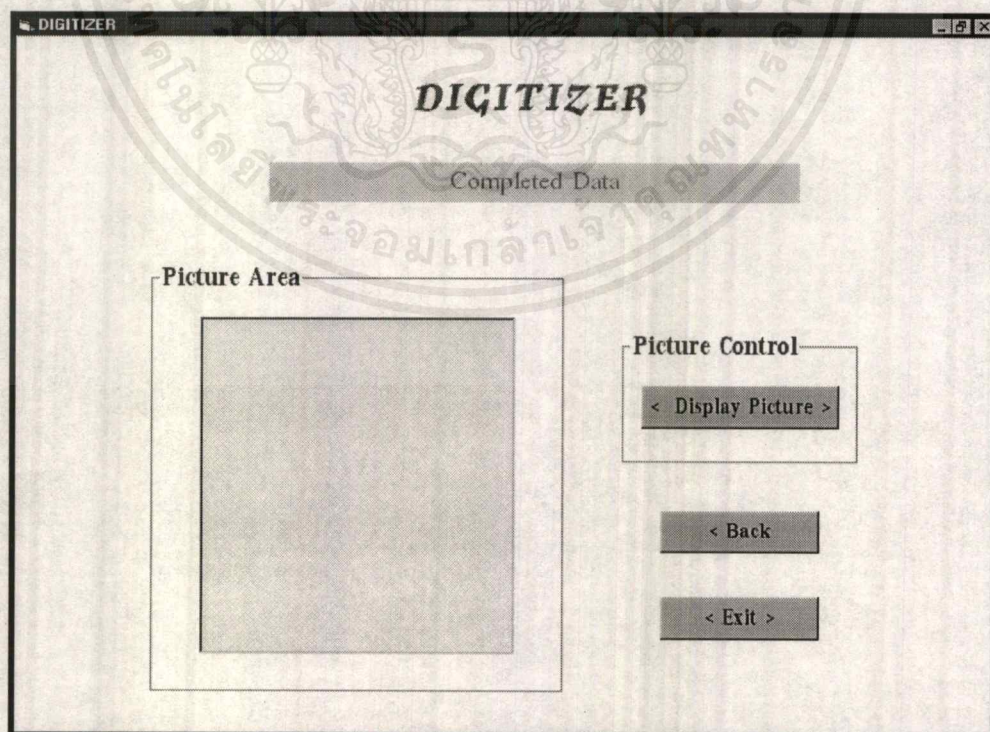
ถ้าต้องการเก็บภาพให้กดปุ่ม Capture ซึ่งจะทำงานในส่วนตัวเก็บภาพ (Digitizer) ต่อไป เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ส่วนตัวเก็บภาพ (Digitizer)

ส่วนตัวเก็บภาพจะ Upload ข้อมูลสัญญาณภาพหลังจากกดปุ่ม Capture ในส่วนควบคุม กล้อง CCD จะปรากฏหน้าจอดังนี้

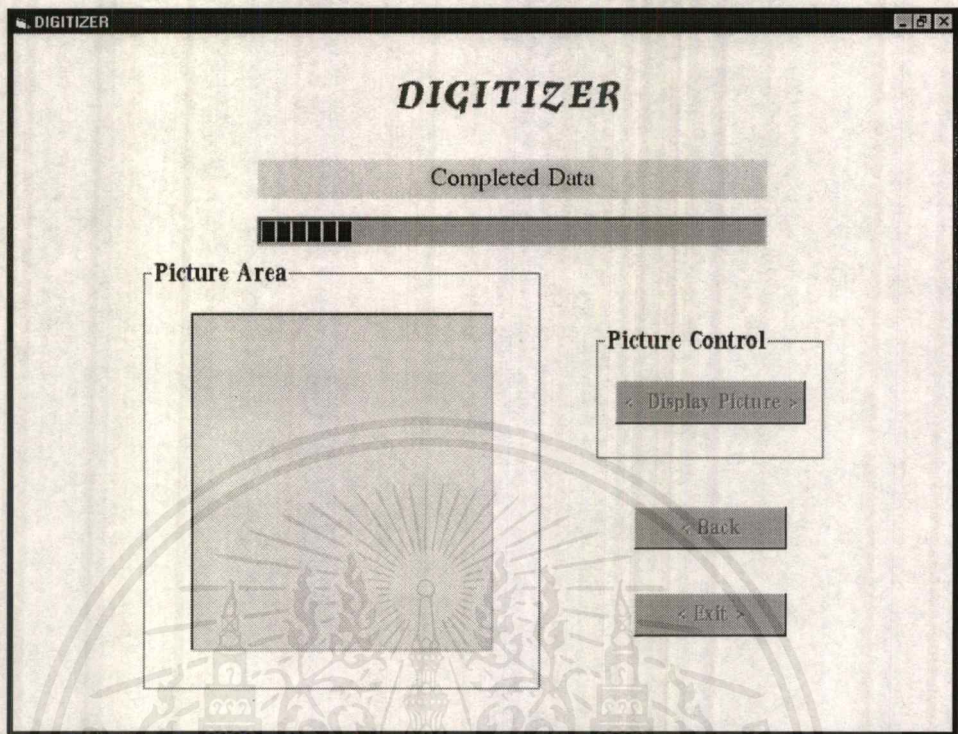


เมื่อ Upload ข้อมูลสัญญาณภาพเสร็จ จะปรากฏหน้าจอดังนี้

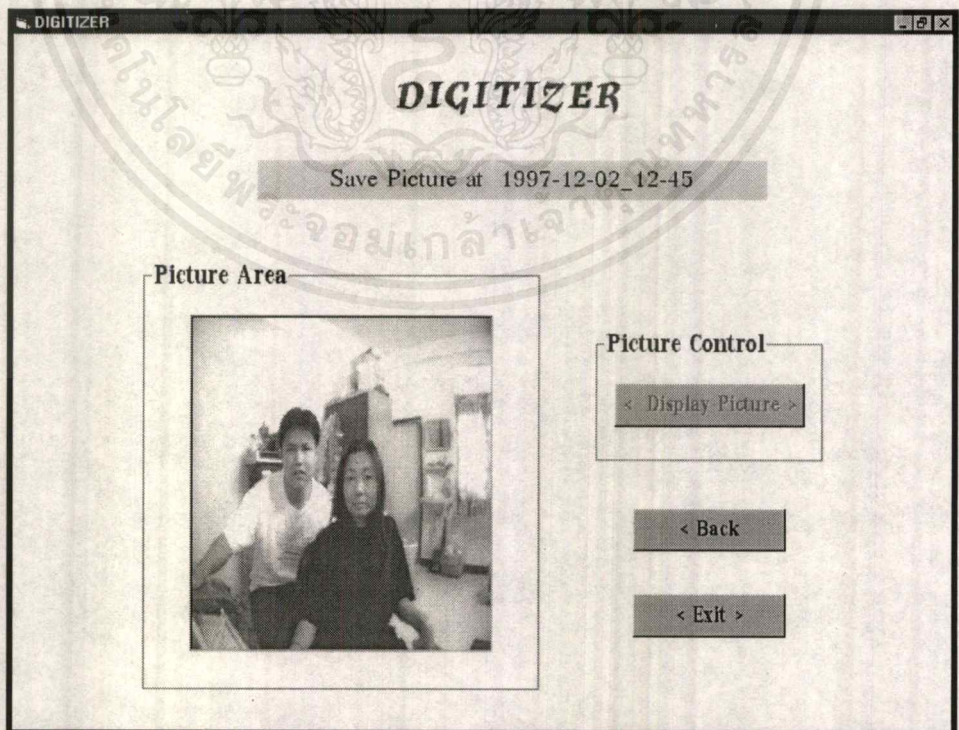


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อต้องการดูภาพให้กดปุ่ม Display Picture แล้ว PC Server ก็จะประมวลผล จะมีหน้าจอปรากฏดังนี้



เมื่อ PC Server ประมวลผลเสร็จจะ Save ภาพเป็น File.JPG และเก็บลงฐานข้อมูล จะมีหน้าจอปรากฏดังนี้



กดปุ่ม Back เพื่อกลับไปส่วนควบคุมกล้อง CCD หรือกดปุ่ม Exit เพื่อออกจาก โปรแกรม เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

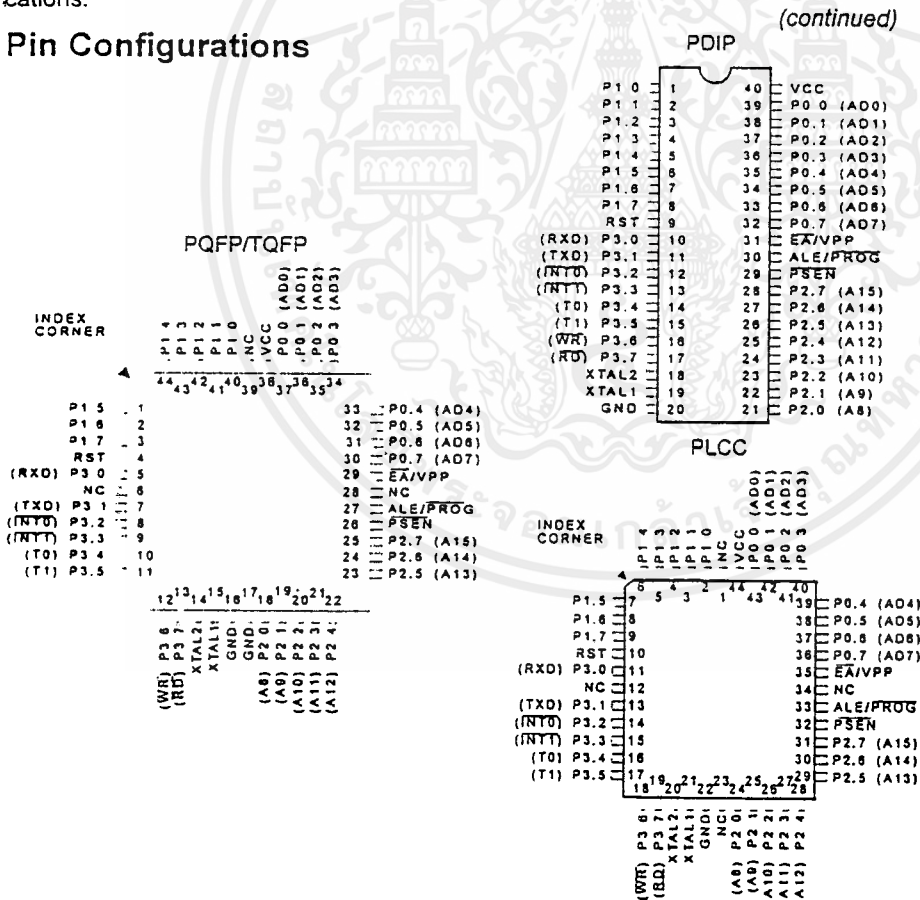
## Features

- Compatible with MCS-51™ Products
- 4K Bytes of In-System Reprogrammable Flash Memory
  - Endurance: 1,000 Write/Erase Cycles
- Fully Static Operation: 0 Hz to 24 MHz
- Three-Level Program Memory Lock
- 128 x 8-Bit Internal RAM
- 32 Programmable I/O Lines
- Two 16-Bit Timer/Counters
- Six Interrupt Sources
- Programmable Serial Channel
- Low Power Idle and Power Down Modes

## Description

The AT89C51 is a low-power, high-performance CMOS 8-bit microcomputer with 4K bytes of Flash Programmable and Erasable Read Only Memory (PEROM). The device is manufactured using Atmel's high density nonvolatile memory technology and is compatible with the industry standard MCS-51™ instruction set and pinout. The on-chip Flash allows the program memory to be reprogrammed in-system or by a conventional nonvolatile memory programmer. By combining a versatile 8-bit CPU with Flash on a monolithic chip, the Atmel AT89C51 is a powerful microcomputer which provides a highly flexible and cost effective solution to many embedded control applications.

## Pin Configurations



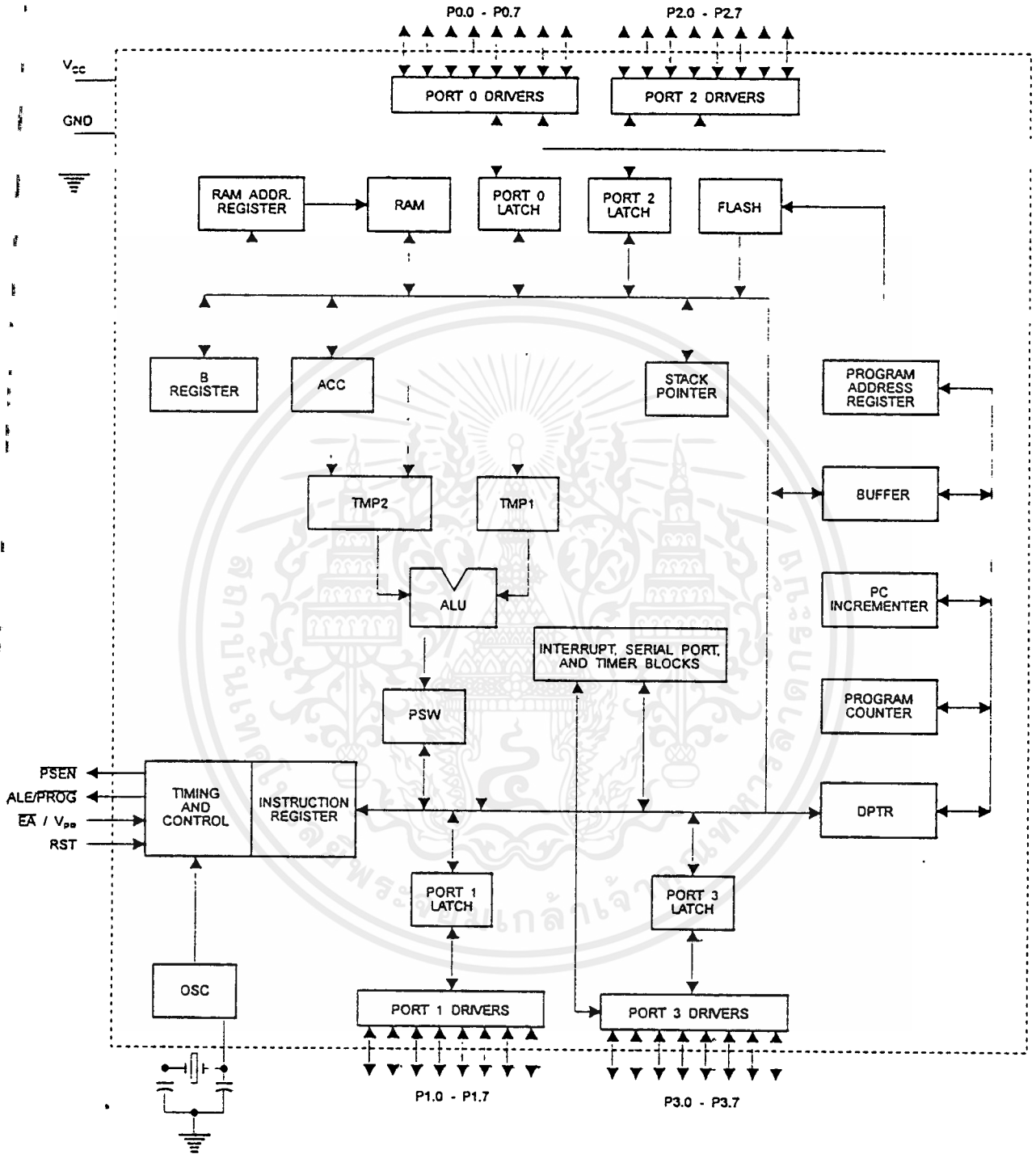
0285F-A-12/97



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



# Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The AT89C51 provides the following standard features: 4K bytes of Flash, 128 bytes of RAM, 32 I/O lines, two 16-bit timer/counters, a five vector two-level interrupt architecture, a full duplex serial port, on-chip oscillator and clock circuitry. In addition, the AT89C51 is designed with static logic for operation down to zero frequency and supports two software selectable power saving modes. The Idle Mode stops the CPU while allowing the RAM, timer/counters, serial port and interrupt system to continue functioning. The Power Down Mode saves the RAM contents but freezes the oscillator disabling all other chip functions until the next hardware reset.

## Pin Description

**V<sub>CC</sub>**  
Supply voltage.

**GND**  
Ground.

### Port 0

Port 0 is an 8-bit open drain bidirectional I/O port. As an output port each pin can sink eight TTL inputs. When 1s are written to port 0 pins, the pins can be used as high-impedance inputs.

Port 0 may also be configured to be the multiplexed low-order address/data bus during accesses to external program and data memory. In this mode P0 has internal pullups.

Port 0 also receives the code bytes during Flash programming, and outputs the code bytes during program verification. External pullups are required during program verification.

### Port 1

Port 1 is an 8-bit bidirectional I/O port with internal pullups. The Port 1 output buffers can sink/source four TTL inputs. When 1s are written to Port 1 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current ( $I_{IL}$ ) because of the internal pullups.

Port 1 also receives the low-order address bytes during Flash programming and verification.

### Port 2

Port 2 is an 8-bit bidirectional I/O port with internal pullups. The Port 2 output buffers can sink/source four TTL inputs. When 1s are written to Port 2 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current ( $I_{IL}$ ) because of the internal pullups.

Port 2 emits the high-order address byte during fetches from external program memory and during accesses to external data memory that use 16-bit addresses (MOVX @ DPTR). In this application it uses strong internal pullups

when emitting 1s. During accesses to external data memory that use 8-bit addresses (MOVX @ RI), Port 2 emits the contents of the P2 Special Function Register.

Port 2 also receives the high-order address bits and some control signals during Flash programming and verification.

### Port 3

Port 3 is an 8-bit bidirectional I/O port with internal pullups. The Port 3 output buffers can sink/source four TTL inputs. When 1s are written to Port 3 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current ( $I_{IL}$ ) because of the pullups.

Port 3 also serves the functions of various special features of the AT89C51 as listed below:

Port Pin	Alternate Functions
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	$\overline{INT0}$ (external interrupt 0)
P3.3	$\overline{INT1}$ (external interrupt 1)
P3.4	T0 (timer 0 external input)
P3.5	T1 (timer 1 external input)
P3.6	$\overline{WR}$ (external data memory write strobe)
P3.7	$\overline{RD}$ (external data memory read strobe)

Port 3 also receives some control signals for Flash programming and verification.

### RST

Reset input. A high on this pin for two machine cycles while the oscillator is running resets the device.

### ALE/ $\overline{PROG}$

Address Latch Enable output pulse for latching the low byte of the address during accesses to external memory. This pin is also the program pulse input ( $\overline{PROG}$ ) during Flash programming.

In normal operation ALE is emitted at a constant rate of 1/6 the oscillator frequency, and may be used for external timing or clocking purposes. Note, however, that one ALE pulse is skipped during each access to external Data Memory.

If desired, ALE operation can be disabled by setting bit 0 of SFR location 8EH. With the bit set, ALE is active only during a MOVX or MOVC instruction. Otherwise, the pin is weakly pulled high. Setting the ALE-disable bit has no effect if the microcontroller is in external execution mode.

### $\overline{PSEN}$

Program Store Enable is the read strobe to external program memory.



When the AT89C51 is executing code from external program memory,  $\overline{PSEN}$  is activated twice each machine cycle, except that two  $\overline{PSEN}$  activations are skipped during each access to external data memory.

#### $\overline{EA}/V_{PP}$

External Access Enable.  $\overline{EA}$  must be strapped to GND in order to enable the device to fetch code from external program memory locations starting at 0000H up to FFFFH. Note, however, that if lock bit 1 is programmed,  $\overline{EA}$  will be internally latched on reset.

$\overline{EA}$  should be strapped to  $V_{CC}$  for internal program executions.

This pin also receives the 12-volt programming enable voltage ( $V_{PP}$ ) during Flash programming, for parts that require 12-volt  $V_{PP}$ .

#### XTAL1

Input to the inverting oscillator amplifier and input to the internal clock operating circuit.

#### XTAL2

Output from the inverting oscillator amplifier.

### Oscillator Characteristics

XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier which can be configured for use as an on-chip oscillator, as shown in Figure 1. Either a quartz crystal or ceramic resonator may be used. To drive the device from an external clock source, XTAL2 should be left unconnected while XTAL1 is driven as shown in Figure 2. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum voltage high and low time specifications must be observed.

### Idle Mode

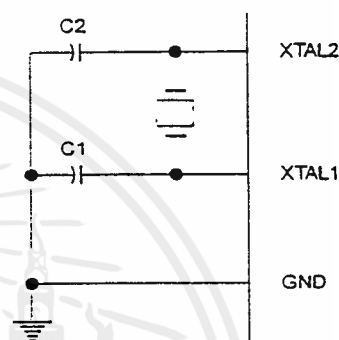
In idle mode, the CPU puts itself to sleep while all the on-chip peripherals remain active. The mode is invoked by software. The content of the on-chip RAM and all the special functions registers remain unchanged during this mode. The idle mode can be terminated by any enabled interrupt or by a hardware reset.

### Status of External Pins During Idle and Power Down Modes

Mode	Program Memory	ALE	$\overline{PSEN}$	PORT0	PORT1	PORT2	PORT3
Idle	Internal	1	1	Data	Data	Data	Data
Idle	External	1	1	Float	Data	Address	Data
Power Down	Internal	0	0	Data	Data	Data	Data
Power Down	External	0	0	Float	Data	Data	Data

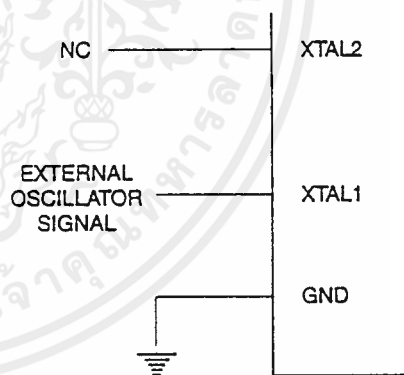
It should be noted that when idle is terminated by a hardware reset, the device normally resumes program execution, from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hardware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write to a port pin when Idle is terminated by reset, the instruction following the one that invokes Idle should not be one that writes to a port pin or to external memory.

Figure 1. Oscillator Connections



Note: C1, C2 = 30 pF ± 10 pF for Crystals  
= 40 pF ± 10 pF for Ceramic Resonators

Figure 2. External Clock Drive Configuration



## Power Down Mode

In the power down mode the oscillator is stopped, and the instruction that invokes power down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values until the power down mode is terminated. The only exit from power down is a hardware reset. Reset redefines the SFRs but does not change the on-chip RAM. The reset should not be activated before  $V_{CC}$  is restored to its normal operating level and must be held active long enough to allow the oscillator to restart and stabilize.

## Lock Bit Protection Modes

	Program Lock Bits			Protection Type
	LB1	LB2	LB3	
1	U	U	U	No program lock features.
2	P	U	U	MOV <sub>C</sub> instructions executed from external program memory are disabled from fetching code bytes from internal memory, $\overline{EA}$ is sampled and latched on reset, and further programming of the Flash is disabled.
3	P	P	U	Same as mode 2, also verify is disabled.
4	P	P	P	Same as mode 3, also external execution is disabled.

## Programming the Flash

The AT89C51 is normally shipped with the on-chip Flash memory array in the erased state (that is, contents = FFH) and ready to be programmed. The programming interface accepts either a high-voltage (12-volt) or a low-voltage ( $V_{CC}$ ) program enable signal. The low voltage programming mode provides a convenient way to program the AT89C51 inside the user's system, while the high-voltage programming mode is compatible with conventional third party Flash or EPROM programmers.

The AT89C51 is shipped with either the high-voltage or low-voltage programming mode enabled. The respective top-side marking and device signature codes are listed in the following table.

	$V_{PP} = 12V$	$V_{PP} = 5V$
Top-Side Mark	AT89C51 xxxx yyww	AT89C51 xxxx-5 yyww
Signature	(030H)=1EH (031H)=51H (032H)=FFH	(030H)=1EH (031H)=51H (032H)=05H

The AT89C51 code memory array is programmed byte-by-byte in either programming mode. To program any non-blank byte in the on-chip Flash Memory, the entire memory must be erased using the Chip Erase Mode.

## Program Memory Lock Bits

On the chip are three lock bits which can be left unprogrammed (U) or can be programmed (P) to obtain the additional features listed in the table below:

When lock bit 1 is programmed, the logic level at the  $\overline{EA}$  pin is sampled and latched during reset. If the device is powered up without a reset, the latch initializes to a random value, and holds that value until reset is activated. It is necessary that the latched value of  $\overline{EA}$  be in agreement with the current logic level at that pin in order for the device to function properly.

**Programming Algorithm:** Before programming the AT89C51, the address, data and control signals should be set up according to the Flash programming mode table and Figures 3 and 4. To program the AT89C51, take the following steps.

1. Input the desired memory location on the address lines.
2. Input the appropriate data byte on the data lines.
3. Activate the correct combination of control signals.
4. Raise  $\overline{EA}/V_{PP}$  to 12V for the high-voltage programming mode.
5. Pulse ALE/ $\overline{PROG}$  once to program a byte in the Flash array or the lock bits. The byte-write cycle is self-timed and typically takes no more than 1.5 ms. Repeat steps 1 through 5, changing the address and data for the entire array or until the end of the object file is reached.

**Data Polling:** The AT89C51 features Data Polling to indicate the end of a write cycle. During a write cycle, an attempted read of the last byte written will result in the complement of the written datum on PO.7. Once the write cycle has been completed, true data are valid on all outputs, and the next cycle may begin. Data Polling may begin any time after a write cycle has been initiated.

**Ready/Busy:** The progress of byte programming can also be monitored by the RDY/BSY output signal. P3.4 is pulled low after ALE goes high during programming to indicate BUSY. P3.4 is pulled high again when programming is done to indicate READY.





**Program Verify:** If lock bits LB1 and LB2 have not been programmed, the programmed code data can be read back via the address and data lines for verification. The lock bits cannot be verified directly. Verification of the lock bits is achieved by observing that their features are enabled.

**Chip Erase:** The entire Flash array is erased electrically by using the proper combination of control signals and by holding ALE/PROG low for 10 ms. The code array is written with all "1"s. The chip erase operation must be executed before the code memory can be re-programmed.

**Reading the Signature Bytes:** The signature bytes are read by the same procedure as a normal verification of locations 030H,

031H, and 032H, except that P3.6 and P3.7 must be pulled to a logic low. The values returned are as follows.

- (030H) = 1EH indicates manufactured by Atmel
- (031H) = 51H indicates 89C51
- (032H) = FFH indicates 12V programming
- (032H) = 05H indicates 5V programming

### Programming Interface

Every code byte in the Flash array can be written and the entire array can be erased by using the appropriate combination of control signals. The write operation cycle is self-timed and once initiated, will automatically time itself to completion.

All major programming vendors offer worldwide support for the Atmel microcontroller series. Please contact your local programming vendor for the appropriate software revision.

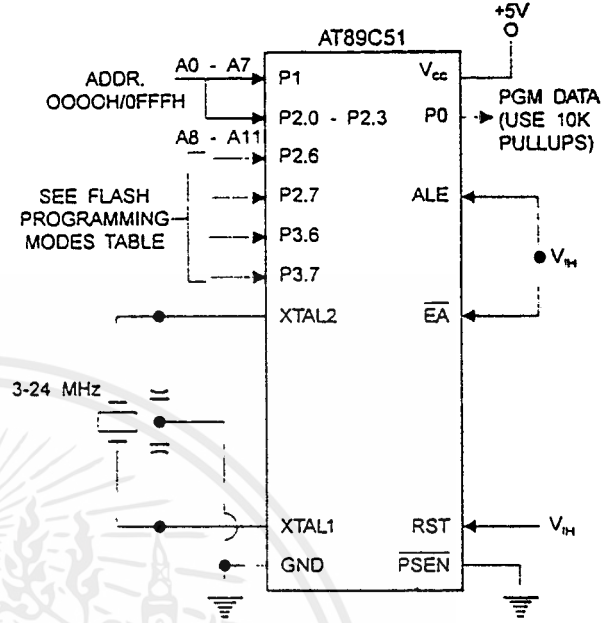
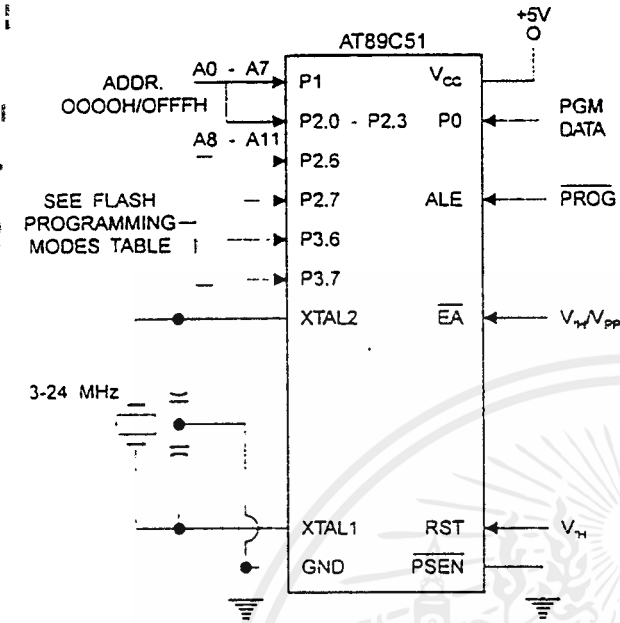
### Flash Programming Modes

Mode	RST	PSEN	ALE/PROG	EA/V <sub>pp</sub>	P2.6	P2.7	P3.6	P3.7
Write Code Data	H	L		H/12V	L	H	H	H
Read Code Data	H	L	H	H	L	L	H	H
Write Lock	Bit - 1	H	L		H/12V	H	H	H
	Bit - 2	H	L		H/12V	H	H	L
	Bit - 3	H	L		H/12V	H	L	H
Chip Erase	H	L	(1)	H/12V	H	L	L	L
Read Signature Byte	H	L	H	H	L	L	L	L

Note: 1. Chip Erase requires a 10-ms PROG pulse.

Figure 3. Programming the Flash

Figure 4. Verifying the Flash



## Flash Programming and Verification Characteristics

$T_A = 0^\circ\text{C to } 70^\circ\text{C}$ ,  $V_{CC} = 5.0 \pm 10\%$

Symbol	Parameter	Min	Max	Units
$V_{PP}^{(1)}$	Programming Enable Voltage	11.5	12.5	V
$I_{PP}^{(1)}$	Programming Enable Current		1.0	mA
$1/t_{CLCL}$	Oscillator Frequency	3	24	MHz
$t_{AVGL}$	Address Setup to $\overline{PROG}$ Low	$48t_{CLCL}$		
$t_{GHAX}$	Address Hold After $\overline{PROG}$	$48t_{CLCL}$		
$t_{DVGL}$	Data Setup to $\overline{PROG}$ Low	$48t_{CLCL}$		
$t_{GHDX}$	Data Hold After $\overline{PROG}$	$48t_{CLCL}$		
$t_{EHSH}$	P2.7 ( $\overline{ENABLE}$ ) High to $V_{PP}$	$48t_{CLCL}$		
$t_{SHGL}$	$V_{PP}$ Setup to $\overline{PROG}$ Low	10		$\mu\text{s}$
$t_{GHSL}^{(1)}$	$V_{PP}$ Hold After $\overline{PROG}$	10		$\mu\text{s}$
$t_{GLGH}$	$\overline{PROG}$ Width	1	110	$\mu\text{s}$
$t_{AVQV}$	Address to Data Valid		$48t_{CLCL}$	
$t_{ELQV}$	$\overline{ENABLE}$ Low to Data Valid		$48t_{CLCL}$	
$t_{EHOZ}$	Data Float After $\overline{ENABLE}$	0	$48t_{CLCL}$	
$t_{GHBL}$	$\overline{PROG}$ High to $\overline{BUSY}$ Low		1.0	$\mu\text{s}$
$t_{WC}$	Byte Write Cycle Time		2.0	ms

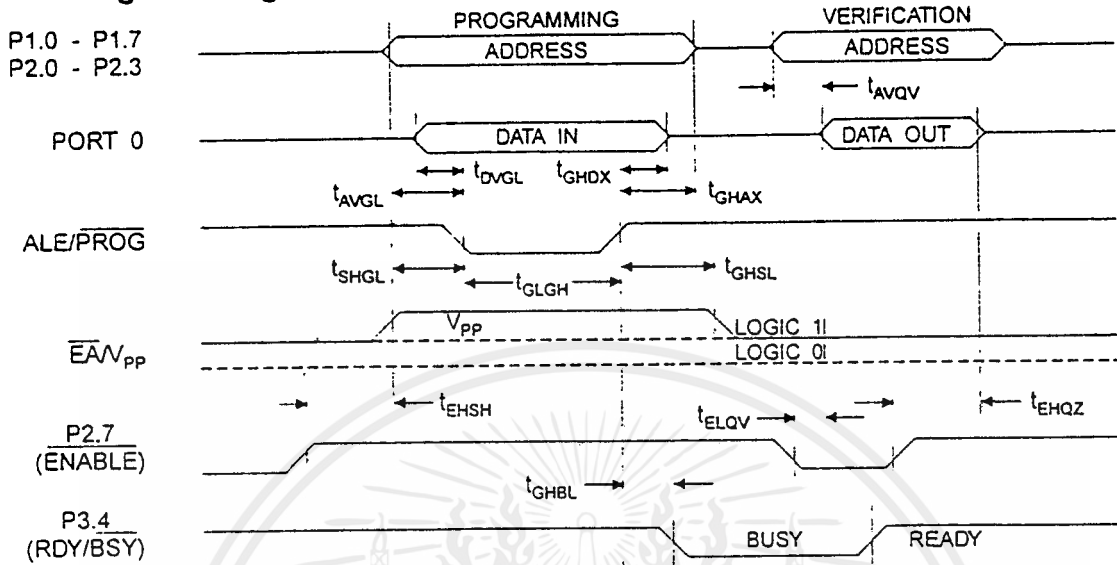
Note: 1. Only used in 12-volt programming mode.



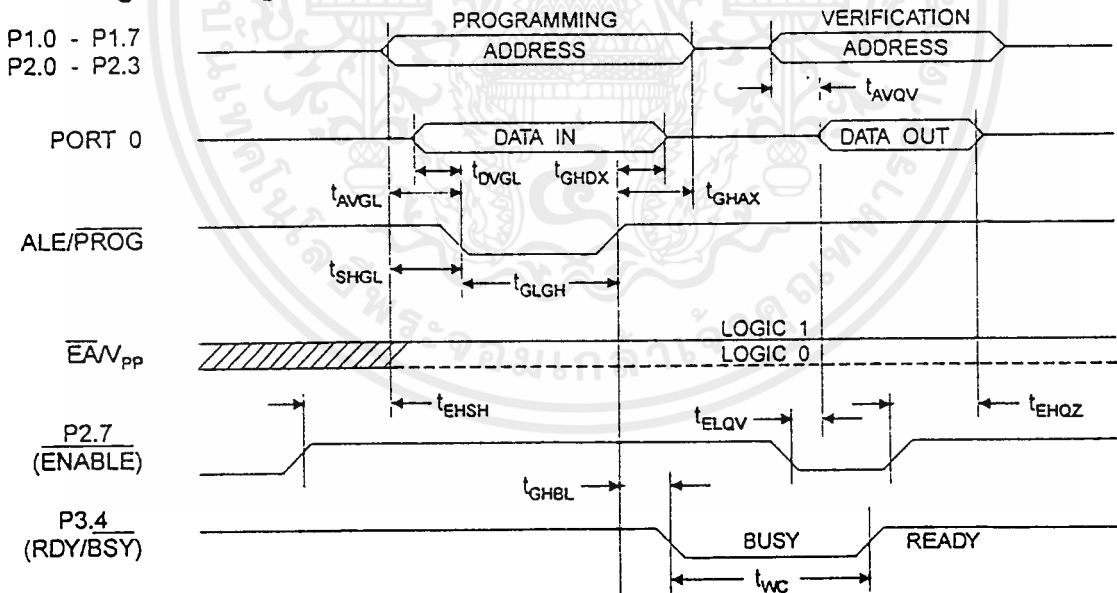
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



## Flash Programming and Verification Waveforms - High Voltage Mode ( $V_{PP} = 12V$ )



## Flash Programming and Verification Waveforms - Low Voltage Mode ( $V_{PP} = 5V$ )



**Absolute Maximum Ratings\***

Operating Temperature.....	-55°C to +125°C
Storage Temperature.....	-65°C to +150°C
Voltage on Any Pin with Respect to Ground.....	-1.0V to +7.0V
Maximum Operating Voltage.....	6.6V
DC Output Current.....	15.0 mA

\*NOTICE: Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

**DC Characteristics**

T<sub>A</sub> = -40°C to 85°C, V<sub>CC</sub> = 5.0V ± 20% (unless otherwise noted)

Symbol	Parameter	Condition	Min	Max	Units
V <sub>IL</sub>	Input Low Voltage	(Except $\bar{E}A$ )	-0.5	0.2 V <sub>CC</sub> - 0.1	V
V <sub>IL1</sub>	Input Low Voltage ( $\bar{E}A$ )		-0.5	0.2 V <sub>CC</sub> - 0.3	V
V <sub>IH</sub>	Input High Voltage	(Except XTAL1, RST)	0.2 V <sub>CC</sub> + 0.9	V <sub>CC</sub> + 0.5	V
V <sub>IH1</sub>	Input High Voltage	(XTAL1, RST)	0.7 V <sub>CC</sub>	V <sub>CC</sub> + 0.5	V
V <sub>OL</sub>	Output Low Voltage <sup>(1)</sup> (Ports 1,2,3)	I <sub>OL</sub> = 1.6 mA		0.45	V
V <sub>OL1</sub>	Output Low Voltage <sup>(1)</sup> (Port 0, ALE, $\bar{P}SEN$ )	I <sub>OL</sub> = 3.2 mA		0.45	V
V <sub>OH</sub>	Output High Voltage (Ports 1,2,3, ALE, $\bar{P}SEN$ )	I <sub>OH</sub> = -50 μA, V <sub>CC</sub> = 5V ± 10%	2.4		V
		I <sub>OH</sub> = -25 μA	0.75 V <sub>CC</sub>		V
		I <sub>OH</sub> = -10 μA	0.9 V <sub>CC</sub>		V
V <sub>OH1</sub>	Output High Voltage (Port 0 in External Bus Mode)	I <sub>OH</sub> = -800 μA, V <sub>CC</sub> = 5V ± 10%	2.4		V
		I <sub>OH</sub> = -300 μA	0.75 V <sub>CC</sub>		V
		I <sub>OH</sub> = -80 μA	0.9 V <sub>CC</sub>		V
I <sub>IL</sub>	Logical 0 Input Current (Ports 1,2,3)	V <sub>IN</sub> = 0.45V		-50	μA
I <sub>TL</sub>	Logical 1 to 0 Transition Current (Ports 1,2,3)	V <sub>IN</sub> = 2V, V <sub>CC</sub> = 5V ± 10%		-650	μA
I <sub>I1</sub>	Input Leakage Current (Port 0, $\bar{E}A$ )	0.45 < V <sub>IN</sub> < V <sub>CC</sub>		±10	μA
RRST	Reset Pulldown Resistor		50	300	KΩ
C <sub>IO</sub>	Pin Capacitance	Test Freq. = 1 MHz, T <sub>A</sub> = 25°C		10	pF
I <sub>CC</sub>	Power Supply Current	Active Mode, 12 MHz		20	mA
		Idle Mode, 12 MHz		5	mA
	Power Down Mode <sup>(2)</sup>	V <sub>CC</sub> = 6V		100	μA
		V <sub>CC</sub> = 3V		40	μA

- Notes: 1. Under steady state (non-transient) conditions, I<sub>OL</sub> must be externally limited as follows:  
 Maximum I<sub>OL</sub> per port pin: 10 mA  
 Maximum I<sub>OL</sub> per 8-bit port: Port 0: 26 mA  
 Ports 1, 2, 3: 15 mA  
 Maximum total I<sub>OL</sub> for all output pins: 71 mA  
 If I<sub>OL</sub> exceeds the test condition, V<sub>OL</sub> may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.
2. Minimum V<sub>CC</sub> for Power Down is 2V.





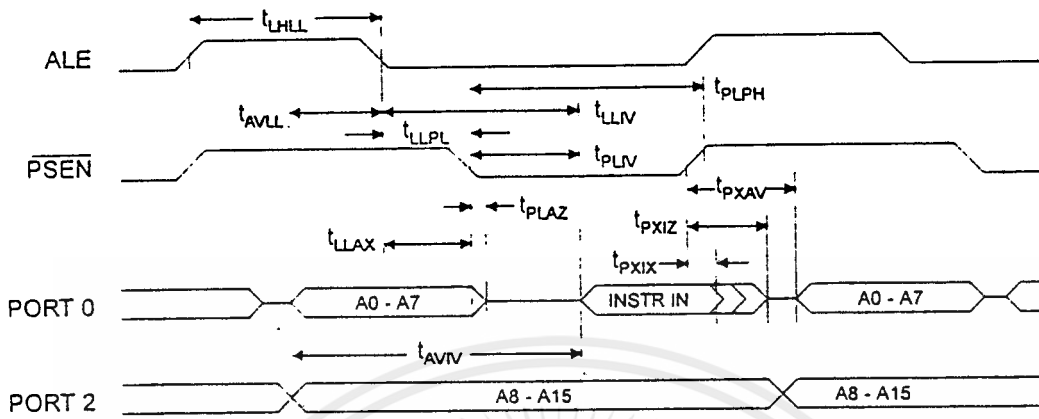
## AC Characteristics

(Under Operating Conditions; Load Capacitance for Port 0, ALE/ $\overline{\text{PROG}}$ , and  $\overline{\text{PSEN}}$  = 100 pF; Load Capacitance for all other outputs = 80 pF)

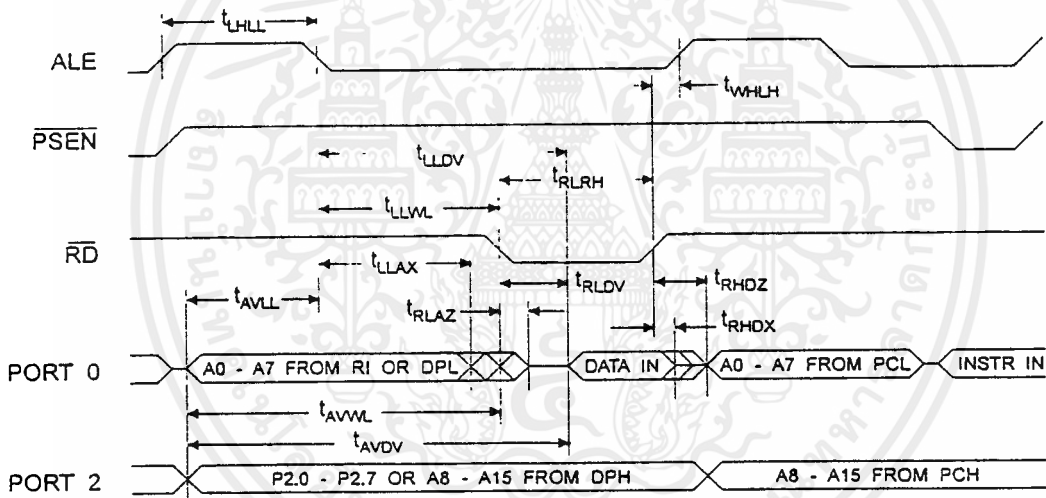
## External Program and Data Memory Characteristics

Symbol	Parameter	12 MHz Oscillator		16 to 24 MHz Oscillator		Units
		Min	Max	Min	Max	
$1/t_{\text{CLCL}}$	Oscillator Frequency			0	24	MHz
$t_{\text{LHLL}}$	ALE Pulse Width	127		$2t_{\text{CLCL}}-40$		ns
$t_{\text{AVLL}}$	Address Valid to ALE Low	43		$t_{\text{CLCL}}-13$		ns
$t_{\text{LLAX}}$	Address Hold After ALE Low	48		$t_{\text{CLCL}}-20$		ns
$t_{\text{LLIV}}$	ALE Low to Valid Instruction In		233		$4t_{\text{CLCL}}-65$	ns
$t_{\text{LLPL}}$	ALE Low to $\overline{\text{PSEN}}$ Low	43		$t_{\text{CLCL}}-13$		ns
$t_{\text{PLPH}}$	$\overline{\text{PSEN}}$ Pulse Width	205		$3t_{\text{CLCL}}-20$		ns
$t_{\text{PLIV}}$	$\overline{\text{PSEN}}$ Low to Valid Instruction In		145		$3t_{\text{CLCL}}-45$	ns
$t_{\text{PXIX}}$	Input Instruction Hold After $\overline{\text{PSEN}}$	0		0		ns
$t_{\text{PXIZ}}$	Input Instruction Float After $\overline{\text{PSEN}}$		59		$t_{\text{CLCL}}-10$	ns
$t_{\text{PXAV}}$	$\overline{\text{PSEN}}$ to Address Valid	75		$t_{\text{CLCL}}-8$		ns
$t_{\text{AVIV}}$	Address to Valid Instruction In		312		$5t_{\text{CLCL}}-55$	ns
$t_{\text{PLAZ}}$	$\overline{\text{PSEN}}$ Low to Address Float		10		10	ns
$t_{\text{RLRH}}$	$\overline{\text{RD}}$ Pulse Width	400		$6t_{\text{CLCL}}-100$		ns
$t_{\text{WLWH}}$	$\overline{\text{WR}}$ Pulse Width	400		$6t_{\text{CLCL}}-100$		ns
$t_{\text{RLDV}}$	$\overline{\text{RD}}$ Low to Valid Data In		252		$5t_{\text{CLCL}}-90$	ns
$t_{\text{RHDX}}$	Data Hold After $\overline{\text{RD}}$	0		0		ns
$t_{\text{RHQZ}}$	Data Float After $\overline{\text{RD}}$		97		$2t_{\text{CLCL}}-28$	ns
$t_{\text{LLDV}}$	ALE Low to Valid Data In		517		$8t_{\text{CLCL}}-150$	ns
$t_{\text{AVDV}}$	Address to Valid Data In		585		$9t_{\text{CLCL}}-165$	ns
$t_{\text{LLWL}}$	ALE Low to $\overline{\text{RD}}$ or $\overline{\text{WR}}$ Low	200	300	$3t_{\text{CLCL}}-50$	$3t_{\text{CLCL}}+50$	ns
$t_{\text{AVWL}}$	Address to $\overline{\text{RD}}$ or $\overline{\text{WR}}$ Low	203		$4t_{\text{CLCL}}-75$		ns
$t_{\text{QVWX}}$	Data Valid to $\overline{\text{WR}}$ Transition	23		$t_{\text{CLCL}}-20$		ns
$t_{\text{QVWH}}$	Data Valid to $\overline{\text{WR}}$ High	433		$7t_{\text{CLCL}}-120$		ns
$t_{\text{WHQX}}$	Data Hold After $\overline{\text{WR}}$	33		$t_{\text{CLCL}}-20$		ns
$t_{\text{RLAZ}}$	$\overline{\text{RD}}$ Low to Address Float		0		0	ns
$t_{\text{WHLH}}$	$\overline{\text{RD}}$ or $\overline{\text{WR}}$ High to ALE High	43	123	$t_{\text{CLCL}}-20$	$t_{\text{CLCL}}+25$	ns

External Program Memory Read Cycle

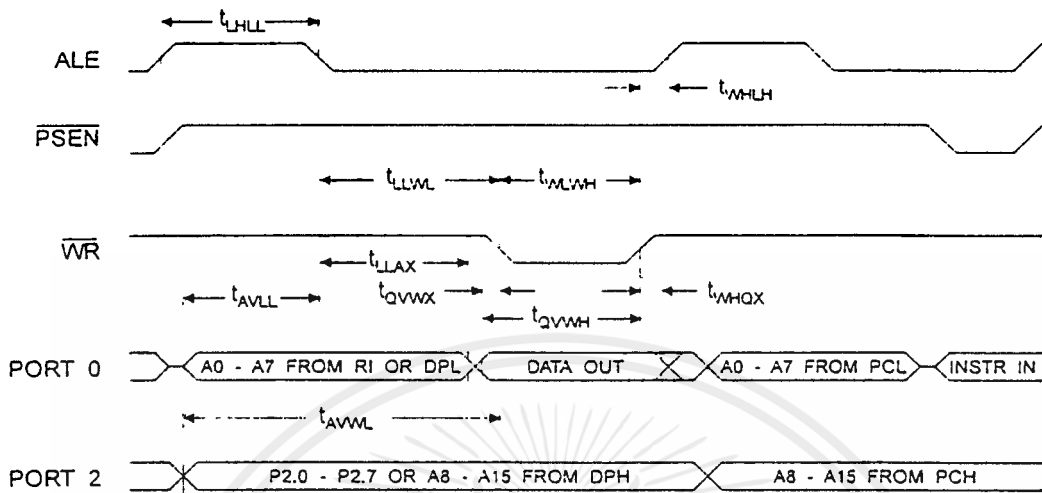


External Data Memory Read Cycle

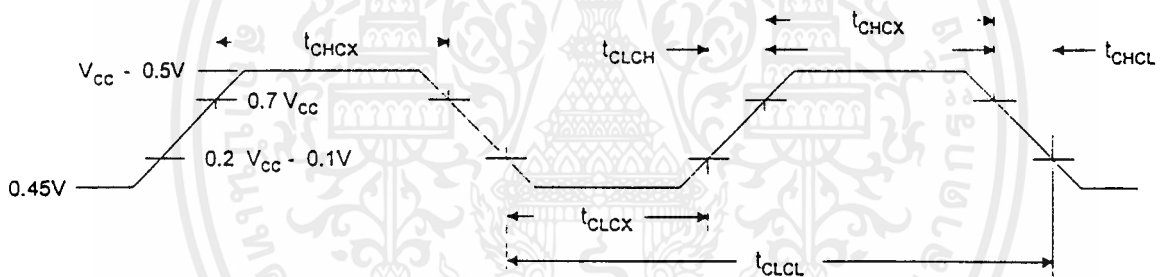


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## External Data Memory Write Cycle



## External Clock Drive Waveforms



## External Clock Drive

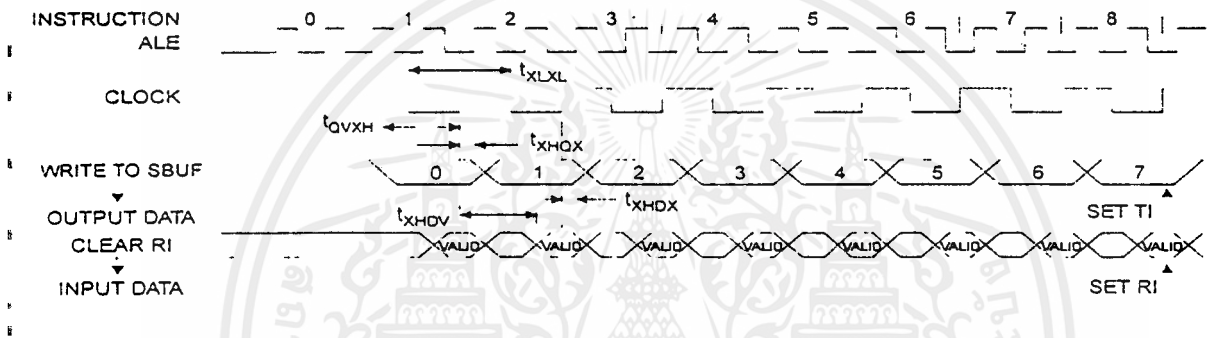
Symbol	Parameter	Min	Max	Units
$1/t_{CLCL}$	Oscillator Frequency	0	24	MHz
$t_{CLCL}$	Clock Period	41.6		ns
$t_{CHCX}$	High Time	15		ns
$t_{CLCX}$	Low Time	15		ns
$t_{CLCH}$	Rise Time		20	ns
$t_{CHCL}$	Fall Time		20	ns

Serial Port Timing: Shift Register Mode Test Conditions

(V<sub>CC</sub> = 5.0 V ± 20%; Load Capacitance = 80 pF)

Symbol	Parameter	12 MHz Osc		Variable Oscillator		Units
		Min	Max	Min	Max	
t <sub>XLXL</sub>	Serial Port Clock Cycle Time	1.0		12t <sub>CLCL</sub>		μs
t <sub>QVXH</sub>	Output Data Setup to Clock Rising Edge	700		10t <sub>CLCL</sub> -133		ns
t <sub>XHQX</sub>	Output Data Hold After Clock Rising Edge	50		2t <sub>CLCL</sub> -117		ns
t <sub>XHDX</sub>	Input Data Hold After Clock Rising Edge	0		0		ns
t <sub>XHDV</sub>	Clock Rising Edge to Input Data Valid		700		10t <sub>CLCL</sub> -133	ns

Shift Register Mode Timing Waveforms



AC Testing Input/Output Waveforms<sup>(1)</sup> Float Waveforms<sup>(1)</sup>



Note: 1. AC Inputs during testing are driven at V<sub>CC</sub> - 0.5V for a logic 1 and 0.45V for a logic 0. Timing measurements are made at V<sub>IH</sub> min. for a logic 1 and V<sub>IL</sub> max. for a logic 0.

Note: 1. For timing purposes, a port pin is no longer floating when a 100 mV change from load voltage occurs. A port pin begins to float when 100 mV change from the loaded V<sub>OH</sub>/V<sub>OL</sub> level occurs.





## Ordering Information

Speed (MHz)	Power Supply	Ordering Code	Package	Operation Range	
12	5V ± 20%	AT89C51-12AC	44A	Commercial (0°C to 70°C)	
		AT89C51-12JC	44J		
		AT89C51-12PC	40P6		
		AT89C51-12QC	44Q		
			AT89C51-12AI	44A	Industrial (-40°C to 85°C)
			AT89C51-12JI	44J	
			AT89C51-12PI	40P6	
			AT89C51-12QI	44Q	
			AT89C51-12AA	44A	Automotive (-40°C to 105°C)
			AT89C51-12JA	44J	
			AT89C51-12PA	40P6	
			AT89C51-12QA	44Q	
16	5V ± 20%	AT89C51-16AC	44A	Commercial (0°C to 70°C)	
		AT89C51-16JC	44J		
		AT89C51-16PC	40P6		
		AT89C51-16QC	44Q		
			AT89C51-16AI	44A	Industrial (-40°C to 85°C)
			AT89C51-16JI	44J	
			AT89C51-16PI	40P6	
			AT89C51-16QI	44Q	
			AT89C51-16AA	44A	Automotive (-40°C to 105°C)
			AT89C51-16JA	44J	
			AT89C51-16PA	40P6	
			AT89C51-16QA	44Q	
20	5V ± 20%	AT89C51-20AC	44A	Commercial (0°C to 70°C)	
		AT89C51-20JC	44J		
		AT89C51-20PC	40P6		
		AT89C51-20QC	44Q		
			AT89C51-20AI	44A	Industrial (-40°C to 85°C)
			AT89C51-20JI	44J	
			AT89C51-20PI	40P6	
			AT89C51-20QI	44Q	

## Ordering Information

Speed (MHz)	Power Supply	Ordering Code	Package	Operation Range
24	5V ± 20%	AT89C51-24AC	44A	Commercial (0°C to 70°C)
		AT89C51-24JC	44J	
		AT89C51-24PC	44P6	
		AT89C51-24QC	44Q	
		AT89C51-24AI	44A	Industrial (-40°C to 85°C)
		AT89C51-24JI	44J	
		AT89C51-24PI	44P6	
		AT89C51-24QI	44Q	



Package Type	
44A	44 Lead, Thin Plastic Gull Wing Quad Flatpack (TQFP)
44J	44 Lead, Plastic J-Leaded Chip Carrier (PLCC)
40P6	40 Lead, 0.600" Wide, Plastic Dual Inline Package (PDIP)
44Q	44 Lead, Plastic Gull Wing Quad Flatpack (PQFP)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### Features

- CMOS Low Power with Video Speed (70mW Typ.)
- Parallel Conversion Technique
- Signal Power Supply Voltage (3V to 7.5V)
- 15MHz Sampling Rate with Single 5V Supply
- 6-Bit Latched Tri-State Output with Overflow Bit
- Pin-for-Pin Retrofit for the CA3300

### Applications

- TV Video Digitizing
- Ultrasound Signature Analysis
- Transient Signal Analysis
- High Energy Physics Research
- High Speed Oscilloscope Storage/Display
- General Purpose Hybrid ADCs
- Optical Character Recognition
- Radar Pulse Analysis
- Motion Signature Analysis
- Robot Vision

### Description

The CA3306 family are CMOS parallel (FLASH) analog-to-digital converters designed for applications demanding both low power consumption and high speed digitization. Digitizing at 15MHz, for example, requires only about 50mW.

The CA3306 family operates over a wide, full scale signal input voltage range of 1V up to the supply voltage. Power consumption is as low as 15mW, depending upon the clock frequency selected. The CA3306 types may be directly retrofitted into CA3300 sockets, offering improved linearity at a lower reference voltage and high operating speed with a 5V supply.

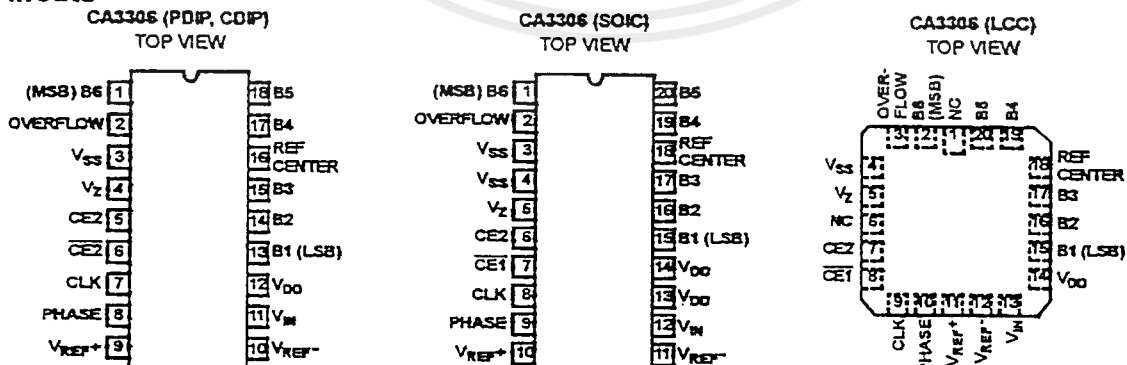
The intrinsic high conversion rate makes the CA3306 types ideally suited for digitizing high speed signals. The overflow bit makes possible the connection of two or more CA3306s in series to increase the resolution of the conversion system. A series connection of two CA3306s may be used to produce a 7-bit high speed converter. Operation of two CA3306s in parallel doubles the conversion speed (i.e., increases the sampling rate from 15MHz to 30MHz).

Sixty-four paralleled auto balanced comparators measure the input voltage with respect to a known reference to produce the parallel bit outputs in the CA3306. Sixty-three comparators are required to quantize all input voltage levels in this 6-bit converter, and the additional comparator is required for the overflow bit.

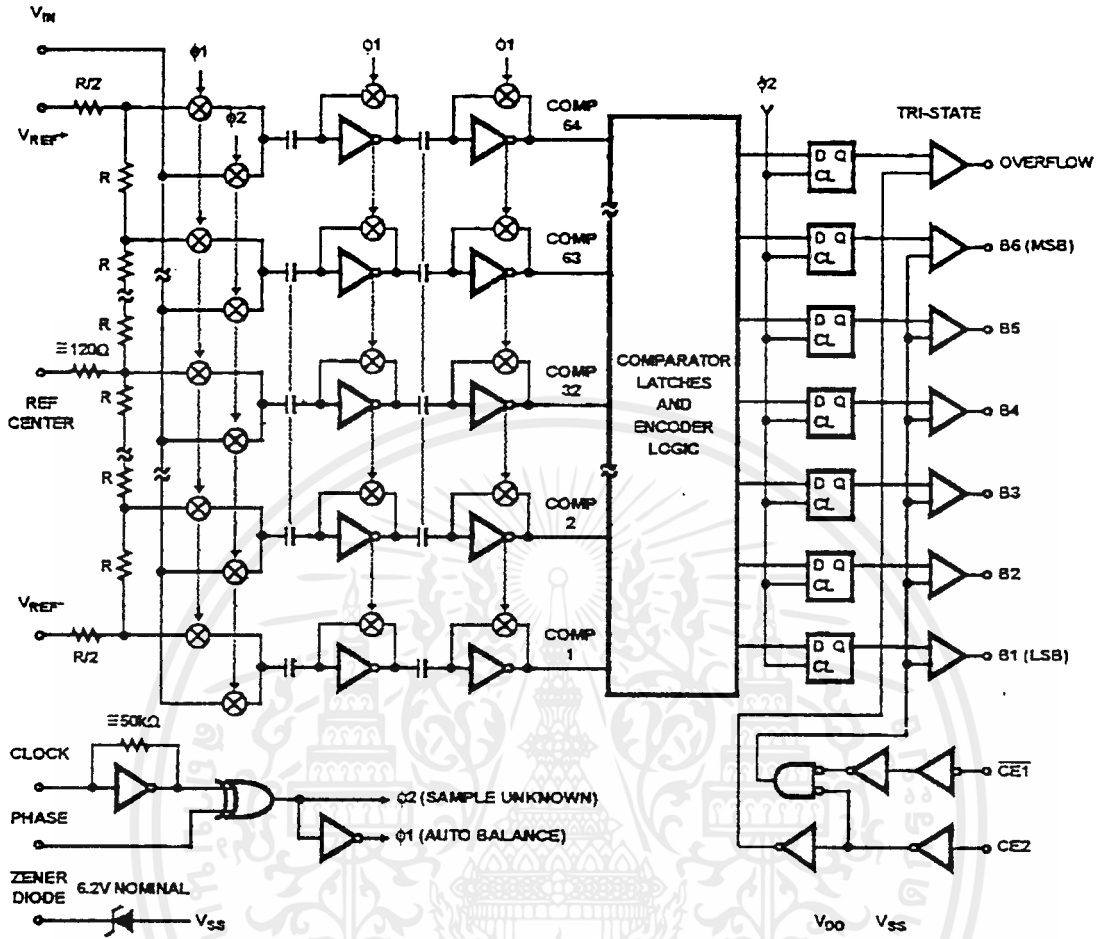
### Ordering Information

PART NUMBER	LINEARITY (INL, DNL)	SAMPLING RATE	TEMPERATURE RANGE	PACKAGE
CA3306E	±0.5 LSB	15MHz (67ns)	-40°C to +85°C	18 Lead Plastic DIP
CA3306AE	-0.25 LSB	15MHz (67ns)	-40°C to +85°C	18 Lead Plastic DIP
CA3306CE	±0.5 LSB	10MHz (100ns)	-40°C to +85°C	18 Lead Plastic DIP
CA3306M	±0.5 LSB	15MHz (67ns)	-40°C to +85°C	20 Lead Plastic SOIC
CA3306CM	±0.5 LSB	10MHz (100ns)	-40°C to +85°C	20 Lead Plastic SOIC
CA3306D	±0.5 LSB	15MHz (67ns)	-55°C to +125°C	18 Lead Ceramic DIP
CA3306AD	-0.25 LSB	15MHz (67ns)	-55°C to +125°C	18 Lead Ceramic DIP
CA3306CD	±0.5 LSB	10MHz (100ns)	-55°C to +125°C	18 Lead Ceramic DIP
CA3306J3	±0.5 LSB	15MHz (67ns)	-55°C to +125°C	20 Lead LCC
CA3306J3	±0.5 LSB	10MHz (100ns)	-55°C to +125°C	20 Lead LCC

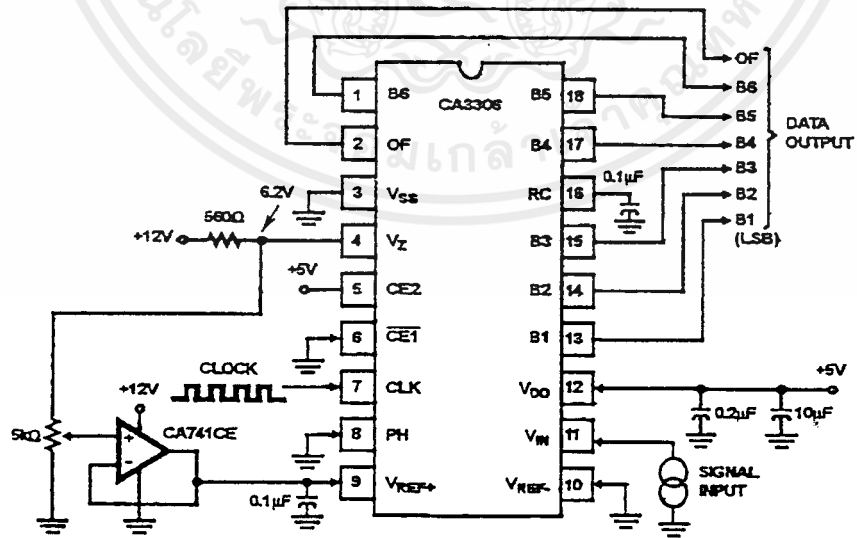
### Pinouts



Functional Block Diagram



Typical Application Circuit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Specifications CA3306, CA3306A, CA3306C

### Absolute Maximum Ratings

DC Supply Voltage Range, $V_{DD}$	
Voltage Referenced to $V_{SS}$ Terminal	.....-0.5V to +8.5V
Input Voltage Range	
All Inputs Except Zener	.....-0.5V to $V_{DD} + 0.5V$
DC Input Current	
CLK, PH, CE1, CE2, $V_{IN}$	..... $\pm 20mA$
Storage Temperature Range	.....-65°C to +150°C
Lead Temperature (Soldering 10s)	..... +300°C

### Thermal Information

Thermal Resistance	$\theta_{JA}$	$\theta_{JC}$
Ceramic DIP Package	70°C/W	12°C/W
Plastic DIP	95°C/W	-
Plastic SOIC	95°C/W	-
Ceramic LCC	65°C/W	12°C/W
Maximum Power Dissipation		
E, M, or D Package	..... 315mW	
Operating Temperature Range ( $T_A$ )		
Ceramic Package (D Suffix)	.....-55°C to +125°C	
Plastic Package (E or M Suffix)	.....-40°C to +85°C	

**CAUTION:** Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

### Operating Conditions

Supply Voltage Range	..... .3V to 8V	Max Junction Temperature	
		Ceramic Package	..... +175°C
		Plastic Package	..... +150°C

### Electrical Specifications

$T_A = +25^\circ C$ ,  $V_{DD} = 5V$ ,  $V_{REF+} = 4.8V$ ,  $V_{SS} = V_{REF-} = GND$ , Clock = 15MHz Square Wave for CA3306 or CA3306A, 10MHz for CA3306C

PARAMETERS		TEST CONDITIONS	MIN	TYP	MAX	UNITS
<b>SYSTEM PERFORMANCE</b>						
Resolution			6	-	-	Bits
Integral Linearity Error, INL	CA3306, CA3306C		-	$\pm 0.25$	$\pm 0.5$	LSB
	CA3306A		-	$\pm 0.2$	$\pm 0.25$	LSB
Differential Linearity Error, DNL	CA3306, CA3306C		-	$\pm 0.25$	$\pm 0.5$	LSB
	CA3306A		-	$\pm 0.2$	$\pm 0.25$	LSB
Offset Error (Unadjusted)	CA3306, CA3306C	(Note 1)	-	$\pm 0.5$	$\pm 1$	LSB
	CA3306A		-	$\pm 0.25$	$\pm 0.5$	LSB
Gain Error (Unadjusted)	CA3306, CA3306C	(Note 2)	-	$\pm 0.5$	$\pm 1$	LSB
	CA3306A		-	$\pm 0.25$	$\pm 0.5$	LSB
Gain Temperature Coefficient			-	+0.1	-	mV/°C
Offset Temperature Coefficient			-	-0.1	-	mV/°C
<b>DYNAMIC CHARACTERISTICS (Input Signal Level 0.5dB Below Full Scale)</b>						
Maximum Conversion Speed	CA3306C		10	13	-	MSPS
	CA3306, CA3306A		15	20	-	MSPS
Maximum Conversion Speed	CA3306C	(Note 4)	12	-	-	MSPS
	CA3306, CA3306A	$\phi 1, \phi 2 \geq \text{Minimum}$	18	-	-	MSPS
Allowable Input Bandwidth		(Note 4)	DC	-	$f_{clock/2}$	MHz
-3dB Input Bandwidth			-	30	-	MHz
Signal to Noise Ratio (SNR) = $\frac{\text{RMS Signal}}{\text{RMS Noise}}$		$F_S = 15\text{MHz}, f_{IN} = 100\text{kHz}$	-	34.6	-	dB
		$F_S = 15\text{MHz}, f_{IN} = 5\text{MHz}$	-	33.4	-	dB
Signal to Noise Ratio (SINAD) = $\frac{\text{RMS Signal}}{\text{RMS Noise} + \text{Distortion}}$		$F_S = 15\text{MHz}, f_{IN} = 100\text{kHz}$	-	34.2	-	dB
		$F_S = 15\text{MHz}, f_{IN} = 5\text{MHz}$	-	29.0	-	dB
Total Harmonic Distortion, THD		$F_S = 15\text{MHz}, f_{IN} = 100\text{kHz}$	-	-46.0	-	dBc
		$F_S = 15\text{MHz}, f_{IN} = 5\text{MHz}$	-	-30.0	-	dBc
Effective Number of Bits (ENOB)		$F_S = 15\text{MHz}, f_{IN} = 100\text{kHz}$	-	5.5	-	Bits
		$F_S = 15\text{MHz}, f_{IN} = 5\text{MHz}$	-	4.5	-	Bits

## Specifications CA3306, CA3306A, CA3306C

**Electrical Specifications**  $T_A = +25^\circ\text{C}$ ,  $V_{DD} = 5\text{V}$ ,  $V_{REF+} = 4.8\text{V}$ ,  $V_{SS} = V_{REF-} = \text{GND}$ , Clock = 15MHz Square Wave for CA3306 or CA3306A, 10MHz for CA3306C (Continued)

PARAMETERS		TEST CONDITIONS	MIN	TYP	MAX	UNITS
<b>ANALOG INPUTS</b>						
Positive Full Scale Input Range		(Notes 3, 4)	1	4.8	$V_{DD} + 0.5$	V
Negative Full Scale Input Range		(Notes 3, 4)	-0.5	0	$V_{DD} - 1$	V
Input Capacitance			-	15	-	pF
Input Current		$V_{IN} = 4.92\text{V}$ , $V_{DD} = 5\text{V}$	-	-	$\pm 500$	$\mu\text{A}$
<b>INTERNAL VOLTAGE REFERENCE</b>						
Zener Voltage		$I_Z = 10\text{mA}$	5.4	6.2	7.4	V
Zener Dynamic Impedance		$I_Z = 10\text{mA}$ , 20mA	-	12	25	$\Omega$
Zener Temperature Coefficient			-	-0.5	-	mV/°C
<b>REFERENCE INPUTS</b>						
Resistor Ladder Impedance			650	1100	1550	$\Omega$
<b>DIGITAL INPUTS</b>						
Maximum $V_{IN}$ , Logic 0		All Digital Inputs (Note 4)	-	-	$0.3 \times V_{DD}$	V
Maximum $V_{IN}$ , Logic 1		All Digital Inputs (Note 4)	$0.7 \times V_{DD}$	-	-	V
Digital Input Current		Except CLK, $V_{IN} = 0\text{V}$ , 5V	-	$\pm 1$	$\pm 5$	$\mu\text{A}$
Digital Input Current		CLK Only	-	$\pm 100$	$\pm 200$	$\mu\text{A}$
<b>DIGITAL OUTPUTS</b>						
Digital Output Tri-State Leakage		$V_{OUT} = 0\text{V}$ , 5V	-	$\pm 1$	$\pm 5$	$\mu\text{A}$
Digital Output Source Current		$V_{OUT} = 4.6\text{V}$	-1.6	-	-	mA
Digital Output Sink Current		$V_{OUT} = 0.4\text{V}$	3.2	-	-	mA
<b>TIMING CHARACTERISTICS</b>						
Auto Balance Time ( $\phi 1$ )	CA3306C		50	-	$\infty$	ns
	CA3306, CA3306A		33	-	$\infty$	
Sample Time ( $\phi 2$ )	CA3306C	(Note 4)	33	-	5000	ns
	CA3306, CA3306A		22	-	5000	ns
Aperture Delay			-	8	-	ns
Aperture Jitter			-	100	-	ps <sub>p-p</sub>
Output Data Valid Delay ( $T_D$ )	CA3306C		-	35	50	ns
	CA3306, CA3306A		-	30	40	ns
Output Data Hold Time ( $T_H$ )		(Note 4)	15	25	-	ns
Output Enable Time, ( $T_{EN}$ )			-	20	-	ns
Output Disable Time ( $T_{DIS}$ )			-	15	-	ns
<b>POWER SUPPLY CHARACTERISTICS</b>						
$I_{DD}$ Current, Refer to Figure 4	CA3306C	Continuous Conversion (Note 4)	-	11	20	mA
	CA3306, CA3306A		-	14	25	mA
$I_{DD}$ Current		Continuous $\phi 1$	-	7.5	15	mA

**NOTES:**

1. OFFSET ERROR is the difference between the input voltage that causes the 00 to 01 output code transition and  $(V_{REF+} - V_{REF-})/128$ .
2. GAIN ERROR is the difference the input voltage that causes the 3F<sub>16</sub> to overflow output code transition and  $(V_{REF+} - V_{REF-}) \times 127/128$ .
3. The total input voltage range, set by  $V_{REF+}$  and  $V_{REF-}$ , may be in the range of 1 to  $(V_{DD} + 1)$  V.
4. Parameter not tested, but guaranteed by design or characterization.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CA3306, CA3306A, CA3306C

Timing Waveforms

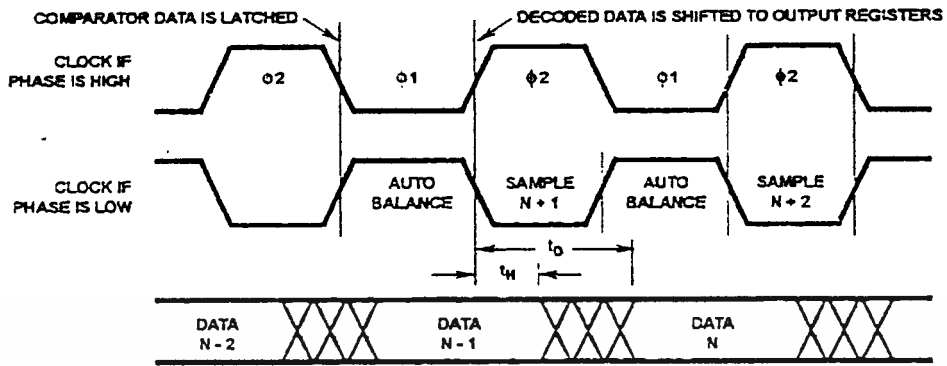


FIGURE 1. INPUT-TO-OUTPUT

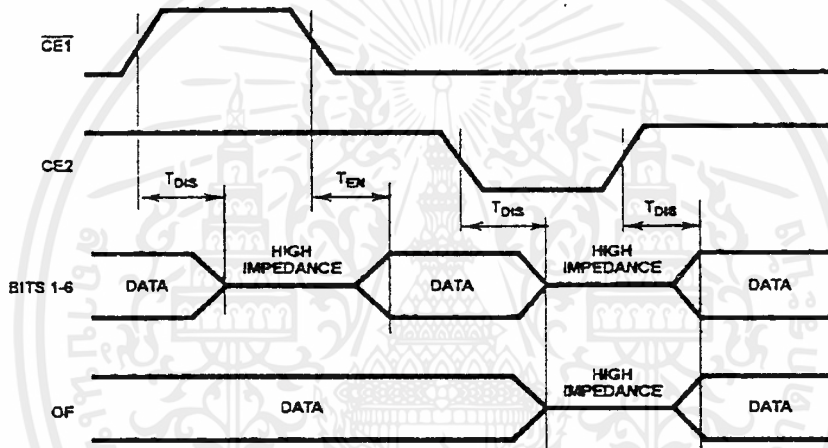


FIGURE 2. OUTPUT ENABLE

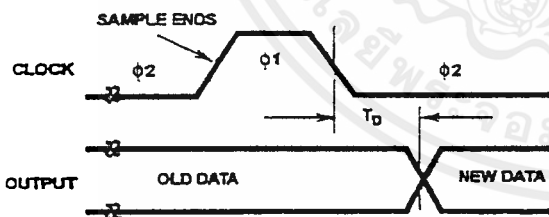


FIGURE 3A.

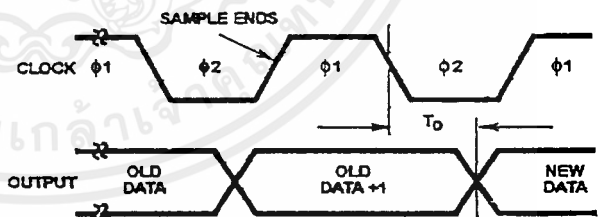


FIGURE 3B.

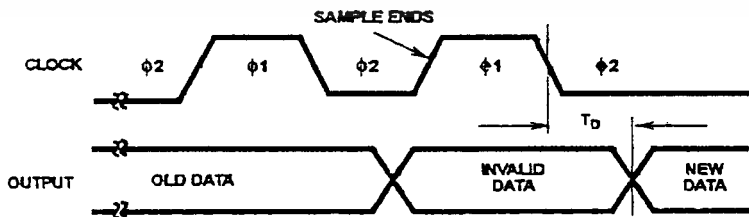


FIGURE 3C.

FIGURE 3. PULSE MODE

Typical Performance Curves

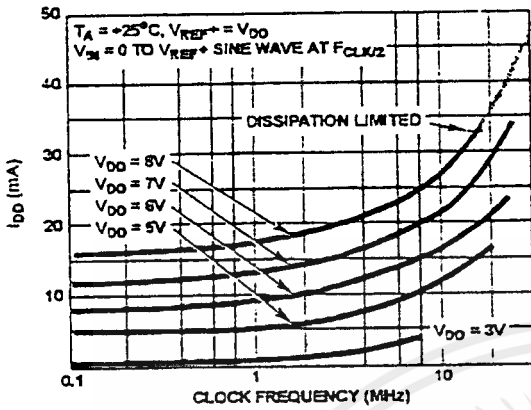


FIGURE 4. TYPICAL  $I_{DD}$  AS A FUNCTION OF  $V_{DD}$

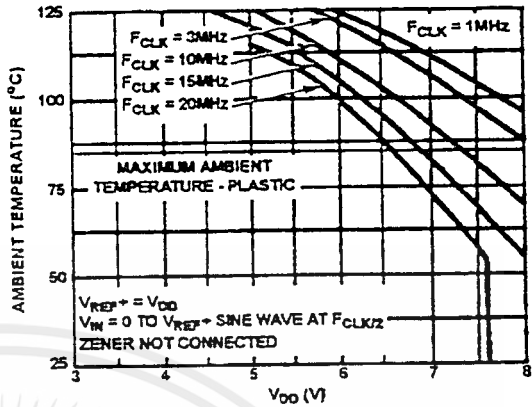


FIGURE 5. TYPICAL MAXIMUM AMBIENT TEMPERATURE AS A FUNCTION OF SUPPLY VOLTAGE

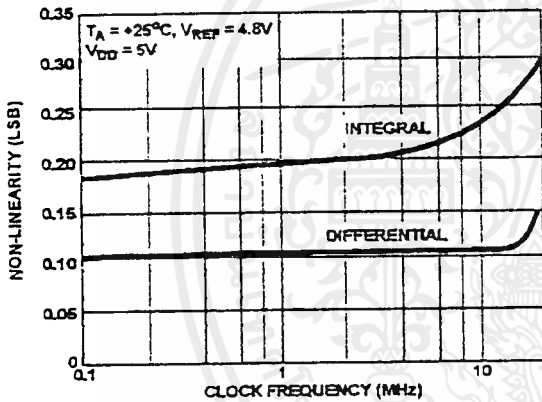


FIGURE 6. TYPICAL NON-LINEARITY AS A FUNCTION OF CLOCK SPEED

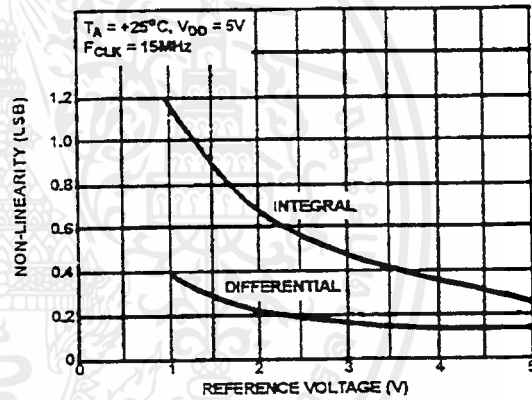


FIGURE 7. TYPICAL NON-LINEARITY AS A FUNCTION OF REFERENCE VOLTAGE

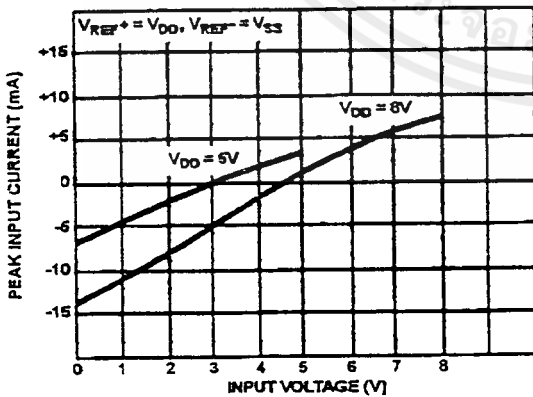


FIGURE 8. TYPICAL PEAK INPUT CURRENT AS A FUNCTION OF INPUT VOLTAGE

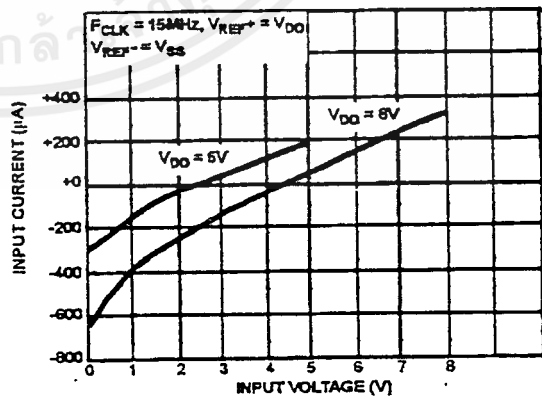


FIGURE 9. TYPICAL AVERAGE INPUT CURRENT AS A FUNCTION OF INPUT VOLTAGE

Typical Performance Curves (Continued)

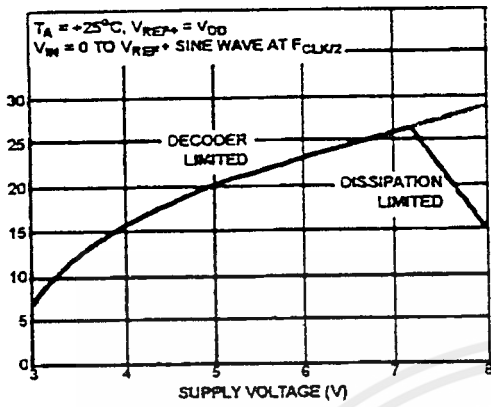


FIGURE 10. TYPICAL MAXIMUM CLOCK FREQUENCY AS A FUNCTION OF SUPPLY VOLTAGE

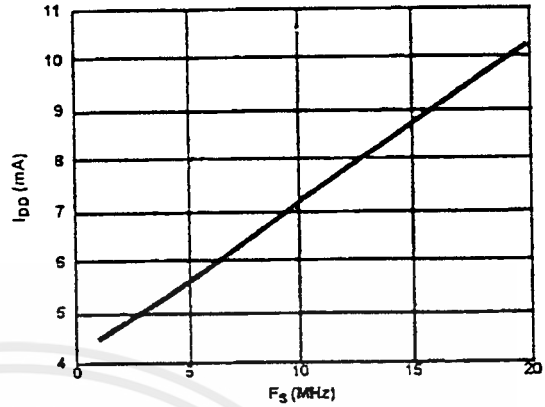


FIGURE 11. DEVICE CURRENT vs SAMPLE FREQUENCY

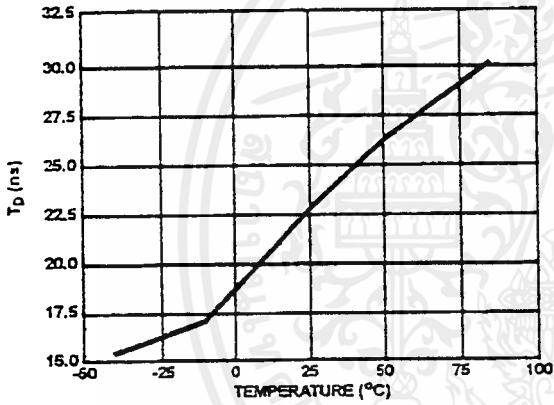


FIGURE 12. DATA DELAY vs TEMPERATURE

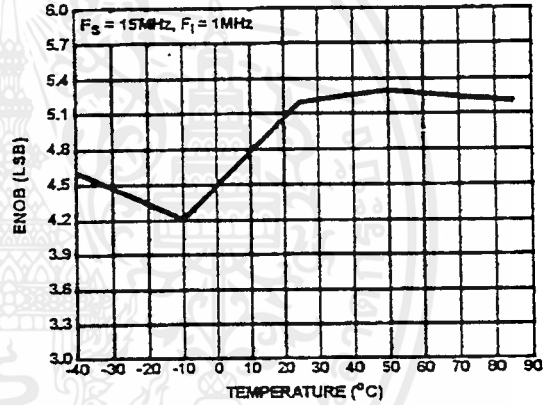


FIGURE 13. ENOB vs TEMPERATURE

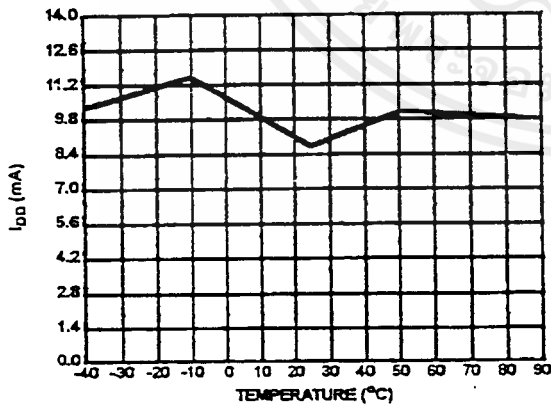


FIGURE 14.  $I_{DD}$  vs TEMPERATURE

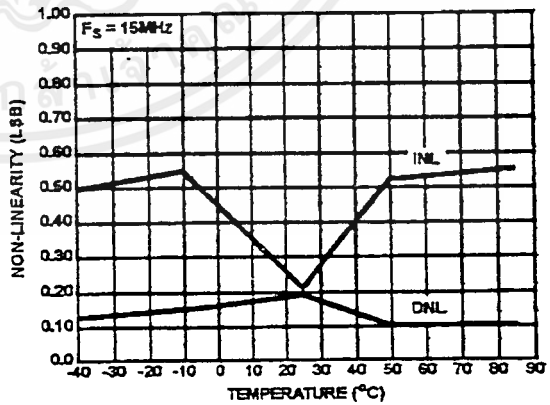


FIGURE 15. NON-LINEARITY vs TEMPERATURE

CA3306, CA3306A, CA3306C

Typical Performance Curves (Continued)

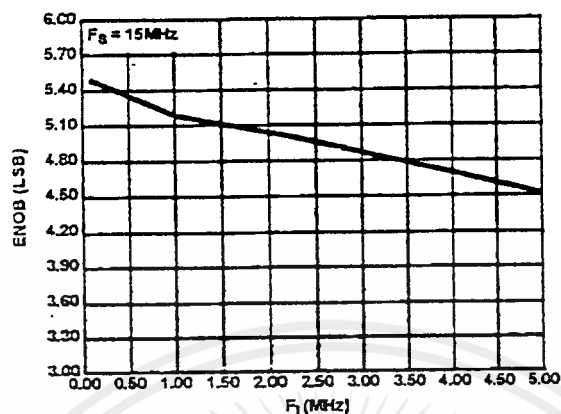


FIGURE 18. ENOB vs INPUT FREQUENCY

Pin Descriptions

PIN NUMBER		NAME	DESCRIPTION
DIP	SOIC		
1	1	B6	Bit 6, Output (MSB).
2	2	OF	Overflow, Output.
3	3, 4	V <sub>SS</sub>	Digital Ground.
4	5	VZ	Zener Reference Output.
5	6	CE2	Tri-State Output Enable Input, Active Low. See Table 1.
6	7	CE1	Tri-State Output Enable Input, Active High. See Table 1.
7	8	CLK	Clock Input.
8	9	Phase	Sample clock phase control input. When PHASE is low, "Sample Unknown" occurs when the clock is low and "Auto Balance" occurs when the clock is high (see text).
9	10	V <sub>REF+</sub>	Reference Voltage Positive Input.
10	11	V <sub>REF-</sub>	Reference Voltage Negative Input.
11	12	V <sub>IN</sub>	Analog Signal Input.
12	13, 14	V <sub>DD</sub>	Power Supply, +5V.
13	15	B1	Bit 1, Output (LSB).
14	16	B2	Bit 2, Output.
15	17	B3	Bit 3, Output.
16	18	REF(CTR)	Reference Ladder Midpoint.
17	19	B4	Bit 4, Output.
18	20	B5	Bit 5, Output.

CA3306, CA3306A, CA3306C

TABLE 1. CHIP ENABLE TRUTH TABLE

$\overline{CE1}$	CE2	B1 - B6	OF
0	1	Valid	Valid
1	1	Tri-State	Valid
X	0	Tri-State	Tri-State

X = Don't care

TABLE 2. OUTPUT CODE TABLE

CODE DESCRIPTION	(NOTE 1) INPUT VOLTAGE				BINARY OUTPUT CODE (LSB)							DECIMAL COUNT
	$V_{REF}$ 6.40 (V)	$V_{REF}$ 5.12 (V)	$V_{REF}$ 4.80 (V)	$V_{REF}$ 3.20 (V)	OF	B6	B5	B4	B3	B2	B1	
Zero	0.00	0.00	0.00	0.00	0	0	0	0	0	0	0	0
1 LSB	0.10	0.08	0.075	0.05	0	0	0	0	0	0	1	1
2 LSB	0.20	0.16	0.15	0.10	0	0	0	0	0	1	0	2
.	.	.	.	.	.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.	.	.	.	.	.
1/2 Full Scale - 1 LSB	3.10	2.48	2.325	1.55	0	0	1	1	1	1	1	31
1/2 Full Scale	3.20	2.56	2.40	1.60	0	1	0	0	0	0	0	32
1/2 Full Scale + 1 LSB	3.30	2.64	2.475	1.65	0	1	0	0	0	0	1	33
.	.	.	.	.	.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.	.	.	.	.	.
Full Scale - 1 LSB	6.20	4.96	4.65	3.10	0	1	1	1	1	1	0	62
Full Scale	6.30	5.04	4.725	3.15	0	1	1	1	1	1	1	63
Overflow	6.40	5.12	4.80	3.20	1	1	1	1	1	1	1	127

NOTE:

- The voltages listed above are the ideal centers of each output code shown as a function of its associated reference voltage.

## Device Operation

A sequential parallel technique is used by the CA3306 converter to obtain its high speed operation. The sequence consists of the "Auto Balance" phase  $\phi_1$  and the "Sample Unknown" phase  $\phi_2$ . (Refer to the circuit diagram.) Each conversion takes one clock cycle.\* With the phase control low, the "Auto Balance" ( $\phi_1$ ) occurs during the High period of the clock cycle, and the "Sample Unknown" ( $\phi_2$ ) occurs during the low period of the clock cycle.

During the "Auto Balance" phase, a transmission-gate switch is used to connect each of 64 commutating capacitors to their associated ladder reference tap. Those tap voltages will be as follows:

$$V_{TAP}(N) = \left[ \frac{(V_{REF}/64) \times N}{2} - \frac{V_{REF}}{2 \times 64} \right] \\ = V_{REF} \left[ \frac{(2N - 1)}{128} \right]$$

Where:  $V_{TAP}(N)$  = reference ladder tap voltage at point N  
 $V_{REF}$  = voltage across  $V_{REF-}$  to  $V_{REF+}$   
 N = tap number (1 through 64)

\* This device requires only a single-phase clock. The terminology of  $\phi_1$  and  $\phi_2$  refers to the High and Low periods of the same clock.

The other side of the capacitor is connected to a single-stage inverting amplifier whose output is shorted to its input by a switch. This biases the amplifier at its intrinsic trip point, which is approximately,  $(V_{DD} - V_{SS})/2$ . The capacitors now charge to their associated tap voltages, priming the circuit for the next phase.

In the "Sample Unknown" phase, all ladder tap switches are opened, the comparator amplifiers are no longer shorted, and  $V_{IN}$  is switched to all 64 capacitors. Since the other end of the capacitor is now looking into an effectively open circuit, any voltage that differs from the previous tap voltage will appear as a voltage shift at the comparator amplifiers. All comparators whose tap voltages were lower than  $V_{IN}$  will drive the comparator outputs to a "low" state. All comparators whose tap voltages were higher than  $V_{IN}$  will drive the comparator outputs to a "high" state. A second, capacitor-coupled, auto-zeroed amplifier further amplifies the outputs.

The status of all these comparator amplifiers are stored at the end of this phase ( $\phi_2$ ), by a secondary latching amplifier stage. Once latched, the status of the 64 comparators is decoded by a 64-bit 7-bit decode array and the results are clocked into a storage register at the rising edge of the next  $\phi_2$ .

A tri-state buffer is used at the output of the 7 storage registers which are controlled by two chip-enable signals. CE1 will independently disable B1 through B6 when it is in a high state. CE2 will independently disable B1 through B6 and the OF buffers when it is in the low state (Table 1).

To facilitate usage of this device a phase-control input is provided which can effectively complement the clock as it enters the chip. Also, an on-board zener is provided for use as a reference voltage.

## Continuous Clock Operation

One complete conversion cycle can be traced through the CA3306 via the following steps. (Refer to timing diagram, Figure 1.) With the phase control in a "High" state, the rising edge of the clock input will start a "sample" phase. During this entire "High" state of the clock, the 64 comparators will track the input voltage and the 64 latches will track the comparator outputs. At the falling edge of the clock, after the specified aperture delay, all 64 comparator outputs are captured by the 64 latches. This ends the "sample" phase and starts the "auto balance" phase for the comparators. During this "Low" state of the clock the output of the latches propagates through the decode array and a 7-bit code appears at the D inputs of the output registers. On the next rising edge of the clock, this 7-bit code is shifted into the output registers and appears with time delay to as valid data at the output of the tri-state drivers. This also marks the start of a new "sample" phase, thereby repeating the conversion process for this next cycle.

## Pulse Mode Operation

For sampling high speed nonrecurrent or transient data, the converter may be operated in a pulse mode in one of three ways. The fastest method is to keep the converter in the Sample Unknown phase,  $\phi_2$ , during the standby state. The device can now be pulsed through the Auto Balance phase with a single pulse. The analog value is captured on the leading edge of  $\phi_1$  and is transferred into the output registers on the trailing edge of  $\phi_1$ . We are now back in the standby state,  $\phi_2$ , and another conversion can be started, but not later than  $5\mu s$  due to the eventual droop of the commutating capacitors. Another advantage of this method is that it has the potential of having the lowest power drain. The larger the time ratio between  $\phi_2$  and  $\phi_1$ , the lower the power consumption. (See Timing Waveform, Figure 3.)

The second method uses the Auto Balance phase,  $\phi_1$ , as the standby state. In this state the converter can stay indefinitely waiting to start a conversion. A conversion is performed by strobing the clock input with two  $\phi_2$  pulses. The first pulse starts a Sample Unknown phase and captures the analog value in the comparator latches on the trailing edge. A second  $\phi_2$  pulse is needed to transfer the data into the output registers. This occurs on the leading edge of the second pulse. The conversion now takes slightly longer, but the repetition rate may be as slow as desired. The disadvantage to this method is the higher device dissipation due to the low ratio of  $\phi_2$  to  $\phi_1$ . (See Timing Waveform, Figure 3B.)

For applications requiring both indefinite standby and lowest power, standby can be in the  $\phi_2$  (Sample Unknown) state with two  $\phi_1$  pulses to generate valid data (see Figure 3C). Valid data now appears two full clock cycles after starting the conversion process.

## Analog Input Considerations

The CA3306 input terminal is characterized by a small capacitance (see Specifications) and a small voltage-dependent current (See Typical Performance Curves). The signal-source impedance should be kept low, however, when operating the CA3306 at high clock rates.

## CA3306, CA3306A, CA3306C

The CA3306 outputs a short (less than 10ns) current spike of up to several mA amplitude (See Typical Performance Curves) at the beginning of the sample phase. (To a lesser extent, a spike also appears at the beginning of auto balance.) The driving source must recover from the spike by the end of the same phase, or a loss of accuracy will result.

A locally terminated 50Ω or 75Ω source is generally sufficient to drive the CA3306. If gain is required, a high speed, fast settling operational amplifier, such as the HA-5033, HA-2542, or HA5020 is recommended.

### Digital Input And Output Interfacing

The two chip-enable and the phase-control inputs are standard CMOS units. They should be driven from less than 0.3 x V<sub>DD</sub> to at least 0.7 x V<sub>DD</sub>. This can be done from 74HC series CMOS (QMOS), TTL with pull-up resistors, or, if V<sub>DD</sub> is greater than the logic supply, open collector or open drain drivers plus pull-ups. (See Figure 20.)

The clock input is more critical to timing variations, such as φ<sub>1</sub> becoming too short, for instance. Pull-up resistors should generally be avoided in favor of active drivers. The clock input may be capacitively coupled, as it has an internal 50kΩ feedback resistor on the first buffer stage, and will seek its own trip point. A clock source of at least 1V<sub>p-p</sub> is adequate, but extremely non-symmetrical waveforms should be avoided.

The output drivers have full rail-to-rail capability. If driving CMOS systems with V<sub>DD</sub> below the V<sub>DD</sub> of the CA3306, a CD74HC4050 or CD74HC4049 should be used to step down the voltage. If driving LSTTL systems, no step-down should be necessary, as most LSTTLs will take input swings up to 10V to 15V.

Although the output drivers are capable of handling typical data bus loading, the capacitor charging currents will produce local ground disturbances. For this reason, an external bus driver is recommended.

### Increased Accuracy

In most cases the accuracy of the CA3306 should be sufficient without any adjustments. In applications where accuracy is of utmost importance, three adjustments can be made to obtain better accuracy; i.e., offset trim, gain trim, and midpoint trim.

### Offset Trim

In general offset correction can be done in the preamp circuitry by introducing a DC shift to V<sub>IN</sub> or by the offset trim of the operational amplifier. When this is not possible the V<sub>REF-</sub> input can be adjusted to produce an offset trim. The theoretical input voltage to produce the first transition is 1/2 LSB. The equation is as follows:

$$V_{IN} (0 \text{ to } 1 \text{ transition}) = \frac{1}{2} \text{ LSB} = \frac{1}{2}(V_{REF-}/64) \\ = V_{REF-}/128$$

If V<sub>IN</sub> for the first transition is less than the theoretical, then a single-turn 50Ω pot connected between V<sub>REF-</sub> and ground will accomplish the adjustment. Set V<sub>IN</sub> to 1/2 LSB and trim the pot until the 0 to 1 transition occurs.

If V<sub>IN</sub> for the first transition is greater than the theoretical, then the 50Ω pot should be connected between V<sub>REF+</sub> and a negative voltage of about 2 LSBs. The trim procedure is as stated previously.

### Gain Trim

In general the gain trim can also be done in the preamp circuitry by introducing a gain adjustment for the operational amplifier. When this is not possible, then a gain adjustment circuit should be made to adjust the reference voltage. To perform this trim, V<sub>IN</sub> should be set to the 63 to overflow transition. That voltage is 1/2 LSB less than V<sub>REF+</sub> and is calculated as follows:

$$V_{IN} (63 \text{ to } 64 \text{ transition}) = V_{REF+} - V_{REF+}/128 \\ = V_{REF+}(127/128)$$

To perform the gain trim, first do the offset trim and then apply the required V<sub>IN</sub> for the 63 to overflow transition. Now adjust V<sub>REF+</sub> until that transition occurs on the outputs.

### Midpoint Trim

The reference center (RC) is available to the user as the midpoint of the resistor ladder. To trim the midpoint, the offset and gain trims should be done first. The theoretical transition from count 31 to 32 occurs at 31 1/2 LSBs. That voltage is as follows:

$$V_{IN} (31 \text{ to } 32 \text{ transition}) = 31.5 (V_{REF+}/64) \\ = V_{REF+}(63/128)$$

An adjustable voltage follower can be connected to the RC pin or a 2k pot can be connected between V<sub>REF+</sub> and V<sub>REF-</sub> with the wiper connected to RC. Set V<sub>IN</sub> to the 31 to 32 transition voltage, then adjust the voltage follower or the pot until the transition occurs on the output bits.

The Reference Center point can also be used to create unique transfer functions. The user must remember, however, that there is approximately 120Ω in series with the RC pin.

## Applications

### 7-Bit Resolution

To obtain 7-bit resolution, two CA3306s can be wired together. Necessary ingredients include an open-ended ladder network, an overflow indicator, tri-state outputs, and chip-enable controls - all of which are available on the CA3306.

The first step for connecting a 7-bit circuit is to totem-pole the ladder networks, as illustrated in Figure 17. Since the absolute resistance value of each ladder may vary, external trim of the mid-reference voltage may be required.

The overflow output of the lower device now becomes the seventh bit. When it goes high, all counts must come from the upper device. When it goes low, all counts must come from the lower device. This is done simply by connecting the lower overflow signal to the CE1 control of the lower A/D converter and the CE2 control of the upper A/D converter. The tri-state outputs of the two devices (bits 1 through 6) are now connected in parallel to complete the circuitry.

## CA3306, CA3306A, CA3306C

### Doubled Sampling Speed

The phase control and both positive and negative true chip enables allow the parallel connection of two CA3306s to double the sampling speed. Figure 18 shows this configuration. One converter samples on the positive phase of the clock, and the second on the negative. The outputs are also alternately enabled. Care should be taken to provide a near square-wave clock it operating at close to the maximum clock speed for the devices.

### 8-Bit to 12-Bit Conversion Techniques

To obtain 8-bit to 12-bit resolution and accuracy, use a feed-forward conversion technique. Two A/D converters will be needed to convert up to 11 bits; three A/D converters to convert 12 bits. The high speed of the CA3306 allows 12-bit conversions in the 500ns to 900ns range.

The circuit diagram of a high-speed 12-bit A/D converter is shown in Figure 19. In the feed-forward conversion method two sequential conversions are made. Converter A first does a coarse conversion to 6 bits. The output is applied to a 6-bit D/A converter whose accuracy level is good to 12 bits. The D/A converter output is then subtracted from the input voltage, multiplied by 32, and then converted by a second flash A/D converter, which is connected in a 7-bit configuration. The answers from the first and second conversions are added together with bit 1 of the first conversion overlapping bit 7 of the second conversion.

When using this method, take care that

- The linearity of the first converter is better than  $1/2$  LSB.
- An offset bias of 1 LSB (1/64) is subtracted from the first conversion since the second converter is unipolar.
- The D/A converter and its reference are accurate to the total number of bits desired for the final conversion (the A/D converter need only be accurate to 6 bits).

The first converter can be offset-biased by adding a 20 $\Omega$  resistor at the bottom of the ladder and increasing the reference voltage by 1 LSB. If a 6.4V reference is used in the system, for example, then the first CA3306 will require a 6.5V reference.

### Definitions

#### Dynamic Performance Definitions

Fast Fourier Transform (FFT) techniques are used to evaluate the dynamic performance of the converter. A low distortion sine wave is applied to the input, it is sampled, and the output is stored in RAM. The data is then transformed into the frequency domain with a 4096 point FFT and analyzed to evaluate the dynamic performance of the A/D. The sine wave input to the part is -0.5dB down from fullscale for all these tests.

### Signal-to-Noise (SNR)

SNR is the measured RMS signal to RMS noise at a specified input and sampling frequency. The noise is the RMS sum of all of the spectral components except the fundamental and the first five harmonics.

### Signal-to-Noise + Distortion Ratio (SINAD)

SINAD is the measured RMS signal to RMS sum of all other spectral components below the Nyquist frequency excluding DC.

### Effective Number of Bits (ENOB)

The effective number of bits (ENOB) is derived from the SINAD data. ENOB is calculated from:

$$\text{ENOB} = (\text{SINAD} - 1.76 + V_{\text{CORR}}) / 6.02$$

where:  $V_{\text{CORR}} = 0.5\text{dB}$

### Total Harmonic Distortion (THD)

THD is the ratio of the RMS sum of the first 5 harmonic components to the RMS value of the measured input signal.

## Operating and Handling Considerations

### 1. Handling

All inputs and outputs of Hams CMOS devices have a network for electrostatic protection during handling. Recommended handling practices for CMOS devices are described in AN6525, "Guide to Better Handling and Operation of CMOS Integrated Circuits."

### 2. Operating

#### Operating Voltage

During operation near the maximum supply voltage limit, care should be taken to avoid or suppress power supply turn-on and turn-off transients, power supply ripple, or ground noise; any of these conditions must not cause  $V_{\text{DD}} - V_{\text{SS}}$  to exceed the absolute maximum rating.

#### Input Signals

To prevent damage to the input protection circuit, input signals should never be greater than  $V_{\text{DD}}$  nor less than  $V_{\text{SS}}$ . Input currents must not exceed 20mA even when the power supply is off. The zener (pin 4) is the only terminal allowed to exceed  $V_{\text{DD}}$ .

#### Unused Inputs

A connection must be provided at every input terminal. All unused input terminals must be connected to either  $V_{\text{DD}}$  or  $V_{\text{SS}}$ , whichever is appropriate.

#### Output Short Circuits

Shorting of outputs to  $V_{\text{DD}}$  or  $V_{\text{SS}}$  may damage CMOS devices by exceeding the maximum device dissipation.

CA3306, CA3306A, CA3306C

Application Circuits

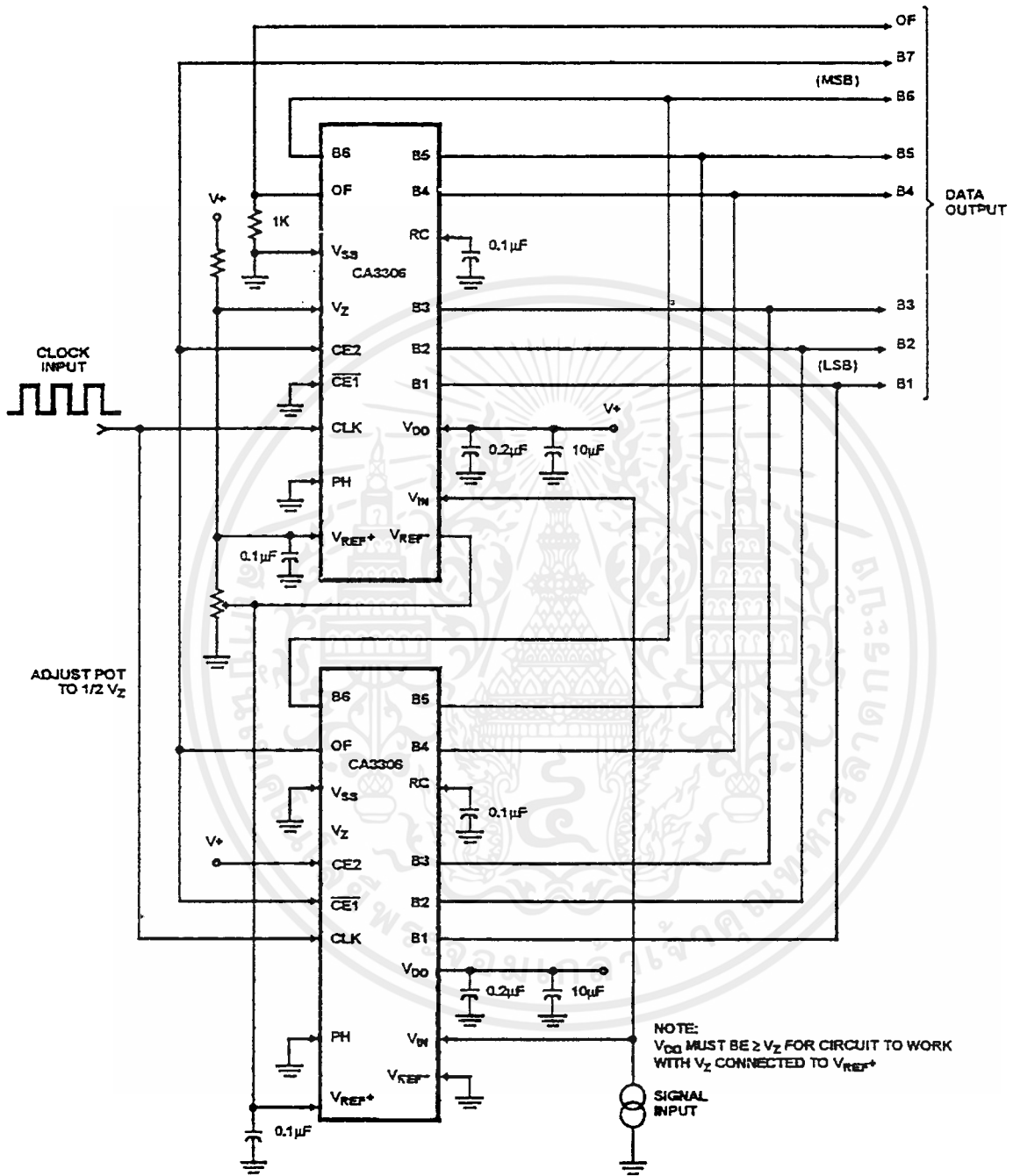


FIGURE 17. TYPICAL CA3306 7-BIT RESOLUTION CONFIGURATION

Application Circuits (Continued)

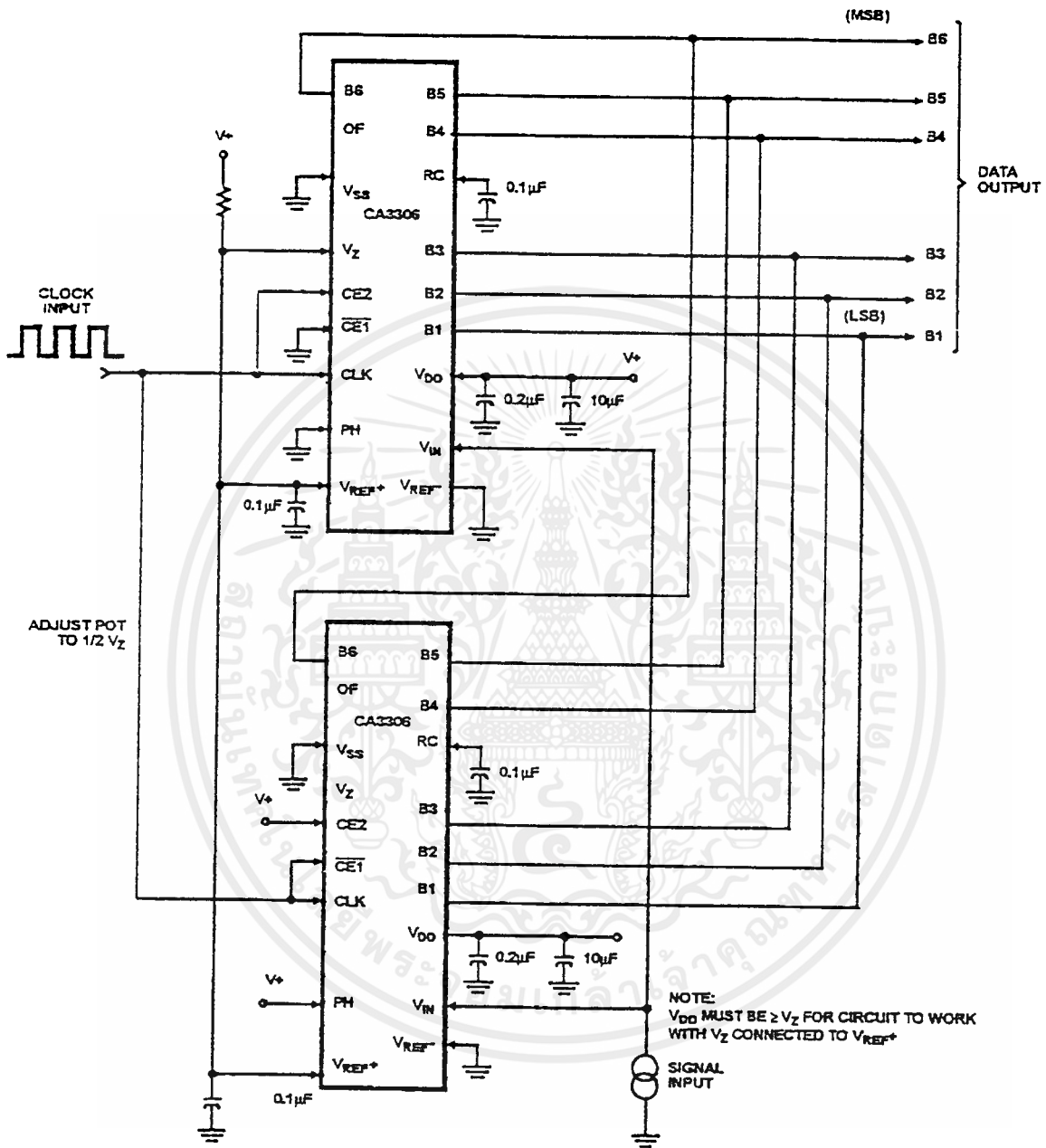


FIGURE 18. TYPICAL CA3306 6-BIT RESOLUTION CONFIGURATION WITH DOUBLE SAMPLING RATE CAPABILITY

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CA3306, CA3306A, CA3306C

Application Circuits (Continued)

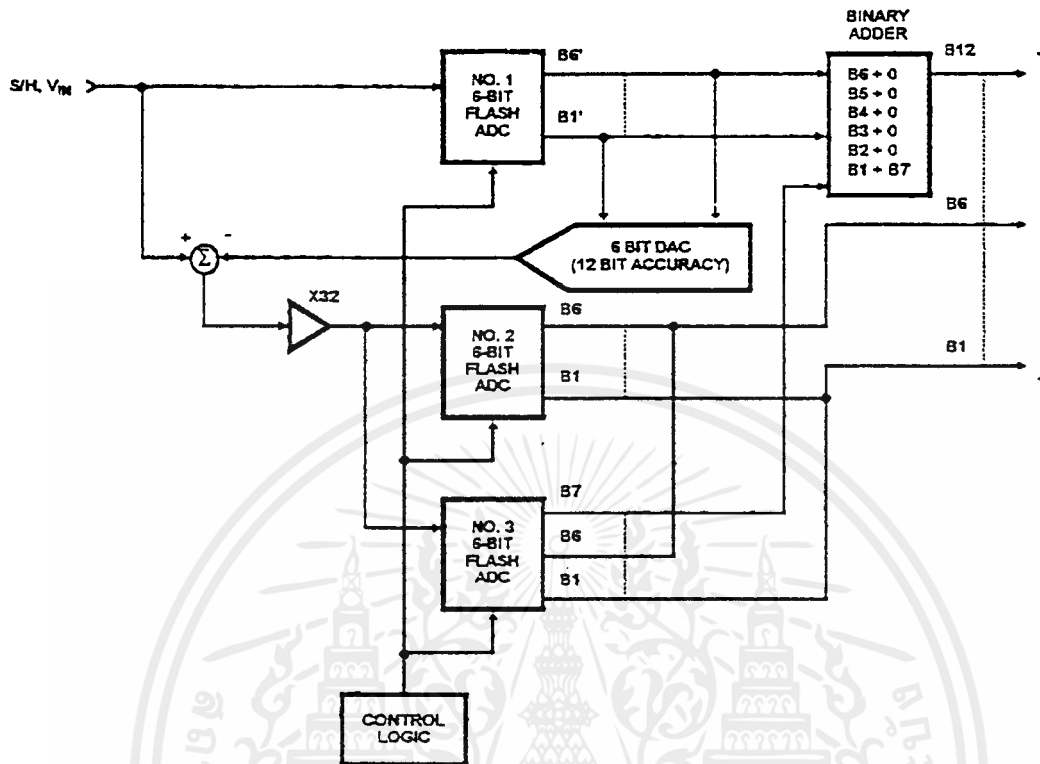


FIGURE 19. TYPICAL CA3306, 800ns, 12-BIT ADC SYSTEM

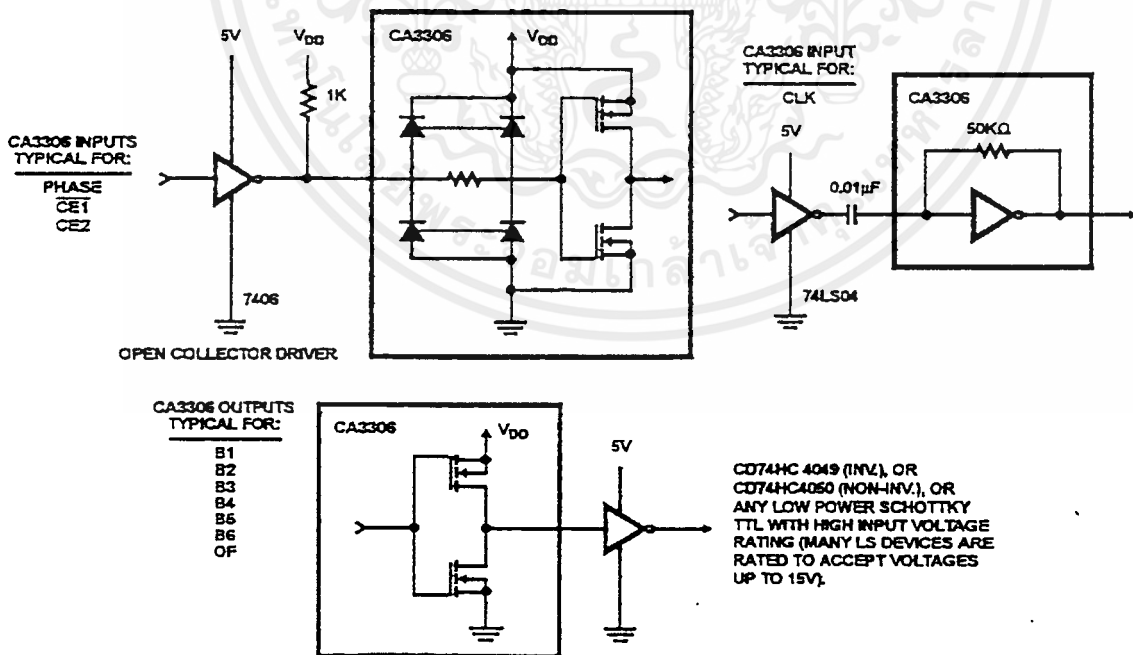


FIGURE 20. 5V LOGIC INTERFACE CIRCUIT FOR  $V_{DD} > 5.5V$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## LM1881 Video Sync Separator

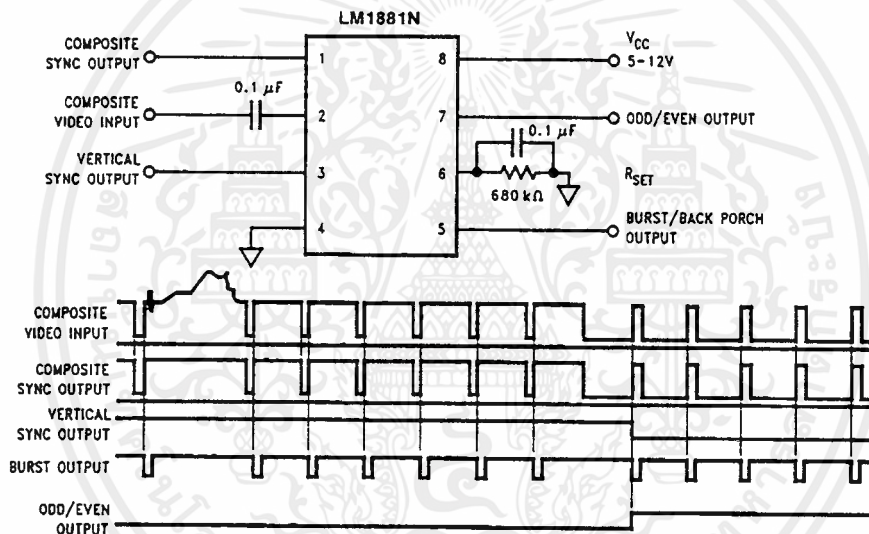
### General Description

The LM1881 Video sync separator extracts timing information including composite and vertical sync, burst/back porch timing, and odd/even field information from standard negative going sync NTSC, PAL\*, and SECAM video signals with amplitude from 0.5V to 2V p-p. The integrated circuit is also capable of providing sync separation for non-standard, faster horizontal rate video signals. The vertical output is produced on the rising edge of the first serration in the vertical sync period. A default vertical output is produced after a time delay if the rising edge mentioned above does not occur within the externally set delay period, such as might be the case for a non-standard video signal.

### Features

- AC coupled composite input signal
- > 10 k $\Omega$  input resistance
- < 10 mA power supply drain current
- Composite sync and vertical outputs
- Odd/even field output
- Burst gate/back porch output
- Horizontal scan rates to 150 kHz
- Edge triggered vertical output
- Default triggered vertical output for non-standard video signal (video games-home computers)

### Connection Diagram



Order Number LM1881M or LM1881N  
See NS Package Number M08A or N08E

TL/H/9150-1

\*PAL in this datasheet refers to European broadcast TV standard "Phase Alternating Line", and not to Programmable Array Logic.

## Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	13.2V
Input Voltage	3 Vpp ( $V_{CC} = 5V$ ) 6 Vpp ( $V_{CC} \geq 8V$ )
Output Sink Currents; Pins 1, 3, 5	5 mA
Output Sink Current; Pin 7	2 mA
Package Dissipation (Note 1)	1100 mW
Operating Temperature Range	0°C - 70°C

Storage Temperature Range	-65°C to +150°C
ESD Susceptibility (Note 2)	2 kV
Soldering Information	
Dual-In-Line Package (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C
See AN-450 "Surface Mounting Methods and their Effect on Product Reliability" for other methods of soldering surface mount devices.	

## Electrical Characteristics

$V_{CC} = 5V$ ;  $R_{SET} = 680\text{ k}\Omega$ ;  $T_A = 25^\circ\text{C}$ ; Unless otherwise specified

Parameter	Conditions	Typ	Tested Limit (Note 3)	Design Limit (Note 4)	Units (Limits)
Supply Current	Outputs at Logic 1 $V_{CC} = 5V$ $V_{CC} = 12V$	5.2	10		mAmax
		5.5	12		mAmax
DC Input Voltage	Pin 2	1.5	1.3		Vmin
			1.8		Vmax
Input Threshold Voltage	Note 5	70	55		mVmin
			85		mVmax
Input Discharge Current	Pin 2; $V_{IN} = 2V$	11	6		$\mu\text{Amin}$ $\mu\text{Amax}$
Input Clamp Charge Current	Pin 2; $V_{IN} = 1V$	0.8	0.2		mAmin
$R_{SET}$ Pin Reference Voltage	Pin 6; Note 6	1.22	1.10		Vmin Vmax
Composite Sync. & Vertical Outputs	$I_{OUT} = 40\ \mu\text{A}$ ; Logic 1 $I_{OUT} = 1.6\ \text{mA}$ Logic 1	$V_{CC} = 5V$ $V_{CC} = 12V$	4.5	4.0	Vmin
			3.6	11.0	Vmin
Burst Gate & Odd/Even Outputs	$I_{OUT} = 40\ \mu\text{A}$ ; Logic 1	$V_{CC} = 5V$ $V_{CC} = 12V$	4.5	4.0	Vmin
			11.0	11.0	Vmin
Composite Sync. Output	$I_{OUT} = -1.6\ \text{mA}$ ; Logic 0; Pin 1	0.2	0.8		Vmax
Vertical Sync. Output	$I_{OUT} = -1.6\ \text{mA}$ ; Logic 0; Pin 3	0.2	0.8		Vmax
Burst Gate Output	$I_{OUT} = -1.6\ \text{mA}$ ; Logic 0; Pin 5	0.2	0.8		Vmax
Odd/Even Output	$I_{OUT} = -1.6\ \text{mA}$ ; Logic 0; Pin 7	0.2	0.8		Vmax
Vertical Sync Width		230	190		$\mu\text{smin}$
			300		$\mu\text{smax}$
Burst Gate Width	2.7 k $\Omega$ from Pin 5 to $V_{CC}$	4	2.5		$\mu\text{smin}$
			4.7		$\mu\text{smax}$
Vertical Default Time	Note 7	65	32		$\mu\text{smin}$
			90		$\mu\text{smax}$

Note 1: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and a package thermal resistance of 110° C/W, junction to ambient.

Note 2: ESD susceptibility test uses the "human body model, 100 pF discharged through a 1.5 k $\Omega$  resistor".

Note 3: Typicals are at  $T_J = 25^\circ\text{C}$  and represent the most likely parametric norm.

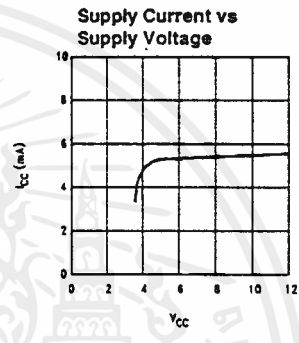
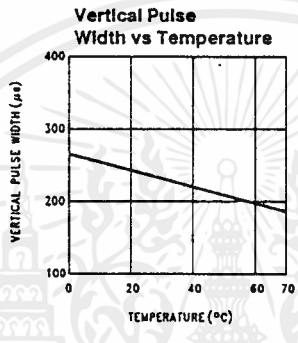
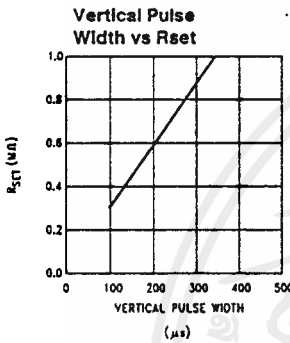
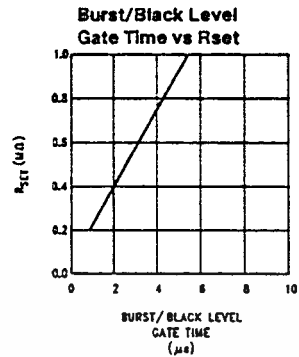
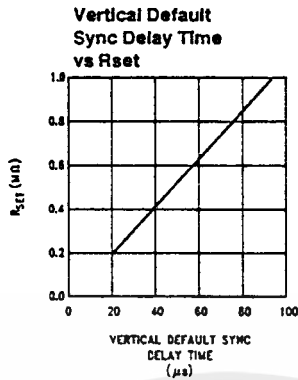
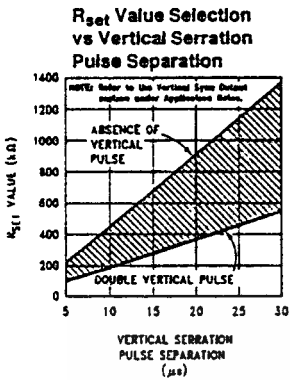
Note 4: Tested Limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

Note 5: Relative difference between the input clamp voltage and the minimum input voltage which produces a horizontal output pulse.

Note 6: Careful attention should be made to prevent parasitic capacitance coupling from any output pin (Pins 1, 3, 5, and 7) to the  $R_{SET}$  pin (Pin 6).

Note 7: Delay time between the start of vertical sync (at input) and the vertical output pulse.

# Typical Performance Characteristics



TL/H/9150-2

## Application Notes

The LM1881 is designed to strip the synchronization signals from composite video sources that are in, or similar to, the N.T.S.C. format. Input signals with positive polarity video (increasing signal voltage signifies increasing scene brightness) from 0.5V (p-p) to 2V (p-p) can be accommodated. The LM1881 operates from a single supply voltage between 5V DC and 12V DC. The only required external components beside power supply and set current decoupling are the input coupling capacitor and a single resistor that sets internal current levels, allowing the LM1881 to be adjusted for source signals with line scan frequencies differing from 15.734 kHz. Four major sync signals are available from the I/C: composite sync including both horizontal and vertical scan timing information; a vertical sync pulse; a burst gate or back porch clamp pulse; and an odd/even output. The odd/even output level identifies which video field of an interlaced video source is present at the input. The outputs from the LM1881 can be used to gen-lock video camera/VTR signals with graphics sources, provide identification of video fields for memory storage, recover suppressed or contaminated sync signals, and provide timing references for the extraction of coded or uncoded data on specific video scan lines.

To better understand the LM1881 timing information and the type of signals that are used, refer to *Figure 2(a-e)* which shows a portion of the composite video signal from the end of one field through the beginning of the next field.

### COMPOSITE SYNC OUTPUT

The composite sync output, *Figure 2(b)*, is simply a reproduction of the signal waveform below the composite video black level, with the video completely removed. This is obtained by clamping the video signal sync tips to 1.5V DC at Pin 2 and using a comparator threshold set just above this voltage to strip the sync signal, which is then buffered out to Pin 1. The threshold separation from the clamped sync tip is nominally 70 mV which means that for the minimum input level of 0.5V (p-p), the clipping level is close to the halfway point on the sync pulse amplitude (shown by the dashed line on *Figure 2(a)*). This threshold separation is independent of the signal amplitude, therefore, for a 2V (p-p) input the clipping level occurs at 11% of the sync pulse amplitude. The charging current for the input coupling capacitor is 0.8 mA, whereas the discharge current is only 11  $\mu$ A, typically. This allows relatively small capacitor values to be used—0.1  $\mu$ F is generally recommended.

Normally the signal source for the LM1881 is assumed to be clean and relatively noise-free, but some sources may have excessive video peaking, causing high frequency video and chroma components to extend below the black level reference. Some video discs keep the chroma burst pulse present throughout the vertical blanking period so that the burst actually appears on the sync tips for three line periods instead of at black level. A clean composite sync signal can be generated from these sources by filtering the input signal. When the source impedance is low, typically 75 $\Omega$ , a 620 $\Omega$  resistor in series with the source and a 510 pF capacitor to ground will form a low pass filter with a corner frequency of 500 kHz. This bandwidth is more than sufficient to pass the sync pulse portion of the waveform; however, any subcarrier content in the signal will be attenuated by almost 18 dB, effectively taking it below the comparator threshold. Filtering will also help if the source is contaminated with thermal noise. The output waveforms will become delayed

from between 40 ns to as much as 200 ns due to this filter. This much delay will not usually be significant but it does contribute to the sync delay produced by any additional signal processing. Since the original video may also undergo processing, the need for time delay correction will depend on the total system, not just the sync stripper.

### VERTICAL SYNC OUTPUT

A vertical sync output is derived by internally integrating the composite sync waveform (*Figure 3*). To understand the generation of the vertical sync pulse, refer to the lower left hand section *Figure 3*. Note that there are two comparators in the section. One comparator has an internally generated voltage reference called  $V_1$  going to one of its inputs. The other comparator has an internally generated voltage reference called  $V_2$  going to one of its inputs. Both comparators have a common input at their noninverting input coming from the internal integrator. The internal integrator is used for integrating the composite sync signal. This signal comes from the input side of the composite sync buffer and are positive going sync pulses. The capacitor to the integrator is internal to the LM1881. The capacitor charge current is set by the value of the external resistor  $R_{set}$ . The output of the integrator is going to be at a low voltage during the normal horizontal lines because the integrator has a very short time to charge the capacitor, which is during the horizontal sync period. The equalization pulses will keep the output voltage of the integrator at about the same level, below the  $V_1$ . During the vertical sync period the narrow going positive pulses shown in *Figure 2* is called the serration pulse. The wide negative portion of the vertical sync period is called the vertical sync pulse. At the start of the vertical sync period, before the first Serration pulse occurs, the integrator now charges the capacitor to a much higher voltage. At the first serration pulse the integrator output should be between  $V_1$  and  $V_2$ . This would give a high level at the output of the comparator with  $V_1$  as one of its inputs. This high is clocked into the "D" flip-flop by the falling edge of the serration pulse (remember the sync signal is inverted in this section of the LM1881). The "Q" output of the "D" flip-flop goes through the OR gate, and sets the R/S flip-flop. The output of the R/S flip-flop enables the internal oscillator and also clocks the ODD/EVEN "D" flip-flop. The ODD/EVEN field pulse operation is covered in the next section. The output of the oscillator goes to a divide by 8 circuit, thus resetting the R/S flip-flop after 8 cycles of the oscillator. The frequency of the oscillator is established by the internal capacitor going to the oscillator and the external  $R_{set}$ . The "Q" output of the R/S flip-flop goes to pin 3 and is the actual vertical sync output of the LM1881. By clocking the "D" flip-flop at the start of the first serration pulse means that the vertical sync output pulse starts at this point in time and lasts for eight cycles of the internal oscillator as shown in *Figure 2*.

How  $R_{set}$  affects the integrator and the internal oscillator is shown under the Typical Performance Characteristics. The first graph is " $R_{set}$  Value Selection vs Vertical Serration Pulse Separation". For this graph to be valid, the vertical sync pulse should last for at least 85% of the horizontal half line (47% of a full horizontal line). A vertical sync pulse from any standard should meet this requirement; both NTSC and PAL do meet this requirement (the serration pulse is the remainder of the period, 10% to 15% of the horizontal

# Application Notes (Continued)

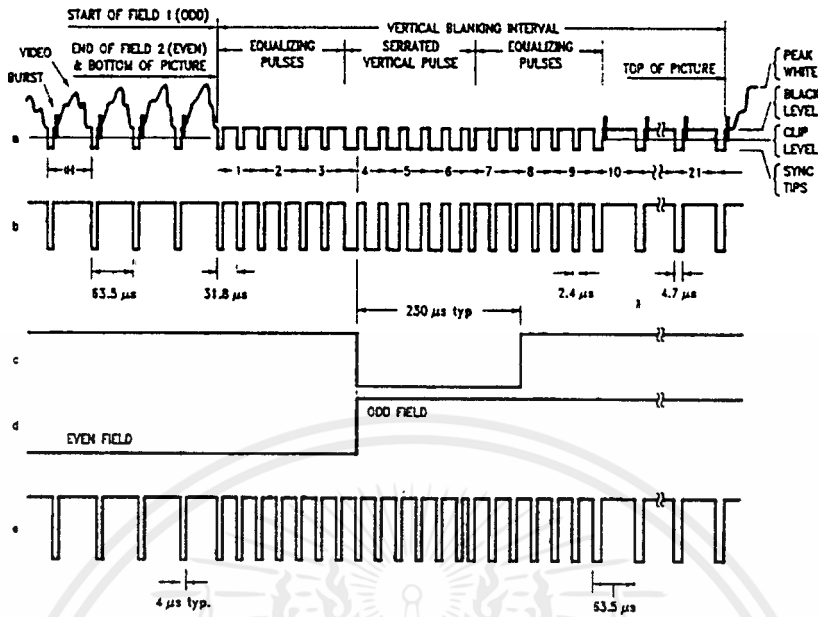
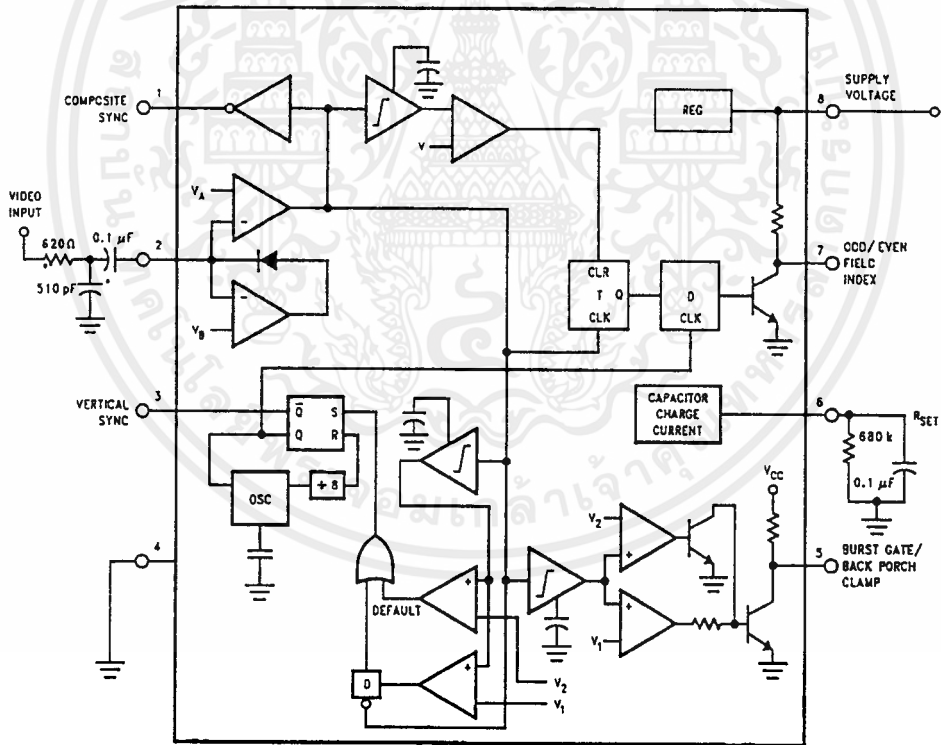


FIGURE 2. (a) Composite Video; (b) Composite Sync; (c) Vertical Output Pulse; (d) Odd/Even Field Index; (e) Burst Gate/Back Porch Clamp

TL/H/9150-3



\*Components Optional. See Text

FIGURE 3

TL/H/9150-4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Application Notes (Continued)

half line). Remember this pulse is a positive pulse at the integrator but negative in *Figure 2*. This graph shows how long it takes the integrator to charge its internal capacitor above  $V_1$ .

WITH  $R_{set}$  too large the charging current of the integrator will be too small to charge the capacitor above  $V_1$ , thus there will be no vertical sync output pulse. As mentioned above,  $R_{set}$  also sets the frequency of the internal oscillator. If the oscillator runs too fast its eight cycles will be shorter than the vertical sync portion of the composite sync. Under this condition another vertical sync pulse can be generated on one of the later serration pulses after the divide by 8 circuit resets the R/S flip-flop. The first graph also shows the minimum  $R_{set}$  necessary to prevent a double vertical pulse, assuming that the serration pulses last for only three full horizontal line periods (six serration pulses for NTSC). The actual pulse width of the vertical sync pulse is shown in the "Vertical Pulse Width vs  $R_{set}$ " graph. Using NTSC as an example, lets see how these two graphs relate to each other. The Horizontal line is 64  $\mu s$  long, or 32  $\mu s$  for a horizontal half line. Now round this off to 30  $\mu s$ . In the " $R_{set}$  Value Selection vs Vertical Serration Pulse Separation" graph the minimum resistor value for 30  $\mu s$  serration pulse separation is about 550 k $\Omega$ . Going to the "Vertical Pulse Width vs  $R_{set}$ " graph one can see that 550 k $\Omega$  gives a vertical pulse width of about 180  $\mu s$ , the total time for the vertical sync period of NTSC (3 horizontal lines). A 550 k $\Omega$  will set the internal oscillator to a frequency such that eight cycles gives a time of 180  $\mu s$ , just long enough to prevent a double vertical sync pulse at the vertical sync output of the LM1881.

The LM1881 also generates a default vertical sync pulse when the vertical sync period is unusually long and has no serration pulses. With a very long vertical sync time the integrator has time to charge its internal capacitor above the voltage level  $V_2$ . Since there is no falling edge at the end of a serration pulse to clock the "D" flip-flop, the only high signal going to the OR gate is from the default comparator when output of the integrator reaches  $V_2$ . At this time the R/S flip-flop is toggled by the default comparator, starting the vertical sync pulse at pin 3 of the LM1881. If the default vertical sync period ends before the end of the input vertical sync period, then the falling edge of the vertical sync (positive pulse at the "D" flip-flop) will clock the high output from the comparator with  $V_1$  as a reference input. This will retrigger the oscillator, generating a second vertical sync output pulse. The "Vertical Default Sync Delay Time vs  $R_{set}$ " graph shows the relationship between the  $R_{set}$  value and the delay time from the start of the vertical sync period before the default vertical sync pulse is generated. Using the NTSC example again the smallest resistor for  $R_{set}$  is 500 k $\Omega$ . The vertical default time delay is about 50  $\mu s$ , much longer than the 30  $\mu s$  serration pulse spacing.

A common question is how can one calculate the required  $R_{set}$  with a video timing standard that has no serration pulses during the vertical blanking. If the default vertical sync is to be used this is a very easy task. Use the "Vertical Default

Sync Delay Time vs  $R_{set}$ " graph to select the necessary  $R_{set}$  to give the desired delay time for the vertical sync output signal. If a second pulse is undesirable, then check the "Vertical Pulse Width vs  $R_{set}$ " graph to make sure the vertical output pulse will extend beyond the end of the input vertical sync period. In most systems the end of the vertical sync period may be very accurate. In this case the preferred design may be to start the vertical sync pulse at the end of the vertical sync period, similar to starting the vertical sync pulse after the first serration pulse. A VGA standard is to be used as an example to show how this is done. In this standard a horizontal line is 32  $\mu s$  long. The vertical sync period is two horizontal lines long, or 64  $\mu s$ . The vertical default sync delay time must be longer than the vertical sync period of 64  $\mu s$ . In this case  $R_{set}$  must be larger than 680 k $\Omega$ .  $R_{set}$  must still be small enough for the output of the integrator to reach  $V_1$  before the end of the vertical period of the input pulse. The first graph can be used to confirm that  $R_{set}$  is small enough for the integrator. Instead of using the vertical serration pulse separation, use the actual pulse width of the vertical sync period, or 64  $\mu s$  in this example. This graph is linear, meaning that a value as large as 2.7 M $\Omega$  can be used for  $R_{set}$  (twice the value as the maximum at 30  $\mu s$ ). Due to leakage currents it is advisable to keep the value of  $R_{set}$  under 2.0 M $\Omega$ . In this example a value of 1.0 M $\Omega$  is selected, well above the minimum of 680 k $\Omega$ . With this value for  $R_{set}$  the pulse width of the vertical sync output pulse of the LM1881 is about 340  $\mu s$ .

### ODD/EVEN FIELD PULSE

An unusual feature of LM1881 is an output level from Pin 7 that identifies the video field present at the input to the LM1881. This can be useful in frame memory storage applications or in extracting test signals that occur only in alternate fields. For a composite video signal that is interlaced, one of the two fields that make up each video frame or picture must have a half horizontal scan line period at the end of the vertical scan—i.e., at the bottom of the picture. This is called the "odd field" or "field 1". The "even field" or "field 2" has a complete horizontal scan line at the end of the field. An odd field starts on the leading edge of the first equalizing pulse, whereas the even field starts on the leading edge of the second equalizing pulse of the vertical retrace interval. *Figure 2(a)* shows the end of the even field and the start of the odd field.

To detect the odd/even fields the LM1881 again integrates the composite sync waveform (*Figure 3*). A capacitor is charged during the period between sync pulses and discharged when the sync pulse is present. The period between normal horizontal sync pulses is enough to allow the capacitor voltage to reach a threshold level of a comparator that clears a flipflop which is also being clocked by the sync waveform. When the vertical interval is reached, the shorter integration time between equalizing pulses prevents this

## Application Notes (Continued)

threshold from being reached and the Q output of the flip-flop is toggled with each equalizing pulse. Since the half line period at the end of the odd field will have the same effect as an equalizing pulse period, the Q output will have a different polarity on successive fields. Thus by comparing the Q polarity with the vertical output pulse, an odd/even field index is generated. Pin 7 remains low during the even field and high during the odd field.

### BURST/BACKPORCH OUTPUT PULSE

In a composite video signal, the chroma burst is located on the backporch of the horizontal blanking period. This period, approximately 4.8  $\mu\text{s}$  long, is also the black level reference for the subsequent video scan line. The LM1881 generates a pulse at Pin 5 that can be used either to retrieve the chroma burst from the composite video signal (thus providing a subcarrier synchronizing signal) or as a clamp for the DC restoration of the video waveform. This output is obtained simply by charging an internal capacitor starting on the trailing edge of the horizontal sync pulses. Simultaneously the output of Pin 5 is pulled low and held until the capacitor charge circuit times out—4  $\mu\text{s}$  later. A shorter output burst gate pulse can be derived by differentiating the burst output using a series C-R network. This may be necessary in applications which require high horizontal scan rates in combination with normal (60–120 Hz) vertical scan rates.

### APPLICATIONS

Apart from extracting a composite sync signal free of video information, the LM1881 outputs allow a number of interesting applications to be developed. As mentioned above, the burst gate/backporch clamp pulse allows DC restoration of the original video waveform for display or remodulation on an R.F. carrier, and retrieval of the color burst for color synchronization and decoding into R.G.B. components. For frame memory storage applications, the odd/even field level allows identification of the appropriate field ensuring the correct read or write sequence. The vertical pulse output is particularly useful since it begins at a precise time—the rising edge of the first vertical serration in the sync waveform. This means that individual lines within the vertical blanking period (or anywhere in the active scan line period) can easily be extracted by counting the required number of transitions in the composite sync waveform following the start of the vertical output pulse.

The vertical blanking interval is proving popular as a means to transmit data which will not appear on a normal T.V. receiver screen. Data can be inserted beginning with line 10 (the first horizontal scan line on which the color burst appears) through to line 21. Usually lines 10 through 13 are not used which leaves lines 14 through 21 for inserting signals, which may be different from field to field. In the U.S., line 19 is normally reserved for a vertical interval reference

signal (VIRS) and line 21 is reserved for closed caption data for the hearing impaired. The remaining lines are used in a number of ways. Lines 17 and 18 are frequently used during studio processing to add and delete vertical interval test signals (VITS) while lines 14 through 18 and line 20 can be used for Videotex/Teletext data. Several institutions are proposing to transmit financial data on line 17 and cable systems use the available lines in the vertical interval to send decoding data for descrambler terminals.

Since the vertical output pulse from the LM1881 coincides with the leading edge of the first vertical serration, sixteen positive or negative transitions later will be the start of line 14 in either field. At this point simple counters can be used to select the desired line(s) for insertion or deletion of data.

### VIDEO LINE SELECTOR

The circuit in *Figure 4* puts out a single video line according to the binary coded information applied to line select bits b0–b7. A line is selected by adding two to the desired line number, converting to a binary equivalent and applying the result to the line select inputs. The falling edge of the LM1881's vertical pulse is used to load the appropriate number into the counters (MM74C193N) and to set a start count latch using two NAND gates. Composite sync transitions are counted using the borrow out of the desired number of counters. The final borrow out pulse is used to turn on the analog switch (CD4066BC) during the desired line. The falling edge of this signal also resets the start count latch, thereby terminating the counting.

The circuit, as shown, will provide a single line output for each field in an interlaced video system (television) or a single line output in each frame for a non-interlaced video system (computer monitor). When a particular line in only one field of an interlaced video signal is desired, the odd/even-field index output must be used instead of the vertical output pulse (invert the field index output to select the odd field). A single counter is needed for selecting lines 3 to 14; two counters are needed for selecting lines 15 to 253; and three counters will work for up to 2046 lines. An output buffer is required to drive low impedance loads.

### MULTIPLE CONTIGUOUS VIDEO LINE SELECTOR WITH BLACK LEVEL RESTORATION

The circuit in *Figure 5* will select a number of adjoining lines starting with the line selected as in the previous example. Additional counters can be added as described previously for either higher starting line numbers or an increased number of contiguous output lines. The back porch pulse output of the LM1881 is used to gate the video input's black level through a low pass filter (10 k $\Omega$ , 10  $\mu\text{F}$ ) providing black level restoration at the video output when the output selected line(s) is not being gated through.

## Typical Applications

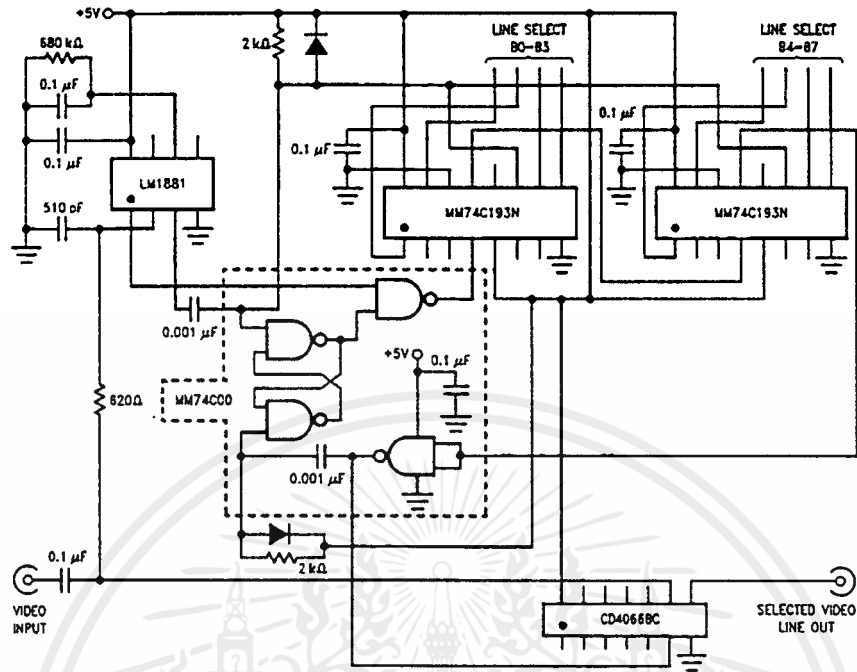


FIGURE 4. Video Line Selector

TL/H/9150-5

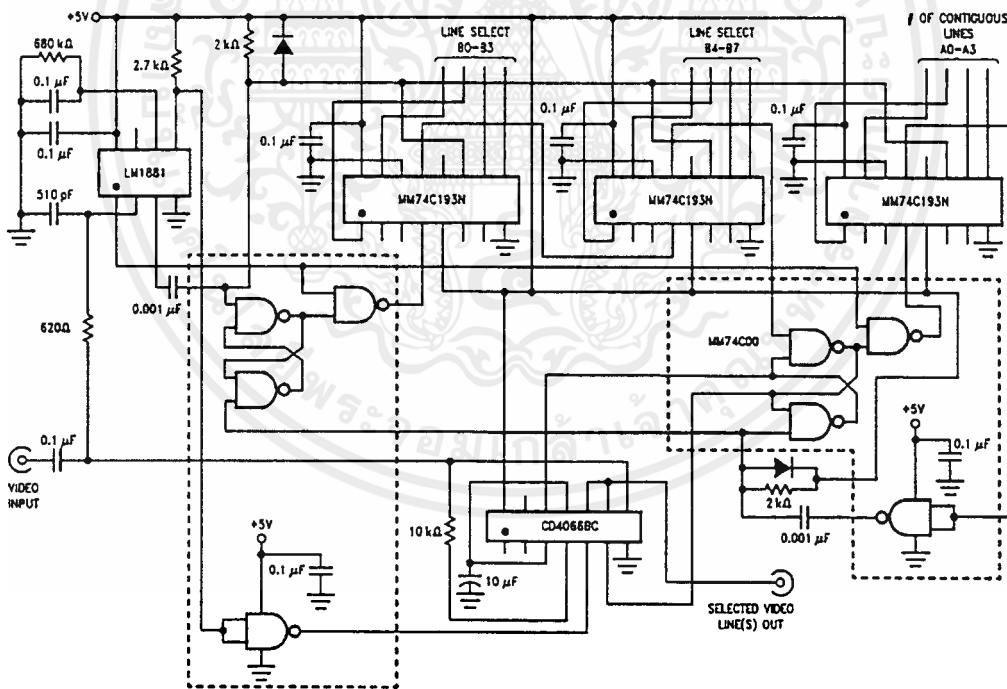


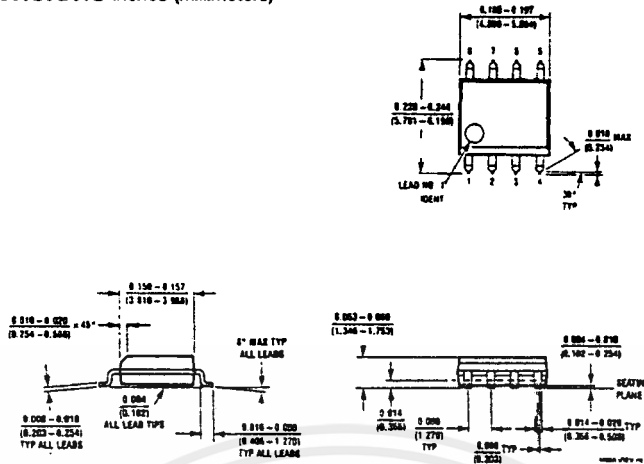
FIGURE 5. Multiple Contiguous Video Line Selector With Black Level Restoration

TL/H/9150-6

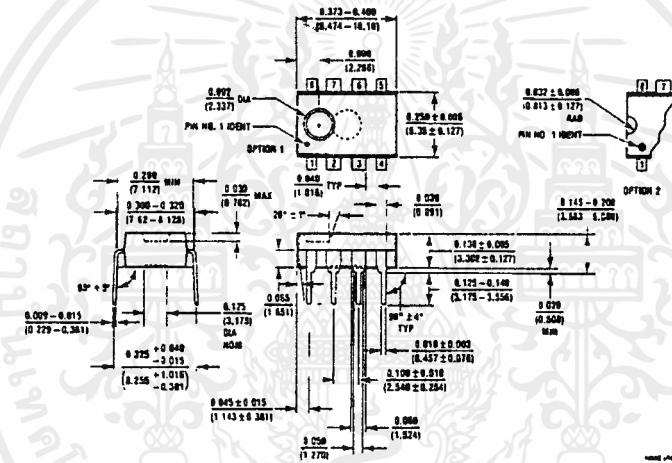
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters)

Lit. # 107636



Molded Small Outline Package (M)  
Order Number LM1881M  
NS Package Number M08A



Molded Dual-In-Line Package (N)  
Order Number LM1881N  
NS Package Number N08E

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.



National Semiconductor Corporation  
1111 West Bardin Road  
Arlington, TX 76017  
Tel: 1(800) 272-9959  
Fax: 1(800) 737-7018

National Semiconductor Europe  
Fax: (+49) 0-180-530 85 86  
Email: cnjwgs@tevm2.nsc.com  
Deutsch Tel: (+49) 0-180-530 85 85  
English Tel: (+49) 0-180-532 78 32  
Français Tel: (+49) 0-180-532 93 58  
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.  
13th Floor, Straight Block,  
Ocean Centre, 5 Canton Rd.  
Tsimshatsui, Kowloon  
Hong Kong  
Tel: (852) 2737-1800  
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.  
Tel: 81-043-299-2309  
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

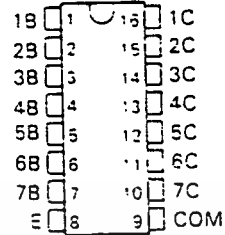
# ULN2001A THRU ULN2005A DARLINGTON TRANSISTOR ARRAYS

D2624, DECEMBER 1976—REVISED SEPTEMBER 1986

## HIGH-VOLTAGE HIGH-CURRENT DARLINGTON TRANSISTOR ARRAYS

- 500-mA Rated Collector Current (Single Output)
- High-Voltage Outputs . . . 50 V
- Output Clamp Diodes
- Inputs Compatible With Various Types of Logic
- Relay Driver Applications
- Designed to Be Interchangeable With Sprague ULN2001A Series

D OR N PACKAGE  
(TOP VIEW)

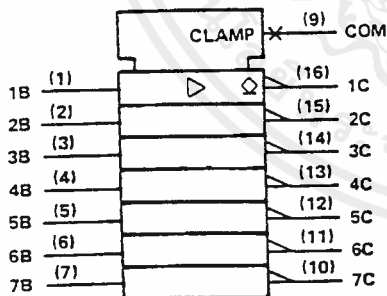


### description

The ULN2001A, ULN2002A, ULN2003A, ULN2004A, and ULN2005A are monolithic high-voltage, high-current Darlington transistor arrays. Each consists of seven n-p-n Darlington pairs that feature high-voltage outputs with common-cathode clamp diodes for switching inductive loads. The collector-current rating of a single Darlington pair is 500 mA. The Darlington pairs may be paralleled for higher current capability. Applications include relay drivers, hammer drivers, lamp drivers, display drivers (LED and gas discharge), line drivers, and logic buffers. For 100-V (otherwise interchangeable) versions, see the SN75465 through SN75469.

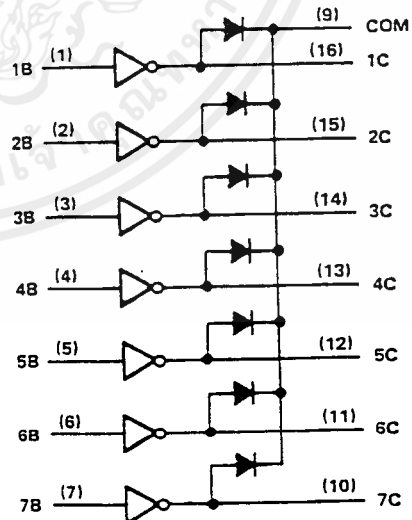
The ULN2001A is a general-purpose array and may be used with TTL, P-MOS, CMOS, and other MOS technologies. The ULN2002A is specifically designed for use with 14- to 25-V P-MOS devices. Each input of this device has a zener diode and resistor in series to control the input current to a safe limit. The ULN2003A has a 2.7-k $\Omega$  series base resistor for each Darlington pair for operation directly with TTL or 5-V CMOS devices. The ULN2004A has a 10.5-k $\Omega$  series base resistor to allow its operation directly from CMOS or P-MOS devices that use supply voltages of 6 to 15 V. The required input current of the ULN2004A is below that of the ULN2003A, and the required voltage is less than that required by the ULN2002A. The ULN2005A has a 1050- $\Omega$  series base resistor and is specifically designed for use with TTL devices where higher output current is required and loading of the driving source is not a concern.

### logic symbol†



† This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.

### logic diagram



PRODUCTION DATA documents contain information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

**TEXAS INSTRUMENTS**  
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

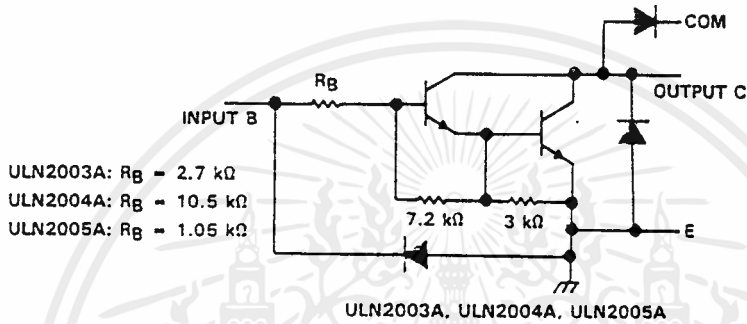
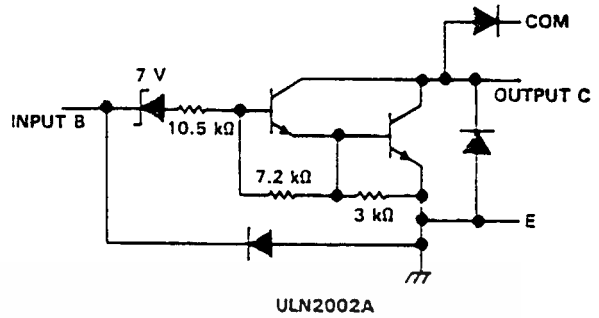
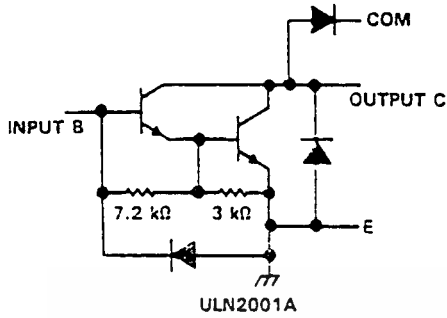
Copyright © 1986, Texas Instruments Incorporated

4-155

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ULN2001A THRU ULN2005A DARLINGTON TRANSISTOR ARRAYS

schematics (each Darlington pair)



All resistor values shown are nominal.

absolute maximum ratings at 25°C free-air temperature (unless otherwise noted)

Collector-emitter voltage	50 V
Input voltage (see Note 1): ULN2002A, ULN2003A, ULN2004A	30 V
ULN2005A	15 V
Peak collector current (see Figures 14 and 15)	500 mA
Output clamp diode current	500 mA
Total emitter-terminal current	-2.5 A
Continuous total power dissipation	See Dissipation Rating Table
Operating free-air temperature range	-20°C to 85°C
Storage temperature range	-65°C to 150°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds	260°C

NOTE 1: All voltage values are with respect to the emitter/substrate terminal, E, unless otherwise noted.

DISSIPATION RATING TABLE

PACKAGE	$T_A = 25^\circ\text{C}$	DERATING FACTOR	$T_A = 85^\circ\text{C}$
	POWER RATING	ABOVE $T_A = 25^\circ\text{C}$	POWER RATING
D	950 mW	7.6 mW/°C	494 mW
N	1150 mW	9.2 mW/°C	598 mW

## ULN2001A THRU ULN2005A DARLINGTON TRANSISTOR ARRAYS

electrical characteristics at 25°C free-air temperature (unless otherwise noted)

PARAMETER	TEST FIGURE	TEST CONDITIONS	ULN2001A			ULN2002A			UNIT
			MIN	TYP	MAX	MIN	TYP	MAX	
$I_{CEX}$ Collector cutoff current	1	$V_{CE} = 50\text{ V}, I_I = 0$	50			50			$\mu\text{A}$
		$V_{CE} = 50\text{ V}, I_I = 0$	100			100			
	2	$T_A = 70^\circ\text{C}, V_I = 6\text{ V}$				500			
$I_{I(off)}$ Off-state input current	3	$V_{CE} = 50\text{ V}, I_C = 500\ \mu\text{A}, T_A = 70^\circ\text{C}$	50	65		50	65		$\mu\text{A}$
$I_I$ Input current	4	$V_I = 17\text{ V}$				0.82	1.25		$\text{mA}$
$h_{FE}$ Static forward current transfer ratio	5	$V_{CE} = 2\text{ V}, I_C = 350\text{ mA}$	1000						
$V_{I(on)}$ On-state input voltage	6	$V_{CE} = 2\text{ V}, I_C = 300\text{ mA}$				13			$\text{V}$
$V_{CE(sat)}$ Collector-emitter saturation voltage	5	$I_I = 250\ \mu\text{A}, I_C = 100\text{ mA}$	0.9	1.1		0.9	1.1		$\text{V}$
		$I_I = 350\ \mu\text{A}, I_C = 200\text{ mA}$	1	1.3		1	1.3		
		$I_I = 500\ \mu\text{A}, I_C = 350\text{ mA}$	1.2	1.6		1.2	1.6		
$I_R$ Clamp diode reverse current	7	$V_R = 50\text{ V}$	50			50			$\mu\text{A}$
		$V_R = 50\text{ V}, T_A = 70^\circ\text{C}$	100			100			
$V_F$ Clamp diode forward voltage	8	$I_F = 350\text{ mA}$	1.7	2		1.7	2		$\text{V}$
$C_i$ Input capacitance		$V_I = 0, f = 1\text{ MHz}$	15	25		15	25		$\text{pF}$

electrical characteristics at 25°C free-air temperature (unless otherwise noted)

PARAMETER	TEST FIGURE	TEST CONDITIONS	ULN2003A			ULN2004A			UNIT	
			MIN	TYP	MAX	MIN	TYP	MAX		
$I_{CEX}$ Collector cutoff current	1	$V_{CE} = 50\text{ V}, I_I = 0$	50			50			$\mu\text{A}$	
		$V_{CE} = 50\text{ V}, I_I = 0$	100			100				
	2	$T_A = 70^\circ\text{C}, V_I = 1\text{ V}$				500				
$I_{I(off)}$ Off-state input current	3	$V_{CE} = 50\text{ V}, I_C = 500\ \mu\text{A}, T_A = 70^\circ\text{C}$	50	65		50	65		$\mu\text{A}$	
$I_I$ Input current	4	$V_I = 3.85\text{ V}$	0.93	1.35					$\text{mA}$	
		$V_I = 5\text{ V}$				0.35	0.5			
		$V_I = 12\text{ V}$				1	1.45			
$V_{I(on)}$ On-state input voltage	6	$V_{CE} = 2\text{ V}$	$I_C = 125\text{ mA}$				5			$\text{V}$
			$I_C = 200\text{ mA}$	2.4			6			
			$I_C = 250\text{ mA}$	2.7						
			$I_C = 275\text{ mA}$				7			
			$I_C = 300\text{ mA}$	3						
			$I_C = 350\text{ mA}$				8			
$V_{CE(sat)}$ Collector-emitter saturation voltage	5	$I_I = 250\ \mu\text{A}, I_C = 100\text{ mA}$	0.9	1.1		0.9	1.1		$\text{V}$	
		$I_I = 350\ \mu\text{A}, I_C = 200\text{ mA}$	1	1.3		1	1.3			
		$I_I = 500\ \mu\text{A}, I_C = 350\text{ mA}$	1.2	1.6		1.2	1.6			
$I_R$ Clamp diode reverse current	7	$V_R = 50\text{ V}$	50			50			$\mu\text{A}$	
		$V_R = 50\text{ V}, T_A = 70^\circ\text{C}$	100			100				
$V_F$ Clamp diode forward voltage	8	$I_F = 350\text{ mA}$	1.7	2		1.7	2		$\text{V}$	
$C_i$ Input capacitance		$V_I = 0, f = 1\text{ MHz}$	15	25		15	25		$\text{pF}$	

  
**TEXAS  
INSTRUMENTS**

POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

4-157

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ULN2001A THRU ULN2005A  
DARLINGTON TRANSISTOR ARRAYS**

electrical characteristics at 25°C free-air temperature (unless otherwise noted)

PARAMETER	TEST FIGURE	TEST CONDITIONS	ULN2005A			UNIT
			MIN	TYP	MAX	
I <sub>CEX</sub> Collector cutoff current	1	V <sub>CE</sub> = 50 V, I <sub>I</sub> = 0			50	μA
		V <sub>CE</sub> = 50 V, I <sub>I</sub> = 0, T <sub>A</sub> = 70°C			100	
I <sub>I(off)</sub> Off-state input current	3	V <sub>CE</sub> = 50 V, I <sub>C</sub> = 500 μA, T <sub>A</sub> = 70°C	50	65		μA
I <sub>I</sub> Input current	4	V <sub>I</sub> = 3 V		1.5	2.4	mA
V <sub>I(on)</sub> On-state input voltage	6	V <sub>CE</sub> = 2 V, I <sub>C</sub> = 350 mA			2.4	V
V <sub>CE(sat)</sub> Collector-emitter saturation voltage	5	I <sub>I</sub> = 250 μA, I <sub>C</sub> = 100 mA		0.9	1.1	V
		I <sub>I</sub> = 350 μA, I <sub>C</sub> = 200 mA		1	1.3	
		I <sub>I</sub> = 500 μA, I <sub>C</sub> = 350 mA		1.2	1.6	
I <sub>R</sub> Clamp diode reverse current	7	V <sub>R</sub> = 50 V			50	μA
		V <sub>R</sub> = 50 V, T <sub>A</sub> = 70°C			100	
V <sub>F</sub> Clamp diode forward voltage	8	I <sub>F</sub> = 350 mA		1.7	2	V
C <sub>i</sub> Input capacitance		V <sub>I</sub> = 0, f = 1 MHz		15	25	pF

switching characteristics at 25°C free-air temperature

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t <sub>PLH</sub> Propagation delay time, low-to-high-level output	See Figure 9		0.25	1	μs
t <sub>PHL</sub> Propagation delay time, high-to-low-level output			0.25	1	μs
V <sub>OH</sub> High-level output voltage after switching	V <sub>S</sub> = 50 V, I <sub>O</sub> = 300 mA, See Figure 10	V <sub>S</sub> - 20			mV

PARAMETER MEASUREMENT INFORMATION

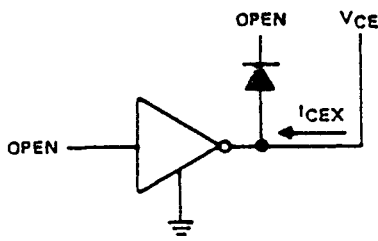


FIGURE 1.  $I_{CEX}$

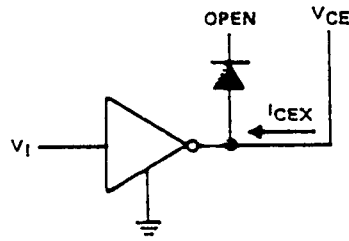


FIGURE 2.  $I_{CEX}$

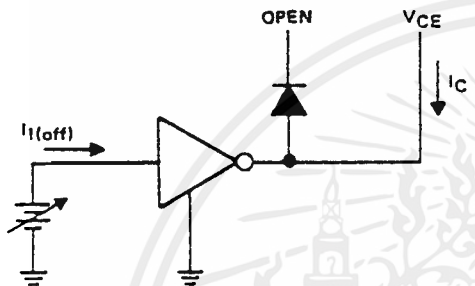


FIGURE 3.  $I_{I(off)}$

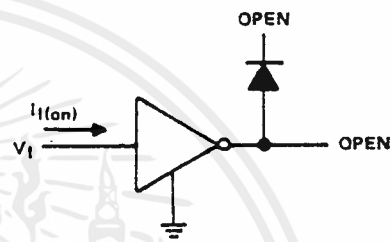
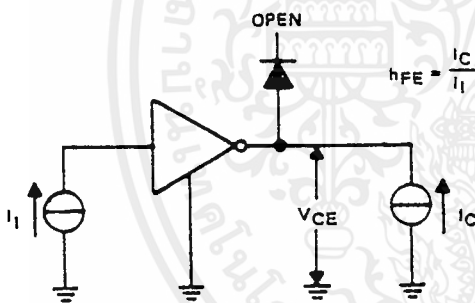


FIGURE 4.  $I_I$



NOTE:  $I_I$  is fixed for measuring  $V_{CE(sat)}$ , variable for measuring  $h_{FE}$ .

FIGURE 5.  $h_{FE}$ ,  $V_{CE(sat)}$

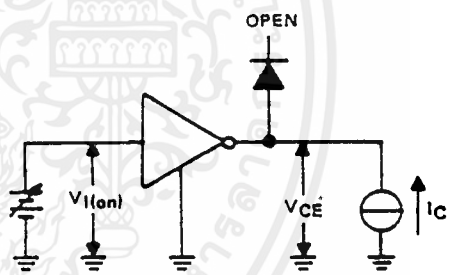


FIGURE 6.  $V_{I(on)}$

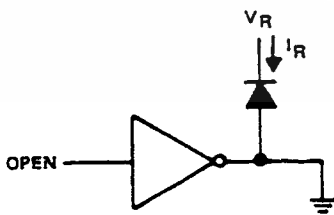


FIGURE 7.  $I_R$

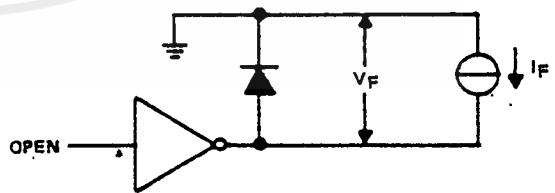
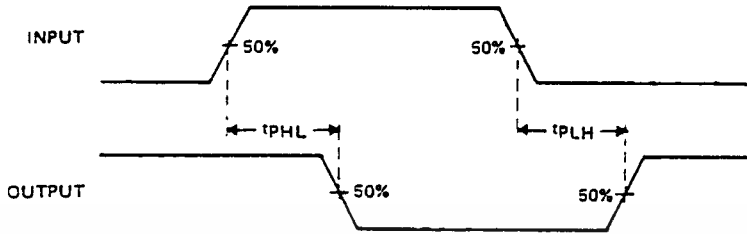


FIGURE 8.  $V_F$

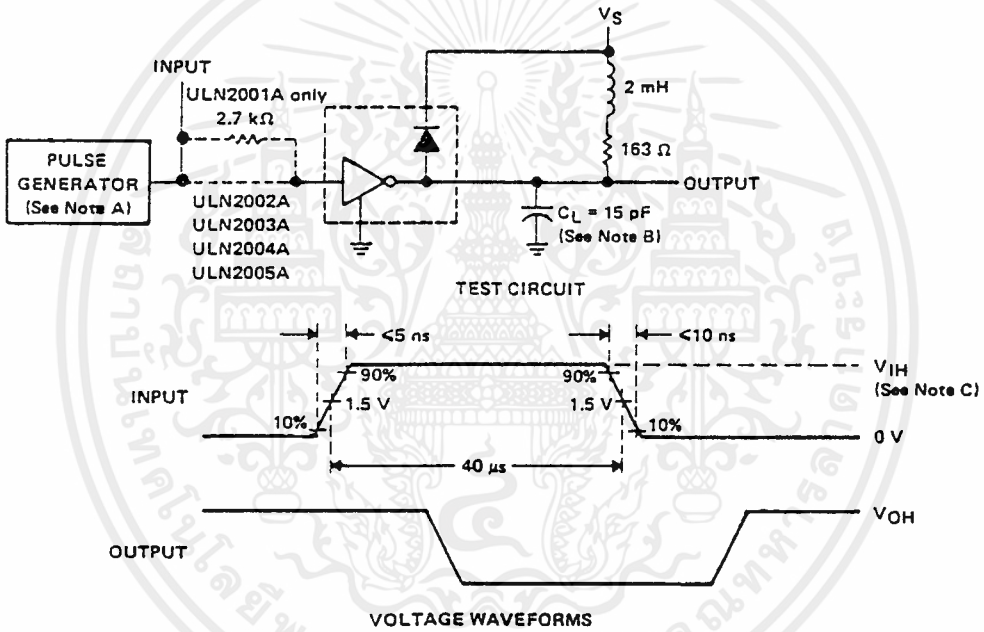
**ULN2001A THRU ULN2005A  
DARLINGTON TRANSISTOR ARRAYS**

**PARAMETER MEASUREMENT INFORMATION**



**VOLTAGE WAVEFORMS**

**FIGURE 9. PROPAGATION DELAY TIMES**



- NOTES: A. The pulse generator has the following characteristics: PRR = 12.5 kHz,  $Z_0 = 50\ \Omega$ .  
 B.  $C_L$  includes probe and jig capacitance.  
 C. For testing the ULN2001A, ULN2003A, and the ULN2005A,  $V_{IH} = 3\text{ V}$ ; for the ULN2002A,  $V_{IH} = 13\text{ V}$ ; for the ULN2004A,  $V_{IH} = 8\text{ V}$ .

**FIGURE 10. LATCH-UP TEST**

# ULN20Q1A THRU ULN2005A DARLINGTON TRANSISTOR ARRAYS

## TYPICAL CHARACTERISTICS

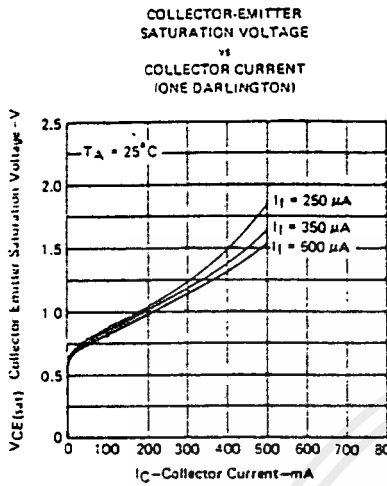


FIGURE 11

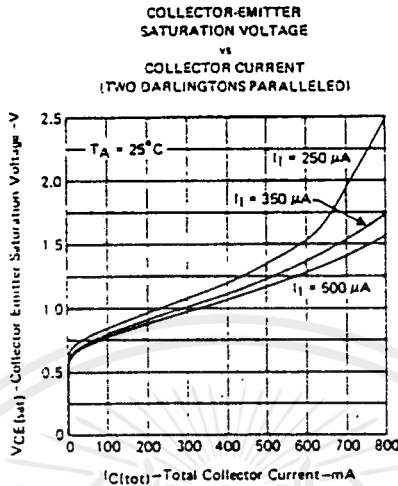


FIGURE 12

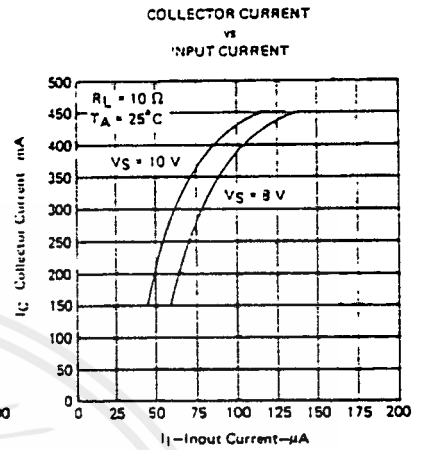


FIGURE 13

## THERMAL INFORMATION

D PACKAGE  
MAXIMUM COLLECTOR CURRENT  
vs  
DUTY CYCLE

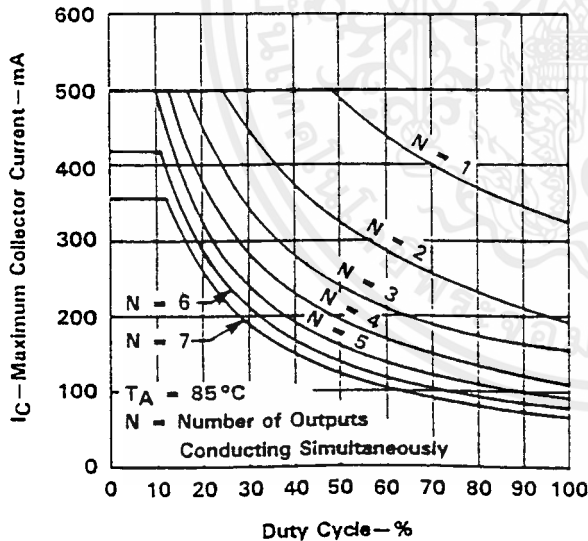


FIGURE 14

N PACKAGE  
MAXIMUM COLLECTOR CURRENT  
vs  
DUTY CYCLE

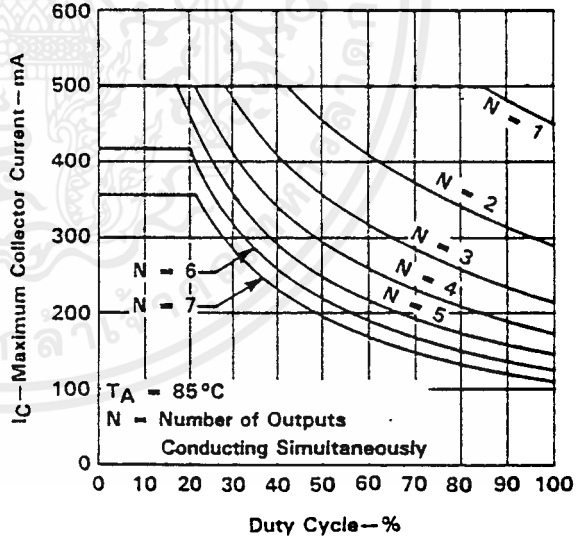


FIGURE 15

TEXAS  
INSTRUMENTS

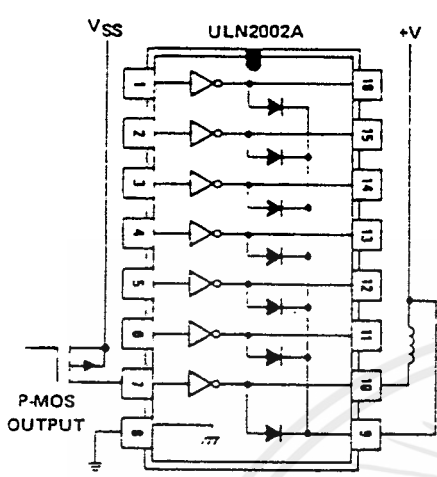
POST OFFICE BOX 655303 • DALLAS, TEXAS 75286

4-161

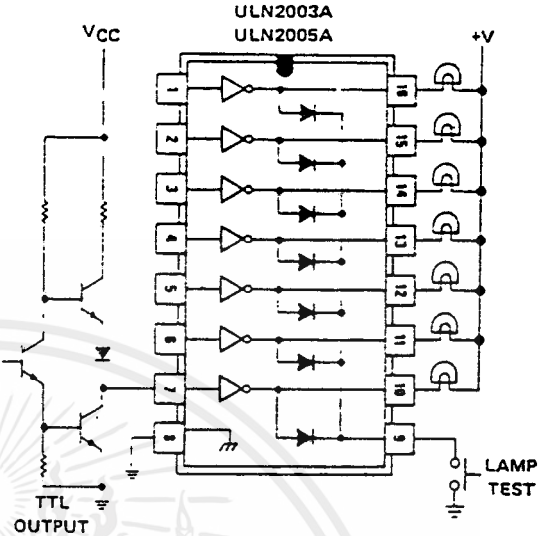
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ULN2001A THRU ULN2005A  
DARLINGTON TRANSISTOR ARRAYS**

**APPLICATION INFORMATION**

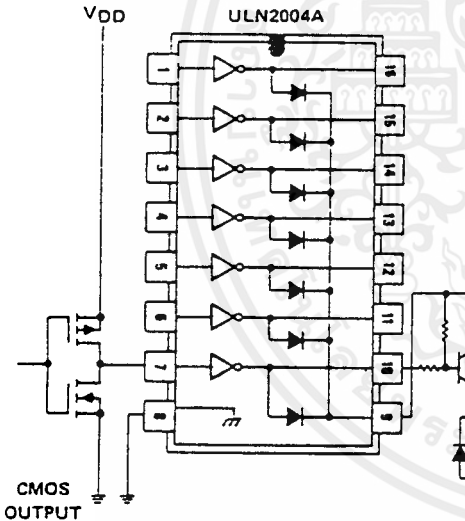


**P-MOS TO LOAD**



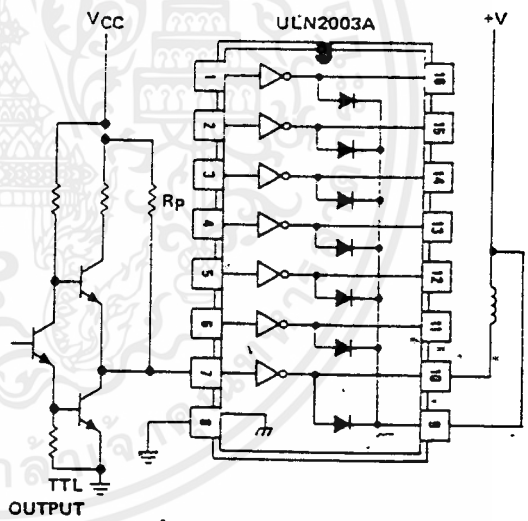
**TTL OUTPUT**

**TTL TO LOAD**



**CMOS OUTPUT**

**BUFFER FOR HIGHER CURRENT LOADS**



**TTL OUTPUT**

**USE OF PULL-UP RESISTORS TO INCREASE DRIVE CURRENT**

## ประวัติผู้จัดทำโครงการพิเศษ

นายสุรศักดิ์ พิพัฒน์ศาสตร์ เกิดเมื่อวันที่ 22 ตุลาคม พ.ศ. 2517 สำเร็จการศึกษาระดับมัธยมศึกษาตอนต้นและมัธยมศึกษาตอนปลายจากโรงเรียนพิษณุโลกพิทยาคม จังหวัดพิษณุโลก จากนั้นเข้าศึกษาต่อในระดับปริญญาตรี สาขาฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง และสำเร็จการศึกษาในปี 2540

นางสาวพนิดา เลาหพูนรังษี เกิดเมื่อวันที่ 27 สิงหาคม พ.ศ. 2519 สำเร็จการศึกษาระดับมัธยมศึกษาตอนต้นและมัธยมศึกษาตอนปลายจากโรงเรียนราชินี กรุงเทพมหานคร จากนั้นเข้าศึกษาต่อในระดับปริญญาตรี สาขาฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง และสำเร็จการศึกษาในปี 2540

