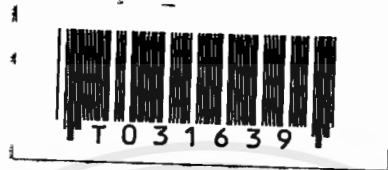


สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การศึกษาการเข้ารหัสแบบเดลต้าซิกมา



โครงการพิเศษนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิทยาศาสตรบัณฑิต

ปี ๒๕๔๑

๗๑๙.๕

๒๕๔๑

ภาควิชาฟิสิกส์ประยุกต์

คณะวิทยาศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา ๒๕๔๐

เลขหมู่.....

เลขทะเบียน.....**31639**

วัน, เดือน, ปี **19 พ.ค. 2541**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A Study of Delta Sigma Conversion



Mr. Napadol Supornsri

Mr. Prapan Kongthanasunthorn

A Special Project Submitted in Partial Fulfillment of the Requirement for
the Degree of Bachelor of Science
Department of Applied Physics
Faculty of Science

King Mongkut's Institute of Technology Ladkrabang 1997

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อโครงการพิเศษ

โดย

ภาควิชา

อาจารย์ที่ปรึกษา

การศึกษารหัสแบบเดลต้าซิกมา


นายนาดล สุภรณ์

นายประพันธ์ คงธนสุนทร

ฟิสิกส์ประยุกต์


ผู้ช่วยศาสตราจารย์วิจิต ศรีโชติ

ภาควิชาฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
อนุมัติให้นำโครงการพิเศษนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิทยาศาสตรบัณฑิต

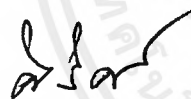

.....
(รองศาสตราจารย์สุรพล รักษิณ)

หัวหน้าภาควิชาฟิสิกส์ประยุกต์

คณะกรรมการโครงการพิเศษ


.....
(ผู้ช่วยศาสตราจารย์วิจิต ศรีโชติ)

ประธานกรรมการ


.....
(ผู้ช่วยศาสตราจารย์ ดร.ศิริศักดิ์ เตชะทวีกุล)

กรรมการ

.....
(อาจารย์ชนาภรณ์ ลีลาวัดนานนท์)

กรรมการ


.....
(อาจารย์ปิติพร ถนอมงาม)

กรรมการ

ลิขสิทธิ์ของภาควิชาฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก

หัวข้อโครงการพิเศษ

โดย

ภาควิชา

อาจารย์ที่ปรึกษา

ปีการศึกษา

การศึกษารหัสแบบเดลตาซิกมา

นายนาคล สุภรณ์

นายประพันธ์ คงธนสุนทร

ฟิลิปปินส์ประยุกต์

ผู้ช่วยศาสตราจารย์วิจิต ศิริโชติ

2540

บทคัดย่อ

ได้ศึกษารหัสแบบเดลตาซิกมาเพื่อใช้เป็นตัวดิจิทัลสัญญาณเสียง ไอซี MC3418 สามารถเข้ารหัสและถอดรหัสแบบเดลตาซิกมาชนิดที่สามารถปรับความชันของสัญญาณแอมพลิจูด (CVSD) ด้วยอัตราการสุ่มตัวอย่างแอมพลิจูด 16kHz สามารถใช้เป็นทั้งตัวเข้ารหัสและถอดรหัสสัญญาณเสียง บอร์ดไมโครคอนโทรลเลอร์ 89C51 เชื่อมต่อเข้ากับวงจรเสียงและ MC3418 ทำการบันทึกและแปลงออกมาเป็นพัลส์ดิจิทัลจาก MC3418 โปรแกรมที่เขียนเป็นภาษาแอสเซมบลี ให้ความคุมการแปลงและบันทึกสัญญาณเสียง การประยุกต์เป้าหมายสามารถนำมาใช้เป็นจดหมายเสียง ซึ่งรับส่งผ่านจดหมายอิเล็กทรอนิกส์บนเครือข่ายอินเทอร์เน็ต

Special Project Title	A Study of Delta Sigma Conversion
Name	Mr. Napadol Supornsri Mr. Prapan Kongthanasunthorn
Special Project Advisers	Asst. Prof. Wichit Sirichote
Department	Applied Physics
Acedemic Year	1997

Abstract

A conversion of Delta - Sigma has been studied for using in audio signal digitization . An MC3418 , Continuous Variable Slope Delta Modulator/Demodulator (CVSD) , with a 16kHz sampling rate was used as an A/D and D/A converters for the conversion of audio signal . A microcontroller board , 89C51 , connecting the MC3418 and an audio signal interfacing circuit has been built for recording and reproducing the digital pulse train from the MC3418 . A program written in assembly language was used to control the converter and recording of audio signal . The intended application of the delta - sigma coding would be used for digital voice mailing transmitted and received through an e-mail on the Internet

กิติกรรมประกาศ

โครงการพิเศษนี้เสร็จสมบูรณ์ เพราะได้รับความอนุเคราะห์จากบุคคลหลายฝ่าย

บิดา-มารดา

ผู้ที่ได้ให้ความรักและโอกาสทางการศึกษา
รวมทั้งกำลังใจและความเข้าใจ

ผู้ช่วยศาสตราจารย์วิชิต ศิริโชติ

เป็นอาจารย์ที่ปรึกษาให้คำแนะนำในการทำงาน
และวิชาความรู้ต่างๆ

ผู้ช่วยศาสตราจารย์จิรวัดน์ ปานกลาง
คณะวิศวกรรมศาสตร์ สาขาไฟฟ้า

เป็นอาจารย์ที่คอยแนะนำและช่วยเหลือ

ภาควิชาฟิสิกส์ประยุกต์

สถาบันเทคโนโลยีพระจอมเกล้า

สถานที่ให้ความรู้วิชาการต่างๆมากมาย

เจ้าคุณทหารลาดกระบัง

บริษัท crystal semiconductor

เอื้อเพื่ออุปกรณ์และข้อมูลและคำแนะนำ

และบริษัทในเครือชาย (<http://www.crystal.com>)

บริษัท motorola semiconductor

เอื้อเพื่อข้อมูลและคำแนะนำ

และบริษัทในเครือชาย (<http://www.mot.com>)

บริษัท national semiconductor

เอื้อเพื่อข้อมูลบนเว็บไซต์

(<http://www.national.com>)

ขอขอบคุณอาจารย์ภาควิชาฟิสิกส์ประยุกต์ทุกท่านที่ทำให้ทำให้ข้าพเจ้าสะสมความรู้ต่างๆมาตลอดสี่ปี
รวมทั้งเพื่อน ๆ และบุคคลอื่นๆ ที่ไม่ได้กล่าวนามซึ่งคอยช่วยเหลือข้าพเจ้า และให้กำลังใจตลอดมา
ท้ายสุดนี้ขอขอบคุณเทคโนโลยีการสื่อสาร internet และเว็บไซต์แหล่งข้อมูลอื่นๆมากมาย

สารบัญเรื่อง

	หน้า
บทคัดย่อภาษาไทย	ก.
บทคัดย่อภาษาอังกฤษ	ข.
กิตติกรรมประกาศ	ค.
สารบัญรูป	ง.

บทที่ 1 บทนำ	
1.1 ความเป็นมาและความสำคัญของโครงงานพิเศษ	1
1.2 วัตถุประสงค์ของโครงงานพิเศษ	1
1.3 การดำเนินงาน	1
1.4 ประโยชน์ที่ได้รับจากการทำโครงงานพิเศษ	2
บทที่ 2 ทฤษฎีที่เกี่ยวข้อง	
2.1 การสุ่มตัวอย่าง (Sampling)	5
2.2 การแบ่งแรงดันออกเป็นระดับต่างๆ	8
2.3 การเข้ารหัส (Coding) ตามระดับแรงดัน	9
2.4 การเข้ารหัสของเสียงอย่างมีประสิทธิภาพสูง (High-Efficiency Voice Coding)	
2.4.1 หลักการของ High-Efficiency Voice Coding (HEVC)	12
2.4.2 คุณสมบัติของสัญญาณเสียงและการกคส่วนเกิน	12
2.4.3 ชนิดของระบบ HEVC	
2.4.3.1 การเข้ารหัสแบบฟัดด์พิทไฟว์ดีฟเฟอเรนเชียลพีซีเอ็ม	13
2.4.3.2 การเข้ารหัสแบบบอดีพิทไฟว์เดลต้ามอดูเลชัน	15
2.4.3.3 การเข้ารหัสแบบเดลต้ามอดูเลชัน	17
2.5 คอมแพนดิง (Companding)	22
บทที่ 3 เอลด้าซิกมาคอนเวอร์ชันแบบ CVSD	
3.1 Delta-Modulation	24
3.2 CVSD (Continous Variable Slope Delta Modulation)	30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4 การดำเนินการวิจัย	
4.1 ส่วน Hardware	33
(ก) MC3418 Encode/Decode CVSD Delta Sigma Conversion and Filter	33
CVSD Design Consideration	39
(ข) ส่วนการควบคุมด้วยไมโครคอนโทรลเลอร์	42
ไมโครคอนโทรลเลอร์ตระกูล MCS-51 89C51	42
หน่วยความจำข้อมูลภายนอก External RAM ขนาด 128Kbyte	43
TTL IC ตระกูล 74XX	44
MAX232 การเชื่อมต่อแบบมาตรฐาน RS-232	44
อัลกอริทึม	46
Flow chart	49
บทที่ 5 ผลการทดลอง	50
บทที่ 6 สรุปผลการทดลองและข้อเสนอแนะ	53
ภาคผนวก	54
เอกสารอ้างอิง	61
บรรณานุกรม	96



สารบัญรูป

	หน้า
รูปที่ 2.1 แสดงขั้นตอนการแปลงสัญญาณ Analog ไปเป็นสัญญาณ Digital	4
รูปที่ 2.2 การมอดดูเลขขั้นระหว่างสัญญาณอนาลอกกับสัญญาณพัลส์	5
รูปที่ 2.3 แสดงแนวความคิดในทฤษฎีการ Sampling	6
รูปที่ 2.4 แสดงระยะห่างของการ Sampling	6
รูปที่ 2.5 แสดง PAM ของสัญญาณที่ผ่านการ Sampling แล้ว	7
รูปที่ 2.6 แสดงผลของความถี่สัญญาณสุ่มค่าและสัญญาณอนาลอก	7
รูปที่ 2.7 แสดงการจัดระดับสัญญาณ	8
รูปที่ 2.8 การนำสัญญาณ PAM มาเข้ารหัส	9
รูปที่ 2.9 การแปลงสัญญาณดิจิทัลไปเป็นสัญญาณอนาลอก	11
รูปที่ 2.10 การแปลงสัญญาณดิจิทัลไปเป็นสัญญาณอนาลอก	11
รูปที่ 2.11 โครงสร้างของระบบ ADPCM	14
รูปที่ 2.12 การเข้ารหัสแบบ Adaptive Delta Modulation	
ก) การเข้ารหัส	14
ข) การถอดรหัส	15
รูปที่ 2.13 โครงร่างของระบบ ADM	15
รูปที่ 2.14 หลักการของการเปลี่ยน Step ในการจัดระดับของ ADM	16
รูปที่ 2.15 Block Diagram ระบบ ADM	16
รูปที่ 2.16 สัญญาณที่ได้จาก DM	17
รูปที่ 2.17 การส่งข้อมูลจะส่งเป็น 1 บิตต่อ 1 ตัวอย่าง (Sample)	18
รูปที่ 2.18 แสดงการเกิด Quantizing Error ใน DM	18
รูปที่ 2.19 Block Diagram ของระบบ DM	19
รูปที่ 2.20 การเกิด Slope Overload	19
รูปที่ 2.21 การควอนไทซ์และควอนไทซ์นอยส์	23
รูปที่ 2.22 คุณลักษณะการจัดระดับด้วยคอมเพรสเซอร์และเอ็กซ์เพนเดอร์	23
รูปที่ 3.1 บล็อกไดอะแกรมของเดลต้ามอดูเลชัน	24
รูปที่ 3.2 แสดงสัญญาณอินพุทที่เป็นอนาล็อกและสัญญาณประมาณค่า	25
รูปที่ 3.3 แสดงผลของการใช้ความกว้างของสแต็ปไม่เหมาะสมกับสัญญาณอินพุท	26

รูปที่ 3.4	แสดงผลของการเข้ารหัสแบบเดลตามอดูเลชันพร้อมกับสัญญาณรบกวนที่เกิดขึ้น	27
รูปที่ 3.5	บล็อกไดอะแกรมของอะแด็ปทีฟเดลตามอดูเลชัน	27
รูปที่ 3.6	แสดงสัญญาณส่งออกของอะแด็ปทีฟเดลตามอดูเลชัน	28
รูปที่ 3.7	วงจรเบื้องต้นของเดลตามอดูเลชันในส่วนของการแปลงจากสัญญาณเสียงเป็นดิจิตอล	29
รูปที่ 3.8	วงจรที่ใช้แปลงกลับจากข้อมูลดิจิตอลเป็นสัญญาณเสียง	29
รูปที่ 3.9	เปรียบเทียบสัญญาณอินพุทกับข้อมูลที่ได้สัญญาณอานาลอกจากอินทิเกรเตอร์	30
รูปที่ 3.10	แผนผังการทำงานของระบบ CVSD ในส่วนของการแปลงสัญญาณเสียงเป็นดิจิตอล	31
รูปที่ 3.11	แผนผังการทำงานของระบบ CVSD ในส่วนแปลงกลับจากดิจิตอลเป็นสัญญาณเสียง	31
รูปที่ 4.1	แสดงถึงการต่อวงจร Condenser Microphone และ Filter กรองความถี่เข้ากับไอซี MC3418	34
รูปที่ 4.2	โครงสร้างภายในของ MC3418	35
รูปที่ 4.3	แสดงถึงรายละเอียดของขาไอซี MC3418	36
รูปที่ 4.4	Simplex Voice Codec (Single Pole Companding and Single Integration)	38
รูปที่ 4.5	แสดงขาและโครงสร้างของ 89C51	42
รูปที่ 4.6	แสดงโครงสร้างของ RAM 128kByte	43
รูปที่ 4.7	แสดงให้เห็นถึงแนวการเปลี่ยนแปลงระดับสัญญาณแบบ TTL จากไมโครคอนโทรลเลอร์ไปเป็นระดับสัญญาณแบบ RS-232	45
รูปที่ 4.8	การเชื่อมต่อระหว่างคอมพิวเตอร์กับไมโครคอนโทรลเลอร์ด้วย MAX232	45
รูปที่ 4.9	สถานะจังหวะการเขียนข้อมูลกับหน่วยความจำข้อมูลภายนอก	46
รูปที่ 4.10	สถานะจังหวะการอ่านข้อมูลกับหน่วยความจำข้อมูลภายนอก	47
รูปที่ 4.11	วงจรภาคการควบคุม MC3418 ด้วยไมโครคอนโทรลเลอร์	48
รูปที่ 4.12	Flowchart การควบคุม MC3418 ด้วยไมโครคอนโทรลเลอร์ 89C51	49
รูปที่ 5.1	low pass filter ที่สัญญาณขาออกเพื่อปรับคุณภาพเสียง	50
รูปที่ 5.2	กราฟของ S/N โดยที่ กราฟ C คือ กราฟของวงจรในรูปที่ 4.4 และ กราฟ B คือ กราฟของวงจรที่เพิ่มวงจรกรองความถี่ในรูป 5.1 และ กราฟ A คือ กราฟของวงจรที่เพิ่มการ companding และ double integration (ซึ่งดูรูปได้ที่รูป 5.3)	51
รูปที่ 5.3	วงจร double integrate ที่เพิ่ม companding control	52

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของโครงการพิเศษ

ในการสื่อสารข้อมูลจากต้นทางไปยังปลายทางมีด้วยกันหลายวิธีแต่วิธีที่ง่ายและสะดวกคือการเข้ารหัสสัญญาณอนาล็อกในรูปแบบดิจิทัลเนื่องจากข้อมูลดิจิทัลง่ายต่อการควบคุมและมีระดับสัญญาณที่แน่นอนปราศจากสิ่งรบกวนจากที่อื่นโดยเฉพาะนอยส์ (noise) และการแทรกซ้อนที่เข้ามาปะปนน้อยมาก นอกจากนี้ประสิทธิภาพในการส่งและการใช้งานในรูปแบบต่างๆ ทั้งเสียง, ภาพ และข้อมูลนั้นมีประสิทธิภาพสูงกว่าแบบอนาลอกมาก

แต่การเข้ารหัสสัญญาณมีด้วยกันหลายวิธีที่นิยมกันมากคือการเข้ารหัสแบบพัลส์โค้ดมอดูเลชัน (pulse code modulation) ในกระบวนการมอดูเลชันนี้จะใช้สัญญาณสุ่มตัวอย่างหรือแซมปลิงเก็บข้อมูลและนำมาทำการจัดระดับเป็นรหัสไบนารีตามระดับขนาดของสัญญาณ ซึ่งง่ายต่อการจัดเก็บและรับส่ง

แต่การเก็บข้อมูลจากการเข้ารหัสวิธีนี้จะต้องใช้เนื้อที่ในการจัดเก็บหรือหน่วยความจำมากเนื่องจากจะต้องใช้หน่วยความจำหลายบิตต่อหนึ่งแซมปลิง (sampling) ในโครงการพิเศษนี้จะศึกษาวิธีการเข้ารหัสแบบเดลต้าซิกมาคอนเวอร์ชัน (delta sigma conversion) ข้อมูลที่ได้จากการเข้ารหัสแบบนี้จะใช้เนื้อที่ในการเก็บเพียงบิตเดียวต่อหนึ่งจุดแซมปลิงสัญญาณ ซึ่งการแปลงแบบนี้จะเปรียบเทียบความแตกต่างของสัญญาณและทำนายผลของสัญญาณล่วงหน้าว่าจะต้องเพิ่มความชันของสัญญาณปลายทางหรือไม่ สัญญาณดิจิทัลขาออกจะเป็นข้อมูลที่บอกถึงการถอดรหัสว่าเป็นเพียงการขึ้นหรือลดขนาดลงของสัญญาณขาออก เมื่อผ่านการถอดรหัสแบบเดลต้าซิกมาที่ปลายทางจะมีความคล้ายกับสัญญาณขาเข้า

1.2 วัตถุประสงค์ของโครงการพิเศษ

จากที่กล่าวมาทั้งหมดทำให้เกิดโครงการพิเศษนี้ขึ้น

1. เพื่อศึกษาลักษณะของสัญญาณเสียงการออกแบบวงจรกรองความถี่และการปรับปรุงคุณภาพเสียง
2. เพื่อศึกษาลักษณะและการเข้ารหัสแบบเดลต้าซิกมา
3. เพื่อศึกษาการจัดเก็บข้อมูลดิจิทัลด้วยไมโครคอนโทรลเลอร์
4. เพื่อศึกษาการออกแบบวงจรและควบคุมอุปกรณ์ด้วยไมโครคอนโทรลเลอร์

1.3 การดำเนินงาน

สำหรับโครงการพิเศษนี้จะประกอบด้วยการทำงาน 2 ส่วนคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ส่วน Hardware ซึ่งประกอบด้วยวงจรที่เป็น
 - 1.1 Analog Filter and Microphone
 - 1.2 Delta Sigma Conversion Circuit
 - 1.3 Microcontroller
2. ส่วน Program Assembly ทำหน้าที่ในการควบคุมพารามิเตอร์ของวงจรแปลงสัญญาณ และบันทึกข้อมูลเสียงให้อยู่ในหน่วยความจำ RAM (Random Access Memory)

ขั้นตอนในการทำงาน มีดังนี้คือ

1. ทำการศึกษาและหาข้อมูลถึง คุณลักษณะของการเข้ารหัสแบบ Delta Modulation
2. ทำการวิจัยและทดลองผลของวงจร Analog และ Digital ในเครื่องรับส่ง Voice โดยใช้ไอซีของ Motorola เบอร์ MC3418 ซึ่งทำหน้าที่ทั้งสองสถานะ A/D Converter และ D/A Converter ตามแต่จะกำหนดพารามิเตอร์
3. ทำการเขียน Software โดยใช้โปรแกรมภาษา Assembly ให้ Micro-Processor 89C51 ทำหน้าที่ควบคุมการทำงานของวงจร Analog และการบันทึกสัญญาณ Digital ที่ได้จาก ไอซีเบอร์ MC3418 เข้าไปเก็บในหน่วยความจำ RAM และนำสัญญาณ Digital ที่เก็บไว้มาแปลงกลับเป็นสัญญาณเสียงออกทางลำโพง

1.4 ประโยชน์ที่ได้รับจากการทำโครงการพิเศษ

ประโยชน์ที่ได้รับคือเราสามารถนำการเข้ารหัสมาประยุกต์ใช้งานกับสัญญาณเสียงและลดเนื้อที่ในการจัดเก็บและทำให้รู้จักการดัดแปลงและควบคุมการจัดเก็บข้อมูลด้วยไมโครคอนโทรลเลอร์ และเข้าใจในทฤษฎีการเข้ารหัสแบบเดลต้าซิกมา

บทที่ 2

ทฤษฎีที่เกี่ยวข้อง

ในโครงการพิเศษนี้จะศึกษาการเข้ารหัสสัญญาณเสียงซึ่งสัญญาณเสียงมีคุณสมบัติดังนี้

1. Amplitude ของสัญญาณที่มีขนาดต่ำจะเกิดขึ้นบ่อย
2. ระดับของสัญญาณจะเปลี่ยนแปลงอย่างมากไปกับเวลา
3. Spectrum ของความถี่ จะไม่เป็น Uniform และแนวโน้มกำลังงานของเสียงส่วนใหญ่ จะอยู่ในบริเวณความถี่ต่ำ
4. เมื่อทำการ Sampling สัญญาณเสียง เพื่อทำให้เป็น Digital นั้น Sample ที่อยู่ข้างเคียงกัน จะมีความคล้ายคลึงกันอย่างมาก
5. สัญญาณเสียงในขณะที่สนทนากันจะเกิดมีคาบเวลา (Pitch)

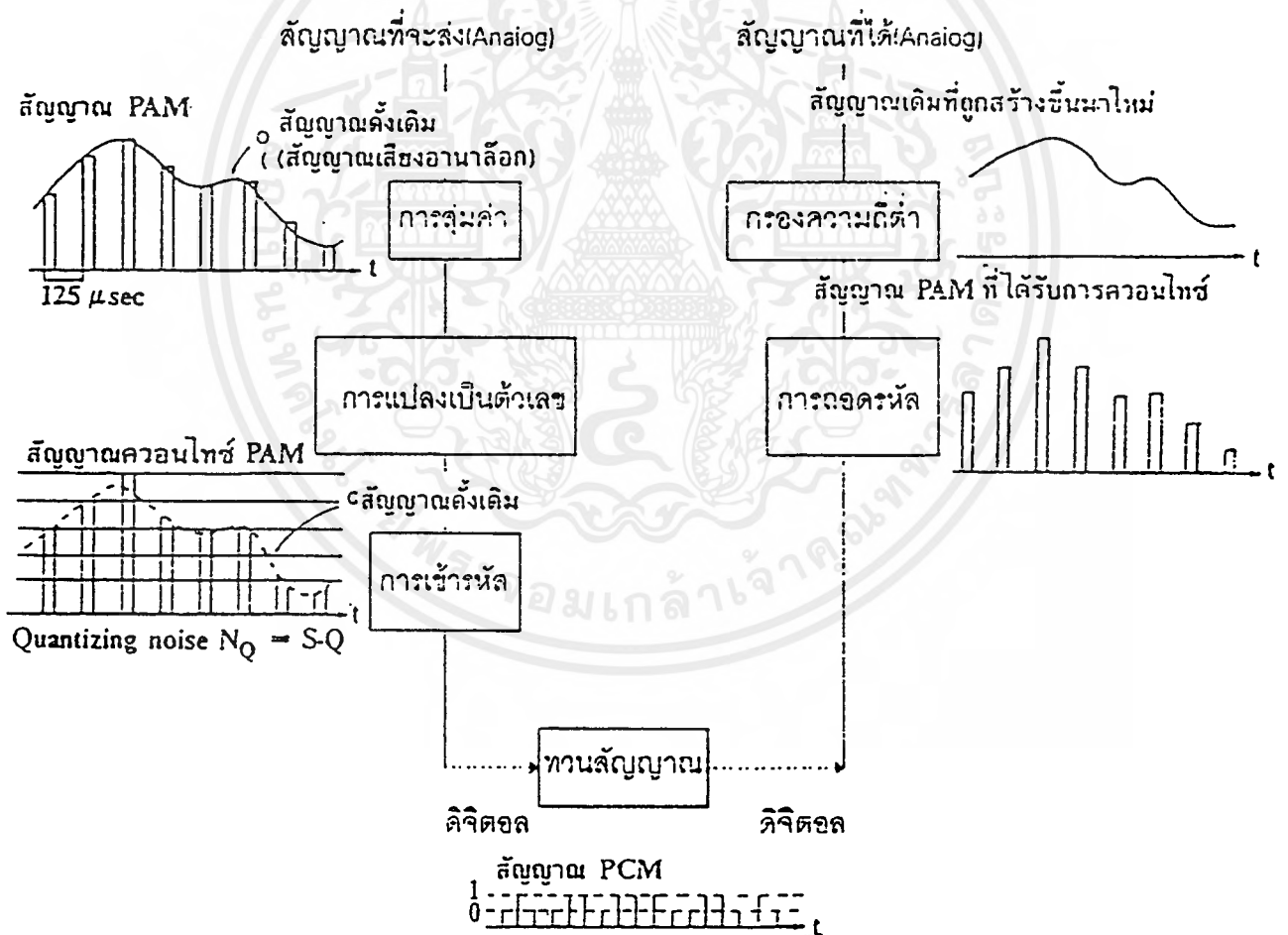
สำหรับเสียงที่มนุษย์ได้ยินนั้น เมื่อสัญญาณเสียงมีกำลังงานสูง (เสียงดัง) ควอนไตซิงนอยส์จะเกิดขึ้นในสัญญาณได้ ซึ่งตามความจริงแล้วจะไม่ได้ยินเสียงนอยส์นี้เลย แต่จะได้ยินชัดเจนว่ามีนอยส์ในความถี่ที่แตกต่างกัน บริเวณใกล้กับความถี่ 0.8 kHz และถ้าข่าวสารที่มี หรือ ขาด คาบเวลาของเสียงก็ดี หรือ Pitch ของสัญญาณเสียงและ Spectrum ของเสียงก็ดีถูกกรักษาไว้อย่างแน่นชัดแล้ว เสียงที่ได้นั้นจะมีลักษณะใกล้เคียงกับสัญญาณเดิม

จากคุณสมบัติของสัญญาณเสียงที่กล่าวมา พอที่จะทำให้รู้วิธีการกวดส่วนเกินของเสียง โดยอาศัยคุณลักษณะของสัญญาณเสียงและการได้ยิน ด้วยวิธีการจัดระดับแบบอแด็ปทีฟ (Adaptive Quantizing) การเข้ารหัสโดยการคาดคะเน (Predictive Coding) การแบ่งตามแถบความถี่ (Band Division) และการแบ่งตามเวลา (Time Division)

ซึ่งการที่จะเข้ารหัสของเสียงให้ได้ประสิทธิภาพสูง (High Efficiency Voice Coding- HEVC) เพื่อลดระดับการเกิดควอนไตซิงนอยส์ที่เกิดขึ้นเสมอ ในการแปลงสัญญาณเสียงที่เป็น Analog ไปเป็นสัญญาณ Digital นั้นจะต้องใช้ความเร็วมากกว่า 2 เท่าในการ Sampling เช่นในการส่งสัญญาณ Digital ด้วยความเร็ว 64 kb/s จากสัญญาณ Analog ซึ่งมี Bandwidth 4 kHz เปลี่ยนให้เป็น Digital จะต้องใช้ความเร็วประมาณ 100 kb/s จึงจะทำให้ระดับการเกิดควอนไตซิงนอยส์ลดลงและทำให้คุณภาพของสัญญาณดีขึ้น ด้วย การเข้ารหัสแบบอแด็ปทีฟดิฟเฟอเรนเชียลพัลส์ซีเอ็ม (Adaptive Differential Pulse Code Modulation-ADPCM) การเข้ารหัสแบบอแด็ปทีฟเดลต้ามอดูเลชัน (Adaptive Delta Modulation-ADM) หรือระบบการเข้ารหัสแบบ APC-AB (Adaptive Predictive Coding with Adaptive Bit Allocation) เป็นต้น แต่ในที่นี้จะเป็นการศึกษาถึงการเข้ารหัสสัญญาณเสียงแบบ เดลต้ามอดูเลชัน (Delta Modulation-DM) หรือแบบ ADM ที่ใช้การเข้ารหัสเพียง 1 Bit ต่อหนึ่งตัวอย่างซึ่งเป็นการประหยัดจำนวน

บิตในการส่งสัญญาณเป็นอย่างมาก จัดเป็นวงจรแปลงสัญญาณ Analog เป็น Digital ที่ใช้วิธีเปรียบเทียบ ความสูงหรือการเปลี่ยนแปลงของสัญญาณเสียง และข้อมูลที่ได้ คือ ทิศทางของการเปลี่ยนแปลงว่า “ขึ้น” หรือ “ลง” เท่านั้น จึงสามารถใช้เพียงบิตเดียวก็เพียงพอในการเปรียบเทียบสัญญาณ ข้อได้เปรียบของเดลด้า มอดูเลชันก็คือ ส่วนของ Hardware ที่มีความยุ่งยากน้อยและมีความยืดหยุ่นสูง ซึ่งง่ายต่อการควบคุม ซึ่ง เหมาะที่จะนำมาใช้ทำเครื่องรับและส่ง สำหรับโครงการนี้จะเป็นแค่การศึกษาเท่านั้น ซึ่งจะกล่าวทฤษฎีเบื้องต้น ต่อไปนี้

ระบบการสื่อสารปัจจุบัน การ modulation ของสัญญาณ digital ถูกนำมาใช้แทน analog modulation นั่นคือสัญญาณที่เป็น analog จะถูกเปลี่ยนเป็นสัญญาณ digital ก่อน แล้วทำการ modulation สัญญาณ ที่ได้ เพื่อทำการส่งผ่านทางสายส่งหรือคลื่นวิทยุ หลังจากนั้นทางด้านรับก็จะทำการ แปลงสัญญาณ digital กลับมาเป็นสัญญาณ analog ตามเดิม



รูปที่ 2.1 แสดงขั้นตอนการแปลงสัญญาณ Analog ไปเป็นสัญญาณ Digital

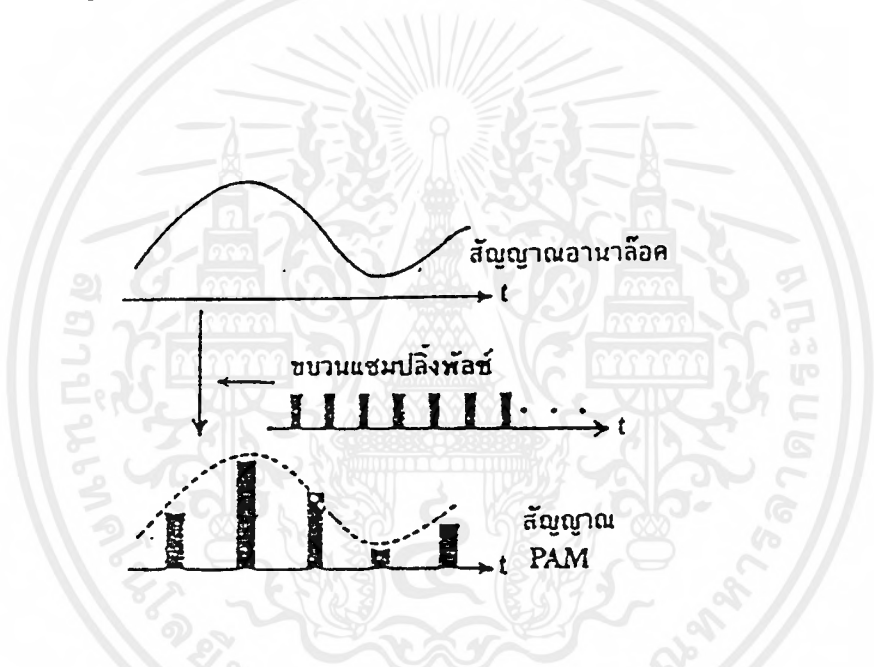
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีการของระบบการ digital modulation จะต้องผ่านขบวนการที่สำคัญ 3 ขบวนการคือ

1. การสุ่มตัวอย่าง (Sampling)
2. การแบ่งแรงแรงดันออกเป็นระดับต่าง ๆ
3. การเข้ารหัสตามระดับแรงแรงดัน

2.1 การสุ่มตัวอย่าง(Sampling)

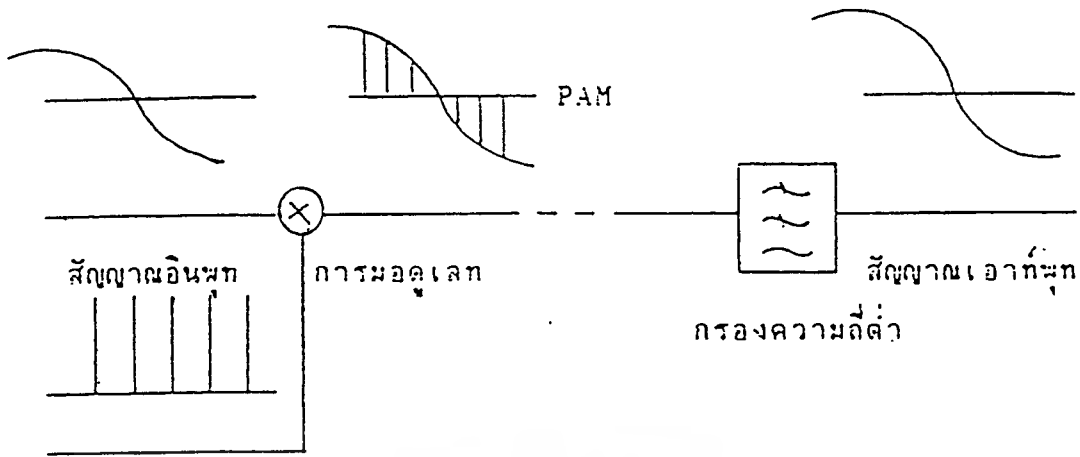
สัญญาณ analog จะเป็นสัญญาณที่ต่อเนื่องกันตลอด ตามแกนของเวลา การ Sampling คือการนำค่า amplitude ของสัญญาณ analog บางค่าในช่วงเวลาที่ห่างกันคงที่มาเรียงต่อกัน ซึ่งเสมือนการ modulation ทาง amplitude โดยคลื่นพาหะที่เป็นขบวน pulse ซึ่งมีคาบเวลาระหว่าง pulse ที่คงที่ โดยผลลัพธ์ที่ได้จะเป็นสัญญาณที่ไม่ต่อเนื่องตามแกนเวลาเรียกว่า Pulse Amplitude Modulation (PAM) ดังรูปที่ 2.2



รูปที่ 2.2 การมอดดูเลขันระหว่างสัญญาณอนาล็อกกับสัญญาณพัลส์

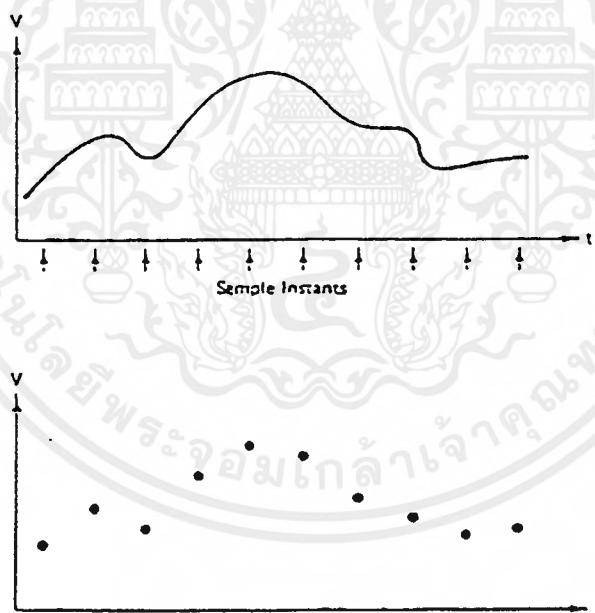
สิ่งที่จะต้องคำนึงถึงในการสุ่มสัญญาณคือ จะใช้ความถี่เท่าไรจึงจะเหมาะสมนั้นคือ ในการสุ่มค่าจะอาศัยทฤษฎีการ Sampling (Sampling Theorem) ซึ่งได้ผ่านการพิสูจน์ทางคณิตศาสตร์แล้วโดยมีแนวความคิดเบื้องต้นที่ว่า ขบวนการ Pulse ที่ Output Modulation จะเปลี่ยนแปลงไปตามระดับของสัญญาณ Input ดังรูปที่ 2.3 สำหรับทางด้านรับนั้น เมื่อองค์ประกอบความถี่สูงของขบวน Pulse ถูกจำกัดออกมาโดยวงจรกรองความถี่ต่ำ (Lowpass Filter) แล้วจะได้รับสัญญาณเดิม หรือกล่าวอีกนัยหนึ่งว่าถ้าหากทำการ Sampling สัญญาณ Input ด้วยระยะห่างที่เท่ากัน แล้ว ก็สามารถทำให้เกิดสัญญาณเดิมได้อย่างสมบูรณ์ทางด้านรับ ซึ่งตามทฤษฎีการ Sampling กล่าวไว้ว่า " ถ้าข่าวสารในสัญญาณถูกจำกัดให้มี ความถี่สูงเป็น f_m แล้วหากใช้ขบวน Pulse ที่มีความถี่เท่ากับหรือมากกว่า $2f_m$ ทำการ Sampling แล้ว ก็จะสามารถเก็บข่าวสารได้อย่างสมบูรณ์" ระยะห่างของแต่ละจุดที่ทำการ Sampling คือ $1/2f_m$ เรียกว่า Nyquist Interval

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ชบวนพัลส์

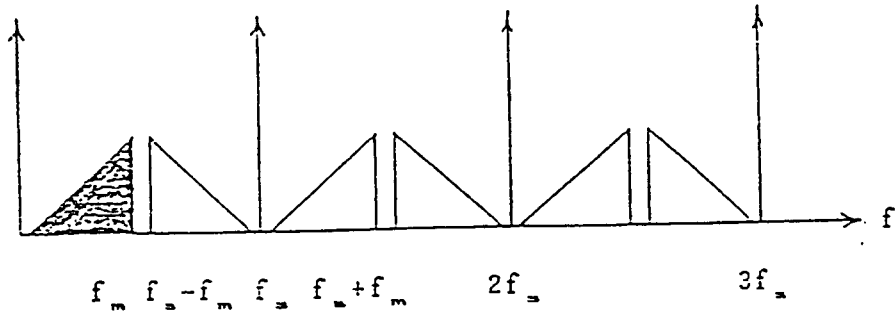
รูปที่ 2.3 แสดงแนวความคิดในทฤษฎีการ Sampling



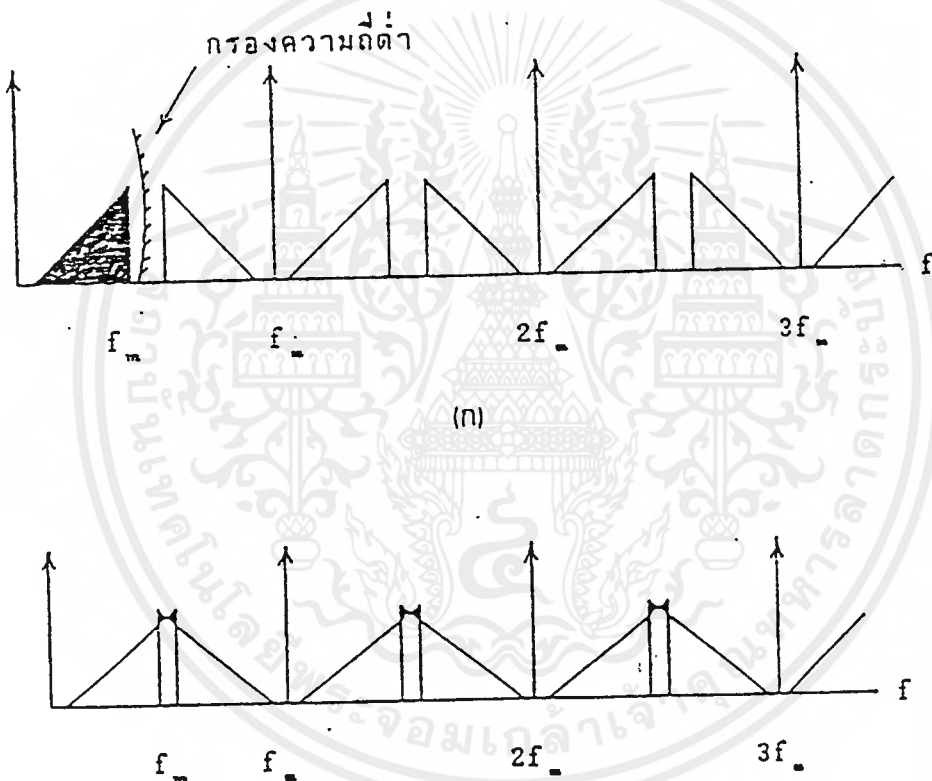
รูปที่ 2.4 แสดงระยะห่างของการ Sampling

เมื่อผ่านการ Sampling แล้ว ความถี่สูงของสัญญาณ Analog (f_w) และความถี่ของการ Sampling (f_s) ให้แถบความถี่ (Frequency Spectrum) ของสัญญาณ PAM ดังรูปที่ 2.5 จากรูปจะพบว่ามันจะประกอบด้วย Harmonic ของสัญญาณคลื่นรูป Sine ที่มีความถี่เป็นทวีคูณของความถี่ Pulse รวมกันอยู่ ($0, f_s, 2f_s, \dots$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 แสดง PAM ของสัญญาณที่ผ่านการ Sampling แล้ว



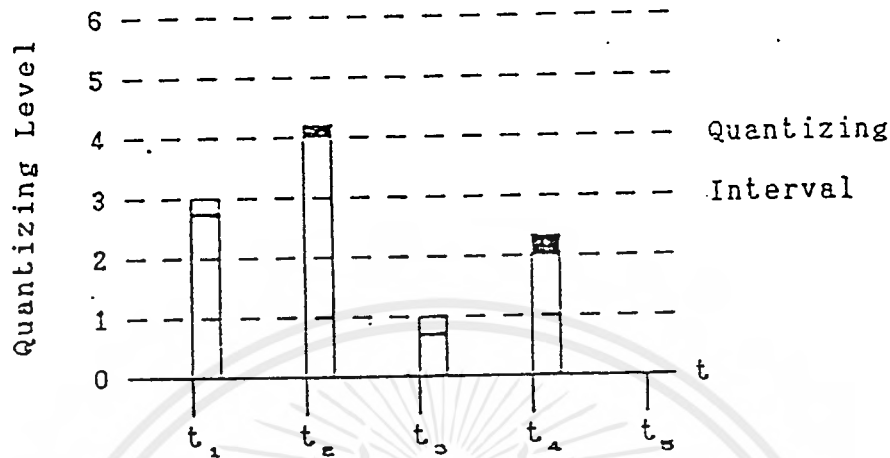
(ข)

รูปที่ 2.6 แสดงผลของความถี่สัญญาณสุ่มค่าและสัญญาณอนาลอก

ในทางด้านรับนั้น จะสามารถนำสัญญาณ Analog กลับคืนมาได้ โดยวงจรกรองความถี่ต่ำ ซึ่งแสดงได้ดังรูป 2.6 ในระบบโทรศัพท์ ที่มีแถบความถี่เสียงจำกัด มีค่าอยู่ระหว่าง 0.3 kHz ถึง 3.4 kHz ดังนั้นความถี่ที่ใช้ในการ Sampling ต้องมีค่าไม่ต่ำกว่า 6.8 kHz ในทางปฏิบัติจะใช้ 8 kHz เพื่อให้การสร้างวงจรสัญญาณง่ายขึ้น ดังนั้น ช่วงเวลาที่ใช้ในการ Sampling แต่ละครั้งจะเท่ากับ 1/8000 วินาที (125 μ S) เมื่อ

สุ่มค่าได้สัญญาณ PAM แล้วจะถูกส่งไปผ่านการแปลงค่าเป็นตัวเลข โดยการแบ่งขนาดออกเป็นช่วงๆ ดังรูปที่

2.7

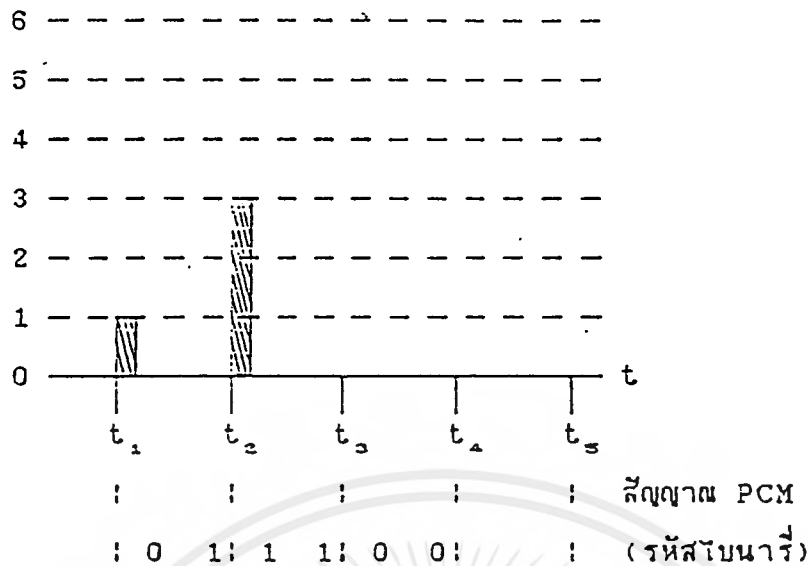


รูปที่ 2.7 แสดงการจัดระดับสัญญาณ

2.2 การแบ่งแรงดันออกเป็นระดับต่างๆ

จากรูปที่ 2.7 ขนาดของสัญญาณ (Amplitude) ที่ถูกสุ่มค่าจะถูกจัดให้เป็นระดับเรียกว่าระดับควอนไทซ์ (Quantizing Level) โดยมีระยะห่างแต่ละระดับเรียกว่า Quantizing Interval หรือ Quantizing Step ที่เท่ากันซึ่งเป็นการจัดระดับแบบ Uniform ขนาดของการสุ่มค่า (Sample) ทุกตัวจะแสดงด้วยค่าระดับควอนไทซ์ที่ใกล้เคียงที่สุด เช่น การจัดให้มีช่วงการควอนไทซ์ห่างกันอยู่ 1 ถ้าสัญญาณสุ่มค่าเป็น 2.8 ก็จะถูกจัดให้เป็นระดับ 3 ดังนั้น PAM ที่ถูกจัดระดับแล้วจะเป็นเพียงค่าประมาณ ของสัญญาณ Analog เท่านั้น ส่วนขาดและส่วนเกินของการจัดระดับจึงเป็นค่าผิดพลาดของสัญญาณเดิม กับค่าที่ได้จัดระดับ เรียกค่านี้อา ควอนไทซ์นอยส์ (Quantizing Noise) หรือ การพัวเพี้ยนจากการควอนไทซ์ (Quantizing Distortion)

ในทางปฏิบัติ เราไม่อาจเลี่ยงควอนไทซ์นอยส์ได้แต่สามารถรักษาคุณภาพของเสียงได้โดยการลดควอนไทซ์นอยส์อินเทอร์วัลให้แคบลงหลังจากสัญญาณได้รับการจัดระดับแล้วก็จะถูกนำไปเข้ารหัสเช่น ถ้าลดควอนไทซ์นอยส์อินเทอร์วัลลงครึ่งหนึ่งปริมาณของควอนไทซ์นอยส์จะลดลงเป็น 1/4 และควอนไทซ์นอยส์อินเทอร์วัลให้เหลือครึ่งหนึ่งนั้นสอดคล้องกับการเพิ่มจำนวน Bit อีก 1 Bit นั่นคือ Power ของควอนไทซ์นอยส์จะลดลง 6 dB ทุกๆ การเพิ่ม 1 Bit โดยเปลี่ยนเป็นรหัสเลขฐานสองดังรูปที่ 2.8



รูปที่ 2.8 การนำสัญญาณ PAM มาเข้ารหัส

2.3 การเข้ารหัส (Coding) ตามระดับแรงดัน

หลังจากขบวนพัลส์ PAM ได้ผ่านขั้นตอนการจัดระดับมาแล้ว จะต้องเปลี่ยนขนาดเหล่านั้นให้เป็นรหัสไบนารี (Binary Code) กรณีที่เป็นสัญญาณเสียงสำหรับการส่งทางโทรศัพท์ จะถูกเปลี่ยนเป็นรหัส 8 Bit ซึ่งสามารถแสดงค่าแอมพลิจูดได้ 2^8 ระบบการเข้ารหัสจะมีหลายๆ แบบ แต่ส่วนมากจะใช้กัน 3 แบบดังแสดงไว้ในตาราง 2.1 ซึ่งแสดงไว้เพียง 3 Bit เท่านั้น

ระดับกำลังอัดขบวนพัลส์	รหัสแบบธรรมดา	รหัสแบบเฉยๆ	รหัสแบบสมมาตร
0	000	000	011
1	001	001	010
2	010	011	001
3	011	010	000
4	100	110	001
5	101	111	101
6	110	101	110
7	111	100	111

ตาราง 2.1 รหัส Binary แบบต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รหัสไบนารีแบบธรรมดา (Natural binary code) จะใช้สัมประสิทธิ์ a_1, a_2, \dots, a_n จากสมการแสดงขนาดของแอมพลิจูดของสัญญาณ m เป็นรหัสโดยตรง คือ

$$m = a_1 \cdot 2^{n-1} + a_2 \cdot 2^{n-2} + \dots + a_n \cdot 2^0$$

รหัสไบนารีแบบเกรย์ (Gray Code) เป็นการเข้ารหัสตดยที่รหัสข้างเคียงซึ่งสอดคล้องกับระดับข้างเคียงจะมีบิตซึ่งแตกต่างกันเพียงตำแหน่งเดียวเท่านั้น

รหัสไบนารีแบบสมมาตร (Symmetrical binary code) ในรหัสนี้ บิตแรกจะชี้ว่าสัญญาณจะเป็นบวกหรือลบ บิตที่ 2 จนถึงบิตสุดท้ายจะแสดงค่าสัมบูรณ์ของสัญญาณ แล้วนำมาจัดเรียงใหม่อย่างสมมาตรจากกึ่งกลางของระดับควอนไทซ์ไปถึงระดับสูงสุดหรือต่ำสุด ดังนั้นการเข้ารหัสแบบนี้จึงเหมาะสมที่จะใช้แสดงสัญญาณที่อยู่ในรูปของไบโพลาร์

ตามที่ได้กล่าวมาแล้วข้างต้น ไม่ว่าจะเป็นการเข้ารหัสแบบใดก็ตาม เมื่อบิตใดๆเกิดการผิดพลาดเนื่องจากนอยส์ในช่องสัญญาณแล้ว เมื่อสัญญาณ Analog ถูกสร้างกลับมาใหม่ที่ด้านรับ S/N ซึ่งเลวลงอยู่แล้ว จะมามีค่าแตกต่างกันเป็นอย่างมาก เมื่อบิตที่ผิดพลาดมีตำแหน่งต่างกัน

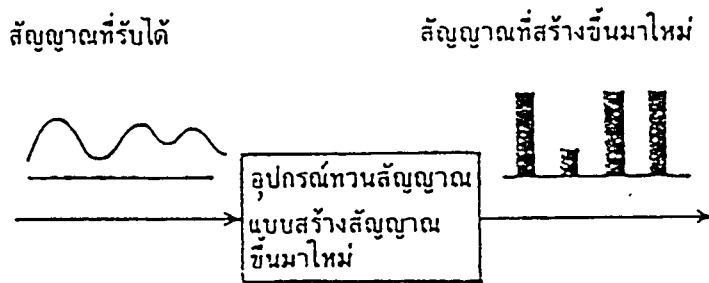
อนึ่ง ความสัมพันธ์ระหว่างอัตราการผิดพลาด (error rate) และ S/N จะแตกต่างกันเมื่อโครงสร้างของสัญญาณต่างกัน และโดยทั่วไปแล้ว การผิดพลาดของรหัสจะมีน้อยอย่างพอเพียงและผลที่เกิดจากควอนไทซ์นอยส์จะมีมากกว่าผลที่เกิดจากบิต error

ในการเข้ารหัสอาจเป็นการเข้ารหัสแบบธรรมดาแบบเกรย์ หรือแบบสมมาตรก็ได้ซึ่งจำนวนบิตที่ใช้ในการเข้ารหัสอาจใช้เป็นหลายๆบิต สัญญาณที่ได้นี้เรียกว่า สัญญาณ PCM (Pulse Code Modulation) โดยระดับค่าตัวเลขจะถูกกำหนดโดยจำนวนบิตของเลขฐานสองของแต่ละค่าเช่นใช้ 7 บิต จะได้ค่าตัวเลข 128 ระดับนั้นคือจำนวนค่าตัวเลขเท่ากับ 2^n เมื่อ n คือจำนวนบิต

จากทฤษฎีสายส่งสัญญาณ ทำให้ทราบว่าหากทำการส่งสัญญาณ PCM ตามสายส่งสัญญาณจะเกิดการผิดเพี้ยนของสัญญาณได้เนื่องจากสัญญาณรบกวน, การแทรกสอด (Interference) ระหว่างทางและ การตอบสนองทางความถี่ (Frequency Response) ของสายส่งซึ่งมีการลดทอนมากสำหรับสัญญาณความถี่สูงและลดทอนน้อยสำหรับความถี่ต่ำ เนื่องจากค่าของตัวเหนี่ยวนำ และตัวเก็บประจุที่กระจายอยู่ในสายส่งจะประพฤติตัวเป็นวงจรความถี่ต่ำ ทำให้สัญญาณ PCM ผิดเพี้ยนรูปทรงไป แต่ปัญหานี้ได้ถูกแก้ไขโดยการสร้างสัญญาณ PCM ขึ้นใหม่ที่ด้านรับ ตรวจจับที่เครื่องรับยังสามารถตัดสินใจได้อย่างถูกต้องว่า สัญญาณผิดเพี้ยนที่ได้รับนั้นเป็นบิตค่า 0 หรือ ค่า 1

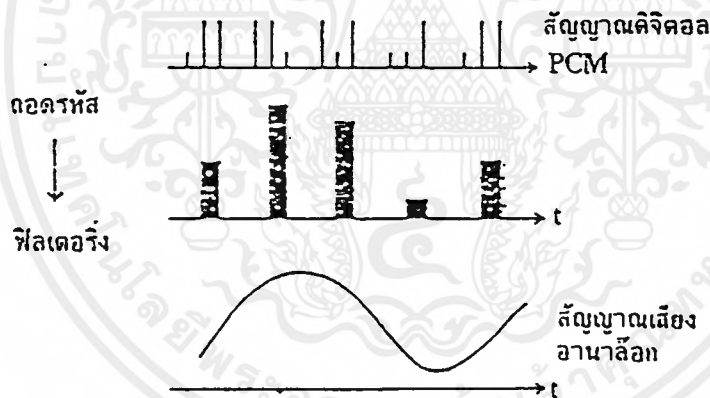
หากต้องการส่งสัญญาณ PCM ไปในระยะทางไกลๆ โดยไม่ใช่โมเด็ม ก็จะต้องมีอุปกรณ์ทวนสัญญาณเรียกว่า เครื่องทวนสัญญาณแบบสร้างขึ้นใหม่ (Regenerative Repeater) ซึ่งจะสร้างสัญญาณ PCM ที่ผิดเพี้ยนไปขึ้นใหม่ และทำการส่งต่อไปยังเครื่องรับหรืออุปกรณ์ทวนสัญญาณอีกตัวหนึ่ง (ดังในรูปที่ 2.9) จะเห็นได้ว่า เราสามารถที่จะกำจัดผลของสัญญาณรบกวน การสอดแทรกและการผิดเพี้ยนรูปทรง จากผลตอบสนองทางความถี่ของสายส่งลงได้ ดังนั้นการส่งสัญญาณระบบ Digital จะไม่มีการสะสมผลของสัญญาณรบกวน และสัญญาณแทรกสอดดังเช่นที่พบเห็นในการส่งสัญญาณระบบ Analog ซึ่งเป็นข้อดีที่เห็นได้ชัดของระบบ Digital ที่เหนือกว่าระบบ Analog

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 การแปลงสัญญาณดิจิทัลไปเป็นสัญญาณอนาล็อก

ด้านรับเมื่อเครื่องรับได้สัญญาณ Digital PCM ก็จะถูกแปลงกลับไปเป็นสัญญาณ Analog (ดูรูปที่ 2.10) โดยผ่านการถอดรหัส และการกรองสัญญาณซึ่งเรียกขั้นตอนทั้งสองรวมกันว่า การเปลี่ยนสัญญาณ Digital ไปเป็นสัญญาณ Analog (D/A Conversion)



รูปที่ 2.10 การแปลงสัญญาณดิจิทัลไปเป็นสัญญาณอนาล็อก

การถอดรหัสนั้นก็ตรงข้ามกับการเข้ารหัส (ในรูปที่ 2.10) โดยเริ่มจาก รหัสฐานสองที่มาจากเครื่องรับสัญญาณ PCM จะถูกนำมาคำนวณและสร้างเป็นระดับค่าตัวเลขและสัญญาณสุ่มค่าจะถูกสร้างขึ้นใหม่ซึ่งสอดคล้องกับระดับที่คำนวณได้จากข้อมูลฐานสองที่ได้รับนี้สัญญาณ PCM ที่ถูกแปลงเป็นตัวเลขแล้ว ที่ด้านส่งก็ จะถูกสร้างขึ้นใหม่ที่ด้านรับซึ่งสัญญาณที่ได้ก็ยังคงมีสัญญาณรบกวนจากการแปลงเป็นตัวเลขเช่นเดียวกับทางด้านส่ง สัญญาณ PCM ที่สร้างขึ้นใหม่ที่ด้านรับ ก็จะถูกส่งผ่านไปยังวงจรกรองผ่านความถี่ต่ำ ก็จะได้สัญญาณเสียง Analog ต่อเนื่องตามแกนเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 การเข้ารหัสของเสียงอย่างมีประสิทธิภาพสูง (High-Efficiency Voice Coding)

2.4.1 หลักการของ High-Efficiency Voice Coding (HEVC)

ระบบการเข้ารหัสของ PCM โดยทั่วไปจะนำไปใช้กับโครงข่ายสื่อสารที่เกี่ยวข้องกับการเข้ารหัสของสัญญาณเสียง ซึ่งสัญญาณเสียงในขั้นแรกจะถูกแปลงไปในรูปของข่าวสารทางดิจิทัลด้วยความเร็ว 64 kb/s และเมื่อสัญญาณอนาล็อกถูกเปลี่ยนให้เป็นดิจิทัลนั้นจะเกิดควอนไทซ์นอยส์เสมอ เมื่อเป็นเช่นนั้น การเปลี่ยนสัญญาณเสียงซึ่งมี Bandwidth 4 kHz จากอนาล็อกให้เป็นดิจิทัลต้องใช้ความเร็วประมาณ 100 kb/s จึงจะทำให้ควอนไทซ์นอยส์ลดลงและเป็นผลทำให้คุณภาพของสัญญาณดีขึ้นมาได้ แต่อย่างไรก็ตามก็จำเป็นต้องทำให้อัตราการส่งนั้นต่ำพอที่จะรักษาคุณภาพที่ต้องการไว้ได้ ดังนั้น ระบบการเข้ารหัสของ PCM ซึ่งใช้ในทางปฏิบัตินั้นได้นำคอมพิวเตอร์มาใช้ซึ่งจะกล่าวในภายหลัง กระบวนการนี้จะรักษาคุณภาพของสัญญาณให้เหมือนกับการจัดระดับแบบ Uniform สิ่งนี้ก็เป็นหลักการหนึ่งในความคิดอย่างกว้างๆ ของ HEVC ซึ่งถูกนำมาใช้เป็นระบบมาตรฐานสากล

2.4.2 คุณสมบัติของสัญญาณเสียงและการลดส่วนเกิน

เนื่องจากมนุษย์เป็นแหล่งกำเนิดในการส่งและรับข่าวสารด้วยเสียงจึงพิจารณาได้ว่าสัญญาณเสียงมีส่วนเกิน (redundancy) ของปริมาณข่าวสารอยู่บ้าง ในการส่งหรือเก็บสัญญาณเสียงนั้น ถ้าเป็นไปได้ก็ไม่จำเป็นต้องเก็บข้อมูลให้หมดอย่างสมบูรณ์ แต่ว่าในขณะที่เดียวกันต้องสามารถรับได้อย่างมีประสิทธิภาพสูงด้วย ถ้าข่าวสารที่เกินความจำเป็นถูกตัดไว้ แม้ว่าจะใช้อัตราส่งซึ่งต่ำกว่าอย่างเช่น 32 kb/s หรือ 64 kb/s ก็สามารถรักษาคุณภาพในการส่งสัญญาณได้ดีเท่ากับที่ส่งด้วยความเร็ว 64 kb/s หรือไม่ก็อาจจะมีคุณภาพที่สูงกว่าความเร็ว 64 kb/s ก็ได้ ถ้าการพัฒนาเป็นอย่างจริงจังแล้วก็อาจเป็นไปได้ที่จะใช้เส้นทางการส่งสัญญาณและหน่วยความจำให้มีประสิทธิภาพยิ่งขึ้นได้ ดังนั้น การวิจัยและพัฒนาทุกกระท่อเนื่องไปถึงการพัฒนาระบบ HEVC ให้เป็นมาตรฐาน ซึ่งจะลดส่วนเกินของเสียงมนุษย์และลดสัญญาณเสียงอย่างมีประสิทธิภาพ

ต่อไปนี้จะกล่าวถึงคุณลักษณะของสัญญาณเสียงและการได้ยินเสียงของมนุษย์ตลอดจนถึงเทคนิคการลดส่วนเกินของสัญญาณเสียงซึ่งได้พัฒนาขึ้นจากการใช้คุณลักษณะดังกล่าว

ก) คุณลักษณะของสัญญาณเสียง

- 1) ระดับอัมพลิจูดของสัญญาณเสียงที่มีขนาดต่ำจะเกิดขึ้นบ่อย
- 2) ระดับของสัญญาณจะเปลี่ยนแปลงอย่างมากไปกับเวลา
- 3) สเปกตรัมความถี่จะไม่เป็นยูนิฟอร์ม และแนวโน้มของ Power ของเสียงส่วนใหญ่จะอยู่ในบริเวณความถี่ต่ำ
- 4) เมื่อ Sampling สัญญาณเสียงเพื่อทำให้เป็นดิจิทัลนั้น Sample ระหว่างตัวข้างเคียงจะมีความคล้ายคลึงกันอย่างมาก
- 5) สัญญาณเสียงในขณะที่สนทนากันจะมีคาบเวลา (pitch)

ข) คุณลักษณะของการได้ยินเสียงของมนุษย์

- 1) เมื่อสัญญาณมีพาวเวอร์สูง(เสียงดัง) ควอนไตซิ่งน้อยจะถูกลดโดยสัญญาณไว้ ซึ่งตามความเป็นจริงแล้วจะไม่ได้ยินน้อยนี้เลย
- 2) โดยการสังเกตอย่างแน่ชัดว่าจะได้ยินเสียงแตกต่างกันในแต่ละความถี่ แต่จะได้ยินชัดที่สุดในบริเวณใกล้กับความถี่ 0.8 kHz ส่วนความถี่ที่อยู่นอกเหนือจากนี้จะมีผลการได้ยินน้อย
- 3) ถ้าข่าวสารที่มี หรือ ขาด คาบเวลาของเสียงก็ดี หรือ pitch ของสัญญาณเสียงและสเปคตรัมของเสียงก็ดีถูกรักษาไว้อย่างแน่ชัดแล้ว เสียงที่ได้นั้นจะมีลักษณะใกล้เคียงกับสัญญาณเดิม

เทคนิคการกวดส่วนเกินของเสียงโดยอาศัยคุณลักษณะเสียงและการได้ยินดังกล่าวข้างต้นมีดังนี้

ก) การจัดระดับแบบอแดปทีฟ (Adaptive Quantizing)

กระทำโดยการเปลี่ยนขนาดของควอนไตซิ่งสเต็ปให้เป็นไปตามระดับของสัญญาณ อย่างเช่น ทำให้ขนาดของสเต็ปห่างขึ้นเมื่อมีระดับสัญญาณสูง วิธีนี้จะหลีกเลี่ยงการเพิ่มของควอนไตซิ่งน้อย อย่างมีประสิทธิภาพ และในขณะเดียวกันก็สามารถลดบิทเรตด้วยแต่ก็ยังใช้ได้ผลดีและจะไม่ทำให้ S/N_q เพิ่มขึ้นแต่อย่างใด ดังนั้นวิธีนี้จึงนำไปใช้กับระบบ HEVC เกือบทุกชนิด

ข) การเข้ารหัสโดยการคาดคะเน (Predictive Coding)

วิธีนี้เป็นการคาดคะเนสัญญาณอินพุตปัจจุบันจากสัญญาณอินพุตตัวก่อน โดยการใช้ความสัมพันธ์ (correlation) ระหว่างระยะห่างของ Sampling ข้างเคียงหรือ pitch เมื่อมีสัญญาณจริงเข้ามาจึงหาผลต่างระหว่างสัญญาณจริงนี้กับสัญญาณที่คาดคะเนได้ แล้วทำการส่งออกไปโดยอาศัยวิธีนี้ จะทำให้อัมพลิจูดของสัญญาณที่คาดคะเนได้มีขนาดน้อยกว่าอัมพลิจูดของสัญญาณอินพุต จึงสามารถลดปริมาณข่าวสารได้

ค) การแบ่งตามแถบความถี่ (Band Division)

สัญญาณอินพุตจะถูกแบ่งให้เป็นหลายแถบความถี่ ขั้นตอนการเข้ารหัสและการจัดบิทต่างๆ ของส่วนที่มีความสำคัญของทุกแถบความถี่ จะถูกกำหนดไว้เป็นอิสระกัน จึงสามารถลดปริมาณข่าวสารทั้งหมดได้

ง) การแบ่งตามเวลา (Time Division)

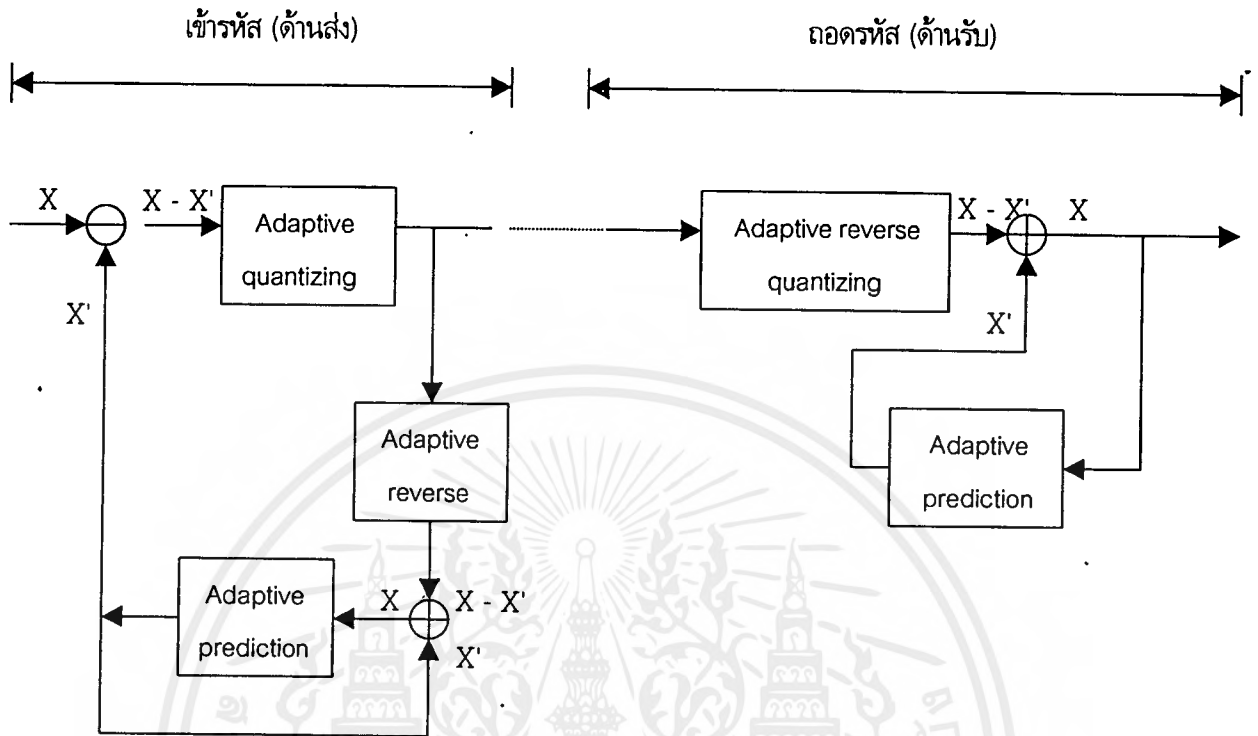
สัญญาณอินพุตจะถูกแบ่งเป็นช่วงๆ ตามแกนเวลา และทำการจัดบิทตามพาวเวอร์ของสัญญาณในแต่ละช่วงเหล่านั้น

2.4.3 ชนิดของระบบ HEVC

2.4.3.1 การเข้ารหัสแบบอแดปทีฟดิฟเฟอเรนเชียลพัลส์โค้ดโมดูเลชัน (Adaptive Differential Pulse Code Modulation)

ในระบบ PCM ที่กล่าวมาแล้วนั้นจะจัดระดับของสัญญาณเสียงจาก Sampling โดยตรง แต่สำหรับในระบบ ADPCM จะจัดระดับโดยใช้ผลต่างระหว่างค่า Sample เนื่องจากค่า Sample ซึ่งอยู่ใกล้เคียงกันจะเอกลักษณะที่เหมือนกันสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

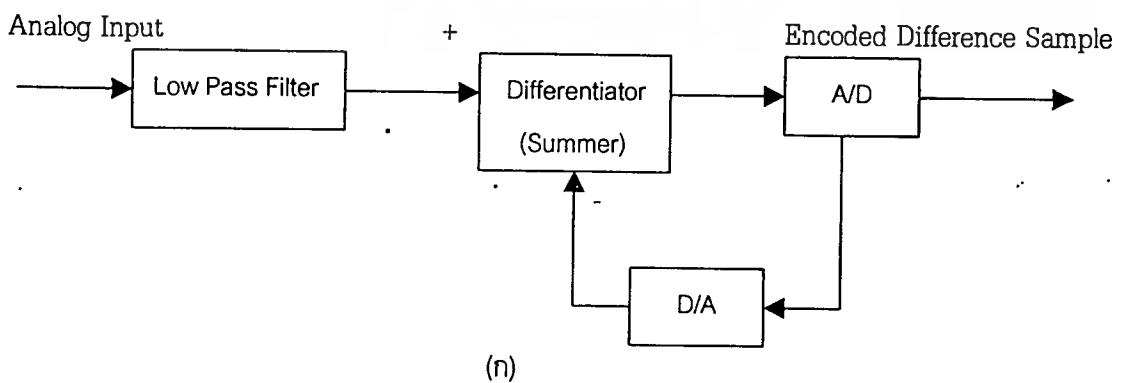
มีลักษณะคล้ายคลึงกัน ดังนั้นจึงคาดคะเนสัญญาณ Input ที่เข้ามาก่อน แล้วจัดระดับโดยใช้ผลต่างระหว่างสัญญาณที่คาดคะเนและสัญญาณปัจจุบันเพื่อทำการส่งออกไปและผลต่างนี้มีค่าน้อย จึงทำให้จำนวนบิตในการเข้ารหัสลดลงได้ โครงสร้างเบื้องต้นของ ADPCM แสดงไว้ดังรูป 2.11

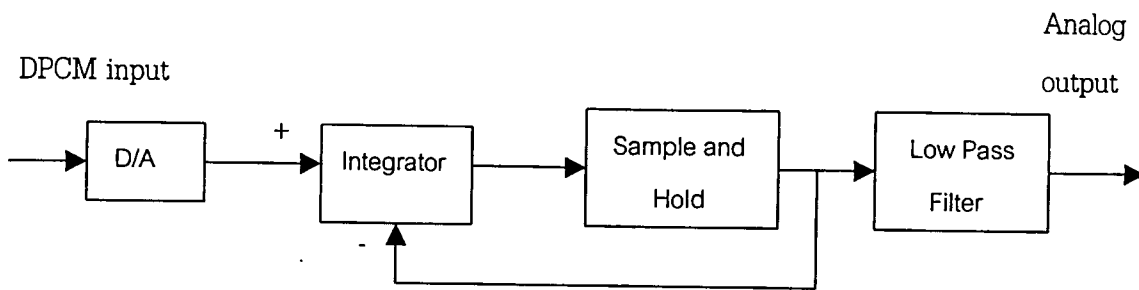


รูปที่ 2.11 โครงสร้างของระบบ ADPCM

จากรูปที่ 2.11 ขั้นแรก ที่วงจรเข้ารหัส (ด้านส่ง) จะสร้างผลต่าง $X - X'$ ระหว่างสัญญาณ INPUT X และสัญญาณที่คาดคะเน X' จาก INPUT ตัวก่อนๆ โดยวงจร Differentiator ต่อ จากนั้นจะนำผลต่าง $X - X'$ ของสัญญาณไปจัดระดับ การที่จะทำให้สัญญาณซึ่งผิดพลาดนี้มีการเปลี่ยนแปลงของระดับอย่างรวดเร็วนั้นจะไม่ใช้การจัดระดับแบบ Uniform แต่จะใช้วิธีจัดระดับเพื่อให้อัตราเพิ่มหรือลดลงโดยอาศัย Sample ตัวก่อน (Adaptive Quantizing) วิธีนี้จะปรับปรุงคุณภาพให้ดีขึ้น

วิธีการเข้ารหัสแบบ ADPCM นี้จะใช้เพียง 4 Bit (32 kb/s) ซึ่งมีคุณภาพใกล้เคียงกับระบบ ซึ่งใช้ 7 Bit (56 kb/s)





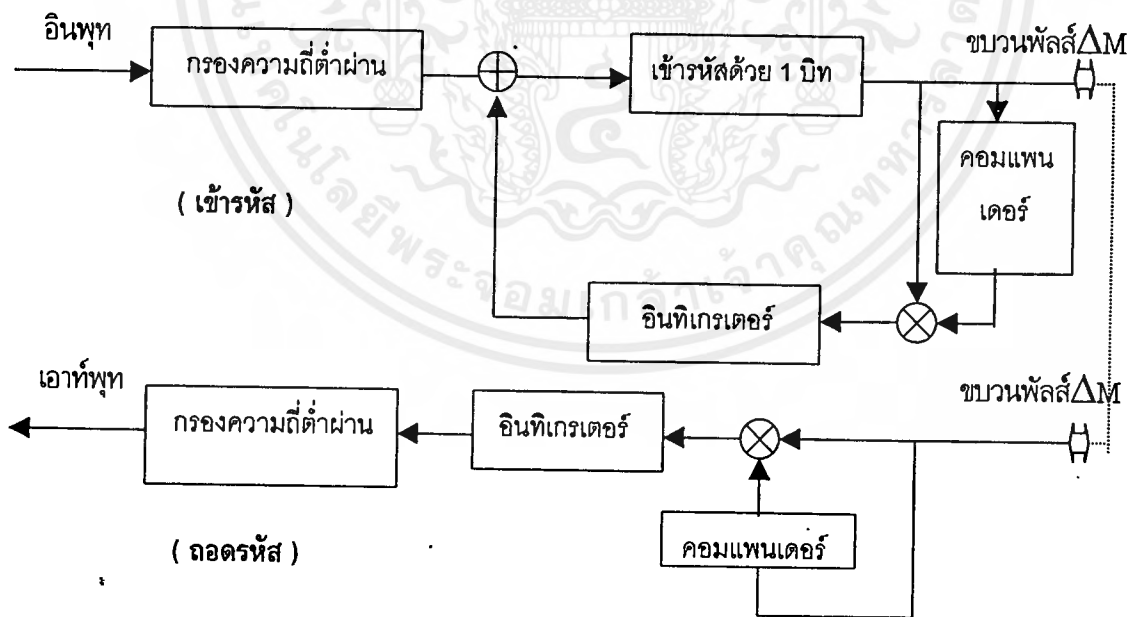
(ข)

รูปที่ 2.12 การเข้ารหัสแบบ Adaptive Delta Modulation

(ก) การเข้ารหัส (ข) การถอดรหัส

2.4.3.2 การเข้ารหัสแบบอแด็ปทีฟเดลต้ามอดูเลชัน (Adaptive Delta Modulation)

ในขณะที่ความถี่ในการ Sampling สูงขึ้น ผลต่างระหว่างค่า Sample ข้างเดียวจะน้อยลง ระบบการเข้ารหัสแบบ ADM จะพิจารณาจุดนี้ คือ ใช้ความถี่ในการ Sample ให้สูงขึ้น และการเข้ารหัสของผลต่างของสัญญาณ เพื่อส่งออกไปด้วย 1 Bit ตามรูปที่ 2.13 ซึ่งแสดงโครงสร้างของการเข้ารหัส/ถอดรหัสแบบ ADM ประกอบด้วยคอมพารเตอ์(Comparator) อินทิเกรเตอ์(Integrator) D/A Convertor และวงจร Logic ที่จำเป็นบางวงจร เนื่องจากมีขนาดเล็กและการสูญเสียพลังงานน้อย จึงสามารถสร้างได้โดยง่าย

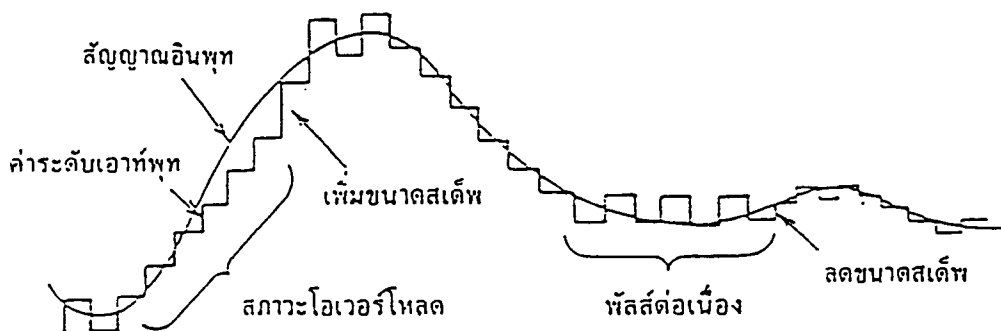


รูปที่ 2.13 โครงร่างของระบบ ADM

การที่เข้ารหัสโดยใช้เพียง 4 Bit จะกำหนดขนาดของ Step จากชววน Pluse ที่เข้ามาก่อน (ΔM)

กล่าวคือ ตามรูปที่ 2.14

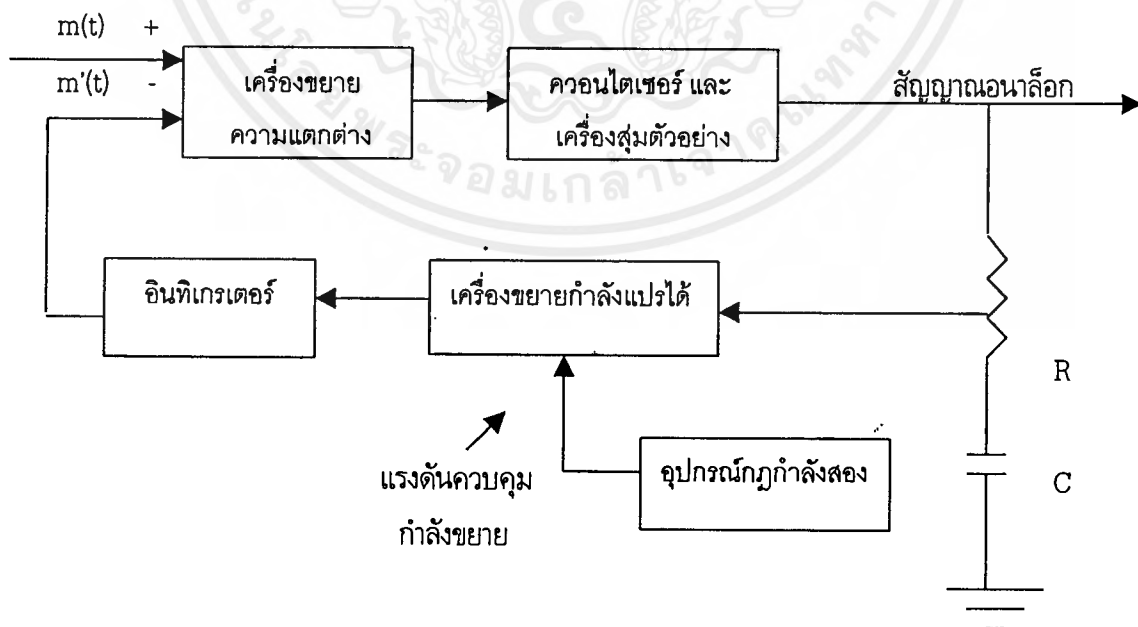
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.14 หลักการของการเปลี่ยน Step ในการจัดระดับของ ADM

สัญญาณที่ได้หลังจากผ่านวงจร Integrator จะเป็น Pluse ที่เปลี่ยนแปลงตามสัญญาณ Analog Input อย่างใกล้ชิด และมีรูปร่างคล้ายสัญญาณ Analog มาก ยกเว้นในกรณีที่สัญญาณ Analog เปลี่ยนแปลงขนาดอย่างรวดเร็ว หรือกล่าวได้ว่า ความชันของสัญญาณสูงมากๆ ทำให้วงจรส่วน Delta-Modulation ไม่สามารถสร้าง Pluse ไล่ทันสัญญาณ Analog ในกรณีนี้เราเรียกว่า เกิดการเกินภาระของความชัน (Slope Overload) การแก้ปัญหานี้สามารถทำได้โดย การปรับขนาดของ Step แต่จริงๆแล้วขนาดของ Step ควรจะให้เล็กเมื่อมีการเปลี่ยนแปลงของสัญญาณเกิดขึ้นช้าๆ และเพิ่มขนาดของ Step เพื่อที่จะหลีกเลี่ยง Slope Overload เมื่อสัญญาณเปลี่ยนแปลงมาก

Block Diagram แบบหนึ่งของระบบ ADM ที่สามารถปรับขนาด Step ตามลักษณะของสัญญาณ แสดงได้ดังในรูปที่ 2.15 ขนาดของ Step จะเปลี่ยนแปลงได้โดยการควบคุม Gain ของ Integrator ซึ่ง Gain จะมีค่าต่ำเมื่อ Voltage เป็น 0 และ Gain จะเพิ่มขึ้นเมื่อ Voltage ควบคุมเพิ่มมากขึ้น



รูปที่ 2.15 Block Diagram ระบบ ADM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรรวม Gain ประกอบด้วย RC และอุปกรณ์ Square Law เมื่อสัญญาณ Input คงที่ หรือเปลี่ยนแปลงอย่างช้าๆ DM จะตามได้ทัน และ Output ของ Modulator จะเป็น Pluse บวกและ ลบสลับกันตลอดเวลา Pluse เหล่านี้เมื่อ Integrate โดย RC แล้วจะได้ Output ออกมาเฉลี่ยเป็น 0 Volts ซึ่งมีค่าต่ำ ดังนั้น Step ของ Accumulator จึงต่ำด้วย

ในกรณีที่ Slope Overload ทาง Output ของ Modulator จะเป็น บวกและลบตลอด ตอนนี้นี่ที่ Integrator จะ Integrate ให้ Output Voltage ออกมาจึงไปเพิ่ม Gain ของ Amplifier ทำให้มีขนาด Step เพิ่มขึ้น จึงทำให้ไม่เกิด Slope Overload หรือเกิดเพียงเล็กน้อย สำหรับ Demodulator ในระบบ ADM จะมีวงจรเหมือน Adaptive Encoder ทุกประการ

2.4.3.3 การเข้ารหัสแบบเดลต้ามอดูเลชัน (Delta Modulation-DM)

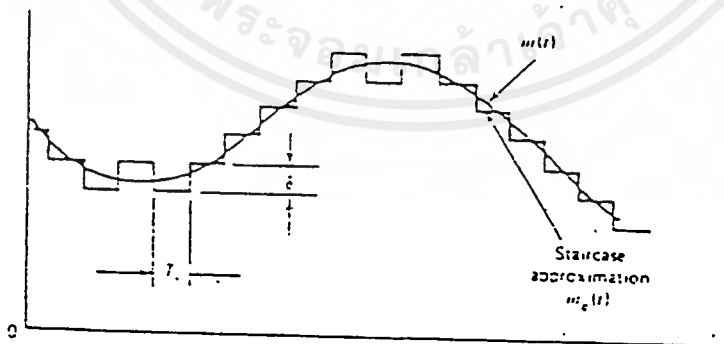
ในรูปแบบปกติ สัญญาณที่ได้จาก DM จะให้สัญญาณเป็นรูปขั้นบันได (Stair case) ซึ่งประมาณได้จากสัญญาณอินพุท (Input Signal) หรือสัญญาณเบสแบนด์ (Base Band) ดังรูปที่ 2.16 ความแตกต่างระหว่าง Input และสัญญาณที่ได้จากค่าประมาณ (Approximate) จะถูกเปลี่ยนเป็นสัญญาณ 2 ระดับคือ +d และ -d เท่านั้น หลักการทำการประมาณค่าสัญญาณนั้น ถ้าสัญญาณ Input มีค่าสูงกว่าสัญญาณที่ได้จากการประมาณค่าที่ตำแหน่งของการแซมปลิง (Sampling) ครั้งก่อนก็จะทำการเพิ่มสัญญาณค่าประมาณขึ้นอีก +d ในทางกลับกัน ถ้าสัญญาณค่าประมาณมีค่ามากกว่าสัญญาณ Input มันก็จะถูกลดลง -d เช่นกัน ถ้าสัญญาณเปลี่ยนแปลงไม่เร็วเกินไป เราจะพบว่าขั้นบันไดการประมาณ (Stair Case Approximate) จะยังคงสูงหรือต่ำกว่าสัญญาณ Input ไม่เกิน +d หรือ -d

ในสัญญาณ Input เป็น $m(t)$ และขั้นบันไดการประมาณเป็น $m_a(t)$ แล้ว หลักการเบื้องต้นของ DM สามารถเขียนเป็นสมการได้ดังนี้

$$b_n = \text{sgn}[m(n.T_s) - m_a(n.T_s - T_s)]$$

$$m_a(nT_s) = m(n.T_s - T_s) + d.b_n$$

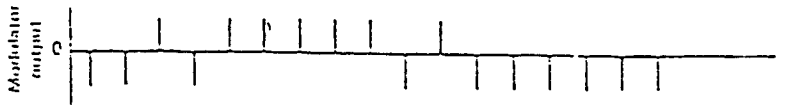
โดย T_s เป็นเวลาของการแซมปลิง และ b_n เป็นเครื่องหมายที่ได้



รูปที่ 2.16 สัญญาณที่ได้จาก DM

สำหรับแต่ละตัวอย่าง (sample) การส่งจะส่งเป็นข้อมูล 1 Bit คือ b_n และอัตราของการส่งผ่านข้อมูลจะเท่ากับอัตราการแซมปลิง $1/T_s$ ดังแสดงในรูปที่ 2.17

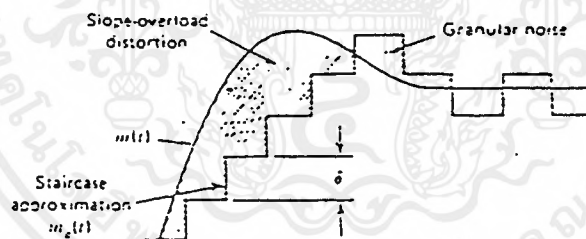
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.17 การส่งข้อมูลจะส่งเป็น 1 บิตต่อ 1 ตัวอย่าง (Sample)

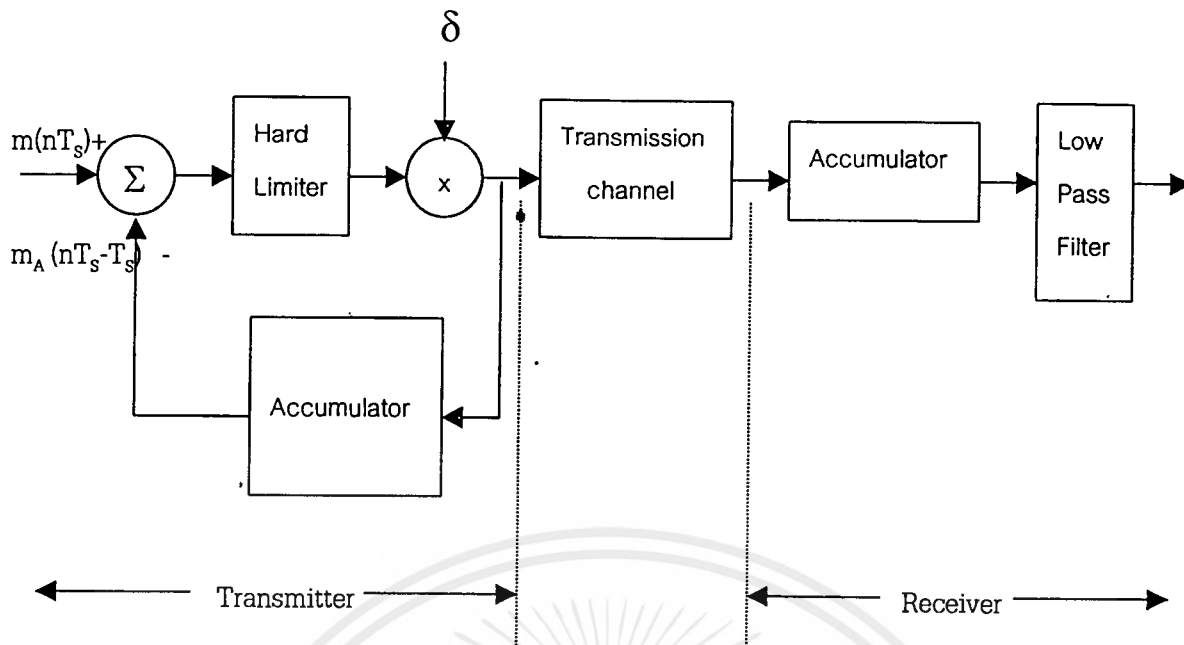
ความถี่ที่ใช้ในการแซมปลิงจะต้องมากกว่าหรือเท่ากับ 2 เท่าของความถี่สูงสุดของความถี่ที่เราต้องการแซมปลิงนั้น

การแซมปลิงของระบบ PCM ซึ่งใช้เข้ารหัสเสียงความถี่ประมาณ 0-4 kHz จึงต้องใช้ความถี่ในการแซมปลิง 8 kHz ขึ้นไป แต่ในทางปฏิบัติจะใช้ความถี่สูงกว่านี้มากเพื่อลดความผิดพลาดซึ่งในระบบ DM จะเกิดความผิดพลาดหรือคลาดเคลื่อนที่เรียกว่า ความผิดพลาดควอนไทซ์ (Quantizing Error) ซึ่งมี 2 อย่าง คือความผิดพลาดที่เกิดจากสัญญาณมีความชันในการเปลี่ยนแปลงค่ามากเกินไปหรือสโลปโอเวอร์โหลดดิสทอร์ชัน (Slope Overload Distortion) และความผิดพลาดที่เรียกว่าแกรนูลาร์นอยส์ (Granular Noise) ดังแสดงในรูปที่ 2.18



รูปที่ 2.18 แสดงการเกิด Quantizing Error ใน DM

สโลปโอเวอร์โหลดดิสทอร์ชันเกิดขึ้นเมื่อขนาดของสเต็ป (Step) d เล็กเกินไปที่จะทำให้ขั้นบันไดการประมาณ $m_q(t)$ ตามสัญญาณอินพุต $m(t)$ ได้ทัน และ granular noise จะเกิดขึ้นเมื่อขนาดของ Step d ใหญ่เกินไป สัญญาณ Input ซึ่งเป็นผลมาจากสัญญาณ $m_q(t)$ Step ขึ้นและลงระหว่างส่วนที่ค่อนข้างราบเรียบของ Input Granular noise ในระบบ DM นี้เทียบเท่าควอนไทซ์นอยส์ในระบบ PCM ดังนั้นสำหรับสัญญาณที่มีค่าความชัน (Slope) อันหนึ่ง ถ้าขนาดของ Step เล็กก็จะทำให้เกิดสโลปโอเวอร์โหลดดิสทอร์ชัน ในขณะที่ขนาดของ Step ใหญ่จะทำให้เกิด Granular noise



รูปที่ 2.19 Block Diagram ของระบบ DM

สำหรับหลักการของ DM แบบธรรมดา นั้น สามารถแสดงใน Block Diagram ในรูปที่ 2.19 ซึ่ง SS ประกอบด้วย summer, hard limiter , และ accumulator หรือ integrator นั้นเอง โดยตัวsummerจะเปรียบเทียบความแตกต่างระหว่างสัญญาณอินพุตและเอาท์พุท จาก accumulator ค่าความแตกต่างนี้จะผ่านเข้าไปใน hard limiter จะถูกคูณด้วย d และจะถูกส่งเข้าไปสู่ accumulator ซึ่งทำหน้าที่สร้างสัญญาณค่าประมาณดังสมการ



รูปที่ 2.20 การเกิด Slope Overload

ดังนั้นทุกช่วงของการแซมปลิง ตัว accumulator จะเพิ่มสัญญาณค่าประมาณด้วยขนาดสเต็ป (d) ตามทิศทางของ b_i ถ้าสัญญาณแซมปลิงมากกว่าสัญญาณค่าประมาณ ค่า $+d$ ก็จะถูกเพิ่มให้กับสัญญาณค่าประมาณ ถ้าสัญญาณตัวอย่างมีค่าน้อยกว่าค่าประมาณ ค่า $-d$ จะถูกเพิ่ม (ลดลง d) ให้กับ accumulator โดยวิธีการนี้ accumulator จะทำการสร้างสัญญาณใหม่ตามสัญญาณอินพุทโดยใช้ 1 สเต็ปในแต่ละครั้งของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแรมปลิ่ง พบว่าพัลส์ที่ได้ +d และเหล่านี้จะประกอบเป็นสัญญาณดิจิทัล เพื่อส่งไปทางด้านรับ ในทางด้านรับก็จะสร้างขั้นบันไดออกมา โดยนำพัลส์บวกและลบที่ได้รับผ่าน accumulator ซึ่งมีการทำงานเช่นเดียวกับทางด้านส่ง ส่วนควอนไทซ์ซึ่งมีอยู่ใน $m_q(t)$ จะถูกกำจัดออกไปได้โดยผ่านวงจรกรองความถี่ต่ำผ่าน (Low Pass Filter) ซึ่งมี Bandwidth เท่ากับของสัญญาณ Base band

ก) Slope Overloading

ปัญหาใหญ่ในระบบ DM คือการเกิด Slope Overload เมื่อสัญญาณ Input $m(t)$ เปลี่ยนแปลงสัญญาณค่าประมาณ $m_q(t)$ จะ Step ตามสัญญาณ Input ไปตลอดทราบเท่าที่สัญญาณตัวอย่างยังมากหรือน้อยกว่าสัญญาณ $m_q(t)$ ซึ่ง Step ตามสัญญาณ $m(t)$ ไม่ทันนั้น ก็จะเป็นเกิดความผิดพลาดที่เรียกว่า Overload นี้เกิดขึ้นเนื่องจากความชันของสัญญาณ $m(t)$ เราเรียกว่า Slope Overload ดังแสดงในรูปที่ 2.20 เพื่อที่จะหาเงื่อนไขสำหรับป้องกัน Slope Overload ในระบบ DM เราสมมุติว่า Input $m(t)$ เท่ากับ $A \cos(2\pi f_m t)$

ดังนั้นความชันสูงสุดของสัญญาณ คือ

$$\left[\frac{dm(t)}{dt} \right]_{\max} = A \cdot 2\pi f_m$$

การเปลี่ยนแปลงมากที่สุดในช่วงระหว่าง Sample ของสัญญาณ Input คือ $A \cdot 2\pi f_m \cdot T_s$ เพื่อหลีกเลี่ยงการเกิด Slope Overload การเปลี่ยนแปลงของ Sample นี้ต้องน้อยกว่า d นั่นคือ

$$2\pi f_m \cdot T_s \cdot A < d$$

หรือขนาด Amplitude ที่ซึ่ง Slope Overload จะเกิด คือ

$$A = (df_s) / (2\pi f_m)$$

ซึ่ง $f_s = 1/T_s$ เป็นอัตราการ Sampling ของระบบ DM ได้มีการตรวจสอบโดยการทดลองพบว่า DM จะส่งสัญญาณเสียงโดยปราศจากการเกิด Slope Overload นั้น ขนาดของสัญญาณจะต้องไม่เกินกว่าขนาดมากที่สุดของสัญญาณในสมการที่ ซึ่งใช้กับ $f_m = 800$ Hz ปัญหาของการเกิด Slope Overload ในระบบ DM สามารถแก้ไขได้โดยการใช้วงจรกรองสัญญาณ หรือโดยสัญญาณเพื่อจำกัดอัตราสูงสุดของการเปลี่ยนแปลงการเพิ่มขนาดของ Step หรือเพิ่มอัตราการ Sampling จะทำให้ต้องใช้ Bandwidth มากขึ้น

ทางที่ที่ดีที่สุดที่จะหลีกเลี่ยง Slope Overload โดยการตรวจสอบเงื่อนไขการเกิด Overload และทำให้ Step มีขนาดมากขึ้น เพื่อตรวจสอบได้ว่าเกิด Overload ซึ่งเป็นแบบที่ใช้ขนาดของ Step ไม่คงที่นี้ แบบ ADM

ข) สัญญาณรบกวน (Noise) ในระบบ DM

Output ด้าน Decoder จะแตกต่างจากทางด้าน Input เนื่องมาจากควอนไทซ์นอยส์ $n_q(t)$ และสัญญาณรบกวนที่เกิดขึ้นในขณะทำการส่ง $n_o(t)$ ดังนั้น

$$m_r(t) = m_o(t) + n_q(t) + n_o(t)$$

ซึ่ง $m_r(t)$ = เป็น output ของ Demodulation ที่ผ่านวงจรกรองสัญญาณความถี่ต่ำผ่าน (LPF)

$m_o(t)$ = เป็นสัญญาณ output สมมุติให้เท่ากับ $m(t)$

$n_o(t)$ และ $n_q(t)$ เป็นสัญญาณรบกวนที่ output เมื่อผ่านวงจรกรองความถี่แล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณภาพของสัญญาณทั้งหมดในระบบ DM ถูกวัดในเทอมของ Signal-to-Noise ratio (S/N) ซึ่งอัตราส่วนนี้หาได้จาก

$$(S/N)_o = (E\{m_o(t)\}^2) / (E\{n_q(t)\}^2 + E\{n_o(t)\}^2)$$

พลังงานเฉลี่ยที่มีสัญญาณรบกวนอยู่สามารถคำนวณได้ดังต่อไปนี้

ค) ควอนไตซิ่งนอยส์ในระบบ DM

เราให้ $m(t) = m_o(t) + e_q(t)$ ซึ่ง $|e_q(t)| = |m(t) - m_s(t)| < d$ ในขณะที่เกิด Slope Overload ควอนไตซิ่งนอยส์ $n_q(t)$ ในสมการ เป็นผลของ filter แก่ $e_q(t)$ ถ้าเราสมมุติ uniform สำหรับ $e_q(t)$ ดังนั้น

$$\begin{aligned} E\{e_q(t)\}^2 &= \int (1/2d)e^2 de \\ &= d^2/3 \end{aligned}$$

จะพบว่า normalized power ของสัญญาณ $e_q(t)$ กระจายอย่างสม่ำเสมอในช่วงความถี่ 0 ถึง f_s ซึ่งเป็นอัตราการ Sampling ดังนั้น power spectral density $G_{e_q}(f)$ ของ $e_q(t)$ ถูกกำหนดโดย

$$G_{e_q}(f) = \begin{cases} d^2/6f_s & , f < f_s \\ 0 & , \text{กรณีอื่นๆ} \end{cases}$$

เพราะว่า $n_q(t)$ เป็นผลตอบสนองของเบสแบนด์ฟิลเตอร์ $e_q(t)$ พลังงานเฉลี่ยในภาวะปกติของสัญญาณ $n_q(t)$ ถูกกำหนดโดย

$$\begin{aligned} E\{n_q(t)\}^2 &= \int G_{e_q}(f) df \\ &= (d^2/3)(f_m/f_s) \end{aligned}$$

ในการที่จะคำนวณค่า Signal to Quantizing Noise Power Ratio เราต้องคำนวณหา Signal Power $E\{m_o^2(t)\}$ เพื่อความง่ายในการคำนวณ เราจะคิดกรณีที่ย่ำที่สุดสำหรับ DM ซึ่งกำลังงานของสัญญาณทั้งหมดมารวมกันที่ขอบบนของเบสแบนด์ ดังนั้นเราให้

$$m(t) = A \cos 2f_m t$$

ดังนั้น

$$m_o(t) = A \cos 2f_m t$$

และ

$$E\{m_o^2(t)\} = A^2/2$$

และเพื่อหลีกเลี่ยงการเกิด Slope Overload จากสมการ เรามี

$$A = (d/2\pi)(f_s/f_m)$$

รวมสมการที่ กับ เราจะได้ Signal to Quantizing Noise Power Ratio คือ

$$\{E\{m_o^2(t)\} / \{E\{n_q^2(t)\}\} = (3/8\pi^2)(f_s/f_m)^3$$

ง) การเปรียบเทียบระหว่าง DM กับ PCM

เราสามารถเปรียบเทียบประสิทธิภาพของ DM กับ PCM ได้ในเทอมของคุณภาพสัญญาณและความยุ่งยากในวงจรเพื่อให้การเปรียบเทียบได้กระทำภายใต้เงื่อนไขอันเดียวกัน เราสมมุติว่าระบบทั้งสองใช้ Bandwidth ในการเท่ากัน ถ้าเราให้ f_s เป็นอัตราการ Sampling ของ N-bit PCM และ f_m เป็นอัตราการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Sampling ของ DM ดังนั้น Bit Rate สำหรับระบบทั้งสองคือ Nf_s และ f_s ตามลำดับ ถ้า Spectrum ของ สัญญาณขยายไปถึง f_m Hz และ Bandwidth ที่เทียบเท่ากันที่ต้องการสำหรับ DM คือ

$$f_s = 2Nf_m$$

จ) เปรียบเทียบ Signal to Noise Ratio

ถ้าช่วง S/N มีค่าสูงสุดนั้นประสิทธิภาพของ PCM และ DM ถูกจำกัดโดยควอนไตซ์นอยส์กำลังงาน S/N สำหรับ PCM คือ

$$(S_o/N_q)_{PCM} = Q^2 = 2^{2N} \quad ; N > 2$$

ซึ่ง $Q = 2^N$ เป็นจำนวนระดับที่ทำการควอนไตซ์

สำหรับ DM กำลังงาน S/N ถูกกำหนดโดยสมการ จะได้

$$(S_o/N_q)_{DM} = (3/8\pi^2)(f_s/f_m) \approx 0.3N^3$$

จากสมการทั้งสองจะเห็นว่าถ้า Bandwidth เท่ากันแล้ว ประสิทธิภาพของ DM จะดีกว่า PCM เสมอ เช่น ถ้าใช้ช่อง Bandwidth สำหรับ 8-bit PCM จะได้

$$(S_o/N_q)_{PCM} = 48 \text{ dB}$$

$$(S_o/N_q)_{DM} = 22 \text{ dB}$$

ประสิทธิภาพของ DM สามารถปรับปรุงให้ดีขึ้นโดยใช้ระบบ ADM ซึ่งทำให้ประสิทธิภาพระหว่าง PCM และ ADM แตกต่างกันบ้างเพียงเล็กน้อยเท่านั้น สำหรับบิตเรต 64 kb/s

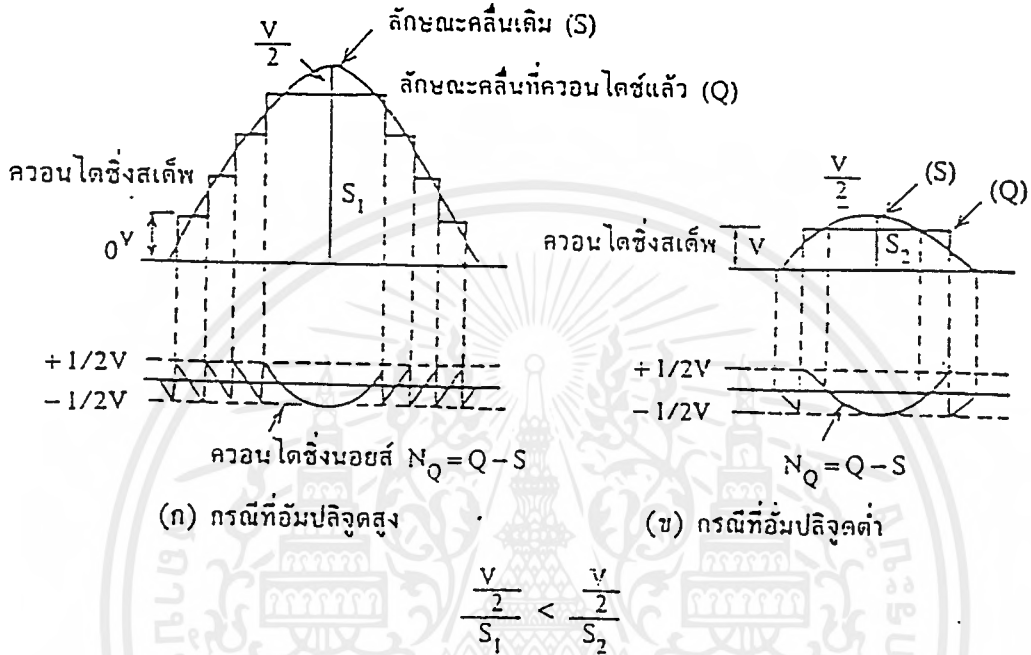
ฉ) เปรียบเทียบ Bandwidth ที่ต้องการ

เนื่องจาก PCM และ DM พิจารณาเฉพาะสำหรับการส่งเสียงพูด ในระบบ PCM พบว่าการส่งเสียงพูดจะได้คุณภาพดีเมื่ออัตราการ Sampling f_s 0.8 kHz , $N = 8$ ซึ่งจะได้บิตเรต 64 kb/s เปรียบเทียบกับ DM แล้วจะต้องใช้บิตเรตถึง 100 kb/s จะทำให้ได้คุณภาพเท่ากัน

2.5 คอมแพนดิง(Companding)

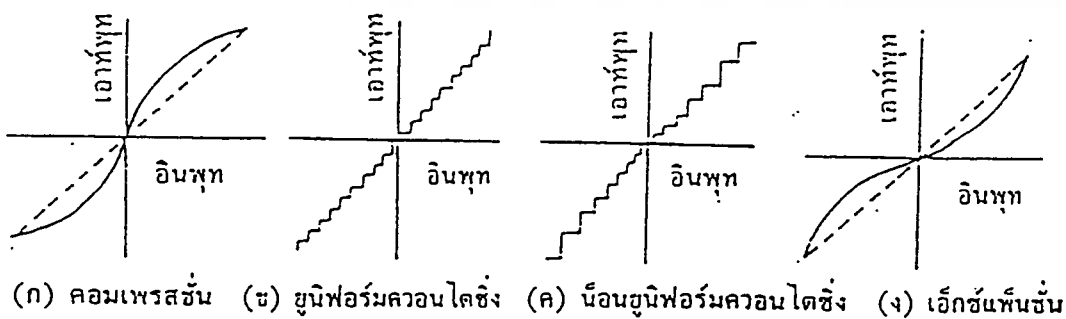
ตามที่ได้กล่าวมาแล้วว่า เราไม่สามารถหลีกเลี่ยงควอนไตซ์นอยส์ที่เกิดขึ้นได้ แต่จะต้องทำให้ลดลง โดยการลดควอนไตซ์อินเทอร์วัล หรือการเพิ่มจำนวนระดับนั่นเอง แต่เมื่อเพิ่มจำนวนระดับขึ้นแล้ว จำนวนบิตที่จะใช้เพิ่มขึ้น จำจำเป็นต้องใช้ความเร็วในการส่ง สัญญาณดิจิทัลให้สูงขึ้น ตามปกติควอนไตซ์นอยส์จะเกิดขึ้นอย่างสม่ำเสมอในทุกอินเทอร์วัล โดยไม่เกี่ยวข้องกับแอมพลิจูดของสัญญาณเดิม หรือ กล่าวอีกในหนึ่งคือ Power ของ ควอนไตซ์นอยส์เกือบจะคงที่โดยไม่ขึ้นอยู่กับสัญญาณ และในการวัดคุณภาพของการเข้ารหัสของสัญญาณจะใช้อัตราส่วนของสัญญาณ S ต่อควอนไตซ์นอยส์ N_o เมื่อเป็นเช่นนี้จะเข้าใจได้ว่า ในกรณีที่ สัญญาณมีระดับสูง S/N_o จะดีกว่ากรณีของสัญญาณซึ่งมีระดับต่ำ ดังนั้นจึงจำเป็นต้องพิจารณาค

วอนไดซึ่งนอยส์ในบริเวณที่สัญญาณมีระดับต่ำ อย่างเช่นตามรูปที่ 2.21 กรณีที่เป็นการจัดระดับแบบ Uniform จะเห็นได้ว่า เมื่อสัญญาณมี Power ต่ำ นอยส์จะมีระดับสูงเมื่อเทียบกับระดับของสัญญาณจึงทำให้ S/N₀เลวลง ด้วยเหตุนี้จึงใช้การจัดระดับโดยวิธีอื่น กล่าวคือ แบบ Non-Uniform Quantizing คือ บริเวณที่สัญญาณมีแอมพลิจูดต่ำจะใช้ควอนไตซิ่งสตีพแบบแคบๆ และในทางตรงกันข้ามบริเวณที่สัญญาณมีแอมพลิจูดสูงจะใช้ควอนไตซิ่งสตีพกว้างๆ ซึ่งการทำให้เป็นแบบ Non-Uniform นั้น จะใช้หลักการของ Companding เข้าช่วย



รูปที่ 2.21 การควอนไตซ์และควอนไตซิ่งนอยส์

Companding เป็นชื่อรวมของวงจรมอดูเลชันซึ่งใช้สำหรับด้านส่งและวงจรถอดรหัสซึ่งใช้สำหรับด้านรับ อย่างไรก็ตามตัวอย่างการจัดระดับควอนไตซ์แบบ Non-Uniform ได้แสดงไว้ในรูป 2.22 ซึ่งมีขั้นตอน คือ ก่อนที่จะทำการจัดระดับจะผ่านสัญญาณไปยังวงจรมอดูเลชันซึ่งมีคุณลักษณะของ Input/Output ตามรูปที่ 2.22(ก) แล้วทำการจัดระดับแบบ Uniform ตามรูปที่ 2.22(ข) ก็จะได้การจัดระดับแบบ Non-Uniform ตามรูปที่ 2.22 (ค) สำหรับทางด้านรับนั้น เมื่อสัญญาณ Digital ผ่านขั้นตอนการถอดรหัสแล้ว จะผ่านไปยังวงจรถอดรหัสซึ่งมีคุณลักษณะตรงกันข้ามกับคอมเพรสเซอร์ ตามรูปที่ 2.22 (ง)



รูปที่ 2.22 คุณลักษณะการจัดระดับด้วยคอมเพรสเซอร์และเอ็กซ์เพนเดอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

เดลต้าซิกมาคอนเวอร์ชันแบบ CVSD

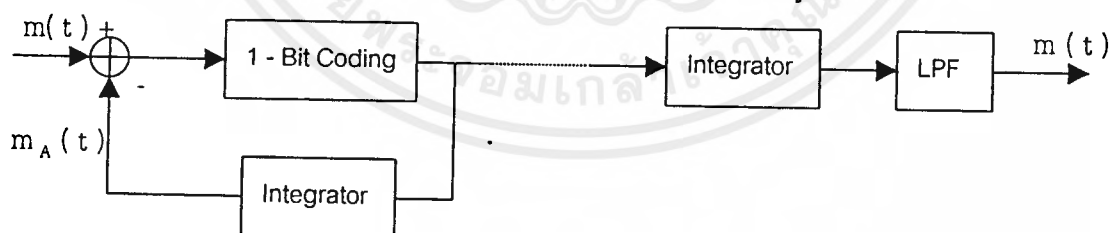
การบันทึกเสียงและสามารถนำกลับมาใช้ใหม่ได้โดยแปลงข้อมูลเป็นแบบ Digital ทำให้ไม่จำเป็นต้องใช้กลไกเคลื่อนไหวใดๆ ดังเช่นแบบเดิม แต่จะใช้อุปกรณ์หน่วยความจำเก็บข้อมูลเสียงแทนเส้นเทปหรือแผ่นเสียงเทคนิคการบันทึกเสียงด้วยระบบ Digital มีด้วยกันหลายวิธี ในที่นี่จะทำการศึกษาระบบการเข้ารหัสสัญญาณแบบเดลต้าซิกมาชนิด CVSD และออกแบบระบบ Digital Audio เพื่อเป็นแนวทางในการศึกษาและพัฒนาต่อไป

ในการบันทึกเสียงระบบ Digital ไม่ว่าจะใช้วิธีการอะไร จะประกอบด้วย 3 ส่วนสำคัญคือ ส่วนแรกทำหน้าที่แปลงสัญญาณเสียงที่เป็น Analog ให้เป็นข้อมูล Digital แล้วจึงนำไปบันทึกลงในหน่วยความจำซึ่งเป็นหน่วยที่สอง และส่วนสุดท้ายคือส่วนที่ทำหน้าที่แปลงข้อมูล Digital จากหน่วยความจำออกมาเป็นสัญญาณ Analog ต่อไปนี้เราจะมาศึกษาการทำงานของระบบที่ทำหน้าที่ในการแปลงสัญญาณ

3.1 Delta-Modulation

เป็นเทคนิคของการ Modulation อย่างหนึ่งที่สัญญาณ Analog สามารถนำมาเข้ารหัสเป็น Binary digit หรือ Bit โดยตรง ไม่ได้ใช้การสุ่มสัญญาณหนึ่งจุดแล้วแปลงเป็นข้อมูล Digital หนึ่ง Word ที่มีความละเอียดเป็นจำนวน Bit ที่ต้องการ แต่จะใช้วิธีเปรียบเทียบความสูงหรือการเปลี่ยนแปลงของสัญญาณเสียง

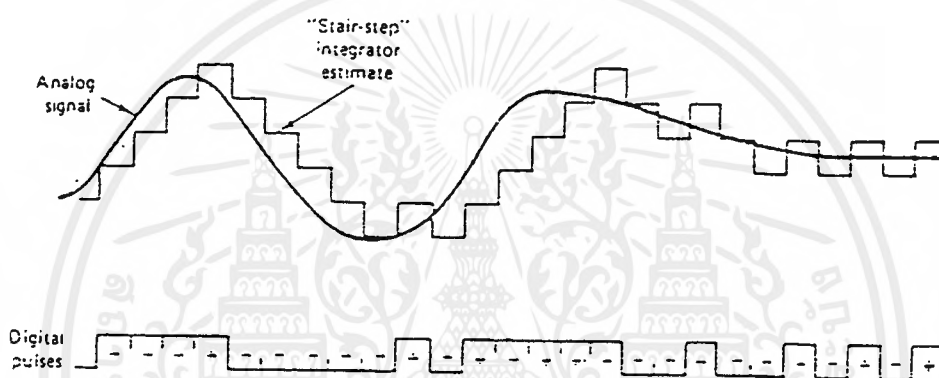
ข้อมูลที่ได้ก็คือทิศทางของการเปลี่ยนแปลง ซึ่งก็มีเพียง ขึ้น หรือ ลง เท่านั้น ดังนั้นความกว้างของข้อมูล Digital จึงใช้เพียง Bit เดียวก็เพียงพอ ข้อดีของเดลต้ามอดูเลชันก็คือใช้หน่วยความจำน้อยกว่าวิธีแบบอื่นๆ ลักษณะวงจรของเดลต้ามอดูเลชัน สามารถแสดงได้ดังบล็อกไดอะแกรมรูปที่ 3.1



รูปที่ 3.1 บล็อกไดอะแกรมของเดลต้ามอดูเลชัน

จากรูปเดลต้ามอดูเลชันประกอบด้วย วงจรเปรียบเทียบ (Comparator), วงจรเข้ารหัส (Coding), วงจรสำหรับอินทิเกรตสัญญาณ (Integrator) ส่วนทางด้านรับนั้น จะมีลักษณะคล้ายกับส่วนทางด้านรับนั้น จะมีลักษณะคล้ายกับส่วนป้อนกลับของทางด้านส่ง แต่เพิ่มวงจรรองความถี่ต่ำเข้าไป เพื่อกรองเอาสัญญาณในช่วงที่ต้องการออกมา

สัญญาณที่เป็นรูปขั้นบันไดนั้นเรียกว่า สัญญาณประมาณค่า (Approximation Signal , $m_A(t)$) ซึ่งได้จากการประมาณค่าสัญญาณที่ผ่านการแซมปลิงครั้งก่อน สำหรับวงจรเปรียบเทียบ จะเป็นตัวเปรียบเทียบความแตกต่างของระดับสัญญาณ ระหว่างสัญญาณอินพุต $m(t)$ กับสัญญาณจากการประมาณค่า $m_A(t)$ โดยค่าความแตกต่างนี้ จะถูกเปลี่ยนเป็นสัญญาณ 2 ระดับคือ $\pm\delta$ ซึ่ง δ เป็นขนาดของความกว้างของขั้นบันได (Step Interval) โดยมีหลักการประมาณค่า คือ ถ้าหากสัญญาณอินพุตสูงกว่าสัญญาณจากการประมาณค่าที่ตำแหน่งของการแซมปลิงครั้งก่อน ก็จะได้พัลส์บวกส่งออกไปพร้อมกันนั้น สัญญาณพัลส์นี้ก็จะถูกป้อนกลับมาที่วงจรมินิเกรเตอร์เพื่อเพิ่มระดับสัญญาณประมาณค่าขนาดของ δ และในทางตรงกันข้าม ถ้าสัญญาณจากการประมาณค่ามีค่ามากกว่าสัญญาณอินพุต สัญญาณประมาณค่าจะถูกเพิ่มไปอีก $-\delta$ เช่นกัน ดังรูปที่ 3.2



รูปที่ 3.2 แสดงสัญญาณอินพุตที่เป็นอนาล็อกและสัญญาณประมาณค่า

จากวิธีการนี้ วงจรมินิเกรเตอร์ จะทำการสร้างสัญญาณตามอินพุตของมัน โดยใช้ 1 สเต็ป ที่ได้จากการแซมปลิงและการเข้ารหัสในแต่ละครั้ง

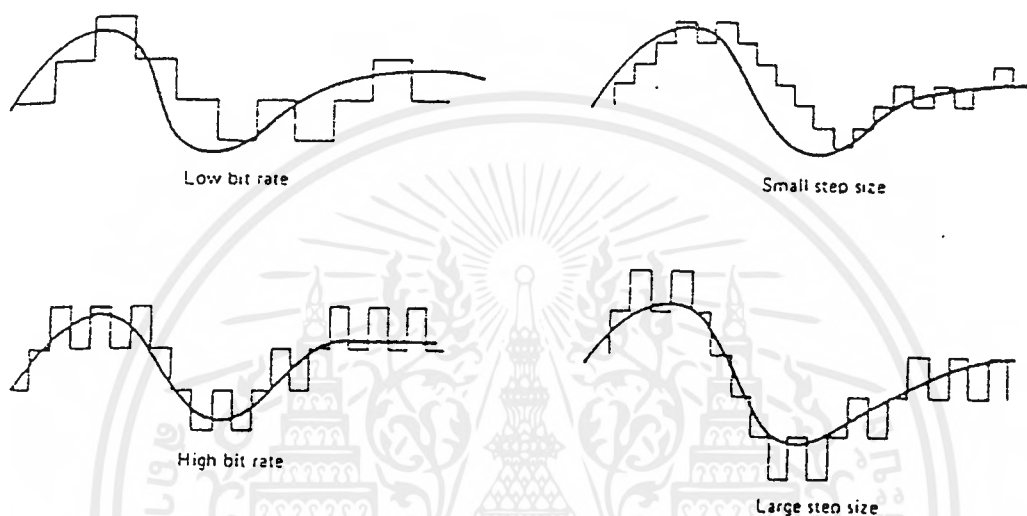
สำหรับพัลส์ที่ได้จากทางด้านส่ง ซึ่งมีขนาดเป็น $+\delta$ หรือ $-\delta$ จะประกอบเป็นสัญญาณดิจิตอลส่งออกไป เมื่อถึงทางด้านรับสัญญาณรูปขั้นบันไดจะถูกสร้างกลับมาอีกครั้ง โดยวงจรมินิเกรเตอร์ของทางด้านรับ ซึ่งมีหลักการทำงานเช่นเดียวกันกับทางด้านส่ง แล้วสัญญาณที่ได้นี้จะถูกส่งผ่านวงจรกรองความถี่ต่ำ ที่มีความกว้างแบนด์วิดธ์อยู่ในช่วงความถี่ใช้งานเท่ากับสัญญาณทางด้านอินพุต แล้วจะได้ลักษณะสัญญาณเดิมออกมา

ถ้าหากการเปลี่ยนแปลงระดับสัญญาณอินพุต ไม่เร็วจนเกินไป (ความชันของสัญญาณน้อย) จะได้ว่าสัญญาณที่เป็นรูปขั้นบันไดจากการประมาณค่า จะมีกรเปลี่ยนแปลงเปรียบเทียบกับ สัญญาณอินพุตไม่เกิน $\pm\delta$ และสำหรับสัญญาณสุ่มค่าแต่ละค่าการส่งข้อมูลจะส่งเป็นรหัส 1 บิต โดยมีอัตราการส่งผ่านข้อมูลเท่ากับ อัตราการแซมปลิง (Sampling Rates) ที่มีค่า f_s หรือ $1/T_s$

ในระบบเดลต้ามอดูเลชัน จะมีค่าความคลาดเคลื่อนของสัญญาณ ที่เรียกว่า Quantization Error ที่มีสาเหตุ 2 ประการคือ

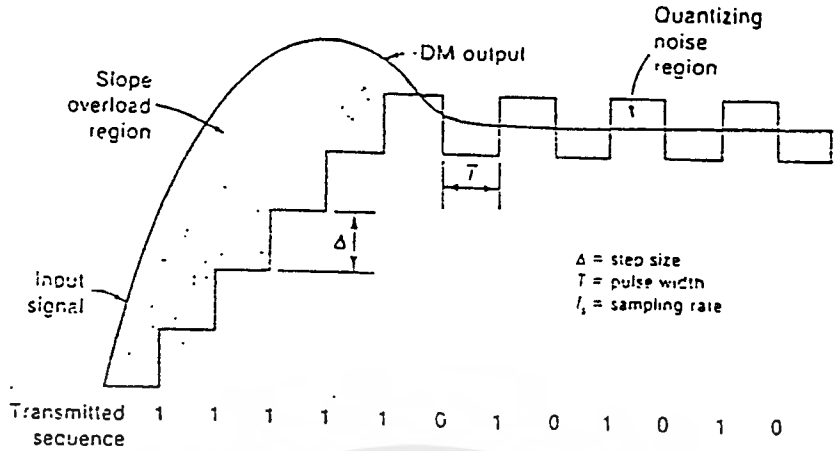
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. เกิดจาก Slope Overload Distortion เกิดเมื่อขนาดของสเต็ปแคบเกินไป ทำให้สัญญาณที่อยู่ในรูปขั้นบันได ไม่สามารถเพิ่ม หรือลดค่าตามระดับสัญญาณอินพุต ที่มีการเปลี่ยนแปลงระดับอย่างรวดเร็วได้ทัน
2. เกิดจาก Granular Noise ซึ่งเป็นสัญญาณรบกวน ที่เกิดในลักษณะตรงข้ามกับกรณี แรก โดยเมื่อขนาดของสเต็ปของขั้นบันไดที่ได้จากการประมาณค่าแกว่งขึ้นลงด้วยขนาดที่กว้างเกินไป ในขณะที่สัญญาณอินพุตมีลักษณะราบเรียบหรือมีการเปลี่ยนแปลงระดับสัญญาณช้า

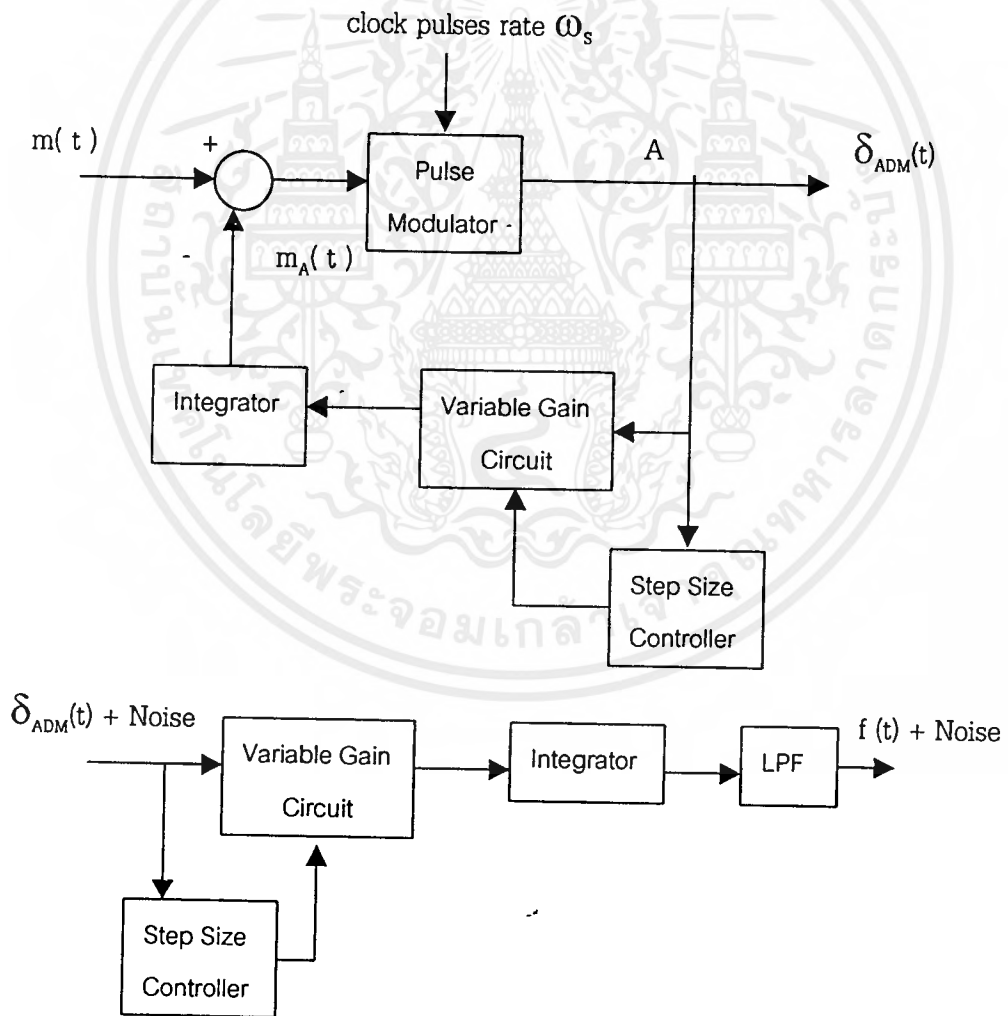


รูปที่ 3.3 แสดงผลของการใช้ความกว้างของสเต็ปไม่เหมาะสมกับสัญญาณอินพุต

นอกจากนี้ ยังมีสัญญาณรบกวนเนื่องจากสาเหตุอื่นๆ อีก เช่นสัญญาณระหว่างช่องสัญญาณ สำหรับเดลต้ามอดูเลชัน เมื่อเกิด Slope Overload ขึ้น สามารถแก้ไขได้ โดยการเพิ่มขนาดของสเต็ป (Δ) หรือใช้วงจรกรองความถี่ต่ำกรองสัญญาณเสียงก่อนการแซมปลิง แต่การใช้การกรองสัญญาณ และการเพิ่มขนาดของสเต็ปจะทำให้เกิด Granular Noise มาก ส่วนการเพิ่มอัตราการแซมปลิง ก็จะทำให้มีแบนด์วิธที่มากขึ้น สำหรับการส่งสัญญาณ ดังนั้นทางที่เหมาะสมที่สุดในการลดปัญหา Slope Overload คือการใช้การตรวจสอบเงื่อนไขของการเกิด Overload แล้วทำให้ขนาดของสเต็ปเพิ่มขึ้น เมื่อมีการตรวจสอบได้ว่าเกิด Overload และลดขนาดของสเต็ปลงเมื่อมีการเปลี่ยนแปลงระดับสัญญาณอินพุตเกิดขึ้นช้า ๆ ซึ่งวิธีการที่ใช้ขนาดของสเต็ปที่ไม่คงที่นี้เรียกว่า Adaptive Delta Modulation (ADM)



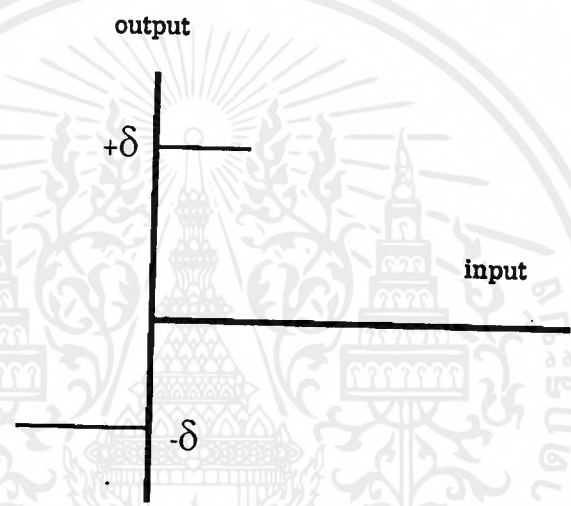
รูปที่ 3.4 แสดงผลของการเข้ารหัสแบบเดลตามอดูเลชันพร้อมกับสัญญาณรบกวนที่เกิดขึ้น



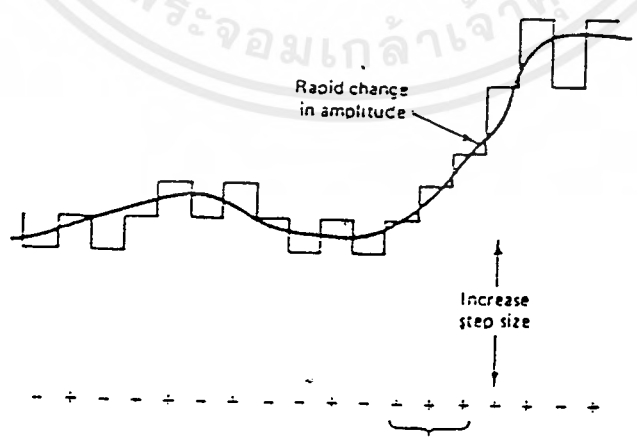
รูปที่ 3.5 บล็อกไดอะแกรมของอะแด็ปทีฟเดลตามอดูเลชัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.5 จะเป็นบล็อกไดอะแกรมแบบหนึ่งของอะแดปทีฟเฟดแบคที่ควบคุมขนาดที่ปรับขนาดสเต็ปของขั้นบันไดได้ตามลักษณะของสัญญาณ โดย Step Size Controller จะทำหน้าที่ตรวจสอบเงื่อนไขของการเกิด Slope Overload จากสัญญาณข้อมูลที่ส่งออกในรูปแบบของขบวนพัลส์ ถ้าขนาดความชันของสัญญาณมีมาก (พัลส์ที่มีซ้ำเหมือนกันเกิดขึ้นอย่างต่อเนื่อง) สัญญาณจากวงจรควบคุม (Controller) จะทำให้วงจรมีอัตราขยายที่ปรับค่าได้มีอัตราการขยายเพิ่มขึ้น ซึ่งจะทำให้ขนาดของสเต็ปกว้างขึ้น และในทางกลับกัน ถ้าสัญญาณมีระดับความชันน้อย (พัลส์ที่ซ้ำต่างกันเกิดสลับกันไป) อัตราการขยายของวงจรมีผลทำให้ขนาดของสเต็ปแคบลง ในส่วนของวงจรมอนิเตอร์นี้ มันจะพยายามประมาณค่า $m_A(t)$ ให้มีค่าใกล้เคียงกับสัญญาณอินพุต $m(t)$ โดย วงจรอินทิเกรต และวงจรทางต้านรับ ก็จะได้สัญญาณคืนรูปเดิมออกมาได้ โดยอาศัยวงจรในลักษณะเดียวกันกับส่วนของวงจรมอนิเตอร์ทางด้านส่ง แล้วนำสัญญาณที่ต้องการออกมาพร้อมกับสัญญาณรบกวน



(ก) แสดงความสัมพันธ์ของระดับการเปลี่ยนแปลงสูงสุดกับขนาดของสเต็ปจากการควอนไทซ์

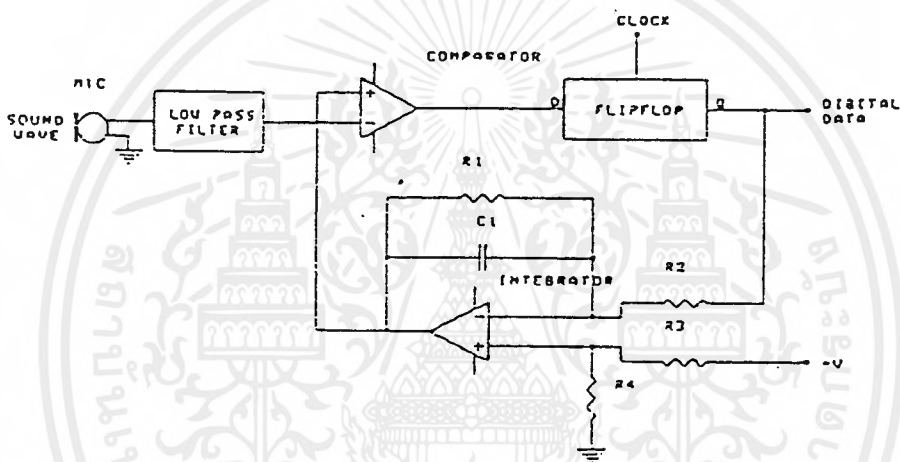


(ข) แสดงความสัมพันธ์ของสัญญาณกับการเพิ่มสเต็ป

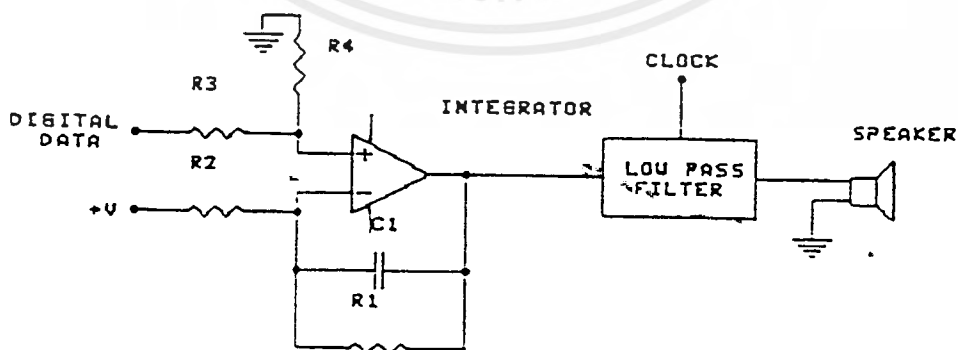
รูปที่ 3.6 แสดงสัญญาณส่งออกของอะแดปทีฟเฟดแบคที่ควบคุมขนาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.7 เป็นวงจรเบื้องต้นของเดลด้ามอดูเลชั่นคอมพาราเตอร์ จะทำหน้าที่เปรียบเทียบสัญญาณ Input ปัจจุบันกับสัญญาณ Input ก่อนหน้า ซึ่งได้จากการป้อนกลับมายังอินทิเกรเตอร์ output จากการเปรียบเทียบ ถูกป้อนผ่านฟลิปฟลอปที่ควบคุมด้วยสัญญาณนาฬิกาเพื่อให้ได้เป็นข้อมูล Digital ซึ่งก็คือ กำหนดอัตราสุ่มสัญญาณนั่นเอง สัญญาณที่ได้หลังจากผ่านวงจรอินทิเกรเตอร์จะเป็น Pulse ที่เปลี่ยนแปลงตามสัญญาณ Analog Input อย่างใกล้ชิด และมีรูปร่างคล้ายสัญญาณ Analog มาก ยกเว้นในกรณีที่สัญญาณ Analog เปลี่ยนแปลงขนาดอย่างรวดเร็วหรือกล่าวได้ว่าความชันของสัญญาณสูงมากๆ ทำให้วงจรส่วนเดลด้ามอดูเลชั่นไม่สามารถสร้าง Pulse ไล่ทันสัญญาณ Analog ในกรณีนี้เรียกว่า เกิดการเกินภาระของความชัน (Slope Overload) การแก้ปัญหานี้สามารถทำได้ โดยการปรับขนาดของ Step แต่จริงๆ แล้วขนาดของ ควรรจะให้เล็กเมื่อมีการเปลี่ยนแปลงของสัญญาณเกิดขึ้นซ้ำๆ และเพิ่มขนาดของ Step เพื่อที่จะหลีกเลี่ยง Slope Overload เมื่อสัญญาณเปลี่ยนแปลงมาก



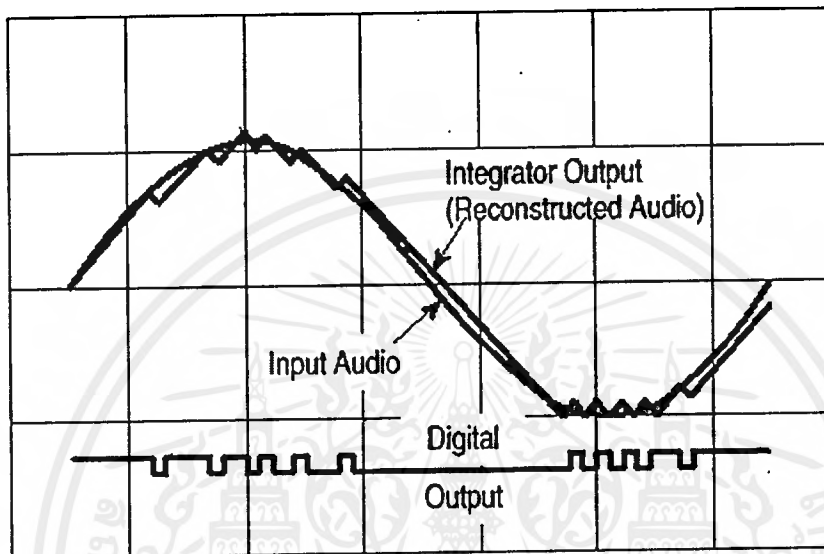
รูปที่ 3.7 วงจรเบื้องต้นของเดลด้ามอดูเลชั่นในส่วนของการแปลงจากสัญญาณเสียงเป็นดิจิตอล



รูปที่ 3.8 วงจรที่ใช้แปลงกลับจากข้อมูลดิจิตอลเป็นสัญญาณเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

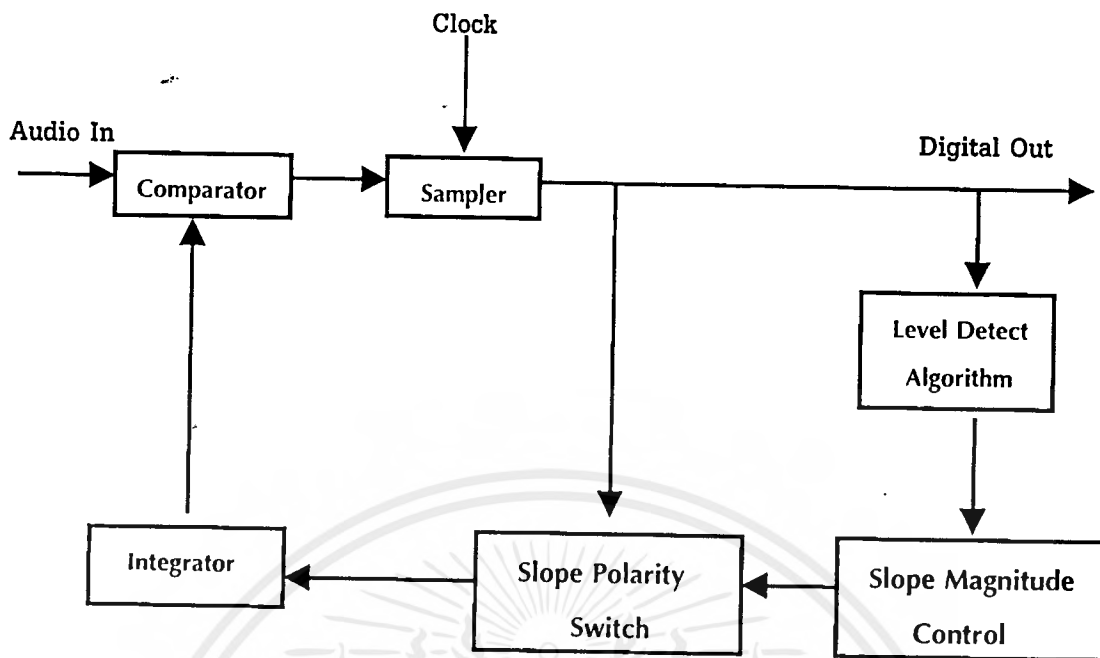
สัญญาณที่ได้จากตัวเปรียบเทียบและจกอินทิเกรเตอร์เปรียบเทียบกับสัญญาณ Input แสดงในรูปที่ 3.9 ลักษณะเช่นนี้จะพบว่า ยิ่งความถี่ของสัญญาณนาฬิกาที่มีค่าสูง ก็ยังสามารถบันทึกการเปลี่ยนแปลงที่แคบได้มากขึ้นทำให้ได้คุณภาพเสียงที่ดีขึ้นแต่ก็สิ้นเปลืองหน่วยความจำมากขึ้นตามไปด้วย ความถี่เท่าใดจึงจะเพียงพอ ทฤษฎีการสุ่มตัวอย่างกล่าวไว้ว่า ไม่น้อยกว่าสองเท่าของความถี่สูงสุดที่นำมาสุ่ม ซึ่งจะเป็นตัวกำหนดอัตราเร็วของข้อมูล (Bit Rate) ซึ่งที่ 100 kHz ก็เท่ากับ 100000 บิตต่อวินาที



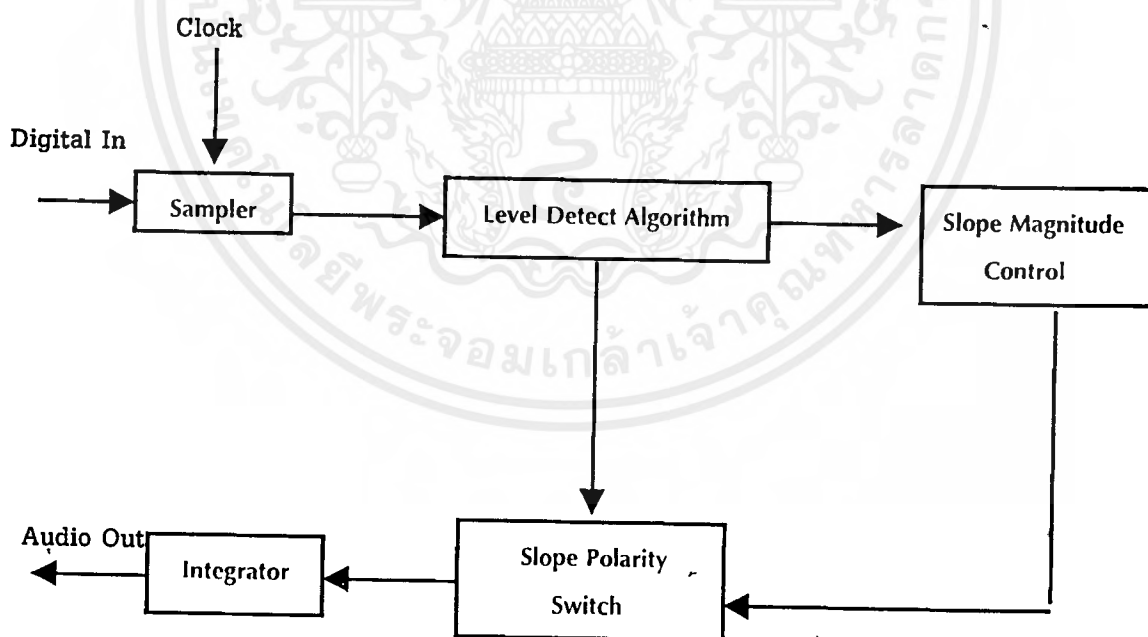
รูปที่ 3.9 เปรียบเทียบสัญญาณอินพุตกับข้อมูลที่ได้อินพุตจากอินทิเกรเตอร์

3.2 CVSD (Continuous Variable Slope Delta modulation)

ข้อจำกัดของวิธีการเดลต้ามอดูเลชันก็คือ แถบกว้างความถี่ใช้งาน ซึ่งถูกจำกัดโดยความถี่สัญญาณพาหิภาและจะสูงกว่าความถี่สูงสุดของสัญญาณ Input มากกว่าสองเท่าขึ้นไปอีกอันหนึ่งคือความเร็วของการเปลี่ยนแปลงความสูงของสัญญาณ หรือ Dynamic Range ระบบเดลต้ามอดูเลชัน ธรรมดาที่มีค่า Dynamic Rang ที่แคบ จำเป็นต้องมีส่วนเพิ่มเติมทำหน้าที่ขยาย Dynamic Rang ให้กว้างโดยการควบคุมอัตราขยายของ อินทิเกรเตอร์ เพื่อให้ตอบสนองต่อสัญญาณที่มีความชันมากๆ ได้ทัน ระบบนี้มีชื่อเรียกใหม่ว่า ระบบเดลต้ามอดูเลชันแบบเปลี่ยนแปลงความชันต่อเนื่อง หรือ CVSD (Continuous Variable Slope Delta Modulation)



รูปที่ 3.10 แผนผังการทำงานของระบบ CVSD ในส่วนของการแปลงสัญญาณเสียงเป็นดิจิทัล



รูปที่ 3.11 แผนผังการทำงานของระบบ CVSD ในส่วนแปลงกลับจากดิจิทัลเป็นสัญญาณเสียง

ระบบ CVSD ทั้งส่วนแปลงจาก Analog เป็น Digital และส่วนแปลงกลับจาก Digital เป็น Analog แสดงในรูปที่ 3.10 และ 3.11 ตามลำดับ วิธีการของ CVSD ก็คือมีการตรวจระดับสัญญาณโดยอาจเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใช้วิธีการจัดให้มี Register สำหรับเก็บข้อมูล Digital ล่าสุดจำนวน 3 ถึง 4 บิตแล้วตรวจดูว่าเป็น "0" หมด หรือ "1" หมดหรือไม่ถ้าใช่แสดงว่า ขณะนี้อัตราขยายของอินทิเกรเตอร์ต่ำเกินไป ตอบสนองต่อความชันของ สัญญาณไม่ทัน ก็จะทำให้การเพิ่มอัตราขยายให้สูงขึ้นเฉพาะในช่วงนั้น

ในส่วนของการแปลงกลับก็จะต้องมีการทำงานในลักษณะเดียวกัน คือมี Register ตรวจดูข้อมูลว่าเป็น "0" หมด หรือ "1" หมดหรือไม่ แล้วจัดการควบคุมอัตราขยายของอินทิเกรเตอร์ให้สอดคล้องกัน

เมื่อรู้จักทฤษฎีการทำงานของ การแปลงสัญญาณเสียงโดยใช้เทคนิค CVSD แล้วก็มารู้จักกับไอซี สำเร็จที่ทำหน้าที่ดังกล่าวเบอร์หนึ่ง ซึ่งออกแบบสำหรับงานแปลงเสียงพูดและแปลงกลับโดยเฉพาะคือเบอร์ MC3417 และ MC3418 ซึ่งเป็น CVSD มอดูเลเตอร์/ดีมอดูเลตเตอร์ ของโมโตโรล่า ตัวเดียวทำหน้าที่แปลง จากสัญญาณ Analog เป็น Digital และแปลงกลับจาก Digital เป็น Analog ออกแบบมาใช้กับระบบสื่อสารสมัยใหม่ที่เป็นระบบ Digital แต่สามารถนำมาดัดแปลงใช้งานในด้านที่ต้องการศึกษาได้พอดี



บทที่ 4

การดำเนินการวิจัย

ในการศึกษาการเข้ารหัสแบบเดลต้าซิกม่านั้นเราได้ใช้ไอซีสำเร็จที่เป็นของบริษัทโมโตโรล่าหลักการ ทำงานของไอซีสำเร็จที่เป็นตัวเข้ารหัสและถอดรหัสแบบเดลต้าซิกมาในตัวเดียวกัน ซึ่งเป็นไอซีแบบเดลต้าซิก มาชนิด CVSD เบอร์ MC3418 ซึ่งนิยมใช้ในการสื่อสารในโทรศัพท์มือถือ ในการปฏิบัติเราต้องทำการศึกษาคูณสมบัติและขีดจำกัดของไอซี และการกำหนดขอบเขตและพารามิเตอร์ของวงจรวางจรไฟฟ้า และออกแบบการจัดเก็บข้อมูลบน RAM รวมทั้งออกแบบการควบคุมการจัดเก็บและควบคุมอุปกรณ์ทั้งหมดในวงจรวางจรด้วยไมโครคอนโทรลเลอร์ 89C51 และทำให้วงจรมีความยืดหยุ่นและเสถียรภาพด้วยโปรแกรม assembly ก่อนที่จะนำไปประยุกต์ใช้งานอื่น ๆ

การทำงานแบ่งเป็น 2 ส่วนใหญ่ๆ คือ ส่วน Hardware และ Software

4.1 ส่วน Hardware

หมายถึง ส่วนของวงจรวางจรทั้งหมดที่จะออกแบบให้สามารถทำงานได้ตามคำสั่งของ Software ซึ่งการทำงานในส่วน Hardware ของโครงงานนี้แบ่งเป็น 2 ส่วนคือ

- (ก) ส่วนของการปรับคุณสมบัติเสียง , filter และไอซีเข้ารหัสเสียง MC3418
- (ข) ส่วนไมโครคอนโทรลเลอร์ที่ใช้การควบคุมและจัดเก็บข้อมูล

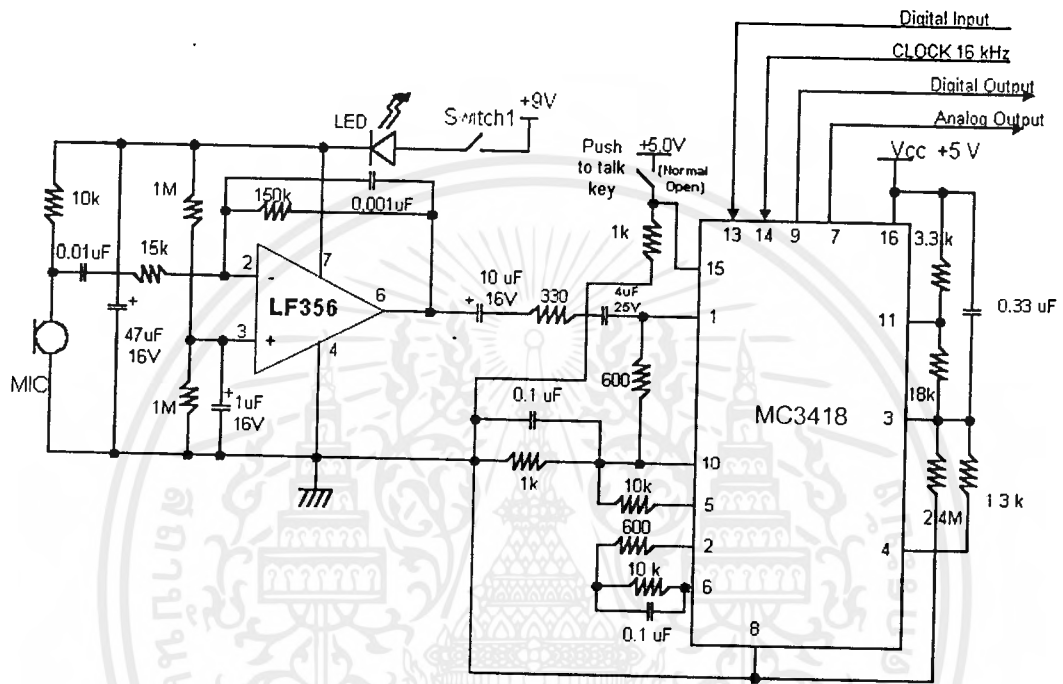
(ก) MC3418 Encode/Decode CVSD Delta Sigma Conversion and Filter

จากรูปที่ 4.1 สัญญาณเสียงจาก Microphone ผ่านเข้าวงจร Analog หรือวงจร Filter เพื่อกรองสัญญาณที่ไม่ต้องการออกให้เหลือแต่ความถี่ที่ต้องการ (ช่วงความถี่เสียงคน คือ 300-3000 Hz) แล้วผ่านวงจร A/D Converter เพื่อทำการแปลงสัญญาณ Analog ให้เป็นสัญญาณ Digital ด้วยไอซี MC3418 Delta Sigma Modulation CVSD (Continuously Variable Slope Delta Modulator/Demodulator) ของโมโตโรล่า (Motorola) ซึ่งจะทำหน้าที่มอดดูเลทสัญญาณเสียงให้เป็น สัญญาณ Digital แบบ Series และดีมอดดูเลทสัญญาณ Digital แบบ Series เป็นสัญญาณเสียงซึ่งสามารถทำได้ทั้ง 2 ฟังก์ชันในตัวเดียวกัน โดยการควบคุมที่ขา 15 (Encode/Decode) ซึ่งลักษณะการต่อของวงจรวางจรจะเป็นดังรูปที่ 4.2

รายละเอียดของไอซี MC3418 เป็นดังนี้

- เป็นไอซีที่สร้างขึ้นเพื่อใช้มอดดูเลทสัญญาณในช่วงความถี่เสียง
- มีระบบมอดดูเลทและดีมอดดูเลทในตัวเดียวกัน
- สามารถใช้งานร่วมกับไอซีประเภทซีมอส (CMOS) และ ทีทีแอล ได้ -
- การจ่ายไฟเลี้ยงสามารถกระทำได้ 2 แบบ คือไฟเลี้ยงคู่ (Dual Supply) คือ ใช้ไฟบวกร่วมกับไฟลบ ไฟเลี้ยงเดี่ยว (Single Supply) คือ ใช้ไฟบวกกับกราวด์

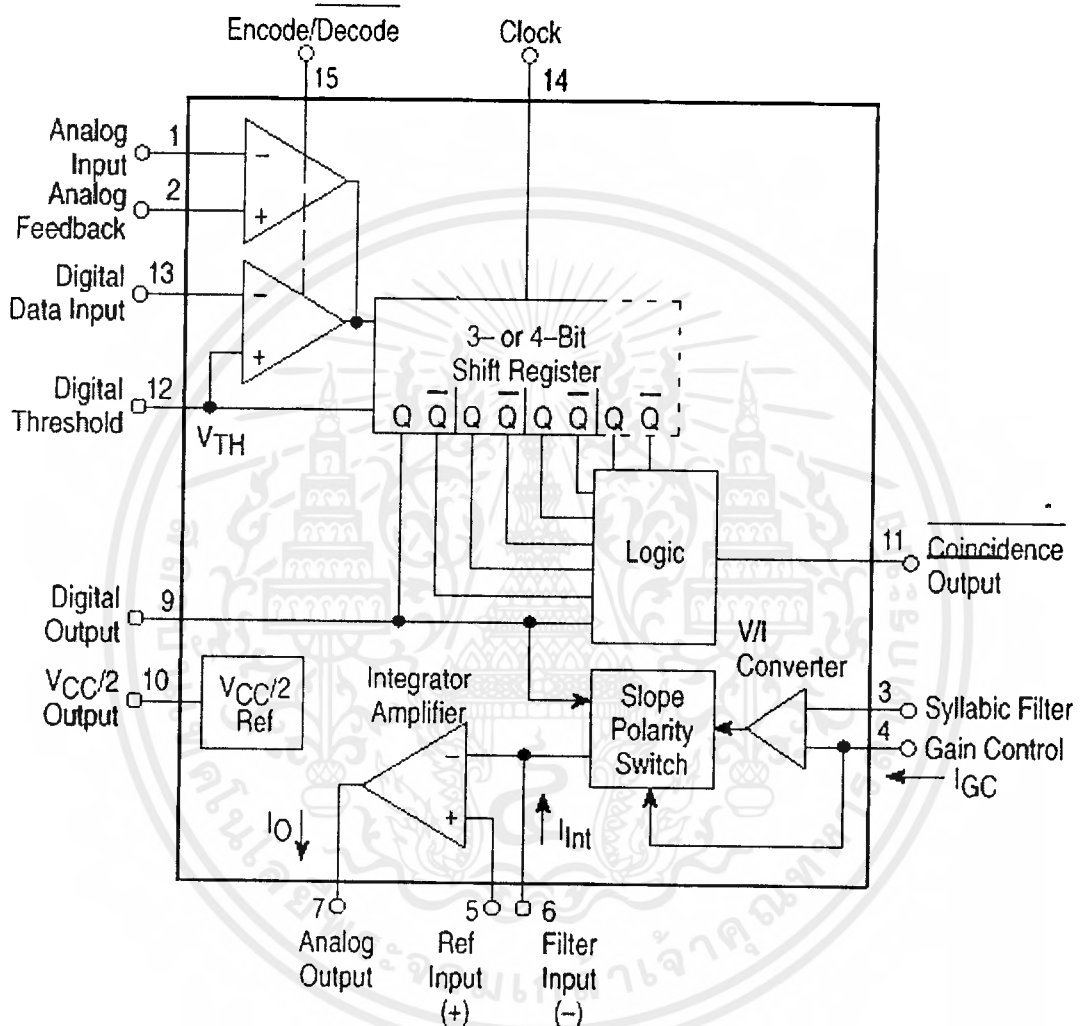
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1 แสดงถึงการต่อวงจร condenser microphone และ filter ความถี่เข้ากับไอซี MC3418

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

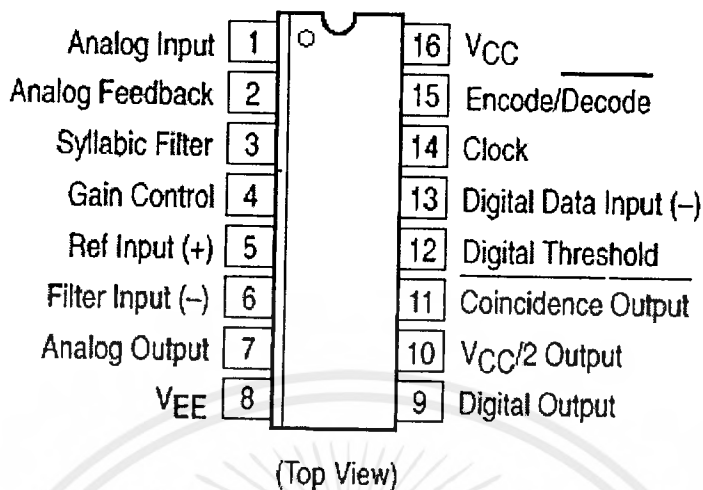
Representative Block Diagram



รูปที่ 4.2 โครงสร้างภายในของ MC3418

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN CONNECTIONS



รูปที่ 4.3 แสดงถึงรายละเอียดของขาไอซี MC3418

- จากรูปข้างต้นสามารถอธิบายถึงรายละเอียดและหน้าที่ของสัญญาณในแต่ละขาได้ดังนี้
- ขา 1 - Analog Input เป็นขาที่ใช้สัญญาณเสียง ซึ่งจากแผ่นผังภายในจะเห็นได้ ว่าเป็นขาอินเวอร์ตตั้งของวงจรเปรียบเทียบแรงดัน (Voltage Comparator)
 - ขา 2 - Analog Feedback เป็นขาอินเวอร์ตตั้งของวงจรเปรียบเทียบแรงดัน ซึ่งทำหน้าที่ในการนำสัญญาณกลับมาเปรียบเทียบกับสัญญาณ Input ที่จะเข้ามาในช่วงนาฬิกาถัดไป
 - ขา 3 - Syllabic Filter เป็นขา Input ที่รับสัญญาณจากวงจรกรองสัญญาณภายนอกเพื่อนำมาควบคุมขนาดของสัญญาณในแต่ละขั้นของส่วนที่เป็นอินทิเกรเตอร์
 - ขา 4 - Gain Control Input เป็นขา Input ที่รับสัญญาณ เพื่อควบคุมอัตราการขยายของ Op-Amp ภายในตัวไอซี
 - ขา 5 - Reference Input เป็นขาอินเวอร์ตตั้งของ Op-Amp เพื่อใช้เป็นแรงดันอ้างอิงทาง DC ของสัญญาณ Output
 - ขา 6 - Filter Input เป็นขาอินเวอร์ตตั้งของ Op-Amp เพื่อใช้ต่อกับวงจรภายนอกสำหรับสร้างเป็นวงจรอินทิเกรเตอร์
 - ขา 7 - Analog Output เป็นขา Output ของวงจรอินทิเกรเตอร์ที่สร้างขึ้น ซึ่งจะใช้เป็นสัญญาณ Output ในขณะ ไอซีตัวนี้ทำงานเป็นวงจรถอดรหัส และเป็นสัญญาณป้อนกลับเข้าขา 2 ในกรณีที่ทำงานเป็นวงจรเข้ารหัส

- ขา 8 - V_{EE} เป็นขาที่ใช้สำหรับต่อกับไฟเลี้ยงที่มีค่าต่ำสุดที่จ่ายให้กับไอซีตัวนี้
- ขา 9 - Digital Output เป็นขา Output ที่ได้มาจากการมอดดูเลขสัญญาณ Analog ซึ่งสัญญาณนี้ จะมีการแกว่ง (Swing) อยู่ระหว่าง V_{CC} กับ V_{EE}
- ขา 10- $V_{CC}/2$ Output เป็นขา Output ที่ถูกสร้างขึ้น เพื่อให้เกิดแรงดันที่มีค่าครึ่งหนึ่งของแรงดัน V_{CC} ซึ่งจะถูกนำไปใช้งานในกรณีของการจ่ายไฟเลี้ยงเดี่ยว
- ขา 11 - Coincidence Output เป็นขา Output ที่แสดงว่าชิฟรีจิสเตอร์ (Shift Register) ภายในถูกเก็บด้วย 0 หรือ 1 ทั้งหมด ซึ่งสัญญาณนี้จะถูกนำไปใช้ ในการกำหนดอัตราการขยายสัญญาณของวงจรสร้างระดับสัญญาณ
- ขา 12 - Digital Threshold เป็นขา Input เพื่อใช้เลือกว่าจะใช้งานกับไอซีประเภทใด ๆ
- ขา 13 - Digital Data Input เป็นขา Input เพื่อรับสัญญาณ Digital แบบ Serie จากภายนอก ในการแปลงเป็นสัญญาณ Analog ใช้ความถี่ 16 kHz
- ขา 14 - Clock Input เป็นขา Input ที่รับสัญญาณนาฬิกา เพื่อใช้กำหนดจังหวะการทำงานภายในตัวไอซี ซึ่งความถี่ของสัญญาณนาฬิกาจะเป็นความถี่ที่ใช้สำหรับการแซมปลิงสัญญาณ Analog ที่ต้องการมอดดูเลข
- ขา 15 - Encode/Decode เป็นขาที่ใช้ในการควบคุมการทำงานของไอซี ถ้าเป็น 1 ก็จะทำงานเป็นตัวเข้ารหัส ถ้าเป็น 0 ก็จะทำงานเป็นตัวถอดรหัส
- ขา 16 - V_{CC} เป็นขาที่รับแรงดันไฟเลี้ยงค่าสูงสุดของไอซี ซึ่งจะมีค่าอยู่ระหว่าง 4.75 ถึง 16.5 โวลท์

สำหรับวงจรการเข้ารหัสและถอดรหัสในตัวเดียวกันโดยขา สัญญาณนาฬิกาขา14 ต่อเข้ากับขา port1.1 โดยให้ไมโครคอนโทรลเลอร์สร้างสัญญาณนาฬิกาการด้วย timer mode2 auto reload และขาควบคุมสถานะของไอซีโหมดเข้ารหัสและถอดรหัสขา 15 จะถูกควบคุมสถานะโดยไมโครคอนโทรลเลอร์ port1.6 สำหรับขาสัญญาณขาเข้าขา 1 จะต่อกับวงจรรองความถี่เพื่อกันสัญญาณรบกวน สำหรับขาดิจิตอลขาเข้าและขาออก(ขา13และขา9) จะต่อกับขาข้อมูลของ RAM D0 และสัญญาณขาออกขา7 จะต่อออกลำโพงวงจร 4.4 จะเป็นวงจรถอดรหัสแบบ Simplex Voice Codec (Single Pole Companding and Single Integration)

CVSD Design Consideration

การออกแบบวงจรการเข้ารหัส CVSD จะต้องกำหนดพารามิเตอร์ต่อไปนี้ 7 ขั้นตอนการออกแบบจากรูปข้างต้นวงจร 4.4 เป็นไปตามการออกแบบดังนี้

1. Selection of clock rate
2. Required number of shift register bits
3. Selection of loop gain
4. Selection of minimum step size
5. Design of integration filter transfer function
6. Design of syllabic filter transfer function
7. Design of low pass filter at the receiver

โครงสร้างของไอซี ซึ่งมีขาสัญญาณดิจิทัลขา 9 , 11 ,13 และ 14

สำหรับขาสัญญาณอนาล็อก ขา 1-7 และ 10

1.Clock Rate

สำหรับวงจร 4.4 สามารถจ่ายสัญญาณนาฬิกาได้ตั้งแต่ 9.6kHz - 64kHz ความถี่สัญญาณนาฬิกาที่สูงจะทำให้อัตราการแซมปลิงสูงและทำให้คุณภาพของเสียงดีขึ้น และมีค่า Signal to Noise Ratio ที่มากขึ้น (S/N performance) แต่การเลือกความถี่สัญญาณนาฬิกาต้องคำนึงถึงแบนด์วิธของตัวกลางในการส่งด้วย ระบบเสียงทั่วไปแบนด์วิธจะไม่สูงกว่า 9600Hz สำหรับการสื่อสารวิทยุจะสูงถึง 12kHz .ในระบบโทรศัพท์ 4 สายจะเป็นที่ 16kHz และในโทรศัพท์ทั่วไปจะเป็นที่ 32kHz สำหรับระบบอื่นจะมี bit rate สูงถึง 200Kbit /sec

2. Selection shift register length

ในไอซี MC3418 จะเป็นแบบ 4-bit shift register และไอซีในตระกูลเดียวกัน MC3417 มีโครงสร้างภายในแบบ 3-bit register เราสามารถเลือกจำนวน shift register ได้โดยการเลือกจากไอซีทั้งสอง shift register ที่มากจะช่วยให้มีการตอบสนองที่ค่า dynamic range สูง และสามารถเข้ารหัสในอัตรา bit rate ที่สูงขึ้นเพื่อ performance ที่ดี

3.Selection of Loop Gain

ค่า loop gain จะถูกกำหนดโดย R_x โดยที่ R_x จะต้องถูกเลือกให้เหมาะสมกับค่า integrator step size สำหรับสัญญาณที่มีระดับสูงซึ่งค่า companding ratio จะต้องไม่เกิน 25% ซึ่งค่า companding ratio จะกำหนดที่ค่า coincidence output ขา 11 โดยค่า gain จะขึ้นกับค่า:

1. ค่าระดับที่สูงสุดและค่าความถี่ของสัญญาณอินพุท
2. transfer function ของ integration filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราจะกำหนดให้ค่าสัญญาณขาเข้าของ sine wave 1kHz ที่ระดับ 0 dBm โดยทั่วไป dynamic range สามารถขยายได้ถึง 6dB หรือมากกว่าที่ออกแบบเอาไว้ โดยในระบบจะต้องมีค่า companding ratio ไม่เกิน 30% การคำนวณค่ากระแส step size , โดยการคำนวณค่ากระแส step size, เราต้องคำนวณค่าด้วย transfer characteristics ของ integration filter ในวงจร 4.4 ค่า single pole ของ 160Hz จะถูกใช้

$$R_1 = 10k\Omega, C_1 = 0.1\mu F$$

$$\frac{V_o}{I_i} = \frac{1}{C(S + \frac{1}{RC})} = \frac{K}{S + \omega_0}$$

$$\omega_0 = 2\pi f$$

$$10^3 \omega_0 = 2\pi f$$

$$f = 159.2\text{Hz}$$

ค่า integration filter จะทำให้ค่าการตอบสนองของ single-pole จาก 300 - 3kHz ค่ากระแสที่ต้องการที่ออกจาก integrator output จะเริ่มค่าโวลต์จากศูนย์โดยทั่วไป

$$I_i = \frac{V_o}{R_1} + (C_1 \times \frac{dV_o}{dt})$$

ที่ 0dBm sine wave จะมีค่าสูงสุด 1.0954V ใน 1/8 ของลูกคลื่นไซน์เวฟจะเปลี่ยนแปลงประมาณค่า peak ไซน์เวฟ ค่า step จะเปลี่ยนแปลงค่ากระแสที่ 0dBm ของคลื่น sine จะเท่ากับ

$$I_i = \frac{1.1V}{2(10k\Omega)} = \frac{0.1\mu F(1.1)}{0.125ms} = 0.935mA$$

โดยค่าโวลต์สูงสุดที่คร่อมบน R_1 จะมีค่า slew สูงสุดเท่ากับ $\frac{1.1V}{2}$

เพราะฉะนั้นค่า R จะคำนวณได้เท่ากับ

$$R_x = 0.25(V_{CC}) \frac{1}{0.935mA}$$

4. Minimum Step Size

ค่า idle channel step size ,ค่าของ R_{MIN} จะต้องคำนวณ โดยในกรณีที่ไม่มีสัญญาณขาเข้า slope control ที่ shift register จะไม่ทำงาน ซึ่งที่ coincidence จะต้องมียังวงจร Voltage divider ของ โดยมี R_s และ R_{MIN} จากการคำนวณโดยคำนวณค่ากระแสที่จ่ายให้ฟิลเตอร์ขาเข้าก่อน

$$I_i = \frac{V_o}{R_i} + C \frac{dV_o}{dt}$$

ค่า V_o จะอยู่ใกล้กับ $V_{CC}/2$ เทอม V_o/R มีค่าน้อยจนไม่คิดได้

$$I_i = C_s \frac{\Delta V_o}{\Delta T}$$

โดยที่ค่า ΔT คือค่าคาบเวลาของ clock และ V_o จะเป็น V_{pp} ของ idle output ในระบบ 16Kbit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในวงจร 4.4 จะเท่ากับ

$$I_i = \frac{0.1\mu F 20mV}{62.5\mu S} = 33\mu A$$

ค่าโวลต์ของ C_s จะอยู่ที่ $33\mu A$ ค่ากระแสจะขึ้นกับค่า R_x

$$I_i R_x = V_s \text{ min ; สำหรับ } 30\mu A, V_{s\text{min}} = 41.6mV$$

ในวงจร 4.4 R_s คือ $18k\Omega$ ค่าโวลต์เจดิโวลเดอร์ของ R_s และ R_{MIN} ต้องมีเอาร์ทพุท $41.6mV$

$$V_{CC} \frac{R_s}{R_s + R_{MIN}} = V_{SMIN}$$

$$R_{MIN} = 2.4M\Omega$$

สำหรับวงจร 4.4 ไม่ได้ใช้การกำหนดค่าพารามิเตอร์แบบอื่นๆ จึงไม่ได้กล่าวถึง

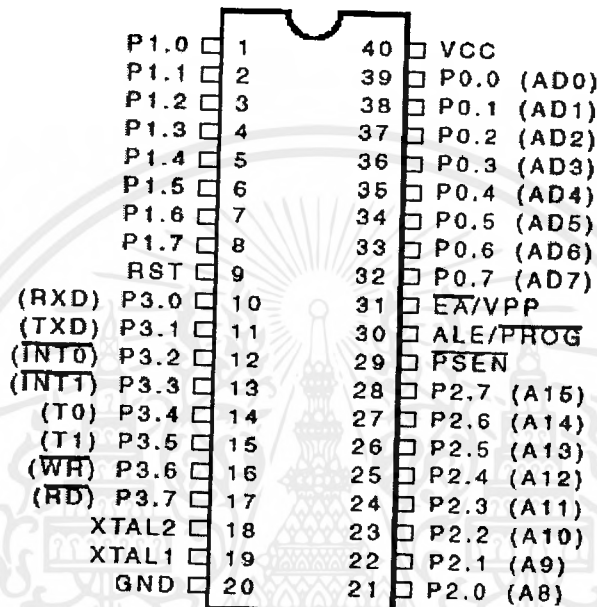
หลังจากสัญญาณเสียงถูกกรองความถี่เรียบร้อยแล้ว ก็จะถูก Modulation โดยไอซีเบอร์ MC3418 โดยผ่านเข้าทางขาที่ 1 (Analog Input) ซึ่งขาที่ 15 จะต้องถูกควบคุมให้มีสถานะเป็น "1" (Encode) จะทำให้ได้สัญญาณเอาร์ทพุท (Output) ในลักษณะของสัญญาณ Digital แบบ Series ออกทางขาที่ 9 (Digital Output) และต่อเข้ากับขาข้อมูลของหน่วยความจำ

ข) ส่วนการควบคุมด้วยไมโครคอนโทรลเลอร์

สำหรับการจัดเก็บข้อมูลเสียงดิจิตอลจาก A/D ประกอบไปด้วยไมโครคอนโทรลเลอร์และหน่วยความจำข้อมูล (RAM) และ IC TTL ที่ช่วยทำให้วงจรมีประสิทธิภาพมากขึ้น ภายในวงจรประกอบไปด้วย

1. ไมโครคอนโทรลเลอร์ตระกูล MCS-51 89C51

ในการจัดเก็บข้อมูลจะใช้ไมโครคอนโทรลเลอร์ควบคุมวงจร A/D และควบคุมการจัดเก็บข้อมูลบน RAM และจ่ายสัญญาณนาฬิกาไปยัง A/D และ COUNTER ด้วย timer



รูปที่ 4.5 แสดงขาและโครงสร้างของ 89C51

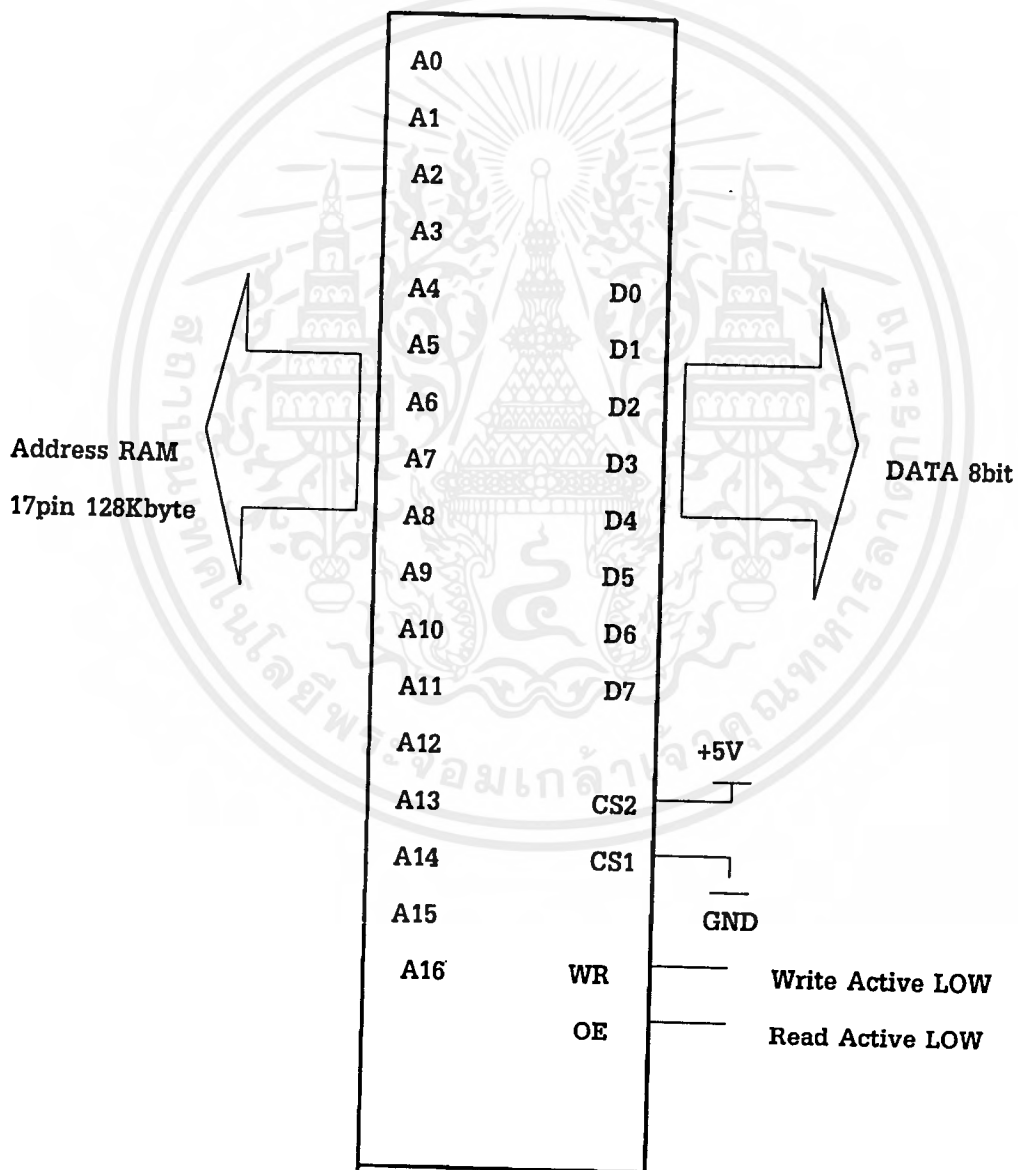
สำหรับ 89C51 Single Chip Microcontroller เป็นชิปไมโครคอมพิวเตอร์ขนาดจิ๋วผลิตโดยบริษัท ATMEL ชุดคำสั่งและสถาปัตยกรรมภายใน จะเหมือนกับไมโครคอมพิวเตอร์ตระกูล MCS-51TM ซึ่งผลิตโดยบริษัทอินเทลมีหน่วยความจำโปรแกรม ROM ขนาด 4KB สามารถเขียนและลบใหม่ได้ไม่น้อยกว่า 1000 ครั้งโปรแกรมที่บันทึกไว้ในชิป และมีหน่วยความจำข้อมูลภายในชิปจุดเด่นของชิป 89C51 มีดังต่อไปนี้

- 1) สามารถใช้แทนไมโครคอมพิวเตอร์ตระกูล MCS-51TM
- 2) หน่วยความจำโปรแกรมเป็น Flash memory ขนาด 4KB
- 3) ใช้ไฟฟ้าได้ตั้งแต่ 2.7 V - 6V
- 4) ออสซิลเลเตอร์สามารถป้อนได้ตั้งแต่ 0 Hz - 24 MHz
- 5) หน่วยความจำข้อมูลบนชิปขนาด 128 ไบท์
- 6) มีอินพุท/เอาต์พุทพอร์ท 15 บิต
- 7) มีตัวนับและตัวตั้งเวลาขนาด 16 บิต 2 ตัว
- 8) แหล่งอินเทอร์พอร์ทมี 5 แหล่ง
- 9) พอร์ทอนุกรมแบบ UART โปรแกรมความเร็วในการส่งข้อมูลได้
- 10) เอาต์พุทพอร์ทสามารถขับ LED ได้โดยตรง ด้วยกระแส sink 20 mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.หน่วยความจำข้อมูลภายนอก EXTERNAL RAM ขนาด 128Kbyte

หน่วยความจำข้อมูล (Random Access read/write Memory ,RAM) แรมที่ใช้เป็นแรมชนิดสแตติกแรม (static RAM,SRAM) หน่วยความจำแรมสามารถใส่ข้อมูลลงไปในแรมโดยการเขียนข้อมูลลงไป (write data) และสามารถอ่านข้อมูล (read data) กลับคืนมาได้ โดยจะเขียนข้อมูลลงไปในแต่ละแรมก็ได้ แรมจะถูกนำมาใช้เก็บข้อมูลที่มีการเปลี่ยนแปลงข้อมูลบ่อยๆ แต่ข้อมูลที่เก็บไว้ในแรมจะเป็นแบบไม่ถาวร (volatile) คือเมื่อหยุดป้อนไฟให้กับแรมข้อมูลที่เก็บไว้จะสูญหายไป หน่วยความจำข้อมูลนี้จะมีขนาดความจุตำแหน่งข้อมูลอยู่ 17pin (A0 - A16) (ดังนั้นสามารถชี้ตำแหน่งข้อมูลได้ 2^{17} หรือ 131072 ไบต์ 128กิโลไบต์) และมีขาข้อมูลเข้าออก 8pin (D0 -D7) มีขาบอกสถานะการทำงานของแรม (chip select , CS) 2pin ขนาดความจุการเขียนอ่านข้อมูลบนแรม



รูปที่ 4.6 แสดงโครงสร้างของ RAM 128kByte

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

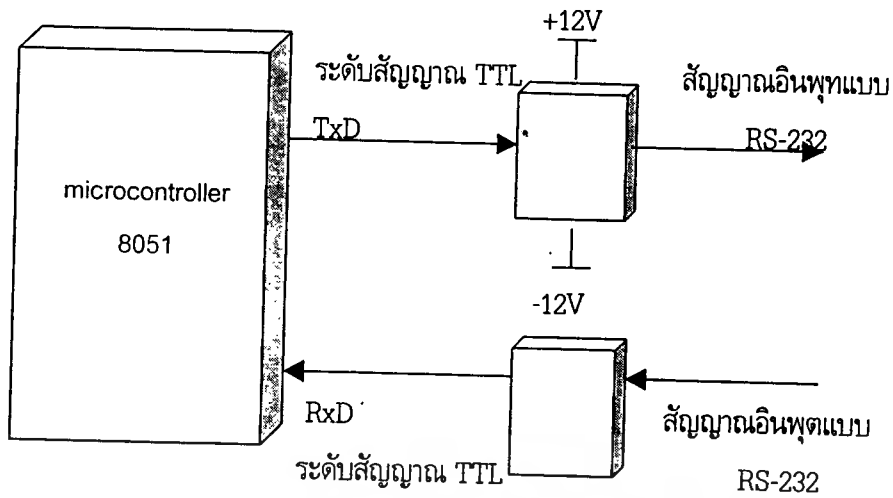
3. TTL IC ตระกูล 74XX

ในวงจรการเก็บข้อมูลดิจิทัลจะใช้ IC TTL บางตัวช่วยให้วงจรมีเสถียรภาพมากขึ้น ซึ่งประกอบไปด้วย

- 74157 (Multiplexer, MUX / Quadruple 2-Line -to-1-Line Data Selector) จะมีหน้าที่ในการเลือกหนึ่งในสองอินพุตด้วยขา select สำหรับด้านอินพุตทั้งสองจะเป็นจะเป็นกระบวนการเขียนข้อมูล (logic low ที่ขา WR logic high ที่ขา OE) กระบวนการอ่าน (logic low ที่ขา RD , logic high ที่ขา OE) ดูภาพวงจรประกอบ ดังนั้นจึงใช้ 89C51 เลือกได้ว่าจะทำกระบวนการใดก่อนหลัง ด้วยการกำหนดขา select
- 7404 Hex Inverter ใช้ในการinvert ค่าlogic เพื่อการกลับ complement ข้อมูลในกรณีที่จะใช้ข้อมูลทั้งสองแบบ
- 74393 Dual 4-Bit Binary Counter ใช้ในการนับค่าแบบเลขฐานสอง เมื่อ counter เริ่มนับจะทำการนับค่าaddress ของRAM จะเคลื่อนไปตามจังหวะสัญญาณนาฬิกาของ counter
- 74245 Bidirection Buffer / Octal Bus Transceivers with 3 - state Outputs ใช้เป็นตัวคั่นระหว่างport0 ของ 89C51 และขา Data (D0 - D7) ของ RAM สามารถกำหนดทิศทางการไหลเข้าออกของข้อมูลด้วยขา enable G และขา DIR (direction)

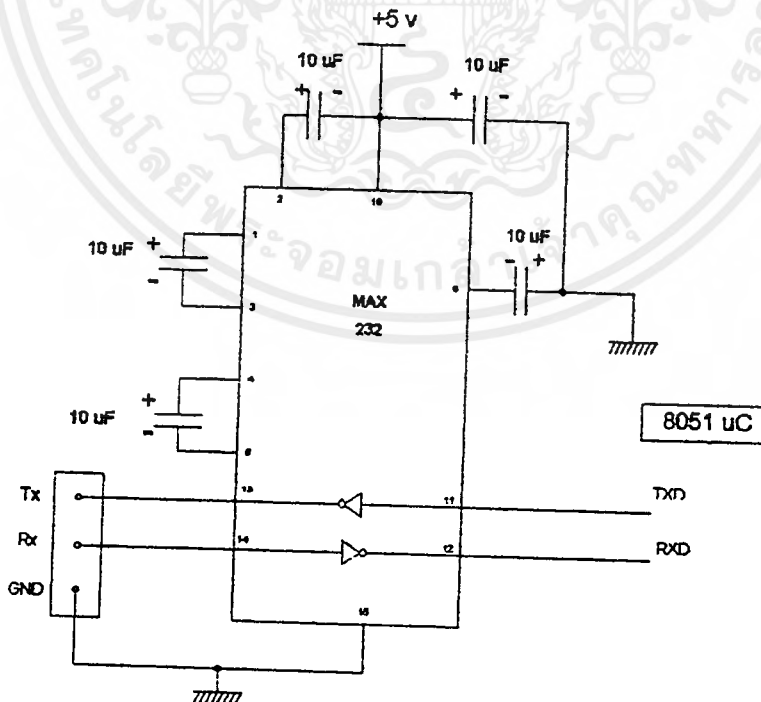
4. MAX232 การเชื่อมต่อแบบมาตรฐาน RS-232

ในการเชื่อมต่อแบบอนุกรมเข้ากับอุปกรณ์คอมพิวเตอร์ต่างๆ เช่น คอมพิวเตอร์ เทเลกซ์ หรือ โพรพิมพ์ เป็นต้น มักจะกำหนดใช้การเชื่อมต่อตามมาตรฐาน RS-232 ทั้งนี้เพื่อให้มีการใช้งานเส้นสัญญาณหรือ รูปแบบของตัวเชื่อมต่อที่สอดคล้องกันจะได้ลดปัญหาการเข้ากันไม่ได้ ระหว่างสัญญาณของอุปกรณ์ที่มาเชื่อมต่อกันทั้งสองด้านให้น้อยลง เนื่องจากระดับโวลเตจที่ใช้และการแทนความหมายของระดับลอจิกตามมาตรฐานนี้แตกต่างไปจากที่ใช้งานกันในระบบดิจิทัลทั่วไป โดยระดับสัญญาณของ RS-232 เป็นแบบไบโพลาร์ ระดับโวลเตจทางด้านลบช่วง -3 V ถึง -20 V จะแทนค่าลอจิก 1 และโวลเตจทางด้านบวกช่วง +3V ถึง +20 V จะแทนค่าลอจิก 0 ดังนั้นจะเห็นได้ว่ามีความจำเป็นที่จะต้องเพิ่มอุปกรณ์หรือวงจรพิเศษเข้าไป เพื่อเปลี่ยนระดับโวลเตจจากระบบ 0 V ถึง 5 V จากขาสัญญาณของ 89C51 เป็นระดับโวลเตจที่สูงกว่าค่า +3 V หรือ ต่ำกว่า -3 V ดังในรูปที่ 8.17 ซึ่งแสดงให้เห็นว่าระดับสัญญาณแบบ TTL จากขาสัญญาณ TxD และ RxD ของ 89C51 จะต้องถูกปรับเปลี่ยนไปเป็นระดับสัญญาณ RS-232 ก่อน ที่ จะทำการส่งออกไปในสายสัญญาณต่อไป และแบบ TTL จากไมโครคอนโทรลเลอร์ 89C51 ไปเป็นระดับสัญญาณแบบ RS-232 และการเปลี่ยนแปลงระดับสัญญาณอินพุตแบบ RS-232 ไปเป็นระดับสัญญาณแบบ TTL ก่อนที่จะได้เชื่อมต่อกับขาสัญญาณของไมโครโวลเลอร์ 89C51



รูปที่ 4.7 แสดงให้เห็นถึงแนวการเปลี่ยนแปลงระดับสัญญาณแบบ TTL จากไมโครคอนโทรลเลอร์ไปเป็นระดับสัญญาณแบบ RS-232

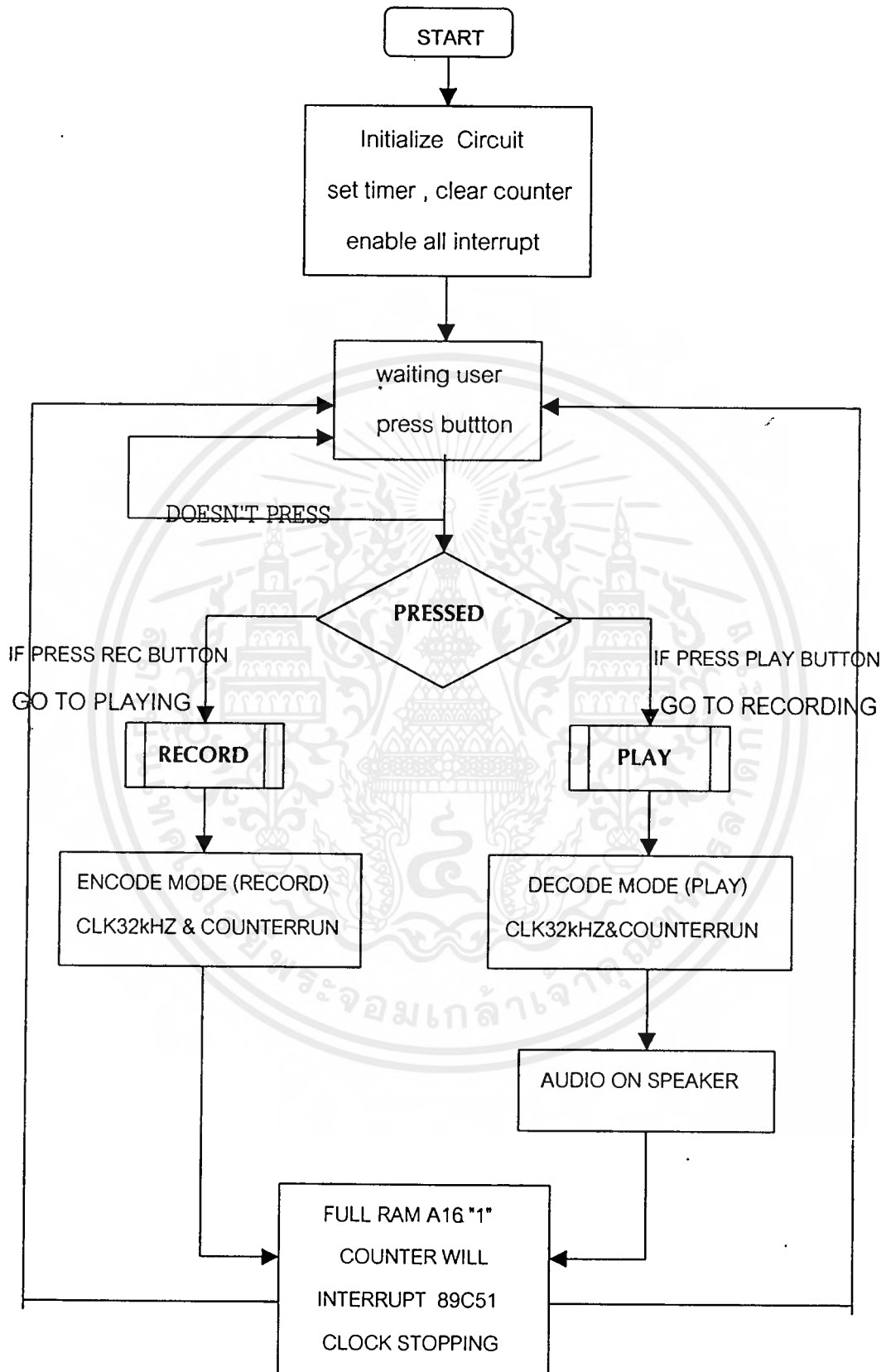
โดยทั่วไปรูปแบบของวงจรก็สามารถทำได้หลายลักษณะทั้งการออกแบบสร้างวงจรเปลี่ยนระดับสัญญาณโดยการใช้ทรานซิสเตอร์หรือไอซีเชิงจรรวม เพื่อเปลี่ยนจากระดับ RS-232 เป็น TTL ซึ่งแสดงลักษณะการนำไปใช้งานซึ่งจะสังเกตเห็นว่ามีการใช้เส้นสัญญาณติดต่อพื้นฐานระหว่างกันเพียง 3 เส้นเท่านั้น คือ เส้นสัญญาณสำหรับการส่งข้อมูล (Tx) ให้กับอุปกรณ์อื่น เส้นสัญญาณสำหรับการรับข้อมูล (Rx) ที่ส่งมาจากอุปกรณ์อื่นและสัญญาณกราวด์เท่านั้น



รูปที่ 4.8 การเชื่อมต่อระหว่างคอมพิวเตอร์กับไมโครคอนโทรลเลอร์ด้วย MAX232

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Flow Chart



รูปที่ 4.12 Flowchart การควบคุม MC3418 ด้วยไมโครคอนโทรลเลอร์ 89C51

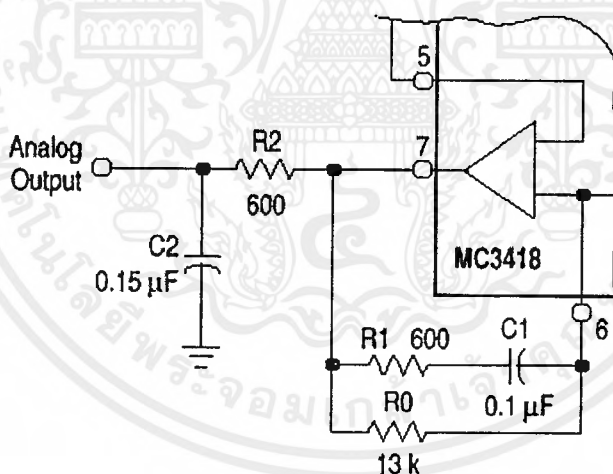
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

ผลการทดลอง

ผลจากการทำโครงการตามแนวความคิดที่ได้ออกแบบไว้พบว่าจากการทดลองเก็บข้อมูลดิจิทัลบนหน่วยความจำข้อมูลด้วยไมโครคอนโทรลเลอร์ปรากฏว่าเราสามารถเก็บข้อมูลและสามารถนำข้อมูลนั้นมาถอดรหัสเป็นเสียงได้อย่างต่อเนื่อง

อย่างไรก็ตาม ถึงแม้ว่าวงจรไมโครคอนโทรลเลอร์สามารถทำได้ตามคุณสมบัติก็ตาม แต่ยังคงมีปัญหาของคุณภาพเสียงอันเนื่องมาจากสัญญาณรบกวนซึ่งอาจมาจากไฟบ้าน 50Hz สำหรับข้อมูลไอซีของบริษัทโมโตโรลาได้ออกแบบการปรับปรุงคุณภาพเสียงด้วยฟิลเตอร์ที่ขา 7 (สัญญาณเสียงขาออก) ซึ่งประกอบไปด้วย R2 600Ω และ C2 0.15μF เพื่อกรองความถี่ของสัญญาณรบกวน

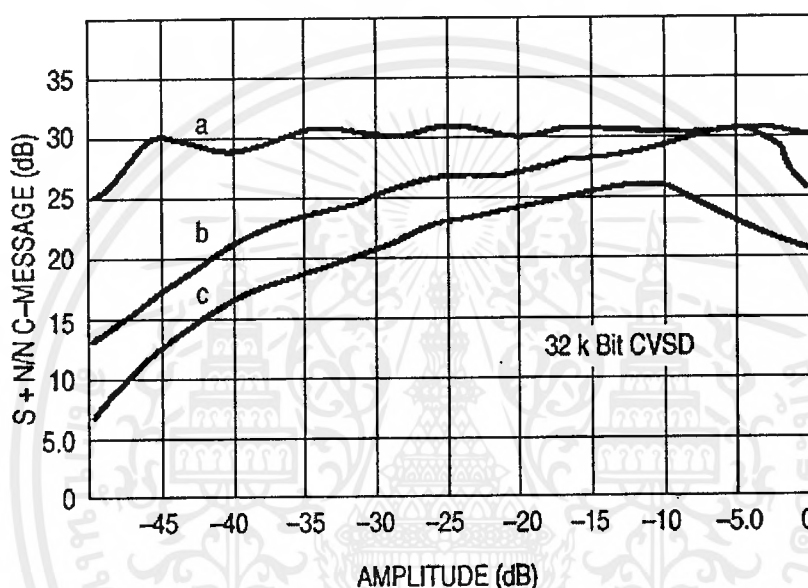


NOTE: These component values are for the telephone channel circuit poles described in the text. The R2, C2 product can be provided with different values of R and C. R2 should be chosen to be equal to the termination resistor on Pin 1.

รูปที่ 5.1 low pass filter ที่สัญญาณขาออกเพื่อปรับคุณภาพเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ยังมีวงจรถับปรุงคุณภาพเสียงอื่นๆอีกเช่นวิธีการเพิ่มความถี่ในการสุ่มตัวอย่าง (Sampling Rate) ให้สูงมากขึ้นแต่มีผลทำให้แบนด์วิธที่มากขึ้นทำให้เกิดปัญหา slope overload นอกจากนี้จะทำให้ต้องใช้เนื้อที่ในการจัดเก็บมากขึ้น สำหรับการปรับปรุงคุณภาพเสียงของวงจรรูป 4.4 และวงจรถับปรุงวงจรรองความถี่ในรูป 5.1 ซึ่งจะมีสัญญาณเสียงที่มีสัญญาณรบกวนน้อยลง คือค่า S/N (Signal to Noise) มีค่ามากขึ้นเมื่อเพิ่มวงจรรองความถี่ในรูป 5.1 สังเกตได้จากกราฟ ในรูป 5.2



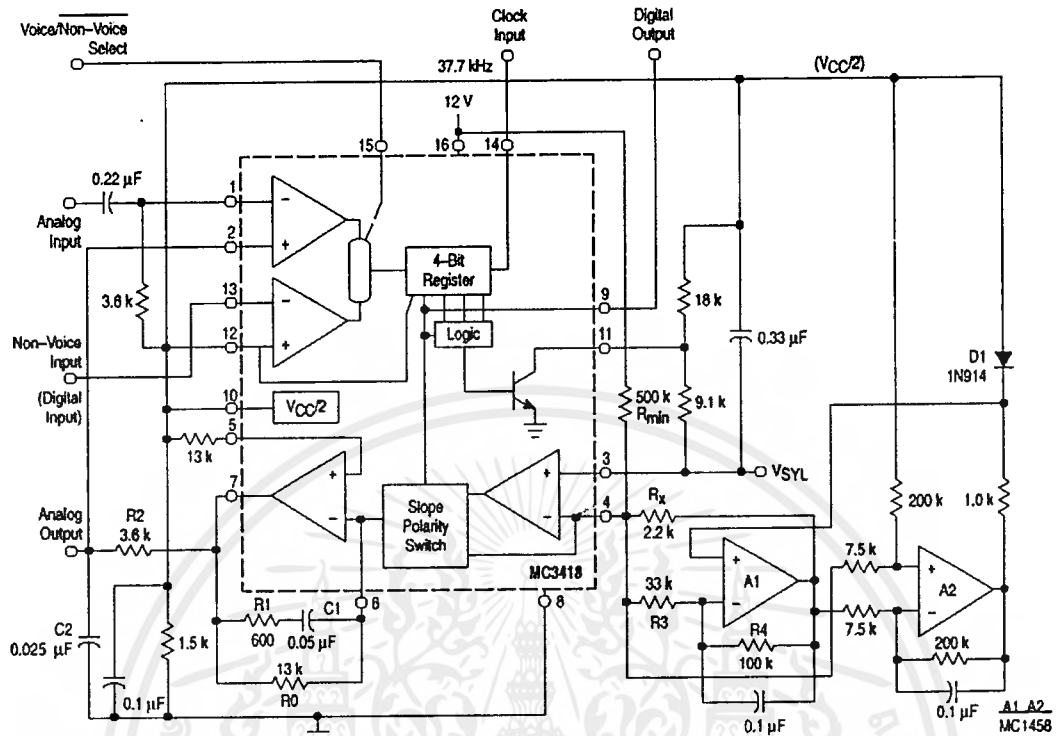
NOTE: These curves demonstrate the improved performance obtained with several codec designs of varying complexity.

Curve a – Complex companding and double integration (Figure 19)

Curve b – Double integration (Figure 14 using Figure 17)

Curve c – Single integration (Figure 14) with 6.0 mV stepsize

รูปที่ 5.2 กราฟของ S/N โดยที่ กราฟ C คือ กราฟของวงจรรูปที่ 4.4
และ กราฟ B คือ กราฟของวงจรถับปรุงวงจรรองความถี่ในรูป 5.1
และ กราฟ A คือ กราฟของวงจรถับปรุงที่เพิ่มการ companding และ
double integration (ซึ่งดูรูปได้ที่รูป 5.3)



Both double integration and active companding control are used to obtain improved CVSD performance. Laser trimming of the integrated circuit provides reliable idle channel and step size range characteristics.

รูปที่ 5.3 วงจร double integrate ที่เพิ่ม companding control

สำหรับโครงการวิจัยนี้ได้ทดลองวงจร 4.4 เท่านั้นพบว่าคุณภาพของเสียงควรจะได้รับการปรับปรุงให้ดีขึ้น เช่น shield ป้องกันวงจรไม่ให้เกิดการรบกวนวงจรจากภายนอกและอ้างอิงสัญญาณของระบบที่เดียวกัน (reference ground) ด้วยกัน และเพิ่มอัตราการแซมปลิงให้เก็บของมูลสัญญาณเสียงได้ละเอียดมากขึ้น

บทที่ 6

สรุปผลการทดลองและข้อเสนอแนะ

การเข้ารหัสแบบ Delta Sigma สามารถเข้ารหัสสัญญาณอนาลอกเป็นไบนารีดิจิทัลหรือบิตโดยตรงได้จริง โดยไม่ได้ใช้การสุ่มสัญญาณหนึ่งจุดแล้วแปลงเป็นข้อมูลดิจิทัลตลหนึ่งเวิร์ด แต่จะใช้วิธีเปรียบเทียบความสูงหรือการเปลี่ยนแปลงของสัญญาณเสียงแทน ซึ่งการเข้ารหัสเป็นไปตามทฤษฎีทำให้ใช้เนื้อที่ในการจัดเก็บน้อยเมื่อเทียบกับการเข้ารหัสชนิดอื่น ข้อดีของเดลต้ามอดูเลชันก็คือใช้หน่วยความจำน้อยกว่าวิธีแบบอื่นๆ แต่การเก็บรายละเอียดของสัญญาณเมื่อเทียบกับการเข้ารหัสแบบพัลส์โค้ดมอดูเลชันซึ่งให้ความละเอียดของสัญญาณแต่ใช้หน่วยความจำมาก

ดังนั้นการเลือกวิธีแปลงข้อมูลด้วยวิธีใดก็ตามจะขึ้นอยู่กับความต้องการของผู้ใช้ว่าอยู่ในระดับที่ยอมรับได้ในแง่ใด ถ้าผู้เลือกใช้ต้องการประหยัดเนื้อที่ในการจัดเก็บ สื่อสารกันแล้วเข้าใจ คุณภาพเสียงอยู่ในระดับที่ใช้งานได้ การเข้ารหัสแบบ Delta Sigma จะเหมาะกับกรณีที่กำลังกล่าวมาข้างต้น แต่ถ้าต้องการคุณภาพเสียงที่ดีควรจะใช้การเข้ารหัสแบบวิธีอื่น ๆ

สำหรับโครงการพิเศษนี้ ถ้ากำจัดสัญญาณรบกวนไม่ว่าจะเป็นการรบกวนภายในระบบเองหรือจากไฟฟ้าบ้าน ถ้ากำจัดสัญญาณเหล่านี้ไปได้จะทำให้คุณภาพเสียงดีขึ้นกว่าเดิมและถ้าสามารถปรับปรุงการตอบสนองต่อความถี่เสียงให้ดีขึ้นกว่าเดิม การเข้ารหัสแบบเดลต้าซิกมาจะเป็นทางเลือกหนึ่งที่น่าสนใจ และมีแนวโน้มว่าจะถูกใช้งานกันมากขึ้นในการสื่อสารแห่งอนาคต

ภาคผนวก

โปรแกรมแอสเซมบลี

```
ORG 0000H
```

```
##### ASCII CODE #####
```

```
CR      EQU    0DH
LF      EQU    0AH
EOS     EQU    10H
BELL    EQU    07H
BS      EQU    08H
FS      EQU    0CH
SPACE   EQU    20H
H_COUNT EQU    21H
L_COUNT EQU    22H
EXINT0  EQU    23H
LJMP    MAIN
```

```
#####
```

```
ORG 0003H
LJMP EXINT ; INTERRUPT AND WAITING FOR PLAY
ORG 000BH
LJMP TIMER1
```

```
##### MAIN #####
```

```
MAIN: MOV SP,#60H
INITIAL: MOV SCON,#01010010B ; 8BIT UART CAN FIX BAUD RATE
MOV TMOD,#00100010B ; TIMER MODE0 8 BIT AUTORELOAD
MOV TH1,#0FDH ; BAUD RATE
SETB TR1 ; START TIMER FOR SERIAL PORT
MOV TH0,#-15 ; CLOCK 32KHZ (A/D)
SETB P1.1 ; CLOCK A/D HIGH (INITIALIZE CLOCK)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

##### RECORD #####
RECORD:    JB    P2.0,LOAD    ; CHECK RECORD BUTTON 1st P2.0
           SETB  EXINT0
           SETB  EA          ; ENABLE INTERRUPT      (IE7)
           SETB  IT0        ; INTERRUPT AT EDGE 1 TO 0 (TCON0)
           SETB  EX0        ; EXTERNAL INTERRUPT0 ENABLED(IE0)
           LJMP  RECORDING   ; IF PUSHED PROCESS RECORDING BEGIN

RECORDING: CLR  P3.5        ; CLEAR ALL COUNTER 74393
           CLR  P3.3        ; SELECT MUX MODE A 74157
           SETB P1.6        ; ENCODE A/D MODE,MC3418
           SETB P1.3        ; ENABLE G "HIGH"
           CLR  P1.4        ; DIRECTION B(P0) TO A(DATA)
           SETB P3.5        ; START ALL COUNTER 74393

STARTR:    SETB  TR0        ; CLOCK 32KHZ RUNNING
CLOCKR:    JNB  TF0,CLOCKR
           CLR  TF0
           CPL  P1.1        ; CLOCK D/A LOW
           LJMP  STARTR

##### INTERRUPT ROUTINE #####

EXINT:     JB    EXINT0,DOWNLOAD
           LCALL RECORD

DOWNLOAD:  CLR  TR0        ; OVERFLOW RAM STOP CLOCK
           CLR  EA
           CLR  IT0
           CLR  EX0
           CLR  EXINT0
           CLR  P2.3      ; YELLOW LED BRIGHT,OVERFLOW RAM
           CALL  DELAY
           MOV  DPTR,#END  ; MENU DISPLAY
           LCALL SEND_STR

```

```
##### LOAD #####
```

```

LOAD:   JB    P2.1,RECORD    ; CHECK LOAD BUTTON 3rd P2.2
        SETB  P2.3          ; CLEAR OVERFLOW LED
        SETB  EA
        SETB  IT0
        SETB  EX0
        LJMP  LOADING      ; IF PUSHED PROCESS LOADING BEGIN

LOADING: CLR  P1.3          ; ENABLE G
        SETB  P1.4          ; DIRECTION A(DATA) TO B(P0)
        CLR   P3.5          ; CLEAR ALL COUNTER 74393
        SETB  P3.3          ; SELECT MUX MODE B 74157
        CLR   P1.6          ; DECODE D/A MODE MC3418
        SETB  P3.5          ; START ALL COUNTER 74393
        CLR   C             ; SOUND REPRODUCE
        MOV   DPTR,#TITLE   ; MENU DISPLAY
        LCALL SEND_STR
        MOV   H_COUNT,#200H

STARTL_0: MOV  L_COUNT,#100H

STARTL:  SETB  TR0          ; CLOCK 32KHZ RUNNING

CLOCKL: JNB   TF0,CLOCKL
        CLR   TF0
        CPL   P1.1         ; CLOCK D/A LOW
        MOV   C,P0.0
        LJMP  STARTL
        DJNZ  L_COUNT,STARTL
        DJNZ  H_COUNT,STARTL_0
        MOV   DPTR,#END    ; MENU DISPLAY
        LCALL SEND_STR
        CLR   P2.3

        LJMP  MAIN

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
##### DELAY #####
```

```
DELAY: MOV R7,#0FFH
DELAY1: MOV R6,#10
        DJNZ R6,$
        DJNZ R7,DELAY1
        RET
```

```
##### CONVERT BINARY TO ASCII CODE #####
```

```
BIN_ASCII: ANL A,#0FH ; HIGH BYTE TO '0000'
            MOV R2,A
            CLR C
            SUBB A,#10 ; ANALYZE CARRYFLAG
            JNC STEXT ; CARRY FLAG SET IT IS WORD
            MOV A,R2 ;
            ADD A,#30H ; ADD FOR CONVERT TO NUMBER ASCII
            RET ;

STEXT:     MOV A,R2 ; CARRY FLAG NOT SET IT IS NUM
            ADD A,#37H ; ADD FOR CONVERT TO WORD ASCII
            RET

; #####
; ## ASCII_BIN CONVERTS SINGLE ASCII ##
; ## CHARACTER TO SINGLE NIBBLE BINARY ##
; ##(30-39 <0-9>,41-46 <A-F>,61-66 <a-f>) ##
; #####
```

```
##### BYTE_ASCII_CONVERT A TO ASCII IN R4, R5 #####
```

```
BYTE_ASCII: MOV B,A
             LCALL BIN_ASCII
             MOV R4,A ; LOW BYTE
             MOV A,B
             SWAP A
             LCALL BIN_ASCII
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

MOV R5,A    ; HIGH BYTE
RET

```

```

;##### CONVERT ASCII TO BINARY CODE #####

```

```

ASCI_BIN:  CLR  C
           MOV  R3,A
           SUBB A,#41H
           JNC  RTEXT
           MOV  A,R3
           CLR  C
           SUBB A,#30H
           RET

```

```

RTEXT:    MOV  A,R3
           SUBB A,#37H
           RET

```

```

;##### RECEIVE & TRANSMIT BYTE #####

```

```

SEND_ASC: MOV  B,A
           SWAP A
           CALL BIN_ASCII
           CALL SEND    ; HIGH BYTE GO
           MOV  A,B
           CALL BIN_ASCII
           CALL SEND    ; LOW BYTE GO
           RET

```

```

;##### DATA TRANSFER ROUTINE #####

```

```

SEND:     JNB  TI,$
           CLR  TI
           MOV  SBUF,A
           RET

```

```

RCV:      JNB  RI,$
           CLR  RI
           MOV  A,SBUF
           RET

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

RECVE:   JNB  RI,$
          CLR  RI
          MOV  A,SBUF
          CALL SEND
          RET

SEND_STR: PUSH  ACC      ; FEAR DATA A CONFUSION KEEP BY PUSH
SD_STR1:  CLR  A
          MOVC A,@A+DPTR
          CJNE A,#EOS,SD_STR2
          POP  ACC
          RET
SD_STR2:  CALL SEND
          INC  DPTR
          JMP  SD_STR1
SEND_CR:  MOV  A,#CR
          CALL SEND
          MOV  A,#LF
          CALL SEND
          RET
SEND_BS:  MOV  A,#SPACE
          CALL SEND
          RET

TITLE: DB  CR,LF, " *****",CR,LF
        DB  CR,LF, " THE STUDY OF DELTA-SIGMA MODULATION"
        DB  CR,LF, " THIS IS DATA OF A/D MC3418 WITH 32 kHz",CR,LF
        DB  CR,LF, " *****"
        DB  CR,LF,"          NOW DISPLAY DATA ON RAM          ",EOS
END: DB  CR,LF,"          END OF DATA          ",EOS

END

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC3418

CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR

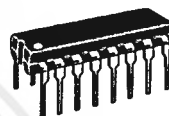
LASER-TRIMMED IC

SEMICONDUCTOR
TECHNICAL DATA

Continuously Variable Slope Delta Modulator/Demodulator

Providing a simplified approach to digital speech encoding/decoding, the MC3418 CVSD is designed for military secure communication and commercial telephone applications. A single IC provides both encoding and decoding functions.

- Encode and Decode Functions on the Same Chip with a Digital Input for Selection
- Utilization of Compatible I²L – Linear Bipolar Technology
- CMOS Compatible Digital Output
- Digital Input Threshold Selectable ($V_{CC}/2$ Reference Provided On-Chip)
- MC3418 has a 4–Bit Algorithm (Commercial Telephone)

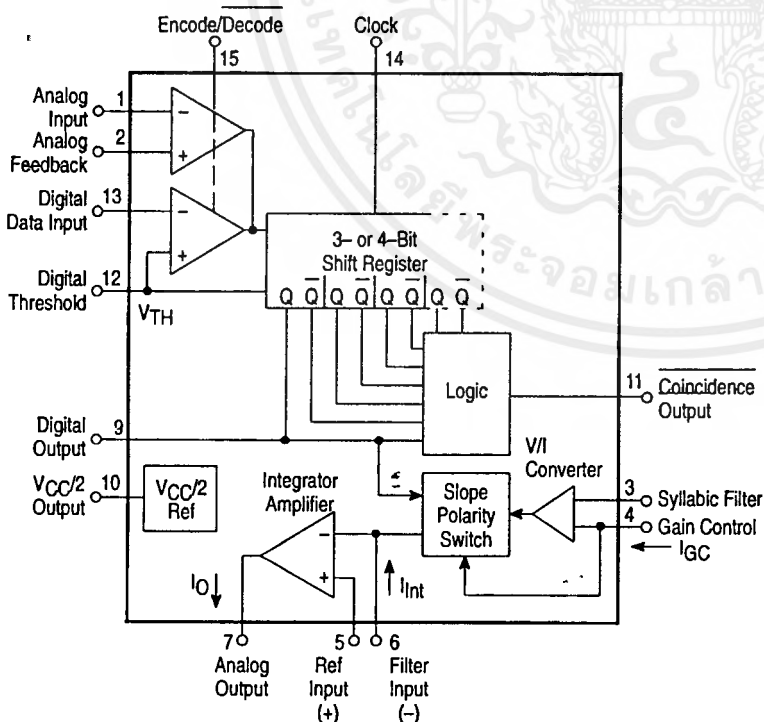


P SUFFIX
PLASTIC PACKAGE
CASE 648



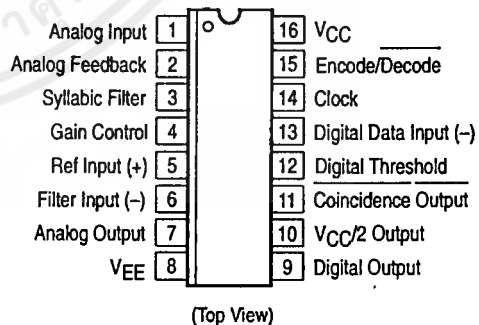
DW SUFFIX
PLASTIC PACKAGE
CASE 751G
(SO-16L)

Representative Block Diagram



This device contains 144 active transistors.

PIN CONNECTIONS



ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC3418DW	$T_A = 0^\circ$ to $+70^\circ\text{C}$	SO-16L
MC3418P		Plastic DIP

MC3418

MAXIMUM RATINGS (All voltages referenced to V_{EE} , $T_A = 25^\circ\text{C}$, unless otherwise noted.)

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC}	-0.4 to +18	Vdc
Differential Analog Input Voltage	V_{ID}	± 5.0	Vdc
Digital Threshold Voltage	V_{TH}	-0.4 to V_{CC}	Vdc
Logic Input Voltage Clock, Digital Data, Encode/Decode	V_{Logic}	-0.4 to +18	Vdc
Coincidence Output Voltage	$V_{O(Con)}$	-0.4 to +18	Vdc
Syllabic Filter Input Voltage	$V_{I(Syl)}$	-0.4 to V_{CC}	Vdc
Gain Control Input Voltage	$V_{I(GC)}$	-0.4 to V_{CC}	Vdc
Reference Input Voltage	$V_{I(ref)}$	$V_{CC}/2 - 1.0$ to V_{CC}	Vdc
$V_{CC}/2$ Output Current	I_{ref}	-25	mA

NOTE: ESD data available upon request.

ELECTRICAL CHARACTERISTICS ($V_{CC} = 12\text{ V}$, $V_{EE} = \text{Gnd}$, $T_A = 0$ to 70°C , unless otherwise noted.)

Characteristic	Symbol	Min	Typ	Max	Unit
Power Supply Voltage Range (Figure 1)	V_{CCR}	4.75	12	16.5	Vdc
Power Supply Current (Figure 1) @ Idle Channel $V_{CC} = 5.0\text{ V}$ $V_{CC} = 15\text{ V}$	I_{CC}	-	3.7 6.0	5.5 11	mA
Gain Control Current Range (Figure 2)	I_{GCR}	0.002	-	3.0	mA
Analog Comparator Input Range (Pins 1 and 2) $4.75\text{ V} \leq V_{CC} \leq 16.5\text{ V}$	V_I	1.3	-	$V_{CC} - 1.3$	Vdc
Analog Output Range (Pin 7) $4.75\text{ V} \leq V_{CC} \leq 16.5\text{ V}$, $I_O = \pm 5.0\text{ mA}$	V_O	1.3	-	$V_{CC} - 1.3$	Vdc
Input Bias Currents (Figure 3) Comparator in Active Region Analog Input (I1) Analog Feedback (I2) Syllabic Filter Input (I3) Reference Input (I5)	I_{IB}	-	0.25 0.25 0.06 -0.06	1.0 1.0 0.3 -0.3	μA
Input Offset Current Comparator in Active Region Analog Input/Analog Feedback I1 - I2 (Figure 3) Analog Input/Analog Feedback I5 - I6 (Figure 4)	I_{IO}	-	0.05 0.01	0.4 0.1	μA
Input Offset Voltage V/I Converter (Pins 3 and 4) (Figure 5)	V_{IO}	-	2.0	6.0	mV
Transconductance V/I Converter, 0 to 3.0 mA Integrator Amplifier, 0 to $\pm 5.0\text{ mA}$ Load	gm	0.1 1.0	0.3 10	- -	mA/mV
Propagation Delay Times (Note 1) Clock Trigger to Digital Output $C_L = 25\text{ pF}$ to Gnd Clock Trigger to Coincidence Output $C_L = 25\text{ pF}$ to Gnd, $R_L = 4.0\text{ k}\Omega$ to V_{CC}	t_{PLH} t_{PHL} t_{PLH} t_{PHL}	-	1.0 0.8 1.0 0.8	2.5 2.5 3.0 2.0	μs
Coincidence Output Voltage - Low Logic Stage $I_{OL(Con)} = 3.0\text{ mA}$	$V_{OL(Con)}$	-	0.12	0.25	Vdc

NOTES: 1. All propagation delay times measured 50% to 50% from the negative going (from V_{CC} to +0.4 V) edge of the clock.
2. Dynamic total loop offset (ΣV_{offset}) equals V_{IO} (comparator) (Figure 3) minus V_{IOX} (Figure 5). The input offset voltages of the analog comparator and of the integrator amplifier include the effects of input offset current through the input resistors. The slope polarity switch current mismatch appears as an average voltage across the 10 k integrator resistor. The clock frequency is 32 kHz. Idle channel performance is guaranteed if this dynamic total loop offset is less than one-half of the change in integrator output voltage during one clock cycle (ramp step size). Laser trimming is used to ensure good idle channel performance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้า เท่านั้น มิใช่สำหรับใช้เพื่อการค้า

MC3418

ELECTRICAL CHARACTERISTICS (continued) ($V_{CC} = 12\text{ V}$, $V_{EE} = \text{Gnd}$, $T_A = 0$ to 70°C , unless otherwise noted.)

Characteristic	Symbol	Min	Typ	Max	Unit
Coincidence Output Leakage Current – High Logic State $V_{OH} = 15\text{ V}$, $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	$I_{OH(\text{Con})}$	–	0.01	0.5	μA
Applied Digital Threshold Voltage Range (Pin 12)	V_{TH}	1.2	–	$V_{CC} - 2.0$	Vdc
Digital Threshold Input Current $1.2\text{ V} \leq V_{th} \leq V_{CC} - 2.0\text{ V}$ V_{IL} Applied to Pins 13, 14 and 15 V_{IH} Applied to Pins 13, 14 and 15	$I_{I(th)}$	– –	– –10	5.0 –50	μA
Maximum Integrator Amplifier Output Current	I_O	± 5.0	–	–	mA
$V_{CC}/2$ Generator Maximum Output Current (Source Only)	I_{ref}	10	–	–	mA
$V_{CC}/2$ Generator Output Impedance (0 to -10 mA)	Z_{ref}	–	3.0	6.0	Ω
$V_{CC}/2$ Generator Tolerance ($4.75\text{ V} \leq V_{CC} \leq 16.5\text{ V}$)	ϵ_r	–	–	± 3.5	%
Logic Input Voltage (Pins 13, 14 and 15) Low Logic State High Logic State	V_{IL} V_{IH}	V_{EE} $V_{th} + 0.4$	– –	$V_{th} - 0.4$ 18	Vdc
Dynamic Total Loop Offset Voltage (Note 2) (Figures 3, 4 and 5) $I_{GC} = 12\ \mu\text{A}$, $V_{CC} = 12\text{ V}$ $T_A = 25^\circ\text{C}$ $0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$ $I_{GC} = 12\ \mu\text{A}$, $V_{CC} = 5.0\text{ V}$ $T_A = 25^\circ\text{C}$ $0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$	ΣV_{offset}	– –	± 0.5 ± 0.75	± 3.0 ± 3.8	mV
Digital Output Voltage $I_{OL} = 3.6\text{ mA}$ $I_{OH} = -0.35\text{ mA}$	V_{OL} V_{OH}	– $V_{CC} - 1.0$	0.1 $V_{CC} - 0.2$	0.4 –	Vdc
Syllabic Filter Applied Voltage (Pin 3) (Figure 2)	$V_{I(\text{Syl})}$	3.2	–	V_{CC}	Vdc
Integrating Current (Figure 2) $I_{GC} = 12\ \mu\text{A}$ $I_{GC} = 1.5\text{ mA}$ $I_{GC} = 3.0\text{ mA}$	$ I_{Int} $	8.0 1.42 2.75	10 1.5 3.0	12 1.58 3.25	μA mA mA
Dynamic Integrating Current Match (Figure 6) $I_{GC} = 1.5\text{ mA}$	$V_{O(\text{Ave})}$	–	± 100	± 280	mV
Input Current – High Logic State ($V_{IH} = 18\text{ V}$) Digital Data Input Clock Input Encode/Decode Input	I_{IH}	– – –	– – –	5.0 5.0 5.0	μA
Input Current – Low Logic State ($V_{IL} = 0\text{ V}$) Digital Data Input Clock Input Encode/Decode Input Clock Input, $V_{IL} = 0.4\text{ V}$	I_{IL}	–10 –360 –36 –72	– – – –	– – – –	μA

NOTES: 1. All propagation delay times measured 50% to 50% from the negative going (from V_{CC} to $+0.4\text{ V}$) edge of the clock.
2. Dynamic total loop offset (ΣV_{offset}) equals V_{IO} (comparator) (Figure 3) minus V_{IOX} (Figure 5). The input offset voltages of the analog comparator and of the integrator amplifier include the effects of input offset current through the input resistors. The slope polarity switch current mismatch appears as an average voltage across the 10 k integrator resistor. The clock frequency is 32 kHz. Idle channel performance is guaranteed if this dynamic total loop offset is less than one-half of the change in integrator output voltage during one clock cycle (ramp step size). Laser trimming is used to ensure good idle channel performance.

DEFINITION AND FUNCTION OF PINS

Pin 1 — Analog Input

This is the analog comparator inverting input where the voice signal is applied. It may be ac or dc coupled depending on the application. If the voice signal is to be level shifted to the internal reference voltage, then a bias resistor between Pins 1 and 10 is used. The resistor is used to establish the reference as the new dc average of the ac coupled signal. The analog comparator was designed for low hysteresis (typically less than 0.1 mV) and high gain (typically 70 dB).

Pin 2 — Analog Feedback

This is the noninverting input to the analog signal comparator. In an encoder application it should be connected to the analog output of the encoder circuit. This may be Pin 7 or a low pass filter output connected to Pin 7. In a decode circuit Pin 2 is not used and may be tied to $V_{CC}/2$ at Pin 10 or ground.

The analog input comparator has bias currents of 1.0 μA max, thus the driving impedances at Pins 1 and 2 should be

equal to avoid disturbing the idle channel characteristics of the encoder.

Pin 3 — Syllabic Filter

This is the point at which the syllabic filter voltage is returned to the IC in order to control the integrator step size. It is an NPN input to an op amp. The syllabic filter consists of an RC network between Pins 11 and 3. Typical time constant values of 6.0 to 50 ms are used in voice codecs.

Pin 4 — Gain Control Input

The syllabic filter voltage appears across C_S of the syllabic filter and is the voltage between V_{CC} and Pin 3. The active voltage to current ($V - I$) converter drives Pin 4 to the same voltage at a slow rate of typically $0.5 \text{ V}/\mu\text{s}$. Thus the current injected into Pin 4 (I_{GC}) is the syllabic filter voltage divided by the R_X resistance. Figure 7 shows the relationship between I_{GC} (x-axis) and the integrating current, I_{INT} (y-axis). The discrepancy, which is most significant at very low currents, is due to circuitry within the slope polarity switch which enables trimming to a low total loop offset. The R_X resistor is then varied to adjust the loop gain of the codec, but should be no larger than $5.0 \text{ k}\Omega$ to maintain stability.

Pin 5 — Reference Input

This pin is the noninverting input of the integrator amplifier. It is used to reference the dc level of the output signal. In an encoder circuit it must reference the same voltage as Pin 1 and is tied to Pin 10.

Pin 6 — Filter Input

This inverting op amp input is used to connect the integrator external components. The integrating current (I_{INT}) flows into Pin 6 when the analog input (Pin 1) is high with respect to the analog feedback (Pin 2) in the encode mode or when the digital data input (Pin 13) is high in the decode mode. For the opposite states, I_{INT} flows out of Pin 6. Single integration systems require a capacitor and resistor between Pins 6 and 7. Multipole configurations will have different circuitry. The resistance between Pins 6 and 7 should always be between $8.0 \text{ k}\Omega$ and $13 \text{ k}\Omega$ to maintain good idle channel characteristics.

Pin 7 — Analog Output

This is the integrator op amp output. It is capable of driving a 600Ω load referenced to $V_{CC}/2$ to $+6.0 \text{ dBm}$ and can otherwise be treated as an op amp output. Pins 5, 6 and 7 provide full access to the integrator op amp for designing integration filter networks. The slew rate of the internally compensated integrator op amp is typically $0.5 \text{ V}/\mu\text{s}$. Pin 7 output is current limited for both polarities of current flow at typically 30 mA .

Pin 8 — VEE

The circuit is designed to work in either single or dual power supply applications. Pin 8 is always connected to the most negative supply.

Pin 9 — Digital Output

The digital output provides the results of the delta modulator's conversion. It swings between V_{CC} and V_{EE} and is CMOS or TTL compatible. Pin 9 is inverting with respect to Pin 1 and noninverting with respect to Pin 2. It is clocked on the falling edge of Pin 14. The typical 10% to 90% rise and fall times are 250 ns and 50 ns respectively for $V_{CC} = 12 \text{ V}$ and $C_L = 25 \text{ pF}$ to ground.

Pin 10 — $V_{CC}/2$ Output

An internal low impedance mid-supply reference is provided for use in single supply applications. The internal

regulator is a current source and must be loaded with a resistor to ensure its sinking capability. If a $+6.0 \text{ dBm}$ signal is expected across a 600Ω input bias resistor, then Pin 10 must sink $2.2 \text{ V}/600 \Omega = 3.66 \text{ mA}$. This is possible only if Pin 10 sources 3.66 mA into a resistor normally and will source the difference under peak load. The reference load resistor is chosen accordingly. A $0.1 \mu\text{F}$ bypass capacitor from Pin 10 to V_{EE} is also recommended. The $V_{CC}/2$ reference is capable of sourcing 10 mA and can be used as a reference elsewhere in the system circuitry.

Pin 11 — Coincidence Output

The duty cycle of this pin is proportional to the voltage across C_S . The coincidence output will be low whenever the content of the internal shift register is all 1s or all 0s. The MC3418 contains a 4-bit register. Pin 11 is an open collector NPN device and requires a pull-up resistor. If the syllabic filter is to have equal charge and discharge time constants, the value of R_p should be much less than R_S . In systems requiring different charge and discharge constants, the charging constant is $R_S C_S$ while the decay constant is $(R_S + R_p)C_S$. Thus longer decays are easily achievable. The NPN device should not be required to sink more than 3.0 mA in any configuration. The typical 10% to 90% rise and fall times are 200 ns and 100 ns respectively for $R_L = 4.0 \text{ k}\Omega$ to 12 V and $C_L = 25 \text{ pF}$ to ground.

Pin 12 — Digital Threshold

This input sets the switching threshold for Pins 13, 14 and 15. It is intended to aid in interfacing different logic families without external parts. Often it is connected to the $V_{CC}/2$ reference for CMOS interface or can be biased two diode drops above V_{EE} for TTL interface.

Pin 13 — Digital Data Input

In a decode application, the digital data stream is applied to Pin 13. In an encoder it may be unused or may be used to transmit signaling message under the control of Pin 15. It is an inverting input with respect to Pin 9. When Pins 9 and 13 are connected, a toggle flip-flop is formed and a forced idle channel pattern can be transmitted. The digital data input level should be maintained for $0.5 \mu\text{s}$ before and after the clock trigger for proper clocking.

Pin 14 — Clock Input

The clock input determines the data rate of the codec circuit. A 32 kbit rate requires a 32 kHz clock. The switching threshold of the clock input is set by Pin 12. The shift register circuit toggles on the falling edge of the clock input. The minimum high time for the clock input is 300 ns and minimum low time is 900 ns .

Pin 15 — Encode/Decode

This pin controls the connection of the analog input comparator and the digital input comparator to the internal shift register. If high, the result of the analog comparison will be clocked into the register on the falling edge at Pin 14. If low, the digital input state will be entered. This allows use of the IC as an encoder/decoder or simplex codec without external parts. Furthermore, it allows non-voice patterns to be forced onto the transmission line through Pin 13 in an encoder.

Pin 16 — V_{CC}

The power supply range is from 4.75 to 16.5 V between Pin V_{CC} and V_{EE} .

Figure 1. Power Supply Current

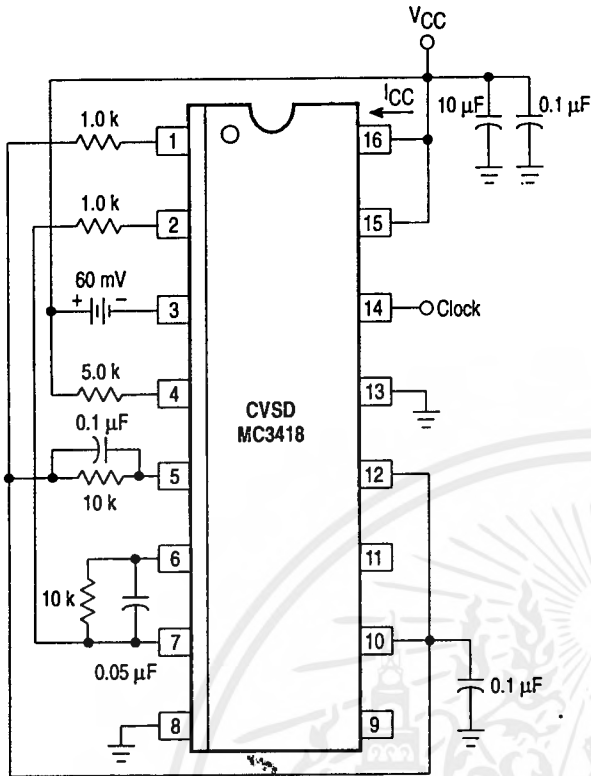
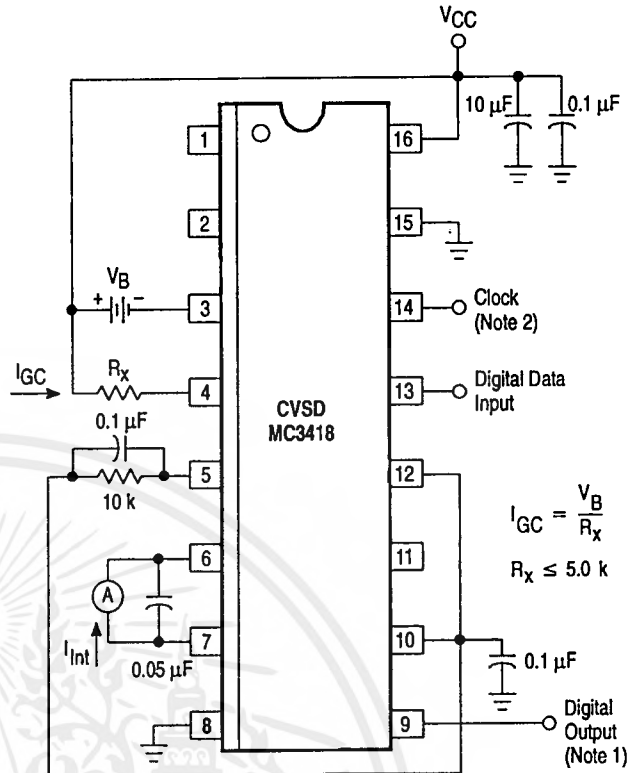


Figure 2. IGCR – Gain Control Range and IInt – Integrating Current

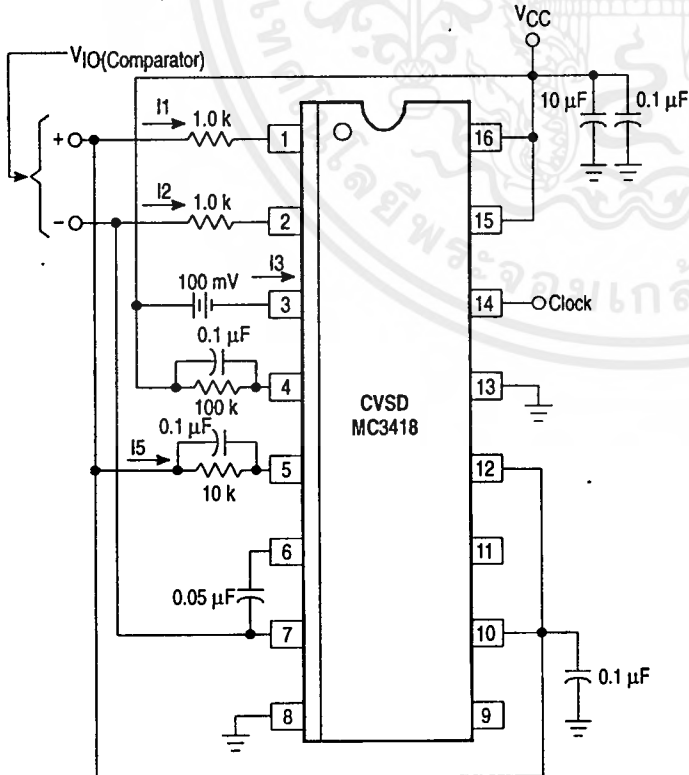


$$I_{GC} = \frac{V_B}{R_x}$$

$$R_x \leq 5.0 \text{ k}$$

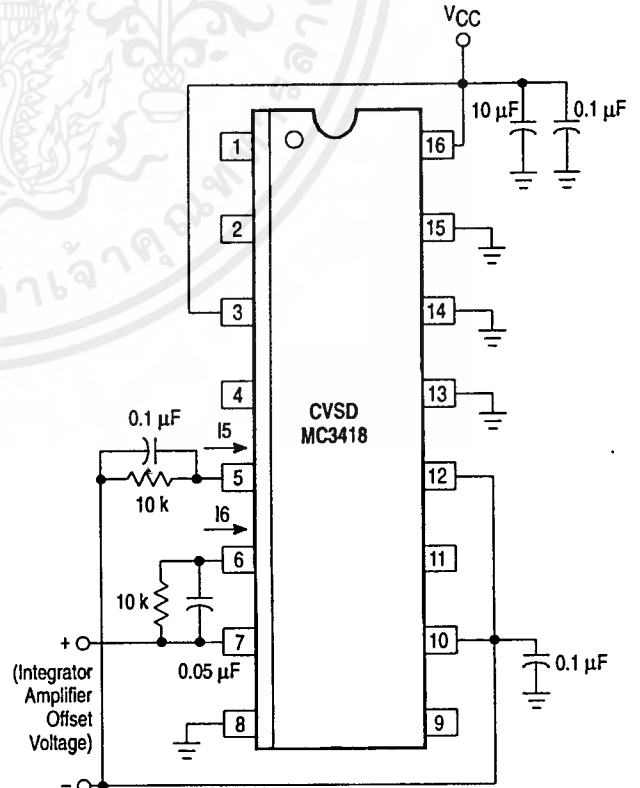
NOTES: 1. Digital Output = Digital Data Input
2. For static testing, the clock is only necessary for preconditioning to obtain proper state for a given input.

Figure 3. Input Bias Currents, Analog Comparator Offset Voltage and Current



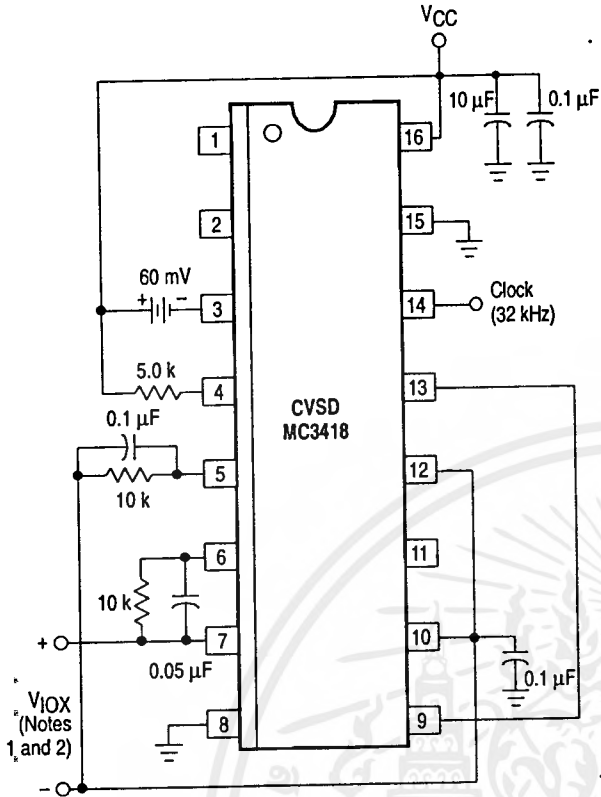
NOTE: The analog comparator offset voltage is tested under dynamic conditions and therefore must be measured with appropriate filtering.

Figure 4. Integrator Amplifier Offset Voltage and Current



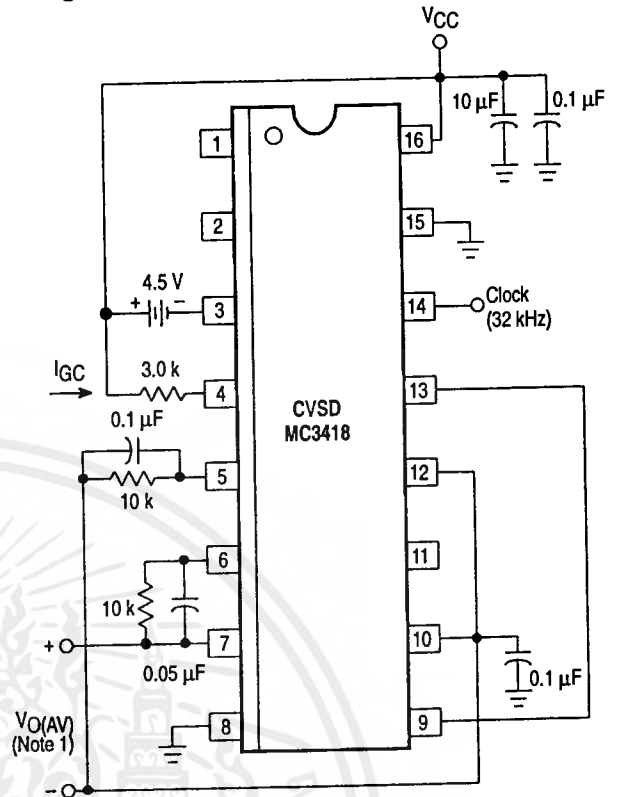
เอกสารนี้เป็นเอกสารข้อมูลของ Motorola Inc. ไม่อนุญาตให้ทำซ้ำโดยไม่ได้รับอนุญาตจาก Motorola Inc. หรือใช้เพื่อวัตถุประสงค์ทางการค้า

Figure 5. V/I Converter Offset Voltage, V_{IO} and V_{IOX}



- NOTES: 1. Integrator amplifier offset voltage plus slope polarity switch mismatch.
2. V_{IOX} is the average voltage of the triangular waveform observed at the measurement points.

Figure 6. Dynamic Integrating Current Match



- NOTES: 1. $V_{O(AV)}$, Dynamic Integrating Current Match, is the average voltage of the triangular waveform observed at the measurement points, across 10 kΩ resistor with $I_{GC} = 1.5$ mA.
2. See Note 2 in the Electrical Characteristics table.
3. See Figures 8 and 9.

TYPICAL PERFORMANCE CURVES

Figure 7. Typical I_{Int} versus I_{GC} (Mean $\pm 2\sigma$)

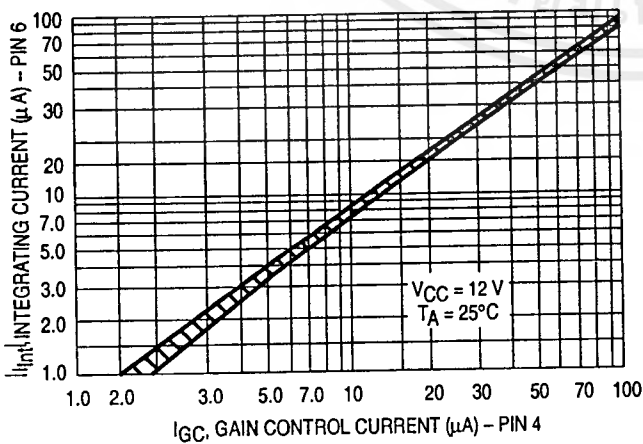


Figure 8. Normalized Dynamic Integrating Current Match versus V_{CC}

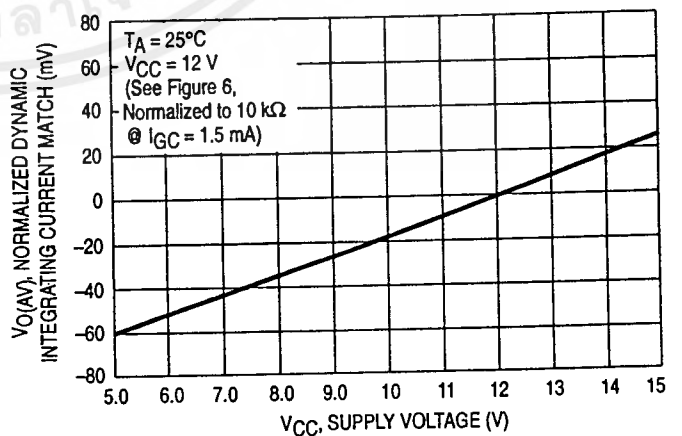


Figure 9. Normalized Dynamic Integrating Current Match versus Clock Frequency

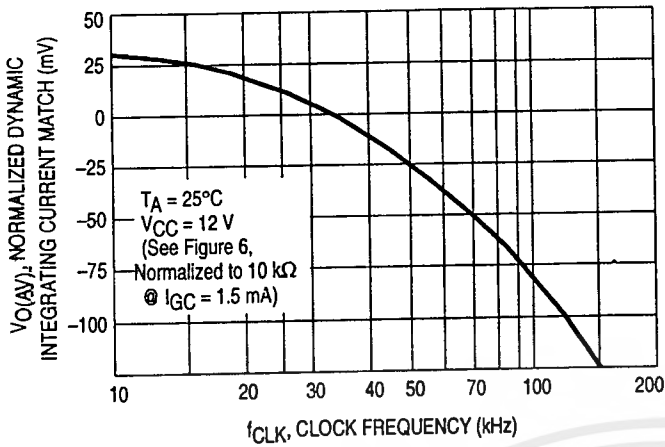


Figure 10. Dynamic Total Loop Offset versus Clock Frequency

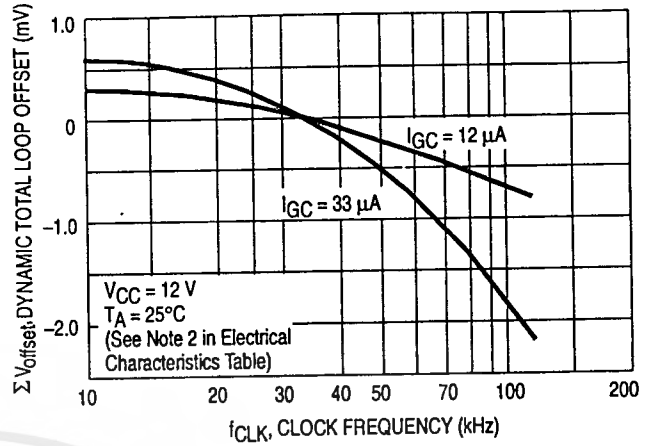


Figure 11. Block Diagram of the CVSD Encoder

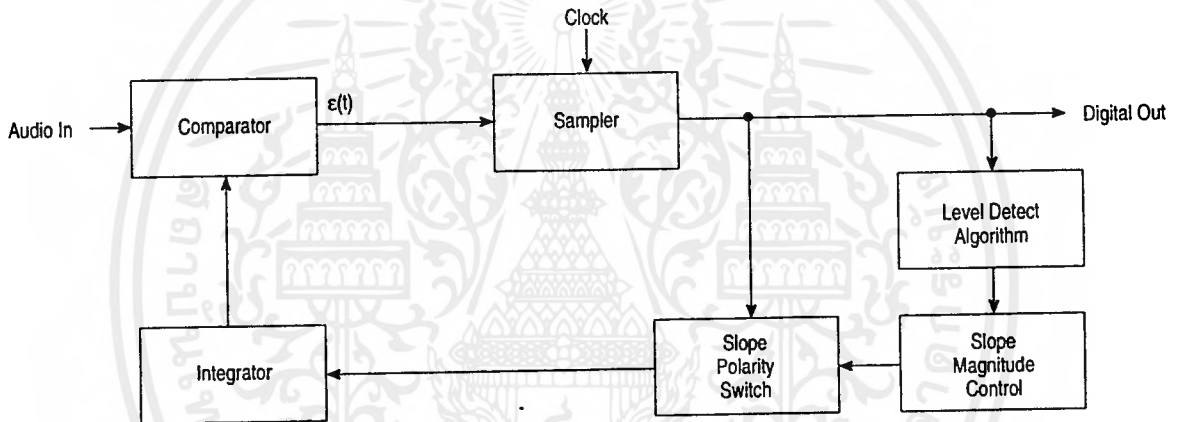


Figure 12. CVSD Waveforms

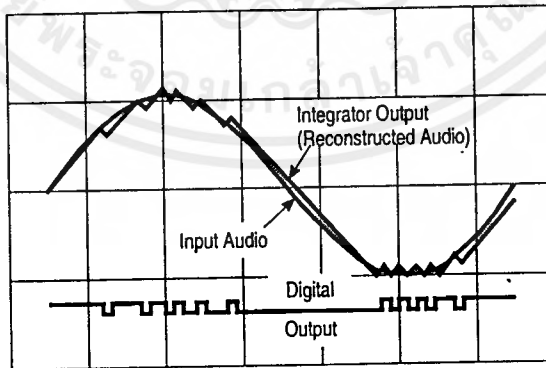


Figure 13. Block Diagram of the CVSD Decoder

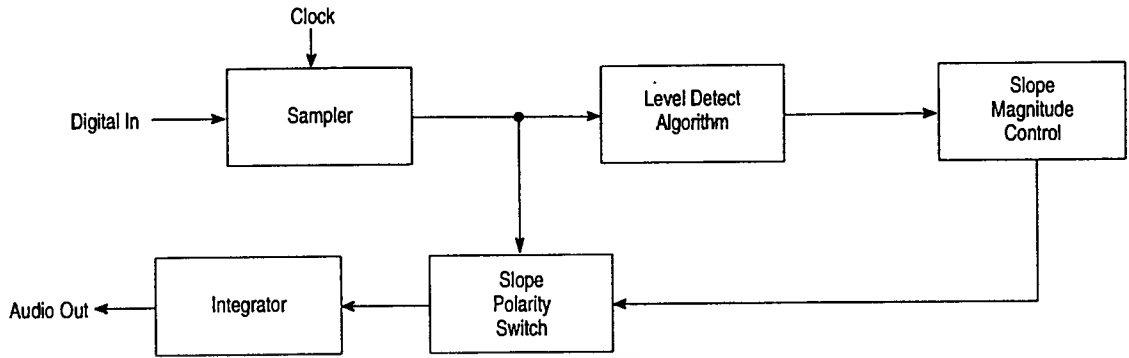
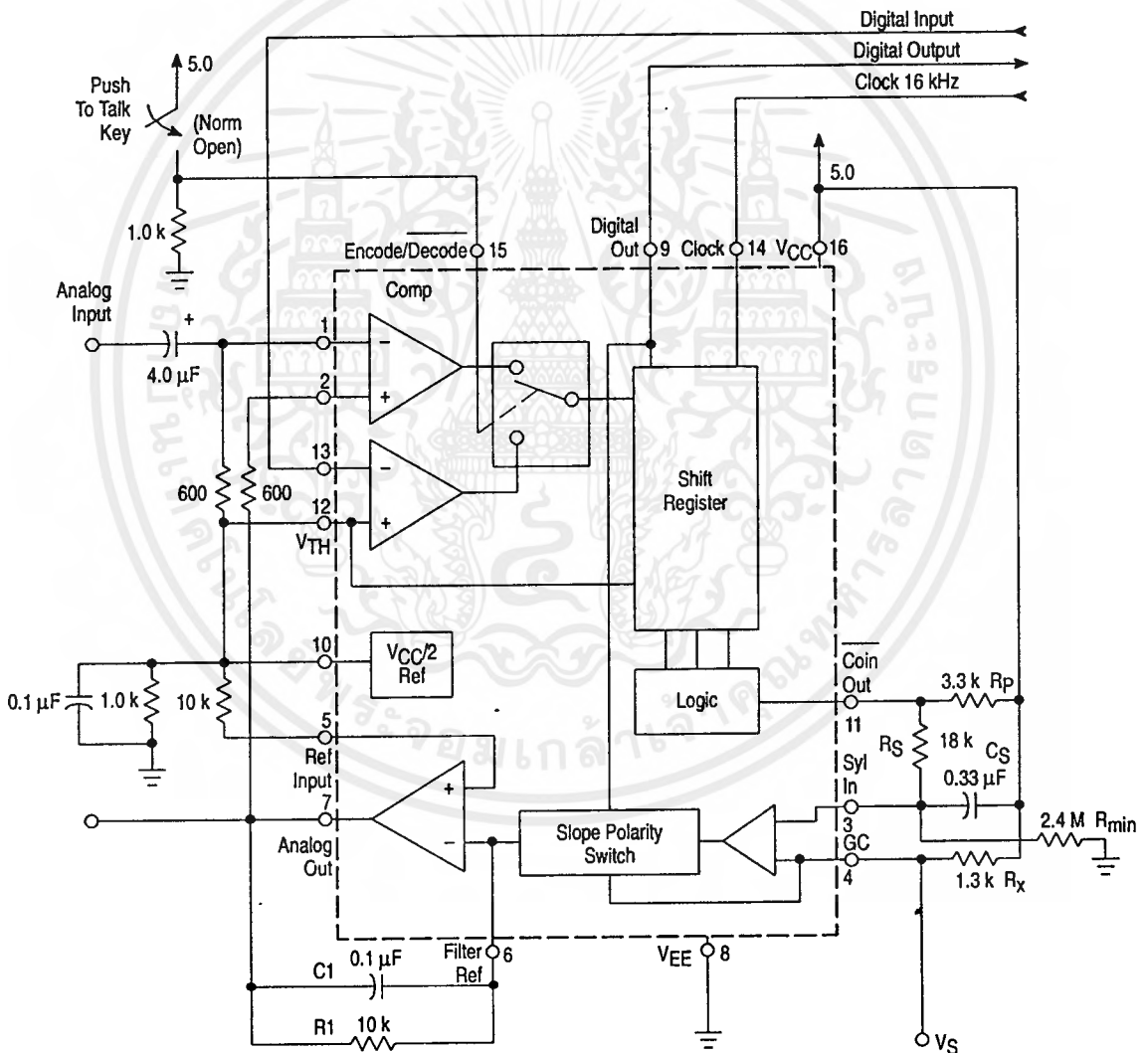


Figure 14. 16 kHz Simplex Voice Codec (Single-Pole Companding and Single Integration)



CIRCUIT DESCRIPTION

The continuously variable slope delta modulator (CVSD) is a simple alternative to more complex conventional conversion techniques in systems requiring digital communication of analog signals. The human voice is analog, but digital transmission of any signal over great distance is attractive. Signal/noise ratios do not vary with distance in digital transmission and multiplexing, switching and repeating hardware is more economical and easier to design. However, instrumentation A to D converters do not meet the communications requirements. The CVSD A to D is well suited to the requirements of digital communications and is an economically efficient means of digitizing analog inputs for transmission.

The Delta Modulator

The innermost control loop of a CVSD converter is a simple delta modulator. A block diagram CVSD Encoder is shown in Figure 11. A delta modulator consists of a comparator in the forward path and an integrator in the feedback path of a simple control loop. The inputs to the comparator are the input analog signal and the integrator output. The comparator output reflects the sign of the difference between the input voltage and the integrator output. That sign bit is the digital output and also controls the direction of ramp in the integrator. The comparator is normally clocked so as to produce a synchronous and band-limited digital bit stream.

If the clocked serial bit stream is transmitted, received, and delivered to a similar integrator at a remote point, the remote integrator output is a copy of the transmitting control loop integrator output. To the extent that the integrator at the transmitting location tracks the input signal, the remote receiver reproduces the input signal. Low pass filtering at the receiver output will eliminate most of the quantizing noise, if the clock rate of the bit stream is an octave or more above the bandwidth of the input signal. Voice bandwidth is 4.0 kHz and clock rates from 8.0 k and up are possible. Thus the delta modulator digitizes and transmits the analog input to a remote receiver. The serial, unframed nature of the data is ideal for communications networks. With no input at the transmitter, a continuous one zero alternation is transmitted. If the two integrators are made leaky, then during any loss of contact the receiver output decays to zero and receive restart begins without framing when the receiver reacquires. Similarly, a delta modulator is tolerant of sporadic bit errors. Figure 12 shows the delta modulator waveforms while Figure 13 shows the corresponding CVSD decoder block diagram.

The Companding Algorithm

The fundamental advantages of the delta modulator are its simplicity and the serial format of its output. Its limitations are its ability to accurately convert the input within a limited digital

bit rate. The analog input must be band limited and amplitude limited. The frequency limitations are governed by the nyquist rate while the amplitude capabilities are set by the gain of the integrator.

The frequency limits are bounded on the upper end; that is, for any input bandwidth there exists a clock frequency larger than that bandwidth which will transmit the signal with a specific noise level. However, the amplitude limits are bounded on both upper and lower ends. For a signal level, one specific gain will achieve an optimum noise level. Unfortunately, the basic delta modulator has a small dynamic range over which the noise level is constant.

The continuously variable slope circuitry provides increased dynamic range by adjusting the gain of the integrator. For a given clock frequency and input bandwidth the additional circuitry increases the delta modulator's dynamic range. External to the basic delta modulator is an algorithm which monitors the past few outputs of the delta modulator in a simple shift register. The register is 4-bits long. The accepted CVSD algorithm simply monitors the contents of the shift register and indicates if it contains all 1s or 0s. This condition is called coincidence. When it occurs, it indicates that the gain of the integrator is too small. The coincidence output charges a single-pole low pass filter. The voltage output of this syllabic filter controls the integrator gain through a pulse amplitude modulator whose other input is the sign bit or up/down control.

The simplicity of the all 1s, all 0s algorithm should not be taken lightly. Many other control algorithms using the shift register have been tried. The key to the accepted algorithm is that it provides a measure of the average power or level of the input signal. Other techniques provide more instantaneous information about the shape of the input curve. The purpose of the algorithm is to control the gain of the integrator and to increase the dynamic range. Thus a measure of the average input level is what is needed.

The algorithm is repeated in the receiver and thus the level data is recovered in the receiver. Because the algorithm operates only on the past serial data, it changes the nature of the bit stream without changing the channel bit rate.

The effect of the algorithm is to compand the input signal. If a CVSD encoder is played into a basic delta modulator, the output of the delta modulator will reflect the shape of the input signal but all of the output will be at an equal level. Thus the algorithm at the output is needed to restore the level variations. The bit stream in the channel is as if it were from a standard delta modulator with a constant level input.

The delta modulator encoder with the CVSD algorithm provides an efficient method for digitizing a voice input in a manner which is especially convenient for digital communications requirements.

APPLICATIONS INFORMATION

CVSD DESIGN CONSIDERATIONS

A simple CVSD encoder using the MC3418 is shown in Figure 14. This IC is a general purpose CVSD building block which allows the system designer to tailor the encoder's transmission characteristics to the application. Thus, the achievable transmission capabilities are constrained by the fundamental limitations of delta modulation and the design of encoder parameters. The performance is not dictated by the internal configuration of the MC3418. There are seven design considerations involved in designing these basic CVSD building blocks into a specific codec application, and they are as follows:

1. Selection of clock rate
2. Required number of shift register bits
3. Selection of loop gain
4. Selection of minimum step size
5. Design of integration filter transfer function
6. Design of syllabic filter transfer function
7. Design of low pass filter at the receiver

The circuit in Figure 14 is the most basic CVSD circuit possible. For many applications in secure radio or other intelligible voice channel requirements, it is entirely sufficient. In this circuit, items 5 and 6 are reduced to their simplest form. The syllabic and integration filters are both single-pole networks. The selection of items 1 through 4 govern the codec performance.

Layout Considerations

Care should be exercised to isolate all digital signal paths (Pins 9, 11, 13 and 14) from analog signal paths (Pins 1 to 7 and 10) in order to achieve proper idle channel performance.

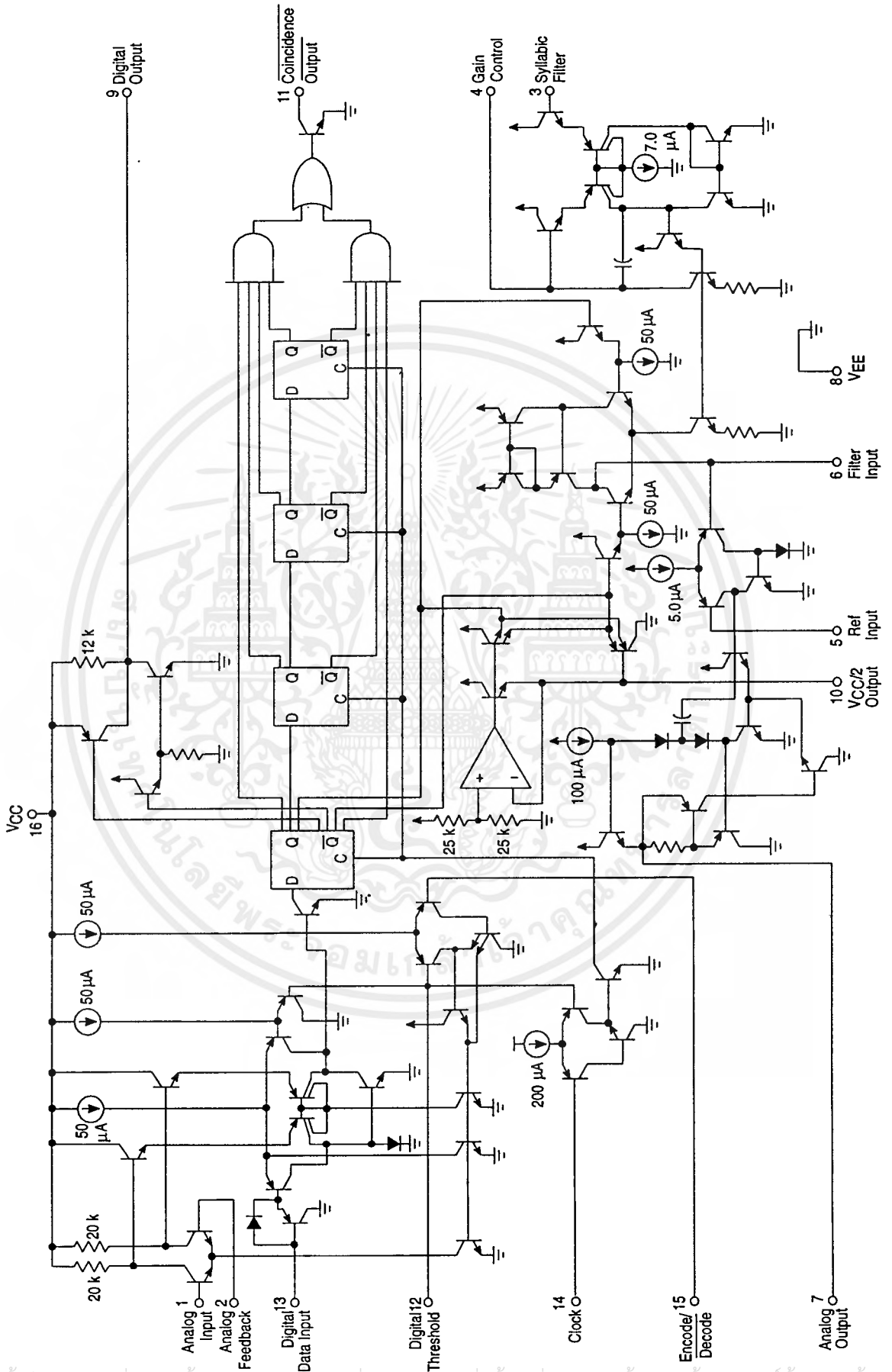
Clock Rate

With minor modifications, the circuit in Figure 14 may be operated anywhere from 9.6 to 64 kHz clock rates. Obviously the higher the clock rate the higher the S/N performance. The circuit in Figure 14 typically produces the S/N performance shown in Figure 16. The selection of clock rate is usually dictated by the bandwidth of the transmission medium. Voice bandwidth systems will require no higher than 9600 Hz. Some radio systems will allow 12 kHz. Private 4-wire telephone systems are often operated at 16 kHz and commercial telephone performance can be achieved at 32 k bits and above. Other codecs may use bit rates up to 200 k bits/sec.

Shift Register Length (Algorithm)

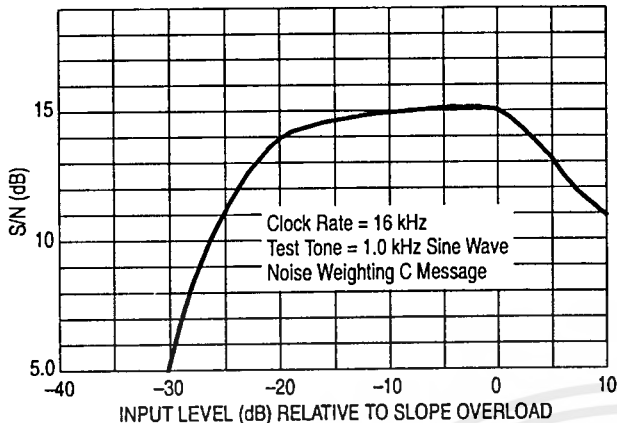
The MC3418 has a 4-bit algorithm well suited for 32 kHz and higher clock rates. Since the algorithm records a fixed past history of the input signal, a longer shift register is required to obtain the same internal history. At 16 kHz and below, the 4-bit algorithm will produce a slightly wider dynamic range at the expense of level change response. Basically the MC3418 is intended for high performance, high bit rate systems.

Figure 15. CVSD Circuit Schematic



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Figure 16. Signal-to-Noise Performance with Single Integration, Single-Pole and Companding at 16 k Bits (Typical)



Selection of Loop Gain

The gain of the circuit in Figure 14 is set by resistor R_x . R_x must be selected to provide the proper integrator step size for high level signals such that the companding ratio does not exceed about 25%. The companding ratio is the active low duty cycle of the coincidence output on Pin 11 of the codec circuit. Thus the system gain is dependent on:

1. The maximum level and frequency of the input signal.
2. The transfer function of the integration filter.

For voice codecs the typical input signal is taken to be a sine wave at 1.0 kHz of 0 dBm level. In practice, the useful dynamic range extends about 6.0 dB above the design level. In any system the companding ratio should not exceed 30%.

To calculate the required step size current, we must describe the transfer characteristics of the integration filter. In the basic circuit of Figure 14, a single-pole of 160 Hz is used.

$$R_1 = 10 \text{ k}\Omega, C_1 = 0.1 \text{ }\mu\text{F}$$

$$\frac{V_O}{I_i} = \frac{1}{C \left(s + \frac{1}{RC} \right)} = \frac{K}{s + \omega_o}$$

$$\omega_o = 2 \pi f$$

$$10^3 = \omega_o = 2 \pi f$$

$$f = 159.2 \text{ Hz}$$

Note that the integration filter produces a single-pole response from 300 to 3.0 kHz. The current required to move the integrator output a specific voltage from zero is simply:

$$I_i = \frac{V_O}{R_1} + \left(C_1 \times \frac{dV_O}{dt} \right)$$

Now a 0 dBm sine wave has a peak value of 1.0954 V. In 1/8 of a cycle of a sine wave centered around the zero crossing, the sine wave changes by approximately its peak value. The CVSD step should trace that change. The required current for a 0 dBm 1.0 kHz sine wave is:

$$I_i = \frac{1.1 \text{ V}}{2 (10 \text{ k}\Omega)} + \frac{0.1 \text{ }\mu\text{F} (1.1)}{0.125 \text{ ms}} = 0.935 \text{ mA}$$

* The maximum voltage across R_1 when maximum slew is required is:

$$\frac{1.1 \text{ V}}{2}$$

Now the voltage range of the syllabic filter is the power supply voltage, thus:

$$R_x = 0.25 \left(V_{CC} \right) \frac{1}{0.935 \text{ mA}}$$

A similar procedure can be followed to establish the proper gain for any input level and integration filter type.

Minimum Step Size

The final parameter to be selected for the simple codec in Figure 14 is idle channel step size. With no input signal, the digital output becomes a one-zero alternating pattern and the analog output becomes a small triangle wave. Mismatches of internal currents and offsets limit the minimum step size which will produce a perfect idle channel pattern. The MC3418 is tested to ensure that a 20 mVpp minimum step size at 16 kHz will attain a proper idle channel. The idle channel step size must be twice the specified total loop offset if a one-zero idle pattern is desired. In some applications a much smaller minimum step size (e.g., 0.1 mV) can produce quiet performance without providing a 1-0 pattern.

To set the idle channel step size, the value of R_{min} must be selected. With no input signal, the slope control algorithm is inactive. A long series of ones or zeros never occurs. Thus, the voltage across the syllabic filter capacitor (C_S) would decay to zero. However, the voltage divider of R_S and R_{min} (see Figure 14) sets the minimum allowed voltage across the syllabic filter capacitor. That voltage must produce the desired ramps at the analog output. Again we write the filter input current equation:

$$I_i = \frac{V_O}{R_1} + C \frac{dV_O}{dt}$$

For values of V_O near $V_{CC}/2$ the V_O/R term is negligible; thus:

$$I_i = C_S \frac{\Delta V_O}{\Delta T}$$

where ΔT is the clock period and ΔV_O is the desired peak-to-peak value of the idle output. For a 16 k bit system using the circuit in Figure 14:

$$I_i = \frac{0.1 \text{ }\mu\text{F} \cdot 20 \text{ mV}}{62.5 \text{ }\mu\text{s}} \approx 33 \text{ }\mu\text{A}$$

The voltage on C_S which produces a 33 μA current is determined by the value of R_x .

$$I_i R_x = V_{S \text{ min}}; \text{ for } 33 \text{ }\mu\text{A}, V_{S \text{ min}} = 41.6 \text{ mV}$$

In Figure 14 R_S is 18 k Ω . That selection is discussed with the syllabic filter considerations. The voltage divider of R_S and R_{min} must produce an output of 41.6 mV.

$$V_{CC} \frac{R_S}{R_S + R_{min}} = V_{S \text{ min}} \quad R_{min} = 2.4 \text{ M}\Omega$$

Having established these four parameters – clock rate, number of shift register bits, loop gain, and minimum step size – the encoder circuit in Figure 14 will function at near optimum performance for input levels around 0 dBm.

INCREASING CVSD PERFORMANCE

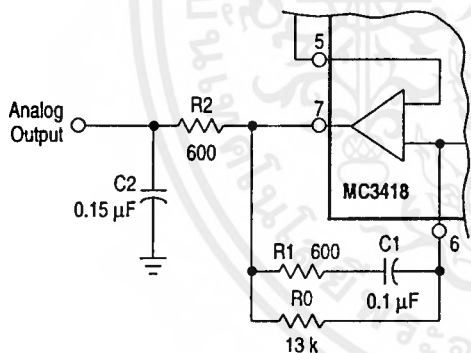
Integration Filter Design

The circuit in Figure 14 uses a single-pole integration network formed with a 0.1 μF capacitor and a 10 kΩ resistor. It is possible to improve the performance of the circuit in Figure 14 by 1.0 or 2.0 dB by using a two-pole integration network. The improved circuit is shown in Figure 17.

The first pole is still placed below 300 Hz to provide the 1/S voice content curve and a second pole is placed somewhere above the 1.0 kHz frequency. For telephony circuits, the second pole can be placed above 1.8 kHz to exceed the 1633 touchtone frequency. In other communication systems, values as low as 1.0 kHz may be selected. In general, the lower in frequency the second pole is placed, the greater the noise improvement. Then, to ensure the encoder loop stability, a zero is added to keep the phase shift less than 180°. This zero should be placed slightly above the low-pass output filter break frequency so as not to reduce the effectiveness of the second pole. A network of 235 Hz, 2.0 kHz, and 5.2 kHz is typical for telephone applications while 160 Hz, 1.2 kHz, and 2.8 kHz might be used in voice only channels. (Voice only channels can use an output low-pass filter which breaks at about 2.5 kHz.) The two-pole network in Figure 17 has a transfer function of:

$$\frac{V_O}{I_i} = \frac{R_0 R_1 \left(S + \frac{1}{R_1 C_1} \right)}{R_2 C_2 (R_0 + R_1) \left(S + \frac{1}{(R_0 + R_1) C_1} \right) S + \left(\frac{1}{R_2 C_2} \right)}$$

Figure 17. Improved Filter Configuration



NOTE: These component values are for the telephone channel circuit poles described in the text. The R2, C2 product can be provided with different values of R and C. R2 should be chosen to be equal to the termination resistor on Pin 1.

Thus the two poles and the zero can be selected arbitrarily as long as the zero is at a higher frequency than the first pole. The values in Figure 17 represent one implementation of the telephony filter requirement.

The selection of the two-pole filter network affects the selection of the loop gain value and the minimum step size resistor. The required integrator current for a given change in voltage now becomes:

$$I_i = \frac{V_O}{R_0} + \left(\frac{R_2 C_2}{R_0} + \frac{R_1 C_1}{R_0} + C_1 \right) \frac{\Delta V_O}{\Delta T} + \left(R_2 C_2 C_1 + \frac{R_1 C_1 R_2 C_2}{R_0} \right) \frac{\Delta V_O^2}{\Delta T^2}$$

The calculation of desired gain resistor R_x then proceeds exactly as previously described.

Syllabic Filter Design

The syllabic filter in Figure 14 is a simple single-pole network of 18 kΩ and 0.33 μF. This produces a 6.0 ms time constant for the averaging of the coincidence output signal. The voltage across the capacitor determines the integrator current which in turn establishes the step size. The integrator current and the resulting step size determine the companding ratio and the S/N performance. The companding ratio is defined as the voltage across C_S/V_{CC}.

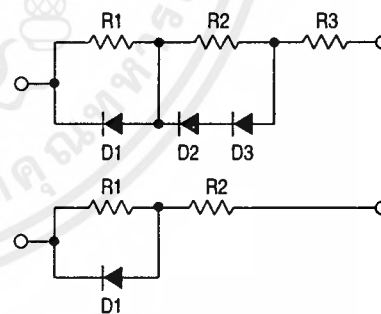
The S/N performance may be improved by modifying the voltage to current transformation produced by R_x. If different portions of the total R_x are shunted by diodes, the integrator current can be other than (V_{CC} - V_S)/R_x. These breakpoint curves must be designed experimentally for the particular system application. In general, one would wish that the current would double with input level. To design the desired curve, supply current to Pin 4 of the codec from an external source. Input a signal level and adjust the current until the S/N performance is optimum. Then record the syllabic filter voltage and the current. Repeat this for all desired signal levels. Then derive the resistor diode network which produces that curve on a curve tracer.

Once the network is designed with the curve tracer, it is then inserted in place of R_x in the circuit and the forced optimum noise performance will be achieved from the active syllabic algorithm.

Diode breakpoint networks may be very simple or moderately complex and can improve the usable dynamic range of any codec. In the past they have been used in high performance telephone codecs.

Typical resistor-diode networks are shown in Figure 18.

Figure 18. Resistor-Diode Networks



If the performance of more complex diode networks is desired, the circuit in Figure 19 should be used. It simulates the companding characteristics of nonlinear R_x elements in a different manner.

Output Low Pass Filter

A low pass filter is required at the receiving circuit output to eliminate quantizing noise. In general, the lower the bit rate, the better the filter must be. The filter in Figure 21 provides excellent performance for 12 to 40 kHz systems.

TELEPHONE CARRIER QUALITY CODEC

Two specifications of the integrated circuit are specifically intended to meet the performance requirements of commercial telephone systems. First, slope polarity switch current matching is laser trimmed to guarantee proper idle channel performance with 5.0 mV minimum step size and a typical 1.0% current match from 15 μ A to 3.0 mA. Thus a 300 to 1 range of step size variation is possible. Second, the MC3418 provides the 4-bit algorithm currently used in subscriber loop telephone systems. With these specifications and the circuit of Figure 19, a telephone quality codec can be mass produced.

The circuit in Figure 19 provides a 30 dB S/Nc ratio over 50 dB of dynamic range for a 1.0 kHz test tone at a 37.7 k bit rate. At 37.7 k bits, 40 voice channels may be multiplexed on a standard 1.544 MB T1 facility. This codec has also been tested for 10^{-7} error rates with asynchronous and synchronous data up to 2400 baud and for reliable performance with DTMF signaling. Thus, the design is applicable in telephone quality subscriber loop carrier systems, subscriber loop concentrators, and small PABX installations.

The Active Companding Network

The unique feature of the codec in Figure 19 is the step size control circuit which uses a companding ratio reference, the present step size, and the present syllabic filter output to establish the optimum companding ratios and step sizes for any given input level. The companding ratio of a CVSD codec is defined as the duty cycle of the coincidence output. It is the parameter measured by the syllabic filter and is the voltage across C_S divided by the voltage swing of the coincidence output. In Figure 19, the voltage swing of Pin 11 is 6.0 V. The operating companding ratio is analogized by the voltage between Pins 10 and 4 by means of the virtual short across Pins 3 and 4 of the V to I op amp within the integrated circuit. Thus, the instantaneous companding ratio of the codec is always available at the negative input of A1.

The diode D1 and the gain of A1 and A2 provide a companding ratio reference for any input level. If the output of A2 is more than 0.7 V below $V_{CC}/2$, then the positive input of A1 is ($V_{CC}/2 - 0.7$). The on diode drop at the input of A1 represents a 12% companding ratio ($12\% = 0.7 \text{ V}/6.0 \text{ V}$).

The present step size of the operating codec is directly related to the voltage across R_X , which established the integrator current. In Figure 19, the voltage across R_X is amplified by the differential amplifier A2 whose output is single ended with respect to Pin 10 of the IC.

For large signal inputs, the step size is large and the output of A2 is lower than 0.7 V. Thus D1 is fully on. The present step size is not a factor in the step size control. However, the difference between 12% companding ratio and

the instantaneous companding ratio at Pin 4 is amplified by A1. The output of A1 changes the voltage across R_X in a direction which reduces the difference between the companding reference and the operating ratio by changing the step size. The ratio of R_4 and R_3 determines how closely the voltage at Pin 4 will be forced to 12%. The selection of R_3 and R_4 is initially experimental. However, the resulting companding control is dependent on R_X , R_3 , R_4 , and the full diode drop D1. These values are easy to reproduce from codec to codec.

For small input levels, the companding ratio reference becomes the output of A2 rather than the diode drop. The operating companding ratio on Pin 4 is then compared to a companding ratio smaller than 12% which is determined by the voltage drop across R_X and the gain of A2 and A1. The gain of A2 is also experimentally determined, but once determined, the circuitry is easily repeated.

With no input signal, the companding ratio at Pin 4 goes to zero and the voltage across R_X goes to zero. The voltage at the output of A2 becomes zero since there is no drop across R_X . With no signal input, the actively controlled step size vanished.

The minimum step size is established by the 500 k resistor between V_{CC} and Pin 4 and is therefore independently selectable.

The signal to noise results of the active companding network are shown in Figure 20. A smooth 2.0 dB drop is realized from 12 dBm to -24 under the control of A1. At -24 dBm, A2 begins to degenerate the companding reference and the resulting step size is reduced so as to extend the dynamic range of the codec by 20 dBm.

The slope overload characteristic is also shown. The active companding network produces improved performance with frequency. The 0 dBm slope overload point is raised to 4.8 kHz because of the gain available in controlling the voltage across R_X . The curves demonstrate that the level linearity has been maintained or improved.*

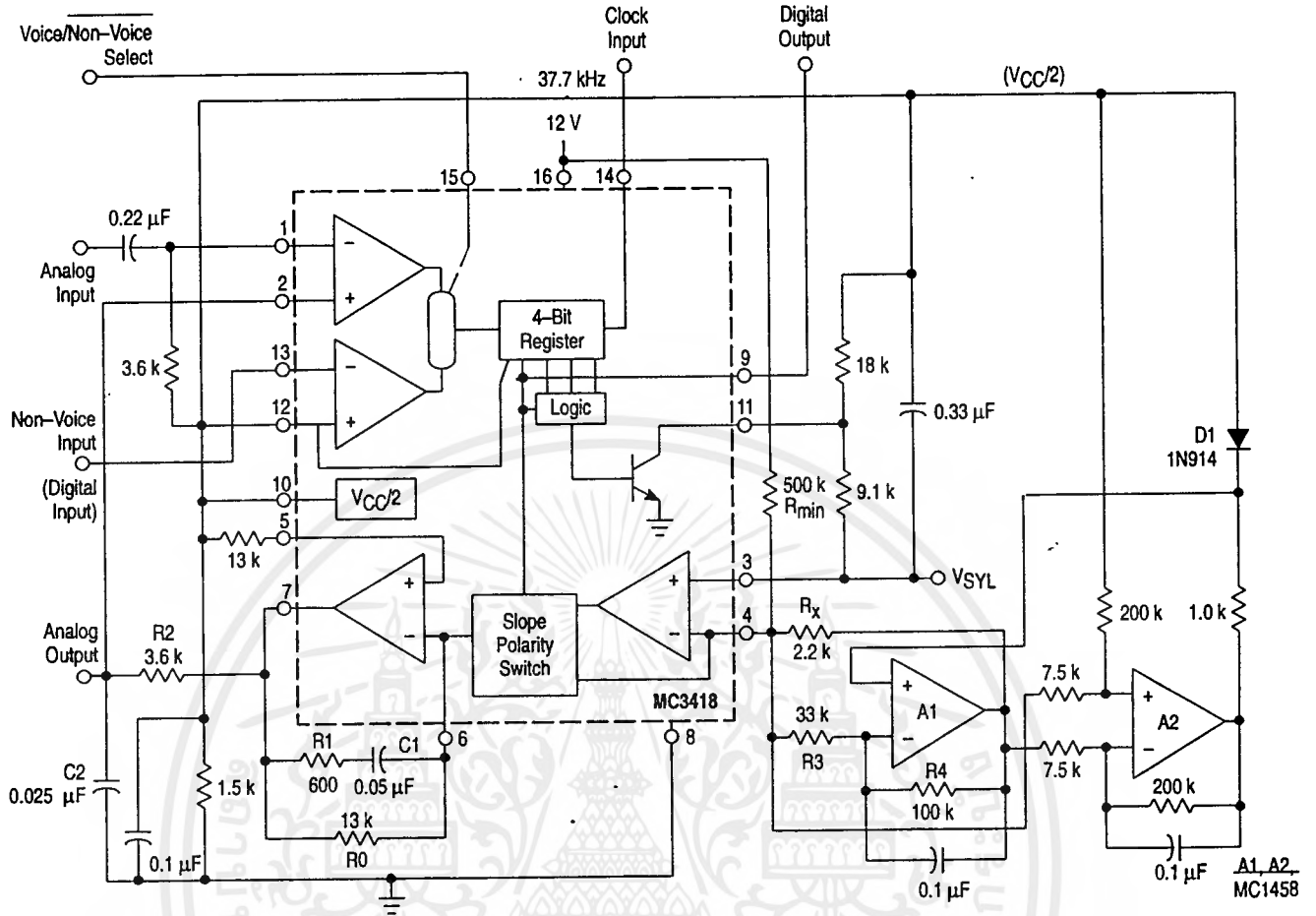
The codec in Figure 19 is designed specifically for 37.7 k bit systems. However, the benefits of the active companding network are not limited to high bit rate systems. By modifying the crossover region (changing the gain of A2), the active technique may be used to improve the performance of lower bit rate systems.

The performance and repeatability of the codec in Figure 19 represents a significant step forward in the art and cost of CVSD codec designs.

*A larger value for C_2 is required in the decoder circuit than in the encoder to adjust the level linearity with frequency. In Figure 19, 0.050 μ F would work well.

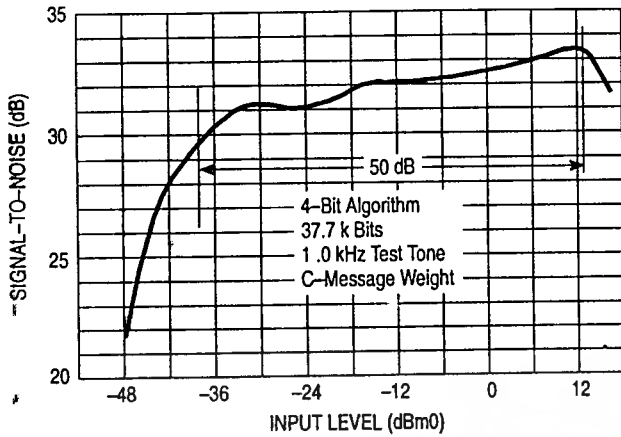
MC3418

Figure 19. Telephone Quality Deltamod Coder*

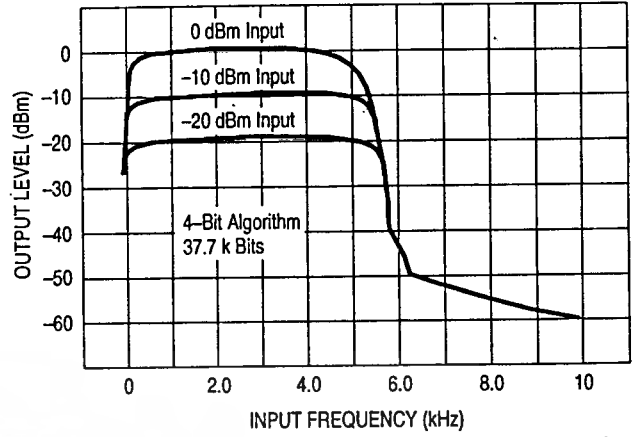


* Both double integration and active companding control are used to obtain improved CVSD performance. Laser trimming of the integrated circuit provides reliable idle channel and step size range characteristics.

Figure 20. Signal-to-Noise Performance and Frequency Response*



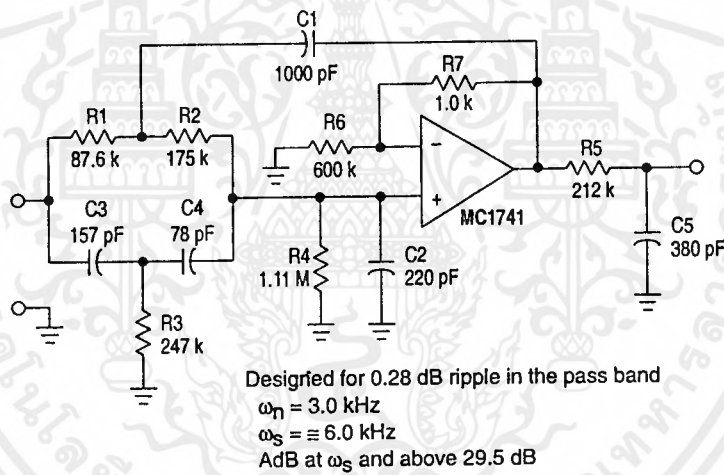
(a) Signal-to-Noise Performance of Telephony Quality Deltamodulator



(b) Frequency Response versus Input Level (Slope Overload Characteristic)

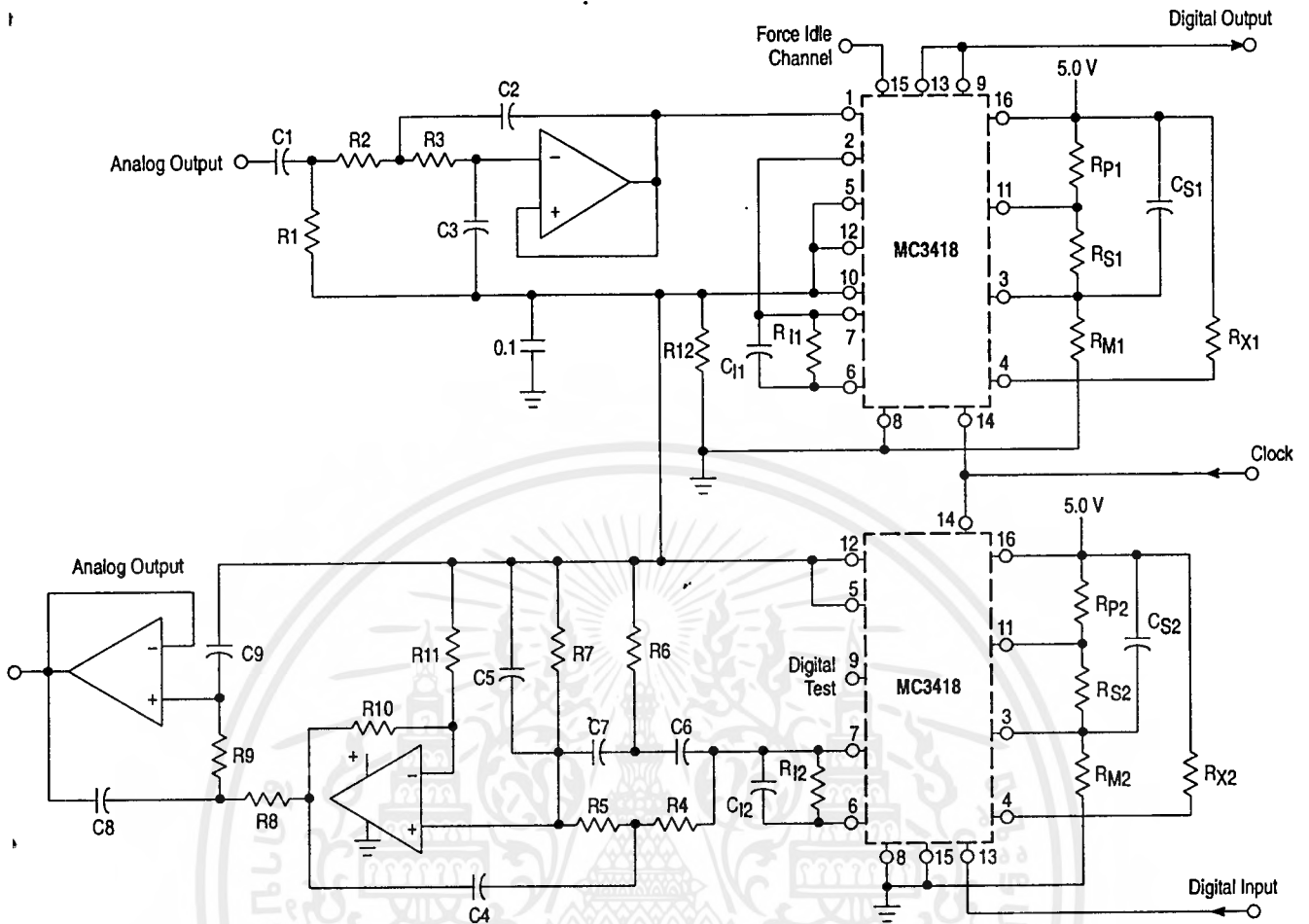
*Showing the improvement realized with the circuit in Figure 19.

Figure 21. High Performance Elliptic Filter for CVSD Output



MC3418

Figure 22. Full Duplex/32 k Bit CVSD Voice Codec



Codec Components

- R_{X1}, R_{X2} - 3.3 kΩ
- R_{P1}, R_{P2} - 3.3 kΩ
- R_{S1}, R_{S2} - 100 kΩ
- R_{I1}, R_{I2} - 20 kΩ
- R_{I2} - 1.0 kΩ
- R_{M1}, R_{M2} - 15 MΩ
- Minimum step size = 6.0 mV
- C_{S1}, C_{S2} - 0.05 μF
- C_{I1}, C_{I2} - 0.05 μF
- 2 MC3418
- 1 MC3403 (or MC3406)

NOTE: All Res. 5%
All Cap. 5%

Input Filter Specifications

- 12 dB/Octave Rolloff above 3.3 kHz
- 6.0 dB/Octave Rolloff below 50 Hz

Output Filter Specifications

- Break Frequency - 3.3 kHz
- Stop Band - 9.0 kHz
- Stop Band Atten. - 50 dB
- Rolloff -> 40 dB/Octave

Filter Components

- R1 - 965 Ω
- R2 - 72 kΩ
- R3 - 72 kΩ
- R4 - 63.46 kΩ
- R5 - 127 kΩ
- R6 - 365.5 kΩ
- R7 - 1.645 MΩ
- R8 - 72 kΩ
- R9 - 72 kΩ
- R10 - 29.5 Ω
- R11 - 72 kΩ
- C1 - 3.3 μF
- C2 - 837 pF
- C3 - 536 pF
- C4 - 1000 pF
- C5 - 222 pF
- C6 - 77 pF
- C7 - 38 pF
- C8 - 837 pF
- C9 - 536 pF

NOTE: All Res. 0.1% to 1%
All Cap. 0.1%

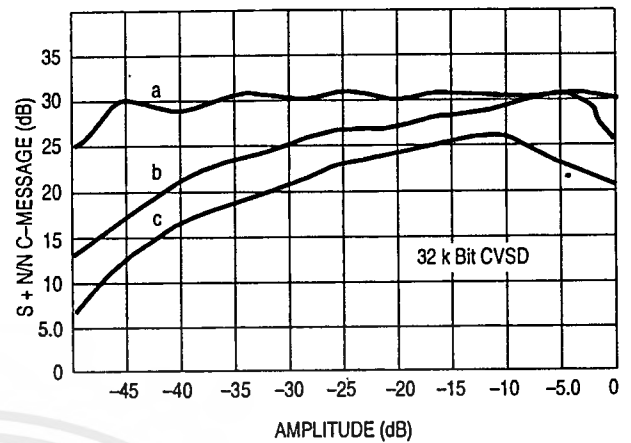
COMPARATIVE CODEC PERFORMANCE

The salient feature of CVSD codecs is versatility. The range of codec complexity tradeoffs and bit rate is so wide that one cannot grasp the interdependency of parameters for voice applications in a few pages.

Design of a specific codec must be tailored to the digital channel bandwidth, the analog bandwidth, the quality of signal transmission required, and the cost objectives. To illustrate the choices available, the data in Figure 23 compares the signal-to-noise ratios and dynamic range of various codec design options at 32 k bits. Generally, the relative merits of each design feature will remain intact in any application. Lowering the bit rate will reduce the dynamic range and noise performance of all techniques. As the bit rate is increased, the overall performance of each technique will improve and the need for more complex designs diminishes.

Non-voice applications of the MC3418 are also possible. In those cases, the signal bandwidth and amplitude characteristics must be defined before the specification of codec parameters can begin. However, in general, the design can proceed along the lines of the voice applications shown here, taking into account the different signal bandwidth requirements.

Figure 23. Comparative Codec Performance – Signal-to-Noise Ratio for 1.0 kHz Test Tone



NOTE: These curves demonstrate the improved performance obtained with several codec designs of varying complexity.

Curve a – Complex companding and double integration (Figure 19)

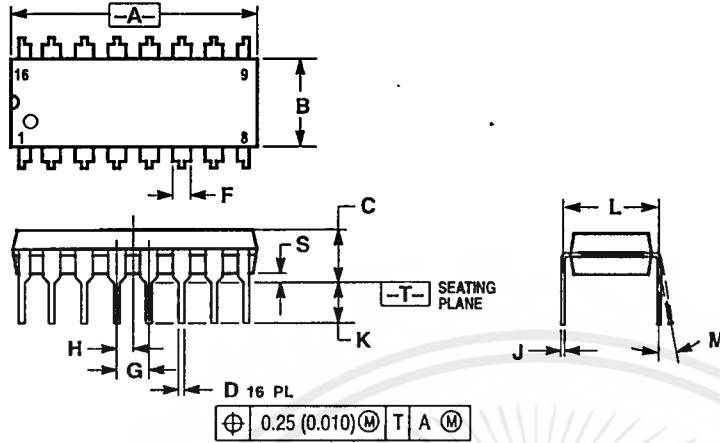
Curve b – Double integration (Figure 14 using Figure 17)

Curve c – Single integration (Figure 14) with 6.0 mV stepsize

MC3418

OUTLINE DIMENSIONS

P SUFFIX PLASTIC PACKAGE CASE 648-08 ISSUE R

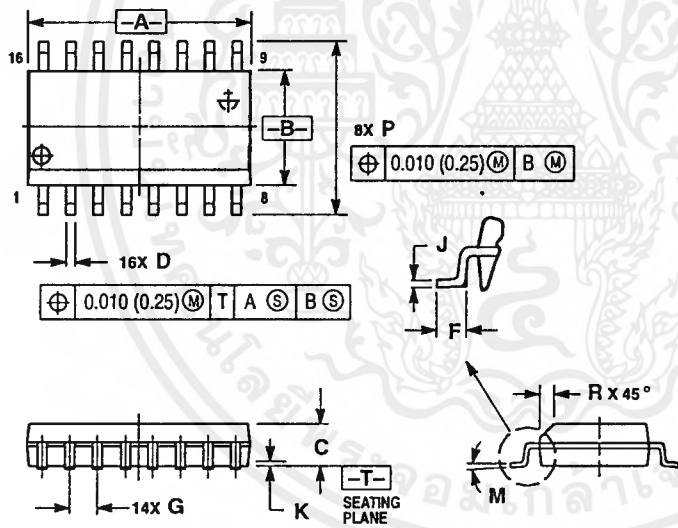


NOTES:

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.740	0.770	18.80	19.55
B	0.250	0.270	6.35	6.85
C	0.145	0.175	3.69	4.44
D	0.015	0.021	0.39	0.53
F	0.040	0.70	1.02	1.77
G	0.100 BSC		2.54 BSC	
H	0.050 BSC		1.27 BSC	
J	0.008	0.015	0.21	0.38
K	0.110	0.130	2.80	3.30
L	0.295	0.305	7.50	7.74
M	0°	10°	0°	10°
S	0.020	0.040	0.51	1.01

DW SUFFIX PLASTIC PACKAGE CASE 751G-02 (SO-16L) ISSUE A




NOTES:

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.13 (0.005) TOTAL IN EXCESS OF D DIMENSION AT MAXIMUM MATERIAL CONDITION.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	10.15	10.45	0.400	0.411
B	7.40	7.60	0.292	0.299
C	2.35	2.65	0.093	0.104
D	0.35	0.49	0.014	0.019
F	0.50	0.90	0.020	0.035
G	1.27 BSC		0.050 BSC	
J	0.25	0.32	0.010	0.012
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	10.05	10.55	0.395	0.415
R	0.25	0.75	0.010	0.029



Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters which may be provided in Motorola data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and  are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

How to reach us:

USA/EUROPE/Locations Not Listed: Motorola Literature Distribution;
P.O. Box 20912; Phoenix, Arizona 85036. 1-800-441-2447 or 602-303-5454

JAPAN: Nippon Motorola Ltd.; Tatsumi-SPD-JLDC, 6F Seibu-Butsuryu-Center,
3-14-2 Tatsumi Koto-Ku, Tokyo 135, Japan. 03-81-3521-8315

MFAX: RMFAX0@email.sps.mot.com - TOUCHTONE 602-244-6609
INTERNET: <http://Design-NET.com>

ASIA/PACIFIC: Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park,
51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852-26629298



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
MOTOROLA
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งยังมีให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารฉบับนี้ไว้ด้วย



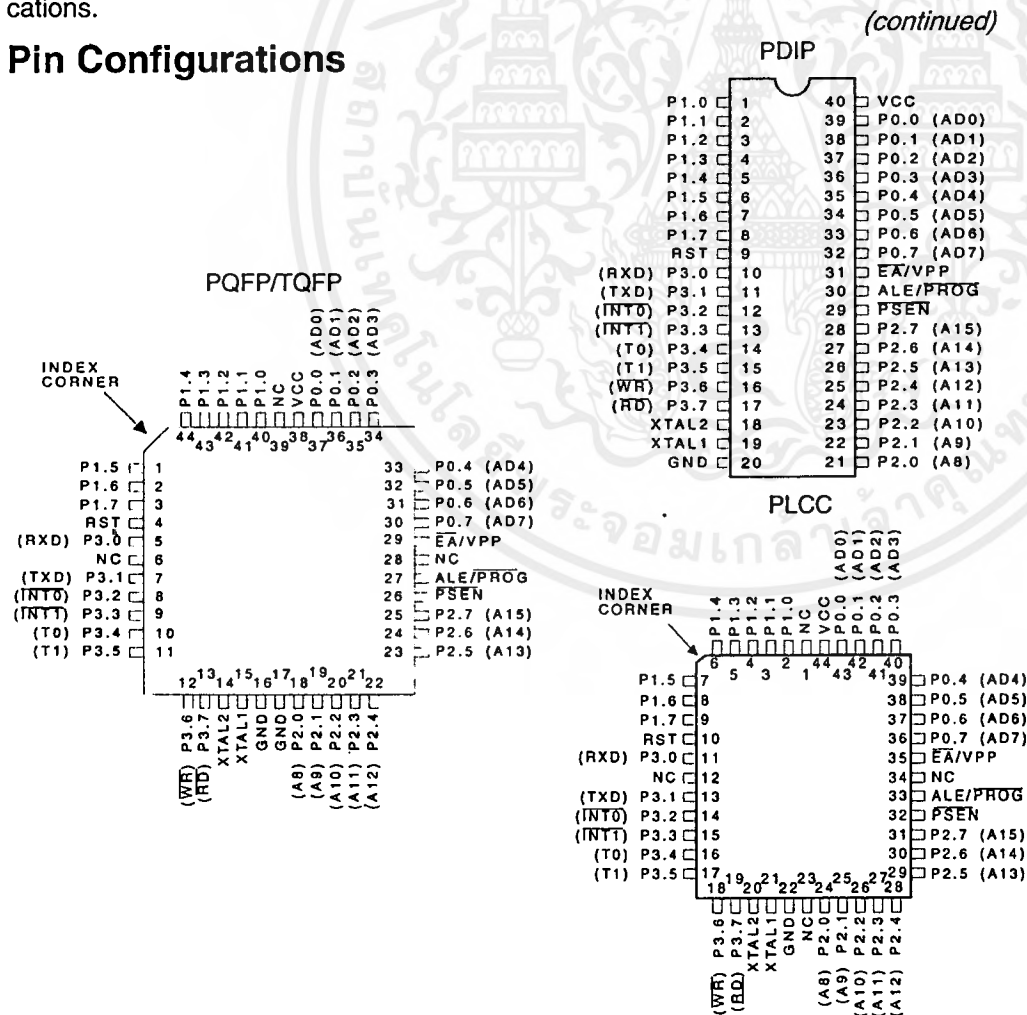
Features

- Compatible with MCS-51™ Products
- 4K Bytes of In-System Reprogrammable Flash Memory
 - Endurance: 1,000 Write/Erase Cycles
- Fully Static Operation: 0 Hz to 24 MHz
- Three-Level Program Memory Lock
- 128 x 8-Bit Internal RAM
- 32 Programmable I/O Lines
- Two 16-Bit Timer/Counters
- Six Interrupt Sources
- Programmable Serial Channel
- Low Power Idle and Power Down Modes

Description

The AT89C51 is a low-power, high-performance CMOS 8-bit microcomputer with 4K bytes of Flash Programmable and Erasable Read Only Memory (PEROM). The device is manufactured using Atmel's high density nonvolatile memory technology and is compatible with the industry standard MCS-51™ instruction set and pinout. The on-chip Flash allows the program memory to be reprogrammed in-system or by a conventional nonvolatile memory programmer. By combining a versatile 8-bit CPU with Flash on a monolithic chip, the Atmel AT89C51 is a powerful microcomputer which provides a highly flexible and cost effective solution to many embedded control applications.

Pin Configurations

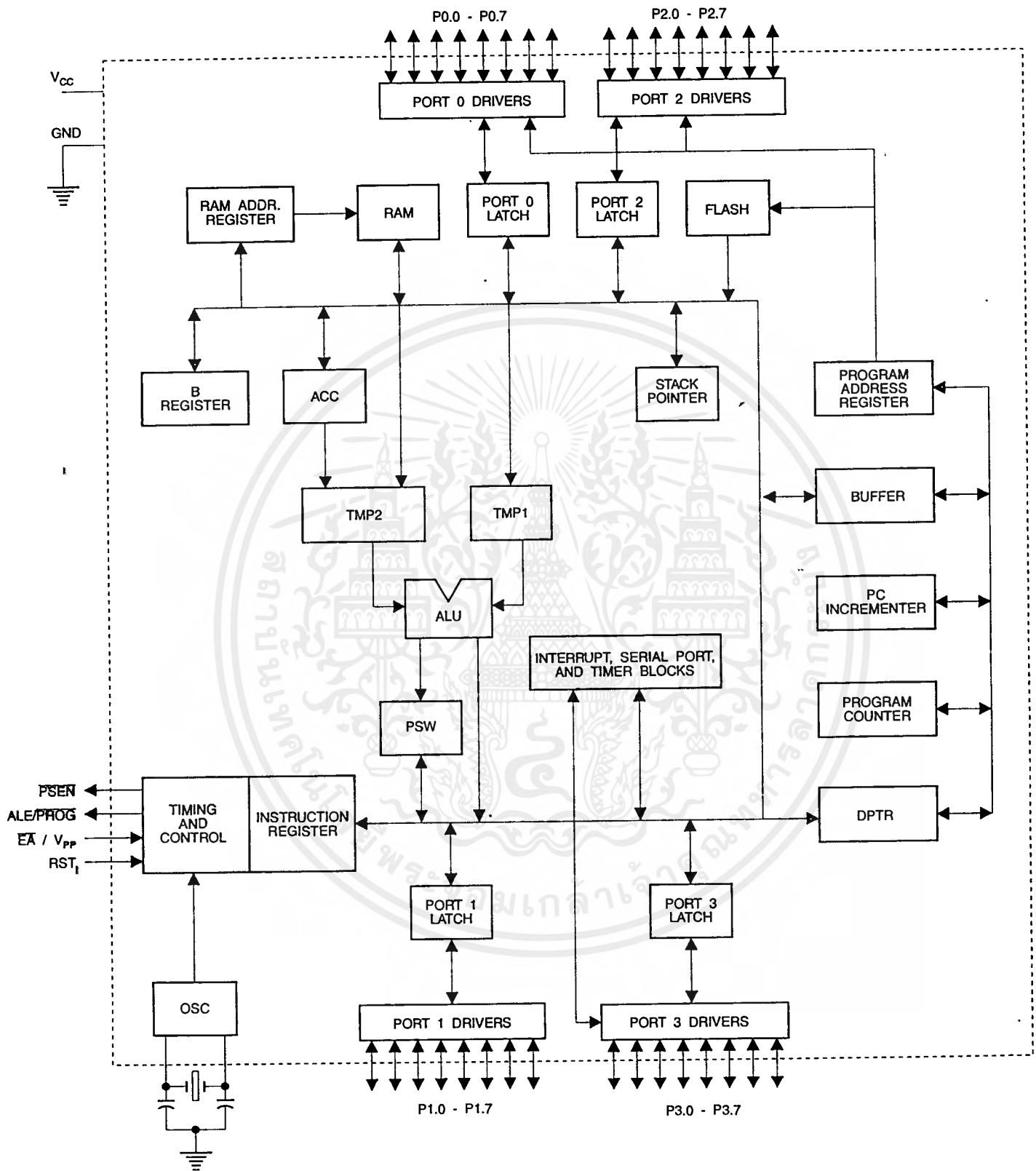


0265F-A-12/97





Block Diagram



The AT89C51 provides the following standard features: 4K bytes of Flash, 128 bytes of RAM, 32 I/O lines, two 16-bit timer/counters, a five vector two-level interrupt architecture, a full duplex serial port, on-chip oscillator and clock circuitry. In addition, the AT89C51 is designed with static logic for operation down to zero frequency and supports two software selectable power saving modes. The Idle Mode stops the CPU while allowing the RAM, timer/counters, serial port and interrupt system to continue functioning. The Power Down Mode saves the RAM contents but freezes the oscillator disabling all other chip functions until the next hardware reset.

Pin Description

V_{CC}
Supply voltage.

GND
Ground.

Port 0

Port 0 is an 8-bit open drain bidirectional I/O port. As an output port each pin can sink eight TTL inputs. When 1s are written to port 0 pins, the pins can be used as high-impedance inputs.

Port 0 may also be configured to be the multiplexed low-order address/data bus during accesses to external program and data memory. In this mode P0 has internal pullups.

Port 0 also receives the code bytes during Flash programming, and outputs the code bytes during program verification. External pullups are required during program verification.

Port 1

Port 1 is an 8-bit bidirectional I/O port with internal pullups. The Port 1 output buffers can sink/source four TTL inputs. When 1s are written to Port 1 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

Port 1 also receives the low-order address bytes during Flash programming and verification.

Port 2

Port 2 is an 8-bit bidirectional I/O port with internal pullups. The Port 2 output buffers can sink/source four TTL inputs. When 1s are written to Port 2 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

Port 2 emits the high-order address byte during fetches from external program memory and during accesses to external data memory that use 16-bit addresses (MOVX @ DPTR). In this application it uses strong internal pullups

when emitting 1s. During accesses to external data memory that use 8-bit addresses (MOVX @ RI), Port 2 emits the contents of the P2 Special Function Register.

Port 2 also receives the high-order address bits and some control signals during Flash programming and verification.

Port 3

Port 3 is an 8-bit bidirectional I/O port with internal pullups. The Port 3 output buffers can sink/source four TTL inputs. When 1s are written to Port 3 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL}) because of the pullups.

Port 3 also serves the functions of various special features of the AT89C51 as listed below:

Port Pin	Alternate Functions
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	$\overline{INT0}$ (external interrupt 0)
P3.3	$\overline{INT1}$ (external interrupt 1)
P3.4	T0 (timer 0 external input)
P3.5	T1 (timer 1 external input)
P3.6	\overline{WR} (external data memory write strobe)
P3.7	\overline{RD} (external data memory read strobe)

Port 3 also receives some control signals for Flash programming and verification.

RST

Reset input. A high on this pin for two machine cycles while the oscillator is running resets the device.

ALE/ \overline{PROG}

Address Latch Enable output pulse for latching the low byte of the address during accesses to external memory. This pin is also the program pulse input (\overline{PROG}) during Flash programming.

In normal operation ALE is emitted at a constant rate of 1/6 the oscillator frequency, and may be used for external timing or clocking purposes. Note, however, that one ALE pulse is skipped during each access to external Data Memory.

If desired, ALE operation can be disabled by setting bit 0 of SFR location 8EH. With the bit set, ALE is active only during a MOVX or MOVC instruction. Otherwise, the pin is weakly pulled high. Setting the ALE-disable bit has no effect if the microcontroller is in external execution mode.

\overline{PSEN}

Program Store Enable is the read strobe to external program memory.



When the AT89C51 is executing code from external program memory, \overline{PSEN} is activated twice each machine cycle, except that two \overline{PSEN} activations are skipped during each access to external data memory.

\overline{EA}/V_{PP}

External Access Enable. \overline{EA} must be strapped to GND in order to enable the device to fetch code from external program memory locations starting at 0000H up to FFFFH. Note, however, that if lock bit 1 is programmed, \overline{EA} will be internally latched on reset.

\overline{EA} should be strapped to V_{CC} for internal program executions.

This pin also receives the 12-volt programming enable voltage (V_{PP}) during Flash programming, for parts that require 12-volt V_{PP} .

XTAL1

Input to the inverting oscillator amplifier and input to the internal clock operating circuit.

XTAL2

Output from the inverting oscillator amplifier.

Oscillator Characteristics

XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier which can be configured for use as an on-chip oscillator, as shown in Figure 1. Either a quartz crystal or ceramic resonator may be used. To drive the device from an external clock source, XTAL2 should be left unconnected while XTAL1 is driven as shown in Figure 2. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum voltage high and low time specifications must be observed.

Idle Mode

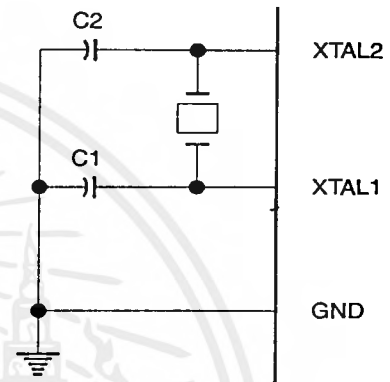
In idle mode, the CPU puts itself to sleep while all the on-chip peripherals remain active. The mode is invoked by software. The content of the on-chip RAM and all the special functions registers remain unchanged during this mode. The idle mode can be terminated by any enabled interrupt or by a hardware reset.

Status of External Pins During Idle and Power Down Modes

Mode	Program Memory	ALE	\overline{PSEN}	PORT0	PORT1	PORT2	PORT3
Idle	Internal	1	1	Data	Data	Data	Data
Idle	External	1	1	Float	Data	Address	Data
Power Down	Internal	0	0	Data	Data	Data	Data
Power Down	External	0	0	Float	Data	Data	Data

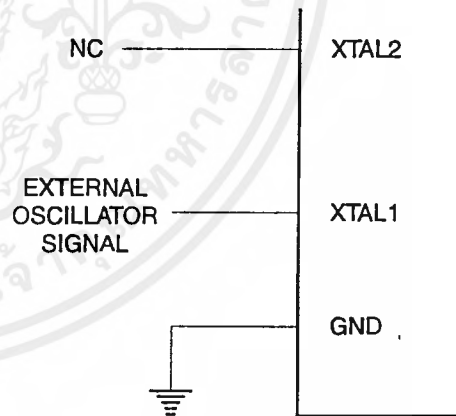
It should be noted that when idle is terminated by a hardware reset, the device normally resumes program execution, from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hardware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write to a port pin when Idle is terminated by reset, the instruction following the one that invokes Idle should not be one that writes to a port pin or to external memory.

Figure 1. Oscillator Connections



Note: C1, C2 = 30 pF ± 10 pF for Crystals
= 40 pF ± 10 pF for Ceramic Resonators

Figure 2. External Clock Drive Configuration



Power Down Mode

In the power down mode the oscillator is stopped, and the instruction that invokes power down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values until the power down mode is terminated. The only exit from power down is a hardware reset. Reset redefines the SFRs but does not change the on-chip RAM. The reset should not be activated before V_{CC} is restored to its normal operating level and must be held active long enough to allow the oscillator to restart and stabilize.

Lock Bit Protection Modes

	Program Lock Bits			Protection Type
	LB1	LB2	LB3	
1	U	U	U	No program lock features.
2	P	U	U	MOV _C instructions executed from external program memory are disabled from fetching code bytes from internal memory, \overline{EA} is sampled and latched on reset, and further programming of the Flash is disabled.
3	P	P	U	Same as mode 2, also verify is disabled.
4	P	P	P	Same as mode 3, also external execution is disabled.

Programming the Flash

The AT89C51 is normally shipped with the on-chip Flash memory array in the erased state (that is, contents = FFH) and ready to be programmed. The programming interface accepts either a high-voltage (12-volt) or a low-voltage (V_{CC}) program enable signal. The low voltage programming mode provides a convenient way to program the AT89C51 inside the user's system, while the high-voltage programming mode is compatible with conventional third party Flash or EPROM programmers.

The AT89C51 is shipped with either the high-voltage or low-voltage programming mode enabled. The respective top-side marking and device signature codes are listed in the following table.

	$V_{PP} = 12V$	$V_{PP} = 5V$
Top-Side Mark	AT89C51 xxxx yyww	AT89C51 xxxx-5 yyww
Signature	(030H)=1EH (031H)=51H (032H)=FFH	(030H)=1EH (031H)=51H (032H)=05H

The AT89C51 code memory array is programmed byte-by-byte in either programming mode. *To program any non-blank byte in the on-chip Flash Memory, the entire memory must be erased using the Chip Erase Mode.*

Program Memory Lock Bits

On the chip are three lock bits which can be left unprogrammed (U) or can be programmed (P) to obtain the additional features listed in the table below:

When lock bit 1 is programmed, the logic level at the \overline{EA} pin is sampled and latched during reset. If the device is powered up without a reset, the latch initializes to a random value, and holds that value until reset is activated. It is necessary that the latched value of \overline{EA} be in agreement with the current logic level at that pin in order for the device to function properly.

Programming Algorithm: Before programming the AT89C51, the address, data and control signals should be set up according to the Flash programming mode table and Figures 3 and 4. To program the AT89C51, take the following steps.

1. Input the desired memory location on the address lines.
2. Input the appropriate data byte on the data lines.
3. Activate the correct combination of control signals.
4. Raise \overline{EA}/V_{PP} to 12V for the high-voltage programming mode.
5. Pulse $\overline{ALE}/\overline{PROG}$ once to program a byte in the Flash array or the lock bits. The byte-write cycle is self-timed and typically takes no more than 1.5 ms. Repeat steps 1 through 5, changing the address and data for the entire array or until the end of the object file is reached.

Data Polling: The AT89C51 features Data Polling to indicate the end of a write cycle. During a write cycle, an attempted read of the last byte written will result in the complement of the written datum on PO.7. Once the write cycle has been completed, true data are valid on all outputs, and the next cycle may begin. Data Polling may begin any time after a write cycle has been initiated.

Ready/Busy: The progress of byte programming can also be monitored by the RDY/ \overline{BSY} output signal. P3.4 is pulled low after ALE goes high during programming to indicate BUSY. P3.4 is pulled high again when programming is done to indicate READY.





Program Verify: If lock bits LB1 and LB2 have not been programmed, the programmed code data can be read back via the address and data lines for verification. The lock bits cannot be verified directly. Verification of the lock bits is achieved by observing that their features are enabled.

Chip Erase: The entire Flash array is erased electrically by using the proper combination of control signals and by holding ALE/PROG low for 10 ms. The code array is written with all "1"s. The chip erase operation must be executed before the code memory can be re-programmed.

Reading the Signature Bytes: The signature bytes are read by the same procedure as a normal verification of locations 030H,

031H, and 032H, except that P3.6 and P3.7 must be pulled to a logic low. The values returned are as follows:

- (030H) = 1EH indicates manufactured by Atmel
- (031H) = 51H indicates 89C51
- (032H) = FFH indicates 12V programming
- (032H) = 05H indicates 5V programming

Programming Interface

Every code byte in the Flash array can be written and the entire array can be erased by using the appropriate combination of control signals. The write operation cycle is self-timed and once initiated, will automatically time itself to completion.

All major programming vendors offer worldwide support for the Atmel microcontroller series. Please contact your local programming vendor for the appropriate software revision.

Flash Programming Modes

Mode	RST	PSEN	ALE/PROG	EA/V _{pp}	P2.6	P2.7	P3.6	P3.7
Write Code Data	H	L		H/12V	L	H	H	H
Read Code Data	H	L	H	H	L	L	H	H
Write Lock	H	L	Bit - 1 	H/12V	H	H	H	H
			Bit - 2 					
			Bit - 3 					
Chip Erase	H	L	(1)	H/12V	H	L	L	L
Read Signature Byte	H	L	H	H	L	L	L	L

Note: 1. Chip Erase requires a 10-ms PROG pulse.

Figure 3. Programming the Flash

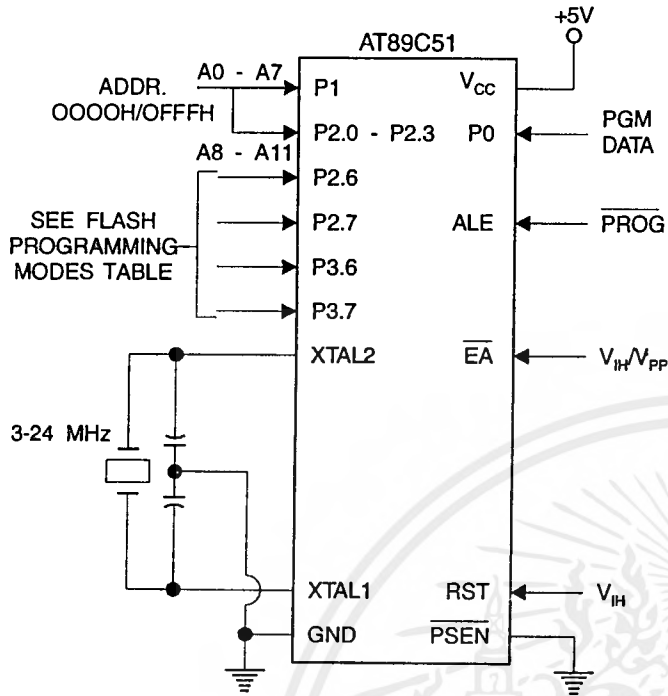
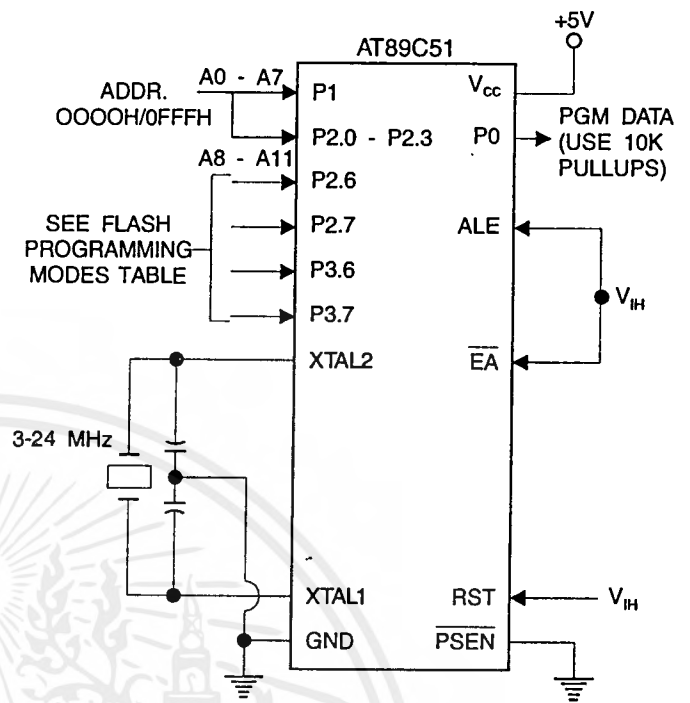


Figure 4. Verifying the Flash



Flash Programming and Verification Characteristics

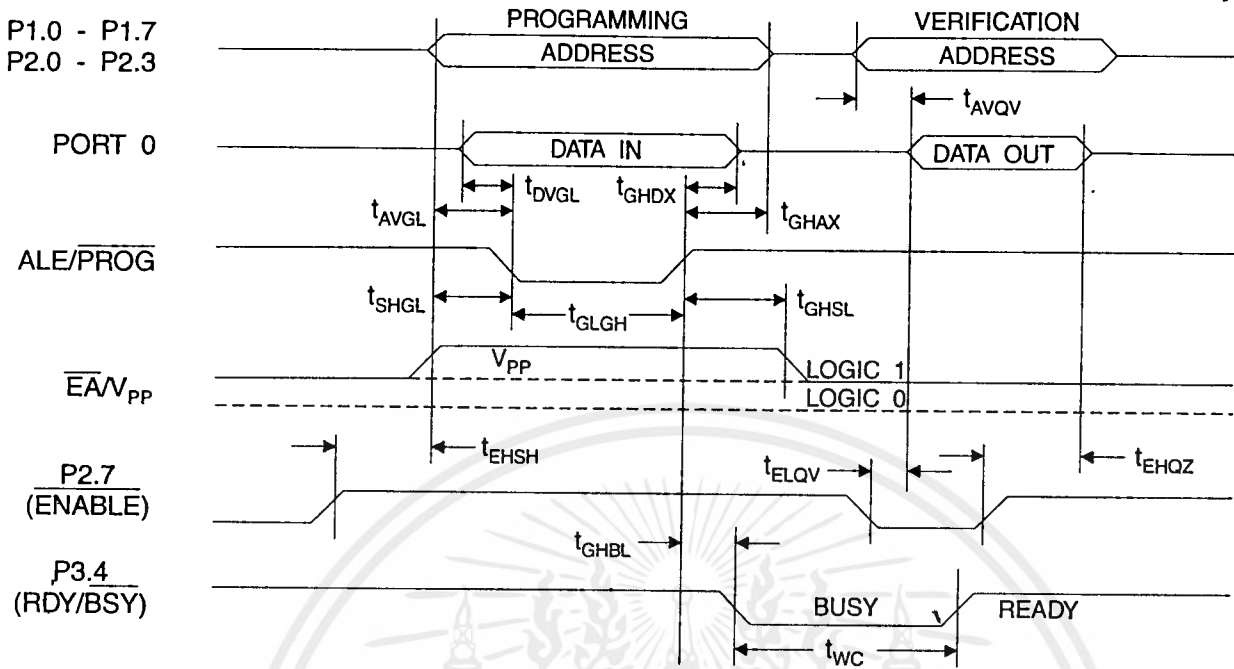
$T_A = 0^\circ\text{C to } 70^\circ\text{C}$, $V_{CC} = 5.0 \pm 10\%$

Symbol	Parameter	Min	Max	Units
$V_{PP}^{(1)}$	Programming Enable Voltage	11.5	12.5	V
$I_{PP}^{(1)}$	Programming Enable Current		1.0	mA
$1/t_{CLCL}$	Oscillator Frequency	3	24	MHz
t_{AVGL}	Address Setup to $\overline{\text{PROG}}$ Low	$48t_{CLCL}$		
t_{GHAX}	Address Hold After $\overline{\text{PROG}}$	$48t_{CLCL}$		
t_{DVGL}	Data Setup to $\overline{\text{PROG}}$ Low	$48t_{CLCL}$		
t_{GHDX}	Data Hold After $\overline{\text{PROG}}$	$48t_{CLCL}$		
t_{EHS}	P2.7 ($\overline{\text{ENABLE}}$) High to V_{PP}	$48t_{CLCL}$		
t_{SHGL}	V_{PP} Setup to $\overline{\text{PROG}}$ Low	10		μs
$t_{GHS}^{(1)}$	V_{PP} Hold After $\overline{\text{PROG}}$	10		μs
t_{GLGH}	$\overline{\text{PROG}}$ Width	1	110	μs
t_{AVQV}	Address to Data Valid		$48t_{CLCL}$	
t_{ELQV}	$\overline{\text{ENABLE}}$ Low to Data Valid		$48t_{CLCL}$	
t_{EHQZ}	Data Float After $\overline{\text{ENABLE}}$	0	$48t_{CLCL}$	
t_{GHBL}	$\overline{\text{PROG}}$ High to $\overline{\text{BUSY}}$ Low		1.0	μs
t_{WC}	Byte Write Cycle Time		2.0	ms

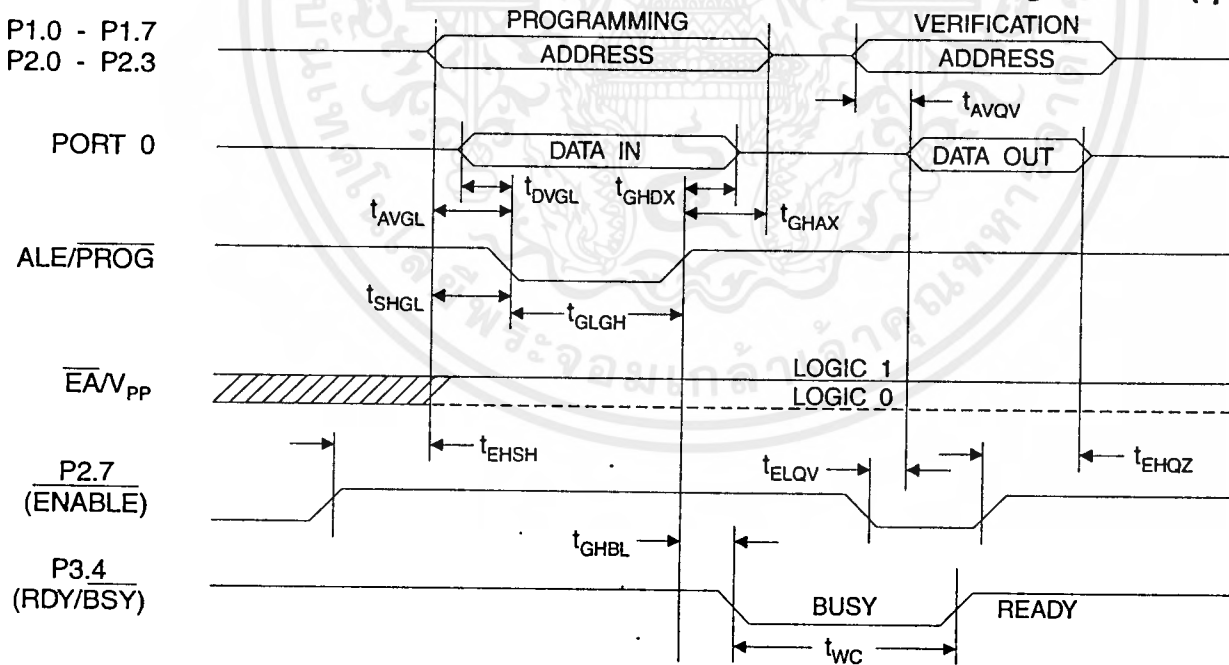
Note: 1. Only used in 12-volt programming mode.



Flash Programming and Verification Waveforms - High Voltage Mode ($V_{PP} = 12V$)



Flash Programming and Verification Waveforms - Low Voltage Mode ($V_{PP} = 5V$)



Absolute Maximum Ratings*

Operating Temperature	-55°C to +125°C
Storage Temperature	-65°C to +150°C
Voltage on Any Pin with Respect to Ground	-1.0V to +7.0V
Maximum Operating Voltage.....	6.6V
DC Output Current.....	15.0 mA

*NOTICE: Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC Characteristics

$T_A = -40^\circ\text{C}$ to 85°C , $V_{CC} = 5.0\text{V} \pm 20\%$ (unless otherwise noted)

Symbol	Parameter	Condition	Min	Max	Units
V_{IL}	Input Low Voltage	(Except \overline{EA})	-0.5	$0.2 V_{CC} - 0.1$	V
V_{IL1}	Input Low Voltage (\overline{EA})		-0.5	$0.2 V_{CC} - 0.3$	V
V_{IH}	Input High Voltage	(Except XTAL1, RST)	$0.2 V_{CC} + 0.9$	$V_{CC} + 0.5$	V
V_{IH1}	Input High Voltage	(XTAL1, RST)	$0.7 V_{CC}$	$V_{CC} + 0.5$	V
V_{OL}	Output Low Voltage ⁽¹⁾ (Ports 1,2,3)	$I_{OL} = 1.6 \text{ mA}$		0.45	V
V_{OL1}	Output Low Voltage ⁽¹⁾ (Port 0, ALE, \overline{PSEN})	$I_{OL} = 3.2 \text{ mA}$		0.45	V
V_{OH}	Output High Voltage (Ports 1,2,3, ALE, \overline{PSEN})	$I_{OH} = -60 \mu\text{A}$, $V_{CC} = 5\text{V} \pm 10\%$	2.4		V
		$I_{OH} = -25 \mu\text{A}$	$0.75 V_{CC}$		V
		$I_{OH} = -10 \mu\text{A}$	$0.9 V_{CC}$		V
V_{OH1}	Output High Voltage (Port 0 in External Bus Mode)	$I_{OH} = -800 \mu\text{A}$, $V_{CC} = 5\text{V} \pm 10\%$	2.4		V
		$I_{OH} = -300 \mu\text{A}$	$0.75 V_{CC}$		V
		$I_{OH} = -80 \mu\text{A}$	$0.9 V_{CC}$		V
I_{IL}	Logical 0 Input Current (Ports 1,2,3)	$V_{IN} = 0.45\text{V}$		-50	μA
I_{TL}	Logical 1 to 0 Transition Current (Ports 1,2,3)	$V_{IN} = 2\text{V}$, $V_{CC} = 5\text{V} \pm 10\%$		-650	μA
I_{LI}	Input Leakage Current (Port 0, \overline{EA})	$0.45 < V_{IN} < V_{CC}$		± 10	μA
RRST	Reset Pulldown Resistor		50	300	$\text{k}\Omega$
C_{IO}	Pin Capacitance	Test Freq. = 1 MHz, $T_A = 25^\circ\text{C}$		10	pF
I_{CC}	Power Supply Current	Active Mode, 12 MHz		20	mA
		Idle Mode, 12 MHz		5	mA
	Power Down Mode ⁽²⁾	$V_{CC} = 6\text{V}$		100	μA
		$V_{CC} = 3\text{V}$		40	μA

Notes: 1. Under steady state (non-transient) conditions, I_{OL} must be externally limited as follows:

Maximum I_{OL} per port pin: 10 mA

Maximum I_{OL} per 8-bit port: Port 0: 26 mA

Ports 1, 2, 3: 15 mA

Maximum total I_{OL} for all output pins: 71 mA

If I_{OL} exceeds the test condition, V_{OL} may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.

2. Minimum V_{CC} for Power Down is 2V.

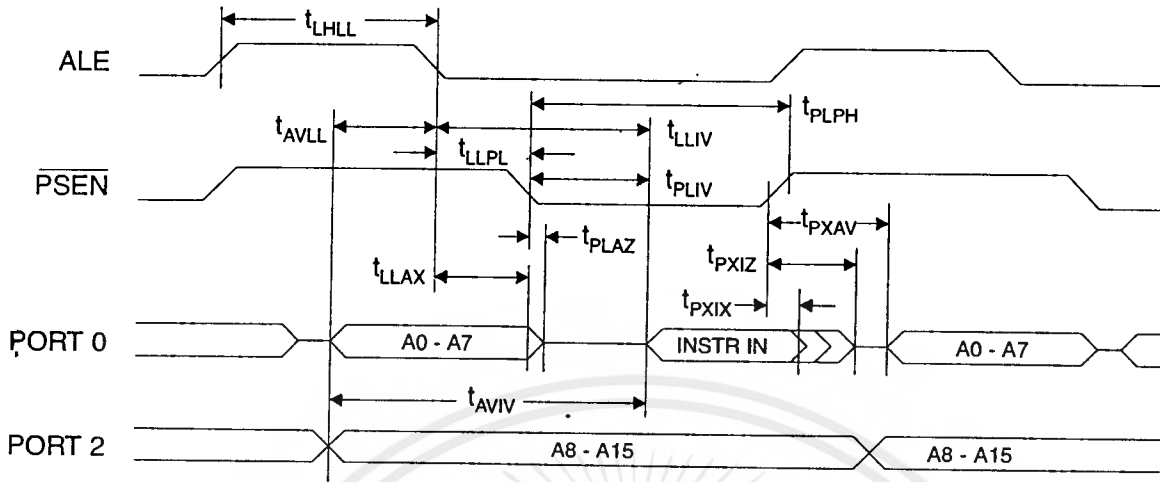
AC Characteristics

(Under Operating Conditions; Load Capacitance for Port 0, ALE/PROG, and PSEN = 100 pF; Load Capacitance for all other outputs = 80 pF)

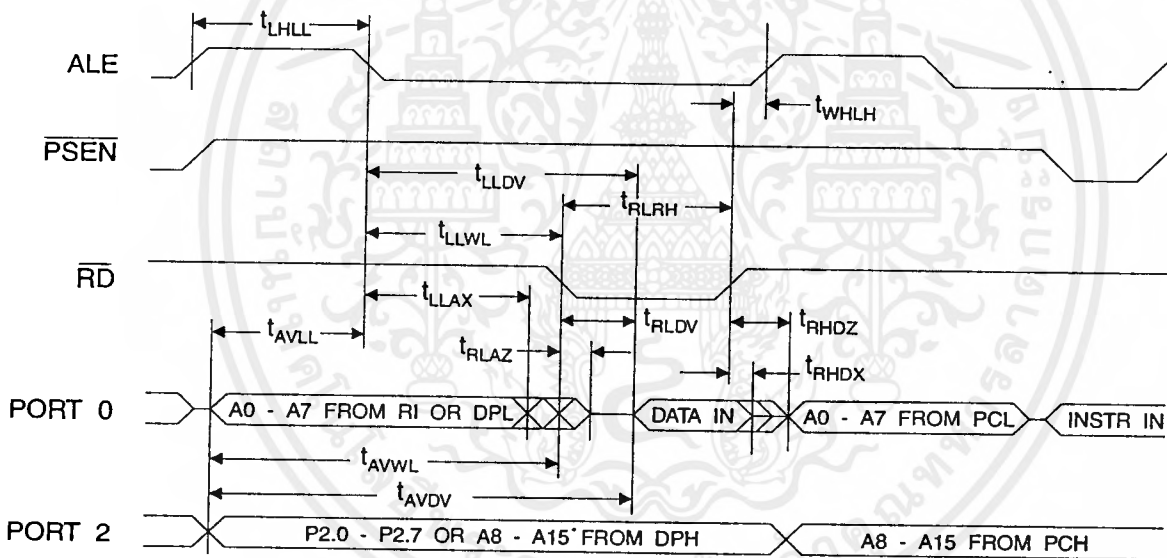
External Program and Data Memory Characteristics

Symbol	Parameter	12 MHz Oscillator		16 to 24 MHz Oscillator		Units
		Min	Max	Min	Max	
$1/t_{CLCL}$	Oscillator Frequency			0	24	MHz
t_{LHLL}	ALE Pulse Width	127		$2t_{CLCL}-40$		ns
t_{AVLL}	Address Valid to ALE Low	43		$t_{CLCL}-13$		ns
t_{LLAX}	Address Hold After ALE Low	48		$t_{CLCL}-20$		ns
t_{LLIV}	ALE Low to Valid Instruction In		233		$4t_{CLCL}-65$	ns
t_{LLPL}	ALE Low to PSEN Low	43		$t_{CLCL}-13$		ns
t_{PLPH}	PSEN Pulse Width	205		$3t_{CLCL}-20$		ns
t_{PLIV}	PSEN Low to Valid Instruction In		145		$3t_{CLCL}-45$	ns
t_{PXIX}	Input Instruction Hold After PSEN	0		0		ns
t_{PXIZ}	Input Instruction Float After PSEN		59		$t_{CLCL}-10$	ns
t_{PXAV}	PSEN to Address Valid	75		$t_{CLCL}-8$		ns
t_{AVIV}	Address to Valid Instruction In		312		$5t_{CLCL}-55$	ns
t_{PLAZ}	PSEN Low to Address Float		10		10	ns
t_{RLRH}	RD Pulse Width	400		$6t_{CLCL}-100$		ns
t_{WLWH}	WR Pulse Width	400		$6t_{CLCL}-100$		ns
t_{RLDV}	RD Low to Valid Data In		252		$5t_{CLCL}-90$	ns
t_{RHDX}	Data Hold After RD	0		0		ns
t_{RHDX}	Data Float After RD		97		$2t_{CLCL}-28$	ns
t_{LLDV}	ALE Low to Valid Data In		517		$8t_{CLCL}-150$	ns
t_{AVDV}	Address to Valid Data In		585		$9t_{CLCL}-165$	ns
t_{LLWL}	ALE Low to RD or WR Low	200	300	$3t_{CLCL}-50$	$3t_{CLCL}+50$	ns
t_{AVWL}	Address to RD or WR Low	203		$4t_{CLCL}-75$		ns
t_{QVWX}	Data Valid to WR Transition	23		$t_{CLCL}-20$		ns
t_{QVWH}	Data Valid to WR High	433		$7t_{CLCL}-120$		ns
t_{WHQX}	Data Hold After WR	33		$t_{CLCL}-20$		ns
t_{RLAZ}	RD Low to Address Float		0		0	ns
t_{WHLH}	RD or WR High to ALE High	43	123	$t_{CLCL}-20$	$t_{CLCL}+25$	ns

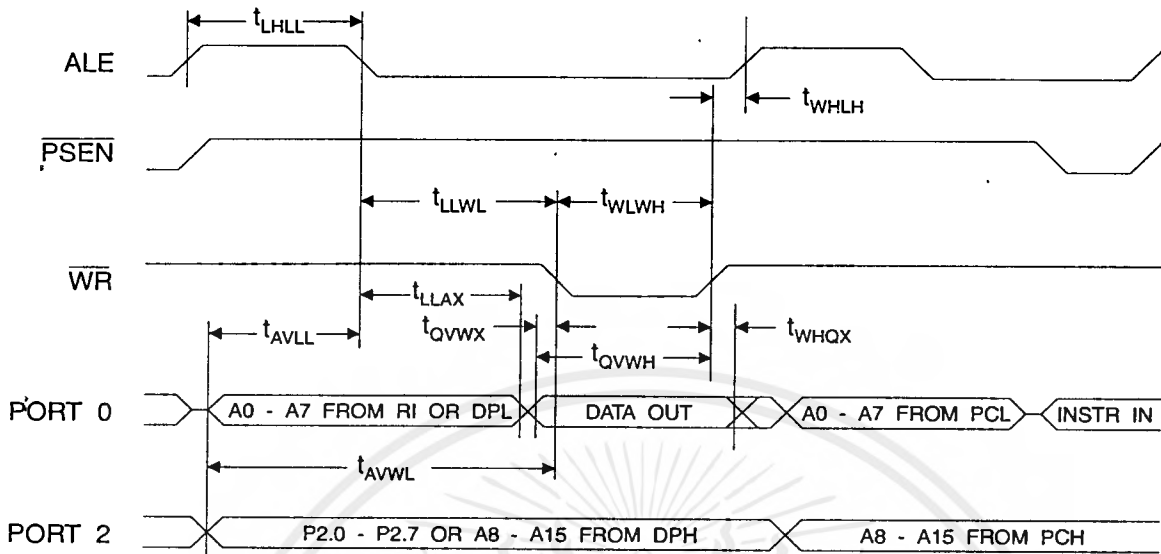
External Program Memory Read Cycle



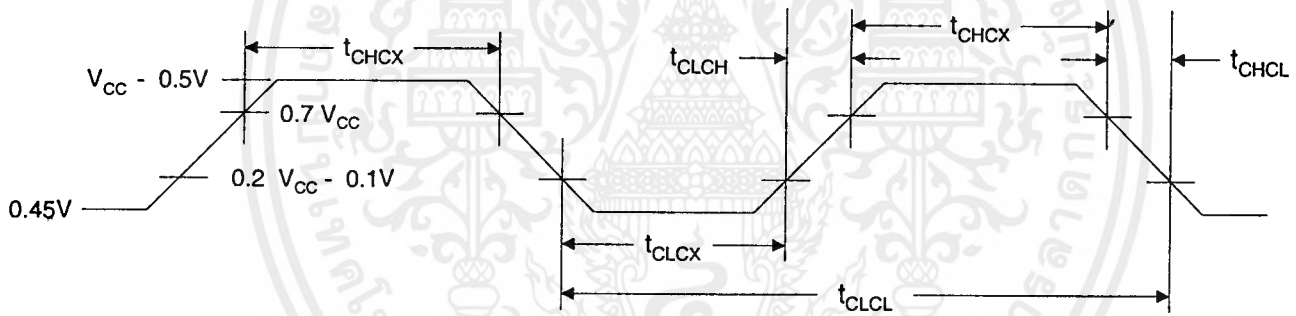
External Data Memory Read Cycle



External Data Memory Write Cycle



External Clock Drive Waveforms



External Clock Drive

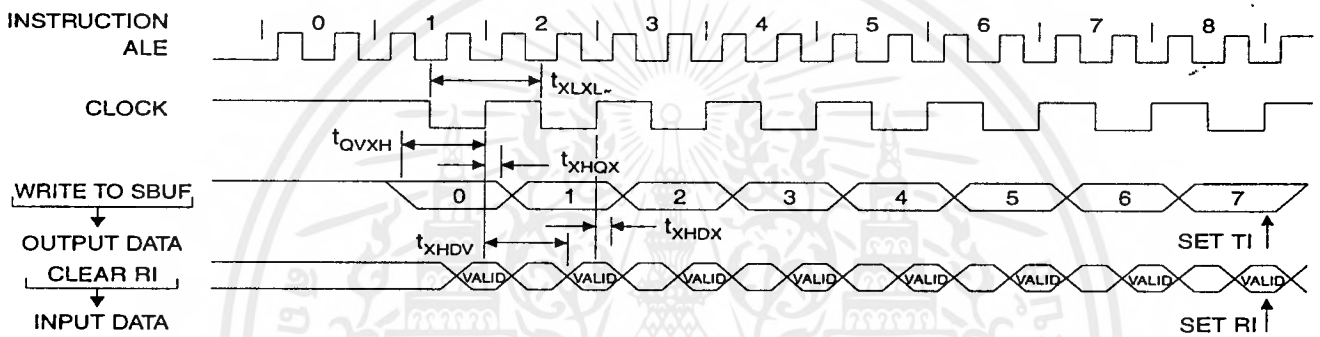
Symbol	Parameter	Min	Max	Units
$1/t_{CLCL}$	Oscillator Frequency	0	24	MHz
t_{CLCL}	Clock Period	41.6		ns
t_{CHCX}	High Time	15		ns
t_{CLCX}	Low Time	15		ns
t_{CLCH}	Rise Time		20	ns
t_{CHCL}	Fall Time		20	ns

Serial Port Timing: Shift Register Mode Test Conditions

(V_{CC} = 5.0 V ± 20%; Load Capacitance = 80 pF)

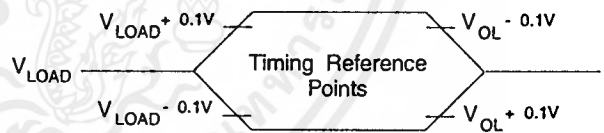
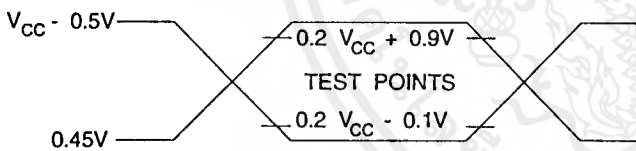
Symbol	Parameter	12 MHz Osc		Variable Oscillator		Units
		Min	Max	Min	Max	
t _{XLXL}	Serial Port Clock Cycle Time	1.0		12t _{CLCL}		μs
t _{QVXH}	Output Data Setup to Clock Rising Edge	700		10t _{CLCL} -133		ns
t _{XHQX}	Output Data Hold After Clock Rising Edge	50		2t _{CLCL} -117		ns
t _{XHDX}	Input Data Hold After Clock Rising Edge	0		0		ns
t _{XHDV}	Clock Rising Edge to Input Data Valid		700		10t _{CLCL} -133	ns

Shift Register Mode Timing Waveforms



AC Testing Input/Output Waveforms⁽¹⁾

Float Waveforms⁽¹⁾



Note: 1. AC Inputs during testing are driven at V_{CC} - 0.5V for a logic 1 and 0.45V for a logic 0. Timing measurements are made at V_{IH} min. for a logic 1 and V_{IL} max. for a logic 0.

Note: 1. For timing purposes, a port pin is no longer floating when a 100 mV change from load voltage occurs. A port pin begins to float when 100 mV change from the loaded V_{OH}/V_{OL} level occurs.





Ordering Information

Speed (MHz)	Power Supply	Ordering Code	Package	Operation Range
12	5V ± 20%	AT89C51-12AC	44A	Commercial (0°C to 70°C)
		AT89C51-12JC	44J	
		AT89C51-12PC	40P6	
		AT89C51-12QC	44Q	
		AT89C51-12AI	44A	Industrial (-40°C to 85°C)
		AT89C51-12JI	44J	
		AT89C51-12PI	40P6	
		AT89C51-12QI	44Q	
		AT89C51-12AA	44A	Automotive (-40°C to 105°C)
		AT89C51-12JA	44J	
		AT89C51-12PA	40P6	
		AT89C51-12QA	44Q	
16	5V ± 20%	AT89C51-16AC	44A	Commercial (0°C to 70°C)
		AT89C51-16JC	44J	
		AT89C51-16PC	40P6	
		AT89C51-16QC	44Q	
		AT89C51-16AI	44A	Industrial (-40°C to 85°C)
		AT89C51-16JI	44J	
		AT89C51-16PI	40P6	
		AT89C51-16QI	44Q	
		AT89C51-16AA	44A	Automotive (-40°C to 105°C)
		AT89C51-16JA	44J	
		AT89C51-16PA	40P6	
		AT89C51-16QA	44Q	
20	5V ± 20%	AT89C51-20AC	44A	Commercial (0°C to 70°C)
		AT89C51-20JC	44J	
		AT89C51-20PC	40P6	
		AT89C51-20QC	44Q	
		AT89C51-20AI	44A	Industrial (-40°C to 85°C)
		AT89C51-20JI	44J	
		AT89C51-20PI	40P6	
		AT89C51-20QI	44Q	

Ordering Information

Speed (MHz)	Power Supply	Ordering Code	Package	Operation Range
24	5V ± 20%	AT89C51-24AC	44A	Commercial (0°C to 70°C)
		AT89C51-24JC	44J	
		AT89C51-24PC	44P6	
		AT89C51-24QC	44Q	
		AT89C51-24AI	44A	Industrial (-40°C to 85°C)
		AT89C51-24JI	44J	
		AT89C51-24PI	44P6	
		AT89C51-24QI	44Q	



Package Type	
44A	44 Lead, Thin Plastic Gull Wing Quad Flatpack (TQFP)
44J	44 Lead, Plastic J-Leaded Chip Carrier (PLCC)
40P6	40 Lead, 0.600" Wide, Plastic Dual Inline Package (PDIP)
44Q	44 Lead, Plastic Gull Wing Quad Flatpack (PQFP)



บรรณานุกรม

John Pearson ; Basic Communication Theory , p.245 – 248

Mischa Schwartz ; Information Transmission , modulation , and noise , 3rd , p.140 - 155

ATMEL ; Stick This μ C Into Your Next Design , p.27

รศ. ถวิล กิ่งทอง ; เทคโนโลยีการส่งสัญญาณดิจิทัล , คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง , หน้า 1 -37

ผศ. พิพัฒน์ เลาสงคราม ; พื้นฐานวิศวกรรมไมโครโพรเซสเซอร์ , คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง , หน้า 123

ธีรวัฒน์ ประกอบผล ; การประยุกต์ใช้งานไมโครคอนโทรลเลอร์ , สสท , หน้า 63

อ.นรินทร์ เนาวประทีป ; ออปแอมป์ , ฟิสิกส์เซ็นเตอร์ , หน้า113

