สำนักหอสมุดกลาง_พระจอมเกล้าลาดกระบัง

กล้องจุลทรรศน์เลื่อนกราดแบบทันเนลลิ่ง 2

นางสาวสุดารัตน์ แก้วแท้ 37054449
นางสาวสุพรรณนิษา สง่างาม 37054450

โครงงานพิเศษนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิทยาศาสตรบัณฑิต
ภาควิชาฟิสิกส์ประยุกต์
คณะวิทยาศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2540

เลขหมู่.....
เลขทะเบียน.....31651
วัน, เดือน, ปี.....19 พ.ย. 2541

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCANNING TUNNELING MICROSCOPE 2

MISS SUDARAT KAEWTHAE 37054449

MISS SUPANNISA SANGANGAM 37054450

A Special Project Submitted in Partial Fulfillment of the

Requirement for the Degree of Bachelor of Science

Department of Applied Physics

Faculty of Science

King Mongkut's Institute of Technology Ladkrabang

1997

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อโครงงานพิเศษ	กล้องจุลทรรศน์เลื่อนกราดแบบทันเนลลิ่ง 2
โดย	นางสาวสุดารัตน์ แก้วแท้
	นางสาวสุพรรณนิษา สง่างาม
ภาควิชา	ฟิสิกส์ประยุกต์
อาจารย์ที่ปรึกษา	ผศ.อนุพงศ์ สรงประภา
	รศ.สุวรรณ ดูสำราญ
	อ.วิษณุ เพชรภา

ภาควิชาฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับโครงงานพิเศษฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิทยาศาสตรบัณฑิต

.....

(รศ.สุรพล รักวิจัย) หัวหน้าภาควิชาฟิสิกส์ประยุกต์

คณะกรรมการโครงงานพิเศษ

.....

(ผศ.ดร.เสน่ห์ เอกะวิภาต) ประธานกรรมการ

.....

(ผศ.อนุพงศ์ สรงประภา) กรรมการ

.....

(รศ.สุวรรณ ดูสำราญ) กรรมการ

.....

(อาจารย์วิษณุ เพชรภา) กรรมการ

ลิขสิทธิ์ของภาควิชาฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อโครงงานพิเศษ	กล้องจุลทรรศน์เลื่อนกราดแบบทันเนลลิ่ง 2
โดย	นางสาวสุดารัตน์ แก้วแท้
	นางสาวสุพรรณนิษา สง่างาม
อาจารย์ที่ปรึกษา	ผศ.อนุพงศ์ สรงประภา
	รศ.สุวรรณ ดูสำราญ
	อ.วิษณุ เพชรภา
ภาควิชา	ฟิสิกส์ประยุกต์
ปีการศึกษา	2540

บทคัดย่อ

โครงงานนี้เป็นการพัฒนาเพิ่มเติมจากโครงงานกล้องจุลทรรศน์เลื่อนกราดแบบทันเนลลิ่ง 1 โดยเปลี่ยนจากเข็มทังสเตนไปใช้เข็มทองซึ่งทำให้แหลมโดยวิธีทางกล ใช้กระบะทราย 2 ชั้นช่วยเสริมระบบลดทอนการสั่นสะเทือน ทำให้ได้กระแสทันเนลลิ่งที่มีเสถียรภาพวัดได้อยู่ในช่วง 0.1 ถึง 55.0 นาโนแอมแปร์โดยจะแปรตามแรงดันที่ตกคร่อมระหว่างเข็มและสารตัวอย่าง และเป็นเอ็กโปเนนเชียลกับระยะห่างระหว่างเข็มกับผิวหน้าสารตัวอย่าง ได้ทำการสร้างวงจรระบบการควบคุมป้อนกลับแบบอินทิกรัลสำหรับกระแสทันเนลลิ่ง มีsettling time 25 msec ได้ทำวงจรขยายแรงดันสูงที่ให้การขับแรงดันขาออกอยู่ในช่วง –189.5 ถึง 190.3 โวลต์ สำหรับสัญญาณควบคุมขาเข้าในช่วง 10.46 ถึง –10.00 โวลต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Special Project Title	SCANNING TUNNELING MICROSCOPE 2
Name	Miss Sudarat Kaewthae
	Miss Supannisa Sangangam
Special Project Advisor	Assistance Professor Anupong Srongprapa
	Associated Professor Suwan kusamran
	Wisanu Pecharapa
Department	Applied Physics
Academic Year	1997

Abstract

This special project was developed from the previous work on scanning tunneling microscope I. Improvement on tunneling current stability was done by replacing the tungsten with mechanically prepared gold probe tip, and used two-layer sand support block as an additional vibration isolation item. The measured current, ranges from 0.1 to 55.0 nA, vary directly with the voltage across probe and sample and exponentially with the gap distance between them. An integral feedback control circuit was constructed and tested without driving piezoelectric to have the settling time of 25 msec. A high voltage power amplifier was also made as a driver that gave output of –189.5 to 190.3 volts for 10.46 to –10.00 volts controlled input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานพิเศษนี้ เสร็จสมบูรณ์ได้ด้วยความช่วยเหลือจากบุคคลต่าง ๆ ดังนี้

- คุณพ่อ คุณแม่ พี่ และน้อง รวมไปถึงญาติทุกท่าน	ที่ให้ความรัก ความอบอุ่น กำลังกาย และกำลังใจ
-ผศ. อนุพงศ์ สรงประภา รศ.สุวรรณ คูสำราญ และ อ.วิษณุ เพชรภา	ที่ให้ความรู้ คำปรึกษาและ อำนวยอุปกรณ์ เครื่องมือ เครื่องใช้ในการทำโครงงาน
-พี่ประธาน ศรีวิไล พี่วรพจน์ วงศ์ผดุงเกียรติ พี่สนาน นิติสัมพันธ์	สำหรับโครงงานพิเศษเรื่องกล้อง จุลทรรศน์เลื่อนกราดแบบทันเนลลิ่ง 1 ที่เป็นแนวทางและเป็นแรงบันดาลใจ ในการทำโครงงานพิเศษนี้
-เพื่อนและน้องทุกท่าน	ที่ให้ความช่วยเหลือและกำลังใจ
-คณะกรรมการทุกท่าน	ที่ตรวจทานรายงานฉบับนี้

ด้วยความเคารพอย่างสูง
นางสาว สุดารัตน์ แก้วแท้
นางสาว สุพรรณนิษา สง่างาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อโครงงานพิเศษภาษาไทย	ก
บทคัดย่อโครงงานพิเศษภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
สารบัญ	ง
สารบัญตาราง	จ
สารบัญรูป	ฉ
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีทางฟิสิกส์	3
2.1 ทฤษฎีกระแสทันเนลลิ่ง	3
2.2 ระบบการทำงานของเครื่อง STM	9
2.3 เพียโซอิเล็กทริก	10
บทที่ 3 ทฤษฎีการควบคุมป้อนกลับ	11
3.1 ระบบควบคุมป้อนกลับ	11
3.2 คุณสมบัติของระบบการควบคุมแบบ P,I และ D	12
3.3 Open - loop step response	14
3.4 Proportional Control	14
3.5 Proportional - Derivative Control	15
3.6 Proportional - Integral Control	16
3.7 Proportional - Integral - Derivative Control	17
บทที่ 4 ส่วนประกอบของระบบที่ทำการสร้างขึ้น	19
4.1 ระบบ mechanics	19
4.2 เข็ม	19
4.3 ชิ้นสารตัวอย่าง	20
4.4 รูปทรงของ PZT – 5A	20
4.5 ระบบอิเล็กทรอนิกส์	20
4.5.1 ระบบการทำงานในการรักษาระดับของกระแสทันเนลลิ่ง	20
4.5.2 วงจรควบคุมป้อนกลับแบบ integral	21
4.5.3 วงจรขยายแรงดันสูง	23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

4.6 การจัดชุดทดลอง 23

บทที่ 5 ผลการทดลอง 25

5.1 การทดลองเพื่อหาความสัมพันธ์ระหว่างกระแสทันเนลลิ่ง และแรงดันคร่อมเข็มกับสารตัวอย่าง 25

5.2 การทดลองเพื่อหาความสัมพันธ์ระหว่างกระแสทันเนลลิ่ง และระยะห่างระหว่างเข็มกับสารตัวอย่าง 31

5.3 แสดงการตอบสนองของวงจรควบคุมป้อนกลับแบบ integral 40

5.4 แสดงผลการทดลองของวงจรขยายแรงดันสูง 41

บทที่ 6 สรุปผลการทดลอง 43

6.1 วิเคราะห์และสรุปผลการทดลอง 43

6.2 ข้อเสนอแนะ 43

ภาคผนวก

เอกสารอ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 3.1 คุณสมบัติของระบบการควบคุมแบบ P,I และ D 12

ตารางที่ 5.1 ผลการทดลองครั้งที่ 1 เมื่อมีการเปลี่ยนโวลต์ไบอัส 25

ตารางที่ 5.2 ผลการทดลองครั้งที่ 2 เมื่อมีการเปลี่ยนโวลต์ไบอัส 27

ตารางที่ 5.3 ผลการทดลองครั้งที่ 3 เมื่อมีการเปลี่ยนโวลต์ไบอัส 28

ตารางที่ 5.4 ผลการทดลองครั้งที่ 4 เมื่อมีการเปลี่ยนโวลต์ไบอัส 29

ตารางที่ 5.5 ผลการทดลองครั้งที่ 5 เมื่อมีการเปลี่ยนโวลต์ไบอัส 30

ตารางที่ 5.6 ผลการทดลองครั้งที่ 1 เมื่อมีการเปลี่ยนระยะระหว่างเข็มกับสารตัวอย่าง 31

ตารางที่ 5.7 ผลการทดลองครั้งที่ 2 เมื่อมีการเปลี่ยนระยะระหว่างเข็มกับสารตัวอย่าง 32

ตารางที่ 5.8 ผลการทดลองครั้งที่ 3 เมื่อมีการเปลี่ยนระยะระหว่างเข็มกับสารตัวอย่าง 33

ตารางที่ 5.9 ผลการทดลองครั้งที่ 4 เมื่อมีการเปลี่ยนระยะระหว่างเข็มกับสารตัวอย่าง 34

ตารางที่ 5.10 ผลการทดลองครั้งที่ 5 เมื่อมีการเปลี่ยนระยะระหว่างเข็มกับสารตัวอย่าง 35

ตารางที่ 5.11 ผลการทดลองครั้งที่ 6 เมื่อมีการเปลี่ยนระยะระหว่างเข็มกับสารตัวอย่าง 36

ตารางที่ 5.12 ผลการทดลองครั้งที่ 7 เมื่อมีการเปลี่ยนระยะระหว่างเข็มกับสารตัวอย่าง 37

ตารางที่ 5.13 ผลการทดลองครั้งที่ 8 เมื่อมีการเปลี่ยนระยะระหว่างเข็มกับสารตัวอย่าง 38

ตารางที่ 5.14 ผลการทดลองครั้งที่ 9 เมื่อมีการเปลี่ยนระยะระหว่างเข็มกับสารตัวอย่าง 39

ตารางที่ 5.15 แสดงความสัมพันธ์ระหว่าง V_{in}(V) และ V_{out}(V) ของวงจรขยายแรงดันสูง 41

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

รูปที่ 2.1 การทันเนลผ่านกำแพงศักย์ของอิเล็กตรอน 3

รูปที่ 2.2 สัมประสิทธิ์การส่งผ่านพลังงานของอิเล็กตรอน 6

รูปที่ 2.3 แสดงการเกิดกระแสทันเนลลิ่ง 9

รูปที่ 2.4 แสดงการสแกนพื้นผิว 10

รูปที่ 3.1 แสดงการควบคุมแบบป้อนกลับ 11

รูปที่ 3.2 ระบบที่มีการสั่น 13

รูปที่ 3.3 แสดงการตอบสนองของ open loop step 14

รูปที่ 3.4 แสดงการตอบสนองของวงจรควบคุมแบบ P 15

รูปที่ 3.5 แสดงการตอบสนองของวงจรควบคุมแบบ PD 15

รูปที่ 3.6 แสดงการตอบสนองของวงจรควบคุมแบบ PI 16

รูปที่ 3.6 แสดงการตอบสนองของวงจรควบคุมแบบ PID 17

รูปที่ 4.1 แสดงระบบลดการสั่นสะเทือนโดยใช้กระบะทราย 2 ชั้น 19

รูปที่ 4.2 แสดงลักษณะของเพียโซอิเล็กทริกที่ต่อกัน 2 แท่ง 20

รูปที่ 4.3(a) แสดงวงจรควบคุมแบบป้อนกลับ integral 21

รูปที่ 4.3(b) แสดงวงจรควบคุมป้อนกลับที่ติดตั้งในระบบ 22

รูปที่ 4.4 วงจรขยายแรงดันสูง 23

รูปที่ 4.5(a) ชุดทดลองหาความสัมพันธ์ระหว่างกระแสทันเนลลิ่งกับ
ระยะห่างระหว่างเข็มกับสารตัวอย่าง 23

รูปที่ 4.5(b) ชุดทดลองหาความสัมพันธ์ระหว่างกระแสทันเนลลิ่งกับ
แรงดันตกคร่อมระหว่างเข็มกับสารตัวอย่าง 24

รูปที่ 5.1 กราฟแสดงความสัมพันธ์ระหว่างกระแสทันเนลลิ่งกับโวลต์ไบอัส 1 26

รูปที่ 5.2 กราฟแสดงความสัมพันธ์ระหว่างกระแสทันเนลลิ่งกับโวลต์ไบอัส 2 27

รูปที่ 5.3 กราฟแสดงความสัมพันธ์ระหว่างกระแสทันเนลลิ่งกับโวลต์ไบอัส 3 28

รูปที่ 5.4 กราฟแสดงความสัมพันธ์ระหว่างกระแสทันเนลลิ่งกับโวลต์ไบอัส 4 29

รูปที่ 5.5 กราฟแสดงความสัมพันธ์ระหว่างกระแสทันเนลลิ่งกับโวลต์ไบอัส 5 30

รูปที่ 5.6 กราฟแสดงความสัมพันธ์ระหว่าง $\ln(I_t)$ กับระยะระหว่างเข็มกับสารตัวอย่าง 1 31

รูปที่ 5.7 กราฟแสดงความสัมพันธ์ระหว่าง $\ln(I_t)$ กับระยะระหว่างเข็มกับสารตัวอย่าง 2 32

รูปที่ 5.8 กราฟแสดงความสัมพันธ์ระหว่าง $\ln(I_t)$ กับระยะระหว่างเข็มกับสารตัวอย่าง 3 33

รูปที่ 5.9 กราฟแสดงความสัมพันธ์ระหว่าง $\ln(I_t)$ กับระยะระหว่างเข็มกับสารตัวอย่าง 4 34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.10 กราฟแสดงความสัมพันธ์ระหว่าง $\ln(I_t)$ กับระยะระหว่างเข็มกับสารตัวอย่าง 5 35
รูปที่ 5.11 กราฟแสดงความสัมพันธ์ระหว่าง $\ln(I_t)$ กับระยะระหว่างเข็มกับสารตัวอย่าง 6 36
รูปที่ 5.12 กราฟแสดงความสัมพันธ์ระหว่าง $\ln(I_t)$ กับระยะระหว่างเข็มกับสารตัวอย่าง 7 37
รูปที่ 5.13 กราฟแสดงความสัมพันธ์ระหว่าง $\ln(I_t)$ กับระยะระหว่างเข็มกับสารตัวอย่าง 8 38
รูปที่ 5.14 กราฟแสดงความสัมพันธ์ระหว่าง $\ln(I_t)$ กับระยะระหว่างเข็มกับสารตัวอย่าง 9 39
รูปที่ 5.15 แสดงสัญญาณการตอบสนองของวงจรควบคุมป้อนกลับแบบ integral 40
รูปที่ 5.16 กราฟแสดงความสัมพันธ์ระหว่าง V_{in}(V) และ V_{out}(V) ของวงจรขยายแรงดันสูง 42

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

เทคโนโลยีในปัจจุบันได้มีการพัฒนาไปอย่างต่อเนื่องและไม่มีที่สิ้นสุดทั้งในประเทศไทยและต่างประเทศ เราจึงจำเป็นต้องมีการพัฒนาเทคโนโลยีภายในประเทศของเราให้ทัดเทียมนานาประเทศ ซึ่งในงานทางด้านโซลิดสเตทอิเล็กทรอนิกส์มีความสำคัญอย่างยิ่งต่ออุตสาหกรรมหลักของประเทศ แต่ว่าเรายังต้องอาศัยการนำเข้าเทคโนโลยี, อุปกรณ์ และเครื่องมือต่าง ๆ และหนึ่งในนั้นคือ เครื่องมือที่ใช้ในการตรวจสอบสภาพพื้นผิว ยกตัวอย่างเช่นเครื่อง SEM(Scanning Electron Microscope), AFM(Atomic Force Microscope), STM(Scanning Tunneling Microscope) ซึ่งนักศึกษาภาควิชาฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ได้สนใจที่จะศึกษาถึงการสร้างเครื่องมือตรวจสอบสภาพพื้นผิวที่อาศัยปรากฏการณ์ทันเนลลิ่ง (tunneling) ในอากาศ คือเครื่อง STM นั่นเอง แต่ผลที่ได้รับยังไม่สามารถนำไปประยุกต์ใช้งานได้เนื่องจากการเกิดออกซิไดซ์ของเข็มทังสเตนในอากาศและปัญหาความสั่นสะเทือน จึงมีการพัฒนาเครื่อง STM นี้ต่อมาเพื่อการใช้งานที่ดีขึ้น

วัตถุประสงค์

เพื่อพัฒนาเครื่องมือ Scanning Tunneling Microscope ให้สามารถทำงานได้ดีกว่าเดิมโดยเน้นการพัฒนาวงจรควบคุมป้อนกลับรักษาระดับกระแสคงที่

วิธีดำเนินการ

1. ศึกษาเครื่อง STM ที่มีอยู่ในด้านต่างๆ ทั้งหมด เพื่อทำการเก็บข้อมูลในการทำงานของเครื่องมือนี้ ในด้านการทำงานของอุปกรณ์ทาง mechanics ที่ทำให้เกิดกระแสทันเนลลิ่ง, วงจรควบคุมแบบย้อนกลับเพื่อรักษาระดับของการเกิดกระแสทันเนลลิ่ง, โปรแกรมที่นำมาควบคุมการเคลื่อนที่ใน 2 มิติของแท่งเพียโซอิเล็กทริก และนำสัญญาณควบคุมทางดิจิตอลที่ตำแหน่งต่างๆ บนผิวของชิ้นสารตัวอย่างมาบันทึกค่าเพื่อแสดงสภาพพื้นผิวของชิ้นสารตัวอย่างในภายหลัง
2. วางขอบเขตของการพัฒนาเครื่องตรวจสอบสภาพพื้นผิว STM ว่าจะทำการพัฒนาทางด้านใดเพิ่มขึ้นในลักษณะเช่นใดและมีลำดับขั้นตอนในการทำงานอย่างไร
3. ทำการทดลองในงานแต่ละส่วนที่วางไว้
4. บันทึกผลพร้อมทั้งสรุปผลการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประโยชน์ที่ได้รับ

1. เรียนรู้และเข้าใจถึงกลไกในการเกิดกระแสทันเนลลิ่ง
2. สามารถนำความรู้ทางวงจรอิเล็กทรอนิกส์และวงจรควบคุมมาใช้งานให้เหมาะสมกับงานได้
3. สามารถทำการพัฒนาเครื่องมือตรวจสอบสภาพพื้นผิวของวัตถุชนิด STM ให้มีการทำงานที่มีประสิทธิภาพดียิ่งขึ้น

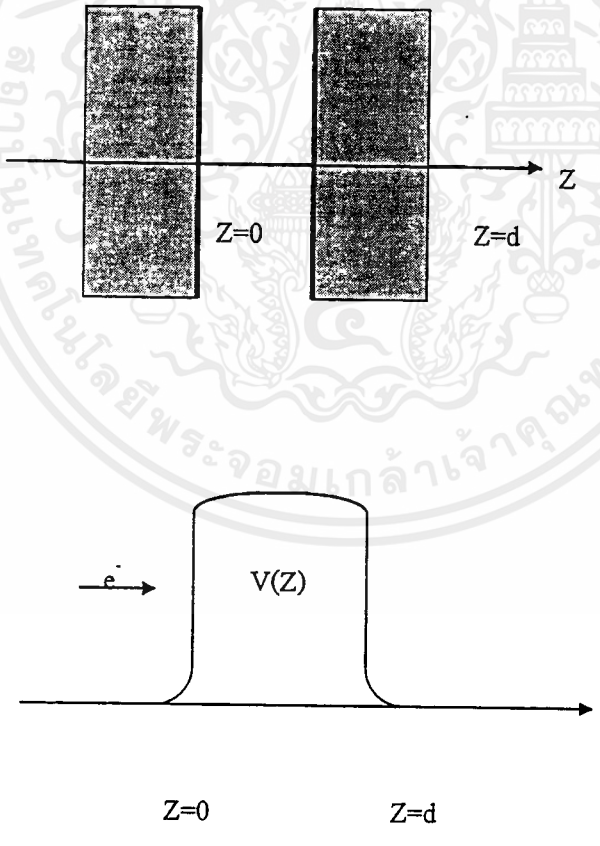
การทำโครงงานพิเศษนี้ได้ใช้ความรู้ทางด้านฟิสิกส์,วงจรอิเล็กทรอนิกส์ ตลอดจนกระบวนการทางวิทยาศาสตร์ในการตั้งสมมุติฐาน ทำการทดลอง สรุปผล และการแก้ปัญหาอย่างเป็นระบบ ทำให้เกิดประโยชน์โดยตรงแก่ผู้ทำโครงงานพิเศษให้มีหลักการในการคิด การทำงานในแต่ละขั้นตอนอย่างมีหลักการและเหตุผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีทางฟิสิกส์

2.1 ทฤษฎีกระแสทันเนลลิ่ง (The Tunneling Current-A Simple Theory)

จุดมุ่งหมายแรกเกี่ยวกับการทันเนลลิ่ง ของอิเล็กตรอนระหว่างปลายสุดของเข็มและ สารตัวอย่างของ STM จะพิจารณาในทางกลศาสตร์ควอนตัม ทันเนลลิ่ง อิเล็กตรอนระหว่างขั้วไฟฟ้าที่ระบบอนันต์ที่ขั้วไฟฟ้าขนานกัน, ขั้วไฟฟ้าที่เป็นแผ่นโลหะ จะพิจารณาในกรณีที่ ศักย์ไม่เป็นฟังก์ชันกับเวลา แกนที่ตั้งฉากกันของขั้วไฟฟ้าที่เป็นระนาบขนานคือ แกน Z ที่จุด 0 บนด้านซ้ายของแถบการทันเนล (ดังรูปที่ 2.1)



รูปที่2.1 ระบบโดออดิเนตสำหรับคำนวณความสามารถในการส่งผ่านของกำแพงทันเนลลิ่ง ใน 1 มิติ คลื่นระนาบของอิเล็กตรอนจะตกกระทบกำแพงจากด้านซ้าย (แกน Z ด้านลบ) ขั้วไฟฟ้าสองขั้วจะถูกแบ่งโดยระยะทาง d

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเคลื่อนที่ของอิเล็กตรอนจะอธิบายโดยสมการ Schrodinger

$$i\frac{\partial}{\partial t}\psi(\bar{z},t) = H\psi(\bar{z},t) \qquad (2.1)$$

เมื่อ H คือ Hamiltonian ของระบบ

Hamiltonian สำหรับรอยต่อของสารตัวอย่าง ประกอบด้วยส่วนของพลังงานจลน์ $\frac{-h^2\partial^2\psi}{2m\partial z^2}(\bar{z},t)$ และส่วนของพลังงานศักย์ $V(\bar{z})\psi(\bar{z},t)$ พลังงานศักย์จะมีค่าเท่ากับ 0 ทุกที่ยกเว้นในกำแพงระหว่างขั้วไฟฟ้า,จากระยะ 0 ถึง d ที่ d คือ ความกว้างของกำแพง ฟังก์ชันคลื่น $\psi(\bar{z},t)$ของอิเล็กตรอน จะเป็นคำตอบของสมการ

$$i\frac{\partial}{\partial t}\psi(\bar{z},t) = -\frac{\bar{h}^2}{2m}\frac{\partial^2}{2z^2}\psi(\bar{z},t) + V(\bar{z})\psi(\bar{z},t) \qquad (2.2)$$

$$= \left(-\frac{\bar{h}^2}{2m}\frac{\partial^2}{2z^2} + V(\bar{z})\right)\psi(\bar{z},t)$$

ความน่าจะเป็นที่จะหาอนุภาคอธิบายโดยฟังก์ชันคลื่น $\overline{\psi}(\bar{z},t)$ ที่ตำแหน่ง $\bar{z}$ ที่ เวลา t คือ

$$P(\bar{z},t) = \psi(\bar{z},t)\psi^*(\bar{z},t) = \left|\psi(\bar{z},t)\right|^2 \qquad (2.3)$$

ในการคำนวณอย่างง่าย จะพิจารณาในกรณี 1 มิติของกำแพงทันเนลลิ่งที่ศักย์ไม่ขึ้นกับเวลา จะเขียนได้ว่า

$$0 = \frac{\bar{h}^2}{2m}\frac{\partial^2}{\partial z^2}\psi_Z(z) + (E-V)\psi_Z(z) \qquad (2.4)$$

สมมติว่าอิเล็กตรอนตกกระทบกำแพงจากด้านซ้าย จะมีคำตอบ 3 คำตอบ สำหรับ สมการ Schrodinger คือ ที่ด้านซ้ายของกำแพง , ในกำแพง และที่ทางด้านขวา จะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\psi_Z(z)=\begin{cases} Ae^{ipz/\bar{h}}+Be^{-ipz/\bar{h}} & Z<0 \\ Ce^{-kz}+De^{kz} & 0\le Z\le d \\ AS(E)e^{ip(z-d)/\bar{h}} & Z>d \end{cases} \quad (2.5)$$

โดย $P=\sqrt{2mE}, \bar{h}k=\sqrt{2m(V-E)}$ ที่ขอบของช่วงทั้ง 3 , ฟังก์ชันนี้และอนุพันธ์อันดับหนึ่งจะมีค่าต่อเนื่อง ฟังก์ชัน S(E) เรียกว่า "tunneling matrix element" จะใช้วัดสำหรับ ความน่าจะเป็นของการทันเนลจากซ้ายไปขวา สำหรับอนุภาค จะแสดง ณ ที่จากด้านซ้ายไปขวาของรอยต่อ

เงื่อนไขขอบเขตนี้ นำไปสู่สมการพีชคณิต 4 สมการ สำหรับ 5 ตัวแปร A,B,C,D,S(E) สามารถเลือกค่าที่เหมาะสมสำหรับขนาดของคลื่นอิเล็กตรอนที่ตกกระทบ ดังนั้น กำหนดให้ A=i. Tunneling element จะเป็นสำหรับ E<V:

$$S(E)=\frac{2i\bar{h}kp}{2i\bar{h}kp\cosh(kd)+(p^2-\bar{h}^2k^2)\sinh(kd)} \quad (2.6)$$

กำแพงทันเนลลิ่ง จะมีทั้งความสามารถในการส่งผ่านและสะท้อน ในการวัดกระแสทันเนลลิ่งสามารถวัดการส่งผ่าน จะได้ว่า

$$T(E)=|S(E)|^2=\left[1+\frac{\sinh^2(kd)}{4(E/V)(1-E/V)}\right]^{-1} \quad (2.7)$$

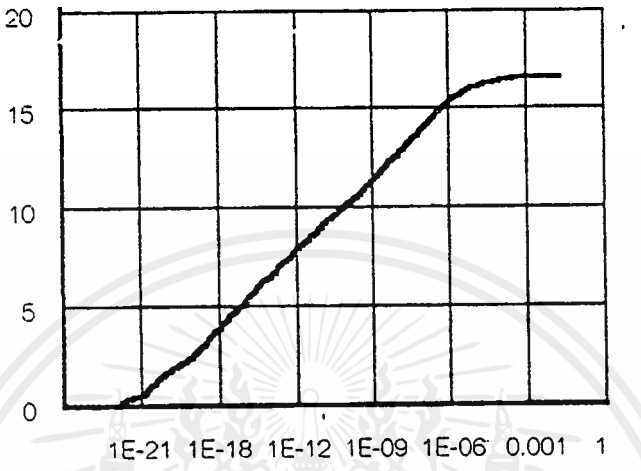
สมการนี้สามารถเขียนให้อยู่ในรูปอย่างง่ายสำหรับอิเล็กตรอนที่มีความยาวคลื่น de Broglie จะมีค่าน้อยกว่า ความกว้างกำแพง d, หรือ $kd \gg 1$ จะได้ว่า

$$T(E)\approx 16\frac{E}{V}\left(1-\frac{E}{V}\right)\exp(-2kd)=16\frac{E}{V}\left(1-\frac{E}{V}\right)\exp\left(-\frac{2}{\bar{h}}\sqrt{2m(V-E)}d\right)$$

จะได้ขนาดของสัมประสิทธิ์การส่งผ่าน T(E) จะใช้ค่าสำหรับ V และ E โดยทั่วไปสำหรับโลหะ ที่จุดศูนย์กลางของสเกลพลังงาน จะอยู่ที่ขอบล่างของแถบการนำสำหรับโลหะ,มีค่า 12 eV ใต้แถบพลังงานเฟอมิจะเต็ม,ที่อุณหภูมิ ศูนย์องศา ความสูงของกำแพง คือ , สำหรับ ผิวหน้าโลหะที่สะอาด ประมาณ 4 eV เหนือพลังงานเฟอมิ,ดังนั้น V =16 eV และ E = 12 eV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมมติว่า กำแพงทันเนลลิ่งกว้าง คือ d = 1 nm ใช้ค่านี้ จะได้ T(E) ประมาณ 10^{-9} สำหรับอิเล็กตรอนที่มีพลังงานเฟอมิ รูปที่ 2.2 แสดงการส่งผ่านกำแพงทันเนล เป็นฟังก์ชันของพลังงานอิเล็กตรอน E สำหรับค่าที่มากกว่า ของ V และ d



รูปที่ 2.2 สัมประสิทธิ์การส่งผ่านเป็นฟังก์ชันของพลังงานอิเล็กตรอน พลังงานที่เป็นศูนย์ตอบสนองอิเล็กตรอนที่ขอบล่างของแถบการนำ พลังงานเฟอมิสำหรับการคำนวณนี้ กำหนดค่า E= 12 eV และ ค่า work function คือ 16 eV

สามารถขยายรูปกราฟตัวอย่างนี้ โดยเพิ่มการกระจายแบบเฟอมิ ที่แบบจำลองความหนาแน่นพลังงานอิเล็กตรอน ซึ่งสามารถนำมาคำนวณความหนาแน่นของกระแสทันเนลลิ่งสำหรับระนาบอนันต์,ระนาบขนาน สมมติให้อุณหภูมิเป็น 0 องศาเคลวิน การคำนวณจะไม่สามารถอธิบายโอกาสในการเกิดปรากฏการณ์ทันเนลลิ่ง แต่ จะอธิบายถึงพื้นฐานบางอย่าง สำหรับกระบวนการทันเนลลิ่ง เฉพาะความเร็วตั้งฉากกับผิวหน้าของสารตัวอย่างสมมติว่ากำแพงทันเนลลิ่ง ที่ตำแหน่งที่ขึ้นกับความสูงของกำแพง V(z) จะได้ การประมาณค่า ใน WKB

$$T(E) = \exp\left\{-\frac{2}{h}\int_{s_1}^{s_2}[2m(V(z)-E_Z)]^{1/2}\,dz\right\} \qquad (2.9)$$

สามารถคำนวณหาจำนวนของอิเล็กตรอนทันเนลลิ่งจากซ้ายไปขวา

$$N_{L\to R} = \frac{1}{m_e}\int_0^{E_M} n(v_Z)T(E_Z)\,dE_Z \qquad (2.10)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ระบบพิกัด Z ที่ตั้งฉากกับรอยต่อทันเนลลิ่ง , E_M คือ พลังงานที่มากที่สุดของอิเล็กตรอน $n(v_Z)dv_Z$ คือ จำนวนของอิเล็กตรอนต่อหนึ่งหน่วยปริมาตร ที่ความเร็วระหว่าง v_Z และ v_Z+dv_Z และ m_e คือ มวลอิเล็กตรอน

เมื่อสมมติว่าอิเล็กตรอนในของแข็งจะมีการกระจายตาม Fermi-statistics f(E)

$$n(v)dv_x dv_y dv_Z = \frac{m^3}{4\pi^3 \bar{h}^3} f(E) dv_x dv_y dv_Z \qquad (2.11)$$

และสนใจเฉพาะจำนวนของอิเล็กตรอนในทิศทาง z จะได้ $n(v_Z)dv_Z$ โดยการอินทิเกรตตลอด v_x และ v_y จะได้ว่า

$$n(v_Z) = \frac{m_e^2}{2\pi^2 \bar{h}^3} \int_{-\infty}^{\infty}\int_{-\infty}^{\infty} f(E) dv_x dv_y \qquad (2.12)$$

เพื่อให้ง่ายในการอินทิเกรต สามารถเปลี่ยนรูปแบบอินทิเกรตจาก $dv_x dv_y$ ในรูประบบพิกัด $v_r dv_r d\Phi$ โดยให้ $E_r = m_e v_r^2 / 2$ จะได้ว่า

$$n(v_Z) = \frac{m_e^2}{2\pi^2 \bar{h}^3} \int_0^{\infty} f(E) dE_r \qquad (2.13)$$

รวมสมการ(2.10)และ(2.13) จะได้จำนวนอิเล็กตรอนทันเนลลิ่งจากซ้ายไปขวาดังนี้

$$N_{L\to R} = \frac{m_e^2}{2\pi^2 \bar{h}^3} \int_0^{E_M} T(E_Z) dE_Z \int_0^{\infty} f(E+eV) dE_r \qquad (2.14)$$

จำนวนของอิเล็กตรอนทันเนลลิ่งจากขวาไปซ้าย , $N_{R\to L}$ จะอยู่ในรูปที่คล้ายกัน เฉพาะพลังงานใน การกระจายแบบเฟอมิ จะแทนที่ด้วย E+eV โดย V คือ โวลต์ที่ไบอัสสำหรับรอยต่อทันเนลลิ่ง ความหนาแน่น สำหรับกระแสทันเนลลิ่งเขียนได้ดังนี้

$$\begin{aligned} J &= Ne \\ &= \left(N_{L\to R} - N_{R\to L}\right)e \\ &= \frac{m_e e}{2\pi^2 \bar{h}^3} \int_0^{E_M} T(E_Z) dEz \times \int_0^{\infty} f(E) - f(E+eV) dE_r \end{aligned} \qquad (2.15)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พลังงานศักย์เฉลี่ย V(z) ในกำแพงจะแสดงถึง ผลรวมของพลังงานเฟอมิ E_F และ พลังงานศักย์ $\Phi(z)$ สำหรับขั้วไฟฟ้าเดี่ยว (single electrode) โดยปกติจะหมายถึง work function ของโลหะ สำหรับกระแสทันเนลลิ่งที่อุณหภูมิ 0 องศาเคลวิน โดยใช้ ความสูงกำแพงศักย์เฉลี่ย

$$\Phi = 1/(S_2 - S_1)\int_{S_1}^{S_2}\Phi(z)dz$$

จะได้สมการกระแสทันเนลลิ่ง

$$J = \frac{e}{4\pi^2\bar{h}(\Delta S)^2}\left(\bar{\Phi}\exp\left(-\frac{2\Delta S}{\bar{h}}\left[2m_e\bar{\Phi}\right]^{1/2}\right)-\left(\bar{\Phi}+eV\right)\exp\left(-\frac{2\Delta S}{\bar{h}}\left[2m_e\bar{\Phi}+eV\right]^{1/2}\right)\right) \quad (2.16)$$

ที่ $\Delta S = S_2 - S_1$ โดยใช้ความสูงของกำแพงเฉลี่ย $\bar{\Phi}$ สามารถใช้หาค่ากระแสที่โวลต์ไบอัสมีค่าน้อย ๆ หรือเข้าใกล้ศูนย์ (low – bias voltage range) $eV << \Phi$ ที่ความกว้าง S และสูง $\bar{\Phi}$ จะได้ว่า

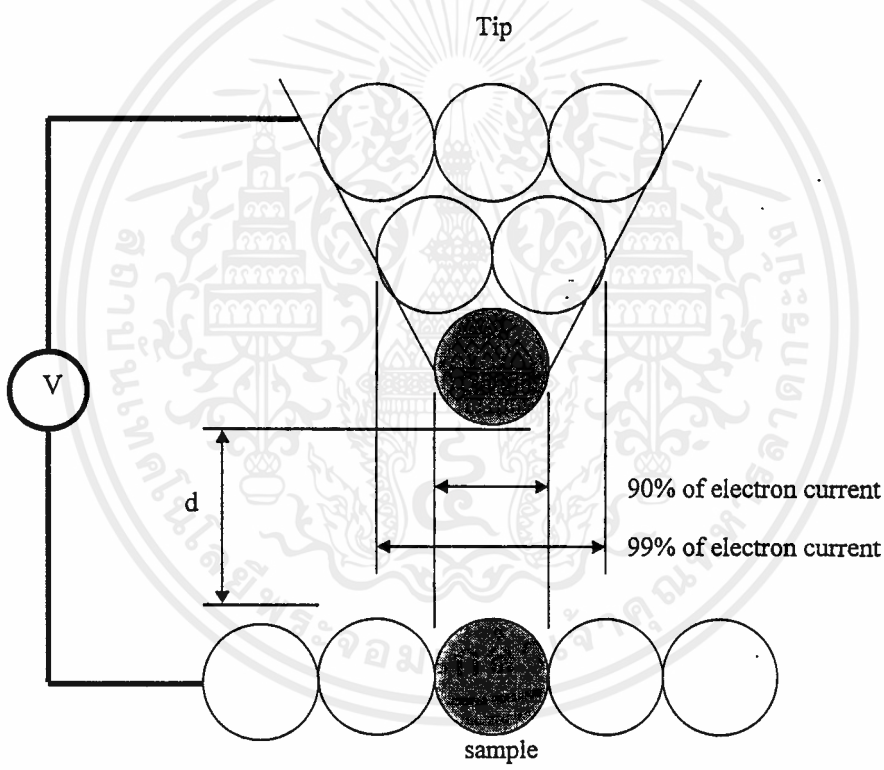
$$J = \frac{e^2}{4\pi^2\bar{h}^2}\cdot\frac{\left(2m_e\bar{\Phi}\right)^{1/2}}{\Delta S}\cdot V\exp\left(-\frac{2\left(2m_e\bar{\Phi}\right)^{1/2}}{\bar{h}}\Delta S\right) \quad (2.17)$$

จะเห็นว่าที่มีการให้โวลต์ไบอัสค่าน้อยๆ กระแสทัลเนลลิ่งจะขึ้นกับโวลต์ไบอัสแบบเชิงเส้น ขึ้นกับความกว้างกำแพงศักย์เป็นแบบเอ็กโปเนนเชียล และเป็นรากที่สองของความสูงกำแพงศักย์เฉลี่ย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 ระบบการทำงานของเครื่อง STM

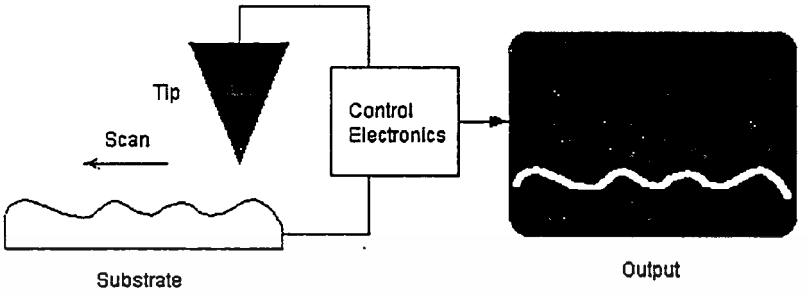
ระบบการทำงานของเครื่อง STM เริ่มจากการนำเข็มปลายแหลมเข้าใกล้ผิวหน้าของสารตัวอย่าง ถ้าระยะห่างระหว่างเข็มกับสารตัวอย่างเข้าใกล้กันเพียงพอที่จะสามารถเกิดกระแสทันเนลลิ่งได้ เมื่อป้อนแรงดันตกคร่อมระหว่างเข็มกับสารตัวอย่างก็จะเกิดกระแสทันเนลลิ่ง ในการสแกนพื้นผิวนั้นตัวแปรที่สามารถควบคุมกระแสได้คือระยะห่างระหว่างเข็มกับสารตัวอย่างซึ่งระบบ mechanics ไม่สามารถปรับระยะอย่างละเอียดได้ ดังนั้นจึงต้องมีส่วนที่ใช้ในการปรับระยะอย่างละเอียดซึ่งก็คือ เพียโซอิเล็กทริก (piezoelectric)



รูปที่ 2.3 แสดงการเกิดกระแสทันเนลลิ่ง

ในการสแกนแต่ละตำแหน่ง เพียโซอิเล็กทริกจะมีการยืดหรือหดเพื่อรักษาระดับของกระแสทันเนลลิ่งที่เกิดขึ้นโดยใช้วงจรควบคุมแบบป้อนกลับ(feedback control) ซึ่งจะเปรียบเทียบค่าอ้างอิงที่ตั้งไว้กับค่ากระแสจริง ค่าความผิดพลาดระหว่างค่าจริงและค่าอ้างอิงเป็นสัญญาณที่จะไปขับเพียโซอิเล็กทริกทำให้ระยะห่างระหว่างเข็มกับสารตัวอย่างเปลี่ยนแปลงไปสู่ค่าที่ตั้งไว้ สัญญาณเดียวกันนี้จะเป็นตัวแทนของระยะระหว่างปลายเข็มกับผิวสารตัวอย่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 แสดงการสแกนพื้นผิว

2.3 เพียโซอิเล็กทริก (Piezoelectric)

เพียโซอิเล็กทริกเป็นวัสดุที่มีคุณสมบัติ anisotropic ซึ่งเป็นโครงสร้างที่ไม่สมมาตร และมีไดโพลโมเมนต์สุทธิภายในหนึ่งหน่วยผลึกเซล ไดโพลที่จัดตัวในทิศทางเดียวกันจะมีบริเวณที่เรียกว่าโดเมน และเป็นวัสดุที่มีคุณสมบัติเป็น feroelectric เมื่อทำการป้อนสนามไฟฟ้ากระแสตรงเข้าไป ไดโพลจะพยายามจัดตัวเองขนานกับสนามไฟฟ้า ดังนั้นเพียโซอิเล็กทริกจึงเป็นวัสดุที่สามารถเปลี่ยนรูปร่างโครงสร้างทางผลึกได้เมื่อให้สนามไฟฟ้าเข้าไป ในทางกลับกันถ้าให้แรงทางกลเข้าไปจะทำให้เกิดแรงดันไฟฟ้าขึ้น โดยส่วนมากจะใช้เซรามิคที่มีโครงสร้างเป็นพหุผลึก ไม่ทำปฏิกิริยาทางเคมี ทนต่อความชื้น ภาวะบรรยากาศ และสามารถผลิตให้มีรูปร่างหรือขนาดที่ต้องการได้ เช่น ผลึกควอทส์ (Quartz) ,Barium titanate, Lead Zirconate Titanate (PZT)

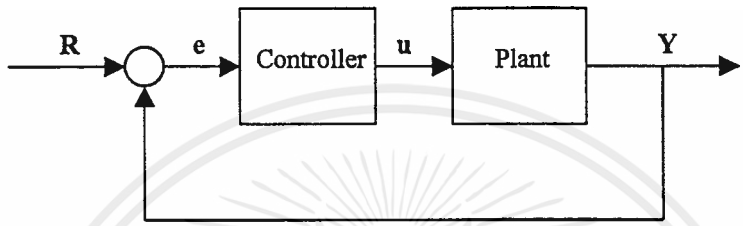
เพียโซอิเล็กทริกเซรามิคสามารถถูก depolarized โดยการกลับขั้วที่แรงพอ และมีขั้วตรงกันข้ามกับขั้วปกติ การจำกัดความแรงของสนามไฟฟ้าขึ้นกับชนิดของเนื้อสาร , ช่วงการทำงาน , อุณหภูมิที่ทำงาน เช่น PZT – 5A มีการจำกัดของแรงดันระหว่าง 500V/mm และ 1000V/mm โดยการป้อนแรงดันที่ต่อเนื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ทฤษฎีการควบคุมป้อนกลับ

3.1 ระบบควบคุมป้อนกลับ

จากการศึกษานี้แสดงให้เห็นถึงคุณสมบัติของระบบการควบคุมแบบ Proportional(P), แบบ Integral(I) และ แบบ Derivative(D) และยังแสดงถึงการออกแบบการควบคุมเพื่อให้ได้ค่าตอบสนองตามที่ต้องการ



รูปที่ 3.1 แสดงการควบคุมแบบป้อนกลับ

Plant: คือระบบที่ต้องการทำการควบคุม

Controller: ออกแบบเพื่อควบคุมคุณสมบัติทั้งหมดของระบบ

ระบบการควบคุมสามารถแบ่งเป็น 3 ระบบ

transfer function ของระบบควบคุมแบบ PID มีลักษณะดังนี้

$$K_P + \frac{K_I}{s} + K_D s = \frac{K_D s^2 + K_P s + K_I}{s} \qquad (3.1)$$

- K_P = Proportional gain
- K_I = Integral gain
- K_D = Derivative gain

เริ่มต้นเราจะมาดูถึงการทำงานของระบบการควบคุมแบบ PID ทำงานอย่างไรในระบบปิดที่ใช้แผนภาพแสดงดังรูปข้างบน ค่าตัวแปร(e) แสดงถึงค่าความผิดพลาด , ค่าความแตกต่างระหว่างค่าอินพุทที่ต้องการ(R) และค่าเอาต์พุทที่ได้จริง(Y) สัญญาณค่าผิดพลาด(e)จะถูกส่งไปยังระบบการควบคุมแบบ PID และระบบการควบคุมจะคำนวณค่าทั้งแบบderivative และแบบ integral ของสัญญาณที่ผิดพลาด สัญญาณที่ผ่านระบบการควบคุมจะมีค่าเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$U = K_P e + K_I \int e dt + K_D \frac{de}{dt} \qquad (3.2)$$

สัญญาณ U จะถูกส่งไปที่ plant และจะได้ค่าเอาต์พุทใหม่คือ Y เอาต์พุทใหม่ Y จะส่งกลับไปที่เซนเซอร์อีกครั้งเพื่อหา สัญญาณค่าความผิดพลาดใหม่(e) ระบบการควบคุมจะได้รับสัญญาณค่าความผิดพลาดใหม่และจะคำนวณหา derivative gain และ integral gain กระบวนการนี้จะดำเนินต่อไปเรื่อย ๆ

3.2 คุณสมบัติของระบบการควบคุมแบบ P,I และ D

ระบบการควบคุมแบบ proportional (K_p) มีผลทำให้ค่า rise time ลดลง แต่ไม่สามารถกำจัดทิ้งไปได้ ค่าความผิดพลาดในสภาวะคงที่(steady - state error) ระบบการควบคุมแบบ integral(K_I) สามารถกำจัดค่าความผิดพลาดในสภาวะคงที่แต่จะทำให้ค่า transient response มีค่าผิดพลาดไป ส่วนระบบการควบคุมแบบ derivative (K_D) จะมี ผลต่อการเพิ่มขึ้นของเสถียรภาพของระบบ, ลด overshoot และปรับปรุงค่า transient response ผลของแต่ละระบบควบคุม K_p , K_I และ K_D ในระบบปิด สรุปได้ดัง ตารางข้างล่าง

CL RESPONSE	RISE TIME	OVER SHOOT	SETTLING TIME	STEADY-STATE ERROR
K_P	ลดลง	เพิ่มขึ้น	มีการเปลี่ยนแปลงเล็กน้อย	ลดลง
K_I	ลดลง	เพิ่มขึ้น	เพิ่มขึ้น	หมดไป
K_D	มีการเปลี่ยนแปลงเล็กน้อย	ลดลง	ลดลง	มีการเปลี่ยนแปลงเล็กน้อย

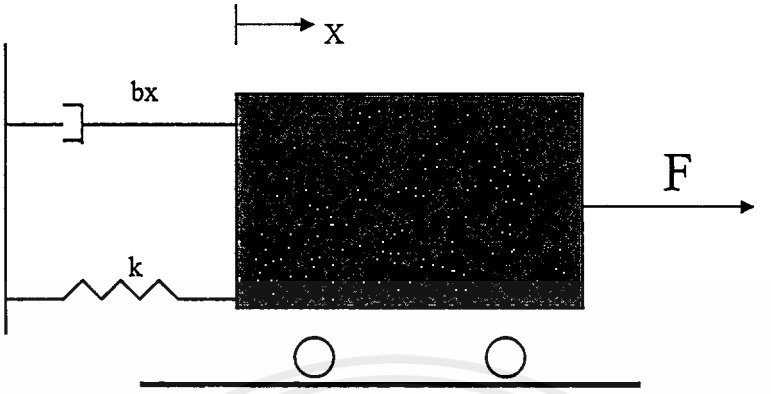
ตารางที่ 3.1 แสดงคุณสมบัติของระบบการควบคุมแบบ P,I และ D

ความสัมพันธ์นี้ยังไม่ถูกต้องนักเพราะค่า K_P , K_I และ K_D นั้นจะขึ้นซึ่งกันและกัน ในความเป็นจริงการเปลี่ยนแปลงค่าระบบการควบคุมใดระบบการควบคุมหนึ่งจะทำให้ค่าระบบการควบคุมอีก 2 ระบบที่เหลือมีการเปลี่ยนแปลงได้ สามารถใช้ตารางนี้เพื่อกำหนด K_P , K_I และ K_D ที่ต้องการได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>ตัวอย่างของปัญหา</u>

สมมติว่าเรามีมวล, สปริงและมีปัญหาในการสั่น



รูปที่ 3.2 ระบบที่มีการสั่น

รูปแบบสมการของระบบนี้คือ

$$Mx''+bx'+kx = F \tag{3.3}$$

ใช้การแปลงลาปลาซ สำหรับสมการนี้จะได้

$$Ms^2X(s) + bsX(s) + kX(s) = F(s) \tag{3.4}$$

ค่า transfer function ระหว่างระยะขจัด X(s) และ อินพุท F(s) จะกลายเป็น

$$\frac{X(s)}{F(s)} = \frac{1}{Ms^2 + bs + k} \tag{3.5}$$

ให้

- M = 1 kg
- b = 10 N.s/m
- k = 20 N/m
- F(s)= 1

แทนค่าลงในฟังก์ชันข้างบนจะได้

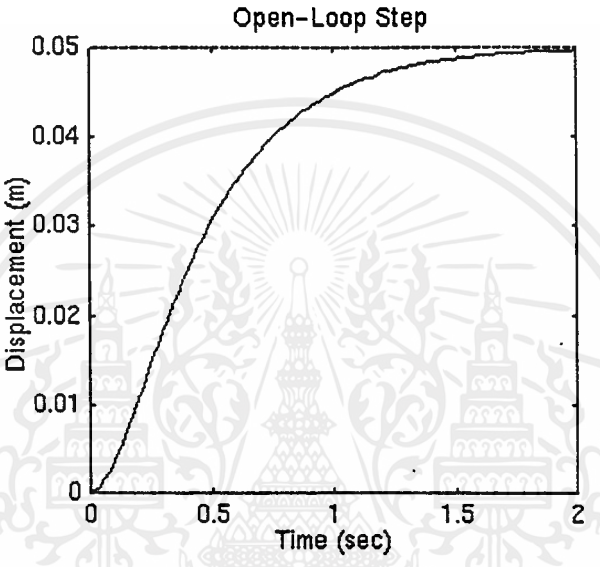
$$\frac{X(s)}{F(s)} = \frac{1}{s^2 + 10s + 20} \tag{3.6}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จุดประสงค์ของปัญหานี้คือ แสดงให้เห็นถึง K_p, K_I และ K_D มีส่วนอย่างไรใน

- Fast rise time
- Minimum overshoot
- No Steady-state error

3.3 Open -loop step response



รูปที่ 3.3 แสดงการตอบสนองของ open loop step

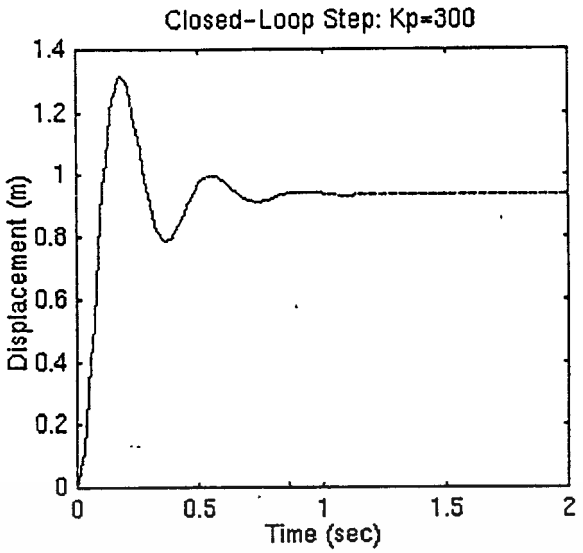
DC gain ของ plant transfer function มีค่า 1/20 ดังนั้น 0.05 คือ ค่าสุดท้ายของเอาท์พุทที่แต่ละขั้นของอินพุทซึ่งจะมีลักษณะเหมือนกันกับค่าความผิดพลาดที่สภาวะคงที่ ที่ 0.95 ยิ่งกว่านั้นค่า rise time มีค่าประมาณ 1 วินาที และค่า settling time มีค่าประมาณ 1.5 วินาที ดังนั้นควรจะทำการออกแบบระบบการควบคุมที่สามารถลดค่า rise time , settling time และสามารถกำจัดค่าความผิดพลาดที่สภาวะคงที่ได้

3.4 Proportional Control

จากตารางที่แสดงข้างบนจะเห็นว่าระบบการควบคุมแบบ Proportional (K_p) สามารถลดค่า rise time แต่ค่า overshoot มีค่าเพิ่มขึ้นและค่าความผิดพลาดที่สภาวะคงที่ และ transfer function ของระบบปิดข้างบนเมื่อใช้ระบบการควบคุม แบบ Proportional คือ

$$\frac{X(s)}{F(s)} = \frac{K_p}{s^2 + 10s + \left(20 + K_p\right)} \qquad (3.7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



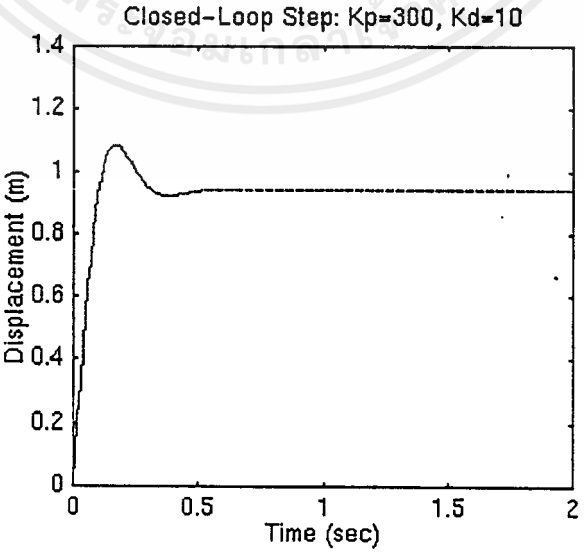
รูปที่ 3.4 แสดงการตอบสนองของวงจรควบคุมแบบ P

รูปกราฟข้างบนแสดงถึงการควบคุมแบบ proportional สามารถลดทั้งค่า rise time และค่าความผิดพลาดที่สภาวะคงที่ , เพิ่มค่า over shoot และลดค่า settling time

3.5 Proportional - Derivative Control

จากตารางจะเห็นได้ว่าการควบคุมแบบ Derivative สามารถลดทั้งค่า over shoot และค่า settling time ค่า transfer function ในระบบปิด ที่ควบคุมระบบ PD คือ

$$\frac{X(s)}{F(s)} = \frac{K_D s + K_P}{s^2 + (10 + K_D)s + (20 + K_P)} \qquad (3.8)$$



รูปที่ 3.5 แสดงการตอบสนองของวงจรควบคุมแบบ PD

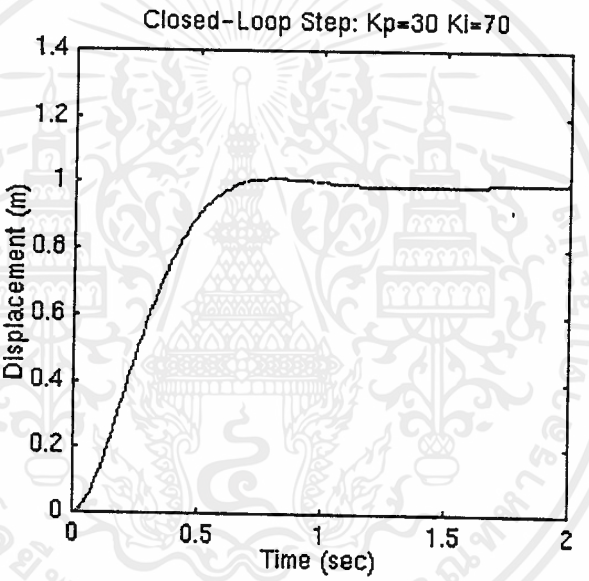
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากกราฟแสดงถึงการควบคุมแบบ derivative ที่สามารถลดทั้งค่า over shoot และค่า settling time, และมีผลกระทบเพียงเล็กน้อยต่อค่า rise time และค่าความผิดพลาดที่สภาวะคงที่

3.6 Proportional-Integral control

จากตารางจะเห็นว่าการควบคุมแบบ integral(K_p) สามารถลดค่า rise time , แต่จะทำให้ค่า overshoot และค่า settling time มีค่าเพิ่มขึ้น และสามารถกำจัดค่าความผิดพลาดที่สภาวะคงที่ ค่า transfer function ในระบบปิดของการควบคุมแบบ PI คือ

$$\frac{X(s)}{F(s)} = \frac{K_P + K_I}{s^3 + 10s^2 + (20 + K_P)s + K_I} \qquad (3.9)$$



รูปที่ 3.6 แสดงการตอบสนองของวงจรควบคุมแบบ PI

จากกราฟเราทำการลดค่า K_p (proportional gain) เพราะการควบคุมแบบ integral จะลดค่า rise time และเพิ่มค่า overshoot เหมือนกันกับการควบคุมแบบ proportional ค่าตอบสนองจากกราฟข้างบนแสดงถึงการควบคุมแบบ integral ที่สามารถกำจัดค่าความผิดพลาดที่สภาวะคงที่

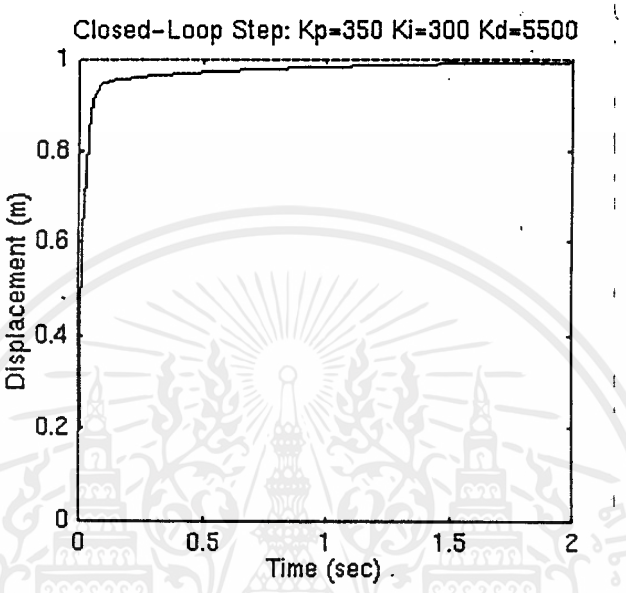
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

3.7 Proportional - Integral - Derivative control

ค่า transfer function ของระบบปิดที่มีการควบคุมแบบ PID คือ

$$\frac{X(s)}{F(s)} = \frac{K_D s^2 + K_p s + K_I}{s^3 + (10 + K_D)s^2 + (20 + K_P)s + K_I} \qquad (3.10)$$



รูปที่ 3.7 แสดงการตอบสนองของวงจรควบคุมแบบ PID

จะได้ระบบที่ไม่มีค่า overshoot ,มีค่า rise time ที่เร็ว และไม่มีค่าความผิดพลาดที่สภาวะคงที่

เมื่อต้องการออกแบบระบบการควบคุมแบบ PID สำหรับระบบ ตามขั้นตอนที่แสดงดังต่อไปนี้จะได้ค่าตอบสนองตามที่ต้องการคือ

1. จะได้ค่า open-loop response และหาค่าสิ่งที่ต้องการปรับปรุง
2. เพิ่มการควบคุมแบบ proportional เพื่อปรับปรุงค่า rise time
3. เพิ่มการควบคุมแบบ derivative เพื่อปรับปรุงค่า overshoot
4. เพิ่มการควบคุมแบบ integral เพื่อกำจัดค่าความผิดพลาดที่สภาวะคงที่
5. ปรับค่าของ K_P , K_I และ K_D ของแต่ละตัวจนกระทั่งได้ค่าตอบสนอง ทั้งหมดตามความต้องการ และสามารถใช้ตารางที่กล่าวถึงก่อนหน้านี้เพื่อศึกษาถึงคุณสมบัติของการควบคุมแต่ละชนิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

31651

ไม่ควรใช้ระบบการควบคุมทั้ง 3 แบบในระบบเดียวกันถ้าไม่จำเป็น ตัวอย่างเช่น ถ้าระบบการควบคุมแบบ PI ให้ค่า response ที่ดีพอดังนั้นไม่จำเป็นที่จะต้องใช้ระบบการควบคุมแบบ derivative อีก ภายในระบบ ควรทำระบบควบคุมให้ง่ายที่สุด ไม่ซับซ้อน

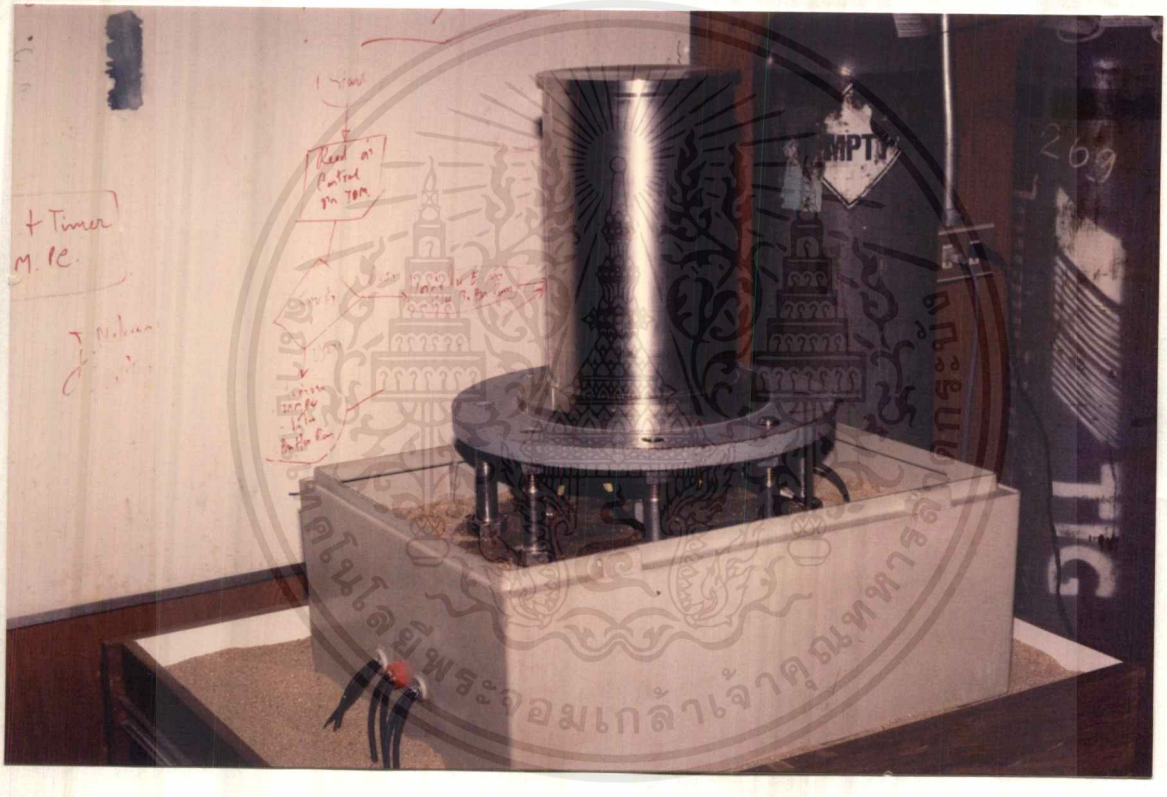
การทำงานของ STM ต้องการความถูกต้องสูง สิ่งที่ต้องการคือค่าความผิดพลาดต้องน้อยที่สุด ดังนั้นจึงเลือกใช้ระบบการควบคุมแบบ Integral control เพราะค่าความผิดพลาดน้อยมาก และข้อเสียของระบบนี้คือ การเกิดovershoot และ settling time เพิ่มขึ้น ซึ่งสามารถละทิ้งได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ส่วนประกอบของระบบที่ทำการสร้างขึ้น

4.1 ระบบ Mechanics

ซึ่งประกอบด้วยสองส่วนหลักคือส่วนของการปรับหัวเข็ม โครงสร้างทางภายนอกมีลักษณะเหมือนกับเครื่อง STM ที่ศึกษาในโครงการแรก และส่วนของระบบป้องกันการสั่นสะเทือน ซึ่งมีการเพิ่มกระบะทราย 2 ชั้น เพื่อลดการสั่นสะเทือน และทำการทดลองบนโต๊ะป้องกันการสั่นสะเทือนดังแสดงในรูปที่ 4.1



รูปที่ 4.1 แสดงระบบลดการสั่นสะเทือนโดยใช้กระบะทราย 2 ชั้น

4.2 เข็ม(Probe)

มีการเปลี่ยนแปลงเข็มที่ใช้จากเดิมใช้เส้นลวดทังสเตนเส้นผ่านศูนย์กลาง 0.5 มิลลิเมตร มากัดกร่อนด้วยสารละลายเพื่อทำเป็นเข็ม แต่เกิดปัญหาขึ้นคือ การเกิดออกไซด์ของเส้นลวดทังสเตนในอากาศจึงนำเส้นลวดทองมาใช้ในการทำเข็มเส้นผ่านศูนย์กลาง 0.008 นิ้ว แทนซึ่งเส้นลวดทองจะไม่เกิดปัญหานี้ขึ้นมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนในการทำเข็มมีดังนี้คือ

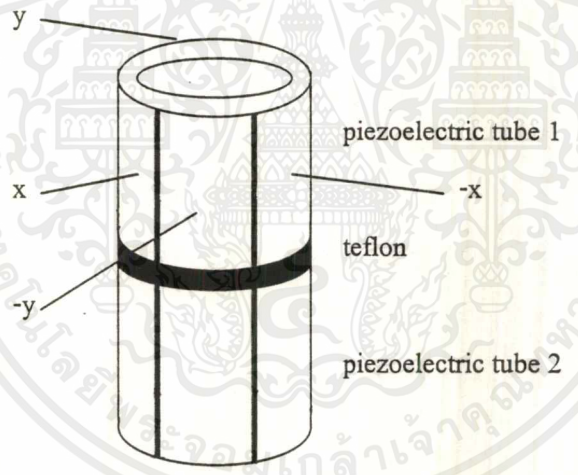
นำเส้นลวดทองมาตัดปลายออกแนวเฉียงด้วยมีด cutter เพื่อให้ปลายเส้นลวดมีความแหลมเพียงพอ ที่จะทำเป็นเข็มที่ใช้ในเครื่อง STM ได้ เสร็จแล้วนำมาบัดกรี เข้ากับแท่นทองเหลืองซึ่งแท่นทองเหลืองนี้จะนำไปสวมเข้ากับไมโครมิเตอร์ที่ติดอยู่กับส่วนของการปรับหัวเข็ม

4.3 ชิ้นสารตัวอย่าง (Sample)

ชิ้นสารตัวอย่างทำจาก Thin film ของทองที่เคลือบบนแผ่นฮอโลแกรม

4.4 รูปทรงของ PZT-5A

เป็นท่อทรงกระบอกมีเส้นผ่านศูนย์กลางภายนอก 6.35 มิลลิเมตร เส้นผ่านศูนย์กลางภายใน 5.35 มิลลิเมตร หนา 0.5 มิลลิเมตร ยาว 12.7 มิลลิเมตร มีขั้วอิเล็กโทรดที่ผิวภายนอก 4 ขั้ว และมีขั้วอิเล็กโทรดที่ผิวภายใน 1 ขั้ว ต่อกัน 2 แท่ง เพื่อช่วยเสริมระบบการเข้าใกล้กันของเข็มและสารตัวอย่างจากระบบเชิงกล โดยที่ใช้เทฟลอน(Teflon)กั้นระหว่างกลาง ดังรูป



รูปที่ 4.2 แสดงลักษณะของเพียโซอิเล็กทริกที่ต่อกัน 2 แท่ง

4.5 ระบบอิเล็กทรอนิกส์

4.5.1 ระบบการทำงานในการรักษาระดับของกระแสทันเนลลิ่ง

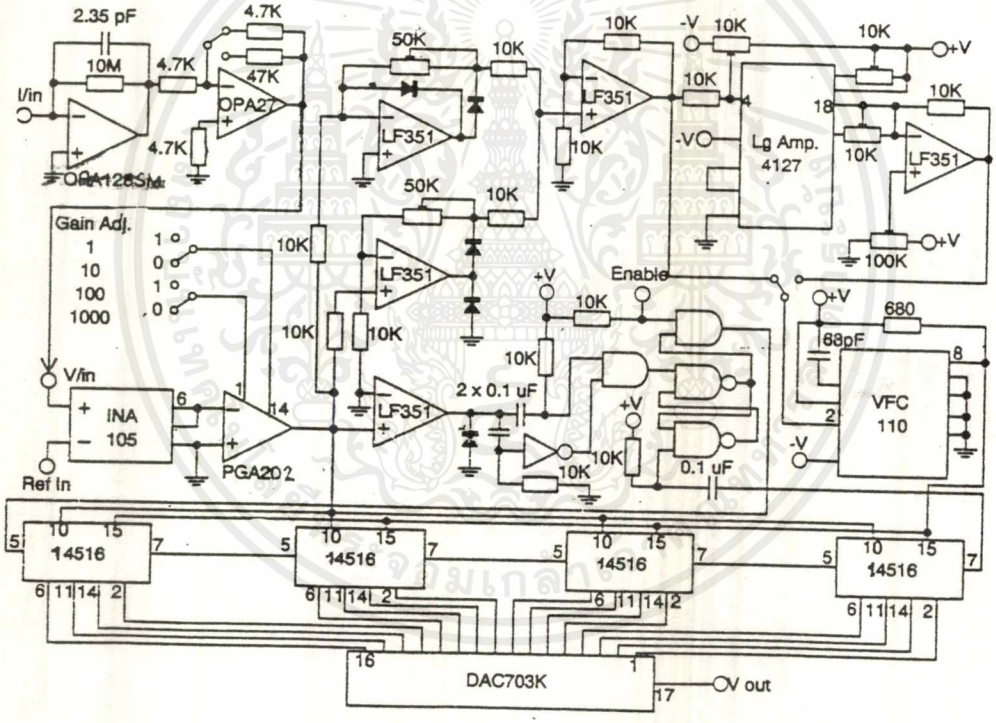
การเคลื่อนที่เข้าหากันของเข็มและชิ้นสารตัวอย่างแบบหยาบนั้นจะใช้ระบบ mechanics แต่สำหรับการปรับแบบละเอียดนั้น จะใช้หลักการยืด(หด)ของแท่งเพียโซอิเล็กทริก PZT-5A 2 แท่ง ชิ้นล่างจะติดอยู่กับฐานรองสามารถป้อนแรงดันเพื่อขับให้แท่งเพียโซให้มีการยืด(หด)ในแนวแกน z เพียโซอิเล็กทริกชิ้นบนจะทำการติดชิ้นสารตัวอย่างที่ปลายด้านบน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการปรับให้เข็มกับชิ้นสารตัวอย่างเข้าใกล้กัน จะป้อนแรงดันเข้าที่เพียโซอิเล็กทริก แท่งล่างเพื่อให้เกิดกระแสทันเนลลิ่งในช่วงที่ต้องการ ส่วนเพียโซชิ้นบนจะถูกขับจากสัญญาณกระแสทันเนลลิ่งที่นำมาใช้ควบคุมโดยหลักการ feedback control

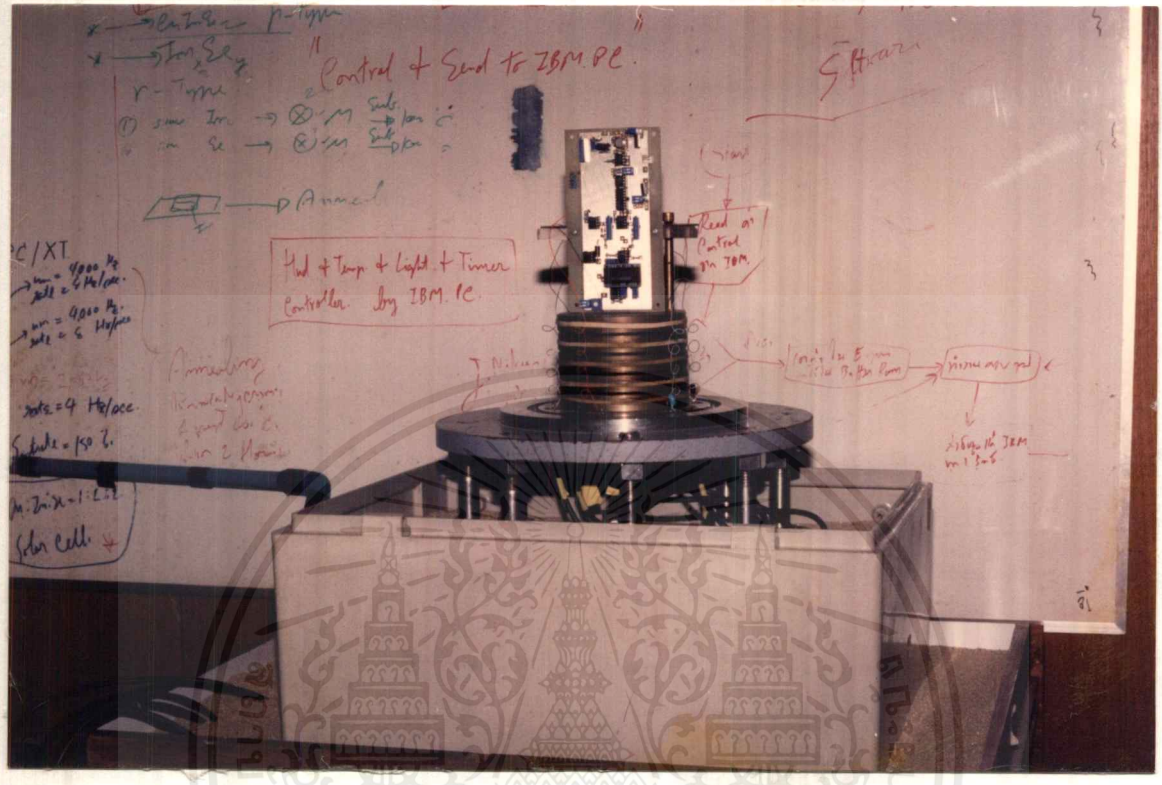
4.5.2 วงจรควบคุมป้อนกลับแบบ integral

สัญญาณอินพุทของวงจรนี้คือกระแสทันเนลลิ่ง กระแสทันเนลลิ่งที่เกิดขึ้นจะถูกแปลงเป็นแรงดันแล้วผ่านวงจรควบคุมแบบป้อนกลับ แล้วนำเอาท์พุทที่ได้ไปเข้าวงจรขยายแรงดันสูง(high voltage amplifier) เพื่อขับเพียโซอิเล็กทริก



รูปที่ 4.3 (a) แสดงวงจรควบคุมป้อนกลับแบบ integral

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



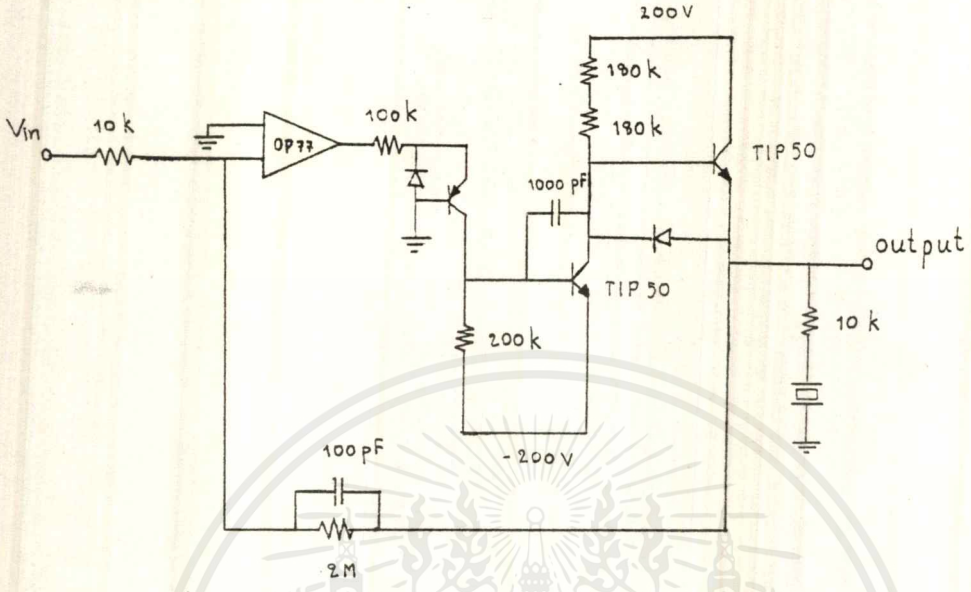
รูปที่ 4.3 (b) แสดงวงจรควบคุมป้อนกลับที่ติดตั้งในระบบ

สัญญาณอินพุทของวงจรนี้ คือกระแสทันเนลลิ่ง ซึ่งจะถูกแปลงเป็นแรงดันที่ OPA 128 แล้วทำการขยายสัญญาณโดย OPA 27 นำสัญญาณที่ได้มาเปรียบเทียบกับค่าอ้างอิงที่ INA 105 แล้วจึงนำค่าผลต่างที่ได้ไปขยายสัญญาณโดย PGA 202 ซึ่งสามารถเปลี่ยนอัตราขยายได้ตามต้องการ และใช้ไดโอดปรับสัญญาณเพื่อเปลี่ยนเป็นสัญญาณซีกบวกที่ LF 351 เพื่อให้สัญญาณที่ได้สามารถใช้งานได้ที่ Lg Amp. 4127 เพื่อป้องกันการเปลี่ยนแปลงสัญญาณอย่างทันทีทันใด จากนั้นจึงแล้วเข้า VFC 110 ซึ่งทำหน้าที่แปลงแรงดันเป็นความถี่ แล้วส่งสัญญาณไปยัง 14516 (up/doun counter 4 บิต) จำนวน 4 ตัว ให้เกิดการนับ สัญญาณนับขึ้นหรือลงจะมาจากเอาท์พุทของ PGA202 แล้วนำสัญญาณดิจิตอลที่ได้เข้า DAC703K 16 บิต เพื่อแปลงค่าออกมาเป็นแรงดัน นำแรงดันที่ได้ไปขับเพียโซอิเล็กทริกต่อไป การทำงานที่ VFC110 และ 14516 นี่เอง ที่เป็นการทำงานแบบ integral

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5.3 วงจรขยายแรงดันสูง (High Voltage Amplifier)

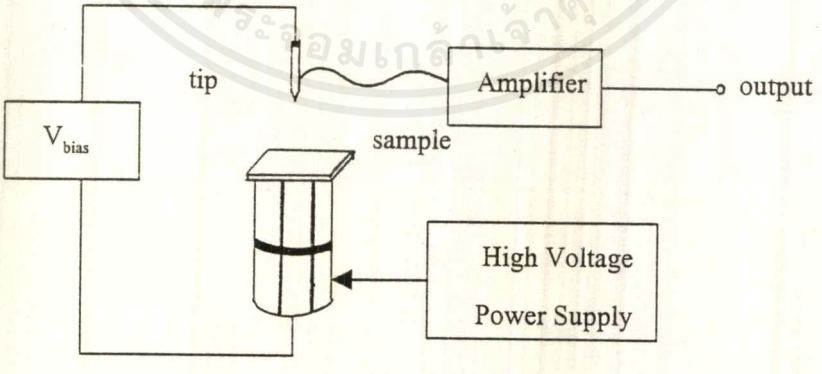
วงจรขยายแรงดันสูงจะทำหน้าที่ขยายสัญญาณจากวงจรควบคุมแบบย้อนกลับเพื่อให้มี แรงดันสูงพอในการขับเพียโซอิเล็กทริก



รูปที่ 4.4 วงจรขยายแรงดันสูง

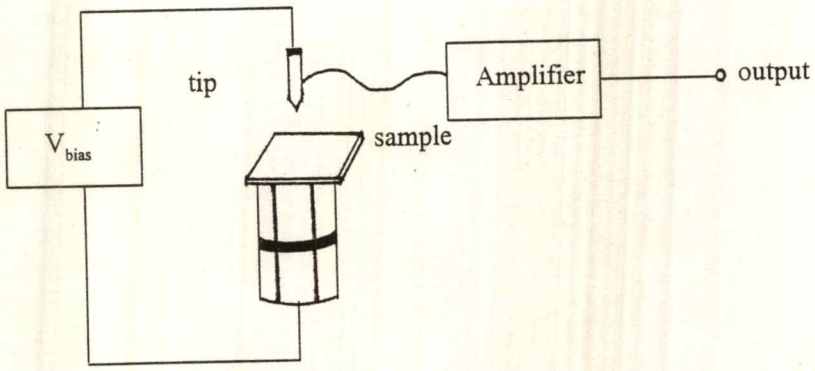
4.6 การจัดชุดทดลองวัดความสัมพันธ์ระหว่างกระแสทันเนลลิ่งกับระยะห่างระหว่างเข็มกับสารตัวอย่าง และแรงดันตกคร่อมระหว่างเข็มกับสารตัวอย่าง

ใช้ Pasco Scientific MODEL SF –9585 HIGH VOLTAGE POWER SUPPLY



รูปที่ 4.5 (a) ชุดทดลองหาความสัมพันธ์ระหว่างกระแสทันเนลลิ่ง
กับระยะห่างระหว่างเข็มกับสารตัวอย่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5(b) ชุดทดลองหาความสัมพันธ์ระหว่างกระแสทันเนลลิ่งกับแรงดันตกคร่อมระหว่างเข็มกับสารตัวอย่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

ผลการทดลอง

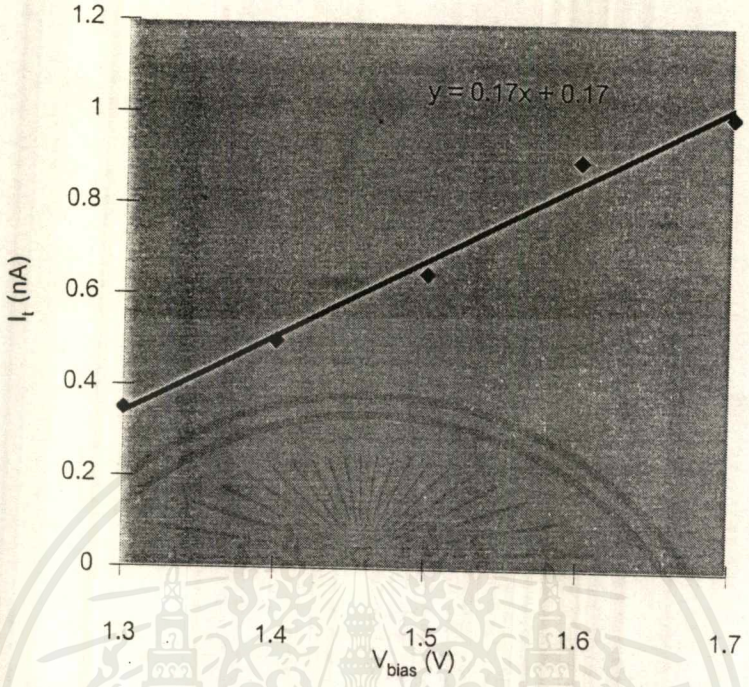
5.1 การทดลองเพื่อหาความสัมพันธ์ระหว่างกระแสทันเนลลิ่ง (I_t) และแรงดันตกคร่อมระหว่างเข็มกับชิ้นสารตัวอย่าง (V_{bias})

โดยทำการเปลี่ยนแรงดันตกคร่อมระหว่าเข็มกับชิ้นสารตัวอย่าง แล้ววัดแรงดันขาออกของวงจรขยาย (V_{out}) ซึ่งแปรตามกระแส (I_t) กราฟที่ได้จะมีลักษณะเป็นเส้นตรง โดยที่ความชันจะขึ้นกับพื้นที่หน้าตัดของเข็ม, ความสูงเฉลี่ยของ barrier (ทอง) และระยะห่างระหว่างเข็มกับชิ้นสารตัวอย่าง ในการทดลองไม่สามารถควบคุมระยะห่างระหว่างเข็มกับชิ้นสารตัวอย่าง และพื้นที่หน้าตัดของเข็มได้ จึงทำให้ความชันของกราฟ ในการทดลองแต่ละครั้งมีค่าไม่เท่ากัน

V_{bias}(V)	V_{out}(V)	I_t(nA)
1.3	0.0035	0.35
1.4	0.005	0.5
1.5	0.0065	0.65
1.6	0.009	0.9
1.7	0.01	1

ตารางที่ 5.1 ผลการทดลองครั้งที่ 1 เมื่อมีการเปลี่ยนโวลต์ไบอัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

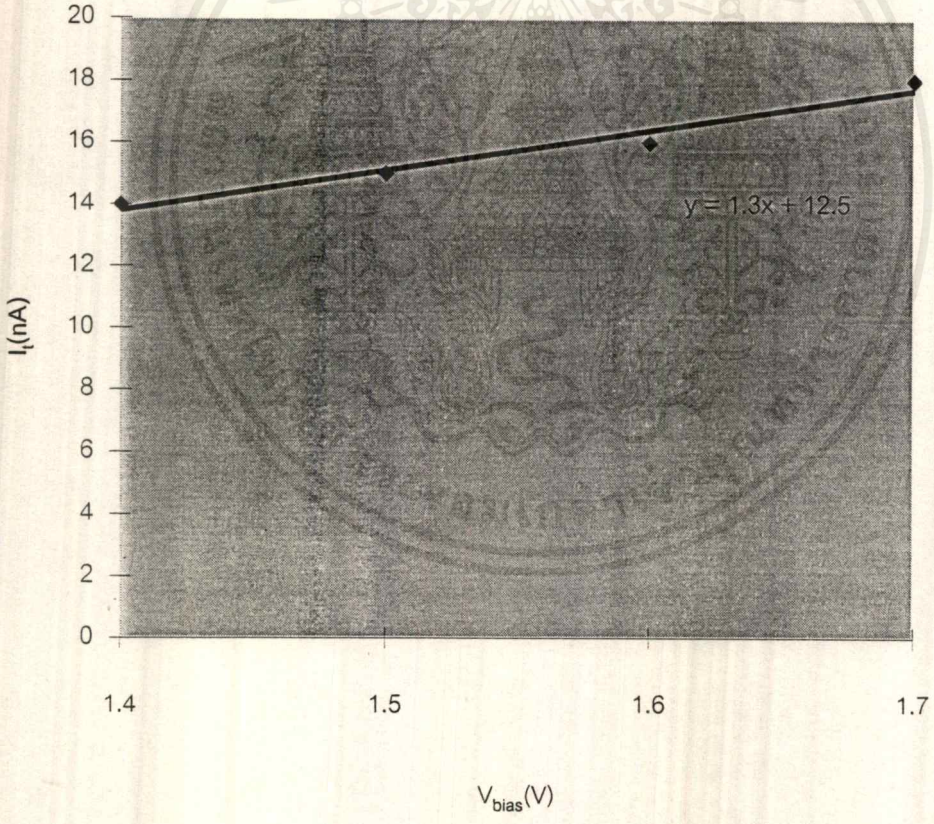


รูปที่ 5.1 กราฟแสดงความสัมพันธ์ระหว่างกระแสทันเนลลิ่ง(I_t)กับโวลต์ไบอัส(V_{bias}) 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V_{bias} (V)	V_{out}(V)	I_t(nA)
1.4	0.14	14
1.5	0.15	15
1.6	0.16	16
1.7	0.18	18

ตารางที่ 5.3 ผลการทดลองครั้งที่ 3 เมื่อมีการเปลี่ยนโวลต์ไบอัส

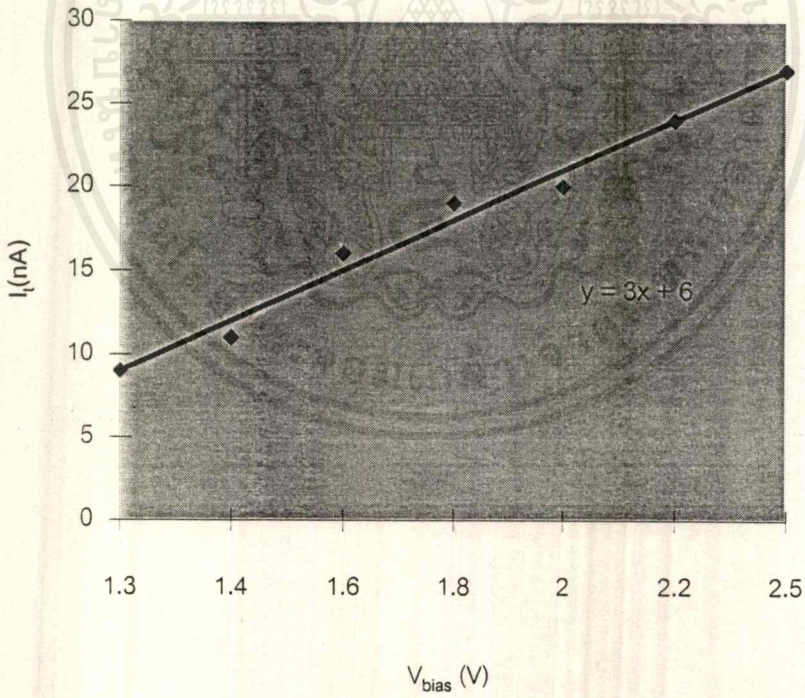


รูปที่ 5.3 กราฟแสดงความสัมพันธ์ระหว่างกระแสทันเนลลิ่ง(I_t)กับโวลต์ไบอัส(V_{bias}) 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V_{bias}(V)	V_{out}(V)	I_t(nA)
1.3	0.19	9
1.4	0.11	11
1.6	0.16	16
1.8	0.19	19
2.0	0.2	20
2.2	0.24	24
2.5	0.27	27

ตารางที่ 5.4 ผลการทดลองครั้งที่ 4 เมื่อมีการเปลี่ยนโวลต์ไบอัส

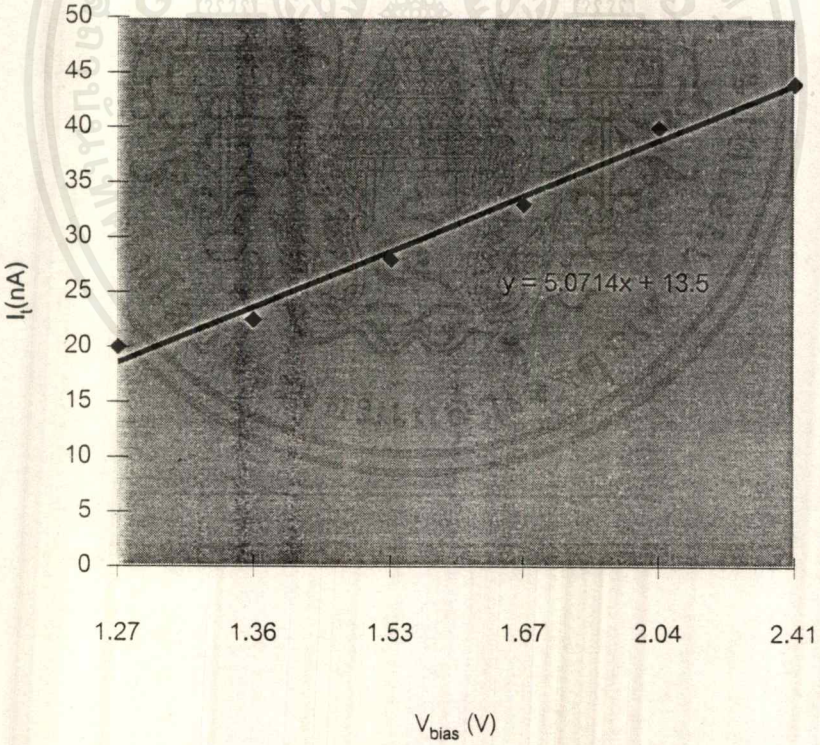


รูปที่ 5.4 กราฟแสดงความสัมพันธ์ระหว่างกระแสทันเนลลิ่ง(I_t)กับโวลต์ไบอัส(V_{bias}) 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V_{bias}(V)	V_{out}(V)	I_t(nA)
1.27	0.2	20
1.36	0.225	22.5
1.53	0.28	28
1.67	0.33	33
2.04	0.4	40
2.41	0.44	44

ตารางที่ 5.5 ผลการทดลองครั้งที่ 5 เมื่อมีการเปลี่ยนโวลต์ไบอัส



รูปที่ 5.5 กราฟแสดงความสัมพันธ์ระหว่างกระแสทันเนลลิ่ง(I_t)กับโวลต์ไบอัส(V_{bias}) 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

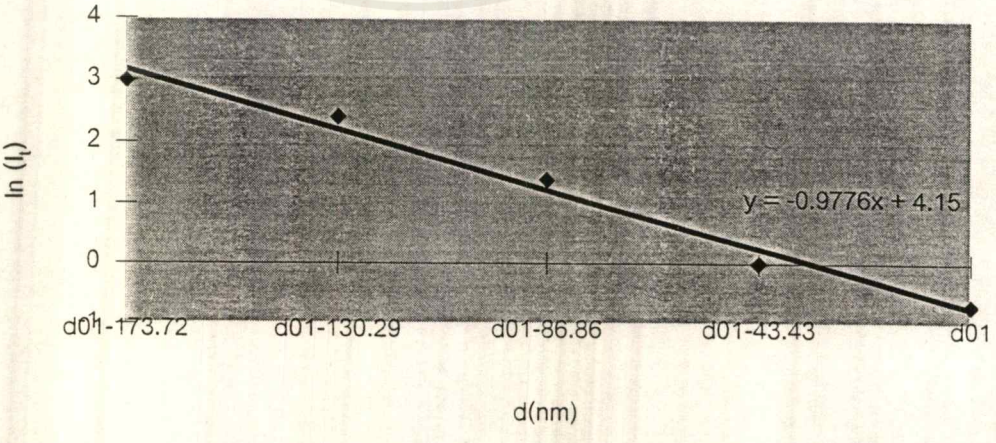
5.2 การทดลองเพื่อหาความสัมพันธ์ระหว่างกระแสทันเนลลิ่ง(I_t) และระยะห่างระหว่างเข็มกับชิ้นสารตัวอย่าง(d)

ทำการโดยเปลี่ยนโวลต์ที่ป้อนให้กับ piezo (PZT 5A) เพื่อให้ระยะระหว่างเข็มกับชิ้นสารตัวอย่างเปลี่ยน แล้ววัดแรงดันขาออกของวงจรขยาย (V_{out}) ซึ่งแปรตามกระแส (I_t) จากผลการทดลองที่ได้เมื่อนำมาเขียนกราฟระหว่างระยะห่าง(d) กับ ln(I_t) จะได้กราฟเส้นตรง โดยที่ความชันของกราฟจะขึ้นกับพื้นที่หน้าตัดของเข็ม, ความสูงเฉลี่ยของกำแพงศักย์(ทอง) และโวลต์คร่อมเข็มกับชิ้นสารตัวอย่าง เนื่องจากในการทดลองไม่สามารถควบคุมระยะห่างเริ่มต้นระหว่างเข็มกับชิ้นสารตัวอย่าง (d_0) และ พื้นที่หน้าตัดของเข็มได้ ดังนั้นในการทดลองแต่ละครั้งความชันของกราฟจะไม่เท่ากัน

ให้โวลต์คร่อมเข็มกับชิ้นสารตัวอย่าง 3 โวลต์ , ตัวต้านทาน 50 MΩ , กระแสสูงสุดกรณีที่เข็มชนกับชิ้นสารตัวอย่าง(I=V/R) 60 nA

High Volt(V)	d(nm)	V_{out}(V)	I_t(nA)	ln (I_t)
300	d_{01}-173.72	0.2	20	2.99573
290	d_{01}-130.29	0.11	11	2.3979
280	d_{01}-86.86	0.04	4	1.38629
270	d_{01}-43.43	0.01	1	0
260	d_{01}	0.005	0.5	-0.6931

ตารางที่ 5.6 การทดลองครั้งที่ 1 เมื่อมีการเปลี่ยนระยะระหว่างเข็มกับสารตัวอย่าง

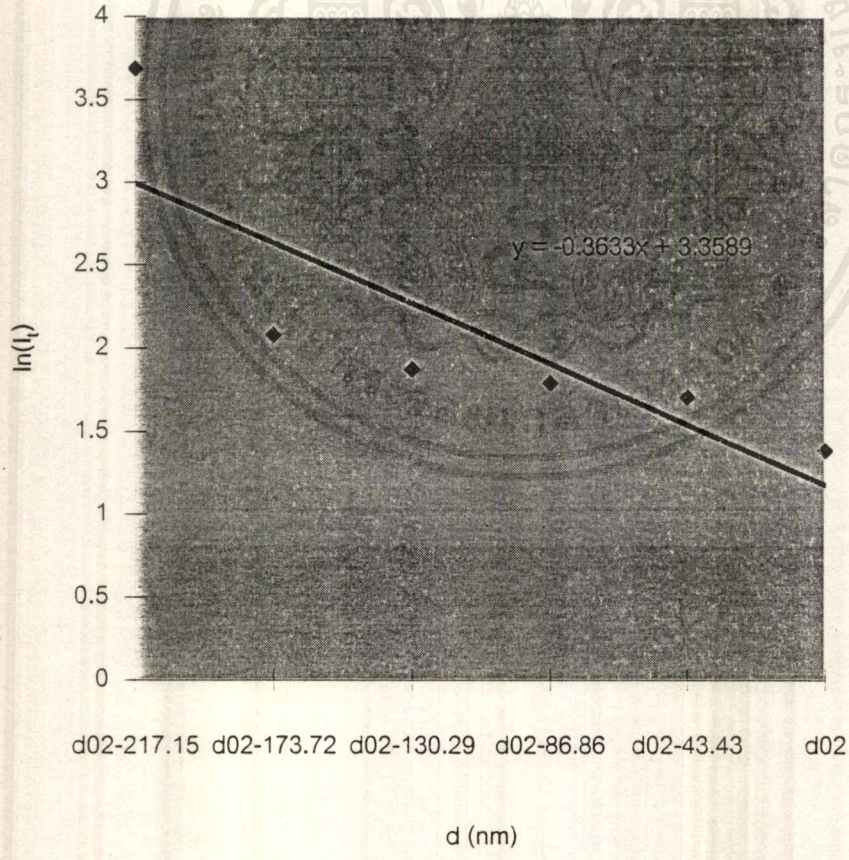


รูปที่ 5.6 กราฟแสดงความสัมพันธ์ระหว่าง ln(I_t) กับ ระยะระหว่างเข็มกับสารตัวอย่าง(d) 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

High Volt (V)	d(nm)	V_{out}(V)	I_t(nA)	ln (I_t)
50	d_{02}-217.15	0.4	40	3.68888
40	d_{02}-173.72	0.08	8	2.07944
30	d_{02}-130.29	0.065	6.5	1.8718
20	d_{02}-86.86	0.06	6	1.79176
10	d_{02}-43.43	0.055	5.5	1.70475
0	d_{02}	0.04	4	1.38629

ตารางที่ 5.7 การทดลองครั้งที่ 2 เมื่อมีการเปลี่ยนระยะระหว่างเข็มกับสารตัวอย่าง

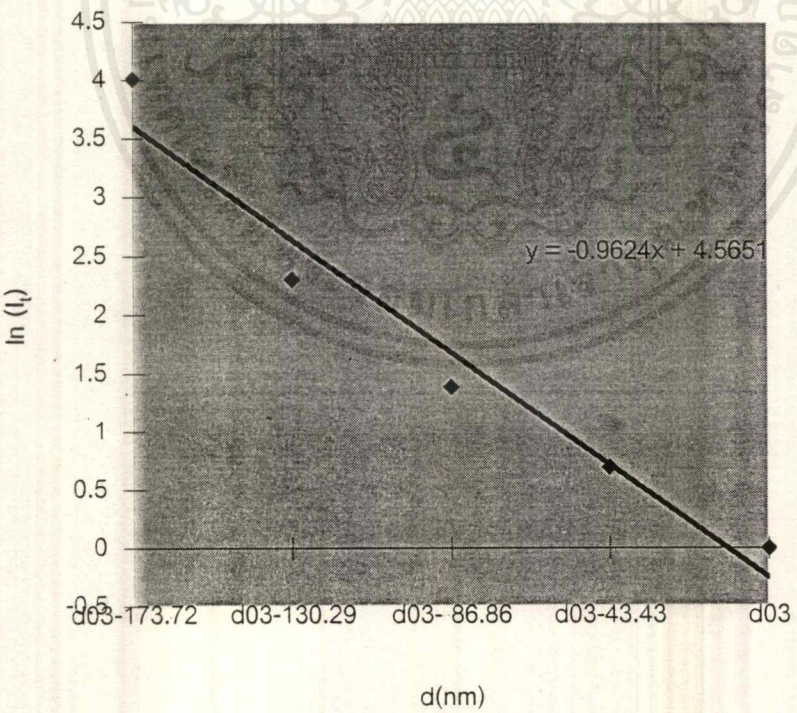


รูปที่ 5.7 กราฟแสดงความสัมพันธ์ระหว่าง ln(I_t) กับ ระยะระหว่างเข็มกับสารตัวอย่าง(d) 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

High Volt(V)	d(nm)	V_{out}(V)	I_t(nA)	ln(I_t)
200	d_{03}-173.72	0.55	55	4.00733
190	d_{03}-130.29	0.1	10	2.30259
180	d_{03}-86.86	0.04	4	1.38629
170	d_{03}-43.43	0.02	2	0.69315
160	d_{03}	0.01	1	0

ตารางที่ 5.8 การทดลองครั้งที่ 3 เมื่อมีการเปลี่ยนระยะระหว่างเข็มกับสารตัวอย่าง

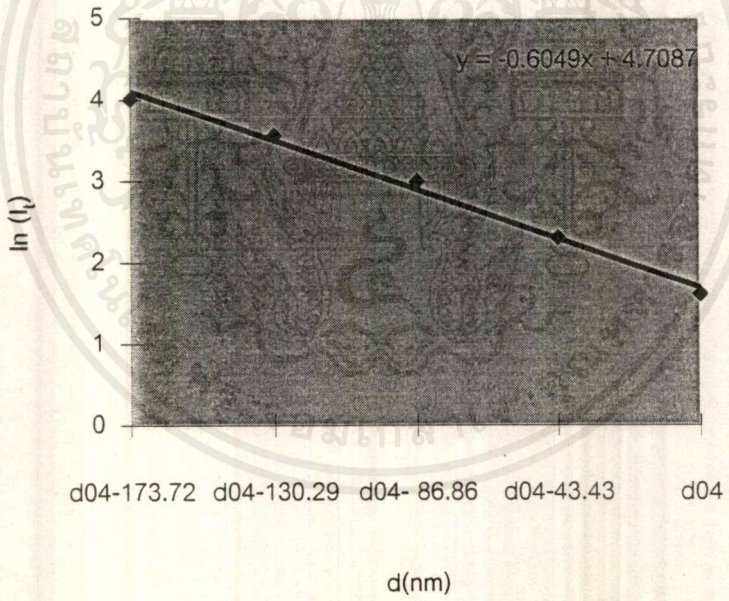


รูปที่ 5.8 กราฟแสดงความสัมพันธ์ระหว่าง ln(I_t) กับ ระยะระหว่างเข็มกับสารตัวอย่าง(d) 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

High Volt(V)	d(nm)	V_{out}(V)	I_t(nA)	ln(I_t)
350	d_{04}-173.72	0.55	55	4.00733
340	d_{04}-130.29	0.1	10	3.55535
330	d_{04}-86.86	0.02	2	2.99573
320	d_{04}-43.43	0.01	1	2.30259
310	d_{04}	0.005	0.5	1.60944

ตารางที่ 5.9 การทดลองครั้งที่ 4 เมื่อมีการเปลี่ยนระยะระหว่างเข็มกับสารตัวอย่าง

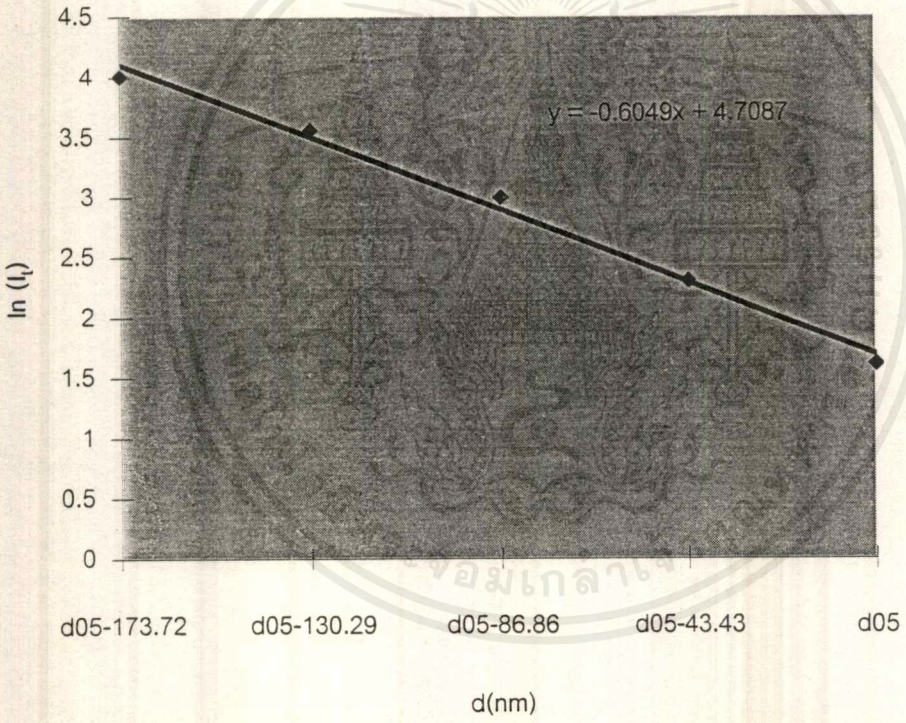


รูปที่ 5.9 กราฟแสดงความสัมพันธ์ระหว่าง ln(I_t) กับ ระยะระหว่างเข็มกับสารตัวอย่าง(d) 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

High Volt(V)	d(nm)	V_{out}(V)	I_t(nA)	ln(I_t)
350	d_{05}-173.72	0.55	55	4.00733
340	d_{05}-130.29	0.35	35	3.55535
330	d_{05}-86.86	0.2	20	2.99573
320	d_{05}-43.43	0.1	10	2.30259
310	d_{05}	0.05	5	1.60944

ตารางที่ 5.10 การทดลองครั้งที่ 5 เมื่อมีการเปลี่ยนระยะระหว่างเข็มกับสารตัวอย่าง

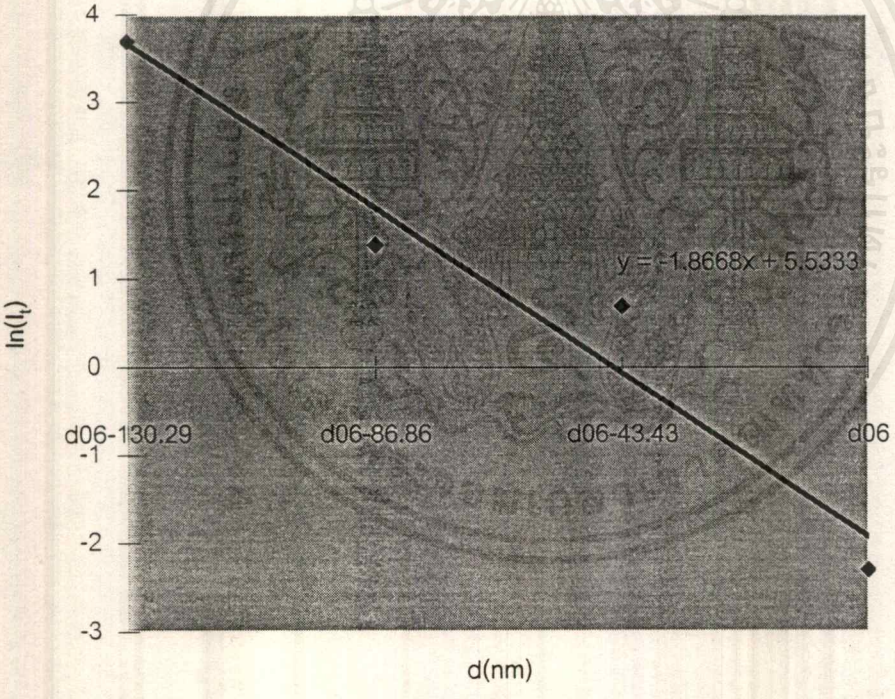


รูปที่ 5.10 กราฟแสดงความสัมพันธ์ระหว่าง ln(I_t) กับ ระยะระหว่างเข็มกับสารตัวอย่าง(d) 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

High Volt(V)	d(nm)	V_{out}(V)	I_t(nA)	ln (I_t)
410	d_{06}-130.29	0.4	40	3.68888
400	d_{06}-86.86	0.04	4	1.38629
390	d_{06}-43.43	0.02	2	0.69315
380	d_{06}	0.001	0.1	-2.3026

ตารางที่ 5.11 การทดลองครั้งที่ 6 เมื่อมีการเปลี่ยนระยะระหว่างเข็มกับสารตัวอย่าง

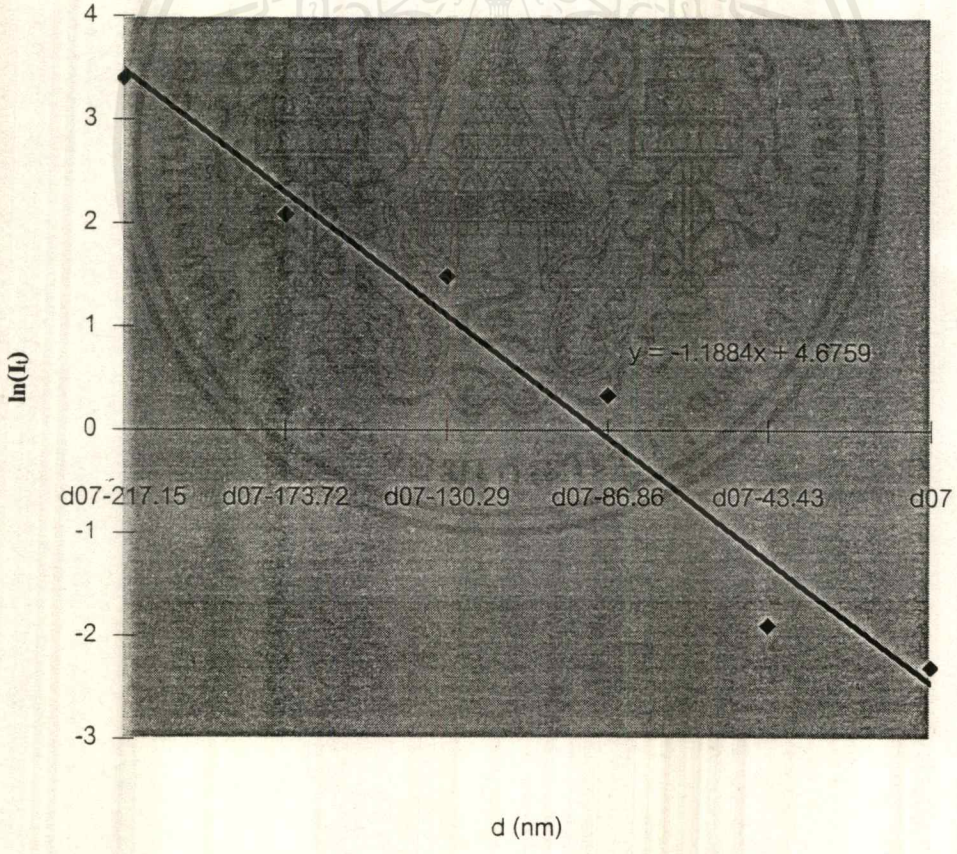


รูปที่ 5.11 กราฟแสดงความสัมพันธ์ระหว่าง ln(I_t) กับ ระยะระหว่างเข็มกับสารตัวอย่าง(d) 6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

High Volt (V)	d(nm)	V_{out}(V)	I_t(nA)	ln (I_t)
110	d_{07}-217.15	0.3	30	3.4012
100	d_{07}-173.72	0.08	8	2.07944
90	d_{07}-130.29	0.044	4.4	1.4816
80	d_{07}-86.86	0.014	1.4	0.33647
70	d_{07}-43.43	0.0015	0.15	-1.8971
60	d_{07}	0.001	0.1	-2.3026

ตารางที่ 5.12 การทดลองครั้งที่ 7 เมื่อมีการเปลี่ยนระยะระหว่างเข็มกับสารตัวอย่าง

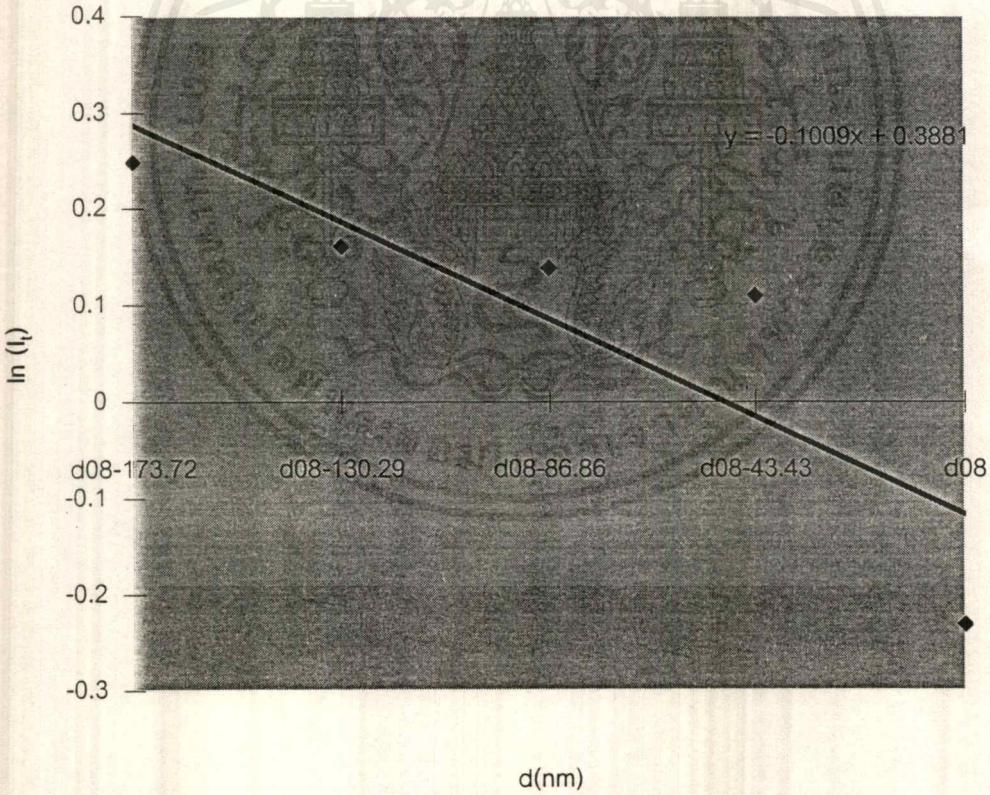


รูปที่ 5.12 กราฟแสดงความสัมพันธ์ระหว่าง ln(I_t) กับ ระยะระหว่างเข็มกับสารตัวอย่าง(d) 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

High Volt(V)	d(nm)	V_{out}(V)	I_t(nA)	ln (I_t)
-110	d_{08}-173.72	0.12	12	0.24849
-120	d_{08}-130.29	0.05	5	0.16094
-130	d_{08}-86.86	0.04	4	0.13863
-140	d_{08}-43.43	0.03	3	0.10986
-150	d_{08}	0.001	0.1	-0.2303

ตารางที่ 5.13 การทดลองครั้งที่ 8 เมื่อมีการเปลี่ยนระยะระหว่างเข็มกับสารตัวอย่าง

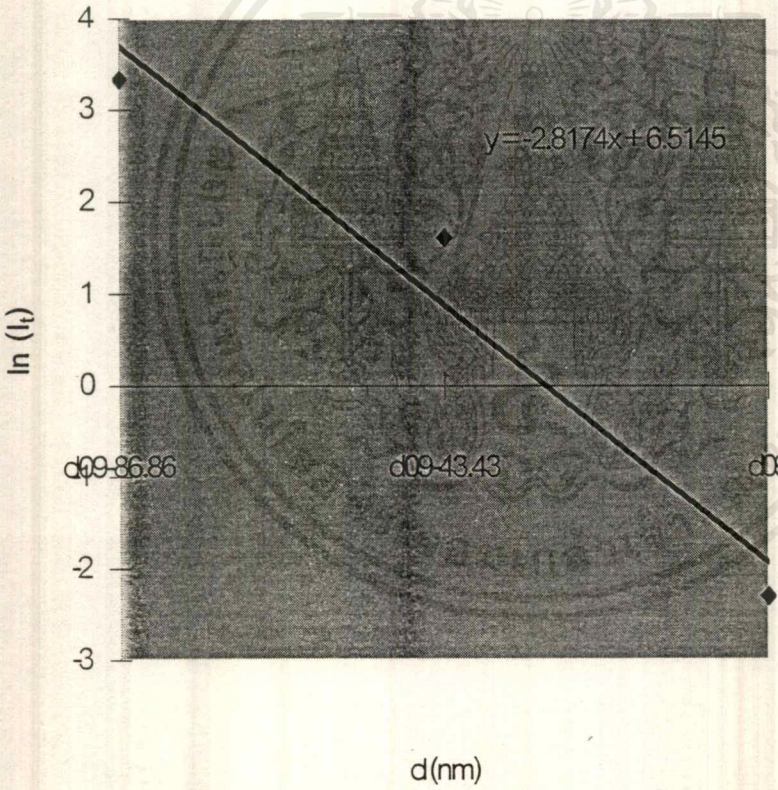


รูปที่ 5.13 กราฟแสดงความสัมพันธ์ระหว่าง ln(I_t) กับ ระยะระหว่างเข็มกับสารตัวอย่าง(d) 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

High Volt(V)	d(nm)	V_{out}(V)	I_t(nA)	ln (I_t)
100	d_{09}-86.86	0.28	28	3.3322
90	d_{09}-43.43	0.05	5	1.60944
80	d_{09}	0.001	0.1	-2.3026

ตารางที่ 5.14 การทดลองครั้งที่ 9 เมื่อมีการเปลี่ยนระยะระหว่างเข็มกับสารตัวอย่าง



รูปที่ 5.14 กราฟแสดงความสัมพันธ์ระหว่าง ln(I_t) กับ ระยะระหว่างเข็มกับสารตัวอย่าง(d) 9

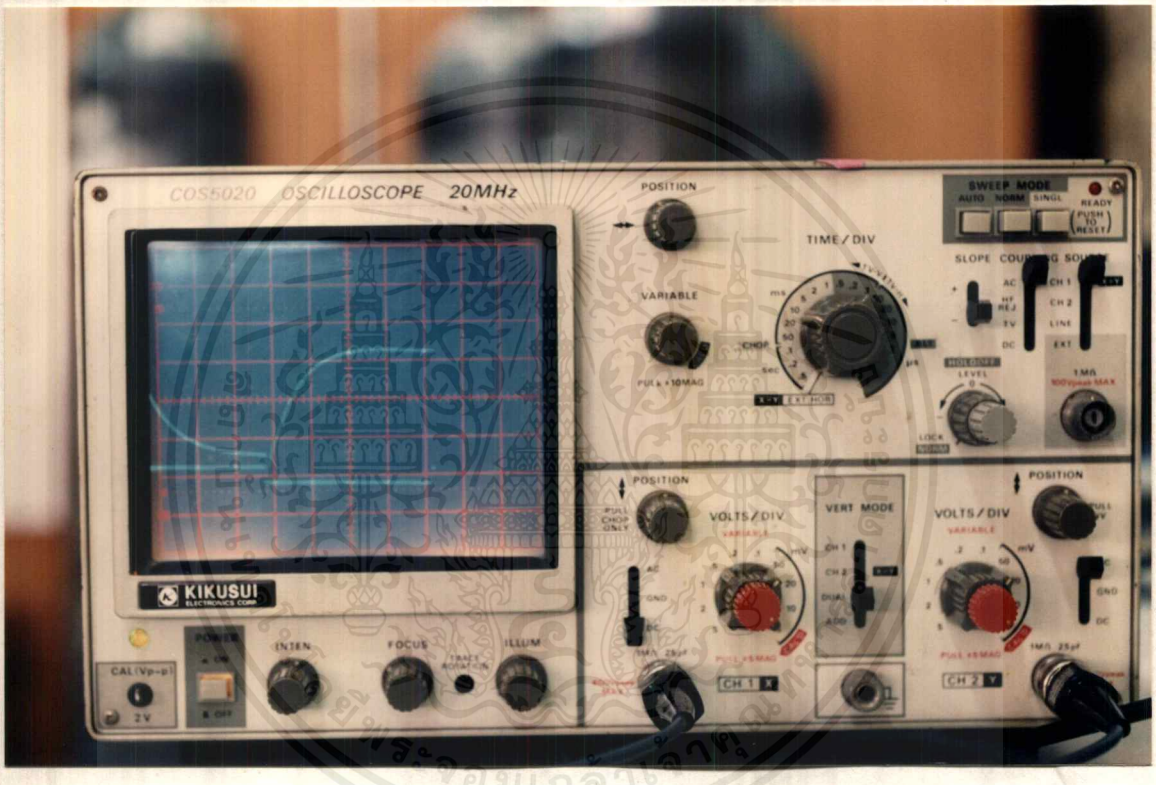
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 แสดงการตอบสนองของวงจรควบคุมป้อนกลับแบบ Integral

TIME/DIV = 10 ms/DIV

VOLTS/DIV = 50 mV/DIV

Settling time 25 mS



รูปที่ 5.15 แสดงสัญญาณการตอบสนองของวงจรควบคุมป้อนกลับแบบ integral

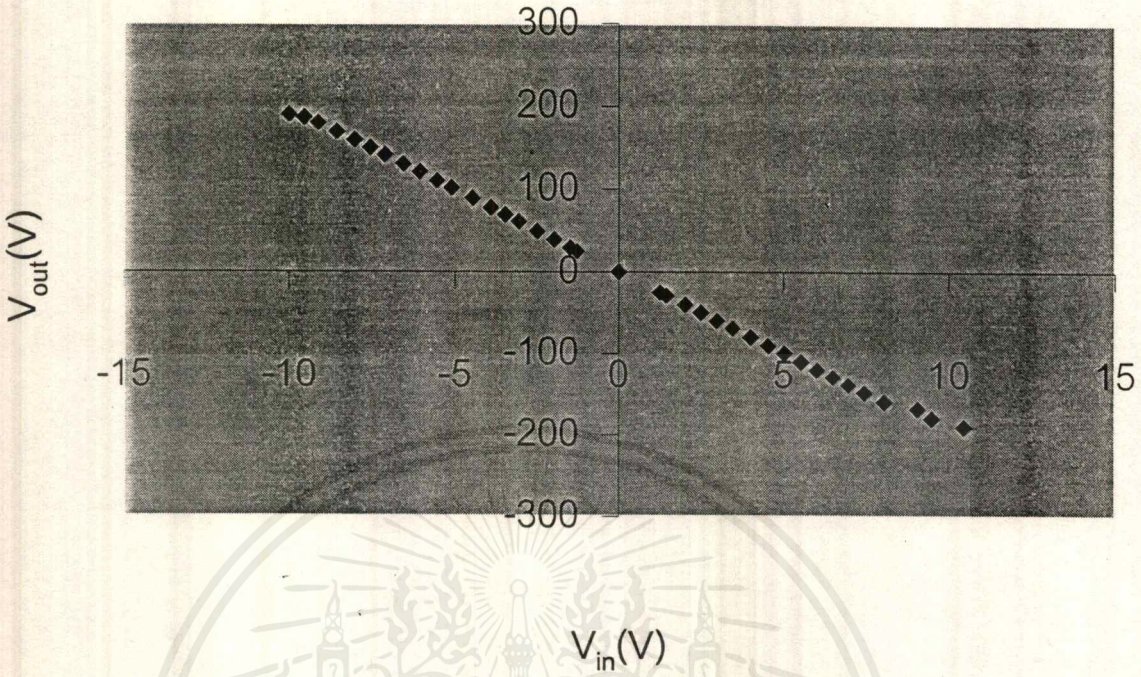
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4 ผลการทดลองของวงจรขยายแรงดันสูง

V_{in}(V)	V_{out}(V)	V_{in}(V)	V_{out}(V)
-10	190.3	0	0
-9.54	186.6	1.26	-25.3
-9.13	179.9	1.45	-28.9
-8.56	169.2	2.02	-40.2
-8.04	159.1	2.5	-49.7
-7.56	149.7	2.99	-59.9
-7.12	141.1	3.47	-68.9
-6.56	130.2	4.01	-79.7
-6.07	120.6	4.54	-90.3
-5.54	110.1	5.03	-99.9
-5.11	101.6	5.53	-109.9
-4.47	89	6.02	-119.7
-3.91	78	6.5	-129
-3.48	69.5	6.97	-138.3
-3.07	61.3	7.45	-147.8
-2.5	49.9	8.05	-159.5
-1.98	39.6	9.06	-167.6
-1.49	29.6	9.49	-179.5
-1.27	25.3	10.46	-189.5

ตารางที่ 5.15 แสดงค่า V_{in}(V) และ V_{out}(V) ของวงจรขยายแรงดันสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.16 กราฟแสดงความสัมพันธ์ระหว่าง V_{in}(V) และ V_{out}(V) ของวงจรขยายแรงดันสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
วิเคราะห์และ สรุปผลการทดลอง

6.1 วิเคราะห์และสรุปผลการทดลอง

กระแสทันเนลลิ่งจะขึ้นกับระยะห่างระหว่างเข็มกับชิ้นสารตัวอย่างแบบ เอ็กโปเนนเชียล และแปรตามแรงดันตกคร่อมระหว่างเข็มกับชิ้นสารตัวอย่าง กระแสทันเนลลิ่งที่วัดได้อยู่ในช่วง 0.1 – 55 นาโนแอมแปร์ และมีความเสถียรมาก เนื่องมาจากเข็มและชิ้นสารตัวอย่างที่ใช้เป็นทองจึงไม่เกิดปัญหาการออกซิเดชัน และมีการเพิ่มระบบการลดทอนความสั่นสะเทือนโดยใช้ทรายเป็นตัวลดทอน แต่ในการทดลองบางครั้งผลที่ได้ไม่เป็นไปตามทฤษฎีเนื่องจากสาเหตุความสั่นสะเทือนที่รุนแรงมาก

วงจรควบคุมย้อนกลับแบบ Integral เมื่อให้อินพุทเป็น Step Function เอาท์พุทที่ได้ จะมีค่าความคลาดเคลื่อนน้อยมาก มีsettling time 25 ms วงจรขยายแรงดันสูงมีความเป็นเชิงเส้น

6.2 ข้อเสนอแนะ

ควรเพิ่มเติมระบบลดทอนความสั่นสะเทือน หรือหลีกเลี่ยงการทดลองในเวลาที่มีโอกาสเกิดความสั่นสะเทือนสูง เช่นเวลารถไฟผ่าน หรือช่วงที่มีรถบรรทุกผ่าน อาจเลี่ยงไปทดลองในเวลากลางคืนแทน ออกแบบระบบ mechanics ให้สามารถปิดเปิด shamber ได้ง่ายไม่เกิดการสั่นสะเทือน และควรออกแบบระบบการเข้าใกล้กันของเข็มกับสารตัวอย่างให้ดีขึ้น

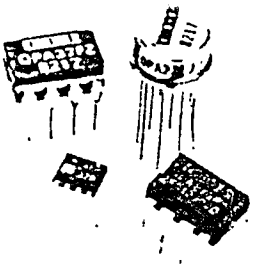
ในการตรวจสอบการทำงานของ เพียโซอิเล็กทริก การทดลองโดยทางแสงโดยใช้หลักการ interferometer ชนิด michelson ไม่สามารถนำมาใช้งานได้เนื่องจากระดับของการเคลื่อนที่ของเพียโซอิเล็กทริกน้อยกว่าการเคลื่อนที่ของอุปกรณ์ในการทดลอง แต่สามารถทำได้โดยการอ่านค่าตัวเก็บประจุ โดยจะเปลี่ยนเข็มเป็นแผ่นโลหะแล้วปรับให้ขนานและเข้าใกล้กับชิ้นสารตัวอย่าง ก็สามารถวัดค่าจากตัวเก็บประจุนี้ ขณะที่ทำการขับเพียโซอิเล็กทริกได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BURR-BROWN®



OPA27
OPA37

MILITARY & DIE VERSIONS AVAILABLE

Ultra-Low Noise Precision OPERATIONAL AMPLIFIERS

FEATURES

- LOW NOISE: 100% tested, 3.8nV/$\sqrt{Hz}$ max at 1kHz
- LOW OFFSET: 25μV max
- LOW DRIFT: 0.6μV/°C max
- HIGH OPEN-LOOP GAIN: 120dB min
- HIGH COMMON-MODE REJECTION: 114dB min
- HIGH POWER SUPPLY REJECTION: 100dB min
- FITS OP-07, OP-05, AD510, AD517 SOCKETS

APPLICATIONS

- PRECISION INSTRUMENTATION
- DATA ACQUISITION
- TEST EQUIPMENT
- PROFESSIONAL AUDIO EQUIPMENT
- TRANSDUCER AMPLIFIER
- RADIATION HARD EQUIPMENT

DESCRIPTION

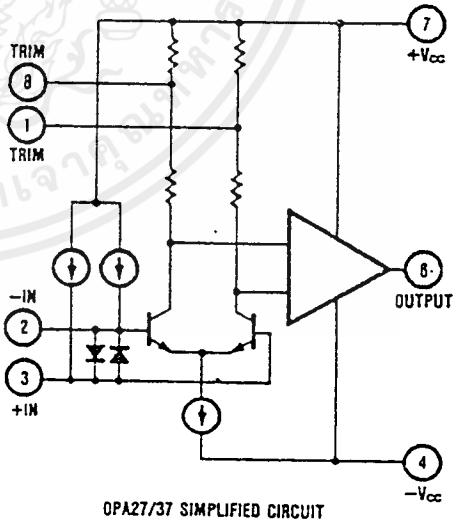
The OPA27/37 is an ultra-low noise, high precision monolithic operational amplifier.

Laser-trimmed thin-film resistors provide excellent long-term voltage offset stability and allow superior voltage offset compared to common zener-zap techniques.

A unique bias current cancellation circuit allows bias and offset current specifications to be met over the full −55°C to +125°C temperature range.

The OPA27 is internally compensated for unity-gain stability. The decompensated OPA37 requires a closed-loop gain ≥ 5.

The Burr-Brown OPA27/37 is an improved replacement for the industry-standard OP-27/OP-37.



OPA27/37 SIMPLIFIED CIRCUIT

International Airport Industrial Park · P.O. Box 11400 · Tucson, Arizona 85734 · Tel. (602) 746-1111 · Twx: 910-952-1111 · Cable: BBRCORP · Telex: 66-6491

PDS-466H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SPECIFICATIONS

ELECTRICAL

At V_{CC} = P15VDC and T_A = +25°C unless otherwise noted.

PARAMETER	CONDITIONS	OPA27/37A, OPA27/37E MIN	OPA27/37A, OPA27/37E TYP	OPA27/37A, OPA27/37E MAX	OPA27/37B, OPA27/37F MIN	OPA27/37B, OPA27/37F TYP	OPA27/37B, OPA27/37F MAX	OPA27/37C, OPA27/37G MIN	OPA27/37C, OPA27/37G TYP	OPA27/37C, OPA27/37G MAX	UNITS
INPUT											
NOISE											
Voltage, f_O = 10Hz	100% tested, (A, E)		3.1	5.5		3.5	5.5		3.8	8.0[6]	$nV/\sqrt{Hz}$
f_O = 30Hz	100% tested, (A, E)		2.9	4.5		3.1	4.5		3.3	5.6[6]	$nV/\sqrt{Hz}$
f_O = 1kHz	100% tested, (A, E)		2.7	3.8		3.0	3.8		3.2	4.5[6]	$nV/\sqrt{Hz}$
f_B = 0.1Hz to 10Hz			0.07	0.18		0.08	0.18		0.09	0.25[6]	μV, p-p
Current,[1] f_O = 10Hz	100% tested, (A, E)		1.7	4.0		1.7	4.0		1.7		$pA/\sqrt{Hz}$
f_O = 30Hz	100% tested, (A, E)		1.0	2.3		1.0	2.3		1.0		$pA/\sqrt{Hz}$
f_O = 1kHz	100% tested, (A, E)		0.4	0.6		0.4	0.6		0.4	0.6[6]	$pA/\sqrt{Hz}$
OFFSET VOLTAGE[2]											
Input Offset Voltage			±6	±25		±12	±60		±25	±100	μV
Average Drift[3]	$T_{A\ MIN}$ to $T_{A\ MAX}$		±0.2	±0.6		±0.3	±1.3		±0.4	±1.8[6]	$\mu V/°C$
Long Term Stability[4]			0.2	1		0.3	1.5		0.4	2.0	$\mu V/mo$
Supply Rejection	±V_{CC} = 4 to 18V	100	134		100	125		94	120		dB
	±V_{CC} = 4 to 18V		±0.2	±10		±0.6	±10		±1	±20	$\mu V/V$
BIAS CURRENT											
Input Bias Current			±11	±40		±13	±55		±15	±80	nA
OFFSET CURRENT											
Input Offset Current			6	35		8	50		10	75	nA
IMPEDANCE											
Common-Mode			3			2.5			2		GΩ
VOLTAGE RANGE											
Common-Mode Input Range		±11	±12.3		±11	±12.3		±11	±12.3		V
Common-Mode Rejection	V_{IN} = ±11VDC	114	128		106	125		100	122		dB
OPEN-LOOP GAIN, DC											
Open-Loop Voltage Gain	$R_L \geq 2k\Omega$	120	126		120	125		117	124		dB
	$R_L \geq 1k\Omega$	118	125		118	125			124		dB
FREQUENCY RESPONSE											
Gain-Bandwidth Product[5]	OPA27	5	8		5	8		5[6]	8		MHz
	OPA37	45	63		45	63		45[6]	63		MHz
Slew Rate[5]	V_o = ±10V, R_L = 2kΩ										
	OPA27, G = +1	1.7	1.9		1.7	1.9		1.7[6]	1.9		V/µs
	OPA37, G = +5	11	11.9		11	11.9		11[6]	11.9		V/µs
Settling Time, 0.01%	OPA27, G = +1		25			25			25		µs
	OPA37, G = +5		25			25			25		µs
RATED OUTPUT											
Voltage Output	$R_L \geq 2k\Omega$	±12	±13.8		±12	±13.8		±12	±13.8		V
	$R_L \geq 600\Omega$	±10	±12.8		±10	±12.8		±10	±12.8		V
Output Resistance	DC, open loop		70			70			70		Ω
Short Circuit Current	R_L = 0Ω		25	60		25	60		25	60[6]	mA
POWER SUPPLY											
Rated Voltage			±15			±15			±15		VDC
Voltage Range, Derated Performance		±4		±22	±4		±22	±4		±22	VDC
Current, Quiescent	I_O = 0mADC		3	4.7		3	4.7		3.3	5.7	mA
TEMPERATURE RANGE											
Specification											
A, B, C (J, Z)		−55		+125	−55		+125	−55		+125	°C
E, F, G (J, Z)		−25		+85	−25		+85	−25		+85	°C
G (P) (U)								0		+70	°C
Operating: J, Z		−55		+125	−55		+125	−55		+125	°C
P, U								−25		+85	°C

NOTES: (1) Measured with industry-standard noise test circuit (Figures 1 and 2). Due to errors introduced by this method, these current noise specifications should be used for comparison purposes only. (2) Offset voltage specifications on grades A and E are also guaranteed with units fully warmed up. Grades B, C, F, and G are measured with automatic test equipment after approximately 0.5 second from power turn-on. (3) Unnulled or nulled with 8kΩ to 20kΩ potentiometer. (4) Long-term voltage offset vs time trend line does not include warm-up drift. (5) Typical specification only on plastic package units. Slew rate varies on all units due to differing test methods. Minimum specification applies to open-loop test. (6) This parameter not guaranteed in SOIC "U" package.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL (FULL TEMPERATURE RANGE SPECIFICATIONS)

At V_{CC} = ±15VDC and $T_A = T_{MIN}$ to T_{MAX} unless otherwise noted.

PARAMETER	CONDITIONS	OPA27/37A, OPA27/37E			OPA27/37B, OPA27/37F			OPA27/37C, OPA27/37G			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
TEMPERATURE RANGE											
Specification Range											
A, B, C (J, Z)		−55		+125	−55		+125	−55		+125	°C
E, F, G (J, Z)		−25		+85	−25		+85	−25		+85	°C
G (P)[4]								0		+70	°C
INPUT											
OFFSET VOLTAGE[1]											
Input Offset Voltage											
A, B, C			±24	±60		±45	±200		±60	±300[3]	µV
E, F, G			±17	±50		±33	±140		±48	±220[3]	µV
Average Drift[2]	$T_{A\ MIN}$ to $T_{A\ MAX}$		±0.2	±0.6		±0.3	±1.3		±0.4	±1.8[3]	µV/°C
Supply Rejection											
A, B, C	±V_{CC} = 4.5 to 18V	96	130		94	127		86[3]	122		dB
E, F, G	±V_{CC} = 4.5 to 18V	97	130		96	127		90[3]	122		dB
BIAS CURRENT											
Input Bias Current											
A, B, C			±16	±60		±22	±95		±29	±150[3]	nA
E, F, G			±13	±60		±16	±95		±21	±150[3]	nA
OFFSET CURRENT											
Input Offset Current											
A, B, C			23	50		25	85		35	135[3]	nA
E, F, G			12	50		14	85		20	135[3]	nA
VOLTAGE RANGE											
Common-Mode Input Range											
A, B, C		±10.3	±11.5		±10.3	±11.5		±10.3[3]	±11.5		V
E, F, G		±10.5	±11.8		±10.5	±11.8		±10.5[3]	±11.8		V
Common-Mode Rejection	V_{IN} = ±11VDC										
A, B, C		108	124		100	122		94[3]	120		dB
E, F, G		110	126		102	124		96[3]	122		dB
OPEN-LOOP GAIN, DC											
Open-Loop Voltage Gain	$R_L \geq 2k\Omega$										
A, B, C		116	121		114	120		110[3]	118		dB
E, F, G		116	123		117	122		113	120		dB
RATED OUTPUT											
Voltage Output	R_L = 2kΩ										
A, B, C		±11.5	±13.7		±11.0	±13.5		±10.5[3]	±13.3		V
E, F, G		±11.7	±13.8		±11.4	±13.8		±11.0[3]	±13.4		V
Short Circuit Current	V_O = 0VDC		25			25			25		mA

NOTES: (1) Offset voltage specifications on grades A and E are also guaranteed with the units fully warmed up. Grades B, C, F, and G are measured with automatic equipment after approximately 0.5 second. (2) Unnulled or nulled with 8kΩ to 20kΩ potentiometer. (3) This parameter not guaranteed in SOIC "U" package.

ABSOLUTE MAXIMUM RATINGS

Supply Voltage ..... ±22V
Internal Power Dissipation[1] 500mW
Input Voltage ..... ±V_{CC}
Output Short-Circuit Duration[2] ..... Indefinite
Differential Input Voltage[3] ..... ±0.7V
Differential Input Current[3] ..... ±25mA
Storage Temperature Range:
J, Z ..... −65°C to +150°C
P ..... −55°C to +125°C
Operating Temperature Range:
A, B, C, E, F, G (J, Z) ..... −55°C to +125°C
G (P, U) ..... −25°C to +85°C
Lead Temperature (Soldering, 60s) ..... +300°C
SOIC Package (3s) ..... +260°C

NOTES:
(1) Maximum package power dissipation vs ambient temperature:

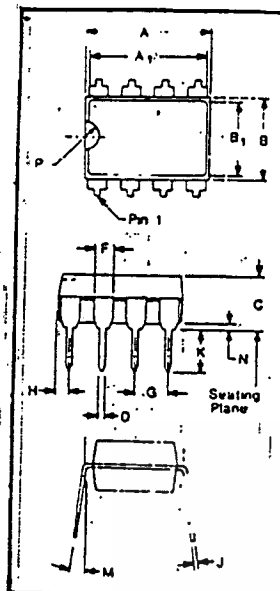
Package Type	Maximum Ambient Temperature for Rating	Derate Above Maximum Ambient Temperature
TO-99 (J)	80°C	7.1mW/°C
8-Pin Hermetic DIP (Z)	75°C	6.7mW/°C
8-Pin Plastic DIP (P)	62°C	5.6mW/°C
8-Pin SOIC (U)	85°C	—

(2) To common with ±V_{CC} = 15V.
(3) The inputs are protected by back-to-back diodes. Current limiting resistors are not used in order to achieve low noise. If differential input voltage exceeds ±0.7V, the input current should be limited to 25mA.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MECHANICAL

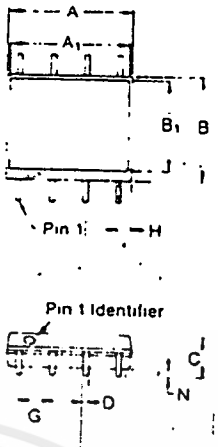
"P" PACKAGE, 8-PIN PLASTIC



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	355	400	9 03	10 16
A_1	340	385	8 65	9 80
B	230	290	5 85	7 38
B_1	200	250	5 09	6 36
C	120	200	3 05	5 09
D	015	023	0 38	0 59
F	030	070	0 76	1 78
G	100 BASIC		2 54 BASIC	
H	025	050	0 64	1 27
J	008	015	0 20	0 38
K	070	150	1 78	3 82
L	300 BASIC		7 63 BASIC	
M	0°	15°	0°	15°
N	010	030	0 25	0 76
P	025	050	0 64	1 27

NOTE:
Leads in true position within 0 01" (0.25mm) R at MMC at seating plane

"U" PACKAGE, 8-PIN SOIC



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	185	201	4 70	5 11
A_1	178	201	4 52	5 11
B	146	162	3 71	4 11
B_1	130	149	3 30	3 78
C	054	145	1 37	3 69
D	015	019	0 38	0 48
G	050 BASIC		1 27 BASIC	
H	018	026	0 46	0 66
J	008	012	0 20	0 30
L	220	252	5 59	6 40
M	0	10°	0°	10°
N	000	012	0 00	0 30

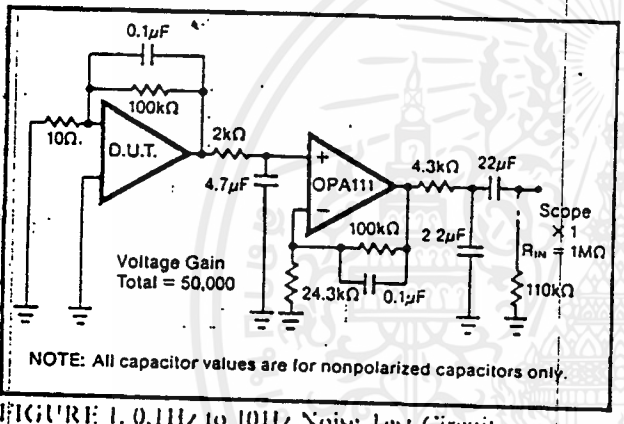


FIGURE 1. 0.1Hz to 10Hz Noise Test Circuit.

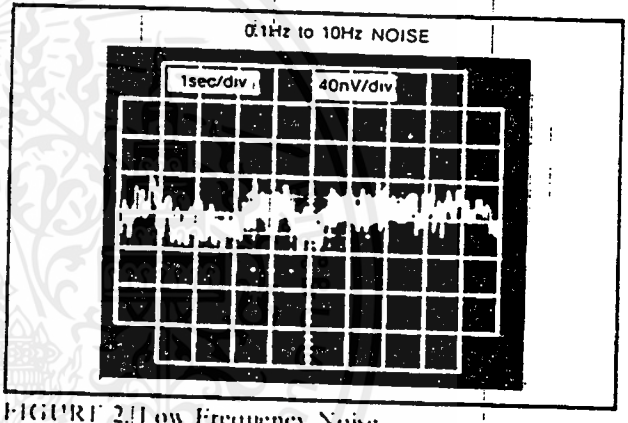


FIGURE 2. Low Frequency Noise.

ORDERING INFORMATION

Model[1]	Package	Temperature Range	Offset Voltage max (μV), 25°C
OPA27AJ	TO-99	-55°C to +125°C	±25
OPA27BJ	TO-99	-55°C to +125°C	±60
OPA27CJ	TO-99	-55°C to +125°C	±100
OPA27EJ	TO-99	-25°C to +85°C	±25
OPA27FJ	TO-99	-25°C to +85°C	±60
OPA27GJ	TO-99	-25°C to +85°C	±100
OPA27AZ	Ceramic	-55°C to +125°C	±25
OPA27BZ	Ceramic	-55°C to +125°C	±60
OPA27CZ	Ceramic	-55°C to +125°C	±100
OPA27EZ	Ceramic	-25°C to +85°C	±25
OPA27FZ	Ceramic	-25°C to +85°C	±60
OPA27GZ	Ceramic	-25°C to +85°C	±100
OPA27GP	Plastic	0°C to +70°C	±100
OPA27GU	SOIC	0°C to +70°C	±100

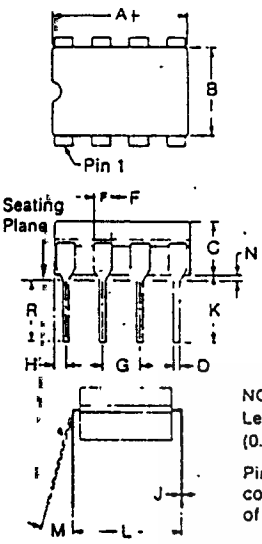
BURN-IN SCREENING OPTION

Model[1]	Package	Temperature Range	Burn-In Temp. (160h)[2]
OPA27AJ-BI	TO-99	-55°C to +125°C	+125°C
OPA27EJ-BI	TO-99	-25°C to +85°C	+125°C
OPA27GJ-BI	TO-99	-25°C to +85°C	+125°C
OPA27AZ-BI	Ceramic	-55°C to +125°C	+125°C
OPA27EZ-BI	Ceramic	-25°C to +85°C	+125°C
OPA27GP-BI	Plastic	0°C to +70°C	+85°C
OPA27GU-BI	SOIC	0°C to +70°C	+85°C

NOTE: (1) Packages and prices for OPA37 are the same as for OPA27
(2) Or equivalent combination of time and temperature

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

"Z" PACKAGE, 8-PIN HERMETIC

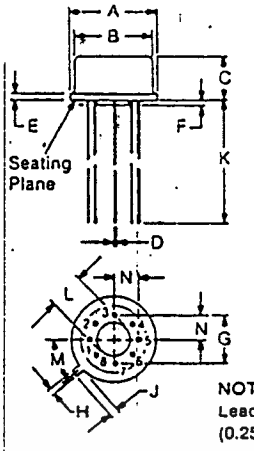


DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.375	.405	9.53	10.28
B	.245	.2511	6.22	6.38
C	.140	.170	3.56	4.32
D	.015	.021	0.38	0.53
F	.045	.060	1.14	1.52
G	.100 BASIC		2.54 BASIC	
H	—	.0681	—	2.49
J	.008	.012	0.20	0.30
K	.150	—	3.80	—
L	.290	.320	7.37	8.13
M	0°	15°	0°	15°
N	.009	.060	0.23	1.52
R	.125	.175	3.18	4.45

NOTE:
Leads in true position within 0.01" (0.25mm) R at MMC at seating plane.

Pin material and plating composition conform to method 2003 (solderability) of MIL-STD-883 (except paragrah 3.2).

"J" PACKAGE, TO-99



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.335	.370	8.51	9.40
B	.305	.335	7.75	8.51
C	.165	.185	4.19	4.70
D	.016	.021	0.41	0.53
E	.010	.040	0.25	1.02
F	.010	.040	0.25	1.02
G	.200 BASIC		5.08 BASIC	
H	.028	.034	0.71	0.86
J	.029	.045	0.74	1.14
K	.500	—	12.7	—
L	.110	.160	2.79	4.06
M	45° BASIC		45° BASIC	
N	.095	.105	2.41	2.67

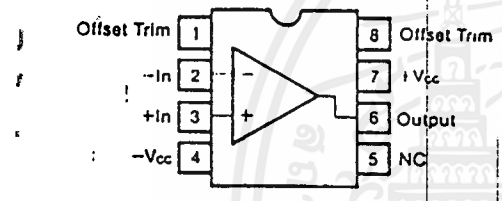
NOTE:
Leads in true position within 0.01" (0.25mm) R at MMC at seating plane.

Pin numbers shown for reference only. Numbers may not be marked on packag.

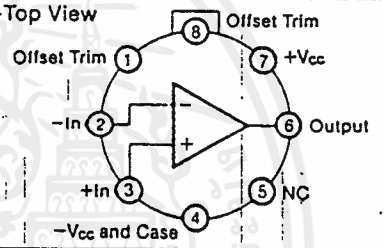
Pin material and plating composition conform to method 2003 (solderability) of MIL-STD-883 (except paragrah 3.2).

CONNECTION DIAGRAMS

P, U, Z Packages—Top View



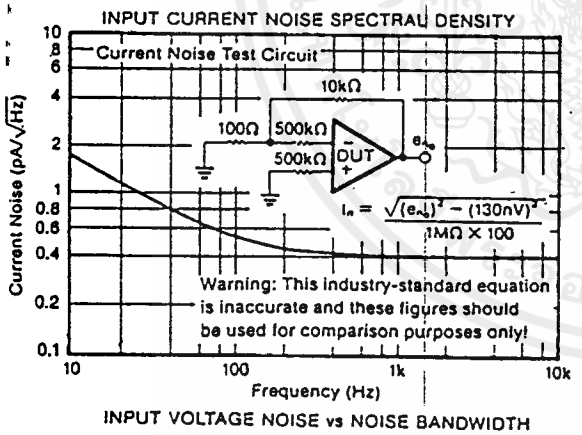
J Package—Top View



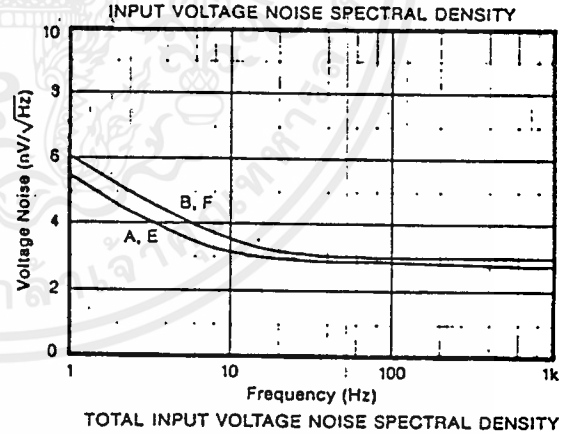
TYPICAL PERFORMANCE CURVES

T_A = +25°C, ±V_{CC} = ±15VDC unless otherwise noted.

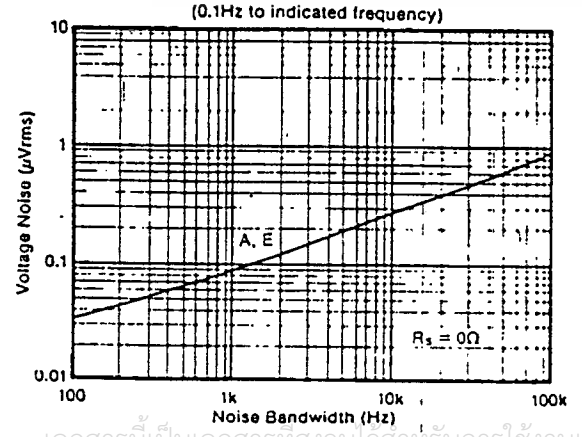
INPUT CURRENT NOISE SPECTRAL DENSITY



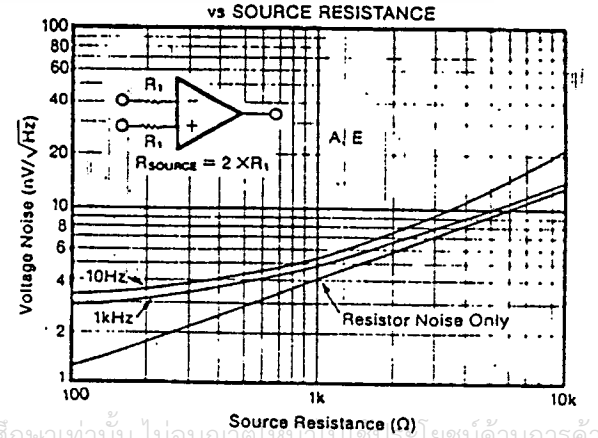
INPUT VOLTAGE NOISE SPECTRAL DENSITY



INPUT VOLTAGE NOISE vs NOISE BANDWIDTH
(0.1Hz to indicated frequency)



TOTAL INPUT VOLTAGE NOISE SPECTRAL DENSITY
vs SOURCE RESISTANCE

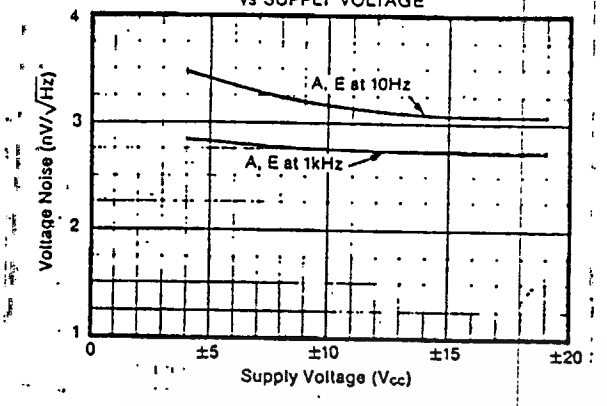


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

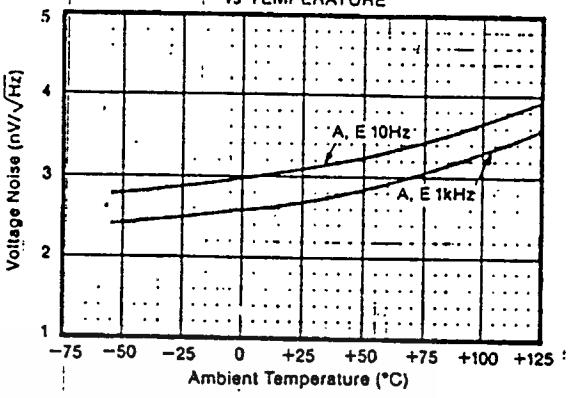
TYPICAL PERFORMANCE CURVES (CONT)

T_A = +25°C, $\pm V_{CC}$ = ±15VDC unless otherwise noted.

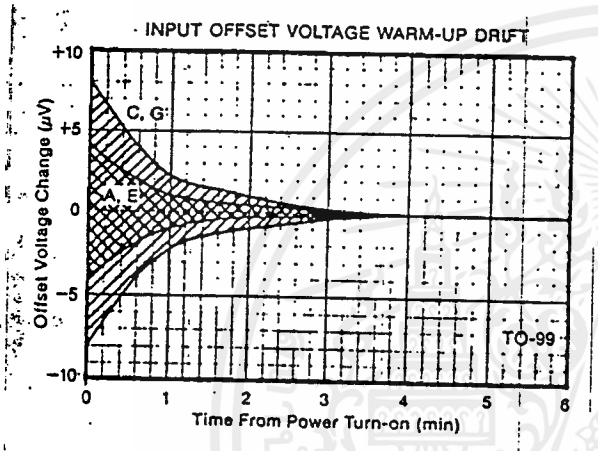
VOLTAGE NOISE SPECTRAL DENSITY vs SUPPLY VOLTAGE



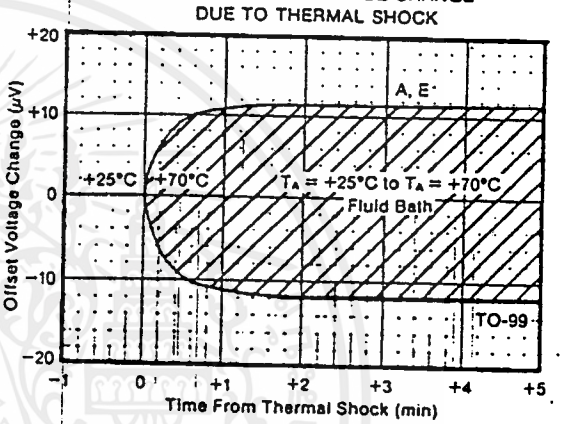
VOLTAGE NOISE SPECTRAL DENSITY vs TEMPERATURE



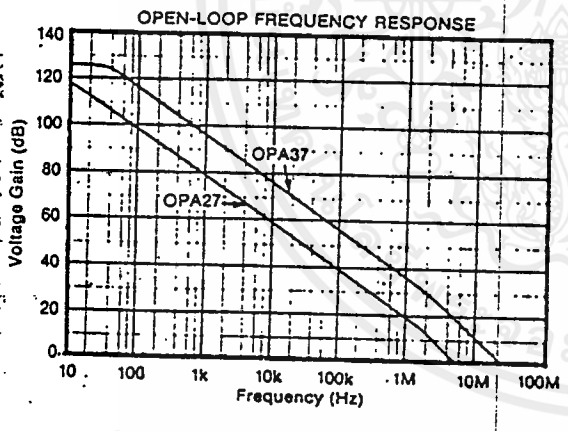
INPUT OFFSET VOLTAGE WARM-UP DRIFT



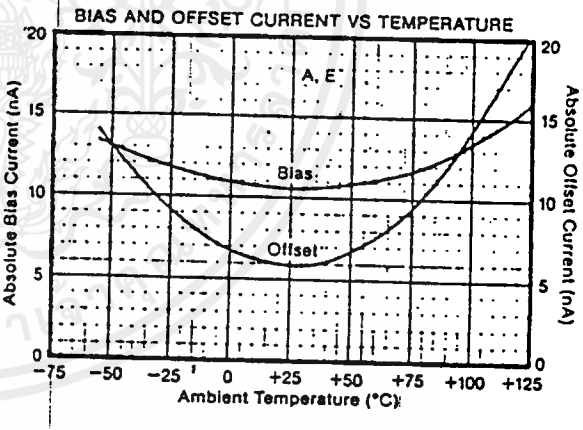
INPUT OFFSET VOLTAGE CHANGE DUE TO THERMAL SHOCK



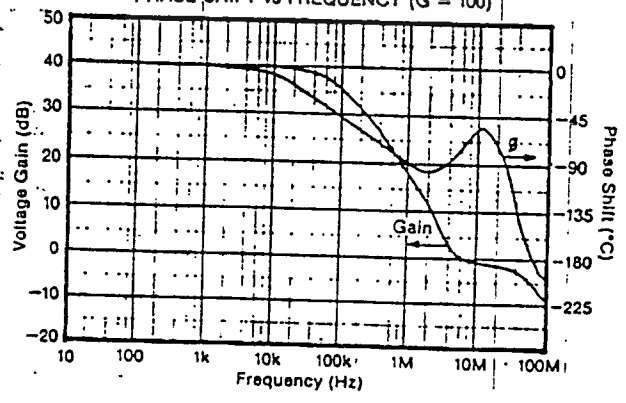
OPEN-LOOP FREQUENCY RESPONSE



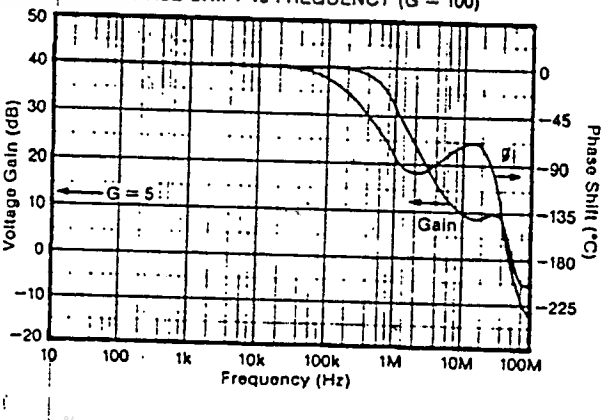
BIAS AND OFFSET CURRENT VS TEMPERATURE



OPA27 CLOSED-LOOP VOLTAGE GAIN AND PHASE SHIFT vs FREQUENCY (G = 100)



OPA37 CLOSED-LOOP VOLTAGE GAIN AND PHASE SHIFT vs FREQUENCY (G = 100)

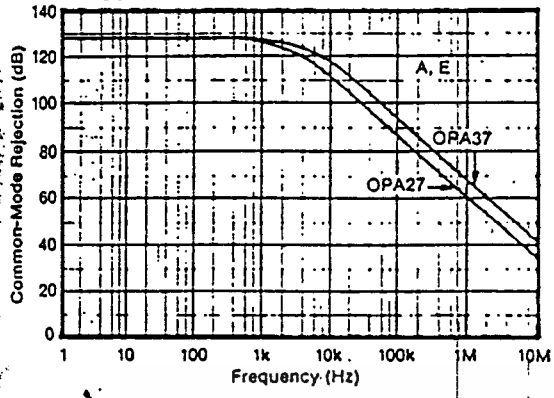


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

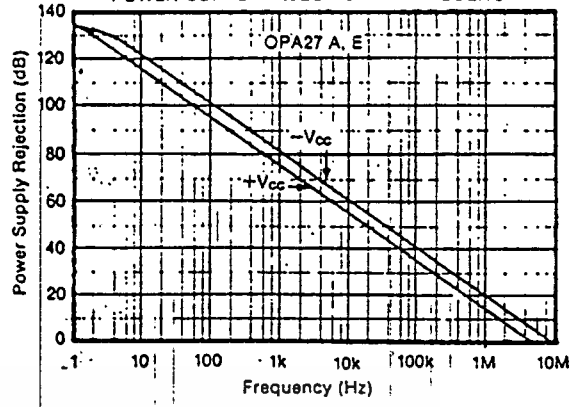
TYPICAL PERFORMANCE CURVES (CONT)

T_A = +25°C, ±V_{CC} = ±15VDC unless otherwise noted.

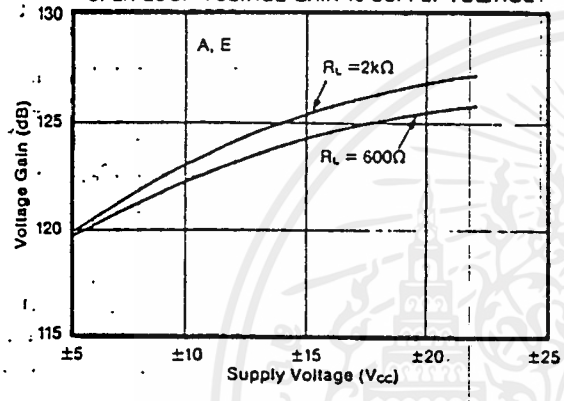
COMMON-MODE REJECTION vs FREQUENCY



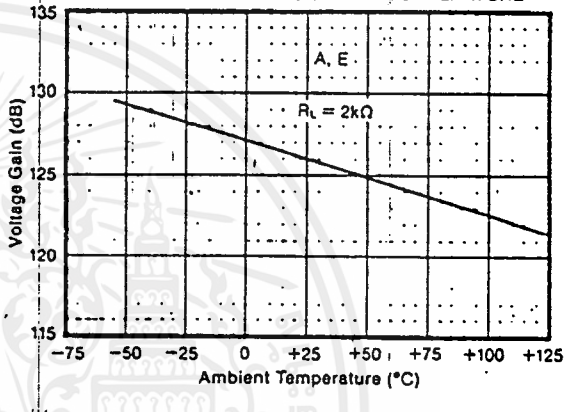
POWER SUPPLY REJECTION vs FREQUENCY



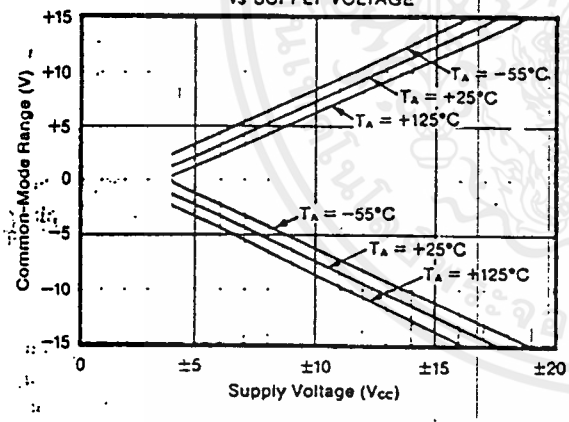
OPEN-LOOP VOLTAGE GAIN vs SUPPLY VOLTAGE



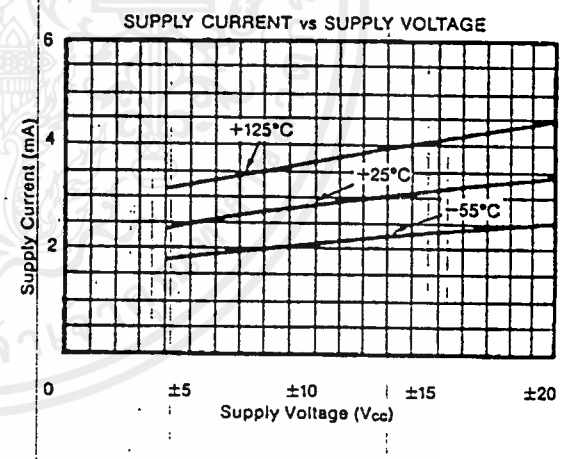
OPEN-LOOP VOLTAGE GAIN vs TEMPERATURE



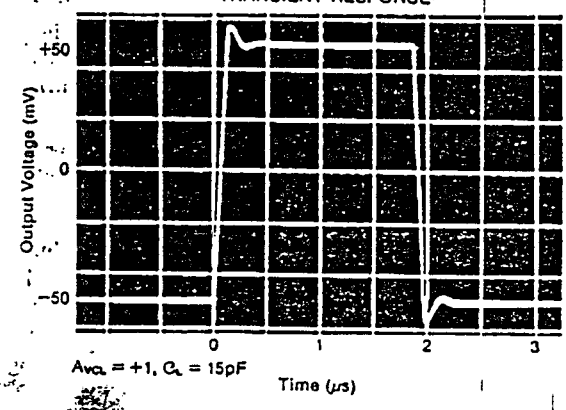
COMMON-MODE INPUT VOLTAGE RANGE vs SUPPLY VOLTAGE



SUPPLY CURRENT vs SUPPLY VOLTAGE

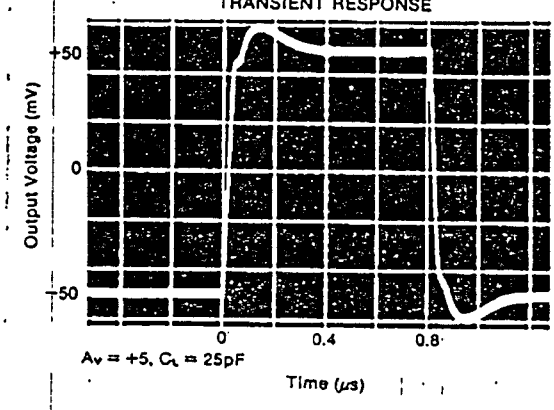


OPA27 SMALL SIGNAL TRANSIENT RESPONSE



A_{VCL} = +1, C_L = 15pF

OPA37 SMALL SIGNAL TRANSIENT RESPONSE



A_V = +5, C_L = 25pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

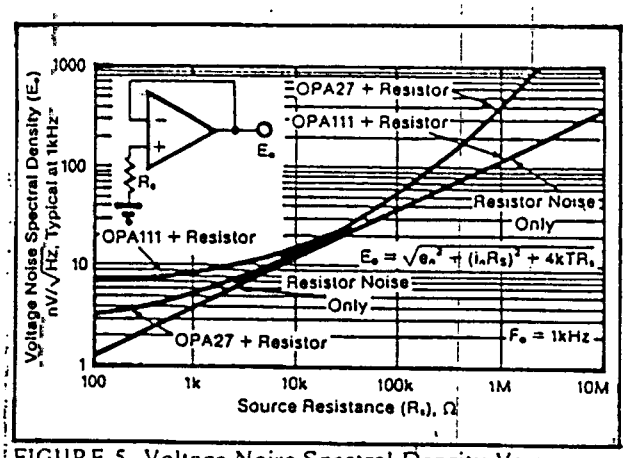


FIGURE 5. Voltage Noise Spectral Density Versus Source Resistance.

INPUT PROTECTION

Back-to-back diodes are used for input protection on the OPA27/37. Exceeding a few hundred millivolts differential input signal will cause current to flow and without external current limiting resistors the input will be destroyed.

Accidental static discharge as well as high current can damage the amplifier's input circuit. Although the unit may still be functional, important parameters such as input offset voltage, drift, and noise may be permanently damaged if any precision operational amplifier is subjected to abuse.

Transient conditions can cause feedthrough due to the amplifier's finite slew-rate. When using the OP-27 as a unity-gain buffer (follower) a feedback resistor of 1kΩ is recommended (see Figure 6).

BURN-IN SCREENING

Burn-in screening is an option available for the models indicated in the Ordering Information table. Burn-in duration is 160 hours at the maximum specified grade operating temperature (or equivalent combination of time and temperature).

All units are tested after burn-in to ensure that grade specifications are met. To order burn-in, add "-BI" to the base model number.

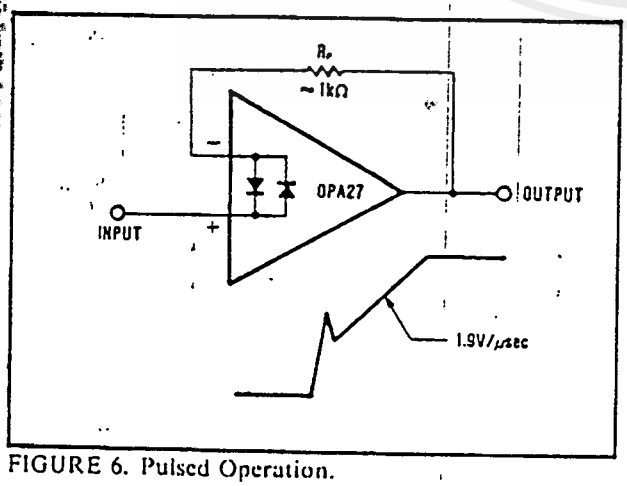


FIGURE 6. Pulsed Operation.

APPLICATIONS CIRCUITS

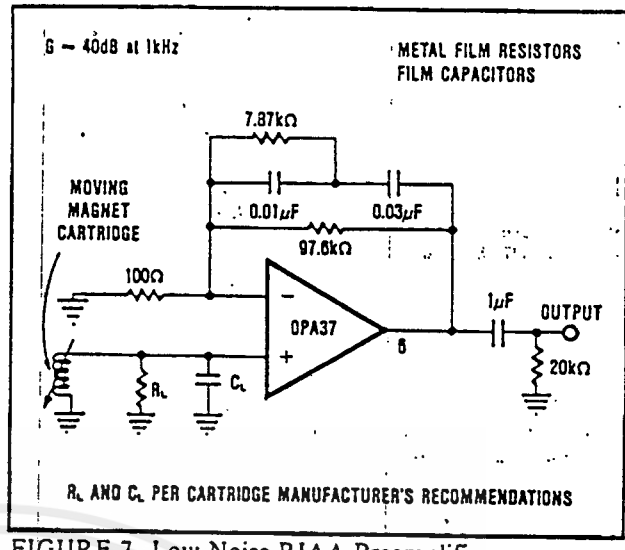


FIGURE 7. Low-Noise RIAA Preamplifier.

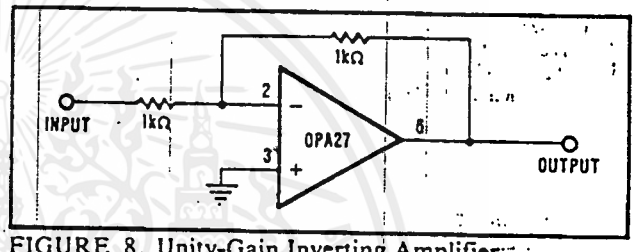


FIGURE 8. Unity-Gain Inverting Amplifier.

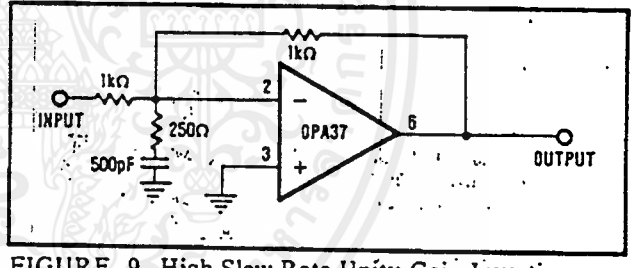


FIGURE 9. High Slew Rate Unity-Gain Inverting Amplifier.

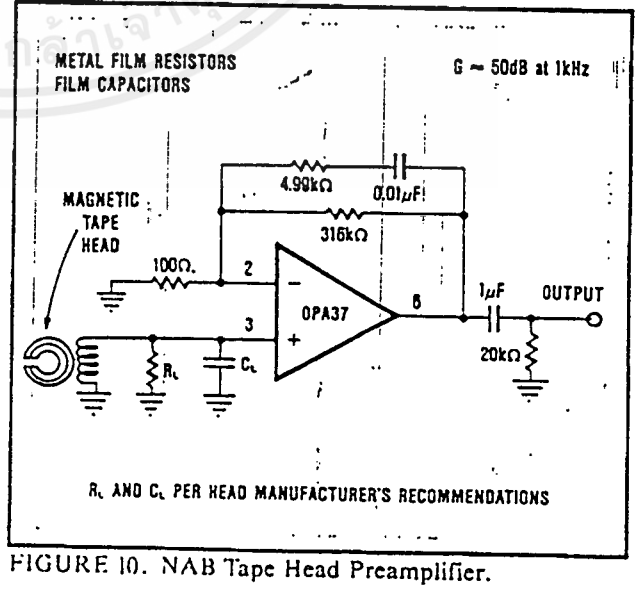


FIGURE 10. NAB Tape Head Preamplifier.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

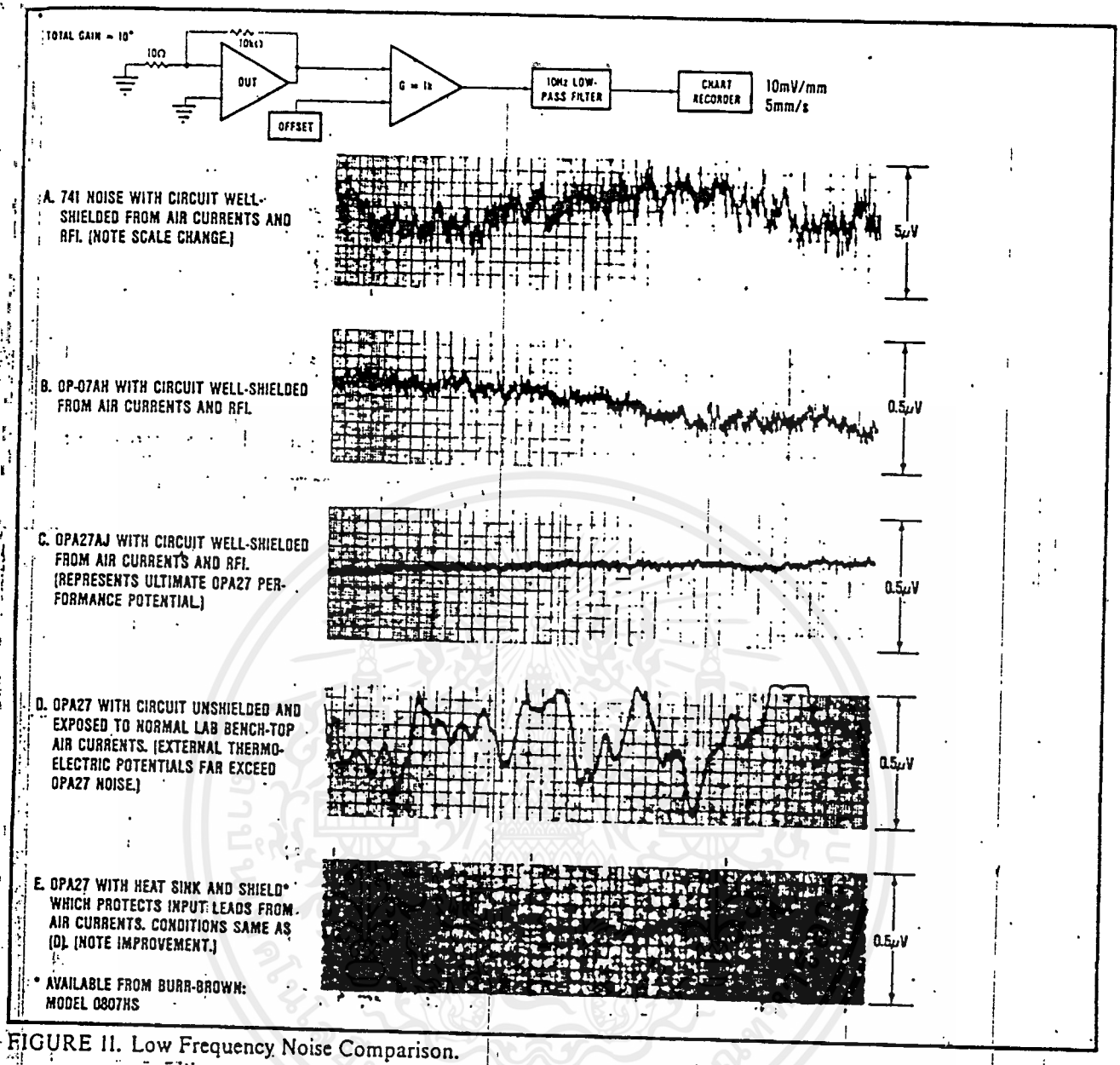


FIGURE 11. Low Frequency Noise Comparison.

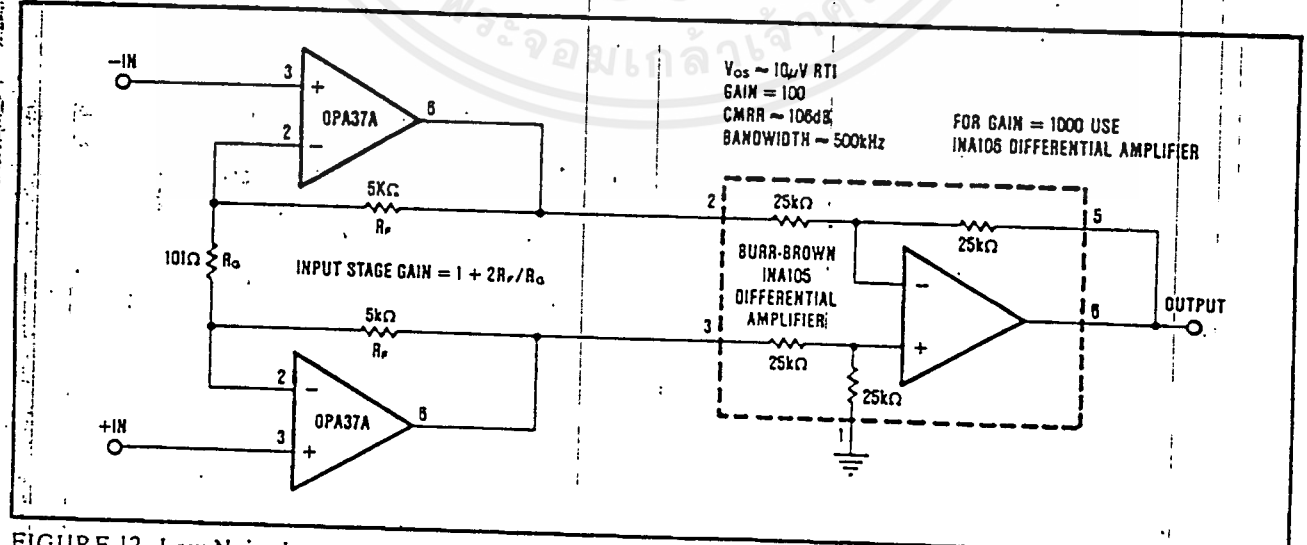


FIGURE 12. Low Noise Instrumentation Amplifier.

นี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

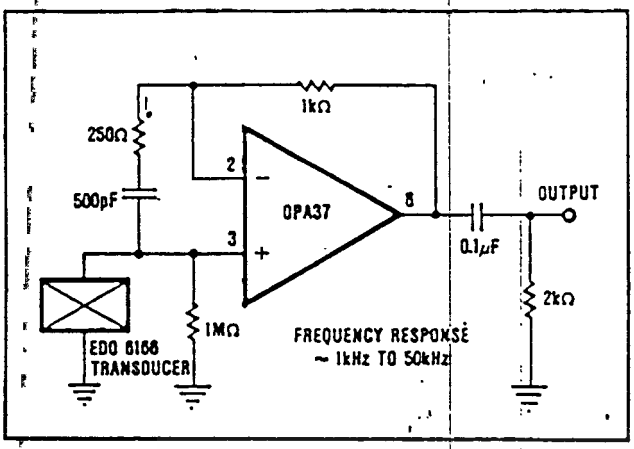


FIGURE 13. Hydrophone Preamplifier.

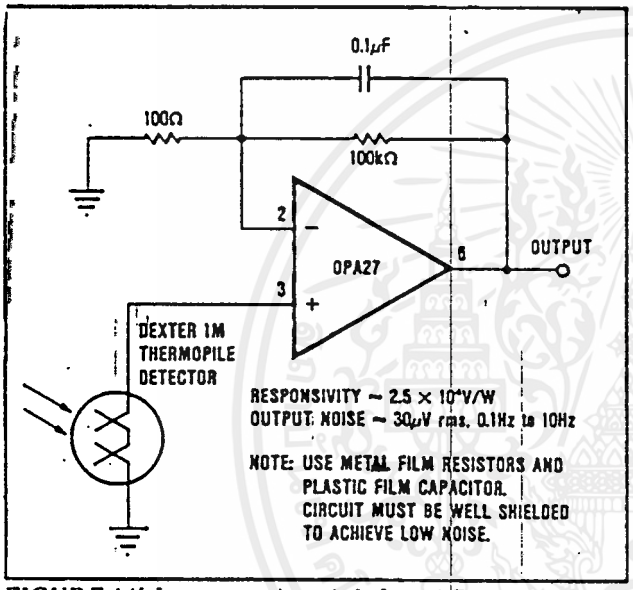


FIGURE 14. Long-wavelength Infrared Detector Amplifier.

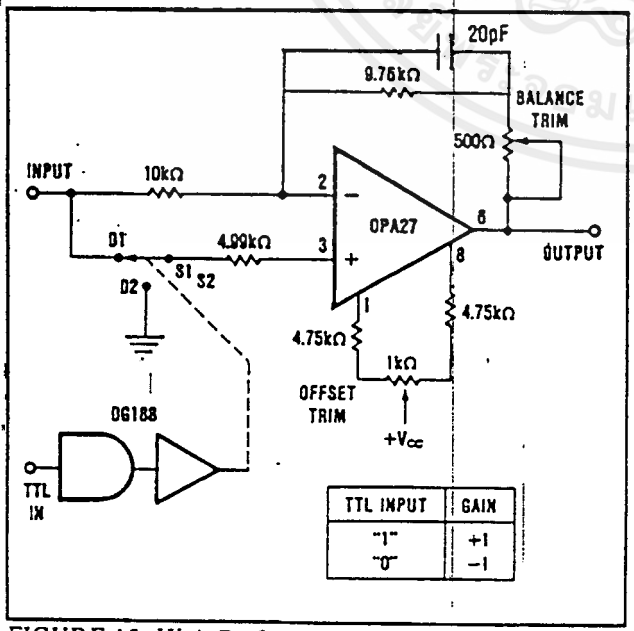


FIGURE 15. High Performance Synchronous Demodulator.

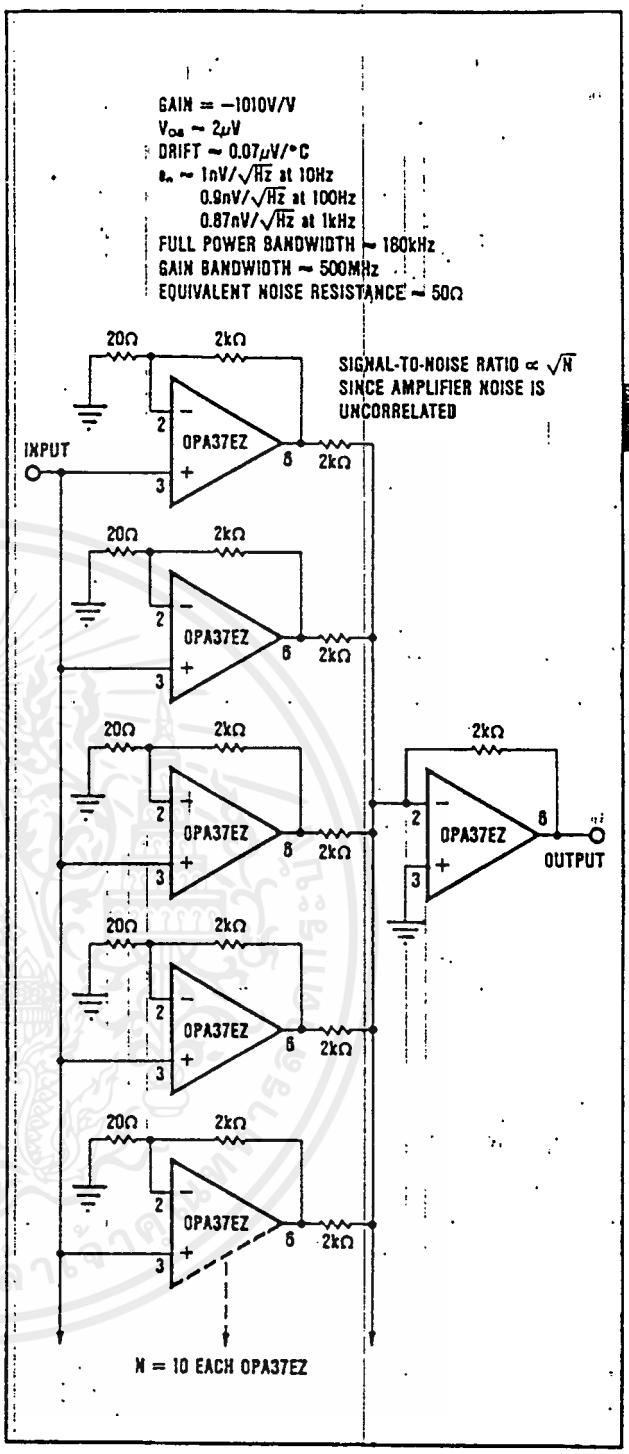


FIGURE 16. Ultra-low Noise "N" Stage Parallel Amplifier.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

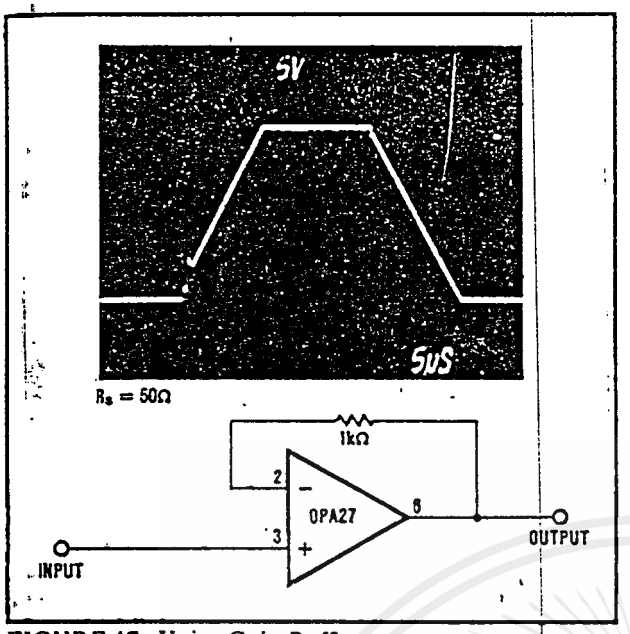


FIGURE 17. Unity-Gain Buffer.

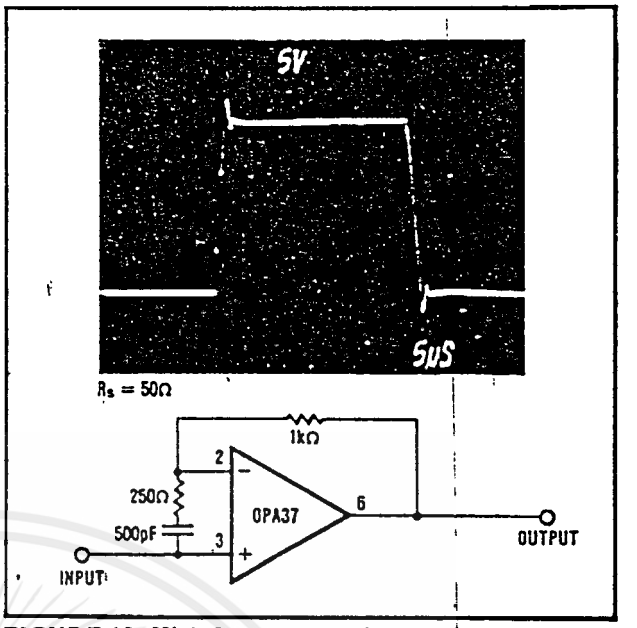


FIGURE 18. High Slew Rate Unity-Gain Buffer.

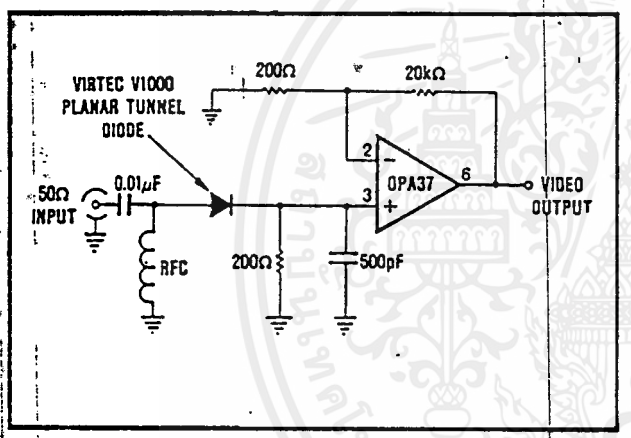


FIGURE 19. RF Detector and Video Amplifier.

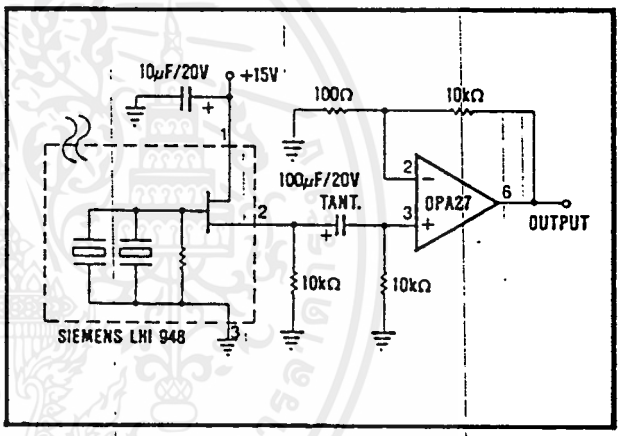


FIGURE 20. Balanced Pyroelectric Infrared Detector.

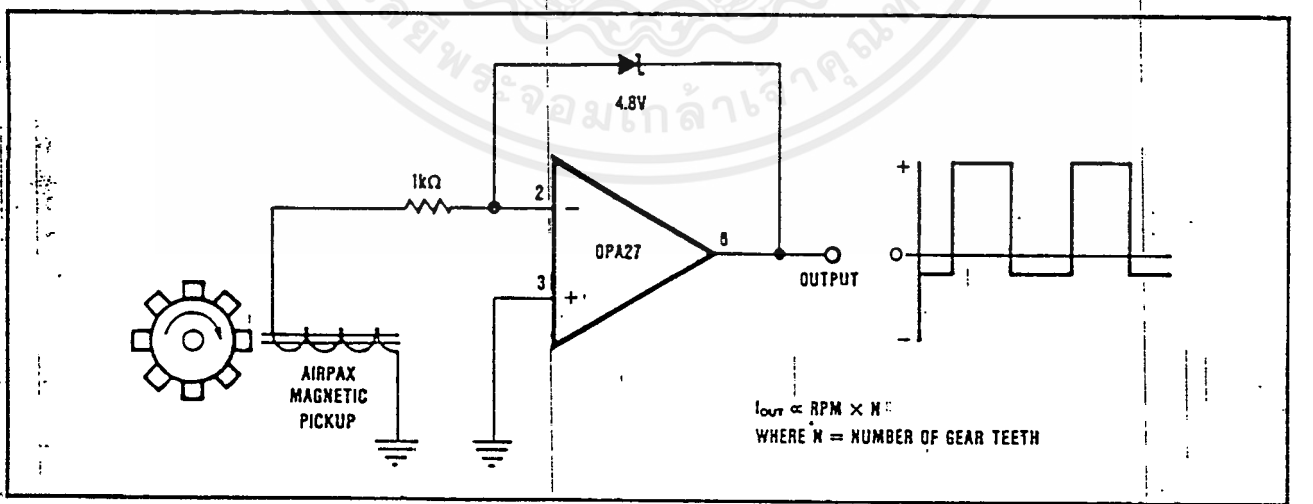
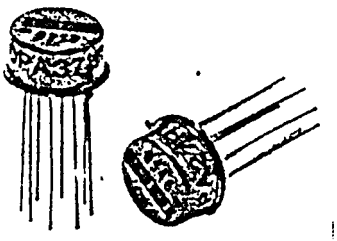


FIGURE 21. Magnetic Tachometer.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

BURR-BROWN®



OPA27HT
OPA37HT*

* OPA37HT NOT RECOMMENDED FOR NEW DESIGNS.

Wide Temperature Range Precision OPERATIONAL AMPLIFIERS

FEATURES

- FULLY SPECIFIED OVER −55°C to +200°C
- LOW OFFSET: ±400μV max at +200°C
- LOW DRIFT: ±0.4μV/°C
- ULTRA-LOW NOISE
- MONOLITHIC
- HERMETIC TO-99 PACKAGE
- 100% BURN-IN AT +200°C

APPLICATIONS

- DOWN-HOLE INSTRUMENTATION
- WELL LOGGING
- ENGINE CONTROLS
- EXTREMELY SEVERE ENVIRONMENT
- TRANSDUCER AMPLIFIER
- RADIATION HARD EQUIPMENT

DESCRIPTION

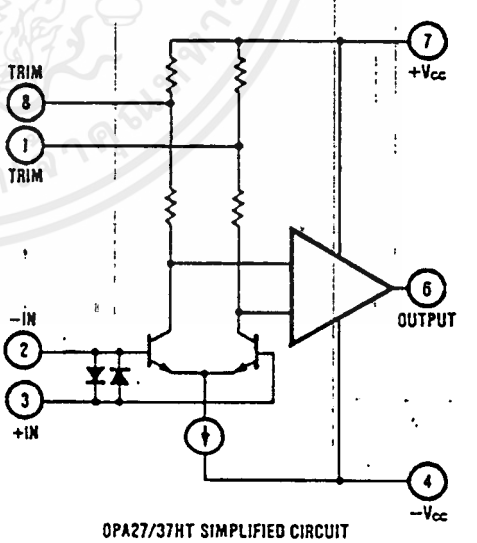
The OPA27/37HT is an ultra-low noise, high precision monolithic operational amplifier.

Laser trimmed thin-film resistors provide excellent long-term voltage offset stability and allow superior voltage offset and drift performance.

The OPA27/37HT are tested and guaranteed over an extremely wide temperature range: −55°C to +200°C. In addition, they have demonstrated an ability to withstand a total dose of 2×10^6 RAD (Si) gamma and a neutron fluence of 1×10^{11}, 1MEV equivalent n/cm^2.

The OPA27HT is internally compensated for unity-gain stability. The decompensated OPA37HT requires a closed-loop gain ≥ 5.

The Burr-Brown OPA27/37HT use an industry-standard OP27/37 pinout and they can replace many existing amplifiers in low-source-impedance applications.



OPA27/37HT SIMPLIFIED CIRCUIT

International Airport Industrial Park · P.O. Box 11400 · Tucson, Arizona 85734 · Tel: (602) 746-1111 · Twx: 910-952-1111 · Cable: BBRCORP · Telex: 66-6491

PDS-656A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SPECIFICATIONS

ELECTRICAL

At V_{CC} = 15VDC, T_A = Indicated temperature.

PARAMETER	CONDITIONS	+25°C MIN	+25°C TYP	+25°C MAX	−55°C TO +125°C MIN	−55°C TO +125°C TYP	−55°C TO +125°C MAX	+200°C MIN	+200°C TYP	+200°C MAX	UNITS
INPUT											
NOISE											
Voltage, f_O = 10Hz	(1)		3.1			8.5			5.8		nV/√Hz
f_O = 30Hz	(1)		2.9			4.0			4.5		nV/√Hz
f_O = 1kHz	(1)		2.7			3.6			4.0		nV/√Hz
f_B = 0.1Hz to 10Hz			0.07								μV, p-p
Current, f_O = 1kHz			0.4			0.5			0.8		pA/√Hz
OFFSET VOLTAGE[2]											
Input Offset Voltage			±25	±75		±37	±200		±150	±400	μV
Average Drift[3]	$T_{A\,MIN}$ to $T_{A\,MAX}$								±0.4		μV/°C
Long Term Stability[4]	T_A = +125°C		8								μV/kHrs
Supply Rejection[7]	±V_{CC} = 4V to 18V	100	134		94	127		94	127		dB
	±V_{CC} = 4V to 18V		±0.2	±10		±0.45	±20		±0.45	±20	μV/V
BIAS CURRENT											
Input Bias Current			430	1μA		600	2μA		3.4μA	5μA	nA
OFFSET CURRENT											
Input Offset Current			±40	±180		±50	±200		±300	±550	nA
IMPEDANCE											
Common-Mode			3								GΩ
VOLTAGE RANGE											
Common-Mode Input Range		±11	±12.3		±10.3	±11.5		±9.0	±11.0		V
Common-Mode Rejection	V_{IN} = ±10VDC[5]	106	128		100	122		96	119		dB
OPEN-LOOP GAIN, DC											
Open-Loop Voltage Gain	R_L ≥ 2kΩ	120	126		109	120		104	113		dB
	R_L ≥ 1kΩ	116	125								dB
FREQUENCY RESPONSE											
Gain-Bandwidth Product	OPA27HT		6			7			6		MHz
Av = 1000V/V	OPA37HT		36			38			41		MHz
Slew Rate	V_O = ±10V, R_L = 2kΩ										
	OPA27HT, G = +1		1.9			1.7			3.5		V/μs
	OPA37HT, G = +5		11.9			10			16		V/μs
Settling Time, 0.01%	OPA27HT, G = +1		25								μs
	OPA37HT, G = +5		25								μs
RATED OUTPUT											
Voltage Output	R_L ≥ 2kΩ	±12	±13.9		±11	±13.8		±10.5	±13.7		V
Output Resistance	DC, open loop		70								Ω
Short Circuit Current	R_L = 0Ω		35	60		25			15		mA
POWER SUPPLY											
Rated Voltage			±15			±15			±15		VDC
Voltage Range, Derated Performance		±4		±18							VDC
Current, Quiescent	I_O = 0mADC		3.6	4.7		4.3	6		6.1	8	mA
TEMPERATURE RANGE											
Specification[10]	Ambient temp.	−55		+200							°C
Operating (Typical)	Ambient temp.	−65		+225							°C
Storage	Ambient temp.	−65		+225							°C
θ Junction-Ambient			125								°C/W

NOTES: (1) Noise testing available—inquire. (2) Offset voltage specifications on grade HT are also guaranteed with units fully warmed up. (3) Unnulled or nulled with 8kΩ to 20kΩ potentiometer. (4) Long-term voltage offset vs time trend line does not include warm-up drift. (5) Common-mode rejection specified at +200°C with V_{IN} = ±9VDC. (6) 100% tested at −55°C, +25°C and +200°C using forced-air environment. +125°C specification is guaranteed by design. (7) ±V_{CC} = 6V to 18V at +200°C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ABSOLUTE MAXIMUM RATINGS

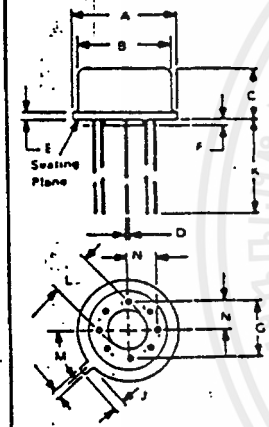
Supply	±18VDC
Internal Power Dissipation[1]	500mW
Differential Input Voltage[2]	±0.7VDC
Input Voltage Range[3]	±18VDC
Storage Temperature Range	−65°C to +225°C
Operating Temperature Range	−65°C to +225°C
Lead Temperature (soldering, 10 seconds)	+300°C
Output Short Circuit Duration[4]	Continuous
Junction Temperature	+250°C

NOTES: (1) Packages must be derated based on θ_{JC} = 45°C/W or θ_{JA} = 175°C/W. (2) The inputs are protected by back-to-back diodes. Current limiting resistors are not used in order to achieve low noise. If differential input voltage exceeds ±0.7V, the input current should be limited to 25mA. (3) For supply voltages less than ±18VDC, the absolute maximum input voltage is equal to the supply voltage. (4) Short circuit may be to power supply common only. Rating applies to +25°C ambient. Observe dissipation limit and T_J.

MECHANICAL

"M" PACKAGE TO-99 (Hermetic)

NOTE:
Leads in true position within .010" (.25mmR) at MMC at seating plane



Pin numbers shown for reference only. Numbers may not be marked on package.

Pin material and plating composition conform to Method 2003 (solderability) of MIL-STD-883 (except paragraph 3.2).

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.335	.370	8.51	9.40
B	.305	.335	7.75	8.51
C	.165	.185	4.19	4.70
D	.016	.021	0.41	0.53
E	.010	.040	0.25	1.02
F	.010	.040	0.25	1.02
G	.200 BASIC		5.08 BASIC	
H	.028	.034	0.71	0.86
J	.029	.045	0.74	1.14
K	.500		12.7	
L	.110	.160	2.79	4.06
M	45° BASIC		45° BASIC	
N	.095	.105	2.41	2.67

ORDERING INFORMATION

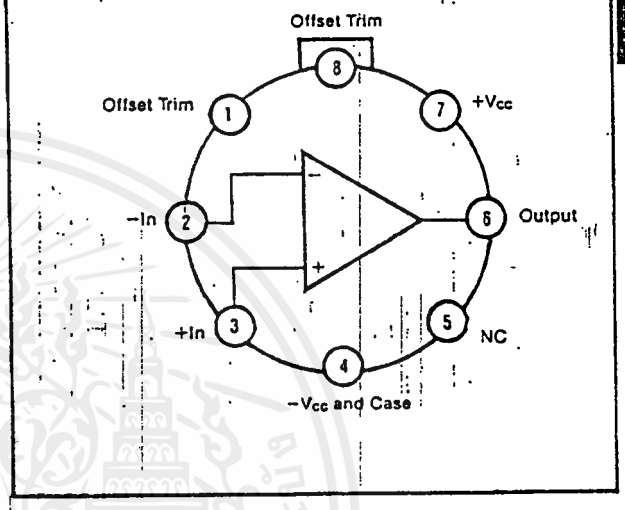
OPAXX HT

Basic Model Number

Performance Grade
HT = −55°C to +200°C

CONNECTION DIAGRAM

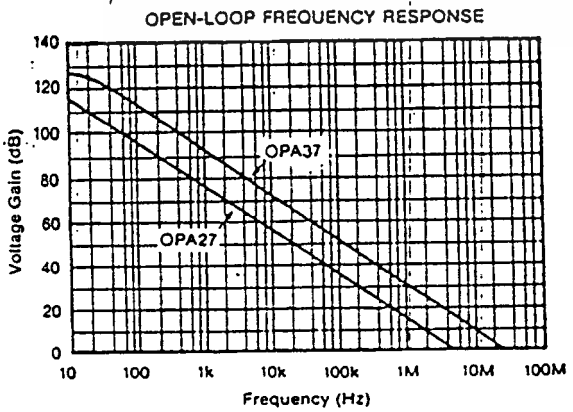
TOP VIEW



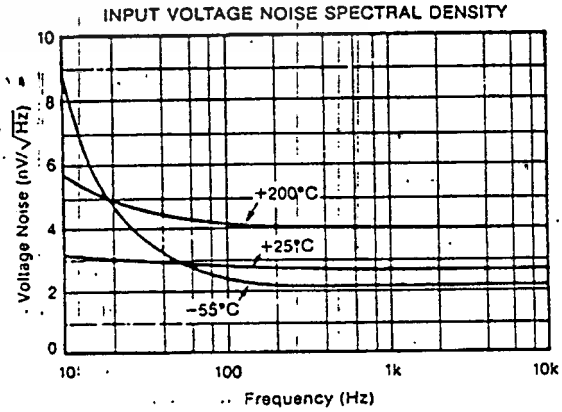
TYPICAL PERFORMANCE CURVES

T_A = +25°C, V_{CC} = ±15VDC unless otherwise noted.

OPEN-LOOP FREQUENCY RESPONSE

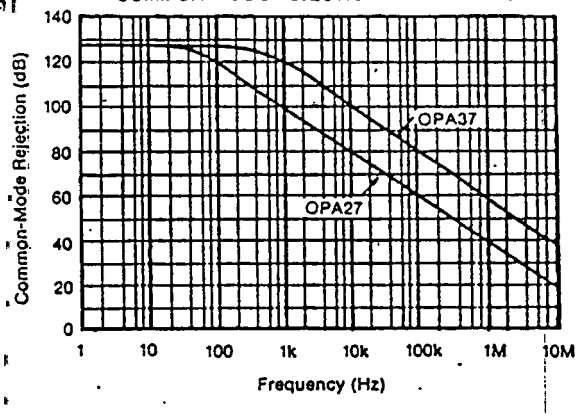


INPUT VOLTAGE NOISE SPECTRAL DENSITY

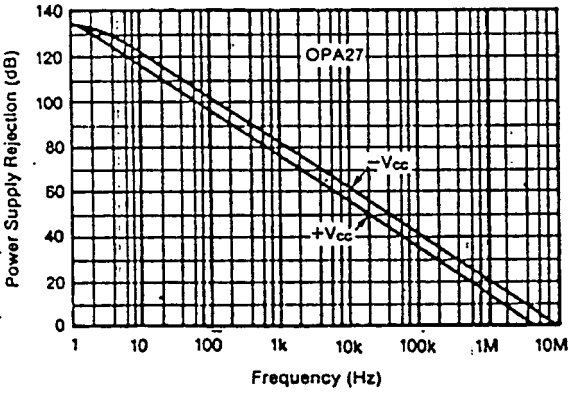


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้นำไปดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

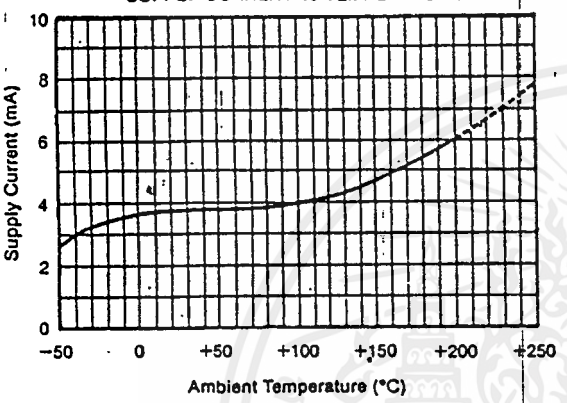
COMMON-MODE REJECTION vs FREQUENCY



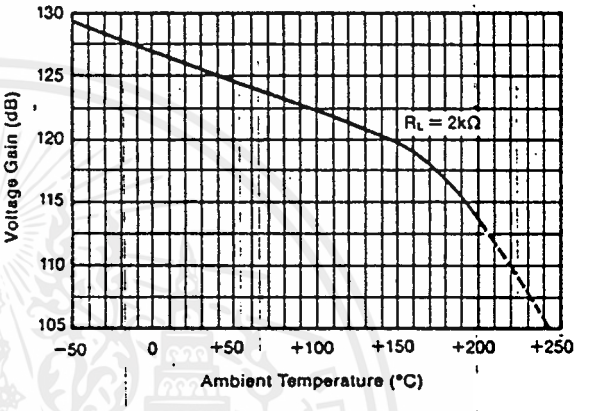
POWER SUPPLY REJECTION vs FREQUENCY



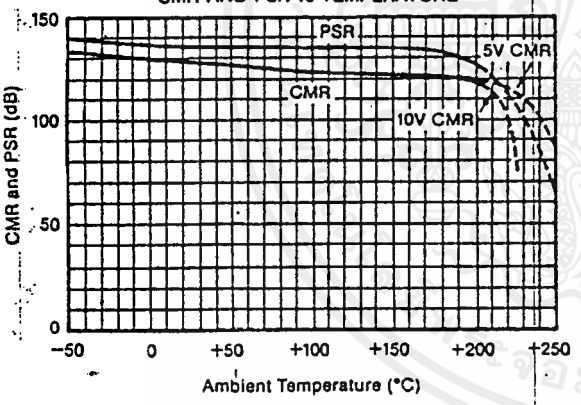
SUPPLY CURRENT vs TEMPERATURE



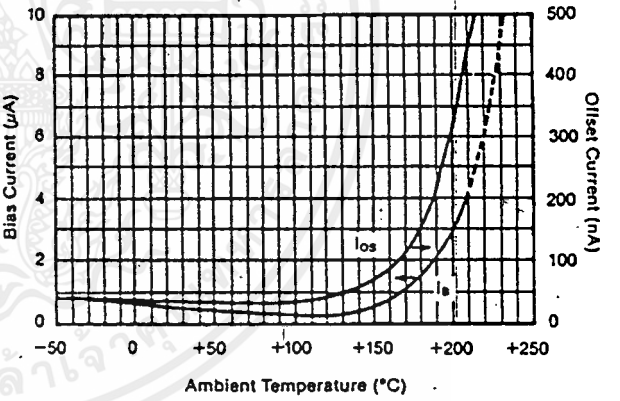
OPEN-LOOP VOLTAGE GAIN vs TEMPERATURE



CMR AND PSR vs TEMPERATURE



BIAS AND OFFSET CURRENT vs TEMPERATURE

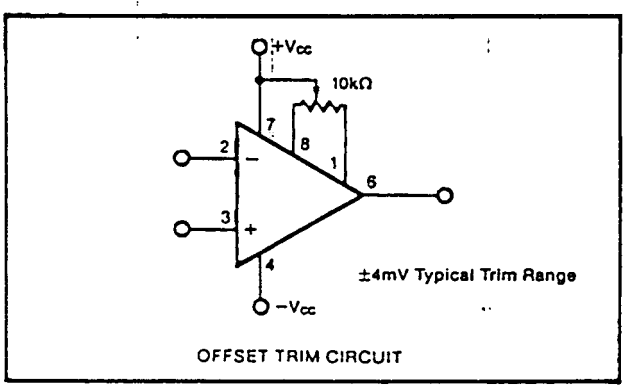


APPLICATIONS INFORMATION

These amplifiers are capable of unusually low voltage offset and drift and to achieve this ultimate capability, attention must be paid to externally generated thermal EMF contributions. Dissimilar metal junctions together with temperature gradients can generate thermocouple voltages that exceed the OPA27/37HT amplifier drift.

The OPA27/37HT are extremely wide-temperature range versions of the standard Burr-Brown OPA27 and OPA37. These high-temperature amplifiers do not employ bias current cancellation but note that their noise current performance has not been degraded.

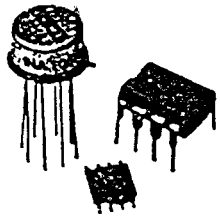
Eutectic die attach is used exclusively for the OPA27HT and OPA37HT. Hermeticity is assured by 100% fine leak testing. Units are 100% burned-in for 28 hours at +200°C for increased reliability.



OFFSET TRIM CIRCUIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BURR-BROWN®



INA105

AVAILABLE IN DIE

Precision Unity Gain DIFFERENTIAL AMPLIFIER

FEATURES

- CMR 86dB min OVER TEMPERATURE
- GAIN ERROR 0.01% max
- NONLINEARITY 0.001% max
- NO EXTERNAL ADJUSTMENTS REQUIRED
- EASY TO USE
- COMPLETE SOLUTION
- HIGHLY VERSATILE
- LOW COST
- PLASTIC DIP, TO-99 HERMETIC METAL, AND SO-8 SOIC PACKAGES

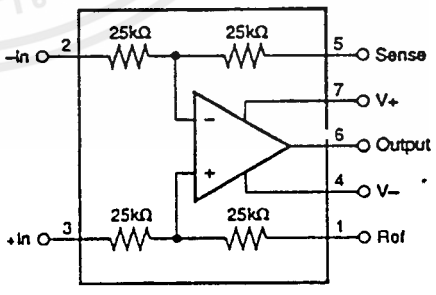
APPLICATIONS

- DIFFERENTIAL AMPLIFIER
- INSTRUMENTATION AMPLIFIER BUILDING BLOCK
- UNITY-GAIN INVERTING AMPLIFIER
- GAIN-OF-1/2 AMPLIFIER
- NONINVERTING GAIN-OF-2 AMPLIFIER
- AVERAGE VALUE AMPLIFIER
- ABSOLUTE VALUE AMPLIFIER
- SUMMING AMPLIFIER
- SYNCHRONOUS DEMODULATOR
- CURRENT RECEIVER WITH COMPLIANCE TO RAILS
- 4mA TO 20mA TRANSMITTER
- VOLTAGE-CONTROLLED CURRENT SOURCE
- ALL-PASS FILTERS

DESCRIPTION

The INA105 is a monolithic Gain=1 differential amplifier consisting of a precision op amp and on-chip metal film resistors. The resistors are laser trimmed for accurate gain and high common-mode rejection. Excellent TCR tracking of the resistors maintains gain accuracy and common-mode rejection over temperature.

The differential amplifier is the foundation of many commonly used circuits. The INA105 provides this precision circuit function without using an expensive precision resistor network. The INA105 is available in 8-pin plastic DIP, SO-8 surface-mount and TO-99 metal packages. Dice are also available.



International Airport Industrial Park • Mailing Address: PO Box 11400 • Tucson, AZ 85734 • Street Address: 6730 S. Tucson Blvd. • Tucson, AZ 85706
Tel: (602) 746-1111 • Twx: 910-952-1111 • Cable: BBRCORP • Telex: 066-6491 • FAX: (602) 889-1510 • Immediate Product Info: (800) 548-6132

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SPECIFICATIONS

ELECTRICAL

At +25°C, V_{CC} = ±15V unless otherwise noted.

PARAMETER	CONDITIONS	INA105AM			INA105BM			INA105KP/KU			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
GAIN											
Initial[1]			1			•			•		V/V
Error			0.005	0.01		•	•		0.01	0.025	%
vs Temperature			1	5		•	•		•		ppm/°C
Nonlinearity[2]			0.0002	0.001		•	•		•	•	%
OUTPUT											
Rated Voltage	I_O = +20mA, –5mA	10	12		•	•		•	•		V
Rated Current	V_O = 10V	+20, –5			•			•			mA
Impedance			0.01			•			•		Ω
Current Limit	To Common		+40/–10			•			•		mA
Capacitive Load	Stable Operation		1000			•			•		pF
INPUT											
Impedance[3]	Differential		50			•			•		kΩ
	Common-mode		50			•			•		kΩ
Voltage Range[4]	Differential	±10			•			•			V
	Common-mode	±20			•			•			V
Common-mode Rejection[5]	$T_A = T_{MIN}$ to T_{MAX}	80	90		86	100		72	•		dB
OFFSET VOLTAGE	RTO[6,7]										
Initial			50	250		•	•		•	500	µV
vs Temperature			5	20		5	10		•		µV/°C
vs Supply	$\pm V_S$ = 6V to 18V		1	25		•	15		•	•	µV/V
vs Time			20			•			•		µV/mo
OUTPUT NOISE VOLTAGE	RTO[6,8]										
f_B = 0.01Hz to 10Hz			2.4			•			•		µVp-p
f_O = 10kHz			60			•			•		nV/√Hz
DYNAMIC RESPONSE											
Small Signal Bandwidth	–3dB		1			•			•		MHz
Full Power Bandwidth	V_O = 20Vp-p	30	50		•	•		•	•		kHz
Slew Rate		2	3		•	•		•	•		V/µs
Settling Time: 0.1%	V_O = 10V Step		4			•			•		µs
0.01%	V_O = 10V Step		5			•			•		µs
0.01%	V_{CM} = 10V Step, V_{DIFF} = 0V		1.5			•			•		µs
POWER SUPPLY											
Rated			±15			•			•		V
Voltage Range	Derated Performance	±5		±18	•		•	•		•	V
Quiescent Current	V_O = 0V		±1.5	±2		•	•		•	•	mA
TEMPERATURE RANGE											
Specification		–25		+85	•		•	0		+70	°C
Operation		–55		+125	•		•	–40		+85	°C
Storage		–65		+150	•		•	–40		+125	°C

* Specification same as for INA105AM.

NOTES: (1) Connected as difference amplifier (see Figure 4). (2) Nonlinearity is the maximum peak deviation from the best-fit straight line as a percent of full-scale peak-to-peak output. (3) 25kΩ resistors are ratio matched but have ±20% absolute value. (4) Maximum input voltage without protection is 10V more than either ±15V supply (±25V). Limit I_{IN} to 1mA. (5) With zero source impedance (see "Maintaining CMR" section). (6) Referred to output in unity-gain difference configuration. Note that this circuit has a gain of 2 for the operational amplifier's offset voltage and noise voltage. (7) Includes effects of amplifier's input bias and offset currents. (8) Includes effects of amplifier's input current noise and thermal noise contribution of resistor network.

ABSOLUTE MAXIMUM RATINGS

Supply	±18V
Input Voltage Range	$\pm V_S$
Operating Temperature Range: M	–55°C to +125°C
P, U	–40°C to +85°C
Storage Temperature Range: M	–65°C to +150°C
P, U	–40°C to +125°C
Lead Temperature (soldering, 10s) M, P	+300°C
Wave Soldering (3s, max) U	+260°C
Output Short Circuit to Common	Continuous

PACKAGE INFORMATION[1]

MODEL	PACKAGE	PACKAGE DRAWING NUMBER
INA105AM	TO-99 Metal	001
INA105BM	TO-99 Metal	001
INA105KP	8-Pin Plastic DIP	006
INA105KU	8-Pin SOIC	182
INA105KD	Dice	—

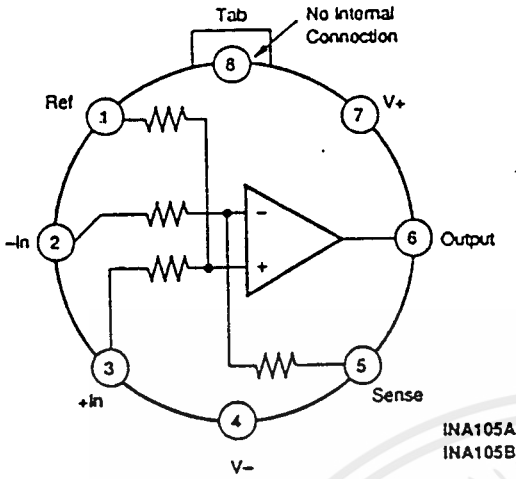
NOTE: (1) For detailed drawing and dimension table, please see end of data sheet, or Appendix D of Burr-Brown IC Data Book.

The information provided herein is believed to be reliable; however, BURR-BROWN assumes no responsibility for inaccuracies or omissions. BURR-BROWN assumes no responsibility for the use of this information, and all use of such information shall be entirely at the user's own risk. Prices and specifications are subject to change without notice. No patent rights or licenses to any of the circuits described herein are implied or granted to any third party. BURR-BROWN does not authorize or warrant any BURR-BROWN product for use in life support devices and/or systems.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESIGNATIONS

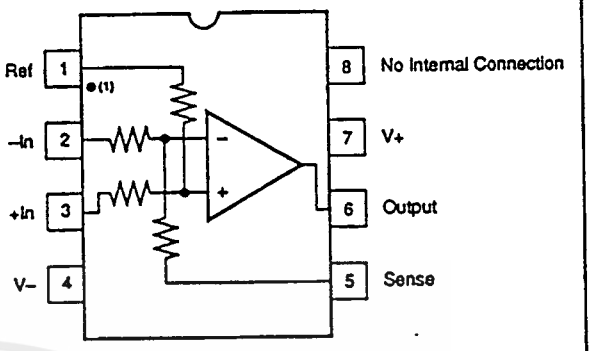
Top View — TO-99



INA105AM
INA105BM

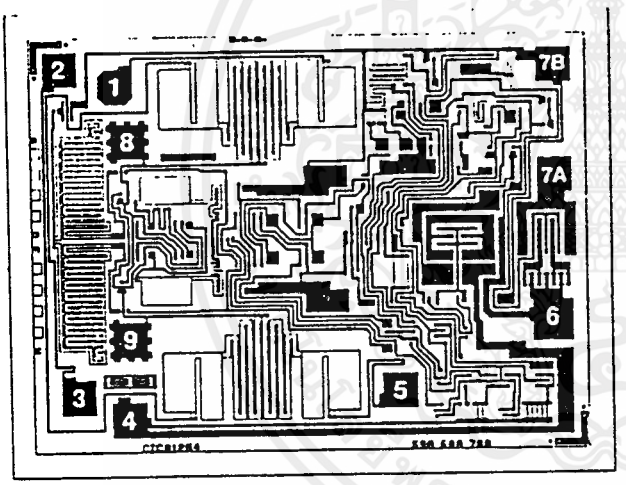
Case internally connected to V–. Make no connection.

Top View — DIP/SOIC



NOTE: (1) Performance grade identifier box for small outline surface mount. Blank indicates K-grade. Part is marked INA105U.

DICE INFORMATION



INA105 DIE TOPOGRAPHY

PAD	FUNCTION
1	Reference
2	–In
3	+In
4	V–
5	Sense
6	Output
7A	V+ (Connect Both)
7B	V+ (Connect Both)
8	(Op Amp +In)
9	(Op Amp –In)

Substrate Bias: Electrically connected to V– supply.

MECHANICAL INFORMATION

	MILS (0.001")	MILLIMETERS
Die Size	83 x 63 ±5	2.11 x 1.60 ±0.13
Die Thickness	20 ±3	0.51 ±0.08
Min. Pad Size	4 x 4	0.10 x 0.10
Backing		Gold

See "DICE PRODUCTS" Appendix C in Burr-Brown IC Data Book, or contact factory for current information.

ORDERING INFORMATION

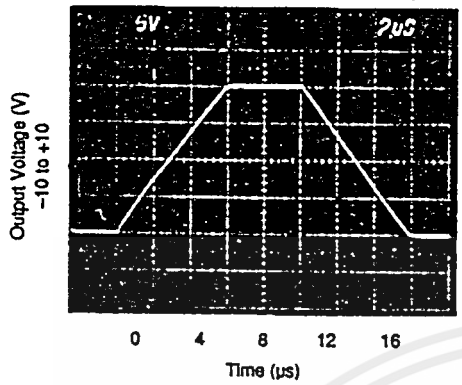
MODEL	PACKAGE	TEMPERATURE
INA105AM	TO-99 Metal	–25°C to +85°C
INA105BM	TO-99 Metal	–25°C to +85°C
INA105KP	8-Pin Plastic DIP	0°C to +70°C
INA105KU	8-Pin SOIC	0°C to +70°C
INA105KD	Dice	0°C to +70°C

เอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

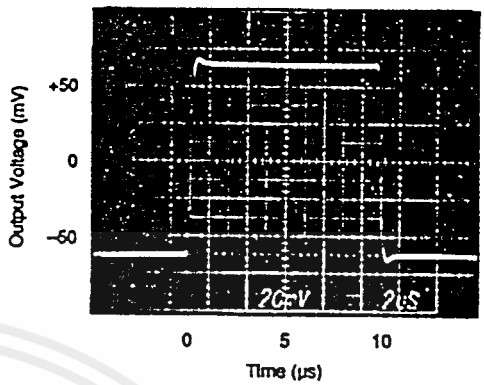
TYPICAL PERFORMANCE CURVES

T_A = 25°C, V_S = ±15V unless otherwise noted.

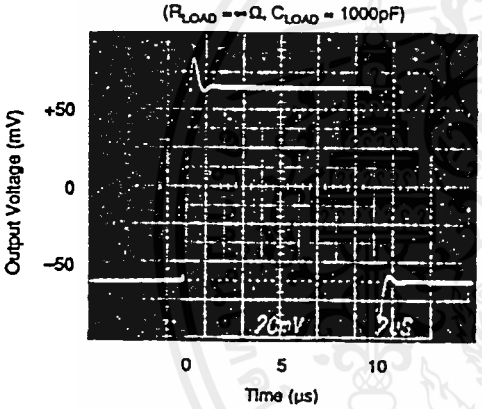
STEP RESPONSE



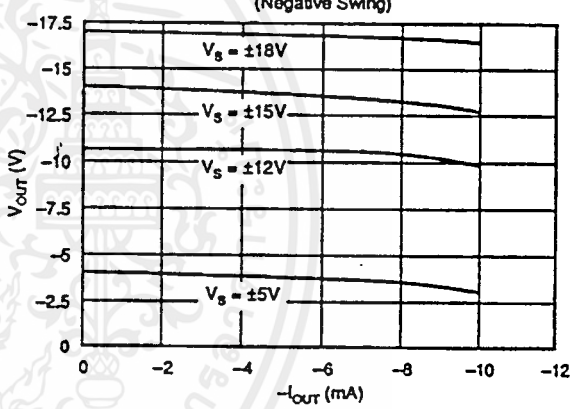
SMALL SIGNAL RESPONSE
(No Load)



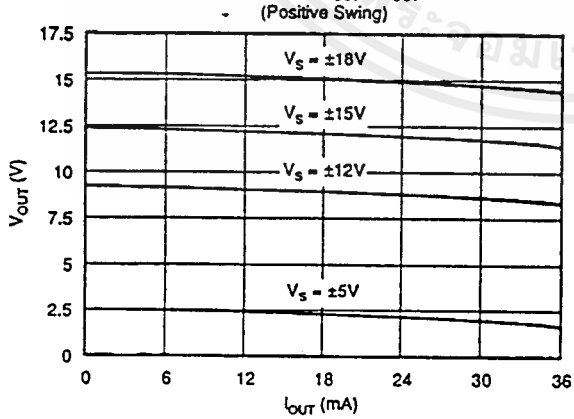
SMALL SIGNAL RESPONSE
(R_{LOAD} = −Ω, C_{LOAD} = 1000pF)



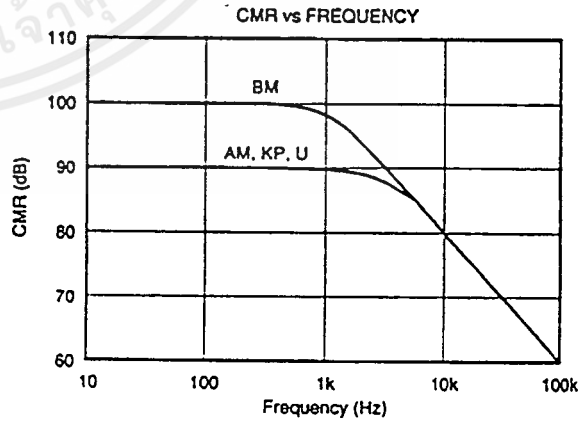
MAXIMUM V_{OUT} vs I_{OUT}
(Negative Swing)



MAXIMUM V_{OUT} vs I_{OUT}
(Positive Swing)



CMR vs FREQUENCY

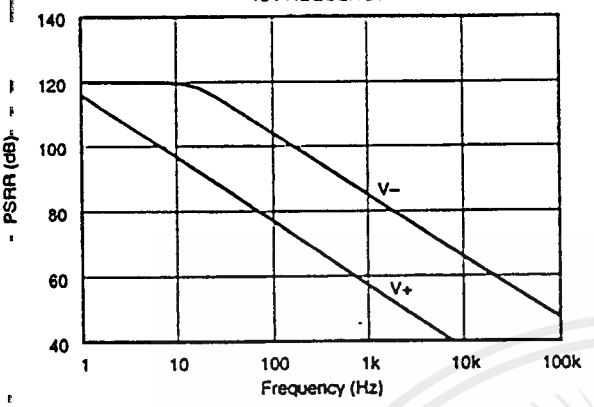


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการ
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

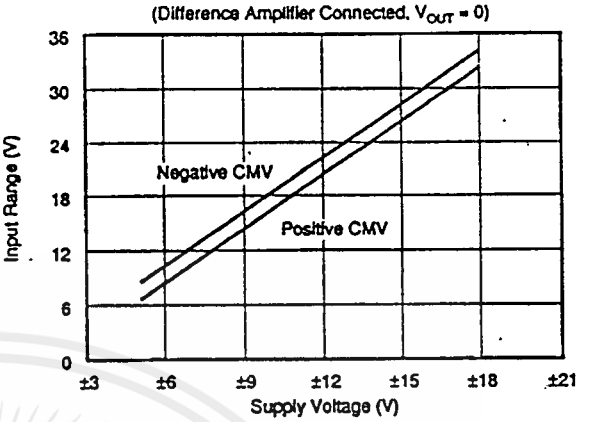
TYPICAL PERFORMANCE CURVES (CONT)

T_A = 25°C, V_S = ±15V unless otherwise noted.

POWER SUPPLY REJECTION vs FREQUENCY



COMMON-MODE INPUT RANGE vs SUPPLY (Difference Amplifier Connected, V_{OUT} = 0)



ELECTROSTATIC DISCHARGE SENSITIVITY

This integrated circuit can be damaged by ESD. Burr-Brown recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.. ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

APPLICATION INFORMATION

Figure 1 shows the basic connections required for operation of the INA105. Power supply bypass capacitors should be connected close to the device pins.

The differential input signal is connected to pins 2 and 3 as shown. The source impedances connected to the inputs must be nearly equal to assure good common-mode rejection. A 5Ω mismatch in source impedance will degrade the common-mode rejection of a typical device to approximately 80dB. If the source has a known mismatch in source impedance, an additional resistor in series with one input can be used to preserve good common-mode rejection.

The output is referred to the output reference terminal (pin 1) which is normally grounded. A voltage applied to the Ref terminal will be summed with the output signal. This can be used to null offset voltage as shown in Figure 2. The source impedance of a signal applied to the Ref terminal should be less than 10Ω to maintain good common-mode rejection.

Do not interchange pins 1 and 3 or pins 2 and 5, even though nominal resistor values are equal. These resistors are laser trimmed for precise resistor ratios to achieve accurate gain and highest CMR. Interchanging these pins would not provide specified performance.

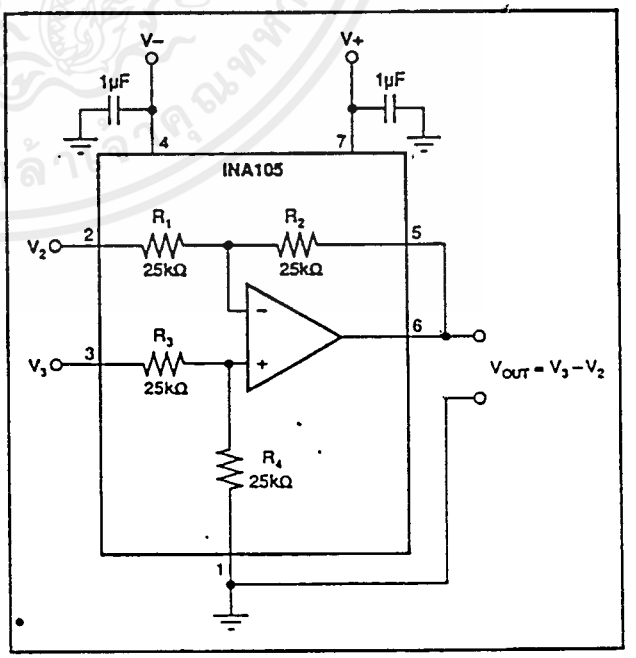


FIGURE 1. Basic Power Supply and Signal Connections.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

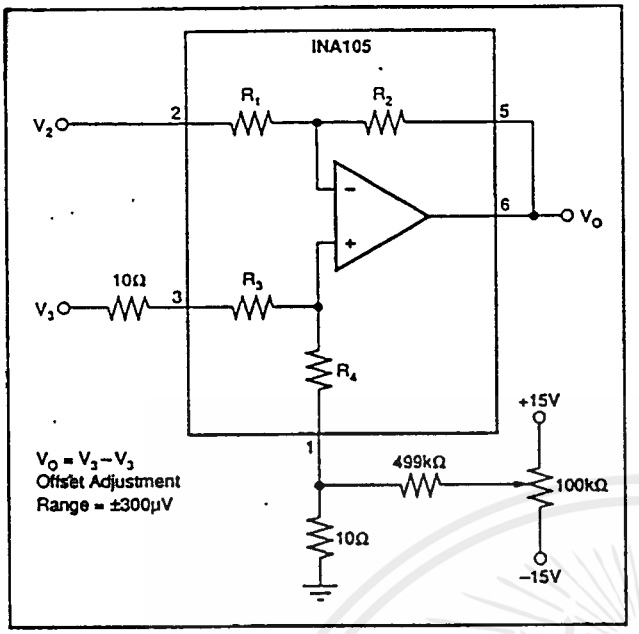


FIGURE 2. Offset Adjustment.

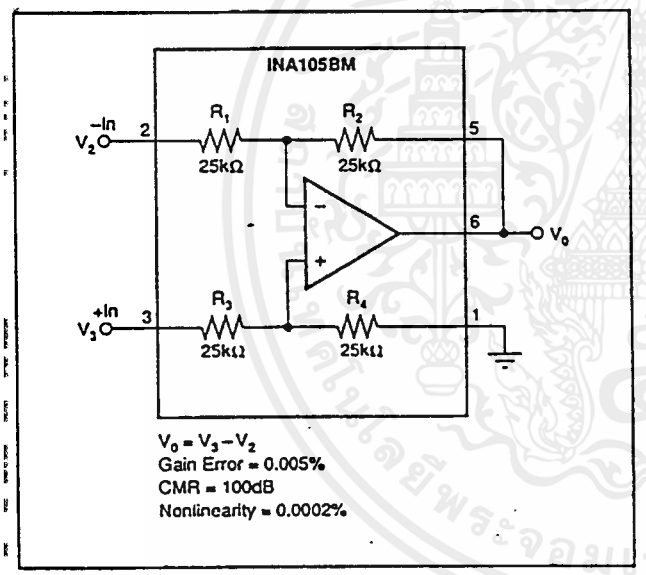
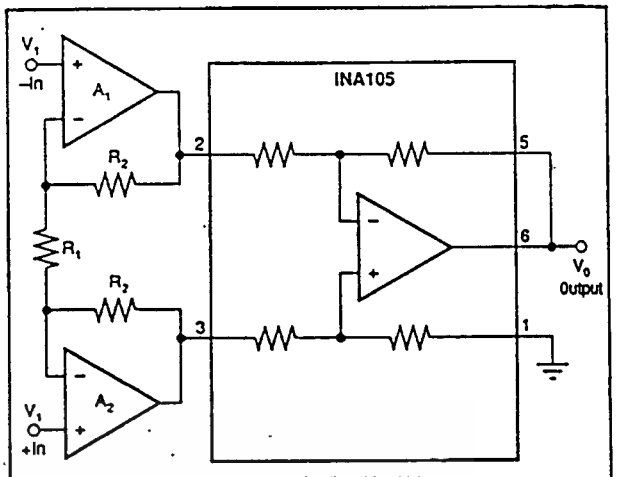


FIGURE 3. Precision Difference Amplifier.



For low source impedance applications, an input stage using OPA27 op amps will give the best low noise, offset, and temperature drift performance. At source impedances above about 10kΩ, the bias current noise of the OPA27 reacting with the input impedance begins to dominate the noise performance. For these applications, using the OPA111 or Dual OPA2111 FET input op amp will provide lower noise performance. For lower cost use the OPA121 plastic. To construct an electrometer use the OPA128.

A_1, A_2	R_1 (Ω)	R_2 (Ω)	GAIN (V/V)	CMRR (dB)	MAX I_B	NOISE AT 1kHz (nV/√Hz)
OPA27A	50.5	2.5k	100	128	40nA	4
OPA111B	202	10k	100	110	1pA	10
OPA128LM	202	10k	100	118	75fA	38

FIGURE 4. Precision Instrumentation Amplifier.

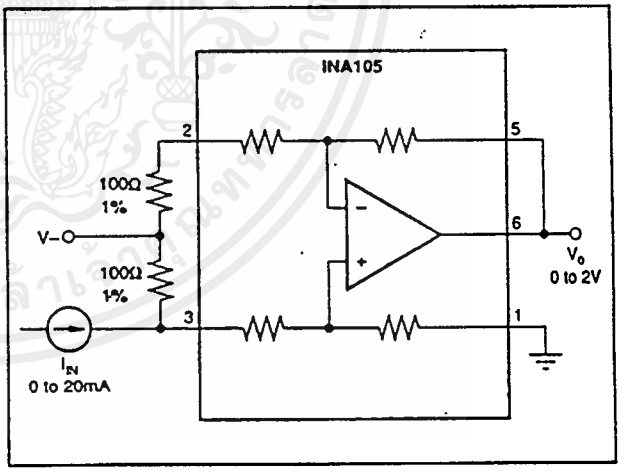


FIGURE 5. Current Receiver with Compliance to Rails.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

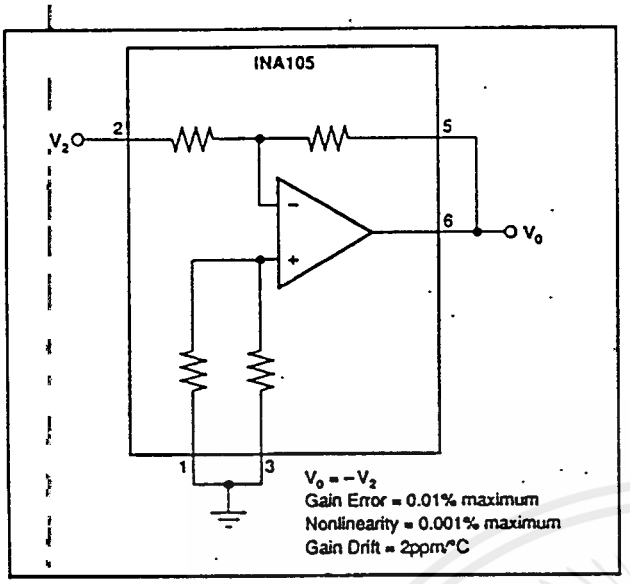


FIGURE 6. Precision Unity-Gain Inverting Amplifier.

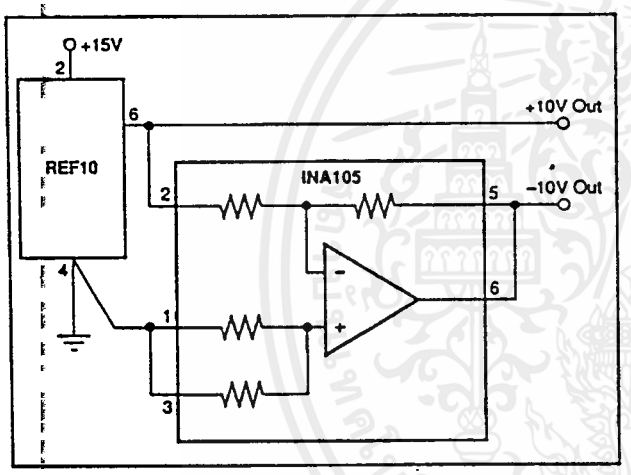


FIGURE 7. ±10V Precision Voltage Reference.

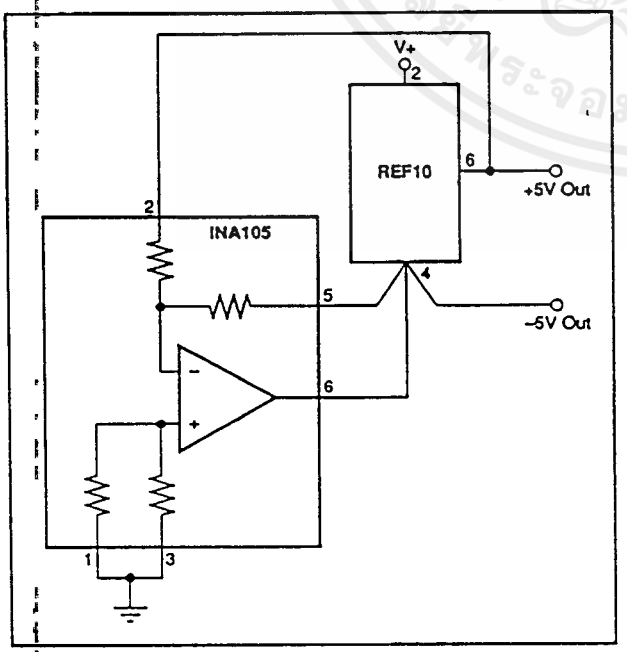


FIGURE 8. ±5V Precision Voltage Reference.

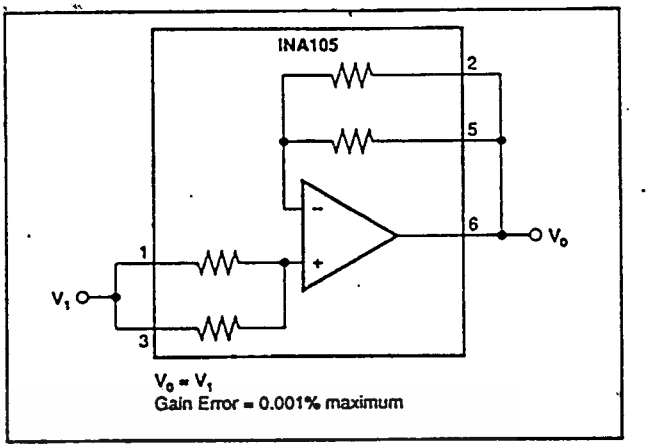


FIGURE 9. Precision Unity-Gain Buffer.

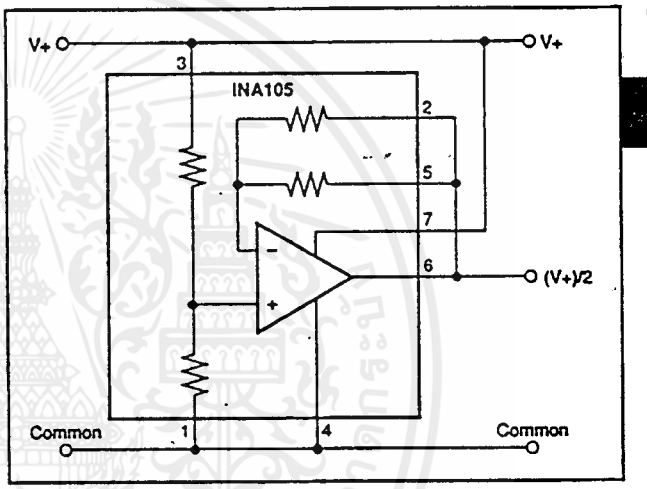


FIGURE 10. Pseudoground Generator.

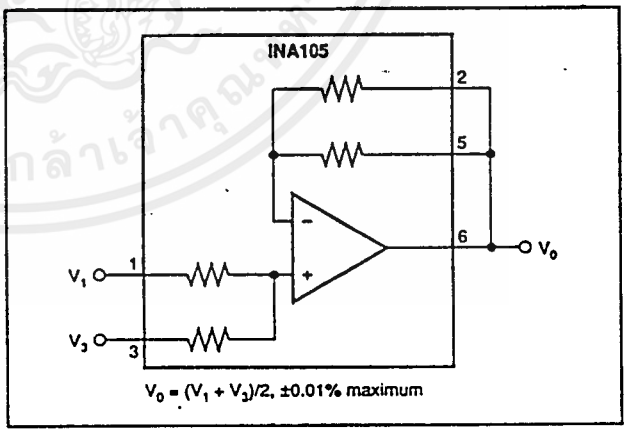


FIGURE 11. Precision Average Value Amplifier.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า การแสวงหากำไร การโฆษณา หรือการเผยแพร่ในรูปแบบอื่นๆ ทั้งนี้ต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

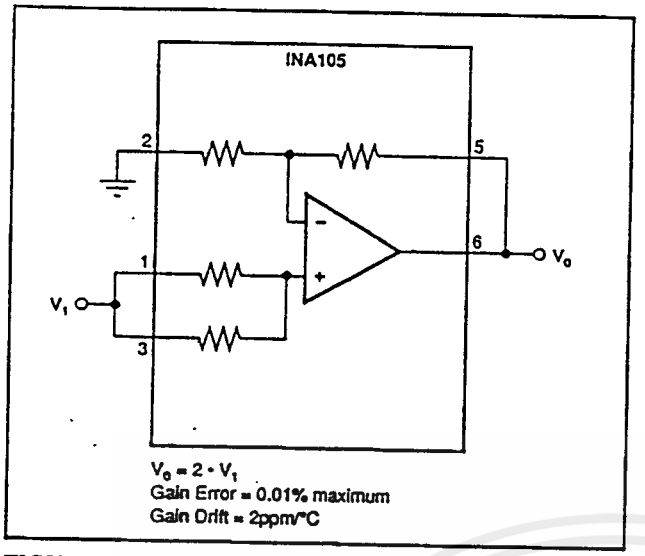


FIGURE 12. Precision (G = 2) Amplifier.

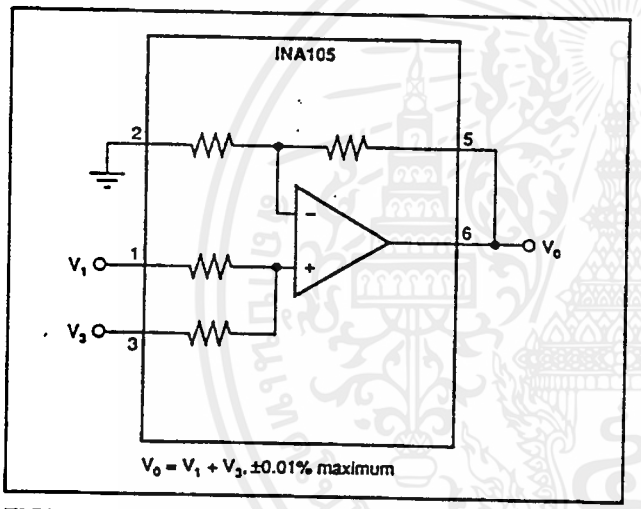


FIGURE 13. Precision Summing Amplifier.

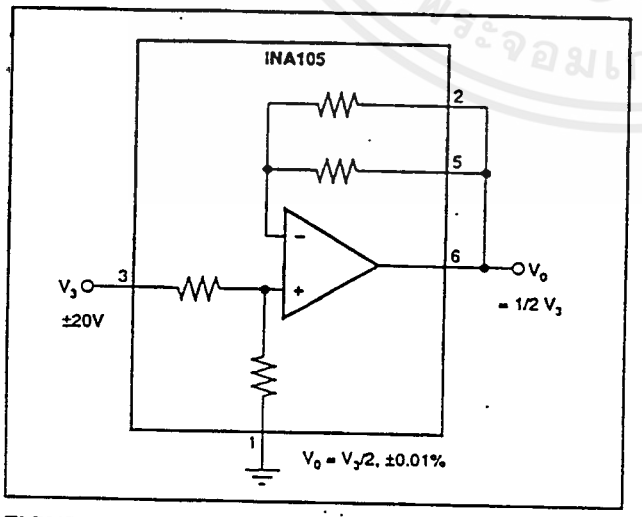


FIGURE 14. Precision Gain = 1/2 Amplifier.

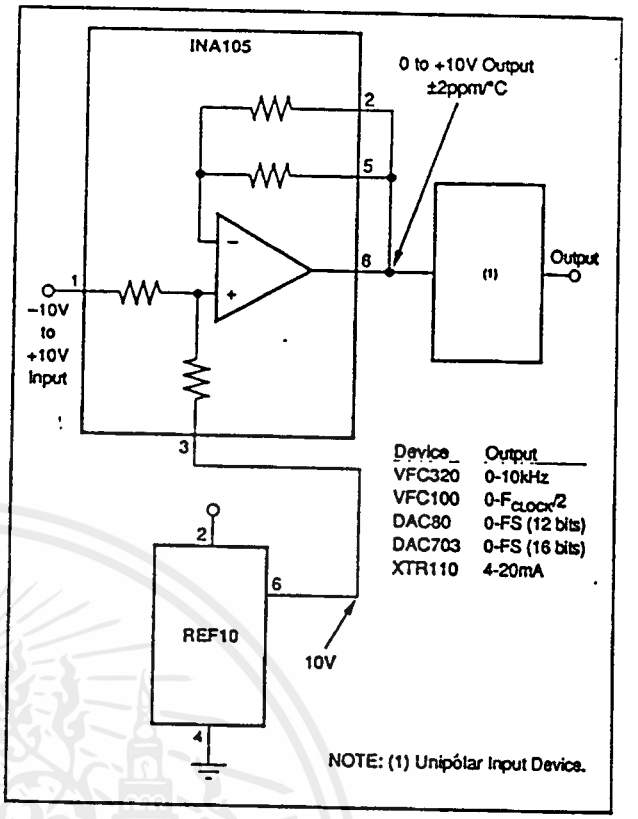


FIGURE 15. Precision Bipolar Offsetting.

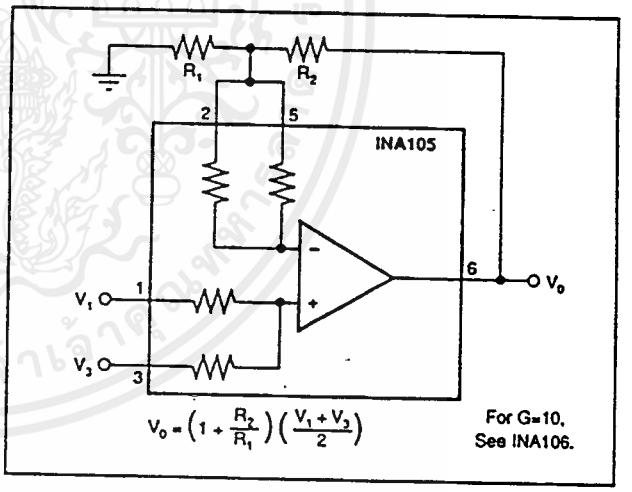


FIGURE 16. Precision Summing Amplifier with Gain.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

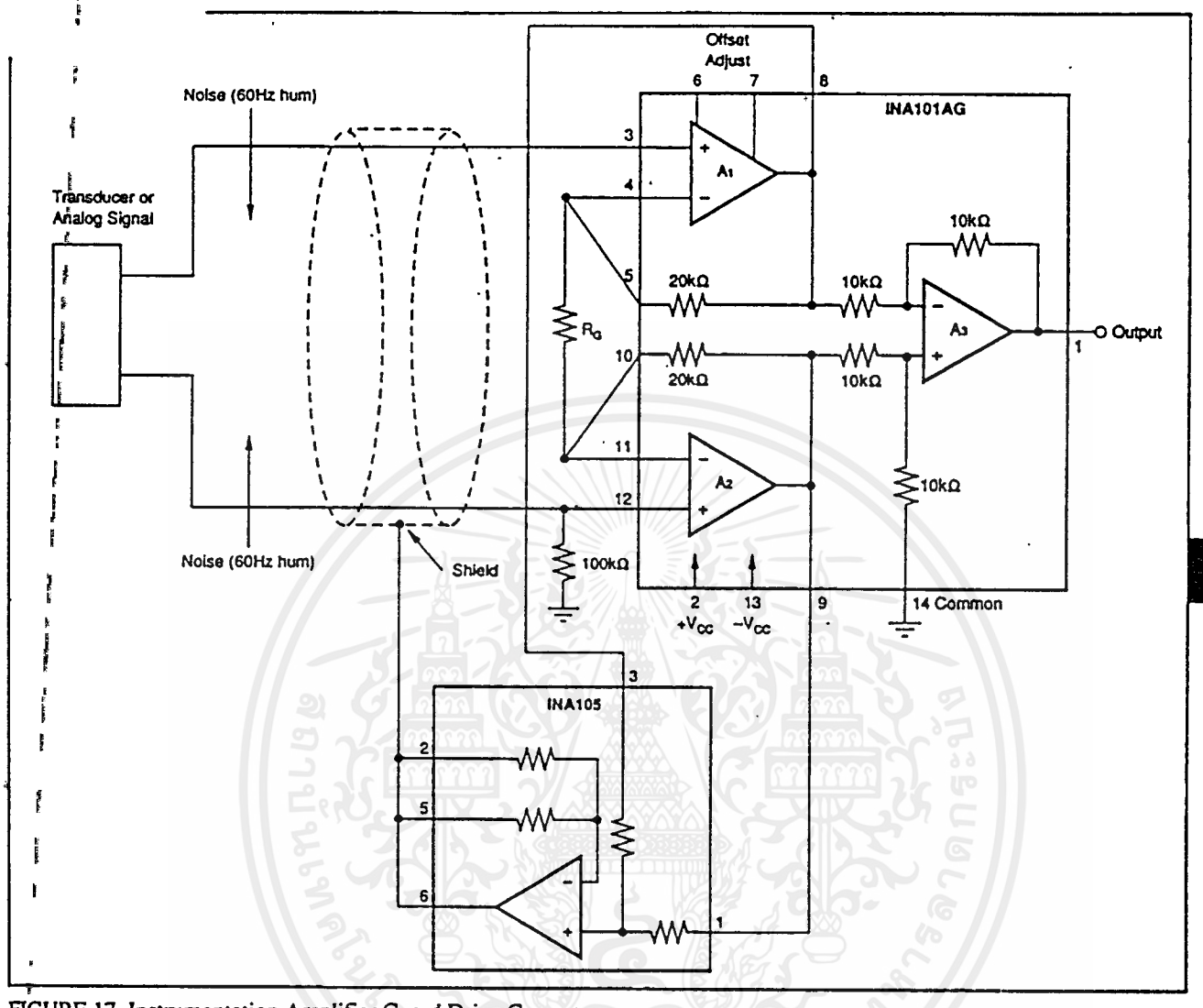


FIGURE 17. Instrumentation Amplifier Guard Drive Generator.

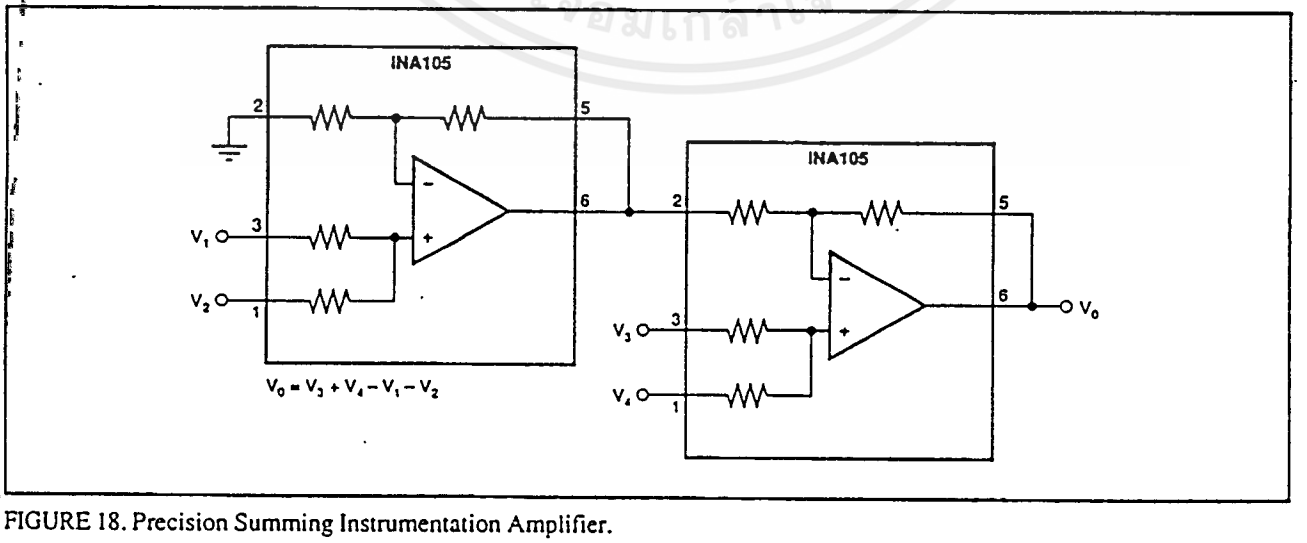


FIGURE 18. Precision Summing Instrumentation Amplifier.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า รูปไดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

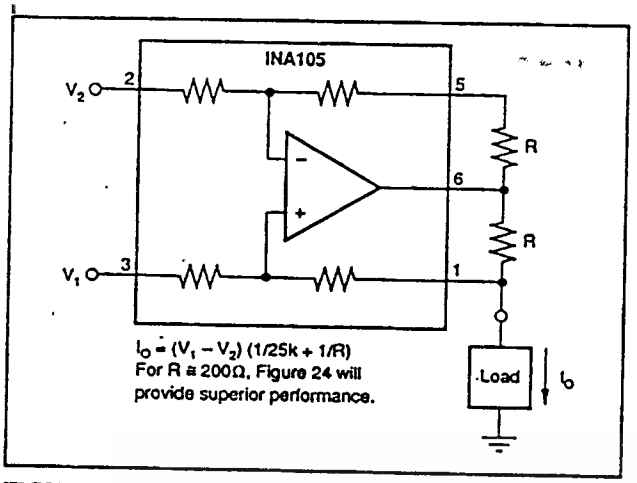


FIGURE 19. Precision Voltage-to-Current Converter with Differential Inputs.

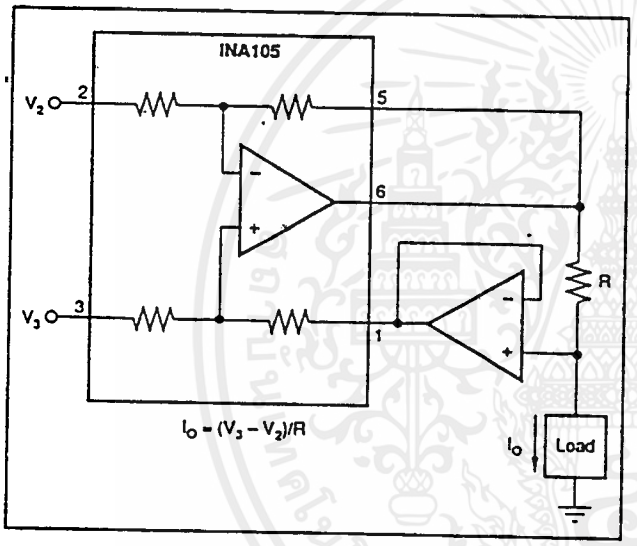


FIGURE 20. Differential Input Voltage-to-Current Converter for Low I_{OUT}.

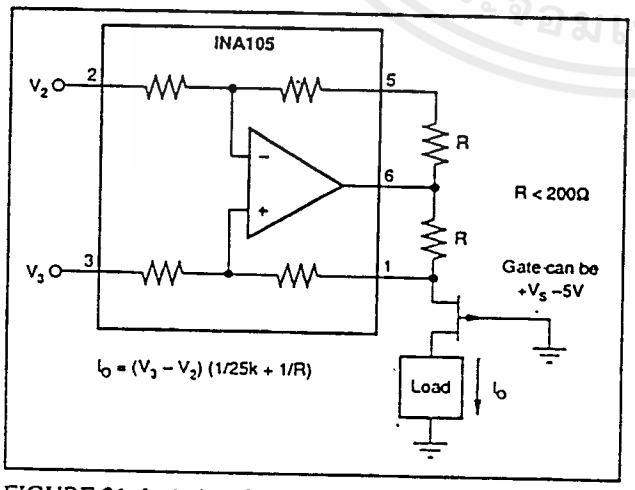


FIGURE 21. Isolating Current Source.

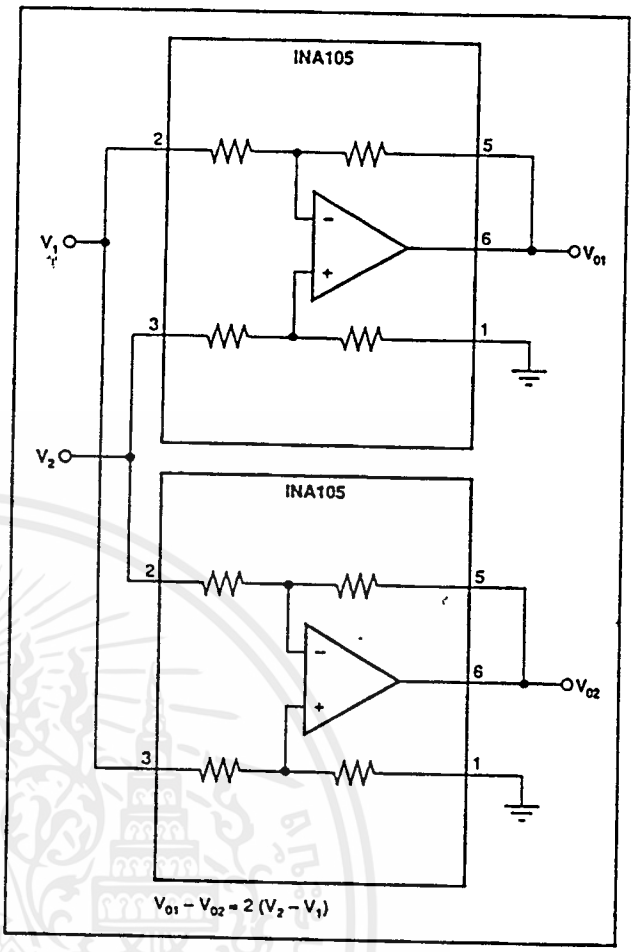


FIGURE 22. Differential Output Difference Amplifier.

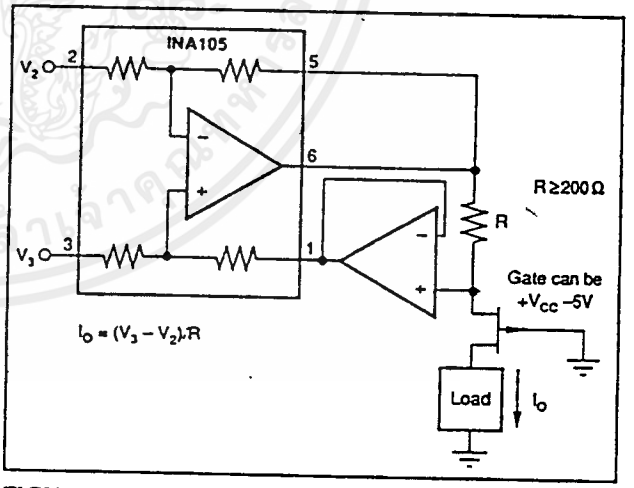


FIGURE 23. Isolating Current Source with Buffering Amplifier for Greater Accuracy.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

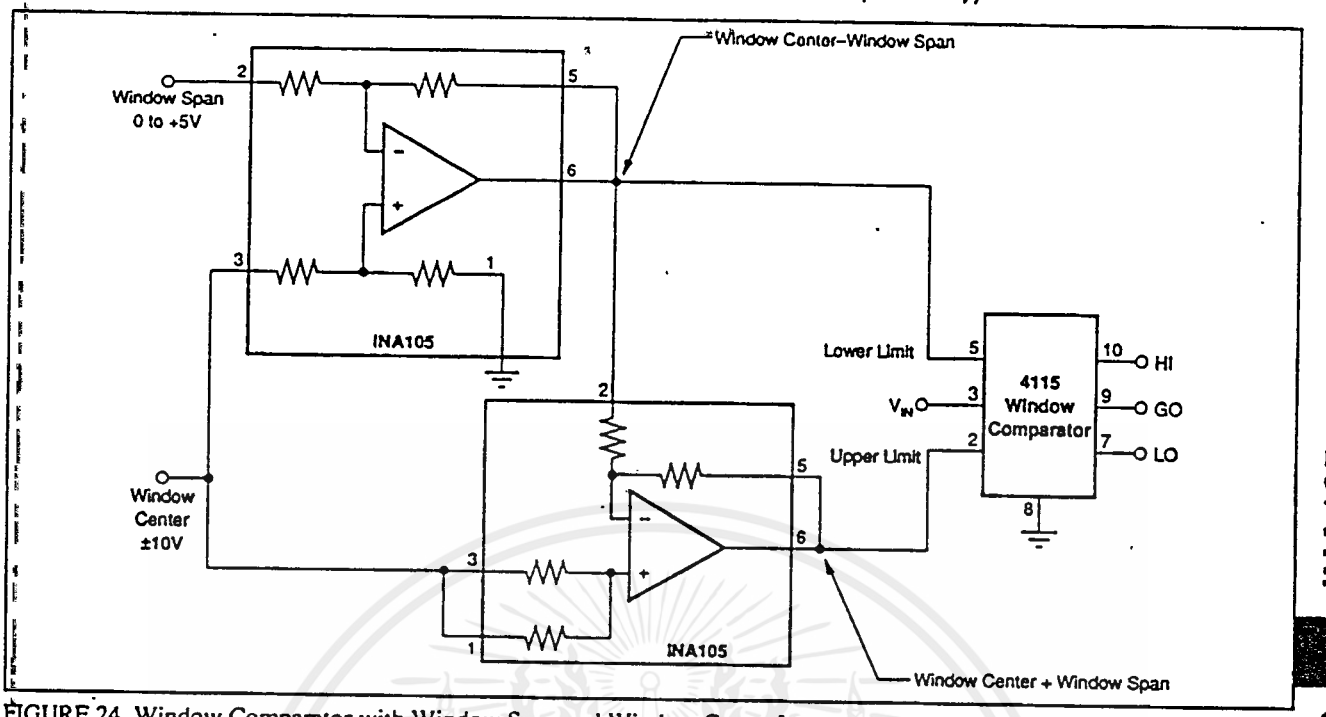


FIGURE 24. Window Comparator with Window Span and Window Center Inputs.

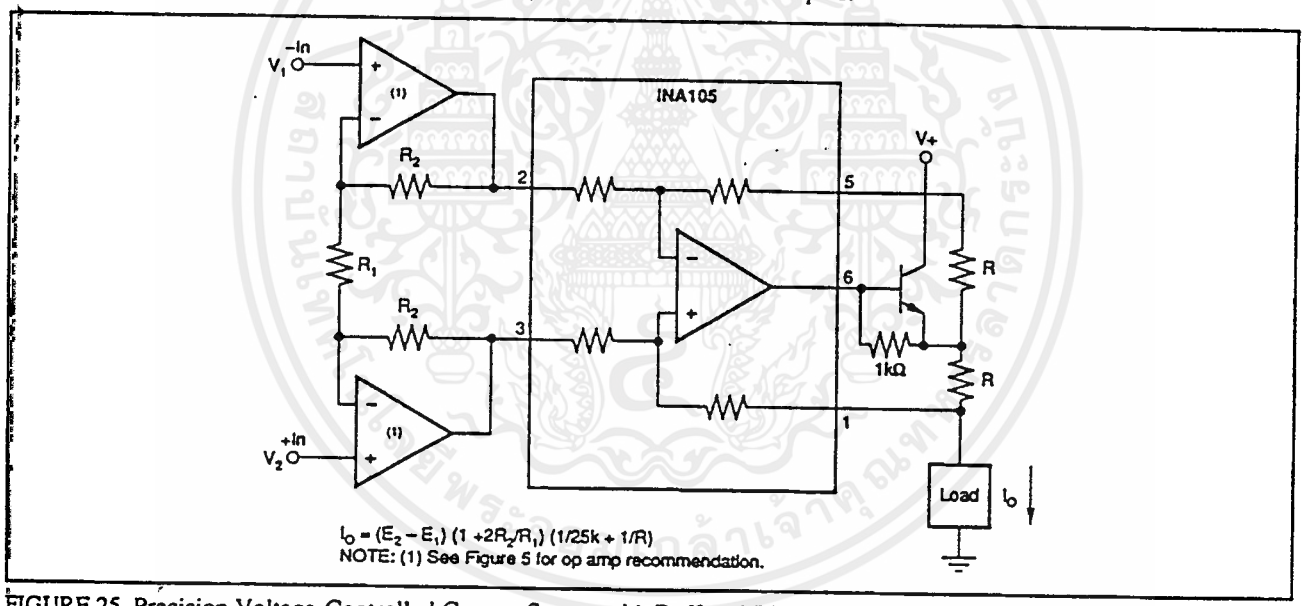


FIGURE 25. Precision Voltage-Controlled Current Source with Buffered Differential Inputs and Gain.

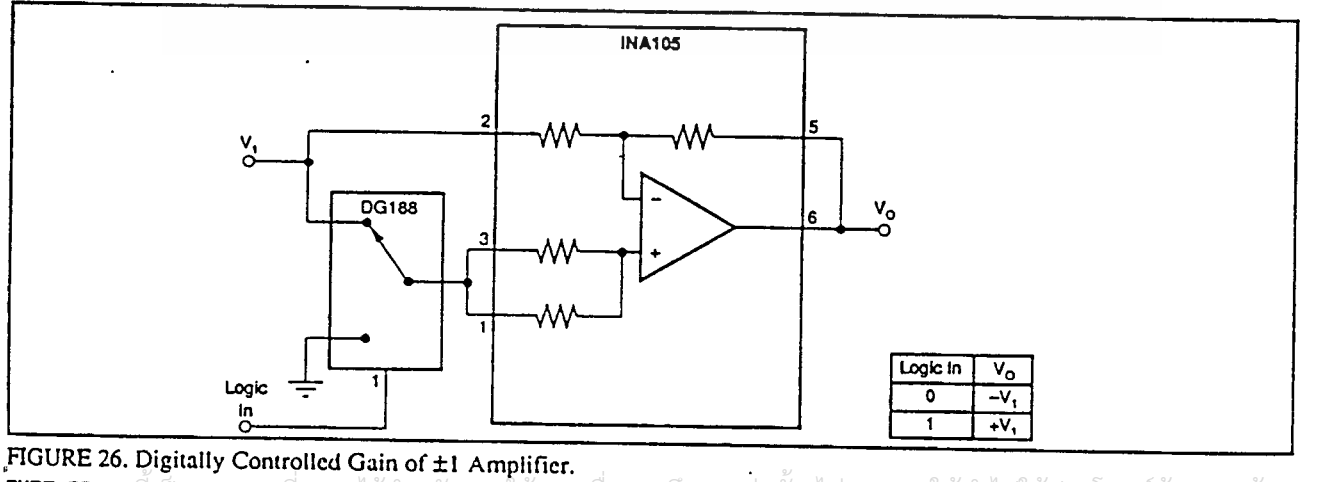


FIGURE 26. Digitally Controlled Gain of ±1 Amplifier.

เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

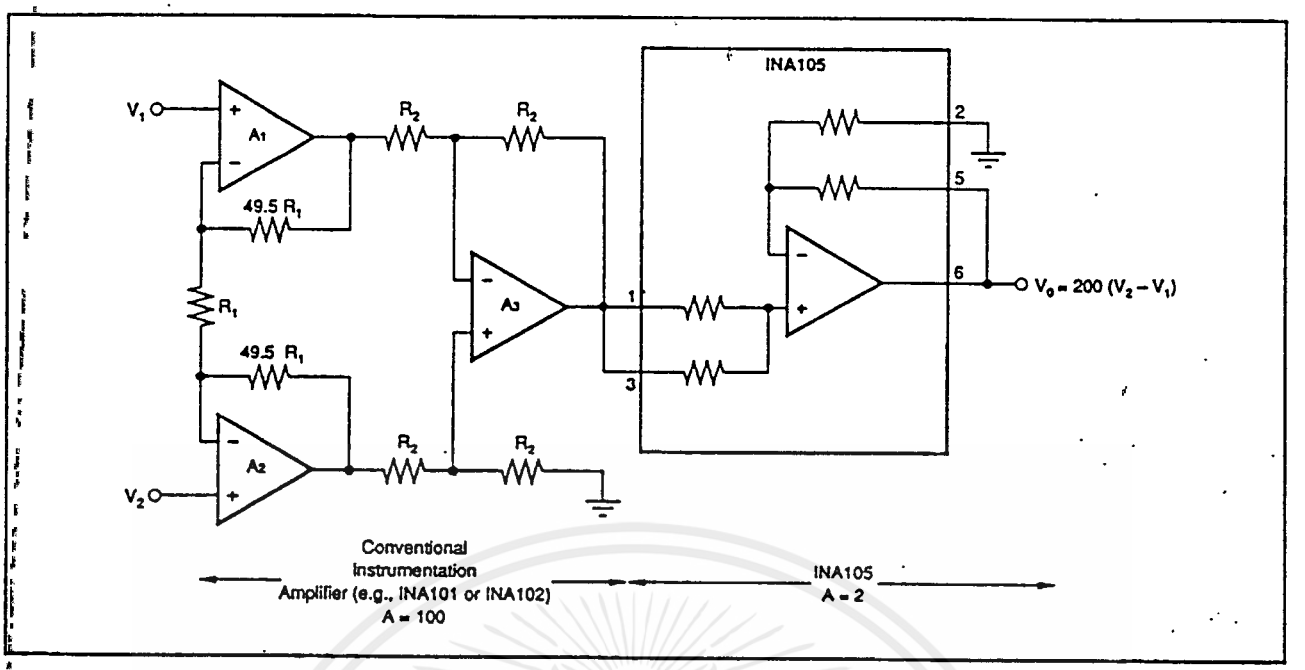


FIGURE 27. Boosting Instrumentation Amplifier Common-Mode Range From ±5 to ±7.5V with 10V Full-Scale Output.

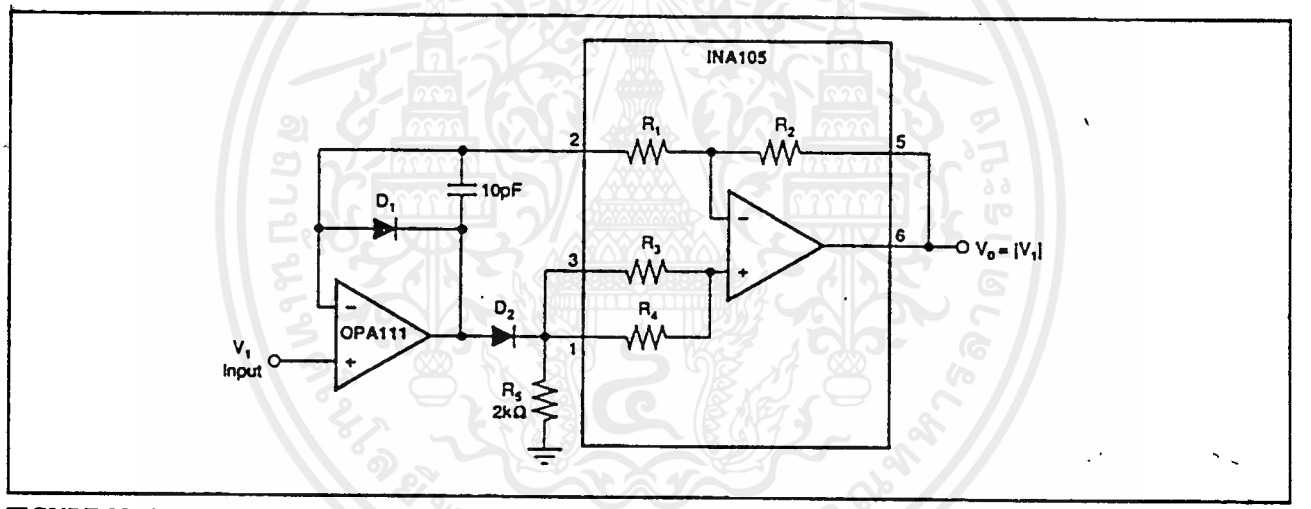


FIGURE 28. Precision Absolute Value Buffer.

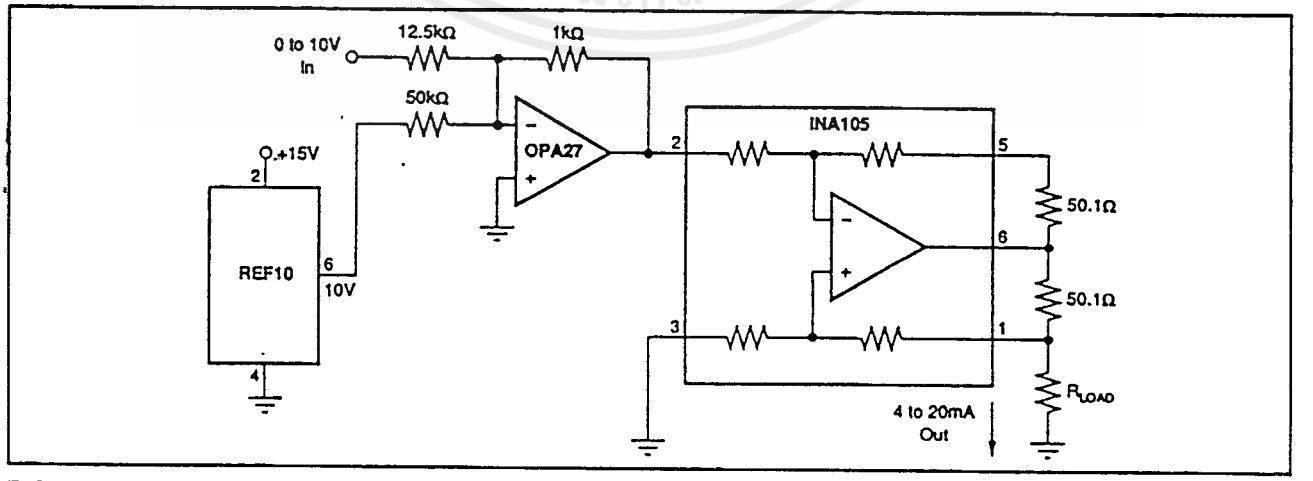
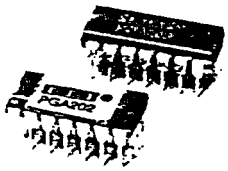


FIGURE 29. Precision 4-20mA Current Transmitter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BURR-BROWN®



PGA202/203

Digitally Controlled Programmable-Gain INSTRUMENTATION AMPLIFIER

FEATURES

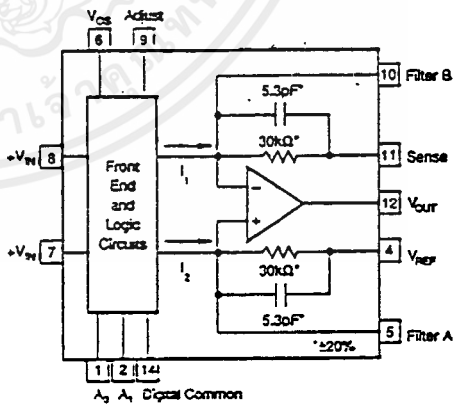
- DIGITALLY PROGRAMMABLE GAINS:
  DECADE MODEL—PGA202
  GAINS OF 1, 10, 100, 1000
  BINARY MODEL—PGA203
  GAINS OF 1, 2, 4, 8
- LOW BIAS CURRENT: 50pA max
- FAST SETTLING: 2µs to 0.01%
- LOW NON-LINEARITY: 0.012% max
- HIGH CMRR: 80dB min
- NEW TRANSCONDUCTANCE CIRCUITRY
- LOW COST

APPLICATIONS

- DATA ACQUISITION SYSTEMS
- AUTO-RANGING CIRCUITS
- DYNAMIC RANGE EXPANSION
- REMOTE INSTRUMENTATION
- TEST EQUIPMENT

DESCRIPTION

The PGA202 is a monolithic instrumentation amplifier with digitally controlled gains of 1, 10, 100 and 1000. The PGA203 provides gains of 1, 2, 4, and 8. Both have TTL or CMOS-compatible inputs for easy microprocessor interface. Both have FET inputs and a new transconductance circuitry that keeps the bandwidth nearly constant with gain. Gain and offsets are laser trimmed to allow use without any external components. Both amplifiers are available in ceramic or plastic packages. The ceramic package is specified over the full industrial temperature range while the plastic package covers the commercial range.



Covered by U.S. PATENT #4,883,422

International Airport Industrial Park • Mailing Address: PO Box 11400 • Tucson, AZ 85734 • Street Address: 6730 S. Tucson Blvd. • Tucson, AZ 85706
Tel: (602) 746-1111 • Twx: 910-952-1111 • Cable: BBRCORP • Telex: 066-6491 • FAX: (602) 889-1510 • Immediate Product Info: (800) 548-6132

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SPECIFICATIONS

ELECTRICAL

At +25°C, V_{cc} = ±15V unless otherwise noted.

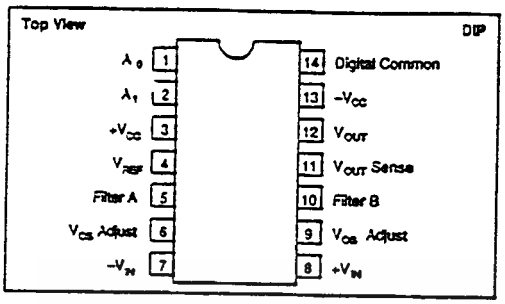
PARAMETER	CONDITION	PGA202/203AG[1]			PGA202/203BG[1]			PGA202/203KP[1]			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
GAIN											
Error[2]	G < 1000		0.05	0.25		•	0.15		•	•	%
	G = 1000		0.1	1		0.08	0.5		•	•	%
Nonlinearity	G < 1000		0.002	0.015		•	0.012		•	•	%
	G = 1000		0.02	0.06		•	0.04		•	•	%
Gain vs Temperature	G < 100		3	25		•	15		•		ppm/°C
	G = 100		40	120		•	60		•		ppm/°C
	G = 1000		100	300		•	150		•		ppm/°C
RATED OUTPUT											
Voltage	$\|I_{out}\| \le 5mA$	±10	±12		•	•		•	•		V
Over Specified Temperature	See Typical Perf. Curve		±9			•			±10		V
Current	$\|V_{out}\| \le 10V$	±5	±10		•	•		•	•		mA
Impedance			0.5			•			•		Ω
ANALOG INPUTS											
Common-Mode Range		±10	±13		•	•		•	•		V
Absolute Max Voltage[3]	No Damage			±V_{cc}			•			•	V
Impedance, Differential			10 || 3			•			•		GΩ || pF
Common-Mode			10 || 1			•			•		GΩ || pF
OFFSET VOLTAGE (RTI)											
Initial Offset at 25°C[4]			±(0.5 + 5/G)	±(2 + 24/G)		•	±(1 + 12/G)		•	•	mV
vs Temperature			±(3 + 50/G)	±(24 + 240/G)		•	±(12 + 120/G)		•		µV/°C
Offset vs Time			50			•			•		µV/Month
Offset vs Supply	$10 \le V_{cc} \le 15$		10 + 250/G	100 + 900/G		•	50 + 450/G		•	•	µV/V
INPUT BIAS CURRENT											
Initial Bias Current: at 25°C			10	50		•	•		•	•	pA
at 85°C			640	3200		•	•		•	•	pA
Initial Offset Current: at 25°C			5	25		•	•		•	•	pA
at 85°C			320	1600		•	•		•	•	pA
COMMON MODE REJECTION RATIO											
	G = 1	80	100		•	•		•	•		dB
	G = 10	86	110		•	•		•	•		dB
	G = 100	92	120		•	•		•	•		dB
	G = 1000	94	120		•	•		•	•		dB
INPUT NOISE											
Noise Voltage 0.1 to 10Hz			1.7			•			•		µVp-p
Noise Density at 10kHz[5]			12			•			•		nV/√Hz
OUTPUT NOISE											
Noise Voltage 0.1 to 10Hz			32			•			•		µVp-p
Density at 1kHz[5]			400			•			•		nV/√Hz
DYNAMIC RESPONSE											
Frequency Response	G < 1000		1000			•			•		kHz
	G = 1000		250			•			•		kHz
Full Power Bandwidth	G < 1000		400			•			•		kHz
	G = 1000		100			•			•		kHz
Slew Rate		10	20		15	•		•	•		V/µs
Settling Time (0.01%)[7]	G < 1000		2			•			•		µs
	G = 1000		10			•			•		µs
Overload Recovery Time[7]	G < 1000		5			•			•		µs
	G = 1000		10			•			•		µs
DIGITAL INPUTS											
Digital Common Range		$-V_{cc}$		V_{cc} − 8	•	•	•	•		•	V
Input Low Threshold[6]				0.8			•			•	V
Input Low Current				10			•			•	µA
Input High Voltage		2.4			•			•			V
Input High Current				10			•			•	µA
POWER SUPPLY											
Rated Voltage			±15			•			•		V
Voltage Range		±8		±18	•		•	•		•	V
Quiescent Current			6.5			•			•		mA
TEMPERATURE RANGE											
Specification		−25		85	•		•	0		70	°C
Operating		−55		125	•		•	−25		85	°C
Storage		−65		150	•		•	−40		100	°C
θ_{ja}			100			•			•		°C/W

* Same as the PGA202/203AG

NOTES: (1) All specifications apply to both the PGA202 and the PGA203. Values given for a gain of 10 are the same for a gain of 8 and other values may be interpolated. (2) Measured with a 10k load. (3) The analog inputs are internally diode clamped. (4) Adjustable to zero. (5) $V_{NOISE\ OUTPUT} = \sqrt{(V_{N\ source})^2 + (V_{N\ current}/Gain)^2}$. (6) Threshold voltages are referenced to Digital Common. (7) From input change or gain change.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN CONFIGURATION



ABSOLUTE MAXIMUM RATINGS

Supply Voltage	±18V
Internal Power Dissipation	750mW
Analog and Digital Inputs	±(V_{CC} + 0.5V)
Operating Temperature Range:	
G Package	–55°C to +125°C
P Package	–40°C to +100°C
Lead Temperature (soldering, 10s)	300°C
Output Short Circuit Duration	Continuous
Junction Temperature	175°C

PACKAGE INFORMATION[1]

MODEL	PACKAGE	PACKAGE DRAWING NUMBER
PGA202KP	14-Pin Plastic DIP	010
PGA202AG	14-Pin Ceramic DIP	169
PGA202BG	14-Pin Ceramic DIP	169
PGA203KP	14-Pin Plastic DIP	010
PGA203AG	14-Pin Ceramic DIP	169
PGA203BG	14-Pin Ceramic DIP	169

NOTE: (1) For detailed drawing and dimension table, please see end of data sheet, or Appendix D of Burr-Brown IC Data Book.

ORDERING INFORMATION

MODEL	GAINS	PACKAGE	TEMPERATURE RANGE	OFFSET VOLTAGE MAX (mV)
PGA202KP	1, 10, 100, 1000	Plastic DIP	0°C to +70°C	±(2 + 24/G)
PGA202AG	1, 10, 100, 1000	Ceramic DIP	–25°C to +85°C	±(2 + 24/G)
PGA202BG	1, 10, 100, 1000	Ceramic DIP	–25°C to +85°C	±(1 + 12/G)
PGA203KP	1, 2, 4, 8	Plastic DIP	0°C to +70°C	±(2 + 24/G)
PGA203AG	1, 2, 4, 8	Ceramic DIP	–25°C to +85°C	±(2 + 24/G)
PGA203BG	1, 2, 4, 8	Ceramic DIP	–25°C to +85°C	±(1 + 12/G)

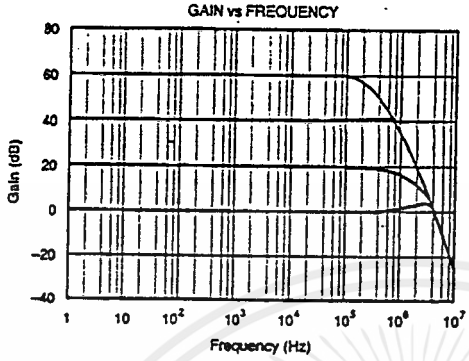
The information provided herein is believed to be reliable; however, BURR-BROWN assumes no responsibility for inaccuracies or omissions. BURR-BROWN assumes no responsibility for the use of this information, and all use of such information shall be entirely at the user's own risk. Prices and specifications are subject to change without notice. No patent rights or licenses to any of the circuits described herein are implied or granted to any third party. BURR-BROWN does not authorize or warrant any BURR-BROWN product for use in life support devices and/or systems.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

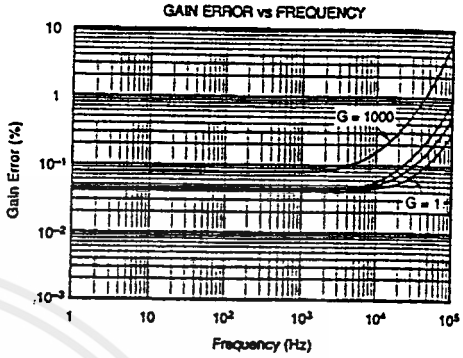
TYPICAL PERFORMANCE CURVES

T_A = +25°C, V_S = ±15V unless otherwise noted.

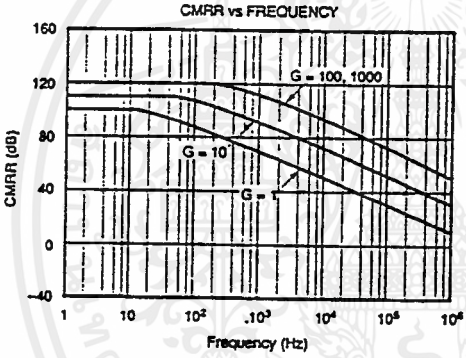
GAIN vs FREQUENCY



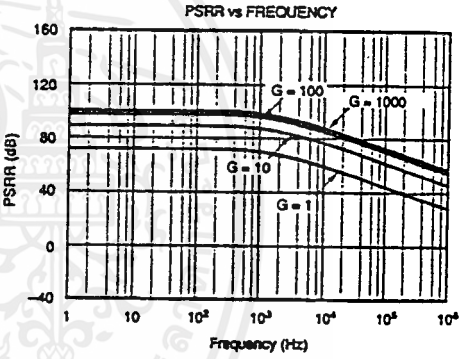
GAIN ERROR vs FREQUENCY



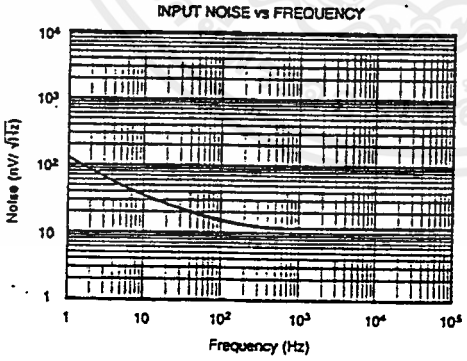
CMRR vs FREQUENCY



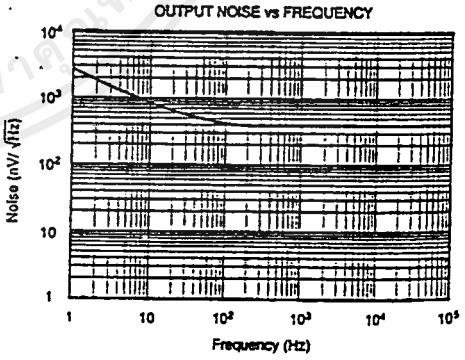
PSRR vs FREQUENCY



INPUT NOISE vs FREQUENCY



OUTPUT NOISE vs FREQUENCY

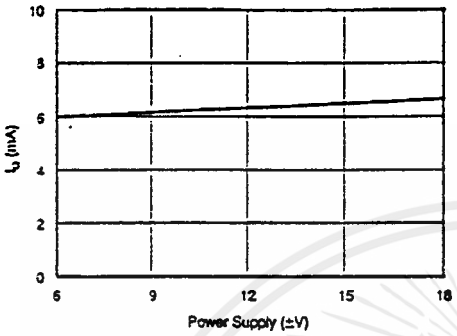


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

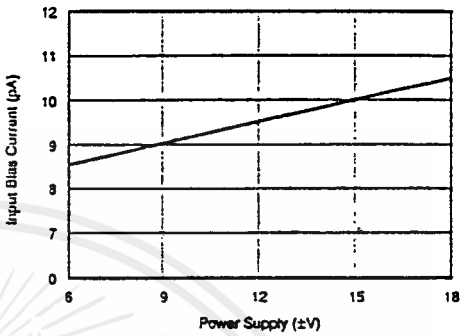
TYPICAL PERFORMANCE CURVES (CONT)

T_A = +25°C, V_S = ±15V unless otherwise noted.

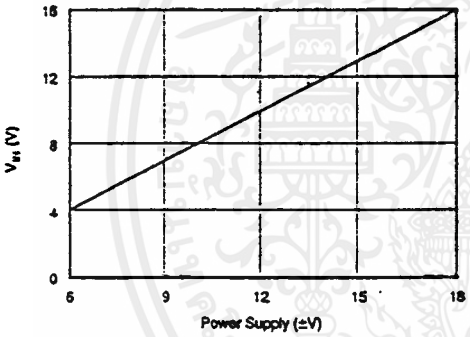
QUIESCENT CURRENT vs POWER SUPPLY



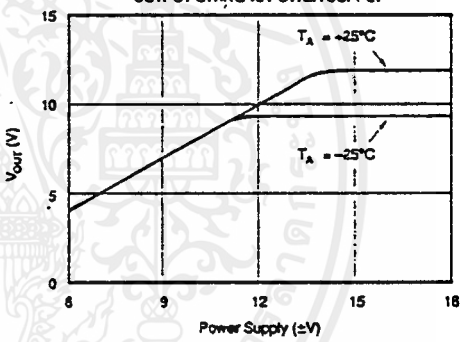
INPUT BIAS CURRENT vs POWER SUPPLY



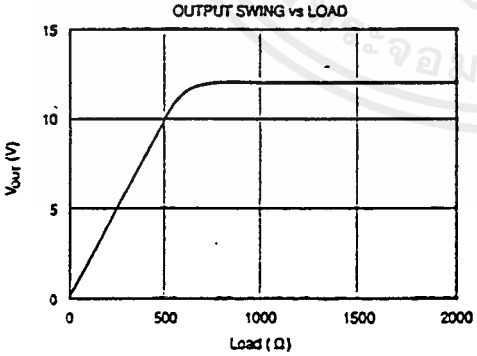
INPUT RANGE vs POWER SUPPLY



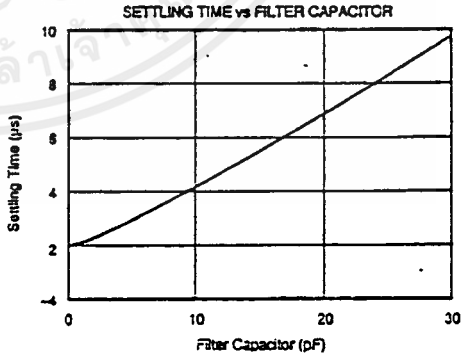
OUTPUT SWING vs POWER SUPPLY



OUTPUT SWING vs LOAD



SETTLING TIME vs FILTER CAPACITOR

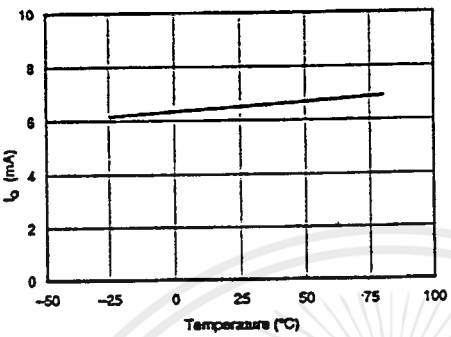


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

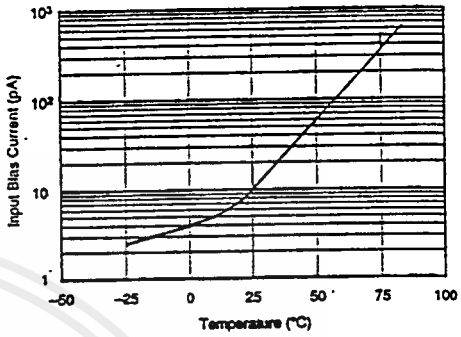
TYPICAL PERFORMANCE CURVES (CONT)

T_A = +25°C, V_S = ±15V unless otherwise noted.

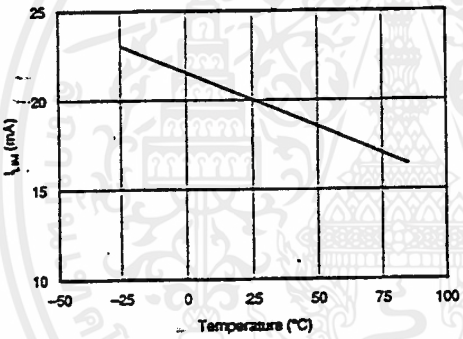
QUIESCENT CURRENT vs TEMPERATURE



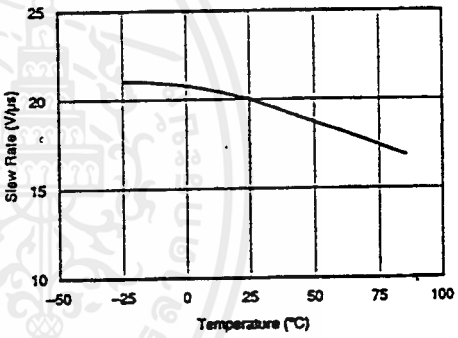
INPUT BIAS CURRENT vs TEMPERATURE



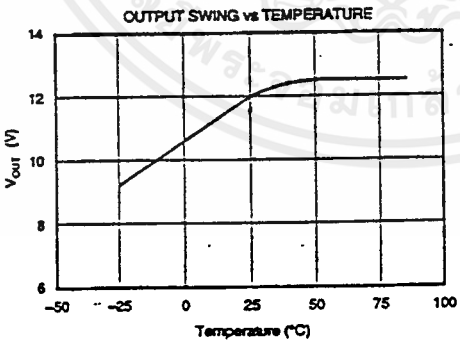
CURRENT LIMIT vs TEMPERATURE



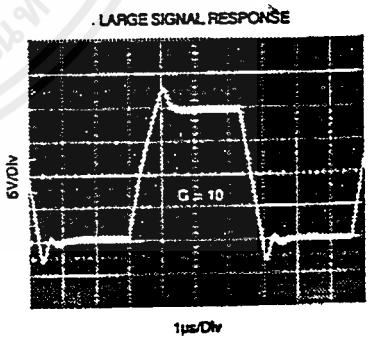
SLEW RATE vs TEMPERATURE



OUTPUT SWING vs TEMPERATURE



LARGE SIGNAL RESPONSE

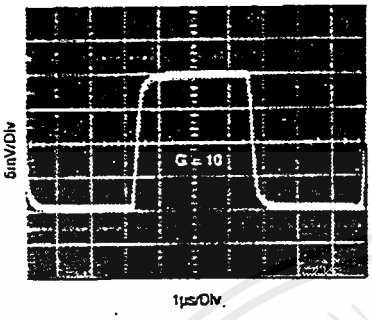


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PERFORMANCE CURVES (CONT)

T_A = +25°C, V_{CC} = ±15V unless otherwise noted.

SMALL SIGNAL RESPONSE



DISCUSSION OF PERFORMANCE

A simplified diagram of the PGA202/203 is shown on the first page. The design consists of a digitally controlled, differential transconductance front end stage using precision FET buffers and the classical transimpedance output stage. Gain switching is accomplished with a novel current steering technique that allows for fast settling when changing gains. The result is a high performance, programmable instrumentation amplifier with excellent speed and gain accuracy.

The input stage uses a new circuit topology that includes FET buffers to give extremely low input bias currents. The differential input voltage is converted into a differential output current with the transconductance gain selected by steering the input stage bias current between four identical input stages differing only in the value of the gain setting resistor. Each input stage is individually laser-trimmed for input offset, offset drift and gain.

The output stage is a differential transimpedance amplifier. Unlike the classical difference amplifier output stage, the common mode rejection is not limited by the resistor matching. However, the output resistors are laser-trimmed to help minimize the output offset and drift.

BASIC CONNECTIONS

Figure 1 shows the proper connections for power supply and signal. The power supplies should be decoupled with 1µF tantalum capacitors placed as close to the amplifier as possible for maximum performance. To avoid gain and CMR errors introduced by the external components, you should connect the grounds as indicated. Any resistance in the sense line (pin 11) or the V_{REF} line (pin 4) will lead to a gain error, so these lines should be kept as short as possible. Also to maintain stability, avoid capacitance from the output to the input or the offset adjust pins.

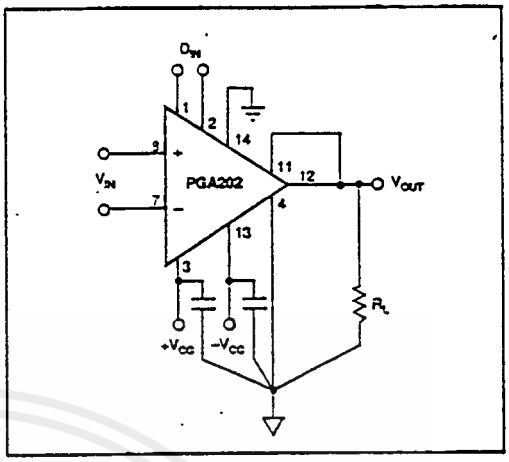


FIGURE 1. Basic Circuit Connections.

OFFSET ADJUSTMENT

Figure 2 shows the offset adjustment circuits for the PGA202/203. The input offset and the output offset are both separately adjustable. Notice that because the PGA202/203 change between four different input stages to change gain, the input offset voltage will change slightly with gain. For systems using computer autozeroing techniques, neither offset nor drift is a major concern, but it should be noted that since the input offset does change with gain, these systems should perform an autozero cycle after each gain change for optimum performance.

In the output offset adjustment circuit, the choice of the buffering op amp is very important. The op amp needs to have low output impedance and a wide bandwidth to maintain full accuracy over the entire frequency range of the PGA202/203. For these reasons we recommend the OPA602 as an excellent choice for this application.

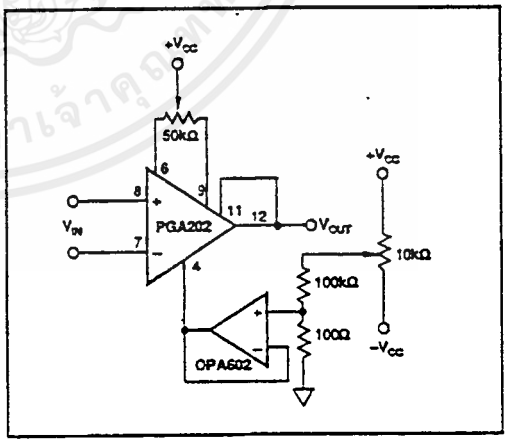


FIGURE 2. Offset Adjustment Circuits.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GAIN SELECTION

Gain selection is accomplished by the application of a 2-bit digital word to the gain select inputs. Table I shows the gains for the different possible values of the digital input word. The logic inputs are referred to their own separate digital common pin, which can be connected to any voltage between the minus supply and 8V below the positive supply. The gains are all internally trimmed to an initial accuracy of better than 0.1%, so no external gain adjustment is required. However, if necessary the gains can be increased by the use of an external attenuator around the output stage as shown in Figure 3. Recommended resistor values for certain selected output gains are given in Table II.

		PGA202		PGA203	
A_1	A_0	GAIN	ERROR	GAIN	ERROR
0	0	1	0.05%	1	0.05%
0	1	10	0.05%	2	0.05%
1	0	100	0.05%	4	0.05%
1	1	1000	0.10%	8	0.05%

TABLE I. Software Gain Selection.

OUTPUT GAIN	R_1	R_2
2	5kΩ	5kΩ
5	2kΩ	8kΩ
10	1kΩ	9kΩ

TABLE II. Output Stage Gain Control.

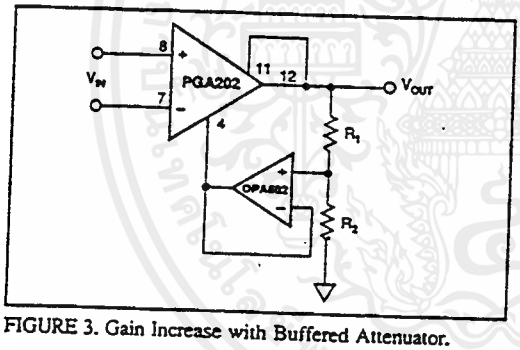


FIGURE 3. Gain Increase with Buffered Attenuator.

COMMON-MODE INPUT RANGE

Unlike the classical three op amp type of circuit, the input common-mode range of the PGA202/203 does not depend on the differential input and the gain. In the standard three op amp circuit, the input common-mode signal must be kept below the maximum output voltage of the input amplifier minus 1/2 the final output voltage. If, for example, these amplifiers can swing ±12V, then to get 12V at the output you must restrict the input common-mode voltage to only 6V. The circuitry of the PGA202/203 is such that the common-mode input range applies to either input pin regardless of the output voltage.

OUTPUT SENSE

An output sense has been provided to allow greater accuracy in connecting the load. By attaching this feedback point to the load at the load site, IR drops due to the load currents are eliminated since they are inside the feedback loop. Proper connection is shown in Figure 1. When more current is required, a power booster can be placed in the feedback loop as shown in Figure 4. Buffer errors are minimized by the loop gain of the output amplifier.

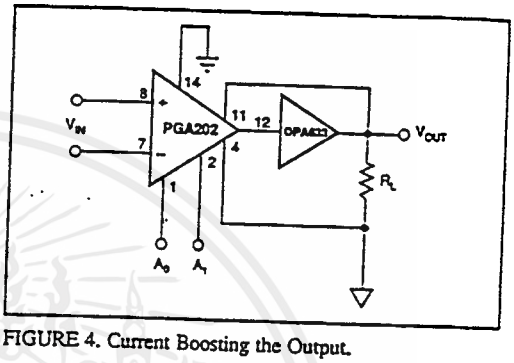


FIGURE 4. Current Boosting the Output.

OUTPUT FILTERING

The summing nodes of the output amplifier have also been made available to allow for output filtering. By placing matched capacitors in parallel with the existing internal capacitors as shown in Figure 5, you can lower the frequency response of the output amplifier. This will reduce the noise of the amplifier, at the cost of a slower response. The nominal frequency responses for some selected values of capacitor are shown in Table III.

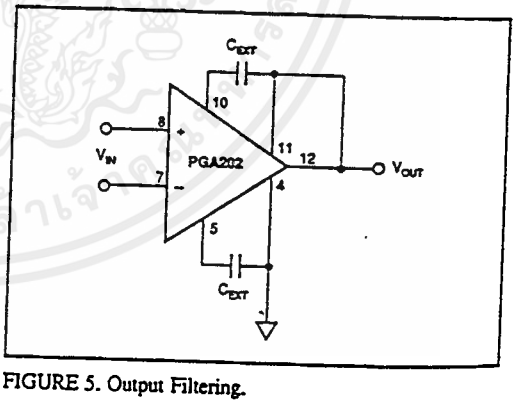


FIGURE 5. Output Filtering.

CUTOFF FREQUENCY	C_1 AND C_2
1MHz	None
100kHz	47pF
10kHz	525pF

TABLE III. Output Frequency vs Filter Capacitors.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INPUT CHARACTERISTICS

Because the PGA202/203 have FET inputs, the bias currents drawn through input source resistors have a negligible effect on DC accuracy. The picoamp currents produce no more than microvolts through megohm sources. The inputs are also internally diode clamped to the supplies. Thus, input filtering and input series protection are easily achievable.

A return path for the input bias currents must always be provided to prevent the charging of any stray capacitance. Otherwise the amplifier could wander and saturate. A 1MΩ to 10MΩ resistor from the input to common will return floating sources such as thermocouples and AC-coupled inputs (see Applications Section, Figures 8 and 9.)

DYNAMIC PERFORMANCE

The PGA202 and the PGA203 are fast-settling FET input programmable gain instrumentation amplifiers. Careful attention to minimize stray capacitance is necessary to achieve specified performance. High source resistance will interact with the input capacitance to reduce speed and overall bandwidth. Also, to maintain stability, avoid capacitance from the output to the input or the offset adjust pins.

Applications with balanced source impedance will provide the best performance. In some applications, mismatched source impedances may be required. If the impedance in the negative input exceeds that in the positive input, stray capacitance from the output will create a net negative feedback and improve the stability of the circuit. If, however, the impedance in the positive input is greater, then the feedback due to stray capacitance will be positive and instability may result. The degree of positive feedback will, of course, depend on the source impedance imbalance as well as the board layout and the operating gain. The addition of a small bypass capacitor of about 5 to 50pF directly across the input terminals of the PGIA will generally eliminate any instability arising from these stray capacitances. CMR errors due to the source imbalance will also be reduced by the addition of this capacitor.

The PGA202 and the PGA203 are designed for fast settling in response to changes in either the input voltage or the gain. The bandwidth and the settling times are mostly determined by the output stage and are therefore independent of gain, except at the highest gain of the PGA202 where other factors in the input stage begin to dominate.

APPLICATIONS

In addition to general purpose applications, the PGA202/203 are designed to handle two important and demanding classes of applications: inputs with high source impedances, and rapid scanning data acquisition systems requiring fast settling time. Because the user has access to output sense and output common pins, current sources can also be constructed with a minimum of external components. Some basic application circuits are shown in Figures 6 through 12.

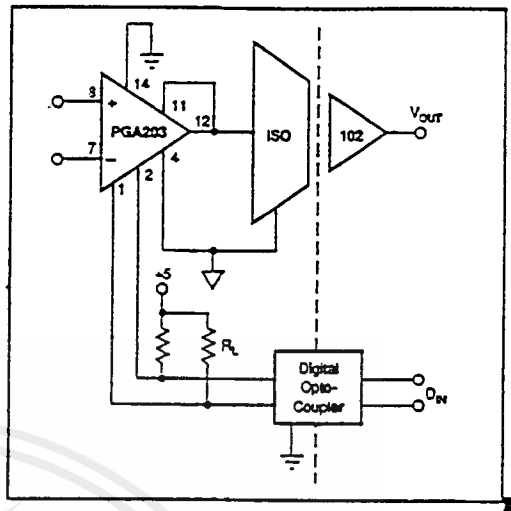


FIGURE 6. Isolated Programmable Gain Instrumentation Amplifier.

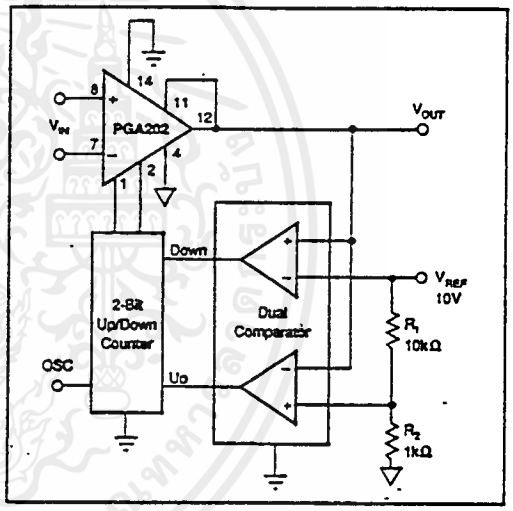


FIGURE 7. Auto Gain Ranging.

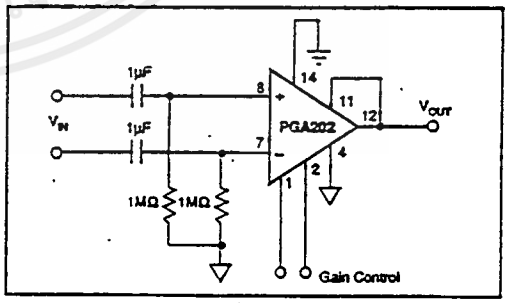


FIGURE 8. AC-Coupled Differential Amplifier for Frequencies above 0.16Hz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

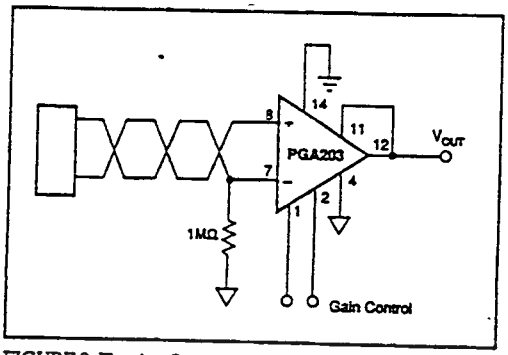


FIGURE 9. Floating Source Programmable Gain Instrumentation Amplifier.

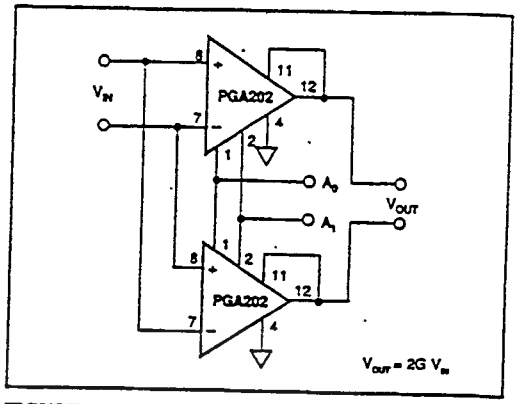


FIGURE 11. Programable Differential In/Differential Out Amplifier.

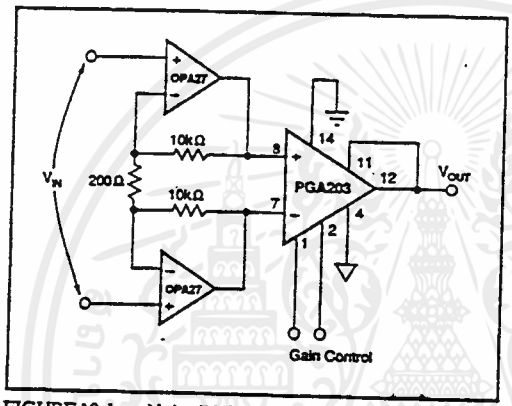


FIGURE 10. Low Noise Differential Amplifier with Gains of 100, 200, 400, 800.

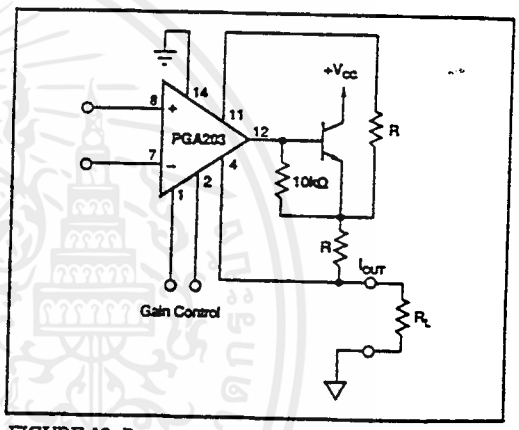
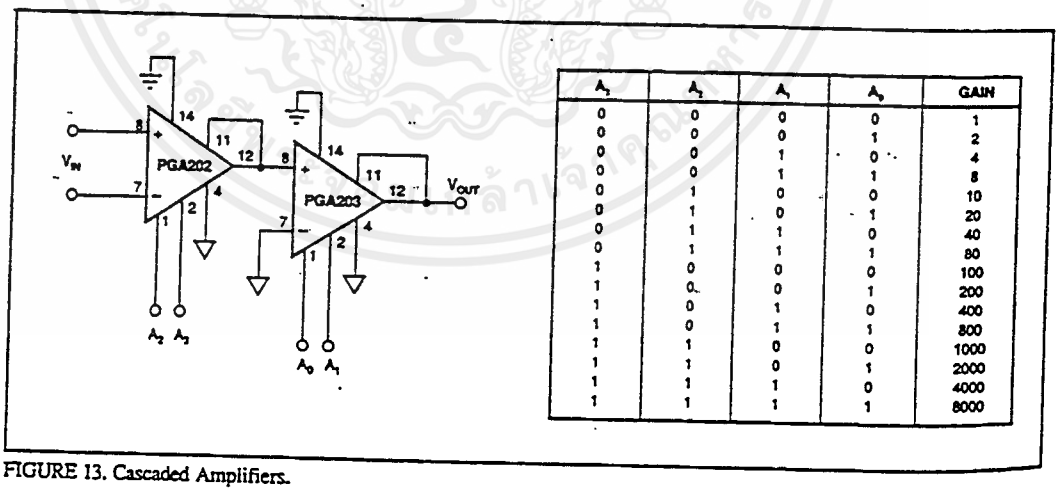


FIGURE 12. Programmable Current Source.



A_3	A_2	A_1	A_0	GAIN
0	0	0	0	1
0	0	0	1	2
0	0	1	0	4
0	0	1	1	8
0	1	0	0	10
0	1	0	1	20
0	1	1	0	40
0	1	1	1	80
1	0	0	0	100
1	0	0	1	200
1	0	1	0	400
1	0	1	1	800
1	1	0	0	1000
1	1	0	1	2000
1	1	1	0	4000
1	1	1	1	8000

FIGURE 13. Cascaded Amplifiers.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

LF351 Wide Bandwidth JFET Input Operational Amplifier

General Description

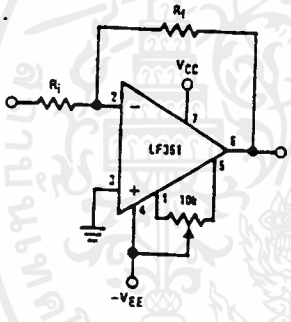
The LF351 is a low cost high speed JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF351 is pin compatible with the standard LM741 and uses the same offset voltage adjustment circuitry. This feature allows designers to immediately upgrade the overall performance of existing LM741 designs.

The LF351 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift, but for applications where these requirements are critical, the LF356 is recommended. If maximum supply current is important, however, the LF351 is the better choice.

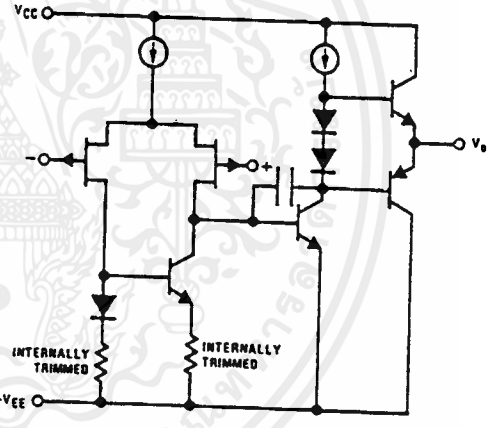
Features

■ Internally trimmed offset voltage	10 mV
■ Low input bias current	50 pA
■ Low input noise voltage	25 nV/$\sqrt{Hz}$
■ Low input noise current	0.01 pA/$\sqrt{Hz}$
■ Wide gain bandwidth	4 MHz
■ High slew rate	13 V/μs
■ Low supply current	1.8 mA
■ High input impedance	$10^{12}\Omega$
■ Low total harmonic distortion $A_V = 10$, $R_L = 10k$, $V_O = 20$ Vp-p, BW = 20 Hz–20 kHz	<0.02%
■ Low 1/f noise corner	50 Hz
■ Fast settling time to 0.01%	2 μs

Typical Connection

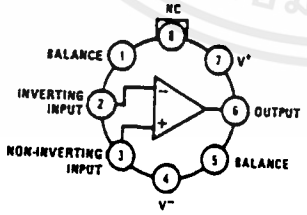


Simplified Schematic



Connection Diagrams (Top Views)

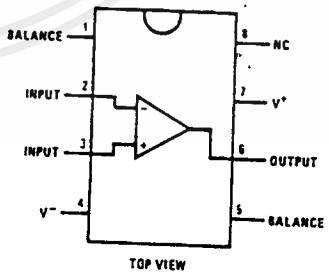
Metal Can Package



Note. Pin 4 connected to case.

Order Number LF351H
See NS Package Number H08C

Dual-In-Line Package



TOP VIEW

Order Number LF351J,
LF351M or LF351N
See NS Package Number J08A, M08A or N08E

TL/H/5648–1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	±18V
Power Dissipation (Notes 1 and 6)	670 mW
Operating Temperature Range	0°C to +70°C
$T_{j(MAX)}$	115°C
Differential Input Voltage	±30V
Input Voltage Range (Note 2)	±15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	−65°C to +150°C
Lead Temp. (Soldering, 10 sec.)	
Metal Can	300°C
DIP	260°C

	H Package	N Package
θ_{jA}	164°C/W (Still Air)	120°C/W
	66°C/W	
	(400 LF/min Air Flow)	
θ_{jC}	21°C/W	

Soldering Information

Dual-In-Line Package	
Soldering (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD rating to be determined.

DC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
V_{OS}	Input Offset Voltage	$R_S = 10\ k\Omega$, $T_A = 25°C$ Over Temperature		5	10 13	mV mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	$R_S = 10\ k\Omega$		10		µV/°C
I_{OS}	Input Offset Current	$T_j = 25°C$, (Notes 3, 4) $T_j \leq 70°C$		25	100 4	pA nA
I_B	Input Bias Current	$T_j = 25°C$, (Notes 3, 4) $T_j \leq 70°C$		50	200 8	pA nA
R_{IN}	Input Resistance	$T_j = 25°C$		10^{12}		Ω
A_{VOL}	Large Signal Voltage Gain	$V_S = \pm 15V$, $T_A = 25°C$ $V_O = \pm 10V$, $R_L = 2\ k\Omega$ Over Temperature	25 15	100		V/mV V/mV
V_O	Output Voltage Swing	$V_S = \pm 15V$, $R_L = 10\ k\Omega$	±12	±13.5		V
V_{CM}	Input Common-Mode Voltage Range	$V_S = \pm 15V$	±11	+15 −12		V V
CMRR	Common-Mode Rejection Ratio	$R_S \leq 10\ k\Omega$	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 5)	70	100		dB
I_S	Supply Current			1.8	3.4	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
SR	Slew Rate	$V_S = \pm 15V$, $T_A = 25°C$		13		V/μs
GBW	Gain Bandwidth Product	$V_S = \pm 15V$, $T_A = 25°C$		4		MHz
e_n	Equivalent Input Noise Voltage	$T_A = 25°C$, $R_S = 100\Omega$, $f = 1000$ Hz		25		$nV/\sqrt{Hz}$
i_n	Equivalent Input Noise Current	$T_j = 25°C$, $f = 1000$ Hz		0.01		$pA/\sqrt{Hz}$

Note 1: For operating at elevated temperature, the device must be derated based on the thermal resistance, θ_{JA}.

Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

Note 3: These specifications apply for $V_S = \pm 15V$ and $0°C \le T_A \le +70°C$. V_{OS}, I_B and I_{OS} are measured at $V_{CM} = 0$.

Note 4: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_j. Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D. $T_j = T_A + \theta_{jA} P_D$ where θ_{jA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

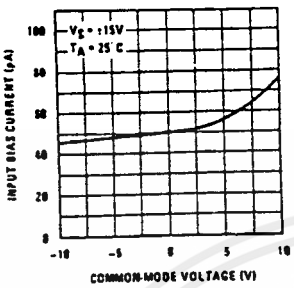
Note 5: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice. From ±15V to ±5V.

Note 6: Max. Power Dissipation is defined by the package characteristics. Operating the part near the Max. Power Dissipation may cause the part to operate outside guaranteed limits.

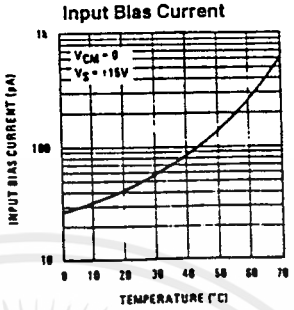
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

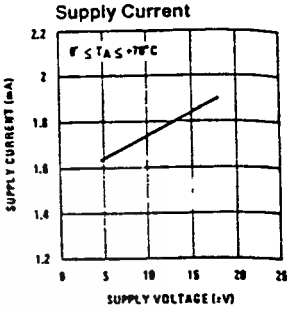
Input Bias Current



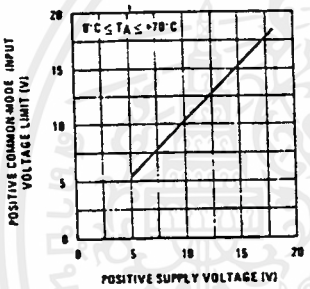
Input Bias Current



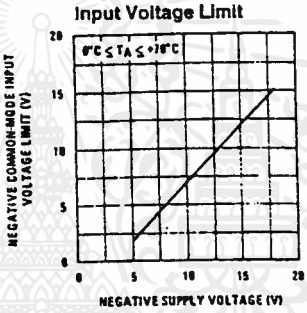
Supply Current



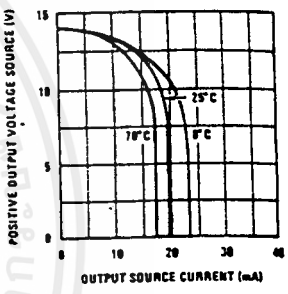
Positive Common-Mode Input Voltage Limit



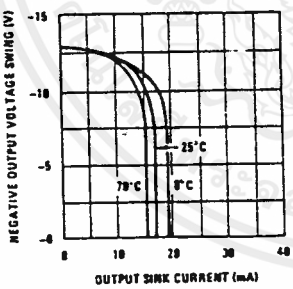
Negative Common-Mode Input Voltage Limit



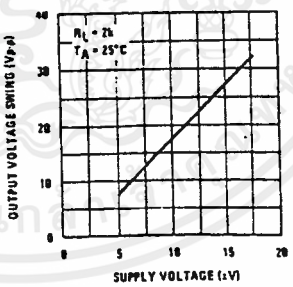
Positive Current Limit



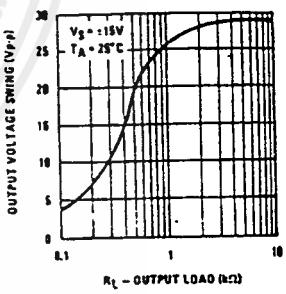
Negative Current Limit



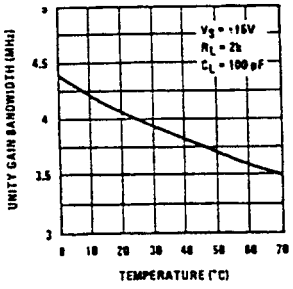
Voltage Swing



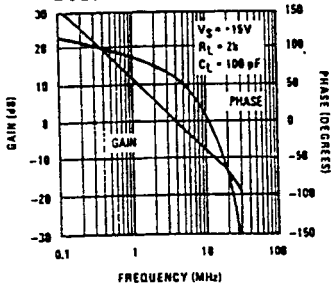
Output Voltage Swing



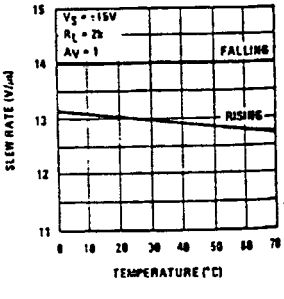
Gain Bandwidth



Bode Plot



Slew Rate

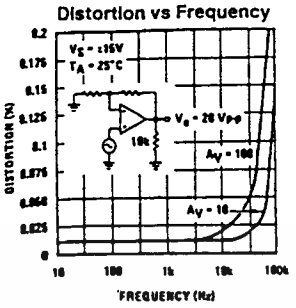


TL/H/5648-

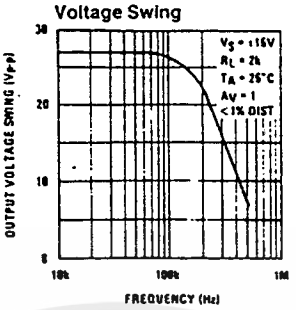
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

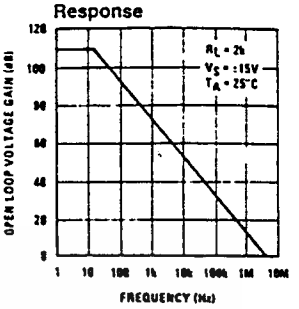
Distortion vs Frequency



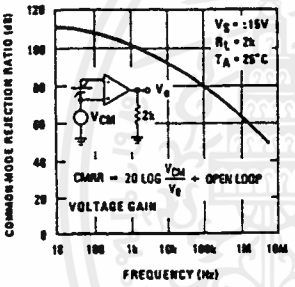
Undistorted Output Voltage Swing



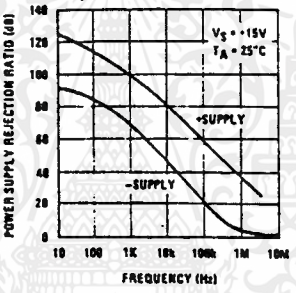
Open Loop Frequency Response



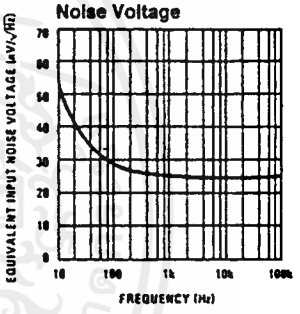
Common-Mode Rejection Ratio



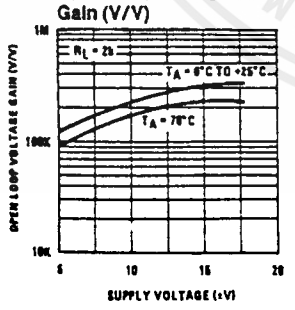
Power Supply Rejection Ratio



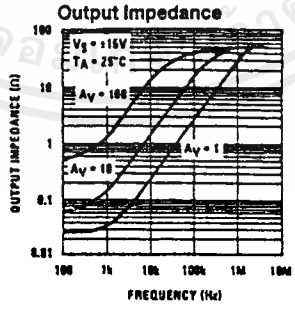
Equivalent Input Noise Voltage



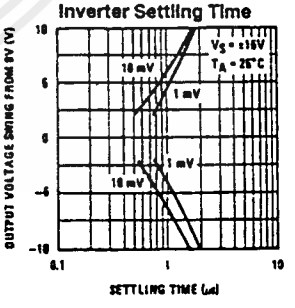
Open Loop Voltage Gain (V/V)



Output Impedance



Inverter Settling Time

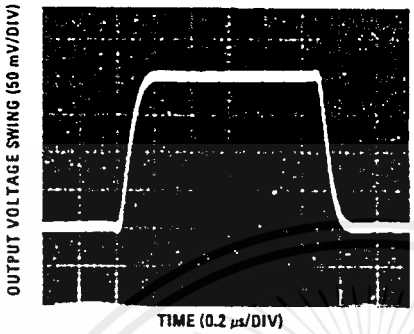


TL/H/5648–3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

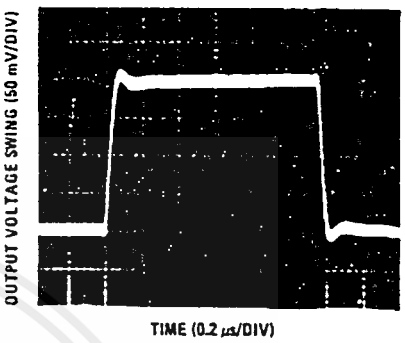
Pulse Response

Small Signal Inverting



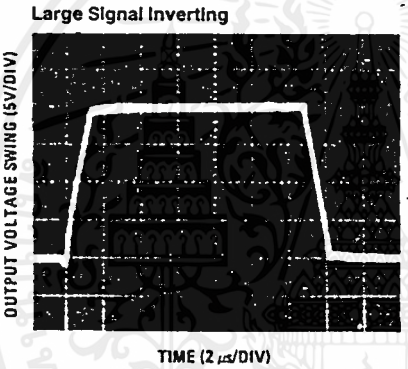
TL/H/5648–4

Small Signal Non-Inverting



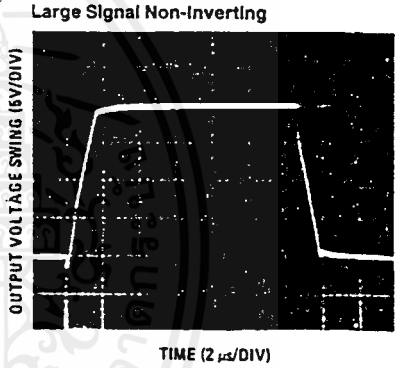
TL/H/5648–

Large Signal Inverting



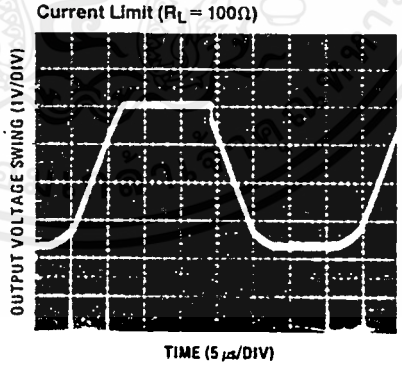
TL/H/5648–6

Large Signal Non-Inverting



TL/H/5648–

Current Limit ($R_L = 100\Omega$)



TL/H/5648–8

Application Hints

The LF351 is an op amp with an internally trimmed input offset voltage and JFET input devices (BI-FET II™). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will force the output to a high state, potentially causing a reversal of phase to the output.

Exceeding the negative common-mode limit on both inputs will force the amplifier output to a high state. In neither case does a latch occur since raising the input back within the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifier will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

The LF351 is biased by a zener reference which allows normal circuit operation on ±4V power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

The LF351 will drive a 2 kΩ load resistance to ±10V over the full temperature range of 0°C to +70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

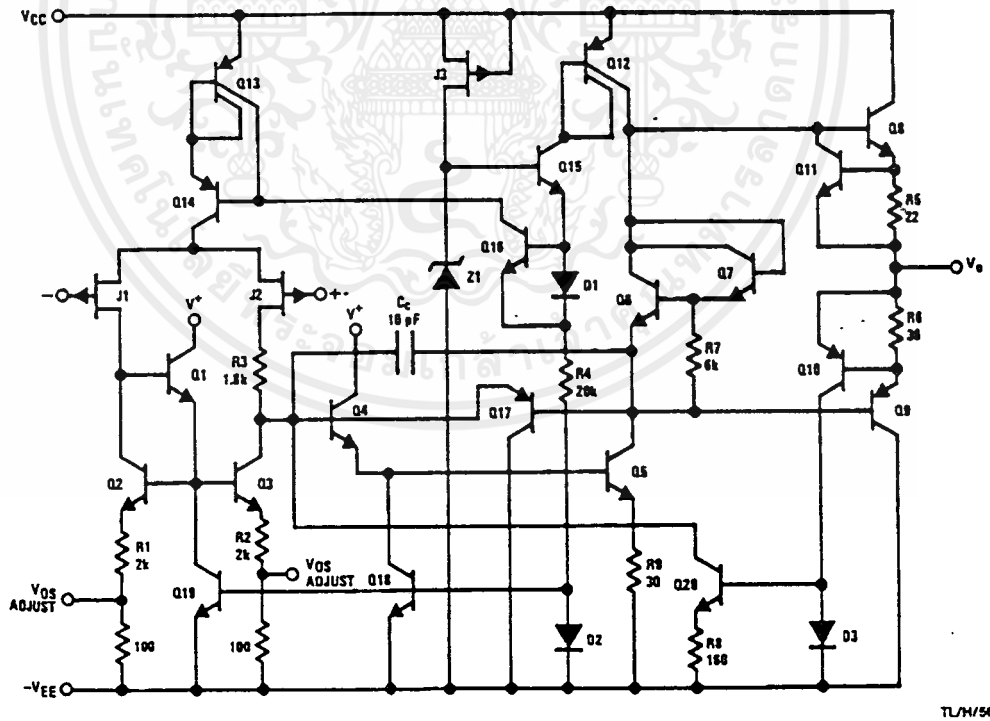
Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

Because these amplifiers are JFET rather than MOSFET input op amps they do not require special handling.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

Detailed Schematic

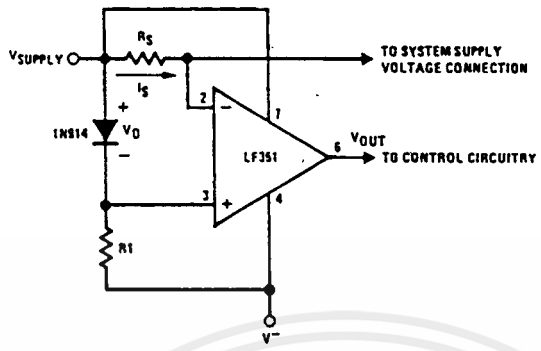


TL/H/5648–9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

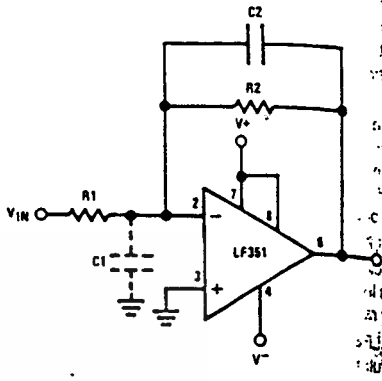
Typical Applications

Supply Current Indicator/Limiter



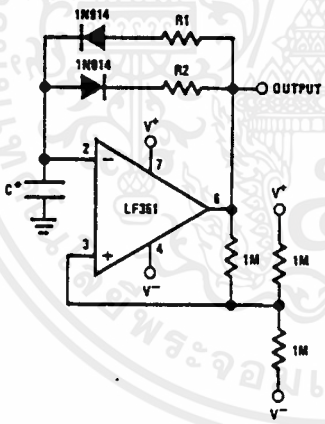
• V_{OUT} switches high when $R_S I_S > V_D$

Hi-Z_{IN} Inverting Amplifier



Parasitic input capacitance C1 ≈ (3 pF for LF351 plus any additional layout capacitance) interacts with feedback elements and creates undesirable high frequency pole. To compensate, add C2 such that R2C2 ≈ R1C1.

Ultra-Low (or High) Duty Cycle Pulse Generator



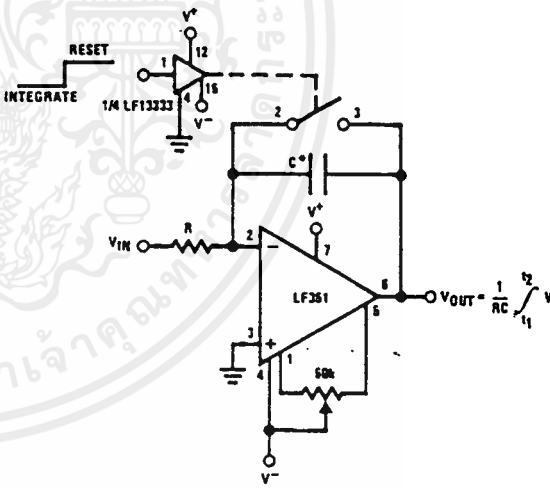
• $t_{OUTPUT\ HIGH} \approx R1C\ \ell n \frac{4.8 - 2V_S}{4.8 - V_S}$

• $t_{OUTPUT\ LOW} \approx R2C\ \ell n \frac{2V_S - 7.8}{V_S - 7.8}$

where $V_S = V^+ + |V^-|$

*low leakage capacitor

Long Time Integrator



*Low leakage capacitor

• 50k pot used for less sensitive V_{OS} adjust

TL/H/5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BURR-BROWN ®

4127

LOGARITHMIC AMPLIFIER

FEATURES

- ACCEPTS INPUT VOLTAGES OR CURRENTS OF EITHER POLARITY
- WIDE INPUT DYNAMIC RANGE
  - 6 Decades of current
  - 4 Decades of voltage
- VERSATILE
  - Log, antilog, and log ratio capability
- SMALL SIZE
  - Double wide DIP
- LOW COST

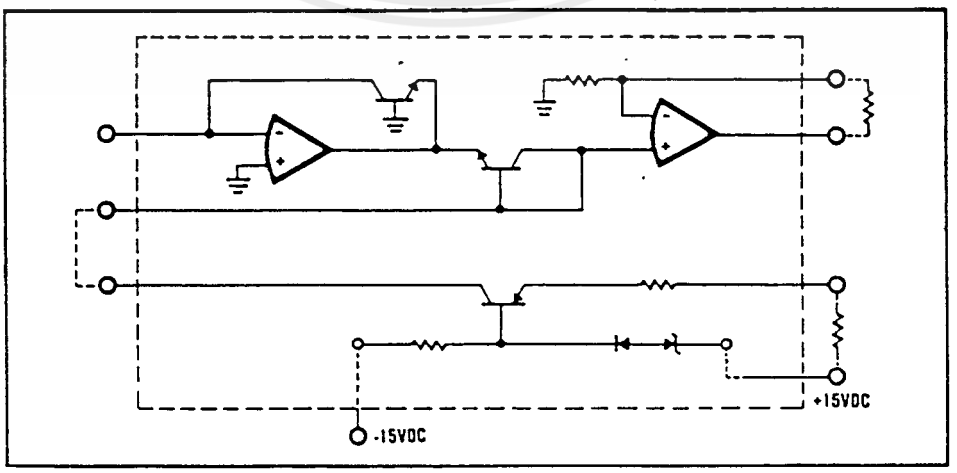
DESCRIPTION

Packaged in a ceramic double wide DIP, the 4127 is the first hybrid logarithmic amplifier that accepts signals of either polarity from current or voltage sources. A special purpose monolithic chip, developed specifically for logarithmic conversions, functions accurately for up to six decades of input current and four decades of input voltage. In addition, a newly developed current inverter and a precise internal reference allow pin programming of the 4127 as a logarithmic, log ratio, or antilog amplifier.

To further increase its versatility and reduce your system cost, the 4127 has an uncommitted operational amplifier in its package that can be used as a buffer, inverter, filter, or gain element.

The 4127 is available with initial accuracies (log conformity) of 0.5% and 1.0%, and operates over an ambient temperature range of -10°C to +70°C.

With its versatility and high performance, the 4127 has many applications in signal compression, transducer linearization, and phototube buffering. Manufacturers of medical equipment, analytical instruments, and process control instrumentation will find the 4127 a low cost solution to many signal processing problems.



International Airport Industrial Park - P.O. Box 11400 - Tucson, Arizona 85734 - Tel. (602) 746-1111 - Twx: 910-952-1111 - Cable: BBRCORP - Telex: 66-6491

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SPECIFICATIONS

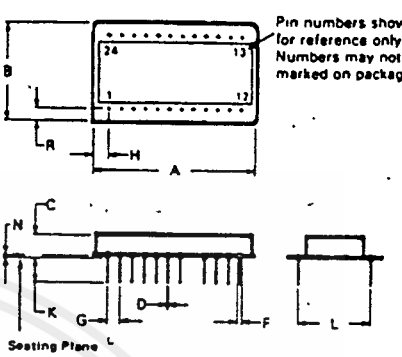
ELECTRICAL

Typical specifications at +25°C with rated supplies unless otherwise noted.

MODEL	4127KG	4127JG
ACCURACY(1), % of FSR		
Current Source Input: 1nA to 1mA	0.5% max	1% max
Voltage Input: 1mV to 10V	0.5% max	1% max
INPUT		
Current Source Input, Pin 4	+1nA to +1mA	
Current Source Input, Pin 7	-1nA to -1mA	
Reference Current Input, Pin 2	+1µA to +1mA	
Absolute Maximum Inputs	±10mA or ±Supply Volts	
OUTPUT		
Voltage	±10V	
Current	±5mA	
Impedance	10Ω	
FREQUENCY RESPONSE		
-3dB Small Signal at Current Input		
of 100µA	90kHz	
of 10µA	50kHz	
of 1µA	5kHz	
of 100nA	250Hz	
of 10nA	80Hz	
Step Response to within ±1% of Final Value (I_R = 1µA, A = 5)	10msec	
STABILITY		
Scale Factor Drift (ΔA/°C)	±0.0005A/°C	
Reference Current Drift (ΔI_R/°C)	±0.001 I_R/°C for $I_R \geq$ 1µA ±0.003 I_R/°C for 400nA < I_R < 1µA	
Input Offset Current Drift (ΔI_S/°C)	10pA at +25°C. Doubles Every 10°C	
Input Offset Voltage Drift	±10µV/°C	
Accuracy vs. Supply Variation		
Reference Current	±0.001I_R/V	
Input Offset Voltage	±300µV/V	
Input Noise - Current Input	1pA, rms, 10Hz to 10kHz	
Input Noise - Voltage Input	10µV, rms, 10Hz to 10kHz	
UNCOMMITTED OP AMP CHARACTERISTICS		
Input Offset Voltage	5mV	
Input Bias Current	40nA	
Input Impedance	1MΩ	
Large Signal Voltage Gain	85dB	
Output Current	5mA	
TEMPERATURE RANGE		
Specification	0°C to +60°C	
Operating	-10°C to +70°C	
Storage	-55°C to +125°C	
POWER SUPPLY REQUIREMENTS		
Rated Supply Voltages	±15VDC	
Supply Voltage Range	±14VDC to ±16VDC	
Supply Current Drain		
at Quiescent, max	±20mA	
at Full Load, max	±26mA	

NOTE:
1. Log conformity at 25°C.

MECHANICAL



NOTE:
Leads in true position within .010" (.25mm) R @ MMC at seating plane.

DIM	INCHES MIN	INCHES MAX	MILLIMETERS MIN	MILLIMETERS MAX
A	1.310	1.360	33.27	34.54
B	.770	.810	19.56	20.57
C	.150	.210	3.81	5.33
D	.016	.021	0.46	0.53
F	.035	.050	0.89	1.27
G	.100 BASIC		2.54 BASIC	
H	.110	.130	2.79	3.30
K	.150	.250	3.81	6.35
L	.600 BASIC		15.24 BASIC	
N	.002	.010	0.05	0.25
R	.085	.105	2.16	2.67

CASE: Ceramic
MATING CONNECTOR: 245MC
WEIGHT: 56 grams (2 oz.)
ORDER NUMBER: 4127KG
4127JG

PIN CONNECTIONS

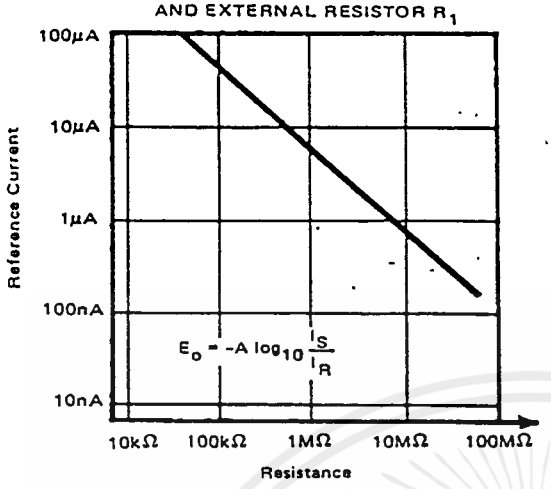
1. I_{REF} OUTPUT
2. I_{REF} INPUT
3. NO PIN PRESENT
4. +I INPUT *
5. CURRENT INVERTER OUTPUT *
6. NO PIN PRESENT
7. CURRENT INVERTER INPUT
8. NO PIN PRESENT
9. OP AMP +INPUT
10. OP AMP -INPUT
11. OP AMP OUTPUT
12. NO PIN PRESENT
13. MAKE NO CONNECTION
14. NEGATIVE SUPPLY
15. NO PIN PRESENT
16. NO PIN PRESENT
17. NO PIN PRESENT
18. LOG OUTPUT
19. GAIN ADJUST
20. NO PIN PRESENT
21. COMMON
22. POSITIVE SUPPLY
23. I_{REF} BIAS
24. NO PIN PRESENT

*Pins 4 and 5 are internally connected.

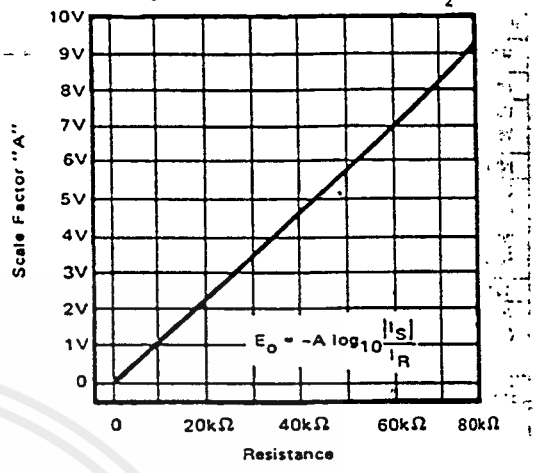
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PERFORMANCE CURVES

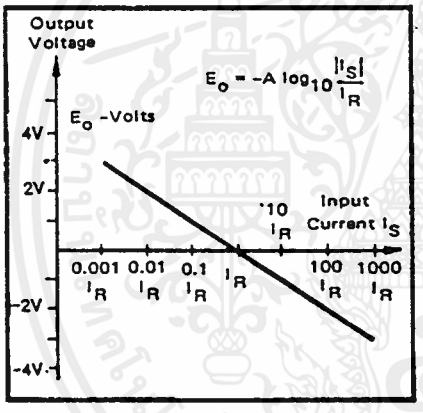
RELATIONSHIP OF REFERENCE CURRENT I_R AND EXTERNAL RESISTOR R_1



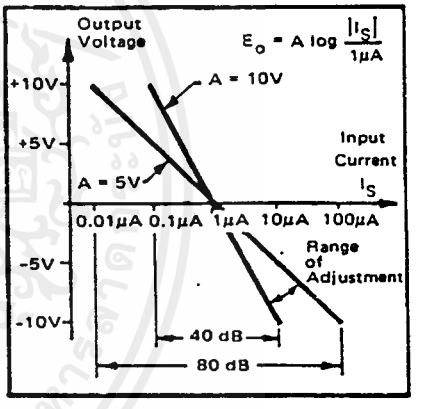
RELATIONSHIP OF SCALE FACTOR "A" TO GAIN-SETTING RESISTOR R_2



LOG RELATIONSHIP OF $\frac{|I_S|}{I_R}$ AND OUTPUT VOLTAGE IN TERMS OF "A"



RELATIONSHIP OF $\frac{|I_S|}{I_R}$ TO OUTPUT VOLTAGE FOR I_R = 1µA AND A = 5V AND 10V



DISCUSSION OF SPECIFICATIONS

ACCURACY

The deviation from the ideal output voltage defined as a percent of the full scale output voltage.

INPUT/OUTPUT RANGE

The log relationships of $-A \log \frac{I_S}{I_R}$ and $-A \log \frac{E_S}{I_R R}$ are subject to the constraints specified. The 4127 can be operated with inputs lower than those given, but the accuracy will be degraded.

FREQUENCY RESPONSE

The small-signal frequency response varies considerably with signal level and scaling, so the frequency response is specified under several different operating conditions.

STABILITY

The use of a monolithic transistor quad and low-drift op amps minimizes drift, but some drift remains in the scale factor, reference current, and input offset. Input offset consists of a bias current plus the op amp input voltage offset divided by the signal source resistance. Also, there is some slight drift in conformity to the log function and in output amplifier offset, but this is generally negligible.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

THEORY OF OPERATION

The 4127 is a complete logarithmic amplifier that can be pin-programmed to accept input currents or voltages of either polarity. By making use of the internal current inverter, reference current generator, log ratio element, and uncommitted op amp, you can generate a variety of logarithmic functions, including the log ratio of two signals, the logarithm of an input signal, or the antilog of an input signal. The unique FET-input current-inverting element removes the polarity limitations present in most conventional log amplifiers.

Utilizing the inherent exponential characteristics of transistor functions, the 4127 calculates accurate log functions for input currents from 1nA to 1mA, or input voltages from 1mV to 10V. Carefully matched monolithic quad transistors and temperature sensitive gain elements are used to produce a log amplifier with excellent temperature characteristics.

A functional diagram of the 4127 circuit is shown in Figure 1. In addition to the basic log amplifier, the 4127 contains a separate internal current source, a current inverter, and an uncommitted operational amplifier. The current inverter accurately converts negative input current to a positive current of equal magnitude.

The 4127 is capable of accurately logging input current over a 120dB range but to use this full range, good shielding practice must be followed. A current source input is, by definition, a high impedance source and is therefore subject to electrostatic pickups.

The input op amps A_1 and A_3 have FET input stages for low noise and very-low input bias current. The op amp A_1 will make the collector current of Q_1 equal to the signal input current I_S, and the collector current of Q_2 will be the reference input current I_R.

From the semiconductor junction characteristics, the base-to-emitter voltage will be

$$V_{BE} \approx \frac{m K T}{q} \ln \frac{I_C}{I_L}, \text{ where } \begin{array}{l} I_C = \text{Collector current} \\ I_L = \text{Reverse saturation current} \\ q, m, K = \text{Constants} \\ T = \text{Absolute temperature} \end{array}$$

$$\text{So } E_1 = -\frac{m K T_1}{q} \ln \frac{I_S}{I_{L1}} \quad \text{and } E_2 - E_1 = \frac{m K T_2}{q} \ln \frac{I_R}{I_{L2}}$$

If the transistors Q_1 and Q_2 are at the same temperature and have matched characteristics then

$$E_2 = \frac{m K T}{q} \left[\ln \frac{I_R}{I_L} - \ln \frac{I_S}{I_L} \right]$$

$$E_2 = \frac{-m K T}{q} \ln \frac{I_S}{I_R}$$

The output op amp A_2 provides a voltage gain of approximately $(R_T + R_2)/R_T$, and the value of $(mKT)/q$ is about 26mV at room temperature. Since resistor R_T varies with temperature to compensate for gain drift, the output voltage E_o expressed as a log will be

$$E_o = -A \log_{10} \frac{I_S}{I_R}$$

$$\text{where } A \approx \frac{R_T + R_2}{R_T} (26 \text{ mV}) \frac{1}{0.434}, \; R_T \approx 520\Omega$$

The external resistor R_1 sets the reference current I_R and resistor R_2 sets the scale-factor "A". R_1 and R_2 must be trimmed to the desired values, but the approximate relationships are shown in Typical Performance Curves.

The relationship between the input current I_S and the output voltage E_o in terms of the externally adjusted parameters I_R and "A" is illustrated in Typical Performance Curves. This relationship is, of course, restricted to values of I_S between 1nA and 1mA and output voltages of less than ±10V.

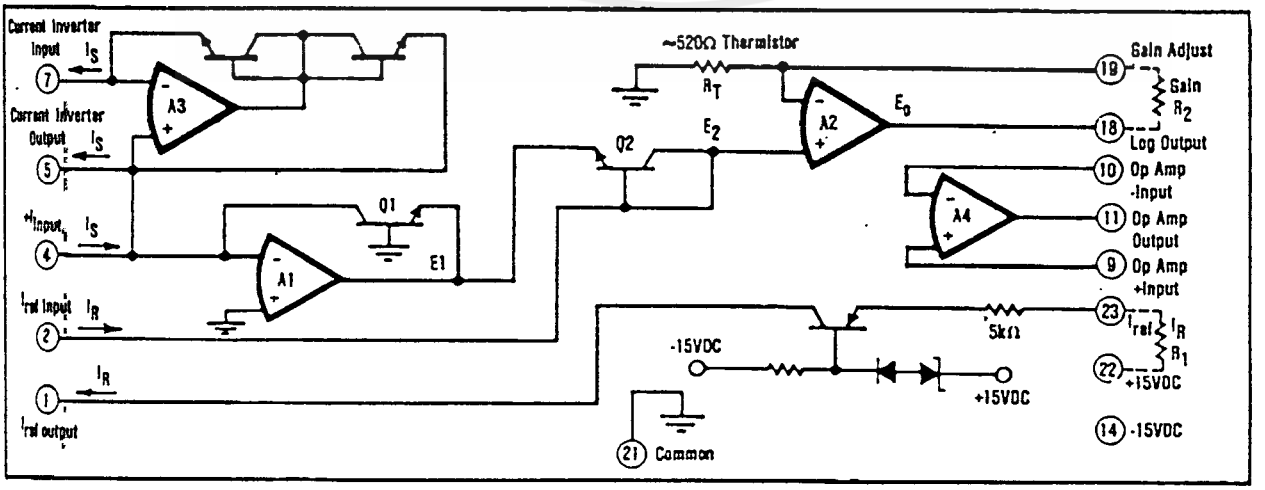


FIGURE 1. Functional Diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ทำซ้ำ ทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CHOOSING THE OPTIMUM SCALE FACTOR AND REFERENCE CURRENT

To minimize the effects of output offset and noise, it is usually best to use the full ±10V output range. Once an output range of ±10V has been chosen, then "A" and I_R can be determined from the min/max of the input current I_S.

$E_o = -A \log \frac{I_S}{I_R}$, where $I_{min} < I_S < I_{max}$.

The output range of ±10V for an input range of I_{min} to I_{max} means that

$$+10 = -A \log \frac{I_{min}}{I_R} \text{ and } -10 = -A \log \frac{I_{max}}{I_R}$$

Adding these two equations together

$$\log \frac{I_{max} I_{min}}{I_R^2} = 0, \text{ or } I_R = \sqrt{I_{max} I_{min}}$$

The value for A can be found from:

$$10 = A \log \frac{I_{max}}{\sqrt{I_{max} I_{min}}}$$

In terms of the input current range for I_S, the values for I_R and A that will provide a full ±10V output swing are:

$$I_R = \sqrt{I_{max} I_{min}} \text{ and } A = \frac{10}{\log \frac{I_{max}}{I_R}}$$

Example: Assume that I_{min} is +10nA and I_{max} is +100μA.

This is an 80dB range.

$$I_R = \sqrt{I_{max} I_{min}} = \sqrt{(10^{-4})\ (10^{-8})} = 10^{-6}, \text{ or } 1\mu A.$$

$$\frac{I_{max}}{I_R} = \frac{10^{-4}}{10^{-6}} = 100$$

$$\log \frac{I_{max}}{I_R} = 2 \quad \text{So } A = 5$$

For an I_R of 1μA and A of 5,

$$E_o = -5 \log \frac{I_S}{1\mu A}$$

CONNECTION DIAGRAMS

Transfer function is $E_o = -A \log \frac{I_1}{I_R}$ where I_1 is a positive input current and I_R is the resistor-programmed internal reference current (see Figure 2).

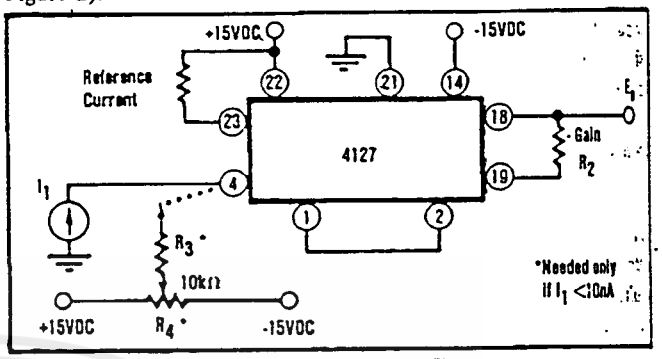


FIGURE 2. Transfer Function When I_1 is Positive.

ADJUSTMENT PROCEDURE

1. Refer to Choosing The Optimum Scale Factor and Reference Current.
2. Apply $I_1 = I_R$, adjust R_1 such that $E_o = 0$.
3. Apply $I_1 = I_{max}$, adjust R_2 for the proper output voltage.
4. Repeat steps 2 and 3 if necessary.
5. Ignore this step if $I_{1min} \geq 10nA$. Otherwise, apply $I_1 = 1nA$, make $R_3 = 1k\Omega$* and adjust R_4 for the proper output voltage.

Transfer function is $E_o = -A \log \frac{|I_1|}{I_R}$ where I_1 is a negative input current and I_R is the resistor-programmed internal reference current (see Figure 3).

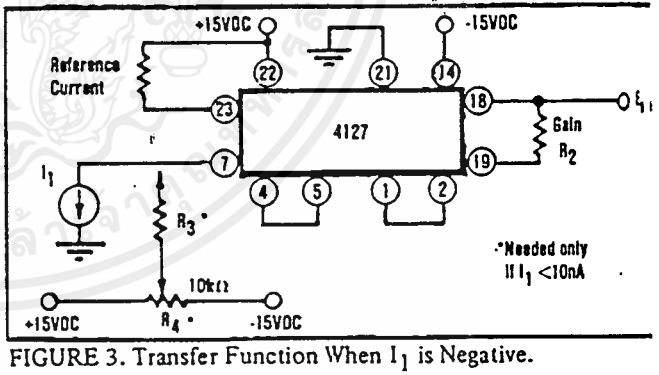


FIGURE 3. Transfer Function When I_1 is Negative.

ADJUSTMENT PROCEDURE

1. Refer to Choosing The Optimum Scale Factor and Reference Current.
2. Apply $|I_1| = I_R$ adjust R_1 such that $E_o = 0$.
3. Apply $|I_1| = I_{max}$, adjust R_2 for the proper output voltage.
4. Repeat steps 2 and 3 if necessary.
5. Ignore this step if $|I_{1min}| \geq 10nA$. Otherwise, apply $|I_1| = 1nA$, make $R_3 = 1k\Omega$* and adjust R_4 for the proper output voltage.

* Single resistor recommended. Voltage divider network difficult to use due to amplifier offset voltage. RFS 1GΩ resistor available from Burr-Brown.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CONNECTION DIAGRAMS [CONT]

Transfer function is $E_0 = -A \log \frac{E_1}{R_4 I_R}$, where E_1 is a positive input voltage and I_R is the resistor-programmed internal reference current (see Figure 4).

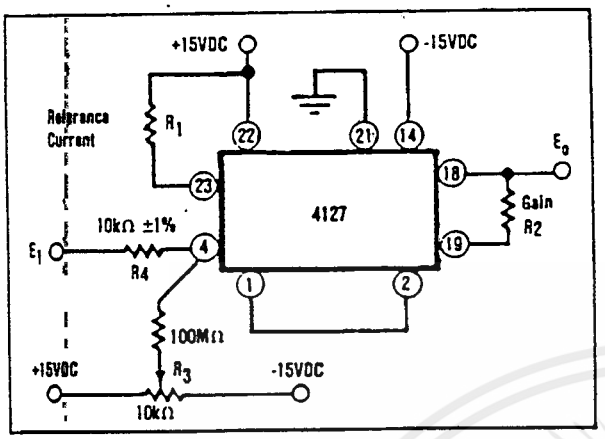


FIGURE 4. Transfer Function When E_1 is Positive.

ADJUSTMENT PROCEDURE

1. Refer to Choosing The Optimum Scale Factor and Reference Current.
2. Apply $E_1 = I_R$ (10kΩ), adjust R_1 such that $E_0 = 0$.
3. Apply $E_1 = E_{max}$, adjust R_2 for the proper output voltage.
4. Apply $E_1 = E_{min}$, adjust R_3 for the proper output.
5. Repeat steps 2 through 4 if necessary.

Transfer function is $E_0 = -A \log \frac{|E_1|}{R_4 I_R}$, where E_1 is a negative input voltage and I_R is the resistor-programmed internal reference current (see Figure 5).

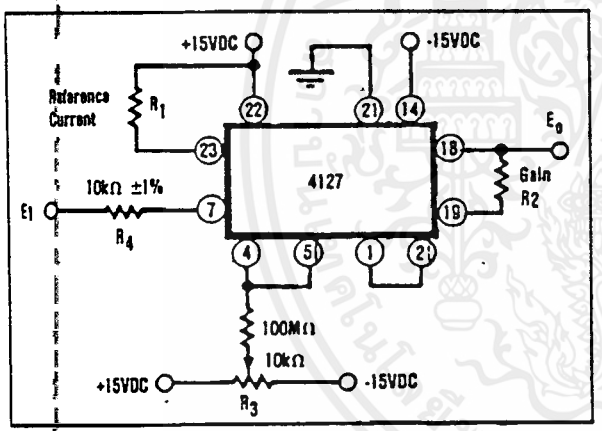


FIGURE 5, Transfer Function When E_1 is Negative.

ADJUSTMENT PROCEDURE

1. Refer to Choosing The Optimum Scale Factor and Reference Current.
2. Apply $|E_1| = I_R$ (10kΩ), adjust R_1 such that $E_0 = 0$.
3. Apply $|E_1| = E_{max}$, adjust R_2 for the proper output voltage.
4. Apply $|E_1| = E_{min}$, adjust R_3 for the proper output.
5. Repeat steps 2 through 4 if necessary.

Transfer function is $E_0 = -A \log \frac{|I_1|}{|I_2|}$ with I_1 and I_2 negative; $|I_1| \geq 1nA, |I_2| \geq 1\mu A$ (see Figure 6).

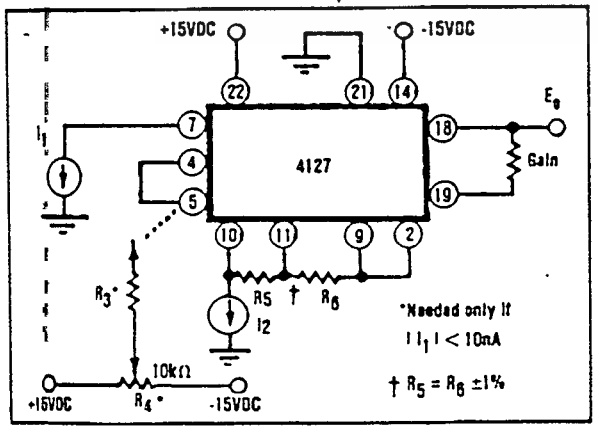


FIGURE 6. Transfer Function When I_1 and I_2 are Negative.

ADJUSTMENT PROCEDURE

1. Refer to Choosing The Optimum Scale Factor and Reference Current.
2. No further adjustment is necessary if I_1 min ≥ 10nA, otherwise connect the R_3 and R_4 network, with R_4 =10kΩ and $R_3 = 10^9\Omega$. Adjust R_4 for proper output voltage after adjusting gain errors. Since the voltage at pin 4 is in the range of ±5mV, it is not practical to use a T - network to replace R_3.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Transfer function is $E_0 = -A \log \frac{|I_1|}{I_2}$ with I_1 negative, I_2 positive; $|I_1| \geq 1nA$, $I_2 \geq 1\mu A$ (see Figure 7).

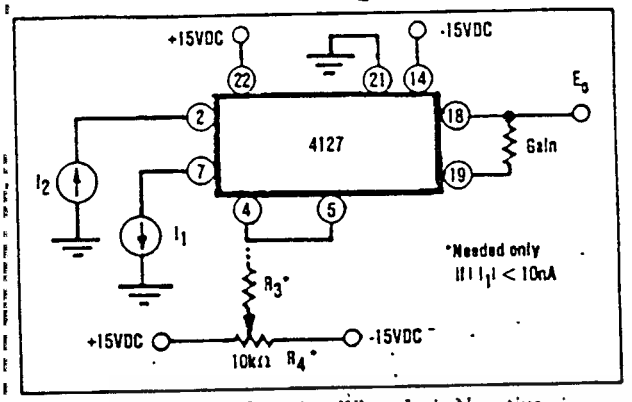


FIGURE 7. Transfer Function When I_1 is Negative, I_2 is Positive.

ADJUSTMENT PROCEDURE

1. Refer to Choosing The Optimum Scale Factor and Reference Current.
2. No further adjustment is necessary if $|I_1|$min $\geq$ 10nA, otherwise connect the R_3 and R_4 network, with $R_4 = 10k\Omega$ and $R_3 = 10^9\Omega$. Adjust R_4 for proper output voltage after adjusting gain errors. Since the voltage at pin 4 is in the range of $\pm$5mV, it is not practical to use a T – network to replace R_3.

Transfer function is $E_0 = -A \log \frac{I_1}{I_2}$ with I_1 and I_2 positive; $I_1 \geq 1nA$, $I_2 \geq 1\mu A$ (see Figure 8).

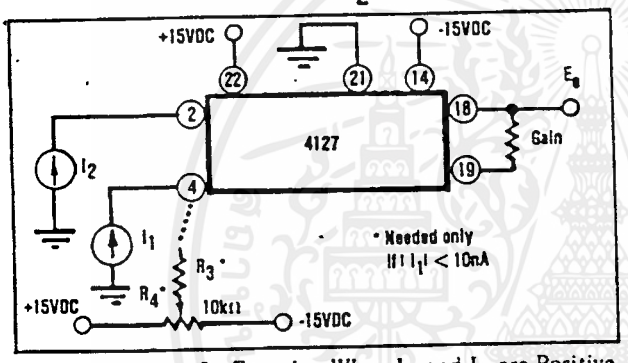


FIGURE 8. Transfer Function When I_1 and I_2 are Positive.

ADJUSTMENT PROCEDURE

1. Refer to Choosing the Optimum Scale Factor and Reference Current.
2. No further adjustment is necessary if I_1 min $\geq$ 10nA, otherwise connect the R_3 and R_4 network, with $R_4 = 10k\Omega$ and $R_3 = 10^9\Omega$. Adjust R4 for proper output voltage after adjusting gain errors. Since the voltage at pin 4 is in the range of $\pm$5mV, it is not practical to use a T – network to replace R_3.

ANTILOG OPERATION

The 4127 can also perform the antilog function. The output is connected through a resistor R_0 into the current input, pin 4. The input signal is connected through a gain resistor to pin 19 as shown in Figure 9.

These connections form an implicit loop for computing the antilog function. From the block diagram of Figure 1, the voltage at the inverting input of the output amplifier A2 must equal E_2, so

$$E_2 \approx \frac{R_T}{R_T + R_2} E_S, \quad R_T \approx 520\Omega$$

Since the output is connected through R_0 to pin 4, the current I_S will equal E_0/R_0 and E_2 will be

$$E_2 = -\frac{m K T}{q} \ln \frac{E_0}{R_0 I_R}$$

Combining expressions for E_2 gives the relationship

$$\frac{R_T}{R_T + R_2} E_S = -\frac{m K T}{q} \ln \frac{E_0}{R_0 I_R}$$

$$-\frac{E_S}{A} = \log \frac{E_0}{R_0 I_R}$$

where

$$A \approx \frac{R_T + R_2}{R_T} (26mV) \frac{1}{0.434}$$

$$E_0 = R_0 I_R \text{ Antilog} - \frac{E_S}{A}$$

Setting R_0 and I_R will set the scale factor. For example, an R_0 of 1MΩ and I_R of 1μA will give a scale factor of unity an

$$E_0 = \text{Antilog} - \frac{E_S}{A}$$

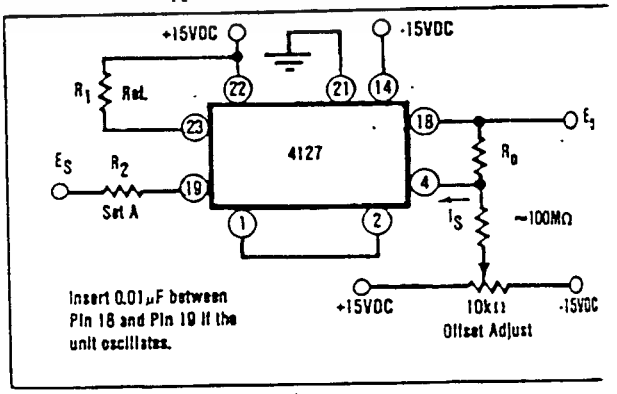
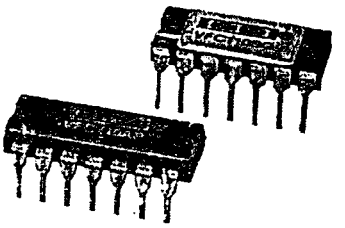


FIGURE 9. Antilog Operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BURR-BROWN®



VFC110

High-Frequency VOLTAGE-TO-FREQUENCY CONVERTER

FEATURES

- HIGH-FREQUENCY OPERATION: 4MHz FS max
- EXCELLENT LINEARITY: ±0.02% typ at 2MHz
- PRECISION 5V REFERENCE
- DISABLE PIN
- LOW JITTER

APPLICATIONS

- INTEGRATING A/D CONVERSION
- PROCESS CONTROL
- VOLTAGE ISOLATION
- VOLTAGE-CONTROLLED OSCILLATOR
- FM TELEMETRY

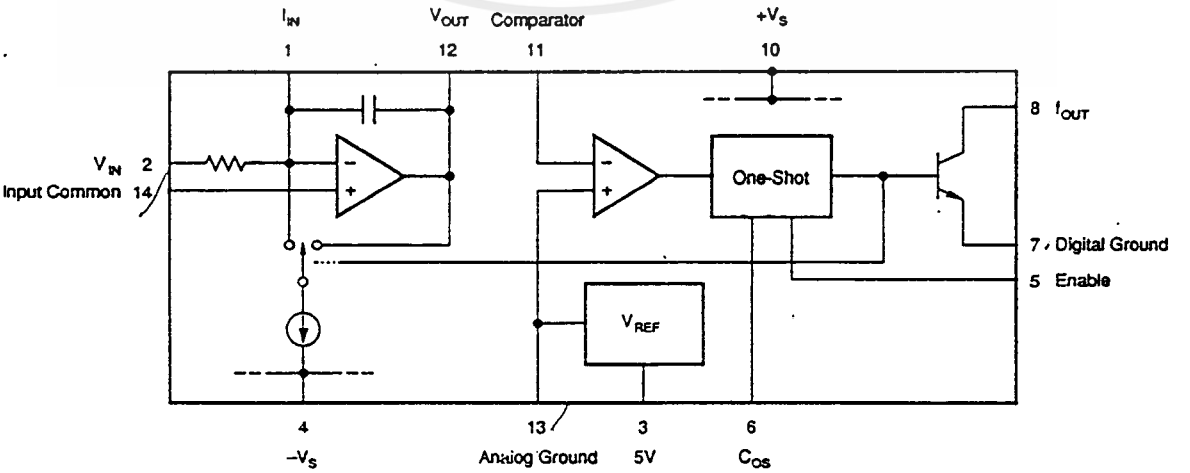
DESCRIPTION

The VFC110 voltage-to-frequency converter is a third-generation VFC offering improved features and performance. These include higher frequency operation, an on-board precision 5V reference and a Disable function.

The precision 5V reference can be used for offsetting the VFC transfer function, as well as exciting transducers or bridges. The Enable pin allows several VFCs' outputs to be paralleled, multiplexed, or simply to shut off the VFC. The open-collector frequency output is TTL/CMOS-compatible. The output may be isolated by using an opto-coupler or transformer.

Internal input resistor, one-shot and integrator capacitors simplify applications circuits. These components are trimmed for a full-scale output frequency of 4MHz at 10V input. No additional components are required for many applications.

The VFC110 is packaged in plastic and ceramic 14-pin DIPs. Industrial and military temperature range gradeouts are available.



International Airport Industrial Park • Mailing Address: PO Box 11400 • Tucson, AZ 85734 • Street Address: 6730 S. Tucson Blvd. • Tucson, AZ 85706
Tel: (602) 746-1111 • Twx: 910-952-1111 • Cable: BBRCORP • Telex: 066-6491 • FAX: (602) 889-1510 • Immediate Product Info: (800) 548-6132

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SPECIFICATIONS

At T_A = +25°C and V_S = ±15V unless otherwise noted.

PARAMETER	CONDITIONS	VFC110BG			VFC110AG/SG/AP			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
VOLTAGE-TO-FREQUENCY OPERATION								
Nonlinearity[1]: f_{FS} = 100kHz	C_{OS} = 2.2nF, R_{IN} = 44kΩ		0.005	0.01		0.01	0.05	%FS
f_{FS} = 1MHz	C_{OS} = 150pF, R_{IN} = 40kΩ		0.01	0.05			0.1	%FS
f_{FS} = 2MHz	C_{OS} = 56pF, R_{IN} = 34kΩ		0.02			*		%FS
f_{FS} = 4MHz	C_{OS} = (Int), R_{IN} = (Int)		1			*		%FS
Gain Error, f = 1MHz	C_{OS} = 150pF, R_{IN} = 40kΩ			5			*	%
Gain Drift, f = 1MHz	Specified Temp Range			50			100	ppm/°C
Relative to V_{REF}	Specified Temp Range		50			100		ppm/°C
PSRR	V_S = ±8V to ±18V			0.05			0.1	%/V
INPUT								
Full Scale Input Current			250	500		*	*	µA
I_B– (Inverting Input)			15	60		20	100	nA
I_B+ (Non-Inverting Input)			250			*		nA
V_{OS}				3			3	mV
V_{OS} Drift	Specified Temp Range		35			*		µV/°C
INTEGRATOR AMPLIFIER OUTPUT								
Output Voltage Range	R_L = 2kΩ	–0.2		$+V_S$ – 4	*		*	V
Output Current Drive		5	20		*	*		mA
Capacitive Load	No Oscillations		10			10		nF
COMPARATOR INPUT								
I_B (Input Bias Current)			–5			*		µA
Trigger Voltage			±50			*		mV
Input Voltage Range		–5		$+V_S$	*		*	V
OPEN COLLECTOR OUTPUT								
V_O Low				0.4			*	V
$I_{LEAKAGE}$			0.1	1		*	*	µA
Fall Time			25			*		ns
Delay to Rise			25			*		ns
Settling Time	To Specified Linearity for a Full-Scale Input Step	One Pulse of New Frequency Plus 1µs						
REFERENCE VOLTAGE								
Voltage		4.97	5	5.03	*	*	*	V
Voltage Drift				20			50	ppm/°C
Load Regulation	I_O = 0 to 10mA		2	10		*	*	mV
PSRR	V_S = ±8V to ±18V		5			*		mV/V
Current Limit	Short Circuit	15	20			*		mA
ENABLE INPUT								
V_{HIGH} (f_{OUT} Enabled)	Specified Temp Range	2			*			V
V_{LOW} (f_{OUT} Disabled)	Specified Temp Range			0.4			*	V
I_{HIGH}			0.1			*		µA
I_{LOW}			1			*		µA
POWER SUPPLY								
Voltage, ±V_S		±8	±15	±18	*	*	*	V
Current			13	16		*	*	mA
TEMPERATURE RANGE								
Specified								
AG, BG, AP		–25		+85	*		*	°C
SG		–55		+125				°C
Storage								
AG, BG, SG		–65		+150	*		*	°C
AP		–40		+125	*		*	°C

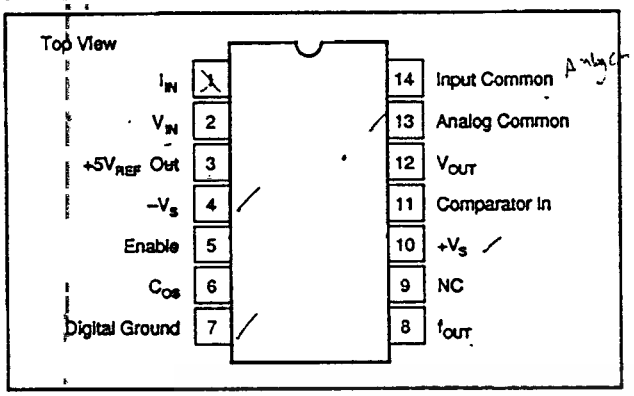
* Same specifications as VFC110BG.

NOTE: (1) Nonlinearity measured from 1V to 10V input.

The information provided herein is believed to be reliable; however, BURR-BROWN assumes no responsibility for inaccuracies or omissions. BURR-BROWN assumes no responsibility for the use of this information, and all use of such information shall be entirely at the user's own risk. Prices and specifications are subject to change without notice. No patent rights or licenses to any of the circuits described herein are implied or granted to any third party. BURR-BROWN does not authorize or warrant any BURR-BROWN product for use in life support devices and/or systems.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN CONFIGURATION



ABSOLUTE MAXIMUM RATINGS

Power Supply Voltages ($+V_S$ to $-V_S$)	40V
f_{OUT} Sink Current	50mA
Comparator In Voltage	$-5V$ to $+V_S$
Enable Input	$+V_S$ to $-V_S$
Integrator Common-Mode Voltage	−1.5V to +1.5V
Integrator Differential Input Voltage	+0.5V to −0.5V
Integrator Out (short-circuit)	Indefinite
V_{REF} Out (short-circuit)	Indefinite
Operating Temperature Range	
G Package	−55°C to +125°C
P Package	−40°C to +85°C
Storage Temperature	
G Package	−60°C to +150°C
P Package	−40°C to +125°C
Lead Temperature (soldering, 10s)	+300°C

ORDERING INFORMATION

MODEL	PACKAGE	TEMPERATURE RANGE
VFC110AG	Ceramic DIP	−25°C to +85°C
VFC110BG	Ceramic DIP	−25°C to +85°C
VFC110SG	Ceramic DIP	−55°C to +125°C
VFC110AP	Plastic DIP	−25°C to +85°C

PACKAGE INFORMATION[1]

MODEL	PACKAGE	PACKAGE DRAWING NUMBER
VFC110AG	14-Pin Ceramic DIP	137
VFC110BG	14-Pin Ceramic DIP	137
VFC110SG	14-Pin Ceramic DIP	137
VFC110AP	14-Pin Plastic DIP	010

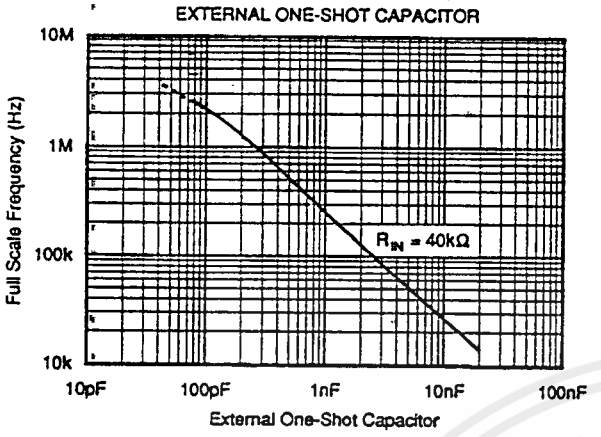
NOTE: (1) For detailed drawing and dimension table, please see end of data sheet, or Appendix D of Burr-Brown IC Data Book.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

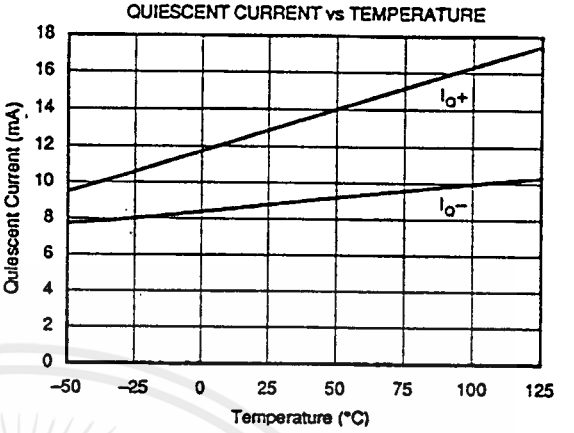
TYPICAL PERFORMANCE CURVES

At T_A = +25°C, V_S = ±15V unless otherwise noted.

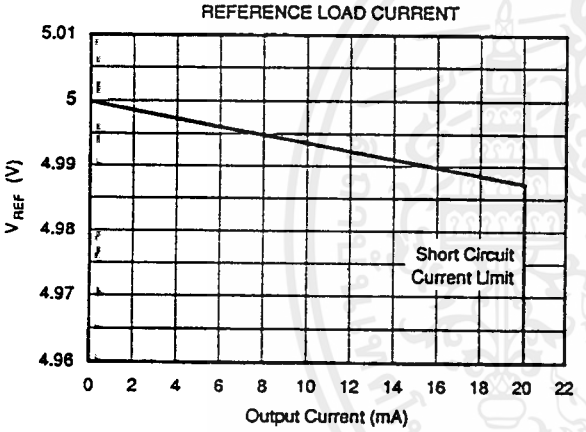
FULL-SCALE FREQUENCY vs EXTERNAL ONE-SHOT CAPACITOR



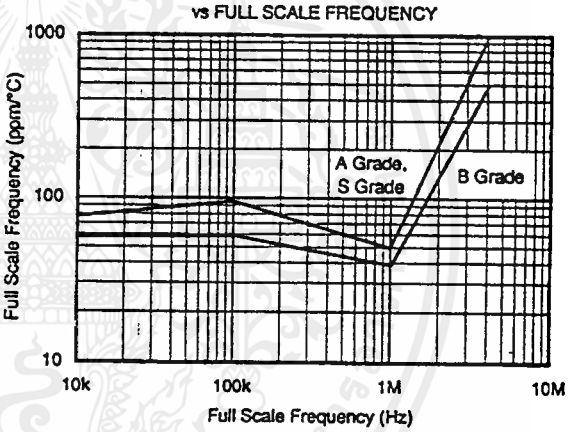
QUIESCENT CURRENT vs TEMPERATURE



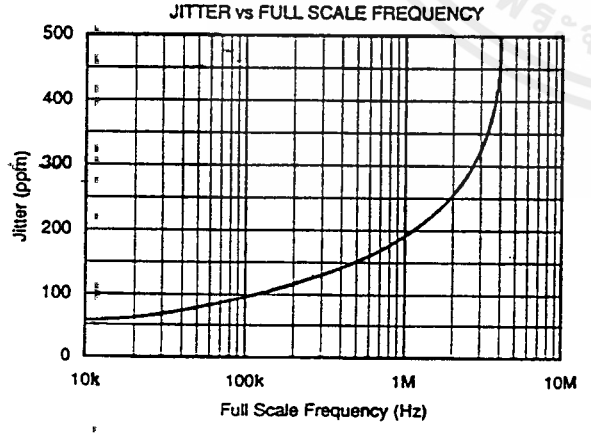
REFERENCE VOLTAGE vs REFERENCE LOAD CURRENT



TYPICAL FULL SCALE GAIN DRIFT vs FULL SCALE FREQUENCY

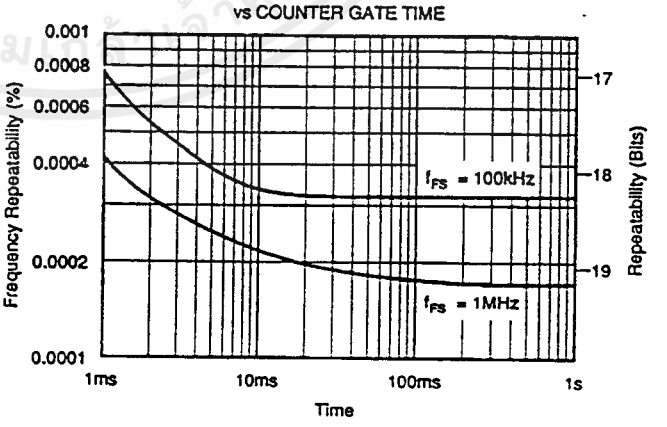


JITTER vs FULL SCALE FREQUENCY



Jitter is the ratio of the 1σ value of the distribution of the period ($1/f_{OUT}$, max) to the mean of the period.

FREQUENCY COUNT REPEATABILITY vs COUNTER GATE TIME

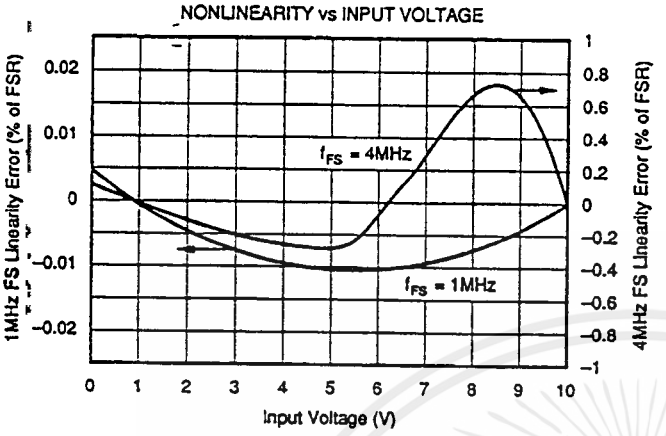


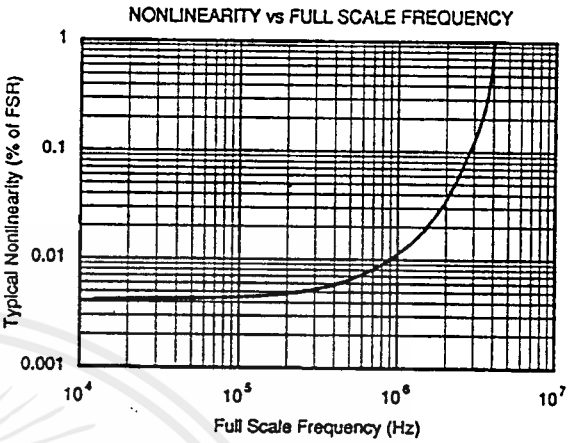
This graph describes the low frequency stability of the VFC110: the ratio of the 1σ point of the distribution of 100 runs (where each mean frequency came from 1000 readings for each gate time) to the overall mean frequency.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PERFORMANCE CURVES (CONT)

T_A = +25°C, V_S = ±15V unless otherwise noted.





OPERATION

Figure 1 shows the connections required for operation at a full-scale output frequency of 4MHz. Only power supply bypass capacitors and an output pull-up resistor, R_{PU}, are required for this mode of operation. A 0V to 10V input voltage produces a 0Hz to 4MHz output frequency. The internal input resistor, one-shot and integrator capacitors set the full-scale output frequency. The input is applied to the summing junction of the integrator amplifier through the 25kΩ internal input resistor. Pin 14 (the non-inverting amplifier input) should be referred directly to the negative side of V_{IN}. The common-mode range of the integrating amplifier is limited to approximately –1V to +1V referred to analog ground. This allows the non-inverting input to Kelvin-sense the common connection of V_{IN}, easily accommodating any ground-drop errors. The input impedance loading V_{IN} is equal to the input resistor—approximately 25kΩ.

OPERATION AT LOWER FREQUENCIES

The VFC110 can be operated at lower frequencies simply by limiting the input voltage to less than the nominal 10V full-scale input. To maintain a 10V FS input and highest accuracy, however, external components are required (see Table I). Small adjustments may be required in the nominal values indicated. Integrator and one-shot capacitors are added in parallel to internal capacitors. Figure 2 shows the connections required for 100kHz full scale output. The one-shot capacitor, C_{OS}, should be connected to logic ground. The one-shot connection (pin 6) is not short-circuit protected. Short-circuits to ground may damage the device.

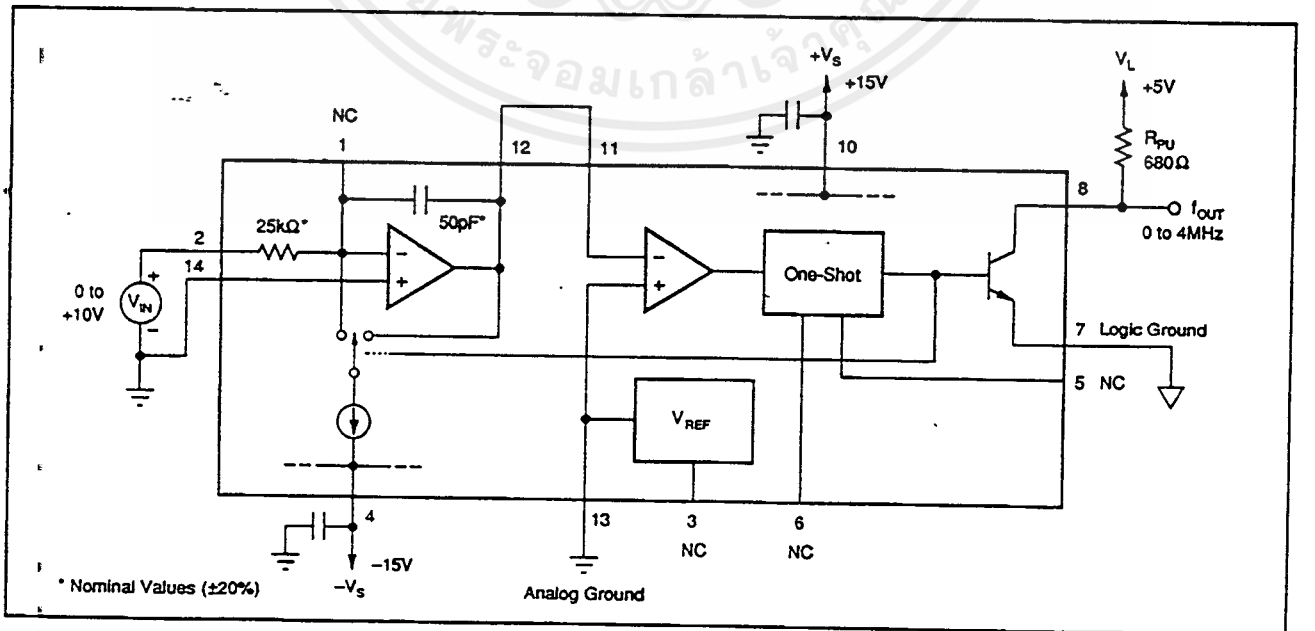


FIGURE 1. 4MHz Full-Scale Operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The integrator capacitor's value does not directly affect the output frequency, but determines the magnitude of the voltage swing on the integrator's output. Using a C_{INT} equal to C_{OS} provides an integrator output swing from 0V to approximately 1.5V.

COMPONENT SELECTION

Selection of the external resistor and capacitor type is important. Temperature drift of an external input resistor and one-shot capacitor will affect temperature stability of the output frequency. NPO ceramic capacitors will normally produce the best results. Silver-mica types will result in slightly higher drift, but may be adequate in many applications. A low temperature coefficient film resistor should be used for R_{IN}.

The integrator capacitor serves as a "charge bucket," where charge is accumulated from the input, V_{IN}, and that charge is drained during the one-shot period. While the size of the bucket (capacitor value) is not critical, it must not leak. Capacitor leakage or dielectric absorption can affect the linearity and offset of the transfer function. High-quality ceramic capacitors can be used for values less than 0.01µF. Use caution with higher value ceramic capacitors. High-k ceramic capacitors may have voltage nonlinearities which can degrade overall linearity. Polystyrene, polycarbonate, or mylar film capacitors are superior for high values.

FULL-SCALE FREQUENCY, f_{FS}	EXTERNAL COMPONENTS		
	R_{IN}	C_{OS}	C_{INT}
4MHz	*	*	*
2MHz	34kΩ	56pF	*
1MHz	40kΩ	150pF	*
500kHz	58kΩ	330pF	2nF
100kHz	44kΩ	2.2nF	10nF
50kHz	88kΩ	2.2nF	0.1µF
10kHz	44kΩ	22nF	0.1µF

* Use internal component only.
The values given were determined empirically to give the optimal performance, taking into consideration tradeoffs between linearity and jitter for each given full scale frequency of operation. The capacitors listed were chosen from standard values of NPO ceramic type capacitors while the resistor values were rounded off. Larger C_{INT} values may improve linearity, but may also increase frequency noise.

TABLE I. Component Selection Table.

PULL-UP RESISTOR

The VFC110's frequency output is an open-collector transistor. A pull-up resistor should be connected from f_{OUT} to the logic supply voltage, $+V_L$. The output transistor is On during the one-shot period, causing the output to be a logic Low. The current flowing in this resistor should be limited to 8mA to assure a 0.4V maximum logic Low. The value chosen for the pull-up resistor may depend on the full-scale frequency and capacitance on the output line. Excessive capacitance on f_{OUT} will cause a slow, rounded rising edge at the end of an output pulse. This effect can be minimized by using a pull-up resistor which sets the output current to its maximum of 8mA. The logic power supply can be any positive voltage up to $+V_S$.

ENABLE PIN

If left unconnected, the Enable input will assume a logic High level, enabling operation. Alternatively, the Enable input may be connected directly to $+V_S$. Since an internal pull-up current is included, the Enable input may be driven by an open-collector logic signal.

A logic Low at the Enable input causes output pulses to cease. This is accomplished by interrupting the signal path through the one-shot circuitry. While disabled, all circuitry remains active and quiescent current is unchanged. Since no reset current pulses can occur while disabled, any positive input voltage will cause the integrator op amp to ramp negatively and saturate at its most negative output swing of approximately –0.7V.

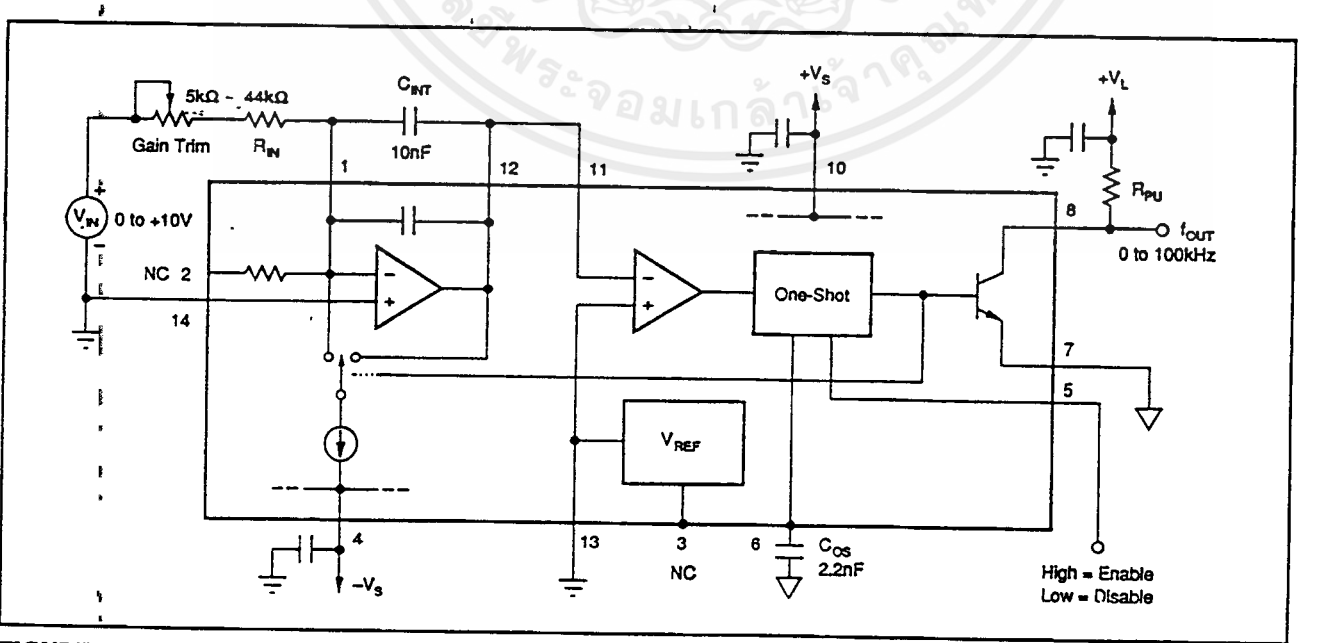


FIGURE 2. 100kHz Full-Scale Operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRINCIPLE OF OPERATION

The VFC110 uses a charge-balance technique to achieve high accuracy. The heart of this technique is an analog integrator formed by the integrator op amp, feedback capacitor C_{INT}, and input resistor R_{IN}. The integrator's output voltage is proportional to the charge stored in C_{INT}. An input voltage develops an input current of V_{IN}/R_{IN}, which is forced to flow through C_{INT}. This current charges C_{INT}, causing the integrator output voltage to ramp negatively.

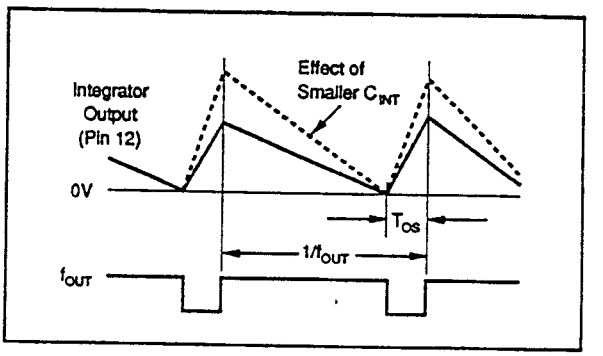
When the output of the integrator ramps to 0V, the comparator trips, triggering the one-shot. This connects the reference current, I_{REF}, to the integrator input during the one-shot period, T_{OS}. This switched current causes the integrator output to ramp positively until the one-shot period ends. Then the cycle starts again.

The oscillation is regulated by the balance of current (or charge) between the input current and the time-averaged reset current. The equation of current balance is

$$I_{IN} = I_{REF} \cdot \text{Duty Cycle}$$

$$V_{IN}/R_{IN} = I_{REF} \cdot f_{OUT} \cdot T_O$$

where T_O is the one-shot period and f_{OUT} is the oscillation frequency.



When the Enable input receives a logic High (greater than +2V), a reset current cycle is initiated (causing f_{OUT} to go Low). The integrator ramps positively and normal operation is established. The time required for the output frequency to stabilize is equal to approximately one cycle of the final output frequency plus 1µs.

Using the Enable input, several VFCs' outputs can be connected to a single output line. All disabled VFCs will have a high output impedance; one active VFC can then transmit on the output line. Since the disabled VFCs are not oscillating, they cannot interfere or "lock" with the operating VFC. Locking can occur when one VFC operates at nearly the same frequency as—or a multiple of—a nearby VFC. Coupling between the two may cause them to lock to the same or exact multiple frequency. It then takes a small incremental input voltage change to unlock them. Locking cannot occur when unneeded VFCs are disabled.

REFERENCE VOLTAGE

The V_{REF} output is useful for offsetting the transfer function and exciting sensors. Figure 3 shows V_{REF} used to offset the transfer function of the VFC110 to achieve a bipolar input voltage range. Sub-surface zener reference circuitry is used for low noise and excellent temperature drift. Output current is specified to 10mA and current-limited to approximately 20mA. Excessive or variable loads on V_{REF} can decrease frequency stability due to internal heating.

MEASURING THE OUTPUT FREQUENCY

To complete an integrating A/D conversion, the output frequency of the VFC110 must be counted. Simple frequency counting is accomplished by counting output pulses for a reference time (usually derived from a crystal oscillator).

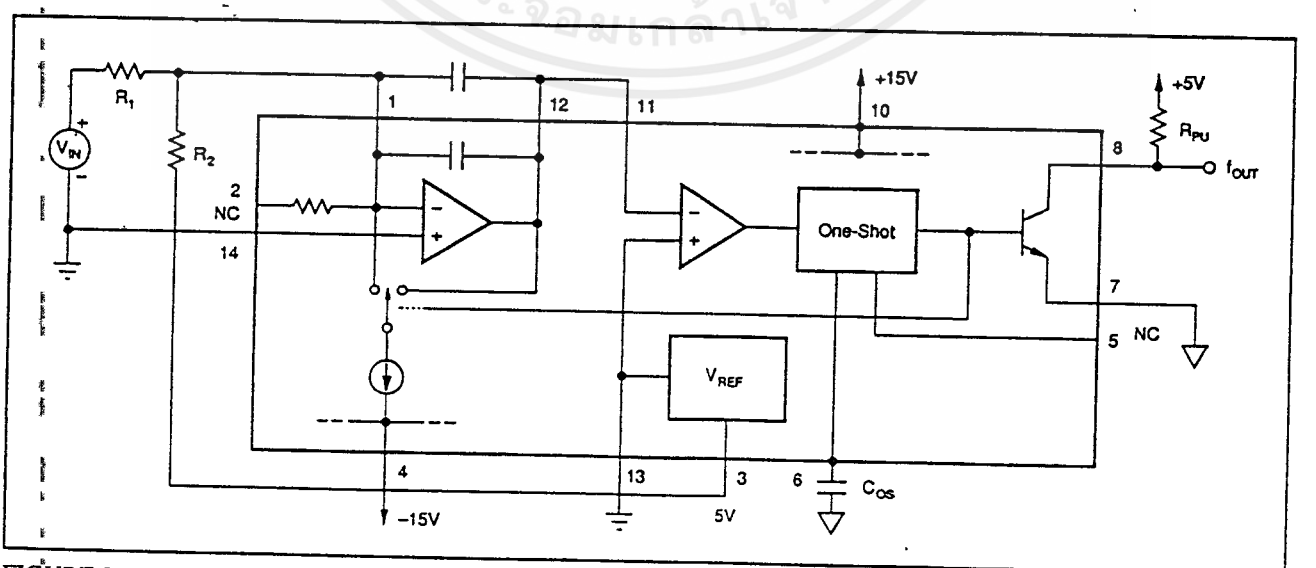


FIGURE 3. Offsetting the Frequency Output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

This can be implemented with counter/timer peripheral chips available for many popular microprocessor families. Many micro-controllers have counter inputs that can be programmed for frequency measurement.

Since f_{OUT} is an open-collector device, the negative-going edge provides the fastest logic transition. Clocking the counter on the falling edge will provide the best results in noisy environments.

Frequency can also be measured by accurately timing the period of one or more cycles of the VFC's output. Frequency must then be computed since it is inversely proportional to the measured period. This measurement technique can provide higher measurement resolution in short conversion times. It is the method used in most high-performance laboratory frequency counters. It is usually necessary to offset the transfer function so 0V input causes a finite frequency out. Otherwise the output period (and therefore the conversion time) approaches infinity.

FREQUENCY NOISE

Frequency noise (small random variation in the output frequency) limits the useful resolution of fast frequency measurement techniques. Long measurement time averages the effect of frequency noise and achieves the maximum useful resolution. The VFC110 is designed to minimize frequency noise and allows improved useful resolution with short measurement times. The typical curve "Frequency Count Repeatability vs Counter Gate Time" shows the effect of noise as the counter gate time is varied. It shows the one standard deviation (1σ) count variation (as a percentage of FS counts) versus counter gate time.

FREQUENCY-TO-VOLTAGE CONVERSION

The VFC110 can also be connected as a frequency-to-voltage converter (Figure 4). Input frequency pulses are applied to the comparator input. A negative-going pulse crossing 0V initiates a reference current pulse which is averaged by the integrator op amp. The values of the one-shot capacitor and feedback resistor (same as R_{IN}) are determined with Table I. The input frequency pulse must not remain negative for longer than the duration of the one-shot period. Figure 4 shows the required timing to assure this. If the negative-going input frequency pulses are longer in duration, the capacitive coupling circuit shown can be used. Level shift or capacitive coupling circuitry should not provide pulses which go lower than –5V or damage to the comparator input may occur.

This frequency-to-voltage converter operates by averaging (filtering) the reference current pulses triggered on every falling edge at the frequency input. Voltage ripple with a frequency equal to the input will be present in the output voltage. The magnitude of this ripple voltage is inversely proportional to the integrator capacitor. The ripple can be made arbitrarily small with a large capacitor, but at the sacrifice of settling time. The R-C time constant of C_{INT} and R_{IN} determine the settling behavior. A better compromise between output ripple and settling time can be achieved by adding a low-pass filter following the voltage output.

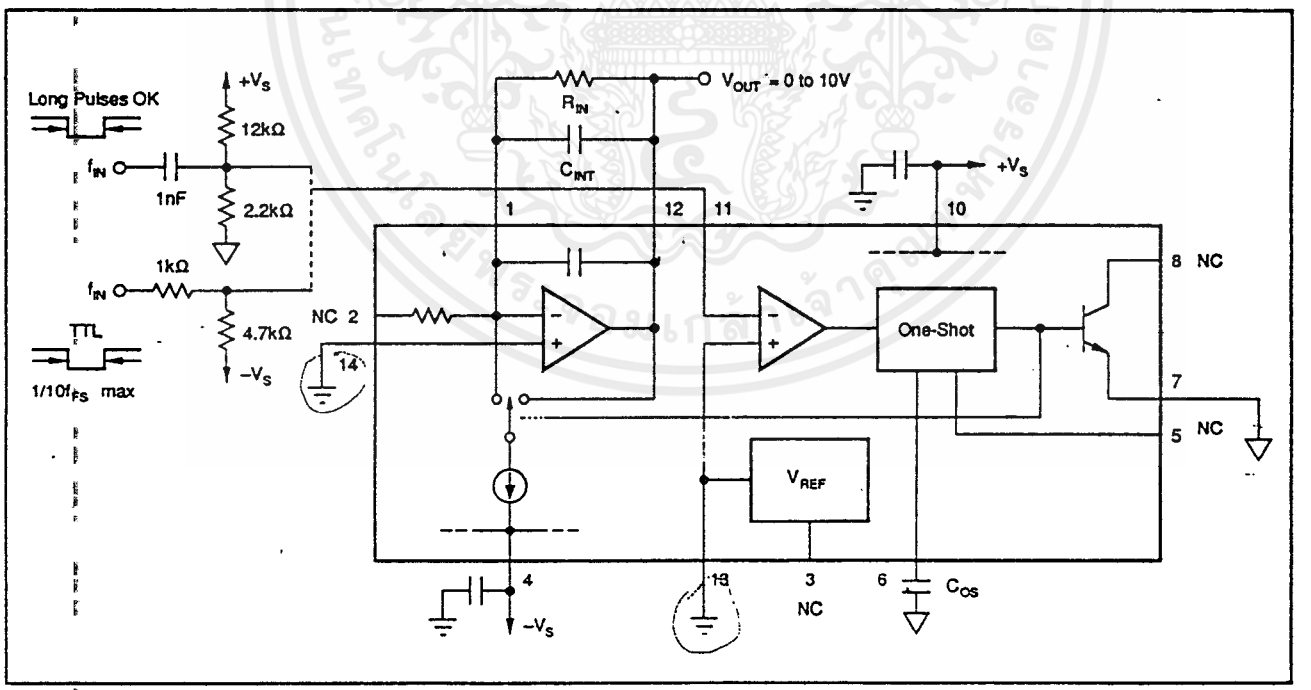


FIGURE 4. Frequency-to-Voltage Conversion.

นี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC14516B

CMOS MSI

(LOW-POWER COMPLEMENTARY MOS)

BINARY UP/DOWN COUNTER

BINARY UP/DOWN COUNTER

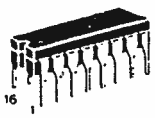
The MC14516B synchronous up/down binary counter is constructed with MOS P-channel and N-channel enhancement mode deivces in a monolithic structure.

This counter can be preset by applying the desired value, in binary, to the Preset inputs (P0, P1, P2, P3) and then bringing the Preset Enable (PE) high. The direction of counting is controlled by applying a high (for up counting) or a low (for down counting) to the UP/DOWN input. The state of the counter changes on the positive transition of the clock input.

Cascading can be accomplished by connecting the $\overline{\text{Carry Out}}$ to the $\overline{\text{Carry In}}$ of the next stage while clocking each counter in parallel. The outputs (Q0, Q1, Q2, Q3) can be reset to a low state by applying a high to the reset (R) pin.

This CMOS counter finds primary use in up/down and difference counting. Other applications include: (1) Frequency synthesizer applications where low power dissipation and/or high noise immunity is desired, (2) Analog-to-digital and digital-to-analog conversions, and (3) Magnitude and sign generation.

- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Internally Synchronous for High Speed
- Logic Edge-Clocked Design — Count Occurs on Positive Going Edge of Clock
- Single Pin Reset
- Asynchronous Preset Enable Operation
- Capable of Driving Two Low-Power TTL Loads or One Low-Power Schottky Load Over the Rated Temperature Range



L SUFFIX
CERAMIC PACKAGE
CASE 620

P SUFFIX
PLASTIC PACKAGE
CASE 648

ORDERING INFORMATION

A Series: −55°C to +125°C
MC14XXXBAL (Ceramic Package Only)

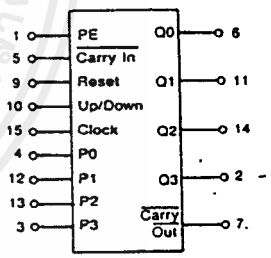
C Series: −40°C to +85°C
MC14XXXBCP (Plastic Package)
MC14XXXBCL (Ceramic Package)

MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage	−0.5 to +18.0	V
V_{in}, V_{out}	Input or Output Voltage (DC or Transient)	−0.5 to V_{DD} +0.5	V
I_{in}, I_{out}	Input or Output Current (DC or Transient), per Pin	±10	mA
P_D	Power Dissipation, per Package†	500	mW
T_{stg}	Storage Temperature	−65 to +150	°C
T_L	Lead Temperature (8-Second Soldering)	260	°C

*Maximum Ratings are those values beyond which damage to the device may occur.
†Temperature Derating: Plastic "P" Package: − 12mW/°C from 65°C to 85°C
Ceramic "L" Package: − 12mW/°C from 100°C to 125°C

BLOCK DIAGRAM



V_{DD} = Pin 16
V_{SS} = Pin 8

TRUTH TABLE

$\overline{\text{Carry In}}$	Up/Down	Preset Enable	Reset	Clock	Action
1	X	0	0	X	No Count
0	1	0	0	⌐	Count Up
0	0	0	0	⌐	Count Down
X	X	1	0	X	Preset
X	X	X	1	X	Reset

X = Don't Care

Note: When counting up, the $\overline{\text{Carry Out}}$ signal is normally high and is low only when Q0 through Q3 are high and $\overline{\text{Carry In}}$ is low. When counting down, $\overline{\text{Carry Out}}$ is low only when Q0 through Q3 and $\overline{\text{Carry In}}$ are low.

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \leq (V_{in}$ or $V_{out}) \leq V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.

6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Characteristic	Symbol	V_{DD} Vdc	T_{low}* Min	T_{low}* Max	25°C Min	25°C Typ #	25°C Max	T_{high}* Min	T_{high}* Max	Unit
Output Voltage "0" Level V_{in} = V_{DD} or 0	V_{OL}	5.0	—	0.05	—	0	0.05	—	0.05	Vdc
		10	—	0.05	—	0	0.05	—	0.05	
		15	—	0.05	—	0	0.05	—	0.05	
"1" Level V_{in} = 0 or V_{DD}	V_{OH}	5.0	4.95	—	4.95	5.0	—	4.95	—	Vdc
		10	9.95	—	9.95	10	—	9.95	—	
		15	14.95	—	14.95	15	—	14.95	—	
Input Voltage "0" Level (V_O = 4.5 or 0.5 Vdc) (V_O = 9.0 or 1.0 Vdc) (V_O = 13.5 or 1.5 Vdc)	V_{IL}	5.0	—	1.5	—	2.25	1.5	—	1.5	Vdc
		10	—	3.0	—	4.50	3.0	—	3.0	
		15	—	4.0	—	6.75	4.0	—	4.0	
"1" Level (V_O = 0.5 or 4.5 Vdc) (V_O = 1.0 or 9.0 Vdc) (V_O = 1.5 or 13.5 Vdc)	V_{IH}	5.0	3.5	—	3.5	2.75	—	3.5	—	Vdc
		10	7.0	—	7.0	5.50	—	7.0	—	
		15	11.0	—	11.0	8.25	—	11.0	—	
Output Drive Current (AL Device) (V_{OH} = 2.5 Vdc) Source (V_{OH} = 4.6 Vdc) (V_{OH} = 9.5 Vdc) (V_{OH} = 13.5 Vdc)	I_{OH}	5.0	-3.0	—	-2.4	-4.2	—	-1.7	—	mAdc
		5.0	-0.64	—	-0.51	-0.88	—	-0.36	—	
		10	-1.6	—	-1.3	-2.25	—	-0.9	—	
		15	-4.2	—	-3.4	-8.8	—	-2.4	—	
(V_{OL} = 0.4 Vdc) Sink (V_{OL} = 0.5 Vdc) (V_{OL} = 1.5 Vdc)	I_{OL}	5.0	0.64	—	0.51	0.88	—	0.36	—	mAdc
		10	1.6	—	1.3	2.25	—	0.9	—	
		15	4.2	—	3.4	8.8	—	2.4	—	
Output Drive Current (CL/CP Device) (V_{OH} = 2.5 Vdc) Source (V_{OH} = 4.6 Vdc) (V_{OH} = 9.5 Vdc) (V_{OH} = 13.5 Vdc)	I_{OH}	5.0	-2.5	—	-2.1	-4.2	—	-1.7	—	mAdc
		5.0	-0.52	—	-0.44	-0.88	—	-0.36	—	
		10	-1.3	—	-1.1	-2.25	—	-0.9	—	
		15	-3.6	—	-3.0	-8.8	—	-2.4	—	
(V_{OL} = 0.4 Vdc) Sink (V_{OL} = 0.5 Vdc) (V_{OL} = 1.5 Vdc)	I_{OL}	5.0	0.52	—	0.44	0.88	—	0.36	—	mAdc
		10	1.3	—	1.1	2.25	—	0.9	—	
		15	3.6	—	3.0	8.8	—	2.4	—	
Input Current (AL Device)	I_{in}	15	—	±0.1	—	±0.00001	±0.1	—	±1.0	μAdc
Input Current (CL/CP Device)	I_{in}	15	—	±0.3	—	±0.00001	±0.3	—	±1.0	μAdc
Input Capacitance (V_{in} = 0)	C_{in}	—	—	—	—	5.0	7.5	—	—	pF
Quiescent Current (AL Device) (Per Package)	I_{DD}	5.0	—	5.0	—	0.005	5.0	—	150	μAdc
		10	—	10	—	0.010	10	—	300	
		15	—	20	—	0.015	20	—	600	
Quiescent Current (CL/CP Device) (Per Package)	I_{DD}	5.0	—	20	—	0.005	20	—	150	μAdc
		10	—	40	—	0.010	40	—	300	
		15	—	80	—	0.015	80	—	600	
Total Supply Current**† (Dynamic plus Quiescent, Per Package) (C_L = 50 pF on all outputs, all buffers switching)	I_T	5.0	$I_T = (0.58\ \mu A/kHz)\ f + I_{DD}$							μAdc
		10	$I_T = (1.2\ \mu A/kHz)\ f + I_{DD}$							
		15	$I_T = (1.7\ \mu A/kHz)\ f + I_{DD}$							

*T_{low} = −55°C for AL Device, −40°C for CL/CP Device.
T_{high} = +125°C for AL Device, +85°C for CL/CP Device.

#Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

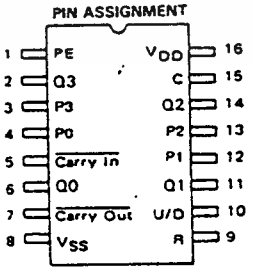
**The formulas given are for the typical characteristics only at 25°C.

†To calculate total supply current at loads other than 50 pF:

$$I_T(C_L) = I_T(50\ pF) + (C_L - 50)\ Vfk$$

where: I_T is in μA (per package), C_L in pF, $V = (V_{DD} - V_{SS})$ in volts, f in kHz is input frequency, and $k = 0.001$

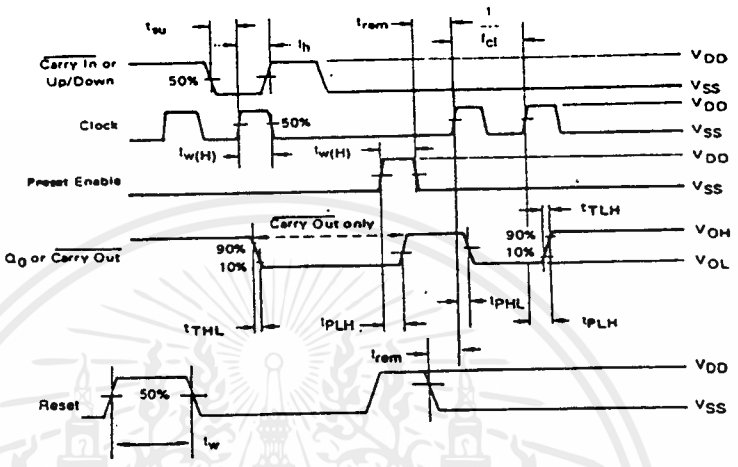
PIN ASSIGNMENT



6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 2 – SWITCHING TIME WAVEFORMS



PIN DESCRIPTIONS

INPUTS

P0, P1, P2, P3, Preset Inputs (Pins 4, 12, 13, 3) — Data on these inputs is loaded into the counter when PE is taken high.

Carry In, (Pin 5) — This active-low input is used when cascading stages. Carry In is usually connected to Carry Out of the previous stage. While high, Clock is inhibited.

Clock, (Pin 15) — Binary data is incremented or decremented, depending on the direction of count, on the positive transition of this input.

OUTPUTS

Q0, Q1, Q2, Q3, Binary outputs (Pins 6, 11, 14, 2) — Binary data is present on these outputs with Q0 corresponding to the least significant bit.

Carry Out, (Pin 7) — Used when cascading stages. Carry Out is usually connected to Carry In of the next stage. This synchronous output is active low and may also be used to indicate terminal count.

CONTROLS

PE, Preset Enable, (Pin 1) — Asynchronously loads data on the Preset Inputs. This pin is active high and inhibits the clock when high.

R, Reset, (Pin 9) — Asynchronously resets the Q outputs to a low state. This pin is active high and inhibits the clock when high.

Up/Down, (Pin 10) — Controls the direction of count, high for up count, low for down count.

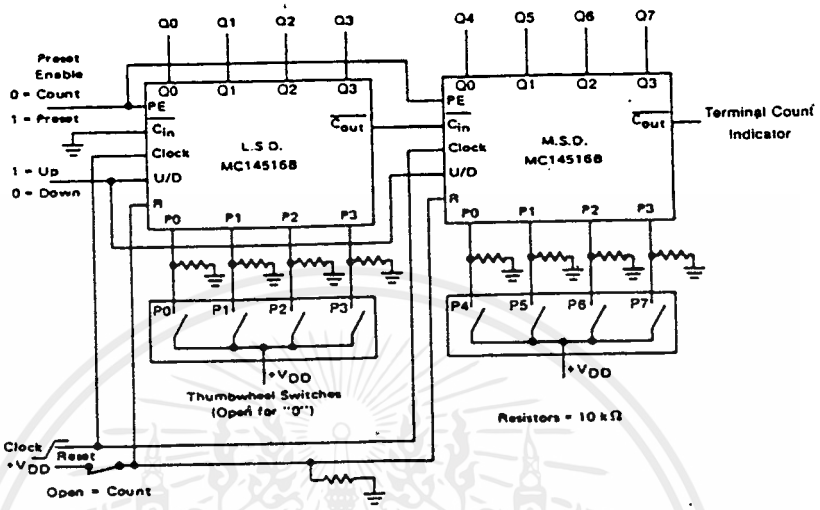
SUPPLY PINS

V_{SS}, Negative Supply Voltage, (Pin 8) — This pin is usually connected to ground.

V_{DD}, Positive Supply Voltage, (Pin 16) — This pin is connected to a positive supply voltage ranging from 3.0 volts to 18.0 volts.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

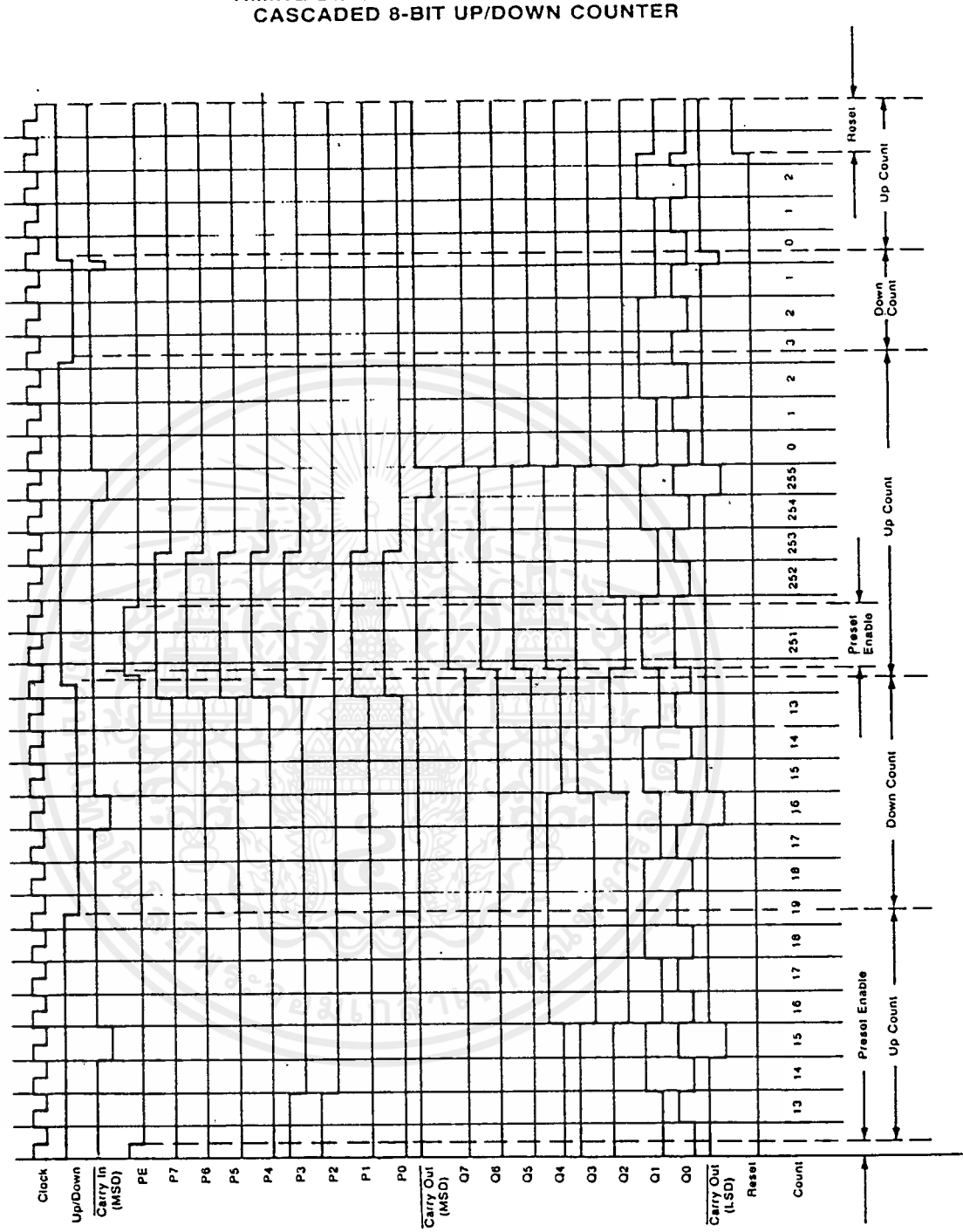
FIGURE 3 — PRESETTABLE CASCADED 8-BIT UP/DOWN COUNTER



Note: The Least Significant Digit (L.S.D.) counts from a preset value once Preset Enable (PE) goes low. The Most Significant Digit (M.S.D.) is disabled while $\overline{C_{in}}$ is high. When the count of the L.S.D. reaches 0 (count down mode) or reaches 15 (count up mode), $\overline{C_{out}}$ goes low for one complete clock cycle, thus allowing the next counter to decrement/increment one count. (See Timing Diagram) The L.S.D. now counts through another cycle (15 clock pulses) and the above cycle is repeated.

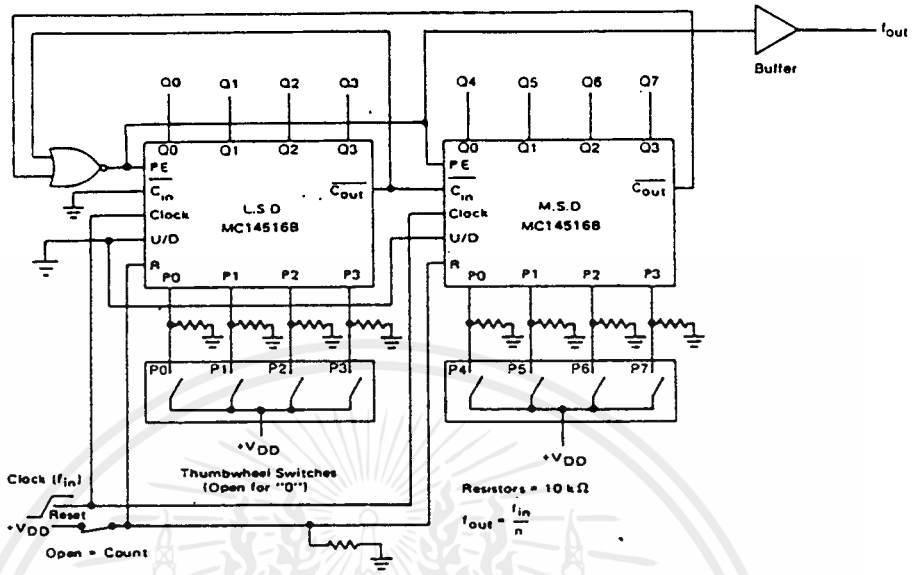
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING DIAGRAM FOR THE PRESETTABLE CASCADED 8-BIT UP/DOWN COUNTER



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 4 — PROGRAMMABLE CASCADED FREQUENCY DIVIDER

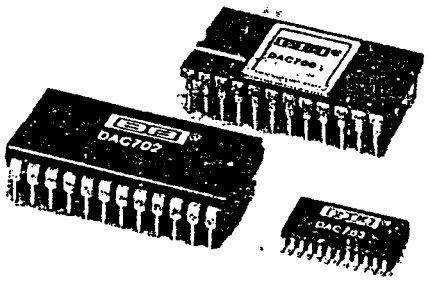


Note: The programmable frequency divider can be set by applying the desired divide ratio, in binary, to the preset inputs. For example, the maximum divide ratio of 255 may be obtained by applying a 1111 1111 to the preset inputs P0 to P7. For this divide operation, both counters should be configured in the count down mode. The divide ratio of zero is an undefined state and should be avoided.

6

เอกสารนี้จัดทำขึ้นไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BURR-BROWN®



DAC700/702
DAC701/703

AVAILABLE IN DIE

Monolithic 16-Bit DIGITAL-TO-ANALOG CONVERTERS

FEATURES

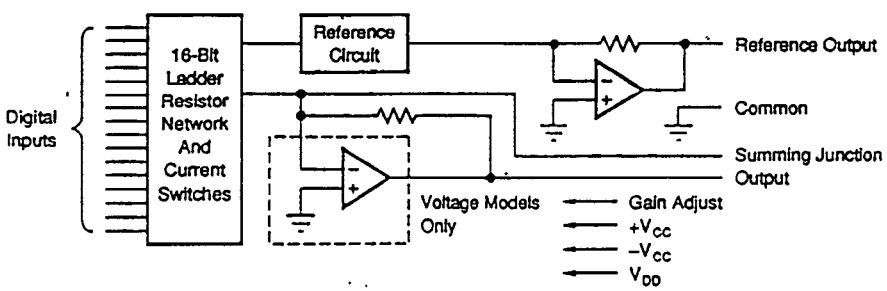
- V_{OUT} AND I_{OUT} MODELS
- HIGH ACCURACY:
  Linearity Error ±0.0015% of FSR max
  Differential Linearity Error ±0.003% of FSR max
- MONOTONIC (at 15 bits) OVER FULL SPECIFICATION TEMPERATURE RANGE
- PIN-COMPATIBLE WITH DAC70, DAC71, DAC72
- DUAL-IN-LINE PLASTIC AND HERMETIC CERAMIC AND SOIC
- BURN-IN PROGRAM AVAILABLE (-BI)

DESCRIPTION

This is another industry first from Burr-Brown—a complete 16-bit digital-to-analog converter that includes a precision buried-zener voltage reference and a low-noise, fast-settling output operational amplifier (voltage output models), all on one small monolithic chip. A combination of current-switch design techniques accomplishes not only 15-bit monotonicity over the entire specified temperature range, but also a maximum end-point linearity error of ±0.0015% of full-scale range. Total full-scale gain drift is limited to ±10ppm/°C maximum (LH and CH grades).

Digital inputs are complementary binary coded and are TTL-, LSTTL-, 54/74C- and 54/74HC-compatible over the entire temperature range. Outputs of 0 to +10V, ±10V, 0 to –2mA, and ±1mA are available.

These D/A converters are packaged in hermetic 24-pin ceramic side-brazed or molded plastic. The DIP-packaged parts are pin-compatible with the voltage and current output DAC71 and DAC72 model families. The DAC700 and DAC702 are also pin-compatible with the DAC70 model family. In addition, the DAC703 is offered in a 24-pin SOIC package for surface mount applications.



International Airport Industrial Park • Mailing Address: PO Box 11400 • Tucson, AZ 85734 • Street Address: 6730 S. Tucson Blvd. • Tucson, AZ 85706
Tel: (602) 746-1111 • Twx: 910-952-1111 • Cable: BBRCORP • Telex: 066-6491 • FAX: (602) 889-1510 • Immediate Product Info: (800) 548-6132

เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SPECIFICATIONS

ELECTRICAL

At +25°C and rated power supplies unless otherwise noted.

MODEL	DAC702/703J, D			DAC700/701/702/703K			DAC700/701/702/703B, S			DAC700/701/702/703L, C			
PARAMETER	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	UNITS
INPUT													
DIGITAL INPUT													
Resolution			16			•			•			•	Bits
Digital Inputs [1]													
V_{IH}	+2.4		$+V_{CC}$	•		•	•		•	•		•	V
V_{IL}	−1.0		+0.8	•		•	•		•	•		•	V
I_{IH}, V_I = +2.7V			+40			•			•			•	µA
I_{IL}, V_I = +0.4V		−0.35	−0.5		•	•		•	•		•	•	mA
TRANSFER CHARACTERISTICS													
ACCURACY[2]													
Linearity Error[4]		±0.0015	±0.006		•	±0.003		•	•		±0.00075	±0.0015	% of FSR[3]
Differential Linearity Error[4]		±0.003	±0.012		•	±0.006		•	•		±0.0015	±0.003	% of FSR
Differential Linearity Error at Bipolar Zero (DAC702/703)[4]					±0.003	±0.006		±0.0015	±0.003		•	•	% of FSR
Gain Error[5]		±0.07	±0.30		•	±0.15		±0.05	±0.10		•	•	%
Zero Error[5, 6]		±0.05	±0.10		•	•		•	•		•	•	% of FSR
Monotonicity Over Spec. Temp Range	13			14			•			15			Bits
DRIFT (over specification temperature range)													
Total Error Over Temperature Range (all models)[7]		±0.08			•	±0.15		±0.05	±0.10		•	•	% of FSR
Total Full Scale Drift:													
DAC700/701		±10			•	±30		±8.5	±18		±6	±13	ppm of FSR/°C
DAC702/703		±10			•	±25		±7	±15		•	•	ppm of FSR/°C
Gain Drift (all models)		±10	±30		•	±25		±7	±15		±5	±10	ppm/°C
Zero Drift:													
DAC700/701					±2.5	±5		±1.5	±3		•	•	ppm of FSR/°C
DAC702/703		±5	±15		•	±12		±4	±10		±2.5	±5	ppm of FSR/°C
Differential Linearity Over Temp.[4]			±0.012			+0.009, −0.006			•			+0.006, −0.003	% of FSR
Linearity Error Over Temp.[4]			±0.012			±0.006			•			±0.003	% of FSR
SETTLING TIME (to ±0.003% of FSR)[8]													
DAC701/703 (V_{OUT} Models)													
Full Scale Step, 2kΩ Load		4			•	8		•	•		•	•	µs
1LSB Step at Worst-Case Code[9]		2.5			•			•			•		µs
Slew Rate		10			•			•			•		V/µs
DAC700/702 (I_{OUT} Models)													
Full Scale Step (2mA), 10 to 100Ω Load		350			•	1000		•	•		•	•	ns
1kΩ Load		1			•	3		•	•		•	•	µs
OUTPUT													
VOLTAGE OUTPUT MODELS													
DAC701 (CSB Code)					0 to +10			•					V
DAC703 (COB Code)		±10			•			•			•		V
Output Current	±5			•			•			•			mA
Output Impedance		0.15			•			•			•		Ω
Short Circuit to Common Duration		Indefinite			•			•			•		
CURRENT OUTPUT MODELS													
DAC700 (CSB Code)[10]					0 to −2			•			•		mA
Output Impedance[10]					4			•			•		kΩ
DAC702 (COB Code)[10]		±1			•			•			•		mA
Output Impedance[10]		2.45			•			•			•		kΩ
Compliance Voltage		±2.5			•			•			•		V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL (CONT)

MODEL	DAC702/703J, D			DAC700/701/702/703K			DAC700/701/702/703B, S			DAC700/701/702/703L, C			
PARAMETER	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	UNITS
REFERENCE VOLTAGE													
Voltage		+6.3		+6.0	+6.3	+6.6	+6.24	+6.3	+6.36	•	•	•	V
Source Current Available for External Loads		+2.5		+1.5	•		•	•		•	•		mA
Temperature Coefficient		±10			•	±25		•	±15		•	•	ppm/°C
Short Circuit to Common Duration		Indefinite			•			•			•		
POWER SUPPLY REQUIREMENTS													
Voltage: $+V_{CC}$	13.5	15	16.5	•	•	•	•	•	•	•	•	•	V
$-V_{CC}$	13.5	15	16.5	•	•	•	•	•	•	•	•	•	V
V_{DD}	+4.5	+5	+16.5	•	•	•	•	•	•	•	•	•	V
Current (No Load):													
DAC700/702 (I_{OUT} Models)													
$+V_{CC}$		+10	+25		•			•			•		mA
$-V_{CC}$		−13	−25		•			•			•		mA
V_{DD}		+4	+8		•			•			•		mA
DAC701/703 (V_{OUT} Models)													
$+V_{CC}$		+16	+30		•			•			•		mA
$-V_{CC}$		−18	−30		•			•			•		mA
V_{DD}		+4	+8		•			•			•		mA
Power Dissipation: (V_{DD} = +5.0V)[11]													
DAC700/702		365			•	790		•	630		•	•	mW
DAC701/703		530			•	940		•	780		•	•	mW
Power Supply Rejection:													
$+V_{CC}$		±0.0015	±0.006		•	•		•	±0.003		•	•	% of FSR/%V_{CC}
$-V_{CC}$		±0.0015	±0.006		•	•		•	±0.003		•	•	% of FSR/%V_{CC}
V_{DD}		±0.0001	±0.001		•	•		•	•		•	•	% of FSR/%V_{DD}
TEMPERATURE RANGE													
Specification:													
A, B, C Grades							−25		+85	•		•	°C
S Grades							−55		+125				°C
J, K, L Grades	0		+70	•		•				0		+70	°C
Storage: Ceramic				−60		+150	•		•	•		•	°C
Plastic, SOIC	−60		+100	•		•							°C

Specification same as model to the left.

NOTES: (1) Digital inputs are TTL, LSTTL, 54/74C, 54/74HC, and 54/74HTC compatible over the operating voltage range of V_{DD} = +5V to +15V and over the specified temperature range. The input switching threshold remains at the TTL threshold of 1.4V over the supply range of V_{DD} = +5V to +15V. As logic "0" and logic "1" inputs vary over 0V to +0.8V and +2.4V to +10V respectively, the change in the D/A converter output voltage will not exceed ±0.0015% of FSR for the LH and CH grades, ±0.003% of FSR for the BH grade and ±0.006% of FSR for the KG grade. (2) DAC700 and DAC702 (current-output models) are specified and tested with an external output operational amplifier connected using the internal feedback resistor in all parameters except settling time. (3) FSR means full-scale range and is 20V for the ±10V range (DAC703), 10V for the 0 to +10V range (DAC701). FSR is 2mA for the ±1mA range (DAC702) and the 0 to +2mA range (DAC700). (4) ±0.0015% of full-scale range is equivalent to 1LSB in 15-bit resolution. ±0.003% of full-scale range is equivalent to 1LSB in 14-bit resolution. ±0.006% of full-scale range is equivalent to 1LSB in 13-bit resolution. (5) Adjustable to zero with external trim potentiometer. Adjusting the gain potentiometer rotates the transfer function around the zero point. (6) Error at input code $FFFF_H$ for DAC700 and DAC701, $7FFF_H$ for DAC702 and DAC703. (7) With gain and zero errors adjusted to zero at +25°C. (8) Maximum represents the 3σ limit. Not 100% tested for this parameter. (9) At the major carry, $7FFF_H$ to 8000_H and 8000_H to $7FFF_H$. (10) Tolerance on output impedance and output current is ±30%. (11) Power dissipation is an additional 40mW when V_{DD} is operated at +15V.

ABSOLUTE MAXIMUM RATINGS

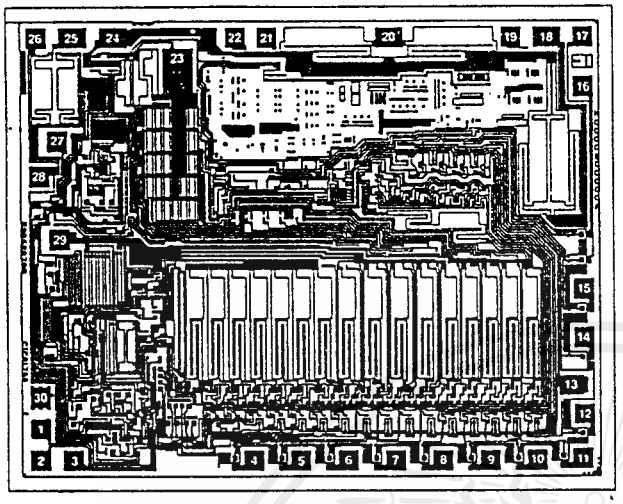
$+V_{CC}$ to Common	0V, +18V
$-V_{CC}$ to Common	0V, −18V
V_{DD} to Common	0V, +18V
Digital Data Inputs to Common	−1V, +18V
Reference Out to Common	Indefinite Short to Common
External Voltage Applied to R_F (DAC700/702)	±18V
External Voltage Applied to D/A Output (DAC701/703)	−5V to +5V
V_{OUT} (DAC701/703)	Indefinite Short to Common
Power Dissipation	1W
Storage Temperature	−60°C to +150°C
Lead Temperature (soldering, 10s)	300°C

NOTE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. Exposure to absolute maximum conditions for extended periods may affect device reliability.

The information provided herein is believed to be reliable; however, BURR-BROWN assumes no responsibility for inaccuracies or omissions. BURR-BROWN assumes no responsibility for the use of this information, and all use of such information shall be entirely at the user's own risk. Prices and specifications are subject to change without notice. No patent rights or licenses to any of the circuits described herein are implied or granted to any third party. BURR-BROWN does not authorize or warrant any BURR-BROWN product for use in life support devices and/or systems.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DICE INFORMATION



DAC702KD DIE TOPOGRAPHY

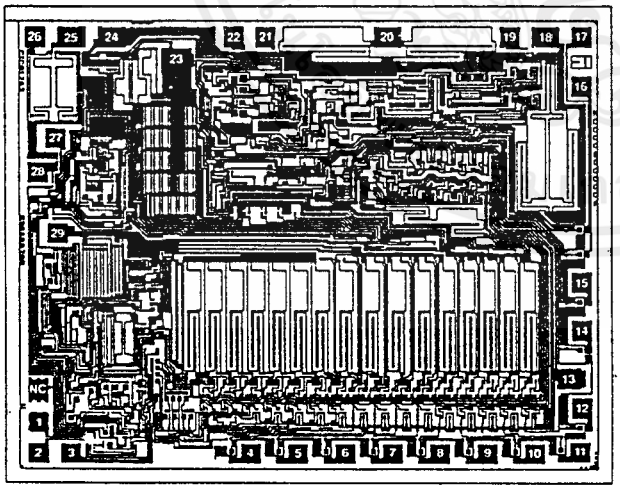
PAD	FUNCTION	PAD	FUNCTION
1	Bit 1 (MSB) Input	16	Bit 15 Input
2	Bit 2 Input	17	Bit 16 Input
3	Bit 3 Input	18	R_{FB} –10kΩ
4	Bit 4 Input	19	No Connection
5	Bit 5 Input	20	R_{FB} –10kΩ
6	Bit 6 Input	21	+5V Supply
7	Bit 7 Input	22	Digital Ground
8	Bit 8 Input	23	Analog Ground
9	Bit 9 Input	24	Current Output
10	Bit 10 Input	25	Bipolar Offset
11	Bit 11 Input	26	Gain Adjust
12	Bit 12 Input	27	+15V Supply
13	–15V Supply	28	Reference Output
14	Bit 13 Input	29	–15V Supply
15	Bit 14 Input	30	Zener Test Point Do Not Use

Substrate Bias: $-V_{CC}$

MECHANICAL INFORMATION

	MILS (0.001")	MILLIMETERS
Die Size	153 x 120	3.89 x 3.05
Die Thickness	20 Mils	0.5
Min. Pad Size	4 x 4	0.1 x 0.1
Metalization		Aluminum

See "DICE PRODUCTS" Appendix C in Burr-Brown IC Data Book, or contact factory for current information.



DAC703KD DIE TOPOGRAPHY

PAD	FUNCTION	PAD	FUNCTION
1	Bit 1 (MSB) Input	16	Bit 15 Input
2	Bit 2 Input	17	Bit 16 Input
3	Bit 3 Input	18	R_{FB} –10kΩ
4	Bit 4 Input	19	Voltage Output
5	Bit 5 Input	20	R_{FB} –10kΩ
6	Bit 6 Input	21	+5V Supply
7	Bit 7 Input	22	Digital Ground
8	Bit 8 Input	23	Analog Ground
9	Bit 9 Input	24	Current Output
10	Bit 10 Input	25	Bipolar Offset
11	Bit 11 Input	26	Gain Adjust
12	Bit 12 Input	27	+15V Supply
13	–15V Supply	28	Reference Output
14	Bit 13 Input	29	–15V Supply
15	Bit 14 Input	30	Zener Test Point Do Not Use

Substrate Bias: $-V_{CC}$

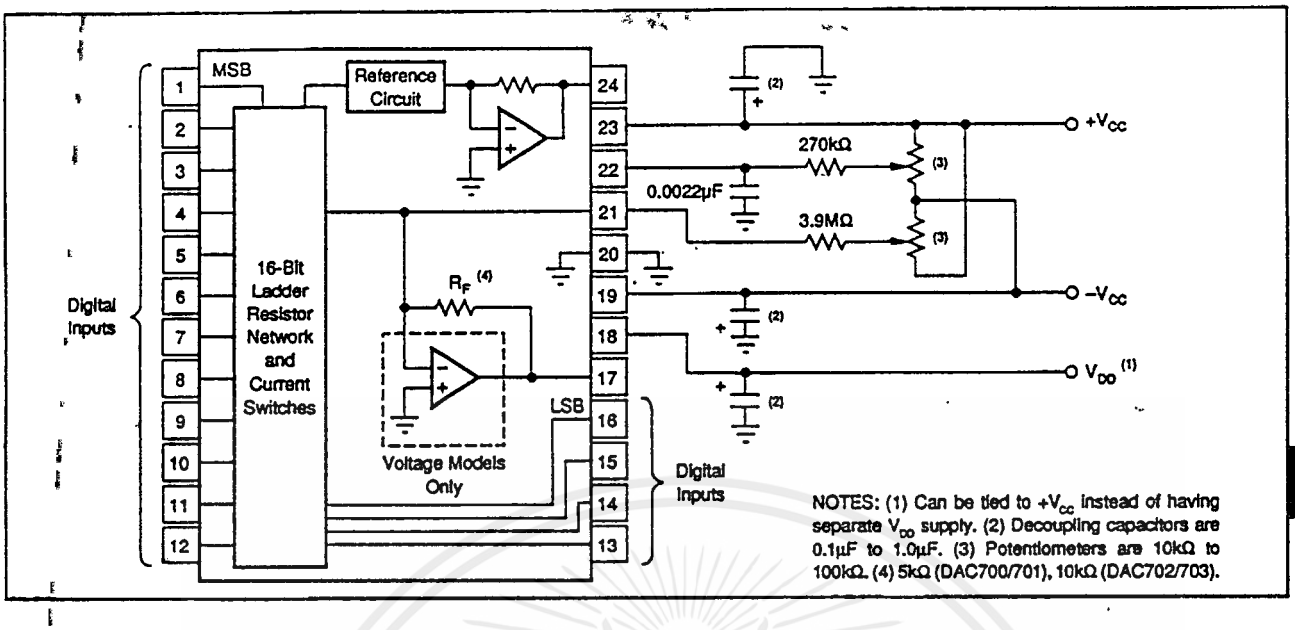
MECHANICAL INFORMATION

	MILS (0.001")	MILLIMETERS
Die Size	153 x 120	3.89 x 3.05
Die Thickness	20 Mils	0.5
Min. Pad Size	4 x 4	0.1 x 0.1
Metalization		Aluminum

See "DICE PRODUCTS" Appendix C in Burr-Brown IC Data Book, or contact factory for current information.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลง

CONNECTION DIAGRAMS



NOTES: (1) Can be tied to $+V_{CC}$ instead of having separate V_{PO} supply. (2) Decoupling capacitors are 0.1µF to 1.0µF. (3) Potentiometers are 10kΩ to 100kΩ. (4) 5kΩ (DAC700/701), 10kΩ (DAC702/703).

PIN ASSIGNMENTS

PIN #	ALL PACKAGES	
	DAC700/702	DAC701/703
1	Bit 1 (MSB)	Bit 1 (MSB)
2	Bit 2	Bit 2
3	Bit 3	Bit 3
4	Bit 4	Bit 4
5	Bit 5	Bit 5
6	Bit 6	Bit 6
7	Bit 7	Bit 7
8	Bit 8	Bit 8
9	Bit 9	Bit 9
10	Bit 10	Bit 10
11	Bit 11	Bit 11
12	Bit 12	Bit 12
13	Bit 13	Bit 13
14	Bit 14	Bit 14
15	Bit 15	Bit 15
16	Bit 16 (LSB)	Bit 16 (LSB)
17	$R_{FEEDBACK}$	V_{OUT}
18	V_{PO}	V_{PO}
19	$-V_{CC}$	$-V_{CC}$
20	Common	Common
21	I_{OUT}	Summing Junction (Zero Adjust)
22	Gain Adjust	Gain Adjust
23	$+V_{CC}$	$+V_{CC}$
24	+6.3V Reference Output	+6.3V Reference Output

PACKAGE INFORMATION[1]

MODEL	PACKAGE	PACKAGE DRAWING NUMBER
DAC702JP	24-Pin Plastic DIP	167
DAC703JP	24-Pin Plastic DIP	167
DAC702KP	24-Pin Plastic DIP	167
DAC703KP	24-Pin Plastic DIP	167
DAC702KD	Die	—
DAC703KD	Die	—
DAC700KH	24-Pin Ceramic DIP	165
DAC701KH	24-Pin Ceramic DIP	165
DAC702KH	24-Pin Ceramic DIP	165
DAC703KH	24-Pin Ceramic DIP	165
DAC700BH	24-Pin Ceramic DIP	165
DAC701BH	24-Pin Ceramic DIP	165
DAC702BH	24-Pin Ceramic DIP	165
DAC703BH	24-Pin Ceramic DIP	165
DAC700LH	24-Pin Ceramic DIP	165
DAC701LH	24-Pin Ceramic DIP	165
DAC702LH	24-Pin Ceramic DIP	165
DAC703LH	24-Pin Ceramic DIP	165
DAC700CH	24-Pin Ceramic DIP	165
DAC701CH	24-Pin Ceramic DIP	165
DAC702CH	24-Pin Ceramic DIP	165
DAC703CH	24-Pin Ceramic DIP	165
DAC702SH	24-Pin Ceramic DIP	165
DAC703SH	24-Pin Ceramic DIP	165
DAC703JU	24-Pin SOIC	239
DAC703KU	24-Pin SOIC	239

NOTE: (1) For detailed drawing and dimension table, please see end of data sheet, or Appendix D of Burr-Brown IC Data Book.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORDERING INFORMATION

MODEL	PACKAGE	OUTPUT CONFIGURATION	TEMPERATURE RANGE	LINEARITY ERROR, MAX AT +25°C (% of FSR)	GAIN DRIFT MAX (ppm/°C)
DAC702KD,703KD	25 Die/Pack	±1mA, ±10V	0°C to +70°C	±0.006	±30
DAC702JP, DAC703JP	Plastic DIP	±1mA, ±10V	0°C to +70°C	±0.006	±30
DAC702KP, DAC703KP	Plastic DIP	±1mA, ±10V	0°C to +70°C	±0.003	±25
DAC700KH, DAC701KH	Ceramic DIP	0 to –2mA, 0 to +10V	0°C to +70°C	±0.003	±25
DAC702KH, DAC703KH	Ceramic DIP	±1mA, ±10V	0°C to +70°C	±0.003	±25
DAC700BH, DAC701BH	Ceramic DIP	0 to –2mA, 0 to +10V	–25°C to +85°C	±0.003	±15
DAC702BH, DAC703BH	Ceramic DIP	±1mA, ±10V	–25°C to +85°C	±0.003	±15
DAC700LH, DAC701LH	Ceramic DIP	0 to –2mA, 0 to +10V	0°C to +70°C	±0.0015	±10
DAC700CH, DAC701CH	Ceramic DIP	0 to –2mA, 0 to +10V	–25°C to +85°C	±0.0015	±10
DAC700SH, DAC701SH	Ceramic DIP	0 to –2mA, 0 to +10V	–55°C to +125°C	±0.003	±15
DAC702LH, DAC703LH	Ceramic DIP	±1mA, ±10V	0°C to +70°C	±0.0015	±10
DAC702CH, DAC703CH	Ceramic DIP	±1mA, ±10V	–25°C to +85°C	±0.0015	±10
DAC702SH, DAC703SH	Ceramic DIP	±1mA, ±10V	–55°C to +125°C	±0.003	±15
DAC703JU	Plastic SOIC	±10V	0°C to +70°C	±0.006	±30
DAC703KU	Plastic SOIC	±10V	0°C to +70°C	±0.003	±25

DISCUSSION OF SPECIFICATIONS

DIGITAL INPUT CODES

The DAC700/701/702/703 accept complementary digital input codes in either binary format (CSB, unipolar or COB, bipolar). The COB models DAC702/703 may be connected by the user for either complementary offset binary (COB) or complementary two's complement (CTC) codes (see Table I).

DIGITAL INPUT CODES	ANALOG OUTPUT		
	DAC700/701 Complementary Straight Binary (CSB)	DAC702/703 Complementary Offset Binary (COB)	DAC702/703 Complementary Two's Complement (CTC)*
0000_H	+ Full Scale	+ Full Scale	–1LSB
$7FFF_H$	+1/2 Full Scale	Bipolar Zero	– Full Scale
8000_H	+1/2 Full Scale –1LSB	–1LSB	+ Full Scale
$FFFF_H$	Zero	– Full Scale	Bipolar Zero

* Invert the MSB of the COB code with an external inverter to obtain CTC code.

TABLE I. Digital Input Codes.

ACCURACY

Linearity

This specification describes one of the most important measures of performance of a D/A converter. Linearity error is the deviation of the analog output from a straight line drawn through the end points (all bits ON point and all bits OFF point).

Differential Linearity Error

Differential linearity error (DLE) of a D/A converter is the deviation from an ideal 1LSB change in the output from one adjacent output state to the next. A differential linearity error specification of ±1/2LSB means that the output step sizes can be between 1/2LSB and 3/2LSB when the input changes from one adjacent input state to the next. A negative DLE specification of no more than –1LSB (–0.006% for 14-bit resolution) insures monotonicity.

Monotonicity

Monotonicity assures that the analog output will increase or remain the same for increasing input digital codes. The DAC700/701/702/703 are specified to be monotonic to 14 bits over the entire specification temperature range.

DRIFT

Gain Drift

Gain drift is a measure of the change in the full-scale range output over temperature expressed in parts per million per degree centigrade (ppm/°C). Gain drift is established by: (1) testing the end point differences for each D/A at t_{MIN}, +25°C and t_{MAX}; (2) calculating the gain error with respect to the +25°C value; and (3) dividing by the temperature change.

Zero Drift

Zero drift is a measure of the change in the output with $FFFF_H$ (DAC700 and DAC701) applied to the digital inputs over the specified temperature range. For the bipolar models, zero is measured at $7FFF_H$ (bipolar zero) applied to the digital inputs. This code corresponds to zero volts (DAC703) or zero milliamps (DAC702) at the analog output. The maximum change in offset at t_{MIN} or t_{MAX} is referenced to the zero error at +25°C and is divided by the temperature change. This drift is expressed in parts per million of full scale range per degree centigrade (ppm of FSR/°C).

SETTLING TIME

Settling time of the D/A is the total time required for the analog output to settle within an error band around its final value after a change in digital input. Refer to Figure 1 for typical values for this family of products.

Voltage Output

Settling times are specified to ±0.003% of FSR (±1/2LSB for 14 bits) for two input conditions: a full-scale range change of 20V (DAC703) or 10V (DAC701) and a 1LSB change at the "major carry," the point at which the worst-case settling time occurs. (This is the worst-case point since all of the input bits change when going from one code to the next).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Current Output

Settling times are specified to ±0.003% of FSR for a full-scale range change for two output load conditions: one for 10Ω to 100Ω and one for 1000Ω. It is specified this way because the output RC time constant becomes the dominant factor in determining settling time for large resistive loads.

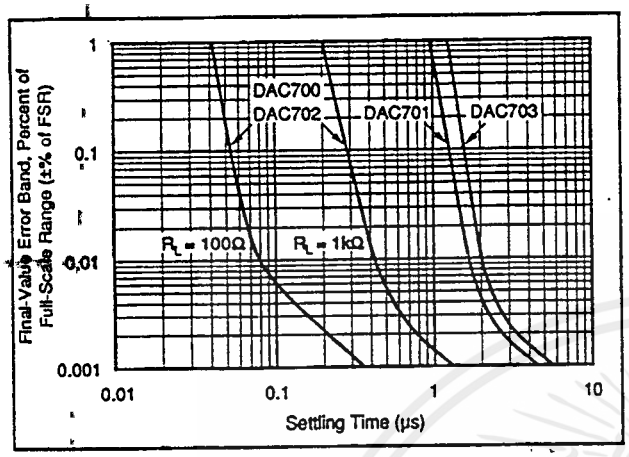


FIGURE 1. Final-Value Error Band vs Full-Scale Range Settling Time.

COMPLIANCE VOLTAGE

Compliance voltage applies only to current output models. It is the maximum voltage swing allowed on the output current pin while still being able to maintain specified accuracy.

POWER SUPPLY SENSITIVITY

Power supply sensitivity is a measure of the effect of a change in a power supply voltage on the D/A converter output. It is defined as a percent of FSR change in the output per percent of change in either the positive supply ($+V_{CC}$); negative supply ($-V_{CC}$) or logic supply (V_{DD}) about the nominal power supply voltages (see Figure 2).

It is specified for DC or low frequency changes. The typical performance curve in Figure 2 shows the effect of high frequency changes in power supply voltages.

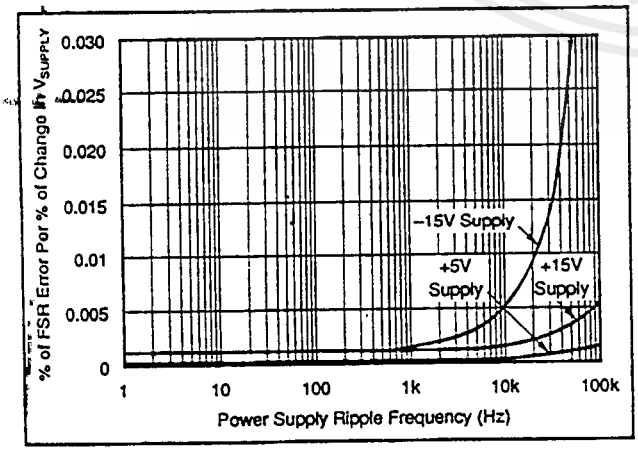


FIGURE 2. Power Supply Rejection vs Power Supply Ripple Frequency.

REFERENCE SUPPLY

All models have an internal low-noise +6.3V reference voltage derived from an on-chip buried zener diode. This reference voltage, available to the user, has a tolerance of ±5% (KH models) and ±1% (BH models). A minimum of 1.5mA is available for external loads. Since the output impedance of the reference output is typically 1W, the external load should remain constant.

If a varying load is to be driven by the reference supply, an external buffer amplifier is recommended to drive the load in order to isolate the bipolar offset (connected internally to the reference) from load variations.

OPERATING INSTRUCTIONS

POWER SUPPLY CONNECTIONS

For optimum performance and noise rejection, power supply decoupling capacitors should be added as shown in the Connection Diagram. 1µF tantalum capacitors should be located close to the D/A converter.

EXTERNAL ZERO AND GAIN ADJUSTMENT

Zero and gain may be trimmed by installing external zero and gain potentiometers. Connect these potentiometers as shown in the Connection Diagram and adjust as described below. TCR of the potentiometers should be 100ppm/°C or less. The 3.9MΩ and 270kΩ resistors (±20% carbon or better) should be located close to the D/A converter to prevent noise pickup. If it is not convenient to use these high-value resistors, an equivalent "T" network, as shown in Figure 3, may be substituted in place of the 3.9MΩ part. A 0.001µF to 0.01µF ceramic capacitor should be connected from Gain Adjust to Common to prevent noise pickup. Refer to Figures 4 and 5 for the relationship of zero and gain adjustments to unipolar and bipolar D/A converters.

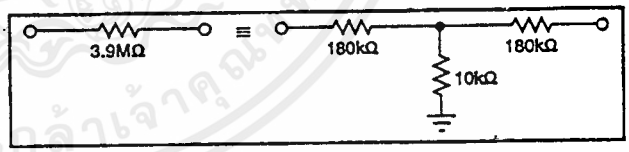


FIGURE 3. Equivalent Resistances.

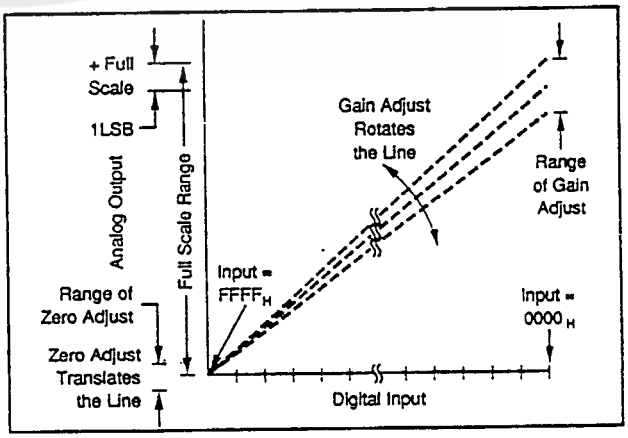


FIGURE 4. Relationship of Zero and Gain Adjustments for Unipolar D/A Converters, DAC700 and DAC701.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

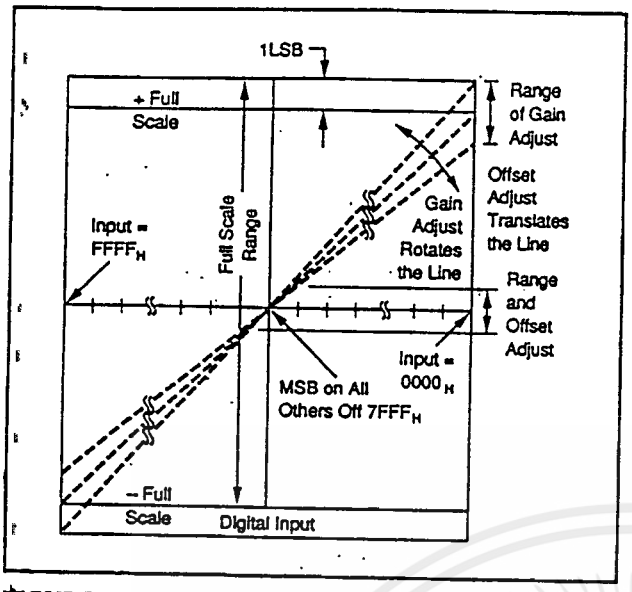


FIGURE 5. Relationship of Zero and Gain Adjustments for Bipolar D/A Converters, DAC702 and DAC703.

Zero Adjustment

For unipolar (CSB) configurations, apply the digital input code that produces zero voltage or zero current output and adjust the zero potentiometer for zero output.

For bipolar (COB, CTC) configurations, apply the digital input code that produces zero output voltage or current. See Table II for corresponding codes and the Connection Diagram for zero adjustment circuit connections. Zero calibration should be made before gain calibration.

Gain Adjustment

Apply the digital input that gives the maximum positive output voltage. Adjust the gain potentiometer for this positive full scale voltage. See Table II for positive full scale voltages and the Connection Diagram for gain adjustment circuit connections.

INSTALLATION CONSIDERATIONS

This D/A converter family is laser-trimmed to 14-bit linearity. The design of the device makes the 16-bit resolution available. If 16-bit resolution is not required, bit 15 and bit 16 should be connected to V_{DD} through a single 1kΩ resistor.

Due to the extremely high resolution and linearity of the D/A converter, system design problems such as grounding and contact resistance become very important. For a 16-bit converter with a 10V full-scale range, 1LSB is 153μV. With a load current of 5mA, series wiring and connector resistance of only 30mΩ will cause the output to be in error by 1LSB. To understand what this means in terms of a system layout, the resistance of #23 wire is about 0.021Ω/ft. Neglecting contact resistance, less than 18 inches of wire will produce a 1LSB error in the analog output voltage!

In Figures 6, 7, and 8, lead and contact resistances are represented by R_1 through R_5. As long as the load resistance R_L is constant, R_2 simply introduces a gain error and can be removed during initial calibration. R_3 is part of R_L, if the output voltage is sensed at Common, and therefore introduces no error. If R_L is variable, then R_2 should be less than $R_{L\,MIN}/2^{16}$ to reduce voltage drops due to wiring to less than 1LSB. For example, if $R_{L\,MIN}$ is 5kΩ, then R_2 should be less than 0.08Ω. R_L should be located as close as possible to the D/A converter for optimum performance. The effect of R_4 is negligible.

In many applications it is impractical to sense the output voltage at the output pin. Sensing the output voltage at the system ground point is permissible with the DAC700 family because the D/A converter is designed to have a constant return current of approximately 2mA flowing from Common. The variation in this current is under 20μA (with changing input codes), therefore R_4 can be as large as 3Ω without adversely affecting the linearity of the D/A converter. The voltage drop across R_4 (R_4 X 2mA) appears as a zero error and can be removed with the zero calibration adjustment. This alternate sensing point (the system ground point) is shown in Figures 6, 7, and 8.

Figures 7 and 8 show two methods of connecting the current output models (DAC700 or DAC702) with external precision output op amps. By sensing the output voltage at the load resistor (ie, by connecting R_F to the output of A_1 at R_L), the effect of R_1 and R_2 is greatly reduced. R_1 will cause a gain error but is independent of the value of R_L and can be eliminated by initial calibration adjustments. The effect of R_2 is negligible because it is inside the feedback loop of the output op amp and is therefore greatly reduced by the loop gain.

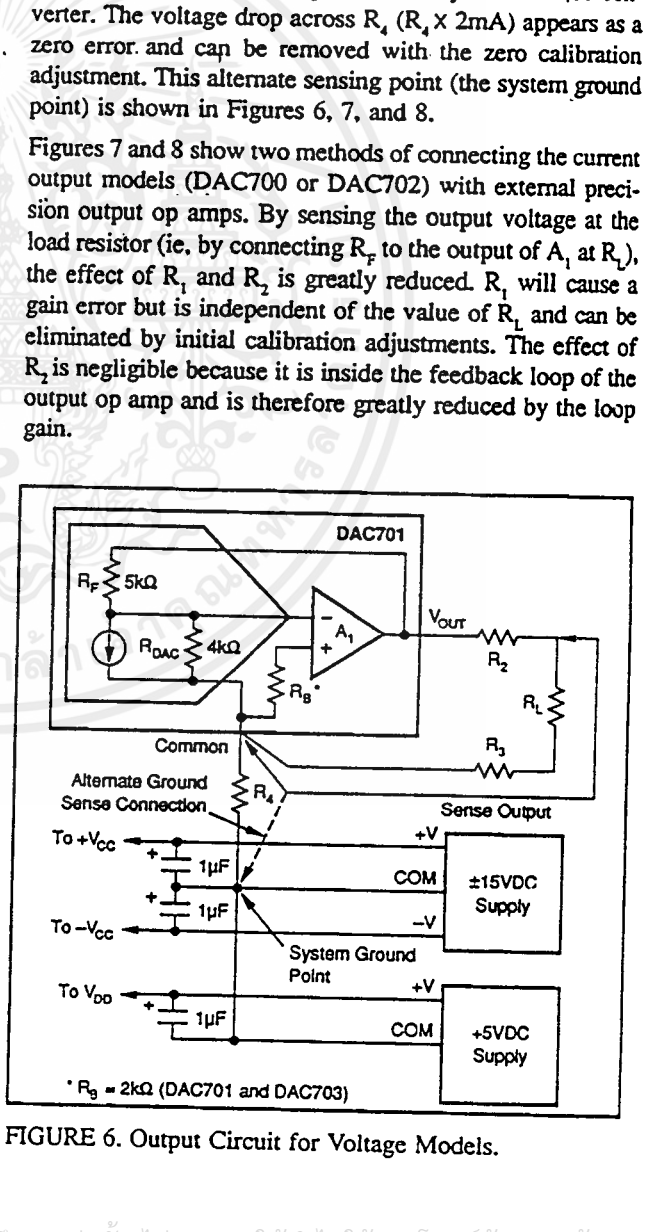


FIGURE 6. Output Circuit for Voltage Models.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของลิขสิทธิ์

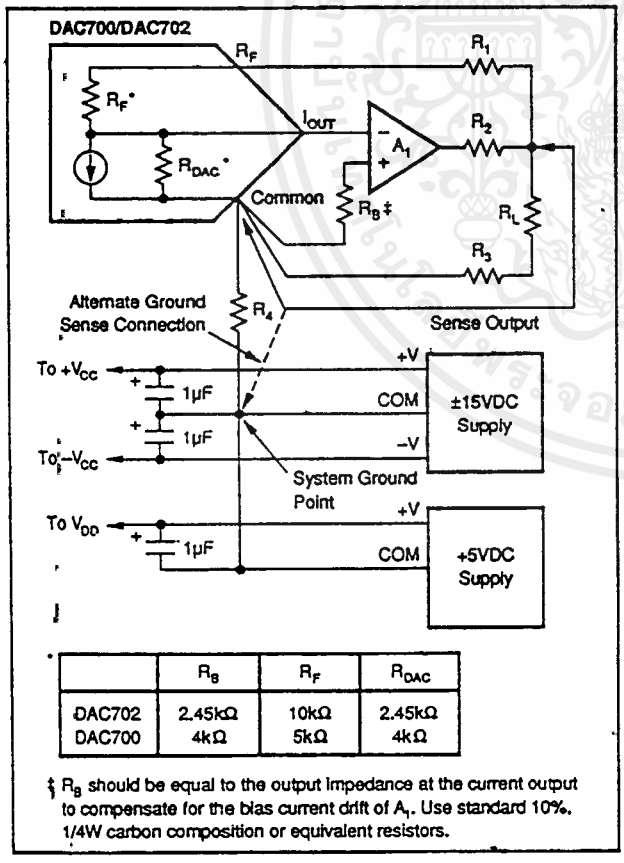
VOLTAGE OUTPUT MODELS							
		ANALOG OUTPUT					
		DAC701 UNIPOLAR			DAC703 BIPOLAR		
DIGITAL INPUT CODE		16-BIT	15-BIT	14-BIT	16-BIT	15-BIT	14-BIT
1LSB	(μV)	153	305	610	305	610	1224
0000_H	(V)	+9.99985	+9.99969	+9.99939	+9.99960	+9.99939	+9.99878
$FFFF_H$	(V)	0	0	0	−10.0000	−10.0000	−10.0000

ANALOG OUTPUT MODELS							
		ANALOG OUTPUT					
		DAC700 UNIPOLAR			DAC702 BIPOLAR		
DIGITAL INPUT CODE		16-BIT	15-BIT	14-BIT	16-BIT	15-BIT	14-BIT
1LSB	(μA)	0.031	0.061	0.122	0.031	0.061	0.122
0000_H	(mA)	−1.99997	−1.99994	−1.99988	−0.99997	−0.99994	−0.99988
$FFFF_H$	(mA)	0	0	0	+1.00000	+1.00000	+1.00000

TABLE II. Digital Input and Analog Output Relationships.

If the output cannot be sensed at Common or the sytem ground point as mentioned above, the differential output circuit shown in Figure 8 is recommended. In this circuit the output voltage is sensed at the load common and not at the D/A converter common as in the previous circuits. The value of R_6 and R_7 must be adjusted for maximum common-mode rejection at R_L. Note that if R_3 is negligible, the circuit of Figure 8 can be reduced to the one shown in Figure 7. Again the effect of R_4 is negligible.

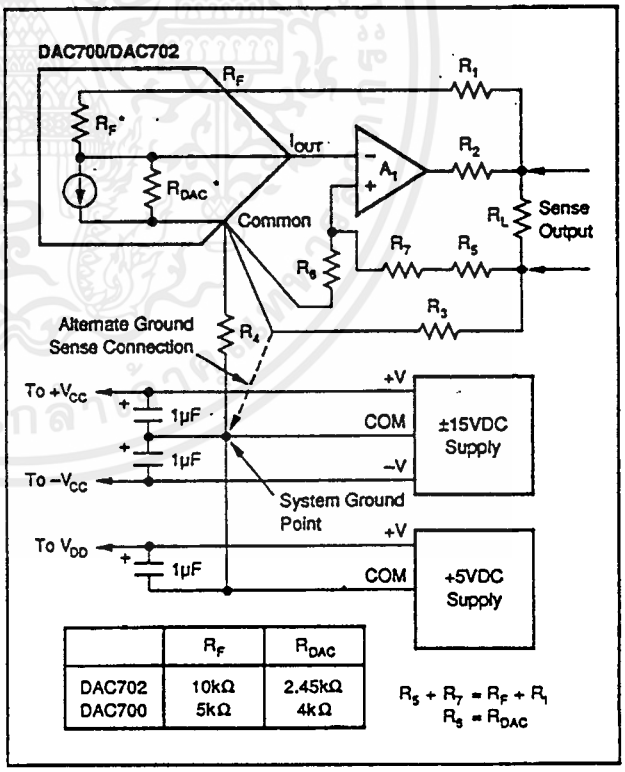
The D/A converter and the wiring to its connectors should be located to provide optimum isolation from sources of RFI and EMI. The key concept in elimination of RF radiation or pickup is loop area; therefore, signal leads and their return conductors should be kept close together. This reduces the external magnetic field along with any radiation. Also, if a single lead and its return conductor are wired close together, they present a small flux-capture cross section for any external field. This reduces radiation pickup in the circuit.



	R_B	R_F	R_{DAC}
DAC702	2.45kΩ	10kΩ	2.45kΩ
DAC700	4kΩ	5kΩ	4kΩ

‡ R_B should be equal to the output impedance at the current output to compensate for the bias current drift of A_1. Use standard 10%. 1/4W carbon composition or equivalent resistors.

FIGURE 7. Preferred External Op Amp Configuration.



	R_F	R_{DAC}
DAC702	10kΩ	2.45kΩ
DAC700	5kΩ	4kΩ

$R_5 + R_7 = R_F + R_1$
$R_6 = R_{DAC}$

FIGURE 8. Differential Sensing Output Op Amp Configuration.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงลิขสิทธิ์ของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1) ประธาน ศรีวิไล,วรพจน์ วงศ์ผดุงเกียรติและสนาน นิติสัมพันธ์,กล้องจุลทรรศน์เลื่อนกราดแบบทันเนลลิ่ง 1 ,2539

2) Roland Wiesendanger, Scanning Probe Microscopy and Spectrocopy Methods and Application, Cambridge,1994

3) Antonio Cricenti, Renato Generosi and Stefano Selci, A Scanning tunneling microscope suitable for biological applications, American Institute of Physics , 1994.

4) Andrew I.Leauite , Taejoon Han M.Williams. Roger S. Bryuen David L. Patrick, Carol 2) E. Rabke and Thomas P. Beebe, Ultrahigh vacuum surface science chamber with integral scanning tunneling microscope, American Institute of Physics, 1994.

5) Morgan Matroc Limited, Tranducer Products Division

6) Othmar Marti, The Tunneling Current - A Simple Theory, 1997

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้