# การแปลงสัญญาณอานาลอกเป็นสัญญาณดิจิตอลโดยวิธีการประมาณค่าตามลำดับขั้นด้วยสวิตช์-คาปาซิเตอร์ ขนาด 8 บิต

# 8 - BIT SWITCHED-CAPACITOR SUCCESSIVE APPROXIMATION ADC

T030959


นายธงชัย มณีชูเกตุ

MR. THONGCHAI MANEECHUKATE


วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2541


ISBN 974-622-202-3



ลขหมู่..................................

ลขทะเบียน......30959......

น, เดือน, ปี 4 ก.ย. 2541



ลิขสิทธิ์ของบัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# 8 - BIT SWITCHED-CAPACITOR SUCCESSIVE APPROXIMATION ADC

THONGCHAI MANEECHUKATE

A THESIS SUBMITTED IN PARTIAL FULFILLMENT

OF THE REQUIREMENT FOR THE DEGREE

MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

1998

ISBN 974-622-202-3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| | |
|---|---|
| **หัวข้อวิทยานิพนธ์** | การแปลงสัญญาณอานาลอกเป็นสัญญาณดิจิตอลโดย วิธีการประมาณค่าตามลำดับขั้นด้วยสวิตช์-คาปาซิเตอร์ ขนาด 8 บิต |
| **นักศึกษา** | นายธงชัย มณีชูเกตุ |
| **อาจารย์ผู้ควบคุมวิทยานิพนธ์** | รศ.ดร. สุวิพล สิทธิชีวภาค |
| **อาจารย์ผู้ควบคุมวิทยานิพนธ์ร่วม** | รศ.ดร. ปราโมทย์ วาดเขียน |
| **ระดับการศึกษา** | วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชา วิศวกรรมไฟฟ้า สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง |
| **พ.ศ.** | 2541 |


## บทคัดย่อ

วิทยานิพนธ์ฉบับนี้ได้นำเสนอหลักการประยุกต์ใช้งานวงจรสวิตช์ - คาปาซิเตอร์ (SC) เพื่อออกแบบวงจรแปลงสัญญาณอานาลอกเป็นสัญญาณดิจิตอล (A/D) โดยวิธีการประมาณค่าตามลำดับขั้นแบบอัลกอริธึมบวก และอัลกอริธึมลบ (Successive Approximation ADC) ขนาด 8 บิต โดยวงจรทำงานในลักษณะของการปั๊มประจุ (charge pump) ภายใต้กฎการอนุรักษ์ประจุ (Conservative of charge) ซึ่งวงจรหลักประกอบด้วย ส่วนสร้างระดับสัญญาณอ้างอิง, ส่วนวงจรรวมประจุ และวงจรเปรียบเทียบสัญญาณ ซึ่งผลของการเลียนแบบโดยโปรแกรม Pspice และผลจากการทดลอง ให้ผลสอดคล้องตามกันอย่างดี วงจรมีข้อดีคือสามารถ นำไปสร้างเป็น IC ได้




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| | |
|---|---|
| **Thesis** | 8-bit Switched-Capacitor Successive Approximation ADC |
| **Student** | Mr. Thongchai Maneechukate |
| **Thesis Advissor** | Assoc. Prof. Dr. Suvepon Sittichivapak |
| **Thesis Co-advisor** | Assoc. Prof. Dr. Pramote Wardkien |
| **Level of Study** | Master of Engineering in Electrical Engineering<br>King Mongkut's Institute of Technology Ladkrabang |
| **Year** | 1998 |


## Abstract

An 8-bit switched-capacitor A/D converter using successive-approximation with positive and negative algorithm is proposed. The scheme is based on charge pump and conservative of charge. The circuit components compose of voltage reference, charge combination and comparator circuit. The experiment shows the effectively theoretical results and also Pspice simulation results. The circuit can be implemented in IC version.




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้ สำเร็จลุล่วงไปด้วยดี เพราะได้รับความเมตตากรุณาจาก รศ.ดร.สุวิพล สิทธิชีวภาค และ รศ.ดร.ปราโมทย์ วาดเขียน ที่ได้ให้คำปรึกษา และแนะนำผู้วิจัยตลอดเวลา ผู้วิจัยรู้สึกซาบซึ้งในความอนุเคราะห์จากท่าน และขอกราบขอบพระคุณเป็นอย่างสูงไว้ ณ ที่นี้

ขอกราบขอบพระคุณ รศ.ดร.วิวัฒน์ กิรานนท์ และอาจารย์ทุกท่านที่มิได้เอ่ยนาม ที่ได้ให้ความกรุณา ประสิทธิ์ ประสาท วิชาความรู้ทั้งหลายให้แก่ผู้วิจัย

ขอกราบขอบพระคุณผู้เชี่ยวชาญ และผู้ทรงคุณวุฒิทุกท่านที่ได้บันทึกทฤษฎีต่าง ๆ ที่เป็นพื้นฐานในการออกแบบค้นคว้าและพัฒนาความรู้จนเป็นตำราและบทความให้แก่ผู้วิจัยได้ทำการศึกษาค้นคว้าตลอดมา รวมทั้งมูลนิธิเพื่อการศึกษาคอมพิวเตอร์และการสื่อสาร (C&C) ที่ได้ให้การสนับสนุนทางด้านทุนการศึกษาแก่ผู้วิจัย

ขอกราบขอบพระคุณ ภาควิชา วิศวกรรมโทรคมนาคม, ศูนย์บริการและพัฒนาวิศวกรรม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง และภาควิชาฟิสิกส์ คณะวิทยาศาสตร์ มหาวิทยาลัยนเรศวร ที่ให้การอนุเคราะห์ ทั้งอุปกรณ์ เครื่องมือ เครื่องใช้ และสถานที่ในการทำวิทยานิพนธ์ในครั้งนี้

ขอขอบพระคุณ คุณมานะชัย เหลืองจารุธร ที่ได้เอื้อเฟื้อตำรา และจัดหาตำรา บทความที่สำคัญมาให้โดยมิได้เอ่ยขอ สุดท้ายนี้ขอขอบพระคุณ คุณสมบูรณ์ วรางคณากูล ที่ช่วยจัดพิมพ์ต้นฉบับวิทยานิพนธ์จนเสร็จสมบูรณ์

คุณค่าและประโยชน์อันพึงมีจากวิทยานิพนธ์ฉบับนี้ ผู้วิจัยขอมอบแด่ผู้มีพระคุณทุกท่าน

ธงชัย มณีชูเกตุ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ

หน้า


บทคัดย่อภาษาไทย....................I

บทคัดย่อภาษาอังกฤษ....................II

กิตติกรรมประกาศ....................III

สารบัญ....................IV

สารบัญตาราง....................VII

สารบัญภาพ....................VIII

บทที่

1. บทนำ....................1

1.1 ความเป็นมาและความสำคัญของปัญหา....................1

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา....................2

1.3 สมมติฐานของการศึกษา....................3

1.4 ทฤษฎีหรือแนวคิดที่ใช้ในการวิจัย....................3

1.5 ขอบเขตของการวิจัย....................3

1.6 วิธีที่ใช้ในการดำเนินการวิจัย....................4

2. การแปลงสัญญาณอานาลอกเป็นสัญญาณดิจิตอล....................5

2.1 บทนำ....................5

2.2 หลักการแปลงสัญญาณอานาลอกเป็นสัญญาณดิจิตอล....................5

2.3 วงจร *A/D* ความเร็วต่ำ....................7

2.3.1 Single slope *A/D converter* หรือ *Pulse width modulator A/D converter*....................7

2.3.2 *Dual slope A/D converter* หรือ *Up-down integrator A/D converter*....................9

2.4 วงจร *A/D* ความเร็วปานกลาง....................12

2.4.1 *Successive approximation A/D converter*....................12

2.4.2 *Algorithmic A/D converter*....................15




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ (ต่อ)

บทที่ หน้า


2.5 วงจร *A/D* ความเร็วสูง....17

2.5.1 *Parallel A/D converter* หรือ *Flash A/D converter*....17

3. การแปลงสัญญาณอานาลอกเป็นสัญญาณดิจิตอลโดยวิธีประมาณค่าตามลำดับขั้นด้วยสวิตช์-คาปาซิเตอร์ ขนาด 8 บิต....20

3.1 บทนำ....20

3.2 รหัสไบนารีและความสัมพันธ์ของการแปลงสัญญาณ....20

3.2.1 ปริมาณทางดิจิตอล....20

3.2.2 รหัสไบนารี-จำนวนเต็มและเศษส่วนของรหัสไบนารี....21

3.3 การแปลงสัญญาณอานาลอกเป็นสัญญาณดิจิตอลโดยการประมาณค่าตามลำดับขั้น....23

3.3.1 หลักการแปลงแบบ *SAADC*....26

3.4 อัลกอริธึม *SAADC* แบบลบและอัลกอริธึม *SAADC* แบบบวก....29

3.4.1 อัลกอริธึม *SAADC* แบบลบ....31

3.4.2 อัลกอริธึม *SAADC* แบบบวก....31

3.5 หลักการทำงานของวงจรสวิตช์-คาปาซิเตอร์ในลักษณะของการปั๊มประจุ (*charge pump*) ภายใต้กฎการอนุรักษ์ประจุ....34

4. การออกแบบและการทำงานของวงจร *SAADC*....39

4.1 บทนำ....39

4.2 หลักการออกแบบวงจร *SAADC*....39

4.2.1 การออกแบบส่วนวงจรสร้างระดับสัญญาณอ้างอิง....40

4.2.2 การออกแบบส่วนวงจรประมวลผลแบบมีเงื่อนไข....41

4.2.2.1 วงจรประมวลผลแบบมีเงื่อนไขอัลกอริธึมแบบลบ....41

4.2.2.2 การทำงานของวงจร *SAADC* อัลกอริธึมแบบลบ....43

4.2.2.3 วงจรประมวลผลแบบมีเงื่อนไขอัลกอริธึมแบบบวก....47

4.2.2.4 การทำงานของวงจร *SAADC* อัลกอริธึมแบบบวก....49




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ (ต่อ)


บทที่ หน้า

5. ผลการเลียนแบบและผลการทดลอง.....53

5.1 บทนำ.....53

5.2 ผลการเลียนแบบวงจรด้วยโปรแกรม *Pspice*.....53

5.3 ผลการทดลองจากวงจรจริง.....60

5.3.1 ค่าเวลาของการแปลงสัญญาณ.....66

5.4 การทดสอบทางไดนามิกของวงจร *SAADC*.....67

5.5 ผลการวิเคราะห์ค่าผิดพลาด จากการแปลงสัญญาณ *SAADC*.....72

5.5.1 ผลการวิเคราะห์ค่าผิดพลาดจากการเลียนแบบ.....72

5.5.2 ผลการวิเคราะห์ค่าผิดพลาดจากการทดลองด้วยวงจรจริง.....74

6. สรุปผลการวิจัยและข้อเสนอแนะ.....77

บรรณานุกรม.....78

ภาคผนวก.....79

ภาคผนวก ก.....80

ภาคผนวก ข.....91

ภาคผนวก ค.....99

ประวัติผู้เขียน.....107




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญตาราง

ตารางที่ หน้า


3.1 ค่าของไบนารีในเลขฐานสิบ.....21

3.2 รหัสไบนารีจำนวนเต็มและเศษส่วน.....22

3.3 การประมาณค่ารหัสไบนารี.....23

3.4 น้ำหนักประจำบิต.....25

3.5 ระดับสัญญาณอ้างอิงเพื่อใช้แทนน้ำหนักประจำบิต.....25

5.1 ค่าบิตเอาต์พุตดิจิตอลที่ได้จากการเลียนแบบของ *SAADC* อัลกอริธึมแบบลบ.....54

5.2 ค่าบิตเอาต์พุตดิจิตอลที่ได้จากการเลียนแบบของ *SAADC* อัลกอริธึมแบบบวก.....57

5.3 ผลการทดลองวงจร *SAADC* อัลกอริธึมแบบลบ.....60

5.4 ผลการทดลองวงจร *SAADC* อัลกอริธึมแบบบวก.....64




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญภาพ

หน้า

2.1 หลักการเบื้องต้นของวงจร *A/D* converter....6
2.2 กราฟความสัมพันธ์ระหว่างสัญญาณต่อเนื่องและสัญญาณดิจิตอล....6
2.3 วงจรพื้นฐานของ *Single slope A/D converter*....7
2.4 วงจรพื้นฐานของ *Dual slope A/D converter*....9
2.5 กราฟความสัมพันธ์ระหว่างค่าศักดาจุดออกวงจรอินทิเกรต $V_{int}$ กับเวลา $t$ ....11
2.6 รูปแบบการเปรียบเทียบสัญญาณต่อเนื่องกับสัญญาณเปรียบเทียบ *Successive Approximation ADC*....13
2.7 วงจรพื้นฐานของ *Successive Approximation ADC* ....14
2.8 ตัวอย่างความสัมพันธ์ระหว่างสัญญาณต่อเนื่องจุดออก $V_{OA}$ จาก *D/A* กับสัญญาณจุดเข้า $V_{int}$....14
2.9 หลักการทำงาน และวงจรพื้นฐานของ *Algorithmic ADC*....15
2.10 หลักการทำงานของ *Parallel ADC*....17
2.11 วงจรพื้นฐานของ *Parallel ADC*....18
3.1 สัญญาณเปรียบเทียบจากตัวอย่าง เมื่อให้ $V_{int} = 0.8\ V$ และ $n = 4$....29
3.2 แผนภูมิของอัลกอริธึม *SAADC* แบบลบ....30
3.3 แผนภูมิของอัลกอริธึม *SAADC* แบบบวก....33
3.4 วงจรสวิตช์-คาปาซิเตอร์ ในลักษณะการปั๊มประจุ (*charge pump*) ที่ให้ค่า $V_0 = -V_{in}$ ถ้า $C_1 = C_2$....34
3.4ก วงจรสวิตช์-คาปาซิเตอร์ ในลักษณะการปั๊มประจุ....34
3.4ข แผนภูมิลำดับการทำงานของสวิตช์ $\phi_1$ และ $\phi_2$....34
3.5 วงจรขณะที่สวิตช์ $\phi_1$ ทำงาน....35
3.6 วงจรขณะที่สวิตช์ $\phi_2$ ทำงาน....35
3.7 วงจรสวิตช์-คาปาซิเตอร์ ในลักษณะการปั๊มประจุ ที่ให้ค่า $V_0 = V_{in}$ ถ้า $C_1 = C_2$....36
3.7ก วงจรสวิตช์-คาปาซิเตอร์ ในลักษณะการปั๊มประจุ....36
3.7ข แผนภูมิลำดับการทำงานของสวิตช์ $\phi_1$ และ $\phi_2$....36



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญภาพ (ต่อ)

หน้า


3.8 วงจรขณะที่สวิตช์ $\phi_1$ ทำงาน....................................................................37

3.9 วงจรขณะที่สวิตช์ $\phi_2$ ทำงาน....................................................................37

4.1 บล๊อกไดอะแกรมของวงจรแปลงสัญญาณอานาลอกเป็นสัญญาณดิจิตอล
โดยการประมาณค่าตามลำดับขั้นด้วย *SC*.........................................................39

4.2ก วงจรสร้างระดับสัญญาณอ้างอิง......................................................................40

4.2ข วงจรสร้างระดับสัญญาณอ้างอิงที่เอาต์พุตของออปแอมป์1..............................40

4.3 แผนภูมิสัญญาณนาฬิกาควบคุมของวงจรสร้างระดับสัญญาณอ้างอิง................41

4.4 ส่วนวงจรประมวลผลแบบมีเงื่อนไขอัลกอริธึมลบ.............................................41

4.5 แผนภูมิสัญญาณนาฬิกาของอัลกอริธึมแบบลบ.................................................42

4.6 วงจร *SAADC* อัลกอริธึมลบ...........................................................................42

4.7 วงจรขณะที่อยู่ในช่วงสัญญาณนาฬิกาลูกที่สอง.................................................43

4.7ก ขณะที่ $\phi_1$, $\phi_4$ ทำงาน...........................................................................43

4.7ข ขณะที่ $\phi_1$, $\phi_5$ ทำงาน...........................................................................43

4.8 วงจรขณะขอบขาขึ้นของสัญญาณนาฬิกาลูกที่ 3 $\phi_2$, $\phi_4$, $\phi_6$, $\phi_8$ ทำงาน.............44

4.9 วงจรในจังหวะที่เกิดการรวมกันของประจุเมื่อ $\phi_0$ ปิดวงจร................................45

4.10 วงจรขณะที่สวิตช์ $\phi_0$ เปิดวงจร....................................................................46

4.11 การเปลี่ยนแปลงของวงจรสร้างระดับสัญญาณอ้างอิง.......................................47

4.12 แผนภูมิสัญญาณนาฬิกาควบคุมอัลกอริธึมบวก.................................................48

4.13 ส่วนวงจรประมวลผลแบบมีเงื่อนไขอัลกอริธึมบวก............................................48

4.14 วงจร *SAADC* อัลกอริธึมบวก.........................................................................49

4.15 วงจรขณะที่อยู่ในช่วงสัญญาณนาฬิกาลูกที่สอง...............................................50

4.15ก ขณะที่สวิตช์ $\phi_2$ ทำงาน...........................................................................50

4.15ข ขณะที่สวิตช์ $\phi_3$ ทำงาน...........................................................................50

4.16 การรวมกันของประจุ กรณี $\phi_C$ เป็น *Hight*...................................................51

4.17 การรวมกันของประจุ กรณี $\phi_C$ เป็น *Low*.....................................................52




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญภาพ (ต่อ)

หน้า

5.1ก ผลการเลียนแบบของวงจร *SAADC* อัลกอริธึมแบบลบ $V_{DC} = 1V$......................55

5.1ข ผลการเลียนแบบของวงจร *SAADC* อัลกอริธึมแบบลบ $V_{DC} = 2V$......................55

5.1ค ผลการเลียนแบบของวงจร *SAADC* อัลกอริธึมแบบลบ $V_{DC} = 3V$......................56

5.1ง ผลการเลียนแบบของวงจร *SAADC* อัลกอริธึมแบบลบ $V_{DC} = 4V$......................56

5.2ก ผลการเลียนแบบของวงจร *SAADC* อัลกอริธึมแบบบวก $V_{DC} = 1V$..................58

5.2ข ผลการเลียนแบบของวงจร *SAADC* อัลกอริธึมแบบบวก $V_{DC} = 2V$..................58

5.2ค ผลการเลียนแบบของวงจร *SAADC* อัลกอริธึมแบบบวก $V_{DC} = 3V$..................59

5.2ง ผลการเลียนแบบของวงจร *SAADC* อัลกอริธึมแบบบวก $V_{DC} = 4V$..................59

5.3 สัญญาณนาฬิกาควบคุม *CLK, S/H,* $\phi_1$ และ $\phi_2$..................................................61

5.4 สัญญาณนาฬิกาควบคุม $\phi_2$, $\phi_3$, $\phi_4$ และ $\phi_5$..................................................61

5.5 สัญญาณนาฬิกาควบคุม $\phi_5$, $\phi_6$, $\phi_7$ และ $\phi_8$..................................................62

5.6 ผลการทดลองวงจร *SAADC* อัลกอริธึมแบบลบ..................................................63

5.6ก $V_{DC} = 1V$..................................................63

5.6ข $V_{DC} = 2V$..................................................63

5.6ค $V_{DC} = 3V$..................................................63

5.6ง $V_{DC} = 4V$..................................................63

5.7 ผลการทดลองวงจร *SAADC* อัลกอริธึมแบบบวก..................................................65

5.7ก $V_{DC} = 1V$..................................................65

5.7ข $V_{DC} = 2V$..................................................65

5.7ค $V_{DC} = 3V$..................................................65

5.7ง $V_{DC} = 4V$..................................................65

5.8 บล็อกไดอะแกรมของวงจรที่ใช้ทดสอบผลทางไดนามิกของ *SAADC*................67

5.9 ผลทดสอบทางไดนามิกของวงจร *SAADC* อัลกอริธึมแบบลบ
โดยป้อนสัญญาณอินพุตที่ความถี่ *200 Hz*..................................................68

5.10 ผลทดสอบทางไดนามิกของวงจร *SAADC* อัลกอริธึมแบบลบ
โดยป้อนสัญญาณอินพุตที่ความถี่ *500 Hz*..................................................69



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญภาพ (ต่อ)

หน้า

5.11 ผลทดสอบทางไดนามิกของวงจร *SAADC* อัลกอริธึมแบบบวก
โดยป้อนสัญญาณอินพุตที่ความถี่ *200 Hz*.....70
5.12 ผลทดสอบทางไดนามิกของวงจร *SAADC* อัลกอริธึมแบบบวก
โดยป้อนสัญญาณอินพุตที่ความถี่ *500 Hz*.....71
5.13 กราฟของการแปลงสัญญาณจากวงจร *SAADC* อัลกอริธึมแบบลบ.....72
5.14 ค่าผิดพลาดจากการเลียนแบบของวงจร *SAADC*
อัลกอริธึมแบบลบ.....72
5.15 กราฟของการแปลงสัญญาณจากวงจร *SAADC* อัลกอริธึมแบบบวก.....73
5.16 ค่าผิดพลาดจากการเลียนแบบของวงจร *SAADC*
อัลกอริธึมแบบบวก.....73
5.17 กราฟของการแปลงสัญญาณจากวงจร *SAADC* อัลกอริธึมแบบลบ.....74
5.18 ค่าผิดพลาดจากการเลียนแบบของวงจร *SAADC*
อัลกอริธึมแบบลบ.....74
5.19 กราฟของการแปลงสัญญาณจากวงจร *SAADC* อัลกอริธึมแบบบวก.....75
5.20 ค่าผิดพลาดจากการเลียนแบบของวงจร *SAADC*
อัลกอริธึมแบบบวก.....75



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1
# บทนำ

## 1.1 ความเป็นมาและความสำคัญของปัญหา

การแปลงสัญญาณอานาลอกเป็นดิจิตอล (*Analog to Digital Conversion, ADC*) เป็นสิ่งสำคัญมากในกระบวนการประมวลผลแบบดิจิตอลของสัญญาณอานาลอก และปัจจุบันการค้นคว้าหลักการ *ADC* ได้ให้ความสนใจอย่างมากกับการแปลงแบบ *Oversampling* $\Delta\Sigma$ และการแปลงแบบแฟลช ซึ่งมักนิยมใช้สำหรับกระบวนการประมวลสัญญาณเสียง และสัญญาณภาพตามลำดับ อย่างไรก็ตามระหว่างวิธีการทั้งสองค่อนไปทางวิธีการแบบแฟลช ยังมีวิธีการของ *ADC* ซึ่งใช้วิธีการประมาณค่าตามลำดับขั้น (*Successive Approximation, SA*) อยู่ ซึ่งยังคงเป็นที่นิยมกันอย่างแพร่หลายสำหรับงานประมวลสัญญาณที่มีความเร็วในระดับปานกลาง วิธีการนี้ความละเอียดในการแปลงสูง สัญญาณอานาลอกโวลเตจอินพุตถูกแปลงเป็นรหัสเลขฐานสองโดยการเปรียบเทียบกับลำดับโวลเตจเทรซโฮลด์ที่ใช้ทำควันไตซ์ ดังนั้นองค์ประกอบที่สำคัญของวิธีการแปลงสัญญาณวิธีนี้ก็คือ ตัวแปลงสัญญาณดิจิตอลเป็นอานาลอก (*Digital to Analog Converter, D/A*) ส่วนสร้างสัญญาณอ้างอิง

สำหรับเทคโนโลยีแบบไบโพลาร์ ตัว *D/A* ถูกสร้างโดยใช้แหล่งกำเนิดกระแสที่มีการให้น้ำหนักแบบไบนารีกับ $R-2R$ *ladder circuits* อย่างไรก็ตามสำหรับเทคโนโลยีแบบ *CMOS* นั้นเป็นการยากที่จะสร้างแหล่งกำเนิดกระแสที่มีการให้น้ำหนักที่ละเอียด ดังนั้นมันจึงก่อให้เกิดความแตกต่างของค่าโวลเตจเทรซโฮลด์มาก ๆ เพราะฉะนั้นตัวเก็บประจุแบบลำดับที่มีการให้น้ำหนักแบบเลขฐานสองรวมกับการแทปความต้านทานจึงมักถูกนำมาใช้แทนที่ [1], [2] ผลของวิธีการดังกล่าวให้ความเที่ยงตรงแต่ต้องใช้ตัวเก็บประจุจำนวนมาก ทำให้ต้องใช้พื้นที่ของชิพที่กว้างและใช้เวลาในการเซ็ทตัวที่นานอย่างหลีกเลี่ยงไม่ได้ ซึ่งจุดเริ่มของปัญหาเหล่านี้มาจากการใช้ *D/A* แบบขนานในการสร้างระดับสัญญาณอ้างอิงค่าต่าง ๆ ซึ่งการแก้ปัญหาดังกล่าวมีเสนออยู่ในบทความอ้างอิง [3] โดยหันมาใช้ *D/A* แบบอนุกรมที่สร้างมาจาก สวิตซ์ - คาปาซิเตอร์ (*Switched- Capacitor, SC*)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับในวิทยานิพนธ์ฉบับนี้ ได้เสนออัลกอริธึมทั้งแบบบวก และแบบลบในการแปลงสัญญาณอานาลอกเป็นสัญญาณดิจิตตอลด้วยวิธีการประมาณค่าตามลำดับขั้น (*SA*) ที่สร้างด้วย *SC* อย่างเต็มรูปแบบโดยไม่ต้องอาศัย *D/A* และตัว *LATCH* สัญญาณเหมือนบทความอ้างอิง [3] ซึ่งผลจากการเลียนแบบโดยโปรแกรมพีสไปซ์ และผลจากการทดลองยืนยันให้เห็นว่าอัลกอริธึมดังกล่าวสามารถทำงานได้เป็นอย่างดีโดยโครงสร้างวงจรที่ออกแบบโดยอัลกอริธึมแบบบวกจะมีโครงสร้างที่เล็กกระทัดรัด และใช้สัญญาณนาฬิกาควบคุมจำนวนน้อยเฟสกว่าแบบลบ เพราะวงจรสร้างด้วยหลักการ *SC* อย่างสมบูรณ์จึงเหมาะที่จะนำไปสร้างเป็นวงจรรวม

## 1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

วัตถุประสงค์ในการทำวิทยานิพนธ์ เรื่อง "การแปลงสัญญาณอานาลอกเป็นสัญญาณดิจิตอลโดยวิธีการประมาณค่าตามลำดับขึ้น ด้วยสวิตช์ – คาปาซิเตอร์ขนาด 8 บิต" มีด้วยกันอยู่ 3 ประการหลัก ๆ กล่าวคือ

1. เพื่อพัฒนาวงจรแปลงสัญญาณอานาลอกเป็นดิจิตอล แบบการประมาณค่าตามลำดับขั้น (*Successive Aproximation ADC, SAADC*) ที่มีประสิทธิภาพในการแปลงสัญญาณที่ดี มีความสามารถในการแปลงสัญญาณได้ที่ความเร็วปานกลาง มีความผิดเพี้ยนของสัญญาณต่ำ และมีความคล่องตัวในการนำไปประยุกต์ใช้งาน

2. เพื่อนำเสนอหลักการทำงานของวงจร *SAADC* ที่สร้างขึ้นมาจาก *SC* อย่างเต็มรูปแบบ และสัญญาณนาฬิกาควบคุมยังมีลักษณะเป็น *closed form* อีกด้วยจึงไม่จำเป็นต้องใช้ตัว *LATCH* สัญญาณและ *D/A* ซึ่งเหมาะที่จะนำไปสร้างเป็นวงจรรวม ทำให้ชิฟมีขนาดเล็ก

3. เพื่อนำเสนอหลักการของวงจร *SAADC* ทั้งอัลกอริธึมแบบลบ และอัลกอริธึมแบบบวก พร้อมทั้งเปรียบเทียบระหว่างอัลกอริธึมทั้งสอง ซึ่งจะพบว่า วงจร *SAADC* อัลกอริธึมแบบบวกมีขนาดเล็กกระทัดรัด และใช้สัญญาณนาฬิกาควบคุมจำนวนน้อยเฟสกว่าอัลกอริธึมแบบลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 1.3 สมมติฐานของการศึกษา

โดยทั่วไป หลักการในการแปลงสัญญาณอานาลอกเป็นดิจิตอลแบบการประมาณค่าตามลำดับขั้น (*SAADC*) มักจะใช้อัลกอริธึมในการทำงานเป็นแบบลบ และใช้ *D/A* เป็นแบบขนานหรือ *D/A* แบบอนุกรม ที่ใช้ร่วมกับ *Latch* ในการสร้างระดับสัญญาณอ้างอิงค่าต่าง ๆ ซึ่งจะก่อให้เกิดปัญหาดังที่ได้กล่าวไว้ในหัวข้อ 1.1 ดังนั้นเพื่อที่จะแก้ปัญหาเหล่านี้ให้หมดไป จึงได้นำเสนอหลักการ *SAADC* ที่ใช้ *SC* อย่างเต็มรูปแบบ ซึ่งปราศจากวงจร *D/A* และตัว *Latch* สัญญาณ โดยแสดงให้เห็นว่า อัลกอริธึมของ *SAADC* แบบบวกนั้นจะมีโครงสร้างของวงจรที่เล็กกระทัดรัด และใช้สัญญาณนาฬิกาควบคุมน้อยกว่าอัลกอริธึมของ *SAADC* แบบลบ

## 1.4 ทฤษฎีหรือแนวคิดที่ใช้ในการวิจัย

วงจร *SAADC* ที่ทำการออกแบบและสร้างใหม่ ทั้งอัลกอริธึมแบบลบและแบบบวก จะอาศัยหลักการเทคนิคการเก็บประจุไฟฟ้า และการคายประจุไฟฟ้าของตัวเก็บประจุ ซึ่งจะมีการทำงานร่วมกับสวิตช์ที่ควบคุมการทำงานด้วยสัญญาณนาฬิกา (*Clock*) และรวมถึงนำออปแอมป์มาร่วมในการออกแบบวงจรด้วย ทำให้ได้วงจรที่ทำหน้าที่เสมือนเป็นการปั๊มประจุ (*charge pump*) ซึ่งมีอยู่ด้วยกัน 2 แบบคือ 1. วงจรทำหน้าที่เสมือนเป็นวงจรอินเวอร์เตอร์ 2. วงจรทำหน้าที่เสมือนเป็นวงจรตามแรงดัน ซึ่งจะทำให้การส่งผ่านประจุไฟฟ้าเป็นไปอย่างมีประสิทธิภาพ การวิเคราะห์วงจรทั้งหมด จะอยู่ภายใต้กฎการอนุรักษ์ประจุ อีกทั้งสัญญาณนาฬิกาควบคุม ยังเป็นแบบ *closed form* อีกด้วย จึงไม่จำเป็นต้องใช้ตัว *Latch* สัญญาณภายในวงจร

## 1.5 ขอบเขตของการวิจัย

ทำการศึกษา ออกแบบ จัดสร้าง และทดสอบการทำงานของวงจร *SAADC* ทั้งอัลกอริธึมแบบลบและแบบบวก โดยส่วนแรกใช้วิธีการเลียนแบบวงจรด้วยโปรแกรม *Pspice* เพื่อตรวจสอบผลความเป็นไปได้ของวงจรที่ออกแบบก่อนที่จะสร้างเป็นวงจรจริงในส่วนที่สอง โดยใช้หลักการเทคนิคการเก็บประจุ และการคายประจุไฟฟ้าของตัวเก็บประจุ ซึ่งจะมีการทำงานร่วมกับสวิตช์ที่ควบคุมการทำงานด้วยสัญญาณนาฬิกา ทั้งนี้วงจรหลักประกอบด้วยส่วนสร้างระดับสัญญาณอ้างอิง ส่วนวงจรรวมประจุ และวงจรเปรียบเทียบสัญญาณ แล้วทำการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วัดผลที่ได้จากผลของการเลียนแบบ และผลที่ได้จากการทดลองจากการต่อวงจรจริงผลทดสอบทางไดนามิก พร้อมทั้งวิเคราะห์ค่าผิดพลาดต่าง ๆ จากการแปลง

## 1.6 วิธีที่ใช้ในการดำเนินการวิจัย

ศึกษาคุณสมบัติ และหลักการทำงานของวงจร *SAADC* แบบเดิมที่มีใช้งานโดยทั่วไปว่าเป็นอย่างไร เพื่อทำการพิจารณาถึงข้อดีข้อเสียของวงจร ซึ่งจะพบว่าวงจร *SAADC* แบบเดิมโดยเฉพาะที่สร้างมาจาก *SC* ที่ประกอบไปด้วย *D/A* ที่ใช้สร้างระดับสัญญาณอ้างอิง และตัว *Latch* สัญญาณ มักจะใช้หลักการ *SAADC* ของอัลกอริธึมแบบลบ ทำให้โครงสร้างของวงจรมีขนาดใหญ่ และทำการพัฒนาหลักการที่ใช้ในการออกแบบวงจร *SAADC* แบบใหม่ อันได้แก่ วงจร *SAADC* ที่สร้างขึ้นมาจาก *SC* อย่างเต็มรูปแบบ และปราศจากวงจร *D/A* และตัว *Latch* สัญญาณ โดยยังคงหลักการของ *SAADC* อัลกอริธึมแบบลบไว้ ตลอดจนการพัฒนาอัลกอริธึมแบบบวก ซึ่งจะให้ผลที่ดีกว่าในลักษณะของวงจรที่มีขนาดเล็กกระทัดรัด และใช้จำนวนเฟสของสัญญาณนาฬิกาควบคุมน้อยกว่าอัลกอริธึมแบบลบ ในการวิเคราะห์การทำงานของวงจร จะอยู่ภายใต้กฎการอนุรักษ์ประจุ ท้ายที่สุดคือบันทึกผลการทดลองโดย ทำการเก็บข้อมูลในสองแบบด้วยกันคือ การทดสอบทางสถิตย์ (*Static test*) ซึ่งจะป้อนสัญญาณอินพุตด้วยระดับแรงดันไฟฟ้าดีซี (*DC*) ทีละขั้น ๆ และทำการทดสอบผลทางไดนามิก โดยทำการป้อนสัญญาณอินพุตเป็นสัญญาณรูปคลื่นซายน์ สัญญาณรูปสามเหลี่ยม และสัญญาณรูปสี่เหลี่ยม นำผลที่ได้จากการแปลงสัญญาณของวงจรที่ออกแบบไว้ดังกล่าวผ่านวงจร *D/A* ซึ่งมีใช้อยู่ทั่วไปในท้องตลาด เพื่อทดสอบว่าบิตเอาต์พุตดิจิตอลที่ได้มีลักษณะใกล้เคียงกับสัญญาณอินพุตหรือไม่ อนึ่งผลการทดสอบที่ได้จากการทดสอบทางสถิตย์ จะนำมาวิเคราะห์ค่าผิดพลาดของการแปลง ทั้งจากการเลียนแบบและจากการต่อด้วยวงจรจริง ซึ่งจะทำให้เราพบว่าหลักการที่เป็นพื้นฐานที่นำมาทำการพัฒนา ออกแบบ และสร้างขึ้นนั้นให้ผลสอดคล้องตามกันอย่างดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 2

# การแปลงสัญญาณอานาลอกเป็นสัญญาณดิจิตอล

## 2.1 บทนำ

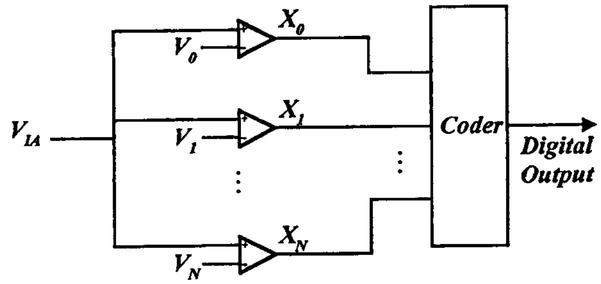
ปัจจุบันวิทยาการทางด้านดิจิตอลได้เข้ามามีบทบาทในการออกแบบอุปกรณ์ทางด้านอิเล็กทรอนิกส์ต่าง ๆ มากขึ้น ดังนั้นอุปกรณ์แปลงสัญญาณทั้งจากสัญญาณอานาลอกเป็นสัญญาณดิจิตอล (*A/D*) และจากสัญญาณดิจิตอลเป็นสัญญาณอานาลอก (*D/A*) จึงเป็นสิ่งที่จำเป็น คุณลักษณะของอุปกรณ์แปลงสัญญาณที่ดีจะต้องทำการแปลงสัญญาณโดยให้มีค่าใกล้เคียงกับสัญญาณเดิมมากที่สุด มีความผิดเพี้ยนของสัญญาณน้อยที่สุด และมีอัตราการแปลงสัญญาณที่สามารถตอบสนองความต้องการของวงจรได้ดี

ประเภทของวงจร *A/D* สามารถแบ่งได้หลายลักษณะ เช่น แบ่งตามความเร็วในการแปลงสัญญาณหรือแบ่งตามสมรรถนะการทำงานของวงจรเป็นต้น ในวิทยานิพนธ์ฉบับนี้จะกล่าวถึงวงจร *A/D* ตามความเร็วในการแปลงสัญญาณ โดยสามารถแบ่งเป็นประเภทใหญ่ ๆ ได้ 3 ประเภทคือ 1. วงจร *A/D* ความเร็วต่ำ 2. วงจร *A/D* ความเร็วปานกลาง 3. วงจร *A/D* ความเร็วสูง ซึ่งแต่ละประเภทเหมาะกับลักษณะของงานที่แตกต่างกัน สำหรับหลักการและรายละเอียดของวงจร *A/D* แต่ละประเภทจะได้กล่าวถึงในหัวข้อถัดไป

## 2.2 หลักการแปลงสัญญาณอานาลอกเป็นสัญญาณดิจิตอล, [4], [5]

หลักการของวงจรแปลงสัญญาณอานาลอกเป็นสัญญาณดิจิตอล (*A/D converter*) คือการเปลี่ยนรูปแบบของสัญญาณต่อเนื่องค่าหนึ่ง ๆ เป็นสัญญาณดิจิตอลที่มีค่าสอดคล้องกัน ประเภทของวงจรแบ่งตามความเร็วในการแปลงสัญญาณได้เป็น 3 ประเภทใหญ่ ๆ คือ วงจร *A/D* ความเร็วต่ำ, วงจร *A/D* ความเร็วปานกลาง และวงจร *A/D* ความเร็วสูง วิธีการแปลงสัญญาณ การประยุกต์ใช้งาน และข้อดีข้อเสียของแต่ละประเภทจะแตกต่างกันไป

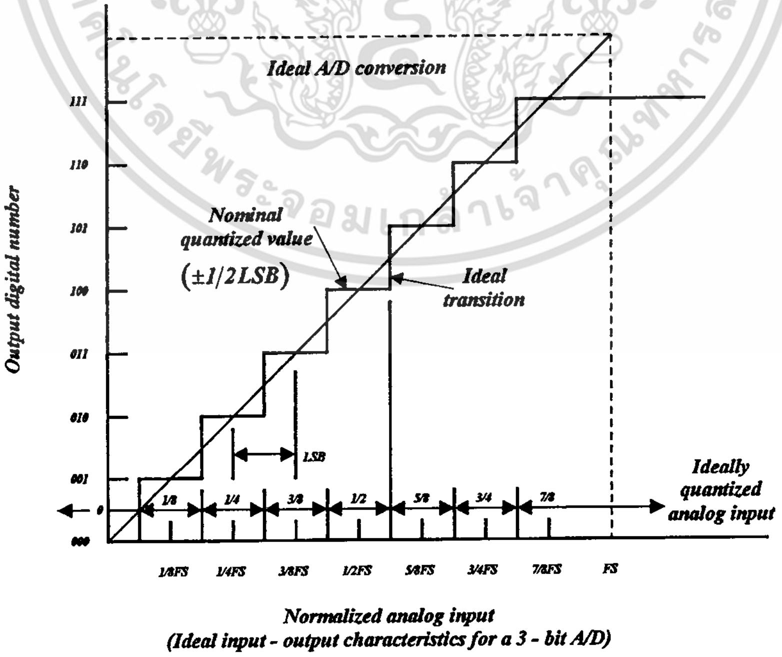
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




$X_i = 1$ if $V_{IA} > V_i$
$X_i = 0$ if $V_{IA} < V_i$

รูปที่ 2.1 หลักการเบื้องต้นของวงจร *A/D converter*

หลักการเบื้องต้นของวงจร *A/D* [4] แสดงได้ดังรูปที่ 2.1 สามารถอธิบายการทำงานได้ดังนี้ สัญญาณต่อเนื่องจุดเข้า $V_{IA}$ จะป้อนเข้าสู่วงจรเปรียบเทียบสัญญาณจำนวน *N+1* วงจรต่อขนานกันโดยแต่ละวงจรจะมีระดับของสัญญาณอ้างอิง $V_i$ แตกต่างกัน โดยที่ $i$ เป็นค่าใด ๆ ตั้งแต่ *0* ถึง *N* ค่าสัญญาณจุดออก $X_i$ จากแต่ละวงจรเปรียบเทียบสัญญาณจะนำไปทำการเข้ารหัสโดยวงจรเข้ารหัส (*Coder*) เพื่อเปลี่ยนสัญญาณจุดออกเหล่านี้ให้เป็นสัญญาณดิจิตอลที่สอดคล้องกับสัญญาณต่อเนื่องจุดเข้า ความสัมพันธ์ระหว่างสัญญาณต่อเนื่อง $V_{IA}$ และสัญญาณดิจิตอล $D_O$ แสดงได้ดังรูปที่ 2.2 สำหรับรายละเอียดและหลักการของวงจร *A/D* แต่ละประเภทจะกล่าวในหัวข้อถัดไป




**รูปที่ 2.2 กราฟความสัมพันธ์ระหว่างสัญญาณต่อเนื่องและสัญญาณดิจิตอล**

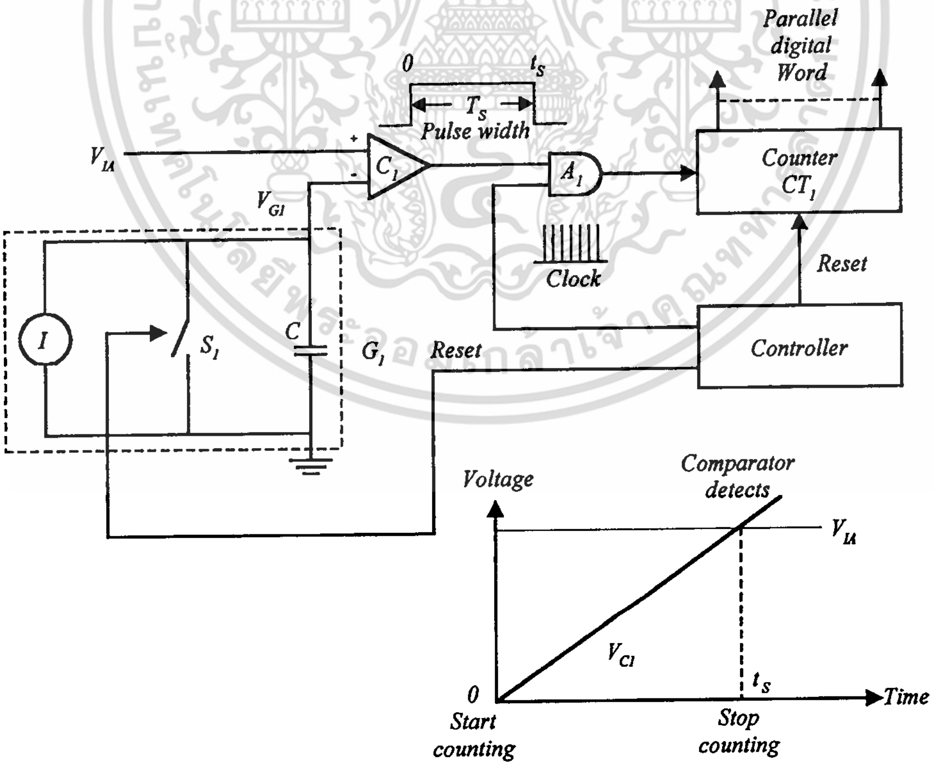
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.3 วงจร *A/D* ความเร็วต่ำ

วงจร *A/D* ความเร็วต่ำ เป็นวงจร *A/D* ที่มีขนาดเล็ก ลักษณะการทำงานของวงจรไม่ซับซ้อน เวลาที่ใช้ในการแปลงสัญญาณขึ้นอยู่กับค่าระดับสัญญาณต่อเนื่องที่ป้อนเข้าสู่วงจร ขนาดของวงจรไม่ขึ้นกับจำนวนบิตที่ต้องการ สามารถแปลงสัญญาณที่ต้องการความละเอียดสูงได้ดี คือจำนวนบิตมาก วงจร *A/D* ที่จัดอยู่ในประเภทนี้ได้แก่ วงจร *Single slope A/D converter* และวงจร *Dual slope A/D converter* ซึ่งมีรายละเอียดดังต่อไปนี้

### 2.3.1 *Single slope A/D converter* หรือ *Pulse width modulator A/D converter*, [4], [5]

วงจร *A/D* แบบนี้มีหลักการทำงานแปลงสัญญาณต่อเนื่องให้อยู่ในรูปของพัลส์ที่มีขนาดความกว้างแปรตามเวลาซึ่งเป็นฟังก์ชันของระดับสัญญาณต่อเนื่องที่ต้องการแปลงค่า และสัญญาณดิจิตอลจะได้จากการนับสัญญาณความถี่อ้างอิงที่เกิดขึ้นในช่วงตั้งแต่เริ่มต้นจนกระทั่งสิ้นสุดสัญญาณพัลส์ [5] วงจรพื้นฐานแสดงได้ดังรูปที่ 2.3




รูปที่ 2.3 วงจรพื้นฐานของ *Single slope A/D converter*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรประกอบด้วยวงจรสร้างสัญญาณ *ramp* $G_1$, วงจรเปรียบเทียบสัญญาณ $C_1$, วงจรแอนด์เกท (*AND gate*) $A_1$, วงจรนับแบบไบนารี $CT_1$ และวงจรควบคุมการทำงาน การทำงานของวงจรอธิบายได้ดังนี้ เมื่อสัญญาณต่อเนื่องจุดเข้า $V_{IA}$ ถูกป้อนเข้าสู่ขาบวก (+) ของวงจรเปรียบเทียบ $C_1$ วงจรควบคุมการทำงานจะทำการส่งสัญญาณรีเซทไปทำการรีเซทวงจรสร้างสัญญาณ $G_1$ เพื่อให้วงจร $G_1$ สร้างสัญญาณ *ramp* จาก *0* โวลต์ โดยการอินทิเกรตสัญญาณกระแสอ้างอิง *I* ได้ศักดาจุดออกของวงจร $V_{G1}$ ซึ่งมีค่าแปรตามเวลา ตามสมการที่ (2.1)

$$V_{G1}(t) = K\int_{0}^{t_s} I_{ref}\,dt \tag{2.1}$$

โดยที่ $K$ เป็นค่าคงที่ และ $t_s$ เป็นเวลาที่ค่าสัญญาณจุดออก $V_{G1}$(t) เท่ากับ $V_{IA}$

จุดออกของวงจรสร้างสัญญาณ $G_1$ จะต่อกับขาลบ (–) ของวงจรเปรียบเทียบ $C_1$ ณ เวลา $t$ ใด ๆ ถ้าสัญญาณต่อเนื่องจุดเข้า $V_{IA} > V_{G1}(t)$ สัญญาณจุดออกของวงจรเปรียบเทียบ $C_1$ จะเป็น "*1*" ซึ่งทำให้วงจรแอนด์เกท (*AND gate*) $A_1$ ทำงาน ส่งสัญญาณนาฬิกาความถี่ $F$ ซึ่งเท่ากับ $\frac{1}{T_{clk}}$ เข้าสู่วงจรนับ $CT_1$ และเมื่อ $V_{G1}(t) = V_{IA}$ ให้เวลา ณ ขณะนั้นเป็น $t_s$ สัญญาณจุดออกจากวงจรเปรียบเทียบ $C_1$ จะเปลี่ยนเป็น "*0*" ค่าดังกล่าวจะทำให้แอนด์เกท $A_1$ ไม่สามารถส่งสัญญาณนาฬิกาไปยังวงจรนับ $CT_1$ ได้ ทำให้การนับสิ้นสุด จำนวนสัญญาณนาฬิกาที่ $CT_1$ นับได้ในช่วงคาบเวลา $T_s$ วงจรควบคุมการทำงานจะทำการแปลงสัญญาณดิจิตอลที่มีค่าเทียบเท่ากับสัญญาณต่อเนื่อง $V_{IA}$

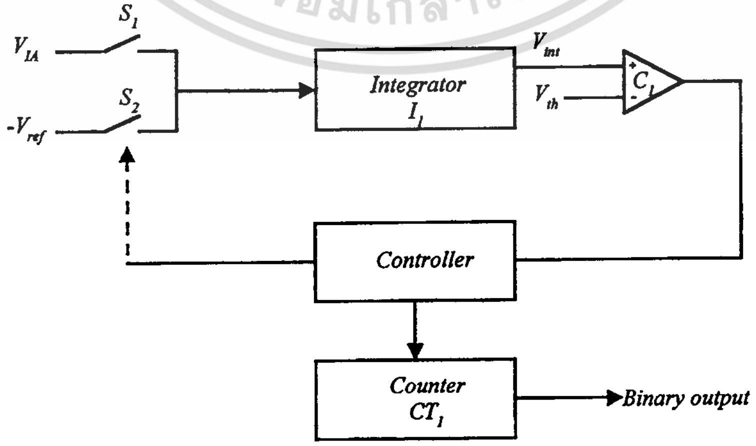
ข้อเสียของวงจรนี้คือคาบเวลาที่ใช้ในการแปลงสัญญาณ $T_s$ แปรตามระดับของสัญญาณต่อเนื่องจุดเข้า $V_{IA}$ ทั้งนี้เนื่องจากวงจร *A/D* นี้ใช้การนับจำนวนสัญญาณนาฬิกาในช่วงคาบเวลาที่ระดับสัญญาณเปรียบเทียบ $V_{G1}(t)$ มีการเปลี่ยนแปลงค่าจาก *0* โวลท์ไปจนกระทั่งมีค่าเท่ากับสัญญาณจุดเข้า $V_{IA}$ ดังนั้นจึงจับการเปลี่ยนระดับสัญญาณได้ทีละ *1* พัลส์ของสัญญาณนาฬิกาหรือทีละ *1* ระดับสัญญาณดิจิตอล *LSB* เท่านั้น นอกจากนั้นเสถียรภาพและความแม่นยำของวงจรขึ้นอยู่กับความผิดพลาดของวงจรสร้างสัญญาณ *ramp* และวงจรสร้างสัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 2.3.2 *Dual slope A/D converter* หรือ *Up–down integrator A/D converter*, [4], [5]

วงจรนี้เป็นวงจรอีกรูปแบบหนึ่งของวงจร *Pulse width modulator A/D converter* โดยจะมีความซับซ้อนและความเที่ยงตรงในการทำงานของวงจรเพิ่มขึ้น หลักการทำงานพื้นฐานของวงจรคือการสร้างพัลส์ขึ้นมาหนึ่งลูกในหนึ่งรอบการแปลงสัญญาณ ความกว้างของพัลส์ถูกคำนวณจากเวลาที่ใช้ในการอินทิเกรตสัญญาณที่แตกต่างกัน 2 ค่า คือสัญญาณต่อเนื่องจุดเข้าและสัญญาณอ้างอิง ซึ่งอธิบายได้ดังนี้ การอินทิเกรตครั้งแรกเป็นการอินทิเกรตสัญญาณต่อเนื่องจุดเข้าภายในระยะเวลาที่กำหนดแน่นอนค่าหนึ่งให้เป็น $t_1$ ซึ่งจะได้สัญญาณจุดออกของวงจรอินทิเกรต ณ เวลานั้นแตกต่างกันตามขนาดสัญญาณต่อเนื่องจุดเข้า หลังจากนั้นวงจรจะสร้างพัลส์เพื่อคำนวณหาค่าสัญญาณดิจิตอลโดยการทำการอินทิเกรตสัญญาณอ้างอิงในทิศทางลบ จนกระทั่งสัญญาณจุดออกของวงจรอินทิเกรตมีค่าเท่ากับระดับสัญญาณที่ถูกกำหนดแน่นอนค่าหนึ่งให้มีค่าเท่ากับ $V_{th}$ และระยะเวลาที่ใช้ในการอินทิเกรตครั้งที่ 2 มีค่าเท่ากับ $t_2$ กรณีที่สัญญาณต่อเนื่องจุดเข้าต่างกัน ค่าเวลา $t_2$ ของการทำงานก็จะแตกต่างกันด้วย จำนวนสัญญาณนาฬิกาที่เกิดขึ้นภายในช่วงเวลาพัลส์ $t_2$ วงจรควบคุมการทำงานจะแปลงค่าเป็นสัญญาณดิจิตอลที่เทียบเท่ากับสัญญาณต่อเนื่องจุดเข้า

วงจรพื้นฐานแสดงได้ดังรูปที่ 2.4 วงจรประกอบด้วยวงจรอินทิเกรต $I_1$, วงจรเปรียบเทียบสัญญาณ $C_1$, วงจรควบคุมการทำงาน, วงจรนับแบบไบนารี $CT_1$, สวิตช์ $S_1$ และสวิตช์ $S_2$ โดยที่สวิตช์ $S_1$ และสวิตช์ $S_2$ จะทำงานตรงข้ามกันตลอด การทำงานอธิบายได้ดังนี้ เมื่อสัญญาณต่อเนื่องจุดเข้า $V_{IA}$ ป้อนเข้าสู่วงจร วงจรควบคุมการทำงานจะส่งสัญญาณรีเซท




รูปที่ 2.4 วงจรพื้นฐานของ *Dual slope A/D convertet*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไปทำการรีเซทค่าศักดาจุดออก $V_{int}$ ของวงจรอินทิเกรต $I_1$ จาก $0$ โวลท์ ให้มีค่าเท่ากับ $V_{th}$ ซึ่งเป็นระดับศักดา *threshold* ของ $C_1$ หลังจากนั้นวงจรควบคุมการทำงานจะส่งสัญญาณไปปิดสวิตช์ $S_1$ เพื่อส่งผ่านสัญญาณต่อเนื่องจุดเข้า $V_{IA}$ ไปยังวงจรอินทิเกรต $I_1$ เพื่อทำการอินทิเกรตสัญญาณเป็นระยะเวลาเท่ากับ $N_{ref}T(t_1)$ ซึ่งเป็นระยะเวลาอ้างอิงที่กำหนด โดยที่ $T$ เป็นคาบเวลาของสัญญาณนาฬิกามาตรฐานของวงจร และ $N_{ref}$ เป็นจำนวนสัญญาณนาฬิกาอ้างอิง ได้สัญญาณจุดออกจากวงจรอินทิเกรต $I_1$ เป็น $V_{int}$ ความสัมพันธ์ระหว่าง $V_{IA}$ กับ $V_{int}$ แสดงได้ดังสมการที่ (2.2)

$$
\begin{aligned}
V_{int}(t) &= K\int_{0}^{N_{ref}T} V_{IA}\,dt + V_{int}(0) \\
&= K N_{ref} T V_{IA} + V_{th} \qquad (2.2)
\end{aligned}
$$

โดยที่ $K$ เป็นค่าคงที่

หลังจากนั้นวงจรควบคุมจะเปิดสวิตช์ $S_1$ และปิดสวิตช์ $S_2$ เพื่อส่งผ่านค่าศักดาอ้างอิง $(-V_{ref})$ เข้าสู่วงจรอินทิเกรต $I_1$ ซึ่งวงจรจะอินทิเกรตโดยมี *slope* การทำงานของวงจรเป็นลบ (–) ในขณะเดียวกันนั้นวงจรนับ $CT_1$ จะเริ่มทำการนับจำนวนสัญญาณนาฬิกาไปจนกระทั่ง $V_{int}$ มีค่าเท่ากับ $V_{th}$ ซึ่งเป็นค่าระดับศักดาที่กำหนด วงจรนับ $CT_1$ จะหยุดทำการนับให้ระยะเวลาที่วงจรนับ $CT_1$ ทำงานเท่ากับ $N_{out}T(t_2)$ วงจรควบคุมการทำงานจะแปลงจำนวนสัญญาณนาฬิกา $N_{out}$ ที่นับได้เป็นสัญญาณดิจิตอลที่เทียบเท่ากับสัญญาณต่อเนื่องจุดเข้า $V_{IA}$ สมการความสัมพันธ์ในช่วง *slope* ขาลงระหว่าง $-(V_{ref})$ กับ $V_{int}$ แสดงได้ดังสมการที่ (2.3)

$$V_{int}(t) = V_{int}(0) + K\int_{0}^{N_{out}T}\left(-V_{ref}\right)dt \qquad (2.3)$$

เมื่อ $t = N_{out}T$ จะได้ว่า

$$V_{int}\left(N_{out}T\right) = V_{int}(0) - K N_{out} T V_{ref} \qquad (2.4)$$

จาก $V_{int}(0) = K N_{ref} T V_{IA} + V_{th}$ ดังนั้น

$$V_{int}\left(N_{out}T\right) = \left[K N_{ref} T V_{IA} + V_{th}\right] - K N_{out} T V_{ref} \qquad (2.5)$$

เนื่องจาก $V_{int}\left(N_{out}T\right) = V_{th}$ ดังนั้นจะได้ว่า

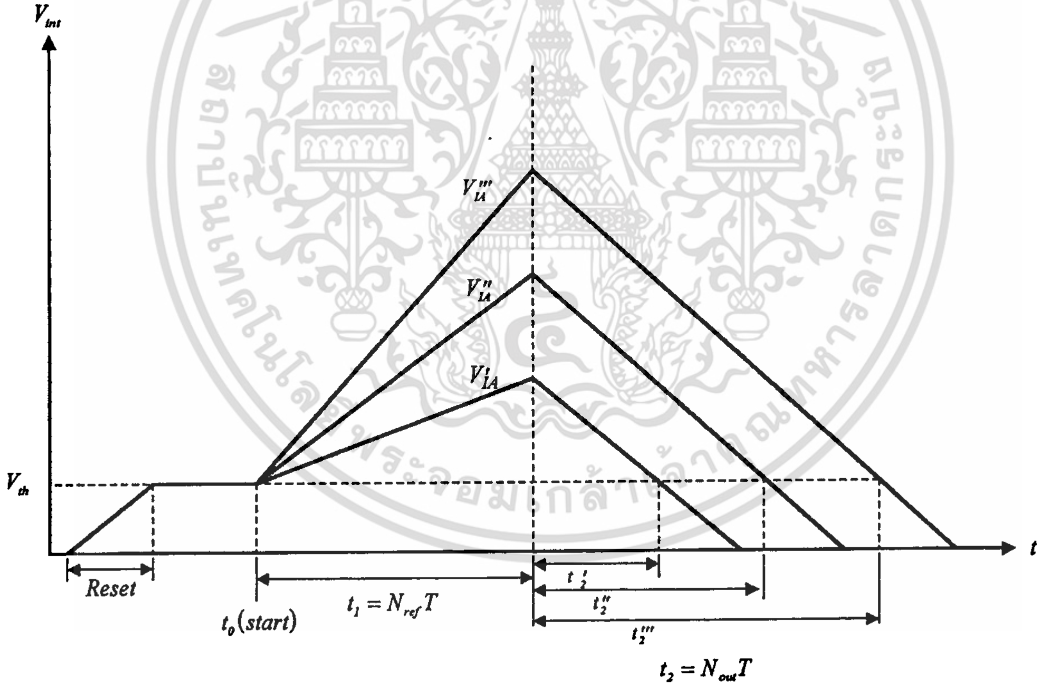
$$V_{ref} N_{out} = V_{IA} N_{ref} \qquad (2.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ

$$N_{out} = N_{ref}\left[\frac{V_{IA}}{V_{ref}}\right] \qquad (2.7)$$

กราฟแสดงความสัมพันธ์ระหว่างค่าศักดาจุดออกของวงจรอินทิเกรต $V_{int}$ และ $t$ เป็นดังรูปที่ 2.5 และจากสมการที่ (2.7) จะเห็นได้ว่าการทำงานของวงจรไม่ขึ้นกับค่าศักดา *threshold* ของวงจรเปรียบเทียบสัญญาณ, *slope* ของวงจรอินทิเกรต หรือสัญญาณนาฬิกา แต่การทำงานของวงจรจะขึ้นกับระดับของศักดาจุดเข้าเท่านั้น ทำให้การทำงานของวงจรมีความเที่ยงตรงและแม่นยำ สำหรับในกรณีที่สัญญาณต่อเนื่องจุดเข้ามีค่าเต็มสเกล (ระดับศักดาจุดเข้าสูงสุด) เวลาที่ใช้ในการแปลงสัญญาณจะมีค่ามากที่สุดคือ $2^{N+1}T$ วินาที โดยที่ $N$ เป็นจำนวนบิตที่ต้องการ




รูปที่ 2.5 กราฟความสัมพันธ์ระหว่างค่าศักดาจุดออกของวงจรอินทิเกรต $V_{int}$ กับเวลา $t$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

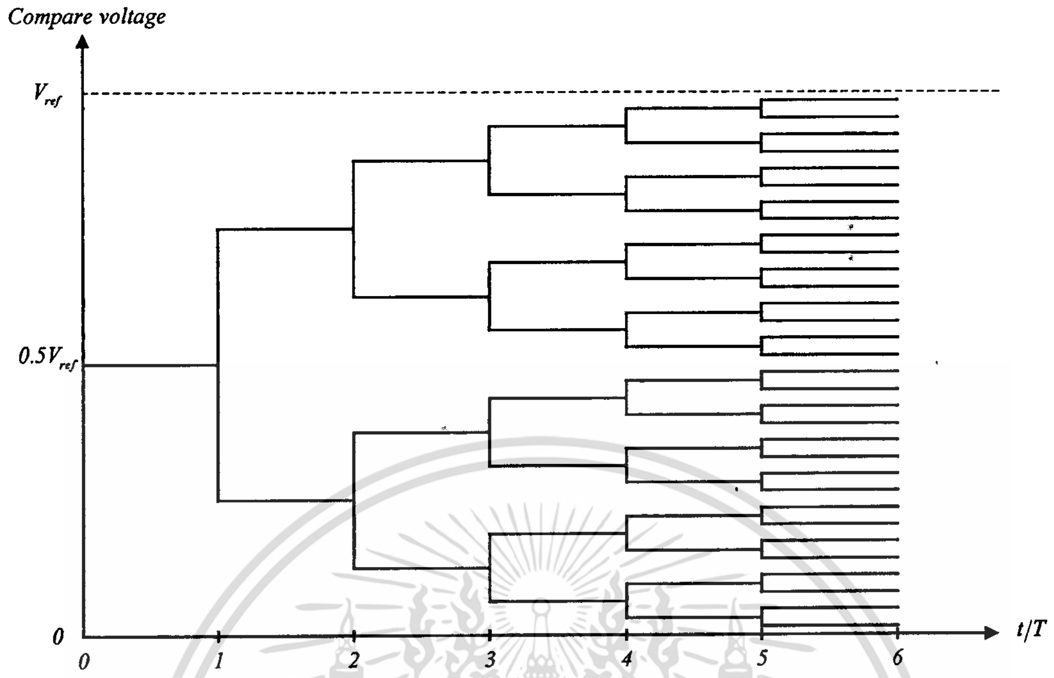
## 2.4 วงจร *A/D* ความเร็วปานกลาง [4], [5]

วงจร *A/D* ความเร็วปานกลาง เป็นวงจร *A/D* ที่มีการทำงานเป็นแบบอนุกรม คือในการแปลงสัญญาณหนึ่งครั้งจะได้สัญญาณดิจิตอลหนึ่งบิต เมื่อเปรียบเทียบกับวงจร *A/D* ความเร็วต่ำ วงจร *A/D* ประเภทนี้จะมีความซับซ้อนมากขึ้น เวลาที่ใช้ในการแปลงสัญญาณไม่ขึ้นกับค่าระดับสัญญาณต่อเนื่องที่ป้อนเข้าสู่วงจรแต่ขึ้นกับจำนวนบิตที่ต้องการ วงจร *A/D* ที่จัดอยู่ในประเภทนี้ได้แก่ วงจร *Successive approximation A/D converter* และวงจร *Algorithmic A/D converter* ซึ่งมีรายละเอียดดังต่อไปนี้

### 2.4.1 *Successive approximation A/D converter* [4], [5]

หลักการพื้นฐานคือวงจรจะทำการแปลงสัญญาณต่อเนื่องให้เป็นสัญญาณดิจิตอลทีละหนึ่งบิต เริ่มต้นจากบิตสูงสุด (*MSB*) ไปยังบิตต่ำสุด (*LSB*) นั่นคือสัญญาณต่อเนื่องจุดเข้าจะทำการเปรียบเทียบกับสัญญาณเปรียบเทียบค่าหนึ่ง ๆ โดยในแต่ละรอบการเปรียบเทียบสัญญาณที่เข้าทำการเปรียบเทียบจะมีค่าแตกต่างกัน ในรอบแรกค่าสัญญาณเปรียบเทียบจะมีค่าเท่ากับครึ่งหนึ่งของสัญญาณเต็มสเกลที่วงจรสามารถยอมรับได้ ในกรณีที่สัญญาณต่อเนื่องจุดเข้ามากกว่าสัญญาณเปรียบเทียบ สัญญาณดิจิตอลบิตสูงสุดจะมีค่าเป็น "*1*" แต่ถ้าสัญญาณต่อเนื่องมีค่าน้อยกว่าสัญญาณเปรียบเทียบ สัญญาณดิจิตอลบิตสูงสุดจะมีค่าเป็น "*0*" หลังจากนั้นวงจรจะทำการเปรียบเทียบเพื่อหาค่าสัญญาณดิจิตอลบิตถัดไป โดยการเพิ่มหรือลดค่าสัญญาณเปรียบเทียบจากค่าเดิมอีกครึ่งหนึ่ง ซึ่งขึ้นกับว่าสัญญาณจุดออกของวงจรเปรียบเทียบมีค่าเป็นอะไร ถ้าสัญญาณมีค่าเป็น "*1*" วงจรจะเพิ่มค่าสัญญาณเปรียบเทียบ แต่ถ้าสัญญาณนั้นมีค่าเป็น "*0*" วงจรจะลดค่าสัญญาณเปรียบเทียบลง การทำงานของวงจรสำหรับบิตถัดไปก็จะปฏิบัติตามขั้นตอนเหมือนที่กล่าวมาข้างต้นจนกว่าจะครบตามจำนวนบิตที่ต้องการ รูปแบบการเปรียบเทียบสัญญาณต่อเนื่องกับสัญญาณเปรียบเทียบแสดงได้ดังรูปที่ 2.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

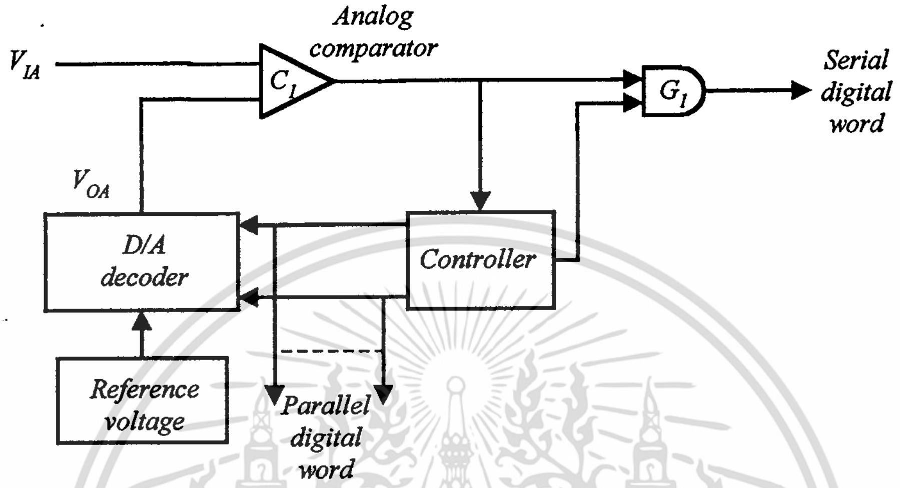



รูปที่ 2.6 รูปแบบการเปรียบเทียบสัญญาณต่อเนื่องกับสัญญาณเปรียบเทียบ
*Successive approximation A/D converter*

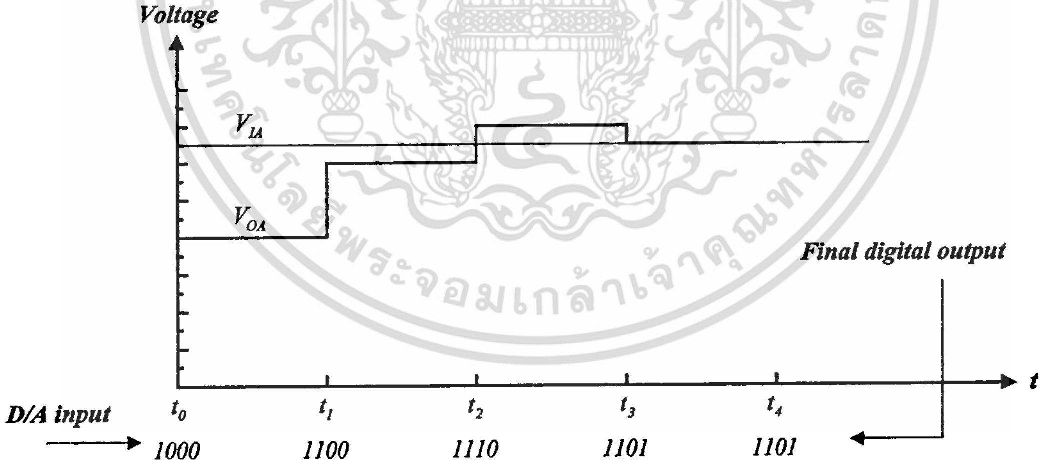
จากหลักการที่กล่าวมาข้างต้นสามารถนำมาประยุกต์เป็นวงจรดังแสดงใน รูปที่ 2.7 วงจรประกอบไปด้วย วงจรเปรียบเทียบสัญญาณ $C_1$, วงจรเกท $G_1$, วงจรควบคุมการทำงาน, วงจร *D/A* และแหล่งจ่ายศักดาอ้างอิง การทำงานของวงจรอธิบายได้ดังนี้เมื่อสัญญาณต่อเนื่องจุดเข้า $V_{IA}$ ป้อนเข้าสู่วงจรเปรียบเทียบ $C_1$ วงจรควบคุมการทำงานจะกำหนดค่าเริ่มต้นของสัญญาณจุดเข้าบิตสูงสุดของวงจร *D/A* ให้เป็น "*1*" และค่าบิตอื่น ๆ ให้เป็น "*0*" วงจร *D/A* จะทำการแปลงสัญญาณดังกล่าวเป็นสัญญาณต่อเนื่องจุดออก $V_{OA}$ ซึ่งต่อเข้าไปยังวงจรเปรียบเทียบ $C_1$ เพื่อเปรียบเทียบกับสัญญาณจุดเข้า $V_{IA}$ ถ้า $V_{IA} > V_{OA}$ สัญญาณจุดออกของวงจร $C_1$ จะเป็น "*1*" แต่ถ้า $V_{IA}<V_{OA}$ สัญญาณขาออกของ $C_1$ จะเป็น "*0*" ค่าสัญญาณจุดออก $C_1$ นี้จะส่งไปยังวงจรควบคุมการทำงาน เพื่อที่จะนำไปใช้ในการกำหนดค่าสัญญาณเปรียบเทียบในครั้งต่อไป และสำหรับสัญญาณดิจิตอลของบิตนั้นจะส่งไปยังวงจรถัดไปผ่านทางวงจรเกท $G_1$ ซึ่งการทำงานของเกท $G_1$ จะถูกควบคุมโดยจังหวะสัญญาณนาฬิกา หลังจากนั้นวงจรจะเริ่มต้นการทำงานเพื่อหาบิตถัดไปตามขั้นตอนที่กล่าวมาข้างต้น โดยวงจรควบคุมการทำงานจะกำหนดบิตที่จะถูกพิจารณาต่อไปให้มีค่าเป็น "*1*" สำหรับบิตที่เปรียบเทียบไปแล้วจะมีค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไม่เปลี่ยนแปลง ป้อนเข้าสู่วงจร *D/A* วงจรจะสิ้นสุดการทำงานในการแปลงสัญญาณต่อเนื่องหนึ่งค่าเมื่อวงจรได้ทำการแปลงสัญญาณจนครบตามจำนวนบิตที่ต้องการ ตัวอย่างความสัมพันธ์ของสัญญาณต่อเนื่องจุดออก $V_{OA}$ จาก *D/A* กับสัญญาณต่อเนื่องขาเข้า $V_{IA}$ แสดงได้ดังกราฟรูปที่ 2.8




รูปที่ 2.7 วงจรพื้นฐานของ *Successive approximation A/D converter*



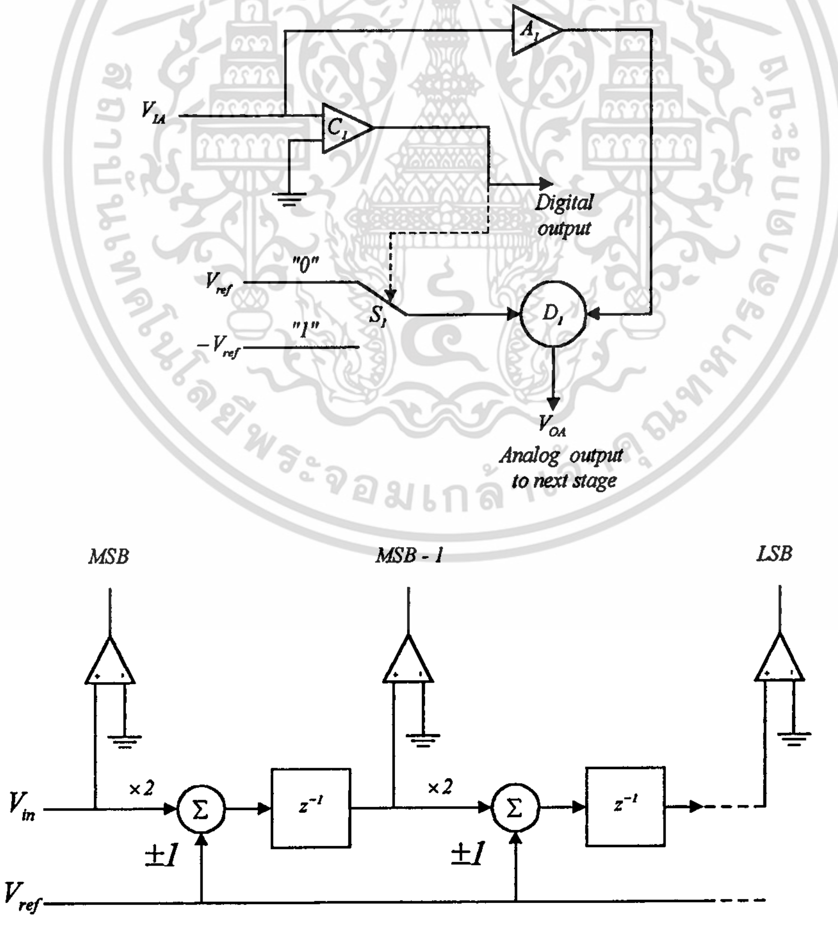

รูปที่ 2.8 ตัวอย่างความสัมพันธ์ระหว่างสัญญาณต่อเนื่องจุดออก $V_{OA}$ จาก *D/A* กับสัญญาณต่อเนื่องจุดเข้า $V_{IA}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อดีของวงจรชนิดนี้ คือใช้ขั้นตอนในการแปลงสัญญาณเพียง *N* ขั้นตอนเท่านั้น โดยที่ *N* เป็นจำนวนบิตที่ต้องการ ทำให้ความเร็วในการแปลงสัญญาณดีกว่าวงจร *A/D* ความเร็วต่ำ 2 แบบที่กล่าวมาข้างต้น แต่ความเที่ยงตรงและแม่นยำของวงจรขึ้นอยู่กับวงจร *D/A* ที่ใช้ในวงจร ซึ่งจะต้องมีค่าความผิดพลาดในการทำงานไม่เกิน $\pm\frac{1}{2}LSB$ มิฉะนั้นจะทำให้สัญญาณของวงจร *A/D* มีความผิดพลาดมากขึ้น

**2.4.2** ***Algorithmic A/D converter*, [4], [5]**

หลักการแปลงสัญญาณของวงจรจะเริ่มต้นที่จากบิตสูงสุด (*MSB*) ไปหาบิตต่ำสุด (*LSB*) วงจรประกอบด้วยวงจรย่อยหรือวงจร *A/D* ขนาดหนึ่งบิตจำนวนเท่ากับจำนวนบิตที่ต้องการต่ออนุกรมกัน โดยวงจรย่อยแต่ละวงจรมีหลักการทำงานดังนี้คือ วงจรจะทำการขยายสัญญาณต่อเนื่องจุดเข้าเป็นสองเท่า แล้วนำสัญญาณที่ได้ไปบวกหรือลบกับสัญญาณอ้างอิงของ




รูปที่ 2.9 หลักการทำงานและวงจรพื้นฐานของ *Algorithmic A/D converter*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร ผลลัพธ์ที่ได้จะส่งผ่านเป็นสัญญาณจุดเข้าสำหรับวงจรย่อยบิตถัดไป การบวกหรือลบสัญญาณที่กล่าวข้างต้นขึ้นอยู่กับเครื่องหมายของสัญญาณจุดเข้าของวงจรย่อยนั้น ถ้าสัญญาณจุดเข้าเป็นบวก (+) วงจรจะลบสัญญาณอ้างอิงจากสัญญาณจุดเข้า และสัญญาณดิจิตอลสำหรับบิตนี้จะมีค่าเป็น "*1*" แต่ถ้าสัญญาณจุดเข้าเป็นลบ (–) วงจรจะสั่งให้ทำการบวกสัญญาณทั้งสองเข้าด้วยกัน สัญญาณดิจิตอลที่ได้จะมีค่าเป็น "*0*"

รายละเอียดพื้นฐานของวงจรแสดงได้ดังรูปที่ 2.9 วงจรย่อยแต่ละวงจรจะประกอบด้วย วงจรเปรียบเทียบสัญญาณ $C_1$, วงจรขยายสัญญาณขนาดสองเท่า $A_1$, วงจรบวก $D_1$, วงจรควบคุมการทำงานและสวิตช์ $S_1$ เมื่อสัญญาณต่อเนื่องจุดเข้า $V_{IA}$ ป้อนเข้าสู่วงจรย่อยวงจรแรก สัญญาณจุดเข้า $V_{IA}$ จะเปรียบเทียบกับระดับศักดาดิน (*0* โวลต์) ถ้าสัญญาณจุดเข้า $V_{IA} > 0$ สัญญาณจุดออกจากวงจรเปรียบเทียบ $C_1$ จะมีค่าเป็น "*1*" วงจรจะควบคุมสวิตช์ $S_1$ ให้ส่งผ่านค่าสัญญาณอ้างอิง ($-V_{ref}$) ไปทำการบวกกับสัญญาณจุดเข้าที่ผ่านวงจรขยายคือ $2V_{IA}$ แต่ถ้า $V_{IA} < 0$ สัญญาณจุดออกจากวงจรเปรียบเทียบ $C_1$ จะมีค่าเป็น "*0*" วงจรจะควบคุมสวิตช์ $S_1$ ให้ผ่านค่าสัญญาณอ้างอิง $V_{ref}$ ไปบวกกับสัญญาณ $2V_{IA}$ ผลลัพธ์จากวงจรบวก $D_1$ จะเป็นสัญญาณจุดเข้าสำหรับวงจรย่อยบิตถัดไป ความสัมพันธ์ระหว่างสัญญาณต่อเนื่องจุดเข้า $V_{IA}$ กับสัญญาณดิจิตอล $D_O$ สามารถแสดงได้ดังสมการที่ (2.8)

$$V_{IA} = V_{ref}\sum_{i=1}^{N} b_i 2^{-i} \qquad (2.8)$$

โดยที่ $b_i = 1$ ; ถ้าบิตนั้นมีค่าเป็น "*1*"

และ $b_i = -1$ ; ถ้าบิตนั้นมีค่าเป็น "*0*"

ตัวอย่างเช่น ต้องการแปลงสัญญาณต่อเนื่องเป็นสัญญาณดิจิตอลจำนวน 3 บิต สมมุติให้ $V_{IA} = 2$ โวลต์ และ $V_{ref} = 3$ โวลต์ ดังนั้นจะได้สัญญาณดิจิตอลมีค่าเท่ากับ "*110*" เมื่อทำการคำนวณกลับเพื่อหาระดับสัญญาณต่อเนื่องจุดเข้าจะได้

$$V_{IA} = 3\left(\frac{1}{2}+\frac{1}{4}-\frac{1}{8}\right) \text{ หรือเท่ากับ } 1.875 \text{ โวลต์}$$

จะเห็นได้ว่าสัญญาณที่ได้จากการแปลงกลับจะมีค่าใกล้เคียงกับสัญญาณต่อเนื่องจุดเข้า ซึ่งถ้าจำนวนบิตยิ่งมากค่าสัญญาณดิจิตอลก็จะมีค่าใกล้เคียงกับสัญญาณต่อเนื่องจุดเข้ามากขึ้น

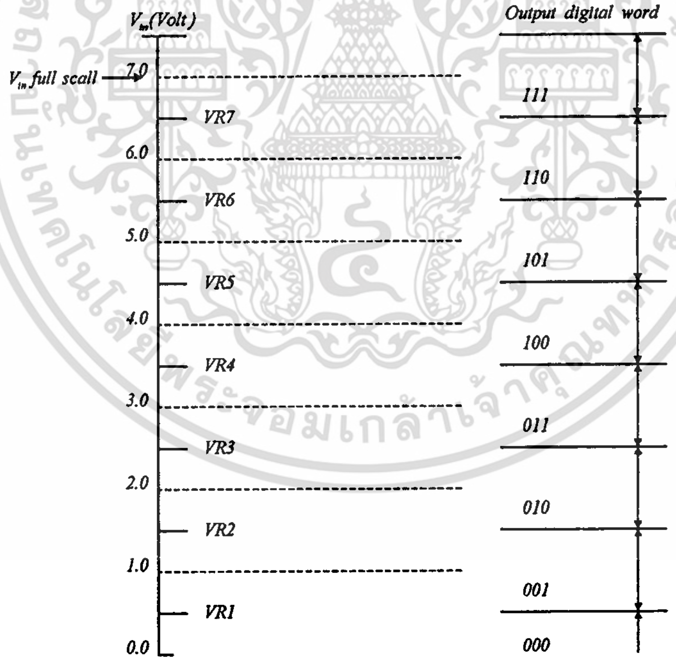
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรชนิดนี้มีข้อดีคือ สัญญาณต่อเนื่องจุดเข้าสามารถเป็นสัญญาณที่เป็นได้ทั้งสัญญาณบวกหรือสัญญาณลบ (*bipolar signal*) โดยบิตแรกสามารถชี้ให้เห็นถึงทิศทางของสัญญาณ นอกจากนั้นเวลาที่ใช้ในการแปลงสัญญาณใช้เพียง *N* รอบสัญญาณนาฬิกาเท่านั้น โดยที่ *N* เป็นจำนวนบิตที่ต้องการ และการเพิ่มหรือลดจำนวนบิตของวงจรทำได้ง่าย

## 2.5 วงจร *A/D* ความเร็วสูง

วงจร *A/D* ความเร็วสูงเป็นวงจรที่ทำการแปลงสัญญาณโดยใช้เวลาน้อยกว่า *N* รอบสัญญาณนาฬิกา แต่วงจรจะมีความซับซ้อนมาก และขนาดของวงจรจะแปรตามจำนวนบิตที่ต้องการ ทำให้วงจรมีขนาดใหญ่ กินพื้นที่มาก วงจรที่จะกล่าวถึงในประเภทนี้คือวงจร *Parallel A/D converter*

### 2.5.1 *Parallel A/D converter* หรือ *Flash A/D converter*, [4], [5]



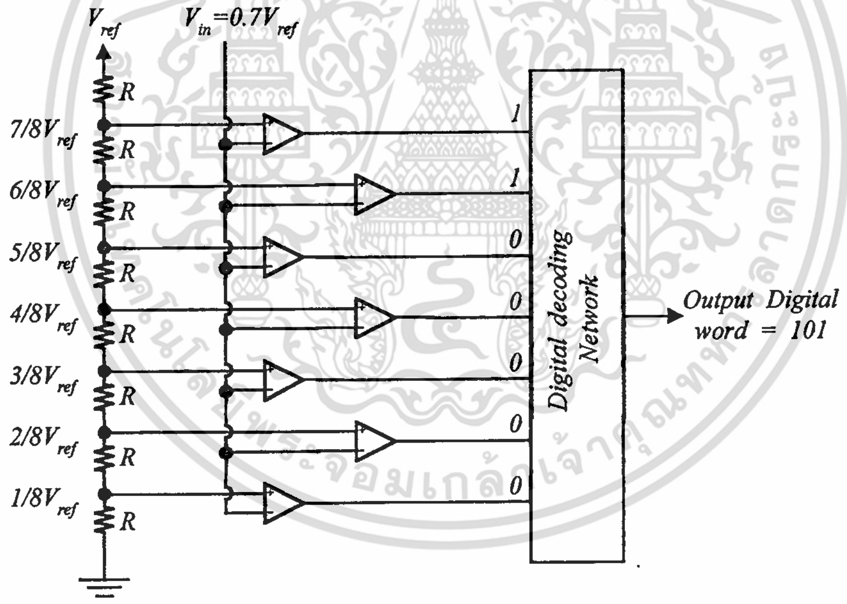

รูปที่ 2.10 หลักการทำงานของ *Parallel A/D converter*

หลักการของวงจรคือการแปลงสัญญาณต่อเนื่องจุดเข้าให้เป็นสัญญาณดิจิตอลทุก ๆ บิตพร้อมกัน โดยทำการเปรียบเทียบสัญญาณต่อเนื่องจุดเข้ากับสัญญาณเปรียบเทียบที่มี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าแตกต่างกันขั้นละหนึ่งระดับสัญญาณพร้อม ๆ กัน ดังนั้นจำนวนสัญญาณเปรียบเทียบจึงมีจำนวนเท่ากับ $2^N-1$ โดยที่ $N$ เป็นจำนวนบิตที่ต้องการ สัญญาณจุดออกที่ได้จากการเปรียบเทียบจะนำมาทำการเข้ารหัสเพื่อให้ได้ค่าสัญญาณดิจิตอลที่เทียบเท่าสัญญาณต่อเนื่องจุดเข้า ซึ่งหลักการข้างต้นสามารถเขียนเป็นแผนผังได้ดังรูปที่ 2.10

จากหลักการสามารถนำมาพัฒนาเป็นวงจรแสดงดังรูปที่ 2.11 วงจรประกอบไปด้วยสัญญาณเปรียบเทียบจำนวน $2^N-1$ ค่า, วงจรเปรียบเทียบสัญญาณจำนวน $2^N-1$ วงจร และวงจรถอดรหัสสัญญาณ สัญญาณต่อเนื่องจุดเข้า $V_{IA}$ จะทำการเปรียบเทียบกับ $V_{refi}$ ถ้า $V_{IA} > V_{refi}$ สัญญาณจุดออกจากวงจรเปรียบเทียบที่ $i$ จะมีค่าเป็น "*1*" แต่ถ้า $V_{IA} < V_{refi}$ สัญญาณจุดออกจากวงจรเปรียบเทียบที่ $i$ นั้นจะมีค่าเป็น "*0*" โดยที่ $i$ เป็นวงจรใด ๆ มีค่าตั้งแต่ *1* ถึง $2^N-1$ ค่า จะนำมาเข้ารหัสเพื่อหาค่าสัญญาณดิจิตอล




รูปที่ 2.11 วงจรพื้นฐานของ *Parallel A/D converter*

ซึ่งจะเห็นได้ว่าการทำงานประกอบด้วยขั้นตอนเพียง 2 ขั้นตอนเท่านั้น คือ ขั้นตอนเปรียบเทียบและขั้นตอนเข้ารหัส ทำให้การแปลงสัญญาณ *N* บิตสามารถทำได้ในหนึ่งสัญญาณนาฬิกาเท่านั้น แต่วงจร *A/D* ชนิดนี้ถ้าต้องการเพิ่มความละเอียดในการแปลงสัญญาณ (resolution) จำนวนอุปกรณ์ในวงจรจะเพิ่มขึ้นเป็น 2 เท่า ทำให้วงจรมีขนาดใหญ่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**วงจร *A/D* ชนิดนี้เหมาะที่จะใช้กับการแปลงสัญญาณที่ไม่ต้องการความละเอียดมากนัก ซึ่งปกติจะอยู่ระหว่าง 3–6 บิต นอกจากนั้นความผิดพลาดของวงจรยังขึ้นกับวงจรเปรียบเทียบและค่าสัญญาณเปรียบเทียบอีกด้วย**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 3

# การแปลงสัญญาณอานาลอกเป็นสัญญาณดิจิตอลโดยวิธีการประมาณค่าตามลำดับขั้นด้วยสวิตช์–คาปาซิเตอร์ ขนาด 8 บิต

## 3.1 บทนำ

จากวงจรแปลงสัญญาณอานาลอกเป็นสัญญาณดิจิตอลประเภทต่าง ๆ ที่ใช้กันอยู่ทั่วไปในบทที่ 2 ในบทนี้จะกล่าวถึงหลักการพื้นฐานในการแปลงสัญญาณอานาลอกเป็นสัญญาณดิจิตอล โดยวิธีการประมาณค่าตามลำดับขั้น (*SAADC*) ซึ่งเป็นที่มาของการหาค่าบิตดิจิตอลที่ได้จากการแปลง และนำไปสู่การสร้างอัลกอริธึมทั้งแบบลบและแบบบวก ที่ผู้เขียนได้จัดทำเป็นวิทยานิพนธ์ฉบับนี้ พร้อมทั้งอธิบายถึงหลักการทำงานของวงจรสวิตช์-คาปาซิเตอร์ในลักษณะของการปั๊มประจุ ดังที่จะได้กล่าวต่อไป

## 3.2 รหัสไบนารี และความสัมพันธ์ของการแปลงสัญญาณ [8]

### 3.2.1 ปริมาณทางดิจิตอล

ข่าวสารหรือข้อมูลทางดิจิตอลจะถูกแสดงด้วยการกำหนดให้เป็นระดับโวลเตจใด ๆ เทียบกับกราวด์ ตัวเลขทางดิจิตอล (*digital number*) ทั้งหมดจะอยู่บนพื้นฐานของระบบเลขฐานสอง (*base 2*) นั่นคือ แต่ละบิตหรือหน่วยของข่าวสารจะมีความเป็นไปได้ใน 2 สถานะ คือ "*0*" และ "*1*" โดยที่ "*0*" อาจกำหนดให้เป็นระดับสัญญาณค่าหนึ่ง ที่มีระดับของสัญญาณต่ำ และ "*1*" เป็นระดับสัญญาณอีกค่าหนึ่งที่มีระดับสัญญาณสูงกว่า

เวิร์ด (*word*) เป็นกลุ่มของตัวเลขทางดิจิตอล หรือรหัสดิจิตอล โดยอาจจะเป็นแบบอนุกรมหรือแบบขนานก็ได้ กล่าวคือ สัญญาณอานาลอกได้ผ่านกระบวนการของการควันไตซ์ (*quantized*) นั่นเอง ตัวอย่างของรหัสดิจิตอลขนาด 8 บิต เช่น *11011001* "*1*" ทางด้านซ้ายมือสุดของเวิร์ดเรียกว่า บิตนัยสำคัญสูงสุด (*Most Significant Bit, MSB*) และบิตสุดท้ายทางด้านขวามือของเวิร์ดเรียกว่าบิตนัยสำคัญต่ำสุด (*Least Significant Bit, LSB*) จะเห็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ได้ว่าค่าของบิตแต่ละตัวจะมีคุณลักษณะเฉพาะตัว (ค่านัยสำคัญประจำบิต) ซึ่งจะแสดงตัวอยู่ในรูปของตัวแปรอานาลอก (*analog variable*) โดยที่เราจะไม่สามารถทราบความหมายของรหัสเหล่านี้ได้เลย จนกว่าจะมีการกำหนดความสัมพันธ์ของการแปลงรหัสเสียก่อน

### 3.2.2 รหัสไบนารี–จำนวนเต็มและเศษส่วนของรหัสไบนารี

รหัสที่ทราบกันดีคือ ไบนารีธรรมชาติ (*natural binary, base 2*) รหัสไบนารีส่วนใหญ่จะถูกแสดงด้วยเลขจำนวนเต็ม ตัวอย่างเช่น รหัสไบนารีที่เป็นเลขจำนวนเต็มขนาด $n$ บิต บิต *LSB* จะมีน้ำหนักประจำบิต (*weight*) เป็น $2^0$ (= *1*) บิตถัดมาจะมีน้ำหนัก $2^1$ (= *2*) ในบิตต่อ ๆ มาจะมีค่าน้ำหนักเพิ่มขึ้นจนกระทั่งถึงบิตที่ *MSB* ซึ่งมีค่าน้ำหนักเป็น $2^{n-1}$ $(= \frac{2^n}{2})$ จะเห็นได้ว่าค่าน้ำหนักของรหัสไบนารีที่เป็นจำนวนเต็มจะมีค่าน้ำหนักเพิ่มมากขึ้นตามจำนวนบิตที่เพิ่มขึ้น ดังนั้นค่าของแต่ละเวิร์ดที่เป็นไปได้จะมีค่าจาก *0* ถึง $2^n-1$ ตัวอย่างเช่น ให้ $n = 2$ ซึ่งจะมีค่าจาก *0* ถึง $2^2-1 = 3$ ดังตารางที่ 3.1

ตารางที่ 3.1 ค่าของไบนารีในเลขฐานสิบ

| รหัสไบนารี | ค่าของไบนารีในเลขฐานสิบ |
|---|---|
| *00* | *0* |
| *01* | *1* |
| *10* | *2* |
| *11* | *3* |

สำหรับเทคโนโลยีตัวแปลงสัญญาณ (*converter technology*) ด้วยเหตุที่ว่าจำนวนบิตจะเป็นอิสระต่อค่าเต็มสเกล (*Full scale*), (ซึ่งเป็นค่าอ้างอิงของตัวแปลง, *converter's reference*) การเข้ารหัสส่วนใหญ่ของตัวแปลงจะเป็นรหัสไบนารีที่เป็นเศษส่วน (*Fractional binary*) รหัสไบนารีที่เป็นจำนวนเต็มสามารถแสดงเป็นรหัสไบนารีที่เป็นเศษส่วนได้ ถ้าทุก ๆ บิตของจำนวนเต็มถูกหารด้วย $2^n$ ตัวอย่างเช่น บิต *MSB* จะมีค่าน้ำหนักเป็น *1/2* $(2^{(n-1)}/2^n = 2^{-1})$ บิตถัดมาจะมีค่าน้ำหนักเป็น *1/4* $(2^{-2})$ และในบิตต่อ ๆ มาค่าน้ำหนักประจำบิตจะลดลงเรื่อย ๆ จนถึงบิต *LSB* ซึ่งจะมีค่าน้ำหนักเป็น $1/2^n$ $(2^0/2^n = 2^{-n})$ ถ้าหากว่าจำนวนของบิตมากจะเห็นว่าค่าน้ำหนักประจำบิตของไบนารีที่เป็นเศษส่วนจะขึ้นอยู่กับค่า $2^n$ ดังนั้นค่าของแต่ละเวิร์ดที่เป็นไปได้จะมีค่าจาก *0* ถึง $(1-2^{-n})$ ของค่าเต็มสเกล ถึงแม้ว่าจำนวนบิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเพิ่มขึ้นเท่าไรก็ตามก็จะไม่มีผลกระทบกับพิสัยของค่าเต็มสเกล (*Fullscale Range*) เลย ดังนั้นค่าเต็มสเกลจึงเป็นตัวนอร์มอลไลซ์ (*normalize*) ให้กับรหัสไบนารีเศษส่วนนั่นเอง ตารางที่ 3.2 แสดงรหัสไบนารีจำนวนเต็ม และรหัสไบนารีเศษส่วน โดยมีค่าที่เป็นไปได้ 16 ระดับ และจำนวนบิตสูงสุด $n = 4$

ตารางที่ 3.2 รหัสไบนารีจำนวนเต็มและเศษส่วน

| Decimal Fraction | Binary Fraction | Code MSB (×1/2) | Bit 2 (×1/4) | Bit 3 (×1/8) | Bit 4 (×1/16) | Binary Integer | Decimal Integer |
|---|---|---|---|---|---|---|---|
| 0 | 0.0000 | 0 | 0 | 0 | 0 | 0000 | 0 |
| $1/16 = 2^{-4}$ (LSB) | 0.0001 | 0 | 0 | 0 | 1 | 0001 | 1 |
| 2/16 = 1/8 | 0.0010 | 0 | 0 | 1 | 0 | 0010 | 2 |
| 3/16 = 1/8+1/16 | 0.0011 | 0 | 0 | 1 | 1 | 0011 | 3 |
| 4/16 = 1/4 | 0.0100 | 0 | 1 | 0 | 0 | 0100 | 4 |
| 5/16 = 1/4+1/16 | 0.0101 | 0 | 1 | 0 | 1 | 0101 | 5 |
| 6/16 = 1/4+1/8 | 0.0110 | 0 | 1 | 1 | 0 | 0110 | 6 |
| 7/16 = 1/4+1/8+1/16 | 0.0111 | 0 | 1 | 1 | 1 | 0111 | 7 |
| 8/16 = 1/2 (MSB) | 0.1000 | 1 | 0 | 0 | 0 | 1000 | 8 |
| 9/16 = 1/2+1/16 | 0.1001 | 1 | 0 | 0 | 1 | 1001 | 9 |
| 10/16 = 1/2+1/8 | 0.1010 | 1 | 0 | 1 | 0 | 1010 | 10 |
| 11/16 = 1/2+1/8+1/16 | 0.1011 | 1 | 0 | 1 | 1 | 1011 | 11 |
| 12/16 = 1/2+1/4 | 0.1100 | 1 | 1 | 0 | 0 | 1100 | 12 |
| 13/16 = 1/2+1/4+1/16 | 0.1101 | 1 | 1 | 0 | 1 | 1101 | 13 |
| 14/16 = 1/2+1/4+1/8 | 0.1110 | 1 | 1 | 1 | 0 | 1110 | 14 |
| 15/16 = 1/2+1/4+1/8+1/16 | 0.1111 | 1 | 1 | 1 | 1 | 1111 | 15 |

พิจารณาตารางที่ 3.2 เมื่อทุกบิตเป็น "*1*" ค่าของจำนวนเศษส่วนจะมีค่าสูงสุดเท่ากับ $1-2^{-n}$ หรือกล่าวได้ว่า มีค่าน้อยกว่าค่านอร์มอลไลซ์เต็มสเกลอยู่ *1 LSB* ( นั่นคือ $1-1/16 = 15/16$ ) ข้อสังเกตอีกอย่างหนึ่งที่เห็นได้ชัดคือ จำนวนของไบนารีเศษส่วน จะเขียนเป็นจุดทศนิยมของไบนารีจำนวนเต็ม (*integer point*) "$0.1111_2$" ( $= 1_2-0.0001_2$) อย่างไรก็ตาม ในทางปฏิบัติแล้ว ส่วนใหญ่จะเขียนรหัสง่าย ๆ เป็นรหัสจำนวนเต็ม "$1111_2$" ($15_{10}$) โดยเป็นที่เข้าใจตรงกันว่า *1111* ก็คือ $\frac{1111}{(1111+1)}$ หรือก็คือ $\frac{15}{16}$ นั่นเอง และค่าน้ำหนักประจำบิตที่ *LSB* จะถูกกำหนดให้เป็น "ค่าความละเอียด" (*Resolution*) ของจำนวน $n$ บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 3.3 การแปลงสัญญาณอานาลอกเป็นสัญญาณดิจิตอลโดยวิธีการประมาณค่าตามลำดับขั้น (*SAADC*)

จากหัวข้อที่แล้วจะเห็นได้ว่ารหัสไบนารีพิจารณาได้ 2 ลักษณะคือ ไบนารีจำนวนเต็ม และไบนารีเศษส่วน ซึ่งสามารถหาค่าของมันได้ทั้งสองแบบ ในหัวข้อนี้ผู้เขียนจะได้กล่าวถึงหลักการพื้นฐานในการแปลงสัญญาณแบบ *SAADC* ทั้งนี้ค่าของรหัสไบนารีของทั้ง 2 แบบสามารถพิจารณาได้ดังนี้

ตารางที่ 3.3 การประมาณค่ารหัสไบนารี

| รหัสไบนารี | บิต | *MSB* $(n-1)$ | $(n-2)$ | $(n-3)$ | ... | *LSB* $(n-n)$ |
|---|---|---|---|---|---|---|
| จำนวนเต็ม | น้ำหนักประจำบิต | $2^{n-1}$ | $2^{n-2}$ | $2^{n-3}$ | ... | $2^{n-n}$ |
| | ค่าที่ประมาณได้ | $b_{n-1}2^{n-1}$ | $+b_{n-2}2^{n-2}$ | $+b_{n-3}2^{n-3}$ | + ... | $+b_{n-n}2^{n-n}$ |
| เศษส่วน | น้ำหนักประจำบิต | $\frac{1}{2}$ | $\frac{1}{2^2}$ | $\frac{1}{2^3}$ | ... | $\frac{1}{2^n}$ |
| | ค่าที่ประมาณได้ | $\frac{b_{n-1}}{2}$ | $+\frac{b_{n-2}}{2^2}$ | $+\frac{b_{n-3}}{2^3}$ | + ... | $+\frac{b_{n-n}}{2^n}$ |

พิจารณารหัสไบนารีเศษส่วน และกำหนดให้

$b_{n-1}, b_{n-2}, \ldots , b_{n-n}$ เป็นจำนวนบิตของรหัสไบนารี

$n$ เป็นจำนวนบิตสูงสุด

$Q_{aprox}$ เป็นค่าประมาณที่ได้จากการแปลงรหัสไบนารี

เราจะได้

$$\left.\begin{aligned} Q_{aprox} &= \frac{b_{n-1}2^{n-1}}{2^n}+\frac{b_{n-2}2^{n-2}}{2^n}+\ldots+\frac{b_{n-n}2^{n-n}}{2^n} \\ &= b_{n-1}\left(\frac{1}{2}\right)+b_{n-2}\left(\frac{1}{2^2}\right)+\ldots+b_0\left(\frac{1}{2^n}\right) \end{aligned}\right\} \qquad (3.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำการนอร์มอลไลซ์ทางด้านขวามือของสมการที่ (3.1) ด้วยค่าเต็มสเกล เมื่อให้ *FS* เป็นค่าเต็มสเกลจะได้

$$Q_{aprox} = FS\left(\frac{b_{n-1}2^{n-1}}{2^n}+\frac{b_{n-2}2^{n-2}}{2^n}+\ldots+\frac{b_{n-n}2^{n-n}}{2^n}\right) \quad (3.2)$$

จากสมการที่ (3.1) จะเห็นได้ว่าค่า *FS* มีค่าเท่ากับ 1 หน่วย ซึ่งค่า *FS* จะมีพิสัย (*Rang*) เท่าไรก็ได้ โดยที่ค่าเต็มสเกล *FS* เสมือนกับว่ากระทำตัวเป็นค่าอ้างอิงให้กับการแปลงนั่นเอง ดังนั้นค่า $Q_{aprox}$ ที่ได้จากสมการ (3.2) จะมีค่าได้มากที่สุดไม่เกินค่าเต็มสเกล *FS*

ตัวอย่างหนึ่งที่เห็นได้ชัดคือ ถ้าเราให้ *FS* มีค่าเท่ากับ 4 และให้รหัสไบนารีมีขนาด 4 บิต ($n = 4$) โดยมีรหัสเป็น "*1111*" ซึ่งเป็นค่ามากที่สุด จะได้

$$\begin{aligned} Q_{aprox} &= 4\left(\frac{1\times 2^3}{2^4}+\frac{1\times 2^2}{2^4}+\frac{1\times 2^1}{2^4}+\frac{1\times 2^0}{2^4}\right) \\ &= 4\left(\frac{1}{2}+\frac{1}{4}+\frac{1}{8}+\frac{1}{16}\right) \\ &= 4(0.5+0.25+0.125+0.0625) \\ &= 3.75 \end{aligned}$$

เมื่อเราพิจารณาค่า $Q_{aprox}$ ที่ได้จากตัวอย่าง และจากตารางที่ 3.2 ค่า $Q_{aprox}$ สูงสุดที่ได้นี้ จะมีค่าน้อยกว่าค่าเต็มสเกลอยู่ *1 LSB* (ถ้าหากมีจำนวนบิตมากขึ้นจะยิ่งให้ค่าที่ประมาณได้ มีค่าใกล้เคียงค่าเต็มสเกลมากยิ่งขึ้น) ทำการเขียนสมการที่ (3.2) ใหม่ ให้กระชับขึ้นจะได้

$$\begin{aligned} Q_{aprox} &= \frac{FS}{2^n}\left(b_{n-1}2^{n-1}+b_{n-2}2^{n-2}+\ldots+b_{n-n}2^{n-n}\right) \\ &= \frac{FS}{2^n}\sum_{i=0}^{n-1} b_i 2^i \end{aligned} \quad (3.3)$$

และถ้าเราให้ $Q_{aprox}$ ทางด้านซ้ายมือของสมการที่ (3.3) เป็นค่าของสัญญาณอานาลอกอินพุตที่ประมาณค่าได้ ($Q_{aprox} = V_{in}$) จึงทำให้สมการที่ (3.3) มีรูปแบบดังสมการที่ (3.4)

$$V_{in} = \frac{FS}{2^n}\sum_{i=0}^{n-1} b_i 2^i \quad (3.4)$$

เมื่อ $n$ เป็น จำนวนบิตสูงสุด

$2^i$ เป็น ค่าน้ำหนักประจำบิต

*FS* เป็น สัญญาณอานาลอกเต็มสเกล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการที่ (3.4) คือสมการที่ให้ความสัมพันธ์ในการแปลงสัญญาณดิจิตอลเป็นสัญญาณอานาลอกนั่นเอง โดยที่ $\frac{FS}{2^n}$ ก็คือค่าความละเอียดในการควันไตซ์จากค่าต่ำสุดถึงค่าสูงสุดของค่าเต็มสเกล เช่น ถ้า $n = 8$ เราจะได้ระดับของการควันไตซ์ทั้งหมด 256 ระดับของสัญญาณอานาลอกเต็มสเกล และค่าความละเอียดของแต่ละระดับที่ติดกัน มีค่าเท่ากับ $\frac{FS}{256}$

พิจารณาสมการที่ (3.1) ใหม่ ($FS = 1$) นั่นคือ

$$V_{in} = \frac{1}{2^n} \sum_{i=0}^{n-1} b_i 2^i$$
$$= \frac{b_{n-1}}{2} + \frac{b_{n-2}}{4} + \ldots + \frac{b_0}{2^n}$$

เมื่อพิจารณาเฉพาะค่าน้ำหนักประจำบิต จะเห็นได้ว่าค่าน้ำหนักประจำบิตมีค่าเป็น

ตารางที่ 3.4 ค่าน้ำหนักประจำบิต

| บิต | *MSB* $(n-1)$ | $(n-2)$ | $(n-3)$ | ... | *LSB* $(n-n)$ |
|---|---|---|---|---|---|
| น้ำหนักประจำบิต | $\frac{1}{2}$ | $\frac{1}{4}$ | $\frac{1}{8}$ | ... | $\frac{1}{2^n}$ |

การหาค่าบิตที่ประจำน้ำหนักนั้น ๆ ของการแปลงสัญญาณอานาลอกเป็นสัญญาณดิจิตอล จะเห็นได้ว่าเราจะต้องสร้างระดับสัญญาณอ้างอิงเพื่อใช้แทนค่าน้ำหนักประจำในแต่ละบิตขึ้นมา โดยที่สัญญาณอ้างอิงจะมีทั้งหมด $n$ ระดับ กล่าวคือจะขึ้นอยู่กับจำนวนบิตสูงสุดของการแปลงนั่นเอง

สมมติให้สัญญาณอานาลอกที่ต้องการแปลงมีค่าดิจิตอลขนาด 4 บิต ดังนั้นระดับสัญญาณอ้างอิงที่สร้างขึ้นจะมีทั้งหมด 4 ระดับ ดังนี้

**ตารางที่ 3.5 ระดับสัญญาณอ้างอิงเพื่อใช้แทนน้ำหนักประจำบิต**

| บิต | *MSB* $b_3$ | $b_2$ | $b_1$ | *LSB* $b_0$ |
|---|---|---|---|---|
| ระดับสัญญาณอ้างอิง (น้ำหนักประจำบิต) | $\frac{FS}{2}$ | $\frac{FS}{4}$ | $\frac{FS}{8}$ | $\frac{FS}{16}$ |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.3.1 หลักการแปลงแบบ *SAADC*

จากหลักการแปลงแบบ *SA* ที่ได้กล่าวไว้แล้วในบทที่ 2 ในหัวข้อนี้ จะได้กล่าวถึงขั้นตอนการแปลงแบบ *SAADC* โดยเริ่มต้นจาก ให้นำเอาระดับสัญญาณอานาลอกอินพุตที่ต้องการจะแปลงมาเปรียบเทียบกับระดับสัญญาณอ้างอิงที่สร้างขึ้น แล้วทำการตัดสินค่าบิตออกมาโดยมีเงื่อนไขดังนี้

กำหนดให้ $V_{in}$ คือระดับสัญญาณอานาลอกอินพุตที่ต้องการจะแปลง

**เงื่อนไขที่ 1** ถ้า $V_{in}$ > ระดับสัญญาณอ้างอิงจะให้ค่าบิตออกมาเป็น "*1*"

**เงื่อนไขที่ 2** ถ้า $V_{in}$ < ระดับสัญญาณอ้างอิงจะให้ค่าบิตออกมาเป็น "*0*"

พิจารณาลำดับการแปลงสัญญาณอานาลอกเป็นสัญญาณดิจิตอลของกระบวนการแปลงต่อ 1 ระดับสัญญาณอานาลอกอินพุต

**ลำดับแรก** นำค่าสัญญาณอานาลอกอินพุตมาทำการเปรียบเทียบกับสัญญาณอ้างอิงลำดับแรก $\frac{FS}{2}$

**กรณีที่ 1** ถ้า $V_{in} > \frac{FS}{2}$ จะให้ค่าบิตเป็น "*1*" ซึ่งเป็นบิต *MSB* แสดงว่า $V_{in}$ มีค่ามากกว่าน้ำหนักประจำบิต *MSB* ดังนั้นจึงต้องนำเอาค่าน้ำหนักประจำบิตถัดมา $\left(\frac{FS}{4}\right)$ มารวมกับน้ำหนักประจำบิต *MSB* เพื่อหาค่าประมาณที่ใกล้เคียงกับสัญญาณอานาลอกอินพุตมากที่สุดแล้วทำการเปรียบเทียบกับ $V_{in}$ ใหม่

**กรณีที่ 1 A** ถ้า $V_{in} > \frac{FS}{2} + \frac{FS}{4}$ จะได้บิตต่อมาเป็น "*1*" แล้วให้นำค่าน้ำหนักประจำบิตต่อมาบวกกับผลรวมของน้ำหนักประจำบิตก่อนหน้า แล้วให้นำเอาไปเปรียบเทียบกับ $V_{in}$ ใหม่ และในการตัดสินค่าบิตต่อ ๆ มาก็ให้กระทำตามกระบวนการเช่นเดียวกับข้างต้นจนกระทั่งได้ค่าบิตของ *LSB* ออกมา

**โดยที่** ถ้า $V_{in}$ > ผลรวมของค่าน้ำหนักประจำบิตจะให้ค่าบิตออกมาเป็น "*1*"

ถ้า $V_{in}$ < ผลรวมของค่าน้ำหนักประจำบิตจะให้ค่าบิตออกมาเป็น "*0*"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**กรณีที่ 1B** ถ้า $V_{in} < \frac{FS}{2} + \frac{FS}{4}$ จะได้บิตต่อมาเป็น "*0*" แล้วให้นำค่าน้ำหนักประจำบิตต่อมาลบออกจากผลรวมของน้ำหนักประจำบิตก่อนหน้าแล้วนำมาเปรียบเทียบกับ $V_{in}$ ใหม่และในการตัดสินค่าบิตต่อ ๆ มาก็ให้กระทำตามกระบวนการเช่นเดียวกับข้างต้นจนกระทั่งได้ค่าบิตของ *LSB* ออกมา

**โดยที่** ถ้า $V_{in}$ > ผลรวมของค่าน้ำหนักประจำบิตจะให้ค่าบิตออกมาเป็น "*1*"
ถ้า $V_{in}$ < ผลรวมของค่าน้ำหนักประจำบิตจะให้ค่าบิตออกมาเป็น "*0*"

**กรณีที่ 2** ถ้า $V_{in} < \frac{FS}{2}$ จะได้ค่าบิต *MSB* เป็น "*0*" จึงต้องนำเอาค่าน้ำหนักประจำบิตต่อมา $\left(\frac{FS}{4}\right)$ มาลบออกจาก $\frac{FS}{2}$ (หรือลดค่าน้ำหนักประจำบิตลงครึ่งหนึ่ง) แล้วนำมาเปรียบเทียบกับ $V_{in}$ ใหม่ในการตัดสินค่าบิตนี้ และกระบวนการหาค่าบิตถัดมาจนกระทั่งถึงบิต *LSB* จะกระทำตามกระบวนการหาค่าบิตเช่นเดียวกับกรณีที่ 1A และกรณีที่ 1B ของกรณีที่ 1

เพื่อให้เห็นภาพพจน์ให้ดียิ่งขึ้นของกระบวนการ *SAADC* จึงได้แสดงตัวอย่างการหาค่าบิตดิจิตอลจากสัญญาณอานาลอกอินพุตมาพอสังเขป

**ตัวอย่าง** ถ้าให้ค่าเต็มสเกล $FS = 1\ V$ และมีสัญญาณอานาลอกอินพุต $V_{in} = 0.8\ V$ โดยต้องการแปลงสัญญาณอานาลอกอินพุตเป็นสัญญาณดิจิตอลโดยการประมาณค่าตามลำดับขั้นขนาด 4 บิต

**ลำดับแรก** นำค่าสัญญาณอ้างอิงลำดับแรก $\left(\frac{FS}{2}\right)$ เปรียบเทียบกับ $V_{in}$

$0.8\ V > 0.5\ V$ จะให้ค่า *MSB* เป็น "*1*"

| | *MSB* | | | *LSB* |
|---|---|---|---|---|
| ค่าดิจิตอล | *1* | *x* | *x* | *x* |

**ลำดับที่สอง** เพื่อให้ค่าที่ประมาณได้ใกล้เคียง $0.8\ V$ มากที่สุดในบิตถัดมาจึงจำเป็นที่จะต้องนำเอาค่าน้ำหนักถัดมาบวกเพิ่มเข้าไป นั่นคือ $0.5 + 0.25 = 0.75\ V$ แล้วทำการเปรียบเทียบกับ $V_{in}$ ใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$0.8\ V > 0.75\ V$ ได้ค่าบิตเป็น "*1*"

| | MSB | | | LSB |
|---|---|---|---|---|
| ค่าดิจิตอล | *1* | *1* | *x* | *x* |

**ลำดับที่สาม** $0.5 + 0.25 + 0.125 = 0.875\ V$

และ $0.8\ V < 0.875\ V$ แสดงว่าเมื่อรวมค่าน้ำหนักประจำใน 3 บิตแรก จะให้ค่าเกินระดับสัญญาณอานาลอก $0.8\ V$ บิตนี้จึงเป็น "*0*" (ถ้าเป็น "*1*" ค่าที่ประมาณได้จะเกิน)

| | MSB | | | LSB |
|---|---|---|---|---|
| ค่าดิจิตอล | *1* | *1* | *0* | *x* |

**ลำดับสุดท้าย** เมื่อ $0.8\ V < 0.875\ V$ จึงจำเป็นต้องลดค่าน้ำหนักด้วยการนำเอาค่าน้ำหนักประจำบิต *LSB* มาลบออกจาก *0.875* นั่นคือ $0.875 - 0.0625 = 0.8125\ V$ หรืออาจจะนำเอาค่าผลรวมของสัญญาณอ้างอิงก่อนหน้า *0.875* มารวมกับน้ำหนักประจำบิต *LSB* ซึ่งก็จะได้ผลลัพธ์ออกมาเท่ากัน นั่นคือ $0.8\ V < 0.8125\ V$ บิต *LSB* จึงเป็น "*0*" ค่าดิจิตอลที่ได้จากการแปลงตลอดกระบวนการจึงมีค่าเป็น

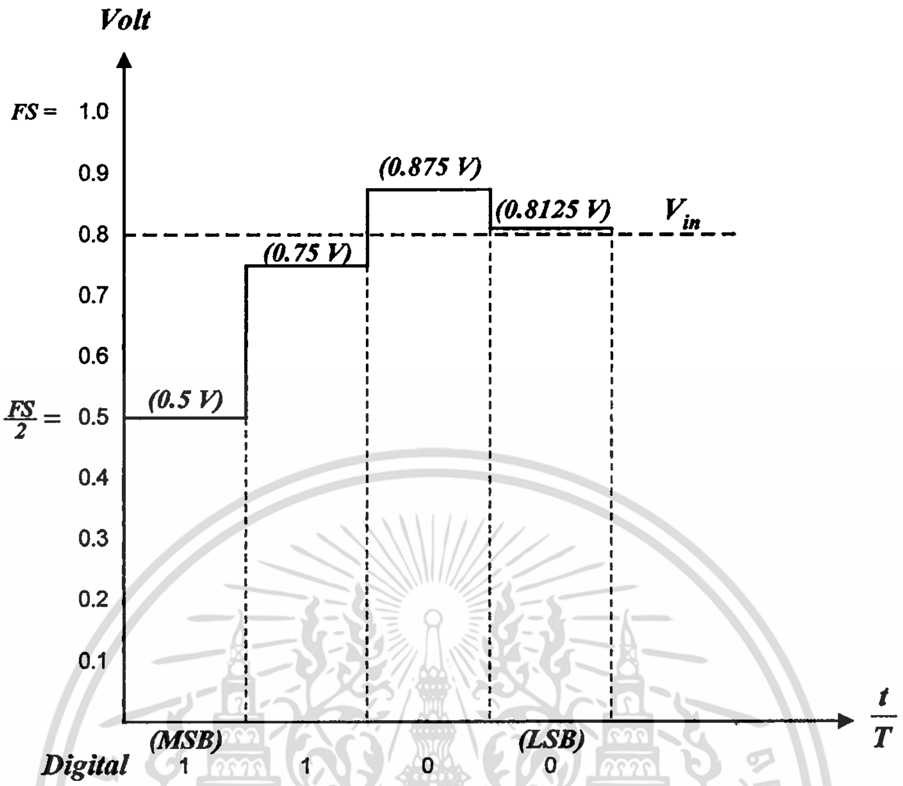
| | MSB | | | LSB |
|---|---|---|---|---|
| ค่าดิจิตอล | *1* | *1* | *0* | *0* |

ตรวจสอบค่าดิจิตอลที่ได้ จากสมการ (3.4) เพื่อหาค่าสัญญาณอานาลอกอินพุตที่ได้จากการประมาณค่า

จาก
$$V_{in} = \frac{FS}{2^n}\sum_{i=0}^{n-1} b_i 2^i$$
$$= \frac{1}{16}\left[\left(1\times 2^3\right)+\left(1\times 2^2\right)\right]$$
$$= 0.75\ V$$

อย่างไรก็ตามค่าดิจิตอลที่ได้ถ้าหากมีจำนวนบิตเพิ่มขึ้นจะทำให้ความละเอียดจากการแปลงมากยิ่งขึ้น กล่าวคือ จะทำให้ค่าที่ประมาณได้มีค่าใกล้เคียงสัญญาณอานาลอกอินพุตจริงมากยิ่งขึ้น รูปที่ 3.1 แสดงระดับสัญญาณเปรียบเทียบที่เกิดจากการแปลงจากตัวอย่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

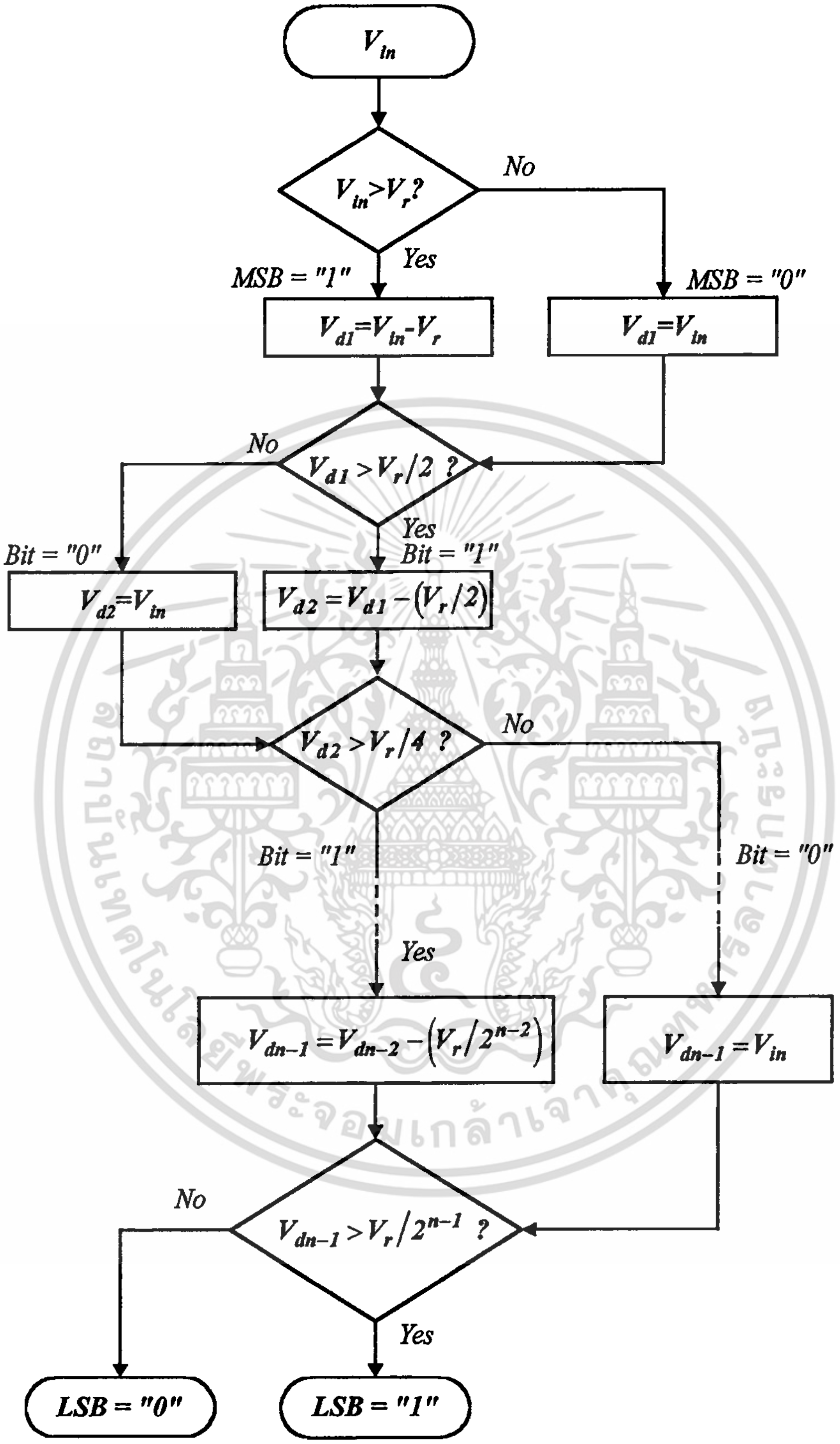



รูปที่ 3.1 สัญญาณเปรียบเทียบจากตัวอย่าง
เมื่อให้ $V_{in} = 0.8\ V$ และ $n = 4$

### 3.4 อัลกอริธึม *SAADC* แบบลบ และอัลกอริธึม *SAADC* แบบบวก

จากกระบวนการ *SAADC* ในหัวข้อที่แล้วจะเห็นได้ว่า เงื่อนไขของกระบวนการแปลงดังกล่าว จะมีทั้งการเพิ่มค่าและการลดค่าของระดับสัญญาณอ้างอิงที่เราใช้แทนน้ำหนักประจำบิตก่อนที่จะนำมาเปรียบเทียบกับสัญญาณอานาลอกอินพุต ซึ่งจะทำให้วงจรมีความซับซ้อนและยุ่งยากต่อการออกแบบวงจร เพื่อแก้ปัญหาดังกล่าวผู้เขียนจึงได้เสนออัลกอริธึมของ *SAADC* ออกมาเป็น 2 อัลกอริธึม แต่ให้ผลของการแปลงเหมือนกัน นั่นคือ อัลกอริธึมแบบลบและอัลกอริธึมแบบบวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.2 แผนภูมิของอัลกอริธึม *SAADC* แบบลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.4.1 อัลกอริธึม *SAADC* แบบลบ

โดยทั่วไปหลักการ *SAADC* [1], [2] มักจะใช้อัลกอริธึมในการทำงานแบบลบ โดยการประมาณค่าจะใช้วิธีการเปรียบเทียบค่าสัญญาณอานาลอกอินพุต $V_{in}$ กับสัญญาณอ้างอิงลำดับแรก ถ้า $V_{in} > \frac{FS}{2}$ จะให้ค่าบิตออกมาเป็น "*1*" (*MSB*) แล้วทำการหาค่าผลต่างของสัญญาณทั้งสอง นำเอาผลต่างที่ได้ไปเปรียบเทียบกับสัญญาณอ้างอิงลำดับที่ 2 $\left(\frac{FS}{4}\right)$ ต่อไป แต่ถ้า $V_{in} < \frac{FS}{2}$ จะกำหนดค่าบิตที่ได้เป็น "*0*" (*MSB*) และไม่ต้องหาค่าผลต่างของสัญญาณทั้งสองจากนั้นให้นำเอาสัญญาณอานาลอกอินพุตตัวดังกล่าวไปเปรียบเทียบกับสัญญาณอ้างอิงลำดับที่ 2 $\left(\frac{FS}{4}\right)$ ต่อไป โดยการตัดสินค่าบิตต่อ ๆ ไป กระบวนการก็จะดำเนินไปเช่นเดียวกับบิตแรก ซึ่งแผนภูมิการทำงานแสดงได้ดังรูปที่ 3.2

เมื่อให้ $V_r = \frac{FS}{2}$

$V_{d1}, V_{d2}, \ldots, V_{dn-1}$ เป็นผลต่างของสัญญาณอานาลอกอินพุตกับสัญญาณอ้างอิงลำดับต่าง ๆ หรืออาจจะเป็นระดับสัญญาณอานาลอกอินพุต

$n$ เป็นจำนวนบิตสูงสุด

### 3.4.2 อัลกอริธึม *SAADC* แบบบวก

กระบวนการเริ่มด้วยการนำเอาสัญญาณอานาลอกอินพุต $V_{in}$ ไปเปรียบเทียบกับสัญญาณอ้างอิงลำดับแรก $\frac{FS}{2}$ ถ้า $V_{in} > \frac{FS}{2}$ จะให้ค่าบิตออกมาเป็น "1" (*MSB*) ให้เอาสัญญาณอ้างอิงลำดับแรกบวกกับสัญญาณอ้างอิงลำดับที่สอง $\left(\frac{FS}{2}+\frac{FS}{4}\right)$ แล้วนำไปเปรียบเทียบกับสัญญาณอานาลอกอินพุตตัวเดิมเพื่อหาค่าบิตที่ 2 พิจารณาได้ 2 กรณี คือ

**กรณีที่ 1** ถ้าบิตที่ได้ออกมาเป็น "*1*" ให้นำเอาสัญญาณอ้างอิงลำดับต่อไปมาบวกเพิ่มเข้าไป $\left(\frac{FS}{2}+\frac{FS}{4}+\frac{FS}{8}\right)$ แล้วทำการเปรียบเทียบกับสัญญาณอินพุตตัวเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**กรณีที่ 2** ถ้าบิตที่ได้ออกมาเป็น "*0*" ให้นำเอาสัญญาณอ้างอิงก่อนหน้ามาบวกกับสัญญาณอ้างอิงลำดับถัดไป $\left(\frac{FS}{2}+\frac{FS}{8}\right)$ แล้วเปรียบเทียบกับสัญญาณอินพุตตัวเดิม

แต่ถ้า $V_{in} < \frac{FS}{2}$ จะกำหนดบิตที่ได้เป็น "*0*" (*MSB*) ไม่ต้องทำการบวก $\frac{FS}{2}$ กับ $\frac{FS}{4}$ แต่จะเอา $\frac{FS}{4}$ ไปเปรียบเทียบกับสัญญาณอานาลอกตัวเดิมเพื่อหาค่าบิตที่ 2 ซึ่งมี 2 เงื่อนไข คือ

**เงื่อนไขที่ 1** ถ้าบิตที่ได้ออกมาเป็น "*1*" ให้นำสัญญาณอ้างอิงลำดับถัดไปมาบวกกับสัญญาณอ้างอิงตัวเดิม $\left(\frac{FS}{4}+\frac{FS}{8}\right)$ แล้วทำการเปรียบเทียบกับสัญญาณอานาลอกอินพุตตัวเดิม

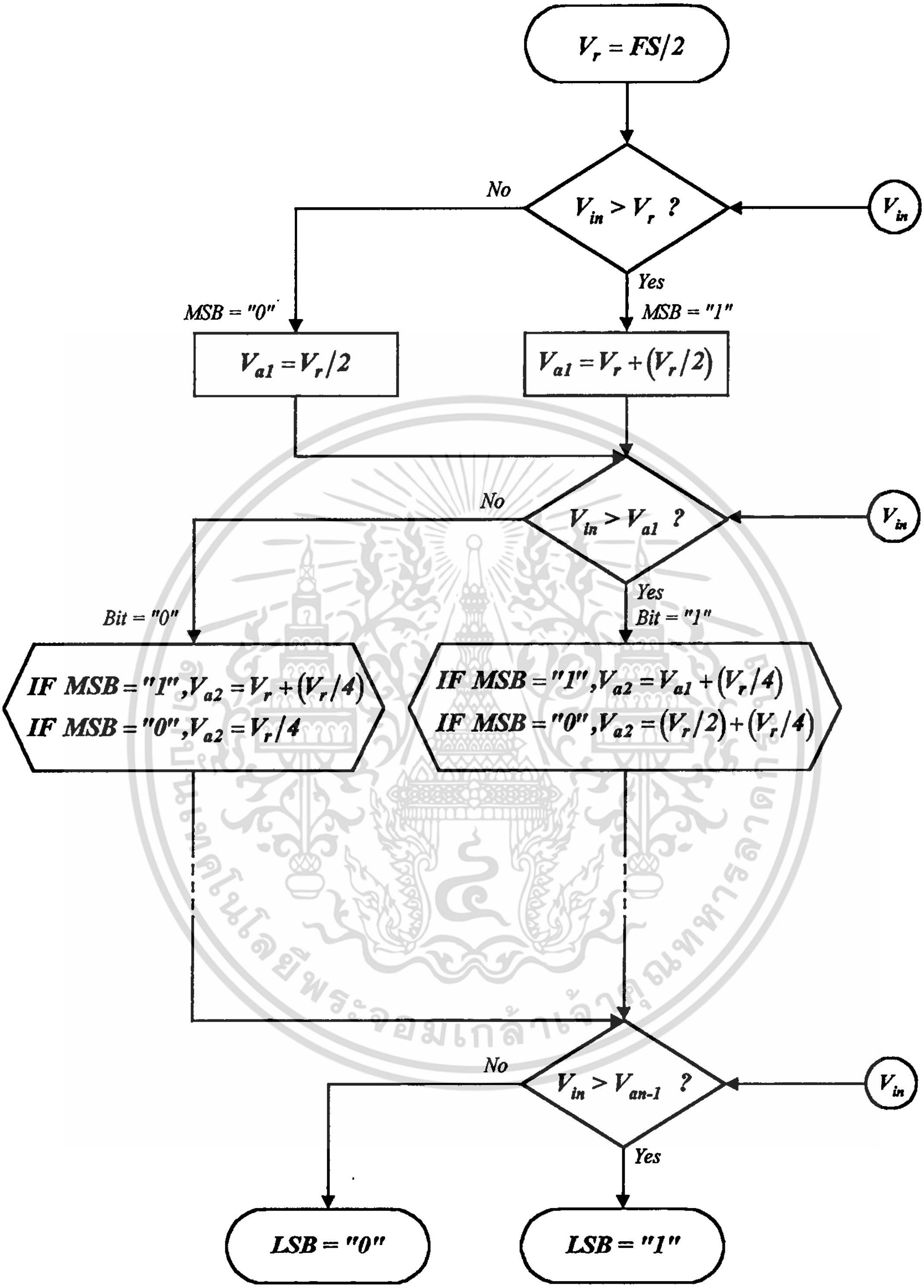
**เงื่อนไขที่ 2** ถ้าบิตที่ได้ออกมาเป็น "*0*" ไม่ต้องทำการบวก $\frac{FS}{4}$ กับ $\frac{FS}{8}$ แต่ให้นำ $\frac{FS}{8}$ ไปเปรียบเทียบกับสัญญาณอานาลอกอินพุตตัวเดิมซึ่งกระบวนการดังกล่าวจะเกิดขึ้นในการหาค่าดิจิตอลแต่ละบิตจนครบ แผนภูมิการทำงานแสดงได้ดังในรูปที่ 3.3

เมื่อให้ $n$ เป็นจำนวนบิตสูงสุด

$V_{a1}, V_{a2}, \ldots, V_{an-1}$ เป็นผลรวมของสัญญาณอ้างอิงลำดับต่าง ๆ

จะเห็นได้ว่าอัลกอริธึมที่ได้นำเสนอทั้งสองแบบจะมีเพียงการหาค่าผลต่างเพียงอย่างเดียว หรือมีเพียงการเพิ่มค่าของสัญญาณเปรียบเทียบเพียงอย่างเดียวเท่านั้น จึงทำให้ง่ายต่อการสร้างวงจรจริงในทางปฏิบัติ และยังพบต่อไปอีกว่าอัลกอริธึมของ *SAADC* แบบบวกเมื่อนำไปออกแบบสร้างเป็นวงจรแล้วยังสามารถลดจำนวนสัญญาณนาฬิกาควบคุม และวงจรก็ใช้จำนวนอุปกรณ์น้อยลง โดยที่วงจรมีขนาดกระทัดรัด ดังที่จะได้กล่าวในบทที่ 4 ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



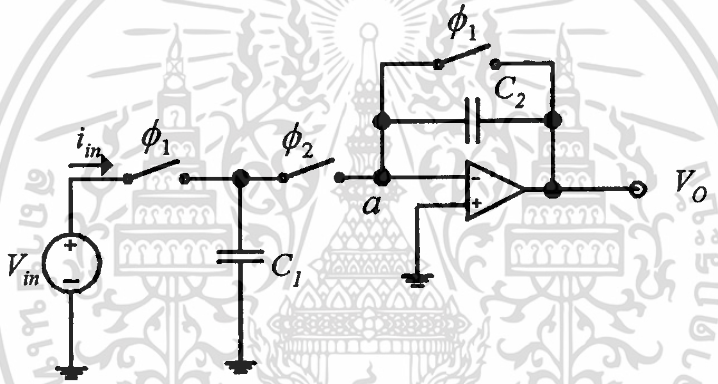

รูปที่ 3.3 แผนภูมิอัลกอริธึมของ *SAADC* แบบบวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

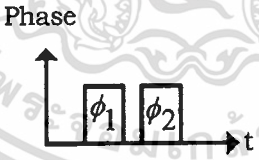
## 3.5 หลักการทำงานของวงจรสวิตช์-คาปาซิเตอร์ในลักษณะของการปั๊มประจุ ภายใต้กฎการอนุรักษ์ประจุ

ก่อนที่จะกล่าวถึงวงจรสวิตช์-คาปาซิเตอร์ ที่สร้างขึ้นเป็นวงจรแปลงสัญญาณแบบ *SAADC* ในบทที่ 4 นั้น จะขอกล่าวถึงวงจรที่ทำหน้าที่ในลักษณะของการปั๊มประจุ ซึ่งเป็นหัวใจหลักในการ ออกแบบ *SAADC* ซึ่งมีอุปกรณ์ที่ประกอบไปด้วย อานาลอกสวิตช์, คาปาซิเตอร์ และออปแอมป์ ซึ่งมีวงจรอยู่ด้วยกัน 2 แบบ ดังนี้คือ

**วงจรแบบที่ 1**




รูปที่ 3.4ก วงจรสวิตช์-คาปาซิเตอร์ในลักษณะของการปั๊มประจุ

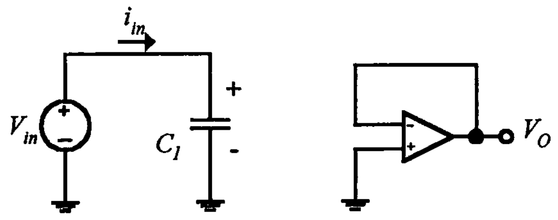



รูปที่ 3.4ข แผนภูมิลำดับการทำงานของสวิตช์ $\phi_1$ และ $\phi_2$

รูปที่ 3.4 วงจรสวิตช์-คาปาซิเตอร์ในลักษณะของการปั๊มประจุ ที่ให้ค่า $V_o = -V_{in}$ ถ้า $C_1 = C_2$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมมติให้ อินพุตโวลเตจมีค่าคงที่เป็น $V_{in}$ เมื่อสวิตช์ $\phi_1$ ทำงานเราสามารถเขียนวงจรสมมูล 3.4 ก ได้ดังรูปที่ 3.5

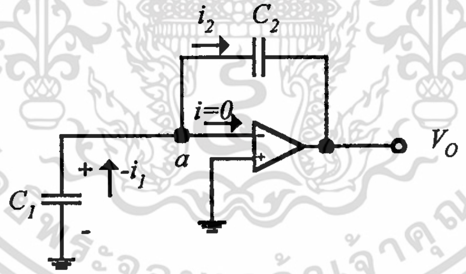



รูปที่ 3.5 วงจรขณะที่สวิตช์ $\phi_1$ ทำงาน

กระแส $i_{in}$ ไหลเข้าสู่ตัวเก็บประจุ $C_1$ โดยที่ค่าของประจุจะค่อย ๆ เพิ่มขึ้นจนเป็น $\Delta q_1$ นั่นคือ

$$\Delta q_1 = C_1 V_{in} \tag{3.5}$$

และเมื่อสวิตช์ $\phi_2$ ทำงาน วงจรสมมูลของ 3.4ก แสดงได้ดังรูป 3.6




รูปที่ 3.6 วงจรขณะที่สวิตช์ $\phi_2$ ทำงาน

และเมื่อพิจารณาวงจรในรูปที่ 3.6 ที่ $C_1$ จะเห็นได้ว่าตัวเก็บประจุ $C_1$ จะคายประจุ (*discharge*) ออกมาขณะที่กระแสที่ไหลเข้าขาอินเวอร์ติง (*inverting*) ของออปแอมป์มีค่าเท่ากับศูนย์ นั่นคือ ประจุที่ถูกเก็บอยู่ในตัวเก็บประจุ $C_1$ จะไหลเข้าไปเก็บในตัวเก็บประจุ $C_2$ ดังนั้นกระแส $i_2$ จึงไหลเข้าหรือประจุถูกชาร์จเข้าสู่ตัวเก็บประจุ $C_2$ เท่ากับ $\Delta q_2$ นั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

***KCL*** **ที่โนด a จะได้**

$$\left.\begin{aligned} -i_1 &= i_2 \\ \frac{-\Delta q_1}{\Delta t} &= \frac{\Delta q_2}{\Delta t} \\ \text{หรือ} \quad -\Delta q_1 &= \Delta q_2 \end{aligned}\right\} \qquad (3.6)$$

**นั่นคือ**

$$-C_1 V_{in} = C_2 V_o \qquad (3.7)$$

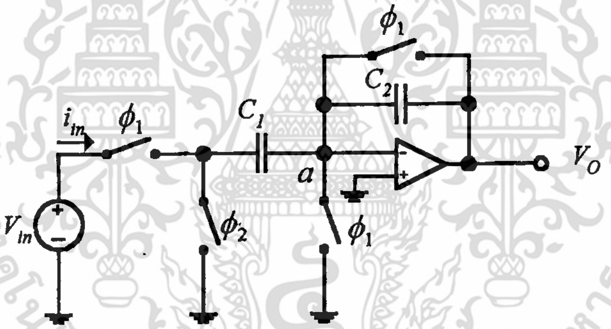
**จะได้**

$$V_o = -\frac{C_1 V_{in}}{C_2} \qquad (3.8)$$

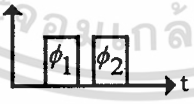
**เมื่อให้** $C_1 = C_2$ **ดังนั้น**

$$V_o = -V_{in} \qquad (3.9)$$

**วงจรแบบที่ 2**




รูปที่ 3.7ก วงจรสวิตช์-คาปาซิเตอร์ ในลักษณะของการปั๊มประจุ

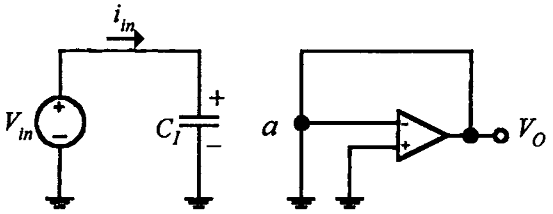



รูปที่ 3.7ข แผนภูมิลำดับการทำงานของสวิตช์ $\phi_1$ และ $\phi_2$

**รูปที่ 3.7 วงจรสวิตช์-คาปาซิเตอร์ ในลักษณะของการปั๊มประจุ ที่ให้ค่า $V_o = V_{in}$ ถ้า $C_1 = C_2$**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขณะที่สวิตช์ $\phi_1$ ทำงาน วงจรสมมูลในรูปที่ 3.7ก แสดงได้ดังรูปที่ 3.8

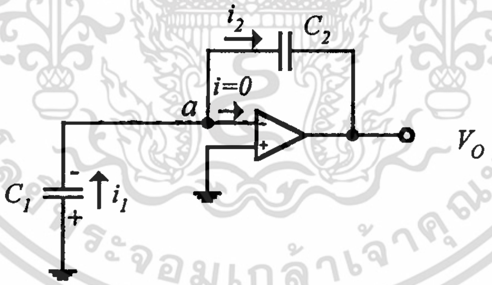



รูปที่ 3.8 วงจรขณะที่สวิตช์ $\phi_1$ ทำงาน

ซึ่งกระแส $i_{in}$ ไหลเข้าสู่ตัวเก็บประจุ $C_1$ จะทำให้ได้

$$\Delta q_1 = C_1 V_{in} \tag{3.10}$$

และในขณะที่ $\phi_2$ ทำงาน วงจรสมมูลของรูปที่ 3.7ก สามารถแสดงได้ดังรูปที่ 3.9




รูปที่ 3.9 วงจรขณะที่สวิตช์ $\phi_2$ ทำงาน

และจากรูปที่ 3.9 เมื่อพิจารณาที่ $C_1$ จะเห็นได้ว่าตัวเก็บประจุ $C_1$ เกิดการสลับกราวนด์ และตัวเก็บประจุ $C_1$ จะคายประจุออกมา เนื่องจากกระแสที่ไหลเข้าขาอินเวอร์ติงของออปแอมป์ มีค่าเท่ากับศูนย์ นั่นคือ ประจุที่ถูกเก็บอยู่ในตัวเก็บประจุ $C_1$ จะไหลเข้าไปเก็บในตัวเก็บประจุ $C_2$ ดังนั้นกระแส $i_2$ จึงไหลเข้าหรือประจุถูกชาร์จเข้าสู่ตัวเก็บประจุ $C_2$ เท่ากับ $\Delta q_2$ นั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

*KCL* ที่โนด a จะได้

$$\left.\begin{aligned} i_1 &= i_2 \\ \frac{\Delta q_1}{\Delta t} &= \frac{\Delta q_2}{\Delta t} \\ \text{หรือ} \quad \Delta q_1 &= \Delta q_2 \end{aligned}\right\} \quad (3.11)$$

นั่นคือ $$C_1 V_{in} = C_2 V_o \quad (3.12)$$

จะได้ $$V_o = \frac{C_1 V_{in}}{C_2} \quad (3.13)$$

เมื่อให้ $C_1 = C_2$ ดังนั้น

$$V_o = V_{in} \quad (3.14)$$

วงจรดังรูปที่ 3.4ก, รูปที่ 3.7ก และจากผลการวิเคราะห์ภายใต้กฎการอนุรักษ์ประจุจะเห็นได้ว่าค่าแรงดันเอาต์พุตของออปแอมป์จะมีค่าเท่ากับ ค่าสัญญาณอินพุต $V_{in}$ โดยที่วงจรแบบที่ 1 จะให้ค่าเอาต์พุตเป็น $-V_{in}$ ซึ่งวงจรจะกระทำตัวเสมือนเป็นวงจรอินเวอร์เตอร์ (*Inverter Circuit*) และวงจรแบบที่ 2 จะให้ค่าเอาต์พุตเป็น $V_{in}$ ซึ่งกระทำตัวเสมือนเป็นวงจรตามแรงดัน (*Voltage Follower Circuit*) เพื่อส่งต่อไปยังวงจรส่วนอื่น ๆ ได้นั่นเอง สำหรับอัตราส่วนของค่าความจุ $C_1/C_2$ ก็คือ อัตราขยายของวงจร โดยที่เราสามารถกระทำหรือกำหนดได้โดยง่าย ลักษณะเช่นนี้เราจึงเรียกว่า "วงจรทำงานในลักษณะของการปั๊มประจุ" ซึ่งจะนำไปใช้ในการออกแบบวงจร *SAADC* ทั้งอัลกอริธึมแบบลบ และอัลกอริธึมแบบบวกต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 4

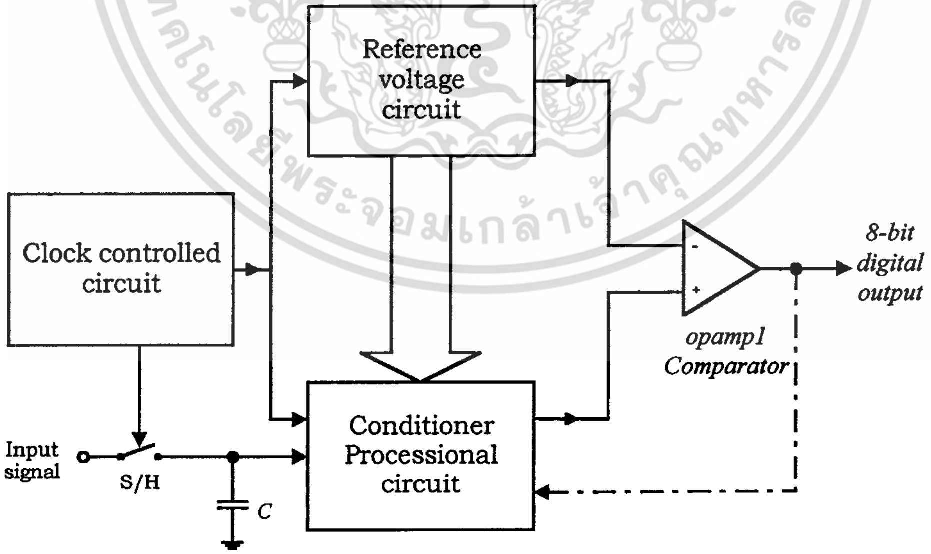
# การออกแบบและการทำงานของวงจร *SAADC*

## 4.1 บทนำ

จากอัลกอริธึมการแปลง *SAADC* ทั้งแบบลบและแบบบวก ที่ได้อธิบายไว้แล้วในบทที่ 3 ในบทนี้จะได้ทำการออกแบบวงจร *SAADC* ซึ่งประกอบไปด้วยส่วนสำคัญของวงจร 3 ส่วนคือ ส่วนวงจรสร้างสัญญาณอ้างอิง (แทนค่าน้ำหนักประจำบิต), ส่วนวงจรประมวลผลแบบมีเงื่อนไข และส่วนวงจรเปรียบเทียบ รายละเอียดในแต่ละส่วนของวงจรจะได้อธิบายในหัวข้อถัดไป

## 4.2 หลักการออกแบบวงจร *SAADC*

ดังที่กล่าวไว้ในหัวข้อที่แล้วว่าวงจร *SAADC* ประกอบไปด้วยส่วนของวงจรหลัก 3 ส่วน เราสามารถเขียนแผนภูมิความสัมพันธ์ของการทำงานวงจรส่วนหลักได้ดังแสดงในรูปที่ 4.1



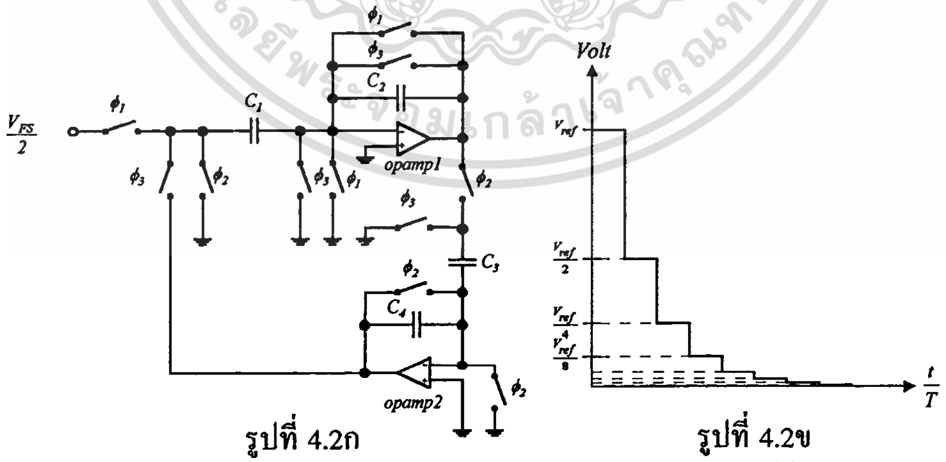

รูปที่ 4.1 บล็อกไดอะแกรมของวงจรแปลงสัญญาณอานาลอกเป็นสัญญาณดิจิตอลโดยการประมาณค่าตามลำดับขั้นด้วย *SC*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากบล๊อกไดอะแกรมของรูปที่ 4.1 การทำงานใน 1 รอบของการแปลงสัญญาณเริ่มจาก วงจรสัญญาณนาฬิกาควบคุมจะส่งสัญญาณควบคุมให้สวิตช์ *S/H* ทำการสุ่มตัวอย่างสัญญาณอานาลอกอินพุตเข้าไปยังวงจรประมวลผลแบบมีเงื่อนไข (*Conditioner Processional Circuit*) ในขณะเดียวกันก็จะส่งสัญญาณควบคุมให้กับวงจรสร้างระดับสัญญาณอ้างอิง เอาต์พุตที่ได้จากวงจรประมวลผลแบบมีเงื่อนไข และวงจรสร้างระดับสัญญาณอ้างอิงจะนำไปเปรียบ-เทียบกันที่ออปแอมป์ 1 ซึ่งจะได้สัญญาณดิจิตอลเอาต์พุตออกมาจนครบ 8 บิตต่อการแปลงสัญญาณ 1 ตัวอย่างสัญญาณ แล้วจึงเริ่มทำการปฏิบัติการใหม่ตั้งแต่ต้นกับสัญญาณตัวอย่างตัวต่อไป สำหรับเส้นประจากเอาต์พุตของออปแอมป์ 1 เป็นสัญญาณป้อนกลับมายังวงจรประมวลผลแบบมีเงื่อนไข เพื่อควบคุมให้เป็นไปตามอัลกอริธึมแบบลบ หรืออัลกอริธึมแบบบวก

### 4.2.1 การออกแบบส่วนวงจรสร้างระดับสัญญาณอ้างอิง

ในส่วนของวงจรสร้างระดับสัญญาณอ้างอิงเพื่อใช้แทนน้ำหนักประจำบิต แสดงได้ดังรูปที่ 4.2 อย่างไรก็ดีในส่วนของวงจรนี้จะนำไปใช้ร่วมกันกับส่วนวงจรประมวลผลแบบมีเงื่อนไขทั้งของอัลกอริธึมแบบลบ และอัลกอริธึมแบบบวก โดยที่รายละเอียดการทำงานของวงจรสร้างระดับสัญญาณอ้างอิงจะได้อธิบายไว้ในหัวข้อที่ 4.2.2.2 และหัวข้อ 4.2.2.4 ซึ่งเป็นการอธิบายการทำงานของวงจรในส่วนของอัลกอริธึมแบบลบ และแบบบวกตามลำดับ

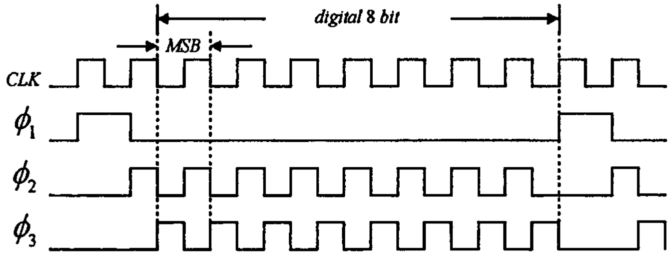



รูปที่ 4.2ก          รูปที่ 4.2ข

รูปที่ 4.2ก วงจรสร้างระดับสัญญาณอ้างอิง ($C_1 = C_2 = C_4$, $C_3 = \frac{C_1}{2}$)

รูปที่ 4.2ข ระดับสัญญาณอ้างอิงที่เอาต์พุตของออปแอมป์ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



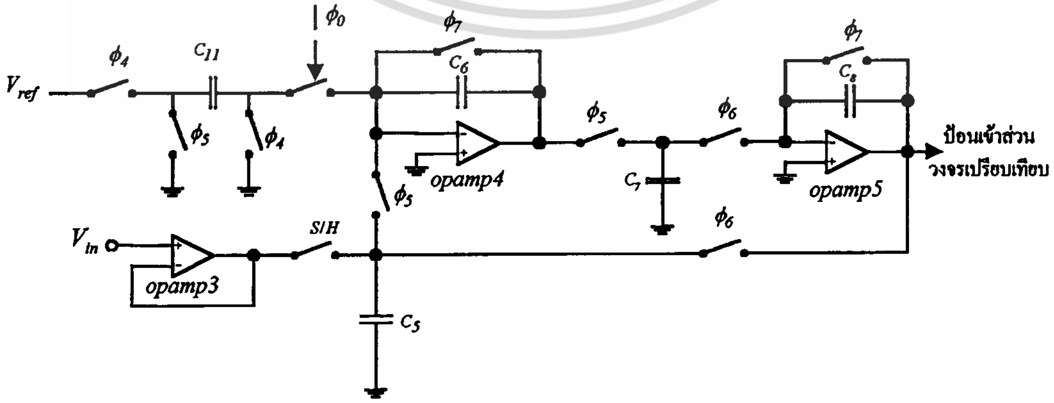

รูปที่ 4.3 แผนภูมิสัญญาณนาฬิกาควบคุมของวงจรสร้างระดับสัญญาณอ้างอิง

### 4.2.2 การออกแบบส่วนวงจรประมวลผลแบบมีเงื่อนไข

ในหัวข้อนี้จะได้แสดงวงจรของส่วนวงจรประมวลผลแบบมีเงื่อนไขของอัลกอริธึมแบบลบ และอัลกอริธึมแบบบวก รวมถึงอธิบายการทำงานของวงจรรวมของอัลกอริธึมทั้งสอง

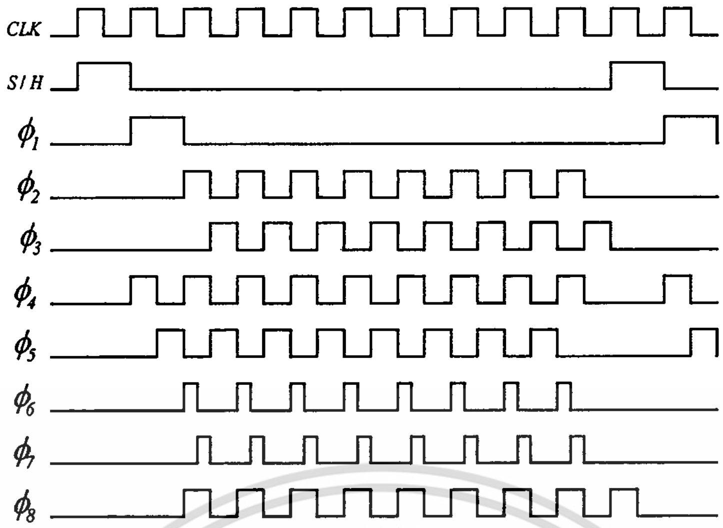
#### 4.2.2.1 วงจรประมวลผลแบบมีเงื่อนไขอัลกอริธึมแบบลบ

รูปที่ 4.4 แสดงส่วนวงจรประมวลผลแบบมีเงื่อนไขที่มีอัลกอริธึมแบบลบ และรูปที่ 4.6 แสดงวงจรสมบูรณ์ เมื่อได้รวม 3 ส่วนหลักเข้าด้วยกัน กล่าวคือ วงจรส่วน A คือวงจรสร้างสัญญาณอ้างอิง, ส่วน B คือวงจรเปรียบเทียบ และส่วน C คือวงจรประมวลผลแบบมีเงื่อนไข ค่าความจุของตัวเก็บประจุจะมีค่าเท่ากันทุกตัวยกเว้น $C_3$ มีค่าเท่ากับ $\frac{C_1}{2}$

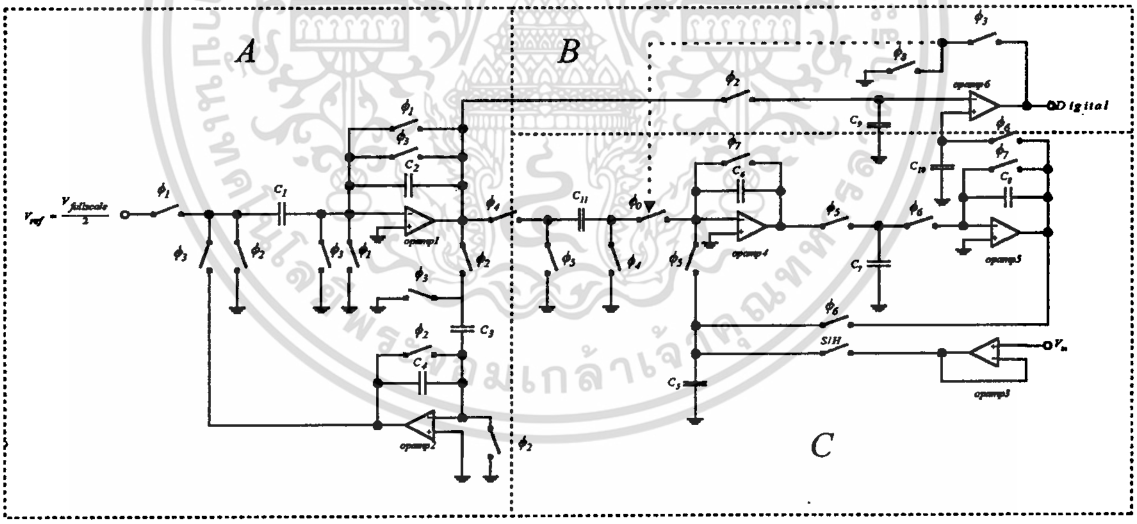



รูปที่ 4.4 ส่วนวงจรประมวลผลแบบมีเงื่อนไขอัลกอริธึมลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.5 แผนภูมิสัญญาณนาฬิกาของอัลกอริธึมแบบลบ




รูปที่ 4.6 วงจร *SAADC* อัลกอริธึมแบบลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

#### 4.2.2.2 การทำงานของวงจร *SAADC* อัลกอริธึมแบบลบ

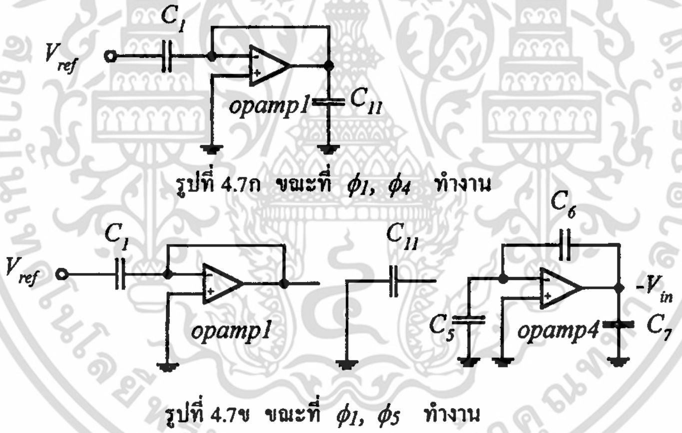
**ช่วงสัญญาณนาฬิกาลูกที่ 1**

ในจังหวะนี้สวิตช์ *S/H* ทำงาน สัญญาณอานาลอกอินพุตจะถูกสุ่มค่าตัวอย่างป้อนเข้าสู่ภายในวงจรทำให้ประจุที่ถูกประจุเข้าไปใน $C_5$ มีค่าดังนี้คือ

$$q_{C_5} = C_5 V_{in} \tag{4.1}$$

**ช่วงสัญญาณนาฬิกาลูกที่ 2**

ในจังหวะนี้สวิตช์ $\phi_1, \phi_4$ และ $\phi_5$ ทำงาน จะได้วงจรสมมูลในรูปที่ 4.6 แสดงได้ดังรูปที่ 4.7




รูปที่ 4.7 วงจรขณะที่อยู่ในช่วงสัญญาณนาฬิกาลูกที่ 2

จังหวะที่ $\phi_1$ ทำงานจะมีโวลเตจตกคร่อม $C_1$ เท่ากับ $V_{ref}$ ซึ่ง $V_{ref} = \frac{V_{FS}}{2}$ เมื่อ $V_{FS}$ คือ $V_{FULLSCALE}$ ดังนั้น

$$q_{C_1} = C_1 V_{ref} = C_1 \frac{V_{FS}}{2} \tag{4.2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขณะเดียวกัน $\phi_4$ ก็จะทำงานพร้อมกันด้วยแต่ไม่มีประจุไหลเข้า $C_{11}$ ในจังหวะขอบขาลงของ $\phi_4$, $\phi_5$ ก็จะทำงานทันที (เปลี่ยนกราวด์ที่ $C_{11}$) แต่ไม่มีประจุเปลี่ยนแปลงใน $C_{11}$ เนื่องจาก

$$q_{C_{11}} = 0 \qquad (4.3)$$

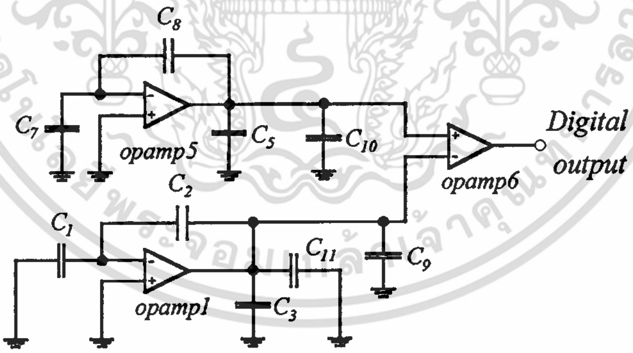
พร้อมกันนี้ประจุจาก $C_5$ จะไหลเข้าไปยัง $C_6$ จากสมการ (4.1) เราจะได้

$$\begin{aligned} -q_{C_6} &= q_{C_5} \\ -C_6 V &= C_5 V_{in} \\ V &= -V_{in} \qquad (C_6 = C_5) \end{aligned} \qquad (4.4)$$

นั่นคือที่เอาต์พุตของออปแอมป์ 4 มีศักดาเป็น $-V_{in}$ และมีโวลเตจตกคร่อม $C_7$ เท่ากับ $-V_{in}$

**ช่วงสัญญาณนาฬิกาลูกที่ ๓**

ในจังหวะนี้สวิตช์ $\phi_2$, $\phi_3$, $\phi_4$, $\phi_5$, $\phi_6$, $\phi_7$ และ $\phi_8$ ทำงาน วงจรสมมูลของรูปที่ 4.6 แสดงได้ดังรูปที่ 4.8




รูปที่ 4.8 วงจรในจังหวะขอบขาขึ้นของสัญญาณนาฬิกาลูกที่ 3
$\phi_2$, $\phi_4$, $\phi_6$, $\phi_8$ ทำงาน

จังหวะสัญญาณนาฬิกาลูกนี้ วงจรส่วนที่สร้างระดับสัญญาณอ้างอิงจะมีสวิตช์ $\phi_2$ ทำงาน ทำให้ $C_1$ เกิดการสลับขั้วกราวด์ ประจุจึงไหลไปยัง $C_2$ และที่เอาต์พุตของออปแอมป์ 1 จะมีศักดาเป็น $+\frac{V_{FS}}{2}$ ดังนั้นประจุที่อยู่ใน $C_3$, $C_{11}$ และ $C_9$ จะมีค่าดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$q_{C_3} = C_3\left(\frac{V_{FS}}{2}\right)$$

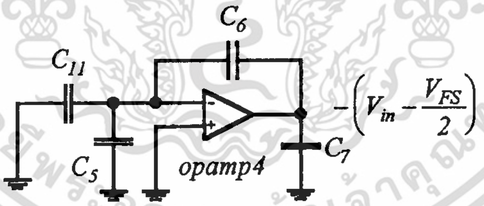
$$= C\left(\frac{V_{FS}}{4}\right) \qquad \left(C_3 = \frac{C}{2}\right) \tag{4.5}$$

$$q_{C_9} = C_9\left(\frac{V_{FS}}{2}\right) = C\frac{V_{FS}}{2} \tag{4.6}$$

$$q_{C_{11}} = C_{11}\left(\frac{V_{FS}}{2}\right) = C\frac{V_{FS}}{2} \tag{4.7}$$

ขณะเดียวกัน ส่วนของวงจรประมวลผลแบบมีเงื่อนไข ก็จะมีประจุจาก $C_7$ ไหลไปที่ $C_8$ ทำให้เอาต์พุตของออปแอมป์ 5 มีศักย์เป็น $+V_{in}$ และ โวลเตจตกคร่อม $C_{10}$ เท่ากับ $+V_{in}$ ด้วย เพราะฉะนั้นที่ออปแอมป์ 6 ซึ่งทำหน้าที่เป็นตัวเปรียบเทียบ (*Comparator*) จะทำการเปรียบเทียบระหว่างโวลเตจที่ตกคร่อม $C_9$ และ $C_{10}$ เอาต์พุตที่ได้จะเป็นสัญญาณดิจิตอลบิตนัยสำคัญสูงสุด (*MSB*) พร้อมกับเป็นสัญญาณควบคุมสถานะของ $\phi_0$ (สวิตซ์ $\phi_0$ จะปิดวงจรเมื่อ $\phi_3$ ทำงานและ *MSB* = "*1*") ขณะที่ $\phi_5$ เริ่มทำงานประจุใน $C_{11}$ และ $C_5$ จะรวมกันหรือไม่นั้นขึ้นอยู่กับสถานะของ $\phi_0$ แยกพิจารณาได้ 2 กรณีคือ

**กรณีที่** *MSB* = "*1*" ในจังหวะที่ $\phi_5$, $\phi_3$ ทำงานจะทำให้สวิตซ์ $\phi_0$ ปิดวงจรประจุจาก $C_{11}$ และ $C_5$ จะไหลมารวมกันที่ $C_6$




รูปที่ 4.9 วงจรในจังหวะที่เกิดการรวมกันของประจุ เมื่อ $\phi_0$ ปิดวงจร

จากรูปจะเห็นได้ว่า

$$q_{total} = q_{C_5} + q_{C_{11}}$$

$$= C_5V_{in} + \left\{-C_{11}\left(\frac{V_{FS}}{2}\right)\right\}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจาก $C_{11} = C_5 = C_6 = C$

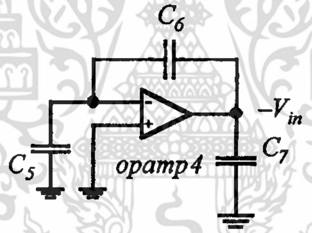
ดังนั้น
$$q_{total} = q_{C_6} = C\left(V_{in} - \frac{V_{FS}}{2}\right) \quad (4.8)$$

นั่นคือที่ $C_6$ มีโวลเตจตกคร่อมเท่ากับ $V_{in} - \frac{V_{FS}}{2}$ และที่เอาต์พุตของออปแอมป์ 4 มีศักดาเป็น $-\left(V_{in} - \frac{V_{FS}}{2}\right)$ ซึ่งเป็นโวลเตจตกคร่อม $C_7$ ด้วยเช่นกัน

**กรณีที่** $MSB$ = "0" ในจังหวะที่ $\phi_5, \phi_3$ ทำงานสวิตช์ $\phi_0$ จะเปิดวงจร ซึ่งจะมีเพียงประจุจาก $C_5$ เท่านั้นที่ไหลเข้า $C_6$ ดังนั้นประจุใน $C_6$ จะมีค่าเป็น

$$q_{C_6} = C_6 V_{in} \quad (4.9)$$

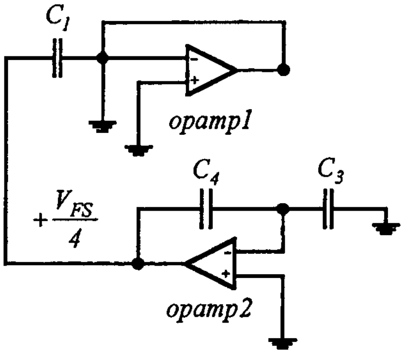
ในทำนองเดียวกันเอาต์พุตของออปแอมป์ 4 มีศักดาเป็น $-V_{in}$ และเป็นโวลเตจตกคร่อม $C_7$ ด้วยเช่นกัน




รูปที่ 4.10 วงจรขณะที่สวิตช์ $\phi_0$ เปิดวงจร

ขณะที่ $\phi_5$ เริ่มทำงานนั้น (ทำงานในจังหวะขอบขาลง ของสัญญาณนาฬิกาลูกที่ 3 ) สวิตช์ $\phi_3$ ก็จะทำงานไปพร้อมกันด้วย นั่นหมายความว่า ที่วงจรสร้างระดับสัญญาณอ้างอิง จะมีการเปลี่ยนแปลงพร้อมกับจังหวะที่ $\phi_0$ ทำงาน แสดงได้ดังรูปที่ 4.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.11 การเปลี่ยนแปลงของวงจรสร้างระดับสัญญาณอ้างอิง

จากรูปที่ 4.11 จะพบว่าที่ $C_3$ มีการเปลี่ยนกราวด์ ดังนั้นที่เอาต์พุตของออปแอมป์ 2 จึงมีศักดาเท่ากับ $+\frac{V_{FS}}{4}$ ที่ $C_1$ จึงมีโวลเตจตกคร่อมเท่ากับ $+\frac{V_{FS}}{4}$ ด้วย

**ช่วงสัญญาณนาฬิกาลูกที่ 4**

ในจังหวะนี้ $\phi_2$, $\phi_3$, $\phi_4$, $\phi_5$, $\phi_6$, $\phi_7$ และ $\phi_8$ ทำงาน ซึ่งขั้นตอนการทำงานจะเหมือนกับช่วงสัญญาณนาฬิกาลูกที่ 3 ทุกขั้นตอน ซึ่งจะทำให้เกิดการเปรียบเทียบที่ออปแอมป์ 6 ได้เอาต์พุตเป็นสัญญาณดิจิตอล ต่อจาก *MSB* (ในช่วงสัญญาณนาฬิกาลูกที่ 4 โวลเตจที่ตกคร่อม $C_9 = +\frac{V_{FS}}{4}$)

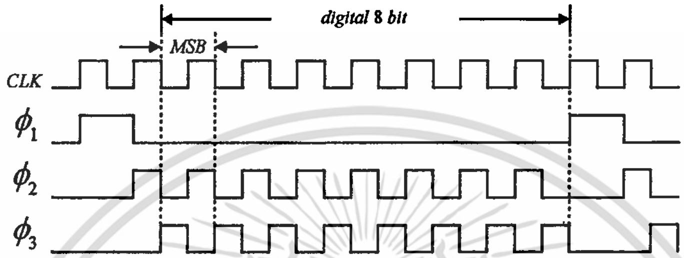
สำหรับการทำงานของสัญญาณนาฬิกาลูกต่อ ๆ มา ก็จะมีลักษณะการทำงานเหมือนกับช่วงสัญญาณนาฬิกาลูกที่ 3 จนกระทั่งได้สัญญาณดิจิตอลครบ 8 บิต เป็นอันสิ้นสุดการแปลงสัญญาณใน 1 รอบ ของการแปลงต่อ 1 ตัวอย่างสัญญาณ

**4.2.2.3 วงจรประมวลผลแบบมีเงื่อนไขอัลกอริธึมบวก**

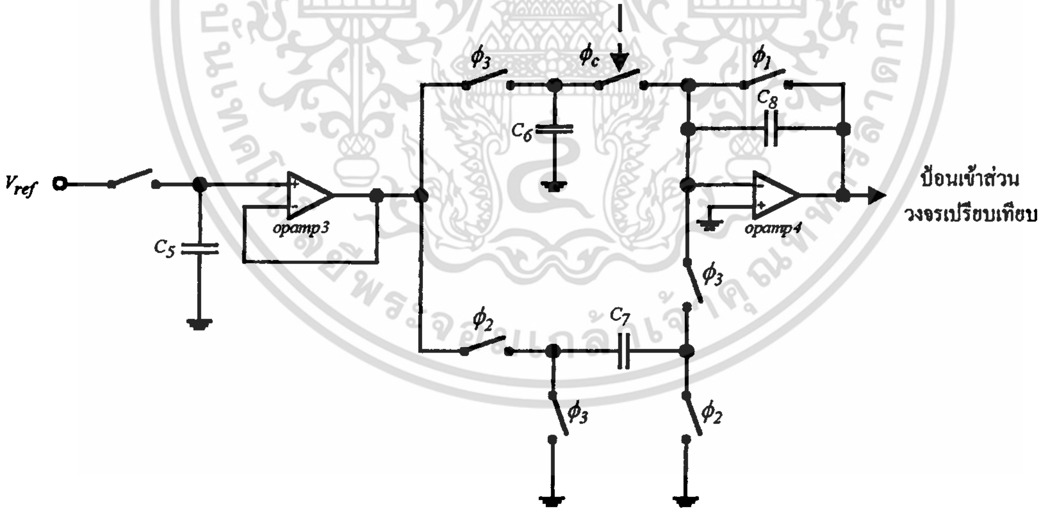
เราจะเห็นได้ว่า หลักการแปลงที่ใช้อัลกอริธึมแบบลบจะใช้สัญญาณนาฬิกาควบคุมการทำงานจำนวนมาก และวงจรมีขนาดใหญ่ ดังนั้นผู้เขียนจึงได้เสนอโครงสร้างวงจรแปลงสัญญาณที่ใช้อัลกอริธึมแบบบวก ซึ่งสามารถลดจำนวนสัญญาณนาฬิกาควบคุมลงไปได้มาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และวงจรก็มีขนาดกระทัดรัด รูปที่ 4.12 แสดงแผนภูมิสัญญาณนาฬิกาควบคุมที่ใช้กับ *SAADC* แบบบวก รูปที่ 4.13 แสดงส่วนของวงจรประมวลผลแบบมีเงื่อนไขอัลกอริธึมแบบบวก และรูป 4.14 เป็นวงจรสมบูรณ์ของวงจร *SAADC* อัลกอริธึมแบบบวก โดยที่วงจรส่วน A คือวงจรสร้างระดับสัญญาณอ้างอิง, วงจรส่วน B คือวงจรประมวลผลแบบมีเงื่อนไขอัลกอริธึมแบบบวก และวงจรส่วน C คือวงจรเปรียบเทียบ

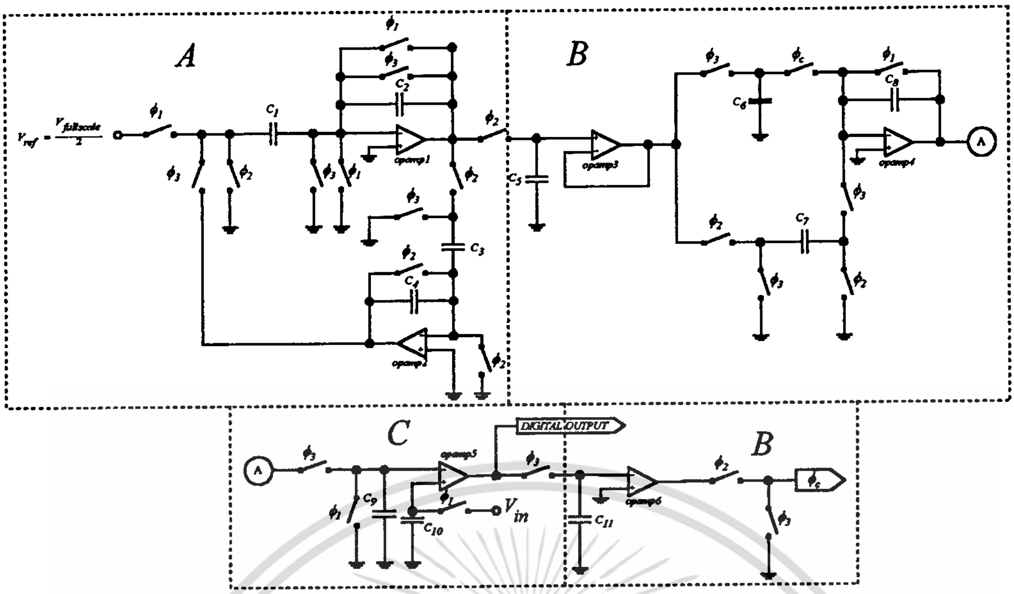



รูปที่ 4.12 แผนภูมิสัญญาณนาฬิกาควบคุมของอัลกอริธึมแบบบวก




รูปที่ 4.13 วงจรส่วนประมวลผลแบบมีเงื่อนไขอัลกอริธึมแบบบวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.14 วงจร *SAADC* อัลกอริธึมแบบบวก

#### 4.2.2.4 การทำงานของวงจรชนิดอัลกอริธึมแบบบวก

**ช่วงสัญญาณนาฬิกาลูกที่ 1 $\phi_1$ ทำงาน**

สัญญาณอานาลอกอินพุต และแรงดันอ้างอิง (*Voltage Reference*, $V_{ref}$) จะถูกสุ่มตัวอย่าง และคงค่าไว้ที่ $C_1$ และ $C_{10}$ ตามลำดับ กล่าวคือ $C_1$, $C_{10}$ จะมีโวลเตจตกคร่อมเท่ากับ $V_{ref}$ และ $V_{in}$ ดังนี้

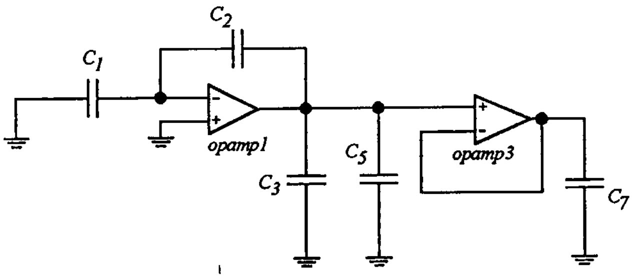
$$q_{C_1} = C_1 V_{ref} \qquad \left(V_{ref} = \frac{V_{FS}}{2}\right) \tag{4.10}$$

$$q_{C_{10}} = C_{10} V_{in} \tag{4.11}$$

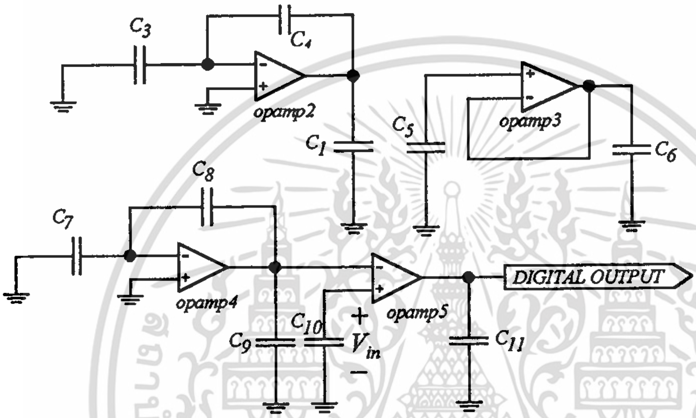
**สำหรับสวิตช์ $\phi_1$ ในตำแหน่งอื่น ๆ จะทำหน้าที่ รีเซ็ต (*Reset*) ตัวเก็บประจุ**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**วงสัญญาณนาฬิกาลูกที่ 2** $\phi_2, \phi_3$ ทำงาน วงจรสมมูล ในรูปที่ 4.14 แสดงได้ดังรูปที่ 4.15




รูปที่ 4.15ก ขณะที่ $\phi_2$ ทำงาน




รูปที่ 4.15ข ขณะที่ $\phi_3$ ทำงาน

รูปที่ 4.15 วงจรขณะที่อยู่ในช่วงสัญญาณนาฬิกาลูกที่ 2

**จังหวะที่** $\phi_2$ ทำงาน ส่วนของวงจรสร้างแรงดันอ้างอิงที่ $C_1$ จะเกิดการเปลี่ยนกราวด์ ประจุจะไหลเข้าไปใน $C_2$ ทำให้เอาต์พุตของออปแอมป์ 1 มีศักดาเท่ากับ $V_{ref}$ และเกิดโวลเตจตกคร่อม $C_3$ เท่ากับ $V_{ref}$ ด้วย โดยที่

$$q_{C_3} = C_3 V_{ref}$$

เมื่อ

$$C_3 = \frac{C}{2}$$

$$q_{C_3} = C\left(\frac{V_{ref}}{2}\right) \tag{4.12}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

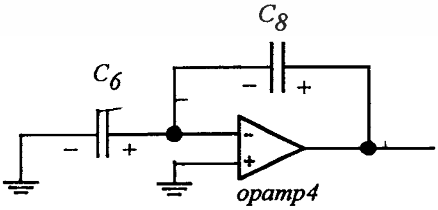
ในทำนองเดียวกันที่ $C_5$ มีโวลเตจตกคร่อมเท่ากับ $V_{ref}$ และเนื่องจาก ออปแอมป์ 3 ทำหน้าที่เป็นบัฟเฟอร์ (*Buffer*) ดังนั้นที่ $C_7$ จึงมีโวลเตจตกคร่อมเท่ากับ $V_{ref}$ ด้วย

จังหวะที่ $\phi_3$ ทำงาน ส่วนของวงจรสร้างแรงดันอ้างอิงที่ $C_3$ เกิดการเปลี่ยนกราวด์ประจุจาก $C_3$ จึงไหลเข้าไปยัง $C_4$ ทำให้เอาต์พุตของออปแอมป์ 2 มีศักดาเท่ากับ $\frac{V_{ref}}{2}$ เกิดโวลเตจตกคร่อม $C_1$ เท่ากับ $\frac{V_{ref}}{2}$ ขณะเดียวกับที่ $C_5$ ซึ่งยังคงค้างค่า $V_{ref}$ ไว้จากการทำงานของ $\phi_2$ จึงทำให้เอาต์พุตของออปแอมป์ 3 มีโวลเตจตกคร่อม $C_6$ เท่ากับ $V_{ref}$ และที่ $C_7$ เกิดการเปลี่ยนกราวด์เอาต์พุตของออปแอมป์ 4 จึงมีโวลเตจตกคร่อม $C_9$ เท่ากับ $V_{ref}$ ซึ่งจะทำการเปรียบเทียบกับ $V_{in}$ ที่ออปแอมป์ 5 เอาต์พุตของออปแอมป์ 5 จะเป็นค่าดิจิตอลที่ได้จากการแปลงครั้งแรกซึ่งเป็นบิตนัยสำคัญสูงสุด (*MSB*) ค่าเอาต์พุตที่ได้นี้จะทำให้เกิดโวลเตจตกคร่อม $C_{11}$ เพื่อทำการเปรียบเทียบกับกราวด์ที่ออปแอมป์ 6 โดยที่ออปแอมป์ 6 ทำหน้าที่เป็นอินเวอร์เตอร์ (*Inverter*) และที่เอาต์พุตของมันจะค้างค่านี้ไว้ จนกว่าจะถึงจังหวะของ $\phi_2$ ในช่วงของสัญญาณนาฬิกาลูกต่อไป

**ช่วงสัญญาณนาฬิกาลูกที่ 3 $\phi_2, \phi_3$ ทำงาน**

ลักษณะการทำงานจะเหมือนกับช่วงสัญญาณนาฬิกาลูกที่ 2 แต่ในจังหวะของ $\phi_2$ ทำงานนั้นที่เอาต์พุตของออปแอมป์ 6 จะเป็นสัญญาณควบคุมให้กับสวิตช์ $\phi_C$ แยกพิจารณาได้ 2 กรณีดังนี้

**กรณีที่ 1** ถ้า $\phi_C$ เป็น *High* จะทำให้ประจุจาก $C_6$ ไหลเข้าไปรวมกับประจุใน $C_8$ ดังนี้




รูปที่ 4.16 การรวมกันของประจุ กรณี $\phi_C$ เป็น *High*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

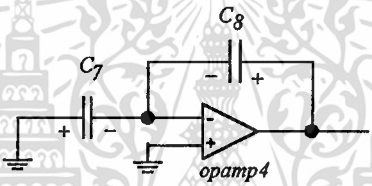
$$
\begin{aligned}
q_{total} &= q_{C_6} + q_{C_8} + q_{C_7} \\
&= \left(C_6 V_{C_6}\right) + \left(-C_8 V_{C_8}\right) + \left(C_7 \frac{V_{ref}}{2}\right) \\
&= C_7\left(\frac{V_{ref}}{2}\right) \qquad (4.13)
\end{aligned}
$$

$$
\left(V_{C_6} = V_{ref}, V_{C_8} = V_{ref}, C_6 = C_8\right)
$$

**กรณีที่ 2** ถ้า $\phi_C$ เป็น *Low* ที่ $C_8$ ยังคงค้างค่าประจุไว้เช่นเดิม โดยที่

$$
q_{C_8} = C_8 V_{ref} \qquad (4.14)
$$

เมื่อ $\phi_3$ เริ่มทำงานประจุจาก $C_7$ จะไหลเข้ามารวมกับ $C_8$ ดังนี้




รูปที่ 4.17 การรวมกันของประจุ กรณีที่ $\phi_C$ เป็น *Low*

$$
\begin{aligned}
q_{total} &= q_{C_7} + q_{C_8} \\
&= \left(C_7 V_{C_7}\right) + \left(C_8 V_{C_8}\right) \\
&= \left(C_7 \frac{V_{ref}}{2}\right) + \left(C_8 V_{ref}\right) \\
&= \left(V_{ref} + \frac{V_{ref}}{2}\right) C_8 \qquad (C_7 = C_8) \qquad (4.15)
\end{aligned}
$$

ค่าที่ได้จะไปเปรียบเทียบกับ $V_{in}$ ที่ออปแอมป์ 5 ได้เป็นดิจิตอลเอาต์พุตบิตถัดมา ซึ่งเหตุการณ์ลำดับต่อไปก็จะเกิดวนซ้ำกับเหตุการณ์ที่ได้กล่าวมาแล้วในรอบแรกจนได้สัญญาณครบจำนวนบิตตามต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 5
# ผลการเลียนแบบ และผลการทดลอง

## 5.1 บทนำ

เพื่อเป็นการยืนยันการทำงานของวงจรทั้งสองอัลกอริธึม ที่ได้ออกแบบไว้ใน บทที่ 4 ในบทนี้จะได้ทำการวิเคราะห์การทำงานของวงจรดังกล่าวด้วยโปรแกรม *Pspice* และผลของการทดลองที่ได้จากการต่อวงจรจริง ผลการทดสอบทางไดนามิก พร้อมทั้งวิเคราะห์ค่าผิดพลาดต่าง ๆ ของการแปลง

## 5.2 ผลการเลียนแบบวงจรด้วยโปรแกรม *Pspice*

กำหนดให้ออปแอมป์ทุกตัวใช้โมเดลของออปแอมป์ในอุดมคติ, อานาลอกสวิตช์ใช้โมเดลของ *S–break* ซึ่งเป็นโมเดลที่สมมูลกับค่าความต้านทาน ขณะปิดวงจรมีค่าเท่ากับ *1* โอห์ม และขณะที่เปิดวงจรมีค่าเท่ากับ *1* เมกะโอห์ม ตัวเก็บประจุไฟฟ้าทุกตัวมีค่าเท่ากับ *0.01* ไมโครฟารัด ยกเว้น $C_3$ มีค่าเท่ากับ *0.005* ไมโครฟารัด ความถี่ของสัญญาณนาฬิกากำหนดไว้ที่ *100 kHz* โดยที่ค่าเต็มสเกลของ *SAADC* มีค่าเท่ากับ *5 V* สัญญาณอินพุตเป็น *DC* เท่ากับ *1V, 2V, 3V* และ *4V* ตามลำดับ ทำการวิเคราะห์วงจรโดยใช้โหมด *Transient* รายละเอียดของวงจรทั้งหมด แสดงในโปรแกรมที่ 1 สำหรับ *SAADC* อัลกอริธึมแบบลบ โปรแกรมที่ 2 สำหรับ *SAADC* อัลกอริธึมแบบบวกซึ่งแสดงไว้ในภาคผนวก ข และภาคผนวก ค ตามลำดับ

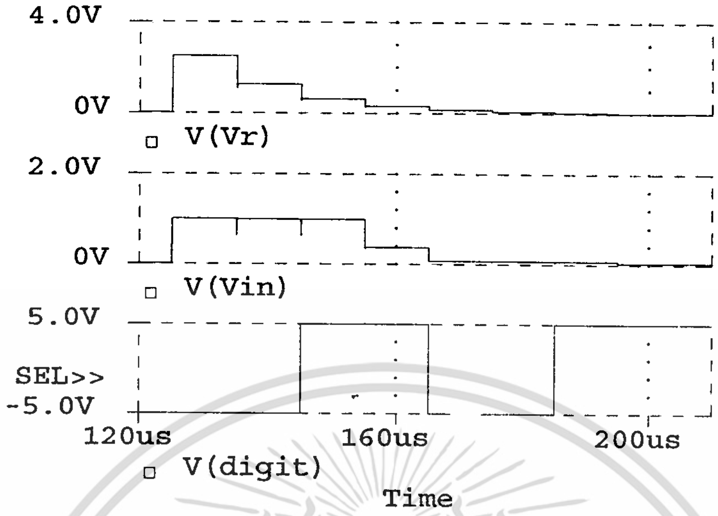
ผลการเลียนแบบการทำงาน *SAADC* อัลกอริธึมแบบลบ แสดงได้ดังตารางที่ 5.1 และ รูปที่ 5.1ก ถึงรูปที่ 5.1ง ตารางที่ 5.2 และรูปที่ 5.2ก ถึงรูปที่ 5.2ง สำหรับ *SAADC* อัลกอริธึมแบบบวก โดยที่สัญญาณเส้นบนสุดแสดงผลของสัญญาณอ้างอิง สัญญาณเส้นที่ 2 แสดงค่าเอาต์พุตของวงจรส่วนประมวลผลแบบมีเงื่อนไข สัญญาณเส้นล่างสุดแสดงค่าบิตเอาต์พุตดิจิตอล และใช้สมการที่ (3.4) เพื่อหาค่าที่ได้จากการแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.1 ค่าบิตเอาต์พุตดิจิตอลที่ได้จากการเลียนแบบของ *SAADC* อัลกอริธึมแบบลบด้วยการป้อนสัญญาณอินพุตเป็น *DC* ค่าต่าง ๆ กัน

| $V_{DC}$ (V) | Digital MSB | LSB | $V = \frac{FS}{2^n}\sum_{i=0}^{n-1} b_i 2^i$ (V) | $V_{DC}$ (V) | Digital MSB | LSB | $V = \frac{FS}{2^n}\sum_{i=0}^{n-1} b_i 2^i$ (V) |
|---|---|---|---|---|---|---|---|
| 0.0 | 0000 | 0000 | 0.0 | 2.6 | 1000 | 0101 | 2.59765625 |
| 0.1 | 0000 | 0101 | 0.09765625 | 2.7 | 1000 | 1011 | 2.71484375 |
| 0.2 | 0000 | 1010 | 0.1953125 | 2.8 | 1001 | 0000 | 2.8125 |
| 0.3 | 0000 | 1111 | 0.29296875 | 2.9 | 1001 | 0101 | 2.91015625 |
| 0.4 | 0001 | 0100 | 0.390625 | 3.0 | 1001 | 1010 | 3.0078125 |
| 0.5 | 0001 | 1001 | 0.48828125 | 3.1 | 1001 | 1111 | 3.10546875 |
| 0.6 | 0001 | 1110 | 0.5859375 | 3.2 | 1010 | 0100 | 3.203125 |
| 0.7 | 0010 | 0011 | 0.68359375 | 3.3 | 1010 | 1001 | 3.30078125 |
| 0.8 | 0010 | 1000 | 0.78125 | 3.4 | 1010 | 1111 | 3.41796875 |
| 0.9 | 0010 | 1110 | 0.8984375 | 3.5 | 1011 | 0100 | 3.515625 |
| 1.0 | 0011 | 0011 | 0.99609375 | 3.6 | 1011 | 1001 | 3.61328125 |
| 1.1 | 0011 | 1000 | 1.09375 | 3.7 | 1011 | 1111 | 3.73046875 |
| 1.2 | 0011 | 1101 | 1.19140625 | 3.8 | 1100 | 0011 | 3.80859375 |
| 1.3 | 0100 | 0011 | 1.30859375 | 3.9 | 1100 | 1001 | 3.92578125 |
| 1.4 | 0100 | 0111 | 1.38671875 | 4.0 | 1100 | 1110 | 4.0234375 |
| 1.5 | 0100 | 1101 | 1.50390625 | 4.1 | 1101 | 0011 | 4.12109375 |
| 1.6 | 0101 | 0010 | 1.6015625 | 4.2 | 1101 | 1000 | 4.21875 |
| 1.7 | 0101 | 0111 | 1.69921875 | 4.3 | 1101 | 1101 | 4.31640625 |
| 1.8 | 0101 | 1101 | 1.81640625 | 4.4 | 1110 | 0010 | 4.4140625 |
| 1.9 | 0110 | 0010 | 1.9140625 | 4.5 | 1110 | 0111 | 4.51171875 |
| 2.0 | 0110 | 0111 | 2.01171875 | 4.6 | 1110 | 1101 | 4.62890625 |
| 2.1 | 0110 | 1100 | 2.109375 | 4.7 | 1111 | 0010 | 4.7265625 |
| 2.2 | 0111 | 0001 | 2.20703125 | 4.8 | 1111 | 0111 | 4.82421875 |
| 2.3 | 0111 | 0110 | 2.3046875 | 4.9 | 1111 | 1100 | 4.921875 |
| 2.4 | 0111 | 1011 | 2.40234375 | 5.0 | 1111 | 1111 | 4.98046875 |
| 2.5 | 1000 | 0001 | 2.51953125 | | | | |

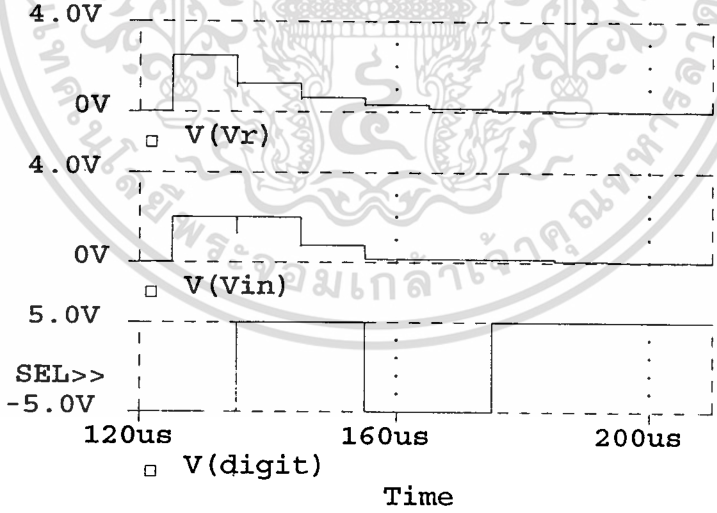
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 5.1ก ผลการเลียนแบบของวงจร *SAADC* อัลกอริธึมแบบลบ

$V_{DC}$ = *1 V*, ดิจิตอลเอาต์พุต = "*0011 0011*",

ค่าประมาณ = *0.99609375 V*

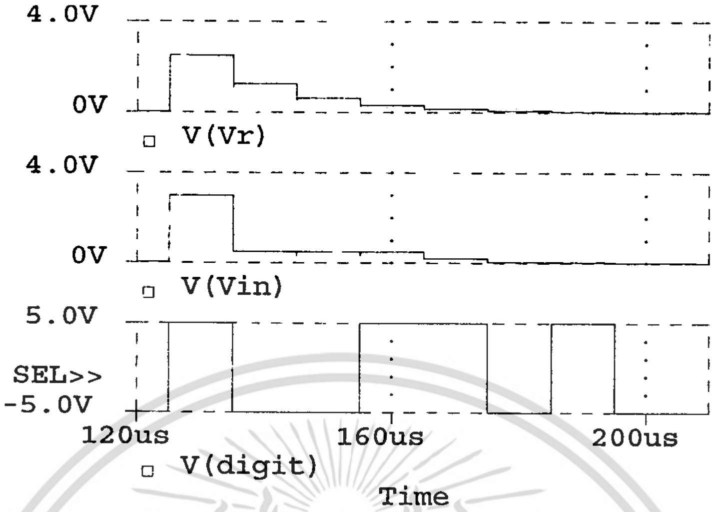



รูปที่ 5.1ข ผลการเลียนแบบของวงจร *SAADC* อัลกอริธึมแบบลบ

$V_{DC}$ = *2 V*, ดิจิตอลเอาต์พุต = "*0110 0111*",

ค่าประมาณ = *2.01171875 V*

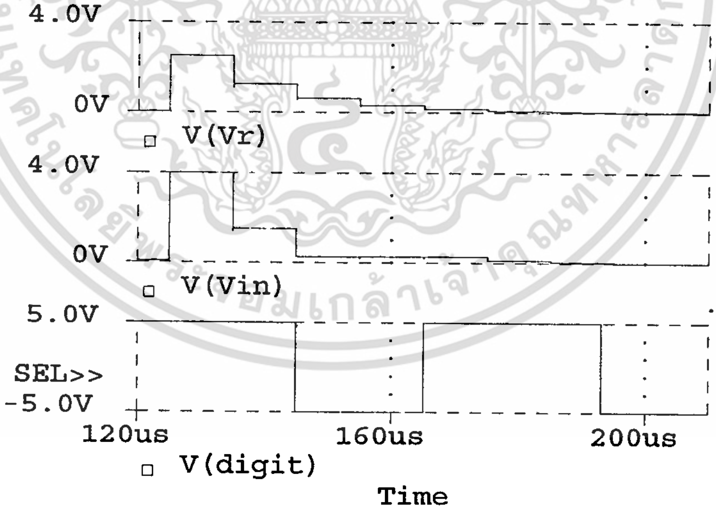
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 5.1ค ผลการเลียนแบบของวงจร *SAADC* อัลกอริธึมแบบลบ

$V_{DC}$ = *3 V*, ดิจิตอลเอาต์พุต = "*1001 1010*",

ค่าประมาณ = *3.0078125 V*




รูปที่ 5.1ง ผลการเลียนแบบของวงจร *SAADC* อัลกอริธึมแบบลบ

$V_{DC}$ = *4 V*, ดิจิตอลเอาต์พุต = "*1100 1110*",

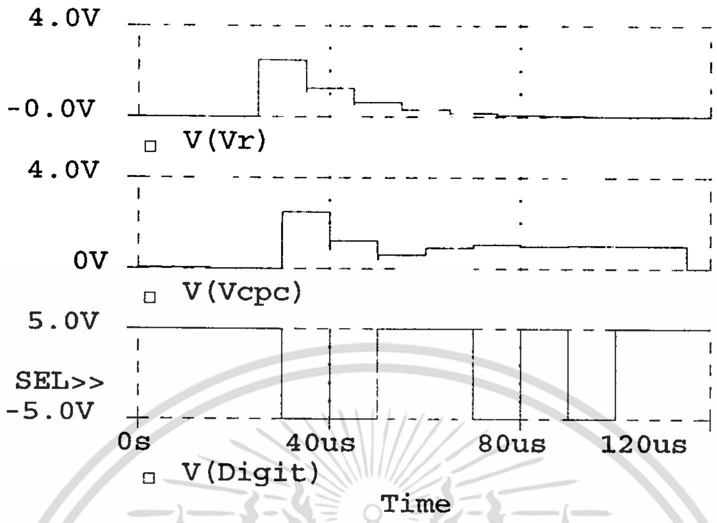
ค่าประมาณ = *4.0234375 V*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.2 ค่าบิตเอาต์พุตดิจิตอลที่ได้จากการเลียนแบบของ *SAADC* อัลกอริธึมแบบบวก โดยการป้อนสัญญาณอินพุตเป็น *DC* ค่าต่าง ๆ กัน

| $V_{DC}$ (V) | Digital MSB | Digital LSB | $V = \frac{FS}{2^n}\sum_{i=0}^{n-1} b_i 2^i$ (V) | $V_{DC}$ (V) | Digital MSB | Digital LSB | $V = \frac{FS}{2^n}\sum_{i=0}^{n-1} b_i 2^i$ (V) |
|---|---|---|---|---|---|---|---|
| 0.0 | 0000 | 0000 | 0.0 | 2.6 | 1000 | 0111 | 2.63671875 |
| 0.1 | 0000 | 0110 | 0.1171875 | 2.7 | 1000 | 1100 | 2.734375 |
| 0.2 | 0000 | 1011 | 0.21484375 | 2.8 | 1001 | 0001 | 2.83203125 |
| 0.3 | 0000 | 0000 | 0.3125 | 2.9 | 1001 | 0111 | 2.94921875 |
| 0.4 | 0001 | 0110 | 0.4296875 | 3.0 | 1001 | 1100 | 3.046875 |
| 0.5 | 0001 | 1011 | 0.52734375 | 3.1 | 1001 | 0001 | 3.14453125 |
| 0.6 | 0001 | 0000 | 0.625 | 3.2 | 1010 | 0110 | 3.2421875 |
| 0.7 | 0010 | 0101 | 0.72265625 | 3.3 | 1010 | 1011 | 3.33984375 |
| 0.8 | 0010 | 1010 | 0.8203125 | 3.4 | 1010 | 0001 | 3.45703125 |
| 0.9 | 0010 | 1111 | 0.91796875 | 3.5 | 1011 | 0110 | 3.5546875 |
| 1.0 | 0011 | 0101 | 1.03515625 | 3.6 | 1011 | 1011 | 3.65234375 |
| 1.1 | 0011 | 1010 | 1.1328125 | 3.7 | 1011 | 1111 | 3.73046875 |
| 1.2 | 0011 | 1111 | 1.23646875 | 3.8 | 1100 | 0101 | 3.84765625 |
| 1.3 | 0100 | 0100 | 1.328125 | 3.9 | 1100 | 1010 | 3.9453125 |
| 1.4 | 0100 | 1001 | 1.42578125 | 4.0 | 1100 | 1111 | 4.04296875 |
| 1.5 | 0100 | 1110 | 1.5234375 | 4.1 | 1101 | 0101 | 4.16015625 |
| 1.6 | 0101 | 0011 | 1.62109375 | 4.2 | 1101 | 1010 | 4.2578125 |
| 1.7 | 0101 | 1001 | 1.73828125 | 4.3 | 1101 | 1111 | 4.35546875 |
| 1.8 | 0101 | 1110 | 1.8359375 | 4.4 | 1110 | 0100 | 4.453125 |
| 1.9 | 0110 | 0011 | 1.93359375 | 4.5 | 1110 | 1001 | 4.55078125 |
| 2.0 | 0110 | 1000 | 2.03125 | 4.6 | 1110 | 1111 | 4.66796875 |
| 2.1 | 0110 | 1101 | 2.12890625 | 4.7 | 1111 | 0011 | 4.74609375 |
| 2.2 | 0111 | 0011 | 2.24609375 | 4.8 | 1111 | 1001 | 4.86328125 |
| 2.3 | 0111 | 0111 | 2.32421875 | 4.9 | 1111 | 1110 | 4.9609375 |
| 2.4 | 0111 | 1101 | 2.44140625 | 5.0 | 1111 | 1111 | 4.98046875 |
| 2.5 | 1000 | 0010 | 2.5390625 | | | | |

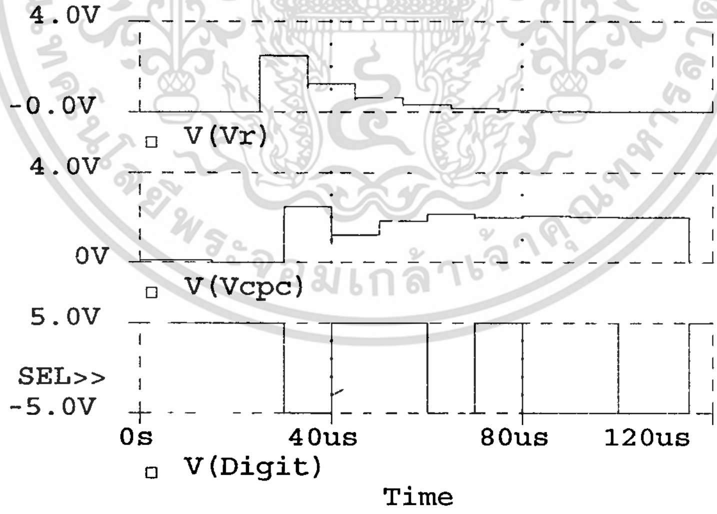
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 5.2ก ผลการเลียนแบบของวงจร *SAADC* อัลกอริธึมแบบบวก

$V_{DC}$ = *1 V*, ดิจิตอลเอาต์พุต = "*0011 0101*",

ค่าประมาณ = *1.03515625 V*

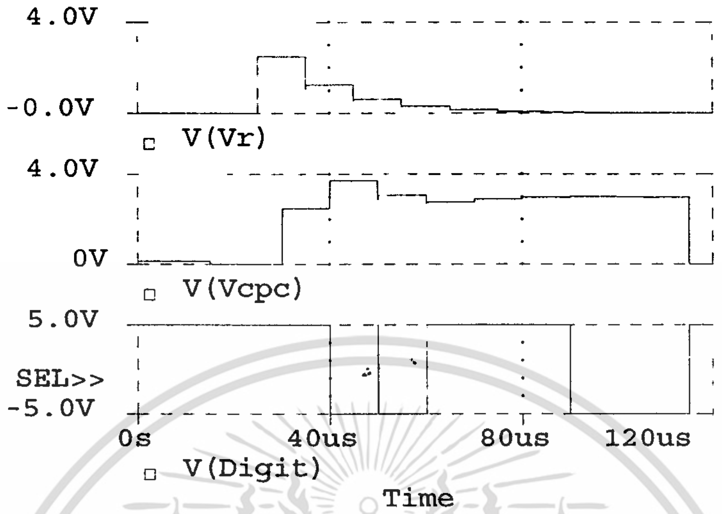



รูปที่ 5.2ข ผลการเลียนแบบของวงจร *SAADC* อัลกอริธึมแบบบวก

$V_{DC}$ = *2 V*, ดิจิตอลเอาต์พุต = "*0110 1000*",

ค่าประมาณ = *2.03125 V*

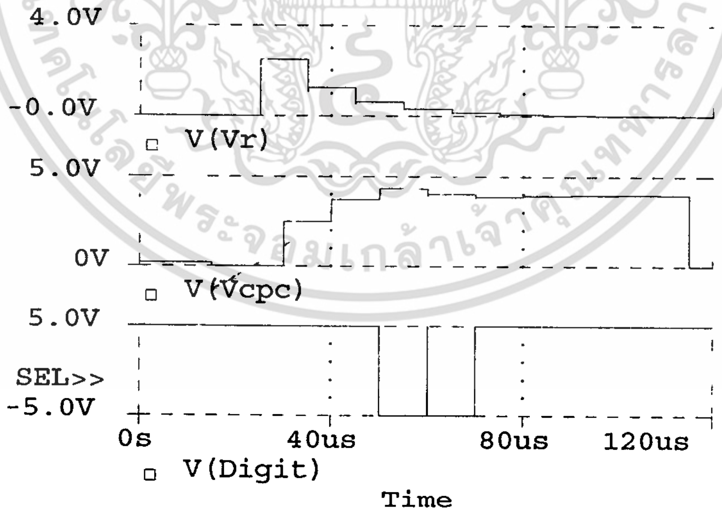
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 5.2ค ผลการเลียนแบบของวงจร *SAADC* อัลกอริธึมแบบบวก

$V_{DC}$ = *3 V*, ดิจิตอลเอาต์พุต = "*1001 1100*",

ค่าประมาณ = *3.046875 V*




รูปที่ 5.2ง ผลการเลียนแบบของวงจร *SAADC* อัลกอริธึมแบบบวก

$V_{DC}$ = *4 V*, ดิจิตอลเอาต์พุต = "*1100 1111*",

ค่าประมาณ = *4.04296875 V*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

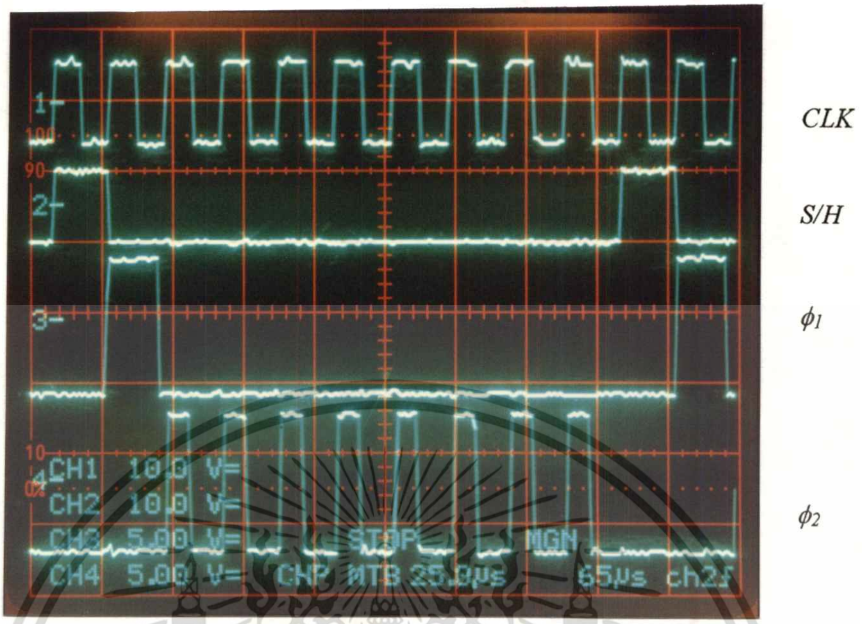
## 5.3 ผลการทดลองจากวงจรจริง

จากวงจร *SAADC* ของอัลกอริธึมแบบลบ และอัลกอริธึมแบบบวก ดังแสดงในรูปที่ 4.6 และรูปที่ 4.14 ตามลำดับได้นำมาต่อเป็นวงจรโดยใช้ออปแอมป์ *LF351*, อานาลอกสวิตช์ใช้ *IC 4066* และใช้ค่า $C = 1000\ pF$ ทุกตัวยกเว้น $C_3 = 500\ pF$ ผลจากการทดลองแสดงได้ดังตารางที่ 5.3 และภาพที่ 5.6 สำหรับ *SAADC* อัลกอริธึมแบบลบ, ตารางที่ 5.4 และภาพที่ 5.7 สำหรับ *SAADC* อัลกอริธึมแบบบวก โดยการป้อนสัญญาณนาฬิกาที่ความถี่ *50 kHz* ค่าเต็มสเกลของ *SAADC* เท่ากับ *5 V* สัญญาณอินพุตเป็น *DC* เท่ากับ *1V, 2V, 3V* และ *4V* ตามลำดับ โดยที่สัญญาณเส้นบนสุดแสดงสัญญาณอ้างอิง สัญญาณเส้นที่ 2 แสดงสัญญาณที่ได้จากส่วนของวงจรประมวลผลแบบมีเงื่อนไขและสัญญาณเส้นล่างสุดแสดงค่าเอาต์พุตดิจิตอลที่ได้จากการแปลง

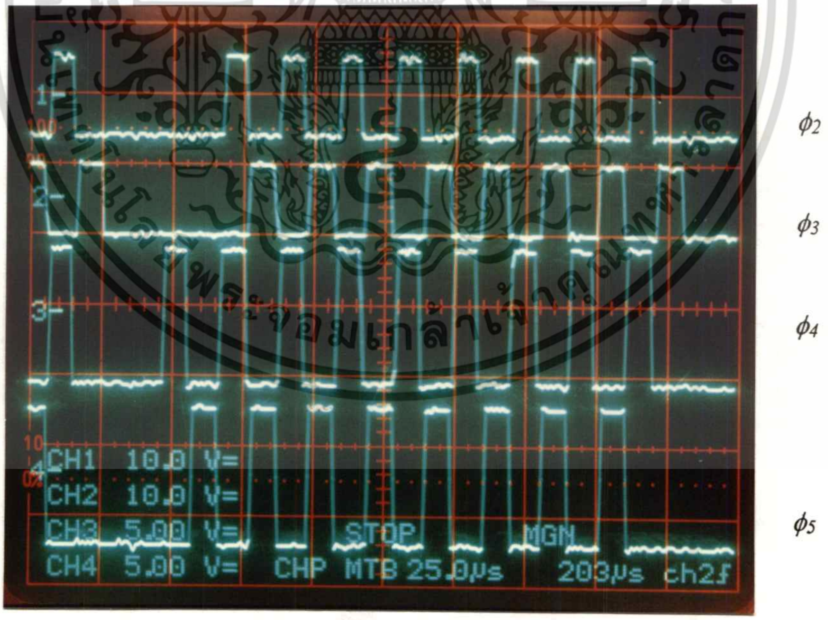
ตารางที่ 5.3 ผลการทดลองวงจร *SAADC* อัลกอริธึมแบบลบ โดยการป้อนสัญญาณอินพุตเป็น *DC* ค่าต่าง ๆ กัน

| $V_{DC}$ (V) | Digital MSB | Digital LSB | $V = \frac{FS}{2^n}\sum_{i=0}^{n-1} b_i 2^i$ (V) | $V_{DC}$ (V) | Digital MSB | Digital LSB | $V = \frac{FS}{2^n}\sum_{i=0}^{n-1} b_i 2^i$ (V) |
|---|---|---|---|---|---|---|---|
| 0.0 | 0000 | 0001 | 0.01953125 | 2.6 | 1000 | 0110 | 2.6171875 |
| 0.1 | 0000 | 0110 | 0.11718175 | 2.7 | 1000 | 1100 | 2.734375 |
| 0.2 | 0000 | 1100 | 0.234375 | 2.8 | 1000 | 1111 | 2.79296875 |
| 0.3 | 0000 | 1111 | 0.29296875 | 2.9 | 1001 | 1000 | 2.96875 |
| 0.4 | 0001 | 0011 | 0.37109375 | 3.0 | 1001 | 1100 | 3.046875 |
| 0.5 | 0001 | 1000 | 0.46875 | 3.1 | 1010 | 0000 | 3.125 |
| 0.6 | 0001 | 1111 | 0.60546875 | 3.2 | 1010 | 0011 | 3.18359375 |
| 0.7 | 0010 | 0011 | 0.68359375 | 3.3 | 1010 | 1100 | 3.3599375 |
| 0.8 | 0010 | 0111 | 0.76171875 | 3.4 | 1011 | 0000 | 3.4375 |
| 0.9 | 0011 | 0000 | 0.9375 | 3.5 | 1011 | 0011 | 3.49609375 |
| 1.0 | 0011 | 0011 | 0.99609375 | 3.6 | 1011 | 1000 | 3.59375 |
| 1.1 | 0011 | 1000 | 1.09375 | 3.7 | 1100 | 0000 | 3.75 |
| 1.2 | 0011 | 1110 | 1.2109375 | 3.8 | 1100 | 0011 | 3.80859375 |
| 1.3 | 0100 | 0011 | 1.30859375 | 3.9 | 1100 | 1100 | 3.984375 |
| 1.4 | 0100 | 0111 | 1.38671875 | 4.0 | 1100 | 1110 | 4.0234375 |
| 1.5 | 0100 | 1110 | 1.5234375 | 4.1 | 1101 | 0001 | 4.08203125 |
| 1.6 | 0101 | 0001 | 1.58203125 | 4.2 | 1101 | 1000 | 4.21875 |
| 1.7 | 0101 | 1000 | 1.71875 | 4.3 | 1110 | 0000 | 4.375 |
| 1.8 | 0110 | 0000 | 1.875 | 4.4 | 1110 | 0001 | 4.39453125 |
| 1.9 | 0110 | 0001 | 1.89453125 | 4.5 | 1110 | 1000 | 4.53125 |
| 2.0 | 0110 | 0111 | 2.01171875 | 4.6 | 1111 | 0000 | 4.6875 |
| 2.1 | 0110 | 1100 | 2.109375 | 4.7 | 1111 | 0001 | 4.70703125 |
| 2.2 | 0111 | 0001 | 2.20703125 | 4.8 | 1111 | 1000 | 4.84375 |
| 2.3 | 0111 | 1000 | 2.34375 | 4.9 | 1111 | 1110 | 4.9609375 |
| 2.4 | 0111 | 1100 | 2.421875 | 5.0 | 1111 | 1111 | 4.98046875 |
| 2.5 | 1000 | 0001 | 2.51953125 | | | | |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

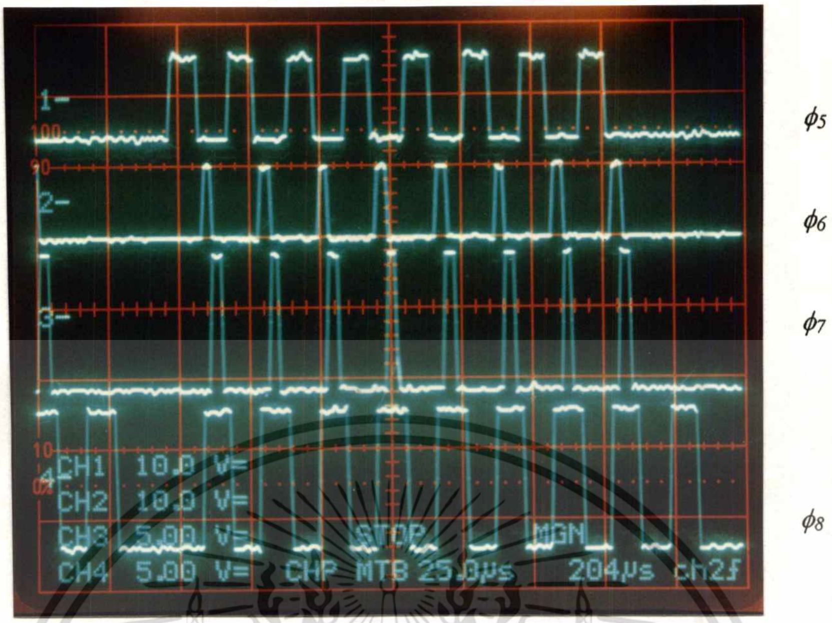



ภาพที่ 5.3 สัญญาณนาฬิกาควบคุม *CLOCK*, *S/H*, $\phi_1$ และ $\phi_2$



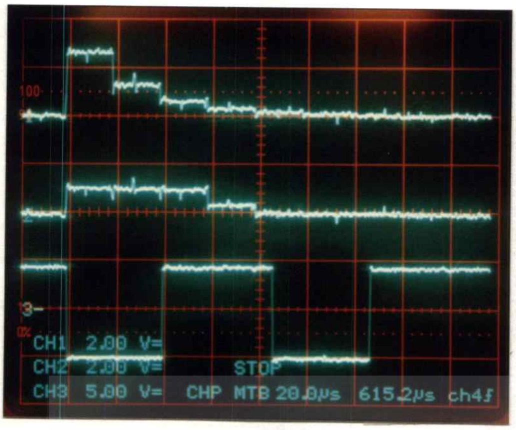

ภาพที่ 5.4 สัญญาณนาฬิกาควบคุม $\phi_2$, $\phi_3$, $\phi_4$ และ $\phi_5$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

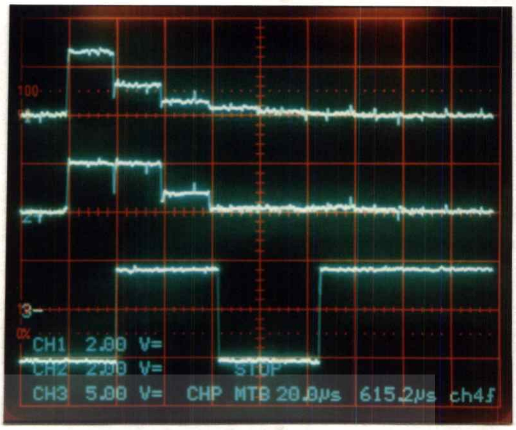



ภาพที่ 5.5 สัญญาณนาฬิกาควบคุม $\phi_5$, $\phi_6$, $\phi_7$ และ $\phi_8$

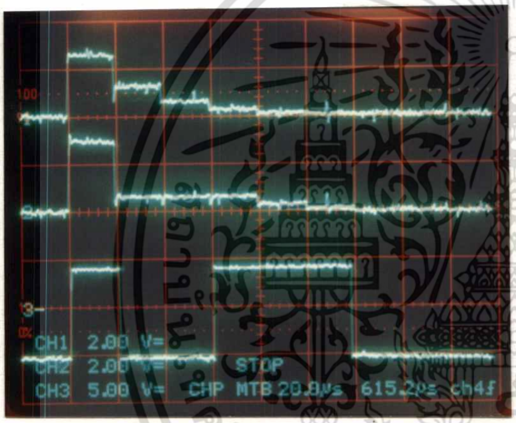
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



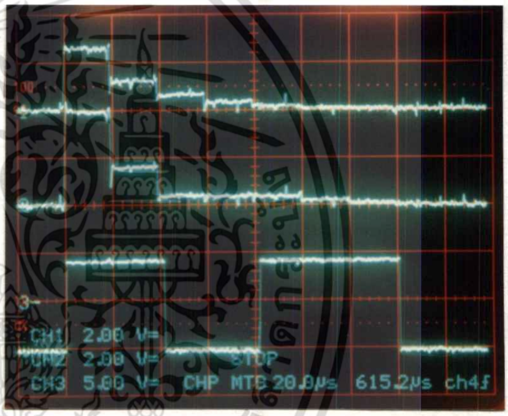

ภาพที่ 5.6ก




ภาพที่ 5.6ข




ภาพที่ 5.6ค




ภาพที่ 5.6ง

ภาพที่ 5.6 ผลการทดลองวงจร *SAADC* อัลกอริธึมแบบลบ

ภาพที่ 5.6ก $V_{DC} = 1\ V$, ดิจิตอลบิต = "*0011 0011*",

ค่าประมาณ = *0.99609375 V*

ภาพที่ 5.6ข $V_{DC} = 2\ V$, ดิจิตอลบิต = "*0110 0111*",

ค่าประมาณ = *2.01171875 V*

ภาพที่ 5.6ค $V_{DC} = 3\ V$, ดิจิตอลบิต = "*1001 1100*",

ค่าประมาณ = *3.046875 V*

ภาพที่ 5.6ง $V_{DC} = 4\ V$, ดิจิตอลบิต = "*1100 1110*",

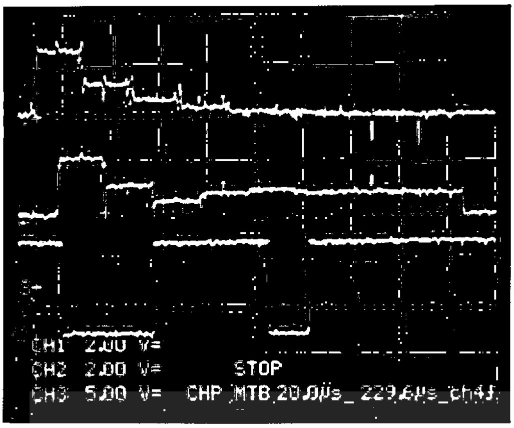
ค่าประมาณ = *4.0234375 V*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

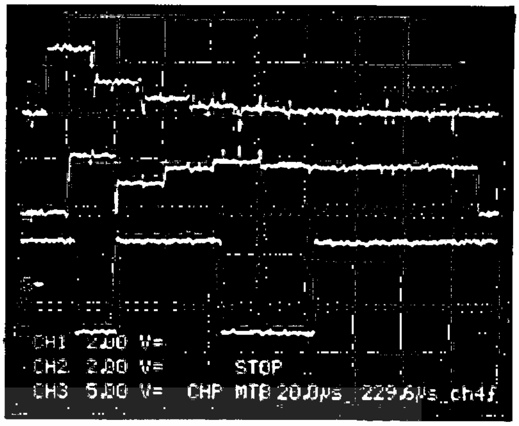
ตารางที่ 5.4 ผลการทดลองวงจร *SAADC* อัลกอริธึมแบบบวก โดยการป้อนสัญญาณอินพุตเป็น *DC* ค่าต่าง ๆ กัน

| $V_{DC}$ (V) | Digital MSB | Digital LSB | $V = \frac{FS}{2^n}\sum_{i=0}^{n-1} b_i 2^i$ (V) | $V_{DC}$ (V) | Digital MSB | Digital LSB | $V = \frac{FS}{2^n}\sum_{i=0}^{n-1} b_i 2^i$ (V) |
|---|---|---|---|---|---|---|---|
| 0.0 | 0000 | 0001 | 0.01953125 | 2.6 | 1000 | 0111 | 2.63671875 |
| 0.1 | 0000 | 0110 | 0.11718175 | 2.7 | 1000 | 1101 | 2.75390625 |
| 0.2 | 0000 | 1101 | 0.25390625 | 2.8 | 1000 | 1111 | 2.79296875 |
| 0.3 | 0000 | 1111 | 0.29296875 | 2.9 | 1001 | 0011 | 2.87109375 |
| 0.4 | 0001 | 0011 | 0.37109375 | 3.0 | 1001 | 1101 | 3.06640625 |
| 0.5 | 0001 | 1001 | 0.48828125 | 3.1 | 1001 | 1111 | 3.10546875 |
| 0.6 | 0001 | 1101 | 0.56640625 | 3.2 | 1010 | 0011 | 3.18359375 |
| 0.7 | 0010 | 0011 | 0.68359375 | 3.3 | 1010 | 1001 | 3.30078125 |
| 0.8 | 0010 | 0111 | 0.76171875 | 3.4 | 1010 | 1110 | 3.3984375 |
| 0.9 | 0010 | 1101 | 0.87890625 | 3.5 | 1011 | 0011 | 3.49609375 |
| 1.0 | 0011 | 0111 | 1.07421875 | 3.6 | 1011 | 1001 | 3.61328125 |
| 1.1 | 0011 | 1001 | 1.11328125 | 3.7 | 1011 | 1101 | 3.69140625 |
| 1.2 | 0011 | 1101 | 1.19140625 | 3.8 | 1100 | 0011 | 3.80859375 |
| 1.3 | 0100 | 0011 | 1.30859375 | 3.9 | 1100 | 0111 | 3.88671875 |
| 1.4 | 0100 | 0111 | 1.38671875 | 4.0 | 1100 | 1110 | 4.0234375 |
| 1.5 | 0100 | 1101 | 1.50390625 | 4.1 | 1101 | 0011 | 4.12109375 |
| 1.6 | 0101 | 0001 | 1.58203125 | 4.2 | 1101 | 1001 | 4.23828125 |
| 1.7 | 0101 | 0111 | 1.69921875 | 4.3 | 1101 | 1101 | 4.31640625 |
| 1.8 | 0101 | 1101 | 1.81640625 | 4.4 | 1110 | 0001 | 4.39453125 |
| 1.9 | 0110 | 0001 | 1.89453125 | 4.5 | 1110 | 0111 | 4.51171875 |
| 2.0 | 0110 | 0111 | 2.01171875 | 4.6 | 1110 | 1101 | 4.62890625 |
| 2.1 | 0110 | 1101 | 2.12890625 | 4.7 | 1111 | 0001 | 4.70703125 |
| 2.2 | 0111 | 0001 | 2.20703125 | 4.8 | 1111 | 0110 | 4.8046875 |
| 2.3 | 0111 | 0111 | 2.32421875 | 4.9 | 1111 | 1001 | 4.86328125 |
| 2.4 | 0111 | 1001 | 2.36328125 | 5.0 | 1111 | 1111 | 4.98046875 |
| 2.5 | 1000 | 0001 | 2.51953125 | | | | |

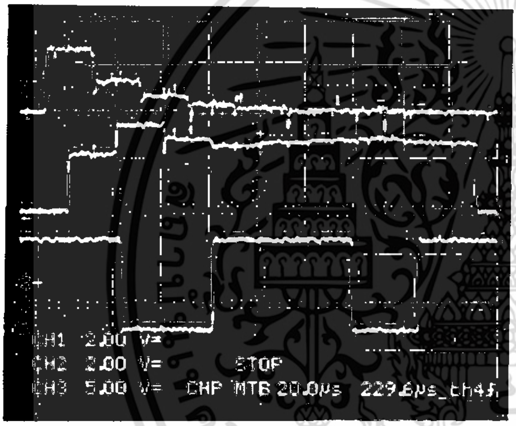
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



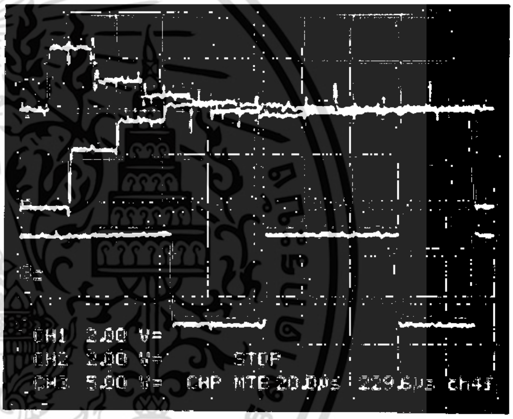

ภาพที่ 5.7ก




ภาพที่ 5.7ข




ภาพที่ 5.7ค




ภาพที่ 5.7ง

ภาพที่ 5.7 ผลการทดลองวงจร *SAADC* อัลกอริธึมแบบบวก

ภาพที่ 5.7ก $V_{DC}$ = *1 V*, ดิจิตอลบิต = "*0011 0111*",

ค่าประมาณ = *1.07421875 V*

ภาพที่ 5.7ข $V_{DC}$ = *2 V*, ดิจิตอลบิต = "*0110 0111*",

ค่าประมาณ = *2.01171875 V*

ภาพที่ 5.7ค $V_{DC}$ = *3 V*, ดิจิตอลบิต = "*1001 1101*",

ค่าประมาณ = *3.06640625 V*

ภาพที่ 5.7ง $V_{DC}$ = *4 V*, ดิจิตอลบิต = "*1100 1110*",

ค่าประมาณ = *4.0234375 V*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 5.3.1 ค่าเวลาของการแปลงสัญญาณ (*Conversion time*, $t_{conv.}$)

ค่าเวลาของการแปลงสัญญาณ คือเวลาที่ใช้ในการแปลงสัญญาณอานาลอก 1 ตัวอย่าง ให้เป็นสัญญาณดิจิตอล ซึ่งค่าเวลาดังกล่าวจะเป็นตัวบ่งบอกถึงความเร็วในการทำงานของ *A/D* นั้น ๆ และสำหรับ *SAADC* ทั้งสองแบบที่ได้นำเสนอ จะสามารถคำนวณหาค่า $t_{conv.}$ ได้โดยที่

$$T = \frac{1}{f} \qquad (5.1)$$

เมื่อ $T$ เป็นคาบเวลาของสัญญาณนาฬิกา

$f$ เป็นความถี่ของสัญญาณนาฬิกา

กำหนดให้ $x$ เป็นจำนวนไซเคิล (*Cycle*) ของสัญญาณนาฬิกาที่ใช้ในการแปลงสัญญาณของ *SAADC* ต่อ 1 รอบการแปลง จะได้

$$t_{conv.} = xT$$

$$= x\left(\frac{1}{f}\right) \quad s \qquad (5.2)$$

เนื่องจากในการทดลองเราได้ป้อนสัญญาณนาฬิกาที่ความถี่ *50 kHz* ดังนั้น

**วงจร *SAADC* อัลกอริธึมแบบลบ** ใน 1 รอบการแปลงเพื่อให้ได้บิตเอาต์พุตดิจิตอลขนาด 8 บิต ต้องใช้สัญญาณนาฬิกาจำนวน 10 ไซเคิล ซึ่งจะได้

$$t_{conv.} = 10\left(\frac{1}{50\times 10^3}\right)$$

$$= 0.2 \quad ms$$

**วงจร *SAADC* อัลกอริธึมแบบบวก** ใน 1 รอบการแปลงเพื่อให้ได้บิตเอาต์พุตดิจิตอลขนาด 8 บิต ต้องใช้สัญญาณนาฬิกาจำนวน 9 ไซเคิล ซึ่งจะได้

$$t_{conv.} = 9\left(\frac{1}{50\times 10^3}\right)$$

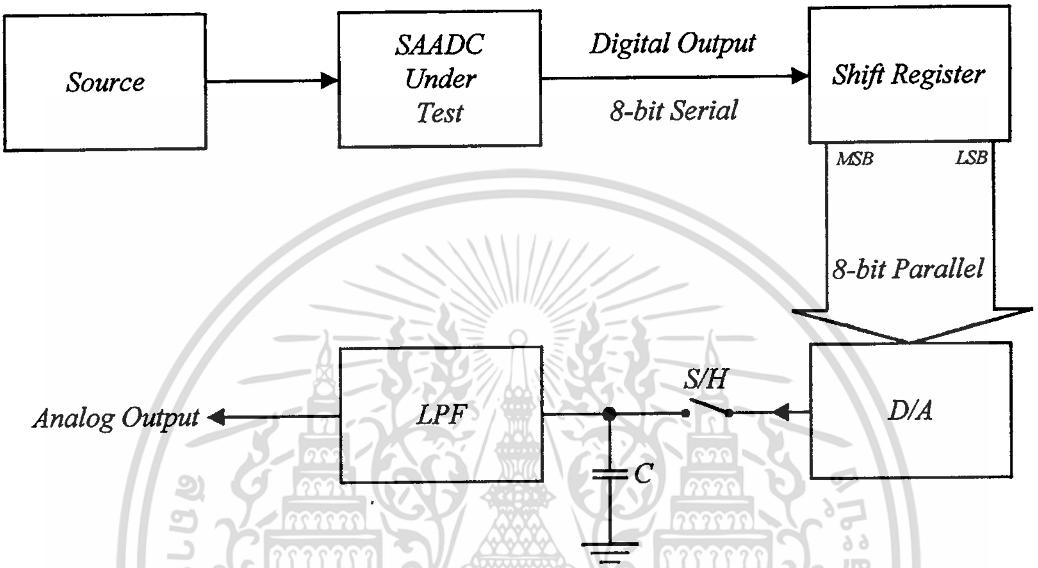
$$= 0.18 \quad ms$$

จากการคำนวณค่าเวลาของการแปลงสัญญาณของทั้งสองอัลกอริธึม จะพบว่าค่า $t_{conv.}$ ของวงจร *SAADC* อัลกอริธึมแบบบวกจะใช้เวลาเท่ากับ 0.18 มิลลิวินาที ซึ่งน้อยกว่า $t_{conv.}$ ของวงจร *SAADC* อัลกอริธึมแบบลบที่ใช้เวลาเท่ากับ 0.2 มิลลิวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 5.4 การทดสอบทางไดนามิกของวงจร *SAADC* (*Dynamic Testing*)

เพื่อทดสอบผลทางไดนามิกของวงจร *SAADC* ทั้ง 2 อัลกอริธึม จึงได้ทำการต่อวงจรตามบล็อกไดอะแกรมของรูปที่ 5.8

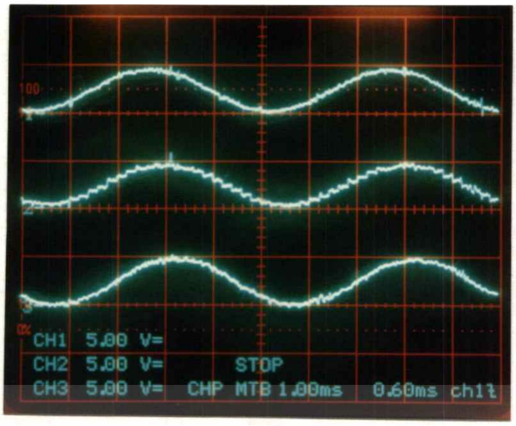



รูปที่ 5.8 บล็อกไดอะแกรมของวงจรที่ใช้ทดสอบผลทางไดนามิกของ *SAADC*

โดยที่ *Shift Register* ใช้ *IC 74LS323*, *D/A* ใช้ *IC DAC 0808* และวงจรกรองความถี่ต่ำออกแบบให้จุดคัตออฟ (*Cut off*) อยู่ที่ *10 kHz* โดยได้ป้อนสัญญาณอินพุตเป็นสัญญาณรูปคลื่นซายน์, สัญญาณรูปสามเหลี่ยม และสัญญาณรูปสี่เหลี่ยม ความถี่ *200 Hz* และความถี่ *500 Hz* ขนาดแอมปลิจูดมีค่าเปลี่ยนแปลงตั้งแต่ *0* โวลต์ถึง *5* โวลต์

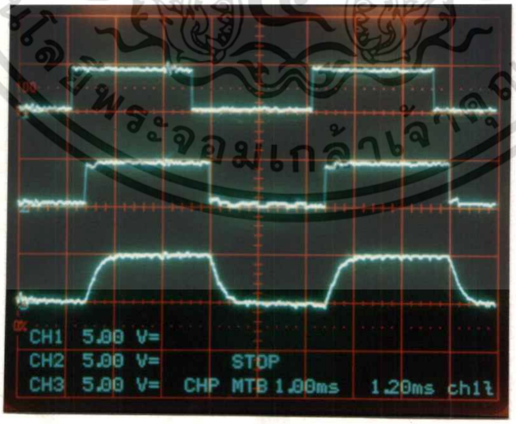
ผลการทดสอบทางไดนามิกแสดงได้ดังภาพที่ 5.9 และภาพที่ 5.10 ตามลำดับสำหรับ *SAADC* อัลกอริธึมแบบลบ ภาพที่ 5.11 และภาพที่ 5.12 สำหรับอัลกอริธึมแบบบวก โดยที่สัญญาณเส้นบนสุดแสดงสัญญาณอานาลอกอินพุต สัญญาณเส้นที่ 2 แสดงระดับสัญญาณเอาต์พุตที่ได้จาก *D/A* และสัญญาณเส้นล่างสุดแสดงสัญญาณอานาลอกเอาต์พุตที่ได้จากการผ่านวงจรกรองความถี่ต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




ภาพที่ 5.9ก

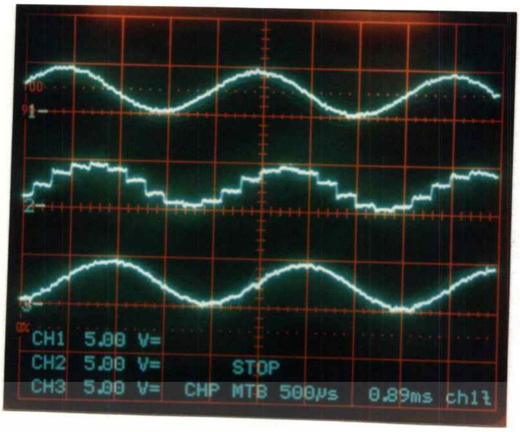
ภาพที่ 5.9ข



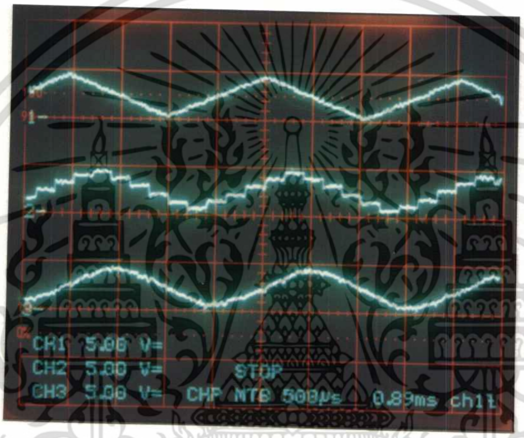

ภาพที่ 5.9ค

ภาพที่ 5.9 ผลทดสอบทางไดนามิกของวงจร *SAADC* อัลกอริธึมแบบลบ
โดยป้อนสัญญาณอินพุตที่ความถี่ *200 Hz*

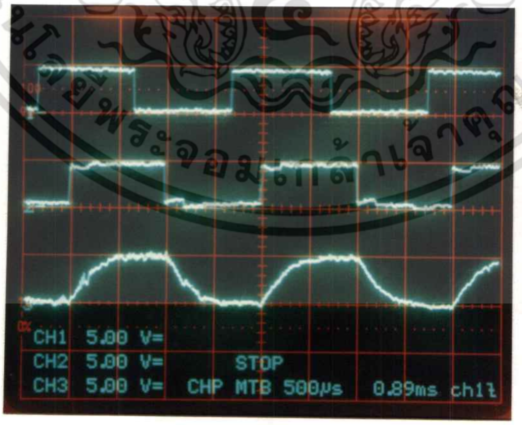
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




ภาพที่ 5.10ก



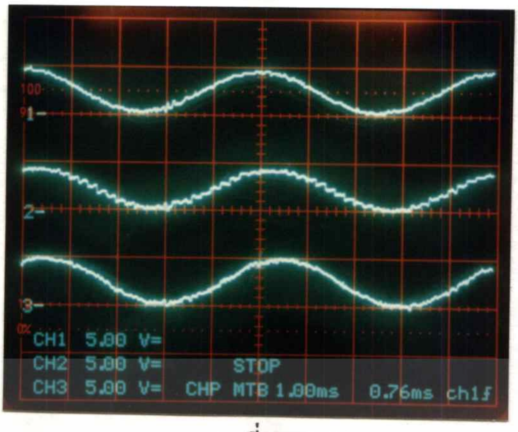

ภาพที่ 5.10ข



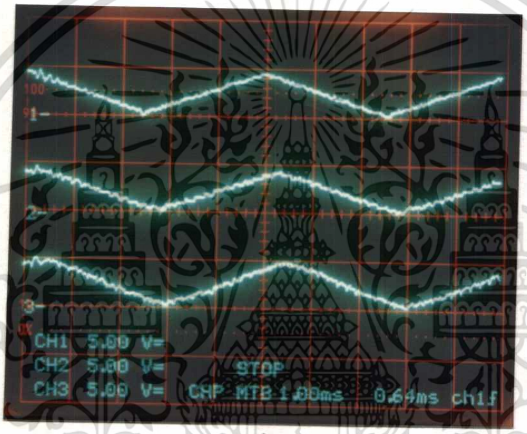

ภาพที่ 5.10ค

ภาพที่ 5.10 ผลทดสอบทางไดนามิกของวงจร *SAADC* อัลกอริธึมแบบลบ โดยป้อนสัญญาณอินพุตที่ความถี่ *500 Hz*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




ภาพที่ 5.11ก

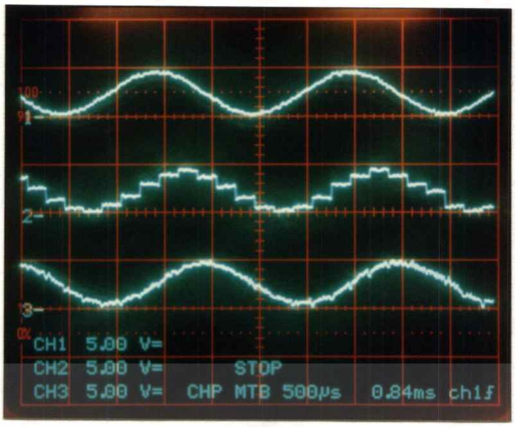



ภาพที่ 5.11ข

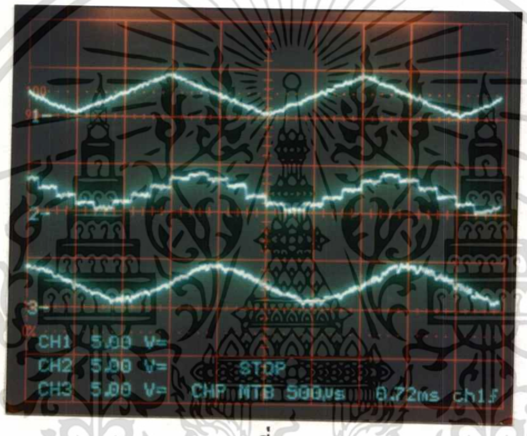
ภาพที่ 5.11ค

**ภาพที่ 5.11** ผลทดสอบทางไดนามิกของวงจร *SAADC* อัลกอริธึมแบบบวก โดยป้อนสัญญาณอินพุตที่ความถี่ *200 Hz*

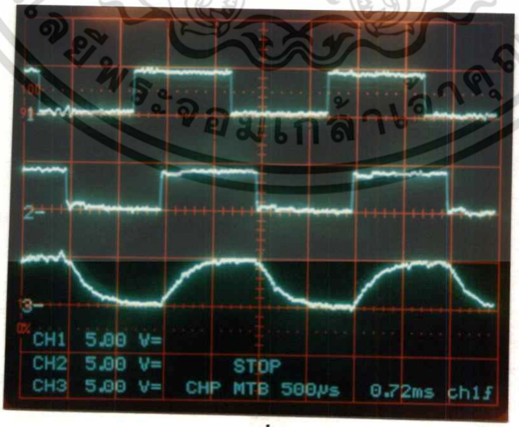
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




ภาพที่ 5.12ก




ภาพที่ 5.12ข




ภาพที่ 5.12ค

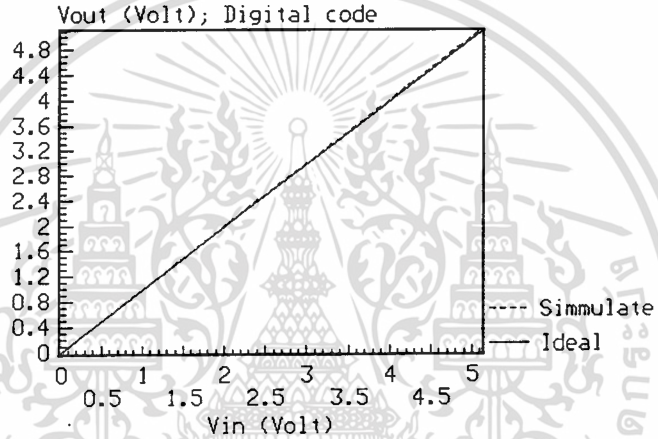
ภาพที่ 5.12 ผลทดสอบทางไดนามิกของวงจร *SAADC* อัลกอริธึมแบบบวก
โดยป้อนสัญญาณอินพุตที่ความถี่ *500 Hz*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

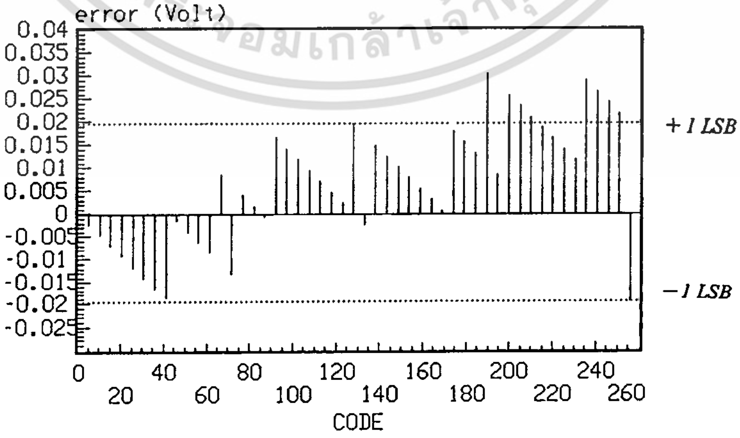
## 5.5 ผลการวิเคราะห์ค่าผิดพลาดจากการแปลงสัญญาณของ *SAADC*

จากผลการเลียนแบบของวงจร *SAADC* ด้วยโปรแกรม *Pspice* และจากผลการทดลองด้วยวงจรจริง นำผลที่ได้จากตารางที่ 5.1 ถึงตารางที่ 5.4 มาวิเคราะห์หาค่าผิดพลาดได้ดังนี้

### 5.5.1 ผลการวิเคราะห์ค่าผิดพลาดจากการเลียนแบบ



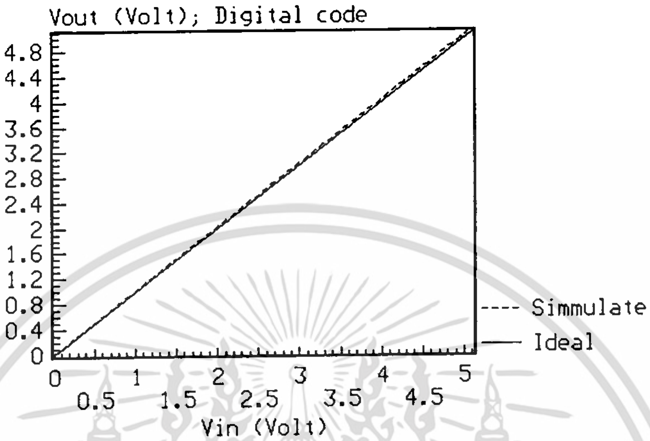

รูปที่ 5.13 กราฟของการแปลงสัญญาณจากวงจร *SAADC* อัลกอริธึมแบบลบ เส้นประแสดงค่าจากการเลียนแบบ เส้นทึบแสดงค่าในอุดมคติ



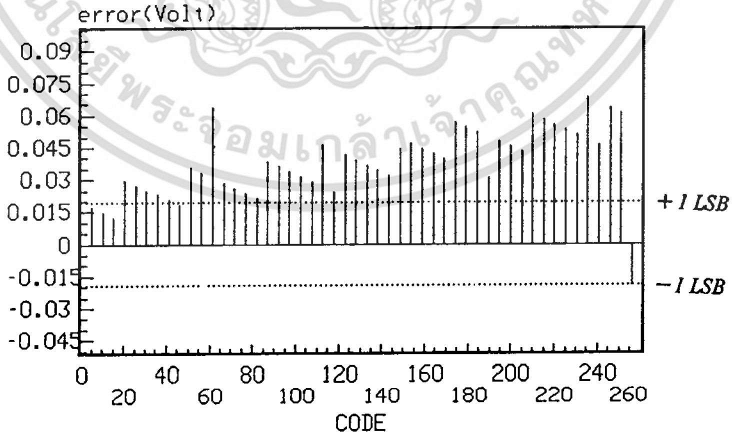

รูปที่ 5.14 ค่าผิดพลาดจากการเลียนแบบของวงจร *SAADC* อัลกอริธึมแบบลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 5.14 จะเห็นได้ว่าค่าผิดพลาดจากการเลียนแบบด้วยโปรแกรม *Pspice* ของวงจร *SAADC* อัลกอริธึมแบบลบ ส่วนใหญ่จะอยู่ในช่วง ± *1 LSB*




รูปที่ 5.15 กราฟของการแปลงสัญญาณจากวงจร *SAADC* อัลกอริธึมแบบบวก เส้นประแสดงค่าจากการเลียนแบบ เส้นทึบแสดงค่าในอุดมคติ

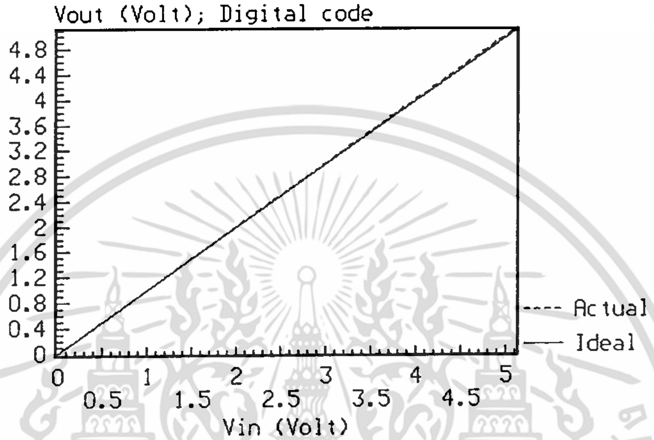



รูปที่ 5.16 ค่าผิดพลาดจากการเลียนแบบของวงจร *SAADC* อัลกอริธึมแบบบวก

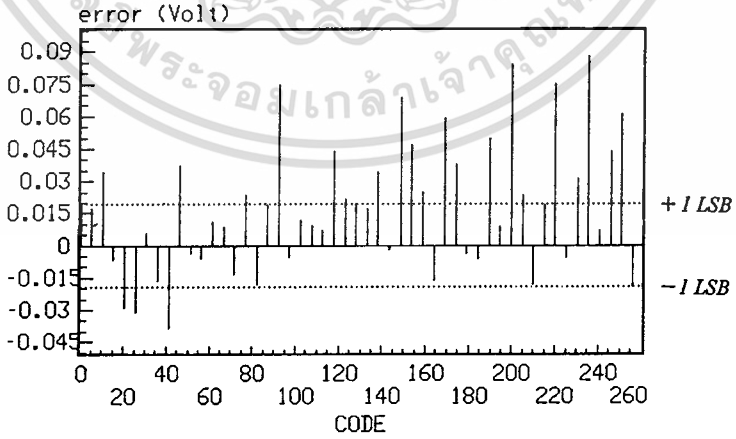
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 5.16 ค่าผิดพลาดจากการเลียนแบบของวงจรอัลกอริธึมแบบบวกมีค่ามากกว่า *+1 LSB* แต่ไม่เกิน *-1 LSB*

### 5.5.2 ผลการวิเคราะห์ค่าผิดพลาดจากการทดลองด้วยวงจรจริง



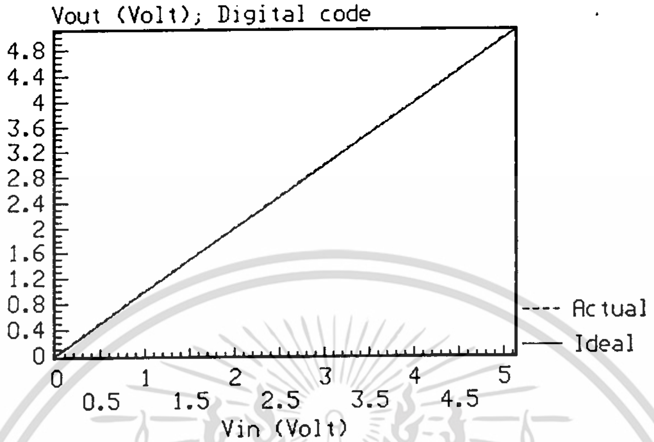

รูปที่ 5.17 กราฟของการแปลงสัญญาณจากวงจร *SAADC* อัลกอริธึมแบบลบ เส้นประแสดงค่าจากวงจรจริง เส้นทึบแสดงค่าในอุดมคติ



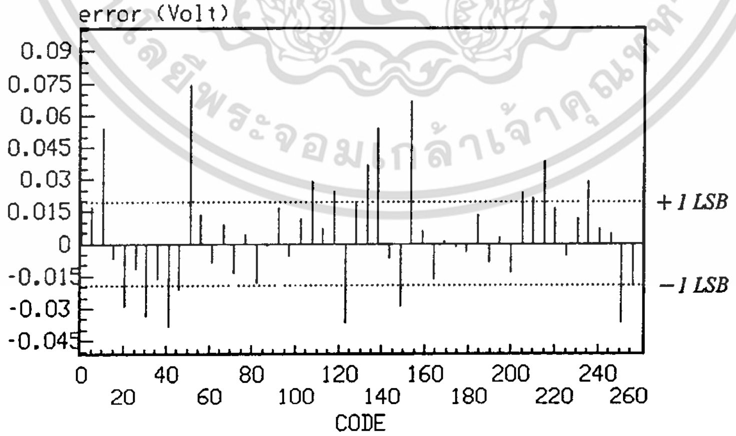

รูปที่ 5.18 ค่าผิดพลาดจากวงจรจริงของวงจร *SAADC* อัลกอริธึมแบบลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 5.18 ค่าผิดพลาดจากวงจรจริงของวงจร *SAADC* อัลกอริธึมแบบลบส่วนใหญ่จะอยู่ในช่วง ± *1 LSB*




รูปที่ 5.19 กราฟการแปลงสัญญาณจากวงจร *SAADC* อัลกอริธึมแบบบวก เส้นประแสดงค่าจริงจากวงจร เส้นทึบแสดงค่าในอุดมคติ




รูปที่ 5.20 ค่าผิดพลาดจากวงจรจริงของวงจร *SAADC* อัลกอริธึมแบบบวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 5.20 ค่าผิดพลาดจากวงจรจริงของวงจร *SAADC* อัลกอริธึมแบบบวกส่วนใหญ่จะอยู่ในช่วง ± *1 LSB*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 6
# สรุปผลการวิจัย และข้อเสนอแนะ

จากที่ได้กล่าวมาแล้วในข้างต้นว่าการแปลงสัญญาณจากอานาลอกเป็นดิจิตอล สามารถทำได้ด้วยกระบวนการแปลงหลัก 2 กระบวนการ คือ แบบขนาน และแบบอนุกรม โดยในการแปลงแบบขนานนั้น เอาต์พุตของสัญญาณดิจิตอลที่ได้แต่ละบิตจะเกิดขึ้นในเวลาเดียวกัน ในขณะที่การแปลงแบบอนุกรม เอาต์พุตแต่ละบิต จะเกิดขึ้นในเวลาที่ไล่เรียงกันไปจาก *MSB* ไปจนถึง *LSB* ซึ่งกระบวนการในการแปลงแบบอนุกรมที่นิยมใช้กันมากก็คือ *Successive Approximation Register* (*SAR*) โดยในวิทยานิพนธ์ฉบับนี้ ผู้เขียนได้นำเสนออัลกอริธึมของ *SAR* รูปแบบใหม่ 2 แบบ ที่มีการทำงานไม่ยุ่งยาก เมื่อเปรียบเทียบกับอัลกอริธึม *SAR* ของเดิมที่มีการใช้งานกันอยู่ โดยที่รายละเอียดหลักของการทำงานได้อธิบายไว้แล้วดังในบทที่ 4 และในบทที่ 5 ก็จะเป็นหลักการเลียนแบบการทำงาน และการทดลองต่อวงจรทดสอบจริง โดยผลการทดลองและการเลียนแบบที่ได้เป็นสิ่งยืนยันได้ว่าเราสามารถใช้วงจรสวิตช์-คาปาซิเตอร์ สร้างวงจร *SAADC* ที่ใช้อัลกอริธึมแบบลบ และแบบบวกได้ ซึ่ง *SAADC* ที่ใช้โครงสร้างอัลกอริธึมแบบบวกจะมีรูปร่างกระทัดรัด และใช้สัญญาณนาฬิกาในการควบคุมการทำงานต่าง ๆ จำนวนน้อยจึงเหมาะที่จะนำไปทำเป็นวงจรรวม นอกจากนี้แล้วลักษณะของสัญญาณนาฬิกาที่ใช้ในการควบคุม และการทำงานของวงจรยังทำงานในลักษณะที่เป็น *closed form* ดังนั้นจึงไม่จำเป็นต้องใช้วงจร *Latch* และ *D/A* มาใช้ ในวงจรด้วย สำหรับเวลาที่ใช้ในการแปลงสัญญาณ เมื่อเราป้อนสัญญาณนาฬิกาที่ความถี่ *50 kHz* ค่า $t_{conv.}$ ของ *SAADC* อัลกอริธึมแบบบวกมีค่าเท่ากับ *0.18 ms* และอัลกอริธึมแบบลบ มีค่าเท่ากับ *0.2 ms* วงจร *SAADC* ที่ได้ออกแบบมานี้ จะเป็น *A/D* ที่ใช้ในย่านความถี่ของเสียง และค่าความละเอียดของ *SAADC* ของทั้ง 2 อัลกอริธึมจะมีค่าเท่ากับ *1 LSB* หรือมีค่าเท่ากับ$\frac{FS}{2^8} = \frac{5}{256}V$ (*0.01953125 V*) อย่างไรก็ดีเนื่องจากการทดลองของเราทำการต่อวงจรลงบนแผ่นวงจรที่เดินลายวงจรด้วยทองแดง ดังนั้นจึงไม่สามารถวัดค่าผิดพลาดที่แท้จริงได้เหมือนกับวงจรที่ถูกสร้างลงบนชิพ อีกทั้งในการทดสอบเนื่องจากเราไม่มีอุปกรณ์ และเครื่องมือที่มีความละเอียดสูงในการป้อนสัญญาณอินพุตที่ตำแหน่งของโวลเตจเทรซโฮลด์ได้ ดังนั้นค่าผิดพลาดที่วัดออกมาได้นั้นจึงเป็นค่าที่รวมกับค่าผิดพลาดเนื่องจากการควันไตซ์ (*quantizing error*) เข้าไปด้วย แต่อย่างไรก็ตาม เราก็ได้หาค่าผิดพลาดจากการแปลงทั้งโดยการเลียนแบบ และวงจรจริงเพื่อประกอบการพิจารณาไว้ด้วยแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บรรณานุกรม


1. J.L. McCreay and P.R. Gray "All-MOS charge Redistribution Analog-to-Digital Conversion techniques-Part I" IEEE J. Solid-State Circuits, Vol.SC-10, Dec.1975, pp.371-379

2. R.E. Suarez,P.R. Gray and D.A. Hodges, "All-MOS charge Redistribution Analog-to-Digital Conversion techniques-Part II",IEEE J. Solid-State Circuits, Vol.SC-10, Dec.1975,pp.370-385

3. S. Ogawa and K. Watanabe, "A Switched Capacitor Successive-Approximation A/D Convertor", IEEE Trans. Instrumentation and Measurement, Vol.42, Aug. 1993, pp. 847-853

4. มุกดา เทพธรณินทรา. การออกแบบวงจร A/D ขนาดหนึ่งบิทโดยใช้วงจรไม่เป็นเชิงเส้น. ปริญญานิพนธ์ วิศวกรรมศาสตรมหาบัณฑิต. กรุงเทพฯ: บัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2537

6. P.E. Allen and D.R. Holberg. CMOS Analog Circuit design. Holt, Rinehart and Wiaston, 1978

5. P.E. Allen and E.S. Sinencio. Switched Capacitor Circuits. New york: Van Nostrand Reinhold Company, 1984

7. D.F. Hoeschele, Jr. Analog-to-Digital and Digital-to-Analog Conversion Techniques. 2nd ed. New york:John Wiley & Sons, 1994

8. D.H. Sheingold. Analog-Digital Conversion Handbook. London: Prentice-Hall, 1986


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ภาคผนวก ก

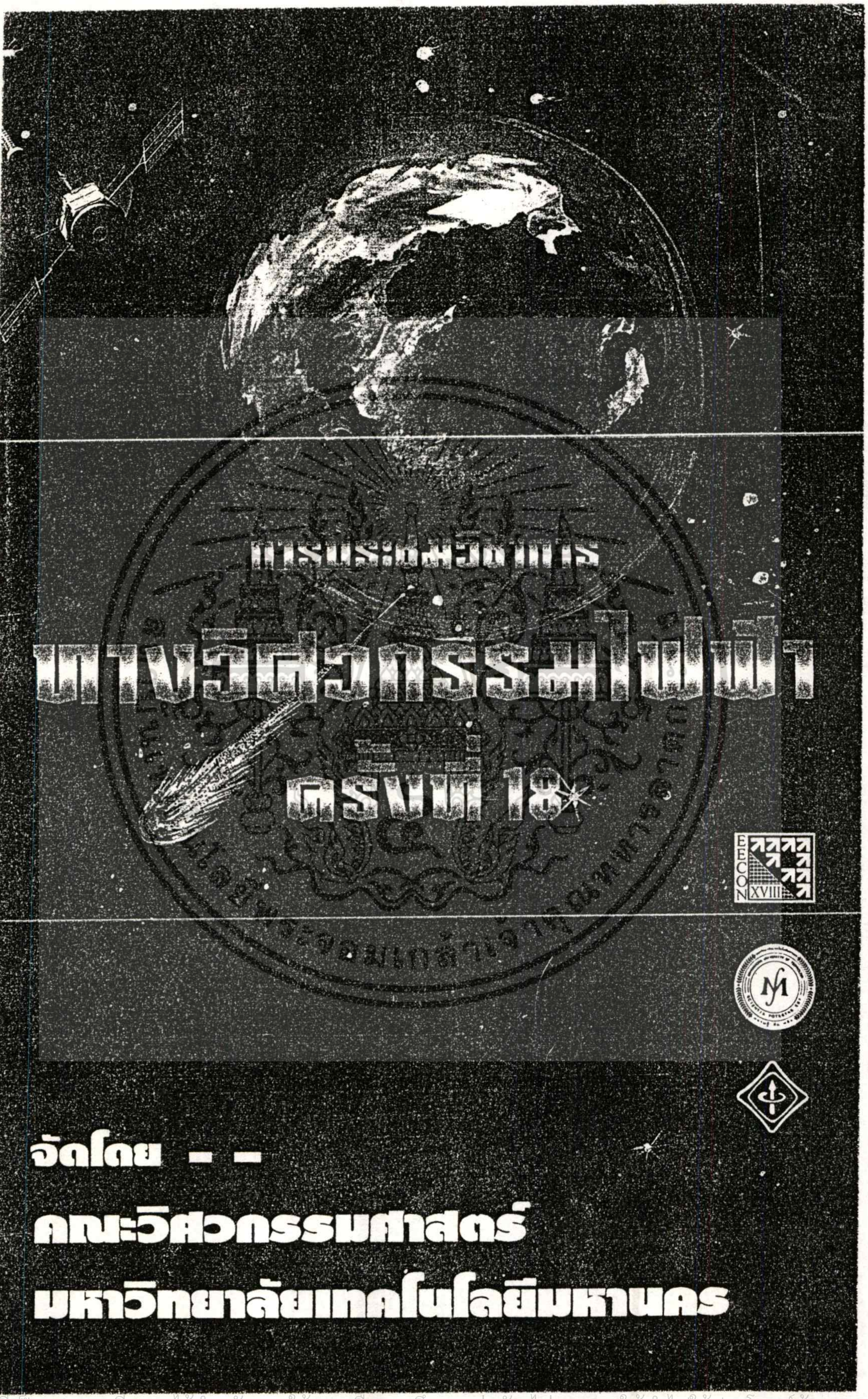
บทความทางวิชาการเรื่อง

**การแปลงสัญญาณแอนาลอกเป็นสัญญาณดิจิตอล**
**โดยวิธีการประมาณค่าตามลำดับขั้นด้วยสวิตช์-คาปาซิเตอร์**
**(Switched-Capacitor Successive Approximation ADC)**

การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 18
จัดโดย คณะวิศวกรรมศาสตร์
มหาวิทยาลัยเทคโนโลยีมหานคร
ณ แอมบาสสเดอร์ซิตี้ จอมเทียน พัทยา

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 18

# The 18th Conference of Electrical Engineering

คณะวิศวกรรมศาสตร์
มหาวิทยาลัยเทคโนโลยีมหานคร

พิมพ์ครั้งที่ 1 พ.ศ. 2538
สงวนลิขสิทธิ์ในประเทศไทยตาม พ.ร.บ.ลิขสิทธิ์ พ.ศ. 2521
โดยคณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีมหานคร

จัดพิมพ์และจำหน่ายโดย
คณะวิศวกรรมศาสตร์
มหาวิทยาลัยเทคโนโลยีมหานคร
51 ถนนเชื่อมสัมพันธ์ เขตหนองจอก กทม. 10530
โทร. 988-3655, 988-3666 โทรสาร 9883687



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# การแปลงสัญญาณแอนาลอกเป็นสัญญาณดิจิตอลโดยวิธีการประมาณค่าตามลำดับขั้นด้วยสวิตช์-คาปาซิเตอร์

# Switched-Capacitor Successive Approximation ADC

ธงชัย มณีชูเกตุ*, ปราโมทย์ วาดเขียน**, วิวัฒน์ กีรานนท์**, วิภา แสงพิสิทธิ์**

**บทคัดย่อ**

บทความนี้ได้นำเสนอหลักการประยุกต์ใช้งานวงจรสวิตช์-คาปาซิเตอร์ (SC) เพื่อออกแบบวงจรแปลงสัญญาณแอนาลอกเป็นสัญญาณดิจิตอล(A/D) โดยวิธีการประมาณค่าตามลำดับขั้นแบบอัลกอ-ริธึมบวก และอัลกอริธึมลบ (Successive Approximation ADC) ขนาด 8 บิต โดยวงจรทำงานในลักษณะของ pump charge ภายใต้กฎการอนุรักษ์ประจุ (Conservative of Charge) ซึ่งวงจรหลักประกอบด้วย ส่วนสร้างระดับสัญญาณอ้างอิง, ส่วนวงจรรวมประจุ และวงจรเปรียบเทียบสัญญาณ ซึ่งผลของการเลียนแบบโดยโปรแกรมพีสไปซ์ (Pspice) และผลจากการทดลองให้ผลที่สอดคล้องตามกันอย่างดี วงจรมีข้อดีที่สามารถนำไปสร้างเป็น IC ได้ง่าย

**Abstract**

An 8 bit switched - capacitor A/D convertor using successive - approximation with positive and negative algorithm based on pump charge and conservative of charge is proposed. The circuit components is compose of voltage reference , charge combine and comparator circuit. Pspice simmulation results are well agree with the experimental results. The circuit can be implemented in IC version.

## 1. บทนำ

การแปลงสัญญาณแอนาลอกเป็นดิจิตอล ( ADC ) เป็นสิ่งที่สำคัญมากในกระบวนการประมวลผลแบบดิจิตอลของสัญญาณแอนาลอก และปัจจุบันการค้นคว้าหลักการ ADC ได้ให้ความสนใจอย่างมากกับการแปลงแบบ Oversampling $\Delta\mathcal{E}$ และการแปลงแบบแฟลช ซึ่งมักนิยมใช้สำหรับกระบวนการประมวลสัญญาณเสียง และสัญญาณภาพตามลำดับ อย่างไรก็ตามระหว่างวิธีการทั้งสองค่อนไปทางวิธีการแบบแฟลช ยังมีวิธีการของ ADC ซึ่งใช้วิธีการประมาณค่าตามลำดับขั้น (SA)อยู่ ซึ่งยังคงเป็นที่นิยมกันอย่างแพร่หลายสำหรับงานประมวลสัญญาณที่มีความเร็วในระดับปานกลาง วิธีการนี้มีความละเอียดในการแปลงสูง สัญญาณแอนาลอกโวลเตจอินพุตถูกแปลงเป็นรหัสเลขฐานสองโดยการเปรียบเทียบกับลำดับโวลเตจเทรชโฮลด์ที่ใช้ทำควันไตซ์ ดังนั้นองค์ประกอบที่สำคัญของวิธีการแปลงสัญญาณวิธีนี้ก็คือ D/A ส่วนสร้างสัญญาณอ้างอิง

สำหรับเทคโนโลยีแบบไบโพลาร์ ตัว D/A ถูกสร้างโดยใช้แหล่งกำเนิดกระแสที่มีการให้น้ำหนักแบบไบนารีกับ R - 2R ladder circuits อย่างไรก็ตามสำหรับเทคโนโลยีแบบ CMOS นั้นเป็นการยากที่จะสร้างแหล่งกำเนิดกระแสที่มีการให้น้ำหนักที่ละเอียด ดังนั้นมันจึงก่อให้เกิดความแตกต่างของค่าโวลเตจเทรชโฮลด์มาก ๆ เพราะฉะนั้นตัวเก็บประจุแบบลำดับที่มีการให้น้ำหนักแบบเลขฐานสองรวมกับการแทปความต้านทานจึงมักถูกนำมาใช้แทนที่ [ 1 ] , [ 2 ] ผลของวิธีการดังกล่าวให้ความเที่ยงตรงแต่ต้องใช้ตัวเก็บประจุจำนวนมาก ทำให้ต้องใช้พื้นที่ของชิพที่กว้างและใช้เวลาในการเซ็ทตัวที่นานอย่างหลีกเลี่ยงไม่ได้ ซึ่งจุดเริ่มของปัญหาเหล่านี้มาจากการใช้ D/A แบบขนานในการสร้างระดับสัญญาณอ้างอิงค่าต่าง ๆ ซึ่งการแก้ปัญหาดังกล่าวมีเสนออยู่ในบทความอ้างอิง [ 3 ] โดยหันมาใช้D/Aแบบอนุกรมที่สร้างมาจากSC

สำหรับในบทความนี้ ได้เสนออัลกอริธึมทั้งแบบบวก และแบบลบในการแปลงสัญญาณแอนาลอกเป็นสัญญาณดิจิตอลด้วยวิธีการประมาณค่าตามลำดับขั้น( SA ) ที่สร้างด้วย SC อย่างเต็มรูปแบบโดยไม่ต้องอาศัย D/A และตัว LATCH สัญญาณเหมือนบทความอ้างอิง [ 3 ] ซึ่งผลจากการเลียนแบบโดยโปรแกรมพีสไปซ์ และผลจากการทดลองยืนยันให้เห็นว่าอัลกอริธึมดังกล่าวสามารถทำงานได้เป็นอย่างดี โดยโครงสร้างวงจรที่ออกแบบโดยอัลกอริธึมแบบบวก จะมีโครงสร้างที่เล็กกระทัดรัด และใช้สัญญาณนาฬิกาควบคุมจำนวนน้อยเฟสกว่าแบบลบ เพราะวงจรสร้างด้วยหลักการ SC อย่างสมบูรณ์จึงเหมาะที่จะนำไปสร้างเป็นวงจรรวม

## 2. หลักการ

โดยทั่วไปหลักการในการแปลงสัญญาณแอนาลอกเป็นดิจิตอลแบบการประมาณค่าตามลำดับขั้น ( SAADC ) [ 1 ] , [ 2 ] มักจะใช้อัลกอริธึมในการทำงานแบบลบโดยการประมาณค่าจะใช้วิธีการเปรียบเทียบค่าอินพุตกับสัญญาณอ้างอิงลำดับแรก ถ้าค่าอินพุตมากกว่า

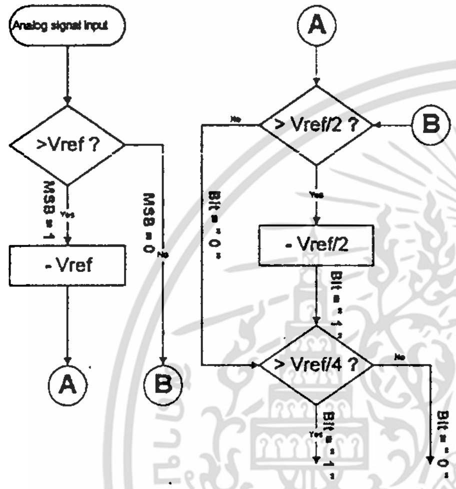
* นักศึกษาปริญญาโท คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง

** อาจารย์ประจำภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณอ้างอิงลำดับแรกก็จะให้ค่าบิตออกมาเป็น " 1 " ( MSB ) แล้วก็ทำการหาค่าผลต่างของสัญญาณทั้งสอง นำเอาผลต่างที่ได้ไปเปรียบเทียบกับสัญญาณอ้างอิงลำดับที่ 2 ต่อไป แต่ถ้าสัญญาณอ้างอิงลำดับแรกมากกว่าสัญญาณอินพุตจะกำหนดค่าบิตที่ได้เป็น " 0 " ( MSB ) และไม่ต้องหาค่าผลต่างของสัญญาณทั้งสอง และจากนั้นให้นำเอาสัญญาณอินพุตตัวดังกล่าวไปเปรียบเทียบกับสัญญาณอ้างอิงลำดับที่ 2 ต่อไป โดยที่การตัดสินค่าบิตต่อ ๆ ไปกระบวนการก็จะดำเนินไปเช่นเดียวกับบิตแรก ซึ่งแผนภูมิการทำงานแสดงได้ดังในรูปที่ 1




รูปที่ 1 แสดงอัลกอริธึม SAADC แบบลบ

โดยที่ความสัมพันธ์ระหว่างสัญญาณแอนาลอกอินพุต , สัญญาณอ้างอิงและบิตเอาต์พุตของสัญญาณดิจิตอลแสดงได้ดังสมการที่ 1

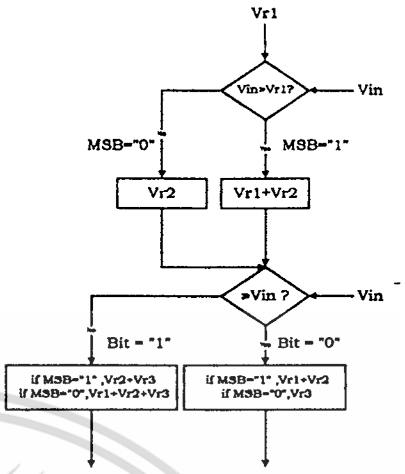
$$V_{input} = \frac{R_s}{2^n}\sum_{i=0}^{n-1} b_i 2^i \qquad (1)$$

เมื่อ $R_s$ คือ สัญญาณแอนาลอกเต็มสเกล

$n$ คือ จำนวนบิตสูงสุดที่ทำการแปลง

$2^i$ คือ ค่าน้ำหนักประจำบิต

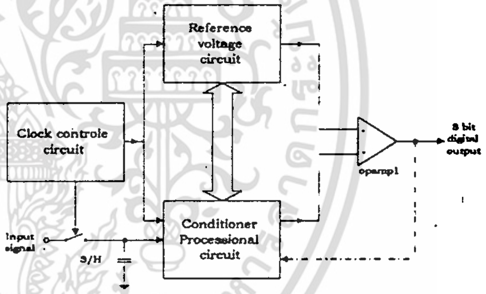
สำหรับหลักการ SAADC ที่ใช้อัลกอริธึมแบบบวกกระบวนการจะเริ่มด้วยการนำเอาสัญญาณอินพุตไปเปรียบเทียบกับสัญญาณอ้างอิงลำดับที่ 1 ( $V_m$ คือสัญญาณอ้างอิงลำดับที่ n โดยที่ n = 1,2,3,... ) ถ้า $V_{in} > V_{r1}$ จะให้ค่าเอาต์พุตดิจิตอลเป็น " 1 " ( MSB ) และนำเอาสัญญาณ $(V_{r1} + V_{r2})$ ไปเปรียบเทียบกับสัญญาณอินพุตตัวเดิม แต่ถ้า $V_{in} < V_{r1}$ จะให้ค่าเอาต์พุตดิจิตอลเป็น " 0 " ( MSB ) และไม่ต้องทำการบวก $V_{r1}$ กับ $V_{r2}$ แต่จะเอา $V_{r2}$ ไปเปรียบเทียบกับสัญญาณอินพุตตัวเดิมเพื่อหาบิตที่ 2 ซึ่งขบวนการดังกล่าวจะเกิดขึ้นในการหาค่าดิจิตอลแต่ละบิตจนครบ จากหลักการที่อธิบายมาดังกล่าวสามารถแสดงเป็นแผนภูมิได้ดังในรูปที่ 2




รูปที่ 2 แสดงอัลกอริธึม SAADC แบบบวก

**3. การออกแบบวงจร**

จากอัลกอริธึมการแปลง SAADC แบบลบซึ่งแสดงในรูปที่ 1 เราสามารถเขียนแผนภูมิความสัมพันธ์ของการทำงานวงจรส่วนหลักได้ดังแสดงในรูปที่ 3




รูปที่ 3 แสดงบล็อกไดอะแกรมของวงจรแปลงสัญญาณแอนาลอกเป็นสัญญาณดิจิตอลโดยการประมาณค่าเป็นลำดับขั้นด้วย SC

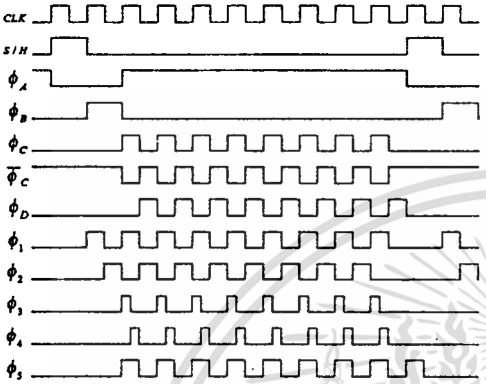
จากบล็อกไดอะแกรมของรูปที่ 3 การทำงานของวงจรใน 1 รอบของการแปลงสัญญาณเริ่มจากวงจรสัญญาณนาฬิกาควบคุมจะส่งสัญญาณควบคุมให้สวิตช์ S/H ทำการสุ่มตัวอย่าง (Sampling & Hold) สัญญาณแอนาลอกอินพุตเข้าไปยังวงจรประมวลผลแบบมีเงื่อนไข (Conditioner Processional Circuit ) ในขณะเดียวกันก็จะส่งสัญญาณควบคุมให้กับวงจรสร้างระดับสัญญาณอ้างอิง เอาต์พุตที่ได้จากวงจรประมวลผลแบบมีเงื่อนไข และวงจรอ้างอิงจะนำไปเปรียบเทียบกันที่ออป - แอมป์ 1( Op - Amp 1 ) ซึ่งจะได้สัญญาณดิจิตอลเอาต์พุตออกมาจนครบ 8 บิต ต่อการแปลงสัญญาณ 1 ตัวอย่างสัญญาณ แล้วจึงเริ่มทำการปฏิบัติการใหม่ตั้งแต่ต้นกับสัญญาณตัวอย่างตัวต่อไป สำหรับเส้นประจากเอาต์พุตของออป - แอมป์ 1 เป็นสัญญาณป้อนกลับมายังวงจรประมวลผลแบบมีเงื่อนไข เพื่อควบคุมให้เป็นไปตามอัลกอริธึมแบบลบ หรือ แบบบวก จากบล็อกไดอะแกรมข้างบนเรานำมาสร้าง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นวงจรได้ดังรูปที่ 4 สำหรับอัลกอริธึมแบบลบ และรูปที่ 11 สำหรับอัลกอริธึมแบบบวก

โดยวงจรส่วน A คือวงจรสร้างสัญญาณอ้างอิง , ส่วน B คือวงจรเปรียบเทียบ และส่วน C คือวงจรประมวลผลแบบมีเงื่อนไข ค่าความจุของตัวเก็บประจุจะมีค่าเท่ากันทุกตัวยกเว้น $C_3$ มีค่าเท่ากับ $\frac{C_1}{2}$




รูปที่ 3 แสดงแผนภูมิสัญญาณนาฬิกาของอัลกอริธึมแบบลบ

### 3.1 การทำงานของวงจร SAADC อัลกอริธึมแบบลบ

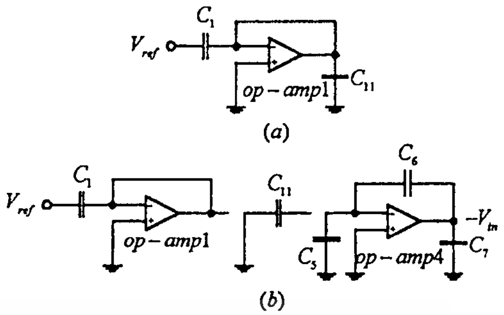
<u>ช่วงสัญญาณนาฬิกาลูกที่ 1</u>

ในจังหวะนี้สวิตช์ S/H และ $\bar{\phi}_C$ ทำงานสัญญาณแอนาลอกอินพุตจะถูกสุ่มค่าตัวอย่างป้อนเข้าสู่ภายในวงจรทำให้ประจุที่ถูกประจุเข้าไปใน $C_5$ มีค่าดังนี้คือ

$$q_{c_5} = C_5 V_{in} \qquad (2)$$

<u>ช่วงสัญญาณนาฬิกาลูกที่ 2</u>

ในจังหวะนี้ สวิตช์ $\phi_B$ ,$\phi_1$ , $\phi_2$ และ $\bar{\phi}_C$ ทำงาน




รูปที่ 5 แสดงวงจรขณะที่อยู่ในช่วงสัญญาณนาฬิกาลูกที่ 2

$(a)$ $\phi_B$ ,$\phi_1$ , $\bar{\phi}_C$ ทำงาน

$(b)$ $\phi_B$ ,$\phi_2$ , $\bar{\phi}_C$ ทำงาน

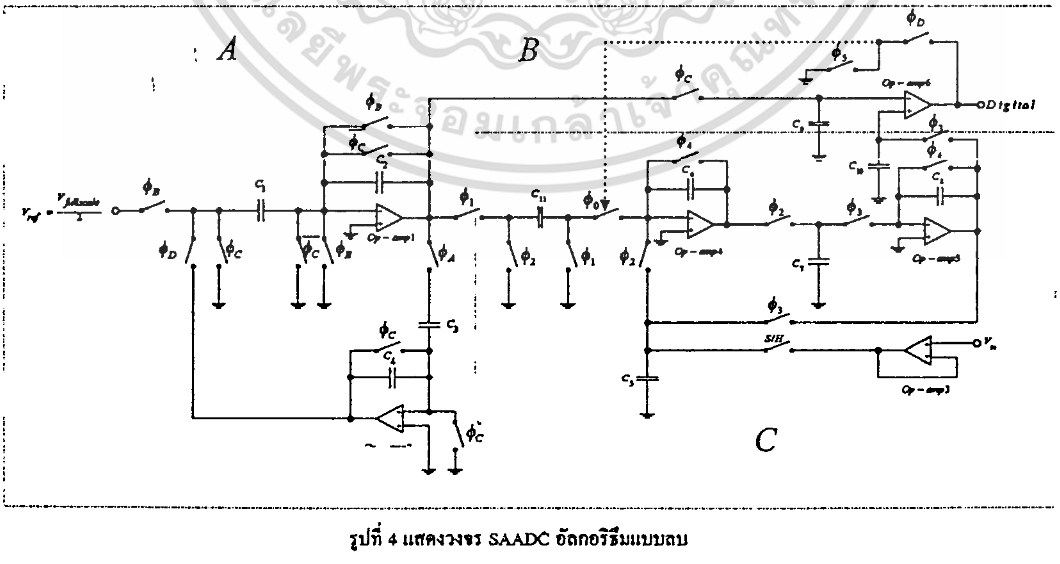
จังหวะที่ $\phi_B$ ทำงานจะมีโวลเตจตกคร่อม $C_1$ เท่ากับ $V_{ref}$ ซึ่ง $V_{ref} = \frac{V_{FS}}{2}$ เมื่อ $V_{FS}$ คือ $V_{FULL\ SCALE}$ ดังนั้น

$$q_{c_1} = C_1 V_{ref} = C_1 \frac{V_{FS}}{2} \qquad (3)$$

ขณะเดียวกัน $\phi_1$ ก็จะทำงานพร้อมกันด้วยแต่ไม่มีประจุไหลเข้า $C_{11}$ ในจังหวะขอบขาลงของ $\phi_1$ , $\phi_2$ ก็จะทำงานทันที (เปลี่ยนกราวด์ที่ $C_1$ ) แต่ไม่มีประจุเปลี่ยนแปลงใน $C_{11}$ เนื่องจาก

$$q_{C_{11}} = 0 \qquad (4)$$

พร้อมกันนี้ประจุจาก $C_5$ จะไหลเข้าไปยัง $C_6$ จากสมการ ( 2 ) เราจะได้




รูปที่ 4 แสดงวงจร SAADC อัลกอริธึมแบบลบ



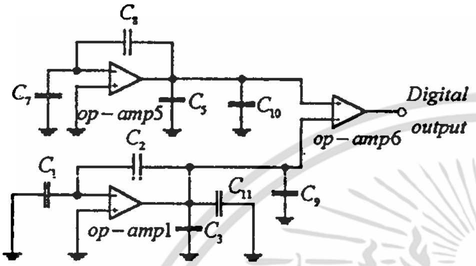
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$-q_{C_6} = q_{C_5}$$
$$-C_6V = C_5V_{in}$$
$$V = -V_{in} \qquad (C_6 = C_5) \qquad (5)$$

นั่นคือที่เอาต์พุตของออป - แอมป์ 4 มีศักดาเป็น $-V_{in}$ และมีโวลเตจตกคร่อม $C_7$ เท่ากับ $-V_{in}$

**ช่วงสัญญาณนาฬิกาลูกที่ 3**

ในจังหวะนี้สวิตซ์ $\phi_A, \phi_C, \bar{\phi}_C, \phi_D, \phi_1, \phi_2, \phi_3, \phi_4$ และ $\phi_5$ ทำงาน




รูปที่ 6 แสดงวงจรในจังหวะขอบขาขึ้นของสัญญาณนาฬิกาลูกที่ 3 $\phi_A, \phi_C, \phi_1, \phi_3, \phi_5$ ทำงาน

จังหวะสัญญาณนาฬิกาลูกนี้ วงจรส่วนที่สร้างระดับสัญญาณอ้างอิงจะมีสวิตซ์ $\phi_A$, และ $\phi_C$ ทำงาน ทำให้ $C_1$ เกิดการสลับขั้วกราวด์ ประจุจึงไหลไปยัง $C_2$ และที่เอาต์พุตของออป - แอมป์ 1 จะมีศักย์ค่าเป็น $+\frac{V_{FS}}{2}$ ดังนั้นประจุที่ประจุอยู่ใน $C_3$, $C_{11}$ และ $C_9$ จะมีค่าดังนี้

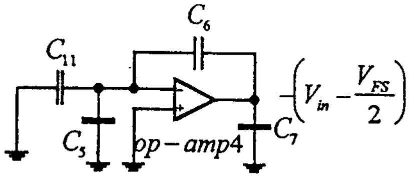
$$q_{C_3} = C_3\left(\frac{V_{FS}}{2}\right)$$
$$= C\left(\frac{V_{FS}}{4}\right) \qquad \left(C_3 = \frac{C}{2}\right) \qquad (6)$$

$$q_{C_9} = C_9\left(\frac{V_{FS}}{2}\right) = C\frac{V_{FS}}{2} \qquad (7)$$

$$q_{C_{11}} = C_{11}\left(\frac{V_{FS}}{2}\right) = C\frac{V_{FS}}{2} \qquad (8)$$

ขณะเดียวกัน ส่วนของวงจรประมวลผลแบบมีเงื่อนไข ก็จะมีประจุจาก $C_7$ ไหลไปที่ $C_8$ ทำให้เอาต์พุตของออป - แอมป์ 5 มีศักย์เป็น $+V_{in}$ และ โวลเตจตกคร่อม $C_{10}$ เท่ากับ $+V_{in}$ ด้วย เพราะฉะนั้นที่ออป - แอมป์ 6 ซึ่งทำหน้าที่เป็นตัวเปรียบเทียบ (Comparator) จะทำการเปรียบเทียบระหว่างโวลเตจที่ตกคร่อม $C_9$ และ $C_{10}$ เอาต์พุตที่ได้จะเป็นสัญญาณดิจิตอลบิตนัยสำคัญสูงสุด (MSB) พร้อมกับเป็นสัญญาณควบคุมสถานะของ $\phi_0$ ( สวิตซ์ $\phi_0$ จะปิดวงจรเมื่อ $\phi_D$ ทำงานและ MSB = "1" ) ขณะที่ $\phi_2$ เริ่มทำงานประจุใน $C_{11}$ และ $C_5$ จะรวมกันหรือไม่นั้นขึ้นอยู่กับสถานะของ $\phi_0$ แยกพิจารณาได้ 2 กรณีคือ

<u>กรณีที่ MSB = "1"</u> ในจังหวะที่ $\phi_2$, $\phi_D$ ทำงานจะทำให้สวิตซ์ $\phi_0$ ปิดวงจรประจุจาก $C_{11}$ และ $C_5$ จะไหลมารวมกันที่ $C_6$




รูปที่ 7 แสดงวงจรในจังหวะที่เกิดการรวมกันของประจุเมื่อ $\phi_0$ ปิดวงจร

จากรูปจะเห็นได้ว่า

$$q_{total} = q_{C_5} + q_{C_{11}}$$
$$= C_5V_{in} + \left\{-C_{11}\left(\frac{V_{FS}}{2}\right)\right\}$$

เนื่องจาก $C_{11} = C_5 = C_6 = C$

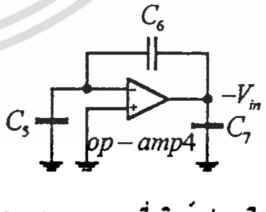
ดังนั้น $q_{total} = q_{C_6} = C\left(V_{in} - \frac{V_{FS}}{2}\right) \qquad (9)$

นั่นคือที่ $C_6$ มีโวลเตจตกคร่อมเท่ากับ $V_{in} - \frac{V_{FS}}{2}$ และที่เอาต์พุตของออปแอมป์ 4 มีศักย์ค่าเป็น $-\left(V_{in} - \frac{V_{FS}}{2}\right)$ ซึ่งเป็นโวลเตจตกคร่อม $C_7$ ด้วยเช่นกัน

<u>กรณีที่ MSB = "0"</u> ในจังหวะที่ $\phi_2$, $\phi_D$ ทำงานสวิตซ์ $\phi_0$ จะเปิดวงจร ซึ่งจะมีเพียงประจุจาก $C_5$ เท่านั้นที่ไหลเข้า $C_6$ ดังนั้นประจุใน $C_6$ จะเป็น

$$q_{C_6} = C_6V_{in} \qquad (10)$$

ในทำนองเดียวกันเอาต์พุตของออปแอมป์ 4 มีศักย์ค่าเป็น $-V_{in}$ และเป็นโวลเตจตกคร่อม $C_7$ ด้วยเช่นกัน

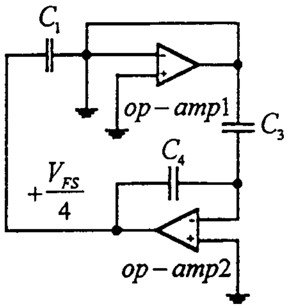



รูปที่ 8 แสดงวงจรขณะที่สวิตซ์ $\phi_0$ เปิดวงจร

ขณะที่ $\phi_2$ เริ่มทำงานนั้น ( ทำงานในจังหวะขอบขาลงของสัญญาณนาฬิกาลูกที่ 3 ) สวิตซ์ $\phi_A$, $\bar{\phi}_C$, $\phi_D$ ก็จะทำงานไปพร้อมกันด้วย นั่นหมายความว่า ที่วงจรสร้างระดับสัญญาณอ้างอิง จะมีการเปลี่ยนแปลงพร้อมกับจังหวะที่ $\phi_0$ ทำงานแสดงได้ดังรูปที่ 9



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 9 แสดงการเปลี่ยนแปลงของวงจรสร้างระดับสัญญาณอ้างอิง

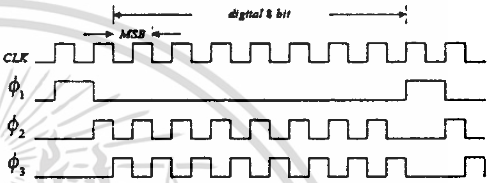
จากรูปที่ 9 จะพบว่าที่ $C_3$ มีการเปลี่ยนกราวด์ ดังนั้นที่เอาต์พุตของออปแอมป์ 2 จึงมีศักย์ค่าเท่ากับ $+\frac{V_{FS}}{4}$ ที่ $C_1$ จึงมีโวลเตจตกคร่อมเท่ากับ $+\frac{V_{FS}}{4}$ ด้วย

**ช่วงสัญญาณนาฬิกาลูกที่ 4**

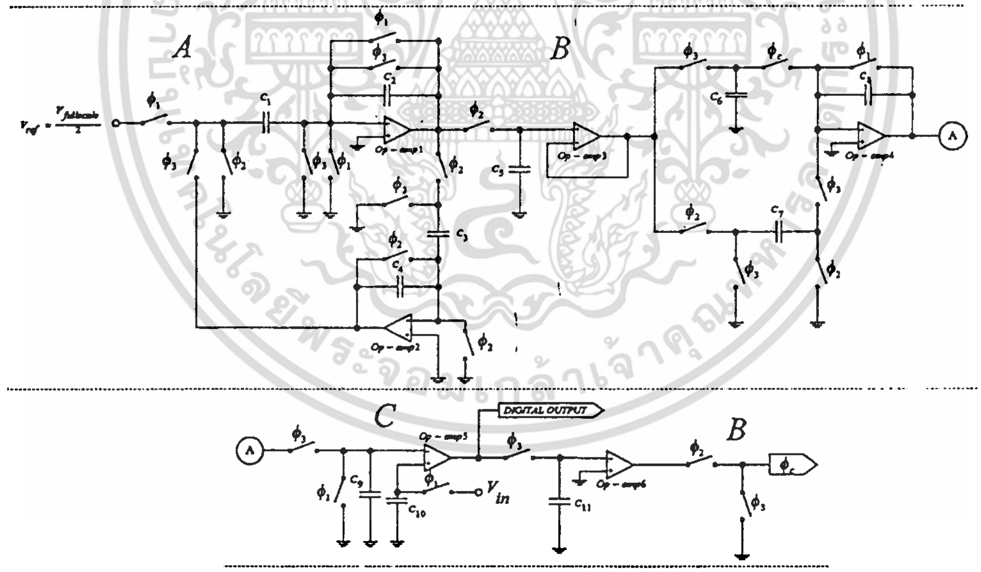
ในจังหวะนี้ $\phi_A, \phi_C, \bar{\phi}_C, \phi_D, \phi_1, \phi_2, \phi_3, \phi_4$ และ $\phi_5$ ทำงาน ซึ่งขั้นตอนการทำงานจะเหมือนกับช่วงสัญญาณนาฬิกาลูกที่ 3 ทุกขั้นตอน ซึ่งจะทำให้เกิดการเปรียบเทียบที่ออปแอมป์ 6 ได้เอาต์พุต

สำหรับการทำงานของสัญญาณนาฬิกาลูกต่อ ๆ มา ก็จะมีลักษณะการทำงานเหมือนกับช่วงสัญญาณนาฬิกาลูกที่ 3 จนกระทั่งได้สัญญาณดิจิตอลครบ 8 บิต เป็นอันสิ้นสุดการแปลงสัญญาณใน 1 รอบของการแปลงต่อ 1 ตัวอย่างสัญญาณ

ซึ่งเราจะเห็นได้ว่า หลักการแปลงที่ใช้อัลกอริธึมแบบลบ จะใช้สัญญาณนาฬิกาควบคุมการทำงานจำนวนมาก และวงจรมีขนาดใหญ่ ดังนั้น เราจึงได้เสนอโครงสร้างวงจรแปลงสัญญาณที่ใช้อัลกอริธึมแบบบวกดังได้อธิบายไว้แล้วข้างต้น โดยวงจรและสัญญาณควบคุมแสดงได้ดังในรูปที่ 10 และรูปที่ 11




รูปที่ 10 แสดงแผนภูมิสัญญาณนาฬิกาควบคุมของอัลกอริธึมแบบบวก




รูปที่ 11 แสดงวงจร SAADC อัลกอริธึมแบบบวก

เป็นสัญญาณดิจิตอล ต่อจาก MSB ( ในช่วงสัญญาณนาฬิกาลูกที่ 4 โวลเตจที่ตกคร่อม $C_9 = +\frac{V_{FS}}{4}$ )

## 3.2 การทำงานของวงจรชนิดอัลกอริธึมแบบบวก

**ช่วงสัญญาณนาฬิกาลูกที่ 1** $\phi_1$ ทำงาน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

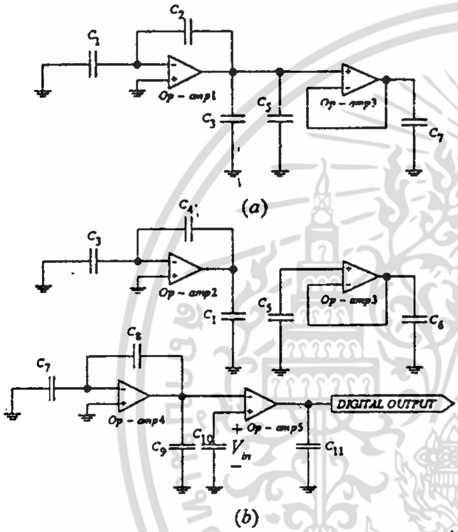
สัญญาณแอนาลอกอินพุต และแรงดันอ้างอิง ( Voltage Reference, $V_{ref}$ ) จะถูกสุ่มตัวอย่าง และคงค่าไว้ที่ $C_1$ และ $C_{10}$ ตามลำดับกล่าวคือ $C_1$, $C_{10}$ จะมีโวลเตจตกคร่อมเท่ากับ $V_{ref}$ และ $V_{in}$ ดังนี้

$$q_{C_1} = C_1 V_{ref} \qquad \left(V_{ref} = \frac{V_{FS}}{2}\right) \quad (11)$$

$$q_{C_{10}} = C_{10} V_{in} \quad (12)$$

สำหรับสวิตซ์ $\phi_1$ ในตำแหน่งอื่น ๆ จะทำหน้าที่ รีเซ็ต ( Reset ) ตัวเก็บประจุ

<u>ช่วงสัญญาณนาฬิกาลูกที่ 2</u> $\phi_2$ , $\phi_3$ ทำงาน



รูปที่ 12 แสดงวงจรขณะที่อยู่ในช่วงสัญญาณนาฬิกาลูกที่ 2

($a$) ขณะที่ $\phi_2$ ทำงาน

($b$) ขณะที่ $\phi_3$ ทำงาน

จังหวะที่ $\phi_2$ ทำงาน ส่วนของวงจรสร้างแรงดันอ้างอิงที่ $C_1$ จะเกิดการเปลี่ยนกราวด์ ประจุจะไหลเข้าไปใน $C_2$ ทำให้เอาต์พุตของออปแอมป์ 1 มีศักย์ค่าเท่ากับ $V_{ref}$ และเกิดโวลเตจตกคร่อม $C_3$ เท่ากับ $V_{ref}$ ด้วย โดยที่

$$q_{C_3} = C_3 V_{ref}$$

เมื่อ $$C_3 = \frac{C}{2}$$

$$q_{C_3} = C\left(\frac{V_{ref}}{2}\right) \quad (13)$$

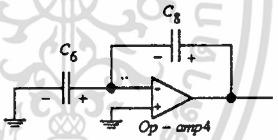
ในทำนองเดียวกันที่ $C_5$ มีโวลเตจตกคร่อมเท่ากับ $V_{ref}$ และเนื่องจาก ออปแอมป์ 3 ทำหน้าที่เป็นบัฟเฟอร์ ( Buffer ) ดังนั้นที่ $C_7$ จึงมีโวลเตจตกคร่อมเท่ากับ $V_{ref}$ ด้วย

จังหวะที่ $\phi_3$ ทำงาน ส่วนของวงจรสร้างแรงดันอ้างอิงที่ $C_3$ เกิดการเปลี่ยนกราวด์ประจุจาก $C_3$ จึงไหลเข้าไปยัง $C_4$ ทำให้เอาต์พุตของออปแอมป์ 2 มีศักย์ค่าเท่ากับ $\frac{V_{ref}}{2}$ เกิดโวลเตจตกคร่อม $C_1$ เท่ากับ $\frac{V_{ref}}{2}$ ขณะเดียวกันที่ $C_5$ ซึ่งยังคงค้างค่า $V_{ref}$ ไว้ จากการทำงานของ $\phi_2$ จึงทำให้ที่เอาต์พุตของออปแอมป์ 3 มีโวลเตจตกคร่อม $C_6$ เท่ากับ $V_{ref}$ และที่ $C_7$ เกิดการเปลี่ยนกราวด์เอาต์พุตของออปแอมป์ 4 จึงมีโวลเตจตกคร่อม $C_9$ เท่ากับ $V_{ref}$ ซึ่งจะทำการเปรียบเทียบกับ $V_{in}$ ที่ออปแอมป์ 5 เอาต์พุตของออปแอมป์ 5 จะเป็นค่าดิจิตอลที่ได้จากการแปลงครั้งแรก ซึ่งเป็นบิตนัยสำคัญสูงสุด (MSB) ค่าเอาต์พุตที่ได้นี้จะทำให้เกิดโวลเตจตกคร่อม $C_{11}$ เพื่อทำการเปรียบเทียบกับกราวด์ที่ออปแอมป์ 6 โดยที่ออปแอมป์ 6 ทำหน้าที่เป็นอินเวอร์เตอร์ ( Inverter ) และที่เอาต์พุตของมันจะค้างค่านี้ไว้ จนกว่าจะถึงจังหวะของ $\phi_2$ ในช่วงของสัญญาณนาฬิกาลูกต่อไป

<u>ช่วงสัญญาณนาฬิกาลูกที่ 3</u> $\phi_2$ , $\phi_3$ ทำงาน

ลักษณะการทำงานจะเหมือนกับช่วงสัญญาณนาฬิกาลูกที่ 2 แต่ในจังหวะของ $\phi_2$ ทำงานนั้นที่เอาต์พุตของออปแอมป์ 6 จะเป็นสัญญาณควบคุมให้กับสวิตซ์ $\phi_C$ แยกพิจารณาได้ 2 กรณีดังนี้

<u>กรณีที่ 1</u> ถ้า $\phi_C$ เป็น High จะทำให้ประจุจาก $C_6$ ไหลเข้าไปรวมกับประจุใน $C_8$ ดังนี้



รูปที่ 13 แสดงการรวมกันของประจุ กรณี $\phi_C$ เป็น High

$$\begin{aligned} q_{total} &= q_{C_6} + q_{C_8} + q_{C_7} \\ &= \left(C_6 V_{C_6}\right) + \left(-C_8 V_{C_8}\right) + \left(C_7 \frac{V_{ref}}{2}\right) \\ &= C_7\left(\frac{V_{ref}}{2}\right) \end{aligned} \quad (14)$$

$$\left(V_{C_6} = V_{ref}, V_{C_8} = V_{ref}, C_6 = C_8\right)$$

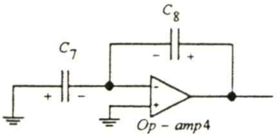
<u>กรณีที่ 2</u> ถ้า $\phi_C$ เป็น Low ที่ $C_8$ ยังคงค้างค่าประจุไว้เช่นเดิม โดยที่

$$q_{C_8} = C_8 V_{ref} \quad (15)$$

เมื่อ $\phi_3$ เริ่มทำงานประจุจาก $C_7$ จะไหลเข้ามารวมกับ $C_8$ ดังนี้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



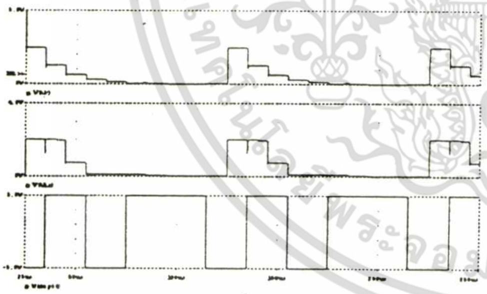

รูปที่ 14 แสดงการรวมกันของประจุ กรณีที่ $\phi_C$ เป็น Low

$$q_{total} = q_{C_7} + q_{C_8}$$
$$= \left(C_7 V_{C_7}\right) + \left(C_8 V_{C_8}\right)$$
$$= \left(C_7 \frac{V_{ref}}{2}\right) + \left(C_8 V_{ref}\right)$$
$$= \left(V_{ref} + \frac{V_{ref}}{2}\right) C_8 \quad \left(C_7 = C_8\right) \quad (16)$$

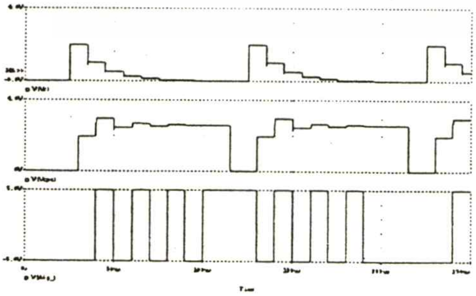
ค่าที่ได้จะไปเปรียบเทียบกับ $V_{in}$ ที่ออปแอมป์ 5 ได้เป็นดิจิตอลเอาต์พุตบิตถัดมา ซึ่งเหตุการณ์ลำดับต่อไปก็จะเกิดวนซ้ำกับเหตุการณ์ที่ได้กล่าวมาแล้วในรอบแรกจนได้สัญญาณครบจำนวนบิตตามต้องการ

**4. ผลการทดลองและผลการเลียนแบบ**

จากรูปวงจรรูปที่ 4 และรูปที่ 11 เลียนแบบวงจรโดยใช้โปรแกรมพีสไปซ์ ซึ่งผลการเลียนแบบแสดงได้ดังในรูปที่ 15 และรูปที่ 16 โดยที่ สัญญาณเส้นบนสุดแสดงผลของสัญญาณอ้างอิง สัญญาณเส้นที่ 2 แสดงค่าเอาต์พุตของวงจรส่วนประมวลผลแบบมีเงื่อนไข สัญญาณเส้นล่างสุด แสดงค่าบิตของเอาต์พุตดิจิตอล

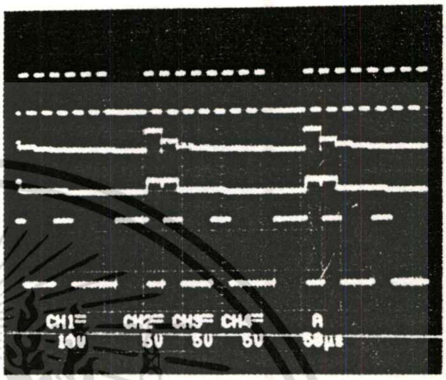


รูปที่ 15 แสดงผลการเลียนแบบวงจร SAADC ที่ใช้อัลกอริธึมแบบลบ



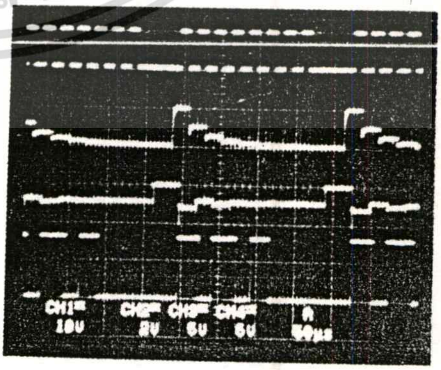
รูปที่ 16 แสดงผลการเลียนแบบวงจร SAADC ที่ใช้อัลกอริธึมแบบบวก

เพื่อเป็นการยืนยันว่าวงจร SAADC ที่ใช้อัลกอริธึมแบบลบและ แบบบวกสามารถทำงานได้จริงเราจึงได้ทำการต่อวงจรตามรูปที่ 4 และรูปที่ 11 โดยใช้ op-amp 351 สวิตช์ใช้ IC 4066 และใช้ค่า C = 100 pF ซึ่งผลการทดลองแสดงดังในรูปที่ 17 โดยใช้ค่า $V_{ref}$ = 2.5 V และป้อนอินพุตเป็น DC = 1.5 V




รูปที่ 17 แสดงผลการทดลอง SAADC อัลกอริธึมแบบลบ

โดยที่สัญญาณเส้นบนสุดแสดงสัญญาณควบคุมสวิตช์ $\phi_C$ สัญญาณเส้นที่ 2 แสดงสัญญาณอ้างอิง เส้นที่ 3 แสดงสัญญาณที่ได้จากส่วนของวงจรประมวลผลแบบมีเงื่อนไข และสัญญาณเส้นล่างสุดแสดงค่าเอาต์พุตดิจิตอลที่ได้จากการแปลง และผลการทดลอง SAADC ที่ใช้อัลกอริธึมแบบบวกดังแสดงในรูปที่ 18 โดยได้ใช้ $V_{ref}$ = 2 V และป้อนอินพุตเป็น DC = 2.7 V โดยที่สัญญาณเส้นบนสุดแสดงสัญญาณควบคุมสวิตช์ $\phi_3$ สัญญาณเส้นที่ 2 แสดงสัญญาณอ้างอิง เส้นที่ 3 แสดงสัญญาณที่ได้จากส่วนของวงจรประมวลผลแบบมีเงื่อนไข และสัญญาณเส้นล่างสุดแสดงค่าเอาต์พุตดิจิตอลที่ได้จากการแปลง

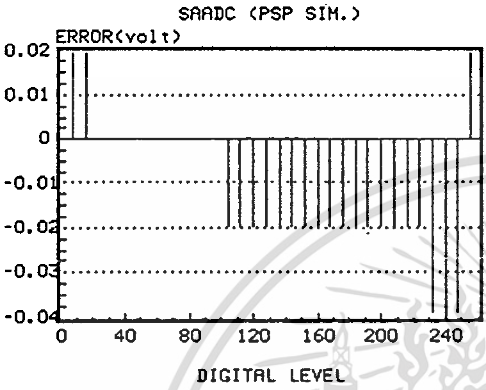



รูปที่ 18 แสดงผลการทดลอง SAADC อัลกอริธึมแบบบวก



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากวงจรที่ใช้ทดลองได้ทำการต่อวงจรบนบอร์ดทดลอง จึงมีค่าความผิดพลาดในการแปลงอยู่พอสมควร ดังนั้นเราจึงได้หาค่าบิตเอาต์พุตที่ได้จากการแปลง SAADC โดยการเลียนแบบวงจรที่อินพุตค่าต่าง ๆ และคำนวณหาค่าความผิดพลาดในการแปลงของแต่ละบิตดังแสดงในรูปที่ 19




รูปที่ 19 แสดงผลความผิดพลาดจากการแปลงโดยการเลียนแบบ

**5. สรุปและวิจารณ์**

จากผลการทดลองและการเลียนแบบที่ได้กล่าวมาแล้ว เป็นสิ่งที่ยืนยันได้ว่า เราสามารถใช้วงจร SC สร้าง SAADC ที่ใช้อัลกอริธึมทั้งแบบลบ และแบบบวกได้ ซึ่ง SAADC ที่ใช้โครงสร้างอัลกอริธึมแบบบวกจะมีรูปร่างที่กระทัดรัด และใช้สัญญาณนาฬิกาในการควบคุมการทำงานต่าง ๆ จำนวนน้อย จึงเหมาะจะนำไปทำเป็นวงจรรวม นอกจากนี้แล้ว ลักษณะของสัญญาณนาฬิกาที่ใช้ในการควบคุม และการทำงานของวงจรยังทำงานในลักษณะที่เป็น closed form ดังนั้นจึงไม่จำเป็นต้องนำวงจร Latch และ D/A มาใช้ในวงจรด้วย อย่างไรก็ดี เนื่องจากการทดลองของเราทำการต่อวงจรบนบอร์ด ดังนั้นจึงไม่สามารถวัดค่าความผิดพลาดที่แท้จริงได้เหมือนกับวงจรที่ถูกสร้างลงบนชิพ แต่อย่างไรก็ตามเราก็ได้หาค่าความผิดพลาดจากการแปลงโดยการเลียนแบบ และได้แสดงไว้เพื่อประกอบการพิจารณาด้วยแล้ว

**6. เอกสารอ้างอิง**

[ 1 ] J.L. McCreay and P.R.Gray , " All-MOS charge redestribution analog-to-digital conversion techniques-Part I ," IEEE J. Solid-State Circuits,Vol.SC-10,pp.371-379,Dec.1975.

[ 2 ] R.E. Suarez, P.R.Gray and D.A.Hodges, " All-MOS charge redestribution analog-to-digital conversion techniques-Part II,"IEEE J. Solid-State Circuits,Vol.SC10,pp.370-385,Dec.1975.

[ 3 ] S. Ogawa and K. Watanabe , " A switched-capacitor successive-approximation A/D Converter," IEEE Trans.Instrumentation and Measurement , Vol 42., pp.847-853, Aug.1993.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ภาคผนวก ข

## โปรแกรมที่ 1
## โปรแกรมเลียนแบบการทำงานของวงจร SAADC อัลกอริธึมแบบลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
* Schematics Netlist *

S_S1     $N_0001 Vfs Qb 0 Sbreak
RS_S1    Qb 0 1G
C_C1     Vfs $N_0002 .01u
C_C2     $N_0002 Vfo .01u
X_U3     0 $N_0002  Vfo ideal_opamp
V_V1     $N_0001 0  DC 2.5
S_S3     Vfs 0 Qc 0 Sbreak
RS_S3    Qc 0 1G
S_S4     $N_0002 0 Qb 0 Sbreak
RS_S4    Qb 0 1G
U_U5     stim(1,1) $G_DPWR $G_DGND Qb  IO_STM
+ 0 0
+ 15u 1
+ 25u 0
+ label=loop1
+ +90u 1
+ +10u 0
+ +90u goto loop1 -1 times
S_S6     $N_0002 0 Qc_ 0 Sbreak
RS_S6    Qc_ 0 1G
S_S8     Vfo Vr Qc 0 Sbreak
RS_S8    Qc 0 1G
C_C9     0 Vr .01u
U_U12    stim(1,1) $G_DPWR $G_DGND Qc  IO_STM
+ 0 0
+ label=loop1
+ 25u 1
+ 30u 0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
+ label=loop2
+ +5u 1
+ +5u 0
+ +5u goto loop2 6 times
+ +20u goto loop1 -1 times
S_S11    $N_0002 Vfo Qb 0 Sbreak
RS_S11   Qb 0 1G
S_S16    $N_0002 Vfo Qc_ 0 Sbreak
RS_S16   Qc_ 0 1G
U_U18    stim(1,1) $G_DPWR $G_DGND Qc_  IO_STM
+ 0 1
+ label=loop1
+ label=loop2
+ +25u 0
+ +5u 1
+ +5u goto loop2 7 times
+ +20u goto loop1 -1 times
S_S17    $N_0003 Vfo Qa 0 Sbreak
RS_S17   Qa 0 1G
S_S18    $N_0004 0 Qc 0 Sbreak
RS_S18   Qc 0 1G
S_S19    $N_0004 $N_0005 Qc 0 Sbreak
RS_S19   Qc 0 1G
S_S20    $N_0005 Vfs Qd 0 Sbreak
RS_S20   Qd 0 1G
X_U19    0 $N_0004  $N_0005 ideal_opamp
C_C3     $N_0004 $N_0003 .005u
C_C4     $N_0005 $N_0004 0.01u
U_U20    stim(1,1) $G_DPWR $G_DGND Qa  IO_STM
+ 0 1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
+ label=loop1
+ +5u 0
+ +20u 1
+ +80u 0
+ +0.01u goto loop1 -1 times
U_U21    stim(1,1) $G_DPWR $G_DGND Qd  IO_STM
+ 0 0
+ label=loop1
+ label=loop2
+ +30u 1
+ +5u 0
+ +5u goto loop2 7 times
+ +20u goto loop1 -1 times
U_U22    stim(1,1) $G_DPWR $G_DGND SH  IO_STM
+ 0 0
+ label=loop1
+ +5u 1
+ +10u 0
+ +90u goto loop1 -1 times
U_U23    stim(1,1) $G_DPWR $G_DGND Q1  IO_STM
+ 0 0
+ label=loop1
+ label=loop2
+ +15u 1
+ +5u 0
+ +5u goto loop2 8 times
+ +10u goto loop1 -1 times
U_U24    stim(1,1) $G_DPWR $G_DGND Q2  IO_STM
+ 0 0
+ label=loop1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
+ label=loop2
+ +20u 1
+ +5u 0
+ +5u goto loop2 7  times
+ +20u goto loop1 -1 times
U_U25    stim(1,1) $G_DPWR $G_DGND Q3  IO_STM
+ 0 0
+ label=loop1
+ label=loop2
+ +25u 1
+ +2.5u 0
+ +7.5u goto loop2 7 times
+ +20u goto loop1 -1 times
U_U26    stim(1,1) $G_DPWR $G_DGND Q4  IO_STM
+ 0 0
+ label=loop1
+ label=loop2
+ +27.5u 1
+ +2.5u 0
+ +7.5u goto loop2 7 times
+ +20u goto loop1 -1 times
X_U27    Vin Vr  digit ideal_opamp
S_S21    Vfo Vsum Q1 0 Sbreak
RS_S21   Q1 0 1G
S_S22    Vsum 0 Q2 0 Sbreak
RS_S22   Q2 0 1G
S_S23    $N_0006 0 Q1 0 Sbreak
RS_S23   Q1 0 1G
S_S24    $N_0006 $N_0007 Qx 0 Sbreak
RS_S24   Qx 0 1G
```

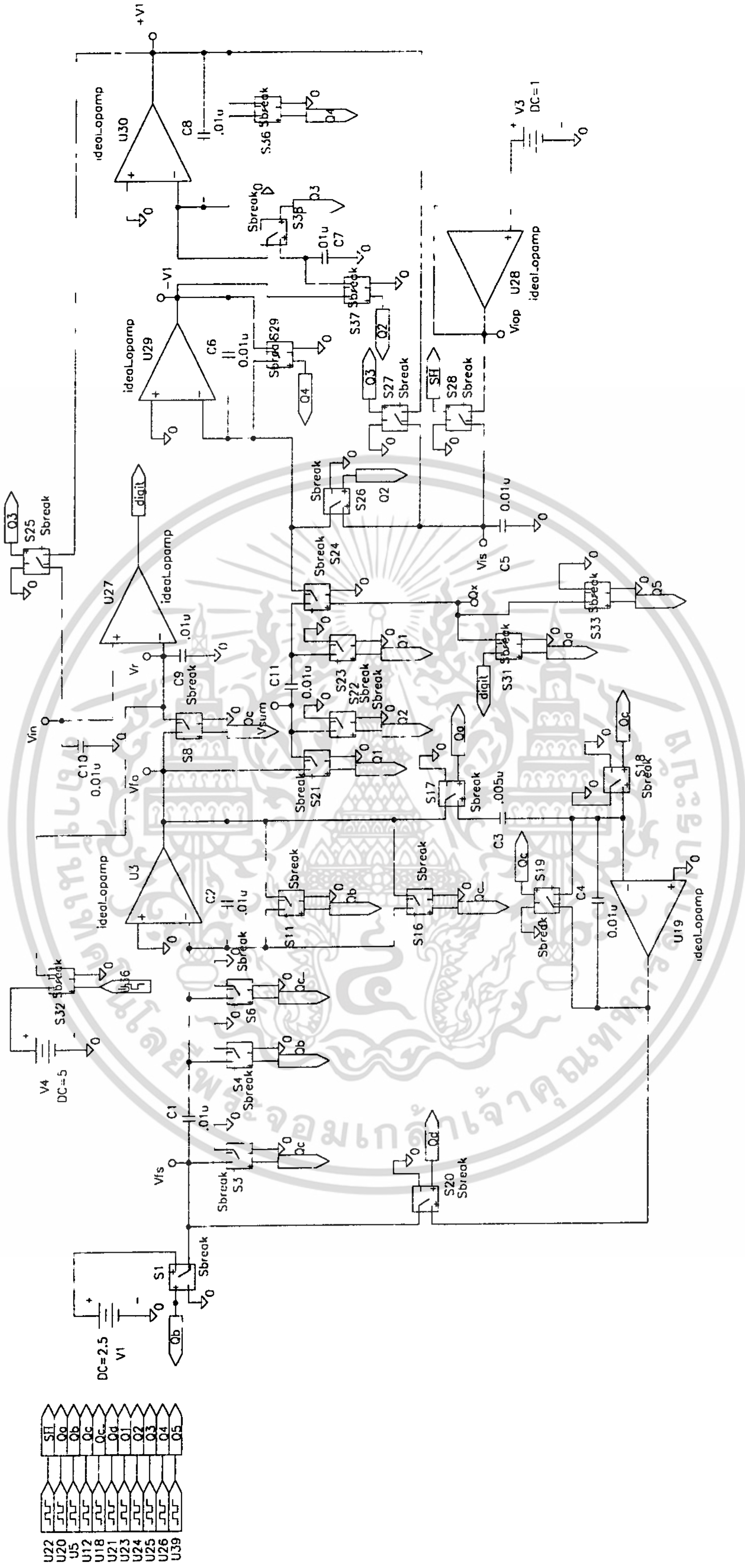
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
C_C11    Vsum $N_0006 0.01u
C_C10    Vin 0 0.01u
S_S25    +V1 Vin Q3 0 Sbreak
RS_S25   Q3 0 1G
S_S26    Vis $N_0007 Q2 0 Sbreak
RS_S26   Q2 0 1G
S_S27    +V1 Vis Q3 0 Sbreak
RS_S27   Q3 0 1G
S_S28    Viop Vis SH 0 Sbreak
RS_S28   SH 0 1G
X_U28    $N_0008 Viop  Viop ideal_opamp
C_C5     0 Vis 0.01u
X_U29    0 $N_0007  -V1 ideal_opamp
X_U30    0 $N_0009  +V1 ideal_opamp
C_C6     $N_0007 -V1 0.01u
S_S29    $N_0007 -V1 Q4 0 Sbreak
RS_S29   Q4 0 1G
V_V3     $N_0008 0  DC 1
S_S31    digit Qx Qd 0 Sbreak
RS_S31   Qd 0 1G
V_V4     $N_0010 0  DC 5
S_S32    $N_0010 Vr $N_0011 0 Sbreak
RS_S32   $N_0011 0 1G
U_U36    stim(1,1) $G_DPWR $G_DGND $N_0011  IO_STM
+ 0 1
+ 5u 0
S_S33    Qx 0 Q5 0 Sbreak
RS_S33   Q5 0 1G
U_U39    stim(1,1) $G_DPWR $G_DGND Q5  IO_STM
+ 0 0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
+ label=loop1
+ label=loop2
+ +25u 1
+ +5u 0
+ +5u goto loop2 8 times
+ +10u goto loop1 -1 times
S_S36    $N_0009 +V1 Q4 0 Sbreak
RS_S36   Q4 0 1G
C_C8     $N_0009 +V1 .01u
S_S37    -V1 $N_0012 Q2 0 Sbreak
RS_S37   Q2 0 1G
C_C7     0 $N_0012 .01u
S_S38    $N_0012 $N_0009 Q3 0 Sbreak
RS_S38   Q3 0 1G
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



**โปรแกรมที่สร้างขึ้นจาก Schematics**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ภาคผนวก ค

## โปรแกรมที่ 2
## โปรแกรมเลียนแบบการทำงานของวงจร SAADC อัลกอริธึมแบบบวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
* Schematics Netlist *

S_S1     $N_0001 Vfs Qb 0 Sbreak
RS_S1    Qb 0 1G
C_C1     Vfs $N_0002 .01u
C_C2     $N_0002 $N_0003 .01u
X_U3     0 $N_0002  $N_0003 ideal_opamp
V_V1     $N_0001 0  DC 2.5
S_S3     Vfs 0 Qc 0 Sbreak
RS_S3    Qc 0 1G
S_S4     $N_0002 0 Qb 0 Sbreak
RS_S4    Qb 0 1G
U_U5     stim(1,1) $G_DPWR $G_DGND Qb  IO_STM
+ 0 0
+ 15u 1
+ 25u 0
+ label=loop1
+ +90u 1
+ +10u 0
+ +90u goto loop1 -1 times
S_S6     $N_0002 0 Qc_ 0 Sbreak
RS_S6    Qc_ 0 1G
U_U12    stim(1,1) $G_DPWR $G_DGND Qc  IO_STM
+ 0 0
+ label=loop1
+ 25u 1
+ 30u 0
+ label=loop2
+ +5u 1
+ +5u 0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
+ +5u goto loop2 6 times
+ +20u goto loop1 -1 times
S_S11    $N_0002 $N_0003 Qb 0 Sbreak
RS_S11   Qb 0 1G
S_S16    $N_0002 $N_0003 Qc_ 0 Sbreak
RS_S16   Qc_ 0 1G
U_U18    stim(1,1) $G_DPWR $G_DGND Qc_  IO_STM
+ 0 1
+ label=loop1
+ label=loop2
+ +25u 0
+ +5u 1
+ +5u goto loop2 7 times
+ +20u goto loop1 -1 times
S_S17    $N_0004 $N_0003 Qa 0 Sbreak
RS_S17   Qa 0 1G
S_S18    $N_0005 0 Qc 0 Sbreak
RS_S18   Qc 0 1G
S_S19    $N_0005 $N_0006 Qc 0 Sbreak
RS_S19   Qc 0 1G
S_S20    $N_0006 Vfs Qd 0 Sbreak
RS_S20   Qd 0 1G
X_U19    0 $N_0005  $N_0006 ideal_opamp
C_C3     $N_0005 $N_0004 .005u
C_C4     $N_0006 $N_0005 0.01u
U_U20    stim(1,1) $G_DPWR $G_DGND Qa  IO_STM
+ 0 1
+ label=loop1
+ +5u 0
+ +20u 1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
+ +80u 0
+ +0.01u goto loop1 -1 times
U_U21    stim(1,1) $G_DPWR $G_DGND Qd  IO_STM
+ 0 0
+ label=loop1
+ label=loop2
+ +30u 1
+ +5u 0
+ +5u goto loop2 7 times
+ +20u goto loop1 -1 times
U_U22    stim(1,1) $G_DPWR $G_DGND SH  IO_STM
+ 0 0
+ label=loop1
+ +5u 1
+ +10u 0
+ +90u goto loop1 -1 times
U_U23    stim(1,1) $G_DPWR $G_DGND Q1  IO_STM
+ 0 0
+ label=loop1
+ label=loop2
+ +15u 1
+ +5u 0
+ +5u goto loop2 8 times
+ +10u goto loop1 -1 times
U_U24    stim(1,1) $G_DPWR $G_DGND Q2  IO_STM
+ 0 0
+ label=loop1
+ label=loop2
+ +20u 1
+ +5u 0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
+ +5u goto loop2 7  times
+ +20u goto loop1 -1 times
U_U25    stim(1,1) $G_DPWR $G_DGND Q3  IO_STM
+ 0 0
+ label=loop1
+ label=loop2
+ +25u 1
+ +2.5u 0
+ +7.5u goto loop2 7 times
+ +20u goto loop1 -1 times
U_U26    stim(1,1) $G_DPWR $G_DGND Q4  IO_STM
+ 0 0
+ label=loop1
+ label=loop2
+ +27.5u 1
+ +2.5u 0
+ +7.5u goto loop2 7 times
+ +20u goto loop1 -1 times
V_V3    $N_0007 0  DC 1
U_U39    stim(1,1) $G_DPWR $G_DGND Q5  IO_STM
+ 0 0
+ label=loop1
+ label=loop2
+ +25u 1
+ +5u 0
+ +5u goto loop2 8 times
+ +10u goto loop1 -1 times
S_S39    Vrf Vr1 Qd 0 Sbreak
RS_S39   Qd 0 1G
S_S40    Vr1 $N_0008 Qcr 0 Sbreak
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
RS_S40   Qcr 0 1G
S_S41    Vrf Vrs1 Qc 0 Sbreak
RS_S41   Qc 0 1G
S_S42    Vrs1 0 Qd 0 Sbreak
RS_S42   Qd 0 1G
S_S43    $N_0009 0 Qc 0 Sbreak
RS_S43   Qc 0 1G
C_C6     0 Vr1 .01u
C_C7     $N_0009 Vrs1 .01u
X_U40    0 $N_0008  Vr2 ideal_opamp
C_C8     $N_0008 Vr2 .01u
S_S44    Vr2 Vcpc Qd 0 Sbreak
RS_S44   Qd 0 1G
C_C9     0 Vcpc .01u
X_U41    $N_0007 Vcpc  Digit ideal_opamp
X_U42    0 $N_0010  dig_ ideal_opamp
S_S47    dig_ Qcr Qc 0 Sbreak
RS_S47   Qc 0 1G
S_S48    Qcr 0 Qd 0 Sbreak
RS_S48   Qd 0 1G
S_S49    $N_0009 $N_0008 Qd 0 Sbreak
RS_S49   Qd 0 1G
C_C5     0 Vr .01u
S_S51    $N_0003 Vr Qc 0 Sbreak
RS_S51   Qc 0 1G
X_U43    Vr Vrf  Vrf ideal_opamp
S_S52    $N_0008 Vr2 Qb 0 Sbreak
RS_S52   Qb 0 1G
S_S53    0 Vcpc Qb 0 Sbreak
RS_S53   Qb 0 1G
```

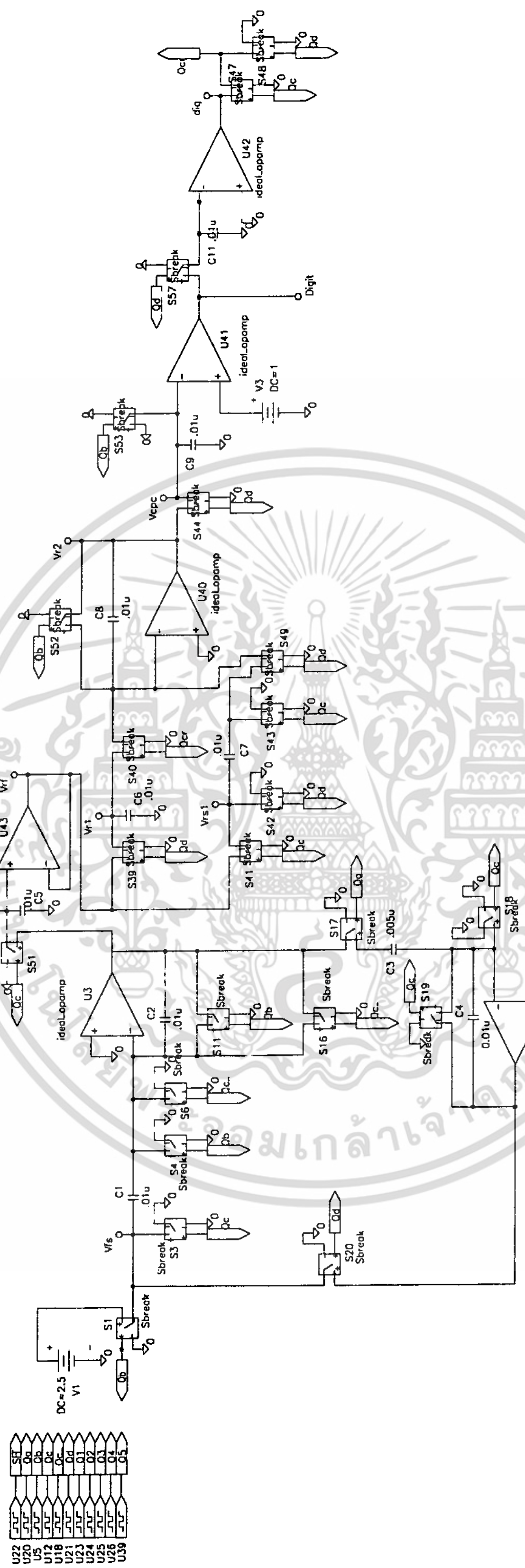
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

C_C11 0 $N_0010 .01u

S_S57 Digit $N_0010 Qd 0 Sbreak

RS_S57 Qd 0 1G

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




โปรแกรมที่สร้างขึ้นจาก Schematics

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ประวัติผู้เขียน

| | |
|---|---|
| **ชื่อผู้เขียน** | นายธงชัย มณีชูเกตุ |
| **วันเดือนปีเกิด** | วันที่ 23 เมษายน 2509 |
| **วุฒิการศึกษา** | วิทยาศาสตรบัณฑิต สาขาวิชาฟิสิกส์ |
| **สถานที่สำเร็จการศึกษา** | มหาวิทยาลัยศรีนครินทรวิโรฒน์ พิษณุโลก |
| **ปีที่สำเร็จการศึกษา** | ปีการศึกษา 2530 |
| **ผลงานทางวิชาการที่ได้รับการตีพิมพ์** | การแปลงสัญญาณแอนาลอกเป็นสัญญาณดิจิตอลโดยการประมาณค่าตามลำดับขั้นด้วยสวิตช์-คาปาซิเตอร์ การประชุมวิชาการทางวิศวกรรมไฟฟ้าครั้งที่ 18 จัดโดย คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีมหานคร |
| **รางวัลหรือทุนที่เคยได้รับ** | มูลนิธิเพื่อการศึกษาคอมพิวเตอร์และการสื่อสาร (C&C) |

**ประสบการณ์การทำงาน**

| | |
|---|---|
| 2531-2535 | วิศวกรประจำแผนกผลิตภัณฑ์ บริษัท กุลธรเคอร์บี้จำกัด นิคมอุตสาหกรรมลาดกระบัง |
| 2535-2536 | วิศวกรประจำแผนกผลิตภัณฑ์ บริษัท กุลธรยูนิเวอร์แซลอิเล็คทริกจำกัด นิคมอุตสาหกรรมลาดกระบัง |
| 2536-2539 | เจ้าหน้าที่วิจัย ศูนย์บริการและพัฒนาวิศวกรรม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง |
| 2539-ปัจจุบัน | อาจารย์ประจำภาควิชาฟิสิกส์ มหาวิทยาลัยนเรศวร พิษณุโลก |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้