การออกแบบวงจรชมิทท์ทริกเกอร์ชนิดแกว่งเต็มช่วงด้วยเทคโนโลยีไบซีมอส

A DESIGN OF A FULL-SWING BiCMOS SCHMITT TRIGGER CIRCUIT

T031534

วิษณุ กอพยัคฆินทร์

WITSANU KORPHAYAKKHIN

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2541

ISBN 974-622-228-7

เลขหมู่..................
เลขทะเบียน 31534
วัน, เดือน, ปี 11 พ.ย. 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A DESIGN OF A FULL-SWING BiCMOS SCHMITT TRIGGER CIRCUIT

WITSANU KORPHAYAKKHIN

A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

1998

ISBN 974-622-228-7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COPYRIGHT 1998

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การออกแบบวงจรชมิทท์ทริกเกอร์ชนิดแกว่งเต็มช่วงด้วยเทคโนโลยีไบซีมอส
นักศึกษา	นายวิษณุ กอพยัคฆินทร์
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร.กอบชัย เดชหาญ
หลักสูตร	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2541

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้เสนอหลักการออกแบบวงจรชมิทท์ทริกเกอร์ชนิดแกว่งเต็มช่วงด้วยเทคโนโลยีไบซีมอส วงจรนี้สามารถทำงานได้แบบแกว่งเต็มช่วง จากแหล่งจ่ายไฟตรงจนถึงกราวด์ โดยการควบคุมสัญญาณป้อนกลับจากเอาท์พุท สามารถลดกำลังงานการสูญเสียลงได้ กราฟคุณสมบัติการโอนถ่ายสัญญาณจะใช้โปรแกรม PSpice ในการจำลองเปรียบเทียบกับซีมอสแบบง่ายๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title A Design of a Full-Swing BiCMOS Schmitt Trigger Circuit

Student Mr.Witsanu Korphayakkhin

Thesis Advisor Assoc.Prof.Dr.Kobchai Dejhan

Degree Master of Engineering in Electrical Engineering

Year 1998

ABSTRACT

This thesis proposes a design of BiCMOS Schmitt trigger circuit without reversed phase. The proposed circuit is compared with the previous circuit. The design analysis has been carried out. This circuit can be operated as full-swing from the supply voltage to the ground voltage by controlling the feedback signal from the output. It reduces the power dissipation. The transfer characteristic curve has been simulated by using PSpice circuit simulator when compared with the simple CMOS. This paper also presents the swing characteristic, the propagation delay time of the proposed circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ผู้วิจัยขอขอบคุณบิดามารดาที่ได้ให้การสนับสนุน และให้กำลังใจในการศึกษามาโดยตลอด แม้ว่ามารดาจะไม่มีโอกาสได้เห็นความสำเร็จในครั้งนี้ตามที่ท่านได้คาดหวังไว้ก็ตาม โดยท่านได้ถึงแก่กรรมเมื่อวันอาทิตย์ที่ 19 ตุลาคม 2540

วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงได้อย่างดี ด้วยคำแนะนำและคำปรึกษาเกี่ยวกับวงจรชมิทท์ทริกเกอร์แบบสวิงเต็มช่วง และ เอกสารอ้างอิงต่างๆ จาก รศ.ดร.กอบชัย เดชหาญ ซึ่งเป็นอาจารย์ผู้ควบคุมวิทยานิพนธ์ ผู้วิจัยรู้สึกซาบซึ้งในความอนุเคราะห์จากท่านและขอกราบขอบพระคุณเป็นอย่างสูง

ขอขอบคุณคุณไพบูรณ์ ตู้ประกาย ที่มีส่วนช่วยแนะนำเอกสารอ้างอิง การใช้โปรแกรม และจัดรูปแบบวิทยานิพนธ์เล่มนี้ได้สำเร็จเรียบร้อยยิ่งขึ้น

ขอขอบคุณต่อท่านอธิการบดี มหาวิทยาลัยเซนต์จอห์น ที่สนับสนุนให้มาศึกษาต่อ

สุดท้ายขอขอบคุณบัณฑิตวิทยาลัย ที่ได้ให้ทุนสนับสนุนการทำวิทยานิพนธ์ในครั้งนี้

คุณค่าและประโยชน์อันพึงมีจากวิทยานิพนธ์ฉบับนี้ ผู้วิจัยขอมอบแด่ผู้มีพระคุณทุกท่าน

วิญญู กอพยัคฆินทร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อภาษาไทย....................I

บทคัดย่อภาษาอังกฤษ....................II

กิตติกรรมประกาศ....................III

สารบัญ....................IV

สารบัญตาราง....................VIII

สารบัญภาพ....................X

บทที่ 1.บทนำ....................1

1.1 วงจรชมิทท์ทริกเกอร์....................1

1.2 ที่มาของงานวิจัย....................3

1.3 วัตถุประสงค์ของงานวิจัย....................4

บทที่ 2.วงจรชมิทท์ทริกเกอร์แบบดิจิตอล....................5

2.1 วงจรชมิทท์ทริกเกอร์แบบไบโพลาร์....................5

2.2 ซีมอสชมิทท์ทริกเกอร์....................6

2.2.1 หลักการทำงาน....................7

2.3 การวิเคราะห์ซีมอสชมิทท์....................10

2.3.1.ฮีสเตอร์รีซีส....................11

2.3.2 การประยุกต์ใช้งานซีมอสชมิทท์....................13

2.3.3 วิธีการของชมิทท์....................18

2.3.4 ข้อดีของซีมอสชมิทท์....................18

2.4 การออกแบบซีมอสชมิทท์ทริกเกอร์....................19

2.4.1 หลักการออกแบบและคำนวณ....................19

2.5 การใช้กระแสซีมอสชมิทท์ทริกเกอร์....................23

2.5.1 การอธิบายวงจรและการทำงาน....................23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

2.5.2 ตัวอย่างการออกแบบและการจำลอง.....26

บทที่ 3. เทคโนโลยีไบซีมอสและประเภทของวงจรไบซีมอส.....29

3.1 เทคโนโลยีไบซีมอส.....29

3.1.1 ไบโพลาร์โดยใช้เทคโนโลยี BiCMOS.....29

3.1.2 ไบซีมอสเทคโนโลยีบนพื้นฐานมอส.....30

3.2 โครงสร้างและการทำงานของวงจรไบซีมอส.....30

3.3 การออกแบบวงจรไบซีมอส.....34

3.3.1 โครงสร้างแบบ Common - Emitter(CE).....35

3.3.2 โครงสร้างแบบ Gate - Diode(GD).....36

3.3.3 โครงสร้างแบบ Emitter-Follower(EF).....38

3.4 ประเภทของวงจรไบซีมอส.....42

3.5 การเชื่อมโยงวงจรไบซีมอสและซีมอสลอจิก.....44

3.6 เทคนิคการออกแบบเชื่อมโยงแบบ non - intermix.....48

3.6.1 การเชื่อมโยงแบบ FS $\rightarrow$ FS.....48

3.6.2 การเชื่อมโยงแบบ PS $\rightarrow$ PS.....49

บทที่ 4.วงจรไบซีมอสแลทช์.....55

4.1 การใช้งานวงจรแลทช์และเวลาหน่วง.....55

4.2 วงจรไบซีมอสไดนามิกแลทช์ (BiCMOS dynamic latch).....59

4.2.1 ผลตอบสนองชั่วขณะ(transient response).....62

4.2.2 การหา Cross over load capacitance (C_{CRS}).....64

4.3 วงจรไบซีมอสสแตติกแลทช์ (BiCMOS static latch).....65

4.4 ผลการทดสอบคุณสมบัติของวงจรไบซีมอสไดนามิกแลทช์และสแตติกแลทช์.....70

4.4.1 วงจรไบซีมอสไดนามิกแลทช์.....70

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

4.4.2 วงจรไบซีมอสสแตติกแลทช์..........75

บทที่ 5.วงจรไบซีมอสชมิทท์ทริกเกอร์..........79

5.1 วงจรไบซีมอสชมิทท์ทริกเกอร์แบบสวิงเต็มช่วง..........79

5.1.1 การทำงานของวงจร..........80

5.2 การเปรียบเทียบชมิทท์ทริกเกอร์ระหว่างไบซีมอสกับซีมอส..........84

5.2.1 การหน่วงการส่งผ่าน..........85

5.2.2 การหน่วงกำลังงาน..........89

5.2.3 แรงดันฮีสเตอร์รีซีส..........89

บทที่ 6. วงจรไบซีมอสชมิทท์ทริกเกอร์ที่ออกแบบใหม่..........96

6.1 วงจรชมิทท์ทริกเกอร์แบบชนิดไม่กลับเฟส..........96

6.2 วงจรชมิทท์ทริกเกอร์แบบชนิดกลับเฟส..........100

บทที่ 7. ผลการทดสอบคุณสมบัติวงจรชมิทท์ทริกเกอร์..........103

7.1 การทดสอบวงจรชมิทท์ทริกเกอร์ชนิดไม่กลับเฟส..........104

7.1.1 การทดสอบโดยใช้สัญญาณอินพุทรูปสามเหลี่ยมที่ความถี่ 50 Hz..........104

7.1.2 การทดสอบการสวิทชิ่งด้วยรูปสัญญาณไซน์ที่ความถี่ 10 kHz..........112

7.1.3 การทดสอบการหาค่า Propagation delay time..........114

7.1.4 การทดสอบสัญญาณเอาท์พุท ที่ความถี่สูง 10 MHz...........119

7.1.5 การทดสอบการหาค่าของ Power dissipation..........120

7.2 การทดสอบวงจรชมิทท์ทริกเกอร์ชนิดกลับเฟส..........122

7.2.1 การทดสอบโดยใช้สัญญาณอินพุทรูปสามเหลี่ยมที่ความถี่ 50 Hz..........122

7.2.2 การทดสอบการสวิทชิ่งด้วยรูปสัญญาณไซน์ที่ความถี่ 10 kHz..........130

7.2.3 การทดสอบการหาค่า Propagation delay time..........132

7.2.4 การทดสอบสัญญาณเอาท์พุท ที่ความถี่สูง 10 MHz...........137

เอกสารนี้เป็นเอกสารที่สงวนไว้เพื่อการศึกษาเท่านั้น เมื่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

7.2.5 การทดสอบการหาค่าของ Power dissipation 138

บทที่ 8. สรุป และข้อเสนอแนะ..............................140

8.1 คุณสมบัติการโอนถ่ายแรงดันและการสวิงเต็มช่วง..............................140

8.2 คุณสมบัติการหน่วงเวลา..............................140

8.3 คุณสมบัติของวงจรชมิทท์ทริกเกอร์กับค่า Power dissipation..............................141

บรรณานุกรม..............................142

ภาคผนวก..............................143

ภาคผนวก ก โปรแกรม PSpice ที่ใช้วิเคราะห์ในวิทยานิพนธ์..............................144

ภาคผนวก ข ผลงานทางวิชาการที่ได้รับการตีพิมพ์..............................150

ประวัติผู้เขียน..............................151

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่ หน้า

2.1 แสดงค่าการจำลองที่ใช้ SPICE พารามิเตอร์....................26
4.1 แสดงค่าหน่วงเวลาของวงจรไบซีมอสและซีมอสแลท....................74
5.1 แสดงค่าพารามิเตอร์ของเทคโนโลยีไบซีมอส....................85
5.2 แสดงรูปร่างทางเรขาคณิตของวงจร....................85
6.1 แสดงรูปร่างทางเรขาคณิตของวงจรไบซีมอส....................102
7.1 แสดงค่าการเปลี่ยนแปลงของแหล่งจ่ายแรงดัน,แรงดันเทรสโฮลและค่าฮีสเตอร์รีซีส ที่ L = 0.8 μm....................109
7.2 แสดงค่าการเปลี่ยนแปลงของแหล่งจ่ายแรงดัน,แรงดันเทรสโฮล และ ค่าฮีสเตอร์รีซีส ที่ L = 1.2 μm....................110
7.3 แสดงความสัมพันธ์ของโหลดคาปาซิแตนซ์กับ Propagation delay time ที่ L = 0.8 μm....................114
7.4 แสดงความสัมพันธ์ของแหล่งจ่ายแรงดันกับ Propagation delay time ที่ L = 0.8 μm....................115
7.5 แสดงความสัมพันธ์ของโหลดคาปาซิแตนซ์กับ Propagation delay time ที่ L = 1.2 μm....................116
7.6 แสดงความสัมพันธ์ของแหล่งจ่ายแรงดันกับ Propagation delay time ที่ L = 1.2 μm....................117
7.7 แสดงความสัมพันธ์ของแหล่งจ่ายแรงดันกับ Propagation delay time ที่ L = 0.8 μm และ L = 1.2 μm ของ BiCMOS....................118
7.8 แสดงค่าการเปลี่ยนแปลงของแหล่งจ่ายแรงดัน,แรงดันเทรสโฮล และ ค่าฮีสเตอร์รีซีส ที่ L = 0.8 μm....................127
7.9 แสดงค่าการเปลี่ยนแปลงของแหล่งจ่ายแรงดัน,แรงดันเทรสโฮล และ ค่าฮีสเตอร์รีซีส ที่ L = 1.2 μm....................128
7.10 แสดงความสัมพันธ์ของโหลดคาปาซิแตนซ์กับ Propagation delay time ที่ L = 0.8 μm....................132

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง (ต่อ)

ตารางที่ **หน้า**

7.11 แสดงความสัมพันธ์ของแหล่งจ่ายแรงดันกับ Propagation delay time ที่ L = 0.8 μm....133
7.12 แสดงความสัมพันธ์ของโหลดคาปาซิแตนซ์กับ Propagation delay time ที่ L = 1.2 μm....134
7.13 แสดงความสัมพันธ์ของแหล่งจ่ายแรงดันกับ Propagation delay time ที่ L = 1.2 μm....135
7.14 แสดงความสัมพันธ์ของแหล่งจ่ายแรงดันกับ Propagation delay time ที่ L = 0.8 μm และ L = 1.2 μm ของ BiCMOS....136

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ (ต่อ)

ภาพที่ หน้า

2.18 แสดงกระแสซีมอสชมิทท์ทริกเกอร์..23
2.19 แสดงการจำลองคุณสมบัติการโอนถ่าย ดีซีและเอซี.......................................27
2.20 แสดง NMOS ทรานซิสเตอร์ M5...27
3.1 แสดงภาพตัดขวางโครงสร้างอุปกรณ์ภายใต้เทคโนโลยีไบซีมอสแบบ NPN-CMOS
และ BiCMOS...30
3.2 แสดงโครงสร้างภายในของวงจรซีมอสลอจิกเกทและไบซีมอสลอจิกเกท.............32
3.3 วงจรไบซีมอสอินเวอร์เตอร์...32
3.4 การโอนถ่ายกระแสตรงวงจรไบซีมอสอินเวอร์เตอร์..34
3.5 โครงสร้างวงจรไบซีมอส...34
3.6 วงจรไบซีมอสส่วน Pull-down โครงสร้างแบบ Common-emitter......................35
3.7 แสดงวงจรไบซีมอสส่วน Pull-down โครงสร้างแบบ Gate-diode.........................37
3.8 แสดงวงจรไบซีมอสส่วน Pull-down โครงสร้างแบบ Emitter follower..................38
3.9 วงจรไบซีมอสอินเวอร์เตอร์ที่ประกอบด้วยอุปกรณ์คายประจุแบบต่างๆ..................41
3.10 วงจรไบซีมอสอินเวอร์เตอร์ที่มีการเชื่อมต่ออุปกรณ์คายประจุแบบ Active............42
3.11 วงจรไบซีมอสอินเวอร์เตอร์ แบบ Totem pole BiCMOS.................................43
3.12 วงจรไบซีมอสแบบ Partial swing...44
3.13 วงจรไบซีมอสแบบ Partial swing...44
3.14 การเชื่อมโยงวงจรแบบ Multistage...45
3.15 การเชื่อมโยงแบบ intermix (PS —FS)...46
3.16 การนำกระแสของไบโพลาร์ในวงจรไบซีมอสในส่วน Pull - up...........................46
3.17 การเพิ่มโครงข่ายขนาน...48
3.18 วงจรภายในไบซีมอส...49
3.19 Level - shift BiCMOS circuit...50
3.20 วงจรไบซีมอสแบบ level shift...51
3.21 การเพิ่มแรงดันไบอัสตรงแก่ไบโพลาร์ทรานซิสเตอร์..52

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ (ต่อ)

ภาพที่ หน้า

3.22 วงจรปรับระดับสัญญาณ...53

3.23 การเชื่อมโยงโดยอาศัยวงจร level converter.......................................54

4.1 ระบบใช้สัญญาณนาฬิกา แบบระบบขั้นตอนตามเวลา(FSM)...........................55

4.2 ระบบใช้สัญญาณนาฬิกาแบบระบบท่อข้อมูล...56

4.3 แสดงพารามิเตอร์ค่าหน่วงเวลาต่างๆ...57

4.4 สัญญาณนาฬิกาเฟสเดียวแสดงค่าพารามิเตอร์ต่างๆ.....................................59

4.5 โครงสร้างภายในวงจรไบซีมอสไดนามิกแลทช์แบบ totem-pole........................60

4.6 แสดงค่าหน่วงเวลาผ่านเกทวงจรไบซีมอสแลทช์...61

4.7 วงจร Pull-up section ขณะที่ระดับสัญญาณขาออกเปลี่ยนจาก '0' เป็น '1'.............62

4.8 การหาค่า Cross over load capacitance...65

4.9 แสดงวงจรสแตติกแลทช์แบบกลับเฟสซึ่งใช้ในระบบส่งข้อมูล.............................66

4.10 แสดงโครงสร้างภายในวงจรสแตติกแลทช์ที่สร้างด้วยเทคโนโลยีไบซีมอส..........66

4.11 การโอนถ่ายสัญญาณ...67

4.12 แบบจำลองวงจรสแตติกแลทช์ช่วงส่งผ่านข้อมูล...68

4.13 แสดงสัญญาณ เอาท์พุทของวงจรสแตติกแลทช์ในช่วงส่งผ่านสัญญาณ...............68

4.14 แบบจำลองวงจรสแตติกแลทช์ช่วงคงค่าสัญญาณ...69

4.15 แสดงการโอนถ่ายไฟตรงวงจรไดนามิกแลทช์แบบกลับเฟส.............................70

4.16 แสดงการทำงานของวงจรไบซีมอสไดนามิกแลทช์แบบกลับเฟส.......................71

4.17 แสดงการตอบสนองสัญญาณเอาท์พุทเมื่อทดสอบกับ C_L = 0 ถึง 1 pF...............72

4.18 แสดงการตอบสนองสัญญาณเอาท์พุทเมื่อทดสอบกับ C_L = 0 ถึง 10 pF.............73

4.19 แสดงค่าหน่วงเวลาของวงจรไบซีมอสและซีมอสไดนามิกแลทช์..........................75

4.20 แสดงการโอนถ่ายไฟตรงวงจรสแตติกแลทช์แบบกลับเฟส................................75

4.21 แสดงการทำงานของวงจรไบซีมอสสแตติกแลทช์แบบกลับเฟส..........................76

4.22 แสดงการตอบสนองของวงจรไบซีมอสสแตติกแลทช์เมื่อทดสอบกับ

C_L = 0 ถึง 1 pF...77

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ (ต่อ)

ภาพที่ หน้า

4.23 แสดงการตอบสนองของวงจรซีมอสสแตติกแลทช์เมื่อทดสอบกับ

C_L = 0 ถึง 1 pF..77

4.24 แสดงค่าหน่วงเวลาของวงจรไบซีมอสและซีมอสสแตติกแลทช์ 78

5.1 แสดงซีมอสชมิทท์ทริกเกอร์ที่นิยม..79

5.2 วงจรปรับปรุงซีมอสชมิทท์ทริกเกอร์ให้ดีขึ้น..80

5.3 วงจรไบซีมอสชมิทท์ทริกเกอร์ใหม่...81

5.4 การทำงานของวงจรไบซีมอสชมิทท์ทริกเกอร์ใหม่.......................................82

5.5 V_{in} V_{BE} และ V_{out} กับ เวลา...83

5.6 V_{gs3} กับ เวลา..84

5.7 การหน่วงการส่งผ่านกับโหลดคาปาซิแตนซ์...86

5.8 การหน่วงเวลาการส่งผ่านกับความถี่..87

5.9 การหน่วงเวลาการส่งผ่านกับแหล่งจ่ายแรงดัน...88

5.10 การหน่วงกำลังงานกับความถี่...90

5.11 การหน่วงกำลังงานกับโหลดคาปาซิแตนซ์..91

5.12 การหน่วงกำลังงานกับแหล่งจ่ายแรงดัน..92

5.13 แรงดันฮีสเตอร์รีซีสกับโหลดคาปาซิแตนซ์..93

5.14 แรงดันอินพุทเทรสโฮล V_{T1} และ V_{T2} กับ แหล่งจ่ายกำลัง..........................94

5.15 การจำลองการตอบสนองความถี่ จาก 100 Hz. ถึง 25 MHz. (L = 0.5 μm)...............94

6.1 แสดงวงจรซีมอสชมิทท์ทริกเกอร์แบบชนิดไม่กลับเฟส..................................96

6.2 แสดงวงจรไบซีมอสชมิทท์ทริกเกอร์แบบชนิดไม่กลับเฟส...............................97

6.3 แสดงวงจรซีมอสชมิทท์ทริกเกอร์แบบชนิดกลับเฟส.....................................100

6.4 แสดงวงจรไบซีมอสชมิทท์ทริกเกอร์แบบชนิดกลับเฟส..................................101

7.1 แสดงรูปสัญญาณเอาท์พุท,สัญญาณอินพุท และจุดตัดแรงดันเทรสโฮล

เมื่อป้อนแหล่งจ่ายแรงดัน1.5 V...104

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ (ต่อ)

ภาพที่ หน้า

7.2 แสดงกราฟคุณสมบัติการโอนถ่าย เมื่อป้อนแหล่งจ่ายแรงดัน 1.5 V....................104

7.3 แสดงรูปสัญญาณเอาท์พุท,สัญญาณอินพุท และจุดตัดแรงดันเทรสโฮล เมื่อป้อนแหล่งจ่ายแรงดัน 3 V...105

7.4 แสดงกราฟคุณสมบัติการโอนถ่าย เมื่อป้อนแหล่งจ่ายแรงดัน 3 V.......................105

7.5 แสดงรูปสัญญาณเอาท์พุท,สัญญาณอินพุท และจุดตัดแรงดันเทรสโฮล เมื่อป้อนแหล่งจ่ายแรงดัน 5 V...106

7.6 แสดงกราฟคุณสมบัติการโอนถ่าย เมื่อป้อนแหล่งจ่ายแรงดัน 5 V.......................106

7.7 แสดงรูปสัญญาณเอาท์พุท,สัญญาณอินพุท และจุดตัดแรงดันเทรสโฮล เมื่อป้อนแหล่งจ่ายแรงดัน 10 V...107

7.8 แสดงกราฟคุณสมบัติการโอนถ่าย เมื่อป้อนแหล่งจ่ายแรงดัน 10 V....................107

7.9 แสดงรูปสัญญาณเอาท์พุท,สัญญาณอินพุท และจุดตัดแรงดันเทรสโฮล เมื่อป้อนแหล่งจ่ายแรงดัน 15 108

7.10 แสดงกราฟคุณสมบัติการโอนถ่าย เมื่อป้อนแหล่งจ่ายแรงดัน 15 V...................108

7.11 แสดงความสัมพันธ์ของแหล่งจ่ายแรงดันกับแรงดันเทรสโฮล และ ค่าฮีสเตอร์รีซีส ที่ L = 0.8 μm...109

7.12 แสดงความสัมพันธ์ของแหล่งจ่ายแรงดันกับแรงดันเทรสโฮล และ ค่าฮีสเตอร์รีซีส ที่ L = 1.2 μm...110

7.13 แสดงสัญญาณเอาท์พุทเมื่อโหลดคาปาซิแตนซ์ =1-10 pF..............................111

7.14 แสดงช่วงขอบเวลาขาขึ้นของวงจรที่โหลดคาปาซิแตนซ์ 1 -10 pF.........................111

7.15 แสดงช่วงขอบเวลาขาลงของวงจรที่โหลดคาปาซิแตนซ์ 1 -10 pF.....................112

7.16 แสดงคุณสมบัติในการสวิทชิ่งโดยการป้อนสัญญาณอินพุท เป็นรูปคลื่นไซน์ 0-5 V...112

7.17 แสดงคุณสมบัติในการสวิทชิ่งโดยการป้อนสัญญาณอินพุท เป็นรูปคลื่นไซน์ 0-10 V...113

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ (ต่อ)

ภาพที่ | หน้า

7.18 แสดงคุณสมบัติในการสวิทชิ่งโดยการป้อนสัญญาณอินพุท
เป็นรูปคลื่นไซน์ 0-15 V..113
7.19 แสดงความสัมพันธ์ของโหลดคาปาซิแตนซ์กับ Propagation delay time
ที่ L = 0.8 μm..114
7.20 แสดงความสัมพันธ์ของแหล่งจ่ายแรงดันกับ Propagation delay time
ที่ L = 0.8 μm..115
7.21 แสดงความสัมพันธ์ของโหลดคาปาซิแตนซ์กับ Propagation delay time
ที่ L = 1.2 μm..116
7.22 แสดงความสัมพันธ์ของแหล่งจ่ายแรงดันกับ Propagation delay time
ที่ L = 1.2 μm..117
7.23 แสดงความสัมพันธ์ของแหล่งจ่ายแรงดันกับ Propagation delay time
ที่ L = 0.8 μm และ L = 1.2 μm ของ BiCMOS...................................118
7.24 แสดงรูปสัญญาณเอาท์พุทของวงจรซีมอสชมิทท์ทริกเกอร์ ที่ 10 MHz..............119
7.25 แสดงรูปสัญญาณเอาท์พุทของวงจรไบซีมอสชมิทท์ทริกเกอร์ ที่ 10 MHz..........119
7.26 แสดงสัญญาณอินพุท, เอาท์พุท เปรียบเทียบกับค่าของ Power dissipation
ของวงจรซีมอสชมิทท์ทริกเกอร์ ที่ 10 MHz...120
7.27 แสดงสัญญาณอินพุท, เอาท์พุท เปรียบเทียบกับค่าของ Power dissipation
ของวงจรไบซีมอสชมิทท์ทริกเกอร์ ที่ 10 MHz..120
7.28 แสดงค่า Capacitance Load เปรียบเทียบกับ Power dissipation ของวงจร
ของวงจรซีมอส กับ ไบซีมอสชมิทท์ทริกเกอร์ ที่ 10 MHz..............................121
7.29 แสดงค่า Capacitance Load เปรียบเทียบกับ Power dissipation ของวงจร
ของวงจรซีมอส กับ ไบซีมอสชมิทท์ทริกเกอร์ ที่ 50 MHz..............................121
7.30 แสดงรูปสัญญาณเอาท์พุท,สัญญาณอินพุท และจุดตัดแรงดันเทรสโฮล
เมื่อป้อนแหล่งจ่ายแรงดัน1.5 V...122
7.31 แสดงกราฟคุณสมบัติการโอนถ่าย เมื่อป้อนแหล่งจ่ายแรงดัน 1.5 V..................122

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ (ต่อ)

ภาพที่ หน้า

7.32 แสดงรูปสัญญาณเอาท์พุท,สัญญาณอินพุท และจุดตัดแรงดันเทรสโฮล เมื่อป้อนแหล่งจ่ายแรงดัน 3 V........123

7.33 แสดงกราฟคุณสมบัติการโอนถ่าย เมื่อป้อนแหล่งจ่ายแรงดัน 3 V........123

7.34 แสดงรูปสัญญาณเอาท์พุท,สัญญาณอินพุท และจุดตัดแรงดันเทรสโฮล เมื่อป้อนแหล่งจ่ายแรงดัน 5 V........124

7.35 แสดงกราฟคุณสมบัติการโอนถ่าย เมื่อป้อนแหล่งจ่ายแรงดัน 5 V........124

7.36 แสดงรูปสัญญาณเอาท์พุท,สัญญาณอินพุท และจุดตัดแรงดันเทรสโฮล เมื่อป้อนแหล่งจ่ายแรงดัน 10 V........125

7.37 แสดงกราฟคุณสมบัติการโอนถ่าย เมื่อป้อนแหล่งจ่ายแรงดัน 10 V........125

7.38 แสดงรูปสัญญาณเอาท์พุท,สัญญาณอินพุท และจุดตัดแรงดันเทรสโฮล เมื่อป้อนแหล่งจ่ายแรงดัน 15........126

7.39 แสดงกราฟคุณสมบัติการโอนถ่าย เมื่อป้อนแหล่งจ่ายแรงดัน 15 V........126

7.40 แสดงความสัมพันธ์ของแหล่งจ่ายแรงดันกับแรงดันเทรสโฮล และ ค่าฮีสเตอร์รีซีส ที่ L = 0.8 μm........127

7.41 แสดงความสัมพันธ์ของแหล่งจ่ายแรงดันกับแรงดันเทรสโฮล และ ค่าฮีสเตอร์รีซีส ที่ L = 1.2 μm........128

7.42 แสดงสัญญาณเอาท์พุทเมื่อโหลดคาปาซิแตนซ์ =1-10 pF........129

7.43 แสดงช่วงขอบเวลาขาขึ้นของวงจรที่โหลดคาปาซิแตนซ์ 1 -10 pF........129

7.44 แสดงช่วงขอบเวลาขาลงของวงจรที่โหลดคาปาซิแตนซ์ 1 -10 pF........130

7.45 แสดงคุณสมบัติในการสวิทชิ่งโดยการป้อนสัญญาณอินพุทเป็นรูปคลื่นไซน์ 0-5 V........130

7.46 แสดงคุณสมบัติในการสวิทชิ่งโดยการป้อนสัญญาณอินพุท เป็นรูปคลื่นไซน์ 0-10 V........131

7.47 แสดงคุณสมบัติในการสวิทชิ่งโดยการป้อนสัญญาณอินพุท เป็นรูปคลื่นไซน์ 0-15 V........131

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ (ต่อ)

ภาพที่ **หน้า**

7.48 แสดงความสัมพันธ์ของโหลดคาปาซิแตนซ์กับ Propagation delay time ที่ L = 0.8 μm....132

7.49 แสดงความสัมพันธ์ของแหล่งจ่ายแรงดันกับ Propagation delay time ที่ L = 0.8 μm....133

7.50 แสดงความสัมพันธ์ของโหลดคาปาซิแตนซ์กับ Propagation delay time ที่ L = 1.2 μm....134

7.51 แสดงความสัมพันธ์ของแหล่งจ่ายแรงดันกับ Propagation delay time ที่ L = 1.2 μm....135

7.52 แสดงความสัมพันธ์ของแหล่งจ่ายแรงดันกับ Propagation delay time ที่ L = 0.8 μm และ L = 1.2 μm ของ BiCMOS....136

7.53 แสดงรูปสัญญาณเอาท์พุทของวงจรซีมอสชมิทท์ทริกเกอร์ ที่ 10 MHz....137

7.54 แสดงรูปสัญญาณเอาท์พุทของวงจรไบซีมอสชมิทท์ทริกเกอร์ ที่ 10 MHz....137

7.55 แสดงสัญญาณอินพุท, เอาท์พุท เปรียบเทียบกับค่าของ Power dissipation ของวงจรซีมอสชมิทท์ทริกเกอร์ ที่ 10 MHz....138

7.56 แสดงสัญญาณอินพุท, เอาท์พุท เปรียบเทียบกับค่าของ Power dissipation ของวงจรไบซีมอสชมิทท์ทริกเกอร์ ที่ 10 MHz....138

7.57 แสดงค่า Capacitance Load เปรียบเทียบกับ Power dissipation ของวงจร ของวงจรซีมอส กับ ไบซีมอสชมิทท์ทริกเกอร์ ที่ 10 MHz....139

7.58 แสดงค่า Capacitance Load เปรียบเทียบกับ Power dissipation ของวงจร ของวงจรซีมอส กับ ไบซีมอสชมิทท์ทริกเกอร์ ที่ 50 MHz....139

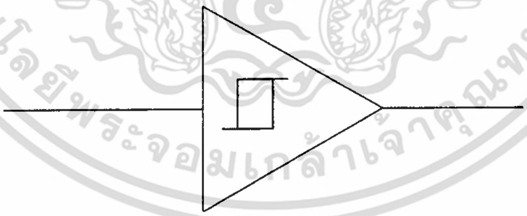
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

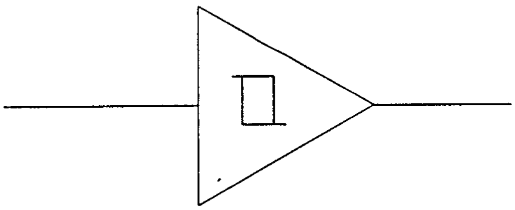
บทนำ

1.1 วงจรชมิทท์ทริกเกอร์

วงจรชมิทท์ทริกเกอร์เป็นวงจรไบสเตเบิลชนิดหนึ่งมีใช้ทั้งทางวงจรอนาลอก และ ดิจิตอล ในการจัดรูปสัญญาณเพื่อแก้ปัญหาการลดทอนของสัญญาณและป้องกันสัญญาณรบกวนโดยให้แรงดันเอาท์พุทมีสถานะเป็น "0" ตามค่าแรงดันวิกฤติของวงจร หลักการทำงานคล้ายกับวงจรเปรียบเทียบสัญญาณ (Comparator Circuit) แต่มีคุณสมบัติพิเศษ คือมีค่าแรงดันวิกฤติอยู่สองค่าซึ่งขึ้นอยู่กับสถานะของแรงดันอินพุทและเอาท์พุทเรียกคุณสมบัติพิเศษนี้ว่า ฮีสเตอร์รีซีส (Hysteresis) สัญญลักษณ์ของวงจรชมิทท์ทริกเกอร์ชนิดไม่กลับเฟสดังแสดงดังรูปที่ 1.1 และชนิดกลับเฟสแสดงดังรูปที่ 1.2 ส่วนคุณสมบัติในการโอนถ่ายสัญญาณ (Transfer Characteristic curve) แบบไม่กลับเฟสแสดงดังรูปที่ 1.3 และแบบกลับเฟสแสดงดังรูปที่ 1.4

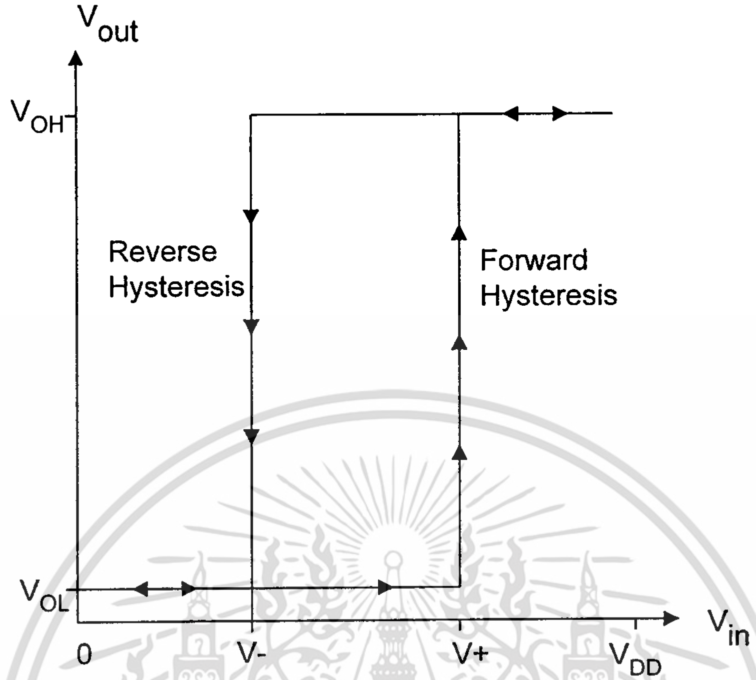


รูปที่ 1.1 แสดงสัญญลักษณ์ของวงจรชมิทท์ทริกเกอร์แบบไม่กลับเฟส

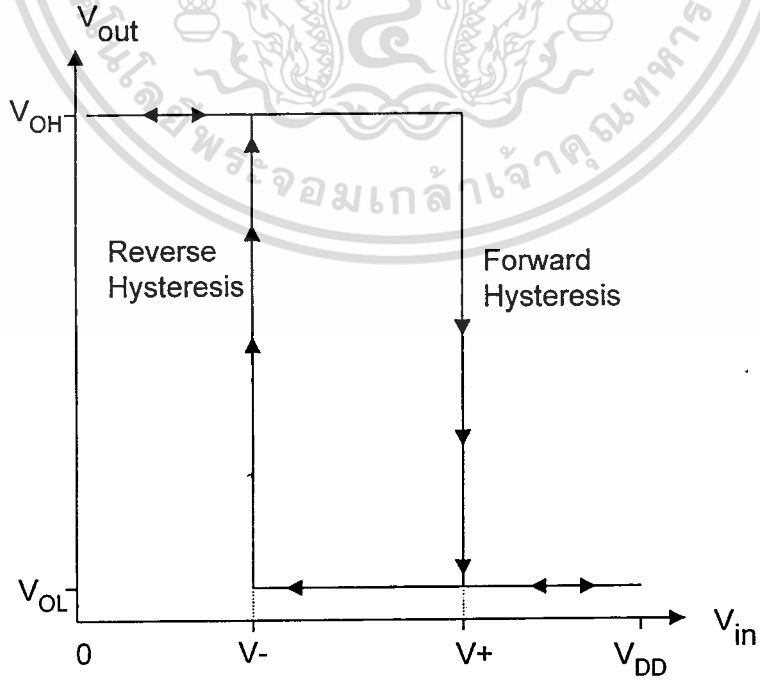


รูปที่ 1.2 แสดงสัญญลักษณ์ของวงจรชมิทท์ทริกเกอร์แบบกลับเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.3 แสดงคุณสมบัติในการโอนถ่ายสัญญาณของวงจรชมิทท์ทริกเกอร์ชนิดไม่กลับเฟส



รูปที่ 1.4 แสดงคุณสมบัติในการโอนถ่ายสัญญาณของวงจรชมิทท์ทริกเกอร์ชนิดกลับเฟส

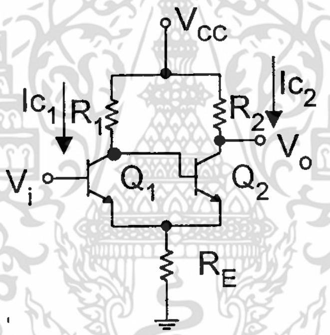
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่ให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 ที่มาของงานวิจัย

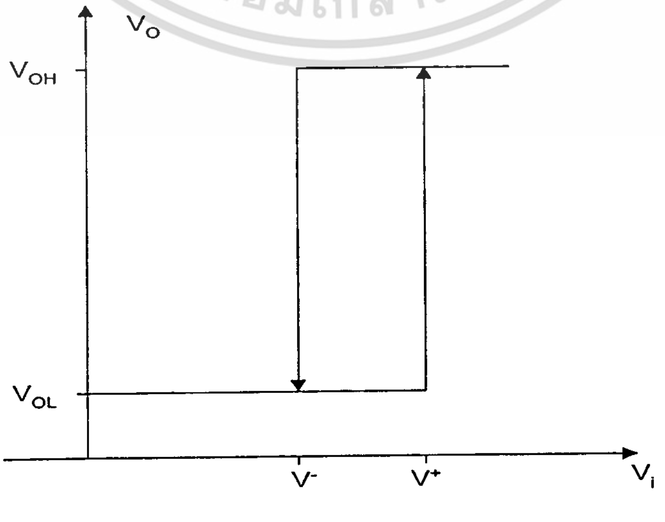
วงจรชมิทท์ทริกเกอร์ แบบไบซีมอสเป็นวงจรดิจิตอล เป็นการผสมผสานข้อดีของวงจรซีมอส และไบโพลาร์เข้าด้วยกัน ให้วงจรใหม่สามารถสวิงได้เต็มช่วง มีความเร็วในการสวิทช์สูงและสามารถใช้กับโหลดคาปาซิแตนซ์สูง ๆ ได้

วงจรชมิทท์ทริกเกอร์พื้นฐานแบบไบโพลาร์ มีปัญหาเรื่องความเร็วในการสวิทช์ และไม่สามารถสวิงได้เต็มช่วงสัญญาณ ดังแสดงรูปวงจรในรูปที่ 1.5 และแสดงคุณสมบัติในการโอนถ่ายสัญญาณดังรูปที่ 1.6

ถ้าเป็นวงจรชมิทท์ทริกเกอร์แบบซีมอสสามารถแก้ปัญหาในเรื่องความเร็วในการสวิทช์ช้า แต่เมื่อใช้กับโหลดคาปาซิแตนซ์สูง ๆ ก็จะมีปัญหา และก็ยังไม่สามารถสร้างได้ตลอดช่วงสัญญาณ คล้ายกับแบบไบโพลาร์ ดังแสดงตามรูปที่ 1.6



รูปที่ 1.5 แสดงวงจรพื้นฐานวงจรชมิทท์แบบไบโพลาร์



รูปที่ 1.6 แสดงคุณสมบัติการโอนถ่ายสัญญาณวงจรชมิทท์ทริกเกอร์พื้นฐานแบบไบโพลาร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 วัตถุประสงค์ของงานวิจัย

ในวิทยานิพนธ์ฉบับนี้ได้เสนอชมิทท์ทริกเกอร์แบบสวิงเต็มช่วงสัญญาณด้วยเทคโนโลยีไบซีมอส เพราะคุณสมบัติของไบซีมอสเป็นการรวมข้อดีของซีมอสในเรื่องความเร็วในการสวิทช์ การสูญเสียกำลังงานต่ำ เข้ากับไบโพลาร์ ซึ่งกำลังขับกระแสสูงเป็นมิลลิแอมป์เข้าด้วยกัน ทำให้วงจรชมิทท์ทริกเกอร์แบบใหม่ที่นำเสนอทั้งแบบไม่กลับเฟสและกลับเฟสสามารถนำไปใช้งานได้ดีกว่าแบบเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

วงจรชมิทท์ทริกเกอร์แบบดิจิตอล

2.1 วงจรชมิทท์ทริกเกอร์แบบไบโพลาร์

วงจรพื้นฐานชมิทท์ทริกเกอร์แบบไบโพลาร์ และกราฟแสดงคุณสมบัติการโอนถ่ายแรงดัน แสดงไปตามรูปที่ 1.5 และ 1.6 ตามลำดับสำหรับหลักการทำงาน คือ ทรานซิสเตอร์ Q1 และ Q2 มีส่วนทำงานในจุดอิ่มตัวที่ต่างกัน เพราะ $R_1 > R_2$ ให้ V_i ในสภาวะเริ่มต้นมีค่าต่ำทำให้ Q1 OFF กระแสไหลผ่าน R_1 ไปยังเบสของ Q2 ทำให้เกิดการอิ่มตัว ได้ว่า

$$V_O = V_{OL} = V_E + V_{CE2(sat)} \tag{2.1}$$

ขณะที่แรงดันอินพุทเพิ่มขึ้น กระแสไหลผ่าน R_1 กลับจากเบส Q2ไปยัง Q1เมื่ออินพุทมีค่า

$$V_i = V_{T+} = V_E + V_{BE1(on)} \tag{2.2}$$

ทำให้กระแสเบสเพียงพอ เป็นเหตุให้ Q2 ลดจากการอิ่มตัวลง ทรานซิสเตอร์ Q1 จะนำกระแส $V_{C1} = V_{B2}$ ลดลง ดังนั้น Q1 จะยังอิ่มตัว และ Q2 จะ OFF และ

$$V_0 = V_{OH} = V_{CC} \tag{2.3}$$

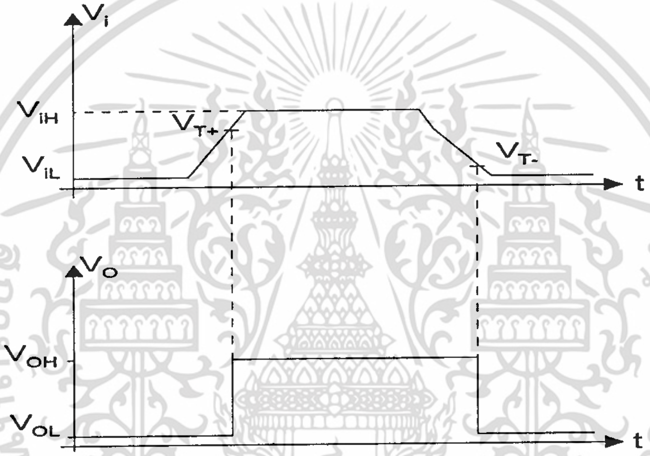
แล้วเมื่อกระแสคอลเลคเตอร์และอิมิตเตอร์ของ Q2 ลดลง เป็นเหตุให้กระแสอิมิตเตอร์ไหลผ่าน Q1 มากขึ้น เพราะ V_E ยังคงที่อยู่กับ $V_{BE1(on)}$ ของแรงดันอินพุท เหตุนี้ทำให้กระแสคอลเลคเตอร์ Q1 เพิ่มขึ้น และกระแสเบสของ Q2 เพิ่มขึ้น เป็นเหตุผลทำให้กลับสภาวะเดิมอีก เมื่อ Q2 OFF และ Q1 อิ่มตัว ถ้าอินพุทเป็นแรงดันลบแรงดันเอาท์พุทจะอยู่ในสภาวะ High ดังรูปที่ 2.1 จนกระทั่ง V_i เป็นแรงดันเทรสโฮลลบ

เอกสารนี้เป็นเอกสารที่จัดทำไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_i = V_{T-} = V_E + V_{BE1(on)} \tag{2.4}$$

$$V_E \approx R_E I_{C1} \approx \frac{R_E}{R_1 + R_E} V_{CC} \tag{2.5}$$

จากตัวอย่างของ IC7414 ชมิทท์ทริกเกอร์แบบ TTL และ ณ. อุณหภูมิปกติ 25°C,V_{CC} =5V, V_{T+} =1.7VและV_{T-} =0.9V และจากกราฟคุณสมบัติการโอนถ่ายแรงดันจะไม่สามารถสวิงได้เต็มช่วง

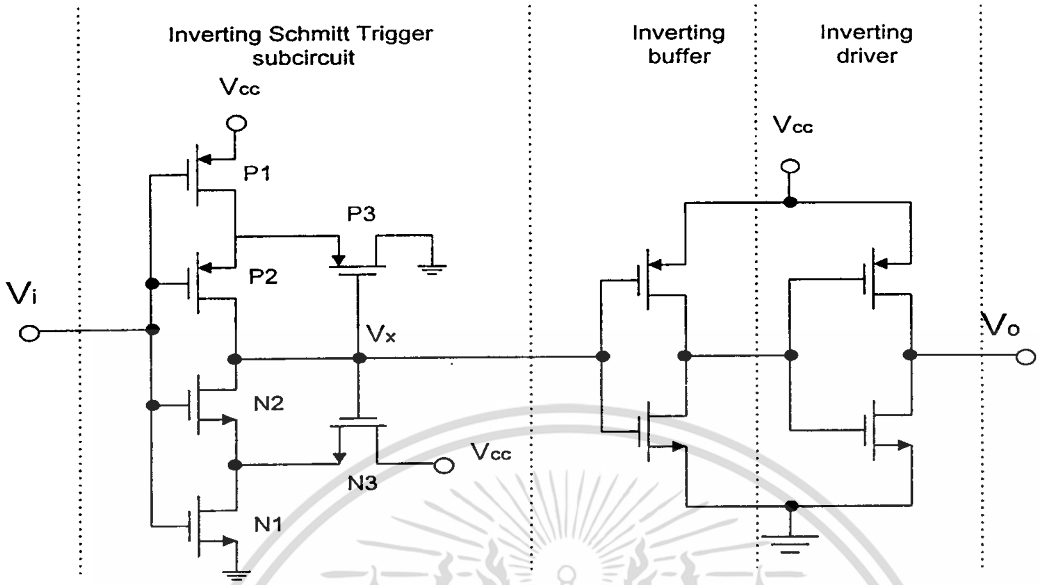


รูปที่ 2.1 แสดงความสัมพันธ์ของแรงดันอินพุทกับแรงดันเอาท์พุทเปลี่ยนแปลงที่จุด V_{T+} และ V_{T-}

2.2 ซีมอสชมิทท์ทริกเกอร์

ตัวอย่างของซีมอสชมิทท์ทริกเกอร์ 74HC14 เป็นวงจรซีมอสความเร็วสูงมีเกทอยู่ 6 เกท เป็นแบบอินเวอร์เตอร์ชมิทท์ทริกเกอร์ ตามแสดงให้ดูตามรูปที่ 2.2 เป็นซีมอสทั้งหมด ส่วนด้านบนเป็น P-Channel และด้านล่างเป็น N-Channel MOS P3 และ N3 ทำงานในลักษณะ Source follower และทำให้เกิดฮีสเตอร์รีซีส โดยการป้อนแรงดันเอาท์พุทของชมิทท์ทริกเกอร์กลับมา ส่วนเอาท์พุทเป็นส่วนของไดรฟ์เวอร์ 2 ตัวต่อกันอยู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 แสดง 74HC14 HCMOS inverting Schmitt trigger circuit

2.2.1 หลักการทำงาน

เมื่อ V_i = 0V โดย P1 และ P2 จะนำกระแสเดรนเล็กน้อย แต่ N1 และ N2 จะไม่นำกระแส $V_X = V_{CC}$ ส่วน P3 ยังคง OFF และ N3 ON และทำงานในลักษณะ Source follower หลังจากอินเวอร์เตอร์ 2 ชุด เอาท์พุท $V_O = V_{OH} = V_{CC}$ เดรนของ N1 มีค่าเป็น $V_{CC} - V_{Tn}$ เมื่อ V_{Tn} คือแรงดันเทรสโฮลของ N-Channel

เมื่อแรงดันอินพุทเพิ่มขึ้นถึง V_{Tn} โดย N1 ON และแรงดันเดรนตกลง ที่ V_i เพิ่มขึ้นแรงดันทริกเกอร์

$$V_{T+} = V_{GS2} + V_{DS1} = V_{Tn} + V_{DS1} \tag{2.5}$$

N2 จะ ON และกลับคืนอย่างเร็ว ทั้ง N1 และ N2 จะนำกระแส V_X ลดลงเป็น 0, N3 จะ OFF และ P3 จะ ON การนำกระแสของ P3 ทำให้กระแสเดรนของ P2 ต่ำลงและอยู่ในสภาวะ OFF ตามอินเวอร์ติ้งทั้ง 2 ชุด $V_O = V_{OL} = 0$ V

V_{T+} อาจจะคำนวณโดยการประมาณค่ากระแสของทรานซิสเตอร์ ขณะที่ N2 ON

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{DS1} = V_{GS1} - V_{Tn} \tag{2.6}$$

ดังนั้น N1 ยังใกล้ ๆ จุดอิ่มตัว

$$I_{D1} \approx \frac{1}{2} k_{n1} \left(V_{T+} - V_{Tn}\right)^2 \tag{2.7}$$

N3 ยังคงอิ่มตัวด้วย

$$I_{S3} \approx \frac{1}{2} k_{n3} \left(V_{CC} - V_{Tn} - V_{DS1}\right)^2 \tag{2.8}$$

$$= \frac{1}{2} k_{n3} \left(V_{CC} - V_{T+}\right)^2$$

แรงดันทริกเกอร์แบบ forward

$$V_{T+} \approx \frac{V_{CC} + \sqrt{k_{n1} / k_{n3}}\, V_{Tn}}{1 + \sqrt{k_{n1} / k_{n3}}} \tag{2.9}$$

อัตราส่วนของโหลดต่อรอบเป็นพารามิเตอร์ที่สำคัญในการออกแบบ

$$\frac{k_{n1}}{k_{n3}} = \frac{(W / L)_{n1}}{(W / L)_{n3}} \approx \left[\frac{V_{CC} - V_{T+}}{V_{T+} - V_{Tn}}\right]^2 \tag{2.10}$$

กำลังลดลงด้วยอัตราการเพิ่มขึ้น V_{T+}

เมื่อ V_i ลดจาก V_{CC} ไป 0 V คล้ายกับวิธีการเดิม และการกลับคืนอย่างเร็วของแรงดันเทรสโฮลต่ำ V_{T-} มาถึง เมื่อ $V_i = V_{CC}$ P1 และ P2 OFF แต่ N1 และ N2 ON $V_X = 0V$ ดังนั้น N3 OFF และ P3 ON ทำงานในสภาวะ Source follower เอาท์พุทของวงจร

$V_O = V_X = V_{OL} = 0V$ ดังนั้น Source ของ P1 คือ V_{CC}

เมื่อแรงดันอินพุทลดลง $V_{CC} - |V_{Tp}|$ ที่ $|V_{Tp}|$ คือ แรงดันทริกเกอร์กลับ $V_{T-} = |V_{DS1}| - |V_{Tp}|$ โดย P2 เริ่มนำกระแส กับ P1 และ P2 ON V_X เพิ่มอย่างเร็วจนถึง V_{CC} โดย N3 ON และ P3 OFF ที่เอาท์พุท $V_O = V_X = V_{OH} = V_{CC}$

P1 และ P3 อิ่มตัว

$$I_{D1} \approx \frac{1}{2} K_{P1} \left(V_{CC} - V_{T-} - \left|V_{Tp}\right|\right)^2 \tag{2.11}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ $$I_{S3} \approx \frac{1}{2}k_{P3}\left(\left|V_{DS1}\right|-\left|V_{Tp}\right|\right)^2 = \frac{1}{2}k_{P3}\left(V_{T-}\right)^2 \tag{2.12}$$

ให้ $I_{D1} = I_{S3}$

$$V_{T-} \approx \frac{\sqrt{k_{P1}/k_{P3}}\left(V_{CC}-\left|V_{Tp}\right|\right)}{1+\sqrt{k_{P1}/k_{P3}}} \tag{2.13}$$

แรงดันทริกเกอร์แบบกลับเฟส ออกแบบจากสมการ

$$\frac{k_{p1}}{k_{p3}} = \frac{(W/L)_{p1}}{(W/L)_{p3}} \approx \left[\frac{V_{T-}}{V_{CC}-V_{T-}\left|V_{Tp}\right|}\right]^2 \tag{2.14}$$

การออกแบบ CMOS ให้สมมาตร ต้องให้

$$k_r = \frac{k_{n1}}{k_{n3}} = \frac{k_{P1}}{k_{P3}} \tag{2.15}$$

และ $$V_{Tn} = \left|V_{Tp}\right| = V_T \tag{2.16}$$

ดังนั้นแรงดันฮีสเตอร์รีซีส

$$V_H = V_{T+} - V_{T-}$$

สมการ (2.9) และ (2.13) จะได้

$$V_H \approx \frac{\left(1-\sqrt{k_r}\right)V_{CC}+2\sqrt{k_r}\,V_T}{1+\sqrt{k_r}} > 0 \tag{2.17}$$

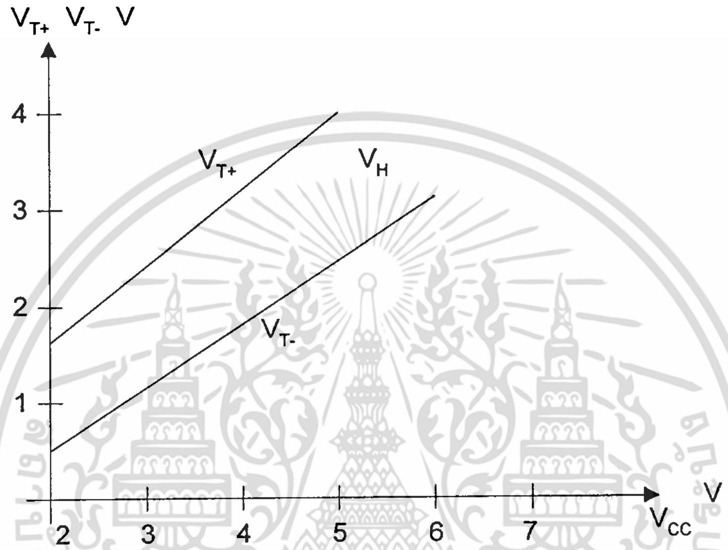
การออกแบบสมการใหม่

$$\sqrt{k_r} \approx \frac{V_{CC}-2\Delta V}{V_{CC}+2\Delta V-2V_T} \tag{2.18}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

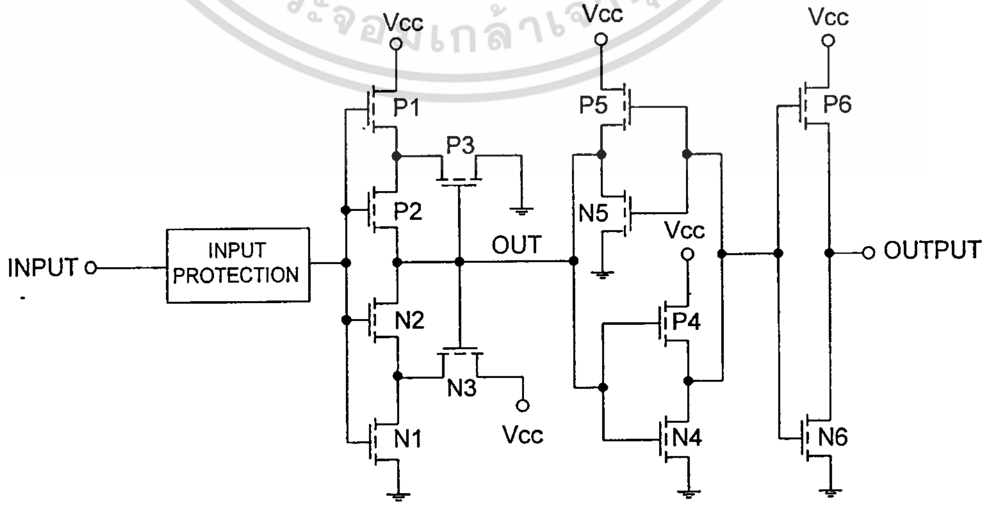
สามารถใช้เป็นฮีสเตอร์รีซีสลูปได้แบบสมมาตร

ค่าแรงดันเทรสโฮลที่ $V_{CC} = 4.5V$ และอุณหภูมิปกติ 25°C $V_{T+} = 2.7V$, $V_{T-} = 1.8V$ ดังนั้น แรงดันฮีสเตอร์รีซีส = 0.9 V และเอาท์พุทลดลงเมื่อ V_{CC} ลดลง HCMOS ชมิทท์ทริกเกอร์มีสัญญาณรบกวนต่ำ



รูปที่ 2.3 แสดงแรงดันเทรสโฮล V_{T+} และ V_{T-} กับ V_{CC} ของ 74HC14

2.3 การวิเคราะห์ซีมอสชมิทท์

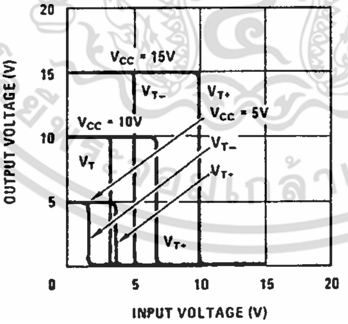


รูปที่ 2.4 แสดงวงจรชมิทท์ทริกเกอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.4 อินพุทของชมิทท์ทริกเกอร์เป็นแบบอินพุทโปรเทคชั่นส่วนบนประกอบด้วย P-MOS 2 ตัว และส่วนล่างมี N-MOS 2 ตัวทรานซิสเตอร์ P3 และ N3 ทำงานแบบ Source Follower และนำฮีสเตอร์รีซิสกลับมายังแรงดันเอาท์พุททำให้เกิดผลต่าง 2 จุด

เมื่ออินพุทเป็น 0 โวลท์ ทรานซิสเตอร์ P1 และ P2 จะ ON ส่วน N1, N2 และ P3 OFF ดังนั้นเอาท์พุทเป็น HIGH N3 จะ ON และแสดงเป็น Source Follower เดรนของ N1 คือ ซอร์สของ N2 มีค่า V_{CC} - V_{TH} แรงดันอินพุทลาดขึ้น 1 เทรสโฮลเทียบกราวด์ ทรานซิสเตอร์ N1 เริ่มที่จะ ON ทั้ง N1 และ N3 เริ่ม ON ในลักษณะแบบแบ่งแรงดัน ของ N2 ที่ครึ่งหนึ่งของแหล่งจ่าย เมื่อแรงดันอินพุทเทรสโฮลมากกว่าครึ่งหนึ่งของ V_{CC} N2 เริ่ม ON และกลับมาสวิทช์มากกว่า แรงดันที่มากกว่าเป็นเหตุให้เอาท์พุทลดลง เมื่อเอาท์พุทลดลง ซอร์สของ N3 ลดลงด้วย ซึ่งก็คือเอาท์พุทมีผลต่อ N3 ในการแบ่งแรงดันกับ N1 อย่างรวดเร็ว ขณะที่ P3 เริ่ม ON เกทเริ่มจะต่ำลงโดยการลดลงของเอาท์พุทอย่างรวดเร็ว P3 เริ่ม ON ทำให้ซอร์สของ N2 ต่ำและทำให้ P2 OFF เอาท์พุทจะลดลงอย่างมาก การกระทำอย่างรวดเร็วขึ้นกับ Unity gain loop อย่างมาก จะเกิดการป้อนกลับแบบบวกสู่ Source follower เมื่ออินพุทต่ำลงอีกครั้งหนึ่ง ก็จะเกิดการกระทำอย่างรวดเร็วอีกครั้ง เมื่อแรงดันเทรสโฮลต่ำลง เอาท์พุทจะเป็นลักษณะอินเวอร์เตอร์โดย P4 และ N4, P5 และ N5 มีการแลทช์ และเอาท์พุทมีเสถียรภาพมาก เอาท์พุทของอินเวอร์เตอร์บัฟเฟอร์มีกระแสซิงค์ 360 μA กราฟคุณสมบัติการโอนถ่ายแสดงดังรูปที่ 2.5 และ guaranteed trip point แสดงดังรูปที่ 2.6



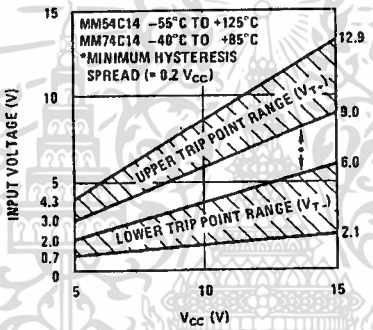
รูปที่ 2.5 แสดงคุณสมบัติการโอนถ่ายสำหรับแหล่งจ่ายแรงดัน 3 ค่า

2.3.1 ฮีสเตอร์รีซิส

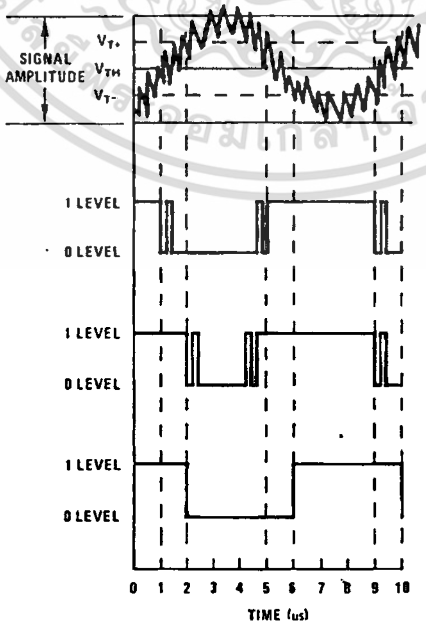
คือผลต่างของผลตอบสนองที่ขึ้นอยู่กับการเปลี่ยนแปลงของอินพุทโดยตรง เทรสโฮลจะกันสัญญาณรบกวนของวงจรเปรียบเทียบ สามารถเพิ่มการส่งผ่านแบบทวีคูณของเอาท์พุทได้ ผลตอบสนองของแรงดันต่อเวลาเปรียบเทียบ มีค่าน้อยกว่าเวลาชมิทท์ทริกเกอร์มีค่า 2 เทรสโฮล ซีมอสชมิทท์ทริกเกอร์ ที่ V_{CC} = 10 V มีค่าผลต่างของเทรสโฮล 3-6 V วงจรเปรียบเทียบใช้ในการแก้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คือข่าวสารที่มีการส่งลดลงอันเนื่องมาจากสายส่งที่ไม่สมบูรณ์ เทรสโฮลของวงจรเปรียบเทียบเป็นครึ่งหนึ่งของขนาดสัญญาณป้องกันระดับสัญญาณที่เกิดรบกวน (distortion) ถ้าความกว้างของสัญญาณ 4 μS ถูกส่งไปในสายส่ง 4 μS จะเกิดการรับสัญญาณที่มี distortionขึ้น ถ้าวงจรเปรียบเทียบมีเทรสโฮลมากกว่าครึ่งหนึ่งของขนาดสัญญาณพัลส์บวกถูกส่งแบบสั้นกว่า และพัลส์ลบมีความยาว สิ่งนี้เรียกว่าระดับการ distortion ต่ำ ชมิทท์ทริกเกอร์มี Offset บวก V_{T+} แต่ก็มี offset ลบ V_{T-} ในซีมอส offset เหล่านี้ประมาณค่า สมมาตรครึ่งหนึ่งของ สัญญาณพัลส์ 4 μS ที่ส่งไป และแก้คืนมาได้ การแก้พัลส์คืนมาถูกดีเลย์เวลา แต่ความยาวไม่เปลี่ยนการป้องกัน noise และ distortion ได้เพราะเทรสโฮล offset ดังแสดงรูปที่ 2.7



รูปที่ 2.6 แสดงช่วง Guaranteed Trip Point

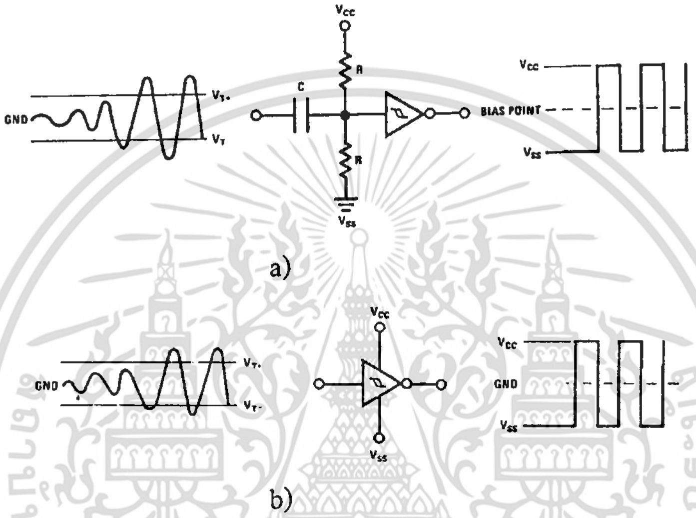


รูปที่ 2.7 แสดงวงจรซีมอสที่ไม่มีสัญญาณรบกวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.2 การประยุกต์ใช้งานของซีมอสชมิทท์

จากรูปที่ 2.8a จาก Sine เป็น Square wave เพราะอินพุทของชมิทท์ทริกเกอร์จะสมมาตร และไบอัสได้ง่าย สามารถปรับ 50 % duty cycle ได้ อินพุทอิมพีแดนซ์สูงง่ายต่อการเลือก R ไบอัส และ C คับปลิ้ง เพราะซีมอสมีช่วงแหล่งจ่ายที่กว้าง ชมิทท์ทริกเกอร์มีกำลังจากการแยกแหล่งจ่าย การไบอัสนี้หมายถึงค่าเทรสโฮลเป็น 0 และทำให้มีการคับปลิ้งโดยตรงจากเอาท์พุทของออปแอมป์

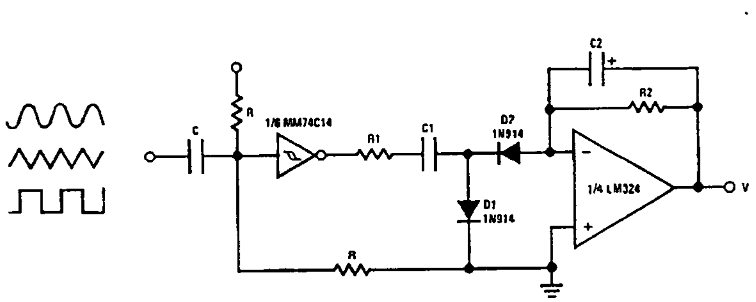


รูปที่ 2.8 แสดงการแปลง Sine เป็น Square ด้วย การตัดระดับที่สมมาตร

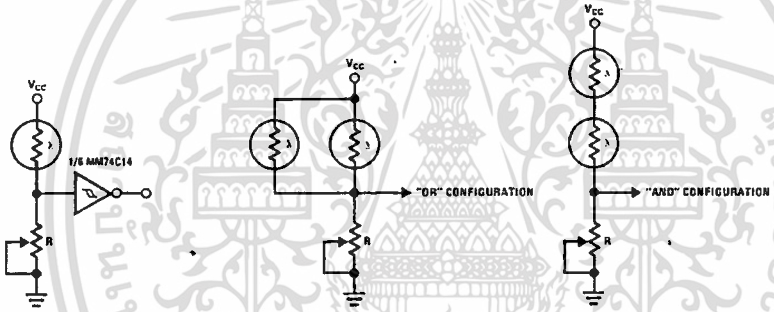
จากรูปที่ 2.9 ดูการเปลี่ยนแปลงความถี่เป็นแรงดันที่ยอมรับรูปคลื่นมากมายกับไม่มีการเปลี่ยนแรงดันเอาท์พุท แม้ว่าพลังงานในรูปคลื่นมีค่าความแตกต่างน้อย ผลก็คือความถี่ที่หาได้จากแรงดันเอาท์พุท เพราะเอาท์พุทของซีมอสชมิทท์ทริกเกอร์ที่สมบูรณ์ แหล่งจ่ายจะลดลง ค่าแรงดันสวิงคงที่ตกคร่อม C1 ทำให้กระแสไหลผ่านคาปาซิเตอร์ขึ้นกับค่าความถี่เท่านั้น เอาท์พุทบวกสวิงกระแสไหลผ่านกราวด์ไป D1 เอาท์พุทลบสวิงกระแสลดลงจากขั้วอินเวอร์ติ้งออปแอมป์ผ่าน D2 และอยู่ในรูปแรงดันเฉลี่ยโดย R2 และ C2 ซีมอสชมิทท์ทริกเกอร์ดึงแหล่งจ่ายลดลงอย่างสมบูรณ์ และการเปลี่ยนแปลงแรงดันตกคร่อมคาปาซิเตอร์คือแรงดันแหล่งจ่าย

ชมิทท์ทริกเกอร์ใช้ผลิตการส่งผ่านให้เร็ว เมื่อฟังก์ชั่นที่มีการเปลี่ยนแปลงช้าเกินกว่าที่กำหนด รูปที่ 2.10 สวิทช์แสง อินพุทอิมพีแดนซ์ของซีมอสชมิทท์ทริกเกอร์สูง ทำให้ไบอัสง่ายมาก โฟโต้เซลส่วนมากมีค่าหลายกิโลโอห์ม ไม่มีผลต่ออินพุทเมื่อเอาท์พุทเปลี่ยนแปลง การเลือก R ไบอัสใช้สมการการแบ่งแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

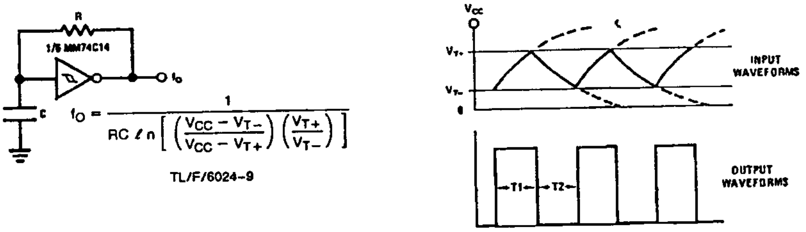


รูปที่ 2.9 แสดงการใช้ไดโอดรักษาระดับรูปคลื่นอินพุท



รูปที่ 2.10 แสดงสวิทช์แสงที่แรงดันอินพุทเพิ่มความเข้มแสงก็เพิ่ม

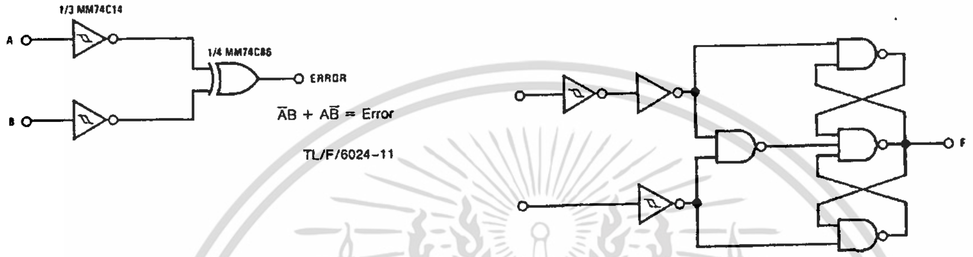
การประยุกต์ซีมอสจะสมบูรณ์ต้องใช้กำลังงานต่ำ ตามรูปที่ 2.11 แสดง RC ออสซิลเลเตอร์อย่างง่ายกับ 6R และ C และ Hex ซีมอส 6 low power ออสซิลเลเตอร์ที่สามารถทำได้ Square wave เอาท์พุทจะได้ประมาณ 50 % duty cycle เพราะคุณสมบัติของอินพุทเอาท์พุทซีมอสสมดุลย์ สมการความถี่เอาท์พุท $t_1 = t_2 \geq \left[\ t_{pd0} + t_{pd1}\ \right]$



รูปที่ 2.11 แสดงวงจร RC Oscillator ทำเป็นซีมอสชมิทท์ทริกเกอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นว่าวิธีการซีมอสชมิทท์ ในการป้องกันสัญญาณรบกวนที่เพิ่มขึ้นบนสายส่งที่ไม่สมดุลย์ตามรูปที่ 2.12 แสดงการประยุกต์สำหรับการสมดุลย์หรือสายส่งที่มีค่าความแตกต่างระหว่างรูปที่ 2.10a คือ CMOS Ex-or MC74C86 ซึ่งจะสร้างจากอินเวอร์เตอร์และแนนด์เกท ถ้าข่าวสารไม่สมดุลย์ ถูกผลิตในสายโดยสัญญาณสนทนาหรือจาก noise ภายนอก จะมีการผิดพลาด (error)



a) b)

รูปที่ 2.12 แสดงการป้องกันสัญญาณรบกวนโดยใช้ซีมอสชมิทท์ทริกเกอร์

Truth Table

A	B	F
0	0	NC
0	1	0
1	0	1
1	1	NC

NC = No Change

C).

จากรูปที่ 2.12b เป็นสายเครื่องรับที่แตกต่างที่แก้คืนการส่งข้อมูลที่สมดุลย์ แต่ไม่สนใจสัญญาณที่ไม่สมดุลย์ โดย latching up ถ้าวงจรทั้งสองของรูป 2.12 ถูกใช้เข้าด้วยกัน การตัดการผิดพลาดควรจะตัดสัญญาณส่งเพื่อหยุดการส่งและสายเครื่องรับจะจำค่าข่าวสารบิทสุดท้ายเมื่อสัญญาณที่สมดุลย์ถูกเก็บเครื่องรับจะนำออกมาใช้ได้

ช่วงแรงดันมาตรฐานของซีมอสอินพุท V_{CC} = +0.8 → -0.3V เพราะอินพุทได้โปรเทคชั่น (protection) ด้วยวงจรไดโอดแคลมป์แหล่งจ่ายอินพุทอื่น ได้รับแหล่งจ่ายจากซอร์ส (Source) และ

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซิงค์ (Sink) จำนวนบวกของกระแสที่ไหลผ่านไดโอด ช่วงแรงดันอินพุทจะใช้เวลามาก เช่น สายส่งทำงานที่ ± 12 และออปแอมป์ ± 15 V วิธีการของโจทย์นี้ใช้ MC74C914 เป็นอุปกรณ์ใหม่มีอินพุทโปรเทคชั่นไปเป็นแบบคอมมอนที่สัญญาณอินพุทถึง 25 V เทียบกราวด์ และ 25 V ต่ำกว่า V_{CC} นี้คือที่ชมิทท์ทริกเกอร์เป็นการแปลง Square wave ตามรูปที่ 2.8b มีกำลังงาน ± 1.5 V และยังคงใช้กำลังของออปแอมป์ ±15 V

วงจรมาตรฐานของอินพุทโปรเทคชั่น และวงจรป้องกันใหม่และอินพุทแสดงรูปที่ 2.13 . ไดโอด มีจุดเบรคดาวน์ 35 V แรงดันอินพุทเป็นบวกจนกระทั่งไบอัสกลับ D2 เบรคดาวน์ผ่านไบอัสตรง D3 ซึ่งจะมีแรงดัน 35 V เทียบกราวด์ แรงดันอินพุทสามารถเป็นลบจนกระทั่งไบอัสกลับ D1 เบรคดาวน์ผ่านไบอัสตรง D2 ซึ่งมีค่า 35 V ต่ำกว่า V_{CC} อินพุทโปรเทคชั่นก็ยังคงที่รักษาไว้ได้อย่างเหมาะสม

รูปที่ 2.13 แสดงการใช้ไดโอดโปรเทคชั่นอินพุท

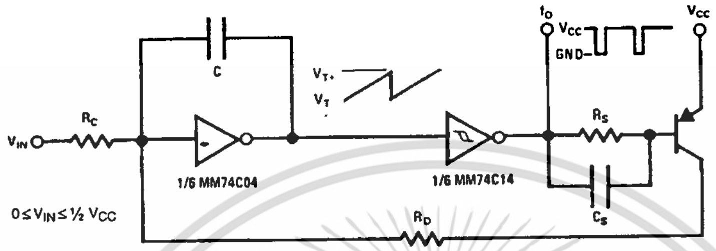
ซีมอสสามารถใช้เป็นเชิงเส้นได้ซึ่งแรงดันที่กว้าง ถ้าพิจารณาที่ไบอัสของอินพุท รูปที่2.14 แสดงการทำ VCO ถึงซีมอสอินเวอร์เตอร์ แสดงอินทีเกรเตอร์ และซีมอสชมิทท์ แสดงคอมพาราเตอร์ด้วยฮีสเตอร์รีซีสอินเวอร์เตอร์อินทีเกรทบวก แตกต่างระหว่างเทรสโฮล และแรงดันอินพุท V_{in} เอาท์พุทอินเวอร์เตอร์ลาดขึ้นจนกระทั่งถึงเทรสโฮลบวกของชมิทท์ทริกเกอร์ ที่เวลานั้น เอาท์พุทชมิทท์ทริกเกอร์จะต่ำลงทำให้ทรานซิสเตอร์ ON ผ่าน R_S และ C_S ฮีสเตอร์รีซีสสวิงทำให้เอาท์พุทเป็นค่าต่ำ จนกระทั่งค่า C คายประจุผ่าน R_D โดย R_D จะทำให้มีค่าน้อยมากกว่า R_C จะ Reset เวลาเร็วขึ้น ความถี่เอาท์พุท

$$f_O = \frac{V_{TH} - V_{in}}{(V_{T+} - V_{T-})R_C C} \tag{2.19}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

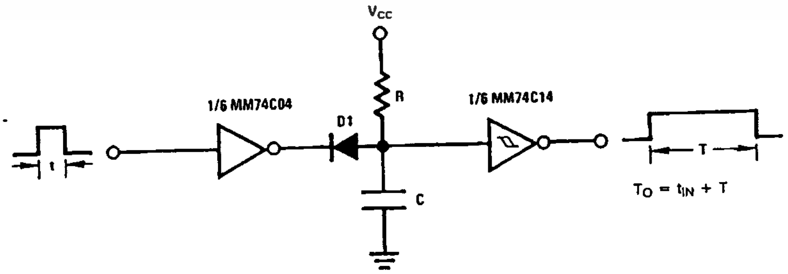
ความถี่ขึ้นอยู่กับค่าแรงดันควบคุมโดย

$$\frac{df_O}{dV_{IN}} = \frac{-1}{\left(V_{T+} - V_{T-}\right)R_C C} \tag{2.20}$$



รูปที่ 2.14 แสดง ซีมอสทำงานแบบเชิงเส้น (Voltage Controlled Oscillator)

เครื่องหมายลบชี้ให้เห็นว่าความถี่เอาท์พุทเพิ่มขึ้นมีอินพุทต่ำลง กว่าอินเวอร์เตอร์เทรสโฮล ความถี่สูงสุดเกิดขึ้นเมื่อ V_{IN} เป็นกราวด์และความถี่จะลดลงที่ V_{IN} เพิ่มขึ้น และจะหยุดสุดท้ายที่อินเวอร์เตอร์เทรสโฮลประมาณ 0.55 V_{CC} พัลส์จากเอาท์พุท VCO มีค่าแคบมาก เพราะรีเซ็ทเวลามีค่าน้อยมากน้อยกว่าอินทีเกรชั่น พัลส์ยืดออกตามธรรมดาน้อยที่ชมิทท์ทริกเกอร์ One - shot หรือพัลส์ที่ยืดออกทำด้วยอินเวอร์เตอร์และชมิทท์ทริกเกอร์ที่แสดงรูปที่ 2.15 พัลส์บวกเป็นอินเวอร์-เตอร์เป็นเหตุให้เอาท์พุทลดต่ำ การคายประจุของคาปาซิเตอร์ผ่านไดโอด D1 คาปาซิเตอร์จะคายประจุอย่างรวดเร็ว ดังนั้นอินพุทชมิทท์ทริกเกอร์จะต่ำและเอาท์พุทจะเป็นบวก เช็คขนาดของคาปาซิเตอร์ให้แน่ใจที่จะทำอินเวอร์เตอร์สามารถคายประจุได้เต็มและคาปาซิเตอร์ในเวลาอินพุทพัลส์



รูปที่ 2.15 แสดงซีมอสอินเวอร์เตอร์การคายประจุคาปาซิเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

$$I_{\sin k\ \text{อินเวอร์เตอร์}} > \frac{c\Delta V}{\Delta T} + \frac{\Delta V}{R} \tag{2.21}$$

เมื่อ $\Delta V = V_{CC}$ สำหรับซีมอส

$\Delta T =$ ความกว้างอินพุทพัลส์

สำหรับพัลส์แคบมากน้อยกว่า 100 ns คาปาซิเตอร์ไม่ต้องใช้ และตัวต้านทานจะประจุเพิ่มขึ้นที่ซีมอส เกทคาปาซิเตอร์เหมือนค่าคาปาซิเตอร์

เมื่ออินพุทของอินเวอร์เตอร์กลับเป็น 0 บล็อกไดโอดที่ป้องกันอินเวอร์เตอร์จากการประจุคาปาซิเตอร์มีค่า V_{T+} เอาท์พุทของชมิทท์จะมีค่าต่ำในเวลาหลังจากพัลส์อินพุทมีค่าต่ำ

2.3.3 วิธีการของชมิทท์ (The Schmitt Solution)

ชมิทท์ทริกเกอร์ สร้างจากหลายส่วนต้องระวังในการออกแบบรวมทั้งเวลาคุณสมบัติของอินพุท TTL ทำการไบอัสอินพุททริกเกอร์ยาก เอาท์พุท ซอร์ส มีค่ามากไม่เท่ากับซิงค์ ดังนั้นมัลติไวเบรเตอร์จะไม่ได้ดิวตี้ไซเคิล 50% และจำกัดช่วงแหล่งจ่ายให้กับส่วนที่ไม่ใช่ 5V ซีมอสชมิทท์ทริกเกอร์มีอินพุทอิมพีแดนซ์สูงกับค่าเทรสโฮลที่จะมีสมมาตรประมาณครึ่งของแหล่งจ่าย มีแรงดันอินพุทสูง กระแสเอาท์พุทซอร์สและซิงค์มีค่าเท่ากัน และดึงโดยตรงจากแหล่งจ่าย ช่วงเทรสโฮลกว้างช่วงแหล่งจ่ายกว้าง การป้องกันสัญญาณรบกวนสูง กันกำลังงานต่ำ และช่องว่างของบอร์ดต่ำทำให้ซีมอสชมิทท์มีลักษณะเฉพาะที่เป็นประโยชน์

ชมิทท์ทริกเกอร์ถูกใช้สำหรับเงื่อนไขสัญญาณ รักษาระดับสัญญาณป้องกันสัญญาณที่เข้ามารบกวน ตัดระดับด้วยฮีสเตอร์รีซิส เปลี่ยนระดับระหว่างลอจิก และใช้กับฟังก์ชั่นอื่นมากมาย

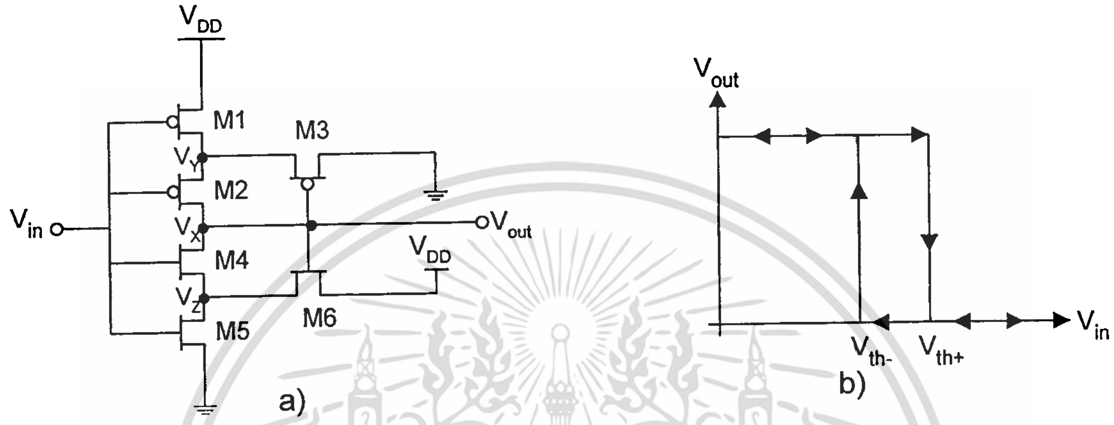
2.3.4 ข้อดีซีมอสชมิทท์ทริกเกอร์

1. อินพุทอิมพีแดนซ์สูง $(10^{12}\,\Omega)$
2. คุณสมบัติของอินพุทและเอาท์พุทสมดุลย์
3. เทรสโฮลสมมาตร เท่ากับครึ่งหนึ่งของแหล่งจ่าย
4. กระแสเอาท์พุทซอร์สและซิงค์เท่ากัน
5. แรงดันเทรสโฮลบวกและลบมีการเปลี่ยนแปลงต่ำเมื่อเทียบกับอุณหภูมิ
6. ช่วงแหล่งจ่ายศักดาก้าง 3 - 15 V
7. ใช้กำลังงานต่ำ
8. มีการป้องกันสัญญาณรบกวนสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 การออกแบบซีมอสชมิทท์ทริกเกอร์

ตามวงจรรูปที่ 2.16 เป็นวงจรชมิทท์ทริกเกอร์ และกราฟคุณสมบัติการโอนถ่ายแรงดัน



รูปที่ 2.16 แสดงวงจรชมิทท์ทริกเกอร์ และ กราฟคุณสมบัติการโอนถ่ายแรงดัน
a) แสดงวงจรชมิทท์ทริกเกอร์ b) กราฟคุณสมบัติการโอนถ่ายแรงดัน

2.4.1 หลักการออกแบบ และการคำนวณ

พิจารณาอินพุทเป็นบวก โดยให้แรงดันอินพุทเพิ่มขึ้นจาก 0 ถึง V_{DD}

1. ที่ $V_{in} = 0$ V

M1 และ M2 ON แล้ว

$V_X = V_Y = V_{DD} = 5$V

ในเวลาเดียวกัน M4 และ M5 จะ OFF, M3 OFF, M6 ON และทำงานในสภาวะอิ่มตัว การคำนวณแรงดันเทรสโฮล ของ M6 ด้วย $2\phi_F = -0.6$ V

$$V_Z = V_{DD} - V_{T,6} = 3.5V \tag{2.22}$$

2. ที่ $V_{in} = V_{T0,n} = 1.0$ V

M5 เริ่ม ON M4 ยังคง OFF

$V_X = 5$ V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ที่ $V_{in} = 2.0$ V

สมมติให้ M4 OFF ขณะที่ M5 และ M6 ทำงานในสภาวะอิ่มตัว

$$\frac{1}{2}K'\left(\frac{W}{L}\right)_5\left(V_{in}-V_{TO,n}\right)^2=\frac{1}{2}K'\left(\frac{W}{L}\right)_6\left(V_{DD}-V_Z-V_{T,6}\right)^2 \tag{2.23}$$

$$(2-1)^2=3\left(5-V_Z-\left[1-0.4\left(\sqrt{0.6+V_Z}-\sqrt{0.6}\right)\right]\right)^2 \tag{2.24}$$

แก้สมการนี้สำหรับ V_Z จะได้ว่า

$$V_Z=2.976\ V$$

จากการสมมติให้ M4 อยู่ในสภาวะ OFF

$$V_{GS,4}=2-2.976=-0.976<V_{TO,n}=1$$

4. ที่ $V_{in} = 3.5$ V

V_Z จะลดลงอย่างต่อเนื่อง สมมติ ให้ M5 อยู่ในเชิงเส้น และ M6 อิ่มตัวจะได้สมการกระแสไหล

$$\frac{1}{2}K'\left(\frac{W}{L}\right)_5\left[2\left(V_{in}-V_{TO,n}\right)V_Z-V_Z^2\right]=\frac{1}{2}K'\left(\frac{W}{L}\right)_6\left(V_{DD}-V_Z-V_{T,6}\right)^2$$

$$\left[2(3.5-1.0)V_Z-V_Z^2\right]=3\left(5-V_Z\left[1+0.4\left(\sqrt{0.6+V_Z}-\sqrt{0.6}\right)\right]\right)^2$$

แก้สมการนี้ หา V_Z ให้ $V_Z = 2.2$ V หาแรงดันเกทซอร์สของ M4

$$V_{GS,4}=3.5-2.2=1.3>V_{TO,n}=1$$

ณ จุดนี้ M4 ON อยู่ การวิเคราะห์ซึ่งจะสมมติให้ M4 ไม่นำกระแสนาน ที่แรงดันอินพุทนี้โหมด X เริ่มกำลังลดลงเข้าใกล้ "0" ดูได้จากผลการจำลอง สามารถสรุปได้ว่า แรงดันเทรสโฮลระดับบนมีค่าประมาณ 3.5 V

ต่อไปจะพิจารณาอินพุทเป็นลบ สมมติให้แรงดันอินพุทลดลงจาก V_{DD} ไปยัง 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ที่ $V_{in} = 5.0$ V

M4 และ M5 จะ ON ดังนั้นแรงดันเอาท์พุท $V_X = 0$ V โดย PMOS ทรานซิสเตอร์ M1 และ M2 OFF และ M3 อยู่ในสภาวะอิ่มตัว

$$\frac{1}{2}K'\left(\frac{W}{L}\right)_3\left(0-V_Y-V_{T,3}\right)^2 = 0 \tag{2.25}$$

$$V_Y = -V_{T,3} = -\left[V_{T,O,p} - 0.4\sqrt{0.6+V_{DD}-V_Y} - \sqrt{0.6}\right] \tag{2.26}$$

$$V_Y = 1.5[V]$$

2. ที่ $V_{in} = 4.0$ V

M1 เข้าใกล้จะเริ่ม ON โดย M2 จะ OFF และ M3 อิ่มตัว แรงดันเอาท์พุทยังคงไม่เปลี่ยนแปลง

3. ที่ $V_{in} = 3.0$ V

M1 จะ ON และอยู่ในสภาวะอิ่มตัว M3 ก็อิ่มตัวด้วย ดังนั้น

$$\frac{1}{2}K'\left(\frac{W}{L}\right)_1\left(V_{in}-V_{DD}-V_{TO,p}\right)^2 = \frac{1}{2}K'\left(\frac{W}{L}\right)_3\left(0-V_Y-V_{T,3}\right)^2 \tag{2.27}$$

$$\left[3-5-(-1)\right]^2 = 3\left(0-V_Y-\left[-1-0.4\left(\sqrt{0.6+5-V_Y}-\sqrt{0.6}\right)\right]\right)^2 \tag{2.28}$$

วิธีการหาสมการ

$$V_{in} = 2.02 \quad V$$

หาแรงดันเกทซอร์สของ M2

$$V_{GS,2} = 3.0 - 2.02 = 0.98 > V_{TO,p} = -1$$

แสดงว่า M2 ยังคง OFF ณ จุดนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. ที่ $V_{in} = 1.5$ V

ถ้า M2 ยังคง OFF M1 จะอยู่ในสภาวะเชิงเส้น และ M3 อยู่ในสภาวะอิ่มตัว

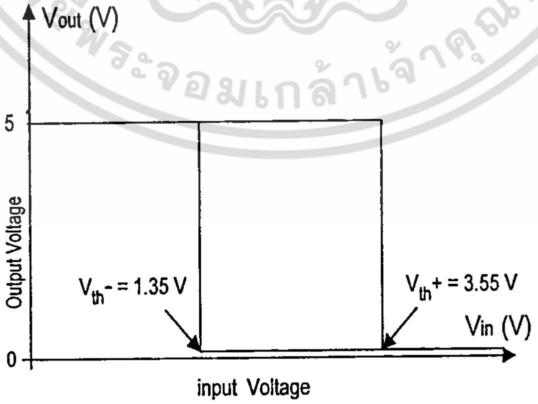
$$\frac{1}{2}K'\left(\frac{W}{L}\right)_1\left[2\left(V_{in}-V_{DD}-V_{TO,p}\right)\left(V_Y-V_{DD}\right)-\left(V_Y-V_{DD}\right)^2\right] = \frac{1}{2}K'\left(\frac{W}{L}\right)_3\left(0-V_Y-V_{T,3}\right)^2 \quad (2.29)$$

$$2(1.5-5+1)(V_Y-5)-(V_Y-5)^2 = 3\left(-V_Y-\left[-1-0.4\left(\sqrt{0.6+5-V_Y}-\sqrt{0.6}\right)\right]\right)^2 \quad (2.30)$$

แก้สมการกำลังสองจะได้

$$V_Y = 2.79 \quad V$$

สามารถแสดง ณ จุดนี้ PMOS ทรานซิสเตอร์ M2 ยังคง ON อยู่แรงดันเอาท์พุทจะเริ่มเพิ่มขึ้นไป V_{DD} สรุปได้ว่า แรงดันเทรสโฮลด้านล่าง V_{th-} มีค่าประมาณเท่ากับ 1.5 V



รูปที่ 2.17 แสดงการจำลองด้วยโปรแกรม PSpice สำหรับแรงดันที่เพิ่มขึ้นและลดลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

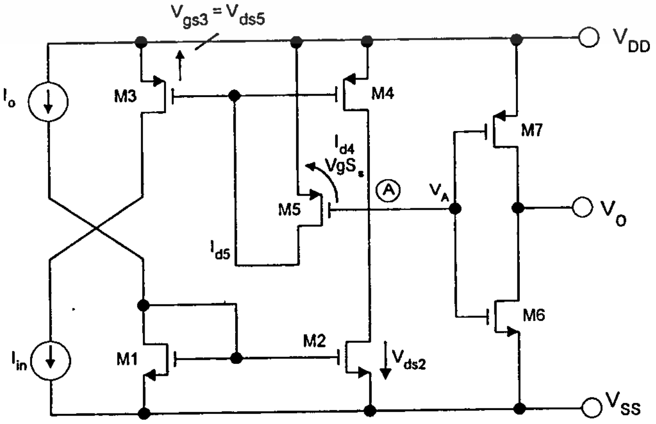
2.5 โดยใช้กระแสซีมอสชมิทท์ทริกเกอร์

ในวงจรใช้ MOS 7 ตัว การควบคุมกระแสเทรสโฮลโดยกระแสไบอัสและใช้ MOS อื่น ขึ้นอยู่กับวงจร ตัวอย่างการออกแบบและการจำลองผลนี้ได้

ชมิทท์ทริกเกอร์เป็นวงจรใช้ทั้งอนาล็อกและดิจิตอล ชมิทท์ทริกเกอร์เป็นหลักในการประยุกต์กำจัดการสั่นวงจรเปรียบเทียบในรูปร่างของสัญญาณรบกวนและการรบกวน ชมิทท์ทริกเกอร์ในความเป็นจริง คือวงจรเปรียบเทียบที่มีฮีสเตอร์รีซีส การแสดงค่าความแตกต่างการสวิทช์ระดับแรงดันอินพุทของคุณสมบัติการโอนถ่ายสำหรับกระแสชมิทท์ทริกเกอร์ของอินพุทคือกระแสแทนแรงดัน ซึ่งแรงดันเอาท์พุทมีการเปลี่ยนแปลงลอจิกสัญญาณอย่างเร็วในสองสภาวะ (ต่ำและสูง) ขึ้นอยู่กับค่าความต่างระหว่างอินพุทและกระแสเทรสโฮล 2 ตัว กระแสชมิทท์ทริกเกอร์โดยเฉพาะอย่างยิ่งโฟโต้ดีเทคเตอร์ ออฟติคัลรีโมทคอนโทรล และ เครื่องมือแพทย์ มีความพิเศษที่น่าสนใจในเทคโนโลยีซีมอส ระหว่างอนาลอกและดิจิตอลบนชิพ (chip)

2.5.1 การอธิบายวงจร และการทำงาน

เริ่มต้นชมิทท์ทริกเกอร์ถูกสร้างขึ้นจากออปแอมป์ด้วยค่าความต้านทานป้อนกลับแบบบวกที่แสดงฮีสเตอร์รีซิสในส่วนของวงจร ซีมอส (แรงดัน) ชมิทท์ทริกเกอร์มอส 2-3 ตัว ที่ใช้ และสร้างการป้อนกลับใหม่โดยมอสทรานซิสเตอร์เพิ่มเติมด้วย ไม่ต้องใช้ค่าความต้านทาน แรงดันเทรสโฮลถูกกำหนดโดยลักษณะทางเรขาของทรานซิสเตอร์และขบวนการของพารามิเตอร์ และแรงดันแหล่งจ่ายปกติ ดังนั้น ฮีสเตอร์รีซีสของชมิทท์ทริกเกอร์หลังจากรวมกันแล้ว จะยังมีค่าคงที่อยู่นอกจากกำลังงานแหล่งจ่าย, อุณหภูมิ และการเปลี่ยนแปลงทางกายภาพของพารามิเตอร์



รูปที่ 2.18 แสดงซีมอสกระแสชมิทท์ทริกเกอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซีมอสกระแสชมิทท์ทริกเกอร์ใหม่ตามรูปที่ 2.18 ประกอบด้วยวงจรเปรียบเทียบกระแส (M1, M2 และ M3, M4) และอินเวอร์เตอร์ (M6 และ M7) และเพิ่มทรานซิสเตอร์ M5 ซึ่งอาจจะเป็น PMOS หรือ NMOS การเป็นการป้อนกลับแบบบวกแน่นอน และทำให้กระแสเปรียบเทียบกลายเป็นกระแสชมิทท์ทริกเกอร์ดังจะอธิบายต่อไป

ขั้นแรกพิจารณาวงจรรูป 2.18 สมมติว่าเอา M5 ออกก่อน กระแสอินพุท I_{in} เป็นกระแสเดรนของ M3 ที่อ้างอิงกระแส I_O คือกระแสเดรนของ M1 โดย M1, M2 และ M3, M4 เป็นคู่แมทช์ซิ่งกันด้วยอัตราส่วน 1:1 เช่น I_{in} และ I_O โดย M4 และ M2 ตามลำดับ ถ้าทำงานถึงจุดอิ่มตัว ดังนั้นกระแสเทรสโฮลของการเปรียบเทียบ (คอมพาราเตอร์) เท่ากับ I_O เช่น เมื่อ I_{in} น้อยกว่า I_O ส่วน V_A เป็น Low V_O จะเป็น “High” ซึ่งตรงกันข้าม V_O จะเป็น Low เมื่อ I_{in} มากกว่า I_O

ปัจจุบัน M5 ตามรูปที่ 2.18 ทำให้เป็นกระแสซีมอสชมิทท์ทริกเกอร์จริง M5 ในการป้อนกลับแบบบวก โดยกระแสที่ไหลผ่านขึ้นอยู่กับ V_A ซึ่งเป็นกระแสสะท้อนถ้า I_{in} มีค่าต่ำมาก ๆ กว่า I_O V_Aก็ต่ำ เช่น M4 ทำงานในสภาวอิ่มตัว ขณะที่ M5 และ M2 ไม่อิ่มตัว ผลสำหรับ M5 และ M2 จะทำงานในสภาวะ triode M5 ทำงานด้วยแรงดันเกท V_{gs5} สูงมากกว่าแรงดันเดรน (ซึ่งชี้ที่ V_{gs3}) ดังนั้นไปขับในช่วงต้านทาน กระแสเดรน I_{d2} เท่ากับ I_{d4} ซึ่ง $I_{d4} = I_{in} - I_{d5}$

ดังนั้น

$$I_{d2} = \left(I_{in} - I_{d5} \right) < I_o \tag{2.31}$$

เช่นกระแสอ้างอิง I_O ไม่เป็นกระแสสะท้อนของ M2 ดังนั้น M2 อยู่ในสภาวะ triode

เมื่อการเพิ่มของ I_{in} กระแสเทรสโฮลทางสูง I_{th} มีค่ามาถึง เมื่อ $I_{d2} = I_O$ ที่จุดนี้ M2 มีค่ากระแสสูงสุดไปยัง Mode A และถ้าแสดงเป็นกระแสสะท้อนเทียบกับ M1 และดังนั้นอยู่ในสภาวะอิ่มตัว ตามสมการที่ 1 และเกิดกระแส

$$I_{d2} = I_o - I_{ds} \tag{2.32}$$

การเพิ่ม I_{in} มากกว่าที่จุดนี้ เพิ่ม V_{ds2} ที่อัตราสูง แล้วลด I_{ds} และสวิทช์ V_A ไปเป็น High เลือกขนาดของ M4 และ M5 พอประมาณ ทรานซิสเตอร์ M5 ป้อนกลับจะยังไม่ทำงาน ($I_{ds} = 0$) ขณะที่ V_A เป็น High เงื่อนไขนี้จะสมบูรณ์เมื่อ $\sqrt{(2I_o / K_4)} < |V_{TP}|.|V_{TP}|$ คือค่าสัมบูรณ์ของพีมอส

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดันเทรสโฮล และ $K_2 = \mu C_{OX}(W/L)^2$ เมื่อ μ_0 = ความสามารถในการนำ ส่วน L = ความยาวของ Channel โดย C_{ox} = Oxide Capacitance ต่อหน่วยพื้นที่ และ W = ความกว้างของ Channel

หลังจากลด I_{in}สวิทช์ V_A กลับไปเป็นLow ที่ระดับเทรสโฮล I_{tl} เหมือนกับกระแสเปรียบเทียบ

ดังนั้น

$$I_{tl} = I_o \tag{2.33}$$

กระแสเทรสโฮลด้านบน I_{th} มีการคำนวณ ตามที่กำหนดไว้มากกว่า V_A สวิทช์จาก Low และ High ขณะที่ I_{in} เพิ่ม เมื่อ I_{d4} = I_O และ M2 อิ่มตัว ใช้รูปแบบ Quadratic ของ MOS $V_{ds2} = \sqrt{(2I_o / K_2)}$

แรงดันเกท M5

$$-V_{gs5} = V_{dd} - V_{ss} - V_{ds2} \tag{2.34}$$

แรงดันเดรน

$$-V_{ds5} = -V_{gs3} = \sqrt{\frac{2I_o}{K_3}} - V_{Tp} = \sqrt{\left(\frac{2I_0}{K_3}\right)} + |V_{Tp}| \tag{2.35}$$

กระแสเดรน I_{d5} สามารถคำนวณจากสมการกระแสในสภาวะ triode

$$I_{d5} = K_5\left[\left(V_{gs5} - V_{Tp}\right)V_{ds5} - \frac{1}{2}V^2{}_{ds5}\right] \tag{2.36}$$

ใช้สมการ (2.32), (2.34), (2.35), (2.36)

$$I_{th} = I_o + K_5\left[\left(V_{dd} - V_{ss} - \sqrt{\left(\frac{2I_o}{K_2}\right)} - |V_{Tp}|\right) \times \left(\sqrt{\left(\frac{2I_O}{K_3}\right)} + |V_{Tp}| - \frac{1}{2}\left(\sqrt{\frac{2I_O}{K_3}}\right) + |V_{Tp}|\right)^2\right] \tag{2.37}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความกว้างฮีสเตอร์รีซีสให้จาก $\Delta I = I_{th} - I_{tl} = I_{d5}$ ตามสมการ (2.37) หาได้ โดยขนาดของ M5, I_o และค่าพารามิเตอร์ ดังนั้น ความกว้างฮีสเตอร์รีซีสสามารถเลือกได้โดยรูปร่างของ M5

2.5.2 ตัวอย่างการออกแบบ และการจำลอง

วงจรตามรูปที่ 2.18 สามารถจำลองได้กับ 3 μm CMOS ใช้ Spice พารามิเตอร์ และ ขนาดตามตารางที่ 2.1[13]

ตารางที่ 2.1 แสดงค่าการจำลองที่ใช้ SPICE พารามิเตอร์

Transistor	W	L
	μm	μm
M1, M2	18	12
M3, M4	18	9
M5	3	18
M6	9	6
M7	9	4
V_{DD}	5 V	
V_{SS}	0 V	
I_O	2 μA	

การออกแบบกระแสฮีสเตอร์รีซีส คือ 6 μA รูปที่ 2.19 แสดงคุณสมบัติการโอนถ่ายของกระแส I_{in} ถึง V_o ทาง DC และ AC ตำแหน่งเวลา ของ load 1 pF คือประมาณ 280 nS สำหรับการสวิงของ I_{in} จาก 0⟶ 10 μA

ตามที่กล่าวถึงก่อน M5 สามารถใช้ NMOS ดังแสดงรูปที่ 2.20 การจำลองสามารถหากระแสเทรสโฮลได้

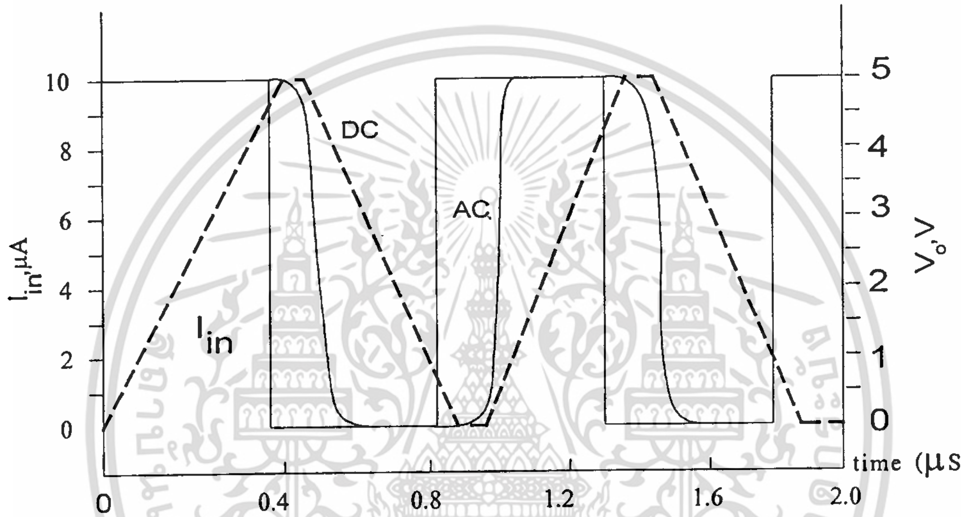
$$I_{tl} = I_O \qquad (2.38)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

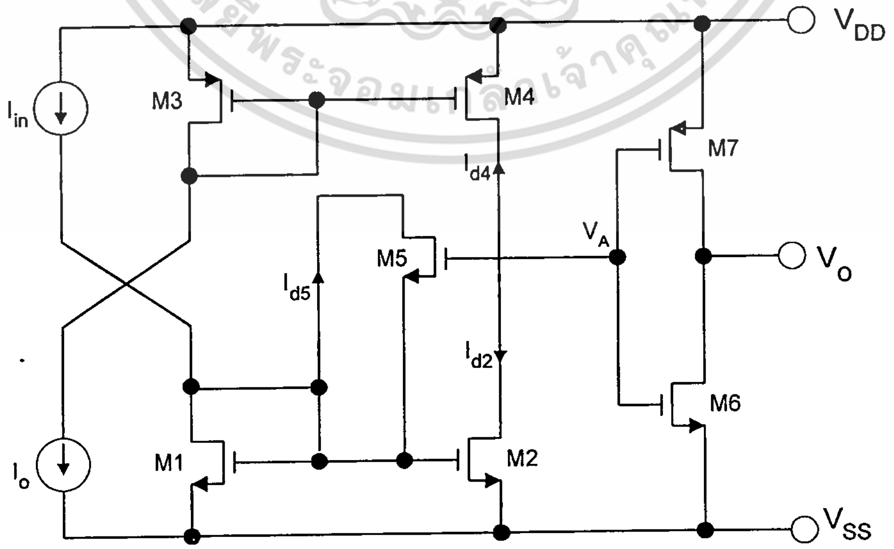
$$I_{th} = I_O + K_5\left[\left(V_{dd} - V_{ss} - \sqrt{\left(\frac{2I_O}{K_4}\right)} - V_{Tn}\right) \times \left(\sqrt{\left(\frac{2I_O}{K_1}\right)} + V_{Tn}\right) - \frac{1}{2}\left(\sqrt{\left(\frac{2I_O}{K_1}\right)} + V_{Tn}\right)^2\right]$$

(2.39)

ที่ V_{Tn} คือ แรงดันเทรสโฮลของ NMOS คุณสมบัติการโอนถ่ายทาง DC จะตรงข้ามดังรูปที่ 2.19



รูปที่ 2.19 แสดงการจำลองคุณสมบัติการโอนถ่าย ดีซีและเอซี



รูปที่ 2.20 แสดง NMOS ทรานซิสเตอร์ M5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรโดยใช้กระแสชมิทท์ทริกเกอร์เป็นพื้นฐานกระแสสะท้อนในการอธิบายโครงสร้างง่ายซึ่งมีการควบคุมกระแสเทรสโฮล 2 ระดับ การปรับโดยกระแสไบอัส และโดยขนาดของ MOS การออกแบบสมการของความกว้างฮีสเตอร์รีซีส การจำลองมีการพิสูจน์ที่วงจรว่าเหมาะสมสำหรับการประยุกต์ความเร็วสูง ๆ ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

เทคโนโลยีไบซีมอสและประเภทของวงจรไบซีมอส

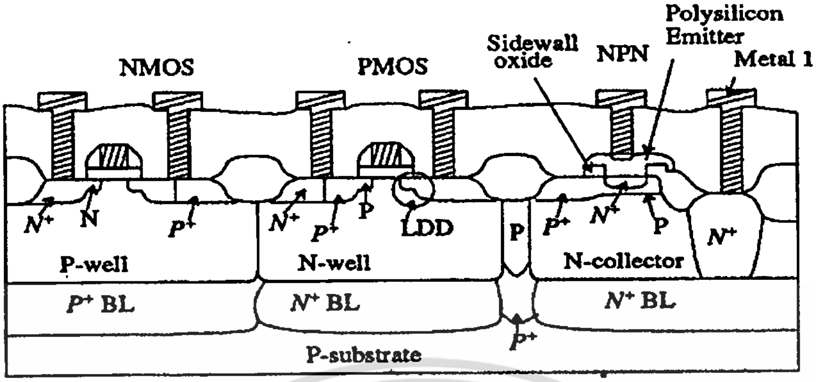
3.1 เทคโนโลยีไบซีมอส

เทคโนโลยีการสร้างวงจรไบซีมอสได้รับการพัฒนามาจากเทคโนโลยีการสร้างวงจรซีมอส และไบโพลาร์ โดยขั้นตอนที่สอดคล้องกันจะถูกสร้างขึ้นพร้อมกัน ดังนั้นจึงสามารถแบ่งเทคโนโลยีการสร้างไบซีมอสได้เป็น 2 แบบ คือ

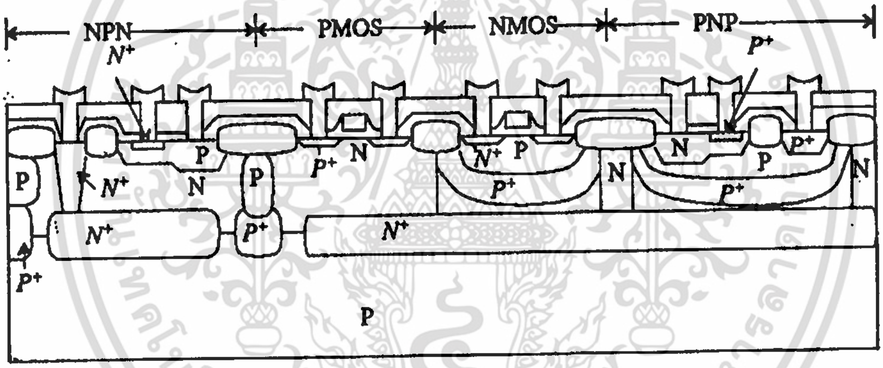
3.1.1 ไบโพลาร์โดยใช้เทคโนโลยีไบซีมอส

ในระยะแรก ๆ ในการผลิตวงจรไบซีมอส การเพิ่มอุปกรณ์มอสลงบนวงจรไบโพลาร์ ภายใต้เทคโนโลยีการผลิตไบโพลาร์ เป็นเรื่องที่ยุ่งยากและเสียค่าใช้จ่ายสูง ดังนั้นจึงนิยมที่จะสร้างอุปกรณ์ไบโพลาร์ลงบนขบวนการผลิตซีมอสมากกว่า อย่างไรก็ตามอุปกรณ์ไบโพลาร์ที่ผลิตด้วยเทคโนโลยีนี้มีคุณภาพสูงกว่า เนื่องจากสามารถควบคุมขนาดและความหนาแน่นสารเจืออย่างมีประสิทธิภาพทำให้ไบโพลาร์ที่ได้มีอัตราขยายสูง ($\beta \approx$100-200) และ ความถี่คัทออฟ ($f_T \approx$20-30 GHz) ผลคือสามารถผลิตวงจรที่มีความเร็วสูง ทำให้ผู้ผลิตบางรายหันมาใช้เทคโนโลยีนี้บ้างก็ตาม แต่วงจรที่ได้ก็มีขนาดใหญ่และมีการสูญเสียกำลังในรูปความร้อนสูง ดังนั้น จึงต้องออกแบบระบบระบายความร้อนอย่างดี จึงจะรักษาประสิทธิภาพของวงจรไว้ได้ ทำให้เทคโนโลยีนี้ยังไม่เป็นที่นิยมแพร่หลายนัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1(a) แสดงภาพตัดขวางโครงสร้างอุปกรณ์ภายใต้เทคโนโลยีไบซีมอส แบบ NPN-CMOS



รูปที่ 3.1(b) แสดงภาพตัดขวางโครงสร้างอุปกรณ์ภายใต้เทคโนโลยีไบซีมอส แบบ CBiCMOS

3.1.2 BiCMOS เทคโนโลยีบนพื้นฐาน MOS

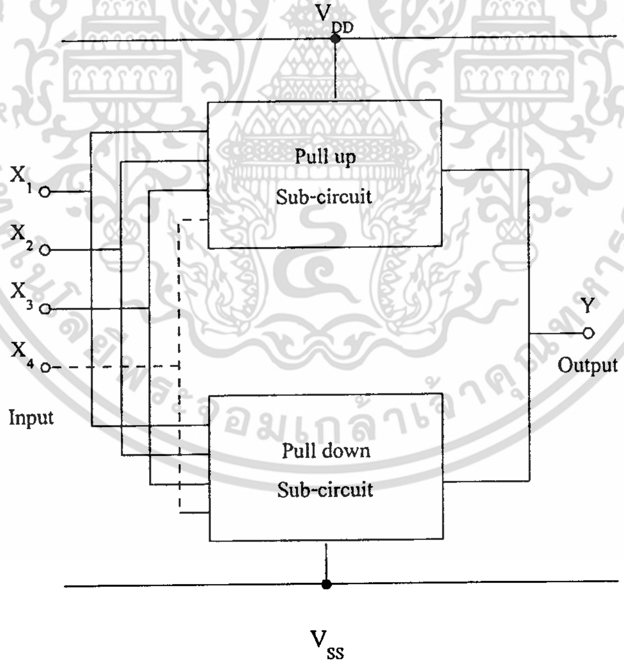
เป็นขบวนการผลิตที่ใช้เทคโนโลยีซีมอสเป็นหลัก แต่ทำการสร้างอุปกรณ์ไบโพลาร์เพิ่มเข้าไป โดยบางส่วนของอุปกรณ์ไบโพลาร์สามารถสร้างขึ้นภายใต้เทคโนโลยีซีมอส ในขณะที่บางส่วนจำเป็นต้องเพิ่ม mask หรือ layout พิเศษ คุณภาพของไบโพลาร์จะเป็นตัวกำหนดความซับซ้อนและจำนวน layout ที่เพิ่มขึ้น

3.2 โครงสร้างและการทำงานของวงจรไบซีมอส

วงจรไบซีมอส แบ่งส่วนการทำงานออกเป็น 4 ส่วน รูปที่ 3.2 (b) คือ

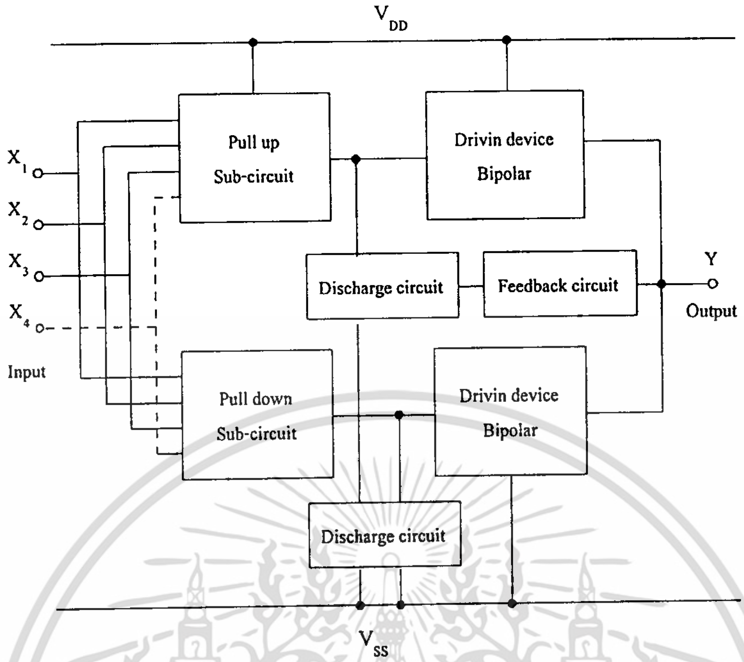
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. วงจรซีมอส ซึ่งทำหน้าที่กำหนดลอจิกฟังก์ชัน และทำหน้าที่ขับอุปกรณ์ไบโพลาร์ในส่วนที่ 2 วงจรส่วนนี้แบ่งออกเป็นส่วน Pull-up และ Pull-down
2. ส่วนอุปกรณ์ไบโพลาร์ ทำหน้าที่ขับ/ดึง กระแสโหลด เพื่อให้โหลดมีค่าลอจิกที่กำหนด
3. อุปกรณ์ ซึ่งทำหน้าที่คายประจุที่รอยต่อ อิมิตเตอร์-เบส เมื่อไบโพลาร์หยุดนำกระแส เพื่อให้วงจรสามารถทำงานได้เร็วขึ้น อุปกรณ์นี้อาจเป็นเพียง ตัวต้านทานหรือโหลดไวงาน (Active load) เช่น มอสทรานซิสเตอร์ หรือ อาจประกอบขึ้นเป็นวงจรโครงข่ายซับซ้อนโดยอาศัยการป้อนกลับสัญญาณเพื่อควบคุมเวลาในการคายประจุเพื่อให้วงจรมีความเร็วสูงสุด
4. อุปกรณ์อื่น ๆ เช่น Passive/Active Shunt Network สำหรับการออกแบบวงจรแกว่งเต็มช่วง (full swing) หรืออุปกรณ์เพิ่มความเร็ว เช่น Schottky diode เป็นต้น



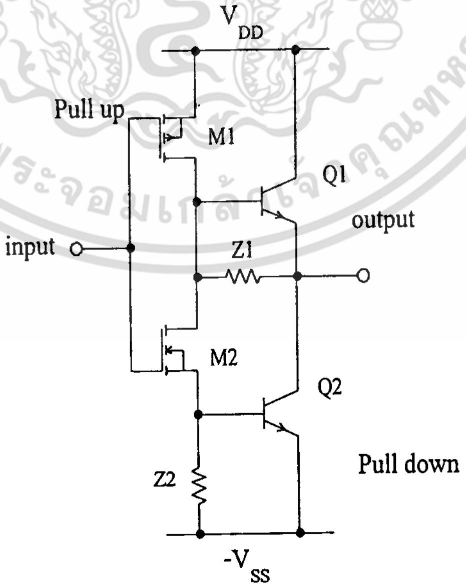
(a)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(b)

รูปที่ 3.2 โครงสร้างภายในของวงจร (a) ซีมอสลอจิกเกท (b) ไบซีมอสลอจิกเกท



รูปที่ 3.3 วงจรไบซีมอสอินเวอร์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

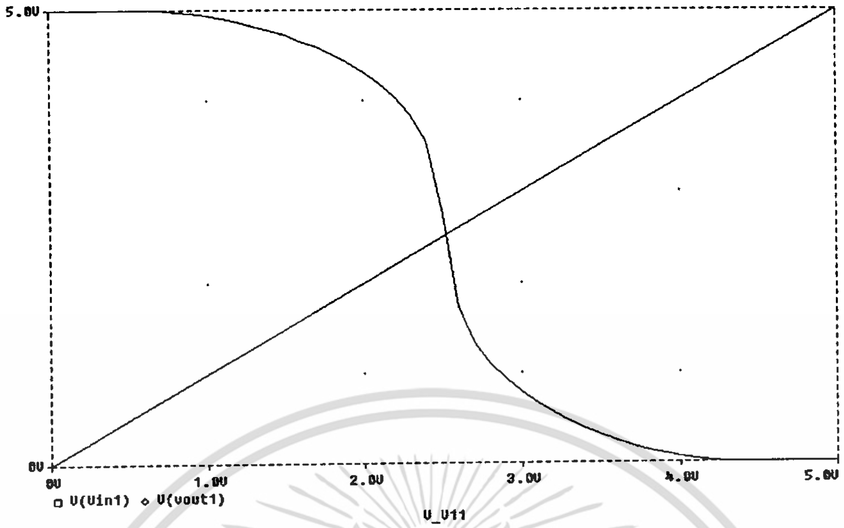
วงจรไบซีมอสในรูปที่ 3.3 เป็นวงจรอินเวอร์เตอร์ ซึ่งเป็นเทคนิคการออกแบบวงจรในระยะเริ่มแรก โดยเทคโนโลยีในสมัยนั้นไบโพลาร์ทรานซิสเตอร์ที่สร้างขึ้นมีขนาดใหญ่มาก ดังนั้นขนาดของตัวต้านทานจึงไม่เป็นเงื่อนไขในการออกแบบ วงจรดังกล่าวจึงถูกผลิตออกในรูปของ อุปกรณ์ดิสครีต (discrete element) หรือวงจรรวมแบบ LSI มากกว่าที่จะออกแบบในเป็นวงจรรวมแบบ VLSI และ ULSI

การทำงานของวงจร จากรูปวงจรส่วนแรกเป็นวงจรซีมอส ทำหน้าที่กำหนดระดับสัญญาณ โดยต่อกันแบบคู่ประกอบ (Complementary) M1 ทำหน้าที่เป็นวงจรส่วน Pull-up และ M2 ทำหน้าที่เป็นวงจรส่วน Pull-down โดยกำหนดระดับสัญญาณเอาท์พุทเป็น 1 และ 0 ตามลอจิกฟังก์ชัน ตามลำดับ แรงดันสัญญาณแกว่งเอาท์พุทของวงจรส่วนหน้านี้ระหว่าง V_{SS} ถึง V_{DD} ตัวต้านทาน Z_1 และ Z_2 ทำหน้าที่คายประจุที่รอยต่อเบส-อิมิตเตอร์เพื่อเพิ่มความเร็วในหยุดนำกระแสของไบโพลาร์ทรานซิสเตอร์ นอกจากนี้ Z_1 และ Z_2 ยังทำให้สัญญาณเอาท์พุทเกิดการแกว่งแบบเต็มช่วง (Full swing) เมื่อไบโพลาร์หยุดนำกระแสแล้ว

เมื่อเริ่มป้อนสัญญาณ 0 ที่อินพุท พีมอสทรานซิสเตอร์ (M1) เกิดการเหนี่ยวนำช่องทางเดินกระแส โดยกระแสส่วนใหญ่จะไหลจากแหล่งจ่าย ผ่าน M1 ทำการไบอัส ไบโพลาร์ (Q1) ที่เบส ขณะนี้เอ็นมอสทรานซิสเตอร์ยังคงคัทออฟ ดังนั้นจึงไม่มีทางเดินกระแสตรงระหว่างแหล่งจ่ายกระแสที่ไหลจากแหล่งจ่ายจึงเป็นเพียงกระแส AC ที่ไหลไปยังเอาท์พุทโหนด โดยกระแสบางส่วนจะไหลผ่าน Z_1 ไป กระแสส่วนนี้ทำให้กระแสไบอัสน้อยลง เป็นผลให้การทำงานของวงจรช้าลง ดังนั้นจึงนิยมออกแบบให้ Z_1 มีขนาดใหญ่ เพื่อจำกัดขนาดของกระแสที่ผ่าน Z_1 เมื่อไบโพลาร์เริ่มเข้าสู่ย่านอิ่มตัว Z_1 นี้ยังคงนำกระแสต่อไป ทำให้สัญญาณเอาท์พุทมีค่าเท่ากับ V_{DD}

ในทางตรงข้ามเมื่อป้อนสัญญาณ 0 ที่อินพุท M2 เริ่มนำกระแส เกิดการไบอัสไบโพลาร์ทรานซิสเตอร์ Q2 เกิดการคายประจุออกจากโหลดผ่าน Q2, M2, Z_1 และ Z_2 เมื่อ Q2 เริ่มเข้าสู่ย่านอิ่มตัว M2 จะหยุดนำกระแส ดังนั้นสัญญาณเอาท์พุทจึงมีค่าเท่ากับ $V_{CE(SAT)}$ - V_{SS} หรือประมาณเท่ากับ V_{SS}

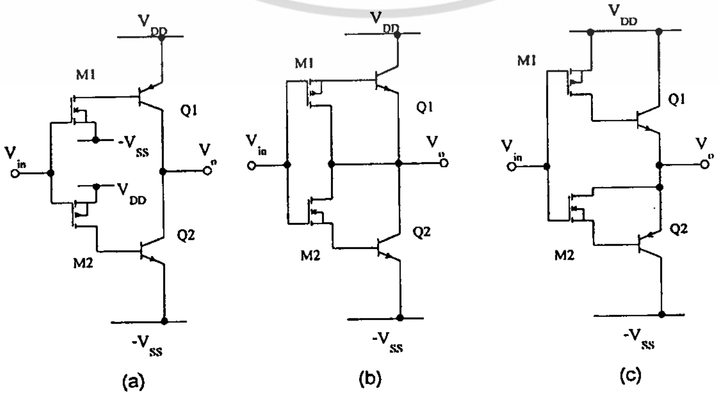
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 การโอนถ่ายกระแสตรงวงจรไบซีมอสอินเวอร์เตอร์ (รูปที่ 3.3)

3.3 การออกแบบวงจรไบซีมอส

ขั้นตอนในการออกแบบวงจร Static logic ด้วยเทคโนโลยีไบซีมอส เริ่มจากการกำหนดฟังก์ชันการทำงานในรูปของสมการบูลีน จากนั้นใช้วิธีเดียวกันกับการออกแบบวงจรซีมอสโดยทำการออกแบบวงจรส่วน Pull-up และ ส่วน Pull-down โดยแยกทั้งสองส่วนออกจากกัน ขั้นต่อไปจึงเพิ่มอุปกรณ์ไบโพลาร์ซึ่งทำหน้าที่ขับกระแส ชนิดของอุปกรณ์ไบโพลาร์และการเชื่อมต่อที่ต่างกันทำให้การทำงานและ คุณลักษณะ (Characteristic) ของวงจรที่ได้แตกต่างกัน ซึ่งสามารถแบ่งออกได้ดังนี้



รูปที่ 3.5 โครงสร้างวงจรไบซีมอส (a). Common - Emitter (CE) (b). Gate - Diode (GD)

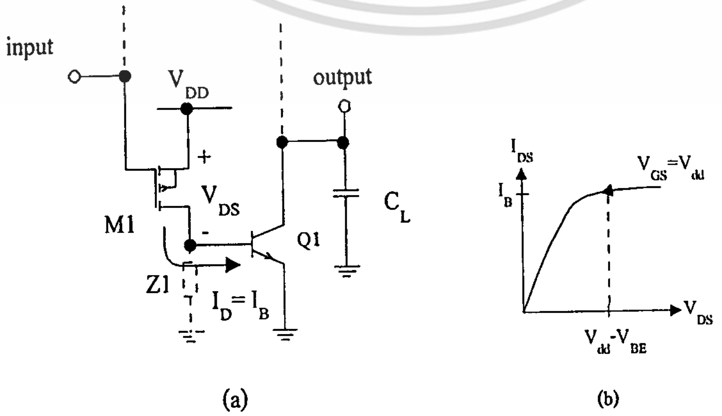
(c). Emitter Follower (EF)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.1 โครงสร้างแบบ Common - Emitter (CE)

วงจรในส่วน Pull-down จะมีการทำงาน เริ่มจากพีมอสซึ่งทำหน้าที่สวิทช์ให้เกิดการทำงาน โดยการป้อนกระแสไบอัสให้กับไบโพลาร์ทรานซิสเตอร์เพื่อคายประจุที่โหลดลงสู่กราวด์ โดยที่มอสทรานซิสเตอร์จะถูกต่ออยู่ในลักษณะ Common-Source ในขณะที่ไบโพลาร์ทรานซิสเตอร์ จะต่ออยู่ในลักษณะ Common-Emitter การทำงานของวงจรจึงเป็นแบบไม่กลับเฟส

พิจารณาการทำงานของวงจร โดยสมมติว่าในสภาวะเริ่มแรก มอสทรานซิสเตอร์อยู่ในสภาวะคัทออฟ และประจุที่ เบสของไบโพลาร์ทรานซิสเตอร์ถูกคายผ่านอุปกรณ์คายประจุ (Z_l) ลงกราวด์ เมื่อป้อนอินพุท 0 ให้กับวงจร พีมอสทรานซิสเตอร์เริ่มทำงานโดยที่ศักดา V_{DS} = $|V_{DD}|$ ดังนั้นมอสจึงนำกระแสในย่านอิ่มตัว โดยกระแส I_{DS} จะไหลเข้าสู่เบสของไบโพลาร์ทรานซิสเตอร์อย่างรวดเร็ว เมื่อศักดาระหว่าง เบส-อิมิตเตอร์เข้าสู่ $V_{BE(ON)}$ ไบโพลาร์จะเริ่มนำกระแส I_C ทำการคายประจุที่ C_L ลงสู่กราวด์ โดยที่มอสทรานซิสเตอร์ยังคงทำงานในย่านอิ่มตัว $\left[\ V_{DS} \rangle \left(V_{GS} - |v_{Th}|\right)\ \right]$ คือ $V_{DS} = V_{DD}-V_{BE(ON)}$ และ $\left[\ V_{GS} = V_{DD} - |V_{Th}|\ \right]$ ดังนั้นในการออกแบบต้องกำหนดให้ $|V_{Th}| > V_{BE(ON)}$ และเนื่องจาก V_{DS} และ V_{GS} มีขนาดคงที่ ดังนั้นกระแส I_D และ I_B จึงมีค่าคงที่ตลอดการทำงานในช่วงนี้ ดังรูป 2.6(b) จนเมื่อกระทั่งไบโพลาร์เริ่มอิ่มตัว และมีศักดาตกคร่อมคอลเลคเตอร์-อิมิตเตอร์ เท่ากับ $V_{CE(SAT)}$ (โดยประมาณ 100-200 มิลลิโวลท์) ดังนั้นวงจรนี้จึงมีช่วงแกว่งของสัญญาณเอาท์พุท ใกล้เคียงกับแบบวงจรแกว่งเต็มช่วง (Full swing circuit หรือ rail to rail) คือมี $V_{OH}= [V_{DD}-V_{CE(SAT)}]$ และ $V_{OL}=V_{CE(SAT)}$ เนื่องจากวงจรนี้มอสทรานซิสเตอร์ตลอดการทำงานนำกระแสสูงในย่านอิ่มตัว และไม่ขึ้นกับแรงดันเอาท์พุทของวงจร ดังนั้นวงจรนี้จึงมีความเร็วในการทำงานสูงมาก



รูปที่ 3.6 วงจรไบซีมอสส่วน Pull -down (a).โครงสร้างแบบ Common-Emitter

(b) การทำงานของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อย่างไรก็ตาม วงจรดังกล่าวก็มีข้อเสียคือ เกิดกระแสสถิตย์ตรงตลอดเวลา แม้ว่าวงจรจะไม่ได้อยู่ในช่วงการเปลี่ยนแปลงระดับลอจิกหรือช่วงการสวิทช์ก็ตาม ซึ่งต่างกับวงจรซีมอสและไบซีมอสอื่น ๆ ซึ่งจะนำกระแสในช่วงเฉพาะที่เกิดการสวิทช์ เท่านั้น ดังนั้นวงจรไบซีมอสแบบคอมมอนอิมิตเตอร์จึงเกิดกำลังสูญเสียมาก นอกจากนี้เนื่องจากในช่วงสุดท้ายของการเปลี่ยนระดับลอจิก ไบโพลาร์ทรานซิสเตอร์จะทำงานในย่านอิ่มตัว และจะนำกระแสในย่านตลอดไปหลังสิ้นสุดการเปลี่ยนระดับลอจิก ทำให้เกิดประจุที่สะสมอยู่ระหว่างเบส - คอลเลคเตอร์เป็นจำนวนมาก และเมื่อเกิดการเปลี่ยนระดับลอจิกหรือเกิดการสวิทช์อีกครั้งหนึ่ง ไบโพลาร์ที่เคยนำกระแสอยู่ก็จะเข้าสู่ย่านคัทออฟแทน ผลของประจุค้างทำให้ไบโพลาร์หยุดนำกระแสช้าลง วงจรนี้จึงมีค่าหน่วงเวลาดึงลงที่สูง ดังนั้นในการออกแบบวงจรประเภทนี้ จึงต้องออกแบบให้อุปกรณ์คายประจุเช่นตัวต้านทานหรือมอสมีขนาดใหญ่กว่าปรกติหรืออาจเพิ่ม Schottky diode ที่รอยต่อเบส-คอลเลคเตอร์ เพื่อช่วยลดผลของประจุค้าง

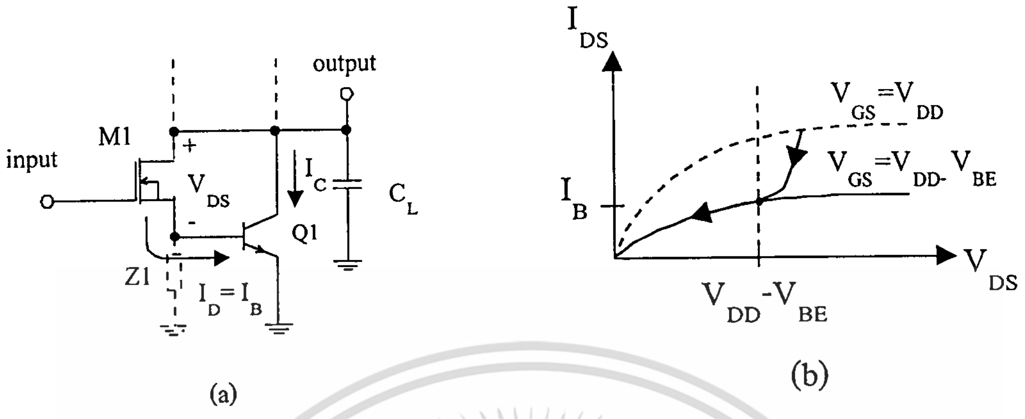
3.3.2 โครงสร้างแบบ Gate - Diode (GD)

พิจารณาการทำงานของวงจร เมื่อป้อนระดับสัญญาณอินพุท '1' เอ็นมอสทรานซิสเตอร์จะเริ่มนำกระแสโดยทำงานในย่านอิ่มตัว ($V_{GS} = V_{DD} - V_{Th}$ และ $V_{DS} = V_{DD}$) กระแส I_D จะทำการไบอัสไบโพลาร์ทรานซิสเตอร์ จนศักดาที่รอยต่อเบส - อิมิตเตอร์มีค่าเท่ากับ $V_{BE(ON)}$ ไบโพลาร์จะเริ่มนำกระแสโดยทำการคายประจุ C_L ลงสู่กราวด์ เมื่อขนาดสัญญาณเอาท์พุทลดลงจนมีค่าเท่ากับ ($V_{DD} - V_{Th}$) ช่วงเวลานี้มอสจะเข้าสู่การทำงานในสภาวะเชิงเส้น คือ $V_{GS} = V_{DD} - V_{BE}$ และ $V_{DS} = (V_{GS} - V_{Th})$ โดยกระแส I_{DS} (หรือ I_B) จะลดลงแบบกำลังสองตามศักดาเอาท์พุทที่ลดลง [($V_{DS} = (V_{O/P} - V_{BE(ON)})$]

$$I_B = I_{DS} = \frac{\mu\varepsilon W}{t_{OX} L}[(V_{GS} - V_{TH})V_{DS} - \frac{V_{DS}^2}{2}] \qquad (3.1)$$

จนกระทั่งศักดาเอาท์พุทมีค่าเท่ากับ $V_{BE(ON)}$ หรือ $V_{DS} = 0$ โวลท์ มอสทรานซิสเตอร์จะหยุดนำกระแส แต่เนื่องจากศักดาที่เบส - อิมิตเตอร์ ยังคงมีค่าเท่ากับ $V_{BE(ON)}$ ดังนั้นในสภาวะสุดท้ายของการสวิทช์ จึงมีค่าศักดาเอาท์พุท $V_{OL} = V_{BE(ON)}$ โดยเสมือนมีไดโอดต่อแคลมป์อยู่ เช่นเดียวกันสำหรับวงจรส่วน Pull-up ซึ่งมี $V_{OH} = V_{DD} - V_{BE(ON)}$ ดังนั้นวงจรไบซีมอสแบบเกทไดโอด (GD) จึงมีช่วงแกว่งสัญญาณแบบไม่เต็มช่วง (Partial swing circuit)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 แสดงวงจรไบซีมอสส่วน Pull-down (a). โครงสร้างแบบ Gate - diode
(b). การทำงานของวงจร

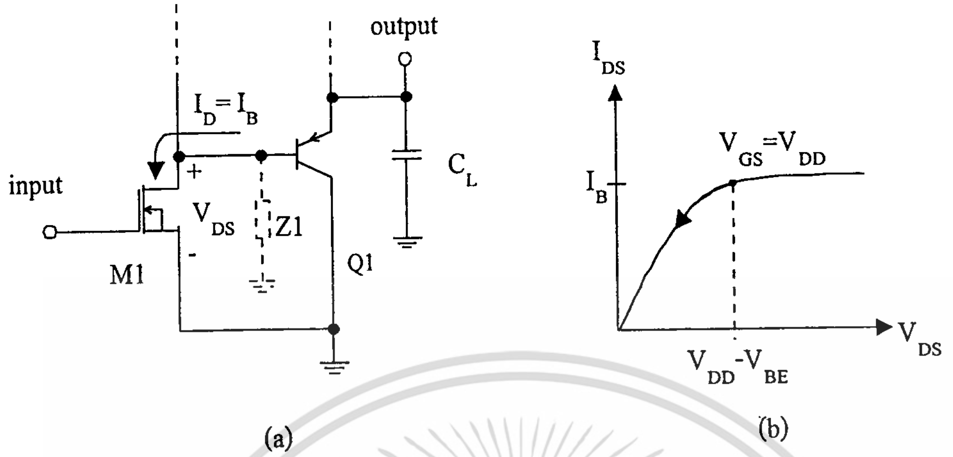
สำหรับการออกแบบวงจรไบซีมอสประเภทนี้ เพื่อเพิ่มความเร็วในการทำงานของวงจร ต้องออกแบบให้ไบโพลาร์ไม่ทำงานสภาวะอิ่มตัว จากรูป 3.7(a)

$$V_{OL}(t) = V_{CE}(t) - I_C(t) * R_C \tag{3.2}$$

ถึงแม้ว่าขณะเกิดการสวิทช์ $V_{OL(dynamic)}$ อาจมีค่าต่ำสุดเท่ากับ $V_{CE(SAT)}$ (ประมาณ 100 - 200 mV) ในช่วงที่กระแส I_C มีค่าสูงสุด และ R_C มีค่าสูง จากนั้นค่า I_C จะลด จนเมื่อกระแส $I_C = 0$ กระแส I_D จะยังคงคายประจุ C_L ต่อไป จนกระทั่งวงจรเข้าสู่สภาวะ Steady state หรือช่วงที่กระแส $I_D = 0$ เมื่อศักดาเอาท์พุท $V_{OL(Static)} = V_{BE}$ เพื่อให้วงจรทำงานเร็วขึ้นคือจาก $V_{OL(Dynamic)}$ เข้าสู่ $V_{OL(Static)}$ โดยเร็ว ดังนั้นต้องออกแบบให้วงจรมีขนาด I_C มีค่าพอเหมาะ และ R_C ต้องมีค่าต่ำ เพื่อป้องกันไม่ให้ไบโพลาร์ทำงานในสภาวะอิ่มตัว

นอกจากวงจรประเภทนี้จะมีช่วงแกว่งสัญญาณแบบไม่เต็มช่วงแล้ว การเปลี่ยนระดับลอจิกจาก 0 ไป 1 และจาก 1 ไป 0 ยังมีลักษณะไม่สมมาตร พิจารณาได้จากวงจรในส่วน Pull-down ประกอบด้วยทรานซิสเตอร์แบบเอ็นมอสและไบโพลาร์แบบ NPN ซึ่งทำงานได้เร็วกว่าวงจรในส่วน Pull-up ซึ่งประกอบด้วยพีมอสและไบโพลาร์แบบ PNP ทั้งนี้เนื่องจากค่าความคล่องตัวของพาหะในชั้นสารหรือค่า Mobility ของอิเล็กตรอนมีค่าสูงกว่าโฮล ดังนั้นจึงต้องมีการออกแบบขนาดของทรานซิสเตอร์ในส่วน Pull-up และ Pull-down ให้เหมาะสมเพื่อให้การสวิทช์เป็นไปแบบสมมาตร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 วงจรไบซีมอสส่วน Pull-down (a). โครงสร้างแบบ Emitter Follower
(b). การทำงานของวงจร

3.3.3 โครงสร้างแบบ Emitter-Follower (EF)

วงจรไบซีมอสประเภทนี้ ไบโพลาร์จะทำงานแบบวงจรอิมิตเตอร์ตาม (Emitter follower) และถูกไบอัสด้วย มอสทรานซิสเตอร์ซึ่งมีการทำงานแบบ Common source และเนื่องจากวงจรมีโครงสร้างแบบวงจรอิมิตเตอร์ตามทำให้ช่วงแกว่งสัญญาณเอาท์พุทเป็นแบบแกว่งไม่เต็มช่วง (Partial swing) เช่นเดียวกับวงจรไบซีมอสแบบ Gate-Diode

การทำงานของวงจร สภาวะเริ่มแรกมอสทรานซิสเตอร์ยังคงคัทออฟ ดังนั้นกระแส $I_D = 0 = I_B$ โดย V_{BE} มีค่าเท่ากับ 0 โวลท์ จากการคายประจุของอุปกรณ์คายประจุ Z_1 ที่สภาวะก่อนหน้านี้ และเมื่อป้อนสัญญาณอินพุท 1 มอสทรานซิสเตอร์จะเริ่มนำกระแสและทำงานในย่านอิ่มตัว เกิดการไบอัสไบโพลาร์ทรานซิสเตอร์ จนศักดาที่รอยต่อเบส - อิมิตเตอร์ มีค่าเท่ากับ $V_{BE(ON)}$ ไบโพลาร์จะเริ่มนำกระแสอย่างรวดเร็ว และเมื่อศักดาเอาท์พุทของวงจรเริ่มลดลงจนมีค่าเท่ากับ V_{DD}- (V_{Th}-V_{BE}) มอสทรานซิสเตอร์ก็เข้าสู่การทำงานในสภาวะเชิงเส้น ดังนั้นกระแส I_D ซึ่งทำการไบอัสทรานซิสเตอร์จะลดลงตามขนาดของ V_O ที่ลดลง เช่นเดียวกับวงจรแบบเกท-ไดโอด สิ่งที่แตกต่างกันคือ วงจรนี้จะมีการสวิทช์ของสัญญาณเอาท์พุทแบบสมมาตร โดยวงจร Pull-up ประกอบด้วยพีมอสทรานซิสเตอร์และไบโพลาร์แบบ NPN ในขณะที่วงจร Pull-down ประกอบด้วยเอ็นมอสทรานซิสเตอร์และไบโพลาร์แบบ PNP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเปรียบเทียบโครงสร้างของวงจรไบซีมอสทั้ง 3 แบบ จะสังเกตุได้ว่าวงจรไบซีมอสแบบ Common- Emitter จะมีประสิทธิภาพต่ำสุด เนื่องจากเกิดการสูญเสียกำลังตลอดเวลา แม้ว่าจะไม่อยู่ในช่วงของการสวิทช์ และถึงแม้ว่าวงจรนี้มีความเร็วในการทำงานสูงสุดก็ตาม วงจรก็ไม่ถูกนำมาใช้ในทางปฏิบัติ เพราะวงจรประเภทนี้ต้องการการออกแบบระบบระบายความร้อนอย่างดี ความร้อนที่สะสมทำให้ประสิทธิภาพด้านความเร็วของวงจรต่ำลง จนในที่สุดทำให้วงจรเกิดทำงานผิดพลาด

ในสำหรับวงจรไบซีมอสแบบ Gate-diode และ แบบ Emitter Follower จะมีค่าเร็วในการทำงานไม่ต่างกันมากนัก เนื่องจากวงจรไบซีมอสแบบ Gate-diode ไบโพลาร์จะต่ออยู่ในลักษณะของ Common-Emitter ซึ่งมีอัตราขยายสูงกว่า วงจรไบซีมอสแบบ Emitter Follower ซึ่งไบโพลาร์ต่อแบบ Common-Collector แต่อย่างไรก็ตามเนื่องจาก V_{GS} ซึ่งและตัวกำหนดขนาด I_D หรือกระแสไบอัสไบโพลาร์ของวงจรนี้ ($V_{GS} = V_{DD}$) มีค่าสูงกว่า V_{GS} ของวงจร Gate-Diode ($V_{GS} = V_{DD} - V_{BE(ON)}$) ดังนั้นโดยรวมแล้ว วงจรทั้ง 2 จึงมีความเร็วไม่แตกต่างกันมากนัก และเนื่องจาก V_{GS} ของวงจรแบบ Emitter-Follower ไม่ได้ถูกลดทอนลงด้วยศักดาที่รอยต่อเบส-อิมิตเตอร์ ทำให้สะดวกในการปรับลดขนาดของแรงดันแหล่งจ่าย

นอกจากนี้วงจรไบซีมอสแบบ Gate-Diode ในส่วนมอสทรานซิสเตอร์ ขาซอร์ส (ซึ่งต่อกับฐานรอง) ถูกต่อเข้ากับขาเบสของไบโพลาร์ทรานซิสเตอร์ และจากศักดาที่เบส-อิมิตเตอร์นี้ ทำให้มอสทรานซิสเตอร์เกิดปรากฏการณ์ Body Effect คือทำให้ V_{Th} มีค่าสูงขึ้น ส่งผลให้วงจรทำงานช้าลงบ้างเล็กน้อย

ดังนั้นจะเห็นว่าวงจรไบซีมอสแบบ Emitter Follower นี้ มีประสิทธิภาพในการทำงานสูงสุด และง่ายต่อการออกแบบวงจร แต่วงจรดังกล่าวจำเป็นต้องใช้อุปกรณ์ ไบโพลาร์ทั้งแบบ PNP และ NPN ทำให้ต้องให้เทคโนโลยีแบบ Complementary BiCMOS (CBiCMOS)ในการผลิต ซึ่งต้องอาศัย mask เพิ่มเติมมากขึ้นสำหรับสร้างไบโพลาร์ทั้ง 2 แบบ และเพื่อให้ไบโพลาร์ที่ได้มีคุณสมบัติที่สมพงษ์กัน ตลอดจนมีอัตราขยายกระแส (β) และความถี่ในการทำงาน (f_T) สูง ทำให้ต้องใช้เทคโนโลยีขั้นสูงในการผลิต ผลคือทำให้ต้นทุนในการผลิตสูง สำหรับการประยุกต์ใช้ในวงจรไบซีมอสบางประเภทที่ไม่ต้องการประสิทธิภาพในการทำงานสูงนัก อาจหลีกเลี่ยงโดยการออกแบบให้วงจรประกอบด้วยไบโพลาร์แบบ NPN เท่านั้น ซึ่งจะกล่าวถึงต่อไป

เมื่อทำการออกแบบวงจรไบซีมอสในส่วนซีมอสซึ่งทำหน้าที่เป็นลอจิกฟังก์ชั่น และส่วนไบโพลาร์ซึ่งทำหน้าที่ขับสัญญาณแล้ว ในขั้นตอนไป คือการเพิ่มอุปกรณ์คายประจุค้างที่รอยต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เบส - อิมิตเตอร์ ซึ่งจำเป็นสำหรับวงจรไบซีมอส เนื่องจากประจุค้างที่รอยต่อเบส - อิมิตเตอร์ทำให้ไบโพลาร์ยังคงนำกระแสต่อไป ถึงแม้ว่าไม่มีการไบอัสทรานซิสเตอร์แล้วก็ตาม การนำกระแสจะดำเนินต่อไปจนกว่าประจุค้าง ซึ่งเป็นพาหะส่วนน้อยเกิดการรวมตัวกับพาหะส่วนมากและเข้าสู่สภาวะสมดุล (Equilibrium condition) ขั้นตอนดังกล่าวกินเวลานาน โดยเฉพาะอย่างยิ่งเมื่อไบโพลาร์ทำงานในโหมดกระแสสูง (high current level mode) อันเป็นผลให้เกิดประจุค้างจำนวนมาก

อุปกรณ์คายประจุ (discharge element) อาจเป็นได้ทั้งอุปกรณ์ Active และ/หรือ Passive โครงสร้างอาจเป็นแบบเรียบง่าย คือ ตัวต้านทาน หรือมอสทรานซิสเตอร์ หรืออาจเป็นโครงสร้างยุ่งยากที่มีการป้อนกลับ โดยทั่วไปอุปกรณ์คายประจุนี้ นิยมใช้มอสทรานซิสเตอร์ในการคายประจุ เนื่องจากมีขนาดเล็กและสามารถกำหนดให้อุปกรณ์ทำงานในช่วงเวลาที่ต้องการได้ ต่างกับการใช้ตัวต้านทานในการคายประจุ ดังรูปที่ 3.9(a) ซึ่งมีขนาดใหญ่และกินพลังงาน เนื่องจากไม่สามารถควบคุม ทำให้เกิดกระแสไหลผ่านตลอดเวลา และเมื่อไบโพลาร์หยุดนำกระแส กระแสยังคงไหลผ่านตัวตานทานทำให้ ช่วงแกว่งของสัญญาณเอาท์พุทเป็นแบบแกว่งเต็มช่วง การเพิ่มขนาดของตัวต้านทาน ทำให้กระแสดังกล่าวลดลง ดังนั้นกำลังสูญเสียจึงลดลง แต่การเพิ่มขนาดของตัวต้านทานก็ทำให้พื้นที่ชิปเพิ่มขึ้น และยังลดประสิทธิภาพในการคายประจุ เป็นผลให้ค่าหน่วงเวลาเพิ่มขึ้นด้วย โดยปรกตินิยมออกแบบให้ตัวต้านทานมีกระแสไหลผ่านประมาณ 10% ของกระแส I_{DS} ซึ่งเพียงพอต่อการคายประจุค้างที่รอยต่อ

$$R = \frac{V_{BE(ON)}}{0.1 I_{DS(SAT)}} \tag{3.3}$$

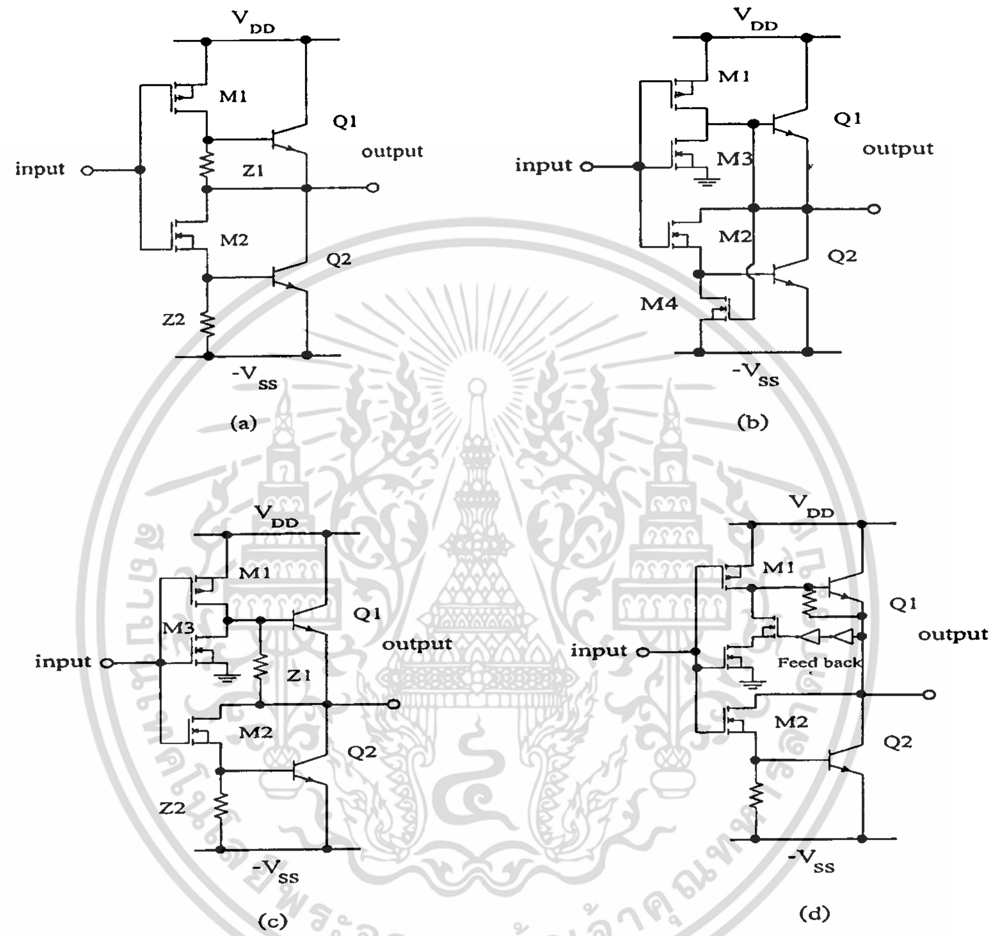
ดังนั้นหากกระแส $I_{DS(SAT)}$ มีค่าเท่ากับ 2 mA เพราะฉะนั้นตัวต้านทานจะมีขนาดเท่ากับ 4 kΩ

จากรูปที่ 3.9(b) มอสทรานซิสเตอร์ M3 และ M4 จะทำหน้าที่คายประจุ ดังนั้นวงจรนี้จึงมีการแกว่งของสัญญาณเอาท์พุทแบบไม่เต็มช่วง สังเกตุว่าในขณะที่เกิดการสวิทช์ หรือสภาวะกึ่งเปิดกึ่งปิด จะเกิดกระแสลัดวงจรจากแหล่งจ่ายสู่กราวด์ผ่าน M3 และ M4 และในส่วนของไบโพลาร์ด้วย ดังนั้นวงจรนี้จึงมีการสูญเสียกำลังลัดวงจรจำนวนมาก

สำหรับวงจรในรูปที่ 3.9(c) เป็นวงจรแกว่งเต็มช่วง โดยมอสทรานซิสเตอร์ M3 และ Z_2 ทำหน้าที่คายประจุค้าง ในขณะที่ Z_1 ซึ่งออกแบบให้มีขนาดใหญ่เพื่อลดกระแสรั่วไหล จะทำหน้าที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผ่านกระแสทำให้การแกว่งสัญญาณเอาท์พุทแบบเต็มช่วง ดังนั้นวงจรนี้จึงมีความเร็วสูงกว่าวงจรในรูป 3.9(a) แต่วงจรนี้ก็ไม่สามารถลดกำลังสูญเสียลัดวงจร ในสภาวะกึ่งเปิดกึ่งปิดลงได้

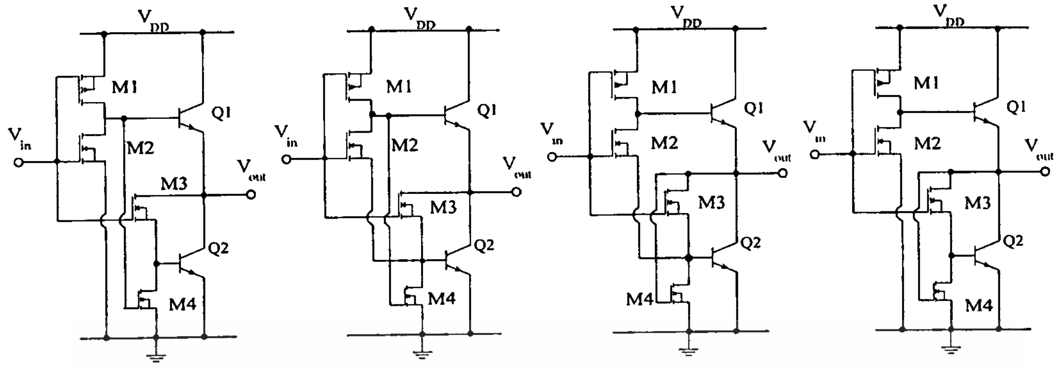


รูปที่ 3.9 วงจรไบซีมอสอินเวอร์เตอร์ที่ประกอบด้วยอุปกรณ์คายประจุแบบ

(a). Passive (b). Active (c). Passive/Active (d). Feedback

ในรูปที่ 3.9(d) จุดประสงค์ของวงจรนี้เพื่อลดผลของกระแสลัดวงจร ด้วยการควบคุมเวลาในการนำกระแสของอุปกรณ์คายประจุ โดยอาศัยค่าหน่วงเวลาของวงจรป้อนกลับ ทำให้ไม่เกิดช่องทางเดินกระแสตรงในขณะเกิดการสวิทช์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 วงจรไบซีมอสอินเวอร์เตอร์ ที่มีการเชื่อมต่ออุปกรณ์คายประจุแบบ Active

เนื่องจากข้อเสียของอุปกรณ์ภายประจุแบบ Passive ดังนั้นในปัจจุบันจึงนิยมออกแบบวงจรไบซีมอสลอจิก โดยใช้มอสทรานซิสเตอร์เป็นอุปกรณ์คายประจุ รูปที่ 3.10 เป็นวงจรไบซีมอส ที่มีโครงสร้างแบบ Totem Pole และมีช่วงแกว่งสัญญาณแบบ Partial swing คือมี $V_{OL} = V_{BE}$ และ $V_{OH} = V_{DD} - V_{BE}$

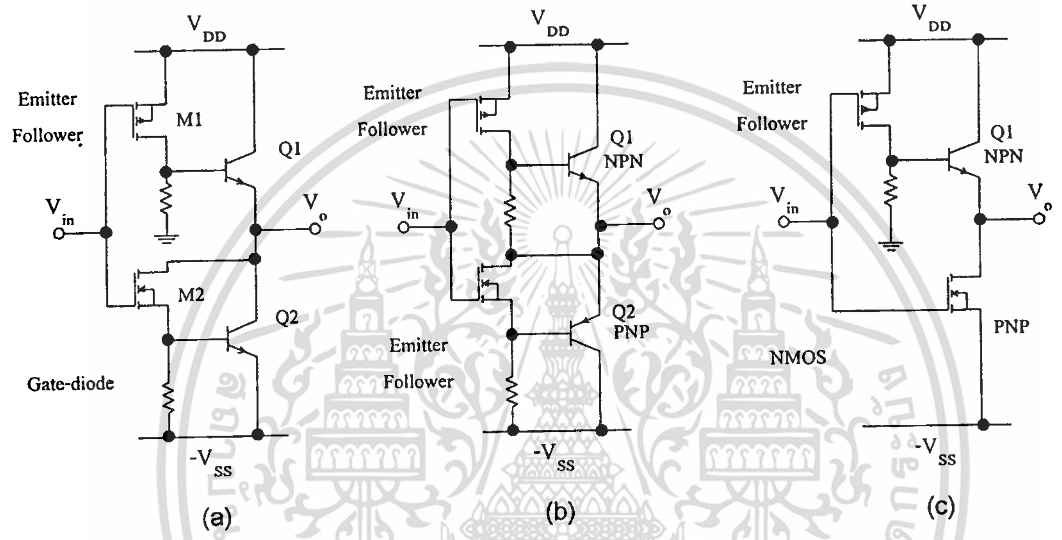
3.4 ประเภทของวงจรไบซีมอส

จากขั้นตอนในการออกแบบวงจรไบซีมอส โครงสร้างในการเชื่อมต่อวงจร Pull-up และ Pull-down กับส่วนไบโพลาร์ที่แตกต่างกัน ทำให้การทำงานและคุณลักษณะทั้งไดนามิกและสแตติกแตกต่างกันไป ดังนั้นในการเลือกโครงสร้างใด ก็ขึ้นอยู่กับคุณลักษณะและการทำงานที่ต้องการ นอกจากนี้ยังขึ้นอยู่กับเทคโนโลยีที่เลือกใช้ เช่น วงจรไบซีมอสที่ใช้อุปกรณ์ไบโพลาร์แบบ NPN อย่างเดียวจะใช้เทคโนโลยีแบบไบซีมอสธรรมดา ขั้นตอนในการผลิตจะง่ายกว่าและมีต้นทุนน้อยกว่า วงจรไบซีมอสซึ่งประกอบด้วยไบโพลาร์ทั้งแบบ NPN และ PNP ซึ่งต้องใช้เทคโนโลยีแบบ CBiCMOS ดังรูป 3.1(a) และ (b) ตามลำดับ

จากวงจรในรูป 3.11(c) เป็นวงจรไบซีมอส แบบ BiNMOS โดยมีวงจรในส่วน Pull up เป็นโครงสร้างแบบ Emitter follower ในขณะที่ส่วน Pull down มีโครงสร้างแบบ NMOS วงจรไบซีมอส ประเภทนี้ เหมาะสำหรับวงจรที่ไม่ต้องการความเร็วในการทำงานสูงนัก เนื่องจากโดยปรกติแล้วเอ็นมอสจะนำกระแสได้สูงกว่าพีมอสทรานซิสเตอร์ที่ขนาดพื้นที่เท่ากัน กล่าวคือ เอ็นมอสมีค่าทรานส์คอนดักแตนซ์สูงกว่าพีมอสทรานซิสเตอร์ในส่วน Pull up ดังนั้นจึงมีการเพิ่มไบโพลาร์เฉพาะวงจรในส่วน Pull up เพื่อเพิ่มค่าทรานส์คอนดักแตนซ์ในกับวงจร จะสังเกตุได้ว่า วงจรไบซีมอสประเภทนี้มีขนาดเล็ก และจำนวนอุปกรณ์ที่ใช้ก็น้อยกว่าวงจรไบซีมอสประเภทอื่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

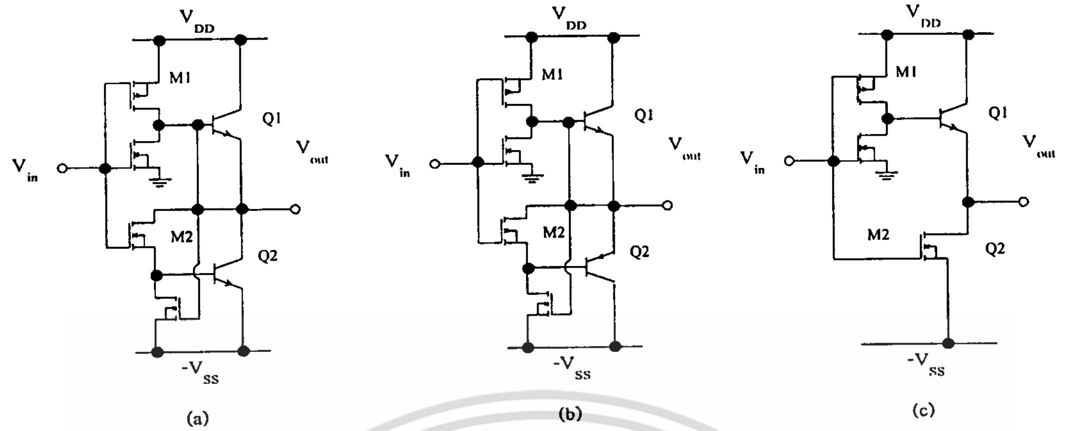
มาก ดังนั้นวงจรนี้จึงเหมาะกับวงจรรวมที่ต้องการความหนาแน่นสูง ที่ไม่ต้องการความเร็วในการทำงานสูงมากนัก นอกจากนี้วงจรดังกล่าวยังเหมาะกับวงจรที่มีช่วงแหล่งจ่ายไฟแคบ ๆ และการลดขนาด วงจร (Scaling down) เนื่องจากไม่เกิดข้อจำกัดจากศักดาที่รอยต่อ เบส - อิมิตเตอร์ ในวงจรส่วน Pull down ดังนั้นจึงสามารถลดขนาดแหล่งจ่ายลงได้มากกว่าวงจรไบซีมอสประเภทอื่น ๆ



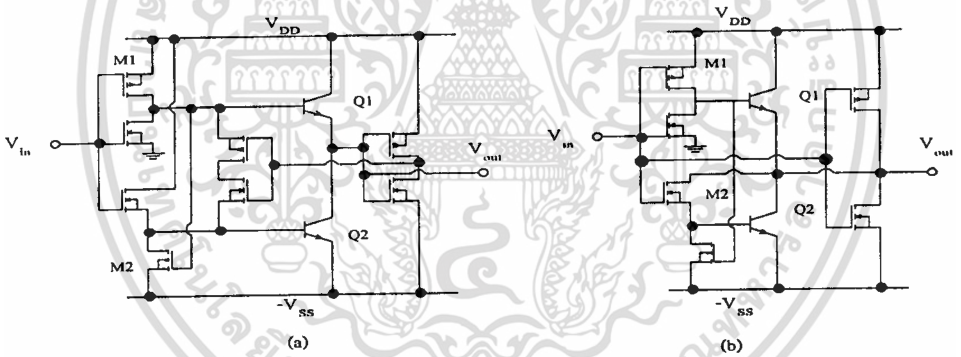
รูปที่ 3.11 วงจรไบซีมอสอินเวอร์เตอร์ (a) Totem pole BiCMOS
(b) Complementary BiCMOS(CBiCMOS) (c) BiNMOS

จากวงจรในรูป 3.11 อุปกรณ์ที่ใช้ในการคายประจุค้างที่รอยต่อเบส - อิมิตเตอร์เป็นแบบ Passive ทั้งหมด ทำให้มีช่วงแกว่งสัญญาณแบบ Full swing ในขณะที่รูปที่ 3.12 และ 3.13 เป็นวงจรไบซีมอส แบบเดียวกันแต่มีอุปกรณ์คายประจุแบบ active และการแกว่งสัญญาณเป็นแบบ Partial swing และ Full swing ตามลำดับ ซึ่งจากโครงสร้างของวงจรในส่วน Pull-up และ Pull-down ที่ต่างกันจะส่งผลให้การทำงานและคุณลักษณะทางเอาท์พุทต่างกันแล้ว อุปกรณ์ที่ใช้ในการคายประจุตลอดจนการเชื่อมต่อก็ส่งผลต่อการทำงานของวงจรด้วย โดยวงจรแต่ละประเภทต่างมีข้อดีข้อเสียในด้าน ความเร็ว ขนาด กำลังสูญเสีย ในแต่ละเงื่อนไขที่กำหนดเช่น ขนาดของแหล่งจ่าย การลดขนาด และเทคโนโลยีที่เลือกใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 วงจรไบซีมอส แบบ Partial swing (a) Totem pole BiCMOS (b). CBiCMOS (c). BiNMOS

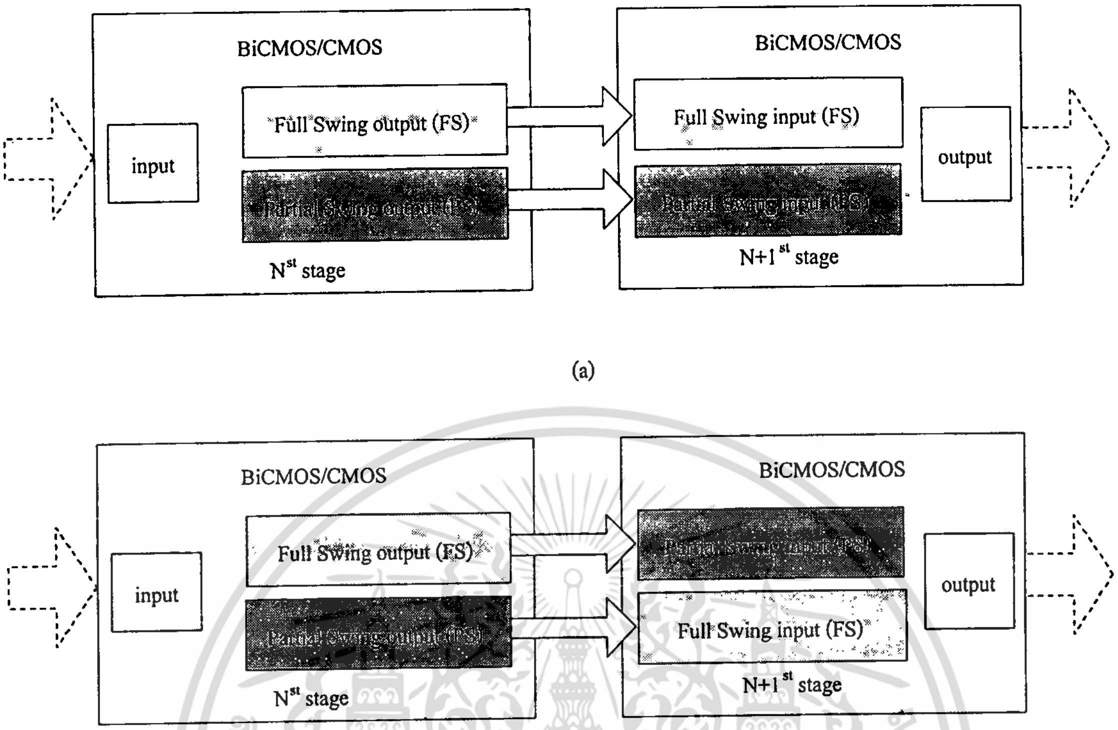


รูปที่ 3.13 วงจรไบซีมอส แบบ Partial swing (a). CBiCMOS (b). Totem pole ขนานกับ CMOS

3.5 การเชื่อมโยงวงจรไบซีมอสและซีมอสลอจิก

สำหรับการออกแบบวงจรรวมด้วยเทคโนโลยีไบซีมอส ซึ่งมีช่วงแกว่งสัญญาณเอาท์พุททั้งแบบ Full swing และแบบ Partial swing เมื่อทำการเชื่อมโยง (interconnect) กับวงจรซีมอสและวงจรไบซีมอส ทำให้เกิดการเชื่อมโยงหลายภาค (Multistage หรือ Multi-level) ใน 2 รูปแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a)

(b)

รูปที่ 3.14 การเชื่อมโยงวงจรแบบ Multistage (a) non - intermix (b) intermix

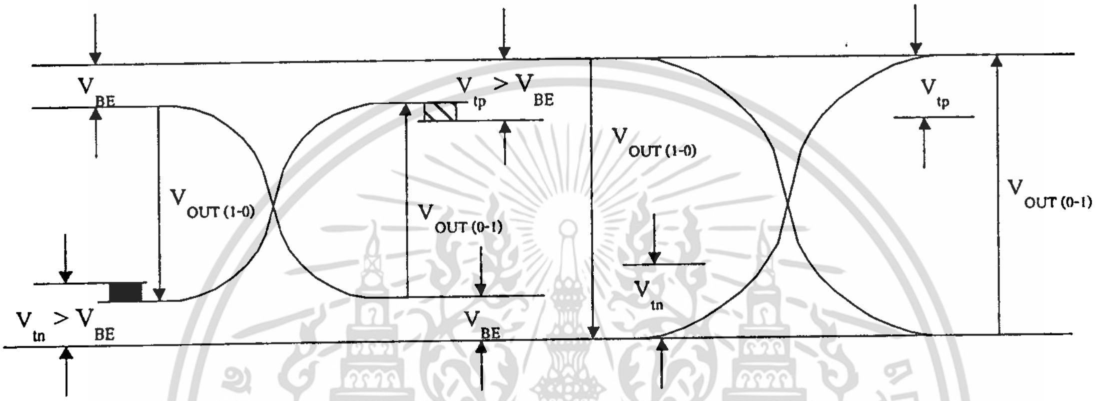
1. แบบ non - intermix คือ การเชื่อมโยงวงจรในแต่ละภาค โดยช่วงแกว่งสัญญาณทั้งอินพุทและเอาท์พุทเป็นแบบ Full swing หรือ แบบ Partial swing อย่างใดอย่างหนึ่ง ซึ่งโดยปรกติแล้ววงจรซีมอสจะมีช่วงแกว่งสัญญาณอินพุทและเอาท์พุทเป็นแบบ Full swing ดังนั้นสำหรับกรณีการเชื่อมโยงแบบ PS-PS วงจรในภาคแรกจึงเป็นวงจรไบซีมอส ในขณะที่ภาคที่สองอาจเป็นได้ทั้งวงจรซีมอสและไบซีมอส ที่ทำการลดช่วงแกว่งสัญญาณอินพุทด้วยเทคนิคต่าง ๆ ดังจะกล่าวถึงต่อไป

2. แบบ intermix คือการเชื่อมโยงวงจรโดยมีช่วงแกว่งสัญญาณอินพุทและเอาท์พุทต่างกัน ส่วนใหญ่จะเป็นลักษณะ PS-FS การเชื่อมโยงแบบนี้สามารถพบได้ทั่วไป เมื่อทำการเชื่อมโยงระหว่างวงจรไบซีมอส กับวงจรซีมอสหรือไบซีมอส เนื่องจากวงจรไบซีมอสมีช่วงแกว่งสัญญาณเอาท์พุทแบบ PS ในขณะที่วงจรไบซีมอสและซีมอส มีช่วงแกว่งสัญญาณอินพุทแบบ FS

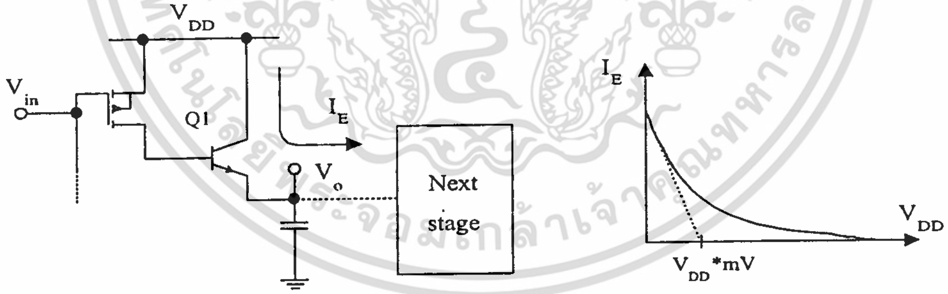
โดยปรกติวงจรไบซีมอสซึ่งมีช่วงแกว่งสัญญาณเอาท์พุทแบบ PS จะถูกเชื่อมโยงกับวงจรซีมอสหรือไบซีมอสที่มีช่วงแกว่งสัญญาณอินพุทแบบ FS ซึ่งถูกออกแบบมาให้มีค่า V_{Th} ของมอสทรานซิสเตอร์ในส่วนลอจิกฟังก์ชันมีค่าพอเหมาะ เพื่อให้เกิดการสวิทช์อย่างรวดเร็ว แต่ยังคงมีช่วง noise margin ค่าหนึ่ง แต่เมื่อทำการลดขนาดแหล่งจ่ายหรือการทำ scaling วงจร ค่า V_{Th} จะลดลงใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขณะที่ ค่า V_{BE} มีค่าคงที่ ทำให้การลดขนาดถูกจำกัดและจากธรรมชาติในการนำกระแสของอุปกรณ์ไบโพลาร์ทรานซิสเตอร์ในส่วนขับกระแสของวงจรไบซีมอส จะขับกระแสไปยังโหลดอย่างต่อเนื่องโดยลดลงแบบลอการิทึม เมื่อระดับสัญญาณเอาท์พุทเพิ่มขึ้น จากการประมาณอันดับ 1 (First order approximation) สัญญาณเอาท์พุทจะเพิ่มขึ้นอย่างรวดเร็วในระดับร้อยมิลลิโวลท์เท่านั้น เมื่อเทียบกับขนาดของแหล่งจ่ายไฟ



รูปที่ 3.15 การเชื่อมโยงแบบ intermix (PS ⟶FS)



รูปที่ 3.16 การนำกระแสของไบโพลาร์ในวงจรไบซีมอส ในส่วน Pull - up

ค่ากระแสต่ำ ๆ หลังจากเกิดการเปลี่ยนระดับอย่างรวดเร็วนี้ จะส่งไปยังภาคถัดไปด้วย ดังนั้นเมื่อทำการเชื่อมโยงดังกล่าว สัญญาณเอาท์พุทจากภาคแรกที่ป้อนสู่ภาคที่สองจะทำให้ มอสทรานซิสเตอร์ในภาคที่สองเริ่มนำกระแสแม้ไม่ใช่ช่วงเวลาการสวิทช์ก็ตาม และถึงแม้สัญญาณอินพุทนี้ยังคงอยู่ในช่วง noise margin ซึ่งไม่ทำให้วงจรในภาคที่สองเกิดการเปลี่ยนแปลงระดับลอจิกก็ตาม แต่ผลของกระแสสถิตในช่วงที่ไม่มีการสวิทช์ ทำให้เกิดกำลังงานสูญเสียสถิตเพิ่มขึ้น ดังนั้นในการเชื่อมโยงแบบ intermix เมื่อทำการลดวงจร จึงต้องมีการออกแบบวงจรในภาคที่สองด้วยเสมอ โดยการปรับค่า V_{Th} ให้มีค่ามากกว่า V_{BE} เสมอ แต่ค่า V_{Th} ที่เพิ่มจะทำให้วงจรในภาคที่

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สองทำงานช้าลงด้วย นอกจากนี้ค่าสัญญาณอินพุทซึ่งมีค่าเท่ากับ V_{BE} ยังเป็นผลให้เกิดกระแสเทรสโฮลย่อย (I_{SUB}) ซึ่งเป็นปรากฏการณ์รองที่เกิดขึ้นกับมอสทรานซิสเตอร์ คือ เมื่อ V_{GS} มีค่าน้อยกว่า V_{Th} ซึ่งไม่ทำให้เกิดชั้นกลับใต้เกท แต่ V_{GS} ยังคงเหนี่ยวนำให้เกิดประจุพาหะชนิดตรงข้ามซึ่งเป็นพาหะข้างน้อยขึ้นที่ผิวของฐานรองใต้ชั้น Buried layer ซึ่งถูกเจือให้มีความเข้มข้นสูง พาหะดังกล่าว ทำให้เกิดช่องทางเดินกระแสระหว่างเดรนกับซอร์สขึ้น ซึ่งประมาณได้จาก

$$I_{SUB} = \frac{qAD_{(n.p)}n_i e^{-q|\phi_F|/KT}(1-e^{-qV_{DS}/KT})e^{q\phi_{SUB}/KT}}{L_{DS}} \qquad (3.4)$$

โดยที่ A คือพื้นที่ภาคตัดขวางของช่องทางเดินกระแส

$D_{(N.P)}$ คือสัมประสิทธิ์ในการแพร่ของสารเจือที่เดรนและซอร์ส

L_{DS} คือระยะระหว่างช่องทางเดินกระแส

V_{DS} คือแรงดันระหว่างเดรนกับซอร์ส

ϕ_{SUB} คือศักดาไฟฟ้าที่ผิว ซึ่งจะมีค่าเป็น ($\phi_{SUB} = V_{GS} - V_{Th}$)

V_{GS} คือแรงดันระหว่างเกทกับเดรน

จากสมการข้างต้นจะเห็นว่านอกจาก V_{GS} ที่เพิ่มขึ้น ทำให้กระแสเทรสโฮลย่อยมีค่าเพิ่มขึ้น ระยะระหว่างช่องทางเดินกระแส L_{DS} ที่ลดลง จากการลดขนาดวงจรยังมีผลให้กระแสเทรสโฮลย่อยเพิ่มขึ้นอีกด้วย

จากข้อเสียของการเชื่อมต่อแบบ intermix (PS⟶FS) ดังนั้นจึงนิยมออกแบบให้มีการเชื่อมโยงแบบ non intermix คือ

1. FS⟶FS ด้วยการเปลี่ยนวงจรไบซีมอสในภาคแรกให้มีการแกว่งสัญญาณเอาท์พุทแบบเต็มช่วง (FS)

2. PS⟶PS ด้วยการเปลี่ยนวงจรซีมอสหรือไบซีมอสในภาคที่สองให้มีช่วงแกว่งสัญญาณอินพุทแบบ Partial swing (PS)

การเชื่อมโยงวิธีแรกนี้ จะทำให้วงจรในส่วนแรกมีความซับซ้อนขึ้นคือ ต้องทำการปรับปรุงวงจรไบซีมอสให้มีช่วงสวิงสัญญาณแบบ FS ในขณะที่วิธีที่สอง ต้องทำการปรับช่วงแกว่งสัญญาณอินพุทของวงจรในภาคที่สองให้มีช่วงแกว่งสัญญาณแบบ PS การปรับปรุงวงจรนี้ทำได้ง่ายกว่าวิธีแรก เนื่องจากเป็นการปรับปรุงช่วงการทำงานของวงจรย่อยซีมอสที่ทำหน้าที่กำหนด ลอจิกฟังก์ชันในวงจรไบซีมอสหรือวงจรซีมอส ให้มีช่วงแกว่งสัญญาณต่ำลง วิธีหนึ่งคือการใช้แหล่งจ่ายไฟ 2

เอกสารนี้จึงเป็นเพียงเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขนาด คือแหล่งจ่ายไฟหนึ่งสำหรับวงจรย่อยซีมอส และอีกวงจรสำหรับไบโพลาร์ซึ่งทำหน้าที่ขับกระแสในวงจรไบซีมอส หรือใช้แหล่งจ่ายไฟเดียวแต่ใช้อุปกรณ์ลดทอนขนาดแหล่งจ่ายลง

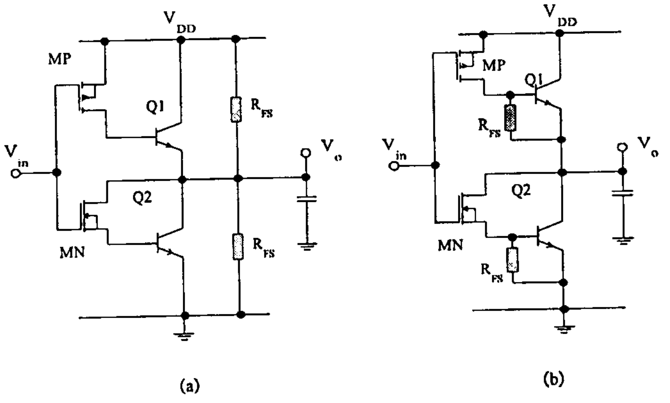
อย่างไรก็ตามสำหรับการออกแบบวงจรรวม VLSI ซึ่งเป็นการออกแบบที่ซับซ้อนมาก ต้องมีการจัดระเบียบให้เป็นการออกแบบลำดับขั้น (Hierachical method) โดยแยกวงจรทั้งวงจรออกเป็นโมดูล (Modules) เซลประกอบ (Composition cells) และเซลย่อย (Leaf cells) การเปลี่ยนแปลงเซลย่อย หรือการออกแบบ แบบ Custom method ทำให้เสียเวลาและค่าใช้จ่ายเพิ่มขึ้น ดังนั้นสำหรับวงจรที่มีขนาดแหล่งจ่ายไฟสูง ($\leq$ 5V) และยอมรับกำลังสูญเสียจากกระแสสถิตและค่าหน่วงเวลาที่เพิ่มขึ้นจาก V_{Th} ที่เพิ่มขึ้น วงจรประเภทนี้จึงยังคงถูกออกแบบให้มีการเชื่อมโยงแบบ intermix อยู่

3.6 เทคนิคการออกแบบการเชื่อมโยงแบบ non - intermix

3.6.1 การเชื่อมโยงแบบ FS $\rightarrow$ FS

ในการออกแบบวงจรรวมซึ่งประกอบด้วยวงจรไบซีมอสและซีมอส ซึ่งมีช่วงแกว่งของสัญญาณเอาท์พุทต่างกัน คือวงจรไบซีมอสจะมีช่วงแกว่งสัญญาณต่ำกว่าเนื่องจากศักดาที่รอยต่อของไบโพลาร์ในส่วนขับกระแส ดังนั้นเพื่อให้วงจรไบซีมอสมีช่วงแกว่งสัญญาณเต็มช่วงตามขนาดของแหล่งจ่ายไฟ จึงต้องเพิ่ม โครงข่ายขนาน (Shunt Network) เพื่อให้วงจรไบซีมอสยังคงทำงานต่อไป หลังจากที่ไบโพลาร์หยุดนำกระแส รูปที่ 3.17

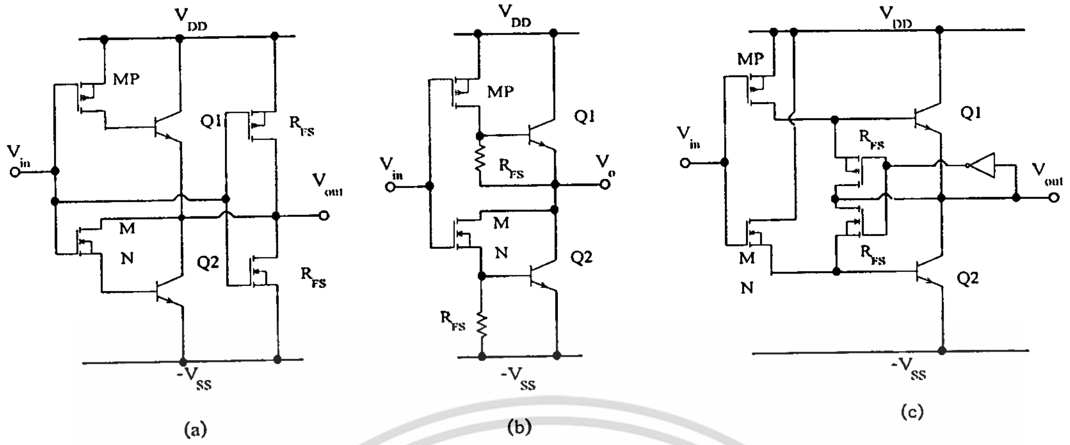
โครงข่ายขนานในรูปที่ 3.18(a) เป็นอุปกรณ์ประเภท Active ซึ่งมักออกแบบด้วยมอสทรานซิสเตอร์ ในขณะที่วงจรในรูปที่ 3.18(b) เป็นได้ทั้งอุปกรณ์ Active และ Passive โครงข่ายนี้ทำหน้าที่ดึงสัญญาณเอาท์พุทให้มีช่วงแกว่งสัญญาณเท่ากับแหล่งจ่ายและทำการคงค่านั้นไว้ในช่วงที่ไม่มีการเปลี่ยนระดับสัญญาณ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

รูปที่ 3.17 การเพิ่มโครงข่ายขนาน (a) คอลเลคเตอร์ - อิมิตเตอร์ (b) เบส - อิมิตเตอร์

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.18 วงจรภายในไบซีมอส (a) โครงข่ายขนานที่รอยต่อ E - C

(b). โครงข่ายขนานแบบ Passive ที่รอยต่อ B - E

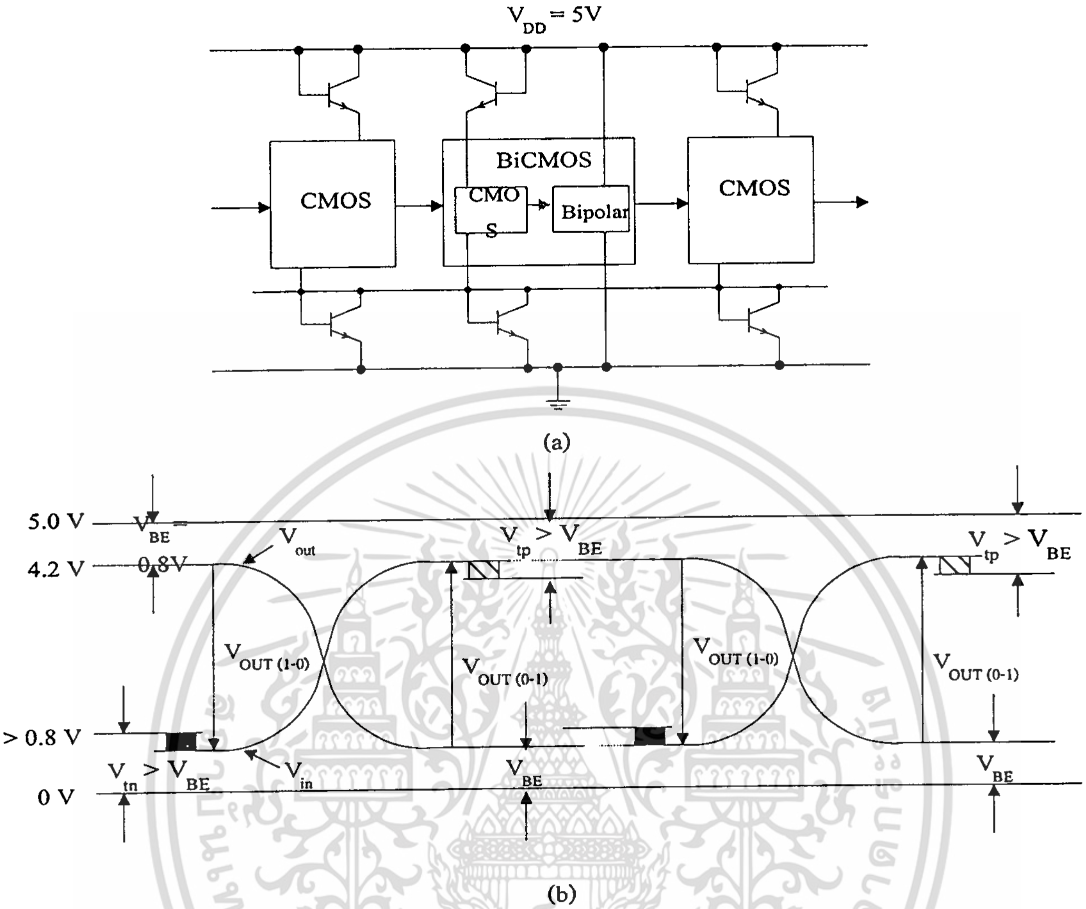
(c). โครงข่ายขนานแบบ Active ที่รอยต่อ B- E

3.6.2 การเชื่อมโยงแบบ PS⟶PS

นอกจากข้อดีในการออกแบบวงจรรวมไบซีมอสให้มีการเชื่อมโยงแบบ non - intermix ดังกล่าวแล้ว ข้อดีอีกประการหนึ่งสำหรับการออกแบบให้มีการเชื่อมโยงแบบ PS⟶PS คือ กำลังงานสูญเสียไดนามิกที่ลดลง เงื่อนไขนี้มีความสำคัญเพิ่มขึ้นเมื่อวงจรรวมดิจิตอลซึ่งประกอบด้วยเกทจำนวนมากและทำงานที่ความถี่สู่ในระดับร้อยเมกะเฮิรตซ์ การลดช่วงสวิงของสัญญาณเป็นเทคนิคหนึ่งในการลดการสูญเสียกำลังงานไดนามิก ซึ่งเป็นองค์ประกอบสำคัญของกำลังงานสูญเสียทั้งหมด การลดขนาดแหล่งจ่ายไฟ หรือการ scaling ช่วยทำให้ช่วงแกว่งสัญญาณลดลง ซึ่งมักใช้เป็นทางเลือกสุดท้ายในการลดกำลังงานสูญเสีย

แนวคิดสำหรับการออกแบบวงจรไบซีมอสและซีมอสให้มีช่วงแกว่งสัญญาณอินพุทแบบ PS คือการปรับลดขนาดแหล่งจ่ายในส่วนวงจรอินพุทลง วิธีหนึ่งคือการปรับลดขนาดด้วยการเลื่อนระดับสัญญาณโดยอาศัยศักดาที่รอยต่อของไดโอดหรือศักดาที่รอยต่อ เบส - อิมิตเตอร์ซึ่งมีค่าคงที่ วงจรรวมที่ออกแบบด้วยวิธีนี้ เรียกว่า Level - shift BiCMOS circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

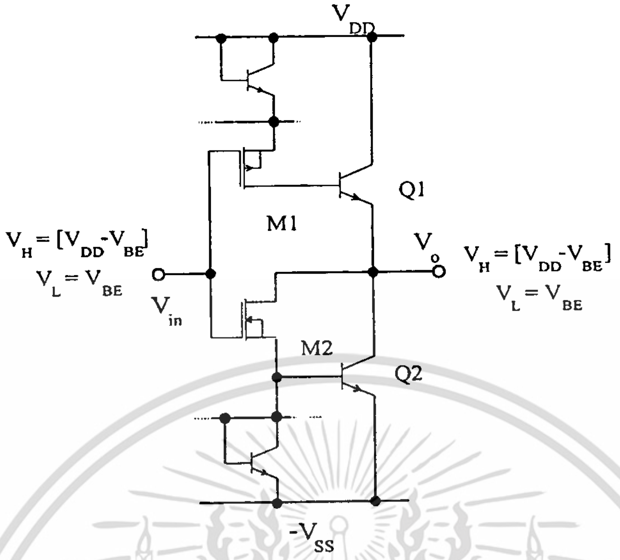


รูปที่ 3.19 วงจรเลื่อนระดับสัญญาณ BiCMOS (a). การเลื่อนระดับสัญญาณด้วย V_{BE}

(b). การโอนถ่ายสัญญาณ อินพุทและเอาท์พุท

จากรูป 3.19(b) วงจรซีมอสซึ่งมีการแกว่งสัญญาณเอาท์พุทแบบเต็มช่วง แต่ช่วงการแกว่งถูกจำกัดโดยค่าศักดาที่รอยต่อ เบส - อิมิตเตอร์ ช่วงการแกว่งของสัญญาณที่แคบลงนี้ทำให้วงจรซีมอสมีความเร็วในการทำงานสูงขึ้น เมื่อสัญญาณถูกส่งผ่านไปยังวงจรไบซีมอส วงจรย่อยซีมอสภายใน ซึ่งถูกออกแบบให้มีช่วงแกว่งสัญญาณอินพุทลดลงเช่นเดียวกันนั้นจะทำให้ค่าแรงดันไบอัสอุปกรณ์ไบโพลาร์ทรานซิสเตอร์ลดลง วงจรไบซีมอสจึงมีค่าทรานคอนดักแตนซ์ลดลง เป็นผลให้วงจรไบซีมอสทำงานช้าลงบ้าง การเพิ่มค่าทรานคอนดักแตนซ์ ($g_m \propto W/L$) ของอุปกรณ์ มอสทำให้ค่าคอนดักแตนซ์ของวงจรดีขึ้นได้ สัญญาณเอาท์พุทที่ได้จากวงจรไบซีมอสซึ่งมีช่วงแกว่งสัญญาณแบบ Partial swing ก็จะถูกส่งต่อไปยังวงจรซีมอส/ไบซีมอส ส่วนอื่นต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.20 วงจรไบซีมอสแบบเลื่อนระดับ

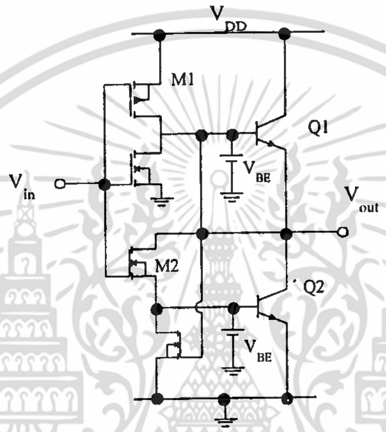
จากการเลื่อนระดับแรงดันให้มีช่วงการทำงานแบบ PS โดยอาศัยศักดาที่รอยต่อเบส-อิมิตเตอร์ซึ่งทำหน้าที่เป็นไดโอด ทำให้เกิดกระแสไหลผ่านไดโอดเมื่อเกิดการเปลี่ยนระดับสัญญาณ กระแสที่ไหลผ่านนี้ทำให้เกิดกำลังสูญเสียจากค่าความต้านทานภายในของไดโอด ความร้อนที่เกิดจากกำลังสูญเสียทำให้ศักดาที่รอยต่อเปลี่ยนไปด้วย นอกจากการใช้ไดโอดในการเลื่อนระดับสัญญาณ อาจใช้การออกแบบวงจรรวมให้มีแหล่งจ่ายไฟ 2 ขนาด เพื่อลดจำนวนและความไม่แน่นอนของอุปกรณ์

นอกจากนี้ ในการออกแบบวงจรไบซีมอสด้วยแหล่งจ่ายไฟ 2 ขนาด ทำให้สามารถกำหนดขนาดของช่วงแกว่งสัญญาณเอาท์พุทให้อยู่ในระดับใด ๆ ตามที่ต้องการ ทำให้ง่ายต่อการเชื่อมโยงระหว่างวงจร โดยการกำหนดแรงดันไบอัสให้กับไบโพลาร์ทรานซิสเตอร์ อย่างไรก็ตามสำหรับวงจรไบซีมอสซึ่งใช้อุปกรณ์ Active จะต้องกำหนดให้แรงดันไบอัสมีขนาดต่ำกว่าแรงดัน turn on อุปกรณ์คายประจุนั้น ๆ เพื่อให้การทำงานเป็นไปอย่างถูกต้อง ดังวงจรรูปที่ 3.21 ให้มอสทรานซิสเตอร์(M4) เป็นอุปกรณ์คายประจุโดยเริ่มทำงานเมื่อ V_{GS} หรือ แรงดันไบอัสไบโพลาร์มีขนาดมากกว่า V_{Th} ดังนั้นช่วงสัญญาณสูงสุดและต่ำสุดต้องไม่ทำให้มอสทรานซิสเตอร์ดังกล่าวทำงาน เมื่อไม่มีการเปลี่ยนแปลงระดับสัญญาณ

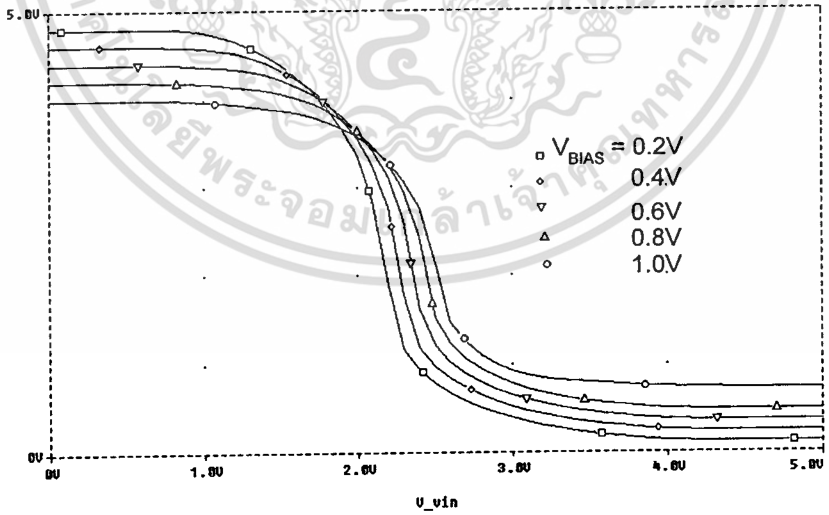
เนื่องจากข้อดีของการลดช่วงแกว่งสัญญาณ ซึ่งต้องอาศัยการออกแบบวงจรรวมแบบ 2 แหล่งจ่าย ซึ่งทำให้การเดินสายภายในเป็นไปด้วยความลำบาก โดยเฉพาะวงจรรวมที่มีความซับ

เอกสารนี้เรียบเรียงขึ้นเพื่อใช้ในการศึกษาเท่านั้น เมื่อผู้ใดนำไปใช้เพื่อประโยชน์ทางการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซ้อนตลอดจน วิธีการลดทอนขนาดแหล่งจ่ายด้วยศักดารอยต่อของไดโอดทำให้เกิดกำลังสูญเสียอีกทั้งไม่สะดวกสำหรับการออกแบบวงจรรวมแบบ VLSI ซึ่งใช้การออกแบบวงจรจากเซลย่อยมาตรฐาน การปรับปรุงวงจรย่อย ทำให้ต้นทุนและระยะเวลาในการออกแบบสูงขึ้น ตลอดจนยากแก่การตรวจสอบ ดังนั้น ทางเลือกหนึ่งทำสำหรับการออกแบบวงจรรวมไบซีมอสซึ่งมีช่วงแกว่งสัญญาณอินพุทและเอาท์พุทต่างกันคือการใช้วงจรปรับระดับสัญญาณ (Level converter circuit) ในการปรับช่วงแกว่งสัญญาณให้เป็นแบบ Full swing



(a)

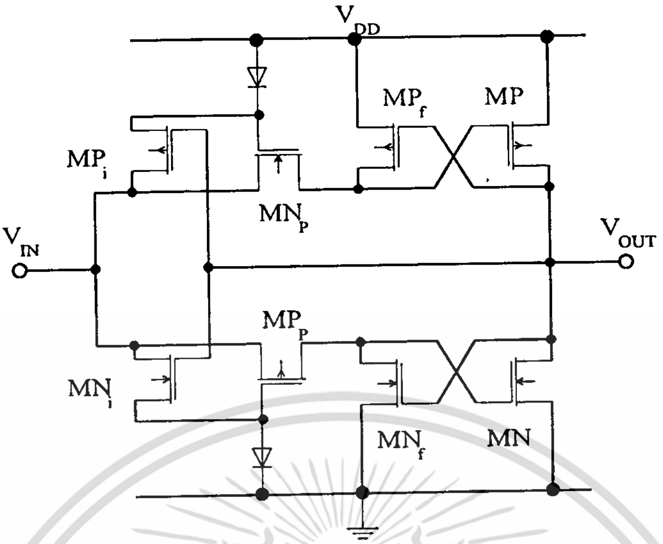


(b)

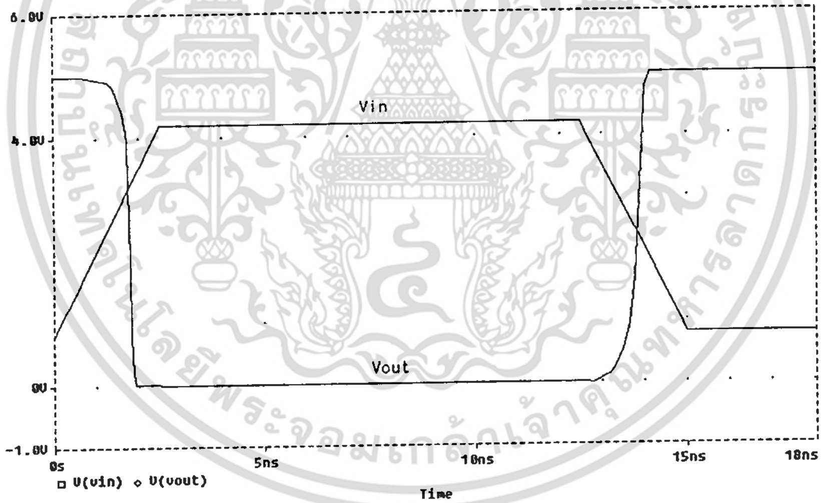
รูปที่ 3.21 การเพิ่มแรงดันไบอัสตรงแก่ไบโพลาร์ทรานซิสเตอร์

(a). วงจรไบซีมอสภายใน (b). การโอนถ่ายสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a)

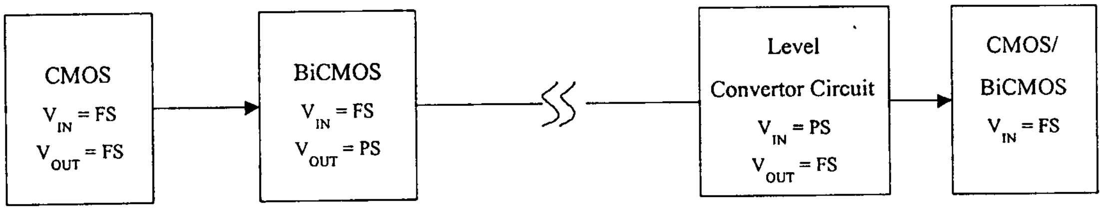


(b)

รูปที่ 3.22 วงจรปรับระดับสัญญาณ (a) วงจรภายใน (b) การโอนถ่ายสัญญาณ

ข้อดีของการออกแบบวงจรไบซีมอสด้วยการเพิ่มวงจรปรับระดับสัญญาณ ทำให้สามารถออกแบบวงจรรวมด้วยเซลย่อยมาตรฐาน ซึ่งวงจรไบซีมอสมีช่วงแกว่งสัญญาณแบบ PS ทำให้ลดกำลังสูญเสียไดนามิก และเพิ่มความเร็วในการส่งสัญญาณ โดยไม่ต้องออกแบบวงจรใดเพิ่มเติมอีก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.23 การเชื่อมโยงโดยอาศัยวงจร level converter

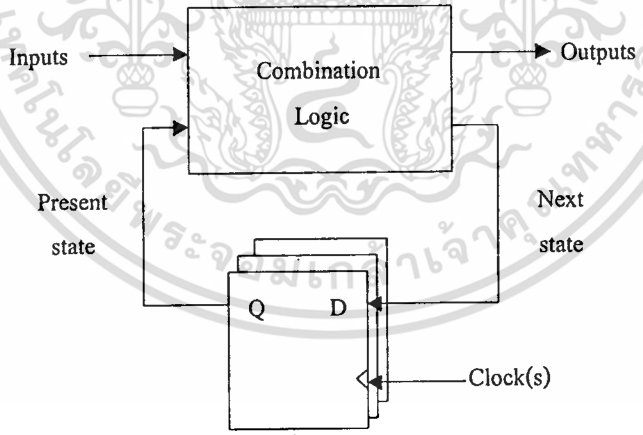
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

วงจรไบซีมอสแลทช์

4.1 การใช้งานวงจรแลทช์และ เวลาหน่วง

ในการออกแบบระบบลอจิกขนาดใหญ่ จำเป็นต้องใช้วงจรหลาย ๆ วงจรต่อเข้าด้วยกัน มีการเก็บและประมวลผลข้อมูล การทำให้วงจรทุกวงจรทำงานสอดคล้องกันอย่างไม่ผิดพลาดจะกระทำได้โดยการใช้สัญญาณนาฬิการ่วมกัน โดยมีวงจรแลทช์ ซึ่งทำหน้าที่เป็นหน่วยความจำชั่วคราว ทำการเก็บและคงค่าข้อมูล ซึ่ง VLSI ส่วนใหญ่จึงประกอบด้วยระบบ FSM และ ระบบท่อข้อมูลร่วมกัน คือ



รูปที่ 4.1 ระบบใช้สัญญาณนาฬิกา แบบระบบขั้นตอนตามเวลา (FSM)

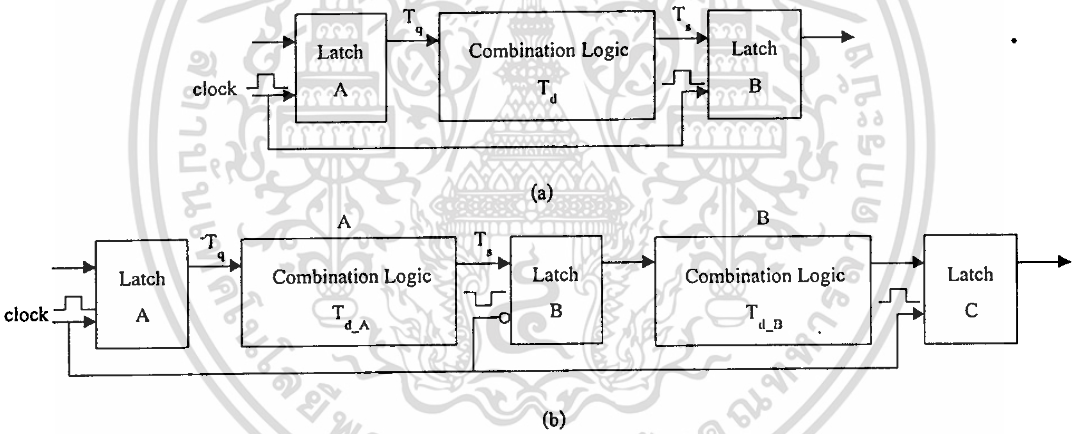
กรณีที่ระบบ VLSI ต้องเก็บและประมวลผลข้อมูลจะต้องออกแบบดังรูปที่ 4.1 คือ ระบบขั้นตอนตามเวลา (Finite state machine :FSM) ซึ่งประกอบด้วย กลุ่มข้อมูลขาเข้าผ่านวงจรลอจิกประกอบและกลุ่มข้อมูลขาออก ซึ่งป้อนกลับผ่านหน่วยความจำซึ่งทำงานตามสัญญาณนาฬิกา ระบบทำงานโดยหา ผลขั้นต่อไป (Next state) ซึ่งเป็นฟังก์ชั่นของ ขั้นปัจจุบัน (Present state) และข้อมูลขาเข้า ซึ่งรับมาจากภายนอก เมื่อปรากฏสัญญาณนาฬิกา หน่วยความจำจะผ่านสถานะของ ขั้น

เอกสารนี้มีไว้เพื่อการศึกษาเท่านั้น ... ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อไป สู่สถานะของ ขั้นปัจจุบัน ทำการจดจำค่าไว้ ขั้นปัจจุบันนี้จะถูกประมวลผลพร้อม ๆ กับข้อมูลขาเข้า จนได้ข้อมูลขาออกและสถานะของขั้นต่อไป จนกระทั่งข้อมูลขาออกมีค่าแน่นอนแล้ว สัญญาณนาฬิกาใหม่ก็จะป้อนเข้าสู่ระบบอีก ส่วน รูปที่ 4.2 คือระบบท่อข้อมูล (Pipe lined system) ระบบนี้ใช้หน่วยความจำเก็บข้อมูลขาออกของทุกขั้นตอน ณ ช่วงท้ายของสัญญาณนาฬิกา โดยไม่ป้อนกลับ และมีรอบการทำงานเป็น T_c โดยเวลาดังกล่าวได้จากการรวมเวลาที่ใช้ในส่วนต่าง ๆ เข้าด้วยกันนี้

$$T_c = T_q + T_d + T_s \tag{4.1}$$

เมื่อ T_d เป็นเวลาหน่วงที่นานที่สุดในการส่งข้อมูลผ่านวงจรลอจิกประกอบ



รูปที่ 4.2 ระบบใช้สัญญาณนาฬิกา แบบระบบท่อข้อมูล (Pipe lined system)

(a). ระบบท่อข้อมูลที่ใช้วงจรแลทช์

(b). การต่ออนุกรมแลทช์แบบกลับเฟสกันกลุ่มวงจรลอจิกประกอบในกรณีที่ T_d นานเกินกว่า T_c

การต่ออนุกรมแลทช์กับกลุ่มวงจรลอจิกประกอบใช้ประโยชน์ในกรณีที่ T_d นานเกินกว่า T_c ซึ่งมีข้อดีที่สามารถขยายวงจรลอจิกประกอบออกไปได้อีกโดยใช้วงจรแลทช์แบบค้างระดับบวกและระดับลบสลับกันหรือการใช้วงจรแลทช์แบบ 1/2 บิท ซึ่งใช้ลดจำนวนวงจรแลทช์ลง ดังรูป 4.2(b) แต่มีข้อแม้ที่ ข้อมูลขาออกของวงจรค้าง A จะต้องปรากฏหลังเวลา T_q เมื่อสัญญาณนาฬิกาเปลี่ยนเป็น ‘1’ และจะส่งผ่านข้อมูลนี้ผ่านกลุ่มวงจรลอจิกประกอบถึงวงจรแลทช์ B หลังเวลา T_s ก่อนที่สัญญาณนาฬิกาจะเปลี่ยนเป็น ‘0’ ดังนั้นกลุ่มวงจรลอจิกประกอบ A ต้องมีเวลาหน่วงดังนี้ โดยถือว่าสัญญาณนาฬิกามีช่วงทำงาน (Duty cycle 50%)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$T_{d_A} < \left[\ T_{c1} - T_{q_A} - T_{s_B}\ \right] \quad (4.2)$$

เมื่อ T_{q_A} คือเวลาหน่วงสัญญาณนาฬิกาถึงสัญญาณเอาท์พุทของวงจรแลทช์ A

T_{c1} คือวงรอบการทำงานของกลุ่มวงจร A

T_{s_B} คือ เวลาจัดเตรียม (setup time) ของวงจรแลทช์ B

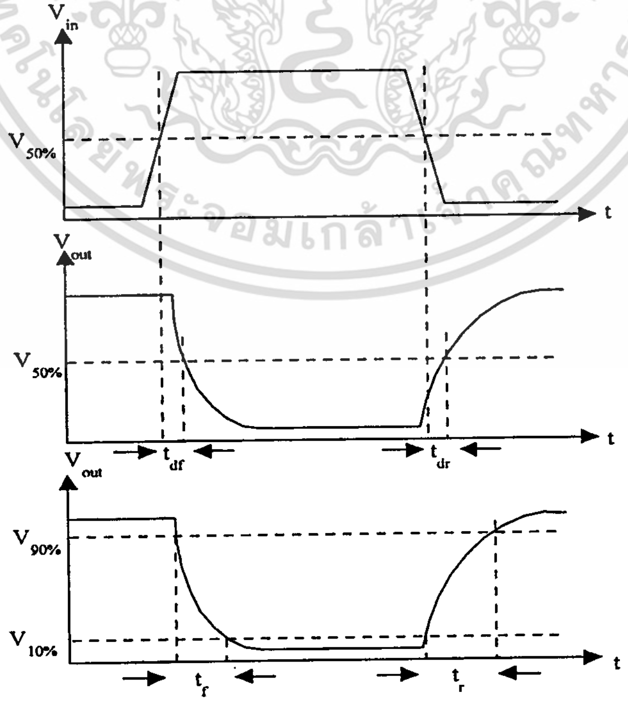
และในทำนองเดียวกันจะได้

$$T_{d_B} < \left[\ T_{c0} - T_{q_B} - T_{s_A}\ \right]$$

และเนื่องจาก $T_{d_A} = (T_c / 2) - T_{q_A} - T_{s_B}$ และ $T_{d_B} = (T_c / 2) - T_{q_B} - T_{s_A}$ ดังนั้น

$$T_{c1} = T_{d_A} + T_{q_A} + T_{s_B}$$
$$T_{c0} = T_{d_B} + T_{q_B} + T_{s_B}$$
$$T_c = T_{d_B} + T_{q_B} + [2(T_q + T_s)] \quad (4.3)$$

เมื่อ T_{c0} คือวงรอบการทำงานของกลุ่มวงจรลอจิกประกอบ B ทั้งนี้ถือว่า วงจรแลทช์ A และ B ทำงานสมมาตรกันทุกประการ



รูปที่ 4.3 แสดงพารามิเตอร์ค่าหน่วงเวลาต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าหน่วงเวลาในการสวิทช์ โดยสามารถจำแนกเวลาต่าง ๆ ได้ดังรูปที่ 4.3

- เวลาขึ้น t_r (Rise time) คือเวลาที่สัญญาณเอาท์พุทขึ้นจาก 10% ถึง 90%
- เวลาตก t_f (Fall time) คือเวลาที่สัญญาณเอาท์พุทลดจาก 90% เหลือ 10%
- เวลาหน่วงผ่านเกท t_d (Gate propagation delay time) คือเวลาระหว่างสัญญาณขาเข้ามีค่า 50% และสัญญาณขาออกมีค่า 50% เท่ากัน หรือคือเวลาที่สัญญาณส่งผ่านจากด้านขาเข้าสู่ด้านขาออก โดยแบ่งเป็น 2 ประเภทคือ เวลาหน่วงสัญญาณผ่านเกทเมื่อเอาท์พุทเปลี่ยนจาก $V_{OL} \rightarrow V_{OH}$ (t_{dr}) และเวลาหน่วงสัญญาณผ่านเกทเมื่อเอาท์พุทเปลี่ยนจาก $V_{OH} \rightarrow V_{OL}$ (t_{df})

$$t_d = \frac{t_{dr} + t_{df}}{2} \tag{4.4}$$

ดังนั้นระดับสัญญาณที่เกี่ยวข้องกับนิยามข้างต้นจึงประกอบด้วย

- ระดับสัญญาณเอาท์พุท 10 %

$$V_{10\%} = V_{OL} + 0.1(V_{OH} - V_{OL})$$

- ระดับสัญญาณเอาท์พุท 90 %

$$V_{90\%} = V_{OL} + 0.9(V_{OH} - V_{OL})$$

- ระดับสัญญาณเอาท์พุท 50 %

$$V_{50\%} = V_{OL} + \frac{1}{2}(V_{OH} - V_{OL}) = \frac{1}{2}(V_{OH} + V_{OL})$$

นอกจากค่าหน่วงเวลาพื้นฐานข้างต้น ซึ่งใช้สำหรับวัดความเร็วในการทำงานของวงจรลอจิกทั่วไปแล้ว ช่วงเวลาจัดเตรียมและคงค่าสัญญาณ ก็เป็นค่าหน่วงเวลาที่สำคัญอีกตัวหนึ่ง ถึงแม้ว่าในวงจรลอจิกทั่วไปค่าหน่วงเวลาดังกล่าวจะมีค่าต่ำ จนไม่ถูกนำมาเป็นเงื่อนไขในการออกแบบวงจร แต่สำหรับวงจรประเภทหน่วยความจำ โดยเฉพาะวงจรที่มีลักษณะการป้อนกลับ เนื่องจากเป็นตัวกำหนดให้วงจรเกิดการทำงานอย่างถูกต้อง

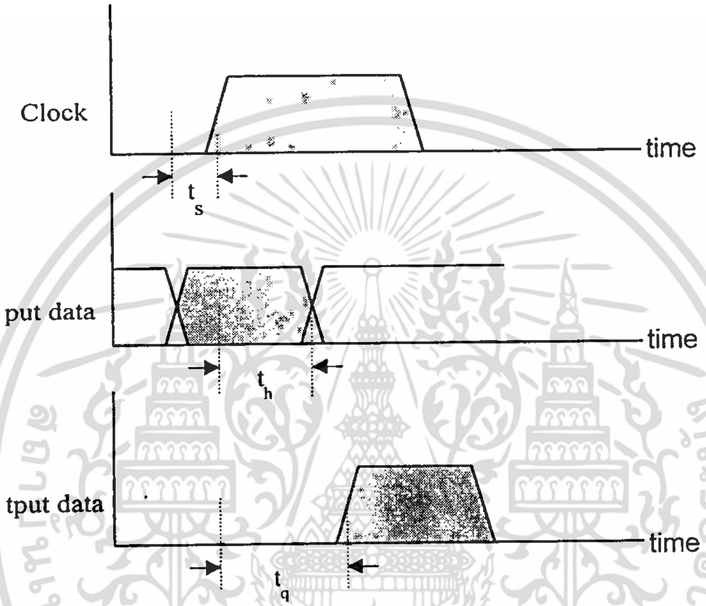
เวลาคงค่า (Hold time : t_h) หมายถึงเวลาหน่วงที่นับตั้งแต่สัญญาณนาฬิกาจนถึงเวลาที่แลทช์สามารถเก็บข้อมูลได้ ข้อมูลขาเข้าจะต้องคงค่าตลอดช่วงเวลานี้

เวลาจัดเตรียม (Setup time : t_s) หมายถึงเวลาหน่วงระหว่างข้อมูลขาเข้าและหน่วยเก็บข้อมูล ในช่วงเวลานี้สัญญาณนาฬิกาต้องไม่เปลี่ยนจนกว่าข้อมูลขาออกจะถูกต้อง

เวลาหน่วงสัญญาณนาฬิกา - ข้อมูล (Clock to Q delay : t_q) หมายถึงเวลาหน่วงตั้งแต่สัญญาณนาฬิกาขาขึ้นจนถึงข้อมูลปรากฏที่ขาออก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อย่างไรก็ตาม ในระบบซิงโครนัสที่ทำงานประสานกันด้วยสัญญาณนาฬิกานั้น หากข้อมูลขาเข้าไม่สอดคล้องตามเวลาจัดเตรียมและเวลาคงค่าจะเกิดปัญหาการแข่งกันของสัญญาณ (Clock race) กล่าวคือ หากเวลาคงค่าของข้อมูลสั้นกว่าเวลาจัดเตรียม วงจรแลทช์ก็ไม่สามารถเก็บข้อมูลได้อย่างถูกต้องและเกิดปัญหาตามมา เช่น การสูญเสียความพ้อง (Synchronization failures) หรือ การเกิดภาวะกึ่งเสถียร (Meta - stability)



รูปที่ 4.4 สัญญาณนาฬิกาเฟสเดียวแสดงค่าพารามิเตอร์ต่าง ๆ

และถึงแม้ว่าจะไม่สามารถวัดค่าหน่วงเวลาในช่วงต่าง ๆ ได้อย่างชัดเจน แต่การจัดวงจรให้มีค่าหน่วงเวลาในช่วงที่กำหนดก็เป็นสิ่งจำเป็นในการทำให้ระบบทำงานได้อย่างถูกต้อง โดยเฉพาะอย่างยิ่งเมื่อต้องการเพิ่มความเร็วให้กับระบบ ค่าหน่วงเวลา t_q ของวงจรแลทช์ เป็นปัจจัยหนึ่งที่ช่วยเพิ่มความเร็วได้ โดยอาศัยแนวคิดในคิดในการใช้วงจรไบซีมอสแทนที่ในส่วนวงจรซีมอสเพื่อเร่งความเร็ว ในขณะที่การทำงานและคุณลักษณะของวงจรยังคงเหมือนเดิม

4.2 วงจรไบซีมอสไดนามิแลทช์ (BiCMOS dynamic latch)

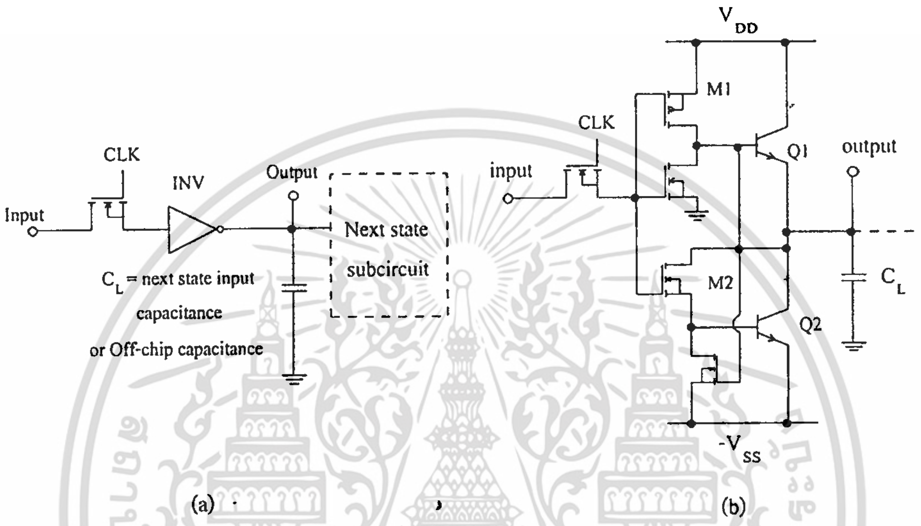
เทคนิคหนึ่งที่ใช้ประโยชน์จากความจุแฝงที่โหนดต่าง ๆ ภายในวงจรในการเก็บค่าระดับแรงดันลอจิก ซึ่งประจุที่เก็บไว้นี้ ท้ายที่สุดย่อมรั่วไหลไปหมด การออกแบบวงจรที่ดีเพื่อรับประกันว่าข้อมูลที่เก็บไว้จะไม่สูญหายก่อนที่จะถูกนำไปใช้งาน

สำหรับวงจรไดนามิกลอจิก เป็นวงจรแบบหนึ่งที่อาศัยเทคนิคดังกล่าว โดยการออกแบบให้วงจรมีความต้านทานขาเข้าสูง ๆ เพื่อป้องกันการรั่วไหลของประจุ เช่น วงจรซีมอส วงจรไบซีมอส

เอกสารนี้เป็นลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และถึงแม้ว่า ความต้านทานขาเข้าจะสูงเพียงใด แต่คาบเวลาสูงสุดในการเก็บค่า (maximum storage period) ก็อยู่ในระดับมิลลิวินาทีเท่านั้น ดังนั้นวงจรไดนามิก จึงจำเป็นต้องมีการป้อนข้อมูลใหม่ตามคาบเวลาทุกครั้ง

โครงสร้างของวงจรไดนามิกแลทช์ ประกอบด้วยทรานซิสเตอร์ผ่าน (Pass transistor) และวงจรอินเวอร์เตอร์ ดังรูปที่ 4.5(a)



รูปที่ 4.5 โครงสร้างภายในวงจรไบซีมอสไดนามิกแลทช์แบบ totem-pole

(a). วงจรไดนามิกแลทช์ขนาด 1/2 บิท

(b). โครงสร้างภายในวงจรไบซีมอสไดนามิกแลทช์แบบ totem - pole

ทรานซิสเตอร์ผ่าน ทำหน้าที่ผ่านสัญญาณและแยกสัญญาณ โดยมีโครงสร้างที่เรียบง่าย ซึ่งมักใช้เอ็นมอสทรานซิสเตอร์ โดยจะนำกระแสเมื่อลอจิก ‘1’ เข้าที่ขาเกท สวิทช์ชนิดนี้ส่งผ่านสัญญาณลอจิก ‘0’ ได้ดี แต่การส่งผ่านสัญญาณลอจิก ‘1’ จะถูกลดทอนด้วยค่าแรงดันเทรสโฮล(V_{Th}) เพื่อทำให้เกิดช่องทางเดินกระแส และเนื่องจากการเชื่อมต่อที่ปลายซอร์สและเดรน เป็นลักษณะสมมาตรสองทิศทาง ฉะนั้นศักดาที่ซอร์สและเดรน จึงขึ้นกับอิมพีแดนซ์ในแต่ละโหนด โดยปกติมักกำหนดให้ด้านใดด้านหนึ่งมีอิมพีแดนซ์สูง (เช่นต่อเข้ากับขาเข้าของวงจรเกท) และกำหนดให้ปลายอีกด้านหนึ่งมีอิมพีแดนซ์ต่ำ (เช่นต่อเข้ากับขาออกของวงจรเกท) เพื่อว่าขณะที่ระดับสัญญาณที่ขาเกทเป็น ‘1’ ระดับสัญญาณที่ปลายทั้ง 2 จะเท่ากับศักดาที่โหนดที่มีอิมพีแดนซ์ต่ำ

รูปที่ 4.5(b) แสดงโครงสร้างภายในของวงจรไบซีมอสไดนามิกแลทซ์ โดยเลือกวงจรไบซีมอส totem-pole แบบ partial swing เป็นต้นแบบในการวิเคราะห์ ทั้งนี้เนื่องจากวงจรมีโครง

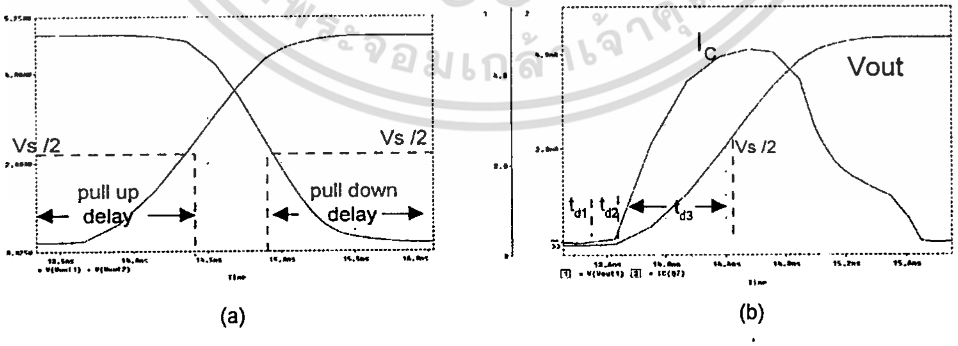
เอกสารนี้เป็นเอกสารที่จะใช้ในการศึกษาเพื่อการเรียนการสอนเท่านั้น ห้ามนำไปใช้ในเชิงพาณิชย์หรือการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สร้างที่เรียบง่าย และถึงแม้ว่าจะมีช่วงแกว่งสัญญาณเอาท์พุทแบบ partial swing ทำให้แน่ใจได้ว่า เมื่อทำการออกแบบและออปติไมซ์วงจรแลทช์ โดยใช้วงจรไบซีมอสแบบ full swing เป็นส่วนประกอบของวงจรแลทช์ การทำงานของวงจรรวมยังคงทำงานได้อย่างถูกต้อง

การทำงานของวงจรไบซีมอส totem- poleได้กล่าวถึงในบทที่ 3โดยมีคุณลักษณะโดยรวมคือ

1. มีอินพุทอิมพีแดนซ์สูง (Z_{in}) โดยพิจารณาจากความต้านทานเกทของอุปกรณ์มอสเฟท
2. มีเอาท์พุทอิมพีแดนซ์ต่ำ (Z_{out}) โดยพิจารณาจากความต้านทานขาออกของไบโพลาร์
3. ไม่เกิดการสูญเสียกำลังกระแสตรงในการขับกระแสชั่วขณะ (transient drive)
4. ระดับสัญญาณแกว่งขาออกจะถูกจำกัดด้วยความต่างศักย์ที่รอยต่อเบส-อิมิตเตอร์ (V_{BE}) ทำให้ระดับช่วงแกว่งสัญญาณขาออก มีค่าระหว่าง V_{BE} ถึง V_{DD}-V_{BE} เมื่อ V_{DD} เป็นค่าแรงดันแหล่งจ่าย

นอกจากนี้ ความเร็วหรือความถี่ของการทำงาน ขึ้นอยู่กับค่าหน่วงเวลาผ่านเกท (signal propagation gate delay) ซึ่งมักเกิดจากค่าความต้านทานและค่าความจุแฝงที่รอยต่อภายในอุปกรณ์ต่าง ๆ ตลอดจนบริเวณหน้าสัมผัสต่าง ๆ รวมถึงค่า โหลดคาปาซิแตนซ์ ซึ่งค่าหน่วงเวลาผ่านเกทนี้เป็นเงื่อนไขหนึ่งในการกำหนดประสิทธิภาพการทำงาน (Performance) ของวงจรรวม ในการลดค่าหน่วงเวลาผ่านเกท จำเป็นต้องพิจารณาการตอบสนองชั่วขณะของเกท เพื่อศึกษาอิทธิพลตัวแปรต่าง ๆ ของแต่ละอุปกรณ์ที่มีผลต่อค่าหน่วงเวลาผ่านเกท



รูปที่ 4.6 แสดงค่าหน่วงเวลาผ่านเกทวงจรไบซีมอสแลทช์

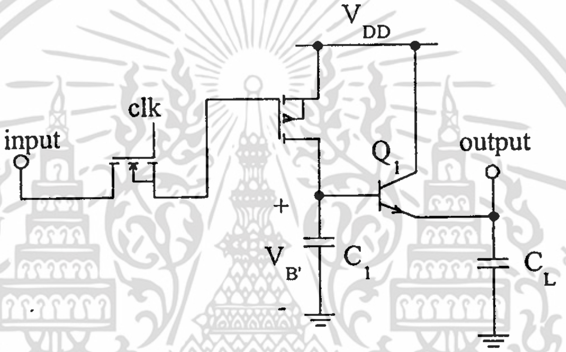
(a) แสดงค่าหน่วงเวลาผ่านเกทวงจรไบซีมอสแลทช์

(b) ช่วงเวลาหน่วงเวลาดึงขึ้น และการทำงานของไบโพลาร์ทรานซิเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.1 ผลตอบสนองชั่วขณะ(Transient response)

จากผลตอบสนองการสวิทซ์ชั่วขณะในรูป 4.6(b) ซึ่งประกอบด้วยค่าหน่วงเวลาดึงขึ้น (pull - up delay) จากการชาร์จ C_L ผ่าน M_1 และ Q_1 และค่าหน่วงเวลาดึงลง (pull - down delay) จากการดิสชาร์จ C_L ผ่าน M_2 และ Q_2 จากบทที่ 3 เมื่อทำการปรับเปลี่ยนขนาดความกว้างเกท ของ M1 และ M2 ให้มีขนาดเท่ากัน ทำให้การตอบสนองชั่วขณะในการเปลี่ยนระดับสัญญาณมีความสมมาตร ดังรูป 4.6(a) ตามที่ได้กล่าวแล้วในบทที่ 3 ดังนั้นในการวิเคราะห์ผลตอบสนองชั่วขณะจึงจะพิจารณาเฉพาะค่าหน่วงเวลาดึงขึ้นเท่านั้น จากรูที่ 4.6(b) ค่าหน่วงเวลาผ่านเกท สามารถแบ่งพิจารณาการทำงานของอุปกรณ์ต่าง ๆ ได้เป็น 3 ช่วง คือ



รูปที่ 4.7 วงจรส่วน Pull - up section ขณะที่ระดับสัญญาณขาออกเปลี่ยนจาก '0' เป็น '1'

1.ช่วงหน่วงเวลา t_{d1}

ประกอบด้วยค่าหน่วงเวลาจาก pass transistor และค่าหน่วงเวลาในการ turn on อินเวอร์เตอร์ คือ ช่วงเวลาที่มอสทรานซิสเตอร์ M1 เกิดการสวิทช์อย่างรวดเร็วเข้าสู่ช่วงอิ่มตัว ในขณะที่ Q1 ยังไม่นำกระแส กระแสจะไหลจากแหล่งจ่ายแรงดันผ่าน M1 ทำการชาร์จความจุไฟฟ้าที่โหนด B' จน $V_{B'}$ มีค่าเท่ากับ $V_{BE(ON)}$

2.ช่วงหน่วงเวลา t_{d2}

มอสทรานซิสเตอร์ M1 ยังคงทำงานในย่านอิ่มตัว ในขณะที่ Q1 ก็เริ่มนำกระแส เกิดการชาร์จ C_L เป็นช่วงที่สัญญาณขาออกมีค่าระหว่าง $0 < V_{OUT} < [|V_{Th}| - V_{BE}]$ ช่วงหน่วงเวลานี้ค่อนข้างคงที่และมีขนาดเล็ก โดยเฉพาะเมื่อไบโพลาร์ทรานซิสเตอร์ทำงานในย่านนำกระแสต่ำ (low level current) และจะเพิ่มขึ้นอย่างรวดเร็วเมื่อทำงานในย่านนำกระแสสูง (high level current) เนื่องจากช่วงเวลาข้ามผ่านเบสที่เพิ่มขึ้นจากพาหะที่สะสมในเบสเพิ่มขึ้น (Kirk effect)

3.ช่วงหน่วงเวลา t_{d3}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ $V_{OUT} \geq [\ |V_{Th}| - V_{BE}\ ]$ ค่าหน่วงเวลา t_{d3} จะเริ่มเมื่อมอสทรานซิสเตอร์ M1 เข้าสู่ย่านเชิงเส้นและสิ้นสุดเมื่อแรงดันขาออกมีค่าเท่ากับครึ่งหนึ่งของแรงดันแหล่งจ่าย($V_{OUT} = V_{DD}/2$) ค่าหน่วงเวลานี้จะเป็นองค์ประกอบที่สำคัญที่สุดในค่าหน่วงเวลาผ่านเกททั้งหมด

ดังนั้นค่าหน่วงเวลาผ่านเกทของวงจรไบซีมอสไดนามิกแลทช์ คือ

$$t_{delay} = t_d(pass\ transistor) + t_d(BiCMOS\ inverter)$$
$$= R_{CH_pass}C_{in} + R_{CH_M1}(C_E + C_C)\frac{V_{BE(ON)}}{V_{DD} - |V_{Th}|} + \frac{\pi}{2}\sqrt{R_{CH}C_L^*\tau_F^*} \quad (4.5)$$

เมื่อ C_L^* : $C_L + C_{CS}$ (Q2)

β_F^* : effective current gain

τ_F^* : effective forward base transit time

C_{in} : ความจุขาเข้าของวงจรไบซีมอสอินเวอร์เตอร์ และทำหน้าที่คงค่าระดับสัญญาณในวงจรไดนามิกแลทช์

$$C_{in} = C_{G1} + C_{G2} + C_{G3} + C_{GS1} + C_{GS2} + C_{GS3} + C_{GD1} + C_{GD2} + C_{GD3} \quad (4.6)$$

เมื่อ C_G : ความจุไฟฟ้าเกท

C_{GS} : ความจุไฟฟ้าระหว่างเกท - ซอร์ส และ

C_{GD} : ความจุไฟฟ้าระหว่างเกท - เดรน

C_{GS} และ C_{GD} เกิดจากการเหลื่อมซ้อนของ mask รวมถึงการแผ่ขยายด้านข้างของสนามไฟฟ้า ทำให้เปรียบเสมือนว่า เกทมีขนาดใหญ่กว่าความเป็นจริง จึงกำหนดให้ $C_{GS} = C_{GD} = C_{GS0}$ และเมื่อพิจารณาผลของ Miller effect

$$\begin{aligned} C_{in} &\approx (W_1 + W_2 + W_3)(L \cdot C_{OX}) + (W_1 + W_2 + W_3)(3C_{GS0}) \\ &= (2W_1 + W_3)(L \cdot C_{OX} + 3C_{GS0}) \end{aligned} \quad (4.7)$$

แทนค่าลงในสมการที่ 4.5

$$t_{delay} = \frac{2(2W_1 + W_3)(LC_{OX} + 3C_{GSO})L_{pass}}{W_{pass}\mu_n C_{OX} V_{DD}} + R_{CH}(C_E + C_C)\frac{V_{BE(ON)}}{(V_{DD} - |V_{Th}|)} + \frac{\pi}{2}\sqrt{R_{CH}C_L^*\tau_L^*}$$
(4.8)

สมการข้างต้นใช้สำหรับการหาค่าหน่วงเวลาต่ำสุด โดยสังเกตุว่าการเปลี่ยนขนาด W_1 ช่วยให้วงจรไบซีมอสอินเวอร์เตอร์ทำงานได้เร็วขึ้น แต่ก็ส่งผลให้ค่าหน่วงเวลาของทรานซิสเตอร์ผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพิ่มขึ้นด้วย สำหรับกรณีของ W_3 ควรออกแบบให้มีค่าต่ำสุดตามกฎการออกแบบ เพื่อให้วงจรมีความเร็วในการทำงานสูงสุด

4.2.2 การหา Cross over load capacitance (C_{CRS})

สำหรับวงจรรวมในปัจจุบัน มีแนวโน้มในการทำงานด้านความเร็วที่สูงขึ้น ในขณะเดียวกันก็พยายามลดขนาดวงจรให้เล็กลง แนวทางหนึ่งในการพัฒนาวงจรรวมให้มีความเร็วสูงขึ้นคือ การแทนที่วงจรซีมอสด้วยวงจรไบซีมอส โดยเงื่อนไขที่ว่า การทำงานและคุณลักษณะของวงจรต้องไม่เปลี่ยนแปลง และพื้นที่ต้องไม่เพิ่มไปจากเดิมมากนัก ในขณะที่ความเร็วในการทำงานต้องสูงขึ้น วิธีดังกล่าวเป็นวิธีที่สะดวก เนื่องจากมีผลต่อการวางผังเดิมน้อยมาก และจากสมการที่ 4.8 ความเร็วในการทำงานเป็นฟังก์ชันที่ขึ้นกับขนาดของความจุภายในและความจุโหลดแต่เนื่องจากวงจรไบซีมอสมีโครงสร้างวงจรซับซ้อนและมีขนาดใหญ่ ส่งผลให้ความจุภายในเพิ่มขึ้นเมื่อเทียบกับวงจรซีมอสเดิม กล่าวคือ วงจรไบซีมอสจะมีความเร็วเหนือวงจรซีมอส แต่ก็เฉพาะค่าโหลดคาปาซิแตนซ์สูงๆเท่านั้น ดังนั้นในการเปรียบเทียบประสิทธิภาพด้านความเร็ว ระหว่างวงจรซีมอส และไบซีมอส จะพิจารณาจากค่าหน่วงเวลา ที่สภาพ โหลดคาปาซิแตนซ์ ต่าง ๆ โดยกำหนดให้ C_{CRS} นี้ เป็นค่าขนาดความจุที่ทำให้วงจรทั้งสองมีความเร็วเท่ากัน จากสมการ 4.5

$$t_{d,BiCMOS} = t_1 + \frac{\pi}{2}\sqrt{\tau_F C_L R_{CH_BiC}} \tag{4.9}$$

และโดยวิธีเดียวกันนี้

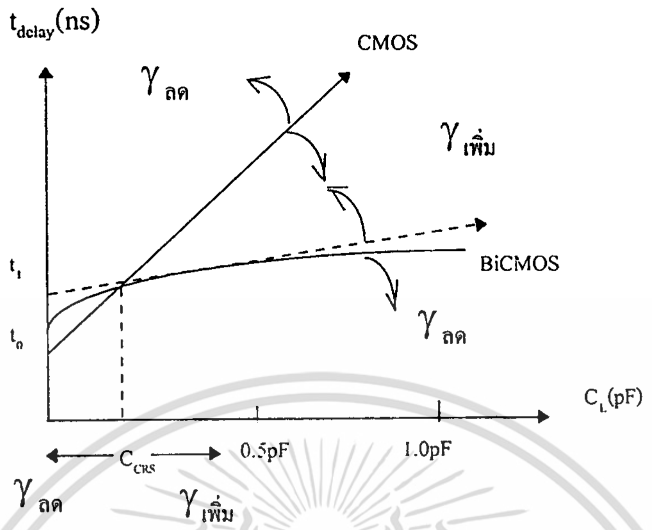
$$t_{d,CMOS} = t_0 + C_L R_{CH_CM} \tag{4.10}$$

เมื่อ R_{CH} ขึ้นกับขนาดของทรานซิสเตอร์ ขณะที่ t_0 และ t_1 เป็นค่าหน่วงเวลา no-load ของวงจรซีมอสและไบซีมอสแลทช์ตามลำดับ พิจารณาที่ $t_{d,BiCMOS} = t_{d,CMOS}$ ดังนั้น

$$C_L = C_{CRS} = \frac{1}{R_{CH_CMOS}}\left(\frac{\pi\gamma}{4} + \sqrt{\left(\frac{\pi\gamma}{4}\right)^2 + (t_1 - t_0)}\right) \tag{4.11}$$

เมื่อ $\gamma = \left(\frac{L_{BiC}}{L_{CM}} \cdot \frac{W_{CM}}{W_{BiC}} \cdot \tau_F\right)^{\frac{1}{2}}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8 การหาค่า Cross over load capacitance: C_{CRS}

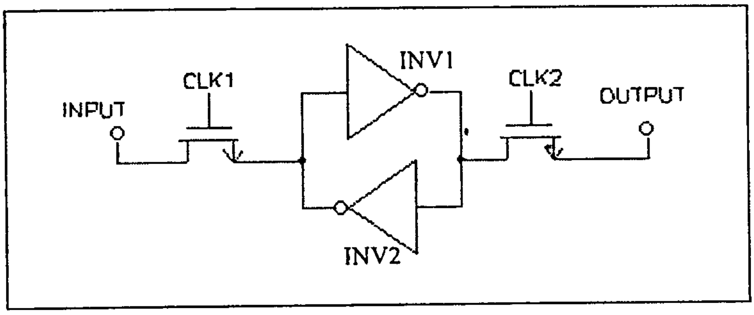
จากรูปที่ 4.8 เมื่อ $C_L > C_{CRS}$ วงจรไบซีมอสจะมีความเร็วสูงกว่าวงจรซีมอส ในทางตรงกันข้าม เมื่อ $C_L < C_{CRS}$ วงจรซีมอส มีความเร็วสูงกว่า ดังนั้นในการตัดสินใจเลือกใช้วงจรใดสามารถกำหนดได้จากการเปรียบเทียบระหว่าง C_L และ C_{CRS} อย่างไรก็ตามค่า C_{CRS} ยังขึ้นอยู่กับ γ ซึ่งแปรผันตามอัตราส่วน W/L ของมอสในวงจรซีมอสเดิมเทียบกับวงจรไบซีมอสที่มาแทนที่ การเปลี่ยนแปลงชนิดของมอสทรานซิสเตอร์ ทำให้เงื่อนไขในการแทนที่ผิดไป หากเมื่อกำหนดให้ขนาดของมอสทรานซิสเตอร์ของทั้งสองวงจรมีขนาดเท่ากัน ดังนั้น $\gamma = (\tau_F)^{1/2}$ และจากสมการ 4.11 เมื่อแทนค่าด้วยพารามิเตอร์ต่าง ๆขนาด C_{CRS} จะมีค่าเท่ากับ 0.243 pF

4.3 วงจรไบซีมอสสแตติกแลทช์ (BiCMOS static latch)

เป็นหน่วยความจำซึ่งเมื่อประจุข้อมูลลงไปแล้ว ข้อมูลจะถูกเก็บอยู่ตราบเท่าที่มีแรงดันไฟเลี้ยงป้อนตลอดเวลา

จากรูปวงจรที่ 4.9 จะประกอบด้วยวงจรอินเวอร์เตอร์ INV1 และ INV2 โดยที่ INV1 ทำหน้าที่กำหนดระดับสัญญาณ ในขณะที่ INV2 ทำหน้าที่ป้อนกลับสัญญาณ เพื่อวงจรสามารถคงค่าระดับสัญญาณไว้ เรียกว่า อินเวอร์เตอร์ป้อนกลับ (Trickle inverter หรือ Feedback inverter) เนื่องจาก อินเวอร์เตอร์ ใช้เพียงเพื่อคงค่าสัญญาณเอาไว้ มิได้ใช้ขับกระแสต่ออย่างใด INV2 จึงถูกออกแบบเป็นวงจรซีมอส เพื่อลดจำนวนอุปกรณ์และช่วยประหยัดพื้นที่ ดังรูป 4.10

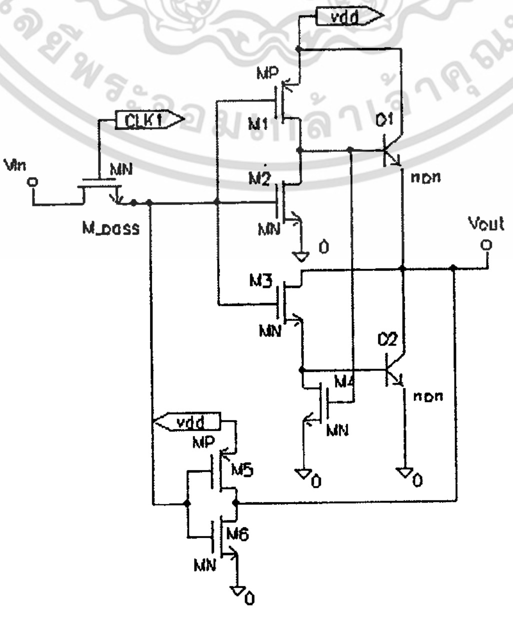
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 แสดงวงจรสแตติกแลทช์แบบกลับเฟสซึ่งใช้ในระบบส่งข้อมูล

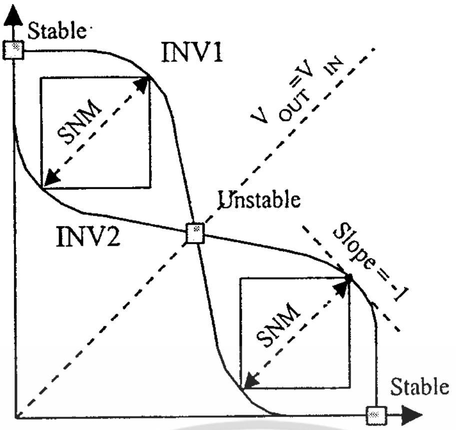
การทำงานของวงจรสแตติกแลทช์ จะแตกต่างกับวงจรไดนามิกแลทช์ อันเนื่องจากโครงสร้างวงจรที่มีการป้อนกลับ ช่วงการทำงานแบ่งเป็น ช่วงส่งผ่านสัญญาณ และ ช่วงคงค่าระดับสัญญาณ หรือช่วงที่ clk = 1 และ 0 ตามลำดับ

จากรูป 4.9 เอาท์พุทของ INV1 ต่ออยู่กับอินพุทของ INV 2 และ เอาท์พุทของ INV2 ก็ถูกต่อเข้ากับอินพุทของ INV1 ดังนั้นผลการตอบสนองสัญญาณของ INV1 และ INV2 แสดงให้เห็นดังรูปที่ 4.11 จากการโอนถ่ายสัญญาณทำให้เกิดจุดตัด 3 จุด คือ เมื่อป้อนสัญญาณอินพุท INV1 และ INV2 จะเกิดการเปลี่ยนระดับสัญญาณจากจุด Stable ผ่าน จุด Unstable เข้าสู่จุด Stable อีกจุด การโอนถ่ายสัญญาณเกิดขึ้นเมื่อสัญญาณอินพุทมีค่ามากกว่าค่า Static noise margins (SNM) ซึ่งกำหนดจากอัตราขยายสัญญาณ หรือ ความชันของกราฟซึ่งมีค่าเท่ากับ -1 ดังนั้นค่า SNM นอกจากแสดงถึงความสามารถในการทนต่อสัญญาณรบกวน ยังเป็นตัวกำหนดการทำงานของวงจร



รูปที่ 4.10 แสดงโครงสร้างภายในวงจรสแตติกแลทช์ที่สร้างด้วยเทคโนโลยีไบซีมอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 การโอนถ่ายสัญญาณ

1. ช่วงส่งผ่านข้อมูล

การทำงานของวงจรในรูปที่ 4.9 สามารถแทนด้วยแบบจำลองในรูปที่ 4.12 โดยค่า g_{m1} และ g_{m2} แทนค่าทรานคอนดักแตนซ์ของวงจรไบซีมอสและซีมอสอินเวอร์เตอร์ตามลำดับ เมื่อพิจารณาสัญญาณ AC ขนาดเล็ก

$$\frac{V_{IN}-V_1}{R_{CH}} - g_{m2}V_2 = C_1\frac{dV_1}{dt}$$

และ

$$-g_{m1}V_1 = C_2\frac{dV_2}{dt}$$

$$\frac{d^2V_2}{dt^2} + \frac{1}{C_1R_{CH}}\frac{dV_2}{dt} - \frac{g_{m1}g_{m2}}{C_1C_2}V_2 = -\frac{g_{m1}}{C_1C_2R_{CH}}V_{IN}$$

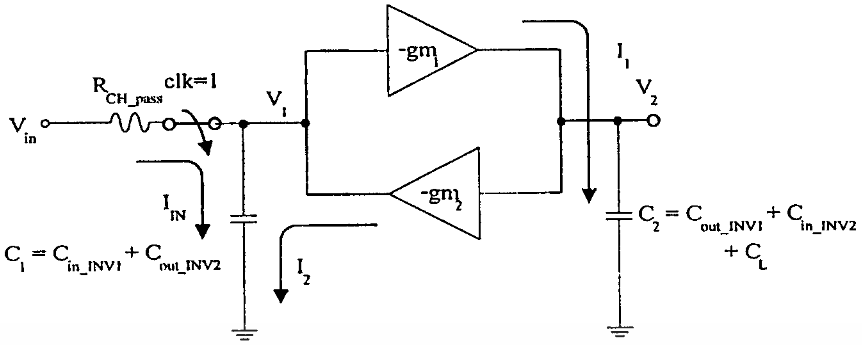
ดังนั้น ผลลัพท์คือ

$$V_2(t) = Ae^{m_1t} + Be^{m_2t} + C \qquad (4.12)$$

เมื่อ $$m_1, m_2 = -\frac{1}{2R_{CH}C_1} \pm \sqrt{\frac{1}{(2R_{CH}C_1)^2} + \frac{g_{m1}g_{m2}}{C_1C_2}}$$

และ $$C = \frac{V_{IN}}{g_{m2}R_{CH}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



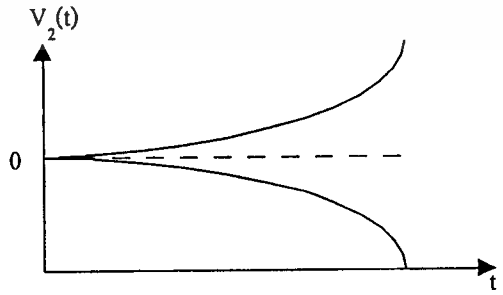
รูปที่ 4.12 แบบจำลองวงจรสแตติกแลทช์ ช่วงส่งผ่านข้อมูล

สำหรับค่าคงที่ A และ B ขึ้นกับเงื่อนไขขอบเริ่ม หรือสภาวะก่อนการเปลี่ยนแปลง ตัวอย่าง เช่น ในสภาวะแรกเริ่ม (t = 0) วงจรไม่ได้คงค่าใดไว้ ดังนั้น $V_1(0) = 0$ และ $V_2(0) = 0$

$$A = \frac{-V_{IN}}{g_{m2}R_{CH}}\left(\frac{m_2}{m_2 - m_1}\right) \quad \text{และ} \quad B = \frac{-V_{IN}}{g_{m2}R_{CH}}\left(\frac{m_1}{m_1 - m_2}\right)$$

จากผลลัพท์ข้างต้นซึ่งมีความซับซ้อน เพื่อให้ง่ายต่อการวิเคราะห์ วงจรจะถูกพิจารณาว่า ค่าคงที่หน่วงเวลาจากคู่อินเวอร์เตอร์ $\left(\tau = \frac{C_1C_2}{g_{m1}g_{m2}}\right)$ มีค่าต่ำกว่า ค่าคงเวลาจากทรานซิสเตอร์ผ่าน $\left(\frac{1}{R_{CH}C_1}\right)$ ดังนั้น ผลลัพท์ที่ได้คือ

$$V_2(t) = \frac{-V_{IN}}{g_{m2}R_{CH}}\left(\exp\frac{-t}{R_{CH}C_1} - 1\right) \tag{4.13}$$



รูปที่ 4.13 แสดงสัญญาณ เอาท์พุทของวงจรสแตติกแลทช์ในช่วงส่งผ่านสัญญาณ

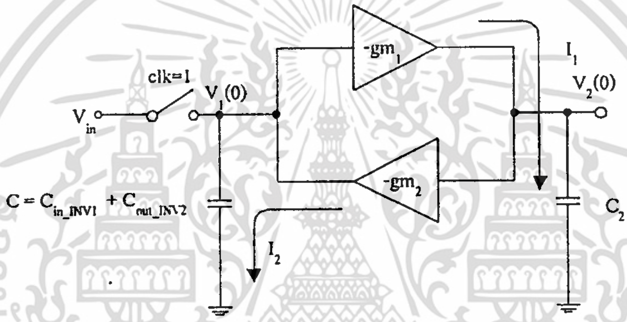
จากสมการ 4.13 ช่วยในการออกแบบวงจรสแตติกแลทช์ ให้มีความเร็วการทำงานสูงขึ้น โดยพิจารณาจากค่าคงที่เวลา คือ กำหนดให้อัตราส่วน W/L ของทรานซิสเตอร์ผ่านมีค่าสูง ในขณะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ W/L ของอินเวอร์เตอร์ป้อนกลับมีค่าต่ำ ๆ โดยเครื่องหมายลบในสมการแสดงถึงการกลับเฟสสัญญาณของวงจรสแตติกแลทช์

2. ช่วงคงค่าสัญญาณ

เมื่อ clk = 0 ทรานซิสเตอร์ผ่านหยุดนำกระแส เนื่องจากคุณสมบัติอินพุทอิมพีแดนซ์สูงของวงจร กระแสป้อนกลับ (I_1) ทั้งหมดจึงป้อนเข้าสู่ C_1 เช่นเดียวกับ I_2 โดยที่ C_1 แทน C_{G1} และ ความจุขาออกของซีมอสอินเวอร์เตอร์(INV2) และ C_2 แทนโหลดคาปาซิแตนซ์ (C_L), C_{G2} และความจุขาออกของซีมอสอินเวอร์เตอร์ตัวบน ดังนั้น



รูปที่ 4.14 แบบจำลองวงจรสแตติกแลทช์ ช่วงคงค่าสัญญาณ

$$-g_{m2}V_2 = C_1\frac{dV_1}{dt'} \tag{4.14}$$

$$-g_{m1}V_1 = C_2\frac{dV_2}{dt'} \tag{4.15}$$

เมื่อ t' คือ เวลาเมื่อวงจรทำงานในช่วงคงค่าสัญญาณ และ V1(0) และ V2(0) เป็นศักดาอินพุทและเอาท์พุทของคู่อินเวอร์เตอร์ เมื่อเวลาที่ clk เปลี่ยนจาก 1 เป็น 0 ดังนั้นผลลัพธ์คือ

$$V_2(t') = \frac{1}{2}[V_2(0) - (\frac{C_1 g_{m1}}{C_2 g_{m2}})^{1/2} V_1(0)]e^{\frac{t'}{\tau}} + \frac{1}{2}[V_2(0) + (\frac{C_1 g_{m1}}{C_2 g_{m2}})^{1/2} V_1(0)]e^{-\frac{t'}{\tau}} \tag{4.16}$$

เมื่อค่าหน่วงเวลาคงที่ (τ) เท่ากับ $(\frac{C_1 C_2}{g_{m1} g_{m2}})^{1/2}$

ดังนั้น เมื่อเวลาผ่านไป ($t' >> \tau$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_2(t') \approx \frac{1}{2}[V_2(0) - (\frac{C_1 g_{m1}}{C_2 g_{m2}})^{1/2} V_1(0)]e^{\frac{t'}{\tau}} \qquad (4.17)$$

จากสมการ 4.17 สัญญาณเอาท์พุทของวงจร (V_2) อาจลู่เข้าสู่ลอจิก 0 หรือ 1 โดยขึ้นกับ $V_2(0)$ และ $V_1(0)$ ซึ่งเป็นค่าศักดาที่ได้จากช่วงส่งผ่านสัญญาณ ทำให้วงจรสเตติกแลทช์จดจำค่าผิดพลาดไป

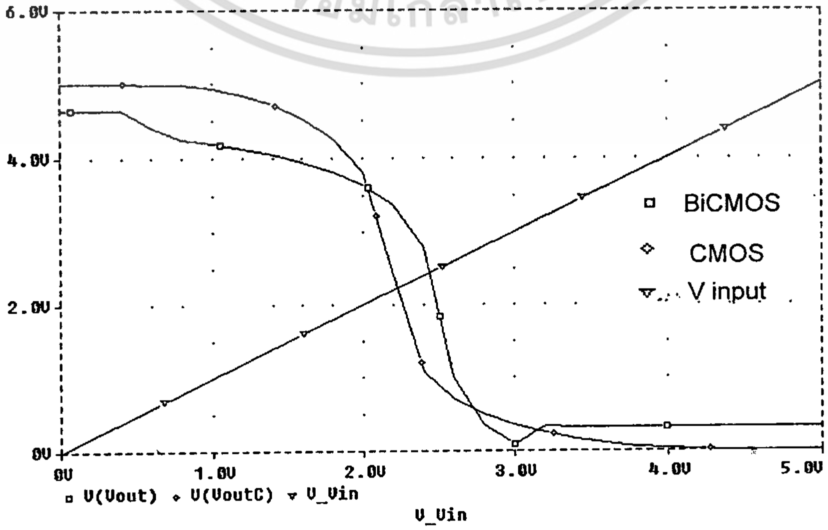
4.4 ผลการทดสอบคุณสมบัติของวงจรไบซีมอสไดนามิกแลทช์และสแตติกแลทช์

จากการออกแบบข้างต้น ต่อไปจะแสดงผลการทดสอบคุณสมบัติของวงจรไบซีมอส แลทช์ โดยการเปรียบเทียบกับวงจรซีมอสเดิม โดยทำการจำลองวงจรโดยใช้โปรแกรม PSpice ในการศึกษาจะแบ่งตามชนิดของวงจรและแยกคุณสมบัติในการตอบสนองซึ่งสามารถแยกออกเป็นสองชนิดคือ ผลการตอบสนองต่อสัญญาณไฟตรง และความสามารถในการสวิทชิ่ง

4.4.1 วงจรไบซีมอสไดนามิกแลทช์

1. การศึกษาคุณสมบัติทางไฟตรงของวงจรไบซีมอสไดนามิกแลทช์

ในวงจรดิจิตอลโดยทั่วไปตัวแปรซึ่งเป็นตัวกำหนดคุณสมบัติทางไฟตรงของวงจรคือ V_{OH} , V_{OL} และช่วงเผื่อสัญญาณ (Noise margin) รวมทั้งแรงดันวิกฤติของวงจร จะสามารถอธิบายได้โดยการใช้กราฟแสดงคุณสมบัติการโอนถ่ายแรงดัน ซึ่งได้จากการวัดค่าแรงดันขาออกเทียบกับการเปลี่ยนแปลงแรงดันอินพุท คุณสมบัติทางด้านสัญญาณไฟตรงของวงจรไบซีมอส และซีมอสไดนามิกแลทช์ ดังรูปที่ 4.15

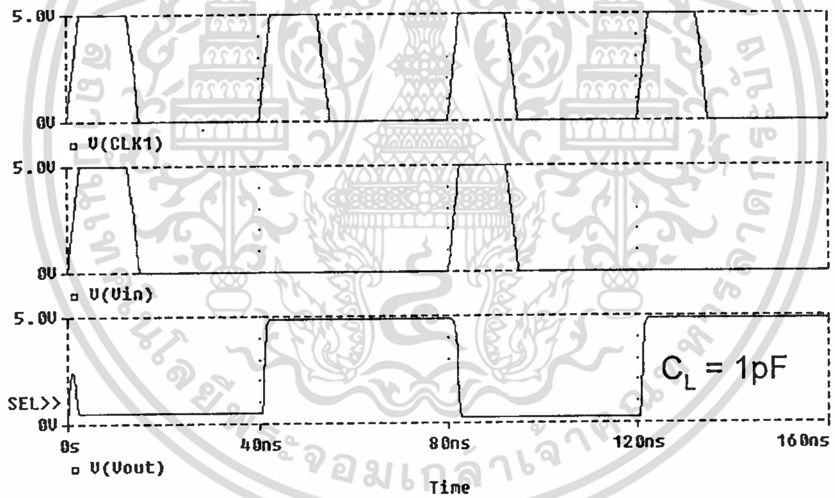


รูปที่ 4.15 แสดงการโอนถ่ายไฟตรงวงจรไดนามิกแลทช์แบบกลับเฟส

เอกสารนี้เป็นของ... ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. การศึกษาคุณสมบัติทางสวิทชิ่งของวงจรไบซีมอสไดนามิกแลทช์

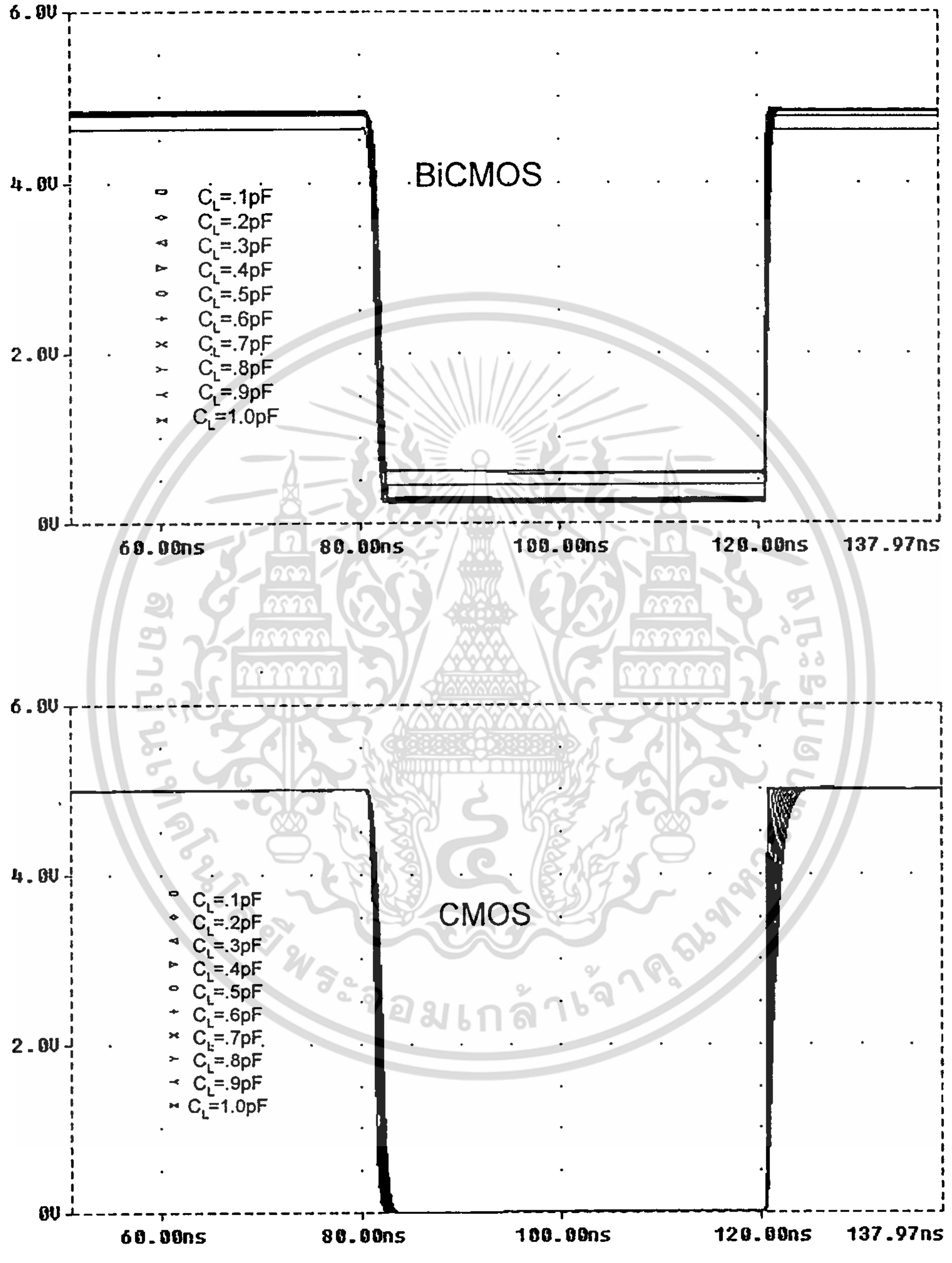
ในวงจรดิจิตอลนอกจากระดับแรงดันต่าง ๆ จากการศึกษาคุณสมบัติทางสัญญาณไฟตรงแล้ว คุณสมบัติที่สำคัญอย่างยิ่งอีกอย่างหนึ่งก็คือ ความสามารถในการใช้งานร่วมกับวงจรที่มีความถี่สูงได้ ซึ่งจะถูกกำหนดโดยเวลาในช่วงที่แรงดันเพิ่มขึ้น และเวลาในช่วงที่แรงดันลดลง รวมทั้งการหน่วงเวลาของวงจรซึ่งก็คือคุณสมบัติทางสวิทชิ่งนั่นเอง ในการศึกษาคุณสมบัติทางสวิทชิ่งก็สามารถทำได้ทำนองเดียวกับการศึกษาคุณสมบัติทางสัญญาณไฟตรง เพียงเปลี่ยนสัญญาณอินพุทจากการเพิ่มแรงดันทีละน้อยเป็นลักษณะของสัญญาณพัลส์ จากนั้นวัดค่าเวลาที่เอาท์พุทของสัญญาณซึ่งจะได้ผลของคุณสมบัติทางสวิทชิ่งของวงจรไดนามิกแลทช์ ดังรูปที่ 4.16 แสดงการทำงานของวงจรไบซีมอสไดนามิกแลทช์เมื่อป้อนสัญญาณอินพุทเป็น 1,0,1,0 ตามลำดับ ในช่วงที่ clk = 0 วงจรก็จะคงค่าไว้ในลักษณะที่กลับเฟสกับสัญญาณอินพุท



รูปที่ 4.16 แสดงการทำงานของวงจรไบซีมอสไดนามิกแลทช์แบบกลับเฟส

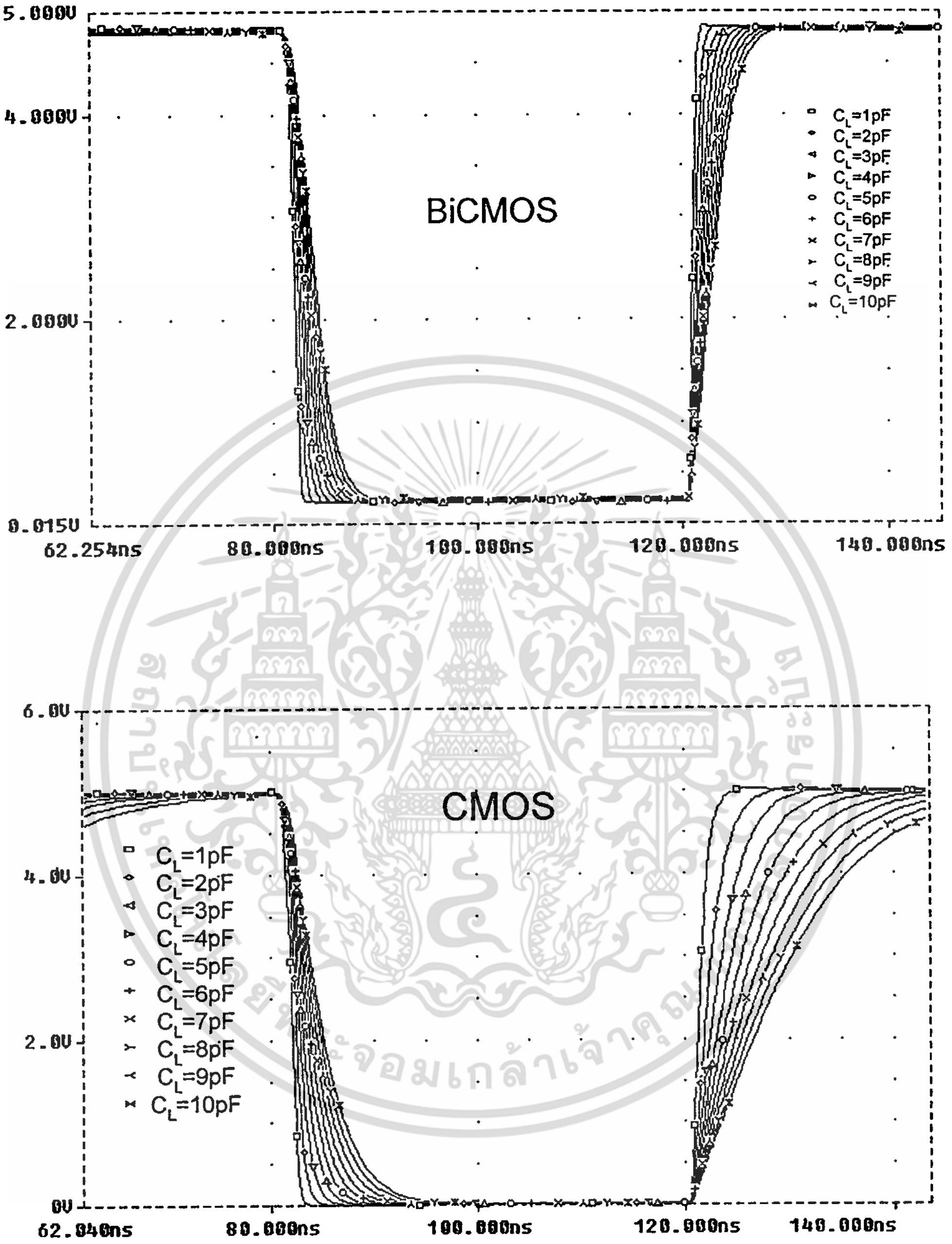
- การเปรียบเทียบช่วงเวลาที่ใช้ในการเปลี่ยนระดับสัญญาณเอาท์พุทจาก 1 เป็น 0 และ จาก 0 เป็น 1 ดังรูปที่ 4.17 แสดงผลตอบสนองเมื่อทดสอบกับค่าความจุโหลด 0 ถึง 1 pF และรูปที่ 4.18 แสดงผลตอบสนองเมื่อทดสอบกับค่าความจุโหลด 1 ถึง 10 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.17 แสดงการตอบสนองสัญญาณเอาท์พุทเมื่อทดสอบกับ C_L = 0 ถึง 1pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.18 แสดงการตอบสนองสัญญาณเอาท์พุทเมื่อทดสอบกับ C_L =1 ถึง 10 pF

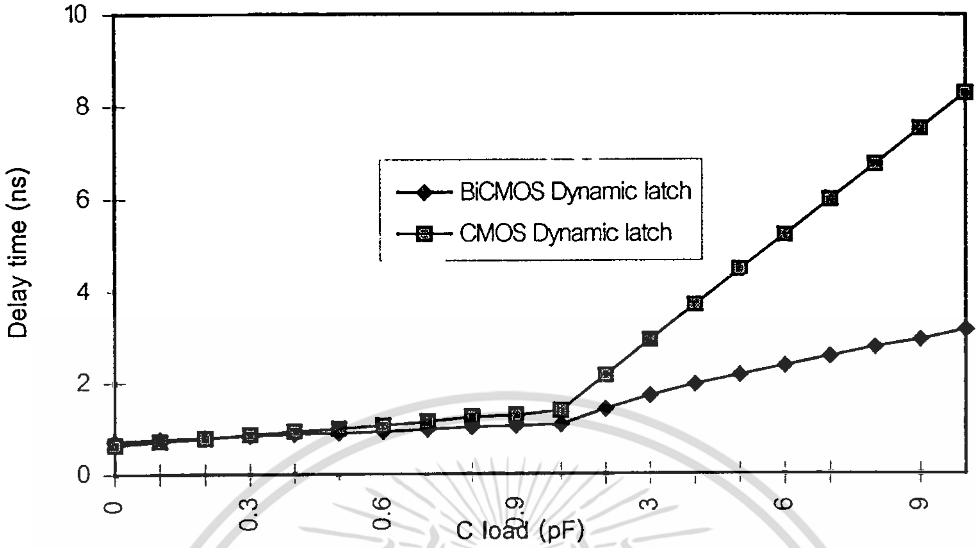
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.1 ค่าหน่วงเวลาของวงจรไบซีมอสและซีมอสแลทช์

C_L (pF)	BiCMOS* delay time(ns) (PSpice)	CMOS* delay time(ns) (PSpice)
0	0.715	0.633
0.1	0.762	0.715
0.2	0.798	0.788
0.3	0.831	0.865
0.4	0.877	0.934
0.5	0.900	0.996
0.6	0.923	1.061
0.7	0.978	1.148
0.8	1.024	1.243
0.9	1.052	1.280
1	1.080	1.387
2	1.415	2.151
3	1.705	2.926
4	1.952	3.694
5	2.154	4.466
6	2.365	5.212
7	2.569	5.979
8	2.769	6.734
9	2.935	7.509
10	3.146	8.284

*เมื่อ V_{in} และ clk มี t_r และ t_f = 2.5 ns มีความกว้าง pulse = 10 ns ที่ความถี่ 12.5 MHz และ 50 MHz ตามลำดับ

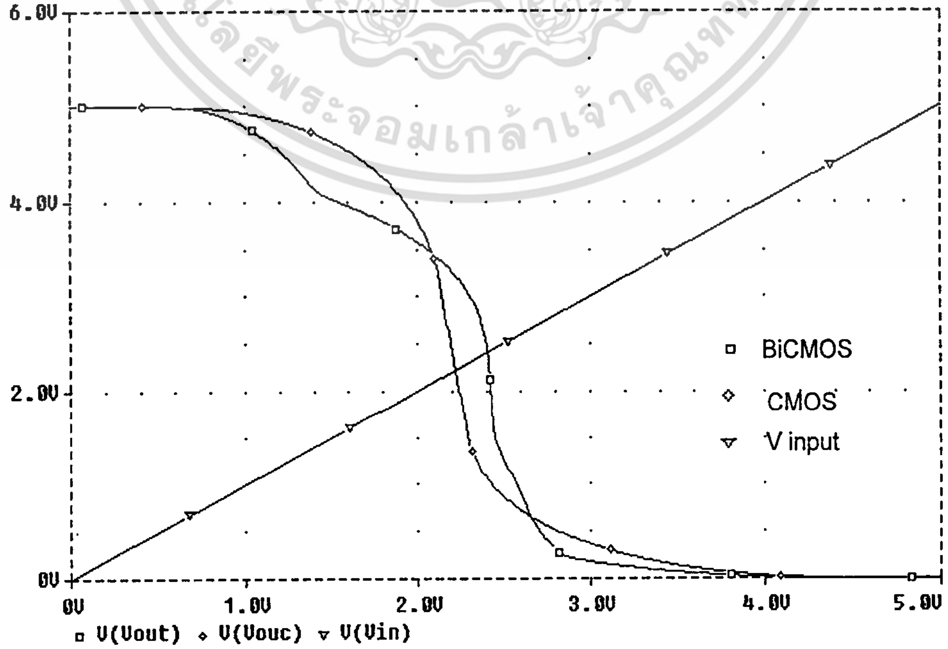
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.19 แสดงค่าหน่วงเวลาของวงจรไบซีมอสและซีมอสไดนามิกแลทช์

4.4.2 วงจรไบซีมอสสแตติกแลทช์

1. การศึกษาคุณสมบัติทางไฟตรงของวงจรไบซีมอสสแตติกแลทช์

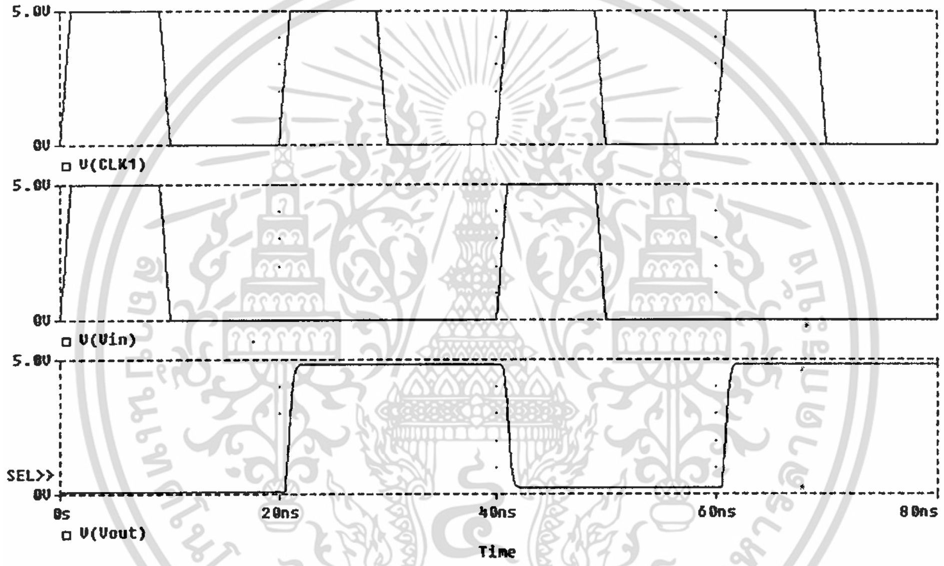


รูปที่ 4.20 แสดงการโอนถ่ายไฟตรงวงจรสแตติกแลทช์แบบกลับเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 4.20 จะสังเกตุการโอนถ่ายไฟตรงของวงจรซีมอสสแตติกแลทช์ จะมีลักษณะที่ราบเรียบกว่าวงจรไบซีมอสสแตติกแลทช์ ทั้งนี้เนื่องจากวงจรไบซีมอสประกอบด้วยมอสทรานซิสเตอร์และไบโพลาร์ทรานซิสเตอร์ ซึ่งทำงานไม่พร้อมกัน โดยช่วงแรกมอสทรานซิสเตอร์จะทำงานก่อนจากนั้นไบโพลาร์ทรานซิสเตอร์จึงจะทำงานดังที่ได้กล่าวแล้วในเรื่องการหน่วงเวลาของวงจรไบซีมอสแลทช์

2. การศึกษาคุณสมบัติทางสวิทชิ่งของวงจรไบซีมอสสแตติกแลทช์

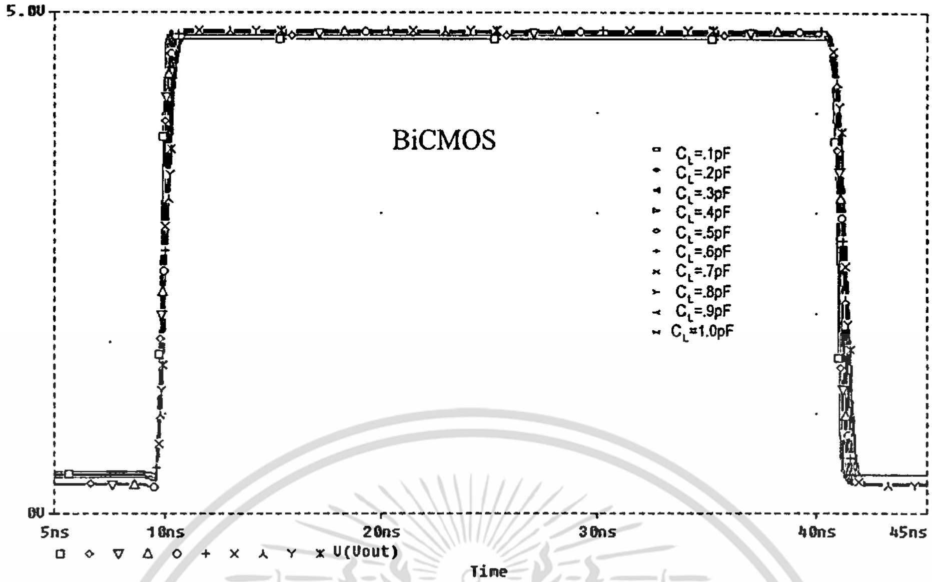


รูปที่ 4.21 แสดงการทำงานของวงจรไบซีมอสสแตติกแลทช์แบบกลับเฟส

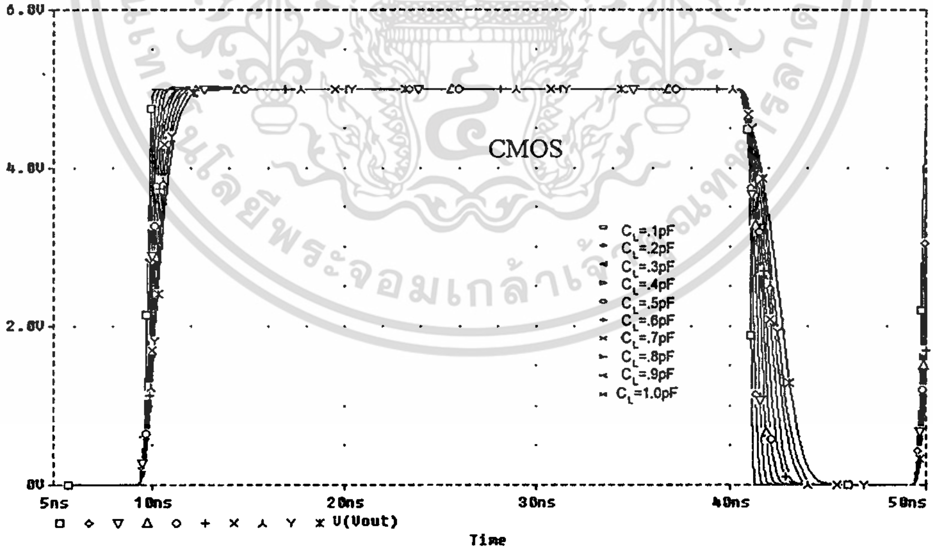
จากรูปที่ 4.21 แสดงผลการจำลองเมื่อป้อนขบวนสัญญาณพัลส์ (pulse train signal) ค่า 1,0,1,0 ที่ความถี่ 25 MHz หรือคาบเวลา เท่ากับ 40 ns ในขณะที่สัญญาณนาฬิกามีความถี่ 50 MHz หรือค่าบเวลาเท่ากับ 20 ns โดยทดสอบกับโหลด C_L = 1 pF โดยช่วงเวลาที่สัญญาณนาฬิกามีค่าเป็น 0 วงจรสแตติกแลทช์จะทำหน้าที่เก็บระดับสัญญาณไว้ และจะเปลี่ยนแปลงไปเมื่อสัญญาณนาฬิกามีค่าเป็น 1

การเปรียบเทียบช่วงเวลาที่ใช้ในการเปลี่ยนระดับสัญญาณเอาท์พุทจาก 1 เป็น 0 และ จาก 0 เป็น 1 เมื่อทดสอบกับค่าความจุโหลด 0 ถึง 1 pF ดังรูปที่ 4.22 ซึ่งแสดงการทดสอบวงจรไบซีมอสแตติกแลทช์ และรูปที่ 4.23 แสดงการทดสอบวงจรซีมอสสแตติกแลทช์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

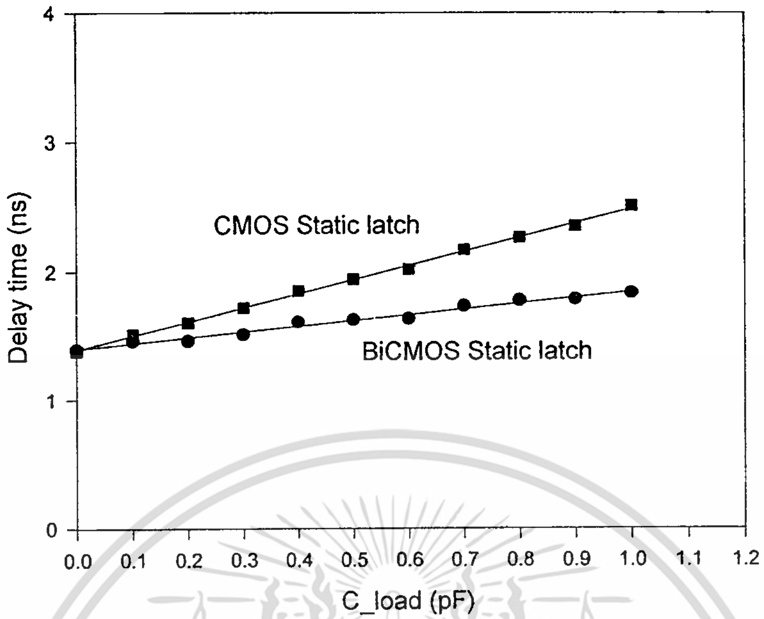


รูปที่ 4.22 แสดงการตอบสนองวงจรไบซีมอสสแตติกแลทช์เมื่อทดสอบกับ C_L = 0 ถึง 1pF



รูปที่ 4.23 แสดงการตอบสนองวงจรซีมอสสแตติกแลทช์เมื่อทดสอบกับ C_L =0.1 ถึง 1 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.24 แสดงค่าหน่วงเวลาของวงจรไบซีมอสและซีมอสสแตติกแลทช์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

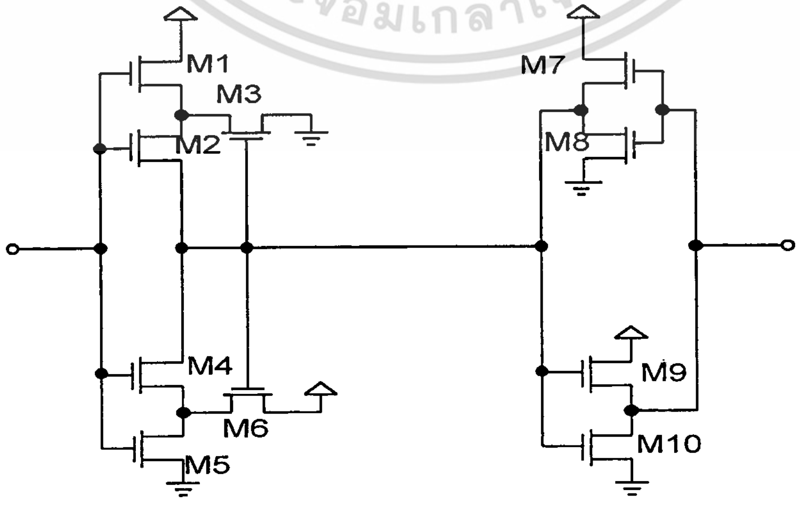
บทที่ 5

วงจรไบซีมอสชมิทท์ทริกเกอร์

5.1 วงจรไบซีมอสชมิทท์ทริกเกอร์แบบสวิงเต็มช่วง

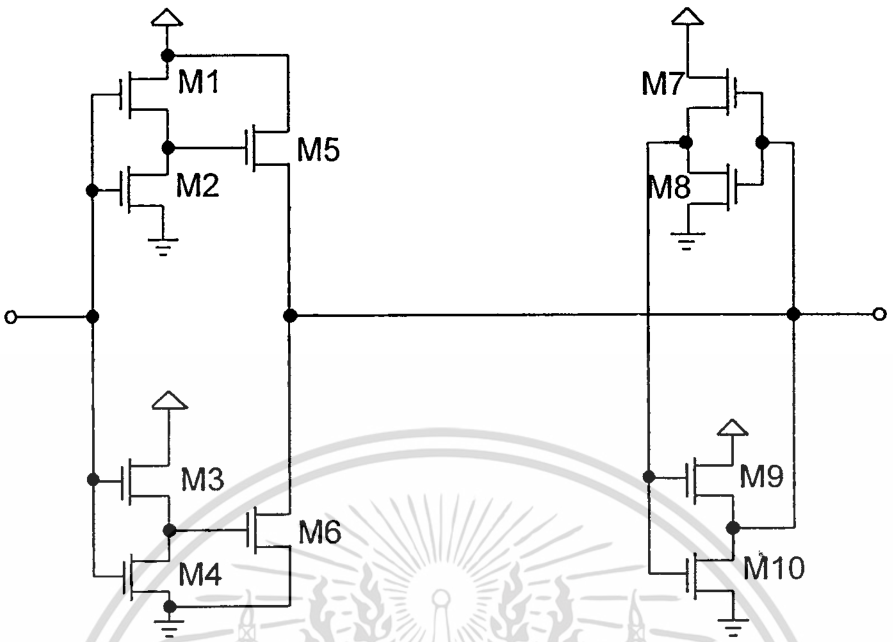
การใช้วงจรสวิงเต็มช่วงของไบซีมอสชมิทท์ทริกเกอร์ประกอบไปด้วยไบซีมอสอินเวอร์เตอร์และวงจรซีมอสแลทช์ วงจรใหม่นี้รูปคลื่นเอาท์พุทจะเป็นลักษณะซีมอสชมิทท์ทริกเกอร์ธรรมดา แหล่งจ่ายแรงดันสามารถลดลงได้ถึง 1.5 V วงจรชมิทท์ทริกเกอร์ใหม่ยังคงมีลักษณะการทำงานที่ดี การจำลองการทำงานใช้โปรแกรม PSpice สิ่งที่คาดหวังของวงจรไบซีมอส คือ ลดการหน่วงการส่งผ่าน และการหน่วงกำลังงานลง ไม่มีกระแสสะแตติกภายใต้แหล่งจ่ายแรงดันและโหลดเอาท์พุท กำลังงานสูญเสียของไบซีมอสชมิทท์ทริกเกอร์มีค่าน้อยกว่าซีมอสที่คล้ายกัน วงจรนี้มีการออกแบบที่มีการสวิงเต็มช่วง กับคุณสมบัติเหล่านี้ วงจรนี้เหมาะสำหรับวงจรที่ต้องการความเร็วสูงและใช้กำลังงานต่ำ

ชมิทท์ทริกเกอร์เป็นวงจรที่ใช้เพื่อลดวงจรที่มีความไวต่อสัญญาณรบกวนและสิ่งรบกวน ชมิทท์ทริกเกอร์ที่นิยมใช้พื้นฐานของทฤษฎีการป้อนกลับแบบบวกดังรูปที่5.1 ส่วนชมิทท์ทริกเกอร์ชนิดอื่น ใช้พื้นฐานของความแตกต่างของแรงดันเทรสโฮลของมอสทรานซิสเตอร์ในซีมอสชมิทท์ทริกเกอร์ดังแสดงรูปที่ 5.2



รูปที่ 5.1 แสดงซีมอสชมิทท์ทริกเกอร์ที่นิยม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2 วงจรปรับปรุงซีมอสชมิทท์ทริกเกอร์ให้ดีขึ้น

การสวิทชิ่งขึ้นอยู่กับอัตราส่วนการทำงานของ NMOS และ PMOS ทรานซิสเตอร์ อย่างไรก็ตามวงจรนี้จะแสดงปรากฏการณ์หลังจากการส่งผ่านเริ่มต้นขึ้น การคาดหวังในการรักษารูปลักษณะซีมอสชมิทท์ทริกเกอร์ดังแสดงรูปที่ 5.2 และสำหรับสิ่งที่คาดหวังในวงจรไบซีมอสชมิทท์ทริกเกอร์คือ การออกแบบให้มีการสวิงได้เต็มช่วง มีความเร็วสูง ใช้กำลังงานต่ำ และยังคงทำงานได้ดีเมื่อแหล่งจ่ายแรงดันลดลงถึง 3.3 V หรือ 1.5 V

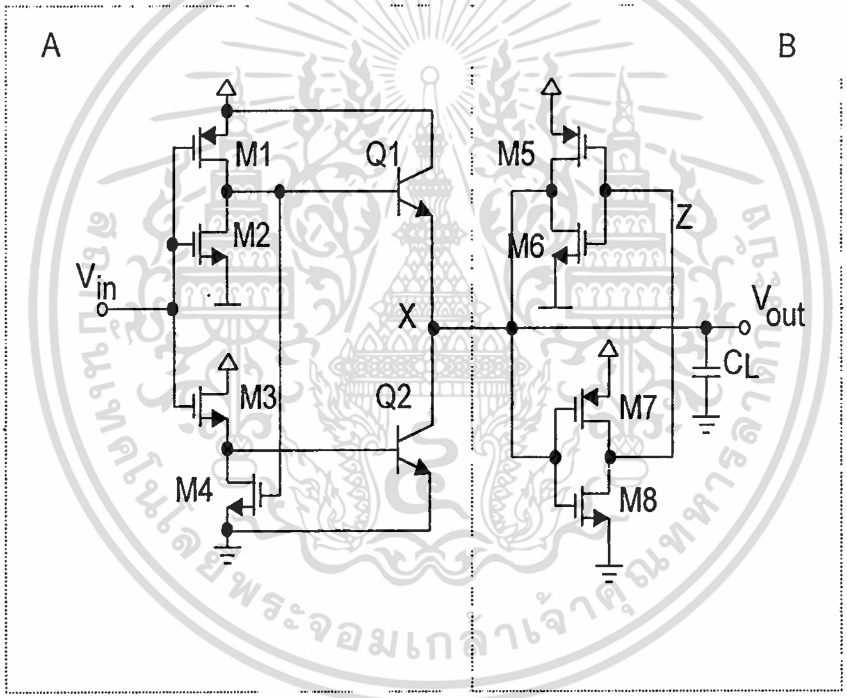
5.1.1 การทำงานของวงจร

ตามรูปที่ 5.3 และ 5.4 วงจรประกอบด้วยไบซีมอสอินเวอร์เตอร์และซีมอสอินเวอร์เตอร์ 2 ชุด (คือวงจรแลทช์) วงจรนี้สามารถแบ่งเป็นวงจรย่อยได้ 2 วงจร วงจรหนึ่งคือไบซีมอสอินเวอร์-เตอร์ส่วน A และอีกส่วนหนึ่งคือวงจรแลทช์เป็นส่วน B แรงดันเอาท์พุทถูกจำกัดโดยแรงดันตกคร่อมของรอยต่อเบส-อิมิตเตอร์ของส่วนขับไบโพลาร์ วงจรย่อย B จะยังไม่ดึงให้เอาท์พุทสวิงเต็มช่วงแต่จะรักษาวงจรแลทช์ไว้ การทำงานของวงจรอธิบายได้ดังนี้

อันดับแรก ตั้งค่าแรงดัน V_{T1} และ V_{T2} โดยค่า V_{T1} ต้องมีค่าน้อยกว่า V_{T2} เมื่อแรงดันอินพุทเป็น 0 V M1 และ M4 จะ ON M2 และ M3 จะ OFF Q2 จะ OFF Q1 จะ ON และเอาท์พุทที่จุด X จะมีค่าเป็น V_{DD} เมื่อแรงดันอินพุทเพิ่มขึ้นระหว่าง V_{T1} และ V_{T2} M1, M3 และ M4 จะ OFF และ M2 จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ON และทั้ง Q1, Q2 จะ OFF ที่จุดเอาท์พุทยังคงมีค่าเท่ากับ V_{DD} เพราะว่าเอาท์พุทแลทช์ที่จุด Z มีค่าลดลงเป็น 0 V เมื่อ V_{in} มีค่ามากกว่า V_{T2} M1 และ M4 จะ OFF, M2 และ M3 จะ ON และ Q1 จะ OFF, Q2 จะ ON และที่จุดเอาท์พุท X มีค่าลดลงเป็น 0 V ในทำนองเดียวกัน เมื่อ V_{in} ลดลงจาก V_{DD} เป็นค่าแรงดันที่น้อยกว่า V_{T1} ทั้ง Q1 และ Q2 จะ OFF และจุดเอาท์พุท แรงดันยังคงเป็น 0 V การส่งผ่านเกิดขึ้นเมื่อ V_{in} น้อยกว่า V_{T1} และสูงกว่า V_{T2} แรงดันเทรสโฮล V_{T1} สามารถกำหนดได้จาก V_{IL} และ V_{IH} (สมมติให้ $V_t = -V_{t1} = V_{t2}$) ตามสมการ



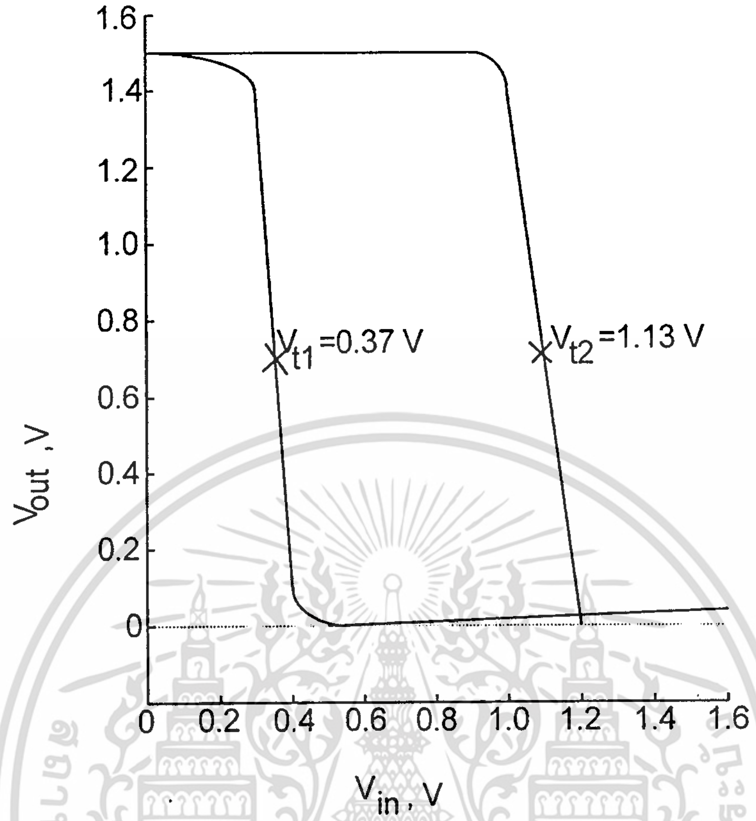
รูปที่ 5.3 วงจรไบซีมอสชมิทท์ทริกเกอร์ของ [11]

$$V_{IL} = \left(V_{DD} - V_t\right) - \left(V_{DD} - 2V_t\right)\left(\frac{K_R}{\left(K_R + 2\right)}\right)^{\frac{1}{2}} \tag{5.1}$$

$$V_{IH} = V_t + \frac{\left(V_{DD} - 2V_t\right)}{\left(2K_R + 1\right)^{\frac{1}{2}}} \tag{5.2}$$

$$V_{T1} \approx \frac{\left(V_{IL} + V_{IH}\right)}{2} \tag{5.3}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.4 การทำงานของวงจรไบซีมอสชมิทท์ทริกเกอร์ใหม่

เมื่อ $K_R = \dfrac{K_2}{K_1}$ และ $K_i = \mu / 2C_{ox}W_i / L_iV_{T1}$ มีค่าน้อยกว่าถ้าอัตราส่วน $\dfrac{K_2}{K_1}$ มีค่ามากๆ

$$V_{T2} \approx V_{BE2} + V_{Tn3} + \left(\frac{I_{D3}}{K_3}\right)^{\frac{1}{2}} \tag{5.4}$$

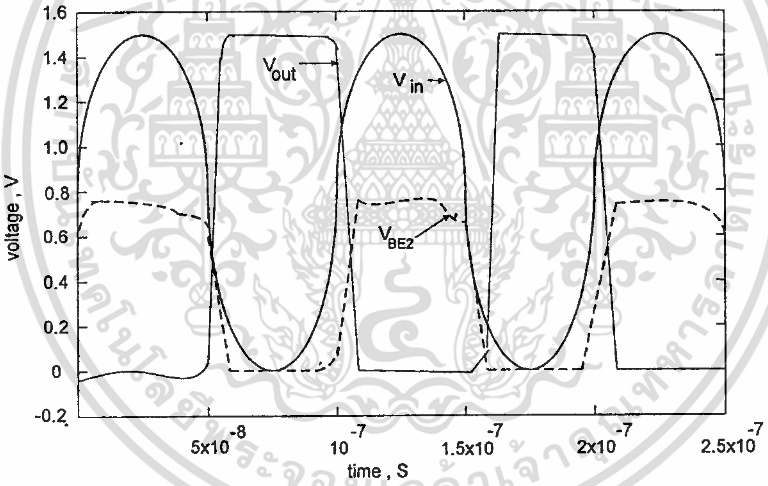
แรงดันเทรสโฮล V_{T2} กำหนดจากค่าทางเรขาคณิตของ M3 V_{T2} จะมีค่าน้อยกว่า ถ้า $\dfrac{W_3}{L_3}$ มีค่ามาก สมมติว่าขนาดมีผลเล็กน้อย เพื่อจะลดค่าเวลาหน่วงของวงจรทริกเกอร์ ถ้าเพิ่มความกว้างของคู่ทรานซิสเตอร์ M1 และ M3 อย่างไรก็ตามวิธีนี้จะไปเพิ่มกำลังงานที่ใช้ ตัวอย่างสมมติให้ W_1 = 2.8 μm, W_3 = 3.5 μm, L = 0.35 μm, V_{DD} = 1.5 V., f = 10 MHz. จากการจำลองด้วย PSpice สิ่งที่คาดหวังของวงจรคือ มี V_{T1} = 0.329 V, V_{T2} = 1.154 V ผลรวมของกระแส I_{DD} = 2.645 μA ผลรวมของกำลังงาน P_t = 3.97 μW และการหน่วงเวลาส่งผ่าน T_d = 1.41 ns โดยการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลดลง W_1 เป็น 1.4 μm, V_{T1} = 0.219 V, V_{T2} = 1.155 V, I_{DD} = 1.188 μA, P_t = 1.78 μW และ T_d = 2.11 ns ในทำนองเดียวกันถ้าลด W_3 เท่านั้นเป็น 1.75 μm, V_{T1} = 0.329 V, V_{T2} = 1.214 V, I_{DD} = 2.599 μA, P_t = 3.9 μW และ T_d = 1.61 ns จากตัวอย่างสังเกตว่าผลรวมของกำลังงานที่ใช้ไปยังคงขึ้นอยู่กับ W_1 ในวงจรนี้เวลาที่เพิ่มขึ้นเป็นสัดส่วนโดยตรงกับอัตราส่วนตามสมการ (5.1) เวลาหน่วงของวงจรจะลดลง เมื่อ W_i เพิ่มขึ้น ถ้า M1 และ M2 อยู่ในสภาวะอิ่มตัวทั้งคู่

$$I_{D1} = K_2\left[\frac{\sqrt{K_2 / K_1}\left(V_{DD} - 2V_t\right)}{1 + \sqrt{K_2 / K_1}}\right] \tag{5.5}$$

เมื่อสมมติให้ $V_{tn} = V_{tp} = V_t$ สำหรับการคำนวณ

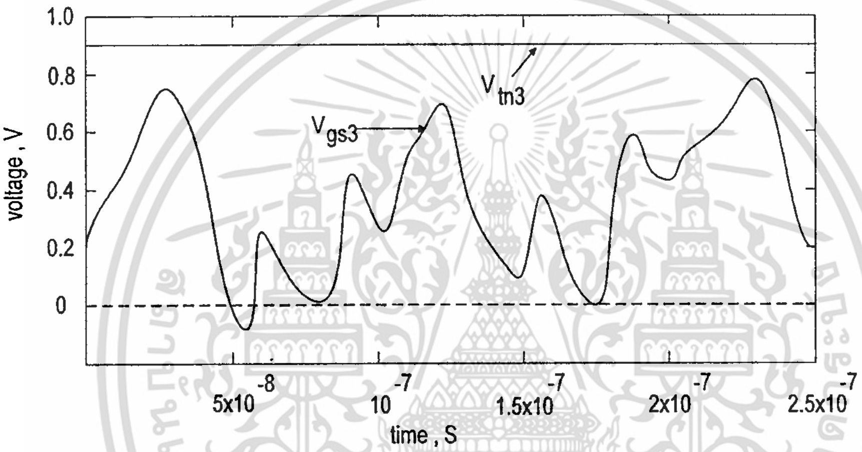


รูปที่ 5.5 V_{in} V_{BE} และ V_{out} กับ เวลา

ใช้กระแสเทรสโฮลย่อยเพื่อขับกระแสต่ำของวงจรย่อย A เมื่อ V_{in} เพิ่มขึ้น วงจรทำงานภายใต้ V_{DD} ที่มาก (สำหรับตัวอย่างใช้ 5 V) อย่างไรก็ตามเพราะว่าการออกแบบ วงจรสามารถใช้ฟังก์ชั่นธรรมดาภายใต้เงื่อนไขที่ $V_{DD} < [V_{tn3} + V_{BE2}]$ เนื่องจากกระแสเทรสโฮลย่อยมีค่าต่ำยังคงมากพอที่จะขับไบโพลาร์ Q2 กระแสซิงค์ที่จุด X การทำงานภายใต้ V_{DD} ที่ต่ำตามแสดงตามรูปที่ 5.5 นี้แสดง V_{in}, V_{BE2} และ V_{out} กับเวลา ตามรูปนี้สามารถใช้ V_{gs3} ($V_{gs3} = V_{in} - V_{BE}$) กับเวลาซึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ผู้ใช้จะไม่นำไปใช้ประโยชน์ในด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดงตามรูปที่ 5.6 เมื่อ V_{in} ตกคร่อม V_{T2} Q2 ต้องเริ่มกระแสซิงค์เทียบกราวด์ ณ เวลานี้ V_{gs3} ยังคงมีค่าต่ำกว่าแรงดันเทรสโฮล V_{tn3} ตามปกติกระแสเทรสโฮลย่อยจะมีค่ามากต่อเดรนของ M3 ไป V_{DD} กระแสเทรสโฮลย่อยมีค่ามากที่ Q2 ซึ่งกระแสซิงค์จะประจุที่จุด X จะทำให้ Q2 อิ่มตัวอย่างเร็วมาก ซึ่งหมายความว่ากระแสเทรสโฮลย่อยมีค่ามากพอ ที่จะขับส่วนที่กระแสต่ำของวงจรย่อย A เพื่อฟังก์ชั่นที่ถูกต้อง กระแสเทรสโฮลย่อยมีผลอย่างมากต่อการลดลงของ V_{DD} เป็น 1.1 V. และคาดหวังว่าวงจรนี้จะยังคงทำงานได้ดีอยู่ ส่วนบนของวงจรย่อย A เป็นอินเวอร์-เตอร์ธรรมดา



รูปที่ 5.6 V_{gs3} กับ เวลา

ตามธรรมชาติของชมิทท์ทริกเกอร์จะทำให้วงจรย่อย B ON ที่เวลาการส่งผ่านและปรับงจรย่อย A ให้พอเหมาะจะทำให้ Q1 และ Q2 ยังคง ON อยู่ ที่เวลาการส่งผ่านเท่านั้น ดังนั้นไม่มีกำลังสะแตติกที่จะทำให้สิ้นเปลืองที่สภาวะชั่วขณะ

5.2 การเปรียบเทียบชมิทท์ทริกเกอร์ระหว่างไบซีมอสกับซีมอส

ใช้ PSpice ในการจำลองการเปรียบเทียบวงจรทั้งซีมอสชมิทท์ทริกเกอร์และปรับปรุงซีมอสชมิทท์ทริกเกอร์ใหม่ การเปรียบเทียบจะทำโดยใช้วิธีการแนะนำ รวมทั้งการหน่วงการส่งผ่าน การหน่วงกำลังงาน และอื่นๆ เพิ่มแรงดันฮีสเตอร์รีซีสกับโหลดเอาท์พุท อย่างไรก็ตามความถี่และแหล่งจ่ายแรงดันจะไม่ใช้สำหรับวงจร เพราะว่าเป็นอินเวอร์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.1 แสดงค่าพารามิเตอร์ของเทคโนโลยีไบซีมอส

CMOS						Bipolar				
L	V_{tn}	V_{tp}	t_{ox}	C_j	V_{DD}	β	I_C	C_{jc}	C_{je}	C_{cs}
(μm)	V	V	(nm)	(μF)	V	--	(mA)	(fF)	(fF)	(fF)
0.5	0.895	-0.972	25	182.9	3.3	100	1.5	40	40	50
0.35	0.895	-0.972	25	182.9	3.3	100	1.5	40	40	50

การเปรียบเทียบที่ค่าแหล่งจ่ายแรงดันที่แตกต่าง(และรูปทางเรขาคณิต) วงจรทั้งหมดมีค่าพารามิเตอร์อุปกรณ์ที่เหมือนกันดังแสดงตามตารางที่ 5.1 อุปกรณ์มอสทางเรขาคณิตดังแสดงตามตารางที่ 5.2 ทรานซิสเตอร์ขนาดที่ใช้ในแลทช์ของรูปที่ 5.1 และวงจรย่อย B ตามรูปที่ 5.3

ตารางที่ 5.2 รูปร่างทางเรขาคณิตของวงจร

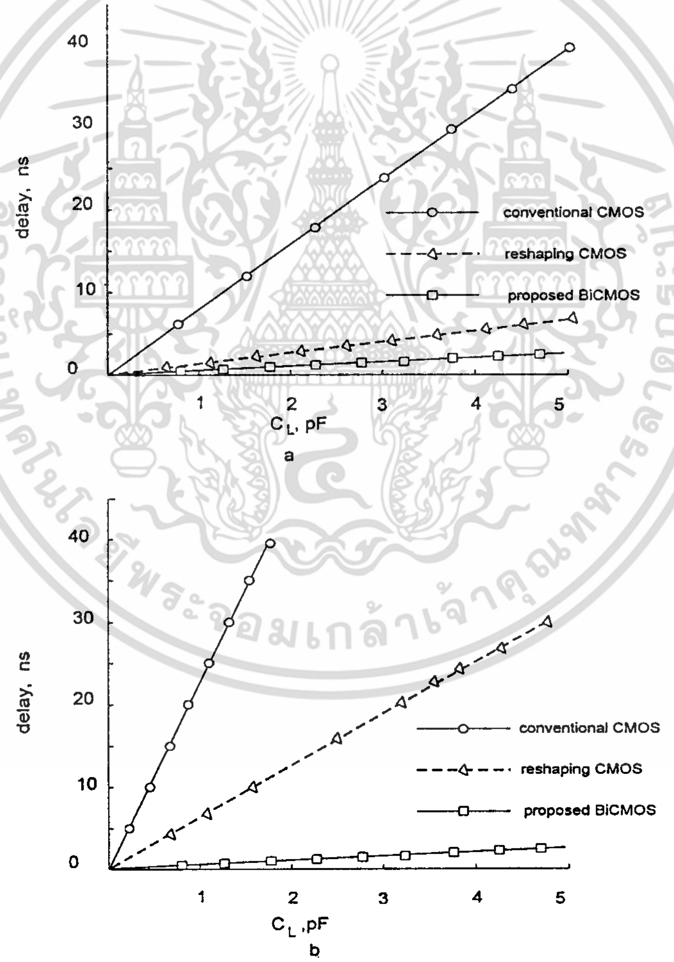
W/L	ที่นิยมใช้		ปรับปรุงให้ดีขึ้น		สิ่งที่คาดหวัง	
(μm)	0.35	0.5	0.35	0.5	0.35	0.5
M1	2.8/0.35	4.0/0.5	0.35/0.35	4.0/0.5	2.8/0.35	0.5/0.5
M2	2.8/0.35	1.5/0.5	0.5/2.0	0.5/0.5	0.7/0.35	1.0/0.5
M3	0.35/0.35	0.5/0.5	0.35/0.35	0.5/0.5	3.5/0.35	3.0/1.0
M4	3.5/0.35	5.0/0.5	3.5/0.35	4.0/0.5	0.7/0.35	0.75/0.5
M5	3.5/0.35	5.0/0.5	2.8/0.35	4.0/0.5	1.4/0.35	2.0/0.5
M6	2.8/0.35	4.0/0.5	1.4/0.35	2.0/0.5	0.7/0.35	1.0/0.5
M7	1.4/0.35	2.0/0.5	1.4/0.35	2.0/0.5	1.4/0.35	2.0/0.5
M8	0.7/0.35	1.0/0.5	0.7/0.35	1.0/0.5	0.7/0.35	1.0/0.5
M9	1.4/0.35	2.0/0.5	1.4/0.35	2.0/0.5	—	—
M10	0.7/0.35	1.0/0.5	0.7/0.35	1.0/0.5	—	—

5.2.1 การหน่วงการส่งผ่าน

ตามรูปที่ 5.7(a), 5.7(b) แสดงการขึ้นอยู่กับการหน่วงเวลาการส่งผ่านที่โหลดคาปาซิแตนซ์กับ V_{DD} ที่ 3.3 V. (L= 0.5 μm) และ 1.5 V. (L= 0.35 μm) ตามลำดับ การหน่วงเวลาของวงจรนี้วัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

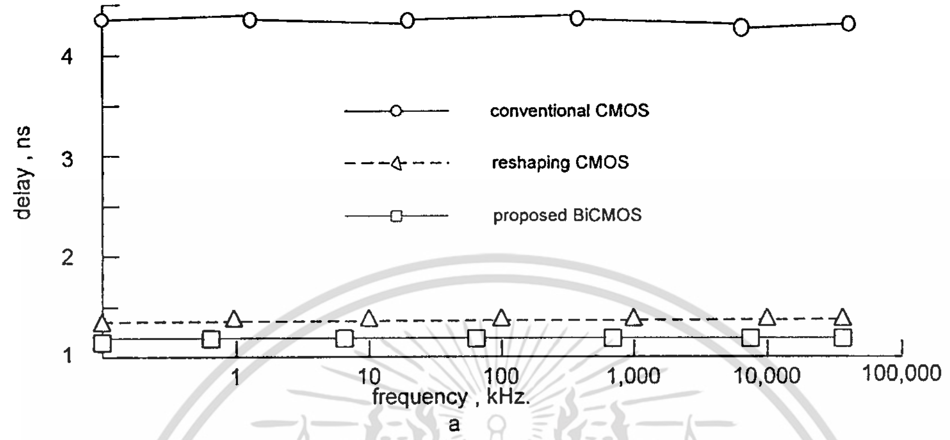
จากค่าเฉลี่ยของเวลาขาขึ้นและเวลาตกลงจาก $V_{in} = \frac{V_{DD}}{2}$ ถึง $V_O = \frac{V_{DD}}{2}$ สำหรับสัญญาณสี่เหลี่ยมที่อินพุท 1 MHz. การเพิ่มขึ้นของโหลดคาปาซิแตนซ์จะไปเพิ่มค่าหน่วงการส่งผ่าน ดังแสดงวงจรและผลการจำลอง วงจรที่คาดหวังมีค่าความเร็วเป็นสองเท่าซีมอสชมิทท์ทริกเกอร์กับ C_L= 1.5 pF ดังรูปที่ 5.7(a) และ 0.5 pF ในรูปที่ 5.7(b) สำหรับโหลดเอาท์พุทที่มากกว่าไบซีมอสชมิทท์ทริกเกอร์มีคุณภาพสูงกว่าซีมอสชมิทท์ทริกเกอร์ตามรูปที่5.7(b) แสดงซีมอสชมิทท์ทริกเกอร์ที่นิยมใช้ไม่สามารถใช้เป็นฟังก์ชั่นที่ความเร็วเมื่อ C_L มีค่ามากกว่า 1.5 pF และไม่สามารถปรับปรุงรูปซีมอสให้ทำงานได้ดี เมื่อ C_L มีค่ามากกว่า 4 pF วงจรที่คาดหวังยังคงเข้าใกล้ค่าคงที่การหน่วงการส่งผ่าน (น้อยกว่า 4.2 % เปรียบเทียบกับการปรับปรุงรูปโครงสร้างซีมอสและ C_L= 4 pF)

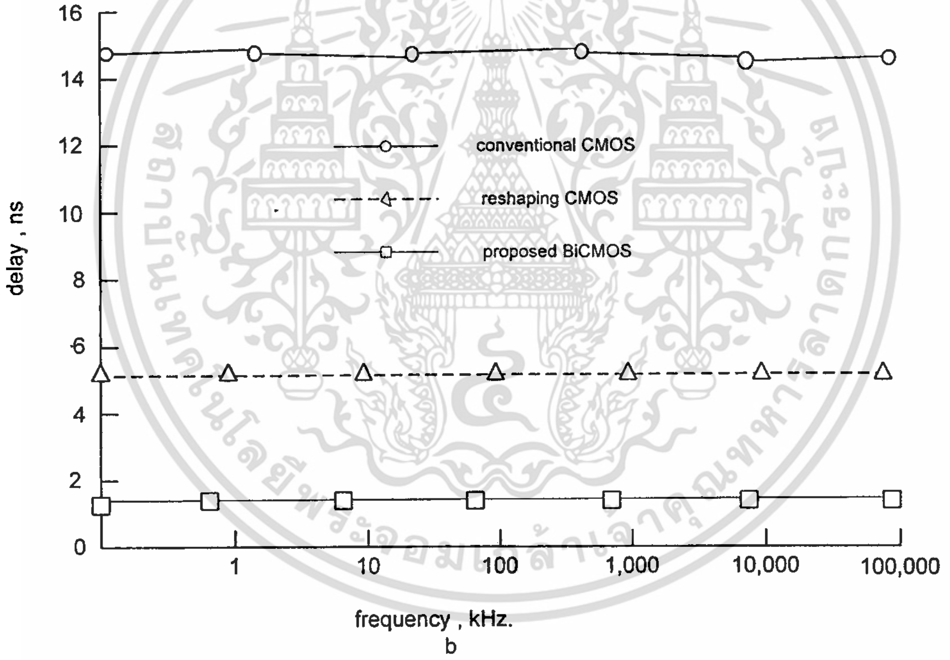


รูปที่ 5.7 การหน่วงการส่งผ่านกับโหลดคาปาซิแตนซ์ a) L = 0.5 μm, V_{DD}= 3.3 V

b) L = 0.35 μm, V_{DD}= 1.5 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

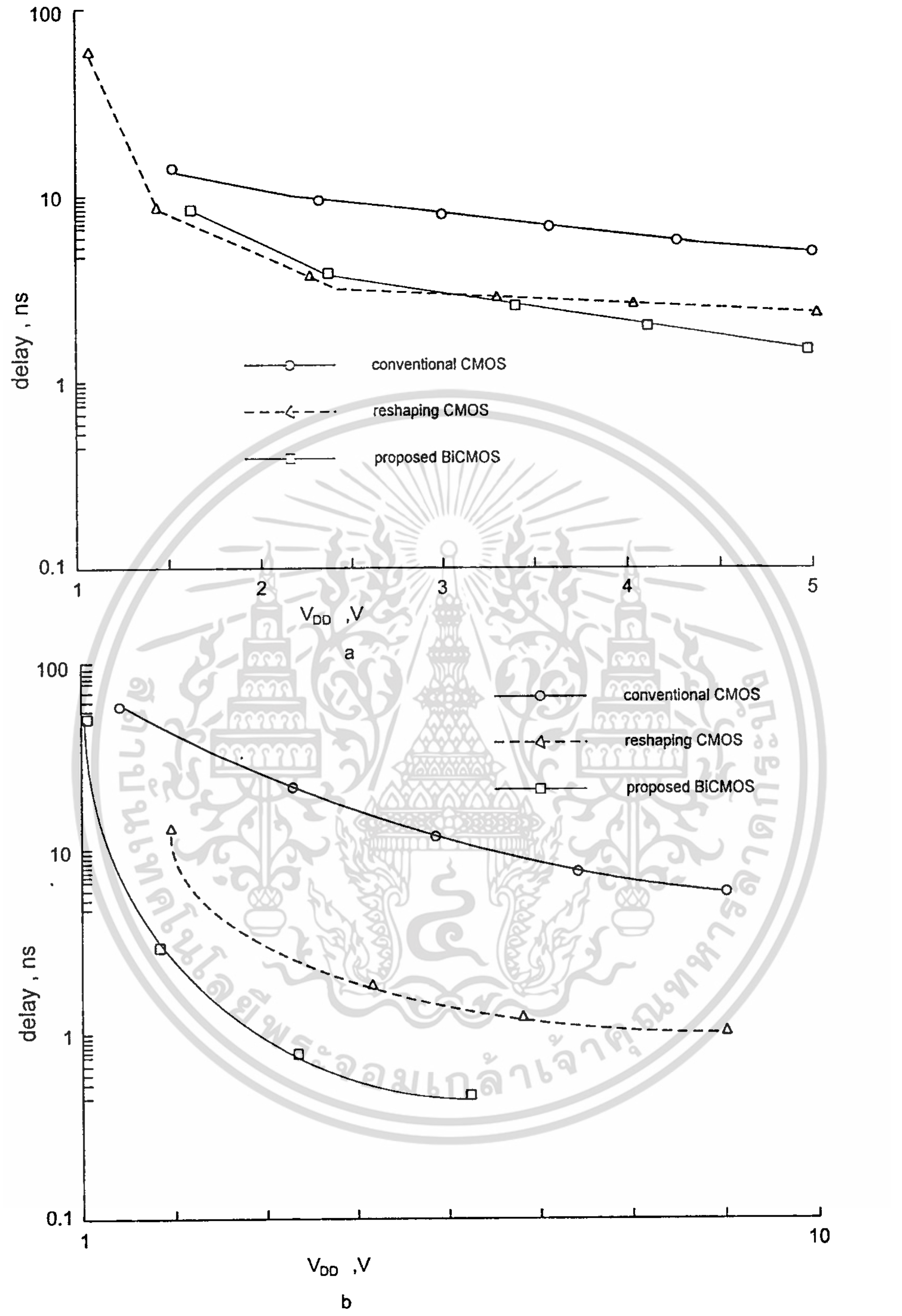




รูปที่ 5.8 การหน่วงเวลาการส่งผ่านกับความถี่ a) L = 0.5 μm, V_{DD}= 3.3 V

b) L = 0.35 μm, V_{DD}= 1.5 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.9 การหน่วงเวลาการส่งผ่านกับแหล่งจ่ายแรงดัน

a) L = 0.5 μm, C_L = 0.5 pF b) L = 0.35 μm, C_L = 0.5 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 5.8 แสดงการหน่วงเวลาการส่งผ่านกับความถี่ด้วย $C_L = 0.5$ pF วงจรที่คาดหวังมีการทำงานที่สำเร็จสูงสุด และความเร็วทั้งหมดมี 3 ชนิดของวงจรและความถี่ทั้งหมด

การเปรียบเทียบคุณภาพเมื่อแหล่งจ่ายแรงดันลดลง วงจรที่คาดหวังในรูป 5.9(a) (L = 0.5 μm)' มีความเร็วเหมือนกันทั้งหมด และปรับปรุงวงจรซีมอสให้ดีขึ้น และวงจรทั้งสองดีกว่าวงจรซีมอสที่ใช้กันอยู่ อย่างไรก็ตามเมื่อแหล่งจ่ายแรงดัน มีค่ามากกว่า 1.7 V การหน่วงการส่งผ่านของซีมอสคู่ ออกแบบให้มีค่ามากกว่าการหน่วงในวงจรที่คาดหวัง ในรูปที่ 5.9(b) (L = 0.35 μm) วงจรที่คาดหวัง รูปคลื่นเอาท์พุททั้งสองของซีมอสคล้ายกัน

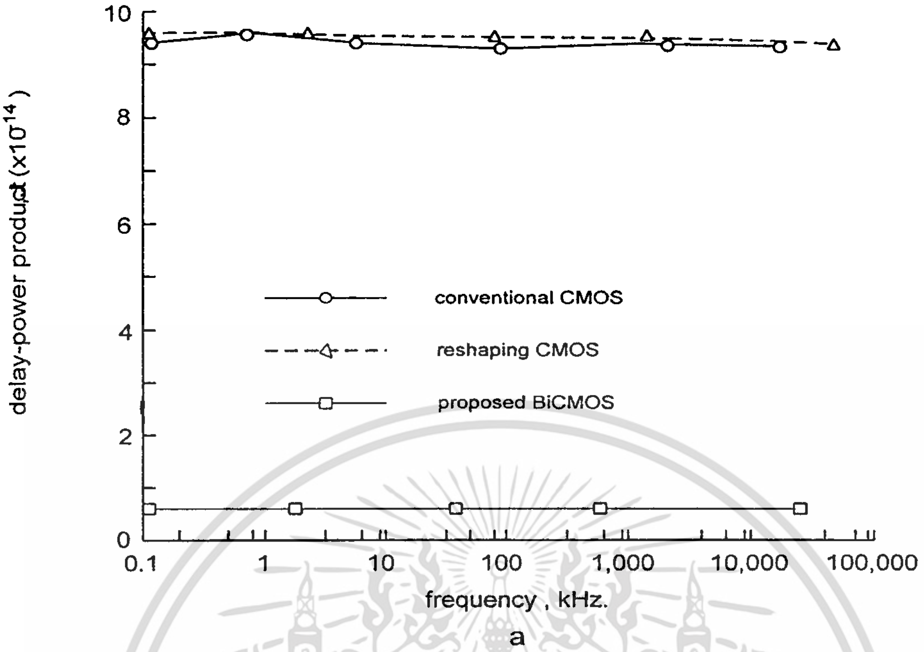
5.2.2 การหน่วงกำลังงาน

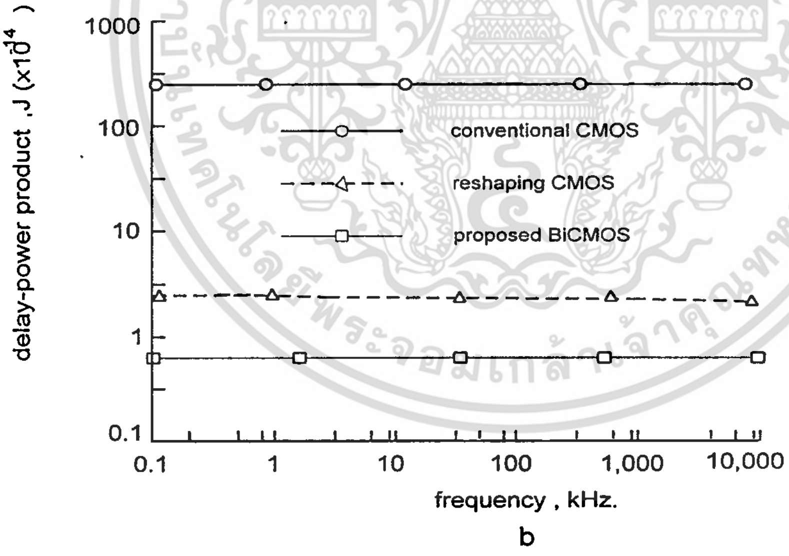
ชมิทท์ทริกเกอร์มีช่วงฮีสเตอร์รีซีส ทรานซิสเตอร์พุชพูลไม่ได้ทำงานในเวลาเดียวกัน ดังนั้นการเปลี่ยนแปลงความถี่และโหลดคาปาซิแตนซ์อย่างมาก จะมีผลต่อกำลังงานสูญเสีย อย่างไรก็ตามกำลังงานสูญเสียยังคงมีผลต่อทั้งการหน่วงเวลาและขนาดของมอส การเปรียบเทียบเฉพาะขนาดกำลังงานเท่านั้น เป็นการดีที่ใช้การหน่วงกำลังงานสำหรับการเปรียบเทียบ การหน่วงกำลังงานกับความถี่ โหลดคาปาซิแตนซ์และแหล่งจ่ายแรงดันตามรูปที่ 5.10-5.12 รูปเหล่านี้แสดงวงจรที่คาดหวังสำหรับการหน่วงกำลังงานที่ดีที่สุดภายใต้เงื่อนไข (ความถี่ โหลดคาปาซิแตนซ์ และแหล่งจ่ายแรงดัน)

5.2.3 แรงดันฮีสเตอร์รีซีส

แรงดันฮีสเตอร์รีซีส V_H วัดจาก $V_H = V_{T2} - V_{T1}$ โดยใช้รูปคลื่นไซน์เป็นอินพุท ความถี่ 1 MHz. รูปที่ 5.13 แสดงความสัมพันธ์ระหว่างแรงดันฮีสเตอร์รีซีสและ โหลดคาปาซิแตนซ์ ที่โหลดคาปาซิแตนซ์เพิ่มขึ้น V_H ของแต่ละ 3 วงจร รวมทั้งวงจรที่คาดหวังจะเพิ่มขึ้นด้วย อย่างไรก็ตามวงจรที่คาดหวังมีการเพิ่มน้อยที่สุดใน V_H เมื่อโหลดคาปาซิแตนซ์เพิ่มขึ้น และเพราะเป็นวงจรที่เหมาะสมมีเสถียรภาพ ภายใต้ความแตกต่างของโหลดคาปาซิแตนซ์ (ไม่ต่ำกว่า 0.22 V การเปลี่ยนจาก 0 pF ถึง 5 pF)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



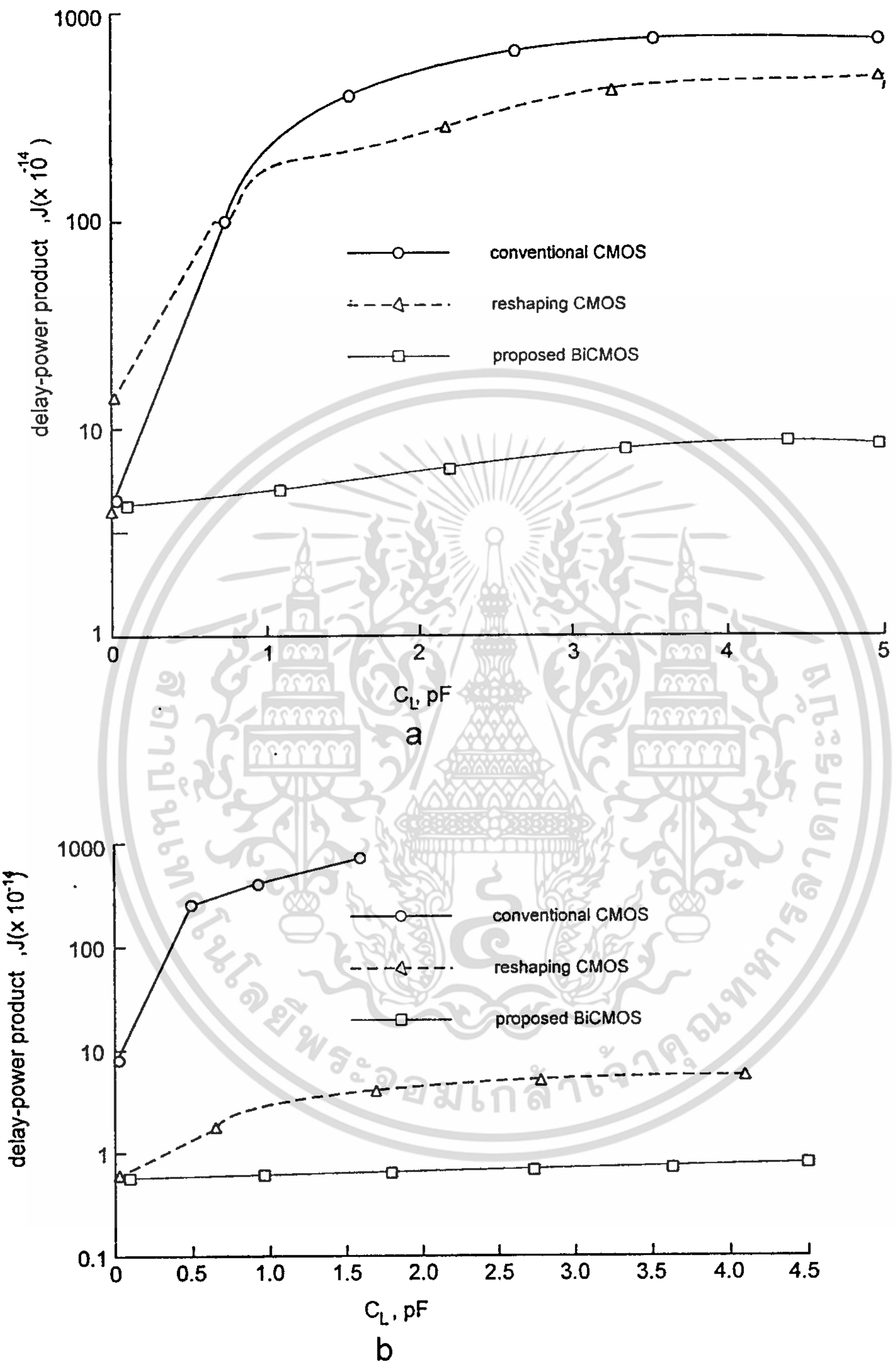


รูปที่ 5.10 การหน่วงกำลังงานกับความถี่

a) L = 0.5 μm, f = 1 MHz., V_{DD} = 3.3 V, C_L = 0.5 pF

b) L = 0.35 μm, f = 1 MHz., V_{DD} = 1.5 V, C_L = 0.5 pF

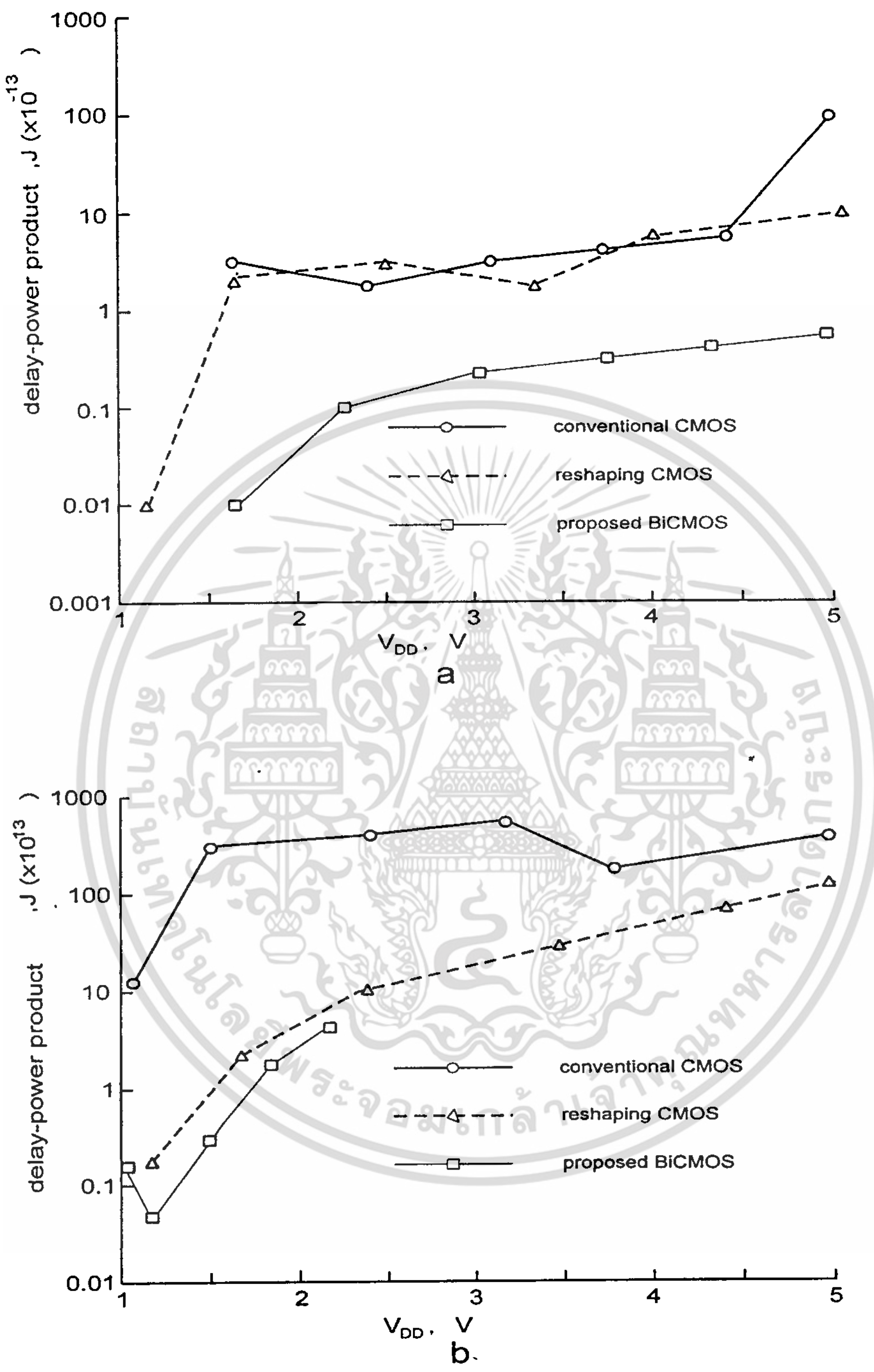
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.11 การหน่วงกำลังงานกับโหลดคาปาซิแตนซ์

a). L = 0.5 μm, V_{DD} = 3.3 V   b). L = 0.35 μm, V_{DD} = 1.5 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

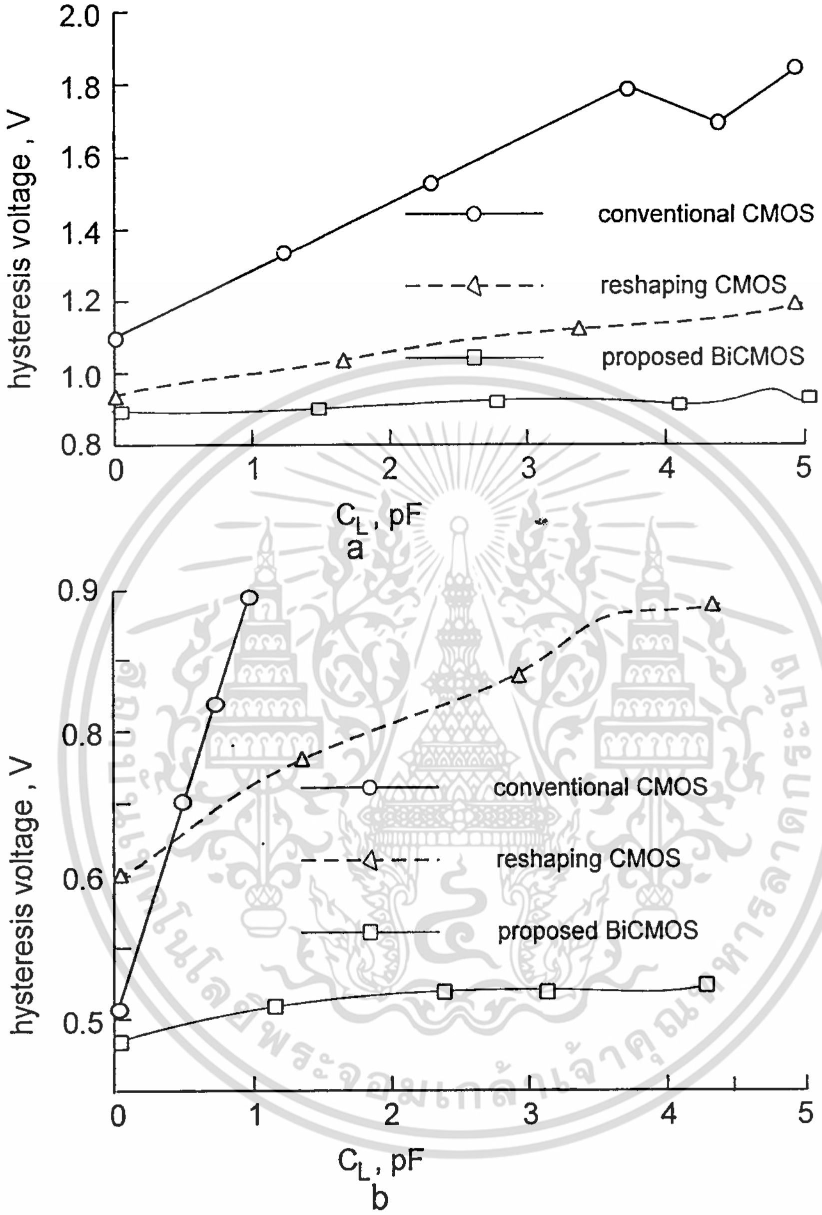


รูปที่ 5.12 การหน่วงกำลังงานกับแหล่งจ่ายแรงดัน

a). L = 0.5 μm ,V_{DD} = 3.3 V, C_L = 0.5 pF, f = 1 MHz.

b). L = 0.35 μm, V_{DD} = 1.5 V, C_L = 0.5 pF, f = 1 MHz.

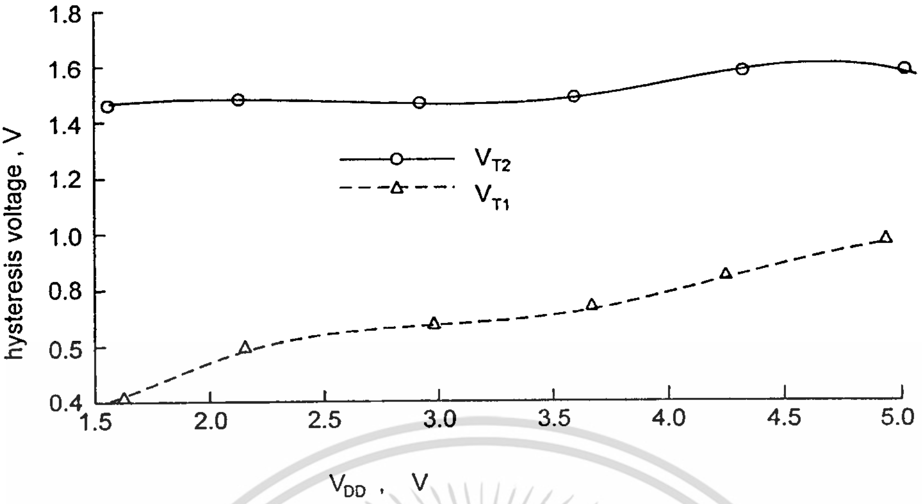
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.13 แรงดันฮีสเตอร์รีซีสกับโหลดคาปาซิแตนซ์

a) L = 0.5 μm, V_{DD} = 3.3 V   b) L = 0.35 μm, V_{DD} = 1.5 V

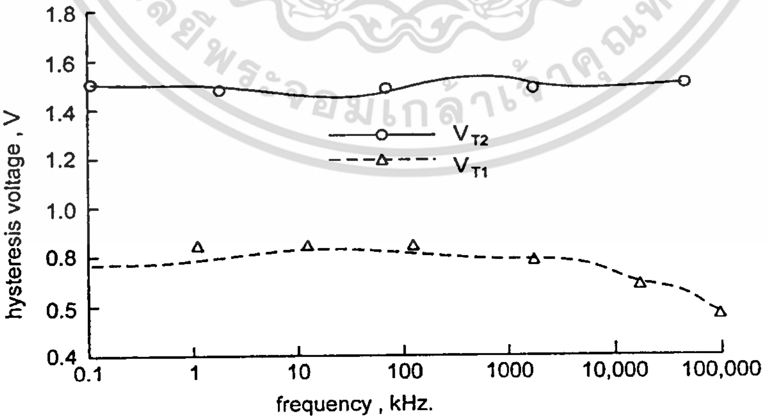
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.14 แรงดันอินพุทเทรสโฮล V_{T1} และ V_{T2} กับ แหล่งจ่ายกำลัง

L = 0.5 μm, C_L = 0.5 pF, f = 1 MHz.

คุณสมบัติของวงจรที่คาดหวังแสดงดังรูปที่ 5.14 และ 5.15 แรงดันเทรสโฮลอินพุท V_{T1} และ V_{T2} กับแหล่งจ่ายแรงดันที่ L = 0.5 μm ดังแสดงดังรูปที่ 5.14 การตอบสนองของความถี่ของวงจรที่คาดหวังดังแสดงดังรูปที่ 5.15



รูปที่ 5.15 การจำลองการตอบสนองความถี่ จาก 100 Hz. ถึง 25 MHz. (L = 0.5 μm)V_{DD} = 3.3 V,

C_L = 0.5 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรไบซีมอสชมิทท์ทริกเกอร์แบบใหม่ได้ออกแบบไว้ตามรูปวงจร วงจรนี้เป็นพื้นฐานของไบซีมอสอินเวอร์เตอร์และวงจรซีมอสแลทช์ วงจรนี้มีการออกแบบไบซีมอสแบบสวิงได้เต็มช่วง ใช้ PSpice จำลองผลการทดสอบ โครงสร้างของรูปคลื่นเอาท์พุทคล้ายกับซีมอส การหน่วงการส่งผ่าน การหน่วงกำลังงาน และเสถียรภาพกับการเปลี่ยนแปลงของแหล่งจ่ายแรงดันและโหลดเอาท์พุท กำลังงานสูญเสียของไบซีมอสชมิทท์ทริกเกอร์ทั้งหมดคล้ายกันกับซีมอส เนื่องจากธรรมชาติของชมิทท์ทริกเกอร์และเทคนิคการออกแบบ วงจรที่คาดหวังสามารถทำฟังก์ชั่นให้แหล่งจ่ายแรงดันต่ำลงอย่างมากและยังคงรักษาความเร็วที่ดี ขณะที่ซีมอสคล้ายกันไม่สามารถทำได้ ดังนั้นวงจรที่คาดหวังมีความเหมาะสมอย่างมากสำหรับแรงดันต่ำและกำลังงานต่ำ

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

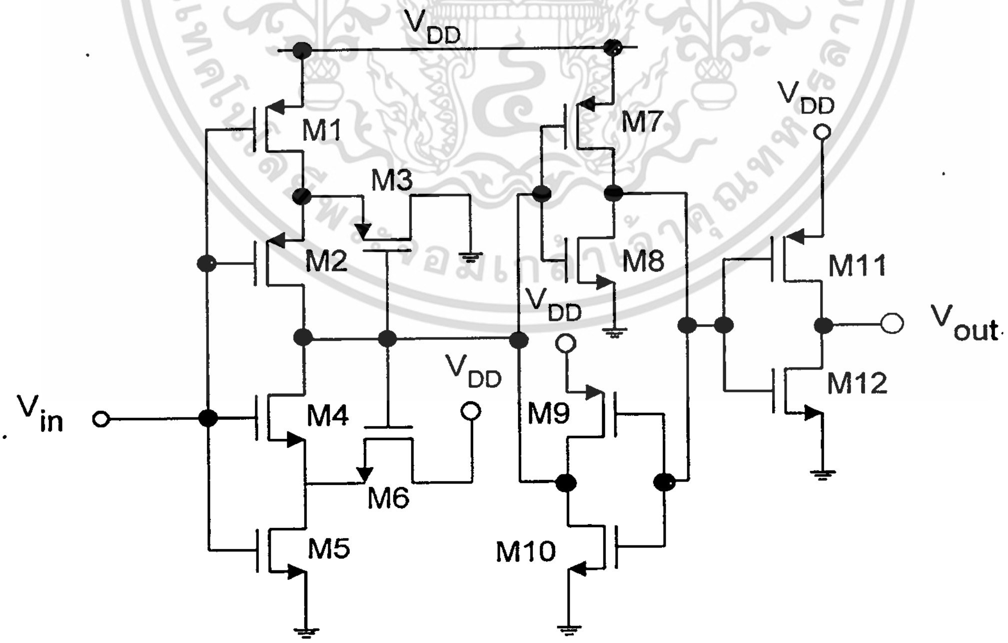
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

วงจรไบซีมอสชมิทท์ทริกเกอร์ที่ออกแบบใหม่

วงจรชมิทท์ทริกเกอร์แบบซีมอสชนิดไม่กลับเฟสที่ใช้อยู่ในปัจจุบัน มีลักษณะวงจรแสดงดังรูปที่ 6.1 เช่นเดียวกับวงจรในตระกูลซีมอสชนิดอื่น ซึ่งจะประสบปัญหาเรื่องความสามารถในการขับวงจร และการหน่วงเวลา (delay time) เมื่อโหลดมีค่าสูง ๆ และแหล่งจ่ายแรงดันมีค่าต่ำลง ขณะที่วงจรไบซีมอสซึ่งเป็นที่ผสมผสานข้อดีของวงจรตระกูลไบโพลาร์และซีมอสเข้าด้วยกันกำลังได้รับความสนใจอย่างมากในปัจจุบัน จึงได้เสนอวงจรชมิทท์ทริกเกอร์แบบใหม่โดยใช้เทคโนโลยีของตระกูลไบซีมอส

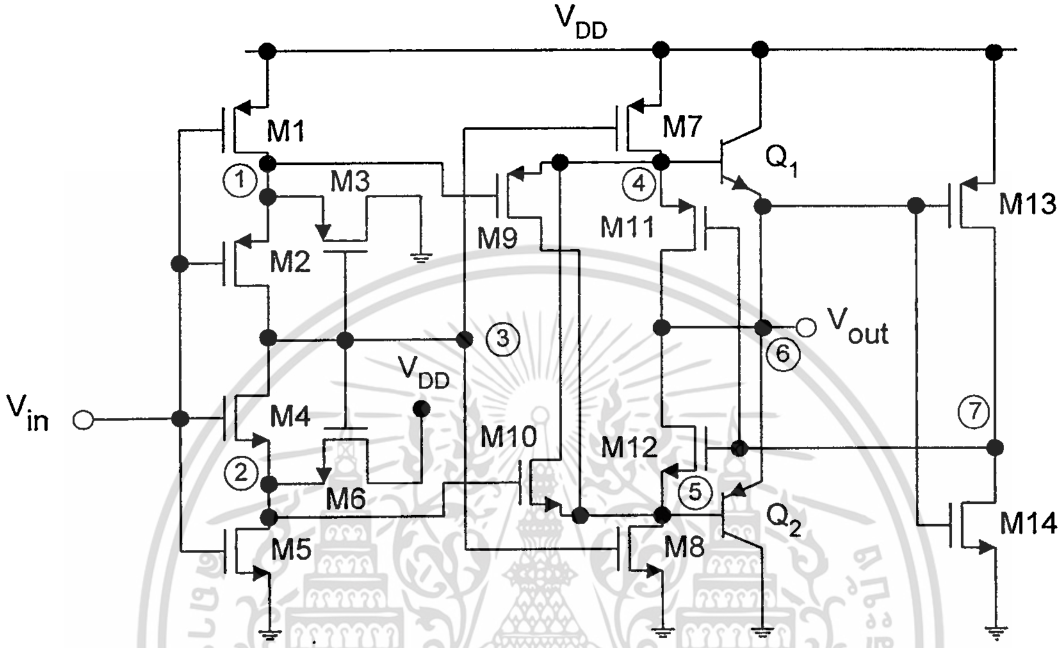
6.1 วงจรชมิททริกเกอร์แบบชนิดไม่กลับเฟส



รูปที่ 6.1 แสดงวงจรซีมอสชมิททริกเกอร์แบบชนิดไม่กลับเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 6.2 เป็นวงจรชมิทท์ทริกเกอร์ ที่ใช้เทคโนโลยีไบซีมอสในการออกแบบแทนวงจรซีมอสที่ใช้กันอยู่ในปัจจุบันตามรูปที่ 6.1



รูปที่ 6.2 แสดงวงจรไบซีมอสชมิททริกเกอร์แบบชนิดไม่กลับเฟส

วงจรชมิทท์ทริกเกอร์แบบซีมอสชนิดไม่กลับเฟสที่ใช้อยู่ในปัจจุบัน เช่นเดียวกับวงจรในตระกูลซีมอสชนิดอื่น ซึ่งจะประสบปัญหาเรื่องความสามารถในการขับวงจร และการหน่วงเวลา (delay time) เมื่อโหลดมีค่าสูง ๆ และแหล่งจ่ายแรงดันมีค่าต่ำลง ขณะที่วงจรไบซีมอสซึ่งเป็นที่ผสมผสานข้อดีของวงจรตระกูลไบโพลาร์และซีมอสเข้าด้วยกันกำลังได้รับความสนใจอย่างมากในปัจจุบัน จึงได้เสนอวงจรชมิทท์ทริกเกอร์แบบใหม่โดยใช้เทคโนโลยีของตระกูลไบซีมอส

วงจรไบซีมอสชมิทท์ทริกเกอร์แบบไม่กลับเฟสนี้โดยใช้เทคโนโลยี ของวงจรไบซีมอสในการฮอกแบบดังวงจรในรูปที่ 6.2 สามารถแบ่งออกได้เป็น 2 ส่วน คือ ส่วนที่ทำหน้าที่ ในการควบคุมแรงดันวิกฤติ และส่วนที่เป็นวงจรขับแบบไบซีมอส

การทำงานของส่วนแรก ซึ่งเป็นส่วนควบคุมแรงดันวิกฤติจะประกอบด้วยอุปกรณ์ซีมอสทรานซิสเตอร์อยู่ 3 ชุด คือ ส่วนเอ็นมอสทรานซิสเตอร์ M4, M5, M6 ซึ่งทำหน้าที่ควบคุมแรงดันวิกฤติทางบวก (V^+) และส่วนของพีมอสทรานซิสเตอร์ M1, M2, M3 ทำหน้าที่ควบคุมแรงดันวิกฤติทางลบ (V^-) ซึ่งโดยปกติจะออกแบบให้ V^+ และ V^- สมมาตรกับครึ่งหนึ่งของแหล่งจ่ายแรงดัน โดยที่ V^+ และ V^- จะเป็นไปตามสมการที่ (6.1) และ (6.2) ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V^{+} \approx \frac{V_{DD} + \sqrt{\frac{\beta_{M4}}{\beta_{M6}}} V_{Tn}}{1 + \sqrt{\frac{\beta_{M4}}{\beta_{M6}}}} \tag{6.1}$$

$$^{-} \approx \frac{\sqrt{\frac{\beta_{M1}}{\beta_{M3}}} \left(V_{DD} - \left|V_{Tp}\right|\right)}{1 + \sqrt{\frac{\beta_{M1}}{\beta_{M3}}}} \tag{6.2}$$

โดยที่

V_{DD} = แหล่งจ่ายแรงดันไฟเลี้ยง

V^{+} = ค่าแรงดันวิกฤติเมื่อ V_{in} เพิ่มขึ้น

V^{-} = ค่าแรงดันวิกฤติเมื่อ V_{in} ลดลง

V_{Tn} = ค่าแรงดันขีดเริ่มของเอ็นมอส

V_{Tp} = ค่าแรงดันขีดเริ่มของพีมอส

β_{M} = ค่าทรานคอนดัคแตนซ์ของมอส

W = ความกว้างของช่องทางเดินกระแส

L = ความยาวของช่องทางเดินกระแส

ในการออกแบบจะสามารถกำหนดค่าวิกฤติ V^{+} และ V^{-} ได้ตามต้องการโดยการควบคุมอัตราส่วนของ β_{M4}/β_{M6} และ β_{M1}/β_{M3} ตามลำดับโดยการกำหนดค่าทางเรขาคณิตของมอสทรานซิสเตอร์ดังกล่าว ตามสมการที่ 6.1 และ 6.2

$$\frac{\beta_{M4}}{\beta_{M6}} = \frac{(W/L)_{M4}}{(W/L)_{M3}} \approx \left(\frac{V_{DD} - V^{+}}{V^{+} - V_{Tn}}\right)^{2} \tag{6.3}$$

$$\frac{\beta_{M1}}{\beta_{M3}} = \frac{(W/L)_{M1}}{(W/L)_{M3}} \approx \left(\frac{V^{-}}{V_{DD} - V^{-} - \left|V_{Tp}\right|}\right)^{2} \tag{6.4}$$

มอสทรานซิสเตอร์แต่ละตัวจะทำหน้าที่ดังนี้ คือ มอสทรานซิสเตอร์ M3, M6 จะทำหน้าที่เป็นตัวควบคุมการเกิดฮีสเตอร์รีซิส โดยจะป้อนสัญญาณจากจุด 3 กลับไปยังจุด 1 และ 2 ของวงจรการทำงานในช่วงที่แรงดันอินพุทเพิ่ม จาก 0 ไปยัง V_{DD} ในช่วงแรกเมื่อแรงดันอินพุทมีค่าเป็น 0 มอสทรานซิสเตอร์ M1 และ M2 อยู่ในสภาวะ ON ขณะที่ M4 และ M5 อยู่ในสถานะ OFF เนื่อง

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

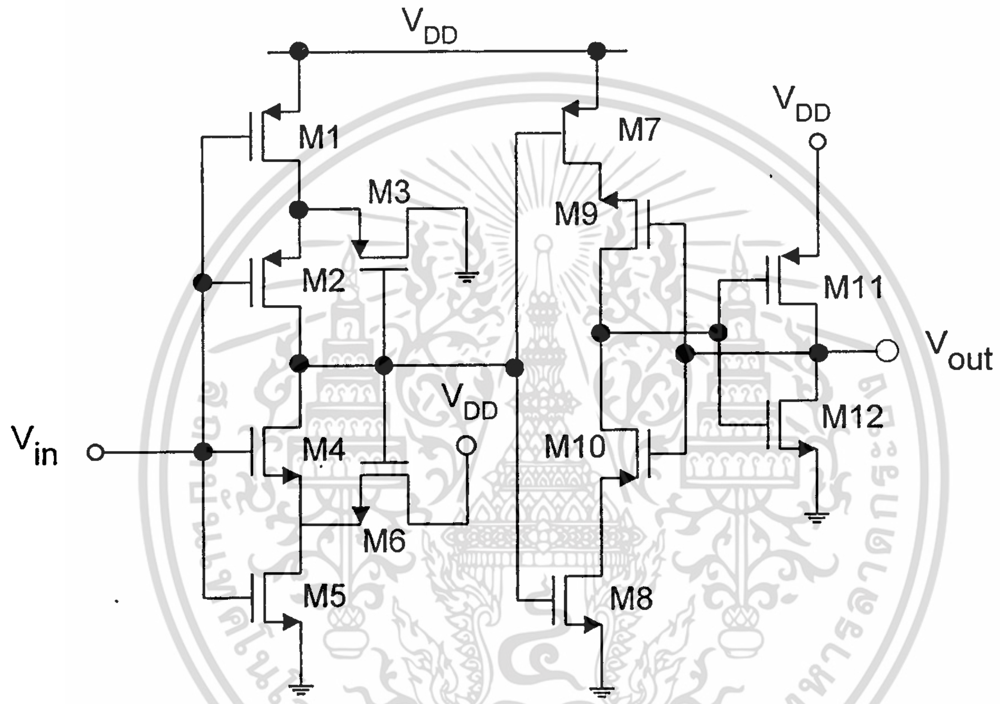
M1, M2 นำกระแสและ M4, M5 ไม่นำกระแสทำให้แรงดัน ที่จุด 3 มีค่าประมาณ V_{DD} เป็นผลให้ M3 OFF และ M6 ON ขณะนั้น M6 จะทำหน้าที่ในการป้อนกลับสัญญาณจากจุด 3 ไปยังขาซอร์ส ของ M4 และเดรนของ M5 ที่จุด 2 ด้วยแรงดันเท่ากับ (V_{DD}-V_{Tp}) เมื่อแรงดันอินพุทเพิ่มขึ้นแรงดันที่จุด 2 จะยังคงที่ จนกระทั่งแรงดันอินพุท มีค่าเท่ากับ V_{Tn} มอสทรานซิสเตอร์ M4 เริ่ม ON ขณะนั้น M4 และ M6 จะทำหน้าที่เป็นเสมือนวงจรแบ่งแรงดัน (Voltage Divider) ไบอัสให้กับขาซอร์สของ M5 ที่จุด 2 ซึ่งมีค่าเป็น $R_{M4;on}$/[$R_{M4;on}$+$R_{M6;on}$] เมื่อเพิ่มแรงดันอินพุทขึ้นอีก แรงดันที่จุด 2 จะมีค่าลดลง เนื่องจากแรงดันระหว่างขาเกทและซอร์สของ M4 เพิ่มขึ้น ทำให้ความสามารถในการนำกระแสของ M4 เพิ่มขึ้น หรือ $R_{M4;on}$ มีค่าลดลง ขณะที่ $R_{M6;on}$ ยังมีค่าคงที่ จนถึงจุดที่แรงดันอินพุทมีค่ามากกว่าแรงดันวิกฤติของ M5 เทียบกับแรงดันที่ จุด 2 (V_{in} = V_{Tn}+V_2) มอสทรานซิสเตอร์ M5 จะเริ่ม ON และกระแสที่จุด 3 จะไหลผ่าน M5 และ M4 ลงกราวด์ ทำให้แรงดันที่จุด 3 ลดลง เมื่อแรงดันที่จุด 3 ลดลง เป็นผลให้แรงดันเนื่องจากวงจรแบ่งแรงดันของ M4, M6 ที่จุด 2 ลดลงอย่างรวดเร็ว ขณะที่ทรานซิสเตอร์ M3 เริ่ม ON ทำให้กระแสไหลผ่าน M1 ไปยัง M3 จนกระทั่ง M2 OFF ดังนั้น กระแสจากจุด 3 จะไหลไปยัง M5 และ M4 ลงกราวด์ จนแรงดันที่จุด 3 มีค่าเป็นศูนย์ ส่วนการทำงานในช่วงที่แรงอินพุทลดลงจาก V_{DD} มายัง 0 ก็จะมีการทำงานในทำนองเดียวกัน เพียงแต่ ทรานซิสเตอร์ที่มีบทบาทในการควบคุมแรงดัน

การทำงานของส่วนที่สอง ซึ่งเป็นส่วนของวงจรขับแบบไบซีมอสอินเวอร์เตอร์ จะประกอบด้วย ซีมอสทรานซิสเตอร์ อยู่ 4 คู่ และไบโพลาร์ทรานซิสเตอร์ 1 คู่โดยทรานซิสเตอร์ Q1 จะทำงานในช่วงเอาท์พุทของวงจรมีสถานะเป็น “1” และ Q2 จะทำงานในช่วงที่เอาท์พุทของวงจรมีสถานะเป็น “0” โดยจะทำงานสลับกันไป ทรานซิสเตอร์ M7 และ M8 จะเป็นตัวควบคุมกระแสที่เบสของทรานซิสเตอร์ Q1 และ Q2 ตามลำดับ เพื่อทำการเปิดปิด Q1 และ Q2 ตามสัญญาณจากส่วนควบคุมแรงดันวิกฤติจุด 3 ขณะที่ทรานซิสเตอร์ M10, M9 จะทำหน้าที่เป็นตัวดิสชาร์จประจุที่ขาเบสของทรานซิสเตอร์ Q1 และ Q2 ในช่วงที่ Q1 หรือ Q2 อยู่ในสถานะ OFF โดยที่ M9, M10 จะถูกควบคุมโดยแรงดันที่จุด 1 และ 2 ตามลำดับ ซึ่ง M10, M9 จะทำงานสลับกัน M7, M8 กล่าวคือ M7 ทำงานพร้อมกับ M10 ขณะ M8, M9 ไม่ทำงาน และ M8 จะทำงานพร้อมกับ M9 ขณะที่ M7, M10 ไม่ทำงาน ส่วนทรานซิสเตอร์ M11, M12 จะช่วยในการนำกระแสเพื่อทำให้เอาท์พุทสามารถทำงานได้ตลอดช่วง คือ ระหว่าง V_{DD} ถึง กราวด์ (Full Swing) ซึ่งควบคุมโดยสัญญาณป้อนกลับจากเอาท์พุทโดยวงจรอินเวอร์เตอร์M13,M14 เพื่อลดการสูญเสียกำลังไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2 วงจรชมิททริกเกอร์แบบชนิดกลับเฟส

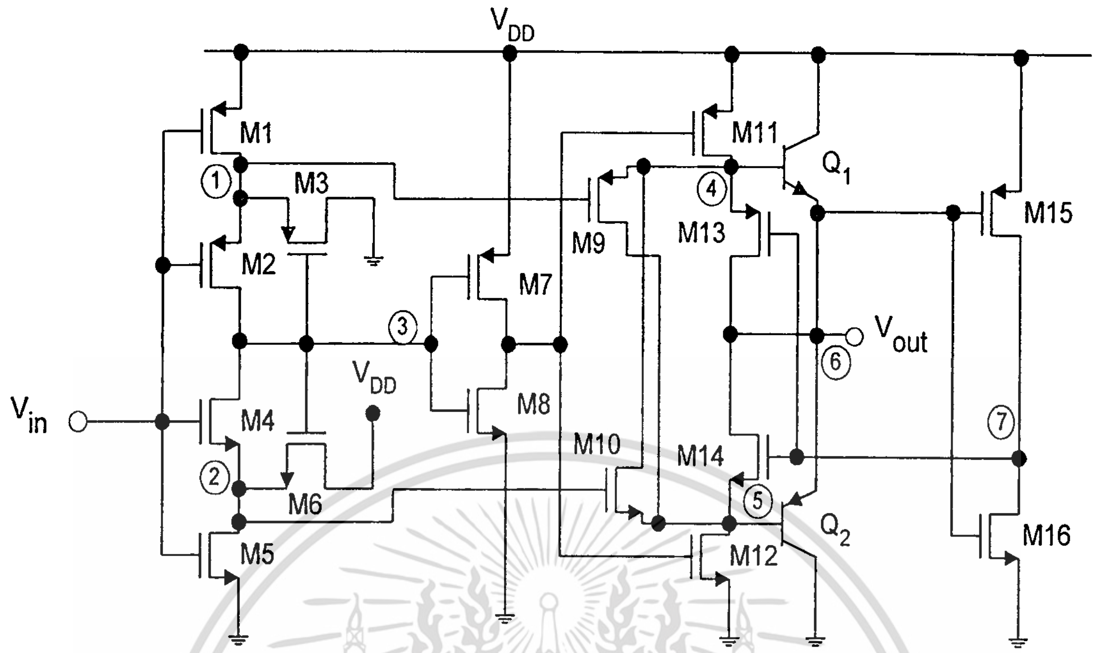
ตามรูปที่ 6.3 เป็นวงจรซีมอสชมิทท์ทริกเกอร์แบบกลับเฟสที่ใช้กันอยู่ในปัจจุบัน มีข้อด้อยของวงจรเป็นลักษณะแบบเดียวกับวงจรชมิทท์ทริเกอร์ไม่กลับเฟส จึงได้มีการใช้เทคโนโลยีไบซีมอสมาทำเป็นวงจรไบซีมอสชมิทท์ทริกเกอร์แบบกลับเฟส ดังแสดงตามรูปที่ 6.4



รูปที่ 6.3 แสดงวงจรซีมอสชมิททริกเกอร์แบบชนิดกลับเฟส

ตามรูปที่ 6.4 เป็นลักษณะของวงจรไบซีมอสชมิทท์ทริกเกอร์แบบกลับเฟสที่ได้ออกแบบขึ้นมาใหม่เพื่อใช้แทนเทคโนโลยีซีมอสตามรูปที่ 6.3 สำหรับการทำงานของวงจรนี้จะเป็นลักษณะแบบเดียวกับวงจรไบซีมอสชมิทท์ทริกเกอร์แบบไม่กลับเฟส โดยวงจรไบซีมอสชมิทท์ทริกเกอร์แบบกลับเฟส จะเพิ่มส่วนของวงจรอินเวอร์เตอร์ คือ M7 และ M8 เพื่อทำหน้าที่กลับสัญญาณจากจุดที่ 3 ของวงจรก่อนที่จะผ่านไปในส่วนของการขับวงจรด้วยไบซีมอส งจรไบซีมอสชมิทท์ทริก-เกอร์แบบกลับเฟสนี้ เมื่อเพิ่มมอสทรานซิสเตอร์ชุดอินเวอร์เตอร์ 2 ตัวเข้าไปก็จะทำให้ช่วงการหน่วงเวลามากขึ้นได้เพียงเล็กน้อยและจะได้ทำการทดสอบเปรียบเทียบกับเทคโนโลยีซีมอสด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.4 แสดงวงจรไบซีมอสชมิททริกเกอร์แบบชนิดกลับเฟส

มอสทรานซิสเตอร์แต่ละตัวจะทำหน้าที่ดังนี้ คือ มอสทรานซิสเตอร์ M3, M6 จะทำหน้าที่เป็นตัวควบคุมการเกิดฮีสเตอร์รีซิส โดยจะป้อนสัญญาณจากจุด 3 กลับไปยังจุด 1 และ 2 ของวงจร การทำงานในช่วงที่แรงดันอินพุทเพิ่ม จาก 0 ไปยัง V_{DD} ในช่วงแรกเมื่อแรงดันอินพุทมีค่าเป็น 0 มอสทรานซิสเตอร์ M1 และ M2 อยู่ในสภาวะ ON ขณะที่ M4 และ M5 อยู่ในสถานะ OFF เนื่อง M1, M2 นำกระแสและ M4, M5 ไม่นำกระแสทำให้แรงดัน ที่จุด 3 มีค่าประมาณ V_{DD} เป็นผลให้ M3 OFF และ M6 ON ขณะนั้น M6 จะทำหน้าที่ในการป้อนกลับสัญญาณจากจุด 3 ไปยังขาซอร์สของ M4 และเดรนของ M5 ที่จุด 2 ด้วยแรงดันเท่ากับ (V_{DD}-V_{Tp}) เมื่อแรงดันอินพุทเพิ่มขึ้นแรงดันที่จุด 2 จะยังคงที่ จนกระทั่งแรงดันอินพุท มีค่าเท่ากับ V_{Tn} มอสทรานซิสเตอร์ M4 เริ่ม ON ขณะนั้น M4 และ M6 จะทำหน้าที่เป็นเสมือนวงจรแบ่งแรงดัน (Voltage Divider) ไบอัสให้กับขาซอร์สของ M5 ที่จุด 2 ซึ่งมีค่าเป็น $R_{M4;on}/[R_{M4;on}+R_{M6;on}]$ เมื่อเพิ่มแรงดันอินพุทขึ้นอีก แรงดันที่จุด 2 จะมีค่าลดลง เนื่องจากแรงดันระหว่างขาเกทและซอร์สของ M4 เพิ่มขึ้น ทำให้ความสามารถในการนำกระแสของ M4 เพิ่มขึ้น หรือ $R_{M4;on}$ มีค่าลดลง ขณะที่ $R_{M6;on}$ ยังมีค่าคงที่ จนถึงจุดที่แรงดันอินพุทมีค่ามากกว่าแรงดันวิกฤติของ M5 เทียบกับแรงดันที่ จุด 2 ($V_{in} = V_{Tn}+V_2$) มอสทรานซิสเตอร์ M5 จะเริ่ม ON และกระแสที่จุด 3 จะไหลผ่าน M5 และ M4 ลงกราวด์ ทำให้แรงดันที่จุด 3 ลดลง เมื่อแรงดันที่จุด 3 ลดลง เป็นผลให้แรงดันเนื่องจากวงจรแบ่งแรงดันของ M4, M6 ที่จุด 2 ลดลงอย่างรวดเร็ว ขณะที่ทรานซิสเตอร์ M3 เริ่ม ON ทำให้กระแสไหลผ่าน M1 ไปยัง M3 จนกระทั่ง M2 OFF ดังนั้น กระแส

เอกสารนี้เป็นเอกสารที่ลงในเวลาสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากจุด 3 จะไหลไปยัง M5 และ M4 ลงกราวด์ จนแรงดันที่จุด 3 มีค่าเป็นศูนย์ ส่วนการทำงานในช่วงที่แรงอินพุทลดลงจาก V_{DD} มายัง 0 ก็จะมีการทำงานในทำนองเดียวกัน เพียงแต่ ทรานซิสเตอร์ที่มีบทบาทในการควบคุมแรงดัน ส่วน M7 และ M8 เป็นอินเวอร์เตอร์ทำหน้าที่กลับสัญญาณจากจุดที่ 3 ก่อนที่จะผ่านไปยังส่วนที่สอง

การทำงานของส่วนที่สอง ซึ่งเป็นส่วนของวงจรขับแบบไบซีมอสอินเวอร์เตอร์ จะประกอบด้วย ซีมอสทรานซิสเตอร์ อยู่ 4 คู่ และไบโพลาร์ทรานซิสเตอร์ 1 คู่โดยทรานซิสเตอร์ Q1 จะทำงานในช่วงเอาท์พุทของวงจรมีสถานะเป็น “1” และ Q2 จะทำงานในช่วงที่เอาท์พุทของวงจรมีสถานะเป็น “0” โดยจะทำงานสลับกันไป ทรานซิสเตอร์ M11 และ M12 จะเป็นตัวควบคุมกระแสที่เบสของทรานซิสเตอร์ Q1 และ Q2 ตามลำดับ เพื่อทำการเปิดปิด Q1 และ Q2 ตามสัญญาณจากส่วนควบคุมแรงดันวิกฤติจุด 3 ขณะที่ทรานซิสเตอร์ M10, M9 จะทำหน้าที่เป็นตัวดิสชาร์จประจุที่ขาเบสของทรานซิสเตอร์ Q1 และ Q2 ในช่วงที่ Q1 หรือ Q2 อยู่ในสถานะ OFF โดยที่ M9, M10 จะถูกควบคุมโดยแรงดันที่จุด 1 และ 2 ตามลำดับ ซึ่ง M10, M9 จะทำงานสลับกัน M11, M12 กล่าวคือ M11 ทำงานพร้อมกับ M10 ขณะ M12, M9 ไม่ทำงาน และ M12 จะทำงานพร้อมกับ M9 ขณะที่ M11, M10 ไม่ทำงาน ส่วนทรานซิสเตอร์ M13, M14 จะช่วยในการนำกระแสเพื่อทำให้เอาท์พุทสามารถทำงานได้ตลอดช่วง คือ ระหว่าง V_{DD} ถึง กราวด์ (Full Swing) ซึ่งควบคุมโดยสัญญาณป้อนกลับจากเอาท์พุทโดยวงจรอินเวอร์เตอร์ M15, M16 เพื่อลดการสูญเสียกำลังไฟฟ้า

ตารางที่ 6.1 รูปร่างทางเรขาคณิตของวงจร

W/L	วงจรที่นำเสนอ		W/L	วงจรที่นำเสนอ	
(μm)	0.8	1.2	(μm)	0.8	1.2.
M1	2.4/0.8	2.4/1.2	M9	2.4/0.8	2.4/1.2
M2	6.0/0.8	6.0/1.2	M10	0.8/0.8	0.8/1.2
M3	7.2/0.8	7.2/1.2	M11	24/0.8	24/1.2
M4	0.8/0.8	0.8/1.2	M12	8.0/0.8	8.0/1.2
M5	2.0/0.8	2.0/1.2	M13	24.0/0.8	24.0/1.2
M6	2.4/0.8	2.4/1.2	M14	8.0/0.8	8.0/1.2
M7	24.0/0.8	24.0/1.2	M15	4.8/0.8	4.8/1.2
M8	8.0/0.8	8.0/1.2	M16	1.6/0.8	1.6/1.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7

ผลการทดสอบคุณสมบัติของวงจรชมิทท์ทริกเกอร์

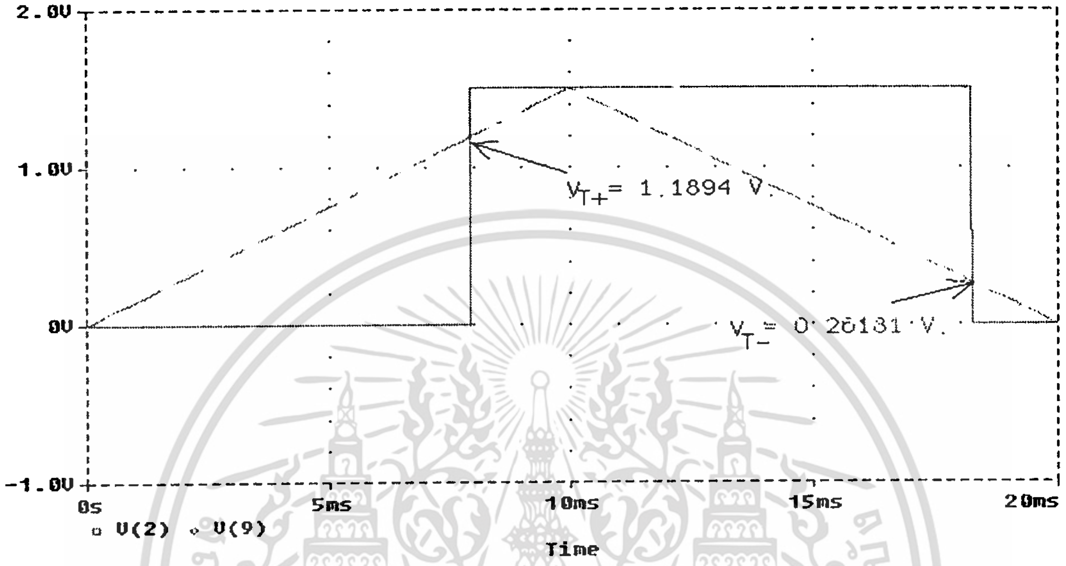
ในการออกแบบวงจรชมิทท์ทริกเกอร์โดยเทคโนโลยีไบซีมอสแบบใหม่ ตามที่ได้เสนอมาแล้ว ในบทนี้จะเป็นการแสดงผลการทดสอบคุณสมบัติของวงจรที่ออกแบบมาใหม่ พร้อมกับเปรียบเทียบวงจรที่ใช้เทคโนโลยีซีมอสแบบเดิม สำหรับการจำลองวงจรใช้โปรแกรม PSpice ในการจำลองศึกษาการทำงานของวงจรชมิทท์ทริกเกอร์ที่ใช้เทคโนโลยีไบซีมอส เปรียบเทียบกับเทคโนโลยีซีมอส โดยเป็นการศึกษาคุณสมบัติในการตอบสนองต่อสัญญาณไฟตรงและความสามารถในการสวิทชิ่งของวงจรที่นำเสนอ ในการทดสอบจะใช้สัญญาณรูปสามเหลี่ยมแทนสัญญาณไฟตรง ซึ่งจะทำให้เห็นการเปลี่ยนแปลงกับเวลา และสามารถได้กราฟคุณสมบัติการโอนถ่ายของวงจรไบซีมอสชมิทท์ทริกเกอร์

สำหรับการศึกษาวงจรชมิทท์ทริกเกอร์ของเทคโนโลยีไบซีมอส เปรียบเทียบกับแบบซีมอสจะนำเสนอทั้งแบบไม่กลับเฟส และ แบบกลับเฟส การทดสอบวงจรนี้เป็นการทดสอบของแหล่งจ่ายแรงดันตรง กับ แรงดันเทรสโฮล, แรงดันฮีสเตอร์รีซีส Propagation delay time, ตลอดจน Power dissipation ของวงจร และ Load Capacitance ค่าตั้งแต่ 1- 10 pF

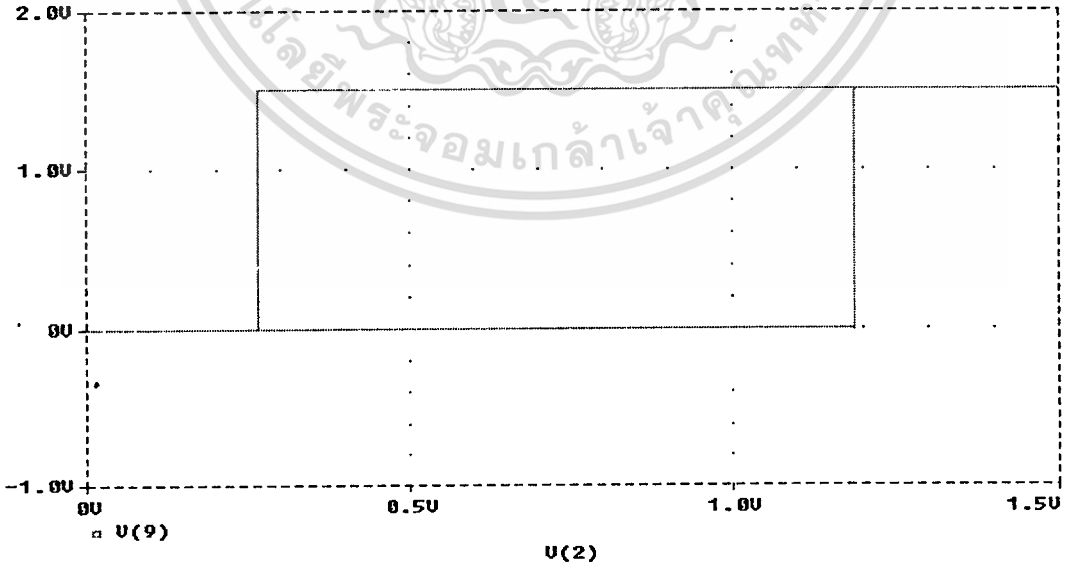
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.1 การทดสอบวงจรชมิทท์ทริกเกอร์แบบไม่กลับเฟส

7.1.1 การทดสอบโดยใช้สัญญาณอินพุทรูปสามเหลี่ยมที่ความถี่ 50 Hz.

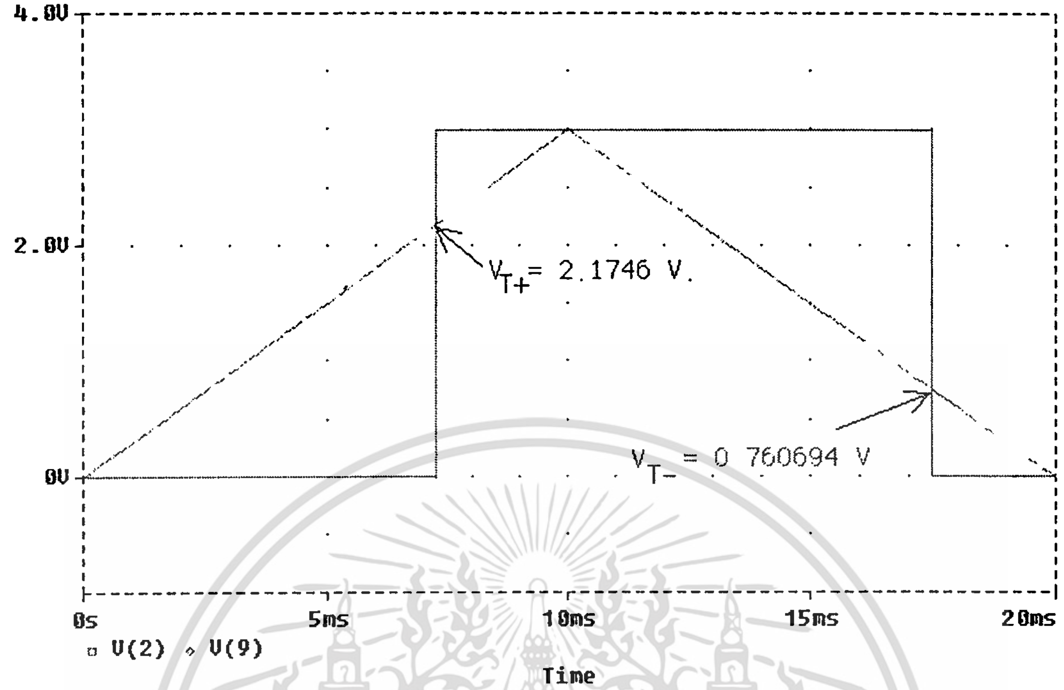


รูปที่ 7.1 แสดงรูปสัญญาณเอาท์พุท,สัญญาณอินพุท และจุดตัดแรงดันเทรสโฮลเมื่อป้อนแหล่งจ่ายแรงดัน1.5 V.

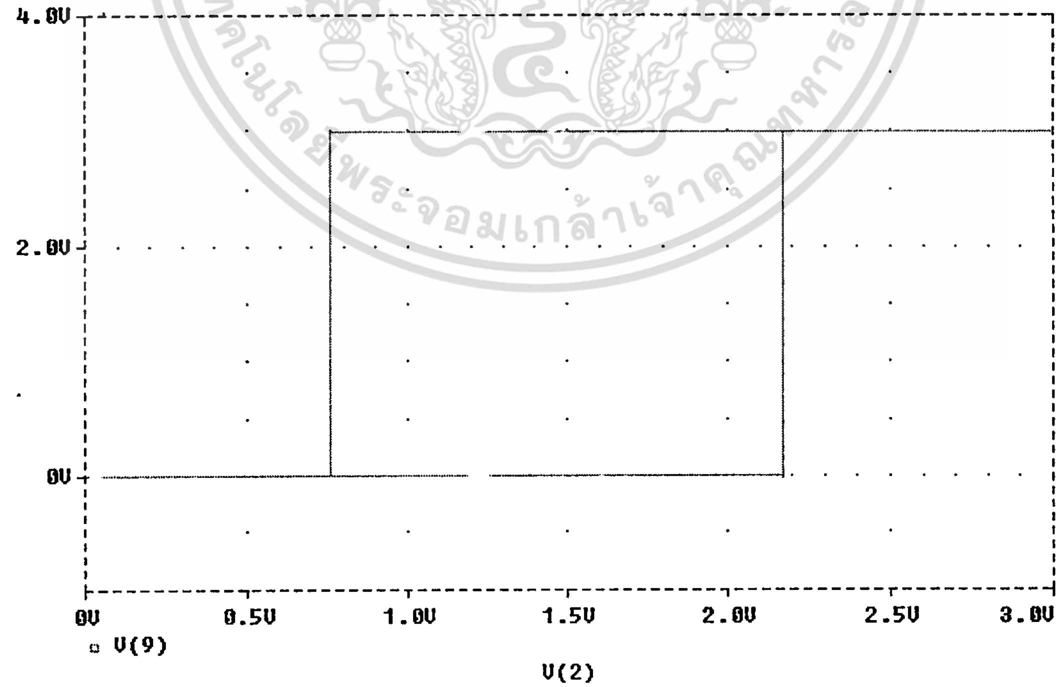


รูปที่ 7.2 แสดงกราฟคุณสมบัติการโอนถ่าย เมื่อป้อนแหล่งจ่ายแรงดัน 1.5 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

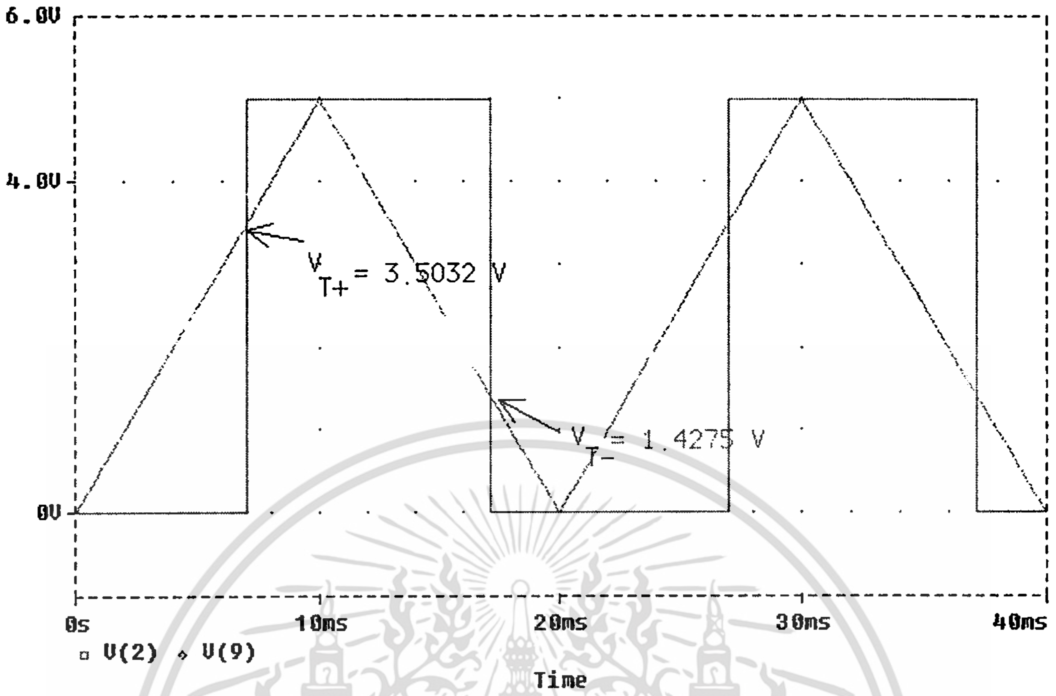


รูปที่ 7.3 แสดงรูปสัญญาณเอาท์พุท,สัญญาณอินพุท และจุดตัดแรงดันเทรสโฮลเมื่อป้อนแหล่งจ่ายแรงดัน 3 V.

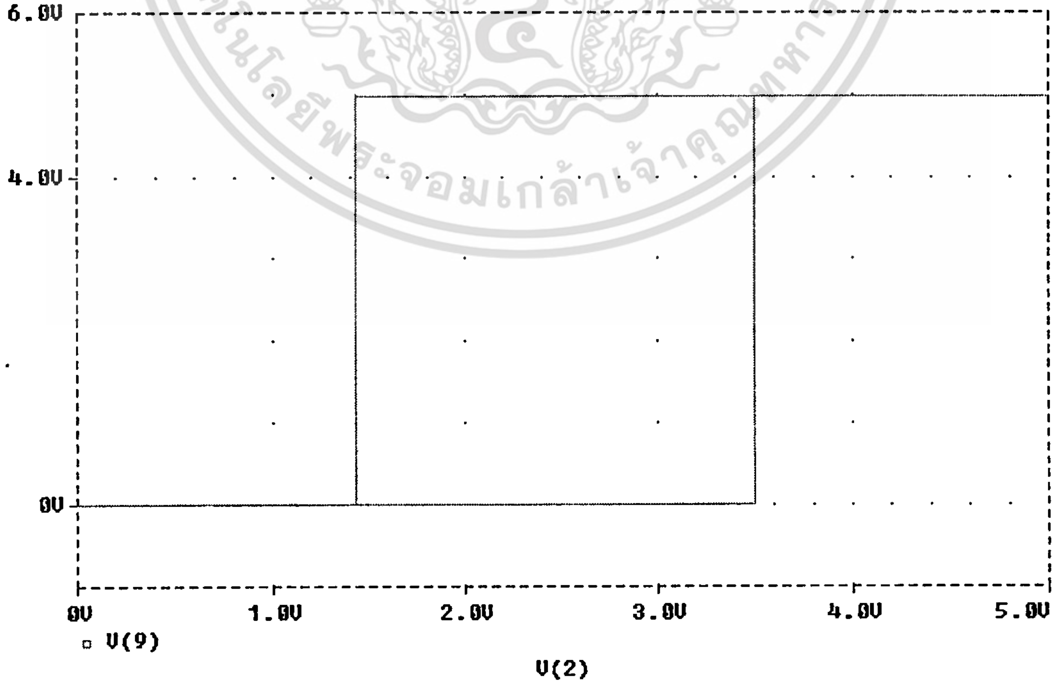


รูปที่ 7.4 แสดงกราฟคุณสมบัติการโอนถ่าย เมื่อป้อนแหล่งจ่ายแรงดัน 3 V.

เอกสารนี้...ให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

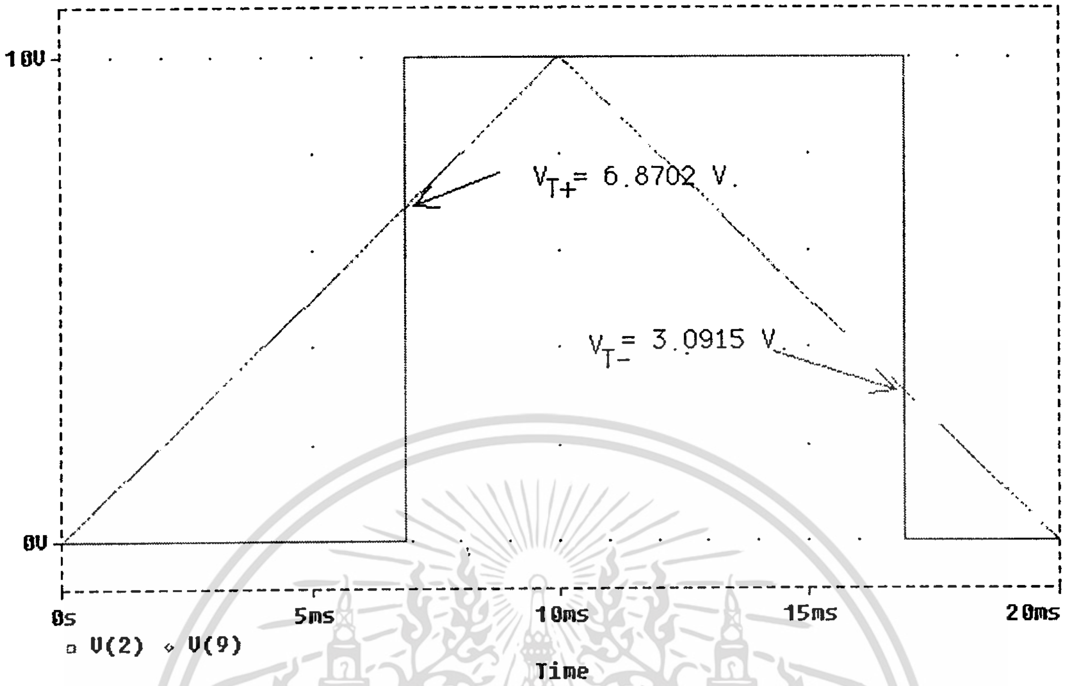


รูปที่ 7.5 แสดงรูปสัญญาณเอาท์พุท,สัญญาณอินพุท และจุดตัดแรงดันเทรสโฮล เมื่อป้อนแหล่งจ่ายแรงดัน 5 V.

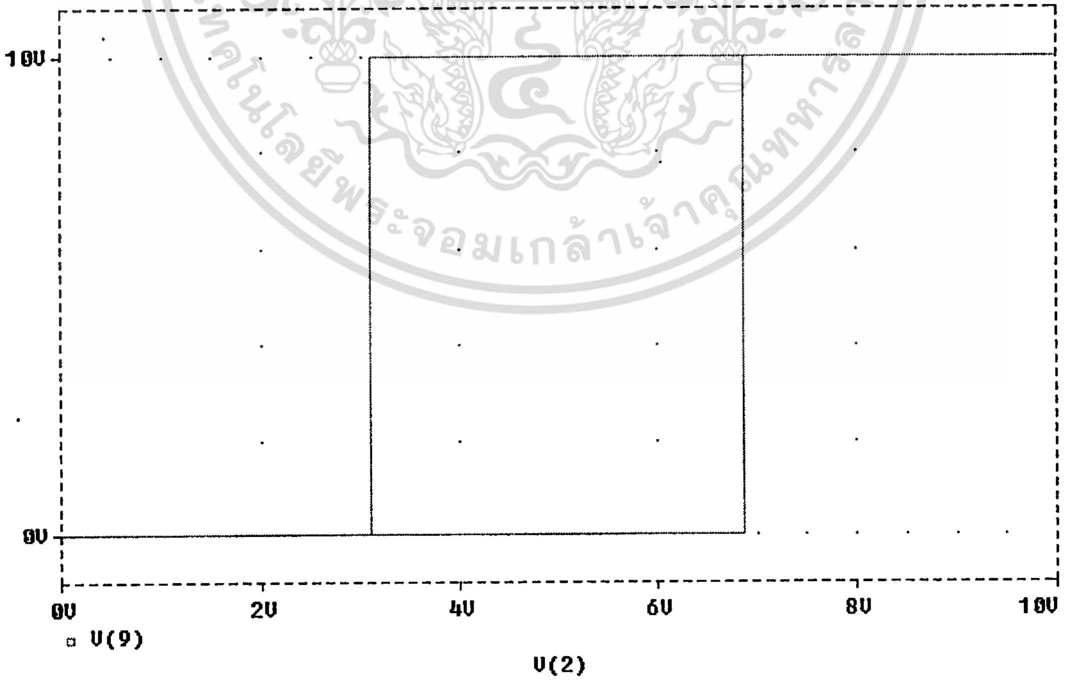


รูปที่ 7.6 แสดงกราฟคุณสมบัติการโอนถ่าย เมื่อป้อนแหล่งจ่ายแรงดัน 5 V.

เอกสารนี้เป็นลิขสิทธิ์... ห้ามมิให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

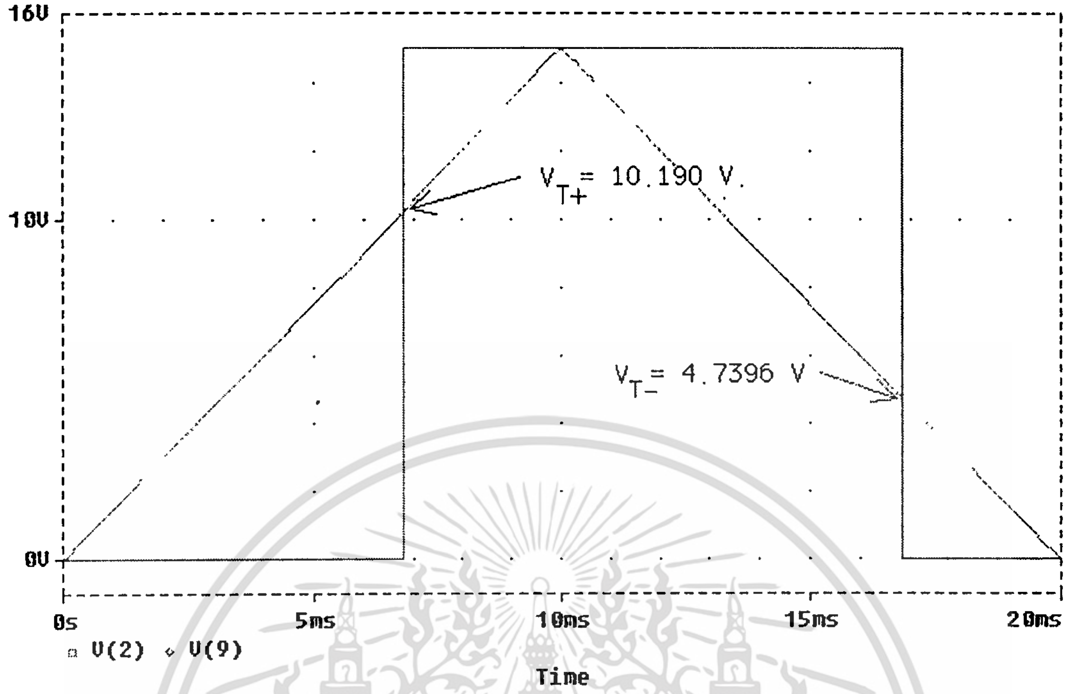


รูปที่ 7.7 แสดงรูปสัญญาณเอาท์พุท,สัญญาณอินพุท และจุดตัดแรงดันเทรสโฮลเมื่อป้อนแหล่งจ่ายแรงดัน 10 V.

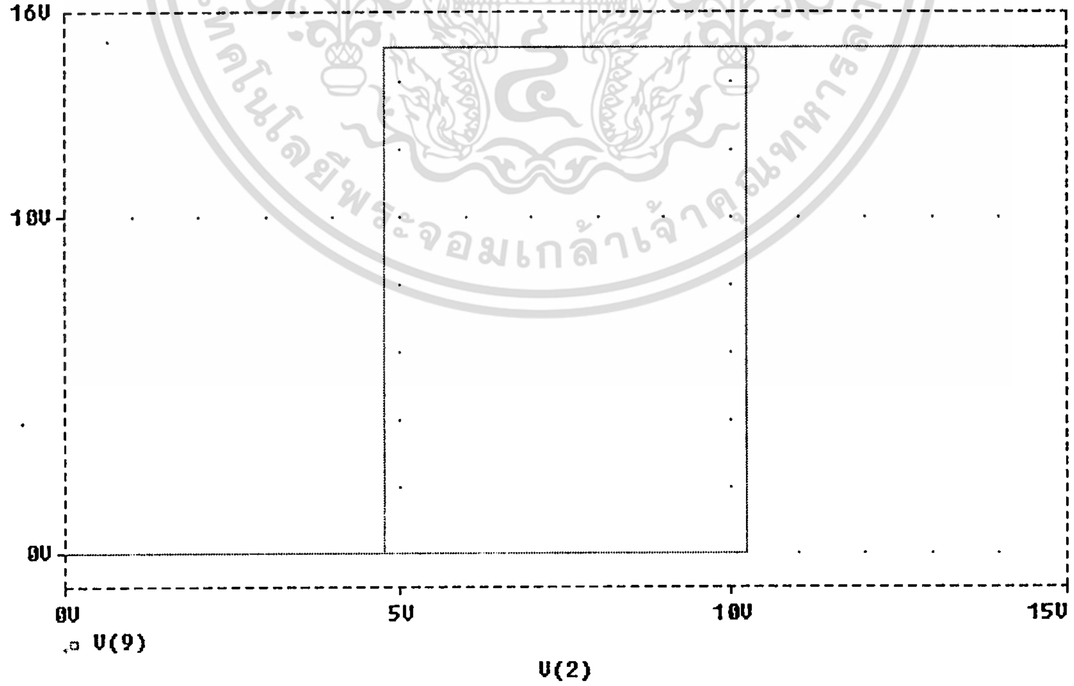


รูปที่ 7.8 แสดงกราฟคุณสมบัติการโอนถ่าย เมื่อป้อนแหล่งจ่ายแรงดัน 10 V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.9 แสดงรูปสัญญาณเอาท์พุท,สัญญาณอินพุท และจุดตัดแรงดันเทรสโฮล เมื่อป้อนแหล่งจ่ายแรงดัน 15 V.

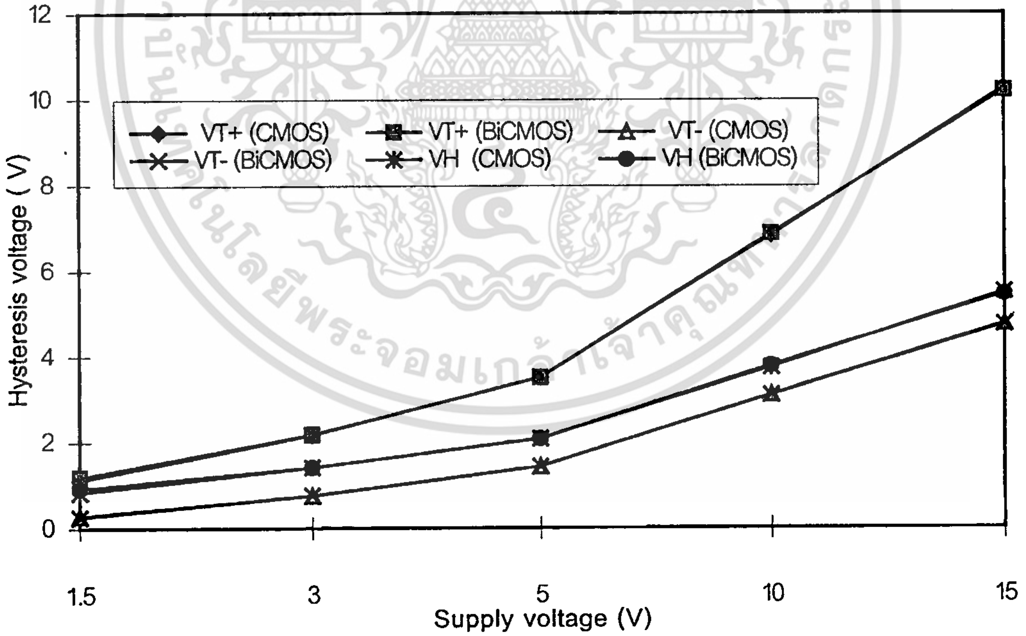


รูปที่ 7.10 แสดงกราฟคุณสมบัติการโอนถ่าย เมื่อป้อนแหล่งจ่ายแรงดัน 15 V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 7.1 แสดงค่าการเปลี่ยนแปลงของแหล่งจ่ายแรงดัน,แรงดันเทรสโฮล และ ค่าฮีสเตอร์รีซีส ที่ L = 0.8 μm

แหล่งจ่ายแรงดัน (V.)	แรงดันเทรสโฮลบวก V_{T+}(V.)		แรงดันเทรสโฮลลบ V_{T-} (V.)		แรงดันฮีสเตอร์รีซีส $V_H=V_{T+}-V_{T-}$ (V.)	
	CMOS	BiCMOS	CMOS	BiCMOS	CMOS	BiCMOS
1.5	1.1177	1.1894	0.2833	0.2618	0.8344	0.9275
3	2.1649	2.1746	0.7501	0.7606	1.4148	1.4139
5	3.5032	3.5032	1.4286	1.4275	2.0746	2.0757
10	6.8310	6.8702	3.0985	3.0915	3.7325	3.7787
15	10.253	10.190	4.7559	4.7369	5.4971	5.4504

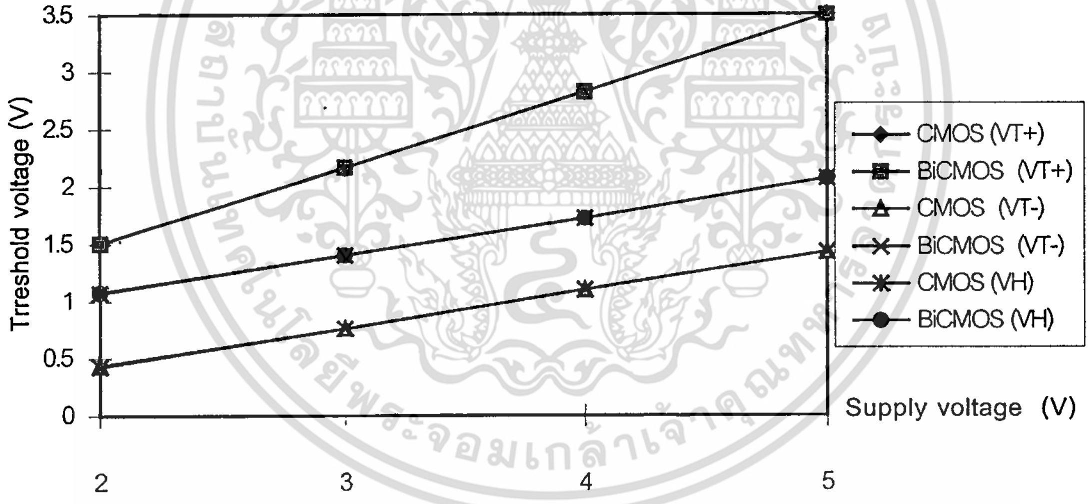


รูปที่ 7.11 แสดงความสัมพันธ์ของแหล่งจ่ายแรงดันกับแรงดันเทรสโฮล และ ค่าฮีสเตอร์รีซีส ที่ L = 0.8 μm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

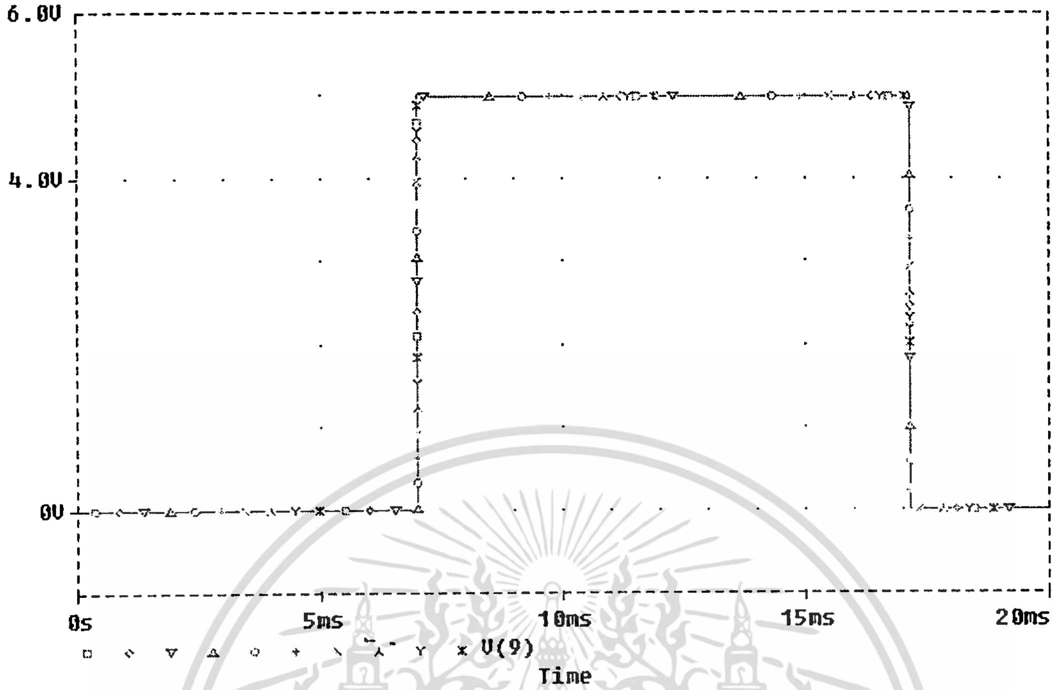
ตารางที่ 7.2 แสดงค่าการเปลี่ยนแปลงของแหล่งจ่ายแรงดัน,แรงดันเทรสโฮล และ ค่าฮีสเตอร์รีซีส ที่ L = 1.2 μm

แหล่งจ่ายแรงดัน (V.)	แรงดันเทรสโฮลบวก V_{T+}(V.)		แรงดันเทรสโฮลลบ V_{T-} (V.)		แรงดันฮีสเตอร์รีซีส $V_H=V_{T+}-V_{T-}$ (V.)	
	CMOS	BiCMOS	CMOS	BiCMOS	CMOS	BiCMOS
2	1.5065	1.5065	0.4357	0.4279	1.0708	1.0786
3	2.1650	2.1650	0.7604	0.7604	1.4046	1.4046
4	2.8217	2.8217	1.0994	1.0994	1.7223	1.7223
5	3.5	3.5	1.4279	1.4279	2.0721	2.0721

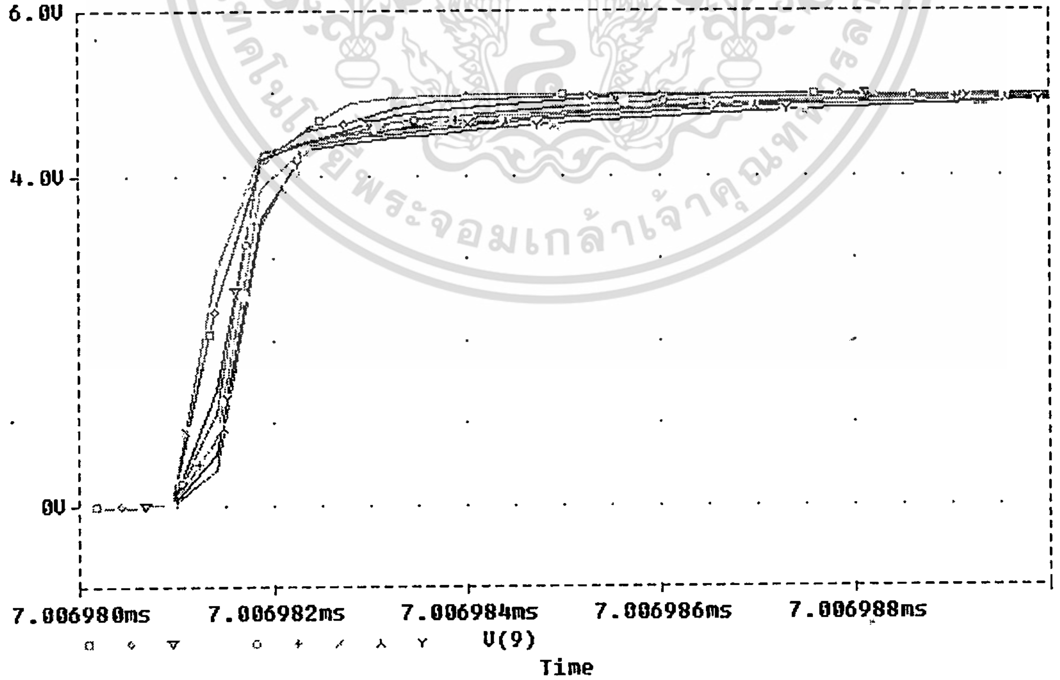


รูปที่ 7.12 แสดงความสัมพันธ์ของแหล่งจ่ายแรงดันกับแรงดันเทรสโฮล และ ค่าฮีสเตอร์รีซีส ที่ L = 1.2 μm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

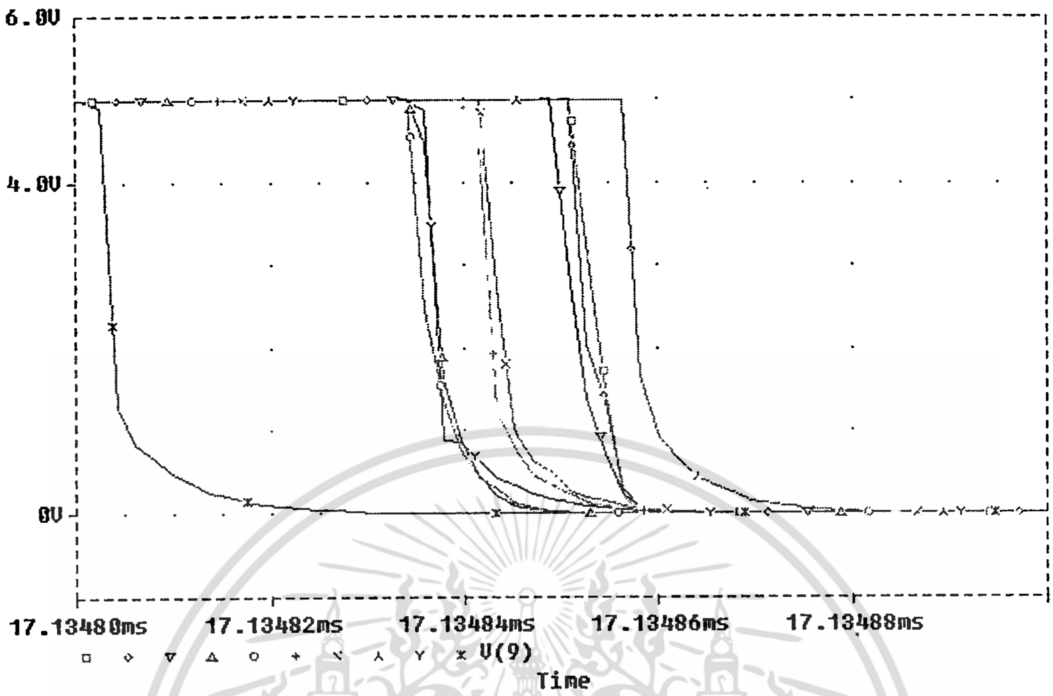


รูปที่ 7.13 แสดงสัญญาณเอาท์พุทเมื่อโหลดคาปาซิแตนซ์ = 1-10 pF



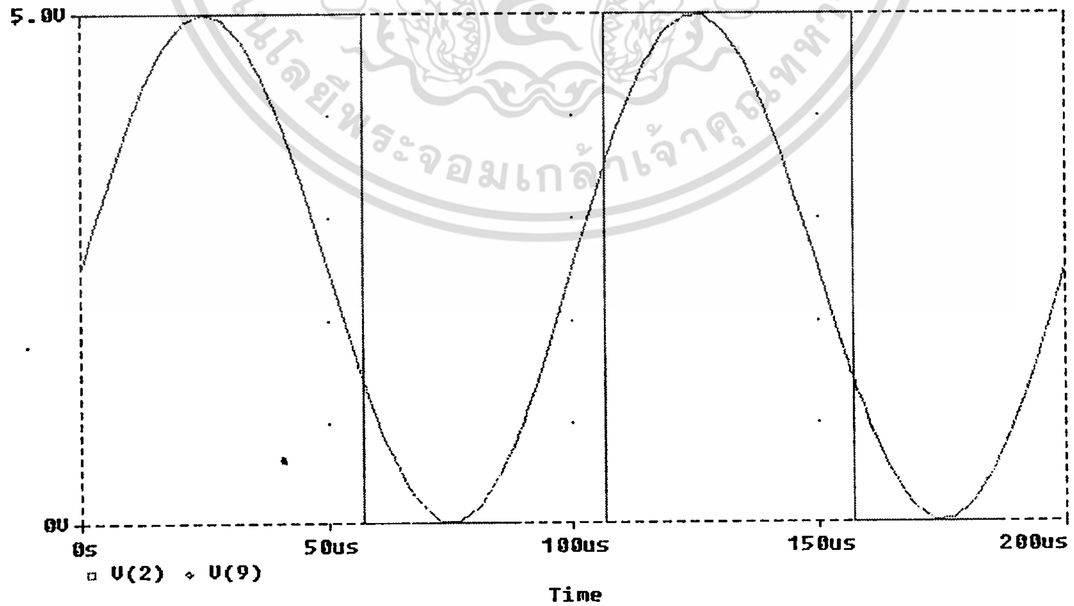
รูปที่ 7.14 แสดงช่วงขอบเวลาขาขึ้นของวงจรที่โหลดคาปาซิแตนซ์ 1 -10 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



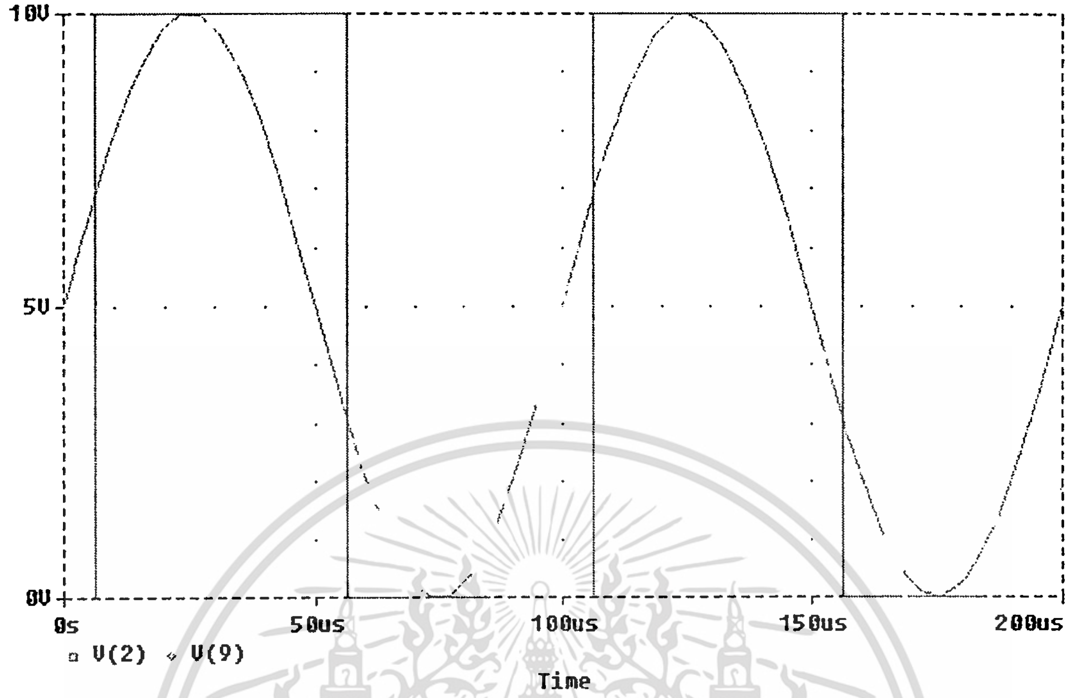
รูปที่ 7.15 แสดงช่วงขอบเวลาขาลงของวงจรที่โหลดคาปาซิแตนซ์ 1 -10 pF

7.1.2 การทดสอบการสวิทชิ่งด้วยรูปสัญญาณไซน์ ที่ความถี่ 10 kHz.

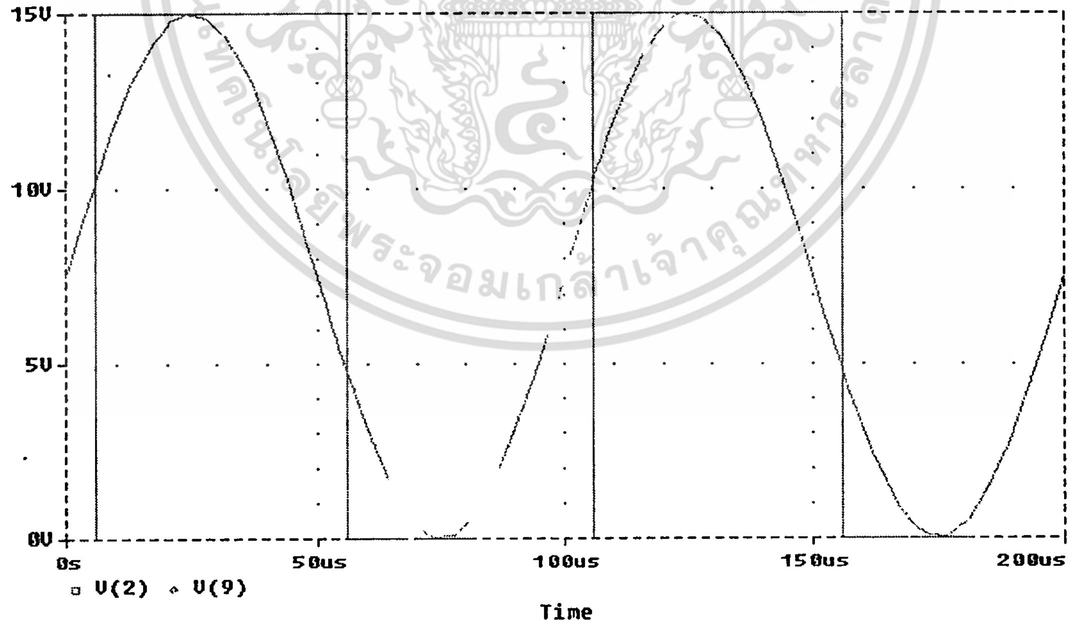


รูปที่ 7.16 แสดงคุณสมบัติในการสวิทชิ่งโดยการป้อนสัญญาณอินพุทเป็นรูปคลื่นไซน์ 0-5 V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.17 แสดงคุณสมบัติในการสวิทชิ่งโดยการป้อนสัญญาณอินพุทเป็นรูปคลื่นไซน์ 0-10 V.



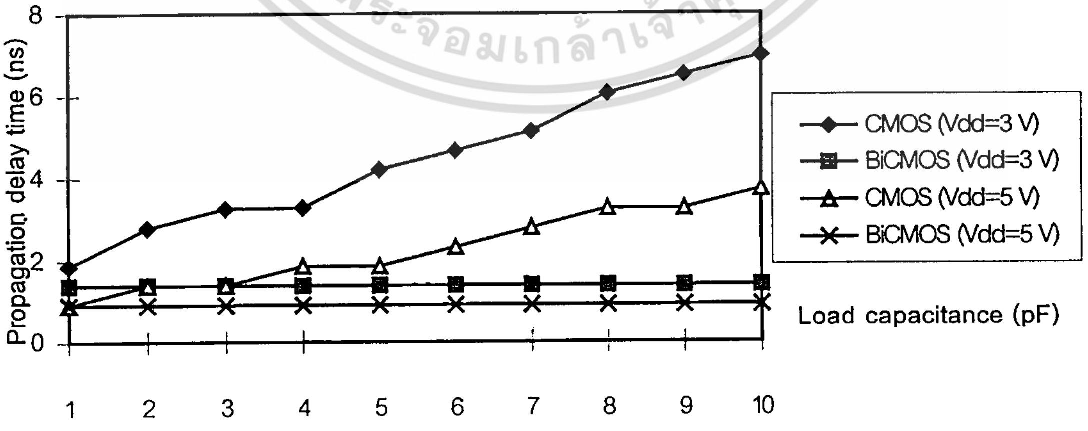
รูปที่ 7.18 แสดงคุณสมบัติในการสวิทชิ่งโดยการป้อนสัญญาณอินพุทเป็นรูปคลื่นไซน์ 0-15 V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.1.3 การทดสอบการหาค่า Propagation delay time

ตารางที่ 7.3 แสดงความสัมพันธ์ของโหลดคาปาซิแตนซ์กับ Propagation delay time ที่ L = 0.8 μm

C_L (pF)	แหล่งจ่ายแรงดัน = 3 V. Propagation delay time (ns)		แหล่งจ่ายแรงดัน = 5 V. Propagation delay time (ns)	
	CMOS	BiCMOS	CMOS	BiCMOS
1	1.8627	1.3970	0.9313	0.9313
2	2.7940	1.3970	1.3970	0.9313
3	3.2596	1.3970	1.3970	0.9313
4	3.2827	1.3970	1.8627	0.9313
5	4.1910	1.3970	1.8627	0.9313
6	4.6566	1.3970	2.3283	0.9313
7	5.1223	1.3970	2.7940	0.9313
8	6.0536	1.3970	3.2596	0.9313
9	6.5193	1.3970	3.2596	0.9313
10	6.9849	1.3970	3.7253	0.9313

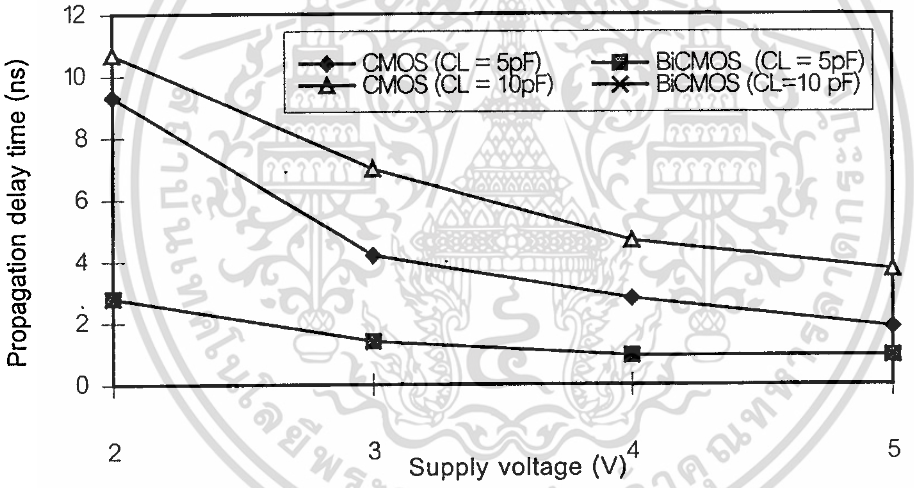


รูปที่ 7.19 แสดงความสัมพันธ์ของโหลดคาปาซิแตนซ์กับ Propagation delay time ที่ L = 0.8 μm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 7.4 แสดงความสัมพันธ์ของแหล่งจ่ายแรงดันกับ Propagation delay time ที่ L = 0.8 μm

V_{DD} (V)	C_L = 5 pF Propagation delay time (ns)		C_L = 10 pF Propagation delay time (ns)	
	CMOS	BiCMOS	CMOS	BiCMOS
2	9.3132	2.794	10.695	2.7940
3	4.1910	1.3970	6.9849	1.3970
4	2.7940	0.9313	4.6566	0.9313
5	1.8627	0.9313	3.7253	0.9313

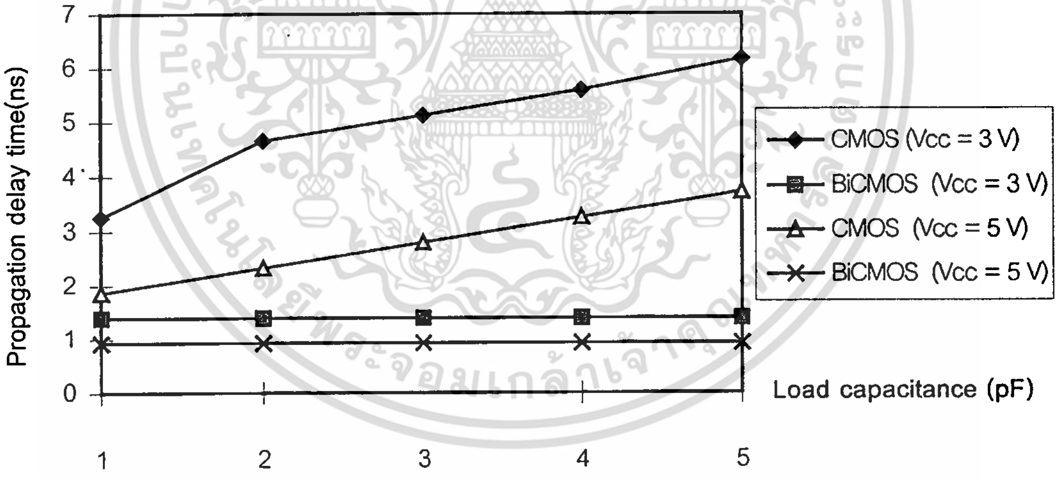


รูปที่ 7.20 แสดงความสัมพันธ์ของแหล่งจ่ายแรงดันกับ Propagation delay time ที่ L = 0.8 μm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 7.5 แสดงความสัมพันธ์ของโหลดคาปาซิแตนซ์กับ Propagation delay time ที่ L = 1.2 μm

C_L (pF)	แหล่งจ่ายแรงดัน = 3 V. Propagation delay time (nS)		แหล่งจ่ายแรงดัน = 5 V. Propagation delay time (nS)	
	CMOS	BiCMOS	CMOS	BiCMOS
1	3.2596	1.3970	1.8627	0.9313
2	4.6566	1.3970	2.3283	0.9313
3	5.1223	1.3970	2.7940	0.9313
4	5.5879	1.3970	3.2596	0.9313
5	6.1593	1.3970	3.7253	0.9313

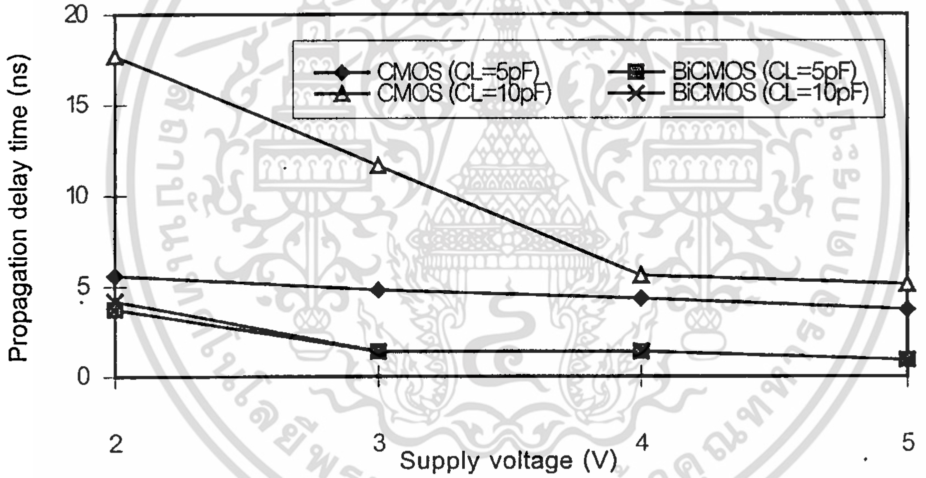


รูปที่ 7.21 แสดงความสัมพันธ์ของโหลดคาปาซิแตนซ์กับ Propagation delay time ที่ L = 1.2 μm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 7.6 แสดงความสัมพันธ์ของแหล่งจ่ายแรงดันกับ Propagation delay time ที่ L = 1.2 μm

V_{DD} (V)	C_L = 5 pF Propagation delay time (nS)		C_L = 10 pF Propagation delay time (nS)	
	CMOS	BiCMOS	CMOS	BiCMOS
2	5.5879	3.7253	17.695	4.1910
3	5.5193	1.3970	11.642	1.3970
4	4.3283	1.3970	5.5879	1.3970
5	3.7253	0.9313	5.1223	0.9313

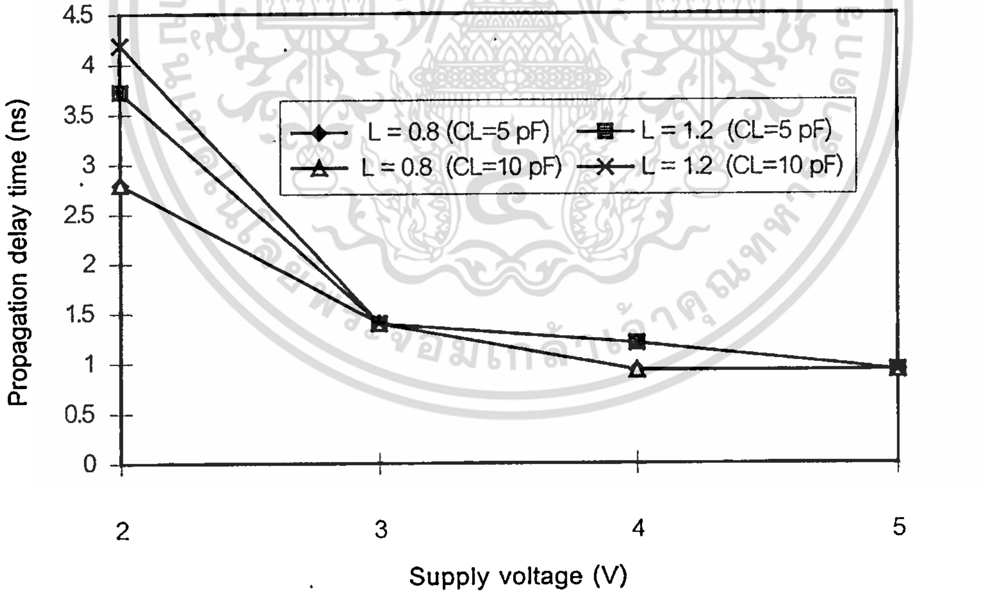


รูปที่ 7.22 แสดงความสัมพันธ์ของแหล่งจ่ายแรงดันกับ Propagation delay time ที่ L = 1.2 μm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 7.7 แสดงความสัมพันธ์ของแหล่งจ่ายแรงดันกับ Propagation delay time ที่ L = 0.8 μm และ L = 1.2 μm ของ BiCMOS

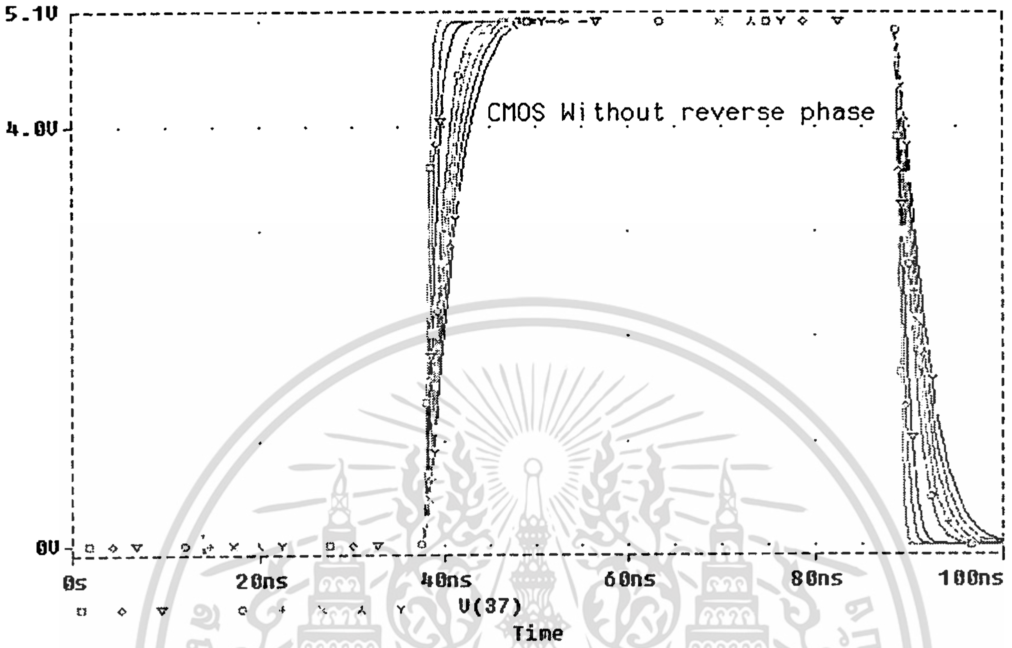
V_{DD} (V)	C_L = 5 pF Propagation delay time (ns)		C_L = 10 pF Propagation delay time (ns)	
	L = 0.8 μm	L = 1.2 μm	L = 0.8 μm	L = 1.2 μm
2	2.794	3.7253	2.7940	4.1910
3	1.3970	1.3970	1.3970	1.3970
4	0.9313	1.3970	0.9313	1.3970
5	0.9313	0.9313	0.9313	0.9313



รูปที่ 7.23 แสดงความสัมพันธ์ของแหล่งจ่ายแรงดันกับ Propagation delay time ที่ L = 0.8 μm และ L = 1.2 μm ของ BiCMOS

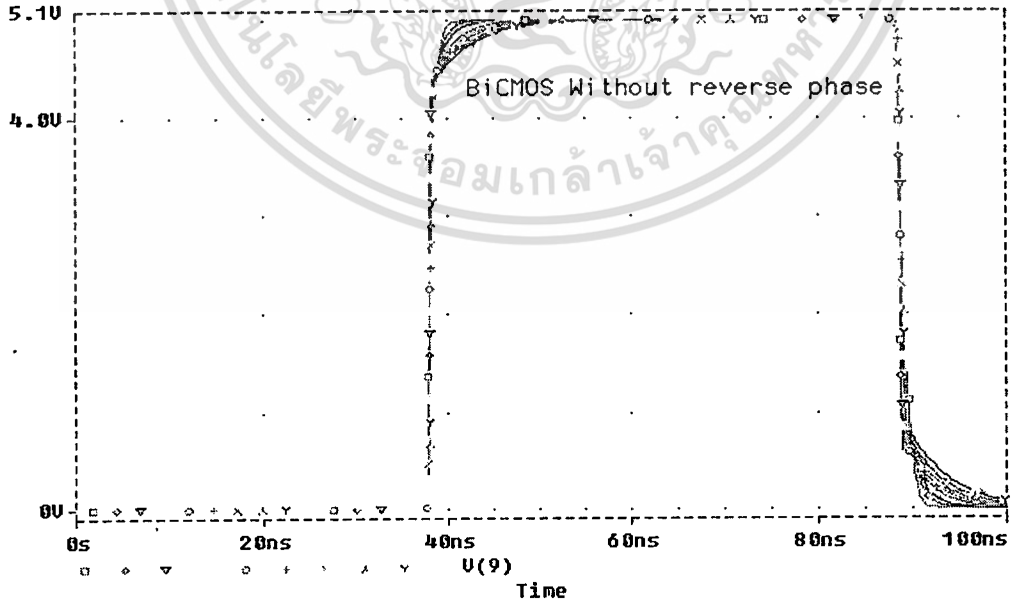
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.1.4 การทดสอบสัญญาณเอาท์พุท ที่ความถี่สูง 10 MHz.



รูปที่ 7.24 แสดงรูปสัญญาณเอาท์พุทของวงจรซีมอสชมิทท์ทริกเกอร์ที่ความถี่สูง 10 MHz.

Load Capacitance 1-10 pF

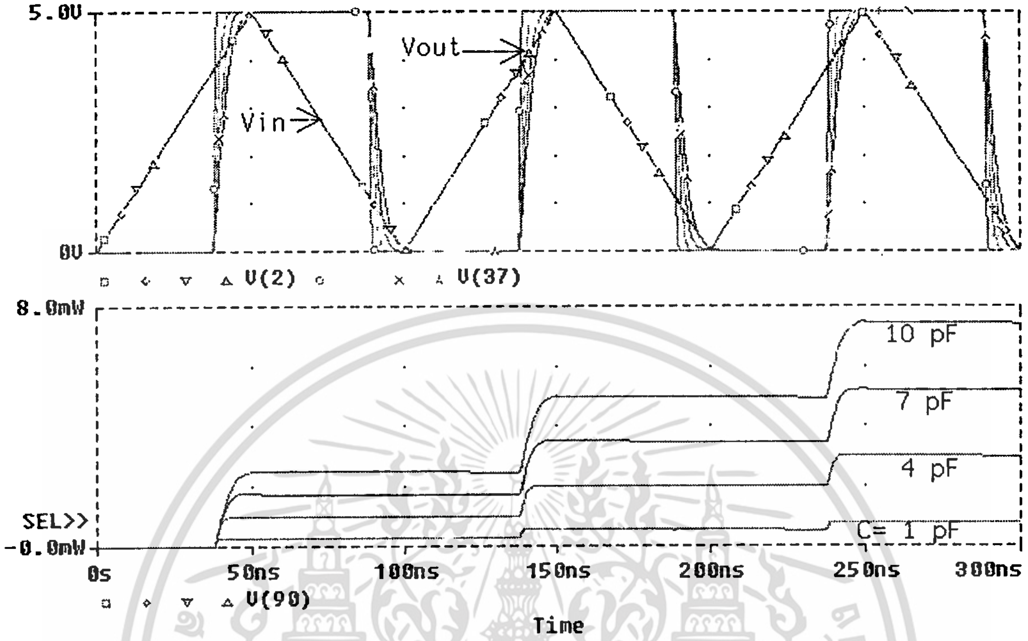


รูปที่ 7.25 แสดงรูปสัญญาณเอาท์พุทของวงจรไบซีมอสชมิทท์ทริกเกอร์ที่ความถี่สูง 10 MHz.

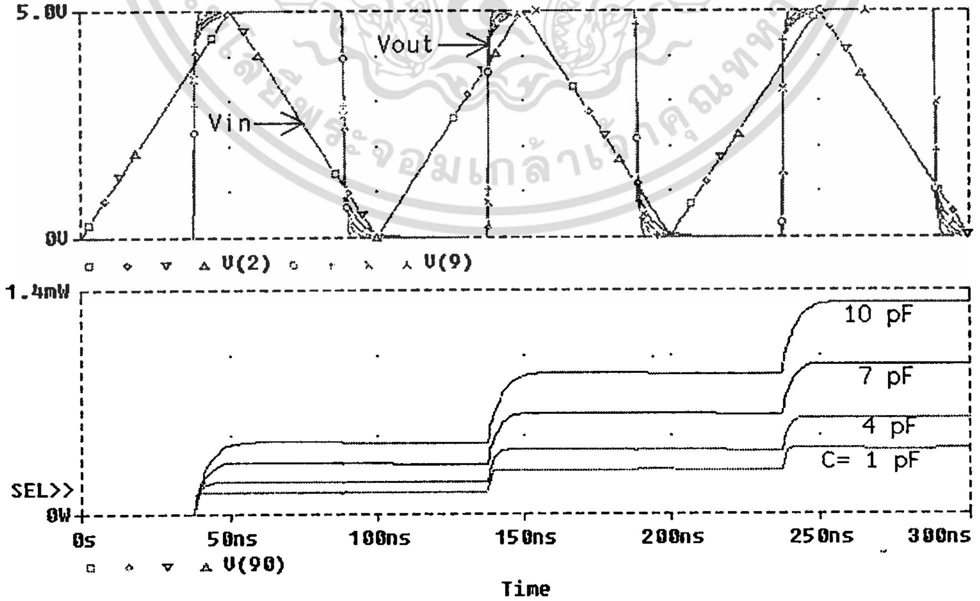
Load Capacitance 1-10 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.1.5 การทดสอบหาค่าของ Power dissipation

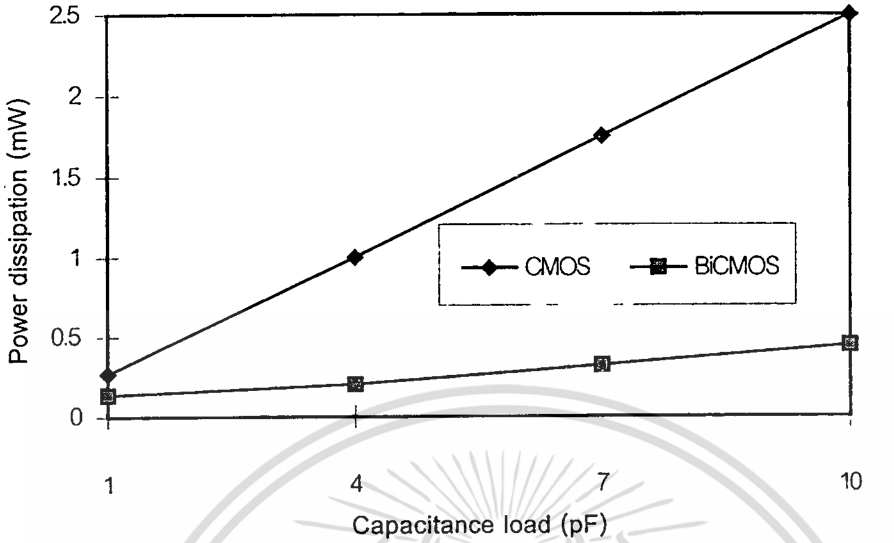


รูปที่ 7.26 แสดงสัญญาณอินพุท,เอาท์พุท เปรียบเทียบกับค่าของ Power dissipation ของวงจรซีมอสชมิทท์ทริกเกอร์ ที่ความถี่ 10 MHz.

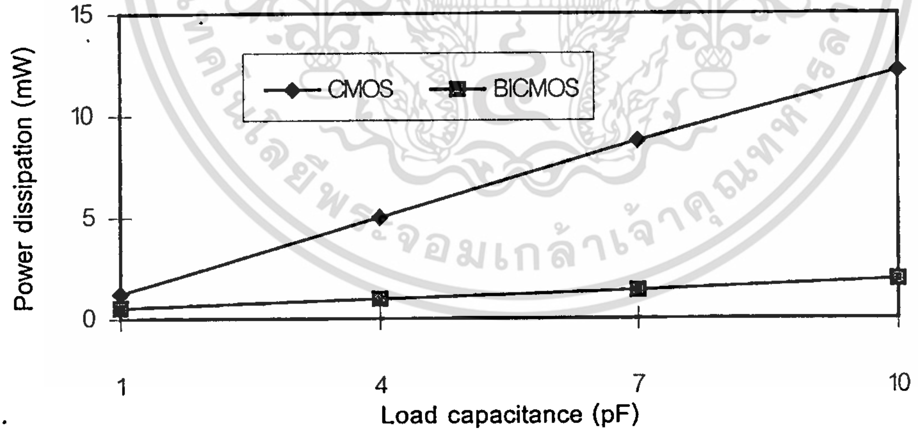


รูปที่ 7.27 แสดงสัญญาณอินพุท,เอาท์พุท เปรียบเทียบกับค่าของ Power dissipation ของวงจรไบซีมอสชมิทท์ทริกเกอร์ ที่ความถี่ 10 MHz.

เอกสารนี้เป็นเอกสารที่... ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.28 แสดงค่าของ Capacitance Load เปรียบเทียบกับค่าของ Power dissipation ของวงจรซีมอสกับไบซีมอสชมิทท์ทริกเกอร์ ที่ความถี่ 10 MHz.

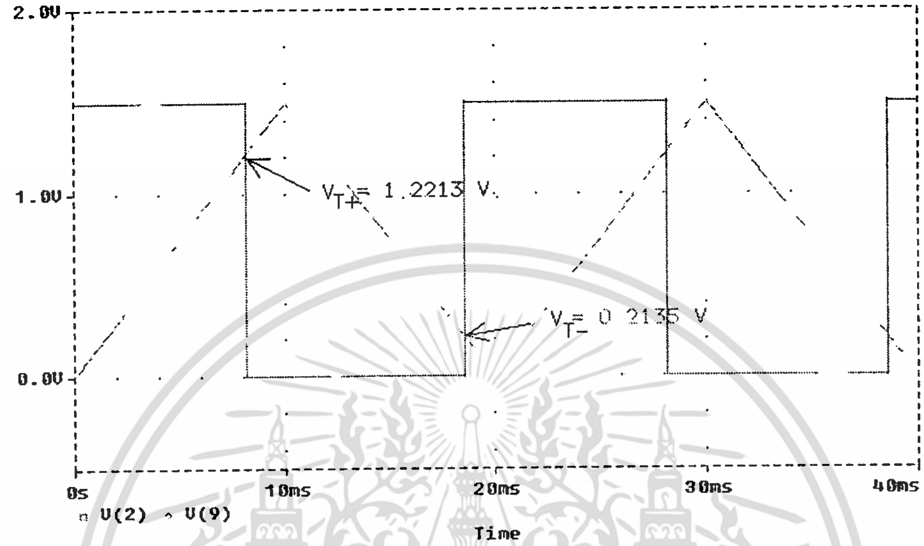


รูปที่ 7.29 แสดงค่าของ Capacitance Load เปรียบเทียบกับค่าของ Power dissipation ของวงจรซีมอสกับไบซีมอสชมิทท์ทริกเกอร์ ที่ความถี่ 50 MHz.

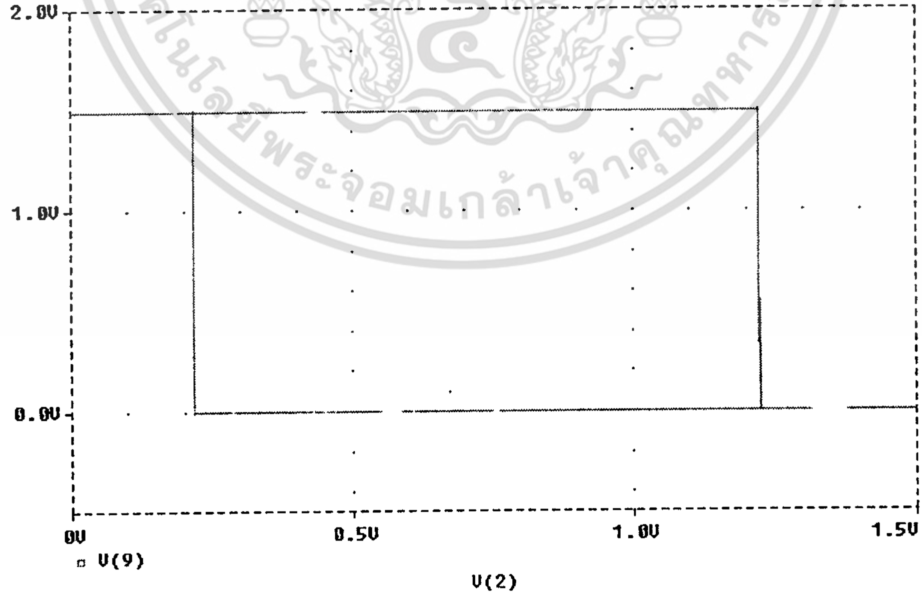
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.2 การทดสอบวงจรชมิทท์ทริกเกอร์แบบกลับเฟส

7.2.1 การทดสอบโดยใช้สัญญาณอินพุทรูปสามเหลี่ยมที่ความถี่ 50 Hz

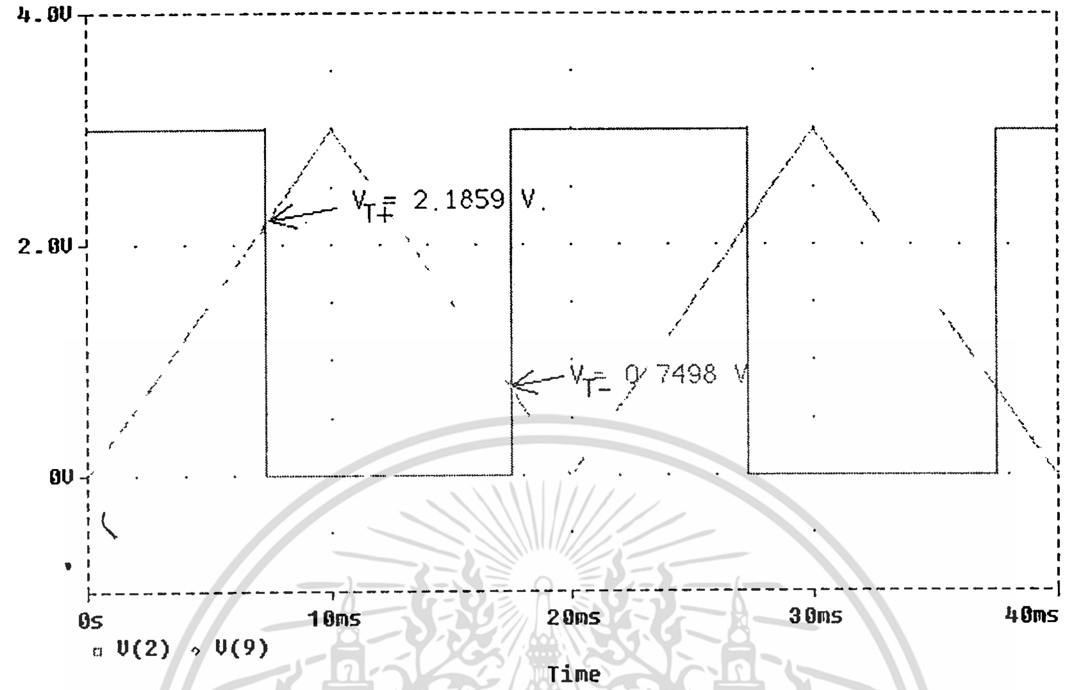


รูปที่ 7.30 แสดงรูปสัญญาณเอาท์พุท,สัญญาณอินพุท และจุดตัดแรงดันเทรสโฮล เมื่อป้อนแหล่งจ่ายแรงดัน1.5 V.

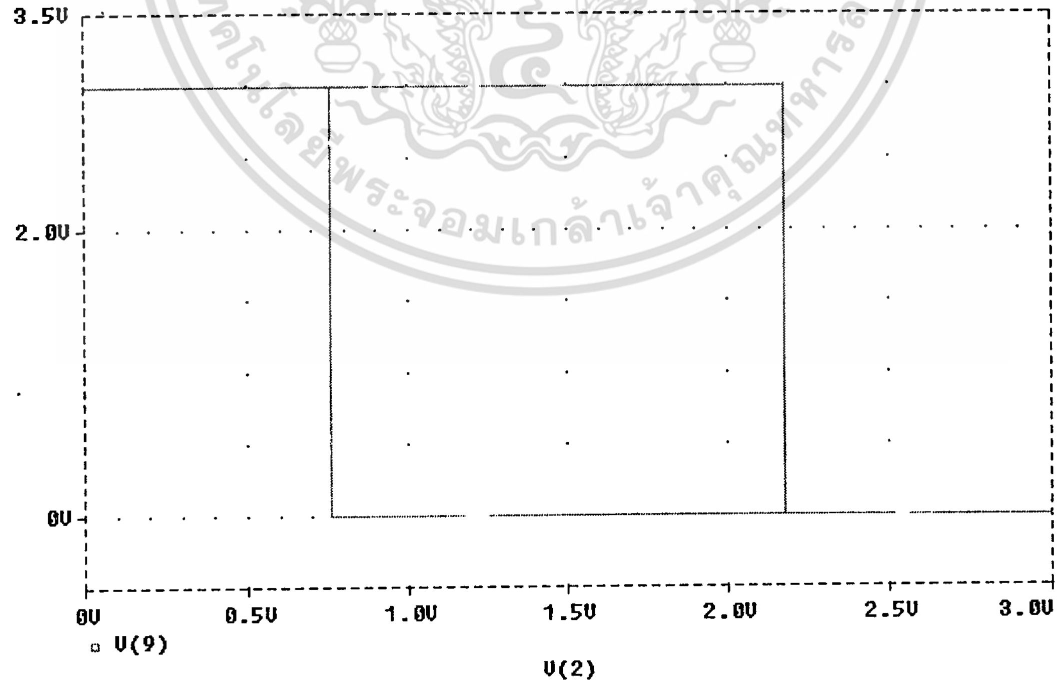


รูปที่ 7.31 แสดงกราฟคุณสมบัติการโอนถ่าย เมื่อป้อนแหล่งจ่ายแรงดัน 1.5 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

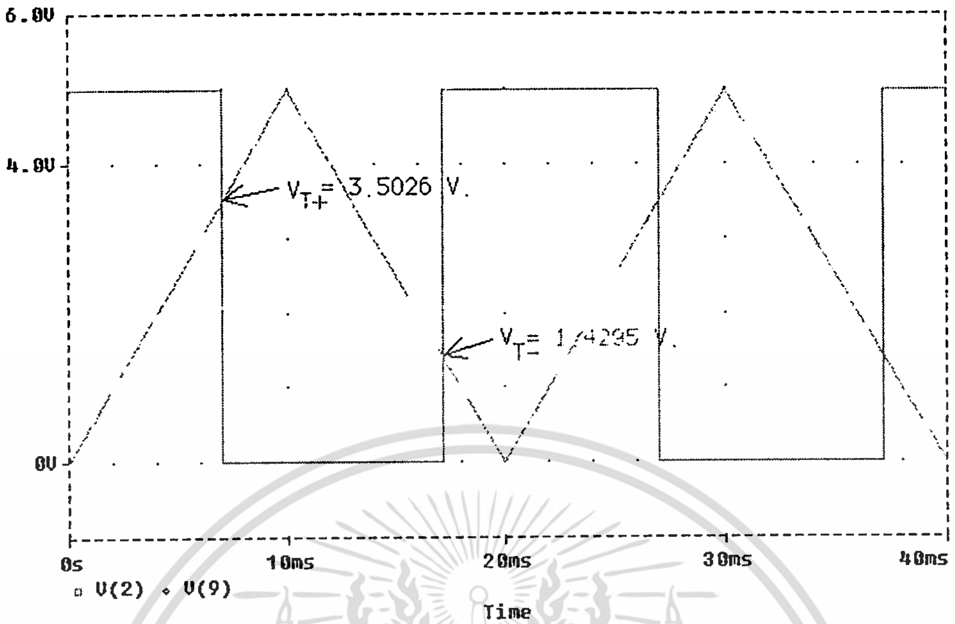


รูปที่ 7.32 แสดงรูปสัญญาณเอาท์พุท,สัญญาณอินพุท และจุดตัดแรงดันเทรสโฮล เมื่อป้อนแหล่งจ่ายแรงดัน3 V.

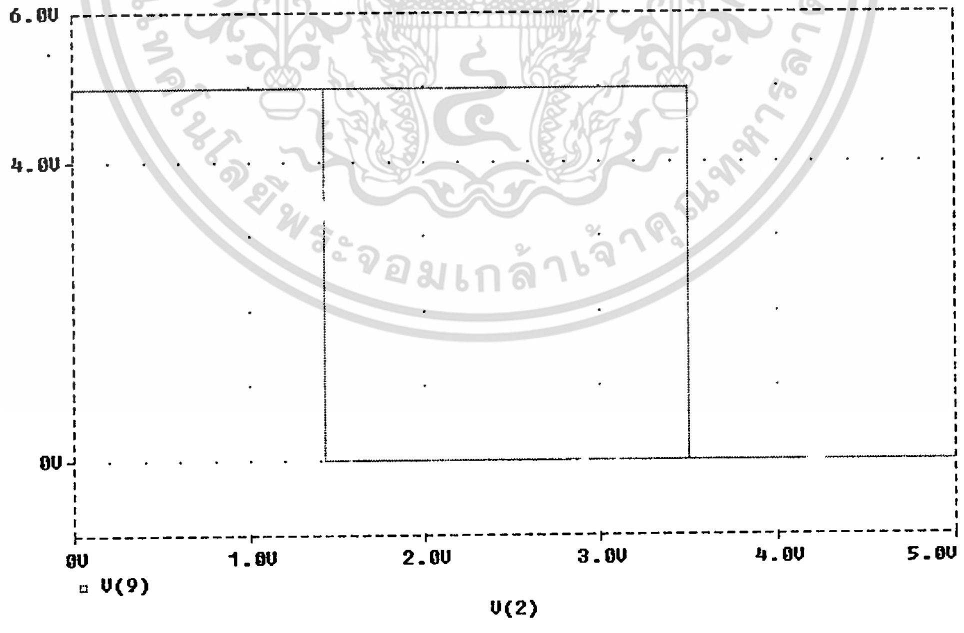


รูปที่ 7.33 แสดงกราฟคุณสมบัติการโอนถ่าย เมื่อป้อนแหล่งจ่ายแรงดัน 3 V

เอกสารนี้ถือเป็นลิขสิทธิ์ของสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

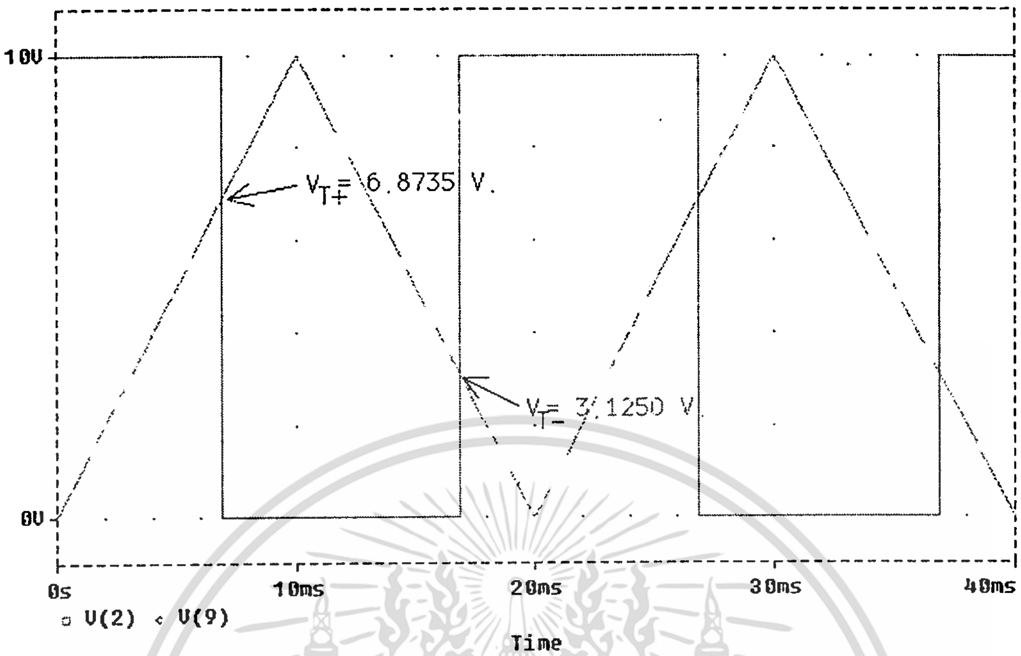


รูปที่ 7.34 แสดงรูปสัญญาณเอาท์พุท,สัญญาณอินพุท และจุดตัดแรงดันเทรสโฮล เมื่อป้อนแหล่งจ่ายแรงดัน 5 V.

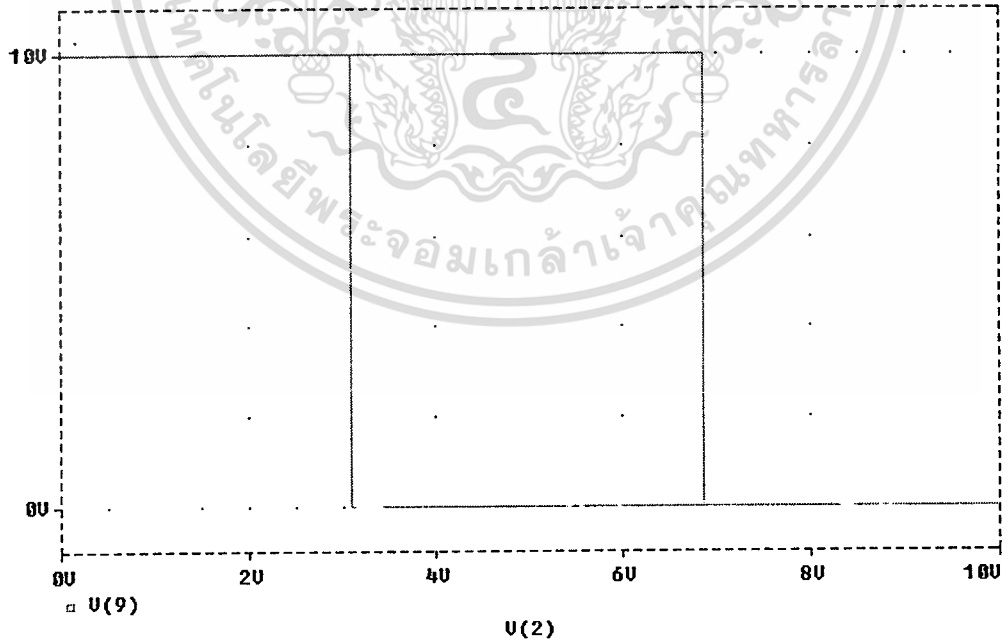


รูปที่ 7.35 แสดงกราฟคุณสมบัติการโอนถ่าย เมื่อป้อนแหล่งจ่ายแรงดัน 5 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

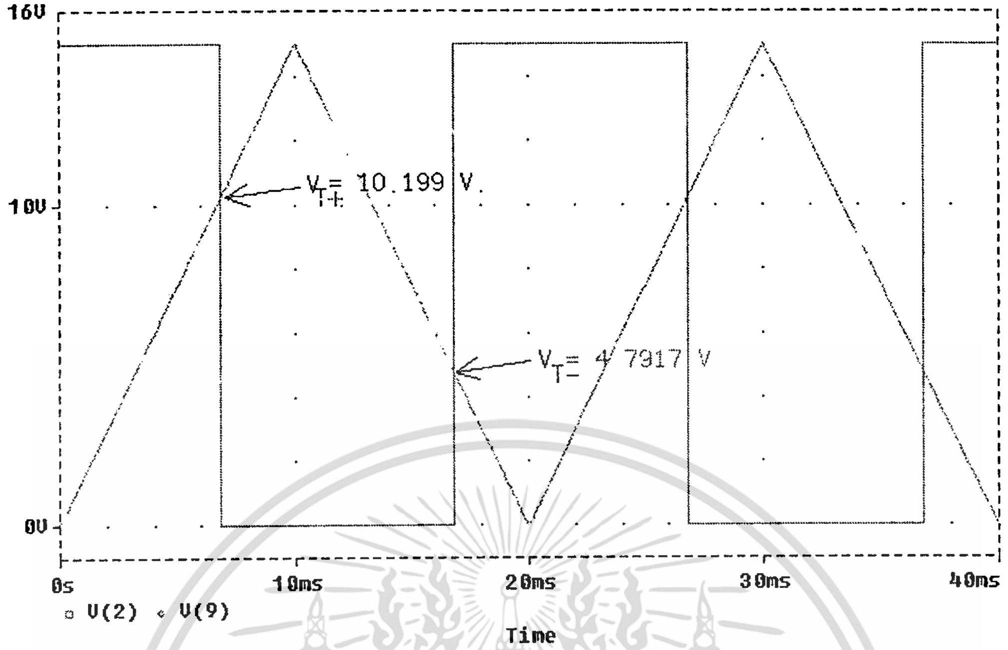


รูปที่ 7.36 แสดงรูปสัญญาณเอาท์พุท,สัญญาณอินพุท และจุดตัดแรงดันเทรสโฮล เมื่อป้อนแหล่งจ่ายแรงดัน 10 V.

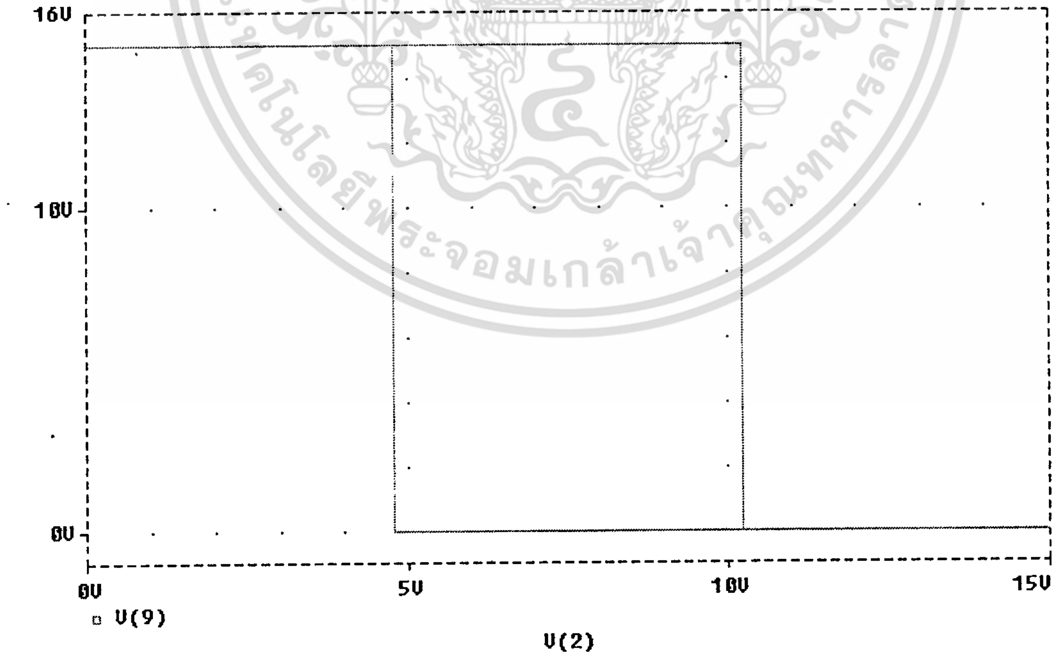


รูปที่ 7.37 แสดงกราฟคุณสมบัติการโอนถ่าย เมื่อป้อนแหล่งจ่ายแรงดัน 10 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.38 แสดงรูปสัญญาณเอาท์พุท,สัญญาณอินพุท และจุดตัดแรงดันเทรสโฮล เมื่อป้อนแหล่งจ่ายแรงดัน15 V.

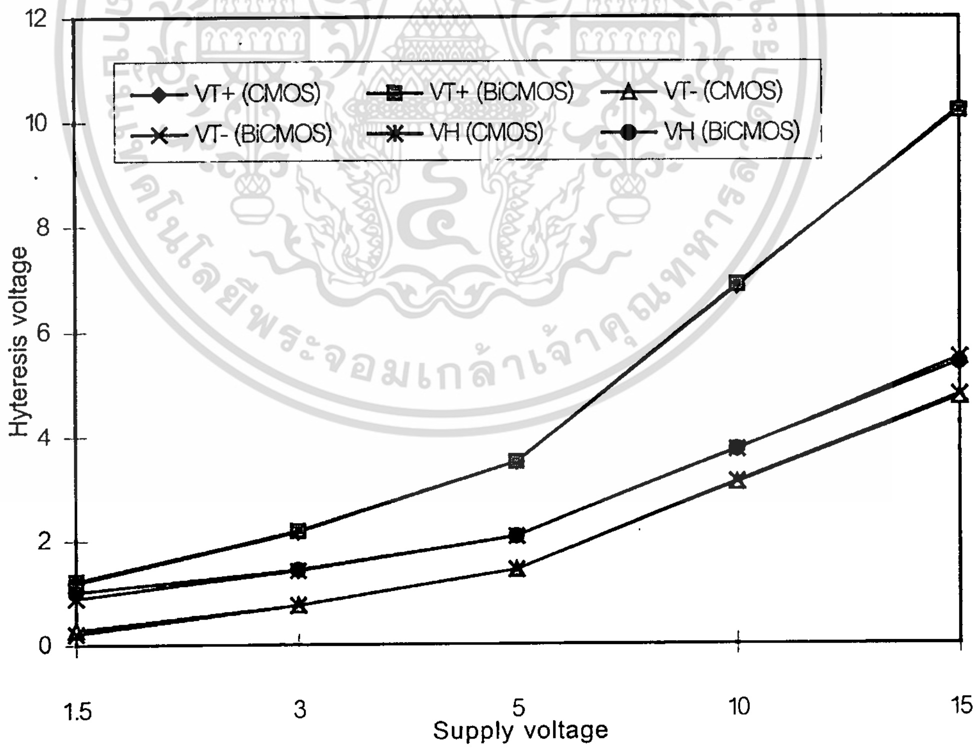


รูปที่ 7.39 แสดงกราฟคุณสมบัติการโอนถ่าย เมื่อป้อนแหล่งจ่ายแรงดัน 15 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 7.8 แสดงค่าการเปลี่ยนแปลงของแหล่งจ่ายแรงดัน,แรงดันเทรสโฮล และ ค่าฮีสเตอร์รีซีส ที่ L = 0.8 μm

แหล่งจ่ายแรงดัน (V.)	แรงดันเทรสโฮลบวก V_{T+}(V.)		แรงดันเทรสโฮลลบ V_{T-} (V.)		แรงดันฮีสเตอร์รีซีส $V_H=V_{T+}-V_{T-}$ (V.)	
	CMOS	BiCMOS	CMOS	BiCMOS	CMOS	BiCMOS
1.5	1.1798	1.2213	0.2891	0.2135	0.8907	1.0078
3	2.1649	2.1859	0.7510	0.7498	1.4139	1.4361
5	3.4970	3.5026	1.4281	1.4295	2.0689	2.0731
10	6.8365	6.8735	3.0978	3.1250	3.7387	3.7485
15	10.251	10.199	4.7514	4.7917	5.4996	5.4073

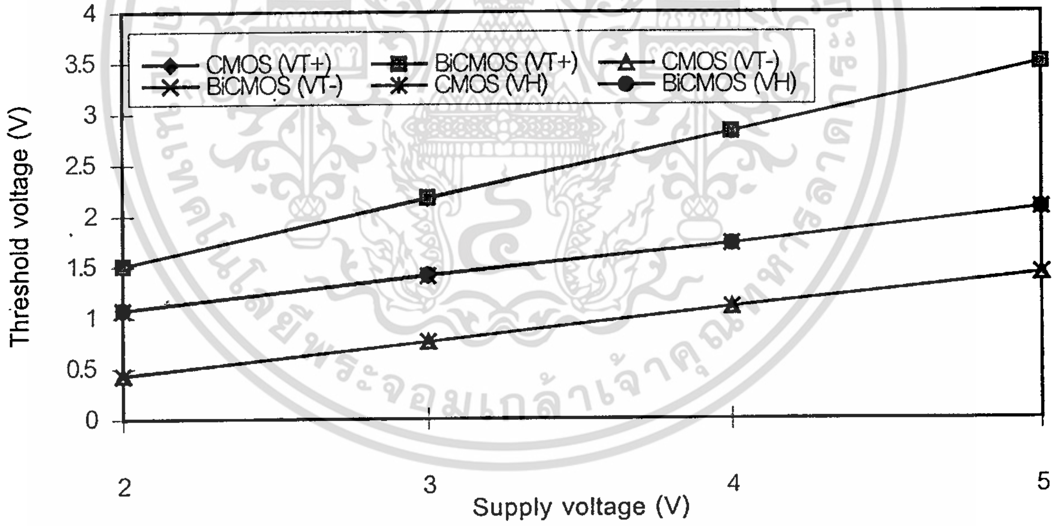


รูปที่ 7.40 แสดงความสัมพันธ์ของแหล่งจ่ายแรงดันกับแรงดันเทรสโฮล และ ค่าฮีสเตอร์รีซีส ที่ L = 0.8 μm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

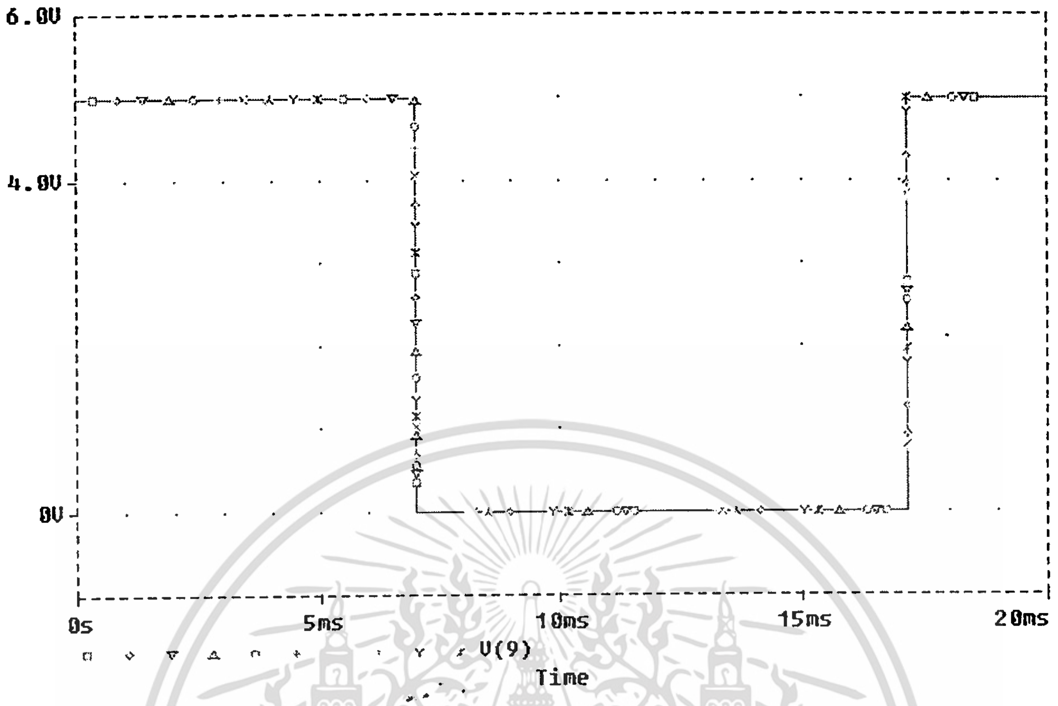
ตารางที่ 7.9 แสดงค่าการเปลี่ยนแปลงของแหล่งจ่ายแรงดัน,แรงดันเทรสโฮล และ ค่าฮีสเตอร์รีซีส ที่ L = 1.2 μm

แหล่งจ่ายแรงดัน (V.)	แรงดันเทรสโฮลบวก V_{T+}(V.)		แรงดันเทรสโฮลลบ V_{T-} (V.)		แรงดันฮีสเตอร์รีซีส $V_H=V_{T+}-V_{T-}$ (V.)	
	CMOS	BiCMOS	CMOS	BiCMOS	CMOS	BiCMOS
2	1.5077	1.5077	0.4338	0.4276	1.0739	1.0801
3	2.1655	2.1764	07604	0.7607	1.4051	1.4156
4	2.8222	2.8222	1.1000	1.1000	1.7222	1.7222
5	3.5003	3.5003	1.4272	1.4297	2.0731	2.0706

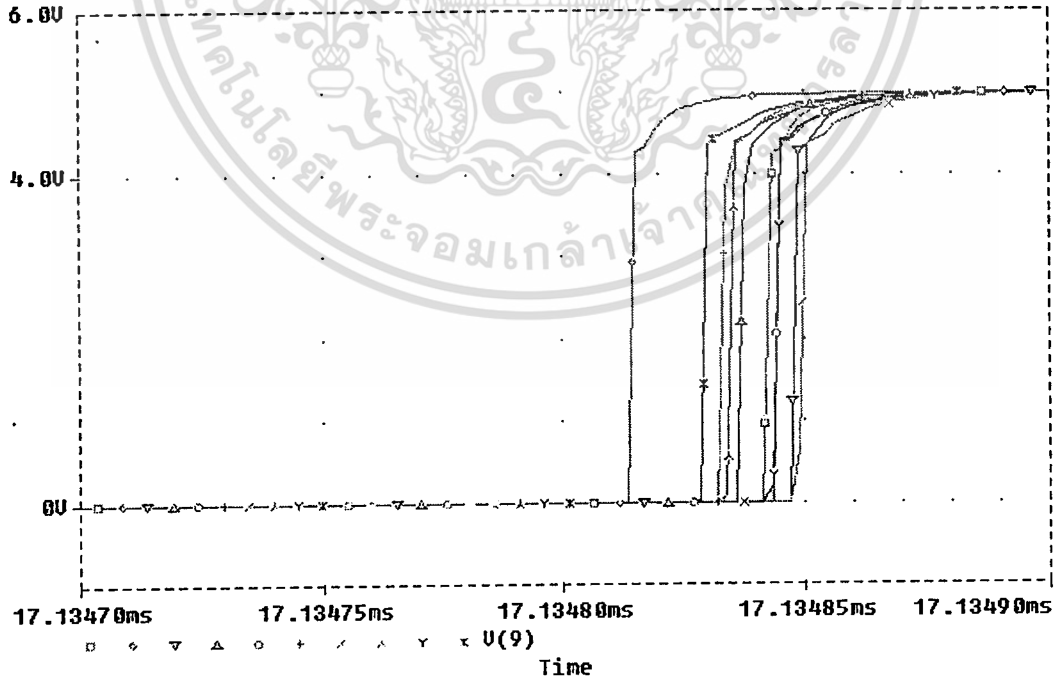


รูปที่ 7.41 แสดงความสัมพันธ์ของแหล่งจ่ายแรงดันกับแรงดันเทรสโฮล และ ค่าฮีสเตอร์รีซีส ที่ L = 1.2 μm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

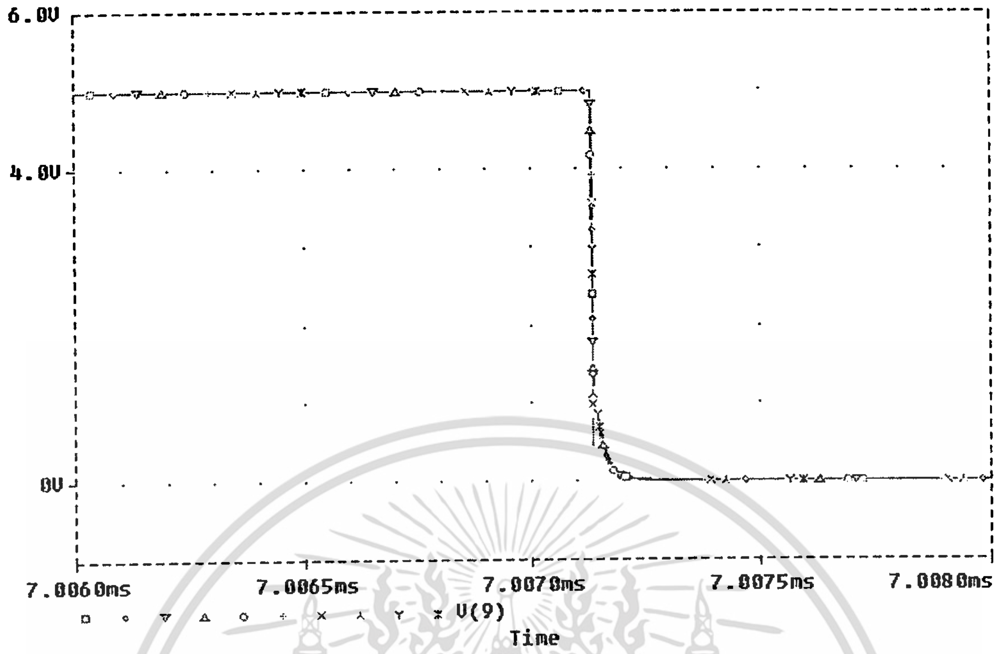


รูปที่ 7.42 แสดงสัญญาณเอาท์พุทเมื่อโหลดคาปาซิแตนซ์ = 1-10 pF



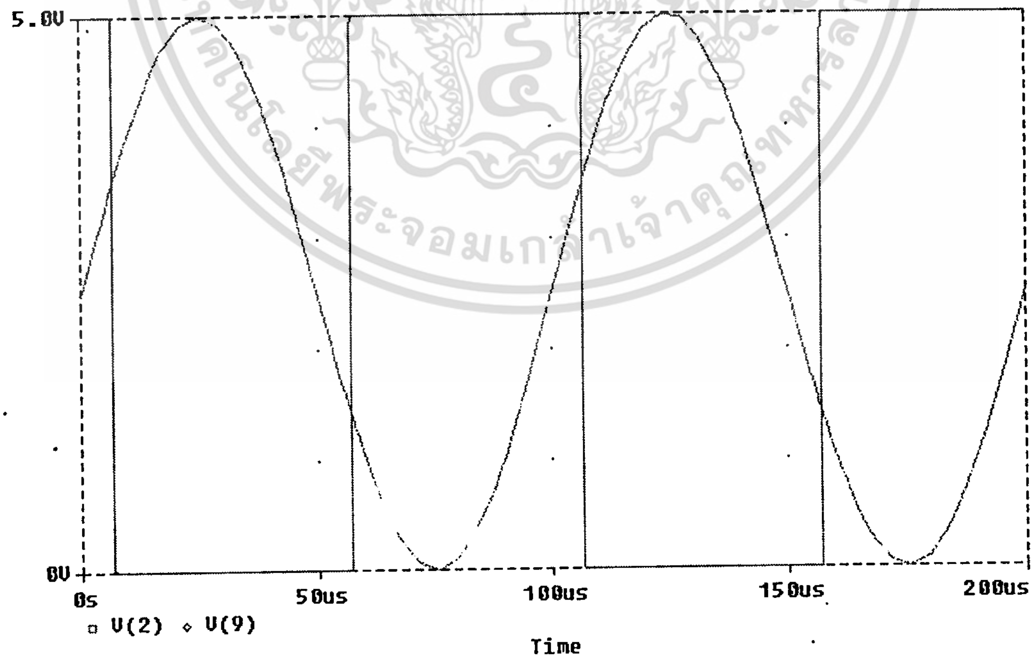
รูปที่ 7.43 แสดงช่วงขอบเวลาขาขึ้นของวงจรที่โหลดคาปาซิแตนซ์ 1 -10 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



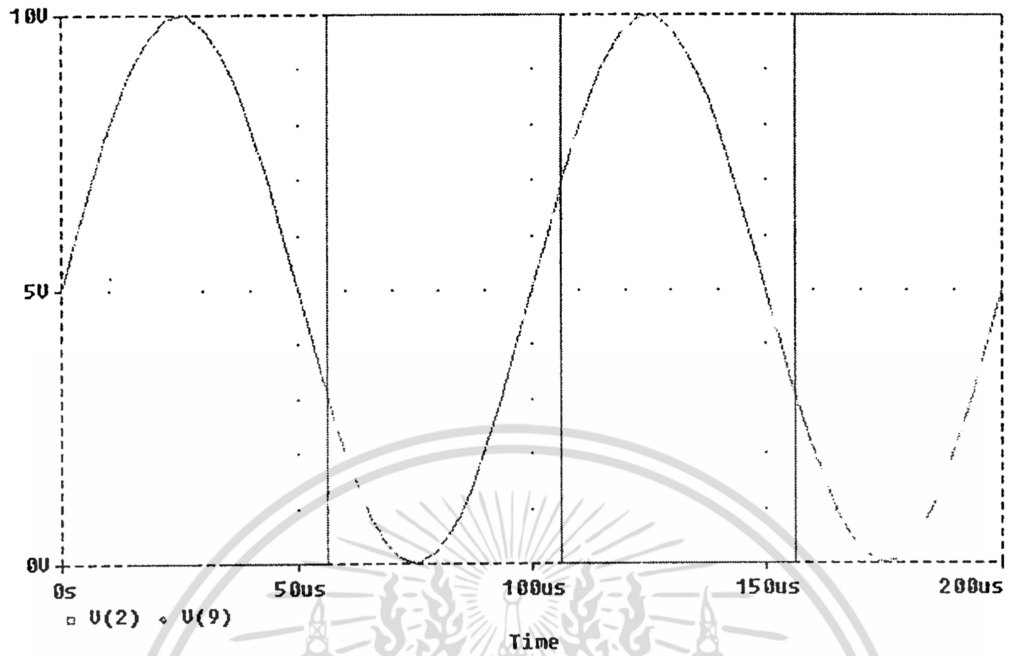
รูปที่ 7.44 แสดงช่วงขอบเวลาขาลงของวงจรที่โหลดคาปาซิแตนซ์ 1 -10 pF

7.2.2 การทดสอบการสวิทชิ่งด้วยรูปสัญญาณไซน์ ที่ความถี่ 10 kHz.

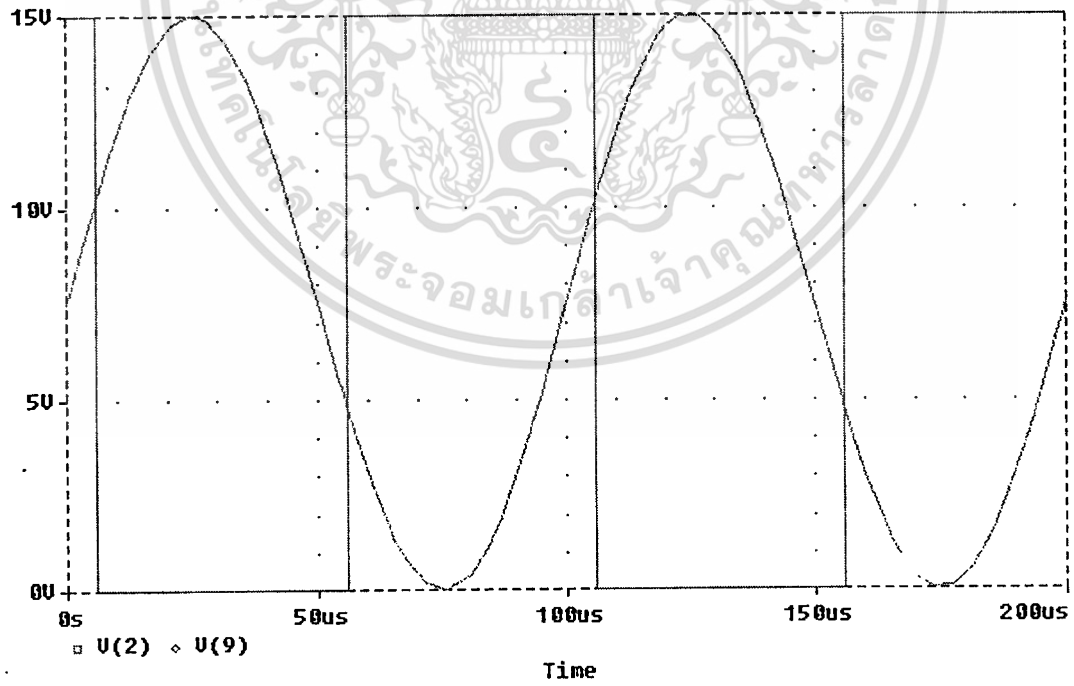


รูปที่ 7.45 แสดงคุณสมบัติในการสวิทชิ่งโดยการป้อนสัญญาณอินพุทเป็นรูปคลื่นไซน์ 0-5 V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.46 แสดงคุณสมบัติในการสวิทชิ่งโดยการป้อนสัญญาณอินพุทเป็นรูปคลื่นไซน์ 0-10 V.



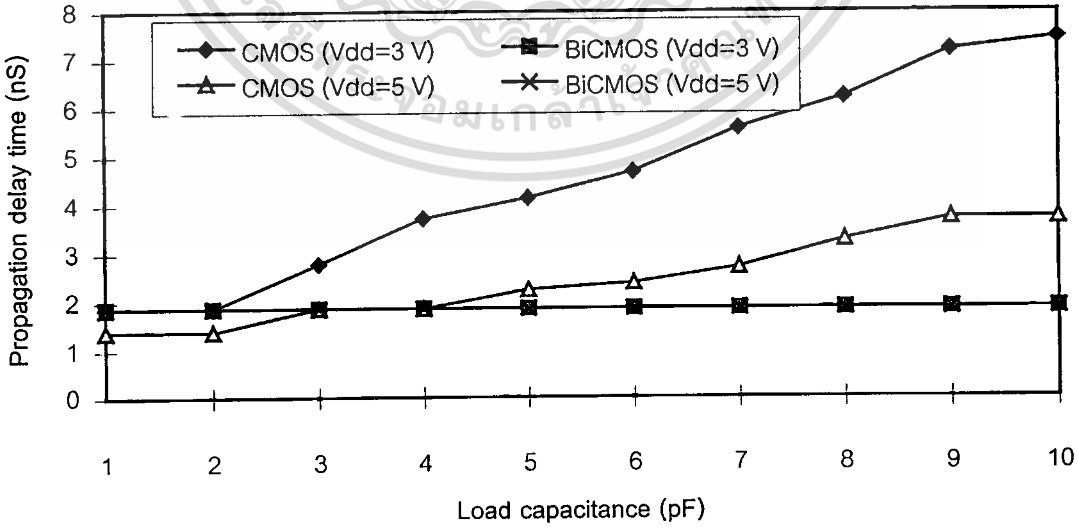
รูปที่ 7.47 แสดงคุณสมบัติในการสวิทชิ่งโดยการป้อนสัญญาณอินพุทเป็นรูปคลื่นไซน์ 0-15 V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.2.3 การทดสอบการหาค่า Propagation delay time

ตารางที่ 7.10 แสดงความสัมพันธ์ของโหลดคาปาซิแตนซ์กับ Propagation delay time ที่ L = 0.8 µm

C_L (pF)	แหล่งจ่ายแรงดัน = 3 V. Propagation delay time (ns)		แหล่งจ่ายแรงดัน = 5 V. Propagation delay time (ns)	
	CMOS	BiCMOS	CMOS	BiCMOS
1	1.8627	1.8627	1.3970	1.8627
2	1.8627	1.8627	1.3970	1.8627
3	2.7940	1.8627	1.8627	1.8627
4	3.7253	1.8627	1.8627	1.8627
5	3.7253	1.8627	2.2596	1.8627
6	4.1910	1.8627	2.2596	1.8627
7	5.5879	1.8627	2.7253	1.8627
8	5.5879	1.8627	3.2827	1.8627
9	7.4506	1.8627	3.7253	1.8627
10	7.4506	1.8627	3.7253	1.8627

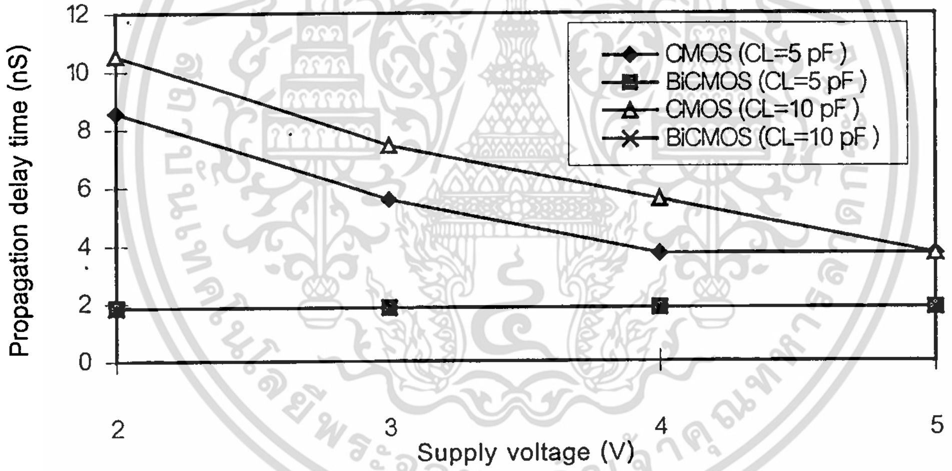


รูปที่ 7.48 แสดงความสัมพันธ์ของโหลดคาปาซิแตนซ์กับ Propagation delay time ที่ L = 0.8 µm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 7.11 แสดงความสัมพันธ์ของแหล่งจ่ายแรงดันกับ Propagation delay time ที่ L = 0.8 μm

V_{DD} (V)	C_L = 5 pF Propagation delay time (nS)		C_L = 10 pF Propagation delay time (nS)	
	CMOS	BiCMOS	CMOS	BiCMOS
2	8.5730	1.8627	10.5430	1.8627
3	5.5879	1.8627	7.4506	1.8627
4	3.7253	1.8627	5.5879	1.8627
5	3.7253	1.8627	3.7253	1.8627

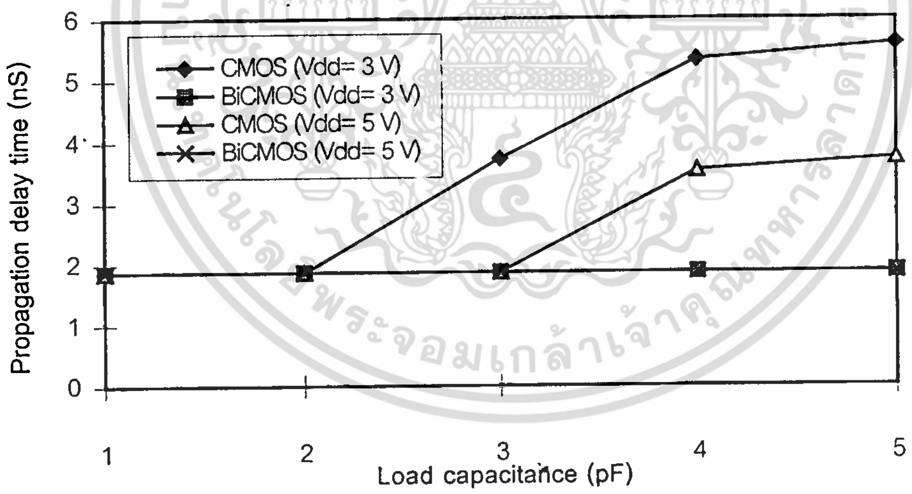


รูปที่ 7.49 แสดงความสัมพันธ์ของแหล่งจ่ายแรงดันกับ Propagation delay time ที่ L = 0.8 μm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 7.12 แสดงความสัมพันธ์ของโหลดคาปาซิแตนซ์กับ Propagation delay time ที่ L = 1.2 μm

C_L (pF)	แหล่งจ่ายแรงดัน = 3 V. Propagation delay time (ns)		แหล่งจ่ายแรงดัน = 5 V. Propagation delay time (ns)	
	CMOS	BiCMOS	CMOS	BiCMOS
1	1.8627	1.8627	1.8627	1.8627
2	1.8627	1.8627	1.8627	1.8627
3	3.7253	1.8627	1.8627	1.8627
4	5.5879	1.8627	3.7253	1.8627
5	5.5879	1.8627	3.7253	1.8627

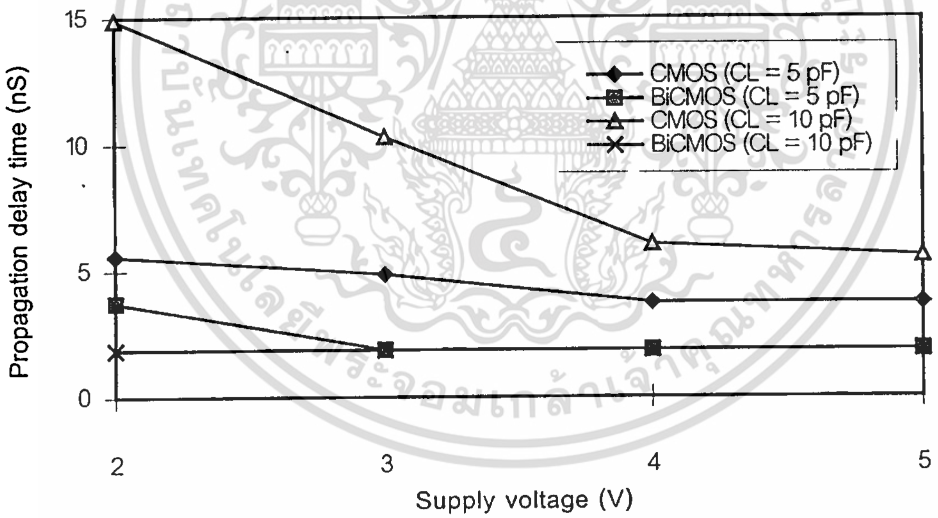


รูปที่ 7.50 แสดงความสัมพันธ์ของโหลดคาปาซิแตนซ์กับ Propagation delay time ที่ L = 1.2 μm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 7.13 แสดงความสัมพันธ์ของแหล่งจ่ายแรงดันกับ Propagation delay time ที่ L = 1.2 μm

V_{DD} (V)	C_L = 5 pF Propagation delay time (ns)		C_L = 10 pF Propagation delay time (ns)	
	CMOS	BiCMOS	CMOS	BiCMOS
2	5.5879	3.7253	14.901	1.8627
3	5.5879	1.8627	11.1760	1.8627
4	3.7253	1.8627	5.7253	1.8627
5	3.7253	1.8627	5.5879	1.8627

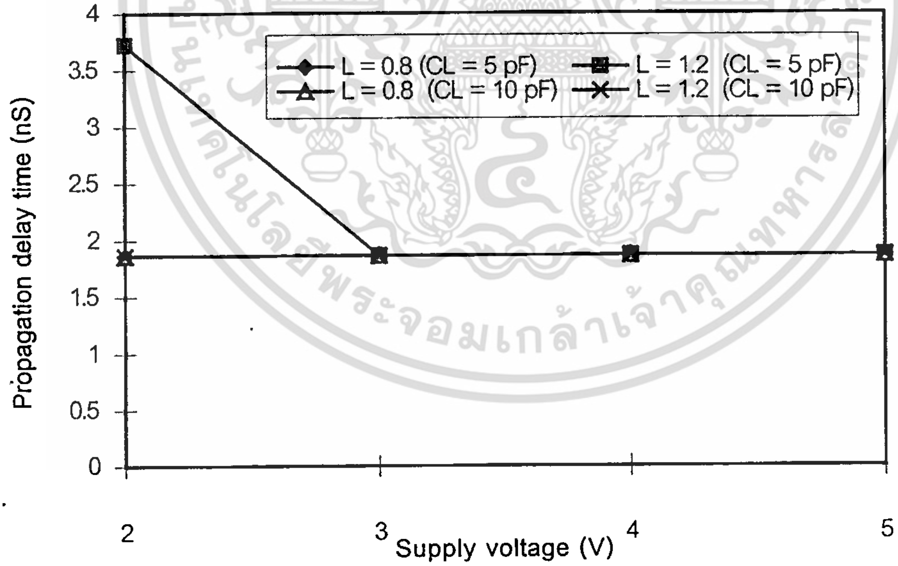


รูปที่ 7.51 แสดงความสัมพันธ์ของแหล่งจ่ายแรงดันกับ Propagation delay time ที่ L = 1.2 μm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 7.14 แสดงความสัมพันธ์ของแหล่งจ่ายแรงดันกับ Propagation delay time ที่ L = 0.8 μm และ L = 1.2 μm ของ BiCMOS

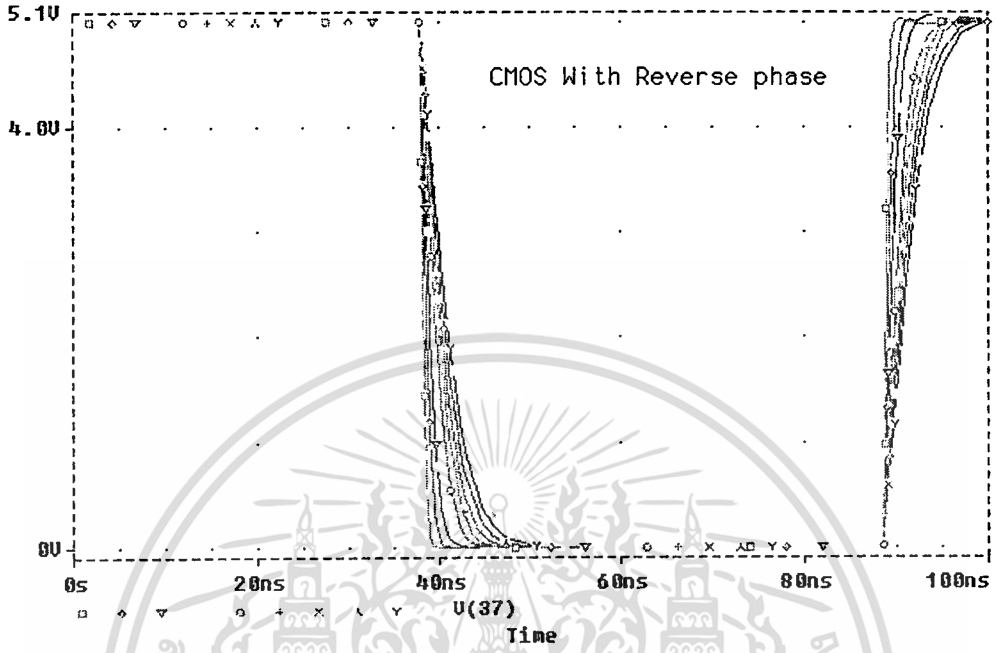
V_{DD} (V)	C_L = 5 pF Propagation delay time (nS)		C_L = 10 pF Propagation delay time (nS)	
	L = 0.8 μm	L = 1.2 μm	L = 0.8 μm	L = 1.2 μm
2	1.8627	3.7253	1.8627	1.8627
3	1.8627	1.8627	1.8627	1.8627
4	1.8627	1.8627	1.8627	1.8627
5	1.8627	1.8627	1.8627	1.8627



รูปที่ 7.52 แสดงความสัมพันธ์ของแหล่งจ่ายแรงดันกับ Propagation delay time ที่ L = 0.8 μm และ L = 1.2 μm

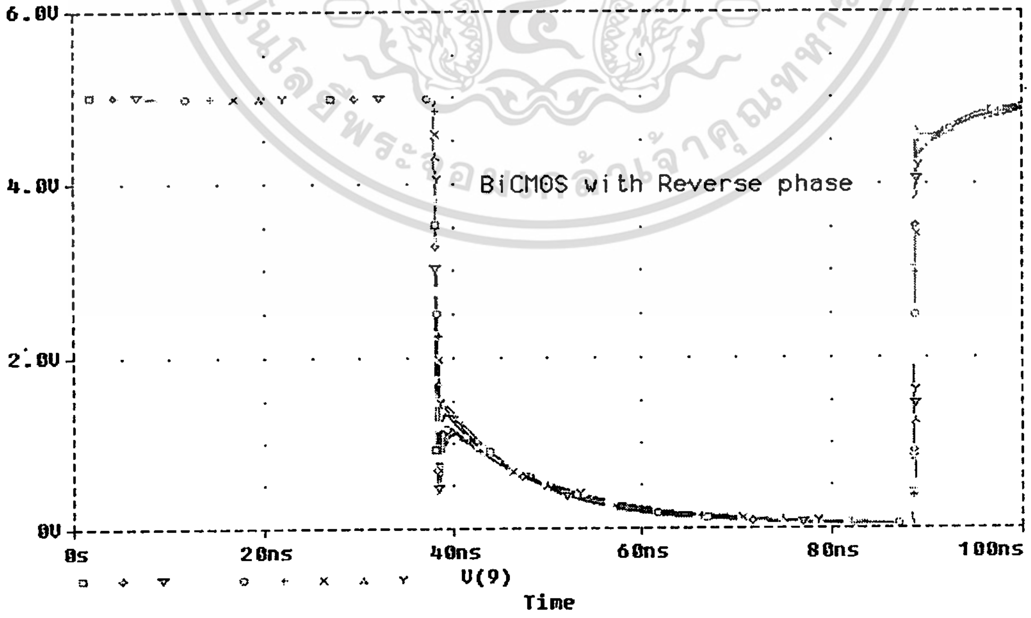
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.2.4 การทดสอบสัญญาณเอาท์พุท ที่ความถี่สูง 10 MHz.



รูปที่ 7.53 แสดงรูปสัญญาณเอาท์พุทของวงจรซีมอสชมิทท์ทริกเกอร์ที่ความถี่สูง 10 MHz.

Load Capacitance 1-10 pF

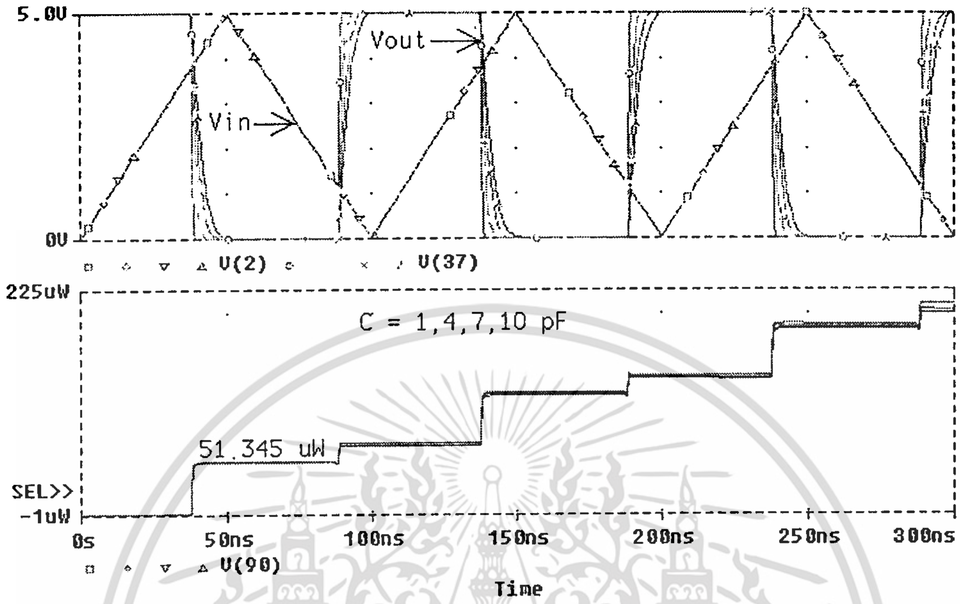


รูปที่ 7.54 แสดงรูปสัญญาณเอาท์พุทของวงจรไบซีมอสชมิทท์ทริกเกอร์ที่ความถี่สูง 10 MHz.

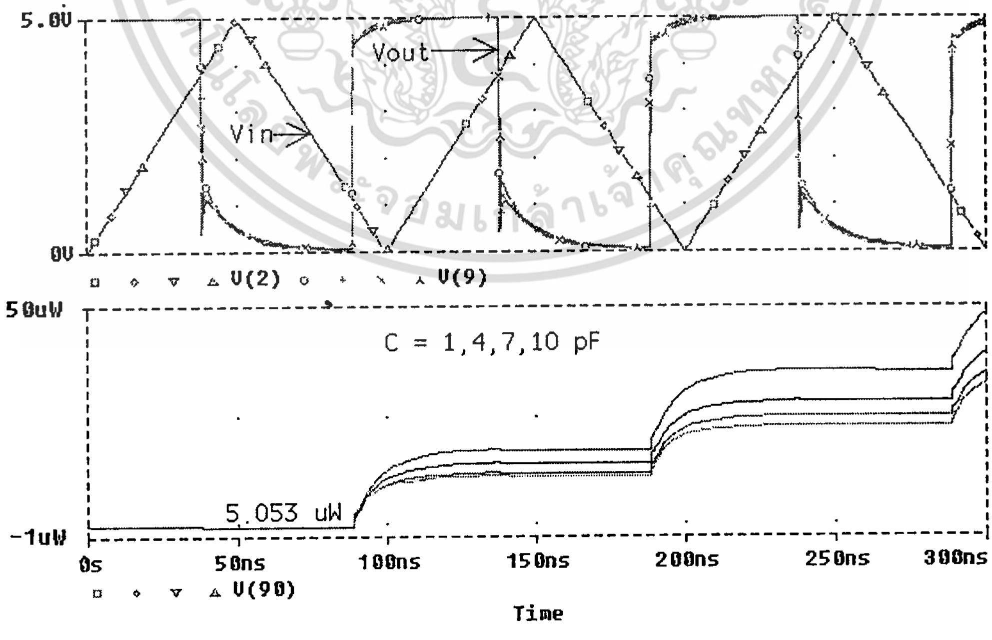
Load Capacitance 1-10 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.2.5 การทดสอบหาค่าของ Power dissipation

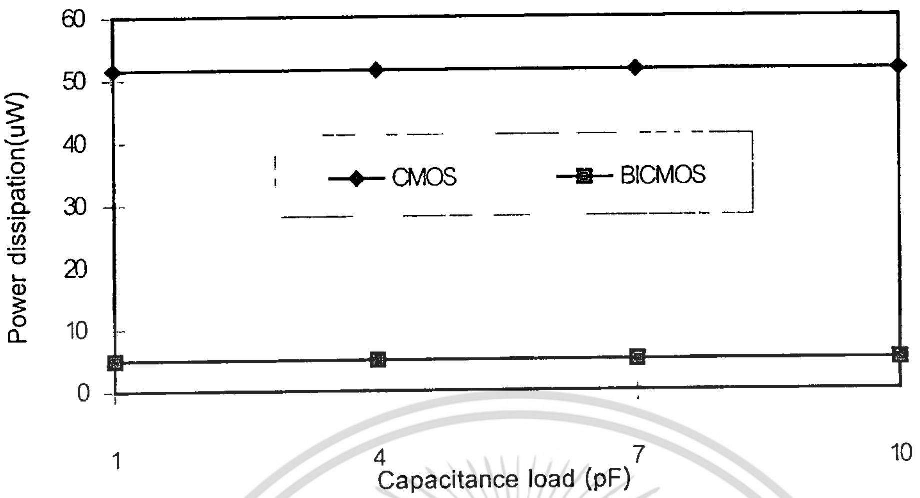


รูปที่ 7.55 แสดงสัญญาณอินพุท,เอาท์พุท เปรียบเทียบกับค่าของ Power dissipation ของวงจรซีมอสชมิทท์ทริกเกอร์ ที่ความถี่ 10 MHz.

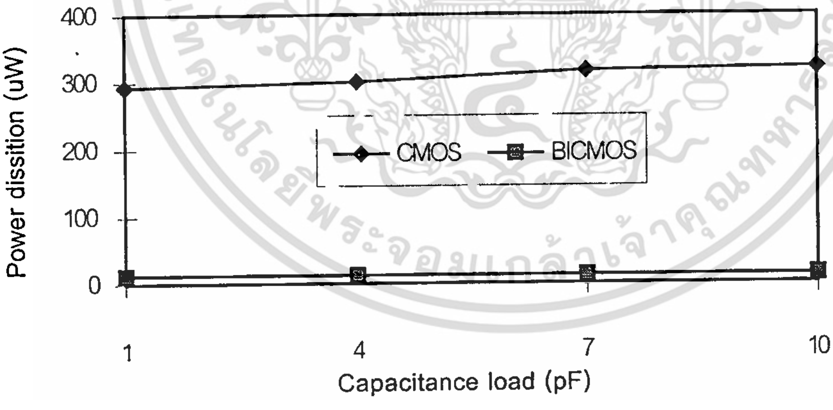


รูปที่ 7.56 แสดงสัญญาณอินพุท,เอาท์พุท เปรียบเทียบกับค่าของ Power dissipation ของวงจรไบซีมอสชมิทท์ทริกเกอร์ ที่ความถี่ 10 MHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.57 แสดงค่าของ Capacitance Load เปรียบเทียบกับค่าของ Power dissipation ของวงจรซีมอสกับไบซีมอสชมิทท์ทริกเกอร์ ที่ความถี่ 10 MHz.



รูปที่ 7.58 แสดงค่าของ Capacitance Load เปรียบเทียบกับค่าของ Power dissipation ของวงจรซีมอสกับไบซีมอสชมิทท์ทริกเกอร์ ที่ความถี่ 50 MHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8

สรุปผลการวิจัย

จากผลการทดสอบและเปรียบเทียบคุณสมบัติในแบบต่าง ๆ ของวงจรไบซีมอสชมิทท์ทริกเกอร์ที่ออกแบบใหม่ กับ วงจรซีมอสชมิทท์ทริกเกอร์ ทั้งแบบไม่กลับเฟสและแบบกลับเฟส สามารถสรุปได้ดังนี้

8.1 คุณสมบัติการโอนถ่ายแรงดันและการสวิงเต็มช่วง (Full swing)

จากการทดสอบด้วยโปรแกรม PSpice โดยการใช้อินพุทเป็นรูป Triangular wave แทนไฟตรง โดยใช้ความถี่ 50 Hz.ในการจำลองการทำงานจะเห็นว่าการทำงานของวงจรที่แหล่งจ่ายแรงดันตั้งแต่ 1.5 V ถึง 15 V.และ สัญญาณอินพุทเป็นรูป Triangular wave มีขนาดตั้งแต่ 1.5 V ถึง 15 V. ด้วย การสวิงของแรงดันเอาท์พุทจะสวิงได้ตั้งแต่กราวด์ (0โวลท์) ถึงแหล่งจ่ายแรงดันนั้น หรือสวิงได้ถึงตามขนาดที่สัญญาณอินพุทป้อนเข้ามา สำหรับ ค่าของแรงดันเทรสโฮลบวก และ แรงดันเทรสโฮลลบ จะมีค่าเพิ่มขึ้นตามแหล่งจ่ายแรงดันที่ป้อนเข้าทั้งแบบเทคโนโลยีซีมอสและไบซีมอส ดังแสดงตามรูปที่ 7.1 - 7.10, รูปที่ 7.30 - 7.39 และตารางที่ 7.1-7.2, ตารางที่ 7.8-7.9 ทั้งแบบไม่กลับเฟส และ แบบกลับเฟส

8.2 คุณสมบัติการหน่วงเวลา (Propagation delay time)

จาการทดสอบตารางที่ 7.10-7.14 และรูปที่ 7.20-7.23,รูปที่ 7.48-7.52 จะดูได้จากตารางและรูปกราฟว่าคุณสมบัติของเทคโนโลยีไบซีมอสวงจรชมิทท์ทริกเกอร์นั้น มีค่าการหน่วงของเวลาน้อยกว่าคุณสมบัติของเทคโนโลยีซีมอสวงจรชมิทท์ทริกเกอร์ ทั้งแบบกลับเฟสและไม่กลับ เฟส โดยเทคโนโลยีซีมอสนั้นเมื่อค่า Capacitanceสูงขึ้น ค่าของการหน่วงเวลาก็จะมีค่ามากขึ้นตามค่าที่สูงของตัวเก็บประจุ แต่เทคโนโลยีไบซีมอสค่าของตัวเก็บประจุจะมีผลคงที่ต่อค่าของการหน่วงเวลา ไม่ว่าค่าตัวเก็บประจุจะเปลี่ยนแปลงไปก็ตามและค่าการหน่วงเวลาของเทคโนโลยีไบซีมอสก็มีค่าน้อยกว่าเทคโนโลยีซีมอสอีกด้วย แสดงว่าเทคโนโลยีไบซีมอสมีความเร็วในการทำงาน

เอกสารนี้มีไว้เพื่อการศึกษาเท่านั้น ห้ามนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มากกว่าเทคโนโลยีซีมอส และสำหรับค่าการเปลี่ยนแปลงต่อแหล่งจ่ายแรงดัน ค่าการหน่วงเวลาจะมีค่าการเปลี่ยนแปลงน้อยลง เมื่อแหล่งจ่ายแรงดันมีค่ามากขึ้น และเทคโนโลยีไบซีมอสก็จะมีค่าน้อยกว่าอีกเช่นกัน สำหรับการทดสอบใช้แหล่งจ่ายแรงดัน 5 โวลท์ในทางดิจิตอล

ตามรูปที่ 7.24,7.25,7.53และ 7.54 เป็นการแสดงการจำลองการทำงานของวงจรเทคโนโลยีไบซีมอสชมิทท์ทริกเกอร์ และวงจรเทคโนโลยีซีมอสชมิทท์ทริกเกอร์ ทั้งแบบกลับเฟสและไม่กลับเฟส ต่อความถี่สูง 10 MHz. กับ Load Capacitance 1-10 pF จะเห็นว่าสัญญาณเอาท์พุทของวงจรแบบซีมอสจะมีค่าการหน่วงเวลามากกว่าแบบไบซีมอส และความถี่ยิ่งสูงขึ้น รวมทั้งค่าของ Load Capacitance มากขึ้น ค่าการหน่วงเวลาก็จะมากขึ้น แต่ไบซีมอสมีการเปลี่ยนแปลงต่อความถี่และ Load Capacitance น้อยกว่าและน้อยมาก

8.3 คุณสมบัติของวงจรชมิทท์ทริกเกอร์กับค่า Power dissipation

ค่าของ Power dissipation สำหรับการจำลองด้วยโปรแกรม PSpice นั้นจะใช้วิธีการที่เรียกว่า Power meter Simulation เพื่อหาค่า Power dissipation เฉลี่ย จากการจำลองการทำงานของวงจรไบซีมอสชมิทท์ทริกเกอร์ และวงจรซีมอสชมิทท์ทริกเกอร์ แบบไม่กลับเฟส และ แบบกลับเฟส ตามรูปที่ 7.26-7.29 และ รูปที่ 7.55-7.58 ที่ความถี่ 10 MHz. และ 50 MHz. จะเห็นว่าค่า Power dissipation ของไบซีมอส จะมีค่าน้อยกว่าของแบบซีมอสมาก และที่ความถี่สูงขึ้นค่าของ Power dissipation จะมีมากขึ้น สำหรับ Load Capacitance ของวงจรซีมอสชมิทท์ทริกเกอร์ ค่ามากขึ้น ก็จะทำให้ค่า Power dissipation มากขึ้นมากๆ แต่ไบซีมอสชมิทท์ทริกเกอร์มีการเปลี่ยนแปลงต่อค่า Power dissipation กับ Load Capacitance น้อยมาก

จากการทดสอบวงจรไบซีมอสชมิทท์ทริกเกอร์ และวงจรซีมอสชมิทท์ทริกเกอร์ แบบไม่กลับเฟส และ กลับเฟส จะทำให้เห็นว่าคุณสมบัติของเทคโนโลยีไบซีมอสดีกว่าของซีมอส จึงสามารถนำวงจรไบซีมอสชมิทท์ทริกเกอร์ไปใช้งานในทางวงจรดิจิตอล ที่ต้องการความเร็วสูงและการขับวงจรก็มีค่าสูงด้วย เพราะเอาท์พุทของวงจรใช้คู่ทรานซิสเตอร์ที่มีการขับกระแสสูง แต่การพัฒนาการออกแบบ การวิจัย และทดสอบวงจรไบซีมอสชมิทท์ทริกเกอร์ ก็ยังต้องมีการศึกษากันอีกต่อไป เพื่อให้ได้วงจรที่มีความสามารถที่สูงมากกว่าปัจจุบัน และมีโครงสร้างที่ง่ายและไม่ยุ่งยากมาก รวมทั้งการลดขนาดให้เล็กลง เพื่อประสิทธิภาพในการใช้งานต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

[1]. K. Dejhan, W. Korphayakkhin, C. Suriyaamaranon, and F. Cheevasuvit, "A full-swing BiCMOS Schmitt trigger circuit design," Proc. of the 7th Int. Sym. on IC Technology, Systems & Applications, ISIC-97, Singapore, pp.266-269, 10-12 September, 1997.

[2]. C. Mead and L. Conway, "Introduction to VlSI Systems," Reading, MA: Addison-Wesley Publishing Company, Inc., 1980.

[3]. F.J. Hill and G.R. Peterson, "Computer-aided logical design with emphasis on VLSI," 4th edition, John Wiley & Sons, Inc., New York, 1993.

[4]. H.J. Shin, "Full-swing BiCMOS circuits with complementary emitter follower driver configuration ," IEEE J. of Solid State Circuits,Vol.26, No.4, pp. 578-584, April 1991.

[5]. S. Ogura, "Merged complementary BiCMOS for logic applications," International Symposium on VLSI Tech. Dig., pp.81-82, 1990.

[6]. A. Pfister, "Novel CMOS Schmitt trigger with controlable hysteresis," IEEE Electron Device Letters, pp.639-641, March 1992.

[7]. N.H.E. Weste, K. Eshraghien, "Principles of CMOS VLSI design," 2nd edition, Addison-Wesley Publishing Company, 1993.

[8]. H. Haznedar, "Digital microelectronics," Benjamin Cummings Pub., 1991.

[9]. J. E. Buchanan, "BiCMOS/CMOS systems design," McGraw-Hill, 1991.

[10].S.-M. Kang, Y. Lebleluci, "CMOS digital integrated circuits: analysis and designs," McGraw-Hill Company, Inc., 1996.

[11].C.-S. Wahg, S.-Y. Yuan, S.-Y. Kuo, "Full-swing BiCMOS Schmitt trigger," IEE Proc.-Circuits Devices Syst. Vol.144, No.5, pp.303-308, October 1997.

[12]. I.M. Filanovsky and H. Baltes , "CMOS Schmitt Trigger Design," IEEE Trans. on Circuits and Systems - I: Fundamental Theory and Applications, Vol.41, No.1, pp.46-49, January 1994.

[13]. Z. Wang, W. Guggenbuhl , "Novel CMOS Current Schmitt Trigger," Electronics Letters Vol.24, No.24, pp.1514-1516, November,24, 1988.

[14]. National Semiconductors Corportion, "CMOS Schmitt Trigger - A uniquely versatile design component," National Semiconductor Application Note 140, June, 1995.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก
โปรแกรม PSpice ที่ใช้วิเคราะห์ในวิทยานิพนธ์

```
*SCHMITT TRIGGER Without Resverse phase CMOS
VDD 1 0 DC 5
M1 33 2 1 1 MP L=0.8U W=2.4U
M2 35 2 33 33 MP L=0.8U W=6U
M3 0 35 33 33 MP L=0.8U W=7.2U
M4 35 2 34 34 MN L=0.8U W=2U
M5 34 2 0 0 MN L=0.8U W=0.8U
M6 1 35 34 34 MN L=0.8U W=2.4U
M7 37 35 1 1 MP L=0.8U W=24U
M8 37 35 0 0 MN L=0.8U W=8U
CL3 37 0 {CVAL}
VS 2 0 PULSE (0 5 0 10MS 10MS 1NS )
.PARAM CVAL=1E-12
*.STEP PARAM CVAL 1E-12 1E-11 1E-12
.MODEL MN NMOS LEVEL=2 VTO=0.75 UO=540 TOX=175E-10
+     CGDO=1.9E-10 CGSO=1.9E-10 CJ=380U CJSW=150P
.MODEL MP PMOS LEVEL=2 VTO=-0.92 UO=195 TOX=175E-10
+     CGDO=1.9E-10 CGSO=1.9E-10 CJ=600U CJSW=260P
.TRAN 5MS 20MS
.PROBE
.END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
***SCHMITT TRIGGER Without Reverse phase  BiCMOS
VDD 1 0 DC 5
M1 3 2 1 1 MP L=0.8U W=2.4U
M2 5 2 3 3 MP L=0.8U W=6U
M3 0 5 3 3 MP L=0.8U W=7.2U
M4 4 2 0 0 MN L=0.8U W=0.8U
M5 5 2 4 4 MN L=0.8U W=2U
M6 1 5 4 4 MN L=0.8U W=2.4U
M7 6 5 1 1 MP L=0.8U W=24U
M8 7 5 0 0 MN L=0.8U W=8U
M9 7 3 6 6 MP L=0.8U W=2.4U
M10 6 4 7 7 MN L=0.8U W=0.8U
M11 9 8 6 6 MP L=0.8U W=24U
M12 9 8 7 7 MN L=0.8U W=8U
M13 8 9 1 1 MP L=0.8U W=4.8U
M14 8 9 0 0 MN L=0.8U W=1.6U
Q1 1 6 9 NPN
Q2 0 7 9 PNP
CL1 9 0 {CVAL}
VS 2 0 PULSE (0 5 0 10MS 10MS 1NS )
.PARAM CVAL=1E-12
.STEP PARAM CVAL 1E-12 1E-11 1E-12
.MODEL MN NMOS LEVEL=2 VTO=0.75 UO=540 TOX=175E-10
+    CGDO=1.9E-10 CGSO=1.9E-10 CJ=380U CJSW=150P
.MODEL MP PMOS LEVEL=2 VTO=-0.92 UO=195 TOX=175E-10
+    CGDO=1.9E-10 CGSO=1.9E-10 CJ=600U CJSW=260P
.MODEL PNP PNP IS=6.0E-17 BF=100 VAF=11 IKF=2.0E-02 ISE=2.0E-15 NE=1.67
+    BR=2 VAR=2 IKR=1.0E-02 ISC=5.0E-16 NC=1.67 RE=2.0E-01 RB=4.0E+01
+    RBM=5.0E+00 IRB=2E-04 RC=2.0E+01 CJE=4.0E-14 VJE=0.6 MJE=0.5
+    CJC=7.5E-14 VJC=0.6 MJC=0.33 CJS=7.5E-14 VJS=0.6 MJS=0.33
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
+    TF=20.0E-12 ITF=2.0E-02 TR=5.0E-09 XCJC=0.5
.MODEL NPN NPN IS=1.0E-16 BF=150 VAF=33 IKF=6.0E-02 ISE=1.5E-15 NE=1.67
+    BR=4 VAR=3 IKR=3.0E-02 ISC=5.0E-16 NC=1.67 RE=1.2E-00 RB=4.0E+01
+    RBM=2.0E+00 IRB=2E-04 RC=1.5E+01 CJE=1.4E-13 VJE=0.85 MJE=0.5
+    CJC=1.4E-13 VJC=0.6 MJC=0.33 CJS=1.48E-13 VJS=0.6 MJS=0.33
+    TF=6.5E-12 ITF=3.0E-02 TR=1.0E-09 XCJC=0.2
.TRAN 5MS 20MS
.PROBE
.END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
*SCHMITT TRIGGER  with REVERSE PHASE CMOS
VDD 1 0 DC 5
M1 3 2 1 1 MP L=0.8U W=2.4U
M2 5 2 3 3 MP L=0.8U W=6U
M3 0 5 3 3 MP L=0.8U W=7.2U
M4 5 2 4 4 MN L=0.8U W=2U
M5 4 2 0 0 MN L=0.8U W=0.8U
M6 1 5 4 4 MN L=0.8U W=2.4U
M7 6 5 1 1 MP L=0.8U W=24U
M8 9 5 0 0 MN L=0.8U W=8U
M9 8 7 6 6 MN L=0.8U W=24U
M10 8 7 9 9 MP L=0.8U W=8U
M11 7 8 1 1 MP L=0.8U W=4.8U
M12 7 8 0 0 MN L=0.8U W=1.6U
CL3 7 0 {CVAL}
VS 2 0 PULSE (0 5 0 10MS 10MS 1NS 20MS)
.PARAM CVAL=1E-12
.STEP PARAM CVAL 1E-12 1E-11 1E-12
.MODEL MN NMOS LEVEL=2 VTO=0.75 UO=540 TOX=175E-10
+     CGDO=1.9E-10 CGSO=1.9E-10 CJ=380U CJSW=150P
.MODEL MP PMOS LEVEL=2 VTO=-0.92 UO=195 TOX=175E-10
+     CGDO=1.9E-10 CGSO=1.9E-10 CJ=600U CJSW=260P
.TRAN 5MS 40MS
.PROBE
.END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
***SCHMITT TRIGGER  with REVERSE PHASE  BiCMOS
VDD 1 0 DC 5
M1 3 2 1 1 MP L=0.8U W=2.4U
M2 5 2 3 3 MP L=0.8U W=6U
M3 0 5 3 3 MP L=0.8U W=7.2U
M4 4 2 0 0 MN L=0.8U W=0.8U
M5 5 2 4 4 MN L=0.8U W=2U
M6 1 5 4 4 MN L=0.8U W=2.4U
M7 6 5 1 1 MP L=0.8U W=24U
M8 6 5 0 0 MN L=0.8U W=8U
M9 8 3 7 7 MP L=0.8U W=2.4U
M10 7 4 8 8 MN L=0.8U W=0.8U
M11 7 6 1 1 MP L=0.8U W=24U
M12 8 6 0 0 MN L=0.8U W=8U
M13 9 10 7 7 MP L=0.8U W=24U
M14 9 10 8 8 MN L=0.8U W=8U
M15 10 9 1 1 MP L=0.8U W=4.8U
M16 10 9 0 0 MN L=0.8U W=1.6U
Q1 1 7 9  NPN
Q2 0 8 9 PNP
CL1 9 0 {CVAL}
VS 2 0 PULSE (0 5 0 10MS 10MS 1NS)
.PARAM CVAL=1E-12
.STEP PARAM CVAL 1E-12 1E-11 1E-12
.MODEL MN NMOS LEVEL=2 VTO=0.75 UO=540 TOX=175E-10
+     CGDO=1.9E-10 CGSO=1.9E-10 CJ=380U CJSW=150P
.MODEL MP PMOS LEVEL=2 VTO=-0.92 UO=195 TOX=175E-10
+     CGDO=1.9E-10 CGSO=1.9E-10 CJ=600U CJSW=260P
.MODEL PNP PNP IS=6.0E-17 BF=100 VAF=11 IKF=2.0E-02 ISE=2.0E-15 NE=1.67
+     BR=2 VAR=2 IKR=1.0E-02 ISC=5.0E-16 NC=1.67 RE=2.0E-01 RB=4.0E+01
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
+    RBM=5.0E+00 IRB=2E-04 RC=2.0E+01 CJE=4.0E-14 VJE=0.6 MJE=0.5
+    CJC=7.5E-14 VJC=0.6 MJC=0.33 CJS=7.5E-14 VJS=0.6 MJS=0.33
+    TF=20.0E-12 ITF=2.0E-02 TR=5.0E-09 XCJC=0.5
.MODEL NPN NPN IS=1.0E-16 BF=150 VAF=33 IKF=6.0E-02 ISE=1.5E-15 NE=1.67
+    BR=4 VAR=3 IKR=3.0E-02 ISC=5.0E-16 NC=1.67 RE=1.2E-00 RB=4.0E+01
+    RBM=2.0E+00 IRB=2E-04 RC=1.5E+01 CJE=1.4E-13 VJE=0.85 MJE=0.5
+    CJC=1.4E-13 VJC=0.6 MJC=0.33 CJS=1.48E-13 VJS=0.6 MJS=0.33
+    TF=6.5E-12 ITF=3.0E-02 TR=1.0E-09 XCJC=0.2
.TRAN 5MS 20MS
.PROBE
.END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข
ผลงานทางวิชาการที่ได้รับการตีพิมพ์

1. K. Dejhan, W. Korphayakkhin, C. Suriyaamaranon, and F. Cheevasuvit, “A full-swing BiCMOS Schmitt trigger circuit design,” Proc. of the 7th Int. Sym. on IC Technology, Systems & Applications, ISIC-97, Singapore, pp.266-269, 10-12 September, 1997.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

นายวิษณุ กอพยัคฆินทร์ เกิดเมื่อวันที่ 13 พฤศจิกายน พ.ศ. 2503 ที่อำเภอบ้านแพ้วจังหวัดสมุทรสาคร สำเร็จการศึกษาครุศาสตร์อุตสาหกรรมศาสตรบัณฑิต (ไฟฟ้าสื่อสาร) จากสถาบันเทคโนโลยีราชมงคล วิทยาเขตเทเวศร์ ปีการศึกษา 2527 และประกาศนียบัตรวิชาชีพชั้นสูง (ช่างอิเล็กทรอนิกส์) จากสถาบันเทคโนโลยีราชมงคล วิทยาเขตเทคนิคกรุงเทพ ปีการศึกษา 2525 เข้าทำงานในตำแหน่งอาจารย์ประจำแผนกอิเล็กทรอนิกส์ โรงเรียนเซนต์จอห์นโปลีเทคนิค ตั้งแต่ปี 2528 และปัจจุบันทำงานในตำแหน่งอาจารย์ประจำสาขาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเซนต์จอห์น

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้