

ข้อพิจารณาการออกแบบและการออปติไมเซชันทรานซิสเตอร์
ในวงจรรวมดิจิทัลซีมอส ระดับไมครอนและส่วนย่อยไมครอน

DESIGN CONSIDERATION AND OPTIMIZATION OF CMOS
TRANSISTOR FOR MICRON AND SUBMICRON DIGITAL VLSI



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2541

ISBN 974-622-142-6

เลขที่.....
เลขทะเบียน..... 30972
วัน, เดือน, ปี..... 4 ก.ย. 2541

นี้ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**DESIGN CONSIDERATION AND OPTIMIZATION OF CMOS
TRANSISTOR FOR MICRON AND SUBMICRON DIGITAL VLSI**



**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

1998

ISBN 974-622-142-6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 1998

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	ข้อพิจารณาการออกแบบและการออกแบบไมเซชันทรานซิสเตอร์
นักศึกษา	นายบุญชัย เฉลิมพานิช
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร.กอบชัย เดชหาญ
หลักสูตร	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2541

บทคัดย่อ

วิทยานิพนธ์นี้เสนอเทคนิคหนึ่งในการออกแบบไมเซชันวงจรแลตช์ (Latch) เพื่อใช้วงจรนี้ทำเป็นวงจรซีมอสรวม (CMOS VLSI) การออกแบบไมเซชันวงจรซีมอสรวมจะพิจารณาถึงองค์ประกอบต่างๆ คือ ความเร็วการทำงานของวงจร พื้นที่วงจร และการสูญเสียกำลังงานของวงจร โดยจะพิจารณาถึงการออกแบบไมเซชันขนาดของทรานซิสเตอร์ซีมอส เทคนิคในวิทยานิพนธ์นี้จะ เป็นเทคนิคที่ผู้ออกแบบมองข้ามไป และเป็นเทคนิคที่สะดวกใช้ในทางปฏิบัติเพื่อการออกแบบไมเซชัน เทคนิคที่จะเสนอนี้อาศัยการเปลี่ยนความยาวของเกต (Gate) ของทรานซิสเตอร์มอสเพียงตัวเดียวในวงจรแลตช์ ยิ่งกว่านั้นเทคนิคนี้ก็เหมาะสมกว่าการเปลี่ยนแปลงความยาวของเกต หรือ ความกว้างของเกตของทรานซิสเตอร์ซีมอสหลาย ๆ ตัว เพื่อจะทำการออกแบบไมเซชันแพ็คเกจอร์ทั้งสาม

กรรมวิธีที่ต้องการคือเพื่อออกแบบไมเซชันพื้นที่ของวงจรและการสูญเสียกำลังงานของวงจร ในขณะเดียวกัน ก็พิจารณาถึงความเร็วการทำงานของวงจร เทคนิคนี้จะมีผลกระทบน้อยที่สุดต่อพื้นที่การวางผัง (Layout) ผลลัพธ์ที่ได้จะมาจากการใช้เครื่องคอมพิวเตอร์ช่วยคำนวณ โดยใช้ค่าพารามิเตอร์ของการออกแบบวงจรซีมอสรวมสำหรับกระบวนการ 0.8 ไมครอน พร้อมกันนี้ได้พิจารณาถึงการออกแบบวงจรซีมอสรวมเมื่อพิจารณาความกว้างของเกตหรือความยาวของเกต เพื่อการออกแบบในกรณีไมครอนและกรณีส่วนย่อยของไมครอน (submicron)

Thesis Title	Design Consideration and Optimization of CMOS Transistor for Micron and Submicron Digital VLSI
Student	Mr. Boonchai Chalermphanich
Thesis Advisor	Assoc.Prof.Dr.Kobchai Dejhan
Degree	Master of Engineering in Electrical Engineering
Year	1998

ABSTRACT

This thesis proposes an optimization technique for latch CMOS VLSI circuit. The CMOS VLSI optimization method concerns with the operating speed, area and power dissipation of circuit considering CMOS transistor size optimizations. The circuit designers usually looked over the technique in this thesis, but this technique is suitable for practical optimization. The proposed technique uses the gate length of only one CMOS transistor in latch circuit. This technique is more suitable than the other that changes the gate length and gate width of CMOS transistors for optimizing all of three factors.

The procedure is to optimize the area and power dissipation of circuit, in regard to the operating speed of circuit. This technique has a small effect with the layout area. All of results are carried out by computer simulations using the 0.8 μm CMOS transistor parameters. This thesis also presents the CMOS VLSI design when consider the gate width of gate length for both cases of micron and submicron design.

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จได้ดีด้วยความช่วยเหลือจากท่านอาจารย์ รศ.ดร.กอบชัย เศรษฐาญ อาจารย์ที่ปรึกษา ที่กรุณาให้ความรู้ ความคิดริเริ่ม กำลังใจ ซึ่งแนวทางตลอดจนช่วยเหลือทุกๆ อย่าง ในการทำวิทยานิพนธ์ ผู้วิจัยจึงขอกราบขอบพระคุณเป็นอย่างสูง

ทำนี่ย่ขอกราบขอบพระคุณ คุณพ่อคุณแม่ที่คอยห่วงใยและเป็นกำลังใจตลอดมา ขอขอบคุณภรรยาสุดที่รัก คุณจิม ตลอดจนบุตรสาวและบุตรชาย ที่ให้กำลังใจและอดทนต่อข้าพเจ้า เสมอมาตลอดช่วงเวลาในการศึกษา

บุญชัย เฉลิมพานิช



สารบัญ

	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญภาพ	VII
สารบัญตาราง	X
บทที่ 1 บทนำ.....	1
1.1 เทคนิคการอปติไมเซชันสำหรับการออกแบบวงจรรวม VLSI.....	1
1.2 ที่มาของงานวิจัย.....	7
1.3 วัตถุประสงค์และขอบเขตของวิทยานิพนธ์.....	8
บทที่ 2 ออปติไมซ์เฟลคเตอร์ ในวงจรรวมชนิดซีมอส.....	9
2.1 กำลังงานสูญเสีย.....	9
2.1.1 การสูญเสียกำลังสถิตย์.....	10
2.1.2 การสูญเสียกำลังไดนามิก.....	12
2.1.3 การสูญเสียกำลังลัดวงจร	16
2.1.4 การสูญเสียกำลังรวม.....	17
2.1.5 Glitching Power.....	20
2.1.6 การวัดกำลังสูญเสียทางอ้อม.....	21
2.2 พื้นที่.....	24
2.3 ความเร็ว.....	27
2.4 ความสัมพันธ์ระหว่างออปติไมซ์เฟลคเตอร์.....	31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อ IV ตรีศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

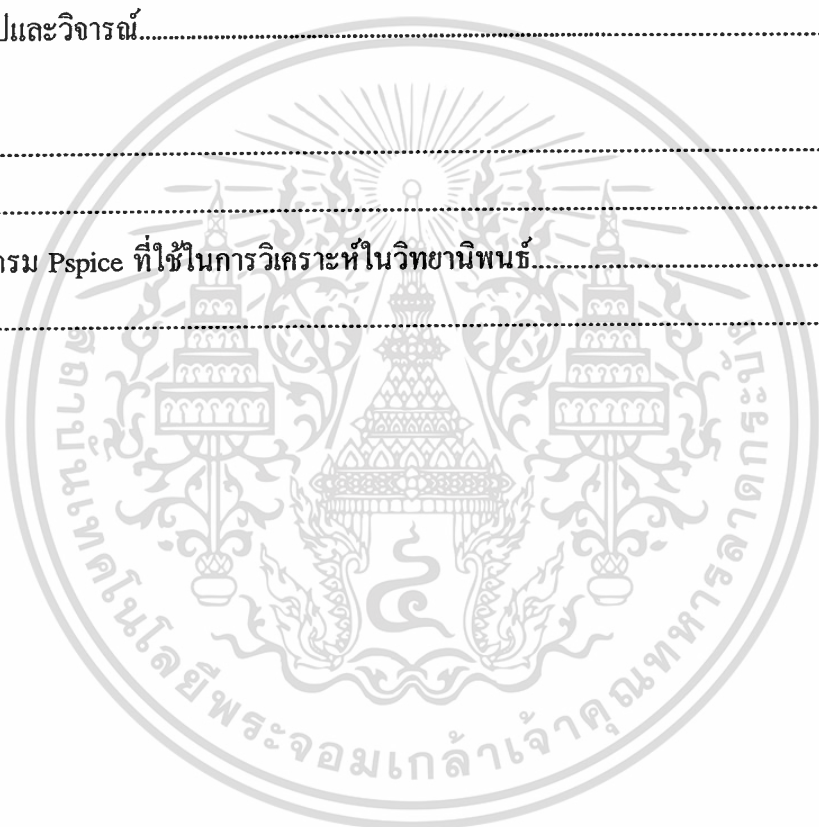
สารบัญ (ต่อ)

	หน้า
บทที่ 3 รูปแบบวงจรรวมที่ใช้ศึกษา.....	34
3.1 รูปแบบวงจรทั่วไป.....	35
3.2 การทำงานของวงจรซิมอสสแตติกแลทซ์.....	36
3.3 ปัญหา meta-stable.....	41
3.4 เทคนิคการออกแบบวงจรซิมอสชนิดความเร็วสูง.....	44
3.5 รูปแบบวงจรสแตติกแลทซ์ที่ใช้ในวิทยานิพนธ์.....	48
บทที่ 4 การออปติไมเซชันวงจรสแตติกแลทซ์.....	49
4.1 การปรับปรุงแบบจำลองการออปติไมเซชัน.....	49
4.2 ขั้นตอนการออปติไมเซชัน.....	50
บทที่ 5 ผลลัพธ์การเลียนแบบด้วยโปรแกรม Pspice.....	52
5.1 การทดสอบการทำงานของวงจรสแตติกแลทซ์.....	53
5.2 การทดสอบปัญหา meta-stable.....	54
5.3 การออปติไมเซชัน (ทดสอบที่ $C_L = 1$ pF).....	55
บทที่ 6 การประยุกต์ใช้งานของการทำออปติไมเซชัน.....	59
6.1 ข้อพิจารณาสำหรับวงจรรวมซิมอสขนาดใหญ่.....	61
6.1.1 วงจรซิมอสลจิกแบบคู่ควบ.....	61
6.1.2 วงจรเอ็นมอสเทียม.....	61
6.1.3 วงจรซิมอสไดนามิก.....	62
6.1.4 วงจรซิมอสสัญญาณนาฬิกา.....	63
6.1.5 วงจรลจิกทรานซิสเตอร์ผ่าน.....	64
6.1.6 วงจรซิมอสแบบ โคมิโน.....	64
6.1.7 วงจร โคมิโนเอ็นพี.....	65
6.1.8 วงจรลจิกสวิทช์.....	66

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อ V ารศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
6.2 โครงสร้างวงจร และการจัดการสัญญาณพิก้า.....	66
6.3 ข้อพิจารณาการออกแบบวงจรรวมขนาดใหญ่.....	67
บทที่ 7 บทสรุปและวิจารณ์.....	68
บรรณานุกรม	69
ภาคผนวก.....	72
โปรแกรม Pspice ที่ใช้ในการวิเคราะห์ในวิทยานิพนธ์.....	73
ประวัติผู้เขียน	74



สารบัญภาพ

ภาพที่	หน้า
1.1 จัดวงจรเป็นกลุ่มต่างๆ ตามแนวความคิดการออกแบบลำดับขั้น.....	1
1.2 ลำดับขั้นการออกแบบวงจร.....	2
1.3 ความสัมพันธ์ของแต่ละขั้นตอนการออกแบบ.....	3
1.4 ความสัมพันธ์ของออปติไมซ์แฟคเตอร์.....	4
1.5 (a) แสดงการขับเคลื่อน (b) แสดงการออปติไมซ์ขั้น โดยการแยกส่วน.....	6
1.6 วงจรบัฟเฟอร์แบบสัญญาณนาฬิกา (Clock bootstrap buffer).....	6
1.7 วงจรสัญญาณนาฬิกาพรีชาร์จ (A clocked precharge CMOS OR gate).....	7
2.1 กำลังสูญเสียสถิตยจากกระแสรั่วไหล.....	11
2.2 กำลังงานสูญเสียสถิตยจากกระแสทรานซิสเตอร์.....	12
2.3 การสูญเสียกำลังไดนามิก.....	13
2.4 รูปสัญญาณขาเข้าและแบบจำลองกระแสลัดวงจร.....	17
2.5 ผลจำลองการทำงานด้วยโปรแกรม Pspice แสดงกระแสในช่วงเปลี่ยนแปลง ของอินเวอร์เตอร์ซีมอสที่มีความจุโหลดขนาดต่าง ๆ.....	18
2.6 Glichting Power ซึ่งเกิดจาก Dynamic Hazard.....	21
2.7 แสดงมิเตอร์วัดกำลังงานสูญเสีย.....	23
2.8 โครงสร้างมอสทรานซิสเตอร์.....	25
2.9 พื้นที่ที่เพิ่มขึ้นของทรานซิสเตอร์ โดยการเปลี่ยนแปลง.....	26
2.10 แสดงพารามิเตอร์กำหนดเวลาต่าง ๆ	28
2.11 วงจรซีมอส NAND gate 4 - input.....	29
2.12 แบบจำลองเส้นตัวนำและการแบ่งช่วง ที่มีการหน่วงเวลา RC ด้วยบัฟเฟอร์.....	30
2.13 แนวคิดแบบจำลองมาโคร.....	31
2.14 ความสัมพันธ์ระหว่างออปติไมซ์แฟคเตอร์ และช่วงที่ยอมรับได้.....	33
3.1 วงจรซีมอสสแตติกแลทซ์แบบสัญญาณนาฬิกาเดี่ยว.....	35

สารบัญญภาพ (ต่อ)

ภาพที่	หน้า
3.2 (a) วงจรสแตติกแลตช์เมื่อลครูปลง (b) วงจรภายใน.....	37
3.3 การทำงานของสแตติกแลตช์.....	38
3.4 การส่งผ่านสัญญาณภายในรูปปิด.....	39
3.5 (a) Cross-Coupled Inverters (b) การถ่ายโอนสัญญาณ.....	39
3.6 Cross - Coupled Inverters.....	40
3.7 การลู่เข้าสถานะสุดท้ายของวงจรแลตช์.....	42
3.8 การเปลี่ยนสถานะและการลู่เข้าสถานะสุดท้ายของแลตช์ -เมื่อ setup time เปลี่ยนไป...	44
3.9 ระบบใช้สัญญาณนาฬิกา แบบระบบท่อข้อมูล (Pipe lined system)	45
3.10 การเพิ่มความเร็วท่อส่งข้อมูลโดยใช้การจัดสัญญาณนาฬิกาด้วยวงจร C ² MOS แบบไดนามิก (Dynamic Clocked-CMOS).....	46
3.11 (a) NORA dynamic CMOS technique (b) True single-phase-clock latch stages	47
3.12 วงจรสแตติกแลตช์แบบ True-two phase.....	48
5.1 แสดงวงจรที่ใช้ทดสอบพร้อมขนาด W/L เริ่มต้น.....	52
5.2 การทำงานของวงจรซีมอสสแตติกแลตช์.....	54
5.3 แสดงผลจากปัญหา meta-stable ที่ $C_L = 1\text{pF}$, 5pF และ 10pF	55
5.4 ผลการออปติไมซ์ด้วยการ เพิ่ม L_{p2}	56
5.5 ผลการออปติไมซ์ด้วยการ เพิ่ม W_{p1}	57
5.6 ผลการออปติไมซ์ขั้น (a) delay time (b) power dissipation.....	58
6.1 ความสัมพันธ์ระหว่างเทคโนโลยีชนิดต่าง ๆ.....	60
6.2 วงจรเอ็นมอสเทียม	62
6.3 กลุ่มของวงจรไดนามิก.....	63
6.4 วงจรซีมอสสัญญาณนาฬิกา.....	63
6.5 วงจรมัลติเพล็กซ์แบบทรานซิสเตอร์ผ่านที่ทำการปรับปรุงเป็นวงจรไดนามิกและสแตติก...	64

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานที่ VIII ศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ (ต่อ)

ภาพที่	หน้า
6.6 วงจรโคมิโน (a).แบบสแตติก (b). แบบมีวงจรวงค้ำ.....	65
6.7 วงจรโคมิโนเอ็นพี.....	65
6.8 วงจร CVSL.....	66



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อ **IX** ศึกษเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่	หน้า
2.1 แสดงโอกาสที่ล่อจิกเกทจะเป็นสถานะ.....	19
2.2 สถิติการใช้วงจรร้อย.....	20
2.3 Characteristics ของ CMOS เซลแบบประสิทธิภาพสูงเทคโนโลยี 0.8 μm	31
5.1 พารามิเตอร์ของอุปกรณ์ที่ใช้ในการทดสอบ (level 2).....	52
5.2 พารามิเตอร์ของอุปกรณ์ที่ใช้ในการทดสอบ (level 3).....	53



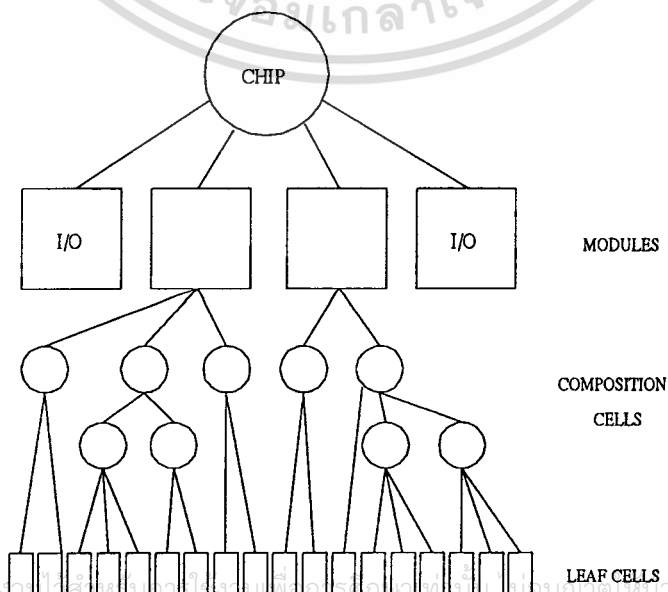
บทที่ 1

บทนำ

1.1 เทคนิคการออกแบบที่ไม่เขียนสำหรับการออกแบบวงจรรวม VLSI

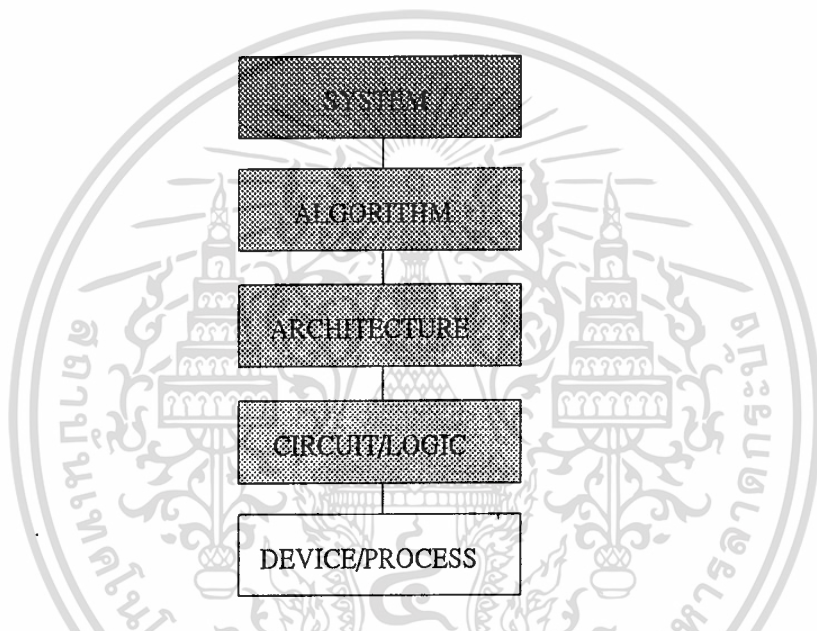
ในการออกแบบวงจรรวม VLSI นั้นเป็นการออกแบบที่ซับซ้อน วงจรที่ออกแบบได้สมบูรณ์นั้น ต้องอาศัยวิศวกรผู้มีความชำนาญในแต่ละระดับการออกแบบ รวมทั้งวิศวกรกระบวนการผลิต จำนวนมากร่วมกัน ใช้เวลาในการออกแบบและทดสอบวงจรมาก โดยยึดหลักความเรียบง่าย มีระเบียบ ขนาดเล็กกระทัดรัด ตลอดจนทำงานได้ถูกต้องและมีประสิทธิภาพเป็นบรรทัดฐาน ดังนั้นระบบออกแบบด้วยคอมพิวเตอร์ จึงได้เข้ามามีบทบาทในการออกแบบและทดสอบวงจร ทำให้ช่วยลดเวลาและขั้นตอนต่าง ๆ ลงอย่างมาก อย่างไรก็ตามเพื่อให้การออกแบบวงจรที่ซับซ้อนนี้เป็นไปอย่างถูกต้องรัดกุม จึงต้องมีการจัดระเบียบให้เป็นการออกแบบลำดับชั้น (Hierarchical method) โดยแยกวงจรทั้งวงจรถูกออกเป็น โมดูล (Modules) เซลประกอบ (Composition cells) และ เซลย่อย (Leaf cells) ดังรูปที่ 1.1

รูปที่ 1.1 การจัดวงจรเป็นกลุ่มต่างๆ ตามแนวความคิดการออกแบบลำดับชั้น



เซลล์ย่อย ประกอบด้วยการออกแบบพื้นฐานเป็นชั้นต่าง ๆ ขึ้นเป็นวงจรมิติเล็ก เซลล์เหล่านี้ประกอบด้วยการทำงานเป็นวงจรใหญ่ขึ้นคือ เซลล์ประกอบ เป็นลำดับที่สอง ซึ่งแต่ละเซลล์ประกอบอาจมีทั้งเซลล์ย่อยและเซลล์ประกอบอื่นรวมอยู่ จากนั้นจึงรวมกันขึ้นเป็นโมดูล และโดยปกติแล้วแต่ละโมดูลจะไม่ใช้โครงสร้างร่วมกัน โดยมีโครงสร้างและการทำหน้าที่ภายในอิสระจากกัน เมื่อนำประกอบกันก็จะได้วงจรรวมที่ต้องการ

รูปที่ 1.2 ลำดับขั้นการออกแบบวงจร



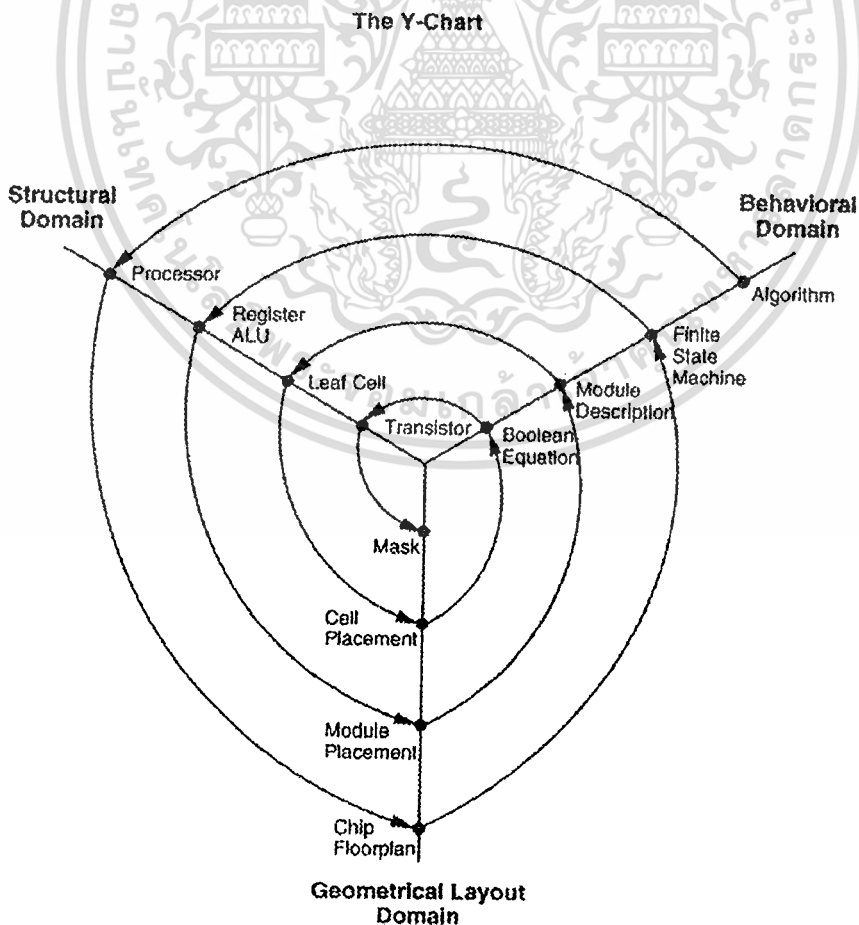
นอกจากนี้การออกแบบวงจรรวม VLSI นี้ ยังสามารถแบ่งออกได้เป็นระดับขั้นการออกแบบ ดังรูปที่ 1.2 โดยแต่ละระดับจะอยู่ในความรับผิดชอบของวิศวกรผู้ออกแบบในระดับนั้น จะสังเกตได้ว่าแนวทางในการออกแบบวงจร VLSI นี้ ก็คือ

1. การบรรยายพฤติกรรมและผลของวงจร ในขั้นตอนนี้เป็นการกำหนดว่าอะไรคือ ข้อมูลที่ป้อนเข้ามาในวงจร อะไรคือข้อมูลที่ไหลออก ที่เวลาใดเวลาหนึ่งวงจรมีพฤติกรรมอย่างไร จากนั้นพฤติกรรมและผลของวงจร จะถูกแปลให้อยู่ในรูปแบบของระเบียบวิธีการทำงานและลำดับการตอบสนองของวงจร ดังนั้น ผู้ที่ดูแลขั้นตอนนี้ คือ วิศวกรระบบ และ อัลกอริทึม ซึ่งต้องทำงานร่วมกันอย่างดี
2. การบรรยายโครงสร้างและองค์ประกอบของแต่ละชิ้นส่วนหลักที่ทำหน้าที่ตามที่ได้กำหนดไว้ในขั้นตอนแรก กล่าวคือเป็นการออกแบบในลักษณะโมดูล โดยแต่ละโมดูลจะมีหน้าที่ที่แยกจากกัน

3. การบรรยายลักษณะรายละเอียดของวงจรแบบแปลนของแต่ละชั้นส่วนที่ได้จากขั้นตอนที่ 2 ผลที่ได้คือวงจรในระดับเกทของแต่ละชั้นส่วน เซลล์ย่อยนี้วิศวกรวงจรอาจเลือกจากเซลล์มาตรฐานที่ได้ออกแบบไว้อย่างดี และบันทึกเป็นทะเบียนมาตรฐาน (Standard cell library) ไว้ หรือ ออกแบบเซลล์ย่อยขึ้นใหม่ หรือที่เรียกว่า การออกแบบแบบ custom การออกแบบจะสิ้นสุดที่ขั้นตอนนี้ จากนั้นจึงนำไปผลิตและทดสอบ

ทั้ง 3 ขั้นตอนสามารถสรุปโดยอาศัยแกน 3 แกน ประกอบกันเป็นรูปตัว Y ดังแสดงในรูปที่ 1.3 ลูกศรที่โยงระหว่างแกนแสดงถึงการส่งผ่านผลที่ได้จากขั้นตอนหนึ่งไปยังอีกขั้นตอนหนึ่ง เส้นทางการส่งผ่านจะวนเนื่องจากในบางครั้งผลที่ได้จากขั้นตอนหนึ่งอาจจะไม่ตรงกับความต้องการ จากความก้าวหน้าทางวิทยาการคอมพิวเตอร์ ช่วยให้กระบวนการออกแบบมีความสะดวกและรวดเร็วยิ่งขึ้น

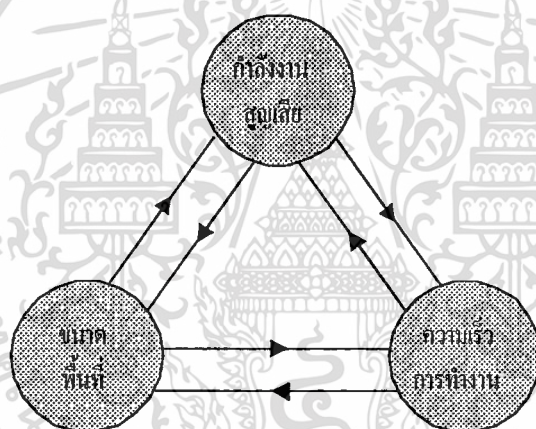
รูปที่ 1.3 ความสัมพันธ์ของแต่ละขั้นตอนการออกแบบ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการแบ่งระดับการออกแบบ และวิธีการออกแบบลำดับชั้น ซึ่งแบ่งหน้าที่ความรับผิดชอบกันอย่างชัดเจน ทำให้ความสัมพันธ์ในการทำงานของวิศวกรผู้ออกแบบน้อยลง กล่าวคือ วิศวกรในระดับขบวนการผลิต ก็มุ่งที่จะพัฒนาอุปกรณ์ หรือขั้นตอนการผลิต วิศวกรในระดับการออกแบบวงจร ก็มุ่งที่จะพัฒนาเซลล์ย่อยหรือเซลล์มาตรฐานให้มีความหลากหลายและประสิทธิภาพ ส่วนวิศวกรโครงสร้างระบบตลอดจนวิศวกรผู้ออกแบบระบบ ก็มุ่งที่จะตอบสนองความสามารถของวงจรรวมที่ต้องการ เป็นต้น อย่างไรก็ตาม ในการออกแบบแต่ละระดับกลับมีสิ่งซึ่งต้องการเหมือนกัน คือ วงจรที่มีขนาดเล็ก ทำงานเร็ว และ กินกำลังงานต่ำ ซึ่งมักจะขัดแย้งกัน และเพื่อประนีประนอมเงื่อนไขดังกล่าว สิ่งนี้จึงถูกกำหนดเป็น ออปติไมซ์เฟคเตอร์

รูปที่ 1.4 ความสัมพันธ์ของออปติไมซ์เฟคเตอร์



อย่างไรก็ตาม ความสำคัญของแต่ละเงื่อนไข ในแต่ละวงจรรวมย่อมแตกต่างกันไปตามหน้าที่ เช่น วงจรที่ใช้พลังงานจากแบตเตอรี่ ย่อมต้องการวงจรที่มีการสูญเสียกำลังต่ำ หรือวงจรประเภทพกพา ก็ต้องการลักษณะที่กระทัดรัดขนาดเล็ก ซึ่งแต่ละระดับการออกแบบก็มีวิธีการออปติไมซ์เงื่อนไขต่าง ๆ ในระดับของตน อาทิเช่น

- การออปติไมซ์ในระดับการออกแบบระบบ ด้วยการแบ่งส่วนระบบที่มีความเร็วในการทำงานต่างกันออกจากกัน โดยสัญญาณพาความถี่สูงสร้างจากวิธี PLL (Phase locked loop) หรือ ring oscillators สำหรับระบบในส่วนที่มีความเร็วสูง หรือการรวมส่วนต่าง ๆ ของวงจรเช่น หน่วยความจำ หรือวงจรรวมที่มีหน้าที่เฉพาะและสนับสนุนการทำงานของระบบโดยรวม ให้อยู่บนชิปเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- การออปติไมซ์ในระดับการออกแบบระเบียบวิธี เช่น การลดจำนวนการทำงานหรือขั้นตอนการทำงาน ทั้งนี้เพื่อลดจำนวนอุปกรณ์ที่ต้องใช้ หรือการเข้ารหัสสัญญาณ เพื่อลดการสวิตช์ของสัญญาณ

- การออปติไมซ์ในระดับโครงสร้าง ด้วยการใช้เทคนิคการจัดการกำลังงานในส่วนระบบที่ทำงานและ สงบนิ่ง หรือการออกแบบให้มีโครงสร้างการทำงานแบบขนาน (parallel) และแบบท่อส่งข้อมูล (pipelining) เป็นต้น

- การออปติไมซ์ในระดับกระบวนการผลิต ด้วยการลดขนาด (Scaling) และการเพิ่มชั้นบุรุษที่ฐานรอง (buried layer)

- การออปติไมซ์ในระดับขั้นการออกแบบวงจร เช่น การลดขนาดแหล่งจ่ายหรือช่วงแวงสัญญาณ, การกำหนดขนาดคิกคาเทรตโฮล (multi-Thershold circuit) และ การกำหนดขนาดทรานซิสเตอร์ (Transistors sizing) เป็นต้น

Glasser และ Hoyte [14] สรุปว่าเทคนิคการออปติไมซ์ในระดับขั้นการออกแบบวงจร (Circuit design level) มีอยู่ 6 วิธี คือ

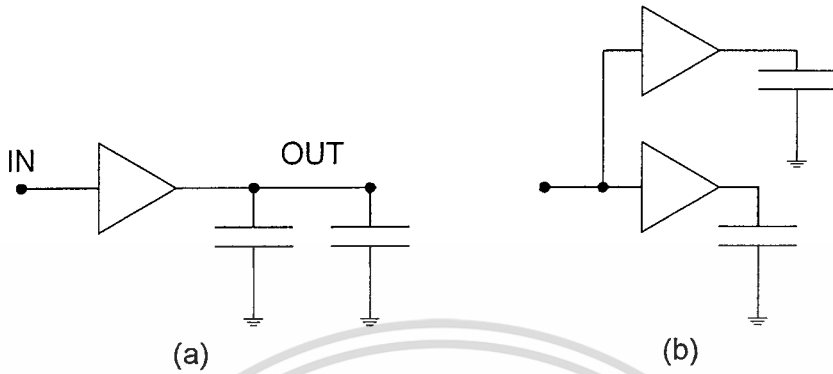
1. การเปลี่ยนความกว้างและความยาวของทรานซิสเตอร์หลายตัวในวงจร วิธีนี้เป็นเทคนิคโดยตรงและมีผลกระทบเล็กน้อยกับการวางผัง

2. การเพิ่มวงจรบัฟเฟอร์ (Buffer) หนึ่งวงจรหรือมากกว่านั้นไว้ระหว่างแหล่งจ่ายที่มี Impedance สูง (High impedance Source) กับตัวรับที่มี Impedance ต่ำ (Low impedance Source) จำนวนของวงจรบัฟเฟอร์ควรมีจำนวนที่เหมาะสม

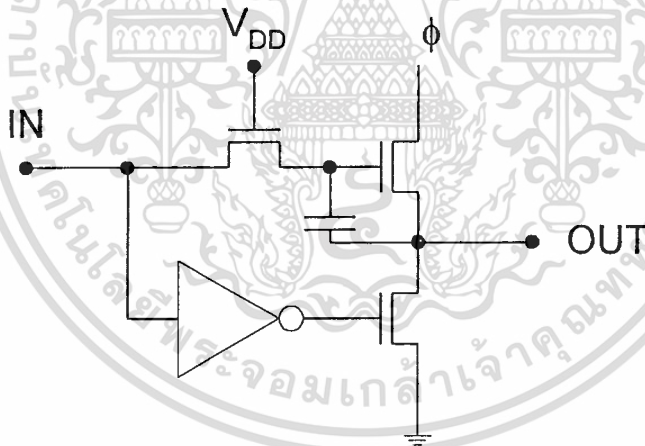
3. ตำแหน่งของโหลด ซึ่งมีค่าคาปาซิแตนซ์มาก และการออปติไมซ์แต่ละส่วนของผลลัพธ์ที่แยกออกจากกัน โดยเทคนิคแบบนี้สามารถทำได้โดยการจ่ายพลังงานในส่วนที่สำคัญเพียงโหลดเดียวในส่วนที่สำคัญ เทคนิคนี้แสดงในรูปที่ 1.5

4. การใช้บัฟเฟอร์ในรูปสัญญาณนาฬิกา (Clocked buffer) นำมาใช้ในช่วงคุณสมบัติของอินพุตแดนส์ต่ำ (Low impedance) ในระบบที่ใช้สัญญาณนาฬิกาเทคนิค แสดงในรูปที่ 1.6 โดยใช้เทคนิคเอนมอส (NMOS)

รูปที่ 1.5 (a) แสดงการขับกำลัง (b) แสดงการอปติไมเซชันโดยการแยกส่วน



รูปที่ 1.6 วงจรบัฟเฟอร์แบบสัญญาณนาฬิกา (Clock bootstrap buffer)

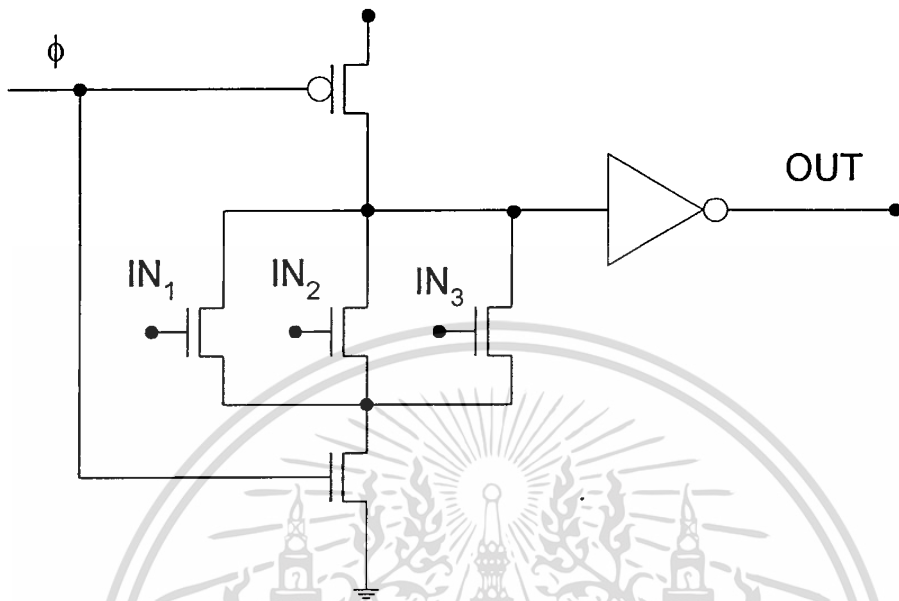


5. การใช้วงจรพรีชาร์จ (Precharged) ทำให้ความเร็วในการทำงานของวงจรมอสดีขึ้นในช่วงสัญญาณเอ๊าท์พุท ขึ้นและลง ในรูปที่ 1.7 แสดงถึงวงจรพรีชาร์จ

6. การใช้วงจรเฉพาะ วงจรที่ใช้จะมีค่า fanout สูง และค่าคาปาซิแตนซ์ทางด้านอินพุทสูง หรือที่ Fanout มีค่าคาปาซิแตนซ์สูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 1. 7 วงจรสัญญาณนาฬิกาพรีชาร์จ (A clocked precharge CMOS OR gate)



1.2 ที่มาของงานวิจัย

วิธีที่นำมาใช้ในการนำเสนอในงานวิจัยนี้คือ การเปลี่ยนแปลงความกว้างและความยาวของทรานซิสเตอร์ในวงจร ในการใช้เทคนิคนี้จะทำการเปลี่ยนแปลงความกว้างและความยาวของเกท (Gate) ในทรานซิสเตอร์เพียงตัวเดียวในวงจร ส่วนทรานซิสเตอร์ที่เหลือจะกำหนดขนาดไว้ที่ค่าต่ำสุดของขบวนการออกแบบ โดยทั่วไปเทคนิคนี้จะสามารถแยกเป็นการพิจารณาความกว้างของเกท และพิจารณาความยาวของเกท สำหรับส่วนที่เป็นการออกแบบไมครอน (micron) และส่วนย่อยไมครอน (Submicron) แต่อย่างไรก็ตามเป็นเรื่องยากที่จะออกแบบไมเซชันหลายวัตถุประสงค์ งานวิจัยนี้จะกล่าวถึงเทคนิคสำหรับการพิจารณาออกแบบไมครอนและส่วนย่อยไมครอนสำหรับการออกแบบไมเซชันทรานซิสเตอร์ซิมอส ซึ่งมีวัตถุประสงค์ทั้งสามอย่างคือ การออกแบบไมเซชันพื้นที่ของวงจร เพื่อให้ขนาดของทรานซิสเตอร์จะต้องเล็กที่สุด ขนาดของทรานซิสเตอร์ที่เล็กที่สุดจะต้องมาจากขนาดของพื้นที่ของทรานซิสเตอร์ที่เล็กที่สุด การออกแบบไมเซชันกำลังงานสูญเสียไดนามิกขึ้นอยู่กับค่าทรานคอนดักแตนซ์ (g_m) ของทรานซิสเตอร์ซิมอส ซึ่งถูกควบคุมโดยค่าความกว้างและความยาวของเกทและแสดงอยู่ในรูปของกระแสที่ถูกดึงจากแหล่งจ่ายไฟ วัตถุประสงค์สุดท้ายคือ การออกแบบไมเซชันความเร็วของการทำงานหรือความล่าช้าของวงจร ซึ่งขึ้นอยู่กับค่า RC delay ค่าความ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ด้านทานจะมีค่าผกผันกับค่าความกว้างของเกต ด้วยเทคนิคนี้จะสามารถออปติไมเซชันได้ตามวัตถุประสงค์ทั้งสามข้อในเวลาเดียวกัน

โดยปกติวงจรรีเลย์จะถูกรูปเป็นรูปจำลองของลอจิกเกต (model of logic gate) เพื่อการออปติไมเซชัน เนื่องจากโครงสร้างที่ง่ายของวงจรรีเลย์ ในงานวิจัยนี้จะใช้วงจรรีเลย์ (latch) เพื่อเป็นรูปจำลองของลอจิกเกต ดังนั้นงานวิจัยนี้จำเสนอรูปจำลองที่ซับซ้อนกว่ารูปจำลองปกติ เพื่อบรรลุถึงการศึกษาปัญหาการออปติไมเซชันของหลายวัตถุประสงค์ โดยอาศัยการเขียนแบบโปรแกรม SPICE[16] ในการออกแบบวงจรรวมไปถึงวงจรประเภทคัสตอม (Custom) ไม่ว่าจะเพื่อการประยุกต์ใช้งานในด้านการประมวลผลสำหรับสัญญาณ ซึ่งมักจะนำวงจรรีเลย์มาใช้เพื่อเป็นตัวเก็บและตัวหน่วงเวลากันมาก โดยทั่วไป สำหรับวงจรรวมมีวัตถุประสงค์และข้อบังคับฟังก์ชัน (Constraint function) คือความเร็วของการทำงาน กำลังการสูญเสียและพื้นที่ ปัญหาคือการใช้กำลังงานสูงและใช้พื้นที่มาก โดยเฉพาะวงจรรีเลย์ประเภทสแตติกเกต จุดนี้จำเป็นต้องใช้คอมพิวเตอร์ช่วยในการคำนวณ เพื่อหาความเป็นไปได้ที่จะลดพื้นที่ กำลังงานและความเร็วด้วย โดยพิจารณาการออกแบบไมครอนและส่วนย่อยไมครอน โดยงานวิจัยนี้จะจำกัดการพิจารณาอยู่แต่เฉพาะวงจรรวมประเภทดิจิทัล

1.3 วัตถุประสงค์และขอบเขตของวิทยานิพนธ์

วัตถุประสงค์ เพื่อสำรวจเทคนิคใหม่ในการออปติไมเซชันเพื่อการออกแบบวงจรรีเลย์ที่เป็นไมครอนและส่วนย่อยไมครอนสำหรับขนาดของทรานซิสเตอร์ที่ใช้ในวงจรรีเลย์ การออปติไมเซชันจะพิจารณาถึงแฟคเตอร์ต่างๆ คือ ความเร็วของการทำงานของวงจรรีเลย์ พื้นที่ของวงจรรีเลย์ และการสูญเสียกำลังงานของวงจรรีเลย์ โดยที่จะพิจารณาถึงการออปติไมเซชันขนาดของทรานซิสเตอร์ซิมอสในส่วนที่เป็นไมครอนและส่วนย่อยของไมครอน

กรรมวิธีที่ต้องการคือ เพื่อออปติไมเซชันพื้นที่ของวงจรรีเลย์และการสูญเสียกำลังงานของวงจรรีเลย์ในขณะเดียวกันก็จะพิจารณาถึงความเร็วของการทำงานของวงจรรีเลย์ เทคนิคนี้จะมีผลกระทบน้อยที่สุดต่อการวางผัง (layout) ผลลัพธ์ที่ได้มาจากการใช้เครื่องคอมพิวเตอร์ช่วยคำนวณโดยใช้คำพาราเมเตอร์ของการชอกแบบวงจรรวมซิมอส สำหรับกระบวนการ 0.8 ไมครอน ของ European Silicon Structure พร้อมกันนี้ได้พิจารณาถึง การออกแบบวงจรรวมซิมอสเพื่อพิจารณาความกว้างและความยาวของเกต เพื่อออกแบบในระดับไมครอนและระดับส่วนย่อยไมครอน

บทที่ 2

ออปติไมซ์แฟคเตอร์ ในวงจรรวมชนิดซีมอส

เทคนิคการออปติไมซ์วงจรมีด้วยกันหลายแบบ ตลอดจนการเลียนแบบโดยอาศัยเครื่องคอมพิวเตอร์ ซึ่งเข้ามามีบทบาทในการออปติไมซ์สำหรับวงจรรวม โดยการพิจารณาความเร็วในการทำงาน (หรือการหน่วงเวลาความล่าช้าในการทำงาน) กำลังงานสูญเสียของวงจร และพื้นที่ของวงจร อาจกล่าวได้ว่าความสัมพันธ์ที่มีต่อกันทั้งสามแฟคเตอร์เป็นดังรูปที่ 1.3

Glasser และ Hoyte [14] สรุปว่ามีเทคนิคการออปติไมซ์วงจรอยู่ 6 วิธี เพื่อที่จะให้ได้มาตามเงื่อนไขตามที่ต้องการเทคนิคอันหนึ่งคือ การเปลี่ยนแปลงความกว้างและความยาวของทรานซิสเตอร์ทุกๆตัวที่มีในวงจร แต่พบว่าเป็นเรื่องยากในการออปติไมซ์ปัญหาใดๆ ก็ตามที่มีหลายวัตถุประสงค์ดังในบทความต่างๆ [5-8],[11-12],[14],[19],[22] แต่ในวิทยานิพนธ์นี้เสนอเทคนิคที่จะเปลี่ยนเพียงความยาวของทรานซิสเตอร์เพียงตัวเดียวในวงจร โดยเทคนิคนี้จะเป็นเทคนิคที่ปรับปรุงตัดแปลงมาจากเทคนิคในบทความของ Glasser และ Hoyte [14] และจะมีผลกระทบน้อยมากต่อพื้นที่การวางผังวงจร

2.1 กำลังงานสูญเสีย

เพื่อลดการสูญเสียกำลังของวงจรซีมอส จำเป็นต้องศึกษาการสูญเสียกำลังประเภทต่าง ๆ และผลกระทบของมัน ซึ่งสามารถแยกการพิจารณาเป็นสองแบบ คือ กำลังสูญเสียสูงสุดซึ่งสัมพันธ์กับกระแสสูงสุดที่ไหลในวงจร และ อัตราการสูญเสียกำลัง กระแสสูงสุดที่ไหลในวงจรจะมีผลก่อให้เกิดสัญญาณรบกวนแหล่งจ่าย (supply voltage noise) อันเนื่องมาจากค่าความต้านทานภายในสายส่งแหล่งจ่าย ซึ่งทำให้เกิดความร้อนสะสมในอุปกรณ์ และประสิทธิภาพของวงจรลดต่ำลงในที่สุด แต่สำหรับการพิจารณาในแง่อัตราการสูญเสียกำลัง เพียงมุ่งพิจารณาช่วงเวลาการใช้งานแบตเตอรี่เท่านั้น

โดยทั่วไป วงจรซีมอสมีการสูญเสียกำลังในรูปแบบหลักโดยพิจารณาจากการทำงานคือ

- การสูญเสียกำลังสถิตย์ (Static dissipation) อันเนื่องมาจากกระแสรั่ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- การสูญเสียกำลังไดนามิก (Dynamic dissipation) ได้แก่
 - กำลังสูญเสียจากการประจุและคายประจุของความจุไหล
 - กำลังสูญเสียจากกระแสขณะปิดเปิดเกท (Switching transient or Glitching Power dissipation)
- การสูญเสียกำลังลัดวงจร (Short - circuit Dissipation)

2.1.1 การสูญเสียกำลังสถิตย์

กำลังสูญเสียนี้สามารถพิจารณาแยกเป็น 2 ส่วน คือ จากกระแสรั่วที่รอยต่อ และ กระแสเทรตโฮลต์ย่อย [23]

$$P_s = P_{s1} + P_{s2} \quad (2.1)$$

พิจารณาองค์ประกอบแรก ในภาวะหยุดนิ่ง (Steady state) วงจรซีมอสปกติจะไม่มีกระแสไหลในวงจร กระแสที่มีคือกระแสรั่วผ่านการไบอัสกลับที่ซอสเตรนและบ่อ (well) หรือฐานรอง ดังรูปที่ 2.1 โดยมีค่าเป็นกระแสอิ่มตัวย้อนกลับของไดโอด

$$i_0 = i_s \left(e^{\frac{qV}{kT}} - 1 \right) \quad (2.2)$$

เมื่อ i_s คือ กระแสอิ่มตัวย้อนกลับ

V คือ ศักดาคร่อมไดโอด

q คือ ประจุของอิเล็กตรอน

k คือ ค่าคงที่โบลท์ซมาน (Boltzmann's constant)

T คือ อุณหภูมิสัมบูรณ์

โดยปกติ i_0 จะมีขนาดอยู่ในช่วง 0.001 ถึง 0.005 พิโคแอมป์ ต่อเกทที่อุณหภูมิห้อง นั่นคือ

$$P_{s1} = \sum_1^n \text{กระแสรั่ว} * \text{ศักดาไฟป้อน} \quad (2.3)$$

เมื่อ n คือ จำนวนเกท

กำลังงานสูญเสียประเภทนี้มีค่าน้อยมากและไม่ส่งผลต่อกำลังสูญเสียสถิตย์รวม เนื่องจากค่ากระแสรั่วไหลมีค่าต่ำ ตัวอย่าง หากวงจรที่พิจารณาประกอบขึ้นด้วยอุปกรณ์จำนวนล้านตัว ค่ากำลังสูญเสียจากแหล่งจ่ายนี้ก็อยู่ในระดับไมโครวัตต์เท่านั้น ดังนั้นโดยทั่วไปจึงละเลยค่ากำลังสูญเสียนี้เว้นแต่กรณีของหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากนี้ กำลังสูญเสียสถิตย์ใน ส่วนที่ 2 ซึ่งเกิดจากกระแสรั่วจากแหล่งจ่ายไฟบวก (V_{DD}) ตู่ กราวด์ (GND) หรือ V_{SS} สมมุติว่าศักดาอินพุตของเอ็นมอสทรานซิสเตอร์ในส่วน pull - down มีค่าในช่วง $0 \leq V_{in} < V_T$ ซึ่งในกรณีนี้กระแสจะอยู่ในรูปของ กระแสเทรคโสลด์ย่อย (subthreshold current) ดังรูปที่ 2.2

$$I_{DS} = I_0 \frac{W_{eff}}{W_0} 10^{\frac{(V_{in}-V_T)}{S}} \tag{2.4}$$

เมื่อ V_T คือ constant-current threshold voltage

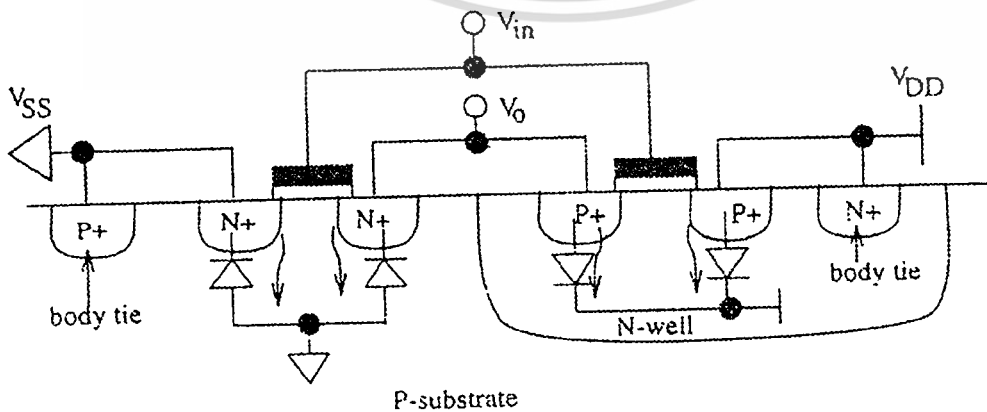
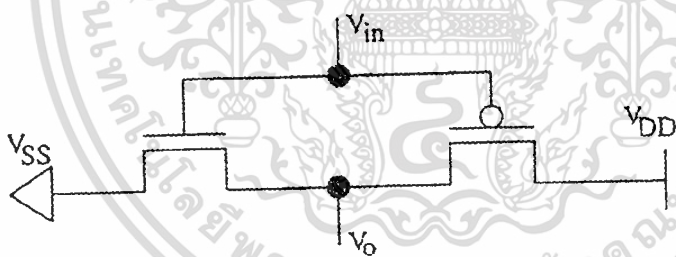
S คือ การแกว่งของศักดาเทรคโสลด์ย่อย

$$\approx 2.3V_T \left(1 + \frac{C_d}{C_{ox}} \right) \text{ V/decade}$$

ดังนั้นกำลังสูญเสียสถิตย์ในส่วนนี้จึงเท่ากับ

$$PS_2 = I_{DS_mean} V_{DD} \tag{2.5}$$

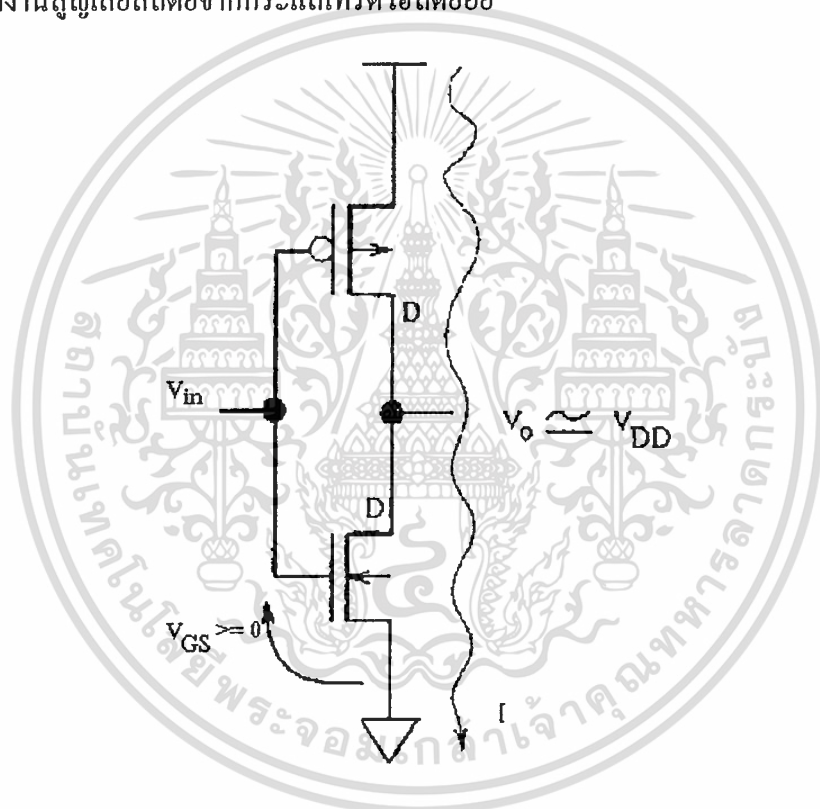
รูปที่ 2.1 กำลังสูญเสียสถิตย์จากกระแสรั่วไหล



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ I_{DS_mean} เป็นค่ากระแสเฉลี่ยระหว่าง พีและเอ็นมอสทรานซิสเตอร์ เช่น หากกำหนดให้ $V_{in} = 0$, $V_T = 0.15$ V, $W_{eff} = 10$ μm และ $S = 75$ mV/decade กระแสนี้จะมีค่า 1 nA และสำหรับวงจรที่มีจำนวนอุปกรณ์ 1 ล้านตัว กำลังสูญเสียสถิตยี้ี้จะมีค่าสูงจนละลายไม่ได้ (กระแสรั่วไหลรวม ประมาณ 1 mA) ค่าดังกล่าว สังกเหตุว่า กระแสเทรตโฮลด์ย่อยจะเพิ่มขึ้นเมื่อ สักคาเทรตโฮลด์มีค่าลดลง โดยเฉพาะอย่างยิ่งวงจรแบบแหล่งจ่ายไฟต่ำซึ่งจำเป็นต้องกำหนดให้ V_T ของมอส ทรานซิสเตอร์มีค่าต่ำ

รูปที่ 2.2 กำลังงานสูญเสียสถิตยี้ี้จากกระแสเทรตโฮลด์ย่อย



2.1.2 การสูญเสียกำลังไดนามิก

กำลังสูญเสียไดนามิกเป็นองค์ประกอบที่สำคัญที่สุดของการสูญเสียกำลังรวม ซึ่งเกิดจากกระแสที่ใช้ในการชาร์จและดิสชาร์จความจุไหลด (C_L) โดยวงจรพืมอสในส่วน pull - up และวงจรเอ็นมอสในส่วน pull - down ตามลำดับ ซึ่งสมมติว่าทำงานไม่พร้อมกัน ดังนั้นกำลังสูญเสียไดนามิกเฉลี่ย (P_d) ที่ต้องใช้ในการชาร์จและดิสชาร์จความจุไหลดที่ความถี่ $f = \frac{1}{T}$ คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

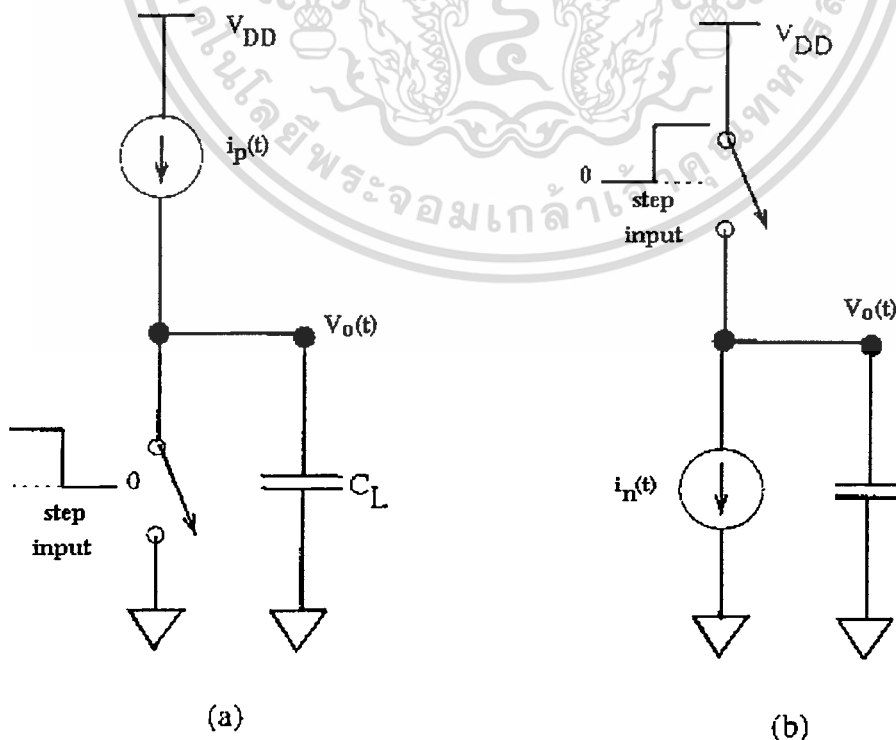
$$\begin{aligned}
 P_d &= \frac{1}{T} \int_0^T i_0(t) v_o(t) dt \\
 &= \frac{1}{T} \int_0^{T/2} i_P(t) (V_{dd} - v_o(t)) dt + \frac{1}{T} \int_0^{T/2} i_N(t) v_o(t) dt
 \end{aligned} \tag{2.6}$$

เมื่อ $i_N(t)$ = กระแสชั่วขณะในส่วนวงจรเอ็นมอสในช่วงเวลาการดิซชาร์จความจุโหลด
 $= -C_L \frac{dv_o}{dt}$
 $i_P(t)$ = กระแสชั่วขณะในส่วนวงจรพีมอสในช่วงเวลาการชาร์จความจุโหลด
 $= C_L \frac{dv_o}{dt}$

ดังนั้นกำลังสูญเสียไดนามิกของวงจรลอจิกใด ๆ

$$\begin{aligned}
 P_d &= \frac{1}{T} \left(\int_0^{V_{DD}} C_L v_o dv_o - \int_{V_{DD}}^0 C_L v_o dv_o \right) \\
 &= \frac{C_L V_{DD}^2}{T} = C_L V_{DD}^2 f
 \end{aligned} \tag{2.7}$$

รูปที่ 2.3 การสูญเสียกำลังไดนามิก



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ 2.7 แสดงให้เห็นว่า กำลังสูญเสียไดนามิกจะแปรผันตามค่าความถี่ที่ใช้งาน แต่ในปัจจุบันมีความต้องการวงจรที่มีความเร็วในการปฏิบัติงานสูง และกำลังสูญเสียต่ำ เพื่อให้เกิดความประณีตประนอม มีหลายเทคนิคได้ถูกนำมาใช้ เช่น เทคนิคการจัดการสัญญาณนาฬิกาภายใน โดยแยกตามส่วนวงจรที่มีความเร็วการทำงานต่างกัน โดยส่วนที่ต้องการความเร็วสูง สัญญาณนาฬิกาจะถูกสังเคราะห์ขึ้นจากสัญญาณความถี่ต่ำ เช่นจาก วงจร PLL ภายใน นอกจากนี้สมการยังชี้ให้เห็นว่า กำลังงานสูญเสียไดนามิก จะแปรผันตามช่วงการแกว่งสัญญาณกำลังสอง ดังนั้นการลดช่วงแกว่งสัญญาณไม่ว่าจะเป็นเทคนิค level shifting, การ scaling หรือการลดขนาดแหล่งจ่ายโดยตรง จะส่งผลให้กำลังสูญเสียไดนามิกลดลงอย่างมาก ตัวอย่างเช่น วงจรที่มีขนาดแหล่งจ่าย 5 V เมื่อลดลงเหลือ 3 V กำลังสูญเสียจะลดลง 56% และเมื่อลดขนาดแหล่งจ่ายลงเหลือ 1 V กำลังสูญเสียไดนามิกจะลดลงถึง 96% อย่างไรก็ตามการลดขนาดแหล่งจ่ายนี้ ก็จะส่งผลต่อคุณลักษณะการทำงานของวงจรโดยตรง เช่นความทนต่อสัญญาณรบกวน (Noise immunity) การเชื่อมโยงสัญญาณกับภายนอก ดังนั้นวิธีดังกล่าวจึงมักใช้เป็นทางเลือกสุดท้ายในการลดกำลังสูญเสียวงจรสำหรับสัปดาห์แหล่งจ่ายต่ำสุดที่วงจรมอสยังคงสามารถทำงานได้อย่างถูกต้อง Swanson และ Meindl [24] ได้แสดงให้เห็นว่า

$$V_{DD_min} = \frac{8kT}{q} \quad (2.8)$$

พิจารณาพลังงานที่ไหลจากแหล่งจ่าย จากรูปที่ 2.3 เมื่อเอาต์พุตเปลี่ยนสถานะจาก $0 \rightarrow V_{DD}$ จะมีค่าเท่ากับ $C_L V_{DD}^2$ ซึ่งการเปลี่ยนสถานะนี้ พลังงานที่เก็บในความจุไหลจะมีค่าเท่ากับ

$$\begin{aligned} E_{cap} &= \int_0^{V_{DD}} C_L v_o dt \\ &= \frac{1}{2} C_L V_{DD}^2 \end{aligned} \quad (2.9)$$

นั่นหมายความว่า เมื่อเอาต์พุตเกิดการเปลี่ยนสถานะจาก $0 \rightarrow V_{DD}$ พลังงานครึ่งหนึ่งจะถูกเก็บไว้ในตัวเก็บประจุไหล และอีกครึ่งหนึ่งจะสูญเสียในวงจรพีมอสในส่วน pull - up และเมื่อเอาต์พุตเกิดการเปลี่ยนแปลงอีกครั้งจาก $V_{DD} \rightarrow 0$ ค่าพลังงานครึ่งหนึ่งซึ่งถูกเก็บไว้ในตัวเก็บประจุไหล ก็จะสูญเสียไปในวงจรเอ็นมอสในส่วน pull - down โดยไม่มีกระแสไหลจากแหล่งจ่าย

ดังนั้นเมื่อพิจารณาถึงพลังงานสูญเสียต่ำกำลังสูญเสียไดนามิกแล้ว จะพบว่า ถึงแม้การลดความถี่ในการทำงานลงก็ตาม แต่พลังงานสูญเสียต่อกำลังสูญเสียยังคงเท่าเดิม ตัวอย่างเช่น เมื่อเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมีให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาวงจรระบบหนึ่งซึ่งใช้แบตเตอรี่เป็นแหล่งจ่ายซึ่งทำงานที่ความถี่ต่ำ กับอีกระบบหนึ่งซึ่งมีความเร็วในการทำงานสูง ภายใต้เงื่อนไขเดียวกัน ระบบที่มีความถี่การทำงานต่ำจะใช้เวลาในการทำงานนั้น ๆ มากกว่าอีกระบบหนึ่ง แต่กำลังสูญเสียไดนามิกเฉลี่ยก็ต่ำกว่าด้วย ในขณะที่ทั้ง 2 ระบบกลับใช้พลังงานจากแบตเตอรี่เท่ากัน จะแตกต่างกันก็ตรงความสามารถในการจ่ายกำลังของแบตเตอรี่นั้น ๆ ดังนั้นในการออกแบบจึงมุ่งเน้นที่จะลดกำลังสูญเสียและเวลาในการทำงานลง หรือกล่าวอีกนัยหนึ่งคือการลดพลังงานสูญเสียลง ซึ่งไม่มีประโยชน์อันใดที่จะเพิ่มหรือลดกำลังสูญเสียและความเร็วในขณะที่พลังงานสูญเสียยังคงเท่าเดิม ดังนั้นในการเปรียบเทียบระบบใด ๆ แล้ว จึงพิจารณาจาก figure of merit ซึ่งกำหนดได้เป็น [23]

$$\text{figure of merit} = \text{พลังงานสูญเสีย} * \text{เวลาในการทำงาน} \quad (2.10)$$

สำหรับวิทยานิพนธ์นี้จุดมุ่งหมายคือการลดกำลังงานสูญเสีย พื้นที่ และเพิ่มความเร็วในการทำงาน ดังนั้นเพื่อให้เกิดการสื่อความหมาย การลดกำลังงานสูญเสีย จึงหมายถึงรวมถึงการลดพลังงานสูญเสียด้วย

หากพิจารณาพลังงานสูญเสียให้ดีขึ้นพบว่า พลังงานที่สูญเสียแท้จริงเกิดจากความต้านทานในวงจรส่วน pull - up และ pull - down และกระแสที่ไหลผ่าน ความต้านทานดังกล่าวคือความต้านทานช่องทางเดินกระแสของมอสทรานซิสเตอร์ จากระยะต่อ ความต้านทานจากการเดินสายสัญญาณ ในกรณีวงจรส่วน pull - down พลังงานที่สูญเสียเป็นพลังงานที่สะสมในตัวเก็บประจุโหลดดังที่กล่าวมาแล้ว ซึ่งพลังงานส่วนนี้จะขึ้นกับขนาดของตัวเก็บประจุโหลด และช่วงแอมพลิจูดสัญญาณ ในขณะที่พลังงานอีกส่วนหนึ่งซึ่งเกิดขึ้นในวงจรที่มอสในส่วน pull - up

$$\begin{aligned} E_{\text{pull-up}} &= \int_0^{t_0 \rightarrow 1} p(t) dt \\ &= \int_0^{t_0 \rightarrow 1} i_{ds}(t) v_{ds} dt \end{aligned}$$

$$\begin{aligned} \text{หากกำหนดให้ } R_{CH} &= \text{ความต้านทานสมมูลเชิงเส้นของพีมอสทรานซิสเตอร์} \\ &= \int \frac{dv_{ds}}{i_{ds}} \end{aligned}$$

$$\therefore E_{\text{Pull-up}} = \int_0^{t_0 \rightarrow 1} \frac{V_{ds}^2}{2R_{CH}} dt \quad (2.11)$$

ดังนั้นการเพิ่มความต้านทานช่องทางเดินกระแสในวงจรส่วนพีมอสเพื่อจำกัดขนาดของกระแสที่ไหลผ่านจากแหล่งจ่าย ทำให้พลังงานสูญเสียลดลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.3 การสูญเสียกำลังลัดวงจร (P_{sc})

ขณะที่เกทซึ่มอสเปลี่ยนสถานะ ทรานซิสเตอร์ N และ P อยู่ในสภาวะกึ่งเปิดกึ่งปิดอยู่ช่วงเวลาสั้น ๆ ก่อนที่จะเข้าสู่ภาวะหยุดนิ่ง ภาวะเช่นนี้มีลักษณะคล้ายการลัดวงจรซึ่งหากำลังงานสูญเสียได้ดังนี้

$$P_{sc} = I_{mean} * V_{DD} \quad (2.12)$$

ปรากฏการณ์นี้แสดงได้ดังรูปที่ 2.4 รูป (a) คือสัญญาณขาเข้าเกิดเมื่อไม่มีโหลด รูป (b) เป็นกระแสลัดวงจรที่ไหลจาก แหล่งจ่ายไฟลงกราวด์ กระแสเฉลี่ยขณะลัดวงจร มีสมการดังนี้

$$I_{mean} = 2 * \left[\frac{1}{T} \int_{t_1}^{t_2} I(t) dt + \frac{1}{T} \int_{t_2}^{t_1} I(t) dt \right] \quad (2.13)$$

ตัวอย่างเช่นวงจร อินเวอร์เตอร์ สมมติให้ $V_{TN} = -V_{TP}$ และ $\beta_N = \beta_P = \beta$ ทำให้รูปกราฟของกระแสสมมาตรทั้งสองด้านของ t_2 จึงลดรูปสมการลงได้ดังนี้

$$I_{mean} = 2 * \frac{2}{T} \int_{t_1}^{t_2} \frac{\beta}{2} (V_{in}(t) - V_T)^2 dt$$

$$\text{เมื่อ } V_{in}(t) = \frac{V_{DD}}{t_r} t, \quad t_1 = \frac{V_T}{V_{DD}} t_r \quad \text{และ} \quad t_2 = \frac{t_r}{2}$$

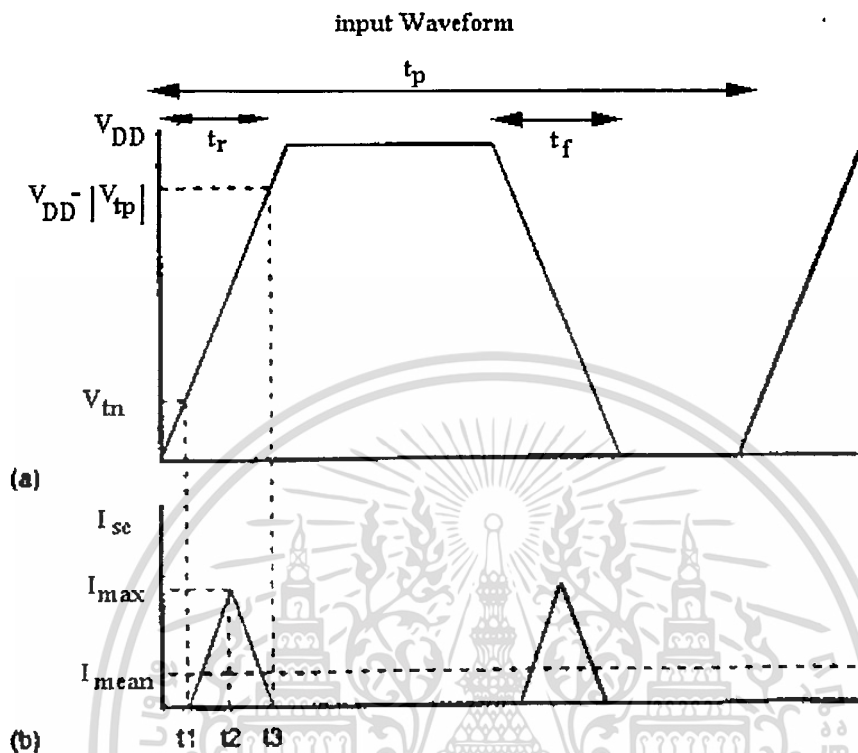
และเนื่องจากพิจารณาขณะ no - load [17] ดังนั้น $t_r = t_f = t_{rf}$

$$P_{sc} = \frac{\beta}{12} (V_{DD} - 2V_T)^2 * 3 \frac{t_{rf}}{t_p} \quad (2.14)$$

เมื่อ t_p = คาบเวลาของสัญญาณอินพุต

จากการวิเคราะห์กรณี no - load กระแสลัดวงจรขึ้นกับ β และเวลาขึ้นเวลาดกของอินเวอร์เตอร์ สัญญาณที่มีเวลาขึ้นยาวนาน ส่งผลต่อการกินกำลังลัดวงจรอย่างมาก (20% ของการสูญเสียกำลังรวม) ดังนั้นจึงต้องออกแบบโดยยึดหลักให้ขอบของสัญญาณมีความคมที่สุด แต่หากความจุโหลดมีค่ามาก การสูญเสียกำลังส่วนใหญ่จะเกิดกับความจุโหลด (P_d)

รูปที่ 2.4 รูปสัญญาณขาเข้าและแบบจำลองกระแสลัดวงจร



2.14 การสูญเสียกำลังรวม

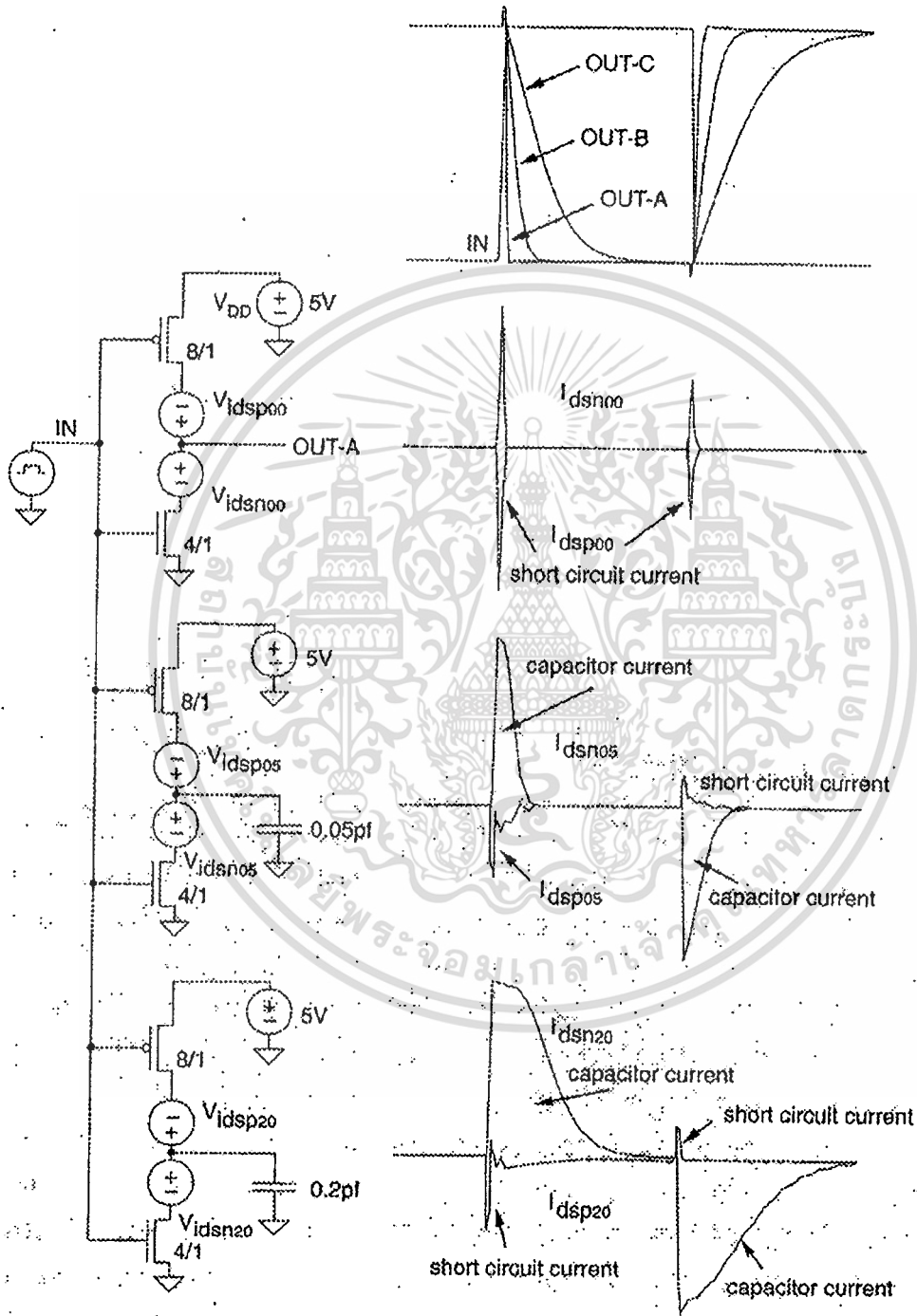
จากการรวมกำลังสูญเสียทั้งแบบสแตติกและไดนามิก จะได้กำลังสูญเสียรวม

$$P_{total} = P_s + P_d + P_{sc} \quad (2.15)$$

โดยปกติการหาค่ากำลังสูญเสียรวมสำหรับวงจรรวม ด้วยการพิจารณาการสูญเสียกำลังของและเซลล์ย่อย เป็นเรื่องที่ยาก เนื่องจากยากที่จะทราบความจุแฉงและความโหลดของแต่ละโนดในเซลล์ย่อยนั้น ๆ โดยเฉพาะวงจรรวมซึ่งมีความถี่การทำงานในแต่ละส่วนต่างกัน วิธีหนึ่งในการประมาณ คือการรวมค่าความจุของทั้งวงจรที่มีความถี่เดียวกันคำนวณเป็นกำลังสูญเสีย จากนั้นจึงนำมารวมกับกลุ่มวงจรที่ทำงานที่ความถี่อื่น ๆ เป็นกำลังสูญเสียรวมของทั้งระบบ ถึงแม้วิธีการคำนวณดังกล่าวจะเป็นวิธีการที่สะดวก แต่ก็ไม่แม่นยำนักเนื่องจาก แต่ละวงจรรย่อยหรือเซลล์ย่อยมีอัตราการทำงานหรือโอกาสที่เกิดการเปลี่ยนสถานะต่างกันตามฟังก์ชันและอินพุต ทำให้กำลังสูญเสียไดนามิกของแต่ละวงจรต่างกัน [23]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.5 ผลจำลองการทำงานด้วยโปรแกรม Pspice แสดงกระแสในช่วงเปลี่ยนแปลงของอินเวอร์เตอร์ซิมอสที่มีความจุโหลดขนาดต่าง ๆ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$P_d = \alpha C_L V_{DD}^2 f$$

เมื่อ α คือ ร้อยละของการทำงานของเกทที่ความถี่สัญญาณนาฬิกาสูงสุดของแต่ละวงจรรย่อย ดังนั้นกำลังสูญเสียไดนามิกของวงจรรวมทั้งระบบคือ

$$P_{int_d} = \sum_{i=1}^n \alpha_i C_i v_i V_{dd} f \tag{2.16}$$

เมื่อ v_i = ช่วงแวก์สัญญาณของแต่ละวงจรรย่อย

C_i = ความจุรวม (ความจุโหลด + ความจุแผ่นที่เอาต์พุต)

หากกำหนดให้ $P_{0 \rightarrow 1}$ = โอกาสที่เกทจะเปลี่ยนสถานะจาก 0 \rightarrow 1

และ $P_{1 \rightarrow 0}$ = โอกาสที่เกทจะเปลี่ยนสถานะจาก 1 \rightarrow 0

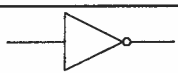
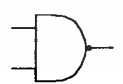
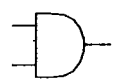
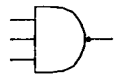
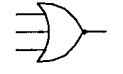
ดังนั้น ความน่าจะเป็นของเหตุการณ์การเปลี่ยนสถานะเอาต์พุต เมื่อพิจารณาว่าเป็นการกระจายแบบสมมาตร มีค่าเท่ากับ

$$\alpha = P_{0 \rightarrow 1} = P_{1 \rightarrow 0} = P_0 * P_1 \tag{2.17}$$

เมื่อ P_0 = โอกาสที่เกทจะมีสถานะเอาต์พุตเป็น 0 ต่อเหตุการณ์ทั้งหมด

P_1 = โอกาสที่เกทจะมีสถานะเอาต์พุตเป็น 1 ต่อเหตุการณ์ทั้งหมด
 = $(1 - P_0)$

ตารางที่ 2.1 แสดงโอกาสที่ลอจิกเกทจะเป็นสถานะ

ลอจิกฟังก์ชัน	P_0	P_1	$P_{(0 \rightarrow 1)}$
	$1/2$	$1/2$	$1/4$
	$1/4$	$3/4$	$3/16$
	$3/4$	$1/4$	$3/16$
	$1/8$	$7/8$	$7/64$
	$7/8$	$1/8$	$7/64$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับวงจรซิมอสเหตุการณ์ของแต่ละสายสัญญาณอินพุตคือ 0 และ 1 ดังนั้น เหตุการณ์ทั้งหมดจึงเท่ากับ 2^n เมื่อ n คือ จำนวนสัญญาณอินพุต จากตารางความจริง โอกาสที่เกทจะเปลี่ยนสถานะ เมื่อพิจารณาแยกตามฟังก์ชันการทำงาน แสดงดังตารางที่ 2.1

วิธีการดังกล่าวทำให้การคำนวณการสูญเสียกำลังรวมของวงจร VLSI เป็นไปอย่างสะดวกและถูกต้องมากขึ้น โดยแยกพิจารณาแต่ละวงจรที่มีฟังก์ชันการทำงานและความถี่ที่แตกต่างกันร่วมกับสถิติในการใช้วงจรนั้น ๆ ซึ่งอยู่ในรูปร้อยละ ของผลรวมวงจรฟังก์ชันนั้นต่อผลรวมของเซลล์ย่อยทั้งหมด ดังตารางที่ 2.2 [25]

$$P_{total} = \sum \alpha_i C_i v_i V_{DD} f * (usage\%) \quad (2.18)$$

ตารางที่ 2.2 สถิติการใช้วงจรร้อย

Single Stage		multistage	
ฟังก์ชัน	Usage %	ฟังก์ชัน	Usage %
2-NAND	12	Latch	14
Inverter	10	2 - AND	9
3 - NAND	3	Buffer	8
อื่น ๆ	12	อื่น ๆ	32
รวม	37%	รวม	63%

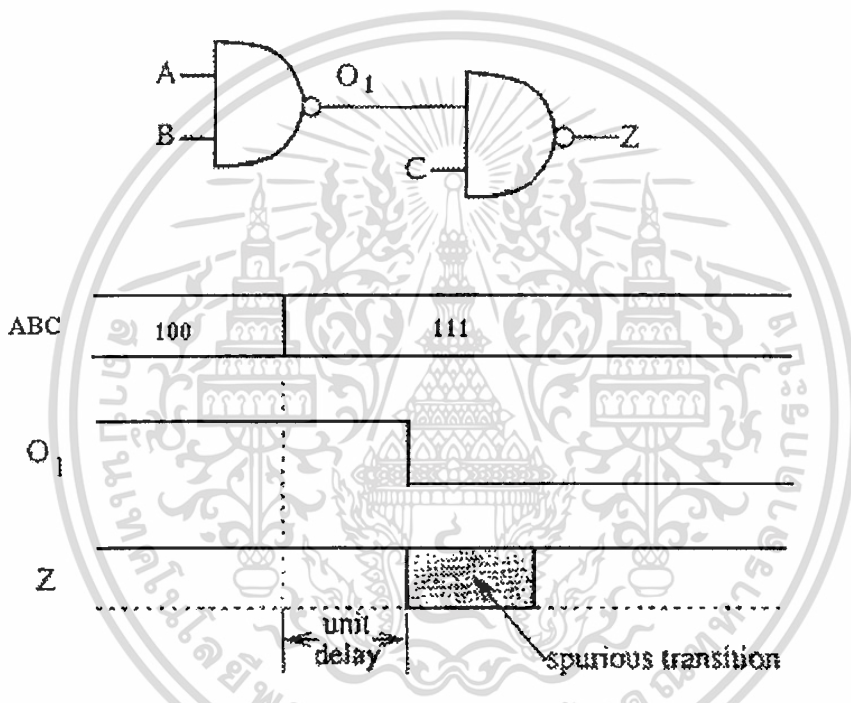
2.1.5 Glitching Power

ถึงแม้ว่าการคำนวณกำลังงานสูญเสียรวมทั้งวงจร โดยแยกพิจารณาตาม ความถี่, เปอร์เซนต์การใช้งาน, ฟังก์ชันการทำงาน จะมีความแม่นยำ แต่ก็ในระดับหนึ่งเท่านั้น เนื่องจากกำลังสูญเสียที่พิจารณาดังกล่าว วงจรเกทหรือเซลล์ย่อยทั้งหลาย ถูกพิจารณาว่ามีการทำงานอย่างถูกต้องและสอดคล้องกันอย่างดี แต่ความเป็นจริงแล้ววงจรไม่ได้มีการเปลี่ยนแปลงสถานะเอาต์พุตแบบ stable เท่านั้น การแข่งขันของสัญญาณ ซึ่งทำให้เกิด dynamic hazard ดังรูปที่ 2.6 เป็นส่วนทำให้เกิดการเปลี่ยนสถานะเอาต์พุตภายในช่วงดังกล่าว อันเป็นผลให้เกิดการสูญเสียกำลังเพิ่มขึ้นจากที่ออกแบบหรือคำนวณไว้ นอกจากนี้สำหรับวงจรที่มีการป้อนกลับ เช่นวงจร สแตติกแลทช์ เวลาหน่วงระหว่างอินพุตและเอาต์พุตไม่ได้ถูกกำหนดจากค่า RC - delay ภายในวงจรเท่านั้น แต่ถูกกำหนดขึ้นจากการลู่เข้าของสัญญาณในระบบป้อนกลับ ตลอดจนความพร้อมของสัญญาณ

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งยังมีให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินพุตต่อสัญญาณนาฬิกา (Synchronization) หากวงจรที่ไม่ได้ถูกออกแบบมาเป็นอย่างดีแล้ว การป้อนกลับดังกล่าวอาจส่งผลให้ค่าหน่วงเวลาเพิ่มขึ้น หรือเกิดเป็นระบบที่ไม่เสถียรภาพคือเกิดการสวิตช์ไปมาระหว่าง V_{DD} และ กราวด์ ตลอดเวลา หรือมีค่าสัญญาณเอาต์พุต ค้างอยู่ระหว่างแรงดันแหล่งจ่าย ผลดังกล่าวทำให้กำลังสูญเสียเพิ่มขึ้น ไม่ว่าจะเป็นการสูญเสียกำลังไดนามิก หรือการสูญเสียกำลังถ่วงจร

รูปที่ 2.6 Glitching Power ซึ่งเกิดจาก Dynamic Hazard



เนื่องจากปัญหาดังกล่าวเกิดจากเสถียรภาพของระบบป้อนกลับ, ค่าหน่วงเวลาที่เพิ่มขึ้น, ความสูญเสียความพร้อม (Synchronization failures) และ dynamics hazard มิใช่ปัญหาจากการสูญเสียกำลังโดยตรง ดังนั้นในการลด glitching power จึงถูกพิจารณาในรูปของปัญหา ภาวะกึ่งเสถียรภาพ (Metastability) และการสูญเสียความพร้อม แยกตามวงจรมัน ๆ ซึ่งจะได้อีกกล่าวถึงต่อไป

2.1.6 การวัดกำลังสูญเสียทางอ้อม

เนื่องจากการคำนวณกำลังสูญเสียรวม ไม่สามารถรวมปรากฏการณ์อื่น ๆ ที่ทำให้เกิด glitching power dissipation ได้ การวัดกำลังสูญเสียทางอ้อม โดยการคำนวณจากกระแสทั้งหมดที่ไหลจากแหล่งจ่ายไฟ โดยอาศัย Current-Controlled Current Source หรือ Voltage-Controlled

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Current Source และค่ากระแสที่ถูกดึงจากแหล่งจ่ายไฟเป็นสัดส่วนกันกับค่าพารามิเตอร์ของอัตราขยายกระแส (β) หรือค่าทรานคอนดักแตนซ์ (g_m) ตามลำดับดังในภาพที่ 2.7 Kang [15] เสนอการวัดนี้เพื่อวัดกำลังงานสูญเสีย โดยพิจารณาค่ากระแสที่ดึงจากแหล่งจ่ายไฟและวงจรมิเตอร์วัดกำลังนี้ต้องไม่มีผลกระทบใดๆ เกิดขึ้นกับวงจร ดังนั้นมิเตอร์วัดกำลังจะเป็นวงจรย่อย ซึ่งสามารถพิจารณาได้โดยใช้ Current-Controlled dependent source หรือ Voltage-Controlled dependent source และค่ากำลังงานที่วัดได้จะถูกรวมไรซ์โดยค่า V_{DD} และสรุปได้ดังรูปที่ 2.7

- กรณี Current-Controlled Current Source

$$\beta = V_{DD} C_y f \quad (2.19)$$

โดย β เป็นพารามิเตอร์ของอัตราขยายกระแสคร่อม C_y ในวงจรย่อย

- กรณี Voltage-Controlled Current Source

$$g_m = V_{DD} C_y f / V_X \quad (2.20)$$

โดยที่ g_m เป็นค่าทรานคอนดักแตนซ์และ r_X เป็นค่าความต้านทานอนุกรมต่อระหว่างแหล่งจ่ายไฟกับวงจรที่จะวัด

ทั้งสองกรณีเป็นการวัดค่ากำลังงาน ที่ถูกรวมไรซ์โดยค่า V_{DD} หมายความว่าค่ากำลังงานที่แท้จริงคือ การคูณ β กับ g_m ด้วย V_{DD}

ในเรื่องของรูปจำลองขนาดใหญ่ (macro model) ของกำลังงานสามารถประมาณค่าขยายได้โดยดูพื้นที่สัมผัสของวงจร Helund[8] เสนอพื้นที่สัมผัสจะเป็นค่าผลงานของความกว้างของทรานซิสเตอร์และค่ากำลังงานสูญเสียไดนามิกจะลดลง โดยการแปรผันตรงกับพื้นที่สัมผัสเงื่อนไขนี้ หมายถึงความยาวของทรานซิสเตอร์ไม่เปลี่ยนหรือถูกกำหนดไว้ที่ค่าใดค่าหนึ่ง โดยเฉพาะค่าที่ต่ำสุด (L_{min}) ของกระบวนการผลิตโดยทั่วไปแล้วพื้นที่สัมผัสของวงจรเพิ่มโดยแปรผันตรงกับจำนวนของทรานซิสเตอร์ ในอดีตได้มีการเสนอในรายงาน [11], [14] ว่าการเปลี่ยนแปลงความกว้างของทรานซิสเตอร์ในวงจรเพื่อออกปติไมซ์ค่ากำลังงานสูญเสีย

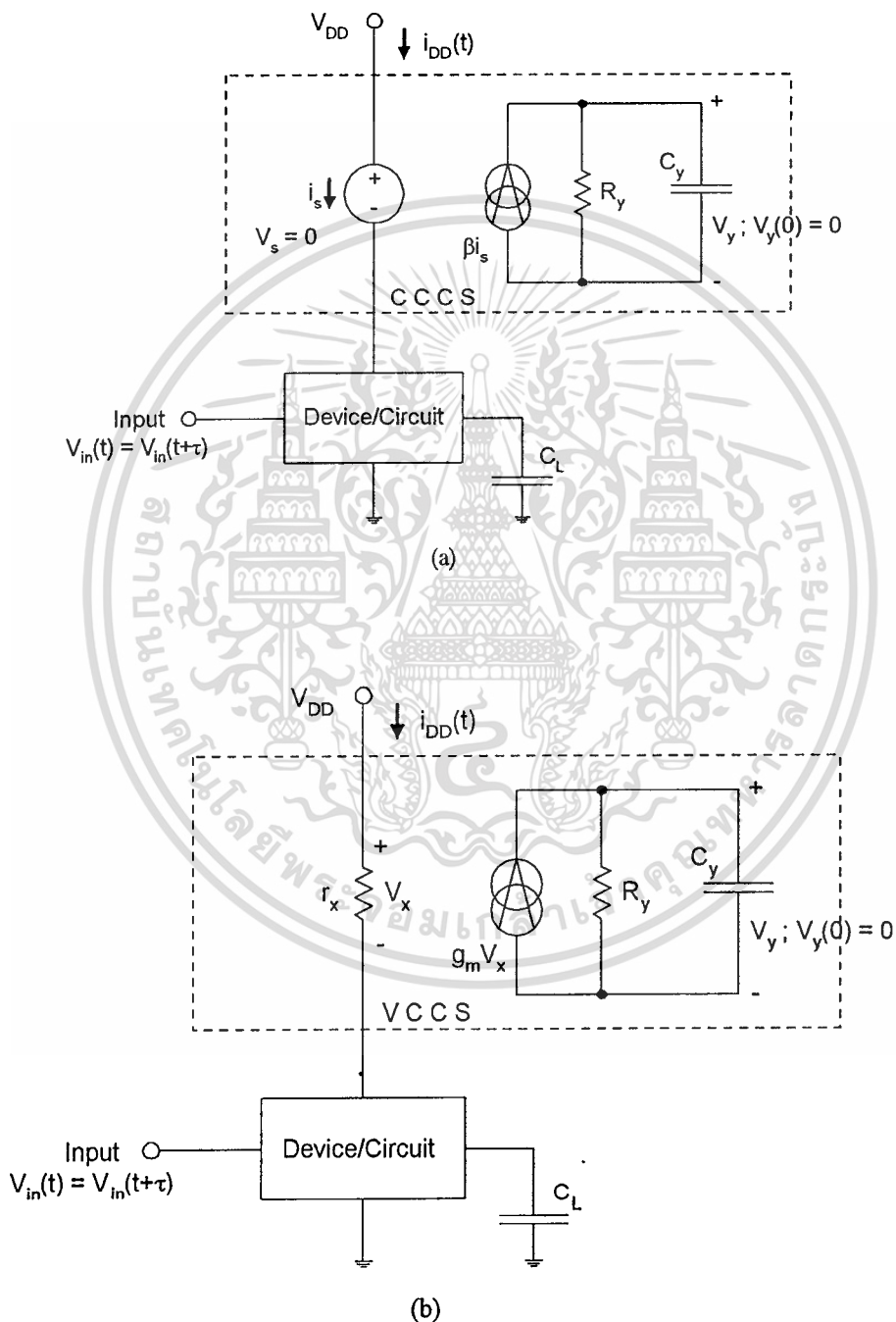
การใช้วิธีการของ Kang [15] ค่ากำลังงานคือ ค่าอมัลไรซ์ของกระแสที่ถูกดึงจากแหล่งจ่ายไฟ ซึ่งเห็นได้ว่าการลดกำลังงานสูญเสียคือการลดค่า g_m ดังสมการที่ 2.20 และค่า g_m นี้ก็เป็นค่าคอนดักแตนซ์ของมิเตอร์วัดกำลังงานสูญเสียนั่นเอง

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งยังมีให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.7 แสดงมิเตอร์วัดกำลังงานสูญเสีย

(a) วงจรย่อยพร้อม Current-Controlled Current Source

(b) วงจรย่อยพร้อม Voltage-Controlled Current Source



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 พื้นที่

ในโครงสร้างของทรานซิสเตอร์ประกอบด้วย ขนาดของเดรน, เกทและซอส ขนาดของ เกทเป็นผลมาจากขนาดของทรานซิสเตอร์ ค่าการเก็บประจุขึ้นอยู่กับบางส่วนของโครงสร้าง โดยทั่วไปรวมทั้งแผนผังของทรานซิสเตอร์ พื้นที่และค่าของการแพร่กระจายการเก็บประจุ [18] แสดง ในรูปที่ 2.8

ขนาดของทรานซิสเตอร์แปรผันตรงกับพื้นที่ A โดย Cirit [11] เสนอเป็นปัญหาการออปติไมซ์พื้นที่ คือการออปติไมซ์เช่น

$$A = \sum w_i \quad (2.21)$$

โดยที่ w_i คือความกว้างของทรานซิสเตอร์ ดังนั้นปัญหาการออปติไมซ์ขนาดของ ทรานซิสเตอร์ ควรพิจารณาการออกแบบวงจรและการทำให้ขนาดกว้างของทรานซิสเตอร์มีขนาด เล็กที่สุดก็เพื่อที่จะออปติไมซ์พื้นที่

การเปลี่ยนแปลงความยาวเกตน่าจะเหมาะสมกว่า ในออปติไมซ์พื้นที่แบบการเปลี่ยนแปลงความกว้างของเกต แนวความคิดคือเปลี่ยนความยาวเกตจะทำให้เพิ่มพื้นที่ของทรานซิสเตอร์ น้อยกว่าการเปลี่ยนแปลงความกว้างของเกต พื้นที่ที่เพิ่มขึ้นของทรานซิสเตอร์ของแต่ละวิธีการ แสดงดังรูปที่ 2.8

กำหนดให้ X และ Y เป็นขนาดที่เพิ่มขึ้นเนื่องมาจากความกว้างของเกต (W) และความยาวของเกต (L) ของทรานซิสเตอร์ (หน่วยเป็น ไมโครเมตร) ตามลำดับการคำนวณทำดังนี้คือ

- พื้นที่ที่เพิ่มขึ้น โดยวิธีเปลี่ยนความกว้างของเกต

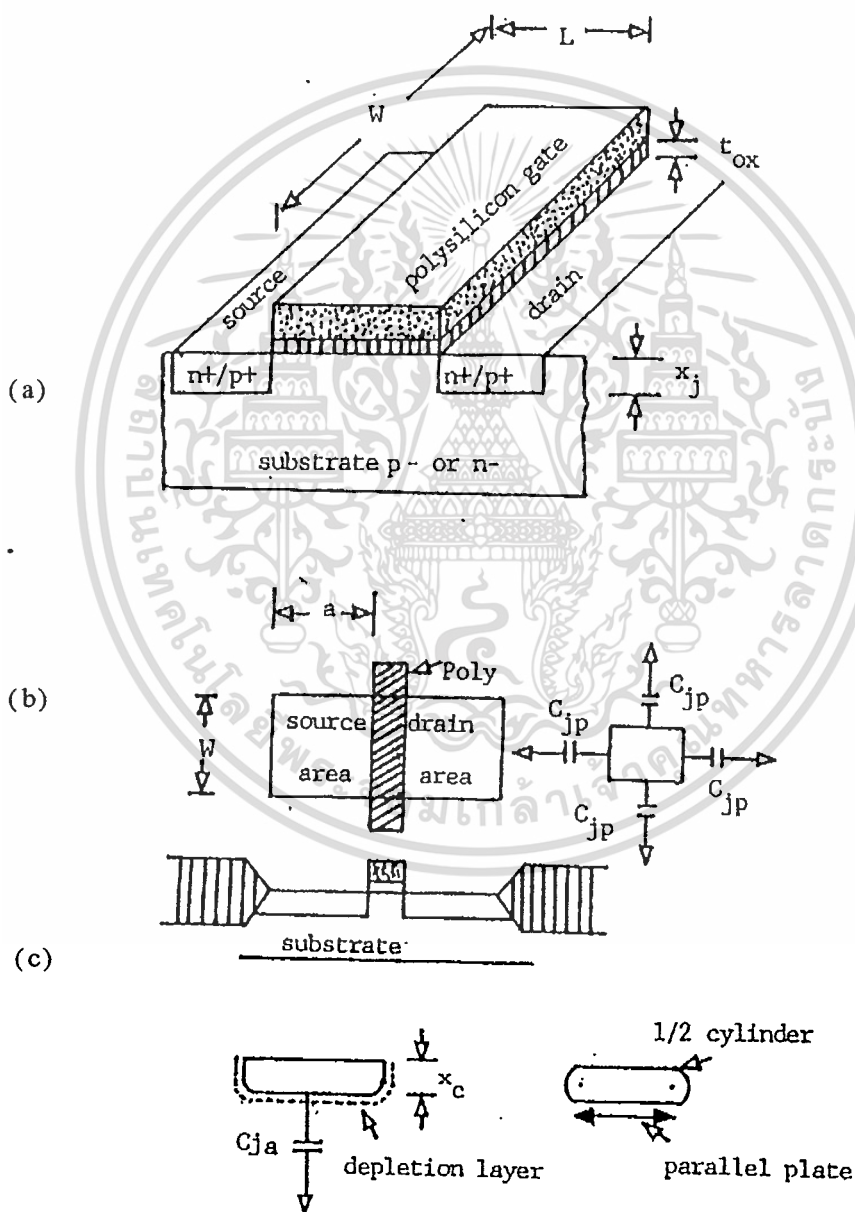
$$\begin{aligned} A_W &= x(a+1+a) \\ &= x(1+za) \end{aligned} \quad (2.22)$$

- พื้นที่ที่เพิ่มขึ้น โดยวิธีการเปลี่ยนความยาวของเกต

$$\begin{aligned} A_L &= w[(y/2)+(y/2)] \\ &= yw \end{aligned} \quad (2.23)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.8 (a) โครงสร้างอย่างง่าย
 (b) แผนผัง
 (c) พื้นที่และค่าเก็บประจุต่าง ๆ

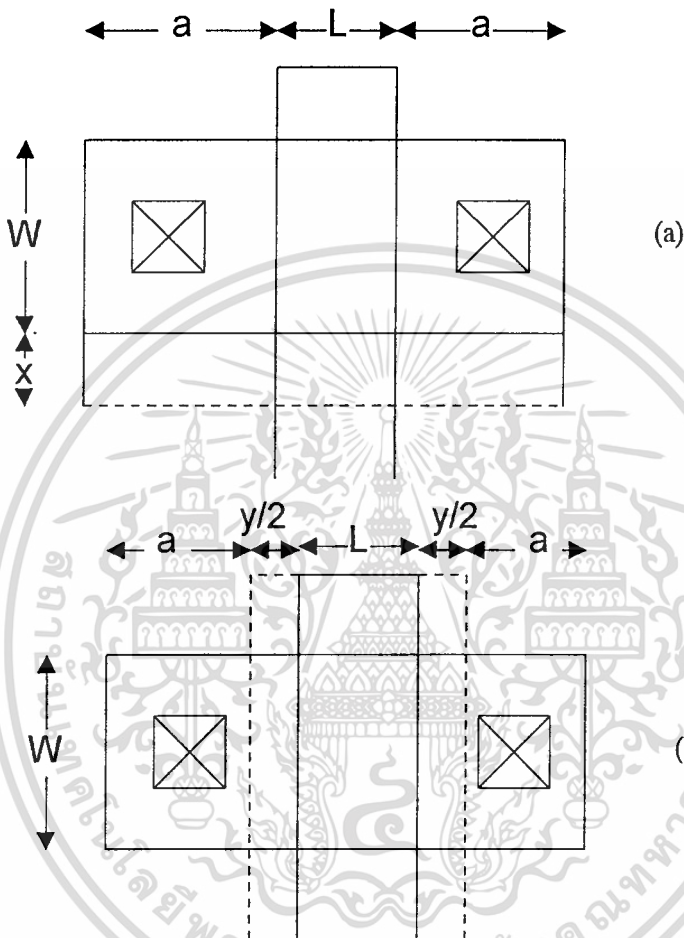


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.9 พื้นที่ที่เพิ่มขึ้นของทรานซิสเตอร์ โดยการเปลี่ยนแปลง

(a) ความกว้างของเกต

(b) ความยาวของเกต



สมมติว่า $x=y = 1 \mu\text{m}$ ดังนั้น

$$A_w = 1 + 2a \quad (2.24)$$

และ $A_L = w \quad (2.25)$

จากสมการเหล่านี้เห็นได้ชัดว่าพื้นที่ที่เพิ่มขึ้น โดยวิธีการเปลี่ยนแปลงความกว้างของเกต จะมีค่ามากกว่าการเปลี่ยนแปลงความยาวของเกต ดังนั้นการเปลี่ยนแปลงความยาวของเกตน่าจะเหมาะสมสำหรับการออกแบบไมโครชิปพื้นที่

2.3 ความเร็ว

ความเร็วในการทำงานถูกกำหนดโดยเวลาในการสวิตช์ หรือการปิดและเปิดเกต ซึ่งขึ้นอยู่กับ การประจุความจุโหลด (C_L) ให้มีค่าสักคาคดกร่อมเท่ากับ V_{OH} และการดิสชาร์จประจุโหลด จนสักคาคดลงเท่ากับ V_{OL} โดยสามารถจำแนกเวลาต่าง ๆ ได้ดังรูปที่ 2.10

- เวลาขึ้น t_r (Rise time) คือเวลาที่สัญญาณเอาต์พุตขึ้นจาก 10% ถึง 90%
- เวลาตก t_f (Fall time) คือเวลาที่สัญญาณเอาต์พุตลดจาก 90% เหลือ 10%
- เวลาคงผ่านเกต t_d (Gate propagation delay time) คือเวลาระหว่างสัญญาณขาเข้ามีค่า 50% และสัญญาณขาออกมีค่า 50% เท่ากัน หรือคือเวลาที่สัญญาณส่งผ่านจากด้านขาเข้าสู่ด้านขาออก โดยแบ่งเป็น 2 ประเภทคือ เวลาคงสัญญาณผ่านเกตเมื่อเอาต์พุตเปลี่ยนจาก $V_{OL} \rightarrow V_{OH}$ (t_{dr}) และเวลาคงสัญญาณผ่านเกตเมื่อเอาต์พุตเปลี่ยนจาก $V_{OH} \rightarrow V_{OL}$ (t_{df})

$$t_d = \frac{t_{dr} + t_{df}}{2} \quad (2.26)$$

ดังนั้นระดับสัญญาณที่เกี่ยวข้องกับนิยามข้างต้นจึงประกอบด้วย

- ระดับสัญญาณเอาต์พุต 10 %

$$V_{10\%} = V_{OL} + 0.1(V_{OH} - V_{OL}) \quad (2.27)$$

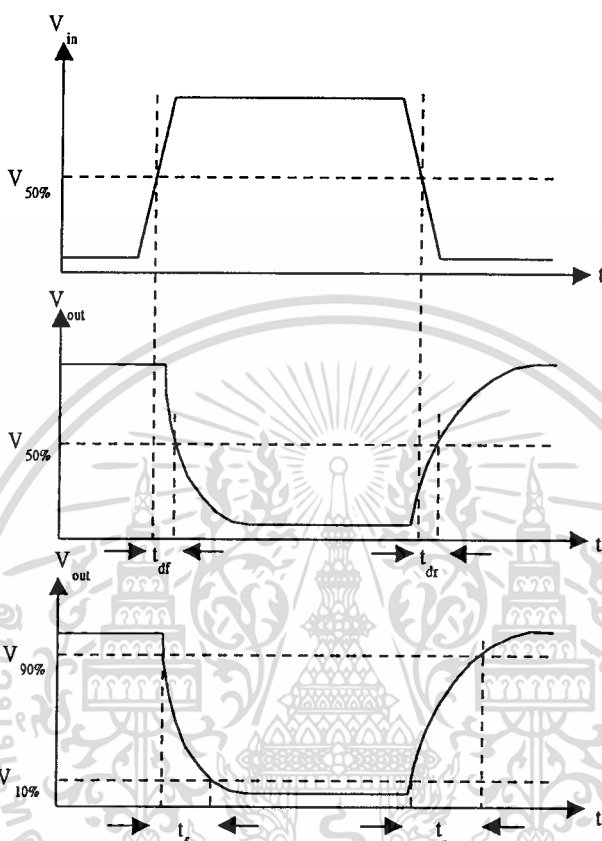
- ระดับสัญญาณเอาต์พุต 90 %

$$V_{90\%} = V_{OL} + 0.9(V_{OH} - V_{OL}) \quad (2.28)$$

- ระดับสัญญาณเอาต์พุต 50 %

$$V_{50\%} = V_{OL} + \frac{1}{2}(V_{OH} - V_{OL}) = \frac{1}{2}(V_{OH} + V_{OL}) \quad (2.29)$$

รูปที่ 2.10 แสดงพารามิเตอร์กำหนดเวลาต่าง ๆ



สำหรับวงจรรวมซีมอส แบบจำลองการหน่วงเวลาจะขึ้นอยู่กับประเภทของวงจรซึ่งได้แก่ วงจรประเภทซีควนเชียล(Sequential circuit) และวงจรประกอบ (Combinational circuit) ซึ่งอาจแบ่งย่อยลงไปอีกเป็นวงจรสแตติก หรือวงจรไดนามิกลอจิก ทั้งนี้เนื่องจากการตอบสนองสัญญาณและโครงสร้างวงจรที่แตกต่างกันทำให้แบบจำลองที่ได้แตกต่างกันไป นอกจากนี้แบบจำลองยังขึ้นกับระดับของการออกแบบ ซึ่งขึ้นกับว่าผู้ที่ออกแบบต้องการศึกษาพฤติกรรมของวงจรในระดับใดดังที่กล่าวไว้ในบทที่ 1

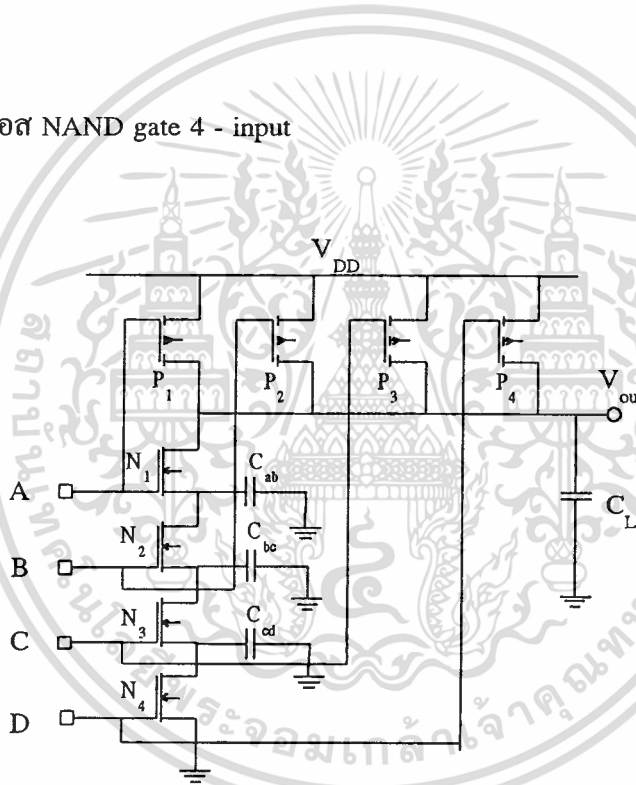
สำหรับวิทยานิพนธ์นี้แบบจำลองที่ให้เป็นแบบจำลองการหน่วงเวลาชนิด RC - tree โดยพิจารณาจากวงจรซีมอสสแตติกเกตซึ่งเป็นวงจรที่ใช้มากในวงจร VLSI วงจรนี้ประกอบด้วยวงจรมอสในส่วน pull - up และวงจเร็นมอสในส่วน pull - down ซึ่งโครงสร้างภายในของวงจรแต่ละส่วนจะถูกกำหนดโดยลอจิกฟังก์ชัน ด้วยการขนานและอนุกรมมอสทรานซิสเตอร์เพื่อให้เกิดการทำงานที่กำหนด เนื่องจากพิจารณาในรูปของ RC delay ดังนั้นความต้านทาน ซึ่งในที่นี้ก็คือความต้านทานสมมูลเชิงเส้นของทรานซิสเตอร์จึงเป็นการต่อขนาน/อนุกรมดังกล่าวด้วย ดังนั้นไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หากทรานซิสเตอร์ที่พิจารณามีขนาดเท่ากัน จึงสรุปได้ว่า ทรานซิสเตอร์อนุกรมกัน m ตัวและทำงานพร้อมกัน ความต้านทานแชนแนลจะเพิ่มขึ้น m เท่า ในทางกลับกัน หากทรานซิสเตอร์ขนานกัน m ตัวและทำงานพร้อมกัน ความต้านทานแชนแนลจะลดลง m เท่า ดังนั้น จาก

$$t_d = \sum_i R_i C_i$$

เมื่อ R_i และ C_i คือ ความต้านทานและความจุรวมที่จุด i ถึงแหล่งจ่ายไฟ หรือ กราวด์ สำหรับวงจรส่วน pull - up และ pull - down ตามลำดับ ตัวอย่างเช่น วงจร NAND 4 อินพุต ดังรูปที่ 2.11

รูปที่ 2.11 วงจรซีมอส NAND gate 4 - input



ดังนั้น

$$t_{df} = (R_{N1}C_{cd}) + [(R_{N1} + R_{N2})C_{bc}] + [(R_{N1} + R_{N2} + R_{N3})C_{ab}] + [(R_{N1} + R_{N2} + R_{N3})C_{out}]$$

$$t_{dr} = \frac{R_p C_{out}}{n}$$

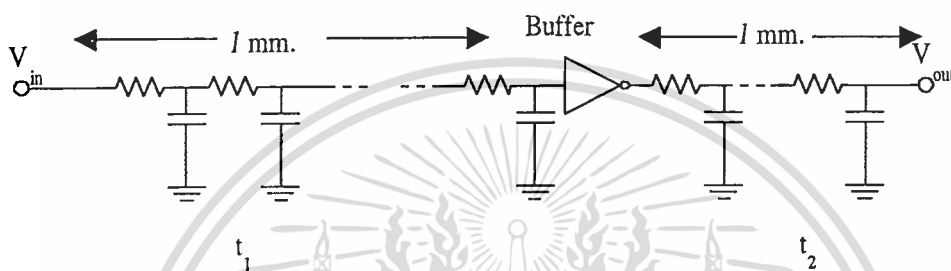
เมื่อ n คือจำนวน PMOS ที่ทำงานพร้อมกัน และ

$$R = \frac{2L}{\mu C_{ox} (V_{GS} - |V_T|)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ $\mu C_{ox} (V_{GS} - |V_T|)$ นั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบจำลองนี้ยังสามารถขยายออกไปเป็น Gate - interconnection delay โดยรวมการเชื่อมโยงภายในระหว่างเกต โดยเฉพาะเมื่อการเชื่อมโยงด้วยเส้นตัวนำมีขนาดยาวและความต้านทานสูง เช่น โพลีซิลิกอน ดังรูป 2.12

รูปที่ 2.12 แบบจำลองเส้นตัวนำและการแบ่งช่วง ที่มีการหน่วงเวลา RC ด้วยบัฟเฟอร์

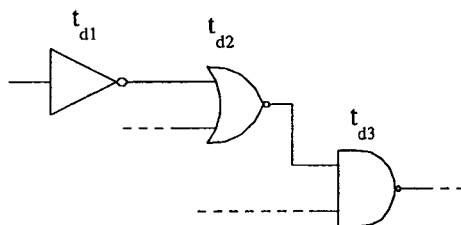


หากกำหนดให้ l คือความยาวของตัวนำ r, c เป็นความต้านทานและความจุต่อหน่วยความยาว ซึ่งขึ้นกับชนิดของตัวนำ ดังนั้นความหน่วงเวลา [Weste, [17]]

$$t = \frac{rcl^2}{2} \quad (2.31)$$

จากแบบจำลองดังกล่าวเป็นการพิจารณาในระดับของเซลล์ย่อย เมื่อนำมาประกอบขึ้นเป็นวงจรรวม VLSI การคำนวณดังกล่าวเป็นเรื่องที่ยู่ยากและไม่สามารถทำได้ เนื่องจากไม่สามารถทราบความต้านทานและความจุแฝงในแต่ละโนด ดังนั้น จึงมีอีกแนวคิดหนึ่ง คือแบบจำลองมาโคร โดยการแบ่งวงจรมหัพภาคใหญ่ออกเป็นเกทย่อย ๆ และหน่วยความจำ โดยถือว่าแต่ละเกตหรือเซลล์คือตัวหน่วงเวลาในวงจร และได้รับการจำลองผลจากโปรแกรมจำลองการทำงานก่อน เพื่อหาค่าหน่วงเวลาภายใน และค่าหน่วงเวลาที่ขึ้นกับขนาดความจุโหลด ข้อมูลนี้จะถูกเก็บร่วมกับข้อมูลอื่น เช่น ขนาด, ความจุที่เอาต์พุต และอินพุต ดังตารางที่ 2.3 [low power] จากนั้นจึงหาเวลาหน่วงของวงจรรวมตามต้องการแบบจำลองนี้ยังสอดคล้องกับแบบจำลองกำลังสูญเสียซึ่งได้วิเคราะห์ไว้ในหัวข้อก่อนหน้านี้อีกด้วย

รูปที่ 2.13 แนวคิดแบบจำลองมาโคร

ตารางที่ 2.3 Characteristics ของ CMOS เซลแบบประสิทธิภาพสูงเทคโนโลยี 0.8 μm [23]

Gate type	พื้นที่ (ต่อ unit cell)	ความจุเอาต์พุต (fF)	ความจุอินพุต (fF)	ค่าหน่วงเวลาเฉลี่ย (ns)
INV	2	85	48	$0.22 + 1.00C_0$
NAND2	3	105	48	$0.30 + 1.24C_0$
NAND3	4	132	48	$0.37 + 1.24C_0$
NOR2	3	101	48	$0.24 + 1.50C_0$

* C_0 คือ ค่าความจุรวมที่เอาต์พุต เมื่อประกอบขึ้นเป็นวงจรรวม

อย่างไรก็ตาม จะสังเกตได้ว่าทุกแบบจำลองต่างขึ้นอยู่กับ ความต้านทานช่องทางเดินกระแสของมอสทรานซิสเตอร์ ความจุแฝงภายใน และความจุโหลด การลดค่าหน่วงเวลาจึงทำได้ โดยการลดค่าดังกล่าวลง

2.4 ความสัมพันธ์ระหว่างออปติไมซ์แฟกเตอร์

ในการปรับปรุงประสิทธิภาพวงจร เมื่อพิจารณาถึงความเร็วในการทำงาน กำลังงานสูญเสีย และ พื้นที่วงจร พร้อม ๆ กัน จะพบว่า จากแบบจำลองซึ่งแทนเงื่อนไขดังกล่าว ต่างประกอบขึ้นหรือเป็นฟังก์ชันของ ขนาดทรานซิสเตอร์ ซึ่งเป็นตัวกำหนดค่าทรานคอนดักแตนซ์ ความต้านทานช่องทางเดินกระแส ความจุแฝง ตลอดจนคุณสมบัติอื่น ๆ ที่เกี่ยวข้องกับการทำงานของวงจร

สำหรับวงจรรวมแบบ VLSI สิ่งสำคัญคือพื้นที่วงจรที่น้อยที่สุด เมื่อพิจารณาถึงโครงสร้างพื้นที่วงจรจะสัมพันธ์กับความกว้าง(L)และความยาวทรานซิสเตอร์(W) ดังนั้นในทางเทคนิค โดยปกติจึงมักกำหนดให้ค่าความยาวของเกทมีค่าต่ำสุด (L_{\min}) ตามการออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$A \propto W * L \quad (2.32)$$

และเมื่อนำแนวความคิดของ Kang[15] ในการวัดกำลังสูญเสีย ซึ่งได้แสดงให้เห็นว่า กำลังงานสูญเสียแปรผันตรงกับกระแสจากแหล่งจ่ายและค่าทรานคอนดักแตนซ์ของทรานซิสเตอร์ซึ่งต่ออยู่กับแหล่งจ่ายไฟ และเมื่อพิจารณาถึงพลังงานสูญเสียด้วยแล้วจะพบว่า พลังงานสูญเสียครั้งหนึ่งในการเปลี่ยนสถานะก็เกิดขึ้นที่วงจรพีมอสในส่วน pull - up ซึ่งต่ออยู่กับแหล่งจ่าย

$$R = \left(\frac{L}{W} \right) \frac{2t_{ox}}{\mu\epsilon_0\epsilon_{ox}(V_{GS} - |V_T|)} \quad (2.33)$$

$$g_m = \left(\frac{W}{L} \right) \frac{\mu\epsilon_0\epsilon_{ox}(V_{GS} - |V_T|)}{t_{ox}} \quad (2.34)$$

$$P \propto \left(\frac{W}{L} \right) \quad (2.35)$$

ดังนั้นจึงกล่าวได้ว่าการลดกำลังสูญเสียของวงจรพีมอส ทำได้โดยปรับขนาดทรานซิสเตอร์เฉพาะที่ต่ออยู่กับแหล่งจ่าย

เงื่อนไขประการสุดท้ายคือ ความเร็วในการทำงาน ซึ่งมักถูกกำหนดโดยค่านับเวลาของวงจร โดยมีองค์ประกอบหลักคือค่าคงที่เวลาอันเนื่องมาจากความจุแฝงภายในและค่าคงที่เวลาจากความจุโหลด ซึ่งอาจเป็นความจุนอกชิป หรือ ผลรวมของความจุนินพุตของวงจรถัดไปก็ได้

$$t_d \propto R(C_{int} + C_{Load})$$

$$R = \left(\frac{L}{W} \right) \frac{2t_{ox}}{\mu\epsilon_0\epsilon_{ox}(V_{GS} - |V_T|)}; \quad (2.36)$$

$$C_{int} = (W * L)C_{ox}$$

หรือ

$$t_d \propto \frac{L}{W} (W * L + C_{load}) \quad (2.37)$$

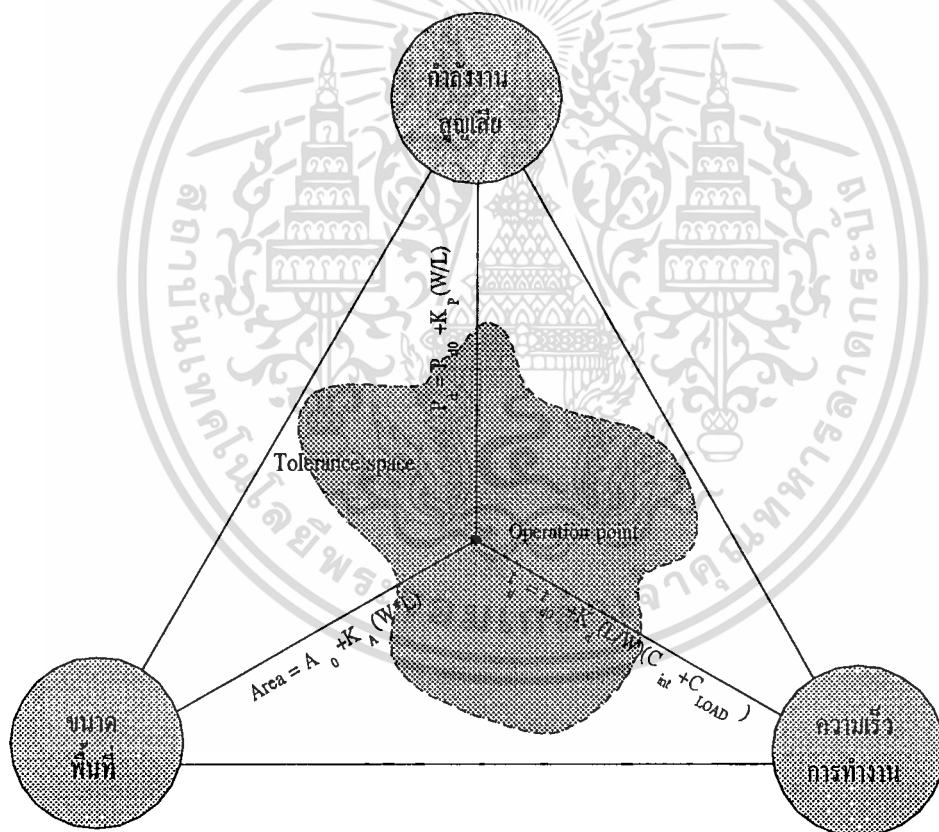
ดังนั้น เมื่อพิจารณาเฉพาะความสัมพันธ์ค่านับเวลากับขนาดทรานซิสเตอร์ สามารถแยกได้เป็น 2 กรณี คือ

$$t_d \propto \begin{cases} L^2 & : C_{int} \gg C_{load} \\ \frac{L}{W} & : C_{int} \ll C_{load} \end{cases} \quad (2.38)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยสรุปจะเห็นว่าทั้ง 3 เส้นไขต่างก็ขึ้นอยู่กับความกว้างและความยาวของทรานซิสเตอร์ ในลักษณะที่แตกต่างกัน การปรับเปลี่ยนขนาดอาจทำให้บางเส้นไขขัดแย้งแต่บางเส้นไขก็สอดคล้องกัน ซึ่งบางเส้นไขอาจเหมาะสมกับวงจรหนึ่ง ๆ เช่น วงจรที่ใช้เบตเตอร์เป็นแหล่งจ่ายหรือ วงจรประเภทพกพา ซึ่งต้องออกแบบให้มีลักษณะที่กินกำลังงานต่ำและขนาดเล็กเป็นสำคัญ ในขณะที่วงจรประเภทประมวลสัญญาณก็ต้องการลักษณะที่มีความเร็วสูง นอกจากนี้ การปรับเปลี่ยนพารามิเตอร์ (W, L) อาจทำให้บางเส้นไขเพิ่มขึ้นเพียงเล็กน้อย แต่บางเส้นไขกลับลดลงอย่างรวดเร็ว ทั้งนี้เนื่องจากความไม่เป็นเชิงเส้นของวงจร ดังนั้นผู้ออกแบบจึงต้องกำหนดเส้นไขที่ต้องการหรือขอบเขตที่ยอมรับได้ให้เหมาะสมกับประเภทการทำงานหรือชนิดวงจรที่กำลังออกแบบ

รูปที่ 2.14 ความสัมพันธ์ระหว่างออปติไมซ์แฟกเตอร์ และช่วงที่ยอมรับได้



หากกำหนดให้เส้นไขต่าง ๆ ในการออปติไมซ์ ซึ่งสัมพันธ์กับขนาดทรานซิสเตอร์ มีลักษณะเป็นฟังก์ชันเชิงเส้น โดยกำหนดให้เส้นไขหรือแฟกเตอร์ กำลังสูญเสีย ความเร็ว และพื้นที่ มีค่าคงที่ในอื่น ๆ ในฟังก์ชัน ของเป็น K_p , K_d และ K_A ตามลำดับ และให้ค่าเริ่มต้นก่อนมีการปรับเปลี่ยนขนาดทรานซิสเตอร์เป็น P_{d0} , t_{d0} และ A_0 ตามลำดับ ดังนั้นนักออกแบบสามารถกำหนดจุดทำงานภายใต้ขอบเขตที่ยอมรับได้ ดังแสดงในรูป 2.14

บทที่ 3

รูปแบบวงจรรวมที่ใช้ศึกษา

ในการออกแบบวงจรรวมมีซึ่งประกอบด้วยส่วนของวงจร โมดูลและ สัญญาณมากมายทั้ง อินพุตเอาต์พุต การจัดการสัญญาณนาฬิกาเพื่อให้ ทุกส่วนสามารถทำงานร่วมกันอย่างมีจังหวะ อย่างถูกต้อง โดยเฉพาะวงจรที่มีโครงสร้างแบบท่อส่งข้อมูล หรือการประมวลผลแบบขนาน และ ยังช่วยให้ระบบขึ้นตอนตามเวลา (Finite state machine :FSM) ซึ่งต้องมีการเก็บและประมวล ข้อมูล ในลักษณะของ Current state, Next state, สัญญาณอินพุตและเอาต์พุต ให้ทำงานอย่างถูกต้องตามที่กำหนดหรือออกแบบไว้ โดยปกติ เทคนิคการจัดการสัญญาณนาฬิกา (Clocking strategy) สามารถแบ่งออกเป็น ระบบสัญญาณนาฬิกาเฟสเดียว สอง สาม และ สี่เฟส แต่ละระบบ ก็เหมาะสำหรับรูปแบบวงจรต่าง ๆ ซึ่งจะกล่าวถึงในบทที่ 6 แม้ว่าการออกแบบระบบสัญญาณ นาฬิกาเฟสเดียวจะมีข้อยุ่งยาก แต่เนื่องจากใช้สัญญาณนาฬิกาเพียงเฟสเดียวทำให้ไม่เกิดปัญหาใน การเดินสายสัญญาณนาฬิกา และลดปัญหา clock skew และ transparency ของสัญญาณ ทำให้ สามารถเพิ่มความถี่ของสัญญาณนาฬิกาให้สูงขึ้นได้ ทั้งหมดนี้ทำให้ระบบสัญญาณนาฬิกาเฟสเดียว มีความเร็วในการประมวลสัญญาณสูงและนิยมใช้ในวงจร VLSI ในส่วนวงจรที่ต้องการความเร็ว สูงอีกด้วย

นอกจากสัญญาณนาฬิกา อุปกรณ์เก็บค่าประเภทต่าง ๆ เช่น Latch, register หรือ Edge-triggered D-flip-flop (ETDFF) ก็เป็นสิ่งจำเป็นในการจัดการสัญญาณต่าง ๆ ให้สอดคล้องกับสัญญาณ นาฬิกา ด้วยเหตุนี้ วงจรที่ทำหน้าที่เก็บค่านี้จึงปรากฏในทุกส่วนของวงจรที่มีสัญญาณนาฬิกา ดังนั้น ในการทดสอบแนวความคิดในการออกแบบด้วยเทคนิคที่น่าเสนอ วงจรสแตติกแลตช์จึง ถูกเลือกมาใช้ในการทดสอบ เหตุผลอีกประการหนึ่ง นอกเหนือจากเป็นวงจรที่พบมากในส่วนต่าง ๆ ของวงจรรวม คือ วงจรสแตติกแลตช์มักมีขนาดใหญ่และกินกำลังมาก ดังนั้นผลการทดสอบจึง พิสูจน์แนวความคิดที่น่าเสนอได้เป็นอย่างดี

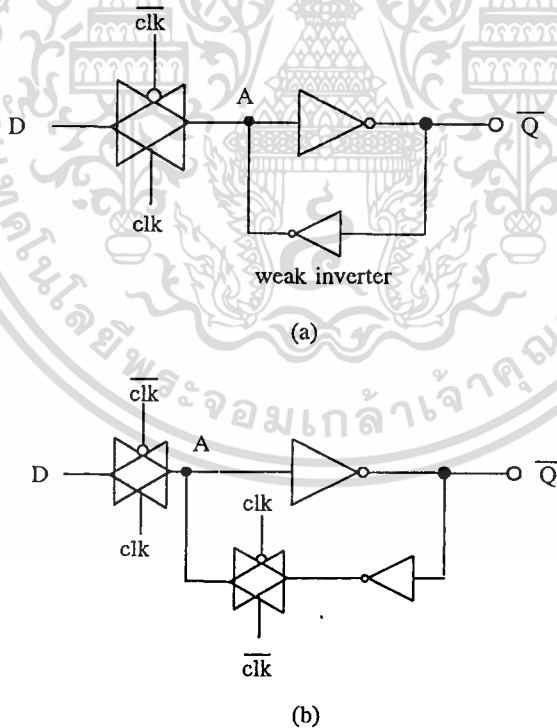
3.1 รูปแบบวงจรทั่วไป

วงจรถัดกั้นประกอบด้วยทรานซิสเตอร์ผ่าน ทำหน้าที่ผ่านสัญญาณในลักษณะอนาล็อกสวิตช์ ซึ่งถูกควบคุมด้วยสัญญาณนาฬิกา อาจประกอบขึ้นจากเอ็นมอสและพีมอสทรานซิสเตอร์หรือที่เรียกว่า Transmission gate หรือ เป็นเพียงเอ็นมอสทรานซิสเตอร์เพียงตัวเดียว แม้ว่า Transmission gate จะทำหน้าที่ผ่านสัญญาณได้ดีกว่า ทรานซิสเตอร์ผ่าน (เอ็นมอส) เพียงตัวเดียว แต่ก็ต้องใช้สัญญาณนาฬิกาทั้ง clk และ \overline{clk} และนอกจากทรานซิสเตอร์ผ่าน วงจรยังประกอบด้วยส่วนที่เก็บข้อมูล โดยอาศัยการป้อนกลับของสัญญาณเอาต์พุต

รูปที่ 3.1 วงจรซีมอสสแตติกแลตช์แบบสัญญาณนาฬิกาเดี่ยว

(a) cross- coupled inverters latch

(b) transmission- gate latch



นอกจากค่าหน่วยเวลาที่ได้นิยามไว้ในบทที่ 2 สำหรับวงจรหน่วยความจำหรือวงจรคงค่าระดับสัญญาณ จำเป็นต้องมีการนิยามค่าหน่วยเวลาเพิ่มเติม เพื่อใช้ในการอธิบายพฤติกรรมของวงจร จากรูปสัญญาณเอาต์พุตจะเปลี่ยนตามสัญญาณอินพุตเมื่อ clk มีค่าเป็น '1' สัญญาณอินพุต D จะต้องคงที่ก่อนการเปลี่ยนค่าสัญญาณนาฬิกา ซึ่งเรียกว่า ช่วง $setup\ time$ ซึ่งปกติจะมีค่าต่ำ นอก
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากนี้ช่วงหน่วงเวลาระหว่างสัญญาณอินพุตจนถึงโหนดที่เก็บค่าสัญญาณ (จุด A) และสามารถคงค่าไว้ได้ เรียกว่า ช่วง Hold time ช่วงเวลานี้เป็นช่วงที่สัญญาณอินพุตต้องคงที่ หลังจากที่มีการเปลี่ยนสัญญาณนาฬิกา

วงจรในรูป 3.1 แสดงวงจรสแตติกแลตช์ หรือ level - sensitive latch รูป (a) ประกอบด้วย weak inverter ใช้ในการป้อนกลับสัญญาณ คุณสมบัติทางสแตติก ระดับสัญญาณที่ A จะมีค่าคงที่ ตราบใดที่สัญญาณรบกวนยังอยู่ในช่วงของ Signal noise margin ขนาดของอินเวอร์เตอร์ป้อนกลับควรมีค่า W/L ต่ำ ทั้งเอ็นมอสและพีมอสทรานซิสเตอร์ เนื่องจากการป้อนกลับตลอดเวลา การเปลี่ยนสถานะ สัญญาณอินพุตจะต้องสามารถสามารถขับให้อินเวอร์เตอร์ตัวบนเปลี่ยนสถานะได้ โดยสามารถเอาชนะสัญญาณป้อนกลับ นอกจากนี้ อินเวอร์เตอร์ป้อนกลับจะต้องมีการออกแบบอย่างดี เพื่อให้มี fanout สูงสุด

ปัญหาดังกล่าวสามารถหลีกเลี่ยงได้โดยปรับปรุงช่วงเวลาการป้อนกลับ ดังรูป 3.1(b) ด้วยการเพิ่มทรานซิสเตอร์ผ่านเข้าไปในส่วนป้อนกลับ เมื่อ $clk = 1$ สัญญาณผ่านไปยัง storage node (จุด A) ผ่านอินเวอร์เตอร์และเอาต์พุตตามลำดับ ช่วงเวลาหน่วงของสัญญาณคือค่าหน่วงเวลาจากทรานซิสเตอร์ผ่านและ ค่าหน่วงเวลาผ่านเกทของอินเวอร์เตอร์หลัก หรือ ค่า setup time เมื่อ $clk = 0$ (หรือช่วง latch mode) สัญญาณเอาต์พุตจะถูกป้อนกลับที่วงจรระดับสัญญาณไว้ เวลาตั้งแต่เกิดการเปลี่ยนสัญญาณนาฬิกาจนเมื่อแลตช์สามารถคงค่าที่ได้อย่างถูกต้อง ช่วงเวลาดังกล่าวคือ hold time หลังจากที clk เปลี่ยนจาก $1 \rightarrow 0$ สักคาที่จุด A และ เอาต์พุต จะถือเป็นค่าแรกเริ่มของระบบป้อนกลับ ค่าแรกเริ่มนี้ทำให้พฤติกรรมของระบบป้อนกลับเปลี่ยนไป ซึ่งจะได้อีกกล่าวถึงในหัวข้อต่อไป

จากวงจรในรูป 3.1(b) สามารถขยับการต่อวงจรด้วย การรวมอินเวอร์เตอร์ป้อนกลับและทรานซิสเตอร์ผ่านเข้าด้วยกัน เป็นวงจรแบบ C^2MOS ทั้งนี้เพื่อลดเส้นสั้นโลหะให้เหลือน้อยลง โดยไม่ทำให้การทำงานผิดพลาดและ ยังลดขนาดของวงจรให้เล็กลงอีกด้วย ผลคือได้วงจรดังรูปที่ 3.2

3.2 การทำงานของวงจรซีมอสสแตติกแลตช์

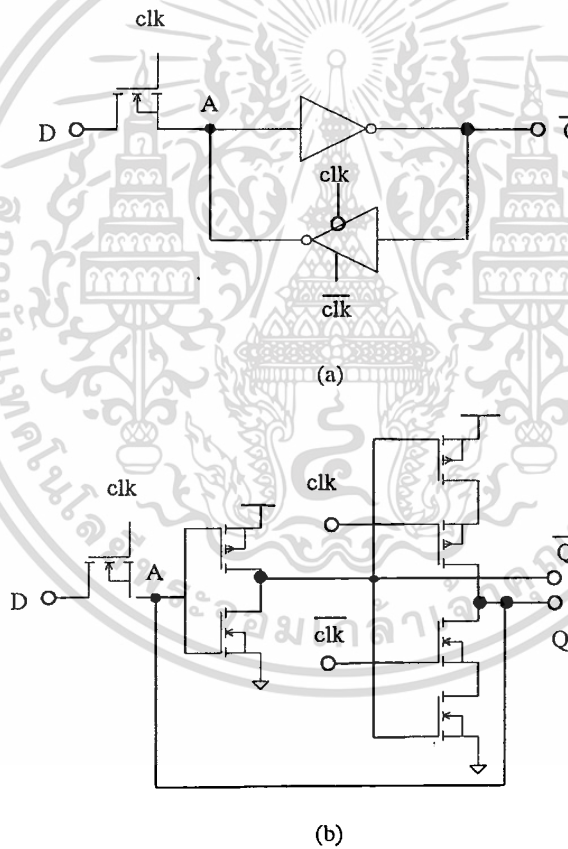
การทำงานของวงจร เริ่มจากทรานซิสเตอร์ผ่าน ซึ่งทำหน้าที่เป็นสวิตช์ผ่านสัญญาณและแยกสัญญาณ โดยมีโครงสร้างที่เรียบง่าย ซึ่งมักใช้เอ็นมอสทรานซิสเตอร์ โดยจะนำกระแสเมื่อป้อน '1' เข้าที่ขาเกต ทรานซิสเตอร์ผ่านชนิดนี้ส่งผ่านสัญญาณลอจิก '0' ได้ดี แต่การส่งผ่าน

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น มิอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณลอจิก '1' จะถูกลดทอนด้วยค่าแรงดันเทรชโฮลด์ (V_{TH}) เพื่อทำให้เกิดช่องทางเดินกระแสบริเวณขาออก ตลอดจนผลจากปรากฏการณ์ body effect นอกจากนี้ เนื่องจากการเชื่อมต่อที่ปลายซอร์สและเดรน เป็นลักษณะสมมาตรสองทิศทาง ดังนั้นศักดาที่ปลายทั้งสองจึงขึ้นกับอิมพีแดนซ์ที่ปลายแต่ละข้าง โดยปกติ มักกำหนดให้ด้านหนึ่งมีอิมพีแดนซ์สูง และด้านหนึ่งมีอิมพีแดนซ์ต่ำ เมื่อสัญญาณที่ขาเกิดเป็น '1' ระดับสัญญาณที่ปลายซอร์สและเดรน จะเท่ากับศักดาที่ปลายด้านที่มีอิมพีแดนซ์ต่ำ

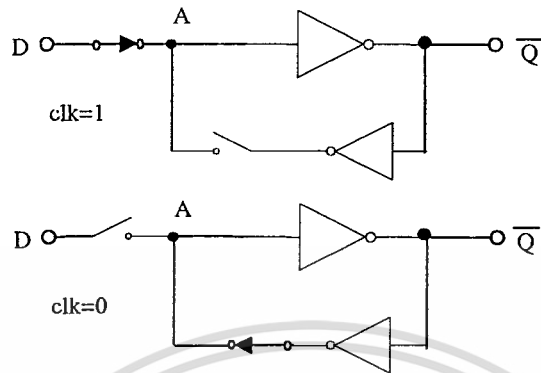
รูปที่ 3.2 (a) วงจรสแตติกแลตช์เมื่อลครูปลง

(b) วงจรภายใน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.3 การทำงานของสมตติกลแลทซ์



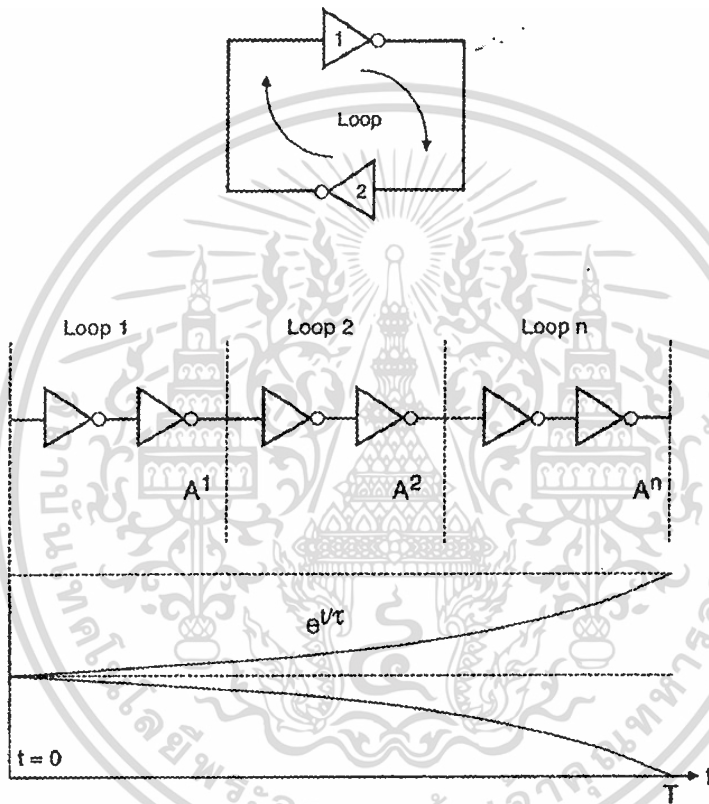
จากการแบบจำลองเงื่อนไขต่างๆ ในการออปติไมซ์ ซึ่งได้แสดงให้เห็นว่าเป็นฟังก์ชันกับขนาดของพีทรานซิสเตอร์ที่ต่ออยู่กับแหล่งจ่าย อย่างไรก็ตาม โครงสร้างวงจรซึ่งเป็นตัวกำหนดพฤติกรรมการตอบสนองสัญญาณยังส่งผลให้ความสัมพันธ์ระหว่างออปติไมซ์เฟลคเตอร์เปลี่ยนไปพิจารณาได้จากแบบจำลองค่าหน่วงเวลาที่ได้กล่าวถึง อาศัยแนวคิดในการส่งผ่านสัญญาณและค่าหน่วงเวลาจากค่าคงที่เวลา RC เมื่อนำมาเปรียบเทียบกับวงจรตัวอย่างในรูปที่ 3.3 จะพบว่าแบบจำลองค่าหน่วงเวลาจะเป็นจริงก็เฉพาะเมื่อ clk มีค่าเท่ากับ '1' เท่านั้น และเมื่อ clk มีค่าเท่ากับ '0' โครงสร้างของวงจรเปลี่ยนไป เกิดการป้อนกลับสัญญาณทำให้แบบจำลองค่าหน่วงเวลาเปลี่ยนไปโดยขึ้นกับระบบป้อนกลับ เนื่องจาก การป้อนกลับทำให้เกิดภาวะกึ่งเสถียร (meta stable) และปรากฏการณ์อื่น ๆ เช่น Miller effect หรือ Bootstrapping [17] ของอินพุตคาปาซิแตนซ์ รวมทั้งความต้านทานลบ [26] ดังนั้นค่าหน่วงเวลาจึงขึ้นกับค่าคงที่เวลาในการลู่ออกของสัญญาณ ดังรูป 3.4 ค่าหน่วงเวลาที่เพิ่มขึ้น ทำให้เกิดช่วงสภาวะกึ่งเปิดกึ่งปิดของเกท ดังนั้นกระแสลัดวงจรเป็นผลให้เกิดกำลังงานสูญเสียเพิ่มขึ้นด้วย

เมื่อ $clk = 0$ โดยพิจารณาว่า สัญญาณนาฬิกาทำให้ทรานซิสเตอร์ซึ่งทำหน้าที่เป็นสวิตช์เกิดการนำกระแสเต็มที ดังนั้นเพื่อให้การวิเคราะห์วงจรทำได้สะดวกขึ้น จึงพิจารณาเพียงคู่ซิมอสอินเวอร์เตอร์ โดยละเลยค่าความต้านทานสวิตช์ ดังรูปที่ 3.5(a) สักคาเอาต์พุตของ INV1 จะมีค่าเท่ากับสักคาอินพุตของ INV 2 และ สักคาเอาต์พุตของ INV2 ก็มีค่าเท่ากับสักคาอินพุตของ INV1 ดังนั้นผลการตอบสนองสัญญาณของ INV1 และ INV2 แสดงให้เห็นดังรูปที่ 3.5(b) ซึ่งคุณลักษณะการถ่ายโอนสักคาทำให้เกิดจุดตัด 3 จุด INV1 และ INV2 จะเกิดการเปลี่ยนระดับสัญญาณจาก จุด Stable ผ่าน จุด Unstable เข้าสู่จุด Stable อีกจุด เมื่อสัญญาณอินพุตมีค่ามากกว่าค่า Static

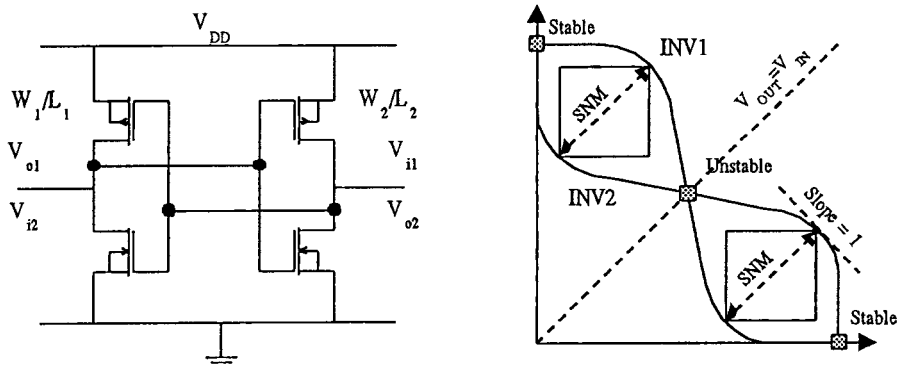
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

noise margins (SNM) ซึ่งกำหนดจากค่าการถ่ายโอนแรงดัน หรือ ความชันของกราฟซึ่งมีค่าเท่ากับ 1 ดังนั้นค่า SNM จึงแสดงความสามารถในการกำจัดหรือทนต่อสัญญาณรบกวน

รูปที่ 3.4 การส่งผ่านสัญญาณภายในลูปปิด



รูปที่ 3.5 (a) Cross-Coupled Inverters (b) การถ่ายโอนสัญญาณ

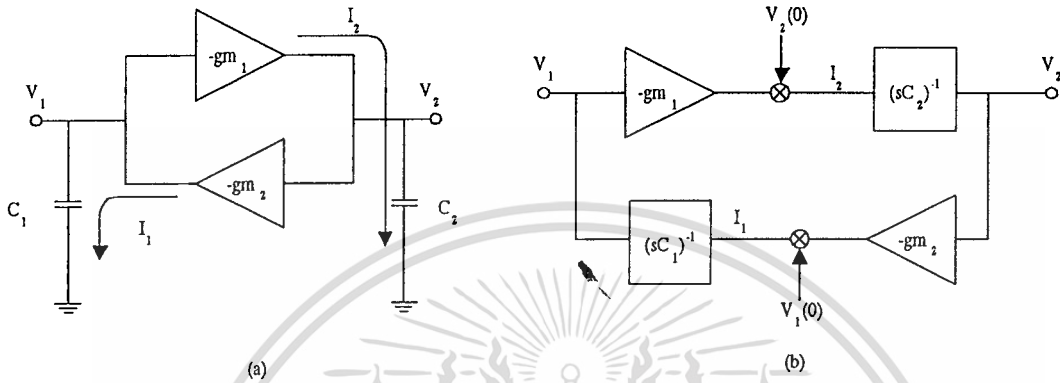


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.6 Cross - Coupled Inverters

(a) แบบจำลองทางไฟฟ้า

(b) แบบจำลองในระบบควบคุม



การทำงานของวงจรในรูปที่ 3.5(a) สามารถแทนด้วยแบบจำลองในรูปที่ 3.6(a) ซึ่งได้จากการวิเคราะห์สัญญาณขนาดเล็ก โดยค่า gm แทนค่าทรานคอนดักแตนซ์ของซีมอสอินเวอร์เตอร์ เนื่องจากคุณสมบัติอินพุตอิมพีแดนซ์สูงของวงจรซีมอส กระแสป้อนกลับ (I_1) ทั้งหมดจึงป้อนเข้าสู่ C_1 เช่นเดียวกัน I_2 ก็ไหลเข้าสู่ C_2 โดยที่ C_1 แทน C_{G1} และ ความจุขาออกของซีมอสอินเวอร์เตอร์ตัวล่าง และ C_2 แทนโหลดคาปาซิแตนซ์ (C_L), C_{G2} และ ความจุขาออกของซีมอสอินเวอร์เตอร์ตัวบน ดังนั้น

$$\begin{aligned} -gm_2 V_2 &= C_1 \frac{dV_1}{dt} \\ -gm_1 V_1 &= C_2 \frac{dV_2}{dt} \end{aligned}$$

เมื่อทำการแปลง Laplace โดยกำหนดให้ศักดาเริ่มแรกมีค่าเท่ากับ $V_1(0)$ และ $V_2(0)$

$$\begin{bmatrix} s & \frac{gm_2}{C_1} \\ \frac{gm_1}{C_2} & s \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} V_1(0) \\ V_2(0) \end{bmatrix}$$

$$\therefore V_2(s) = \frac{sV_2(0) - \frac{gm_1}{C_2} (V_1(0))}{s^2 - (1/\tau)^2} \quad (3.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อคำนวณหาค่าคงที่ (τ) เท่ากับ $(\frac{C_1 C_2}{g m_1 g m_2})^{1/2}$ เมื่อทำการแปลงอินเวอร์ต Laplace

$$V_2(t) = \frac{1}{2} [V_2(0) - (\frac{C_1 g m_1}{C_2 g m_2})^{1/2} V_1(0)] e^{\frac{t}{\tau}} + \frac{1}{2} [V_2(0) + (\frac{C_1 g m_1}{C_2 g m_2})^{1/2} V_1(0)] e^{-\frac{t}{\tau}} \quad (3.2)$$

และ

$$V_1(t) = \frac{1}{2} [V_1(0) - (\frac{C_2 g m_2}{C_1 g m_1})^{1/2} V_2(0)] e^{\frac{t}{\tau}} + \frac{1}{2} [V_1(0) + (\frac{C_2 g m_2}{C_1 g m_1})^{1/2} V_2(0)] e^{-\frac{t}{\tau}} \quad (3.3)$$

ดังนั้น เมื่อเวลาผ่านไป ($t \gg \tau$)

$$V_2(t) \approx \frac{1}{2} [V_2(0) - (\frac{C_1 g m_1}{C_2 g m_2})^{1/2} V_1(0)] e^{\frac{t}{\tau}} \quad (3.4)$$

$$V_1(t) \approx \frac{1}{2} [V_1(0) - (\frac{C_2 g m_2}{C_1 g m_1})^{1/2} V_2(0)] e^{\frac{t}{\tau}} \quad (3.5)$$

สมการข้างต้นเป็นจริงเมื่อทรานซิสเตอร์ผ่านหุคนำกระแส และแลตซ์เข้าสู่ช่วงการคงค่าระดับสัญญาณ ดังนั้น ศักดาแรกเริ่ม $V_1(0)$ และ $V_2(0)$ จึงแทนด้วยค่าศักดาที่ปลายทั้งสองทันทีที่สัญญาณ clk เข้าสู่ '0'

3.3 ปัญหา meta-stable

จากการทำงานของวงจรสแตติกแลตซ์ เมื่อ $clk = 0$ วงจรจะถูกป้อนกลับในลักษณะ cross - coupled inverters ซึ่งปรกติวงจร จะทำหน้าที่เก็บระดับสัญญาณโดยให้ระดับสัญญาณเอาต์พุตตรงข้ามกับอินพุต จากสมการที่ 3.1 และ 3.2 ซึ่งได้จากการวิเคราะห์สัญญาณขนาดเล็กสามารถเขียนอยู่ในรูปของฟังก์ชันไฮเพอร์โบลิก ดังสมการที่ 5.1 และ 5.2 ตามลำดับ

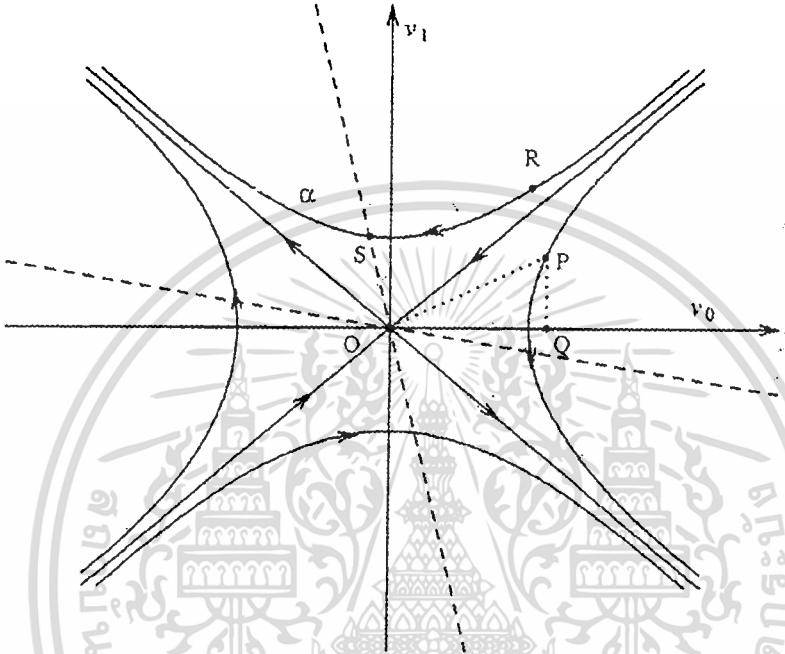
$$V_2(t) = V_2(0) \cosh\left(\frac{t}{\tau}\right) - \left(\frac{C_1 g m_1}{C_2 g m_2}\right)^{1/2} V_1(0) \sinh\left(\frac{t}{\tau}\right) \quad (3.6)$$

$$V_1(t) = V_1(0) \cosh\left(\frac{t}{\tau}\right) - \left(\frac{C_2 g m_2}{C_1 g m_1}\right)^{1/2} V_2(0) \sinh\left(\frac{t}{\tau}\right) \quad (3.7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อวิเคราะห์เป็นพารามตริกฟังก์ชันขึ้นกับเวลา (normalize time : $\frac{t}{\tau}$) ได้ดังรูป

รูปที่ 3.7 การลู่เข้าสู่สถานะสุดท้ายของวงจรแลตซ์



รูปที่ 3.7 แสดงการลู่เข้าสู่สถานะสุดท้ายของ V_1 และ V_2 ถ้าสถานะเริ่มแรกเป็นจุด R ทั้ง V_1 และ V_2 จะลดพร้อมกัน จนกระทั่ง V_1 มีค่าต่ำสุดที่จุด S จากนั้น V_1 เริ่มมีค่าเพิ่มขึ้น ในขณะที่ V_2 ยังคงลดลงต่อไป จนเมื่อเวลาผ่านไป $V_1 \rightarrow -\infty$ และ $V_2 \rightarrow \infty$ แต่จากความไม่เป็นเชิงเส้นของวงจร (ขนาดของแหล่งจ่าย) ทำให้ V_1 และ V_2 เข้าสู่สถานะสุดท้ายที่ V_{SS} และ V_{DD} ตามลำดับในที่สุด

ช่วงเวลาที่ V_1 และ V_2 มีการเปลี่ยนแปลงในลักษณะเดียวกัน เช่นช่วงเวลาดังแต่ R→S ซึ่ง V_1 และ V_2 จะลดลงพร้อมกัน การทำงานของวงจรในลักษณะนี้ ถูกกำหนดเป็นการทำงานแบบ Common mode ในขณะที่เมื่อ V_1 และ V_2 มีการเปลี่ยนแปลงต่างกัน (เช่น $t > S$) การทำงานจะอยู่ในลักษณะ Differential mode จากรูป 3.6 จะพบว่าบางกรณีเมื่อเวลาผ่านไป $V_1(\infty)$ และ $V_2(\infty)$ สถานะสุดท้ายของระบบไม่ได้ลู่เข้าทั้ง V_{DD} และ V_{SS} ในลักษณะ Differential mode แต่ลู่เข้าสู่ค่าระหว่าง V_{DD} และ V_{SS} หรือศักดา 0 V. (ทาง AC) ดังนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\lim_{t \rightarrow \infty} V_2(t) = V_2(0) \lim_{t \rightarrow \infty} \cosh\left(\frac{t}{\tau}\right) - \left(\frac{C_1 g m_1}{C_2 g m_2}\right)^{1/2} V_1(0) \lim_{t \rightarrow \infty} \sinh\left(\frac{t}{\tau}\right) = 0$$

$$\therefore \frac{V_2(0)}{V_1(0)} = \left(\frac{C_1 g m_1}{C_2 g m_2}\right)^{1/2} \quad (3.8)$$

และเมื่อ t ผ่านไป V_2 และ V_1 จะค้างอยู่ในจุด Q หรือเกิดสภาวะกึ่งเสถียร (metastable) อย่างไรก็ตามวงจรไม่สามารถจะอยู่ในสถานะนี้ได้เนื่องจากความไม่เสถียรภาพของระบบ สัญญาณรบกวนจะเป็นตัวกระตุ้นให้ V_2 และ V_1 เปลี่ยนไป ทำให้ สถานะสุดท้ายเข้าสู่ V_{SS} หรือ V_{DD} โดยไม่สามารถควบคุมหรือทำนายได้

นอกจากโครงสร้างของระบบจะเป็นตัวกำหนดพฤติกรรมและสถานะสุดท้ายของระบบ สถานะแรกเริ่ม ($V_2(0)$ และ $V_1(0)$) ยังเป็นตัวกำหนดสถานะสุดท้ายด้วย ค่าแรกเริ่มนี้ถูกกำหนดจาก Setup time ของวงจรแลตซ์ ดังรูป 3.8

อย่างไรก็ตาม เมื่อพิจารณาว่า วงจรมี setup time เพียงพอที่ทำให้วงจรทำงานได้อย่างถูกต้อง ดังนั้นจากสมการ 3.8 วงจรจะทำงานอย่างถูกต้องเมื่อเทอมที่ 2 มีค่ามากกว่าเทอมแรก โดยสังเกตได้จากค่าศักดาลบที่ได้เมื่อเวลาผ่านไป ซึ่งแสดงถึงการกลับเฟสของสัญญาณอินพุต ดังนั้นเพื่อให้วงจรทำงานได้อย่างถูกต้องจึงมักออกแบบให้ $\left(\frac{C_1 g m_1}{C_2 g m_2}\right)^{1/2} \gg 1$ โดยองค์ประกอบหลักของ C_1 และ C_2 คือ C_{G1} และ $C_{G2} + C_L$ ตามลำดับ นอกจากนี้ C_G และ gm ยังมีค่าไม่คงที่ซึ่งเปลี่ยนแปลงขึ้นกับช่วงการทำงานของทรานซิสเตอร์

$$C_G \propto WLC_{ox}$$

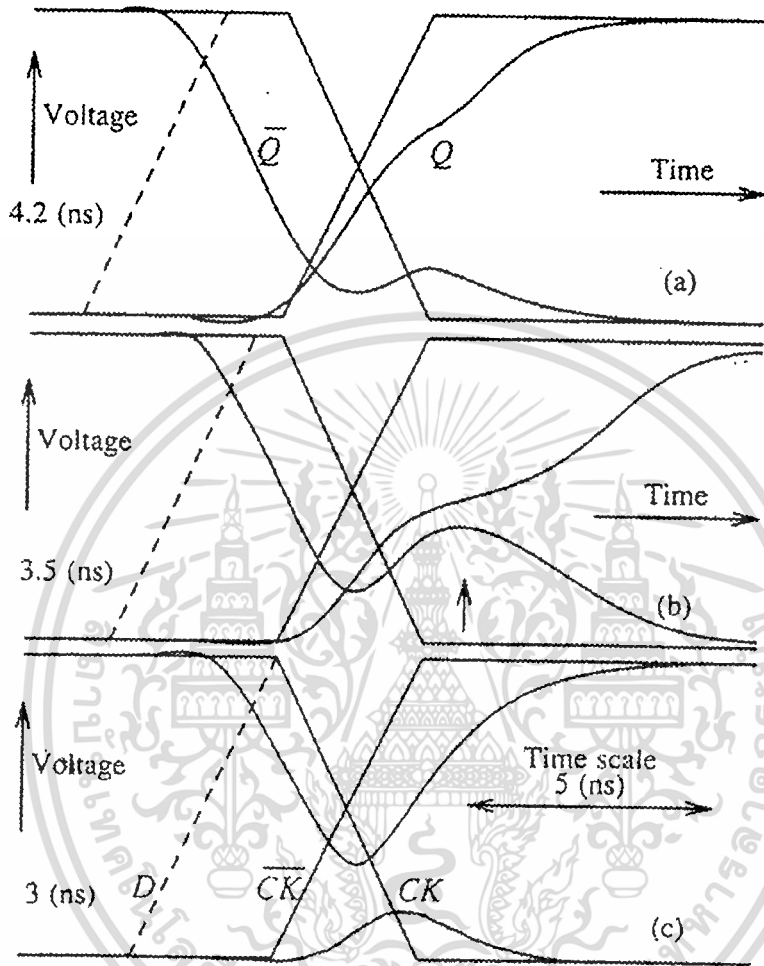
$$gm \propto \beta \quad \text{หรือ} \quad gm \propto \frac{W}{L} \left(\frac{\mu\epsilon}{t_{ox}}\right)$$

ดังนั้นในการออกแบบให้วงจรทำงานได้อย่างถูกต้องจำเป็นต้องออกแบบให้ $C_{G1} g m_1 \gg (C_{G2} + C_L) g m_2$ นั้นหมายถึงต้องออกแบบให้วงจรมีค่า $W_1 \gg W_2$ ในกรณีที่ C_L มีค่าต่ำๆ คือ $C_L \ll C_{G2}$ และต้องออกแบบให้

$$C_{G1} \frac{W_1}{L_1} \gg C_L \frac{W_2}{L_2} \quad (\text{ในกรณีที่ } C_L \text{ มีค่าสูง}) \quad (3.9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.8 การเปลี่ยนสถานะและการเข้าสู่สถานะสุดท้ายของแลตช์เมื่อ setup time เปลี่ยนไป



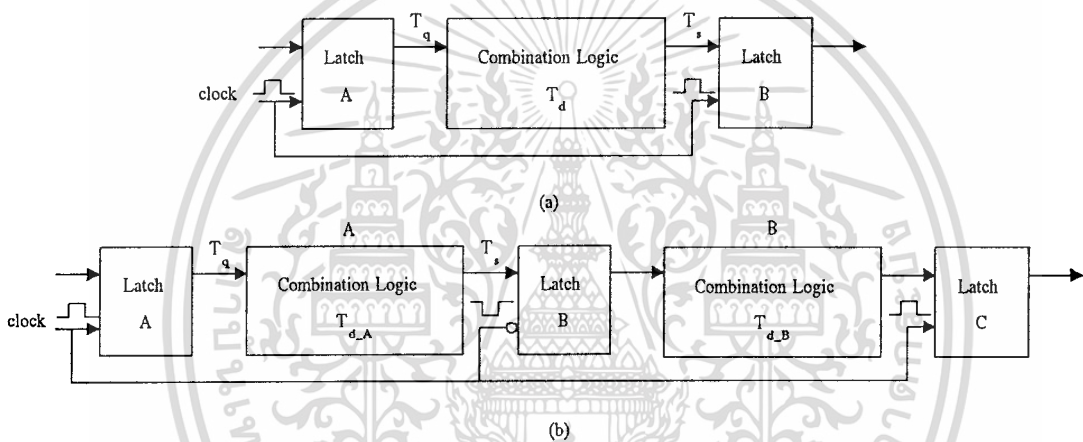
3.4 เทคนิคการออกแบบวงจรซิมูเลชันความเร็วสูง

มีหลายวิธีในการเพิ่มความเร็วให้กับวงจรรวมซิมูเลชัน เช่น การกำหนดขนาดอุปกรณ์, การเลือกรูปแบบวงจร, การจัดการสัญญาณนาฬิกา, การจัดโครงสร้างหรือสถาปัตยกรรมของวงจรรวมทั้งระบบ หรือ การกระจายสัญญาณนาฬิกาไปยังส่วนต่าง ๆ ของวงจร เป็นต้น แต่เนื่องความเร็วในการทำงานของวงจรถูกจำกัดด้วยค่าหน่วงเวลาผ่านเกต การกำหนดขนาดทรานซิสเตอร์จึงถูกนำมาใช้เพื่อเพิ่มความเร็ว ไม่ว่าจะการปรับขนาดทรานซิสเตอร์บางตัว ซึ่งเป็นวิธีที่น่าเสนอในวิทยานิพนธ์นี้ หรือวิธีการลดขนาด (scaling down) ซึ่งแปรผกผันกับค่า scaling factor (α) โดยไม่ทำให้คุณสมบัติการตอบสนองสัญญาณเปลี่ยนไป อย่างไรก็ตามวิธีการดังกล่าวก็ถูกจำกัดด้วยขนาดที่ลดลง, เทคโนโลยีขั้นสูง และ ราคาที่เพิ่มขึ้น ดังนั้น วิธีที่เป็นที่นิยมในการเพิ่มความเร็วคือ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้เทคนิคต่าง ๆ ร่วมกัน กับขบวนการที่มีต้นทุนการผลิตไม่สูงนัก เช่นวิธีการจัดสัญญาณนาฬิกาซึ่งเป็นการออกแบบในระดับวงจร และ การจัดวงจร เช่นการประมวลผลแบบขนานหรือการใช้ โครงสร้างแบบท่อส่งข้อมูล (Pipeline system) [17]

รูปที่ 3.9 ระบบใช้สัญญาณนาฬิกา แบบระบบท่อข้อมูล (Pipe lined system)

- (a) ระบบท่อข้อมูลที่ใช้วงจรแลทช์
(b) การต่ออนุกรมแลทช์แบบกลับเฟสกันกลุ่มวงจรลอจิกประกอบ



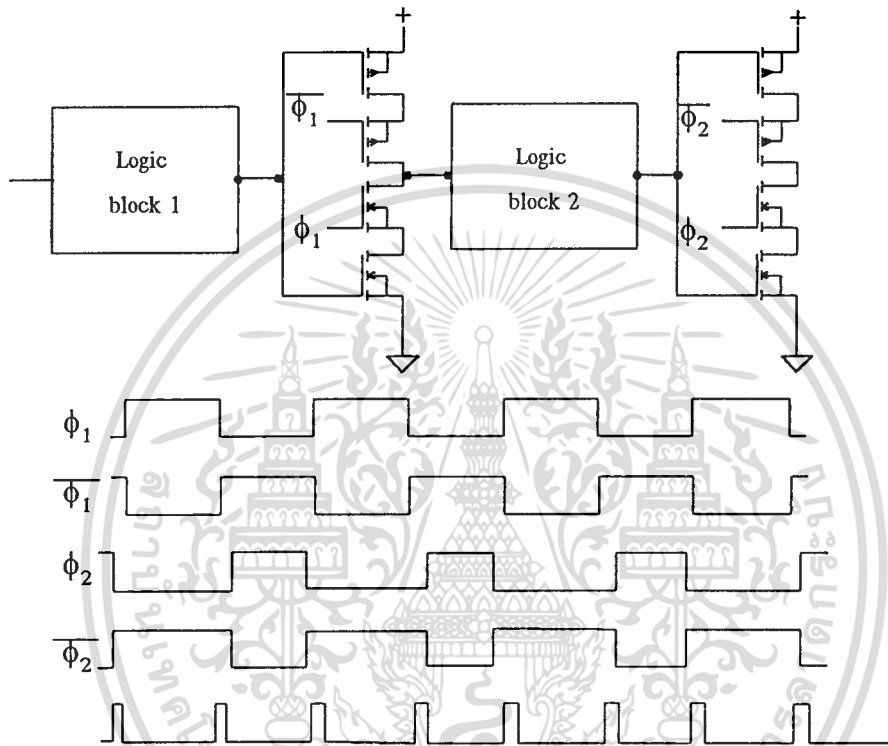
จากรูปที่ 3.9 เป็นวิธีการเพิ่มความถี่ของสัญญาณนาฬิกา โดยการแบ่งกลุ่มวงจรประกอบเป็นวงจรย่อย เพื่อให้ค่าหน่วยเวลาของวงจรมีค่าต่ำกว่าคาบสัญญาณนาฬิกา และใช้วงจรแลทช์ควบคุมการส่งผ่านข้อมูลเพื่อให้ระบบทำงานได้อย่างถูกต้อง

ดังนั้นจะสังเกตได้ว่า วงจรซิมพลีไม่ว่าจะเป็นวงจรสถติกหรือไดนามิก จะสัมพันธ์กับการจัดสัญญาณนาฬิกา วิธีที่นิยมคือการออกแบบวงจรให้มีโครงสร้างแบบ C²MOS (clocked-CMOS logic) ซึ่งใช้สัญญาณนาฬิกา 2 เฟสเทียม (pseudo two-phase clocking) ดังรูป 3.10

จากรูปวงจรต้องใช้สัญญาณนาฬิกา 4 สาย ซึ่งแบ่งเป็นคู่ และแต่ละคู่ต้องไม่เกิดการเหลื่อมซ้อนทับ (non - overlapping) อย่งไรก็ตามจำนวนสายสัญญาณนาฬิกาจำนวนมากที่ลากไปยังส่วนต่าง ๆ ของวงจร เมื่อเพิ่มความถี่สัญญาณนาฬิกาเพิ่มขึ้น จึงเป็นการยากที่จะควบคุมไม่ให้เกิดการทับซ้อนเกิดขึ้น ปัญหาที่ตามมาคือเกิด clock skew ดังนั้นจุดประสงค์คือต้องพยายามออกแบบให้มีจำนวนสายสัญญาณนาฬิกาให้ต่ำที่สุด อาทิเช่น การจัดวงจรแบบสัญญาณนาฬิกาเฟสเดียว ดังรูปที่ 3.11

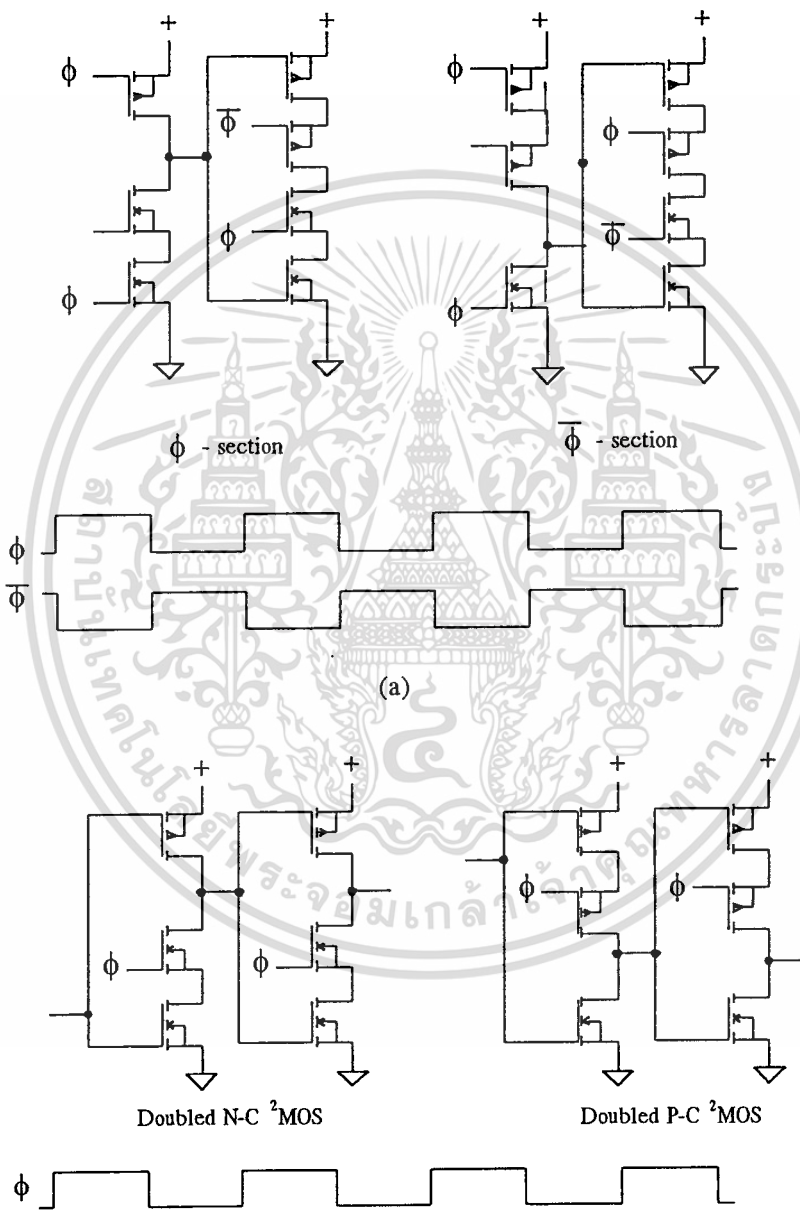
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.10 การเพิ่มความเร็วที่ส่งข้อมูลโดยใช้การจัดสัญญาณนาฬิกาด้วยวงจร C²MOS แบบไดนามิก



รูปที่ 3.11(a) เป็นเทคนิคการจัดสัญญาณแบบ NORA โดยแบ่งเป็น ϕ section และ $-\phi$ section ทำให้การจัดสัญญาณนาฬิกาเป็นแบบ true two phase clocking ส่วนรูป 3.11(b) เป็นเทคนิคการออกแบบวงจรแลตซ์โดยมีการจัดสัญญาณแบบ true single-phase clocking

รูปที่ 3.11 (a) NORA dynamic CMOS technique
 (b) True single-phase-clock latch stages

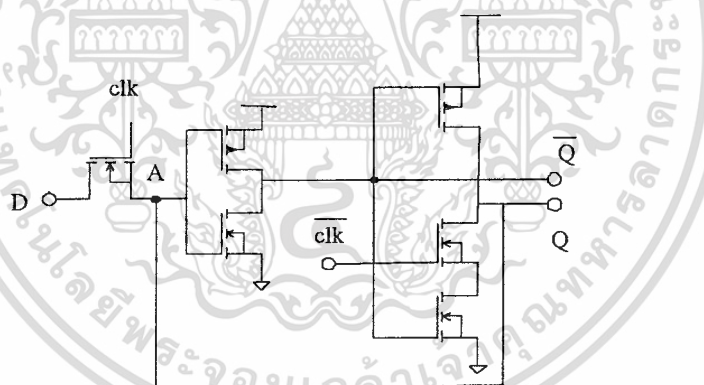


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 รูปแบบวงจรสแตติกแลตซ์ที่ใช้ในวิทยานิพนธ์

ถึงแม้ว่าวงจรสแตติกแลตซ์แบบสัญญาณนาฬิกาเดี่ยว สามารถเลือกใช้ได้จาก cell-library แต่จากปัญหา meta stable ทำให้การออกแบบวงจรเป็นไปได้ยาก ทั้งจากค่าเวลาหน่วงที่เพิ่มขึ้น และขึ้นกับการป้อนกลับสัญญาณ และ ระดับลอจิกสุดท้าย ที่ขึ้นกับสถานะแรกเริ่มนอกเหนือจากสัญญาณอินพุต และแม้ว่าวงจรแลตซ์ที่ใช้อินเวอร์เตอร์ป้อนกลับแบบ C^2 MOS จะช่วยกำหนดช่วงเวลาในการป้อนกลับ คือจะทำการป้อนกลับเฉพาะเมื่อแลตซ์ในงานในช่วงคงค่าสัญญาณ แต่สายสัญญาณนาฬิกาจำนวนมากก็เป็นอุปสรรคในการเพิ่มความเร็วเมื่อนำมาประกอบเป็นวงจรรวม อย่างไรก็ตามเมื่อนำเทคนิคการจัดสัญญาณนาฬิกาเพื่อเพิ่มความเร็วดัง ได้กล่าวในหัวข้อก่อนหน้านี้ ดังนั้นจึงสามารถลดรูปวงจรลงเป็นวงจรซิมอสตสแตติกแลตซ์แบบ true-two phase ดังรูป 3.12 และวงจรนี้ใช้เป็นแบบจำลองในการออปติไมซ์วงจรรวม ซึ่งจะกล่าวถึงต่อไป

รูป 3.12 วงจรสแตติกแลตซ์ แบบ true two phase



บทที่ 4

การอปติไมเซชันวงจรสแตติกแลทซ์

เมื่อพิจารณาการทำงานของวงจรแลทซ์ ตลอดจนปรากฏการณ์ที่เกิดขึ้นในบทก่อนหน้านี้ ทำให้วิธีการอปติไมเซชัน ตามแบบจำลองที่เสนอในบทก่อนหน้านี้ต้องปรับเปลี่ยนไป เนื่องจากแบบจำลองกำหนดเวลาถูกจำกัดอยู่เฉพาะวงจรที่มีลักษณะการทำงานแบบส่งผ่านสัญญาณ หรือในลักษณะ RC - tree delay ดังนั้น แต่สำหรับวงจรที่มีการป้อนกลับสัญญาณ กำหนดเวลาของวงจรมองจากจะขึ้นอยู่กับค่าคงที่เวลา RC ภายในแล้ว ยังขึ้นกับขบวนการป้อนกลับ หรือการลู่เข้าของสัญญาณ ดังนั้นจึงต้องมีการปรับปรุงวิธีการอปติไมเซชันเพื่อให้ครอบคลุมถึงปรากฏการณ์อื่น ๆ

4.1 การปรับปรุงแบบจำลองการอปติไมเซชัน

จากบทก่อนหน้านี้ ปรากฏการณ์ที่เกิดขึ้นจากการป้อนกลับซึ่งแสดงอยู่ในรูปของ meta - stable เป็นตัวกำหนดค่าหน่วยเวลาในการลู่เข้า เมื่อพิจารณาว่าวงจรทำงานได้อย่างถูกต้อง (มีระดับสัญญาณเอาต์พุตถูกต้อง) จากสมการที่ 3.4 ซึ่งแสดงการตอบสนองของวงจร cross - coupled inverters เมื่อ $clk1 = 0$ และ $clk2 = 1$ ความเร็วในการทำงานจึงกำหนดได้จากอัตราการลู่เข้า (slew rate) หรืออัตราการเปลี่ยนแปลงสัญญาณเอาต์พุตเมื่อเทียบกับเวลา

$$\text{ความเร็ว} \propto \frac{dV_2(t)}{dt} \approx -2 \left(\frac{C_1 gm_1}{C_2 gm_2} \right)^{1/2} V_1(0) * \frac{1}{\tau} e^{-\frac{t}{\tau}} \quad (4.1)$$

นั่นคือ ความเร็วจะเพิ่มขึ้น เมื่อ $\frac{1}{\tau} \left(\frac{C_1 gm_1}{C_2 gm_2} \right)^{1/2}$ เพิ่มขึ้น และจาก $\tau = \left(\frac{C_1 C_2}{gm_1 gm_2} \right)^{1/2}$ ดังนั้น

$$\begin{aligned} \text{ความเร็ว} &\propto \frac{gm_1}{C_2} \\ \text{หรือ} &\propto \frac{W_1/L_1}{W_2 L_2} \end{aligned} \quad (4.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ 4.2 ซึ่งแสดงความสัมพันธ์ระหว่างความเร็วในการทำงานและขนาดของทรานซิสเตอร์ ดังนั้นเพื่อให้วงจรมีความเร็วในการทำงานสูงขึ้น จึงนิยามออกแบบให้ $\frac{W_1}{L_1}$ มีค่าสูง ๆ และ ออกแบบให้ W_2L_2 มีค่าต่ำสุดตามกฎการออกแบบ หรือ

$$Speed \propto \frac{W_1}{L_1} \quad (4.3)$$

นอกจากแบบจำลองกำหนดเวลาที่เปลี่ยนไปอันเนื่องมาจากภาวะ meta - stable แบบจำลองกำลังสูญเสียก็เปลี่ยนไปด้วย เนื่องจากแบบจำลองกำลังที่เสนอไว้ พิจารณาจากกำลังสูญเสียไดนามิก ซึ่งเป็นองค์ประกอบกำลังที่สำคัญที่สุดในขณะที่เลขที่ที่จะพิจารณากำลังสูญเสียลัดวงจร โดยพิจารณาจากวงจรที่ส่งผ่านสัญญาณปกติเช่นเดียวกับแบบจำลองกำหนดเวลา เมื่อพิจารณาถึงวงจรป้อนกลับซึ่งกำหนดเวลาพิจารณาจากการชวงเวลาในการเข้าสู่ของสัญญาณช่วงเวลาดังกล่าวทำให้วงจรมีอยู่ในสภาวะกึ่งเปิดกึ่งปิด กำลังสูญเสียลัดวงจรจึงกลับเป็นองค์ประกอบสำคัญในการลดกำลังสูญเสีย

ดังนั้น เมื่อต้องการลดกำลังสูญเสียของวงจรลงจำเป็นต้องลดกำหนดเวลาลงด้วย เงื่อนไขนี้ทำให้แบบจำลองกำลังสูญเสียเปลี่ยนไปโดยรวมเอาปรากฏการณ์ meta - stable ไว้ จาก สมการที่ 5.3 ดังนั้น

$$\therefore P_{dp} \propto \left(\frac{L_1}{W_1}\right)\left(\frac{W_2}{L_2}\right) \quad (4.4)$$

4.2 ขั้นตอนการอปติไมเซชัน

จากสมการที่ (2.32), (4.3) และ (4.4)

$$Area \propto \sum W_i L_i$$

$$Speed \propto \frac{W_1}{L_1}$$

$$P_{dp} \propto \left(\frac{L_1}{W_1}\right)\left(\frac{W_2}{L_2}\right)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งเป็นเงื่อนไขในการออกแบบ ซึ่งมีความเปลี่ยนแปลงตามขนาดของทรานซิสเตอร์เฉพาะที่มีการเชื่อมโยงกับแหล่งจ่าย ซึ่งอาศัยข้อสังเกตจากการวัดกำลังงานสูญเสียด้วยวิธีของ Kang[15] นอกจากนี้ ในบทที่ 2 ได้แสดงให้เห็นว่าการเพิ่ม W มีผลต่อการเพิ่มพื้นที่มากกว่าการเพิ่ม L

จากสมการข้างต้น สังเกตได้ว่าการเพิ่ม (W_1/L_1) ทำให้วงจรมีความเร็วสูงขึ้น ในขณะที่เดียวกันกำลังสูญเสียก็ลดลงด้วย ซึ่งสามารถทำได้โดยการเพิ่ม W_1 หรือลด L_1 นอกจากนี้การลดกำลังสูญเสียยังสามารถทำได้โดยการลด (W_2/L_2) ด้วยการลด W_2 และเพิ่ม L_2 ทำให้กำลังสูญเสียลดลงด้วย แต่สิ่งที่สำคัญคือต้องออกแบบให้วงจรทำงานได้อย่างถูกต้องหรือโอกาสเกิดปัญหา meta-stable น้อยที่สุด

ดังนั้นสามารถสรุปขั้นตอนในการออกแบบได้ดังนี้

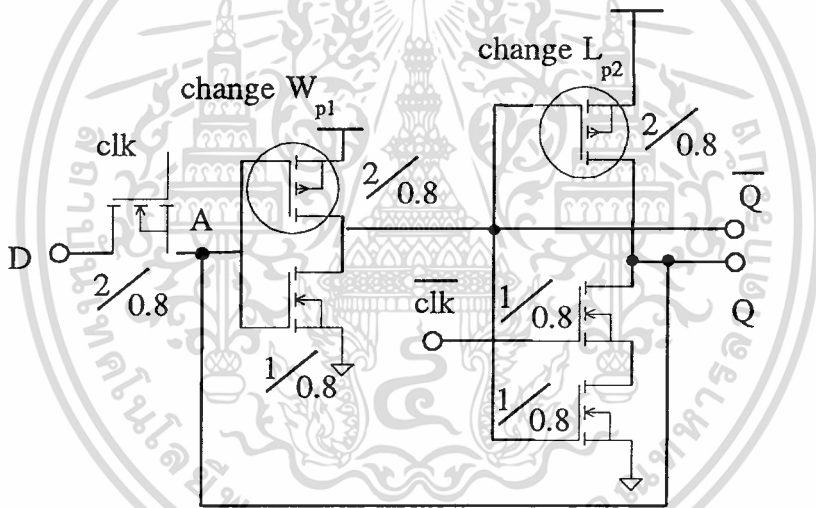
1. กำหนดให้ทรานซิสเตอร์ทุกตัวมีขนาดเล็กที่สุดตามกฎการออกแบบ
2. เพิ่ม L_2 เพื่อป้องกันวงจรทำงานผิดพลาดและลดกำลังสูญเสียลง และ/หรือ
3. ทำการเพิ่ม W_1 เพื่อเพิ่มความเร็ว และลดกำลังสูญเสีย

บทที่ 5

ผลลัพธ์การเลียนแบบด้วยโปรแกรม Pspice

จากการทดสอบวงจรด้วยโปรแกรม Pspice ที่ระดับ 0.8 ไมครอน โดยพารามิเตอร์ level 2 และ level 3 ดังตารางที่ 5.1 และ 5.2 ตามลำดับ

รูปที่ 5.1 แสดงวงจรที่ใช้ทดสอบพร้อมขนาด W/L เริ่มต้น



ตารางที่ 5.1 พารามิเตอร์ของอุปกรณ์ที่ใช้ในการทดสอบ (level 2)

Device	Pspice parameter
NMOS	LEVEL=2 VTO=0.8 Uo=500 TOX=250E-10 NSUB=1E16 XJ=0.2U LD=0.15U CGSO=350P CGDO=350P CJ=0.33E-3
PMOS	LEVEL=2 VTO=-0.8 Uo=250 TOX=250E-10 NSUB=5E16 XJ=0.2U LD=0.15U CGSO=350P CGDO=350P CJ=0.33E-3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

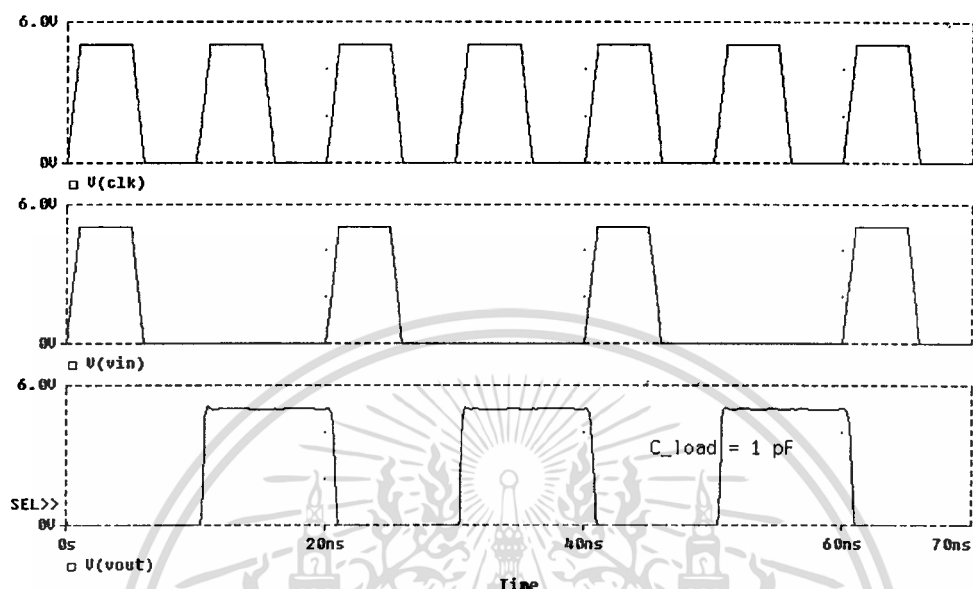
ตารางที่ 5.2 พารามิเตอร์ของอุปกรณ์ที่ใช้ในการทดสอบ (level 3)

Device	Pspice parameter
NMOS	LEVEL=3 LD=59.50E-09 VTO=0.8 KP=99.253220E-06 GAMMA=0.524765 PHI=0.756084 LAMBDA=40.035830E-15 RD=596 RS=596 JS=500.00E-06 PB=0.92 PBSW=0.92 CJ=250.00E-09 CJSW=205.00E-12 MJSW=0.3 CGSO=274.00E-12 CGDO=274.00E-12 CGBO=571.00E-12 NSU=32.300E+15 NFS=820.00E+09 TOX=17.500000E-09 XJ=275.00E-09 UO=503 VMAX=150.00E+03 DELTA=0.728 THETA=0.0634 ETA=0.045 KAPPA=6.700000E-03
PMOS	LEVEL=3 LD=0 VTO= -0.9 KP=32.558220E-06 GAMMA=0.536017 PHI=0.758279 LAMBDA=38.372630E-15 RD=1.189E+03 RS=1.189E+03 JS=500.00E-06 PB=0.92 PBSW=0.92 CJ=450.00E-09 CJSW=212.0E-12 MJSW=0.3 CGSO=215.00E-12 CGDO=215.00E-12 CGBO=571.00E-12 NSUB=33.700E+15 NFS=764.00E+09 TOX=17.50E-09 XJ=230.00E-09 UO=165 VMAX=190.00E+03 DELTA=0.336 THETA=0.135 ETA=0.121 KAPPA=1.45

5.1 การทดสอบการทำงานของวงจรสแตติกแลตช์

จากการทดสอบที่ความถี่ 100 MHz ด้วยสัญญาณอินพุต $V_{IN} = 1,0,1,0\dots$ ด้วย rise time และ fall time = 1ns ด้วยเทคโนโลยีซีมอส $L_{min} = 0.8 \mu m$ และ $W_{min} = 1 \mu m$ และมี device parameter แสดงในตารางที่ 5.1 ที่อุณหภูมิ $80^{\circ}C$

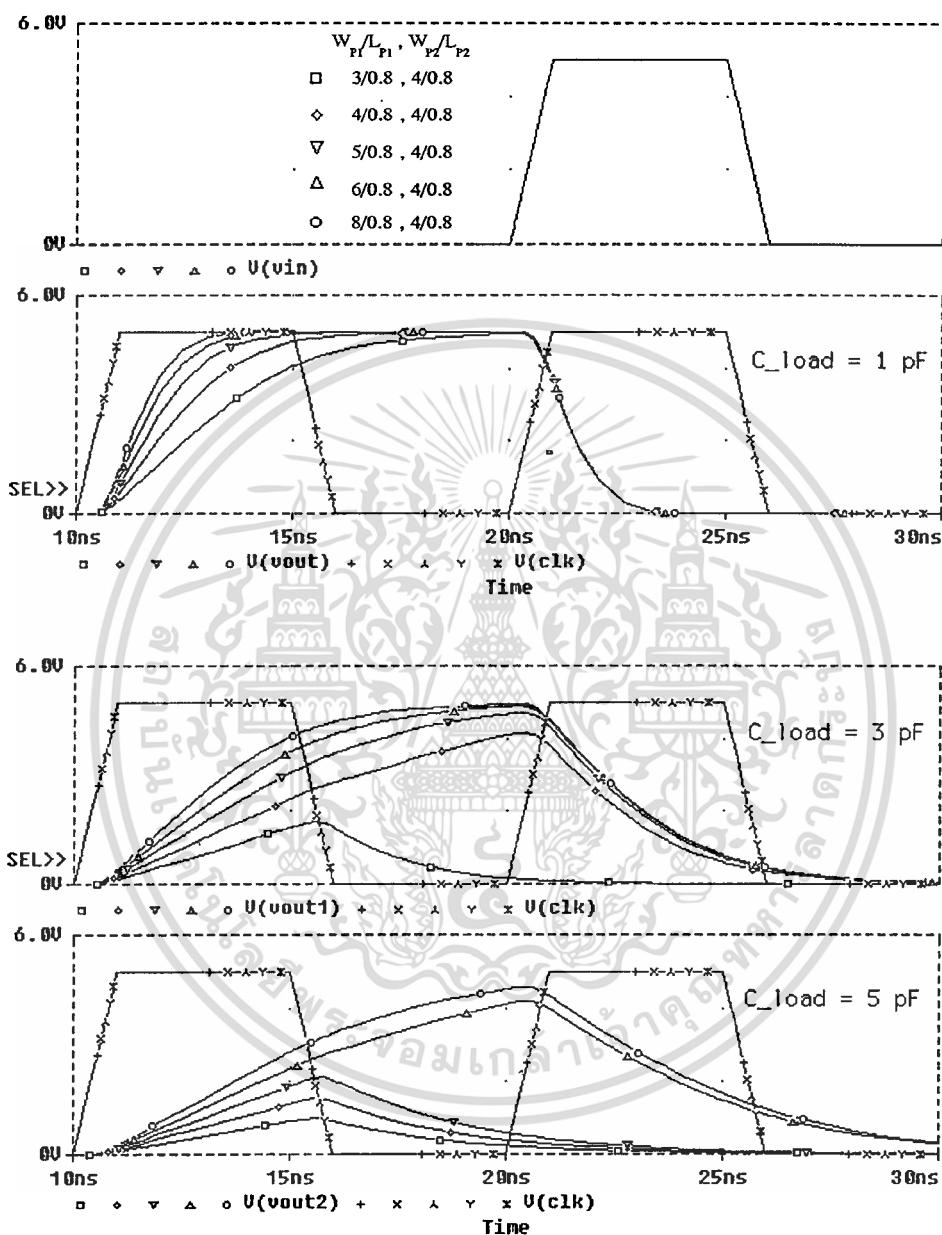
รูปที่ 5.2 การทำงานของวงจรซีมอสแตตติกแลทช์



5.2 การทดสอบปัญหา meta-stable

จากบทที่ 3 ซึ่งได้แสดงถึงผลกระทบต่อวงจรซีมอสแตตติกแลทช์เกี่ยวกับปัญหา meta-stable อันเนื่องมาจากการปรับเปลี่ยนขนาด (sizing) ทรานซิสเตอร์ฟิมอสในวงจรอินเวอร์เตอร์ป้อนกลับ ถึงแม้ว่าการเพิ่มขนาดของ W_{P1} จะช่วยลดกำลังงานสูญเสียของวงจรลง ดังสมการที่ 5.4 แต่ก็ส่งผลให้เกิดปัญหา meta-stable กับวงจรขึ้น ดังรูปที่ 5.3

รูปที่ 5.3 แสดงผลจากปัญหา meta-stable ที่ $C_L = 1\text{pF}$, 3pF และ 5pF ตามลำดับ



5.3 การออปติไมเซชัน

-เพิ่มค่า L_{P2} โดยกำหนดให้ $W_{P1} = 4\ \mu\text{m}$ และ $W_{P2} = 2\ \mu\text{m}$

จากรูปที่ 5.4 สังเกตว่าการเพิ่ม L_{P2} ช่วยลดกำลังสูญเสียลงอย่างมาก ในขณะที่กำหนดวงเวลามีค่าค่อนข้างคงที่โดยเฉพาะเมื่อโหลดมีค่ามาก แต่เมื่อเพิ่ม L_2 ค่าความจุแฝงที่เพิ่มขึ้นทำให้ค่า

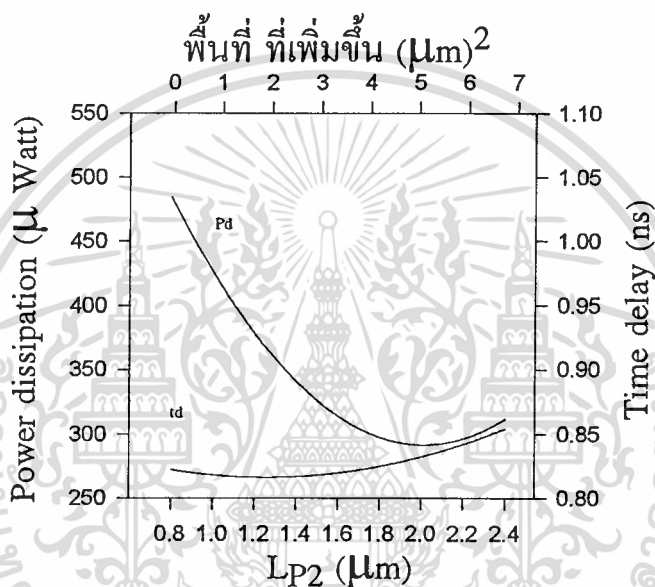
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน่วงเวลาเพิ่มขึ้น และเมื่อ L_2 มีค่าเท่ากับ $2 \mu\text{m}$ ค่าความจุภายในและค่าหน่วงเวลาที่เพิ่มขึ้นเป็นผลให้กำลังสูญเสียเพิ่มขึ้น

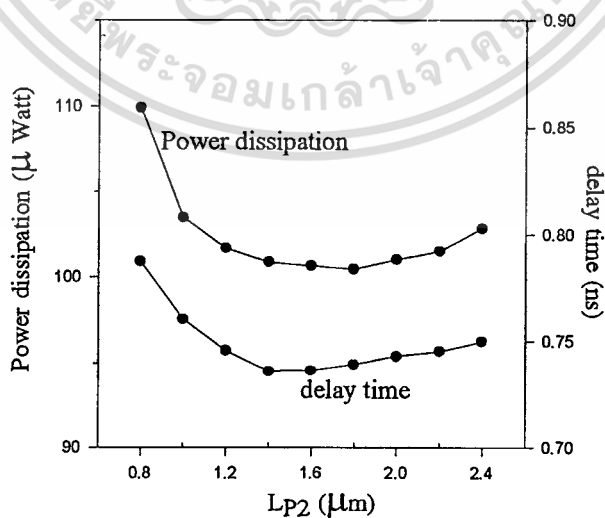
รูปที่ 5.4 ผลการออปติไมซ์ด้วยการ เพิ่ม L_{P2}

(a). Spice parameters level 2 ($C_L = 1 \text{ pF}$)

(b). Spice parameters level 3 ($C_L = 0.1 \text{ pF}$)



(a)



(b)

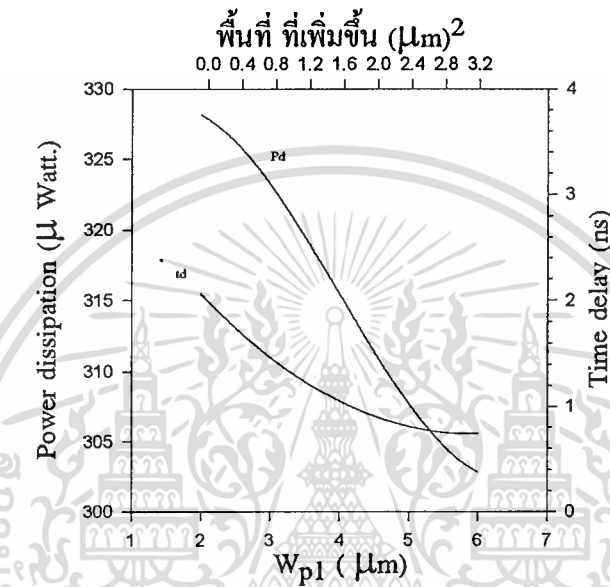
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-เพิ่ม W_{P1} โดยกำหนดให้ $W_{P2} = 2 \mu\text{m}$ $L_{P1} = L_{P2} = 0.8 \mu\text{m}$

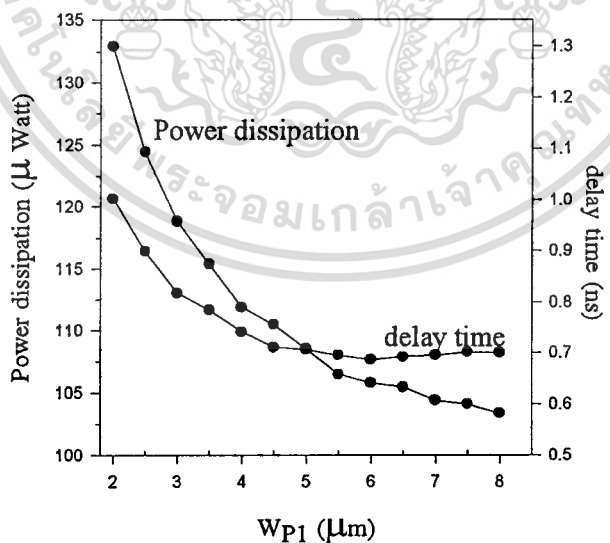
รูปที่ 5.5 ผลการออปติไมซ์ด้วยการเพิ่ม W_{P1}

(a). Spice Parameters level 2 ($C_L = 1 \text{ pF}$)

(b). Spice Parameters level 3 ($C_L = 0.1 \text{ pF}$)



(a)



(b)

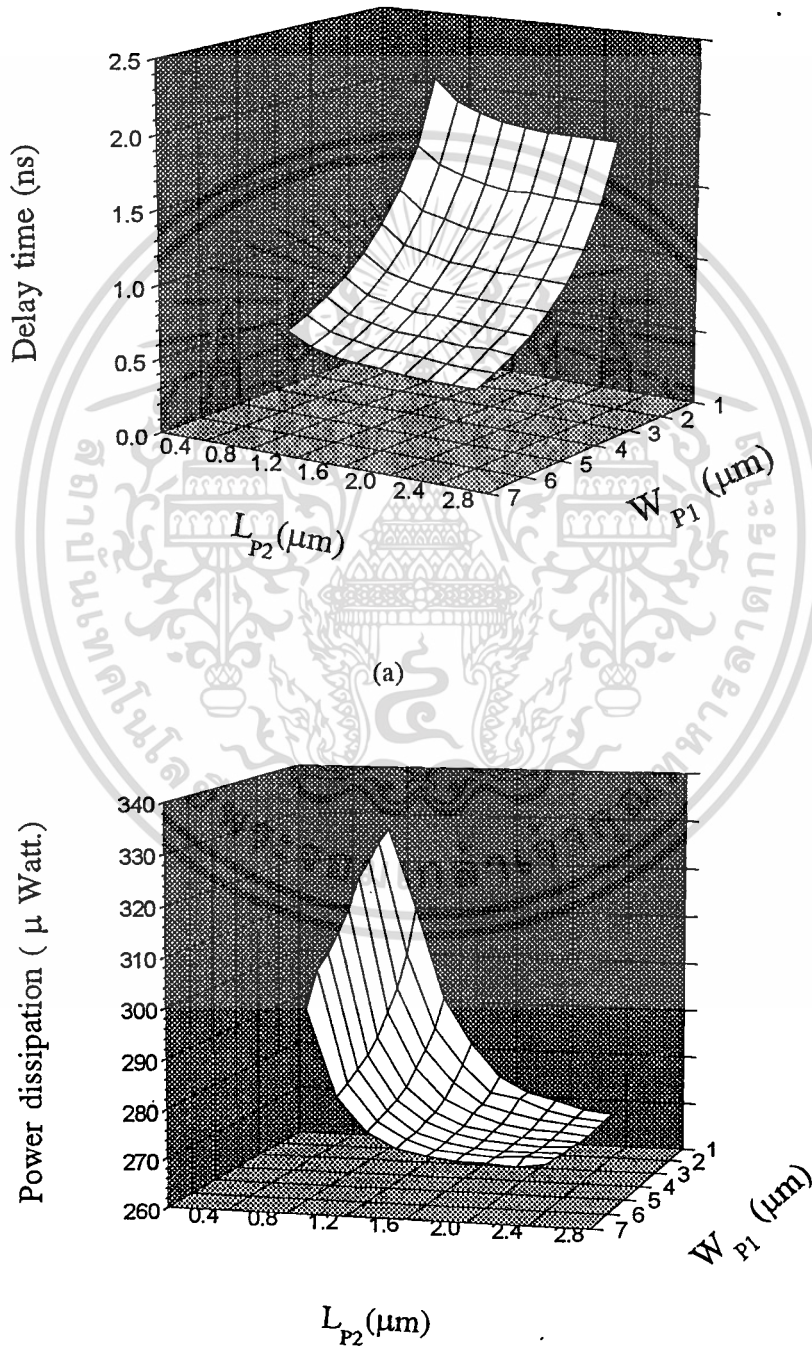
เมื่อเพิ่ม W_{P1} ทำให้ภาวะ meta stable ของวงจรลดลง ส่งผลให้ทั้งกำลังสูญเสีย และค่า
หน่วงเวลาลดลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-เพิ่มค่า W_{P1} และ L_{P2} พร้อมกัน

รูปที่ 5.6 ผลการอปติไมเซชัน (level = 2, $C_L = 1pF$)

(a) delay time (b) power dissipation



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

การประยุกต์ใช้งานของการทำออปติไมเซชัน

สำหรับการประยุกต์ใช้งานการทำออปติไมเซชันสำหรับวงจรรวม ก่อนอื่นต้องพิจารณาว่าแบบจำลองที่เสนอนั้นครอบคลุมไปถึงรูปแบบวงจร และโครงสร้างภายในหรือไม่ ที่ผ่านมาจะพบว่าอาจต้องมีการปรับเปลี่ยนวิธีการออปติไมซ์ไปบ้างให้เหมาะสมกับวงจรมัน ๆ ดังวงจรตัวอย่างที่ใช้ในการทดสอบ

เทคโนโลยีการออกแบบทางอิเล็กทรอนิกส์ เป็นเงื่อนไขหนึ่งในการกำหนดรูปแบบวงจร อันเนื่องมาจากอุปกรณ์ที่ใช้ เริ่มจากการใช้หลอดวิทยุ พัฒนาเป็นการใช้ทรานซิสเตอร์ตัว ๆ ต่อกัน และพัฒนาจนถึงการผลิตอุปกรณ์ต่าง ๆ ลงบนชิปเดียวกัน ในลักษณะวงจรรวม โดยสามารถจำแนก IC ได้เป็น 4 ชนิดใหญ่ ๆ ได้ดังนี้

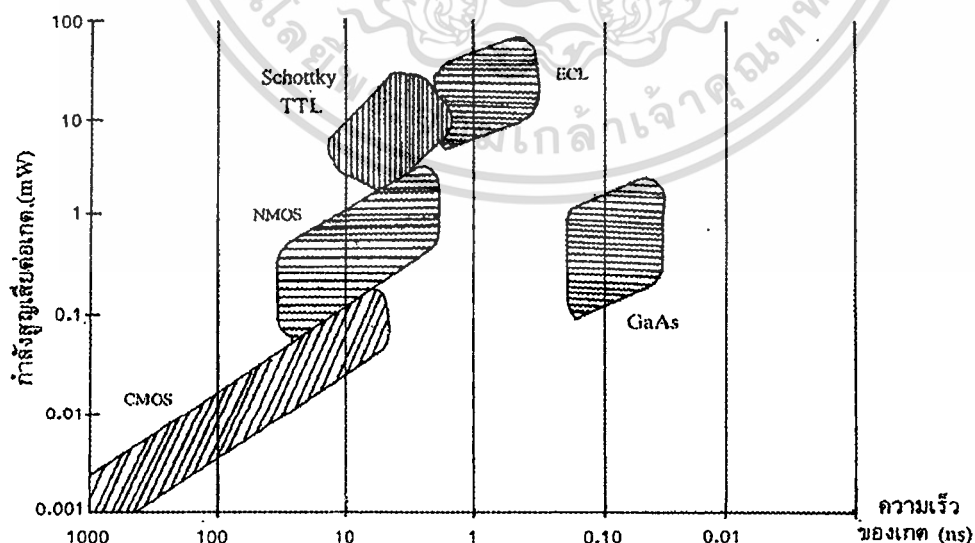
- ไบโพลาร์ (Bipolar)
- เอ็นมอส (N channel MOS)
- ซีมอส (P channel MOS)
- ไบซีมอส (BiCMOS)

ในยุคแรกเทคโนโลยียังเป็นเทคโนโลยีไบโพลาร์ การทำงานของทรานซิสเตอร์ยังอยู่ในรูปของตัวขยายสัญญาณ โครงสร้างวงจรถอดจิกจึงเป็นแบบ DCTL (Direct coupled Transistor Logic) จากนั้นพัฒนาไปสู่ วงจรลจิกแบบ RTL (Resistor - Transistor Logic) และ RCTL (Resistor - Capacitor - Transistor Logic) เนื่องจากขนาดของตัวต้านทานและตัวเก็บประจุ ทำให้ไม่สามารถพัฒนาวงจรไปสู่วงจรรวมที่มีขนาดใหญ่ขึ้นได้ และจุดนี้เป็นจุดที่นำไปสู่การพัฒนาเป็น วงจรแบบ DTL (Diode Transistor Logic) แต่เนื่องจากค่ากระแสรั่วไหล (leakage current) และเวลาที่ใช้ในการรวมตัวของพาหะรองเพื่อให้ไดโอดหยุดทำงานในช่วงการเปลี่ยนสถานะ ด้วยเหตุนี้การทำงานด้วยความเร็วสูงจะทำได้ยาก เพื่อแก้ปัญหานี้จึงได้มีการพัฒนาสู่วงจรแบบ TTL (Transistor-Transistor Logic) ซึ่งยังคงมีใช้อยู่ในปัจจุบัน แต่อยู่ในรูปของวงจรรวมขนาดเล็ก แม้ว่าไบโพลาร์ทรานซิสเตอร์จะมีความเร็วในการทำงานสูง เนื่องจากความสามารถในการขับกระแส แต่วงจรที่

สร้างด้วยเทคโนโลยีไบโพลาร์นี้ก็มีขนาดใหญ่และกินกำลังงานมาก นอกจากนี้พลังงานความร้อนที่สะสมทำให้คุณลักษณะการตอบสนองสัญญาณเปลี่ยนไป

เมื่อมอสเทคโนโลยีได้ถูกพัฒนาขึ้นจนอุปกรณ์ที่ได้มีคุณสมบัติและประสิทธิภาพที่ดี จึงได้มีการหันมาออกแบบวงจรด้วยเทคโนโลยีมอส ทั้งนี้เนื่องจากสามารถออกแบบให้วงจรมีขนาดสัญญาณต่ำ ทำให้อายุการใช้งานต่ำ และมีอัตราสิ้นเปลืองต่ำ สักค่าต่ำ เทคโนโลยีในยุคนี้ ๆ ยังคงเป็นเทคโนโลยีเอ็มมอส เนื่องจากการผลิตที่มีความซับซ้อนน้อยที่สุด เพราะต้องการการถ่ายแบบน้อยขั้นที่สุด วงจรรวมที่ได้จึงมีราคาถูกและขนาดเล็ก โดยวงจรประกอบมอสซึ่งทำหน้าที่เป็นสวิทช์และเป็นแอกทีฟโหลด ทำให้อายุการใช้งานต่ำลงกว่าเดิม เมื่อเทคโนโลยีการผลิตก้าวหน้าขึ้นจนสามารถสร้างอุปกรณ์พีเอ็มอสและเอ็มมอสขึ้นในขบวนการเดียวกัน เทคโนโลยีซีเอ็มอสจึงได้เข้ามาแทนที่วงจรรวมประเภทอื่น ๆ ในรูปของวงจรรวมแบบ ซีเอ็มอส (Complementary MOS circuit) เนื่องจากคุณสมบัติที่กินกำลังงานต่ำมาก ขนาดเล็ก อย่างไรก็ตาม วงจรที่สร้างขึ้นด้วยเทคโนโลยีมอสยังคงมีความเร็วจำกัด จากโครงสร้างที่เป็นตัวเก็บประจุและการทำงานด้วยการเหนี่ยวนำให้เกิดช่องทางเดินกระแส แนวความคิดจึงพัฒนาไปสู่เทคโนโลยีไบซีเอ็มอส คือการสร้างอุปกรณ์ไบโพลาร์และ มอสในชิปเดียวกัน อย่างไรก็ตามเทคโนโลยีนี้ยังไม่แพร่หลายนักเนื่องจากต้องใช้ต้นทุนและเทคโนโลยีลำดับสูงในการผลิต

รูปที่ 6.1 ความสัมพันธ์ระหว่างเทคโนโลยีชนิดต่าง ๆ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น จะเห็นได้ว่า วงจรรวมที่มีการออกแบบอยู่ในปัจจุบัน นอกจาก ออปติไมซ์แฟคเตอร์ (ความเร็ว, กำลังสูญเสีย และ พื้นที่ชิพ) เทคโนโลยีการผลิต และต้นทุน ยังเป็นตัวกำหนดรูปแบบวงจรอีกด้วย อย่างไรก็ตามเพื่อจำกัดการวิเคราะห์ให้แคบลง วิทยานิพนธ์นี้จึงกล่าวถึงแต่เพียงรูปแบบวงจรที่สร้างจากเทคโนโลยีซีมอส และเกี่ยวเนื่องกับการประยุกต์ใช้งานของการออปติไมซ์เท่านั้น

6.1 การออกแบบวงจรรวมซีมอสขนาดใหญ่

กลุ่มวงจรซีมอสลอจิก ซึ่งประกอบด้วยพีมอสและเอ็นมอสทรานซิสเตอร์มีลักษณะเด่นคือเกิดกำลังสูญเสียต่ำ มีโครงสร้างเรียบง่าย เทคนิคการออกแบบวงจรถู่มนี้ ที่มีใช้อยู่จำแนกได้เป็นกลุ่ม ๆ ดังนี้

6.1.1 วงจรซีมอสลอจิกแบบคู่ควบ (Complementary CMOS Logic)

รูปแบบของวงจรถู่มนี้ ประกอบขึ้นจากพีมอสทรานซิสเตอร์และเอ็นมอสทรานซิสเตอร์ทำหน้าที่เป็นส่วน pull-up และ ส่วน pull-down ตามลำดับ แต่ละส่วนจะมีจำนวนทรานซิสเตอร์เท่ากัน ขนาดเท่ากัน ดังที่ได้กล่าวถึงในบทก่อนหน้า แม้ว่ารูปแบบวงจรประเภทนี้ทำให้เกิดกำลังสูญเสียต่ำแต่ก็ใช้ทรานซิสเตอร์จำนวนมาก คือสองเท่าของสัญญาณอินพุต ($2n$ ตัว เมื่อ n คือจำนวนสัญญาณอินพุตทั้งหมด)

6.1.2 วงจรเอ็นมอสเทียม (Pseudo - NMOS Logic)

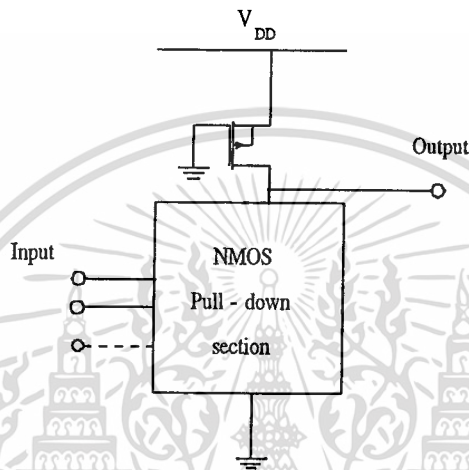
รูปแบบของวงจรถู่มนี้มีลักษณะคล้ายวงจรเอ็นมอสลอจิก ซึ่งใช้ทรานซิสเตอร์ตัวหนึ่งทำหน้าที่เป็นโหลด และเปิดอยู่ตลอดเวลาในลักษณะตัวต้านทาน หากแต่ทรานซิสเตอร์นี้ใช้พีมอสทรานซิสเตอร์แทนเอ็นมอสทรานซิสเตอร์ โดยขาเกตจะถูกต่อเข้ากับกราวด์เพื่อทำการไบอัสให้ทรานซิสเตอร์โหลด

ข้อดีของวงจรประเภทนี้คือ ใช้จำนวนทรานซิสเตอร์น้อย หรือใช้จำนวนทรานซิสเตอร์เป็นครึ่งหนึ่งของวงจรซีมอสแบบคู่ควบ อย่างไรก็ตามวงจรประเภทนี้จำเป็นต้องมีการออกแบบอัตราส่วนขนาด พีมอสและกลุ่มเอ็นมอส เป็นอย่างดี ซึ่งปกติมักออกแบบให้พีมอสมีขนาดใหญ่ โดยขึ้นอยู่กับวงจรรวมเข้าของกลุ่มเอ็นมอสทรานซิสเตอร์

นอกจากนี้วงจรประเภทนี้จะมีการสิ้นเปลืองพลังงานสูง โดยเฉพาะเมื่อกลุ่มเอ็นมอสทรานซิสเตอร์เปิดหรือนำกระแส และเนื่องจากโครงสร้างที่ใช้โหลด และระดับสัญญาณเอาต์พุตที่

ไม่เป็น 0 หรือ 1 อย่างแท้จริงอันเนื่องมาจากเกิดสัปดาห์คาบคร่อมพีมอสทรานซิสเตอร์ ทำให้เกิดกำลังสูญเสียสถิตย์ที่วงจรถัดไป

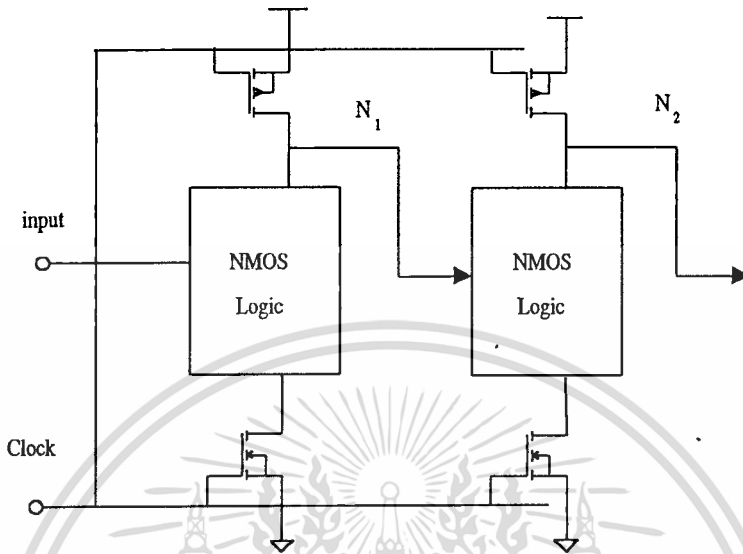
รูปที่ 6.2 วงจรเอ็นมอสเทียม



6.1.3 วงจรซีมอสไดนามิก (Dynamic CMOS Logic)

วงจรซีมอสไดนามิกประกอบด้วยกลุ่มของเอ็นมอสทรานซิสเตอร์คล้ายกับวงจรเอ็นมอสเทียม หากแต่เพิ่มสัญญาณนาฬิกา (Clock signal) เพื่อให้การทำงานของวงจรมีจังหวะที่แน่นอน สัญญาณนาฬิกา '0' ทำหน้าที่ควบคุมพีมอสทรานซิสเตอร์ ซึ่งถูกต่อเข้ากับแหล่งจ่ายไฟ เพื่อทำการประจุให้เอาต์พุตมีค่าลอจิก '1' (ช่วง Precharge) และเมื่อสัญญาณนาฬิกามีค่า '1' กลุ่มมอสทรานซิสเตอร์ก็จะประมวลผลสัญญาณให้เอาต์พุตเป็น '1' หรือ '0' ตามที่ออกแบบไว้ (ช่วง Evaluate)

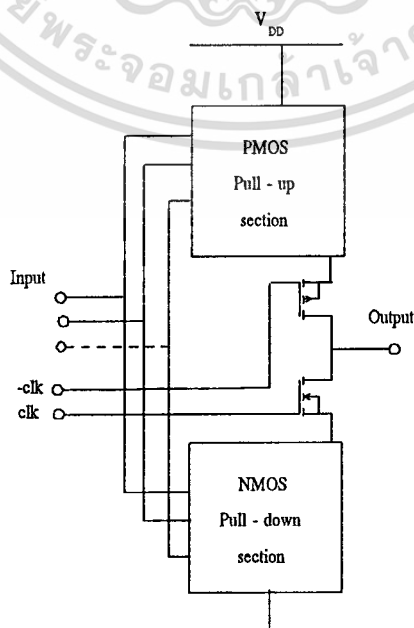
รูปที่ 6.3 กลุ่มของวงจรไดนามิก



6.1.4 วงจรซีมอสสัญญาณนาฬิกา (Clocked CMOS Logic : C^2 CMOS)

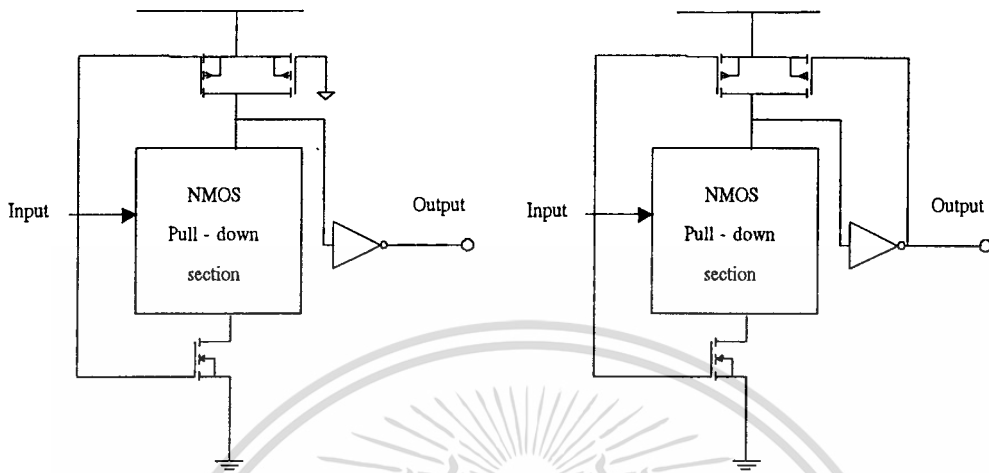
รูปแบบของวงจรประเภทนี้ ออกแบบเพื่อปรับปรุงให้วงจรซีมอสแบบคู่ควมใช้พลังงานน้อยลง และเกิดการทํางานในจังหวะที่แน่นอน โดยมีการเพิ่มทรานซิสเตอร์ซึ่งทำหน้าที่เป็นสวิตช์ควบคุมด้วยสัญญาณนาฬิกา

รูปที่ 6.4 วงจรซีมอสสัญญาณนาฬิกา



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

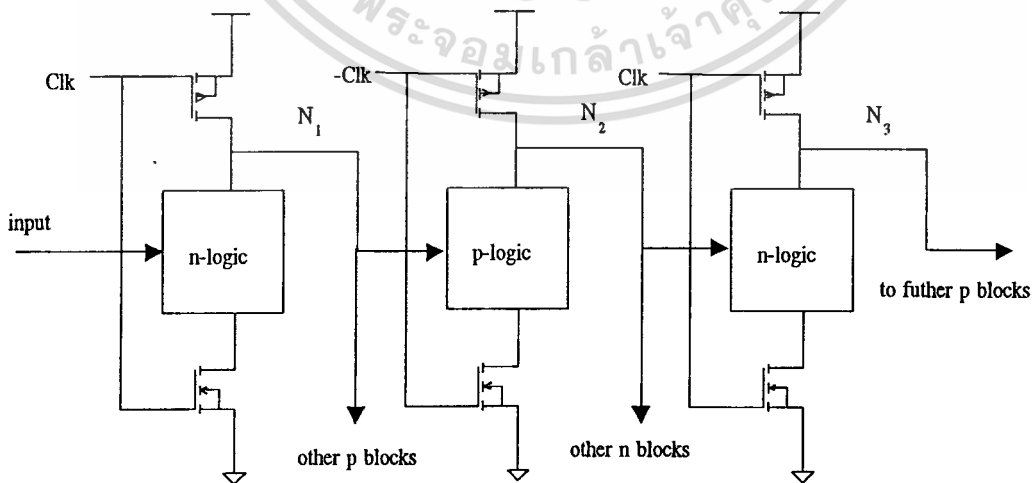
รูปที่ 6.6 วงจรโดมิโน (a).แบบสแตติก (b). แบบมีวงจรค้าง



6.1.7 วงจรโดมิโนเอ็นพี (N-P Domino logic หรือ Zipper CMOS)

ปัญหาที่เกิดขึ้นในวงจรแบบโดมิโนคือ ทุกวงจรจะต้องมีบัฟเฟอร์กัน เพื่อลดจำนวนประจุขาออก และวงจรจะให้ผลเฉพาะค่าลอจิก '1' ตามสมการบูลีนเสมอ ดังนั้นวงจรนี้จึงถูกออกแบบโดยใช้วงจรเอ็นมอสและพีมอสสลับกัน ข้อดีที่เด่นชัดเหนือกว่า วงจรโดมิโนธรรมดา คือ ใช้สัญญาณนาฬิกาเฟสเดียว (True single phase clock) และไม่ต้องใช้บัฟเฟอร์ ขนาดวงจรเล็กลง ความจุแฝงภายในน้อย จึงทำงานได้เร็วขึ้น

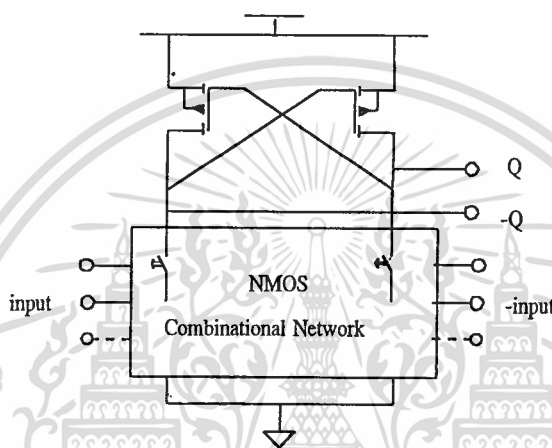
รูปที่ 6.7 วงจรโดมิโนเอ็นพี



6.1.8 วงจรลอจิกสวิทช์ (Cascade voltage switch logic : CVSL)

วงจรถูกจัดมีลักษณะของวงจรไดนามิก 2 วงจร ซึ่งเป็นคู่ประกอบกันต่อไขว้กับพินออสทรานซิสเตอร์ซึ่งทำหน้าที่ดึงระดับสัญญาณ การต่อไขว้เช่นนี้ทำให้เกิดการป้อนกลับแต่เอาต์พุตที่เป็นคู่ตรงข้าม ข้อดีของวงจร CVLS คือ สามารถใช้ได้กับสมการลอจิกทุกรูปแบบ โดยให้สัญญาณเอาต์พุต ทั้ง Q และ -Q ทำให้สามารถใช้วงจรนี้กับวงจรถอดลอจิกทุกประเภท

รูปที่ 6.8 วงจร CVSL



จากรูปแบบวงจรข้างต้นจะพบว่า มีรูปแบบวงจรจำนวนมากที่แบบจำลองการอปติไมซ์ครอบคลุมถึง เช่น วงจร CMOS, วงจร Complementary CMOS และ โดยเฉพาะวงจรเอ็นมอสเทียม และวงจรไดนามิกแบบต่าง ๆ ซึ่งมีพินออสทรานซิสเตอร์ต่ออยู่กับแหล่งจ่าย ตามแบบจำลองกำลังสูญเสียจากแนวความคิดของ Kang และแบบจำลอง RC tree delay มีเพียงบางรูปแบบเท่านั้น เช่น วงจร CVSL และ วงจรทรานซิสเตอร์ผ่าน เท่านั้นที่แบบจำลองครอบคลุมไปไม่ถึง ดังนั้น การประยุกต์การอปติไมซ์จึงต้องใช้วิธีอื่น ๆ ที่กล่าวถึงในบทที่ 1 เพื่อให้วงจรรวมทั้งระบบมีประสิทธิภาพสูงสุด

6.2 โครงสร้างวงจร และการจัดการสัญญาณนาฬิกา

โครงสร้างวงจรในที่นี้หมายถึง การจัดรูปแบบวงจร และการเชื่อมโยง การจัดรูปแบบวงจรให้มีการป้อนกลับ หรือวงจรสแตติก ทำให้เกิดปรากฏการณ์ต่าง ๆ และการตอบสนองของวงจรเปลี่ยนไป และสำหรับวงจรที่ไม่มีการป้อนกลับ เช่นวงจรประเภทไดนามิก การจัดรูปแบบวงจรในลักษณะต่าง ๆ ถูกจำกัดด้วยวิธีจัดการสัญญาณนาฬิกา ดังที่กล่าวถึงในบทที่ 3 ทั้งหมดนี้ทำให้โครงสร้างของวงจรเปลี่ยนไป ดังนั้น ในการพิจารณาประยุกต์ใช้วิธีการอปติไมซ์ จำเป็นต้องศึกษาเป็นกรณี ๆ ไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3 ข้อพิจารณาการออกแบบวงจรรวมขนาดใหญ่

จากการทดสอบจะพบได้ว่า ค่าหน่วยเวลามีค่าไม่ต่ำสุดเมื่อกำลังสูญเสีย และพื้นที่ของวงจรถูกพิจารณาว่าเข้าสู่ค่าต่ำสุด แม้ว่าจะไม่สามารถออกแบบคิโมซ์แพคเตอร์ต่าง ๆ ได้พร้อมกัน เนื่องจากแนวคิดการในการลดกำลังสูญเสียด้วยการจำกัดค่ากระแสที่ไหลจากแหล่งจ่าย ในขณะที่ค่าหน่วยเวลาขึ้นอยู่กับหลาย ๆ สิ่ง เช่น ขนาดของอุปกรณ์ ค่า current capability และค่าตัวเก็บประจุ ในกรณีนี้ค่าตัวเก็บประจุยกต่อการควบคุม ด้วยเหตุนี้เองที่สามารถอธิบายได้ว่าทำไมจึงไม่สามารถจะได้ค่าการหน่วงเวลาและกำลังสูญเสียต่ำสุดพร้อมกัน

ผลของค่าตัวเก็บประจุที่เพิ่มขึ้นทำให้กำลังงานสูญเสียเพิ่มขึ้นตาม เป็นเพราะการแปรตามกัน ดังรูปที่ 5.4 ค่ากำลังงานสูญเสียค่อยลดลงที่จุดต่ำสุด แล้วเพิ่มขึ้นเนื่องจากการเพิ่มขึ้นของค่าตัวเก็บประจุรวมในวงจร ซึ่งยากต่อการควบคุมตัวเก็บประจุนี้

จุดประนีประนอมอาจจะต้องมีขึ้นเพื่อหาจุดที่ดีที่สุด รายงานบางฉบับเสนอการให้กำลังงานสูญเสียและค่าหน่วยเวลา [4-5],[12] แต่ Lewis [17] นิยามค่า figure of merit ซึ่งสัมพันธ์กับค่าการหน่วงเวลาและพื้นที่เพื่อใช้กับวงจรเฉพาะ ในกรณีนี้ค่าการหน่วงเวลาที่แตกต่างกันนั้นน้อย ดังนั้น ควรที่จะพิจารณาความสัมพันธ์ระหว่างพื้นที่และกำลังงานสูญเสียในวงจรและความสัมพันธ์นี้อาจจะใช้เป็น figure of merit สำหรับวงจรแลตซ์ อย่างไรก็ตาม เป้าหมายอยู่ที่ผู้ออกแบบว่าจะไร่มาก่อนในการออกแบบ [9] วิธีการอื่น ๆ ที่น่าสนใจ ก็คือการ scale down ค่าแหล่งจ่ายไปให้แปรผันกับรากที่สองของกฎการออกแบบ (design rule) [18] วิธีนี้จะลดกำลังงานสูญเสียได้โดยตรง อย่างไรก็ตามในการใช้เครื่องคอมพิวเตอร์ช่วยออกแบบนั้นก็ยากที่จะสำเร็จ ทั้งนี้เนื่องจากปรากฏการณ์รบกวนอื่น ๆ ของอุปกรณ์และการเชื่อมโยงที่ไม่สามารถจำลองด้วยคอมพิวเตอร์นั่นเอง

บทที่ 7

บทสรุปและวิจารณ์

วิธีการหนึ่งได้ถูกเสนอในบทความนี้ เพื่อออปติไมซ์พื้นที่ กำลังงานสูญเสียและความเร็วของวงจรโดยการเลียนแบบอาศัยการเปลี่ยนแปลงความกว้างและความยาว เกทของทรานซิสเตอร์ที่ต่ออยู่กับแหล่งจ่ายไฟ โดยพิจารณาจากหลักการวัดกำลังงานสูญเสียทางอ้อม ซึ่งค่อนข้างประสบความสำเร็จพอสมควร ซึ่งดูสวนทางกับวิธีการอื่น ๆ [4-9] เห็นได้จากผลการจำลองการทำงาน ทั้งที่ความจุโหลดต่ำ ($C_L = 0.1$ pF) และสูง ($C_L = 1$ pF) และถึงแม้ว่าพื้นที่ของวงจรหรือเซลล์จะเพิ่มขึ้นก็เพียงจำนวนเล็กน้อยเท่านั้น

นอกจากนี้ จากขั้นตอนการออปติไมซ์ซึ่งประกอบด้วยวิธีการปรับเปลี่ยนขนาดความยาว เกทของทรานซิสเตอร์ และ ความกว้างเกทของทรานซิสเตอร์ การเลือกใช้วิธีใดนั้นอาจกำหนดได้จากเทคโนโลยีที่เลือกใช้โดยสังเกตได้จากผลการทดสอบ คือ

1. เทคโนโลยี sub - micron

การออกแบบเมื่อเป็นส่วนย่อยของไมครอน หรือ $L \leq 1$ ดังนั้น $L_{min} \ll W$ การเปลี่ยนแปลงความยาวเกทของทรานซิสเตอร์ นั้นไม่เหมาะสมเพราะว่าค่าของ L เอง ดังนั้นการเปลี่ยนแปลงค่าความกว้างเกทของทรานซิสเตอร์ (W_1) จะเหมาะสมกว่า

2. เทคโนโลยี micron

การออกแบบเมื่อเป็นไมครอน หรือ $L \geq 1$ และ $L_{min} < W$ เพื่อให้ค่าสามารถเปลี่ยนแปลงความกว้างและความยาวของทรานซิสเตอร์ วิธีการทั้ง 2 ในการเปลี่ยนแปลง (จะใช้เพียงวิธีเดียว) หรือผสม (ใช้ 2 วิธีร่วมกัน) และเป็นไปได้ที่จะออปติไมซ์ค่ากำลังสูญเสีย และ ความเร็วพร้อมกัน

บรรณานุกรม

1. กอบชัย เศษหาญ, สมยศ จุณณะปิยะ, บุญชัย เฉลิมพานิช, สุชาติ คุณทวีเทพ, “การออกแบบ เซลล์วงจรแลตซ์ เพื่อทำเป็นวงจรซีมอสรวมโดยการพิจารณาความยาวของเกตใช้กระบวนการ 2 ไมครอน” วารสารการประชุมทางวิชาการวิศวกรรมไฟฟ้า ประจำปี 2534, หน้า 318 - 337, 23 - 26 พฤษภาคม 2534
2. K. deghan, F. cheevasuvit, S. junnapiya, B. chalemphanich, “Micron and Submicron design Considerations of CMOS transistor optimization of VLSI design,” ISIC - 93, pp. 279 - 283, September 1993
3. C. Longway and R. Sigfred , “A Doughnut Layout Style for Improved Switching Speed with CMOS VLSI gates,” IEEE J. Solid - State Circuits, Vol. 24, no. 1 pp, 194 - 198, February 1989.
4. K. Nagai and Y. Hayashi, “Performance Optimization of Thin - Gate Oxide MOSFETS,” Solid - State Electronics, vol.33, no.2, pp.223 - 336, 1990.
5. A. Kanuma, “CMOS Circuit Optimization,” Solid - State Electronics, vol.26 no.1, pp. 47-58, 1983.
6. M.D. Matson, “Macromodeling of Digital MOS VLSI Circuits,” Proc. 22nd ACM/IEEE Design Automation Conf. pp. 144 - 151, 1985.
7. M.D. Matson and L. Glasser, “Macromodeling and Optimatization of Digital MOS VLSI Circuits,” IEEE Trans. Computer - Aided Design, vol.5, no.4, pp.659 - 678, October, 1986.
8. K.S. Hedlund, “Aesop : A Tool for Automated Transistor Sizing,” Proc. 24 th ACM/IEEE Design Automation Conf., pp. 114 - 120, 1987.
9. S. Trimbergr, “Automate Performance Optimization of Custum Integrated Circuits,” IEEE Int. Sym. Circuits and Systems, pp. 194 - 197, 1983.
10. M. Hofmann and J.K. Kim, “Delay Optimaization of Combinational Static CMOS logic,” Proc. 24th ACM/IEEE Design Automation Conf., pp. 125 - 132, 1987.
11. M.A. Cirit, “Transistor sizing in CMOS circuits,” Proc. 24th ACM/IEEE Design Automation Conf., pp. 121- 124, 1987.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

12. J. Yuan and C. Svensson, "High - Speed CMOS Circuit Technique," IEEE J. Solid - State, Vol.24, no. 1, pp. 62-70, February 1989.
13. C.G. Sodini, P-K. Ko and J.J. Moll, "The Effect of High Fields on MoS Device and Circuit Performance," IEEE Trans. Electron Devices, Vol.31, no.10, pp. 1386 - 1393, october 1984.
14. L.A. Glasser and L.P.J. Hoyte, "Delay and Power Optimization in VLSI Circuits," Proc. 21st ACM/IEEE Design Automation Conf., pp. 529 - 535, 1984.
15. S.M. Kang, "Accurate Simulation of Power Dissipation in VLSI Circuits", IEEE J. Solid - State Circuits, vol. 21, no.5, pp. 889 - 891, October 1986.
16. A. Vladimirescu and S. Lui, "The Sumulation of MOS Integrate Circuits Using SPICE2", UCB/ERL M8017, University of California, Berkeley, 1980.
17. N.H.E Weste and K. Eshragian, Principles of CMOS VLSI Design - A System Perpective, 1st Edn. p. 140, Reading, Massachuset : Addison - Wesley, 1985.
18. E.T. Lewis, "Optimization of Device Area and Overall Delay for CMOS VLSI Designs," Proc.Ieee, vol.72, no.6, pp. 670-689, June 1984.
19. M. Kakumu , M.Kinugama and K. Hashimoto, "Choice of Power - Supply voltage for Half Micrometer and Lower Submicrometer CMOS Devices," IEEE Trans. Electron Devices, vol.37, no.5, pp. 1334 - 1342, May 1990.
20. R.K. Brayton, B.D. Hachtel and A.L. Sangiovanni - Vincentelli, "A Survey of Optimization Techniques for Integrate - Circuit Design," Proc. IEEE, vol.69, no.10, pp. 1334 - 1362, October 1981.
21. D.A.Hodge and H.G. Jackson, Analysis and Design of Digital Integrated Circuits, Ch.3, NewYork :McGraw Hill, 1983.
22. C.Mead and L Conway, Introduction to VLSI Systems, Reading, Massachusetts, Addison - Wesley, 1980.
23. A. Bellaouar and M.I. Elmasry, "Low-Power Digital VLSI Design Circuits and Systems," 1st Ed., Boston, Kluwer Academic Publishers, 1995.
24. R.M. Swanson and J.D. Meindl, "Ion- Implanted Complementary MOS Transistors in Low - Voltage Circuits," IEEE J. Solid - State Circuits, vol.7, no.2, pp. 146 - 153, April 1972.

25. L.Wissel and E.L. Gould, "Optimal Usage of CMOS within a BiCMOS Technology,"
IEEE J. Solid - State Circuits, vol.27, no.3, March 1992.
26. M. Shoji,. "CMOS Digital Circuit Technology," 1st Ed., New Jersey, Prentice - Hall
International, 1988.





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรม Pspice ที่ใช้ในการวิเคราะห์ในวิทยานิพนธ์

```

V_V1   clk 0
+PULSE 0 3.3 0 1ns 1n 4ns 10n
V_V2   $N_0001 0 DC 3.3
R_R1   0 Pd 10G
C_C1   0 Pd 1U
F_F1   0 Pd VF_F1 82.5
VF_F1  $N_0001 vdd 0V
C_C4   0 vout2 0.1P
V_V6   vin 0
+PULSE 0 5 0 1n 1n 4n 20n
M_M30  $N_0002 clk vin vin MN3(W=4U L=0.8U)
M_M31  vout2 $N_0002 vdd vdd mp3(W=
+ {W_VAR} L=0.8U)
M_M32  $N_0002 vout2 vdd vdd mp3(W=2U L=2.4U)
M_M33  vout2 $N_0002 0 0 MN3(W=2U L=0.8U)
M_M34  $N_0002 vout2 0 0 MN3(W=1U L=0.8U)

** Analysis setup **
.tran 2ns 30ns UIC
.STEP LIN PARAM W_var 2u 6u 0.5u
.TEMP 80
.probe N(Pd)
.probe I(V_V2)
.probe N(vout2)
.probe N(vin)
.probe N(clk)
.END

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

นาย บุญชัย เฉลิมพานิช เกิดเมื่อวันที่ 31 พฤษภาคม 2500 จังหวัดขอนแก่น สำเร็จการศึกษาคณะศึกษาศาสตร์บัณฑิต สาขาอิเล็กทรอนิกส์ จากสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2523 ผลงานที่ได้รับการตีพิมพ์

1. กอบชัย เคชหาญ, สมยศ จุณณะปิยะ, บุญชัย เฉลิมพานิช, สุชาติ คุณทวีเทพ, “การออกแบบไมโครชิพวงจรแลตซ์ เพื่อทำเป็นวงจรซีมอสรวมโดยการพิจารณาความยาวของเกตที่ใช้กระบวนการ 2 ไมครอน” วารสารการประชุมทางวิชาการวิศวกรรมไฟฟ้า ประจำปี 2534, หน้า 318 - 337, 23 - 26 พฤษภาคม 2534

2. K. dejhan, F. cheevasuvit, S. junnapiya, B. chalemphanich, “Micron and Submicron design Considerations of CMOS transistor optimization of VLSI design,” ISIC - 93, pp. 279 - 283, September 1993