การออกแบบและเลียนแบบการทำงานของไดนามิกและสแตติกแลทช์ด้วยเทคโนโลยีไบซีมอส

DESIGN AND PERFORMANCES SIMULATION OF DYNAMIC AND STATIC LATCH BASED-BiCMOS TECHNOLOGY

สมปอง วิเศษพานิชกิจ

SOMPONG WISETPHANICHKIJ

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2541

ISBN 974-622-144-2

เลขหมู่.....
เลขทะเบียน.....30964
วัน, เดือน, ปี.....4 ก.ย. 2541

DESIGN AND PERFORMANCES SIMULATION OF DYNAMIC AND STATIC LATCH BASED-BiCMOS TECHNOLOGY

SOMPONG WISETPHANICHKIJ

A THESIS SUBMITTED IN PARTAIL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
1998

ISBN 974-622-144-2

COPYRIGHT 1998

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

หัวข้อวิทยานิพนธ์	การออกแบบและเลียนแบบการทำงานของไดนามิกและสแตติกแลทช์ด้วยเทคโนโลยีไบซีมอส
ชื่อนักศึกษา	นายสมปอง วิเศษพานิชกิจ
อาจารย์ควบคุมวิทยานิพนธ์	รศ.ดร.กอบชัย เดชหาญ
หลักสูตร	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2541

บทคัดย่อ

วิทยานิพนธ์นี้เสนอการออกแบบวงจรไบซีมอสไดนามิกและสแตติกแลทช์ และการหาค่า Crossover Capacitance สำหรับกำหนดเป็นเงื่อนไขในการแทนวงจรซีมอสด้วยวงจรไบซีมอส ในวงจรรวม นอกจากนี้ยังเสนอเทคนิคในการออปติไมเซชั่นวงจรไบซีมอส โดยพิจารณาถึงการออปติไมเซชั่น ความเร็วการทำงานของวงจร ขนาดพื้นที่ชิป และการสูญเสียกำลังงานของวงจร เทคนิคที่นำเสนอนี้อาศัยการเปลี่ยนขนาดของมอสทรานซิสเตอร์และขนาดพื้นที่ของอิมิตเตอร์ของไบโพลาร์ เพียง 2 ตัวเท่านั้น เทคนิคนี้มีผลกระทบน้อยที่สุดต่อพื้นที่การวางผัง (Layout) ผลลัพธ์ที่ได้ มาจากการทดสอบด้วยโปรแกรม PSpice โดยใช้ค่าพารามิเตอร์ของการออกแบบ ด้วยเทคโนโลยีไบซีมอส ขนาด 0.8 ไมครอน

Thesis Title	Design and Performances Simulation of Dynamic and Static Latch based-BiCMOS Technology
Student	Mr. Sompong Wisetphanichkij
Thesis advisor	Assoc.Prof.Dr.Kobchai Dejhan
Degree	Master of Engineering in Electrical Engineering
Year	1998

ABSTRACT

This thesis proposes a design of BiCMOS dynamic and static latch and the evaluation of crossover capacitance for constraint of substitution of CMOS circuit by BiCMOS circuit. This thesis also presents an optimization technique for BiCMOS circuit by considering speed, area and power dissipation. The proposed technique uses only two variations of CMOS transistor size and emitter area of bipolar transistors. This technique has small effects to the layout area. All of results have been carried out by simulating based on PSpice with transistor parameters of 0.8μm BiCMOS technology.

กิตติกรรมประกาศ

ขอขอบพระคุณอาจารย์ รศ.ดร.กอบชัย เดชหาญ ที่ให้ความช่วยเหลือตลอดจนคำแนะนำต่างๆ ในการจัดทำวิทยานิพนธ์นี้ ขอขอบพระคุณบิดา มารดา ที่ให้การสนับสนุนและให้กำลังใจตลอดการศึกษา

ขอขอบคุณทุนอุดหนุนการทำวิทยานิพนธ์ ของบัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

สมปอง วิเศษพานิชกิจ

สารบัญ

หน้า

บทคัดย่อภาษาไทย I

บทคัดย่อภาษาอังกฤษ II

กิตติกรรมประกาศ III

สารบัญ IV

สารบัญตาราง VII

สารบัญภาพ VIII

บทที่ 1. บทนำ 1

1.1 บทนำ 2

1.2 ที่มาของงานวิจัย 2

1.3 วัตถุประสงค์งานวิจัย 2

1.4 รายละเอียดในวิทยานิพนธ์ 2

บทที่ 2 เทคโนโลยีไบซีมอสและประเภทของวงจรไบซีมอส 4

2.1 เทคโนโลยีไบซีมอส 4

2.2 โครงสร้างและการทำงานของวงจรไบซีมอส 5

2.3 การออกแบบวงจรไบซีมอส 8

2.3.1 โครงสร้างแบบ Common - Emitter (CE) 9

2.3.2 โครงสร้างแบบ Gate - Diode (GD) 10

2.3.3 โครงสร้างแบบ Emitter-Follower (EF) 12

2.4 ประเภทของวงจรไบซีมอส 17

2.5 การเชื่อมโยงวงจรไบซีมอสและซีมอสลอจิก 20

2.6 เทคนิคการออกแบบการเชื่อมโยงแบบ non - intermix 23

2.6.1 การเชื่อมโยงแบบ FS → FS 23

2.6.2 การเชื่อมโยงแบบ PS→ PS 25

สารบัญ (ต่อ)

หน้า

บทที่ 3 วงจรไบซีมอสแลทช์ 31

3.1 การใช้งานวงจรแลทช์และ เวลาหน่วง 31

3.2 วงจรไบซีมอสไดนามิแลทช์ (BiCMOS dynamic latch) 36

3.2.1 ผลตอบสนองชั่วขณะ(Switch transient response) 38

3.2.2 การหา Cross over load capacitance (C_{CRS}) 41

3.3 วงจรไบซีมอสสแตติกแลทช์ (BiCMOS static latch) 42

3.4 ผลการทดสอบคุณสมบัติวงจรไบซีมอสไดนามิกแลทช์และสแตติกแลทช์ 47

3.4.1 วงจรไบซีมอสไดนามิกแลทช์ 47

3.4.2 วงจรไบซีมอสสแตติกแลทช์ 53

บทที่ 4 ปรากฏการณ์รองที่มีผลต่อคุณลักษณะของวงจรไบซีมอสแลทช์

4.1 ผลกระทบเมื่อนำกระแสสูง(High current effects) 57

4.1.1 ผลการจำลองด้วย Pspice 62

4.2 ผลกระทบจากการอิ่มตัวของคอลเลคเตอร์ 64

4.3 ภาวะกึ่งเสถียร (Meta-stable) 66

4.4 การลดขนาดทรานซิสเตอร์ (Scaling) 68

บทที่ 5 การออกแบบวงจรและการกำหนดเงื่อนไขที่เหมาะสมที่สุด

5.1 การสูญเสียกำลังรวม 71

5.1.1 การสูญเสียกำลังสถิต 71

5.1.2 การสูญเสียกำลังไดนามิก 72

5.1.3 การสูญเสียกำลังลัดวงจรไดนามิก 73

5.2 พื้นที่ (Area) 74

5.3 ความเร็ว (Speed) 77

สารบัญ (ต่อ)

หน้า

5.4 การหาเงื่อนไขที่ดีที่สุด 79

5.5 ผลการออปติไมซ์วงจรไบซีมอสไดนามิก และสแตติกแลทช์ 82

5.5.1 วงจรไบซีมอสไดนามิกแลทช์ 82

5.5.2 วงจรไบซีมอสสแตติกแลทช์ 85

บทที่ 6 บทสรุปและวิจารณ์ 86

เอกสารอ้างอิง 87

ภาคผนวก 89

ก. ทรานซิสเตอร์ผ่าน (Pass transistor) 90

ข. ผลตอบสนองชั่วขณะของวงจรไบซีมอสไดนามิกแลทช์ 100

ค. โปรแกรม PSpice ที่ใช้ในการวิเคราะห์ในวิทยานิพนธ์ 108

ประวัติผู้เขียน 114

สารบัญตาราง

ตารางที่ หน้า

3.1 ค่าหน่วงเวลาของวงจรไบซีมอสและซีมอสแลทช์ 52

4.1 แสดงผลของปรากฏการณ์ high - current level ต่อ ค่าหน่วงเวลา 63

4.2 ผลการลดขนาดวงจรซีมอสและไบซีมอส 69

ค.1 ค่าทรานซิสเตอร์พารามิเตอร์ เทคโนโลยีไบซีมอสขนาด 0.8 μm 110

สารบัญภาพ

ภาพที่ หน้า

2.1 (a) ภาพตัดขวางโครงสร้างอุปกรณ์ภายใต้เทคโนโลยีไบซีมอส แบบ NPN-CMOS. 5

(b) ภาพตัดขวางโครงสร้างอุปกรณ์ภายใต้เทคโนโลยีไบซีมอส แบบ CBiCMOS.... 5

2.2 โครงสร้างภายในของวงจร (a) ซีมอสลอจิกเกท (b)ไบซีมอสลอจิกเกท..... 6

2.3 วงจรไบซีมอสอินเวอร์เตอร์ 7

2.4 การถ่ายโอนกระแสตรงวงจรไบซีมอสอินเวอร์เตอร์..... 8

2.5 โครงสร้างวงจรไบซีมอส 9

2.6 การทำงานของวงจรไบซีมอสแบบ Common-Emitter 9

2.7 การทำงานของวงจรไบซีมอสแบบ Gate - diode 11

2.8 การทำงานของวงจรไบซีมอสแบบ Emitter Follower 12

2.9 วงจรไบซีมอสอินเวอร์เตอร์ที่ประกอบด้วยอุปกรณ์คายประจุแบบ 16

2.10 วงจรไบซีมอสอินเวอร์เตอร์ ที่มีการเชื่อมต่ออุปกรณ์คายประจุแบบ Active 17

2.11 ชนิดของวงจรไบซีมอสอินเวอร์เตอร์ 18

2.12 วงจรไบซีมอส แบบ Partial swing 19

2.13 วงจรไบซีมอส Full swing (a). CBiCMOS (b). Totem pole ขนาน CMOS..... 19

2.14 การเชื่อมโยงวงจรแบบ Multistage (a) non - intermix (b) intermix 20

2.15 การเชื่อมโยงแบบ intermix (PS $\rightarrow$FS)..... 21

2.16 การนำกระแสของไบโพลาร์ในวงจรไบซีมอส ในส่วน Pull - up..... 21

2.17 การเพิ่มโครงข่ายขนาน (a) คอลเลคเตอร์ - อิมิตเตอร์ (b) เบส - อิมิตเตอร์..... 24

2.18 การเชื่อมต่อโครงข่ายขนานภายในวงจรไบซีมอส 24

2.19 Level-shift BiCMOS circuit 26

2.20 วงจรไบซีมอสแบบ level shift..... 27

2.21 การเพิ่มแรงดันไบอัสตรงแก่ไบโพลาร์ทรานซิสเตอร์ 28

2.22 วงจรปรับระดับสัญญาณ (a) วงจรภายใน (b) การถ่ายโอนสัญญาณ..... 29

2.23 การเชื่อมโยงโดยอาศัยวงจร level converter 30

3.1 ระบบใช้สัญญาณนาฬิกา แบบระบบขั้นตอนตามเวลา (FSM)..... 31

สารบัญภาพ (ต่อ)

ภาพที่ หน้า

3.2 ระบบใช้สัญญาณนาฬิกา แบบระบบท่อข้อมูล (Pipeline system) 32

3.3 แสดงพารามิเตอร์ค่าหน่วงเวลาต่าง ๆ 34

3.4 สัญญาณนาฬิกาเฟสเดียวแสดงค่พารามิเตอร์ต่าง ๆ 35

3.5 (a). วงจรไดนามิกแลทช์ขนาดครึ่งบิท

(b). โครงสร้างภายในวงจรไบซีมอสไดนามิกแลทช์แบบ totem - pole 37

3.6 (a). แสดงค่าหน่วงเวลาผ่านเกทวงจรไบซีมอสแลทช์

(b). ช่วงเวลาหน่วงเวลาดึงขึ้น และการทำงานของไบโพลาร์ทรานซิเตอร์..... 38

3.7 วงจรส่วน Pull - up section ขณะที่ระดับสัญญาณขาออกเปลี่ยนจาก '0' เป็น '1'.... 39

3.8 การหาค่า Cross over load capacitance: C_{CRS} 42

3.9 แสดงวงจรสแตติกแลทช์แบบกลับเฟสซึ่งใช้ในระบบท่อส่งข้อมูล..... 42

3.10 แสดงโครงสร้างภายในวงจรสแตติกแลทซที่สร้างด้วยเทคโนโลยีไบซีมอส..... 43

3.11 การถ่ายโอนสัญญาณวงจรสแตติกแลทช์..... 44

3.12 แบบจำลองวงจรสแตติกแลทช์ ช่วงส่งผ่านข้อมูล..... 44

3.13 แสดงการสัญญาณ เอาต์พุตของวงจรสแตติกแลทช์ในช่วงส่งผ่านสัญญาณ..... 46

3.14 แบบจำลองวงจรสแตติกแลทช์ ช่วงคงค่าสัญญาณ 46

3.15 แสดงการถ่ายโอนไฟตรงวงจรไดนามิกแลทช์แบบกลับเฟส..... 48

3.16 แสดงการทำงานของวงจรไบซีมอสไดนามิกแลทช์แบบกลับเฟส 49

3.17 แสดงการตอบสนองสัญญาณเอาต์พุตเมื่อทดสอบกับ C_L = 0 ถึง 1pF..... 50

3.18 แสดงการตอบสนองสัญญาณเอาต์พุตเมื่อทดสอบกับ C_L =1 ถึง 10 pF..... 51

3.19 แสดงค่าหน่วงเวลาของวงจรไบซีมอสและซีมอสไดนามิกแลทช์..... 53

3.20 แสดงการถ่ายโอนไฟตรงวงจรสแตติกแลทช์แบบกลับเฟส..... 53

3.21 แสดงการทำงานของวงจรไบซีมอสสแตติกแลทช์แบบกลับเฟส..... 54

3.22 แสดงการตอบสนองวงจรไบซีมอสสแตติกแลทช์เมื่อทดสอบกับ C_L = 0 ถึง 1pF... 55

สารบัญภาพ (ต่อ)

ภาพที่ หน้า

3.23 แสดงการตอบสนองวงจรซีมอสสแตติกแลทช์เมื่อทดสอบกับ C_L =1 ถึง 1 pF..... 55

3.24 แสดงค่าหน่วงเวลาของวงจรไบซีมอสและซีมอสสแตติกแลทช์..... 56

4.1 แบบจำลอง Gummel-Poon ของไบโพลาร์ทรานซิสเตอร์..... 57

4.2 ผลจาก Base-width modulation จากการเปลี่ยน V_{CE} 59

4.3 Gummel plot แสดงการเปลี่ยนแปลงของ $\ln(I_C)$, $\ln(I_B)$ ต่อ V_{BE} 60

4.4 การกระจายของประจุพาหะส่วนน้อยในเบส..... 60

4.5 การจำลองช่วง high - current injection ของไบโพลาร์ทรานซิสเตอร์ด้วย Spice 62

4.6 ผลการทดสอบปรากฏการณ์ high - current level 63

4.7 แสดงผลของปรากฏการณ์ high - current level ต่อ ค่าหน่วงเวลา ตามตารางที่ 4.1... 64

4.8 แสดงผลการจำลองการอิ่มตัวของไบโพลาร์ด้วย PSpice เมื่อ R_C เพิ่มขึ้น 65

4.9 แสดงการเปลี่ยนแปลงสัญญาณกับเวลาในช่วงคงค่าสัญญาณวงจรสแตติกแลทช์ 67

4.10 การเปลี่ยนสถานะและการลู่เข้าสถานะสุดท้ายของแลทช์ 68

5.1 การคำนวณกำลังสูญเสียไดนามิก 72

5.2 ผลจำลองด้วย PSpice แสดงการเปลี่ยนแปลงของกระแสในวงจรไบซีมอสแลทช์ 75

5.3 แสดงการวัดการสูญเสียกำลัง..... 76

5.4 แสดงการหน่วงเวลาของวงจรไบซีมอส เนื่องจากขนาดมอสทรานซิสเตอร์..... 77

5.5 การหน่วงเวลาวงจรไบซีมอสเนื่องจากพื้นที่อิมิตเตอร์..... 79

5.6 วงจรภายใน (a) วงจรไบซีมอสไดนามิกแลทช์ (b) วงจรไบซีมอสสแตติกแลทช์ 80

5.7 แสดงการเปลี่ยนแปลงความเร็ว เมื่อทำเปลี่ยนความยาวเกท เมื่อ C_L มีค่าต่ำ ๆ 82

5.8 แสดงการเปลี่ยนแปลงกำลังสูญเสีย เมื่อทำเปลี่ยนความยาวเกท เมื่อ C_L มีค่าต่ำ ๆ 82

5.9 แสดงการเปลี่ยนแปลงความเร็ว เมื่อเพิ่มความกว้างเกทและขนาดอิมิตเตอร์..... 83

5.10 แสดงการเปลี่ยนแปลงความเร็ว เมื่อเพิ่มขนาดอิมิตเตอร์และลดขนาดอิมิตเตอร์..... 83

5.11 แสดงการเปลี่ยนแปลงกำลังงานสูญเสีย เมื่อเพิ่มความกว้างเกทและขนาดอิมิตเตอร์ . 84

5.12 แสดงการเปลี่ยนแปลงความเร็ว เมื่อทำเปลี่ยนความยาวเกท 85

สารบัญภาพ (ต่อ)

ภาพที่ หน้า

5.13 แสดงการเปลี่ยนแปลงกำลังสูญเสีย เมื่อทำเปลี่ยนความยาวเกท 85
ก.1 ไดนามิกแลทช์และ สแตติกแลทช์ 87
ก.2 วงจรสมมูลย์การถ่ายโอนลอจิก "1" 88
ก.3 การเปลี่ยนแปลง V_x ตามเวลา ในระหว่างการส่งผ่านลอจิก "1" 89
ก.4 วงจรสมมูลย์เมื่อทำการส่งผ่านลอจิก "0" 91
ก.5 การเปลี่ยนแปลงศักดา V_x ตามเวลา 92
ก.6 ประจุรั่วไหลจากโหนด x 93
ก.7 ภาพตัดขวางเอ็นมอสทรานซิสเตอร์ ผ่านแสดงกระแสรั่วไหลจาก C_x 94
ก.8 วงจรสมมูลย์สำหรับวิเคราะห์การรั่วไหลของประจุที่โหนด x 94
ข.1 วงจรสมมูลย์ในช่วงเวลา T_1 97
ข.2 วงจรสมมูลย์ในช่วงเวลา T_2 99
ข.3 วงจรสมมูลย์ในช่วงเวลา T_3 101

บทที่ 1

บทนำ

1.1 บทนำ

โดยทั่วไปเป็นที่ทราบกันดีว่า วงจรไบโพลาร์ลอจิก มีความเร็วในการทำงานสูงกว่าวงจรซีมอส แต่ก็กินพื้นที่ชิปมาก เนื่องจากอุปกรณ์ไบโพลาร์ (Bipolar device) มีขนาดใหญ่ และเกิดการสูญเสียกำลังสถิต (static power dissipate) สูง ในขณะที่วงจรซีมอสลอจิกกลับใช้กำลังงานต่ำและใช้พื้นที่น้อยกว่า เพื่อที่จะ วงจรรวมมีประสิทธิภาพในการทำงานสูงสุดของวงจร จึงมีแนวความคิดที่จะรวม 2 เทคโนโลยี (CMOS Technology และ Bipolar Technology) เข้าด้วยกัน ถึงแม้ว่าโดยปกติในกระบวนการผลิตวงจรซีมอส จะปรากฏอุปกรณ์ไบโพลาร์อยู่แล้ว แต่มักถูกมองว่าเป็นอุปกรณ์แฝง (Parasitic device) และไม่ได้นำมาใช้ประโยชน์แต่อย่างไร แต่กลับส่งผลเสียแก่วงจร เช่น เกิดการแลทช์อัพ (latch-up) ของวงจรลอจิก กอปรกับ ปัจจุบันการประยุกต์ใช้งานวงจรรวม มักกำหนดให้ทำงานที่ระดับแรงดันแหล่งจ่ายต่ำ ประมาณ 3-5 โวลท์ และอาจต่ำกว่า 3 โวลท์ สำหรับวงจรประเภทพกพา (portable) ทั้งนี้เพื่อลดขนาดของชิป ตลอดจนยืดอายุการใช้งานแบตเตอรี่ เมื่อวงจรทำงานด้วยแรงดันไฟเลี้ยงต่ำ ทำให้อุปกรณ์ไบโพลาร์ที่ใช้มีแรงดันพังทลายที่รอยต่อคอลเลคเตอร์-เบส (V_{cb} Breakdown) ต่ำลง ฉะนั้นจึงสามารถสร้างอุปกรณ์ต่างๆ ลงบนชั้นอิพิแทกเซียลบางและเข้มข้น ผลก็คือสามารถแยกอุปกรณ์และทรานซิสเตอร์ต่าง ๆ ได้ด้วยเทคนิค LOCOS (Local oxidation of silicon) ซึ่งเป็นเทคนิคเดียวกันที่ใช้ในเทคโนโลยีซีมอส [1] นอกจากนั้นเทคโนโลยีการสร้างมอสและไบโพลาร์ เริ่มมีความใกล้เคียงกัน จึงเกิดการรวม 2 เทคโนโลยีเข้าด้วยกัน โดยขั้นตอนที่สอดคล้องกันจะถูกสร้างพร้อมกัน โดยเรียกเทคโนโลยีนี้ว่า เทคโนโลยี ไบซีมอส (BiCMOS) ความซับซ้อนและต้นทุนในการผลิต ขึ้นอยู่กับประเภท (PNP, NPN) และคุณภาพของไบโพลาร์ทรานซิสเตอร์ (β, f_T) ดังนั้น วงจรไบซีมอสจึงมีโครงสร้างที่แตกต่างกันตามเทคโนโลยีที่เลือกใช้

1.2 ที่มาของงานวิจัย

จากข้อได้เปรียบในเทคโนโลยีไบซีมอสนี้ จึงมีการประยุกต์ใช้ในวงจร VLSI ความเร็วสูง โดยประกอบด้วยวงจรดิจิตอลต่างๆ วงจรแลทช์ ซึ่งทำหน้าที่เป็นหน่วยความจำในงานประมวลผลทางดิจิตอล เป็นที่พักข้อมูลในระบบท่อส่งข้อมูล ตลอดจนใช้เป็นวงจรขับสัญญาณ และด้วยอรรถประโยชน์ที่หลากหลาย ทำให้วงจรแลทช์เป็นส่วนประกอบที่สำคัญและใช้มากในวงจรดิจิตอลทั่วไป และด้วยเทคโนโลยีไบซีมอสที่หลากหลาย วิทยานิพนธ์นี้จึงเสนอการการออกแบบวงจรไดนามิกและสแตติกแลทช์ ในแบบต่าง ๆ ตลอดจนแสดงข้อดีและข้อเสียของวงจรแต่ละแบบเพื่อให้วงจรที่ออกแบบมีความเหมาะสมกับงานในแต่ละด้าน

1.3 วัตถุประสงค์งานวิจัย

จุดมุ่งหมายของงานวิจัยนี้ เสนอแนวทางในการออกแบบ และการออปติไมซ์วงจรไดนามิก และสแตติก เพื่อให้วงจรมีประสิทธิภาพสูงสุดทั้งทางด้านความเร็ว กำลังงานสูญเสียและ พื้นที่ชิป โดยการศึกษาวิเคราะห์การตอบสนองสัญญาณที่ความถี่สูง และการวัดกำลังงานสูญเสียตรงของวงจร จากเทคโนโลยีไบซีมอสที่ให้ไบโพลาร์ทรานซิสเตอร์คุณภาพปานกลางและต้นทุนการผลิตไม่สูงนักเป็นต้นแบบในการทดสอบวิจัย ทำให้สามารถประยุกต์วิธีการออกแบบและการหาเงื่อนไขการทำงานที่ดีที่สุด ต่อวงจรที่ออกแบบด้วยเทคโนโลยีไบซีมอสขั้นสูง นอกจากนี้ งานวิจัยยังชี้ให้ถึงข้อได้เปรียบเสียเปรียบของวงจรที่ออกแบบด้วยเทคโนโลยีซีมอสและไบซีมอสในสภาวะต่าง ๆ ทั้งนี้เพื่อเป็นประโยชน์ กับผู้ออกแบบในการเลือกใช้วงจรให้เหมาะสมและมีประสิทธิภาพสูงสุด

1.4 รายละเอียดในวิทยานิพนธ์

เนื่องจากเทคโนโลยีไบซีมอสที่หลากหลาย ซึ่งเป็นตัวกำหนดประเภทและคุณภาพของอุปกรณ์ ทำให้วงจรดิจิตอลไบซีมอสมีโครงสร้างและคุณลักษณะ (Characteristic) แตกต่างกัน ในบทที่ 2 จะกล่าวถึง โครงสร้างหลักภายในของวงจรไบซีมอส การทำงานของอุปกรณ์แต่ละส่วน การออกแบบให้เหมาะสมกับงานที่ใช้ เช่นวงจรที่ต้องการต้นทุนต่ำความหนาแน่นสูง, ในงานที่มีช่วงแรงดันต่ำ หรืองานที่ต้องการความเร็วสูง เป็นต้น นอกจากนี้ ยังกล่าวถึงการเชื่อมโยงระหว่างวงจรอันเนื่องจากความแตกต่างของช่วงสวิงสัญญาณ ส่วนบทที่ 3 กล่าวถึงแนวทางการออกแบบวงจรไบซีมอสไดนามิกและสแตติกแลทช์ การเปรียบเทียบวงจรที่ออกแบบด้วยเทคโนโลยีซีมอส

และไบซีมอส บทที่ 4 จะกล่าวถึง ปรากฏการณ์ต่าง ๆ ที่เกิดขึ้นกับวงจรไบซีมอสแลทช์ภายใต้การทำงานในสภาวะต่าง ๆ นอกจากนี้ยังกล่าวรวมไปถึงผลของการลดขนาดวงจร (Scaling) สำหรับเทคโนโลยีในอนาคต บทที่ 5 จะกล่าวถึงการหาเงื่อนไขที่ดีที่สุด (Optimization) เพื่อให้วงจรไบซีมอสแลทช์ที่ออกแบบมีประสิทธิภาพสูงสุด และบทที่ 6 เป็นการสรุปผลการวิจัยและเสนอแนะ

บทที่ 2

เทคโนโลยีไบซีมอสและประเภทของวงจรไบซีมอส

2.1 เทคโนโลยีไบซีมอส

เทคโนโลยีการสร้างวงจรไบซีมอส ได้รับการพัฒนามาจากเทคโนโลยีการสร้างวงจรซี-มอสและไบโพลาร์ โดยขั้นตอนที่สอดคล้องกันจะถูกสร้างขึ้นพร้อมกัน [3] ดังนั้นจึงสามารถแบ่งเทคโนโลยีการสร้างไบซีมอสได้เป็น 2 แบบ คือ

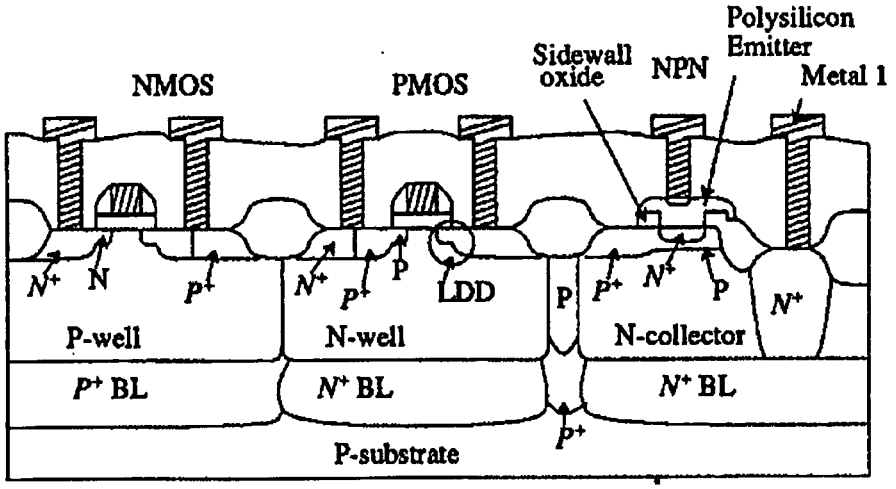
2.1.1 Bipolar-based BiCMOS Technology

ในระยะแรก ๆ ในการผลิตวงจรไบซีมอส การเพิ่มอุปกรณ์มอสลงบนวงจรไบโพลาร์ภายใต้เทคโนโลยีการผลิตไบโพลาร์ เป็นเรื่องที่ยุ่งยากและเสียค่าใช้จ่ายสูง ดังนั้นจึงนิยมที่จะสร้างอุปกรณ์ไบโพลาร์ลงบนขบวนการผลิตซีมอสมากกว่า อย่างไรก็ตามอุปกรณ์ไบโพลาร์ที่ผลิตด้วยเทคโนโลยีนี้มีคุณภาพสูงกว่า เนื่องจากสามารถควบคุมขนาดและความหนาแน่นสารเจืออย่างมีประสิทธิภาพทำให้ไบโพลาร์ที่ได้มีอัตราขยายสูง ($\beta \approx$ 100-200) และ ความถี่คัทออฟ ($f_T \approx$ 20-30GHz) ผลคือสามารถผลิตวงจรที่มีความเร็วสูง ทำให้ผู้ผลิตบางรายหันมาใช้เทคโนโลยีนี้บ้างก็ตาม แต่วงจรที่ได้ก็มีขนาดใหญ่และมีการสูญเสียกำลังในรูปความร้อนสูง ดังนั้น จึงต้องออกแบบระบบระบายความร้อนอย่างดี จึงจะรักษาประสิทธิภาพของวงจรไว้ได้ ทำให้เทคโนโลยีนี้ยังไม่เป็นที่นิยมแพร่หลายนัก

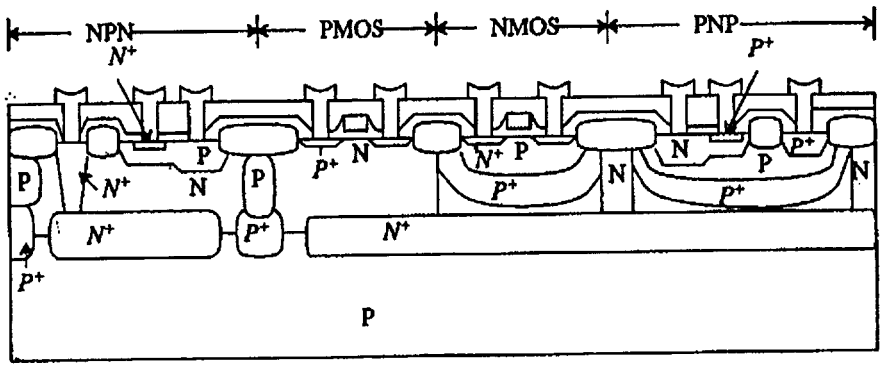
2.1.2 MOS-based BiCMOS Technology

เป็นขบวนการผลิตที่ใช้เทคโนโลยีซีมอสเป็นหลัก แต่ทำการสร้างอุปกรณ์ไบโพลาร์เพิ่มเข้าไป โดยบางส่วนของอุปกรณ์ไบโพลาร์สามารถสร้างขึ้นภายใต้เทคโนโลยีซีมอส ในขณะที่บางส่วนจำเป็นต้องเพิ่ม mask หรือ layout พิเศษ คุณภาพของไบโพลาร์จะเป็นตัวกำหนดความซับซ้อนและจำนวน layout ที่เพิ่มขึ้น รูปที่ 2.1 แสดงลักษณะโครงสร้างอุปกรณ์ที่แตกต่างกัน ภายใต้เทคโนโลยี BiCMOS โดยใช้ mask เพิ่มเติมจากขบวนการผลิตมอสทรานซิสเตอร์เดิม 4 และ 6 mask ตามลำดับ [6]

รูปที่ 2.1(a) ภาพตัดขวางโครงสร้างอุปกรณ์ภายใต้เทคโนโลยีไบซีมอส แบบ NPN-CMOS



รูปที่ 2.1(b) โครงสร้างอุปกรณ์ เทคโนโลยีไบซีมอส CBiCMOS (Complementary BiCMOS)



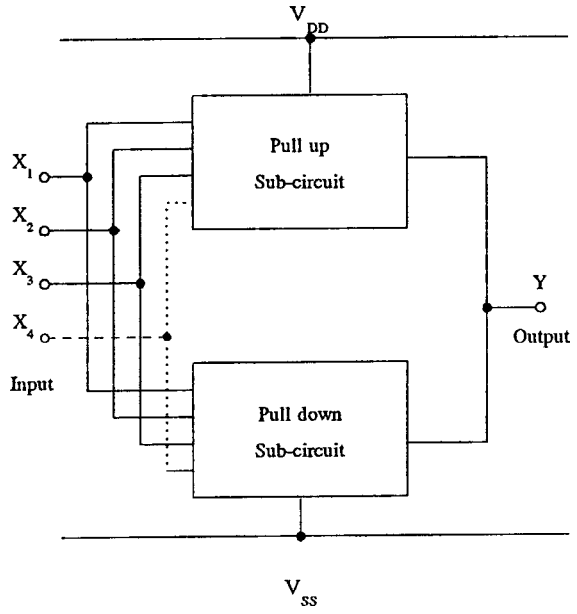
2.2 โครงสร้างและการทำงานของวงจรไบซีมอส

วงจรไบซีมอส แบ่งส่วนการทำงานออกเป็น 4 ส่วน รูปที่ 2.2 (b) คือ

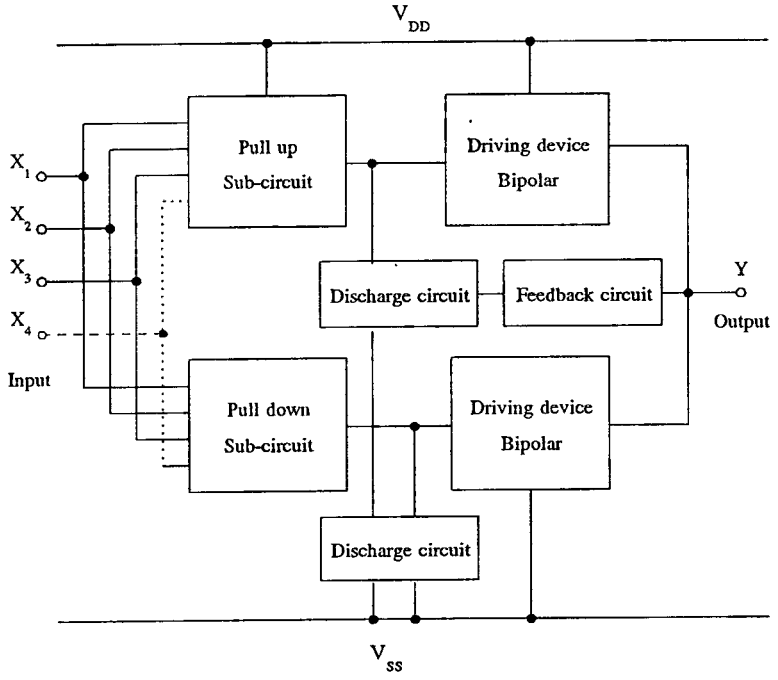
1. วงจรซีมอส ซึ่งทำหน้าที่กำหนดลอจิกฟังก์ชัน และทำหน้าที่ขับอุปกรณ์ไบโพลาร์ในส่วนที่ 2 วงจรส่วนนี้แบ่งออกเป็นส่วน Pull-up และ Pull-down
2. ส่วนอุปกรณ์ไบโพลาร์ทำหน้าที่ขับ/ดึงกระแสโหลด เพื่อให้โหลดมีค่าลอจิกที่กำหนด
3. อุปกรณ์คายประจุที่รอยต่อ อิมิตเตอร์-เบส เมื่อไบโพลาร์หยุดนำกระแส เพื่อให้วงจรสามารถทำงานได้เร็วขึ้น อุปกรณ์นี้อาจเป็นเพียงตัวต้านทานหรือโหลดไวงาน (Active load) เช่น มอสทรานซิสเตอร์ หรือประกอบขึ้นเป็นวงจรโครงข่ายซับซ้อนโดยอาศัยการป้อนกลับสัญญาณเพื่อควบคุมเวลาในการคายประจุเพื่อให้วงจรมีความเร็วสูงสุด

4. อุปกรณ์อื่น ๆ เช่น Passive/Active Shunt Network สำหรับการออกแบบวงจรแกว่งเต็มช่วง (full swing) หรืออุปกรณ์เพิ่มความเร็ว เช่น Schottky diode เป็นต้น

รูปที่ 2.2 โครงสร้างภายในของวงจร (a) ซีมอสลอจิกเกท (b)ไบซีมอสลอจิกเกท

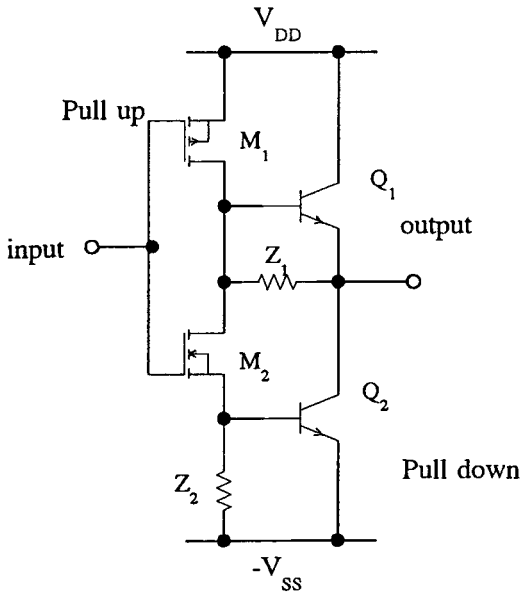


(a)



(b)

รูปที่ 2.3 วงจรไบซีมอสอินเวอร์เตอร์



วงจรไบซีมอสในรูป 2.3 เป็นวงจรอินเวอร์เตอร์ ซึ่งเป็นเทคนิคการออกแบบวงจรในระยะเริ่มแรก โดยเทคโนโลยีในสมัยนั้นไบโพลาร์ทรานซิสเตอร์ที่สร้างขึ้นมีขนาดใหญ่มาก ดังนั้นขนาดของตัวต้านทานจึงไม่เป็นเงื่อนไขในการออกแบบ วงจรดังกล่าวจึงถูกผลิตออกในรูปของอุปกรณ์ดิสครีต (discrete element) หรือวงจรรวมแบบ LSI มากกว่าที่จะออกแบบในเป็นวงจรรวมแบบ VLSI

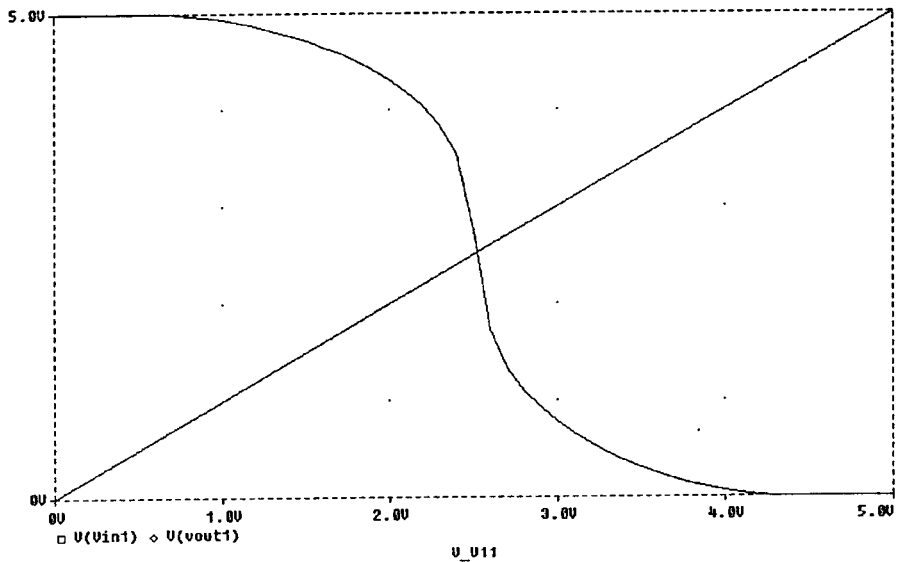
การทำงานของวงจร จากรูปวงจรส่วนแรกเป็นวงจรซีมอส ทำหน้าที่กำหนดระดับสัญญาณ โดยต่อกันแบบคู่ประกอบ (Complementary) M_1 ทำหน้าที่เป็นวงจรส่วน Pull-up และ M_2 ทำหน้าที่เป็นวงจรส่วน Pull-down โดยกำหนดระดับสัญญาณเอาต์พุตเป็น 1 และ 0 ตามลอจิกฟังก์ชัน ตามลำดับ แรงดันสัญญาณแกว่งเอาต์พุตของวงจรส่วนหน้านี้ระหว่าง V_{SS} ถึง V_{DD} ตัวต้านทาน Z_1 และ Z_2 ทำหน้าที่คายประจุที่รอยต่อเบส-อิมิตเตอร์เพื่อเพิ่มความเร็วในหยุดนำกระแสของไบโพลาร์ทรานซิสเตอร์ นอกจากนี้ Z_1 และ Z_2 ยังทำให้สัญญาณเอาต์พุตเกิดการแกว่งแบบเต็มช่วง (Full swing) เมื่อไบโพลาร์หยุดนำกระแสแล้ว

เมื่อเริ่มป้อนสัญญาณ 0 ที่อินพุต พีมอสทรานซิสเตอร์ (M_1) เกิดการเหนี่ยวนำช่องทางเดินกระแส โดยกระแสส่วนใหญ่จะไหลจากแหล่งจ่าย ผ่าน M_1 ทำการไบอัส ไบโพลาร์ (Q_1) ที่เบส ขณะนี้เอ็นมอสทรานซิสเตอร์ยังคงคัทออฟ ดังนั้นจึงไม่มีทางเดินกระแสตรงระหว่างแหล่งจ่าย กระแสที่ไหลจากแหล่งจ่ายจึงเป็นเพียงกระแส AC ที่ไหลไปยังเอาต์พุตโหนด โดยกระแสบางส่วน

จะไหลผ่าน Z_1 ไป กระแสส่วนนี้ทำให้กระแสไบอัสน้อยลง เป็นผลให้การทำงานของวงจรช้าลง ดังนั้นจึงนิยมออกแบบให้ Z_1 มีขนาดใหญ่ เพื่อจำกัดขนาดของกระแสที่ผ่าน Z_1 เมื่อไบโพลาร์เริ่มเข้าสู่ย่านอิ่มตัว Z_1 นี้ยังคงนำกระแสต่อไป ทำให้สัญญาณเอาต์พุตมีค่าเท่ากับ V_{DD}

ในทางตรงข้ามเมื่อป้อนสัญญาณ 0 ที่อินพุต M_2 เริ่มนำกระแส เกิดการไบอัสไบโพลาร์ทรานซิสเตอร์ Q_2 เกิดการคายประจุออกจากโหลดผ่าน Q_2, M_2, Z_1 และ Z_2 เมื่อ Q_2 เริ่มเข้าสู่ย่านอิ่มตัว M_2 จะหยุดนำกระแส ดังนั้นสัญญาณเอาต์พุตจึงมีค่าเท่ากับ $V_{CE(SAT)}$ - V_{SS} หรือประมาณเท่ากับ V_{SS}

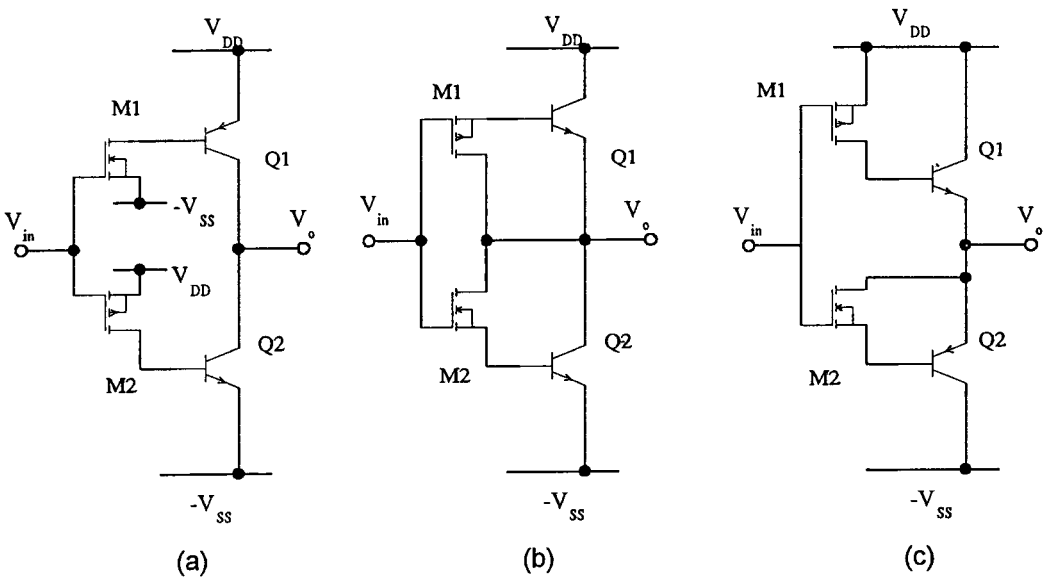
รูปที่ 2.4 การถ่ายโอนกระแสตรงวงจรไบซีมอสอินเวอร์เตอร์(รูปที่ 2.3)



2.3 การออกแบบวงจรไบซีมอส

ขั้นตอนในการออกแบบวงจร Static logic ด้วยเทคโนโลยีไบซีมอส เริ่มจากการกำหนดฟังก์ชันการทำงานในรูปของสมการบูลีน จากนั้นใช้วิธีเดียวกันกับการออกแบบวงจรซีมอสโดยทำการออกแบบวงจรส่วน Pull-up และ ส่วน Pull-down โดยแยกทั้งสองส่วนออกจากกัน ขั้นต่อไปจึงเพิ่มอุปกรณ์ไบโพลาร์ซึ่งทำหน้าที่ขับกระแส ชนิดของอุปกรณ์ไบโพลาร์และการเชื่อมต่อที่ต่างกันทำให้การทำงานและ คุณลักษณะ (Characteristic) ของวงจรที่ได้แตกต่างกัน ซึ่งสามารถแบ่งออกได้ดังนี้ [4]

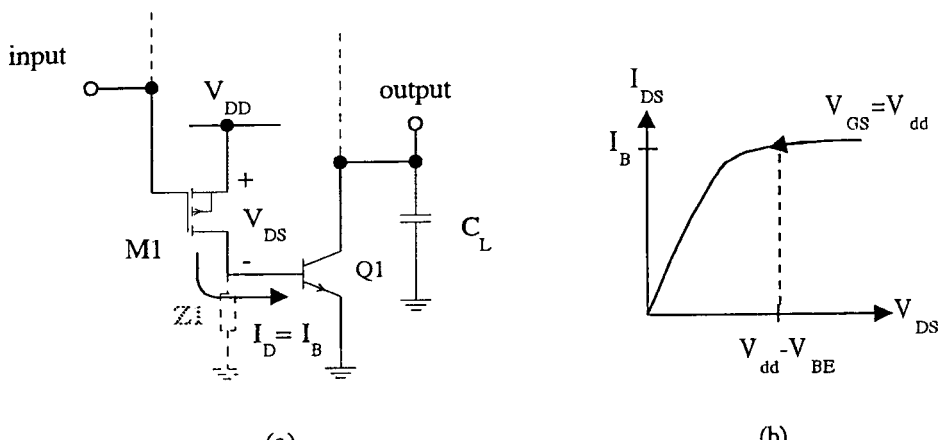
รูปที่ 2.5 โครงสร้างวงจรไบซีมอส (a). Common - Emitter (CE) (b). Gate - Diode (GD)
(c). Emitter Follower (EF)



2.3.1 โครงสร้างแบบ Common - Emitter (CE)

วงจรในส่วน Pull-down จะมีการทำงาน เริ่มจากพีมอสซึ่งทำหน้าที่สวิตช์ให้เกิดการทำงาน โดยการป้อนกระแสไบอัสให้กับไบโพลาร์ทรานซิสเตอร์เพื่อคายประจุที่โหลดลงสู่กราวด์ โดยที่มอสทรานซิสเตอร์จะถูกต่ออยู่ในลักษณะ Common-Source ในขณะที่ไบโพลาร์ทรานซิสเตอร์ จะต่ออยู่ในลักษณะ Common-Emitter การทำงานของวงจรจึงเป็นแบบไม่กลับเฟส

รูปที่ 2.6 วงจรไบซีมอสส่วน Pull -down (a).โครงสร้างแบบ Common-Emitter
(b) การทำงานของวงจร



พิจารณาการทำงานของวงจร โดยสมมติว่าในสภาวะเริ่มแรก มอสทรานซิสเตอร์อยู่ในสภาวะคัทออฟ และประจุที่ เบสของไบโพลาร์ทรานซิสเตอร์ถูกคายผ่านอุปกรณ์คายประจุ(Z1)ลงกราวด์ เมื่อป้อนอินพุต 0 ให้กับวงจร พีมอสทรานซิสเตอร์เริ่มทำงานโดยที่ศักดา $V_{DS} = |V_{DD}|$ ดังนั้น มอสจึงนำกระแสในย่านอิ่มตัว โดยกระแส I_{DS} จะไหลเข้าสู่เบสของ ไบโพลาร์ทรานซิสเตอร์อย่างรวดเร็ว เมื่อศักดาระหว่าง เบส-อิมิตเตอร์เข้าสู่ $V_{BE(ON)}$ ไบโพลาร์จะเริ่มนำกระแส I_C ทำการคายประจุที่ C_L ลงสู่กราวด์ โดยที่มอสทรานซิสเตอร์ยังคงทำงานในย่านอิ่มตัว ($V_{DS} > V_{GS} - |V_{Th}|$) คือ $V_{DS} = V_{DD}-V_{BE(ON)}$ และ $V_{GS} = V_{DD}- |V_{Th}|$ ดังนั้นในการออกแบบต้องกำหนดให้ $|V_{Th}| > V_{BE(ON)}$ และเนื่องจาก V_{DS} และ V_{GS} มีขนาดคงที่ ดังนั้นกระแส I_D และ I_B จึงมีค่าคงที่ตลอดการทำงานในช่วงนี้ ดังรูป 2.6(b) จนเมื่อกระทั่งไบโพลาร์เริ่มอิ่มตัว และมีศักดาตกคร่อมคอลเลคเตอร์-อิมิตเตอร์ เท่ากับ $V_{CE(SAT)}$ (โดยประมาณ 100-200 มิลลิโวลท์) ดังนั้นวงจรนี้จึงมีช่วงแกว่งของสัญญาณเอาต์พุต ใกล้เคียงกับแบบวงจรแกว่งเต็มช่วง (Full swing circuit หรือ rail to rail) คือมี $V_{OH}= V_{DD}-V_{CE(SAT)}$ และ $V_{OL}=V_{CE(SAT)}$ เนื่องจากวงจรนี้มอสทรานซิสเตอร์ตลอดการทำงานนำกระแสสูงในย่านอิ่มตัว และไม่ขึ้นกับแรงดันเอาต์พุตวงจร ดังนั้นวงจรนี้จึงมีความเร็วในการทำงานสูงมาก

อย่างไรก็ตาม วงจรดังกล่าวก็มีข้อเสียคือ เกิดกระแสสถิตย์ตรงตลอดเวลา แม้ว่าวงจรจะไม่ได้อยู่ในช่วงการเปลี่ยนแปลงระดับลอจิกหรือช่วงการสวิตช์ก็ตาม ซึ่งต่างกับวงจรซีมอสและไบซีมอสอื่น ๆ ซึ่งจะนำกระแสในช่วงเฉพาะที่เกิดการสวิตช์ เท่านั้น ดังนั้นวงจรไบซีมอสแบบคอมมอนอิมิตเตอร์จึงเกิดกำลังสูญเสียมาก นอกจากนี้เนื่องจากในช่วงสุดท้ายของการเปลี่ยนระดับลอจิก ไบโพลาร์ทรานซิสเตอร์จะทำงานในย่านอิ่มตัว และจะนำกระแสในย่านนี้ต่อไปหลังสิ้นสุดการเปลี่ยนระดับลอจิก ทำให้เกิดประจุที่สะสมอยู่ระหว่างเบส - คอลเลคเตอร์เป็นจำนวนมาก และเมื่อเกิดการเปลี่ยนระดับลอจิกหรือเกิดการสวิตช์อีกครั้งหนึ่ง ไบโพลาร์ที่เคยนำกระแสอยู่ก็จะเข้าสู่ย่านคัทออฟแทน ผลของประจุค้างทำให้ไบโพลาร์หยุดนำกระแสช้าลง วงจรนี้จึงมีค่าหน่วงเวลาดึงลงที่สูง ดังนั้นในการออกแบบวงจรประเภทนี้ จึงต้องออกแบบให้อุปกรณ์คายประจุเช่นตัวต้านทาน หรือมอส มีขนาดใหญ่กว่าปรกติ หรืออาจเพิ่ม Schottky diode ที่รอยต่อเบส-คอลเลคเตอร์เพื่อช่วยลดผลของประจุค้าง

2.3.2 โครงสร้างแบบ Gate - Diode (GD)

พิจารณาการทำงานของวงจร เมื่อป้อนระดับสัญญาณอินพุต '1' เอ็นมมอสทรานซิสเตอร์จะเริ่มนำกระแสโดยทำงานในย่านอิ่มตัว ($V_{GS} = V_{DD} - V_{Th}$ และ $V_{DS} = V_{DD}$) กระแส I_D จะทำการไบอัสไบโพลาร์ทรานซิสเตอร์ จนศักดาที่รอยต่อเบส - อิมิตเตอร์มีค่าเท่ากับ $V_{BE(ON)}$ ไบโพ

ลาร์จะเริ่มนำกระแสโดยทำการคายประจุ C_L ลงสู่กราวด์ เมื่อขนาดสัญญาณเอาต์พุต ลดลงจนมีค่าเท่ากับ $(V_{DD} - V_{Th})$ ช่วงเวลานี้มอสจะเข้าสู่การทำงานในสภาวะเชิงเส้น คือ $V_{GS} = V_{DD} - V_{BE}$ และ $V_{DS} \leq (V_{GS} - V_{Th})$ โดยกระแส I_{DS} (หรือ I_B) จะลดลงแบบกำลังสองตามศักดาเอาต์พุตที่ลดลง $(V_{DS} = V_O - V_{BE(ON)})$

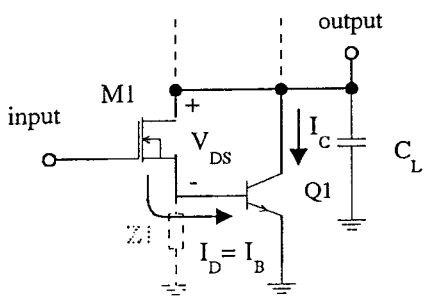
$$I_B = I_{DS} = \frac{\mu\varepsilon W}{t_{OX} L}[(V_{GS} - V_{TH})V_{DS} - \frac{V_{DS}^2}{2}] \qquad (2.1)$$

จนกระทั่งศักดาเอาต์พุตมีค่าเท่ากับ $V_{BE(ON)}$ หรือ $V_{DS} = 0$ โวลท์ มอส ทรานซิสเตอร์จะหยุดนำกระแส แต่เนื่องจากศักดาที่เบส - อิมิตเตอร์ ยังคงมีค่าเท่ากับ $V_{BE(ON)}$ ดังนั้นในสภาวะสุดท้ายของการสวิตช์ จึงมีค่าศักดาเอาต์พุต $V_{OL} = V_{BE(ON)}$ โดยเสมือนมีไดโอดต่อแคลมป์อยู่ เช่นเดียวกันสำหรับวงจรส่วน Pull-up ซึ่งมี $V_{OH} = V_{DD} - V_{BE(ON)}$ ดังนั้นวงจรไบซีมอสแบบเกท-ไดโอด (GD) จึงมีช่วงแกว่งสัญญาณแบบไม่เต็มช่วง (Partial swing circuit)

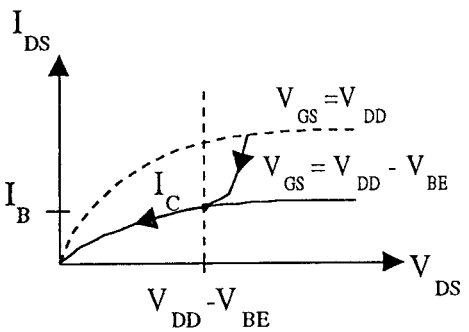
รูปที่ 2.7 วงจรไบซีมอสส่วน Pull-down

(a). โครงสร้างแบบ Gate - diode

(b). การทำงานของวงจร



(a)



(b)

สำหรับการออกแบบวงจรไบซีมอสประเภทนี้ เพื่อเพิ่มความเร็วในการทำงานของวงจร ต้องออกแบบให้ไบโพลาร์ไม่ทำงานสภาวะอิ่มตัว จากรูป 2.7(a)

$$V_{OL}(t) = V_{CE}(t) - I_C(t) * R_C \qquad (2.2)$$

ถึงแม้ว่าขณะเกิดการสวิตช์ $V_{OL(dynamic)}$ อาจมีค่าต่ำสุดเท่ากับ $V_{CE(SAT)}$ (ประมาณ 100 - 200 mV) เมื่อกระแส I_C มีค่าสูงสุด และ R_C มีค่าสูง จากนั้นค่า I_C จะลดลง จนเมื่อกระแส $I_C = 0$ กระแส I_D จะยังคงคายประจุ C_L ต่อไป จนกระทั่งวงจรเข้าสู่สภาวะ Steady state หรือช่วงที่กระแส $I_D = 0$ เมื่อศักดาเอาต์พุต $V_{OL(Static)} = V_{BE}$ เพื่อให้วงจรทำงานเร็วขึ้นคือจาก $V_{OL(Dynamic)}$ เข้าสู่ $V_{OL(Static)}$ โดยเร็ว ดังนั้นต้องออกแบบให้วงจรมีขนาด I_C มีค่าพอเหมาะ และ R_C ต้องมีค่าต่ำ เพื่อป้องกันไม่ให้ไบโพลาร์ทำงานในสภาวะอิ่มตัว

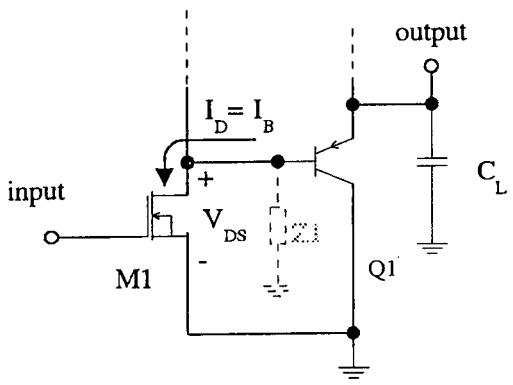
นอกจากวงจรประเภทนี้จะมีช่วงแกว่งสัญญาณแบบไม่เต็มช่วงแล้ว การเปลี่ยนระดับลอจิกจาก 0 ไป 1 และจาก 1 ไป 0 ยังมีลักษณะไม่สมมาตร พิจารณาได้จากวงจรในส่วน Pull-down ประกอบด้วยทรานซิสเตอร์แบบเอ็นมอสและไบโพลาร์แบบ NPN ซึ่งทำงานได้เร็วกว่าวงจรในส่วน Pull-up ซึ่งประกอบด้วยพีมอสและไบโพลาร์แบบ PNP ทั้งนี้เนื่องจากค่าความคล่องตัวของพาหะในชั้นสารหรือค่า Mobility ของอิเล็กตรอนมีค่าสูงกว่าโฮล ดังนั้นจึงต้องมีการออกแบบขนาดของทรานซิสเตอร์ในส่วน Pull-up และ Pull-down ให้เหมาะสมเพื่อให้การสวิตช์เป็นไปแบบสมมาตร

2.3.3 โครงสร้างแบบ Emitter-Follower (EF)

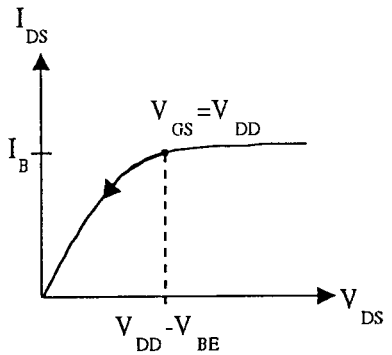
รูปที่ 2.8 วงจรไบซีมอสส่วน Pull-down

(a). โครงสร้างแบบ Emitter Follower

(b). การทำงานของวงจร



(a)



(b)

วงจรไบซีมอสประเภทนี้ ไบโพลาร์จะทำงานแบบวงจรอิมิตเตอร์ตาม (Emitter follower) และถูกไบอัสด้วยมอสทรานซิสเตอร์ซึ่งมีการทำงานแบบ Common source และเนื่องจากวงจรมีโครงสร้างแบบวงจรอิมิตเตอร์ตามทำให้ช่วงแกว่งสัญญาณเอาต์พุตเป็นแบบแกว่งไม่เต็มช่วง (Partial swing) เช่นเดียวกับวงจรไบซีมอสแบบ Gate-Diode

จากรูป 2.8 การทำงานของวงจร สภาวะเริ่มแรกมอสทรานซิสเตอร์ยังคงคัทออฟ ดังนั้น กระแส $I_D = 0 = I_B$ โดย V_{BE} มีค่าเท่ากับ 0 โวลท์ จากการคายประจุของอุปกรณ์คายประจุ Z1 ที่สภาวะก่อนหน้านี้ และเมื่อป้อนสัญญาณอินพุต "1" มอสทรานซิสเตอร์จะเริ่มนำกระแสและทำงานในย่านอิ่มตัว เกิดการไบอัสไบโพลาร์ทรานซิสเตอร์ จนศักดาที่รายต่อเบส - อิมิตเตอร์ มีค่าเท่ากับ $V_{BE(ON)}$ ไบโพลาร์จะเริ่มนำกระแสอย่างรวดเร็ว และเมื่อศักดาเอาต์พุตของวงจรเริ่มลดลงจนมีค่าเท่ากับ V_{DD}- (V_{Th}-V_{BE}) มอสทรานซิสเตอร์ก็เข้าสู่การทำงานในสภาวะเชิงเส้น ดังนั้นกระแส I_D ซึ่งทำการไบอัสทรานซิสเตอร์จะลดลงตามขนาดของ V_O ที่ลดลง เช่นเดียวกับวงจรแบบเกท-ไดโอด สิ่งที่แตกต่างกันคือ วงจรนี้จะมีการสวิตช์ของสัญญาณเอาต์พุตแบบสมมาตร โดยวงจร Pull-up ประกอบด้วยพีมอสทรานซิสเตอร์และไบโพลาร์แบบ NPN ในขณะที่วงจร Pull-down ประกอบด้วยเอ็นมอสทรานซิสเตอร์และไบโพลาร์แบบ PNP

เมื่อเปรียบเทียบโครงสร้างของวงจรไบซีมอสทั้ง 3 แบบ จะสังเกตุได้ว่าวงจรไบซีมอสแบบ Common- Emitter จะมีประสิทธิภาพต่ำสุด เนื่องจากเกิดการสูญเสียกำลังตลอดเวลา แม้ว่าจะไม่อยู่ในช่วงของการสวิตช์ และถึงแม้ว่าวงจรนี้มีความเร็วในการทำงานสูงสุดก็ตาม วงจรก็ไม่ถูกนำมาใช้ในทรงปฏิบัติ เพราะวงจรประเภทนี้ต้องการการออกแบบระบบระบายความร้อนอย่างดี ความร้อนที่สะสมทำให้ประสิทธิภาพด้านความเร็วของวงจรต่ำลง จนในที่สุดทำให้วงจรเกิดทำงานผิดพลาด

ในสำหรับวงจรไบซีมอสแบบ Gate-diode และ แบบ Emitter Follower จะมีค่าเร็วในการทำงานไม่ต่างกันมากนัก เนื่องจากวงจรไบซีมอสแบบ Gate-diode ไบโพลาร์จะต่ออยู่ในลักษณะของ Common-Emitter ซึ่งมีอัตราขยายสูงกว่า วงจรไบซีมอสแบบ Emitter Follower ซึ่งไบโพลาร์ต่อแบบ Common-Collector แต่อย่างไรก็ตามเนื่องจาก V_{GS} ซึ่งกำหนดขนาด I_D หรือกระแสไบอัสไบโพลาร์ของวงจรนี้ ($V_{GS} = V_{DD}$) มีค่าสูงกว่า V_{GS} ของวงจร Gate-Diode ($V_{GS} = V_{DD}$-$V_{BE(ON)}$) ดังนั้นโดยรวมแล้ว วงจรทั้ง 2 จึงมีความเร็วไม่แตกต่างกันมากนัก และเนื่องจาก V_{GS}

ของวงจรแบบ Emitter-Follower ไม่ได้ถูกลดทอนลงด้วยศักดาที่รอยต่อเบส-อิมิตเตอร์ ทำให้สะดวกในการปรับลดขนาดของแรงดันแหล่งจ่าย

นอกจากนี้วงจรไบซีมอสแบบ Gate-Diode ในส่วนมอสทรานซิสเตอร์ ขาซอร์ส(ซึ่งต่อกับฐานรอง) ถูกต่อเข้ากับขาเบสของไบโพลาร์ทรานซิสเตอร์ และจากศักดาที่เบส-อิมิตเตอร์นี้ ทำให้มอสทรานซิสเตอร์เกิดปรากฏการณ์ Body Effect คือทำให้ V_{Th} มีค่าสูงขึ้น ส่งผลให้วงจรทำงานช้าลงเล็กน้อย

ดังนั้นจะเห็นว่าวงจรไบซีมอสแบบ Emitter Follower นี้ มีประสิทธิภาพในการทำงานสูงสุด และง่ายต่อการออกแบบวงจร แต่วงจรดังกล่าวจำเป็นต้องใช้อุปกรณ์ ไบโพลาร์ทั้งแบบ PNP และ NPN ทำให้ต้องให้เทคโนโลยีแบบ Complementary BiCMOS (CBiCMOS)ในการผลิต ซึ่งต้องอาศัย mask เพิ่มเติมมากขึ้นสำหรับสร้างไบโพลาร์ทั้ง 2 แบบ และเพื่อให้ไบโพลาร์ที่ได้มีคุณสมบัติที่สมพงศ์กัน ตลอดจนมีอัตราขยายกระแส (β) และความถี่ในการทำงาน (f_T) สูง ทำให้ต้องใช้เทคโนโลยีขั้นสูงในการผลิต ผลคือทำให้ต้นทุนในการผลิตสูง สำหรับการประยุกต์ใช้ในวงจรไบซีมอสบางประเภทที่ไม่ต้องการประสิทธิภาพในการทำงานสูงนัก อาจหลีกเลี่ยงโดยการออกแบบให้วงจรประกอบด้วยไบโพลาร์แบบ NPN เท่านั้น ซึ่งจะกล่าวถึงต่อไป

เมื่อทำการออกแบบวงจรไบซีมอสในส่วนซีมอสซึ่งทำหน้าที่เป็นลอจิกฟังก์ชั่น และส่วนไบโพลาร์ซึ่งทำหน้าที่ขับสัญญาณแล้ว ในขั้นตอนไป คือการเพิ่มอุปกรณ์คายประจุค้างที่รอยต่อเบส - อิมิตเตอร์ ซึ่งจำเป็นสำหรับวงจรไบซีมอส เนื่องจากประจุค้างที่รอยต่อเบส - อิมิตเตอร์ทำให้ไบโพลาร์ยังคงนำกระแสต่อไป ถึงแม้ว่าไม่มีการไบอัสทรานซิสเตอร์แล้วก็ตาม การนำกระแสจะดำเนินต่อไปจนกว่าประจุค้าง ซึ่งเป็นพาหะส่วนน้อยเกิดการรวมตัวกับพาหะส่วนมากและเข้าสู่สภาวะสมดุล (Equilibrium condition) ขั้นตอนดังกล่าวกินเวลานาน โดยเฉพาะอย่างยิ่งเมื่อไบโพลาร์ทำงานในโหมดกระแสสูง (high current level mode) อันเป็นผลให้เกิดประจุค้างจำนวนมาก

อุปกรณ์คายประจุ (discharge element) อาจเป็นได้ทั้งอุปกรณ์ Active และ/หรือ Passive โครงสร้างอาจเป็นแบบเรียบง่าย คือ ตัวต้านทาน หรือมอสทรานซิสเตอร์ หรืออาจเป็นโครงสร้างยุ่งยากที่มีการป้อนกลับ ดังรูปที่ 2.9 โดยทั่วไปอุปกรณ์คายประจุนี้ นิยมใช้มอสทรานซิสเตอร์ในการคายประจุ เนื่องจากมีขนาดเล็กและสามารถกำหนดให้อุปกรณ์ทำงานในช่วงเวลาที่ต้องการได้ ต่างกับการใช้ตัวต้านทานในการคายประจุ ดังรูปที่ 2.9(a) ซึ่งมีขนาดใหญ่และกินพลังงาน เนื่องจากไม่สามารถควบคุม ทำให้เกิดกระแสไหลผ่านตลอดเวลา และเมื่อไบโพลาร์หยุดนำกระแส

กระแสยังคงไหลผ่านตัวต้านทานทำให้ ช่วงแกว่งของสัญญาณเอาต์พุตเป็นแบบแกว่งเต็มช่วง การเพิ่มขนาดของตัวต้านทาน ทำให้กระแสดังกล่าวลดลง ดังนั้นกำลังสูญเสียจึงลดลง แต่การเพิ่มขนาดของตัวต้านทานก็ทำให้พื้นที่ชิปเพิ่มขึ้น และยังลดประสิทธิภาพในการคายประจุ เป็นผลให้ค่าหน่วงเวลาเพิ่มขึ้นด้วย โดยปรกตินิยมออกแบบให้ตัวต้านทานมีกระแสไหลผ่านประมาณ 10% ของกระแส I_{DS} ซึ่งเพียงพอต่อการคายประจุค้างที่รอยต่อ [5]

$$R = \frac{V_{BE(ON)}}{0.1 I_{DS(SAT)}} \tag{2.3}$$

ดังนั้นหากกระแส $I_{DS(SAT)}$ มีค่าเท่ากับ 2 mA เพราะฉะนั้นตัวต้านทานจะมีขนาดเท่ากับ 4 kΩ

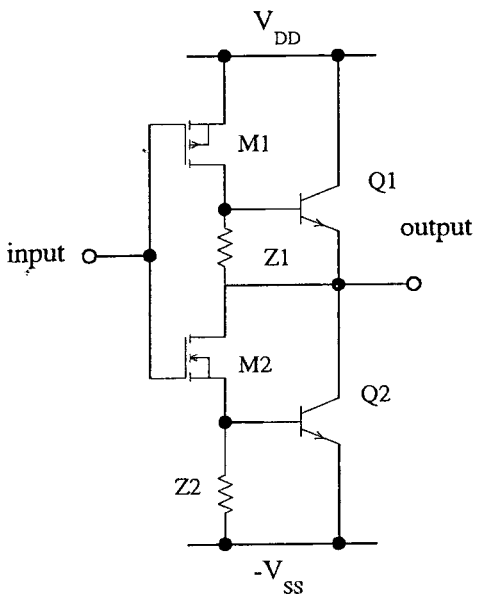
รูปที่ 2.9(b) มอสทรานซิสเตอร์ M3 และ M4 จะทำหน้าที่คายประจุ การแกว่งของสัญญาณเอาต์พุตแบบไม่เต็มช่วง สังเกตุว่าในขณะที่เกิดการสวิตช์ หรือสภาวะกึ่งเปิดกึ่งปิด จะเกิดกระแสลัดวงจรจากแหล่งจ่ายสู่กราวด์ผ่าน M3 และ M4 และในส่วนของไบโพลาร์ด้วย ดังนั้นวงจรนี้จึงมีการสูญเสียกำลังลัดวงจรจำนวนมาก

สำหรับวงจรในรูปที่ 2.9(c) เป็นวงจรแกว่งเต็มช่วง โดยมอสทรานซิสเตอร์ M3 และ Z2 ทำหน้าที่คายประจุค้าง ในขณะที่ Z1 ซึ่งออกแบบให้มีขนาดใหญ่เพื่อลดกระแสรั่วไหล จะทำหน้าที่ผ่านกระแสทำให้การแกว่งสัญญาณเอาต์พุตแบบเต็มช่วง ดังนั้นวงจรนี้จึงมีความเร็วสูงกว่าวงจรในรูป 2.9(a) แต่วงจรนี้ก็ไม่สามารถลดกำลังสูญเสียลัดวงจร ในสภาวะกึ่งเปิดกึ่งปิดลงได้

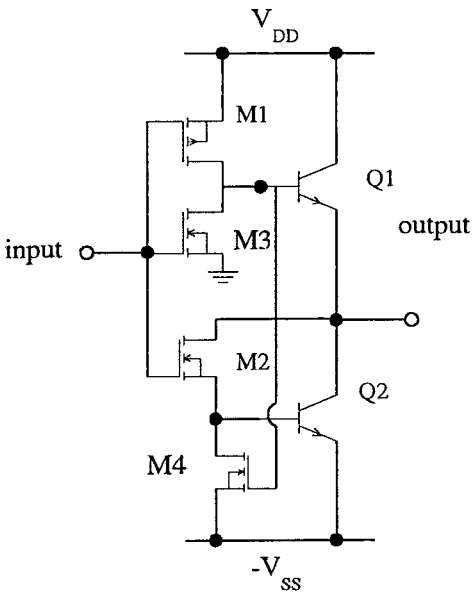
ในรูปที่ 2.9(d) จุดประสงค์ของวงจรนี้เพื่อลดผลของกระแสลัดวงจร [22] ด้วยการควบคุมเวลาในการนำกระแสของอุปกรณ์คายประจุ โดยอาศัยค่าหน่วงเวลาของวงจรป้อนกลับ ทำให้ไม่เกิดช่องทางเดินกระแสตรงในขณะเกิดการสวิตช์

รูปที่ 2.9 วงจรไบซีมอสอินเวอร์เตอร์ที่ประกอบด้วยอุปกรณ์คายประจุแบบ [6]

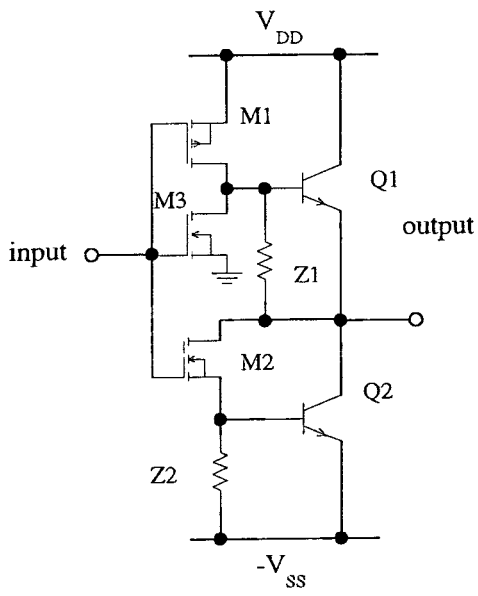
(a). Passive (b). Active (c). Passive/Active (d). Feedback



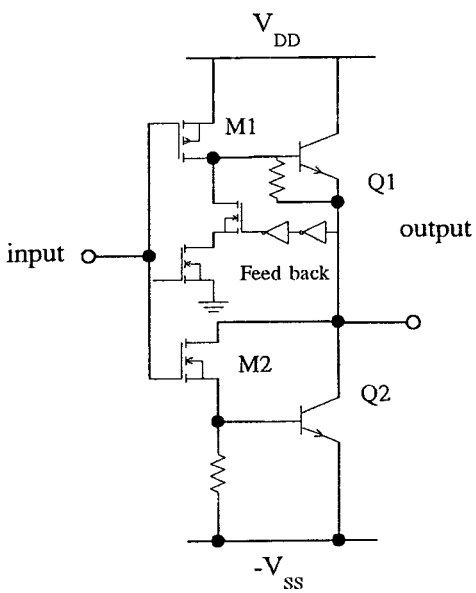
(a)



(b)

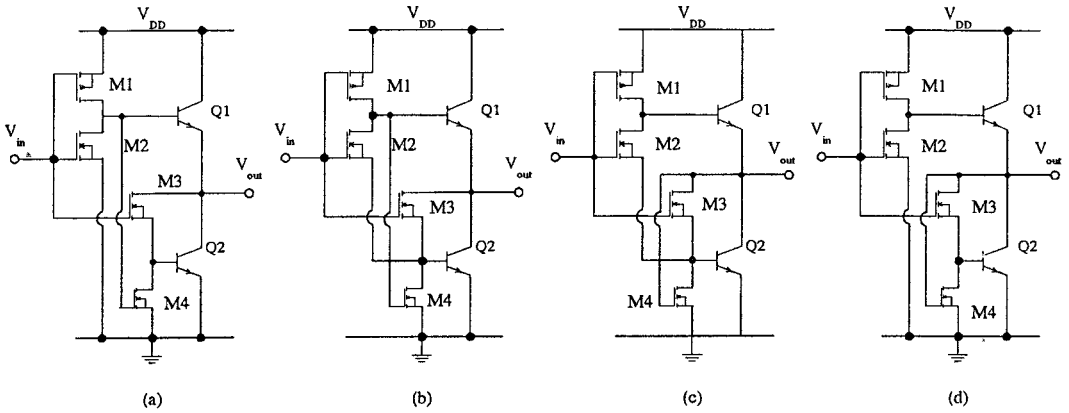


(c)



(d)

รูปที่ 2.10 วงจรไบซีมอสอินเวอร์เตอร์ ที่มีการเชื่อมต่ออุปกรณ์คายประจุแบบ Active



เนื่องจากข้อเสียของอุปกรณ์ภายประจุแบบ Passive ดังนั้นในปัจจุบันจึงนิยมออกแบบวงจรไบซีมอสลอจิก โดยใช้มอสทรานซิสเตอร์เป็นอุปกรณ์คายประจุ รูปที่ 2.10 เป็นวงจรไบซีมอสที่มีโครงสร้างแบบ Totem Pole และมีช่วงแกว่งสัญญาณแบบ Partial swing คือมี $V_{OL} = V_{BE}$ และ $V_{OH} = (V_{DD} - V_{BE})$

2.4 ประเภทของวงจรไบซีมอส

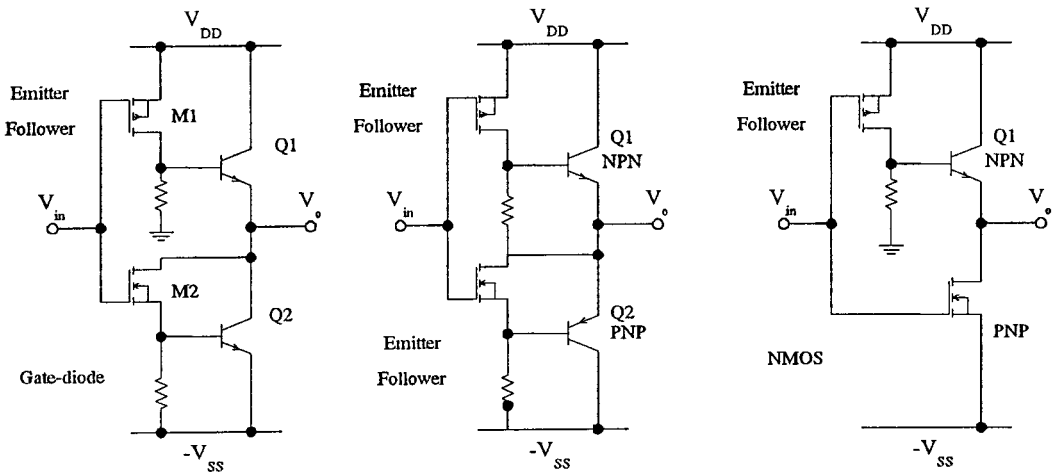
จากขั้นตอนในการออกแบบวงจรไบซีมอส โครงสร้างในการเชื่อมต่อวงจร Pull-up และ Pull-down กับส่วนไบโพลาร์ที่แตกต่างกัน ทำให้การทำงานและคุณลักษณะทั้งด้านไดนา-มิกและสแตติกแตกต่างกันไป ดังนั้นในการเลือกโครงสร้างใด ก็ขึ้นอยู่กับคุณลักษณะและการทำงานที่ต้องการ นอกจากนี้ยังขึ้นอยู่กับเทคโนโลยีที่เลือกใช้ เช่น วงจรไบซีมอสที่ใช้อุปกรณ์ ไบโพลาร์แบบ NPN อย่างเดียวจะใช้เทคโนโลยีแบบไบซีมอสธรรมดา ขั้นตอนในการผลิตจะง่ายกว่าและมีต้นทุนน้อยกว่า วงจรไบซีมอสซึ่งประกอบด้วยไบโพลาร์ทั้งแบบ NPN และ PNP ซึ่งต้องใช้เทคโนโลยีแบบ CBiCMOS ดังรูป 2.1(a) และ (b) ตามลำดับ [7]

รูปที่ 2.11 วงจรไบซีมอสอินเวอร์เตอร์

(a) Totem pole BiCMOS

(b) Complementary BiCMOS(CBiCMOS)

(c) BiNMOS

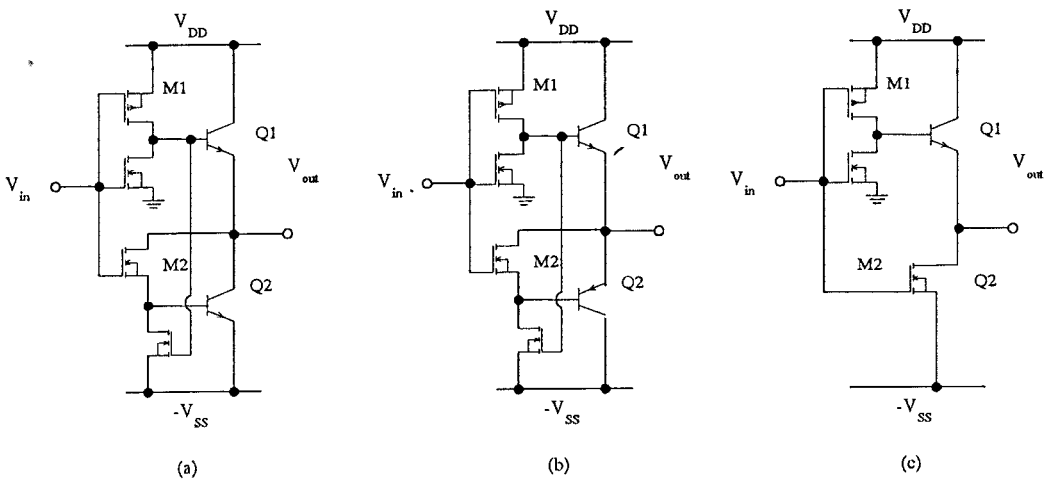


จากวงจรในรูป 2.11(c) เป็นวงจรไบซีมอส แบบ BiNMOS โดยมีวงจรในส่วน Pull up เป็นโครงสร้างแบบ Emitter follower ในขณะที่ส่วน Pull down มีโครงสร้างแบบ NMOS วงจรไบซีมอสประเภทนี้ เหมาะสำหรับวงจรที่ไม่ต้องการความเร็วในการทำงานสูงนัก เนื่องจากโดยปรกติแล้ว เอ็นมอสจะนำกระแสได้สูงกว่าพีมอสทรานซิสเตอร์ที่ขนาดพื้นที่เท่ากัน กล่าวคือ เอ็นมอสมีค่าทรานส์คอนดักแตนซ์สูงกว่าพีมอสทรานซิสเตอร์ ดังนั้นจึงมีการเพิ่มไบโพลาร์เฉพาะวงจรในส่วน Pull up เพื่อเพิ่มค่าทรานส์คอนดักแตนซ์ให้กับวงจร สังเกตุได้ว่าวงจรไบซีมอสประเภทนี้มีขนาดเล็ก และจำนวนอุปกรณ์ที่ใช้ก็น้อยกว่าวงจรไบซีมอสประเภทอื่นมาก ดังนั้นวงจรนี้จึงเหมาะกับวงจรรวมที่ต้องการความหนาแน่นสูง ที่ไม่ต้องการความเร็วในการทำงานสูงมากนัก นอกจากนี้วงจรดังกล่าวยังเหมาะกับวงจรที่มีช่วงแหล่งจ่ายไฟแคบ ๆ และการลดขนาดวงจร (Scaling down) เนื่องจากไม่เกิดข้อจำกัดจากศักดาที่รอยต่อ เบส - อิมิตเตอร์ ในวงจรส่วน Pull down ดังนั้นจึงสามารถลดขนาดแหล่งจ่ายลงได้มากกว่าวงจรไบซีมอสประเภทอื่น

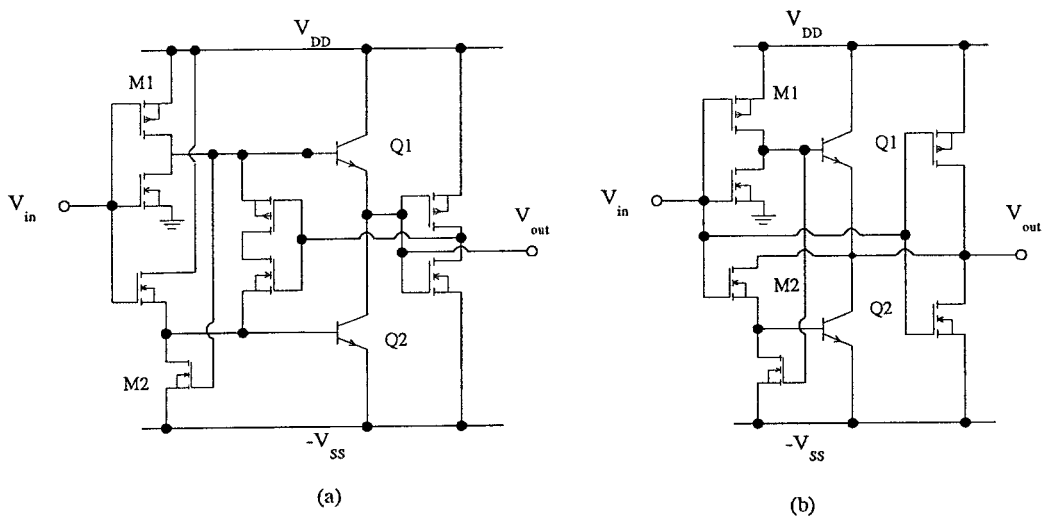
จากวงจรในรูป 2.11 อุปกรณ์ที่ใช้ในการคายประจุค้างที่รอยต่อเบส - อิมิตเตอร์เป็นแบบ Passive ทั้งหมด ทำให้มีช่วงแกว่งสัญญาณแบบ Full swing ในขณะที่รูปที่ 2.12 และ 2.13 เป็นวงจรไบซีมอส แบบเดียวกันแต่มีอุปกรณ์คายประจุแบบ active และการแกว่งสัญญาณเป็นแบบ Partial swing และ Full swing ตามลำดับ ซึ่งจากโครงสร้างของวงจรในส่วน Pull-up และ Pull-

down ที่ต่างกันจะส่งผลให้การทำงานและคุณลักษณะทางเอาต์พุตต่างกันแล้ว อุปกรณ์ที่ใช้ในการคายประจุตลอดจนการเชื่อมต่อก็ส่งผลต่อการทำงานของวงจรด้วย โดยวงจรแต่ละประเภทต่างมีข้อดีข้อเสียในด้าน ความเร็ว ขนาด กำลังสูญเสีย ในแต่ละเงื่อนไขที่กำหนดเช่น ขนาดของแหล่งจ่าย การลดขนาด และเทคโนโลยีที่เลือกใช้

รูปที่ 2.12 วงจรไบซีมอส แบบ Partial swing (a) Totem pole BiCMOS (b). CBiCMOS (c). BiNMOS



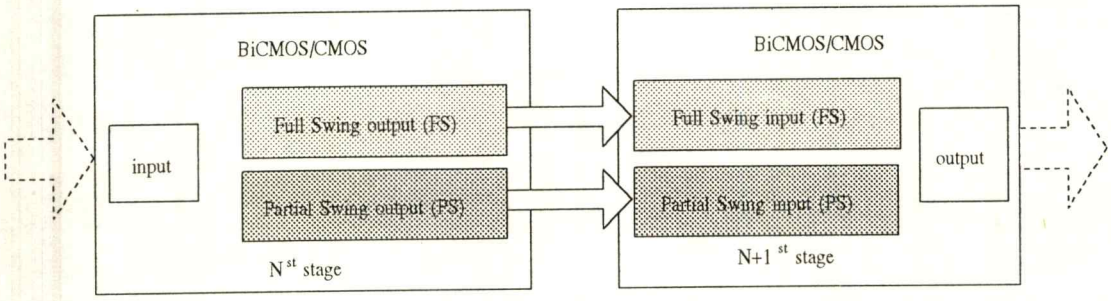
รูปที่ 2.13 วงจรไบซีมอส แบบ Full swing (a). CBiCMOS (b). Totem pole ขนานกับ CMOS



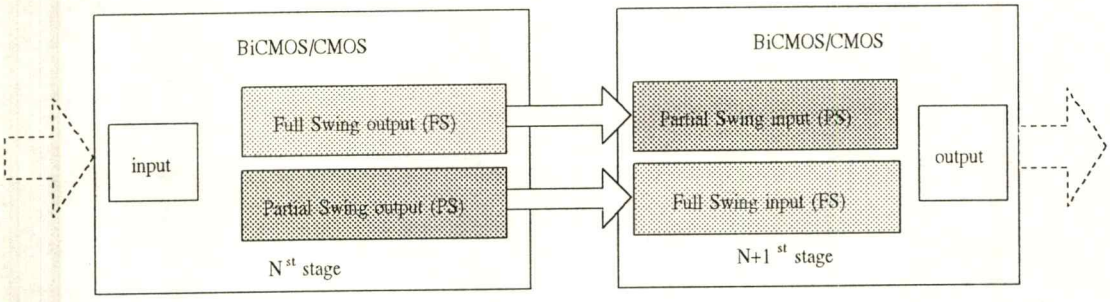
2.5 การเชื่อมโยงวงจรไบซีมอสและซีมอสลอจิก

สำหรับการออกแบบวงจรรวมด้วยเทคโนโลยีไบซีมอส ซึ่งมีช่วงแกว่งสัญญาณเอาต์พุตทั้งแบบ Full swing และแบบ Partial swing เมื่อทำการเชื่อมโยงกับวงจรซีมอสและวงจรไบ-ซีมอส ทำให้เกิดการเชื่อมโยงหลายภาค (Multistage หรือ Multi-level) ใน 2 รูปแบบ

รูปที่ 2.14 การเชื่อมโยงวงจรแบบ Multistage (a) non - intermix (b) intermix



(a)



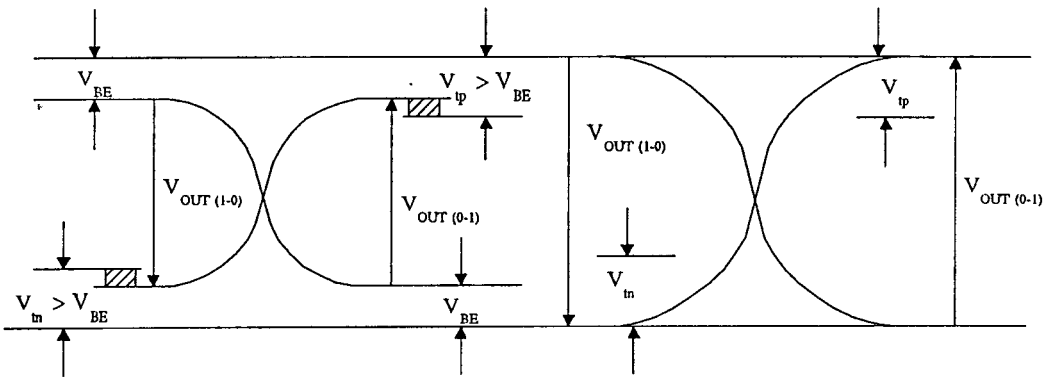
(b)

1. แบบ non - intermix คือ การเชื่อมโยงวงจรในแต่ละภาค โดยช่วงแกว่งสัญญาณทั้งอินพุตและเอาต์พุตเป็นแบบ Full swing หรือ แบบ Partial swing อย่างใดอย่างหนึ่ง ซึ่งโดยปรกติแล้ว วงจรซีมอสจะมีช่วงแกว่งสัญญาณอินพุตและเอาต์พุตเป็นแบบ Full swing ดังนั้นสำหรับกรณีการเชื่อมโยงแบบ PS-PS วงจรในภาคแรกจึงเป็น วงจรไบซีมอส ในขณะที่ภาคที่สองอาจเป็นได้ทั้งวงจรซีมอสและไบซีมอส ที่ทำการลดช่วงแกว่งสัญญาณอินพุตด้วยเทคนิคต่าง ๆ ดังจะกล่าวถึงต่อไป

2. แบบ intermix คือการเชื่อมโยงวงจรโดยมีช่วงแกว่งสัญญาณอินพุตและเอาต์พุตต่างกัน ส่วนใหญ่จะเป็นลักษณะ PS-FS การเชื่อมโยงแบบนี้สามารถพบได้ทั่วไป เมื่อทำการเชื่อมโยง

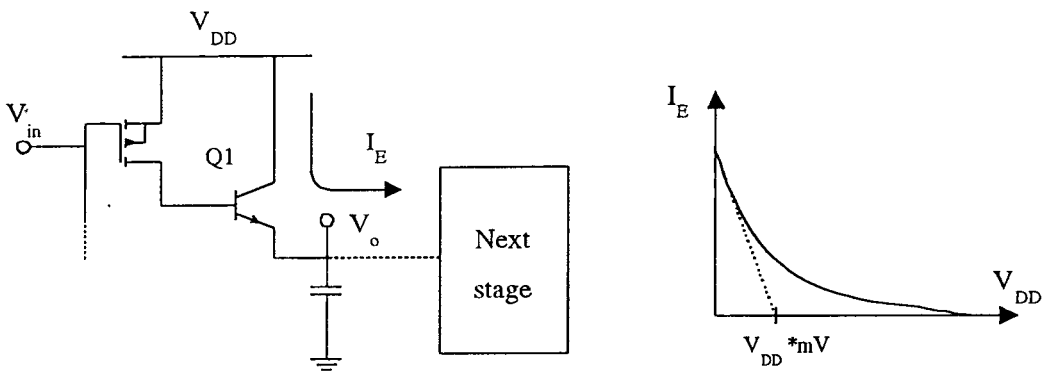
ระหว่างวงจรไบซีมอส กับวงจรซีมอสหรือไบซีมอส เนื่องจากวงจรไบซีมอสมีช่วงแกว่งสัญญาณเอาต์พุตแบบ PS ในขณะที่วงจรไบซีมอสและซีมอส มีช่วงแกว่งสัญญาณอินพุตแบบ FS

รูปที่ 2.15 การเชื่อมโยงแบบ intermix (PS →FS)



โดยปรกติวงจรไบซีมอสซึ่งมีช่วงแกว่งสัญญาณเอาต์พุตแบบ PS จะถูกเชื่อมโยงกับวงจรซีมอสหรือไบซีมอสที่มีช่วงแกว่งสัญญาณอินพุตแบบ FS ซึ่งถูกออกแบบมาให้มีค่า V_{Th} ของมอสทรานซิสเตอร์ในส่วนลอจิกฟังก์ชันมีค่าพอเหมาะ เพื่อให้เกิดการสวิตช์อย่างรวดเร็ว แต่ยังคงมีช่วง noise margin ค่าหนึ่ง แต่เมื่อทำการลดขนาดแหล่งจ่ายหรือการทำ scaling วงจร ค่า V_{Th} จะลดลง ในขณะที่ ค่า V_{BE} มีค่าคงที่ ทำให้การลดขนาดถูกจำกัด และจากธรรมชาติในการนำกระแสของอุปกรณ์ไบโพลาร์ทรานซิสเตอร์ในส่วนขับกระแสของวงจรไบซีมอส จะขับกระแสไปยังโหลดอย่างต่อเนื่องโดยลดลงแบบลอการิทึม เมื่อสัญญาณเอาต์พุตมีค่าเพิ่มขึ้น จากการประมาณอันดับ 1 (First order approximation) สัญญาณเอาต์พุตจะเพิ่มขึ้นอย่างรวดเร็วในระดับร้อยมิลลิโวลท์เท่านั้น เมื่อเทียบกับขนาดของแหล่งจ่ายไฟ

รูปที่ 2.16 การนำกระแสของไบโพลาร์ในวงจรไบซีมอส ในส่วน Pull - up



ค่ากระแสต่ำ ๆ หลังจากเกิดการเปลี่ยนระดับอย่างรวดเร็วนี้ จะส่งไปยังภาคถัดไปด้วย ดังนั้นเมื่อทำการเชื่อมโยงดังกล่าว สัญญาณเอาต์พุตจากภาคแรกที่ป้อนสู่ภาคที่สองจะทำให้ มอสทรานซิสเตอร์ในภาคที่สองเริ่มนำกระแสแม้ไม่ใช่ช่วงเวลาการสวิตช์ก็ตาม และถึงแม้สัญญาณอินพุตนี้ยังคงอยู่ในช่วง noise margin ซึ่งไม่ทำให้วงจรในภาคที่สองเกิดการเปลี่ยนแปลงระดับลอจิกก็ตาม แต่ผลของกระแสสถิตในช่วงที่ไม่มีการสวิตช์ ทำให้เกิดกำลังงานสูญเสียสถิตเพิ่มขึ้น ดังนั้นในการเชื่อมโยงแบบ intermix เมื่อทำการลดวงจร จึงต้องมีการออกแบบวงจรในภาคที่สองด้วยเสมอ โดยการปรับค่า V_{Th} ให้มีค่ามากกว่า V_{BE} แต่ค่า V_{Th} ที่เพิ่มจะทำให้วงจรในภาคที่สองทำงานช้าลงด้วย นอกจากนี้ค่าสัญญาณอินพุตซึ่งมีค่าเท่ากับ V_{BE} ยังเป็นผลให้เกิดกระแสเทรชโฮลด์ย่อย (I_{SUB}) ซึ่งเกิดขึ้นเมื่อ V_{GS} มีค่าน้อยกว่า V_{Th} ซึ่งไม่ทำให้เกิดชั้นกลับใต้เกท อย่างไรก็ตาม V_{GS} ยังคงเหนี่ยวนำให้เกิดประจุพาหะชนิดตรงข้ามซึ่งเป็นพาหะข้างน้อยขึ้นที่ผิวของฐานรองใต้ชั้น Buried layer ซึ่งถูกเจือให้มีความเข้มข้นสูง พาหะดังกล่าว ทำให้เกิดช่องทางเดินกระแสระหว่างเดรนกับซอร์สขึ้น [5] ซึ่งประมาณได้จาก

$$I_{SUB} = \frac{qAD_{(n.p)}n_i e^{-q|\phi_F|/KT}(1-e^{-qV_{DS}/KT})e^{q\phi_{SUB}/KT}}{L_{DS}} \qquad (2.4)$$

โดยที่ A คือพื้นที่ภาคตัดขวางของช่องทางเดินกระแส

$D_{(N.P)}$ คือสัมประสิทธิ์ในการแพร่ของสารเจือที่เดรนและซอร์ส

L_{DS} คือระยะระหว่างช่องทางเดินกระแส

V_{DS} คือแรงดันระหว่างเดรนกับซอร์ส

ϕ_{SUB} คือศักดาไฟฟ้าที่ผิว ซึ่งจะมีค่าเป็น ($\phi_{SUB} = V_{GS} - V_{Th}$)

V_{GS} คือแรงดันระหว่างเกทกับซอร์ส

จากสมการข้างต้นจะเห็นว่านอกจาก V_{GS} ที่เพิ่มขึ้น ทำให้กระแสเทรชโฮลย่อยมีค่าเพิ่มขึ้น ระยะระหว่างช่องทางเดินกระแส L_{DS} ที่ลดลง จากการลดขนาดวงจรยังมีผลให้กระแสเทรช-โฮลย่อยเพิ่มขึ้นอีกด้วย

จากข้อเสียของการเชื่อมต่อแบบ intermix (PS→FS) ดังนั้นจึงนิยมออกแบบให้มีการเชื่อมโยงแบบ non intermix คือ

1. FS⟶FS ด้วยการเปลี่ยนวงจรไบซีมอสในภาคแรกให้มีการแกว่งสัญญาณเอาต์พุตแบบเต็มช่วง (FS)

2. PS⟶PS ด้วยการเปลี่ยนวงจรซีมอสหรือไบซีมอสในภาคที่สองให้มีช่วงแกว่งสัญญาณอินพุตแบบ Partial swing (PS)

การเชื่อมโยงวิธีแรกนี้ จะทำให้วงจรในส่วนแรกมีความซับซ้อนขึ้นคือ ต้องทำการปรับปรุงวงจรไบซีมอสให้มีช่วงสวิงสัญญาณแบบ FS ในขณะที่วิธีที่สอง ต้องทำการปรับช่วงแกว่งสัญญาณอินพุตของวงจรในภาคที่สองให้มีช่วงแกว่งสัญญาณแบบ PS การปรับปรุงวงจรนี้ทำได้ง่ายกว่าวิธีแรก เนื่องจากเป็นการปรับปรุงช่วงการทำงานของวงจรย่อยซีมอสที่ทำหน้าที่กำหนดลอจิกฟังก์ชันในวงจรไบซีมอสหรือวงจรซีมอส ให้มีช่วงแกว่งสัญญาณต่ำลง วิธีหนึ่งคือการใช้แหล่งจ่ายไฟ 2 ขนาด คือแหล่งจ่ายไฟหนึ่งสำหรับวงจรย่อยซีมอส และอีกวงจรสำหรับไบโพลาร์ซึ่งทำหน้าที่ขับกระแสในวงจรไบซีมอส หรือใช้แหล่งจ่ายไฟเดียวแต่ลดทอนขนาดแหล่งจ่ายลง

อย่างไรก็ตามสำหรับการออกแบบวงจรรวม VLSI ซึ่งเป็นการออกแบบที่ซับซ้อนมาก ต้องมีการจัดระเบียบให้เป็นการออกแบบลำดับขั้น (Hierachical method) โดยแยกวงจรทั้งวงจรออกเป็นโมดูล (Modules) เซลประกอบ (Composition cells) และเซลย่อย (Leaf cells) การเปลี่ยนแปลงเซลย่อย หรือการออกแบบ แบบ Custom method ทำให้เสียเวลาและค่าใช้จ่ายเพิ่มขึ้น ดังนั้นสำหรับวงจรที่มีขนาดแหล่งจ่ายไฟสูง ($\leq$ 5V) และยอมรับกำลังสูญเสียจากกระแสสถิตและค่าหน่วงเวลาที่เพิ่มขึ้นจาก V_{Th} ที่เพิ่มขึ้น วงจรประเภทนี้จึงยังคงถูกออกแบบให้มีการเชื่อมโยงแบบ intermix อยู่

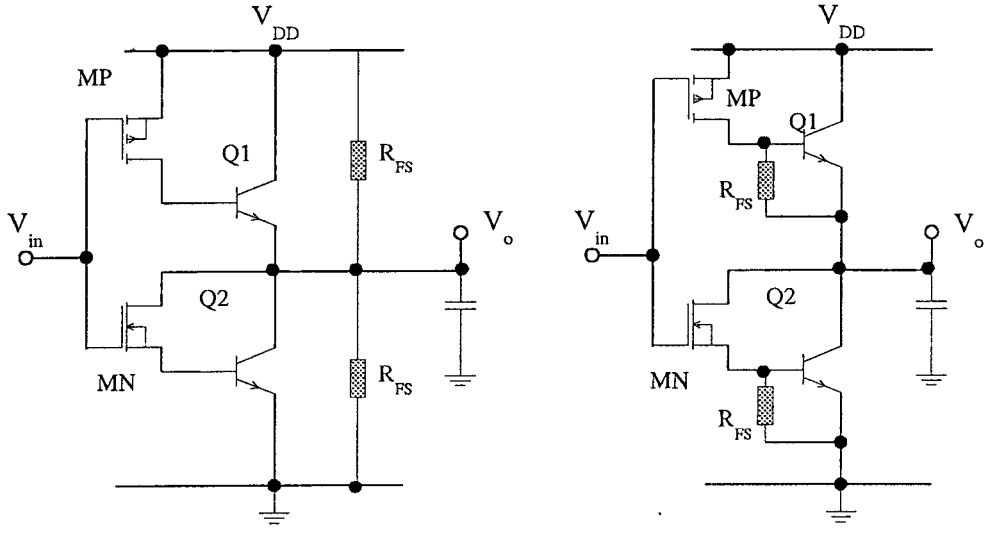
2.6 เทคนิคการออกแบบการเชื่อมโยงแบบ non - intermix

2.6.1 การเชื่อมโยงแบบ FS ⟶ FS

ในการออกแบบวงจรรวมซึ่งประกอบด้วยวงจรไบซีมอสและซีมอส ซึ่งมีช่วงแกว่งของสัญญาณเอาต์พุตต่างกัน คือวงจรไบซีมอสจะมีช่วงแกว่งสัญญาณต่ำกว่าเนื่องจากศักดาที่รอยต่อของไบโพลาร์ในส่วนขับกระแส ดังนั้นเพื่อให้วงจรไบซีมอสมีช่วงแกว่งสัญญาณเต็มช่วงตามขนาดของแหล่งจ่ายไฟ จึงต้องเพิ่ม โครงข่ายขนาน (Shunt Network) เพื่อให้วงจรไบซีมอสยังคงทำงานต่อไป หลังจากที่ไบโพลาร์หยุดนำกระแส รูปที่ 2.17 [4]

โครงข่ายขนานในรูปที่ 2.18(a) เป็นอุปกรณ์ประเภท Active ซึ่งมักออกแบบด้วยมอสทรานซิสเตอร์ ในขณะที่วงจรในรูปที่ 2.18(b) เป็นได้ทั้งอุปกรณ์ Active และ Passive โครงข่ายนี้ทำหน้าที่ดึงสัญญาณเอาต์พุตให้มีช่วงแกว่งสัญญาณเท่ากับแหล่งจ่ายและทำการคงค่านั้นไว้ในช่วงที่ไม่มีการเปลี่ยนระดับสัญญาณ

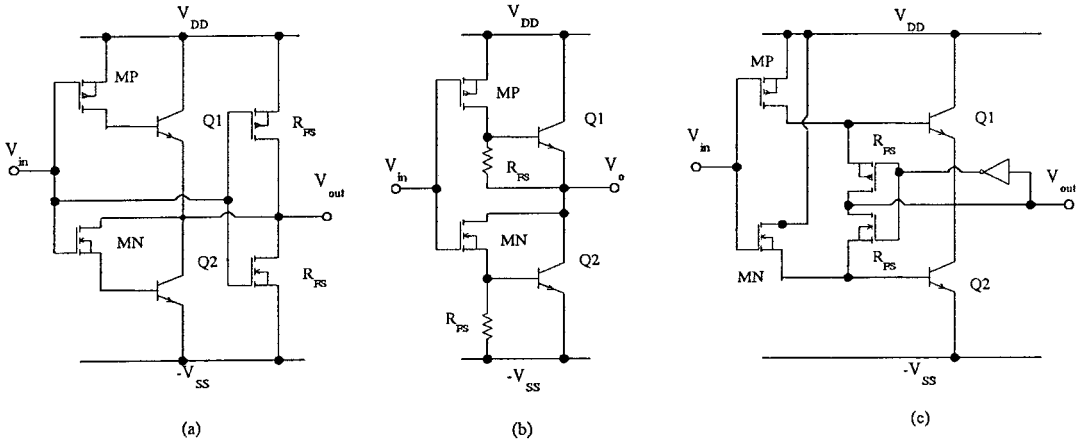
รูปที่ 2.17 การเพิ่มโครงข่ายขนาน (a) คอลเลคเตอร์ - อิมิตเตอร์ (b) เบส - อิมิตเตอร์



รูปที่ 2.18 วงจรภายในไบซีมอส (a) โครงข่ายขนานที่รอยต่อ E - C

(b).โครงข่ายขนานแบบ Passive ที่รอยต่อ B - E

(c).โครงข่ายขนานแบบ Active ที่รอยต่อ B- E



2.6.2 การเชื่อมโยงแบบ PS→PS

นอกจากข้อดีในการออกแบบวงจรรวมไบซีมอสให้มีการเชื่อมโยงแบบ non - intermix ดังกล่าวแล้ว ข้อดีอีกประการหนึ่งสำหรับการออกแบบให้มีการเชื่อมโยงแบบ PS→PS คือ กำลังงานสูญเสียไดนามิกที่ลดลง เงื่อนไขนี้มีความสำคัญเพิ่มขึ้นเมื่อวงจรรวมดิจิตอล ซึ่งประกอบด้วยเกทจำนวนมากและทำงานที่ความถี่สูงในระดับร้อยเมกะเฮิรตซ์ การลดช่วงสวิงของสัญญาณเป็นเทคนิคหนึ่งในการลดการสูญเสียกำลังงานไดนามิก ซึ่งเป็นองค์ประกอบสำคัญของกำลังงานสูญเสียทั้งหมด การลดขนาดแหล่งจ่ายไฟ หรือการ scaling ช่วยทำให้ช่วงแกว่งสัญญาณลดลง ซึ่งมักใช้เป็นทางเลือกสุดท้ายในการลดกำลังงานสูญเสีย

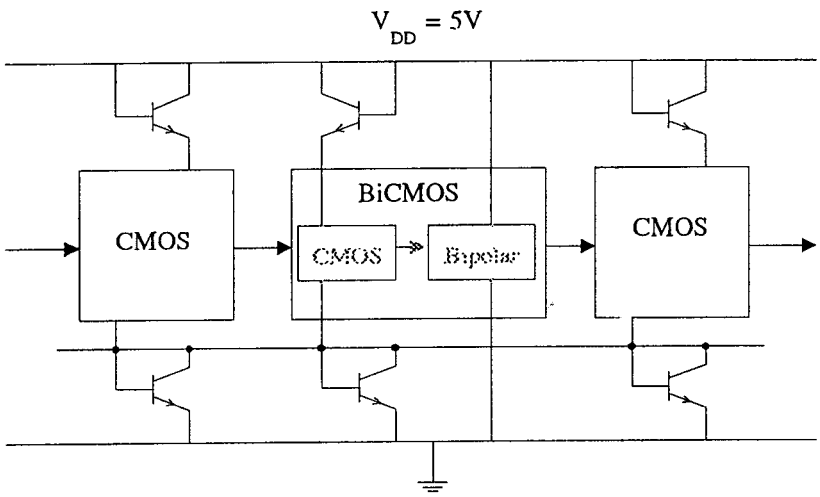
แนวคิดสำหรับการออกแบบวงจรไบซีมอสและซีมอสให้มีช่วงแกว่งสัญญาณอินพุตแบบ PS คือการปรับลดขนาดแหล่งจ่ายในส่วนวงจรอินพุตลง วิธีหนึ่งคือการปรับลดขนาดด้วยการเลื่อนระดับสัญญาณโดยอาศัยศักดาที่รอยต่อของไดโอดหรือศักดาที่รอยต่อ เบส - อิมิตเตอร์ซึ่งมีค่าคงที่ วงจรรวมที่ออกแบบด้วยวิธีนี้ เรียกว่า Level - shift BiCMOS circuit [8]

จากรูป 2.19(b) วงจรซีมอสซึ่งมีการแกว่งสัญญาณเอาต์พุตแบบเต็มช่วง แต่ช่วงการแกว่งถูกจำกัดโดยค่าศักดาที่รอยต่อ เบส - อิมิตเตอร์ ช่วงการแกว่งของสัญญาณที่แคบลงนี้ทำให้วงจรซีมอสมีความเร็วในการทำงานสูงขึ้น เมื่อสัญญาณถูกส่งผ่านไปยังวงจรไบซีมอส วงจรย่อยซีมอสภายใน ซึ่งถูกออกแบบให้มีช่วงแกว่งสัญญาณอินพุตลดลงเช่นเดียวกันนั้นจะทำให้ค่าแรงดันไบอัสอุปกรณ์ไบโพลาร์ทรานซิสเตอร์ลดลง วงจรไบซีมอสจึงมีค่าทรานคอนดักแตนซ์ลดลง เป็นผลให้วงจรไบซีมอสทำงานช้าลงบ้าง การเพิ่มค่าทรานคอนดักแตนซ์ ($g_m \propto W/L$) ของอุปกรณ์ มอสทำให้ค่าคอนดักแตนซ์ของวงจรดีขึ้นได้ สัญญาณเอาต์พุตที่ได้จากวงจรไบซีมอสซึ่งมีช่วงแกว่งสัญญาณแบบ Partial swing ก็จะถูกส่งต่อไปยังวงจรซีมอส/ไบซีมอส ส่วนอื่นต่อไป

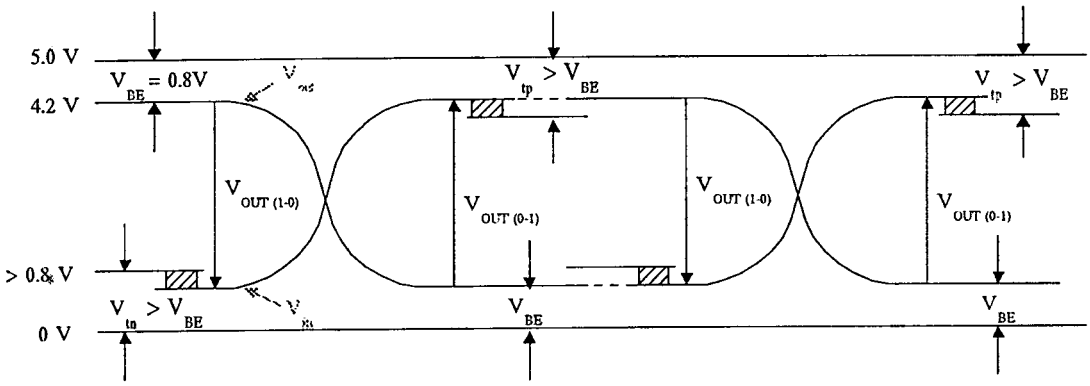
รูปที่ 2.19 Level-shift BiCMOS circuit

(a). การเลื่อนระดับสัญญาณด้วย V_{BE}

(b). การถ่ายโอนสัญญาณ อินพุตและเอาต์พุต

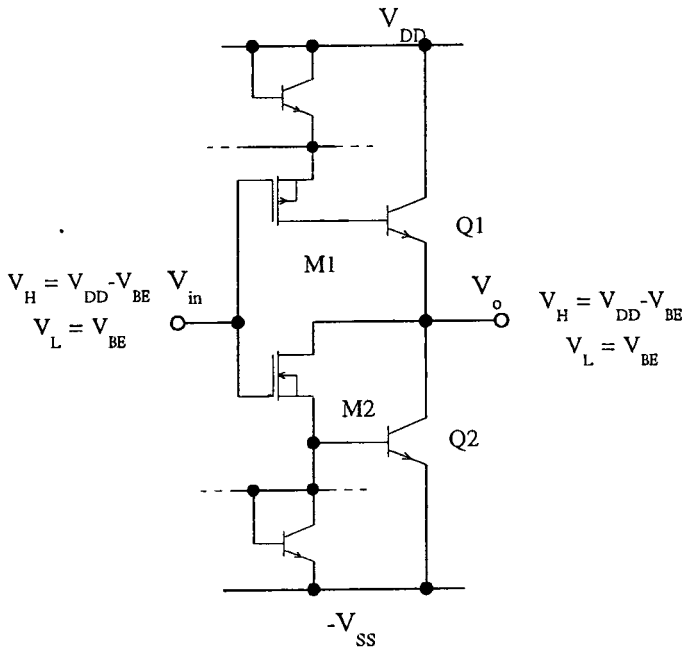


(a)



(b)

รูปที่ 2.20 วงจรไบซีมอสแบบ level shift



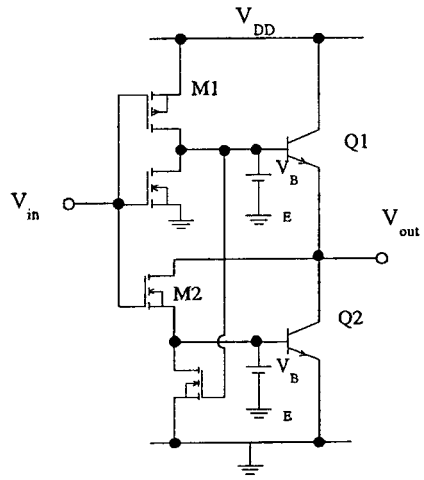
จากการเลื่อนระดับแรงดันให้มีช่วงการทำงานแบบ PS โดยอาศัยศักดาที่รอยต่อเบส - อิมิตเตอร์ซึ่งทำหน้าที่เป็นไดโอด ทำให้เกิดกระแสไหลผ่านไดโอดเมื่อเกิดการเปลี่ยนระดับสัญญาณ กระแสที่ไหลผ่านนี้ทำให้เกิดกำลังสูญเสียจากค่าความต้านทานภายในของไดโอด ความร้อนที่เกิดจากกำลังสูญเสียทำให้ศักดาที่รอยต่อเปลี่ยนไปด้วย นอกจากการใช้ไดโอดในการเลื่อนระดับสัญญาณ อาจใช้การออกแบบวงจรรวมให้มีแหล่งจ่ายไฟ 2 ขนาดเพื่อลดจำนวนและความไม่แน่นอนของอุปกรณ์

นอกจากนี้ ในการออกแบบวงจรไบซีมอสด้วยแหล่งจ่ายไฟ 2 ขนาด ทำให้สามารถกำหนดขนาดของช่วงแกว่งสัญญาณเอาต์พุตให้อยู่ในระดับใด ๆ ตามที่ต้องการ ทำให้ง่ายต่อการเชื่อมโยงระหว่างวงจร โดยการกำหนดแรงดันไบอัสให้กับไบโพลาร์ทรานซิสเตอร์ อย่างไรก็ตาม สำหรับวงจรไบซีมอสซึ่งใช้อุปกรณ์ Active จะต้องกำหนดให้แรงดันไบอัสมีขนาดต่ำกว่าแรงดัน turn on อุปกรณ์คายประจุนั้น ๆ เพื่อให้การทำงานเป็นไปอย่างถูกต้อง ดังวงจรรูปที่ 2.21 ให้มอสทรานซิสเตอร์(M4) เป็นอุปกรณ์คายประจุโดยเริ่มทำงานเมื่อ V_{GS} หรือ แรงดันไบอัสไบโพลาร์มีขนาดมากกว่า V_{Th} ดังนั้นช่วงสัญญาณสูงสุดและต่ำสุดต้องไม่ทำให้มอสทรานซิสเตอร์ดังกล่าวทำงาน เมื่อไม่มีการเปลี่ยนแปลงระดับสัญญาณ [7]

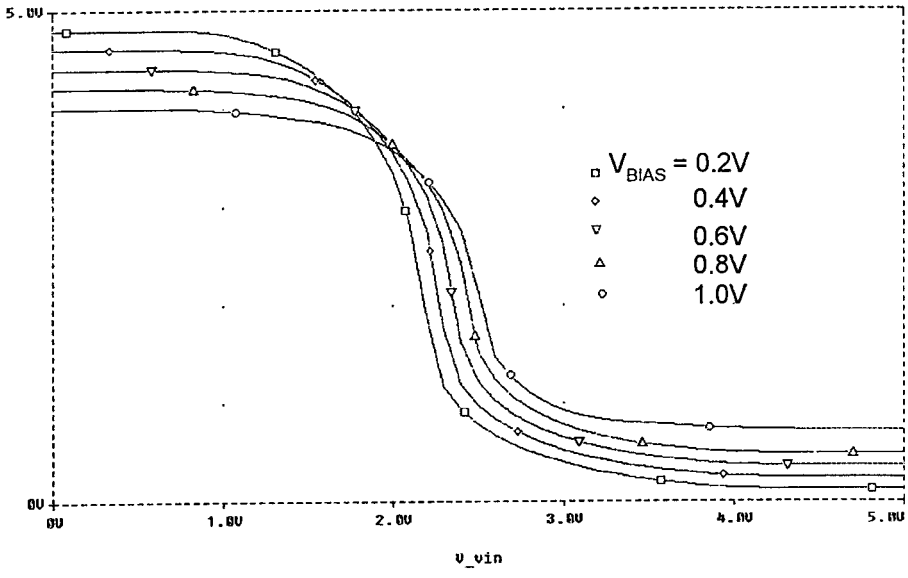
รูปที่ 2.21 การเพิ่มแรงดันไบอัสตรงแก่ไบโพลาร์ทรานซิสเตอร์

(a). วงจรไบซีมอสภายใน

(b). การถ่ายโอนสัญญาณ



(a)

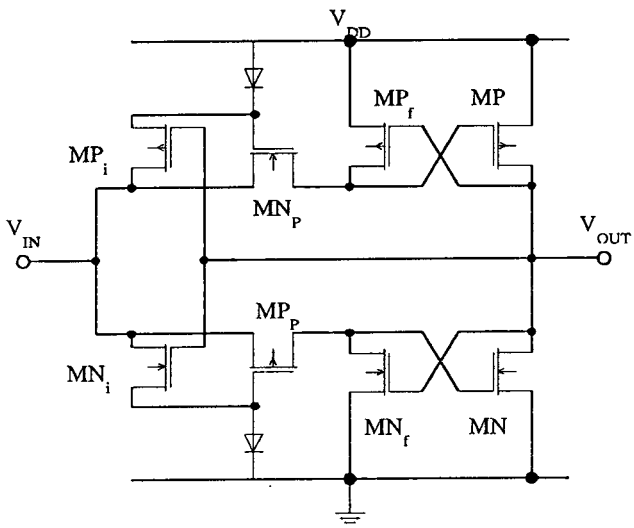


(b)

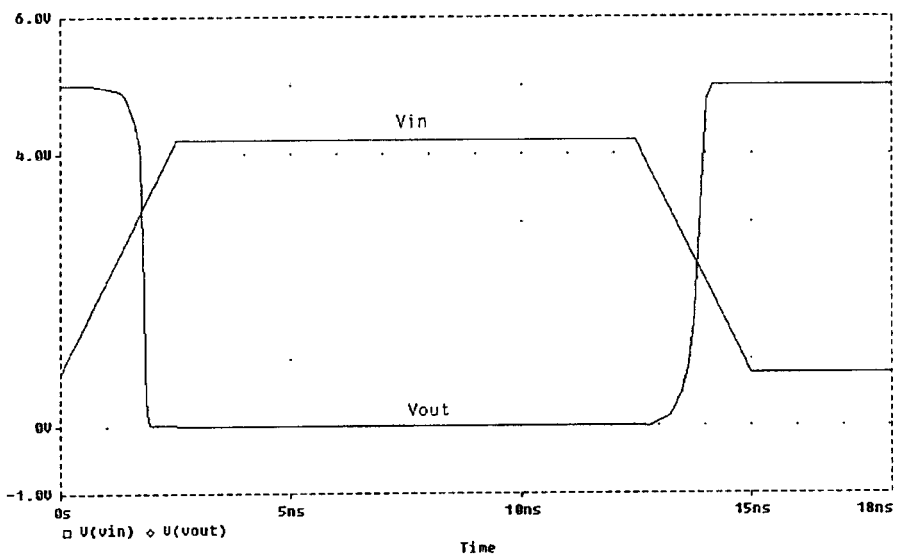
เนื่องจากข้อดีของการลดช่วงแกว่งสัญญาณ ซึ่งต้องอาศัยการออกแบบวงจรรวมแบบ 2 แหล่งจ่าย ซึ่งทำให้การเดินสายภายในเป็นไปด้วยความลำบาก โดยเฉพาะวงจรรวมที่มีความซับซ้อนตลอดจน วิธีการลดทอนขนาดแหล่งจ่ายด้วยศักดารอยต่อของไดโอดทำให้เกิดกำลังสูญเสียอีกทั้งไม่สะดวกสำหรับการออกแบบวงจรรวมแบบ VLSI ซึ่งใช้การออกแบบวงจรจากเซลย่อยมาตร

ฐาน การปรับปรุงวงจรย่อย ทำให้ต้นทุนและระยะเวลาในการออกแบบสูงขึ้น ตลอดจนยากแก่การตรวจสอบ ดังนั้น ทางเลือกหนึ่งทำสำหรับการออกแบบวงจรรวมไบซีมอสซึ่งมีช่วงแกว่งสัญญาณอินพุตและเอาต์พุตต่างกันคือการใช้วงจรปรับระดับสัญญาณ (Level converter circuit) [9] ในการปรับช่วงแกว่งสัญญาณให้เป็นแบบ Full swing

รูปที่ 2.22 วงจรปรับระดับสัญญาณ (a) วงจรภายใน (b) การถ่ายโอนสัญญาณ



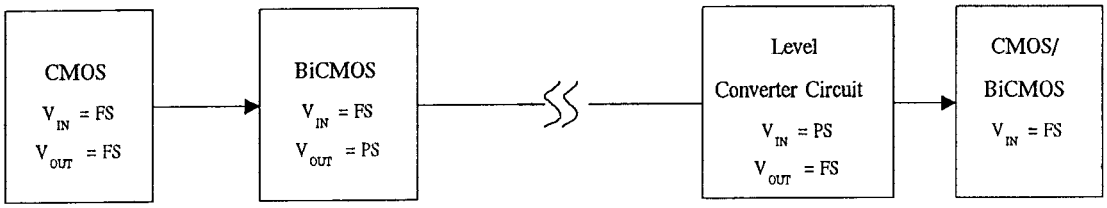
(a)



(b)

ข้อดีของการออกแบบวงจรไบซีมอสด้วยการเพิ่มวงจรปรับระดับสัญญาณ ทำให้สามารถออกแบบวงจรรวมด้วยเซลย่อยมาตรฐาน ซึ่งวงจรไบซีมอสมีช่วงแกว่งสัญญาณแบบ PS ทำให้ลดกำลังสูญเสียไดนามิก และเพิ่มความเร็วในการส่งสัญญาณ โดยไม่ต้องออกแบบวงจรใดเพิ่มเติมอีก

รูปที่ 2.23 การเชื่อมโยงโดยอาศัยวงจร level converter



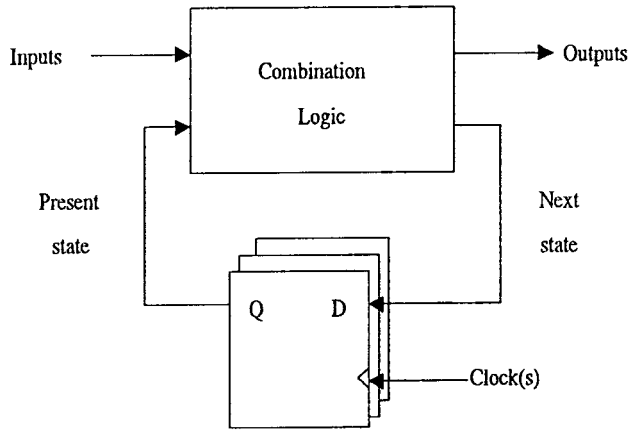
บทที่ 3

วงจรไบซีมอสแลทช์

3.1 การใช้งานวงจรแลทช์และ เวลาหน่วง

ในการออกแบบระบบลอจิกขนาดใหญ่ จำเป็นต้องใช้วงจรหลาย ๆ วงจรต่อเข้าด้วยกัน มีการเก็บและประมวลผลข้อมูล การทำให้วงจรทุกวงจรทำงานสอดคล้องกันอย่างไม่ผิดพลาดจะกระทำได้โดยการใช้สัญญาณนาฬิการ่วมกัน โดยมีวงจรแลทช์ ซึ่งทำหน้าที่เป็นหน่วยความจำชั่วคราว ทำการเก็บและคงค่าข้อมูล ซึ่ง VLSI ส่วนใหญ่จึงประกอบด้วยระบบ FSM และ ระบบท่อข้อมูลร่วมกัน [10] คือ

รูปที่ 3.1 ระบบใช้สัญญาณนาฬิกา แบบระบบขั้นตอนตามเวลา (FSM)



กรณีที่ระบบ VLSI ต้องเก็บและประมวลผลข้อมูลจะต้องออกแบบดังรูปที่ 3.1 คือ ระบบขั้นตอนตามเวลา (Finite state machine :FSM) ซึ่งประกอบด้วย กลุ่มข้อมูลขาเข้าผ่านวงจรลอจิกประกอบและกลุ่มข้อมูลขาออก ซึ่งป้อนกลับผ่านหน่วยความจำซึ่งทำงานตามสัญญาณนาฬิกา ระบบทำงานโดยหา ผลขั้นต่อไป (Next state) ซึ่งเป็นฟังก์ชั่นของ ขั้นปัจจุบัน (Present state) และข้อมูลขาเข้า ซึ่งรับมาจากภายนอก เมื่อปรากฏสัญญาณนาฬิกา หน่วยความจำจะผ่านสถานะของขั้นต่อไป สู่สถานะของ ขั้นปัจจุบัน ทำการจดจำค่าไว้ ขั้นปัจจุบันนี้จะถูกประมวลผลพร้อม ๆ กับข้อมูลขาเข้า จนได้ข้อมูลขาออกและสถานะของขั้นต่อไป จนกระทั้งข้อมูลขาออกมีค่าแน่นอนแล้ว สัญญาณนาฬิกาใหม่ก็จะป้อนเข้าสู่ระบบอีก ส่วน รูปที่ 3.2 คือระบบท่อข้อมูล (Pipeline system) ระบบนี้ใช้หน่วยความจำเก็บข้อมูลขาออกของทุกขั้นตอน ณ ช่วงท้ายของสัญญาณนาฬิกา โดยไม่ป้อนกลับ และมีรอบการทำงานเป็น T_c โดยเวลาดังกล่าวได้จากการรวมเวลาที่ใช้ในส่วนต่าง ๆ เข้าด้วยกันนี้

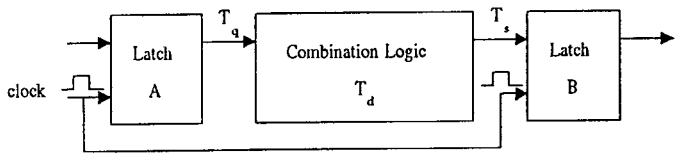
$$T_c = T_q + T_d + T_s \tag{3.1}$$

เมื่อ T_d เป็นเวลาหน่วงที่นานที่สุดในการส่งข้อมูลผ่านวงจรลอจิกประกอบ

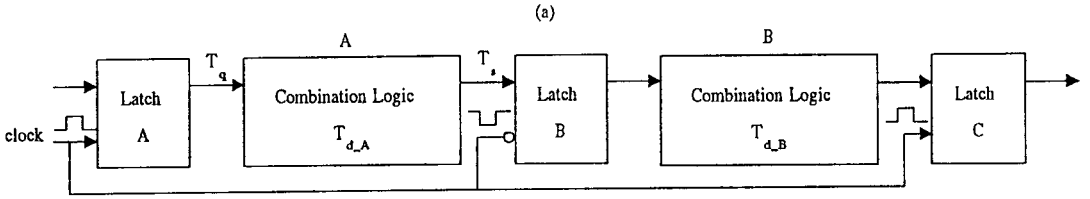
รูปที่ 3.2 ระบบใช้สัญญาณนาฬิกา แบบระบบท่อข้อมูล (Pipeline system)

(a). ระบบท่อข้อมูลที่ใช้วงจรแลทช์

(b). การต่ออนุกรมแลทช์แบบกลับเฟสกันกลุ่มวงจรลอจิกประกอบในกรณีที่ T_d นาน เกินกว่า T_c



(a)



(b)

การต่ออนุกรมแลทช์กับกลุ่มวงจรลอจิคประกอบใช้ประโยชน์ในกรณีที่ T_d นานเกินกว่า T_c ซึ่งมีข้อดีที่สามารถขยายวงจรลอจิคประกอบออกไปได้อีกโดยใช้วงจรแลทช์แบบค้างระดับบวกและระดับลบสลับกันหรือการใช้วงจรแลทช์แบบ ½ บิท ซึ่งใช้ลดจำนวนวงจรแลทช์ลง ดังรูป

3.2(b) แต่มีข้อแม้ที่ ข้อมูลขาออกของวงจรค้าง A จะต้องปรากฏหลังเวลา T_q เมื่อสัญญาณนาฬิกาเปลี่ยนเป็น '1' และจะส่งผ่านข้อมูลนี้ผ่านกลุ่มวงจรลอจิกประกอบถึงวงจรแลทช์ B หลังเวลา T_s ก่อนที่สัญญาณนาฬิกาจะเปลี่ยนเป็น '0' ดังนั้นกลุ่มวงจรลอจิคประกอบ A ต้องมีเวลาหน่วงดังนี้ โดยถือว่าสัญญาณนาฬิกามีช่วงทำงาน (Duty cycle 50%)

$$T_{d_A} < T_{c1} - T_{q_A} - T_{s_B} \tag{3.2}$$

เมื่อ T_{q_A} คือ เวลาหน่วงสัญญาณนาฬิกาถึงสัญญาณเอาต์พุตของวงจรแลทช์ A

T_{c1} คือ วงรอบการทำงานของกลุ่มวงจร A

T_{s_B} คือ เวลาจัดเตรียม (setup time) ของวงจรแลทช์ B

และในทำนองเดียวกันจะได้

$$T_{d_B} < (T_{c0} - T_{q_B} - T_{s_A})$$

และจาก $T_{d_A} = [(T_c / 2) - T_{q_A} - T_{s_B}]$ และ $T_{d_B} = [(T_c / 2) - T_{q_B} - T_{s_A}]$ ดังนั้น

$$\begin{aligned} T_{c1} &= (T_{d_A} + T_{q_A} + T_{s_B}) \\ T_{c0} &= (T_{d_B} + T_{q_B} + T_{s_B}) \\ T_c &= T_{d_B} + T_{q_B} + [2(T_q + T_s)] \end{aligned} \tag{3.3}$$

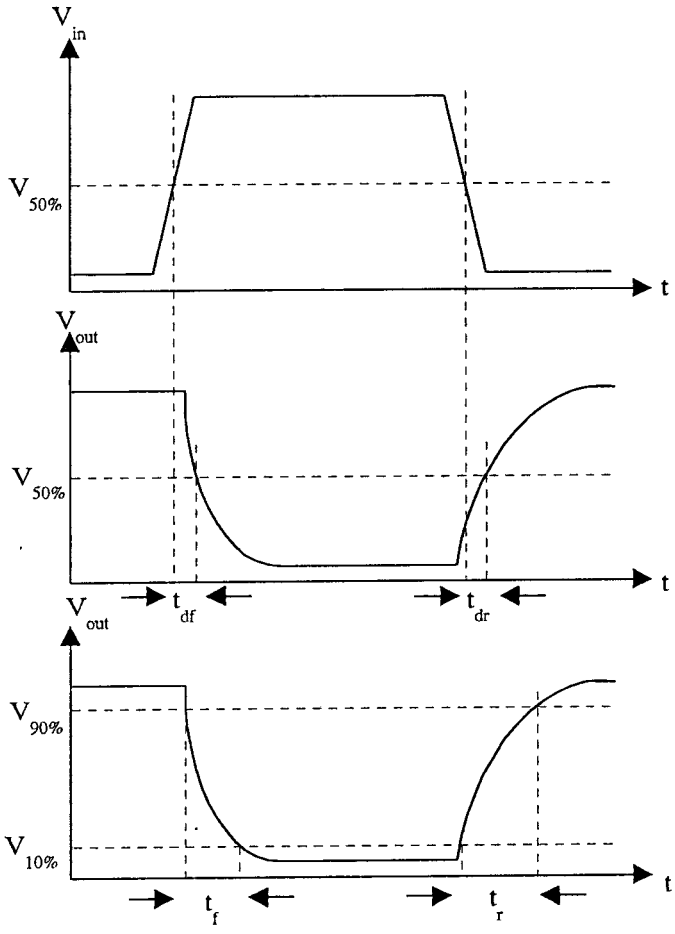
เมื่อ T_{c0} คือวงรอบการทำงานของกลุ่มวงจรลอจิกประกอบ B ทั้งนี้ถือว่า วงจรแลทช์ A และ B ทำงานสมมาตรกันทุกประการ

ค่าหน่วงเวลาในการสวิทช์ โดยสามารถจำแนกเวลาต่าง ๆ ได้ดังรูปที่ 3.3

- เวลาขึ้น t_r (Rise time) คือเวลาที่สัญญาณเอาต์พุตขึ้นจาก 10% ถึง 90%
- เวลาตก t_f (Fall time) คือเวลาที่สัญญาณเอาต์พุตลดจาก 90% เหลือ 10%
- เวลาหน่วงผ่านเกท t_d (Gate propagation delay time) คือเวลาระหว่างสัญญาณขาเข้ามีค่า 50% และสัญญาณขาออกมีค่า 50% เท่ากัน หรือคือเวลาที่สัญญาณส่งผ่านจากด้านขาเข้าสู่ด้านขาออก โดยแบ่งเป็น 2 ประเภทคือ เวลาหน่วงสัญญาณผ่านเกทเมื่อเอาต์พุตเปลี่ยนจาก $V_{OL} \rightarrow V_{OH}$ (t_{dr}) และเวลาหน่วงสัญญาณผ่านเกทเมื่อเอาต์พุตเปลี่ยนจาก $V_{OH} \rightarrow V_{OL}$ (t_{df})

$$t_d = \frac{(t_{dr} + t_{df})}{2} \tag{3.4}$$

รูปที่ 3.3 แสดงพารามิเตอร์ค่าหน่วงเวลาต่าง ๆ



ดังนั้นระดับสัญญาณที่เกี่ยวข้องกับนิยามข้างต้นจึงประกอบด้วย

- ระดับสัญญาณเอาต์พุต 10 %

$$V_{10\%} = V_{OL} + 0.1(V_{OH} - V_{OL})$$

- ระดับสัญญาณเอาต์พุต 90 %

$$V_{90\%} = V_{OL} + 0.9(V_{OH} - V_{OL})$$

- ระดับสัญญาณเอาต์พุต 50 %

$$V_{50\%} = V_{OL} + \frac{1}{2}(V_{QH} - V_{OL}) = \frac{1}{2}(V_{OH} + V_{OL})$$

นอกจากค่าหน่วงเวลาพื้นฐานข้างต้น ซึ่งใช้สำหรับวัดความเร็วในการทำงานของวงจรลอจิกทั่วไปแล้ว ช่วงเวลาจัดเตรียมและคงค่าสัญญาณ ก็เป็นค่าหน่วงเวลาที่สำคัญอีกตัวหนึ่ง ถึงแม้ว่าในวงจรลอจิกทั่วไปค่าหน่วงเวลาดังกล่าวจะมีค่าต่ำ จนไม่ถูกนำมาเป็นเงื่อนไขในการออกแบบวงจร แต่สำหรับวงจรประเภทหน่วยความจำ โดยเฉพาะวงจรที่มีลักษณะการป้อนกลับ เนื่องจากเป็นตัวกำหนดให้วงจรเกิดการทำงานอย่างถูกต้อง [11]

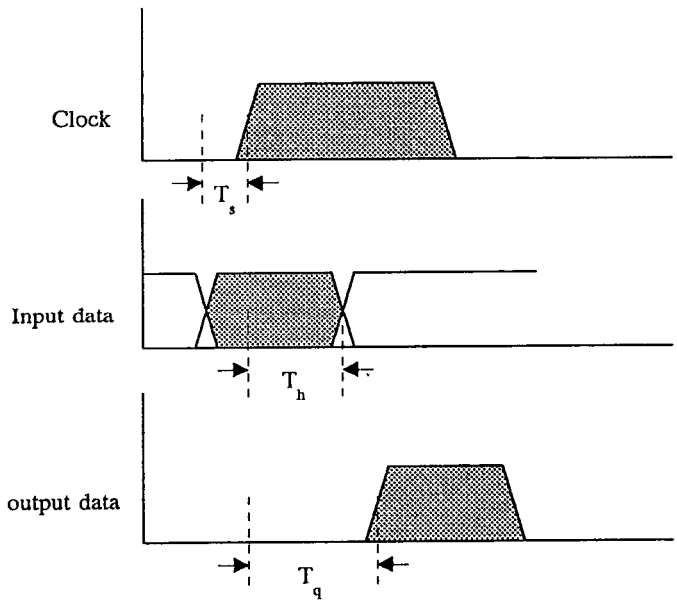
เวลาคงค่า (Hold time : T_h) หมายถึงเวลาหน่วงที่นับตั้งแต่สัญญาณนาฬิกาจนถึงเวลาที่แลทช์สามารถเก็บข้อมูลได้ ข้อมูลขาเข้าจะต้องคงค่าตลอดช่วงเวลานี้

เวลาจัดเตรียม (Setup time : T_s) หมายถึงเวลาหน่วงระหว่างข้อมูลขาเข้าและหน่วยเก็บข้อมูล ในช่วงเวลานี้สัญญาณนาฬิกาต้องไม่เปลี่ยนจนกว่าข้อมูลขาออกจะถูกต้อง

เวลาหน่วงสัญญาณนาฬิกา - ข้อมูล (Clock to Q delay : T_q) หมายถึงเวลาหน่วงตั้งแต่สัญญาณนาฬิกาขาขึ้นจนถึงข้อมูลปรากฏที่ขาออก

อย่างไรก็ตาม ในระบบซิงโครนัสที่ทำงานประสานกันด้วยสัญญาณนาฬิกานั้น หากข้อมูลขาเข้าไม่สอดคล้องตามเวลาจัดเตรียมและเวลาคงค่าจะเกิดปัญหาการแข่งกันของสัญญาณ (Clock race) กล่าวคือ หากเวลาคงค่าของข้อมูลสั้นกว่าเวลาจัดเตรียม วงจรแลทช์ก็ไม่สามารถเก็บข้อมูลได้อย่างถูกต้องและเกิดปัญหาตามมา เช่น การสูญเสียความพ้อง (Syncronization failures) หรือการเกิดภาวะกึ่งเสถียร (Meta - stability)

รูปที่ 3.4 สัญญาณนาฬิกาเฟสเดียวแสดงค่าพารามิเตอร์ต่าง ๆ



และถึงแม้ว่าจะไม่สามารถวัดค่าหน่วงเวลาในช่วงต่าง ๆ ได้อย่างชัดเจน แต่การจัดวงจรให้มีค่าหน่วงเวลาในช่วงที่กำหนดก็เป็นสิ่งจำเป็นในการทำให้ระบบทำงานได้อย่างถูกต้อง โดยเฉพาะอย่างยิ่งเมื่อต้องการเพิ่มความเร็วให้กับระบบ ค่าหน่วงเวลา T_q ของวงจรแลทช์ เป็นปัจจัยหนึ่งที่ช่วยเพิ่มความเร็วได้ โดยอาศัยแนวคิดในคิดในการใช้วงจรไบซีมอสแทนที่ในส่วนวงจรซีมอสเพื่อเร่งความเร็ว ในขณะที่การทำงานและคุณลักษณะของวงจรยังคงเหมือนเดิม

3.2 วงจรไบซีมอสไดนามิแลทช์ (BiCMOS dynamic latch)

เทคนิคหนึ่งที่ใช้ประโยชน์จากความจุแฝงที่โหนดต่าง ๆ ภายในวงจรในการเก็บค่าระดับแรงดันลอจิก ซึ่งประจุที่เก็บไว้นี้ ท้ายที่สุดย่อมรั่วไหลไปหมด การออกแบบวงจรที่ดีเพื่อรับประกันว่าข้อมูลที่เก็บไว้จะไม่สูญหายก่อนที่จะถูกนำไปใช้งาน

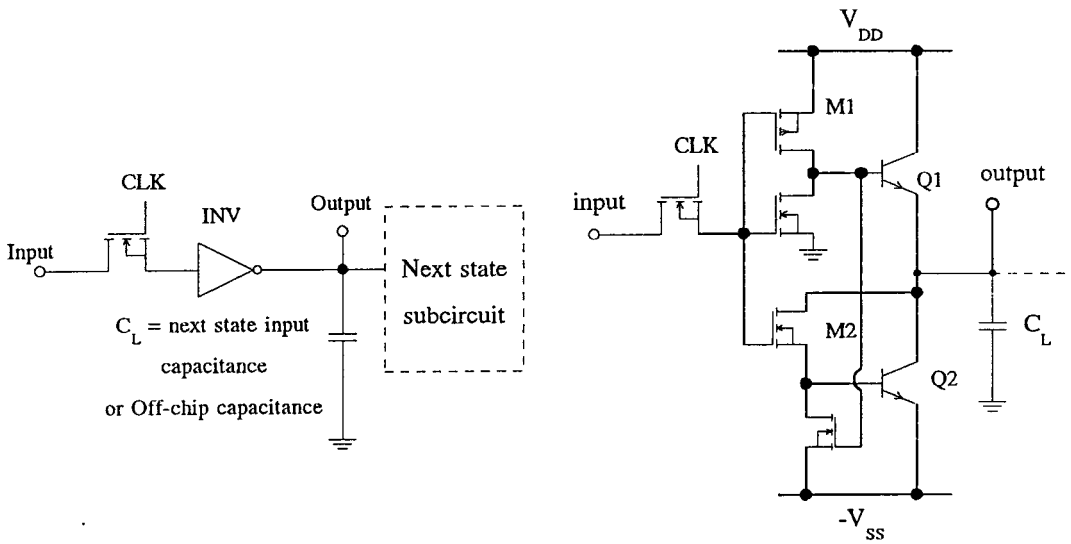
สำหรับวงจรไดนามิกลอจิก เป็นวงจรแบบหนึ่งที่อาศัยเทคนิคดังกล่าว โดยการออกแบบให้วงจรมีความต้านทานขาเข้าสูง ๆ เพื่อป้องกันการรั่วไหลของประจุ เช่น วงจรซีมอส วงจรไบ-ซีมอส และถึงแม้ว่า ความต้านทานขาเข้าจะสูงเพียงใด แต่คาบเวลาสูงสุดในการเก็บค่า (maximum storage period) ก็อยู่ในระดับมิลลิวินาทีเท่านั้น ดังนั้นวงจรไดนามิก จึงจำเป็นต้องมีการป้อนข้อมูลใหม่ตามคาบเวลาทุกครั้ง

โครงสร้างของวงจรไดนามิกแลทช์ ประกอบด้วยทรานซิสเตอร์ผ่าน (Pass transistor) และวงจรอินเวอร์เตอร์ [23] ดังรูปที่ 3.5(a)

ทรานซิสเตอร์ผ่าน ทำหน้าที่ผ่านสัญญาณและแยกสัญญาณ โดยมีโครงสร้างที่เรียบง่าย ซึ่งมักใช้เอ็นมอสทรานซิสเตอร์ โดยจะนำกระแสเมื่อลอจิก '1' เข้าที่ขาเกท สวิตช์ชนิดนี้ส่งผ่านสัญญาณลอจิก '0' ได้ดี แต่การส่งผ่านสัญญาณลอจิก '1' จะถูกลดทอนด้วยค่าแรงดันเทรดโฮลด์ (V_{Th}) เพื่อทำให้เกิดช่องทางเดินกระแส และเนื่องจากการเชื่อมต่อที่ปลายซอร์สและเดรน เป็นลักษณะสมมาตรสองทิศทาง ฉะนั้นศักดาที่ซอร์สและเดรน จึงขึ้นกับอิมพีแดนซ์ในแต่ละโนด โดยปกติ มักกำหนดให้ด้านใดด้านหนึ่งมีอิมพีแดนซ์สูง (เช่นต่อเข้ากับ ขาเข้าของวงจรเกท) และกำหนดให้ปลายอีกด้านหนึ่งมีอิมพีแดนซ์ต่ำ (เช่นต่อเข้ากับขาออกของวงจรเกท) เพื่อว่าขณะที่ระดับสัญญาณที่ขาเกทเป็น '1' ระดับสัญญาณที่ปลายทั้ง 2 จะเท่ากับศักดาที่โหนดที่มีอิมพีแดนซ์ต่ำ สำหรับรายละเอียด การทำงานและการส่งผ่านสัญญาณ ตลอดจนระยะเวลาคงค่าสัญญาณของทรานซิสเตอร์ผ่าน แสดงไว้ในภาคผนวก ก.

รูปที่ 3.5 (a). วงจรไดนามิกแลทช์ขนาด ½ บิท

(b).โครงสร้างภายในวงจรไบซีมอสไดนามิกแลทช์แบบ totem - pole



(a) (b)

รูปที่ 3.5(b) แสดงโครงสร้างภายในของวงจรไบซีมอสไดนามิกแลทช์ โดยเลือกวงจรไบ-ซีมอส totem-pole แบบ partial swing เป็นต้นแบบในการวิเคราะห์ ทั้งนี้เนื่องจากวงจรมีโครงสร้างที่เรียบง่าย และถึงแม้ว่าจะมีช่วงแกว่งสัญญาณเอาต์พุตแบบ partial swing ทำให้แน่ใจได้ว่าเมื่อทำการออกแบบและออปติไมซ์วงจรแลทช์ โดยใช้วงจรไบซีมอสแบบ full swing เป็นส่วนประกอบของวงจรแลทช์ การทำงานของวงจรรวมยังคงทำงานได้อย่างถูกต้อง

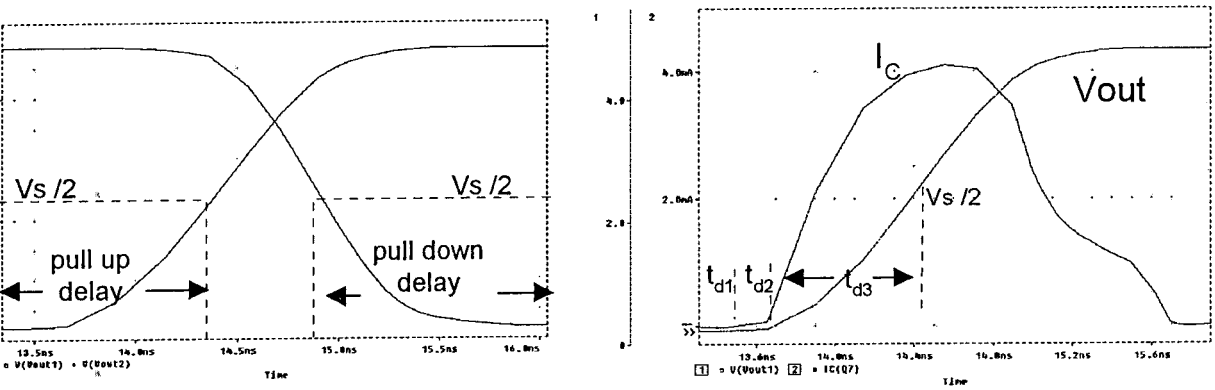
การทำงานของวงจรไบซีมอส totem - pole ได้กล่าวถึงในบทที่ 2 โดยมีคุณลักษณะโดยรวมคือ

1. มีอินพุตอิมพีแดนซ์สูง (Z_{in}) โดยพิจารณาจากความต้านทานเกทของอุปกรณ์มอสเฟต
2. มีเอาต์พุตอิมพีแดนซ์ต่ำ (Z_{out}) โดยพิจารณาจากความต้านทานขาออกของไบโพลาร์
3. ไม่เกิดการสูญเสียกำลังกระแสตรงในการขับกระแสชั่วขณะ (transient drive)
4. ระดับสัญญาณแกว่งขาออกจะถูกจำกัดด้วยความต่างศักย์ที่รอยต่อเบส-อิมิตเตอร์ (V_{BE}) ทำให้ระดับช่วงแกว่งสัญญาณขาออก มีค่าระหว่าง V_{BE} ถึง V_{DD}-V_{BE} เมื่อ V_{DD} เป็นค่าแรงดันแหล่งจ่าย

นอกจากนี้ ความเร็วหรือความถี่ของการทำงาน ขึ้นอยู่กับค่าหน่วงเวลาผ่านเกท (signal propagation gate delay) ซึ่งมักเกิดจากค่าความต้านทานและค่าความจุแฝงที่รอยต่อภายในอุปกรณ์ต่าง ๆ ตลอดจนบริเวณหน้าสัมผัสต่าง ๆ รวมถึงค่า โหลดคาปาซิแตนซ์ ซึ่งค่าหน่วงเวลาผ่านเกทนี้ เป็นเงื่อนไขหนึ่งในการกำหนดประสิทธิภาพการทำงาน (Performance) ของวงจรรวม ในการลดค่าหน่วงเวลาผ่านเกท จำเป็นต้องพิจารณาการตอบสนองชั่วขณะของเกท เพื่อศึกษาอิทธิพลตัวแปรต่าง ๆ ของแต่ละอุปกรณ์ที่มีผลต่อค่าหน่วงเวลาผ่านเกท

รูปที่ 3.6 (a) แสดงค่าหน่วงเวลาผ่านเกทวงจรไบซีมอสแลทช์

(b) ช่วงเวลาหน่วงเวลาดึงขึ้น และการทำงานของไบโพลาร์ทรานซิสเตอร์

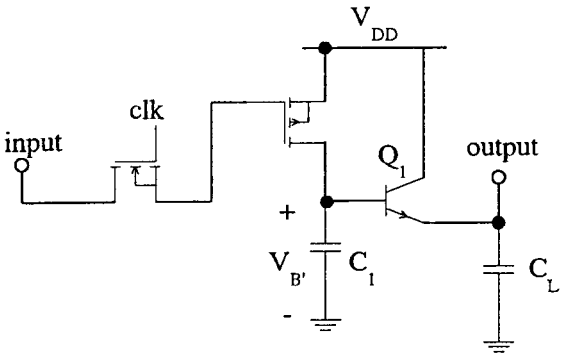


(a) (b)

3.2.1 ผลตอบสนองชั่วขณะ(Switch transient response)

จากผลตอบสนองการสวิทช์ชั่วขณะในรูป 3.6(b) ซึ่งประกอบด้วยค่าหน่วงเวลาดึงขึ้น (pull - up delay) จากการชาร์จ C_L ผ่าน M1 และ Q1 และค่าหน่วงเวลาดึงลง (pull - down delay) จากกการดิสชาร์จ C_L ผ่าน M2 และ Q2 จากบทที่ 2 เมื่อทำการปรับเปลี่ยนขนาดความกว้างเกทของ M1 และ M2 ให้มีขนาดเท่ากัน ทำให้การตอบสนองชั่วขณะในการเปลี่ยนระดับสัญญาณมีความสมมาตร ดังรูป 3.6(a) ตามที่ได้กล่าวแล้วในบทที่ 2 ดังนั้นในการวิเคราะห์ผลตอบสนองชั่วขณะจึงจะพิจารณาเฉพาะค่าหน่วงเวลาดึงขึ้นเท่านั้น จากรูที่ 3.6(b) ค่าหน่วงเวลาผ่านเกทสามารถแบ่งพิจารณาการทำงานของอุปกรณ์ต่าง ๆ ได้เป็น 3 ช่วง [12] คือ

รูปที่ 3.7 วงจรส่วน Pull - up section ขณะที่ระดับสัญญาณขาออกเปลี่ยนจาก '0' เป็น '1'



1.ช่วงหน่วงเวลา t_{d1}

ประกอบด้วยค่าหน่วงเวลาจาก pass transistor และค่าหน่วงเวลาในการ turn on อินเวอร์เตอร์ คือ ช่วงเวลาที่มอสทรานซิสเตอร์ M1 เกิดการสวิทช์อย่างรวดเร็วเข้าสู่ช่วงอิ่มตัว ในขณะที่ Q1 ยังไม่นำกระแส กระแสจะไหลจากแหล่งจ่ายแรงดันผ่าน M1 ทำการชาร์จความจุไฟฟ้าที่โหนด B′ จน $V_{B'}$ มีค่าเท่ากับ $V_{BE(ON)}$

2.ช่วงหน่วงเวลา t_{d2}

มอสทรานซิสเตอร์ M1 ยังคงทำงานในย่านอิ่มตัว ในขณะที่ Q1 ก็เริ่มนำกระแส เกิดการชาร์จ C_L เป็นช่วงที่สัญญาณขาออกมีค่าระหว่าง $0 < V_{OUT} < (|V_{Th}| - V_{BE})$ ช่วงหน่วงเวลานี้ค่อนข้างคงที่และมีขนาดเล็ก โดยเฉพาะเมื่อไบโพลาร์ทรานซิสเตอร์ทำงานในย่านนำกระแสต่ำ (low level current) และจะเพิ่มขึ้นอย่างรวดเร็วเมื่อทำงานในย่านนำกระแสสูง (high level current) เนื่องจากช่วงเวลาข้ามผ่านเบสที่เพิ่มขึ้นจากพาหะที่สะสมในเบสเพิ่มขึ้น

3.ช่วงหน่วงเวลา t_{d3}

เมื่อ $v_{OUT} \geq |V_{Th}| - V_{BE}$ ค่าหน่วงเวลา t_{d3} จะเริ่มเมื่อมอสทรานซิสเตอร์ M1 เข้าสู่ย่านเชิงเส้นและสิ้นสุดเมื่อแรงดันขาออกมีค่าเท่ากับครึ่งหนึ่งของแรงดันแหล่งจ่าย($V_{OUT} = V_{DD}/2$) ค่าหน่วงเวลานี้จะเป็นองค์ประกอบที่สำคัญที่สุดในค่าหน่วงเวลาผ่านเกททั้งหมด

ในภาคผนวก ก และ ข แสดงการวิเคราะห์การตอบสนองสัญญาณชั่วขณะ (transient response) ของทรานซิสเตอร์ผ่าน และ วงจรไบซีมอสอินเวอร์เตอร์ตามลำดับ จากสมการ ก.6 และ ข.32 ดังนั้นค่าหน่วงเวลาผ่านเกทของวงจรไบซีมอสไดนามิกแลทช์ คือ

$$t_{delay} = t_d(pass\ transistor) + t_d(BiCMOS\ inverter)$$
$$= R_{CH_pass}C_{in} + R_{CH_M1}(C_E + C_C)\frac{V_{BE(ON)}}{V_{DD} - |V_{Th}|} + \frac{\pi}{2}\sqrt{R_{CH}C_L^*\tau_F^*} \quad (3.5)$$

เมื่อ C_L^* : $C_L + C_{CS}$ (Q2)

β_F^* : effective current gain

τ_F^* : effective forward base transit time

C_{in} : ความจุขาเข้าของวงจรไบซีมอสอินเวอร์เตอร์ และทำหน้าที่คงค่าระดับสัญญาณในวงจรไดนามิกแลทช์

$$C_{in} = C_{G1} + C_{G2} + C_{G3} + C_{GS1} + C_{GS2} + C_{GS3} + C_{GD1} + C_{GD2} + C_{GD3} \quad (3.6)$$

เมื่อ C_G : ความจุเกท

C_{GS} : ความจุระหว่างเกท - ซอร์ท และ

C_{GD} : ความจุระหว่างเกท - เดรน

C_{GS} และ C_{GD} เกิดจากการเหลื่อมซ้อนของ mask รวมถึงการแผ่ขยายด้านข้างของสนามไฟฟ้า ทำให้เปรียบเสมือนว่า เกทมีขนาดใหญ่กว่าความเป็นจริง ดังนั้นจากตารางที่ ค.1 ในภาคผนวก ค. ซึ่งแสดงค่า PSpice พารามิเตอร์ จึงกำหนดให้ $C_{GS} = C_{GD} = C_{GS0}$ และเมื่อพิจารณาผลของ Miller effect

$$C_{in} \approx (W_1 + W_2 + W_3)(L \cdot C_{OX}) + (W_1 + W_2 + W_3)(3C_{GS0})$$
$$= (2W_1 + W_3)(L \cdot C_{OX} + 3C_{GS0}) \quad (3.7)$$

แทนค่าลงในสมการที่ 3.5

$$t_{delay} = \frac{2(2W_1 + W_3)(LC_{OX} + 3C_{GSO})L_{pass}}{W_{pass}\mu_n C_{OX} V_{DD}} + R_{CH}(C_E + C_C)\frac{V_{BE(ON)}}{(V_{DD} - |V_{Th}|)} + \frac{\pi}{2}\sqrt{R_{CH}C_L^*\tau_L^*} \quad (3.8)$$

สมการข้างต้นใช้สำหรับการหาค่าหน่วงเวลาต่ำสุด โดยสังเกตุว่าการเปลี่ยนขนาด W_1 ช่วยให้วงจรไบซีมอสอินเวอร์เตอร์ทำงานได้เร็วขึ้น แต่ก็ส่งผลให้ค่าหน่วงเวลาของทรานซิสเตอร์ผ่านเพิ่มขึ้นด้วย สำหรับกรณีของ W_3 ควรออกแบบให้มีค่าต่ำสุดตามกฎการออกแบบ เพื่อให้วงจรมีความเร็วในการทำงานสูงสุด

3.2.2 การหา Cross over load capacitance (C_{CRS})

สำหรับวงจรรวมในปัจจุบัน มีแนวโน้มในการทำงานด้านความเร็วที่สูงขึ้น ในขณะเดียวกันก็พยายามลดขนาดวงจรให้เล็กลง แนวทางหนึ่งในการพัฒนาวงจรรวมให้มีความเร็วสูงขึ้นคือการแทนที่วงจรซีมอสด้วยวงจรไบซีมอส โดยเงื่อนไขที่ว่า การทำงานและคุณลักษณะของวงจรต้องไม่เปลี่ยนแปลง และพื้นที่ต้องไม่เพิ่มไปจากเดิมมากนัก ในขณะที่ความเร็วในการทำงานต้องสูงขึ้น วิธีดังกล่าวเป็นวิธีที่สะดวก เนื่องจากมีผลต่อการวางผังเดิมน้อยมาก และจากสมการที่ 3.8 ความเร็วในการทำงานเป็นฟังก์ชันที่ขึ้นกับขนาดของความจุภายในและความจุโหลด แต่เนื่องจากวงจรไบซีมอสมีโครงสร้างวงจรซับซ้อนและมีขนาดใหญ่ ส่งผลให้ความจุภายในเพิ่มขึ้นเมื่อเทียบกับวงจรซีมอสเดิม กล่าวคือ วงจรไบซีมอสจะมีความเร็วเหนือวงจรซีมอส แต่ก็เฉพาะค่า โหลดคาปาซิแตนซ์สูง ๆ เท่านั้น ดังนั้นในการเปรียบเทียบประสิทธิภาพด้านความเร็ว ระหว่างวงจรซีมอส และไบซีมอส จะพิจารณาจากค่าหน่วงเวลา ที่สภาพ โหลดคาปาซิแตนซ์ ต่าง ๆ โดยกำหนดให้ C_{CRS} นี้ เป็นค่าขนาดความจุที่ทำให้วงจรทั้งสองมีความเร็วเท่ากัน จากสมการ 3.5

$$t_{d,BiCMOS} = t_1 + \frac{\pi}{2}\sqrt{\tau_F C_L R_{CH_BiC}} \tag{3.9}$$

และโดยวิธีเดียวกันนี้

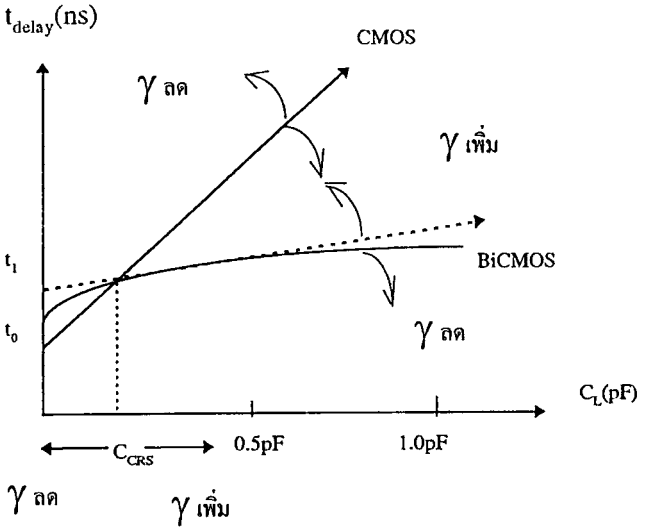
$$t_{d,CMOS} = t_0 + C_L R_{CH_CM} \tag{3.10}$$

เมื่อ R_{CH} ขึ้นกับขนาดของทรานซิสเตอร์ ขณะที่ t_0 และ t_1 เป็นค่าหน่วงเวลา no-load ของวงจรซีมอสและไบซีมอสแลทซ์ตามลำดับ พิจารณาที่ $t_{d,BiCMOS} = t_{d,CMOS}$ ดังนั้น

$$C_L = C_{CRS} = \frac{1}{R_{CH_CMOS}}\left(\frac{\pi\gamma}{4} + \sqrt{\left(\frac{\pi\gamma}{4}\right)^2 + (t_1 - t_0)}\right) \tag{3.11}$$

เมื่อ $\gamma = \left(\frac{L_{BiC}}{L_{CM}} \cdot \frac{W_{CM}}{W_{BiC}} \cdot \tau_F\right)^{\frac{1}{2}}$

รูปที่ 3.8 การหาค่า Cross over load capacitance: C_{CRS}

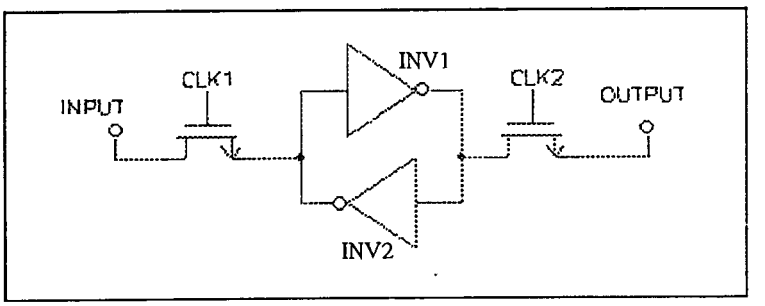


จากรูปที่ 3.8 เมื่อ $C_L > C_{CRS}$ วงจรไบซีมอสจะมีความเร็วสูงกว่าวงจรซีมอส ในทางตรงกันข้าม เมื่อ $C_L < C_{CRS}$ วงจรซีมอส มีความเร็วสูงกว่า ดังนั้นในการตัดสินใจเลือกใช้วงจรใดสามารถกำหนดได้จากการเปรียบเทียบระหว่าง C_L และ C_{CRS} อย่างไรก็ตามค่า C_{CRS} ยังขึ้นอยู่กับ γ ซึ่งแปรผันตามอัตราส่วน W/L ของมอสในวงจรซีมอสเดิมเทียบกับวงจรไบซีมอสที่มาแทนที่ การเปลี่ยนแปลงชนิดของมอสทรานซิสเตอร์ ทำให้เงื่อนไขในการแทนที่ผิดไป หากเมื่อกำหนดให้ขนาดของมอสทรานซิสเตอร์ของทั้งสองวงจรมีขนาดเท่ากัน ดังนั้น $\gamma = (\tau_F)^{1/2}$ และจากสมการ 3.11 เมื่อแทนค่าด้วยพารามิเตอร์ต่าง ๆ ในตารางที่ ค.1 ขนาด C_{CRS} จะมีค่าเท่ากับ 0.243 pF

3.3 วงจรไบซีมอสสแตติกแลทช์ (BiCMOS static latch)

เป็นหน่วยความจำซึ่งเมื่อประจุข้อมูลลงไปแล้ว ข้อมูลจะถูกเก็บอยู่ตราบเท่าที่มีแรงดันไฟเลี้ยงป้อนตลอดเวลา

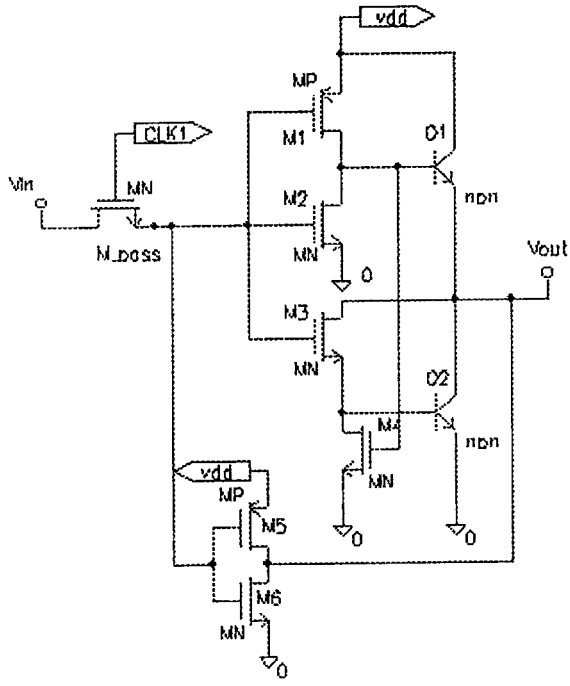
รูปที่ 3.9 แสดงวงจรสแตติกแลทช์แบบกลับเฟสซึ่งใช้ในระบบท่อส่งข้อมูล



จากรูปวงจรจะประกอบด้วยวงจรอินเวอร์เตอร์ INV1 และ INV2 โดยที่ INV1 ทำหน้าที่กำหนดระดับสัญญาณ ในขณะที่ INV2 ทำหน้าที่ป้อนกลับสัญญาณ เพื่อวงจรสามารถคงค่าระดับสัญญาณไว้ เรียกว่า อินเวอร์เตอร์ป้อนกลับ (Trickle inverter หรือ Feedback inverter) เนื่องจากอินเวอร์เตอร์ ใช้เพียงเพื่อคงค่าสัญญาณเอาไว้ มิได้ใช้ขับกระแสแต่อย่างใด INV2 จึงถูกออกแบบเป็นวงจรซีมอส เพื่อลดจำนวนอุปกรณ์และช่วยประหยัดพื้นที่ ดังรูป 3.10

การทำงานของวงจรสแตติกแลทช์ จะแตกต่างกับวงจรไดนามิกแลทช์ อันเนื่องจากโครงสร้างวงจรที่มีการป้อนกลับ ช่วงการทำงานแบ่งเป็น ช่วงส่งผ่านสัญญาณ และ ช่วงคงค่าระดับสัญญาณ หรือช่วงที่ clk = 1 และ 0 ตามลำดับ

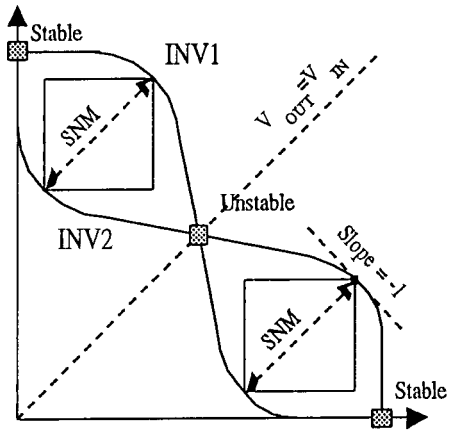
รูปที่ 3.10 แสดงโครงสร้างภายในวงจรสแตติกแลทซ์ที่สร้างด้วยเทคโนโลยีไบซีมอส



จากรูป 3.9 เอาต์พุตของ INV1 ต่ออยู่กับอินพุตของ INV 2 และ เอาต์พุตของ INV2 ก็ถูกต่อเข้ากับอินพุตของ INV1 ดังนั้นผลการตอบสนองสัญญาณของ INV1 และ INV2 แสดงให้เห็นดังรูปที่ 3.11 จากการถ่ายโอนสัญญาณทำให้เกิดจุดตัด 3 จุด คือ เมื่อป้อนสัญญาณอินพุต INV1 และ INV2 จะเกิดการเปลี่ยนระดับสัญญาณจะจุด Stable ผ่าน จุด Unstable เข้าสู่จุด Stable อีกจุด การถ่ายโอนสัญญาณเกิดขึ้นเมื่อสัญญาณอินพุตมีค่ามากกว่าค่า Static noise margins (SNM) ซึ่งกำหนดจากอัตราขยายสัญญาณ หรือ ความชันของกราฟซึ่งมีค่าเท่ากับ -1 ดังนั้นค่า SNM นอก

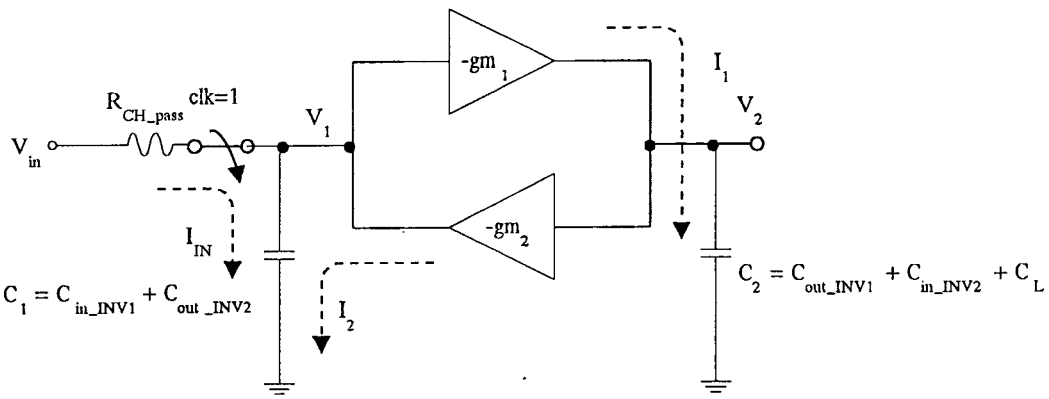
จากแสดงถึงความสามารถในการทนต่อสัญญาณรบกวน ยังเป็นตัวกำหนดการทำงานของวงจร [10]

รูปที่ 3.11 การถ่ายโอนสัญญาณ



1. ช่วงส่งผ่านข้อมูล

รูปที่ 3.12 แบบจำลองวงจรสแตติกแลทช์ ช่วงส่งผ่านข้อมูล



การทำงานของวงจรในรูปที่ 3.9 สามารถแทนด้วยแบบจำลองในรูปที่ 3.12 โดยค่า gm1 และ gm2 แทนค่าทรานคอนดักแตนซ์ของวงจรไบซีมอสและซีมอสอินเวอร์เตอร์ตามลำดับ เมื่อพิจารณาสัญญาณ AC ขนาดเล็ก

$$\frac{V_{IN}-V_1}{R_{CH}} - gm_2V_2 = C_1\frac{dV_1}{dt}$$

และ

$$-gm_1V_1 = C_2\frac{dV_2}{dt}$$

$$\frac{d^2V_2}{dt^2} + \frac{1}{C_1R_{CH}}\frac{dV_2}{dt} - \frac{gm_1gm_2}{C_1C_2}V_2 = -\frac{gm_1}{C_1C_2R_{CH}}V_{IN}$$

ดังนั้น ผลเฉลยคือ

$$V_2(t) = Ae^{m_1t} + Be^{m_2t} + C \tag{3.12}$$

เมื่อ

$$m_1, m_2 = -\frac{1}{2R_{CH}C_1} \pm \sqrt{\frac{1}{\left(2R_{CH}C_1\right)^2} + \frac{gm_1gm_2}{C_1C_2}}$$

และ

$$C = \frac{V_{IN}}{gm_2R_{CH}}$$

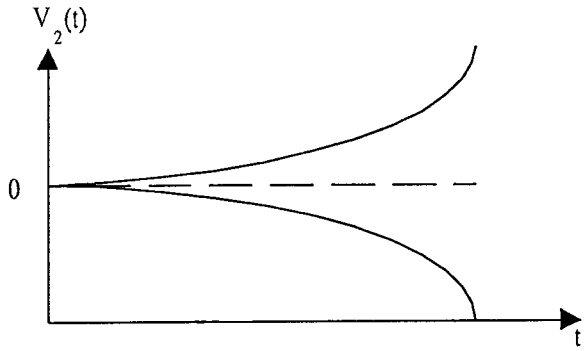
สำหรับค่าคงที่ A และ B ขึ้นกับเงื่อนไขแรกเริ่ม หรือสภาวะก่อนการเปลี่ยนแปลง ตัวอย่าง เช่น ในสภาวะแรกเริ่ม (t = 0) วงจรไม่ได้คงค่าใดไว้ ดังนั้น $V_1(0) = 0$ และ $V_2(0) = 0$

$$A = \frac{-V_{IN}}{gm_2R_{CH}}\left(\frac{m_2}{m_2-m_1}\right) \quad \text{และ} \quad B = \frac{-V_{IN}}{gm_2R_{CH}}\left(\frac{m_1}{m_1-m_2}\right)$$

จากผลเฉลยข้างต้นซึ่งมีความซับซ้อน เพื่อให้ง่ายต่อการวิเคราะห์ วงจรจะถูกพิจารณาว่าค่าคงที่หน่วงเวลาจากคู่อินเวอร์เตอร์ $\left(\tau = \frac{C_1C_2}{gm_1gm_2}\right)$ มีค่าต่ำกว่า ค่าคงเวลาจากทรานซิสเตอร์ผ่าน $\left(\frac{1}{R_{CH}C_1}\right)$ ดังนั้น ผลเฉลยที่ได้คือ

$$V_2(t) = \frac{-V_{IN}}{gm_2R_{CH}}\left(\exp\frac{-t}{R_{CH}C_1} - 1\right) \tag{3.13}$$

รูปที่ 3.13 แสดงการสัญญาณ เอาต์พุตของวงจรสแตติกแลทช์ในช่วงส่งผ่านสัญญาณ

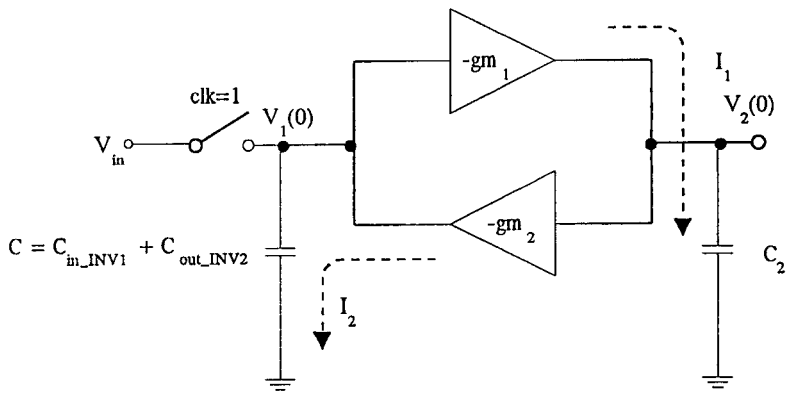


จากสมการ 3.13 ช่วยในการออกแบบวงจรสแตติกแลทช์ ให้มีความเร็วการทำงานสูงขึ้น โดยพิจารณาจากค่าคงที่เวลา คือ กำหนดให้อัตราส่วน W/L ของทรานซิสเตอร์ผ่านมีค่าสูง ในขณะที่ W/L ของอินเวอร์เตอร์ป้อนกลับมีค่าต่ำ ๆ โดยเครื่องหมายลบในสมการแสดงถึงการกลับเฟสสัญญาณของวงจรสแตติกแลทช์

2. ช่วงคงค่าสัญญาณ

เมื่อ clk = 0 ทรานซิสเตอร์ผ่านหยุดนำกระแส เนื่องจากคุณสมบัติอินพุตอิมพีแดนซ์สูงของวงจร กระแสป้อนกลับ (I_1) ทั้งหมดจึงป้อนเข้าสู่ C_1 เช่นเดียวกับ I_2 โดยที่ C_1 แทน C_{G1} และความจุขาออกของซีมอสอินเวอร์เตอร์(INV2) และ C_2 แทนโหลดคาปาซิแตนซ์ (C_L), C_{G2} และความจุขาออกของซีมอสอินเวอร์เตอร์ตัวบน ดังนั้น

รูปที่ 3.14 แบบจำลองวงจรสแตติกแลทช์ ช่วงคงค่าสัญญาณ



$$-gm_2V_2 = C_1\frac{dV_1}{dt'} \tag{3.14}$$

$$-gm_1V_1 = C_2\frac{dV_2}{dt'} \tag{3.15}$$

เมื่อ t' คือ เวลาเมื่อวงจรทำงานในช่วงคงค่าสัญญาณ และ V1(0) และ V2(0) เป็นศักดาอินพุตและเอาต์พุตของคู่อินเวอร์เตอร์ เมื่อเวลาที่ clk เปลี่ยนจาก 1 เป็น 0 ดังนั้นผลเฉลยคือ

$$V_2(t') = \frac{1}{2}[V_2(0) - (\frac{C_1gm_1}{C_2gm_2})^{1/2}V_1(0)]e^{\frac{t'}{\tau}} + \frac{1}{2}[V_2(0) + (\frac{C_1gm_1}{C_2gm_2})^{1/2}V_1(0)]e^{-\frac{t'}{\tau}} \tag{3.16}$$

เมื่อค่าหน่วงเวลาคงที่ (τ) เท่ากับ $(\frac{C_1C_2}{gm_1gm_2})^{1/2}$

ดังนั้น เมื่อเวลาผ่านไป ($t' >> \tau$)

$$V_2(t') \approx \frac{1}{2}[V_2(0) - (\frac{C_1gm_1}{C_2gm_2})^{1/2}V_1(0)]e^{\frac{t'}{\tau}} \tag{3.17}$$

จากสมการ 3.17 สัญญาณเอาต์พุตของวงจร (V_2) อาจลู่เข้าสู่ลอจิก 0 หรือ 1 โดยขึ้นกับ $V_2(0)$ และ $V_1(0)$ ซึ่งเป็นค่าศักดาที่ได้จากช่วงส่งผ่านสัญญาณ ทำให้วงจรสแตติกแลทช์จดจำค่าผิดพลาดไป ซึ่งจะถูกกล่าวถึงในหัวข้อ ปัญหา meta stable

3.4 ผลการทดสอบคุณสมบัติของวงจรไบซีมอสไดนามิกแลทช์และสแตติกแลทช์

จากการออกแบบข้างต้น ต่อไปจะแสดงผลการทดสอบคุณสมบัติของวงจรไบซีมอสแลทช์โดยการเปรียบเทียบกับวงจรซีมอสเดิม โดยทำการจำลองวงจรโดยใช้โปรแกรม PSpice ในการศึกษาจะแบ่งตามชนิดของวงจรและแยกคุณสมบัติในการตอบสนองซึ่งสามารถแยกออกเป็นสองชนิดคือ ผลการตอบสนองต่อสัญญาณไฟตรง และความสามารถในการสวิทชิ่ง

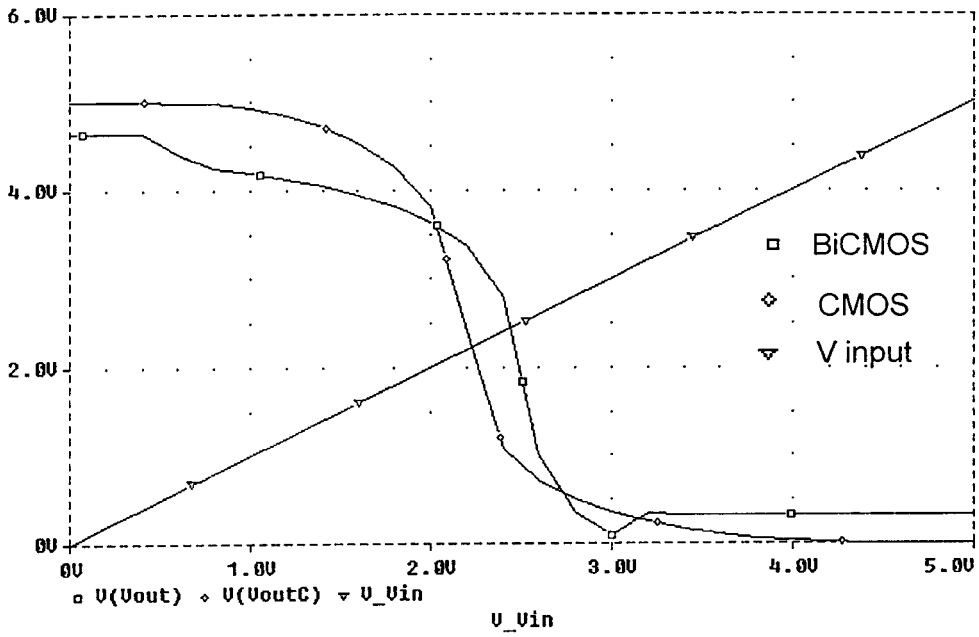
3.4.1 วงจรไบซีมอสไดนามิกแลทช์

1. การศึกษาคุณสมบัติทางไฟตรงของวงจรไบซีมอสไดนามิกแลทช์

ในวงจรดิจิตอลโดยทั่วไปตัวแปรซึ่งเป็นตัวกำหนดคุณสมบัติทางไฟตรงของวงจรคือ V_{OH} , V_{OL} และช่วงเผื่อสัญญาณ (Noise margin) รวมทั้งแรงดันวิกฤติของวงจร จะสามารถอธิบายได้โดยการใช้กราฟแสดงคุณสมบัติการถ่ายโอนแรงดัน ซึ่งได้จากการวัดค่าแรงดันขาออก

เทียบกับการเปลี่ยนแปลงแรงดันอินพุต คุณสมบัติทางด้านสัญญาณไฟตรงของวงจรไบซีมอส และซีมอสไดนามิกแลทช์ ดังรูปที่ 3.15

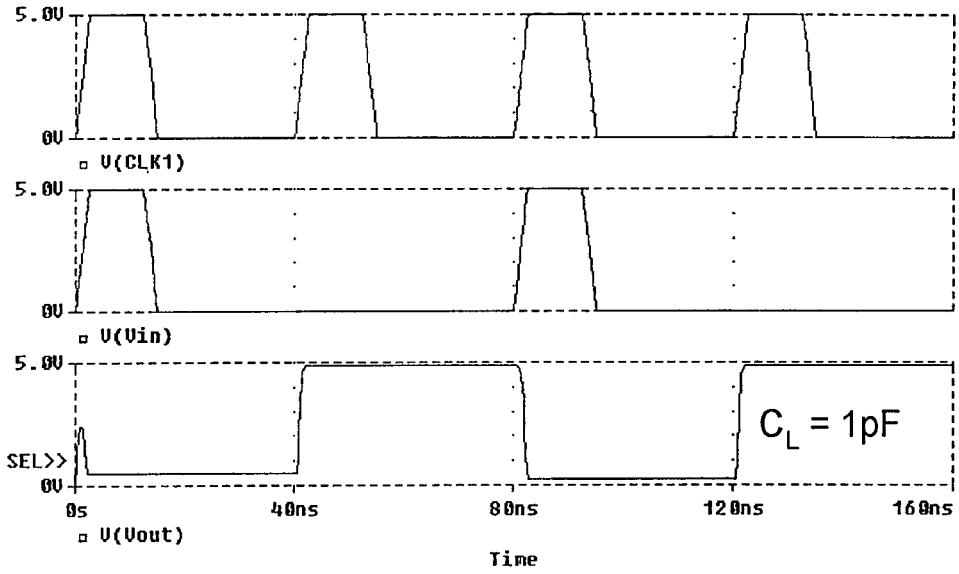
รูปที่ 3.15 แสดงการถ่ายโอนไฟตรงวงจรไดนามิกแลทช์แบบกลับเฟส



2. การศึกษาคุณสมบัติทางสวิทชิ่งของวงจรไบซีมอสไดนามิกแลทช์

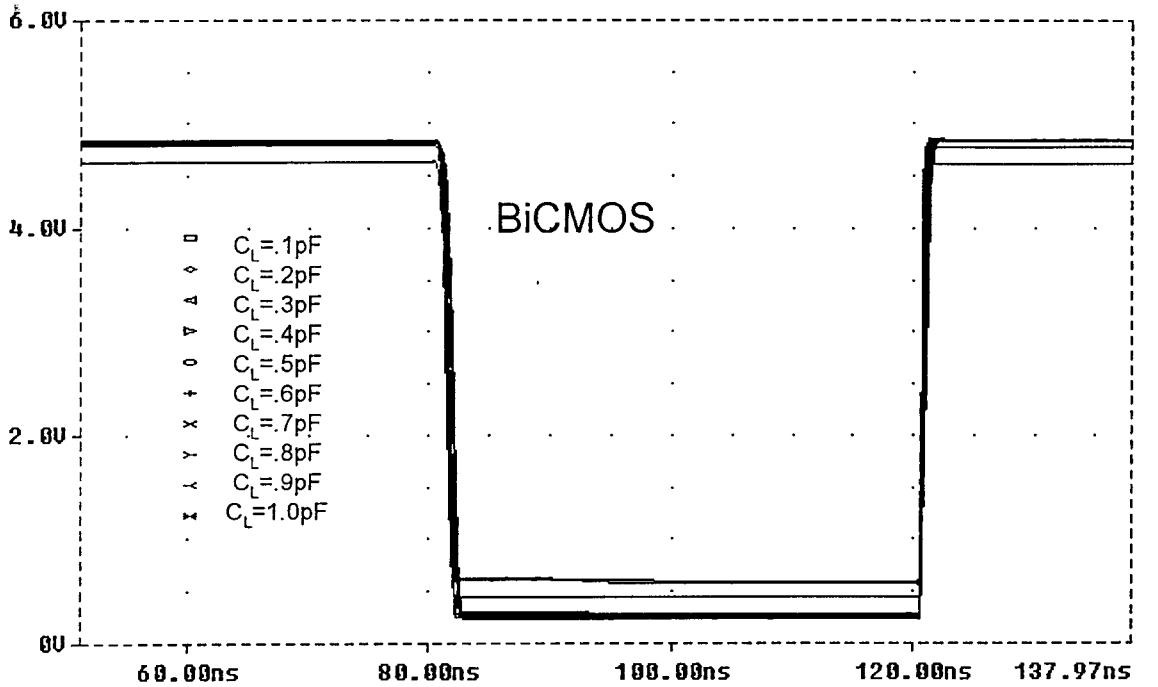
ในวงจรดิจิตอลนอกจากระดับแรงดันต่าง ๆ จากการศึกษาคุณสมบัติทางสัญญาณไฟตรงแล้ว คุณสมบัติที่สำคัญอย่างยิ่งอีกอย่างหนึ่งก็คือ ความสามารถในการใช้งานร่วมกับวงจรที่มีความถี่สูงได้ ซึ่งจะถูกกำหนดโดยเวลาในช่วงที่แรงดันเพิ่มขึ้น และเวลาในช่วงที่แรงดันลดลง รวมทั้งการหน่วงเวลาของวงจรซึ่งก็คือคุณสมบัติทางสวิทชิ่งนั่นเอง ในการศึกษาคุณสมบัติทางสวิทชิ่งก็สามารถทำได้ทำนองเดียวกับการศึกษาคุณสมบัติทางสัญญาณไฟตรง เพียงเปลี่ยนสัญญาณอินพุตจากการเพิ่มแรงดันทีละน้อยเป็นลักษณะของสัญญาณพัลส์ จากนั้นวัดค่าเวลาที่เอาต์พุตของสัญญาณซึ่งจะได้ผลของคุณสมบัติทางสวิทชิ่งของวงจรไดนามิกแลทช์ ดังรูปที่ 3.16 แสดงการทำงานของวงจรไบซีมอสไดนามิกแลทช์เมื่อป้อนสัญญาณอิตพุตเป็น 1,0,1,0 ตามลำดับ ในช่วงที่ clk = 0 วงจรก็จะคงค่าไว้ในลักษณะที่กลับเฟสกับสัญญาณอินพุต

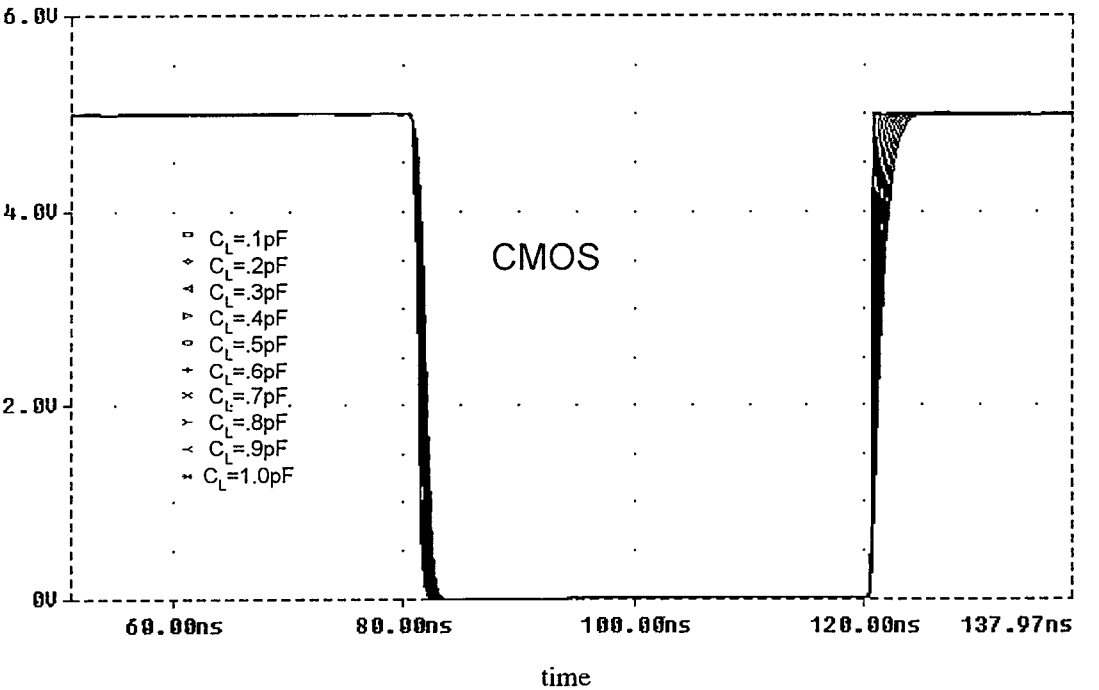
รูปที่ 3.16 แสดงการทำงานของวงจรไบซีมอสไดนามิกแลทช์แบบกลับเฟส



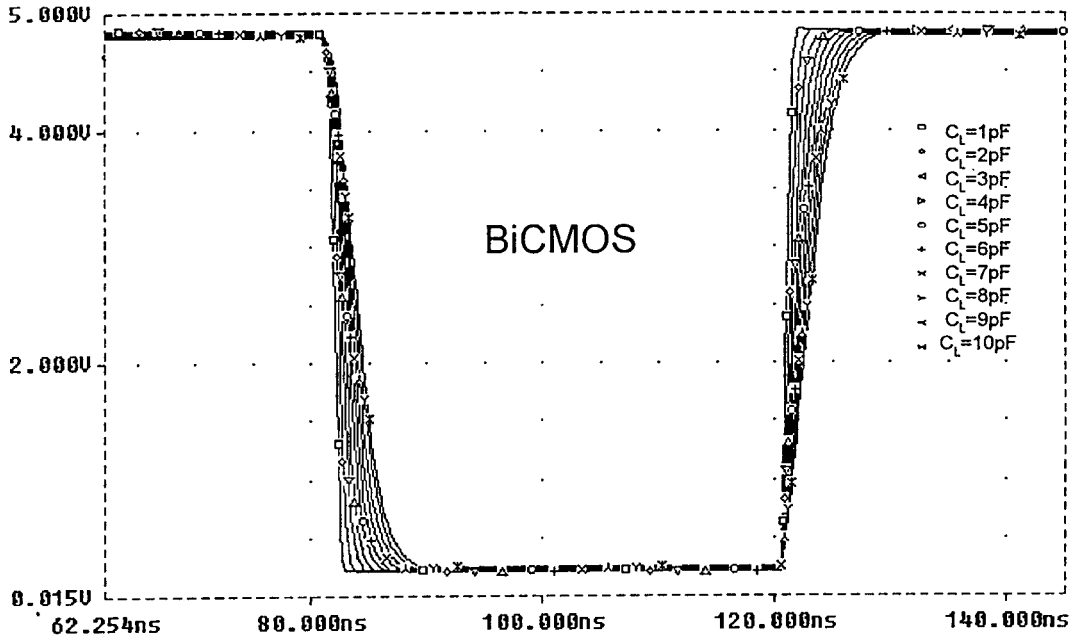
การเปรียบเทียบช่วงเวลาที่ใช้ในการเปลี่ยนระดับสัญญาณเอาต์พุตจาก 1 เป็น 0 และ จาก 0 เป็น 1 ดังรูปที่ 3.17 แสดงผลตอบสนองเมื่อทดสอบกับค่าความจุโหลด 0 ถึง 1 pF และรูปที่ 3.18 แสดงผลตอบสนองเมื่อทดสอบกับค่าความจุโหลด 1 ถึง 10 pF

รูปที่ 3.17 แสดงการตอบสนองสัญญาณเอาต์พุตเมื่อทดสอบกับ C_L = 0 ถึง 1pF

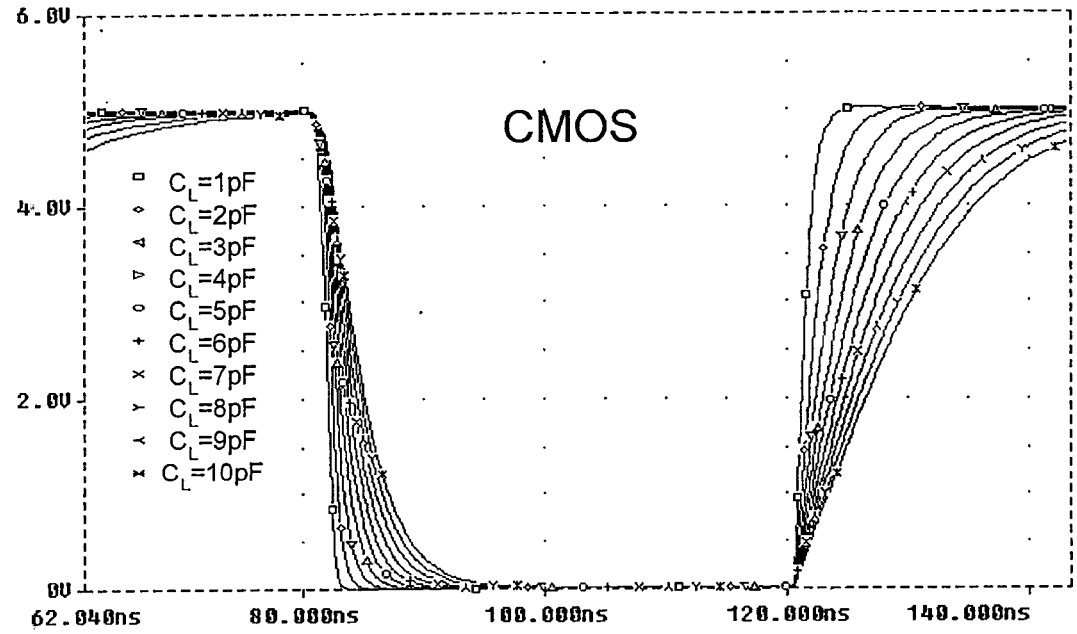




รูปที่ 3.18 แสดงการตอบสนองสัญญาณเอาต์พุตเมื่อทดสอบกับ C_L =1 ถึง 10 pF



time



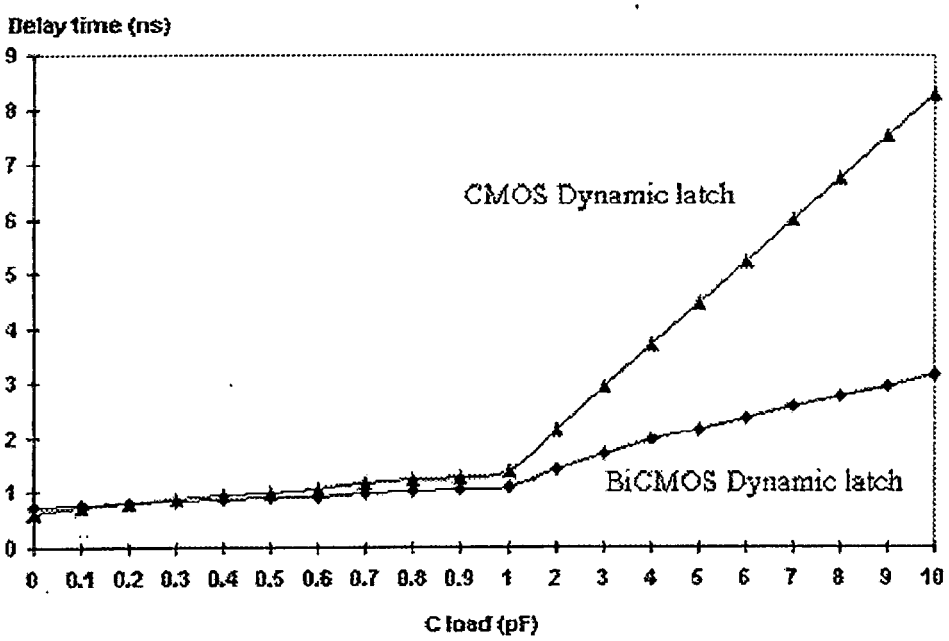
time

ตารางที่ 3.1 ค่าหน่วงเวลาของวงจรไบซีมอสและซีมอสแลทช์

C_L (pF)	BiCMOS*		CMOS*	
	delay time(ns) (PSpice)	delay time(ns) (Calculation)	delay time (ns) (PSpice)	delay time (ns) (Calculation)
0	0.715	0.715	0.633	0.633
0.1	0.762	0.724	0.715	0.709
0.2	0.798	0.767	0.788	0.785
0.3	0.831	0.808	0.865	0.860
0.4	0.877	0.833	0.934	0.936
0.5	0.900	0.859	0.996	1.014
0.6	0.923	0.879	1.061	1.093
0.7	0.978	0.920	1.148	1.167
0.8	1.024	0.931	1.243	1.244
0.9	1.052	0.991	1.280	1.321
1	1.080	1.009	1.387	1.396
2	1.415	1.382	2.151	2.154
3	1.705	1.687	2.926	2.914
4	1.952	1.848	3.694	3.676
5	2.154	1.986	4.466	4.422
6	2.365	2.225	5.212	5.189
7	2.569	2.474	5.979	5.944
8	2.769	2.608	6.734	6.709
9	2.935	2.819	7.509	7.464
10	3.146	3.084	8.284	8.217

*เมื่อ V_{in} และ clk มี t_r และ t_f = 2.5ns มีความกว้าง pulse = 10ns ที่ความถี่ 12.5 MHz และ 50 MHz ตามลำดับ

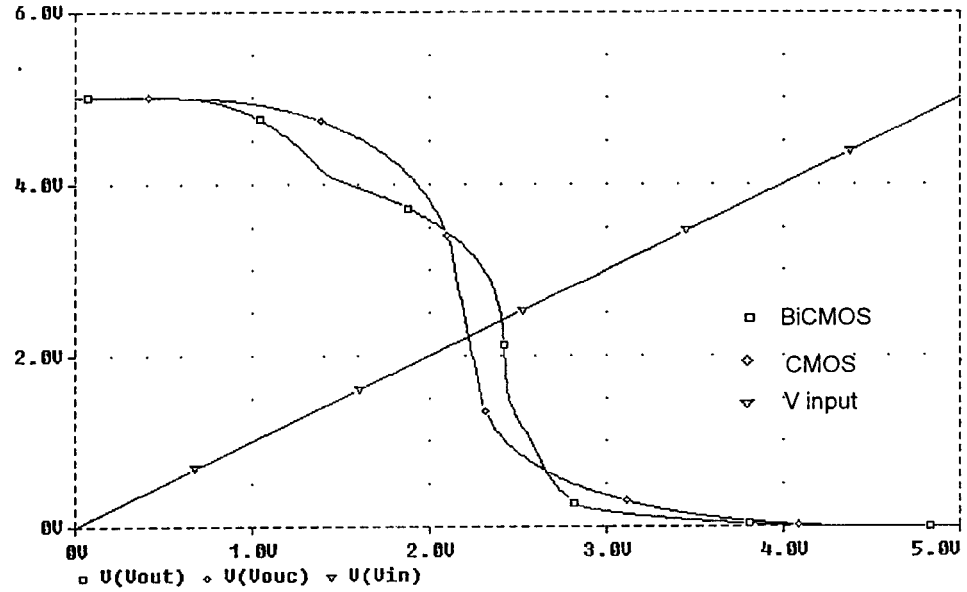
รูปที่ 3.19 แสดงค่าหน่วงเวลาของวงจรไบซีมอสและซีมอสไดนามิกแลทช์



3.4.2 วงจรไบซีมอสสแตติกแลทช์

1. การศึกษาคุณสมบัติทางไฟตรงของวงจรไบซีมอสสแตติกแลทช์

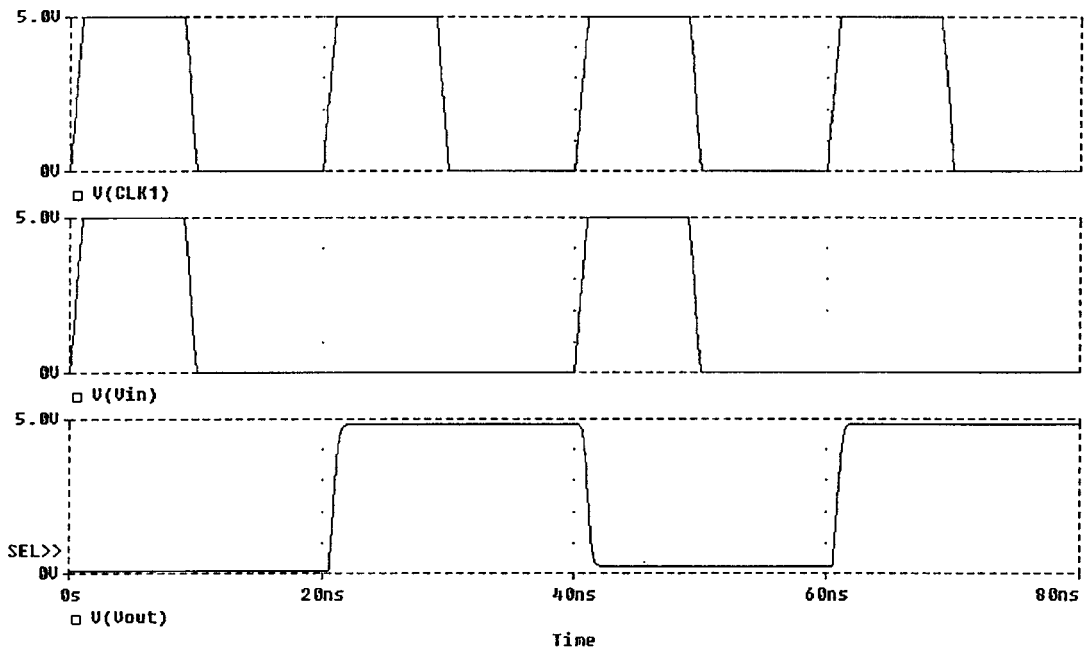
รูปที่ 3.20 แสดงการถ่ายโอนไฟตรงวงจรสแตติกแลทช์แบบกลับเฟส



จากรูป 3.20 จะสังเกทุการถ่ายโอนไฟตรงของวงจรซีมอสสแตติกแลทช์ จะมีลักษณะที่ราบเรียบกว่าวงจรไบซีมอสสแตติกแลทช์ ทั้งนี้เนื่องจากวงจรไบซีมอสประกอบด้วยมอสทรานซิสเตอร์และไบโพลาร์ทรานซิสเตอร์ ซึ่งทำงานไม่พร้อมกับ โดยช่วงแรกมอส ทรานซิสเตอร์จะทำงานก่อนจากนั้นไบโพลาร์ทรานซิสเตอร์จึงจะทำงานดังที่ได้กล่าวแล้วในเรื่องการหน่วงเวลาของวงจรไบซีมอสแลทช์

2. การศึกษาคุณสมบัติทางสวิทชิ่งของวงจรไบซีมอสสแตติกแลทช์

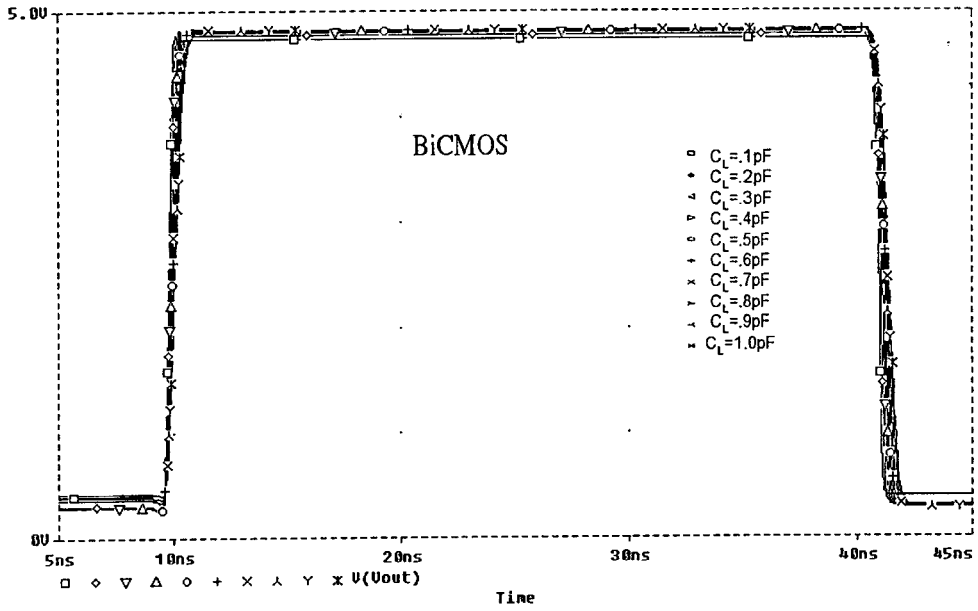
รูปที่ 3.21 แสดงการทำงานของวงจรไบซีมอสสแตติกแลทช์แบบกลับเฟส



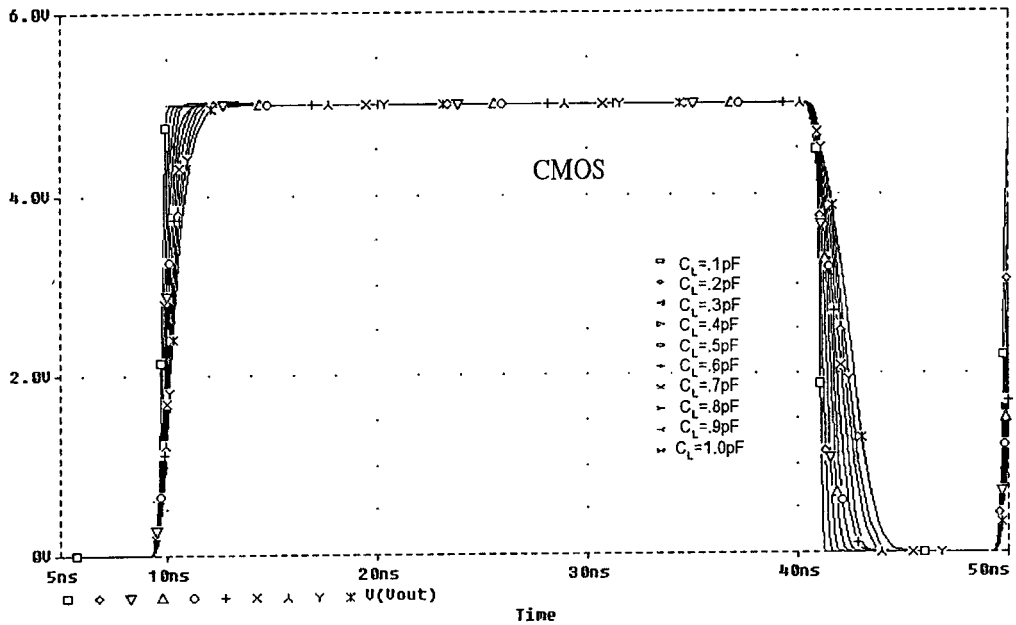
จากรูปที่ 3.21 แสดงผลการจำลองเมื่อป้อนขบวนสัญญาณพัลส์ (pulse train signal) ค่า 1,0,1,0 ที่ความถี่ 25 MHz หรือคาบเวลา เท่ากับ 40 ns ในขณะที่สัญญาณนาฬิกามีความถี่ 50 MHz หรือคาบเวลาเท่ากับ 20 ns โดยทดสอบกับโหลด C_L = 1 pF โดยช่วงเวลาที่สัญญาณนาฬิกามีค่าเป็น 0 วงจรสแตติกแลทช์จะทำหน้าที่เก็บระดับสัญญาณไว้ และจะเปลี่ยนแปลงไปเมื่อสัญญาณนาฬิกามีค่าเป็น 1

การเปรียบเทียบช่วงเวลาที่ใช้ในการเปลี่ยนระดับสัญญาณเอาต์พุตจาก 1 เป็น 0 และ จาก 0 เป็น 1 เมื่อทดสอบกับค่าความจุโหลด 0 ถึง 1 pF ดังรูปที่ 3.22 ซึ่งแสดงการทดสอบวงจรไบ-ซีมอสสแตติกแลทช์ และรูปที่ 3.23 แสดงการทดสอบวงจรซีมอสสแตติกแลทช์

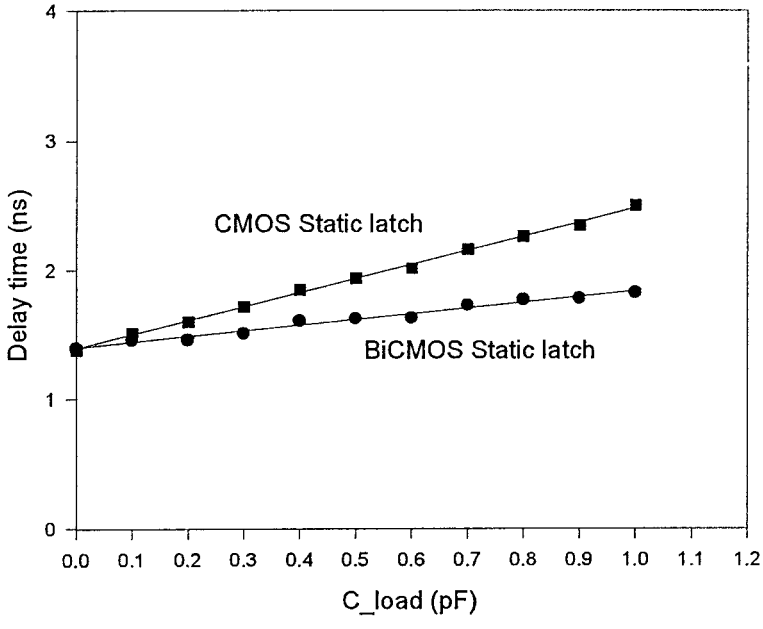
รูปที่ 3.22 แสดงการตอบสนองวงจรไบซีมอสสแตติกแลทช์เมื่อทดสอบกับ C_L = 0 ถึง 1pF



รูปที่ 3.23 แสดงการตอบสนองวงจรซีมอสสแตติกแลทช์เมื่อทดสอบกับ C_L =1 ถึง 1 pF



รูปที่ 3.24 แสดงค่าหน่วงเวลาของวงจรไบซีมอสและซีมอสสแตติกแลทช์



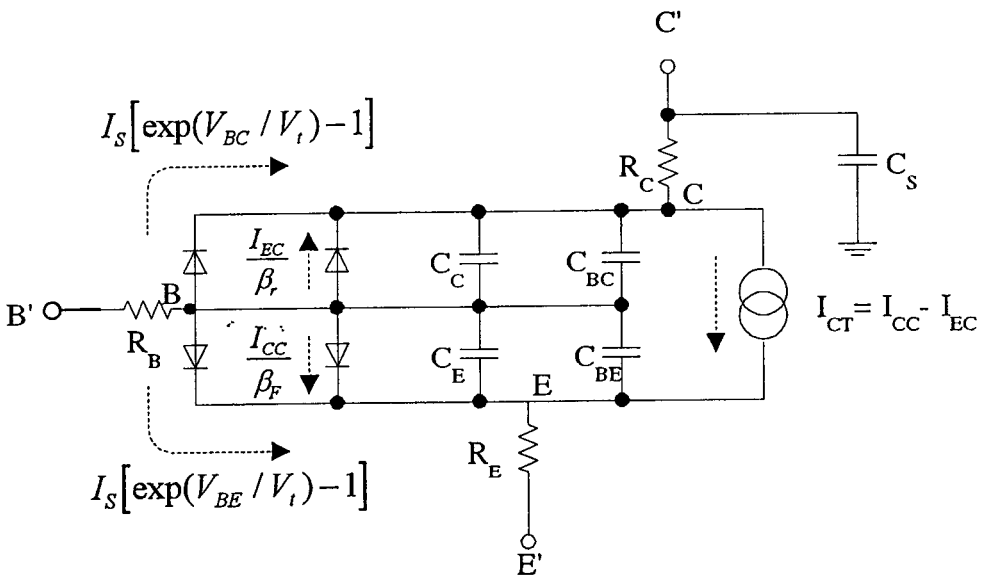
บทที่ 4

ปรากฏการณ์รองที่มีผลต่อคุณลักษณะของวงจรไบซีมอสแลทช์

4.1 ผลกระทบเมื่อค่ากระแสสูง (High current effects)

เมื่อต้องการให้วงจรไบซีมอสทำงานเร็วขึ้น ด้วยการเพิ่มกระแสเบสไบอัสและกระแสคอลเลคเตอร์ แต่เมื่อกระแสคอลเลคเตร์มีค่าสูงจนไบโพลาร์เข้าสู่การทำงานในย่านกระแสสูง (high current region) อัตราขยายกระแส (β) และ ความถี่คัทออฟ (f_T) จะลดลงอย่างรวดเร็ว ทั้งนี้เนื่องจากปรากฏการณ์ที่เกิดขึ้นคือ high level injection (Webster effect) และ base push-out (Kirk effect) [13] ในการศึกษาถึงผลกระทบจากปรากฏการณ์ข้างต้นด้วยแบบจำลองของ Gummel-Poon [14]

รูปที่ 4.1 แบบจำลอง Gummel-Poon ของไบโพลาร์ทรานซิสเตอร์



สาระสำคัญของแบบจำลอง Gummel-Poon คือ การนิยามกระแส I_{CT} ซึ่งอยู่ในเทอมของโครงสร้างภายในทรานซิสเตอร์

$$I_{CC} = \frac{I_S}{Q_B}\left(\exp\frac{V_{B'E'}}{V_T} - 1\right)$$

$$I_{EC} = \frac{I_S}{Q_B}\left(\exp\frac{V_{B'C'}}{V_T} - 1\right)$$

$$\therefore I_{CT} = \frac{I_S}{Q_B}\left[\left(\exp\frac{qV_{B'E'}}{kT} - 1\right) - \left(\exp\frac{qV_{B'C'}}{kT} - 1\right)\right] \quad (4.1)$$

เมื่อ I_S : กระแสอิ่มตัวย้อนกลับ

$$= \frac{qD_{nB}n_i^2 A_E}{\int_0^{W_B} N_B(x)dx}$$

Q_B : Base charge factor ซึ่งได้จากการนอร์มัลไลซ์ประจุพาหะส่วนมากเทียบกับจำนวนประจุพาหะส่วนมากเมื่อไม่ได้ทำการไบอัส ดังนั้น Q_B = 1 เมื่อทรานซิสเตอร์ไม่ถูกไบอัส และ Q_B นี้เองที่ทำให้เกิดปรากฏการณ์ต่างๆ ดังนั้น จึงถูกกำหนดเป็น

$$Q_B = \frac{Q_1}{2}\left[\left(\frac{Q_1}{2}\right)^2 + Q_2\right]^{\frac{1}{2}} \quad (4.2)$$

เมื่อ Q_1 แทนปรากฏการณ์ Base - width modulation

$$Q_1 = \left[1 - \frac{V_{B'C'}}{V_{AF}} - \frac{V_{B'E'}}{V_{AR}}\right]^{-1} \quad (4.3)$$

และ Q_2 แทนปรากฏการณ์ High level injection

$$Q_2 = \frac{I_S}{I_{KF}}\left(\exp\frac{qV_{B'E'}}{KT} - 1\right) + \frac{I_S}{I_{Kr}}\left(\exp\frac{qV_{B'C'}}{KT} - 1\right) \quad (4.4)$$

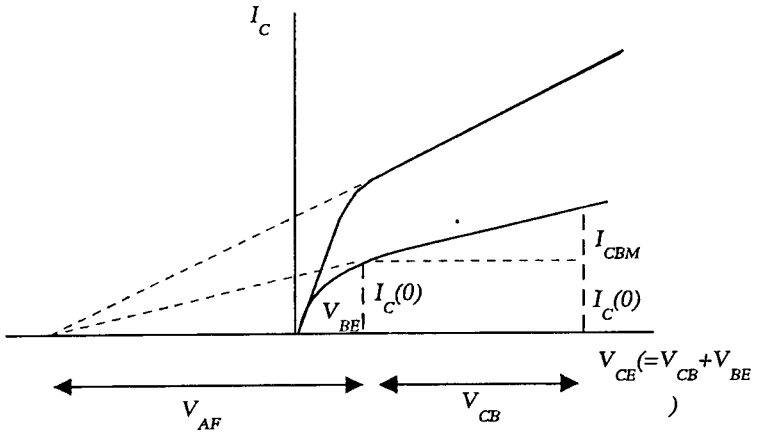
เมื่อ V_{AF} : Forward early voltage

V_{AR} : Reverse early voltage

I_{KF} : Forward knee current

I_{KR} : Reverse knee current

รูปที่ 4.2 ผลจาก Base-width modulation จากการเปลี่ยน V_{CE}



เพื่อให้ง่ายต่อการวิเคราะห์ จะพิจารณาเฉพาะช่วง forward active region ดังนั้นจากสมการ (4.1), (4.3) และ (4.4)

$$I_{CT} = \frac{I_S}{Q_B}\left(\exp\frac{qV_{B'E'}}{KT} - 1\right) \tag{4.5}$$

$$Q_1 = \left[1 - \frac{V_{B'C'}}{V_{AF}}\right]^{-1} \tag{4.6}$$

$$Q_2 = \frac{I_S}{I_{KF}}\left(\exp\frac{qV_{B'E'}}{KT} - 1\right) \tag{4.7}$$

โดยกำหนดเกณฑ์ที่ใช้ในการพิจารณาปรากฏการณ์ high - level injection คือ

$$Q_B = \begin{cases} Q_1 & \text{ถ้า} \quad Q_2 << \dfrac{Q_1^2}{4} \quad : \quad \text{Low level injection} \\ \sqrt{Q_2} & \text{ถ้า} \quad Q_2 >> \dfrac{Q_1^2}{4} \quad : \quad \text{High level injection} \end{cases}$$

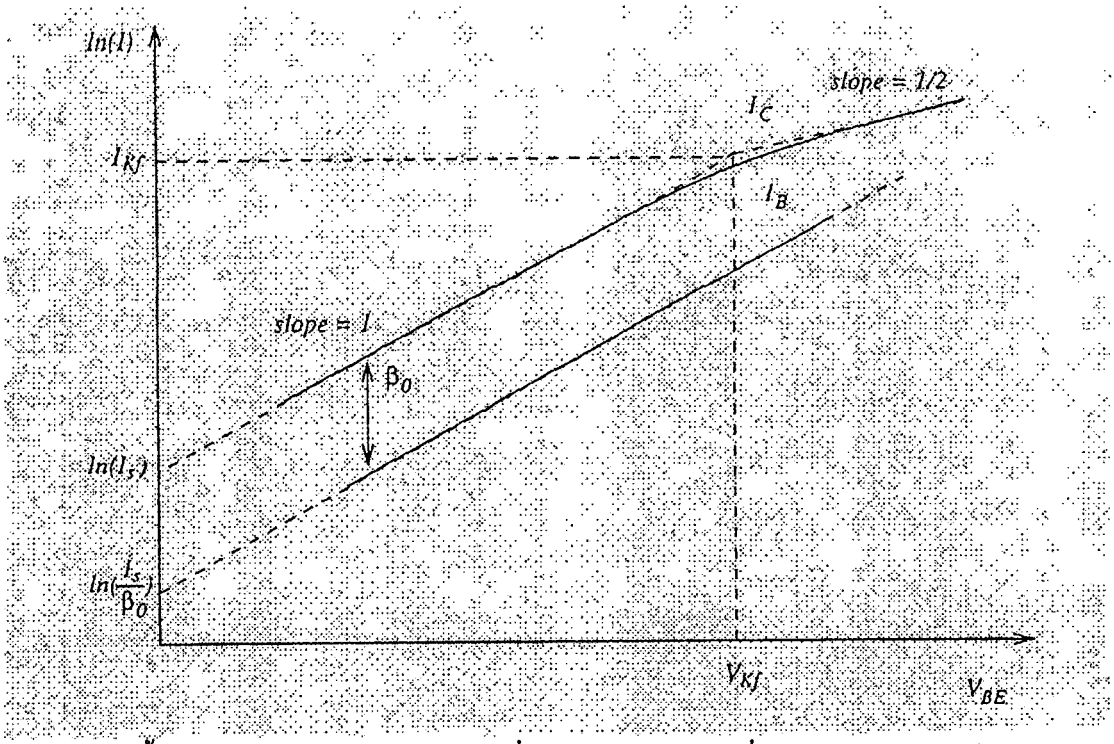
ดังนั้น เมื่อเกิดปรากฏการณ์ High - level injection

$$I_{CT} = \left(I_S I_{KF}\right)^{\frac{1}{2}} \exp\frac{qV_{B'E'}}{2KT} \tag{4.8}$$

และ I_{CT} ในสภาวะ Low - level injection

$$I_{CT} = I_S\left[1 - \frac{V_{B'C'}}{V_{AF}}\right]^{-1}\left(\exp\frac{qV_{B'E'}}{KT} - 1\right) \tag{4.9}$$

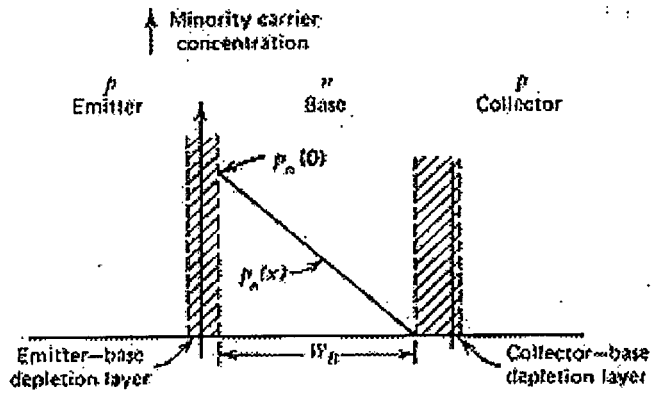
รูปที่ 4.3 Gummel plot แสดงการเปลี่ยนแปลงของ $\ln(I_C)$, $\ln(I_B)$ ต่อ V_{BE} [5]



ดังนั้น I_{KF} คือ กระแสคอลเลคเตอร์ ซึ่งกำหนดให้เป็นจุดเริ่มของ ปรากฏการณ์ High - level injection จากรูปที่ 4.3 I_{KF} กำหนดจากอัตราขยายกระแส (β) ที่ลดลงครึ่งหนึ่ง เมื่อเทียบกับช่วงนำกระแสต่ำ ดังนั้น Kirk effect จึงแสดงได้ด้วย

$$\beta = \frac{\beta_0}{1 + \frac{I_C}{I_{KF}}} \qquad (4.10)$$

รูปที่ 4.4 การกระจายของประจุพาหะส่วนน้อยในเบส



นอกจากนี้ ปรากฏการณ์ High - level injection ยังสามารถอธิบายได้ในเชิงโครงสร้างกายภาพ [13] คือ เมื่อไบโพลาร์นำกระแส จำนวนพาหะส่วนน้อยในเบสที่ถูกฉีดข้ามจากอิมิตเตอร์หากมีจำนวนน้อยกว่า จำนวนพาหะส่วนมากแล้ว ไบโพลาร์จะยังคงนำกระแสในย่าน Low - level injection จนเมื่อไบโพลาร์นำกระแสเพิ่มขึ้นจำนวนพาหะส่วนน้อยในเบสโดยเฉพาะที่ใกล้ ๆ บริเวณรอยต่ออิมิตเตอร์ที่เพิ่มขึ้นจนมีจำนวนใกล้เคียงกับพาหะส่วนมากในเบส แต่ด้วยคุณสมบัติทางธรรมชาติซึ่งต้องคงคุณสมบัติของสารกึ่งตัวนำ (P หรือ N) ไว้ ดังนั้นพาหะส่วนมากในเบสที่เกิดจากการฉีดข้ามของพาหะส่วนน้อยในอิมิตเตอร์และคอลเลคเตอร์จึงเพิ่มสูงขึ้นด้วย ดังนั้นที่บริเวณรอบ ๆ รอยต่อ โดยเฉพาะรอยต่ออิมิตเตอร์ ความหนาแน่นพาหะส่วนมากและส่วนน้อยจะเพิ่มสูงขึ้น จากอัตราการส่งผ่านอิมิตเตอร์-คอลเลคเตอร์ (I_C/I_E)

$$\alpha_F = \frac{1}{1+\dfrac{1}{\beta_F}} = \frac{1}{1+\dfrac{W_B^2}{2\tau_B D_n}+\dfrac{D_D W_B N_A}{D_n L_p N_p}} \approx \alpha_T \cdot \gamma \tag{4.11}$$

ดังนั้น อัตราขยายกระแส (β) ที่มีค่าลดลงอย่างรวดเร็ว ด้วยเหตุผล 2 ประการ คือ

1.ความหนาแน่นของประจุพาหะส่วนมากและส่วนน้อยที่เพิ่มขึ้น ทำให้เกิดการรวมตัว (recombination) มากขึ้นส่งผลให้ effective life time (τ_B) ของประจุพาหะที่ส่งผ่านเบสลดลง ดังนั้น Base transport factor : α_T มีค่าลดลง

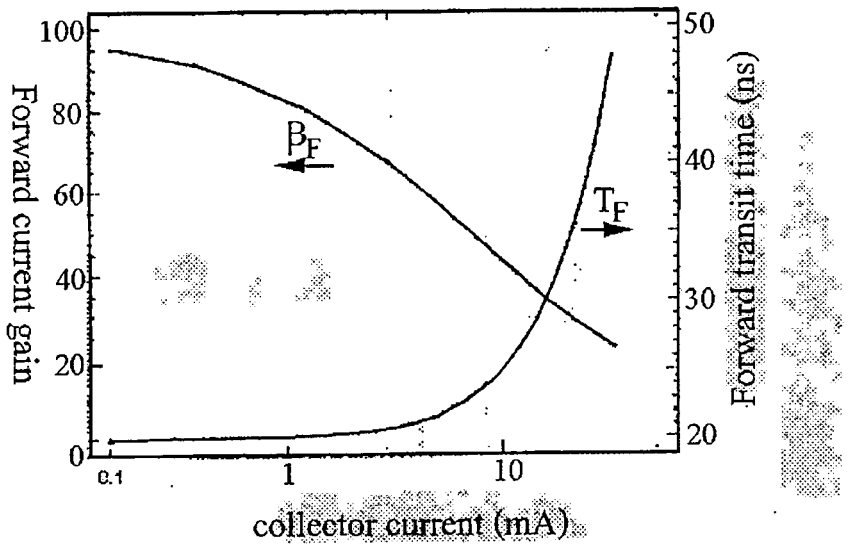
$$\alpha_T = \frac{1}{1+\dfrac{W_B^2}{2\tau_B D_n}} \tag{4.12}$$

2.การเพิ่มขึ้นของพาหะส่วนมากในเบส ซึ่งถูกพิจารณาว่าเป็นการเพิ่มของความหนาแน่นอะตอมสารเจือในเบส สิ่งนี้ให้ Emitter injection efficiency (γ) ลดลง

$$\gamma = \frac{1}{1+\dfrac{D_p W_B N_A}{D_n L_p N_D}} \tag{4.13}$$

เมื่อ D_p และ D_n คือค่าคงที่การแพร่ของโฮลและอิเลคตรอนตามลำดับ

รูปที่ 4.5 การจำลองการทำงานช่วง high - current injection ของไบโพลาร์ทรานซิสเตอร์ด้วย Spice [12]



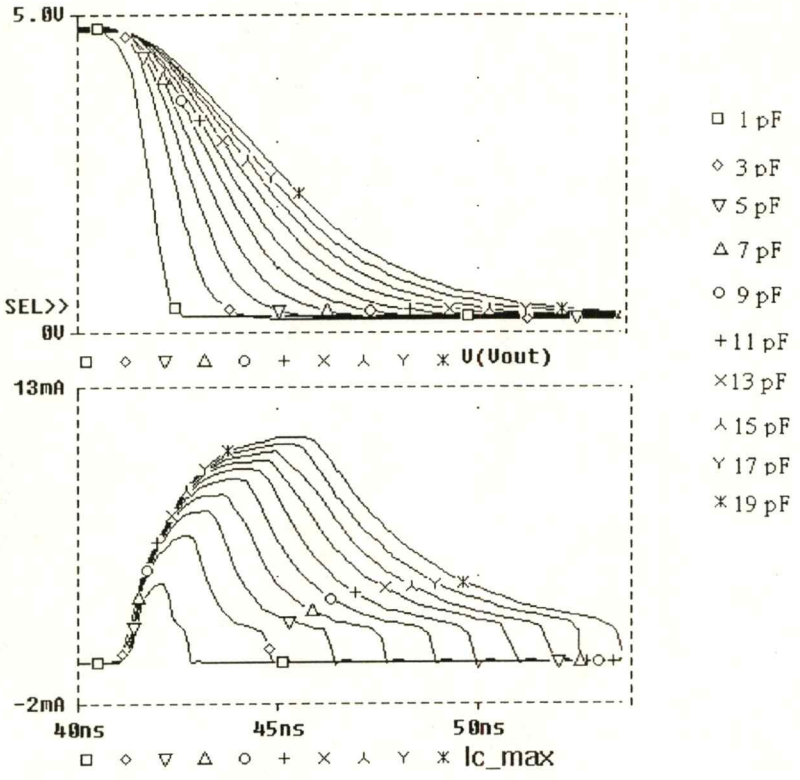
ดังนั้นในการออกแบบวงจรไบซีมอส เพื่อหลีกเลี่ยงไม่ให้วงจรทำงานในช่วง high current level ต้องออกแบบให้ $I_{C(max)}$ มีค่าต่ำกว่าหรือเท่ากับ I_{KF} จากภาคผนวก ข. สมการ ข.28 $I_{C(max)}$ เมื่อ $t = T_3$ และเมื่อประมาณด้วยอนุกรม Taylor

$$I_{C(\max)} \approx (C_L^*)^{\frac{1}{2}} \frac{V_{DD} - V_{BE(ON)}}{\frac{\pi}{2}\sqrt{R_{CH}\tau_F^*}} \leq I_{KF} \qquad (4.14)$$

4.1.1 ผลการจำลองด้วย Pspice

เมื่อทำการทดสอบผลของปรากฏการณ์ high - current level ด้วยการเปลี่ยนค่าความจุโหลด (C_L^*) ซึ่งเป็นตัวแปรหนึ่งซึ่งเป็นตัวกำหนดเงื่อนไขในการนำกระแสตามสมการที่ 4.14 และ I_{KF} ซึ่งกำหนดได้จากกระแสคอลเลคเตอร์ที่ทำให้ β ลดลงครึ่งหนึ่งของสภาวะปกติ จากรูปที่ 4.5 I_{KF} มีค่าเท่ากับ 9.17 mA

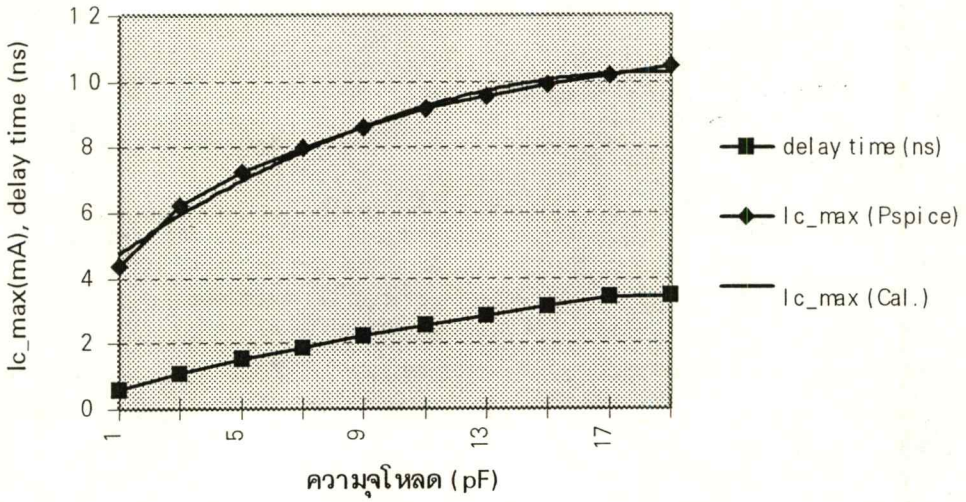
รูปที่ 4.6 ผลการทดสอบปรากฏการณ์ high - current level



ตารางที่ 4.1 แสดงผลของปรากฏการณ์ high - current level ต่อ ค่าหน่วงเวลา

C load(pF)	I_{c_max} (Pspice) mA	I_{c_max} (cal.) mA	I_{KF} (mA)	delay time (ns)
1.0	4.365	4.802	9.13	0.5747
3.0	6.214	6.012	9.13	1.0778
5.0	7.241	7.023	9.13	1.5033
7.0	7.974	7.905	9.13	1.8452
9.0	8.581	8.612	9.13	2.2216
11.0	9.155	9.203	9.13	2.5562
13.0	9.552	9.718	9.13	2.8280
15.0	9.890	10.117	9.13	3.1208
17.0	10.191	10.223	9.13	3.4135
19.0	10.489	10.314	9.13	3.4481

รูปที่ 4.7 แสดงผลของปรากฏการณ์ high - current level ต่อ ค่าหน่วงเวลา ตามตารางที่ 4.1



4.2 ผลกระทบจากการอิ่มตัวของคอลเลคเตอร์

นอกเหนือจากผลของ High current inject ซึ่งทำให้อัตราขยายกระแส (β) มีค่าลดลงและความถี่คัทออฟ(f_T) มีค่าต่ำลงแล้ว ยังอาจนำไปสู่การอิ่มตัวของทรานซิสเตอร์ โดยเฉพาะเมื่อความต้านทานแฝงที่คอลเลคเตอร์ (R_C) มีค่าเพิ่มขึ้น ผลจากการอิ่มตัวของไบโพลาร์ทรานซิสเตอร์ทำให้ประสิทธิภาพในการสวิทชิ่งต่ำลง การวิเคราะนี้ช่วยสามารถประมาณค่า R_C เพื่อป้องกันไม่ให้เกิดการอิ่มตัวของทรานซิสเตอร์ [12]

พิจารณาเมื่อไบโพลาร์เกิดการอิ่มตัว กำหนดให้ t_s เป็นเวลาที่ Q1 เริ่มเข้าสู่ย่านอิ่มตัว จากภาคผนวก ข. รูปที่ ข.3

$$V_{CE(sat)} = V_{DD} - V_o(t_s) - I_C(t_s)R_C \tag{4.15}$$

และจากสมการ ข.18 และ ข.29 โดยกำหนดให้ $t_s < T < 2\beta_F^*\tau_F^*$ ดังนั้น

$$V_o(t_s) = (V_{DD} - V_{BE(ON)})\left\{1 - \cos\left(\frac{t_s}{T}\right)\right\} \tag{4.16}$$

$$I_C(t_s) = \frac{C_L^*}{T}(V_{DD} - V_{BE(ON)})\sin\left(\frac{t_s}{T}\right) \tag{4.17}$$

แทนลงในสมการที่ 4.15

$$\frac{R_C C_L^*}{T}\sin\left(\frac{t_s}{T}\right) = \frac{V_{BE(ON)} - V_{CE(sat)}}{V_{DD} - V_{BE(ON)}} + \cos\left(\frac{t_s}{T}\right) \tag{4.18}$$

โดยทรานซิสเตอร์จะเข้าสู่ย่านอิ่มตัวเมื่อ $V_{CE(sat)} \le V_{BE(ON)}$

$$\frac{R_C C_L^*}{T}\sin\left(\frac{t_s}{T}\right) = \cos\left(\frac{t_s}{T}\right)$$

$$\therefore t_s = T\tan^{-1}\left(\frac{T}{R_C C_L^*}\right) \tag{4.19}$$

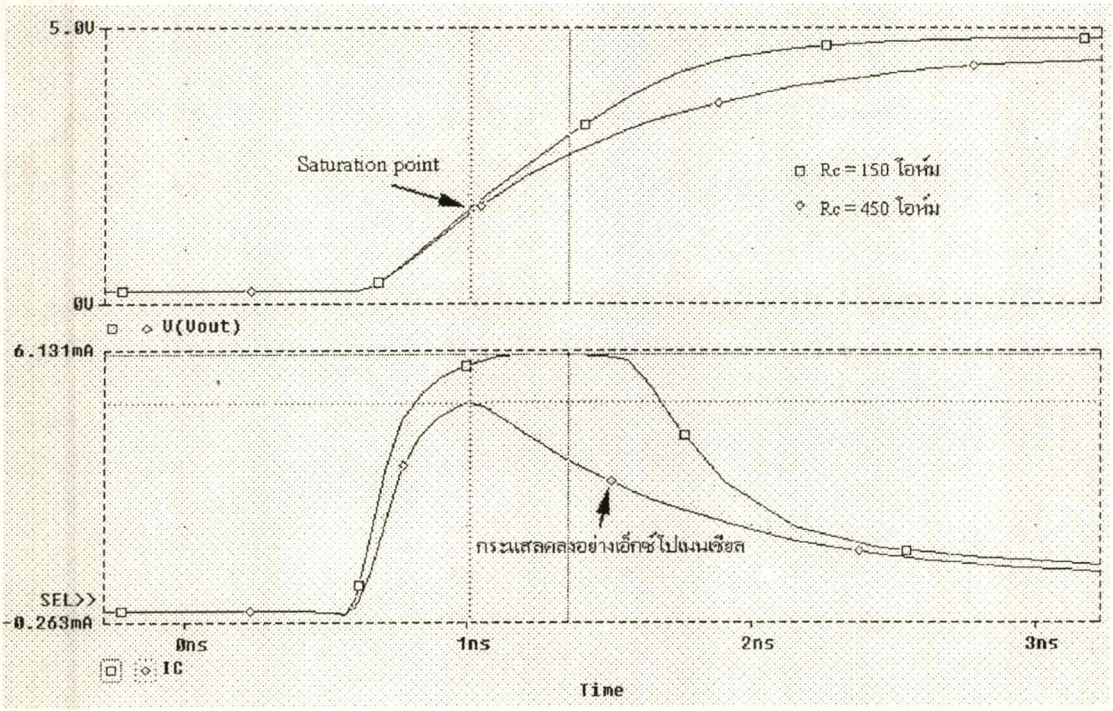
ที่ช่วงเวลานี้ซึ่งไบโพลาร์เข้าสู่ย่านอิ่มตัวและ I_C จะมีค่าสูงสุด ในขณะที่วงจรไบซีมอสปกติจะนำกระแสสูงสุดเมื่อ $t = T_3$ ดังรูปที่ 3.6 ดังนั้นเพื่อหลีกเลี่ยงไม่ให้ไบโพลาร์เข้าสู่การทำงานย่านอิ่มตัว ต้องกำหนดให้

$$t_s > T_3 = T\tan^{-1}\left(\frac{2\beta_F^*\tau_F^*}{T}\right)$$

ดังนั้น

$$R_{C(sat)} > \frac{T^2}{2\beta_F^*\tau_F^* C_L^*} \cong \frac{T_0^2}{\beta_F^*\tau_F^* C_L^*} = \frac{R_{CH} + R_B}{\beta_F^*} \tag{4.20}$$

รูปที่ 4.8 แสดงผลการจำลองการอิ่มตัวของไบโพลาร์ทรานซิสเตอร์ด้วย PSpice เมื่อ R_C เพิ่มขึ้น



4.3 ภาวะกึ่งเสถียร (Meta-stable)

ภาวะกึ่งเสถียร [10] คือ ภาวะที่วงจรลอจิกไม่สามารถกำหนดเอาต์พุตด้วยสัญญาณอินพุต โดยเฉพาะวงจรสแตติกแลทช์ ซึ่งมีโครงสร้างวงจรแบบป้อนกลับ และสามารถเสถียรอยู่ที่ 2 สถานะ คือ '1' และ '0' แต่ในการทำงานจริง วงจรอาจเข้าสู่ภาวะกึ่งเสถียร คือไม่อาจตัดสินได้ว่าระดับข้อมูลออกเป็นระดับลอจิก '0' หรือ '1' และเนื่องจากความไม่เสถียรของระบบ สัญญาณรบกวนจากการปิดเปิด, จากอุณหภูมิ หรือจากภายนอกเพียงเล็กน้อยก็สามารถทำให้ข้อมูลขาออกของวงจรเข้าสู่ลอจิกใดก็ได้ ผลจากปรากฏการณ์นี้ส่งผลได้หลายทาง เช่น วงจรในภาคต่อไปอาจได้รับค่าต่างจากที่ควรเป็น หรือเกิดการหน่วงเวลามากขึ้นกว่าที่ควรเป็นหรือออกแบบไว้

สำหรับสาเหตุที่ทำให้เกิดภาวะกึ่งเสถียรเกิดจาก ความไม่สอดคล้องกันของสัญญาณนาฬิกา กับเวลาตั้ง (setup time) และ เวลาคงค่า (hold time) จากการทำงานของวงจรสแตติกแลทช์คือช่วงส่งผ่านสัญญาณ (clk = 1) สัญญาณเอาต์พุตจะเปลี่ยนตามอินพุต เมื่อสัญญาณนาฬิกาเปลี่ยนไป (clk = 1→0) ณ ช่วงเวลานี้ ศักดาที่โนดต่างๆ ภายในวงจร ถือเป็นสภาวะแรกเริ่มของวงจรสำหรับช่วงคงค่า ดังนั้นหากศักดาที่โนดต่างๆ ที่ได้จากช่วงส่งผ่านข้อมูลถูกต้อง ภาวะกึ่งเสถียรก็ไม่เกิดขึ้น ในทางกลับกัน หากในช่วงส่งผ่านสัญญาณ สัญญาณนาฬิกาและสัญญาณอินพุตไม่สอดคล้องกับ setup time และ hold time แล้ว ศักดาที่โนดต่าง ๆ เป็นผลให้เกิดภาวะกึ่งเสถียรขึ้นได้ นอกจากนี้เมื่อเกิดภาวะกึ่งเสถียรยังสามารถส่งทอดไปยังภาคถัดไป เนื่องจากสัญญาณเอาต์พุตเมื่อวงจรเกิดภาวะกึ่งเสถียรจะมีค่าหน่วงเวลาผิดไปจากการออกแบบ ดังนั้นสัญญาณที่ส่งทอดไปก็อาจไม่สอดคล้องกับสัญญาณนาฬิกาได้อีก

จากสมการที่ 2.16 ซึ่งได้จากการวิเคราะห์สัญญาณขนาดเล็ก สามารถเขียนอยู่ในรูปของฟังก์ชั่นไฮเปอร์โบลิก ดังสมการที่ 4.21 ตามลำดับ

$$V_2(t) = V_2(0)\cosh(t) - \left(\frac{C_1 gm_1}{c_2 gm_2}\right)^{1/2} V_1(0)\sinh(t) \tag{4.21}$$

และด้วยวิธีเดียวกัน

$$V_1(t) = V_1(0)\cosh(t) - \left(\frac{C_2 gm_2}{c_1 gm_1}\right)^{1/2} V_2(0)\sinh(t) \tag{4.22}$$

เมื่อ R_{CH} : Channel resistance ของมอสทรานซิสเตอร์

τ_F : Forward transit time ของไบโพลาร์ทรานซิสเตอร์ ($\approx \frac{1}{2\pi f_{T,\max}}$)

$f_{T,\max}$: Cut-off frequency สูงสุดของไบโพลาร์ทรานซิสเตอร์

ดังนั้น

$$\tau_{BiC} = \frac{\pi}{2}\sqrt{\frac{R_{CH}C_L}{2\pi f_{T,\max}}} \tag{4.25}$$

และจากสมการ 2.10 Figure of merit สำหรับวงจรซีมอส คือ

$$\tau_{MOS} = \frac{2C_L}{\frac{W}{L}\mu C_{OX}V_{DD}} \approx R_{CH}C_L \tag{4.26}$$

ด้วยการลดขนาดโดยวิธีศักดาคงที่ (Constant voltage) ความจุโหลาดบางส่วนจะถูกลดลง เนื่องจากขนาดที่ลดลง เช่น ความจุแฝงภายใน ความจุโหลดที่เกิดจากอินพุตคาปาซิแตนซ์ของวงจรภาคถัดไป แต่จะมีความจุโหลดบางส่วนมีขนาดใหญ่และค่าค่อนข้างคงที่ เช่น ความจุบัสภายใน CPU, word-line capacitance ในหน่วยความจำแรม และ off-chip capacitance เป็นต้น ดังแสดงในตารางที่4.2 [12]

ตารางที่ 4.2 ผลการลดขนาดวงจรซีมอสและไบซีมอส

Parameter	Formula	internal circuit ($C_L = C_G$)	driving circuit ($C_L = C$)
$f_{T,\max}$	-	K	K
C_{OX}	$\varepsilon_0\varepsilon_{SiO_2} / t_{OX}$	K	K
C_L	WLC_{OX}	1/K	constant
R_{CH}	$2L / [W\mu_p C_{OX}(V_{DD} - V_{Th})]$	1/K	1/K
τ_{MOS}	$R_{CH}C_L$	$1/K^2$	1/K
τ_{BiC}	$\frac{\pi}{2}\sqrt{R_{CH}C_L / 2\pi f_{T,\max}}$	$1/K^{1.5}$	1/K

กำหนดให้ K เป็นอัตราส่วนในการลดขนาด (scaling factor) วงจรที่ถูกออกแบบเป็น internal circuit ค่าความจุโหลดจะลดลงตามค่า scaling factor ดังนั้น ค่าหน่วงเวลาของวงจรซีมอสจะลดลง $1/K^2$ ในขณะที่ค่าหน่วงเวลาของไบซีมอสจะลดลงเพียง $1/K^{1.5}$ ซึ่งหมายความว่า เมื่อวงจรมีขนาดเล็กลงเรื่อย ๆ ในระดับซับไมครอน วงจรซีมอสจะมีความเร็วสูงกว่าวงจรไบซีมอส

ในขณะที่ วงจรซึ่งถูกออกแบบเป็นวงจรขับบัส หรือ I/O driver ทำหน้าที่ขับ off-chip capacitance ค่าหน่วงเวลาของทั้ง 2 กรณีจะลดลง ด้วยอัตราส่วน 1/K เท่ากัน ดังนั้น วงจรไบ-ซีมอสยังคงมีความเร็วสูงกว่าวงจรซีมอส โดยไม่ขึ้นกับการลดขนาดของวงจร

บทที่ 5

การออกแบบวงจรและการออปติไมเซชั่น

ในการออกแบบวงจรรวม และ custom design จุดมุ่งหมายในการออกแบบเพื่อให้ได้วงจรที่ต้องการขึ้นอยู่กับเงื่อนไขต่าง ๆ ดังนี้

1.การสูญเสียกำลังรวม (total power dissipation)

2.พื้นที่ชิพ (chip area)

3.ความเร็ว (speed)

โดยโครงสร้างพื้นฐานของมอสทรานซิสเตอร์ ประกอบด้วย เดรน เกท และ ซอร์ส ขนาดของเกทจะเป็นตัวกำหนดขนาดของมอสทรานซิสเตอร์ ในกรณีโครงสร้างพื้นฐานของไบโพลาร์ทรานซิสเตอร์ประกอบด้วย เบส อิมิตเตอร์และคอลเลคเตอร์ ขนาดของอิมิตเตอร์จะเป็นตัวกำหนดขนาดของไบโพลาร์ทรานซิสเตอร์ ค่าความจุไฟฟ้าของทรานซิสเตอร์ จะขึ้นอยู่กับขนาดและโครงสร้างของแต่ละส่วน สำหรับวงจรรวมดิจิตอล เงื่อนไขทั้ง 3 อธิบายได้ดังนี้

5.1 การสูญเสียกำลังรวม

ในวงจรไบซีมอส มีการสูญเสียกำลังในรูปแบบหลัก ๆ ประกอบด้วย [5]

5.1.1 การสูญเสียกำลังสถิตย์ (Quiescent or static power dissipation: P_s)

โดยวงจรไบซีมอสประกอบด้วย ส่วนแรกซึ่งเป็นภาคขาเข้า (input stage) และส่วนลอจิกฟังก์ชัน ซึ่งสร้างขึ้นจากวงจรซีมอสซึ่งมีลักษณะเป็นวงจรคู่ประกอบ (Complementary circuit) และในส่วนที่สองซึ่งเป็นส่วนขับกระแส มีโครงสร้างเป็น bipolar totem pole ดังนั้นจึงไม่มีทางเดินกระแสตรง ระหว่างแหล่งจ่ายแรงดันสู่กราวด์ ทำให้วงจรไบซีมอสเกิดการสูญเสียกำลังงานต่ำ การสูญเสียกำลังสถิตย์จึงเกิดจากกระแสรั่วของอุปกรณ์ภายใน จากการไบอัสกลับที่รอยต่อต่างๆ ของไบโพลาทรานซิสเตอร์ และระหว่าง ซอร์ส, เดรนกับฐานรองของมอสทรานซิสเตอร์ โดยมีค่าเป็นกระแสอิ่มตัวย้อนกลับของไดโอด จาก

$$I_0 = I_S * (e^{\frac{-qV}{KT}} - 1)$$

$$I_{LK} \approx I_s \tag{5.1}$$

ดังนั้น กำลังสูญเสียสถิตย์จึงเท่ากับ

$$P_S = \sum I_{LK} * V_{DD} \tag{5.2}$$

เนื่องจากกำลังสูญเสียสถิตย์เกิดจากกระแสรั่วไหลที่รอยต่อ (I_{LK}) ดังนั้นเราสามารถลดกำลังสูญเสียสถิตย์ของวงจรได้โดยลดขนาดของอุปกรณ์ และการควบคุมการผลิต (process) ที่ดี

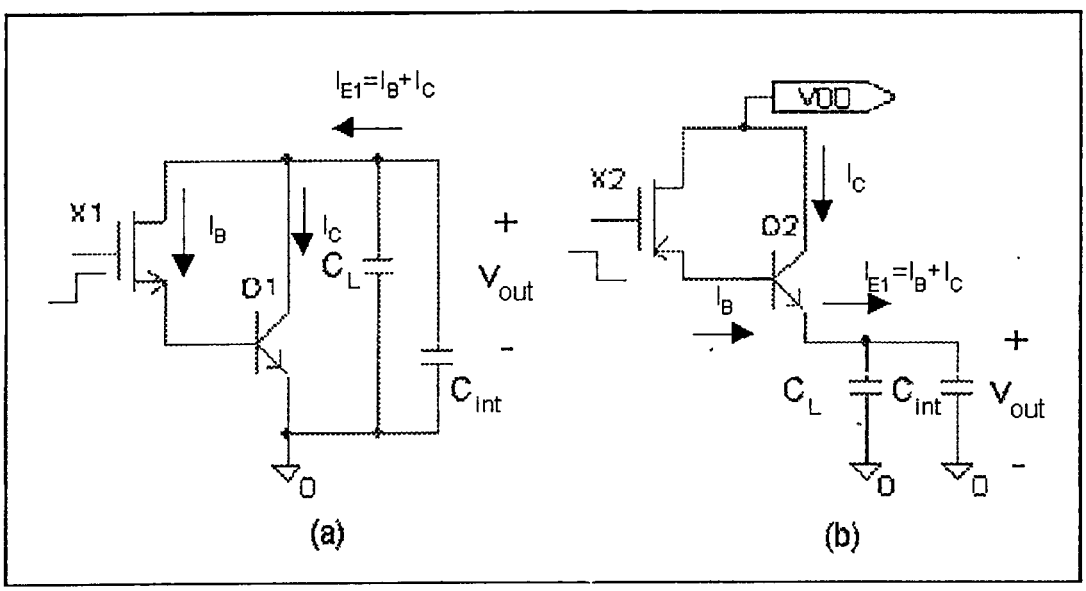
5.1.2 การสูญเสียกำลังไดนามิก (Dynamic power dissipation:P_d)

เกิดในช่วงที่สัญญาณมีการเปลี่ยนแปลง การสูญเสียกำลังจะขึ้นกับ switching transient circuit และการอัดประจุ และคายประจุของโหลดคาปาซิแตนซ์

รูปที่ 5.1 การคำนวณกำลังสูญเสียไดนามิก

(a). กำลังสูญเสียไดนามิก เมื่อระดับสัญญาณขาออกเปลี่ยนจาก 1 เป็น 0

(b). กำลังสูญเสียไดนามิก เมื่อระดับสัญญาณขาออกเปลี่ยนจาก 0 เป็น 1



การสูญเสียกำลังในขณะเปลี่ยนแปลงสัญญาณนี้ จะเกิดในช่วงเวลาขึ้น (rise time: t_r) และช่วงเวลาลง (fall time: t_f) โดยปกติคาบเวลา (period time: t_p) จะยาวนานกว่าช่วงเวลาขึ้นและช่วงเวลาลงมาก ดังนั้น การสูญเสียกำลังไดนามิกสามารถคำนวณได้จาก

$$P_d = \frac{1}{t_p}\int_0^{t_{p/2}} I_{E1}(t)V_{out}dt + \frac{1}{t_p}\int_{t_{p/2}}^{t_p} I_{E2}(t)(V_{DD} - V_{out})dt$$

เมื่อ t_P = คาบเวลา

I_{E1} = กระแสอิมิตเตอร์ชั่วขณะ เมื่อสัญญาณขาออกเปลี่ยนจาก 1 เป็น 0 ดังรูป 5.1(a)

$$= \left(C_L + C_{\text{int}}\right)\frac{dV_0}{dt}$$

I_{E2} = กระแสอิมิตเตอร์ชั่วขณะ เมื่อสัญญาณขาออกเปลี่ยนจาก 0 เป็น 1 ดังรูป 5.2(b)

$$= \left(C_L + C_{\text{int}}\right)\frac{d(V_{DD} - V_0)}{dt}$$

$$P_d = (C_L + C_{\text{int}})(\Delta V_S)^2 . f_P \qquad (5.3)$$

เมื่อ C_L = ความจุโหลด

C_{int} = ความจุไฟฟ้าอุปกรณ์ภายใน

ΔV_s = ช่วงแกว่งของสัญญาณ

f_P = ความถี่ในการเปลี่ยนสถานะ

จะเห็นว่าวงจรไบซีมอสจะมีช่วงแกว่งสัญญาณต่ำกว่าวงจรซีมอส ทำให้วงจรไบซีมอสเกิดการสูญเสียกำลังไดนามิกต่ำกว่า

อย่างไรก็ตาม การสูญเสียกำลังไดนามิก ยังขึ้นอยู่กับค่าความจุไฟฟ้าของโหลดและวงจรภายใน ในขณะที่ความจุไฟฟ้าก็ขึ้นอยู่กับโครงสร้างภายในของแต่ละอุปกรณ์ การกำหนดขนาดและรูปร่างของทรานซิสเตอร์ที่ดี จึงเป็นการช่วยลดการสูญเสียกำลังไดนามิกทางหนึ่ง

5.1.3 การสูญเสียกำลังลัดวงจรไดนามิก (Dynamic short-circuit power dissipation:P_{sc})

ขณะที่ไบซีมอสเกทเปลี่ยนสถานะ เอ็นมอสทรานซิสเตอร์และพีมอสทรานซิสเตอร์ในวงจรส่วนแรก และ ไบโพลาร์ทรานซิสเตอร์ในส่วนที่สอง อยู่ในสภาวะกึ่งเปิดกึ่งปิดอยู่ชั่วเวลาสั้น ๆ ก่อนที่จะเข้าสู่ภาวะหยุดนิ่ง ภาวะเช่นนี้มีลักษณะคล้ายการลัดวงจรจากแหล่งจ่ายสู่กราวด์ ทำให้เกิดกระแสไหลผ่านวงจร

การสูญเสียกำลังรวม

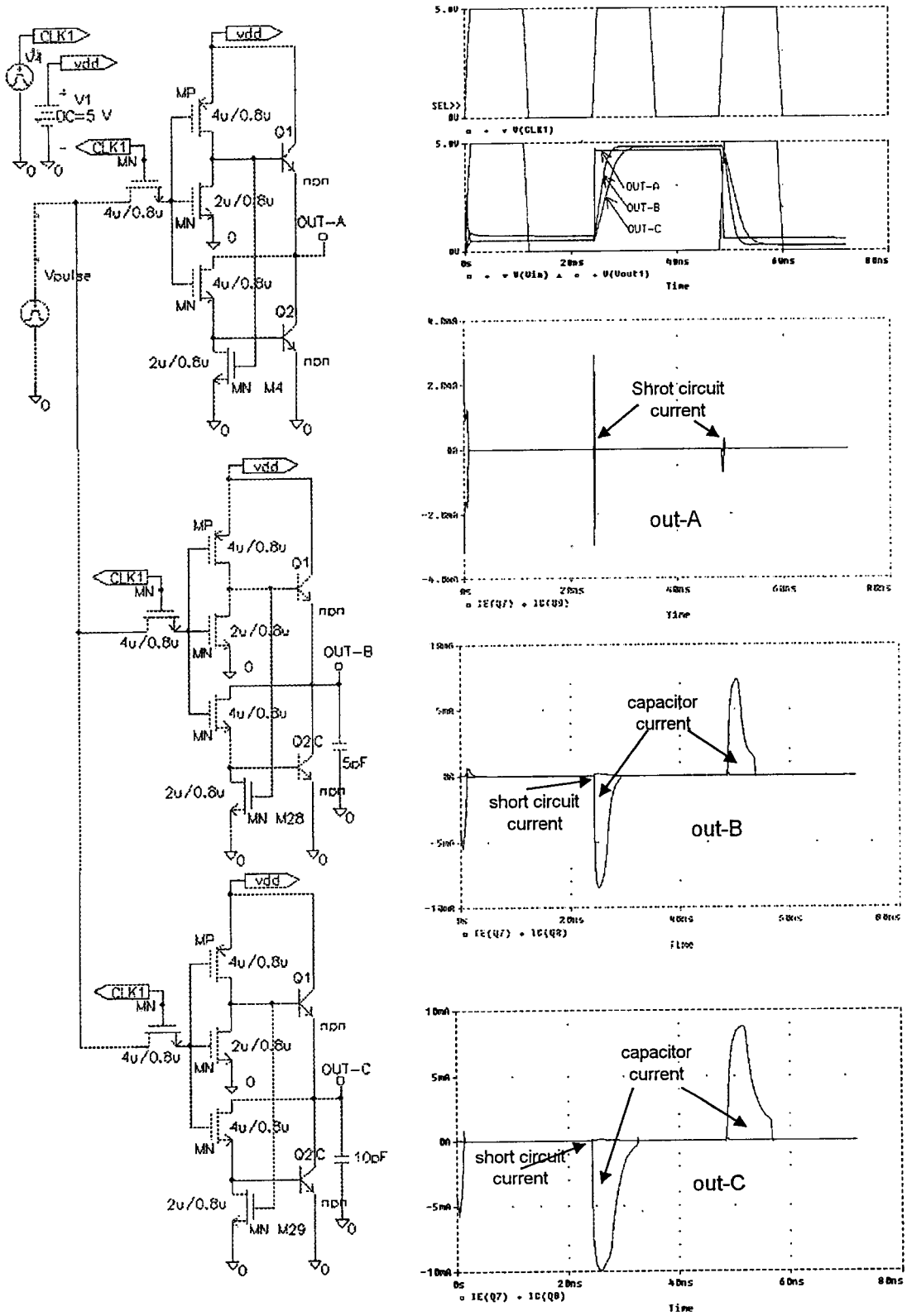
จากการรวมกำลังงานสูญเสียทั้งขณะหยุดนิ่งและขณะที่มีการเปลี่ยนแปลงระดับสัญญาณ กำลังสูญเสียรวม (P_{total})

$$P_{total} = P_s + P_d + P_{sc} \tag{5.4}$$

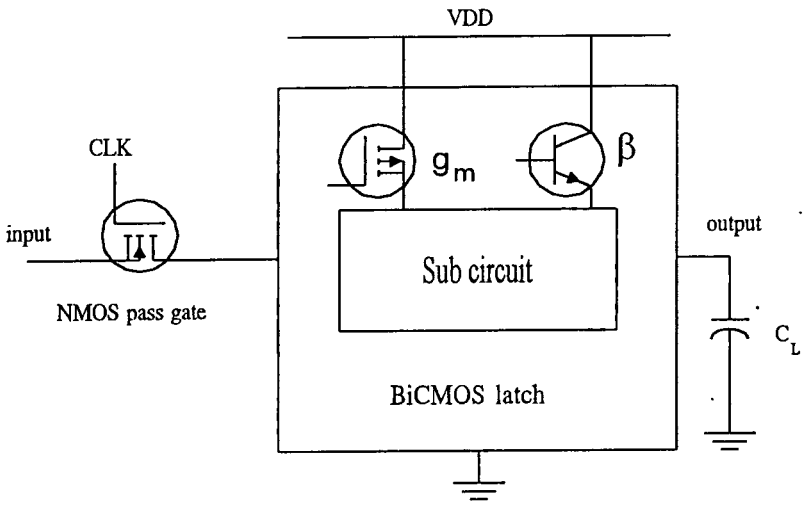
ในการลดกำลังสูญเสียรวมของวงจร ก็ขึ้นอยู่กับการลดองค์ประกอบกำลังสูญเสียต่าง ๆ การออกแบบวงจร และการกำหนดพารามิเตอร์ของอุปกรณ์ที่มีผลต่อกำลังสูญเสียต่าง ๆ สามารถลดกำลังสูญเสียรวมของวงจรลงได้ อย่างไรก็ตาม ในการคำนวณหากำลังสูญเสียรวมทั้งวงจรเป็นเรื่องที่ซับซ้อน เนื่องจากขึ้นกับความจุแฝงภายใน ความต้านทานภายในและความถี่ในการทำงานของแต่ละวงจรย่อย เป็นต้น ดังนั้นในทางปฏิบัติ จึงวัดกำลังสูญเสียเฉลี่ยเพื่อเป็นการประมาณกำลังสูญเสียรวมแทน

ในการวัดกำลังสูญเสียเฉลี่ย (Average power disipation: P_{AV}) ในวงจรรวม อาจใช้วิธีการวัดโดยตรง โดยอาศัยแบบจำลองของวงจรแหล่งจ่ายกระแสควบคุมด้วยกระแส (current - controlled current source) หรือ แบบจำลองวงจรแหล่งจ่ายกระแสควบคุมด้วยแรงดัน (voltage - controlled current source) ในการวัดกระแสเฉลี่ยจากแหล่งจ่ายไฟ [16] โดยแสดงให้เห็นว่าเป็นสัดส่วนกับค่าอัตราขยายกระแส (β) หรือ ค่าทรานคอนดักแตนซ์ (g_m)

รูปที่ 5.2 ผลจำลองการทำงานด้วยโปรแกรม SPICE แสดงให้เห็นกระแสในช่วงการเปลี่ยนแปลงของวงจรไบซีมอสแลทช์



รูปที่ 5.3 แสดงการวัดการสูญเสียกำลัง



จากการวิเคราะห์ขณะเกิดการสวิทชิ่ง มอสทรานซิสเตอร์จะทำงานในช่วงเชิงเส้นเป็นส่วนใหญ่ จาก

$$g_{m_linear} = 2\frac{\mu\varepsilon W}{L}(V_{GS} - V_{th}) \tag{5.5}$$

ดังนั้น

$$P \propto \frac{W}{L} \tag{5.6}$$

5.2 พื้นที่ (Area)

ขนาดของวงจรรวม จะขึ้นอยู่กับขนาดของอุปกรณ์ต่าง ๆ [17] และ [18] แสดงให้เห็นว่า

$$\text{Area} \propto (\sum W.L + \sum A_E) \tag{8}$$

เมื่อ W, L = ความกว้างและความยาวเกทของมอสทรานซิสเตอร์

A_E = พื้นที่อิมิตเตอร์ของไบโพลาร์ทรานซิสเตอร์

เพราะฉะนั้นในการออกแบบวงจร จึงควรออกแบบให้มีขนาดความกว้างและความยาวของทรานซิสเตอร์ต่ำสุดทั้งมอสทรานซิสเตอร์และไบโพลาร์ทรานซิสเตอร์ เพื่อให้วงจรใช้พื้นที่ชิปน้อยที่สุด แต่อย่างไรก็ตามในการกำหนดเงื่อนไขของวงจรที่ดีที่สุด อาจจำเป็นต้องปรับเปลี่ยนขนาดของอุปกรณ์ต่าง ๆ [2] ได้จำแนกวิธีการลดขนาดของมอสทรานซิสเตอร์ออกเป็น 2 วิธี คือ การเปลี่ยนความกว้างเกท และ การเปลี่ยนความยาวเกท โดยพิจารณาตามเทคโนโลยีการออกแบบระดับไมครอน และซับไมครอน โดยแสดงให้เห็นว่าการเปลี่ยนความกว้างเกท จะเพิ่มพื้นที่ของวงจรมากกว่าวิธีการเปลี่ยนความยาวเกท

5.3 ความเร็ว (Speed)

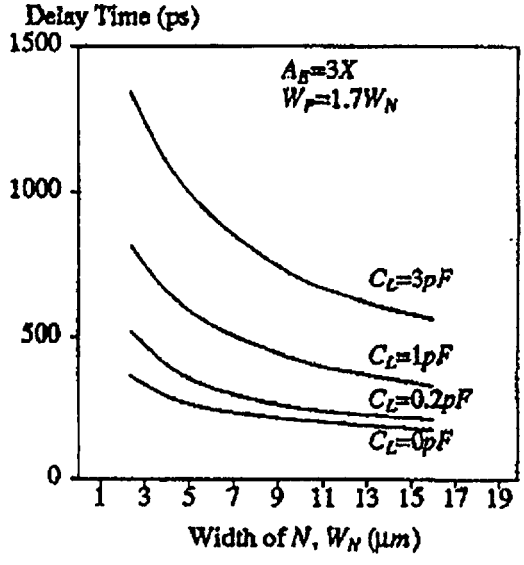
ความเร็วหรือความถี่ของการทำงาน ขึ้นอยู่กับค่าหน่วงเวลาผ่านเกท (signal propagation gate delay) ซึ่งมักเกิดจากค่าความต้านทานและค่าความจุแฝงที่รอยต่อภายในอุปกรณ์ต่าง ๆ ตลอดจนบริเวณหน้าสัมผัสต่าง ๆ ซึ่งค่าหน่วงเวลาผ่านเกทนี้ เป็นเงื่อนไขหนึ่งในการกำหนดประสิทธิภาพของวงจรรวม จากสมการที่ 3.8 เมื่อละเลย initial delay ซึ่งมีค่าต่ำ

$$t_{d,BiCMOS} \propto \frac{\pi}{2}\sqrt{R_{CH}\tau_F (C_L + C_{int})}$$

โดยที่ $$R_{CH} = \frac{2L}{W\mu_P C_{OX}(V_{DD} - |V_{TP}|)}$$

$$C_{\text{int}} \approx C_G = (L \cdot W)C_{OX}$$

รูปที่ 5.4 แสดงการหน่วงเวลาของวงจรไบซีมอส เนื่องจากขนาดมอสทรานซิสเตอร์



ดังนั้น กรณี $C_L << C_{int}$

$$t_d \propto L \tag{5.8}$$

ในกรณีที่ $C_{int} << C_L$ หรือ C_L มีค่าสูงๆ

$$t_d \propto \sqrt{\frac{L}{W}} \tag{5.9}$$

จากทั้ง 2 กรณี ดังนั้นในการออกแบบวงจรไบซีมอสจึงกำหนดให้ L มีค่าต่ำสุดตามกฎการออกแบบเพื่อให้วงจรมีความเร็วในการทำงานสูงสุด [20]

พารามิเตอร์ที่สำคัญอีกตัวหนึ่งในการออกแบบวงจรไบซีมอสคือ การการกำหนดพื้นที่ของอิมิตเตอร์เพื่อควบคุมขนาดกระแสอิมิตเตอร์ โดยที่ค่าหน่วงเวลาจะสัมพันธ์กับพื้นที่ของส่วนอิมิตเตอร์ [21] ดังสมการ

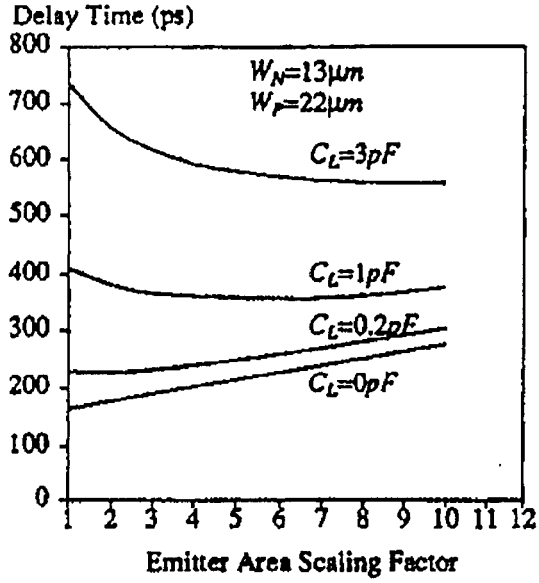
$$t_d \propto \frac{1}{\sqrt{A_E}} \tag{5.10}$$

ในความเป็นจริง ในกรณีที่โหลดมีค่าความจุไฟฟ้าสูง ๆ การเพิ่มพื้นที่อิมิตเตอร์ทำให้ค่าหน่วงเวลาของวงจรจะลดลงได้เพียงระดับหนึ่งเท่านั้น โดยจะไม่ลดลงอีก แม้จะเพิ่มพื้นที่อิมิต-เตอร์ขึ้นอีกก็ตาม เนื่องจากการเพิ่มพื้นที่ของส่วนอิมิตเตอร์เป็นการเพิ่มค่าความจุแฝงด้วย เช่นเดียวกัน ในกรณีที่โหลดมีค่าความจุไฟฟ้าต่ำ ๆ การเพิ่มพื้นที่ของส่วนอิมิตเตอร์ก็กลับทำให้การหน่วงเวลาของวงจรเพิ่มขึ้น ดังนั้นที่ความจุโหลดค่าต่ำๆ

$$t_d \propto A_E \tag{5.11}$$

เช่นในกรณีของ C_L = 0.2 pF ดังรูปที่ 5.5

รูปที่ 5.5 การหน่วงเวลาวงจรไบซีมอสเนื่องจากพื้นที่อิมิตเตอร์



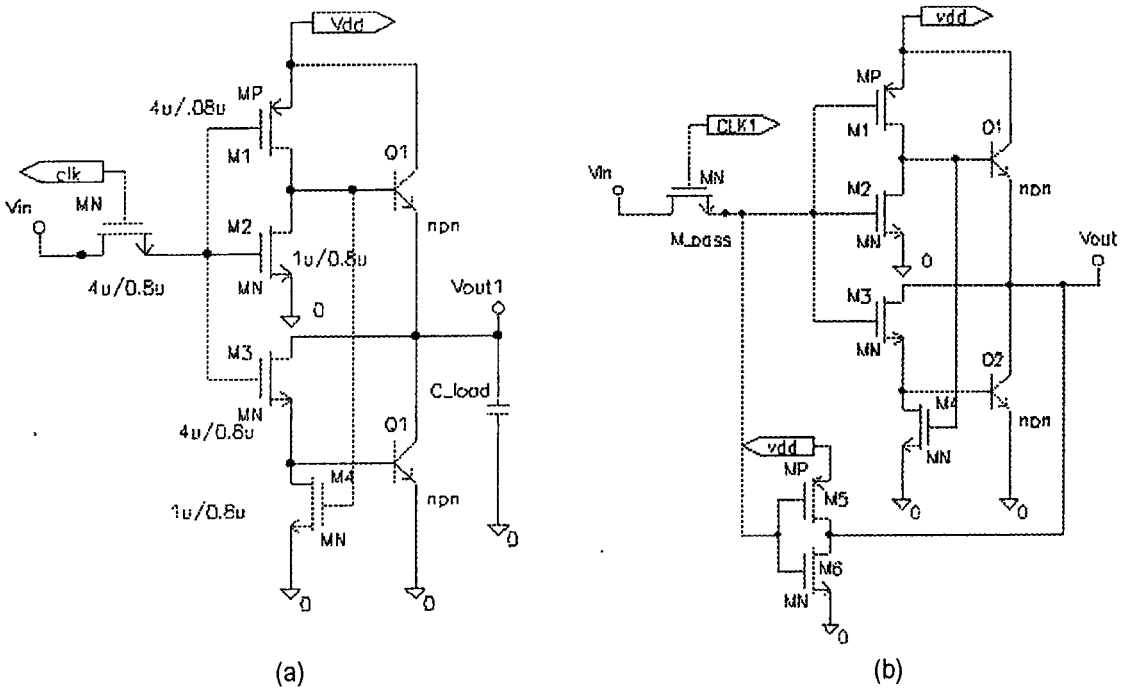
5.4 การหาเงื่อนไขที่ดีที่สุด (Optimization)

ขั้นตอนในการหาเงื่อนไขที่ดีที่สุดพร้อมกัน (multi objective optimization) คือ พื้นที่และกำลังสูญเสีย ซึ่งมีผลต่อ ความเร็วหรือค่าหน่วงเวลา โดยเทคนิคที่เสนอนี้จะมีผลกระทบต่อ layout area น้อยที่สุด โดยจะเปลี่ยนเฉพาะ W และ L ในส่วนมอสทรานซิสเตอร์ และเปลี่ยน A_E ในส่วนของไบโพลาร์ทรานซิสเตอร์เฉพาะตัวที่ต่อกับแหล่งจ่ายไฟ ขั้นตอนในการหาเงื่อนไขที่ดีที่สุดนี้ จะทำการโดยจะออกแบบพร้อมกันทั้งวงจรไบซีมอสไดนามิกแลทช์และวงจรไบซีมอสสแตติกแลทช์

ในรูปที่ 5.6 ด้วยการวัดกำลังสูญเสียของวงจรโดยตรง กำลังสูญเสียจะแปรผันตรงกับ g_m ในส่วนของพีมอสทรานซิสเตอร์ M1 และแปรผันตรงกับ β ในส่วนของไบโพลาร์ Q1 เนื่องจากค่า g_m จะแปรผันตรงกับ $\frac{W}{L}$ ดังนั้นเมื่อเริ่มทำการออปติไมซ์ จะกำหนดให้ W มีค่าเล็กที่สุดตามการออกแบบ จากนั้นจึงปรับเปลี่ยนไปเพื่อให้ได้ค่าหน่วงเวลาที่ยอมรับได้ แต่ในกรณีของไบโพลาร์ทรานซิสเตอร์นั้นเนื่องจาก β จะขึ้นอยู่กับความกว้างเบส (W_B) แต่เนื่องจากเทคโนโลยีไบซีมอสนี้จะทำการผลิตอุปกรณ์ไบโพลาร์บนพื้นฐานของกระบวนการผลิตซีมอส (based-CMOS process BiCMOS technology) ดังนั้นคุณภาพของอุปกรณ์ไบโพลาร์จึงถูกจำกัด การควบคุม W_B หรือการเปลี่ยนแปลง β เป็นเรื่องที่ยุ่งยาก ดังนั้นในการออปติไมซ์นี้ จึงกำหนดให้ไบโพลาร์มีขนาดเล็กที่

สุดตามกฎการออกแบบในขบวนการผลิตไบซีมอสเพื่อลดพื้นที่ จากนั้นจึงปรับเปลี่ยนพื้นที่อิมิต-เตอร์ (A_E) จนได้ค่าหน่วงเวลาที่ยอมรับได้

รูปที่ 5.6 แสดงวงจรภายใน (a) วงจรไบซีมอสไดนามิกแลทช์ (b) วงจรไบซีมอสสแตติกแลทช์



กรณีที่ C_L มีค่าต่ำๆ($C_L \leq$ 1pF): จากสมการที่ 5.8 และ 5.6

$$t_d \propto L \quad \text{และ} \quad P \propto \frac{W}{L}$$

- ทำการเพิ่ม L ของ M1 จนได้ค่ากำลังงานสูญเสียและความเร็วที่ยอมรับได้

กรณีที่ C_L มีค่าสูง (C_L>1pF): จากสมการที่ 5.9 , 5.10 และ 5.6

$$t_d \propto \sqrt{\frac{L}{W}} \quad \text{และ} \quad t_d \propto \frac{1}{\sqrt{A_E}}$$

$$P \propto \frac{W}{L}$$

สังเกตุว่าการเพิ่มพื้นที่ A_E ทำให้ความเร็วเพิ่มขึ้น โดยกำลังสูญเสียยังคงมีค่าคงที่ แต่การเพิ่ม A_E เพียงอย่างเดียวทำให้วงจรมีขนาดใหญ่เกินไป ดังนั้น อาจมีการเพิ่ม W และลดค่า L ลงร่วมด้วยเพื่อลดขนาดวงจรลง ถึงแม้ว่าจะทำให้กำลังสูญเสียมีค่าเพิ่มขึ้นบ้างก็ตาม

สำหรับการออกแบบวงจรไบซีมอสสแตติกแลทช์ จะแตกต่างกับวงจรไดนามิกแลทช์เล็กน้อย ทั้งนี้เนื่องจากมีโครงสร้างวงจรแบบป้อนกลับ ความเร็วการทำงานที่เปลี่ยนไปอันเนื่องจากการลดกำลังงานสูญเสีย ส่งผลต่อการทำงานของวงจร จนอาจนำไปสู่ภาวะกึ่งเสถียร หรือการทำงานผิดพลาดไป เพื่อเป็นการหลีกเลี่ยงผลข้างต้น ดังนั้นในการออปติไมซ์วงจรสแตติกแลทช์ต้องไม่ทำให้ค่าหน่วงเวลาเพิ่มขึ้น จากสมการ 3.13

$$V_{out}(t) = \frac{-V_{IN}}{gm_2 R_{CH}} \left(\exp \frac{-t}{R_{CH} C_1} - 1 \right) \tag{3.13}$$

สังเกตุว่าการเพิ่มความกว้างและความยาวเกท ทำให้วงจรทำงานช้าลง ($C_1 = C_{OX}(W.L)$) อย่างไรก็ตาม การลด R_{CH} ของทรานซิสเตอร์ผ่าน(รูป 5.6) ช่วยเพิ่มความเร็วให้กับวงจร นอกจากนี้สังเกตุ ว่าขนาด A_E กลับไม่ส่งใด ๆ ต่อความเร็วของวงจร

สำหรับวงจรอินเวอร์เตอร์ป้อนกลับ ต้องออกแบบให้มี L มากกว่าปกติ หรือออกแบบให้อัตราส่วน W/L มีค่าต่ำ ๆ เพื่อให้วงจรสามารถขับอินเวอร์เตอร์ป้อนกลับได้ทุกระดับสัญญาณ

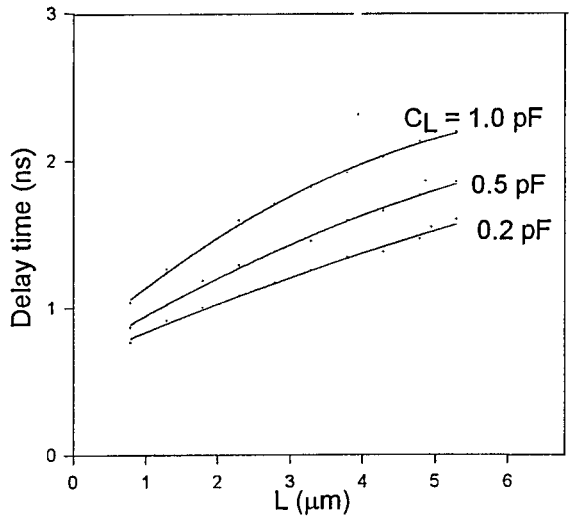
5.5. ผลการออปติไมซ์วงจรไบซีมอสไดนามิก และสแตติกแลทช์

5.5.1 วงจรไบซีมอสไดนามิกแลทช์

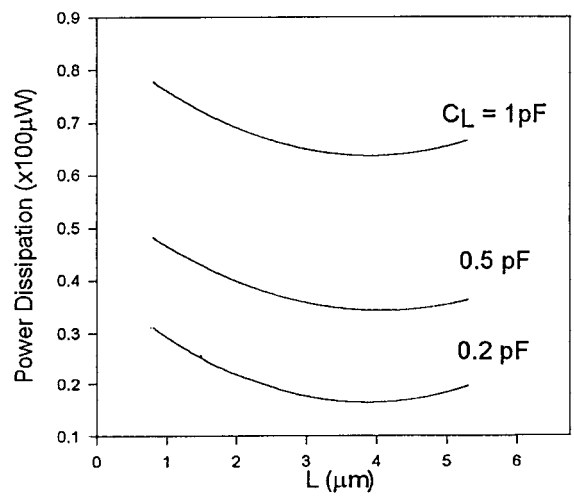
จากการทดสอบด้วย PSpice ที่ความถี่ 50 MHz โดย Vin = 1,0,1,0... ด้วย rise time และ fall time เท่ากับ 2.5 ns

-กรณีที่ C_L มีค่าต่ำ ($C_L \leq$ 1pF) : ทำการออปติไมซ์โดยการเปลี่ยนค่า L

รูปที่ 5.7 แสดงการเปลี่ยนแปลงความเร็ว เมื่อทำเปลี่ยนความยาวเกท เมื่อ C_L มีค่าต่ำ ๆ



รูปที่ 5.8 แสดงการเปลี่ยนแปลงกำลังสูญเสีย เมื่อทำเปลี่ยนความยาวเกท เมื่อ C_L มีค่าต่ำ ๆ

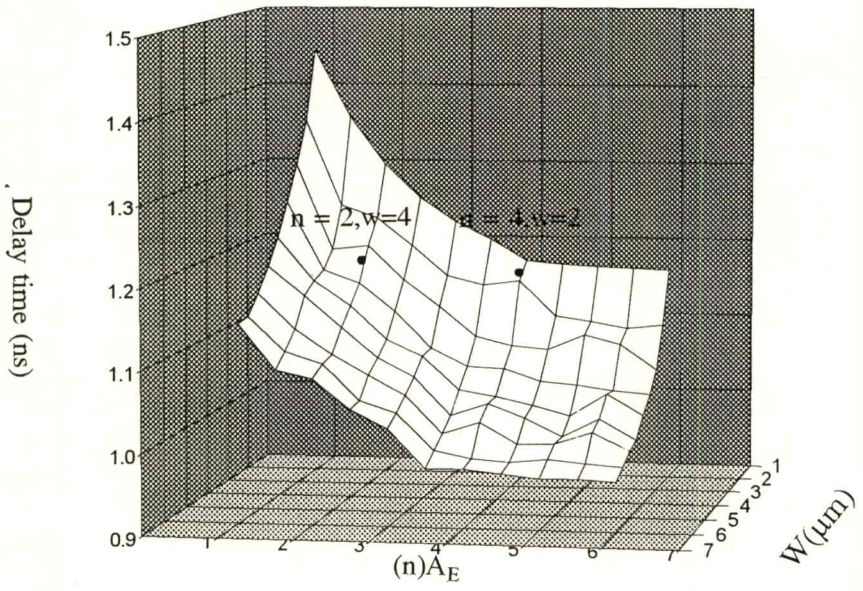


จากผลการทดสอบ เมื่อ L = 3.8 μm สามารถลดกำลังสูญเสียลงถึงประมาณ 10-15 ไมโครวัตต์ ในขณะที่พื้นที่เพิ่มขึ้น 15.2 (μm^2) นอกจากนี้ค่าหน่วงเวลาก็เพิ่มขึ้นประมาณ 0.5 nS

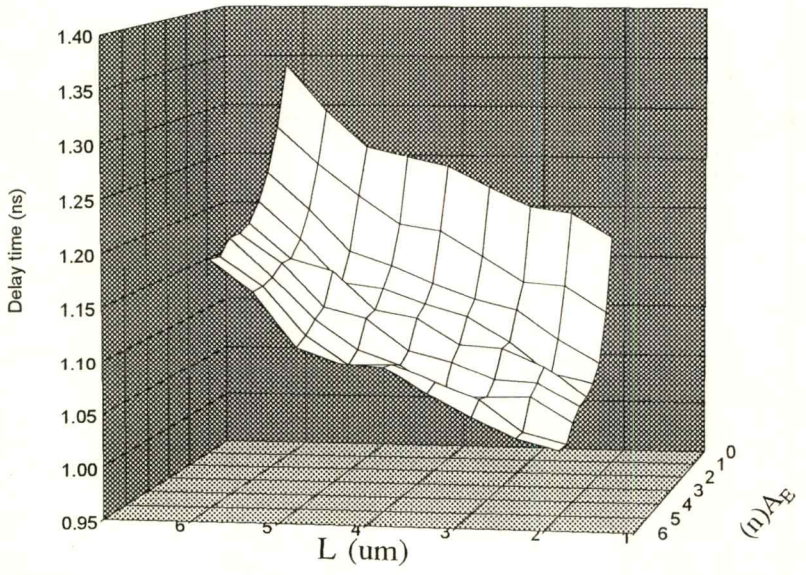
-กรณีที่ C_L มีค่าสูง (C_L > 1.0pF) : เพิ่ม A_E ,W และ ลด L (ทดสอบที่ C_L = 2 pF)

กำหนดให้ n เป็นจำนวนเท่าของ A_E เดิม (5*5 μm^2)

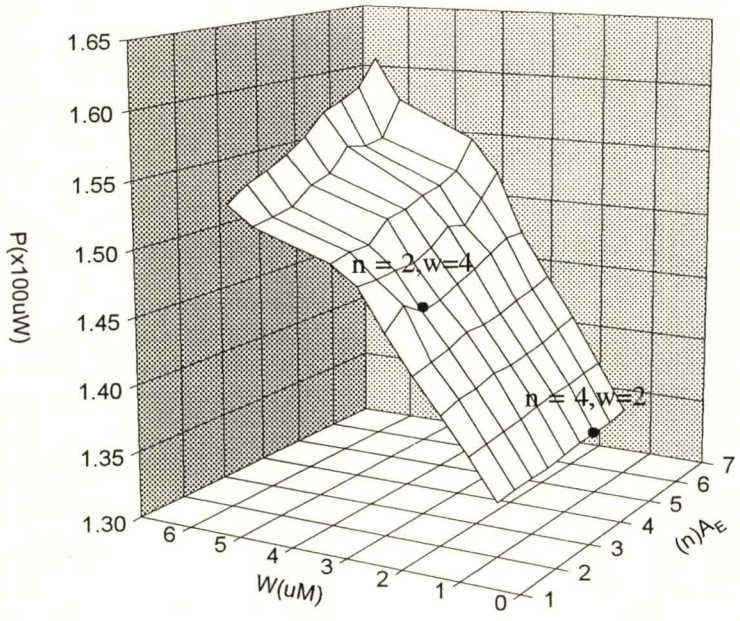
รูปที่ 5.9 แสดงการเปลี่ยนแปลงความเร็ว เมื่อเพิ่มความกว้างเกทและขนาดอิมิตเตอร์



รูปที่ 5.10 แสดงการเปลี่ยนแปลงความเร็ว เมื่อเพิ่มขนาดอิมิตเตอร์และลดขนาดอิมิตเตอร์



รูปที่ 5.11 แสดงการเปลี่ยนแปลงกำลังงานสูญเสีย เมื่อเพิ่มความกว้างเกทและขนาดอิมิตเตอร์

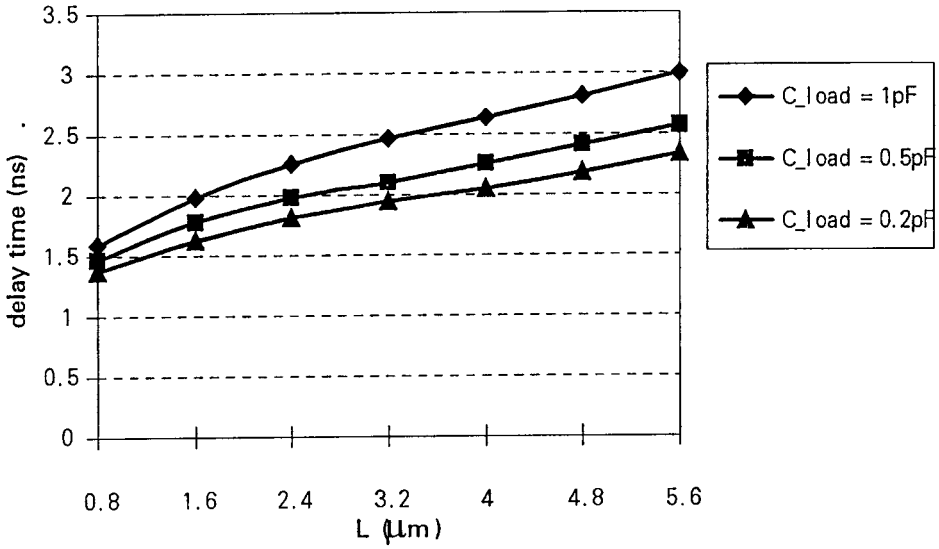


จากรูปที่ 5.9 และ 5.10 เมื่อทำการเปลี่ยนขนาด A_E ค่าหน่วงเวลาจะลดลงอย่างรวดเร็ว เช่นเดียวกับการเพิ่ม W และการลด L แต่ไม่ส่งผลต่อกำลังสูญเสียดังรูปที่ 5.11 แต่การเพิ่ม A_E ทำให้เกิดการใช้พื้นที่ชิปเพิ่มขึ้นอย่างมาก เช่น เมื่อต้องการลดค่าหน่วงเวลาลง 0.3 nS โดยกำหนดให้ n = 4 และ W = 2μm วงจรต้องใช้พื้นที่ชิปเพิ่มขึ้นถึง (n-1)*(5μm*5μm) = 75 (μm^2) แต่เมื่อกำหนดให้ n = 2 หรือขนาดไบโพลาร์เพิ่มขึ้นอีกเท่าตัว และกำหนดให้ W = 4 μm พื้นที่ชิปเพิ่มขึ้นจากเดิม (n-1)*25+(W-2)*(L=0.8μm) = 26.6 (μm^2) หรือเพิ่มขึ้นเพียง 1ใน 3 ของกรณีแรก ในขณะที่กำลังสูญเสียเพิ่มขึ้นเพียง 13 μW หรือประมาณ 10 % ของกำลังงานสูญเสียเดิม ดังรูป 5.11

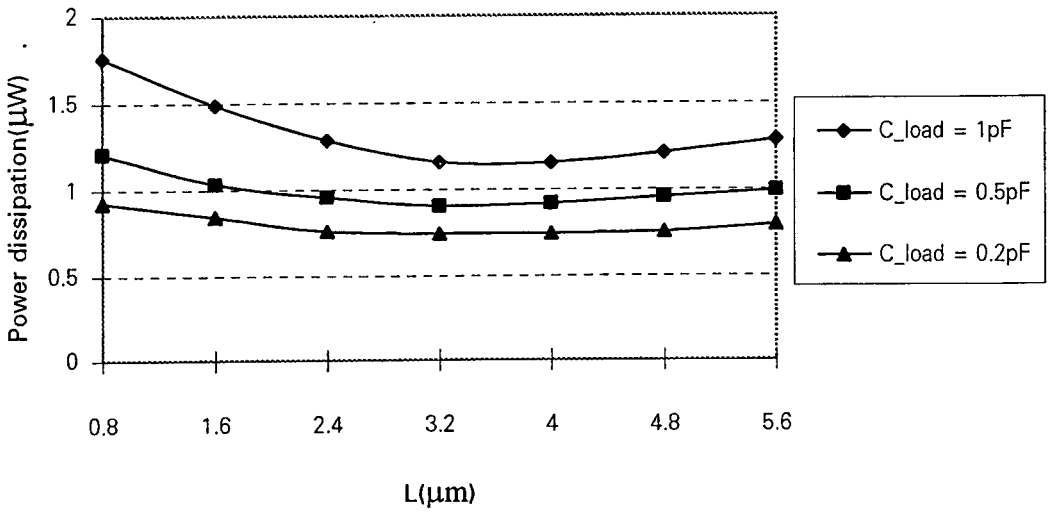
5.5.2 วงจรไบซีมอสสแตติกแลทช์

จากการทดสอบด้วย PSpice ที่ความถี่ 50 MHz โดย V_{in} = 1,0,1,0... ด้วย rise time และ fall time เท่ากับ 2.5 ns

รูปที่ 5.12 แสดงการเปลี่ยนแปลงความเร็ว เมื่อทำเปลี่ยนความยาวเกท



รูปที่ 5.13 แสดงการเปลี่ยนแปลงกำลังสูญเสีย เมื่อทำเปลี่ยนความยาวเกท



บทที่ 6

บทสรุปและวิจารณ์

จากวิธีการออกแบบวงจรไบซีมอสแลทช์ที่นำเสนอ ช่วยให้นักออกแบบเข้าใจถึงการทำงานและขีดจำกัดของวงจร ดังนั้นจึงสามารถแก้ไขและปรับปรุงวงจรให้เหมาะกับสภาวะที่กำหนด และจากผลการทดสอบแสดงให้เห็นถึงความสามารถของวงจรที่ถูกออกแบบขึ้น ในการทำงานที่ความถี่สูงได้อย่างถูกต้อง นอกจากนี้ด้วยวิธีการออปติไมซ์ที่นำเสนอ ยังช่วยเพิ่มประสิทธิภาพให้กับวงจร ทั้งทางด้าน ความเร็ว กำลังงานสูญเสีย และ พื้นที่ชิป ในขณะที่ส่งผลกระทบต่อ layout น้อยที่สุด ถึงแม้ว่าจากการทดสอบจะพบว่าไม่สามารถออกแบบให้วงจรมีประสิทธิภาพสูงสุดทุกด้านก็ตาม แต่ด้วยวิธีที่เรียบง่ายนี้จึงเหมาะกับการประยุกต์ใช้กับวงจรซีมอสและไบซีมอส VLSI โดยถือเป็นทางเลือกหนึ่งที่ใช้ประกอบวิธีการออปติไมเซชั่นอื่น ๆ ในการเพิ่มประสิทธิภาพให้กับวงจร

บรรณานุกรม

[1] กอบชัย เดชหาญ, สมยศ จุณณะปิยะ, บุญชัย เฉลิมพานิช, สุชาติ คูณทวีเทพ, "การ ออปติไมเซชั่นวงจรแลทช์ เพื่อทำเป็นวงจรซีมอสรวมโดยการพิจารณาความยาวของเกทใช้ประบวนการ 2 ไมครอน" วารสารการประชุมทางวิชาการวิศวกรรมไฟฟ้า ประจำปี 2534, หน้า 318 - 337, 23 - 26 พฤษภาคม 2534

[2] K. Dejhan, F. Cheevasuvit, S. Junnapiya and B. Chalermphanich, "Micron and Submicron design considerations of CMOS transistor optimization of VLSI design," ISIC - 93 , pp.279 - 283, September 1993

[3] P. A. Raje, K. C. Saraswat and K. M. Cham, "A New Methodology for Design of BiCMOS Gates and Comparison with CMOS," IEEE Trans. Electron Devices, Vol. 39, No. 2, pp. 339-347, Feb. 1992.

[4] H.J. Shin, "Performance Comparison of Driver Configurations and Full - Swing Techniques for BiCMOS Logic Circuits," IEEE Journal of Solid - State Circuits, Vol.25, No. 3, pp. 863-865, Feb. 1992

[5] A. Bellaouar and M.I. Elmasry, "Low - Power Digital VLSI Design Circuits and Systems", 1st Ed., Boston, Kluwer Academic Publishers, 1995.

[6] S. H. K. Embabi, A. Bellaouar and M. I. Elmasry, BiCMOS Digital Intergrated circuit Design, Kluwer Academic Pub., MA, 1993.

[7] S. H. Embabi et al., "Analysis and optimization of BiCMOS digital circuit structures," IEEE J. Solid-State Circuits, Vol. 26, No. 4, pp. 676-679, April 1991.

[8] C.L. Chen, "Level - Shifted 0.5 μm BiCMOS Circuits," IEEE J.Solid - State Circits, Vol.25, No.5, pp.1214 - 1216, Oct. 1990

[9] A. Bellaouar, I. S. Abu - Khater, and M. I. Elmasry, "Low - Power CMOS/BiCMOS Drivers and Receivers for On - Chip Interconnect," IEEE J. Solid - State Circuits, Vol.30, No. 6, pp.696 - 700, June 1995

[10] N.HE Weste and K. Eshragian, Principles of CMOS VLSI Design - A System Perpective, 1st Edn. pp. 140, Reading, Massachuset : Addison - Wesley, 1985.

[11] M. Shoji, "CMOS Digital Circuit Technology," 1st Ed., New Jersey, Prentice - Hall International, 1988.

[12] W. Fang et al., "An accurate analytical BiCMOS delay expression and its application to optimizing high-speed BiCMOS circuits," IEEE J. Solid-State Circuits, Vol. 27, No. 2, pp. 191-202, Feb. 1992.

[13] P.R. Gray and R.G. Meyer, "Analysis and Design of Analog Integrated Circuits", 3rd Edn. , Johm Wiley&Sons, 1993.

[14] J.E. Buchawan, "BiCMOS/CMOS System Design," McGraw - Hill (1991)

[15] A. Bellaouar, S. H.K. Embabi and M. I. Elmasry, "Scaling of Digital BiCMOS Circuit," IEEE J. Solid-State Circuits, Vol. 25, No. 4, pp. 932-941, Augt. 1990.

[16] S.M. Kang, "Accurate Simulationof Power Dissipation in VLSI Circuits," IEEE J. Solid - State Circuits, Vol. 21, No.5, pp. 889 - 891, october 1986.

[17] L.A. Glasser and L.P.J. Hoyte, "Delay and Power Optimization in VLSI Circuits," Proc. 21st ACM/IEEE Design Automation Conf., pp. 529 - 535, 1984.

[18] L.Wissel and Elliot L. Gould, "Optimal Usage of CMOS within a BiCMOS Technology," IEEE J. Solid - State Circuits, Vol.27, No.3, March 1992.

[19] J. P. Uyemura, Circuit Design for CMOS VLSI, Kluwer Academic Pub., MA, 1993.

[20] J. M. Rabaey, Digital Integrated Circuits, Prentice-Hall, Inc., 1996.

[21] A. R. Alvarez, BiCMOS Technology and Applications, Kluwer Academic Pub., MA, Second Edition, 1993.

[22] Y. Nishio et al, "A feedback-type BiCMOS logic gate," IEEE J. Solid-State Circuits, Vol. 24, No. 5, pp. 1360-1362, Oct. 1989.

[23] S.-M. Kang and Yusuf Leblebici, CMOS Digital Intergrated Circuits Analysis and Design, McGraw-Hill, Inc., 1996.

[24] E. W. Greeneich et al., "Analysis and chracterization of BiCMOS for high-speed digital logic," IEEE J. Solid-State Circuits, Vol. 23, No. 2, pp. 558-565, April 1988.

[25] P.A. Raje et al., "Accurate delay models for digital BiCMOS," IEEE Trans. Electron Devices, Vol. 39, No. 6, pp. 1456-1464, June 1992.

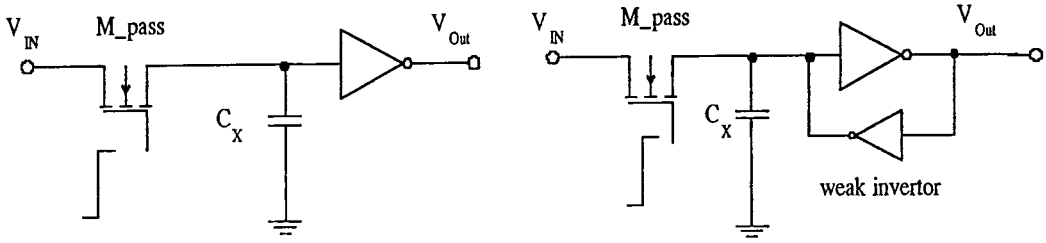
ภาคผนวก

ภาคผนวก ก

ทรานซิสเตอร์ผ่าน (Pass transistor)

จากรูปที่ ก.1 แสดงวงจรไดนามิกและสแตติกแลทช์ ซึ่งประกอบด้วยทรานซิสเตอร์ผ่านและวงจรอินเวอร์เตอร์ การทำงานของทรานซิสเตอร์ผ่าน (M_pass) จะถูกป้อนด้วยสัญญาณคาบนาฬิกา (clk) ซึ่งทำหน้าที่เป็น access switch ทำการชาร์จและดิสชาร์จความจุแฝง (C_x) ขึ้นกับสัญญาณอินพุตที่ป้อน ดังนั้นการทำงานของทรานซิสเตอร์ผ่านในช่วง active (clk =1) สามารถแบ่งได้เป็น 2 กรณี คือ การส่งผ่านลอจิก '1' (หรือการชาร์จ C_x จนมีลอจิก high) และการส่งผ่านลอจิก "0" (หรือการดิสชาร์จ C_x จนมีลอจิก low) ทั้งสองกรณีสัญญาณเอาต์พุตของวงจรแลทช์จะมีค่าลอจิกขึ้นอยู่กับศักดาที่ V_x

รูปที่ ก.1 ไดนามิกแลทช์และ สแตติกแลทช์



สังเกตุได้ว่า ทรานซิสเตอร์ผ่าน (M_pass) จะทำหน้าที่เพียงเป็นทางผ่านของกระแสระหว่างอินพุต และ ความจุโนด x เมื่อ clk = 1 และ ทรานซิสเตอร์ผ่านจะหยุดการนำกระแส เมื่อ clk = 0 ประจุซึ่งถูกเก็บไว้ที่ C_x จะเป็นตัวกำหนดระดับสัญญาณเอาต์พุตต่อไป

การส่งผ่านลอจิก '1'

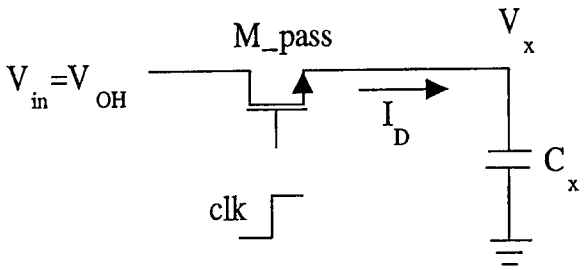
สมมติว่าเริ่มแรกศักดาที่ V_x มีค่าเท่ากับ 0 V และลอจิก '1' ถูกป้อนเข้าที่อินพุตของวงจร ($V_{in} = V_{iH}$) เมื่อสัญญาณนาฬิกาเปลี่ยนจาก 0 เป็น 1 ที่เวลา t=0 ทรานซิสเตอร์ผ่านจะนำกระแส และตราบเท่าที่สัญญาณนาฬิกายังคง active (clk =1)

จาก $V_{GS} = V_{DD}$ ในขณะที่ $V_{DS} = V_{in} = V_{DD}$ หรือ $V_{DD}-V_{BE}$ เมื่อวงจรภาคก่อนหน้าเป็นแบบ Full swing และ partial swing ตามลำดับ ดังนั้นสามารถแบ่งการทำงานได้ดังนี้

เมื่อเอาต์พุต previous stage = {
- Full swing ; M_pass ทำงานในย่านอิ่มตัว ($V_{DS}>V_{GS}-V_{th}$)
- Partial swing ; M_pass ทำงานในย่านอิ่มตัวเมื่อ $V_{BE} < V_{th}$ และ ทำงานในย่านเชิงเส้นเมื่อ $V_{BE} > V_{th}$

เพื่อสะดวกต่อการวิเคราะห์วงจรสมมูลย์แสดงการส่งผ่านสัญญาณลอจิก 1 แสดงดังรูป

รูปที่ ก.2 วงจรสมมูลย์การถ่ายโอนลอจิก "1"



พิจารณาเมื่อทรานซิสเตอร์ผ่าน M_pass ทำงานในย่านอิ่มตัว โดยทำการชาร์จ C_x

$$C_x \frac{dV_x}{dt} = \frac{k_n}{2}(V_{DD} - V_x - V_{Th})^2 \qquad (ก.1)$$

สังเกตุว่าศักดาเทรดโฮลด์(V_{Th}) ของทรานซิสเตอร์ผ่าน ยังขึ้นอยู่กับศักดา V_x อันเนื่องมาจากปรากฏการณ์ Body effect หรือการไบอัสที่ฐานรอง และเพื่อให้ง่ายต่อการวิเคราะห์ในที่นี้จึงละเลยผลดังกล่าวก่อน โดยพิจารณาว่าศักดาเทรดโฮลด์มีค่าคงที่ และเมื่ออินทิเกรตสมการ ก.1

$$\int_0^t dt = \frac{2C_x}{k_n}\int_0^{V_x}\frac{dV_x}{\left(V_{DD}-V_x-V_{Th}\right)^2}$$

$$= \frac{2C_x}{k_n}\left(\frac{1}{V_{DD}-V_x-V_{Th}}\right)\Bigg|_0^{V_x(t)} \qquad \text{(ก.2)}$$

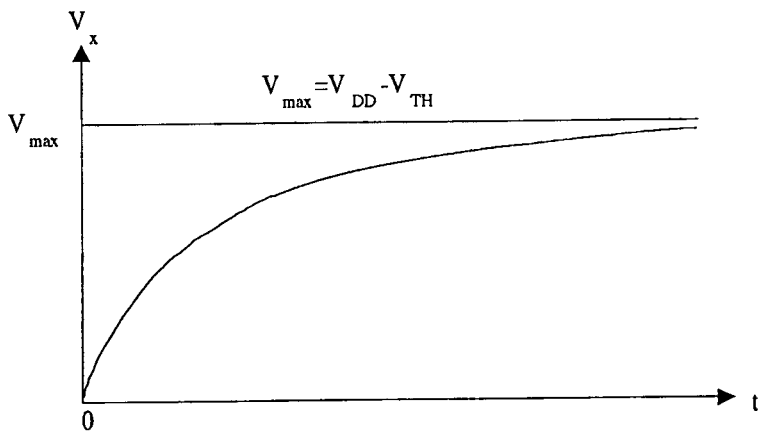
$$t = \frac{2C_x}{k_n}\left[\left(\frac{1}{V_{DD}-V_x(t)-V_{Th}}\right)-\left(\frac{1}{V_{DD}-V_{Th}}\right)\right] \qquad \text{(ก.3)}$$

ดังนั้น

$$V_x(t) = \left(V_{DD}-V_{Th}\right)\frac{\left(\frac{k_n(V_{DD}-V_{Th})}{2C_x}\right)t}{1+\left(\frac{k_n(V_{DD}-V_{Th}}{2C_x}\right)t} \qquad \text{(ก.4)}$$

รูป ก.3 แสดงการเปลี่ยนแปลง V_x ในสมการ ก.4 ซึ่งเป็นฟังก์ชันของเวลา V_x จะเริ่มจาก 0 และเพิ่มขึ้นเมื่อเวลาเพิ่มขึ้น แต่จะต่ำกว่า $V_{max} = (V_{DD}-V_{Th})$ เสมอ ซึ่งรวมทั้งกรณีที่ศักดาเอาต์พุตของภาคก่อนที่เป็นแบบ Partial swing ($V_{BE} < V_{Th}$) จากนั้นทรานซิสเตอร์ผ่าน M_pass จะหยุดนำกระแส เมื่อ $V_x = V_{max}$ เนื่องจาก $V_{GS} = V_{Th}$ ดังนั้นศักดาที่โนด x จึงมีค่าต่ำกว่า V_{DD} เสมอ สังเกตุว่า สำหรับวงจรไบซีมอสแลทช์ซึ่งใช้ทรานซิสเตอร์ผ่านเป็นสวิทช์ ศักดาเอาต์พุตของ previous stage จะไม่ส่งผลต่อการเชื่อมโยงทางลอจิก

รูปที่ ก.3 การเปลี่ยนแปลง V_x ตามเวลา ในระหว่างการส่งผ่านลอจิก "1"



เมื่อย้อมกลับมาพิจารณาผลของปรากฏการณ์ Body effect ดังนั้น ศักดา V_x สูงสุดที่เป็นไปได้จากการเพิ่มขึ้นของศักดาเทรดโฮลด์ คือ

$$\begin{aligned} V_{\max} &= V_x\big|_{t\to\infty} = V_{DD} - V_{Th} \\ &= V_{DD} - V_{Th0} - \gamma(\sqrt{|2\phi_F| + V_{\max}} - \sqrt{|2\phi_F|}) \end{aligned} \qquad \text{(ก.5)}$$

เมื่อ $\gamma = \dfrac{\sqrt{2qN_A\varepsilon_{Si}}}{C_{OX}}$ $V^{1/2}$

$\phi_F = \dfrac{KT}{q}\ln\dfrac{N_A}{N_i}$ V.

ดังนั้น rise time ของศักดา V_x ซึ่งได้จากสมการ ก.3 โดยไม่พิจารณาผลจาก Body effect จะมีค่าต่ำกว่า rise time จริง ซึ่งรวมผลของปราฏการณ์การณ์ดังกล่าวด้วย ทั้งนี้เนื่องจากการลดลงของกระแสเดรนซึ่งไหลผ่านเอ็นมอสทรานซิสเตอร์ จากการเพิ่มขึ้นของศักดาเทรดโฮลด์

จากสมการ ก.3 น่วงเวลาผ่านเกต (propagation gate delay : t_d) พิจารณาจาก $V_x(t_d) = \dfrac{V_{DD}}{2}$ ดังนั้น

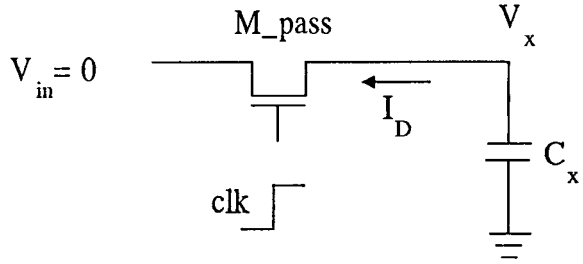
$$t_d \approx \frac{2C_x}{k_n(V_{DD} - V_{Th})} = R_{CH}C_X \qquad \text{(ก.6)}$$

เมื่อ R_{CH} : equivalent channel resistance

<u>การส่งผ่านลอจิก '0'</u>

เริ่มแรกกำหนดให้ ศักดา V_x มีลอจิก '1' โดยวิเคราะห์ต่อจากการส่งผ่านลอจิก '1' ที่ผ่านมา ดังนั้น $V_x(t=0) = V_{max} = (V_{DD} - V_{Th})$ จากนั้นลอจิก '0' ถูกป้อนเข้าที่อินพุต ซึ่งมีค่า $V_{in} = 0$ หรือ V_{BE} ขึ้นกับการสวิงสัญญาณเอาต์พุตของภาคก่อน เมื่อสัญญาณนาฬิกาเปลี่ยนจาก 0 เป็น 1 ที่เวลา t = 0 ทรานซิสเตอร์ผ่านจะเริ่มนำกระแสและตราบเท่าที่สัญญาณนาฬิกายังคง active (clk = 1) กระแสเดรนซึ่งไหลผ่าน M_pass จะมีทิศทางตรงข้ามกับกรณีในการส่งผ่าน ลอจิก "1" ซึ่งหมายความว่าขณะนี้ที่โนด x ทำหน้าที่เป็นเดรน และอินพุตโนดจะทำหน้าที่เป็นซอร์สของทรานซิสเตอร์ผ่านโดยมีค่า $V_{GS} = V_{DD}$ และ $V_{DS} = V_{max}$ สังเกตว่าทรานซิสเตอร์จะทำงานในย่านเชิงเส้นตลอดช่วงเวลานี้โดยไม่ขึ้นกับช่วงสวิงสัญญาณของภาคก่อน เนื่องจาก $V_{DS} < (V_{GS} - V_{Th})$ เสมอ

รูปที่ ก.4 วงจรสมมูลย์เมื่อทำการส่งผ่านลอจิก "0"



จากการทำงานย่านเชิงเส้นของทรานซิสเตอร์ โดยการคายประจุที่สะสมใน C_x ดังนั้น

$$-C_x \frac{dV_x}{dt} = \frac{k_n}{2}(2(V_{DD} - V_{Th})V_x - V_x^2) \qquad (ก.7)$$

$$dt = \frac{-2C_x}{k_n} \frac{dV_x}{2(V_{DD} - V_{Th})V_x - V_x^2} \qquad (ก.8)$$

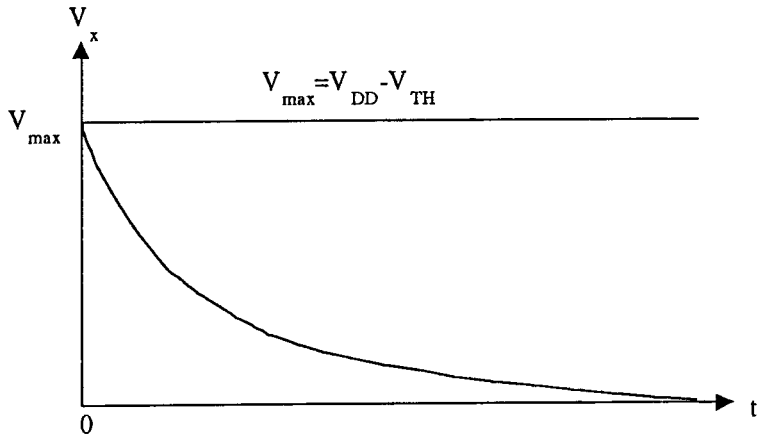
สังเกตุว่า ศักดาที่ซอร์สของเอ็นมอสทรานซิสเตอร์ผ่านมีค่า 0 V. (หรือ V_{BE}) ดังนั้น จึงไม่เกิดการไบอัสฐานรอง ซึ่งมีผลให้ศักดาเทราดโฮลด์ของ M_pass มีค่าคงที่ตลองเวลาส่งผ่านลอจิก '0' ทำการอินทิเกรตสมการ ก.8

$$\int_0^t dt = \frac{2C_x}{k_n} \int_{V_{DD}-V_{Th}}^{V_x} \left(\frac{\frac{1}{2(V_{DD} - V_{Th})}}{2(V_{DD} - V_{Th}) - V_x} + \frac{\frac{1}{2(V_{DD} - V_{Th})}}{V_x} \right) dV_x \qquad (ก.9)$$

$$t = \frac{C_x}{k_n(V_{DD} - V_{Th})} \left[\ln\left(\frac{2(V_{DD} - V_{Th}) - V_x}{V_x} \right) \right]_{V_{DD}-V_{Th}}^{V_x} \qquad (ก.10)$$

$$= \frac{C_x}{k_n(V_{DD} - V_{Th})} \ln\left(\frac{2(V_{DD} - V_{Th}) - V_x}{V_x} \right) \qquad (ก.11)$$

รูปที่ ก.5 การเปลี่ยนแปลงศักดา V_x ตามเวลา



ศักดา V_x จะลดลงจาก V_{max} จนมีศักดาเท่ากับ 0 V. (หรือ V_{BE}) และจากสมการที่ ก.11 ารถคำนวณ fall time ของสัญญาณ V_x โดยพิจารณาจากเวลา $t_{90\%}$ จนถึง $t_{10\%}$ ซึ่ง V_x มีค่าเท่ากับ $0.9V_{max}$ และ $0.1\ V_{max}$ ตามลำดับ

$$t_{90\%} = \frac{C_x}{k_n(V_{DD}-V_{Th})}\ln\left(\frac{(2-0.9)(V_{DD}-V_{Th})}{0.9(V_{DD}-V_{Th})}\right)$$
$$= \frac{C_x}{k_n(V_{DD}-V_{Th})}\ln\left(\frac{1.1}{0.9}\right) \qquad \text{(ก.12)}$$

และ

$$t_{10\%} = \frac{C_x}{k_n(V_{DD}-V_{Th})}\ln\left(\frac{1.9}{0.1}\right) \qquad \text{(ก.13)}$$

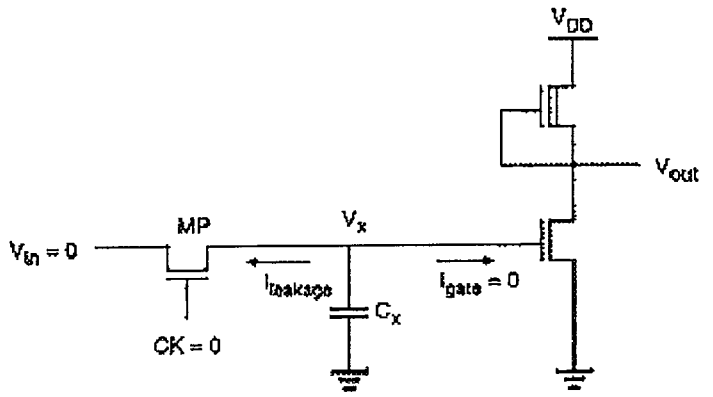
ดังนั้น

$$\therefore t_{fall} = t_{10\%} - t_{90\%}$$
$$= 2.74\frac{C_x}{k_n(V_{DD}-V_{Th})} \qquad \text{(ก.14)}$$

ช่วงคงค่าสัญญาณ

สำหรับวงจรไดนามิกแลทช์ ระดับสัญญาณเอาต์พุตจะขึ้นกับจำนวนประจุที่สะสมใน C_x โดยเฉพาะเมื่อสัญญาณนาฬิกา (clk =0) เนื่องจากกระแสรั่วไหล ($I_{leakage}$) ดังแสดงในรูปที่ ก.6 สมมติว่าลอจิก '1' ได้ถูกส่งผ่านไปยังโนด x ในช่วงเวลาที่สัญญาณนาฬิกา active จากนั้นทั้งสัญญาณนาฬิกาและอินพุตมีเท่ากับ 0 ประจุที่สะสมไว้ใน C_x จะเริ่มรั่วไหล โดยเฉพาะ $I_{leakage}$ ซึ่งไหลผ่านทรานซิสเตอร์ผ่าน (M_pass) ซึ่งในทางปฏิบัติจะละเลยในการพิจารณา กระแสรั่วไหลที่เข้าสู่เกต ของภาคถัดไป(I_{gate}) เมื่อภาคถัดไปมีอินพุตเป็นมอสทรานซิสเตอร์ เนื่องจากมีค่าต่ำเมื่อเทียบกับ $I_{leakage}$

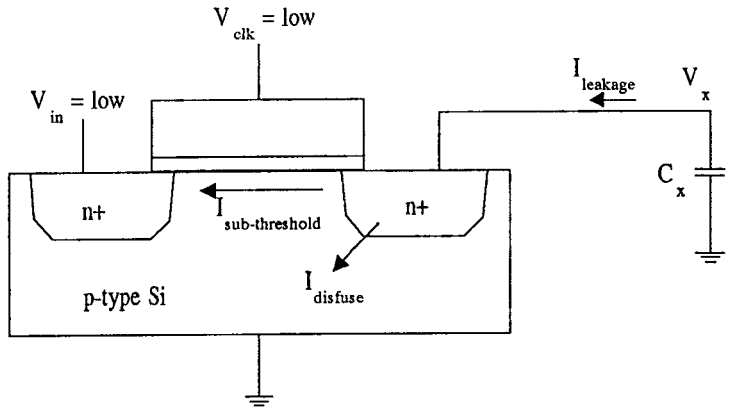
รูปที่ ก.6 ประจุรั่วไหลจากโนด x



รูปที่ ก.7 แสดงภาพตัดขวางของเอ็นมอสทรานซิสเตอร์ และความจุแฝง C_x ซึ่งพบว่ากระแสรั่วไหลจะประกอบด้วยองค์ประกอบสำคัญ 2 ตัว คือ subthreshod channel current และ reverse conduction current ที่รอยต่อเดรน - ฐานรอง

$$I_{leakge} = I_{subthreshold(M_pass)} + I_{reverse(M_pass)} \qquad (ก.15)$$

รูปที่ ก.7 ภาพตัดขวางเอ็นมอสทรานซิสเตอร์ ผ่านแสดงกระแสรั่วไหลจาก C_x



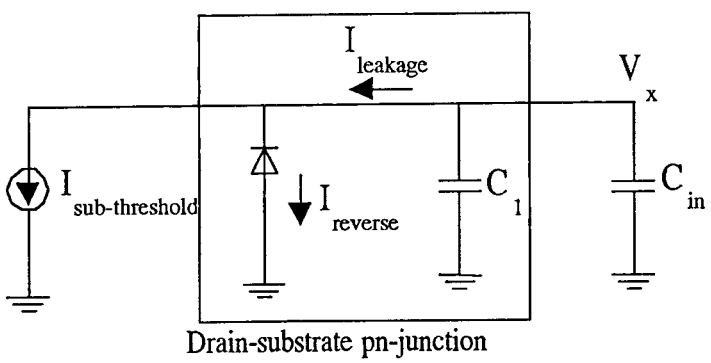
สังเกตว่า ความจุแฝงที่ประกอบขึ้นเป็น C_x ส่วนหนึ่งเป็นความจุแฝงที่รอยต่อเดรน - ฐานรองซึ่งเป็นฟังก์ชันกับศักดา V_x ส่วนองค์ประกอบอื่น ๆ เป็นความจุ oxide ของอินเวอร์เตอร์ในภาคถัดไป กำหนดให้ความจุแฝง (C_{in}) มีค่าคงที่โดยพิจารณาว่าอินเวอร์เตอร์ยังไม่เกิดการเปลี่ยนแปลงหรือวงจรยังคงค่าที่ถูกต้อง ดังนั้นสามารถแยกจำนวนประจุที่สะสมในความจุส่วนต่าง ๆ ได้ ดังรูป ก.8

$$Q = Q_j(V_x) + Q_{in}$$

เมื่อ $Q_{in} = C_{in} \cdot V_x$

$$C_{in} = C_{gb} + C_{poly} + C_{metal} \quad . \qquad \text{(ก.16)}$$

รูปที่ ก.8 วงจรสมมูลย์สำหรับวิเคราะห์การรั่วไหลของประจุที่โนด x



ดังนั้นกระแสรั่วไหลมีค่าเท่ากับ

$$I_{leakage} = \frac{dQ}{dt}$$

$$= \frac{dQ_j(V_x)}{dt} + \frac{dQ_{in}}{dt}$$

$$= \frac{dQ_j(V_x)}{dV_x}\frac{dV_x}{dt} + C_{in}\frac{dV_x}{dt} \qquad \text{(ก.17)}$$

เมื่อ $$\frac{dQ_j(V_x)}{dV_x} = C_j(V_x) = A \cdot \sqrt{\frac{q\varepsilon_{Si}N_A}{2(\phi_0 + V_x)}}$$

$$= \frac{A \cdot C_0}{\sqrt{1 + \frac{V_x}{\phi_0}}} \qquad \text{(ก.18)}$$

และ $$\phi_0 = \frac{kT}{q}\ln\left(\frac{N_D \cdot N_A}{n_i^2}\right) \qquad \text{(ก.19)}$$

$$C_{j0} = \sqrt{\frac{q\varepsilon_{Si}N_A N_D}{2(N_A + N_D)\phi_0}} \approx \sqrt{\frac{q\varepsilon_{Si}N_A}{2\phi_0}} \qquad \text{(ก.20)}$$

จากสมการ ก.17 กระแส $I_{reverse}$ จากรอยต่อพีเอ็นที่เดรน - ฐานรอง จะเป็นองค์ประกอบสำคัญที่สุดเมื่อเทียบกับ $I_{subthreshold}$ โดย $I_{reverse}$ พิจารณาได้เป็นกระแสอิ่มตัวย้อนกลับ (I_0)ซึ่งมีค่าคงที่และกระแสที่เกิดจากการเปลี่ยนแปลงศักดาตกคร่อมรอยต่อซึ่งเปลี่ยนแปลงตามศักดา V_x ดังนั้นในการหาช่วงเวลาที่ประจุรั่วไหลจนสถานะลอจิกผิดพลาดไป จำเป็นต้องหาผลเฉลยสมการดิฟเฟอเรนเชียล ก.17 ซึ่งต้องพิจารณาจากความจุแฝง (C_{db}) ซึ่งเปลี่ยนแปลงตามศักดาและกระแสรั่วไหลเชิงเส้นซึ่งเป็นเรื่องยุ่งยาก ดังนั้นเพื่อให้ง่ายในการประมาณช่วงเวลาการคงค่า (t_{hold})

กำหนดให้ความจุแฝงต่ำสุดมีค่าเท่ากับ

$$C_{x,\min} = C_{gb} + C_{poly} + C_{metal} + C_{db,\min} \qquad \text{(ก.21)}$$

เมื่อ $C_{db,min}$ เป็นค่าความจุต่ำสุดที่รอยต่อ เมื่อ $V_x = V_{max}$ จากสมการ ก.18 ดังนั้น

$$C_{db,\min} = \frac{C_{db}}{\sqrt{1 + \frac{V_{\max}}{\phi_0}}}$$

ดังนั้นช่วงเวลาคงค่าต่ำสุดมีค่าเท่ากับ

$$t_{hold} = \frac{\Delta Q_{critical,\min}}{I_{leakage,\max}} \qquad \text{(ก.22)}$$

เมื่อ $$\Delta Q_{critical,\min} = C_{x,\min}(V_{\max} - V_{gate_thershold})$$

$$= C_{x,\min}(V_{\max} - \frac{V_{DD}}{2}) \qquad \text{(ก.23)}$$

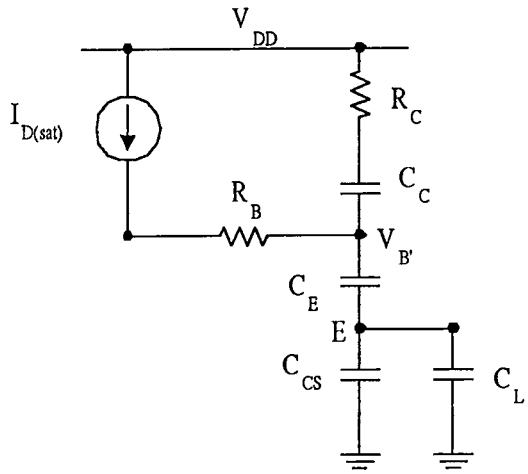
ภาคผนวก ข.

ผลตอบสนองชั่วขณะของวงจรไบซีมอสไดนามิกแลทช์

1. ช่วงหน่วงเวลา T_1

ช่วงหน่วงเวลา T_1 หรือช่วง turn on ไบโพลาร์ทรานซิสเตอร์ Q1 ในช่วงเวลานี้ M1 ถูกป้อนด้วยอินพุต 1 ($V_{GS} = V_{DD}$) ในขณะที่ $V_{DS} = V_{DD}$ ด้วย ดังนั้น M1 จะทำงานในย่านอิ่มตัว และสิ้นสุดช่วงเวลานี้เมื่อศักดาที่รอยต่อเบส - อิมิตเตอร์ มีค่าเท่ากับ $V_{B'E(ON)}$

รูปที่ ข.1 วงจรสมมูลย์ในช่วงเวลา T_1



เมื่อ C_E : ความจุที่รอยต่ออิมิตเตอร์

C_C : ความจุที่รอยต่อคอลเลคเตอร์

R_B : ความต้านทานเบส

R_C : ความต้านทานคอลเลคเตอร์

C_{CS} : ความจุคอลเลคเตอร์ - ฐานรอง Q2

โดย $C_L + C_{CS} >> C_E$

จากรูปที่ ข.1

$$R_C C_C C_E \frac{d^2 V_{B'}}{dt^2} + (C_E + C_C)\frac{dV_{B'}}{d_t} = I_{D(sat)} \qquad (ข.1)$$

โดยมีเงื่อนไขขอบเขต $V_{B'}(0) = 0$ และ $\left.\frac{dV_{B'}}{dt}\right|_{t=0} = 0$ ดังนั้นผลเฉลยคือ

$$V_{B'}(t) = \frac{I_{D(sat)} \cdot t}{C_E + C_C} + I_{D(sat)} R_C \left(\frac{C_C}{C_E + C_C}\right)^2 \left[1 - \exp(-t/\tau)\right] \qquad (ข.2)$$

เมื่อ $I_{D(sat)} = \frac{W\mu C_{OX}}{2L}(V_{DD} - |V_{Th}|)^2$

และ $\tau = \frac{R_C C_E C_C}{C_E + C_C}$

อย่างไรก็ตาม ช่วงหน่วงเวลา $T_1 >> \tau$ เสมอ ดังนั้นเพื่อความสะดวก จะละเลยเทอมเอกซ์-โพเนนเชียลในสมการที่ ข.2 และสิ้นสุดช่วงเวลา $t = T_1$ เมื่อ $V_{B'}(T_1) = V_{B'E(ON)}$ ดังนั้น

เมื่อ R_{CH} = equivalent dc channel resistance

$$= \frac{2}{gm} = \frac{2L}{W\mu C_{OX} \cdot (V_{DD} - |V_{Th}|)} \qquad (ข.4)$$

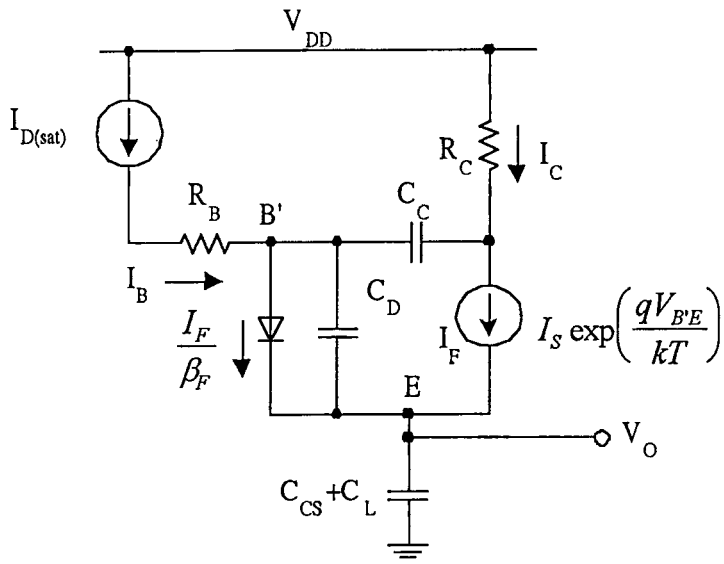
โดยปกติค่า $R_C < R_{CH}$ และ $C_C < C_L + C_E$ ดังนั้นจะละเลยในการพิจารณาเทอมที่ 2 ในสมการ (ข.3) ดังนั้น

$$T_1 = R_{CH}(C_E + C_C)\frac{V_{B'E(ON)}}{V_{DD} - |V_{Th}|} \qquad (ข.5)$$

2. ช่วงหน่วงเวลา (T_2)

หลังจากช่วงเวลา T_1 ซึ่งเป็นช่วง turn on Q_1 แล้ว Q_1 เริ่มนำกระแส ในขณะที่ M1 ยังคงทำงานในย่านอิ่มตัว ($V_{DS} > V_{GS} - V_{Th}$) และช่วงเวลานี้สิ้นสุดเมื่อ M1 เข้าสู่การทำงานในย่านเชิงเส้น

รูปที่ ข.2 วงจรสมมูลย์ในช่วงเวลา T_2



จากรูปที่ ข.2 กำหนดให้ $t' = t - T_1$

$$I_{D(sat)} = \frac{I_F}{\beta_F} + C_D \frac{dV_{B'E}}{dt'} + C_C \frac{d(V_{B'E} + V_O - V_{DD} + I_C R_C)}{dt'} \qquad \text{(ข.6)}$$

เมื่อ $I_F = I_S \exp\left(\frac{qV_{B'E}}{kT}\right)$

C_D = emitter- base diffusion capacitance

$= \frac{qI_F \tau_F}{kT}$

τ_F = forward base transit time

เนื่องจากศักดาที่เบส - อิมิตเตอร์ ($V_{B'E}$) มีค่าต่ำและค่อนข้างคงที่เมื่อเทียบกับ V_O ดังนั้น เพื่อความสะดวกในการวิเคราะห์ จึงละเลยในการพิจารณา $V_{B'E}$ ในเทอมสุดท้ายของสมการ ข.6

จาก $C_{CS} + C_L >> C_C$ ดังนั้น $I_C \approx I_F$

และ $\beta_F >> 1$ ดังนั้น $I_E \approx I_C$

จากรูปที่ ข.2

$$I_S \exp\left(\frac{qV_{B'E}}{kT}\right) \approx (C_{CS} + C_L)\frac{dV_O}{dt'} \qquad \text{(ข.7)}$$

เมื่อแทนลงในสมการ ข.7

$$I_{D(sat)} = \left[\frac{1}{\beta_F} + \frac{C_C}{C_{CS} + C_L} + \frac{q\tau_F}{kT}\left(1 + \frac{R_C C_C}{\tau_F}\right)\frac{dV_{B'E}}{dt'} \right] I_F \qquad (ข.8)$$

เมื่อ $\frac{dI_F}{dt'} = \frac{q}{kT} I_F \frac{dV_{B'E}}{dt'}$

กำหนดให้ $$\frac{1}{\beta_F^*} = \frac{1}{\beta_F} + \frac{C_C}{C_{CS} + C_L} \qquad (ข.9)$$

และ $$\tau_F^* = \tau_F + R_C C_C \qquad (ข.10)$$

เมื่อ β_F^* : effective current gain

τ_F^* : effective forward base transit time

ดังนั้นจากสมการ ข.8

$$I_{D(sat)} = \frac{1}{\beta_F^*} I_F + \tau_F^* \frac{dI_F}{dt'} \qquad (ข.11)$$

และมีผลเฉลยคือ

$$I_F(t') = \beta_F^* I_{D(sat)} \left[1 - \exp\left(-\frac{t'}{\beta_F^* \tau_F^*} \right) \right] \qquad (ข.12)$$

แทน สมการ ข.12 ลงในสมการ ข.7

$$\frac{dV_O}{dt'} = \frac{\beta_F^* I_{D(sat)}}{C_{CS} + C_L} \left[1 - \exp\left(-\frac{t'}{\beta_F^* \tau_F^*} \right) \right] \qquad (ข.13)$$

ทำการอินทิเกรตทั้งสองข้าง โดยมีเงื่อนไขขอบเริ่ม คือ $V_O(0) = 0$

$$V_O(t') = \frac{\beta_F^* I_{D(sat)}}{C_{CS} + C_L} \left\{ t' - \beta_F^* \tau_F^* \left[1 - \exp\left(-\frac{t'}{\beta_F^* \tau_F^*} \right) \right] \right\} \qquad (ข.14)$$

ดังนั้นเมื่อสิ้นสุดช่วงหน่วงเวลา T_2 หรือ $V_O(t' = t_2) = |V_{Th}| - V_{B'E(ON)}$; M1 เริ่มเปลี่ยนจากย่านอิ่มตัวเข้าสู่ย่านเชิงเส้น ปกติแล้วเวลาในช่วง T_2 นี้ เป็นช่วงเวลาสั้น ๆ ขึ้นกับค่าคงที่เวลา $\beta_F^* \tau_F^*$ และเพื่อให้ง่ายต่อการวิเคราะห์จากสมการ ข.14 ทำการประมาณเป็นสมการเชิงเส้นอันดับ 1 ด้วยการกระจายอนุกรมเทย์เลอร์

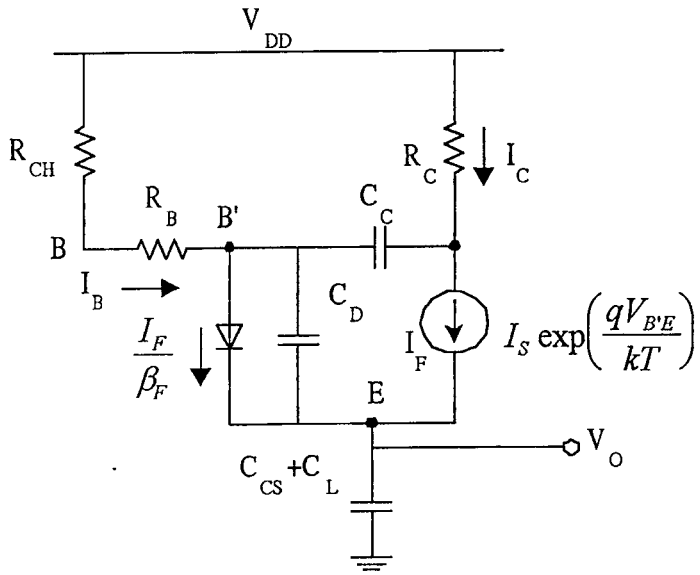
$$T_2 = t_2 - T_1 = \sqrt{2R_{CH}(C_{CS} + C_L)\tau_F^* \frac{|V_{Th}| - V_{B'E(ON)}}{V_{DD} - |V_{Th}|}} \qquad (ข.15)$$

สำหรับกรณีที่ $|V_{Th}| \le V_{B'E(ON)}$ หลังจากช่วงเวลา T_1 ทรานซิสเตอร์ M1 จะเข้าสู่การทำงานในย่านเชิงเส้น ดังนั้นช่วงหน่วงเวลา $T_2 = 0$

3. ช่วงหน่วงเวลา T_3

ช่วงเวลานี้ Q1 เริ่มนำกระแส ในขณะที่ M1 เข้าสู่การทำงานในย่านเชิงเส้น โดยมี V_{GS} คงที่ ดังนั้นมอสทรานซิสเตอร์ M1 จึงถูกแทนด้วย ความต้านทาน R_{CH} (equivalent channel resistance)

รูปที่ ข.3 วงจรสมมูลย์ในช่วงเวลา T_3



จากรูปที่ ข.3

$$I_B = \frac{V_{DD} - V_{B'E} - V_O}{R_{CH} + R_B}$$

$$= \frac{I_F}{\beta_F} + C_D \frac{dV_{B'E}}{dt''} + C_C \frac{d}{dt''}(V_{B'E} + V_O - V_{DD} + I_C R_C) \qquad (ข.16)$$

เมื่อ $t'' = t - t_2$ และด้วยเงื่อนไขเดียวกับช่วงเวลา T_2 ดังนั้น

$$\frac{I_F}{\beta_F}+\frac{qI_F}{kT}(\tau_F+R_CC_C)\frac{dV_{B'E}}{dt''}+\frac{V_O}{R_{CH}+R_B}+C_C\frac{dV_O}{dt''}=\frac{V_{DD}-V_{B'E}}{R_{CH}+R_B} \qquad \text{(ข.17)}$$

เนื่องจาก $V_{B'E}$ มีค่าค่อนข้างคงที่ เมื่อเทียบกับ V_{DD} ดังนั้นสมการในด้านขวามือจึงกำหนดให้ $V_{B'E}\approx V_{BE(ON)}$ และจาก

$$I_F=I_S\exp\left(\frac{qV_{B'E}}{kT}\right)\approx I_C$$

$$=C_L^*\frac{dV_O}{dt''}$$

$$\frac{dI_F}{dt''}=\frac{qI_F}{kT}\frac{dV_{B'E}}{dt''}\approx C_L^*\frac{d^2V_O}{(dt'')^2} \qquad \text{(ข.18)}$$

เมื่อ $C_L^*=C_L+C_{CS}$

แทนในสมการ ข.17

$$\tau_F^*\frac{d^2V_O}{(dt'')^2}+\frac{1}{\beta_F^*}\frac{dV_O}{dt''}+\frac{V_O}{(R_{CH}+R_B)C_L^*}=\frac{V_{DD}-V_{BE(ON)}}{(R_{CH}+R_B)C_L^*} \qquad \text{(ข.19)}$$

ซึ่งมีผลเฉลย คือ

$$V_O(t'')=A\exp(m_1t'')+B\exp(m_2t'')+V_{DD}-V_{BE(ON)} \qquad \text{(ข.20)}$$

เมื่อ

$$m_1,m_2=-\frac{1}{2\beta_F^*\tau_F^*}\pm\frac{1}{T_0}\sqrt{\left(\frac{T_0}{2\beta_F^*\tau_F^*}\right)^2-1}$$

และ

$$T_0=\sqrt{(R_{CH}+R_B)C_L^*\tau_F^*}$$

โดยทั่วไปแล้ว $2\beta_F^*\tau_F^*>>T_0$ ดังนั้น ค่าราก m1 และ m2 จึงมีค่าเป็นค่าเชิงซ้อน และจากสมการ ข.21

$$V_O(t'')=\left[C\sin\left(\frac{t''}{T}\right)+D\cos\left(\frac{t''}{T}\right)\right]\exp\left(-\frac{t''}{2\beta_F^*\tau_F^*}\right)+V_{DD}-V_{BE(ON)} \qquad \text{(ข.22)}$$

เมื่อ , $T=\dfrac{T_0}{\sqrt{1-\left(T_0/2\beta_F^*\tau_F^*\right)}}$

โดยมีขอบเขตเริ่ม t'' = 0 คือ $V(t=t_2)=|V_{Th}|-V_{BE(ON)}$ ดังนั้น

$$D=-(V_{DD}-|V_{TH}|)$$

และขอบเขตเริ่ม $I_C(t')\big|_{t'=t_2}=I_C(t'')\big|_{t''=t_2}$

$$C_L^*\frac{dV_O(t=t_2)}{dt'}\bigg|_{t'=T_2}=C_L^*\frac{dV_O(t=t_2)}{dt''}\bigg|_{t''=0}$$

$$\beta_F^* I_{D(sat)}\left(1-\exp\left(-\frac{t'}{\beta_F^*\tau_F^*}\right)\right)=\frac{C}{T}-\frac{D}{2\beta_F^*\tau_F^*} \qquad \text{(ข.23)}$$

เมื่อประมาณเชิงเส้นด้วย Taylor's series ในสมการด้านซ้ายในช่วงเวลา T_2

$$\frac{I_{D(sat)}\cdot(T_2)}{\tau_F^*}=\frac{C}{T}+\frac{(V_{DD}-|V_{Th}|)}{2\beta_F^*\tau_F^*} \qquad \text{(ข.24)}$$

ดังนั้น เมื่อแทนค่า T และ T_2 ลงในสมการ ข.24

$$C=\frac{(V_{DD}-|V_{Th}|)}{\sqrt{1-(T_0/2\beta_F^*\tau_F^*)}}\left[\frac{T_0}{2\beta_F^*\tau_F^*}-\sqrt{2\left(1+\frac{R_B}{R_{CH}}\right)\frac{|V_{Th}|-V_{BE(ON)}}{V_{DD}-|V_{Th}|}}\right] \qquad \text{(ข.25)}$$

จากผลเฉลยและค่าคงที่ซึ่งได้จากเงื่อนไขขอบเขตข้างต้น จะพบว่ามีค่าซับซ้อนยากต่อการวิเคราะห์และนำมาใช้ในพัฒนาปรับปรุงวงจร แต่เมื่อย้อนกลับไปพิจาณาการทำงานในช่วง T_2 ซึ่งเป็นช่วงเวลาสั้น ๆ เมื่อเทียบกับช่วงหน่วงเวลาทั้งหมด และเป็นช่วงที่ V_O เปลี่ยนจาก 0V จนมีค่า $|V_{Th}|-V_{BE(ON)}$ ดังนั้น สำหรับวงจรไบซีมอสความเร็วสูงค่าศักดาเทรดโฮลด์ของมอสทรานซิสเตอร์มีค่าต่ำและใกล้เคียงกับ $V_{BE(ON)}$ ดังนั้นเพื่อให้ง่ายต่อการวิเคราะห์ จึงทำการกำหนดเงื่อนไขขอบเสียใหม่ โดยขยายช่วงหน่วงเวลา T_3 ให้ครอบคลุมช่วงเวลา T_2 ($T_2 \cong 0$) ดังนั้น ขอบเขตใหม่คือ $V_O(t=t_1)=0$ และ $I_C(t=t_1)=0$ จะได้

$$C=-(V_{DD}-V_{BE(ON)})\frac{T}{2\beta_F^*\tau_F^*} \qquad \text{(ข.26)}$$

ดังนั้นผลเฉลยสมบูรณ์ของสมการ ข.22 คือ

$$V_O(t'') = (V_{DD} - V_{BE(ON)})\left\{1 - \left[\cos\left(\frac{t''}{T}\right) + \frac{T}{2\beta_F^*\tau_F^*}\sin\left(\frac{t''}{T}\right)\right]\exp\left(-\frac{t''}{2\beta_F^*\tau_F^*}\right)\right\} \quad \text{(ข.27)}$$

และจาก $I_C = C_L^*\dfrac{dV_O}{dt''}$

$$I_C(t'') = C_L^*(V_{DD} - V_{BE(ON)})\sin\left(\frac{t''}{T}\right)\exp\left(\frac{-t''}{2\beta_F^*\tau_F^*}\right)\cdot\left[\frac{1}{T} + \frac{T}{(2\beta_F^*\tau_F^*)^2}\right] \quad \text{(ข.28)}$$

ดังนั้นช่วงหน่วงเวลา T_3 หาได้จากช่วงเวลาซึ่ง $V_O = V_S = 2.5V$ หรือเมื่อ I_C มีค่าสูงสุด

$\dfrac{\partial I_C}{\partial t''} = 0$

$$T_3 = T\tan^{-1}\left(\frac{2\beta_F^*\tau_F^*}{T}\right) \quad \text{(ข.29)}$$

และจาก $2\beta_F^*\tau_F^* >> T$ ดังนั้นจากการประมาณ สมการ ข.29

$$T_3 \approx \frac{\pi}{2}T = \frac{\pi}{2}\frac{T_0}{\sqrt{1-\left(T_0/2\beta_F^*\tau_F^*\right)}} \quad \text{(ข.30)}$$

4. ค่าหน่วงเวลารวม

จากการประมาณโดยการขยายช่วง T_3 ให้ครอบคลุม T_2 ดังนั้นค่าหน่วงเวลาทั้งหมดของวงจรไบซีมอสอินเวอร์เตอร์จึงมีค่าเท่ากับ $t_d = T_1 + T_3$

$$T_D = R_{CH}(C_E + C_C)\frac{V_{BE(ON)}}{V_{DD} - |V_{Th}|} + \frac{\pi}{2}\frac{T_0}{\sqrt{1-(T_0/2\beta_F^*\tau_F^*)^2}} \quad \text{(ข.31)}$$

และจาก $2\beta_F^*\tau_F^* >> T_0$

$$T_D = R_{CH}(C_E + C_C)\frac{V_{BE(ON)}}{V_{DD} - |V_{Th}|} + \frac{\pi}{2}\sqrt{R_{CH}C_L^*\tau_F^*} \quad \text{(ข.32)}$$

ภาคผนวก ค

โปรแกรม PSpice ที่ใช้ในการวิเคราะห์

- วงจรไบซีมอสอินเวอร์เตอร์ รูปที่ 2.3

```
* Schematics Netlist *

V_V1      vdd 0  DC 5
Q_Q19     vdd $N_0001 vout1 NPN
Q_Q20     vout1 $N_0002 0 NPN
M_M65     $N_0001 Vin1 vdd vdd PMOS (w=4u l=0.8U)
V_V11     Vin1 0  DC 5
R_R1      0 $N_0002 500
R_R2      $N_0001 vout1 500
M_M67     $N_0001 Vin1 $N_0002 $N_0002 NMOS(w=4u l=0.8u)

* Analysis setup **
.DC LIN V_V11 0 5 0.1
.OP
```

- วงจรปรับระดับสัญญาณ ในรูปที่ 2.22

```
* Schematics Netlist *

V_V10    Vin 0  PULSE 0 5 30n 2.5N 2.5N 12N 60n
M_M72    Vin_Bicmos Vin vL vL NMOS(l=0.8u w= 2u)
M_M73    Vin_Bicmos Vin vH vH PMOS(l=0.8u w=4u)
M_M74    vout1 Vin_Bicmos $N_0001 $N_0001 NMOS(l=0.8u w= 2u)
M_M76    vout1 Vin_Bicmos $N_0002 $N_0002 PMOS(l=0.8u w=4u)
Q_Q33    vdd Vin vH NPN
V_V12    vss 0 dc
+ {vdc} ac 0
V_V13    vdd 0 dc 5 ac 0
Q_Q34    vdd vdd vH NPN
Q_Q35    vout1 $N_0001 0 NPN
Q_Q36    vL vL 0 NPN
Q_Q38    vout1 $N_0002 vdd pnp_ie92
V_V14    clk2 0
+PULSE 5 0 30n 2.5N 2.5N 12N 60n
C_C6     vout1 0 1p
M_M79    $N_0001 vout1 vss vss NMOS(l=0.8u w= 2u)
M_M80    $N_0002 vout1 vH vH PMOS(l=0.8u w=2u)

.PARAM   vdc=0

** Analysis setup **
.tran 20ns 120n
.STEP LIN PARAM vdc 0 1 0.2
.OP
```

- วงจรปรับระดับสัญญาณ ในรูปที่ 2.22

```
* Schematics Netlist *

M_M1     $N_0001 vout 0 0 NMOS(w=1u l=0.8u)
M_M2     vout $N_0001 0 0 NMOS(w=1u l=0.8u)
M_M3     vin vout $N_0002 $N_0002 NMOS(w=0.8u l=0.8u)
M_M4     vin $N_0004 $N_0003 $N_0003 NMOS(w=2u l=0.8u)
M_M5     vin vout $N_0004 $N_0004 PMOS(w=4u l=0.8u)
M_M6     $N_0003 vout vdd vdd PMOS(w=4u l=0.8u)
M_M7     vout $N_0003 vdd vdd PMOS(w=4u l=0.8u)
M_M8     $N_0001 $N_0002 vin vin PMOS(w=8u l=0.8u)
V_V1     vdd 0  DC 5
V_V2     vin 0
+PULSE 0.8 4.2 0 2.5N 2.5N 10N 40N
D_D1     vdd $N_0004 D1N4001
D_D2     $N_0002 0 D1N4001

** Analysis setup **
.tran 10ns 50ns
.OP
```

- วงจรไบซีมอสไดนามิกแลทช์ ในรูปที่ 3.5

```
* Schematics Netlist *

V_V1     $N_0001 0  DC 5
V_V4     CLK1 0
+PULSE 0 5 0 2.5N 2.5N 10N 40N
V_V7     Vin 0
+PULSE 0 5 -40n 2.5N 2.5N 10N 80N
Q_Q8     Vout $N_0002 0 NPN
R_R1     0 BiC_Pd 1000g
C_C7     0 BiC_Pd 1n
F_F1     0 BiC_Pd VF_F1 .000125
VF_F1    $N_0001 vdd 0V
C_C3     0 Vout 2p
M_M23    Vin1 CLK1 Vin Vin NMOS(w=4u l=0.8u)
M_M24    $N_0003 Vin1 0 0 NMOS(w=2u l=0.8u)
M_M25    $N_0003 Vin1 vdd vdd PMOS(w=4u l=0.8u)
M_M26    $N_0002 $N_0003 0 0 NMOS(w=2u l=0.8u)
M_M27    Vout Vin1 $N_0002 $N_0002 NMOS(w=4u l=0.8u)
Q_Q13    vdd $N_0003 Vout NPN

.PARAM   var=1p

** Analysis setup **
.tran 20N 100n UIC
.OPTIONS LIBRARY
.OPTIONS NOPAGE
.STEP LIN PARAM var 150 900 150
```

- วงจรไบซีมอสสแตติกแลทช์ ในรูปที่ 3.10

```
* Schematics Netlist *

V_V4     CLK1 0  PULSE 0 5 0 1N 1N 8N 20N
V_V7     Vin 0   PULSE 0 5 0 1N 1N 8N 40N
M_M23    $N_0002 $N_0001 vdd vdd PMOS(W=4u l=0.8u)
M_M26    $N_0003 $N_0002 0 0 NMOS(w=2u l=0.8u)
M_M27    $N_0002 $N_0001 0 0 NMOS(w=2u l=0.8u)
M_M28    $N_0001 CLK1 Vin Vin NMOS(w=4u l=0.8u)
M_M29    Vout $N_0001 $N_0003 $N_0003 NMOS(w=4u l=0.8u)
Q_Q13    vdd $N_0002 Vout NPN
Q_Q14    Vout $N_0003 0 NPN
M_M30    $N_0001 Vout vdd vdd PMOS(W=4u l=
+ {var})
M_M31    $N_0001 Vout 0 0 NMOS(w=2u l=0.8u)
C_C7     0 Vout 1p
V_V9     $N_0004 0  DC 5
R_R1     0 BiC_Pd 1000g
C_C8     0 BiC_Pd 1n
F_F1     0 BiC_Pd VF_F1 .000125
VF_F1    $N_0004 vdd 0V

.PARAM   var=0.8u

** Analysis setup **
.tran 20N 50n UIC
.OPTIONS LIBRARY
.OPTIONS NOPAGE
.STEP LIN PARAM var 0.8u 3.2u 0.4u
```

ตารางที่ ค.1 ทรานซิสเตอร์พารามิเตอร์ เทคโนโลยีไบซีมอส ขนาด 0.8 ไมครอน

NMOS	LEVEL=2 VTO=0.8 Uo=500 TOX=250E-10 NSUB=1E16 XJ=0.2U LD=0.15U CGSO=350P CGDO=350P CJ=0.33E-3
PMOS	LEVEL=2 VTO=-0.8 Uo=250 TOX=250E-10 NSUB=5E16 XJ=0.2U LD=0.15U CGSO=350P CGDO=350P CJ=0.33E-3
NPN Bipolar	Is=1E-17 BF=100 TF=20E-12 IKF=2E-3 BR=8 TR=400E-12 RE=15 RB=200 RC=150 ITF=40E-3 VTF=3 XTF=100 CJE=15E-15 CJC=20E-15 CJS=80E-15 A_E= 5 * 5 (μm^2)

ประวัติผู้เขียน

นาย สมปอง วิเศษพานิชกิจ เกิดเมื่อวันที่ 26 กันยายน 2517 จังหวัด กรุงเทพฯ สำเร็จการศึกษาวิศวกรรมศาสตร์บัณฑิต สาขาอิเลคทรอนิคส์ จากสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2538 ผลงานที่ได้รับการตีพิมพ์

1. สมปอง วิเศษพานิชกิจ และ กอบชัย เดชหาญ, "การออกแบบและเลียนแบบการทำงานของไดนามิกและสแตติกแลทช์ด้วยเทคโนโลยีไบซีมอส," การประชุมวิชาการทางวิศวกรรมไฟฟ้าครั้งที่ 20 ณ โรงแรมโซลทวิน ทาวเวอร์ วันที่ 13-14 พฤษจิกายน 2540