

การออกแบบวงจรรวมซีมอสสำหรับถอดรหัสบัตรแม่เหล็ก

CMOS INTEGRATED CIRCUIT DESIGN FOR MAGNETIC CARD DECODER



ชาญวิทย์ เดชะดวง
CHANWIT DEJASVANONG

วิทยานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2541

ISBN 974-622-216-3

เลขหม.....

เลขทะเบียน..... 30958

วัน, เดือน, ปี ๔ ก.ย. 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**CMOS INTEGRATED CIRCUIT DESIGN FOR MAGNETIC CARD
DECODER**



**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE
MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

1998

ISBN 974-622-216-3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 1998

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ของโรงเรียนพระจอมเกล้าเจ้าคุณทหารลาดกระบัง เพื่อเผยแพร่ในวงจำกัดภายใต้เงื่อนไขการใช้งาน
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การออกแบบวงจรรวมชิมอสสำหรับถอดรหัสบัตรแม่เหล็ก
นักศึกษา	ชาญวิทย์ เดชอัศวนง
อาจารย์ผู้ควบคุมวิทยานิพนธ์	ผศ. พลผดุง ผดุงกุล
หลักสูตร	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2541

บทคัดย่อ

วิทยานิพนธ์นี้นำเสนอการออกแบบวงจรรวมชิมอสสำหรับถอดรหัสบัตรแม่เหล็กที่ใช้กับการรูดบัตรแม่เหล็กด้วยมือและเครื่องอัตโนมัติ สัญญาที่อ่านได้จากบัตรเป็นสัญญามาตรฐาน ISO 7811/2 เป็นสัญญาสองความถี่ที่มีเฟสตรงกัน โดยหลักการพื้นฐานจะนำขอบของสัญญา ISO จากบัตรแม่เหล็กมาสร้างสัญญาแรมป์ (Ramp) แล้วนำแรงดันมาเปรียบเทียบเพื่อแยกความกว้างของสัญญาทำให้ได้ข้อมูลที่ต้องการ โดยการถอดรหัสจากสัญญา ISO ที่ได้จากการรูดด้วยมือ จะถอดออกเป็นสามสัญญาเอาท์พุทคือ สัญญาข้อมูล สัญญานาฬิกา และสัญญาเริ่มต้นรูดบัตร การออกแบบอาศัยวงจรพื้นฐานแบบต่างๆมาประกอบกัน โดยใช้เทคโนโลยี CMOS ใช้กับแหล่งจ่ายไฟ 5 โวลต์ การทำงานของวงจรยืนยันโดยการจำลองด้วยโปรแกรม PSpice พบว่าสามารถถอดรหัสได้ถูกต้องทั้งช่วงความเร็วในการรูดบัตรสูงและต่ำ และนำวงจรที่ได้มาเขียน Layout ด้วยโปรแกรม L-Edit แล้วทำการจำลองผลจาก Layout อีกครั้งด้วยโปรแกรม T-Spice เพื่อเป็นการยืนยันวงจรที่ทำการออกแบบว่าสามารถนำไปผลิตได้จริง

Thesis Title	CMOS Integrated Circuit Design for Magnetic Card Decoder
Student	Chanwit Dejasvanong
Thesis Advisor	Asst.Prof.Polphadung Phadungkul
Degree	Master of Engineering in Electrical Engineering
Year	1998

Abstract

This thesis present a CMOS integrated eircuit design for magnetic card decoder which is applicable to draw by hand and automatic machine. The data signal in magnetic card is used the two frequency coherent phase encoding which is the standard ISO 7811/2. The basic of data decoder is using edge of ISO signal from magnetic card to generate ramp signal. By comparing the peak voltage of ramp signal and the reference voltage of the lead pulse signal, we can separate the pulse width of ISO signal, so that the data will be decoded. Decoder provides three output signals, i.e., data, clock and start data signals. The designed circuit comprises of many basic circuits by using CMOS technology and 5 V supply voltage. From the simulation results base on P-Spice program, we found that the designed circuit can decode the data correctly in wide range of drawing card speed. After that L-Edit program is used to layout the integrated circuit pattern of the designed decoder. By using T-Spice program to simulate the results from the layout pattern, the reslts confirm that the designed pattern work correctly and it make sure that the pattern of the designed decoder can sent to the real fabrication.

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงได้อย่างดี ด้วยคำแนะนำและคำปรึกษาในหลายๆ ด้านจาก ผศ.พลผดุง ผดุงกุล ซึ่งเป็นอาจารย์ผู้ควบคุมวิทยานิพนธ์ผู้วิจัยผู้ศึกษาซึ่งในความอนุเคราะห์จาก ท่านและขอกราบขอบพระคุณเป็นอย่างสูง

ขอขอบคุณ พี่ๆ , เพื่อนๆ และ น้องๆ ทุกคนที่ให้กำลังใจโดยตลอดมา

คุณค่าและประโยชน์อันพึงมีจากวิทยานิพนธ์ฉบับนี้ ผู้วิจัยขอมอบแด่ผู้มีพระคุณทุกท่าน



ชาญวิทย์ เศษสุวรรณ

สารบัญ


	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VII
สารบัญภาพ.....	VIII
บทที่ 1 บทนำ.....	1
1.1 รายละเอียดของวิทยานิพนธ์.....	2
บทที่ 2 บัตรแม่เหล็ก.....	3
2.1 คุณสมบัติของบัตรแม่เหล็ก.....	3
2.1.1 ตำแหน่งแท่งของบัตรแม่เหล็ก.....	3
2.1.2 ชุดรหัสข้อมูล.....	4
2.1.2.1 แท่งที่ 1.....	4
2.1.2.2 แท่งที่ 2.....	6
2.1.2.3 แท่งที่ 3.....	7
2.1.3 รูปแบบข้อมูลที่บันทึกบนบัตรแม่เหล็ก.....	7
2.1.4 การตรวจสอบความถูกต้องของข้อมูลด้วย LRC.....	8
2.2 การบันทึกข้อมูลบนบัตรแม่เหล็ก.....	9
2.2.1 รูปแบบของการบันทึกข้อมูลบนบัตรแม่เหล็ก.....	9
2.2.2 วงจรพื้นฐานสำหรับการบันทึกข้อมูลบนบัตรแม่เหล็ก.....	10
2.3 วงจรพื้นฐานสำหรับการอ่านสัญญาณมาตรฐาน ISO บนบัตรแม่เหล็ก.....	11

สารบัญ (ต่อ)

	หน้า
2.4 การถอดสัญญาณข้อมูลจากสัญญาณรูปเหลี่ยม.....	12
บทที่ 3 การออกแบบวงจร.....	14
3.1 โครงสร้างพื้นฐานโดยรวมของวงจรลอจิกสับตัวแม่เหล็ก.....	14
3.2 วงจรเกตพื้นฐานที่นำมาใช้ในวงจรส่วนต่างๆมีดังนี้.....	17
3.3 วงจรสะท้อนกระแส.....	21
3.4 วงจรสร้างสัญญาณแรมพ์.....	24
3.5 วงจร Monostable Retriggerable.....	26
3.6 วงจรสร้างพัลส์ที่ขอบสัญญาณ ISO.....	27
3.7 วงจรเปรียบเทียบ Comparator	31
3.8 วงจร Analog Switch	34
3.9 วงจร Peak Detector.....	36
3.10 วงจร Adaptive Reference Voltage.....	39
บทที่ 4 การออกแบบ LAYOUT โดยใช้โปรแกรม L-Edit	43
4.1 กฎการออกแบบ.....	43
4.2 การเขียน LAYOUT จากวงจรที่ออกแบบ.....	44
4.3 อุปกรณ์พาสซีฟ	54
บทที่ 5 การทดสอบวงจรที่ออกแบบ.....	57
5.1 การซิมูเลชันโดยใช้โปรแกรม PSpice จาก Schematic.....	58
5.2 ผลการซิมูเลชันด้วยโปรแกรม PSpice.....	59
5.3 การซิมูเลชันโดยใช้โปรแกรม T-Spice จาก Layout	81

สารบัญ (ต่อ)

	หน้า
5.4 ผลการชิมเลชั่นด้วยโปรแกรม T-Spice.....	82
บทที่ 6 บทสรุป.....	110
บรรณานุกรม.....	112
ภาคผนวก ก โปรแกรม L-Edit.....	113
ภาคผนวก ข กฎการออกแบบ.....	129
ภาคผนวก ค โปรแกรม PSpice.....	140
ประวัติผู้เขียน.....	148



สารบัญตาราง

ตารางที่	หน้า
2.1 ชุดรหัสข้อมูลสำหรับแตร็คที่ 1.....	5
2.2 ชุดรหัสข้อมูลสำหรับแตร็คที่ 2 และ 3.....	7
3.1 แสดงค่าของอุปกรณ์ที่ใช้ในวงจรเรมพ์.....	25
3.2 แสดงค่าของอุปกรณ์ที่ใช้ในวงจร Monostable Retrigable.....	27
3.3 แสดงค่าของอุปกรณ์ที่ใช้ในวงจร Edge Detector.....	29
3.4 แสดงค่าของอุปกรณ์ที่ใช้ในวงจร Comparator.....	35
3.5 แสดงค่าของอุปกรณ์ที่ใช้ในวงจร Peak.....	38
3.6 ค่าของอุปกรณ์ที่ใช้ในวงจรรักษาแรงดัน.....	40
3.7 ค่าของอุปกรณ์ที่ใช้ในวงจรบัฟเฟอร์และวงจรแบ่งแรงดัน.....	41
4.1 สัญญาณ ณ ตำแหน่งของ Pad ต่างๆ ที่จะต้องต่อกับภายนอก.....	45
5.1 แสดงบิตข้อมูลที่อ่านได้จากบัตรแม่เหล็กที่นำมาเก็บสัญญาณ ISO.....	58
6.1 ข้อมูลทางไฟฟ้าของวงจรถอดรหัสบัตรแม่เหล็ก.....	111
6.2 ข้อมูลของวงจรถอดรหัสบัตรแม่เหล็ก.....	111
ก.1 แสดง Library ของ Standard Cell ที่นำมาใช้ในการออกแบบ.....	106

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และ VII ต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญญภาพ

ภาพที่	หน้า
2.1 แสดงขนาดของบัตรแม่เหล็ก.....	3
2.2 แสดงตำแหน่งแทร็คต่าง ๆ ของบัตรแม่เหล็ก.....	4
2.3 แสดงรูปแบบและตัวอย่างของข้อมูลของแทร็คที่ 2.....	8
2.4 แสดงการตรวจสอบ LRC.....	9
2.5 แสดงรูปแบบของการบันทึกข้อมูลบนบัตรแม่เหล็ก.....	9
2.6 แสดงวงจรพื้นฐานสำหรับการบันทึกข้อมูลบนบัตรแม่เหล็ก.....	10
2.7 แสดงสัญญาณการทำงานของวงจรพื้นฐานสำหรับการบันทึกข้อมูลบนบัตรแม่เหล็ก.....	11
2.8 แสดงส่วนประกอบของวงจรพื้นฐานสำหรับสร้างสัญญาณรูปแบบ ISO จากแถบบัตรแม่เหล็ก.....	11
2.9 แสดงวงจรขยายสัญญาณแรงดันไฟฟ้าสำหรับการอ่านข้อมูลบัตรแม่เหล็ก.....	12
2.10 แสดงวงจรเลื่อนเฟสและวงจรเปรียบเทียบสัญญาณแรงดัน.....	12
2.11 แสดงแผนภาพการแยกสัญญาณข้อมูลและสัญญาณนาฬิกาจากสัญญาณ ISO.....	13
2.12 แสดงรูปแบบสัญญาณการถอดรหัสสัญญาณข้อมูลและสัญญาณนาฬิกาจากสัญญาณ ISO.....	13
3.1 แสดงแผนผังวงจรถอดรหัส.....	15
3.2 แสดงแผนผังเวลาของวงจรถอดรหัส.....	15
3.3 แสดงสัญลักษณ์ของเกตและวงจรภายใน a. วงจรอินเวอร์เตอร์ b. วงจรบัฟเฟอร์.....	17
3.4 แสดงสัญลักษณ์ของเกตและวงจรภายใน a. วงจร NOR b. วงจร OR.....	18
3.5 แสดงสัญลักษณ์ของเกตและวงจรภายใน a. วงจร NAND b. วงจร AND.....	19
3.6 แสดงสัญลักษณ์ของ NOR GATE 3 Input และวงจรภายใน.....	20
3.7 แสดงวงจร T Flip-flop และแผนผังเวลา.....	20
3.8 แสดงวงจรควบคุมและแผนผังเวลา.....	21
3.9 แสดงวงจรสะท้อนกระแส.....	22
3.10 แสดงการนำวงจรสะท้อนกระแสมาใช้ในวงจรต่าง ๆ และแผนผังเวลา.....	23
3.11 แสดงวงจรสร้างสัญญาณแรมพ์และแผนผังเวลา.....	24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา VIII ต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ (ต่อ)

ภาพที่	หน้า
3.12 แสดงวงจร Monostable Retrigrable และแผนผังเวลา.....	26
3.13 แสดงวงจร Edge Detector.....	28
3.14 แสดงแผนผังเวลาของวงจร Edge Detector.....	30
3.15 แสดงวงจรเปรียบเทียบ Comparator.....	31
3.16 แสดงวงจรขยายผลต่างภาคแรกของวงจรเปรียบเทียบ Comparator.....	31
3.17 แสดง Small - signal model ของวงจรขยายผลต่างภาคแรกของวงจรเปรียบเทียบ Comparator a. Small - signal model b. แบบย่อ.....	33
3.18 แสดงวงจรขยายภาคที่สองและ Small - signal model ของวงจรเปรียบเทียบ Comparator.....	34
3.19 แสดง NMOS Switch.....	36
3.20 แสดงวงจร CMOS Switch.....	37
3.21 แสดงวงจร Peak Detector และแผนผังเวลา.....	37
3.22 แสดงวงจรรักษาระงัดและแผนผังเวลา.....	39
3.23 แสดงวงจรบัฟเฟอร์.....	40
3.24 แสดงวงจรแบ่งแรงดัน (a) โดยใช้ไดโอด (b) โดยใช้มอสทรานซิสเตอร์.....	42
4.1 กฎการออกแบบ Layout.....	43
4.2 แสดงสัญลักษณ์ของเกตและวงจรภายใน a. วงจรอินเวอร์เตอร์ b. วงจรบัฟเฟอร์.....	44
4.3 แสดงสัญลักษณ์ของเกตและวงจรภายใน a. วงจร NOR b. วงจร OR.....	44
4.4 แสดงสัญลักษณ์ของ NAND ,AND GATE 2 Input และรูปแบบของ Layout.....	45
4.5 แสดงสัญลักษณ์ของ NOR GATE 3 Input และรูปแบบของ Layout.....	45
4.6 แสดง Layout ของวงจรถอดรหัสบัตรแม่เหล็ก.....	46
4.7 แสดงตำแหน่งของวงจรและ Pad บน Layout ของวงจรถอดรหัสบัตรแม่เหล็ก.....	47
4.8 แสดง Layout และแผนภาพของวงจร Edge Detector.....	48
4.9 แสดง Layout และแผนภาพของวงจร Ramp.....	49
4.10 แสดง Layout และแผนภาพของวงจร Monostable Retrigrable.....	50

สารบัญภาพ (ต่อ)

ภาพที่	หน้า
4.11 แสดง Layout และแผนภาพของวงจร Peak , วงจรควบคุม , วงจรรักษาแรงดัน.....	51
4.12 แสดง Layout และแผนภาพของวงจร T Flip-flop.....	52
4.13 แสดง Layout ของวงจรเปรียบเทียบ (C1,C2,C3)และวงจรแรงดันอ้างอิงส่วนของบัฟเฟอร์..	53
4.14 แสดงการคำนวณค่าตัวต้านทานจาก Layout.....	54
4.15 แสดง Layout ของตัวต้านทาน 14.2 k Ω	54
4.16 แสดง Layout ของตัวเก็บประจุ.....	56
5.1 สัญญาณจากการซิมูเลชันวงจร T-FlipFlop.....	58
5.2 สัญญาณจากการซิมูเลชันวงจร Control.....	59
5.3 สัญญาณจากการซิมูเลชันวงจร Ramp.....	60
5.4 สัญญาณจากการซิมูเลชันวงจร Monostable Retrigrable.....	61
5.5 สัญญาณจากการซิมูเลชันวงจร Edge Detector.....	62
5.6 สัญญาณจากการซิมูเลชันวงจร Comparator.....	63
5.7 สัญญาณจากการซิมูเลชันวงจร Adptive Reference Voltage.....	64
5.8 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่เริ่มต้นจนถึงสิ้นสุดการรูดบัตร.....	66
5.9 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 0 ถึง 45 ms.....	67
5.10 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 45 ms ถึง 90 ms.....	68
5.11 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 90 ms ถึง 135 ms.....	69
5.12 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่เริ่มต้นจนถึงสิ้นสุดการรูดบัตร.....	71
5.13 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 0 ms ถึง 20 ms.....	72
5.14 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 20 ms ถึง 40 ms.....	73
5.15 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 40 ms ถึง 60 ms.....	74
5.16 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่เริ่มต้นจนถึงสิ้นสุดการรูดบัตร.....	76
5.17 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 0 ms ถึง 15 ms.....	77
5.18 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 15 ms ถึง 30 ms.....	78

สารบัญญภาพ (ต่อ)

ภาพที่	หน้า
5.19 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 30 ms ถึง 45 ms.....	79
5.20 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 0 ms ถึง 10 ms.....	83
5.21 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 9 ms ถึง 20 ms.....	83
5.22 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 9 ms ถึง 30 ms.....	84
5.23 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 30 ms ถึง 39 ms.....	84
5.24 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 39 ms ถึง 46 ms.....	85
5.25 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 46 ms ถึง 54 ms.....	85
5.26 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 54 ms ถึง 60 ms.....	86
5.27 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 60 ms ถึง 67 ms.....	86
5.28 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 67 ms ถึง 74 ms.....	87
5.29 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 74 ms ถึง 81 ms.....	87
5.30 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 81 ms ถึง 88 ms.....	88
5.31 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 88 ms ถึง 94 ms.....	88
5.32 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 94 ms ถึง 100 ms.....	89
5.33 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 100 ms ถึง 105 ms.....	89
5.34 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 105 ms ถึง 112 ms.....	90
5.35 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 112 ms ถึง 125 ms.....	90
5.36 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 0 ms ถึง 5 ms.....	92
5.37 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 5 ms ถึง 8.5 ms.....	92
5.38 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 8.5 ms ถึง 12 ms.....	93
5.39 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 12 ms ถึง 15.5 ms.....	93
5.40 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 15.5 ms ถึง 18.5 ms.....	94
5.41 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 18.5 ms ถึง 21.5 ms.....	94
5.42 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 21.5 ms ถึง 24 ms.....	95

สารบัญญภาพ (ต่อ)

ภาพที่	หน้า
5.43 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 24 ms ถึง 26.5 ms.....	95
5.44 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 26.5 ms ถึง 29 ms.....	96
5.45 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 29 ms ถึง 32 ms.....	96
5.46 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 32 ms ถึง 34.5 ms.....	97
5.47 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 34.5 ms ถึง 36.5 ms.....	97
5.48 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 36.5 ms ถึง 39 ms.....	98
5.49 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 39 ms ถึง 40.5 ms.....	98
5.50 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 40.5 ms ถึง 43 ms.....	99
5.51 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 43 ms ถึง 53 ms.....	99
5.52 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 0 ms ถึง 2.7 ms.....	101
5.53 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 2.7 ms ถึง 5.4 ms.....	101
5.54 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 5.4 ms ถึง 7.5 ms.....	102
5.55 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 7.5 ms ถึง 9.5 ms.....	102
5.56 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 9.5 ms ถึง 11.6 ms.....	103
5.57 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 11.6 ms ถึง 13.7 ms.....	103
5.58 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 13.7 ms ถึง 16 ms.....	104
5.59 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 16 ms ถึง 17.4 ms.....	104
5.60 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 17.4 ms ถึง 19.2 ms.....	105
5.61 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 19.2 ms ถึง 21 ms.....	105
5.62 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 21 ms ถึง 22.8 ms.....	106
5.63 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 22.8 ms ถึง 24.4 ms.....	106
5.64 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 24.4 ms ถึง 25.8 ms.....	107
5.65 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 25.8 ms ถึง 27 ms.....	107
5.66 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 27 ms ถึง 28 ms.....	108

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

สารบัญภาพ (ต่อ)

ภาพที่	หน้า
5.67 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 28 ms ถึง 38 ms.....	108
ก.1 แสดงขั้นตอนที่ 1 ในการใช้งาน.....	114
ก.2 แสดงขั้นตอนที่ 2 ในการใช้งาน.....	115
ก.3 แสดงผลจากขั้นตอนที่ 2.....	116
ก.4 แสดงการเปิดเพิ่มข้อมูลก่อนออกแบบ Layout.....	116
ก.5 แสดงเพิ่มข้อมูลก่อนออกแบบ Layout.....	117
ก.6 แสดงการบันทึกเพิ่มข้อมูลใหม่.....	117
ก.7 แสดงการบันทึกเพิ่มข้อมูลใหม่ก่อนออกแบบ Layout.....	118
ก.8 แสดงการนำ Standard Cell มาใช้ออกแบบ Layout.....	118
ก.9 แสดงการนำ Standard Cell ของ Nand2C มาใช้ออกแบบ Layout.....	119
ก.10 แสดง Standard Cell ของ Nand2C.....	119
ก.11 แสดง layer ต่าง ๆ.....	120
ก.12 แสดงเครื่องมือในการวาด.....	120
ก.13 แสดงสถานะของเมาส์ปกติ.....	121
ก.14 แสดงการกดปุ่มเมาส์ซ้ายเพื่อทำการวาด.....	121
ก.15 แสดงการกดปุ่มเมาส์ขวาเลือกวัตถุเพื่อจะทำการแก้ไข.....	122
ก.16 แสดงการกด Shift + ปุ่มเมาส์ขวา เพื่อเลือกวัตถุเพิ่มขึ้น.....	122
ก.17 แสดงการกด Ctrl + ปุ่มเมาส์ซ้าย เพื่อคัดลอก Metal 1 จาก A ไปยัง Out2.....	123
ก.18 แสดงการกด Ctrl + ปุ่มเมาส์ขวา เพื่อเลือกวัตถุจากขอบ.....	123
ก.19 แสดงผลของการเลือกวัตถุโดยใช้การกด Ctrl + ปุ่มเมาส์ขวา.....	124
ก.20 แสดงการย้ายวัตถุโดยการกด Alt + ปุ่มเมาส์ซ้าย วัตถุ Metal1 จะย้ายจากจุด A ไปยังตำแหน่งใหม่.....	124
ก.21 แสดงการยกเลิกการเลือกวัตถุด้วยการกด Alt + ปุ่มเมาส์ขวา.....	125
ก.22 แสดงผลของการยกเลิกการเลือก.....	125

สารบัญภาพ (ต่อ)

รูปที่	หน้า
ก.23 แสดงการตรวจสอบการเขียน Layout ว่าถูกต้องหรือไม่ด้วยคำสั่ง DRC.....	126
ก.24 แสดงหน้าต่าง Design Rule Check.....	126
ก.25 แสดงว่าการออกแบบถูกต้องตามกฎการออกแบบ Layout.....	127
ก.26 แสดงการแปลง Layout ให้อยู่ในรูปที่พร้อมใช้งานด้วยโปรแกรม T-Spice.....	127
ก.27 แสดงหน้าต่างจากคำสั่ง Extract.....	128
ข.1 แสดงกฎการออกแบบ Layout ข้อที่ 1.....	130
ข.2 แสดงกฎการออกแบบ Layout ข้อที่ 2.....	131
ข.3 แสดงกฎการออกแบบ Layout ข้อที่ 3.....	132
ข.4 แสดงกฎการออกแบบ Layout ข้อที่ 4.....	133
ข.5 แสดงกฎการออกแบบ Layout ข้อที่ 5.....	134
ข.6 แสดงกฎการออกแบบ Layout ข้อที่ 6.....	135
ข.7 แสดงกฎการออกแบบ Layout ข้อที่ 7.....	136
ข.8 แสดงกฎการออกแบบ Layout ข้อที่ 8.....	137
ข.9 แสดงกฎการออกแบบ Layout ข้อที่ 9.....	138
ข.10 แสดงกฎการออกแบบ Layout ข้อที่ 10.....	139
ค.1 แสดง ICON GROUP ของ DESIGN CENTER 6.0.....	141
ค.2 แสดงชุดเมนูคำสั่งทั้ง 10 ของ SCHEMATIC.....	142
ค.3 แสดงเมนูคำสั่ง และเมนูย่อยของคำสั่ง DRAW.....	143
ค.4 แสดงเมนูคำสั่ง และเมนูย่อยของคำสั่ง MARKERS.....	143
ค.5 แสดงเมนูคำสั่ง และเมนูย่อยของคำสั่ง ANALYSIS.....	144
ค.6 แสดงหน้าจอ การเลือกวิธีการวิเคราะห์วงจร.....	145
ค.7 แสดงหน้าจอของ การ RUN PSPICE.....	145
ค.8 แสดงชุดคำสั่งย่อย ของเมนู TRACE.....	146
ค.9 แสดงหน้าจอของการ ADD สัญญาณที่ต้องการ.....	146

สารบัญภาพ (ต่อ)

ภาพที่

หน้า

ค.10 แสดงลักษณะการใช้งาน Probe.....147



บทที่ 1

บทนำ

การเลือกออกแบบวงจรถอดรหัสบัตรแม่เหล็ก เนื่องจากในปัจจุบันบัตรแม่เหล็ก นำมาใช้กันอย่างแพร่หลาย เช่น บัตร ATM บัตรเครดิต บัตรสมาชิก เป็นต้น เมื่อพิจารณาถึงชีพที่ใช้ในการถอดรหัสบัตรแม่เหล็กที่มีใช้ในปัจจุบันโดยมากเป็น custom chips ซึ่งไม่สามารถหาซื้อได้โดยส่วนมากมักจะขายเป็น โมดูลเครื่องอ่านบัตรสำเร็จรูป ดังนั้นจึงพยายามออกแบบวงจรถอดรหัสเพื่อให้สามารถสร้างได้ในประเทศ วงจรจะประกอบไปด้วยวงจรรย่อยที่เป็นวงจรพื้นฐานทางอนาล็อกและดิจิตอล อาทิเช่น วงจรสร้างสัญญาณแรมป์ วงจรเปรียบเทียบแรงดัน วงจรลอจิก ฯลฯ

เนื่องจากสัญญาณที่บันทึกอยู่ในบัตรแม่เหล็กโดยทั่วไปเป็นไปตามมาตรา ISO 7811/2 ซึ่งมีลักษณะการบันทึกข้อมูล 0 และ 1 โดยใช้ความกว้างของสัญญาณพัลส์เป็นตัวกำหนด ดังนั้นจึงมีความจำเป็นต้องแยกขนาดความกว้างของ สัญญาณข้อมูลที่ได้จากบัตรแม่เหล็กเพื่อทำการถอดรหัส แต่เนื่องจากการออกแบบวงจรถอดรหัสบัตรแม่เหล็กที่ได้สร้างขึ้นนี้ เป็นวงจรที่ใช้กับเครื่องอ่านบัตรแม่เหล็กที่รูคบัตรด้วยมือ ดังนั้นความเร็วของการเคลื่อนที่ของบัตรจึงไม่คงที่มีลักษณะเริ่มต้นช้าและค่อยๆเร็วขึ้น จึงจำเป็นที่จะต้องทำการเปรียบเทียบความกว้างของข้อมูลของสัญญาณ ISO ที่ได้ในลักษณะพัลส์ที่มาก่อนและพัลส์ที่ตามมาว่าแตกต่างกันเท่าใด โดยอาศัยหลักการเปลี่ยนสัญญาณ ISO เป็นสัญญาณแรมป์ แล้วนำแรงดันที่ได้ไปเปรียบเทียบกับสัญญาณแรมป์ถัดไปเพื่อเป็นการบอกว่าเป็นพัลส์แคบหรือกว้างทำให้ได้ข้อมูล ในการรูดด้วยมือความกว้างของสัญญาณ ISO จะเปลี่ยนแปลงตามความเร็ว จึงต้องรักษาแรงดันที่ใช้เปรียบเทียบใหม่ เพื่อให้เหมาะสมกับความกว้างที่ลดลง สัญญาณที่ได้จากวงจรประกอบด้วย สัญญาณเริ่มต้นรูดบัตรเพื่อใช้ในการเปิดเกตให้เริ่มรับข้อมูล สัญญาณข้อมูลและสัญญาณนาฬิกาใช้อ่านข้อมูลทุกขอบขาลง

เป็นการออกแบบวงจรถอดรหัสบัตรแม่เหล็ก โดยใช้วงจรพื้นฐานมาประกอบกันและทำการซิมูเลชัน ด้วยโปรแกรม Pspice และนำวงจรที่ได้มาเขียน Layout ด้วยโปรแกรม L-Edit แล้วทำการจำลองผลจาก Layout อีกครั้งด้วยโปรแกรม T-Spice เพื่อเป็นการยืนยันวงจรที่ทำการออกแบบว่าสามารถนำไปผลิตได้จริง

1.1 รายละเอียดของวิทยานิพนธ์

ในวิทยานิพนธ์นี้ได้แบ่งรายละเอียดออกเป็น 6 บท โดยในแต่ละบทจะมีรายละเอียดดังต่อไปนี้

บทที่ 1 บทนำ

บทที่ 2 อธิบายหลักการและโครงสร้างของบัตรแม่เหล็ก

บทที่ 3 อธิบายถึงหลักการออกแบบวงจรและวงจรพื้นฐานต่าง ๆ

บทที่ 4 อธิบายถึงหลักการออกแบบ Layout ของวงจรและวงจรพื้นฐานต่าง ๆ

บทที่ 5 แสดงผลการซิมูเลตด้วยโปรแกรม Pspice และโปรแกรม T-Spice เพื่อเป็นการยืนยันวงจรที่ทำการออกแบบว่าสามารถนำไปผลิตได้จริง

บทที่ 6 บทสรุป



บทที่ 2

บัตรแม่เหล็ก

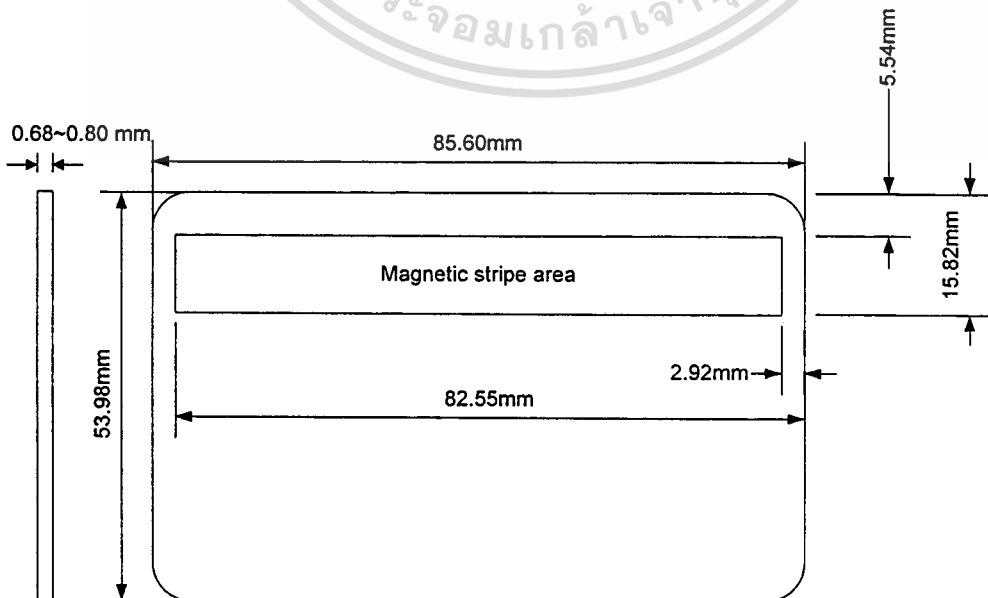
บัตรแม่เหล็กนำมาใช้อย่างแพร่หลายในปัจจุบัน ทั้งในด้านพาณิชย์ อุตสาหกรรม และอื่นๆ สาเหตุอย่างหนึ่งก็คือสะดวกในการใช้งานและง่ายต่อการพกพา เพราะบัตรแม่เหล็กมีขนาดเล็ก น้ำหนักเบา และยังสามารถจัดหามาได้ในราคาที่ถูกลง ซึ่งข้อมูลที่ถูกบันทึกจะเป็นไปตามมาตรฐานสากล

2.1 คุณสมบัติของบัตรแม่เหล็ก [8]

2.1.1 ตำแหน่งแทร็คของบัตรแม่เหล็ก

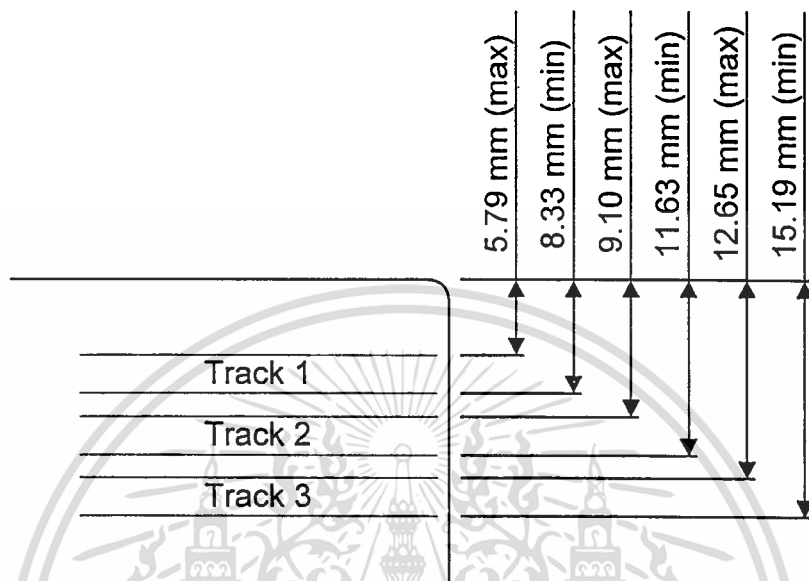
ตามมาตรฐาน ISO 7811 บัตรแม่เหล็ก

รูปที่ 2.1 แสดงขนาดของบัตรแม่เหล็ก



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.2 แสดงตำแหน่งแทร็คต่าง ๆ ของบัตรแม่เหล็ก



2.1.2 ชุดรหัสข้อมูล

การบันทึกข้อมูลลงบนบัตรแม่เหล็กในแต่ละไบท์จะเริ่มจากบิตต่ำสุด (b_1) และปิดท้ายด้วยพาริตีบิต (p) ส่วนความหนาแน่นในการบันทึกข้อมูลในแทร็คต่างๆเป็นดังนี้

แทร็คที่ 1 8.27 บิตต่อมิลลิเมตร (210 บิตต่อนิ้ว)

แทร็คที่ 2 2.95 บิตต่อมิลลิเมตร (75 บิตต่อนิ้ว)

แทร็คที่ 3 8.27 บิตต่อมิลลิเมตร (210 บิตต่อนิ้ว)

2.1.2.1 แแทร็คที่ 1

ในแทร็คที่ 1 บนบัตรแม่เหล็กมีข้อมูลทั้งตัวเลขและตัวอักษร จำนวนข้อมูลสูงสุดที่สามารถบันทึกได้ตามมาตรฐาน ISO 7811/2 ได้กำหนดไว้ไม่เกิน 79 ตัว (โดยรวมสัญลักษณ์เริ่มต้นและสิ้นสุดของข้อมูล)

ตารางที่ 2.1 ชุดรหัสข้อมูลสำหรับแทริคที่ 1

				b ₆	0	0	1	1
				b ₅	0	1	0	1
b ₄	b ₃	b ₂	b ₁	Column Row	0	1	2	3
0	0	0	0	0	SP	0	①	P
0	0	0	1	1	①	1	A	Q
0	0	1	0	2	①	2	B	R
0	0	1	1	3	③	3	C	S
0	1	0	0	4	\$	4	D	T
0	1	0	1	5	%④	5	E	U
0	1	1	0	6	①	6	F	V
0	1	1	1	7	①	7	G	W
1	0	0	0	8	(8	H	X
1	0	0	1	9)	9	I	Y
1	0	1	0	10	①	①	J	Z
1	0	1	1	11	①	①	K	②
1	1	0	0	12	①	①	L	②
1	1	0	1	13	-	①	M	②
1	1	1	0	14	.	①	N	^④
1	1	1	1	15	/	?④	O	①

- ① เป็นตำแหน่งของสัญลักษณ์ที่ใช้เฉพาะในระบบควบคุมทางฮาร์ดแวร์
- ② เป็นตำแหน่งของสัญลักษณ์ที่ใช้เพิ่มตัวอักษรของแต่ละประเทศ
- ③ เป็นตำแหน่งของสัญลักษณ์ที่ใช้เพิ่มสัญลักษณ์ภาพ
- ④ เป็นตำแหน่งของสัญลักษณ์ที่ใช้ตามหลังเครื่องหมายโดยมีความหมายดังนี้
- % เป็นสัญลักษณ์การเริ่มต้นของข้อมูล (ตำแหน่ง 0/5)
- ? เป็นสัญลักษณ์การสิ้นสุดของข้อมูล (ตำแหน่ง 1/15)
- ^ เป็นสัญลักษณ์ตัวแยกข้อมูล (ตำแหน่ง 3/14)

2.1.2.2 แทร็คที่ 2

ในแทร็คที่ 2 ของบัตรแม่เหล็กมีข้อมูลที่เป็นตัวเลขอย่างเดียว โดยในตัวเลขหนึ่งตัวจะประกอบด้วย บิตข้อมูลแบบ BCD 4 บิต (b4,b3,b2,b1) และบิตพาริตีอีก 1 บิต (p) ซึ่งใช้ในการตรวจสอบความถูกต้องของข้อมูลแต่ละตัวเลข เป็นการตรวจสอบแบบพาริตีคี่ (ODD PARITY) จำนวนข้อมูลสูงสุดที่สามารถบันทึกได้ตามมาตรฐาน ISO 7811 ได้กำหนดไว้ไม่เกิน 40 ตัว (โดยรวมสัญลักษณ์เริ่มต้นและสิ้นสุดของข้อมูล) ชุดรหัสข้อมูลสำหรับแทร็คที่ 2 แสดงไว้ในตารางที่ 2.2

2.1.2.3 แทร็คที่ 3

ในแทร็คที่ 3 ของบัตรแม่เหล็กมีข้อมูลที่เป็นตัวเลขอย่างเดียว จำนวนข้อมูลสูงสุดที่สามารถบันทึกได้ตามมาตรฐาน ISO 7811 ได้กำหนดไว้ไม่เกิน 107 ตัว (โดยรวมสัญลักษณ์เริ่มต้นและสิ้นสุดของข้อมูล) ชุดรหัสข้อมูลสำหรับแทร็คที่ 3 แสดงไว้ในตารางที่ 2.2

ตารางที่ 2.2 ชุดรหัสข้อมูลสำหรับแตรีคที่ 2 และ 3

p	b4	b3	b2	b1	รหัส
1	0	0	0	0	0
0	0	0	0	1	1
0	0	0	1	0	2
1	0	0	1	1	3
0	0	1	0	0	4
1	0	1	0	1	5
1	0	1	1	0	6
0	0	1	1	1	7
0	1	0	0	0	8
1	1	0	0	1	9
1	1	0	1	0	A
0	1	0	1	1	B1
1	1	1	0	0	A
0	1	1	0	1	B2
0	1	1	1	0	A
1	1	1	1	1	B3

A เป็นตำแหน่งของสัญลักษณ์ที่ใช้เฉพาะในระบบควบคุมทางฮาร์ดแวร์

B1 เป็นสัญลักษณ์การเริ่มต้นของข้อมูล (Start sentinel)

B2 เป็นสัญลักษณ์ตัวแยกข้อมูล (Separator)

B3 เป็นสัญลักษณ์การสิ้นสุดของข้อมูล (Stop sentinel)

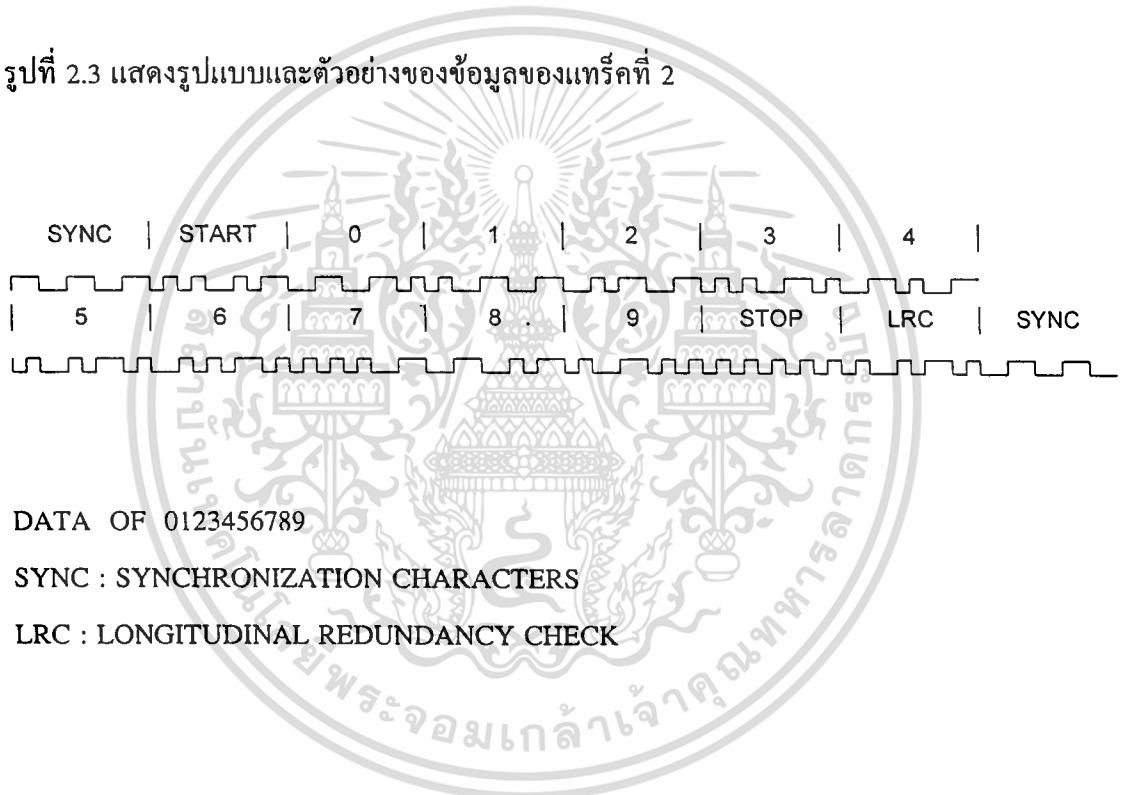
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.3 รูปแบบข้อมูลที่บันทึกบนบัตรแม่เหล็ก

ทั้งสามแทร็คบนบัตรแม่เหล็กใช้การบันทึกสัญญาณ ISO แบบเดียวกัน แต่จะมีชุดรหัสข้อมูลต่างกัน โดยในแทร็คที่ 1 จะเป็นชุดของตัวอักษรและตัวเลขส่วนแทร็คที่ 2 และ 3 มีเฉพาะตัวเลขเท่านั้น

บัตรแม่เหล็กทั่วไปมีรูปแบบของข้อมูลที่บันทึกในแทร็คที่ 2 บนบัตรดังแสดงในรูปที่ 2.3

รูปที่ 2.3 แสดงรูปแบบและตัวอย่างของข้อมูลของแทร็คที่ 2



DATA OF 0123456789

SYNC : SYNCHRONIZATION CHARACTERS

LRC : LONGITUDINAL REDUNDANCY CHECK

2.1.4 การตรวจสอบความถูกต้องของข้อมูลด้วย LRC

ข้อมูลที่บันทึกบนบัตรแม่เหล็กนอกจากจะมีพาริตีบิตที่ตรวจสอบความถูกต้องทุกๆข้อมูลแล้วยังมีส่วนที่ตรวจสอบความถูกต้องของข้อมูลทั้งหมดรวมทั้งสัญลักษณ์การเริ่มต้นของข้อมูลและสัญลักษณ์การสิ้นสุดของข้อมูล ส่วนการตรวจสอบนี้อยู่ที่ตำแหน่งต่อจาก สัญลักษณ์การสิ้นสุดข้อมูล (B3 ในตารางที่ 2.2) เรียกว่า LRC (LONGITUDINAL REDUNDANCY CHECK) ซึ่งจะเป็นการตรวจสอบแบบ พาริตีคู่ (EVEN PARITY) ทั้งนี้ก็เพื่อที่จะให้ข้อมูลมีความถูกต้องมากยิ่งขึ้นทิศทางของการตรวจสอบแสดงดังรูปที่ 2.4

รูปที่ 2.4 แสดงการตรวจสอบ LRC

p	b4	b3	b2	b1
1	0	0	0	0
0	0	0	0	1
0	0	0	1	0
1	0	0	1	1
0	0	1	0	0
1	0	1	0	1
0	0	0	0	1

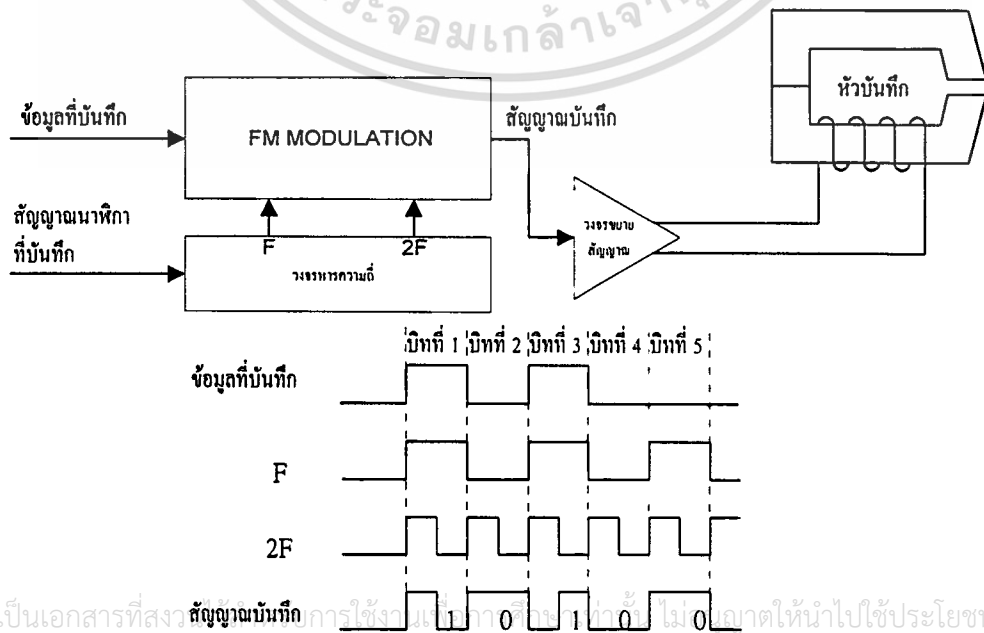
พาริตีคู่

พาริตีคู่

2.2 การบันทึกข้อมูลบนบัตรแม่เหล็ก

2.2.1 รูปแบบของการบันทึกข้อมูลบนบัตรแม่เหล็ก

รูปที่ 2.5 แสดงรูปแบบของการบันทึกข้อมูลบนบัตรแม่เหล็ก

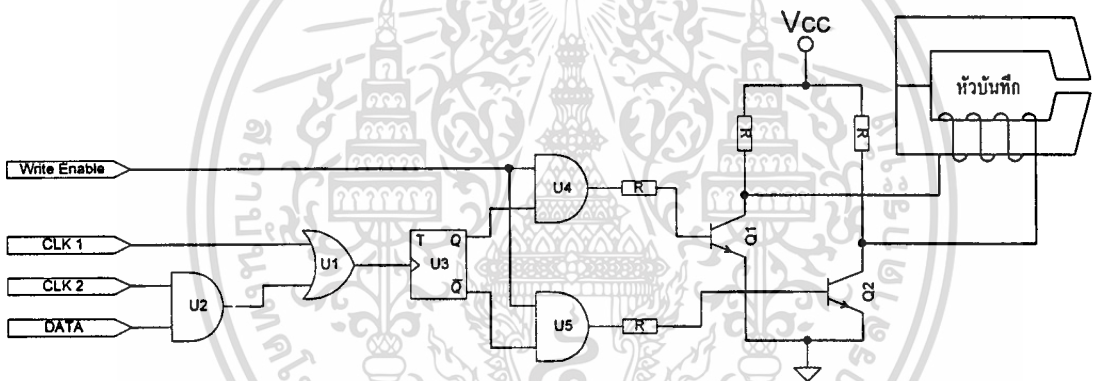


เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์การใช้งานโดยไม่ภาคีของนักพัฒนา ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณมาตรฐาน ISO 7811 ที่ได้นั้นมาจากข้อมูลที่ทำการบันทึกมาทำการผสมสัญญาณความถี่สองความถี่ซึ่งมีความถี่ต่างกันสองเท่าแต่มีเฟสตรงกัน สัญญาณ ISO จะประกอบด้วยบิตของข้อมูลและบิตของสัญญาณนาฬิกาสองความถี่ การเปลี่ยนแปลงของระดับสัญญาณจะเกิดขึ้นในระหว่างที่บิตข้อมูลมีลอจิกเป็น 1 หรือระหว่างสัญญาณบิตข้อมูลติดกัน และจะไม่เปลี่ยนระดับสัญญาณในระหว่างที่บิต ข้อมูลมีลอจิกเป็น 0 ลักษณะของสัญญาณแสดงดังรูปที่ 2.5

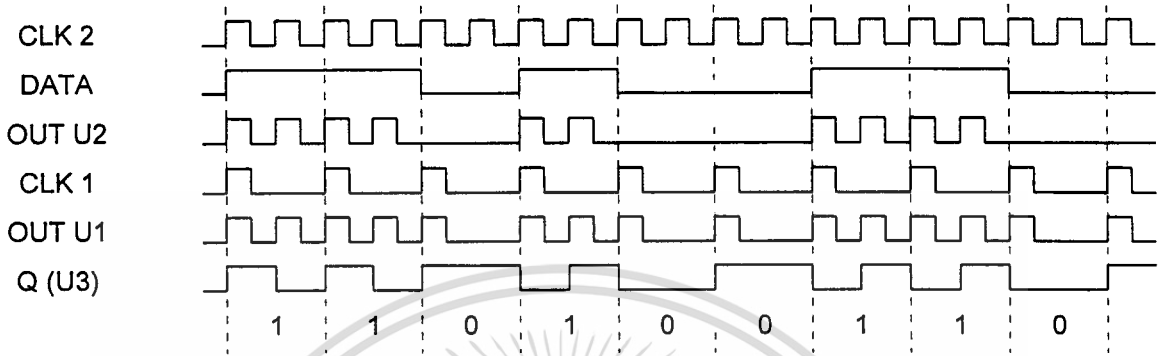
2.2.2 วงจรพื้นฐานสำหรับการบันทึกข้อมูลบนบัตรแม่เหล็ก

รูปที่ 2.6 แสดงวงจรพื้นฐานสำหรับการบันทึกข้อมูลบนบัตรแม่เหล็ก



จากรูปที่ 2.6 ไอซี U1,U2,U3,U4และU5 เป็นวงจรมอดคูเลทสัญญาณข้อมูลและสัญญาณนาฬิกาให้อยู่ในรูปแบบของสัญญาณเอพเอ็ม แล้วป้อนสัญญาณดังกล่าว ให้กับวงจรจ่ายกระแสไฟฟ้าให้กับขดลวดที่พันรอบแกนของหัวบันทึก เมื่อทำการบันทึกข้อมูล สัญญาณ WRITE ENABLE มีลอจิกเป็น 1 พร้อมทั้งทำให้ทรานซิสเตอร์ Q1 และ Q2 ทำงาน ซึ่งทรานซิสเตอร์ทั้งคู่จะสลับกันทำงานเพื่อป้อนกระแสพัลส์ด้านบวกและด้านลบให้แก่ขดลวดตามสัญญาณบันทึก โดยรูปสัญญาณการทำงานของวงจรนี้แสดงในรูปที่ 2.7

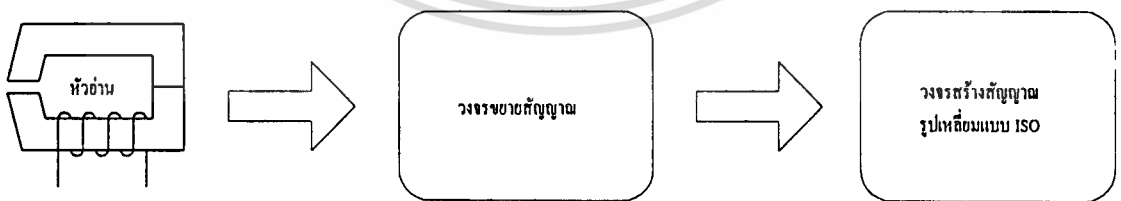
รูปที่ 2.7 แสดงสัญญาณการทำงานของวงจรพื้นฐานสำหรับการบันทึกข้อมูลบนบัตรแม่เหล็ก



2.8 วงจรพื้นฐานสำหรับการอ่านสัญญาณมาตรฐาน ISO บนบัตรแม่เหล็ก [8]

ส่วนประกอบของวงจรพื้นฐานสำหรับสร้างสัญญาณรูปแบบ ISO จากแถบแม่เหล็กแสดง
ในรูปที่ 2.8

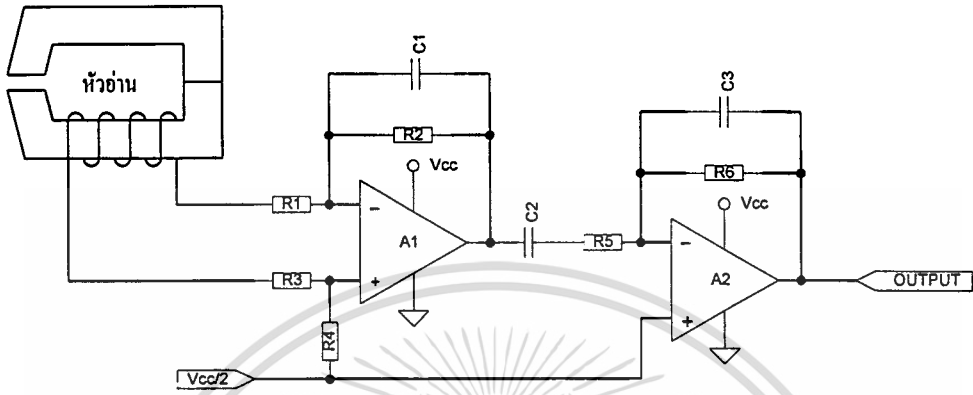
รูปที่ 2.8 แสดงส่วนประกอบของวงจรพื้นฐานสำหรับสร้างสัญญาณรูปแบบ ISO จากแถบบัตรแม่เหล็ก



สัญญาณแรงดันไฟฟ้าจากหัวอ่านข้อมูลมีค่าค่อนข้างต่ำ 5-10 มิลลิโวลต์ จึงจำเป็นต้องขยายสัญญาณเพื่อสะดวกต่อการนำไปสร้างสัญญาณรูปเหลี่ยม โดยวงจรขยายควรมีกำลังขยายประมาณ 1000 เท่า ตัวอย่างของวงจรขยายแสดงดังรูปที่ 2.9 โดยที่ ไอซี A1 ทำหน้าที่ขยายสัญญาณความ

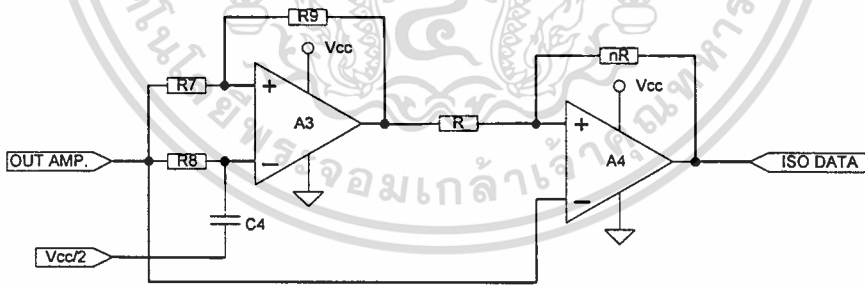
ต่างจากหัวอ่าน ไอซี A2 ทำหน้าที่ขยายสัญญาณแบบกลับเฟสให้แรงดันสูงพอที่จะป้อนให้

รูปที่ 2.9 แสดงวงจรขยายสัญญาณแรงดันไฟฟ้าสำหรับการอ่านข้อมูลบัตรแม่เหล็ก



การสร้างสัญญาณรูปเหลี่ยม จะนำสัญญาณที่ขยายแล้วมาทำการเลื่อนเฟส โดยวงจรไอซี A3 สัญญาณจะถูกหน่วงเวลา หลังจากนั้นนำสัญญาณทั้งสองมาเปรียบเทียบสัญญาณแรงดันกัน โดยวงจรไอซี A4 (รูปที่ 2.10) เอาท์พุทของวงจรก็คือสัญญาณรูปเหลี่ยม ISO ที่อ่านจากบัตร

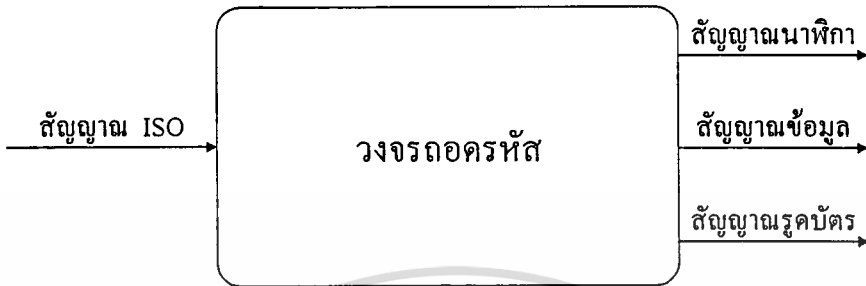
รูปที่ 2.10 แสดงวงจรเลื่อนเฟสและวงจรเปรียบเทียบสัญญาณแรงดัน



2.4 การถอดสัญญาณข้อมูลจากสัญญาณรูปเหลี่ยม

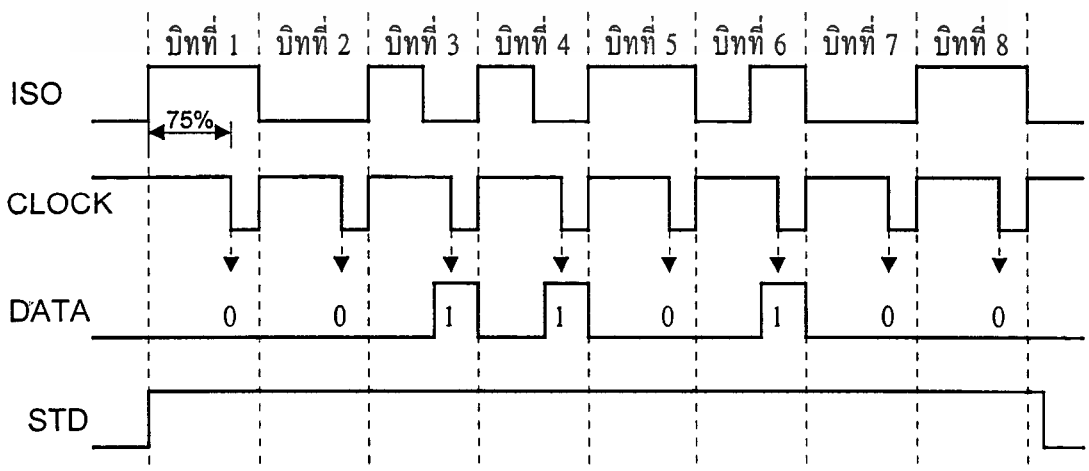
การอ่านข้อมูลจากบัตรให้ได้สะดวกขึ้นจะต้องทำการตีมอดดูเลตสัญญาณรูปเหลี่ยม ISO เพื่อให้ได้สัญญาณข้อมูลและสัญญาณนาฬิกา ดังรูปที่ 2.11

รูปที่ 2.11 แสดงแผนภาพการแยกสัญญาณข้อมูลและสัญญาณนาฬิกาจากสัญญาณ ISO



วิธีการถอดรหัสจะใช้การพิจารณาการเปลี่ยนระดับลอจิกของสัญญาณ ISO ในช่วงเวลา standard time ว่ามีการเปลี่ยนแปลงในช่วงเวลานี้หรือไม่ ถ้ามีแสดงว่าข้อมูลมีลอจิกเป็น 1 ถ้าไม่มีการเปลี่ยนแปลงแสดงว่าข้อมูลมีลอจิกเป็น 0 โดยค่า standard time จะมีค่าประมาณ 75% ของคาบเวลา 1 บิต (รูปที่ 2.12) ในการอ่านบัตรแม่เหล็กด้วยชุดอ่านบัตรที่ใช้มอเตอร์ในการดึงบัตรผ่านหัวอ่านด้วยความเร็วคงที่จะทำให้เกิดสัญญาณ ISO ที่มีค่า standard time คงที่ทุกบิตข้อมูล แต่การอ่านบัตรแม่เหล็กจากการรูดด้วยมือค่า standard time จะเปลี่ยนแปลงทุกๆบิตข้อมูล ซึ่งในบทที่ 3 จะกล่าวถึง หลักการออกแบบวงจรที่ใช้ถอดรหัสสัญญาณ ISO จากการอ่านบัตรแม่เหล็กโดยใช้มือรูดบัตร

รูปที่ 2.12 แสดงรูปแบบสัญญาณการถอดรหัสสัญญาณข้อมูลและสัญญาณนาฬิกาจากสัญญาณ ISO



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

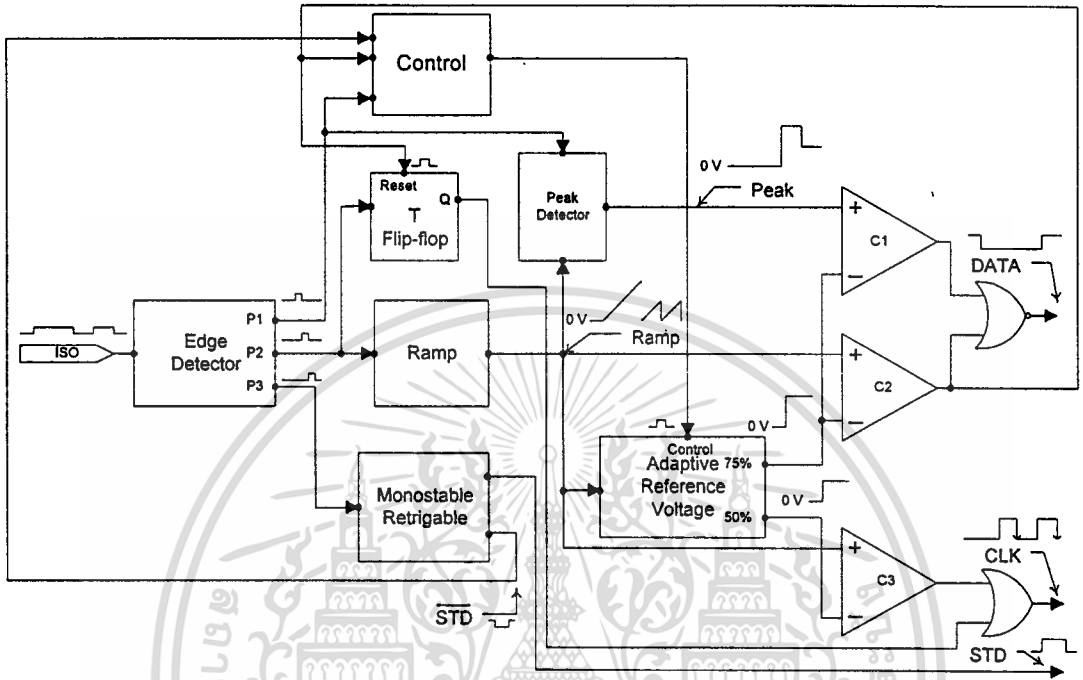
การออกแบบวงจร

หลักการถอดรหัส ISO ที่เกิดจากการรูดบัตรด้วยมือจะใช้การเปรียบเทียบความกว้างของสัญญาณ ISO โดยการนำสัญญาณ ISO มาสร้างสัญญาณแรมป์ (โดยแรงดันจะเป็นตัวบอกความกว้างของพัลส์) และรักษาค่าแรงดันสูงสุดของสัญญาณ ISO ที่เป็นพัลส์กว้างนำไปเปรียบเทียบกับพัลส์ลูกถัดไปเพื่อตัดสินว่าเป็นพัลส์กว้างหรือพัลส์แคบ ถ้าความกว้างของพัลส์ลูกใหม่มีค่ามากกว่า 75% ของพัลส์กว้างที่ใช้อ้างอิง พัลส์ลูกนั้นจะเป็นพัลส์กว้างและจะใช้แรงดันสูงสุดของสัญญาณแรมป์ของพัลส์ลูกนี้เป็นสัญญาณอ้างอิงต่อไป สัญญาณต่างๆที่ได้จากส่วนต่างของวงจรจะนำไปสร้างสัญญาณข้อมูล สัญญาณนาฬิกา และสัญญาณเริ่มต้นรูดบัตร ในการออกแบบเลือกใช้เทคโนโลยี CMOS เพราะง่ายในการออกแบบ เช่น วงจรรักษาแรงดัน และวงจรลอจิกเกตชนิดต่างๆ เป็นต้น ขนาดของวงจรเล็กลงและประหยัดไฟ ออกแบบที่แรงดัน 5 โวลต์ รายละเอียดต่างของวงจรจะกล่าวต่อไป

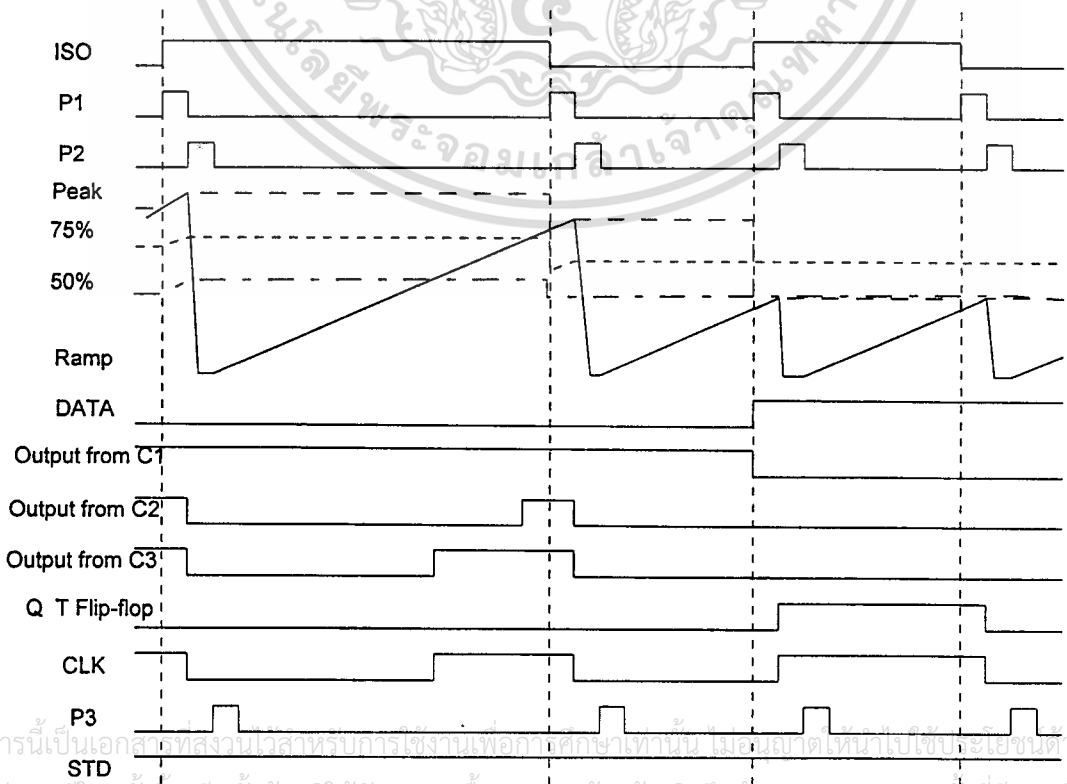
3.1 โครงสร้างพื้นฐานโดยรวมของวงจรถอดรหัสบัตรแม่เหล็ก

จากรูปที่ 3.1 ป้อนสัญญาณ ISO ที่ได้จากการรูดบัตรแม่เหล็กด้วยมือ เข้าที่วงจร Edge Detector (รูปที่ 3.13) จะสร้างพัลส์ 3 สัญญาณ **สัญญาณพัลส์ที่ 1** (P1) จะนำไปใช้เป็นสัญญาณรักษาค่าแรงดันสูงสุดจากสัญญาณแรมป์ (Peak) และสัญญาณอ้างอิง **สัญญาณพัลส์ที่ 2** (P2) ใช้สร้างสัญญาณแรมป์ (Ramp ดูจากรูปที่ 3.11) และมีส่วนในการใช้สร้างสัญญาณนาฬิกา (CLK) **สัญญาณพัลส์ที่ 3** (P3) ใช้สร้างสัญญาณแสดงการเริ่มรูดบัตร (STD)

รูปที่ 3.1 แสดงแผนผังวงจรทรานซิสเตอร์



รูปที่ 3.2 แสดงแผนผังเวลาของวงจรทรานซิสเตอร์



การถอดรหัสข้อมูล (DATA)

ใช้วงจรเปรียบเทียบ C1 (รูปที่ 3.15 Comparator) เปรียบเทียบแรงดันระหว่างแรงดันสูงสุดจากสัญญาณแรมพ์ (Peak) กับ 75 เปอร์เซ็นต์ของแรงดันสูงสุดของสัญญาณแรมพ์ ที่เกิดจากสัญญาณ ISO ที่เป็นพัลส์กว้างซึ่งแสดงถึงข้อมูลเป็น 0 (75%) ซึ่งเป็นแรงดันอ้างอิง ถ้ามีค่ามากกว่าจะให้ลอจิก 1 แต่ถ้ามีค่าน้อยกว่าวงจรเปรียบเทียบจะให้ลอจิก 0 จากนั้นก็นำ สัญญาณที่ได้ (Output from C1) ป้อนเข้า นอร์เกต 2 อินพุท โดยอินพุทอีกเส้นจะได้จาก สัญญาณเอาต์พุทจาก วงจรเปรียบเทียบ C2 (Output from C2) ระหว่างสัญญาณแรมพ์กับ 75 เปอร์เซ็นต์ของแรงดันสูงสุดของสัญญาณแรมพ์ที่เกิดจากสัญญาณ ISO ที่เป็นพัลส์กว้าง (75%) เอาต์พุทที่ได้จาก NOR GATE จะทำให้สัญญาณข้อมูล (DATA) ถูกต้องมากขึ้น ลอจิก 1 ของวงจรเปรียบเทียบ C2 (Output from C2) จะนำไปรีเซ็ต T Flip-Flop และป้อนเข้าสู่วงจรควบคุม (รูปที่ 3.8) เพื่อสั่งงาน วงจรรักษาแรงดัน (รูปที่ 3.22) เก็บค่าแรงดันสูงสุดจากสัญญาณแรมพ์ที่เกิดจากสัญญาณ ISO ที่เป็นพัลส์กว้างถูกถัดมา แล้วป้อนให้วงจร Adaptive Reference Voltage (รูปที่ 3.22 , 3.23 และ 3.24) ใช้เป็นสัญญาณอ้างอิงค่าใหม่

การสร้างสัญญาณนาฬิกา (CLK) แบ่งเป็น 2 ส่วน

สำหรับสัญญาณนาฬิกาของข้อมูลที่เป็น 0 ใช้วงจรเปรียบเทียบ C3 เปรียบเทียบแรงดันของสัญญาณแรมพ์กับ 50 เปอร์เซ็นต์ของแรงดันสูงสุดของสัญญาณแรมพ์ที่เกิดจากสัญญาณ ISO ที่เป็นพัลส์กว้าง (50%) จะได้พัลส์กว้างประมาณ 50 เปอร์เซ็นต์ของความกว้างสัญญาณแรมพ์ ในช่วงที่สัญญาณข้อมูลเป็น 0

สำหรับสัญญาณนาฬิกาของข้อมูลที่เป็น 1 จะนำสัญญาณพัลส์ที่ 2 (P2) ป้อนเข้า T Flip-flop (รูปที่ 3.7) เพื่อทำการหาร 2 หลังจากนั้นก็นำสัญญาณทั้งสอง (จากสัญญาณนาฬิกาของข้อมูลที่เป็น 0 และ 1) มาป้อนเข้า OR GATE เอาต์พุทที่ได้จะเป็นสัญญาณนาฬิกา

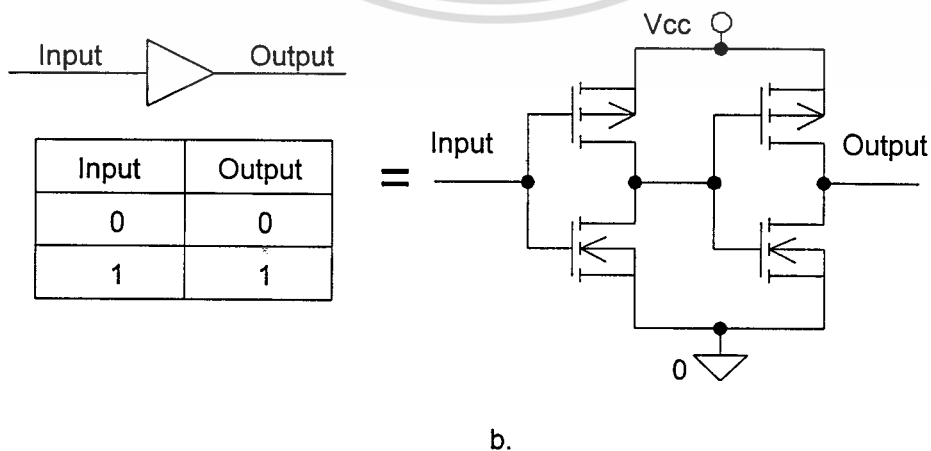
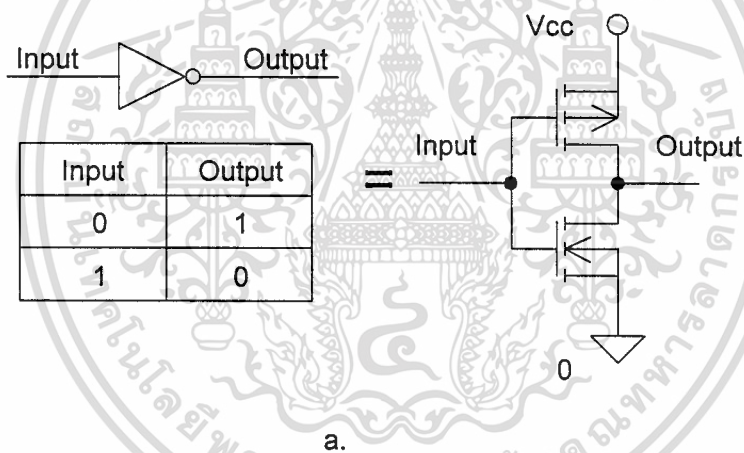
การสร้างสัญญาณแสดงการเริ่มรูดบัตร (STD)

ใช้สัญญาณพัลส์ที่ 3 (P3) ป้อนเข้าวงจร Monostable Retriggerable (รูปที่ 3.12)

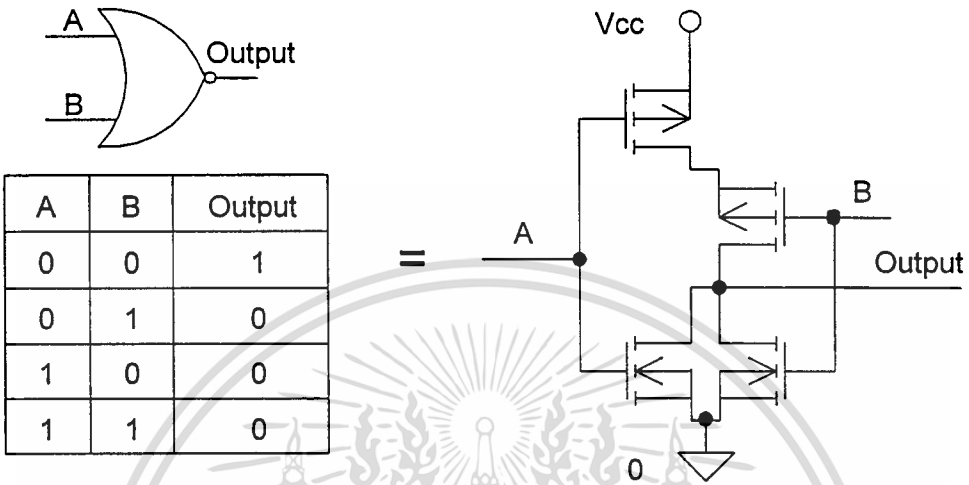
3.2 วงจรเกตพื้นฐานที่นำมาใช้ในวงจรส่วนต่างๆมีดังนี้ [6]

ในวงจรถอดรหัสบัตรแม่เหล็กส่วนที่เป็นดิจิทัลนั้นประกอบด้วยเกตพื้นฐานชนิดต่างๆ เช่น Inverter , Buffer , NAND , AND , NOR , OR , NOR 3 INPUT , T Flip-flop และวงจร Control ดังรูปที่ 3.3 ถึง 3.8 โดยทรานซิสเตอร์ทุกตัวจะมีค่า $W/L = 28/2$ ซึ่งกำหนดด้วย Library ของ Standard Cell ในขั้นตอนออกแบบ Layout โดยเลือกใช้ เทคโนโลยี CMOS $2\ \mu$ ในการออกแบบวงจรทั้งหมดทรานซิสเตอร์ตัวเล็กที่สุดของวงจรจะมีค่า $W/L = 28/2$ โดยส่วนใหญ่จะอยู่ใน วงจรเกตพื้นฐาน

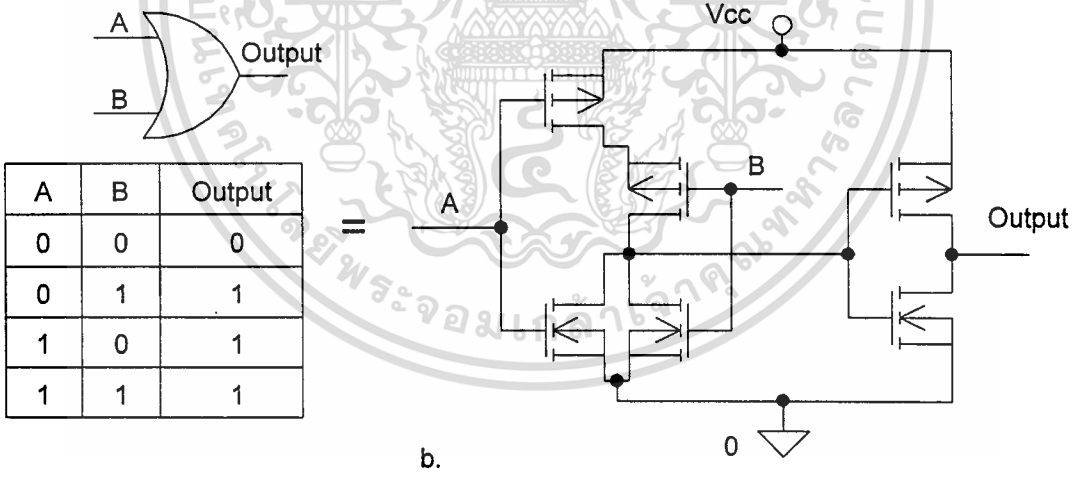
รูปที่ 3.3 แสดงสัญลักษณ์ของเกตและวงจรภายใน a. วงจรอินเวอร์เตอร์ b. วงจรบัฟเฟอร์



รูปที่ 3.4 แสดงสัญลักษณ์ของเกตและวงจรภายใน a. วงจร NOR b. วงจร OR



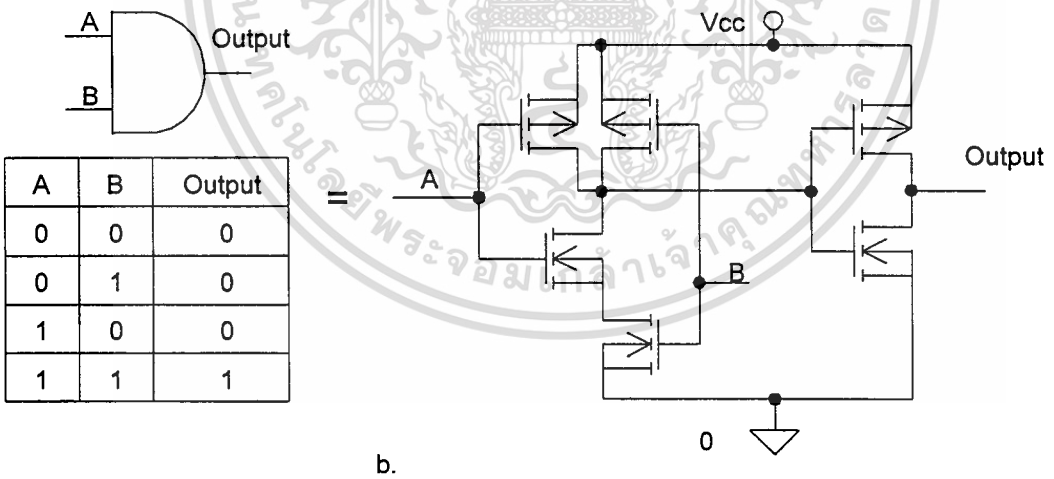
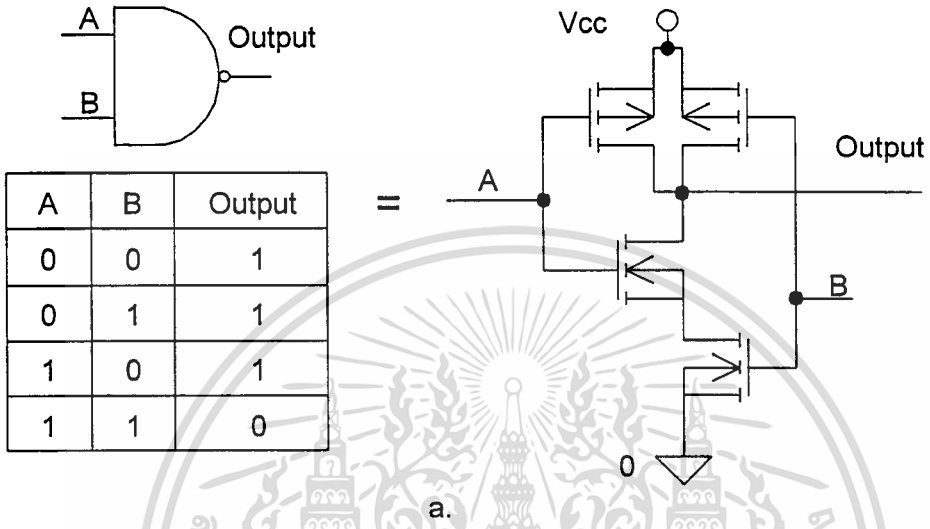
a.



b.

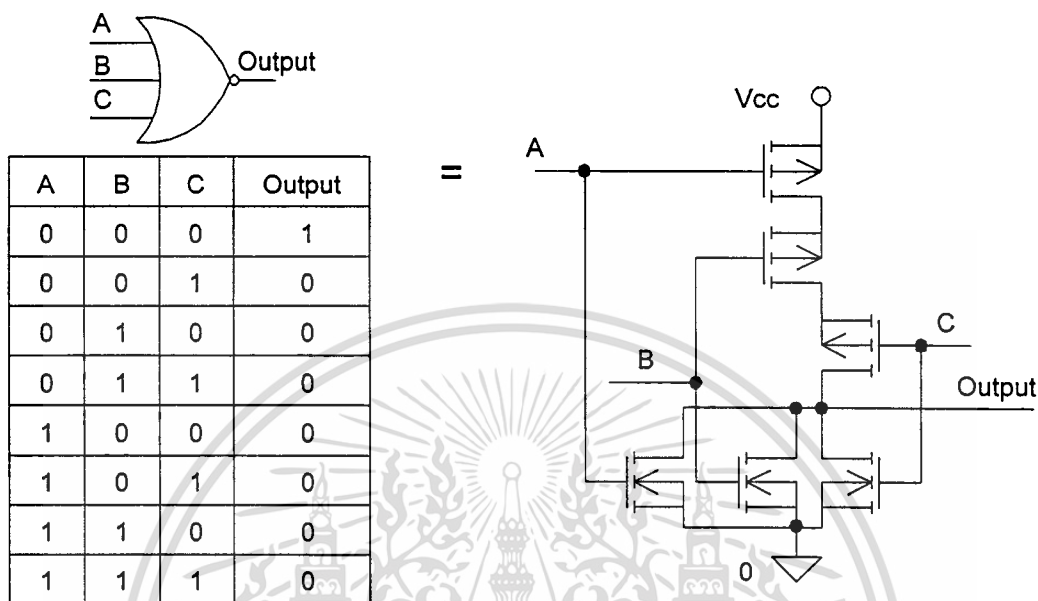
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.5 แสดงสัญลักษณ์ของเกตและวงจรภายใน a. วงจร NAND b. วงจร AND

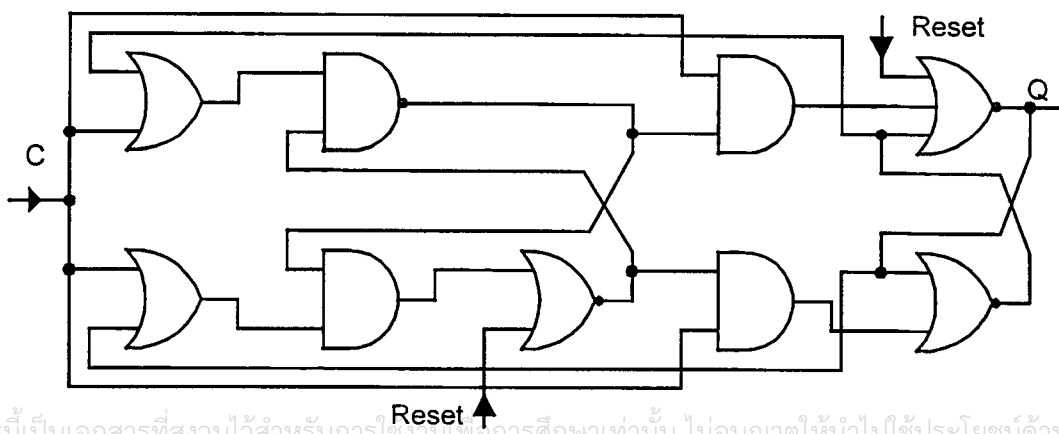
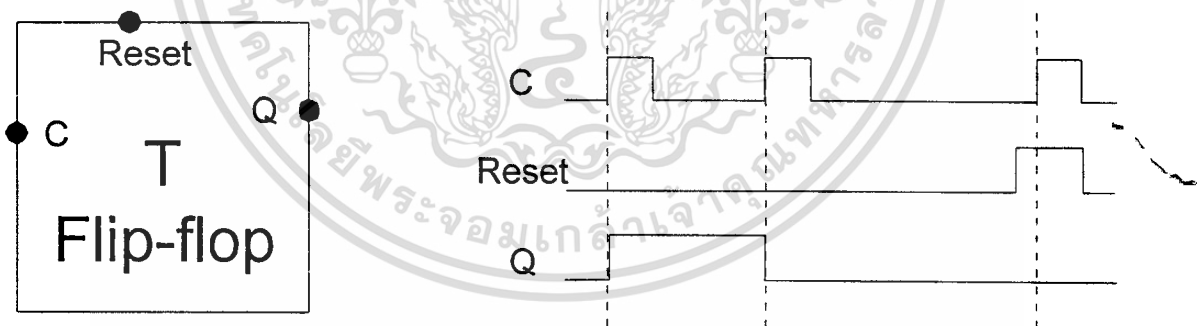


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.6 แสดงสัญลักษณ์ของ NOR GATE 3 Input และวงจรภายใน



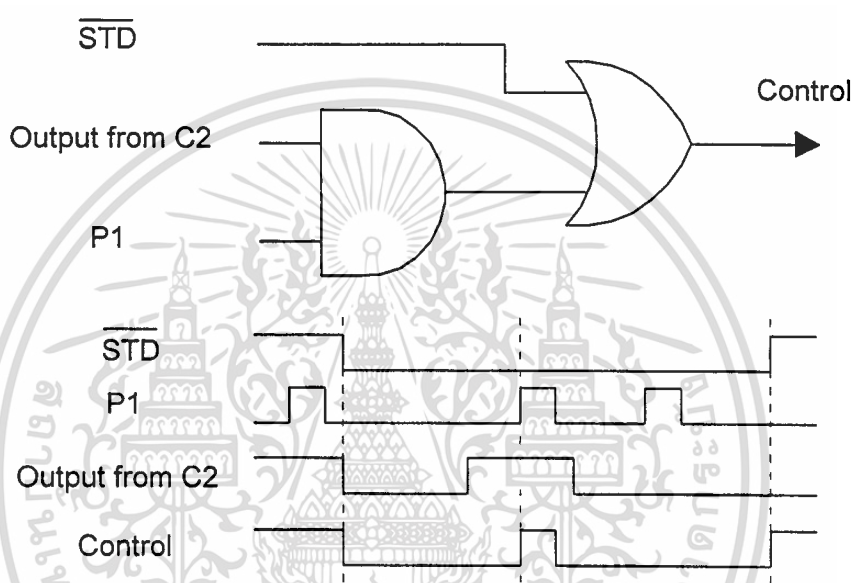
รูปที่ 3.7 แสดงวงจร T Flip-flop และแผนผังเวลา



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร T Flip-flop เป็นวงจรที่มีส่วนช่วยในการสร้างสัญญาณนาฬิกาที่ใช้สำหรับการอ่านข้อมูลที่เป็น 1 ถ้าพิจารณาจากสัญญาณ ISO ก็คือช่วงที่มีพัลส์แคบติดกัน T Flip-flop จะนำมาหารพัลส์ของสัญญาณขอบที่เป็นพัลส์แคบติดกัน

รูปที่ 3.8 แสดงวงจรควบคุมและแผนผังเวลา

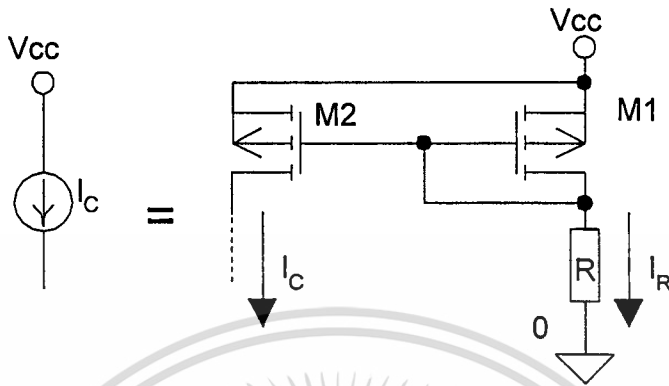


วงจรควบคุมเป็นวงจรที่ใช้กำหนดสัญญาณสั่งงานให้วงจรรักษาแรงดัน เก็บค่าแรงดันอ้างอิงค่าใหม่ จากรูปที่ 3.8 แผนผังเวลาแสดงให้เห็นว่าการเก็บค่าจะเกิดขึ้นเมื่อสัญญาณเป็นลอจิก 1 ซึ่งเกิดจาก 2 กรณี กรณีแรกเกิดจากสัญญาณ \overline{STD} เก็บค่าตอนเริ่มรูดบัตร กรณีที่ 2 เกิดจากการสัญญาณเอาต์พุตจากวงจรเปรียบเทียบ C2 ที่เป็นลอจิก 1 (ซึ่งแสดงว่าสัญญาณ ISO เป็นพัลส์กว้าง) สัญญาณนี้จะทำการเปิดเกตให้ P1 ผ่านไปได้

3.3 วงจรสะท้อนกระแส

วงจรสะท้อนกระแสเพื่อใช้จ่ายกระแสในวงจรต่าง ๆ อาทิเช่น วงจรสร้างสัญญาณแรมพ์ และวงจร Monostable Retrigrable เป็นต้น

รูปที่ 3.9 แสดงวงจรสะท้อนกระแส



เมื่อทรานซิสเตอร์ทั้งสองทำงานอยู่ในช่วง Saturation จะได้ความสัมพันธ์ของกระแส I_C และ I_R ดังสมการ 3.1 โดย M1 และ M2 มีค่า W/L เท่ากับ W_1/L_1 และ W_2/L_2 ตามลำดับ

$$\frac{I_C}{I_R} = \frac{L_1}{W_1} \times \frac{W_2}{L_2} \tag{3.1}$$

$$V_C = \frac{I_C t}{C} = \frac{\left(\frac{L_1 W_2}{W_1 L_2}\right) I_R t}{C} \tag{3.2}$$

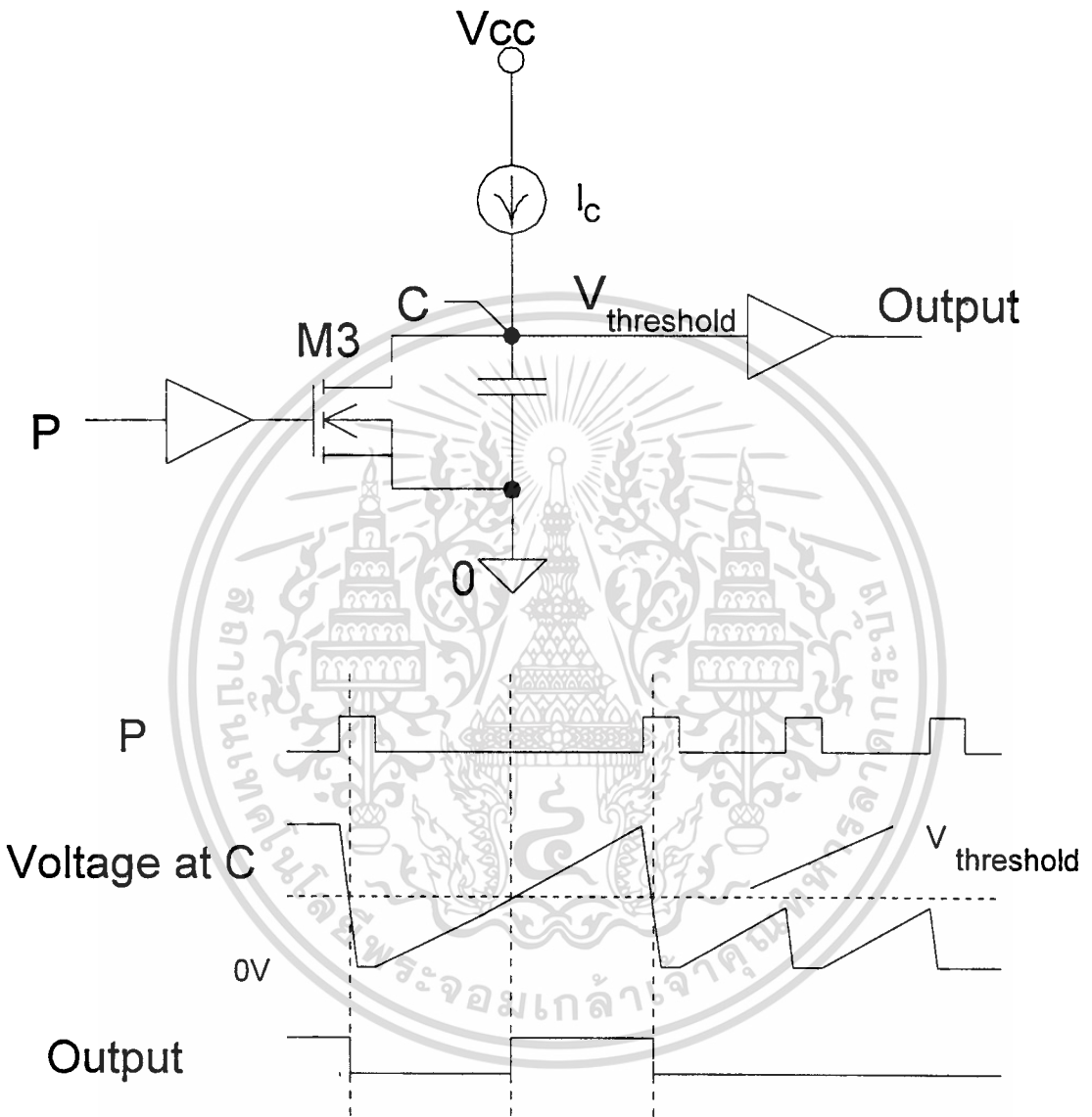
ในวงจร Monostable Retriggerable และวงจร Edge Detector อาศัยการประจุไฟให้กับตัวเก็บประจุ C โดยแรงดันที่ตกคร่อมตัวเก็บประจุ V_C จะขึ้นกับเวลา t ที่เปลี่ยนไป ซึ่งการหาค่า R ที่ใช้ในวงจรสะท้อนกระแสสามารถหาได้จากสูตรดังต่อไปนี้ โดย V_T คือ Threshold Voltage และ K' คือ Transconductance Parameter

$$V_{GS1} = V = V_T + \sqrt{\frac{2I_R}{K' (W_1/L_1)}} \tag{3.3}$$

$$R = \frac{V_{CC} - V}{I_R} \tag{3.4}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.10 แสดงการนำวงจรสะท้อนกระแสมาใช้ในวงจรต่าง ๆ และแผนผังเวลา

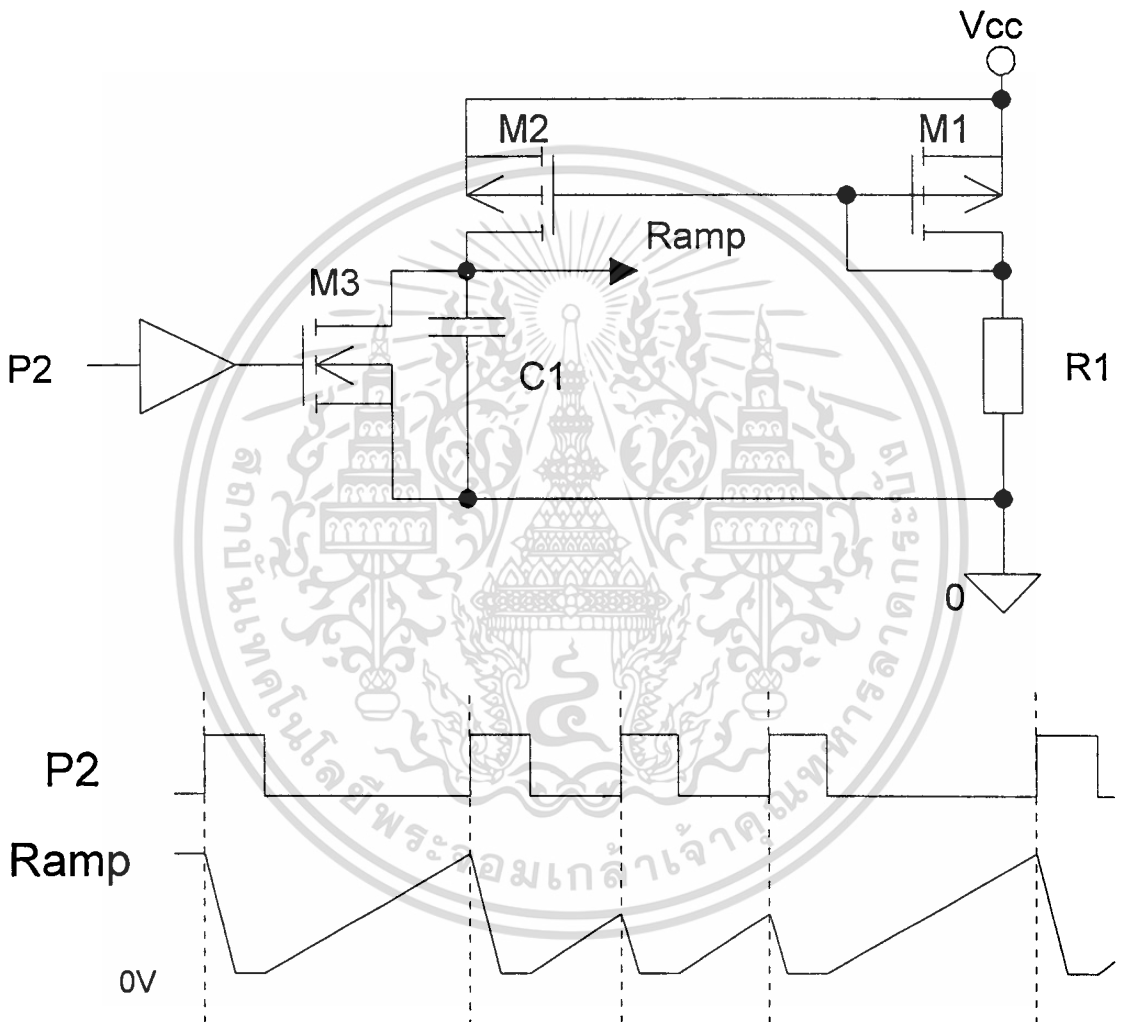


จากรูปที่ 3.10 แรงดันที่จุด C ขึ้นอยู่กับกระแส I_R ที่ขึ้นกับสมการ (3.1) และ(3.2) เมื่อ กำหนดให้กระแสและค่า C คงที่จะได้ว่า แรงดันที่จุด C แปรผันตามเวลา ด้วยหลักการนี้จึง สามารถนำมาใช้ในวงจรสร้างสัญญาณแรมพ์ เมื่อแรงดันที่จุด C สูงกว่า $V_{threshold}$ ของบัพเฟอร์ ทำให้สัญญาณที่เอาท์พุทของบัพเฟอร์เปลี่ยนสถานะจึงนำมากำหนดความกว้างของพัลส์ได้หลักการนี้ ใช้ในวงจร Monostable Retriggerable และวงจร Edge Detector

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์อื่นใด การค้า
 ไม่ว่าการณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 วงจรสร้างสัญญาณเรมพ์ [4]

รูปที่ 3.11 แสดงวงจรสร้างสัญญาณเรมพ์และแผนผังเวลา



วงจรเรมพ์ออกแบบให้มีความกว้างของพัลส์เท่ากับพัลส์ที่กว้างที่สุดที่ได้จากสัญญาณ ISO จากการรูดบัตรด้วยมือ จากวงจรอยู่ที่ประมาณ 2 ms ทำให้เกิดแรงดันสูงสุดเท่ากับ 5V (V_{cc}) โดยค่าของอุปกรณ์แต่ละตัวหาได้ดังนี้

เมื่อค่าความชันของสัญญาณเรมพ์มีค่าขึ้นอยู่กับกระแส(I) ที่ป้อนให้กับตัวเก็บประจุที่มีค่าเท่ากับ C โดยมีความสัมพันธ์ดังสมการ 3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการหาค่ากระแสของวงจรกำหนดให้ค่า $C = 0.1 \mu F$, ค่าความชันของสัญญาณแรมพ์มีค่าเท่ากับ $\frac{5}{2} V/ms$ แทนค่าในสมการ 3.5 จะได้ กระแส I มีค่าเท่ากับ $\frac{5 \times 0.1}{2} V \cdot \mu F/ms$ ดังนั้น $I = 250 \mu A$

การสร้างแหล่งจ่ายกระแส จากสมการ 3.1 จะได้ว่ากระแสที่ไหลผ่านตัวต้านทานขึ้นอยู่กับอัตราส่วนของค่า W_1/L_1 ของ M_1 กับ W_2/L_2 ของ M_2 กำหนดให้กระแสที่ผ่านตัวเก็บประจุมีค่าเท่ากับกระแสที่ผ่านตัวต้านทานจะทำให้ค่าของ W_1/L_1 ของ M_1 กับ W_2/L_2 ของ M_2 มีค่าเท่ากัน

การหาค่าตัวต้านทาน R_1 กำหนดให้ W_1/L_1 กับ W_2/L_2 มีค่าเท่ากับ $280/2$ (ค่านี้จะต้องนำไปใช้กับวงจร Monostable Retrigrable) , กระแสที่ไหลผ่านตัวต้านทาน $I_R = 250 \mu A$, $V_T = 1 V$, $K' = 10 \mu A/V^2$ แทนค่าในสมการ 3.3 และ 3.4

$$V = 1 + \sqrt{\frac{2 \times 250}{10(280/2)}} = 1.59 \text{ Volt}$$

$$R = \frac{5 - 1.59}{250} = 13,600 \approx 14 k\Omega$$

เลือกค่าความต้านทานที่มากขึ้นเพื่อให้สัญญาณแรมพ์สามารถใช้กับสัญญาณ ISO ที่มีความกว้างมากกว่า $2 ms$ ส่วน $M3$ ทำหน้าที่คายประจุ ถ้าพิจารณาที่ R_{ON} มีค่าเท่ากับ 44Ω ใช้เวลาคายประจุประมาณ RC เท่ากับ $44\Omega \times 0.1\mu F = 4.4 \mu s$ ซึ่งทันในช่วงเวลาที่ $P2$ สั่งให้คายประจุ (ประมาณ $10 \mu s$)

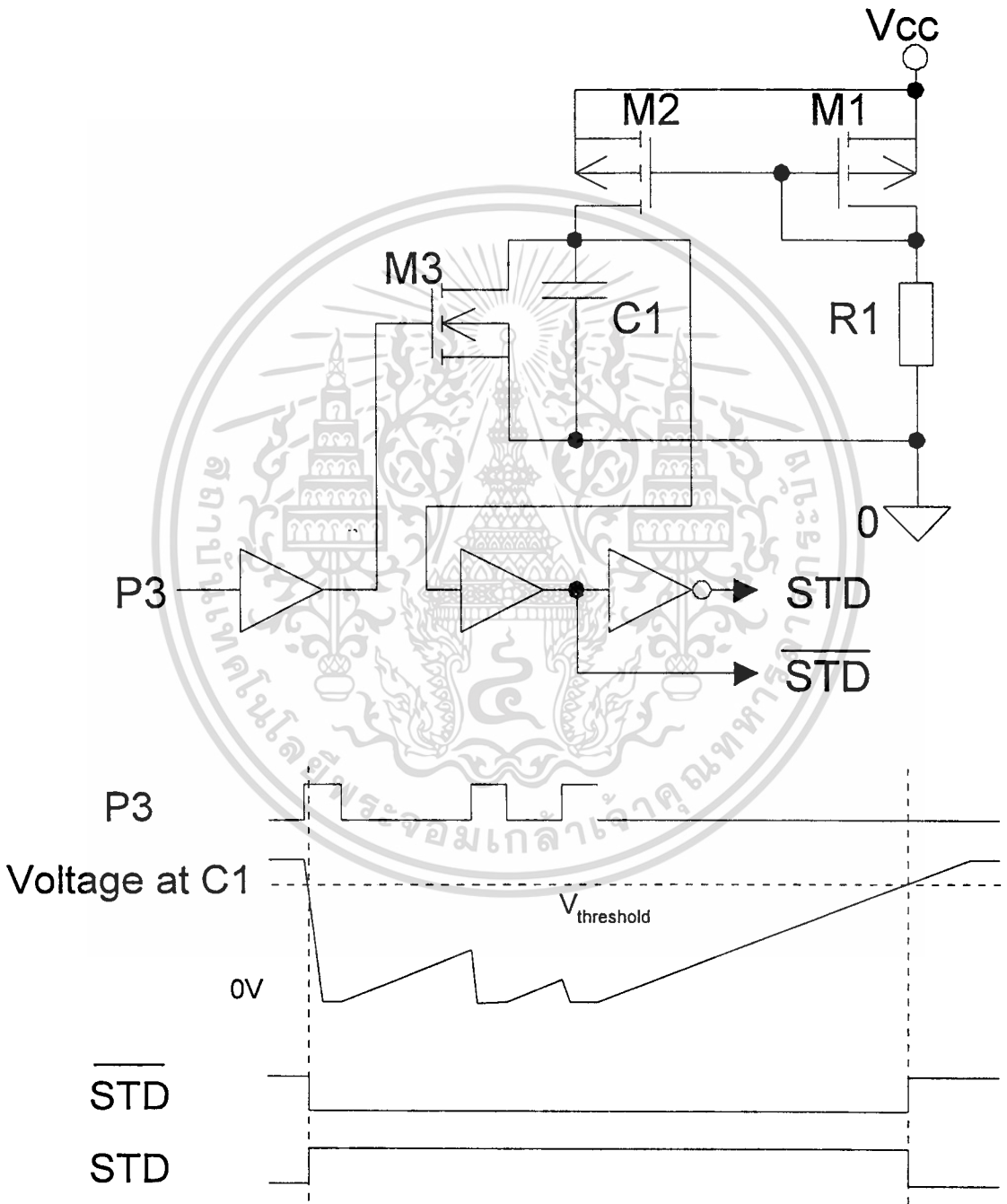
ตารางที่ 3.1 แสดงค่าของอุปกรณ์ที่ใช้ในวงจรแรมพ์

อุปกรณ์	รายละเอียด
M1,M2	PMOS $W : L = 280 : 2$
M3	NMOS $W : L = 1120 : 2$
R1	$14 k\Omega \pm 5 \%$
C1	$0.1 \mu F$ (อุปกรณ์ภายนอก IC)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 วงจร Monostable Retriggerable

รูปที่ 3.12 แสดงวงจร Monostable Retriggerable และแผนผังเวลา



วงจร Monostable Retriggerable ออกแบบให้ความกว้างของพัลส์สัญญาณ STD มากกว่า 2 ms เมื่อมีพัลส์มาจุกชนวนเพียงหนึ่งลูก ถ้ามีพัลส์(P3) มาจุกชนวนต่อเนื่องจะทำให้พัลส์สัญญาณ STD กว้างขึ้นเรื่อยๆ เมื่อไม่มีพัลส์มาจุกชนวนแรงดันที่ตัวเก็บประจุจะเพิ่มขึ้นจน มีค่ามากกว่าแรง ไม่ปรากฏแต่ทั้งสิ้น อีกทั้งยังมีเหตุที่เปลี่ยนแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีกว่านี้ไปใช้

คืนซีดเริ่ม $V_{\text{threshold}}$ จะทำให้สัญญาณ STD เปลี่ยนสถานะลอจิกอีกครั้ง (จากลอจิก 1 เป็น ลอจิก 0) จึงนำมาใช้เป็นสัญญาณแสดงการเริ่มอ่านบัตร โดยค่าของอุปกรณ์แต่ละตัวมีดังนี้

การหาค่าอุปกรณ์ต่างๆ ในส่วนของ M1 และ R1 เป็นอุปกรณ์ที่ใช้ร่วมกับวงจรสร้างสัญญาณแรมพ์ดังนั้นกระแสที่ไหลผ่านตัวต้านทานมีค่าเท่ากับ $244 \mu\text{A}$ ต้องการให้กระแสที่จ่ายให้ตัวเก็บประจุเท่ากับ $24.4 \mu\text{A}$ M2 จึงมีค่า W/L เท่ากับ 28/2 ตามความสัมพันธ์ของสมการ 3.1

กำหนดให้พัลส์ของ Monostable กว้าง 4 ms โดยพัลส์จะเกิดขึ้นเมื่อแรงดันตกคร่อมตัวเก็บประจุมีค่าสูงกว่า $V_{\text{Threshold}}$ ของอินเวอร์เตอร์(คือแรงดันที่ทำให้เอาต์พุทของอินเวอร์เตอร์มีแรงดันเป็นครึ่งหนึ่งของแหล่งจ่ายไฟ) $V_{\text{Threshold}}$ มีค่าประมาณ 2.1 โวลต์

ดังนั้น ความชันของแรงดันที่ตกคร่อมตัวเก็บประจุเทียบกับเวลามีค่าเท่ากับ $\frac{2.1}{4} \text{ Volt/ms}$ เมื่อแทนในสมการ 3.5 จะได้ค่าของตัวเก็บประจุเท่ากับ $0.0464 \mu\text{F}$ หรือค่า $0.47 \mu\text{F}$ ซึ่งเป็นค่าที่มีในท้องตลาด

M3 ทำหน้าที่คายประจุ ถ้าพิจารณาที่ R_{ON} มีค่าเท่ากับ 88Ω ใช้เวลาคายประจุประมาณ RC เท่ากับ $88\Omega \times 0.047\mu\text{F} = 4.136\mu\text{s}$ ซึ่งทันในช่วงเวลาที่ P3 สั่งให้คายประจุ (ประมาณ $10 \mu\text{s}$)

ตารางที่ 3.2 แสดงค่าของอุปกรณ์ที่ใช้ในวงจร Monostable Retriggerable

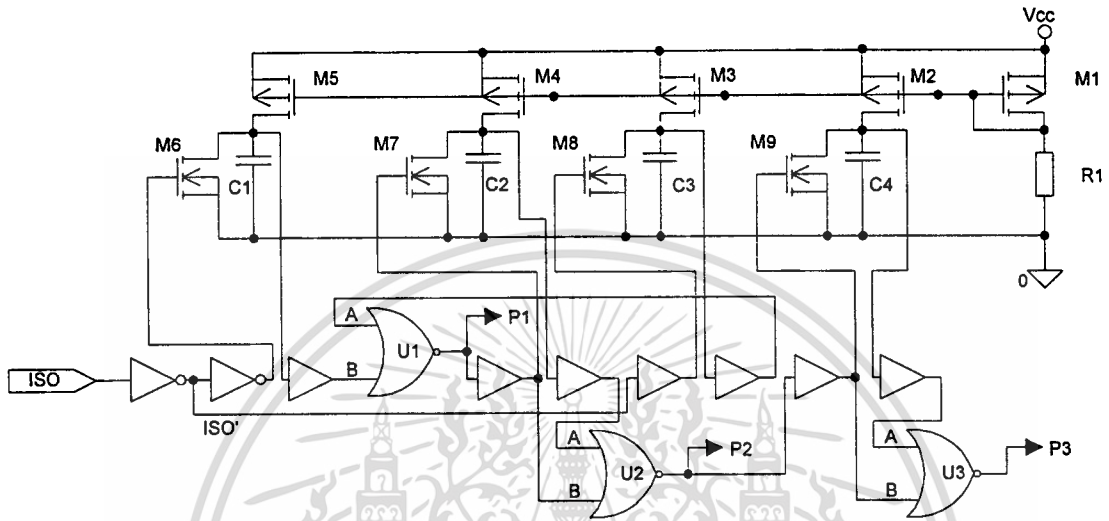
อุปกรณ์	รายละเอียด
M1	PMOS W : L = 280 : 2
M2	PMOS W : L = 28 : 2
M3	NMOS W : L = 560 : 2
R1	$14 \text{ k}\Omega \pm 5 \%$
C1	$0.047 \mu\text{F}$ (อุปกรณ์ภายนอก IC)

3.6 วงจรสร้างพัลส์ที่ขอบสัญญาณ ISO

เป็นวงจรที่สร้างพัลส์สามลูกที่ต่อเนื่องกัน โดยกำหนดให้มีความกว้างพัลส์เท่ากันทั้งสามสัญญาณ ในการออกแบบต้องหาค่ากระแสที่เหมาะสมในการชาร์จตัวเก็บประจุที่เป็นไปตามความสัมพันธ์ 3.2 จากรูปจะได้ความกว้างของพัลส์ประมาณ $10 \mu\text{s}$ ซึ่งเพียงพอที่จะใช้ในการสั่งให้วงจรคายประจุได้ทัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.13 แสดงวงจร Edge Detector



ที่ขอบขาลงของสัญญาณ ISO จะทำการประจุ C1 ด้วยกระแสคงที่ เมื่อแรงดันตกคร่อม C1 สูงกว่าแรงดันจุดเริ่มเปลี่ยนของอินเวอร์เตอร์ เอาท์พุทของอินเวอร์เตอร์จะเลื่อนขอบของสัญญาณไปประมาณ 10 μ s ทำการกลับบิตสัญญาณ ISO โดยป้อนเข้าอินเวอร์เตอร์ (\overline{ISO}) สัญญาณขอบขาลงของสัญญาณ \overline{ISO} (เป็นขอบขาขึ้นของสัญญาณ ISO) จะทำการประจุ C3 ด้วยกระแสคงที่ เมื่อแรงดันตกคร่อม C3 สูงกว่าแรงดันจุดเริ่มเปลี่ยนของอินเวอร์เตอร์ เอาท์พุทของอินเวอร์เตอร์จะเลื่อนขอบของสัญญาณไปประมาณ 10 μ s นำเอาท์พุททั้งสอง มาป้อนเข้า NOR GATE U1 เอาท์พุทของ U1 จะเป็นสัญญาณ P1 ที่มีความกว้างพัลส์เท่ากับ 10 μ s โดยค่าของอุปกรณ์แต่ละตัวหาได้ดังนี้

กำหนดให้พัลส์ของ P1,P2,P3 กว้างที่สุด 13 μ s โดยพัลส์จะเกิดขึ้นเมื่อแรงดันตกคร่อมตัวเก็บประจุมีค่าสูงกว่า $V_{Threshold}$ ของอินเวอร์เตอร์ (คือแรงดันที่ทำให้เอาท์พุทของอินเวอร์เตอร์มีแรงดันเป็นครึ่งหนึ่งของแหล่งจ่ายไฟ) $V_{Threshold}$ มีค่าประมาณ 2.1 โวลต์

ดังนั้น ความชันของแรงดันที่ตกคร่อมตัวเก็บประจุเทียบกับเวลามีค่าเท่ากับ $\frac{2.1}{13}$ Volt/ μ s เมื่อแทนในสมการ 3.5 โดยกำหนดค่าของตัวเก็บประจุเท่ากับ 137.7 pF ซึ่งเป็นตัวเก็บประจุที่สร้างขึ้นภายในชิพโดยจะอธิบายในบทที่ 4 ดังนั้นจะได้กระแส $I = \frac{2.1 \times 137.7}{13} \text{ V} \cdot \text{pF} / \mu\text{s}$
 $I = 22.24 \mu\text{A}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสร้างแหล่งจ่ายกระแส จากสมการ 3.1 จะได้ว่ากระแสที่ไหลผ่านตัวต้านทานขึ้นอยู่กับอัตราส่วนของค่า W_1/L_1 ของ M_1 กับ W_2/L_2 ของ M_2 กำหนดให้กระแสที่ผ่านตัวเก็บประจุมีค่า $1/20$ เท่ากับกระแสที่ผ่านตัวต้านทานจะทำให้ค่าของ W_1/L_1 ของ M_1 มีค่าเป็น 20 เท่าของค่า W_2/L_2 ของ M_2

การหาค่าตัวต้านทาน R_1 กำหนดให้ W_1/L_1 มีค่าเท่ากับ $560/2$ กับ W_2/L_2 มีค่าเท่ากับ $28/2$, กระแสที่ไหลผ่านตัวต้านทาน $I_R = 444.8 \mu A$, $V_T = 1 V$, $K' = 10 \mu A/V^2$ แทนค่าในสมการ 3.3 และ 3.4

$$V = 1 + \sqrt{\frac{2 \times 444.8}{10(560/2)}} = 1.797 \text{ Volt}$$

$$R = \frac{5 - 1.797}{444.8} = 7,200.68 \approx 6.8k\Omega$$

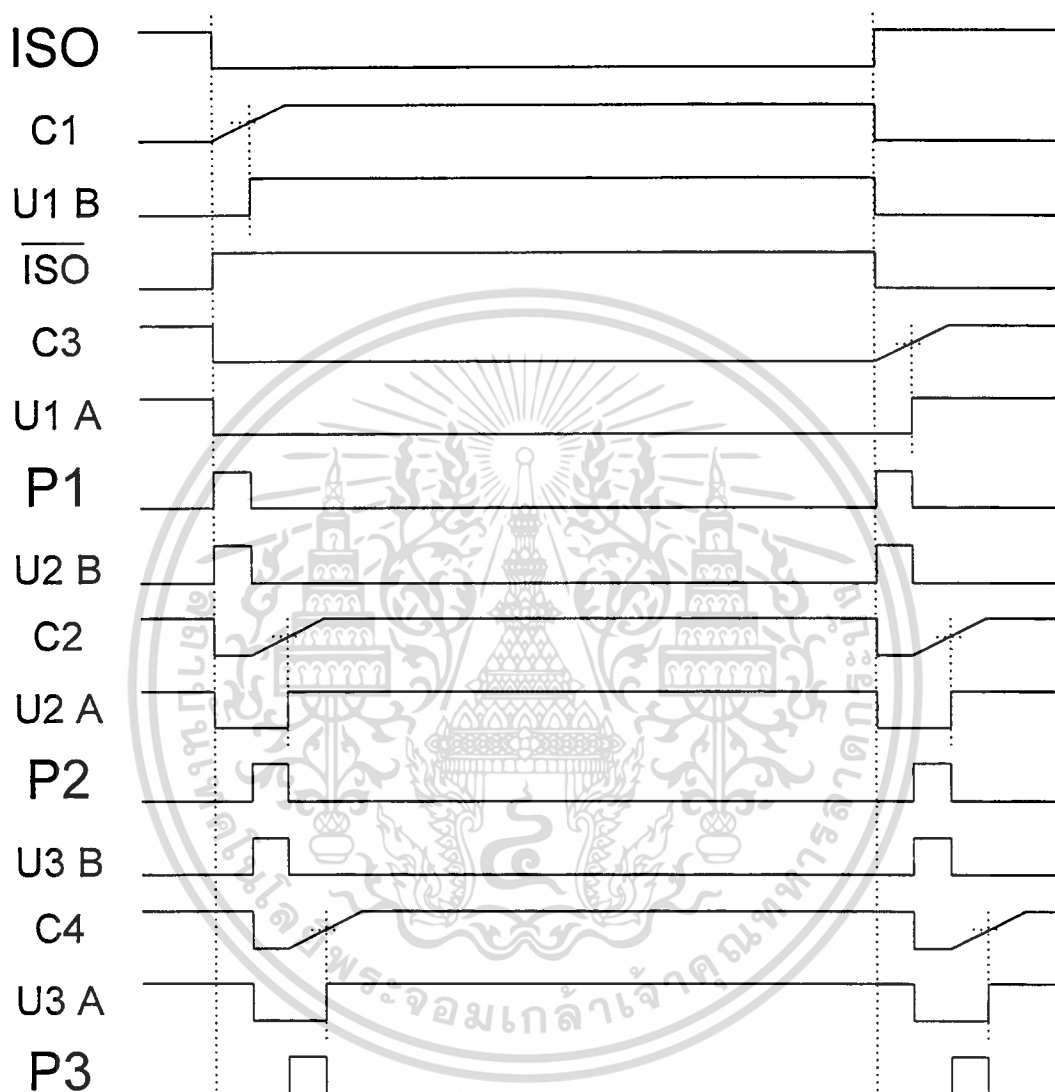
เลือกค่าความต้านทานที่น้อยลงเพื่อให้สัญญาณ P1 , P2 , P3 มีความกว้างพัลส์ประมาณ $10 \mu s$

ตารางที่ 3.3 แสดงค่าของอุปกรณ์ที่ใช้ในวงจร Edge Detector

อุปกรณ์	รายละเอียด
M1	PMOS W : L = 560 : 2
M2 , M3 , M4 , M5	PMOS W : L = 28 : 2
M6 , M7 , M8 , M9	NMOS W : L = 280 : 2
R1	$6.8 k\Omega \pm 5 \%$
C1 , C2 , C3 , C4	137.7 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

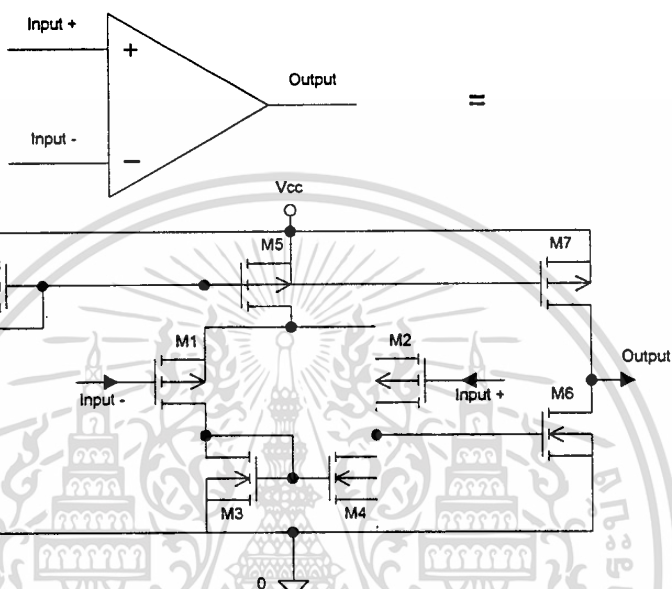
รูปที่ 3.14 แสดงแผนผังเวลาของวงจร Edge Detector



แผนผังเวลาของสัญญาณที่จุดต่างๆของวงจร แสดงกระบวนการสร้างพัลส์ โดยจะนำขอบของสัญญาณ ISO มาสร้างสัญญาณพัลส์ P1 ก่อน หลังจากนั้นก็นำขอบขาของพัลส์ P1 มาสร้างสัญญาณพัลส์ P2 แล้วนำขอบขาของพัลส์ P2 มาสร้างสัญญาณพัลส์ P3

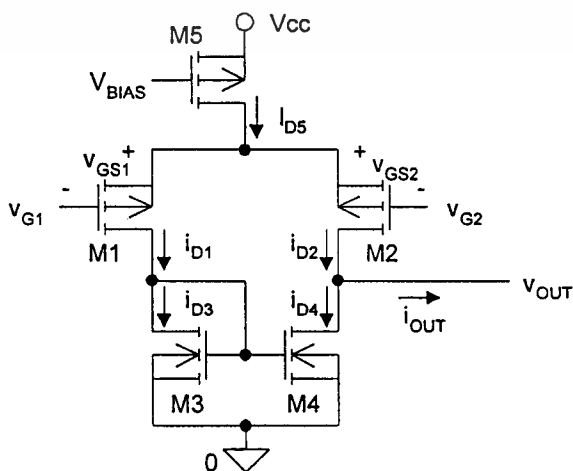
3.7 วงจรเปรียบเทียบ Comparator [5]

รูปที่ 3.15 แสดงวงจรเปรียบเทียบ Comparator



วงจรเปรียบเทียบ ใช้ในการเปรียบเทียบสัญญาณอ้างอิงกับสัญญาณต่าง ๆ แล้วนำเอาที่พุดที่เป็นระดับลอจิกไปส่งงานวงจรส่วนอื่นๆที่เป็นดิจิทัล

รูปที่ 3.16 แสดงวงจรขยายผลต่างภาคแรกของวงจรเปรียบเทียบ Comparator



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปจะได้ว่า

$$v_{ID} = v_{GS1} - v_{GS1} = \sqrt{\frac{2i_{D1}}{\beta}} - \sqrt{\frac{2i_{D2}}{\beta}} \quad (3.6)$$

$$I_{D5} = i_{D1} + i_{D2} \quad (3.7)$$

เมื่อนำสมการ 3.7 แทนลงในสมการ 3.6 แก้สมการหาค่า i_{D1} และ i_{D2} จะได้

$$i_{D1} = \frac{I_{D5}}{2} + \frac{I_{D5}}{2} \sqrt{\left(\frac{\beta v_{ID}^2}{I_{D5}} - \frac{\beta^2 v_{ID}^4}{4I_{D5}^2} \right)} \quad (3.8)$$

$$i_{D2} = \frac{I_{D5}}{2} - \frac{I_{D5}}{2} \sqrt{\left(\frac{\beta v_{ID}^2}{I_{D5}} - \frac{\beta^2 v_{ID}^4}{4I_{D5}^2} \right)} \quad (3.9)$$

ทำการหาอนุพันธ์สมการ 3.8 เทียบกับ v_{ID} โดยที่ $v_{ID} = 0$ จะได้ค่าทรานส์คอนดักแตนซ์ของวงจร

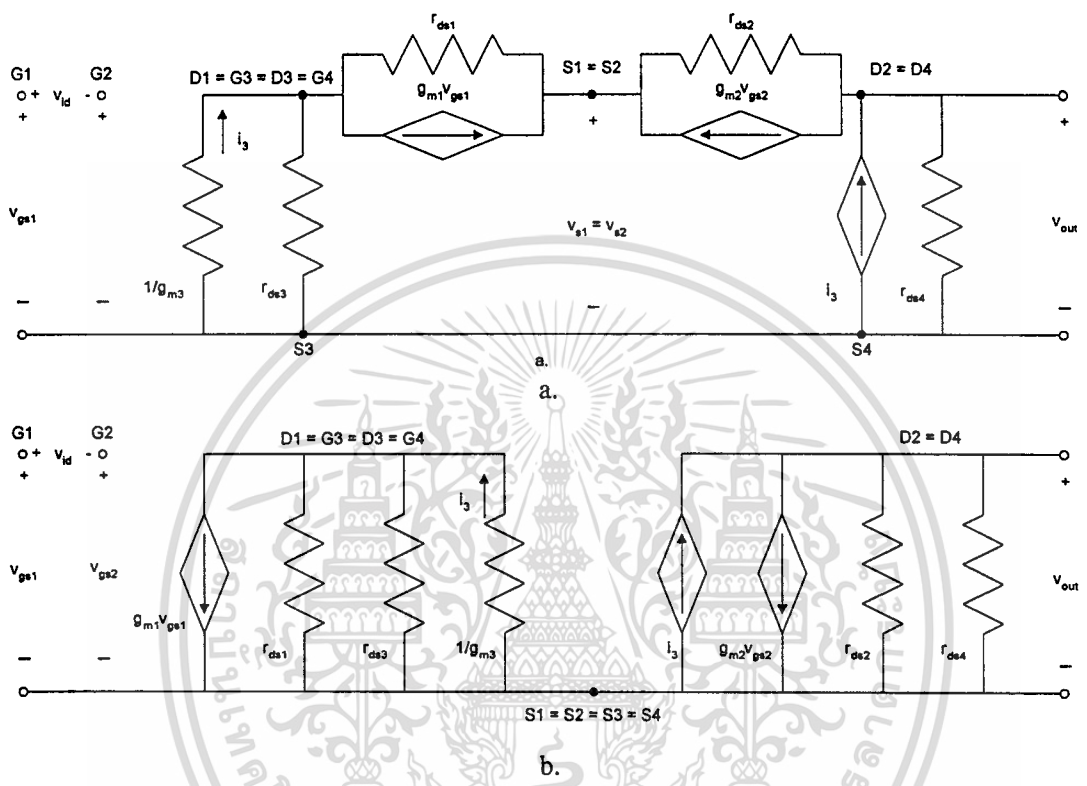
$$g_m = \frac{\partial i_{D1}}{\partial v_{ID}}; (v_{ID} = 0) = \sqrt{\frac{\beta I_{D5}}{4}} = \sqrt{\frac{K_1 I_{D5} W_1}{4L_1}} \quad (3.10)$$

จากวงจรให้กระแสในวงจรสะท้อนกระแสมีค่าเท่ากันพบว่า i_{OUT} เกิดจาก i_{D1} ลบด้วย i_{D2} ทำการหาค่าทรานส์คอนดักแตนซ์ของวงจรขยายผลต่างพบว่า มีค่าเป็นสองเท่าของสมการ 3.10 จะได้

$$g_{md} = \frac{\partial i_{OUT}}{\partial v_{ID}}; (v_{ID} = 0) = \sqrt{\frac{K_1 I_{D5} W_1}{L_1}} \quad (3.11)$$

รูปที่ 3.17 แสดง Small - signal model ของวงจรขยายผลต่างภาคแรกของวงจรเปรียบเทียบ

Comparator a. Small - signal model b. แบบย่อ



กระแสเอาต์พุตของวงจรขณะที่ไม่มีโหลดมีค่าดังสมการ

$$i_{out} = \frac{g_{m1}g_{m4}r_{p1}}{1 + g_{m3}r_{p1}} v_{gs1} - g_{m2}v_{gs2} \tag{3.12}$$

โดย $r_{p1} = r_{ds1} // r_{ds3}$ หรือเขียนในรูปง่ายขึ้นดังสมการ

$$i'_{out} \cong g_{m1}v_{gs1} - g_{m2}v_{gs2} = g_{md}v_{id} \tag{3.13}$$

ความต้านทานเอาต์พุตของวงจรขณะที่ไม่มีโหลดมีค่าดังสมการ

$$r_{out} = \frac{1}{g_{ds2} + g_{ds4}} \tag{3.14}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อัตราขยายแรงดันมีค่าเท่ากับผลคูณของ g_{md} กับ r_{out}

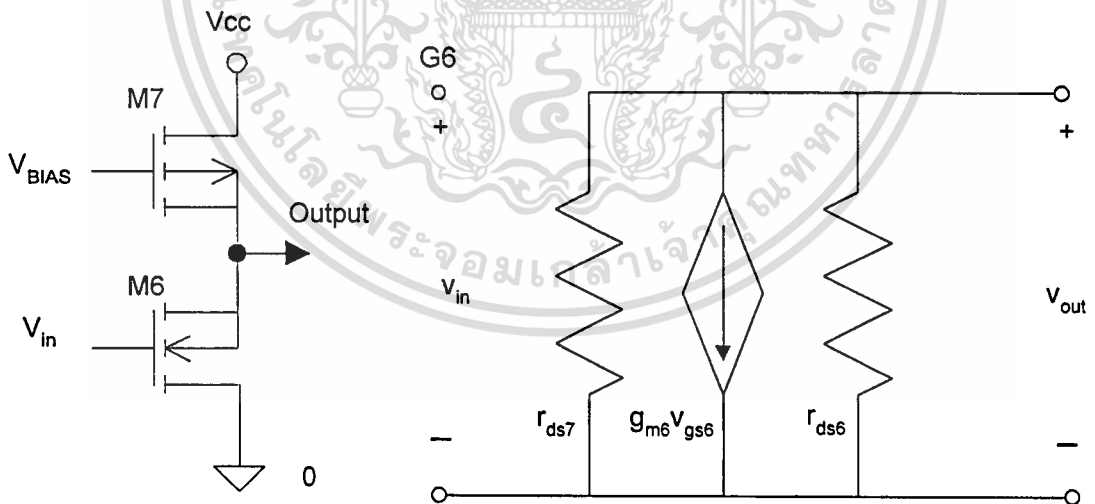
$$A_{v1} = \frac{v_{out}}{v_{id}} = \frac{g_{md}}{g_{ds2} + g_{ds4}} \tag{3.15}$$

$$g_{ds} = \frac{I_D \lambda}{1 + \lambda V_{DS}} \approx I_D \lambda \tag{3.16}$$

แทน g_{md} ด้วยสมการ 3.11 และ g_{ds} ด้วยสมการ 3.16

$$A_{v1} = \frac{v_{out}}{v_{id}} = \frac{\sqrt{K'_1 I_5 W_1 / L_1}}{(\lambda_2 + \lambda_4)(I_5 / 2)} = \frac{2}{\lambda_2 + \lambda_4} \sqrt{\frac{K'_1 W_1}{I_5 L_1}} \tag{3.17}$$

รูปที่ 3.18 แสดงวงจรขยายภาคที่สองและ Small - signal model ของวงจรเปรียบเทียบ Comparator



ความต้านทานเอาต์พุตของวงจรขณะที่ไม่มีโหลดมีค่าดังสมการ

$$r_{out} = \frac{1}{g_{ds6} + g_{ds7}} \tag{3.18}$$

$$A_{v2} = \frac{v_{out}}{v_{in}} = \frac{g_{m6}}{g_{ds6} + g_{ds7}} \quad (3.19)$$

$$g_m \approx \sqrt{\frac{2K'_6 I_7 W_6}{L_6}} \quad (3.20)$$

แทน g_m ด้วยสมการ 3.20 และ g_{ds} ด้วยสมการ 3.16

$$A_{v2} = \frac{v_{out}}{v_{in}} = \frac{\sqrt{2K'_6 I_7 W_6 / L_6}}{(\lambda_6 + \lambda_7)(I_7)} = \frac{1}{\lambda_6 + \lambda_7} \sqrt{\frac{2K'_6 W_6}{I_7 L_6}} \quad (3.21)$$

กำหนดให้ $K'_p = 10 \mu\text{A}/\text{V}^2$, $K'_n = 20 \mu\text{A}/\text{V}^2$, $\lambda_p = 0.04 \text{ V}^{-1}$, $\lambda_n = 0.03 \text{ V}^{-1}$, กระแสที่ไหลผ่าน M7 และ M5 กำหนดให้มีค่าเท่ากับ $55 \mu\text{A}$ ($I_7 = 55 \mu\text{A}$, $I_5 = 55 \mu\text{A}$) ในการสร้างแหล่งจ่ายกระแสต้องการให้ R1 มีค่าไม่สูงนัก จึงกำหนดให้ M8 มีค่า W/L เป็น 4 เท่าของ M5 และ M7 กระแสที่ไหลผ่าน M8 จะมีค่าเท่ากับ $220 \mu\text{A}$ (จากสมการ 3.1) เมื่อแทนค่าต่าง ๆ ลงในสมการ 3.3 และ 3.4 จะได้ค่า R4 เท่ากับ $14.152 \text{ k}\Omega$ หรือประมาณ $14.2 \text{ k}\Omega$

ค่าของ $A_{v1} = -45.3$ (สมการ 3.17), $A_{v2} = -90.9$ (สมการ 3.21) อัตราขยายแรงดันของวงจรเปรียบเทียบ Comparator มีค่าเท่ากับผลคูณของอัตราขยายแรงดันของทั้งสองภาค $A_{v1} \times A_{v2} = 4119$ เอาท์พุทของวงจรเปรียบเทียบป้อนเข้าอินเวอร์เตอร์เกต ซึ่งเสมือนเป็นโหลดตัวเก็บประจุ C_L สมมุติค่าเท่ากับ 50 pF ดังนั้น $\text{Slew Rate} = I_7/C_L = 55 \mu\text{A}/50 \text{ pF} = 1.1 \text{ V}/\mu\text{s}$

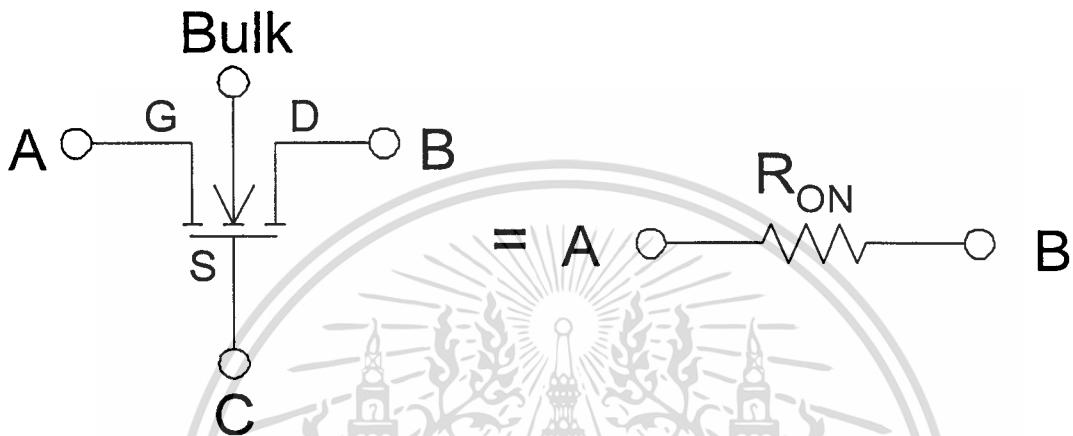
การเปลี่ยนแรงดัน 0 - 5 โวลต์ ต้องใช้เวลา $4.5 \mu\text{s}$ โดยสัญญาณ ISO ที่มีความกว้างน้อยที่สุดมีค่า $200 \mu\text{s}$ แสดงว่าวงจรสามารถเปรียบเทียบแรงดันได้ทัน โดยค่าของอุปกรณ์แต่ละตัวมีดังนี้

ตารางที่ 3.4 แสดงค่าของอุปกรณ์ที่ใช้ในวงจร Comparator

อุปกรณ์	รายละเอียด
M1 , M2 , M5 , M7	PMOS W : L = 28 : 2
M3 , M4 , M6	NMOS W : L = 28 : 2
M8	PMOS W : L = 112 : 2
R1	$14.2 \text{ k}\Omega \pm 5 \%$

3.8 วงจร Analog Switch [5]

รูปที่ 3.19 แสดง NMOS Switch



เป็นรูปแบบของ voltage-controlled switch ทำงานในย่าน NonSaturation

$$i_D = \frac{\mu_0 C_{ox} W}{L} \left[(V_{GS} - V_T) - (V_{DS} / 2) \right] V_{DS} (1 + \lambda V_{DS}) \quad (3.22)$$

เนื่องจาก V_{DS} มีค่าเล็กมากจึงสามารถตัดทอนบางเทอมทิ้งไป

$$i_D \cong \frac{\mu_0 C_{ox} W}{L} (V_{GS} - V_T) V_{DS} = \frac{K' W}{L} (V_{GS} - V_T) V_{DS} \quad (3.23)$$

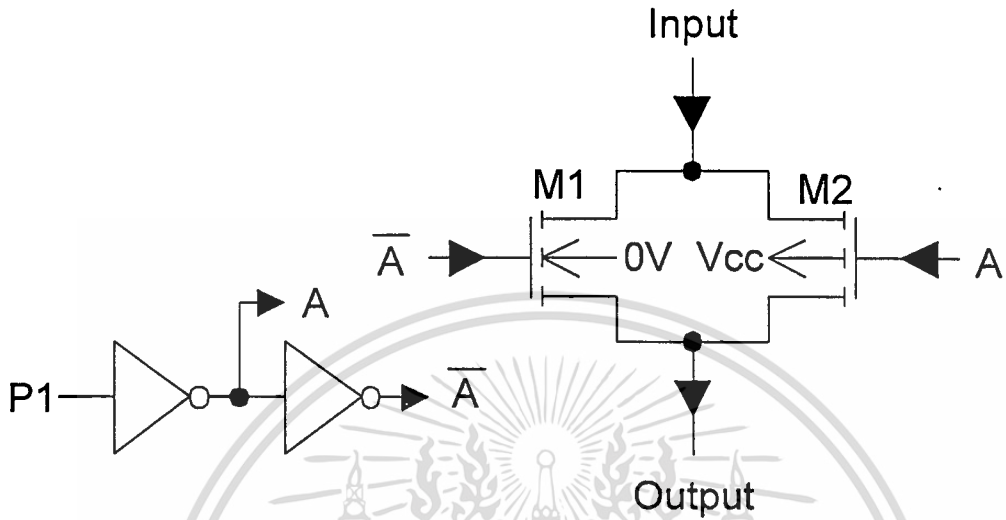
เมื่อ V_{DS} น้อยกว่า $V_{GS} - V_T$ แต่ก็ยังมากกว่า 0

สมมติว่าไม่มี offset voltage ความต้านทานของ switch จะได้ว่า

$$R_{ON} = \frac{1}{\partial i_D / \partial V_{DS}} = \frac{L}{\mu_n C_{ox} W (V_{GS} - V_T)} = \frac{L}{K'_n W (V_{GS} - V_T)} \quad (3.24)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.20 แสดงวงจร CMOS Switch

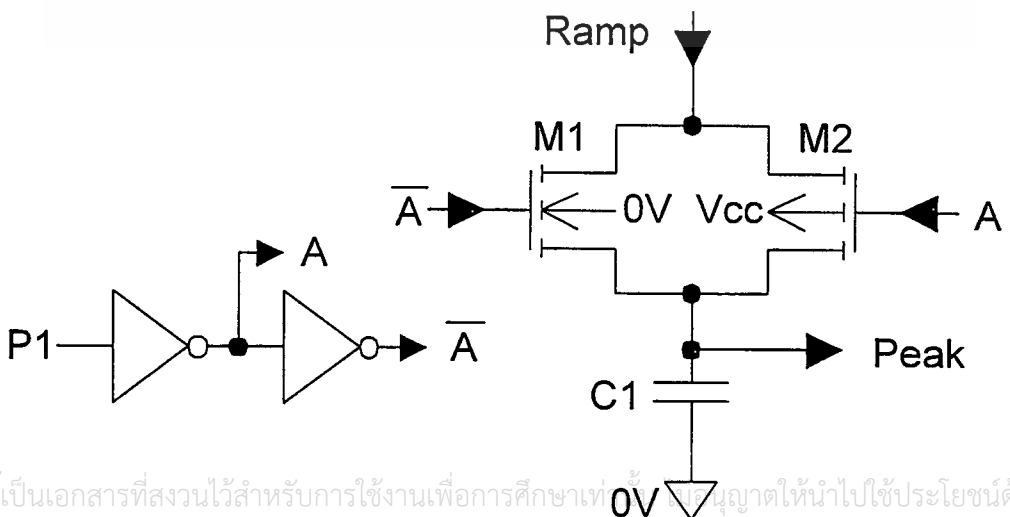


จากรูปที่ 3.20 ความต้านทานของ switch จะได้ว่า

$$R_{ON} = \frac{L_P}{K'_P W_P (V_{GS} - V_{TP})} \parallel \frac{L_N}{K'_N W_N (V_{GS} - V_{TN})} \quad (3.25)$$

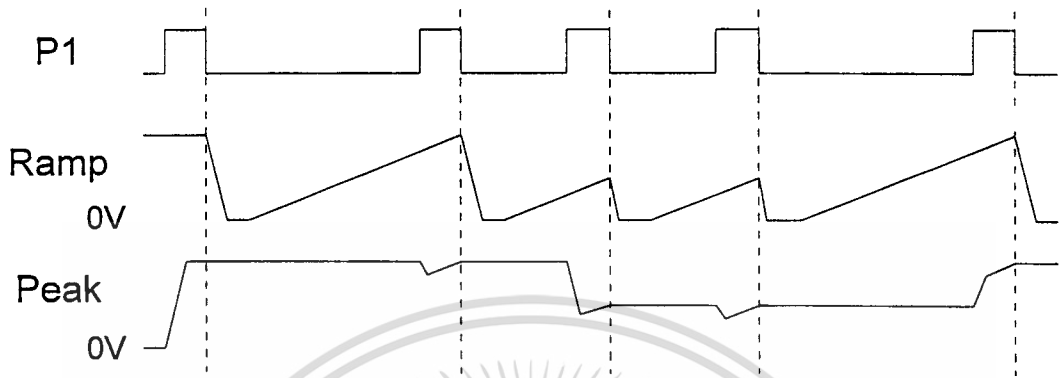
3.9 วงจร Peak Detector

รูปที่ 3.21 แสดงวงจร Peak Detector และแผนผังเวลา



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น กรุณาอย่าให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.21 (ต่อ) แสดงวงจร Peak Detector และแผนผังเวลา



วงจร Peak Detector และวงจรรักษาแรงดันใช้ CMOS ทำสวิตช์ จากรูปที่ 3.21 และ 3.22 เป็นวงจรพื้นฐานของ Sample and Hold เพื่อรักษาแรงดันที่เวลาต่าง ๆ ตามสัญญาณสั่งงาน โดยค่าของอุปกรณ์แต่ละตัวมีดังนี้

M1 และ M2 ทำงานเป็นสวิตช์ ต้องมีค่าความต้านทานต่ำ ให้ W/L เท่ากับ $560/2$, $K'_p = 10 \mu\text{A}/\text{V}^2$, $K'_n = 20 \mu\text{A}/\text{V}^2$ ดังนั้น R_{ON} รวม หาได้จากการแทนค่าสมการ 3.25 เท่ากับ

$$\frac{2}{10 \times 10^{-6} \times 560 \times (5-1)} // \frac{2}{20 \times 10^{-6} \times 560 \times (5-1)} = \frac{8.92 \times 4.46}{8.92 + 4.46} = 2.97 \Omega$$

เวลาที่ใช้เปลี่ยนระดับแรงดันประมาณ RC เท่ากับ $2.97 \times 5 \times 10^{-9} = 14.85 \text{ ps}$ สามารถเปลี่ยนระดับรักษาแรงดันได้ทันในช่วงเวลา $10 \mu\text{s}$ (ความกว้างของพัลส์ P1)

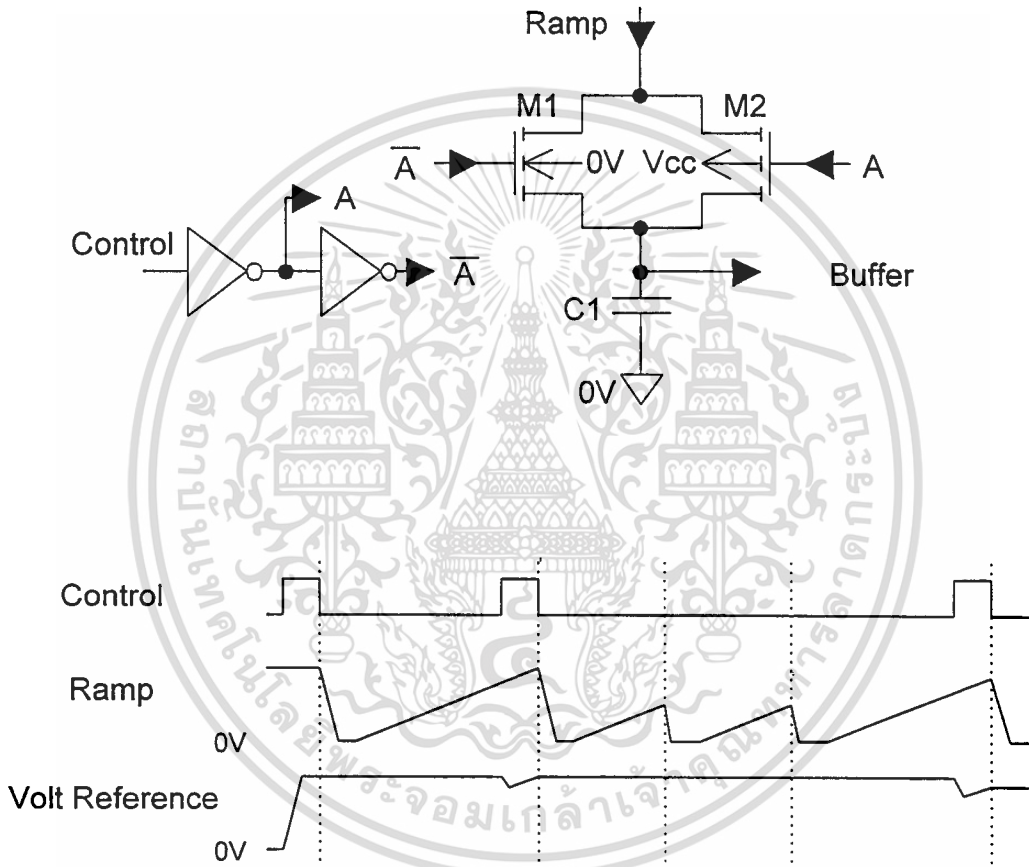
ตารางที่ 3.5 แสดงค่าของอุปกรณ์ที่ใช้ในวงจร Peak

อุปกรณ์	รายละเอียด
M1	NMOS W : L = 560 : 2
M2	PMOS W : L = 560 : 2
C1	5 nF (อุปกรณ์ภายนอก IC)

3.10 วงจร Adaptive Reference Voltage

ประกอบไปด้วยวงจรย่อย 3 วงจรด้วยกันคือวงจรรักษาแรงดัน วงจรบัฟเฟอร์ และวงจรแบ่งแรงดัน

รูปที่ 3.22 แสดงวงจรรักษาแรงดันและแผนผังเวลา



โดยค่าของอุปกรณ์แต่ละตัวมีดังนี้

M1 และ M2 ทำงานเป็นสวิตช์ ต้องมีค่าความต้านทานต่ำ ให้ W/L เท่ากับ $560/2$, $K'_p = 10 \mu A/V^2$, $K'_n = 20 \mu A/V^2$ ดังนั้น R_{ON} รวม หาได้จากการแทนค่าสมการ 3.25 เท่ากับ

$$\frac{2}{10 \times 10^{-6} \times 560 \times (5-1)} // \frac{2}{20 \times 10^{-6} \times 560 \times (5-1)} = \frac{8.92 \times 4.46}{8.92 + 4.46} = 2.97 \Omega$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

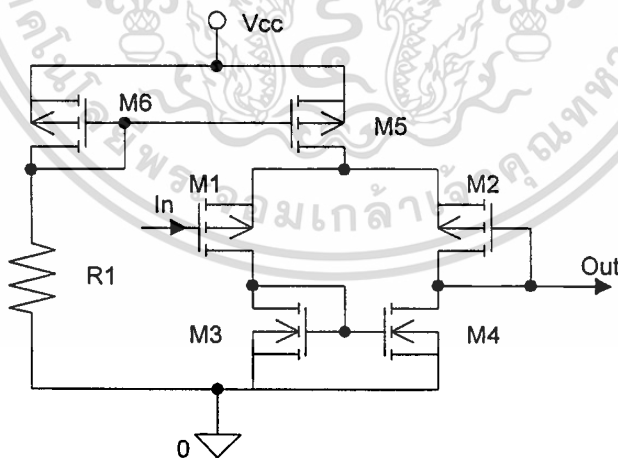
เวลาที่ใช้เปลี่ยนระดับแรงดันประมาณ RC เท่ากับ $2.97 \times 5 \times 10^{-9} = 14.85$ ps สามารถเปลี่ยนระดับรักษาแรงดันได้ทันในช่วงเวลา $10 \mu\text{s}$ (ความกว้างของพัลส์ P1)

ตารางที่ 3.6 ค่าของอุปกรณ์ที่ใช้ในวงจรรักษาแรงดัน

อุปกรณ์	รายละเอียด
M1	NMOS W : L = 560 : 2
M2	PMOS W : L = 560 : 2
C1	5 nF (อุปกรณ์ภายนอก IC)

เอาท์พุทจากวงจรรักษาแรงดันรูปที่ 3.22 นำไปเป็นอินพุทของวงจรมัลติเพล็กซ์ (รูปที่ 3.23) และวงจรมัลติเพล็กซ์ (รูปที่ 3.24) ประกอบไปด้วยไดโอด 4 ตัวต่ออนุกรมกันใช้แบ่งแรงดันเพื่อนำสัญญาณ 75% ของแรงดันอินพุทและ 50% ของแรงดันอินพุท ไปใช้เป็นแรงดันอ้างอิง

รูปที่ 3.23 แสดงวงจรมัลติเพล็กซ์



อัตราขยายแรงดันของวงจรมัลติเพล็กซ์ความต่างมีค่าเท่ากับ

$$A_v = \frac{V_{out}}{V_{in}} \quad (3.26)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$A_v \times V_{id} = V_{out} \quad (3.27)$$

เมื่อป้อนให้อินพุตทางด้านลบต่อเข้ากับเอาต์พุตของวงจร

$$A_v \times (V_{in} - V_{out}) = V_{out} \quad (3.28)$$

$$A_v V_{in} = V_{out} (1 + A_v) \quad (3.29)$$

$$V_{in} = V_{out} \frac{(1 + A_v)}{A_v} \quad (3.30)$$

ถ้าอัตราขยายแรงดันมีค่ามาก ๆ จะได้ว่า

$$V_{in} = V_{out} \quad (3.31)$$

กำหนดให้ $K'_p = 10 \mu\text{A}/\text{V}^2$, $K'_n = 20 \mu\text{A}/\text{V}^2$, $\lambda_p = 0.04 \text{ V}^{-1}$, $\lambda_n = 0.03 \text{ V}^{-1}$, กระแสที่ไหลผ่าน M5 กำหนดให้มีค่าเท่ากับ $55 \mu\text{A}$ ($I_s = 55 \mu\text{A}$) แหล่งจ่ายกระแสใช้ R1 และ M6 ร่วมกับวงจร Comparator ค่าอัตราขยายแรงดันของวงจร $A_{v1} = -117.8$ เมื่อใช้เป็นดิฟเฟอเรนเชียลเรนเจียนแอมป์ (ได้จากสมการ 3.17) เมื่อแทนในสมการ 3.30 $V_{in} = 1.008 V_{out}$ แสดงว่าอัตราขยายแรงดันมีค่าสูงพอวงจรสามารถใช้เป็นวงจรบัฟเฟอร์ได้ โดยค่าของอุปกรณ์แต่ละตัวมีดังนี้

ตารางที่ 3.7 ค่าของอุปกรณ์ที่ใช้ในวงจรบัฟเฟอร์และวงจรแบ่งแรงดัน

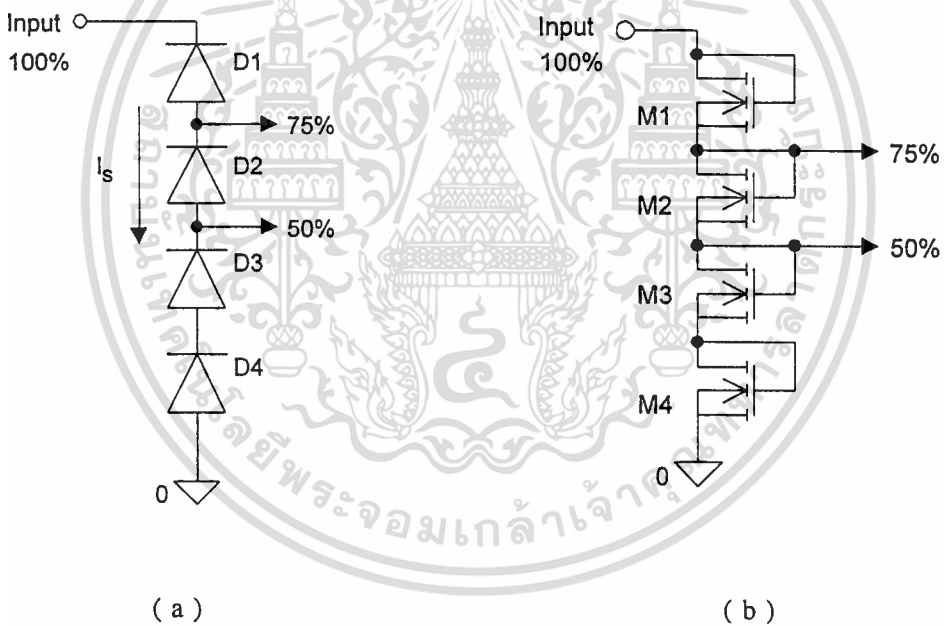
อุปกรณ์	รายละเอียด
M1 , M2	PMOS W : L = 188 : 2
M3 , M4	NMOS W : L = 28 : 2
M5	PMOS W : L = 28 : 2
M6	PMOS W : L = 112 : 2
R1	14.2 k Ω \pm 5 %
D1,D2,D3,D4	Silicon Diode (อุปกรณ์ภายนอก IC)

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการใช้งานเพื่อการศึกษาเท่านั้น ไม่สามารถเผยแพร่หรือใช้เพื่อการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

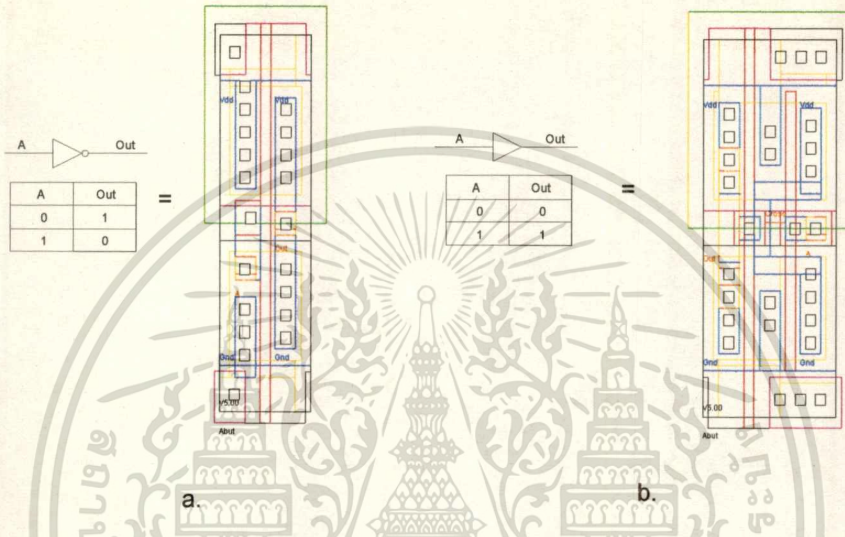
วงจรแบ่งแรงดันใช้การไบเอสกลับไดโอด (รูปที่ 3.24) เพื่อให้กระแสผ่านไดโอดมีค่าน้อยมาก (เท่ากับ I_s) และกระแสจะไม่เปลี่ยนแปลงตามแรงดันที่ป้อนให้วงจร ในการออกแบบโดยทั่วไปของวงจรแบ่งแรงดัน จะใช้มอสมาต่ออนุกรมกันโดยเชื่อมขาเกตกับขาเดรนเข้าด้วยกัน ซึ่งไม่สามารถนำมาใช้กับวงจรนี้ได้ เพราะอินพุตนั้นมีช่วงแรงดันจากสูง (เข้าใกล้ 5 โวลต์) ไปจนถึงแรงดันต่ำ (เข้าใกล้ 0 โวลต์) และที่แรงดันต่ำจะทำให้วงจรแบ่งแรงดันที่สร้างจากมอสทำงานผิดพลาดทำให้แรงดันที่ตกคร่อมแต่ละตัวไม่เท่ากัน

รูปที่ 3.24 แสดงวงจรแบ่งแรงดัน (a) โดยใช้ไดโอด (b) โดยใช้มอสทรานซิสเตอร์

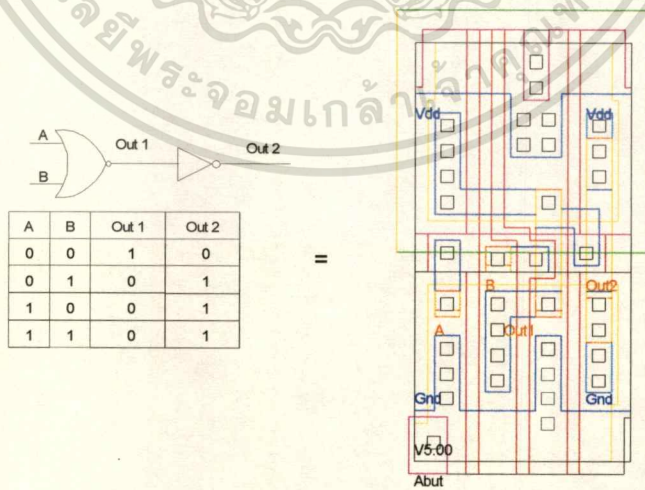


4.2 การเขียน LAYOUT จากวงจรที่ออกแบบ

รูปที่ 4.2 แสดงสัญลักษณ์ของเกตและวงจรภายใน a. วงจรอินเวอร์เตอร์ b. วงจรบัฟเฟอร์

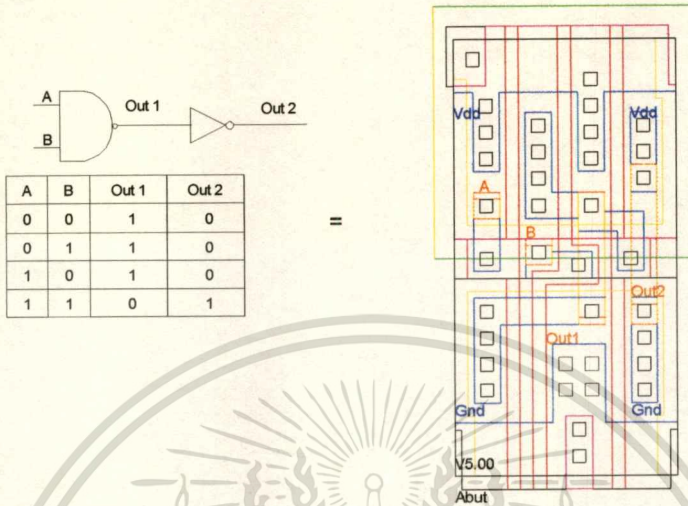


รูปที่ 4.3 แสดงสัญลักษณ์ของเกตและวงจรภายใน a. วงจร NOR b. วงจร OR

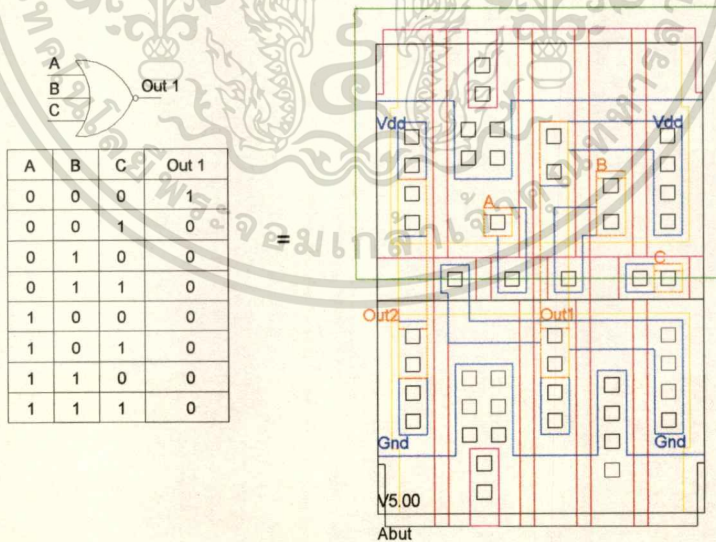


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

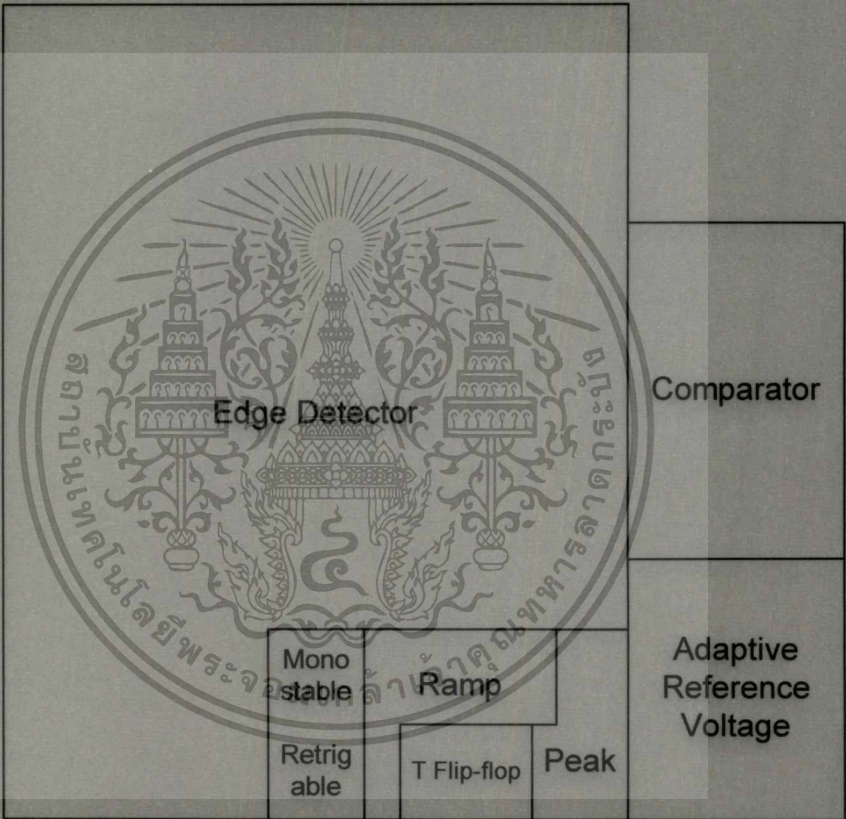
รูปที่ 4.4 แสดงสัญลักษณ์ของ NAND ,AND GATE 2 Input และรูปแบบของ Layout



รูปที่ 4.5 แสดงสัญลักษณ์ของ NOR GATE 3 Input และรูปแบบของ Layout



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Edge Detector

Comparator

Adaptive Reference Voltage

Mono stable

Ramp

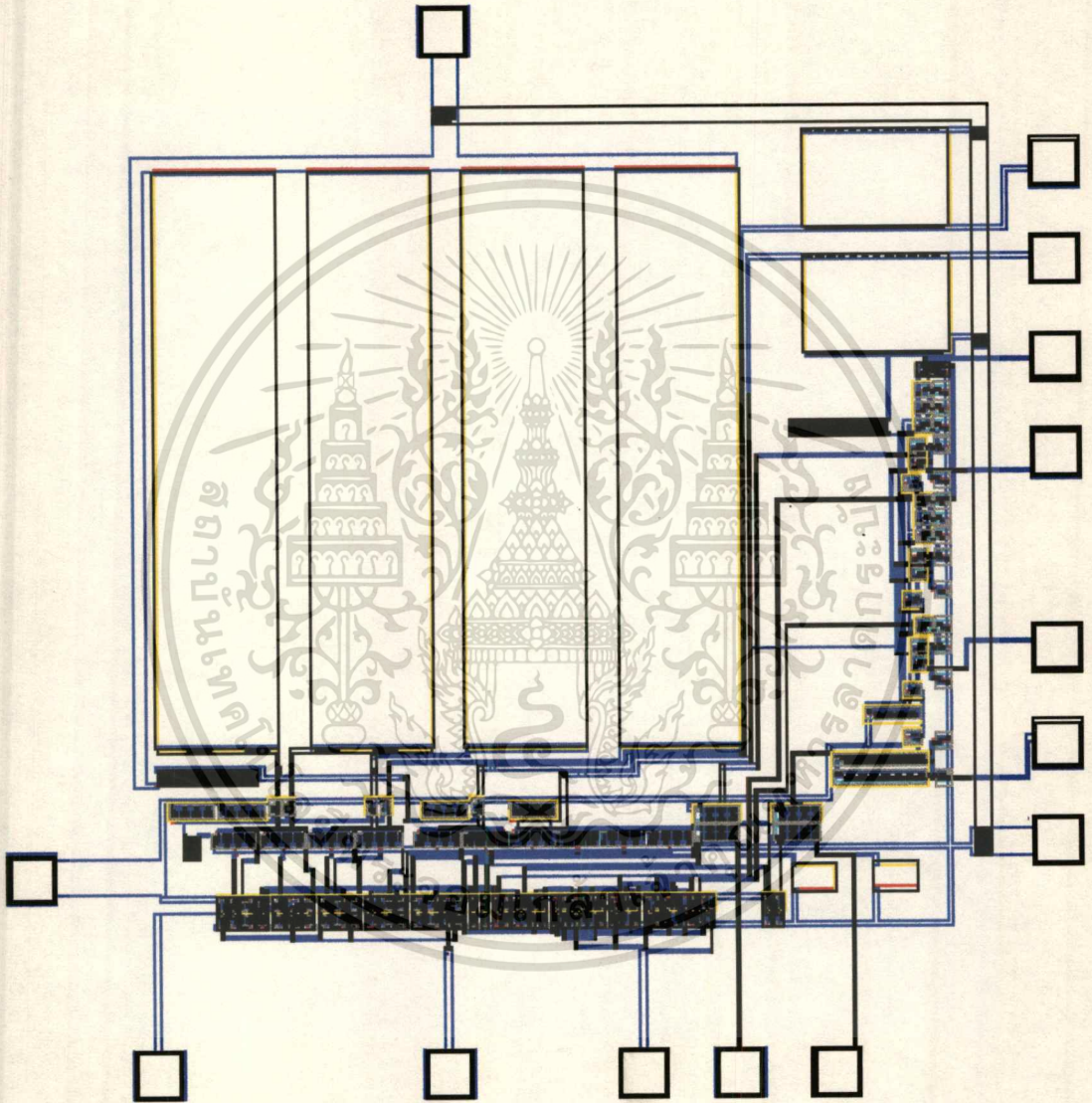
Retrigable

T Flip-flop

Peak

จากรูปที่ 4.2 ถึง 4.5 เป็น Layout ของ Standard Cell ของลอจิกเกตชนิดต่างๆ ที่นำมาใช้ได้โดยไม่ต้องออกแบบใหม่ (จาก Process ที่เลือกใช้จะมี Library ของ Standard Cell)

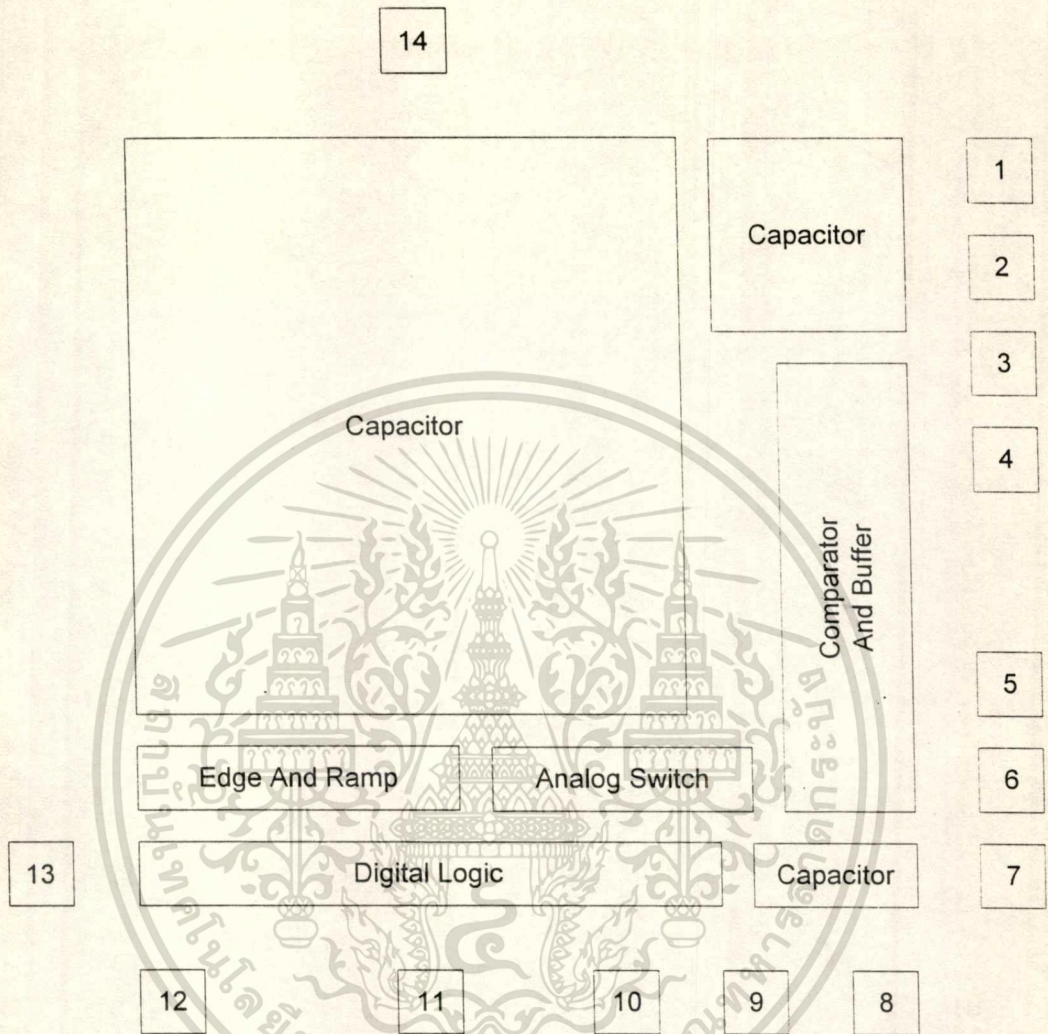
รูปที่ 4.6 แสดง Layout ของวงจรถอดรหัสบัตรแม่เหล็ก



Layout ของวงจรทั้งหมดแสดงดังรูปที่ 4.6 อุปกรณ์บางตัวเช่น ตัวต้านทานและตัวเก็บประจุที่ไม่ได้ปรากฏ บน Layout จะอยู่นอกชิพ ในการวิเคราะห์โดย T-Spice จึงต้องเพิ่มเติมอุปกรณ์บางส่วนให้ครบ จากรูปที่ 4.7 ตำแหน่งของวงจรและ Pad ที่ใช้ต่อกับขาไอซี เพื่อต่อกับอุปกรณ์ภายนอกโดยจะอธิบายดังตารางที่ 4.1 ซึ่งจะสัมพันธ์กับวงจรในบทที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

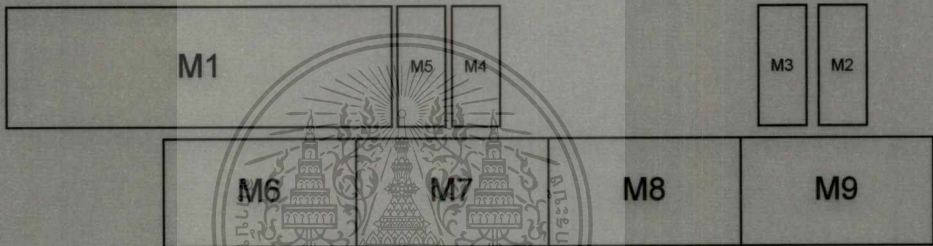
รูปที่ 4.7 แสดงตำแหน่งของวงจรและ Pad บน Layout ของวงจรถอดรหัสบัตรแม่เหล็ก



ตารางที่ 4.1 สัญญาณ ณ ตำแหน่งของ Pad ต่างๆ ที่จะต้องต่อกับภายนอก

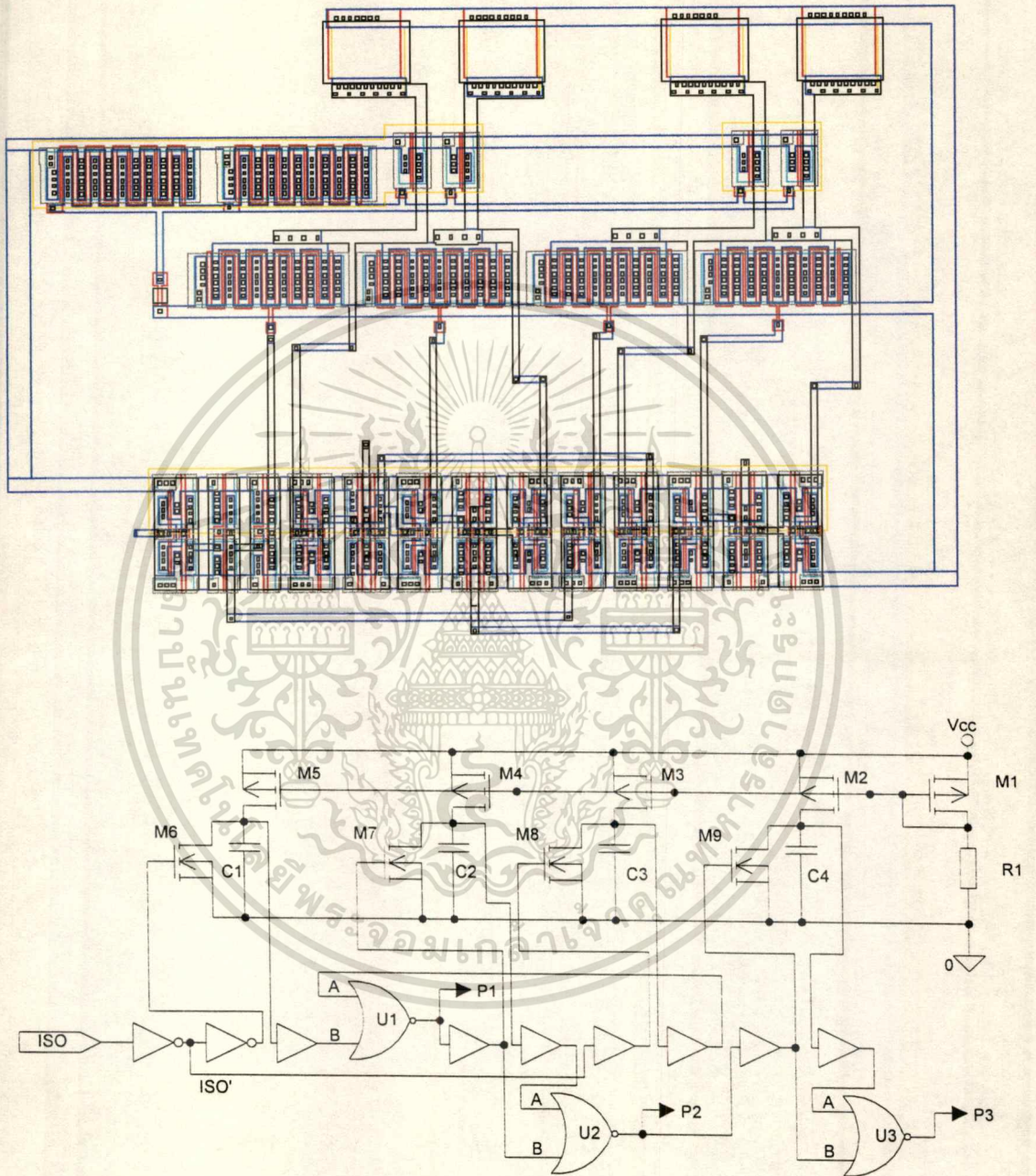
Pad	สัญญาณ	Pad	สัญญาณ	Pad	สัญญาณ
1	C_{STD}	6	100%	11	STD
2	C_{RC}	7	Gnd	12	ISO
3	DATA	8	C_{ref}	13	V_{CC}
4	75%	9	C_{peak}	14	Gnd
5	50%	10	CLK		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Standard Cell Logic Gate

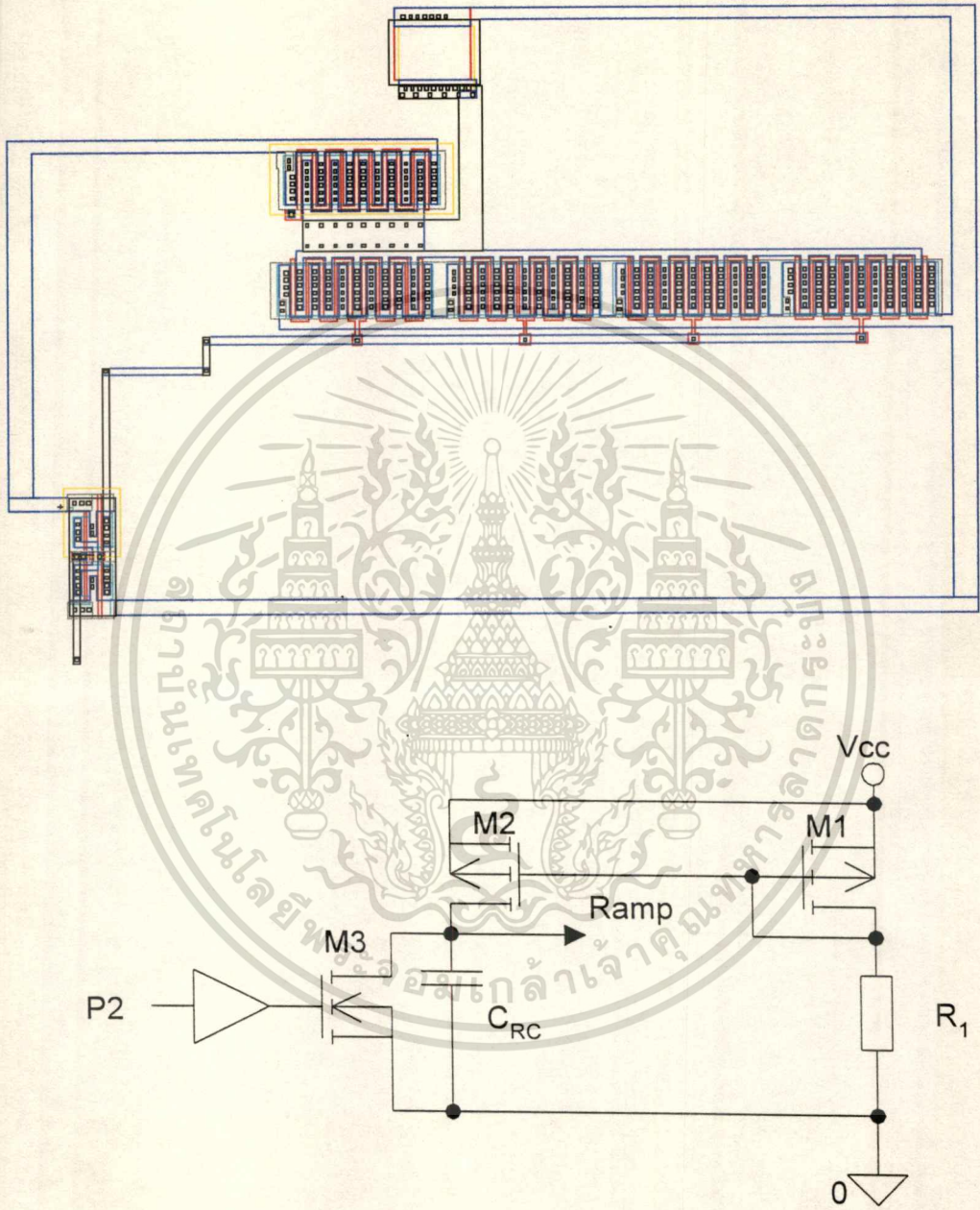
รูปที่ 4.8 แสดง Layout และแผนภาพของวงจร Edge Detector



ตัวเก็บประจุและตัวต้านทานของวงจรจะอยู่ในชิพ Layout ของวงจรจะประกอบไปด้วย Layout ของเซลมาตรฐานและ Layout ของมอสทรานซิสเตอร์ที่มีขนาดใหญ่ที่ออกแบบขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

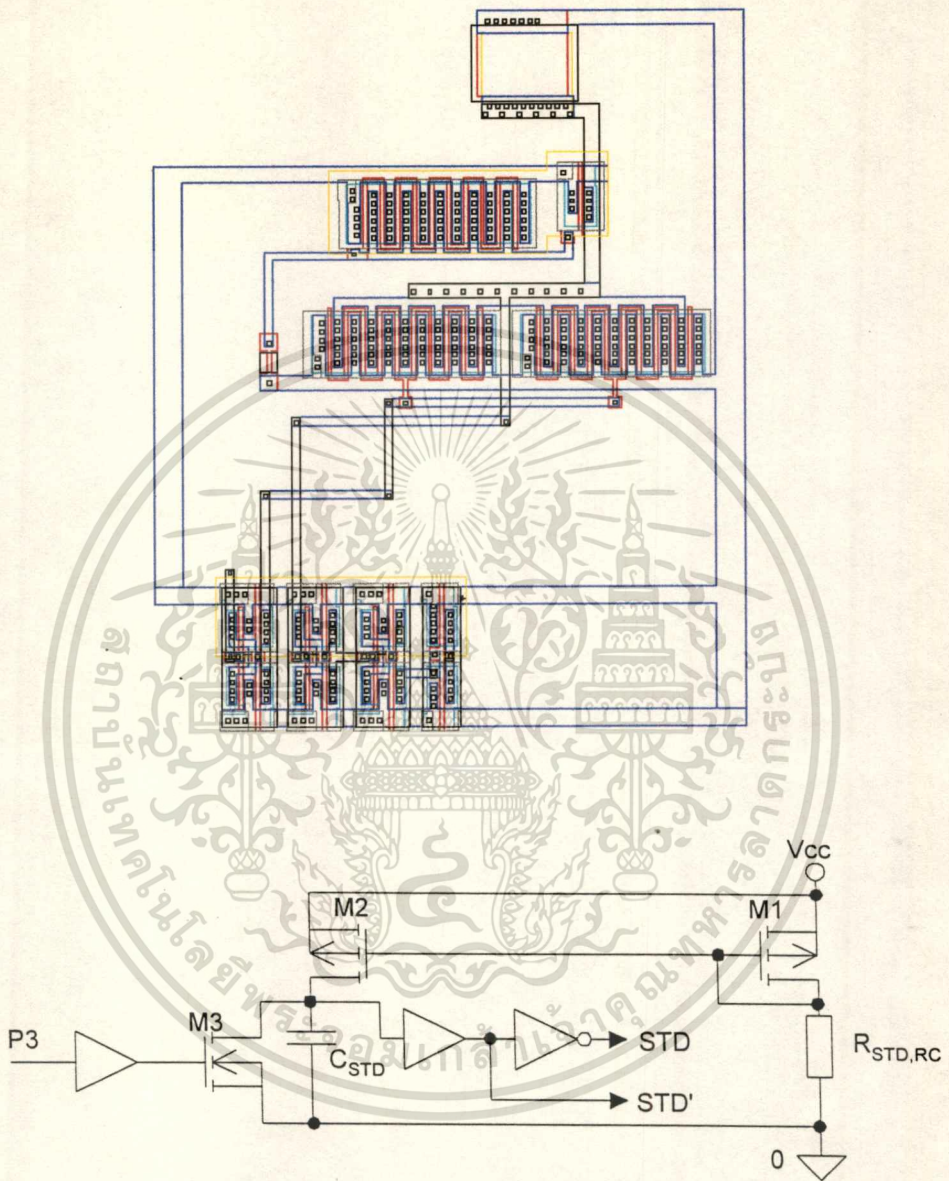
รูปที่ 4.9 แสดง Layout และแผนภาพของวงจร Ramp



ตัวเก็บประจุของวงจรจะอยู่ภายนอกชิพ ส่วนตัวต้านทานจะอยู่บนชิพโดยค่าของอุปกรณ์ได้ระบุไว้ในบทที่ 3 Layout ของวงจรจะประกอบไปด้วย Layout ของเซลมาตรฐานและ Layout ของมอส ทรานซิสเตอร์ที่มีขนาดใหญ่ที่ออกแบบขึ้น

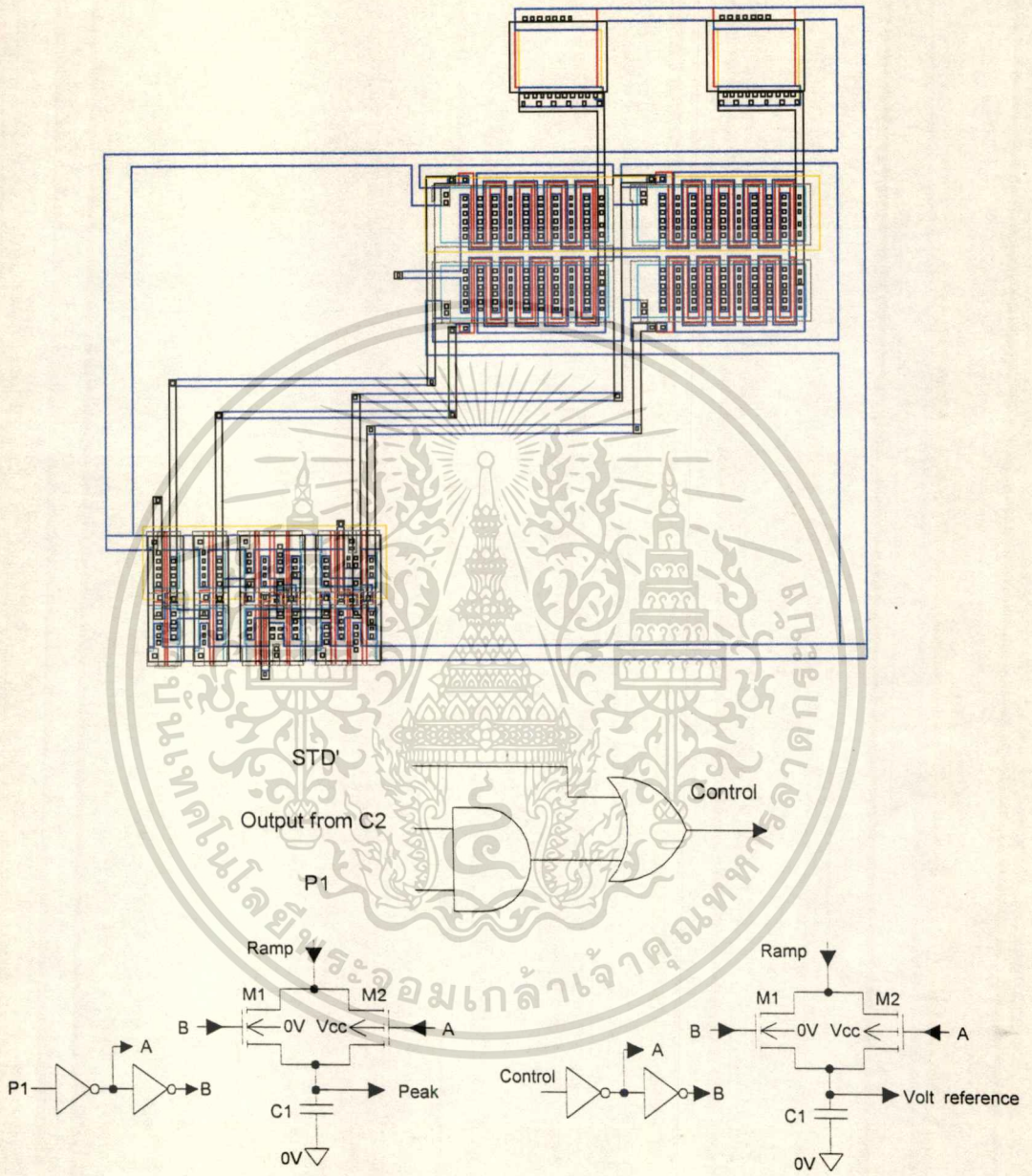
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.10 แสดง Layout และแผนภาพของวงจร Monostable Retriggerable



ตัวเก็บประจุของวงจรจะอยู่ภายนอกชิพ ส่วนตัวต้านทานจะอยู่บนชิพโดยค่าของอุปกรณ์ได้ระบุไว้ในบทที่ 3 Layout ของวงจรจะประกอบไปด้วย Layout ของเซลมาตรฐานและ Layout ของมอสทรานซิสเตอร์ที่มีขนาดใหญ่ที่ออกแบบขึ้น

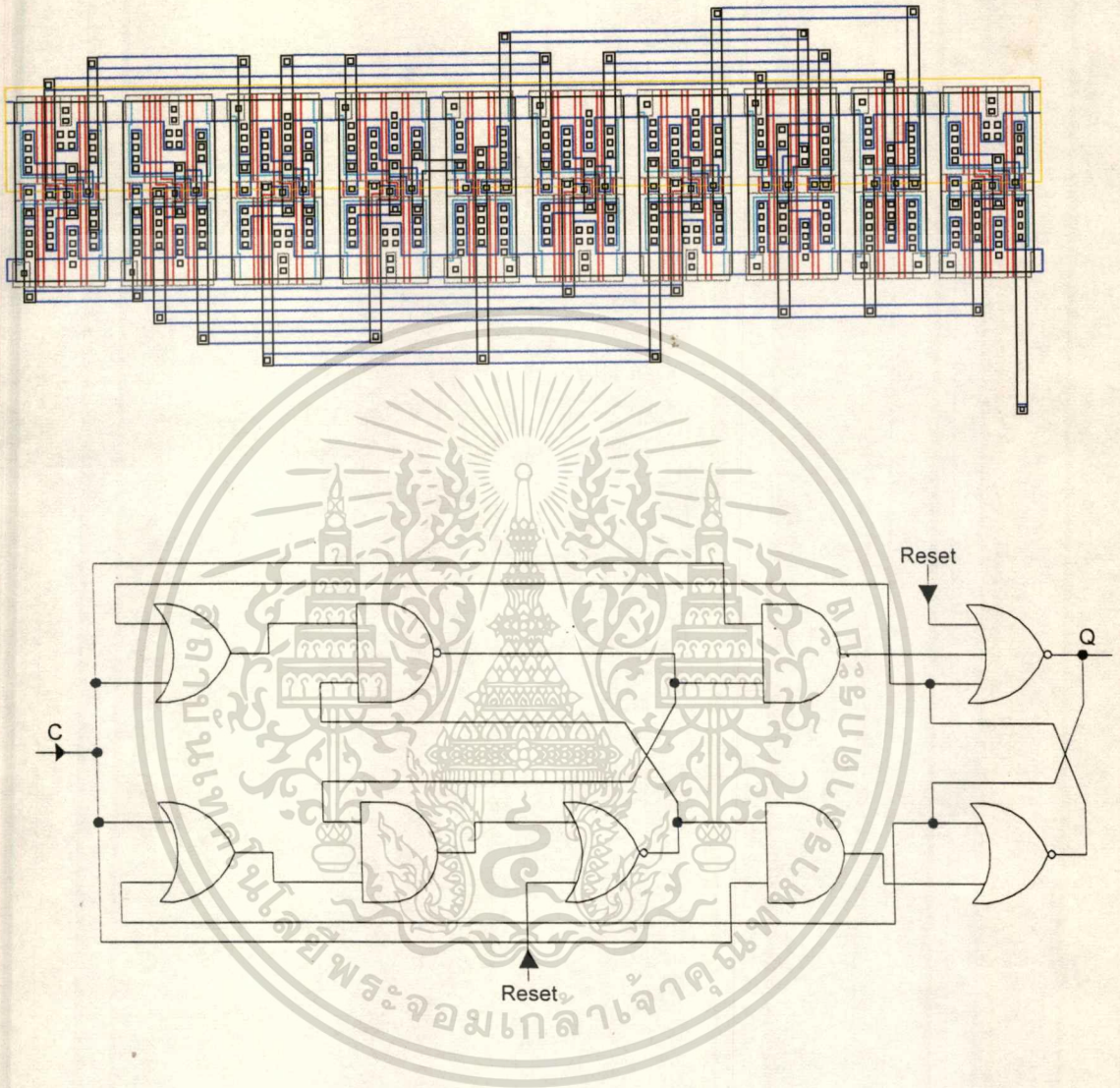
รูปที่ 4.11 แสดง Layout และแผนภาพของวงจร Peak , วงจรควบคุม , วงจรรักษาแรงดัน



ตัวเก็บประจุของวงจรจะอยู่ภายนอกชิพโดยค่าของอุปกรณ์ได้ระบุไว้ในบทที่ 3 Layout ของวงจรจะประกอบไปด้วย Layout ของเซลมาตรฐานและ Layout ของมอสทรานซิสเตอร์ที่มีขนาดใหญ่ที่ออกแบบขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

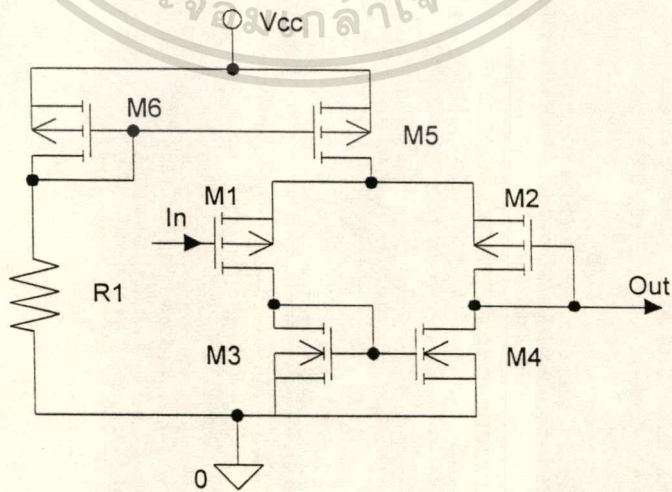
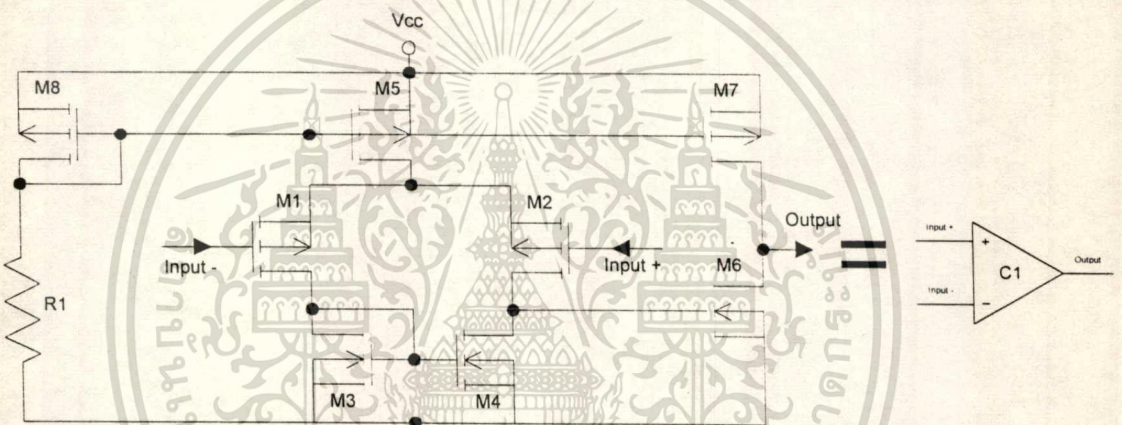
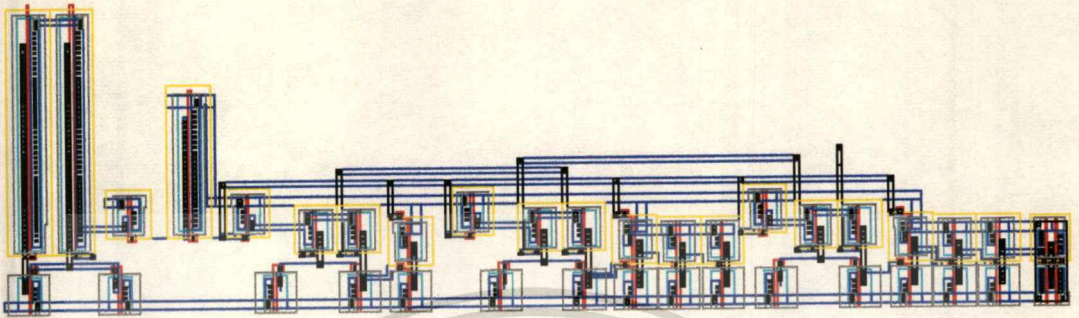
รูปที่ 4.12 แสดง Layout และแผนภาพของวงจร T Flip-flop



Layout ของวงจรจะประกอบไปด้วย Layout ของเซลล์มาตรฐานคือ Layout ของลอจิกเกตชนิดต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.13 แสดง Layout ของวงจรเปรียบเทียบ (C1,C2,C3)และวงจรแรงดันอ้างอิงส่วนของบัพเพอร์

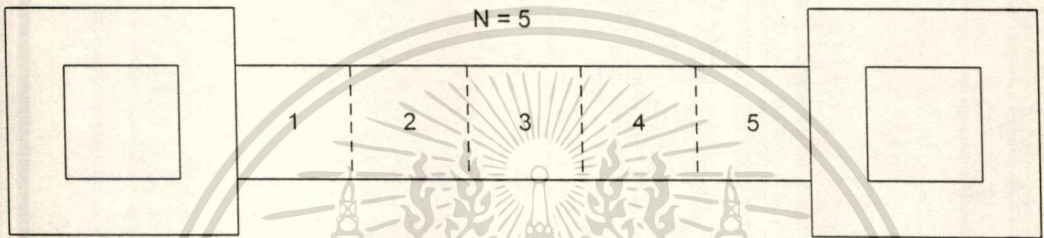


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 อุปกรณ์พาสซีฟ [5]

ภายในชิพจะประกอบไปด้วยตัวต้านทานและตัวเก็บประจุขนาดเล็กบางส่วน ซึ่งการออกแบบจะต้องอาศัยการคำนวณดังจะอธิบายต่อไป

รูปที่ 4.14 แสดงการคำนวณค่าตัวต้านทานจาก Layout



การสร้างตัวต้านทานจาก Poly ดังรูปที่ 4.14 ให้มีค่าตามที่ต้องการสามารถคำนวณได้จากสูตร

$$R = NR_s$$

(4.1)

R_s = sheet resistance มีค่าเท่ากับ $23 \Omega/\square$ ของ Poly

N = จำนวนตารางทั้งหมด

รูปที่ 4.15 แสดง Layout ของตัวต้านทาน $14.2 \text{ k}\Omega$



จากรูปที่ 4.15 จะมีความต้านทานอยู่สองส่วน คือความต้านทานในแนวนอน ความต้านทานในแนวตั้ง และความต้านทานที่ Contact

ในแนวนอนมีจำนวนตารางเท่ากับ $L/W = 200/2 = 100$ ตาราง ความต้านทานในแนวนอนมีค่าเท่ากับ $100 \times 23 = 2.3 \text{ k}\Omega$ มีจำนวน 6 ตัว ความต้านทานในแนวนอนทั้งหมดมีค่าเท่ากับ $6 \times 2300 = 13.8 \text{ k}\Omega$

ในแนวตั้งมีจำนวนตารางเท่ากับ $L/W = 4/2 = 2$ ตาราง ความต้านทานในแนวตั้งมีค่าเท่ากับ $2 \times 23 = 46 \Omega$ มีจำนวน 5 ตัว ความต้านทานในแนวตั้งทั้งหมดมีค่าเท่ากับ $5 \times 46 = 230 \Omega$ ที่มุมมีค่าเท่ากับ 0.6 ตาราง ความต้านทานที่มุมมีค่าเท่ากับ $0.6 \times 23 = 13.8 \Omega$ มีมุมทั้งหมดเท่ากับ 10 มุม ความต้านทานที่มุมทั้งหมดมีค่าเท่ากับ $10 \times 13.8 = 138 \Omega$

$$\begin{aligned} \text{ความต้านทานรวม} &= \text{ความต้านทานในแนวนอนทั้งหมด} + \text{ความต้านทานในแนวตั้งทั้งหมด} \\ &+ \text{ความต้านทานที่มุมทั้งหมด} + \text{ความต้านทานที่Contact ทั้งสอง} \\ &= 13800 + 230 + 138 + 29.2 \\ &= 14,197.2 \Omega \end{aligned}$$

ค่าที่ได้จากการคำนวณพบว่าใกล้เคียงกับค่าที่ได้ออกแบบไว้ โดยค่าความคลาดเคลื่อนยังอยู่ในเกณฑ์ที่ยอมรับได้

ส่วนตัวต้านทาน $6.8 \text{ k}\Omega$ ก็ใช้วิธีการคำนวณแบบเดียวกันโดย

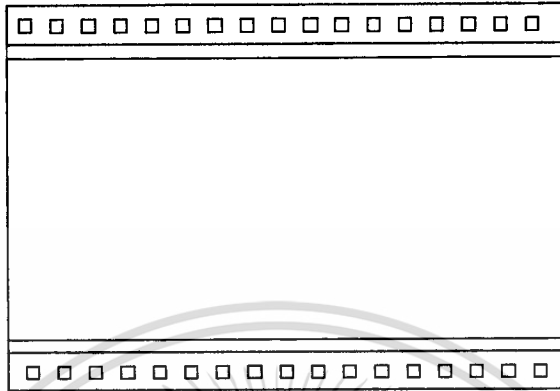
ในแนวนอนมีจำนวนตารางเท่ากับ $L/W = 92/2 = 46$ ตาราง ความต้านทานในแนวนอนมีค่าเท่ากับ $46 \times 23 = 1058 \Omega$ มีจำนวน 6 ตัว ความต้านทานในแนวนอนทั้งหมดมีค่าเท่ากับ $6 \times 1058 = 6348 \Omega$

ในแนวตั้งมีจำนวนตารางเท่ากับ $L/W = 4/2 = 2$ ตาราง ความต้านทานในแนวตั้งมีค่าเท่ากับ $2 \times 23 = 46 \Omega$ มีจำนวน 5 ตัว ความต้านทานในแนวตั้งทั้งหมดมีค่าเท่ากับ $5 \times 46 = 230 \Omega$ ที่มุมมีค่าเท่ากับ 0.6 ตาราง ความต้านทานที่มุมมีค่าเท่ากับ $0.6 \times 23 = 13.8 \Omega$ มีมุมทั้งหมดเท่ากับ 10 มุม ความต้านทานที่มุมทั้งหมดมีค่าเท่ากับ $10 \times 13.8 = 138 \Omega$

$$\text{ความต้านทานรวม} = 6348 + 230 + 138 + 29.2 = 6745.2 \Omega$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.16 แสดง Layout ของตัวเก็บประจุ



การสร้างตัวเก็บประจุจาก Poly กับ Poly2 ดังรูปที่ 4.16 ให้มีค่าตามที่ต้องการสามารถคำนวณได้จากสูตร

$$C = AC_s \quad (4.2)$$

C_s = sheet capacitance มีค่าเท่ากับ 456×10^{-18} F/□

A = พื้นที่ทั้งหมด

จากรูปที่ 4.16 พื้นที่ทั้งหมด (A) เท่ากับ $= L \times W = 1189 \times 254 = 302,006$ ตาราง ดังนั้นตัวเก็บประจุที่ออกแบบไว้จะมีค่าเท่ากับ $302006 \times 456 \times 10^{-18} = 137.7$ pF ค่าที่ได้จากการคำนวณพบว่าใกล้เคียงกับค่าที่ได้ออกแบบไว้โดยค่าความคลาดเคลื่อนยังอยู่ในเกณฑ์ที่ยอมรับได้

บทที่ 5

การทดสอบวงจรที่ออกแบบ

จากวงจรถอดรหัสสับทรีแม่เหล็กที่ออกแบบไว้ในบทที่ 3 และบทที่ 4 นั้นจะนำมาทดสอบ โดยการซิมูเลชันด้วยซอฟต์แวร์ โปรแกรม PSpice จาก Schematic และ T-Spice จาก Layout อินพุท จะใช้สัญญาณ ISO จากเทร็คที่ 2 เป็นอินพุท เนื่องจากเป็นข้อมูลของตัวเลขเพียงอย่างเดียว มีจำนวนข้อมูลน้อย เป็นเทร็คที่นิยมใช้ในบัตรต่างๆเนื่องจากโมดูลเครื่องรูดบัตรแม่เหล็กด้วยมือจะอ่านที่เทร็ค 2 นี้

สัญญาณ ISO ที่ใช้ในการซิมูเลชัน เป็นสัญญาณจริงที่ได้จากการรูดบัตรแม่เหล็กด้วยมือ โดยการเก็บสัญญาณนั้นอาศัย Storage Oscilloscope จับสัญญาณ ISO และจัดเก็บเป็น Text file ในรูปคู่ อันต์ของ แรงดันกับเวลา ด้วยการรูดบัตรแบบต่าง ๆ 3 ระดับจากการรูดบัตรแบบช้า แบบปกติ และแบบเร็ว (ซึ่งเป็นความเร็วปกติที่ใช้ในการรูดบัตรแม่เหล็กด้วยมือ) โดยในการรูดบัตรแต่ละแบบยังมีการเพิ่มความเร็วขึ้นทีละน้อยเพื่อให้ใกล้เคียงกับความเป็นจริงมากที่สุด ซึ่งสามารถสังเกตได้จากผลของการซิมูเลชัน

ในการคำนวณหาค่าความเร็วในการรูดบัตร ตามมาตรฐาน ISO ระบุจำนวนบิตต่อระยะทางไว้ เช่น ที่เทร็ค 2 มีค่าเท่ากับ 2.95 บิตต่อมิลลิเมตร ประมาณ 1 บิตต่อ 0.338 mm ถ้าบิตแรก ของสัญญาณ ISO มีความกว้างเท่ากับ 2 ms ความเร็วที่บิตแรกจะมีค่าเท่ากับ $0.338/2 = 0.169$ m/s

ข้อมูลบนบัตรคือ 0102745511110996 ผลที่ได้จะแสดงสัญญาณสำคัญต่างๆ ตามลำดับเริ่ม จาก สัญญาณที่ป้อนให้วงจร (ISO) , สัญญาณเริ่มต้นรูดบัตรจนถึงสุดการรูดบัตร (STD) , สัญญาณข้อมูล (DATA) , สัญญาณนาฬิกา (CLK)และสัญญาณที่ใช้ในการเปรียบเทียบ (RC , Peak , 75% และ 50%)

ตารางที่ 5.1 แสดงบิตข้อมูลทีอ่านได้จากบัตรแม่เหล็กที่นำมาเก็บสัญญาณ ISO

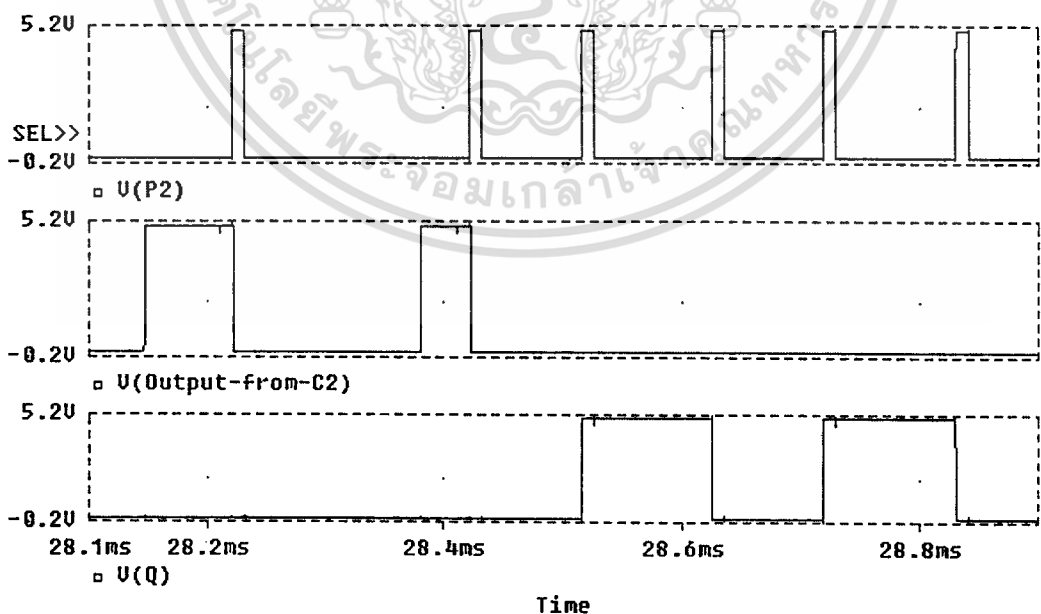
start	0	1	0	2	7	4	5	5	1	1
11010	00001	10000	00001	01000	11100	00100	10101	10101	10000	10000

1	1	0	9	9	6	stop	LRC
10000	10000	00001	10011	10011	01101	11111	01000

5.1 การขิมูเลขันโดยใช้โปรแกรม PSpice จาก Schematic

จากวงจร T-FlipFlop (รูปที่ 3.7) เมื่อทำการขิมูเลขันโดยป้อนอินพุตที่ขา C ด้วย P2 และป้อนอินพุตที่ขา Reset ด้วย Output from C2 พบว่า จะได้เอาต์พุต ที่ขา Q มีสัญญาณที่แสดงการทำงานได้อย่างถูกต้องของวงจร T-FlipFlop ที่เลือกใช้

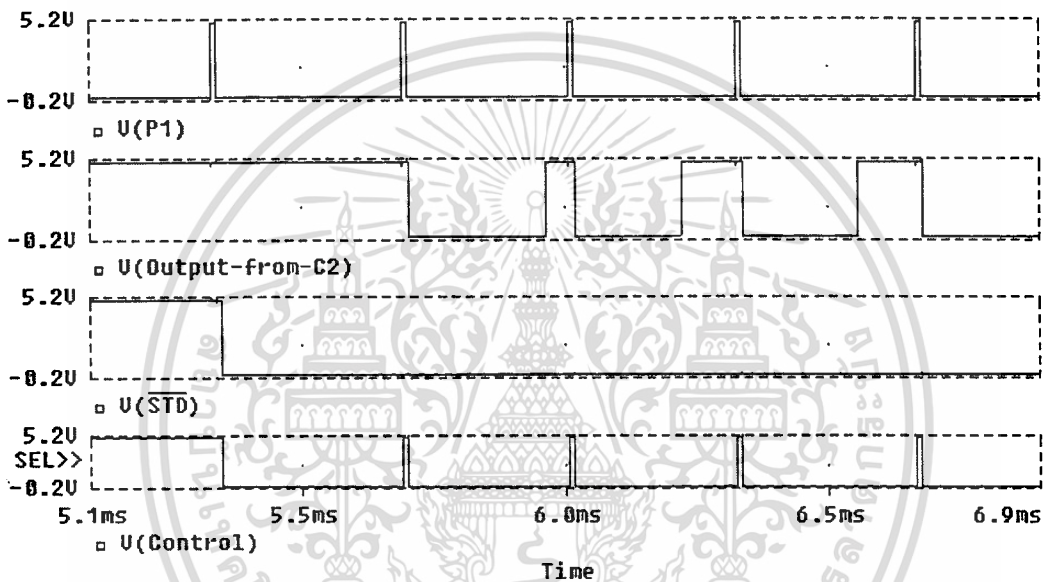
รูปที่ 5.1 สัญญาณจากการขิมูเลขันวงจร T-FlipFlop



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

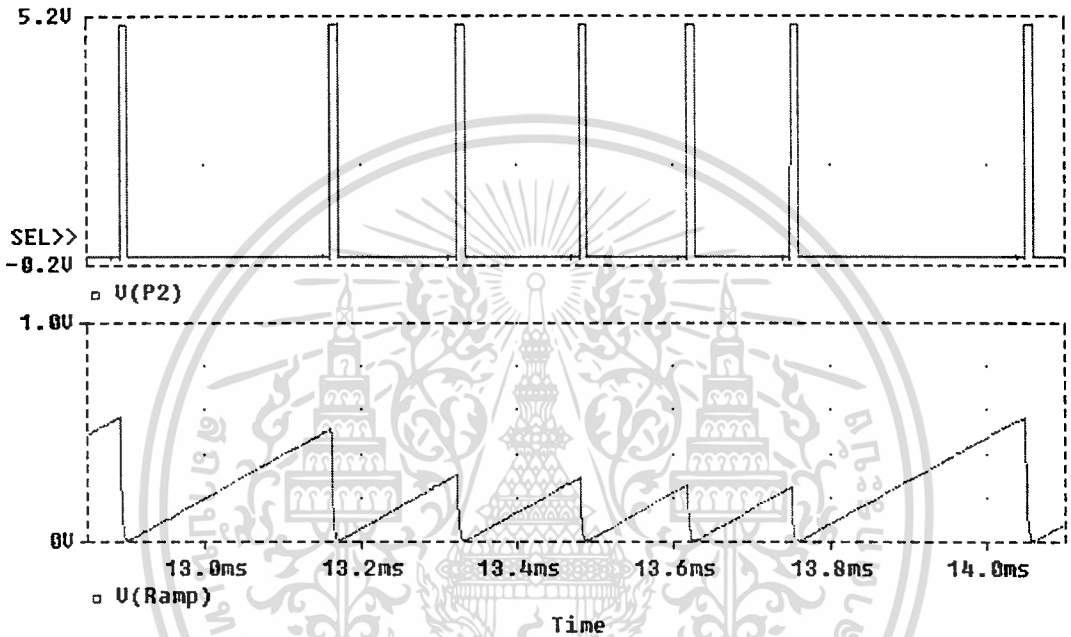
จากวงจร Control (รูปที่ 3.8) เมื่อทำการซิมูเลชันโดยป้อนอินพุตด้วย P1 ,Output from C2 และ STD พบว่า จะได้อาห์พุทมีสัญญาณที่แสดงการทำงานได้อย่างถูกต้องของวงจร Control ที่เลือกใช้

รูปที่ 5.2 สัญญาณจากการซิมูเลชันวงจร Control



จากวงจร Ramp (รูปที่ 3.11) เมื่อทำการซิมูเลชันโดยป้อนอินพุตด้วย P2 พบว่า จะได้เอาต์พุตสัญญาณแรมป์ที่แสดงการทำงานได้อย่างถูกต้องของวงจร Ramp ที่เลือกใช้

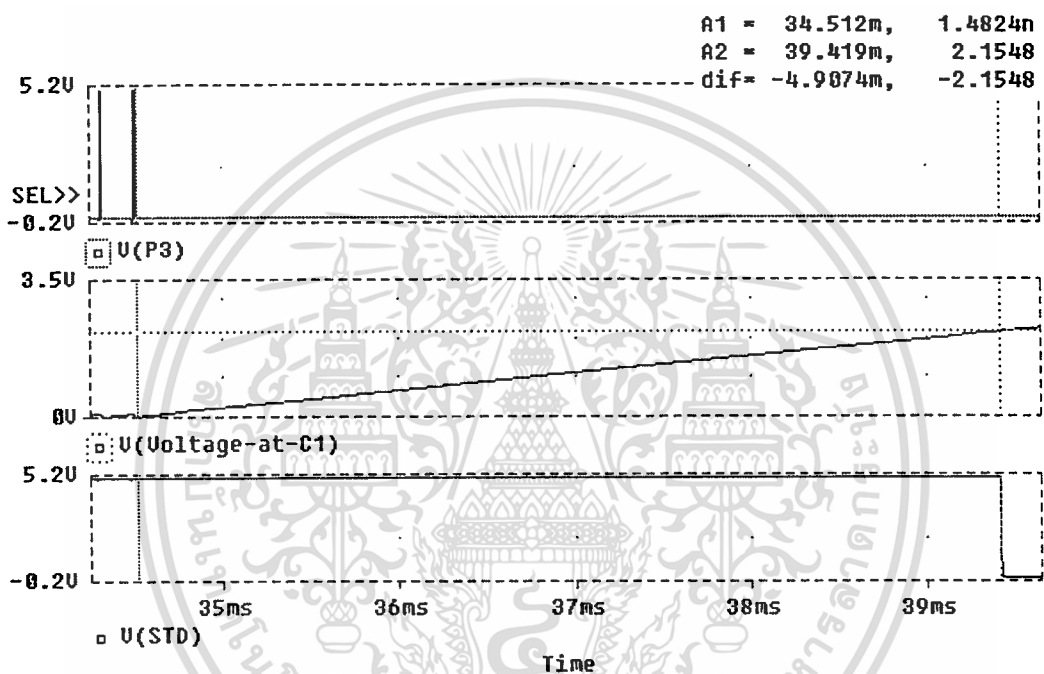
รูปที่ 5.3 สัญญาณจากการซิมูเลชันวงจร Ramp



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

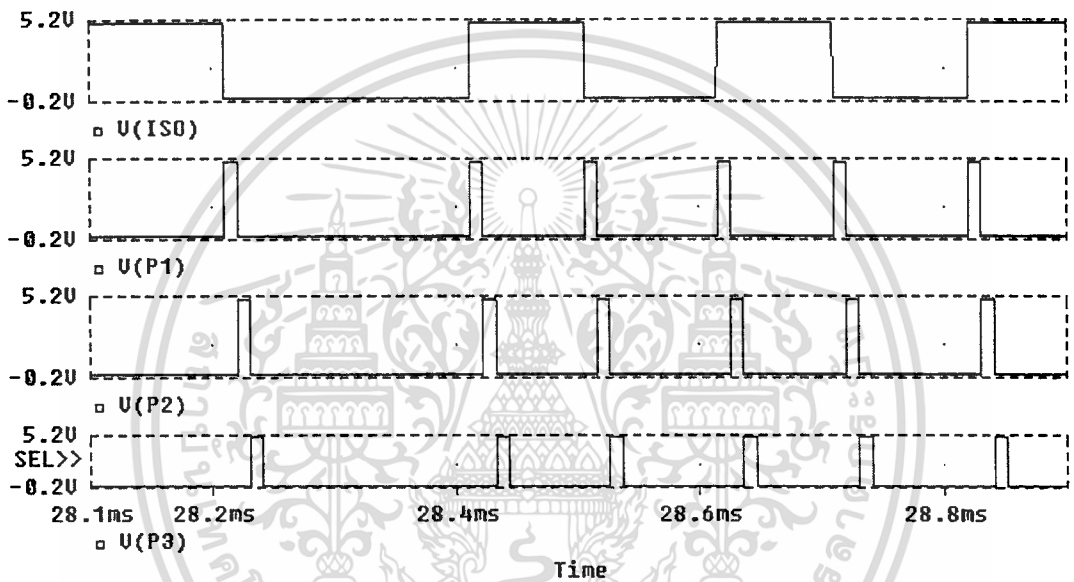
จากวงจร Monostable Retriggerable (รูปที่ 3.12) เมื่อทำการซิมูเลชันโดยป้อนอินพุตด้วย P3 พบว่า จะได้อาต์พุท (STD) ที่มีระดับลอจิกต่อเนื่องจนกระทั่งลูกสุดท้ายของการ Trig จะทำให้ระดับลอจิกคงที่ไปอีก 4.9 ms แสดงว่าวงจรทำงานได้อย่างถูกต้อง

รูปที่ 5.4 สัญญาณจากการซิมูเลชันวงจร Monostable Retriggerable



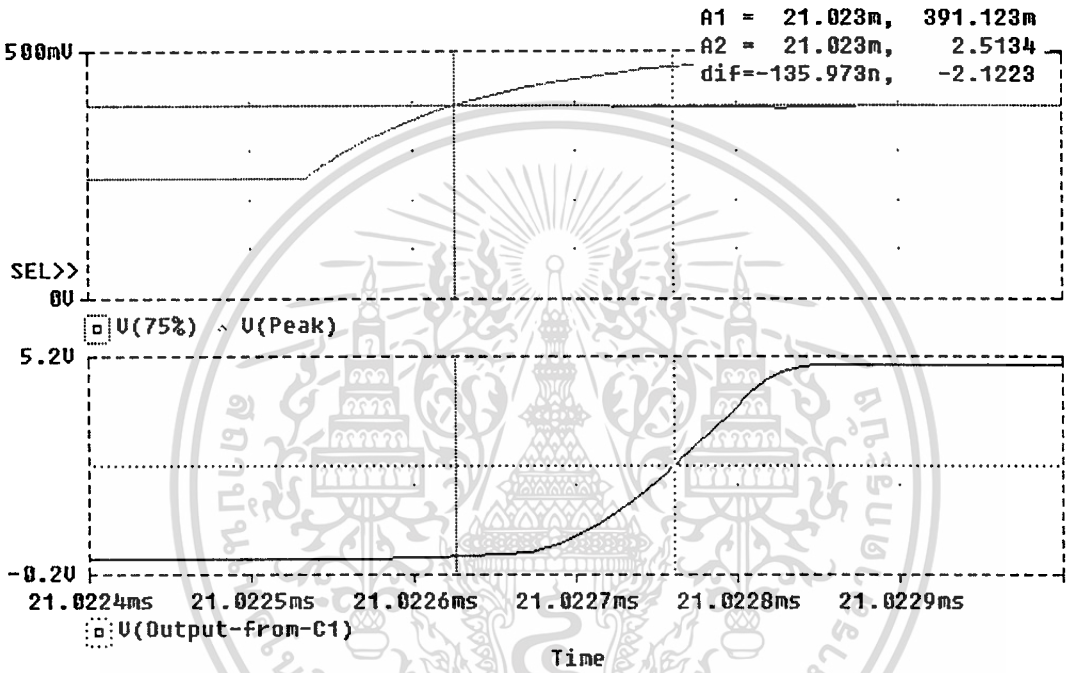
จากวงจร Edge Detector (รูปที่ 3.13) เมื่อทำการซิมูเลชันโดยป้อนอินพุตด้วยสัญญาณ ISO พบว่า จะได้เอาต์พุต P1,P2,P3 ที่มีความกว้างเท่ากันประมาณ $12.7 \mu\text{s}$ เรียงลำดับการเกิดสัญญาณอย่างต่อเนื่องทุกขอบของสัญญาณ ISO แสดงว่าวงจรทำงานได้อย่างถูกต้อง

รูปที่ 5.5 สัญญาณจากการซิมูเลชันวงจร Edge Detector



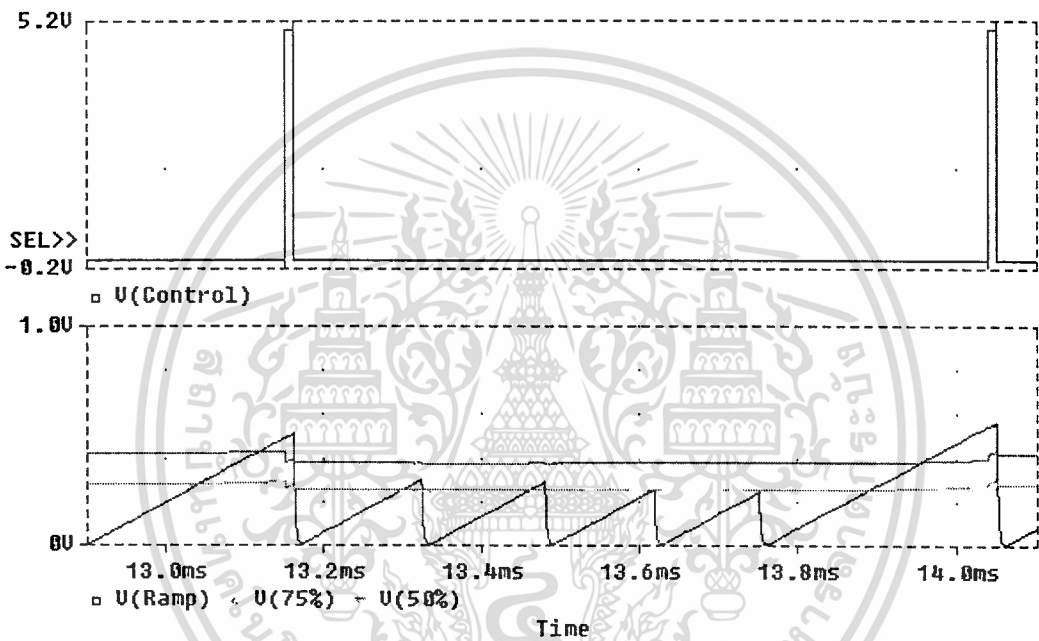
จากวงจร Comparator (รูปที่ 3.15) เมื่อทำการซิมูเลชันโดยป้อนอินพุตด้วยสัญญาณ Peak และ 75% พบว่า จะได้อาท์พุท Output from C2 ที่มีสัญญาณเอ๊าท์พุทดีเลย์ประมาณ 135.973 ns ซึ่งเพียงพอกับการนำมาใช้เปรียบเทียบสัญญาณในช่วง ms วงจรยังคงทำงานได้อย่างถูกต้อง

รูปที่ 5.6 สัญญาณจากการซิมูเลชันวงจร Comparator



จากวงจร Adaptive Reference Voltage (รูปที่ 3.22 , 3.23 , 2.24) เมื่อทำการซิมูเลชันโดยป้อนอินพุตด้วยสัญญาณ Control และสัญญาณเรมพ์พบว่า จะได้สัญญาณเอาต์พุต 75% และ 50% มีการเปลี่ยนแปลงที่เป็นพัลส์กว้างเท่านั้น แสดงว่าการทำงานของวงจร Adaptive Reference Voltage ถูกต้อง

รูปที่ 5.7 สัญญาณจากการซิมูเลชันวงจร Adaptive Reference Voltage



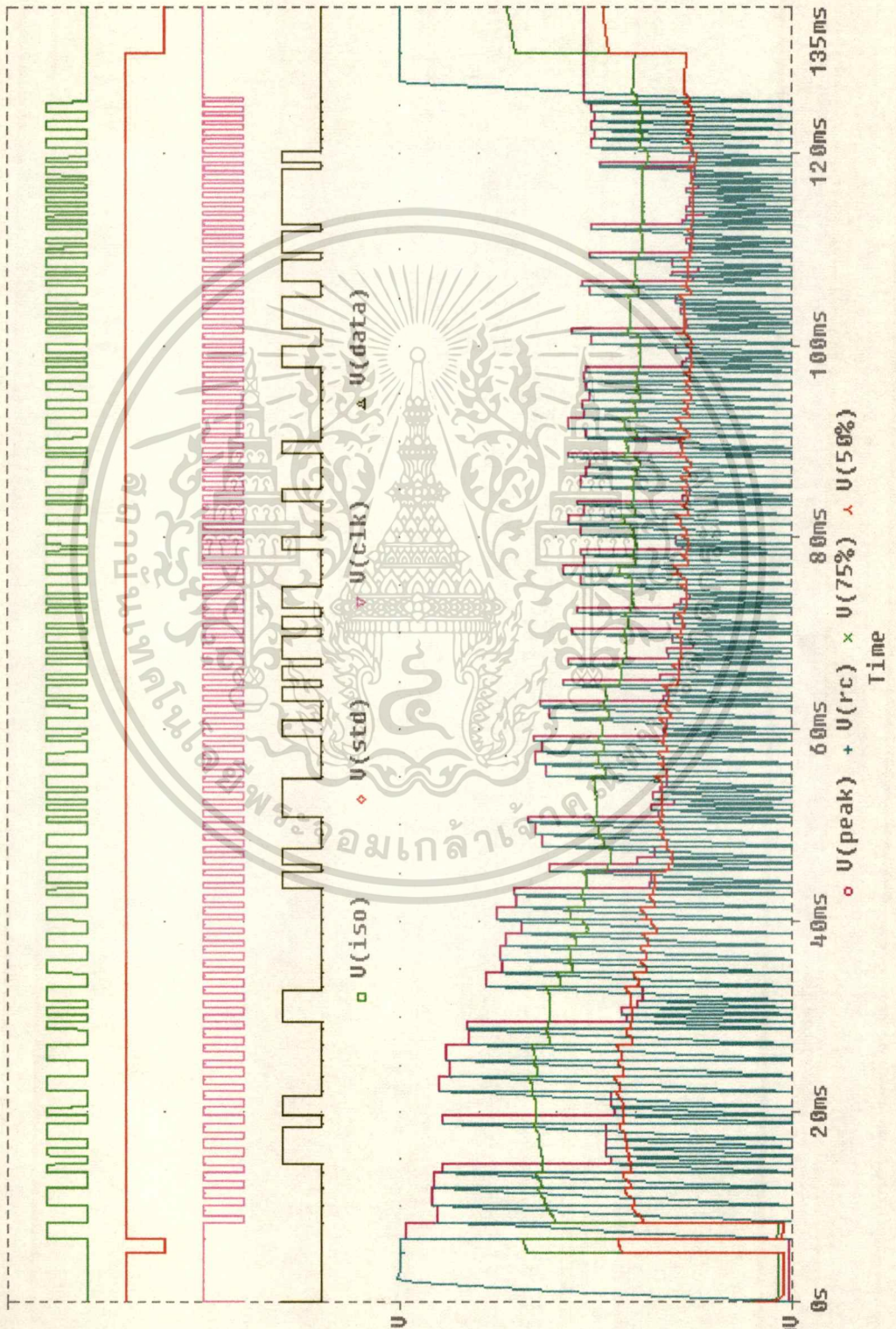
วิธีการทดสอบ Schematic ของวงจรลดครัทส์บัตร์แม่เหล็ก ที่ออกแบบว่าสามารถทำงานได้ถูกต้องหรือไม่โดยการซิมูเลชันด้วยโปรแกรม PSpice ซึ่งจะต้องนำ Schematic ของวงจรทั้งหมดมาซิมูเลชัน

ผลจากการชิมูเลชันด้วย PSpice
ที่ความเร็วช่วงต้นในการรูดบัตร ≈ 0.15 m/s



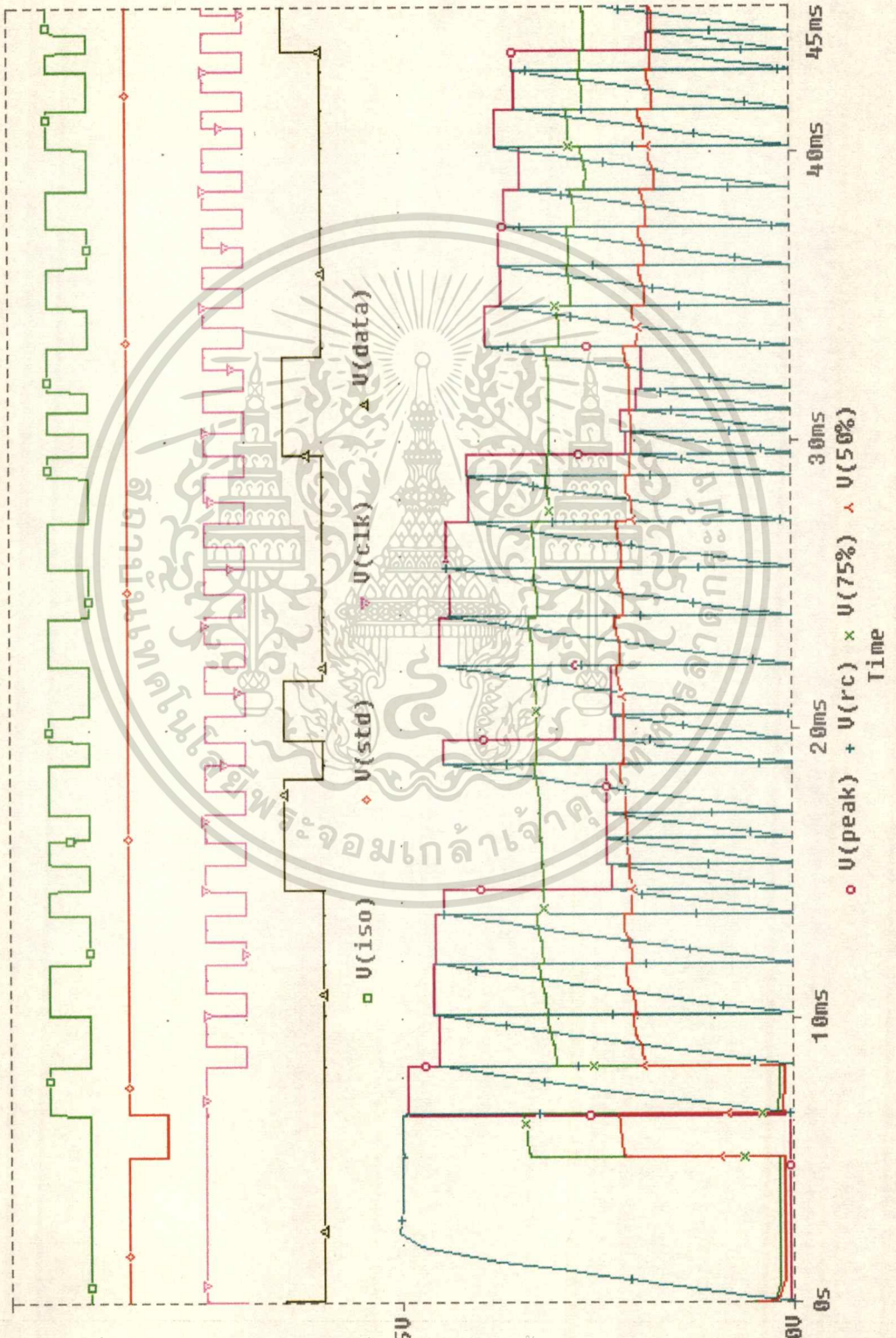
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.8 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่เริ่มต้นจนถึงสิ้นสุดการรูดบัตร



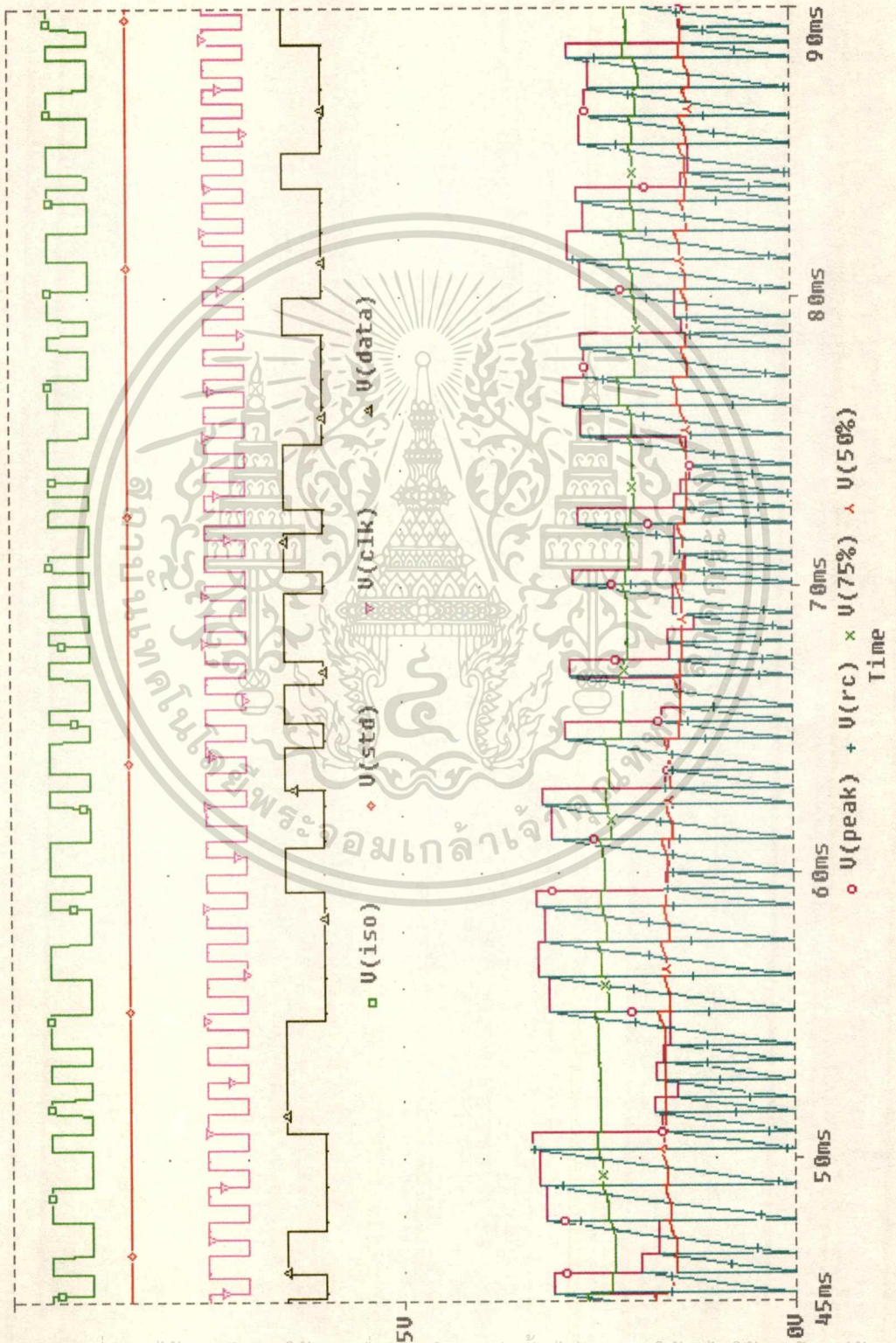
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.9 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 0 ถึง 45 ms



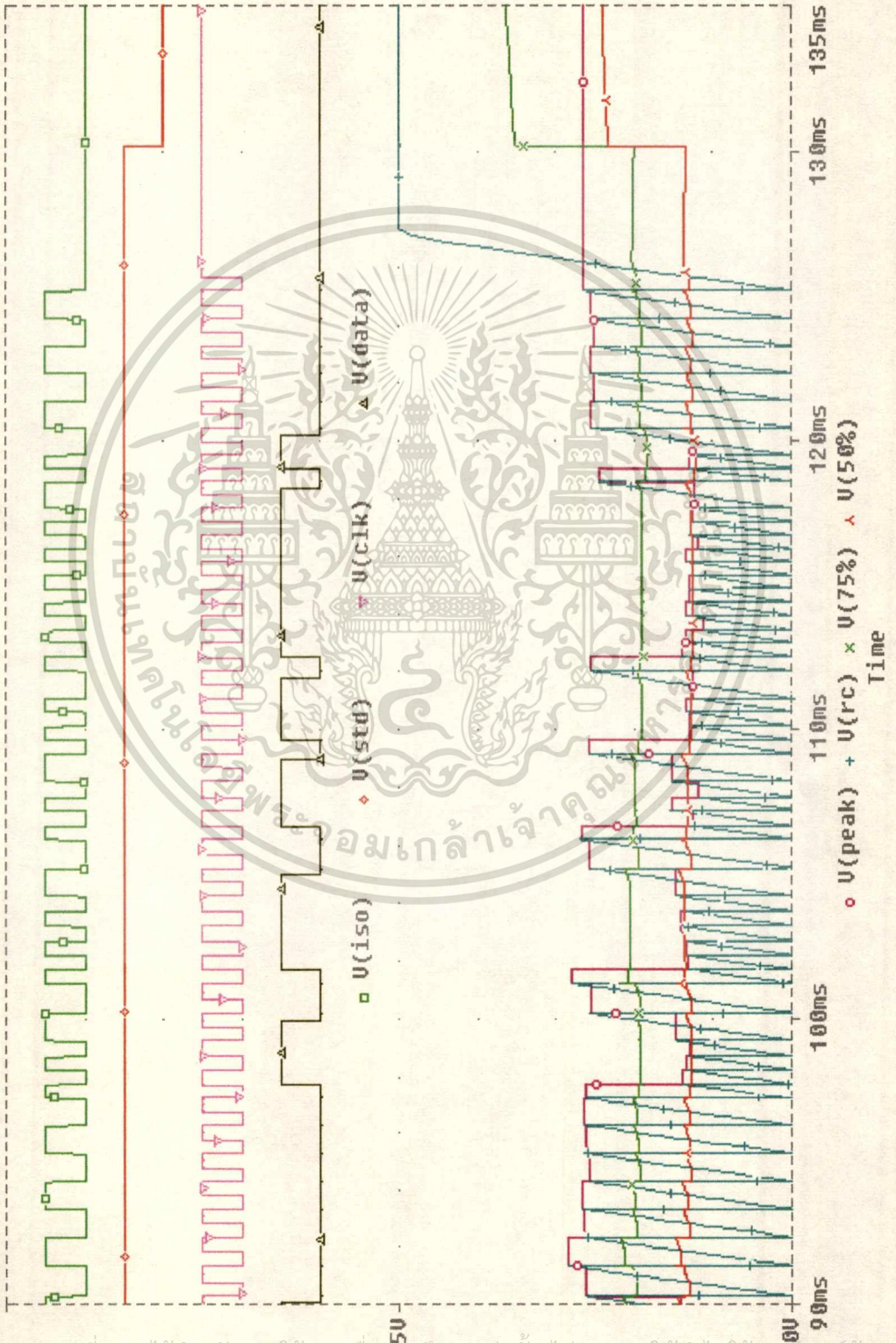
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.10 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 45 ms ถึง 90 ms



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.11 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 90 ms ถึง 135 ms



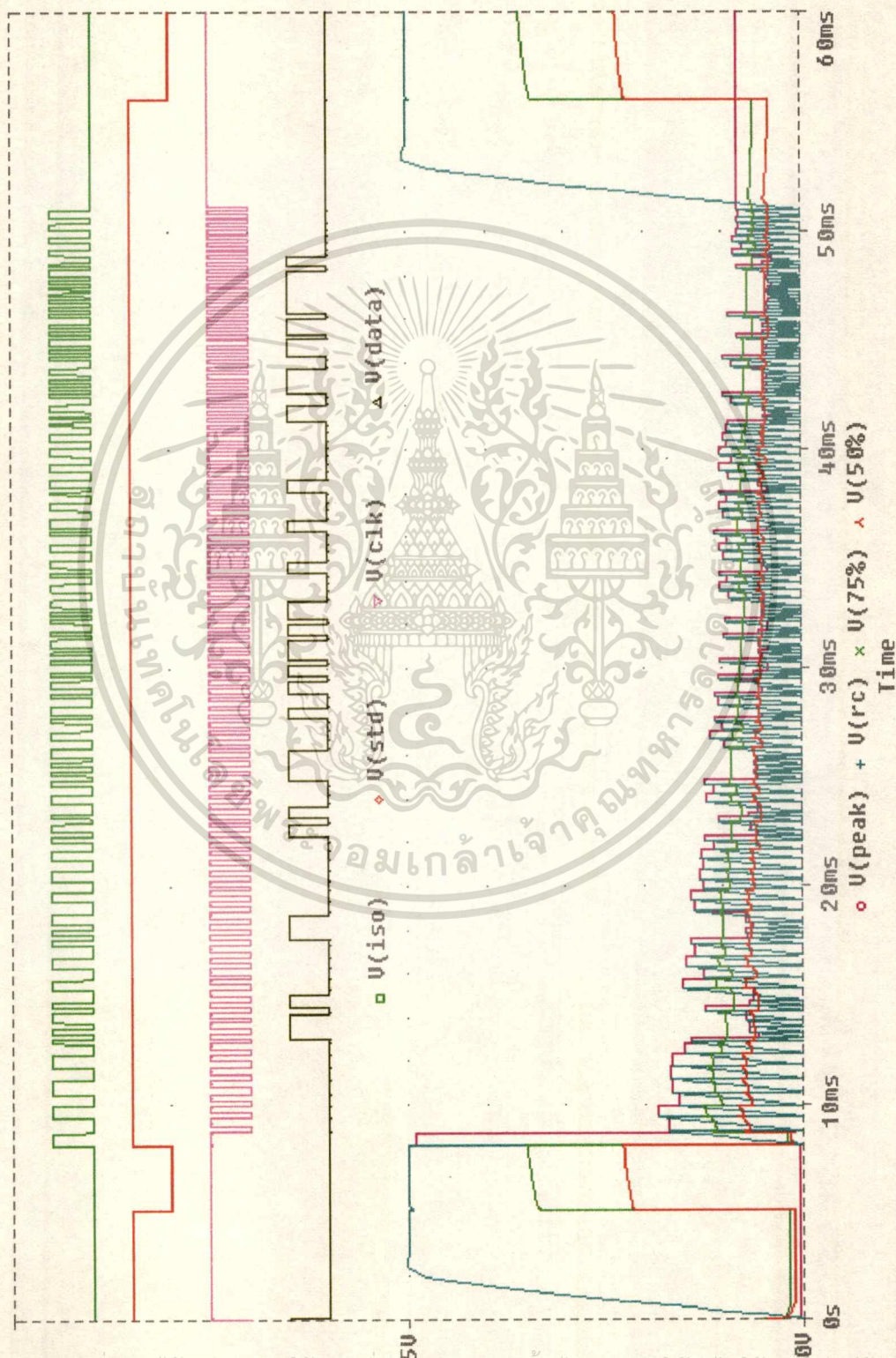
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลจากการซิมูเลชันด้วย PSpice
ที่ความเร็วช่วงต้นในการรูดบัตร ≈ 0.264 m/s



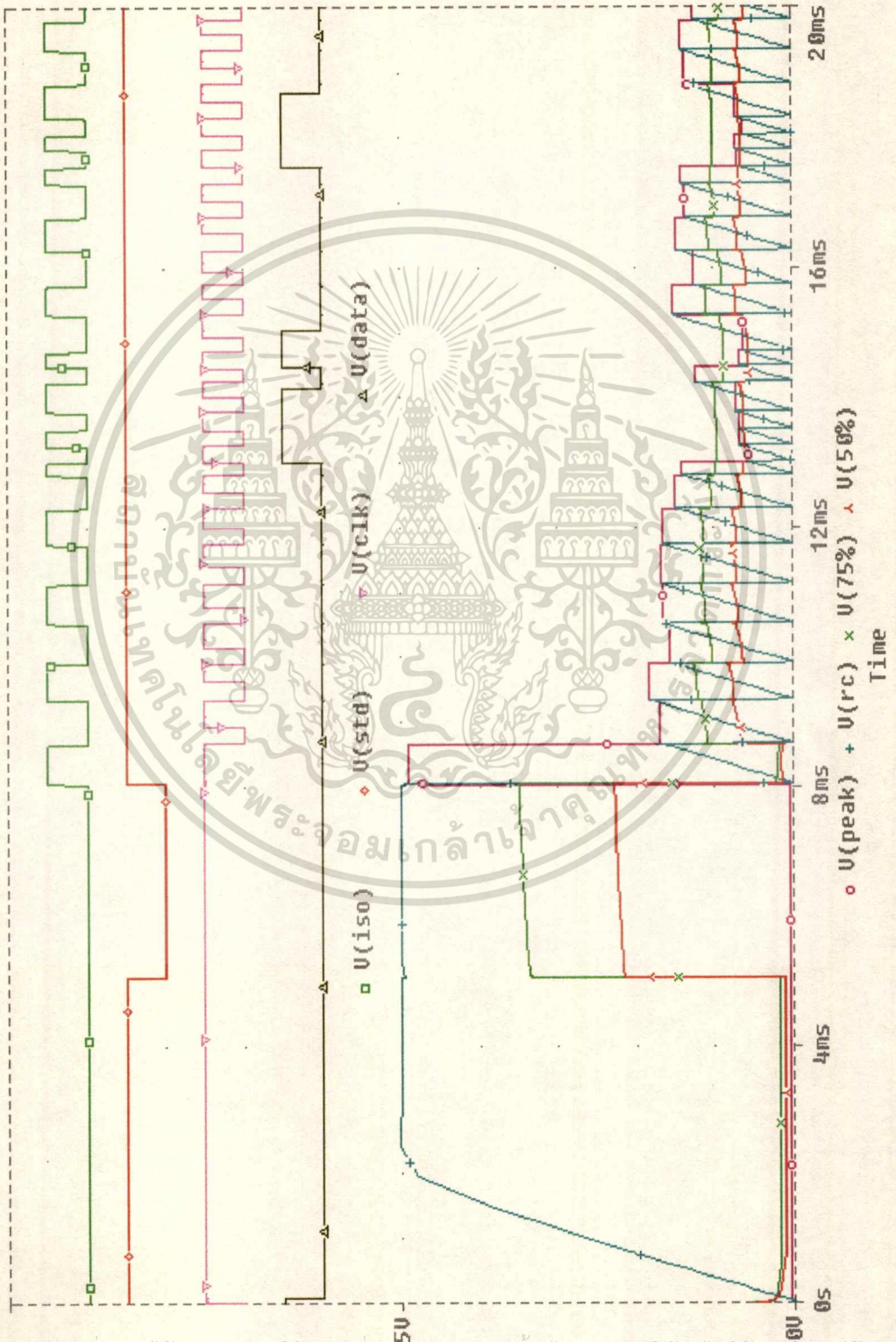
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.12 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่เริ่มต้นจนถึงสิ้นสุดการรูดบัตร



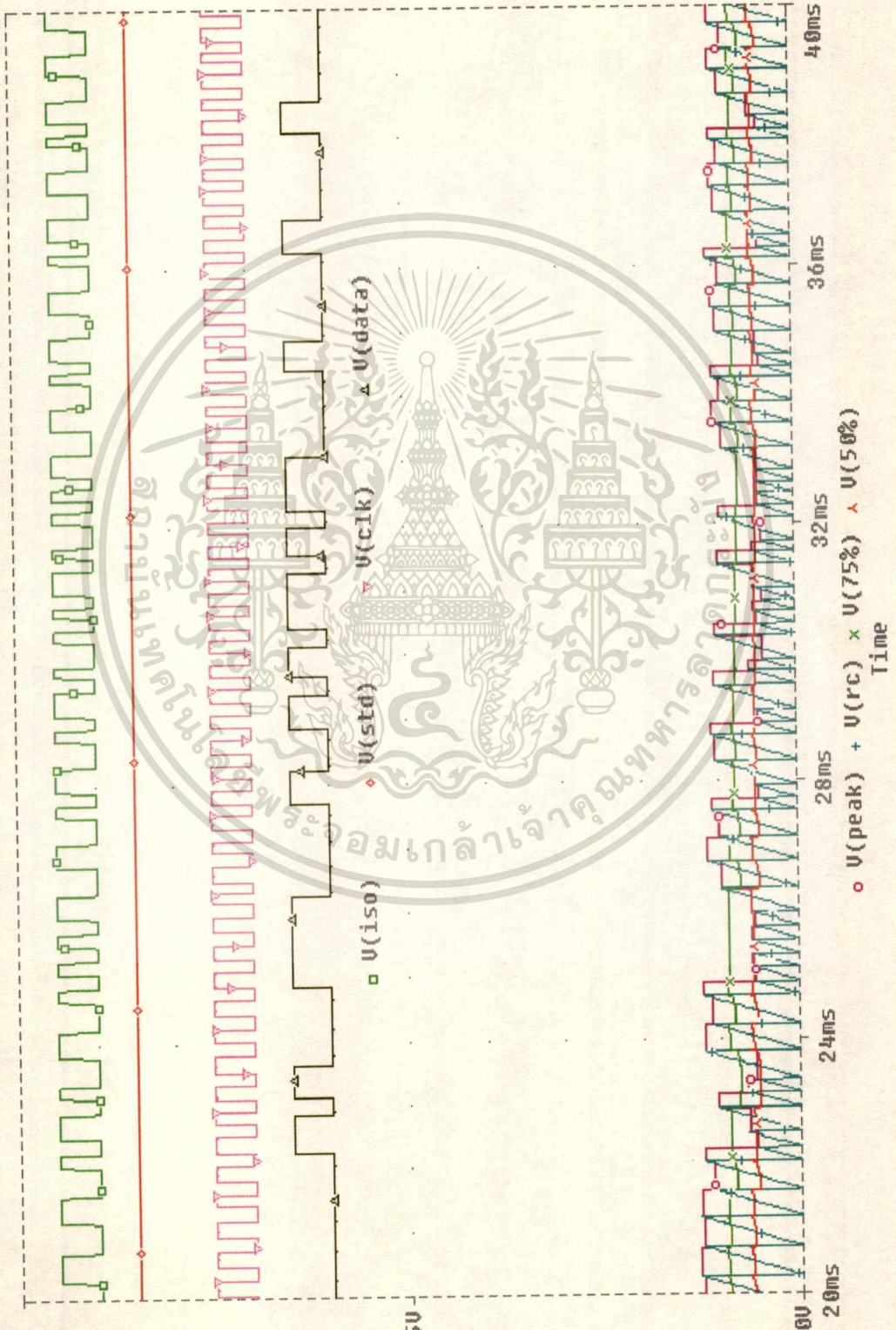
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.13 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 0 ms ถึง 20 ms



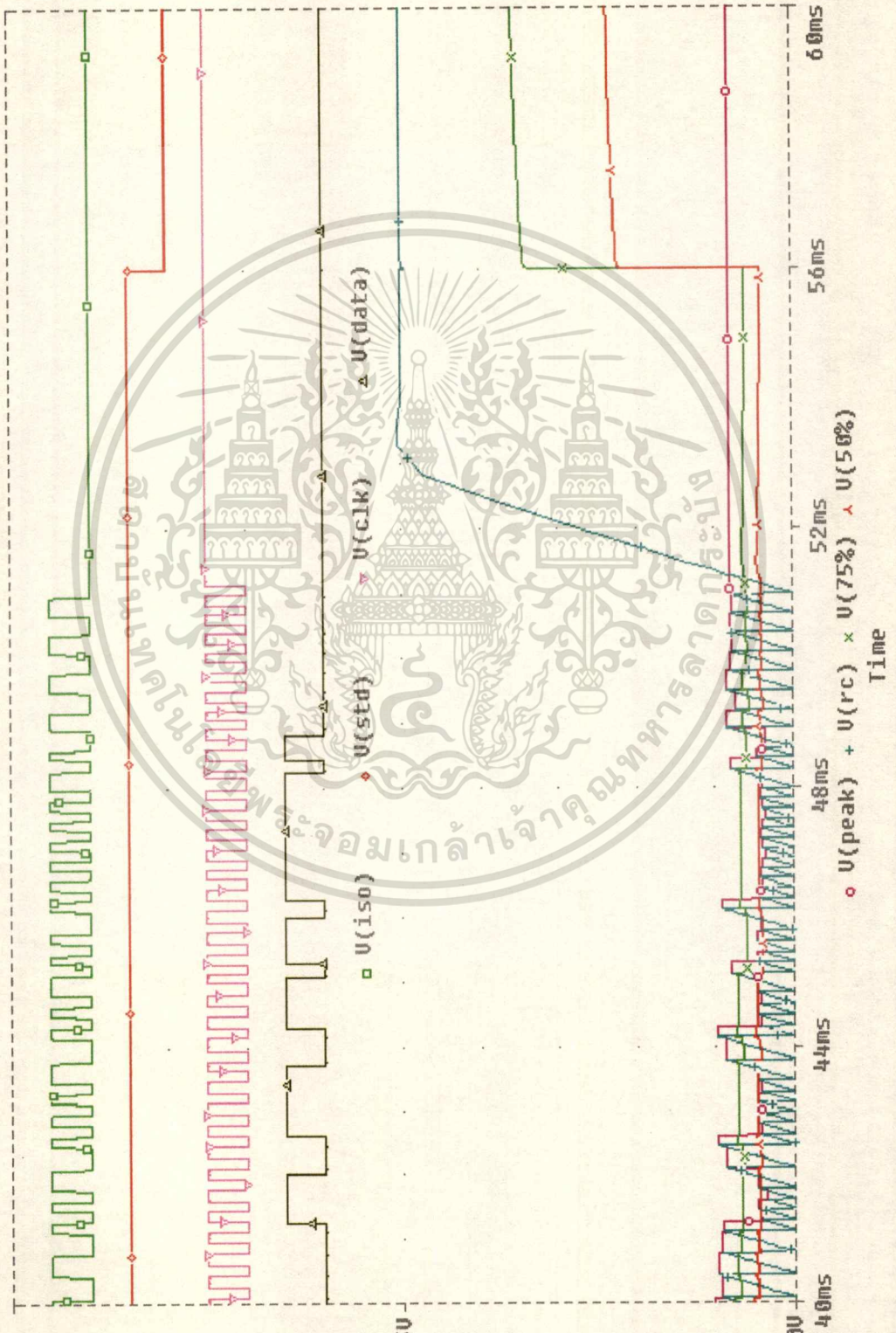
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.14 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 20 ms ถึง 40 ms



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.15 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 40 ms ถึง 60 ms



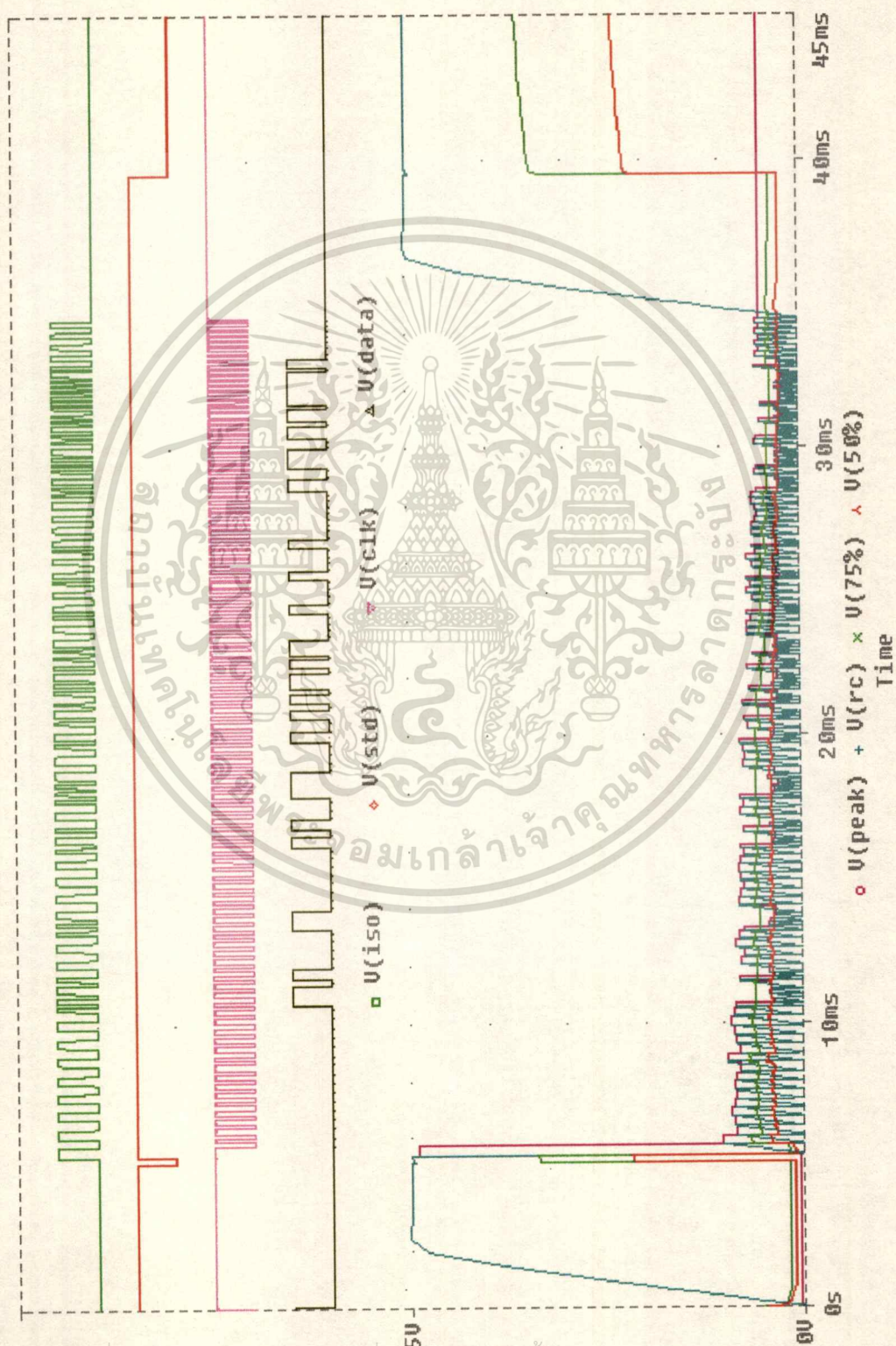
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลจากการชิมุเลชันด้วย PSpice
ที่ความเร็วช่วงต้นในการรูดบัตร ≈ 0.98 m/s



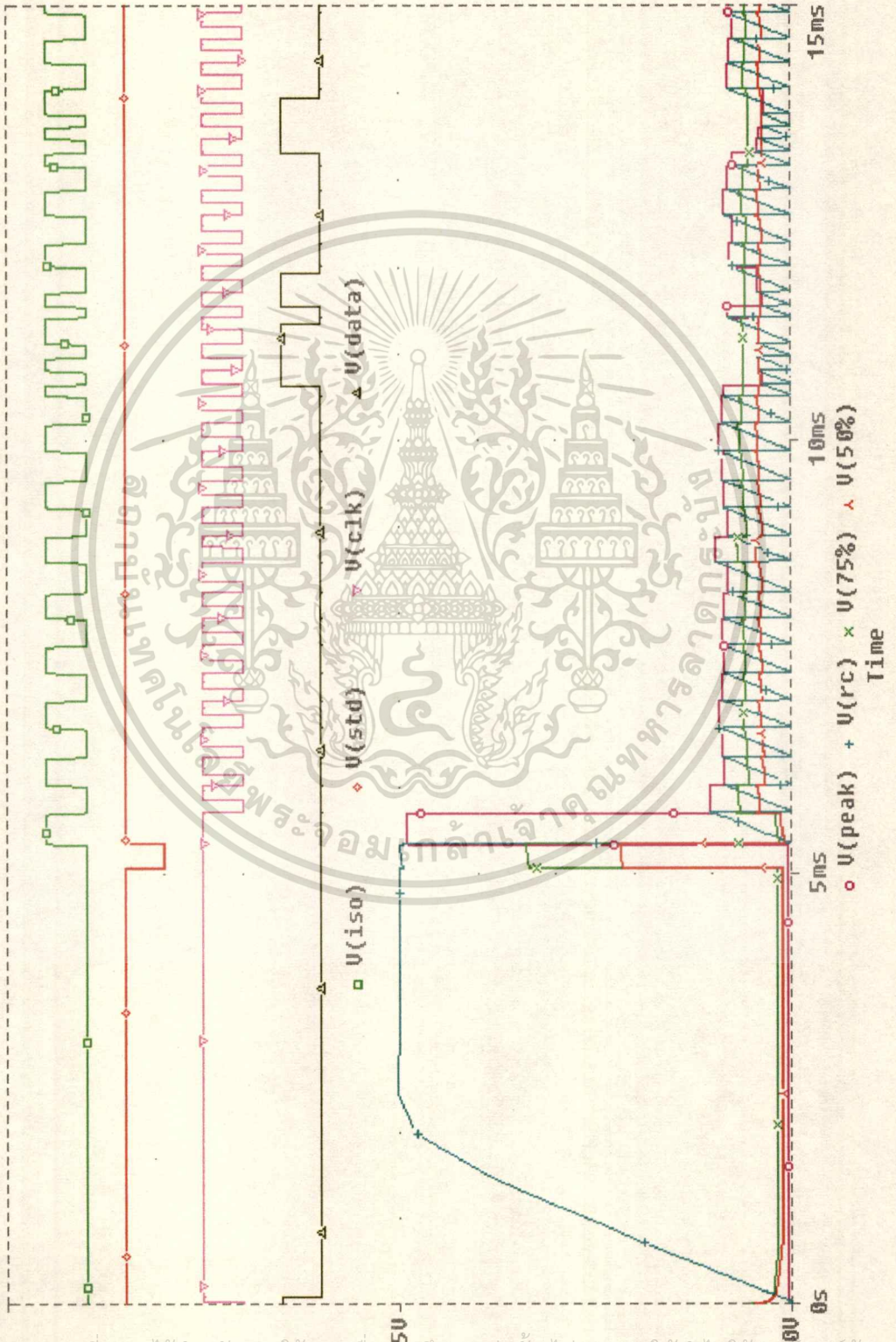
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.16 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่เริ่มต้นจนถึงสิ้นสุดการรูดบัตร



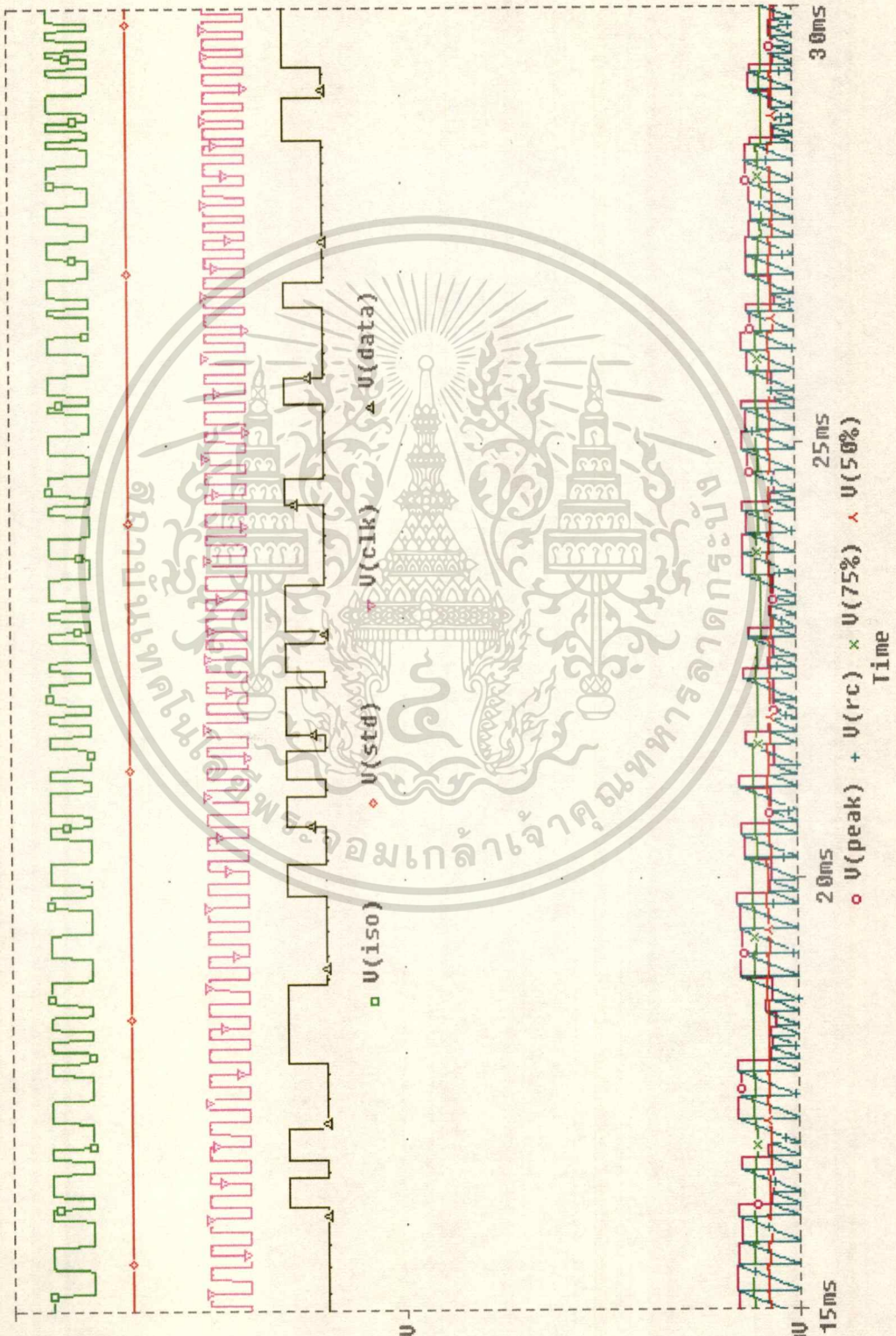
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.17 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 0 ms ถึง 15 ms



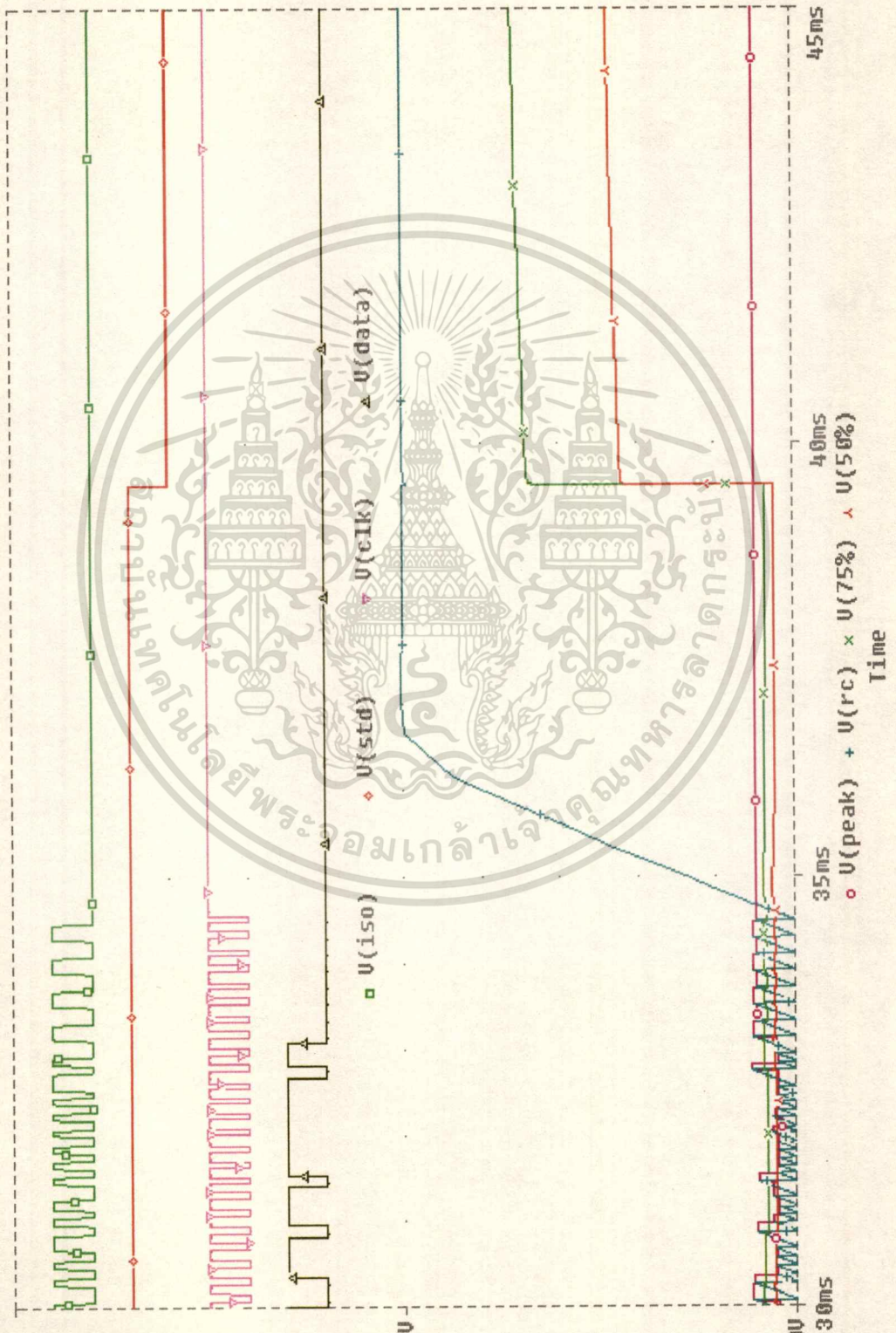
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.18 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 15 ms ถึง 30 ms



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.19 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 30 ms ถึง 45 ms



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 ผลการซิมูเลชันด้วยโปรแกรม PSpice

เมื่อนำ Schematic ของวงจรทั้งหมดที่ออกแบบในบทที่ 3 มาทำการซิมูเลชันด้วยโปรแกรม PSpice พบว่า เมื่อพิจารณาจากกราฟแสดงผล สัญญาณที่ป้อนให้วงจร (ISO) ,สัญญาณเริ่มต้นรูดบัตร์ (STD) ,สัญญาณข้อมูล (DATA)และสัญญาณนาฬิกา (CLK) ผลการถอดรหัสข้อมูลที่ได้จากบัตร์เดียวกันที่ความเร็วในการรูดบัตร์ต่างกัน ตั้งแต่ความเร็วในการรูดบัตร์แบบช้าจนถึงการรูดบัตร์ที่ความเร็วสูง ผลการถอดรหัสข้อมูลเมื่ออ่านข้อมูลทุก ๆ ขอบขาลงของสัญญาณนาฬิกา พบว่าได้มีค่าลอจิกที่ถูกต้องเมื่อเทียบกับ ค่าลอจิกในตาราง 5.1 ทุกย่านความเร็ว

ระดับความเร็วในการรูดบัตร์ที่เพิ่มขึ้น จะทำให้รูปสัญญาณต่างๆที่ใช้ในการถอดรหัส มีแอมพลิจูด สัญญาณเล็กลง ส่วนสัญญาณข้อมูล สัญญาณนาฬิกา และสัญญาณเริ่มต้นรูดบัตร์ มีลักษณะเช่นเดียวกันแต่คาบเวลาจะลดลง

5.3 การเชื่อมโยงโดยใช้โปรแกรม T-Spice จาก Layout [3]

วิธีการทดสอบ Layout ของวงจรถอดรหัสบัตรแม่เหล็ก ที่ออกแบบว่าสามารถทำงานได้ ถูกต้องหรือไม่เมื่อนำไปสร้างจริง โดยการเชื่อมโยงด้วยโปรแกรม T-Spice ซึ่งจะต้องนำ Layout ของ วงจรมาแปลงให้อยู่ในรูปแบบที่โปรแกรม T-Spice ต้องการ

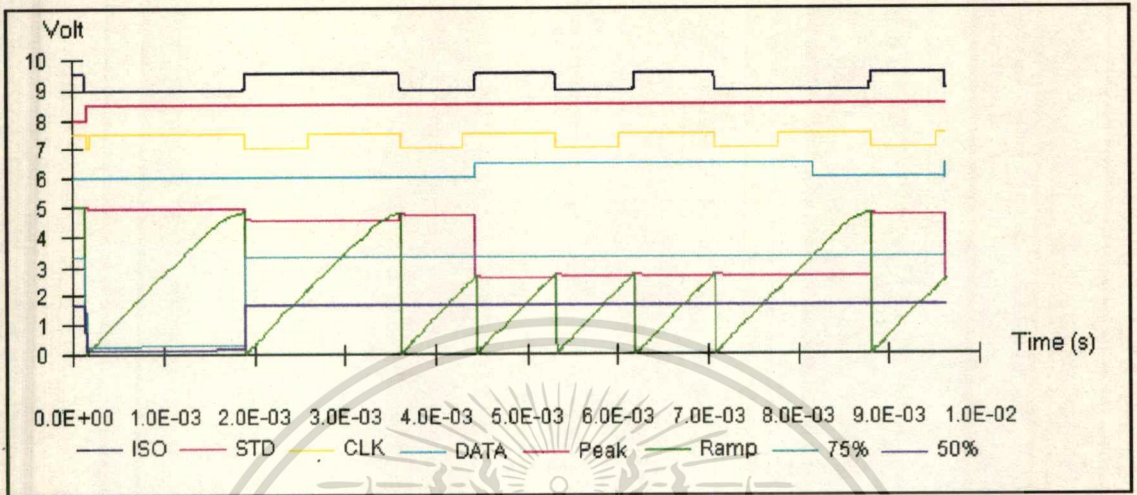


ผลจากการชิมเลชันด้วยโปรแกรม T-Spice
ที่ความเร็วช่วงต้นในการรูดบัตร ≈ 0.15 m/s

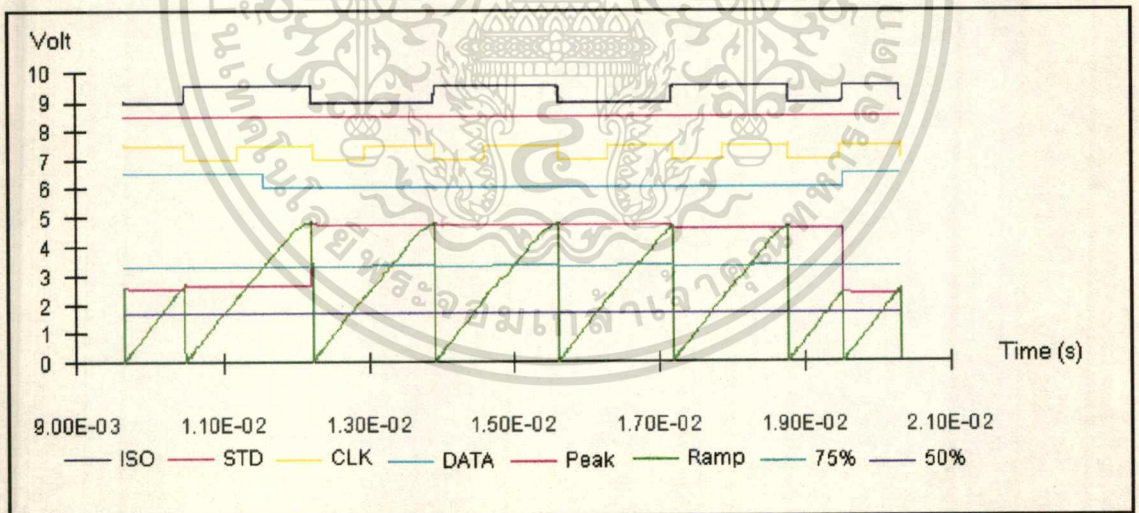


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.20 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 0 ms ถึง 10 ms

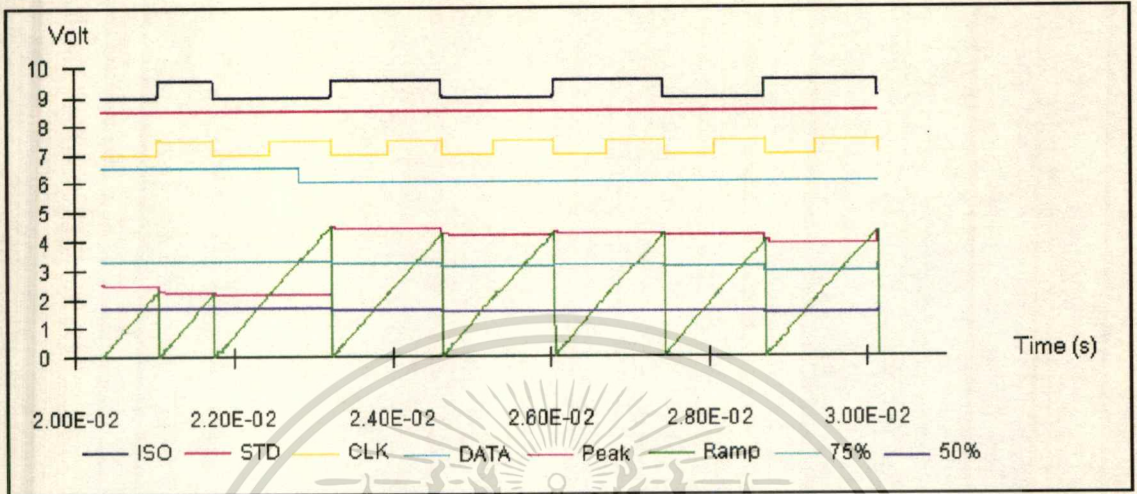


รูปที่ 5.21 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 9 ms ถึง 20 ms

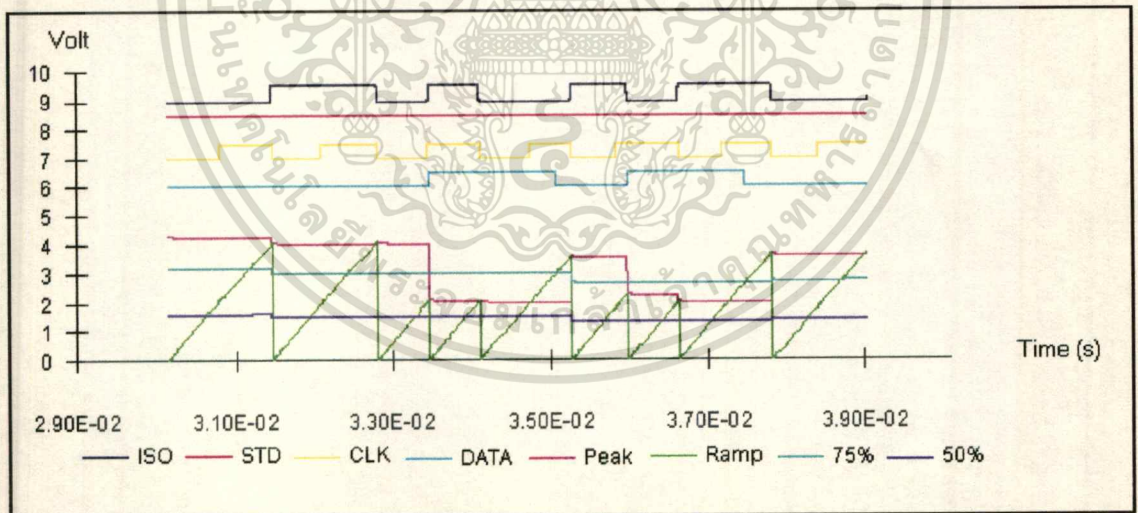


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.22 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 9 ms ถึง 30 ms

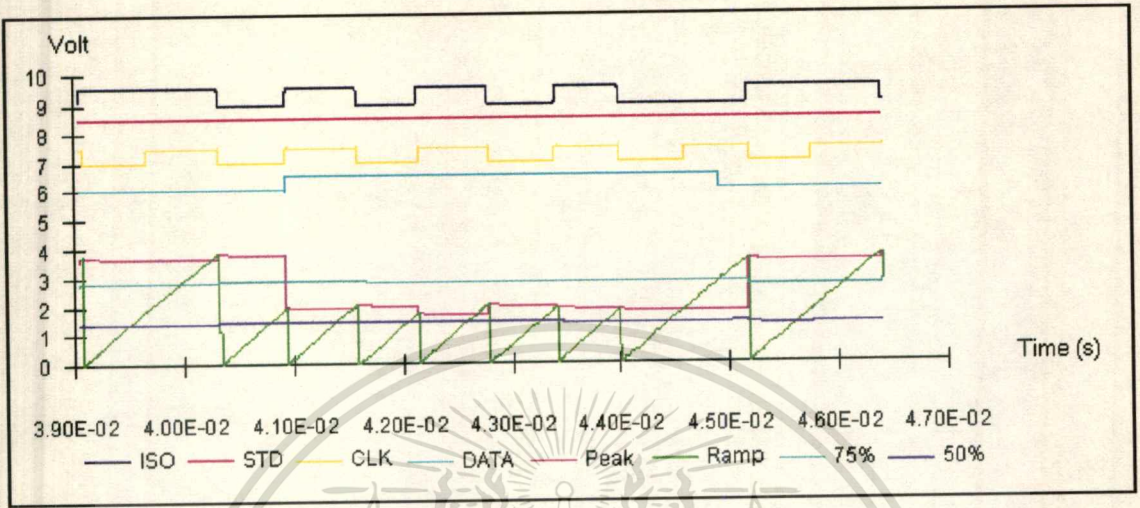


รูปที่ 5.23 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 30 ms ถึง 39 ms

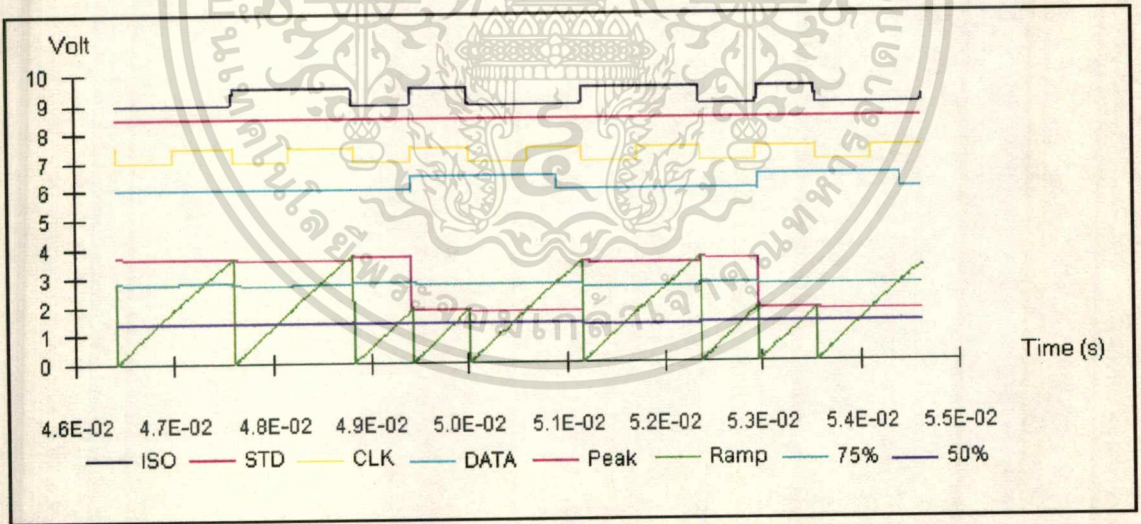


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.24 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 39 ms ถึง 46 ms

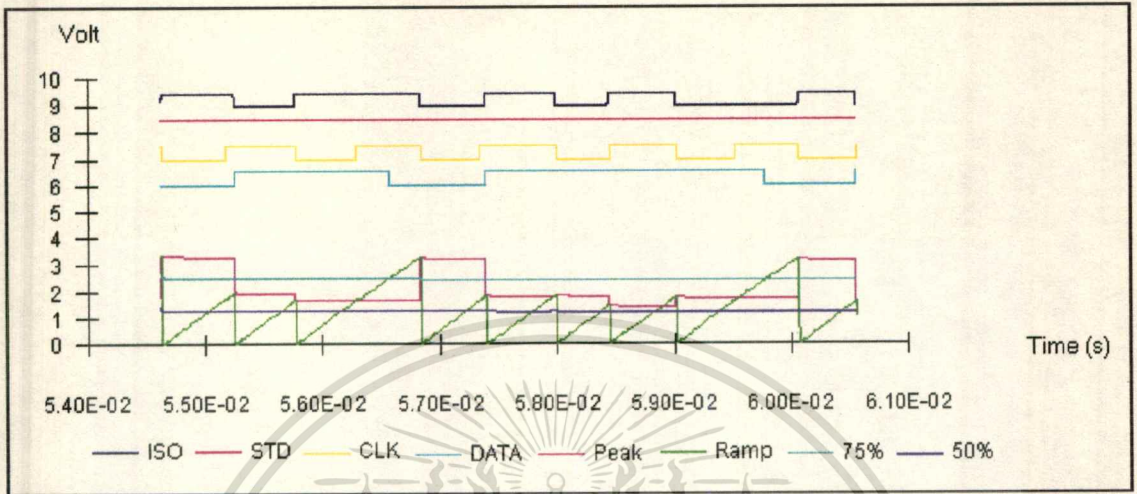


รูปที่ 5.25 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 46 ms ถึง 54 ms

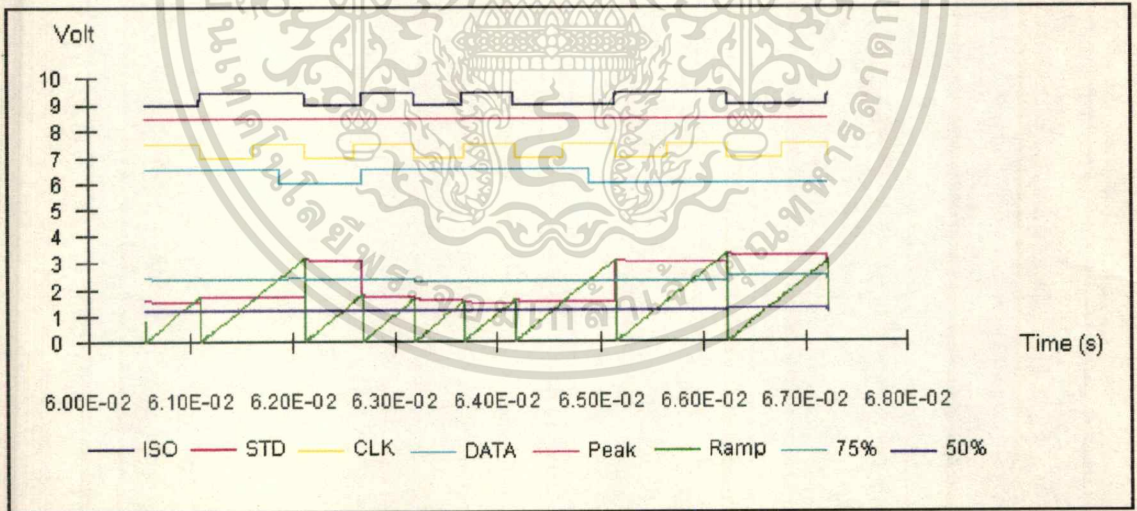


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.26 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 54 ms ถึง 60 ms

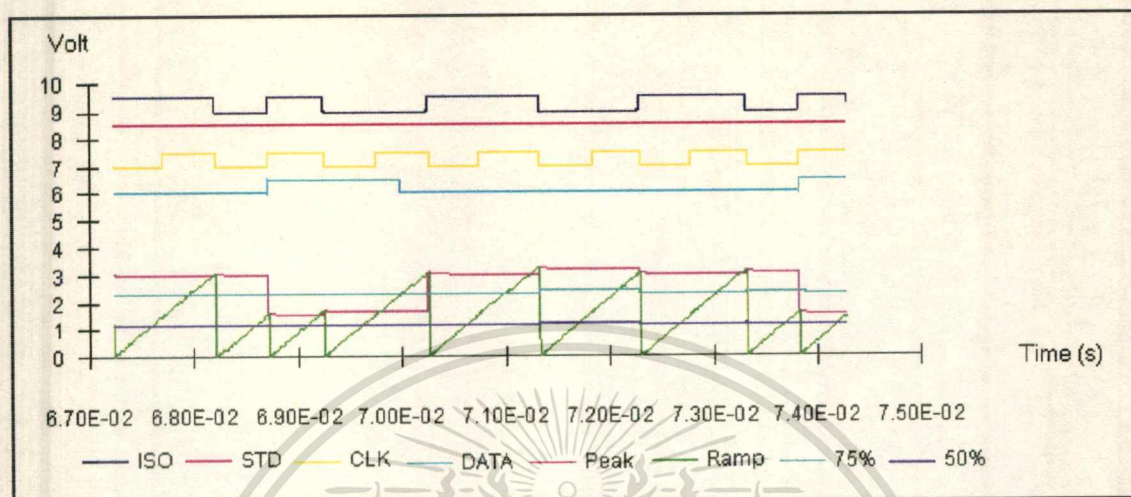


รูปที่ 5.27 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 60 ms ถึง 67 ms

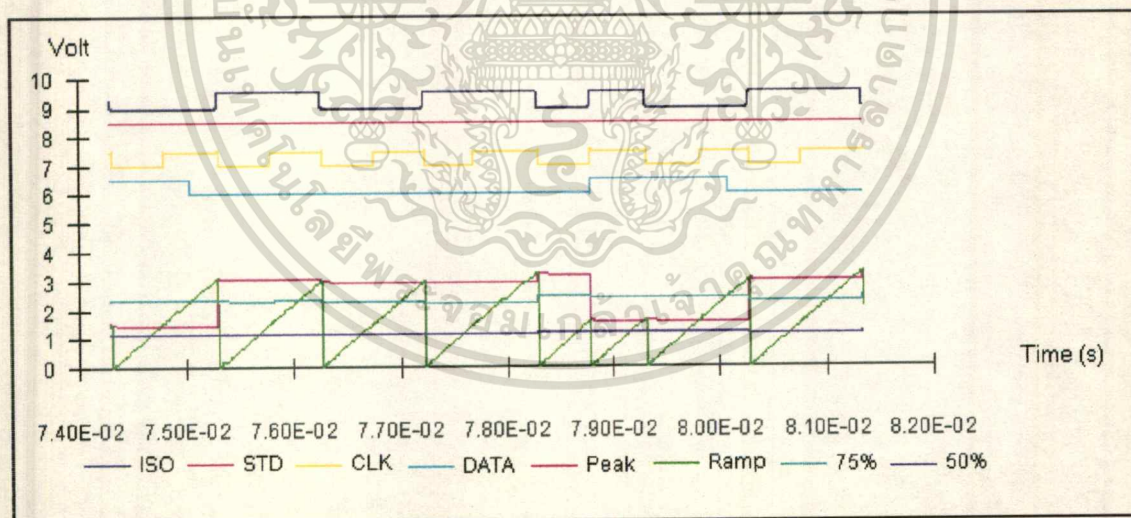


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.28 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 67 ms ถึง 74 ms

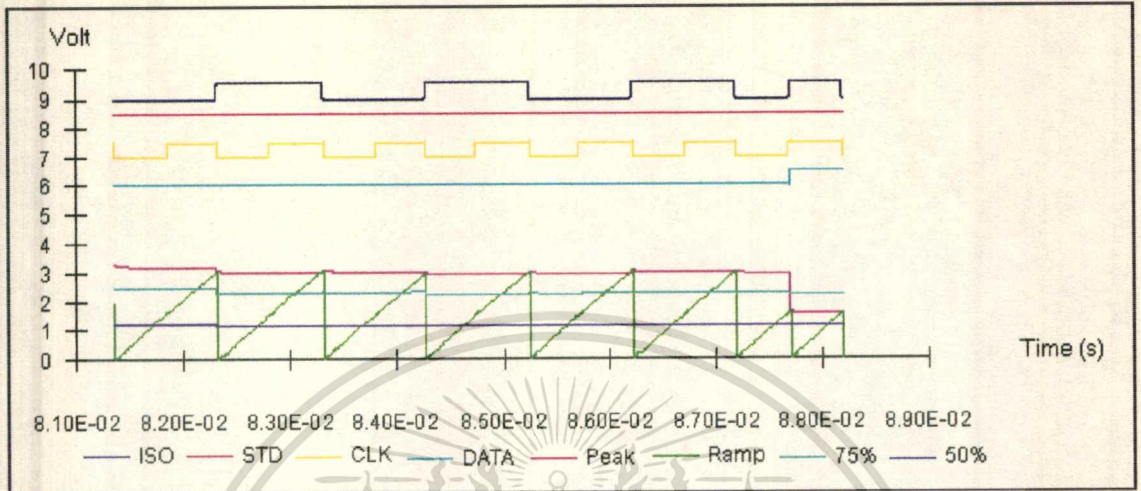


รูปที่ 5.29 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 74 ms ถึง 81 ms

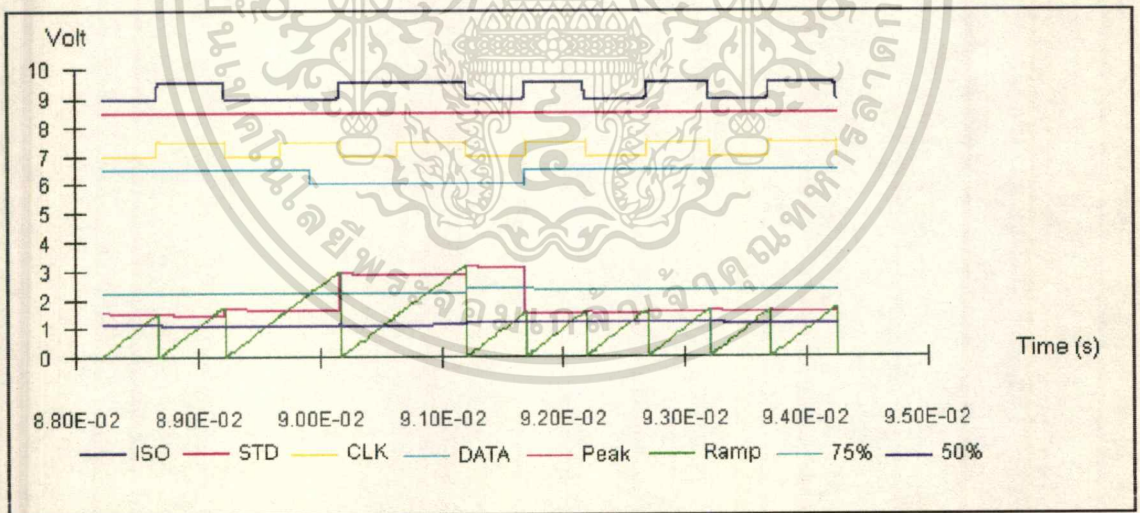


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.30 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 81 ms ถึง 88 ms

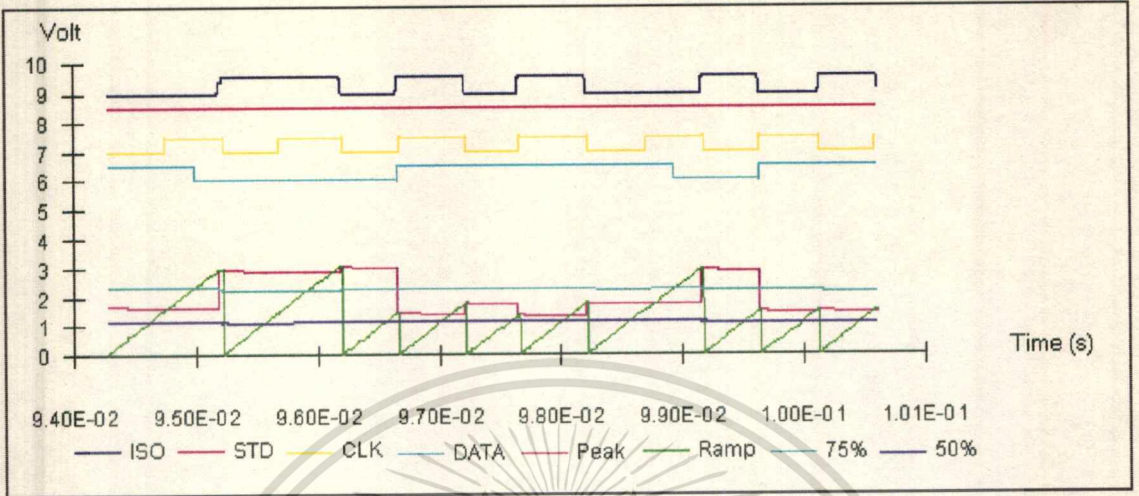


รูปที่ 5.31 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 88 ms ถึง 94 ms

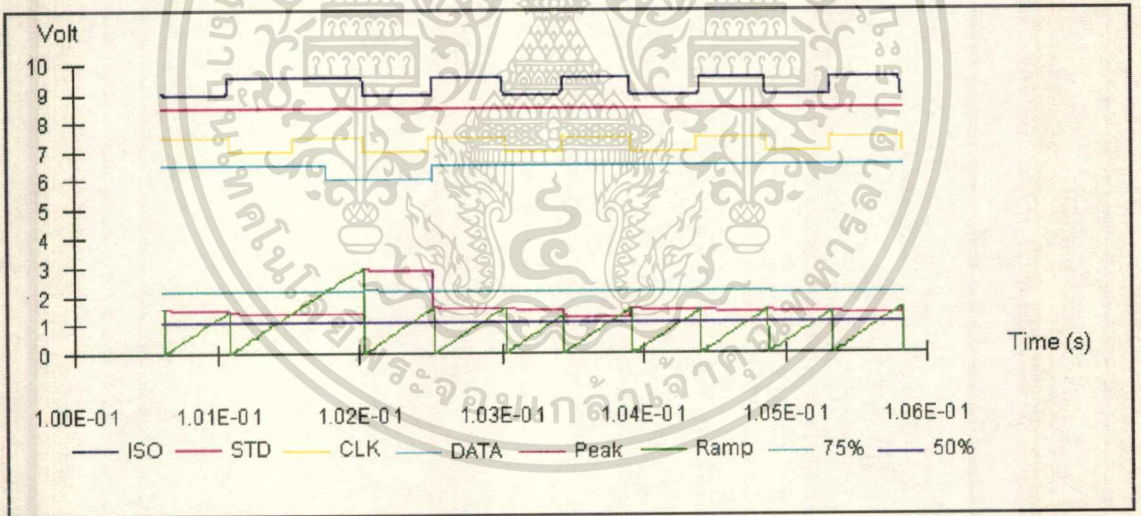


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.32 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 94 ms ถึง 100 ms

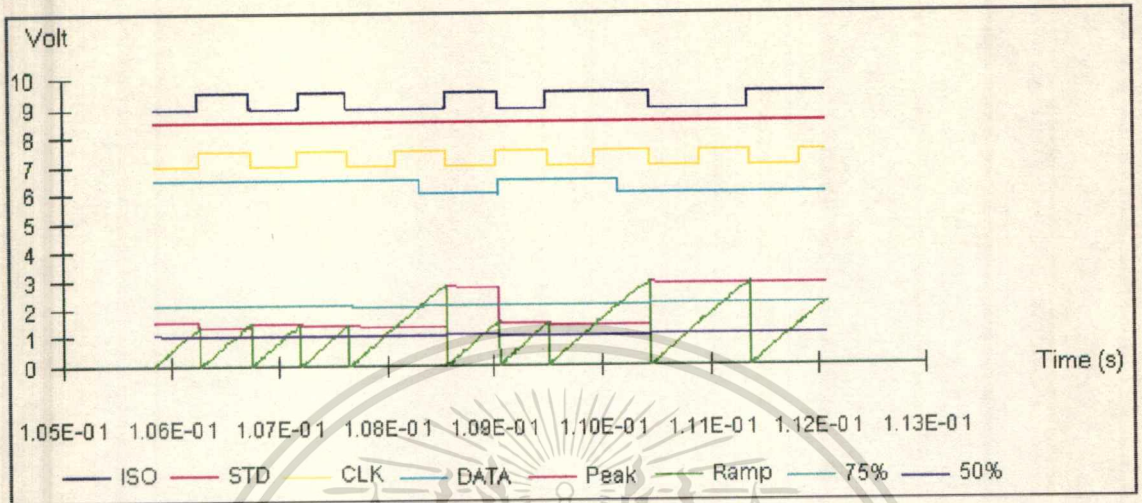


รูปที่ 5.33 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 100 ms ถึง 105 ms

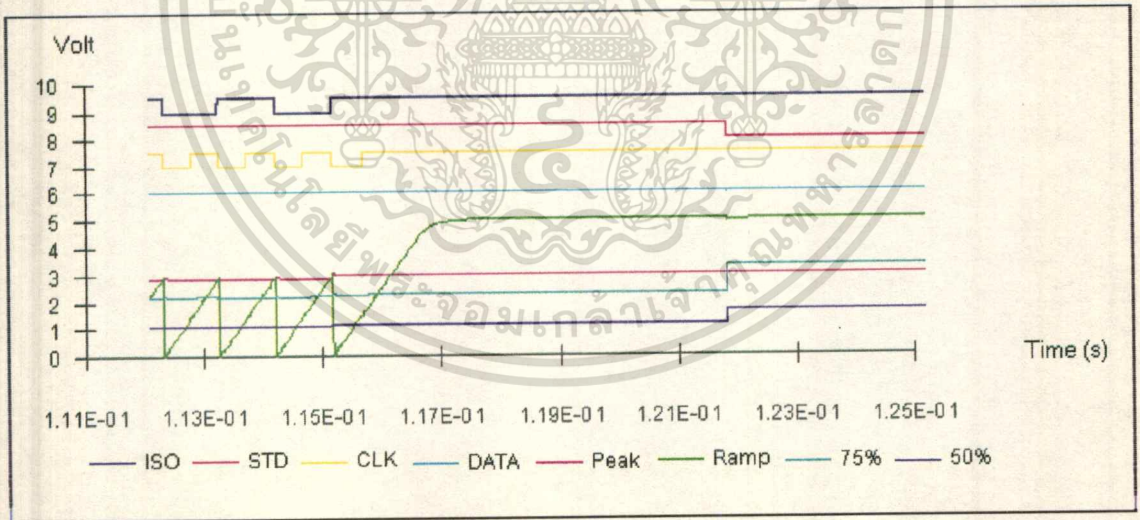


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.34 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 105 ms ถึง 112 ms



รูปที่ 5.35 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 112 ms ถึง 125 ms



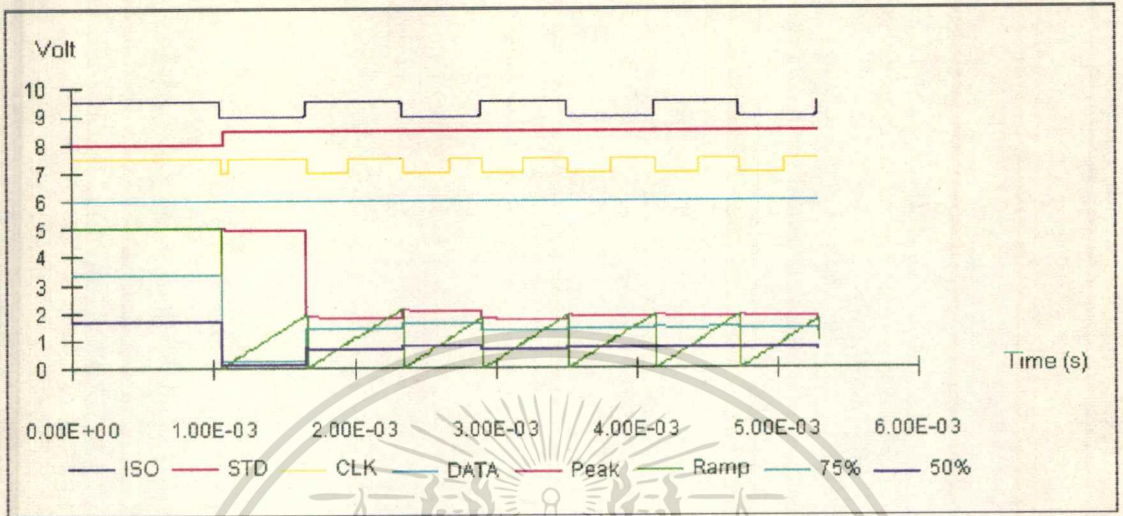
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลจากการซิมูเลชันด้วยโปรแกรม T-Spice
ที่ความเร็วช่วงต้นในการรูดบัตร ≈ 0.264 m/s

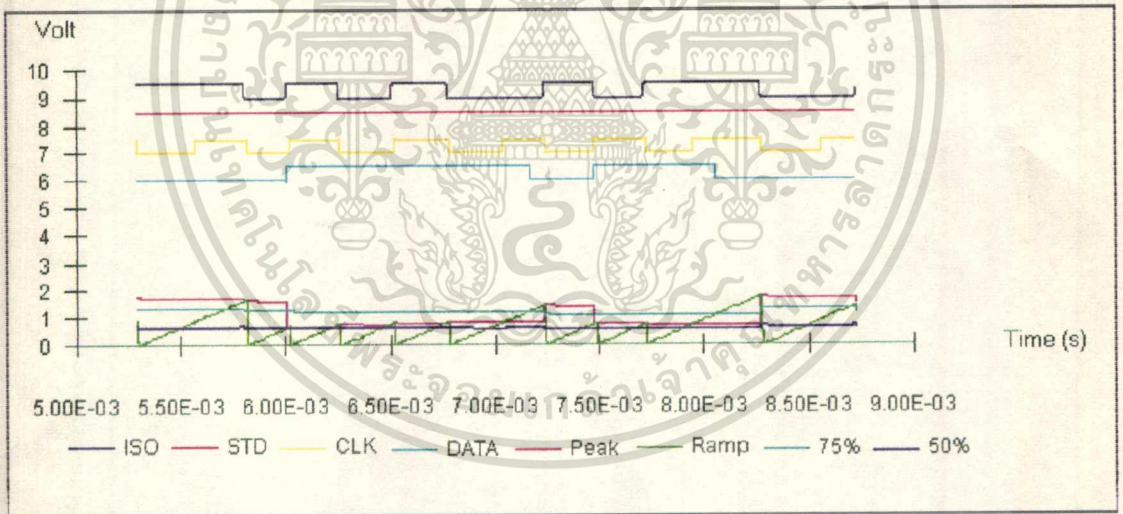


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.36 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 0 ms ถึง 5 ms

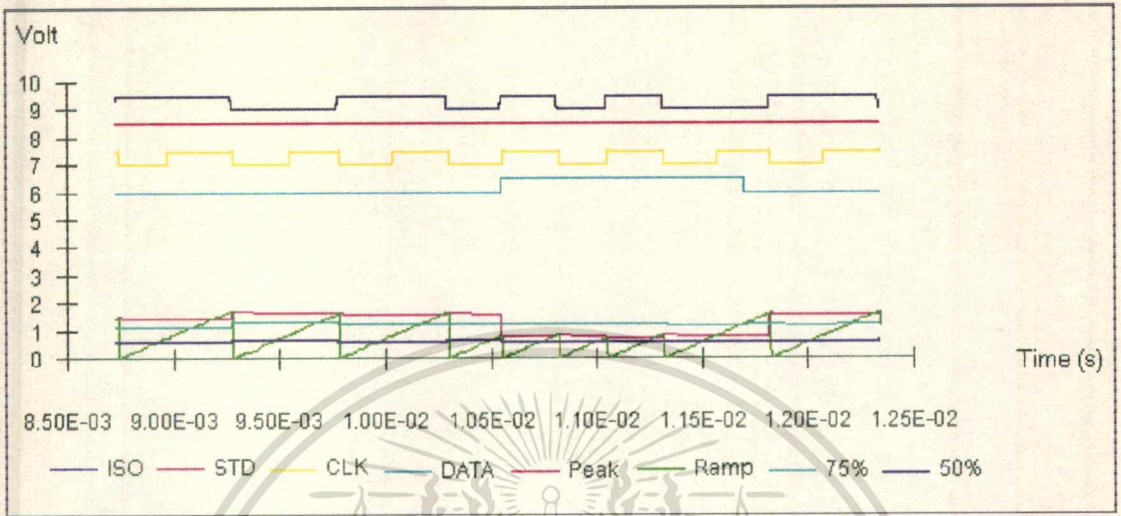


รูปที่ 5.37 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 5 ms ถึง 8.5 ms

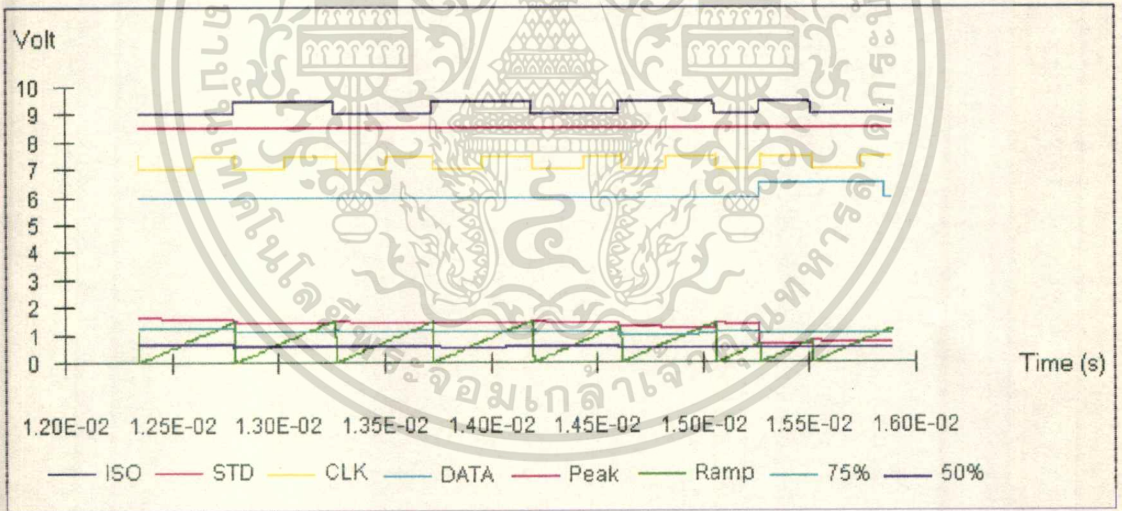


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.38 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 8.5 ms ถึง 12 ms

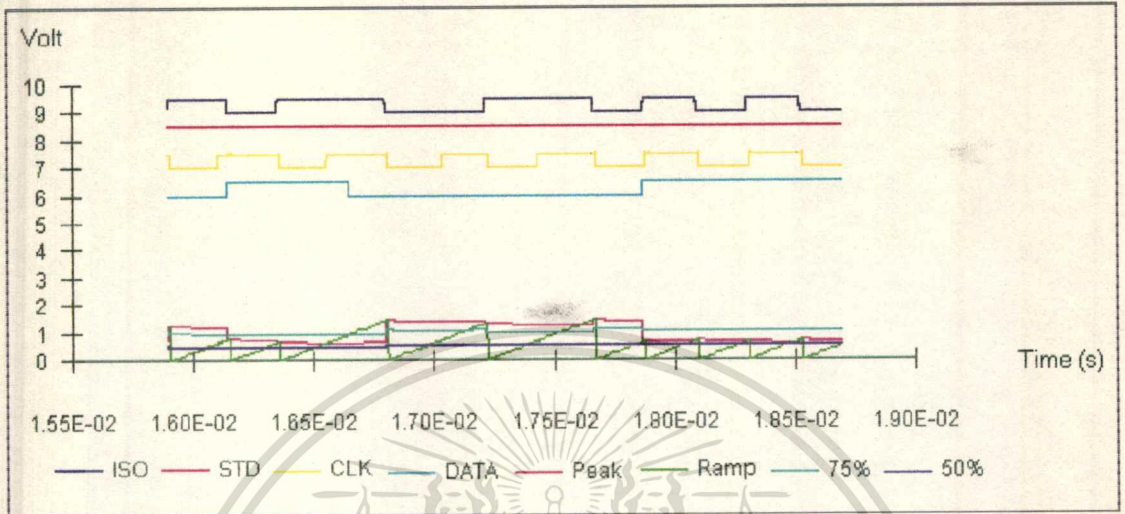


รูปที่ 5.39 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 12 ms ถึง 15.5 ms

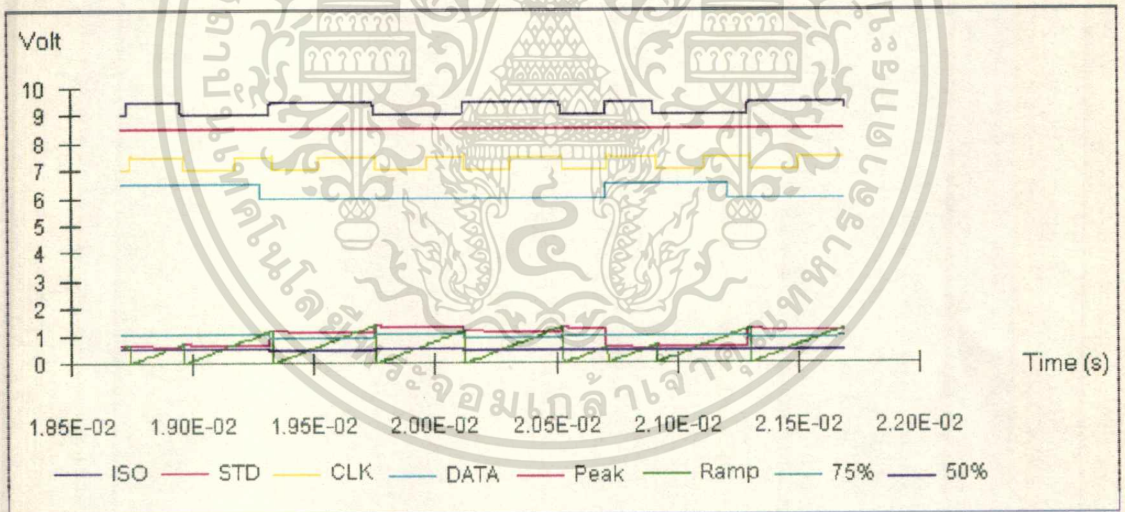


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.40 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 15.5 ms ถึง 18.5 ms

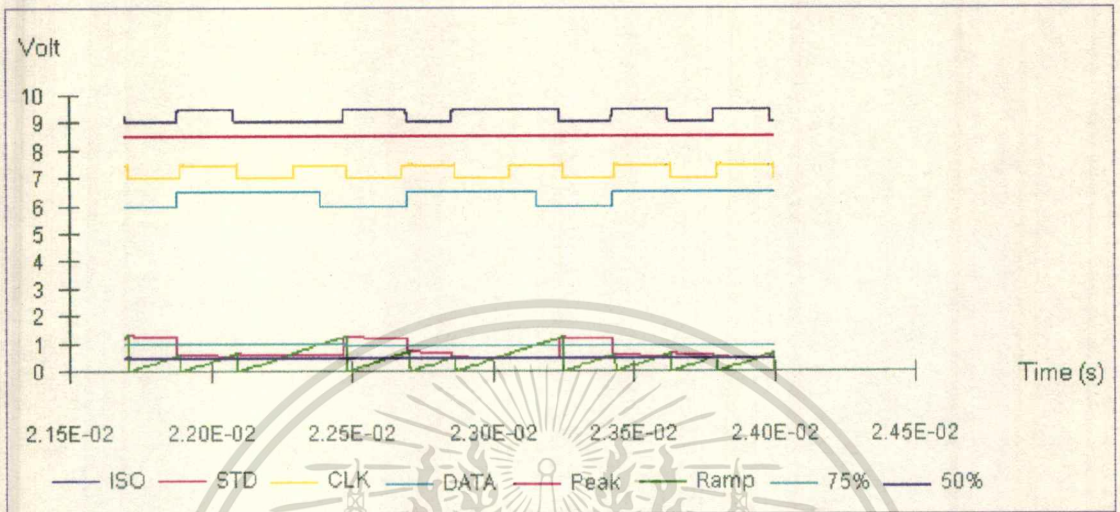


รูปที่ 5.41 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 18.5 ms ถึง 21.5 ms

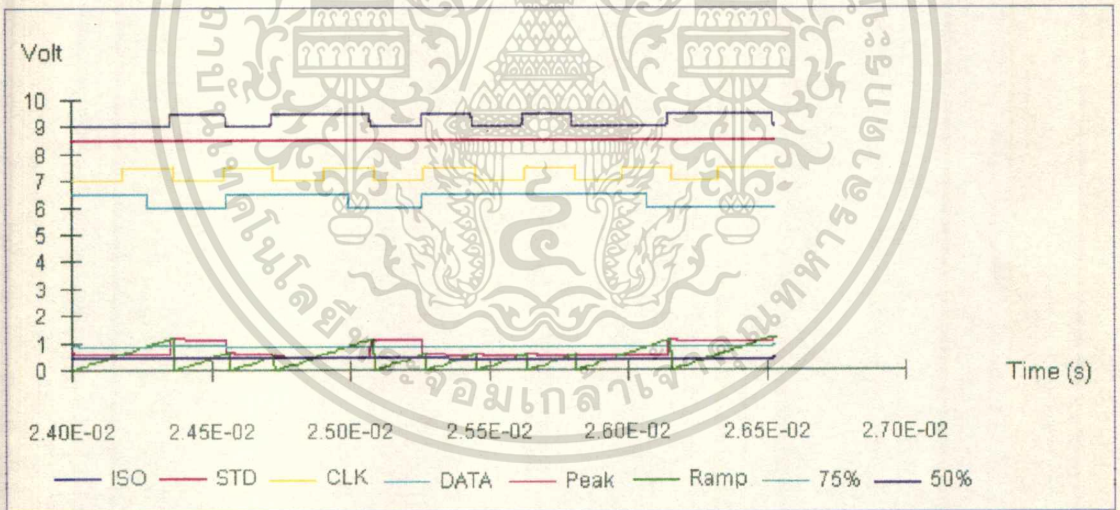


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.42 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 21.5 ms ถึง 24 ms

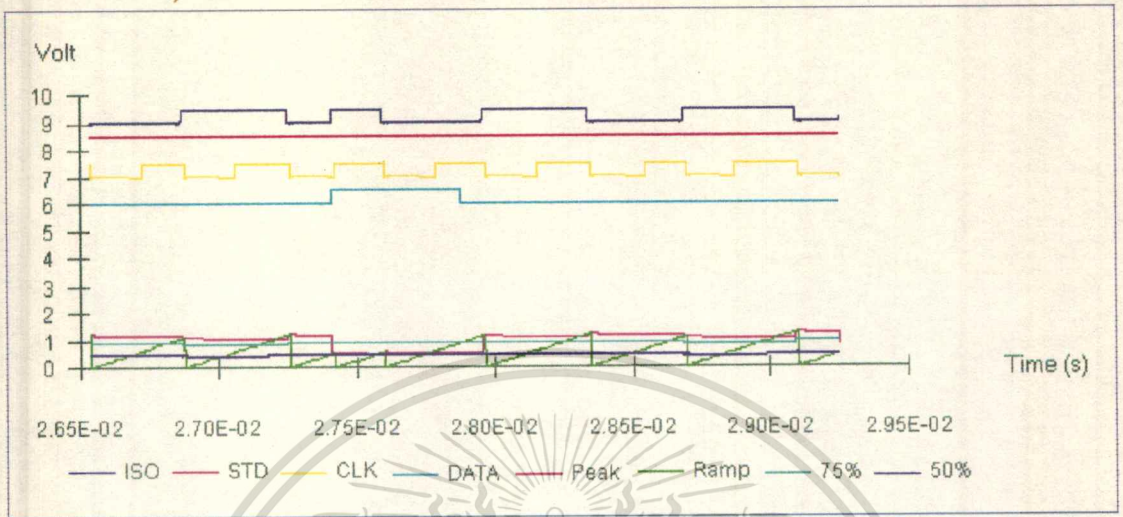


รูปที่ 5.43 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 24 ms ถึง 26.5 ms

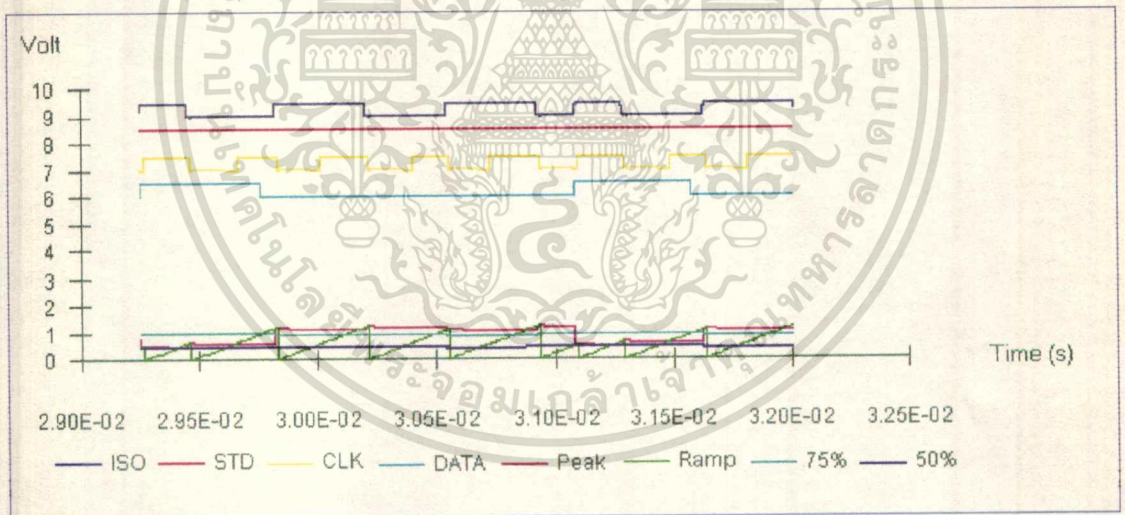


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.44 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 26.5 ms ถึง 29 ms

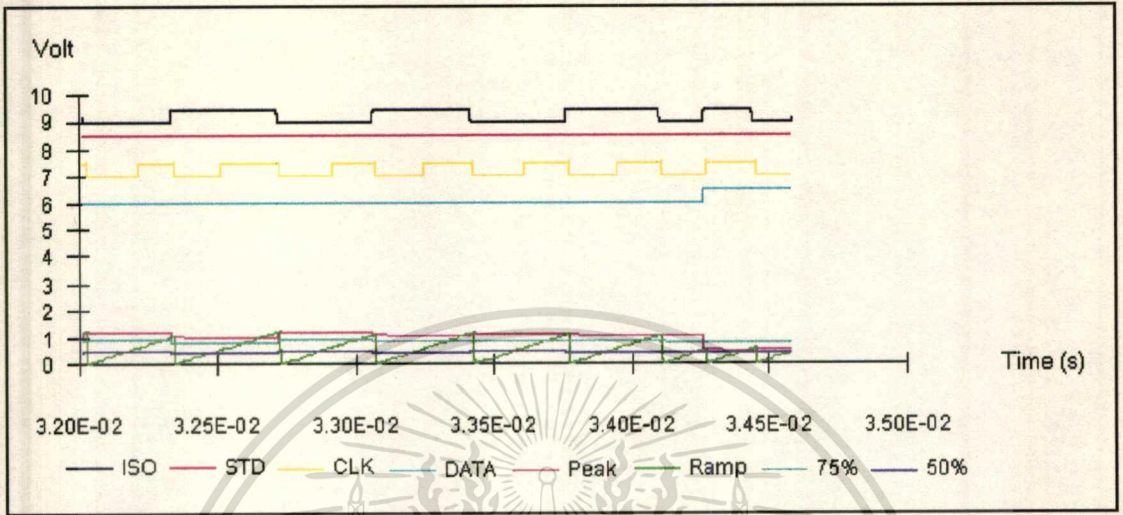


รูปที่ 5.45 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 29 ms ถึง 32 ms

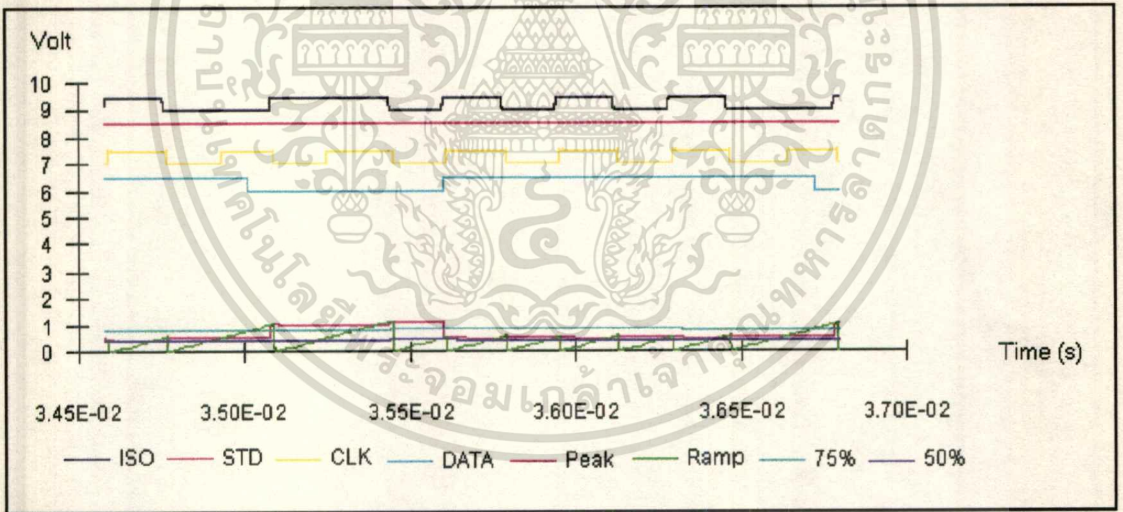


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

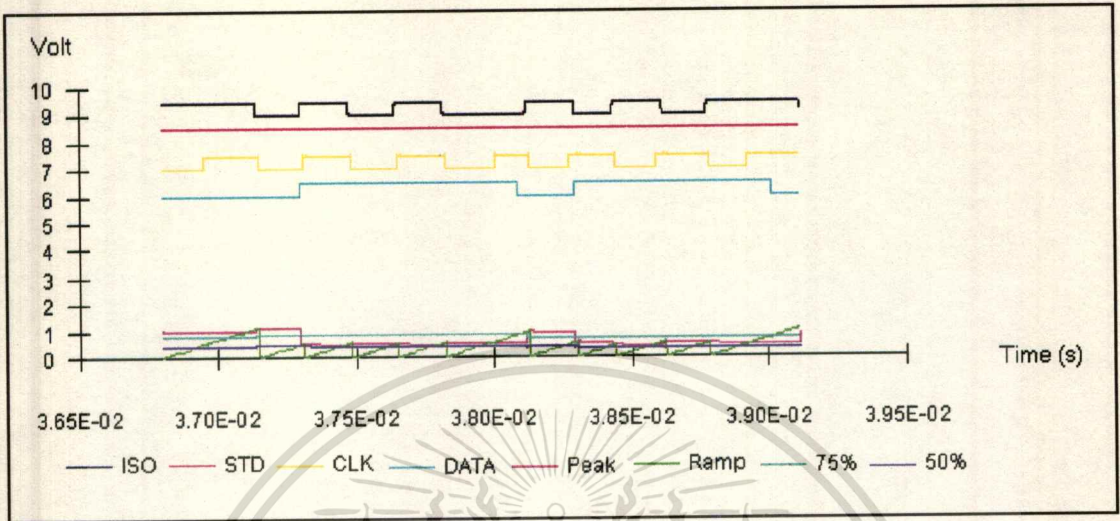
รูปที่ 5.46 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 32 ms ถึง 34.5 ms



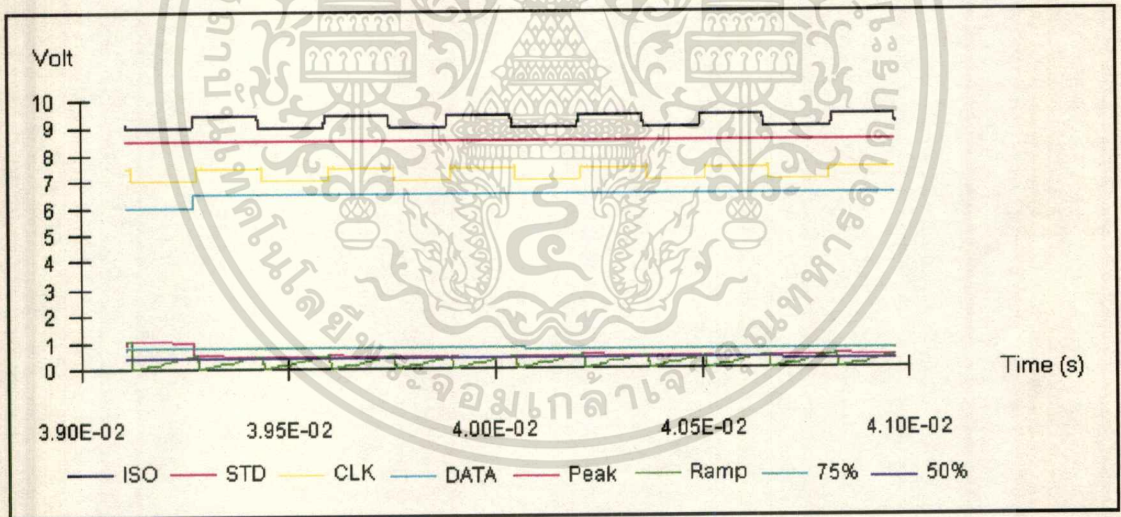
รูปที่ 5.47 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 34.5 ms ถึง 36.5 ms



รูปที่ 5.48 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 36.5 ms ถึง 39 ms

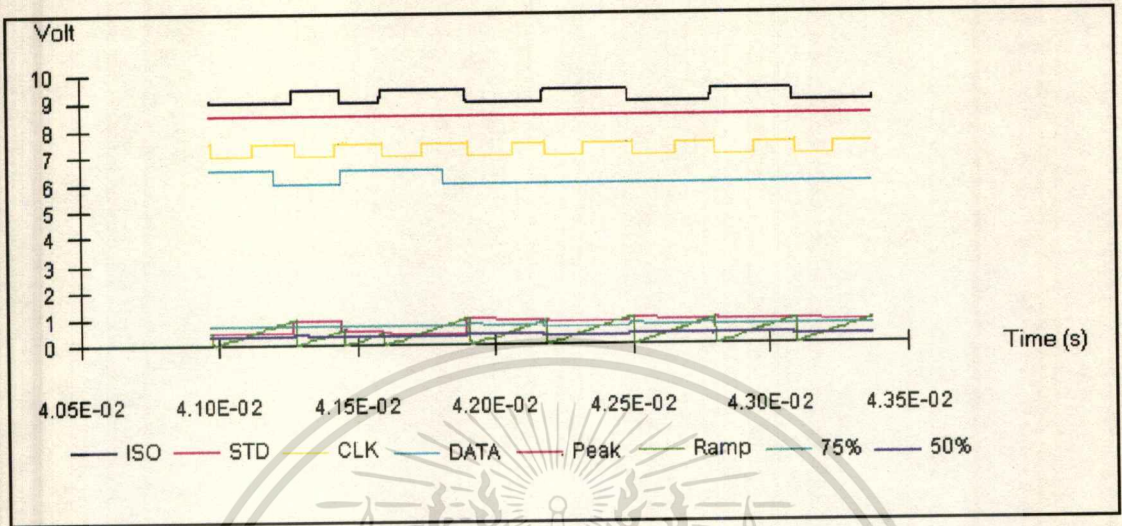


รูปที่ 5.49 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 39 ms ถึง 40.5 ms

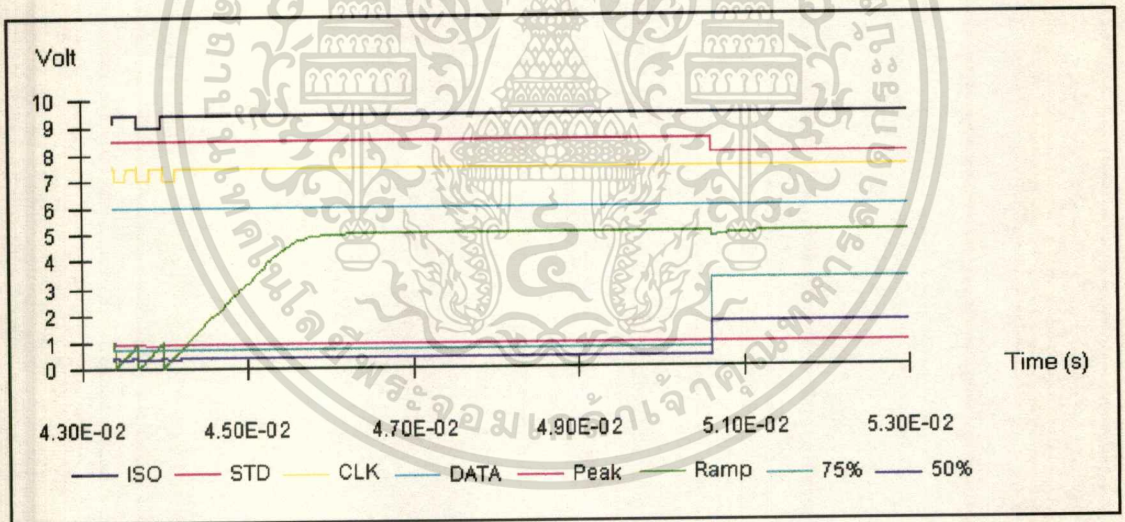


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.50 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 40.5 ms ถึง 43 ms



รูปที่ 5.51 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 43 ms ถึง 53 ms



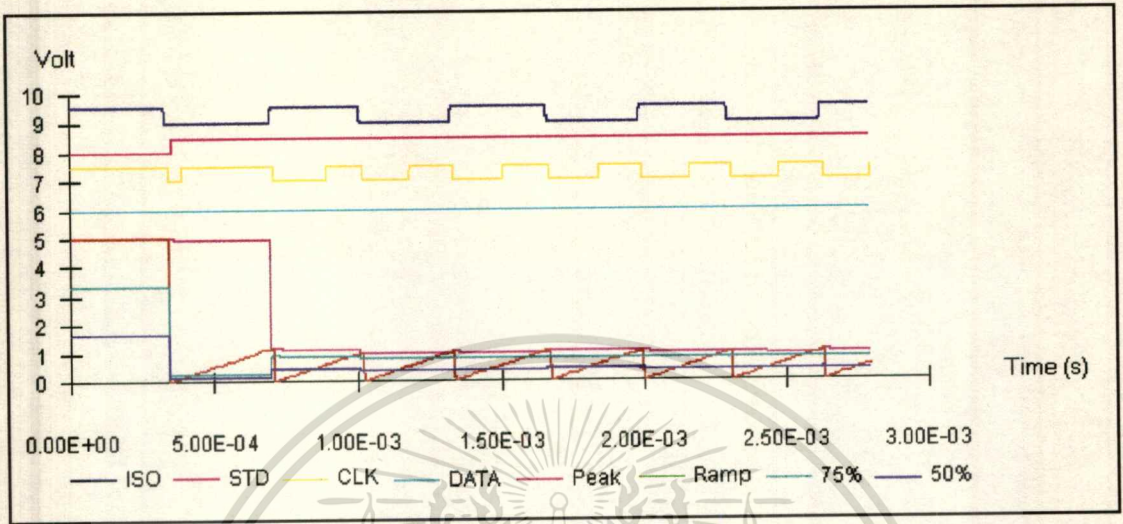
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลจากการชิมเลชั่นด้วยโปรแกรม T-Spice
ที่ความเร็วช่วงต้นในการรูดบัตร ≈ 0.98 m/s

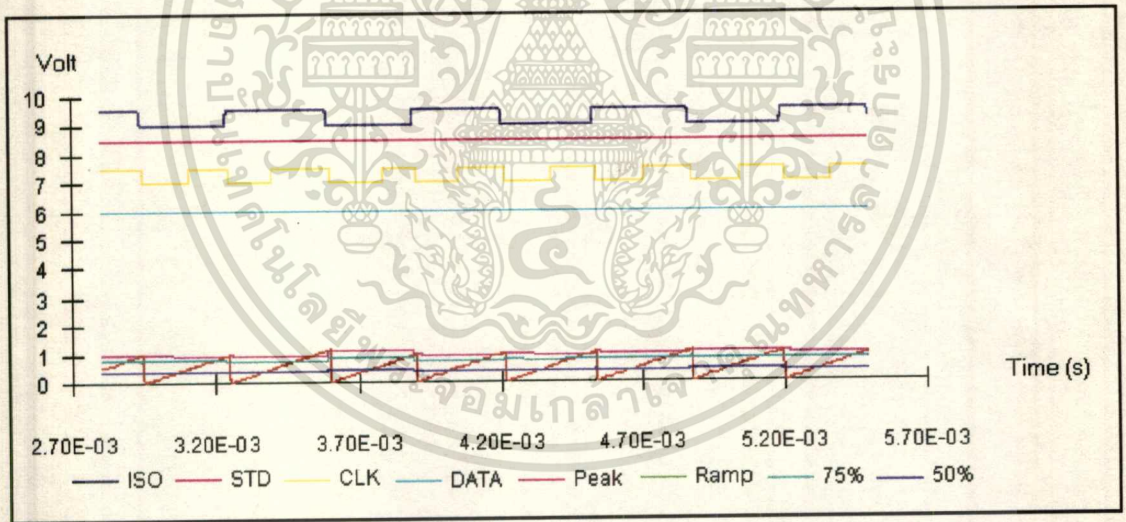


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.52 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 0 ms ถึง 2.7 ms

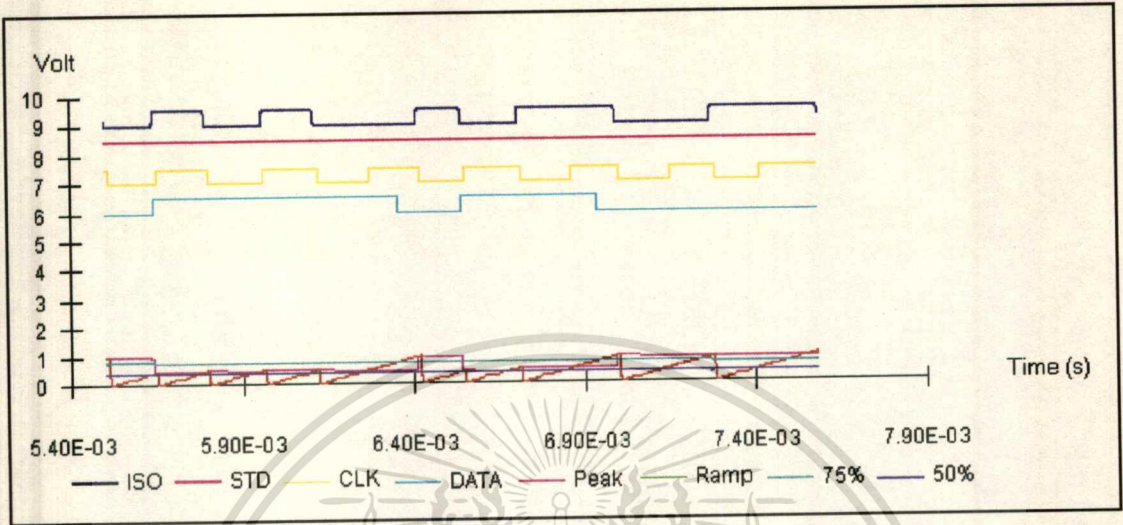


รูปที่ 5.53 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 2.7 ms ถึง 5.4 ms

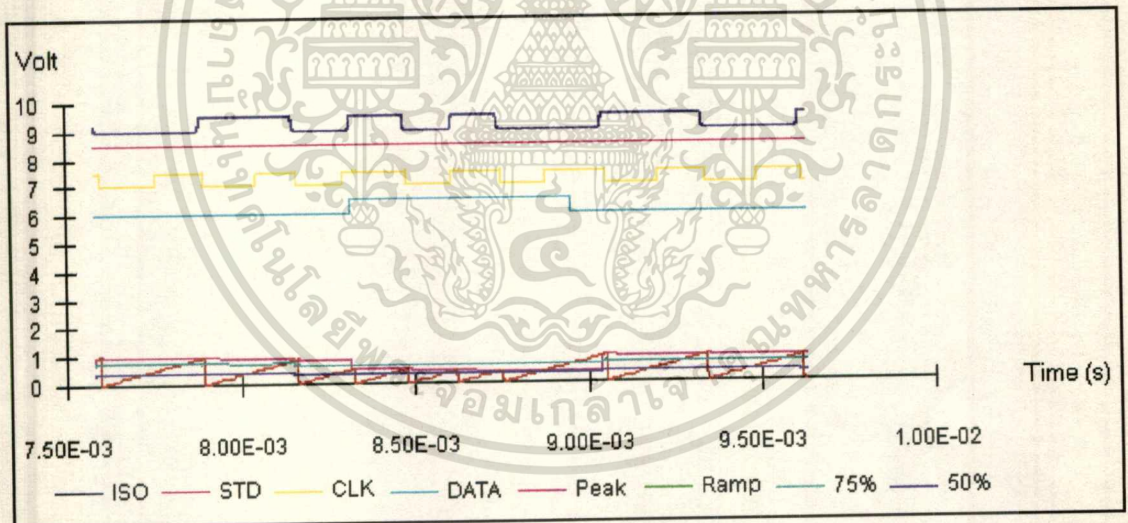


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.54 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 5.4 ms ถึง 7.5 ms

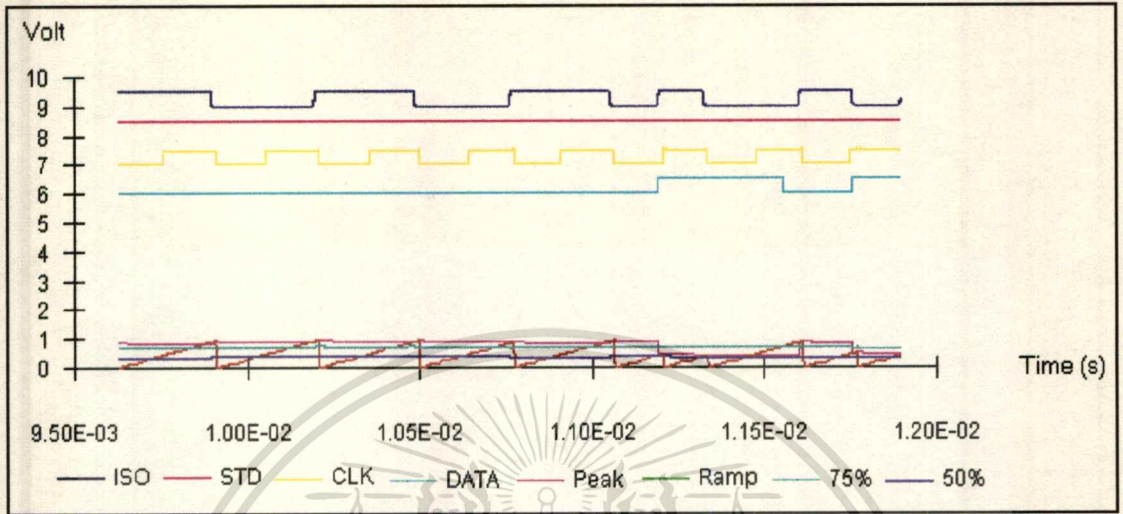


รูปที่ 5.55 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 7.5 ms ถึง 9.5 ms

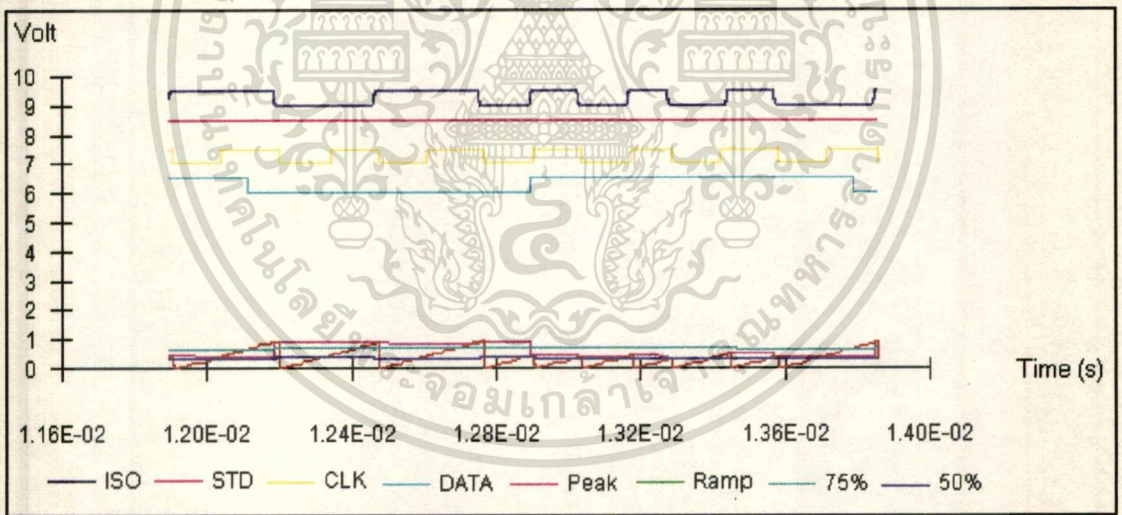


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

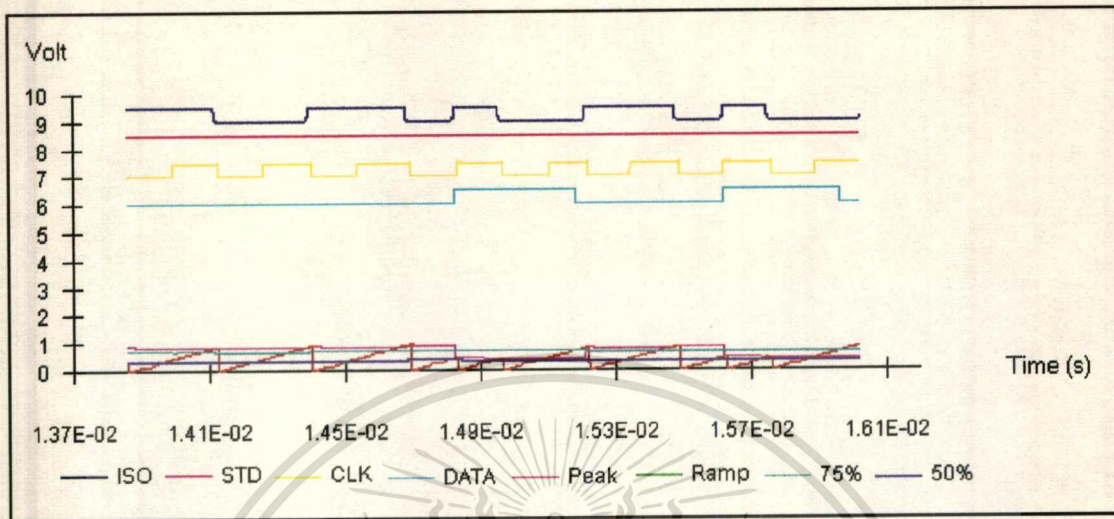
รูปที่ 5.56 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 9.5 ms ถึง 11.6 ms



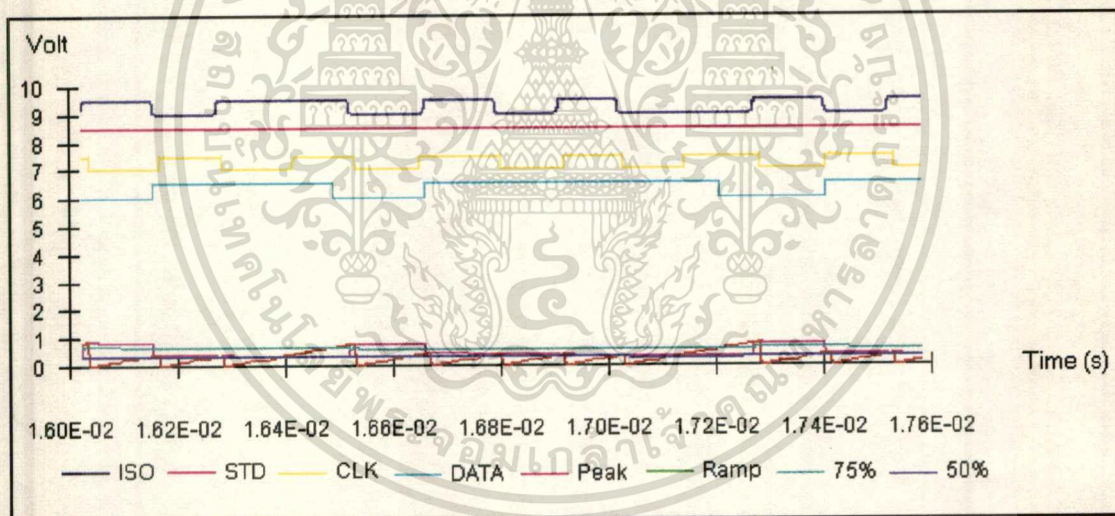
รูปที่ 5.57 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 11.6 ms ถึง 13.7 ms



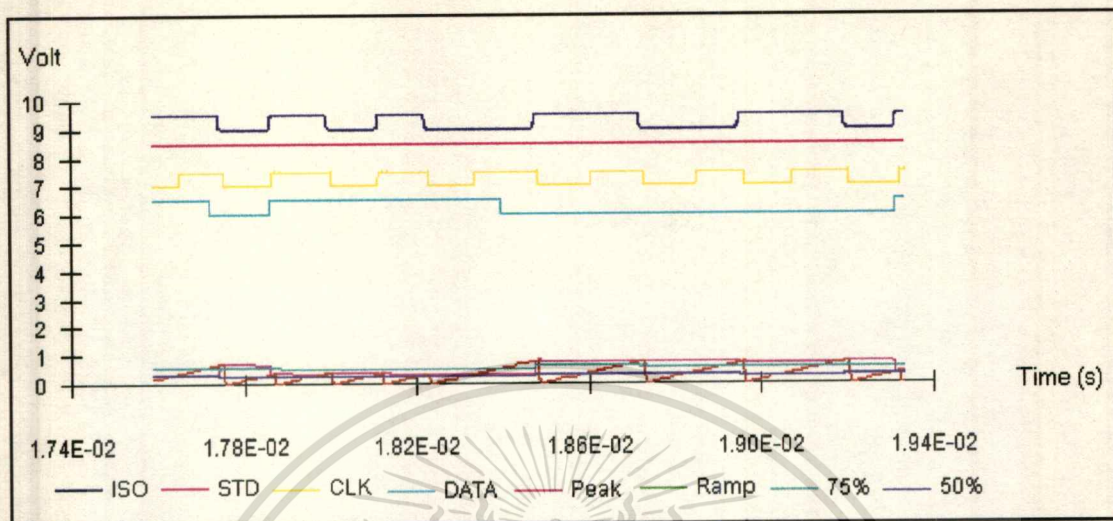
รูปที่ 5.58 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 13.7 ms ถึง 16 ms



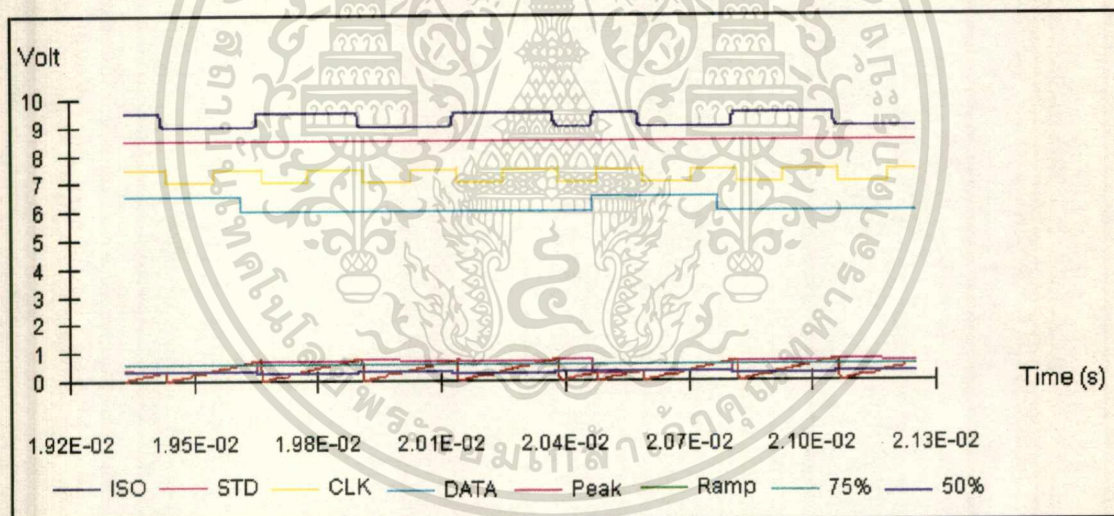
รูปที่ 5.59 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 16 ms ถึง 17.4 ms



รูปที่ 5.60 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 17.4 ms ถึง 19.2 ms

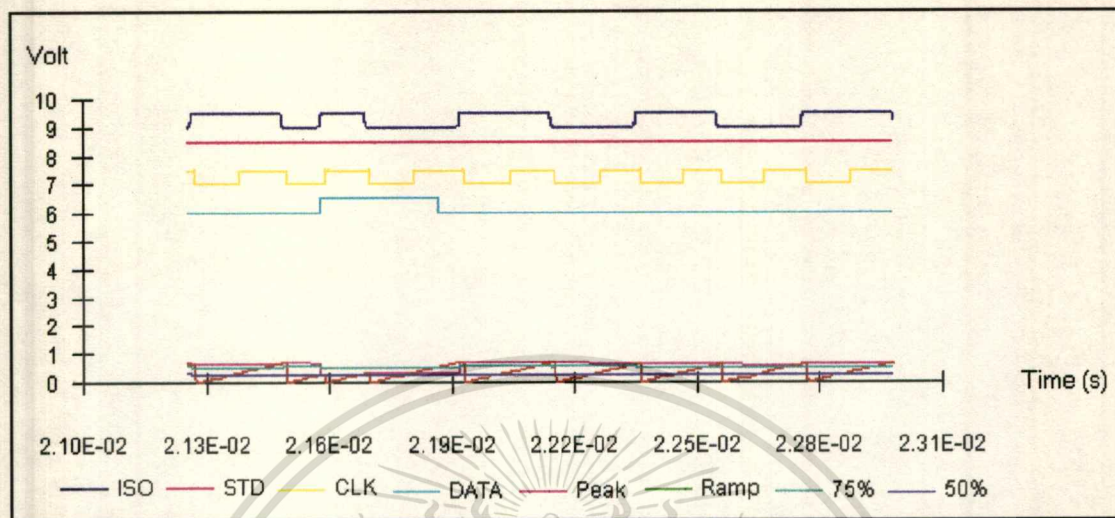


รูปที่ 5.61 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 19.2 ms ถึง 21 ms

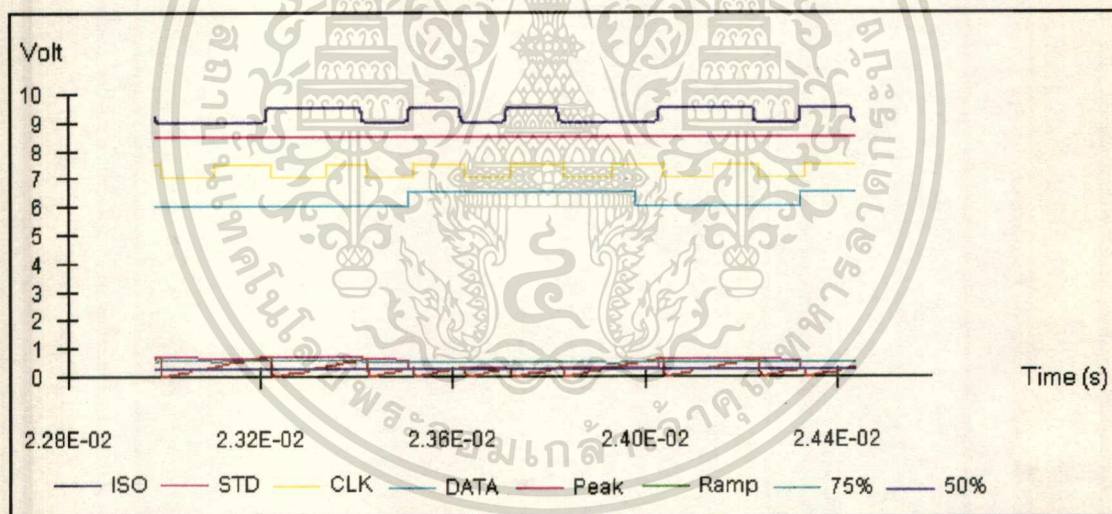


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.62 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 21 ms ถึง 22.8 ms

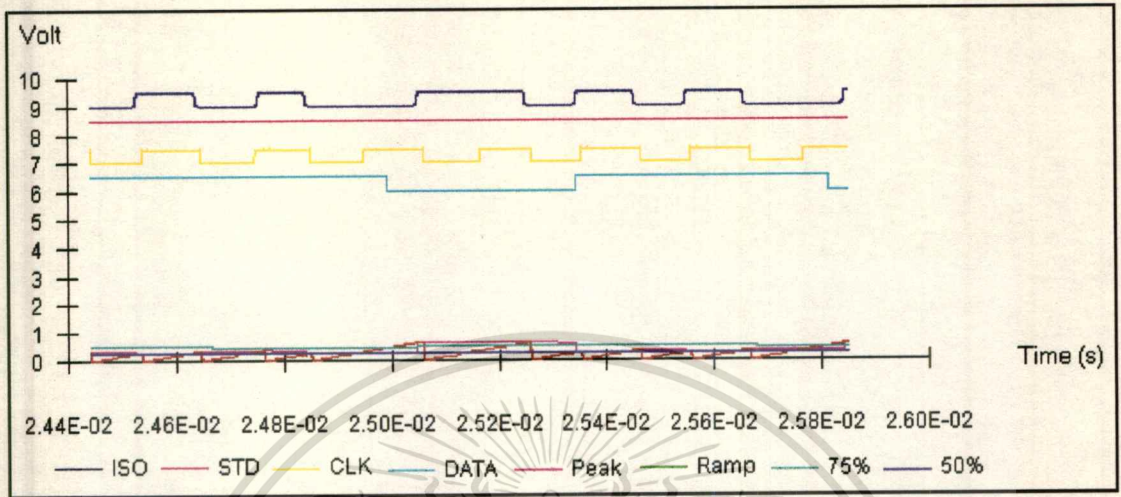


รูปที่ 5.63 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 22.8 ms ถึง 24.4 ms

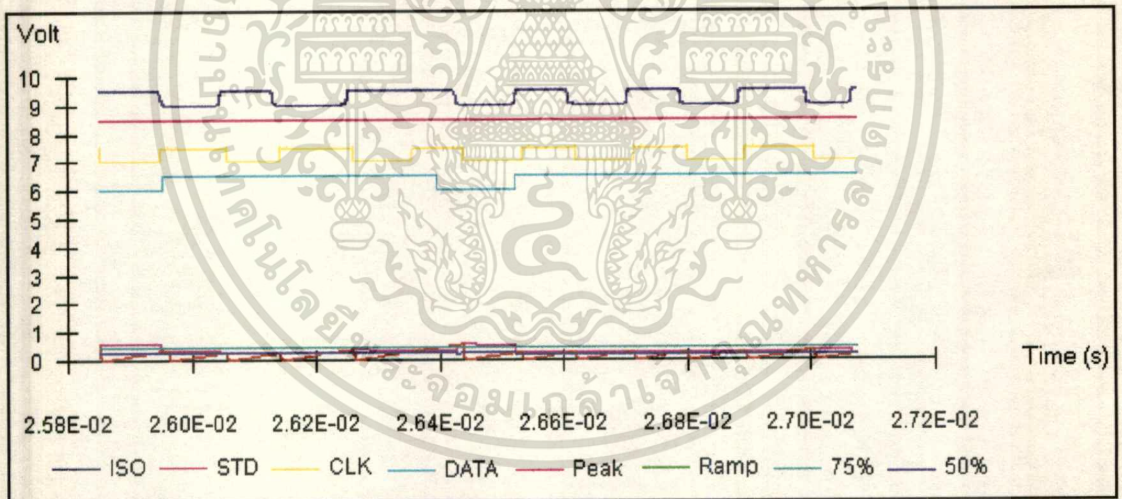


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

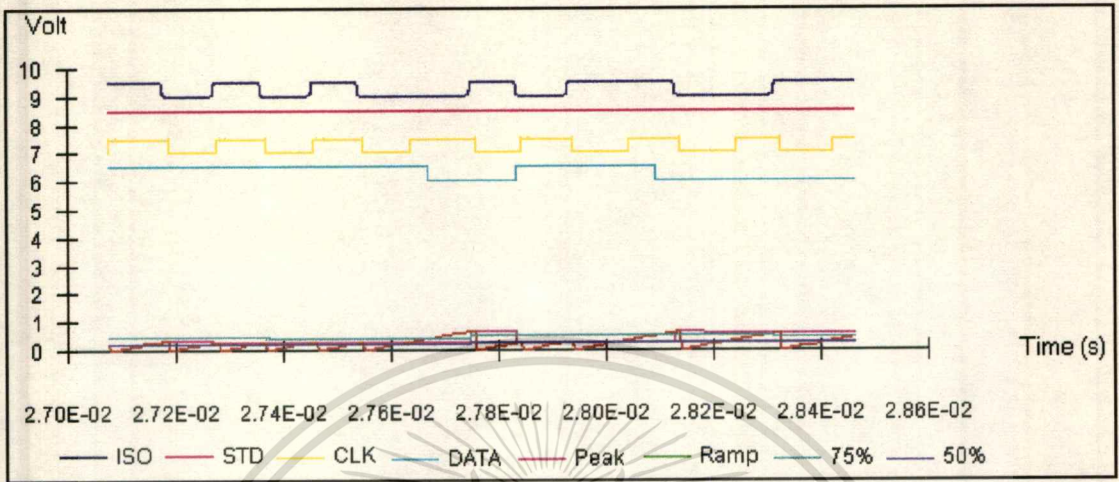
รูปที่ 5.64 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 24.4 ms ถึง 25.8 ms



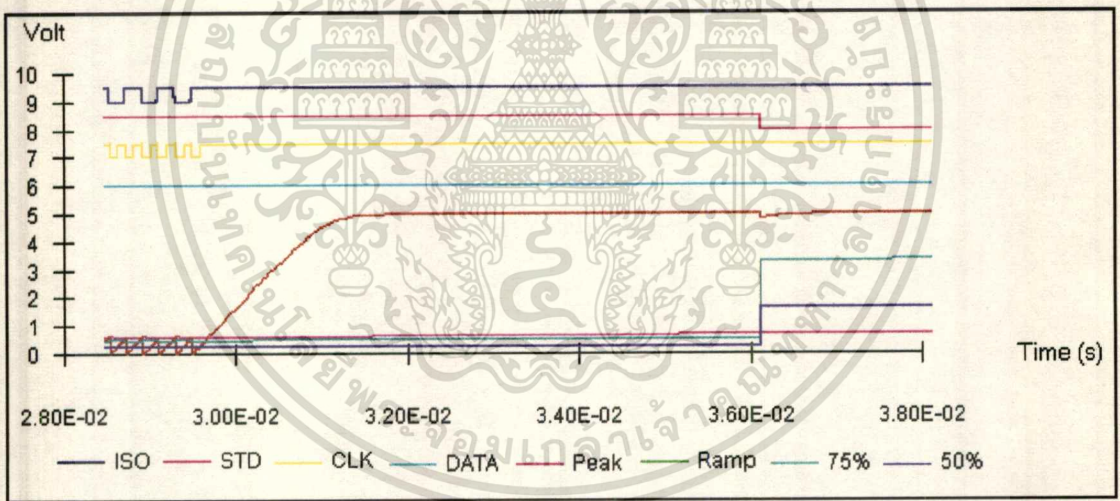
รูปที่ 5.65 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 25.8 ms ถึง 27 ms



รูปที่ 5.66 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 27 ms ถึง 28 ms



รูปที่ 5.67 แสดงสัญญาณต่างๆที่เกิดขึ้นตั้งแต่ 28 ms ถึง 38 ms



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4 ผลการซิมูเลชันด้วยโปรแกรม T-Spice

การทดสอบ Layout ที่ออกแบบด้วยโปรแกรม L-Edit จะต้องทำการแปลงข้อมูลให้อยู่ในรูปที่โปรแกรม T-Spice เข้าใจ เมื่อทำการซิมูเลชัน พบว่าจากกราฟแสดงผล สัญญาณที่ป้อนให้วงจร (ISO) ,สัญญาณเริ่มต้นรูดบัตร์ (STD) ,สัญญาณข้อมูล (DATA)และสัญญาณนาฬิกา (CLK) ผลการถอดรหัสข้อมูลที่ได้จากบัตร์เดียวกันที่ความเร็วในการรูดบัตร์ต่างกัน ตั้งแต่ ความเร็วในการรูดบัตร์แบบช้าจนถึงการรูดบัตร์ที่ความเร็วสูง ผลการถอดรหัสข้อมูลเมื่ออ่านข้อมูลทุก ๆ ขอบขาลงของสัญญาณนาฬิกา พบว่าได้มีค่าลอจิกที่ถูกต้องเมื่อเทียบกับ ค่าลอจิกในตาราง 1 ทุกย่านความเร็ว

ระดับความเร็วในการรูดบัตร์ที่เพิ่มขึ้นจะทำให้รูปสัญญาณต่างๆ ที่ใช้ในการถอดรหัสมีขนาดแอมพลิจูดสัญญาณเล็กลง ส่วนสัญญาณข้อมูล สัญญาณนาฬิกา และสัญญาณเริ่มต้นรูดบัตร์ มีลักษณะเช่นเดียวกันแต่คาบเวลาจะลดลง

บทที่ 6

บทสรุป

ในวิทยานิพนธ์นี้ได้ออกแบบวงจรถอดรหัสบัตรแม่เหล็ก ที่ใช้กับเครื่องรูดบัตรด้วยมือ สามารถถอดรหัสได้ทั้ง 3 แทร็คที่อยู่บนบัตรแม่เหล็ก เป็นการออกแบบโดยใช้วงจรพื้นฐานมาประกอบกัน โดยรหัสที่ถอดรหัสเป็นสัญญาณ ISO 7811 ที่ได้จากการรูดด้วยมือ จะถอดออกเป็นสามสัญญาณคือ สัญญาณข้อมูล สัญญาณนาฬิกา และสัญญาณเริ่มต้นรูดบัตร สัญญาณทั้งสามเป็นเอาต์พุตของวงจรที่ทำการออกแบบ การนำไปใช้ทำได้โดย สัญญาณเริ่มต้นรูดบัตรจะเป็นตัวบอกให้เริ่มต้นอ่านข้อมูล และทุกขอบขาลงของสัญญาณนาฬิกาจะสั่งให้อ่านข้อมูลจากสัญญาณข้อมูล โดยค่าที่อ่านได้จะนำไปแปลงเป็นตัวเลขหรือตัวอักษร โดยไมโครโปรเซสเซอร์ วงจรจะประกอบไปด้วยวงจรรย่อยที่เป็นวงจรพื้นฐานทางอนาล็อกและดิจิตอล นำวงจรรย่อยที่ออกแบบทั้งหมดมาเขียนเป็นวงจรรวม CMOS ที่ทำงานด้วยแหล่งจ่ายไฟ 5V DC แล้วทำการซิมูเลชันด้วยโปรแกรม Pspice และนำวงจรรวมที่ได้มาเขียน Layout ด้วยโปรแกรม L-Edit แล้วทำการซิมูเลชันจาก Layout อีกครั้งด้วยโปรแกรม T-Spice เพื่อเป็นการยืนยันวงจรที่ทำการออกแบบว่าสามารถนำไปผลิตได้จริง

จากผลการซิมูเลชันด้วยโปรแกรม P-Spice และ T-Spice พบว่า ผลของการถอดรหัสข้อมูล สัญญาณนาฬิกา และสัญญาณเริ่มต้นรูดบัตร ได้ผลเช่นเดียวกันทุกประการ ที่ความเร็วระดับต่างๆ ซึ่งเป็นความเร็วปกติที่ใช้ในการรูดบัตรแม่เหล็กผลที่ได้ยังคงถูกต้อง จากรูปสัญญาณต่างๆที่ใช้ในการถอดรหัส จะมีลักษณะเช่นเดียวกัน เมื่อความเร็วในการรูดบัตรเพิ่มขึ้น แอมพลิจูดสัญญาณจึงมีขนาดเล็กลง ส่วนสัญญาณข้อมูล สัญญาณนาฬิกา และสัญญาณเริ่มต้นรูดบัตร มีลักษณะเช่นเดียวกันแต่คาบเวลาจะลดลงเช่นเดียวกัน

วงจรที่ออกแบบขึ้นนั้นสามารถจะนำไปผลิตได้จริง ด้วยเทคโนโลยี CMOS ระดับ 2 micron n-well

ตารางที่ 6.1 ข้อมูลทางไฟฟ้าของวงจรถอดรหัสบิตแม่เหล็ก

	MIN	MAX	Units
Supply Voltage V_{CC}	4.5	5	V
Supply Current I_{CC}	2.67	8.45	mA
Hi Level Input Voltage V_{IH}	2.75	5	V
Low Level Input Voltage V_{IL}	0	1.5	V
Hi Level Output Voltage V_{OH}	4.95	5	V
Low Level Output Voltage V_{OL}	0	0.05	V
Output Rise Time and Fall Time	250	300	ns
Propagation Delay	21.6	-	μ s
Quiescent Current	-	2.57	mA

* หมายเหตุ ค่าที่ปรากฏในตารางเป็นผลจากการซิมูเลชัน

ตารางที่ 6.2 ข้อมูลของวงจรถอดรหัสบิตแม่เหล็ก

	MIN	MAX	Units
ความเร็วในการรูดบิตของบิตข้อมูลใน แทร็คที่ 1	0.05	1.2	m/s
ความเร็วในการรูดบิตของบิตข้อมูลใน แทร็คที่ 2	0.14	3.38	m/s
ความเร็วในการรูดบิตของบิตข้อมูลใน แทร็คที่ 3	0.05	1.2	m/s

* หมายเหตุ ค่าที่ได้ในแต่ละแทร็คไม่เท่ากันเนื่องจากความหนาแน่นของข้อมูลในแต่ละแทร็คไม่เท่ากัน (รายละเอียดอยู่ในบทที่ 2)

บรรณานุกรม

- [1] Anant Adke , David Lipin , Mike Pottenger , Chris Yiu , L-Edit™ Layout Editor Manual , Tanner Research , Inc. , 1993
- [2] David A. Johns , Ken Martin , ANALOG INTEGRATED CIRCUIT DESIGN , John Wiley & Sons, Inc., 1997
- [3] Mary Ana Maher , Mike Pottenger , T-Spice Circuit Simulator Manual , Tanner Research , Inc. , 1993
- [4] Paul Hirowitz , Winfield Hill, THE ART OF ELECTRONICS, Cambridge University Press, 1980
- [5] Phillip E. Allen , Douglas R. Holberg , CMOS Analog Circuit Design , HOLT , RINEHART AND WINSTON , 1987
- [6] คู่มือไอซี CMOS 4000 SERIES บริษัท ซีเอ็ดยูเคชั่น จำกัด , พ.ศ. 2534
- [7] ชาญวิทย์ เดชยี่สวนงและ พลผดุง ผดุงกุล, ”การออกแบบวงจรถอดรหัสบิตแม่เหล็ก”, การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 20 , จุฬาลงกรณ์มหาวิทยาลัย, พ.ศ. 2540
- [8] สมภพ ภูริวิรัชพงศ์, ”ระบบควบคุมการเข้า ออกโดยใช้บิตแม่เหล็ก ” , วิทยานิพนธ์ วิศวกรรมศาสตร์ มหาวิทยาลัย สาขาวิศวกรรมไฟฟ้า ภาควิชาอิเล็กทรอนิกส์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง , พ.ศ. 2536

ภาคผนวก ก

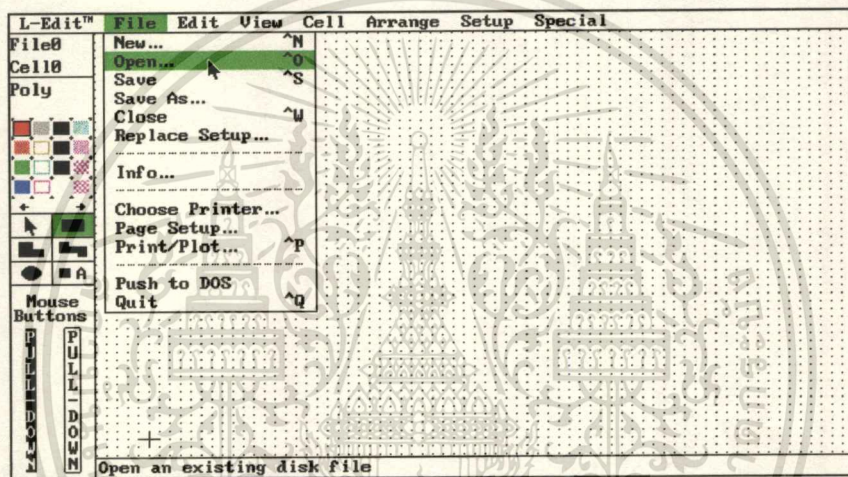


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรม L-Edit

ในวิทยานิพนธ์ฉบับนี้ จะต้องเขียน Layout ของวงจร ซึ่งโปรแกรมที่ใช้คือ L-Edit Version 5.00 ทำงานบน DOS โดยขั้นตอนในการใช้งานจะได้นำเสนอดังต่อไปนี้

รูปที่ ก.1 แสดงขั้นตอนที่ 1 ในการใช้งาน



ทำการเปิดเพิ่มข้อมูล (รูปที่ ก.1) ที่ตรงกับเทคโนโลยีที่ใช้ในการผลิตชิพ ซึ่งโปรแกรมมีหลายเทคโนโลยีให้เลือกใช้ เช่น

Technology Setup File: mHP_n08.tdb

MOSIS:Hewlett Packard Technology: 0.8U, N-Well (Lambda = 0.5um, Technology = SCN3M)

Technology Setup File: mHP_n12.tdb

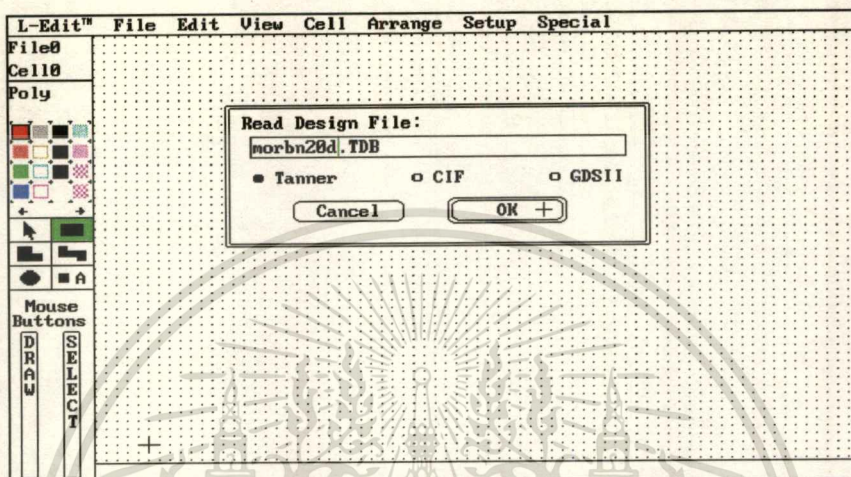
MOSIS:Hewlett Packard Technology: 1.2U, N-Well (Lambda = 0.6um, Technology = SCN)

Technology Setup File: mORBn20.tdb

MOSIS:Orbit Semiconductor Technology: 2.0U N-Well (Lambda = 1.0um, Technology = SCNA) เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ ก.2 แสดงขั้นตอนที่ 2 ในการใช้งาน



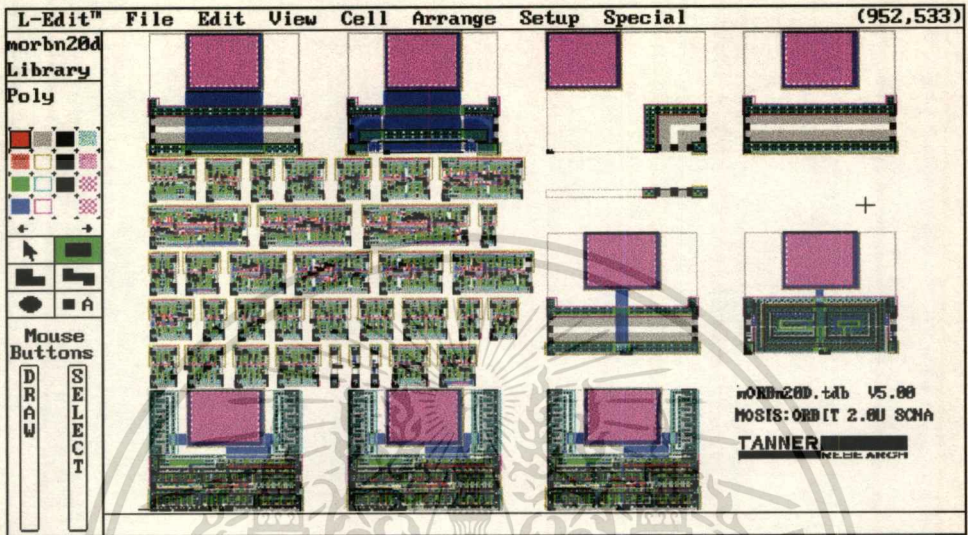
เลือกใช้ MOSIS:Orbit Semiconductor Technology: 2.0U N-Well (Lambda = 1.0um, Technology = SCNA) โดยการป้อนชื่อเพิ่มข้อมูล morbn20d.tdb ซึ่งเป็นเพิ่มข้อมูลที่เป็น Library ของลอจิกเกตชนิดต่าง ๆ ดังตารางที่ ก.1

ตารางที่ ก.1 แสดง Library ของ Standard Cell ที่นำมาใช้ในการออกแบบ

Cell Name	Cell Description
Buf1	Non-Inverting Buffer
Inv	Inverter
Nand2C	2 -Input Nand Gate with Complementary Output
Nor3C	3 -Input Nor Gate with Complementary Output
Nor2C	2 -Input Nor Gate with Complementary Output
Nor2	2 -Input Nor Gate

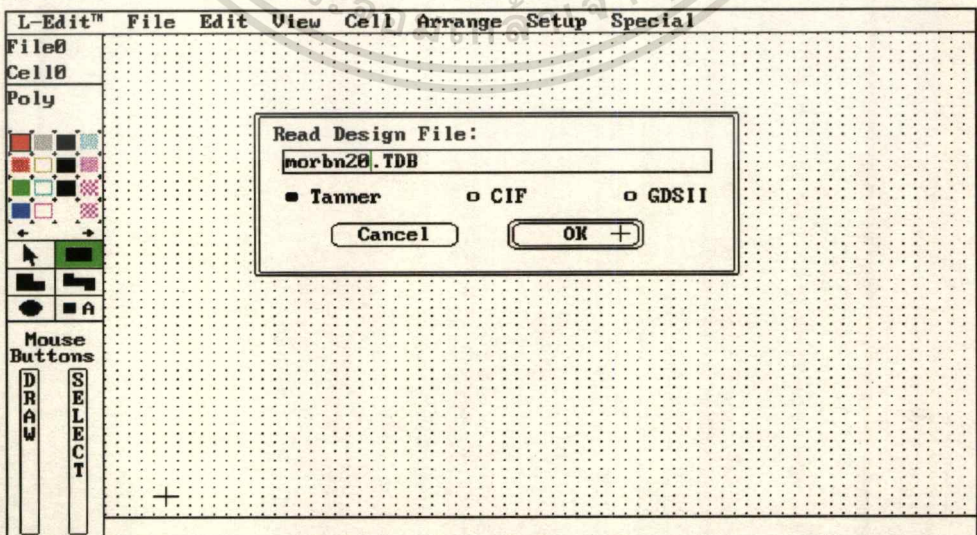
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ ก.3 แสดงผลจากขั้นตอนที่ 2



จากรูปที่ ก.3 แสดง Standard Cell ทั้งหมดที่สามารถเลือกใช้ได้

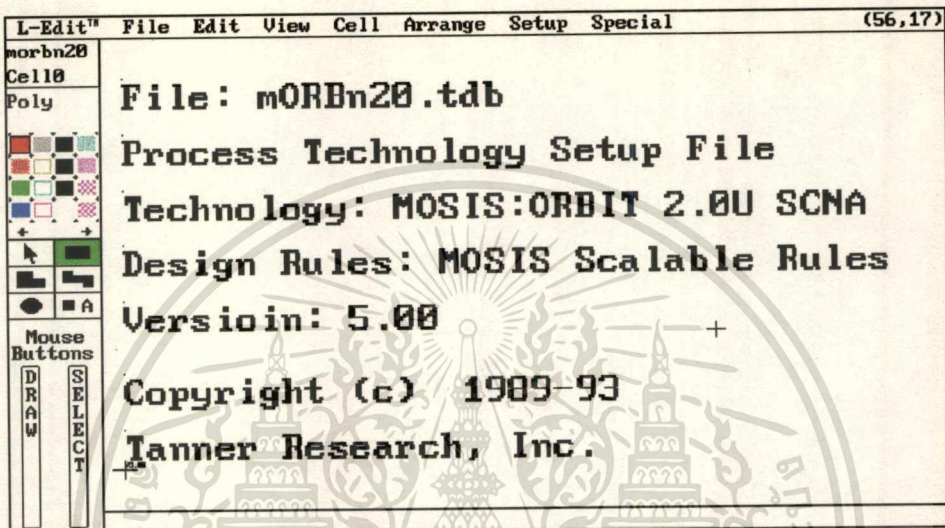
รูปที่ ก.4 แสดงการเปิดเพิ่มข้อมูลก่อนออกแบบ Layout



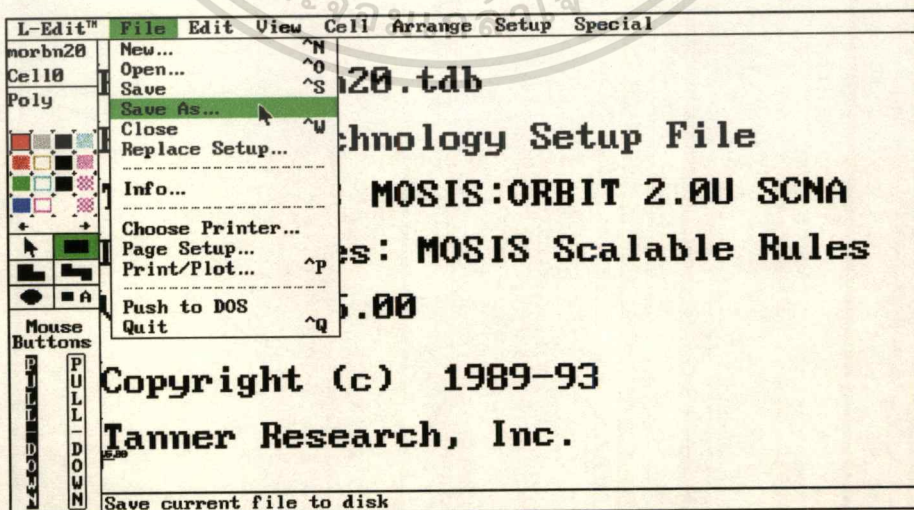
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยการเลือกใช้จะต้องเปิดเพิ่มข้อมูลที่เป็นเทคโนโลยีเดียวกันกับ Standard Cell ดังรูปที่ ก.4 และเพิ่มข้อมูลที่เปิดจะเห็นดังรูปที่ 5 และบันทึกเพิ่มข้อมูลในชื่อใหม่ดังรูปที่ ก.6 , ก.7

รูปที่ ก.5 แสดงเพิ่มข้อมูลก่อนออกแบบ Layout

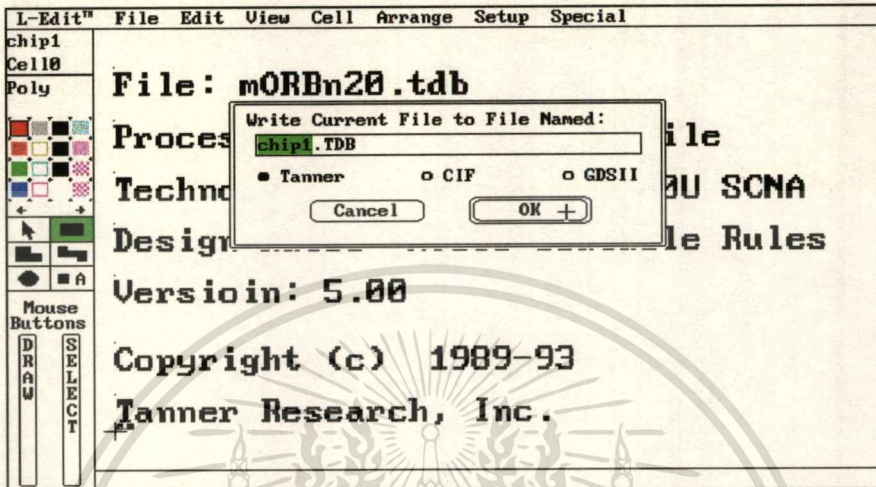


รูปที่ ก.6 แสดงการบันทึกเพิ่มข้อมูลใหม่



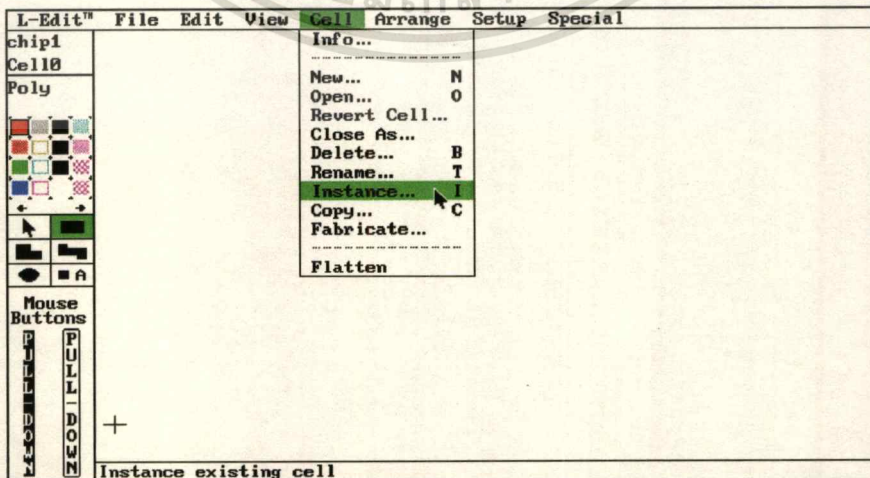
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ ก.7 แสดงการบันทึกเพิ่มข้อมูลใหม่ก่อนออกแบบ Layout



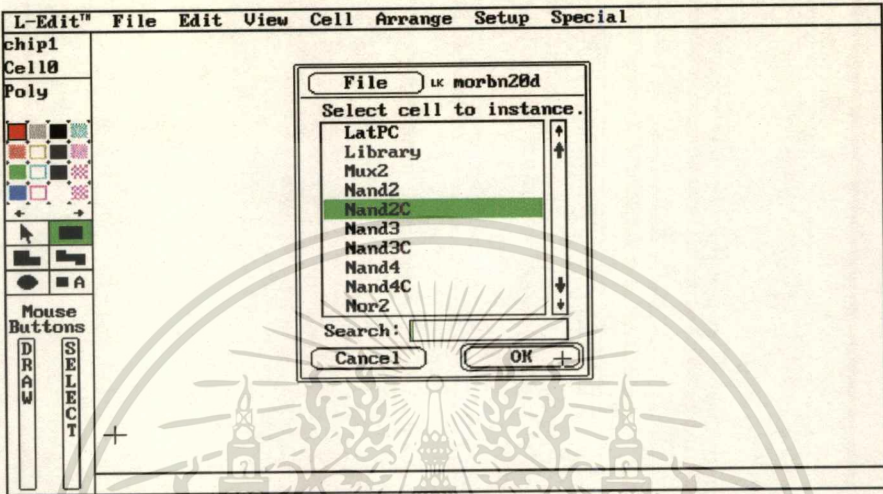
เมื่อทำการบันทึกเพิ่มข้อมูลใหม่ก็สามารถเขียน Layout ได้โดยการนำ Standard Cell มาใช้ด้วยคำสั่งจากเมนู Cell เลือก Instance กดปุ่ม File เพื่อเลือกเพิ่มข้อมูล Library จากนั้นจะปรากฏ Standard Cell ให้เลือก ดังรูปที่ ก.8 , ก.9 , ก.10

รูปที่ ก.8 แสดงการนำ Standard Cell มาใช้ออกแบบ Layout

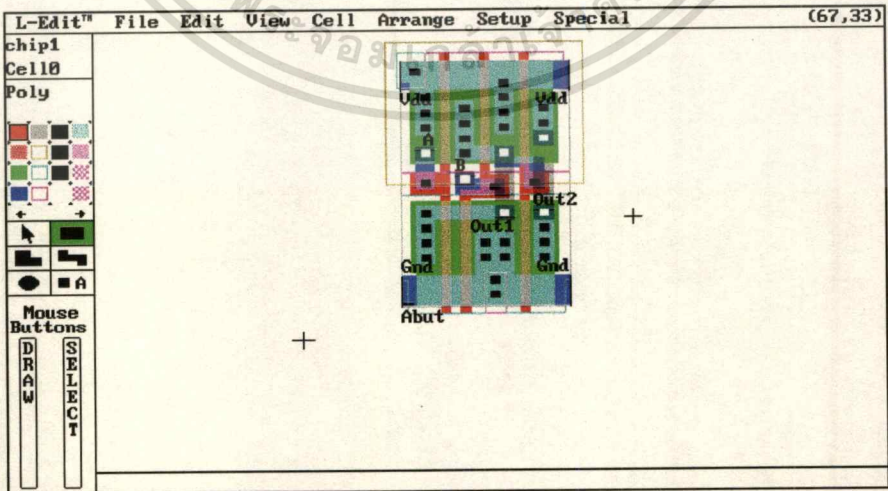


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ ก.9 แสดงการนำ Standard Cell ของ Nand2C มาใช้ออกแบบ Layout

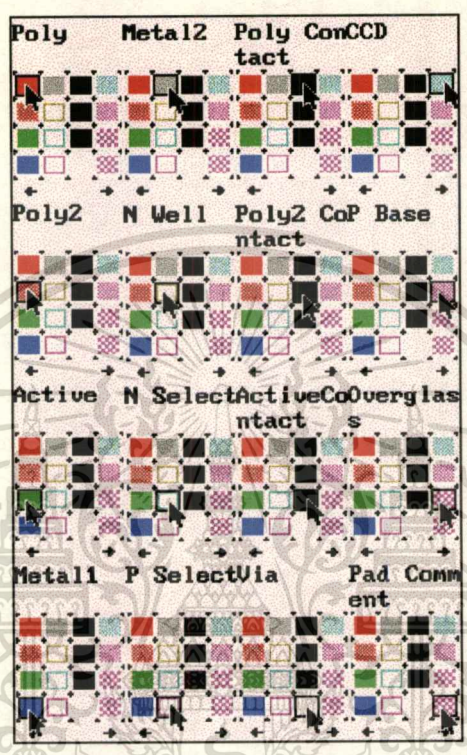


รูปที่ ก.10 แสดง Standard Cell ของ Nand2C

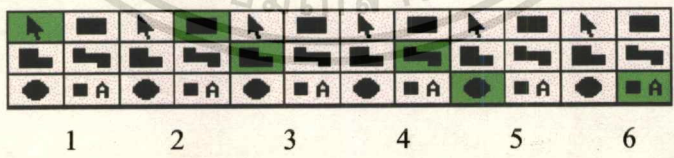


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ ก.11 แสดง layer ต่าง ๆ



รูปที่ ก.12 แสดงเครื่องมือในการวาด



เบอร์ 1 เป็นลูกศรที่ใช้เลือกวัตถุเพื่อจะทำการแก้ไข

เบอร์ 2 เป็นเครื่องมือกำหนด layer ที่จะวาดให้เป็นรูปสี่เหลี่ยม

เบอร์ 3 เป็นเครื่องมือกำหนด layer ที่จะวาดให้เป็นรูป Polygon

เบอร์ 4 เป็นเครื่องมือกำหนด layer ที่จะวาดให้เป็นเส้นที่มีความหนา

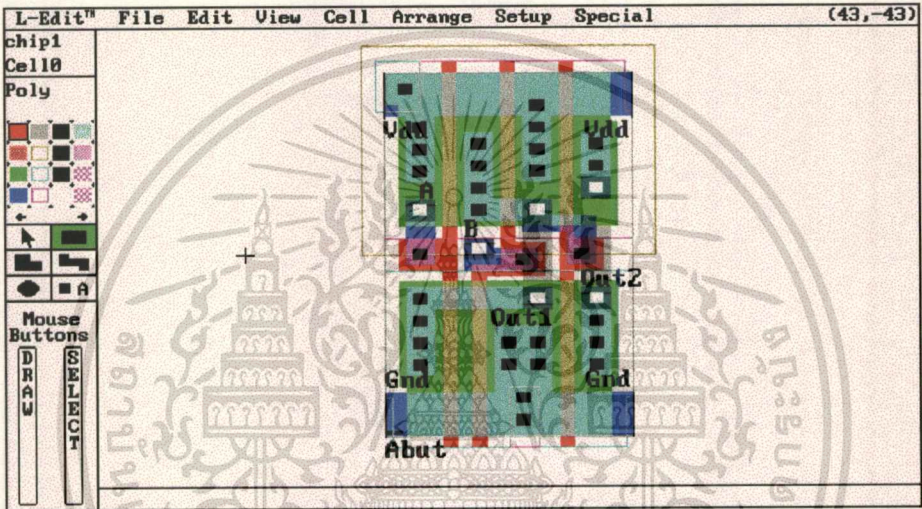
เบอร์ 5 เป็นเครื่องมือกำหนด layer ที่จะวาดให้เป็นรูปวงกลม

เบอร์ 6 เป็นเครื่องมือเขียนตัวอักษรกำกับบน layer

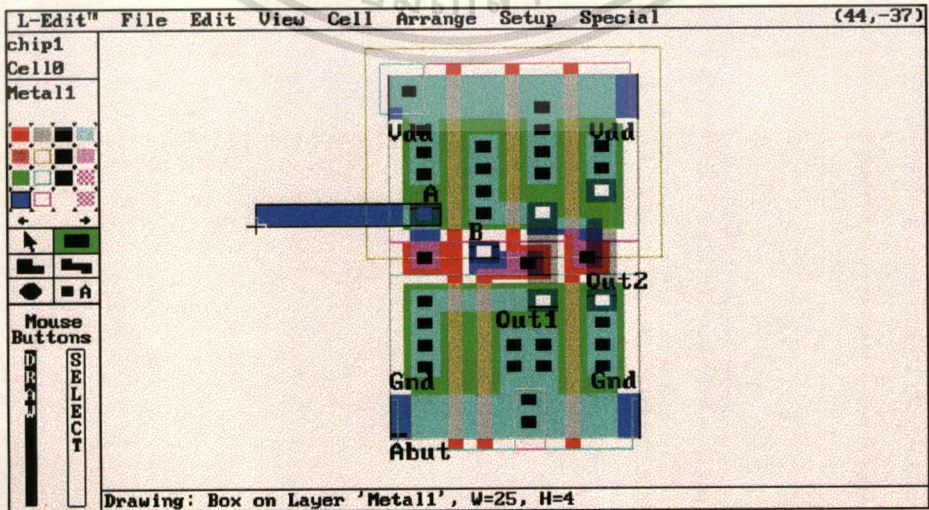
เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์หรือมีการขออนุญาตในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการวาดจะต้องใช้เป็นพิมพ์ร่วมกับเมส ที่ช่องด้านล่างซ้ายจะเป็นตัวบอกถึงสถานะการทำงานของเมส

รูปที่ ก.13 แสดงสถานะของเมสปกติ

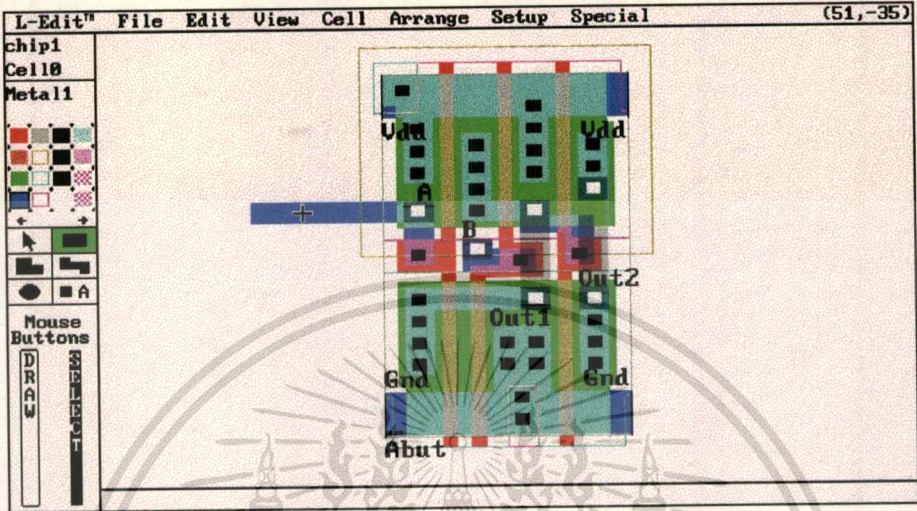


รูปที่ ก.14 แสดงการกดปุ่มเมสซ้ายเพื่อทำการวาด

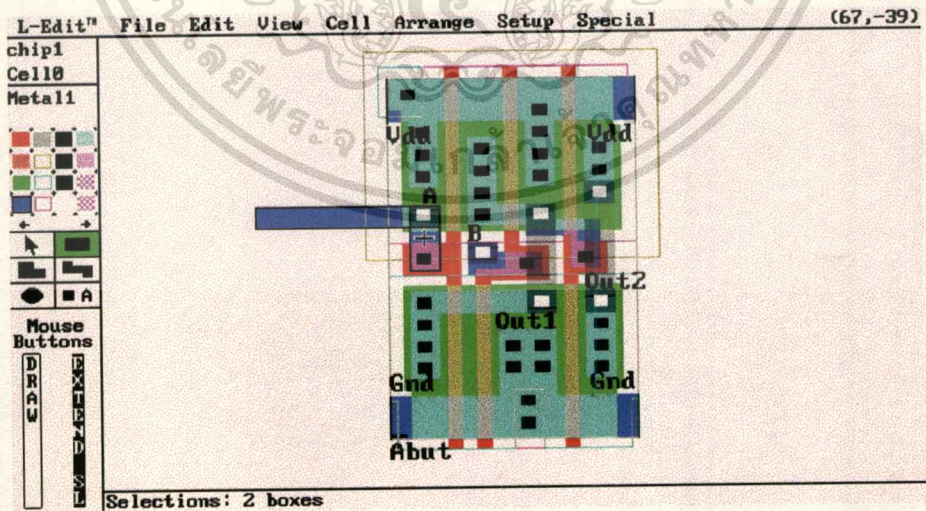


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ ก.15 แสดงการกดปุ่มเมาส์ขวาเลือกวัตถุเพื่อจะทำการแก้ไข

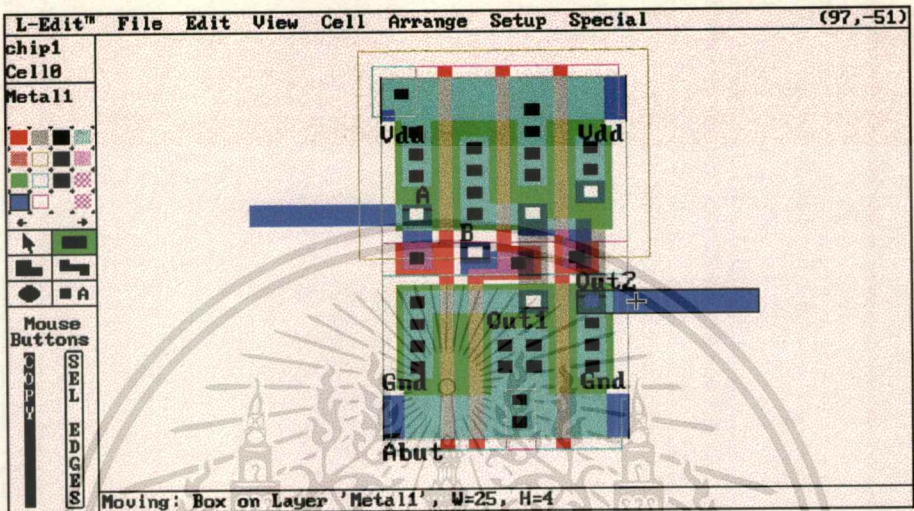


รูปที่ ก.16 แสดงการกด Shift + ปุ่มเมาส์ขวา เพื่อเลือกวัตถุเพิ่มขึ้น

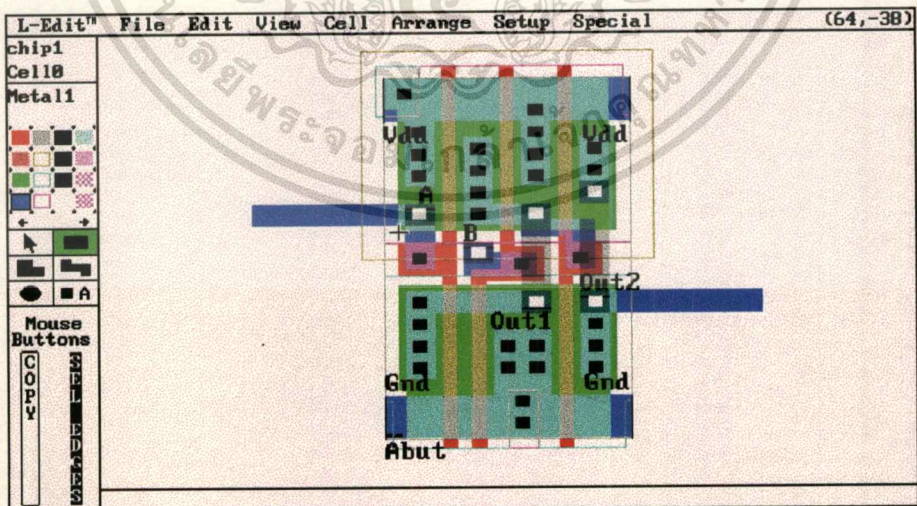


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ ก.17 แสดงการกด Ctrl + ปุ่มเมาส์ซ้าย เพื่อคัดลอก Metal 1 จาก A ไปยัง Out2



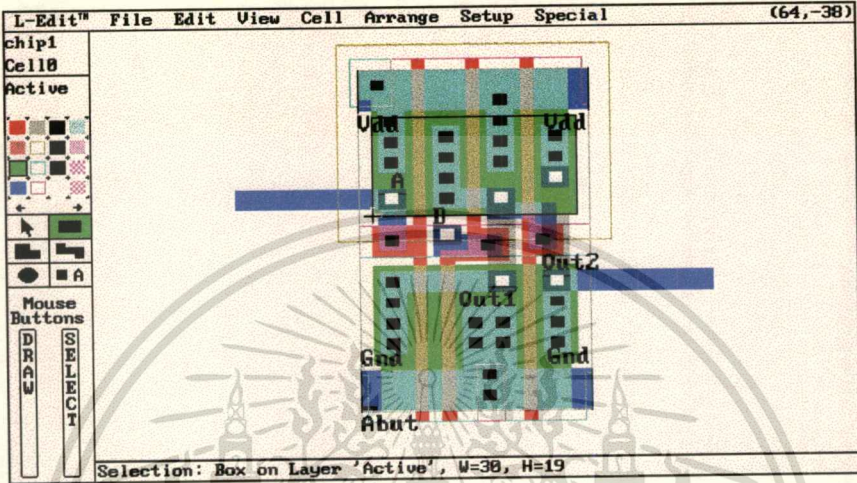
รูปที่ ก.18 แสดงการกด Ctrl + ปุ่มเมาส์ขวา เพื่อเลือกวัตถุจากขอบ



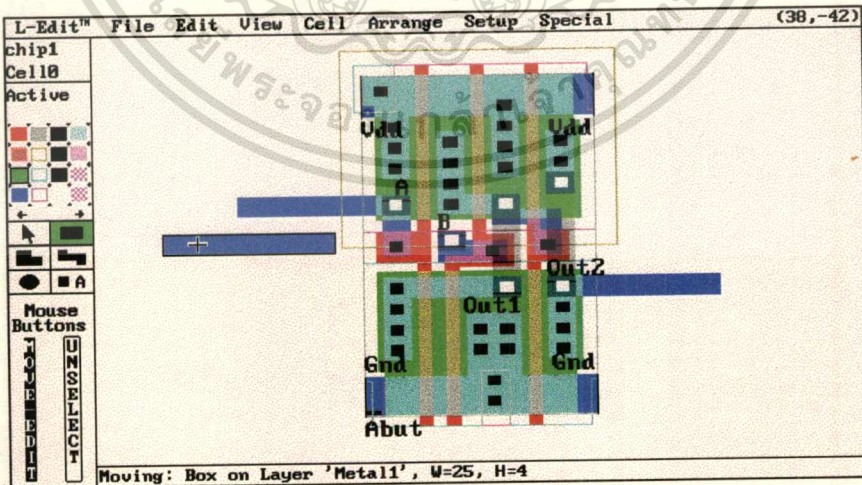
การจากขอบด้วยวิธีนี้จะทำให้ Layer เดิมจาก Metal1 เปลี่ยนเป็น Active คือ Layer ของวัตถุที่เลือก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ ก.19 แสดงผลของการเลือกวัตถุโดยใช้การกด Ctrl + ปุ่มเมาส์ขวา

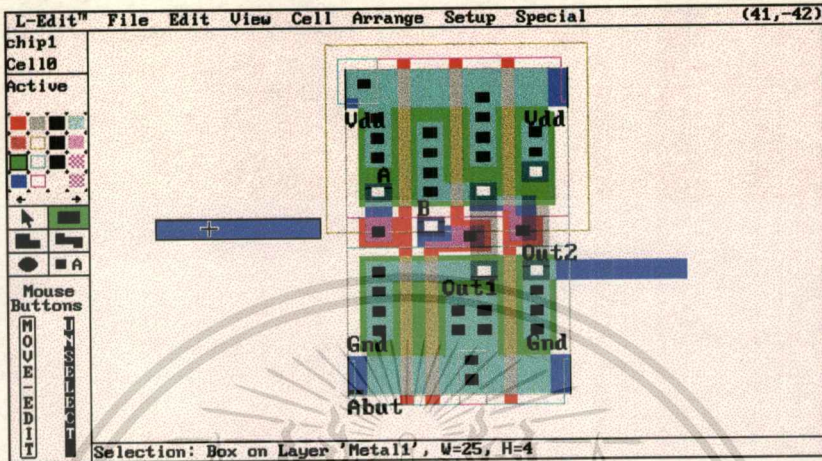


รูปที่ ก.20 แสดงการย้ายวัตถุโดยการกด Alt + ปุ่มเมาส์ซ้าย วัตถุ Metal1 จะย้ายจากจุด A ไปยังตำแหน่งใหม่

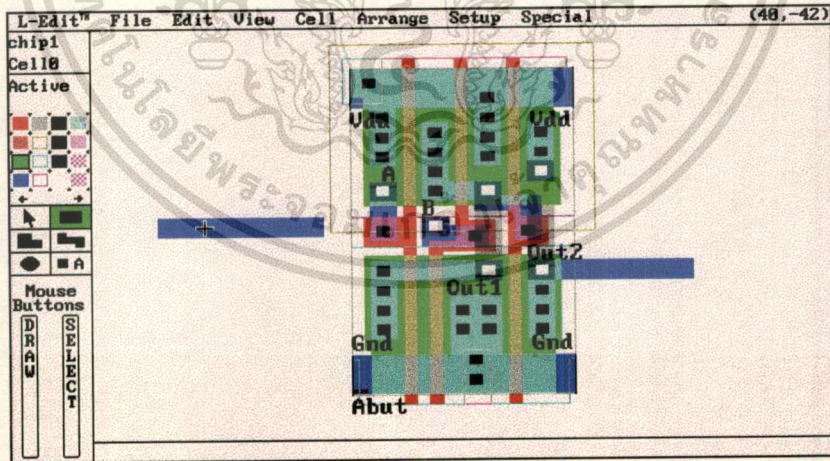


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ ก.21 แสดงการยกเลิกการเลือกวัตถุด้วยการกด Alt + ปุ่มเมาส์ขวา



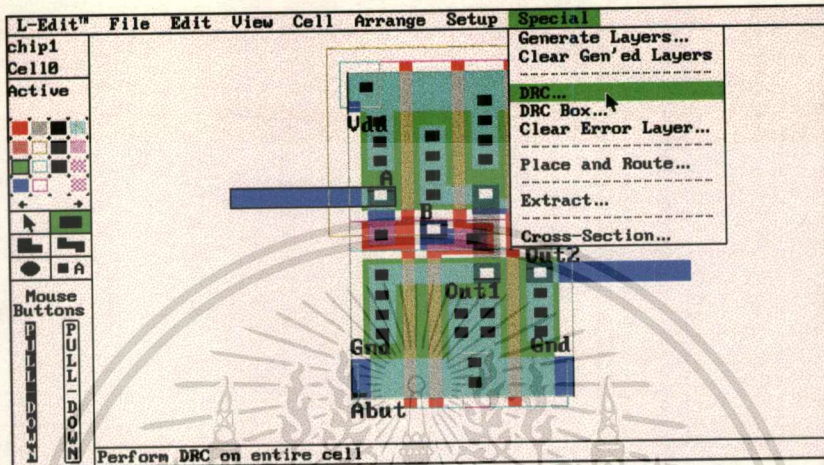
รูปที่ ก.22 แสดงผลของการยกเลิกการเลือก



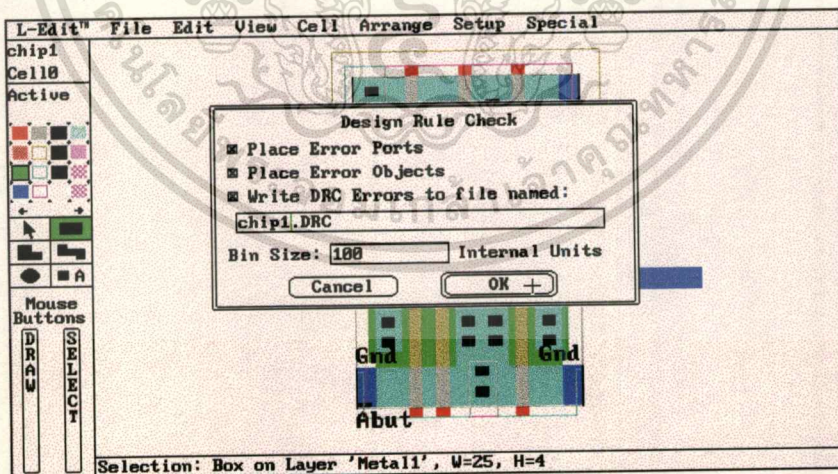
เมื่อออกแบบ Layout เสร็จสิ้นแล้วเพื่อเป็นการตรวจสอบว่า Layout นั้นสามารถนำไปผลิตได้หรือไม่ ต้องมีการตรวจสอบว่าออกแบบเป็นไปตามกฎการออกแบบหรือไม่ (Design Rule) ด้วยคำสั่ง DRC โดยผลของการตรวจสอบจะปรากฏขึ้น ณ บริเวณที่ผิดพลาดซึ่งไม่เป็นไปตามกฎ และเขียนลงในแฟ้มข้อมูล Chip1.drc เพื่อบอกรายละเอียดทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาดูเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ ก.23 แสดงการตรวจสอบการเขียน Layout ว่าถูกต้องหรือไม่ด้วยคำสั่ง DRC

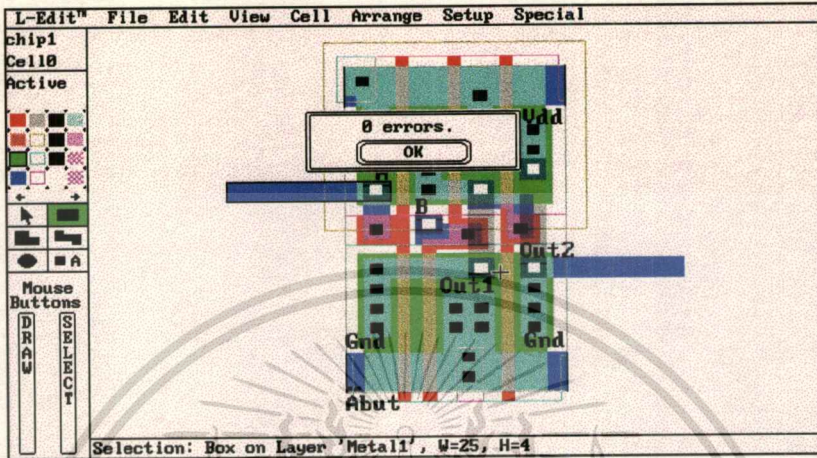


รูปที่ ก.24 แสดงหน้าต่าง Design Rule Check



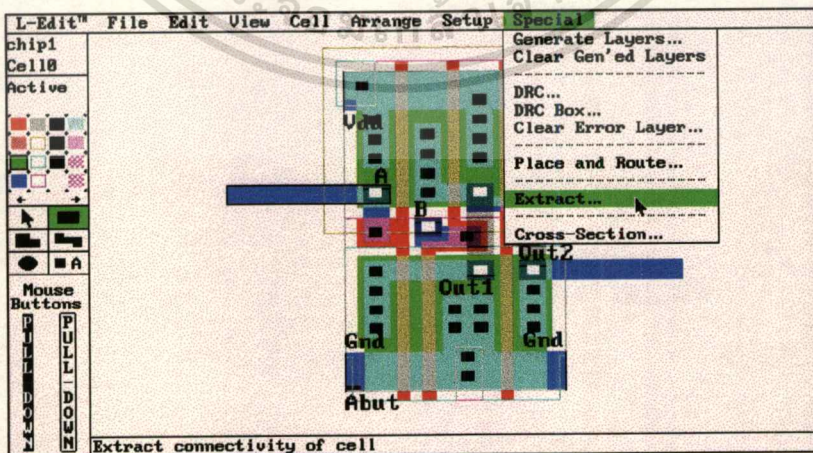
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ ก.25 แสดงว่าการออกแบบถูกต้องตามกฎการออกแบบ Layout



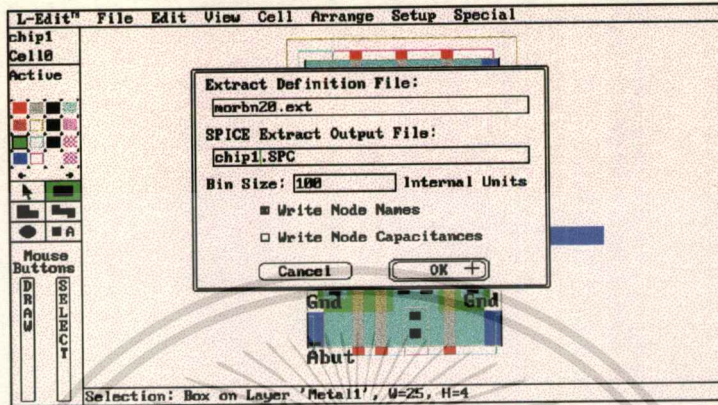
การตรวจสอบการทำงานของวงจรนั้นจะต้องแปลง Layout ให้อยู่ในรูปแบบที่พร้อมใช้งานด้วยโปรแกรม T-Spice โดยใช้คำสั่ง Extract

รูปที่ ก.26 แสดงการแปลง Layout ให้อยู่ในรูปแบบที่พร้อมใช้งานด้วยโปรแกรม T-Spice



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ ก.27 แสดงหน้าต่างจากคำสั่ง Extract



ในการแปลง Layout ให้อยู่ในรูปที่พร้อมใช้งานด้วยโปรแกรม T-Spice จะต้องป้อนชื่อเพิ่มข้อมูลในช่อง Extract Definition File ให้ตรงกับเทคโนโลยีที่ใช้ออกแบบคือ morbn20.ext ตั้งชื่อเพิ่มข้อมูลเอาท์พุท และเลือก Write Node Name เพื่อบอกว่าที่ node ต่างๆเป็นสัญญาณอะไร แล้วนำเพิ่มข้อมูลที่ได้ออกไปทดสอบด้วยโปรแกรม T-Spice อีกครั้งเพื่อเป็นการยืนยันว่า Layout ของวงจรถูกต้อง

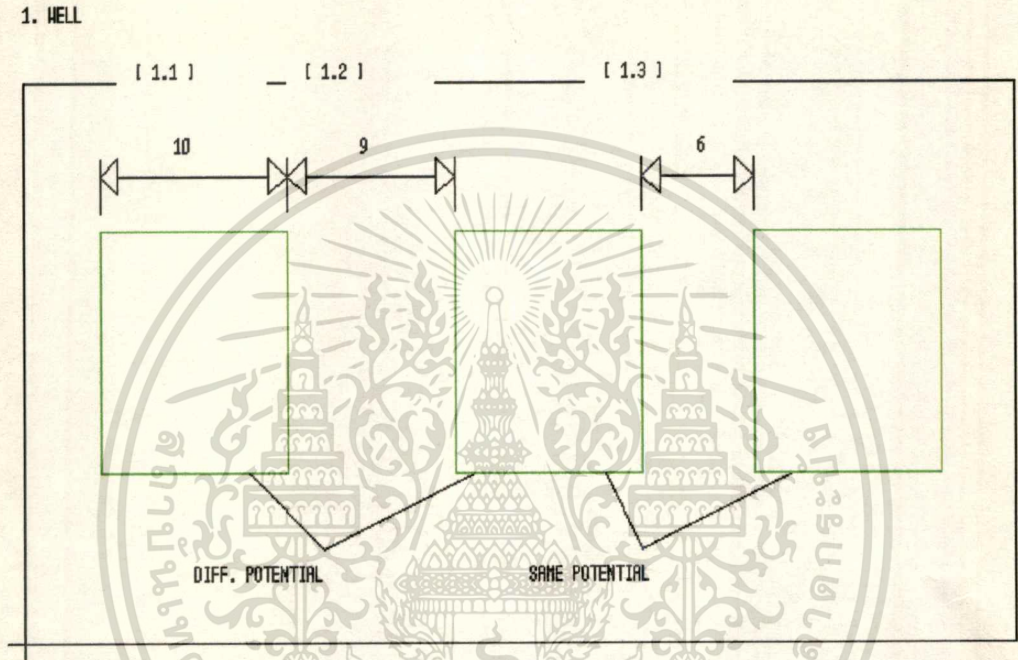
ภาคผนวก ข



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

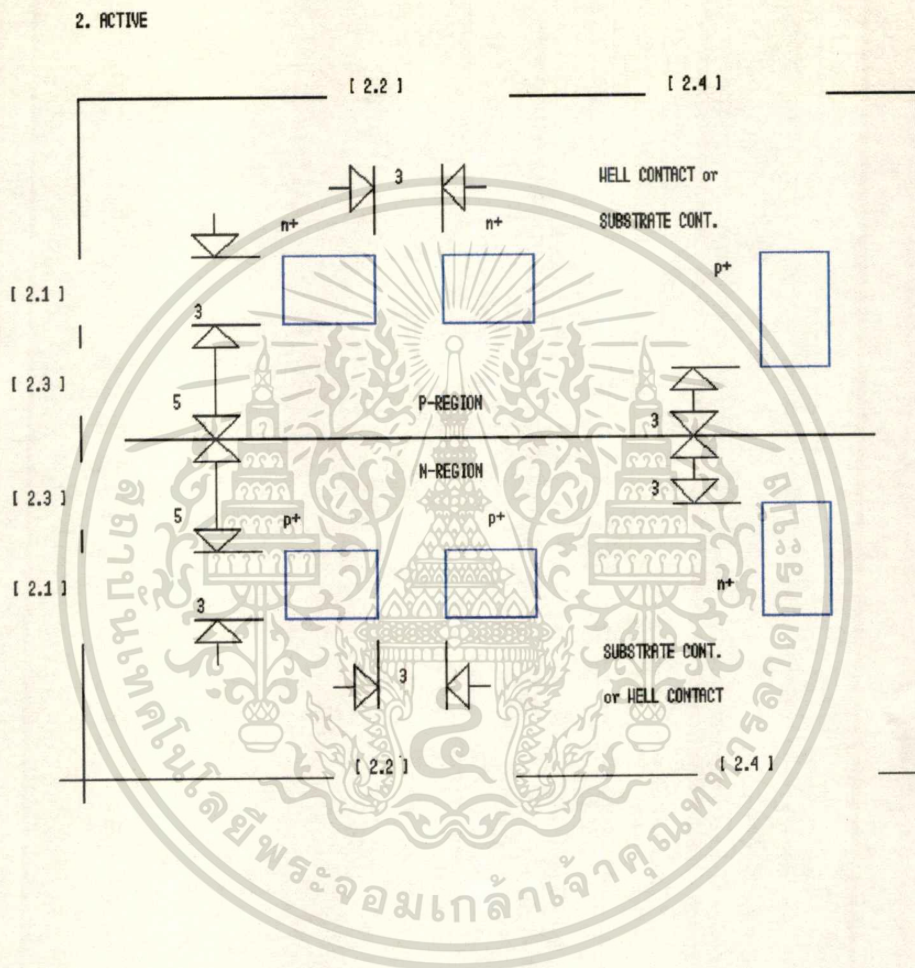
กฎการออกแบบ

รูปที่ ข.1 แสดงกฎการออกแบบ Layout ข้อที่ 1



- 1.1 ความกว้างของ well น้อยที่สุด เท่ากับ 10
- 1.2 ระยะห่างระหว่าง well ที่ทำให้มีศักย์ต่างกัน เท่ากับ 9
- 1.3 ระยะห่างระหว่าง well ที่ทำให้มีศักย์เท่ากัน เท่ากับ 6

รูปที่ ข.2 แสดงกฎการออกแบบ Layout ข้อที่ 2



2.1 ความกว้างของ active น้อยที่สุด เท่ากับ 3

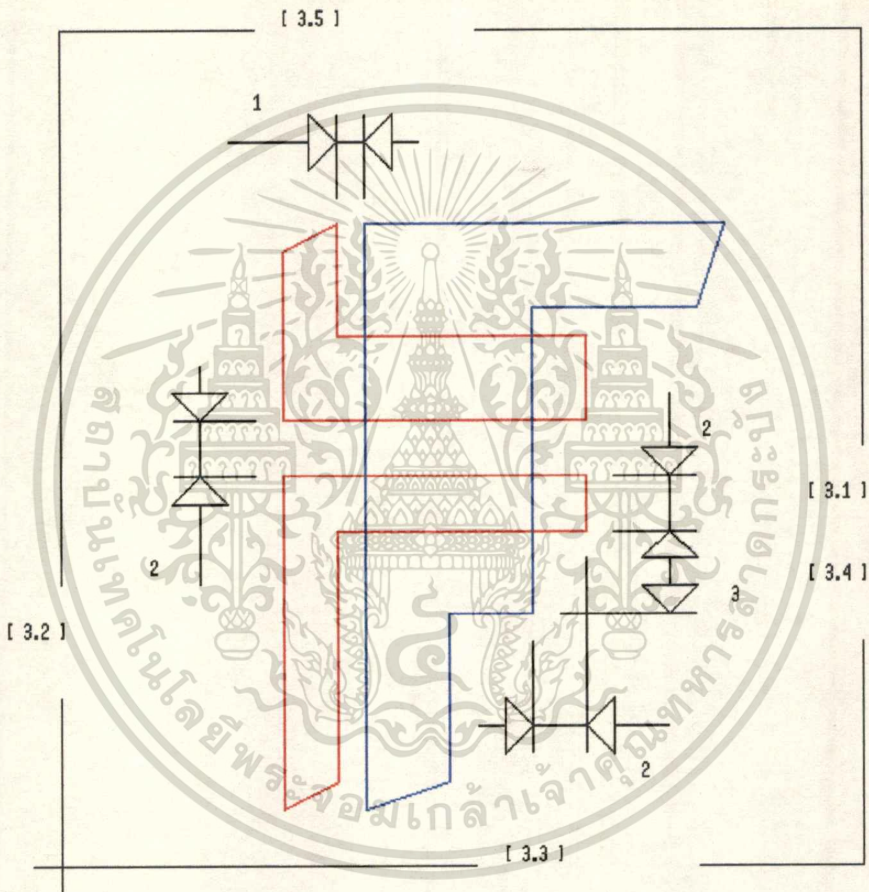
2.2 ระยะห่างระหว่าง active น้อยที่สุด เท่ากับ 3

2.3 ระยะห่างระหว่าง active กับ well edge เท่ากับ 5

2.4 ระยะห่างระหว่าง substrate contract, well contract กับ well edge เท่ากับ 3

รูปที่ ข.3 แสดงกฎการออกแบบ Layout ข้อที่ 3

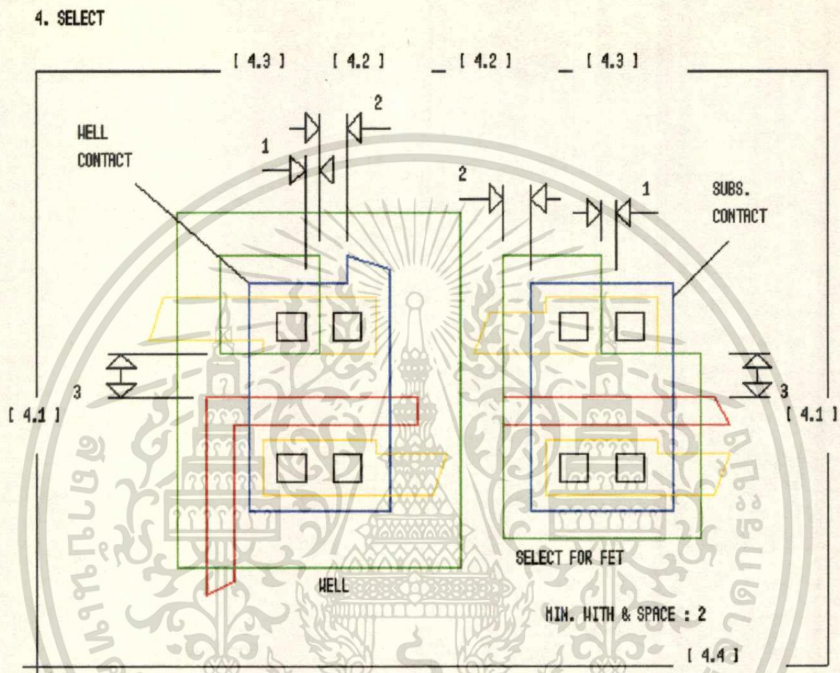
3. POLY



- 3.1 ความกว้างน้อยที่สุดเท่ากับ 2
- 3.2 ระยะห่างระหว่าง gate น้อยที่สุดเท่ากับ 2
- 3.3 ระยะห่างน้อยที่สุดที่ gate ยื่นออกจาก active เท่ากับ 2
- 3.4 ระยะห่างน้อยที่สุดที่ active ยื่นออกจาก poly เท่ากับ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 3.5 ระยะห่างระหว่าง poly กับ active เท่ากับ 1
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

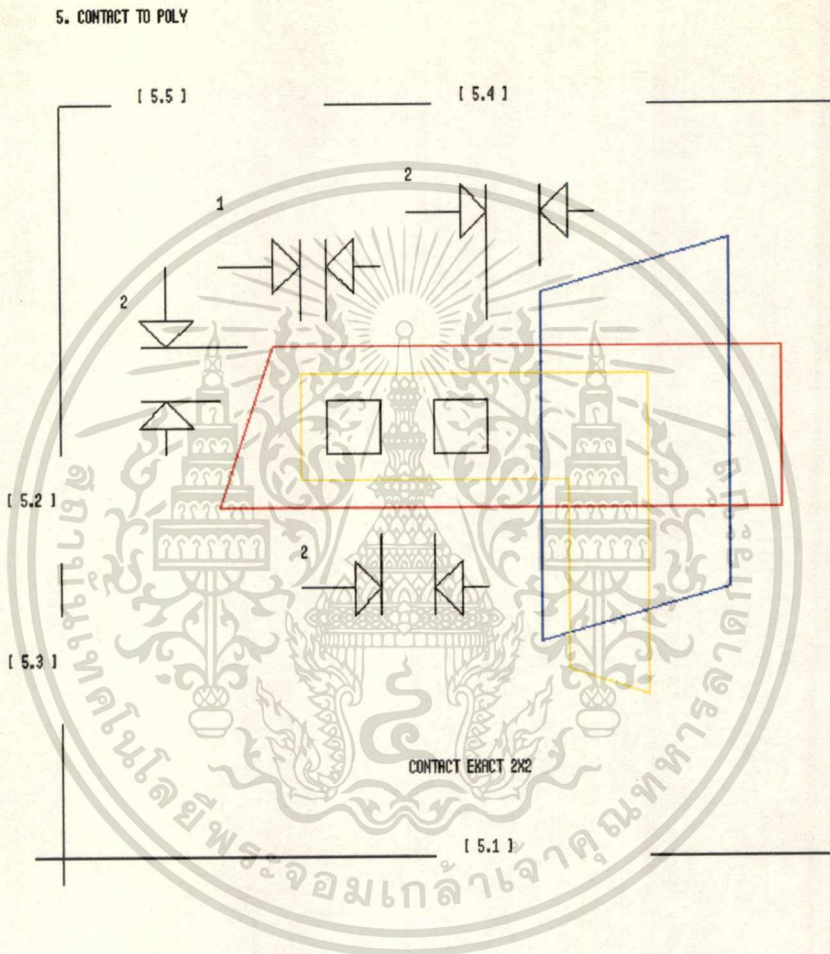
รูปที่ ข.4 แสดงกฎการออกแบบ Layout ข้อที่ 4



- 4.1 ระยะห่างน้อยที่สุดระหว่าง select ที่ source, drain กับ channel ของทรานซิสเตอร์เท่ากับ 3
- 4.2 ระยะห่างน้อยที่สุดที่ select ทับซ้อนกับ active เท่ากับ 2
- 4.3 ระยะห่างน้อยที่สุดที่ select ทับซ้อนกับ contact เท่ากับ 1
- 4.4 ระยะห่างและความกว้างน้อยที่สุดของ select เท่ากับ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

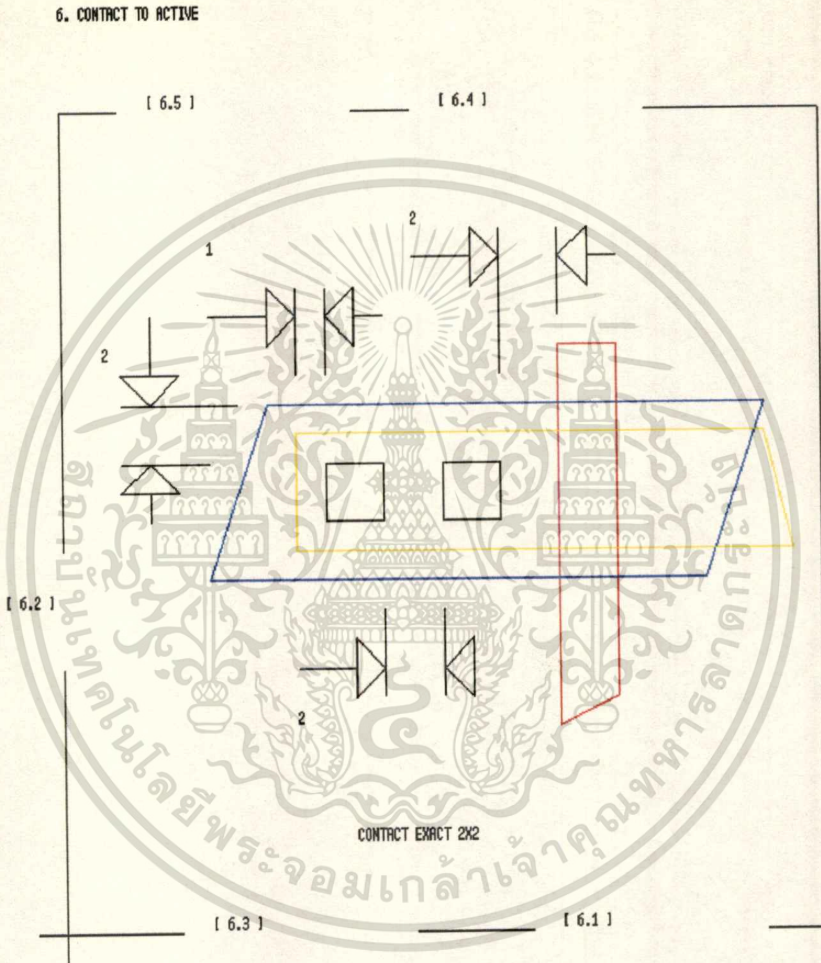
รูปที่ ข.5 แสดงกฎการออกแบบ Layout ข้อที่ 5



- 5.1 ขนาดของ contact เท่ากับ 2 x 2
- 5.2 ระยะห่างน้อยที่สุดที่ contact ทับซ้อน poly เท่ากับ 2
- 5.3 ระยะห่างระหว่าง contact น้อยที่สุดเท่ากับ 2
- 5.4 ระยะห่างน้อยที่สุดจาก contact ถึง gate เท่ากับ 2
- 5.5 ระยะห่างน้อยที่สุดที่ contact ทับซ้อน active เท่ากับ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ ข.6 แสดงกฎการออกแบบ Layout ข้อที่ 6



6.1 ขนาดของ contact เท่ากับ 2 x 2

6.2 ระยะห่างน้อยที่สุดที่ contact ทับซ้อน active เท่ากับ 2

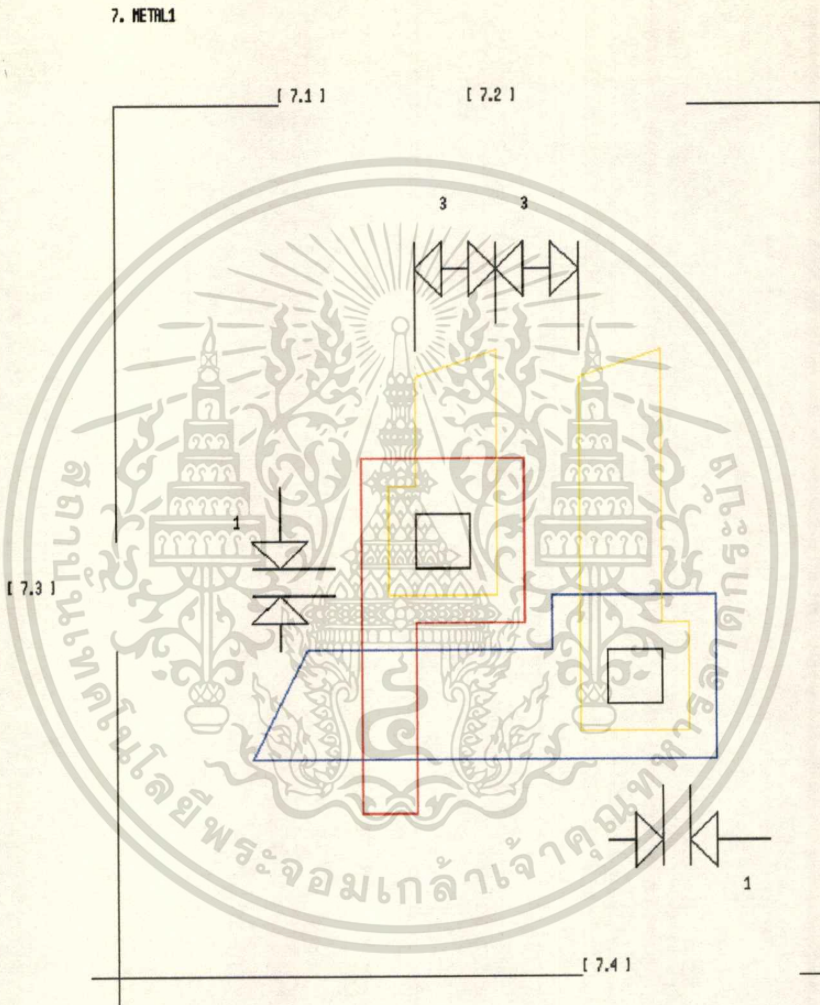
6.3 ระยะห่างระหว่าง contact น้อยที่สุดเท่ากับ 2

6.4 ระยะห่างน้อยที่สุดจาก contact ถึง gate เท่ากับ 2

6.5 ระยะห่างน้อยที่สุดที่ contact ทับซ้อน active เท่ากับ 1

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ ข.7 แสดงกฎการออกแบบ Layout ข้อที่ 7



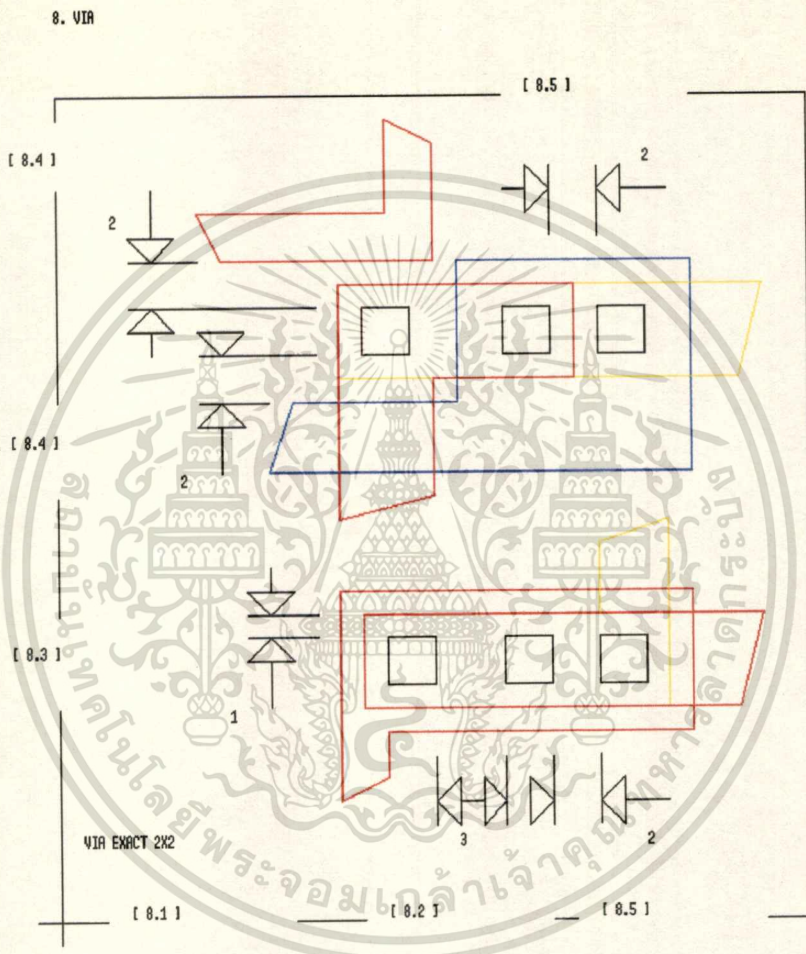
7.1 ความกว้างน้อยที่สุดเท่ากับ 3

7.2 ระยะห่างระหว่าง metal 1 น้อยที่สุดเท่ากับ 2

7.3 และ 7.4 ระยะห่างน้อยที่สุดที่ metal 1 ทับซ้อน contact เท่ากับ 1

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ห้ามทำซ้ำโดยไม่ได้รับอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ ข.8 แสดงกฎการออกแบบ Layout ข้อที่ 8



8.1 ขนาดของ via เท่ากับ 2 x 2

8.2 ระยะห่างระหว่าง via น้อยที่สุดเท่ากับ 3

8.3 ระยะห่างน้อยที่สุดที่ via ทับซ้อน metal 1 เท่ากับ 1

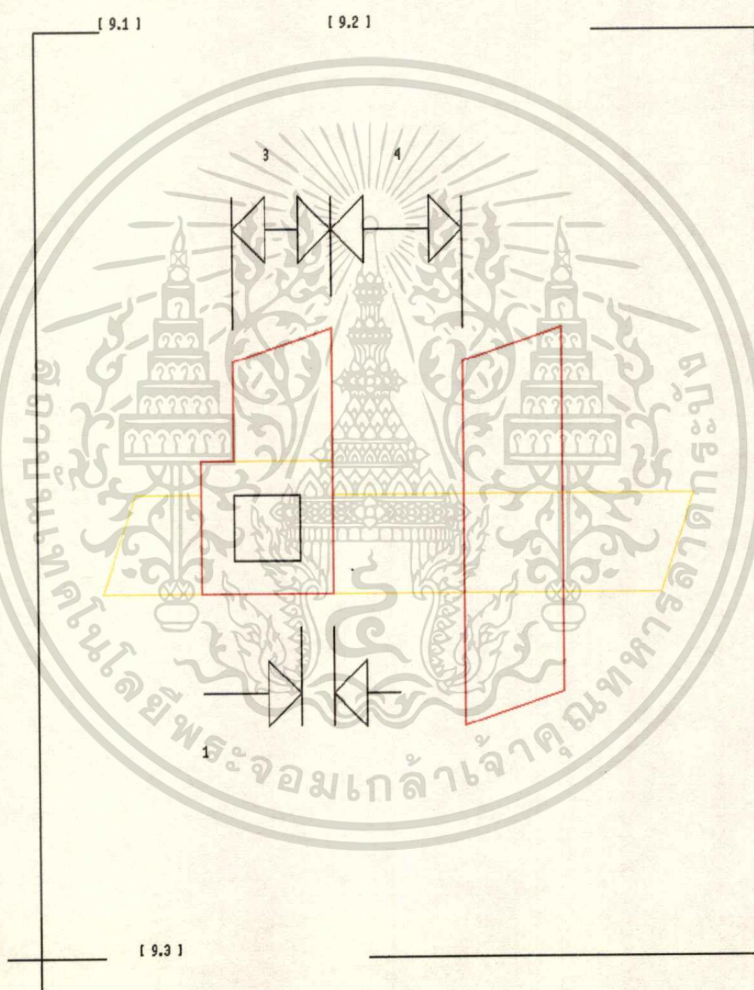
8.4 ระยะห่างน้อยที่สุดจาก via ถึง contact เท่ากับ 2

8.5 ระยะห่างน้อยที่สุดจาก via ถึง poly หรือ active edge เท่ากับ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ ข.9 แสดงกฎการออกแบบ Layout ข้อที่ 9

9. METAL2



9.1 ความกว้างน้อยที่สุดเท่ากับ 2

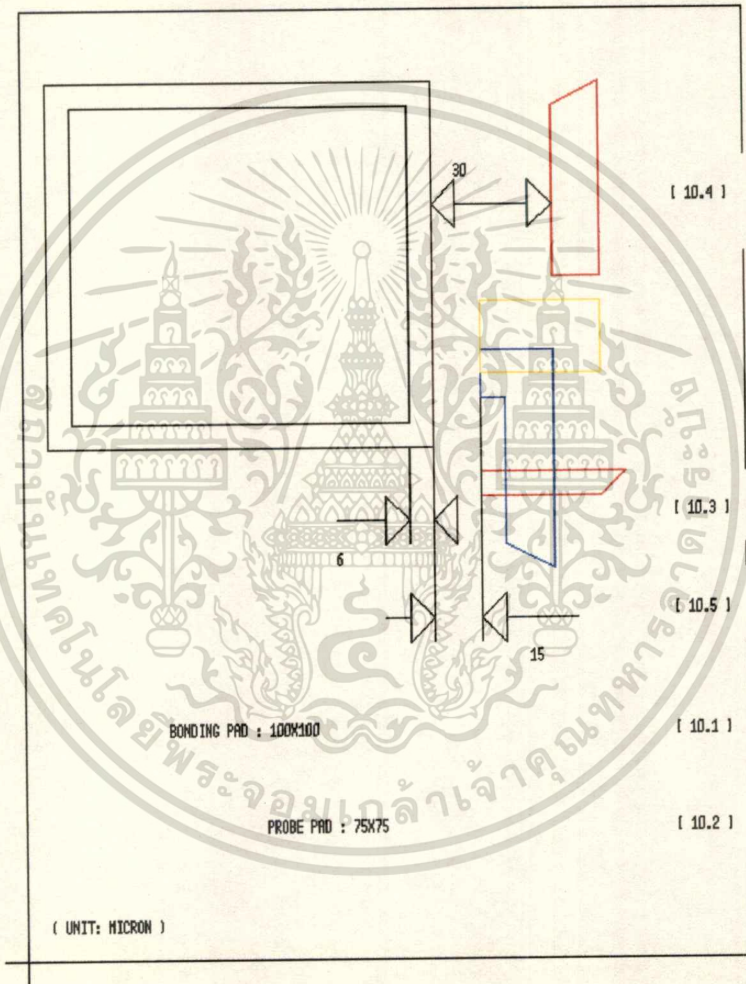
9.2 ระยะห่างระหว่าง metal 2 น้อยที่สุดเท่ากับ 4

9.3 ระยะห่างน้อยที่สุดที่ via ทับซ้อน metal 2 เท่ากับ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ ข.10 แสดงกฎการออกแบบ Layout ข้อที่ 10

10. OVERGLASS



10.1 ขนาดน้อยที่สุดของ bonding pad เท่ากับ 100 x 100

10.2 ขนาดน้อยที่สุดของ probe pad เท่ากับ 75 x 75

10.3 pad metal ทับซ้อน เท่ากับ 6

10.4 ระยะห่างน้อยที่สุดระหว่าง pad ถึง metal 2 เท่ากับ 30

10.5 ระยะห่างน้อยที่สุดระหว่าง pad ถึง metal 1 , poly , active เท่ากับ 15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค

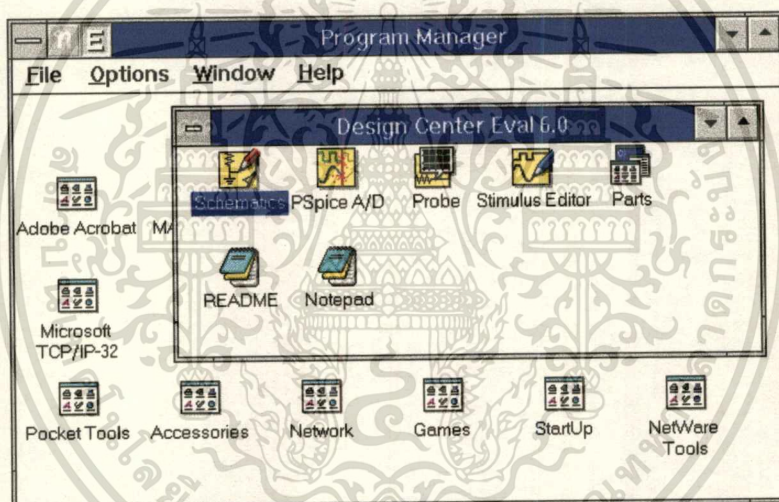


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรม PSpice

PSpice ที่ใช้นี้ เป็นของบริษัท MICROSIM Co,Ltd. ซึ่งมีการทำงานบนระบบปฏิบัติการ WINDOWS ลักษณะการใช้งานเป็น แบบ SCHEMATIC กล่าวคือ ไม่ต้องเขียนเป็น COMMAND LINE ที่ละบรรทัดเหมือน รุ่นที่ทำงานบนระบบปฏิบัติการ DOS

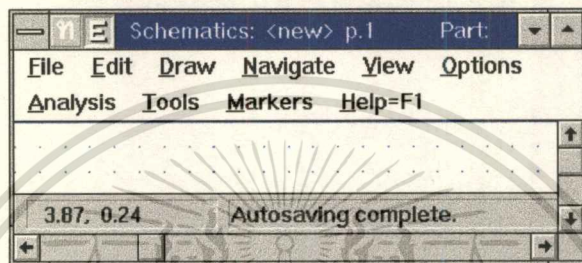
รูปที่ ก.1 แสดง ICON GROUP ของ DESIGN CENTER 6.0



ซึ่งประกอบด้วย ICON SCHEMATICS , ICON PSPICE A/D , ICON PROBE , ICON STIMULUS EDITOR , ICON PARTS และ ICON README การเลือกใช้ ICON ก็ทำได้โดยการ DOUBLE CLICKS ซ้าย ที่ ICON ที่ต้องการ

เมื่อ DOUBLE CLICKS ซ้าย ที่ ICON SCHEMATICS จะปรากฏหน้าจอ SCHEMATIC สำหรับใช้วางอุปกรณ์อิเล็กทรอนิกส์ ที่ต้องการต่อขึ้นมา หน้าจอของ SCHEMATIC จะประกอบด้วย เมนูคำสั่งหลักจำนวน 10 คำสั่ง

รูปที่ ค.2 แสดงชุดเมนูคำสั่งทั้ง 10 ของ SCHEMATIC



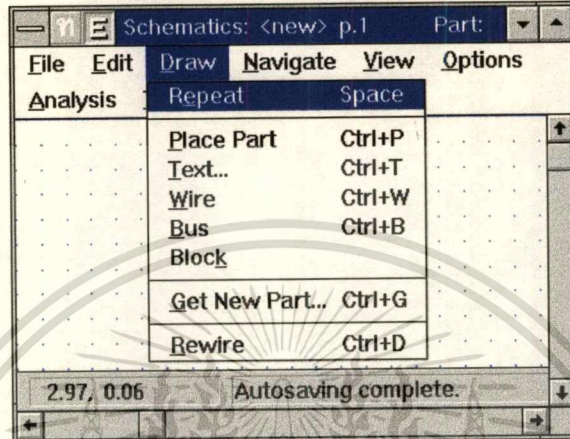
เมื่อเปิดโปรแกรมแล้วจะทำกรวางอุปกรณ์โดยเลือกที่ DRAW MENU (ใช้ในการวาดสายสัญญาณ , บัสสัญญาณ และวางอุปกรณ์บนหน้าจอ SCHEMATIC) เลือก Get New Part เพื่อเลือกอุปกรณ์จาก Library ภายใน Library จะประกอบไปด้วยอุปกรณ์มากมาย เช่น

C	CAPACITOR
R	RESISTOR
D1N4148	DIODE
MBREAKN	N-CHANNEL MOSFET (ENHANCEMENT) BREAKOUT DEVICE
MBREAKP	P-CHANNEL MOSFET (ENHANCEMENT) BREAKOUT DEVICE
AGND	ANALOG GROUND
VSTIM	VOLTAGE SOURCE FOR STMED
IC1	USED TO SET INITIAL CONDITIONS FOR A NODE

เป็นต้น

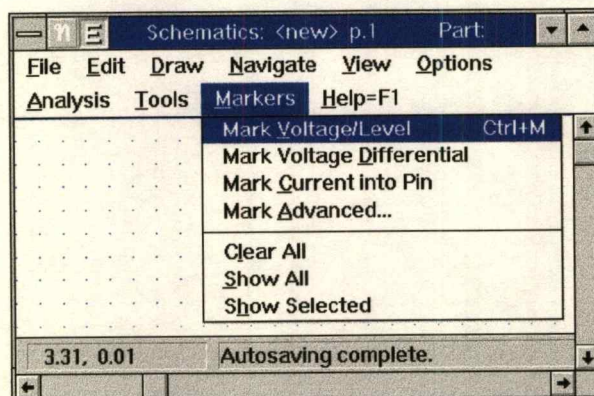
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ ค.3 แสดงเมนูคำสั่ง และเมนูย่อยของคำสั่ง DRAW



เมื่อทำการวางอุปกรณ์และเดินสายอุปกรณ์โดยเรียบร้อยแล้ว โดยก่อนที่จะทำการขโมยเลขขึ้นต้องเลือกจุดที่ต้องการจะวัดสัญญาณโดยเลือกที่เมนู Markers (ใช้ในการวาง PROBE ลงบนตำแหน่งสำหรับวัดสัญญาณที่ต้องการ) โดยเลือกที่ Mark Voltage/Level (ใช้เป็นตัววัดสัญญาณชนิดแรงดันเทียบกับ กราวด์ ที่จะแสดงใน PROBE)

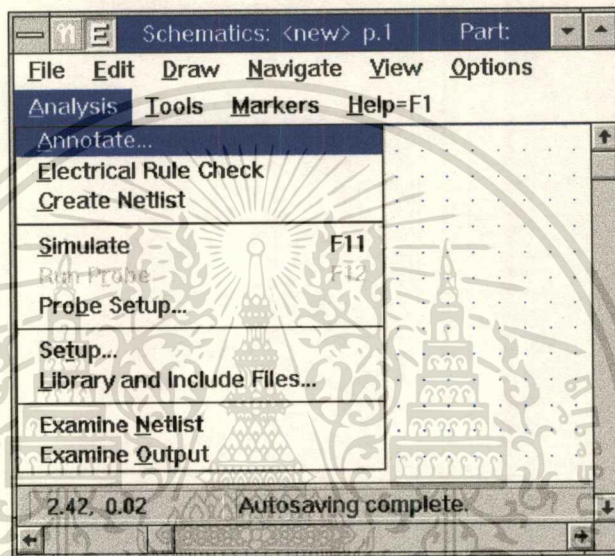
รูปที่ ค.4 แสดงเมนูคำสั่ง และเมนูย่อยของคำสั่ง MARKERS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

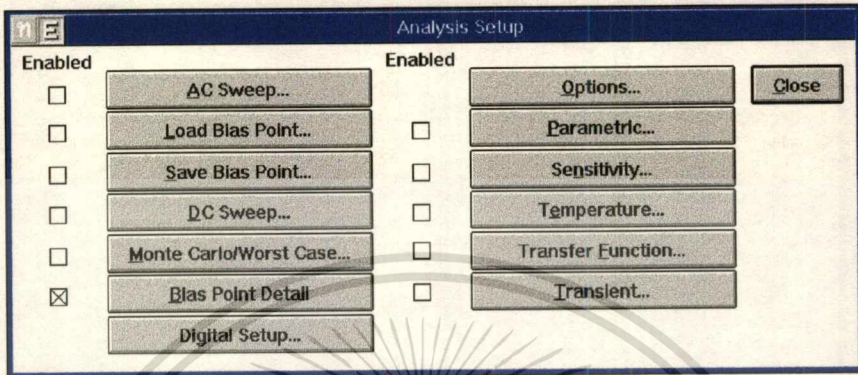
เมื่อเลือกจุดที่จะวัดแล้ว ทำการซิมูเลชันวงจรที่ออกแบบโดยเลือก ANALYSIS MENU (ใช้ในการสร้าง NETLIST FILE ,ตั้งลักษณะการวิเคราะห์ และทำการซิมูเลชันวงจร)

รูปที่ ค.5 แสดงเมนูคำสั่ง และเมนูย่อยของคำสั่ง ANALYSIS



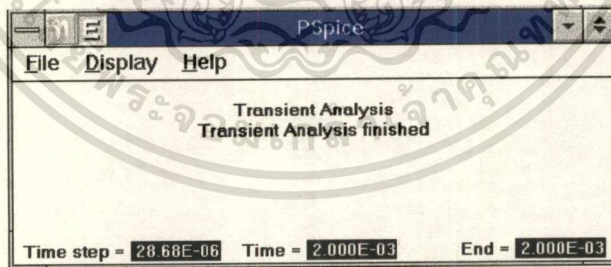
จะต้องกำหนดวิธีการวิเคราะห์วงจรโดยเลือกที่คำสั่ง **SETUP** ซึ่งประกอบไปด้วยวิธีการวิเคราะห์วงจรแบบต่าง เช่น **Transient** (ใช้วิเคราะห์ผลลัพธ์ของวงจร เมื่อเกิดในแกนเวลา โดยจะเริ่มต้นที่เวลา $t=0$ ไปเรื่อยๆจนถึงเวลาสุดท้ายที่กำหนด)

รูปที่ ค.6 แสดงหน้าจอ การเลือกวิธีการวิเคราะห์วงจร



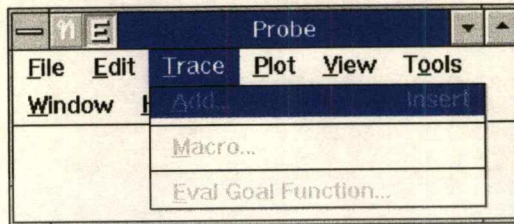
เลือกคำสั่ง **SIMULATE** เป็นการกำหนดให้ PSpice ทำการวิเคราะห์วงจร เมื่อทำการเลือกคำสั่งนี้ PSpice จะทำการทำ **ELECTRICAL RULE CHECK** และทำคำสั่ง **CREATE NETLIST** ให้โดยอัตโนมัติ

รูปที่ ค.7 แสดงหน้าจอของ การ RUN PSPICE

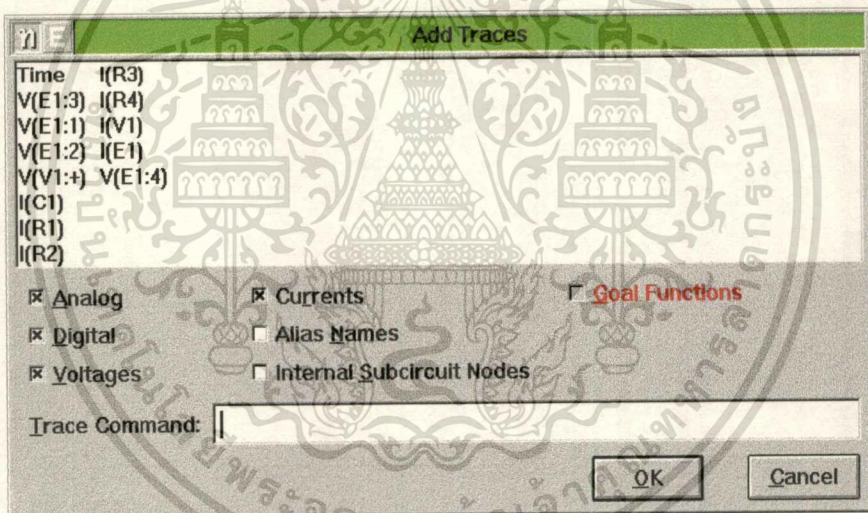


เมื่อการซิมูเลชันเสร็จสิ้นก็ต้องเลือกคำสั่ง **RUN Probe** จะปรากฏหน้าต่างใหม่ให้เลือกที่เมนู **Trace** (ใช้ในการเลือกสัญญาณ และวิธีการวาดสัญญาณ แบบต่างๆ) เลือกคำสั่ง **ADD..** (ใช้ในการวาดรูปสัญญาณที่ได้ต้องการ)

รูปที่ ก.8 แสดงชุดคำสั่งย่อย ของเมนู TRACE



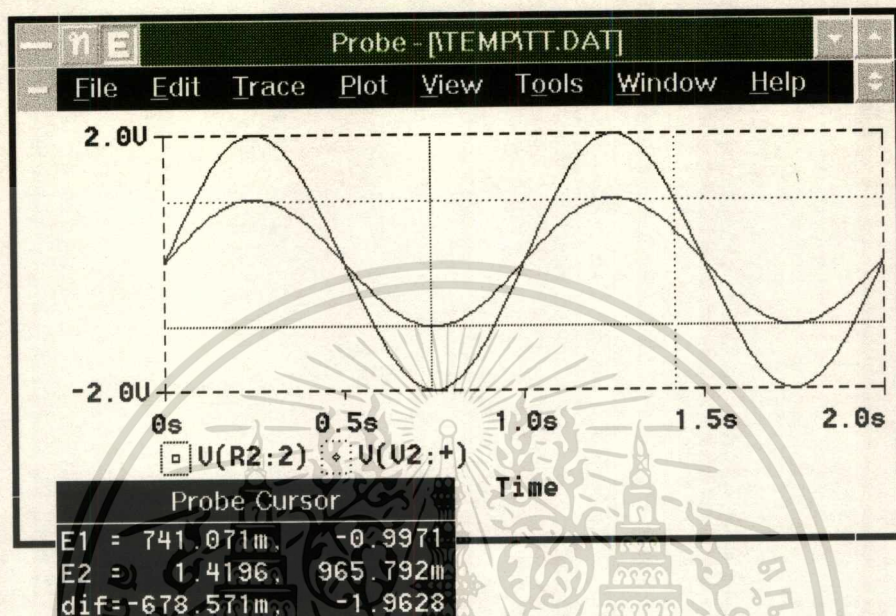
รูปที่ ก.9 แสดงหน้าจอของการ ADD สัญญาณที่ต้องการ



เมื่อเลือกสัญญาณแล้วคลิกปุ่ม OK ก็จะเกิดภาพของสัญญาณที่ต้องการปรากฏขึ้นที่หน้าต่าง Probe

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ ค.10 แสดงลักษณะการใช้งาน Probe



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

นายชาญวิทย์ เดชอัสวานง เกิดเมื่อวันที่ 19 กันยายน 2515 ที่จังหวัดกรุงเทพฯ สำเร็จการศึกษาวិทยาศาสตร์บัณฑิต(ฟิสิกส์ประยุกต์) จากสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2536



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้