

ปริญญานิพนธ์

ชุดฝึกการสื่อสารข้อมูลระบบ QPSK

QUADRATURE PHASE SHIFT KEYING DATA COMMUNICATION
DEMONSTRATOR

นาย จักรกฤษณ์

รักษาล้ำ

นาย เฉลยชนก

ช่วยข้า

นาย วชิรพันธ์

จันทร์ปัญญา

นาย ศักดิ์ชาย

บริรักษ์



ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรครุศาสตร์อุตสาหกรรมบัณฑิต
สาขาวิชาวิศวกรรมโทรคมนาคม

ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เลขที่.....
เลขทะเบียน..... 30131
วัน, เดือน, ปี..... 8 ส.ย. 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาควิชาครุศาสตร์วิศวกรรม
คณะครุศาสตร์อุตสาหกรรม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองปริญญานิพนธ์

ปริญญานิพนธ์ ชุดฝึกการสื่อสารข้อมูลระบบ QPSK

QUADRATURE PHASE SHIFT KEYING DATA COMMUNICATION
DEMONSTRATOR

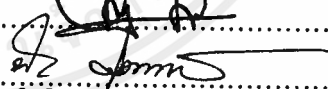
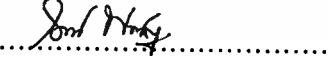
นักศึกษา	1. นายจักรกฤษณ์	รักษาล้ำ	รหัสประจำตัว 39031208
	2. นายเดชชนก	ช่วยจำ	รหัสประจำตัว 39031210
	3. นายวชิรพันธ์	จันทร์ปัญญา	รหัสประจำตัว 39031226
	4. นายศักดิ์ชาย	บริรักษ์	รหัสประจำตัว 39031231

หลักสูตร ครุศาสตร์อุตสาหกรรมบัณฑิต

สาขาวิชา วิศวกรรมโทรคมนาคม

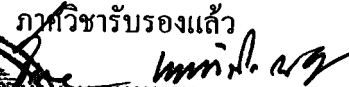
อาจารย์ผู้ควบคุมปริญญานิพนธ์

1. ผศ. วิสุทธิ์	อิทธิพรธรรม
2. อาจารย์ประเสริฐ	เคนพันค้อ
3. อาจารย์ปิยะ	ศุภวราสุวัฒน์

คณะกรรมการสอบปริญญานิพนธ์		ลายมือชื่อ
1. ผศ. วิสุทธิ์	อิทธิพรธรรม	
2. อาจารย์ประเสริฐ	เคนพันค้อ	
3. อาจารย์ปิยะ	ศุภวราสุวัฒน์	
4. อาจารย์ปิยะ	จิตรธรรมมาภิรมย์	
5. อาจารย์ไพบุลย์	พวงวงศ์ตระกูล	

วัน/เดือน/ปีที่สอบ 5 พฤษภาคม 2541 เวลา 10.00 น. ถึง 11.00 น.

สถานที่สอบ ห้อง ก.301 คณะครุศาสตร์อุตสาหกรรม สจล.

ภาควิชารับรองแล้ว

ศาสตราจารย์ ดร. เทพหัสดิน ณ อยุธยา
ผู้อำนวยการภาควิชาครุศาสตร์วิศวกรรม
 พ.ศ. ๒๕๔๑



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษานำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์

ชุดฝึกการสื่อสารข้อมูลระบบ QPSK

QUADRATURE PHASE SHIFT KEYING DATA COMMUNICATION DEMONSTRATOR

นาย จักรกฤษณ์

รักษาลำ

นาย เคชชนก

ช่วยจำ

นาย วชิรพันธ์

จันทร์ปัญญา

นาย ศักดิ์ชาย

บริรักษ์

ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรครุศาสตรบัณฑิต
สาขาวิชาวิศวกรรมโทรคมนาคม
ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตรบัณฑิต
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์

เรื่อง ชุดฝึกการสื่อสารข้อมูลระบบ QPSK

QUADRATURE PHASE SHIFT KEYING DATA COMMUNICATION DEMONSTRATOR

ผู้จัดทำ

- | | |
|------------------|-------------|
| 1. นาย จักรกฤษณ์ | รักษาล้ำ |
| 2. นาย เดชชนก | ช่วยจำ |
| 3. นาย วชิรพันธ์ | จันทร์ปัญญา |
| 4. นาย ศักดิ์ชาย | บริรักษ์ |

อาจารย์ที่ปรึกษา

ลงนาม.....

(ผศ.วิสุทธิ อธิพรธรรม)

ลงนาม.....

(อาจารย์ประเสริฐ เคนพันก่อ)

ลงนาม.....

(อาจารย์ปิยะ ศุภวาราสวัฒน์)

หัวหน้าภาควิชาครุศาสตร์วิศวกรรม

ลงนาม.....

(ผศ.ดร.ธีระพล เทพหัสดิน ณ อยุธยา)

ปริญญานิพนธ์

เรื่อง ชุดฝึกการสื่อสารข้อมูลระบบ QPSK

QUADRATURE PHASE SHIFT KEYING DATA COMMUNICATION DEMONSTRATOR

วัตถุประสงค์

1. เพื่อศึกษาการมอดูเลต และดีมอดูเลตสัญญาณดิจิทัลแบบ QPSK ของชุดฝึกที่ได้สร้างขึ้น
2. เพื่อออกแบบวงจรมอดูเลต และดีมอดูเลตในการสื่อสารข้อมูลดิจิทัลแบบ QPSK
3. เพื่อสร้างชุดฝึกการสื่อสารข้อมูลดิจิทัลแบบ QPSK
4. เพื่อนำชุดฝึกไปใช้ประกอบการศึกษาทางด้านทฤษฎีที่เกี่ยวกับการสื่อสารแบบดิจิทัล

ประโยชน์ที่คาดว่าจะได้รับ

1. มีความรู้ความเข้าใจการมอดูเลต และดีมอดูเลตสัญญาณดิจิทัลแบบ QPSK ได้ดียิ่งขึ้น
2. มีความสามารถในการออกแบบ และสร้างวงจรต่างๆ ของชุดฝึกนี้ได้
3. มีความเข้าใจการทำงานของ การสื่อสารข้อมูลดิจิทัลแบบ QPSK ภายในภาคต่างๆ เป็นต้น
4. สามารถนำชุดฝึกนี้ไปใช้ร่วมกับการศึกษาทางทฤษฎี

ชุดฝึกการสื่อสารข้อมูลระบบ QPSK

นาย จักรกฤษณ์	รักษาล้ำ
นาย เฉลชนก	ช่วยจำ
นาย วชิรพันธ์	จันทร์ปัญญา
นาย ศักดิ์ชาย	บริรักษ์

อาจารย์ที่ปรึกษา	
ผศ. วิสุทธิ์	อธิพรธรรม
อาจารย์ประเสริฐ	เคนพั่นคือ
อาจารย์ปิยะ	ศุภวราสุวัฒน์
ปีการศึกษา 2540	

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้เสนอชุดฝึกการสื่อสารข้อมูลระบบ QPSK เพื่อใช้ทดลองส่งสัญญาณข้อมูลซึ่งเป็นสัญญาณดิจิทัลด้วยวิธีการมอดูเลตแบบที่มีการเปลี่ยนแปลงเฟสของคลื่นพาหะแบบ 4 เฟส เรียกว่า QPSK ชุดฝึกนี้สามารถใช้ทดลองส่งสัญญาณดิจิทัล โดยใช้วิธีการมอดูเลตแบบที่มีการเปลี่ยนแปลงเฟสของคลื่นพาหะแบบ 2 เฟส หรือที่เรียกว่า BPSK ได้อีกด้วย เพื่อให้สามารถนำสัญญาณจากการมอดูเลตทั้ง 2 แบบ มาเปรียบเทียบกันได้ และในกรณีที่สัญญาณของจุดทดสอบของชุดฝึกนี้ตำแหน่งใดไม่มี จะมีสัญญาณสำรองเพื่อนำมาใช้อ้างอิงแทนกันได้

QUADRATUER PHASE SHIFT KEYING DATA COMMUNICATION DEMONSTRATOR

MR. CHAKKRIT	RUKSALUM
MR. DETCHANOK	CHUAYKHAM
MR. WACHIRAPAN	JHUNPUNYA
MR. SAKCHAI	BORIRUK

ADVISOR

Assist. Prof. WISUIT	ATIPORNTUM
MR. PRASERT	KENPANKHO
MR. PIYA	SUPAVARASUWAT

1997

ABSTRACT

This thesis presents the project of quadratuer phase shift keying data communication demonstrator for digital signal transmission laboratory by the four phases different from output modulation or quadratuer phase shift keying (QPSK). The demonstrator can be used to for two phases of output modulation or binary phase shift keying (BPSK) to use with the QPSK method. When demonstrstor does not have any signals in tast points, it has backup signal instead of them to reference.

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงได้ด้วยดี เนื่องมาจากการให้ความสนับสนุนทางด้านอุปกรณ์ และการเงินจากภาควิชาครุศาสตร์วิศวกรรม การให้คำปรึกษา, คำแนะนำจากอาจารย์ในภาควิชาครุศาสตร์วิศวกรรม โดยเฉพาะอาจารย์ โกศล ตราฐู ที่ได้เอื้ออำนวยทางด้านอุปกรณ์ที่ใช้ในการทดลอง รวมทั้ง ครู, อาจารย์ ทุกท่านที่ได้อบรมสั่งสอนมาในอดีต เพื่อนๆ ที่คอยให้ความช่วยเหลือในการแก้ไขปัญหา พร้อมให้กำลังใจ และบุคคลที่สำคัญอย่างยิ่งที่ทำให้ได้รับการศึกษามาตั้งแต่วัยเด็กจนถึงปัจจุบัน คือ บิดามารดา และ เพื่อน ๆ ที่ให้กำลังใจเสมอมาจนประสบผลสำเร็จ



สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญตาราง	VIII
สารบัญภาพ	IX
บทที่ 1 บทนำ	1
1.1 ความเป็นมาและความสำคัญของปริญญานิพนธ์	1
1.2 ขีดความสามารถของโครงการ	1
1.3 เนื้อหาโดยสังเขป	2
บทที่ 2 ทฤษฎี และหลักการ	3
2.1 กล่าวนำ	3
2.2 หลักการมอดูเลต และดีมอดูเลตแบบ BPSK	5
2.2.1 โคอีเรนซ์ที่ตีเทคชั่น	8
2.3 ควอเครเจอร์ PSK	11
2.4 หลักการทำงานของชุดรับ - ส่ง ข้อมูลแบบ QPSK	17
2.4.1 การมอดูเลตดิจิตอลแบบควอเครเจอร์	17
2.4.2 หลักการของการมอดูเลตดิจิตอลทางเฟสแบบควอเครเจอร์	18
2.5 มอดูเลต QPSK	20
2.6 ดีมอดูเลต QPSK	23
บทที่ 3 การออกแบบ การสร้าง และการทำงาน	29
3.1 วงจรที่ใช้สำหรับการสื่อสารข้อมูลระบบ BPSK	29
3.1.1 วงจรมอดูเลตแบบ BPSK	29
3.1.2 วงจรดีมอดูเลตแบบ BPSK	30
3.1.3 วงจรกรองความถี่ต่ำผ่าน	30

สารบัญ (ต่อ)

เรื่อง	หน้า
3.1.4 วงจรเปรียบเทียบ โวลต์เตจ	31
3.1.5 วงจรกำเนิดสัญญาณคลื่นพาหะ	31
3.2 วงจรภาคส่งของการสื่อสารข้อมูลระบบ QPSK	32
3.2.1 วงจรกำเนิดสัญญาณรูปสี่เหลี่ยม	32
3.2.2 วงจรหารความถี่	33
3.2.3 วงจรบัฟเฟอร์	33
3.2.4 วงจรกำเนิดสัญญาณข้อมูล	34
3.2.5 วงจรเข้ารหัสความแตกต่างบิตคู่	34
3.2.6 วงจรมอดูเลตแบบ QPSK	35
3.2.7 วงจรซมมิงแอมพลิไฟเออร์	36
3.2.8 วงจรกำเนิดสัญญาณคลื่นพาหะ	37
3.2.9 วงจรเลื่อนเฟส	38
3.2.10 วงจรขยายไม่กลับเฟส	38
3.3 วงจรภาครับของการสื่อสารระบบ QPSK	39
3.3.1 วงจรดีมอดูเลตแบบ QPSK	39
3.3.2 วงจรกรองความถี่ต่ำผ่าน	40
3.3.3 วงจรเปรียบเทียบ โวลต์เตจ	42
3.3.4 วงจรกู้สัญญาณนาฬิกา	42
3.3.5 วงจรเฟสล็อกกลุ๊ป	43
3.3.6 วงจรเปลี่ยนสัญญาณข้อมูลอนุกรมเป็นแบบขนาน	46
3.3.7 วงจรถอดรหัสความแตกต่างบิตคู่	47
3.4 วงจรควบคุมสัญญาณ	48
3.4.1 วงจรควบคุมสัญญาณ	48
3.5 วงจรอื่นๆ ที่เกี่ยวข้อง	48
3.5.1 วงจรแหล่งจ่ายไฟตรง	48
บทที่ 4 การทดลอง และผลการทดลอง	50
4.1 วงจรกำเนิดสัญญาณข้อมูล	50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

เรื่อง	หน้า
4.2 วงจรรอซซึลเลเตอร์	51
4.3 วงจรเลื่อนเฟส	52
4.4 วงจรกำเนิดสัญญาณนาฬิกา	53
4.5 ไบนารีเฟสชิฟท์คีย์อิง (BPSK)	54
4.5.1 วงจรมอดูเลตแบบ BPSK	54
4.5.2 วงจรบัฟเฟอร์	56
4.5.3 วงจรดีมอดูเลตแบบ BPSK	57
4.6 ควอดเรเจอร์เฟสชิฟท์คีย์อิง	59
4.6.1 วงจรเข้ารหัสความแตกต่างบิตคู่	59
4.6.2 วงจรมอดูเลตช่อง I	61
4.6.3 วงจรมอดูเลตช่อง Q	63
4.6.4 วงจรกรองความถี่ต่ำผ่าน	65
4.6.5 วงจรเปรียบเทียบโวลต์เดจ	66
4.6.6 วงจรบัฟเฟอร์	68
4.6.7 วงจรซัมมิงแอมพลิไฟเออร์	69
4.6.8 วงจรดีมอดูเลตช่อง I	71
4.6.9 วงจรดีมอดูเลตช่อง Q	73
4.6.10 วงจรกรองความถี่ต่ำผ่าน	75
4.6.11 วงจรเปรียบเทียบโวลต์เดจ	76
4.6.12 วงจรถอดรหัสความแตกต่างบิตคู่	80
4.7 วงจรควบคุมควอดเรเจอร์เฟสชิฟท์คีย์อิง	82
4.7.1 จุดทดสอบที่ 1	82
4.7.2 จุดทดสอบที่ 2	83
4.7.3 จุดทดสอบที่ 3	83
4.7.4 จุดทดสอบที่ 4	84
4.7.5 จุดทดสอบที่ 5	85

สารบัญ (ต่อ)

เรื่อง	หน้า
บทที่ 5 ปัญหา แนวทางแก้ไข และพัฒนา	86
5.1 บทสรุป	86
5.2 ปัญหาที่เกิดขึ้นจากการทำโครงการ	86
5.3 แนวทางการแก้ไขและพัฒนา	87
ภาคผนวก ก รูปแบบชุดฝึกการสื่อสารข้อมูลระบบ QPSK	88
ภาคผนวก ข วงจร และแผ่นวงจรพิมพ์	
ภาคผนวก ค รายละเอียดอุปกรณ์	
ภาคผนวก ง ใบงาน	
บรรณานุกรม	
ประวัติผู้แต่ง	

สารบัญตาราง

ตาราง	หน้า
ตารางที่ 2.1 สัญญาณดิจิทัล 2 บิตที่จะส่งพร้อมกัน	5
ตารางที่ 2.2 ความสัมพันธ์ของการจัดเรียงบิต	26
ตารางที่ 3.1 ค่าของความต้านทานสำหรับค่านวณค่า R และ C	40



สารบัญภาพ

รูปภาพ	หน้า
รูปที่ 2.1 BPSK	4
รูปที่ 2.2 แผนผังทางเฟสของ BPSK	4
รูปที่ 2.3 ไบนารี PSK (BPSK)	5
รูปที่ 2.4 ควอดเรเจอร์ PSK (QPSK)	6
รูปที่ 2.5 การรับ – ส่งสัญญาณดิจิทัล	6
รูปที่ 2.6 การมอดูเลตสัญญาณดิจิทัล	7
รูปที่ 2.7 การเปลี่ยนแปลงทางเฟสของคลื่นพาหะ	7
รูปที่ 2.8 การสร้างสัญญาณขึ้นใหม่ทางด้านการรับ	8
รูปที่ 2.9 การรับสัญญาณ PSK ทางด้านการรับ	9
รูปที่ 2.10 การพิจารณารหัสเป็น 1 หรือ 0 โดยแฉกเปิดโฮลเคอร์	9
รูปที่ 2.11 รหัสผิดเพี้ยนเนื่องจากเสียงรบกวน	10
รูปที่ 2.12 แผนผังการทำงานของโคฮีเรนต์มอดูเลต	10
รูปที่ 2.13 หลักการของวงจรผู้สัญญาณพาหะ	11
รูปที่ 2.14 รหัส 4 บิตของสัญญาณ QPSK	12
รูปที่ 2.15 รหัสเกรย์ที่ใช้ใน QPSK	12
รูปที่ 2.16 วงจรมอดูเลต QPSK	13
รูปที่ 2.17 เปรียบเทียบเฟสของสัญญาณในช่วงสัญญาณ I และ Q	14
รูปที่ 2.18 เวกเตอร์ผลลัพธ์ของสัญญาณ QPSK	15
รูปที่ 2.19 สัญญาณ QPSK ถูกเลื่อนเฟส $\pi/4$	15
รูปที่ 2.20 วงจรดีมอดูเลตสัญญาณ QPSK	16
รูปที่ 2.21 การดีเทคสัญญาณ QPSK ออกมาเป็น BPSK สองสัญญาณ	17
รูปที่ 2.22 แผนผังทางเฟสเซอร์ของข้อมูล เมื่อยังไม่มีการผสมกับคลื่นพาหะ	18
รูปที่ 2.23 หน้าทีการทำงานของเครื่องกำเนิดสัญญาณ QPSK	19
รูปที่ 2.24 การรวมกันทางเวกเตอร์ PSK ทั้งสองเอทพุท	20
รูปที่ 2.25 การมอดูเลตของ QPSK	20
รูปที่ 2.26 เอทพุทของสัญญาณ QPSK	22

สารบัญภาพ (ต่อ)

รูปภาพ	หน้า
รูปที่ 2.27 ความสัมพันธ์ของเฟส และเวลาของ QPSK	23
รูปที่ 2.28 แผนผังการทำงานของภาครับ QPSK	23
รูปที่ 2.29 หน้าที่การทำงานของการคิโมดูลิตสัญญาณ QPSK	24
รูปที่ 2.30 แผนผังเฟสเซอร์ของข้อมูลเมื่อผ่านการผสมกับคลื่นพาหะ	26
รูปที่ 3.1 วงจรมอดูเลตแบบ BPSK	29
รูปที่ 3.2 วงจรคิโมดูลิตแบบ BPSK	30
รูปที่ 3.3 วงจรกรองความถี่ต่ำผ่านแบบ BPSK	30
รูปที่ 3.4 วงจรเปรียบเทียบโวลต์เดจ	31
รูปที่ 3.5 วงจรกำเนิดสัญญาณคลื่นพาหะ	32
รูปที่ 3.6 วงจรกำเนิดสัญญาณรูปสี่เหลี่ยม	32
รูปที่ 3.7 วงจรหารความถี่	33
รูปที่ 3.8 วงจรบัฟเฟอร์	33
รูปที่ 3.9 วงจรกำเนิดสัญญาณข้อมูล	34
รูปที่ 3.10 วงจรเข้ารหัสความแตกต่างบิตคู่	35
รูปที่ 3.11 วงจรมอดูเลตแบบ QPSK	36
รูปที่ 3.12 วงจรรวมสัญญาณ	37
รูปที่ 3.13 วงจรกำเนิดสัญญาณคลื่นพาหะ	37
รูปที่ 3.14 วงจรเลื่อนเฟสของสัญญาณไฟฟ้า	38
รูปที่ 3.15 วงจรขยายไม่กลับเฟส	39
รูปที่ 3.16 วงจรคิโมดูลิตแบบ QPSK	40
รูปที่ 3.17 วงจรกรองความถี่ต่ำผ่าน	41
รูปที่ 3.18 วงจรเปรียบเทียบโวลต์เดจ	41
รูปที่ 3.19 วงจรกู้สัญญาณนาฬิกา	42
รูปที่ 3.20 กู้สัญญาณบิตนาฬิกาทางเวลา	42
รูปที่ 3.21 แผนผังการทำงานของระบบเฟสล็อกกลุ๊ป	44
รูปที่ 3.22 วงจรเฟสล็อกกลุ๊ป	44
รูปที่ 3.23 วงจรถอดรหัสความแตกต่างบิตคู่	46

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ (ต่อ)

รูปภาพ	หน้า
รูปที่ 3.24 วงจรเปลี่ยนสัญญาณแบบอนุกรมเป็นแบบขนาน	47
รูปที่ 3.25 วงจรควบคุมสัญญาณ	49
รูปที่ 3.26 วงจรแหล่งจ่ายไฟตรง	49
รูปที่ 4.1 วงจรกำเนิดสัญญาณข้อมูล	50
รูปที่ 4.2 สัญญาณเอาต์พุตของวงจรมอดูเลตข้อมูล	51
รูปที่ 4.3 วงจรออสซิลเลเตอร์	51
รูปที่ 4.4 สัญญาณออสซิลเลเตอร์	52
รูปที่ 4.5 วงจรเลื่อนเฟส	52
รูปที่ 4.6 สัญญาณเอาต์พุตของวงจรถ่ายเฟส	53
รูปที่ 4.7 วงจรกำเนิดสัญญาณนาฬิกา	53
รูปที่ 4.8 สัญญาณเอาต์พุตของวงจรมอดูเลตนาฬิกา	54
รูปที่ 4.9 วงจรมอดูเลตแบบ BPSK	54
รูปที่ 4.10 สัญญาณอินพุตของวงจรมอดูเลตแบบ BPSK	55
รูปที่ 4.11 สัญญาณเอาต์พุตของวงจรมอดูเลตแบบ BPSK	56
รูปที่ 4.12 วงจรบัฟเฟอร์	56
รูปที่ 4.13 สัญญาณเอาต์พุตของวงจรมอดูเลตแบบ BPSK	57
รูปที่ 4.14 วงจรดีมอดูเลตแบบ BPSK	57
รูปที่ 4.15 สัญญาณอินพุตของวงจรมอดูเลตแบบ BPSK	58
รูปที่ 4.16 สัญญาณคลื่นพาหะ ของวงจรมอดูเลตแบบ BPSK	58
รูปที่ 4.17 สัญญาณเอาต์พุตของวงจรมอดูเลตแบบ BPSK	59
รูปที่ 4.18 วงจรเข้ารหัสความแตกต่างบิตคู่	59
รูปที่ 4.19 สัญญาณอินพุตของวงจรมอดูเลตแบบ BPSK	60
รูปที่ 4.20 สัญญาณเอาต์พุตของวงจรมอดูเลตแบบ BPSK	60
รูปที่ 4.21 วงจรมอดูเลตช่อง I	61
รูปที่ 4.22 สัญญาณข้อมูลอินพุตของวงจรมอดูเลตช่อง I	62
รูปที่ 4.23 สัญญาณเอาต์พุตของวงจรมอดูเลตช่อง I	62
รูปที่ 4.24 วงจรมอดูเลตช่อง Q	63

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ (ต่อ)

รูปภาพ	หน้า
รูปที่ 4.25 สัญญาณอินพุตของวงจรมอดูเลตช่อง Q	64
รูปที่ 4.26 สัญญาณเอาต์พุตของวงจรมอดูเลตช่อง Q	64
รูปที่ 4.27 วงจรกรองความถี่ต่ำผ่าน	65
รูปที่ 4.28 สัญญาณอินพุตของวงจรกรองความถี่ต่ำผ่าน	65
รูปที่ 4.29 สัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน	66
รูปที่ 4.30 วงจรเปรียบเทียบโวลต์เตจ	66
รูปที่ 4.31 สัญญาณอินพุตของวงจรเปรียบเทียบโวลต์เตจ	67
รูปที่ 4.32 สัญญาณเอาต์พุตของวงจรเปรียบเทียบโวลต์เตจ	67
รูปที่ 4.33 วงจรบัฟเฟอร์	68
รูปที่ 4.34 สัญญาณบัฟเฟอร์ช่อง I	68
รูปที่ 4.35 สัญญาณบัฟเฟอร์ช่อง Q	69
รูปที่ 4.36 วงจรซัมมิงแอมพลิไฟเออร์	69
รูปที่ 4.37 สัญญาณอินพุตช่อง I ของวงจรซัมมิงแอมพลิไฟเออร์	70
รูปที่ 4.38 สัญญาณอินพุตช่อง Q ของวงจรซัมมิงแอมพลิไฟเออร์	70
รูปที่ 4.39 สัญญาณที่ผ่านวงจรซัมมิงแอมพลิไฟเออร์	71
รูปที่ 4.40 วงจรภาคคีมมอดูเลตช่อง I	71
รูปที่ 4.41 สัญญาณ QPSK	72
รูปที่ 4.42 สัญญาณ QPSK ที่ผ่านการคีมมอดูเลตช่อง I	73
รูปที่ 4.43 แผนผังภาคคีมมอดูเลตช่อง Q	73
รูปที่ 4.44 สัญญาณ QPSK	74
รูปที่ 4.45 สัญญาณ QPSK ที่ผ่านการคีมมอดูเลตช่อง Q	75
รูปที่ 4.46 วงจรกรองความถี่ต่ำผ่านช่อง I และ Q	75
รูปที่ 4.47 สัญญาณอินพุตของวงจรกรองความถี่ต่ำผ่านช่อง I	76
รูปที่ 4.48 สัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านช่อง I	76
รูปที่ 4.49 สัญญาณอินพุตของวงจรกรองความถี่ต่ำผ่านช่อง Q	77
รูปที่ 4.50 สัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่านช่อง Q	77
รูปที่ 4.51 วงจรเปรียบเทียบโวลต์เตจช่อง I และ Q	78

สารบัญภาพ (ต่อ)

รูปภาพ	หน้า
รูปที่ 4.52 สัญญาณเปรียบเทียบโวลต์เตจอินพุทช่อง I	78
รูปที่ 4.53 สัญญาณเปรียบเทียบโวลต์เตจเอาต์พุทช่อง I	79
รูปที่ 4.54 สัญญาณเปรียบเทียบโวลต์เตจอินพุทช่อง Q	79
รูปที่ 4.55 สัญญาณเปรียบเทียบโวลต์เตจเอาต์พุทช่อง Q	80
รูปที่ 4.56 วงจรถอดรหัสบิตคู่ช่อง I และ Q	80
รูปที่ 4.57 สัญญาณอินพุทช่อง I	81
รูปที่ 4.58 สัญญาณอินพุทช่อง Q	81
รูปที่ 4.59 สัญญาณข้อมูลเอาต์พุท QPSK	82
รูปที่ 4.60 ชุดควบคุมวงจรกำเนิดสัญญาณข้อมูล	82
รูปที่ 4.61 ชุดควบคุมวงจรเข้ารหัสบิตคู่	83
รูปที่ 4.62 ชุดควบคุมวงจรมอดูเลต	84
รูปที่ 4.63 ชุดควบคุมวงจรดีมอดูเลต	84
รูปที่ 4.64 ชุดควบคุมวงจรกรองความถี่ต่ำผ่าน	85

บทที่ 1

บทนำ

1.1 ความเป็นมา และความสำคัญของปริยญาณิพนธ์

พัฒนาการของระบบสื่อสารในปัจจุบัน ทำให้เกิดการสื่อสารข้อมูลหลายรูปแบบ โดยวงจรที่ใช้ในระบบการสื่อสารส่วนใหญ่ใช้การมอดูเลตทางเฟสมากกว่า ซึ่งเป็นการมอดูเลตอีกวิธีหนึ่งที่นิยมใช้กันอย่างแพร่หลาย และได้ถูกพัฒนามาเรื่อยๆ จากการมอดูเลต เพื่อที่จะส่งสัญญาณดิจิทัลทีละ 1 บิต ซึ่งทำให้เฟสของคลื่นพาหะเอาท์พุทเกิดการเปลี่ยนแปลงอยู่ระหว่าง 2 มุม ซึ่งต่างเฟสกัน 180 องศา แบบนี้เรียกว่า Binary Phase Shift Keying หรือ BPSK จนกระทั่งได้มีการส่งรหัสสัญญาณทีละ 2 บิต เพื่อทำให้เฟสของคลื่นพาหะเอาท์พุทแต่ละเฟสอยู่ห่างกัน 90 องศา เรียกว่า Quadrature Phase Shift Keying หรือ QPSK และในปัจจุบันสามารถเพิ่มจำนวนบิตของรหัสสัญญาณดิจิทัลที่จะส่งได้อีก เช่น ส่งทีละ 3 บิต การมอดูเลตจะเป็นแบบ 8 PSK หรือส่งทีละ 4 บิต การมอดูเลตจะเป็นแบบ 16 PSK

การสื่อสารข้อมูลส่วนมากนิยมใช้แบบ QPSK ดังนั้น ทางกลุ่มจึงเกิดความคิดสร้างจุดฝึกการสื่อสารข้อมูลระบบ QPSK นี้ เพื่อให้บุคคลที่ได้มีการศึกษาทางด้านทฤษฎีมาแล้วได้นำมาใช้ในการทดลอง และช่วยให้มีความรู้ความเข้าใจอย่างแท้จริงยิ่งขึ้น และรวดเร็ว อีกทั้งยังสามารถใช้ทดลองเปรียบเทียบข้อแตกต่างของระบบ QPSK กับ BPSK ได้ เพื่อเป็นพื้นฐานในการศึกษาระบบสื่อสารต่อไป

1.2 ชีคความสามารถของโครงการ

โครงการนี้มีชีคความสามารถในการทดลองต่างๆ ดังนี้

1. ทำการส่งข้อมูลดิจิทัลโดยการมอดูเลตเชิงเลขทางเฟสทั้งแบบ Binary Phase Shift Keying หรือ BPSK และแบบ Quadrature Phase Shift Keying หรือ QPSK
2. สามารถแยกสัญญาณที่ถูกมอดูเลตแบบ BPSK ออกเป็นสัญญาณดิจิทัลที่ต้องการ
3. สามารถแยกสัญญาณที่ถูกมอดูเลตแบบ QPSK ออกเป็นสัญญาณดิจิทัลที่ต้องการ
4. สามารถสร้างสัญญาณทดแทนขึ้นได้ ในกรณีที่จุดวัดสัญญาณไม่มีสัญญาณเกิดขึ้น

1.3 เนื้อหาโดยสังเขป

เนื้อหาภายในปฏิญาณพันธกิจฉบับนี้ประกอบด้วยบทต่างๆ เพื่อสะดวกต่อการศึกษา และทำความเข้าใจ ดังนี้

บทที่ 2 ทฤษฎี และหลักการ ประกอบด้วยเนื้อหาทางทฤษฎีที่เกี่ยวข้อง เพื่อให้ผู้อ่านมีความรู้ ความเข้าใจพื้นฐานเสียก่อน โดยกล่าวถึงการมอดูเลตดิจิทัลทางเฟสแบบ BPSK, การมอดูเลตสัญญาณดิจิทัลแบบ QPSK และการดีมอดูเลตสัญญาณที่มอดูเลตทางเฟสทั้งสองแบบดังกล่าว

บทที่ 3 การออกแบบ การสร้าง และการทำงาน โดยจะกล่าวถึงการออกแบบ, การสร้าง วงจรมอดูเลต และดีมอดูเลตสัญญาณดิจิทัลทั้ง 2 แบบ ที่ใช้ในชุดทดลองนี้ ส่วนของ BPSK ได้แก่ วงจรมอดูเลตแบบ BPSK , วงจรดีมอดูเลตแบบ BPSK , วงจรกรองความถี่ต่ำผ่าน และวงจรเปรียบเทียบกับโวลต์เดจ ส่วนของ QPSK ได้แก่ วงจรกำเนิดสัญญาณรูปสี่เหลี่ยม, วงจรมอดูเลตแบบ QPSK วงจรหารความถี่, วงจรเลื่อนมุม, วงจรเฟสล็อกกลุ๊ป, วงจรรวมสัญญาณ, วงจรดีมอดูเลตแบบ QPSK วงจรกรองความถี่ต่ำผ่าน, วงจรกู้สัญญาณนาฬิกา, วงจรเปรียบเทียบกับโวลต์เดจ และวงจรเปลี่ยนสัญญาณข้อมูลแบบอนุกรมเป็นแบบขนาน

บทที่ 4 การทดลอง และผลการทดลอง โดยกล่าวถึงลักษณะของสัญญาณที่ได้จากจุดทดสอบต่างๆ ของชุดฝึก ซึ่งแบ่งชุดฝึกได้เป็น 2 ส่วน ส่วนแรกจะเป็นมอดูเลต และดีมอดูเลตของแบบ QPSK และอีกส่วนหนึ่งเป็นมอดูเลต และดีมอดูเลตแบบ BPSK รวมทั้งการนำสัญญาณที่ได้จากการมอดูเลต และดีมอดูเลตทั้ง 2 แบบนี้มาเปรียบเทียบกัน

บทที่ 5 บทสรุป ปัญหา แนวทางแก้ไข และพัฒนา ซึ่งจะเป็นการสรุปถึงผลการทำงาน, ข้อบกพร่องของชุดฝึกที่ได้จัดทำขึ้น, ข้อเสนอแนะแนวทางในการแก้ไข และแนวทางในการพัฒนาปรับปรุงชุดฝึกนี้ให้มีการใช้งานได้ดีขึ้นต่อไป

ในภาคผนวกแสดงรายละเอียดของชุดฝึก, วงจร และรายละเอียดของอุปกรณ์ที่ใช้จัดทำโครงการ ดังนี้

ภาคผนวก ก. รูปแบบชุดฝึกการสื่อสารข้อมูลระบบ QPSK

ภาคผนวก ข. วงจร และแผ่นวงจรพิมพ์

ภาคผนวก ค. รายละเอียดอุปกรณ์

ภาคผนวก ง. ใบงาน

บทที่ 2

ทฤษฎี และหลักการ

2.1 กล่าวนำ

การมอดูเลตแบบ Phase Shift Keying (PSK) เป็นการมอดูเลตสัญญาณดิจิทัล โดยเมื่อสัญญาณดิจิทัลเบสแบนด์ (baseband) มีการเปลี่ยนสถานะของลอจิก 1 หรือ 0 จะทำให้มีการเลื่อนเฟสของสัญญาณคลื่นพาหะไป N สถานะ ซึ่งวิธีการมอดูเลตที่นิยมใช้ คือ วิธีการมอดูเลตแบบเปลี่ยนแปลงทางมุม 4 มุม หรือ เรียกว่า Quadrature Phase Shift Keying (QPSK) ซึ่งในการมอดูเลตแบบนี้เกิดจากการรวมกันของสัญญาณ Binary Phase Shift Keying (BPSK) สองสัญญาณ เป็นผลให้เฟสของสัญญาณที่เอาท์พุทต่างกัน 4 เฟส ซึ่งแต่ละเฟสจะขึ้นอยู่กับการรหัสข้อมูลไบนารี 00, 01, 10 และ 11 มีค่าเฟส ดังนี้ คือ -135° , -45° , $+135^\circ$ และ $+45^\circ$ ตามลำดับ

คลื่นที่ถูกมอดูเลตทางเฟสสามารถรับการเปลี่ยนเฟสของคลื่นพาหะสัมพันธ์กับสัญญาณเบสแบนด์ และแสดงได้โดยสมการ

$$P(t) = \cos[\omega_c t + \theta + \{S(t) \cdot \Delta\phi / 2\}] \quad (2.1)$$

โดยที่ $\Delta\phi = 2\pi/n$ ซึ่งเป็นความต่างเฟสระหว่างสัญญาณข้างเคียง

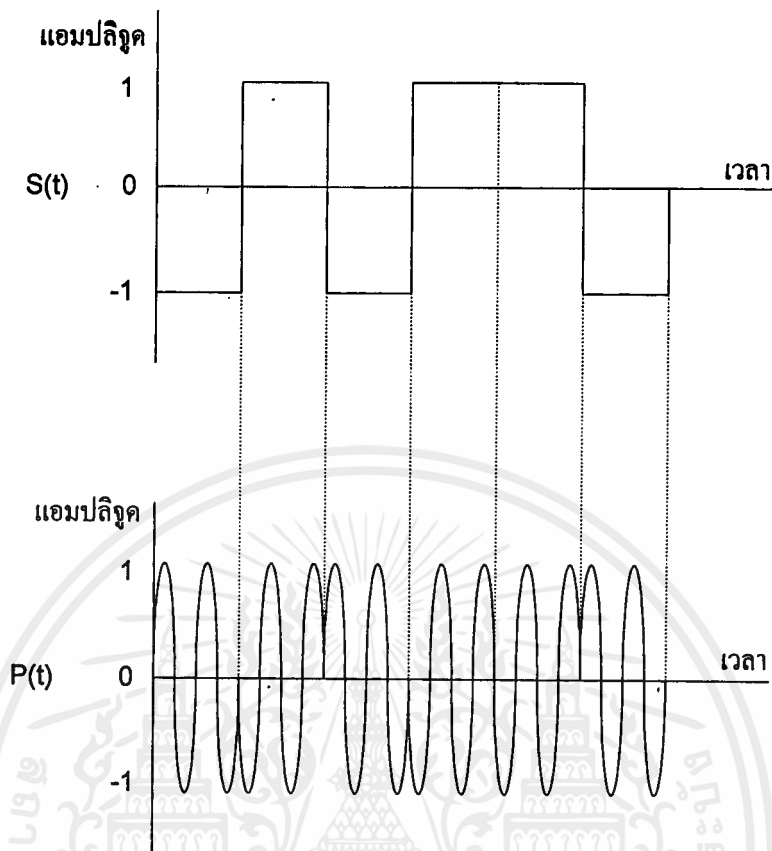
$S(t)$ คือ จำนวนระดับของสัญญาณเบสแบนด์

n คือ จำนวนเฟส

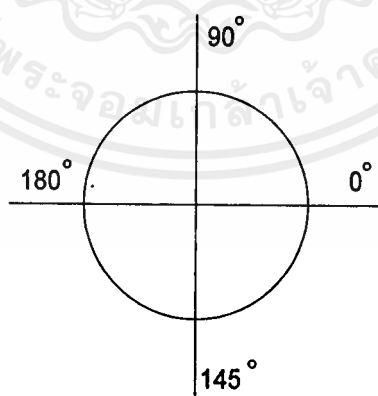
ถ้า $n = 2$ ดังนั้น $\Delta\phi = 2\pi/2 = \pi$ เรเดียน ดังนั้น คลื่นที่ถูกมอดูเลตจะเป็น

$$P(t) = \cos[\omega_c t + \theta + \{S(t) \cdot \Delta\phi / 2\}]$$

ถ้าสัญญาณเบสแบนด์ $S(t)$ เป็นแบบไบโพลาร์ NRZ ซึ่งมี 2 ค่า ดังแสดงในรูปที่ 2.1 โดยรูปคลื่นที่ถูกมอดูเลตในกรณีนี้แต่ละเฟสจะห่างกัน 180 องศา เรียกว่า BPSK หรือ Binary PSK



รูปที่ 2.1 BPSK



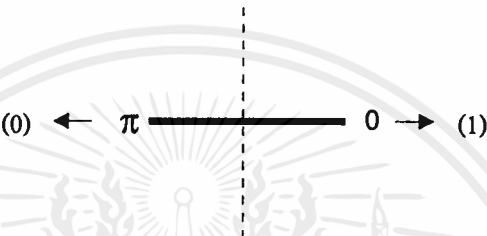
รูปที่ 2.2 แผนผังทางเฟสของ BPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 หลักการของมอดูเลต และคีมอดูเลตแบบ BPSK

โดยหลักการ เฟสเริ่มแรกของคลื่นพาหะจะมีจำนวนมาก จำนวนของเฟสเริ่มแรกที่ใช้ใน PSK สามารถที่จะเพิ่มขึ้นได้ ถ้าสามารถแยกแยะสัญญาณทางด้านรับออกได้อย่างถูกต้อง

เนื่องจากระบบดิจิทัลใช้รหัสไบนารี สัญญาณดิจิทัลสามารถที่จะส่งได้โดยใช้ 2 เฟส เริ่มแรก เรียกว่า BPSK เฟสเป็น 0 สำหรับรหัส 1 และเฟสเป็น π สำหรับรหัส 0



รูปที่ 2.3 BPSK

พิจารณาการส่งสัญญาณดิจิทัลพร้อมกัน 2 บิตในเวลาเดียวกัน ในกรณีนี้จะมีการรวมรหัส 4 ตัว ด้วยกัน คือ 00, 01, 10, และ 11 โดยให้รหัสที่รวมกันนี้มาเทียบกับเฟส 4 เฟส สัญญาณดิจิทัล 2 บิต จึงสามารถส่งพร้อมกันได้

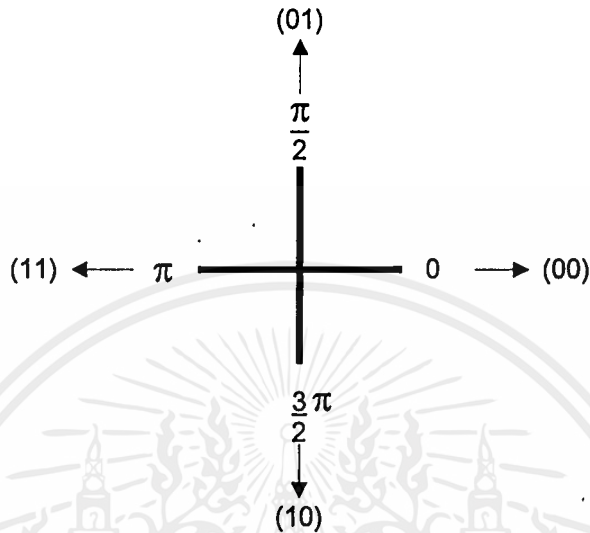
ตารางที่ 2.1 สัญญาณดิจิทัล 2 บิต ที่จะส่งพร้อมกัน

บิตที่ 1	0	0	1	1
บิตที่ 2	0	1	0	1

PSK ที่ใช้ 4 เฟสเริ่มแรกเรียกว่า ควอดเรเจอร์ PSK เฟส 0 สำหรับรหัส 00, เฟส $\pi/2$ สำหรับรหัส 01, เฟส π สำหรับรหัส 11 และเฟส $3\pi/2$ สำหรับรหัส 10

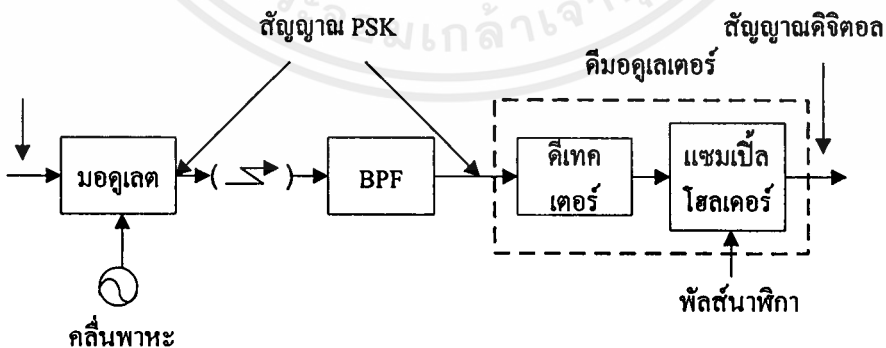
ข้อแตกต่างระหว่างการมอดูเลตแบบ BPSK และ QPSK นั้น ถ้าเปรียบเทียบในด้านของประสิทธิภาพในการส่งจำนวนบิต ของข้อมูลต่อ 1 สัญลักษณ์ (β) จะเห็นได้ชัด

สำหรับการส่งสัญญาณแบบ BPSK จะมีค่า $\beta = 1 \text{ bit/sec/Hz}$ และในระบบการส่งสัญญาณแบบ QPSK จะมีค่า $\beta = 2 \text{ bit/sec/Hz}$



รูปที่ 2.4 ควอเทรเจอร์ PSK (QPSK)

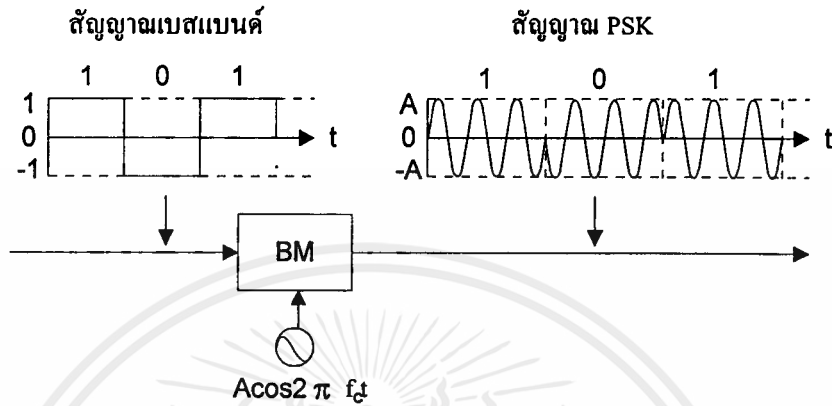
ทางด้านส่งมีภาคมอดูเลต ซึ่งทำหน้าที่เปลี่ยนสัญญาณดิจิทัลเป็นสัญญาณ PSK ทางด้านรับมีแบนด์พาสฟิลเตอร์ และดีมอดูเลตจะเปลี่ยนสัญญาณ PSK เป็นสัญญาณดิจิทัลที่อยู่ในรูปแบบเดิม ดีมอดูเลตประกอบด้วยดีเทคเตอร์ และ แซมเปิ้ล โฮลเดอร์ (Sample holder)



รูปที่ 2.5 การรับ - ส่งสัญญาณดิจิทัล

โดยทั่วไปแล้วการมอดูเลต PSK จะใช้บาลานซ์มอดูเลต (Balanced modulate) สมมุติว่าสัญญาณดิจิทัลเบสแบนด์อยู่ในรูปของสัญญาณคลื่นสี่เหลี่ยมมีแอมพลิจูดเท่ากับ 1 สำหรับรหัส 0 เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อคลื่นรูปสี่เหลี่ยมนี้ถูกผสมโดยคลื่นพาหะ $A \cos 2\pi f_c t$ ผ่านวงจรบาลานซ์มอดูเลต สัญญาณ PSK ที่ได้แสดงดังในรูปที่ 2.6



รูปที่ 2.6 การมอดูเลตสัญญาณดิจิทัล

สัญญาณ PSK สำหรับรหัส 1 จะเป็น $S(t) = 1 \times A \cos 2\pi f_c t$ ส่วนสัญญาณ PSK สำหรับรหัส 0 จะเป็น $S(t) = -1 \times A \cos 2\pi f_c t$ สามารถเขียน $-A \cos 2\pi f_c t = A \cos(2\pi f_c t + \pi)$

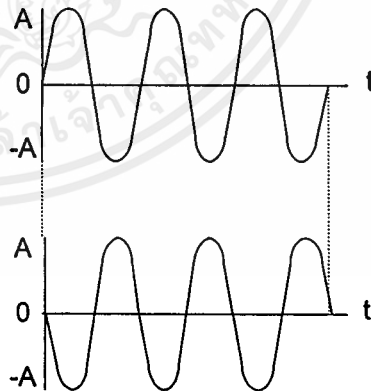
ตามหลักการแสดงว่ารหัส 0 เฟส ของคลื่นพาหะเปลี่ยนไปเท่ากับ π จะได้ในรูปที่ 2.7

กรณี 1

$$\begin{aligned} S(t) &= 1 \times A \cos 2\pi f_c t \\ &= A \cos 2\pi f_c t \end{aligned}$$

กรณี 0

$$\begin{aligned} S(t) &= 0.1 \times \cos 2\pi f_c t \\ &= -A \cos 2\pi f_c t \\ &= A \cos 2\pi f_c t + \pi \end{aligned}$$

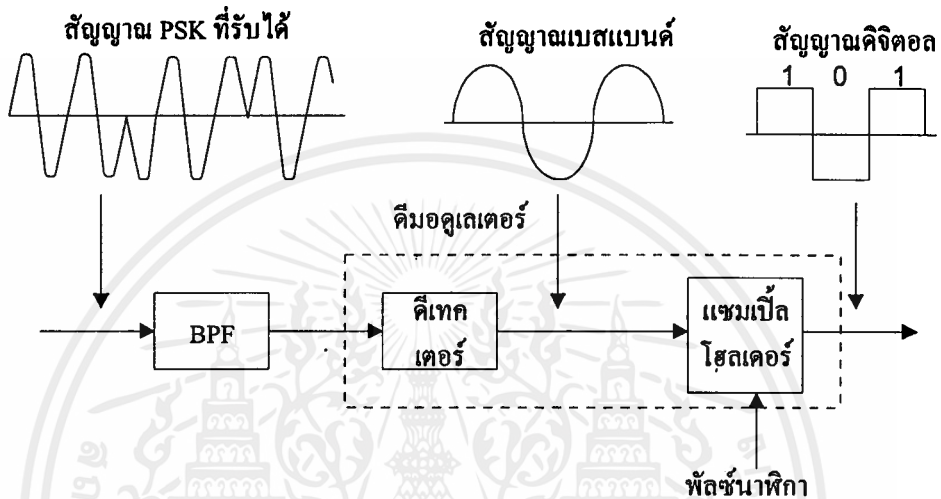


รูปที่ 2.7 การเปลี่ยนแปลงทางเฟสของคลื่นพาหะ

แบนด์พาสฟิลเตอร์ (Band pass filter) ทางด้านรับจะรับสัญญาณซึ่งมีเสียงรบกวนปนอยู่ด้วย จะถูกดีเทคออกมาที่คิมอดูเลต ดีเทคเตอร์จะเอาสัญญาณเบสแบนด์ออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยจะตัดส่วนประกอบพาหะซึ่งรวมอยู่ในสัญญาณ PSK ออกไป สัญญาณเบสแบนด์จะไม่เป็นรูปสี่เหลี่ยมที่สมบูรณ์นัก เนื่องจากการกำหนดแถบความกว้างโดยตัวกรองความถี่ และอิทธิพลของเสียงรบกวน ภาคแชนเนลเปิดโพลเดอร์จะสร้างสัญญาณดิจิทัลขึ้นใหม่ผ่านการพิจารณาข้อบกพร่องหรือข้อผิดพลาดของสัญญาณเบสแบนด์



รูปที่ 2.8 การสร้างสัญญาณขึ้นใหม่ทางด้านรับ

2.2.1 โคฮีเรนต์ดีเทกชัน (Coherent detection)

การคิมอดูเลตของสัญญาณ PSK ทางด้านรับเป็นแบบโคฮีเรนต์ดีเทกชัน ซึ่งมีหลักการดังนี้ สัญญาณ PSK ที่รับได้ ขั้นแรกจะผ่านวงจรมัลติพลายเออร์ (Multiplier) ซึ่งจะคูณสัญญาณ PSK ที่รับได้ด้วยคลื่นพาหะอ้างอิงสำหรับฮาร์โมนิก ซึ่งรวมอยู่ในสัญญาณเอาต์พุตจะถูกตัดออกไปโดยผ่านวงจรกรองความถี่ผ่าน และได้สัญญาณเบสแบนด์ออกมาทางด้านออก

สัญญาณ PSK ที่รับเข้ามา คือ $A \cos(2\pi f_c t + \phi)$ คลื่นพาหะอ้างอิงมีเพื่อการซิงโครไนซ์กับคลื่นพาหะทางด้านส่ง คือ $B \cos 2\pi f_c t$ สัญญาณทางออกหลังจากผ่าน LPF แล้วสามารถกำหนดได้เป็น $AB/2 \cos \phi$ ทั้งนี้เนื่องจาก

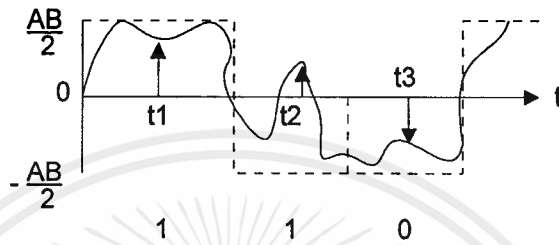
$$\begin{aligned} A \cos(2\pi f_c t + \phi) \cdot B \cos 2\pi f_c t &= AB/2 \{ \cos 2\pi f_c t + \phi \ 2\pi f_c t \\ &\quad + \cos(2\pi f_c t + \phi \ 2\pi f_c t) \} \\ &= AB/2 \{ \cos(4\pi f_c t + \phi) + \cos \phi \} \end{aligned} \quad (2.2)$$



สัญญาเช่าที่รูปที่ 2.10 ในทางปฏิบัติแล้วจะไม่เป็นรูปสี่เหลี่ยมโดยสมบูรณ์ได้ ทั้งนี้เนื่องจากอิทธิพลของการจำกัดทางแบนด์ และเสียงรบกวน

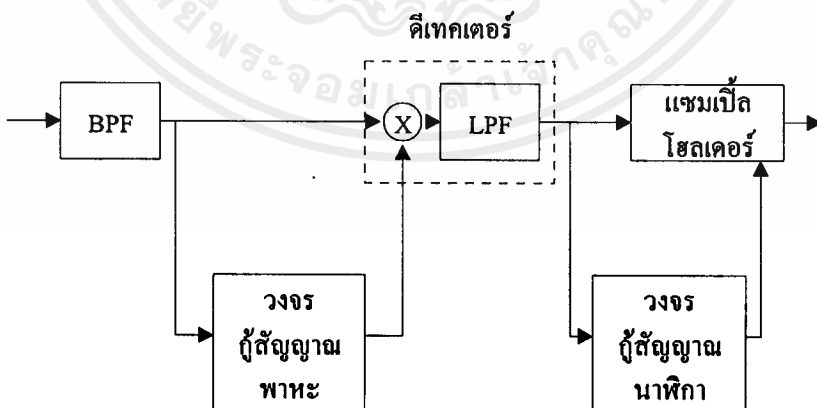
รูปที่ 2.10 การพิจารณาหัตเป็น 1 หรือ 0 โดยแซมเปิ้ลโวลเตอร์

เมื่อสัญญาณมีการผิดเพี้ยนเนื่องจากอิทธิพลของเสียงรบกวน ถ้ามีการผิดเพี้ยนน้อย ขั้วของสัญญาณก็ไม่เปลี่ยนแปลง เช่น ที่ t_1 และ t_3 รหัสที่ได้ออกมาก็ถูกต้อง แต่ถ้าพิจารณาที่ t_2 ขั้วของสัญญาณถูกเปลี่ยนไปในทางตรงข้าม เนื่องจากเกิดการผิดเพี้ยนมาก รหัสที่ได้มาจะผิดเพี้ยนไปจากรหัสเดิมการผิดพลาดทางบิตจะเกิดขึ้น



รูปที่ 2.11 รหัสผิดเพี้ยนเนื่องจากเสียงรบกวน

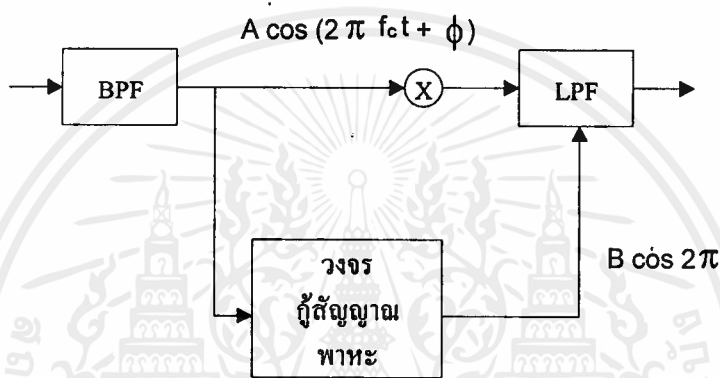
รูปที่ 2.12 แผนผังการทำงานของโคฮีเรนต์ดีมอดูเลตมี BPF, ดีเทคเตอร์, แชนเนลไฮสโตแกรม, วงจรกู้พาหะ และวงจรกู้สัญญาณนาฬิกา โดยจะสร้างคลื่นพาหะอ้างอิงขึ้นมาใหม่ โดยการทวีคูณสัญญาณ PSK ที่รับมาได้ ส่วนวงจรกู้สัญญาณนาฬิกาจะสร้างสัญญาณนาฬิกาขึ้นมาใหม่ เพื่อใช้สำหรับแชนเนลไฮสโตแกรมในวิธีการโคฮีเรนต์ดีเทคชันนี้ ทั้งคลื่นพาหะอ้างอิง และสัญญาณนาฬิกาจะถูกสร้างขึ้นมาใหม่จากสัญญาณ PSK ที่รับเข้ามา



รูปที่ 2.12 แผนผังการทำงานของโคฮีเรนต์ดีมอดูเลต

คลื่นพาหะที่ใช้ในโคฮีเรนต์ดีเทกเตอร์นี้ เพื่อการซิงโครไนซ์กับคลื่นพาหะทางด้านส่ง เพื่อจุดประสงค์นี้ คลื่นพาหะอ้างอิงถูกสร้างขึ้นใหม่จากสัญญาณ PSK ที่รับเข้ามา โดยสัญญาณอินพุต ที่ผ่านเข้าวงจรกู้สัญญาณคลื่นพาหะ สามารถกำหนดโดย $A \cos(2\pi f_c t + \phi)$ สัญญาณเอาต์พุต คือ คลื่นพาหะอ้างอิงกำหนดโดย $B \cos 2\pi f_c t$

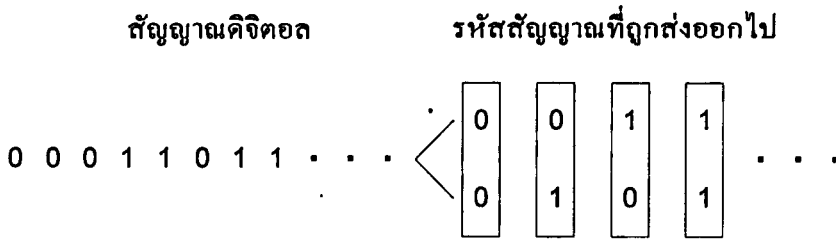
วงจรกู้สัญญาณคลื่นพาหะประกอบด้วยวงจรกำเนิดรูปสี่เหลี่ยม, วงจรกรองความถี่ย่าน ความถี่ โดยมีความถี่กึ่งกลางที่ $2f_{c2}$, วงจรหารความถี่ $1/2$ และ วงจรเฟสล็อกถูปล



รูปที่ 2.13 หลักการของวงจรกู้สัญญาณพาหะ

2.3 Quadrature PSK

ในวิธีการ QPSK สัญญาณ 2 บิต จะถูกส่งไปพร้อมๆ กัน โดยลำดับสัญญาณดิจิทัลที่จะส่ง ถูกแบ่งเป็นชุดละ 2 บิต และแต่ละรหัสชุดประกอบด้วย 2 บิต ถูกส่งไปพร้อมๆ กัน ในกรณีนี้มีการรวมรหัส 4 คู่ด้วยกัน คือ 00, 01, 10 และ 11 คู่ของรหัสทั้ง 4 คู่นี้จะเทียบกับเฟสแรกในรหัสเกรย์ (Gray code) ซึ่งใช้ใน QPSK เฟส 0 แทนรหัส 00, เฟส $\pi/2$ แทนรหัส 01, เฟส π แทนรหัส 11 และ เฟส $3\pi/2$ แทนรหัส 10 จะเห็นว่าถ้าเปรียบเทียบรหัสระหว่างสองเฟสข้างเคียง หนึ่งในสองบิต จะเหมือนกันในทุกๆ กรณี ดังนั้น โดยการใช้รหัสเกรย์จะมีเพียงบิตเดียวที่เกิดผิดพลาด แม้ว่าสัญญาณที่รับได้ถูกคิโมดูเลตผิดไปเป็นเฟสข้างเคียง สมมุติว่าจำนวนบิตที่จะต้องส่งในหนึ่งหน่วยเวลา คือ อัตราบิตมีค่าเท่ากันทั้งในกรณีของ BPSK และ QPSK สำหรับ QPSK บิตจะถูกส่ง 2 บิต ในแต่ละครั้ง ดังนั้น ความถี่ของการเปลี่ยนเฟสของคลื่นพาหะจะขึ้นอยู่กับรหัส นั่นคือ ความเร็วในการเปลี่ยนระดับจะเป็นครึ่งหนึ่งเมื่อเทียบกับ BPSK เมื่อช่วงระยะเวลาของบิตแต่ละตัวเป็น T ความเร็วในการเปลี่ยนระดับจะมีค่าเท่ากับ $1/T$



รูปที่ 2.14 รหัส 4 บิต ของสัญญาณ QPSK

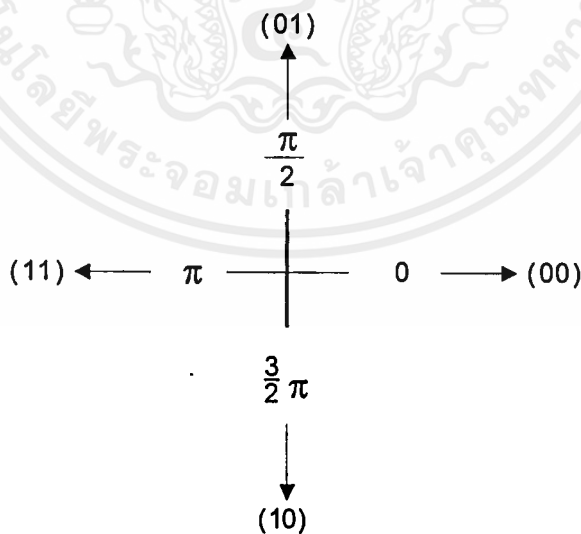
ดังนั้น สัญญาณกำหนดได้ดังนี้

$$S(t) = A \cos 2\pi f_c t \quad \text{สำหรับรหัส 00}$$

$$\begin{aligned} S(t) &= A \cos(2\pi f_c t + \pi/2) \\ &= +A \sin 2\pi f_c t \quad \text{สำหรับรหัส 01} \end{aligned}$$

$$\begin{aligned} S(t) &= A \cos(2\pi f_c t + \pi) \\ &= -A \cos 2\pi f_c t \quad \text{สำหรับรหัส 11} \end{aligned}$$

$$\begin{aligned} S(t) &= A \cos(2\pi f_c t + 3/2\pi) \\ &= -A \sin 2\pi f_c t \quad \text{สำหรับรหัส 10} \end{aligned}$$



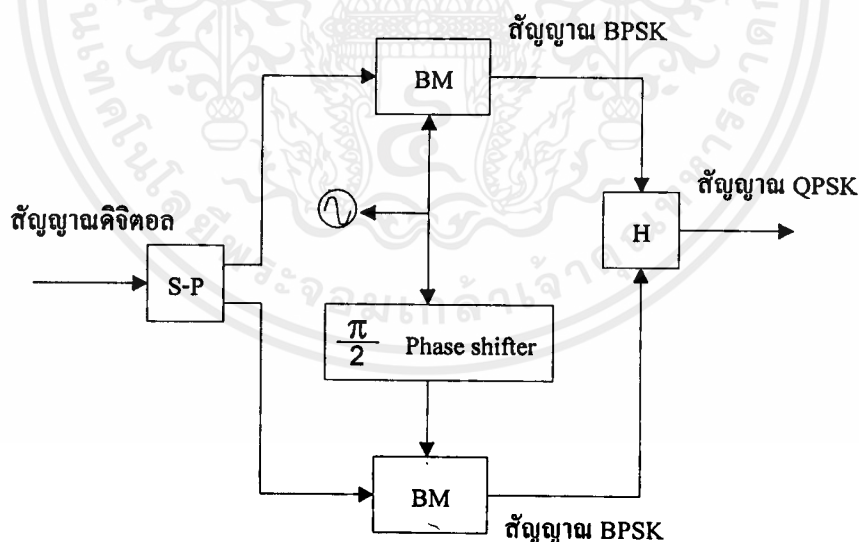
รูปที่ 2.15 รหัสเกรย์ที่ใช้ใน QPSK

รูปที่ 2.16 เป็นตัวอย่างวงจรมอดูเลต QPSK วงจรนี้สร้างสัญญาณรหัสเกรย์ขึ้นมาจากประกอบด้วยวงจรมอดูเลต 2 BPSK คู่กัน สัญญาณดิจิทัลที่จะส่งถูกแยกออกทางช่องสัญญาณ I และช่องสัญญาณ Q โดยตัวเปลี่ยนอนุกรมเป็นขนาน (S-P converter) แต่ละด้านเป็นการมอดูเลตแบบ BPSK โดยบาลานซ์มอดูเลต คลื่นพาหะที่ใช้ในการมอดูเลตของช่องสัญญาณ I จะใช้จากเอาต์พุตของออสซิลเลเตอร์โดยตรง ส่วนคลื่นพาหะที่ใช้สำหรับช่องสัญญาณ Q เฟสจะถูกเลื่อนไป $\pi/2$ หลังจากผ่าน $\pi/2$ เลื่อนเฟส ดังในรูปที่ 2.17

สัญญาณมอดูเลต BPSK ทั้งสองนี้ได้รับโดยการใช้คลื่นพาหะที่ต่างเฟสกัน $\pi/2$ และ ถูกรวมกัน โดยวงจรไฮบริดจ์ (Hybrid) จะได้สัญญาณ QPSK ออกมา

เมื่อพิจารณาความสัมพันธ์ระหว่างคลื่นพาหะที่ใช้ในช่องสัญญาณ I และ Q สัญญาณ BPSK สำหรับรหัส 0 และ 1 โดยใช้แผนผังทางเวกเตอร์ ถ้าเฟสเริ่มแรกสัญญาณเอาต์พุตจากออสซิลเลเตอร์กำหนดเป็นตัวอย่างอ้างอิง คลื่นพาหะที่ใช้ในช่องสัญญาณ I จะอยู่ในเฟสเดียวกันกับสัญญาณอ้างอิง

ส่วนคลื่นพาหะของช่องสัญญาณ Q ได้จากการเลื่อนเฟส $\pi/2$ จากสัญญาณเอาต์พุต ของออสซิลเลเตอร์ สัญญาณที่มอดูเลตแบบ BPSK ในช่องสัญญาณ I และ Q จะอยู่ในเฟสเดียวกันกับคลื่นพาหะ สำหรับรหัส 1 แต่จะต่างเฟสกับคลื่นพาหะเท่ากับ π สำหรับรหัส 0



รูปที่ 2.16 วงจรมอดูเลต QPSK

โดยการรวมสัญญาณ BPSK ที่ได้รับการมอดูเลตในช่องสัญญาณ I และในช่องสัญญาณ Q จะได้สัญญาณ QPSK เมื่อรหัสในช่องสัญญาณ I เป็น 1 และรหัสในช่องสัญญาณ Q เป็น 0 เวกเตอร์ผลลัพธ์จะแสดงดังในรูปที่ 2.18

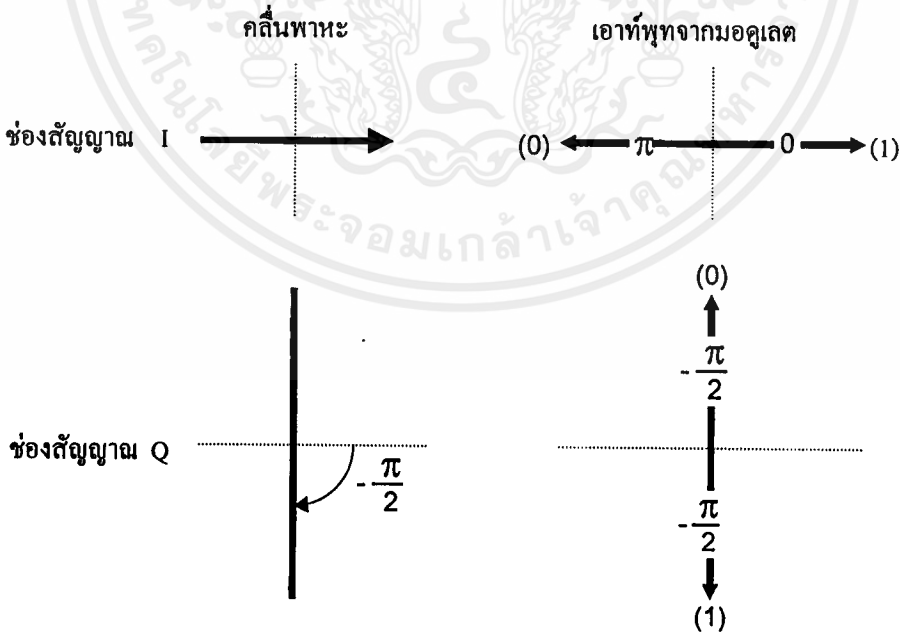
เวกเตอร์ผลลัพธ์นี้จะแสดงสัญญาณ QPSK สำหรับ 10 ซึ่งสัญญาณ QPSK นี้จะต่างเฟส $\pi/4$ กับคลื่นพาหะช่องสัญญาณ I ของสัญญาณ QPSK สำหรับรหัส 00, จะต่างเฟสเท่ากับ $3\pi/4$ สัญญาณสำหรับรหัส 01, จะต่างเฟส $5\pi/4$

สัญญาณสำหรับรหัส 11 จะต่างเฟส $7\pi/4$ กับคลื่นพาหะของช่องสัญญาณ I รหัสสัญญาณของคลื่นเหล่านี้จะเรียกว่า รหัสเกรย์

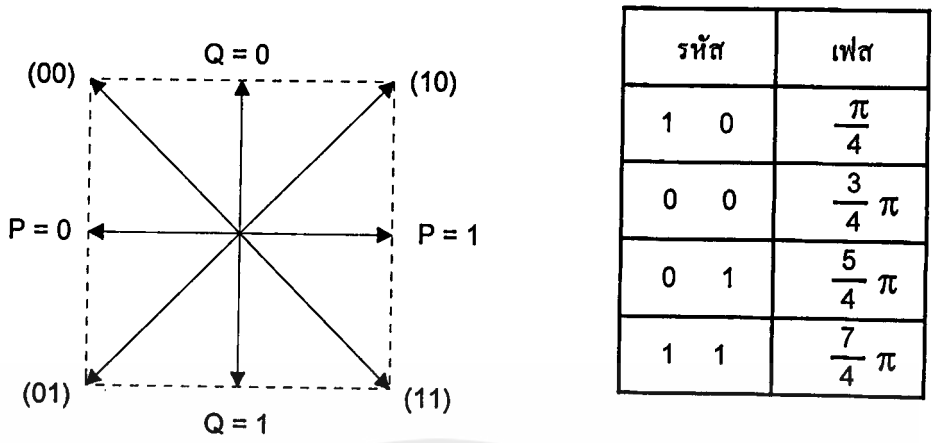
ในระบบ QPSK เฟสของคลื่นพาหะที่ถูกทำให้ต่างกัน 4 เฟส นี้ สามารถแยกออกเป็นสองส่วน ส่วนแรก คือ BPSK ที่มีเฟสเดียวกันกับคลื่นพาหะ และส่วนที่สองจะมีเฟสต่างกันกับคลื่นพาหะ เรียกว่า ช่องสัญญาณ I และช่องสัญญาณ Q

โดยที่ QPSK จะมีอัตราผิดพลาดของบิตสูงกว่า BPSK ซึ่งมีอัตราบิต, แถบความถี่ และอัตราส่วนของสัญญาณคลื่นพาหะต่อสัญญาณรบกวนเท่ากัน แต่ QPSK ส่งข้อมูลในรูปบิตได้เป็น 2 เท่า ของ BPSK

ดังนั้น QPSK จึงมีความจุในการส่งข่าวสารเป็น 2 เท่า ของ BPSK

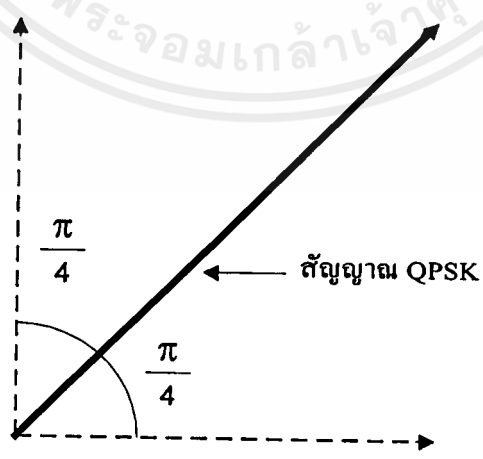


รูปที่ 2.17 เปรียบเทียบเฟสของสัญญาณในช่องสัญญาณ I และ Q



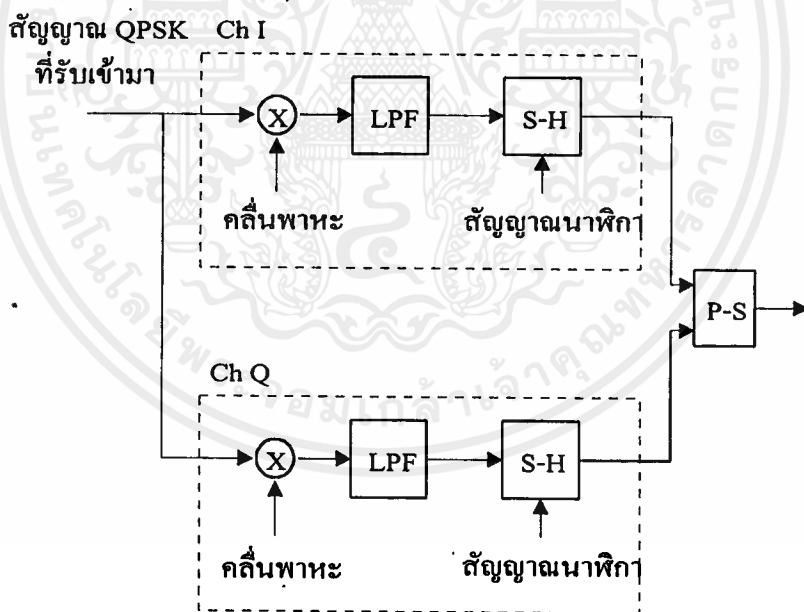
รูปที่ 2.18 เวกเตอร์ผลลัพธ์ของสัญญาณ QPSK

เมื่อเปรียบเทียบรหัสของ 2 เฟสที่อยู่ใกล้เคียงกัน จะเห็นว่าหนึ่งในสองบิตเหมือนกัน ตอนนี้พิจารณาหลักการของการคิโมดูเลตสัญญาณ QPSK โดยโคฮีเรนซ์เทคเตอร์ ซึ่งเวกเตอร์ที่แสดงโดยเส้นทึบเป็นสัญญาณ QPSK ที่รับได้ ซึ่งสัญญาณ QPSK นี้ สามารถพิจารณาได้ว่าเป็นสัญญาณผลลัพธ์ที่ได้โดยการรวมสัญญาณ BPSK ที่ตั้งฉากกันคู่หนึ่ง ซึ่งแสดงโดยเส้นประ คือ เมื่อได้ทำการคิโมดูเลตสัญญาณ QPSK นั่นคือ การคิโมดูเลตสัญญาณ BPSK สองสัญญาณดังกล่าวข้างต้น ดังนั้น สัญญาณ QPSK ที่ได้รับ คือ การคิโมดูเลตแบบโคฮีเรนซ์โดยการนำสัญญาณอ้างอิงที่ตั้งฉากกันคู่หนึ่ง ซึ่งทำได้โดยการเลื่อนเฟสของสัญญาณที่รับเท่ากับ $\pi/4$ นั่นคือ สัญญาณ BPSK ที่ตั้งฉากกันแต่ละสัญญาณถูกการคิโมดูเลตแบบโคฮีเรนซ์แยกกัน



รูปที่ 2.19 สัญญาณ QPSK ถูกเลื่อนเฟส $\pi/4$

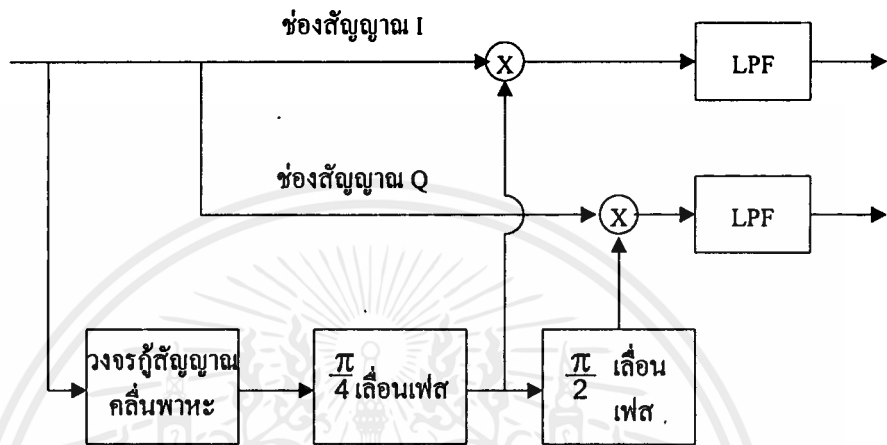
รูปต่อไปนี้เป็นวงจรคิมอดูเลตสำหรับสัญญาณ QPSK โดยการคิเทคแบบโคฮีเรนซ์ ซึ่งวงจรประกอบด้วยวงจรคิมอดูเลตแบบโคฮีเรนซ์คู่หนึ่งสำหรับสัญญาณ BPSK ที่ตั้งฉากกัน สัญญาณ QPSK ที่รับได้ถูกแบ่งออกเป็นขบวนสัญญาณ 2 ขบวน ซึ่งถูกคิเทคแบบโคฮีเรนซ์แยกกัน คู่ของคลื่นพาหะอ้างอิงที่ตั้งฉากกันถูกป้อนเข้ามัลติโพรเอร์ของช่องสัญญาณ I และสัญญาณ Q แต่ละช่องสัญญาณ ซึ่งเอาต์พุตจะผ่านเข้าวงจรกรองความถี่ต่ำผ่าน เพื่อตัดสัญญาณฮาร์โมนิกสูงๆ ออก หลังจากนั้นผ่านไปยังวงจรแซมเปิลโฮลเดอร์พร้อมด้วย สัญญาณพัลส์นาฬิกา ดังนั้น สัญญาณจะถูกคิมอดูเลตแยกกันในช่องสัญญาณ I และ Q สัญญาณที่ขนานกันนี้ถูกรวมเข้าด้วยกันที่ P-S converter เพื่อจัดรูปแบบเรียงเป็นสัญญาณอนุกรมตามเดิม และรวมถึงการคิเทคสัญญาณ QPSK แบบโคฮีเรนซ์ จำเป็นที่จะต้องเลื่อนเฟสของคลื่นพาหะอ้างอิงทั้งคู่ไป $\pi/4$ เมื่อเทียบกับเฟสของสัญญาณที่รับได้ เพื่อจุดประสงค์นี้ จึงต้องใช้วงจรกึ่งสัญญาณ, วงจรเลื่อนเฟส $\pi/4$ และวงจรเลื่อนเฟส $\pi/2$ ในวงจรเลื่อนเฟสของช่องสัญญาณ I คลื่นพาหะอ้างอิงได้จากการเลื่อนเฟสของสัญญาณ ซึ่งเป็นเอาต์พุตของวงจรกึ่งสัญญาณพาหะ แล้วเลื่อนเฟสไป



รูปที่ 2.20 วงจรคิมอดูเลตสัญญาณ QPSK

โดยใช้การเลื่อนเฟส $\pi/4$ ส่วนวงจรมัลติโพรเอร์ของช่องสัญญาณ Q คลื่นพาหะอ้างอิงได้จากให้เอาต์พุตของวงจรเลื่อนเฟส $\pi/4$ ผ่านวงจรเลื่อนเฟส $\pi/2$ อีกครั้งหนึ่ง

คลื่นพาหะอ้างอิงนี้ตั้งฉากกับคลื่นพาหะอ้างอิงในช่องสัญญาณ I โดยการผ่านดีเทคแบบ โคฮีเรนซ์ สัญญาณ QPSK ซึ่งใช้คลื่นพาหะอ้างอิงคู่หนึ่งนี้ จะได้สัญญาณ BPSK 2 สัญญาณ ดังในรูป ที่ 2.21



รูปที่ 2.21 การดีเทคสัญญาณ QPSK ออกมาเป็น BPSK 2 สัญญาณ

หลักการพื้นฐานของวงจรกู้สัญญาณคลื่นพาหะจากสัญญาณ QPSK เหมือนกับกรณีของ สัญญาณ BPSK เฟสของคลื่นพาหะอ้างอิงที่ได้กลับคืนมาจะตรงกันกับเฟสของคลื่นที่คลื่นพาหะ อ้างอิงที่แท้จริง โดยลักษณะนี้ปัญหาของความผิดพลาดทางเฟสแบบ $\pi/2$ เกิดขึ้นใน QPSK ซึ่งปัญหา สามารถแก้ไขได้โดยใช้เทคนิคความแตกต่างในการเข้ารหัส หรือ โดยใช้ยูนิกเวิร์ด (Unique word) เข้าช่วยเหมือนในกรณีของ BPSK

2.4 หลักการทำงานของชุดส่ง-รับข้อมูลแบบ QPSK

2.4.1 การมอดูเลตดิจิตอลแบบควอดเรเจอร์

การมอดูเลตสัญญาณทางเฟสแบบควอดเรเจอร์ เป็นอีกรูปแบบหนึ่งของการมอดูเลตทางมุม (Angle modulation) หรือการมอดูเลตที่มีการเปลี่ยนแปลงทางมุม ส่วน QPSK เป็นเทคนิคของการ เปลี่ยนแปลงสัญญาณ (Encode) แบบ M-array ที่มี $M = 4$ ความหมายของคำว่า Quaternary คือ 4 นั่นเอง ซึ่งเอาท์พุททั้ง 4 เฟส ของ QPSK ที่ออกมานั้นจะมีความถี่เพียงความถี่เดียวเท่านั้น และเนื่องจาก มีการเปลี่ยนแปลงของเฟสที่แตกต่างกันออกมาถึง 4 เฟส

ดังนั้น จึงต้องมีเงื่อนไขของอินพุตที่จะนำไปมอดูเลตกับความถี่คลื่นพาหะอยู่ 4 เงื่อนไขด้วยกัน แต่สัญญาณที่นำมาเป็นอินพุต เพื่อทำการ มอดูเลตแบบ QPSK นั้น เป็นสัญญาณแบบไบนารี เพื่อให้มีเงื่อนไขที่แตกต่างกัน 4 เงื่อนไข

จะมีการจัดสัญญาณไบนารีใหม่ โดยให้แบ่งออกเป็น 4 กลุ่ม คือ 00, 01, 10 และ 11 เห็นได้ว่า แต่ละกลุ่มประกอบด้วยสัญญาณไบนารีอยู่ 2 บิต ซึ่งเรียกกลุ่มของสัญญาณไบนารีแบบ 2 บิต หรือ บิตคู่นี้ว่า Dibit แต่ละบิตคู่เมื่อนำไปทำการมอดูเลต จะให้ความแตกต่างออกมา 4 เฟส

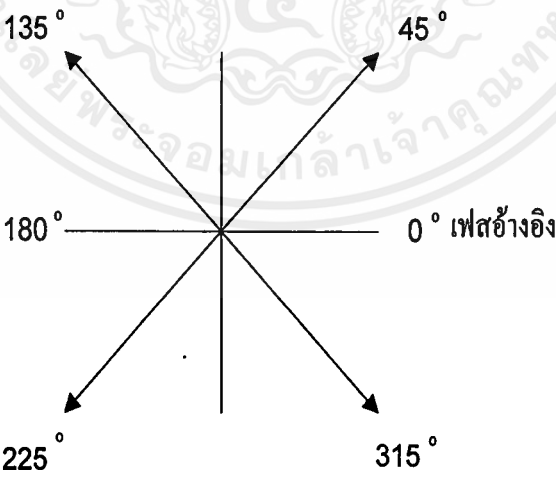
2.4.2 หลักการของการมอดูเลตดิจิตอลทางเฟสแบบควอดเรเจอร์

ในควอดเรเจอร์เฟสซีฟทีคียิ่งจะมีการจัดเรียงบิตออกเป็นรหัส 2 บิต หรือรหัสบิตคู่นี้ จะใช้คลื่นพาหะไซน์เวฟที่ด้านเอทพุทของตัวส่งระหว่าง 1 ใน 4 เฟส ซึ่งจะมีเฟสแตกต่างกัน 90 องศา โดยไล่หลังกันตามลำดับดังนี้ 45 องศา, 135 องศา และ 315 องศา

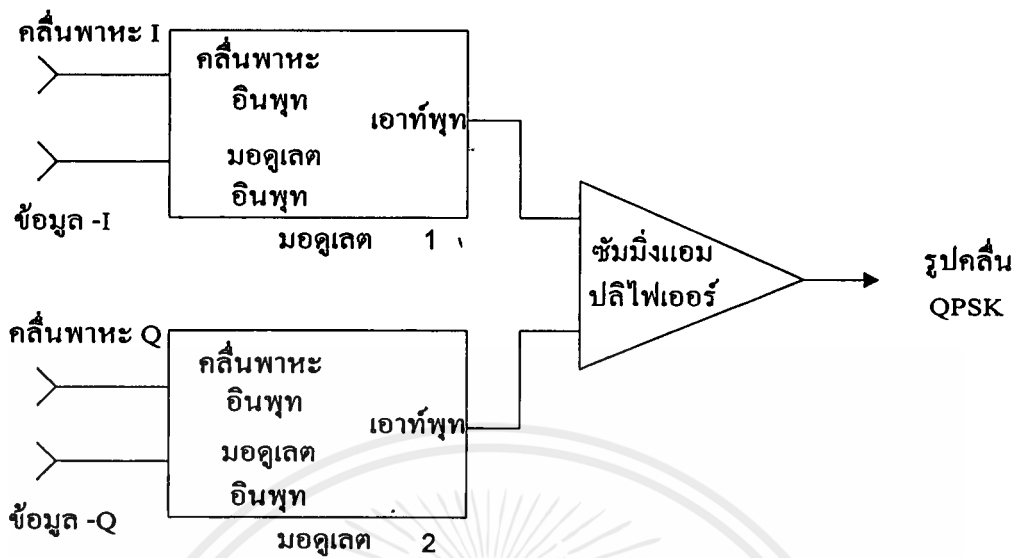
ข้อได้เปรียบของ QPSK ที่เหนือกว่า PSK ก็คือ แต่ละเฟสจะแสดงด้วยรหัสบิตคู่ ซึ่งค่อนข้างจะมากกว่าข้อมูลบิตเดียวกันหมายถึง

- 1. สามารถส่ง ได้ถึง 2 ครั้ง ด้วยตัวเลขที่เหมือนกันของเฟสที่เปลี่ยนต่อวินาที
- 2. เหมือนกับจำนวนของข้อมูลที่จะส่งด้วยเฟสที่เปลี่ยนแปลงครึ่งหนึ่งต่อวินาที

ความสัมพันธ์ของเฟสเมื่อยังไม่มีการผสมคลื่นพาหะดังแสดงในรูปที่ 2.23



รูปที่ 2.22 แผนผังทางเฟสเซอร์ของข้อมูล เมื่อยังไม่มีการผสมกับคลื่นพาหะ



รูปที่ 2.23 หน้าที่การทำงานของเครื่องกำเนิดสัญญาณ QPSK

เมื่อสัญญาณคลื่นพาหะทั้งสองมีความถี่เดียวกัน แต่ต่างเฟสกัน 90 องศา สัญญาณคลื่นพาหะที่ 0 องศา หรืออินเฟส (Inphase) มีชื่อว่า I ขณะที่สัญญาณคลื่นพาหะที่ล่าหลัง 90 องศา มีชื่อว่า Q

การมอดูเลตของเฟสรีฟท์ก็ขึ้นอยู่กับลำดับของคลื่นพาหะที่อินพุต

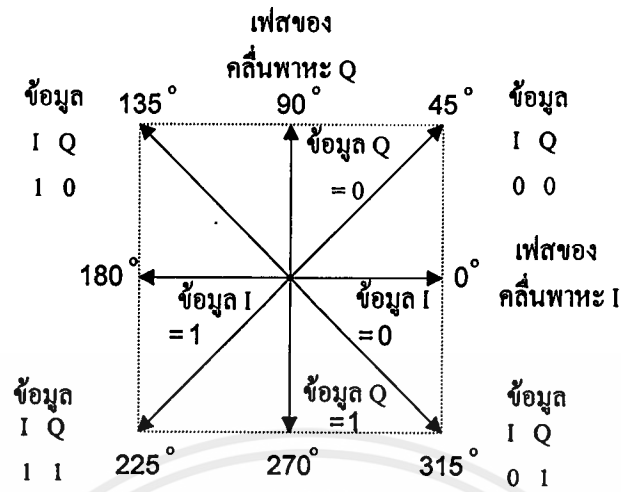
1. เอาต์พุตจากมอดูเลต 1 เป็นสัญญาณ PSK ที่เฟส 0 องศา และ 180 องศา ตามลำดับความสัมพันธ์ของพาหะ I

2. เอาต์พุตจากมอดูเลต 2 เป็นสัญญาณ PSK ที่เฟส 90 องศา และ 270 องศา ตามลำดับความสัมพันธ์ของพาหะ Q

เอาต์พุตของ PSK มอดูเลตทั้งสองจะถูกรวมกันด้วยภาคซัมมิงแอมพลิไฟเออร์ในเวลาเดียวกันจะแตกต่างกัน 90 องศา ของสัญญาณเอาต์พุตจะเท่ากันมีค่า $1.414 (\pi/2)$ เสมอทุกครั้งของขนาดสัญญาณอินพุต

เฟสของสัญญาณที่เอาต์พุตของภาคซัมมิงแอมพลิไฟเออร์มีความสัมพันธ์กับพาหะ I ในเวลาเดียวกันจะวางอยู่บนค่า 45 องศา, 225 องศา และ 315 องศา จะเกิดเป็น 4 เฟส โดยการรวมกันของเวกเตอร์ที่เอาต์พุตของ PSK ทั้งสองแสดงดังรูปที่ 2.25

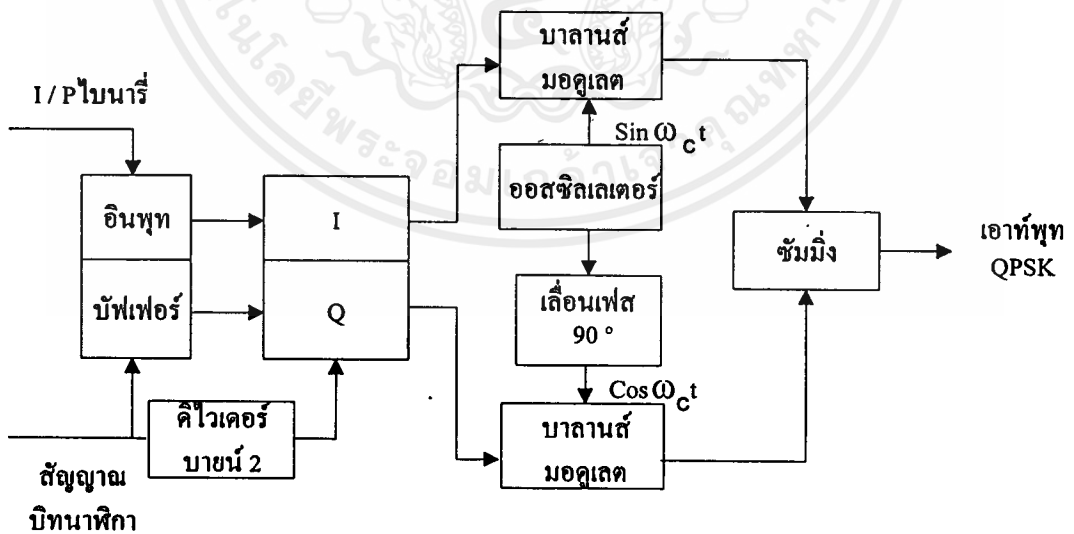
การรวมกันของสัญญาณที่เอาต์พุตของภาคซัมมิงแอมพลิไฟเออร์ คือ สัญญาณเอาต์พุต QPSK ตัวส่งนั่นเอง ซึ่งอยู่ในรูป 1 ใน 4 เฟส เป็นผลจากรหัสบิตคู่ที่ป้อนเข้าทางอินพุตของมอดูเลต



รูปที่ 2.24 การรวมกันของเวกเตอร์ PSK ทั้ง 2 เาท์พุท

เมื่อเปลี่ยนรหัสบิตคู่เฟสที่เอาท์พุทของ QPSK จะเปลี่ยนเป็น 0 องศา, 90 องศา, 180 องศา และ 270 องศา ที่ตัวรับจะทำการตีמודูเลตสัญญาณ QPSK

2.5 QPSK มอดูเลต



รูปที่ 2.25 ภาคมอดูเลตของ QPSK

จากรูปที่ 2.25 เป็นแผนผังการทำงานของภาคส่งการมอดูเลตแบบ QPSK กลุ่มของไบนารี ถูกแยกด้วยตัวสปลิตเตอร์ กล่าวได้ว่าอินพุตที่เข้าจะเป็นแบบอนุกรม และถูกส่งออกแบบขนาน 1 บิต จะถูกส่งเข้าไปด้าน I (ช่องอินเฟส) โดยเรียกว่า ช่อง I เพื่อนำไปมอดูเลตกับสัญญาณพาหะที่มาจาก ภาคขยายสัญญาณของคลื่นพาหะ ส่วนอีกหนึ่งบิตจะถูกส่งเข้าไปทางด้าน Q (ช่องควอเดรเจอร์) หรือ เรียกส่วนนี้ว่าช่อง Q ก่อนที่จะนำไปมอดูเลตกับความถี่พาหะที่ต่างเฟสกับสัญญาณพาหะทางด้าน I อยู่ 90 องศา เห็นได้ว่ากลุ่มของสัญญาณไบนารีด้านรับจะถูกแยกออกเป็นด้าน I และ Q ในแต่ละ ด้านจะอธิบายการทำงานของ BPSK ซึ่งระบบ QPSK คือ ระบบ BPSK ที่นำมาขนานกันนั่นเอง

จากบิตไบนารีอินพุตที่เป็น 0 แทนด้วย +1 โวลต์ และบิตที่เป็น 1 แทนด้วย -1 โวลต์ จากค่า ของบิตที่นำมามอดูเลตทางด้าน I ทำให้เกิดเฟส 2 เฟส คือ $+\sin\omega_c t$ และ $-\sin\omega_c t$ ทำนองเดียวกัน กับทางด้าน Q เมื่อได้นำมาทำการมอดูเลตแล้วนั้น จะทำให้เกิดค่าเฟส 2 เฟส คือ $+\cos\omega_c t$ และ $-\cos\omega_c t$

จากกลุ่มของบิตดังกล่าวดังกล่าวจะได้ผลของเฟสออกมา 4 กลุ่ม คือ

1. $+\sin\omega_c t - \cos\omega_c t$ แทน 00
2. $+\sin\omega_c t + \cos\omega_c t$ แทน 01
3. $-\sin\omega_c t + \cos\omega_c t$ แทน 11
4. $-\sin\omega_c t - \cos\omega_c t$ แทน 10

และเมื่อพิจารณาการเปลี่ยนแปลงของมุมในแต่ละกลุ่มของเฟสจะได้ว่า ถ้าให้ $Q = 0$ และ $I = 0$ ดังนั้น จะได้

$$I \text{ Balanced Mod.} = +1 \sin\omega_c t = +\sin\omega_c t$$

$$Q \text{ Balanced Mod.} = +1 \cos\omega_c t = +\cos\omega_c t$$

เมื่อผ่านวงจรรวมสัญญาณ (summing) จะได้เอาท์พุท ดังนี้

$$+\cos\omega_c t + \sin\omega_c t = 1.414 \sin\omega_c t = 45^\circ$$

ถ้า $Q = 0$ และ $I = 1$

$$I \text{ Balanced Mod} = -1 \sin\omega_c t = -\sin\omega_c t$$

$$Q \text{ Balanced Mod} = +1 \cos\omega_c t = +\cos\omega_c t$$

เมื่อผ่านวงจรรวมสัญญาณ (summing) จะได้เอาท์พุท ดังนี้

$$+\cos\omega_c t - \sin\omega_c t = 1.414 \sin\omega_c t + 135^\circ$$

ถ้า $Q = 1$ และ $I = 0$

$$I \text{ Balanced Mod} = +1 \sin\omega_c t = +\sin\omega_c t$$

$$Q \text{ Balanced Mod} = -1 \cos\omega_c t = -\cos\omega_c t$$

เมื่อผ่านวงจรรวมสัญญาณ (summing) จะได้เอาต์พุต ดังนี้

$$- \cos(\omega_c t) + \sin(\omega_c t) = 1.414 \sin(\omega_c t) = +315^\circ$$

ถ้า $Q = 1$ และ $I = 1$

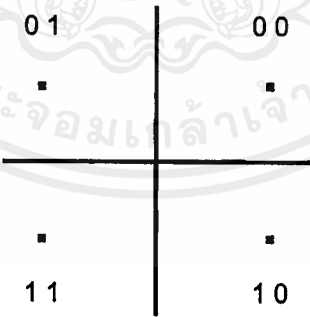
$$I \text{ Balanced Mod} = -1 \sin(\omega_c t) = -\sin(\omega_c t)$$

$$Q \text{ Balanced Mod} = -1 \cos(\omega_c t) = -\cos(\omega_c t)$$

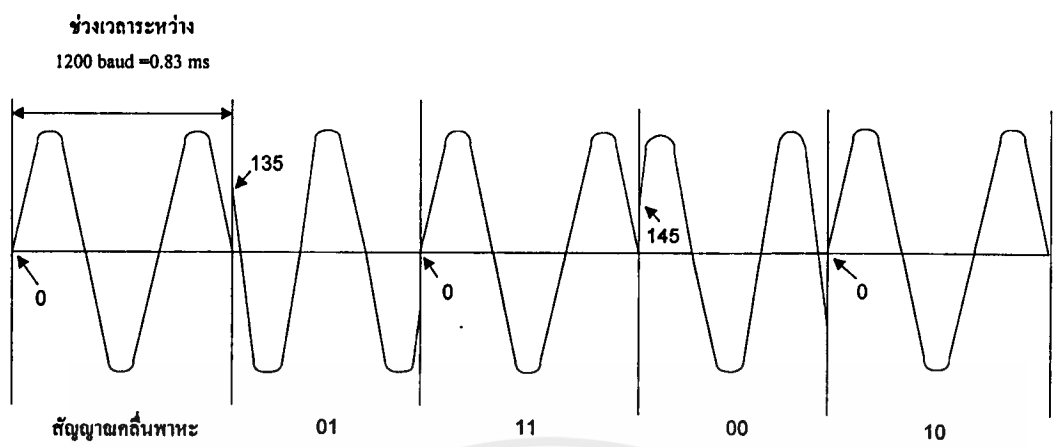
จากรูปจะเห็นได้ว่าเอาต์พุตของ QPSK ทั้ง 4 เฟส จะมีขนาดเท่ากันทั้งหมด โดยที่ในแต่ละเฟสจะมีมุมที่แตกต่างกันอยู่ 90 องศา รูปที่ 2.26 แสดงให้เห็นความสัมพันธ์ของเอาต์พุตในรูปของเฟส และเวลาของการมอดูเลตแบบ QPSK

เมื่อผ่านวงจรรวมสัญญาณ (summing) จะได้เอาต์พุต ดังนี้

ไบนารี อินพุต		เฟสเอาต์พุต
Q	I	QPSK
0	0	+45°
0	1	+135°
1	1	+225°
1	0	+315°

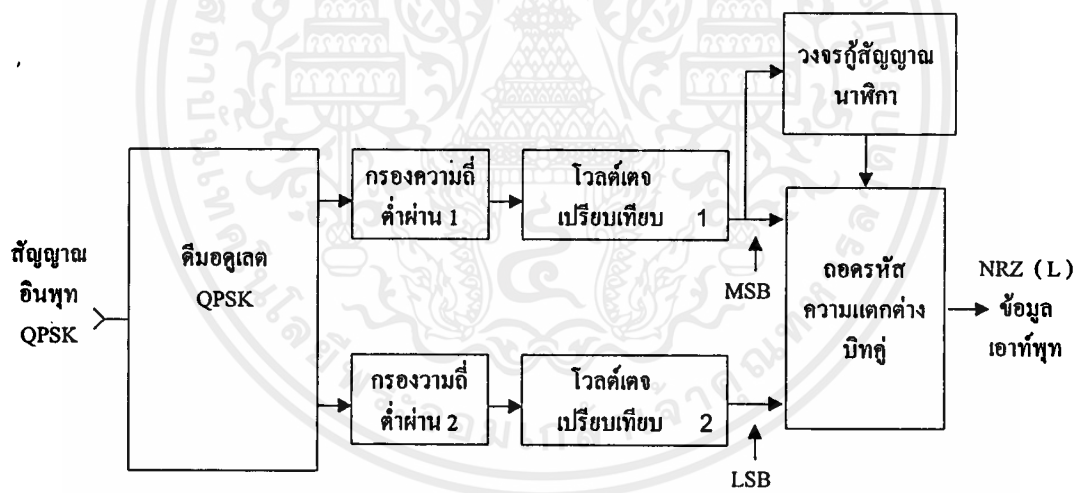


รูปที่ 2.26 เอาต์พุตของสัญญาณ QPSK



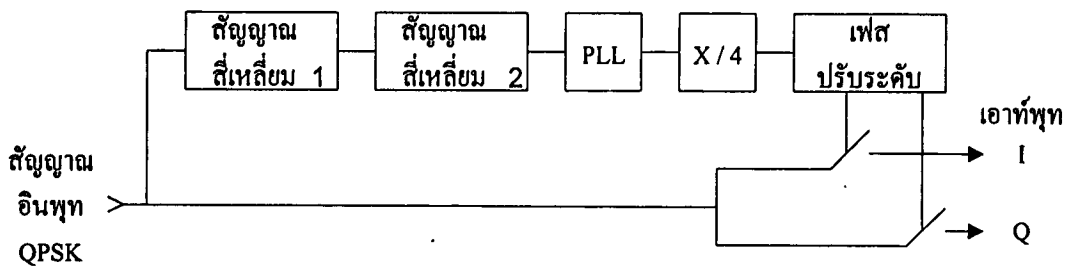
รูปที่ 2.27 ความสัมพันธ์ของเฟส และเวลาของ QPSK

2.6 คีมอคูเลต QPSK



รูปที่ 2.28 แผนผังการทำงานของภาครับ QPSK

จากรูปที่ 2.28 เป็นแผนผังการทำงานของภาครับ QPSK เมื่อมีสัญญาณที่รับผ่านเข้ามา แล้วทำการคีมอคูเลตเพื่อให้ได้สัญญาณข้อมูล I และสัญญาณข้อมูล Q ทำให้มีเฟสของสัญญาณคลื่นพาหะต่างกัน 90 องศา หลังจากนั้น นำไปผ่านวงจรกรองความถี่ต่ำผ่าน เพื่อกำจัดความถี่สูงออกไป



รูปที่ 2.29 หน้าทีการทำงานของการคิมอดูเลตสัญญาณ QPSK

โดยส่งไปยังวงจรเปรียบเทียบแรงดัน เพื่อให้ได้สัญญาณเอาต์พุตในรูปของสัญญาณดิจิทัลแล้วนำไปเข้ารหัสวงจรดิฟเฟอเรนเชียลดิบิต (Differential dibit code) จะได้สัญญาณเอาต์พุตเป็นแบบสัญญาณอนุกรม หลังจากนั้นนำไปเปลี่ยนให้อยู่ในรูปขนานจะได้ข้อมูลเดิมกลับคืน ซึ่งจะเหมือนข้อมูลที่สร้างโดยภาคส่ง

ส่วนของภาคคิมอดูเลต QPSK หน้าทีการทำงานของการคิมอดูเลตกับสัญญาณ QPSK ดังรูปที่ 2.29

สัญญาณ QPSK เป็นไปได้ 4 เฟส โดยขั้นแรกจะได้อินพุตของสัญญาณคลื่นสี่เหลี่ยม 1 ด้วยการคูณสัญญาณของตัวเอง เพื่อให้สัญญาณนั้นมีความสอดคล้องกับอินพุต ส่วนเอาต์พุตของสัญญาณคลื่นสี่เหลี่ยมเป็นความถี่เริ่มต้นด้วยเฟสที่เปลี่ยน 0 องศา และ 180 องศา เพราะว่าทั้ง 4 เฟสของสัญญาณ QPSK เริ่มต้นเฟสจะเปลี่ยนเป็น 2 เท่า ที่เฟส 0 องศา และ 180 องศา จะเป็น 0 องศา ($180 \text{ องศา} + 180 \text{ องศา} = 360 \text{ องศา} = \text{เลื้อนเฟส } 0 \text{ องศา}$) ที่เฟส 90 องศา และ 270 องศา เปลี่ยนไปเป็น 180 องศา ($270 \text{ องศา} + 270 \text{ องศา} = 540 \text{ องศา} = \text{เลื้อนเฟส } 180 \text{ องศา}$)

เอาต์พุตของสัญญาณคลื่นสี่เหลี่ยม 1 จะทำการส่งผ่านไปยังสัญญาณคลื่นสี่เหลี่ยม 2 ของวงจร ซึ่งเอาต์พุตของสัญญาณคลื่นสี่เหลี่ยม 1 ประกอบด้วย การเปลี่ยนเฟส 0 องศา และ 180 องศา เอาต์พุตของสัญญาณคลื่นสี่เหลี่ยม 2 เป็นสัญญาณความถี่ 2 เท่า เพียงสัญญาณเดียวจะเปลี่ยนเฟส 0 องศา ($180 \text{ องศา} + 180 \text{ องศา} = 360 \text{ องศา} = \text{เลื้อนเฟส } 0 \text{ องศา}$)

ดังนั้น เอาต์พุตจากสัญญาณคลื่นสี่เหลี่ยม 2 ทางอุดมคติแล้ว จะมีสัญญาณไซน์ 4 ครั้งความถี่เริ่มต้นของพาหะ QPSK แต่ไม่เปลี่ยนเฟส

ในขณะที่มีการเปลี่ยนเฟสจะมีการตัดสัญญาณไซน์ทั้งที่สัญญาณเอาต์พุตของคลื่นสี่เหลี่ยม 2 จะผ่านไปยังเฟสล็อกกลูป (Phase lock loop) ซึ่งจะทำการล็อกสัญญาณที่เข้ามา และขัดเกลาสัญญาณคลื่นสี่เหลี่ยมให้ดีขึ้นที่ความถี่เดิม

ความถี่ที่เป็นจริง 4 ครั้งนั้น จะเป็นสัญญาณเริ่มต้นของ QPSK เพราะเป็นผลมาจากสัญญาณคลื่นสี่เหลี่ยม 2 สัญญาณ

ระยะต่อมาการแบ่งความถี่ของสัญญาณดิจิทัลเอาต์พุตเฟสล็อกถูบ โดยมีตัวประกอบ 4 คำนั่น ความถี่ที่เป็นสัญญาณ QPSK ถูกหารด้วยวงจรหาร 4

นั่นคือ วงจรปรับแต่งเฟสจะผลิตคลื่นสี่เหลี่ยม 2 สัญญาณที่มีความถี่เดิม ซึ่งเป็นสัญญาณเอาต์พุตของวงจรหาร 4 ด้วยความแตกต่างของเฟส 90 องศา

วงจรปรับแต่งเฟสจะให้สัญญาณที่มีการปรับแต่งความสัมพันธ์สัญญาณอินพุตเริ่มต้นของ QPSK (มีเฟส 90 องศา ที่แตกต่างกันระหว่างสัญญาณเอาต์พุต 2 สัญญาณ) ส่วนเอาต์พุตจากวงจรปรับแต่งเฟสจะควบคุมสวิทช์แอนะล็อก 2 ตัว เมื่อเอาต์พุตอยู่ในระดับที่สูงๆ สวิทช์แอนะล็อกจะอยู่ในสภาวะปิด และสัญญาณเริ่มต้น QPSK จะได้สัญญาณเอาต์พุตในระดับหนึ่ง เมื่อเอาต์พุตอยู่ในระดับต่ำ สวิทช์แอนะล็อกจะเปิด ทำให้เอาต์พุตตกเป็น 0 โวลต์

สุดท้ายทั้ง 2 เอาต์พุตจากคิมอดูเลเตอร์จะได้ I และ Q สัญญาณเอาต์พุตของการปรับแต่งเฟสจะควบคุม Q สวิทช์แอนะล็อกจะมีเฟส 90 องศา

ความสัมพันธ์ของการควบคุม I สวิทช์แอนะล็อก ซึ่งเฟสจะสัมพันธ์ระหว่างสัญญาณ QPSK และเอาต์พุตของการปรับแต่งเฟสจะมีการตั้งค่าให้ถูกต้องเอาต์พุตของการแยกสัญญาณ I และ Q ประกอบด้วยรหัส 2 บิต ใช้รวมสัญญาณ QPSK ดังแสดงในรูปที่ 2.30

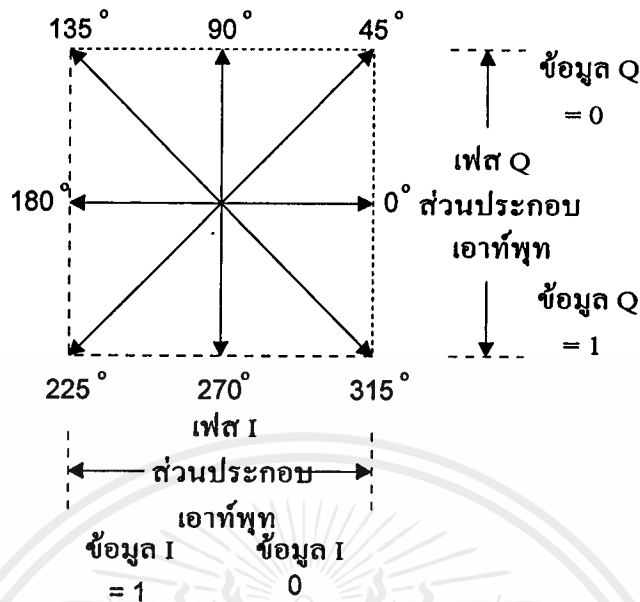
สัญญาณข่าวสารจะประมาณเท่ากับบิตคู่ เป็นการเฉลี่ยระดับรูปร่างของเอาต์พุตของการแยกสัญญาณ I และ Q ต่อมาจะคัดเลือกระดับค่าเฉลี่ยโดยกรองความถี่ต่ำผ่าน

สัญญาณที่ได้จากเอาต์พุตของวงจรกรองความถี่จะเป็นรูปสี่เหลี่ยมคี่ยิ่งขึ้น โดยวงจรเปรียบเทียบกับแรงดัน

วงจรแยกสัญญาณ QPSK จะไม่รู้เฟสทั้ง 4 เฟส ที่เข้ามา จะอธิบาย 4 เฟส ตัวอย่างเฟส QPSK ที่ 45 องศา จะเหมือนกัน คือ จะเกิดขึ้นโดยบังเอิญ 1 ใน 4 ครั้ง นั้นมี 2 ครั้ง ที่จะพบเส้นทางของบิตเหมือนกัน โดยจะไปจับวงจรภาคส่ง ถ้าเป็นภาครับจะทำ 1 ใน 3 เฟส ของ QPSK ที่ 45 องศา เหตุผลที่จะเป็นไปได้ คือ

1. ข้อมูล Q ที่เอาต์พุตข้อมูล I, ข้อมูล I ที่เอาต์พุตข้อมูล Q จะกลับกัน
2. ข้อมูล Q และ I ที่เอาต์พุตจะถูกต้องเส้นทางของข้อมูลทั้งคู่จะกลับกัน
3. ข้อมูล I ที่เอาต์พุตข้อมูล Q, ข้อมูล Q ที่เอาต์พุตข้อมูล I ได้เอาต์พุตในทางกลับกัน

ที่ตัวรับนี้จะมีความหมาย 2 นัย ของเฟสเส้นทาง 2 บิต จะเป็นจุดเริ่มต้น I และ Q ซึ่งจำให้ตัวส่ง หรือบ่งชี้ว่า 1 ใน 3 ข้อ นี้เป็นไปได้



รูปที่ 2.30 แผนผังเฟสเซอร์ของข้อมูลเมื่อผ่านการผสมกับคลื่นพาหะ

โดยมีความเป็นไปได้ของเฟสเริ่มต้น NRZ (L) เป็นข้อมูลแรกที่เข้ารหัสความแตกต่างบิตคู่ โดยจัดรูปแบบที่ตัวส่งในการจัดรูปแบบเส้นทั้ง 2 จะเรียงลำดับบิตจาก NRZ (L) ข้อมูลจะมีการเปลี่ยนแปลงของรหัส กรณีที่เอาท์พุทของการเข้ารหัสความแตกต่างบิตคู่

โดยใช้เอาท์พุทขั้ววงจรตัวส่งของ QPSK เริ่มต้นที่ 2 บิต NRZ (L) ทำการเปลี่ยนเฟส 0 องศา, 90 องศา, 180 องศา หรือ 270 องศา โดยดูความสอดคล้องจากตารางที่ 2.2

ตารางที่ 2.2 ความสัมพันธ์ของการจัดเรียงบิต และมุม

NRZ (L) บิตคู่	QPSK เปลี่ยนเฟส
0 0	0 °
0 1	90 °
1 1	180 °
1 0	270 °

ที่ตัวรับจะเป็นไปได้อีก 4 ครั้ง สำหรับบิตคู่ เอาท์พุทจากวงจรเปรียบเทียบกับ 2 ตัว แต่ละบิตคู่เป็นเอกลักษณ์ของตัวส่งเข้ารหัสความแตกต่างบิตคู่ หรือในทางกลับกันอาจสลับเปลี่ยนกัน นอกเหนือที่กล่าวถึง ซึ่งข้อมูลเริ่มต้นจะมีการถอดรหัสเฟสที่เปลี่ยนในสัญญาณ QPSK

แท้จริงแล้ว ระดับการรับข้อมูลไม่จำเป็นต้องยาวมาก แต่จำเป็นต้องคำนวณตัวรับอย่างง่าย ๆ โดยใช้รหัส 2 บิต ทำการเปลี่ยน ซึ่งเป็นผลมาจากจำนวนเฟสที่เข้ามาของสัญญาณ QPSK ที่เปลี่ยนเป็นการได้คี่นมาของสัญญาณเริ่มต้น

ในการคำนวณการเปลี่ยนการรับรหัสบิตคู่จะถูกกระทำโดยเข้ารหัสความแตกต่างบิตคู่ ซึ่งการเข้ารหัสนี้เป็นการเปลี่ยนบิตคู่แบบทั่วไป ขั้นตอนสุดท้ายของเอาท์พุทวงจรเข้ารหัสความแตกต่างบิตคู่นี้จะเป็นเอาท์พุทแบบอนุกรม NRZ (L) ซึ่งถูกสร้างโดยวงจรกำเนิดสัญญาณที่ภาคส่ง



บทที่ 3

การออกแบบ การสร้าง และการทำงาน

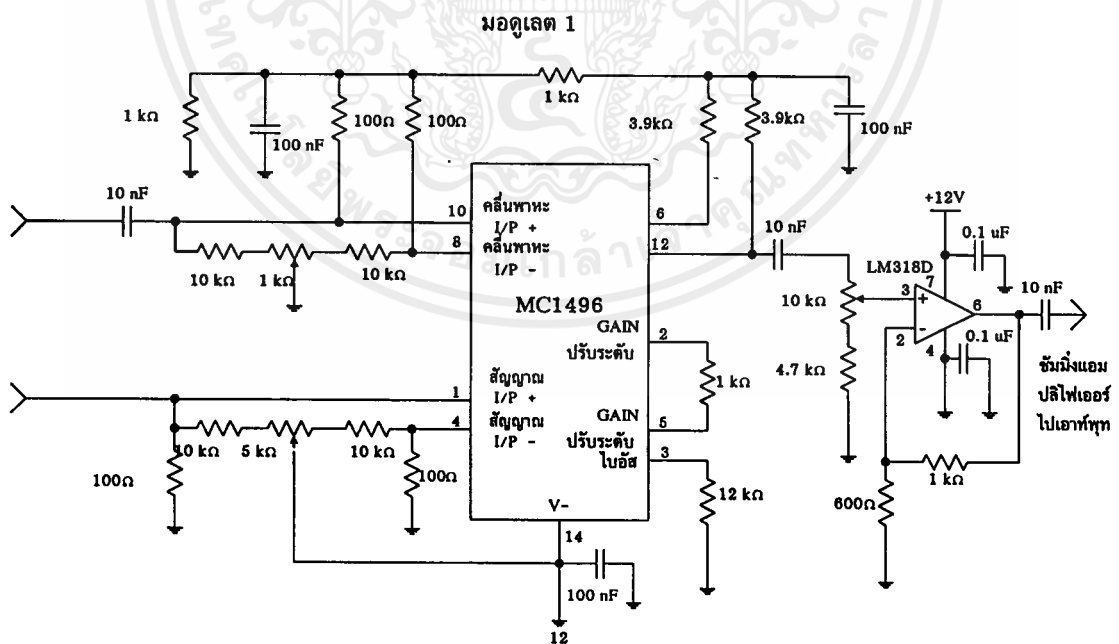
3.1 วงจรที่ใช้สำหรับการสื่อสารข้อมูลระบบ BPSK

3.1.1 วงจรมอดูเลตแบบ BPSK

การมอดูเลตแบบ BPSK สำหรับชุดฝึกนี้ จะเลือกใช้ค่าต่างๆ ตามคุณสมบัติการใช้งานของ IC เบอร์ MC1496 ในแผ่นแสดงคุณสมบัติของอุปกรณ์จะเหมือนกับการมอดูเลตแบบ QPSK แต่แตกต่างกันโดยทำการมอดูเลตเพียงชุดเดียวเท่านั้น

การออกแบบวงจรมอดูเลตแบบ BPSK ที่ใช้งานจริง ดังแสดงในรูปที่ 3.1 ในการประกอบวงจรจะต้องป้อนสัญญาณคลื่นพาหะ และสัญญาณข้อมูลให้อินพุตของ IC เบอร์ MC1496 แล้วต่อเอาต์พุตไปยังวงจรขยายสัญญาณแบบไม่กลับเฟส ซึ่งจะใช้ IC เบอร์ LM318 ทำหน้าที่ขยายสัญญาณที่ได้จากการมอดูเลต

ส่วนของสัญญาณที่ถูกมอดูเลตแบบ BPSK แล้วจะป้อนให้เป็นอินพุตของ IC เบอร์ MC1496 เพื่อทำการคิ่อมอดูเลตต่อไป

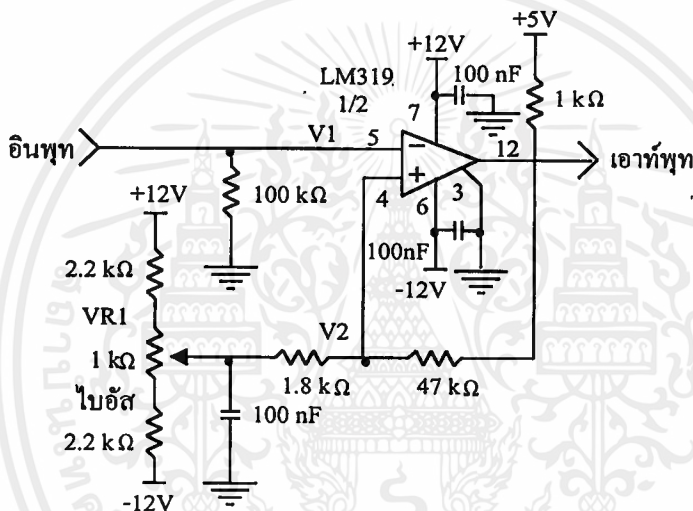


รูปที่ 3.1 วงจรมอดูเลตแบบ BPSK

วงจรกรองความถี่ต่ำผ่านเป็นวงจรที่ยอมให้ความถี่ต่ำผ่าน โดยใช้วงจรแบบแอคทีฟ (Active Filter) ซึ่งมีคุณสมบัติที่ดีกว่าเมื่อเทียบกับวงจรกรองความถี่แบบพาสซีฟ (Passive Filter) โดยการใช้โอปแอมป์ร่วมกับความต้านทาน และคาปาซิเตอร์

การออกแบบวงจรกรองความถี่ต่ำผ่านของการสื่อสารข้อมูลแบบ BPSK โดยจะใช้ IC เบอร์ LM318 เหมือนวงจรกรองความถี่ต่ำผ่านที่ใช้ในการสื่อสารข้อมูลแบบ QPSK

3.1.4 วงจรเปรียบเทียบโวลต์เตจ

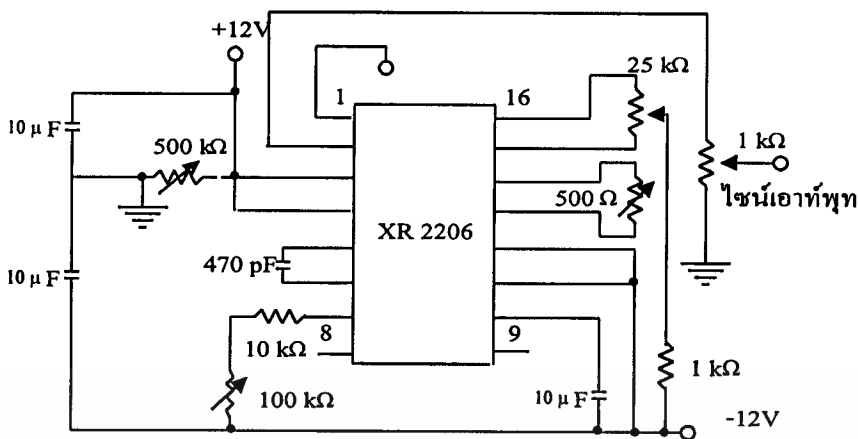


รูปที่ 3.4 วงจรเปรียบเทียบโวลต์เตจ

การออกแบบวงจรเปรียบเทียบโวลต์เตจของการสื่อสารข้อมูลแบบ BPSK ใช้โอปแอมป์ เบอร์ LM319 เหมือนกับวงจรเปรียบเทียบโวลต์เตจที่ใช้ในการสื่อสารข้อมูลแบบ QPSK เพื่อทำการเปรียบเทียบระดับสัญญาณกับสัญญาณอ้างอิงจากแหล่งจ่ายไฟ +12 VDC และ -12 VDC

3.1.5 วงจรกำเนิดสัญญาณคลื่นพาหะ

วงจรกำเนิดสัญญาณคลื่นพาหะของการสื่อสารข้อมูลแบบ BPSK จะใช้ IC เบอร์ XR2006 ซึ่งเหมือนกับการสื่อสารข้อมูลแบบ QPSK ที่สามารถผลิตรูปคลื่นไซน์ เพื่อใช้เป็นคลื่นพาหะ



รูปที่ 3.5 วงจรกำเนิดสัญญาณคลื่นพาหะ

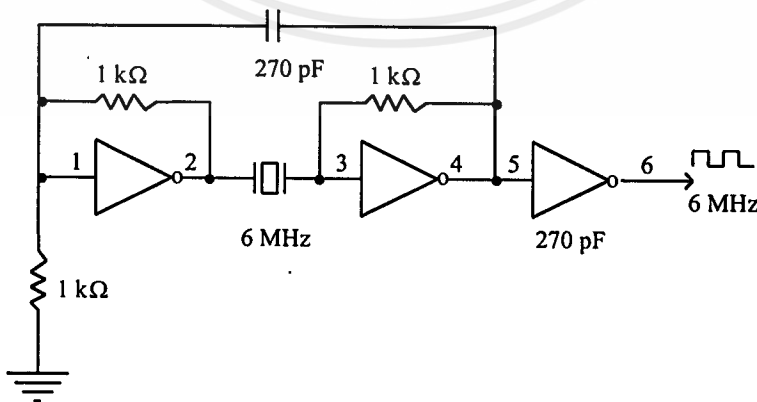
วงจรที่ใช้สำหรับชุดฝึกการสื่อสารข้อมูลระบบ QPSK แบ่งออกเป็น 2 ภาค ได้แก่
วงจรภาคส่งของการสื่อสารข้อมูลระบบ QPSK และวงจรภาครับของการสื่อสารข้อมูลระบบ QPSK

3.2 วงจรภาคส่งของการสื่อสารข้อมูลระบบ QPSK

วงจรที่ใช้สำหรับภาคส่งของการสื่อสารข้อมูลระบบ QPSK มีดังนี้

3.2.1 วงจรกำเนิดสัญญาณรูปสี่เหลี่ยม (Square Wave)

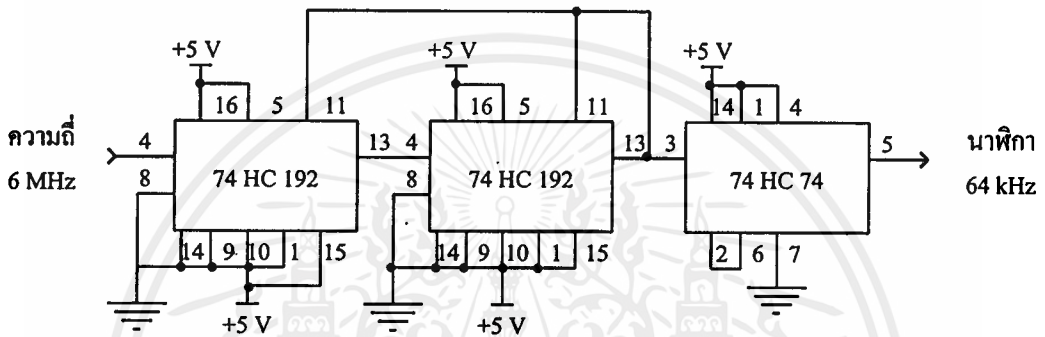
วงจรนี้ใช้คริสตัลต่อให้ทำงานกับนอตเกต, R และ C เพื่อให้ได้สัญญาณรูปสี่เหลี่ยมความถี่เท่ากับ 6 MHz



รูปที่ 3.6 วงจรกำเนิดสัญญาณรูปสี่เหลี่ยม

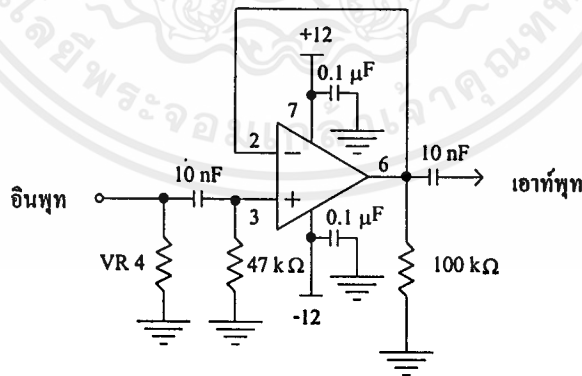
3.2.2 วงจรหารความถี่

ในรูปที่ 3.7 ความถี่อินพุตได้จาก วงจรกำเนิดสัญญาณรูปสี่เหลี่ยม 6 MHz แล้วหารด้วย 45 โดยใช้ไอซีเบอร์ 74HC192 สัญญาณรูปสี่เหลี่ยมจะส่งออกจากเอาต์พุตขา 13 ของ IC เบอร์ 74HC192 จำนวน 2 ตัว แล้วหารด้วย 2 อีกครั้งหนึ่ง โดยใช้ IC เบอร์ 74HC74 จะได้ความถี่เอาต์พุตขา 5 ของ IC เบอร์ 74HC74 เท่ากับ 64 kHz เป็นสัญญาณนาฬิกาเพื่อใช้ในภาคส่งสำหรับป้อนให้ วงจรกำเนิดสัญญาณข้อมูลต่อไป



รูปที่ 3.7 วงจรหารความถี่

3.2.3 วงจรบัฟเฟอร์

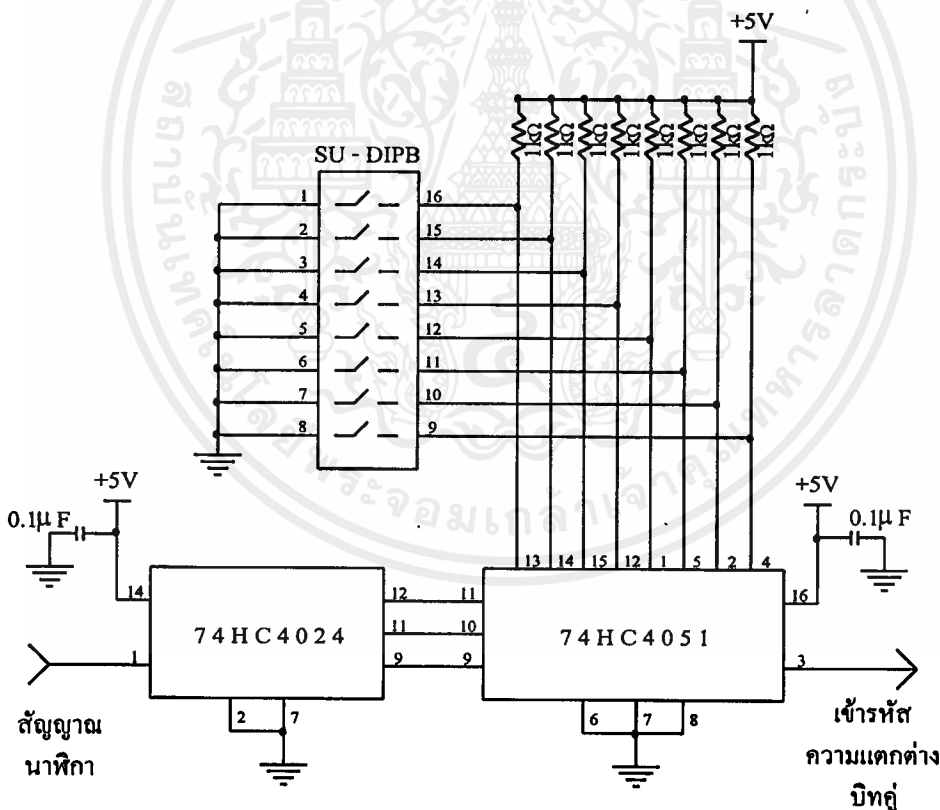


รูปที่ 3.8 วงจรบัฟเฟอร์

ลักษณะวงจรของบัฟเฟอร์ คือ การให้อัตราการขยายเท่ากับ 1 ซึ่งสามารถนำไปใช้ประโยชน์ได้ โดยใช้เป็นตัวกันชน หรือบัฟเฟอร์ของวงจรที่ต้องการจะต่อเชื่อมถึงกัน วงจรนี้ใช้ค่าความต้านทานเอาต์พุตสูง ดังนั้น เมื่อนำมาต่อกับวงจรอื่นไม่ทำให้เอาต์พุตของวงจรที่จ่ายแรงดันให้ตกลงได้ และกรณีเดียวกันจะสามารถจ่ายกระแสให้กับวงจรอื่นได้ โดยไม่ทำให้ระดับแรงดันของเอาต์พุตของออปแอมป์ตก

3.2.4 วงจรกำเนิดสัญญาณข้อมูล

การสร้างวงจรกำเนิดสัญญาณข้อมูลสามารถทำได้โดยใช้ IC เบอร์ 74HC4024 ซึ่งเป็นไอซีไบনারีเคาท์เตอร์มาต่อกับ IC เบอร์ 74HC4051 เพื่อทำหน้าที่คูณสัญญาณนาฬิกากับสัญญาณจาก สวิตช์ให้เปลี่ยนแปลงตามการปิด - เปิดของคิฟสวิตช์



รูปที่ 3.9 วงจรกำเนิดสัญญาณข้อมูล

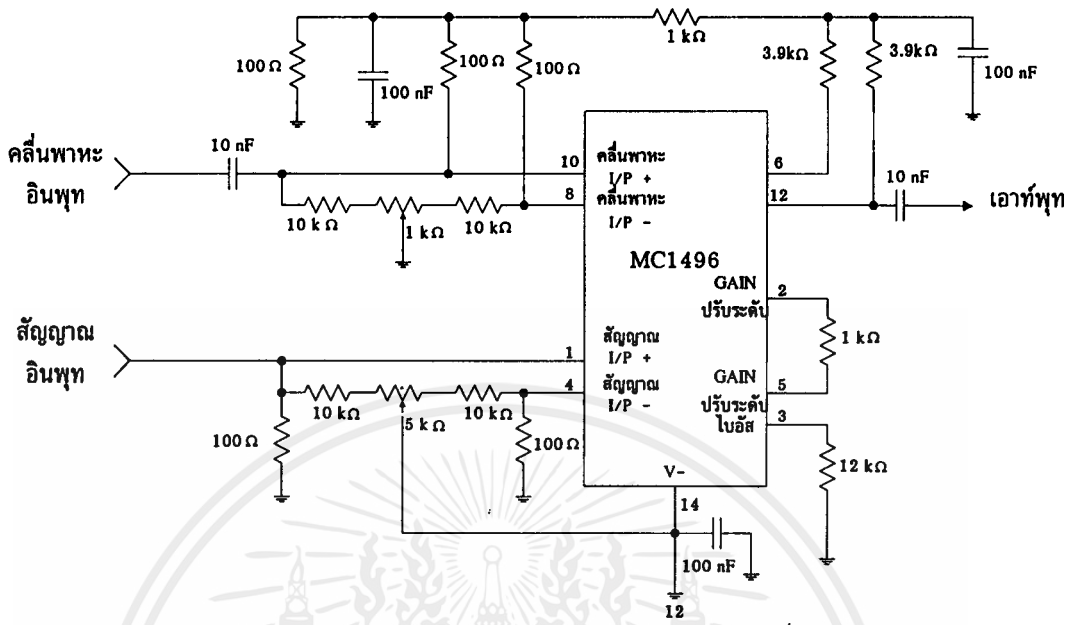
KEY



1

11

1



รูปที่ 3.11 วงจรมอดูเลตแบบ QPSK

3.2.7 วงจรซัมมิงแอมพลิไฟเออร์

วงจรรวมสัญญาณ (Summing Amplifier) คือ วงจรที่นำสัญญาณแต่ละช่องสัญญาณ ซึ่งสัญญาณแต่ละช่องมีความถี่แตกต่างกัน แล้วนำมารวมสัญญาณทำให้ได้เอาต์พุตจากช่องสัญญาณทั้งหมด

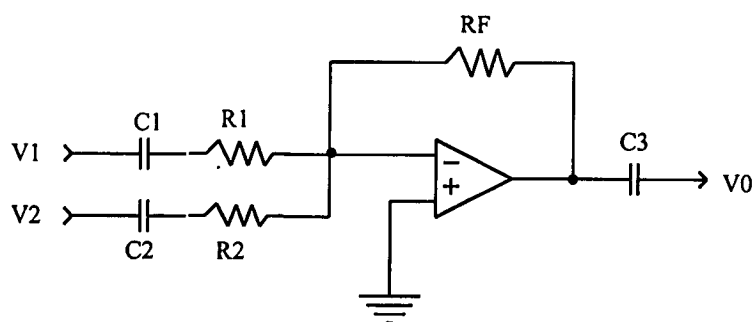
การออกแบบวงจรรวมสัญญาณจะใช้อปแอมป์เบอร์ LM318 ทำหน้าที่รวมสัญญาณที่มาจากเอาต์พุตของภาคมอดูเลต และขยายขนาดของสัญญาณให้มากขึ้นซึ่งหาได้จาก

$$V_o = -\{R_f \times V_1 / R_1 + (R_f \times V_2 / R_2)\}$$

$$\text{ให้ } R_1 = R_2 = R_f = 1 \text{ k}\Omega$$

$$\text{และ } V_1 = V_2 = 1 \text{ Volt}$$

$$\begin{aligned} V_o &= -[(1 \text{ k}\Omega \times 1 \text{ V} / 1 \text{ k}\Omega) + (1 \text{ k}\Omega \times 1 \text{ V} / 1 \text{ k}\Omega)] \\ &= -2 \text{ V} \end{aligned}$$



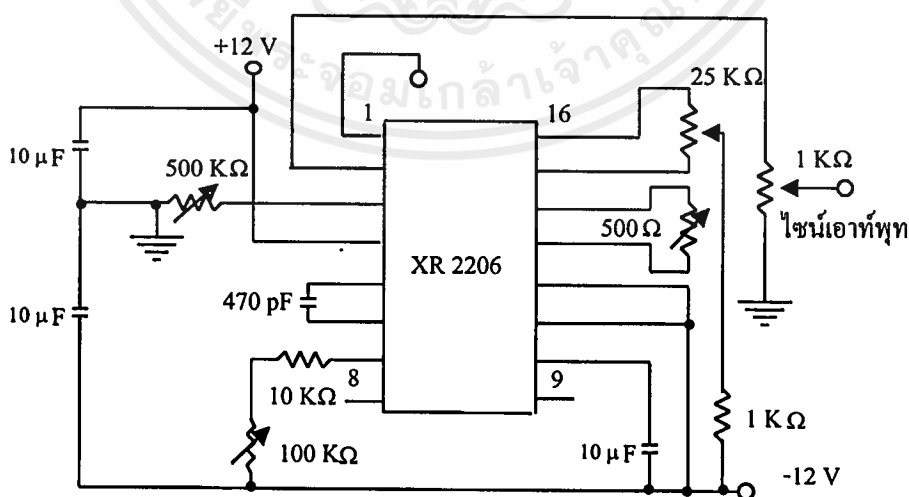
รูปที่ 3.12 วงจรรวมสัญญาณ

3.2.8 วงจรกำเนิดสัญญาณคลื่นพาหะ

วงจรที่ใช้สำหรับกำเนิดสัญญาณคลื่นพาหะ หรือวงจรออสซิลเลเตอร์ที่ใช้งานจริง คือ IC เบอร์ XR2006 ซึ่งไอซีนี้ สามารถผลิตรูปคลื่นไซน์, รูปคลื่นสามเหลี่ยม, รูปคลื่นสี่เหลี่ยม และรูปคลื่นแรมป์ได้

ในการออกแบบวงจรกำเนิดสัญญาณคลื่นพาหะสามารถเลือกใช้ค่าต่างๆ ตามคุณสมบัติการใช้งานของไอซีในแผ่นแสดงคุณสมบัติของอุปกรณ์ โดยใช้ไฟเลี้ยง 2 ชุด คือ แรงดันบวก (+VE) = +12 VDC, แรงดันลบ (-VE) = -9 VDC ใช้ความต้านทานปรับค่าได้ (VR_1) = 100 k Ω

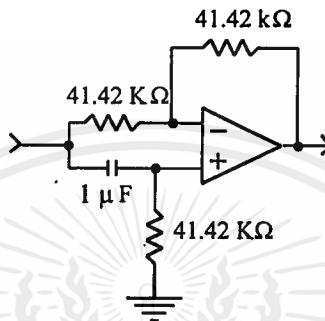
ซึ่งสามารถผลิตรูปคลื่นไซน์ที่มีความถี่ตั้งแต่ 50 kHz ถึง 500 kHz โดยรูปคลื่นความถี่ที่ใช้ของชุดฝึกนี้ เท่ากับ 128 kHz



รูปที่ 3.13 วงจรกำเนิดสัญญาณคลื่นพาหะ

3.2.9 วงจรเลื่อนเฟส (Phase Shift)

วงจรเลื่อนเฟสที่ใช้งานจริงจะใช้โอปแอมป์ LM318 โดยไอซีนี้สามารถเลื่อนเฟสสัญญาณรูปคลื่นไซน์ ยังสามารถทำหน้าที่เป็นวงจรแอมพลิไฟเออร์, วงจรขยายสัญญาณ, วงจรบัฟเฟอร์ และ วงจรกรองความถี่ต่ำผ่านได้



รูปที่ 3.14 วงจรเลื่อนเฟสของสัญญาณไฟฟ้า

ในการออกแบบวงจรเลื่อนเฟสจะใช้ไฟเลี้ยง 2 ชุด คือ แรงดันบวกเท่ากับ +5 VDC, แรงดันลบเท่ากับ -5 VDC โดยที่ค่าความต้านทาน และคาปาซิเตอร์สามารถคำนวณได้จาก

$$\theta = -\tan^{-1} R_c \omega_d$$

$$\begin{aligned}\theta &= 0.5 (90^\circ + 180^\circ) \\ &= 135^\circ\end{aligned}$$

$$\tan 135^\circ = -1$$

$$\omega_d = 2\pi(128 \text{ kHz})$$

$$= 804.25 \text{ k}$$

$$R_c = 0.0000012434$$

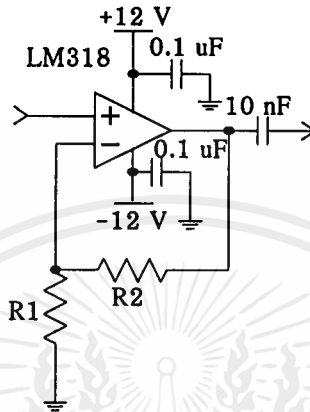
$$\text{เลือกค่า } C = 1 \text{ nF}, R = 1243 \approx 1.2 \text{ k}\Omega$$

3.2.10 วงจรขยายไม่กลับเฟส

วงจรขยายไม่กลับเฟสซึ่งมีค่าความต้านทานสูงมาก และอัตราขยายของวงจรมันถูกกำหนดด้วยความต้านทานของอัตราส่วนระหว่าง $R_1 + R_2$ กับ R_1 สัญญาณเอาต์พุตที่ได้จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรขยายไม่กลับเฟสจะมีเฟสเดียวกับสัญญาณอินพุต เพราะว่าสัญญาณอินพุตเข้ามาที่ขา 3 ซึ่งเป็นขานอนอินเวอร์ตติ้ง และสัญญาณจะออกที่เอาต์พุตขา 6



รูปที่ 3.15 วงจรขยายไม่กลับเฟส

3.3 วงจรภาครับของการสื่อสารข้อมูลระบบ QPSK

วงจรที่ใช้สำหรับภาครับของการสื่อสารข้อมูลระบบ QPSK มีดังนี้ คือ วงจรคิมอดูเลตแบบ QPSK, วงจรกรองความถี่ต่ำผ่าน, วงจรเปรียบเทียบโวลต์แดง, วงจรกู้สัญญาณนาฬิกา, วงจรเฟสล็อกกลุ๊ป และวงจรถอดรหัสบิตทุกคู่

3.3.1 วงจรคิมอดูเลตแบบ QPSK

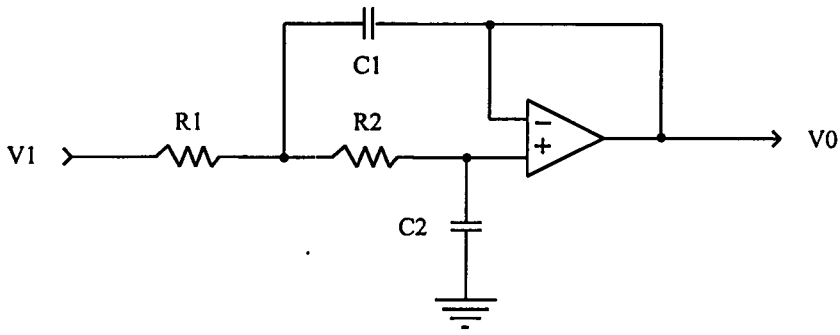
วงจรคิมอดูเลตแบบ QPSK จะใช้ IC เบอร์ MC1496 เหมือนกับการคิมอดูเลตแบบ BPSK โดยสามารถทำเป็นวงจรคิมอดูเลตได้เช่นเดียวกัน

การออกแบบวงจรคิมอดูเลตแบบ QPSK จะต้องใช้ค่าต่างๆ ตามคุณสมบัติการใช้งานของ ไอซีในแผ่นแสดงคุณสมบัติของอุปกรณ์ได้เช่นเดียวกัน โดยการจัดวงจรคิมอดูเลตเป็น 2 ชุด เพื่อจะใช้สำหรับการคิมอดูเลตของสัญญาณ I และช่องสัญญาณ Q ซึ่งมีคลื่นพาหะต่างเฟสกัน 90 องศา ที่อินพุตขา 10 และขา 1 ของ IC เบอร์ MC1496 ตัวแรกจะรับสัญญาณ QPSK โดยผ่านวงจรบัฟเฟอร์สัญญาณเอาต์พุตขา 12 ของ IC เบอร์ MC1496 ถูกส่งไปให้วงจรขยายไม่กลับเฟสอีกครั้ง เพื่อขยายสัญญาณที่ได้จากการคิมอดูเลตให้แรงขึ้น



ในรูปที่ 3.17 เป็นวงจรกรองความถี่ต่ำผ่านอันดับสอง ซึ่งมีอัตราขยายเท่ากับ 1 ค่า R และ C ของวงจรสามารถคำนวณได้จากการเลือกค่าจากตารางที่ 3.1

ชนิดแบบ 2 โพล กรองความถี่ต่ำผ่าน	ξ	$C_1 (F)$	$C_2 (F)$
1. Bessel	0.8659	0.9066	0.6799
2. Butterworth	0.7072	1.414	0.7071
3. Chebyshev (0.1 dBpeak)	0.6516	1.638	0.6955
4. Chebyshev (0.25 dBpeak)	0.6179	1.778	0.6789
5. Chebyshev (0.25 dBpeak)	0.5789	1.949	0.6533
6. Chebyshev (1 dBpeak)	0.5228	2.218	0.6631
7. Chebyshev (2 dBpeak)	0.4431	2.672	0.5246
8. Chebyshev (3 dBpeak)	0.3833	3.103	0.4558



รูปที่ 3.17 วงจรกรองความถี่ต่ำผ่าน

การคำนวณค่า R และ C ของวงจรกรองความถี่ต่ำผ่าน

กำหนดค่า $F_{cp} = 100 \text{ kHz}$

เลือกวงจรกรองความถี่แบบบัตเตอร์เวิร์ท (Butterworth)

จากตารางที่ 1 $C_1 = 1.414 \text{ F}$

และ $C_2 = 0.7071 \text{ F}$

$$\begin{aligned} C_1 &= C_1 / 2\pi f_{cp} \\ &= 1.414 / 2\pi \times 100 \times 10^3 \\ &= 2.25 \text{ } \mu\text{F} \end{aligned}$$

$$\begin{aligned} C_2 &= C_2 / 2\pi f_{cp} \\ &= 0.7071 / 2\pi \times 100 \times 10^3 \\ &= 1.13 \text{ } \mu\text{F} \end{aligned}$$

ให้ $R_1 = R_2 = R$ และ $C_1 = 200 \text{ pF}$

$$\begin{aligned} R &= C_1 / C_1 \\ &= 2.25 \times 10^{-6} / 200 \times 10^{-12} \\ &= 12 \text{ k}\Omega \end{aligned}$$

$$\begin{aligned} C_2 &= C_2 / R \\ &= 1.13 \times 10^{-6} / 12 \times 10^3 \\ &= 100 \text{ pF} \end{aligned}$$

$$\therefore R = 120 \text{ k}\Omega$$

$$C_1 = 200 \text{ pF}$$

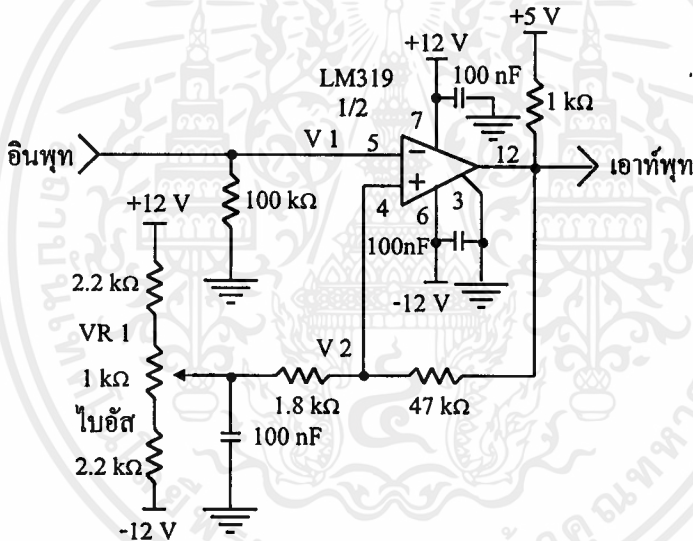
$$C_2 = 100 \text{ pF}$$

3.3.3 วงจรเปรียบเทียบโวลต์เตจ

วงจรที่ใช้เป็นตัวเปรียบเทียบโวลต์เตจจะใช้อปแอมป์ เนื่องจากมีอัตราขยายสูงมาก แรงดันผิดพลาดเพียงเล็กน้อยสามารถทำให้เกิดเอาต์พุตขนาดใหญ่ได้ เมื่อ V_1 มากกว่า V_2

จะได้แรงดันเอาต์พุตเป็นค่าสูงสุดด้านบวก และค่า V_1 น้อยกว่า V_2 แรงดันเอาต์พุตจะเป็นค่าสูงสุดด้านลบ วงจรในลักษณะนี้ เรียกว่า วงจรเปรียบเทียบโวลต์เตจ คือ เปรียบเทียบระหว่าง V_1 และ V_2

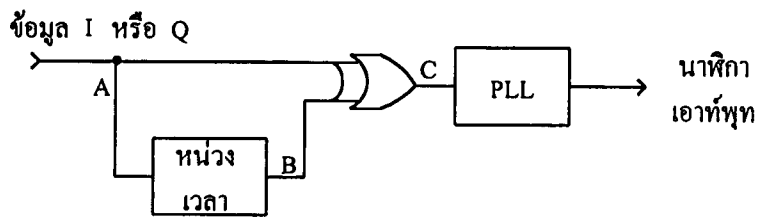
ในการออกแบบวงจรเปรียบเทียบโวลต์เตจที่ใช้งานจริงของชุดฝึกนี้ จะใช้อปแอมป์เบอร์ LM319 ทำการเปรียบเทียบระดับสัญญาณกับสัญญาณอ้างอิงจากแหล่งจ่ายไฟ +12 VDC และ -12 VDC



รูปที่ 3.18 วงจรเปรียบเทียบโวลต์เตจ

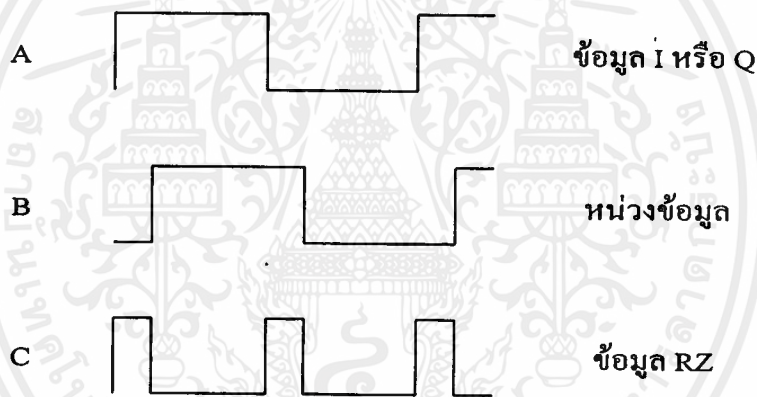
3.3.4 วงจรกู้สัญญาณนาฬิกา (Clock Recovery Circuit)

สัญญาณอินพุตของวงจรนี้ จะนำมาจากเอาต์พุตของวงจรเปรียบเทียบโวลต์เตจ ซึ่งทางหนึ่งป้อนเข้าที่อินพุตที่ 1 ของ X-OR เกท โดยตรง และอีกทางหนึ่งจะนำไปผ่านวงจรหน่วงเวลา เพื่อหน่วงเวลาของสัญญาณอินพุต โดยช่วงเวลาที่หน่วง (Δt) จะต้องน้อยกว่า 1 บิต แล้วป้อนเข้าที่อินพุตที่ 2 ของ X-OR เกท โดยตรง



รูปที่ 3.19 วงจรกู้สัญญาณนาฬิกา

หลังจาก X-OR กัน อินพุตทั้งสองจะได้สัญญาณที่เอาต์พุตของ X-OR เกท เป็นสัญญาณ RZ แล้วนำไปเข้าวงจรเฟสล็อกคูล เพื่อให้ได้สัญญาณนาฬิกาที่มีความถี่เท่ากับ 64 kHz เหมือนกับภาคส่งเพื่อนำไปใช้ในวงจรภาครับ



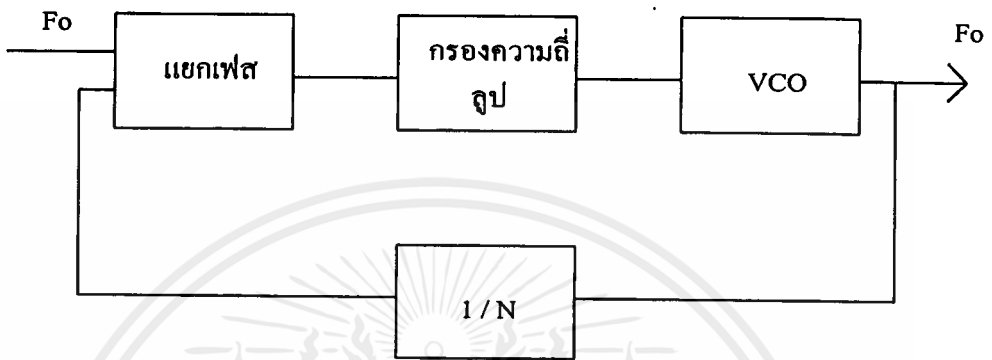
รูปที่ 3.20 กู้สัญญาณบิตนาฬิกาทางเวลา

3.3.5 วงจรเฟสล็อกคูล (Phase Lock Loop)

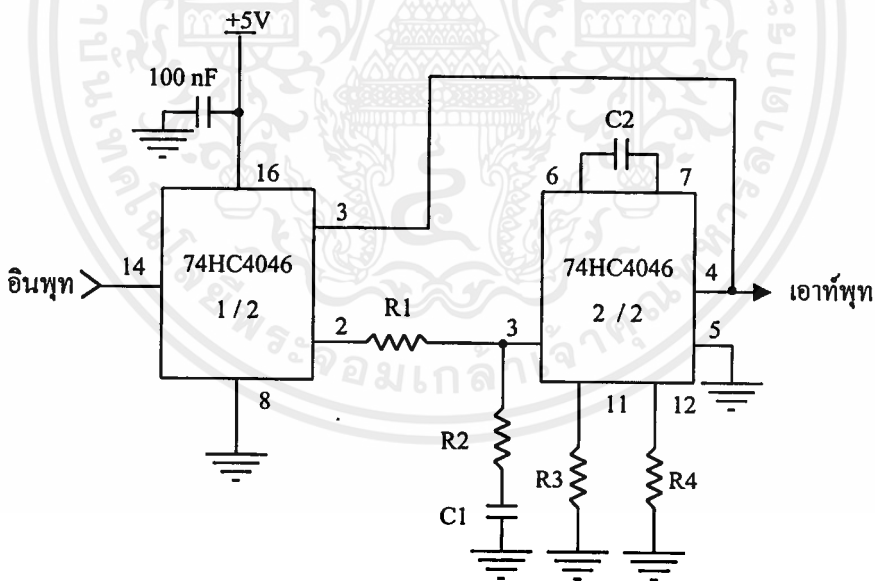
เฟสล็อกคูล (PLL) ทำได้โดยใช้ระบบควบคุมป้อนกลับอันดับ 2 ซึ่งประกอบด้วย ส่วนของวงจรเฟสดีเท็คเตอร์ (PD, Phase Detector), วงจรลูปฟิลเตอร์ (LP, Loop Filter) และวงจรโวลต์เดจคอนโทรลอสซิลเลเตอร์ (VCO, Voltage Control Oscillator) โดยที่ $1/N$ นั้นเป็นแกนเฟคเตอร์ของตัวหารความถี่

วงจรแยกเฟสจะมีสัญญาณอินพุตเข้าที่ขา 14 และขา 3 ของ IC เบอร์ 74HC4046 โดยที่แรงดันอินพุตที่ได้จะถูกกำจัดส่วนประกอบที่ไม่ใช่สัญญาณไฟตรงโดยตัวกรองความถี่ต่ำผ่าน

วงจรกรองความถี่เฟสล็อกจะประกอบด้วย R_1 , R_2 และ C_1 ซึ่งแรงดันไฟตรงที่เอาต์พุตของวงจรกรองความถี่จะเป็นตัวกำหนดความถี่ที่เอาต์พุตของ VCO แผนผังการทำงานของระบบแสดงได้ดังรูปที่ 3.21



รูปที่ 3.21 แผนผังการทำงานของระบบเฟสล็อก



รูปที่ 3.22 วงจรเฟสล็อก

VCO ของ IC เบอร์ 74HC4046 เป็นวงจรมัลติไวเบรเตอร์กำหนดความถี่สูงสุด - ต่ำสุด ด้วยความต้านทาน และตัวเก็บประจุภายนอก ซึ่งกำหนดจาก

$$f_{\min} = 1/R_4 (C_2 + 32\text{pF})$$

$$f_{\max} = \{1/R_3 (C_2 + 32\text{pF})\} + f_{\min}$$

เลือกใช้ $C_2 = 220\text{pF}$ และ $f_{\min}$ ที่ความถี่ 3.97 MHz จะหาค่า R_4 ได้จาก

$$\begin{aligned} R_4 &= 1/f_{\min} (C_2 + 32\text{pF}) \\ &= 1/3.97 \text{ MHz} (220\text{pF} + 32\text{pF}) \\ &= 999.6 \Omega \end{aligned}$$

$$R_4 \approx 1 \text{ k}\Omega$$

ให้ $f_{\max} = 5.95 \text{ MHz}$ จะหาค่า R_3 ได้จาก

$$\begin{aligned} R_3 &= 1/(f_{\max} - f_{\min}) (C_2 + 32\text{pF}) \\ &= 1/1.98 \text{ MHz} (2.52 \times 10^{-10}) \\ &= 2004 \Omega \end{aligned}$$

$$R_3 \approx 2 \text{ k}\Omega$$

การออกแบบ

กำหนดให้ $f_0 = 6 \text{ MHz}$ เมื่อ $N = 1$ จะได้ $f_r = 6 \text{ MHz}$ จากการคำนวณส่วนของ VCO ใช้ค่า $C_2 = 220 \text{ pF}$ จะได้ $R_3 = 2 \text{ k}\Omega$, $R_4 = 1 \text{ k}\Omega$, $f_{\max} = 5.95 \text{ MHz}$, $f_{\min} = 3.97 \text{ MHz}$

$$\begin{aligned} \text{จาก } K_o &= 2\pi (f_{\max} - f_{\min}) / V_{dd} - 2 \text{ V} \\ &= 2\pi (5.95 \text{ MHz} - 3.97 \text{ MHz}) / (5 \text{ V} - 2 \text{ V}) \\ &= 4.14 \text{ Mrad/S/V} \end{aligned}$$

$$\begin{aligned} K_d &= V_{dd} / \pi \\ &= 5 \text{ V}/\pi \\ &= 1.59 \text{ V/rad} \end{aligned}$$

ในการออกแบบทั่วไปจะกำหนดให้

$$\omega_n = 2\pi f_r / 10$$

$$\omega_n = 2\pi \times 6 \text{ MHz} / 10$$

$$\omega_n = 3.62 \text{ Mrad}$$

$$\text{และ } \zeta = 0.707$$

ถ้าเลือก C_1 สำหรับฟลิปเฟลอปเท่ากับ 10 nF สามารถคำนวณหาค่า R_1 และ R_2 ได้จาก

$$\omega_n = [K_d K_o / NT_1]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ $\zeta = 0.5 \omega_n [T_2 + (N/K_o K_d)]$

เมื่อ $T_1 = (R_1 + R_2) C$ และ $T_2 = CR_2$

หาค่า R_2

จาก $\zeta = 0.5 \omega_n [T_2(N/K_o K_d)]$

$$\zeta = 0.5 \omega_n [CR_2 + (N/K_o K_d)]$$

$$\zeta / 0.5 \omega_n = CR_2 + (N/K_o K_d)$$

$$CR_2 = (\zeta / 0.5 \omega_n) - (N/K_o K_d)$$

$$R_2 = [(\zeta / 0.5 \omega_n) - (N/K_o K_d)] / C$$

$$= [(0.707/0.5 \times 3.62 \text{ Mrad}) - (1/1.59 \text{ V/rad} \times 4.14 \text{ Mrad/S/V})] / 10 \times 10$$

$$= 23.8 \Omega$$

$$R_2 \approx 22 \Omega$$

หาค่า R_1 จาก $\omega_n = [K_o K_d / NT_1]$

$$\omega_n = [K_o K_d / NT_1]$$

$$\omega_n NC (R_1 + R_2) = K_o K_d$$

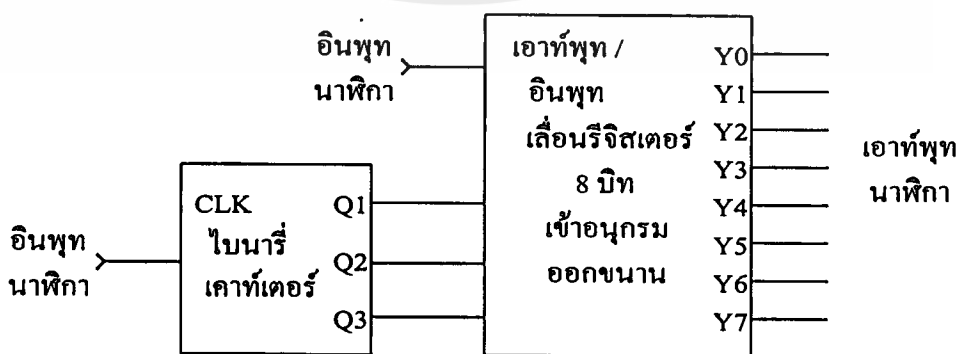
$$R_1 = [(1.59 \text{ V/rad} \times 4.14 \text{ Mrad/S/V}) / (3.62 \text{ Mrad}) \times 1 \times 10 \times 10] - 22 \Omega$$

$$= 28.23 \Omega$$

$$R_1 \approx 28 \Omega$$

$\therefore$ ทรานซิสเตอร์ที่ออกแบบได้ จะมีค่า $R_1 = 28 \Omega$, $R_2 = 22 \Omega$ และ $C_1 = 10 \text{ nF}$

3.3.6 วงจรเปลี่ยนสัญญาณข้อมูลแบบอนุกรมเป็นแบบขนาน



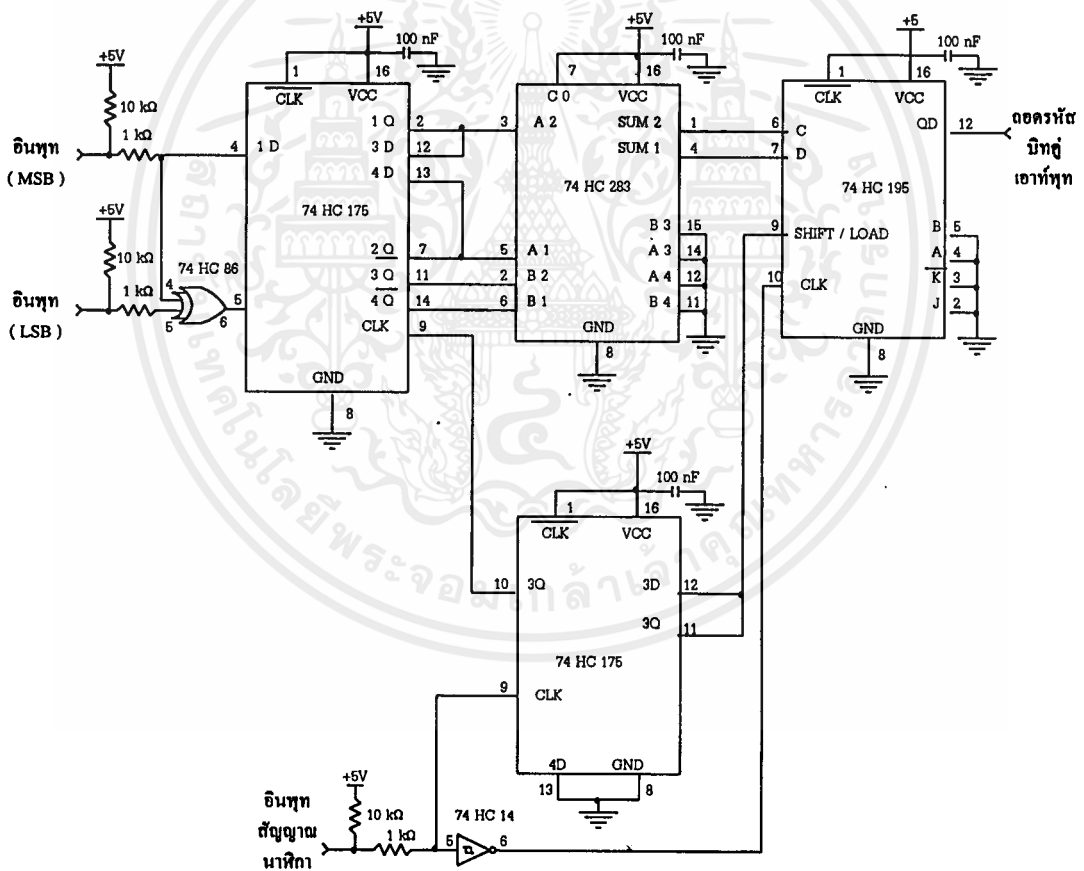
รูปที่ 3.23 วงจรเปลี่ยนสัญญาณข้อมูลแบบอนุกรมเป็นแบบขนาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการเปลี่ยนสัญญาณข้อมูลที่อยู่ในรูปอนุกรมให้เป็นแบบขนานนี้ โดยใช้ไอซีเบอร์ 74HC4024 ซึ่งไอซีไบนารีเคาน์เตอร์จะทำการนับจาก 0 ถึง 7 แล้วป้อนให้กับไอซีเบอร์ 74 HC4051 ซึ่งเป็นไอซีแอนะล็อกมัลติเพล็กซ์ และดีมัลติเพล็กซ์แบบ 8 ช่อง เพื่อคัดเอาสัญญาณจากอินพุตแบบอนุกรมให้ออกที่เอาต์พุตเป็นแบบขนาน

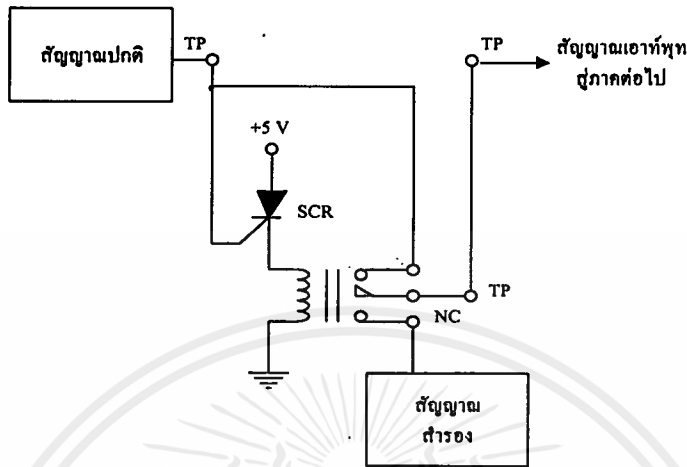
3.3.7 วงจรถอดรหัสความแตกต่างบิตคู่

ในรูปที่ 3.24 วงจรถอดรหัสความแตกต่างบิตคู่จะใช้ IC เบอร์ 74HC175 ในการควบคุมการทำงานสองตัว โดยจะรับบิตข้อมูลไบนารีไบท์ต่ำ และบิตข้อมูลไบนารีไบท์สูงมาต่อร่วมกับ IC เบอร์ 74HC283 ซึ่งทำหน้าที่บวกเลขจำนวนเต็ม 8 บิต ส่งไปยัง IC เบอร์ 74HC195



รูปที่ 3.24 วงจรถอดรหัสความแตกต่างบิตคู่

3.4 วงจรควบคุมสัญญาณ



รูปที่ 3.25 วงจรควบคุมสัญญาณ

การออกแบบวงจรควบคุมสัญญาณจะใช้ SCR เบอร์ T106D ทำงานร่วมกับรีเลย์ เพื่อใช้สำหรับการตรวจสอบจุด TP ต่างๆ ว่ามีสัญญาณตามปกติหรือไม่ กรณีที่วงจรปกติไม่มีสัญญาณออกมา รีเลย์จะต่อสัญญาณสำรองให้แทน

3.5 วงจรอื่นๆ ที่เกี่ยวข้อง

3.5.1 วงจรแหล่งจ่ายไฟตรง

วงจรแหล่งจ่ายไฟฟ้ากระแสตรงจะใช้หม้อแปลงไฟฟ้าทางด้านขดเชกเกิดคาร์รี (Secondary) มีแรงดัน + 15 โวลต์, 0 โวลต์, -15 โวลต์ 2 แอมป์ ซึ่งไดโอดบริดจ์ที่ใช้ทนกระแสได้ 2 แอมป์, ใช้ IC ตระกูล 78xx เป็นไอซีรักษาระดับไฟบวก และใช้ IC ตระกูล 79xx เป็นไอซีรักษาระดับไฟลบ โดยนำมาต่อใช้งาน ดังรูปที่ 3.23 ซึ่งประกอบด้วย IC เบอร์ 7815 ให้เอาต์พุตเป็นไฟดีซี +15 โวลต์, IC เบอร์ 7915 ให้เอาต์พุตไฟดีซี -15 โวลต์, IC เบอร์ 7812 ให้เอาต์พุตไฟดีซี +12 โวลต์, IC เบอร์ 7809 ให้เอาต์พุตไฟดีซี -9 โวลต์, IC เบอร์ 7805 ให้เอาต์พุตไฟดีซี +5 โวลต์, IC เบอร์ 7905 ให้เอาต์พุตไฟดีซี -5 โวลต์ และใช้คาปาซิเตอร์ค่า 2200 ไมโครฟารัด, คาปาซิเตอร์ค่า 0.1 ไมโครฟารัด และคาปาซิเตอร์ค่า 470 ไมโครฟารัด ใช้กราวด์ร่วมกัน ซึ่งแหล่งจ่ายนี้ให้ไฟดีซีออกมาหลายค่า

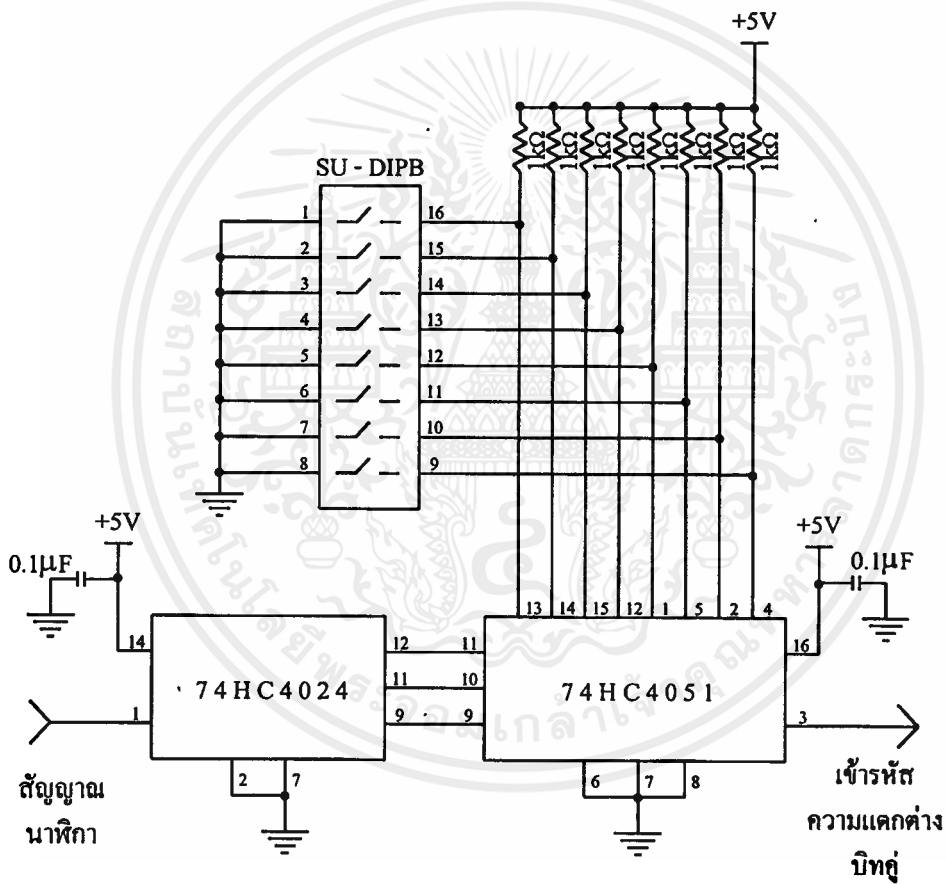


บทที่ 4

การทดลอง และผลการทดลอง

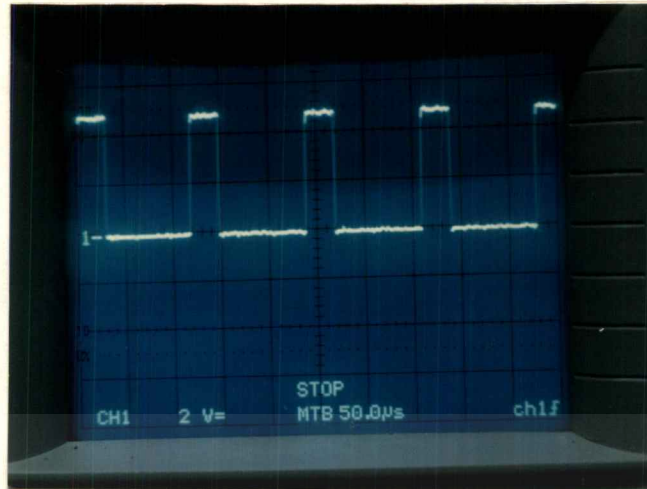
4.1 วงจรกำเนิดสัญญาณข้อมูล

ในการทดลอง และผลการทดลองของชุดฝึกการสื่อสารข้อมูลระบบ QPSK นั้น จะเริ่มจากวงจรกำเนิดสัญญาณข้อมูล ดังแสดงในรูปที่ 4.1



รูปที่ 4.1 วงจรกำเนิดสัญญาณข้อมูล

จากรูปที่ 4.1 จะเห็นว่า IC เบอร์ 74HC4024 จะเป็นไอซีไบনারีเคาท์เตอร์ ทำหน้าที่นับสัญญาณนาฬิกาเข้ามาที่อินพุตขา 1 แล้วส่งต่อไปที่ IC เบอร์ 74HC4051 เพื่อคูณสัญญาณของสวิตช์ที่เปิด - ปิดกับสัญญาณนาฬิกา ใช้ลอจิกเกตลอทโคปวัดสัญญาณที่เอาต์พุตขา 3 ดังแสดงในรูปที่ 4.2



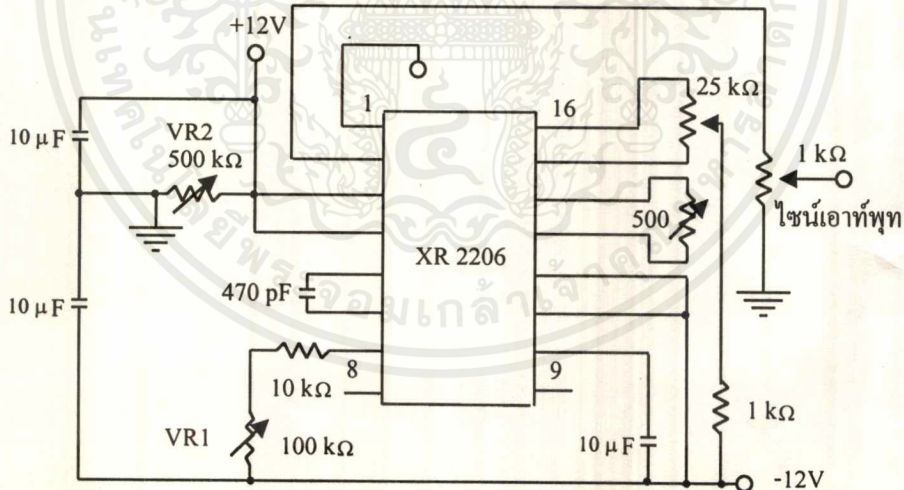
Volts / Div = 0.1 v

Time / Div = 0.0023 ms

Freq / Div = 44 kHz

รูปที่ 4.2 สัญญาณเอาต์พุตของวงจรกำเนิดสัญญาณข้อมูล

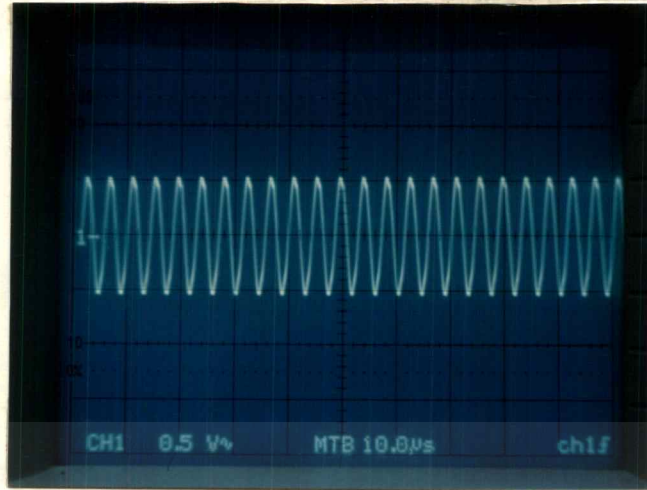
4.2 วงจรออสซิลเลเตอร์



รูปที่ 4.3 วงจรออสซิลเลเตอร์

จากรูปที่ 4.3 ใช้ IC เบอร์ XR2206 เป็นวงจรกำเนิดสัญญาณคลื่นพาหะ สามารถปรับเลือกความถี่ตามการเปลี่ยนแปลงของแรงดันไฟฟ้า โดยการปรับ VR₁ ที่ขา 7 ของ IC เบอร์ XR2206 และ VR₂ ที่ขา 3 เป็นตัวปรับแต่งสัญญาณ และความแรงของสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



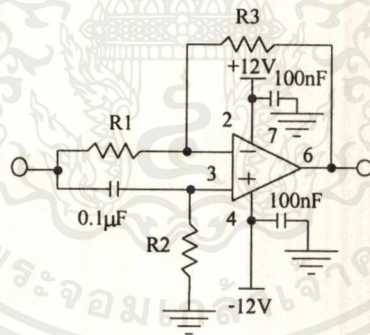
Volts / Div = 0.23 v

Time / Div = 0.03 ms

Freq / Div = 30 kHz

รูปที่ 4.4 สัญญาณออสซิลเลเตอร์

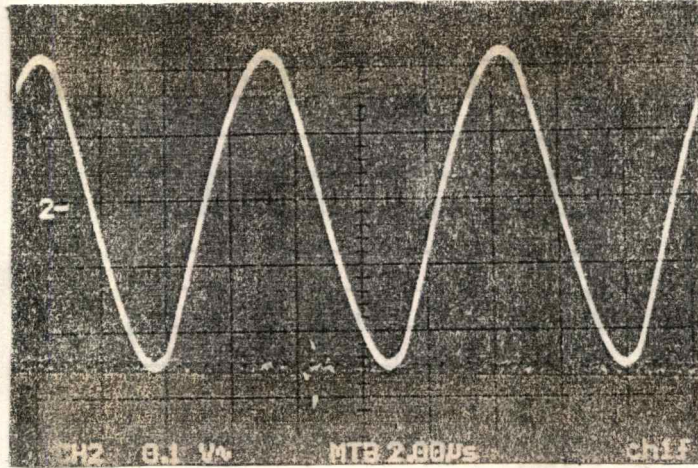
4.3 วงจรเลื่อนเฟส



รูปที่ 4.5 วงจรเลื่อนเฟส

จากรูปที่ 4.5 สามารถกำหนดการเลื่อนเฟสจากการเลือกค่าความถี่ และคำนวณเฟสที่ต้องการเลื่อน จากนั้นมาคำนวณหาค่า R_3 ซึ่งค่า C_1 และ R_2 จะเป็นตัวกำหนดการเลื่อนเฟส ส่วน R_1 และ R_3 จะเป็นตัวควบคุมอัตราการขยายของวงจร

ในการทดลองจะนำสัญญาณที่ได้จากวงจรออสซิลเลเตอร์มาป้อนให้กับอินพุตของวงจรเลื่อนเฟส ทำให้ได้สัญญาณเอาต์พุตของวงจรเลื่อนเฟส แสดงดังรูปที่ 4.6



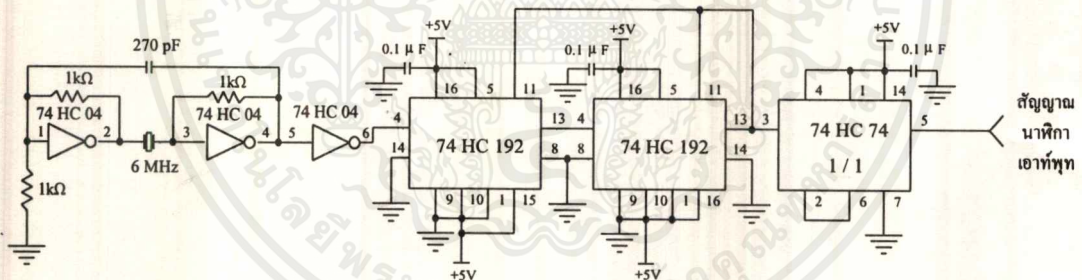
Volts / Div = 0.02 v

Time / Div = 0.005 ms

Freq / Div = 20.00 kHz

รูปที่ 4.6 สัญญาณเอาต์พุตของวงจรเลื่อนเฟส

4.4 วงจรกำเนิดสัญญาณนาฬิกา

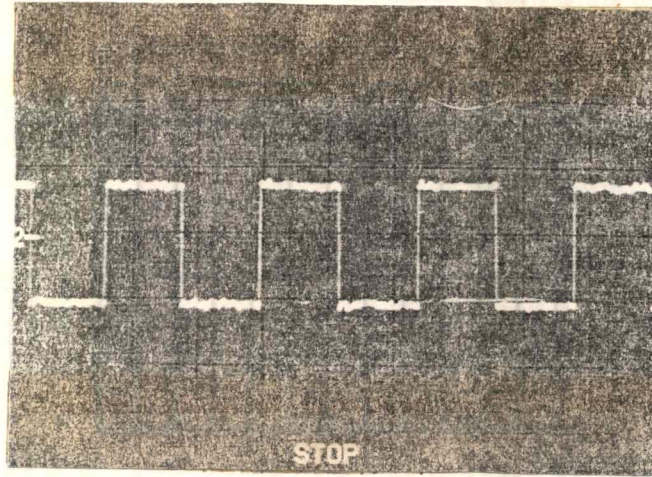


รูปที่ 4.7 วงจรกำเนิดสัญญาณนาฬิกา

ในวงจรนี้ใช้ คริสตัล 6 MHz เป็นตัวกำเนิดสัญญาณ ทำงานร่วมกับ IC เบอร์ 74HC04 ซึ่งเป็นเกทนอต สัญญาณที่ออกมาที่ขา 6 ของ IC เบอร์ 74HC04 จะเป็นอินพุตของ IC เบอร์ 74HC192 ซึ่งเป็นไอซีไบনারีเคาท์เตอร์จำนวน 2 ชุด จากนั้นส่งสัญญาณออกที่ขา 13 ของ IC เบอร์ 74HC192 และเป็นอินพุตขา 3 ของ IC เบอร์ 74HC74 ซึ่งเป็นดีฟลิปฟล็อป ทำให้ได้สัญญาณนาฬิกา 64 kHz ออกมา

สัญญาณนาฬิกาที่ได้จากวงจรกำเนิดสัญญาณนาฬิกาจะถูกป้อนให้แก่อินพุตขา 1 ของ IC เบอร์ 74HC4024 ในวงจรกำเนิดสัญญาณข้อมูลต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Volts / Div = 1 v

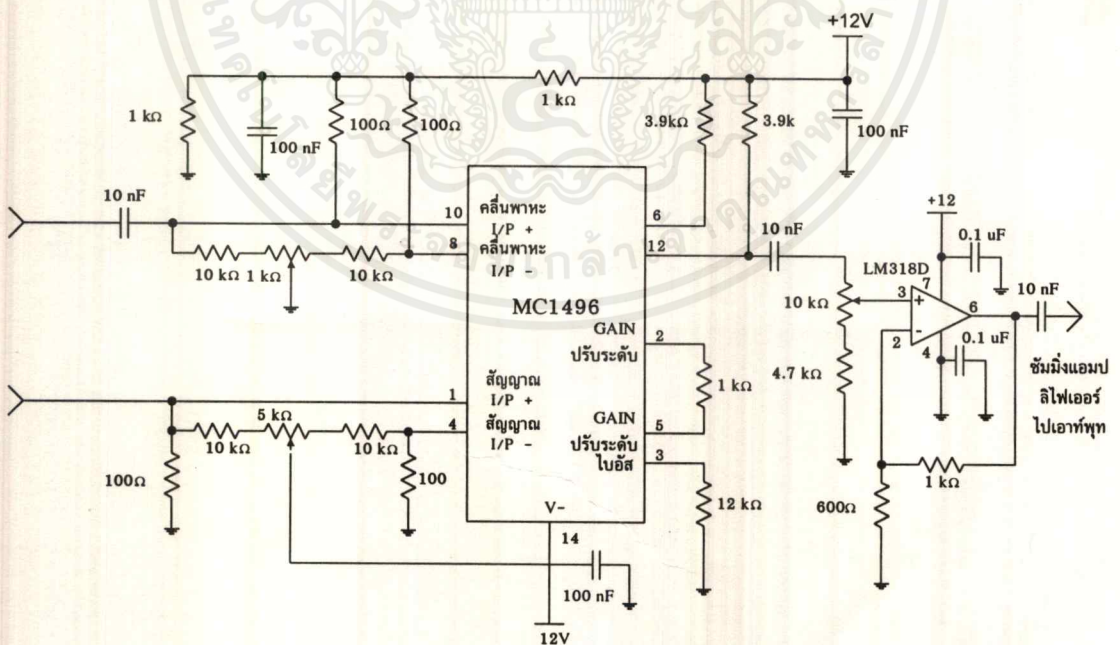
Time / Div = 0.022 ms

Freq / Div = 44 kHz

รูปที่ 4.8 สัญญาณเอาต์พุตของวงจรกำเนิดสัญญาณนาฬิกา

4.5 ไบนารีเฟสชิฟท์คีย์อิง (BPSK)

4.5.1 วงจรมอดูเลตแบบ BPSK



รูปที่ 4.9 วงจรมอดูเลตแบบ BPSK

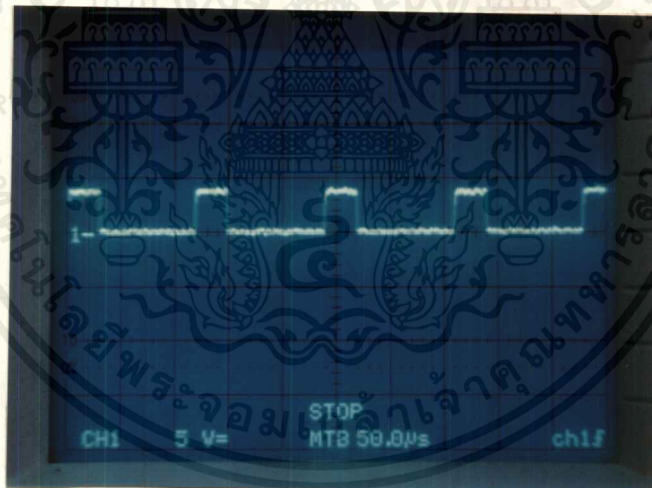
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรในรูปที่ 4.9 จะใช้ IC เบอร์ MC1496 ซึ่งเป็นไอซีบาลานส์มอดูเลต โดยอินพุตขา 1 จะมี VR_1 เป็นตัวปรับค่าแรงดันของสัญญาณข้อมูล เพื่อปรับความแรงของสัญญาณให้เหมาะสมกับการมอดูเลต ส่วน VR_3 จะทำหน้าที่ปรับความดันด้านทานที่ขา 12 เมื่อเพิ่ม หรือลดความแรงของสัญญาณทางด้านเอาต์พุต

ที่ขาอินพุต 10 จะรับสัญญาณจากวงจรออสซิลเลเตอร์ โดยมีคาปาซิเตอร์ค่าเท่ากับ 10 nF ซึ่งทำหน้าที่กั้นไฟฟ้ากระแสตรง เพื่อป้องกันไม่ให้เกิดการรบกวนกันระหว่างไฟฟ้ากระแสสลับและไฟฟ้ากระแสตรง ส่วน VR_2 นั้นทำหน้าที่แบ่งสัญญาณที่เข้ามาผ่านขา 8 ลงกราวด์ และจะช่วยปรับความคมชัดของสัญญาณ

ที่อินพุตขา 2 และขา 3 ทำหน้าที่ควบคุมอัตราขยายของสัญญาณ ซึ่งจะเป็นส่วนกลับกับค่าความดันด้านทาน โดยที่ตัวความดันด้านทานมีค่าน้อย อัตราการขยายของสัญญาณเอาต์พุตจะมีค่ามาก แต่ถ้าตัวความดันด้านทานมีค่ามาก อัตราการขยายของสัญญาณเอาต์พุตจะมีค่าน้อย

ที่เอาต์พุตขา 6 และขา 12 สัญญาณที่ออกมาจะเป็นสัญญาณเดียวกัน ดังในรูปที่ 4.12 โดยมีคาปาซิเตอร์ค่าเท่ากับ 10 nF เป็นตัวส่งผ่านสัญญาณไปยังขั้วมิ่งแอมพลิไฟเออร์



Volts / Div = 12.5 v

Time / Div = 2.27 ms

Freq / Div = 3.7 kHz

รูปที่ 4.10 สัญญาณอินพุตของวงจรมอดูเลตแบบ BPSK



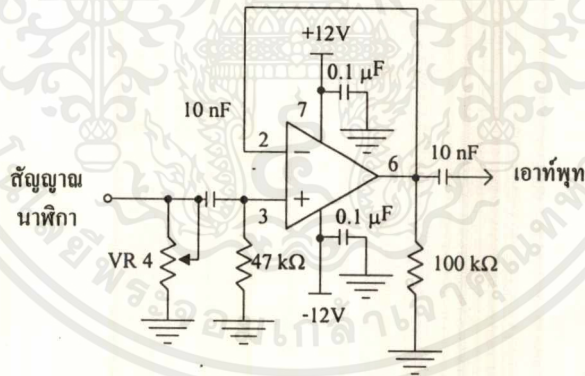
Volts / Div = 0.038 v

Time / Div = 0.05 ms

Freq / Div = 20 kHz

รูปที่ 4.11 สัญญาณเอาต์พุตของวงจรมอดูเลตแบบ BPSK

4.5.2 วงจรบัฟเฟอร์



รูปที่ 4.12 วงจรบัฟเฟอร์

วงจรบัฟเฟอร์จะใช้ออปแอมป์ LM318 โดยที่ VR_4 ทำหน้าที่ควบคุมสัญญาณที่ป้อนให้แก่ อินพุตขา 3 ของออปแอมป์

ในการทดลองจะใช้สัญญาณจากภาคส่งของการมอดูเลตแบบ BPSK ป้อนให้เป็นสัญญาณ อินพุต แล้ววัดสัญญาณเอาต์พุตขา 6 ได้ ดังแสดงในรูปที่ 4.13



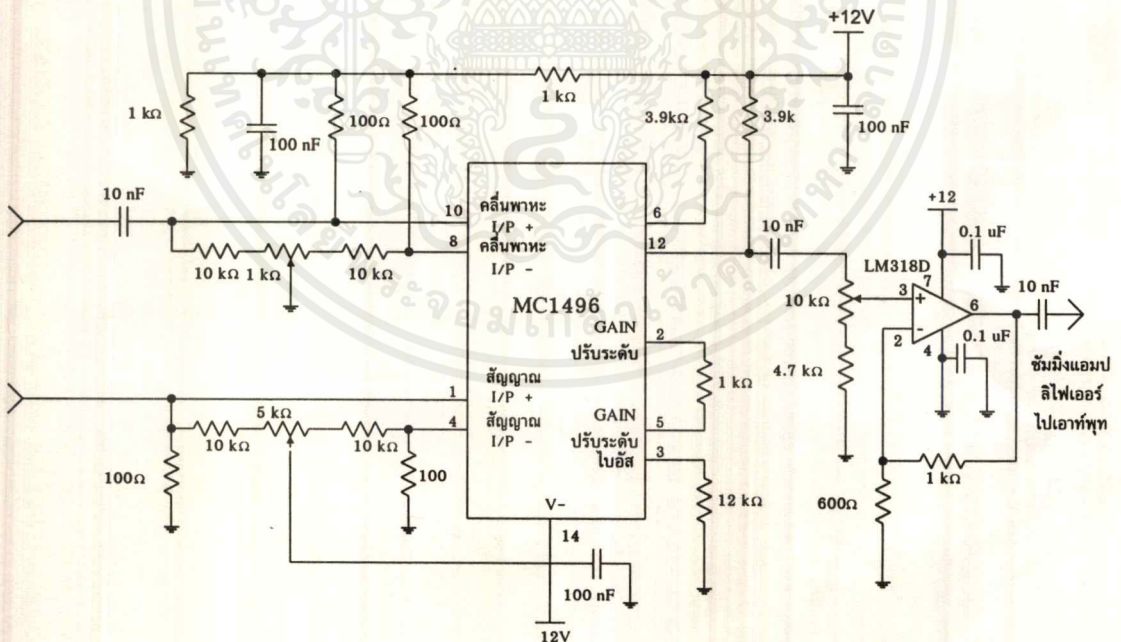
Volts / Div = 0.439 v

Time / Div = 0.05 ms

Freq / Div = 20 kHz

รูปที่ 4.13 สัญญาณเอาต์พุตของวงจรบีฟเฟอร์

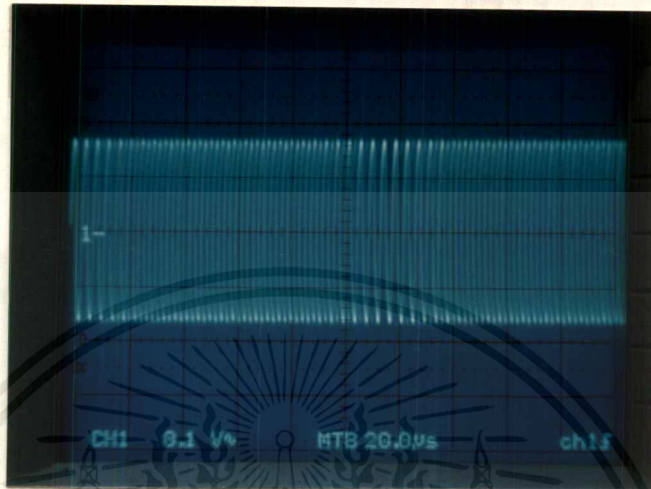
4.5.3 วงจรดีมอดูเลตแบบ BPSK



รูปที่ 4.14 วงจรดีมอดูเลตแบบ BPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.15 จะใช้ IC เบอร์ MC 1496 เป็นตัวคิโมดูลเลตสัญญาณ BPSK โดยสัญญาณ BPSK จะเข้ามาที่อินพุตขา 1 ของไอซี และสัญญาณคลื่นพาหะจะถูกรับเข้ามาทางอินพุตขา 10 ในการทดลองสัญญาณที่ได้จากการคิโมดูลเลตออกมาทางเอาต์พุตขา 12 ดังแสดงในรูปที่ 4.18

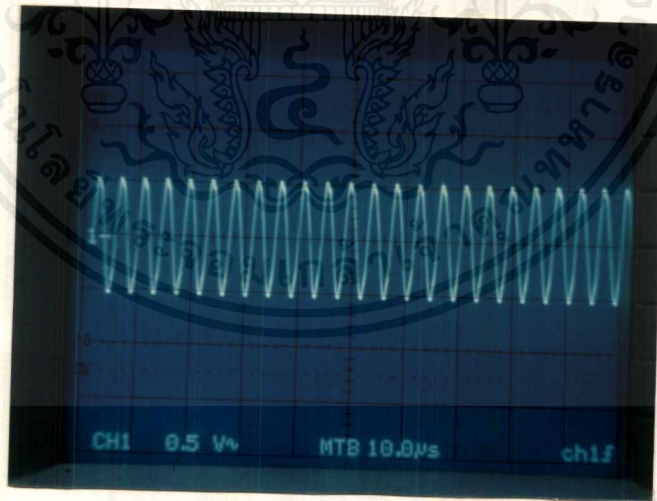


Volts / Div = 0.029 v

Time / Div = 0.05 ms

Freq / Div = 20 kHz

รูปที่ 4.15 สัญญาณอินพุตของวงจรคิโมดูลเลตแบบ BPSK



Volts / Div = 0.23 v

Time / Div = 0.03 ms

Freq / Div = 30 kHz

รูปที่ 4.16 สัญญาณคลื่นพาหะของวงจรคิโมดูลเลตแบบ BPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Volts / Div = 0.25 v

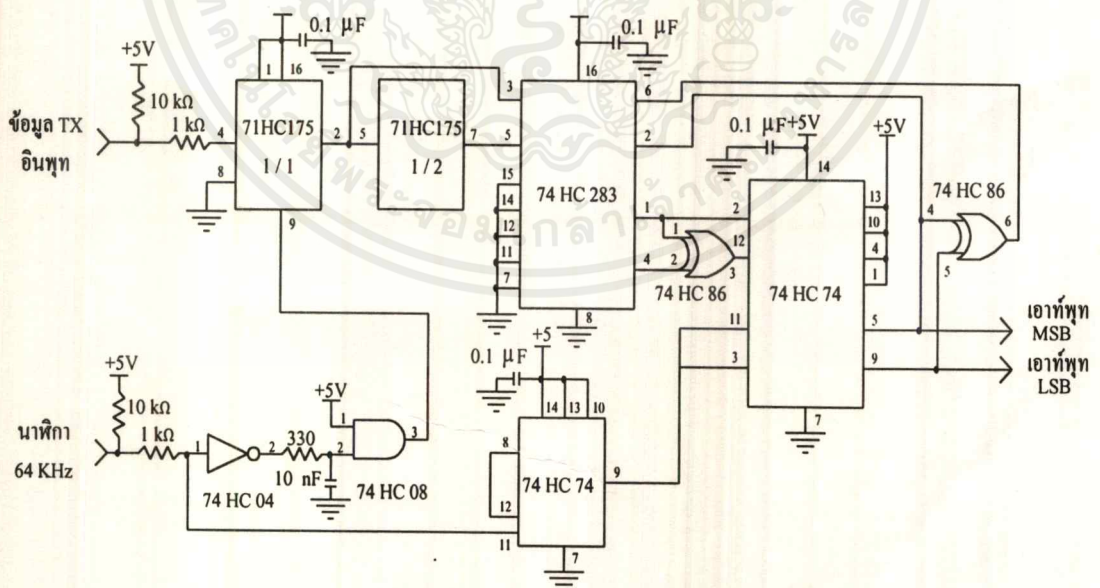
Time / Div = 0.2 ms

Freq / Div = 50 kHz

รูปที่ 4.17 สัญญาณเอาต์พุตของวงจรมอดูเลตแบบ BPSK

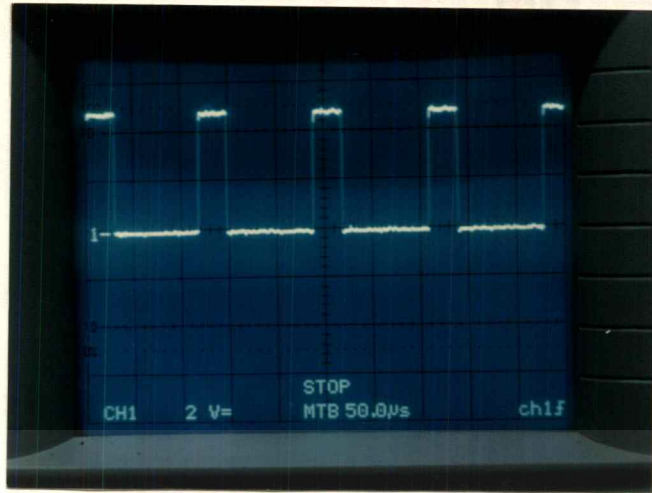
4.6 ควอดเรย์เจอร์เฟสชิฟท์คีย์อิง (QPSK)

4.6.1 วงจรเข้ารหัสความแตกต่างบิตคู่



รูปที่ 4.18 วงจรเข้ารหัสความแตกต่างบิตคู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

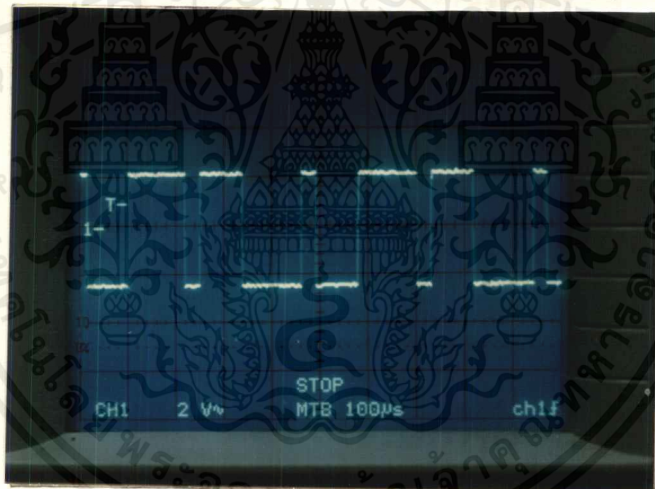


Volts / Div = 1 v

Time / Div = 0.023 ms

Freq / Div = 44 kHz

รูปที่ 4.19 สัญญาณอินพุตของวงจรเข้ารหัสความแตกต่างบิตคู่



Volts / Div = 0.95 v

Time / Div = 0.1 ms

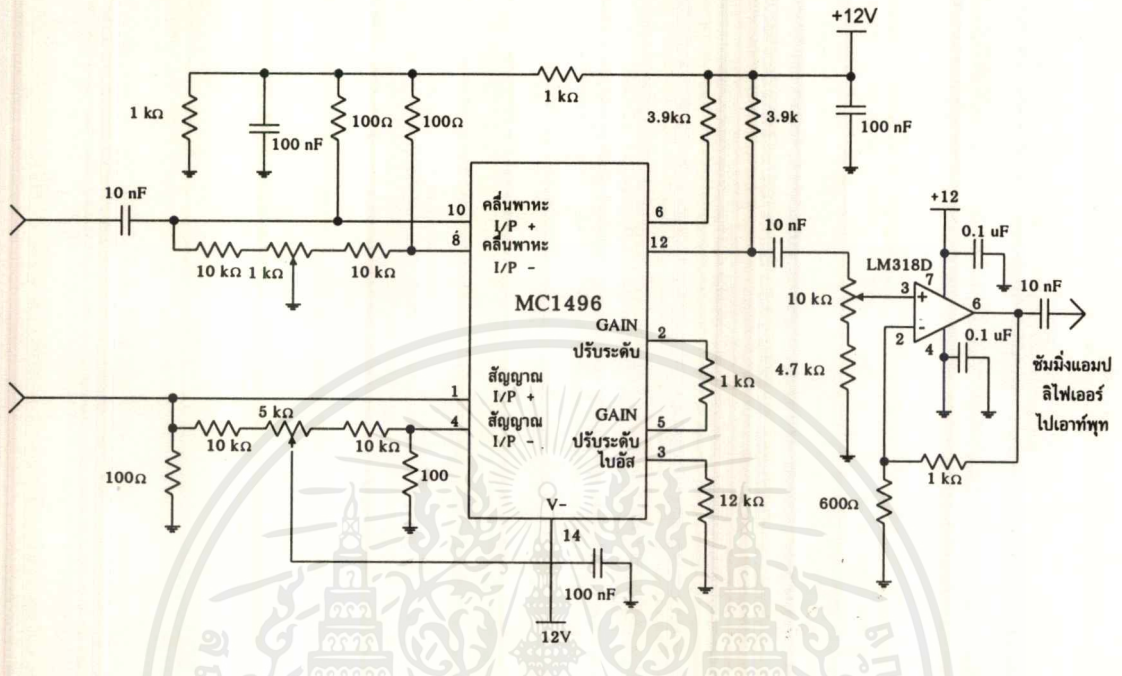
Freq / Div = 10 kHz

รูปที่ 4.20 สัญญาณเอาต์พุตของวงจรเข้ารหัสความแตกต่างบิตคู่

จากรูปที่ 4.20 สัญญาณอินพุตขา 4 ของ IC เบอร์ 74HC175 ซึ่งเป็นดีฟลิปฟล็อปได้รับสัญญาณนาฬิกาจาก IC เบอร์ 74HC08 ในการควบคุมการทำงาน แล้วจะส่งสัญญาณให้ที่ขา 3 และขา 5 ของ IC เบอร์ 74HC283 ซึ่งทำหน้าที่เป็นวงจรบวกเลขจำนวนเต็ม 8 บิต และสัญญาณถูกส่งไปให้ IC เบอร์ 74HC74 ซึ่งเป็นดีฟลิปฟล็อป สัญญาณที่ออกมาทางเอาต์พุตจะมี 2 สัญญาณ คือ สัญญาณ I และสัญญาณ Q ซึ่งจะใช้ส่งให้ภาคมอดูเลตต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6.2 วงจรมอดูเลตช่อง I



รูปที่ 4.21 วงจรมอดูเลตช่อง I

จากรูปที่ 4.21 จะใช้ IC เบอร์ MC1496 ซึ่งเป็นไอซีบาลานส์มอดูเลต โดยที่อินพุตขา 1 จะมี VR_1 ทำหน้าที่ปรับโวลต์เตจของสัญญาณข้อมูล เพื่อทำการปรับระดับของสัญญาณให้เหมาะสมกับการมอดูเลต ส่วนที่ VR_2 จะทำหน้าที่ปรับความต้านทานที่อินพุตขา 4 เมื่อเพิ่ม หรือลดความแรงของสัญญาณทางด้านเอาต์พุต

ที่อินพุตขา 10 จะรับสัญญาณจากวงจรกำเนิดสัญญาณคลื่นพาหะที่มีเฟส 0 องศา โดยจะมีคาปาซิเตอร์ค่าเท่ากับ 10 nF ซึ่งทำหน้าที่กั้นสัญญาณไฟฟ้ากระแสตรง เพื่อป้องกันการรบกวนกันระหว่างสัญญาณไฟฟ้ากระแสสลับ และสัญญาณไฟฟ้ากระแสตรง ส่วน VR_2 จะทำหน้าที่แยกสัญญาณที่เข้ามาผ่านขา 8 ลงกราวด์ และช่วยในการปรับความคมชัดของสัญญาณ ที่ขา 2 และขา 3 ทำหน้าที่ควบคุมอัตราขยายของสัญญาณ ซึ่งจะเป็นส่วนกลับกับค่าของตัวความต้านทาน โดยที่ความต้านทานมีค่าน้อย อัตราในการขยายของสัญญาณเอาต์พุตจะมีค่ามาก แต่ถ้าความต้านทานมีค่ามาก อัตราการขยายของสัญญาณเอาต์พุตจะมีค่าน้อย

ในการทดลองสัญญาณเอาต์พุตที่ออกมา 6 และขา 12 จะมีลักษณะเดียวกัน แต่จะเลือกเอาขา 12 เป็นเอาต์พุต ดังแสดงในรูปที่ 4.23

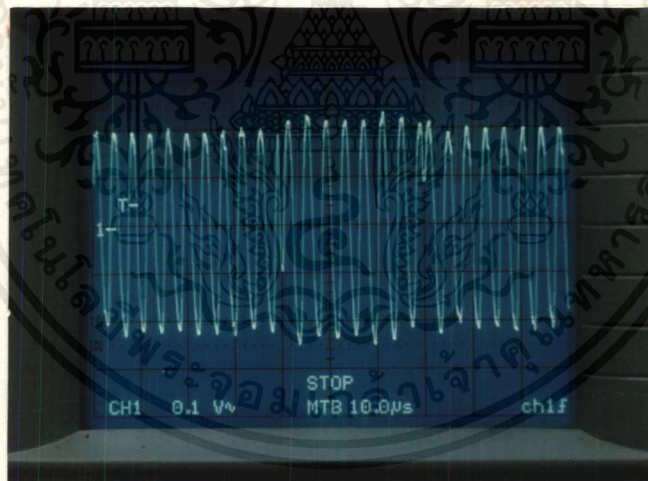


Volts / Div = 0.2 v

Time / Div = 0.05 ms

Freq / Div = 20 kHz

รูปที่ 4.22 สัญญาณข้อมูลอินพุทของวงจรมอดูเลเตอร์ I



Volts / Div = 0.025 v

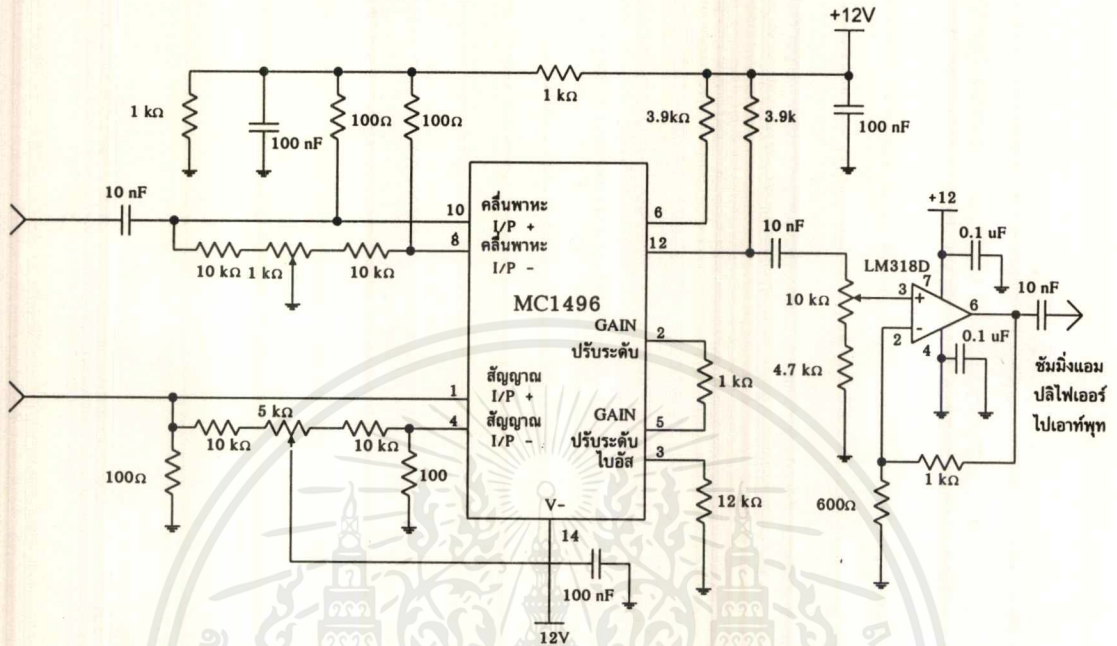
Time / Div = 0.01 ms

Freq / Div = 100 kHz

รูปที่ 4.23 สัญญาณเอาต์พุทของวงจรมอดูเลเตอร์ I

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6.3 วงจรมอดูเลตช่อง Q



รูปที่ 4.24 วงจรมอดูเลตช่อง Q

จากรูปที่ 4.24 จะใช้ IC เบอร์ MC1496 ซึ่งเป็นไอซีบาลานท์มอดูเลต ที่อินพุตขา 1 จะมี VR_1 ทำหน้าที่ปรับค่าแรงดันของสัญญาณข้อมูล เพื่อปรับระดับของสัญญาณให้เหมาะสมกับการมอดูเลต ส่วน VR_2 จะทำหน้าที่ปรับตัวความต้านทานที่ขา 4 เมื่อเพิ่ม หรือลดความแรงของสัญญาณทางด้านเอาต์พุต

ที่อินพุตขา 10 จะทำการรับสัญญาณจากวงจรกำเนิดสัญญาณคลื่นพาหะเฟส 90 องศา โดยมีคาปาซิเตอร์ค่าเท่ากับ 10 nF ซึ่งทำหน้าที่กั้นสัญญาณไฟฟ้ากระแสตรง เพื่อป้องกันการรบกวนกันระหว่างสัญญาณไฟฟ้ากระแสสลับ และสัญญาณไฟฟ้ากระแสตรง ส่วน VR_2 ทำหน้าที่แยกสัญญาณที่เข้ามาผ่านขา 8 ลงกราวด์ และช่วยปรับความคมชัดของสัญญาณ

ที่ขา 2 และขา 3 ทำหน้าที่ควบคุมอัตราขยายของสัญญาณ ซึ่งจะเป็นส่วนกลับของค่าความต้านทาน โดยที่ตัวความต้านทานมีค่าน้อย อัตราขยายของสัญญาณเอาต์พุตจะมีค่ามาก แต่ถ้าตัวความต้านทานมีค่ามากอัตราขยายของสัญญาณเอาต์พุตจะมีค่าน้อย

ที่เอาต์พุตขา 6 และขา 12 สัญญาณที่ออกมา จะมีลักษณะเดียวกัน แต่จะเลือกเอาขา 12 เป็นเอาต์พุตของวงจร

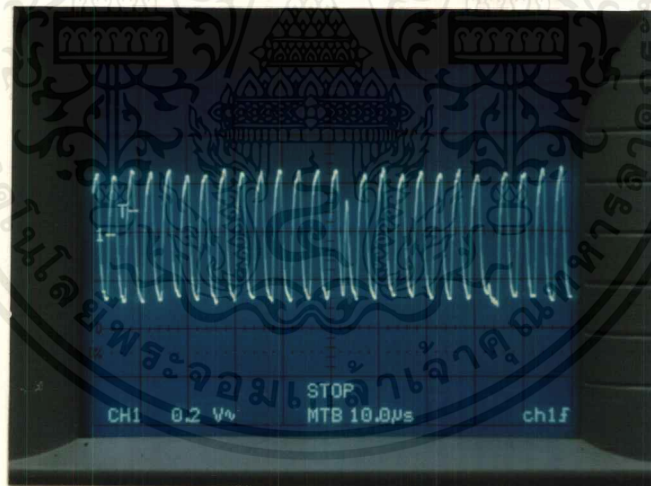


Volts / Div = 0.2 v

Time / Div = 0.05 ms

Freq / Div = 20 kHz

รูปที่ 4.25 สัญญาณอินพุตของวงจรมอดูเลตช่อง Q



Volts / Div = 0.1 v

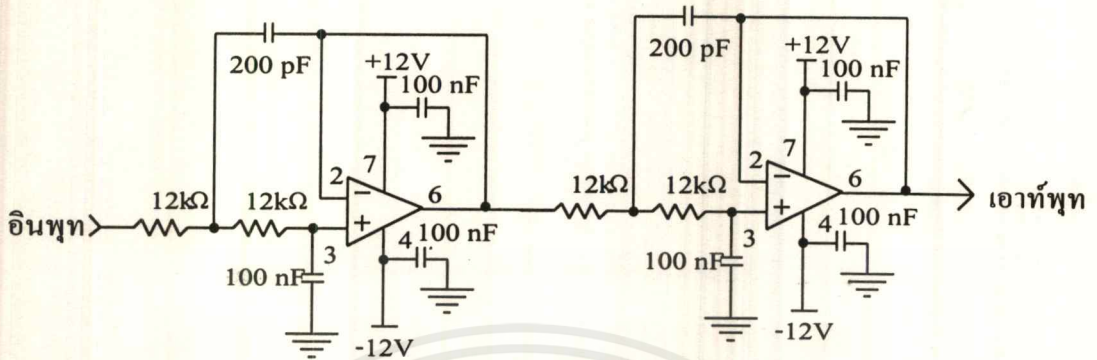
Time / Div = 0.01 ms

Freq / Div = 100 kHz

รูปที่ 4.26 สัญญาณเอาต์พุตของวงจรมอดูเลตช่อง Q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

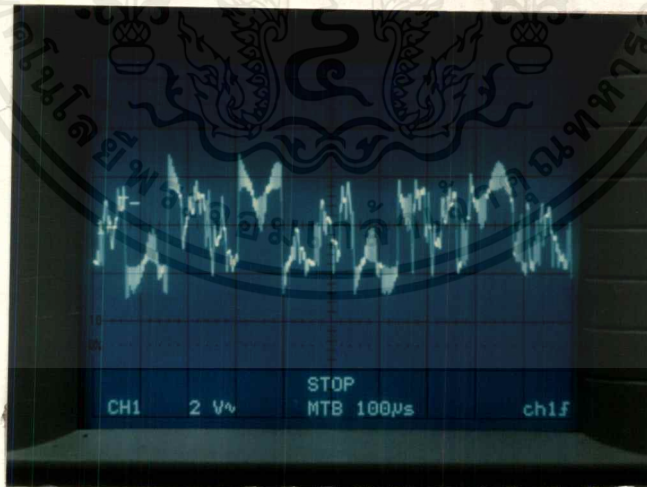
4.6.4 วงจรกรองความถี่ต่ำผ่าน



รูปที่ 4.27 วงจรกรองความถี่ต่ำผ่าน

จากรูปที่ 4.27 ใช้โอปแอมป์เบอร์ LM318 เป็นวงจรกรองความถี่ต่ำผ่าน ในวงจรนี้กำหนดให้จุดตัดความถี่เท่ากับ 65 kHz โดยกำหนดค่าตัวความต้านทาน R_1 เท่ากับ 10 kΩ และ R_2 เท่ากับ 12 kΩ ส่วนค่าคาปาซิเตอร์เท่ากับ 220 pF

ในการทดลองจะต้องวงจรกรองความถี่ต่ำผ่านเข้าด้วยกัน 2 ชุด เพื่อตัดส่วนประกอบของความถี่สูงลงกราวด์ จะได้สัญญาณเอาต์พุตที่สมบูรณ์ ดังแสดงในรูป 4.30



Volts / Div = 1 v

Time / Div = 0.1 ms

Freq / Div = 10 kHz

รูปที่ 4.28 สัญญาณอินพุตของวงจรกรองความถี่ต่ำผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



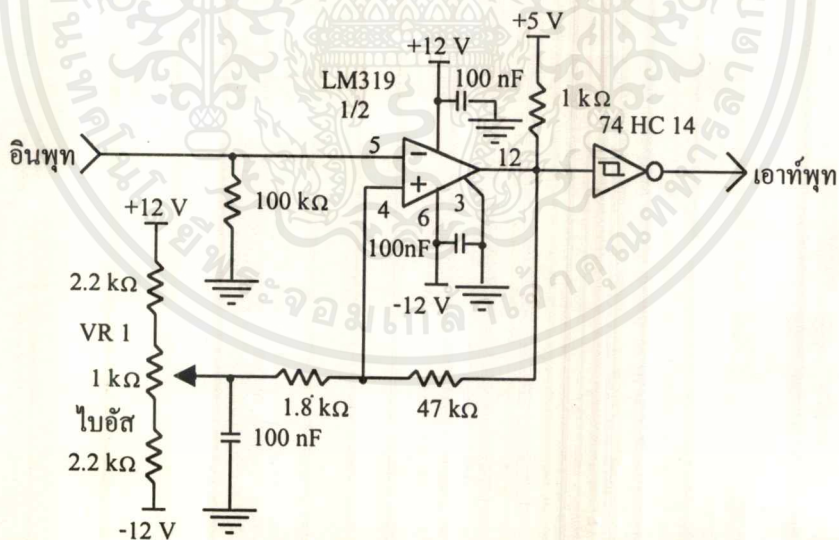
Volts / Div = 2 v

Time / Div = 0.5 ms

Freq / Div = 10 kHz

รูปที่ 4.29 สัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน

4.6.5 วงจรเปรียบเทียบโวลต์เตจ

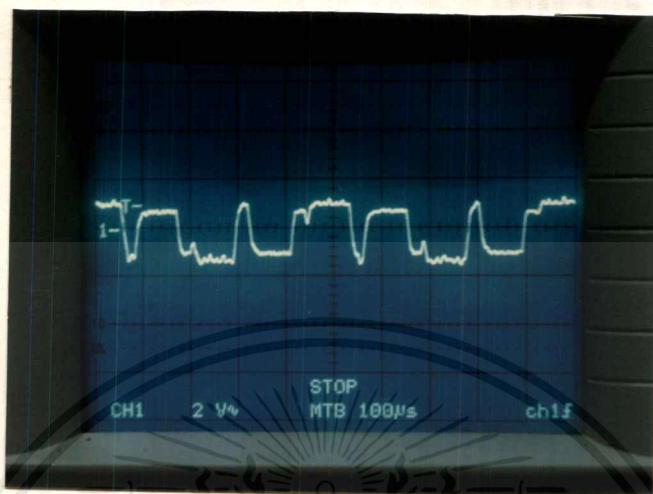


รูปที่ 4.30 วงจรเปรียบเทียบโวลต์เตจ

จากรูปที่ 4.30 จะใช้ออปแอมป์เบอร์ LM319 ทำหน้าที่เปรียบเทียบระดับสัญญาณกับ สัญญาณอ้างอิงที่ได้จากการปรับ VR₁ ของแหล่งจ่ายไฟ +12 VDC และไฟ -12 VDC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่สัญญาณเอาต์พุตที่ได้จากวงจรเปรียบเทียบกับโวลต์เดจจะกลับเฟส 180 องศา ดังนั้น จึงจะต้องต่อเกทนอนท์ที่เอาต์พุต เพื่อจะกลับสัญญาณเอาต์พุตให้ตรงกับสัญญาณอินพุต



Volts / Div = 2 v

Time / Div = 0.1 ms

Freq / Div = 10 kHz

รูปที่ 4.31 สัญญาณอินพุตของวงจรเปรียบเทียบกับโวลต์เดจ



Volts / Div = 0.9 v

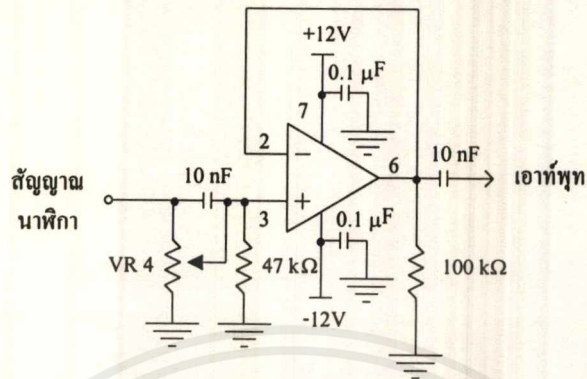
Time / Div = 0.1 ms

Freq / Div = 10 kHz

รูปที่ 4.32 สัญญาณเอาต์พุตของวงจรเปรียบเทียบกับโวลต์เดจ

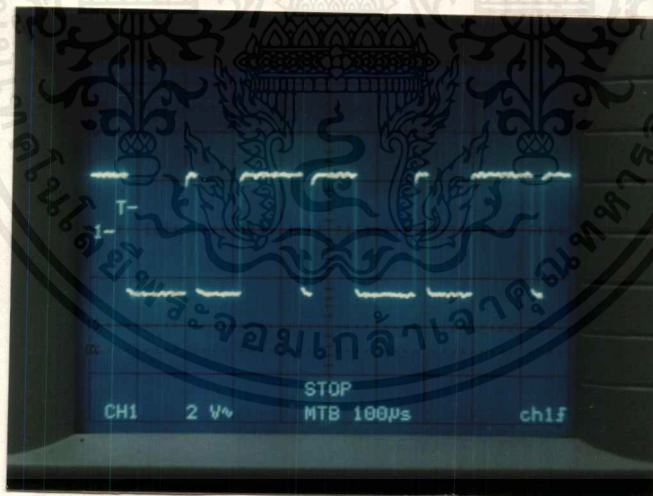
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6.6 วงจรบัฟเฟอร์



รูปที่ 4.33 วงจรบัฟเฟอร์

จากรูปที่ 4.33 ใช้อปแอมป์ เบอร์ LM318 จะทำหน้าที่เป็นวงจรบัฟเฟอร์ โดยจะมี VR₄ ควบคุมความแรงสัญญาณให้แก่อปแอมป์ ในการทดลองจะป้อนสัญญาณ QPSK ที่อินพุทขา 3 จะได้สัญญาณเอาต์พุตที่ขา 6 ดังแสดงในรูปที่ 4.35



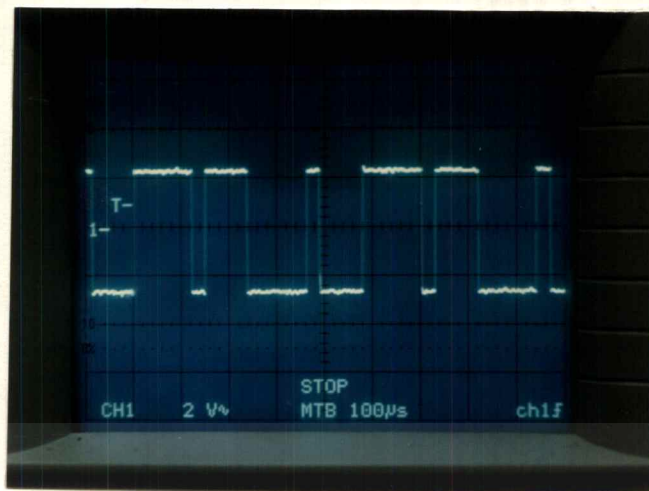
Volts / Div = 0.9 v

Time / Div = 0.1 ms

Freq / Div = 10 kHz

รูปที่ 4.34 สัญญาณบัฟเฟอร์ช่อง I

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



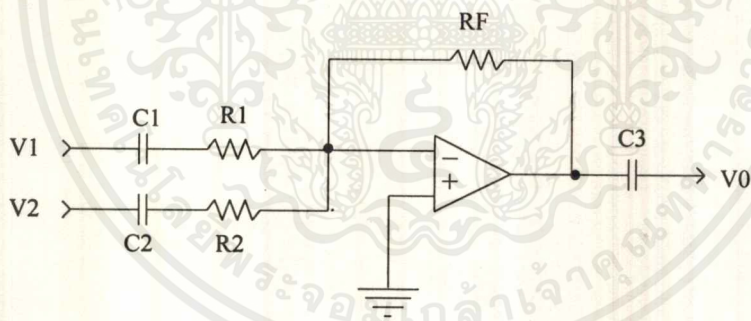
Volts / Div = 0.9 v

Time / Div = 0.1 ms

Freq / Div = 10 kHz

รูปที่ 4.35 สัญญาณบัฟเฟอร์ช่อง Q

4.6.7 วงจรخمมิ่งแอมพลิไฟเออร์



รูปที่ 4.36 วงจรخمมิ่งแอมพลิไฟเออร์

จากวงจรخمมิ่งแอมพลิไฟเออร์ จะรับสัญญาณทั้งจากภาคมอดูเลต I และ มอดูเลต Q เข้ามาที่ขา 2 ของออปแอมป์เบอร์ LM318 จากลักษณะของวงจรจะเป็นการป้อนกลับแบบลบ โดยที่อัตราขยายกำหนดโดย R_f และ R_i

ในการทดลองจะป้อนสัญญาณที่ได้จากช่องสัญญาณ I และช่องสัญญาณ Q ให้อินพุตของออปแอมป์ เพื่อทำหน้าที่รวมสัญญาณทั้งสองช่องเข้าด้วยกัน ทำให้ได้สัญญาณที่เอาท์พุทของวงจรخمมิ่งแอมพลิไฟเออร์ แสดงดังรูปที่ 4.39



Volts / Div = 0.029 v

Time / Div = 0.01 ms

Freq / Div = 100 kHz

รูปที่ 4.37 สัญญาณอินพุตช่อง I ของวงจรซมมิ่งแอมพลิไฟเออร์



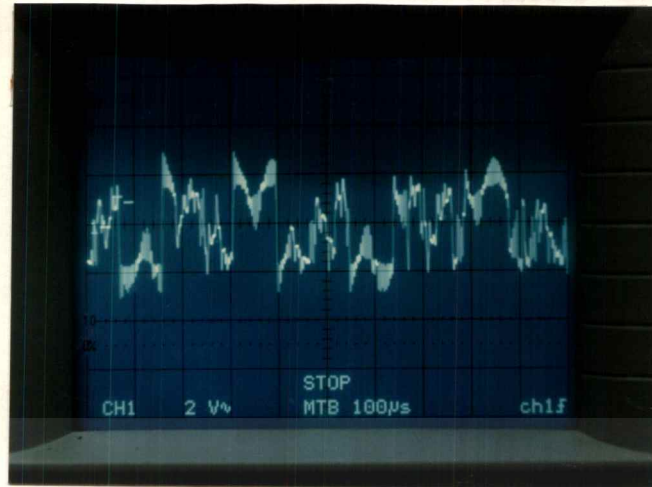
Volts / Div = 0.1 v

Time / Div = 0.01 ms

Freq / Div = 100 kHz

รูปที่ 4.38 สัญญาณอินพุตช่อง Q ของวงจรซมมิ่งแอมพลิไฟเออร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



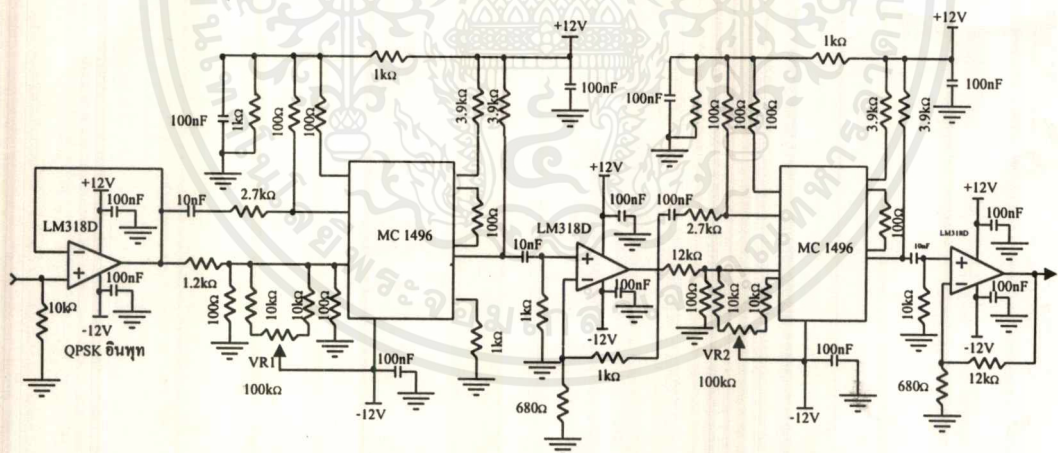
Volts / Div = 0.25 v

Time / Div = 0.02 ms

Freq / Div = 50 kHz

รูปที่ 4.39 สัญญาณที่ผ่านวงจรซมมิงแอมพลิไฟเออร์

4.6.8 วงจรดีมอดูเลตช่อง I



รูปที่ 4.40 วงจรภาคดีมอดูเลตช่อง I

จากรูปที่ 4.40 ใช้ IC เบอร์ MC1496 ทำหน้าที่ดีมอดูเลตสัญญาณ QPSK โดยสัญญาณ QPSK จะเข้าที่อินพุตขา 1 ส่วนสัญญาณคลื่นพาหะเฟส 0 องศา จะเข้ามาทางอินพุตขา 10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

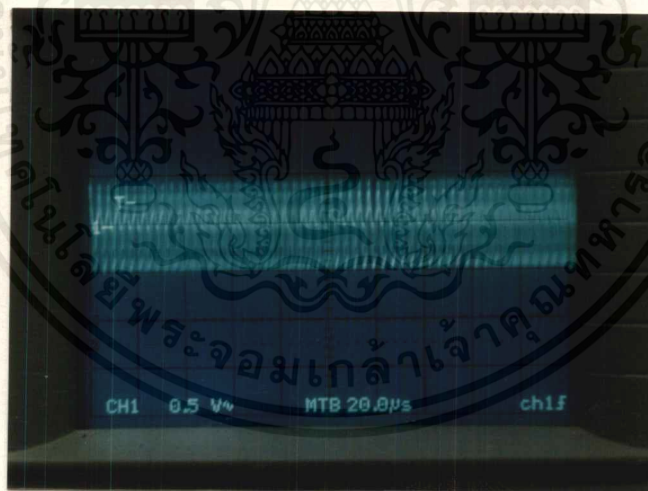
สัญญาณที่ได้จากวงจรคิโมดูลของชุดฝึกอบรม QPSK นั้น จะมีความแตกต่างของสัญญาณ 4 ระดับ ตามเฟสของสัญญาณคลื่นพาหะที่นำมาคิโมดูล

สัญญาณคลื่นพาหะที่ใช้สำหรับการคิโมดูล จะได้จากวงจรกึ่งสัญญาณคลื่นพาหะในภาครับของชุดฝึกอบรม QPSK ซึ่งสัญญาณคลื่นพาหะที่ใช้ในการคิโมดูลนั้นจะต้องซิงโครไนท์กันกับสัญญาณคลื่นพาหะที่ใช้ในภาคส่ง

ที่ขา 2 และขา 3 ของ IC เบอร์ MC1496 โดยจะมีตัวความต้านทานควบคุมการมอดูเลต ซึ่งอัตราส่วนในการมอดูเลตถูกกำหนดจากความต่างเฟสของระดับสัญญาณคลื่นพาหะ และความแรงของสัญญาณคลื่นพาหะที่เข้ามาทำการมอดูเลตกลับไปทางด้านเอาต์พุต จะออกทางขา 2 และขา 12

ในการทดลองจะป้อนสัญญาณ QPSK ที่ได้จากการมอดูเลต ดังแสดงในรูปที่ 4.41 เอาต์พุตที่ได้จากการคิโมดูลจะผ่านออกทางขา 12 ของ IC เบอร์ MC 1496 ดังแสดงในรูปที่ 4.42 โดยจะมีคาปาซิเตอร์ค่า 10 ไมโครฟารัด ทำหน้าที่กั้นสัญญาณไฟฟ้ากระแสตรง เพื่อป้องกันการรบกวนกันของสัญญาณไฟฟ้ากระแสสลับ และสัญญาณไฟฟ้ากระแสตรง

สัญญาณเอาต์พุตที่ได้จากวงจรคิโมดูลจะถูกส่งไปให้ IC เบอร์ LM318 ทำหน้าที่ขยายสัญญาณต่อไป

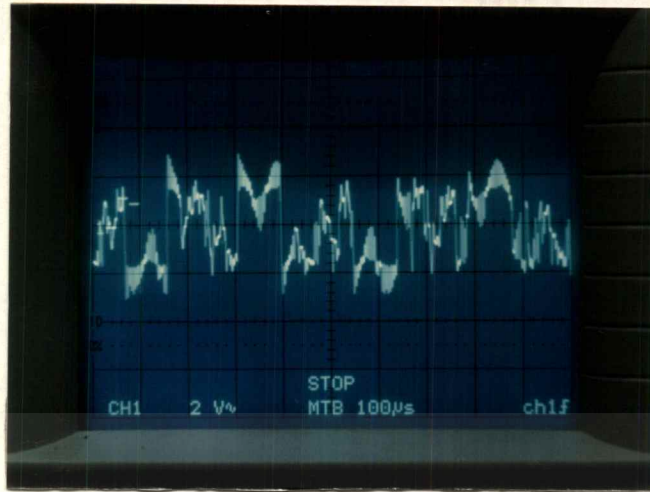


Volts / Div = 0.25 v

Time / Div = 0.02 ms

Freq / Div = 50 kHz

รูปที่ 4.41 สัญญาณ QPSK



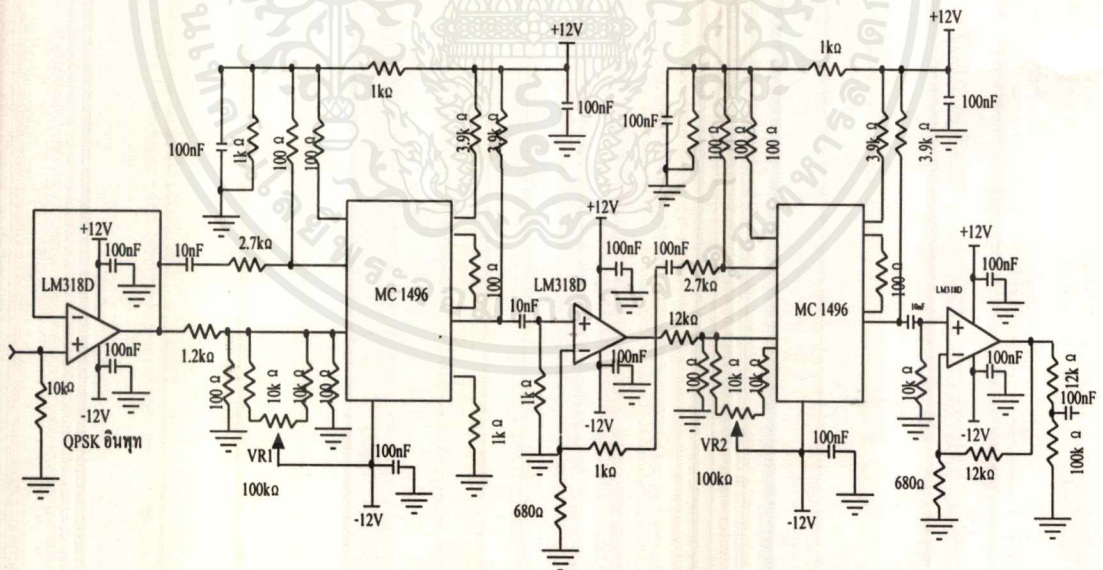
Volts / Div = 1 v

Time / Div = 0.1 ms

Freq / Div = 10 kHz

รูปที่ 4.42 สัญญาณ QPSK ที่ผ่านการคิมอดูเลตช่อง I

4.6.9 วงจรคิมอดูเลตช่อง Q



รูปที่ 4.43 แผนผังภาคคิมอดูเลตช่อง Q

จากรูปที่ 4.43 ใช้ IC เบอร์ MC1496 ทำหน้าที่คิโมดูเลตสัญญาณ QPSK โดยสัญญาณ QPSK จะเข้าที่อินพุตขา 1 ของไอซี ส่วนสัญญาณคลื่นพาหะเฟส 90 องศา จะผ่านเข้ามาทางขา 10 ของวงจร

สัญญาณที่ได้จากการคิโมดูเลตช่อง Q ของชุดคิโมดูเลต QPSK จะมีความต่างของสัญญาณ 4 ระดับ ตามเฟสของสัญญาณคลื่นพาหะที่ทำการคิโมดูเลต ซึ่งการคิโมดูเลตได้สัญญาณดีเพียงใด ขึ้นอยู่กับการปรับโวลต์เดจที่ขา 14 ของ IC เบอร์ MC1496 โดยจะมีตัวความต้านทานมาควบคุมการมอดูเลต

ที่อินพุตขา 2 และขา 3 ของ IC เบอร์ MC1496 ซึ่งอัตราส่วนในการคิโมดูเลตจะถูกกำหนดจากความต่างเฟสของสัญญาณคลื่นพาหะที่เอาท์พุท จะออกทางขา 2 และขา 12 ซึ่งสัญญาณที่ออกมาจะเหมือนกันทุกอย่าง แต่เลือกเอาเอาท์พุทที่ขา 12 ไปใช้งาน

ในการทดลองจะป้อนสัญญาณ QPSK ที่ได้จากการมอดูเลต ดังแสดงในรูปที่ 4.44 เอาท์พุทที่ได้จากการคิโมดูเลตจะออกทางขา 12 ของ IC เบอร์ MC 1496 ดังแสดงในรูปที่ 4.45 โดยจะมีคาปาซิเตอร์ค่า 10 ไมโครฟารัด ทำหน้าที่กั้นสัญญาณไฟฟ้ากระแสตรง เพื่อป้องกันการรบกวนกันของสัญญาณไฟฟ้ากระแสสลับ และสัญญาณไฟฟ้ากระแสตรง

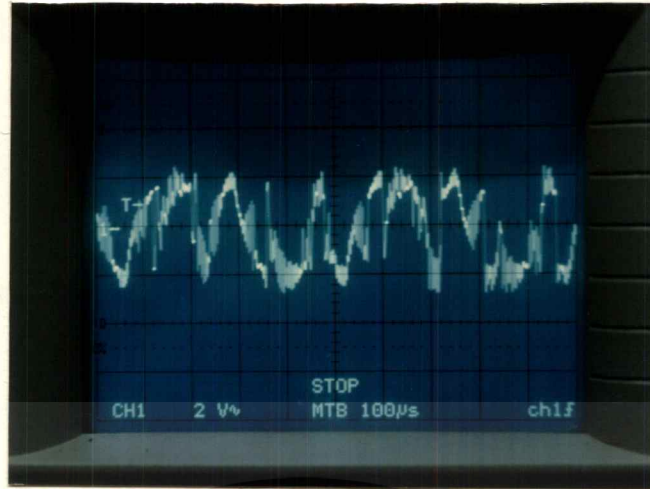


Volts / Div = 0.25 v

Time / Div = 0.02 ms

Freq / Div = 50 kHz

รูปที่ 4.44 สัญญาณ QPSK



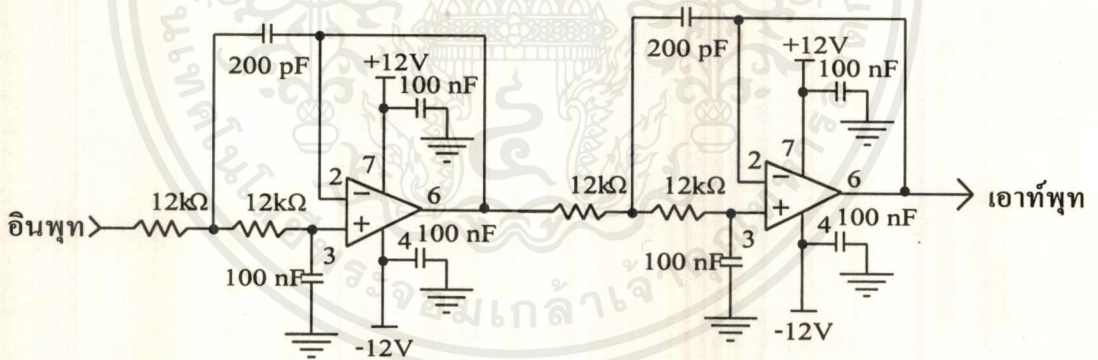
Volts / Div = 1 v

Time / Div = 0.1 ms

Freq / Div = 10 kHz

รูปที่ 4.45 สัญญาณ QPSK ที่ผ่านการคั่นอคูเลต

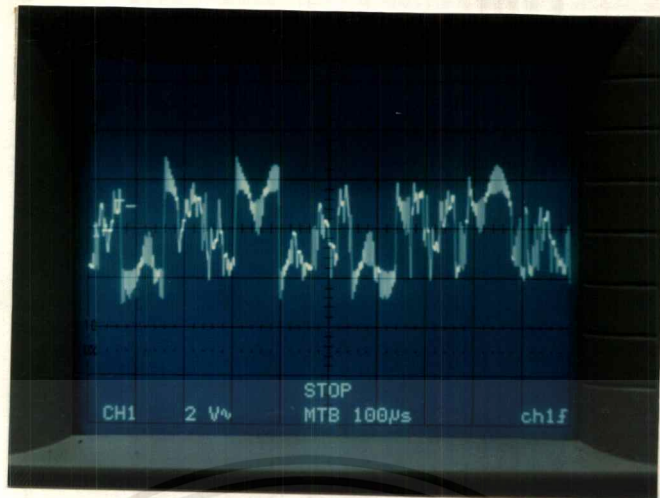
4.6.10 วงจรกรองความถี่ต่ำผ่าน



รูปที่ 4.46 วงจรกรองความถี่ต่ำผ่านช่อง I และ Q

จากรูปที่ 4.46 ใช้อปแอมป์เบอร์ LM318 เป็นวงจรกรองความถี่ต่ำผ่าน ในวงจรที่กำหนดให้จุดตัดความถี่ 65 kHz โดยกำหนดค่าความต้านทานเท่ากับ 10 kHz และ 12 kHz ส่วนคาปาซิเตอร์ค่าเท่ากับ 220 pF และในการต่อกันหลายขั้นตอน เพราะวงจรจะค่อยๆ ตัดส่วนประกอบที่ความถี่สูงลงกราวด์ จึงต้องมีหลายขั้นตอนในการตัดส่วนประกอบของวงจรให้สมบูรณ์ที่สุด ดังนั้น จำเป็นที่จะใช้วงจรกรองความถี่ต่ำผ่านหลายขั้นตอนด้วยกัน โดยใช้วงจรกรองความถี่ต่ำผ่าน 2 วงจร ส่วนวงจรที่เหลือจะเป็นวงจรบัฟเฟอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Volts / Div = 1 v

Time / Div = 0.1 ms

Freq / Div = 10 kHz

รูปที่ 4.47 สัญญาณอินพุตวงจรกรองความถี่ต่ำผ่านช่อง I

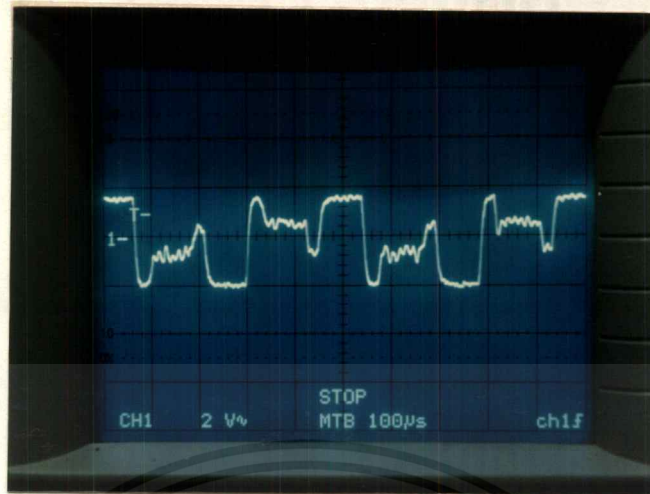


Volts / Div = 1 v

Time / Div = 0.1 ms

Freq / Div = 10 kHz

รูปที่ 4.48 สัญญาณเอาต์พุตวงจรกรองความถี่ต่ำผ่านช่อง I

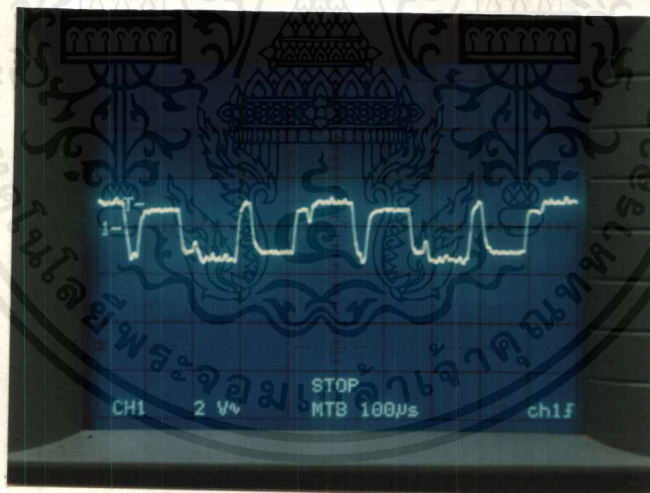


Volts / Div = 1 v

Time / Div = 0.1 ms

Freq / Div = 10 kHz

รูปที่ 4.49 สัญญาณอินพุตวงจรกรองความถี่ต่ำผ่านช่อง Q



Volts / Div = 2 v

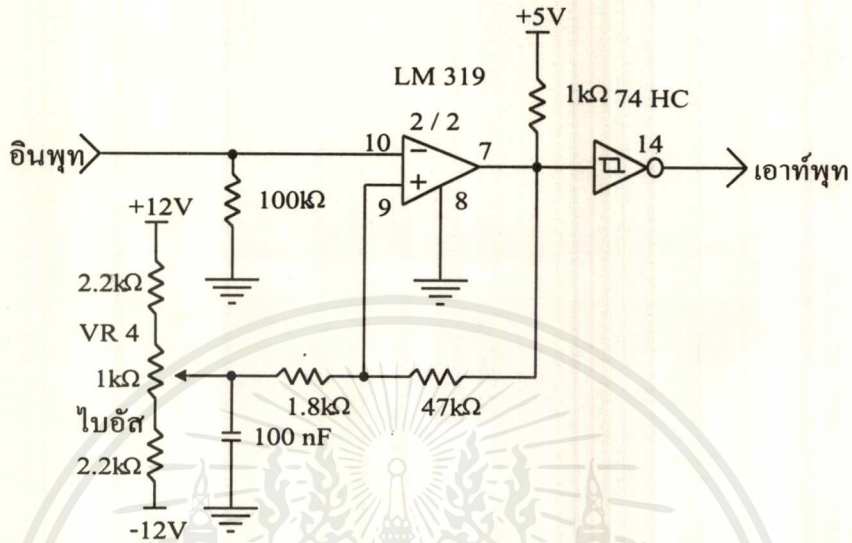
Time / Div = 0.1 ms

Freq / Div = 10 kHz

รูปที่ 4.50 สัญญาณเอาต์พุตวงจรกรองความถี่ต่ำผ่านช่อง Q

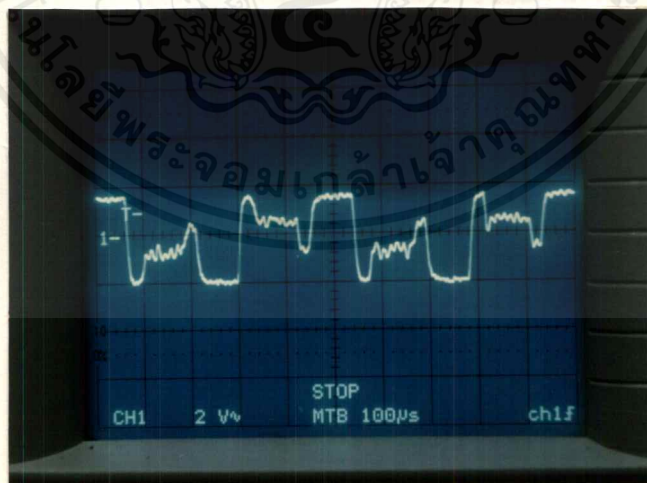
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6.11 วงจรเปรียบเทียบโวลต์เตจ



รูปที่ 4.51 วงจรเปรียบเทียบโวลต์เตจช่อง I และ Q

จากรูปที่ 4.51 ใช้อปแอมป์เบอร์ LM319 ซึ่งจะมีอปแอมป์ 2 ตัว อยู่ใน IC ตัวเดียว ซึ่งเอาท์พุทที่ได้จะถูกสร้างขึ้น โดยการเปรียบเทียบระดับสัญญาณกับสัญญาณอ้างอิง



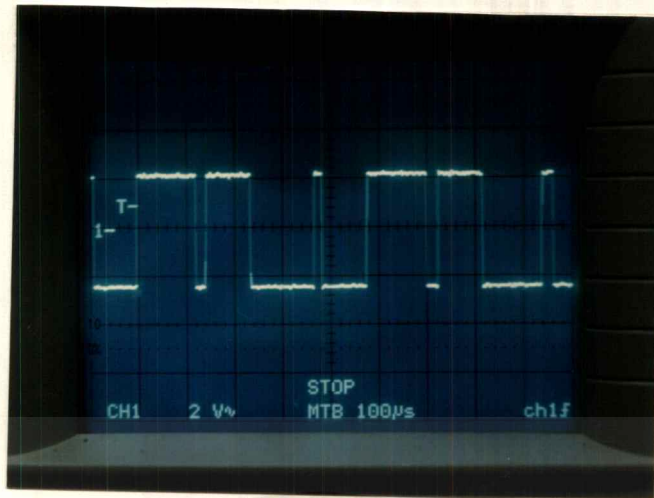
Volts / Div = 1 v

Time / Div = 0.1 ms

Freq / Div = 10 kHz

รูปที่ 4.52 สัญญาณเปรียบเทียบโวลต์เตจอินพุทของ I

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



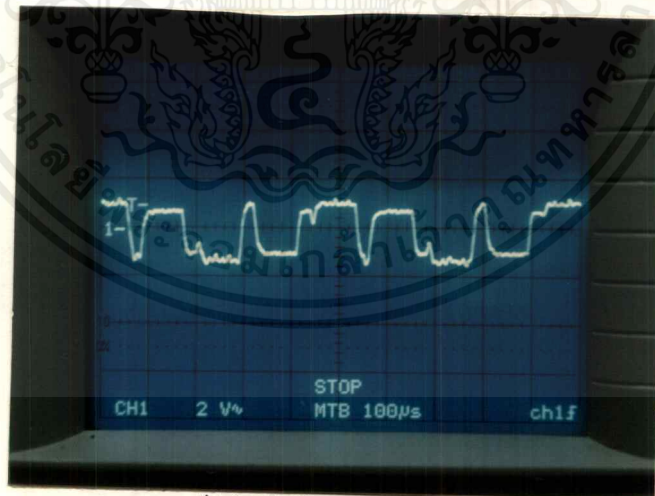
Volts / Div = 0.9 v

Time / Div = 0.1 ms

Freq / Div = 10 kHz

รูปที่ 4.53 สัญญาณเปรียบเทียบโวลต์เตจเอาต์พุตช่อง I

สัญญาณอ้างอิงได้จากการปรับ VR_1 ระหว่างแหล่งจ่ายไฟฟ้ากระแสบวก 12 VDC และ ไฟฟ้ากระแสลบ 12 VDC แต่ลักษณะการต่อวงจรนั้น เป็นการป้อนกลับแบบลบ ซึ่งจะกลับเฟส 180 องศา จึงจำเป็นต้องต่อเกทนอกที่เอาต์พุต เพื่อจะกลับสัญญาณให้ตรงกับสัญญาณจริง



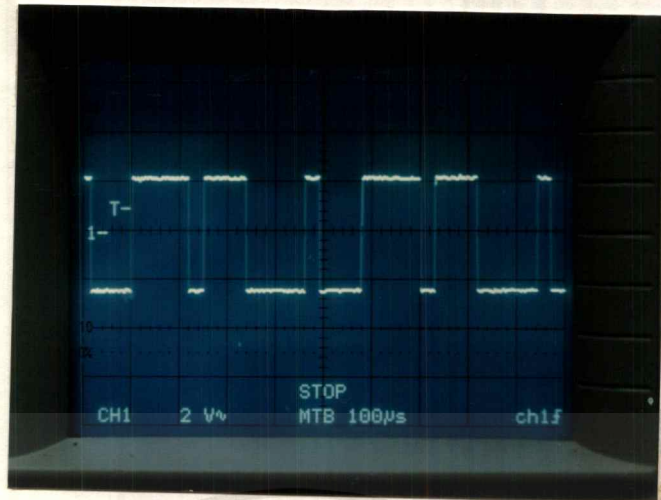
Volts / Div = 2 v

Time / Div = 0.1 ms

Freq / Div = 10 kHz

รูปที่ 4.54 สัญญาณเปรียบเทียบโวลต์เตจอินพุตช่อง Q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



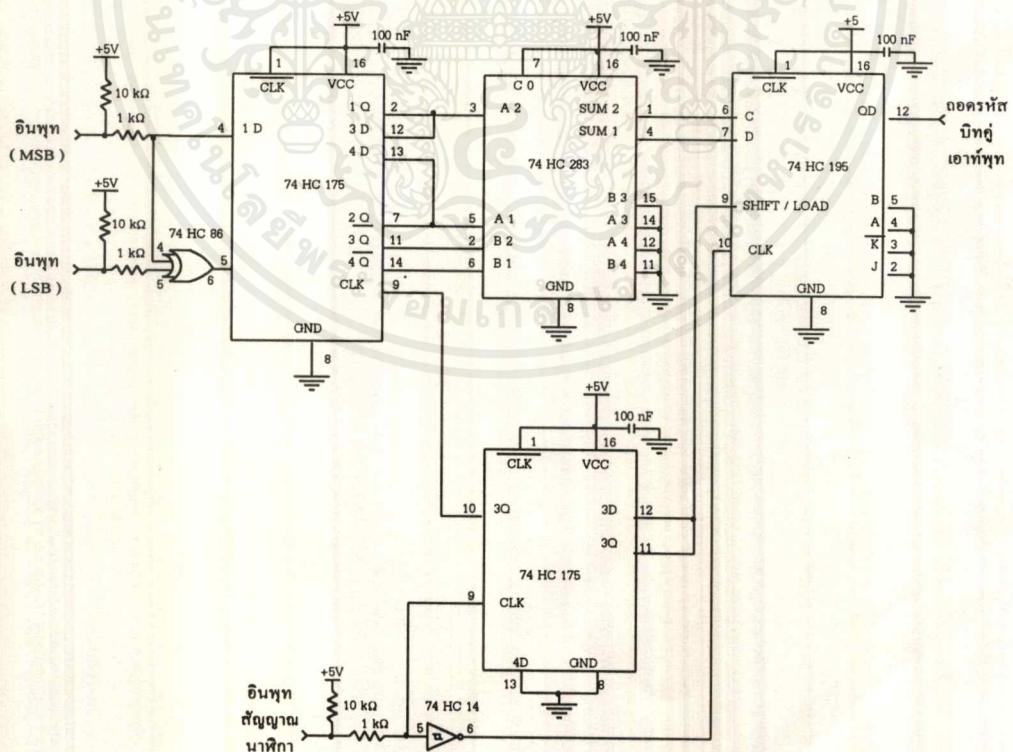
Volts / Div = 0.9 v

Time / Div = 0.1 ms

Freq / Div = 10 kHz

รูปที่ 4.55 สัญญาณเปรียบเทียบโวลต์เตจเอาต์พุตช่อง Q

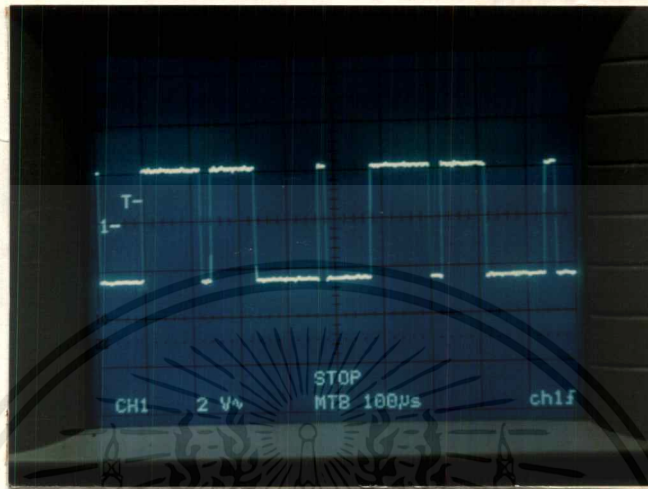
4.6.12 วงจรถอดรหัสความแตกต่างบิตคู่



รูปที่ 4.56 วงจรถอดรหัสบิตคู่ของ I และ Q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรถอดรหัสบิทคู่ ทำหน้าที่ ถอดรหัสสัญญาณที่เข้ามาทางวงจรเข้ารหัสบิทคู่ เพื่อให้
ออก 2 ช่อง คือ ทางช่อง I และช่อง Q ซึ่งเป็นสัญญาณลักษณะเดียวกัน แต่การทำงานจะตรงข้ามกับ
วงจรเข้ารหัสบิทคู่

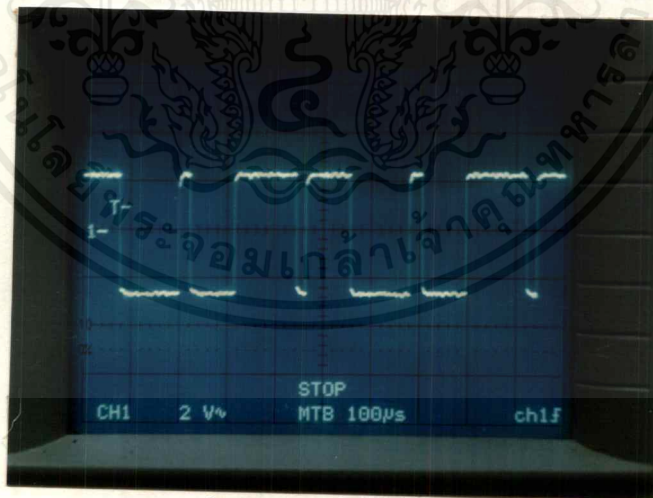


Volts / Div = 0.9 v

Time / Div = 0.1 ms

Freq / Div = 10 kHz

รูปที่ 4.57 สัญญาณอินพุตช่อง I



Volts / Div = 0.9 v

Time / Div = 0.1 ms

Freq / Div = 10 kHz

รูปที่ 4.58 สัญญาณอินพุตช่อง Q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Volts / Div = 0.9 v

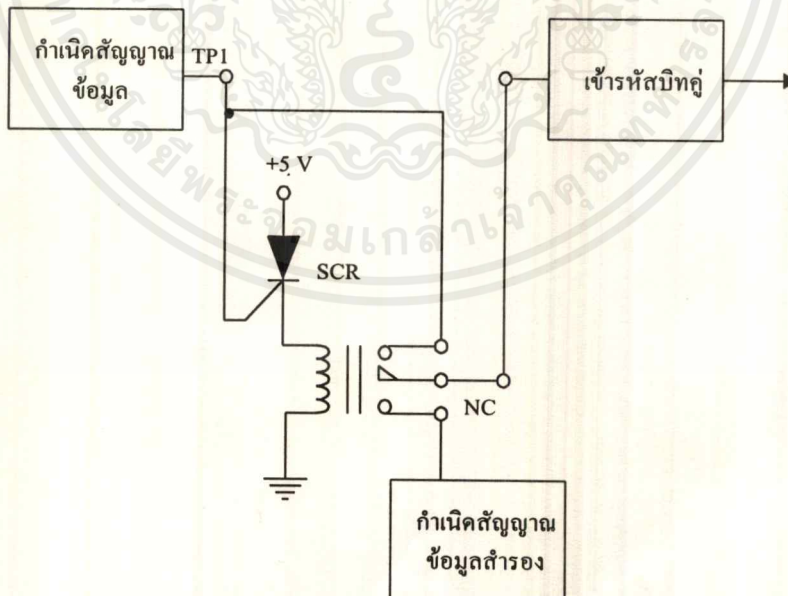
Time / Div = 0.05 ms

Freq / Div = 20 kHz

รูปที่ 4.59 สัญญาณข้อมูลเอาต์พุต QPSK

4.7 วงจรควบคุมควอดเรย์เฟสซีฟท์กี้อยิ่ง (QPSK Control)

4.7.1 จุดทดสอบที่ 1 (TP 1)



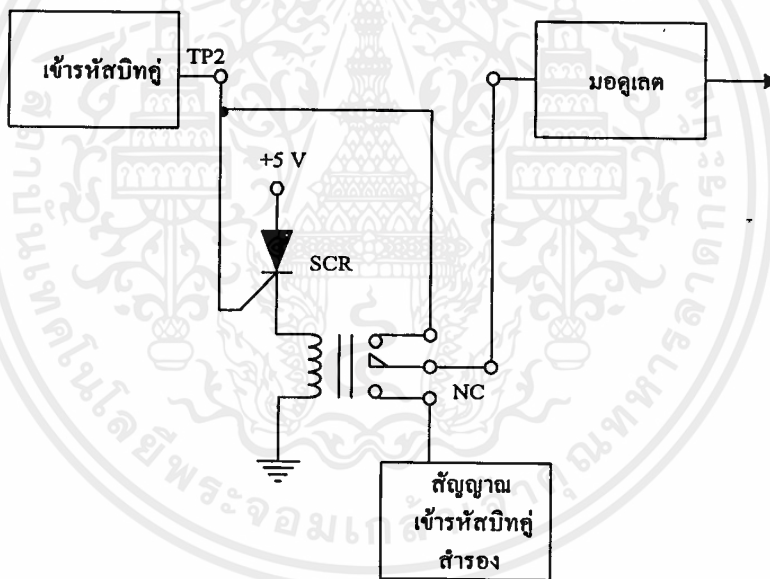
รูปที่ 4.60 ชุดควบคุมวงจรกำเนิดสัญญาณข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเริ่มเปิดสวิตช์ที่วงจรควบคุม จะทำการตรวจสอบสัญญาณที่จุด TP 1 เพื่อตรวจสอบการทำงานของวงจรกำเนิดข้อมูล ถ้าวงจรปกติจะไม่มีสัญญาณข้อมูลออกมา รีเลย์จะตัดไปที่วงจรสำรอง (back up) เพื่อส่งสัญญาณมาแทนวงจรปกติ

4.7.2 จุดทดสอบที่ 2 (TP 2)

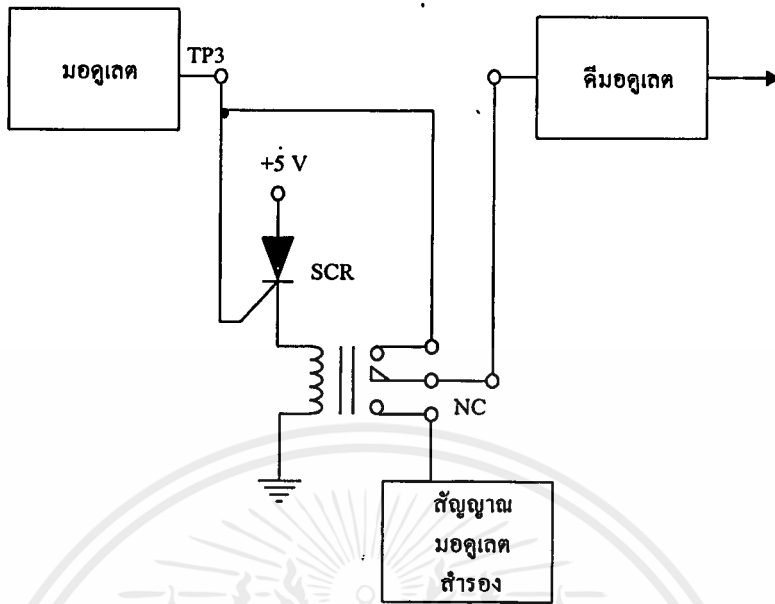
เป็นจุดวัดสัญญาณที่ออกจากวงจรเข้ารหัสพิกัด โดยทำการตรวจสอบสัญญาณที่ออกมาจากวงจรเข้ารหัสพิกัดทางด้านเอาต์พุต ซึ่งจะทำให้การตรวจสอบที่ระดับสัญญาณ เพื่อให้มีแรงดันตั้งแต่ 0.6 โวลต์ ขึ้นไป ในกรณีที่ระดับสัญญาณมากกว่า 0.6 โวลต์ รีเลย์ในวงจรควบคุมจะทำการเลือกจากวงจรปกติออกไป ในกรณีที่ระดับสัญญาณน้อยกว่า 0.6 โวลต์ รีเลย์ในวงจรควบคุมจะทำการเลือกสัญญาณจากวงจรสำรองออกไป



รูปที่ 4.61 ชุดควบคุมวงจรเข้ารหัสพิกัด

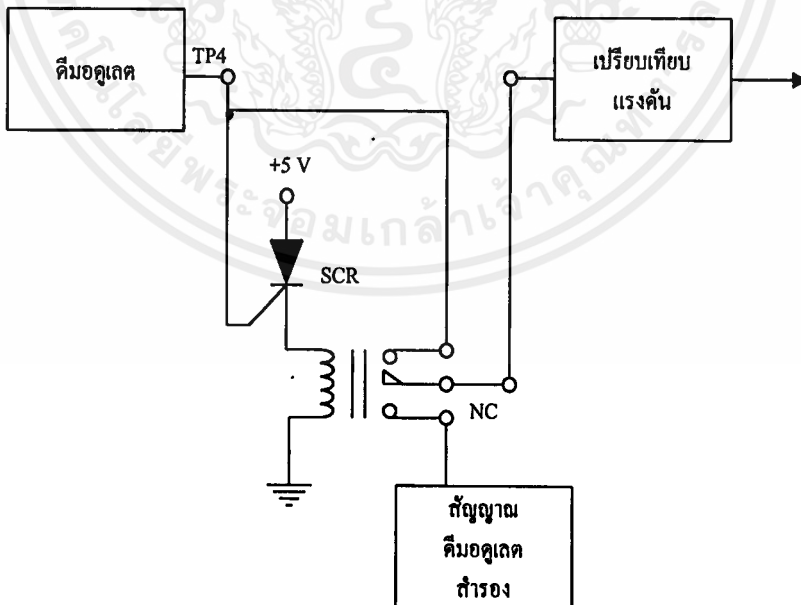
4.7.3 ที่จุดทดสอบที่ 3 (TP 3)

ที่จุด TP 3 ส่วนของวงจรควบคุมทำการตรวจสอบสัญญาณคีมอดูเลต โดยทำการตรวจสอบสัญญาณที่ออกจากวงจรมอดูเลต ถ้าไม่มีสัญญาณออกมา ส่วนวงจรควบคุมจะทำการส่งผ่านสัญญาณเดิมออกไป ที่วงจรซัมมิงแอมพลิไฟเออร์ แต่ถ้าไม่มีสัญญาณออกมาจากวงจรมอดูเลต และวงจรควบคุมจะทำการส่งสัญญาณมอดูเลตจากวงจรสำรองเข้าไปแทนที่



รูปที่ 4.62 ชุดควบคุมวงจรมอเตอร์

4.7.4 จุดทดสอบที่ 4 (TP 4)

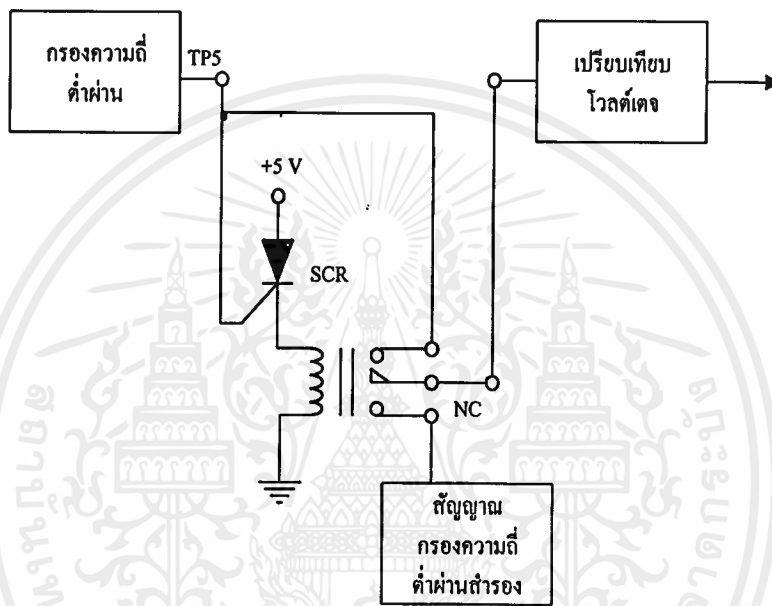


รูปที่ 4.63 วงจรคีมอตุเลต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่จุด TP 4 ส่วนควบคุมจะทำการตรวจสอบสัญญาณจากภาคคีมอตุเลต โดยทำการตรวจสอบสัญญาณที่ออกจากวงจรคีมอตุเลต ถ้ามีสัญญาณออกมาจะทำการส่งผ่านสัญญาณเดิมออกไป แต่ถ้าไม่มีสัญญาณ วงจรควบคุมจะทำการส่งผ่านสัญญาณสำรองออกไป

4.7.5 จุดทดสอบที่ 5 (TP 5)



รูปที่ 4.64 ชุดควบคุมวงจรกรองความถี่ต่ำผ่าน

ที่จุด TP 5 จะทำการตรวจสอบสัญญาณที่ผ่านวงจรกรองความถี่ผ่าน โดยทำการตรวจสอบสัญญาณว่ามีสัญญาณผ่านเข้ามาหรือไม่ ถ้าไม่มีสัญญาณจะทำการส่งผ่านสัญญาณเดิมออกไป แต่ถ้ามีสัญญาณเข้ามาที่วงจรควบคุม จะนำเอาสัญญาณจากวงจรสำรองส่งออกไปแทนที่

บทที่ 5

บทสรุป ปัญหา แนวทางการแก้ไข และพัฒนา

5.1 บทสรุป

ชุดฝึกการสื่อสารข้อมูลระบบ QPSK ที่ใช้ทดลองจะส่งสัญญาณข้อมูลซึ่งเป็นสัญญาณดิจิทัลนี้ จัดทำขึ้นโดยแบ่งออกเป็น 4 ส่วนด้วยกัน ได้แก่

1. ชุดฝึกการสื่อสารข้อมูลระบบ QPSK หลัก ทั้งภาคส่ง และภาครับ
2. ชุดฝึกการสื่อสารข้อมูลระบบ QPSK สำรอง ทั้งภาคส่ง และภาครับ
3. ชุดฝึกการสื่อสารข้อมูลระบบ BPSK เสริม ทั้งภาคส่ง และภาครับ
4. ชุดควบคุมสัญญาณ

การทำงานของชุดฝึกนี้ จะเริ่มต้นโดยการเปิดสวิตช์ ซึ่งจะมีชุดควบคุมสัญญาณทำหน้าที่ตรวจสอบสัญญาณที่เข้ามาทางอินพุต ถ้ามีสัญญาณปกติ SCR จะนำกระแส ทำให้รีเลย์มีการตัดต่อหน้าคอนแทก ขา NC ของรีเลย์ ซึ่งสถานะเดิมนั้น จะต่ออยู่กับชุดฝึกสำรอง แต่เมื่อมีสัญญาณเข้ามาหน้าคอนแทก NC ของรีเลย์จะมีการต่อกับชุดฝึกหลัก ทำให้สัญญาณแสดงที่จุด TP และป้อนให้แก่วงจรภาคต่อไป

5.2 ปัญหาที่เกิดขึ้นจากการทำโครงการ

ในการจัดทำโครงการชุดฝึกนี้ สามารถสรุปปัญหาที่เกิดขึ้นได้ ดังนี้

1. การรวบรวมข้อมูลทางด้านวงจรต้องใช้เวลานาน โดยที่บางวงจรจะอ้างอิงมาจากปริญาณิพนธ์ของสถาบันอื่น และบางวงจรได้จากการออกแบบ และทดลอง เพื่อให้ได้วงจรที่สมบูรณ์
2. การออกแบบ และทดลองวงจรที่ใช้ในชุดฝึกนี้ เมื่อนำมาใช้งานจริงจะได้ไม่ตรงตามทฤษฎี
3. สัญญาณที่ได้จากวงจรในแต่ละภาค จะมีสัญญาณรบกวนปะปนมาด้วย
4. ปัญหาที่เกิดจาก IC ชำรุดเสียหายมีสูง เนื่องจากแรงดันที่จ่ายให้วงจรมีสูง ทำให้ IC มีความร้อนสูงตามไปด้วย
5. สัญญาณเกิดการรบกวนข้ามระหว่างวงจรซึ่งกันและกัน
6. วงจรกำเนิดสัญญาณ และขยายสัญญาณทำงานไม่มีเสถียรภาพ เนื่องจากอุณหภูมิของอุปกรณ์สูงขึ้น

5.3 แนวทางการแก้ไข และพัฒนา

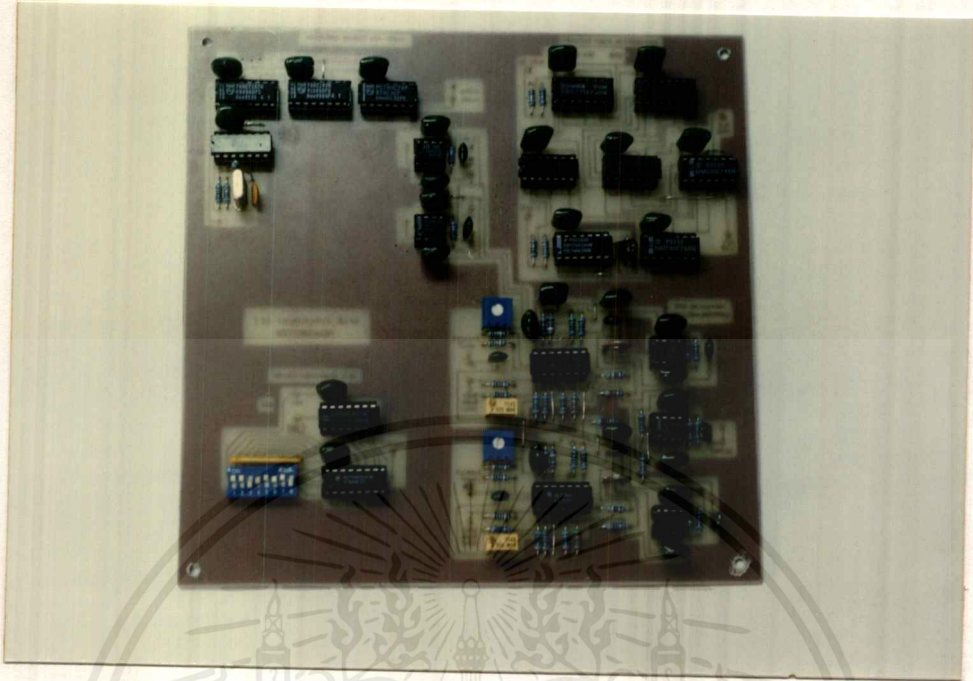
1. ทำการรวบรวมเนื้อหาข้อมูลก่อน แล้วสรุปหาวงจรที่ถูกต้อง และใช้งานได้จริง
2. เปรียบเทียบผลที่ได้จากการทดลองกับทฤษฎีว่าถูกต้องตรงตามทฤษฎี หรือไม่ ถ้าผลที่ได้จากการทดลองกับทฤษฎีไม่ตรงกัน ควรหาวงจรอื่นแทน
3. ใช้ตัวเก็บประจุต่อที่เอาท์พุทของวงจร เพื่อให้ผ่านเฉพาะสัญญาณที่เป็นไฟสลับเท่านั้น
4. อุปกรณ์ที่ใช้ในการจัดทำวงจร ควรใช้อุปกรณ์ที่มีประสิทธิภาพ และค่าผิดพลาดต่ำ
5. ในการออกแบบลายวงจร ควรคำนึงถึงเรื่องผลของลายวงจรต่อความถี่ และการวางอุปกรณ์ ซึ่งมีผลทำให้เกิดสัญญาณรบกวนได้
6. แยกวงจรที่มีการรบกวนออกจากกัน โดยจะมีบางวงจรเท่านั้นที่สามารถใช้แหล่งจ่ายและสายร่วมกันได้
7. ชุดควบคุมสัญญาณสามารถประยุกต์ใช้ไมโครคอนโทรลเลอร์มาควบคุม และให้แสดงผลเป็น LCD
8. เพิ่มเติมแหล่งกำเนิดสัญญาณให้มากขึ้น เช่น สัญญาณเสียง, สัญญาณภาพ เป็นต้น
9. พัฒนาการส่ง และรับสัญญาณทางอากาศ โดยใช้สายอากาศ
10. เพิ่มระบบมัลติเพล็กซ์ และดีมัลติเพล็กซ์ เพื่อที่จะรับ และแยกสัญญาณได้หลายช่อง



ภาคผนวก ก

รูปแบบชุดฝึกการสื่อสารข้อมูลระบบ QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

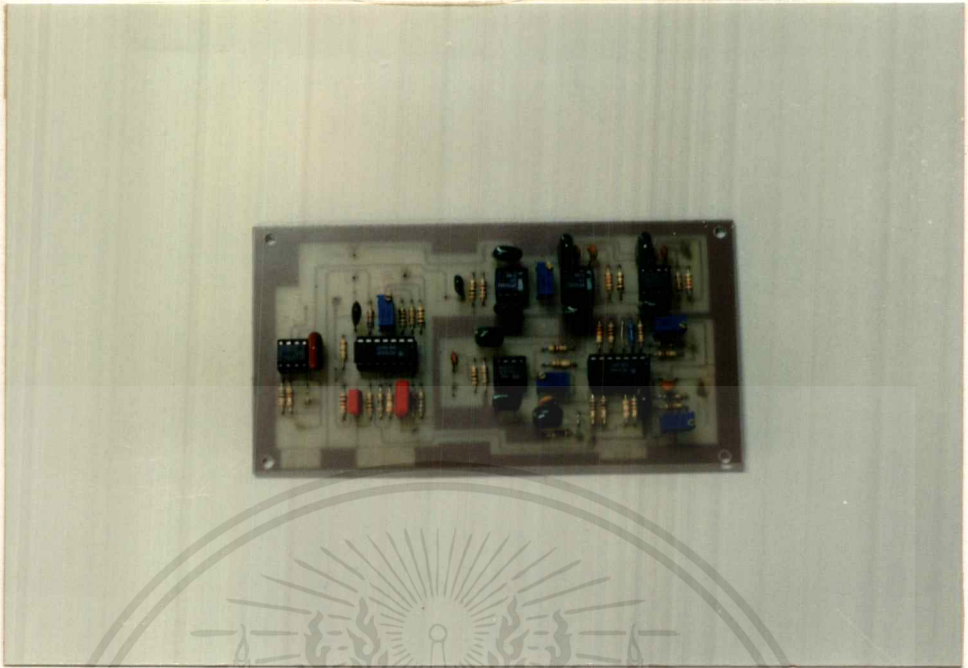


รูปที่ ก.1 ส่วนประกอบวงจรภาคส่งของชุดฝึก QPSK

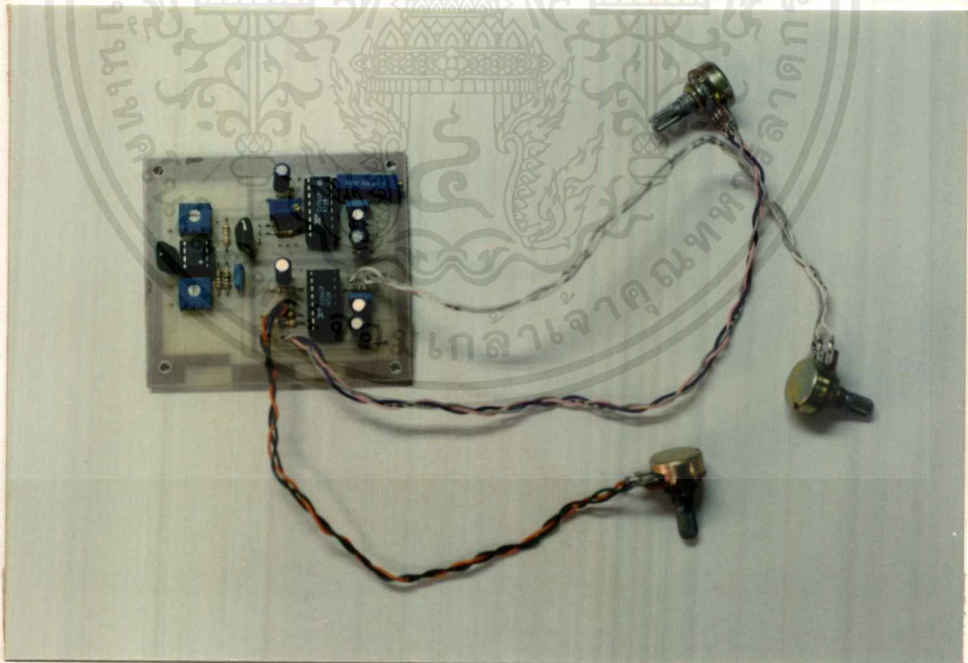


รูปที่ ก.2 ส่วนประกอบวงจรภาครับของชุดฝึก QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

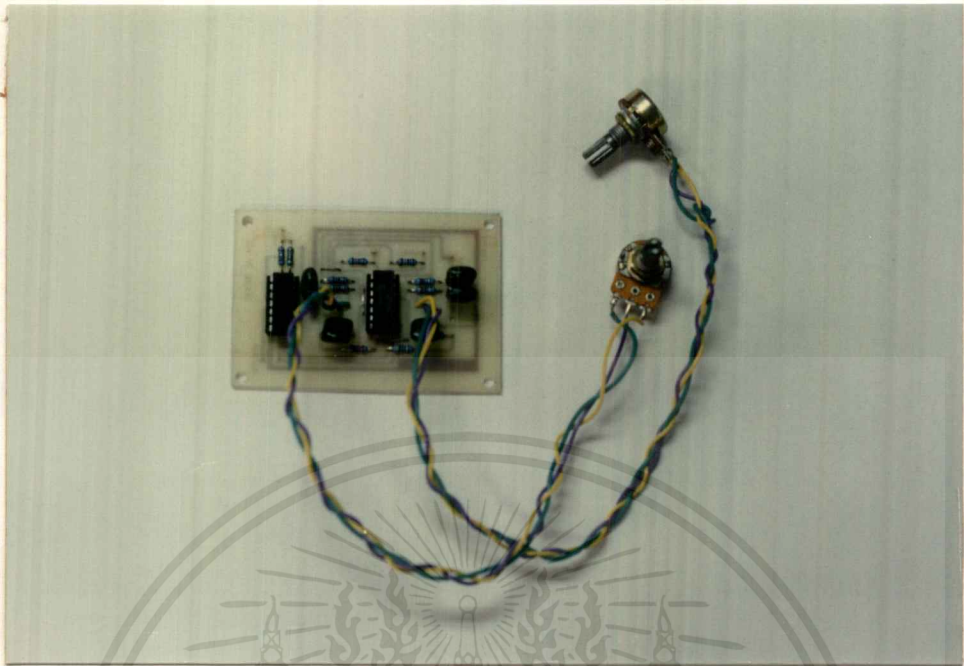


รูปที่ ก.3 ส่วนประกอบวงจรของชุดฝึก BPSK

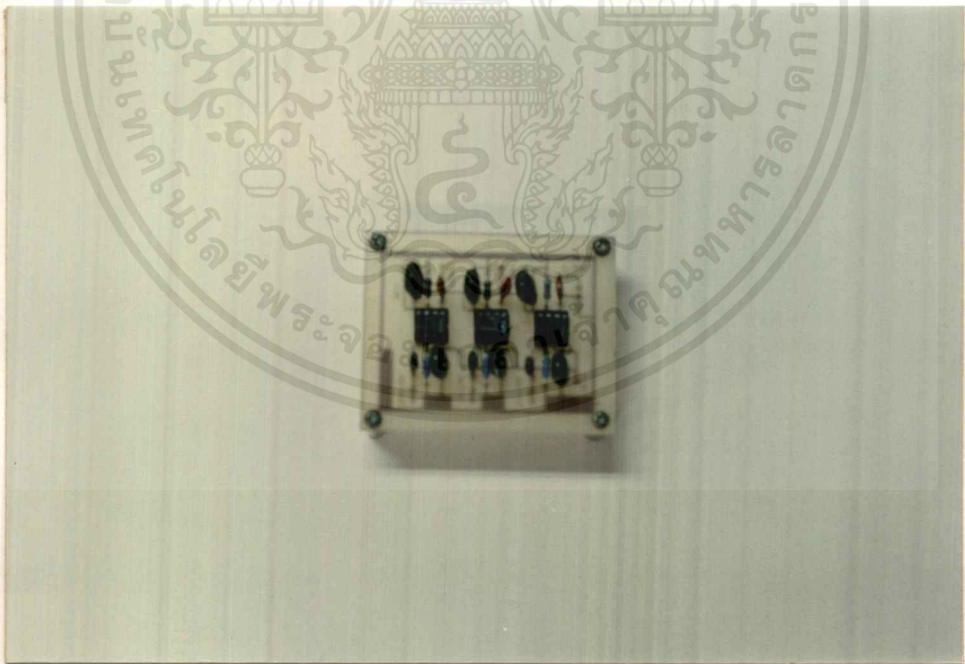


รูปที่ ก.4 ส่วนประกอบวงจรกำเนิดสัญญาณคลื่นพาหะ และวงจรเลื่อนเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

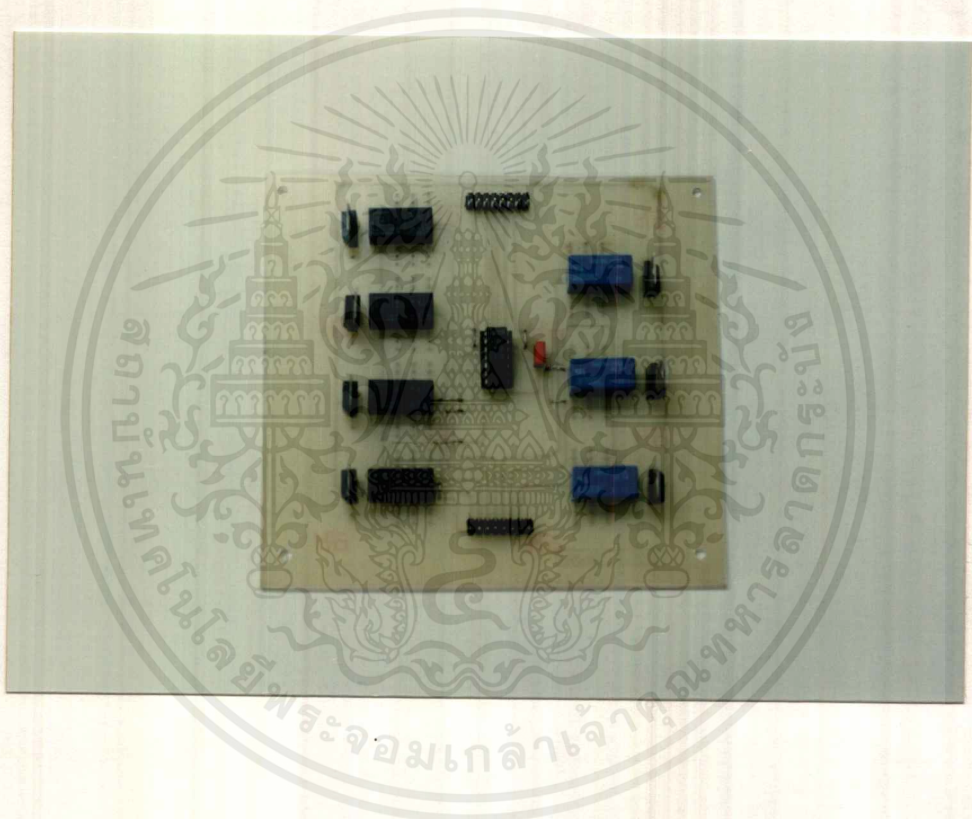


รูปที่ ก.5 ส่วนประกอบวงจรเปรียบเทียบ โวลต์เตจ



รูปที่ ก.6 ส่วนประกอบวงจรบัฟเฟอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

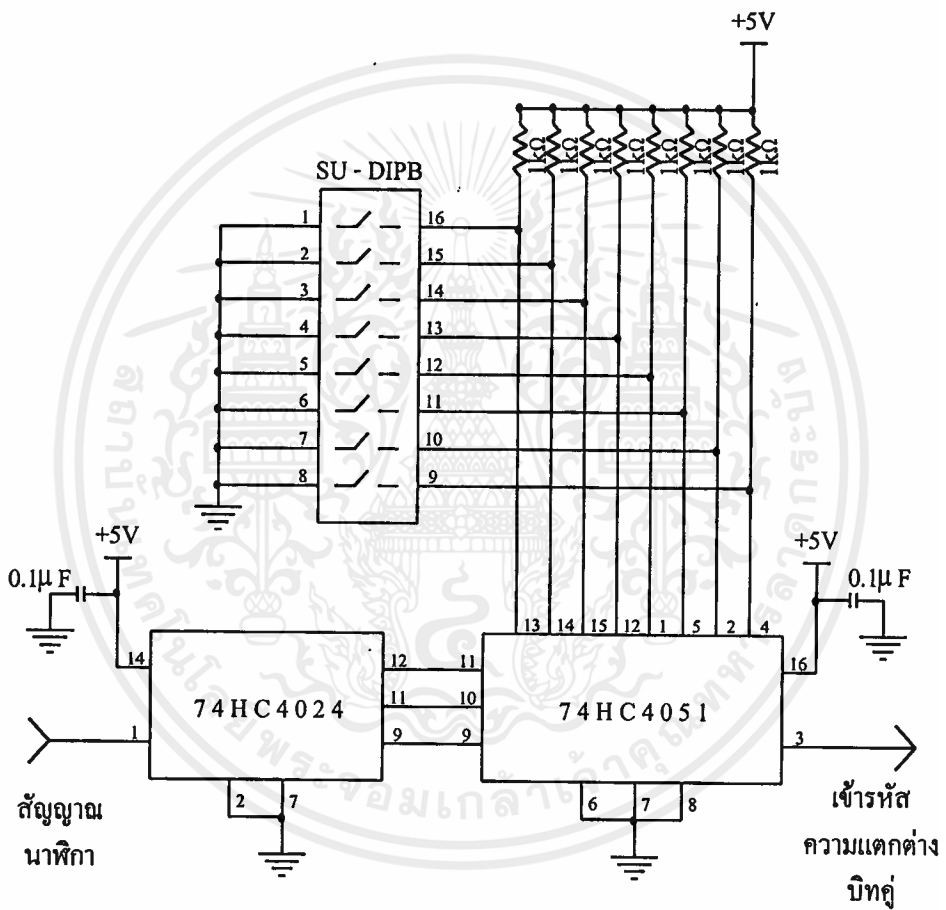


รูปที่ ก.7 ส่วนประกอบชุดควบคุมสัญญาณ

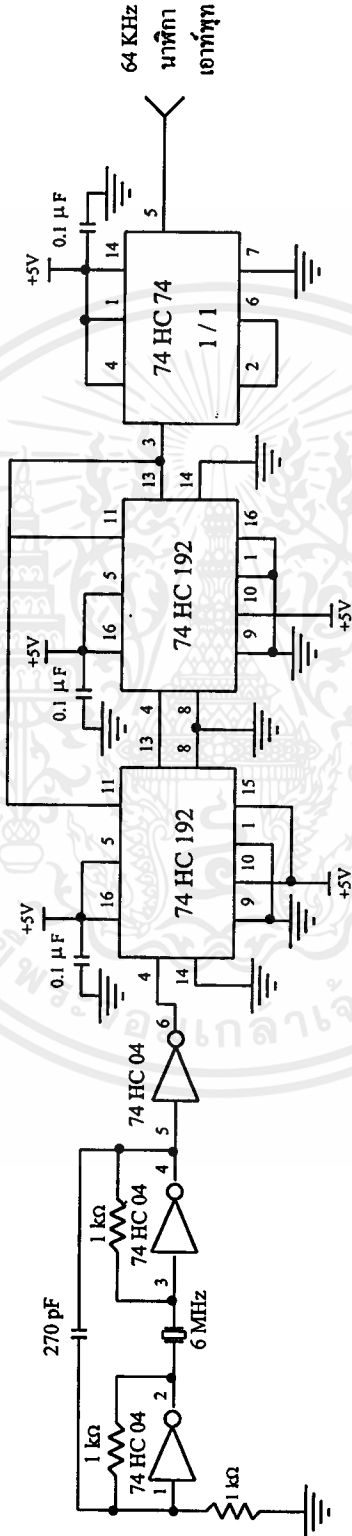
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

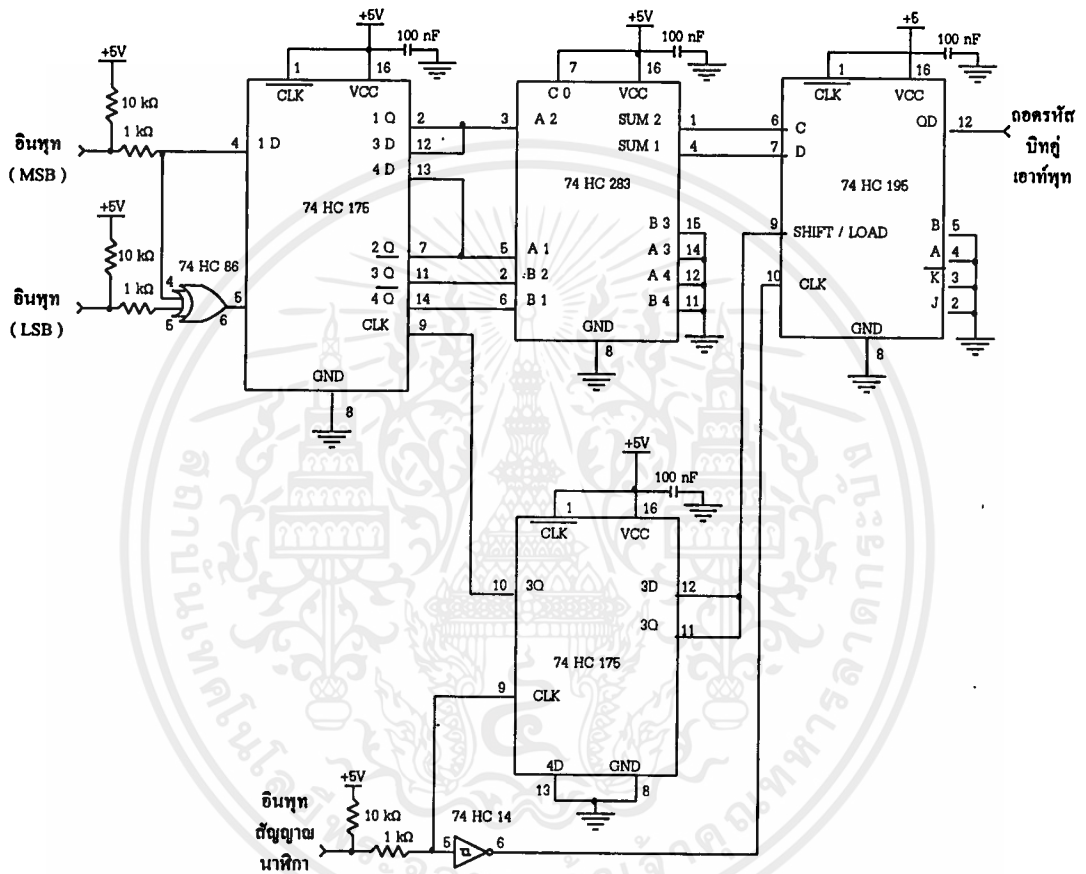


รูปที่ ข.1 วงจรกำเนิดสัญญาณข้อมูล



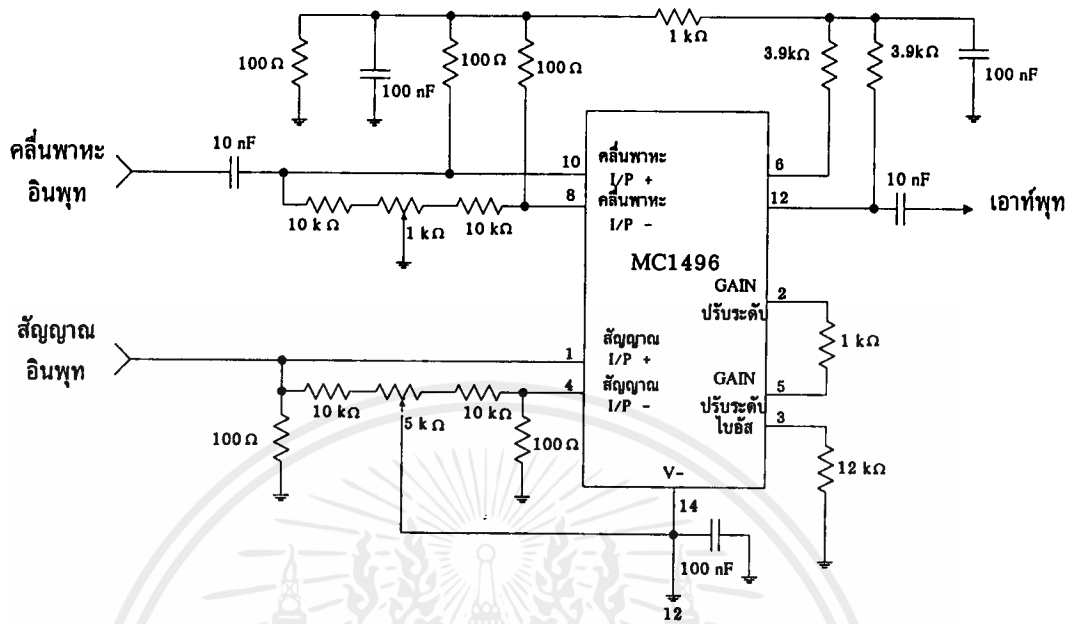
รูปที่ ข. 2 วงจรกำเนิดสัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

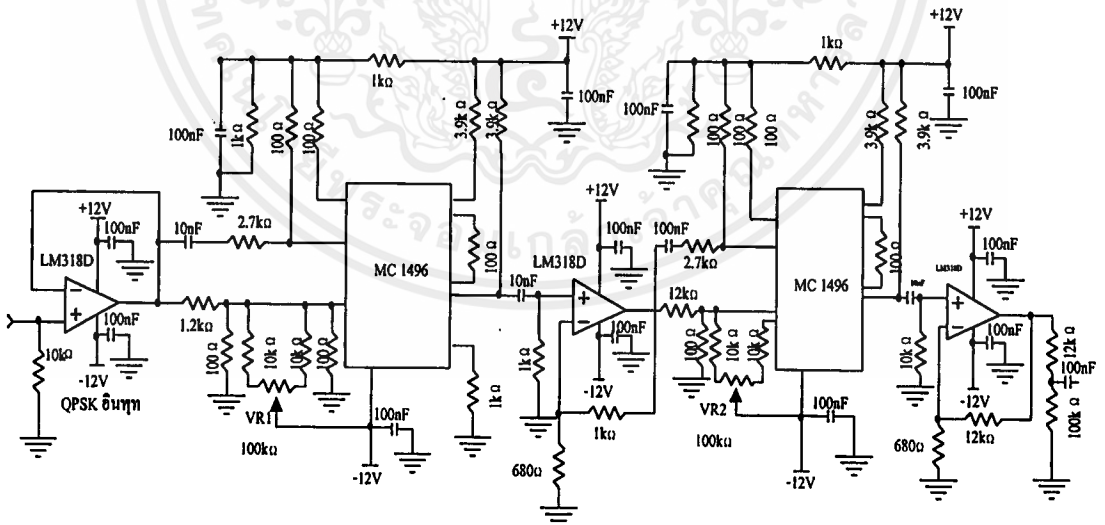


รูปที่ ข.3 วงจรถอดรหัสความแตกต่างบิตคู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

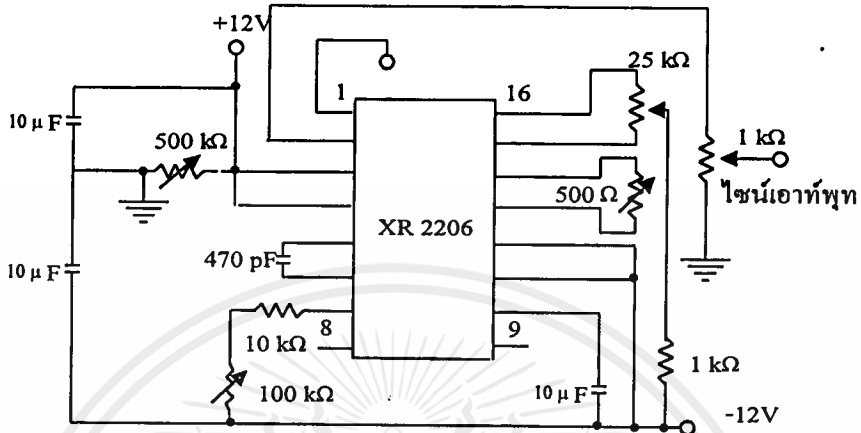


รูปที่ ข.4 วงจรมอดูเลตแบบ QPSK

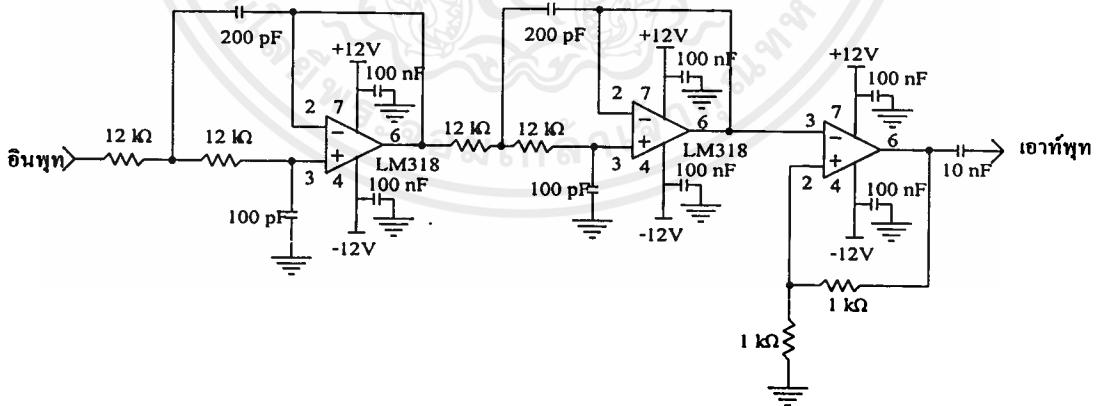


รูปที่ ข.5 วงจรดีมอดูเลตแบบ QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

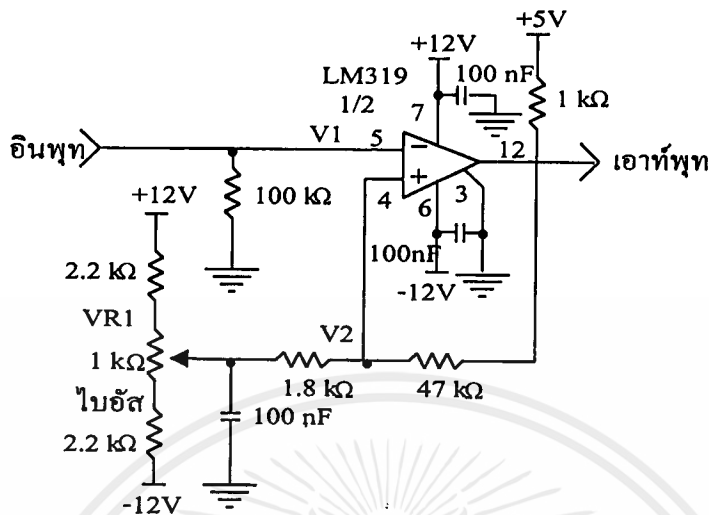


รูปที่ ข.6 วงจรกำเนิดสัญญาณคลื่นพาหะ

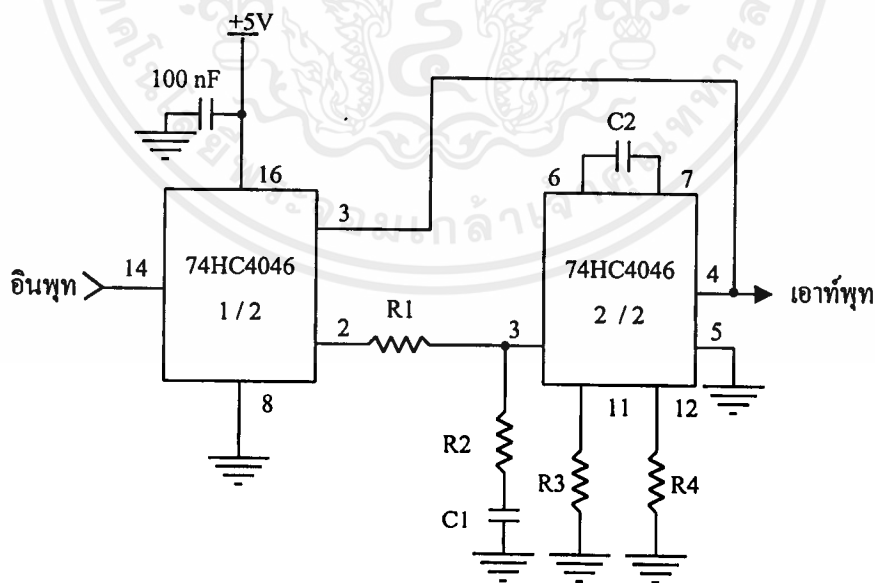


รูปที่ ข.7 วงจรกรองความถี่ต่ำผ่านแบบ BPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

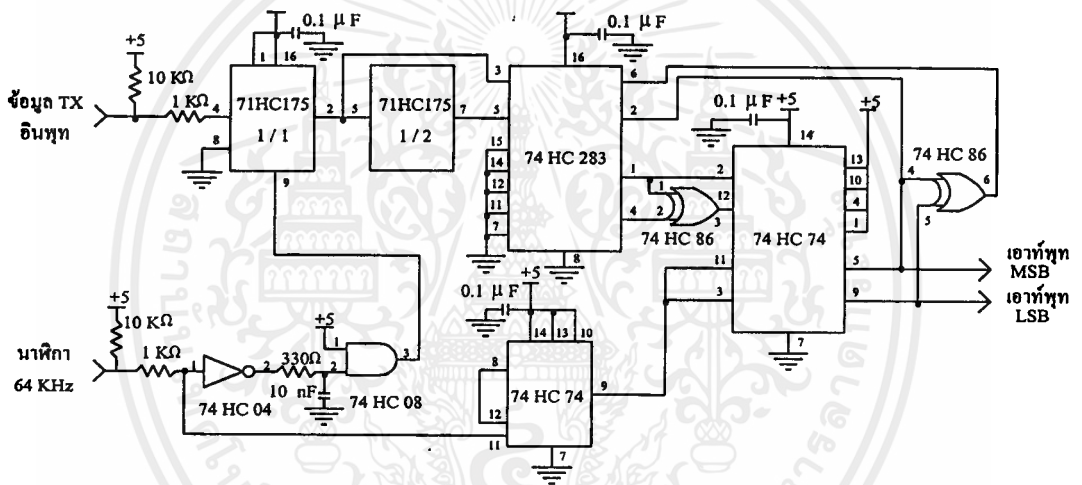


รูปที่ ข.8 วงจรเปรียบเทียบโวลต์เดจ



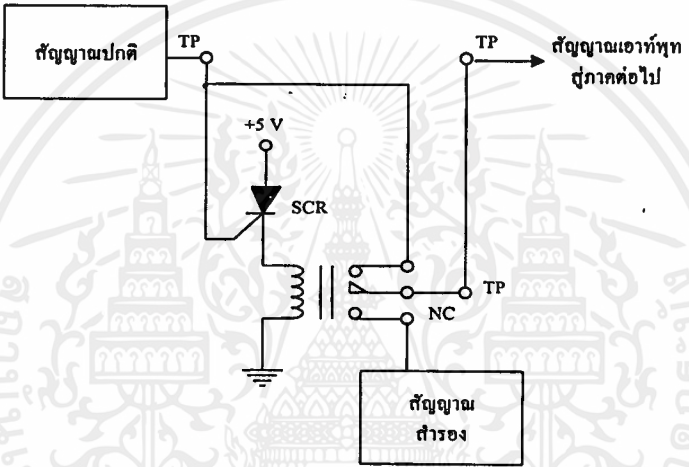
รูปที่ ข.9 วงจรเฟสล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

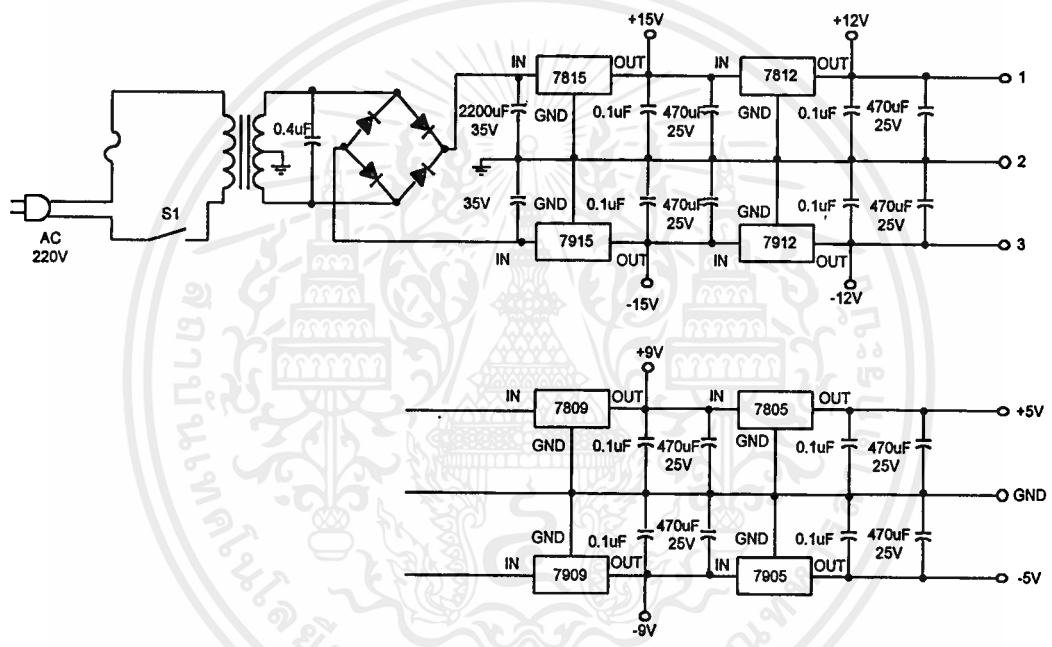


รูปที่ ข.10 วงจรเข้ารหัสความแตกต่างบิตคู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

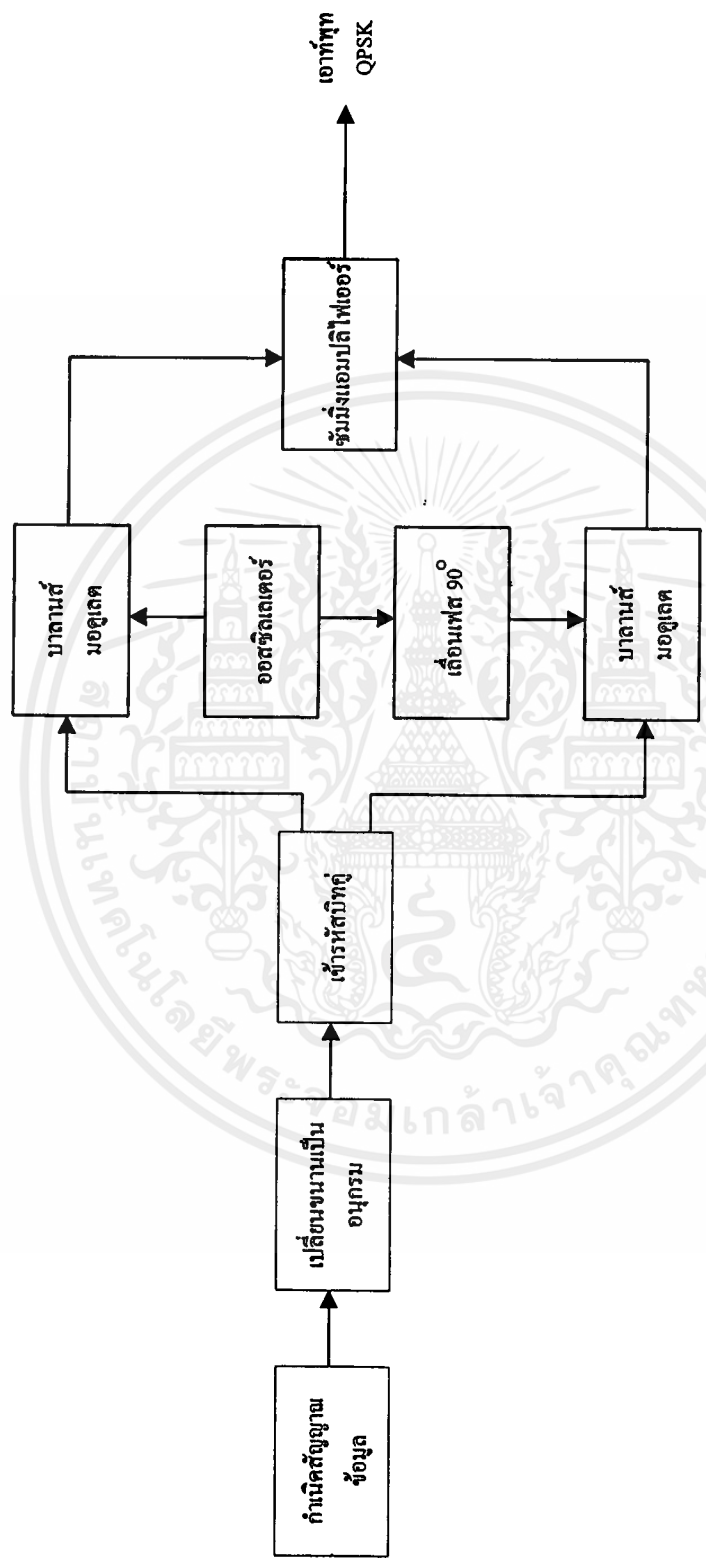


รูปที่ ข.11 วงจรควบคุมสัญญาณ

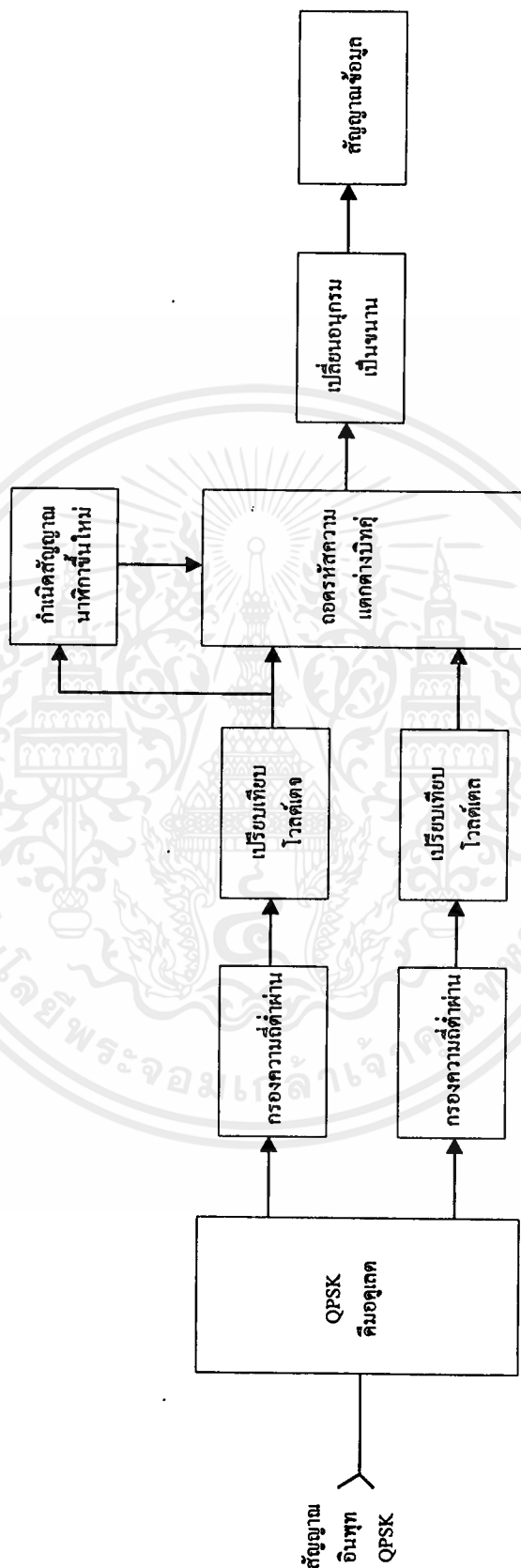


รูปที่ ข.12 วงจรแหล่งจ่ายไฟตรง

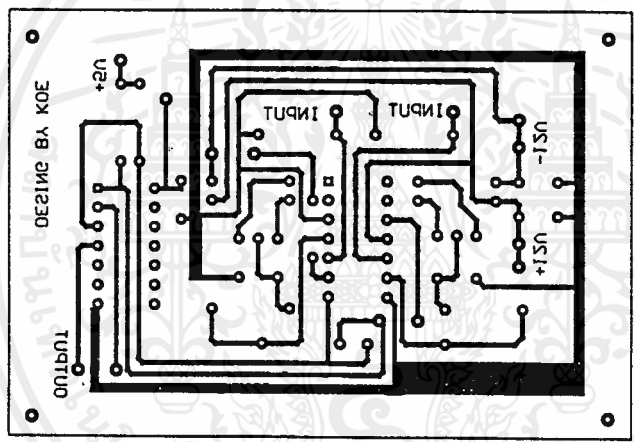
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ข.13 แผนผังภาคส่ง QPSK

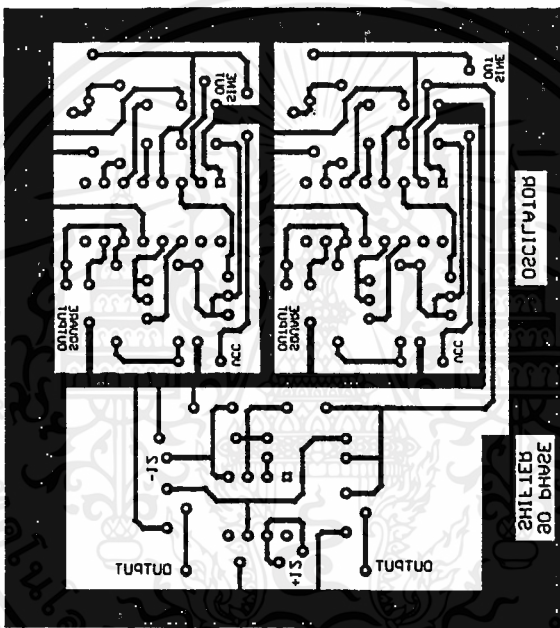


รูปที่ ข. 14 แผนผังการรับ QPSK



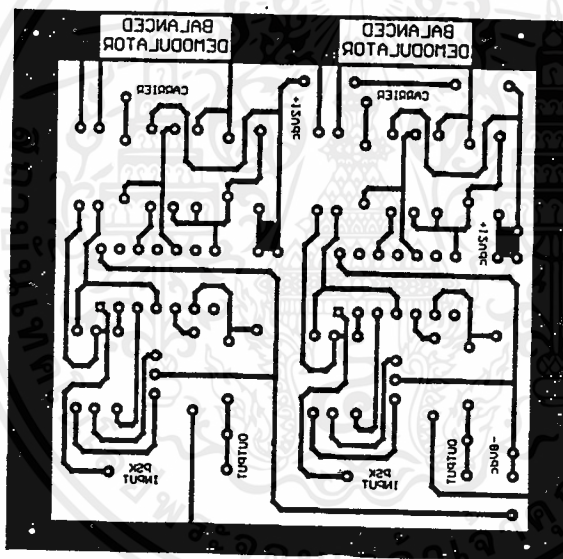
รูปที่ ข. 15 ลายวงจรพิมพ์วงจรเปรียบเทียบโวลต์แดง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

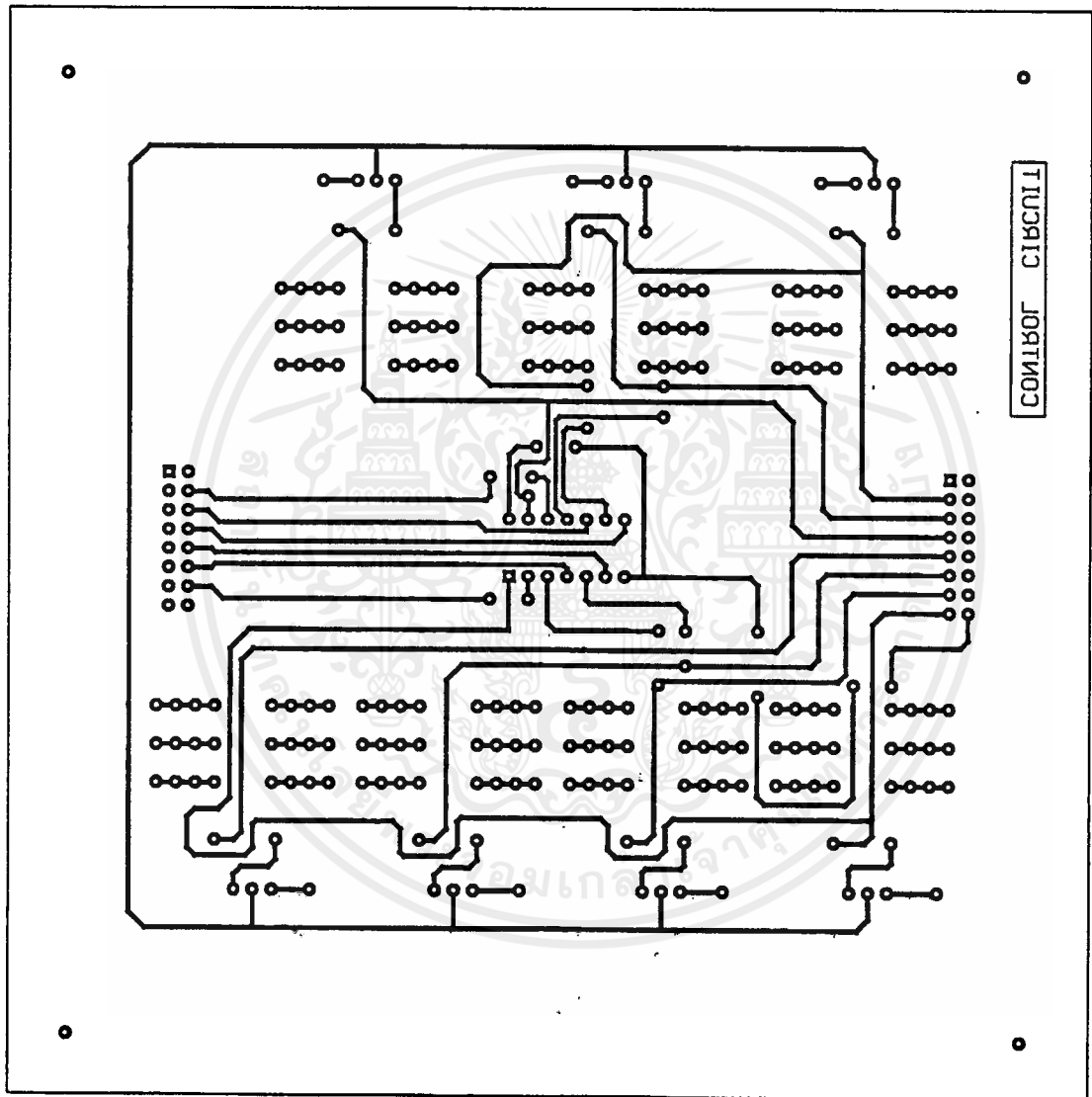


รูปที่ ข. 16 ตารางวงจรพิมพ์วงจรกำเนิดสัญญาณคลื่นพาหะ และวงจรเลื่อนเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ข. 17 ลายวงจรพิมพ์วงจรดีมอดูเลตแบบ QPSK



รูปที่ ข. 18 ลายวงจรพิมพ์วงจรควบคุมสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



MOTOROLA

Order this document by MC1496/D

MC1496, B

Balanced Modulators/ Demodulators

These devices were designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN531 for additional design information.

- Excellent Carrier Suppression —65 dB typ @ 0.5 MHz
—50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection —85 dB typical

This device contains 8 active transistors.

BALANCED MODULATORS/DEMODULATORS

SEMICONDUCTOR TECHNICAL DATA



D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO-14)

P SUFFIX
PLASTIC PACKAGE
CASE 546

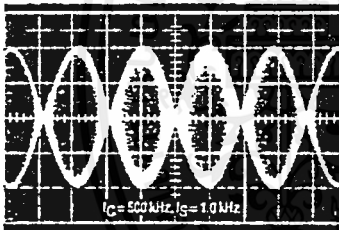


Figure 1. Suppressed
Carrier Output
Waveform

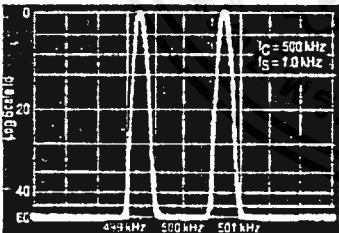


Figure 2. Suppressed
Carrier Spectrum

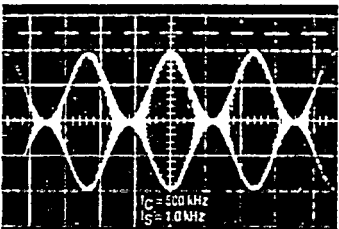


Figure 3. Amplitude
Modulation Output
Waveform

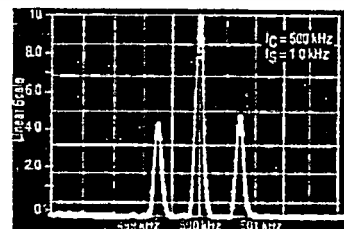
PIN CONNECTIONS

Signal Input 1	1	11	V _{EE}
Gain Adjust 1	2	12	N/C
Gain Adjust 2	3	21	Output
Signal Input 2	4	11	N/C
Bias	5	10	Carrier Input
Output 1	6	2	N/C
N/C	7	8	Input Carrier

ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC1496D	T _A = 0°C to +70°C	SO-14
MC1496P	T _A = 0°C to +70°C	Plastic DIP
MC1496BP	T _A = -40°C to +125°C	Plastic DIP

Figure 4. Amplitude-Modulation Spectrum



MC1496, B

MAXIMUM RATINGS ($T_A = 25^\circ\text{C}$, unless otherwise noted.)

Rating	Symbol	Value	Unit
Applied Voltage ($V_5 - V_8$, $V_{10} - V_1$, $V_{12} - V_8$, $V_{12} - V_{10}$, $V_8 - V_4$, $V_8 - V_1$, $V_{10} - V_4$, $V_6 - V_{10}$, $V_2 - V_5$, $V_3 - V_5$)	ΔV	30	Vdc
Differential Input Signal	$V_8 - V_{10}$ $V_4 - V_1$	+5.0 $\pm(5 + 15R_e)$	Vdc
Maximum Bias Current	I_5	10	mA
Thermal Resistance, Junction-to-Air Plastic Dual In-Line Package	$R_{\theta JA}$	100	$^\circ\text{C/W}$
Operating Temperature Range	T_A	0 to +70	$^\circ\text{C}$
Storage Temperature Range	T_{stg}	-65 to +150	$^\circ\text{C}$

NOTE: ESD data available upon request.

ELECTRICAL CHARACTERISTICS ($V_{CC} = 12\text{ Vdc}$, $V_{EE} = -8.0\text{ Vdc}$, $I_5 = 1.0\text{ mAdc}$, $R_L = 3.9\text{ k}\Omega$, $R_e = 1.0\text{ k}\Omega$, $T_A = T_{low}$ to T_{high} , all input and output characteristics are single-ended, unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	Min	Typ	Max	Unit
Carrier Feedthrough $V_C = 60\text{ mVrms}$ sine wave and offset adjusted to zero $V_C = 300\text{ mVpp}$ square wave; offset adjusted to zero offset not adjusted	5	1	$VCFT$	-	40 140	-	μVrms mVrms
Carrier Suppression $f_C = 10\text{ kHz}$, 300 mVrms $f_C = 500\text{ kHz}$, 60 mVrms sine wave $f_C = 10\text{ MHz}$, 60 mVrms sine wave	5	2	V_{CS}	-	65 50	-	dB dB
Transmittance Bandwidth (Magnitude) ($R_L = 50\text{ }\Omega$; Carrier Input Port, $V_C = 60\text{ mVrms}$ sine wave $f_C = 1.0\text{ kHz}$, 300 mVrms sine wave Signal Input Port, $V_S = 300\text{ mVrms}$ sine wave $ V_C = 0.5\text{ Vdc}$)	8	8	SW_{dB}	-	300 80	-	MHz
Signal Gain ($V_S = 100\text{ mVrms}$, $f = 1.0\text{ kHz}$; $ V_C = 0.5\text{ Vdc}$)	10	3	A_{VS}	2.5	3.5	-	V/V
Single-Ended Input Impedance, Signal Port, $f = 5.0\text{ MHz}$	6	-	r_{io}	-	200	-	$\text{k}\Omega$
Parallel Input Resistance			r_{ip}	-	2.0	-	pF
Single-Ended Output Impedance, $f = 10\text{ MHz}$	6	-	r_{op}	-	40	-	$\text{k}\Omega$
Parallel Output Resistance			r_{oo}	-	5.0	-	pF
Input Bias Current $I_{bS} = \frac{I_1 - I_4}{2}$, $I_{bC} = \frac{I_8 - I_{10}}{2}$	7	-	I_{bS} I_{bC}	-	12 12	30 30	μA
Input Offset Current $I_{oS} = I_1 - I_4$; $I_{oC} = I_8 - I_{10}$	7	-	I_{oS} I_{oC}	-	0.7 0.7	7.0 7.0	μA
Average Temperature Coefficient of Input Offset Current ($T_A = -55^\circ\text{C}$ to $+125^\circ\text{C}$)	7	-	$ TC_{I_{io}} $	-	2.0	-	$\text{nA}/^\circ\text{C}$
Output Offset Current ($I_6 - I_9$)	7	-	I_{oo}	-	14	80	μA
Average Temperature Coefficient of Output Offset Current ($T_A = -55^\circ\text{C}$ to $+125^\circ\text{C}$)	7	-	$ TC_{I_{oo}} $	-	90	-	$\text{nA}/^\circ\text{C}$
Common-Mode Input Swing, Signal Port, $f_S = 1.0\text{ kHz}$	9	4	CMV	-	5.0	-	Vpp
Common-Mode Gain, Signal Port, $f_S = 1.0\text{ kHz}$, $ V_C = 0.5\text{ Vdc}$	9	-	ACM	-	-85	-	dB
Common-Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	-	V_{out}	-	8.0	-	Vpp
Differential Output Voltage Swing Capability	10	-	V_{out}	-	8.0	-	Vpp
Power Supply Current $I_6 + I_{12}$ I_{14}	7	6	I_{CC} I_{EE}	-	2.0 3.0	4.0 5.0	mAdc
DC Power Dissipation	7	5	P_D	-	33	-	mW

MC1496, B

GENERAL OPERATING INFORMATION

Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R1 of Figure 5).

Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1496 has been characterized with a 60 mVrms sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S . Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal-input transistor pair — or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input-signal amplitude (see Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Signal Gain and Maximum Input Level

Signal gain (single-ended) at low frequencies is defined as the voltage gain.

$$A_{VS} = \frac{V_O}{V_S} = \frac{R_L}{R_E + 2r_e} \quad \text{where } r_e = \frac{26 \text{ mV}}{I_5 (\text{mA})}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" ($V_C = 0.5 \text{ Vdc}$). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I_5 .

$$V_S \leq I_5 R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1.0 V peak.

Common Mode Swing

The common-mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper

switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen.

Power Dissipation

Power dissipation, P_D , within the integrated circuit package should be calculated as the summation of the voltage-current products at each port, i.e. assuming $V_{12} = V_6$, $I_5 = I_6 = I_{12}$ and ignoring base current, $P_D = 2 I_5 (V_6 - V_{14}) + I_5 (V_5 - V_{14})$ where subscripts refer to pin numbers.

Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions.

A. Operating Current

The internal bias currents are set by the conditions at Pin 5. Assume:

$$I_5 = I_6 = I_{12}$$

$$I_B < I_C \text{ for all transistors}$$

then:

$$R_5 = \frac{V - \phi}{I_5} - 500 \Omega \quad \text{where: } R_5 \text{ is the resistor between Pin 5 and ground}$$

$$\phi = 0.75 \text{ at } T_A = +25^\circ\text{C}$$

The MC1496 has been characterized for the condition $I_5 = 1.0 \text{ mA}$ and is the generally recommended value.

B. Common-Mode Quiescent Output Voltage

$$V_6 = V_{12} = V_4 - I_5 R_L$$

Biasing

The MC1496 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2.0 V collector-base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table:

$$30 \text{ Vdc} \geq [(V_6, V_{12}) - (V_8, V_{10})] \geq 2 \text{ Vdc}$$

$$30 \text{ Vdc} \geq [(V_8, V_{10}) - (V_1, V_4)] \geq 2.7 \text{ Vdc}$$

$$30 \text{ Vdc} \geq [(V_1, V_4) - (V_5)] \geq 2.7 \text{ Vdc}$$

The foregoing conditions are based on the following approximations:

$$V_6 = V_{12}, V_8 = V_{10}, V_1 = V_4$$

Bias currents flowing into Pins 1, 4, 8 and 10 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$\gamma_{21C} = \frac{i_o \text{ (each sideband)}}{v_s \text{ (signal)}} \bigg|_{V_O = 0}$$

Signal transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$\gamma_{21S} = \frac{i_o \text{ (signal)}}{v_s \text{ (signal)}} \bigg|_{V_C = 0.5 \text{ Vdc}, V_O = 0}$$

MC1496, B

Coupling and Bypass Capacitors

Capacitors C1 and C2 (Figure 5) should be selected for a reactance of less than $5.0\ \Omega$ at the carrier frequency.

Output Signal

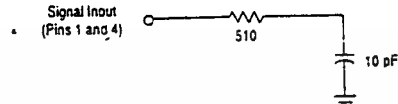
The output signal is taken from Pins 6 and 12 either balanced or single-ended. Figure 11 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single-ended output connection.

Negative Supply

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Signal Port Stability

Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source-tuned circuits that cause the oscillation.



An alternate method for low-frequency applications is to insert a $1.0\ k\Omega$ resistor in series with the input (Pins 1, 4). In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS

Figure 5. Carrier Rejection and Suppression

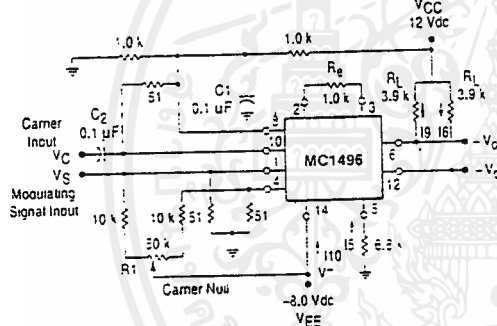
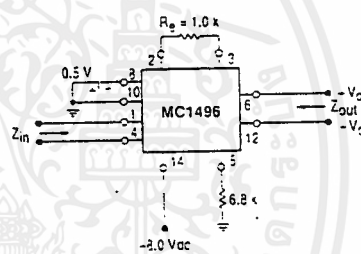


Figure 6. Input-Output Impedance



NOTE: Shielding of input and output leads may be needed to properly perform these tests.

Figure 7. Bias and Offset Currents

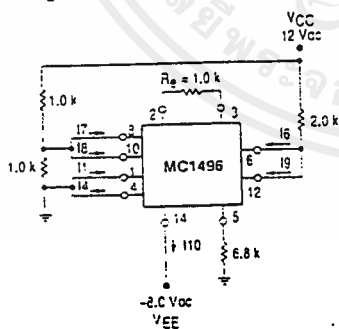
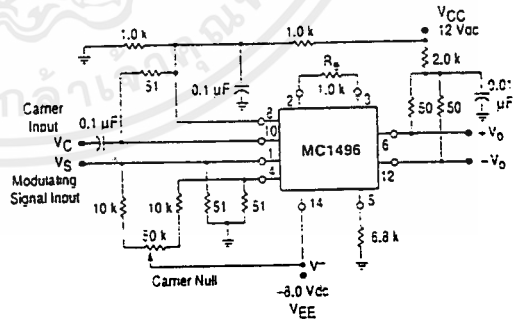


Figure 8. Transconductance Bandwidth



MC1496, B

Figure 9. Common Mode Gain

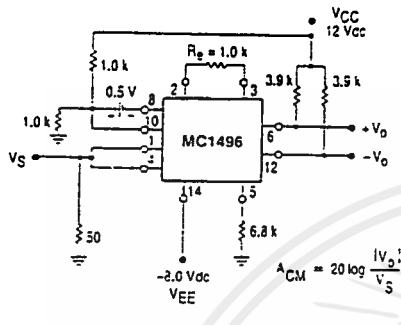
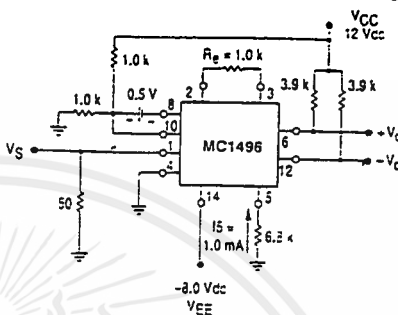


Figure 10. Signal Gain and Output Swing



TYPICAL CHARACTERISTICS

Typical characteristics were obtained with circuit shown in Figure 5. $f_C = 500$ kHz (sine wave), $V_C = 60$ mVrms, $f_S = 1.0$ kHz, $V_S = 300$ mVrms, $T_A = 25^\circ\text{C}$, unless otherwise noted.

Figure 11. Sideband Output versus Carrier Levels

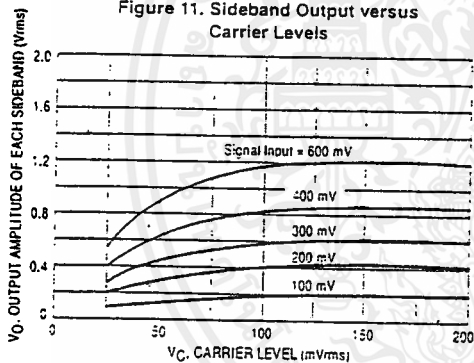


Figure 12. Signal-Port Parallel-Equivalent Input Resistance versus Frequency

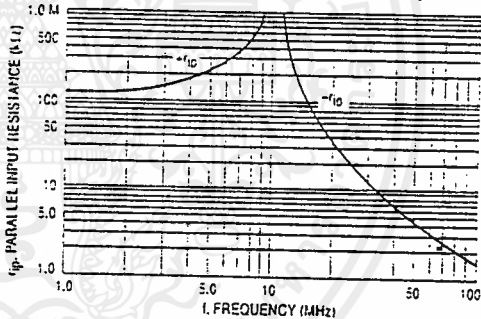


Figure 13. Signal-Port Parallel-Equivalent Input Capacitance versus Frequency

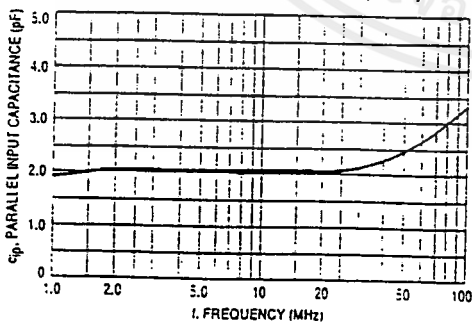
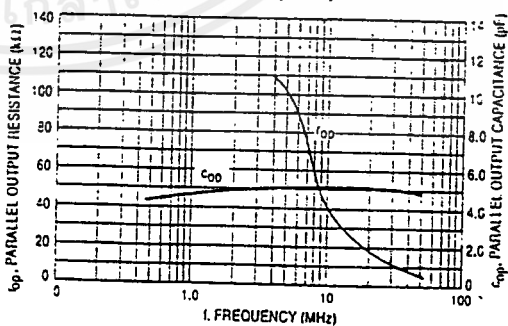


Figure 14. Single-Ended Output Impedance versus Frequency



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1496, B

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5, $f_C = 500$ kHz (sine wave), $V_C = 60$ mVrms, $f_S = 1.0$ kHz, $V_S = 300$ mVrms, $T_A = 25^\circ\text{C}$, unless otherwise noted.

Figure 15. Sideband and Signal Port Transmittances versus Frequency

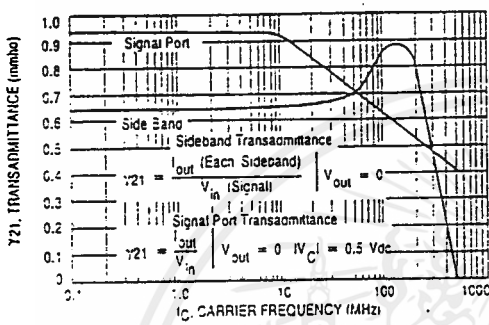


Figure 16. Carrier Suppression versus Temperature

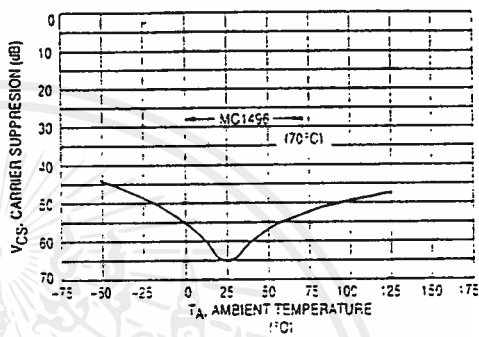


Figure 17. Signal-Port Frequency Response

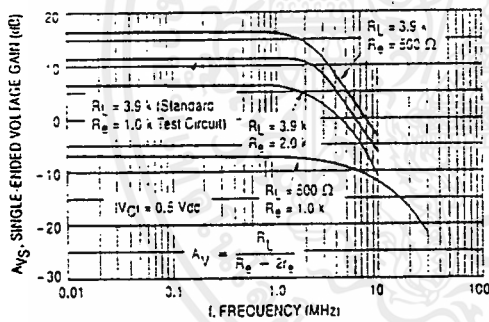


Figure 18. Carrier Suppression versus Frequency

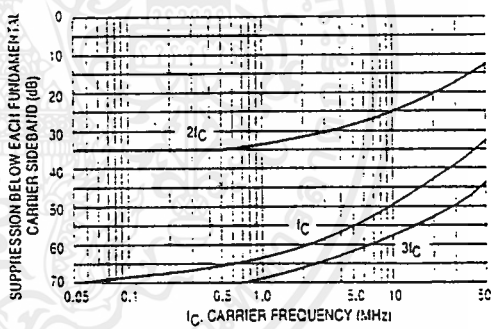


Figure 19. Carrier Feedthrough versus Frequency

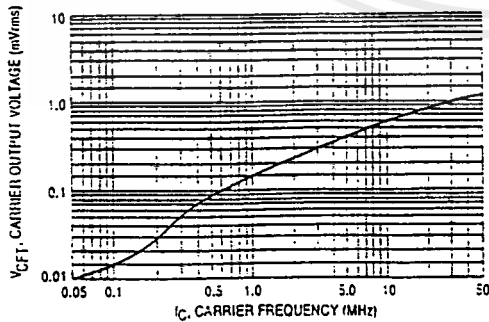
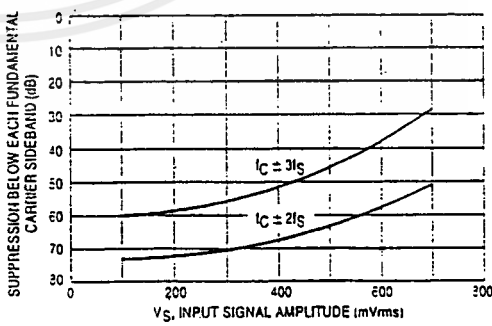


Figure 20. Sideband Harmonic Suppression versus Input Signal Level



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1496, B

Figure 21. Suppression of Carrier Harmonic Sidebands versus Carrier Frequency

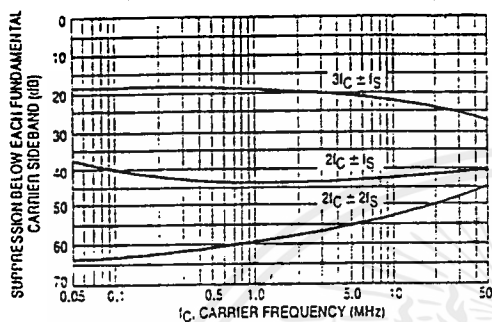
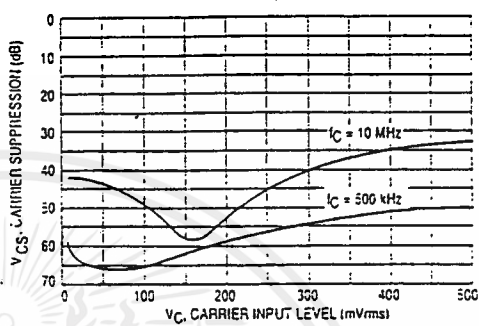


Figure 22. Carrier Suppression versus Carrier Input Level



OPERATIONS INFORMATION

The MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross-coupled so that full-wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low-level operation at both input ports, the output signal will contain sum and difference frequency components

and have an amplitude which is a function of the product of the input signal amplitudes.

For high-level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

The linear signal handling capabilities of a differential amplifier are well defined. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be approximated from the following expression:

$$V = (15/R_E) \text{ volts peak.}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude.

Figure 23. Circuit Schematic

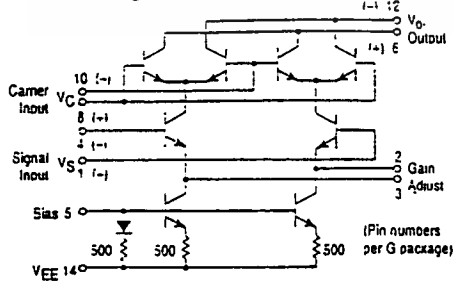
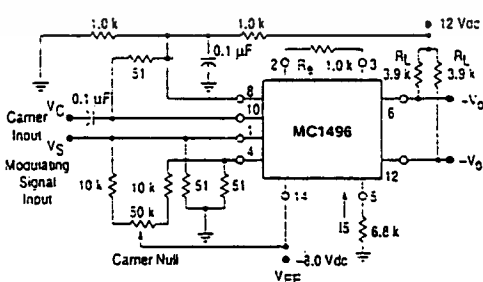


Figure 24. Typical Modulator Circuit



MC1496, B

Figure 25. Voltage Gain and Output Frequencies

Carrier Input Signal (V_C)	Approximate Voltage Gain	Output Signal Frequency(s)
Low-level dc	$\frac{R_L V_C}{2(R_E - 2r_e) \left(\frac{KT}{q}\right)}$	f_M
High-level dc	$\frac{R_L}{R_E - 2r_e}$	f_M
Low-level ac	$\frac{R_L V_C(\text{rms})}{2 \cdot 2 \left(\frac{KT}{q}\right) (R_E - 2r_e)}$	$f_C \pm f_M$
High-level ac	$\frac{0.637 R_L}{R_E - 2r_e}$	$f_C \pm f_M, 3f_C \pm f_M, 5f_C \pm f_M$

NOTES: 1. Low-level Modulating Signal, V_M , assumed in all cases V_C is Carrier input Voltage.
 2. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
 3. All gain expressions are for a single-ended output. For a differential output connection, multiply each expression by two.
 4. R_L = Load resistance.
 5. R_E = Emitter resistance between Pins 2 and 3.
 6. r_e = Transistor dynamic emitter resistance, at 25°C.

$$r_e = \frac{26 \text{ mV}}{I_E (\text{mA})}$$

 7. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron

$$\frac{KT}{q} = 26 \text{ mV at room temperature}$$

The gain from the modulating signal input port to the output is the MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower differential amplifier is operated in a linear mode, but this includes most applications of the device.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1496 for a low-level modulating signal input and the following carrier input conditions:

- 1) Low-level dc
- 2) High-level dc
- 3) Low-level ac
- 4) High-level ac

These gains are summarized in Figure 25, along with the frequency components contained in the output signal.

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single 12 Vdc supply. Performance of this circuit is similar to that of the dual supply modulator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplitude modulator with a minor modification.

All that is required to shift from suppressed carrier to AM operation is to adjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient adjustment range. Therefore, the modulator may be modified for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1496 makes an excellent SSB product detector (see Figure 29).

This product detector has a sensitivity of 3.0 microvolts and a dynamic range of 90 dB when operating at an intermediate frequency of 9.0 MHz.

The detector is broadband for the entire high frequency range. For operation at very low intermediate frequencies down to 50 kHz the 0.1 μF capacitors on Pins 8 and 10 should be increased to 1.0 μF . Also, the output filter at Pin 12 can be tailored to a specific intermediate frequency and audio amplifier input impedance.

As in all applications of the MC1496, the emitter resistance between Pins 2 and 3 may be increased or decreased to adjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM detector by introducing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be derived from the intermediate frequency signal or generated locally. The carrier signal may be introduced with or without modulation, provided its level is sufficiently high to saturate the upper quad differential

MC1496, B

amplifier. If the carrier signal is modulated, a 300 mVrms input level is recommended.

Doubly Balanced Mixer

The MC1496 may be used as a doubly balanced mixer with either broadband or tuned narrow band input and output networks.

The local oscillator signal is introduced at the carrier input port with a recommended amplitude of 100 mVrms.

Figure 30 shows a mixer with a broadband input and a tuned output.

Frequency Doubler

The MC1496 will operate as a frequency doubler by introducing the same frequency at both input ports.

Figures 31 and 32 show a broadband frequency doubler and a tuned output very high frequency (VHF) doubler, respectively.

Phase Detection and FM Detection

The MC1496 will function as a phase detector. High-level input signals are introduced at both inputs. When both inputs are at the same frequency the MC1496 will deliver an output which is a function of the phase difference between the two input signals.

An FM detector may be constructed by using the phase detector principle. A tuned circuit is added at one of the inputs to cause the two input signals to vary in phase as a function of frequency. The MC1496 will then provide an output which is a function of the input signal frequency.

TYPICAL APPLICATIONS

Figure 26. Balanced Modulator
(12 Vdc Single Supply)

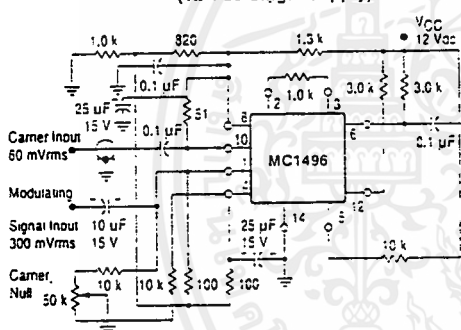


Figure 27. Balanced Modulator-Demodulator

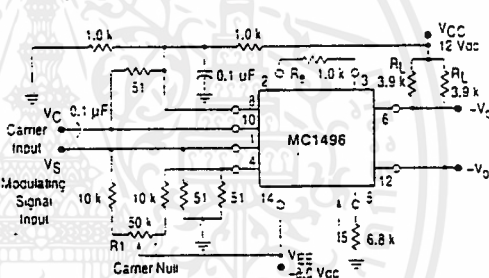


Figure 28. AM Modulator Circuit

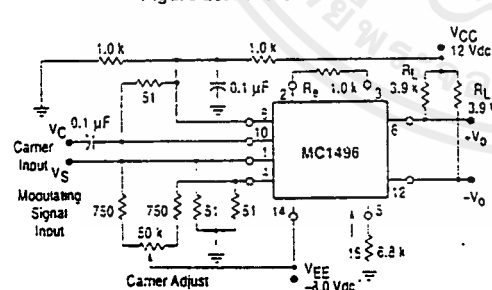
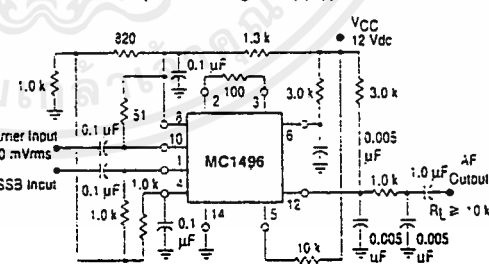
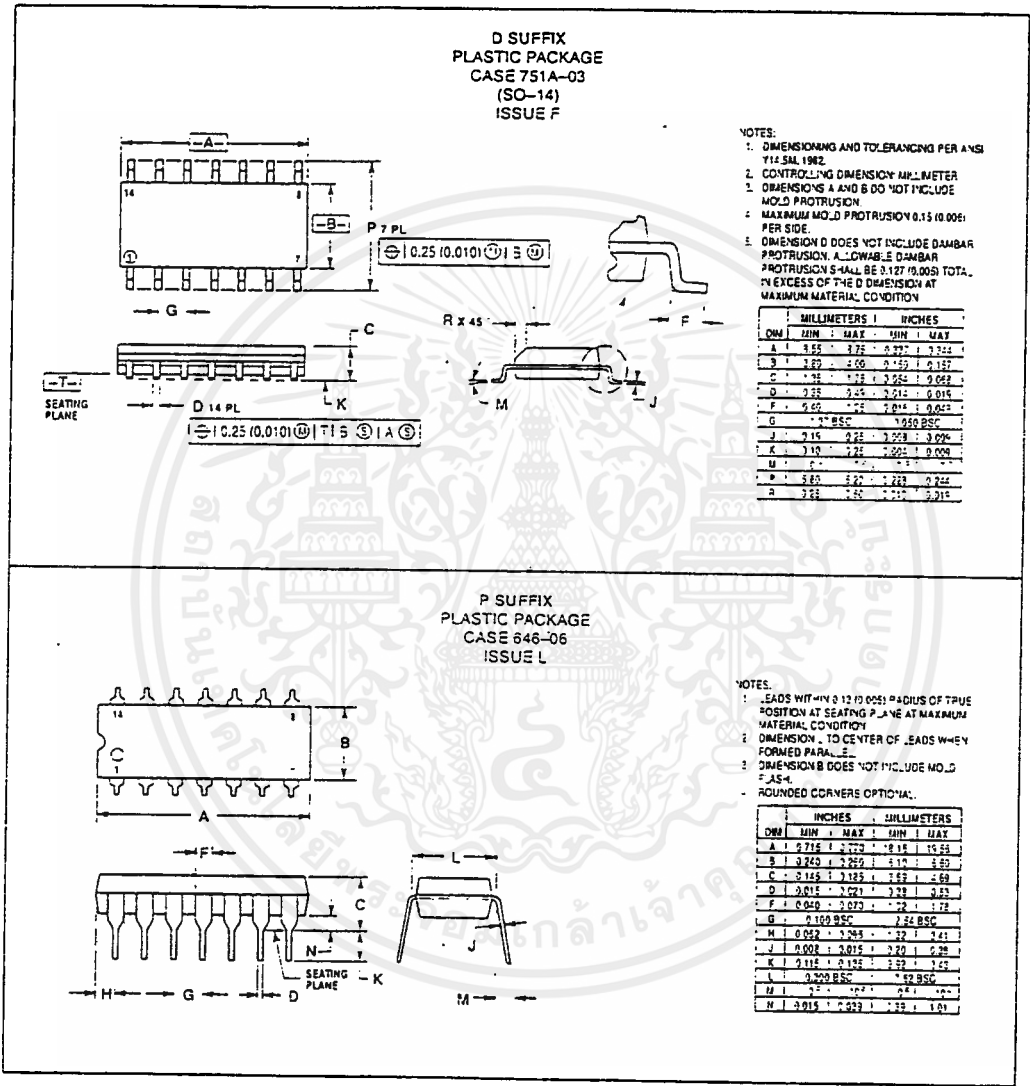


Figure 29. Product Detector
(12 Vdc Single Supply)



MC1496, B

OUTLINE DIMENSIONS



MC1496, B



Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters which may be provided in Motorola data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and  are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

How to reach us:
USA/EUROPE/Locations Not Listed: Motorola Literature Distribution;
P.O. Box 20912, Phoenix, Arizona 85036, 1-800-441-2447 or 602-303-5454

MFAX: RMFAX0@email.sos.mot.com - TOUCHTONE 602-244-6609
INTERNET: <http://Design-NET.com>

JAPAN: Nippon Motorola Ltd.; Tatsumi-SPD-JLDC, 6F Seibu-Sutsumi-Center,
3-14-2 Tatsumi Koto-Ku, Tokyo 135, Japan. 03-81-3521-6315

ASIA/PACIFIC: Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park,
51 Ting Kok Road, Tai Po, N.T., Hong Kong. 652-26629298



MOTOROLA

MOTOROLA ANALOG IC DEVICE DATA
MC1496/D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXAR

XR-2206

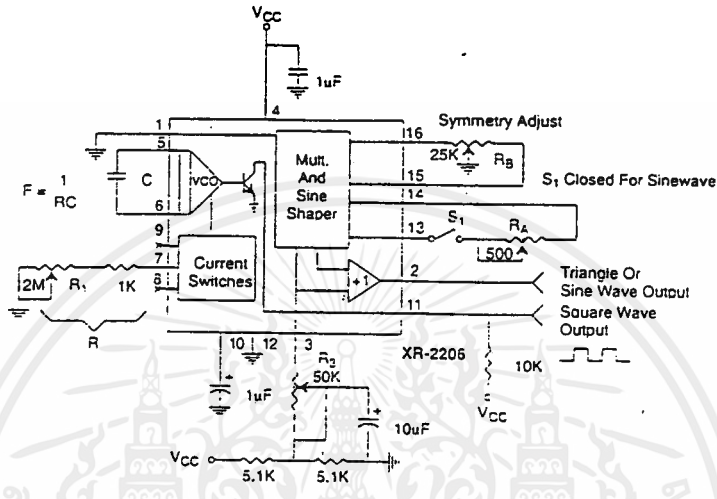


Figure 12. Circuit for Sine Wave Generation with Minimum Harmonic Distortion.
(R₃ Determines Output Swing - See Figure 3)

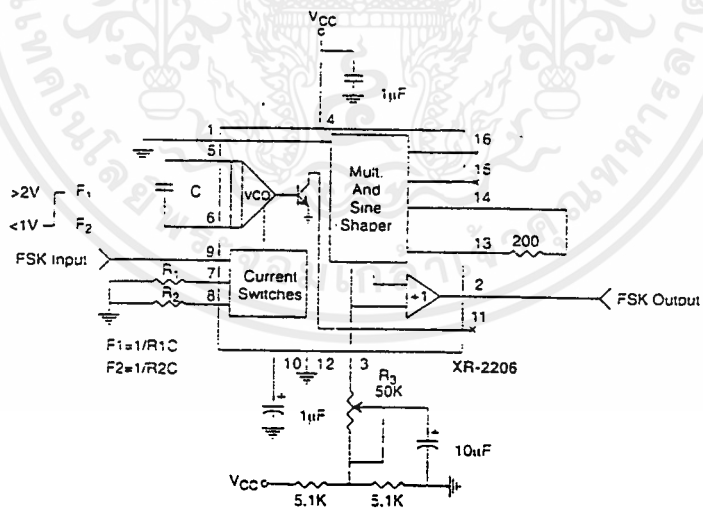


Figure 13. Sinusoidal FSK Generator

Rev. 1.03

TOM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXAR

XR-2208

Monolithic Function Generator

GENERAL DESCRIPTION

The XR-2208 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01 Hz to more than 1 MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20 ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range, with an external control voltage, having a very small effect on distortion.

FEATURES

Low-Sine Wave Distortion	5%, Typical
Excellent Temperature Stability	20 ppm/°C, Typical
Wide Sweep Range	2000:1, Typical
Low-Supply Sensitivity	0.01%/V, Typical
Linear-Amplitude Modulation	
TTL Compatible FSK Controls	
Wide Supply Range	10V to 28V
Adjustable Duty Cycle	1% to 99%

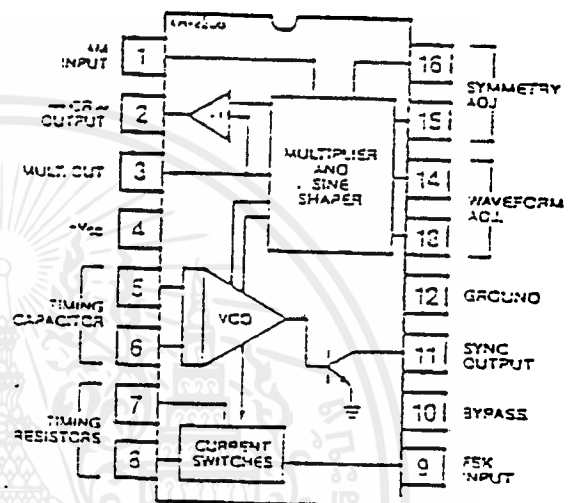
APPLICATIONS

Waveform Generation
Sweep Generation
AM/FM Generation
V/F Conversion
FSK Generation
Phase-Locked Loops (VCO)

ABSOLUTE MAXIMUM RATINGS

Power Supply	28V
Power Dissipation	750 mW
Derate Above 25°C	5 mW/°C
Total Timing Current	5 mA
Storage Temperature	-65°C to +150°C

FUNCTIONAL BLOCK DIAGRAM



ORDERING INFORMATION

Part Number	Package	Operating Temperature
XR-2208M	Ceramic	-55°C to +125°C
XR-2208N	Ceramic	0°C to +70°C
XR-2208P	Plastic	0°C to +70°C
XR-2208CV	Ceramic	0°C to +70°C
XR-2208CP	Plastic	0°C to +70°C

SYSTEM DESCRIPTION

The XR-2208 is comprised of four functional blocks: a voltage-controlled oscillator (VCO), an analog multiplier and sine shaper, a unity gain buffer amplifier, and a set of current switches.

The VCO actually produces an output frequency proportional to an input current, which is produced by a resistor from the timing terminals to ground. The current switches route one of the timing bias current to the VCO controlled by an FSK input pin, to produce an output frequency. With two timing pins, two discrete output frequencies can be independently produced for FSK Generation Applications.

EXAR

Integrated Systems, Inc., 750 Piedmar Avenue, Sunnyvale, CA 94055 • (408) 732-7570 • TWX 910-333-9233

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

PRINCIPLES OF OPERATION

Description of Controls

Frequency of Operation:

The frequency of oscillation, f_o , is determined by the external timing capacitor, C , across Pin 5 and 6, and by the timing resistor, R , connected to either Pin 7 or 8. The frequency is given as:

$$f_o = \frac{1}{RC} \text{ Hz}$$

and can be adjusted by varying either R or C . The recommended values of R , for a given frequency range, are shown in Figure 4. Temperature stability is optimum for $4 \text{ k}\Omega < R < 220 \text{ k}\Omega$. Recommended values of C are from 1000 pF to 100 μF .

Frequency Sweep and Modulation:

Frequency of oscillation is proportional to the total timing current, I_T , drawn from Pin 7 or 8:

$$f = \frac{320 I_T (\text{mA})}{C (\mu\text{F})} \text{ Hz}$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with I_T , over a wide range of current values, from 1 μA to 3 mA. The frequency can be controlled by applying a control voltage, V_C , to the activated timing pin as shown in Figure 9. The frequency of oscillation is related to V_C as:

$$f = \frac{1}{RC} \left(1 + \frac{R}{R_C} \left(1 - \frac{V_C}{3} \right) \right) \text{ Hz}$$

where V_C is in volts. The voltage-to-frequency conversion gain, K , is given as:

$$K = \frac{\Delta f / \Delta V_C}{f} = - \frac{0.32}{RC} \text{ Hz/V}$$

CAUTION: For safe operation of the circuit, I_T should be limited to $\leq 3 \text{ mA}$.

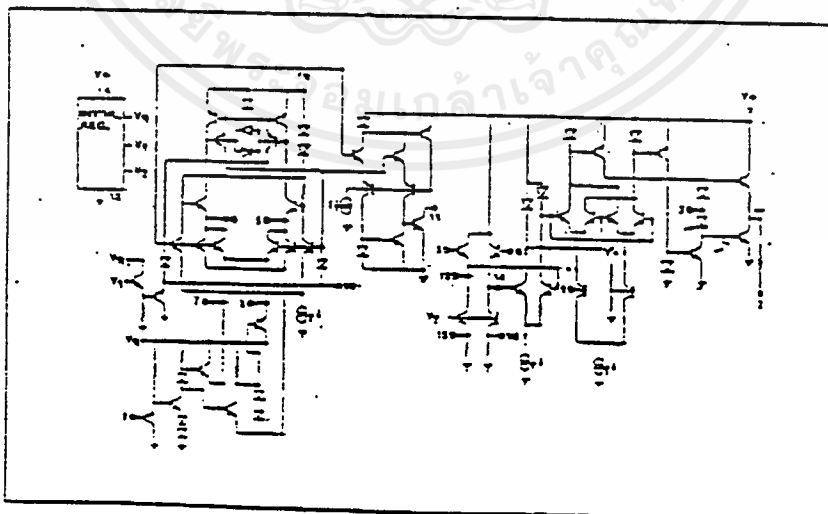
Output Amplitude:

Maximum output amplitude is inversely proportional to the external resistor, R_2 , connected to Pin 3 (see Figure 2). For sine wave output, amplitude is approximately 50 mV peak per $\text{k}\Omega$ of R_2 ; for triangle, the peak amplitude is approximately 160 mV peak per $\text{k}\Omega$ of R_2 . Thus, for example, $R_2 = 50 \text{ k}\Omega$ would produce approximately $\pm 3 \text{ V}$ sinusoidal output amplitude.

Amplitude Modulation:

Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance at Pin 1 is approximately 100 $\text{k}\Omega$. Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within $\pm 4 \text{ volts of } V^{+}/2$ as shown in Figure 5. As this bias level approaches $V^{+}/2$, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55 dB.

CAUTION: AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of V^{+} .

EQUIVALENT
SCHEMATIC
DIAGRAM

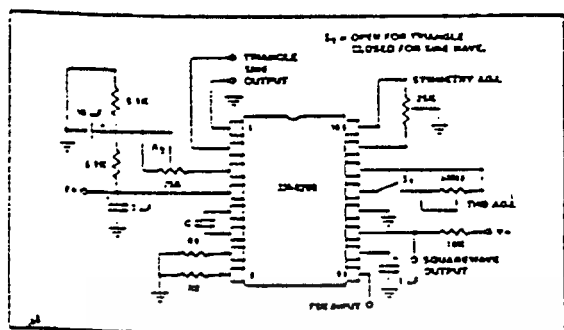


Figure 1: Basic Test Circuit.

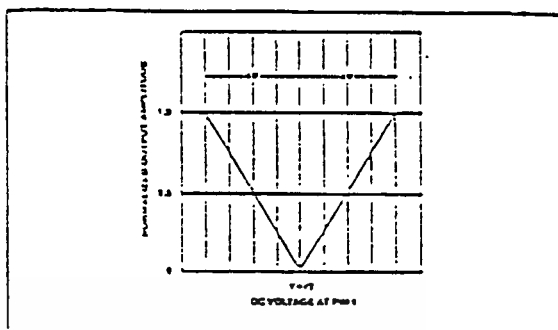


Figure 5: Normalized Output Amplitude versus DC Bias at AM Input (Pin 1).

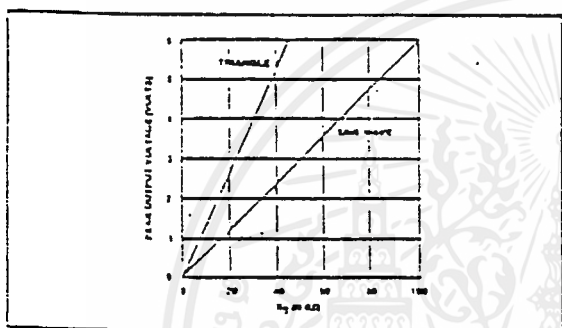


Figure 2: Output Amplitude as a Function of the Resistor, R_7 , at Pin 3.

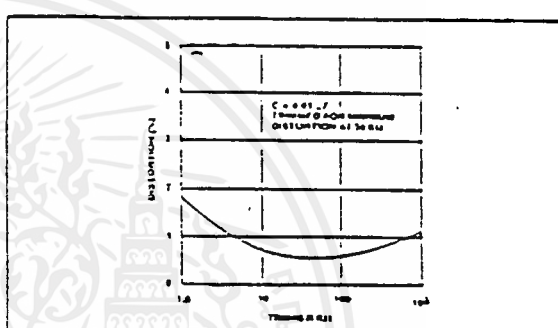


Figure 6: Trimmed Distortion versus Timing Resistor.

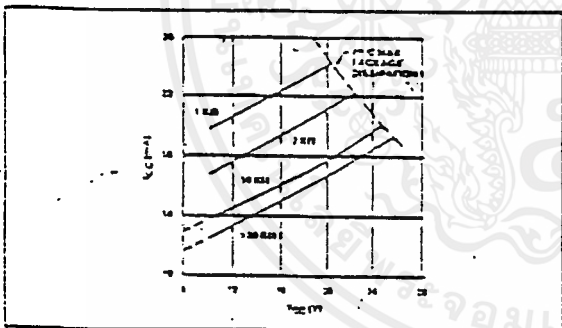


Figure 3: Supply Current versus Supply Voltage.
Timing, R.

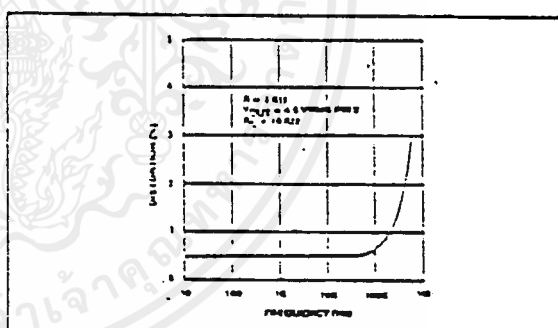


Figure 7: Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

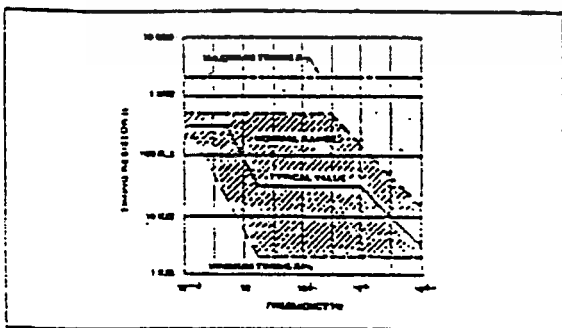


Figure 4: R versus Oscillation Frequency.

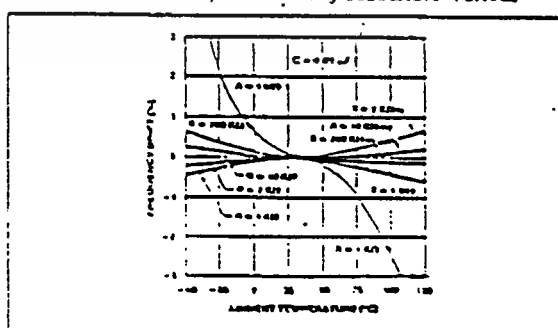


Figure 8: Frequency Drift versus Temperature.

XR-2206

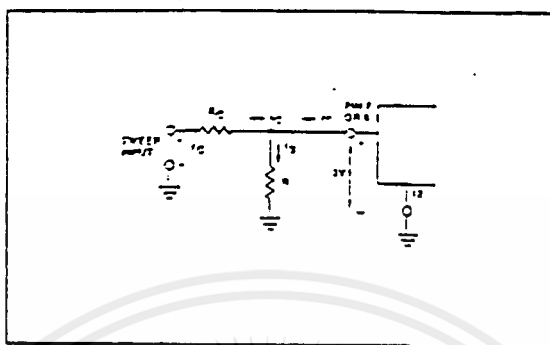


Figure 9: Circuit Connection for Frequency Sweep.

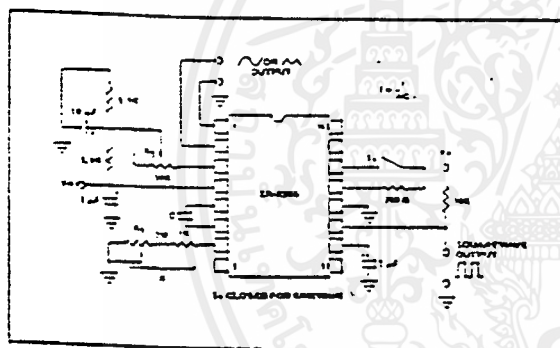
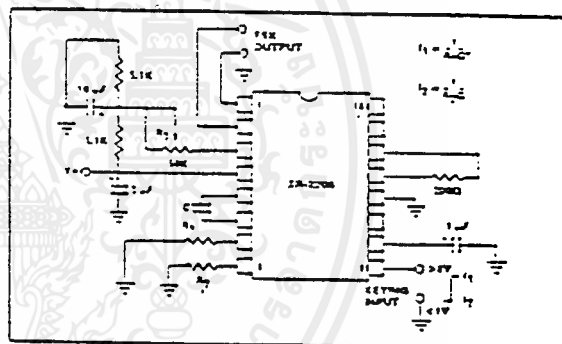
Figure 10: Circuit for Sine Wave Generation without External Adjustment. (See Figure 2 for Choice of R_2 .)

Figure 12: Sinusoidal FSK Generator.

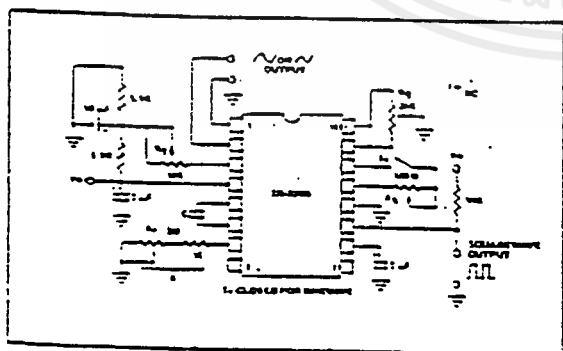
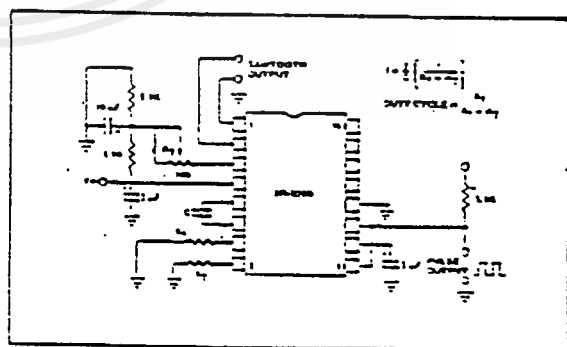
Figure 11: Circuit for Sine Wave Generation with Minimum Harmonic Distortion. (R_2 Determines Output Swing — See Figure 2.)

Figure 13: Circuit for Pulse and Ramp Generation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of Figure 1, $V_T = 12V$, $T_A = 25^\circ C$, $C = 0.01 \mu F$, $R_1 = 100 k\Omega$, $R_2 = 10 k\Omega$, $R_3 = 25 k\Omega$ unless otherwise specified. S_1 open for triangle, closed for sine wave.

PARAMETER	XR-2206M			XR-2206C			UNIT	CONDITIONS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.		
GENERAL CHARACTERISTICS								
Single Supply Voltage	10		25	10		25	V	$R_1 \geq 10\text{ k}\Omega$
Split-Supply Voltage	± 5		± 13	± 5		± 13	V	
Supply Current		12	17		14	20	mA	
OSCILLATOR SECTION								
Max. Operating Frequency	0.5	1		0.5	1		MHz	$C = 1000\text{ pF}$, $R_1 = 1\text{ k}\Omega$
Lowest Practical Frequency		0.01			0.01		Hz	$C = 50\text{ }\mu\text{F}$, $R_1 = 2\text{ M}\Omega$
Frequency Accuracy		± 1	± 4		± 2		% of f_0	$f_0 = 1/R_1 C$
Temperature Stability		± 10	± 50		± 20		ppm/ $^\circ\text{C}$	$0^\circ\text{C} < T_A < 75^\circ\text{C}$
Supply Sensitivity		0.01	0.1		0.01		%/V	$R_1 = R_2 = 20\text{ k}\Omega$
Sweep Range	1000:1	2000:1			2000:1		$f_H = f_L$	$V_{\text{LOW}} = 10\text{V}$, $V_{\text{HIGH}} = 20\text{V}$
Sweep Linearity								$R_1 = R_2 = 20\text{ k}\Omega$
10:1 Sweep		2			2		%	$f_L \geq R_1 = 1\text{ k}\Omega$
1000:1 Sweep		3			3		%	$f_L \geq R_1 = 2\text{ M}\Omega$
FM Distortion		0.1			0.1		%	$f_L = 1\text{ kHz}$, $f_H = 10\text{ kHz}$
Recommended Timing Components								$f_L = 100\text{ Hz}$, $f_H = 100\text{ kHz}$
Timing Capacitors: C	0.001		100	0.001		100	μF	$\pm 10\%$ Deviation
Timing Resistors: R_1 & R_2	1		2000	1		2000	$\text{k}\Omega$	
Triangle Sine Wave Output								See Figure 4.
Triangle Amplitude		160			160		mV/ $\text{k}\Omega$	See Note 1, Figure 2.
Sine Wave Amplitude	40	50	50		50		mV/ $\text{k}\Omega$	Figure 1, S_1 Open
Max. Output Swing		5			5		V _{o-o}	Figure 1, S_1 Closed
Output Impedance		500			600		Ω	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	
Sine Wave Amplitude Stability		± 500			± 500		ppm/ $^\circ\text{C}$	For 1000:1 Sweep
Sine Wave Distortion								See Note 2.
Without Adjustment		2.5			2.5		%	$R_1 = 20\text{ k}\Omega$
With Adjustment		0.4	1.0		0.5	1.5	%	See Figures 6 and 7.
Amplitude Modulation								
Input Impedance	50	100		50	100		$\text{k}\Omega$	
Modulation Range		100			100		%	
Carrier Suppression		55			55		dB	
Linearity		2			2		%	
Square-Wave Output								For 55% modulation
Amplitude		12			12		V _{o-o}	
Rise Time		250			250		nsec	Measured at Pin 11.
Fall Time		50			50		nsec	$C_L = 10\text{ pF}$
Saturation Voltage		0.2	0.4		0.2	0.5	V	$C_L = 10\text{ pF}$
Leakage Current		0.1	20		0.1	100	μA	$I_L = 2\text{ mA}$
FSK Keying Level (Pin 9)	0.5	1.4	2.4	0.8	1.4	2.4	V	$V_{T1} = 25\text{V}$
Reference Bias Voltage	2.5	3.1	3.3	2.5	3	3.5	V	See section on circuit controls
								Measured at Pin 10.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Frequency-Shift Keying:

The XR-2206 can be operated with two separate timing resistors, R_1 and R_2 , connected to the timing Pin 7 and 8, respectively, as shown in Figure 12. Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage $\geq 2V$, only R_1 is activated. Similarly, if the voltage level at Pin 9 is $\leq 1V$, only R_2 is activated. Thus, the output frequency can be keyed between two levels, f_1 and f_2 , as:

$$f_1 = 1/R_1C \text{ and } f_2 = 1/R_2C$$

For split-supply operation, the keying voltage at Pin 9 is referenced to V^- .

Output DC Level Control:

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In Figures 10, 11 and 12, Pin 3 is biased midway between V^+ and ground, to give an output dc level of $\approx V^+/2$.

APPLICATIONS INFORMATION

Sine Wave Generation

Without External Adjustment:

Figure 10 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, R_1 at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than $V^+/2$, and the typical distortion (THD) is $<0.5\%$. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of Figure 10 can be converted to split-supply operation, simply by replacing all ground connections with V^- . For split-supply operation, R_2 can be directly connected to ground.

With External Adjustment:

The harmonic content of sinusoidal output can be reduced to $\approx 0.5\%$ by additional adjustments as shown in Figure 11. The potentiometer, R_A , adjusts the sine-shaping resistor, and R_B provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set R_B at midpoint, and adjust R_A for minimum distortion.
2. With R_A set as above, adjust R_B to further reduce distortion.

Triangle Wave Generation

The circuits of Figures 10 and 11 can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., S_1 open). Amplitude of the triangle is approximately twice the sine wave output.

FSK Generation

Figure 12 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted, by the choice of timing resistors, R_1 and R_2 ; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with V^- .

Pulse and Ramp Generation

Figure 13 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99%, by the choice of R_1 and R_2 . The values of R_1 and R_2 should be in the range of 1 k Ω to 2 M Ω .



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 1

การวิเคราะห์สัญญาณภาคส่งของชุดฝึกการสื่อสารระบบ QPSK

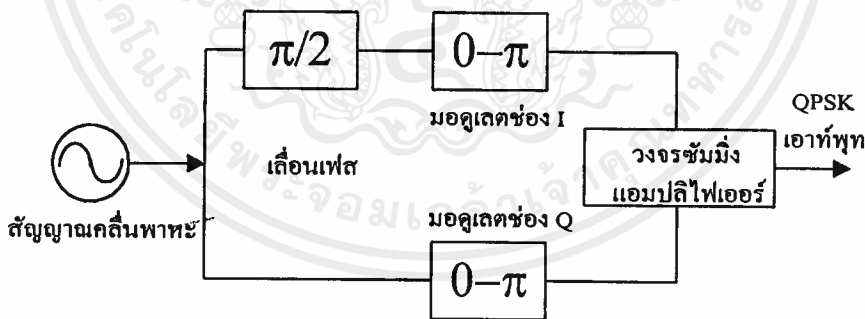
วัตถุประสงค์

1. เพื่อให้นักศึกษาสามารถอธิบายการทำงานของวงจรที่ใช้ในภาคส่งได้
2. เพื่อให้นักศึกษาสามารถวิเคราะห์สัญญาณเอาต์พุตของวงจรที่ใช้ในภาคส่งได้
3. เพื่อให้นักศึกษาสามารถวิเคราะห์การทำงานของชุดฝึกการสื่อสารระบบ QPSK ได้

เครื่องมือ และอุปกรณ์

- | | |
|-----------------|-----------|
| 1. ชุดฝึก QPSK | 1 เครื่อง |
| 2. ออสซิลโลสโคป | 1 เครื่อง |
| 3. สายปากคีบ | 5 เส้น |
| 4. มัลติมิเตอร์ | 1 เครื่อง |

ทฤษฎี และหลักการ



รูปที่ 1 แผนผังของวงจรภาคส่ง QPSK

วงจรภาคส่งของ QPSK ประกอบด้วยวงจรเข้ารหัสความแตกต่างบิตคู่ และวงจรกำเนิดคลื่นพาหะ ซึ่งถูกแยกออกเป็น 2 คลื่น ด้านบน และด้านล่าง โดยมีเฟสต่างกัน $\pi/2$

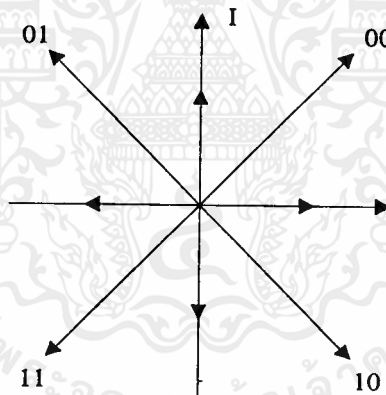
โดยใช้วงจรเลื่อนเฟสสัญญาณคลื่นพาหะ สัญญาณข้อมูลจะถูกป้อนเข้าวงจรมอดูเลตแบบ QPSK ซึ่งจะมีการเลื่อนเฟส $0 - \pi$ ทั้งทางด้านบน และด้านล่างคู่ขนานพร้อมๆ กัน ดังรูปที่ 1

เมื่อรวมสัญญาณที่ถูกมอดูเลตทางเฟสทั้งสองเข้าด้วยกัน ทำให้ได้สัญญาณที่ถูกมอดูเลตแบบ 4 เฟส ทางด้านเอทพุท

ความสัมพันธ์ระหว่างรหัสเกรย์ และเอทพุท แสดงดังตารางที่ 1 และแผนผังเวกเตอร์แสดงดังรูปที่ 2

อินพุทรหัสเกรย์	0,0	0,1	1,1	1,0
ช่องเฟส I	$\pi/2$	$\pi/2$	$3\pi/2$	$3\pi/2$
ช่องเฟส Q	0	π	π	0
เฟสเอทพุท	$\pi/2$	$3\pi/4$	$5\pi/4$	$7\pi/4$

ตารางที่ 1 ความสัมพันธ์ระหว่างสัญญาณอินพุท และเฟสเอทพุท



รูปที่ 2 ความสัมพันธ์ระหว่างรหัสเกรย์ และเฟสเอทพุท

ลำดับขั้นตอนการทดลอง

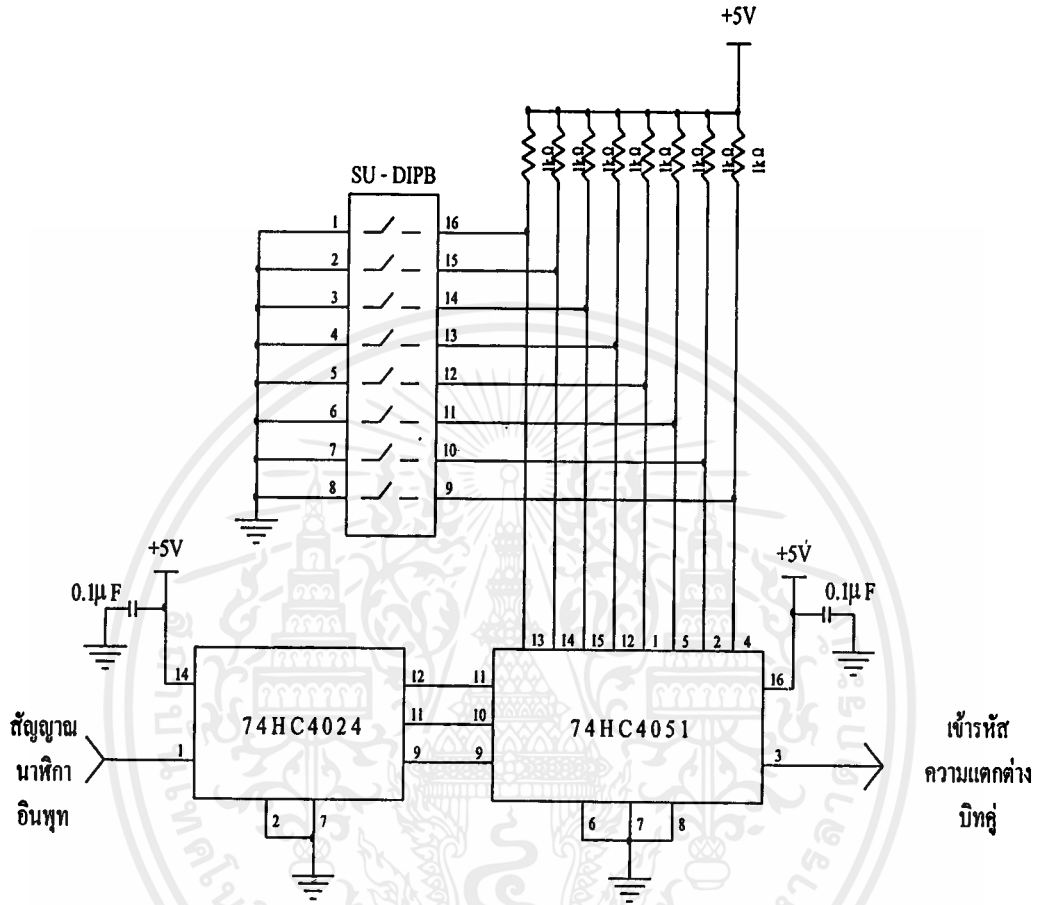
1. เปิดสวิตช์ของชุดทดลอง QPSK และทำการตรวจสอบการทำงานของชุดทดลอง ว่าเป็น วงจรปกติ หรือวงจรสำรอง

1.1 ในกรณีเป็นส่วนของวงจรปกติ ให้สังเกตที่ไฟสีแดง และตัวปรับแต่งสัญญาณที่ VR ของวงจรปกติเท่านั้น

1.2 ในกรณีเป็นวงจรสำรอง ให้สังเกตที่ไฟสีเหลือง และตัวปรับแต่งสัญญาณ VR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ทำการป้อนสัญญาณข้อมูล โดยการปรับคิฟท์สวิทช์ ที่ภาคกำเนิดสัญญาณให้เปิด-ปิด แล้วบันทึกตำแหน่งคิฟท์สวิทช์



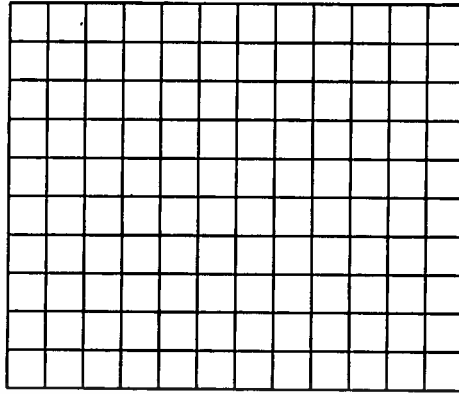
รูปที่ 3. วงจรกำเนิดสัญญาณข้อมูล

3. ทำการวัดสัญญาณที่เอาต์พุตของวงจรกำเนิดสัญญาณข้อมูล แล้วบันทึกผลที่ได้

4. ทำการวัดสัญญาณที่อินพุตของวงจรเข้ารหัสบิตคู่ว่าถูกต้อง หรือไม่

.....ถูกต้อง

.....ไม่ถูกต้อง



Volts / Div = ... v

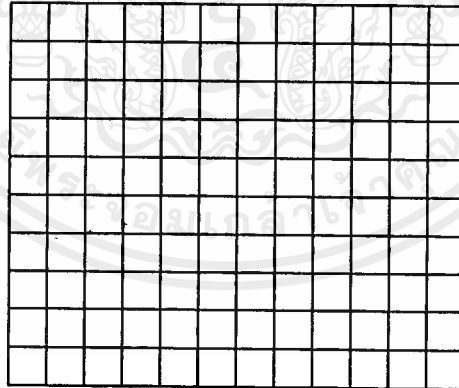
Time / Div = ... ms

Freq / Div = ... kHz

รูปที่ 4 สัญญาณเอาต์พุตของวงจรกำเนิดสัญญาณข้อมูล

4.1 ทำการเปรียบเทียบสัญญาณ ทางด้านอินพุตกับสัญญาณเอาต์พุต ของสัญญาณช่อง I และช่อง Q

4.2 ทำการบันทึกผลที่ได้จากการทำงานของวงจรเข้ารหัสบิตคู่



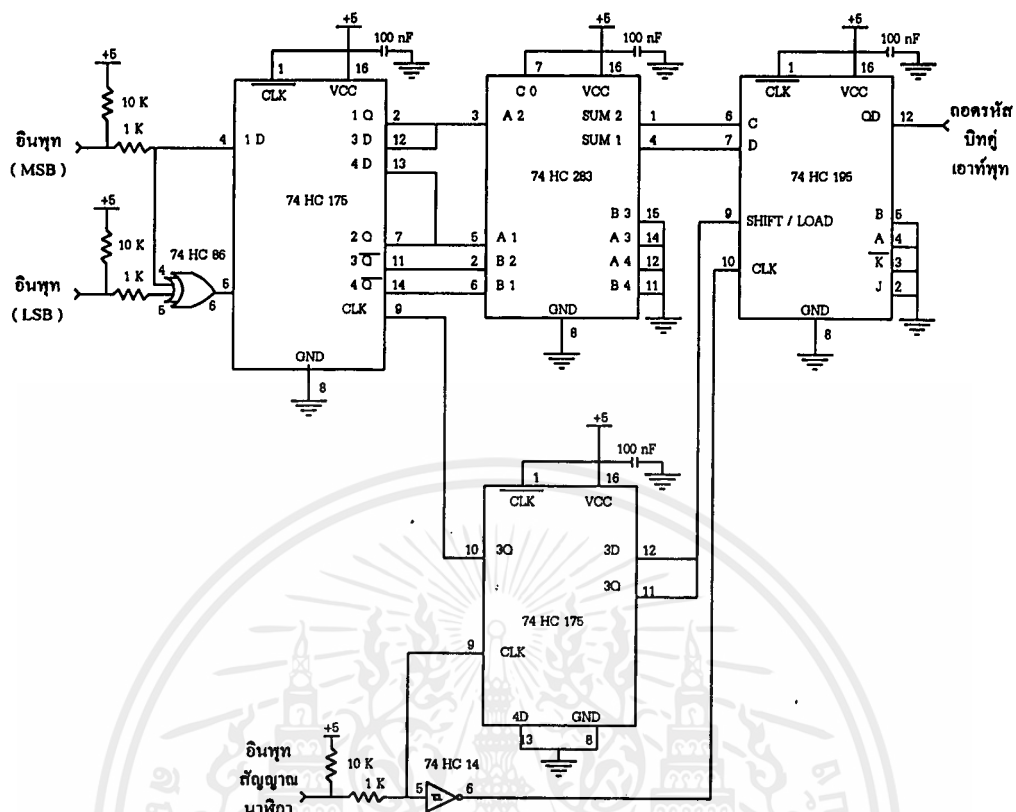
Volts / Div = ... v

Time / Div = ... ms

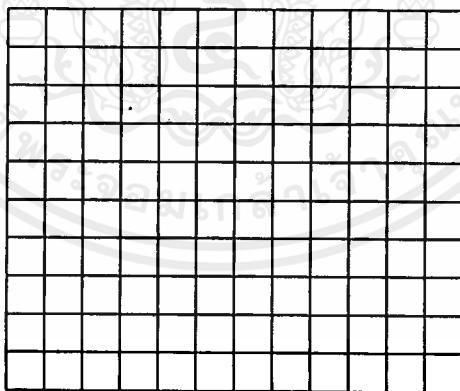
Freq / Div = ... kHz

รูปที่ 5 สัญญาณอินพุตของวงจรเข้ารหัสบิตคู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6 วงจรเข้ารหัสลับ

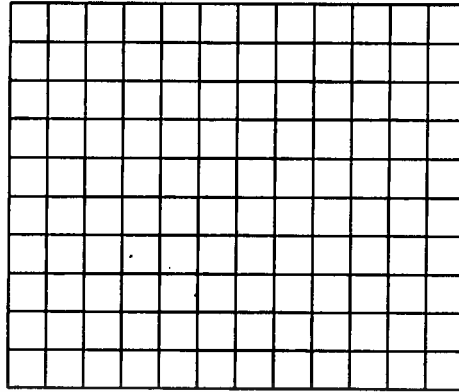


Volts / Div = ... v

Time / Div = ... ms

Freq / Div = ... kHz

รูปที่ 7 สัญญาณเอาต์พุตของวงจรเข้ารหัสบิตคู่ช่อง I



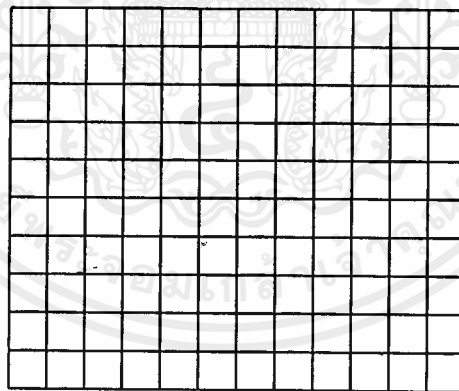
Volts / Div = ... v

Time / Div = ... ms

Freq / Div = ... kHz

รูปที่ 8 สัญญาณเอาต์พุตของวงจรเข้ารหัสบิตคู่ ช่อง Q

5 ทำการปรับแต่งสัญญาณคลื่นพาหะ โดยที่กำหนดให้สัญญาณคลื่นพาหะของช่อง I นั้น มีเฟสเริ่มต้นที่ 0 องศา และสัญญาณคลื่นพาหะของช่อง Q มีเฟสเริ่มต้นที่ 90 องศา

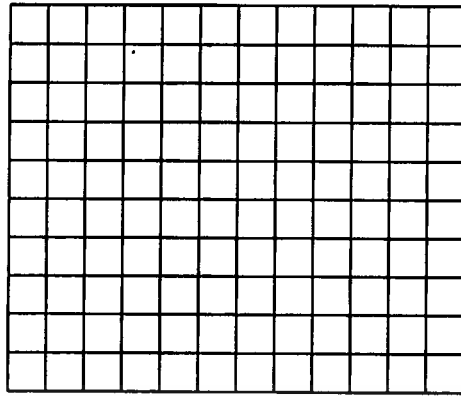


Volts / Div = ... v

Time / Div = ... ms

Freq / Div = ... kHz

รูปที่ 9 สัญญาณคลื่นพาหะช่อง I



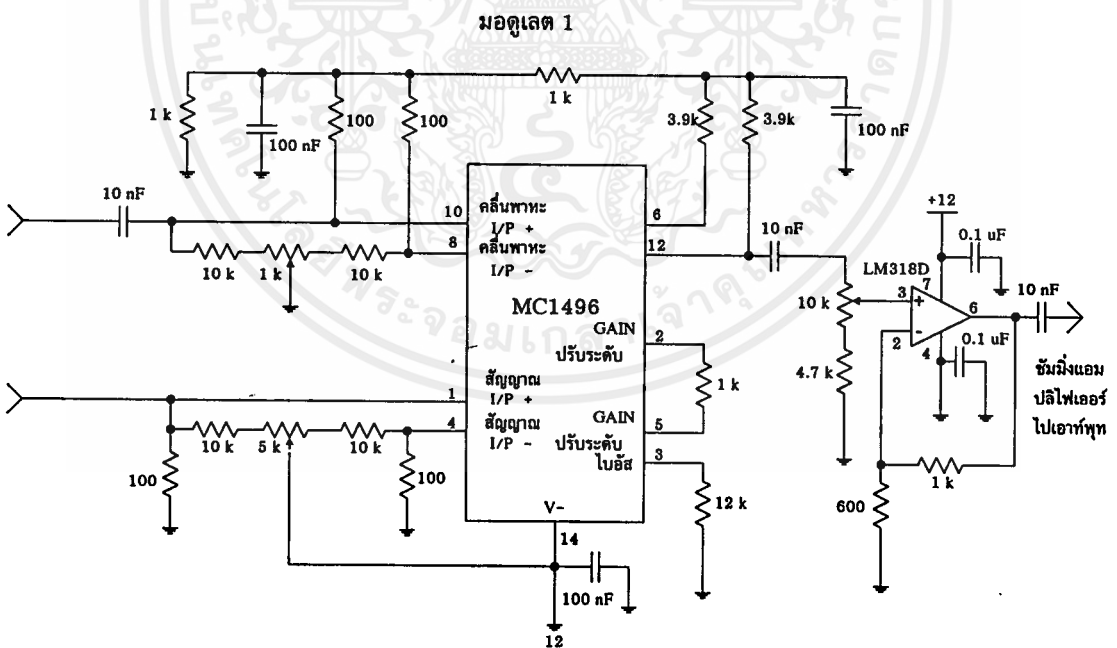
Volts / Div = ... v

Time / Div = ... ms

Freq / Div = ... kHz

รูปที่ 10 สัญญาณคลื่นพาหะช่อง Q

6. วงจรมอดูเลตช่อง I



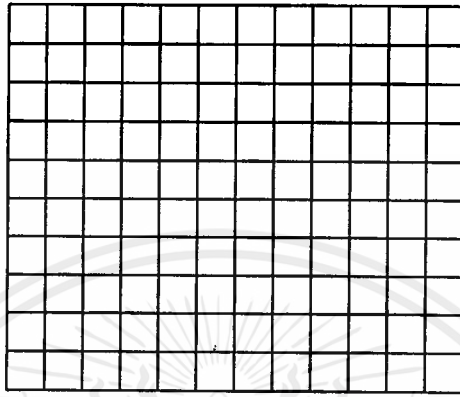
รูปที่ 11 วงจรมอดูเลต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.1 ทำการปรับ VR ของวงจรควบคุมสัญญาณข้อมูลช่อง I

6.2 ทำการปรับสัญญาณให้มีความแรงที่สุด แล้วบันทึกผลสัญญาณเอาต์พุตของวงจร

มอดูเลต

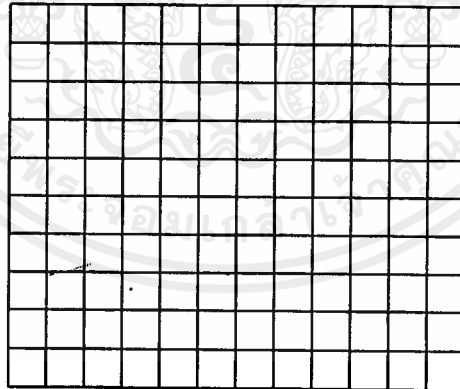


Volts / Div = ... v

Time / Div = ... ms

Freq / Div = ... kHz

รูปที่ 12 สัญญาณเอาต์พุตของวงจรปรับระดับสัญญาณช่อง I



Volts / Div = ... v

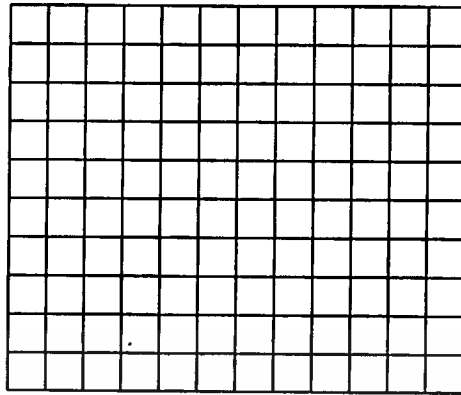
Time / Div = ... ms

Freq / Div = ... kHz

รูปที่ 13 สัญญาณเอาต์พุตของวงจรมอดูเลต ช่อง I

6.2 ทำการปรับระดับสัญญาณลดลงอย่างต่อเนื่อง แล้วทำการบันทึกผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

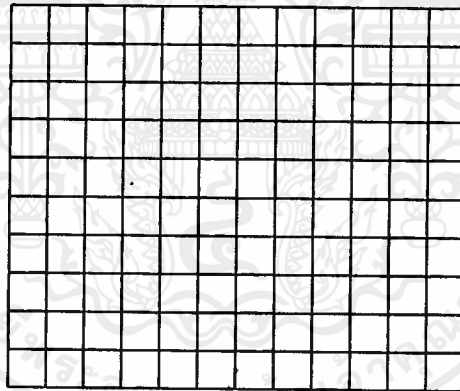


Volts / Div = ... v

Time / Div = ... ms

Freq / Div = ... kHz

รูปที่ 14 สัญญาณเอาต์พุตของวงจรปรับระดับสัญญาณช่อง I



Volts / Div = ... v

Time / Div = ... ms

Freq / Div = ... kHz

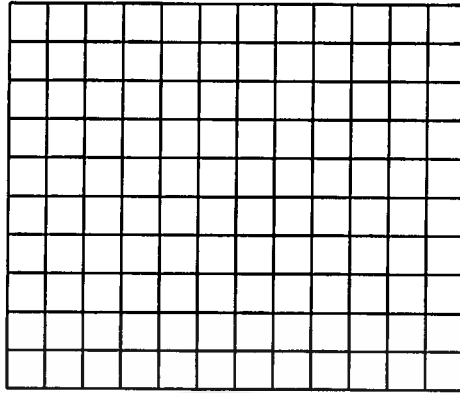
รูปที่ 15 สัญญาณเอาต์พุตของวงจรมอดูเลตช่อง I

7 วงจรมอดูเลตช่อง Q

7.1 ทำการปรับ VR ที่ภาคควบคุมสัญญาณข้อมูลช่อง Q

7.2 ทำการปรับระดับสัญญาณให้มีความแรงที่สุด แล้วบันทึกผลสัญญาณเอาต์พุตของวงจรมอดูเลตช่อง Q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

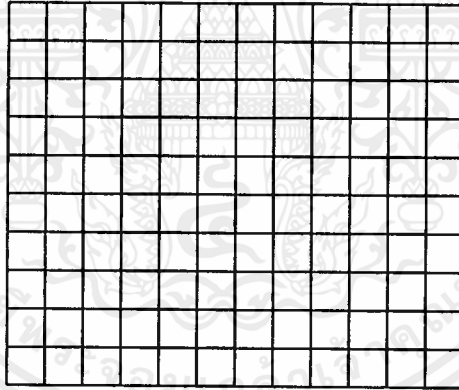


Volts / Div = ... v

Time / Div = ... ms

Freq / Div = ... kHz

รูปที่ 16 สัญญาณเอาต์พุตของวงจรปรับระดับสัญญาณช่อง Q



Volts / Div = ... v

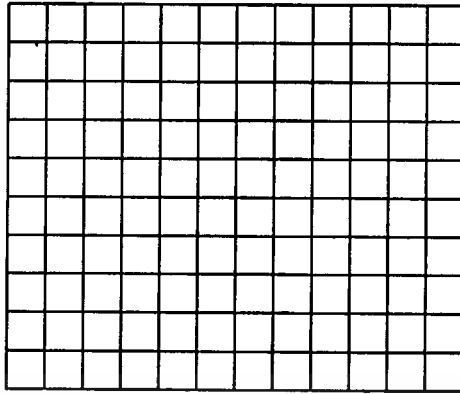
Time / Div = ... ms

Freq / Div = ... kHz

รูปที่ 17 สัญญาณเอาต์พุตของวงจรมอดูเลตช่อง Q

7.3 ปรับระดับสัญญาณลดลงอย่างต่อเนื่อง แล้วทำการบันทึกผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

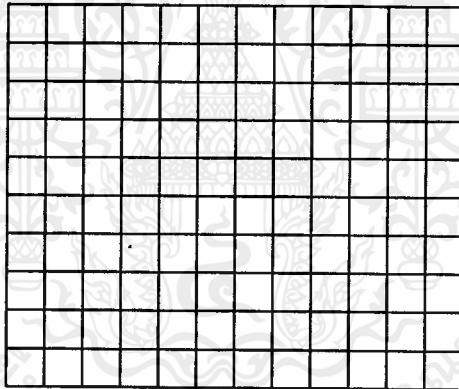


Volts / Div = ... v

Time / Div = ... ms

Freq / Div = ... kHz

รูปที่ 18 สัญญาณเอาต์พุตของวงจรปรับระดับสัญญาณ



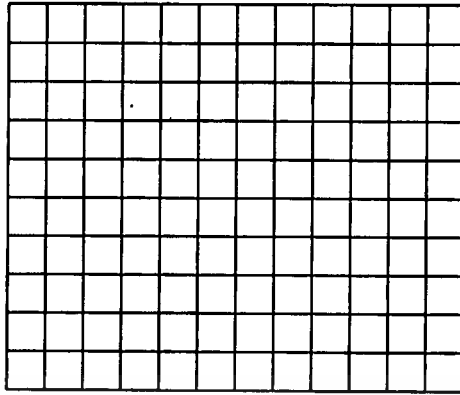
Volts / Div = ... v

Time / Div = ... ms

Freq / Div = ... kHz

รูปที่ 19 สัญญาณเอาต์พุตของวงจรมอดูเลตช่อง Q

8 เปรียบเทียบสัญญาณที่เอาต์พุตของวงจรมอดูเลตช่องสัญญาณ I และช่องสัญญาณ Q แล้วทำการปรับระดับแรงดันของช่องสัญญาณ I และช่องสัญญาณ Q ให้มีระดับแรงดันเท่ากัน

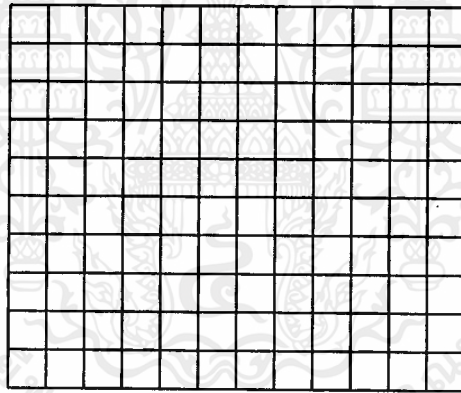


Volts / Div = ... v

Time / Div = ... ms

Freq / Div = ... kHz

รูปที่ 20 สัญญาณเอาต์พุตของวงจรมอดูเลตช่อง I



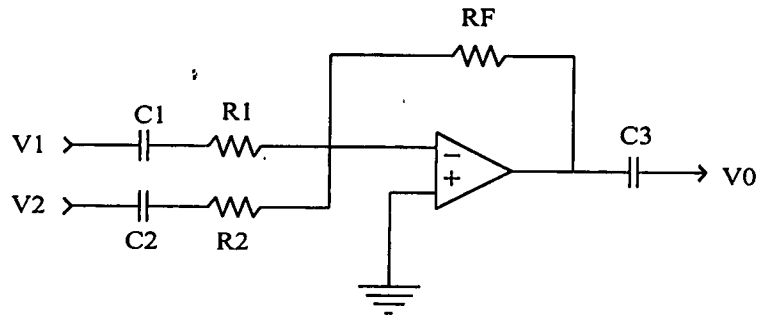
Volts / Div = ... v

Time / Div = ... ms

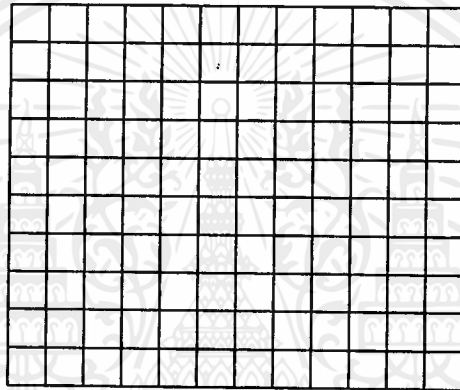
Freq / Div = ... kHz

รูปที่ 21 สัญญาณเอาต์พุตของวงจรมอดูเลตช่อง Q

9. ทำการวัดสัญญาณที่เอาต์พุตของวงจรซัมมิงแอมพลิไฟเออร์



รูปที่ 22 วงจรซัมมิงแอมพลิไฟเออร์



Volts / Div = ... v

Time / Div = ... ms

Freq / Div = ... khz

รูปที่ 23 สัญญาณเอาต์พุตของวงจรซัมมิงแอมพลิไฟเออร์

สรุปผลการทดลอง

.....

.....

.....

.....

.....

คำถามท้ายการทดลอง

1. การปรับ VR ภาคควบคุมระดับสัญญาณเป็นการปรับเพื่ออะไร
2. จงอธิบายสัญญาณที่เอาต์พุตของซัมมิงแอมพลิไฟเออร์พร้อมทั้งแสดงการรวมกันทางเฟสของระบบการสื่อสารแบบ QPSK .
3. ถ้าสัญญาณข้อมูลเป็นลอจิก 1 ช่องสัญญาณ I และช่องสัญญาณ Q เมื่อผ่านการมอดูเลตแล้วจะมีเฟสเท่าไร และถ้าเป็นลอจิก 0 ทั้งสองช่องสัญญาณเมื่อผ่านการมอดูเลตแล้วจะมีเฟสเท่าไร จงอธิบาย
4. ระดับแรงดันของสัญญาณ QPSK จะถูกกำหนดโดยวงจรอะไร และภาคไหนสำคัญที่สุด



การทดลองที่ 2

การวิเคราะห์สัญญาณภาครับของชุดฝึกการสื่อสารระบบ QPSK

วัตถุประสงค์

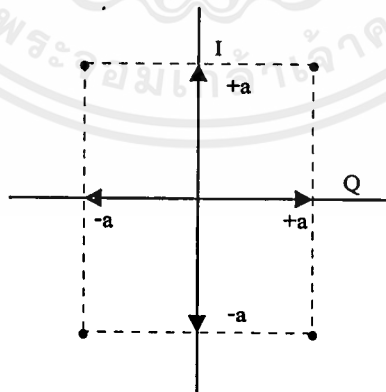
1. เพื่อให้นักศึกษาสามารถอธิบายการทำงานของวงจรที่ใช้ในภาครับได้
2. เพื่อให้นักศึกษาสามารถวิเคราะห์สัญญาณเอาต์พุตของวงจรที่ใช้ในภาครับได้
3. เพื่อให้นักศึกษาสามารถวิเคราะห์การทำงานของชุดฝึกการสื่อสารระบบ QPSK ได้

เครื่องมือ และอุปกรณ์

- | | |
|-----------------|-----------|
| 1. ชุดฝึก QPSK | 1 เครื่อง |
| 2. ออสซิลโลสโคป | 1 เครื่อง |
| 3. สายปากคียบ | 5 เส้น |
| 4. มัลติมิเตอร์ | 1 เครื่อง |

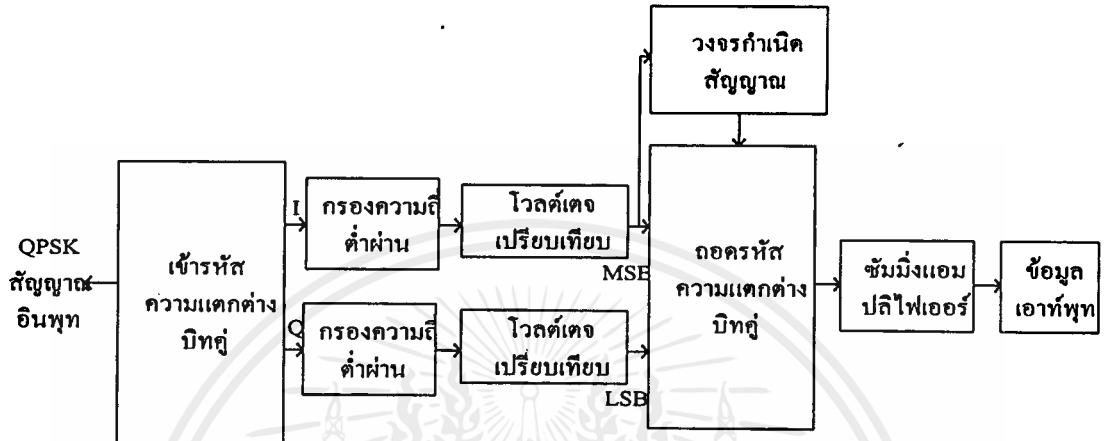
ทฤษฎี และหลักการ

วงจรที่ใช้สำหรับภาครับของชุดฝึกการสื่อสารข้อมูลระบบ QPSK นั้น ประกอบด้วยวงจรถอดรหัสความแตกต่างบิตคู่, วงจรคิมอดูเลต 2 วงจร, วงจรกรองความถี่ต่ำผ่าน 2 วงจร



รูปที่ 1 แผนผังเวกเตอร์การแยกสัญญาณ QPSK

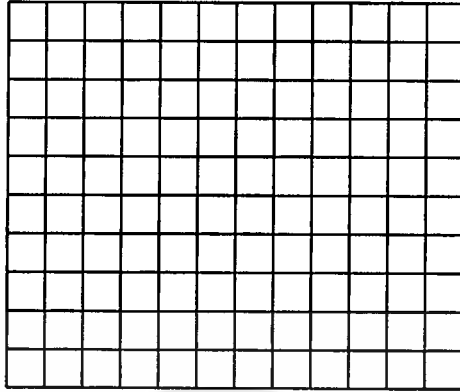
นอกจากนี้ ยังประกอบด้วยวงจรเปรียบเทียบโวลต์เดจ 2 วงจร และวงจรที่สร้างคลื่นพาหะอ้างอิงขึ้นมาใหม่ เพื่อใช้ในการคิมอดูเลตสัญญาณ QPSK ดังนั้น ควรมีคลื่นพาหะอ้างอิง 2 ชุด ที่มีเฟสตั้งฉากกัน แต่ละแกนของคลื่นพาหะอ้างอิงจะมี 2 ค่า ที่ถูกคิมอดูเลตออกมา ดังรูปที่ 1



รูปที่ 2 แผนผังการทำงานของภาครับ QPSK

ลำดับขั้นการทดลอง

1. ตั้งค่าออสซิลโลสโคป และมัลติมิเตอร์ให้พร้อมที่จะใช้งาน
2. วงจรคิมอดูเลตทางภาครับของการส่งในระบบ QPSK จะแบ่งออกเป็น 2 ช่อง คือ คิมอดูเลตช่อง I และคิมอดูเลตช่อง Q
 - 2.11 ทำการวัดสัญญาณอินพุตของวงจรคิมอดูเลต I แล้วบันทึกผลในตาราง
 - 2.1.2 ทำการวัดสัญญาณคลื่นพาหะที่เข้ามาวงจรคิมอดูเลต แล้วบันทึกผลในตาราง
 - 2.1.3 ทำการวัดสัญญาณที่เอาต์พุตของวงจรคิมอดูเลต และทำการปรับ VR₁ เพื่อควบคุมสัญญาณที่ผ่านการมอดูเลต เพื่อให้ได้สัญญาณที่มีส่วนประกอบของคลื่นพาหะน้อยที่สุด แล้วบันทึกผลในตาราง

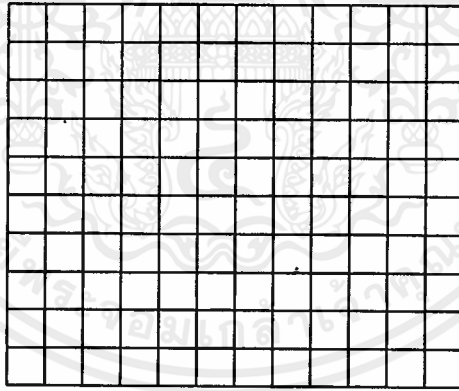


Volts / Div = ... v

Time / Div = ... ms

Freq / Div = ... kHz

รูปที่ 3 สัญญาณอินพุตของวงจรคีมอตุเลต



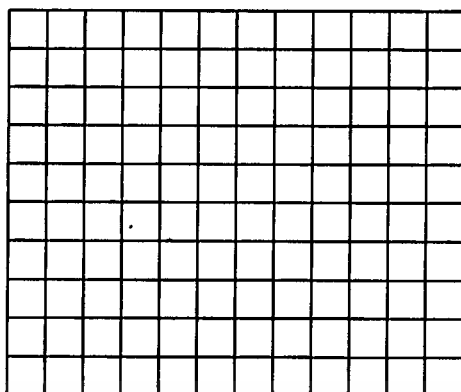
Volts / Div = ... v

Time / Div = ... ms

Freq / Div = ... kHz

รูปที่ 4 สัญญาณคลื่นพาหะของวงจรคีมอตุเลต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

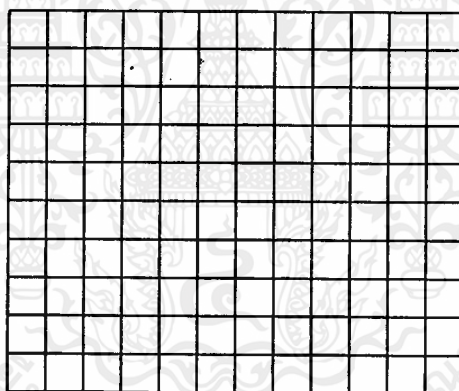


Volts / Div = ... v

Time / Div = ... ms

Freq / Div = ... kHz

รูปที่ 5 สัญญาณที่ผ่านการคิมอดูเลต



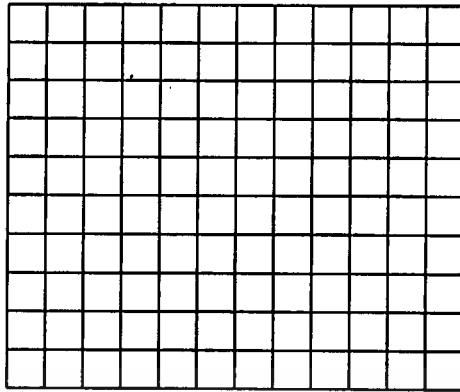
Volts / Div = ... v

Time / Div = ... ms

Freq / Div = ... kHz

รูปที่ 6 สัญญาณอินพุทของวงจรกรองความถี่ต่ำผ่าน

3 วงจรกรองความถี่ต่ำผ่าน แบ่งออกเป็น 2 ช่องสัญญาณ คือ วงจรกรองความถี่ต่ำผ่านช่อง I และวงจรกรองความถี่ต่ำผ่านช่อง Q



Volts / Div = ... v

Time / Div = ... ms

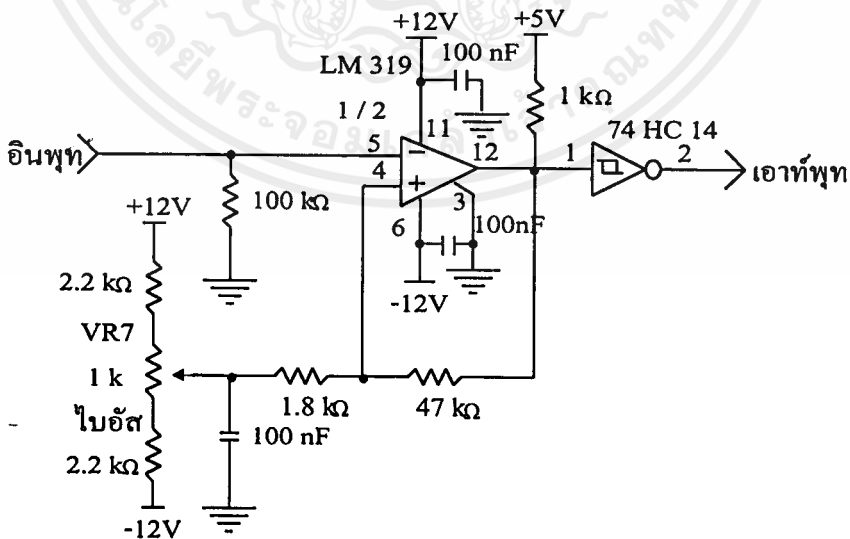
Freq / Div = ... kHz

รูปที่ 7 สัญญาณอินพุตของวงจรรองความถี่ต่ำผ่าน

ถ้าสัญญาณที่ได้ออกมาไม่ดีเท่าที่ควรให้ย้อนไปปรับ VR_5 และ VR_6 แล้วทำการตรวจสอบสัญญาณที่เอาต์พุตของวงจรรองความถี่ทั้งสอง ให้มีความคมชัดที่สุด แล้วทำการบันทึกผลอีกครั้ง

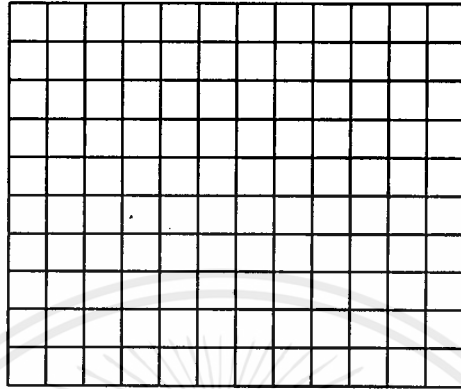
4. วงจรเปรียบเทียบโวลต์เดจแบ่งออกเป็น 2 วงจร ทางช่อง I และช่อง Q คือ

4.1 วงจรเปรียบเทียบโวลต์เดจช่อง I



รูปที่ 8 วงจรเปรียบเทียบโวลต์เดจช่อง I

ทำการวัดสัญญาณอินพุต เปรียบเทียบกับสัญญาณเอาต์พุต และทำการปรับ VR₇ จะให้สัญญาณอินพุต และเอาต์พุตจะมีลักษณะสัญญาณข้อมูลใกล้เคียงกัน

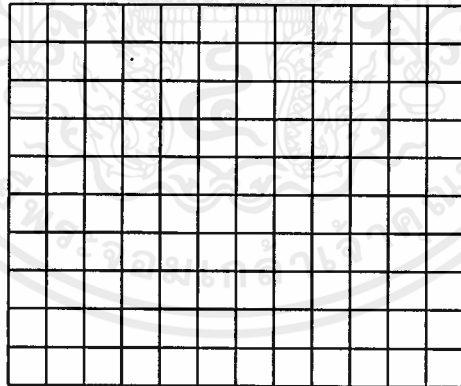


Volts / Div = ... v

Time / Div = ... ms

Freq / Div = ... kHz

รูปที่ 9 สัญญาณอินพุตของวงจรเปรียบเทียบโวลต์แดง



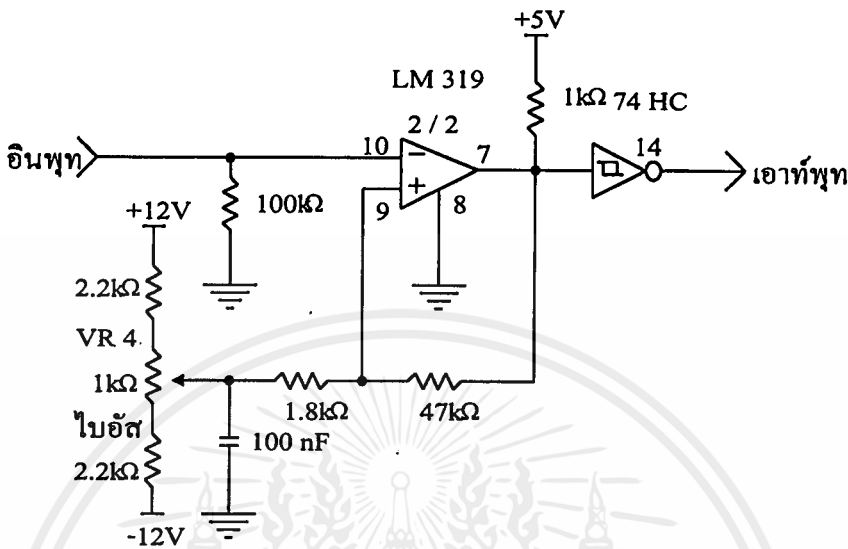
Volts / Div = ... v

Time / Div = ... ms

Freq / Div = ... kHz

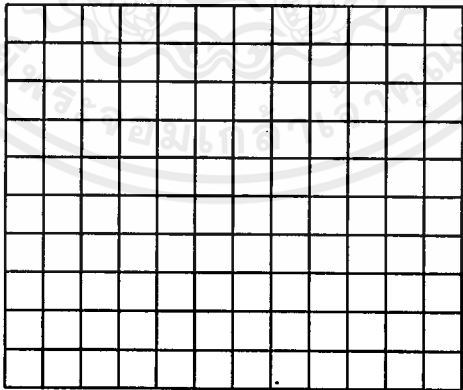
รูปที่ 10 สัญญาณเอาต์พุตของวงจรเปรียบเทียบโวลต์แดง

4.2 วงจรเปรียบเทียบโวลต์เดจช่อง Q



รูปที่ 11 วงจรเปรียบเทียบโวลต์เดจช่อง Q

วัดสัญญาณอินพุท เปรียบเทียบกับสัญญาณเอาต์พุท และทำการปรับ VR₄ จะให้สัญญาณอินพุท และเอาต์พุทจะมีลักษณะสัญญาณข้อมูลใกล้เคียงกัน



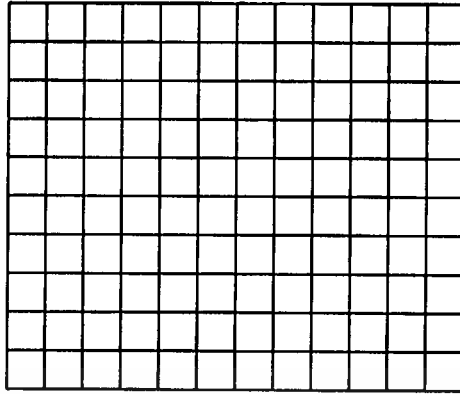
Volts / Div = ... v

Time / Div = ... ms

Freq / Div = ... kHz

รูปที่ 12 สัญญาณอินพุทของวงจรเปรียบเทียบโวลต์เดจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



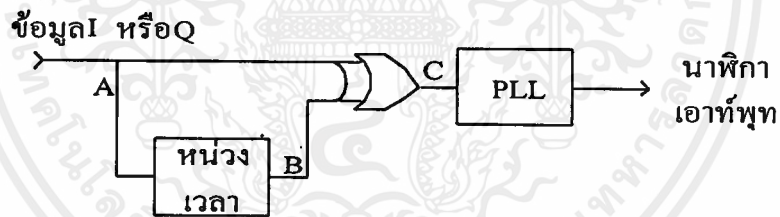
Volts / Div = ... v

Time / Div = ... ms

Freq / Div = ... kHz

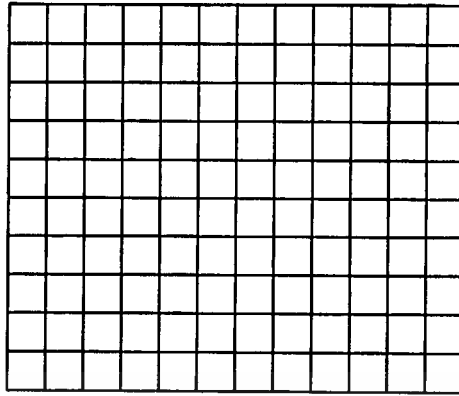
รูปที่ 13 สัญญาณเอาต์พุตของวงจรเปรียบเทียบโวลต์แดง

5. วงจรกู้สัญญาณนาฬิกา



รูปที่ 14 วงจรกู้สัญญาณนาฬิกา

ทำการวัดสัญญาณที่เอาต์พุตของวงจรกู้สัญญาณนาฬิกา และทำการปรับสัญญาณที่ได้ เมื่อเทียบกับสัญญาณนาฬิกาของภาคส่ง ให้มีความถี่เท่ากัน

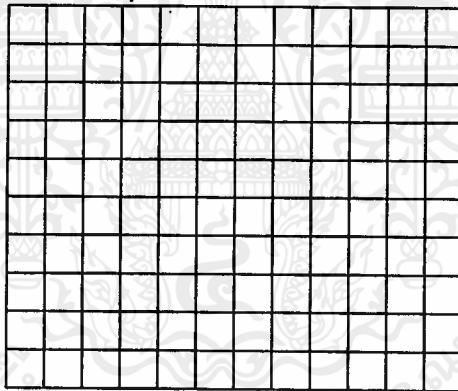


Volts / Div = ... v

Time / Div = ... ms

Freq / Div = ... kHz

รูปที่ 15 สัญญาณนาฬิกาของวงจรภาคส่ง



Volts / Div = ... v

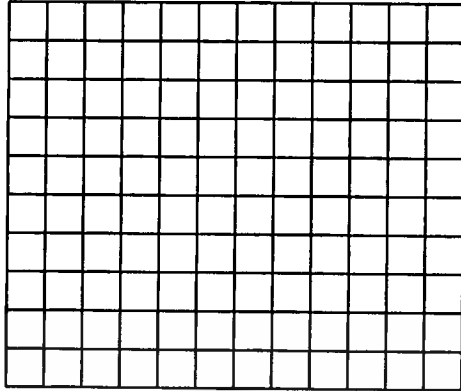
Time / Div = ... ms

Freq / Div = ... kHz

รูปที่ 16 สัญญาณของวงจรผู้สัญญาณนาฬิกา

6. ทำการนำสัญญาณอินพุตจากวงจรเปรียบเทียบกับโวลต์ตรงทางช่องสัญญาณ I และช่องสัญญาณ Q มาเปรียบเทียบกับเอาต์พุตของวงจรถอดรหัสความแตกต่างบิตคู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

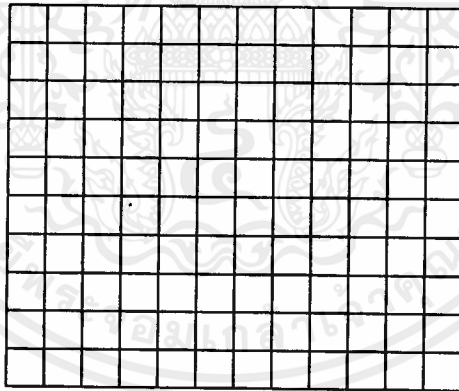


Volts / Div = ... v

Time / Div = ... ms

Freq / Div = ... kHz

รูปที่ 17 สัญญาณช่อง I



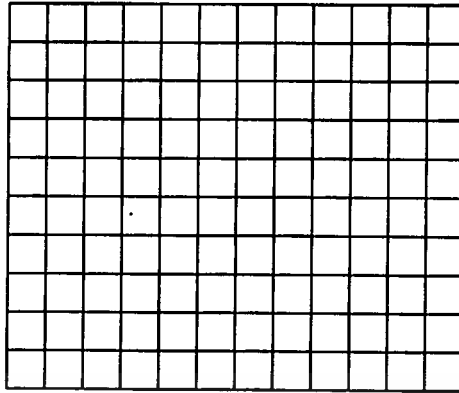
Volts / Div = ... v

Time / Div = ... ms

Freq / Div = ... kHz

รูปที่ 18 สัญญาณช่อง Q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



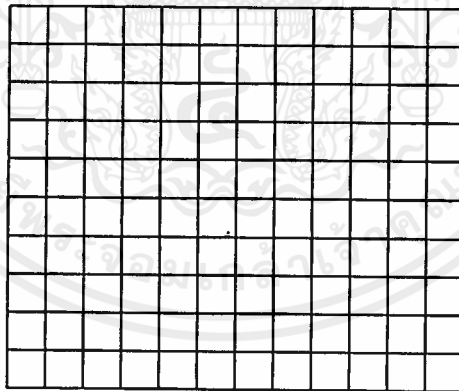
Volts / Div = ... v

Time / Div = ... ms

Freq / Div = ... kHz

รูปที่ 19 สัญญาณเอาต์พุตของวงจรอินเวอร์ตความแตกต่างบิตคู่

ทำการเปรียบเทียบสัญญาณที่เอาต์พุตของวงจรอินเวอร์ตความแตกต่างบิตคู่กับสัญญาณที่ได้จากวงจรกำเนิดสัญญาณข้อมูล

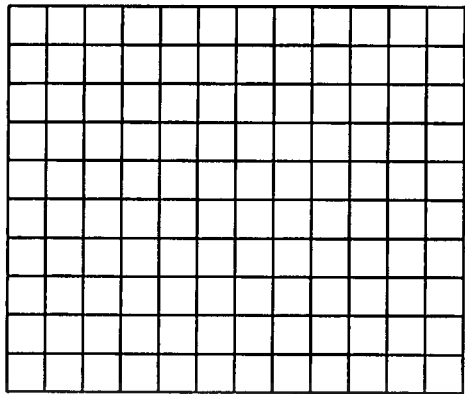


Volts / Div = ... v

Time / Div = ... ms

Freq / Div = ... kHz

รูปที่ 20 สัญญาณเอาต์พุตของวงจรอินเวอร์ตความแตกต่างบิตคู่



Volts / Div = ... v

Time / Div = ... ms

Freq / Div = ... kHz

รูปที่ 21 สัญญาณอินพุทของวงจรกำเนิดสัญญาณข้อมูล

สรุปผลการทดลอง

.....

.....

.....

.....

.....

คำถามท้ายการทดลอง

1. การปรับระดับแรงดัน V_{R_1} ทำให้รูปสัญญาณจากการตีมอดูเลต เปลี่ยนแปลงไปอย่างไร
2. สัญญาณที่ผ่านวงจรกรองความถี่ต่ำผ่านได้นั้น จะต้องมีความสัมพันธ์อย่างไร
3. วงจรกรองความถี่ต่ำผ่านทำงานอย่างไร จงอธิบาย และแสดงรูปประกอบคำอธิบาย
4. ระบบการสื่อสารข้อมูลแบบ QPSK สามารถประยุกต์ใช้ในการสื่อสารใดบ้าง
5. วงจรเปรียบเทียบโวลต์เดจ สามารถสร้างสัญญาณจากสัญญาณที่ออกมาจากวงจร กรองความถี่ต่ำผ่านได้อย่างไร

การทดลองที่ 3

การวิเคราะห์สัญญาณของระบบการสื่อสารข้อมูลแบบ BPSK

วัตถุประสงค์

1. นักศึกษาสามารถอธิบายการทำงานของระบบการสื่อสารข้อมูลแบบ BPSK
2. นักศึกษาสามารถวิเคราะห์สัญญาณที่เอาท์พุทของวงจรต่างๆ ได้อย่างถูกต้อง
3. นักศึกษาสามารถบอกลักษณะวงจรของระบบการสื่อสารข้อมูลแบบ BPSK ได้

อุปกรณ์ และเครื่องมือ

- | | |
|-----------------|-----------|
| 1. ชุดฝึก QPSK | 1 เครื่อง |
| 2. ออสซิลโลสโคป | 1 เครื่อง |
| 3. สายปากคียบ | 5 เส้น |
| 4. มัลติมิเตอร์ | 1 เครื่อง |

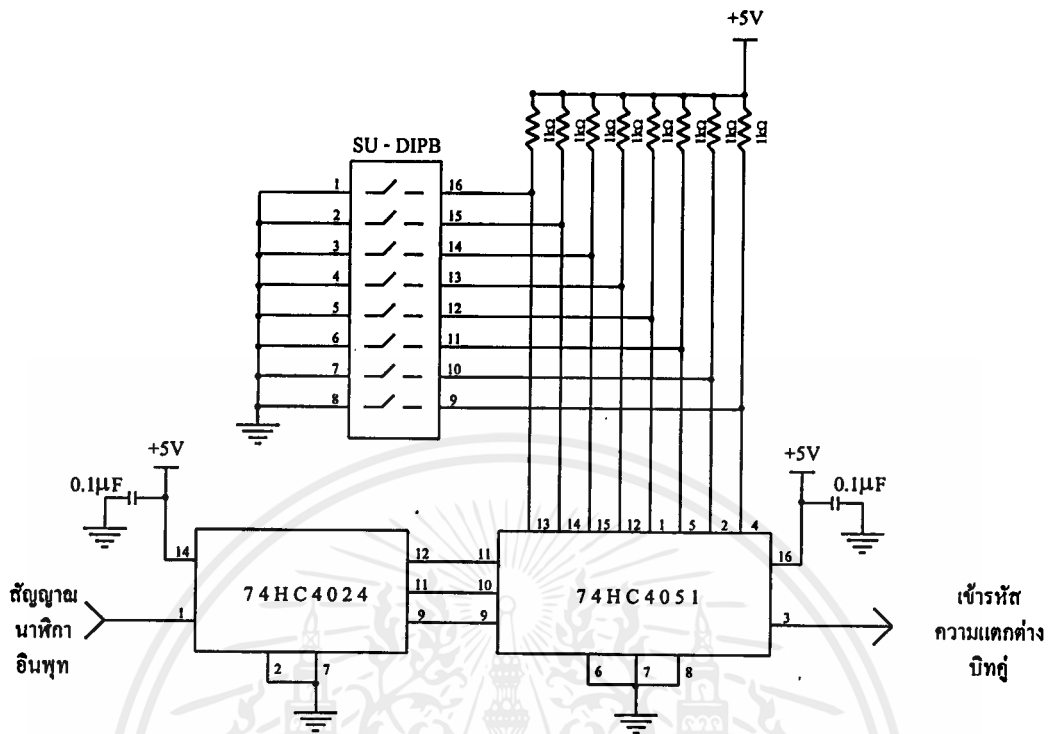
ทฤษฎี และหลักการ

หลักการของการสื่อสารข้อมูลระบบ BPSK คือ เฟสของสัญญาณคลื่นพาหะจะเปลี่ยนแปลงไปตามสัญญาณดิจิทัลที่เข้ามา โดยถ้าระดับลอจิกของสัญญาณเปลี่ยนจาก 0 ไปเป็น 1 ทำให้เฟสของคลื่นพาหะเปลี่ยนไป 180 องศา

วงจรการสื่อสารข้อมูลระบบ BPSK จะประกอบด้วยวงจรมอดูเลตแบบสมมูลย์, วงจรกรองความถี่ต่ำผ่าน และวงจรเปรียบเทียบกับโวลต์เดจเอาท์พุทที่ได้จากวงจรมอดูเลตจะเปลี่ยนตามสัญญาณไบนารีที่เข้ามาทางอินพุท ซึ่งเมื่อสัญญาณไบนารีมีการเปลี่ยนแปลงสถานะ เอาท์พุทจะกลับเฟส 180 องศา

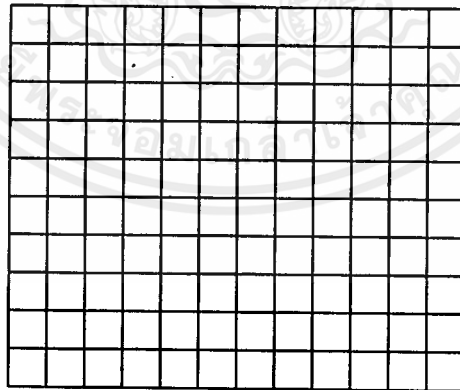
ลำดับขั้นตอนการทดลอง

1. ตั้งค่าออสซิลโลสโคป และมัลติมิเตอร์ให้พร้อมที่จะทำงาน
2. ทำการป้อนข้อมูลให้แก่วงจร โดยการปรับ Dif sw ที่ภาคกำเนิดสัญญาณข้อมูลให้ปิด - เปิดสวิตช์ จากนั้นบันทึกตำแหน่ง Dif sw



รูปที่ 1 วงจรกำเนิดสัญญาณข้อมูล

3. ทำการวัดสัญญาณที่เอาต์พุตของวงจรกำเนิดสัญญาณข้อมูล แล้วบันทึกผลของสัญญาณ



Volts / Div = ... v

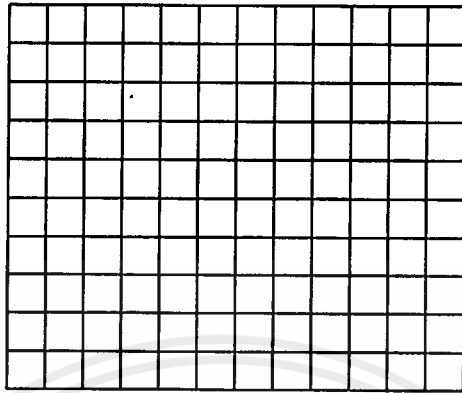
Time / Div = ... ms

Freq / Div = ... kHz

รูปที่ 2 สัญญาณเอาต์พุตของวงจรกำเนิดสัญญาณข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. ทำการปรับความถี่สัญญาณคลื่นพาหะ แล้วบันทึกผล



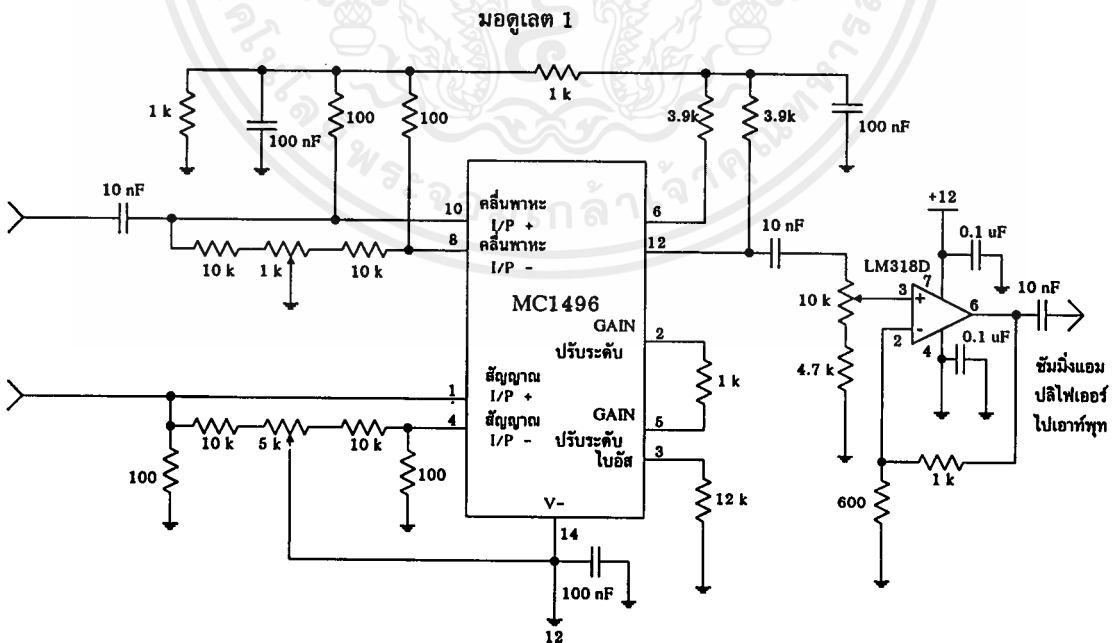
Volts / Div = ... v

Time / Div = ... ms

Freq / Div = ... kHz

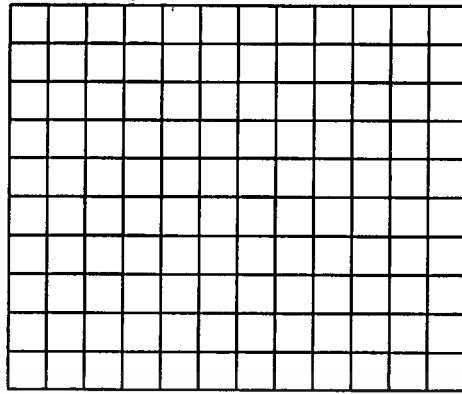
รูปที่ 3 สัญญาณเอาต์พุตของวงจรสัญญาณคลื่นพาหะ

5. ทำการวัดสัญญาณที่เอาต์พุตของมอดูเลต พร้อมทั้งปรับ VR_๓ ความแรงของสัญญาณข้อ มูลให้ลดลง และบันทึกผล



รูปที่ 4 วงจรมอดูเลต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

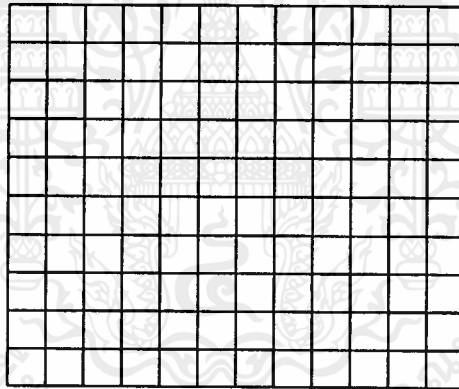


Volts / Div = ... v

Time / Div = ... ms

Freq / Div = ... kHz

รูปที่ 5 สัญญาณอินพุตของวงจรมอดูเลต



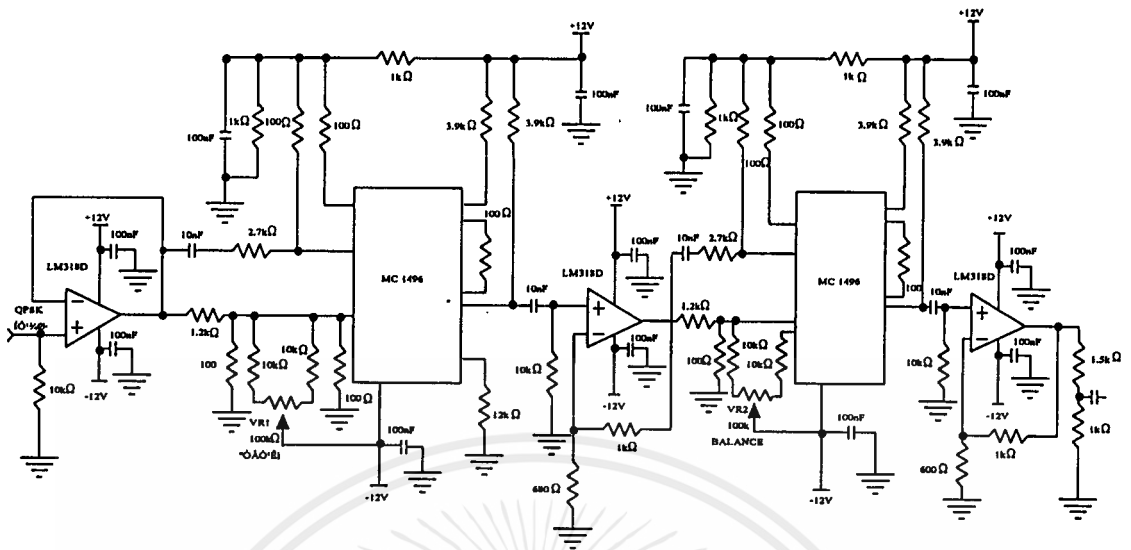
Volts / Div = ... v

Time / Div = ... ms

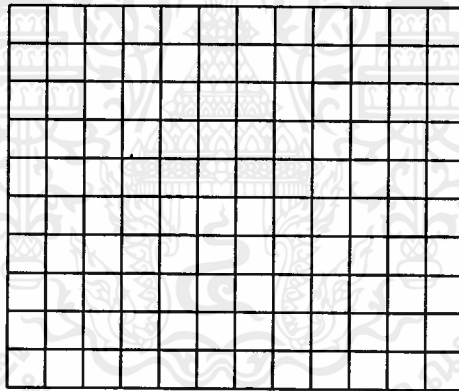
Freq / Div = ... kHz

รูปที่ 6 สัญญาณเอาต์พุตของวงจรมอดูเลต

6. ทำการวัดสัญญาณที่เอาต์พุตของวงจรคีมอดูเลต พร้อมปรับ VR_2 ของวงจร เพื่อปรับสัญญาณคีมอดูเลตที่สมบูรณ์ที่สุด



รูปที่ 7 วงจรคีมอดูเลต



Volts / Div = ... v

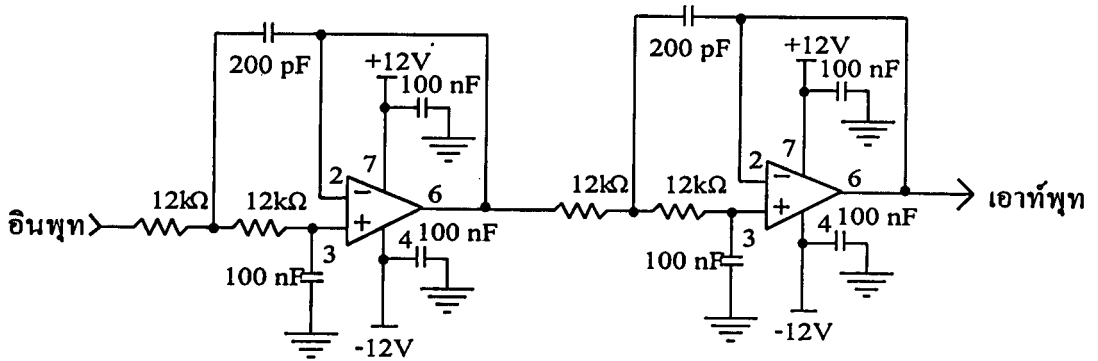
Time / Div = ... ms

Freq / Div = ... kHz

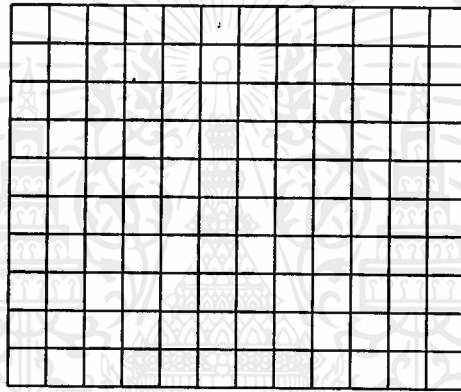
รูปที่ 8 สัญญาณเอาต์พุตของวงจรคีมอดูเลต

7. ทำการวัดสัญญาณที่ผ่านวงจรกรองความถี่ต่ำผ่าน เพื่อเปรียบเทียบกับสัญญาณที่ผ่านวงจรคีมอดูเลต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 9 วงจรกรองความถี่ต่ำผ่าน

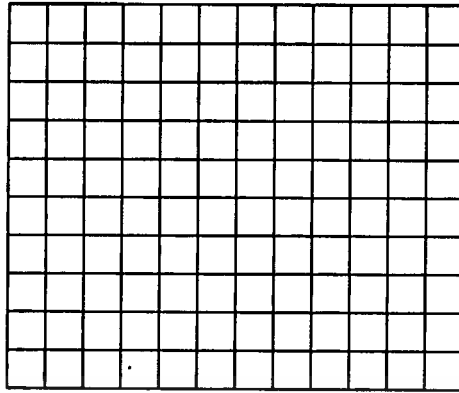


Volts / Div = ... v

Time / Div = ... ms

Freq / Div = ... kHz

รูปที่ 10 สัญญาณเอาต์พุตของวงจรคีมอคูเลต



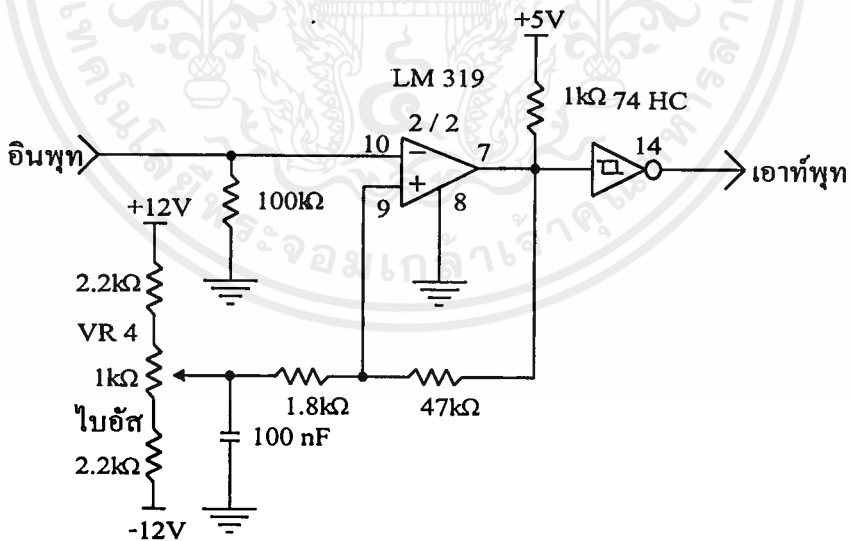
Volts / Div = ... v

Time / Div = ... ms

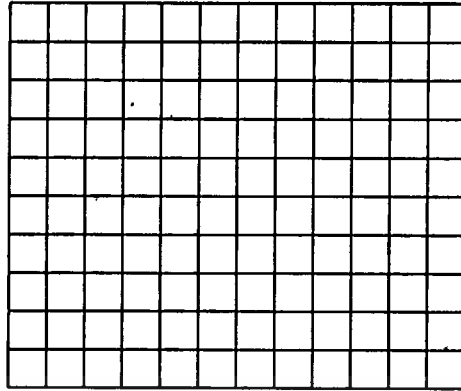
Freq / Div = ... kHz

รูปที่ 11 สัญญาณเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน

8. ทำการวัดสัญญาณที่เอาต์พุต พร้อมทั้งปรับ VR₃ ให้ได้ระดับสัญญาณที่ถูกต้องกับสัญญาณข้อมูลมากที่สุด แล้วบันทึกผล



รูปที่ 12 วงจรเปรียบเทียบโวลต์เดจ



Volts / Div = ... v

Time / Div = ... ms

Freq / Div = ... kHz

รูปที่ 13 สัญญาณเอาร์ทพุทของวงจรเปรียบเทียบกับโวลต์เดจ

สรุปผลการทดลอง

.....

.....

.....

.....

.....

คำถามท้ายการทดลอง

1. ระบบการสื่อสารแบบ BPSK สามารถประยุกต์เข้ากับการสื่อสารระบบ QPSK ได้หรือไม่ อย่างไร จงอธิบายอย่างละเอียด
2. ภาคมอดูเลตใช้หลักการใดในการมอดูเลตสัญญาณข้อมูลกับสัญญาณคลื่นพาหะ จงอธิบาย
3. ภาคดีมอดูเลตใช้หลักการใดในการดีมอดูเลตสัญญาณ BPSK จงอธิบาย
4. จงอธิบายการทำงานของวงจรกรองความถี่ต่ำผ่าน พร้อมทั้งแสดงภาพประกอบ และวิธีการคำนวณหาค่าอย่างละเอียด
5. จงอธิบายการทำงานของวงจรเปรียบเทียบกับโวลต์เดจ และวงจรกรองความถี่ต่ำผ่านมาอย่างละเอียด

บรรณานุกรม

1. กลุ่ม CNS. ออปปแอมป์. พิมพ์ครั้งที่ 2 กรุงเทพมหานคร: สำนักพิมพ์ฟิสิกส์เซ็นเตอร์.
2. ณรงค์ เหมกรณ์. การสื่อสารควมเทียม. สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. กรุงเทพมหานคร.
3. บัณฑิต ไรจน์อารยานนท์. หลักการไฟฟ้าสื่อสาร. กรุงเทพมหานคร: จุฬาลงกรณ์มหาวิทยาลัย, 2537.
4. ประสิทธิ์ ประพัฒน์มงคล. หลักการระบบสื่อสาร. กรุงเทพมหานคร: เอช-เอนการพิมพ์.
5. Helms, Harry. Linear IC device 1987 source. Technipubs, Inc., USA, 1987.
6. Motorola communication devicedata . Motorola, Inc, 1989.
7. Motorola linear / interface Ics device data vol2. Motorola, Inc., 1990.

ประวัติผู้แต่ง



ชื่อผู้ทำปริญญานิพนธ์	นาย จักรกฤษณ์ รักษาล้ำ
วัน เดือน ปี เกิด	6 ตุลาคม 2518
สถานที่เกิด	โรงพยาบาลมหาราชนครราชสีมา
ภูมิลำเนาเดิม	จังหวัดนครราชสีมา
ที่อยู่ปัจจุบัน	86 หมู่ 2 ซ. รักษาล้ำ ต. โพธิ์กลาง อ. เมือง จ.นครราชสีมา
โทรศัพท์	044-252946, 01-9245824
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนอนุบาลนครราชสีมา
มัธยมศึกษาตอนต้น	โรงเรียนสุรธรรมพิทักษ์
ประกาศนียบัตรวิชาชีพ (ปวช)	วิทยาลัยเทคนิคนครราชสีมา
ประกาศนียบัตรวิชาชีพชั้นสูง (ปวส)	วิทยาลัยเทคนิคนครราชสีมา
ปริญญาตรี	สาขาวิชาวิศวกรรมโทรคมนาคม ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
ผลงานที่ได้รับ	-
คติพจน์	เราเป็นผู้กำหนดชีวิตตัวเราเอง

ประวัติผู้แต่ง



ชื่อผู้ทำปริญญานิพนธ์

วัน เดือน ปี เกิด

สถานที่เกิด

ภูมิลำเนาเดิม

ที่อยู่ปัจจุบัน

ฉลองกรุง

โทรศัพท์

นายเชชนก ช่วยขำ

27 กุมภาพันธ์ 2519

โรงพยาบาลมหาราชนครศรีธรรมราช

2111 หลังวัดศรีทวี ต.ท่าวัง อ.เมือง

จ. นครศรีธรรมราช

168 หมู่ 1 หอพักชาวยราชพฤษณ์ ถ.

ข.ลาดกระบัง จ.กรุงเทพมหานคร

02 7391380-90 ต่อ 1115

ประวัติการศึกษา

ประถมศึกษา

มัธยมศึกษาตอนต้น

ประกาศนียบัตรวิชาชีพ (ปวช)

ประกาศนียบัตรวิชาชีพชั้นสูง (ปวส)

ปริญญาตรี

อนุปาลนครศรีธรรมราช

โรงเรียนกัลยาณี

วิทยาลัยเทคนิคนครศรีธรรมราช

วิทยาลัยเทคนิคนครศรีธรรมราช

สาขาวิชาวิศวกรรมโทรคมนาคม

ภาควิชาครุศาสตร์วิศวกรรม

คณะครุศาสตร์อุตสาหกรรม

ผลงานที่ได้รับ

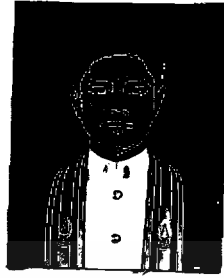
กิตติพนธ์

-

อย่าให้ความท้อถอยมาเป็นสิ่งคอย

ทำลายความสำเร็จ

ประวัติผู้แต่ง



ชื่อผู้ทำปริญญานิพนธ์	นายวชิรพันธ์ จันทรปัญญา
วัน เดือน ปี เกิด	16 พฤศจิกายน 2515
สถานที่เกิด	โรงพยาบาลสมเด็จพระยุพราช
ภูมิลำเนาเดิม	จังหวัดอุดรธานี
ที่อยู่ปัจจุบัน	526/9 หมู่ 6 ซ.แอนเน็กซ์14 ถ.พหลโยธิน 58 ข.สายไหม จ.กรุงเทพมหานคร
โทรศัพท์	02 9935534, 01 9746115
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนศรีขวัญเมือง
มัธยมศึกษาตอนต้น	โรงเรียนปากคาดพิทยาคม
ประกาศนียบัตรวิชาชีพ (ปวช)	วิทยาลัยเทคโนโลยีภาคตะวันออก เฉิงเหเนื่อ
ประกาศนียบัตรวิชาชีพชั้นสูง (ปวส)	วิทยาลัยเทคโนโลยีภาคตะวันออก เฉิงเหเนื่อ
ปริญญาตรี	สาขาวิชาวิศวกรรมโทรคมนาคม ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
ผลงานที่ได้รับ กิตติพนั	ข้าพเจ้าผจญทุกสิ่งได้ โดยพระองค์ ผู้ทรงเสริมกำลังข้าพเจ้า (ฟป.4-13)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้แต่ง



ชื่อผู้ทำปริญญานิพนธ์

นายศักดิ์ชาย บริรักษ์

วัน เดือน ปี เกิด

5 มกราคม 2518

สถานที่เกิด

จังหวัดราชบุรี

ภูมิลำเนาเดิม

14 หมู่ 6 ต.ท่าเคย อ.สวนผึ้ง จ.ราชบุรี

ที่อยู่ปัจจุบัน

14 หมู่ 6 ต.ท่าเคย อ.สวนผึ้ง จ.ราชบุรี

โทรศัพท์

032 395301

ประวัติการศึกษา

ประถมศึกษา

โรงเรียนวัดท่าเคย

มัธยมศึกษาตอนต้น

โรงเรียนสวนผึ้งวิทยา

ประกาศนียบัตรวิชาชีพ (ปวช)

วิทยาลัยเทคนิคราชบุรี

ประกาศนียบัตรวิชาชีพชั้นสูง (ปวส)

วิทยาลัยเทคนิคราชบุรี

ปริญญาตรี

สาขาวิชาวิศวกรรมโทรคมนาคม

ภาควิชาวิศวกรรมวิศวกรรม

คณะครุศาสตร์อุตสาหกรรม

ผลงานที่ได้รับ

-

คติพจน์

จะมีใครรู้จักตัวเรา เท่ากับตัวเราเอง