

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ปริญญาบัตร

เครื่องชุมสายโทรศัพท์สาขาอัตโนมัติ (32 คู่สายภายใน 4 คู่สายภายนอก)

PRIVATE AUTOMATIC BRANCH EXCHANGE

(32 INTERNAL LINES – 4 EXTERNAL LINES)



นายจเร อรุณแสงเงิน
นายชัยพร สายสนิท

ปริญญาบัตรฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรครุศาสตร์อุตสาหกรรมบัณฑิต สาขาวิชาวิศวกรรมโทรคมนาคม

เลขที่..... ๒๕
เลขทะเบียน..... 30132
วัน, เดือน, ปี..... ๘ ส.ย. 2541

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาควิชาครุศาสตร์วิศวกรรม
คณะครุศาสตร์อุตสาหกรรม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองปริญญาโท

ปริญญาโท เครื่องหมายสาขาโทรศัพท์อัตโนมัติ (32 คู่สายภายใน 4 คู่สายภายนอก)

PRIVATE AUTOMATIC BRANCH EXCHANGE

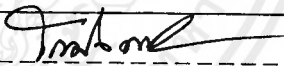




(32 INTERNAL LINES - 4 EXTERNAL LINES)

ชื่อนักศึกษา 1. นายเจร อรุณแสงเงิน รหัสประจำตัว 39031106
2. นายชัยพร สายสนิท รหัสประจำตัว 39031108

หลักสูตร ครุศาสตร์อุตสาหกรรมบัณฑิต สาขาวิชา วิศวกรรมโทรคมนาคม

อาจารย์ผู้ควบคุมปริญญาโท

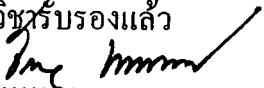
1. อาจารย์โกศล ตราชู
2. ผศ. วิสุทธิ์ อธิพรธรรม
3. อาจารย์พีระวุฒิ สุวรรณจันทร์

คณะกรรมการสอบปริญญาโท	ลายมือชื่อ
1. อาจารย์โกศล ตราชู	
2. ผศ. วิสุทธิ์ อธิพรธรรม	
3. อาจารย์พีระวุฒิ สุวรรณจันทร์	
4. อาจารย์ประเสริฐ เคนพันค้อ	
5. อาจารย์พงษ์เกียรติ เชษฐพิทักษ์สกุล	

วันเดือนปีที่สอบ วันที่ 5 พฤษภาคม 2541 เวลา 12.30 ถึง 13.30 น.

สถานที่สอบ ห้อง ค.310 คณะครุศาสตร์อุตสาหกรรม



ค.วิชรรับรองแล้ว


.....
.....

.....
.....

.....เดือน.....พ.ศ. ๕1.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการศึกษา
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์

เรื่อง เครื่องชุมสายโทรศัพท์สาขาอัตโนมัติ (32 คู่สายภายใน 4 คู่สายภายนอก)

PRIVATE AUTOMATIC BRANCH EXCHANGE

(32 INTERNAL LINES, - 4 EXTERNAL LINES)

วัตถุประสงค์

1. เพื่อศึกษาระบบการทำงานของโทรศัพท์ และเครื่องชุมสายโทรศัพท์สาขาอัตโนมัติ
2. เพื่อศึกษาการเขียน โปรแกรมคอมพิวเตอร์ควบคุมระบบการทำงาน
3. เพื่อออกแบบวงจรควบคุมการทำงานของเครื่องชุมสายโทรศัพท์สาขาอัตโนมัติ
4. เพื่อนำเครื่องชุมสาย โทรศัพท์สาขาอัตโนมัติไปใช้งานได้

ประโยชน์ที่คาดว่าจะได้รับ

1. รู้และเข้าใจการทำงานของระบบโทรศัพท์ และเครื่องชุมสายโทรศัพท์สาขาอัตโนมัติ
2. สามารถเขียน โปรแกรมควบคุมการทำงานของเครื่องชุมสายโทรศัพท์สาขาอัตโนมัติ
3. ได้วงจรต้นแบบควบคุมเครื่องชุมสายโทรศัพท์สาขาอัตโนมัติ
4. ได้เครื่องชุมสายโทรศัพท์สาขาอัตโนมัติไปใช้งานได้จริง

ปริญญานิพนธ์

เรื่อง เครื่องชุมสายโทรศัพท์สาขาอัตโนมัติ (32 คู่สายภายใน 4 คู่สายภายนอก)
PRIVATE AUTOMATIC BRANCH EXCHANGE
(32 INTERNAL LINES – 4 EXTERNAL LINES)

ผู้จัดทำ

1. นายจเร อรุณแสงเงิน
2. นายชัยพร สายสนิท

อาจารย์ที่ปรึกษา

ลงนาม
(อ.โกศล ตราชู)

ลงนาม
(ผศ.วิสุทธิ อธิพรธรรม)

ลงนาม
(อ.พีระวุฒิ สุวรรณจันทร์)

หัวหน้าภาควิชา

ลงนาม
(ผศ.ดร.ธีระพล เทพหัสดิน ณ อยุธยา)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องหุ้มสายโทรศัพท์สาขาอัตโนมัติ (32 คู่สายภายใน 4 คู่สายภายนอก)

นายจเร อรุณแสงเงิน
นายชัยพร สายสนิท

อาจารย์ที่ปรึกษา
อาจารย์โกศล ตราชู
ผศ.วิสุทธิ อธิพรธรรม
อาจารย์พระวุฒิ สุวรรณจันทร์
ปีการศึกษา 2540

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้เสนอ เครื่องหุ้มสายโทรศัพท์สาขาอัตโนมัติควบคุมการทำงาน ด้วยระบบไมโครคอนโทรลเลอร์ สามารถติดต่อกับคู่สายภายนอกได้ 4 คู่สายและมีคู่สายภายใน 32 คู่สาย โดยได้ออกแบบเป็นโมดูล มีขนาดเล็ก เคลื่อนย้าย และติดตั้งได้ง่าย สามารถทำการแก้ไข หรือเพิ่มเติมคู่สายได้ง่าย และมีขนาดขีดความสามารถสูง รวมทั้งยังประหยัดค่าใช้จ่ายอีกด้วย

**PRIVATE AUTOMATIC BRANCH EXCHANGE
(32 INTERNAL LINES – 4 EXTERNAL LINES)**

MR.JAREY ARUNSAENNGOEN
MR.CHAİYAPORN SAISANIT

ADVISORS

MR.KOSON TRACHU
Assist.Prof.WISUIT ATIPORNTUM
MR.PEERAWUT SUWANJUM

1997

ABSTRACT

This thesis presents the Private Automatic Branch Exchange (PABX) system that controlled by microcontroller. In order to connect 4 external to 32 internal telephone lines. That make it to be modules which have small size and portable, to install. They can improve to increase the lines easily and have the high quality with low prices.

กิตติกรรมประกาศ

คณะผู้จัดทำปริญญาานิพนธ์เครื่องเครื่องชุมสายโทรศัพท์สาขาอัตโนมัติ ขอขอบพระคุณอาจารย์ที่ปรึกษา และอาจารย์ประจำภาควิชาวิศวกรรมศาสตร์วิศวกรรมทุกท่านเป็นอย่างมาก ที่ได้ให้ข้อเสนอแนะและแนวทาง การแก้ไขปัญหาต่าง ๆ รวมทั้งได้ให้การสนับสนุนด้านเครื่องมือและอุปกรณ์ที่ใช้ในการทดลองในครั้งนี้ ขอขอบคุณท่านอาจารย์โกศล ตราฐ เป็นอย่างยิ่งในความอนุเคราะห์ให้คำชี้แนะ ปรึกษา แนวคิดใหม่ ตลอดจนแนวทางในการทำปริญญาานิพนธ์ ขอขอบคุณเพื่อนภาควิศาสตร์วิศวกรรม สาขาวิศวกรรมโทรคมนาคม รุ่น 18 ทุกคน ที่ได้ให้คำแนะนำและเป็นกำลังใจ ในการทำปริญญาานิพนธ์ ในครั้งนี้

สุดท้ายนี้ขอขอบคุณเพื่อนร่วมงานทุกคนที่ได้ให้ความร่วมมือเป็นอย่างดี และที่สำคัญขอขอบพระคุณ บิดา มารดา ในการสนับสนุนด้านการศึกษาตลอดมา ครู อาจารย์ ตลอดจนกระทั่งผู้มีอุปการะคุณทุกท่านที่ได้ทำให้ปริญญาานิพนธ์นี้สำเร็จลุล่วงไปด้วยดี

สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	VI
สารบัญตาราง	VII
สารบัญภาพ	VIII
บทที่ 1 บทนำ	1
1.1 ความเป็นมา และความสำคัญของปริญญาโท	1
1.2 ชี้ความสามารถของโครงการ	1
1.3 เนื้อหาโดยสังเขป	2
บทที่ 2 ทฤษฎี และหลักการ	3
2.1 กล่าวนำ	3
2.2 เครื่องรับ โทรศัพท์	3
2.2.1 เครื่องรับ โทรศัพท์แบบธรรมดา	3
2.2.2 เครื่องรับ โทรศัพท์แบบตู้สาขา	5
2.3 ขั้นตอนการทำงานของ โทรศัพท์	6
2.4 ชุมสาย โทรศัพท์	7
2.4.1 ชุมสาย โทรศัพท์อัตโนมัติระบบเอสพีซี	12
2.5 สัญญาณต่างๆ ภายในระบบเครื่องชุมสายโทรศัพท์สาขาอัตโนมัติ	16
2.6 กระบวนการทำงานของ โทรศัพท์	18
บทที่ 3 การออกแบบ การสร้าง และการทำงาน	20
3.1 กล่าวนำ	20
3.2 การออกแบบ	21
3.3 โครงสร้างทางด้านฮาร์ดแวร์	22

สารบัญ (ต่อ)

เรื่อง	หน้า
3.3.1 วงจรเชื่อมต่อคู่สายภายนอก	22
3.3.2 วงจรคู่สายภายใน	23
3.3.3 วงจรเมตริกซ์สวิตช์	24
3.3.4 วงจรถอดรหัสความถี่คู่	25
3.3.5 วงจรสร้างสัญญาณกระดิ่งและสัญญาณโทน	26
3.3.6 วงจรตอบรับอัตโนมัติ	27
3.3.7 วงจรแหล่งจ่ายไฟ	28
3.3.8 วงจรถอดรหัสสัญญาณควบคุม	29
3.4 ภาคการควบคุม	30
3.5 ระบบการทำงานของเครื่องชุมสายโทรศัพท์สาขาอัตโนมัติ	38
3.5.1 กรณีเครื่องโทรศัพท์ติดต่อกันในด้วยกัน	38
3.5.2 กรณีเครื่องโทรศัพท์ภายในต้องการติดต่อกับคู่สายภายนอก	40
3.5.3 กรณีเครื่องโทรศัพท์ภายนอกต้องการติดต่อกับคู่สายภายใน	41
3.5.4 กรณีที่เกิดไฟฟ้าขัดข้อง	41
บทที่ 4 การทดลอง และผลการทดลอง	42
4.1 ผลการทดลอง	42
4.1.1 วงจรถอดรหัสสัญญาณควบคุม	42
4.1.2 วงจรคู่สายภายใน	43
4.1.3 ตัวกำเนิดสัญญาณ โทน และรับค่าดีทีเอ็มเอฟ	44
4.1.4 การตรวจสอบสถานะการวางหู - ยกหู	48
4.1.5 การควบคุมเมตริกซ์สวิตช์	49
4.1.6 การต่อสัญญาณ โทนเข้ากับเครื่องรับโทรศัพท์	50
4.1.7 การติดต่อกันใน	50
4.1.8 คู่สายภายในติดต่อกับคู่สายภายนอก	51
4.1.9 คู่สายภายนอกติดต่อกับคู่สายภายใน	51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

เรื่อง	หน้า
4.1.10 กรณีเกิดไฟฟ้าขัดข้อง	52
บทที่ 5 บทสรุป ปัญหา แนวทางแก้ไข และพัฒนา	53
5.1 บทสรุป	53
5.2 ปัญหาและแนวทางแก้ไข	54
5.3 แนวทางการพัฒนาโครงการ	56
ภาคผนวก ก รูปต้นแบบของเครื่องชুমสายสาขาอัตโนมัติ	57
ภาคผนวก ข วงจรและแผ่นวงจรพิมพ์	62
ภาคผนวก ค ผังการทำงานโปรแกรมของเครื่องชুমสายโทรศัพท์สาขาอัตโนมัติ	75
ภาคผนวก ง โปรแกรมการทำงานของเครื่องชুমสายโทรศัพท์สาขาอัตโนมัติ	85
ภาคผนวก จ รายการอุปกรณ์ของการ์ดต่างๆ	102
ภาคผนวก ฉ รายละเอียดข้อมูลและคุณสมบัติของอุปกรณ์	106
บรรณานุกรม	189
ประวัติผู้แต่ง	190

VII

สารบัญตาราง

ตาราง	หน้า
ตารางที่ 2.1 ขั้นตอนการทำงานของชุมสายโทรศัพท์	9
ตารางที่ 3.1 การกำหนดเลขหมายการ์ดคู่สายภายใน	29
ตารางที่ 3.2 การกำหนดพอร์ตอินพุตในการสร้างสัญญาณสโตปและรับค่าดีทีเอ็มเอฟ	31
ตารางที่ 3.3 การกำหนดพอร์ตเอาต์พุตในการส่งสัญญาณ TOE และสัญญาณโทน	31
ตารางที่ 3.4 การกำหนดพอร์ตเอาต์พุตในการส่งข้อมูลให้กับตัวประมวลผลกลาง	32
ตารางที่ 3.5 การกำหนดพอร์ตอินพุตและเอาต์พุตในการติดต่อกับตัวประมวลผลกลาง	32
ตารางที่ 3.6 การต่อใช้งาน 8255 พอร์ต A (F800)	33
ตารางที่ 3.7 การต่อใช้งาน 8255 พอร์ต B (F801)	33
ตารางที่ 3.8 การต่อใช้งาน 8255 พอร์ต C (F802)	34
ตารางที่ 3.9 การต่อใช้งาน พอร์ต P1 ของตัวประมวลผลกลาง	34
ตารางที่ 4.1 ผลการทดลองของวงจรถอดรหัส	42
ตารางที่ 4.2 ผลการทดลองการรับค่าดีทีเอ็มเอฟ	45
ตารางที่ 4.3 ผลการทดลองตัวอย่างที่ 1 ในการตรวจสอบการวางหู-ยกหู	49
ตารางที่ 4.4 ผลการทดลองตัวอย่างที่ 2 ในการตรวจสอบการวางหู-ยกหู	49

VIII

สารบัญภาพ

รูปภาพ	หน้า
รูปที่ 2.1 หน้าปัทม์ของโทรศัพท์แบบกดปุ่ม	4
รูปที่ 2.2 ไฟกระแสดตรงที่เลี้ยงไฟคู่สาย	6
รูปที่ 2.3 โครงสร้างพื้นฐานของระบบชุมสายโทรศัพท์	7
รูปที่ 2.4 คลื่นสัญญาณให้หมุน	16
รูปที่ 2.5 คลื่นสัญญาณไม่ว่าง	17
รูปที่ 2.6 คลื่นสัญญาณเรียกกลับ	18
รูปที่ 3.1 โครงสร้างของเครื่องชุมสายโทรศัพท์สาขาอัตโนมัติ	20
รูปที่ 3.2 วงจรเชื่อมต่อคู่สายภายนอก	22
รูปที่ 3.3 วงจรคู่สายภายใน	23
รูปที่ 3.4 วงจรเมตริกซ์สวิตช์	24
รูปที่ 3.5 วงจรถอดรหัสสัญญาณคิตีเอ็มเอฟ	25
รูปที่ 3.6 วงจรสร้างสัญญาณเรียก	26
รูปที่ 3.7 วงจรสร้างสัญญาณ โทน	27
รูปที่ 3.8 วงจรตอบรับโทรศัพท์อัตโนมัติ	27
รูปที่ 3.9 วงจรถอดรหัสในการควบคุม	28
รูปที่ 3.10 ลักษณะการใช้งาน 98C51 ในการ์ดโทน	30
รูปที่ 3.11 ตำแหน่งสล็อตของการ์ดโทน	35
รูปที่ 3.12 ตำแหน่งสล็อตของการ์ดคู่สายภายใน	36
รูปที่ 3.13 ตำแหน่งสล็อตของการ์ดคู่สายภายนอก	37
รูปที่ 3.14 การต่อคู่สายโทรศัพท์เข้ากับเส้นทางการเชื่อมต่อ	38
รูปที่ 3.15 การต่อคู่สายโทรศัพท์เข้ากับสัญญาณ โทนและคิตีเอ็มเอฟ	39
รูปที่ 3.16 การต่อคู่สายโทรศัพท์เข้าด้วยกัน	40
รูปที่ 4.1 สัญญาณไม่ว่างที่ได้จากตัวกำเนิดสัญญาณ โทน 89C51	46

สารบัญญภาพ (ต่อ)

รูปภาพ	หน้า
รูปที่ 4.2 สัญญาณริงโทนที่ได้จากตัวกำเนิดสัญญาณ โทน 89C51	46
รูปที่ 4.3 สัญญาณไม่มีเลขหมายที่ได้จากตัวกำเนิดสัญญาณ โทน 89C51	47
รูปที่ 4.4 สัญญาณความถี่ 350 เฮิรตซ์ ที่ได้จากตัวกำเนิดสัญญาณ โทน 89C51	47
รูปที่ 4.5 สัญญาณความถี่ 450 เฮิรตซ์ ที่ได้จากตัวกำเนิดสัญญาณ โทน 89C51	48
รูปที่ ก.1 เครื่องชุมสายโทรศัพท์สาขาอัตโนมัติ (ด้านหน้า)	58
รูปที่ ก.2 เครื่องชุมสายโทรศัพท์สาขาอัตโนมัติ (ด้านหลัง)	58
รูปที่ ก.3 วงจรรวมของเครื่องชุมสายโทรศัพท์สาขาอัตโนมัติ (ด้านบน)	59
รูปที่ ก.4 วงจรรวมของเครื่องชุมสายโทรศัพท์สาขาอัตโนมัติ (ด้านหลัง)	59
รูปที่ ก.5 วงจรการ์ดคู่สายภายนอก	60
รูปที่ ก.6 วงจรกำเนิดสัญญาณ โทนและรับค่าดีทีเอ็มเอฟ	60
รูปที่ ก.7 วงจรการ์ดคู่สายภายใน	61
รูปที่ ก.8 วงจรคู่สายภายใน	61
รูปที่ ข.1 วงจรทั้งหมดของการ์ดคู่สายภายใน	63
รูปที่ ข.2 วงจรทั้งหมดของการ์ด โทนและดีทีเอ็มเอฟ	64
รูปที่ ข.3 วงจรทั้งหมดของการ์ดสายนอก	65
รูปที่ ข.4 แผ่นวงจรพิมพ์ของวงจรคู่สายภายใน	66
รูปที่ ข.5 แผ่นวงจรพิมพ์ด้านบนของการ์ดสายใน	67
รูปที่ ข.6 แผ่นวงจรพิมพ์ด้านล่างของการ์ดสายใน	68
รูปที่ ข.7 แผ่นวงจรพิมพ์ด้านบนของการ์ด โทนและดีทีเอ็มเอฟ	69
รูปที่ ข.8 แผ่นวงจรพิมพ์ด้านล่างของการ์ด โทนและดีทีเอ็มเอฟ	70
รูปที่ ข.9 แผ่นวงจรพิมพ์ด้านบนของการ์ดสายนอก	71
รูปที่ ข.10 แผ่นวงจรพิมพ์ด้านล่างของการ์ดสายนอก	72
รูปที่ ข.11 แผ่นวงจรพิมพ์ด้านบนของการ์ดเมนบอร์ด	73
รูปที่ ข.12 แผ่นวงจรพิมพ์ด้านล่างของการ์ดเมนบอร์ด	74

สารบัญภาพ (ต่อ)

รูปภาพ	หน้า
รูปที่ ค.1 แผนผังการทำงานของส่วนกำเนิดสัญญาณ โทนและรับค่าดีทีเอ็มเอฟ	75
รูปที่ ค.2 แผนผังการทำงานของส่วนกำเนิดสัญญาณ โทนและรับค่าดีทีเอ็มเอฟ(ต่อ)	76
รูปที่ ค.3 แผนผังการทำงานของส่วนกำเนิดสัญญาณ โทนและรับค่าดีทีเอ็มเอฟ(ต่อ)	77
รูปที่ ค.4 แผนผังการทำงานเมื่อเกิดการอินเตอร์รัปจากภายใน	78
รูปที่ ค.5 แผนผังการทำงานของเครื่องชุมสาย	79
รูปที่ ค.6 แผนผังการทำงานของซีพียู	80
รูปที่ ค.7 แผนผังการทำงานเมื่อเครื่องโทรศัพท์ทำการยกหู	81
รูปที่ ค.8 แผนผังการทำงานเมื่อผู้เรียกทำการยกหู	81
รูปที่ ค.9 แผนผังการทำงานเมื่อผู้ถูกเรียกทำการยกหู	82
รูปที่ ค.10 แผนผังการทำงานเมื่อเครื่องโทรศัพท์ทำการวางหู	82
รูปที่ ค.11 แผนผังการทำงานเมื่อผู้เรียกทำการวางหู	83
รูปที่ ค.12 แผนผังการทำงานเมื่อผู้ถูกเรียกทำการวางหู	83
รูปที่ ค.13 แผนผังการทำงานเมื่อมีสายนอกเรียกเข้า	84
รูปที่ ค.14 แผนผังการทำงานเมื่อมีการกดเลขหมาย	84

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปริญญาณิพนธ์

เทคโนโลยีด้านการสื่อสารและระบบคอมพิวเตอร์มีความเจริญอย่างมากโดยไม่มีขีดจำกัดไม่ว่าจะอยู่ที่ไหนก็สามารถที่จะติดต่อถึงกันได้ ซึ่งในการสื่อสารนั้นมีอยู่ด้วยกันหลายรูปแบบ โทรศัพท์นับว่าเป็นการสื่อสารประเภทหนึ่งที่ทำให้บริการสะดวกรวดเร็ว ซึ่งมีบทบาทมากในชีวิตประจำวันของเรา ดังเช่น ในการติดต่อสื่อสารในหน่วยงาน สำนักงานและองค์การต่างๆ มักมีการติดต่อระหว่างกันบ่อยมาก โดยต้องเดินทางไปพบกันทำให้การดำเนินกิจการในหน่วยงานนั้นไม่ได้รับความสะดวกและเกิดความล่าช้า ดังนั้น ความต้องการในการใช้งานโทรศัพท์เพื่อความสะดวกรวดเร็ว และที่สำคัญคือต้องทันต่อเหตุการณ์ในด้านธุรกิจ ซึ่งใช้ในการติดต่อระหว่างภายในและภายนอกสำนักงาน จึงเป็นสิ่งสำคัญมาก ดังนั้น จึงต้องพึงพาการใช้เครื่องมือที่เรียกว่า ตู้ชุมสายโทรศัพท์สาขาอัตโนมัติ : PABX (Private Automatic Branch Exchange) ซึ่งสามารถทำการติดต่อออกไปยังชุมสายภายนอกและสามารถติดต่อใช้งานภายในหน่วยงานได้เป็นอย่างดี แต่โดยทั่วไปมักมีราคาสูง มีวงจรที่ซับซ้อน ยากต่อการทำความเข้าใจ ดังนั้นเพื่อเป็นการเพิ่มประสิทธิภาพในการทำงานให้ดียิ่งขึ้น จึงได้จัดทำตู้ชุมสายโทรศัพท์สาขาอัตโนมัติขึ้น ซึ่งง่ายต่อการใช้งานและมีความสะดวกในการตรวจซ่อมหรือเพิ่มเติมได้ง่ายขึ้น

ตู้ชุมสายโทรศัพท์สาขาอัตโนมัตินี้ สามารถนำไปใช้งานได้ง่าย โดยการนำไปติดตั้งกับเมนบอร์ดที่ได้ทำการออกแบบไว้ และควบคุมการทำงานด้วยซอฟต์แวร์ (SoftWare) อีกทั้งยังสามารถทำการขยายขีดความสามารถในการใช้งานได้ง่าย

1.2 ขีดความสามารถของโครงการ

โครงการนี้มีขีดความสามารถดังต่อไปนี้

1. สามารถติดต่อ 32 คู่สายภายใน 4 คู่สายภายนอก
2. สามารถรองรับอัตโนมัติ
3. สามารถโอนสาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. ประชุมสายพร้อมกัน 3 เครื่อง
5. ต่อสายตรงกรณีไฟฟ้าขัดข้อง

1.3 เนื้อหาโดยสังเขป

เนื้อหาภายในปฏิญานิพนธ์ฉบับนี้แบ่งออกเป็นบทต่างๆ เพื่อความสะดวกในการศึกษา และทำความเข้าใจ โดยแต่ละบทประกอบด้วยเนื้อหาที่สำคัญดังนี้

บทที่ 1 บทนำ กล่าวถึงลักษณะทั่วไปของปฏิญานิพนธ์ เพื่อให้ทราบถึงลักษณะทั่วไปเกี่ยวกับหลักการ, เหตุผล และประโยชน์ของปฏิญานิพนธ์ฉบับนี้

บทที่ 2 กล่าวถึงทฤษฎี และหลักการ บทนี้ประกอบด้วยทฤษฎีเกี่ยวกับระบบโทรศัพท์ โดยทั่วไป กระบวนการทำงานของชุมสาย ตลอดจนหลักการต่างๆ ที่เกี่ยวข้องและนำมาใช้ในการทำปฏิญานิพนธ์

บทที่ 3 การออกแบบ การสร้าง และการทำงาน ในบทนี้กล่าวถึงการออกแบบ การสร้าง และการทำงานในส่วนของวงจรต่างๆ ในแต่ละส่วนประกอบของผู้ชุมสายโทรศัพท์ สาขาอัตโนมัติ

บทที่ 4 การทดลอง และผลการทดลอง บทนี้กล่าวถึงการนำวงจรในภาคต่างๆ มาทำการทดลอง พร้อมทั้งนำผลการทดลองที่ได้มาเปรียบเทียบกับทฤษฎีที่กำหนดไว้

บทที่ 5 บทสรุป ปัญหา แนวทางแก้ไข และพัฒนา กล่าวถึงผลสรุปของการทำปฏิญานิพนธ์ โดยนำผลของการทำงานที่ได้จากปฏิญานิพนธ์มาเปรียบเทียบกับผลที่คาดว่าจะได้รับจากการทำปฏิญานิพนธ์ที่ได้ตั้งเป้าหมายเอาไว้ รวมทั้งปัญหาและอุปสรรคที่เกิดขึ้นในการทดลอง พร้อมทั้งแนวทางแก้ไข และพัฒนาปฏิญานิพนธ์นี้ต่อไป

บทที่ 2

ทฤษฎีและหลักการ

2.1 กล่าวนำ

เนื้อหาของปริญญาบัตรในบทนี้จะเป็นทฤษฎี และหลักการที่นำมาใช้ประกอบในสร้างโครงงาน โดยประกอบด้วยความรู้เบื้องต้นเกี่ยวกับโทรศัพท์, เครื่องรับโทรศัพท์, ขั้นตอนการทำงานของโทรศัพท์, สัญญาณต่างของชุมสายโทรศัพท์ ซึ่งมีรายละเอียดดังต่อไปนี้

เครื่องโทรศัพท์เป็นอุปกรณ์ปลายทางชนิดหนึ่งที่ทำหน้าที่ส่งสัญญาณเสียงพูดระหว่างผู้เช่า (Subscriber) โดยทำหน้าที่แปลงสัญญาณเสียงเป็นสัญญาณไฟฟ้าส่งไปในสายและในทางกลับกันทำการเปลี่ยนสัญญาณไฟฟ้าเป็นสัญญาณเสียงตามเดิม

เครื่องโทรศัพท์ (Telephone Set) ประกอบด้วยส่วนต่างๆ ที่สำคัญดังนี้

1. แฮนด์เซต (Handset) ประกอบด้วย ปากพูดและหูฟัง รวมอยู่ด้วยกัน
 - ปากพูด คือ เครื่องส่ง
 - หูฟัง คือ เครื่องรับ
2. กระดิ่ง (Ringing) คือ สัญญาณเสียงที่บอกว่ามีคนเรียกเข้ามา
3. ฮุกสวิตช์ (Hook Switch) ทำหน้าที่ตัดต่อวงจร
4. หน้าปัทม์ มีทั้งแบบหมุนและแบบกดปุ่ม

2.2 เครื่องรับโทรศัพท์

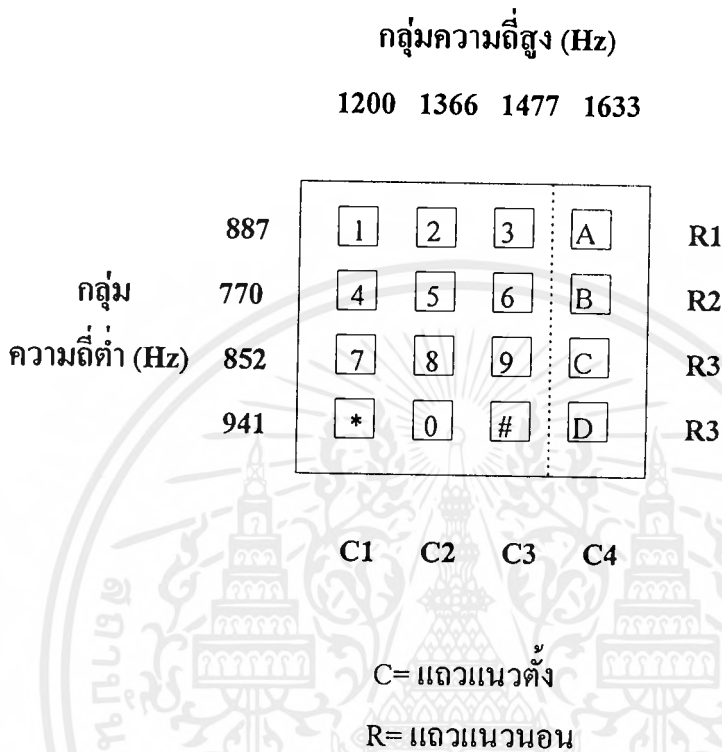
เครื่องรับโทรศัพท์มีอยู่ด้วยกันหลายแบบ ได้แก่

2.2.1 เครื่องรับโทรศัพท์แบบธรรมดา (Private Telephone) คือ เครื่องรับโทรศัพท์ที่ติดตั้งตามบ้าน ที่พักอาศัยหรือที่ทำงานขนาดเล็ก แบ่งออกได้ดังนี้

เครื่องโทรศัพท์แบบกดปุ่ม เครื่องรับโทรศัพท์ที่มีหน้าปัทม์แบบกดปุ่มจะใช้กรรมวิธีของดีทีเอ็มเอฟ (DTMF: Dual Tone Multi-Frequency) ในการส่งหมายเลขโทรศัพท์นั้น โดยทั่วไปหน้าปัทม์จะมี 12 ปุ่ม แบ่งเป็น 4 แถวแนวนอน และ 3 แถวแนวตั้ง และในเครื่องโทรศัพท์บางแบบมีถึง 16 ปุ่ม โดยเพิ่มแถวแนวตั้งที่ 4 ขึ้นมาอีก ความถี่ที่ใช้ในแต่ละแถวแนวนอนและแถวแนวตั้งจะมีความถี่ต่างกัน ความถี่ของทั้ง 4 แถวแนวนอน เรียกว่า กลุ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ต่ำ (Low Group Frequency) และความถี่ของ 3-4 แถวแนวตั้ง เรียกว่า กลุ่มความถี่สูง (High Group Frequency)



รูปที่ 2.1 หน้าปัดของโทรศัพท์แบบกดปุ่ม

การกดปุ่มหมายเลขใดๆ ทำให้วงจรอิเล็กทรอนิกส์ภายในเครื่องรับโทรศัพท์ผลิตความถี่ออกมาเป็น 2 ความถี่ เช่น เมื่อกดหมายเลข 5 ความถี่ที่ผลิตออกมา คือ 770 Hz และ 1366 Hz เป็นต้น

ข้อดีของโทรศัพท์แบบกดปุ่ม

1. สามารถลดเวลาในการหมุนหมายเลขลงได้ผลทำให้มี เวลาเฉลี่ยในการใช้โทรศัพท์ในแต่ละครั้ง (Holding Time) ลดลง ซึ่งทำให้ชุมสายโทรศัพท์สามารถรับโทรศัพท์ได้มากขึ้น
2. สามารถใช้วงจรทางโซลิตสเตรทอิเล็กทรอนิกส์ แทนอุปกรณ์ทางด้านกลไก จึงทำให้มีความเร็วและความแม่นยำในการส่งหมายเลข
3. สามารถเพิ่มปุ่มกดขึ้นไปได้อีก 4 ปุ่ม เพื่อใช้ในการส่งสัญญาณการบริการ
4. มีความเหมาะสมที่จะใช้กับระบบที่ใช้โปรแกรมควบคุมการทำงาน (SPC)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องโทรศัพท์แบบหมุน (Rotary Dial) ลักษณะการหมุนเกิดขึ้น เมื่อผู้เรียกทำการหมุนเลขหมายใด เลขหมายหนึ่ง เมื่อหมุนเสร็จแล้วจะปล่อยมือหน้าปัทม์ของเครื่องรับโทรศัพท์จะหมุนกลับมาที่เดิม ในขณะที่หน้าปัทม์หมุนหมายเลขกลับมาที่เดิมนั้น จะมีผลทำให้ลูกเบี้ยวหมุน การหมุนของลูกเบี้ยวนี้เองจะทำให้กระแสไหลได้ ซึ่งเรียกกระแสอิมพัลส์ (Impulse) และเมื่อน้ำสัมผัสเปิดวงจรจะทำให้กระแสหยุดไหล การที่กระแสหยุดไหลนี้มีผลทำให้เกิดพัลส์ (Pulse) ขึ้น และจำนวนพัลส์ที่เกิดขึ้นนี้ก็จะมีความเท่ากับหมายเลขที่เราหมุน เช่น หมุนหมายเลข 1 ก็เกิดพัลส์ 1 พัลส์

ความเร็วหน้าปัทม์ (Dial Speed) ของเครื่องโทรศัพท์ก็มีความสำคัญที่จะต้องกำหนดให้อยู่ในมาตรฐาน ซึ่งประกอบด้วยความเร็วของกระแสอิมพัลส์ อัตราส่วนของการตัดต่อของหน้าสัมผัส (Contact) และช่วงเวลาหยุดสำหรับเลขหมาย (Inter Digit Interval) ตามปกติแล้วความเร็วของกระแสอิมพัลส์จะใช้อยู่ 2 ค่า คือ 10 หรือ 20 PPS ส่วนค่ามาตรฐานสำหรับอัตราส่วนการตัดต่อ จะมีค่าเท่ากับ 2:1 ซึ่งหมายความว่า หน้าสัมผัสจะต้องตัดต่อเป็นเวลา 2 หน่วยเวลา และจะต้องต่อวงจรเป็นเวลา 1 หน่วยเวลา

เครื่องโทรศัพท์แบบคีย์-เทลเลโฟน (Key-Telephone) เครื่องรับโทรศัพท์ที่กล่าวมาทั้ง 2 แบบนี้ตามปกติ จะใช้ 1 หมายเลขต่อ 1 เครื่อง แต่ในโทรศัพท์แบบคีย์-เทลเลโฟนจะสามารถเพิ่มการรับเครื่องโทรศัพท์ได้มากกว่า 1 เครื่องต่อ 1 เลขหมาย ดังเช่น เลขหมายเข้ามา 10 เลขหมาย เครื่องรับโทรศัพท์ที่ติดตั้งอาจถึง 36 เครื่องด้วยกัน โดยเลขหมายที่เข้ามาเข้ามาเข้าที่อุปกรณ์ที่เรียกว่า เมนคอนโทรลเลอร์ (Main Controller) จากเมนคอนโทรลเลอร์จะจ่ายออกไปยังเครื่องชุมสายยังจุดต่างๆ

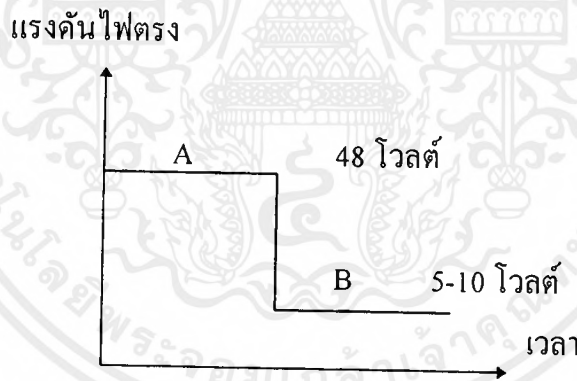
2.2.2 เครื่องรับโทรศัพท์แบบตู้สาขา

พีบีเอ็กซ์ (PBX) ย่อมาจาก Private Branch Exchange ส่วนพีเอบีเอ็กซ์ (PABX) ย่อมาจาก Private Automatic Branch Exchange อุปกรณ์ทั้งสองนี้มีหน้าที่คล้ายเครื่องรับโทรศัพท์แบบคีย์-เทลเลโฟน คือ จำนวนเลขหมายที่เข้ามามีน้อยกว่าจำนวนเครื่องที่ออกไปตามจุดต่างๆ ในอาคารนั้น ตู้สาขาแบบพีบีเอ็กซ์นั้น เครื่องรับโทรศัพท์ที่แยกออกมาจะสามารถติดต่อกันเองภายในได้ แต่ถ้าต้องการติดต่อออกภายนอกจะต้องให้โอเปอเรเตอร์เป็นผู้ต่อ ส่วนพีเอบีเอ็กซ์นั้น นอกจากจะสามารถติดต่อกับเครื่องโทรศัพท์ภายในได้แล้ว ยังสามารถติดต่อสัญญาณภายนอกได้โดยไม่ต้องให้โอเปอเรเตอร์ต่อให้เครื่องโทรศัพท์แบบนี้มีทั้งกลุ่มและแบบหมุน

2.3 ขั้นตอนการทำงานของโทรศัพท์

ขั้นตอนการทำงานของโทรศัพท์แบ่งได้เป็น 2 กรณี คือ ผู้เรียก (Calling) กับผู้ถูกเรียก (Called) สรุปพอสังเขปได้ดังนี้

ก. กรณีผู้เรียก (Calling Subscriber) ขณะที่หูโทรศัพท์วางอยู่นั้นจะมีไฟฟ้ากระแสตรงตกคร่อมคู่สายโทรศัพท์อยู่ - 48 โวลต์ และเมื่อหูโทรศัพท์ถูกยกขึ้นไฟฟ้ากระแสตรงที่ตกคร่อมคู่สายโทรศัพท์ - 48 โวลต์ จะลดลงมาเหลือ 5-10 โวลต์ ทั้งนี้ขึ้นอยู่กับระบบชุมสาย ขณะเดียวกันก็จะมีสัญญาณส่งมาจากชุมสายซึ่งเสียงที่ได้ยิน คือ เสียงให้หมุน (Dial Tone) แสดงว่าพร้อมที่จะหมุนเลขหมายได้ ถ้าเลขหมายที่ถูกเรียกไม่ว่าง ผู้เรียกจะได้ยินสัญญาณไม่ว่าง (เสียงดั่งสลับกัน คือ ดั่ง 0.5 วินาที และเงียบ 0.5 วินาที) ในกรณีที่คู่สายเลขหมายที่ถูกเรียกว่าง คือ ชุมสายต้องต่อเลขหมายที่จะเรียกให้จะได้ยินสัญญาณเรียกดั่ง 1 วินาที แล้วเงียบ 4 วินาที สัญญาณนี้ เรียกว่า สัญญาณเรียกกลับ หรือ คอนลิ่งโทน แสดงว่าเลขหมายที่เรียกไปว่างพร้อมที่จะพูดได้ให้คอยจนกว่าฝ่ายผู้ถูกเรียกจะยกหู



รูปที่ 2.2 ไฟฟ้ากระแสตรงที่จ่ายให้คู่สาย

A : ขณะที่วางหูโทรศัพท์ที่อยู่ มีแรงดันไฟตรงตกคร่อม + 48 โวลต์

B : ขณะที่หูโทรศัพท์ถูกยกขึ้นมีแรงดันไฟตรง 5-10 โวลต์

ข. กรณีผู้ถูกเรียก (Called Subscriber) ขณะที่คู่สายวางนั้น จะมีกระแสไฟฟ้าตกคร่อมคู่สาย - 48 โวลต์ และมีการเรียกมายังเลขหมายของผู้ถูกเรียก ชุมสายจะทำการต่อให้ และส่งสัญญาณเรียกเป็นแรงดันไฟสลับประมาณ 110-150 โวลต์ เป็นจังหวะให้กระดิ่งดัง 2 วินาที

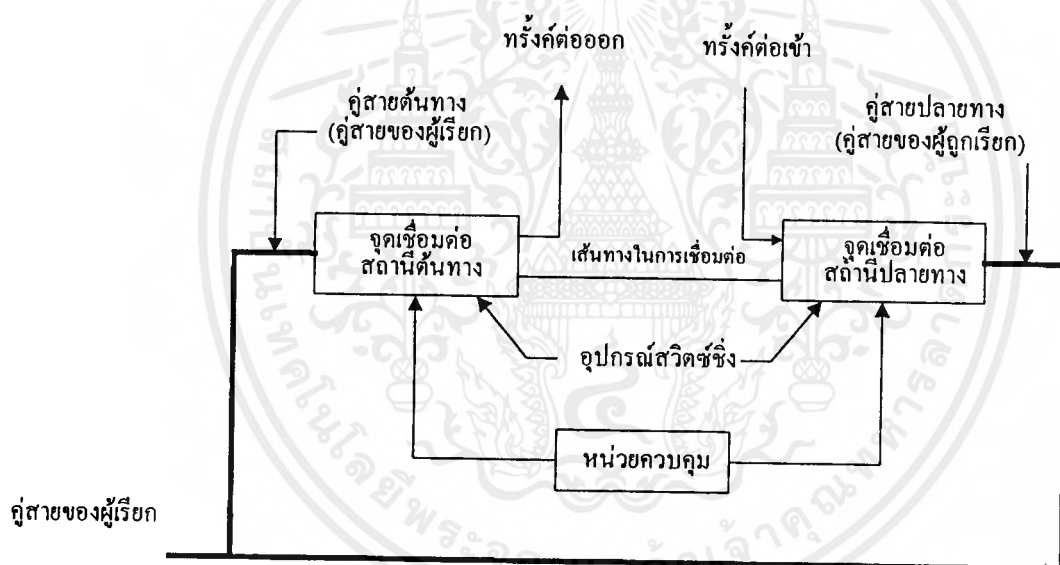
และเจียบ 4 วินาทีสลับกันไป และเมื่อมีการยกหูโทรศัพท์ทำให้วงจรภายในของเครื่องโทรศัพท์ ซึ่งมีอิมพีแดนซ์ประมาณ 600 โอห์ม ต่อเข้ากับชุมสาย และในขณะเดียวกัน ชุมสายจะหยุดส่งสัญญาณเรียก และทำการต่อคู่สายโทรศัพท์ให้

2.4 ชุมสายโทรศัพท์

ในปัจจุบันระบบชุมสายโทรศัพท์ที่มีใช้กันมีด้วยกัน 2 ระบบ คือ

1. ชุมสายระบบครอสบาร์ (Crossbar System)
2. ชุมสายระบบเอสพีซี (SPC)

ซึ่งทั้งสองจะมีโครงสร้างพื้นฐานดังนี้



รูปที่ 2.3 โครงสร้างพื้นฐานของชุมสายโทรศัพท์

จากรูปที่ 2.3 เป็นวงจรพื้นฐานของระบบโทรศัพท์โดยทั่วไป คู่สายของผู้เรียกจะต่ออยู่ที่คู่สายผู้เรียก และเครื่องของผู้ถูกเรียกจะต่ออยู่กับคู่สายของผู้ถูกเรียก กรณีที่เป็นการต่อเข้าหรือออกจากชุมสายอื่นจุดของผู้เรียกและผู้ถูกเรียกของแต่ละชุมสายจะทำงานร่วมกันเสมือนอยู่ในชุมสายเดียวกัน ถ้าหากเป็นการเรียกภายในชุมสายเดียวกัน ผู้เรียกและผู้ถูกเรียกจะถูก

เชื่อมต่อถึงกันโดยผ่านเส้นทางภายในชุมสายนั้น โดยไม่ยุ่งเกี่ยวกับอุปกรณ์ที่ใช้เชื่อมต่อระหว่างชุมสายเลย

การเชื่อมต่อไปยังชุมสายอื่นจะผ่านเคเบิลที่มีหลายคู่สายภายใน เรียกว่า ทรัังก์ (Trunks) ทรัังก์อาจเป็นเคเบิลโลหะ (Metallic Cables) สายมัลติเพล็กซ์ความเร็วสูง (TI และ PCM) สายใยแก้วนำแสง (Optic Fiber) หรือตัวกลางอื่น ๆ ที่มีหลายช่องสัญญาณ โดยทั่วไป ทรัังก์จะเป็นสายที่มีความสามารถในการส่งผ่านข้อมูลข่าวสารได้ดีกว่าคู่สายธรรมดา มีการเชื่อมต่อที่อยู่ยากและสลับซับซ้อนต้องการการบำรุงรักษาที่ดีกว่า จึงมีราคาสูงกว่าคู่สายธรรมดา สายที่ใช้เชื่อมต่อภายในชุมสายระหว่างผู้เรียกและผู้ถูกเรียก จะถูกเรียกว่า จุดต่อ (Junctors) หรือ Inter Office Trunks ขึ้นอยู่กับชนิดของเครื่องจุดที่เชื่อมต่อและวิธีการที่ใช้เชื่อมต่อ

ภาคควบคุมเป็นส่วนประกอบหนึ่งของชุมสายที่มีความสลับซับซ้อนและมีความฉลาดสามารถวิเคราะห์และประมวลผลได้รวดเร็ว เพื่อควบคุมระบบสวิตซ์ของผู้เรียกและผู้ถูกเรียกในชุมสายระบบใหม่ ๆ ที่ใช้ในปัจจุบันจะมีภาคควบคุมที่มีความสามารถสูงมาก มีความละเอียดในการควบคุมวงจรสวิตซ์ที่เป็นลอจิกเกต แยกการควบคุมภาคของผู้เรียกและผู้ถูกเรียกออกจากกันได้อย่างเด็ดขาดแต่ละชุมสายอาจมีภาคควบคุมหลายตัวช่วยกันทำงานเพื่อประสิทธิภาพที่สูงสุด

โดยปกติเมื่อมีการเรียกเข้ามาจากผู้เช่า ชุมสายจะได้รับเลขหมายจากการถอดรหัสสัญญาณคิตีเอ็มเอฟ เลขหมายที่ได้จะถูกนำมาวิเคราะห์เพื่อเชื่อมเส้นทางจากผู้เรียกไปยังผู้ถูกเรียก เพื่อต่อเข้ากับคู่สายของหมายเลขที่ถูกเรียก ถ้าเป็นการเรียกออกไปยังต่างชุมสาย จะทำการต่อคู่สายผู้เรียกของชุมสายออกไปทางจุดเชื่อมต่อชุมสายอื่น เรียกว่าต่อเป็นระบบติดต่อทางไกล (Tandem) และเมื่อถึงชุมสายปลายทาง ก็จะต่อเข้ากับจุดต่อของชุมสายปลายทางเพื่อต่อไปยังคู่สายของผู้รับ

ตัวอย่างการเรียก

ในการใช้งานโทรศัพท์แต่ละครั้ง ชุมสายจะมีขั้นตอนการทำงานที่เหมือนกันคือจะรอสัญญาณยกหู (off hook) โดยมีวงจรสำหรับตรวจสอบสถานะของคู่สายอยู่ภายในส่วนหน่วยตรวจสอบ เมื่อสังเกตการณ์ทุกคู่สายอยู่ตลอดเวลา (per line attending basis) ดังนั้น อุปกรณ์ที่ใช้ในส่วนนี้จึงต้องมีจำนวนเท่ากับคู่สายที่ต่ออยู่กับผู้เช่า

เมื่อชุมสายรู้ถึงความต้องการใช้คู่สายของผู้เช่า ชุมสายจะต้องวงจรผ่านเส้นทางและตรวจสอบว่าเลขหมายปลายทางว่างหรือไม่ ถ้าว่างจะส่งสัญญาณเรียกออกไปจะมีวงจรคอยตรวจสอบ (Supervise) การยกหูของผู้ถูกเรียกหากผู้รับยกหู ภาคควบคุมจะต้องวงจรให้สนทนากันได้ และคอยจนกว่าผู้ใช้จะวางหูโทรศัพท์ โดยจะเลิกใช้เส้นทางตั้งแต่ผู้เรียกผ่านเส้นทางของใช้งานจนถึงผู้ถูกเรียกออกไป

ตารางที่ 2.1 ขั้นตอนการทำงานของชุมสายโทรศัพท์

ผู้เรียก (Caller)	ผู้ถูกเรียก(Called)	ชุมสาย (Central Office)
ยกหู		-รับรู้การยกหู -เชื่อมต่อวงจรรับหมายเลข -ส่งสัญญาณให้หมุน
หมุนหรือกดเลขหมาย		-เก็บข้อมูลการเรียก -แปลข้อมูลการเรียก -ส่งหมายเลขให้ส่วนค้นหาเส้นทางควบคุมสวิตซ์ -ตรวจสอบคู่สายปลายทาง
	ไม่ว่าง	-ส่งสัญญาณไม่ว่างให้ผู้เรียก -เฝ้าดู (Supervise) จนกว่าจะว่าง
	ว่าง	-ส่งสัญญาณกระดิ่งให้ผู้ถูกเรียก -ส่งสัญญาณ (Ring Back) ให้ผู้เรียก -เฝ้ามองการยกหูตอบรับ
	ยกหู	-เชื่อมต่อวงจรสนทนา -เฝ้ามองการใช้คู่สาย
วางหู		-ยกเลิกการใช้เส้นทาง -คิดค่าบริการ

หากคู่สนทนาไม่ได้อยู่ในชุมสายเดียวกัน ชุมสายจะค้นหาเส้นทางของโทรศัพท์ที่จะต่อกออกไปยังชุมสายอื่น ถ้าหากการเชื่อมต่อสำเร็จ ชุมสายต้นทางจะส่งข้อมูลเกี่ยวกับเลขหมายของผู้รับไปยังชุมสายที่ต่ออยู่

ในทุกระบบของเครื่องชุมสายโทรศัพท์จะต้องมีความสามารถพื้นฐาน คือ

1. การรับสัญญาณ (Signal Reception)
2. การแปลความหมาย (Signal Interpretation)
3. การเก็บ และการแปลเลขหมาย (Storage)
4. การเลือกเส้นทาง (Path Selection)
5. การสังเกตการณ์และควบคุมโครงข่าย (Network Path Provision and Control)
6. การส่งสัญญาณ (Signal Transmission)

การรับสัญญาณ

สัญญาณ หมายถึงสัญญาณเลขหมายที่มาจากผู้เช่าหรือโทรศัพท์จากชุมสายอื่น และสัญญาณอื่นๆ ที่ติดต่อกันระหว่างชุมสาย เช่น CCIS (Common Channel Interoffice Signaling) , DC Current , Single Frequency (SF) , Multi Frequency (MF , 2-out-of-5) , และอื่นๆ ซึ่งโดยปกติวงจรส่วนที่ใช้สัญญาณที่มาจากผู้เช่าจะเป็นอุปกรณ์ที่แบ่งกันใช้ เช่น ส่วนถอดรหัส DTMF จะถูกนำมาต่อเข้ากับคู่สายเฉพาะเวลาเริ่มต้นของการเรียก เมื่อต่อวงจรสนทนาแล้ว ส่วนถอดรหัสนี้จะถูกตัดออกไป เพื่อให้คู่สายอื่นสามารถนำไปใช้ได้ และด้วยเหตุที่อุปกรณ์ส่วนที่ใช้ร่วมกันมีจำนวนจำกัด จึงอาจทำให้เกิดการจำกัดปริมาณในการเรียกขึ้นได้ แต่จะไม่มีผลต่อวงจรสนทนาที่ต่อเสร็จเรียบร้อยแล้ว

ส่วนแปลความหมายของสัญญาณ (Signal Interpretation)

เป็นส่วนประกอบหนึ่งของชุมสายที่มีความซับซ้อน ใช้แปลความหมายของสัญญาณที่รับส่งระหว่างเครื่อง ซึ่งเป็นภาษาที่มนุษย์ไม่สามารถเข้าใจได้โดยตรง (ภาษาเครื่อง) เป็นสัญญาณที่ชุมสายใช้ตกลงกันว่าจะใช้เส้นทางใดในการเชื่อมต่อคู่สายสนทนาระหว่างชุมสาย

การเก็บข้อมูล

เป็นอีกส่วนจำเป็น เบื้องต้นของการเก็บข้อมูลของการเรียก สภาพะของการเรียกและเป็นที่เก็บข้อมูลอื่นๆ ที่แปลความหมายแล้ว ส่วนนี้มีความจำเป็นต้องใช้หน่วยความจำและสัญญาณส่วนใหญ่ที่ใช้เป็นแบบอนุกรม ดังนั้น วงจรส่วนใหญ่ในระบบถูกออกแบบให้

ส่งข้อมูลอย่างอนุกรม (แต่ในตอนจัดเก็บจะจัดเก็บแบบขนาน) เพื่อความสะดวกในการค้นหา และแยกแยะ หรือการส่งต่อไปยังที่อื่น ข้อมูลสถานะของการเรียกจะถูกเก็บในรูปแบบที่เหมาะสม การแปลข้อมูลเตรียมอุปกรณ์หรือจัดหาคำแหน่งของอุปกรณ์สวิตช์ เพื่อให้สอดคล้องกับเลขหมายที่เรียก พื้นที่บริการ รหัสทางไกล กลุ่มของทรัังค์ เป็นต้น โดยข้อมูลที่เก็บนี้จะต้องเป็นข้อมูลที่เวลาจริง (Real Time Data) พร้อมทั้งจะเรียกใช้ได้ตลอดเวลา

การเลือกเส้นทาง (Path Selection)

ในชุมสายจะมีตัวตรวจสอบสถานะของกลุ่มสาย หากมีการเรียกออกจากชุมสายจะต้องจัดหาเส้นทางที่ว่าง วิธีการของแต่ละระบบจะแตกต่างกันออกไป ปัจจุบันชุมสายเอสพีซีจะใช้วิธีการคำนวณตำแหน่งหน่วยความจำเพื่อเลือกการเชื่อมต่อในระดับลจิกเกต ส่วนการค้นหาเส้นทางที่ว่างในระบบ Electromechanical จะใช้การทดสอบระดับแรงดันและกระแสในกลุ่มสาย การสังเกตการณ์และควบคุมโครงข่าย (Network Path Provision and Control)

การทำงานของส่วนนี้จะต้องสอดคล้องสัมพันธ์กับการทำงานของส่วนเลือกเส้นทางในระยะแรก ๆ จะถูกควบคุมโดยตรงจากผู้ใช้งาน พัฒนามาเป็นการควบคุมโดยผู้ใช้งานระยะไกล และปัจจุบันถูกแทนที่ด้วยระบบ Common Control

การส่งสัญญาณ (Signal Transmission)

เป็นส่วนที่จำเป็นอีกส่วนหนึ่ง เพื่อที่จะติดต่อผู้เช่า หรือชุมสายอื่น ในยุคแรกๆ จะใช้ขบวนพัลส์ (Pulse Train) ปัจจุบันเป็นการส่งแบบ time-share และ switched-in ซึ่งจะค้นหาสายทรัังค์ที่ว่างอยู่ และถูกส่งไปตามสายนั้น

ฟังก์ชันการทำงานอีกส่วนหนึ่งเพื่อใช้ติดต่อระหว่างผู้เช่ากับชุมสายซึ่งคอยตรวจสอบสถานะของกลุ่มสาย จ่ายกำลังไฟฟ้าให้กลุ่มสาย ส่งสัญญาณกระดิ่ง และอื่น ๆ มีชื่อเรียกว่า BORSHT ประกอบด้วย

แบตเตอรี่ (Battery)

แบตเตอรี่จะเป็นตัวจ่ายแรงดันกระแสตรง (-48 VDC) จากชุมสายไปยังผู้เช่า เพื่อใช้ในการตรวจสอบสถานะของกลุ่มสาย และเป็นแหล่งจ่ายให้กับไมโครโพน

ป้องกันแรงดันเกิน (Over voltage protection)

ป้องกันแรงดันเกินที่เข้ามาที่กลุ่มสาย เนื่องจากฟ้าผ่าหรือสายโทรศัพท์แตะกับสายไฟฟ้าแรงสูง วงจรป้องกันนี้จะต้องตั้งแรงดันที่เหมาะสมเพื่อไม่ให้ทำงาน เนื่องจากสัญญาณกระดิ่ง

สัญญาณเรียก (Ringin)

สัญญาณกระดิ่งเป็นสัญญาณไฟฟ้ากระแสสลับขนาด 88 โวลต์ ความถี่ 20 เฮิรตซ์ ส่งไปยังผู้เช่าเพื่อบอกว่าการเรียกเข้ามา

การตรวจสอบการยกหู (Supervision)

ใช้สำหรับตรวจสอบสถานะการยกหู วางหูของคู่สาย โดยตรวจสอบจากกระแสในคู่สาย เมื่อคู่สายยาวมากจะต้องออกแบบให้มีความไวในการตรวจสอบมากขึ้น และต้องลดความไวของ Supervision ลงเมื่อต้องใช้กับสายที่เป็ยกขึ้น

Hybrid

hybrid เป็นตัวแยกสัญญาณที่เข้าและออกตามทิศทางสัญญาณที่มาจากปากพูดและฟัง การทดสอบ (Testing)

สำหรับตรวจสอบว่าคู่สายที่ต้องการเรียกไปมีสถานะเช่นใด เช่น กำลังสนทนาอยู่ ส่วนนี้จะแตกต่างจาก Supervision ตรงที่จะทำงานเมื่อต้องการเรียกออกเท่านั้น

สำหรับชุมสายระบบดิจิทัลวงจร BORSHT จะมีส่วนของการแปลงระหว่างสัญญาณแอนะล็อก/ดิจิทัล (CODEC ประกอบด้วย A/D และ D/A converter) ใช้อักษรย่อ C ดังนั้นวงจรในส่วนนี้จึงได้ชื่อใหม่ว่า BORSCHT

2.4.1 ชุมสายโทรศัพท์อัตโนมัติระบบเอสพีซี

ผู้สาขาเป็นชุมสายโทรศัพท์แบบหนึ่งที่นิยมใช้กันภายในสำนักงาน เช่น บริษัท ห้างร้าน โรงแรม หมู่บ้านจักรวรร ฯลฯ การเรียกติดต่อกันภายในผู้สาขาคู่สายด้วยกันเองจะไม่ผ่านชุมสายท้องถิ่น (Local Exchange) ทำให้มีความสะดวก รวดเร็ว และประหยัด หากผู้สาขาได้ทำการเชื่อมต่อกับชุมสายท้องถิ่นด้วยวงจร Trunk Line ก็จะทำให้เลขหมายภายใน (Extension) กับเลขหมายภายนอกสามารถติดต่อกันได้โดยผ่านชุมสายท้องถิ่น

โดยทั่วไปแล้วจำนวน Trunk Line ของผู้สาขาซึ่งใช้สำหรับการติดต่อระหว่างเลขหมายภายนอกกับเลขหมายภายในจะไม่เกิน 15 เปอร์เซ็นต์ของจำนวนเลขหมายภายใน เช่น ผู้สาขาขนาด 500 เลขหมายจะมีจำนวน Trunk Line ไม่เกิน 75 Trunks เมื่อเลขหมายภายในต้องการเรียกออกภายนอกก็สามารถเรียกออกได้ โดยการหมุนเลขหมายนำ 1 เลขหมาย ซึ่งจะทำให้ได้รับสัญญาณ Dial Tone ของชุมสายท้องถิ่น จากนั้นก็หมุนตามด้วยเลขหมายที่ต้องการติดต่อได้เลย สำหรับเลขหมายภายนอก เมื่อต้องการติดต่อกับเลขหมายภายในก็สามารถเรียกได้โดยหมุนเลขหมายของ Trunk Line จากนั้นพนักงานโทรศัพท์กลางหรือ

พนักงานสลับสาย (Operator) ของตู้สาขาจะเป็นผู้ต่อการเรียกให้หรืออาจจะเรียกเข้าหาเลขหมายภายในโดยตรง (Direct In Dialing : DID) โดยไม่ผ่านพนักงานโทรศัพท์กลางก็ได้ ทั้งนี้ขึ้นอยู่กับขีดความสามารถของตู้สาขานั้นๆ และข้อกำหนดขององค์การโทรศัพท์แห่งประเทศไทยที่ได้กำหนดไว้

ในกรณีที่ Truck Line ของตู้สาขามีเป็นจำนวนมากเช่น 50 Trunks อาจจะทำให้การติดต่อระหว่างเลขหมายภายนอกกับเลขหมายภายในเกิดความไม่สะดวกขึ้น เนื่องจากเมื่อหมุนเลขหมายของ Truck Line อื่นๆ ต่อไปจนกว่าจะพบ Trunk Line ที่ว่าง ทำให้เสียเวลาในการติดต่อมาก ในการแก้ปัญหาที่สามารถทำได้โดยการรวมเลขหมายของ Trunk Line ทั้งหมดให้เป็นเลขหมายเดียว ซึ่งเรียกว่า Pilot Number เมื่อผู้เรียกจากภายนอกหมุนเลขหมาย Pilot Number ก็เท่ากับว่าผู้เรียกนั้นหมุนเลขหมายของ Truck Line ทั้งหมด จึงเห็นได้ว่าการใช้ Pilot Number นั้นมีความสะดวกและประหยัดเวลาในการติดต่อลงไปได้มาก

ชุมสายโทรศัพท์อัตโนมัติระบบเอสพีซีเป็นชุมสายที่ใช้อุปกรณ์อิเล็กทรอนิกส์มาควบคุมทั้งหมดโดยแบ่งออกได้เป็น 3 ระบบ คือ ฮาร์ดแวร์ลอจิก (Hardware Logic), โปรแกรมเมเบิล วายร์ ลอจิก (Programmable Wired Logic) และสโตรโปรแกรมคอนโทรล (Store Program Control)

ระบบเอสพีซี คือ การทำงานของลอจิกที่ควบคุมด้วยโปรแกรม ผลการทำงานของลอจิกนี้ถูกป้อนเข้าไปในโปรแกรมสโตร (Program Store) และโปรแกรมนี้เป็นตัวควบคุมการทำงานทั้งหมดของระบบชุมสาย เช่น ต้องการเปลี่ยนซิกแนลลิ่ง (Signalling) ระบบใหม่เราก็ต้องเปลี่ยนโปรแกรมระบบใหม่เข้าไป

ข้อดีของชุมสายโทรศัพท์ระบบเอสพีซี

1. ประหยัดพื้นที่ในการติดตั้งชุมสายโทรศัพท์เพราะส่วนประกอบของชุมสายโทรศัพท์ระบบสโตร โปรแกรมคอนโทรล ส่วนใหญ่เป็นไอซี ทำให้ชุมสายโทรศัพท์มีขนาดเล็กลง
2. การทำงานของอุปกรณ์สวิตช์และระบบควบคุมการทำงานในชุมสายโทรศัพท์ระบบสโตรโปรแกรมคอนโทรลนั้น มีความรวดเร็วกว่าชุมสายโทรศัพท์ระบบครอสบาร์มาก สามารถให้บริการพิเศษ (Facility) ต่างๆ ให้กับผู้ใช้ได้มากขึ้น
3. ง่ายต่อการเปลี่ยนแปลงหน้าที่การทำงานของเครื่องชุมสายโทรศัพท์

4. สามารถทำงานได้โดยเป็นชุมสายโทรศัพท์ท้องถิ่น (Local Exchange) ชุมสายโทรศัพท์ต่อผ่านในท้องถิ่น (Transit Exchange)

5. มีระบบควบคุมสามารถวิเคราะห์ข้อขัดข้องที่เกิดขึ้นในชุมสายโทรศัพท์ได้

6. ง่ายต่อการเปลี่ยนแปลงการกำหนดหมายเลข (Numbering Plan)

7. ขนาดของเครื่องชุมสายโทรศัพท์เล็กกลง และใช้พลังงานน้อย

ข้อเสียของชุมสายโทรศัพท์ระบบสโตร์โปรแกรมคอนโทรล

สำหรับข้อเสียของเครื่องชุมสายโทรศัพท์ระบบเอสพีซี ก็คือ มันต้องการอุณหภูมิ และความชื้นตามที่กำหนดเพราะฉะนั้นระบบแอร์คอนดิชันจะต้องดีพอ และผู้ซ่อมบำรุงจะต้องศึกษาระบบและมีความรู้ความสามารถเพียงพอ

การบริการพิเศษ

ตู้สาขาอัตโนมัติ (PABX) ระบบเอสพีซีแบบดิจิทัลได้ถูกนิยมนำมาใช้ภายในสำนักงานเป็นอันมาก เพราะมีความสะดวก รวดเร็ว และมีการบริการพิเศษให้กับเลขหมายภายในอย่างมากมาย การบริการพิเศษให้กับเลขหมายภายในอย่างมากมาย การบริการพิเศษนี้ไม่ต้องเพิ่มจำนวนอุปกรณ์ทางด้านฮาร์ดแวร์ (Hardware) แต่เป็นเพียงเพิ่มโปรแกรมทางด้านซอฟต์แวร์ (Software) เท่านั้น โดยทั่วไปแล้วการบริการพิเศษของตู้สาขาระบบเอสพีซีของแต่ละยี่ห้อก็มีลักษณะที่เหมือนกัน แต่ก็อาจจะมีชื่อเรียกแตกต่างกันออกไปบ้าง และสิ่งที่สำคัญอีกอย่างหนึ่ง คือ ผู้ใช้โทรศัพท์จะใช้บริการพิเศษได้ก็ต่อเมื่อได้ทำการโปรแกรมที่ตู้สาขาแล้วเท่านั้น บริการพิเศษต่างๆ ได้แก่

1. Night Service หมายถึงความสามารถในการกำหนดให้เลขหมายใดเลขหมายหนึ่งหรือหมายเลขหมายรับการเรียกจากเลขหมายภายนอกแทนพนักงานโทรศัพท์กลางได้

2. Hold For Enquiry หมายถึงในขณะที่เลขหมายภายในเลขหมายใดเลขหมายหนึ่งกำลังสนทนากับเลขหมายภายในด้วยกันเองหรือสนทนากับเลขหมายภายนอกอยู่ก็ตามสามารถให้คู่สนทนานั้นพักรอสายไว้ก่อนได้ เพื่อทำการติดต่อกับเลขหมายภายในอื่นๆ และเมื่อเสร็จแล้วสามารถกลับมาสนทนากับเลขหมายเดิมที่รออยู่นั้นได้ ในลักษณะเช่นนี้จะทำการติดต่อกลับไปกลับมาที่ครั้งก็ได้

3. Transfer of Call หมายถึงความสามารถในการโอนให้คู่สนทนาซึ่งคู่สนทนานั้นอาจจะเป็นเลขหมายภายในหรือเลขหมายภายนอกก็ตาม ไปสนทนากับเลขหมายอื่นๆ ได้ โดยจะเป็นผู้โอนเองหรือให้พนักงานโทรศัพท์กลางเป็นผู้โอนให้ก็ได้

4. Conference หมายถึงความสามารถในการต่อสายให้กับเลขหมายต่างๆ เข้ามาร่วม การสนทนาในขณะเดียวกันได้ 3 เลขหมายหรือมากกว่า ซึ่งเรียกว่าเป็นการประชุมกันทาง โทรศัพท์

5. Automatic Call Back (Busy Extension) หมายถึงเมื่อผู้เรียกทำการเรียกไปยัง เลขหมายภายในใดๆ และเลขหมายนั้นไม่ว่างก็สามารถทำโปรแกรมให้มีการเรียกกลับมายัง ผู้เรียกโดยอัตโนมัติทันทีที่เลขหมายนั้นว่างลง

6. Automatic Call Back (Absent Extension) หมายถึงเมื่อผู้เรียกทำการเรียกไปยัง เลขหมายภายในใดๆ และเลขหมายนั้นไม่มีผู้ตอบรับการเรียก ก็สามารถทำโปรแกรมให้มีการเรียกกลับมายังผู้เรียกโดยอัตโนมัติทันทีที่มีผู้มาใช้โทรศัพท์เครื่องนั้น 1 ครั้ง

7. Call Waiting หมายถึงเมื่อผู้เรียกทำการเรียกไปยังเลขหมายภายในใดๆ และ เลขหมายนั้นไม่ว่าง ผู้เรียกก็สามารถทำโปรแกรมส่งสัญญาณเตือน (Waiting Tone) ให้ เลขหมายที่ไม่ว่างนั้นได้ยิน และเมื่อเลขหมายนั้นว่างลงก็จะได้ยินสัญญาณเรียกทันที

8. Executive Instruction (Priority) หมายถึงเมื่อผู้เรียกได้ทำการเรียกไปยังเลขหมาย ภายในใด และเลขหมายนั้นไม่ว่าง ผู้เรียกก็สามารถทำโปรแกรมส่งสัญญาณเตือน (Instruction Tone) ให้เลขหมายที่ไม่ว่างนั้นได้ยิน ซึ่งในขณะที่ส่งสัญญาณเตือนนั้น ผู้เรียกสามารถฟัง การสนทนาของคู่สนทนาที่นั้นได้ และเมื่อเลขหมายนั้นว่างลงก็จะได้ยินสัญญาณเรียกทันที

9. Common Call Diversion หมายถึงโทรศัพท์เลขหมายภายในใดๆ ที่สามารถทำ โปรแกรมไว้ว่า หากมีการถูกเรียก และไม่มีผู้ตอบรับการเรียกในเวลาที่กำหนด (15 วินาที) ก็ให้สัญญาณเรียกส่งไปที่พนักงานโทรศัพท์กลาง เพื่อให้พนักงานโทรศัพท์กลางเป็นผู้ตอบรับ การเรียกแทนได้

10. Call Diversion on Busy หมายถึงโทรศัพท์เลขหมายภายในใดๆ ที่สามารถทำ โปรแกรมไว้ว่า หากมีการถูกเรียกในขณะที่โทรศัพท์กำลังใช้งานก็ให้สัญญาณเรียกส่งไปที่ เลขหมายอื่นๆ ซึ่งได้กำหนดไว้ล่วงหน้าแล้ว เป็นผู้ตอบรับการเรียกแทนได้

11. Call Diversion on Ring Tone No Reply หมายถึงโทรศัพท์เลขหมายภายในใดๆ ที่ สามารถทำโปรแกรมไว้ว่า หากมีการถูกเรียก และไม่มีการตอบรับการเรียกในเวลาที่กำหนด (15 วินาที) ก็ให้สัญญาณเรียกส่งไปที่เลขหมายอื่นๆ ซึ่งได้กำหนดไว้ล่วงหน้าแล้วเป็น ผู้ตอบรับการเรียกแทนได้

12. Direct Diversion หมายถึงโทรศัพท์เลขหมายภายในใดๆ ที่ไม่มีความประสงค์จะตอบรับการเรียกก็สามารถทำโปรแกรมได้ว่า หากมีการถูกเรียกก็ให้สัญญาณเรียกส่งไปที่เลขหมายอื่นๆ ซึ่งได้กำหนดไว้ล่วงหน้าแล้ว เป็นผู้ตอบรับการเรียกแทนได้

13. Group Hunting หมายถึงความสามารถในการจัดกลุ่มโทรศัพท์หลายๆ เลขหมายให้เป็นกลุ่มพิเศษ เมื่อมีการเรียกเข้ามายังหมายเลขใดเลขหมายหนึ่งในกลุ่มพิเศษนี้ และเลขหมายนั้นไม่ว่าก็สามารถทำให้สัญญาณเรียกถูกส่งไปยังเลขหมายอื่นๆ ในกลุ่มเดียวกันได้โดยอัตโนมัติ

14. Abbreviated Dialing หมายถึงความสามารถในการทำให้เลขหมายภายในหรือเลขหมายภายนอกใดๆ ซึ่งเป็นเลขหมายหลายตัวให้เหลือเพียง 2 หรือ 3 ตัวได้

15. Number Repetition หมายถึงความสามารถที่จะทำให้ผู้เรียกสามารถเรียกซ้ำไปยังเลขหมายที่ได้ติดต่อกครั้งสุดท้าย โดยหมุนเลขหมายเพียง 1 หรือ 2 เลขหมายเท่านั้น

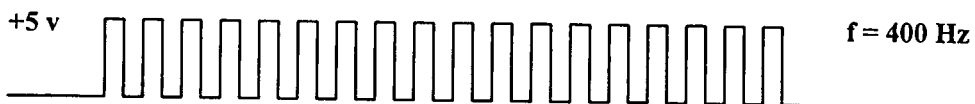
16. Call Pick Up หมายถึงเมื่อมีสัญญาณเรียกที่โทรศัพท์เลขหมายใดๆ ก็สามารถใช้โทรศัพท์เลขหมายอื่นๆ รับการเรียกนั้นแทนได้

17. Direct in Dialling (DID) หมายถึงความสามารถในการทำให้เลขหมายภายนอกสามารถเรียกเข้ามายังเลขหมายภายในได้โดยผ่านหรือไม่ผ่านพนักงานโทรศัพท์กลางก็ได้

18. Paging หมายถึงเมื่อมีการต่อเครื่องขยายเสียงเข้าที่บวงจร Paging ของตู้สาขาก็สามารถทำให้โทรศัพท์เลขหมายใดๆ ทำการประกาศข่าวสารผ่านทางเครื่องขยายเสียงได้

2.5 สัญญาณต่างๆ ภายในระบบเครื่องชุมสายโทรศัพท์สาขาอัตโนมัติ

1. สัญญาณให้หมุน คือ สัญญาณที่เครื่องชุมสายแจ้งให้ผู้ใช้โทรศัพท์ทราบว่าเครื่องชุมสายโทรศัพท์พร้อมแล้วที่จะแจ้งให้ผู้ใช้โทรศัพท์ให้หมุนเลขหมายโทรศัพท์ที่ต้องการจะติดต่อ ซึ่งสัญญาณนี้มีลักษณะเป็นสัญญาณความถี่ 400 Hz ดังต่อไปนี้

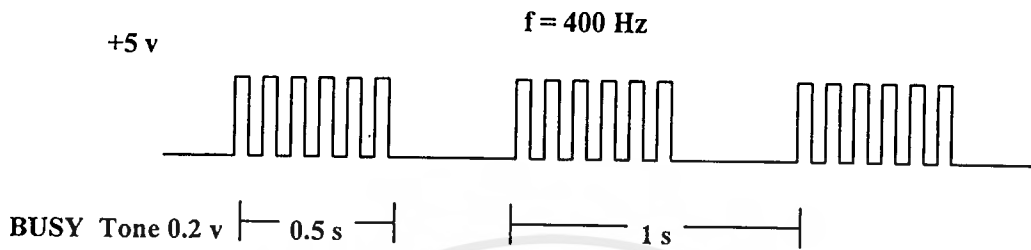


Dial Tone 0.2 v

รูปที่ 2.4 คลื่นสัญญาณให้หมุน

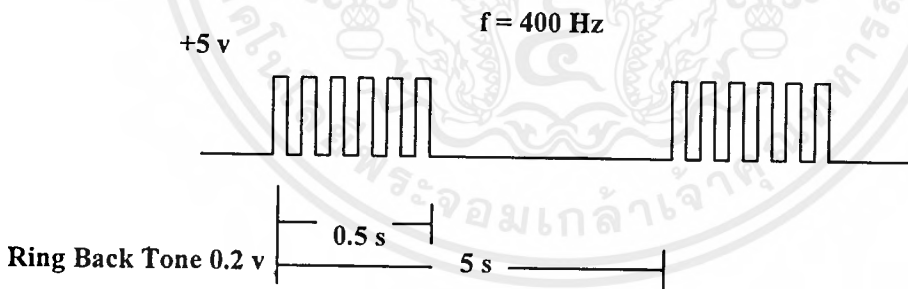
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. สัญญาณไม่ว่าง (BT : Busy Tone) เป็นสัญญาณ 400 Hz ชัดจังหวะ 60 ครั้ง ต่อวินาที จุดกลางของเวลาส่ง 0.5 วินาที เียบ 0.5 วินาที



รูปที่ 2.5 คลื่นสัญญาณไม่ว่าง

3. สัญญาณเรียกกลับ (RBT : Ring Back Tone) ใช้เมื่อการต่อทุกชั้นตอนสำเร็จเครื่องชุมสายโทรศัพท์จะแจ้งให้ผู้เรียกทราบเป็นสัญญาณ 16 Hz ควบคู่ไปกับสัญญาณขนาด 400 Hz แบบ เอเอ็ม ส่ง 0.67-1.5 วินาที เียบ 2-4 วินาที



รูปที่ 2.6 คลื่นสัญญาณเรียกกลับ

4. สัญญาณกระดิ่ง (RGT : Ringging tone) ใช้เมื่อมีการต่อของผู้เรียกดำเนินการโดยเครื่องชุมสายโทรศัพท์จะแจ้งให้ผู้รับทราบ เป็นสัญญาณ 16 Hz ควบคู่ไปกับ สัญญาณขนาด 400 Hz แบบ เอเอ็ม ซึ่งมีลักษณะที่เหมือนกันกับ สัญญาณ Ring Back Tone คือช่วงเวลาที่ส่งและช่วงที่เียบจะเหมือนกัน สัญญาณดังกล่าวจะใช้ในการสนักระดิ่งของผู้รับ มีแรงดันประมาณ 75-100 Vp

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 กระบวนการทำงานของโทรศัพท์

ในการต่อกู่สายโทรศัพท์ของสมาชิกผู้ใช้ที่ชุมสายโทรศัพท์ใดๆ นั้น การทำงานในช่วงเวลาต่างๆ ของชุมสายโทรศัพท์จะเป็นดังนี้

1. สัญญาณ Off hook

เครื่องโทรศัพท์ของสมาชิกผู้ใช้ที่ต้องการจะเรียกออก สมาชิกผู้ใช้จะต้องยกหูฟังของเครื่องโทรศัพท์ (handset) ซึ่งจะทำให้เกิดสัญญาณการยกหู (สัญญาณ Off hook หรือสัญญาณ seize) จะทำให้ชุมสายรับรู้ได้ว่ามีผู้ที่ต้องการใช้โทรศัพท์ การยกหูโทรศัพท์จะทำให้เกิดการครบวงจรทางไฟฟ้าที่ชุมสาย และที่เครื่องโทรศัพท์ (เนื่องจากในเวลาปกติที่มีการวางหูนั้นฮุกสวิตช์ (Hook switch) จะเปิดวงจร) โดยอุปกรณ์ในชุมสายจะเริ่มทำงาน

2. การแสดงตัวของสมาชิกผู้ใช้ที่ทำการเรียก

หน่วยเชื่อมต่อกู่สายโทรศัพท์ (Calling subscriber's line unit : SLTU) ในชุมสายโทรศัพท์จะทำหน้าที่ตรวจจับการเรียก โดยระบบควบคุมจะต้องระบุเลขหมายเพื่อสามารถคิดค่าบริการได้อย่างถูกต้องและเพื่อการพิจารณาว่าจะต้องใช้เส้นทางการต่อออก (Outgoing call) ทางใด

3. การกำหนดเรื่องการเก็บรักษาและการเชื่อมต่อกับอุปกรณ์ร่วม

เมื่อได้รับสัญญาณ Off hook ระบบควบคุมจะต้องเชื่อมต่อกับอุปกรณ์ร่วม (Common equipment) เข้ากับกู่สาย โดยชุมสายจะจัดหาเส้นทางจากกู่สายมายังอุปกรณ์ร่วมนี้

4. Address digits

หลังจากที่ได้รับสัญญาณให้หมุน (Dial tone) ผู้ใช้ก็จะกดหมายเลข เครื่องโทรศัพท์ก็จะส่งเลขหมายมายังชุมสาย เมื่อชุมสายได้รับแล้วก็จะเก็บเลขหมายดังกล่าวไว้

5. การวิเคราะห์เลขหมาย

ระบบควบคุมจะต้องทำวิเคราะห์เลขหมายที่ได้รับเข้ามา เพื่อที่จะหาเส้นทางการต่อออกจากชุมสาย ถ้าหากเครื่องที่ถูกเรียกนั้นมีการใช้งานอยู่ ทางชุมสายก็จะส่งสัญญาณไม่ว่างไปยังเครื่องที่เรียก

6. การกำหนดเส้นทางของสวิตช์

ระบบควบคุมจะรู้ว่าเส้นทางการต่อจากเครื่องที่เรียกไปยังเครื่องที่ถูกเรียกนั้น เป็นเส้นทางใด ดังนั้น จึงต้องสร้างวงจรสนทนาโดยสวิตช์ของชุมสายผ่านเส้นทางนั้น ในส่วนของระบบควบคุมก็จะมีอัลกอริทึมต่างๆ ที่ใช้ในการเลือกเส้นทางที่ใกล้ที่สุด โดยสวิตช์

ที่จุดดังกล่าวจะต้องถูกตรวจสอบจนแน่ใจว่าไม่อยู่ระหว่างการใช้งาน และเมื่อทำการต่อเส้นทางการสนทนาแล้ว อุปกรณ์ในส่วนนี้ก็จะหมดหน้าที่การทำงาน จึงถูกตัดออกจากวงจรเพื่อรอคอยที่จะสร้างเส้นทางการสนทนาต่อไป

7. กระแสและเสียงการเรียก

สัญญาณต่อไปที่จะถูกส่งออกจากชุมสาย หลังจากสร้างเส้นทางการสนทนาแล้วนั้น คือ สัญญาณกระดิ่ง (Ringing tone) เพื่อทำหน้าที่บอกให้ผู้รับรู้ว่ามีการเรียกเข้ามาที่เครื่องรับ เมื่อทุกสิ่งทุกอย่างเรียบร้อย ก็สามารถต่อไปยังเครื่องรับได้แล้ว ชุมสายก็จะเริ่มส่งกระแสกระดิ่ง (Ringing current) ไปยังเครื่องที่ถูกเรียกและสัญญาณกระดิ่งไปยังเครื่องที่เรียกเข้ามา

8. สัญญาณตอบกลับ (Answer)

สัญญาณตอบกลับมาเป็นสัญญาณที่เกิดจากผู้รับขहुฟังโทรศัพท์ หรือเกิดจากชุมสายที่เรียกไปส่งสัญญาณตอบกลับมา ระบบควบคุมจะรับรู้ได้โดยการตรวจสอบแรงดันและกระแสในคู่สาย ดังนั้นแสดงว่าวงจรสนทนาถูกทำการเชื่อมต่อระหว่างผู้ส่งและผู้รับเป็นที่เรียบร้อยจึงเริ่มสนทนากันได้ และหน่วยคิดค่าบริการก็จะเริ่มทำงาน

9. การตรวจสอบ

ในขณะที่คู่สนทนากำลังสนทนาผ่านคู่สายโทรศัพท์อยู่นั้น จะมีส่วนหนึ่งของชุมสายคอยตรวจสอบอยู่ หน้าที่ของส่วนนี้ก็คือ การตรวจสอบการสิ้นสุดของการสนทนา (การวางหูโทรศัพท์) โดยจะตรวจสอบที่ทุกๆ คู่สายในชุมสายที่เป็นวงจรสนทนา

10. สัญญาณ Clear

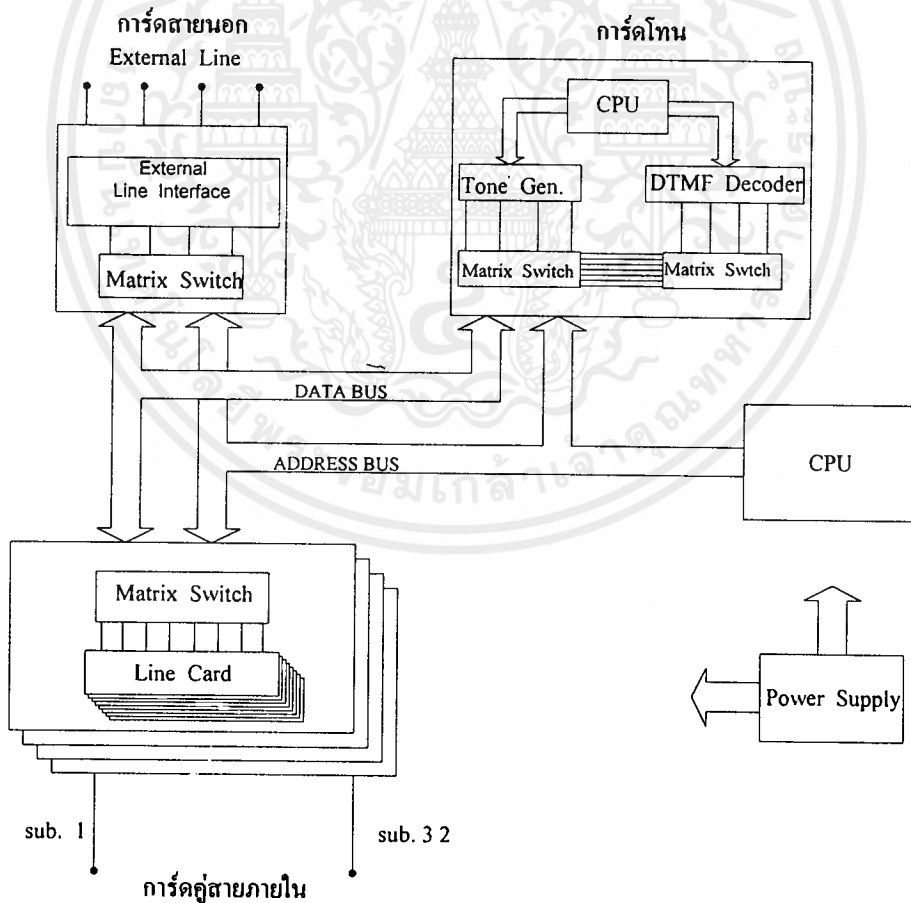
เมื่อมีสัญญาณยกเลิกวงจร (Forward clear : ซึ่งเกิดจาเครื่องโทรศัพท์ที่เป็นผู้เรียก Backward clear : ซึ่งเกิดจากเครื่องที่ถูกเรียก) เกิดขึ้นที่ชุมสายอุปกรณ์ต่างๆ ในชุมสายก็จะทำการปลดตัวเองออกจากวงจร เพื่อพร้อมที่จะสร้างวงจรสนทนาใหม่

บทที่ 3

การออกแบบเครื่องชุมสายโทรศัพท์สาขาอัตโนมัติ (Private Automatic Branch Exchange)

3.1 กล่าวนำ

ในการออกแบบเครื่องชุมสายโทรศัพท์สาขาอัตโนมัตินี้ ทำการออกแบบเป็นส่วนๆ โดยจะแยกการทำงานของวงจรภาคต่างๆ ออกเป็นการ์ด ซึ่งมีการ์ดคู่สายภายในจำนวน 4 การ์ด การ์ดละ 8 คู่สาย การ์ดโทนและดีทีเอ็มเอฟ จำนวน 1 การ์ด และการ์ดคู่สายภายนอกอีกจำนวน 1 การ์ด ดังรูป



รูปที่ 3.1 โครงสร้างของเครื่องชุมสายอัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การออกแบบ

เครื่องชุมสายโทรศัพท์สาขาอัตโนมัติขนาดเล็กที่นำเสนอในปฏิญานีพจน์นี้มีแนวคิดจากโครงการงของรุ่นพี่ โดยนำมาออกแบบใหม่และพัฒนาให้เป็นระบบที่มีความสามารถสูง

ระบบการทำงานของเครื่องชุมสายอัตโนมัติจะประกอบด้วยส่วนสำคัญดังต่อไปนี้

1. ส่วนประกอบทางด้านฮาร์ดแวร์ จะเป็นส่วนประกอบทั้งหมดของตัวเครื่องชุมสายโทรศัพท์สาขาอัตโนมัติ

2. ส่วนประกอบทางด้านควบคุม จะเป็นส่วนที่เกี่ยวกับการใช้โปรแกรมคำสั่งในการควบคุมการทำงานของเครื่องชุมสายโทรศัพท์อัตโนมัติ โดยจะใช้โปรแกรมภาษาซีในการควบคุมการทำงานให้ตรงตามคุณสมบัติที่กำหนดไว้ข้างต้น

ผังการทำงานดังรูปที่ 3.1 สามารถอธิบายได้เป็นบล็อก ๆ ดังนี้ คือ จะประกอบด้วยการ์ดของสายในจำนวน 4 การ์ด การ์ดโทน + คูอัลโทนมัลติฟรีควนซี และการ์ดของสายนอก

1. การ์ดสายใน ภายในจะประกอบไปด้วยคู่สายภายในจำนวน 8 ตัวซึ่งสามารถต่อกับคู่สายได้การ์ดละ 8 คู่สาย ซึ่งจะได้อุปกรณ์ทั้งหมด 32 คู่สายนั่นเอง โดยถ้าคู่สายใดยกหูก็จะมีสัญญาณไฟ +5 โวลท์ไปบอกซีพียู และถ้าซีพียูต้องการส่งสัญญาณเรียกก็สามารถทำได้โดยส่งสัญญาณให้กับขาควบคุมสัญญาณเรียก ส่วนสัญญาณเสียงจะต่อเข้ากับเมตริกซ์สวิตช์ เพื่อให้ซีพียูเป็นตัวตัดต่อต่อไป

2. การ์ดสายนอก โดยภายในจะมีวงจรที่ทำหน้าที่เป็นวงจรตรวจสอบสัญญาณเรียกคือ ถ้ามีสัญญาณเรียกมาจากองค์การโทรศัพท์จะทำให้เอาต์พุตของวงจรตรวจสอบเปลี่ยนแปลงซึ่งจะไปบอกซีพียู ซึ่งซีพียูก็จะทำการตัดต่อสัญญาณไปยังหม้อแปลง 600 โอห์ม ซึ่งก็จะรับสัญญาณเสียงส่งไปยังเมตริกซ์สวิตช์ต่อไป

3. การ์ดที่ทำหน้าที่กำเนิดสัญญาณโทน และคูอัลโทนมัลติฟรีควนซี ภายในการ์ดนี้จะประกอบไปด้วยตัวไมโครคอนโทรลเลอร์เบอร์ 8951 ซึ่งทำหน้าที่กำเนิดสัญญาณโทน ส่วนภาคถอดรหัสสัญญาณคูอัลโทนมัลติฟรีควนซีโดยสัญญาณเอาต์ พู ตในภาคนี้ จะส่งไปยังไมโครคอนโทรลเลอร์ เพื่อให้ไมโครคอนโทรลเลอร์ติดต่อกับซีพียูหลักอีกครั้งหนึ่ง

3.3 โครงสร้างทางด้านฮาร์ดแวร์

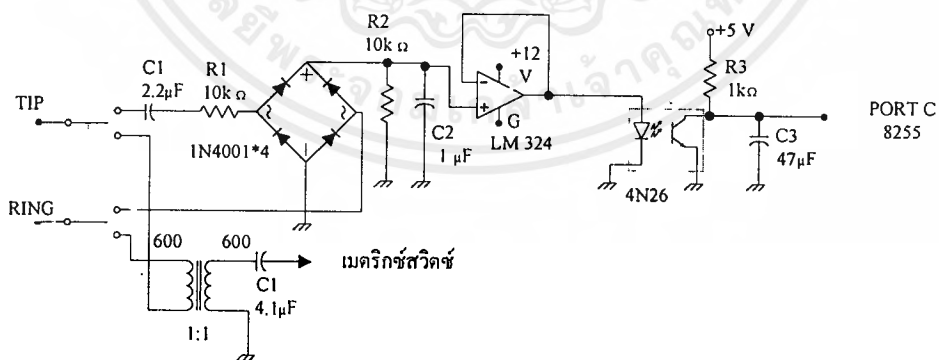
โครงสร้างทางด้านฮาร์ดแวร์จะประกอบด้วยวงจรส่วนสำคัญ 8 ส่วนดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. วงจรเชื่อมต่อกู่สายภายนอก
2. วงจรกู่สายภายใน
3. วงจรเมตริกซ์สวิตช์
4. วงจรดีทีเอ็มเอฟ (คูอัลโทนมัลติพริกวินซี)
5. วงจรสร้างสัญญาณกระดิ่งและสัญญาณ โทน
6. วงจรตอบรับอัตโนมัติ
7. วงจรแหล่งจ่ายไฟ
8. วงจรถอดรหัสสัญญาณควบคุม

3.3.1 วงจรเชื่อมต่อกู่สาย

วงจรมีหน้าที่รับสัญญาณเรียกที่มาจากชุมสายภายนอกแล้วทำการเปลี่ยนสัญญาณเรียกที่เข้ามาเป็นพัลซ์ จากนั้นส่งสัญญาณพัลซ์นี้ไปยังซีพียู โดยผ่านพอร์ต 8255 เพื่อบอกให้ซีพียูทราบว่าขณะนี้ได้มีสายนอกต้องการจะติดต่อกับเครื่องโทรศัพท์ภายใน จากนั้นซีพียูจะควบคุมให้ชุดตอบรับอัตโนมัติทำงาน โดยจะบอกให้ผู้เรียกกดหมายเลขที่ต้องการติดต่อก็คือเลข 01-32 จากนั้นซีพียูจะตรวจเช็คว่าหมายเลขที่ต้องการติดต่อย่างหรือไม่ว่าจะส่งสัญญาณเรียกกลับมาที่เครื่องโทรศัพท์ของผู้เรียก ถ้าไม่ว่างจะส่งสัญญาณไม่ว่างไปยังผู้เรียกต่อไป

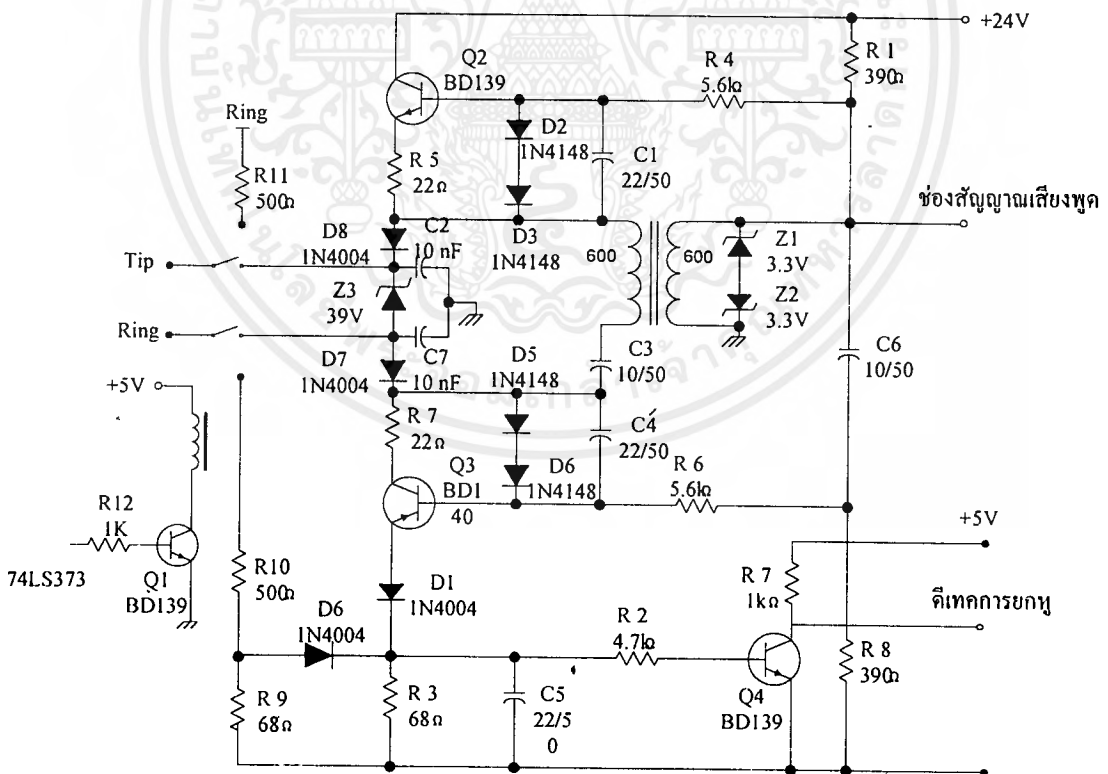


รูปที่ 3.2 วงจรเชื่อมต่อกู่สายภายนอก

จากรูปที่ 3.2 สัญญาณเรียกจะถูก ส่งมาจากองค์การโทรศัพท์จะมีแรงดันประมาณ 100 โวลต์ ถ้าชุมสายส่งสัญญาณเรียกมาที่อินพุตของวงจรจะผ่าน C1 และ R1 ผ่านวงจรถักเร็กติไฟผ่าน R2 10K เพื่อลดแรงดันลงผ่าน C1 ที่ทำหน้าที่บายพาสสัญญาณ แล้วผ่าน ออปแอมป์ เบอร์ LM324 เพื่อทำหน้าที่เป็นบัฟเฟอร์ ผ่านออฟไดโอดไอโซเลเตอร์ เบอร์ 4N26 ซึ่งจะทำให้แอลอีดีเปล่งแสง เป็นผลทำให้ทรานซิสเตอร์ทำงาน เอาท์พุทของทรานซิสเตอร์จะเป็นลอจิก 0 แล้วส่งไปยังซีพียู เพื่อให้ทราบว่าขณะนี้มีการเรียกจากองค์การโทรศัพท์เข้ามา

3.3.2 วงจรคู่สายภายใน (Line Card)

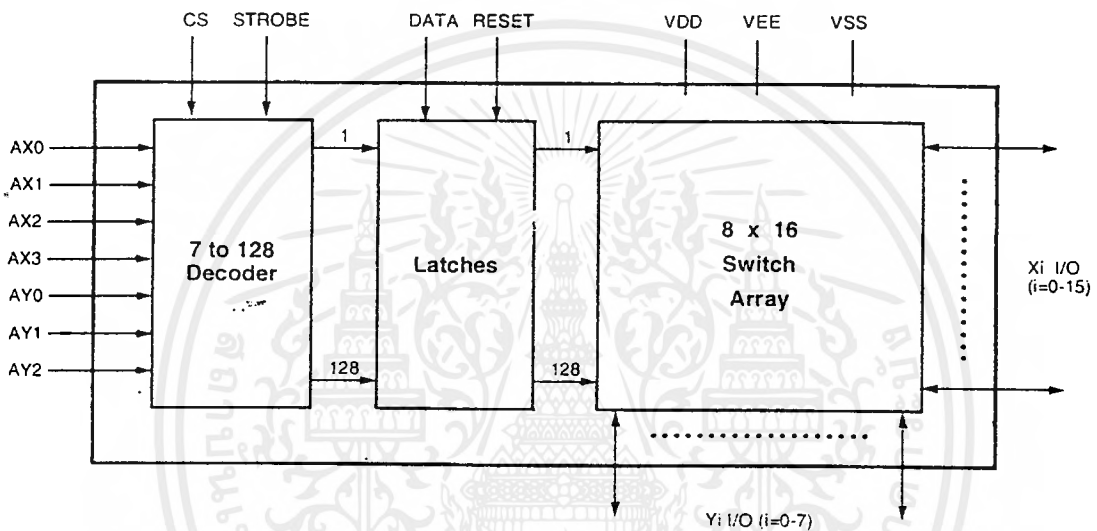
วงจรของคู่สายภายในจะทำหน้าที่ตรวจสอบการยกหูของเครื่องโทรศัพท์ ตั้งแต่เครื่องที่ 01-32 ถ้าเครื่องใดทำการยกหูโทรศัพท์ วงจรนี้จะส่งสัญญาณไปยังซีพียู เพื่อแจ้งให้ทราบว่า เครื่องโทรศัพท์ที่ยกหูนั้นเป็นเครื่องที่เท่าไร ซึ่งนอกจากจะทำหน้าที่ตรวจสอบการยกหูแล้ว วงจรในภาคนี้ยังมีหน้าที่คือ ตัดต่อสัญญาณเรียก โดยใช้ขาคควบคุมสัญญาณเรียกนั่นเอง



รูปที่ 3.3 วงจรคู่สายภายใน

3.3.3 วงจรเมตริกซ์สวิตช์

วงจรนี้จะทำหน้าที่เป็นสวิตช์ในการตัดต่อวงจรตรวจจับสัญญาณโทรศัพท์เข้ากับคู่สายภายนอกจากวงจรเชื่อมคู่สายภายนอก โดยทำหน้าที่ในการตัดต่อวงจรภาคไลน์การ์ดของเครื่องที่ 01-32 เข้าด้วยกัน ทำการตัดต่อวงจรภาคไลน์การ์ดเข้ากับวงจรสร้างสัญญาณโทน



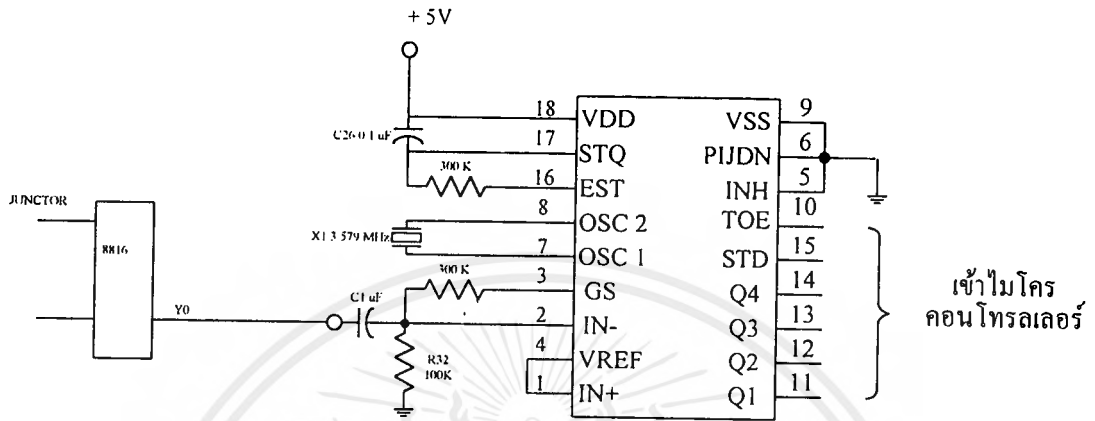
รูปที่ 3.4 วงจรเมตริกซ์สวิตช์

จากรูป 3.4 ใช้ไอซี MT8816 เป็น 8x16 ครอสพอยน์ทสวิตช์ ใช้ไฟเลี้ยง +5 โวลต์ และ -5 โวลต์ โดยที่ขา y0-y7 จะต่อกับเครื่องโทรศัพท์ ส่วน X0-X15 จะต่อเชื่อมกับ X0-X15 ของการ์ดอื่นๆ และจะมีขา CS , Strobe Data และ Reset เพื่อใช้ในการควบคุมการตัดต่อ ซึ่งไอซี 8816 นี้ มีขา Ax0-Ax3 และ Ay0-Ay2 ซึ่งขาทั้งหมดนี้จะต่อเชื่อมเข้ากับพอร์ต A ของ ไมโครคอนโทรลเลอร์ เพื่อที่จะใช้ในการคอนโทรลให้สวิตช์ที่ต้องการต่อเข้าด้วยกันนั่นเอง

3.3.4 วงจรดีทีเอ็มเอฟ (สัญญาณความถี่คู่)

วงจรส่วนนี้ทำหน้าที่ถอดรหัสสัญญาณดีทีเอ็มเอฟ โดยใช้ไอซีเบอร์ 8870 เป็นตัวถอดรหัสสัญญาณความถี่คู่ อันเกิดจากการกดคีย์ที่หน้าปัดของเครื่องโทรศัพท์ โดยวงจรนี้จะรับสัญญาณเข้ามา จากนั้นจะทำการถอดรหัสสัญญาณเป็นรหัสไบนารี 4 บิต และในขณะที่มี

การกดคีย์โทรศัพท์จะทำให้ขาสโทรบซึ่งเป็นเอาต์พุทของไอซี MT8870 ส่งสัญญาณไปยังซีพียู เพื่อให้ทราบว่ามีการกดคีย์โทรศัพท์ ซีพียูจะรับข้อมูลซึ่งเป็นรหัสไปนารีไปทำงานตามคีย์ที่กดต่อไป



รูปที่ 3.5 วงจรถอดรหัสสัญญาณ คีทีเอ็มเอฟ

รูปที่ 3.5 แสดงวงจรถอดรหัสสัญญาณ คีทีเอ็มเอฟ วงจรนี้ใช้ไอซี MT 8870 เป็นตัวถอดรหัสความถี่คีทีเอ็มเอฟ โดยที่สามารถทำการถอดรหัสความถี่ออกมา เป็นเลขฐานสองขนาด 4 บิต วงจรถอดรหัสสัญญาณคีทีเอ็มเอฟนี้ จะต่อกับสวิทช์เมตริกซ์ทางขา y0-y3 ส่วนขาสโทรบ และ TOE จะต่อกับพอร์ตของซีพียู ต่อไป

คุณสมบัติของไอซี MT 8870

1. เป็นตัวรับและถอดรหัสความถี่คู่ (DTMF Receiver)
2. กินไฟน้อยใช้ไฟเลี้ยงระดับเดียวกับไอซีตระกูล ทีทีแอล
3. สามารถตั้งอัตราขยายในตัวไอซีได้
4. เป็นไอซีที่มีคุณภาพ

หน้าที่การทำงานของไอซี MT8870

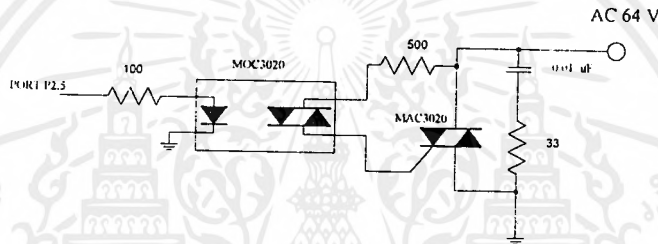
1. นำไปใช้งานด้านรีโมทคอนโทรล
2. เครื่องป้องกันโทรศัพท์ทางไกล
3. ใช้งานเกี่ยวกับเครดิตการ์ด
4. ใช้งานร่วมกับคอมพิวเตอร์

5. ใช้ในเครื่องผสมสายขนาดย่อยหรือพีเอบีเอ็กซ์
6. ใช้งานในด้านโทรศัพท์ทั่วไป
7. การควบคุมอุปกรณ์ทางโทรศัพท์

3.3.5 วงจรสร้างสัญญาณกระดิ่ง และสัญญาณโทน

วงจรสร้างสัญญาณกระดิ่ง

วงจรในส่วนของวงจรสร้างสัญญาณกระดิ่งนี้ จะทำหน้าที่ส่งสัญญาณเรียกไปให้เครื่องโทรศัพท์ภายในที่ต้องการติดต่อเพื่อทำการเรียกโดยอาศัยการควบคุมการส่งสัญญาณจากซีพียู ซีพียูจะส่งงานให้ออปโตไอโซเลเตอร์ทำงาน ซึ่งจะเป็นตัวควบคุมให้ไทรแอดทำงานต่อไปนั่นเอง

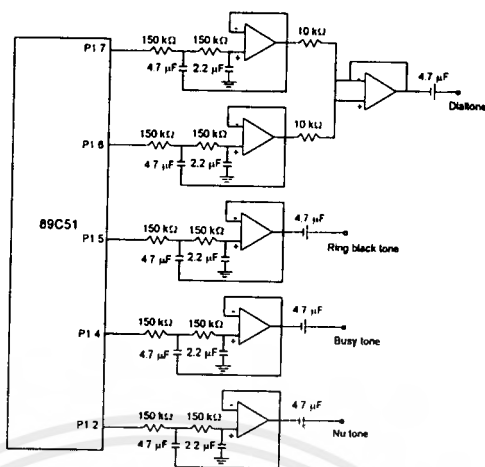


รูปที่ 3.6 วงจรสร้างสัญญาณเรียก

วงจรสร้างสัญญาณโทน

วงจรนี้จะทำหน้าที่ขยายสัญญาณให้หมุนสัญญาณไม่ว่างและสัญญาณเรียกกลับเพื่อส่งไปให้เครื่องโทรศัพท์เครื่องลูกทั้ง 32 เครื่อง จากรูปเป็นวงจรสร้างสัญญาณโทนประกอบไปด้วยออปแอมป์ ทำหน้าที่ขยายสัญญาณที่ส่งมาจากซีพียู ได้แก่ สัญญาณให้หมุน สัญญาณสายไม่ว่าง สัญญาณเรียกกลับ และสัญญาณไม่มีเลขหมาย เอาท์พุทจะต่อเข้ากับเมตริกซ์สวิตช์ต่อไป

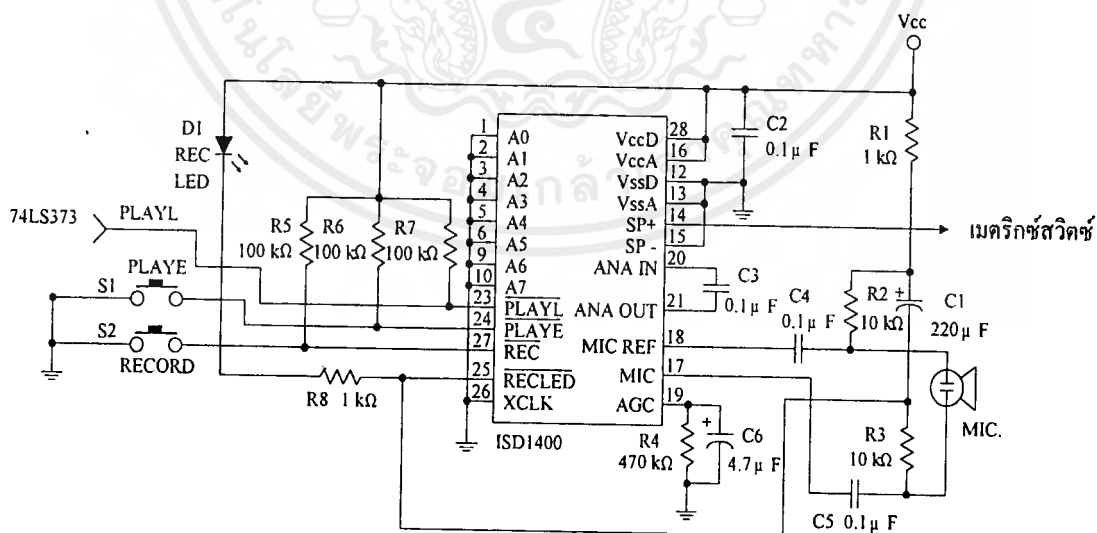
การทำงานของวงจรนี้ จะรับสัญญาณ โทนที่กำหนดจากไมโครคอนโทรลเลอร์เบอร์ 89C51 โดยจะรับสัญญาณดังกล่าวมาทำการแปลงรูปสัญญาณ คือจากที่ไมโครคอนโทรลเลอร์กำหนดออกมาเป็นสัญญาณรูปสี่เหลี่ยมมาเป็นสัญญาณรูปไซน์ แล้วจึงส่งต่อไปยังวงจรในภาคเมตริกซ์สวิตช์ต่อไป



รูปที่ 3.7 วงจรสร้างสัญญาณโทน

3.3.6 วงจรตอบรับอัตโนมัติ

การตอบรับเมื่อมีสายนอกต้องการติดต่อกับคู่สายภายใน ซึ่งพียูจะทำการต่อวงจรตอบรับอัตโนมัติให้ จากการตัดของรีเลย์เพื่อส่งสัญญาณเสียงตอบรับ พร้อมกับต่อสัญญาณให้หมุนกับคู่สายภายนอก



รูปที่ 3.8 วงจรตอบโทรศัพท์อัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

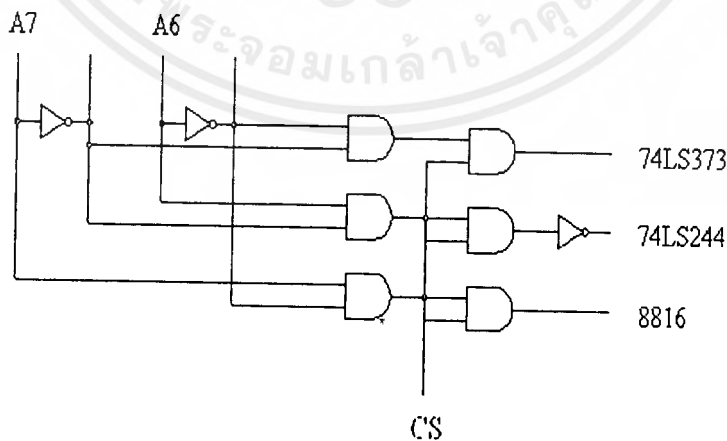
จากรูปที่ 3.8 วงจรส่วนนี้จะบันทึกเสียงการตอบรับ โดยใช้ไอซีเบอร์ ISD1400 สัญญาณเสียงจากไมโครโฟนจะถูกบันทึกจากการควบคุมการกดสวิทช์ S2 ความยาวของเสียงที่ทำการบันทึกไม่เกิน 20 วินาที สำหรับสวิทช์ S1 ทำหน้าที่ตอบรับเสียงที่ได้บันทึกไว้เฉพาะเมื่อมีการกดปุ่มเท่านั้น ขา PLAYL ของไอซีจะต่อเข้ากับรีเลย์ RY2 ที่มีการตัดต่อให้ไอซีทำการส่งสัญญาณเสียงตอบรับ

3.3.7 วงจรภาคจ่ายไฟ

วงจรส่วนนี้ทำหน้าที่เป็นแหล่งจ่ายไฟฟ้ากระแสตรงและไฟฟ้ากระแสสลับให้แก่วงจรภายในเครื่องทั้งหมด ประกอบด้วยแหล่งจ่ายไฟกระแสตรง +5 โวลต์, -5 โวลต์, +12 โวลต์ และ -12 โวลต์ โดยจะใช้สวิทช์ซึ่งเพาเวอร์ซัพพลายเป็นแหล่งจ่าย และแหล่งจ่ายไฟกระแสสลับ 64 โวลต์

3.3.8 วงจรถอดรหัสสัญญาณในการควบคุม

ในการออกแบบวงจรถอดรหัสจะต้องออกแบบให้สอดคล้องกับการทำงาน เนื่องจากเราได้ออกแบบวงจรออกเป็นการ์ด ดังนั้นในการทำงานจะต้องมีการเลือกว่าจะติดต่อกับการ์ดไหน ซึ่งต้องทำการออกแบบวงจรถอดรหัส เพื่อให้หน่วยประมวลผลกลางสามารถทำงานได้อย่างถูกต้อง โดยในส่วนของวงจรรู้อยู่ภายในจะมีไอซีที่ใช้ในการควบคุมหลายตัว จึงได้กำหนดหมายเลขการ์ดและรหัสในการเลือกการทำงาน โดยใช้พอร์ตแอดเดรสบัส A0-A7 เป็นตัวกำหนดการทำงาน



รูปที่ 3.9 วงจรถอดรหัสในการควบคุม

โดยที่พอร์ตแอสเครสนี้จะถูกเชื่อมต่อเข้ากับ 8255 ตัวที่ 1 พอร์ต A ของตัวชิพยู (CPU) เพื่อให้ตัวประมวลผลกลางใช้ในการตรวจและทำการเลือกควบคุมตามลำดับขั้นตอนในการทำงาน ซึ่งเราได้ทำการกำหนดไว้ดังนี้

- พอร์ต A A2-A0 ทำหน้าที่ ในการเลือกการ์ด
 A3-A4 ทำหน้าที่ ในการติดต่อสายนอก
 A5 ทำหน้าที่ ควบคุมสโตรป
 A7-A6 ทำหน้าที่ เลือกการทำงานของไอซี

ตารางที่ 3.1 การกำหนดหมายเลขการ์ดคู่สายภายใน

หมายเลขการ์ด	8816	74LS373	74LS244
01	80H	00H	40H
02	81H	01H	41H
03	82H	02H	42H
04	83H	03H	43H

จากตารางที่ 3.1 การกำหนดหมายเลขการ์ดคู่สายภายใน ซึ่งมีการ์ดทั้งหมด 4 การ์ด โดยจะมีไอซีที่ต้องควบคุมภายในแต่ละการ์ดจำนวน 3 ตัว ซึ่งจะถูกควบคุมโดยวงจรถอดรหัสสัญญาณ ซึ่งจะเห็นได้ว่า ขา A0-A2 ทำหน้าที่เป็นตัวเลือกการ์ดคู่สายภายในหมายเลขใดให้ทำงาน และขา A7 และ A6 ทำหน้าที่เป็นตัวควบคุมการทำงานเลือกการทำงานของไอซีในการ์ดคู่สายภายในอีกครั้งหนึ่ง

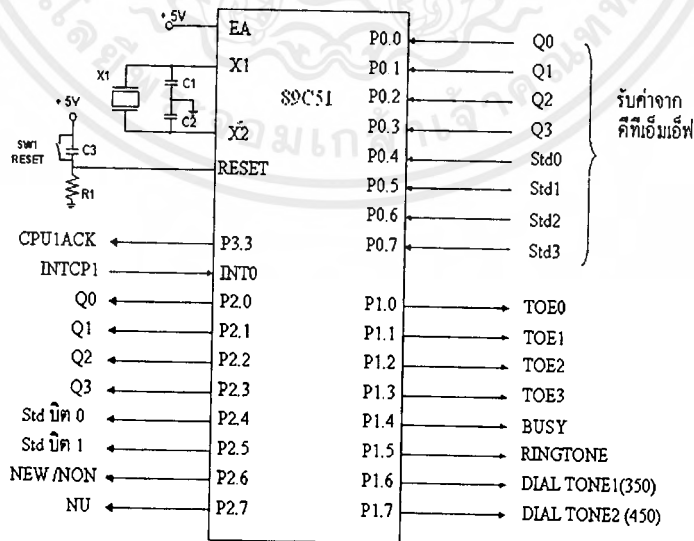
จากรูปที่ 3.9 จะเห็นว่า ถ้าเรากำหนดให้ขา $A7 = 0$ และ $A6 = 0$ เป็นการเลือกให้ไอซีเบอร์ 74LS373 ทำงาน, ถ้ากำหนดให้ขา $A7 = 0$ และ $A6 = 1$ เป็นการเลือกให้ไอซีเบอร์ 74LS244 ทำงาน และถ้ากำหนดให้ $A7 = 1$ และ $A6 = 0$ จะเป็นการเลือกให้ไอซีเบอร์ 8816 ทำงาน และในกรณีสุดท้ายที่กำหนด $A7 = A6 = 1$ ทั้งคู่จะไม่มีไอซีตัวใดทำงานเลย ส่วนขา CS เป็นขาที่ใช้ในการเลือกการ์ด โดยในส่วนนี้จะได้มาจากไอซีถอดรหัสเบอร์ 74LS138 ซึ่งมีขาอินพุต คือ A2 - A0 เป็นตัวเลือก

3.4 ภาคควบคุม

หลักการออกแบบ

ในปริยญาณิพนธ์ฉบับนี้ จะใช้บอร์ดไมโครคอนโทรลเลอร์ ANT-32 ทำหน้าที่เป็น ตัวประมวลผล โดยมี 8951 เป็นตัวประมวลผลกลางและควบคุมการทำงานหลักของ เครื่องชุมสายโทรศัพท์สาขาอัตโนมัติที่สร้างขึ้นมาและใช้โปรแกรมภาษาซีเป็นโปรแกรม ควบคุมขั้นตอนการทำงานของวงจร โดยที่ไม่มีไมโครคอลโทรลเลอร์เบอร์ 8951 อีกตัวหนึ่ง ทำหน้าที่เป็นตัวกำเนิดสัญญาณโทนต่างๆ และเป็นตัวถอดรหัสคูอัลโทนมัลติฟรีควนซ์ ทำให้ ระยะเวลาในการทำงานของตัวซีพียูไม่ต้องมาทำการถอดรหัสคูอัลโทนมัลติฟรีควนซ์

เมื่อดีทีเอ็มเอฟถูกกด ไอซี MT8870 จะส่งสัญญาณสโตรป (Strobe) ไปยังพอร์ต P0 89C51 จะทำการตรวจสอบสัญญาณสโตรปที่รับเข้าแล้วส่งสัญญาณ TOE ไป จากนั้นจะรับ เลขหมายที่ถูกกดมาเก็บไว้ในหน่วยความจำและจัดการกับเลขหมายที่รับเข้าให้เรียบร้อย ต่อ จากนั้นก็ส่งสัญญาณในการอินเตอร์รัปไปบอกหน่วยประมวลผลกลางให้ทราบว่ามีกรกด ดีทีเอ็มเอฟ เมื่อซีพียูถูกการอินเตอร์รัปจะส่งสัญญาณตอบรับมาให้ 89C51 จากนั้นจะทำการจัด ส่งข้อมูลที่เป็นเลขหมายที่ได้ทำการจัดการแล้วออกไป เมื่อหน่วยประมวลผลกลางรับข้อมูล เสร็จแล้วก็จะส่งสัญญาณมาบอก 89C51 ให้งานตามปกติต่อไป



รูปที่ 3.10 ลักษณะการใช้งาน 89C51 ในการ์ดโทน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะการใช้งานพอร์ตต่างๆ ใน 8951

พอร์ต P0 (อินพุตของสัญญาณสโตปและรับค่าดีทีเอ็มเอฟ)

ตารางที่ 3.2 การกำหนดพอร์ตอินพุตในการสร้างสัญญาณสโตป และรับค่าดีทีเอ็มเอฟ

ตำแหน่งพอร์ต	การต่อใช้งาน
P0.7	สโตปดีทีเอ็มเอฟ_4
P0.6	สโตปดีทีเอ็มเอฟ_3
P0.5	สโตปดีทีเอ็มเอฟ_2
P0.4	สโตปดีทีเอ็มเอฟ_1
P0.3	ข้อมูลบิตที่ 3
P0.2	ข้อมูลบิตที่ 2
P0.1	ข้อมูลบิตที่ 1
P0.0	ข้อมูลบิตที่ 0

พอร์ต P1 (เอาต์พุตในการส่ง TOE และสัญญาณโทน)

ตารางที่ 3.3 การกำหนดพอร์ตเอาต์พุตในการส่งสัญญาณ TOE และสัญญาณโทน

ตำแหน่งพอร์ต	การต่อใช้งาน
P1.7	กำหนดสัญญาณความถี่ 350 เฮิร์ต
P1.6	กำหนดสัญญาณความถี่ 450 เฮิร์ต
P1.5	กำหนดสัญญาณเรียกกลับ (ริงโทน)
P1.4	กำหนดสัญญาณไม่ว่าง
P1.3	TOE ของดีทีเอ็มเอฟ_4
P1.2	TOE ของดีทีเอ็มเอฟ_3
P1.1	TOE ของดีทีเอ็มเอฟ_2
P1.0	TOE ของดีทีเอ็มเอฟ_1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พอร์ต P2 (เอาต์พุตในการส่งข้อมูลให้กับตัวประมวลผลกลาง)

ตารางที่ 3.4 การกำหนดพอร์ตเอาต์พุตในการส่งข้อมูลให้กับตัวประมวลผลกลาง

ตำแหน่งพอร์ต	การต่อใช้งาน
P2.7	กำหนดสัญญาณไม่มีเลขหมาย
P2.6	ข้อมูลหลักที่ 1 และหลักที่ 2
P2.5	ดีทีเอ็มเอฟบิต 1
P2.4	ดีทีเอ็มเอฟบิต 0
P2.3	ข้อมูลบิตที่ 3
P2.2	ข้อมูลบิตที่ 2
P2.1	ข้อมูลบิตที่ 1
P2.0	ข้อมูลบิตที่ 0

พอร์ต P3 (อินพุตและเอาต์พุต ในการติดต่อกับตัวประมวลผลกลาง)

ตารางที่ 3.5 การกำหนดพอร์ตอินพุตและเอาต์พุตในการติดต่อกับตัวประมวลผลกลาง

ตำแหน่งพอร์ต	การต่อใช้งาน
P3.7	—
P3.6	—
P3.5	—
P3.4	—
P3.3	ส่งอินเทอร์รัปหน่วยประมวลผลกลาง
P3.2	รับอินเทอร์รัปหน่วยประมวลผลกลาง
P3.1	—
P3.0	—

การกำหนดพอร์ตต่างๆของ 8255 ตัวที่1 บนบอร์ด ANT-3172

ตารางที่ 3.6 การต่อใช้งาน 8255 พอร์ต A (F800)

ตำแหน่งพอร์ต	การต่อใช้งาน
Pa0	เป็นตัวเลือกการ์ดคู่สายภายในบิตที่ 0
Pa1	เป็นตัวเลือกการ์ดคู่สายภายในบิตที่ 1
Pa2	เป็นตัวเลือกการ์ดคู่สายภายในบิตที่ 2
Pa3	เป็นตัวเลือกการ์ดคู่สายภายนอกบิตที่ 0
Pa4	เป็นตัวเลือกการ์ดคู่สายภายนอกบิตที่ 1
Pa5	เป็นการควบคุมขาส โตรป
Pa6	เป็นตัวเลือกควบคุมการทำงาน
Pa7	เป็นตัวเลือกควบคุมการทำงาน

ตารางที่ 3.7 การต่อใช้งาน 8255 พอร์ต B (F801)

ตำแหน่งพอร์ต	การต่อใช้งาน
Pb0	รับเลขหมายจากตัวส่งข้อมูลบิตที่ 0
Pb1	รับเลขหมายจากตัวส่งข้อมูลบิตที่ 1
Pb2	รับเลขหมายจากตัวส่งข้อมูลบิตที่ 2
Pb3	รับเลขหมายจากตัวส่งข้อมูลบิตที่ 3
Pb4	รับรหัสในการใช้ตัวดีทีเอ็มเอฟบิตที่ 0
Pb5	รับรหัสในการใช้ตัวดีทีเอ็มเอฟบิตที่ 1
Pb6	รับลำดับของเลขหมาย
Pb7	—

ตารางที่ 3.8 การต่อใช้งาน 8255 พอร์ต C (F802)

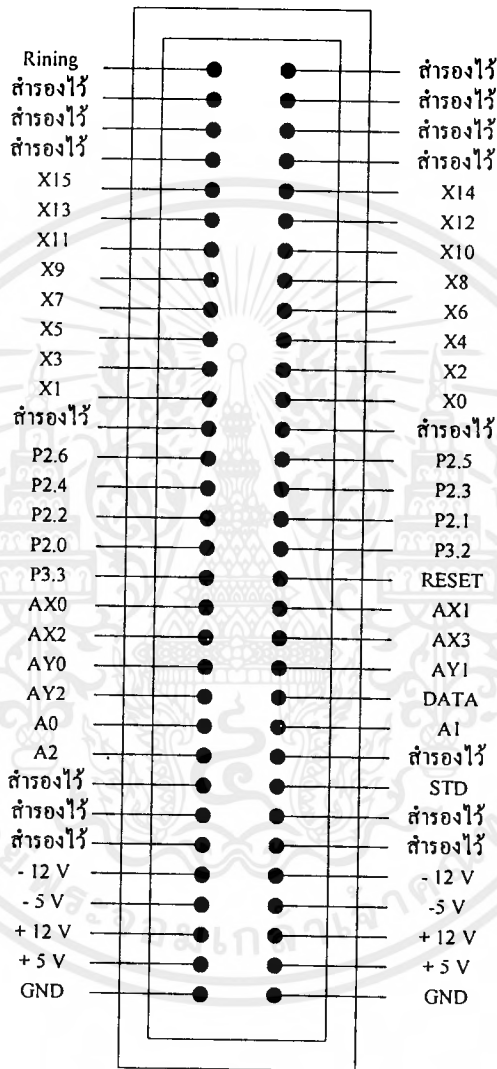
ตำแหน่งพอร์ต	การต่อใช้งาน
Pb0	สถานะของคู่สายภายนอกที่ 1
Pb1	สถานะของคู่สายภายนอกที่ 2
Pb2	สถานะของคู่สายภายนอกที่ 3
Pb3	สถานะของคู่สายภายนอกที่ 4
Pb4	—
Pb5	—
Pb6	—
Pb7	—

ตารางที่ 3.9 การต่อใช้งาน พอร์ต P1 ของตัวประมวลผลกลาง

ตำแหน่งพอร์ต	การต่อใช้งาน
P1.0	ควบคุมการตัดต่อของเมตริกซ์สวิตช์ X0
P1.1	ควบคุมการตัดต่อของเมตริกซ์สวิตช์ X1
P1.2	ควบคุมการตัดต่อของเมตริกซ์สวิตช์ X2
P1.3	ควบคุมการตัดต่อของเมตริกซ์สวิตช์ X3
P1.4	ควบคุมการตัดต่อของเมตริกซ์สวิตช์ Y0
P1.5	ควบคุมการตัดต่อของเมตริกซ์สวิตช์ Y1
P1.6	ควบคุมการตัดต่อของเมตริกซ์สวิตช์ Y2
P1.7	เป็นขาควบคุมขา Data

ตำแหน่งของสล็อตการ์ดโทนและดีทีเอ็มเอฟที่ต่อใช้งาน

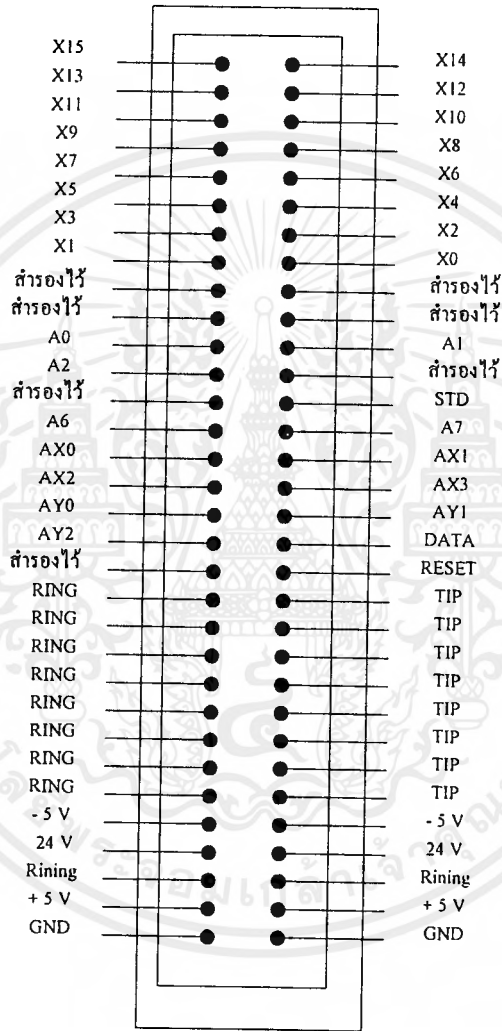
สล็อต
การ์ดโทนและดีทีเอ็มเอฟ



รูปที่ 3.11 ตำแหน่งสล็อตของการ์ดโทน

ตำแหน่งของสล็อตของการ์ดคู่สายภายในที่ต่อใช้งาน

สล็อต
การ์ดคู่สายภายใน

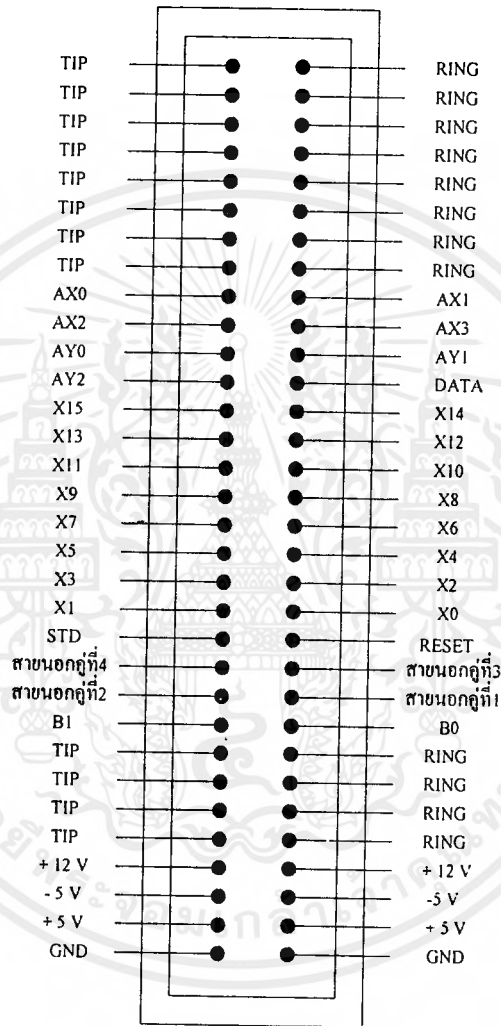


รูปที่ 3.12 ตำแหน่งสล็อตของการ์ดคู่สายภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตำแหน่งของสล็อตของการ์ดคู่สายภายนอกที่ต่อใช้งาน

สล็อตสายนอก



รูปที่ 3.13 ตำแหน่งสล็อตของการ์ดสายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

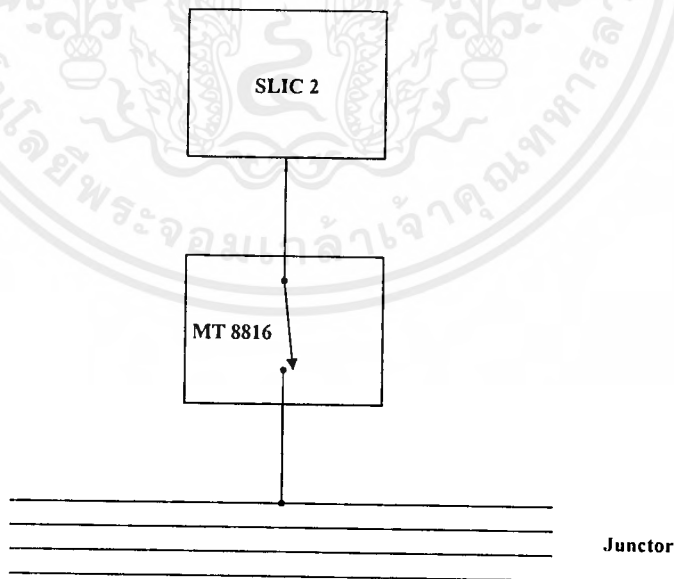
3.5 ระบบการทำงานของเครื่องชุมสายโทรศัพท์สาขาอัตโนมัติ

ระบบการทำงานของเครื่องโทรศัพท์สาขาอัตโนมัติ สามารถแบ่งการทำงานของเครื่องได้ 4 กรณีดังนี้

1. กรณีเครื่องโทรศัพท์ภายในต้องการติดต่อกับเครื่องโทรศัพท์ภายในด้วยกัน
2. กรณีเครื่องโทรศัพท์ภายในต้องการติดต่อกับเครื่องโทรศัพท์ภายนอก
3. กรณีเครื่องโทรศัพท์ภายนอกต้องการติดต่อกับเครื่องโทรศัพท์ภายใน
4. กรณีการทำงานขณะไฟฟ้าดับ

3.5.1 กรณีเครื่องโทรศัพท์ภายในต้องการติดต่อกับเครื่องโทรศัพท์ภายในด้วยกัน

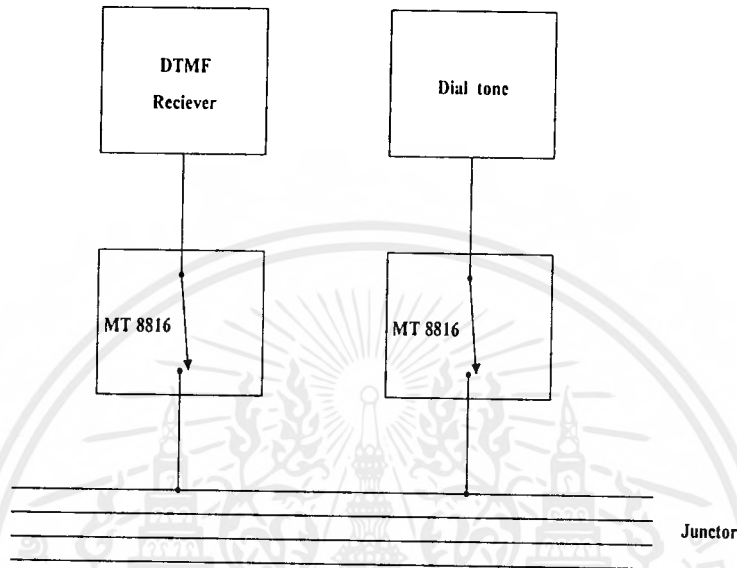
เมื่อทำการยกหูโทรศัพท์สมมติเป็นเครื่องหมายเลข 01 จะทำให้วงจรในภาคไลน์การ์ดทำการส่งสัญญาณผ่านพอร์ต P0 เพื่อจะแจ้งให้ซีพียูทราบว่าเครื่องโทรศัพท์หมายเลข 01 นี้ทำการยกหูโทรศัพท์ เมื่อซีพียูทราบก็จะทำการตรวจสอบหาเส้นทางที่ว่างอยู่ แล้วทำการต่อเส้นทางนั้นให้กับเครื่องที่ทำการยกหู หลังจากนั้นจะส่งสัญญาณควบคุมไปยังวงจรเมตริกซ์ทำการติดต่อเครื่องโทรศัพท์หมายเลข 01 กับวงจรสร้างสัญญาณโทน



รูปที่ 3.14 การต่อคู่สายโทรศัพท์เข้ากับเส้นทางการเชื่อมต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

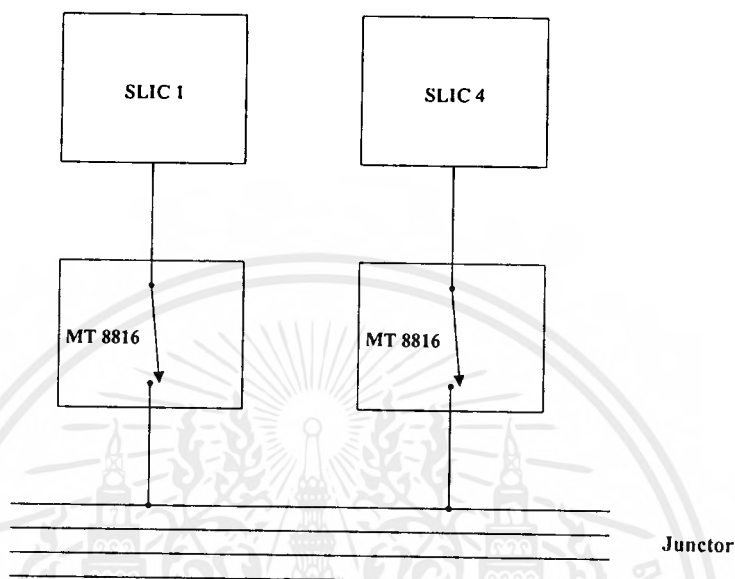
ส่งสัญญาณควบคุมไปยังวงจรเมตริกซ์ทำการตัดต่อเครื่องโทรศัพท์หมายเลข 01 กับ
วงจรสร้างสัญญาณ โทน



รูปที่ 3.15 การต่อคู่สายโทรศัพท์เข้ากับสัญญาณ โทนและดีทีเอ็มเอฟ

จากนั้นซีพียูจะส่งสัญญาณให้หมุน ผ่านวงจรสร้างสัญญาณ โทน ไปยังเครื่องโทรศัพท์ หมายเลข 01 ซึ่งเครื่องหมายเลข 01 จะได้ยินเสียงสัญญาณให้หมุน แล้วสามารถกดหมายเลขที่ต้องการจะติดต่อได้ทันที โดยสามารถกดเลขได้ตั้งแต่ 01-32 สัญญาณที่เกิดขึ้นจากการกดคีย์ที่หน้าปัทม์ของเครื่องโทรศัพท์จะถูกถอดรหัสโดยวงจร ถอดรหัสสัญญาณดีทีเอ็มเอฟ วงจรนี้ จะส่งสัญญาณพัลส์ที่ขาสโตปทุกครั้งที่มีการกดคีย์พร้อมกับส่งสัญญาณรหัสไบนารี 4 บิต เพื่อแจ้งให้ซีพียูทราบว่ามี การกดคีย์ที่หมายเลข 01 ถ้าเครื่องที่ 01 กดเลข 04 ซีพียูจะตรวจสอบว่า เครื่องที่ 04 นั้นทำการยกหูโทรศัพท์อยู่หรือไม่ โดยการตรวจสอบจากวงจรในภาคไลน์การ์ด ถ้ามีการใช้งานอยู่หรือมีการยกหูโทรศัพท์ ซีพียูก็จะส่งสัญญาณไม่ว่าง ไปยังเครื่องหมายเลข 01 แต่ถ้าเครื่องหมายเลข 04 วางหูอยู่ ซีพียูจะส่งสัญญาณควบคุมเพื่อทำการต่อสัญญาณไฟเอซี 64 โวลท์ไปที่เครื่องหมายเลข 04 ขณะนี้เครื่องหมายเลข 04 จะได้รับสัญญาณเรียก ในขณะที่ เครื่องหมายเลข 01 ได้รับสัญญาณเรียกกลับ เมื่อเครื่องหมายเลข 04 ยกหูรับ วงจรในภาคไลน์ การ์ดก็จะส่งสัญญาณไปที่ซีพียู ซีพียูจะทำการหยุดส่งสัญญาณเรียก และสัญญาณเรียกกลับ

พร้อมกับส่งสัญญาณควบคุมไปยังวงจรเมตริกซ์สวิตช์เพื่อทำการต่อเครื่องหมายเลข 01 และ 04 จากนั้นเครื่องทั้งสองก็สามารถสนทนากันได้



รูปที่ 3.16 การต่อคู่สายโทรศัพท์เข้าด้วยกัน

3.5.2 กรณีเครื่องโทรศัพท์ภายในต้องการติดต่อกับเครื่องโทรศัพท์ภายนอก

กรณีเครื่องโทรศัพท์ภายในต้องการติดต่อกับเครื่องโทรศัพท์ภายนอกจะต้องมีการกดรหัสผ่านให้ได้รับสัญญาณให้หมุน ซึ่งส่งมาจากชุมสายภายนอกก่อนตามด้วยเลขหมายตามที่ต้องการติดต่อเช่น ต้องการติดต่อกับหมายเลข 3269559 จะต้องกดดังนี้คือ กดหมายเลข 9 รอจนได้ยินเสียงสัญญาณให้หมุนก่อนแล้วจากนั้นกดหมายเลข 3269559 การทำงานสมมติให้เครื่องโทรศัพท์หมายเลข 01 ต้องการติดต่อกับสายนอกเมื่อทำการยกหูขึ้น ซีพียูจะส่งสัญญาณให้หมุนซึ่งเป็นสัญญาณที่ผลิตขึ้นจากซีพียูส่งไปยังเครื่องหมายเลข 01 ดังนั้นเครื่องหมายเลข 01 ต้องทำการกดหมายเลข 9 ซึ่งเป็นรหัสผ่านก่อน ถ้าสายนอกมีการใช้งานอยู่ซีพียูจะส่งสัญญาณไม่ว่างไปยังเครื่องหมายเลข 01 ถ้าสายนอกไม่มีการใช้งาน ซีพียูจะส่งงานควบคุมให้วงจรเมตริกซ์สวิตช์ทำงานการต่อเครื่องโทรศัพท์หมายเลข 01 กับคู่สายภายนอกจากนั้นเครื่องโทรศัพท์หมายเลข 01 จะได้รับสัญญาณให้หมุน ซึ่งมาจากชุมสายภายนอก จากนั้นก็สามารถกดหมายเลขที่ต้องการติดต่อสนทนาได้ทันที

3.5.3 กรณีเครื่องโทรศัพท์สายนอกต้องการติดต่อกับเครื่องโทรศัพท์ภายใน

กรณีเมื่อมีเครื่องโทรศัพท์สายนอกต้องการติดต่อกับเครื่องโทรศัพท์ภายใน โดยมี การส่งสัญญาณเรียกเข้ามายังวงจรเชื่อมต่อกับสายภายนอก สัญญาณเรียกจะถูกทำการเรคคิไฟ ออกมาเป็นสัญญาณคิซีพัลส์เข้าออปโตทรานซิสเตอร์มีเอาท์พุทออกมาเป็นพัลส์ลบตาม สัญญาณเรียก สัญญาณนี้ก็จะส่งผ่านพอร์ต 8255 ไปให้ซีพียูทราบว่าจะขณะนี้ได้มีสายนอกต้อง การติดต่อกับเครื่องโทรศัพท์ภายใน ซีพียูจะทำการส่งสัญญาณไปให้เครื่องตอบรับ โดยที่ เครื่องตอบรับนี้จะบอกให้สายนอกกดหมายเลขที่ต้องการจะติดต่อ จากนั้นซีพียูจะส่งสัญญาณ เรียกไปที่โทรศัพท์เครื่องนั้น พร้อมส่งสัญญาณเรียกกลับไปให้สายนอกที่ โทรเข้ามา ถ้าโทรศัพท์เครื่องที่ต้องการติดต่อไม่ว่างก็จะสัญญาณไม่ว่างกลับไป

3.5.4 การทำงานในขณะที่เกิดไฟฟ้าขัดข้อง

เครื่องจะทำการต่อสายภายนอกเข้ากับเครื่องโทรศัพท์ภายใน โดยต่อสาย Line 1 - Line 4 เข้ากับเครื่องหมายเลข 01 - 04 โดยอาศัยการทำงานที่รีเลย์ 2 คอนแทก RY 2 ทำให้ ขณะเกิดไฟฟ้าขัดข้องก็ยังสามารถใช้เครื่องโทรศัพท์หมายเลข 01 - 04 ได้

บทที่ 4

การทดลอง และผลการทดลอง

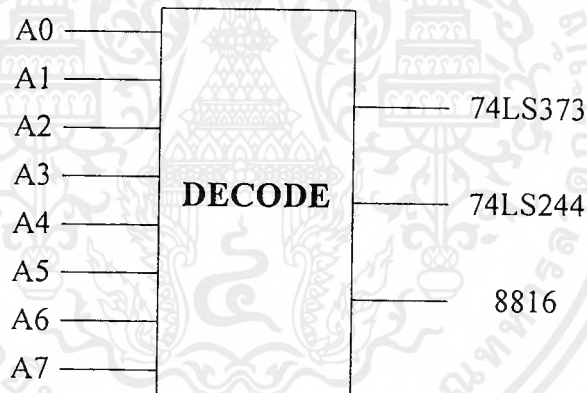
4.1 ผลการทดลอง

ทางกลุ่มผู้จัดทำได้ทำการทดสอบออกเป็น 2 ขั้นตอน โดยทำการทดสอบกับการต่อวงจรบนแผ่นไฟโตบอร์ดก่อน และตรวจสอบอีกครั้งหนึ่งที่บอร์ดการใช้งานจริง

4.1.1 ผลการทดลองวงจรถอดรหัส

วิธีการทดลอง

1. ให้ทำการต่อวงจรถอดรหัสสัญญาณควบคุม



2. ทำการป้อนค่าตามตารางที่กำหนดให้

ตารางที่ 4.1 ผลการทดลองของวงจรถอดรหัส

A2	A1	A0	A7	A6	ผลที่ได้จากการทดลอง
0	0	0	0	0	74LS373 ของ Line Card ที่ 0 Active
0	0	0	0	1	74LS244 ของ Line Card ที่ 0 Active
0	0	0	1	0	8816 ของ Line Card ที่ 0 Active
0	0	0	1	1	สำรองไว้

ตารางที่ 4.1 ผลการทดลองของวงจรถอดรหัส (ต่อ)

A2	A1	A0	A7	A6	ผลที่ได้จากการทดลอง
0	0	1	0	0	74LS373 ของ Line Card ที่ 1 Active
0	0	1	0	1	74LS244 ของ Line Card ที่ 1 Active
0	0	1	1	0	8816 ของ Line Card ที่ 1 Active
0	0	1	1	1	สำรองไว้
0	1	0	0	0	74LS373 ของ Line Card ที่ 2 Active
0	1	0	0	1	74LS244 ของ Line Card ที่ 2 Active
0	1	0	1	0	8816 ของ Line Card ที่ 2 Active
0	1	0	1	1	สำรองไว้
0	1	1	0	0	74LS373 ของ Line Card ที่ 3 Active
0	1	1	0	1	74LS244 ของ Line Card ที่ 3 Active
0	1	1	1	0	8816 ของ Line Card ที่ 3 Active
0	1	1	1	1	สำรองไว้
1	0	0	x	x	8816 ของ Card คู่สายนอก Active
1	0	1	x	x	8816 ของ Card Tone (DTMF) Active
1	1	0	x	x	8816 ของ Card Tone Active

4.1.2 ผลการทดลองวงจรถอดรหัสภายใน

วิธีการทดลอง

1. ทำการต่อไฟ +5 V., +24 V เข้าที่ขาของวงจรถอดรหัสภายใน

2. ทำการยกหู - วางหูเครื่องโทรศัพท์

ผลการทดลอง : ในกรณียกหูโทรศัพท์ วัดสัญญาณที่ขา Detect Offhook = 0 โวลต์

ในกรณีวางหูโทรศัพท์ วัดสัญญาณที่ขา Detect Offhook = 5 โวลต์

3. ต่อไฟ +5V เข้าที่ขาควบคุมสัญญาณเรียก

ผลการทดลอง : รีเลย์ตัด ทำให้จ่ายสัญญาณเรียกเข้าเครื่องรับโทรศัพท์

4. เชื่อมต่อวงจรเข้าด้วยกันเพื่อทดสอบการสนทนา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลอง : สามารถทำการสนทนากันได้

4.1.3 ผลการทดลองตัวกำเนิดสัญญาณโทนและรับค่าดีทีเอ็มเอฟ

ในส่วนนี้ได้ทำการออกแบบ โดยใช้ไอซีไมโครคอนโทรลเลอร์เบอร์ 85C51 เป็นตัวกำเนิดสัญญาณและรับค่าดีทีเอ็มเอฟ

กำเนิดสัญญาณโทน

วิธีการทดลอง

1. ป้อน โปรแกรมที่ได้เขียนไว้ลงบนบอร์ดคอนโทรล
2. ใช้ออสซิลโลสโคปทำการวัดสัญญาณที่ขาเอาต์พุต

ผลการทดลอง : ได้รูปสัญญาณต่างๆ ดังรูปที่ 4.1 - 4.5

3. ใช้ลำโพงเปียร์โซโซต้อเพื่อฟังเสียง

ผลการทดลอง : ได้ยินตามจังหวะของสัญญาณ

4. นำ 89C51 ไปเสียบลงการ์ดโทนที่ใช้งานและทำการวัดสัญญาณที่ออกจากพอร์ต

ผลการทดลอง : ได้รูปสัญญาณต่างๆ ดังรูปที่ 4.1 - 4.5

5. ทำการวัดสัญญาณที่เปลี่ยนจากสัญญาณรูปสี่เหลี่ยมเป็นสัญญาณไซน์

ผลการทดลอง : ได้รูปสัญญาณที่เปลี่ยนจากคลื่นสแคว์เวฟเป็นคลื่นไซน์

การรับค่าดีทีเอ็มเอฟ

วิธีการทดลอง

1. ทำการทดลองต่อวงจรตามคู่มือการใช้งาน
2. ทำการทดลองกดหมายเลข

ผลการทดลอง : หลอดแอลอีดีที่ขาส โตรป สว่าง ในขณะที่กดคีย์ และดับในขณะที่ปล่อยคีย์

หลอดแอลอีดีที่แสดงข้อมูลหมายเลข สว่างและดับตามหมายเลขที่กด

3. ทำการทดลองกับการ์ดที่ใช้งานจริง โดยการเชื่อมต่อสัญญาณระหว่างตัวส่งข้อมูลกับตัวรับข้อมูล

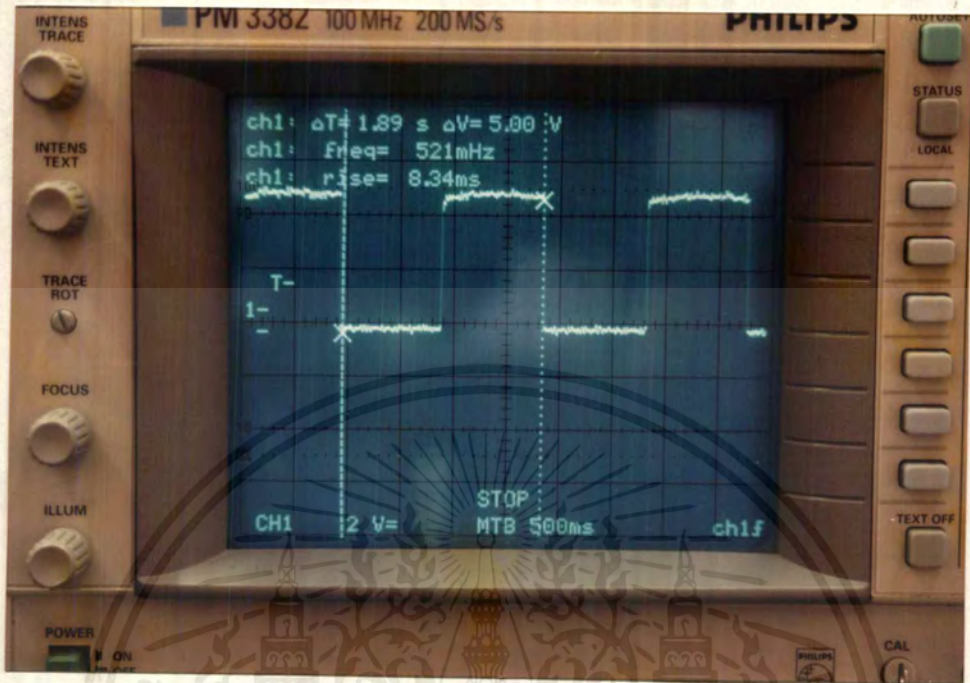
4. ทำการตัดต่อเมตริกซ์สวิตซ์ให้ดีทีเอ็มเอฟต่อกับเครื่องโทรศัพท์ทั้ง 4 เครื่อง

5. ทำการกดหมายเลข ตามการทดลอง

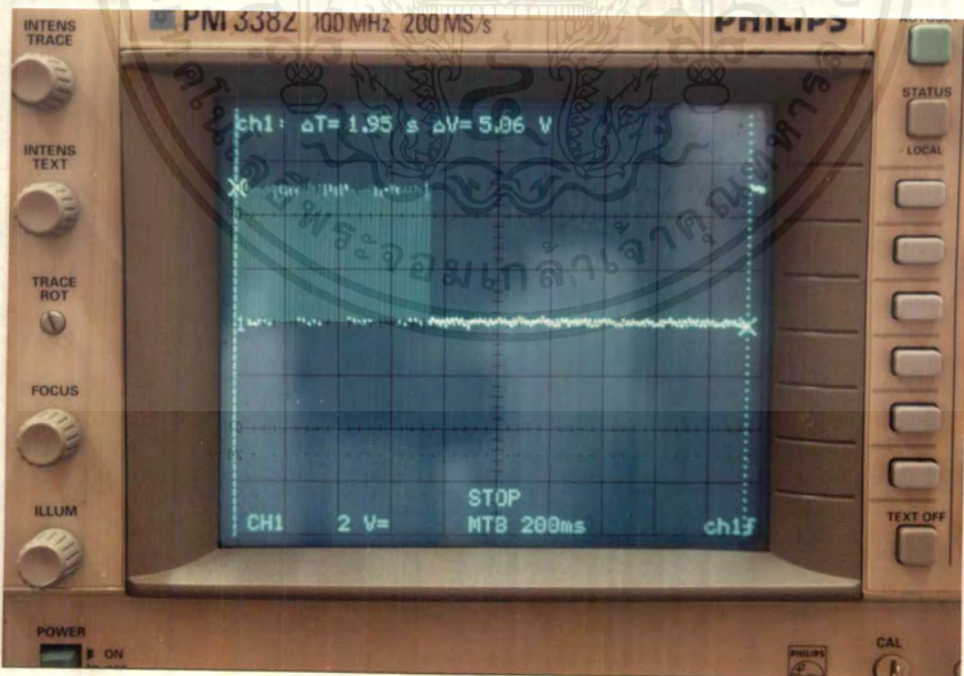
ตารางที่ 4.2 ผลการทดลองการรับค่าดีทีเอ็มเอฟ

ลำดับขั้นตอน	ผลที่ได้จากการทดลอง						
	LED6	LED5	LED4	LED3	LED2	LED1	LED0
1. ต่อ DR0 เข้ากับเครื่องโทรศัพท์							
– กดคีย์หมายเลข 1	0	0	0	0	0	0	1
– กดคีย์หมายเลข 2	1	0	0	0	0	1	0
2. ต่อ DR1 เข้ากับเครื่องโทรศัพท์							
– กดคีย์หมายเลข 3	0	0	1	0	0	1	1
– กดคีย์หมายเลข 4	1	0	1	0	1	0	0
3. ต่อ DR2 เข้ากับเครื่องโทรศัพท์							
– กดคีย์หมายเลข 5	0	1	0	0	1	0	1
– กดคีย์หมายเลข 6	1	1	0	0	1	1	0
4. ต่อ DR3 เข้ากับเครื่องโทรศัพท์							
– กดคีย์หมายเลข 7	0	1	1	0	1	1	1
– กดคีย์หมายเลข 8	1	1	1	1	0	0	0

*หมายเหตุ LED6 = P2.6
 LED5 = P2.5
 LED4 = P2.4
 LED3 = P2.3
 LED2 = P2.2
 LED1 = P2.1
 LED0 = P2.0

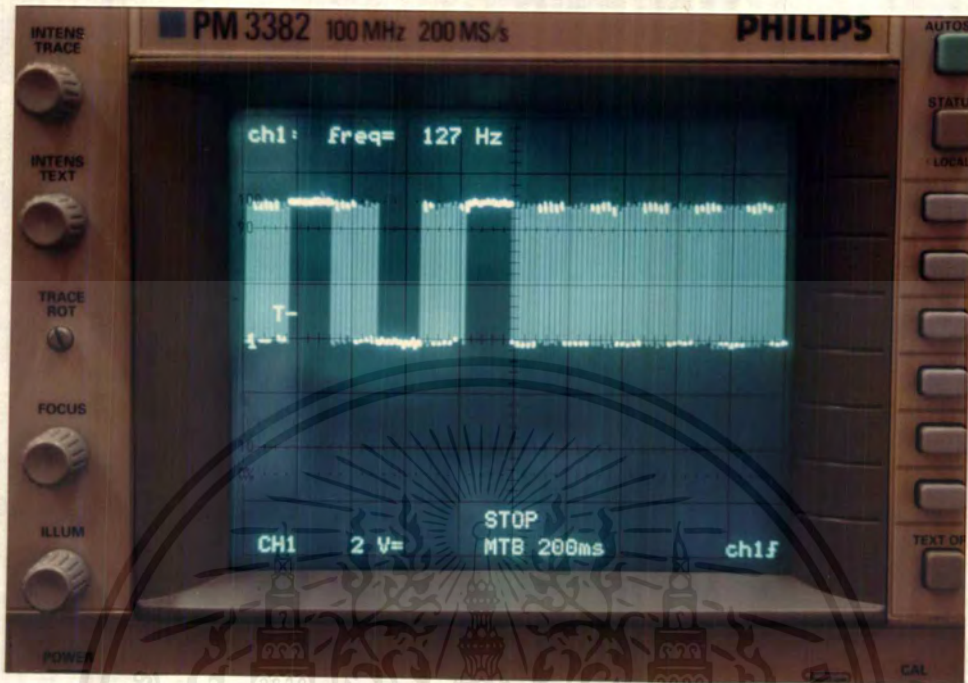


รูปที่ 4.1 สัญญาณไม่ว่าง ที่ได้จากตัวกำเนิดสัญญาณ โทน 89C51

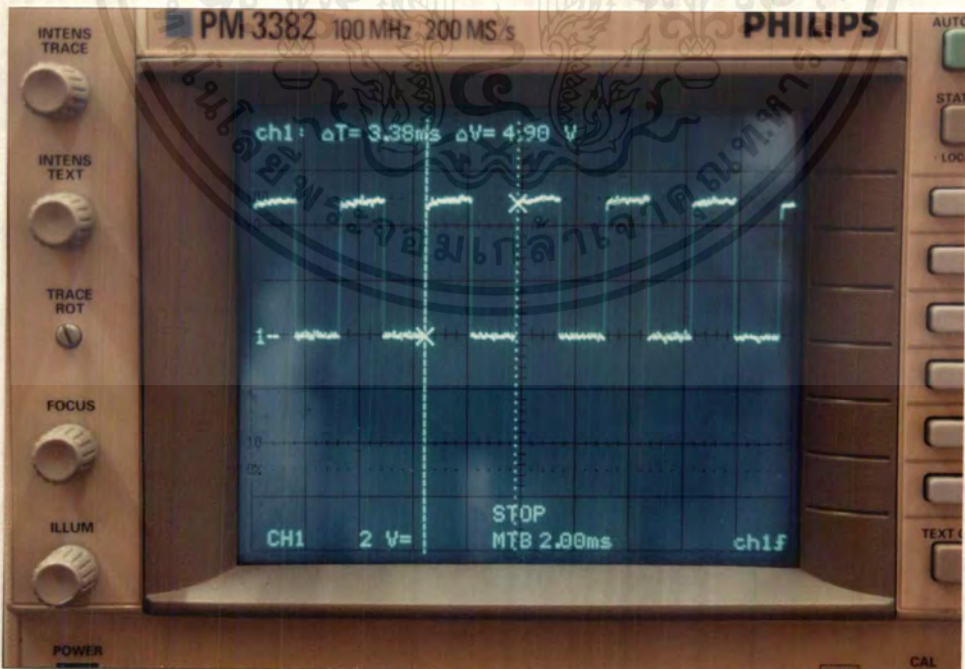


รูปที่ 4.2 สัญญาณริงโทน ที่ได้จากตัวกำเนิดสัญญาณ โทน 89C51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

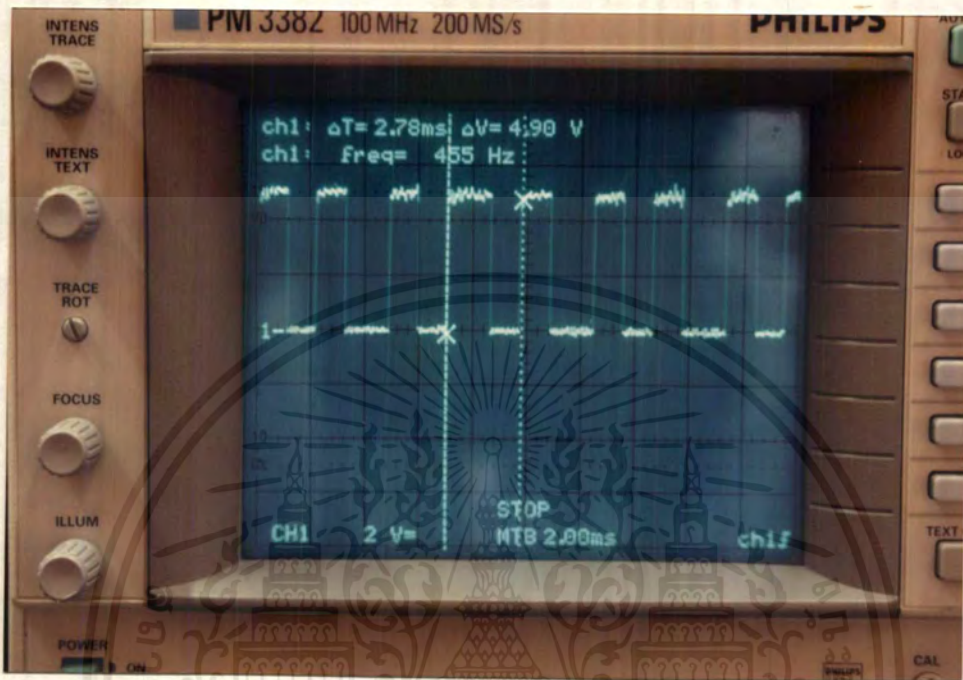


รูปที่ 4.3 สัญญาณ ไม่มีเลขหมาย ที่ได้จากตัวกำเนิดสัญญาณ โทน 89C51



รูปที่ 4.4 สัญญาณความถี่ 350 เฮิรตซ์ ที่ได้จากตัวกำเนิดสัญญาณ โทน 89C51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 สัญญาณความถี่ 450 เฮิรตซ์ที่ได้จากตัวกำเนิดสัญญาณโทน 89C51

4.1.4 ผลการทดลองในการตรวจสอบสถานะการวางหู-ยกหู

วิธีการทดลอง

1. ทำการต่อวงจรตรวจสอบไอซี 74LS244 (Latch) และทดสอบกับการ์ดคู่สายภายใน

ผลการทดลอง : กรณีที่ไม่มีเครื่องโทรศัพท์เครื่องใดทำการยกหู ขาเอาต์พุต 74LS244 = 0

กรณีที่มีเครื่องโทรศัพท์เครื่องใดทำการยกหู ขาเอาต์พุต 74LS244 = 1

2. ต่อวงจรคู่สายเข้ากับการ์ดคู่สายภายใน

3. ป้อนสัญญาณควบคุม 74LS244 = 0

ผลการทดลอง : วัตสัญญาณที่ขา 1 และขา 19 ของ 74LS244 = 0

4. แล้วทำการวางหู-ยกหูเครื่องโทรศัพท์

5. ทำตามขั้นตอนการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างที่ 1 ให้เครื่องโทรศัพท์หมายเลข 04 และหมายเลข 01 ทำการยกหู

ตารางที่ 4.3 ผลการทดลองตัวอย่างที่ 1 ในการตรวจสอบการวางหู-ยกหู

	หมายเลขเครื่องโทรศัพท์							
	8	7	6	5	4	3	2	1
สถานะ	วางหู	วางหู	วางหู	วางหู	ยกหู	วางหู	วางหู	ยกหู
เอาต์พุต	0	0	0	0	1	0	0	1

ตัวอย่างที่ 2 ให้เครื่องโทรศัพท์หมายเลข 4-8 ทำการยกหู

ตารางที่ 4.4 ผลการทดลองตัวอย่างที่ 2 ในการตรวจสอบการวางหู-ยกหู

	หมายเลขเครื่องโทรศัพท์							
	8	7	6	5	4	3	2	1
สถานะ	ยกหู	ยกหู	ยกหู	ยกหู	ยกหู	วางหู	วางหู	วางหู
เอาต์พุต	1	1	1	1	1	0	0	0

4.1.5 ผลการทดลองการควบคุมเมตริกซ์สวิตช์

วิธีการทดลองต่อสวิตช์เมตริกซ์ที่ตำแหน่ง X0, Y0

1. ให้สัญญาณสโทรป = 0, สัญญาณควบคุม (CS) = 0, DATA = 0
2. ให้สัญญาณควบคุม (CS) = 1

ผลการทดลอง : วัดค่าความต้านทานระหว่างขา X0 กับ Y0 ได้ = 2 MΩ

3. ส่งค่าแอดเดรส = 0000000 (X0-Y0)

ผลการทดลอง : วัดค่าความต้านทานระหว่างขา X0 กับ Y0 ได้ = 2 MΩ

4. ส่งค่า DATA = 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลอง : วัดค่าความต้านทานระหว่างขา X0 กับ Y0 ได้ = 50 Ω

5. ให้สัญญาณสโตรป = 0

ผลการทดลอง : วัดค่าความต้านทานระหว่างขา X0 กับ Y0 ได้ = 50 Ω

6. ให้สัญญาณควบคุม = 0

ผลการทดลอง : วัดค่าความต้านทานระหว่างขา X0 กับ Y0 ได้ = 50 Ω

วิธีการทดลองตัดสวิทช์เมตริกซ์ที่ตำแหน่ง X0,Y0

1. ให้สัญญาณควบคุม (CS) = 1

ผลการทดลอง : วัดค่าความต้านทานระหว่างขา X0 กับ Y0 ได้ = 50 Ω

2. ส่งค่าแอดเดรส = 0000000 (X0-Y0)

ผลการทดลอง : วัดค่าความต้านทานระหว่างขา X0 กับ Y0 ได้ = 50 Ω

3. ส่งค่าDATA = 0

ผลการทดลอง : วัดค่าความต้านทานระหว่างขา X0 กับ Y0 ได้ = 2 M Ω

4. ให้สัญญาณสโตรป = 0

ผลการทดลอง : วัดค่าความต้านทานระหว่างขา X0 กับ Y0 ได้ = 2 M Ω

5. ให้สัญญาณควบคุม = 0

ผลการทดลอง : วัดค่าความต้านทานระหว่างขา X0 กับ Y0 ได้ = 2 M Ω

4.1.6 ผลการทดลองต่อสัญญาณโทนเข้ากับเครื่องรับโทรศัพท์

วิธีการทดลอง

1. สั่งงานให้ไมโครริชต์สวิทช์ตัดต่อสัญญาณ โทนเข้ากับเครื่องโทรศัพท์หมายเลข 01

ผลการทดลอง : ได้ยินสัญญาณ โทนจากหูฟังของเครื่องโทรศัพท์

2. วัดสัญญาณ โทนที่จุดต่อของเมตริกซ์สวิทช์

ผลการทดลอง : มีสัญญาณ โทนปรากฏอยู่ที่จุดต่อของเมตริกซ์สวิทช์

4.1.7 กรณีที่เครื่องโทรศัพท์ต้องการติดต่อภายในด้วยตนเอง

วิธีการทดลองเครื่องโทรศัพท์หมายเลข 01 ต้องการติดต่อกับเครื่องโทรศัพท์หมายเลข 25

1. เครื่องโทรศัพท์หมายเลข 01 ทำการยกหู

ผลการทดลอง : เครื่องโทรศัพท์หมายเลข 01 ได้รับสัญญาณให้หมุน

2. ทำการกดเลขหมาย 25

ผลการทดลอง : ซีพียูได้รับเลขหมาย 25 แล้วต่อสัญญาณเรียกกลับให้เครื่องหมายเลข 01 เครื่องหมายเลข 25 ได้รับสัญญาณเรียก

3. เครื่องโทรศัพท์หมายเลข 25 ทำการยกหู

ผลการทดลอง : ซีพียูทำการตัดสัญญาณเรียกและสัญญาณเรียกกลับ จากนั้นเครื่องที่ 01 และเครื่องที่ 25 สามารถสนทนากันได้

4. เมื่อเครื่องหมายเลข 25 ทำการวางหู

ผลการทดลอง : เครื่องหมายเลข 01 ได้รับสัญญาณไม่ว่าง สิ้นสุดการสนทนา

4.1.8 กรณีเครื่องโทรศัพท์ที่คู่สายภายในต้องการติดต่อกับคู่สายภายนอก

วิธีการทดลองเครื่องโทรศัพท์หมายเลข 01 ติดต่อกับคู่สายภายนอก

1. เมื่อเครื่องหมายเลข 01 ทำการกดหมายเลข 9

ผลการทดลอง : ได้รับสัญญาณให้หมุนจากองค์การ โทรศัพท์

2. ทำการกดหมายเลขที่ต้องการติดต่อ

ผลการทดลอง : สามารถทำการติดต่อกับคู่สายภายนอกได้ เช่นเดียวกับโทรศัพท์ทั่วไป

4.1.9 กรณีเครื่องโทรศัพท์ที่คู่สายภายนอกต้องการติดต่อกับคู่สายภายใน

วิธีการทดลอง

1. เมื่อมีคู่สายภายนอกต้องการติดต่อกับคู่สายภายใน

ผลการทดลอง : คู่สายภายนอกจะได้รับเสียงสัญญาณตอบรับอัตโนมัติ

2. ทำการกดเลขหมายภายในที่ต้องการจะติดต่อ

ผลการทดลอง : ถ้าคู่สายภายในว่างจะได้รับสัญญาณเรียกกลับ แต่ถ้าคู่สายภายในไม่ว่างจะได้รับสัญญาณไม่ว่าง

3. เมื่อคู่สายภายในทำการยกหู

ผลการทดลอง : สามารถทำการสนทนากันได้ตามปกติ

4.1.10 กรณีเกิดไฟฟ้าขัดข้อง

วิธีการทดลอง

1. ทำการปิดสวิตช์เครื่องและยกหูโทรศัพท์หมายเลข 01

ผลการทดลอง : ได้รับสัญญาณให้หมุนจากองค์การโทรศัพท์

2. ทำการกดหมายเลขที่ต้องการติดต่อ

ผลการทดลอง : สามารถติดต่อและสนทนากันได้ตามปกติ

3. เมื่อคู่สายภายนอกติดต่อเข้ามา

ผลการทดลอง : สามารถทำการสนทนาได้ตามปกติ



บทที่ 5

บทสรุป ปัญหา แนวทางแก้ไข และการพัฒนา

5.1 บทสรุป

ปริญญานิพนธ์นี้ได้จัดทำขึ้น เพื่อศึกษาการทำงานของชุมสายโทรศัพท์สาขาอัตโนมัติ และเป็นการพัฒนาต่อจากรุ่นที่ ซึ่งในปัจจุบันโทรศัพท์เป็นการสื่อสารที่นิยมและแพร่มากที่สุด และมีความสำคัญมากในการทำงานติดต่อหรือติดต่อสื่อสารกัน ดังนั้นทางกลุ่มผู้จัดทำจึงได้ทำการออกแบบชุมสายเป็นแบบโมดูลที่มีลักษณะคล้ายคลึงกับชุมสายโทรศัพท์ที่ใช้กันอยู่ในปัจจุบัน และเพื่อความสะดวกรวดเร็วในการติดตั้ง และเพิ่มเติมได้ง่าย โดยมีขีดความสามารถติดต่อกุ้สายภายนอกได้ 4 กุ้สาย และมีกุ้สายภายในถึง 32 กุ้สาย

เครื่องชุมสายสาขาอัตโนมัติ นี้ ได้ทำการออกแบบ เป็นการ์ดต่างๆ ดังนี้

1. การ์ดกุ้สายภายในหมายเลข1 (Internal Line Card : ILC) มีกุ้สายภายใน 8 กุ้สาย.
2. การ์ดกุ้สายภายในหมายเลข2 (Internal Line Card : ILC) มีกุ้สายภายใน 8 กุ้สาย
3. การ์ดกุ้สายภายในหมายเลข3 (Internal Line Card : ILC) มีกุ้สายภายใน 8 กุ้สาย
4. การ์ดกุ้สายภายในหมายเลข4 (Internal Line Card : ILC) มีกุ้สายภายใน 8 กุ้สาย
5. การ์ดโทนและดีทีเอ็มเอฟ ทำหน้าที่ผลิตสัญญาณโทนชนิดต่างๆ และรับค่า

ดีทีเอ็มเอฟ โดยใช้ไมโครคอนโทรลเลอร์เบอร์ 89C51 เป็นตัวควบคุมการทำงาน

6. การ์ดกุ้สายภายนอก มีกุ้สายภายนอก 4 กุ้สาย
7. เมนบอร์ด (Main board) สำหรับเสียบการ์ดต่างๆ

การ์ดทั้งหมดจะถูกควบคุม โดยบอร์ดไมโครคอนโทรลเลอร์ ANT-3172 และใช้ไมโครคอนโทรลเลอร์เบอร์ 89C51 เป็นตัวประมวลผลกลาง (CPU) แต่เนื่องจากว่าทางผู้จัดทำปริญญานิพนธ์ประสบกับปัญหาในการทำงานอย่างมาก ทั้งทางด้านกรออกแบบและทดลองฮาร์ดแวร์ ซอร์ฟแวร์ ตลอดจนกำลังคนในการดำเนินงาน ดังนั้นจึงทำให้ปริญญานิพนธ์นี้ไม่ประสบความสำเร็จดังเป้าหมายที่ได้ตั้งไว้ เมื่อนำผลงานที่ได้มาทำการเปรียบเทียบกับเป้าหมายที่ได้ตั้งไว้ ก็ถือว่าประสบความสำเร็จในระดับหนึ่ง คือ ได้วงจรที่มีขนาดเล็กสามารถพัฒนา ทำความเข้าใจได้ง่าย และมีสะดวกในการเคลื่อนย้าย ติดตั้ง และสามารถใช้เป็น

แนวทางในการพัฒนาในขั้นต่อไปได้ดีเพราะมีลักษณะเป็นโมดูลคล้ายกับเครื่องชุมสายโทรศัพท์ที่ใช้กันอยู่ในปัจจุบัน

5.2 ปัญหา และแนวทางแก้ไข

ปัญหาต่างๆ ที่เกิดขึ้นในการทำปริญาณิพนธ์

1. การลงอุปกรณ์ ขาของอุปกรณ์บางตัวไม่สามารถลงบนแผ่นวงจรพิมพ์ภาคคู่สายภายในได้
2. การออกแบบลายวงจรพิมพ์ ทำได้ค่อนข้างยาก เพราะว่าวงจรมีหลายชุดและซับซ้อน มีขนาดใหญ่จึงทำให้แผ่นขนาดของวงจรพิมพ์ยากแก่การออกแบบลายวงจร
3. เกิดการรบกวนระหว่างสัญญาณโทน
4. เกิดสัญญาณรบกวนข้ามช่อง (Cross Talk) ที่ชุดของวงจรเมตริกซ์สวิตช์ ซึ่งมีผลทำให้เกิดสัญญาณเสียงรบกวนข้ามช่อง
5. สัญญาณทั้ง 4 สัญญาณได้แก่ สัญญาณ สายไม่ว่าง สัญญาณให้หมุน สัญญาณเรียกกลับ และสัญญาณกระดิ่ง มีเสียงเบามาก
6. แผ่นวงจรพิมพ์ที่ใช้ไม่มีความแน่นอนในการทำงานเนื่องมาจากการกัดลายวงจรพิมพ์ เช่น ลายวงจรพิมพ์ขาดใน เป็นต้น
7. ไม่สามารถทำการตรวจสอบสัญญาณ การยกหู(Off hook) ได้ถูกต้อง
8. เมื่อทำการลงอุปกรณ์แล้ว ไม่สามารถควบคุมเมตริกซ์สวิตช์ ให้ทำงานตามที่ต้องการได้
9. ขาในการควบคุมการทำงานของเมตริกซ์สวิตช์ มีแรงดันไฟฟ้าต่ำ
- 10 ไม่สามารถทำการเลือกการ์ดคู่สายภายในได้ถูกต้อง
11. แรงดันที่ออกจากเมตริกซ์สวิตช์ มีแรงดันไม่สม่ำเสมอ ไม่สามารถตรวจสอบระดับแรงดันว่าเป็น 1 หรือ 0
12. โปรแกรมในการกำเนิดสัญญาณโทนและรับค่าดีทีเอ็มเอฟ เกิดความผิดพลาด
13. เกิดความผิดพลาดในการรับส่งข้อมูลที่เป็นเลขหมายระหว่างหน่วยประมวลผลกับตัวไมโครคอนโทรลเลอร์ที่ใช้ส่งข้อมูลเลขหมาย
14. ไม่สามารถทำการต่อสัญญาณเสียงแมวกรน (Dial tone) ได้ (เมตริกซ์สวิตช์ของการ์ดโทนไม่ต่อกับเมตริกซ์สวิตช์ของการ์ดคู่สายภายในได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

15. เมื่อทำการประกอบการ์ดต่างๆ ลงบนเมนบอร์ดแล้ว ไม่สามารถทำงานได้
16. การควบคุมในการเลือกการทำงานของเมตริกซ์สวิตช์เกิดการผิดพลาดเป็นบางครั้ง
17. ซอร์ฟแวร์มีขนาดใหญ่และเนื่องจากการทำงานของซีพียู ที่จะต้องทำการตรวจเช็คสถานะการทำงานของเครื่องตลอดเวลาที่มีการใช้งาน จึงมีผลทำให้เกิดการผิดพลาดได้ง่าย

การแก้ไขปัญหาที่เกิดขึ้น

ทำการแก้ไขแผ่นวงจรพิมพ์ โดยได้ทำการออกแบบแผ่นวงจรพิมพ์ใหม่ให้มีขนาดเล็กกว่าเดิม และเพิ่มหม้อแปลงลงบนแผ่นวงจรพิมพ์ใหม่

1. ต้องศึกษาการทำงานของวงจรถูกต่างๆ ให้เข้าใจ แล้วทำการออกแบบวงจรใหม่เพื่อให้มีขนาดเล็กลง ซึ่งจะช่วยให้ง่ายแก่การออกแบบลายวงจร
2. ทำการต่อคาปาซิเตอร์ ครอบระหว่าง ขา Vcc กับขา Gnd ของไอซีดิจิตอลทุกตัว
3. ต้องทำการเคลียร์เมตริกซ์สวิตช์ ทุกครั้งทุกสถานะที่มีการใช้งาน โดยในส่วนนี้จะใช้โปรแกรมในการทำงาน
4. ต้องทำการแยกกราวด์ คือ กราวด์ของสัญญาณแอนะล็อกกับสัญญาณดิจิตอลจะต้องแยกจากกันโดยเด็ดขาด ซึ่งจะมีผลทำให้สัญญาณต่างๆ มีเสียงดังเพิ่มมากขึ้น
5. แก้ไขโดยการตรวจเช็คแผ่นวงจรพิมพ์ และลายวงจรก่อนลงอุปกรณ์ทุกครั้ง
6. ตรวจสอบไอซีเบอร์ 74LS244
7. ตรวจสอบสถานะการทำงานของเมตริกซ์สวิตช์ โดยตรวจสอบจากลักษณะการทำงานในคู่มือการใช้งาน (Data sheet)
8. ตรวจสอบวัดแรงดัน จากจุดต่อที่ 8255 ปรากฏว่า 8255 จ่ายแรงดันไฟต่ำ จึงได้ทำการเปลี่ยน 8255 ตัวใหม่ลงไปแทน
9. ตรวจสอบวงจรในการถอดรหัสควบคุม (Decoder) 74LS138, 74LS04, 74LS08
10. ทำการต่อความต้านทาน แบบพูลอัพ
11. ทำการเขียนโปรแกรมควบคุมการทำงานใหม่
12. ทำการออกแบบให้มีการลิงค์ (Link) กันระหว่างหน่วยประมวลผลกลางกับตัวส่งข้อมูลเลขหมาย
13. ตรวจสอบเมตริกซ์สวิตช์ของการ์ดโทน
14. ตรวจสอบลายวงจรพิมพ์ของเมนบอร์ด เกิดความผิดพลาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

15. ตรวจสอบหน่วยประมวลผลที่ทำหน้าที่ควบคุม ปรากฏว่าหน่วยประมวลผลกลาง (89C51 บนบอร์ดไมโครคอนโทรลเลอร์ ANT-3172) ส่งข้อมูลหายไป 1 บิต

16. แก้ไขโดยใช้เทคนิคการเขียนโปรแกรม เพื่อให้มีความกระชับหรือให้สั้นลง แต่ต้องใช้เวลาในการศึกษาค้นคว้าพอสมควร

5.3 แนวทางการพัฒนา

1. เพิ่มเติมฟังก์ชันในการทำงานต่างๆ ให้มีความสามารถเทียบเท่าชุดสายที่ใช้อยู่ในปัจจุบัน

2. ออกแบบวงจรภาคคู่สายภายใน ให้มีขนาดเล็ก เปลี่ยนจากหม้อแปลง 600 โอห์ม เป็นบัลเบออร์

3. ศึกษาเกี่ยวกับระบบสวิตซ์ซึ่งเป็นดิจิทัล

4. พัฒนาให้เป็นชุดสายระบบดิจิทัล

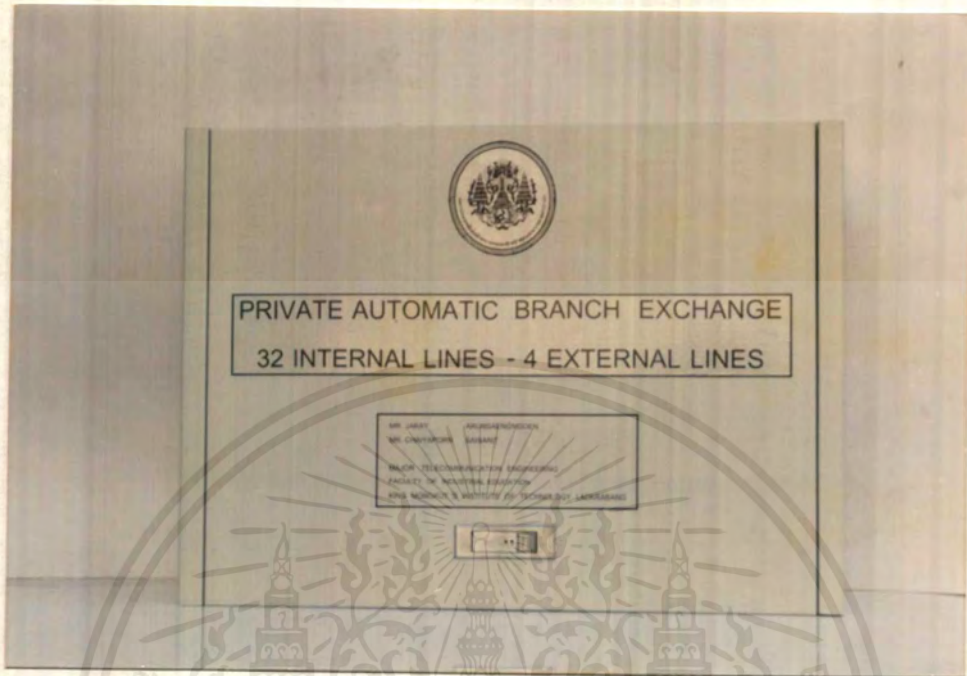
5. สามารถบอกเลขหมายของผู้เรียกได้

6. สามารถเพิ่มเติมคู่สายได้

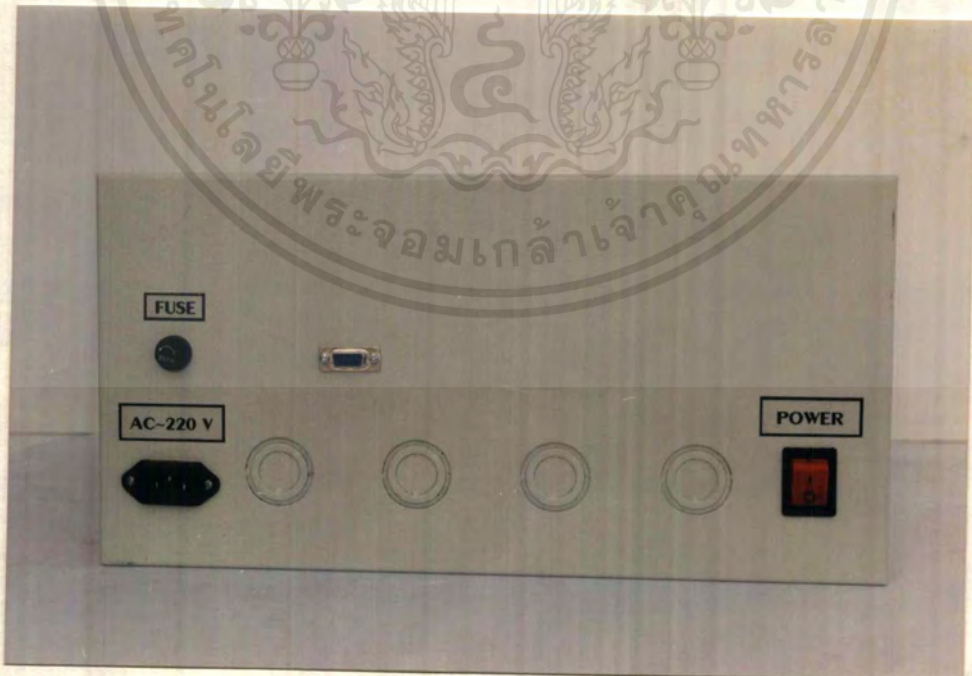


ภาคผนวก ก
รูปต้นแบบของเครื่องชุมสายโทรศัพท์สาขาอัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

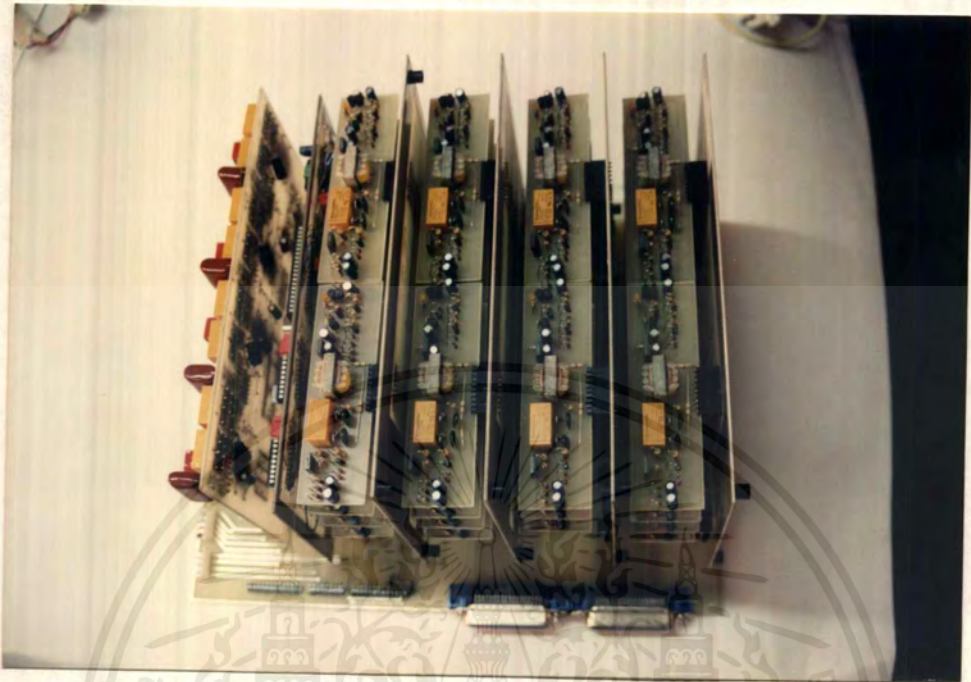


รูปที่ ก.1 เครื่องชุมสายโทรศัพท์สาขาอัตโนมัติ (ด้านหน้า)

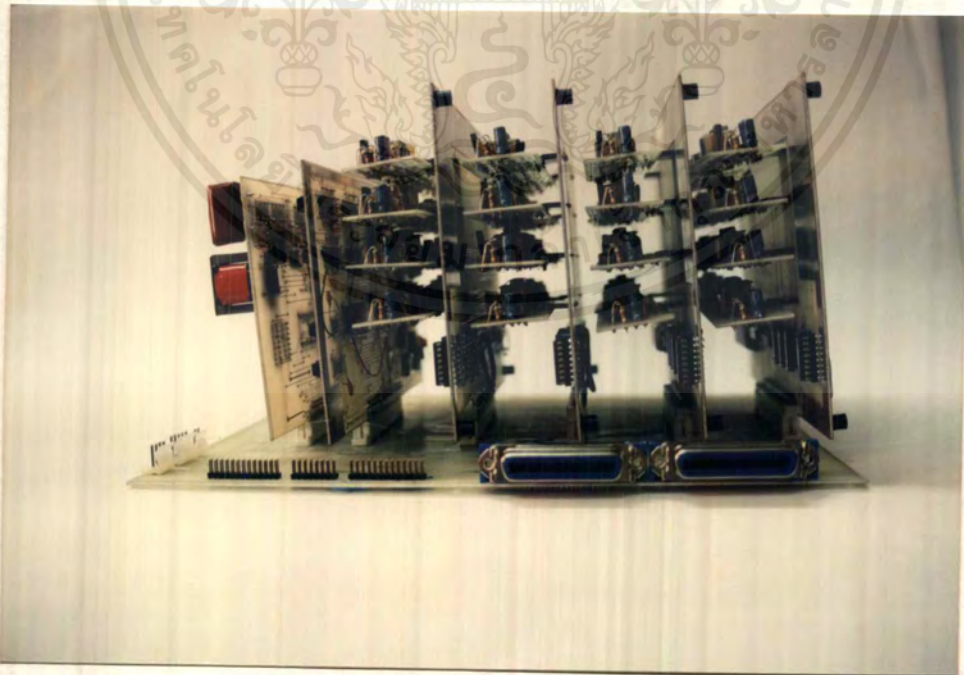


รูปที่ ก.2 เครื่องชุมสายโทรศัพท์สาขาอัตโนมัติ (ด้านหลัง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

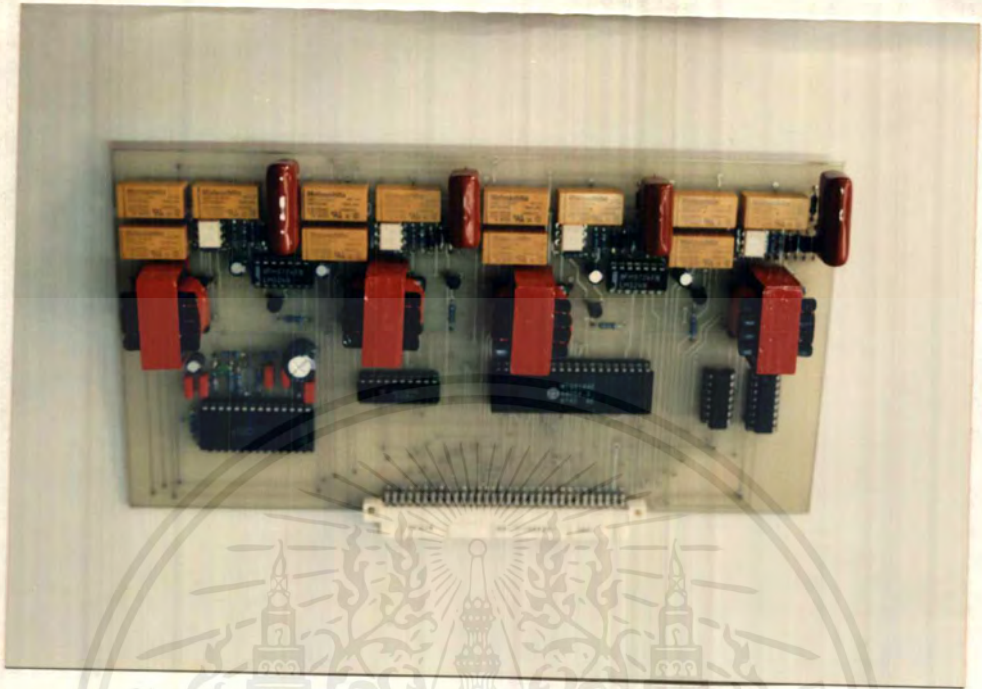


รูปที่ ก.3 วงจรรวมของ เครื่องหุบสายโทรศัพท์สาขาอัตโนมัติ (ด้านบน)

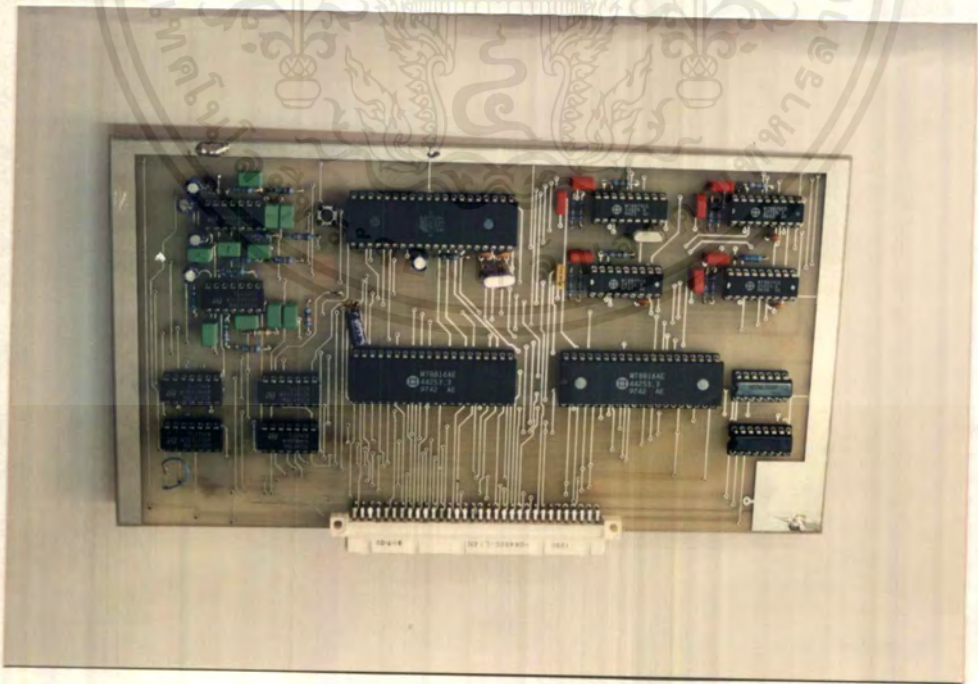


รูปที่ ก.4 วงจรรวมของเครื่องหุบสายโทรศัพท์สาขาอัตโนมัติ (ด้านข้าง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

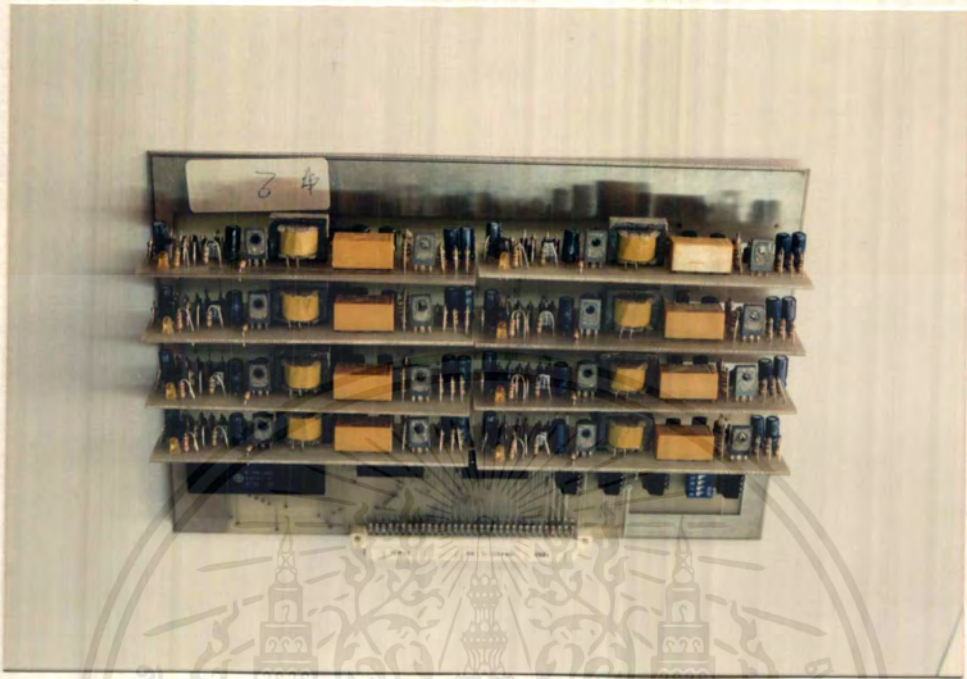


รูปที่ ก.5 วงจรการ์ดคู่สายภายนอก

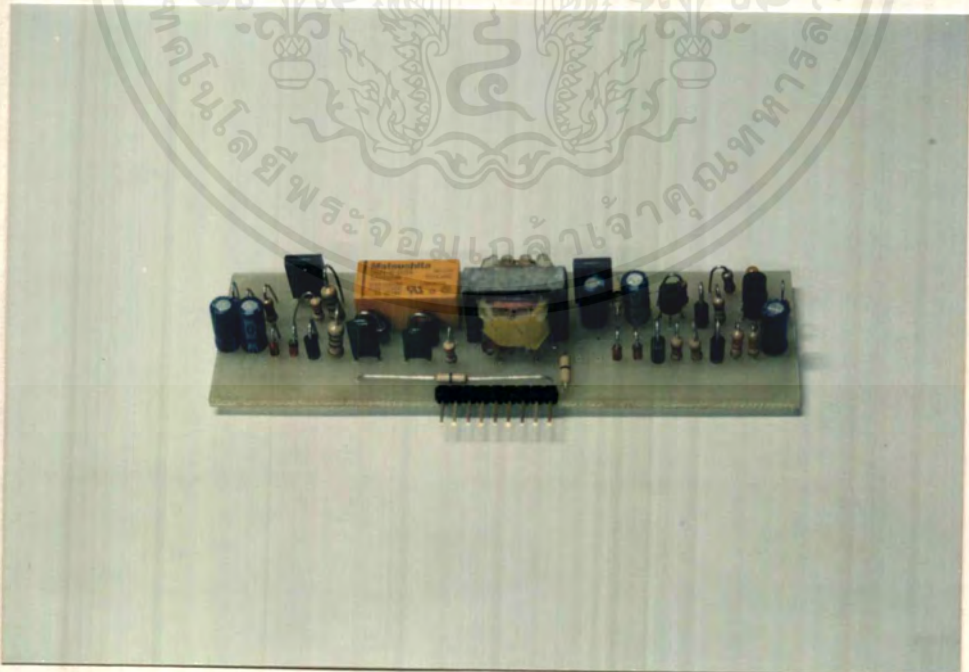


รูปที่ ก.6 วงจรกำเนิดสัญญาณ โทนและรับค่าดีทีเอ็มเอฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ก.7 วงจรการ์ดคู่สายภายใน

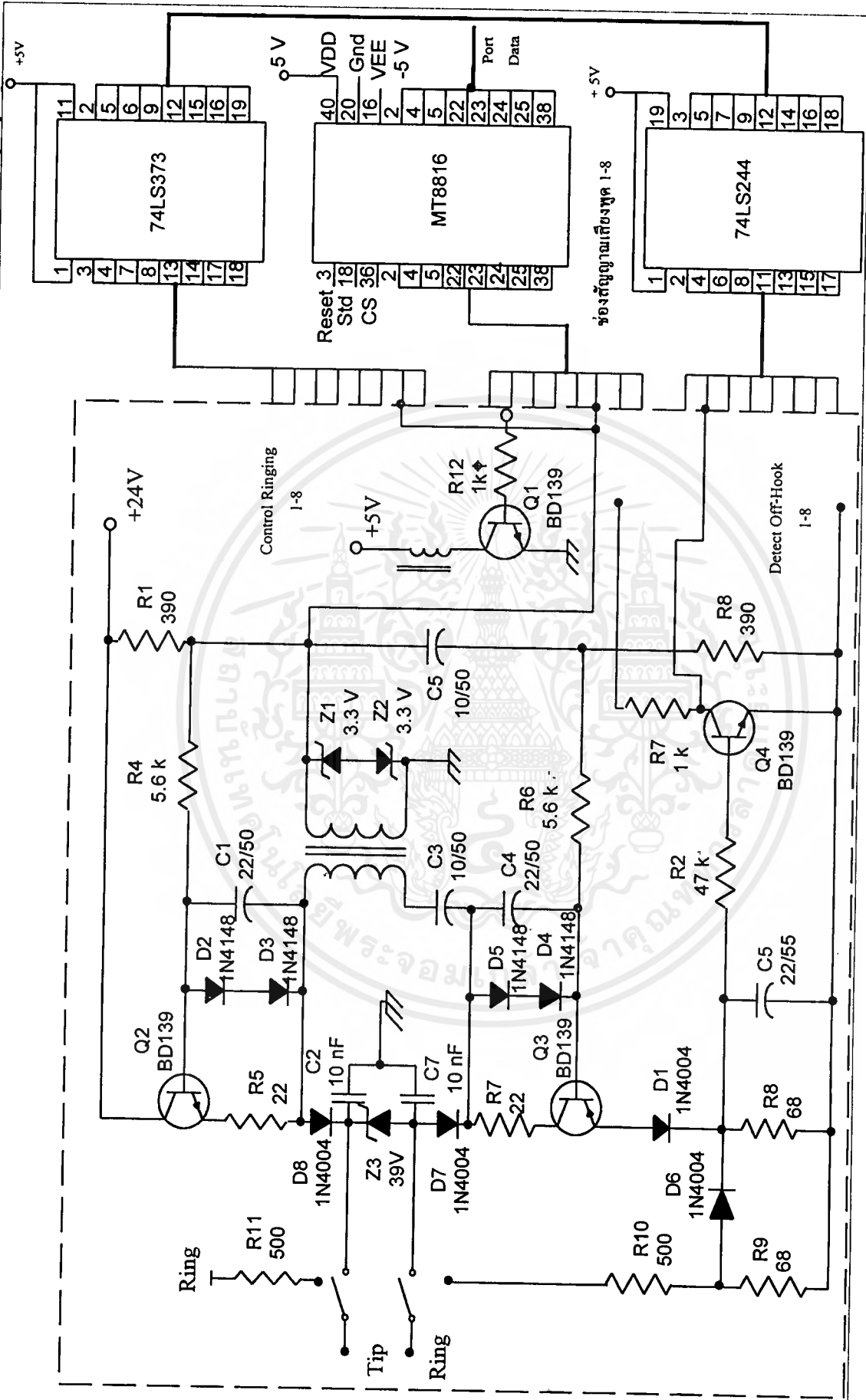


รูปที่ ก.8 วงจรคู่สายภายใน (Line Card)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

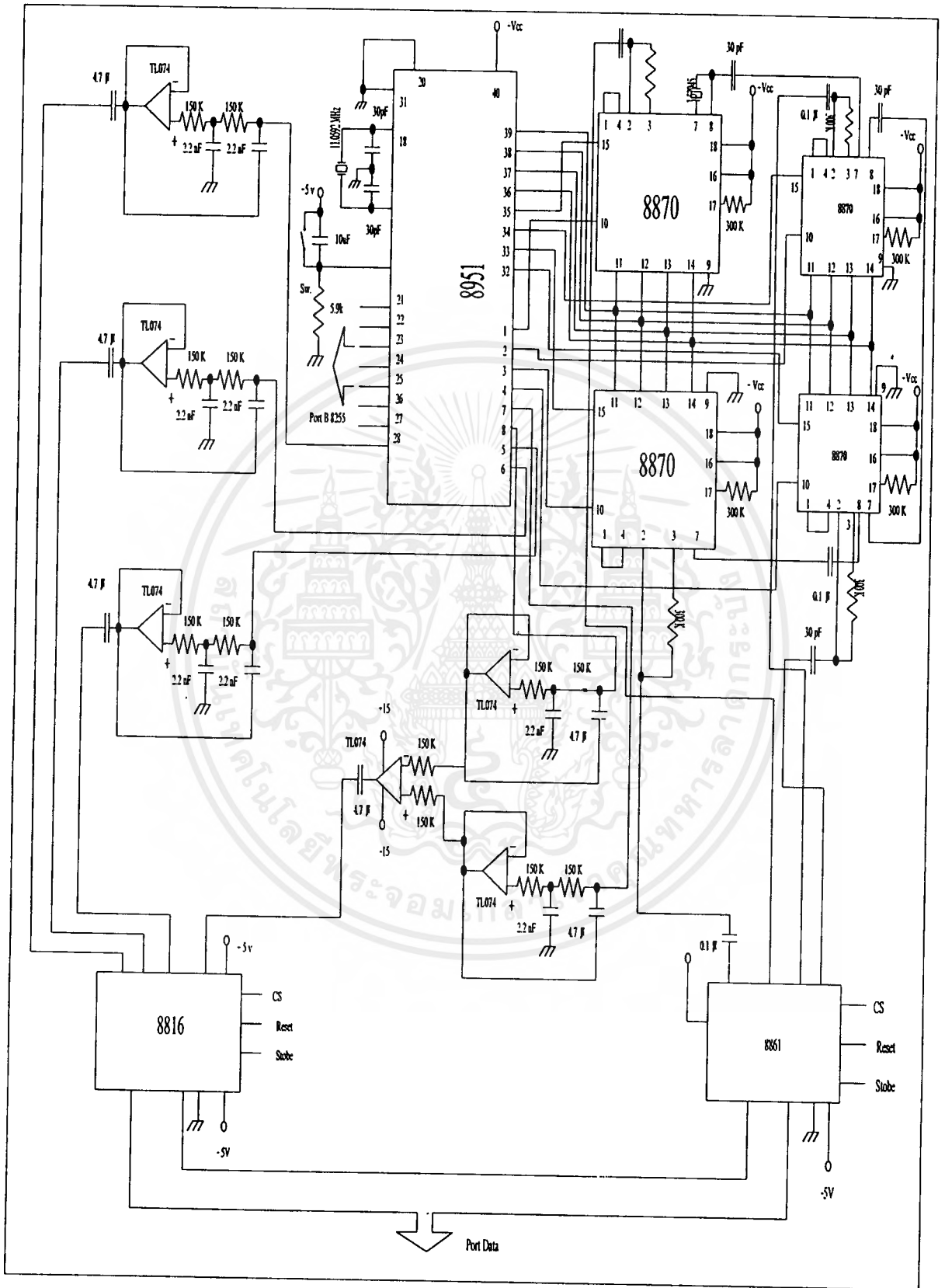


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



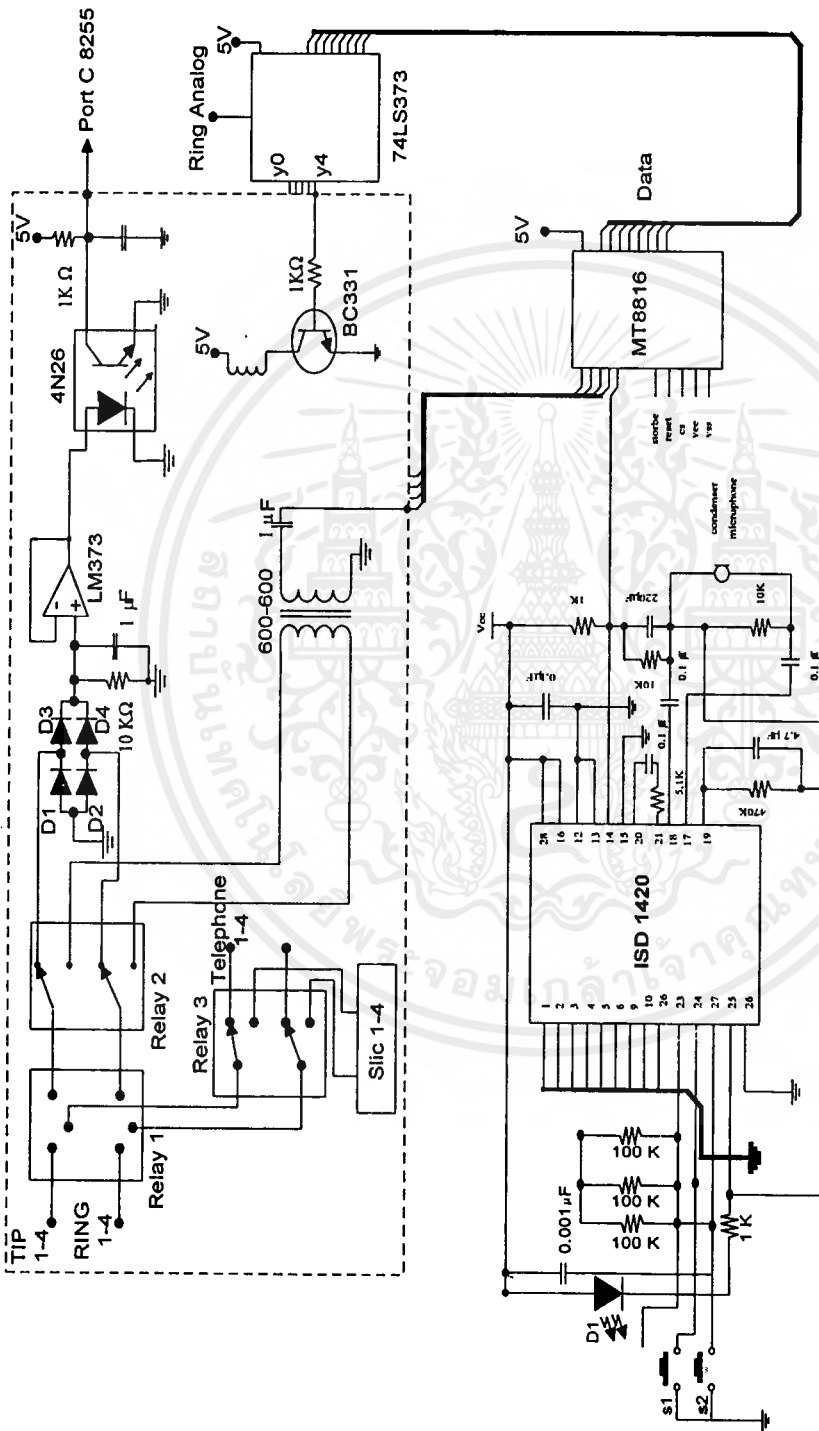
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามเผยแพร่เอกสารฉบับนี้โดยไม่ขออนุญาตจากเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ ข.1 วงจรทั้งหมดของการ์ดสายใน



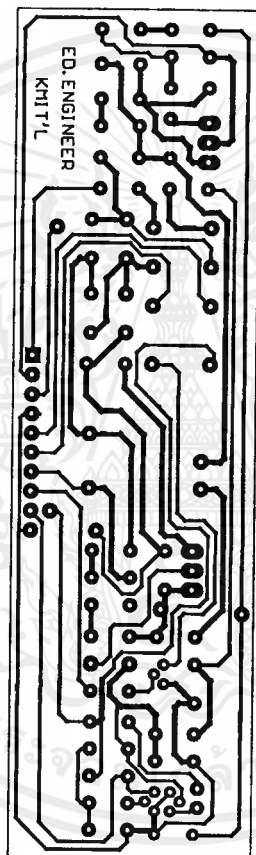
รูปที่ ข.2 วงจรทั้งหมดของการ์ด โทนและตีที่เอ็มเอฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อผู้ผู้ใดเห็นไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



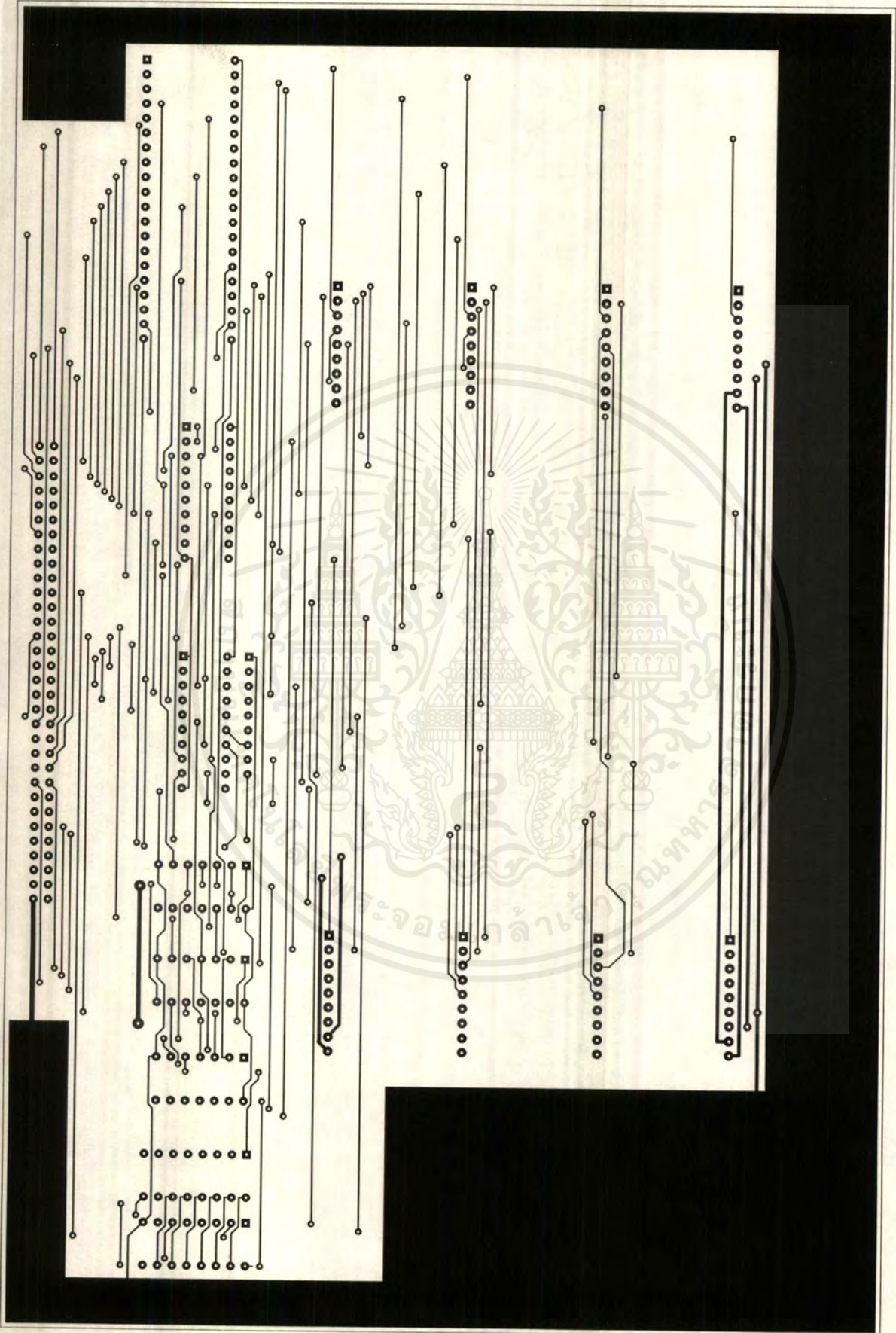
รูปที่ ข.3 วงจรทั้งหมดของการสาขานอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



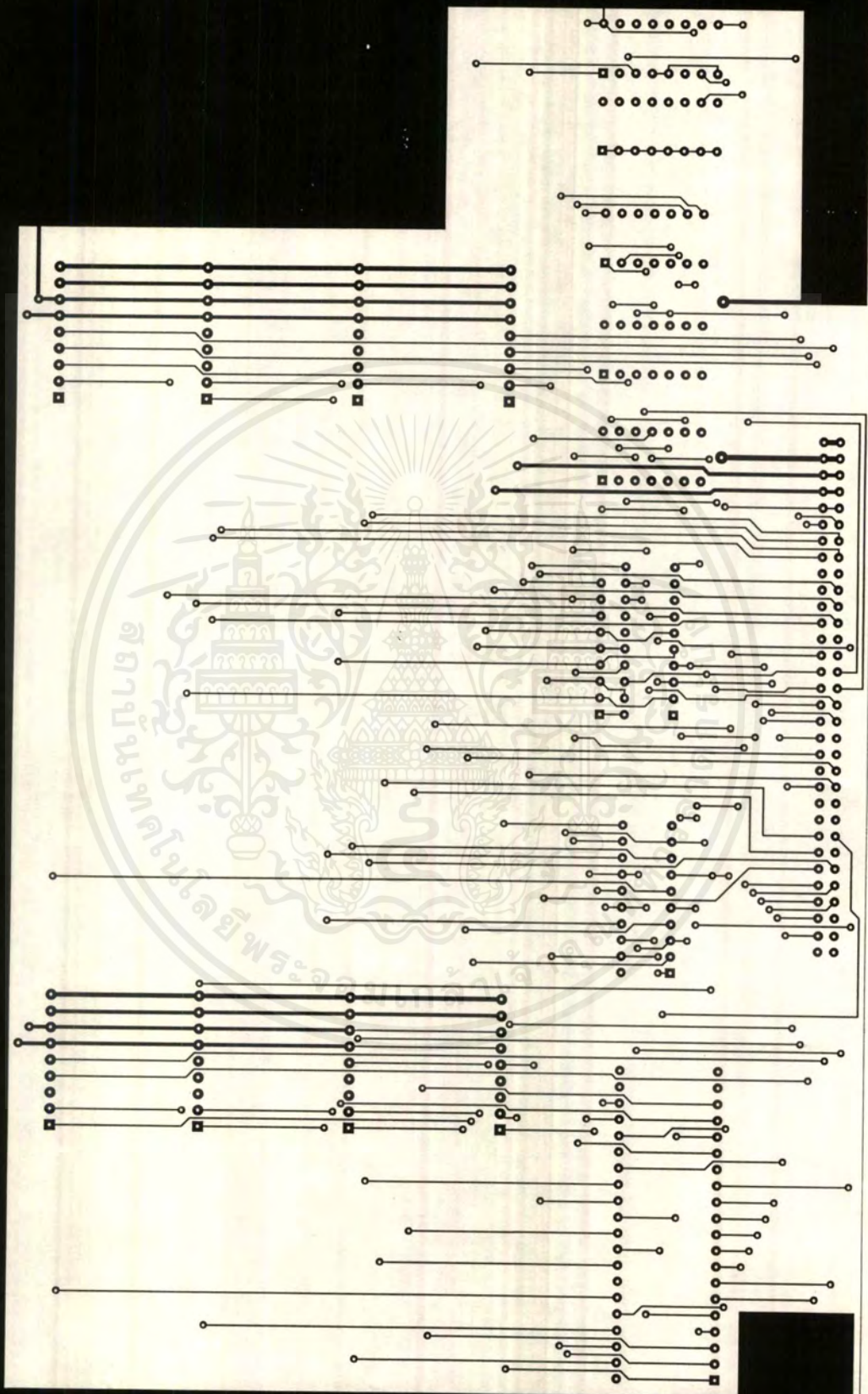
รูปที่ ข.4 แผ่นวงจรพิมพ์ของวงจรคู่สายภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

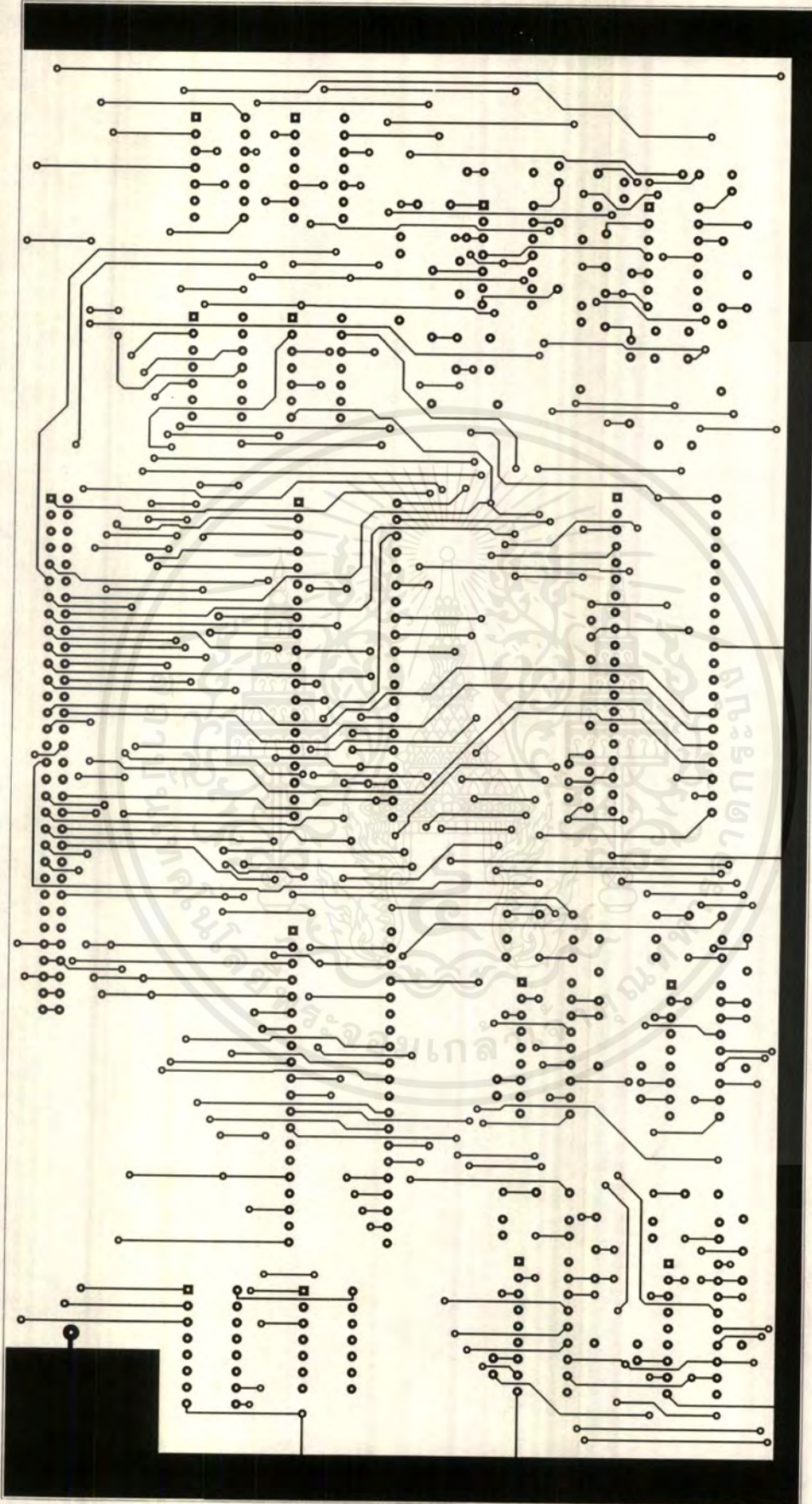


รูปที่ ข.5 แผ่นวงจรพิมพ์ด้านบนของการ์ดสายใน

ใช้ประโยชน์ด้านการค้า
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ประโยชน์ภายใน
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับรูปที่ ๖ แผ่นวงจรพิมพ์ด้านล่างของการ์ดสายในนโยบายด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

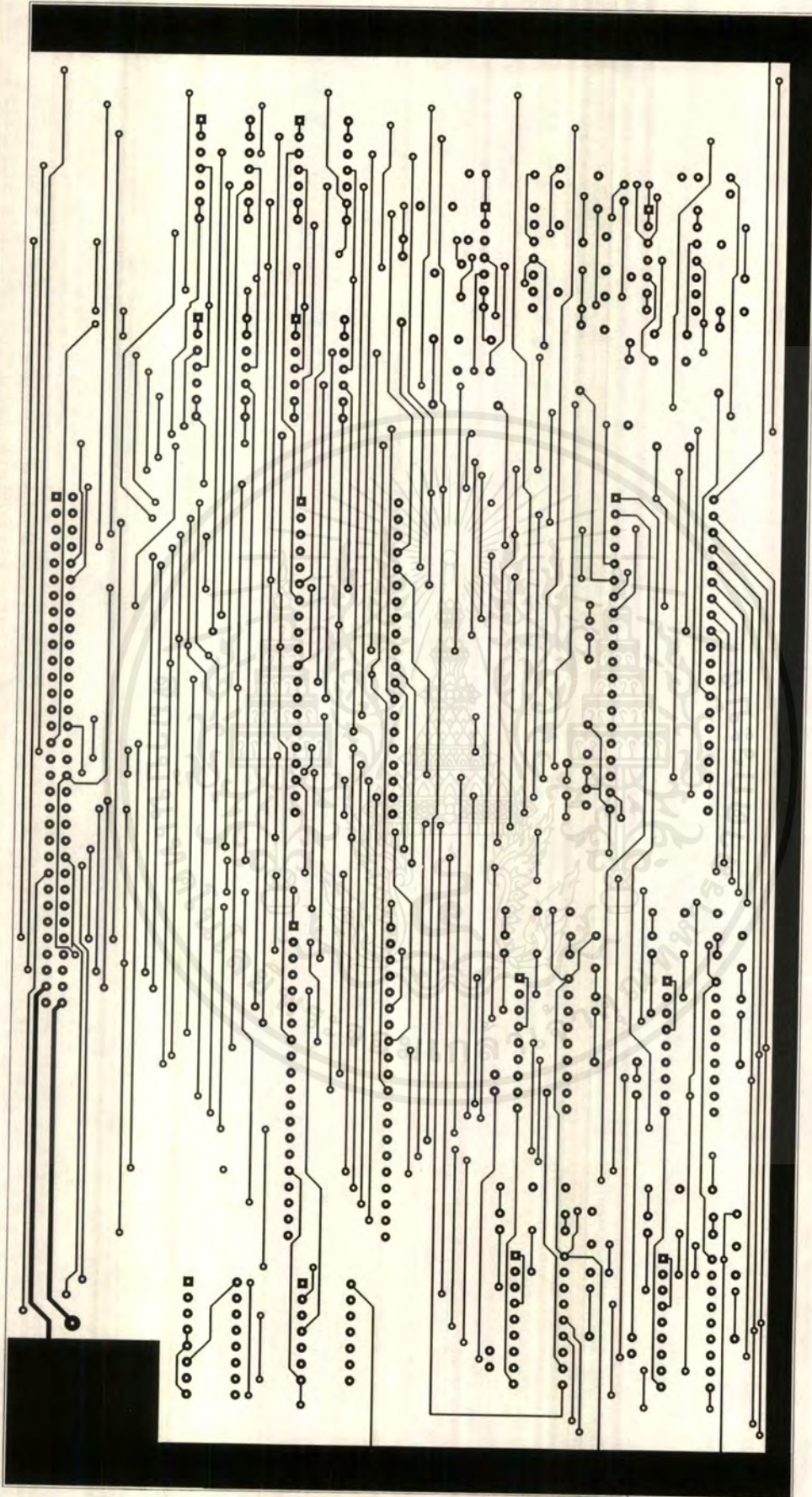


รูปที่ ข.7 แผ่นวงจรพิมพ์ด้านบนของการ์ด โทนและดีทีเอ็มเอฟ

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อใช้ในการเรียนการสอนเท่านั้น การนำเอกสารนี้ไปใช้โดยไม่ได้รับอนุญาตถือว่าผิดกฎหมาย

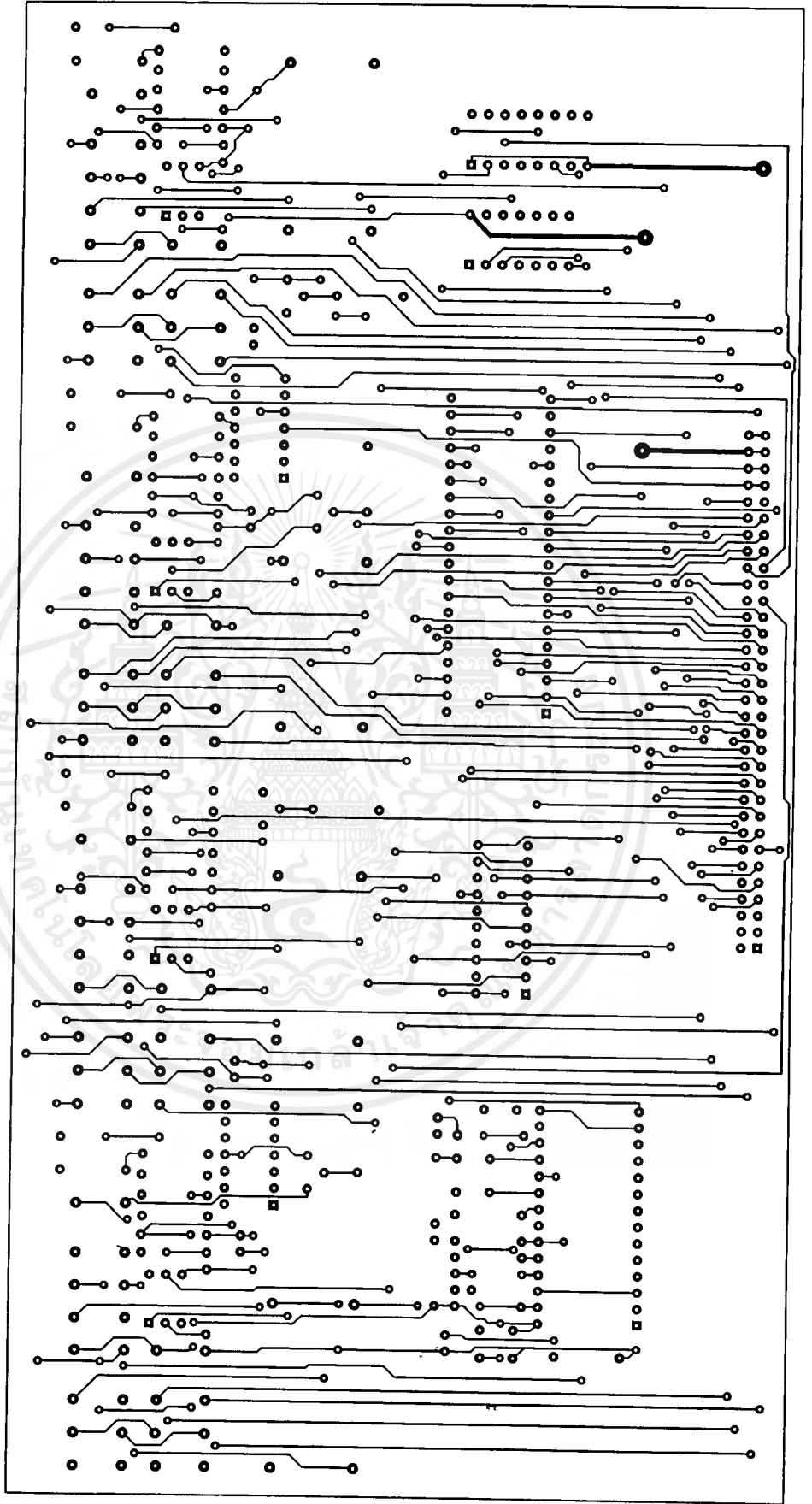
เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อใช้ในการเรียนการสอนเท่านั้น การนำเอกสารนี้ไปใช้โดยไม่ได้รับอนุญาตถือว่าผิดกฎหมาย

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



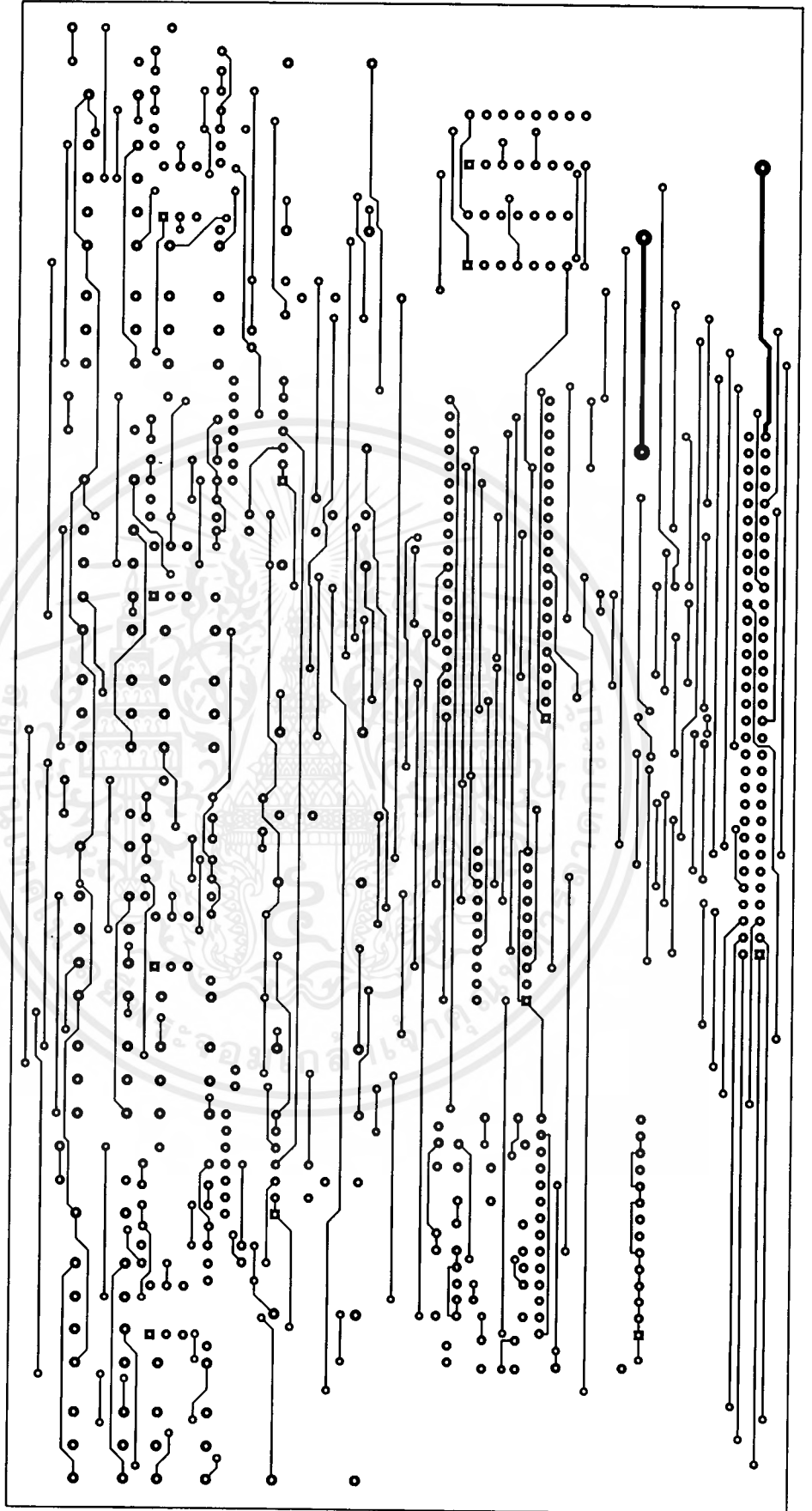
รูปที่ ข.8 แผ่นวงจรพิมพ์ด้านล่างของการ์ดโทนและดีทีเอ็มเอฟ

เอกสารนี้เป็นเอกสารทรัพย์สินทางปัญญาหรือการสงวนลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

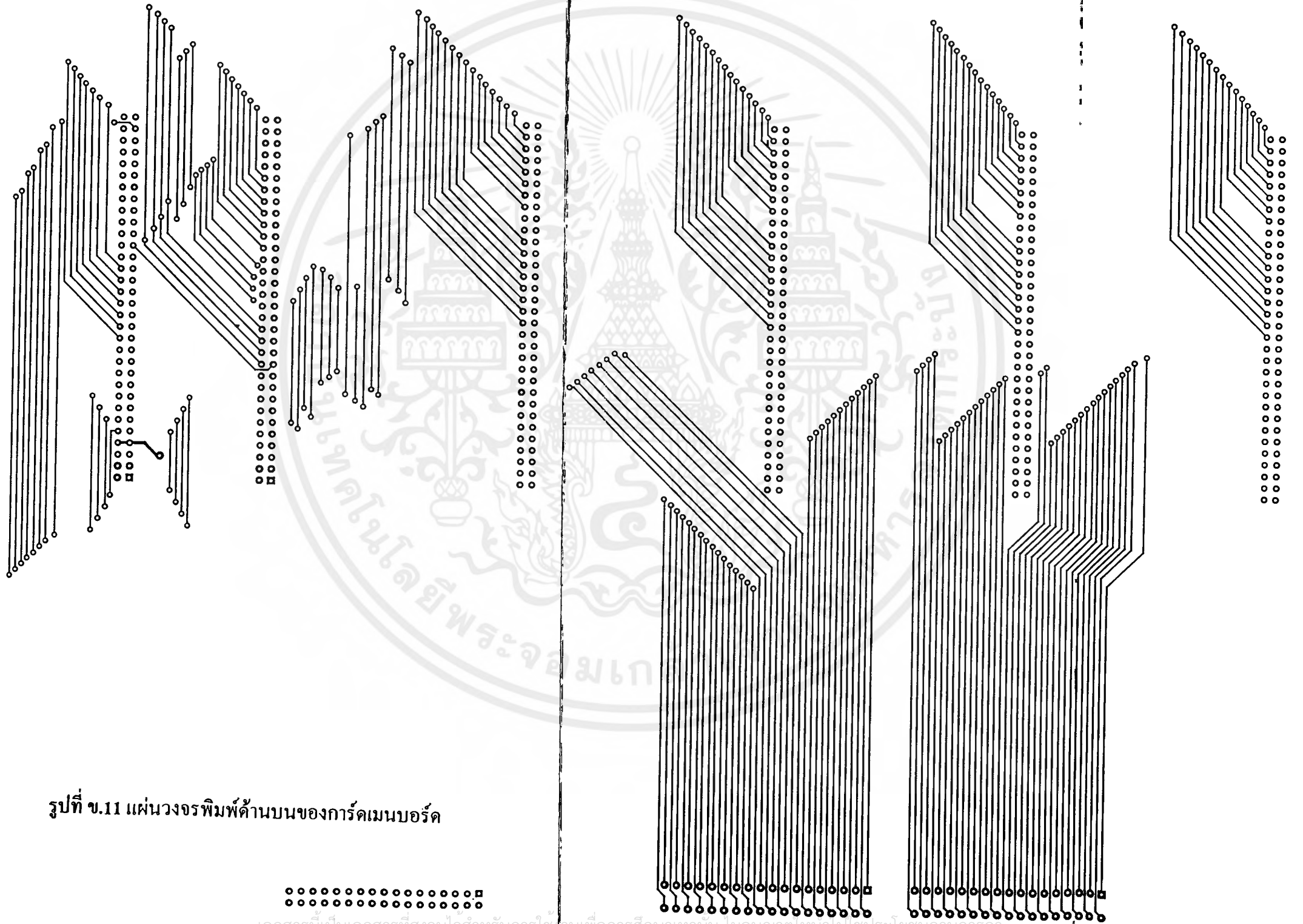
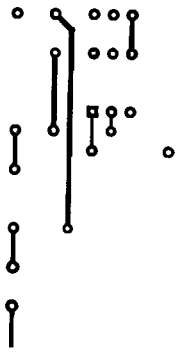


รูปที่ ข.9 แผ่นวงจรพิมพ์ด้านบนของการ์ดสายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่ควรเผยแพร่โดยไม่ได้รับอนุญาตจากศูนย์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ **รูปที่ ข.10** แผ่นวงจรพิมพ์ด้านล่างของการ์ดสายนอก โยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

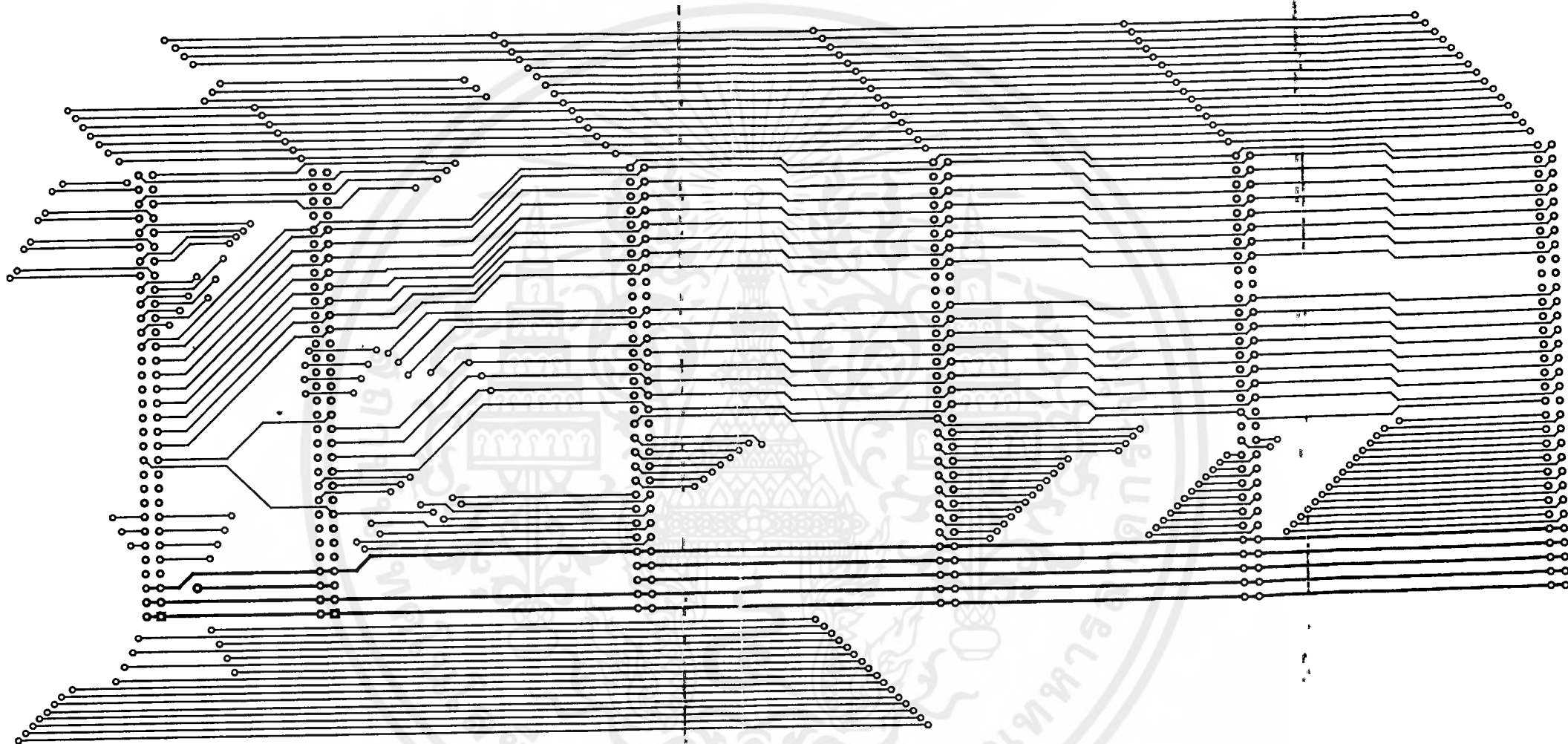
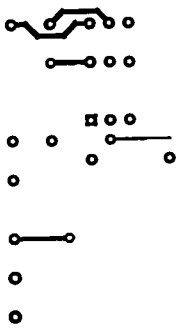


รูปที่ ข.11 แผ่นวงจรพิมพ์ด้านบนของการ์ดเมนบอร์ด

○○○○○○○○○○○○○○○○○○○○
 ○○○○○○○○○○○○○○○○○○○○○
 ○○○○○○○○○○○○○○○○○○○○○

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ข.12 แผงวงจรพิมพ์ด้านล่างของการ์ดเมนบอร์ด



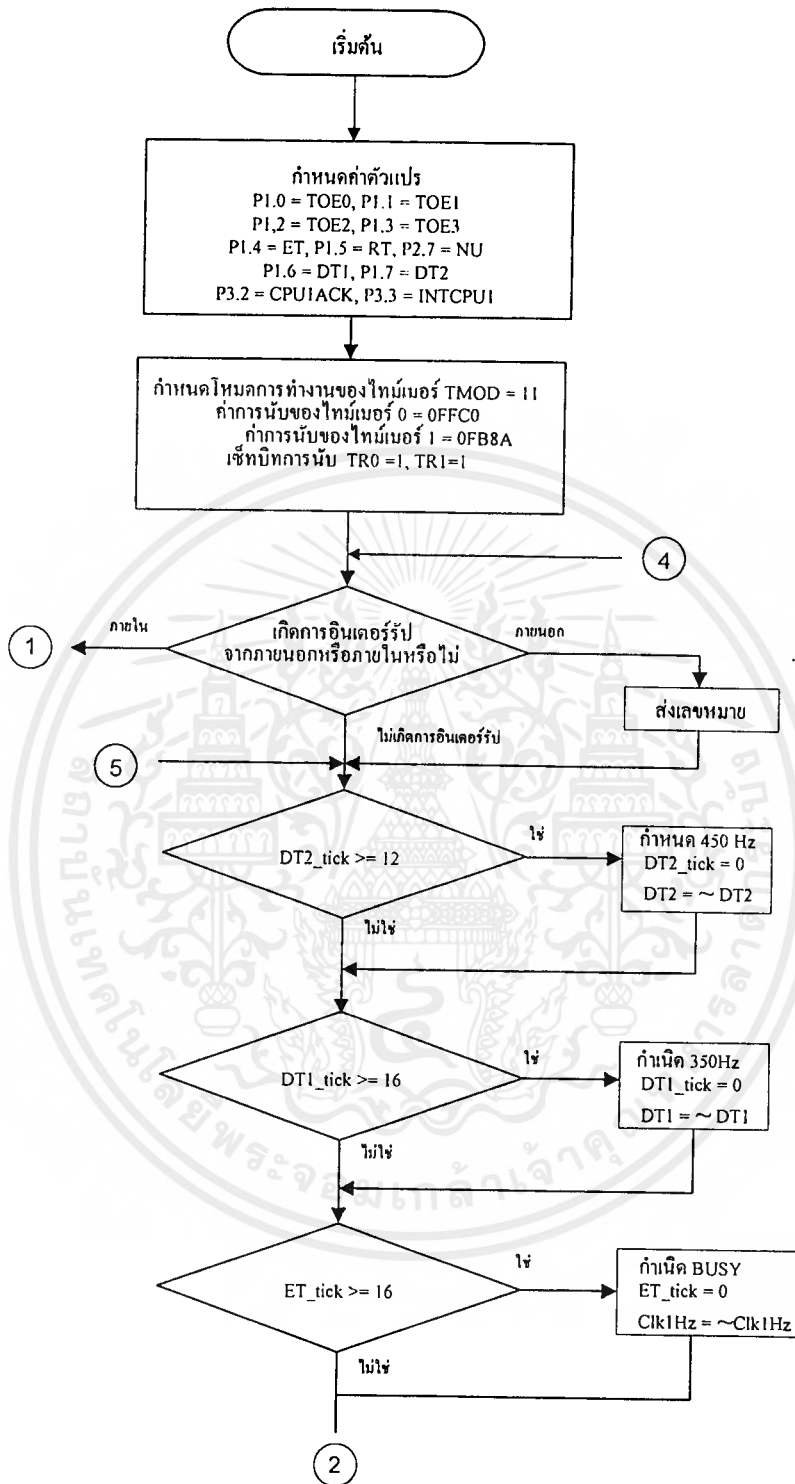
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค

ผังการทำงาน โปรแกรมของเครื่องชุมสายโทรศัพท์สาขาอัตโนมัติ

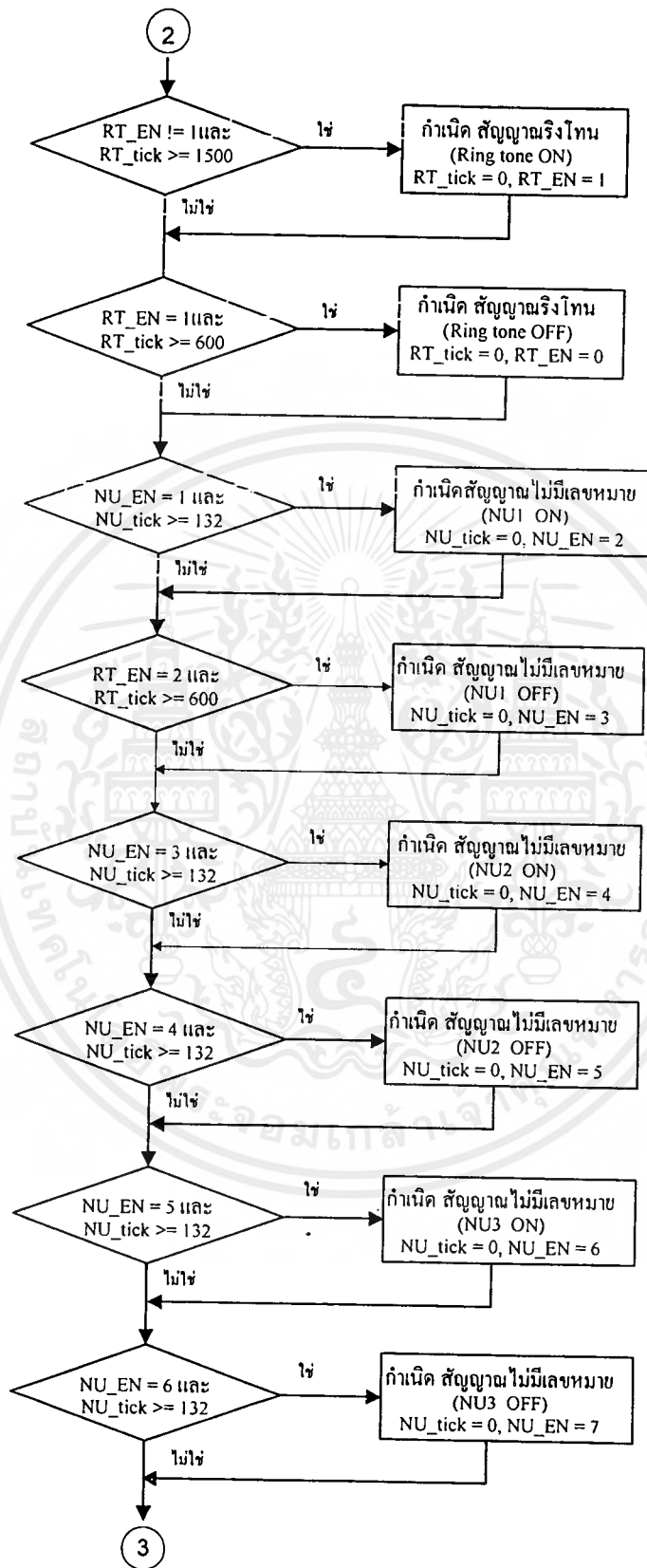


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



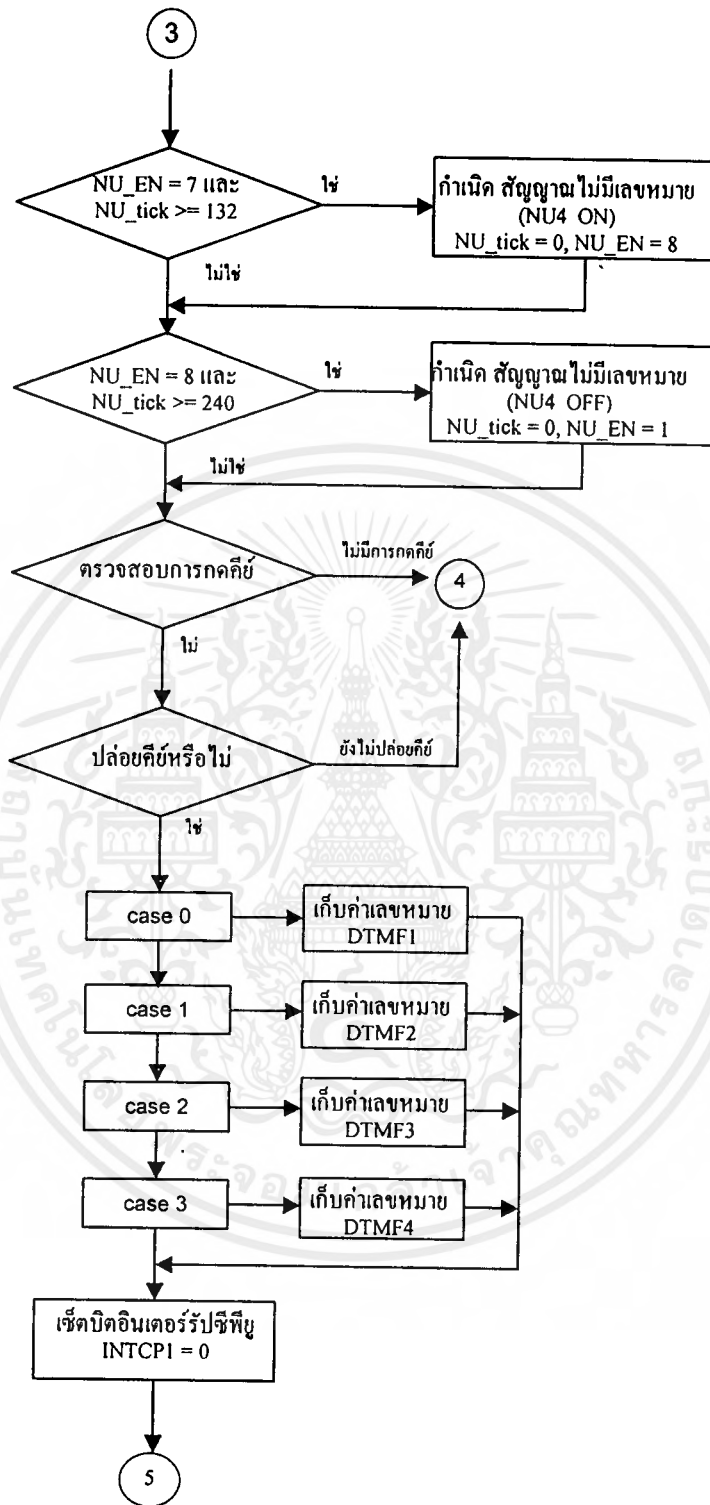
รูปที่ ค.1 แผนผังการทำงานของส่วนกำเนิดสัญญาณ โทนและรับค่าดีทีเอ็มเอฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



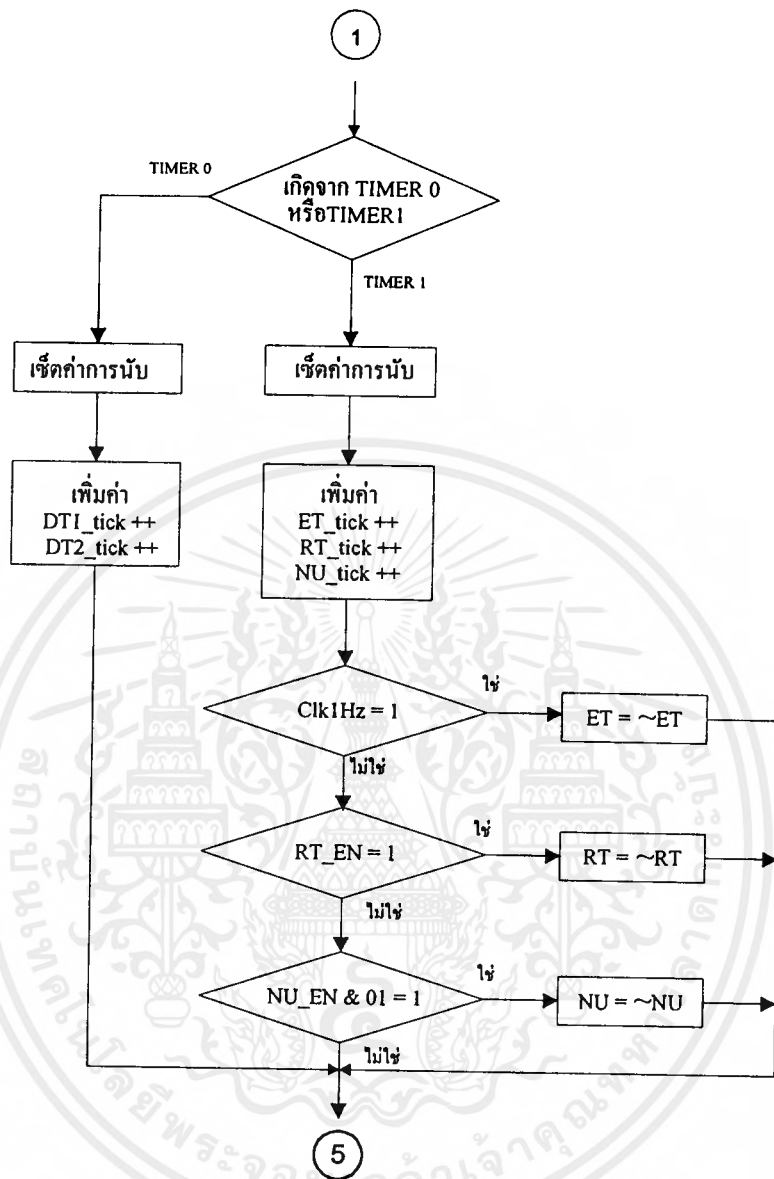
รูปที่ ค.2 แผนผังการทำงานของส่วนกำหนดสัญญาณ โทนและรับค่าดีทีเอ็มเอฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

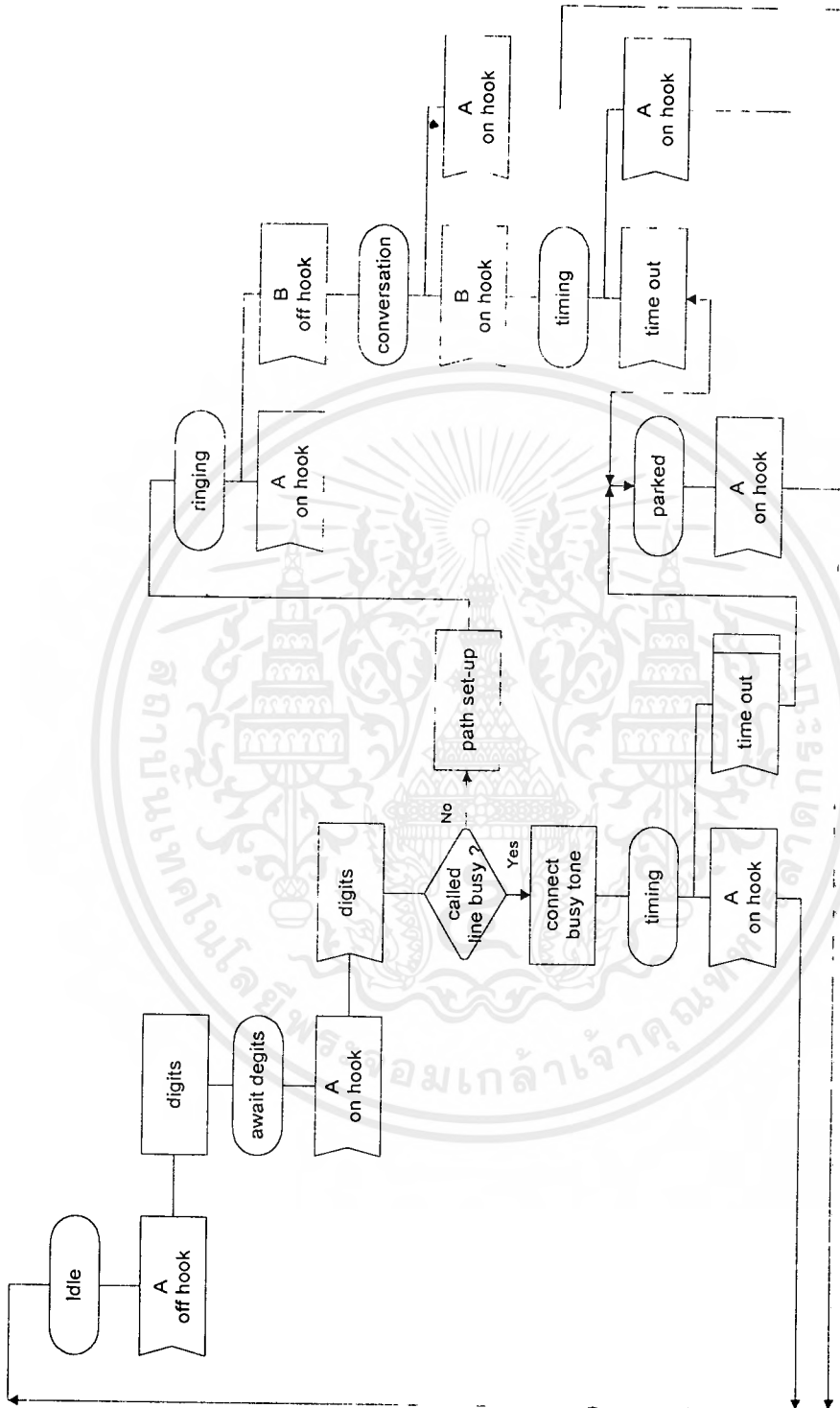


รูปที่ ค.3 แผนผังการทำงานของส่วนกำเนิดสัญญาณ โทนและรับค่าดีทีเอ็มเอฟ (ต่อ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

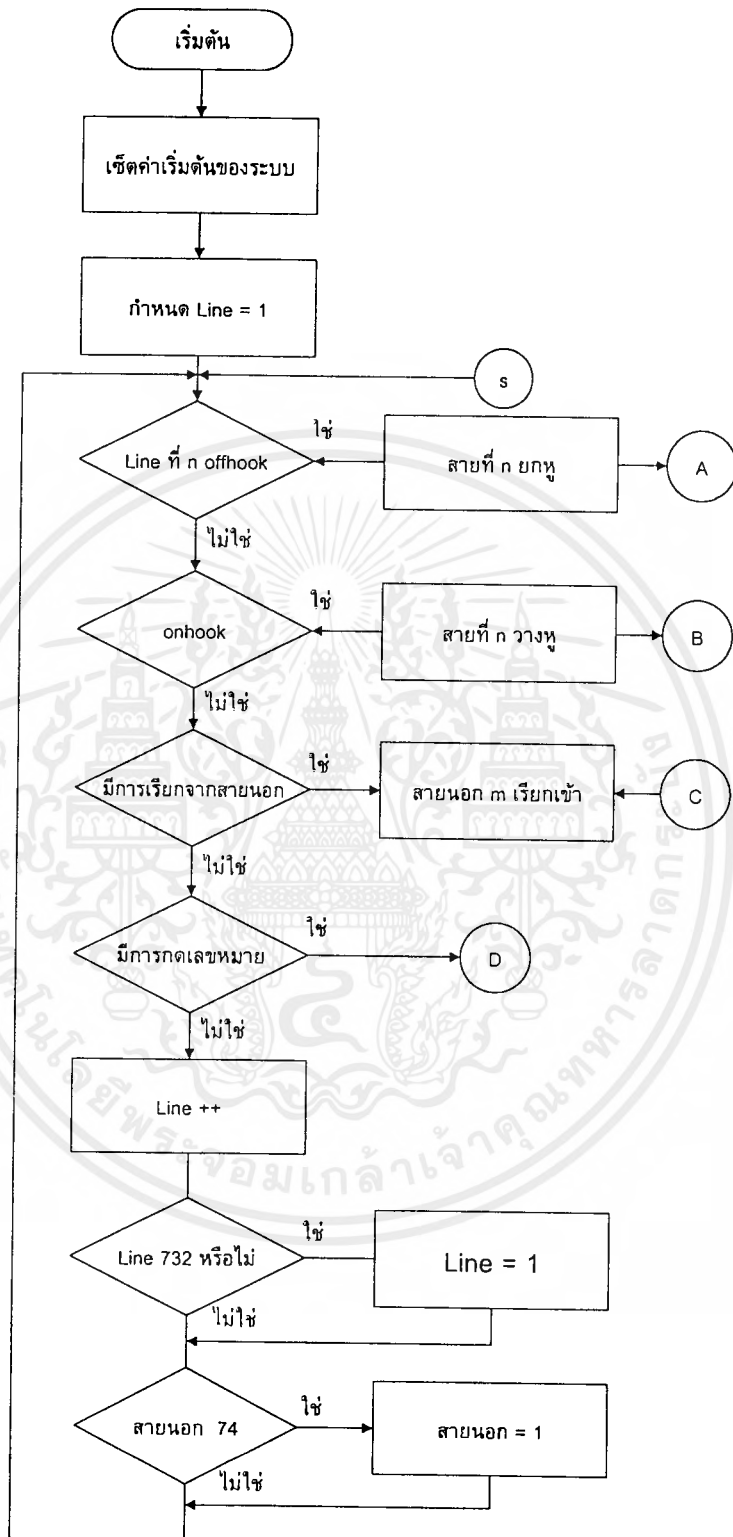


รูปที่ ค.4 แผนผังการทำงานเมื่อเกิดการอินเทอร์รัปจากภายใน



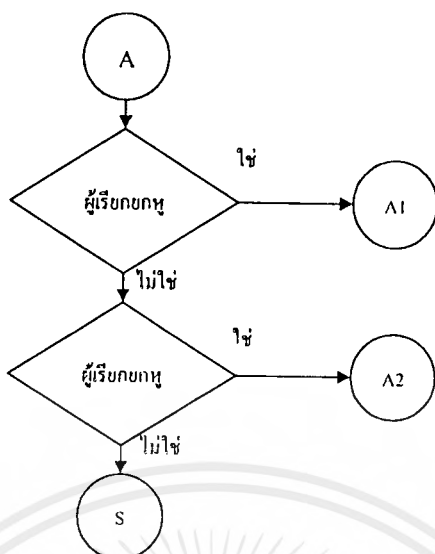
รูปที่ ค.5 แผนผังการทำงานของโปรแกรมเครื่องชุมสายโทรศัพท์สาขาอัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

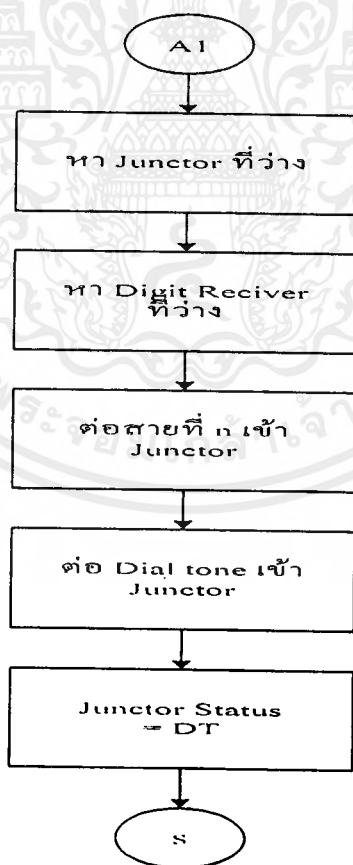


รูปที่ ค.6 แผนผังการทำงานของซีพียู

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

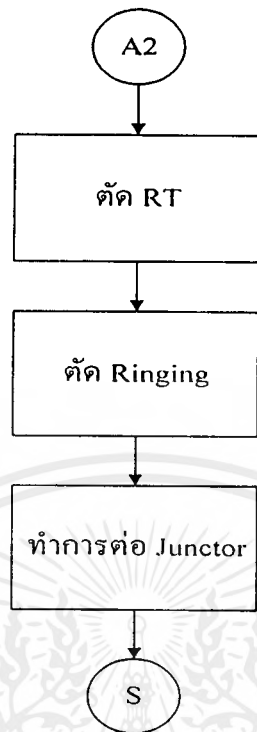


รูปที่ ค.7 แผนผังการทำงานเมื่อเครื่องโทรศัพท์ทำการขาน

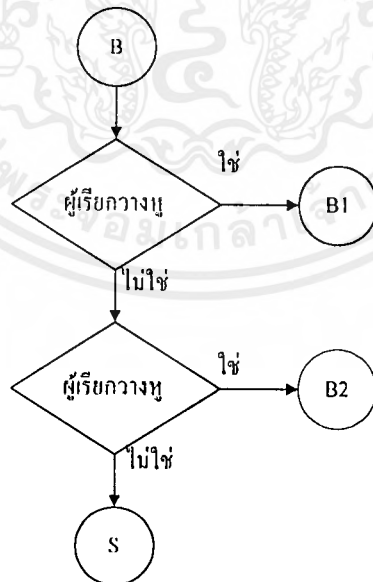


รูปที่ ค.8 แผนผังการทำงานเมื่อผู้เรียกทำการขาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

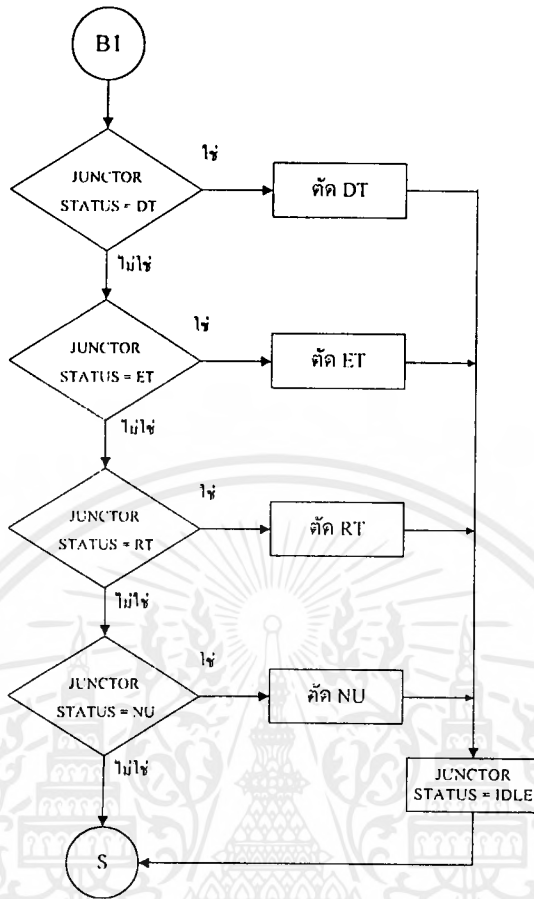


รูปที่ ค.9 แผนผังการทำงานเมื่อผู้ถูกเรียกทำการยกหู

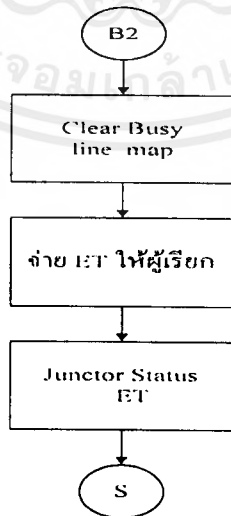


รูปที่ ค.10 แผนผังการทำงานเมื่อเครื่องโทรศัพท์ทำการวางหู

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

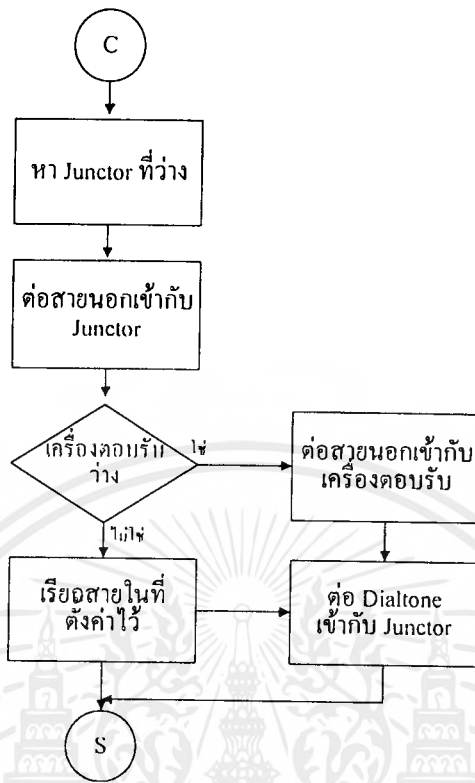


รูปที่ ค.11 แผนผังการทำงานเมื่อผู้เรียกทำการวางหู

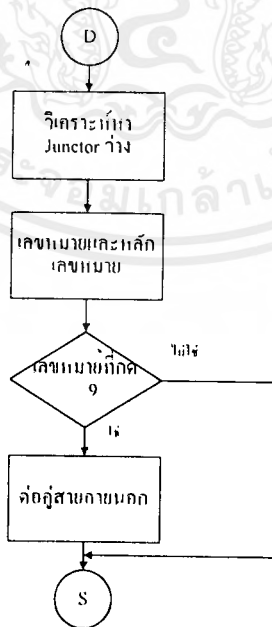


รูปที่ ค.12 แผนผังการทำงานเมื่อผู้ถูกเรียกทำการวางหู

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ค.13 แผนผังการทำงานเมื่อมีสายนอกเรียกเข้า



รูปที่ ค.14 แผนผังการทำงานเมื่อมีการกดเลขหมาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ง
โปรแกรมการทำงานของเครื่องชุมสายโทรศัพท์สาขาอัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมหลัก

```

#define ILC1      0x00 /* Internal Line Card no.1      */
#define ILC2      0x01 /* Internal Line Card no.2      */
#define ILC3      0x02 /* Internal Line Card no.3      */
#define ILC4      0x03 /* Internal Line Card no.4      */
#define ELC1      0x04 /* External Line card no.1 (only one card) */
#define TC        0x06 /* Tone Generator Card          */
#define DRC       0x05 /* Digit Receiver Card          */
#define ILCLS244  0x40 /* Chip Select for off-hook detecting on ILC */
#define ILCMT8816 0x80 /* Chip Select for matrix switch on ILC     */
#define ILCLS373  0x00 /* Chip Select for ringing on ILC          */
#define ELCMT8816 0x10 /* Chip Select for matrix switch on ELC     */
#define ELC373    0x08 /* Chip Select for ringing on ELC          */
#define ILCMT8816STB 0x20 /* Strobe for matrix switch on ILC        */
#define X0        0x00 /* X0 of matrix switch on ILC            */
#define X1        0x01 /* X1 of matrix switch on ILC            */
#define X2        0x02 /* X2 of matrix switch on ILC            */
#define X3        0x03 /* X3 of matrix switch on ILC            */
#define X4        0x04 /* X4 of matrix switch on ILC            */
#define X5        0x05 /* X5 of matrix switch on ILC            */
#define X6        0x06 /* X6 of matrix switch on ILC            */
#define X7        0x07 /* X7 of matrix switch on ILC            */
#define X8        0x08 /* X8 of matrix switch on ILC            */
#define X9        0x09 /* X9 of matrix switch on ILC            */
#define X10       0x0A /* X10 of matrix switch on ILC           */
#define X11       0x0B /* X11 of matrix switch on ILC           */
#define X12       0x0C /* X12 of matrix switch on ILC           */
#define X13       0x0D /* X13 of matrix switch on ILC           */
#define X14       0x0E /* X14 of matrix switch on ILC           */
#define X15       0x0F /* X15 of matrix switch on ILC           */
#define Y0        0x00 /* Y0 of matrix switch on ILC            */
#define Y1        0x10 /* Y1 of matrix switch on ILC            */
#define Y2        0x20 /* Y2 of matrix switch on ILC            */
#define Y3        0x30 /* Y3 of matrix switch on ILC            */
#define Y4        0x40 /* Y4 of matrix switch on ILC            */
#define Y5        0x50 /* Y5 of matrix switch on ILC            */
#define Y6        0x60 /* Y6 of matrix switch on ILC            */
#define Y7        0x70 /* Y7 of matrix switch on ILC            */
#define DR1       0x00 /* Digit Receiver 1                    */
#define DR2       0x01 /* Digit Receiver 2                    */
#define DR3       0x02 /* Digit Receiver 3                    */
#define DR4       0x03 /* Digit Receiver 4                    */

#define SW_ON     0x80 /* Set data bit of matrix switch        */
#define SW_OFF    0x00 /* Reset data bit of matrix switch       */
#define BUSY_TONE 0x10 /* busy tone is Y1 on the chip MT8816    */

#define ON        1
#define OFF       0

#define TIMER0_COUNT 0x1

```

```

#define OffHook 1 /* Pline status is on hook */
#define OnHook 0 /* Pline status is off hook */

#define Inused 0xff
#define Idle 0 /* Junctor #n status is Idle */
#define DT 1 /* Junctor #n status is Idle */
#define RT 2 /* Ring Tone was applied to Junctor */
#define Holding 3 /* Junctor is on hold */
#define FirstDigit 4 /* subscriber already dialed first digit */
#define SecondDigit 5 /* subscriber already dialed secone digit */
#define ET 6 /* Busy tone is applied to junctor */
#define NU 7 /* NU tone is applied to junctor */
#define ALERTING 8 /* alerting */
#define CONV 9 /* conversation */

#define MAXDR 3
#define MAXJUNCTOR 15
#define PHONELINES 32

#define STOP EA =0 ; printf("stopped!!\n");while(1) ;
#define XON 0x11
#define XOFF 0x13

#include <reg51.h>
#include <3172port.h>
#include <intrins.h>
#include <stdio.h>
#include <string.h>
#include <ctype.h>
#include "lcdcmn.h"
#include "keycode.h"

/* assign variable here */
sbit int0_ack = P3^3;
unsigned char xdata *port;

unsigned char xdata DTMF[4][2]; /* DTMF Buffer */
unsigned char xdata PLINE[32]; /* phone line status */
unsigned char xdata PLDRMAP[32]; /* phone line status */
unsigned char xdata BLM[32]; /* busy line map */
unsigned char xdata DTM[32]; /* dial tone map */
unsigned char xdata AMAP[32]; /* alerting map */
unsigned char xdata AMAPJT[32]; /* alerting map to line */
unsigned char xdata EMAP[32]; /* engaged map */
unsigned char xdata DRMAP[4]; /* digit receiver map */
unsigned char xdata AJT; /* available junctor */
unsigned char xdata ADR[4]; /* available digit receiver */
unsigned char xdata ADRC[4]; /* available digit receiver */
unsigned char xdata ADRMAP[4]; /* available digit receiver */
unsigned char xdata LJMAP[32]; /* line to junctor map */
unsigned char xdata JLMAP[16]; /* junctor to line map */
unsigned char xdata CALLEDJT[32]; /* junctor to line map

unsigned char xdata PL; /* phone line

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

unsigned char xdata JT;
unsigned char xdata WJT;

unsigned char xdata ILCOffHookStatus[4]; /* ILC Off Hook Status */
unsigned char xdata ILCAAlertingStatus[4]; /* ILC Alerting Status */
unsigned char xdata ILCMT8816Map[4][16]; /* ILC Matrix Switch Map */
unsigned char xdata nextdig; /* last DTMF digit received */

static unsigned char board_number; /* timer tick variable */

typedef struct jnctor {
    unsigned char digitreceiver;
    unsigned char status;
    unsigned char called;
    unsigned char firstdigit;
    unsigned char seconddigit;
    unsigned char calling;
}jnctor;

typedef struct dtmfrx {
    unsigned char jnctor;
    unsigned char firstdigit;
    unsigned char seconddigit;
    unsigned char status;
}dtmfrx;

dtmfrx xdata DTMFRX[4];
jnctor xdata Junctor[16];

unsigned DEEBUG;
void updatelcd(int row);
void editor(void);
void ScanOffHook(void);
void MT8816ON(unsigned char linecard,unsigned char jnctor,unsigned char slic);
void MT8816OFF(unsigned char linecard,unsigned char jnctor,unsigned char slic);
void startup(void);
void timer0_initialize (void);
void timer0_delay (unsigned count); /* unit is 100 ms */
void delay (unsigned int count);

void Alerting(unsigned char line, unsigned char onoff);
void DialTone(unsigned char jnctor,unsigned char on_off);
void BusyTone(unsigned char jnctor,unsigned char on_off);
void RingTone(unsigned char jnctor,unsigned char on_off);
void NUTone(unsigned char jnctor,unsigned char on_off);

void DTMFDR(unsigned char jnctor,unsigned char DR,unsigned char onoff);

void outputport(unsigned port_no, unsigned char value);

```

```

/*          MAIN PROGRAM          */
/*****/
void main (void) {
    char c;
    unsigned dl;
    unsigned char i,j,k,l;
    unsigned char slic,card;
    unsigned char DRchip,DRdigit,value;

    outport(Port1Ctrl,0x8b);    /* PA= O, PB = I, PCU = I, PCL = O */
    startup();
    timer0_initialize ();
    printf("\n\nReady...\n");
    AJT = 0;

    while(1) {

        for(PL = 0; PL < PHONELINES ; PL ++){
            card = PL/8;
            slic = (PL-8*(PL/8))<<4 ;
            for(i = 0 ; i < 4; i++){    /* convert offhook map byte to individual byte data */
                for(j = 0; j< 8 ; j++){
                    PLINE[i*8+j] = (ILCOffHookStatus[i] >> j) & 1;
                }
            }
            if(PLINE[PL]){    /* OFF hook */
                if( !BLM[PL] && !AMAP[PL]){ /* first time off hook */
                    //printf("\nPLINE[%bd] First time Off hook.\n",PL);
                    //printf("Find Junctor.\n");
                    for(AJT = 0; AJT < MAXJUNCTOR;AJT++){ /* find first vailable
                    junctor */
                        if(Junctor[AJT].status == Idle){
                            LJMAP[PL] = AJT;
                            JLMAP[AJT] = PL;
                            Junctor[LJMAP[PL]].status = DT;
                            break;
                        }
                    }
                    if(AJT > MAXJUNCTOR && Junctor[0].status == Idle){
                        AJT=0;
                        break;
                    }
                }
                //printf("Junctor[%bd] found\n",LJMAP[PL]);
                for(i = 0; i<= MAXDR; i++){ /* find DTMF receiver */
                    if(DTMFRX[i].status == Idle){
                        ADR[i]= PL;
                        PLDRMAP[PL] = i;
                        DTMFRX[i].status = Inused;
                        break;
                    }
                }
                if(i > MAXDR && DTMFRX[0].status == Idle){
                    i=0;
                    break;
                }
            }
        }
    }
}

```

MT8816ON(card,LJMAP[PL], slic);

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อผู้ดูแลเห็นว่าไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

Junctor[LJMAP[PL]].calling = PL;
DialTone(LJMAP[PL],SW_ON);
DTMFDR(LJMAP[PL],PLDRMAP[PL],SW_ON);
BLM[PL] = 1;
} // !BLM[PL] && !AMAP[PL]
  if(AMAP[PL] && !BLM[PL]){
    Alerting(PL,OFF);
    RingTone(CALLEDJT[PL],SW_OFF);
    MT8816ON(card,CALLEDJT[PL],slic);
    Junctor[CALLEDJT[PL]].status = CONV;
    LJMAP[PL] = CALLEDJT[PL];
    AMAP[PL] = 0;
    BLM[PL] = 1;
  }
}

if(Junctor[LJMAP[PL]].status == ALERTING &&!AMAP[Junctor
[LJMAP[PL]].called]){
  if(BLM[Junctor[LJMAP[PL]].called]){
    BusyTone(LJMAP[PL],SW_ON);
    AMAP[Junctor[LJMAP[PL]].called] = 2;
    Junctor[Junctor[LJMAP[PL]].called].status = ET;
    AMAP[PL] = 0;
  }
  if(!BLM[Junctor[LJMAP[PL]].called]){
    Alerting(Junctor[LJMAP[PL]].called,ON);
    Junctor[Junctor[LJMAP[PL]].called].status = RT;
    RingTone(LJMAP[PL],SW_ON);
    AMAP[Junctor[LJMAP[PL]].called] = 1;
    AMAP[PL] = 0;
  }
}
}
if(!PLINE[PL]){
  if(BLM[PL]){
    if(PL == Junctor[LJMAP[PL]].calling){
      //printf("Junctor[%bd].calling = bd\n",LJMAP
[PL],PL);
      MT8816OFF(card,LJMAP[PL], slic);
      DialTone(LJMAP[PL],SW_OFF);
      DTMFDR(LJMAP[PL],PLDRMAP[PL],SW_OFF);
      if(AMAP[Junctor[LJMAP[PL]].called]){
        Alerting(Junctor[LJMAP[PL]].called,OFF);
        RingTone(LJMAP[PL],SW_OFF);
        AMAP[Junctor[LJMAP[PL]].called] = 0;
      }
      if(Junctor[LJMAP[PL]].status == ET){
        BusyTone(LJMAP[PL],SW_OFF);
      }
      if(Junctor[LJMAP[PL]].status == RT){
        RingTone(LJMAP[PL],SW_OFF);
      }
      if(Junctor[LJMAP[PL]].status == NU){
        NUTone(LJMAP[PL],SW_OFF);
      }
      Junctor[LJMAP[PL]].status = Idle;
    }
  }
}
/* ON hook

```

```

Junctor[LJMAP[PL]].called = 0xff;
DTMFRX[PLDRMAP[PL]].status = Idle;
BLM[PL] = 0;
}

if((PL == Junctor[LJMAP[PL]].called)){
MT8816OFF(card,LJMAP[PL], slic);
Junctor[LJMAP[PL]].status = ET;
Junctor[LJMAP[PL]].called = 0xff;
BLM[PL] = 0;
}
}
}

if(nextdig){ /* digit available */
DRchip = (nextdig & 0x30) >> 4 ;
DRdigit = (nextdig & 0x40) >> 6 ;
value = (nextdig & 0x0f);
if(value == 10) value = 0;
if(Junctor[LJMAP[ADR[DRchip]]].status == DT){
DialTone(LJMAP[ADR[DRchip]],SW_OFF);
}
switch(DRdigit){
case 0:
Junctor[LJMAP[ADR[DRchip]]].status
FirstDigit;
Junctor[LJMAP[ADR
[DRchip]].firstdigit = value;
break;
case 1:
Junctor[LJMAP[ADR
[DRchip]].status = SecondDigit;
Junctor[LJMAP[ADR
[DRchip]].seconddigit = value;
break;
}
if(Junctor[LJMAP[ADR[DRchip]]].status == SecondDigit){
printf("disconnect Digit receiver[%bd] from Junctor
[%bd]\n",DRchip,LJMAP[ADR[DRchip]]);
DTMFDR(LJMAP[ADR[DRchip]],DRchip,SW_OFF);
DTMFRX[DRchip].status = Idle;
Junctor[LJMAP[ADR[DRchip]]].called = Junctor[LJMAP
[ADR[DRchip]].firstdigit * 10 + Junctor[LJMAP[ADR[DRchip]].seconddigit;
CALLEDJT[Junctor[LJMAP[ADR
[DRchip]].called ] = LJMAP[ADR[DRchip]];
printf("called line [%bd] <---> Junctor
[%bd]\n",Junctor[LJMAP[ADR[DRchip]].called,LJMAP[ADR[DRchip]]);
Junctor[LJMAP[ADR[DRchip]].status = ALERTING;

if(Junctor[LJMAP[ADR[DRchip]].called > 32){
printf("Number unavailable (NU) !!\n");
Junctor[LJMAP[ADR[DRchip]].status = NU;
NUTone(LJMAP[ADR
[DRchip]],SW_ON);
}
}
if(Junctor[LJMAP[ADR[DRchip]].called == Junctor
[LJMAP[ADR[DRchip]].calling) {

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

        printf("Busy Sure !!!!\n");
        Junctor[LJMAP[ADR[DRchip]].status = ET;
        BusyTone(LJMAP[ADR[DRchip]],SW_ON);
    }
    nextdig = 0;
}
}
} /* while(1) */
}

void startup(void)
{
    unsigned char i,j,k;
    SCON = 0x50; /* SCON: mode 1, 8-bit UART, enable rcvr */
    TMOD |= 0x20; /* TMOD: timer 1, mode 2, 8-bit reload */
    TH1 = 0xfd; /* TH1: reload value for 9600 baud */
    TR1 = 1; /* TR1: timer 1 run */
    T1 = 1; /* T1: set T1 to send first char of UART */
    EX0 = 1; /* enable int0 interrupt */
    IT0 = 1; /* set edge interrupt for int0 */
    PX0 = 1;
    AJT = 0;

    for(i = 0 ; i<4 ; i++){
        ILCAAlertingStatus[i] = 0; /* reset alerting map */
        ADRC[i] = Idle;
        DTMRX[i].status = Idle;
    }

    for(i = 0; i < 4; i++){
        for(j = 0; j < 2; j++){
            DTMF[i][j] = 0; /* reset all DTMF code to 0 */
        }
    }
    P1 = 0x00; /* reset riging relay map */

    for(i = 0 ; i<4 ; i++){
        outport( Port1A, i + ILCLS373 );
    }

    for(i = 0; i< 32 ; i++){
        BLM[i] = 0;
        EMAP[i] = 0;
        AMAP[i] = 0;
        DRMAP[i] = 0;
        DTM[i] = 0;
        CALLEDJT[i] = 0xff;
        LJMAP[i] = i;
        Junctor[i].status = Idle;
        PLINE[i] = Idle;
    }
}
}

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

static void timer0_isr (void) interrupt 1 using 1
{
    TR0 = 0;                /* stop timer 0 */
    TL0 = TL0 + (TIMER0_COUNT & 0x00FF); /* reload timer 0 */
    TH0 = TH0 + (TIMER0_COUNT >> 8);

    outport( Port1A, 0xdf);
    outport( Port1A, ILC4 + ILCLS244 ); /* retrieve ILC4 Offhook status */
    ILCOffHookStatus[ILC4] = ~P1;
    outport( Port1A, ILC3 + ILCLS244 ); /* retrieve ILC4 Offhook status */
    ILCOffHookStatus[ILC3] = ~P1;
    outport( Port1A, ILC2 + ILCLS244 ); /* retrieve ILC4 Offhook status */
    ILCOffHookStatus[ILC2] = ~P1;
    outport( Port1A, ILC1 + ILCLS244 ); /* retrieve ILC4 Offhook status */
    ILCOffHookStatus[ILC1] = ~P1;
    outport( Port1A, 0xdf);

    TR0 = 1;                /* start timer 0 */
}

static void int0_isr (void) interrupt 0 using 2
{
    unsigned char a;
    EA = 0;
    int0_ack = 0;
    port = 0xf801;
    a = *port;
    DTMF[(a>>4)&3][(a>>6)&1] = (a)&0x0f;
    int0_ack = 1;
    EA = 1;
    nextdig = a&0x7f;
}

void timer0_initialize (void)
{
    EA = 0;                /* disable interrupts */
    TR0 = 0;                /* stop timer 0 */
    TMOD &= ~0x0F;         /* clear timer 0 mode bits */
    TMOD |= 0x01;         /* put timer 0 into 16-bit no prescale */
    TL0 = (TIMER0_COUNT & 0x00FF);
    TH0 = (TIMER0_COUNT >> 8);
    PT0 = 1;                /* set low priority for timer 0 */
    ET0 = 1;                /* enable timer 0 interrupt */
    TR0 = 1;                /* start timer 0 */
    EA = 1;                /* enable interrupts */
}

void MT8816ON(unsigned char linecard,unsigned char X,unsigned char Y)
{
    printf( "> ILC[%bd] ",linecard+1); //
    printf("Y%bd <---> junctor[%bd]\n",Y>>4,X); // *****
    EA =0;
    P1 = X + Y;
    port = Port1A;

```

```

*port = linecard + ILCMT8816; // chip select = 1
P1 = X + Y; // address
port = Port1A;
*port = linecard+ILCMT8816+ILCMT8816STB; // strobe = 1 to latch address
P1 = X + Y + 0x80;
port = Port1A;
*port = linecard + ILCMT8816; // strobe = 0 to latch data
EA =1;
}

void MT8816OFF(unsigned char linecard,unsigned char X,unsigned char Y)
{
printf("> ILC[%bd] ",linecard+1 ); //
printf("Y%bd <-X-> junctor[%bd].\n",Y>>4,X); // *****
EA =0;
P1 = X + Y;
port = Port1A;
*port = linecard + ILCMT8816; // chip select = 1
P1 = X + Y; // address
port = Port1A;
*port = linecard+ILCMT8816+ILCMT8816STB; // strobe = 1 to latch address
P1 = X + Y;
port = Port1A;
*port = linecard + ILCMT8816; // strobe = 0 to latch data
EA =1;
}

void DialTone(unsigned char junctor,unsigned char on_off)
{
printf("> Dial Tone "); //
switch(on_off){
case SW_ON: printf("<---> ");break;
case SW_OFF:printf("<-X-> ");break;//
}
printf("junctor[%bd].\n",junctor); // *****
outport( Port1A,0x06);
P1 = (junctor + Y3) | on_off;
outport( Port1A,0x06+ILCMT8816STB);
outport( Port1A,0x06);
}

void BusyTone(unsigned char junctor,unsigned char on_off)
{
printf("> Busy Tone"); //
switch(on_off){
case SW_ON: printf("<---> ");break;
case SW_OFF:printf("<-X-> ");break;//
}
printf("junctor[%bd].\n",junctor); // *****
outport( Port1A,0x06);
P1 = (junctor + Y1) | on_off;
outport( Port1A,0x06+ILCMT8816STB);
outport( Port1A,0x06);
}

```

```

void RingTone(unsigned char junctor,unsigned char on_off)
{
    printf("> Ring Back Tone ");          //
    switch(on_off){
        case SW_ON: printf("<---> ");break;
        case SW_OFF:printf("<-X-> ");break;//
    }
    printf("junctor[%bd].\n",junctor);    // *****
    output( Port1A,0x06);
    P1 = (junctor + Y0) | on_off;
    output( Port1A,0x06+ILCMT8816STB);
    output( Port1A,0x06);
}

void NUTone(unsigned char junctor,unsigned char on_off)
{
    printf("> NU Tone ");                  //
    switch(on_off){
        case SW_ON: printf("<---> ");break;
        case SW_OFF:printf("<-X-> ");break;//
    }
    printf("junctor[%bd].\n",junctor);    // *****
    output( Port1A,0x06);
    P1 = (junctor + Y2) | on_off;
    output( Port1A,0x06+ILCMT8816STB);
    output( Port1A,0x06);
}

void Alerting(unsigned char line,unsigned char onoff)
{
    unsigned char a,card,slic;

    printf("> Alerting on line ILC[%bd], slic[%bd], status:",(line/8)+1 ,line - 8*(line/8));
    card = line/8;
    slic = line - 8*(line/8);
    output( Port1A, 0xDF );
    P1 = ILCAalertingStatus[card];

    if(onoff == ON){
        printf("ON.\n");
        a = 1 << (slic);
        ILCAalertingStatus[card] |= a;
    }else

    if(onoff == OFF){
        printf("OFF.\n");
        a = 1 << (slic);
        ILCAalertingStatus[card] &= (~a);
    }

    output(Port1A, (card) + ILCLS373);
    P1 = ILCAalertingStatus[card];
}

void output(unsigned port_no, unsigned char value)
{

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

EA = 0;
port = port_no;
*port = value;
EA = 1;
}

void DTMFDR(unsigned char junctor,unsigned char DR,unsigned char onoff)
{
printf("> DTMFRX[%bd] ",DR);
switch(onoff){
case SW_ON : printf("<---> junctor[%bd].\n",junctor); break;
case SW_OFF: printf("<-X-> junctor[%bd].\n",junctor); break;
}
outport( Port1A,0x05);
P1 = (junctor + (DR<<4)) + onoff;
outport( Port1A,0x05+LCMT8816STB);
outport( Port1A,0x05);
}

```



โปรแกรมการทำงานของตัวกำเนิดสัญญาณและรับค่าที่เอ็มเอฟ

```

/*****/
/* Program for control reginal processor */
/* Date : April 27, 1998. */
/* Programmer : Koson Trachu */
/* Jaray Arunsaengngoen */
/* Hardware Engineer: Chaiyaporn Saisanit */
/*
/* This processor has following task: */
/* - Scan for DTMF, when subscriber line release push button */
/* the reginal processor(RP1) will be interrupt the Central */
/* Processor (CP1) with below protocal */
/* Std pin on 1 of 4 tone decode go low. */
/* RP1 capture event, analysis address and data from */
/* tone decoder. */
/* RP1 prepare data and send to P2. */
/* RP1 force INTCPI to LOW. */
/* CP1 response with force cpu1_ack to LOW. */
/* CP1 read data from P2 of RP1 */
/* RP1 set INTCPI to HIGH */
/* CP1 set cpu1_ack to HIGH */
/*
/* - Generating all kind of audible tone to communicate with */
/* subscriber. */
/* P1.4 Busy Tone (Engaged Tone) : ET */
/* P1.5 Ring Tone : RT */
/* P1.6 350Hz for Dial Tone : DT1 */
/* P1.7 450Hz for Dial Tone : DT2 */
/* P2.7 Number Unobtainable Tone : NU */
/*
/* Timer0 generating the main frequency at 6,300 Hertz. */
/* Timer1 generating the frequency at 400 Hertz. */
/* 350Hz is generate by divide main frequency by 18. */
/* 450Hz is generate by divide main frequency by 14. */
/* Busy Tone is generate by complement P1.4 on T1 timeout. */
/* Ring Tone is generate by anded 400Hz with 0.2Hz */
/* NU Tone is generate by */
/* - Anded 5Hz with 0.3Hz */
/* - complement above tone then anded with 400Hz. */
/*
/*****/

#include <reg51.h>
#include <stdio.h>
#include <intrins.h>
#define TIMER0_COUNT 0xFFC0 /* 6300 Hz = FFBCB */
#define TIMER1_COUNT 0xFB8A /* 400 Hz = FB8A */

sbit TOE0 = P1^0;
sbit TOE1 = P1^1;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

sbit TOE2 = P1^2;
sbit TOE3 = P1^3;
sbit INTCPI = P3^3;
sbit CPU1ACK = P3^2;
sbit ET = P1^4;
sbit RT = P1^5;
sbit DT1 = P1^6;
sbit DT2 = P1^7;
sbit NU = P2^7;
sbit ALT1 = P3^4;
sbit ALT2 = P3^5;

```

```

unsigned char PreviousStdStatus = 0;
unsigned char CurrentStdStatus = 0;
unsigned char dtmfvalue = 0;
unsigned char dtmfdigit[4] = {1,1,1,1};
unsigned char newdigit;
unsigned char strobe,digit,dt;
static unsigned DT1_tick;
static unsigned DT2_tick;
static unsigned ET_tick;
static unsigned Clk1Hz;
static unsigned RT_tick;
static unsigned NU_tick;
unsigned char NU_EN;
static unsigned clk1Hz;
unsigned char RT_EN;

```

```
void timer_initialize (void);
```

```
void main()
{
```

```
    timer_initialize();
```

```

    DT1_tick = 0 ;
    DT2_tick = 0 ;
    ET_tick = 0 ;
    Clk1Hz = 0 ;
    RT_tick = 0 ;
    NU_EN = 1 ;
    clk1Hz = 1 ;
    RT_EN = 1 ;

```

```

    EX0 = 1;          /* enable int0 interrupt */
    IT0 = 1;         /* set edge interrupt for int0 */
    PX0 = 1;         /* set high priority */
    EA = 1;          /* enable all interrupt */
    PI = 0;
    INTCPI = 1;

```

```
while(1){
```

```

    if( DT2_tick >= 12) { /* generating 450 Hertz clock. */
        DT2_tick = 0;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

        DT2 = ~DT2;
    }

    if( DT1_tick >= 16) { /* generating 350 Hertz clock. */
        DT1_tick = 0;
        DT1 = ~DT1;
    }

    if( ET_tick >= 400) { /* generating 1 Hertz clock for enable ET */
        ET_tick = 0;
        Clk1Hz = ~Clk1Hz;
    }

    if((!RT_EN) && (RT_tick >= 1500)){ /* Ring Tone On */
        RT_tick = 0;
        RT_EN = 1;
        ALT1 = 1;
        ALT2 = 0;
    }

    if((RT_EN) && (RT_tick >= 600)){ /* Ring Tone Off */
        RT_tick = 0;
        RT_EN = 0;
        ALT1 = 0;
ALT2 = 1;
    }

    if((NU_EN == 1) && (NU_tick >= 132)){ /* NU Tone On 1 166ms */
        NU_tick = 0;
        NU_EN = 2;
    }

    if((NU_EN == 2) && (NU_tick >= 132)){ /* NU Tone Off 1 166ms */
        NU_tick = 0;
        NU_EN = 3;
    }

    if((NU_EN == 3) && (NU_tick >= 132)){ /* NU Tone On 2 166ms */
        NU_tick = 0;
        NU_EN = 4;
    }

    if((NU_EN == 4) && (NU_tick >= 132)){ /* NU Tone Off 2 166ms */
        NU_tick = 0;
        NU_EN = 5;
    }

    if((NU_EN == 5) && (NU_tick >= 132)){ /* NU Tone On 3 166ms */
        NU_tick = 0;
        NU_EN = 6;
    }

    if((NU_EN == 6) && (NU_tick >= 132)){ /* NU Tone Off 3 166ms */
        NU_tick = 0;
        NU_EN = 7;
    }

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


```

{
    EA = 0;          /* disable all interrupt */
    INTCPI = 1;     /* handshaking with Central Processor */
    EA = 1;          /* enable all interrupt */
}
static void timer0_isr (void) interrupt 1 using 2
{
    TR0 = 0;        /* stop timer 0 */
    TL0 = TL0 + (TIMER0_COUNT & 0x00FF); /* reload timer 0 value low byte */
    TH0 = TH0 + (TIMER0_COUNT >> 8); /* high byte */
    TR0 = 1;        /* start timer 0 */
    DT1_tick ++;
    DT2_tick ++;
}
static void timer1_isr (void) interrupt 3 using 3
{
    TR1 = 0;        /* stop timer 1 */
    TL1 = TL1 + (TIMER1_COUNT & 0x00FF); /* reload timer 1 value low byte */
    TH1 = TH1 + (TIMER1_COUNT >> 8); /* high byte */
    TR1 = 1;        /* start timer 1 */
    ET_tick ++;
    RT_tick ++;
    NU_tick ++;
    if(Clk1Hz){
        ET = ~ET;
    }
    if(RT_EN){
        RT = ~RT;
    }
    if((NU_EN & 0x01) == 1){
        NU = ~NU;
    }
}
void timer_initialize (void)
{
    EA = 0;          /* disable interrupts */
    TR0 = 0;        /* stop timer 0 */
    TR1 = 0;        /* stop timer 1 */
    TMOD = 0x11;    /* put timer 0 into 16-bit no prescale */
    TMOD = 0x01;    /* put timer 1 into 16-bit no prescale */
    TL0 = (TIMER0_COUNT & 0x00FF); /* load timer 0 value low byte */
    TH0 = (TIMER0_COUNT >> 8); /* high byte */
    TL1 = (TIMER1_COUNT & 0x00FF); /* load timer 1 value low byte */
    TH1 = (TIMER1_COUNT >> 8); /* high byte */
    PT0 = 0;        /* set low priority for timer 0 */
    PT1 = 0;        /* set low priority for timer 1 */
    ET0 = 1;        /* enable timer 0 interrupt */
    ET1 = 1;        /* enable timer 1 interrupt */
    IT0 = 1;        /* set edge interrupt for int0 */
    TR0 = 1;        /* start timer 0 */
    TR1 = 1;        /* start timer 1 */
    EA = 1;          /* enable all interrupts */
}

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก จ
รายการอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการอุปกรณ์

วงจรคู่สายภายใน

1. R 22 Ω	2	ตัว
2. R 68 Ω	2	ตัว
3. R 390 Ω	2	ตัว
4. R 500 Ω	2	ตัว
5. R 4.7 k Ω	1	ตัว
6. R 5.6 k Ω	2	ตัว
7. C 0.01 μ F	2	ตัว
8. C 10 μ F	1	ตัว
9. C 20 μ F 50V	4	ตัว
10. 1N4148	4	ตัว
11. 1N4004	4	ตัว
12. ZENER DIODE 39 V	1	ตัว
13. RELAY 2 CONTACTS	1	ตัว
14. BD 139	1	ตัว
15. BD 140	1	ตัว
16. BC 337	1	ตัว

การ์ดคู่สายภายใน

1. ไส้การ์ดจำนวน	8	ตัว
2. R PACK 10 k Ω	1	ตัว
3. 74LS04	1	ตัว
4. 74LS08	2	ตัว
5. 74LS138	1	ตัว
6. 74LS373	1	ตัว
7. 74LS244	1	ตัว
8. MT8816	1	ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งยังมีให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการอุปกรณ์(ต่อ)

9. DIP SWITCH 8 ตำแหน่ง 1 ตัว

วงจรรการ์ดคู่สุดท้ายภายนอก

1. R 1 k Ω	4	ตัว
2. R 10 k Ω	9	ตัว
3. R 100 k Ω	2	ตัว
4. C 0.1 μ F	2	ตัว
5. C 0.22 μ F	2	ตัว
6. C 2.2 μ F	4	ตัว
7. C 22 μ F	1	ตัว
8. C 47 μ F	4	ตัว
9. C 1F 50V	9	ตัว
10. 1N26	4	ตัว
11. 1N4004	16	ตัว
12. LM324	2	ตัว
13. 74LS139	1	ตัว
14. 74LS04	1	ตัว
15. MT8816	1	ตัว
16. ISD1420	1	ตัว
17. RELAY 2 CONTACTS	12	ตัว
18. หม้อแปลง 600-600	4	ตัว

วงจรรการ์ดโทนและดีทีเอ็มเอฟ

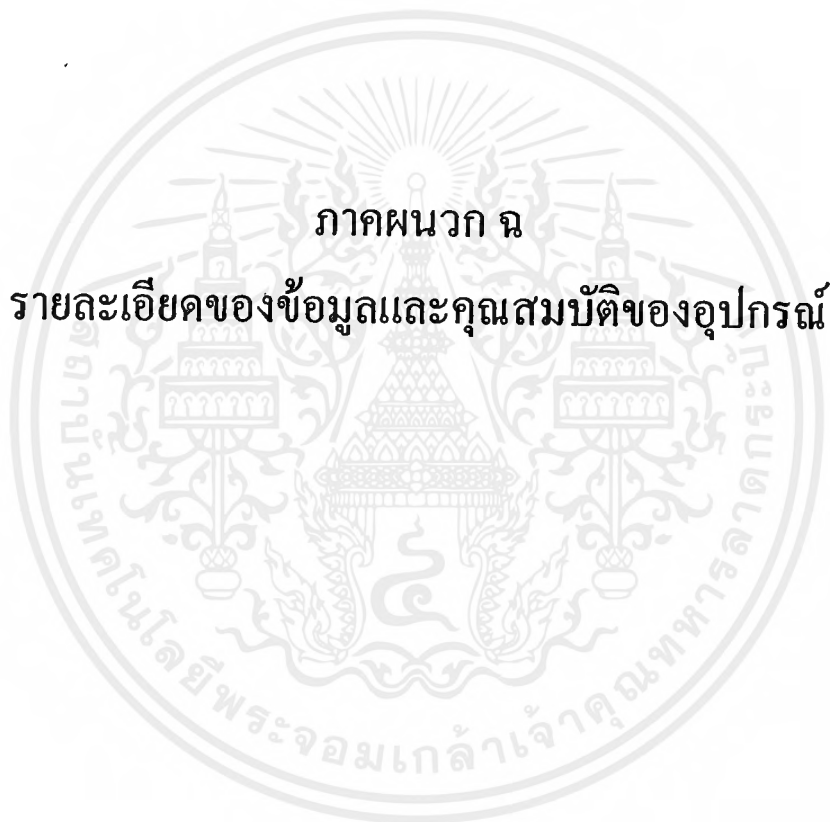
1. R 5.1 k Ω	1	ตัว
2. R 10 k Ω	2	ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการอุปกรณ์(ต่อ)

3. R 100 k Ω	10	ตัว
4. R 150 k Ω	12	ตัว
5. C 0.1 μ F	8	ตัว
6. C 4.7 μ F	4	ตัว
7. C 1 μ F	1	ตัว
8. C 30 pF	5	ตัว
9. C 2.2 nF	5	ตัว
10. C 4.7 nF	5	ตัว
11. X-TAL 3.57995 MHz	1	ตัว
12. X-TAL 11.0598 MHz	1	ตัว
13. TL074	6	ตัว
14. MT8870	4	ตัว
15. 74LS138	1	ตัว
16. 74LS04	1	ตัว
17. MT8816	2	ตัว
18. 89C51	1	ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ก

รายละเอียดของข้อมูลและคุณสมบัติของอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ISO-CMOS MT8816

8 x 16 Analog Switch Array

Features

- Internal control latches and address decoder
- Short set-up and hold times
- Wide operating voltage: 4.5V to 13.2V
- 12Vpp analog signal capability
- $R_{ON} 65\Omega$ max. @ $V_{DD}=12V, 25^{\circ}C$
- $\Delta R_{ON} \leq 10\Omega$ @ $V_{DD}=12V, 25^{\circ}C$
- Full CMOS switch for low distortion
- Minimum feedthrough and crosstalk
- Separate analog and digital reference supplies
- Low power consumption ISO-CMOS technology

Applications

- Key systems
- PBX systems
- Mobile radio
- Test equipment/instrumentation
- Analog/digital multiplexers
- Audio/Video switching

ISSUE 2

November 1988

Ordering Information

MT8816AC	40 Pin Ceramic DIP
MT8816AE	40 Pin Plastic DIP
MT8816AP	44 Pin PLCC
-40° to 85°C	

Description

The Mitel MT8816 is fabricated in MITEL's ISO-CMOS technology providing low power dissipation and high reliability. The device contains a 8 x 16 array of crosspoint switches along with a 7 to 128 line decoder and latch circuits. Any one of the 128 switches can be addressed by selecting the appropriate seven address bits. The selected switch can be turned on or off by applying a logical one or zero to the DATA input. V_{SS} is the ground reference of the digital inputs. The range of the analog signal is from V_{DD} to V_{EE} . Chip Select (CS) allows the crosspoint array to be cascaded for matrix expansion.

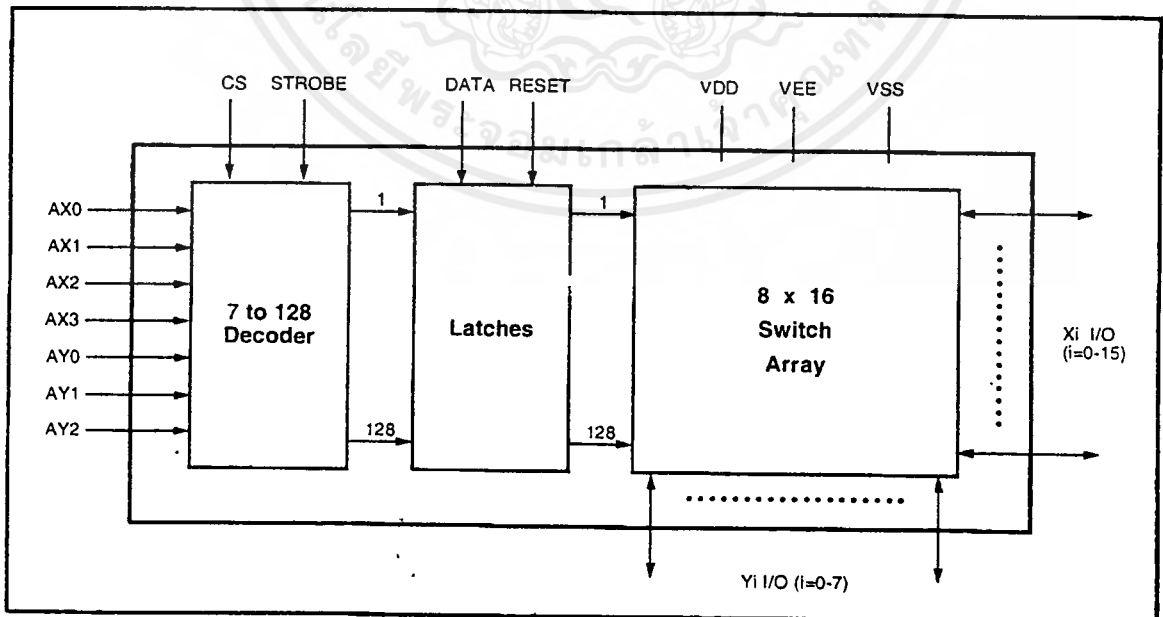


Figure 1 - Functional Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

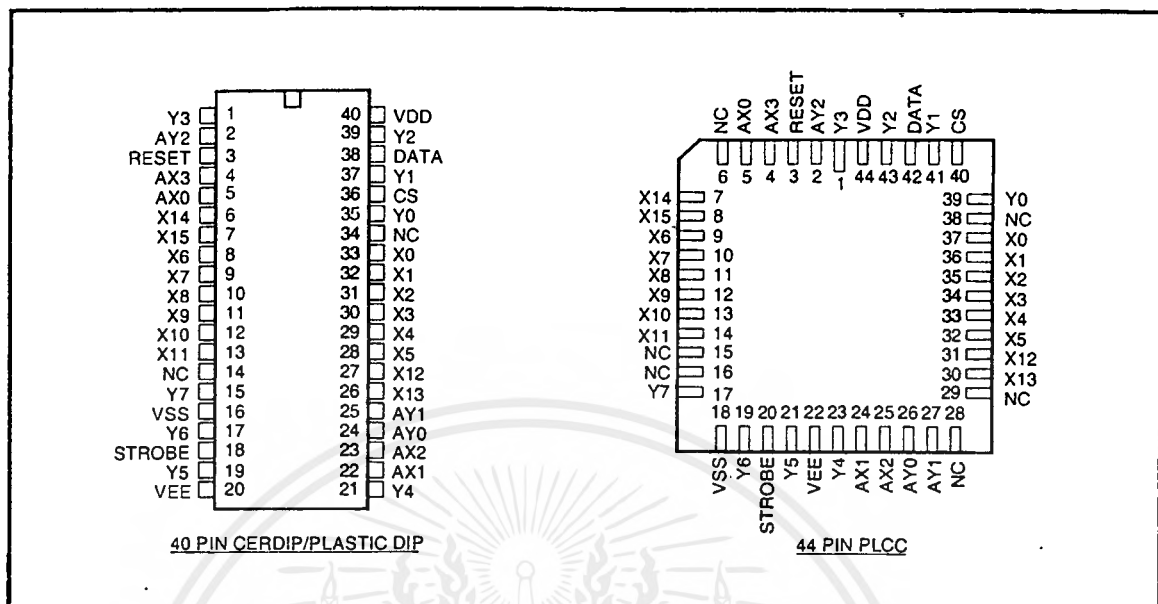


Figure 2 - Pin Connections

Pin Description

Pin #*	Name	Description
1	Y3	Y3 Analog (Input/Output): this is connected to the Y3 column of the switch array.
2	AY2	Y2 Address Line (Input).
3	RESET	Master RESET (Input): this is used to turn off all switches regardless of the condition of CS. Active High.
4,5	AX3,AX0	X3 and X0 Address Lines (Inputs) .
6,7	X14, X15	X14 and X15 Analog (Inputs/Outputs): these are connected to the X14 and X15 rows of the switch array.
8-13	X6-X11	X6-X11 Analog (Inputs/Outputs): these are connected to the X6-X11 rows of the switch array.
14	NC	No Connection
15	Y7	Y7 Analog (Input/Output): this is connected to the Y7 column of the switch array.
16	V _{SS}	Digital Ground Reference.
17	Y6	Y6 Analog (Input/Output): this is connected to the Y6 column of the switch array.
18	STROBE	STROBE (Input): enables function selected by address and data. Address must be stable before STROBE goes high and DATA must be stable on the falling edge of the STROBE. Active High.
19	Y5	Y5 Analog (Input/Output): this is connected to the Y5 column of the switch array.
20	V _{EE}	Negative Power Supply.
21	Y4	Y4 Analog (Input/Output): this is connected to the Y4 column of the switch array.
22, 23	AX1,AX2	X1 and X2 Address Lines (Inputs) .
24, 25	AY0,AY1	Y0 and Y1 Address Lines (Inputs) .

* Plastic DIP and Cerdip only

Pin Description (continued)

Pin #*	Name	Description
26, 27	X13, X12	X13 and X12 Analog (Inputs/Outputs): these are connected to the X13 and X12 rows of the switch array.
28 - 33	X5-X0	X5-X0 Analog (Inputs/Outputs): these are connected to the X5-X0 rows of the switch array.
34	NC	No Connection.
35	Y0	Y0 Analog (Input/Output): this is connected to the Y0 column of the switch array.
36	CS	Chip Select (Input): this is used to select the device. Active High.
37	Y1	Y1 Analog. (Input/Output): this is connected to the Y1 column of the switch array.
38	DATA	DATA (Input): a logic high input will turn on the selected switch and a logic low will turn off the selected switch. Active High.
39	Y2	Y2 Analog (Input/Output): this is connected to the Y2 column of the switch array.
40	V _{DD}	Positive Power Supply.

* Plastic DIP and CERDIP only

Functional Description

The MT8816 is an analog switch matrix with an array size of 8 x 16. The switch array is arranged such that there are 8 columns by 16 rows. The columns are referred to as the Y inputs/outputs and the rows are the X inputs/outputs. The crosspoint analog switch array will interconnect any X I/O with any Y I/O when turned on and provide a high degree of isolation when turned off. The control memory consists of a 128 bit write only RAM in which the bits are selected by the address inputs (AY0-AY2, AX0-AX3). Data is presented to the memory on the DATA input. Data is asynchronously written into memory whenever both the CS (Chip Select) and STROBE inputs are high and are latched on the falling edge of STROBE. A logical "1" written into a memory cell turns the corresponding crosspoint switch on and a logical "0" turns the crosspoint off. Only the crosspoint switches corresponding to the addressed memory location are altered when data is written into memory. The remaining switches retain their previous states. Any combination of X and Y inputs/outputs can be interconnected by establishing appropriate patterns in the control memory. A logical "1" on the RESET input will asynchronously return all memory locations to logical "0" turning off all crosspoint switches regardless of whether CS is high or low. Two voltage reference pins (V_{SS} and V_{EE}) are provided for the MT8816 to enable switching of negative analog signals. The range for digital signals is from V_{DD} to V_{SS} while the range for analog signals is from V_{DD} to V_{EE}. V_{SS} and V_{EE} pins can be tied together if a single voltage reference is needed.

Address Decode

The seven address inputs along with the STROBE and CS (Chip Select) are logically ANDed to form an enable signal for the resettable transparent latches. The DATA input is buffered and is used as the input to all latches. To write to a location, RESET must be low and CS must go high while the address and data are set up. Then the STROBE input is set high and then low causing the data to be latched. The data can be changed while STROBE is high, however, the corresponding switch will turn on and off in accordance with the DATA input. DATA must be stable on the falling edge of STROBE in order for correct data to be written to the latch.

Absolute Maximum Ratings* - Voltages are with respect to V_{EE} unless otherwise stated.

	Parameter	Symbol	Min	Max	Units
1	Supply Voltage	V_{DD} V_{SS}	-0.3	16.0 $V_{DD}+0.3$	V V
2	Analog Input Voltage	V_{INA}	-0.3	$V_{DD}+0.3$	V
3	Digital Input Voltage	V_{IN}	$V_{SS}-0.3$	$V_{DD}+0.3$	V
4	Current on any I/O Pin	I		±15	mA
5	Storage Temperature	T_S	-65	+150	°C
6	Package Power Dissipation	PLASTIC DIP CERDIP	P_D P_D	0.6 1.0	W W

* Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied.

Recommended Operating Conditions - Voltages are with respect to V_{EE} unless otherwise stated.

	Characteristics	Sym	Min	Typ	Max	Units	Test Conditions
1	Operating Temperature	T_O	-40	25	85	°C	
2	Supply Voltage	V_{DD} V_{SS}	4.5 V_{EE}		13.2 $V_{DD}-4.5$	V V	
3	Analog Input Voltage	V_{INA}	V_{EE}		V_{DD}	V	
4	Digital Input Voltage	V_{IN}	V_{SS}		V_{DD}	V	

DC Electrical Characteristics† - Voltages are with respect to $V_{EE}=V_{SS}=0V$, $V_{DD}=12V$ unless otherwise stated.

	Characteristics	Sym	Min	Typ†	Max	Units	Test Conditions
1	Quiescent Supply Current	I_{DD}		1	100	μA	All digital inputs at $V_{IN}=V_{SS}$ or V_{DD}
				0.4	1.5	mA	All digital inputs at $V_{IN}=2.4V + V_{SS}$; $V_{SS}=7.0V$
				5	15	mA	All digital inputs at $V_{IN}=3.4V$
2	Off-state Leakage Current (See G.9 in Appendix)	I_{OFF}		±1	±500	nA	$ V_{Xi} - V_{Yj} = V_{DD} - V_{EE}$ See Appendix, Fig. A.1
3	Input Logic "0" level	V_{IL}			$0.8+V_{SS}$	V	$V_{SS}=7.5V$; $V_{EE}=0V$
4	Input Logic "1" level	V_{IH}	$2.0+V_{SS}$			V	$V_{SS}=6.5V$; $V_{EE}=0V$
5	Input Logic "1" level	V_{IH}	3.3			V	
6	Input Leakage (digital pins)	I_{LEAK}		0.1	10	μA	All digital inputs at $V_{IN} = V_{SS}$ or V_{DD}

† DC Electrical Characteristics are over recommended temperature range.

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

DC Electrical Characteristics- Switch Resistance - V_{DC} is the external DC offset applied at the analog I/O pins.

	Characteristics	Sym	25°C		70°C		85°C		Units	Test Conditions
			Typ	Max	Typ	Max	Typ	Max		
1	On-state Resistance $V_{DD}=12V$ $V_{DD}=10V$ $V_{DD}=5V$ (See G.1, G.2, G.3 in Appendix)	R_{ON}	45	65		75		80	Ω	$V_{SS}=V_{EE}=0V$, $V_{DC}=V_{DD}/2$, $ V_{Xi}-V_{Yj} = 0.4V$ See Appendix, Fig. A.2
			55	75		85		90		
			120	185		215		225		
2	Difference in on-state resistance between two switches (See G.4 in Appendix)	ΔR_{ON}	5	10		10		10	Ω	$V_{DD}=12V$, $V_{SS}=V_{EE}=0$, $V_{DC}=V_{DD}/2$, $ V_{Xi}-V_{Yj} = 0.4V$ See Appendix, Fig. A.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics† - Crosspoint Performance- Voltages are with respect to $V_{DD}=5V$, $V_{SS}=0V$, $V_{EE}=-7V$, unless otherwise stated.

	Characteristics	Sym	Min	Typ †	Max	Units	Test Conditions
1	Switch I/O Capacitance	C_S		20		pF	$f=1\text{ MHz}$
2	Feedthrough Capacitance	C_F		0.2		pF	$f=1\text{ MHz}$
3	Frequency Response Channel "ON" $20\text{LOG}(V_{OUT}/V_{XI})=-3\text{dB}$	$F_{3\text{dB}}$		45		MHz	Switch is "ON"; $V_{INA} = 2\text{Vpp}$ sine wave; $R_L = 1\text{k}\Omega$ See Appendix, Fig. A.3
4	Total Harmonic Distortion (See G.5, G.6 in Appendix)	THD		0.01		%	Switch is "ON"; $V_{INA} = 2\text{Vpp}$ sine wave $f = 1\text{kHz}$; $R_L = 1\text{k}\Omega$
5	Feedthrough Channel "OFF" Feed. $=20\text{LOG}(V_{OUT}/V_{XI})$ (See G.8 in Appendix)	FDT		-95		dB	All Switches "OFF"; $V_{INA} = 2\text{Vpp}$ sine wave $f = 1\text{kHz}$; $R_L = 1\text{k}\Omega$. See Appendix, Fig. A.4
6	Crosstalk between any two channels for switches Xi-Yi and Xj-Yj. $X\text{talk}=20\text{LOG}(V_{Yj}/V_{Xi})$. (See G.7 in Appendix).	X_{talk}		-45		dB	$V_{INA}=2\text{Vpp}$ sine wave $f = 10\text{MHz}$; $R_L = 75\Omega$
				-90		dB	$V_{INA}=2\text{Vpp}$ sine wave $f = 10\text{kHz}$; $R_L = 600\Omega$.
				-85		dB	$V_{INA}=2\text{Vpp}$ sine wave $f = 10\text{kHz}$; $R_L = 1\text{k}\Omega$.
				-80		dB	$V_{INA}=2\text{Vpp}$ sine wave $f = 1\text{kHz}$; $R_L = 10\text{k}\Omega$. Refer to Appendix, Fig. A.5 for test circuit.
7	Propagation delay through switch	t_{PS}			30	ns	$R_L=1\text{k}\Omega$; $C_L=50\text{pF}$

† Timing is over recommended temperature range. See Fig. 3 for control and I/O timing details.

‡ Typical figures are at 25°C and are for design aid only; not guaranteed and not subject to production testing.

Crosstalk measurements are for Plastic DIPs only, crosstalk values for PLCC packages are approximately 5dB better.

AC Electrical Characteristics† - Control and I/O Timings- Voltages are with respect to $V_{DD}=5V$, $V_{SS}=0V$, $V_{EE}=-7V$, unless otherwise stated.

	Characteristics	Sym	Min	Typ †	Max	Units	Test Conditions
1	Control Input crosstalk to switch (for CS, DATA, STROBE, Address)	CX_{talk}		30		mVpp	$V_{IN}=3\text{V}$ square wave; $R_{IN}=1\text{k}\Omega$, $R_L=10\text{k}\Omega$. See Appendix, Fig. A.6
2	Digital Input Capacitance	C_{DI}		10		pF	$f=1\text{MHz}$
3	Switching Frequency	F_O			20	MHz	
4	Setup Time DATA to STROBE	t_{DS}	10			ns	$R_L = 1\text{k}\Omega$ $C_L=50\text{pF}$ ①
5	Hold Time DATA to STROBE	t_{DH}	10			ns	$R_L = 1\text{k}\Omega$ $C_L=50\text{pF}$ ②
6	Setup Time Address to STROBE	t_{AS}	10			ns	$R_L = 1\text{k}\Omega$ $C_L=50\text{pF}$ ③
7	Hold Time Address to STROBE	t_{AH}	10			ns	$R_L = 1\text{k}\Omega$ $C_L=50\text{pF}$ ④
8	Setup Time CS to STROBE	t_{CSS}	10			ns	$R_L = 1\text{k}\Omega$ $C_L=50\text{pF}$ ⑤
9	Hold Time CS to STROBE	t_{CSH}	10			ns	$R_L = 1\text{k}\Omega$ $C_L=50\text{pF}$ ⑥
10	STROBE Pulse Width	t_{SPW}	20			ns	$R_L = 1\text{k}\Omega$ $C_L=50\text{pF}$ ⑦
11	RESET Pulse Width	t_{RPW}	40			ns	$R_L = 1\text{k}\Omega$ $C_L=50\text{pF}$ ⑧
12	STROBE to Switch Status Delay	t_S		40	100	ns	$R_L = 1\text{k}\Omega$ $C_L=50\text{pF}$ ⑨
13	DATA to Switch Status Delay	t_D		50	100	ns	$R_L = 1\text{k}\Omega$ $C_L=50\text{pF}$ ⑩
14	RESET to Switch Status Delay	t_R		35	100	ns	$R_L = 1\text{k}\Omega$ $C_L=50\text{pF}$ ⑪

† Timing is over recommended temperature range. See Fig. 3 for control and I/O timing details.

Digital Input rise time (t_r) and fall time (t_f) = 5ns.

‡ Typical figures are at 25°C and are for design aid only; not guaranteed and not subject to production testing.

① Refer to Appendix, Fig. A.7 for test circuit.

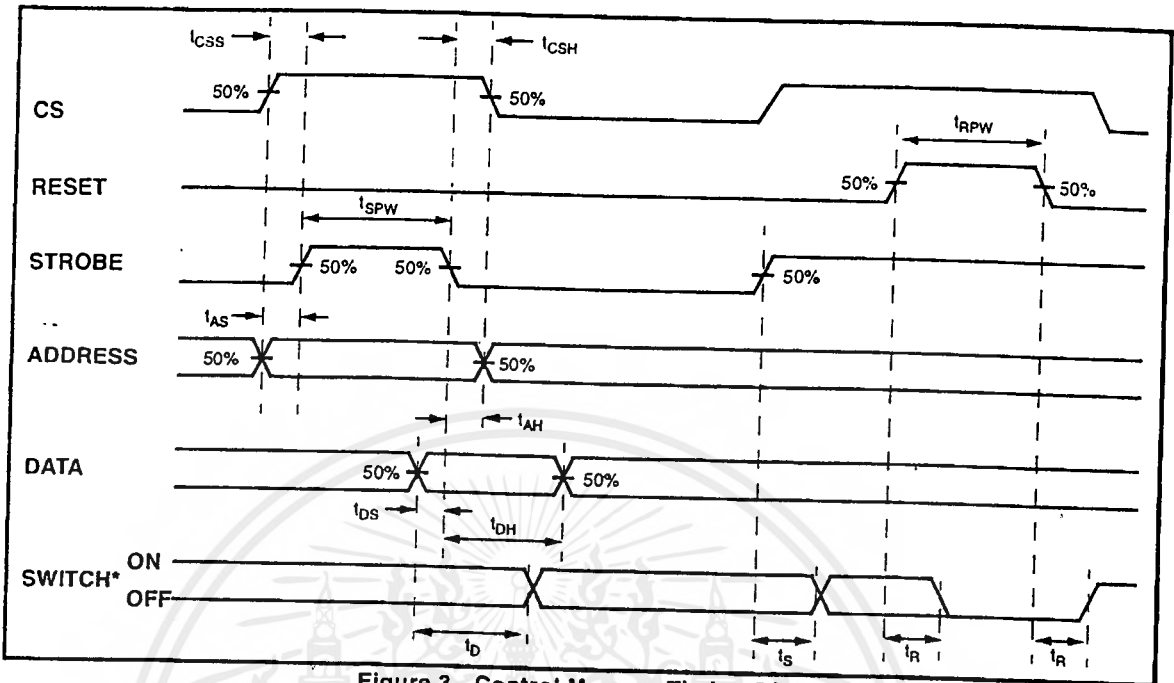


Figure 3 - Control Memory Timing Diagram

* See Appendix, Fig. A.7 for switching waveform

AX0	AX1	AX2	AX3	AY0	AY1	AY2	Connection*
0	0	0	0	0	0	0	X0-Y0
1	0	0	0	0	0	0	X1-Y0
0	1	0	0	0	0	0	X2-Y0
1	1	0	0	0	0	0	X3-Y0
0	0	1	0	0	0	0	X4-Y0
1	0	1	0	0	0	0	X5-Y0
0	1	1	0	0	0	0	X12-Y0
1	1	1	0	0	0	0	X13-Y0
0	0	0	1	0	0	0	X6-Y0
1	0	0	1	0	0	0	X7-Y0
0	1	0	1	0	0	0	X8-Y0
1	1	0	1	0	0	0	X9-Y0
0	0	1	1	0	0	0	X10-Y0
1	0	1	1	0	0	0	X11-Y0
0	1	1	1	0	0	0	X14-Y0
1	1	1	1	0	0	0	X15-Y0
0	0	0	0	1	0	0	X0-Y1
1	1	1	1	1	0	0	X0-Y1
0	0	0	0	0	1	0	X15-Y1
1	1	1	1	0	1	0	X0-Y2
0	0	0	0	1	1	0	X15-Y2
1	1	1	1	1	1	0	X0-Y3
0	0	0	0	0	0	1	X15-Y3
1	1	1	1	0	0	1	X0-Y4
0	0	0	0	1	0	1	X15-Y4
1	1	1	1	1	0	1	X0-Y5
0	0	0	0	0	1	1	X15-Y5
1	1	1	1	0	1	1	X0-Y6
0	0	0	0	1	1	1	X15-Y6
1	1	1	1	0	1	1	X0-Y7
0	0	0	0	1	1	1	X15-Y7
1	1	1	1	1	1	1	X15-Y7

Table 1. Address Decdcde Truth Table

* Switch connections are not in ascending order

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AT89C51

8-Bit Microcontroller with 4K Bytes Flash

Features

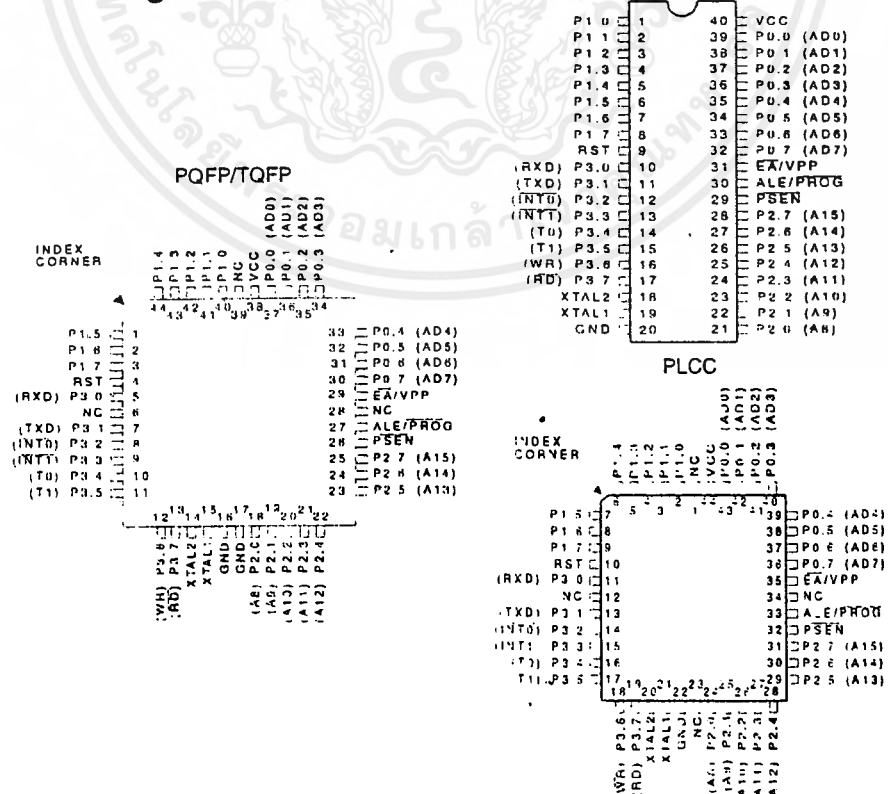
- Compatible with MCS-51™ Products
- 4K Bytes of In-System Reprogrammable Flash Memory
 - Endurance: 1,000 Write/Erase Cycles
- Fully Static Operation: 0 Hz to 24 MHz
- Three-Level Program Memory Lock
- 128 x 8-Bit Internal RAM
- 32 Programmable I/O Lines
- Two 16-Bit Timer/Counters
- Six Interrupt Sources
- Programmable Serial Channel
- Low Power Idle and Power Down Modes

Description

The AT89C51 is a low-power, high-performance CMOS 8-bit microcomputer with 4K bytes of Flash Programmable and Erasable Read Only Memory (PEROM). The device is manufactured using Atmel's high density nonvolatile memory technology and is compatible with the industry standard MCS-51™ instruction set and pinout. The on-chip Flash allows the program memory to be reprogrammed in-system or by a conventional nonvolatile memory programmer. By combining a versatile 8-bit CPU with Flash on a monolithic chip, the Atmel AT89C51 is a powerful microcomputer which provides a highly flexible and cost effective solution to many embedded control applications.

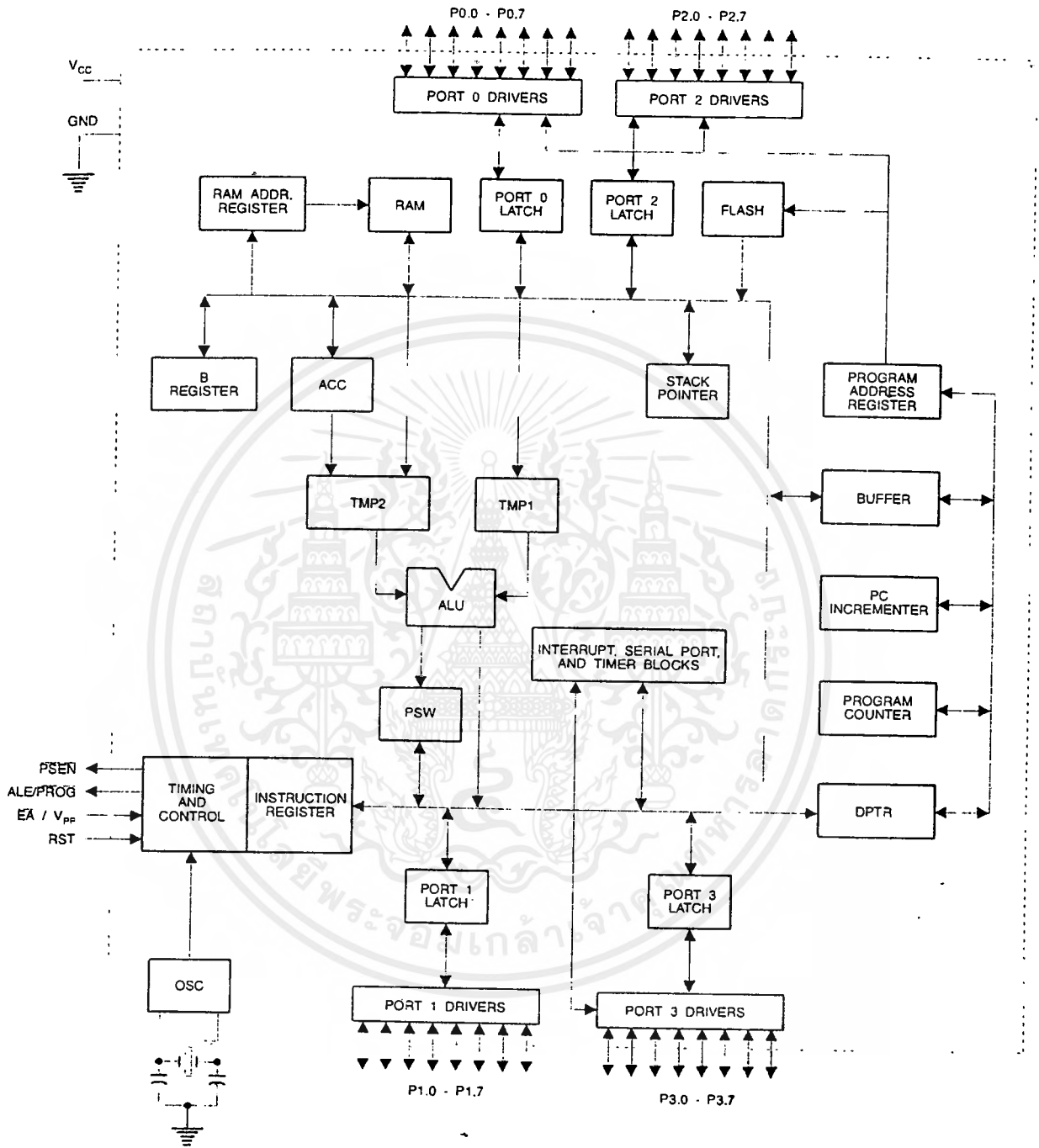
(continued)

Pin Configurations



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The AT89C51 provides the following standard features: 4K bytes of Flash, 128 bytes of RAM, 32 I/O lines, two 16-bit timer/counters, a five vector two-level interrupt architecture, a full duplex serial port, on-chip oscillator and clock circuitry. In addition, the AT89C51 is designed with static logic for operation down to zero frequency and supports two software selectable power saving modes. The Idle Mode stops the CPU while allowing the RAM, timer/counters, serial port and interrupt system to continue functioning. The Power Down Mode saves the RAM contents but freezes the oscillator disabling all other chip functions until the next hardware reset.

Pin Description

V_{CC}
Supply voltage.

GND
Ground.

Port 0
Port 0 is an 8-bit open drain bidirectional I/O port. As an output port each pin can sink eight TTL inputs. When 1s are written to port 0 pins, the pins can be used as high-impedance inputs.

Port 0 may also be configured to be the multiplexed low-order address/data bus during accesses to external program and data memory. In this mode P0 has internal pullups.

Port 0 also receives the code bytes during Flash programming, and outputs the code bytes during program verification. External pullups are required during program verification.

Port 1
Port 1 is an 8-bit bidirectional I/O port with internal pullups. The Port 1 output buffers can sink/source four TTL inputs. When 1s are written to Port 1 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

Port 1 also receives the low-order address bytes during Flash programming and verification.

Port 2
Port 2 is an 8-bit bidirectional I/O port with internal pullups. The Port 2 output buffers can sink/source four TTL inputs. When 1s are written to Port 2 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

Port 2 emits the high-order address byte during fetches from external program memory and during accesses to external data memory that use 16-bit addresses (MOVX @ DPTR). In this application it uses strong internal pullups

when emitting 1s. During accesses to external data memory that use 8-bit addresses (MOVX @ RI), Port 2 emits the contents of the P2 Special Function Register.

Port 2 also receives the high-order address bits and some control signals during Flash programming and verification.

Port 3

Port 3 is an 8-bit bidirectional I/O port with internal pullups. The Port 3 output buffers can sink/source four TTL inputs. When 1s are written to Port 3 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL}) because of the pullups.

Port 3 also serves the functions of various special features of the AT89C51 as listed below:

Port Pin	Alternate Functions
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	INT0 (external interrupt 0)
P3.3	INT1 (external interrupt 1)
P3.4	T0 (timer 0 external input)
P3.5	T1 (timer 1 external input)
P3.6	WR (external data memory write strobe)
P3.7	RD (external data memory read strobe)

Port 3 also receives some control signals for Flash programming and verification.

RST

Reset input. A high on this pin for two machine cycles while the oscillator is running resets the device.

ALE/PROG

Address Latch Enable output pulse for latching the low byte of the address during accesses to external memory. This pin is also the program pulse input (PROG) during Flash programming.

In normal operation ALE is emitted at a constant rate of 1/6 the oscillator frequency, and may be used for external timing or clocking purposes. Note, however, that one ALE pulse is skipped during each access to external Data Memory.

If desired, ALE operation can be disabled by setting bit 0 of SFR location 8EH. With the bit set, ALE is active only during a MOVX or MOVC instruction. Otherwise, the pin is weakly pulled high. Setting the ALE-disable bit has no effect if the microcontroller is in external execution mode.

PSEN

Program Store Enable is the read strobe to external program memory.

When the AT89C51 is executing code from external program memory, \overline{PSEN} is activated twice each machine cycle, except that two \overline{PSEN} activations are skipped during each access to external data memory.

\overline{EA}/V_{PP}

External Access Enable. \overline{EA} must be strapped to GND in order to enable the device to fetch code from external program memory locations starting at 0000H up to FFFFH. Note, however, that if lock bit 1 is programmed, \overline{EA} will be internally latched on reset.

\overline{EA} should be strapped to V_{CC} for internal program executions.

This pin also receives the 12-volt programming enable voltage (V_{PP}) during Flash programming, for parts that require 12-volt V_{PP} .

XTAL1

Input to the inverting oscillator amplifier and input to the internal clock operating circuit.

XTAL2

Output from the inverting oscillator amplifier.

Oscillator Characteristics

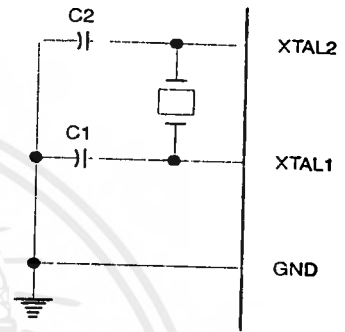
XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier which can be configured for use as an on-chip oscillator, as shown in Figure 1. Either a quartz crystal or ceramic resonator may be used. To drive the device from an external clock source, XTAL2 should be left unconnected while XTAL1 is driven as shown in Figure 2. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum voltage high and low time specifications must be observed.

Idle Mode

In idle mode, the CPU puts itself to sleep while all the on-chip peripherals remain active. The mode is invoked by software. The content of the on-chip RAM and all the special functions registers remain unchanged during this mode. The idle mode can be terminated by any enabled interrupt or by a hardware reset.

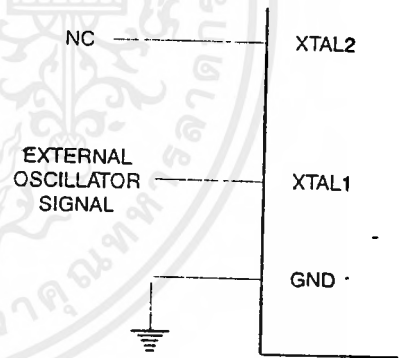
It should be noted that when idle is terminated by a hardware reset, the device normally resumes program execution, from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hardware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write to a port pin when Idle is terminated by reset, the instruction following the one that invokes Idle should not be one that writes to a port pin or to external memory.

Figure 1. Oscillator Connections



Note: C1, C2 = 30 pF ± 10 pF for Crystals
= 40 pF ± 10 pF for Ceramic Resonators

Figure 2. External Clock Drive Configuration



Status of External Pins During Idle and Power Down Modes

Mode	Program Memory	ALE	\overline{PSEN}	PORT0	PORT1	PORT2	PORT3
Idle	Internal	1	1	Data	Data	Data	Data
Idle	External	1	1	Float	Data	Address	Data
Power Down	Internal	0	0	Data	Data	Data	Data
Power Down	External	0	0	Float	Data	Data	Data

Power Down Mode

In the power down mode the oscillator is stopped, and the instruction that invokes power down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values until the power down mode is terminated. The only exit from power down is a hardware reset. Reset redefines the SFRs but does not change the on-chip RAM. The reset should not be activated before V_{CC} is restored to its normal operating level and must be held active long enough to allow the oscillator to restart and stabilize.

Lock Bit Protection Modes

	Program Lock Bits			Protection Type
	LB1	LB2	LB3	
1	U	U	U	No program lock features.
2	P	U	U	MOVC instructions executed from external program memory are disabled from fetching code bytes from internal memory, \overline{EA} is sampled and latched on reset, and further programming of the Flash is disabled.
3	P	P	U	Same as mode 2, also verify is disabled.
4	P	P	P	Same as mode 3, also external execution is disabled.

Programming the Flash

The AT89C51 is normally shipped with the on-chip Flash memory array in the erased state (that is, contents = FFH) and ready to be programmed. The programming interface accepts either a high-voltage (12-volt) or a low-voltage (V_{CC}) program enable signal. The low voltage programming mode provides a convenient way to program the AT89C51 inside the user's system, while the high-voltage programming mode is compatible with conventional third party Flash or EPROM programmers.

The AT89C51 is shipped with either the high-voltage or low-voltage programming mode enabled. The respective top-side marking and device signature codes are listed in the following table.

	$V_{PP} = 12V$	$V_{PP} = 5V$
Top-Side Mark	AT89C51 xxxx yyww	AT89C51 xxxx-5 yyww
Signature	(030H)=1EH (031H)=51H (032H)=FFH	(030H)=1EH (031H)=51H (032H)=05H

The AT89C51 code memory array is programmed byte-by-byte in either programming mode. *To program any non-blank byte in the on-chip Flash Memory, the entire memory must be erased using the Chip Erase Mode.*

Program Memory Lock Bits

On the chip are three lock bits which can be left unprogrammed (U) or can be programmed (P) to obtain the additional features listed in the table below:

When lock bit 1 is programmed, the logic level at the \overline{EA} pin is sampled and latched during reset. If the device is powered up without a reset, the latch initializes to a random value, and holds that value until reset is activated. It is necessary that the latched value of \overline{EA} be in agreement with the current logic level at that pin in order for the device to function properly.

Programming Algorithm: Before programming the AT89C51, the address, data and control signals should be set up according to the Flash programming mode table and Figures 3 and 4. To program the AT89C51, take the following steps.

1. Input the desired memory location on the address lines.
2. Input the appropriate data byte on the data lines.
3. Activate the correct combination of control signals.
4. Raise \overline{EA}/V_{PP} to 12V for the high-voltage programming mode.
5. Pulse $\overline{ALE}/\overline{PROG}$ once to program a byte in the Flash array or the lock bits. The byte-write cycle is self-timed and typically takes no more than 1.5 ms. Repeat steps 1 through 5, changing the address and data for the entire array or until the end of the object file is reached.

Data Polling: The AT89C51 features Data Polling to indicate the end of a write cycle. During a write cycle, an attempted read of the last byte written will result in the complement of the written datum on PO.7. Once the write cycle has been completed, true data are valid on all outputs, and the next cycle may begin. Data Polling may begin any time after a write cycle has been initiated.

Ready/Busy: The progress of byte programming can also be monitored by the RDY/\overline{BSY} output signal. P3.4 is pulled low after \overline{ALE} goes high during programming to indicate BUSY. P3.4 is pulled high again when programming is done to indicate READY.

Program Verify: If lock bits LB1 and LB2 have not been programmed, the programmed code data can be read back via the address and data lines for verification. The lock bits cannot be verified directly. Verification of the lock bits is achieved by observing that their features are enabled.

Chip Erase: The entire Flash array is erased electrically by using the proper combination of control signals and by holding ALE/PROG low for 10 ms. The code array is written with all "1"s. The chip erase operation must be executed before the code memory can be re-programmed.

Reading the Signature Bytes: The signature bytes are read by the same procedure as a normal verification of locations 030H,

031H, and 032H, except that P3.6 and P3.7 must be pulled to a logic low. The values returned are as follows.





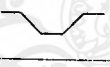
- (030H) = 1EH indicates manufactured by Atmel
- (031H) = 51H indicates 89C51
- (032H) = FFH indicates 12V programming
- (032H) = 05H indicates 5V programming

Programming Interface

Every code byte in the Flash array can be written and the entire array can be erased by using the appropriate combination of control signals. The write operation cycle is self-timed and once initiated, will automatically time itself to completion.

All major programming vendors offer worldwide support for the Atmel microcontroller series. Please contact your local programming vendor for the appropriate software revision.

Flash Programming Modes

Mode	RST	PSEN	ALE/PROG	EA/V _{PP}	P2.6	P2.7	P3.6	P3.7
Write Code Data	H	L		H/12V	L	H	H	H
Read Code Data	H	L	H	H	L	L	H	H
Write Lock	Bit - 1	H	L		H/12V	H	H	H
	Bit - 2	H	L		H/12V	H	H	L
	Bit - 3	H	L		H/12V	H	L	H
Chip Erase	H	L	 (1)	H/12V	H	L	L	L
Read Signature Byte	H	L	H	H	L	L	L	L

Note: 1. Chip Erase requires a 10-ms PROG pulse.

Figure 3. Programming the Flash

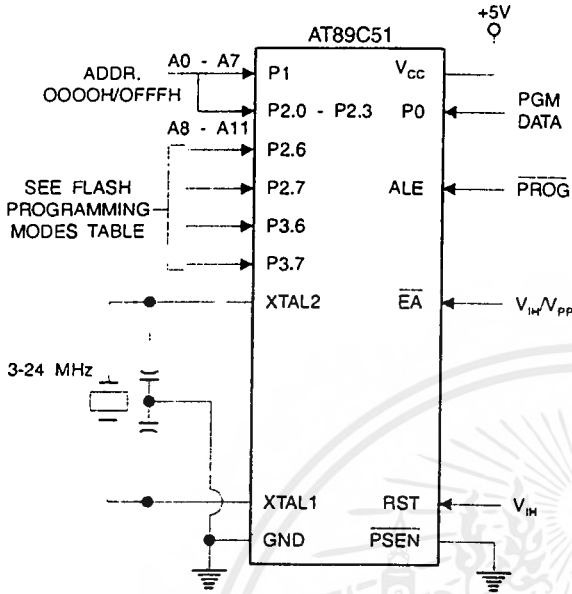
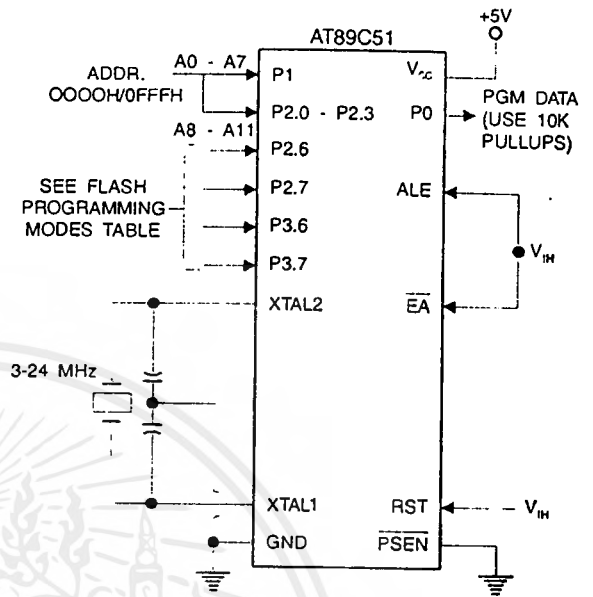


Figure 4. Verifying the Flash



Flash Programming and Verification Characteristics

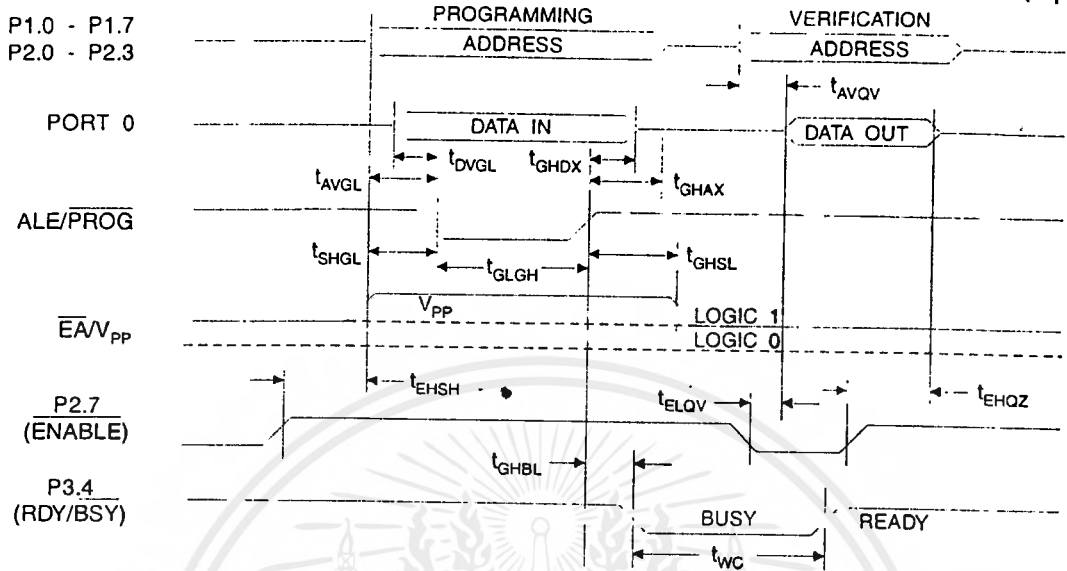
$T_A = 0^\circ\text{C to } 70^\circ\text{C}$, $V_{CC} = 5.0 \pm 10\%$

Symbol	Parameter	Min	Max	Units
$V_{PP}^{(1)}$	Programming Enable Voltage	11.5	12.5	V
$I_{PP}^{(1)}$	Programming Enable Current		1.0	mA
$1/t_{CLCL}$	Oscillator Frequency	3	24	MHz
t_{AVGL}	Address Setup to $\overline{\text{PROG}}$ Low	$48t_{CLCL}$		
t_{GHAX}	Address Hold After $\overline{\text{PROG}}$	$48t_{CLCL}$		
t_{DVGL}	Data Setup to $\overline{\text{PROG}}$ Low	$48t_{CLCL}$		
t_{GHDX}	Data Hold After $\overline{\text{PROG}}$	$48t_{CLCL}$		
t_{EHS}	P2.7 (ENABLE) High to V_{PP}	$48t_{CLCL}$		
t_{SHGL}	V_{PP} Setup to $\overline{\text{PROG}}$ Low	10		μs
$t_{GHSL}^{(1)}$	V_{PP} Hold After $\overline{\text{PROG}}$	10		μs
t_{GLGH}	$\overline{\text{PROG}}$ Width	1	110	μs
t_{AVQV}	Address to Data Valid		$48t_{CLCL}$	
t_{ELQV}	$\overline{\text{ENABLE}}$ Low to Data Valid		$48t_{CLCL}$	
t_{EHQZ}	Data Float After $\overline{\text{ENABLE}}$	0	$48t_{CLCL}$	
t_{GHBL}	$\overline{\text{PROG}}$ High to $\overline{\text{BUSY}}$ Low		1.0	μs
t_{WC}	Byte Write Cycle Time		2.0	ms

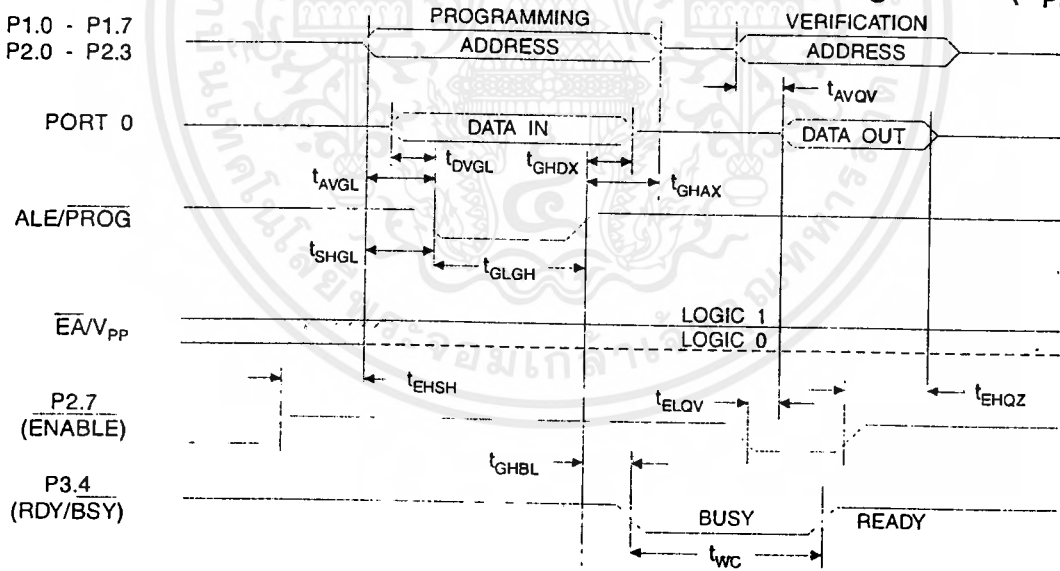
Note: 1. Only used in 12-volt programming mode.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Flash Programming and Verification Waveforms - High Voltage Mode ($V_{PP} = 12V$)



Flash Programming and Verification Waveforms - Low Voltage Mode ($V_{PP} = 5V$)



Absolute Maximum Ratings*

Operating Temperature.....	-55°C to +125°C
Storage Temperature.....	-65°C to +150°C
Voltage on Any Pin with Respect to Ground.....	-1.0V to +7.0V
Maximum Operating Voltage.....	6.6V
DC Output Current.....	15.0 mA

*NOTICE: Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC Characteristics

$T_A = -40^\circ\text{C}$ to 85°C , $V_{CC} = 5.0\text{V} \pm 20\%$ (unless otherwise noted)

Symbol	Parameter	Condition	Min	Max	Units
V_{IL}	Input Low Voltage	(Except $\bar{E}\bar{A}$)	-0.5	$0.2 V_{CC} - 0.1$	V
V_{IL1}	Input Low Voltage ($\bar{E}\bar{A}$)		-0.5	$0.2 V_{CC} - 0.3$	V
V_{IH}	Input High Voltage	(Except XTAL1, RST)	$0.2 V_{CC} + 0.9$	$V_{CC} + 0.5$	V
V_{IH1}	Input High Voltage	(XTAL1, RST)	$0.7 V_{CC}$	$V_{CC} + 0.5$	V
V_{OL}	Output Low Voltage ⁽¹⁾ (Ports 1,2,3)	$I_{OL} = 1.6\text{ mA}$		0.45	V
V_{OL1}	Output Low Voltage ⁽¹⁾ (Port 0, ALE, $\bar{P}\bar{S}\bar{E}\bar{N}$)	$I_{OL} = 3.2\text{ mA}$		0.45	V
V_{OH}	Output High Voltage (Ports 1,2,3, ALE, $\bar{P}\bar{S}\bar{E}\bar{N}$)	$I_{OH} = -60\ \mu\text{A}$, $V_{CC} = 5\text{V} \pm 10\%$	2.4		V
		$I_{OH} = -25\ \mu\text{A}$	$0.75 V_{CC}$		V
		$I_{OH} = -10\ \mu\text{A}$	$0.9 V_{CC}$		V
V_{OH1}	Output High Voltage (Port 0 in External Bus Mode)	$I_{OH} = -800\ \mu\text{A}$, $V_{CC} = 5\text{V} \pm 10\%$	2.4		V
		$I_{OH} = -300\ \mu\text{A}$	$0.75 V_{CC}$		V
		$I_{OH} = -80\ \mu\text{A}$	$0.9 V_{CC}$		V
I_{IL}	Logical 0 Input Current (Ports 1,2,3)	$V_{IN} = 0.45\text{V}$		-50	μA
I_{TL}	Logical 1 to 0 Transition Current (Ports 1,2,3)	$V_{IN} = 2\text{V}$, $V_{CC} = 5\text{V} \pm 10\%$		-650	μA
I_{LI}	Input Leakage Current (Port 0, $\bar{E}\bar{A}$)	$0.45 < V_{IN} < V_{CC}$		± 10	μA
RRST	Reset Pulldown Resistor		50	300	K Ω
C_{IO}	Pin Capacitance	Test Freq. = 1 MHz, $T_A = 25^\circ\text{C}$		10	pF
I_{CC}	Power Supply Current	Active Mode, 12 MHz		20	mA
		Idle Mode, 12 MHz		5	mA
	Power Down Mode ⁽²⁾	$V_{CC} = 6\text{V}$		100	μA
		$V_{CC} = 3\text{V}$		40	μA

Notes: 1. Under steady state (non-transient) conditions, I_{OL} must be externally limited as follows:

Maximum I_{OL} per port pin: 10 mA

Maximum I_{OL} per 8-bit port: Port 0: 26 mA

Ports 1, 2, 3: 15 mA

Maximum total I_{OL} for all output pins: 71 mA *

If I_{OL} exceeds the test condition, V_{OL} may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.

2. Minimum V_{CC} for Power Down is 2V.

AC Characteristics

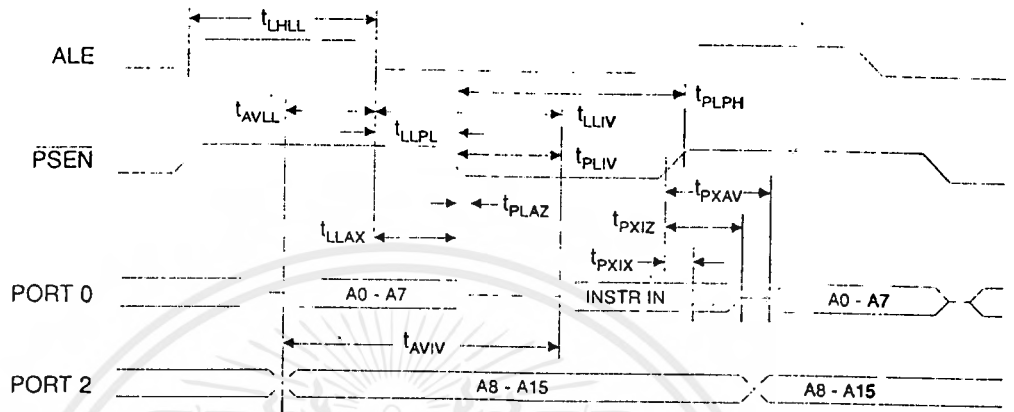
(Under Operating Conditions; Load Capacitance for Port 0, ALE/ $\overline{\text{PROG}}$, and $\overline{\text{PSEN}}$ = 100 pF; Load Capacitance for all other outputs = 80 pF)

External Program and Data Memory Characteristics

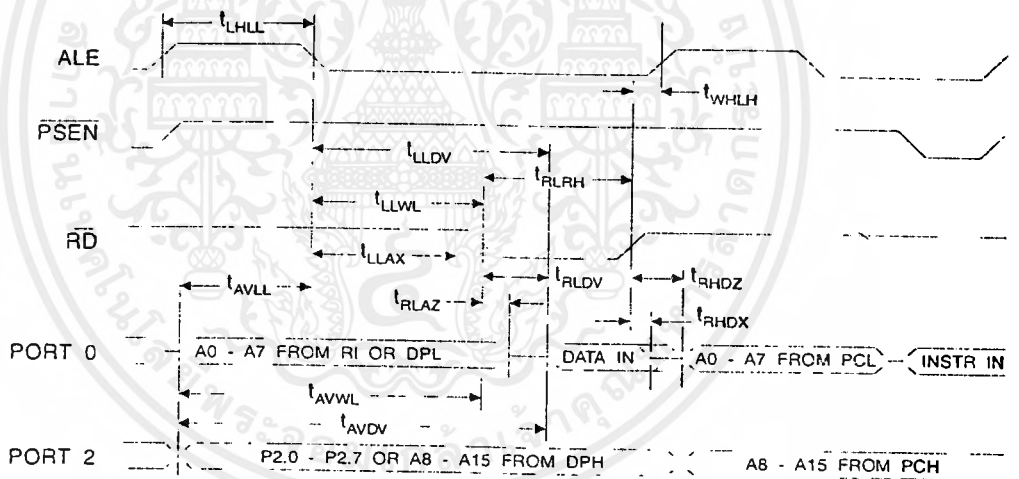
Symbol	Parameter	12 MHz Oscillator		16 to 24 MHz Oscillator		Units
		Min	Max	Min	Max	
$1/t_{\text{CLCL}}$	Oscillator Frequency			0	24	MHz
t_{LHLL}	ALE Pulse Width	127		$2t_{\text{CLCL}}-40$		ns
t_{AVLL}	Address Valid to ALE Low	43		$t_{\text{CLCL}}-13$		ns
t_{LLAX}	Address Hold After ALE Low	48		$t_{\text{CLCL}}-20$		ns
t_{LLIV}	ALE Low to Valid Instruction In		233		$4t_{\text{CLCL}}-65$	ns
t_{LLPL}	ALE Low to $\overline{\text{PSEN}}$ Low	43		$t_{\text{CLCL}}-13$		ns
t_{PLPH}	$\overline{\text{PSEN}}$ Pulse Width	205		$3t_{\text{CLCL}}-20$		ns
t_{PLIV}	$\overline{\text{PSEN}}$ Low to Valid Instruction In		145		$3t_{\text{CLCL}}-45$	ns
t_{PXIX}	Input Instruction Hold After $\overline{\text{PSEN}}$	0		0		ns
t_{PXIZ}	Input Instruction Float After $\overline{\text{PSEN}}$		59		$t_{\text{CLCL}}-10$	ns
t_{PXAV}	$\overline{\text{PSEN}}$ to Address Valid	75		$t_{\text{CLCL}}-8$		ns
t_{AVIV}	Address to Valid Instruction In		312		$5t_{\text{CLCL}}-55$	ns
t_{PLAZ}	$\overline{\text{PSEN}}$ Low to Address Float		10		10	ns
t_{RLRH}	$\overline{\text{RD}}$ Pulse Width	400		$6t_{\text{CLCL}}-100$		ns
t_{WLWH}	$\overline{\text{WR}}$ Pulse Width	400		$6t_{\text{CLCL}}-100$		ns
t_{RLDV}	$\overline{\text{RD}}$ Low to Valid Data In		252		$5t_{\text{CLCL}}-90$	ns
t_{RHDX}	Data Hold After $\overline{\text{RD}}$	0		0		ns
t_{RHDZ}	Data Float After $\overline{\text{RD}}$		97		$2t_{\text{CLCL}}-28$	ns
t_{LLDV}	ALE Low to Valid Data In		517		$8t_{\text{CLCL}}-150$	ns
t_{AVDV}	Address to Valid Data In		585		$9t_{\text{CLCL}}-165$	ns
t_{LLWL}	ALE Low to $\overline{\text{RD}}$ or $\overline{\text{WR}}$ Low	200	300	$3t_{\text{CLCL}}-50$	$3t_{\text{CLCL}}+50$	ns
t_{AVWL}	Address to $\overline{\text{RD}}$ or $\overline{\text{WR}}$ Low	203		$4t_{\text{CLCL}}-75$		ns
t_{QVWX}	Data Valid to $\overline{\text{WR}}$ Transition	23		$t_{\text{CLCL}}-20$		ns
t_{QVWH}	Data Valid to $\overline{\text{WR}}$ High	433		$7t_{\text{CLCL}}-120$		ns
t_{WHQX}	Data Hold After $\overline{\text{WR}}$	33		$t_{\text{CLCL}}-20$		ns
t_{RLAZ}	$\overline{\text{RD}}$ Low to Address Float		0		0	ns
t_{WHLH}	$\overline{\text{RD}}$ or $\overline{\text{WR}}$ High to ALE High	43	123	$t_{\text{CLCL}}-20$	$t_{\text{CLCL}}+25$	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

External Program Memory Read Cycle

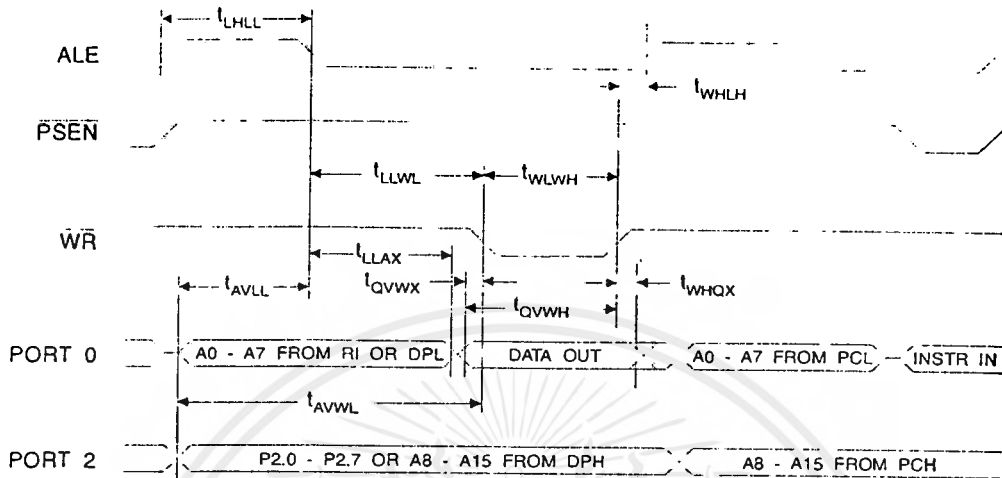


External Data Memory Read Cycle

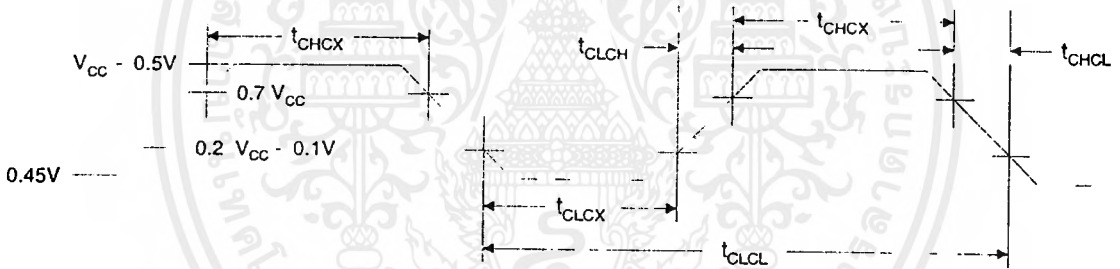


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

External Data Memory Write Cycle



External Clock Drive Waveforms



External Clock Drive

Symbol	Parameter	Min	Max	Units
$1/t_{CLCL}$	Oscillator Frequency	0	24	MHz
t_{CLCL}	Clock Period	41.6		ns
t_{CHCX}	High Time	15		ns
t_{CLCX}	Low Time	15		ns
t_{CLCH}	Rise Time		20	ns
t_{CHCL}	Fall Time		20	ns

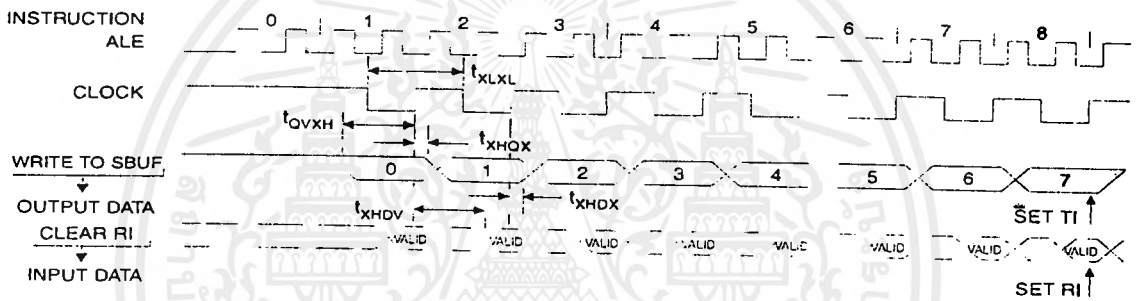
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Serial Port Timing: Shift Register Mode Test Conditions

($V_{CC} = 5.0\text{ V} \pm 20\%$; Load Capacitance = 80 pF)

Symbol	Parameter	12 MHz Osc		Variable Oscillator		Units
		Min	Max	Min	Max	
t_{XLXL}	Serial Port Clock Cycle Time	1.0		$12t_{CLCL}$		μs
t_{OVXH}	Output Data Setup to Clock Rising Edge	700		$10t_{CLCL}-133$		ns
t_{XHGX}	Output Data Hold After Clock Rising Edge	50		$2t_{CLCL}-117$		ns
t_{XHDX}	Input Data Hold After Clock Rising Edge	0		0		ns
t_{XHDX}	Clock Rising Edge to Input Data Valid		700		$10t_{CLCL}-133$	ns

Shift Register Mode Timing Waveforms



AC Testing Input/Output Waveforms⁽¹⁾ Float Waveforms⁽¹⁾



Note: 1. AC Inputs during testing are driven at $V_{CC} - 0.5V$ for a logic 1 and $0.45V$ for a logic 0. Timing measurements are made at V_{IH} min. for a logic 1 and V_{IL} max. for a logic 0.

Note: 1. For timing purposes, a port pin is no longer floating when a 100 mV change from load voltage occurs. A port pin begins to float when 100 mV change from the loaded V_{OH}/V_{OL} level occurs.

Ordering Information

Speed (MHz)	Power Supply	Ordering Code	Package	Operation Range
24	5V \pm 20%	AT89C51-24AC	44A	Commercial (0°C to 70°C)
		AT89C51-24JC	44J	
		AT89C51-24PC	44P6	
		AT89C51-24QC	44Q	
		AT89C51-24AI	44A	
		AT89C51-24JI	44J	Industrial (-40°C to 85°C)
		AT89C51-24PI	44P6	
		AT89C51-24QI	44Q	



Package Type	
44A	44 Lead, Thin Plastic Gull Wing Quad Flatpack (TQFP)
44J	44 Lead, Plastic J-Leaded Chip Carrier (PLCC)
40P6	40 Lead, 0.600" Wide, Plastic Dual Inline Package (PDIP)
44Q	44 Lead, Plastic Gull Wing Quad Flatpack (PQFP)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ordering Information

Speed (MHz)	Power Supply	Ordering Code	Package	Operation Range	
12	5V ± 20%	AT89C51-12AC	44A	Commercial (0°C to 70°C)	
		AT89C51-12JC	44J		
		AT89C51-12PC	40P6		
		AT89C51-12QC	44Q		
		Industrial (-40°C to 85°C)	AT89C51-12AI	44A	44A
			AT89C51-12JI	44J	
			AT89C51-12PI	40P6	
			AT89C51-12QI	44Q	
		Automotive (-40°C to 105°C)	AT89C51-12AA	44A	44A
			AT89C51-12JA	44J	
			AT89C51-12PA	40P6	
			AT89C51-12QA	44Q	
16	5V ± 20%	AT89C51-16AC	44A	Commercial (0°C to 70°C)	
		AT89C51-16JC	44J		
		AT89C51-16PC	40P6		
		AT89C51-16QC	44Q		
		Industrial (-40°C to 85°C)	AT89C51-16AI	44A	44A
			AT89C51-16JI	44J	
			AT89C51-16PI	40P6	
			AT89C51-16QI	44Q	
		Automotive (-40°C to 105°C)	AT89C51-16AA	44A	44A
			AT89C51-16JA	44J	
			AT89C51-16PA	40P6	
			AT89C51-16QA	44Q	
20	5V ± 20%	AT89C51-20AC	44A	Commercial (0°C to 70°C)	
		AT89C51-20JC	44J		
		AT89C51-20PC	40P6		
		AT89C51-20QC	44Q		
		Industrial (-40°C to 85°C)	AT89C51-20AI	44A	44A
			AT89C51-20JI	44J	
			AT89C51-20PI	40P6	
			AT89C51-20QI	44Q	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ISO²-CMOS MT8870D/MT8870D-1 Integrated DTMF Receiver

Features

- Complete DTMF Receiver
- Low power consumption
- Internal gain setting amplifier
- Adjustable guard time
- Central office quality
- Power-down mode
- Inhibit mode
- Backward compatible with MT8870C/MT8870C-1

ISSUE 3

May 1995

Ordering Information

MT8870DE/DE-1	18 Pin Plastic DIP
MT8870DC/DC-1	18 Pin Ceramic DIP
MT8870DS/DS-1	18 Pin SOIC
MT8870DN/DN-1	20 Pin SSOP
MT8870DT/DT-1	20 Pin TSSOP
-40 °C to +85 °C	

Description

The MT8870D/MT8870D-1 is a complete DTMF receiver integrating both the bandsplit filter and digital decoder functions. The filter section uses switched capacitor techniques for high and low group filters; the decoder uses digital counting techniques to detect and decode all 16 DTMF tone-pairs into a 4-bit code. External component count is minimized by on chip provision of a differential input amplifier, clock oscillator and latched three-state bus interface.

Applications

- Receiver system for British Telecom (BT) or CEPT Spec (MT8870D-1)
- Paging systems
- Repeater systems/mobile radio
- Credit card systems
- Remote control
- Personal computers
- Telephone answering machine

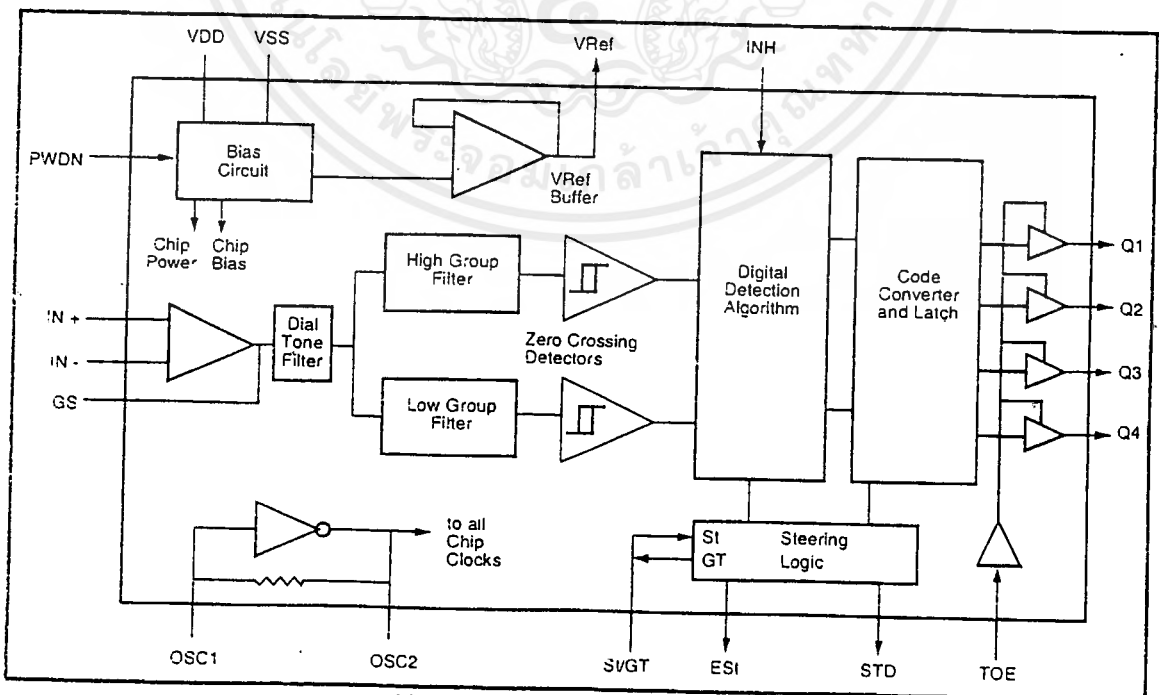


Figure 1 - Functional Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

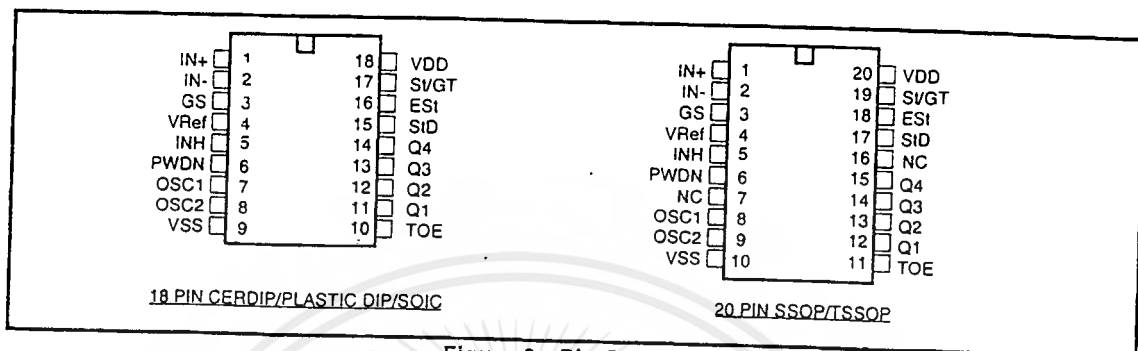
MT8870D/MT8870D-1 ISO²-CMOS

Figure 2 - Pin Connections

Pin Description

Pin #		Name	Description
18	20		
1	1	IN+	Non-Inverting Op-Amp (Input).
2	2	IN-	Inverting Op-Amp (Input).
3	3	GS	Gain Select. Gives access to output of front end differential amplifier for connection of feedback resistor.
4	4	V _{Ref}	Reference Voltage (Output). Nominally V _{DD} /2 is used to bias inputs at mid-rail (see Fig. 6 and Fig. 10).
5	5	INH	Inhibit (Input). Logic high inhibits the detection of tones representing characters A, B, C and D. This pin input is internally pulled down.
6	6	PWDN	Power Down (Input). Active high. Powers down the device and inhibits the oscillator. This pin input is internally pulled down.
7	8	OSC1	Clock (Input).
8	9	OSC2	Clock (Output). A 3.579545 MHz crystal connected between pins OSC1 and OSC2 completes the internal oscillator circuit.
9	10	V _{SS}	Ground (Input). 0V typical.
10	11	TOE	Three State Output Enable (Input). Logic high enables the outputs Q1-Q4. This pin is pulled up internally.
11-14	12-15	Q1-Q4	Three State Data (Output). When enabled by TOE, provide the code corresponding to the last valid tone-pair received (see Table 1). When TOE is logic low, the data outputs are high impedance.
15	17	StD	Delayed Steering (Output). Presents a logic high when a received tone-pair has been registered and the output latch updated; returns to logic low when the voltage on SVGT falls below V _{TS1} .
16	18	ES1	Early Steering (Output). Presents a logic high once the digital algorithm has detected a valid tone pair (signal condition). Any momentary loss of signal condition will cause ES1 to return to a logic low.
17	19	SVGT	Steering Input/Guard time (Output) Bidirectional. A voltage greater than V _{TS1} detected at St causes the device to register the detected tone pair and update the output latch. A voltage less than V _{TS1} frees the device to accept a new tone pair. The GT output acts to reset the external steering time-constant; its state is a function of ES1 and the voltage on St.
18	20	V _{DD}	Positive power supply (Input). +5V typical.
	7, 16	NC	No Connection.

Functional Description

The MT8870D/MT8870D-1 monolithic DTMF receiver offers small size, low power consumption and high performance. Its architecture consists of a bandsplit filter section, which separates the high and low group tones, followed by a digital counting section which verifies the frequency and duration of the received tones before passing the corresponding code to the output bus.

Filter Section

Separation of the low-group and high group tones is achieved by applying the DTMF signal to the inputs of two sixth-order switched capacitor bandpass filters, the bandwidths of which correspond to the low and high group frequencies. The filter section also incorporates notches at 350 and 440 Hz for exceptional dial tone rejection (see Figure 3). Each filter output is followed by a single order switched capacitor filter section which smooths the signals prior to limiting. Limiting is performed by high-gain comparators which are provided with hysteresis to prevent detection of unwanted low-level signals. The outputs of the comparators provide full rail logic swings at the frequencies of the incoming DTMF signals.

Decoder Section

Following the filter section is a decoder employing digital counting techniques to determine the frequencies of the incoming tones and to verify that they correspond to standard DTMF frequencies. A complex averaging algorithm protects against tone simulation by extraneous signals such as voice while

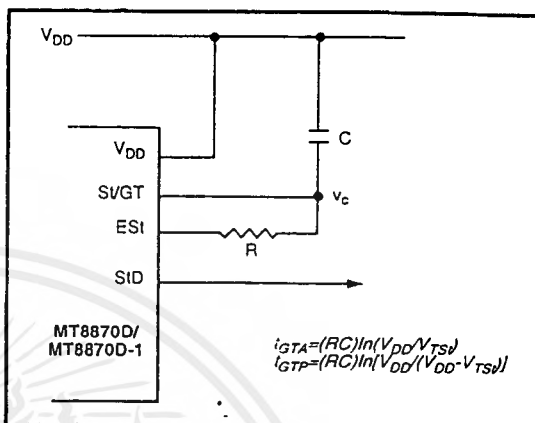


Figure 4 - Basic Steering Circuit

providing tolerance to small frequency deviations and variations. This averaging algorithm has been developed to ensure an optimum combination of immunity to talk-off and tolerance to the presence of interfering frequencies (third tones) and noise. When the detector recognizes the presence of two valid tones (this is referred to as the "signal condition" in some industry specifications) the "Early Steering" (EST) output will go to an active state. Any subsequent loss of signal condition will cause EST to assume an inactive state (see "Steering Circuit").

Steering Circuit

Before registration of a decoded tone pair, the receiver checks for a valid signal duration (referred to as character recognition condition). This check is performed by an external RC time constant driven by EST. A logic high on EST causes v_c (see Figure 4) to rise as the capacitor discharges. Provided signal

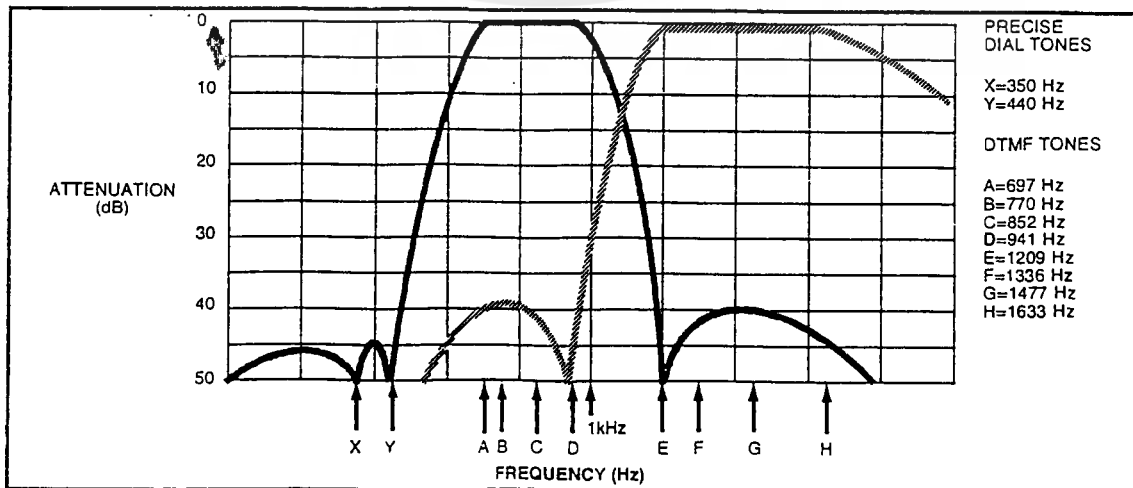


Figure 3 - Filter Response

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MT8870D/MT8870D-1 ISO²-CMOS

condition is maintained (EST remains high) for the validation period (t_{GTP}). v_c reaches the threshold (V_{TS1}) of the steering logic to register the tone pair, latching its corresponding 4-bit code (see Table 1) into the output latch. At this point the GT output is activated and drives v_c to V_{DD} . GT continues to drive high as long as EST remains high. Finally, after a short delay to allow the output latch to settle, the delayed steering output flag (StD) goes high, signalling that a received tone pair has been registered. The contents of the output latch are made available on the 4-bit output bus by raising the three state control input (TOE) to a logic high. The steering circuit works in reverse to validate the interdigit pause between signals. Thus, as well as rejecting signals too short to be considered valid, the receiver will tolerate signal interruptions (dropout) too short to be considered a valid pause. This facility, together with the capability of selecting the steering time constants externally, allows the designer to tailor performance to meet a wide variety of system requirements.

Guard Time Adjustment

In many situations not requiring selection of tone duration and interdigital pause, the simple steering circuit shown in Figure 4 is applicable. Component values are chosen according to the formula:

$$t_{REC} = t_{DP} + t_{GTP}$$

$$t_{ID} = t_{DA} + t_{GTA}$$

The value of t_{DP} is a device parameter (see Figure 11) and t_{REC} is the minimum signal duration to be recognized by the receiver. A value for C of 0.1 μ F is

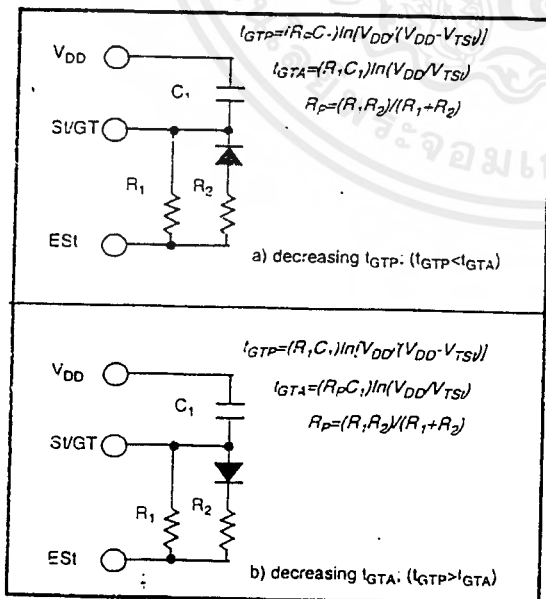


Figure 5 - Guard Time Adjustment

Digit	TOE	INH	EST	Q ₄	Q ₃	Q ₂	Q ₁
ANY	L	X	H	Z	Z	Z	Z
1	H	X	H	0	0	0	1
2	H	X	H	0	0	1	0
3	H	X	H	0	0	1	1
4	H	X	H	0	1	0	0
5	H	X	H	0	1	0	1
6	H	X	H	0	1	1	0
7	H	X	H	0	1	1	1
8	H	X	H	1	0	0	0
9	H	X	H	1	0	0	1
0	H	X	H	1	0	1	0
.	H	X	H	1	0	1	1
#	H	X	H	1	1	0	0
A	H	L	H	1	1	0	1
B	H	L	H	1	1	1	0
C	H	L	H	1	1	1	1
D	H	L	H	0	0	0	0
A	H	H	L	undetected, the output code will remain the same as the previous detected code			
B	H	H	L				
C	H	H	L				
D	H	H	L				

Table 1. Functional Decode Table

L=LOGIC LOW, H=LOGIC HIGH, Z=HIGH IMPEDANCE
X = DON'T CARE

recommended for most applications, leaving R to be selected by the designer.

Different steering arrangements may be used to select independently the guard times for tone present (t_{GTP}) and tone absent (t_{GTA}). This may be necessary to meet system specifications which place both accept and reject limits on both tone duration and interdigital pause. Guard time adjustment also allows the designer to tailor system parameters such as talk off and noise immunity. Increasing t_{REC} improves talk-off performance since it reduces the probability that tones simulated by speech will maintain signal condition long enough to be registered. Alternatively, a relatively short t_{REC} with a long t_{DO} would be appropriate for extremely noisy environments where fast acquisition time and immunity to tone drop-outs are required. Design information for guard time adjustment is shown in Figure 5.

Power-down and Inhibit Mode

A logic high applied to pin 6 (PWDN) will power down the device to minimize the power consumption in a standby mode. It stops the oscillator and the functions of the filters.

Inhibit mode is enabled by a logic high input to the pin 5 (INH). It inhibits the detection of tones representing characters A, B, C, and D. The output code will remain the same as the previous detected code (see Table 1).

Differential Input Configuration

The input arrangement of the MT8870D/MT8870D-1 provides a differential-input operational amplifier as well as a bias source (V_{Ref}) which is used to bias the inputs at mid-rail. Provision is made for connection of a feedback resistor to the op-amp output (GS) for adjustment of gain. In a single-ended configuration, the input pins are connected as shown in Figure 10 with the op-amp connected for unity gain and V_{Ref} biasing the input at $1/2 V_{DD}$. Figure 6 shows the differential configuration, which permits the adjustment of gain with the feedback resistor R_5 .

Crystal Oscillator

The internal clock circuit is completed with the addition of an external 3.579545 MHz crystal and is normally connected as shown in Figure 10 (Single-Ended Input Configuration). However, it is possible to configure several MT8870D/MT8870D-1 devices employing only a single oscillator crystal. The oscillator output of the first device in the chain is coupled through a 30 pF capacitor to the oscillator input (OSC1) of the next device. Subsequent devices are connected in a similar fashion. Refer to Figure 7 for details. The problems associated with unbalanced loading are not a concern with the arrangement shown, i.e., precision balancing capacitors are not required.

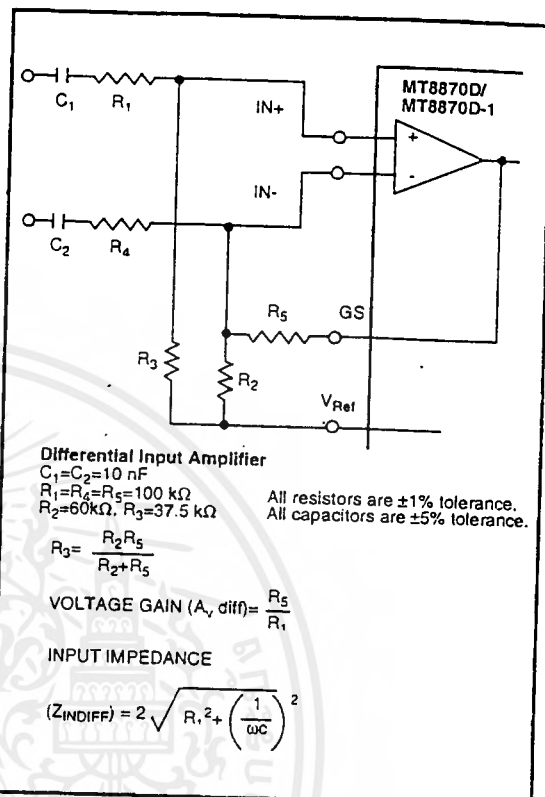


Figure 6 - Differential Input Configuration

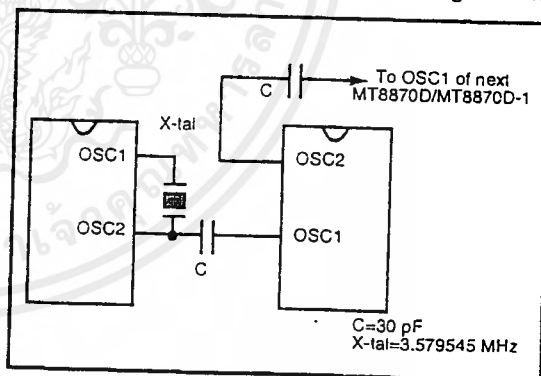


Figure 7 - Oscillator Connection

Parameter	Unit	Resonator
R1	Ohms	10.752
L1	mH	.432
C1	pF	4.984
C0	pF	37.915
Qm	-	896.37
Δf	%	$\pm 0.2\%$

Table 2. Recommended Resonator Specifications
 Note: Qm=quality factor of RLC model, i.e., $1/2\pi/R1C1$.

MT8870D/MT8870D-1 ISO²-CMOS

Applications

RECEIVER SYSTEM FOR BRITISH TELECOM SPEC POR 1151

The circuit shown in Fig. 9 illustrates the use of MT8870D-1 device in a typical receiver system. BT Spec defines the input signals less than -34 dBm as the non-operate level. This condition can be attained by choosing a suitable values of R_1 and R_2 to provide 3 dB attenuation, such that -34 dBm input signal will correspond to -37 dBm at the gain setting pin GS of MT8870D-1. As shown in the diagram, the component values of R_3 and C_2 are the guard time requirements when the total component tolerance is 6%. For better performance, it is recommended to use the non-symmetric guard time circuit in Fig. 8.

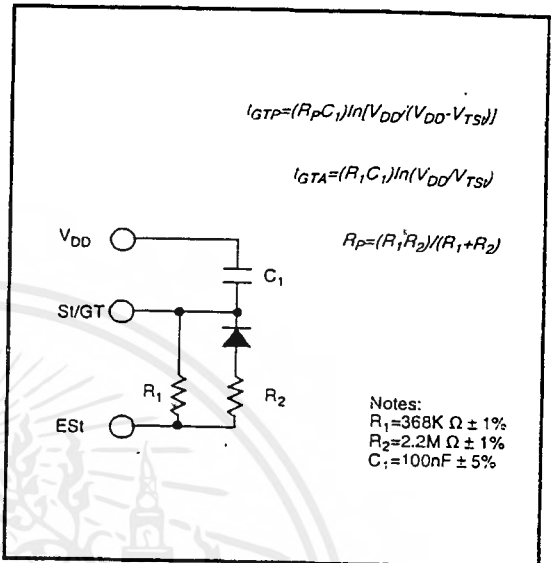


Figure 8 - Non-Symmetric Guard Time Circuit

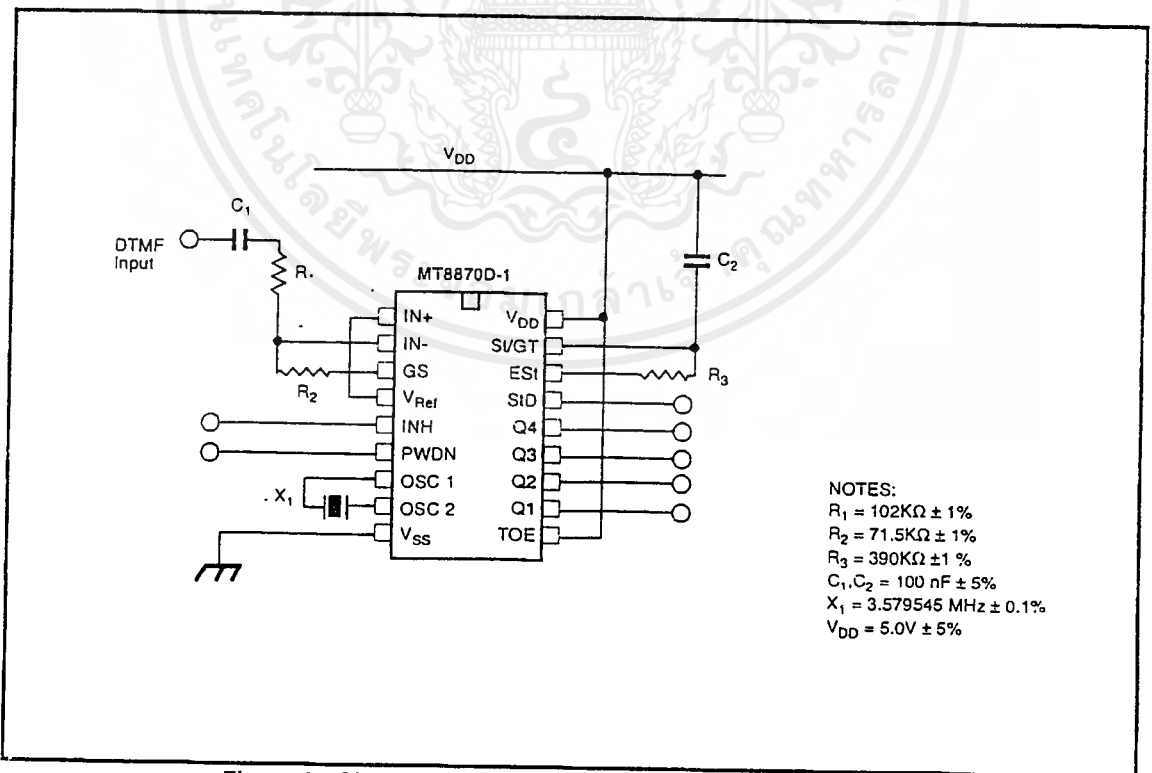


Figure 9 - Single-Ended Input Configuration for BT or CEPT Spec

Absolute Maximum Ratings[†]

	Parameter	Symbol	Min	Max	Units
1	DC Power Supply Voltage	V_{DD}		7	V
2	Voltage on any pin	V_I	$V_{SS}-0.3$	$V_{DD}+0.3$	V
3	Current at any pin (other than supply)	I_I		10	mA
4	Storage temperature	T_{STG}	-65	+150	°C
5	Package power dissipation	P_D		500	mW

[†] Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied. Derate above 75 °C at 16 mW / °C. All leads soldered to board.

Recommended Operating Conditions - Voltages are with respect to ground (V_{SS}) unless otherwise stated.

	Parameter	Sym	Min	Typ [‡]	Max	Units	Test Conditions
1	DC Power Supply Voltage	V_{DD}	4.75	5.0	5.25	V	
2	Operating Temperature	T_O	-40		+85	°C	
3	Crystal/Clock Frequency	f_c		3.579545		MHz	
4	Crystal/Clock Freq. Tolerance	Δf_c		± 0.1		%	

[‡] Typical figures are at 25°C and are for design aid only; not guaranteed and not subject to production testing.

DC Electrical Characteristics - $V_{DD}=5.0V \pm 5\%$, $V_{SS}=0V$, $-40^\circ C \leq T_C \leq +85^\circ C$, unless otherwise stated.

	Characteristics	Sym	Min	Typ [‡]	Max	Units	Test Conditions	
1	S U P P L Y	Standby supply current		10	25	μA	PWDN= V_{DD}	
2		Operating supply current		3.0	9.0	mA		
3		Power consumption			15		mW	$f_c=3.579545$ MHz
4	I N P U T S	High level input	V_{IH}	3.5		V	$V_{DD}=5.0V$	
5		Low level input voltage	V_{IL}			1.5	V	$V_{DD}=5.0V$
6		Input leakage current	I_{IH}/I_{IL}		0.1		μA	$V_{IN}=V_{SS}$ or V_{DD}
7		Pull up (source) current	I_{SO}		7.5	20	μA	TOE (pin 10)=0. $V_{DD}=5.0V$
8		Pull down (sink) current	I_{SI}		15	45	μA	INH=5.0V, PWDN=5.0V, $V_{DD}=5.0V$
9		Input impedance (IN+, IN-)	R_{IN}		10		M Ω	@ 1 kHz
10		Steering threshold voltage	V_{TSt}	2.2	2.4	2.5	V	$V_{DD} = 5.0V$
11	O U T P U T S	Low level output voltage	V_{OL}		$V_{SS}+0.03$	V	No load	
12		High level output voltage	V_{OH}	$V_{DD}-0.03$			V	No load
13		Output low (sink) current	I_{OL}	1.0	2.5		mA	$V_{OUT}=0.4$ V
14		Output high (source) current	I_{OH}	0.4	0.8		mA	$V_{OUT}=4.6$ V
15		V_{Ref} output voltage	V_{Ref}	2.3	2.5	2.7	V	No load, $V_{DD} = 5.0V$
16		V_{Ref} output resistance	R_{OR}		1		k Ω	

[‡] Typical figures are at 25°C and are for design aid only; not guaranteed and not subject to production testing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MT8870D/MT8870D-1 ISO²-CMOS

Operating Characteristics - $V_{DD}=5.0V \pm 5\%$, $V_{SS}=0V$, $-40^{\circ}C \leq T_O \leq +85^{\circ}C$, unless otherwise stated.
Gain Setting Amplifier

	Characteristics	Sym	Min	Typ [‡]	Max	Units	Test Conditions
1	Input leakage current	I_{IN}			100	nA	$V_{SS} \leq V_{IN} \leq V_{DD}$
2	Input resistance	R_{IN}	10			M Ω	
3	Input offset voltage	V_{OS}			25	mV	
4	Power supply rejection	PSRR	50			dB	1 kHz
5	Common mode rejection	CMRR	40			dB	$0.75 V \leq V_{IN} \leq 4.25 V$ biased at $V_{Ref}=2.5 V$
6	DC open loop voltage gain	A_{VOL}	32			dB	
7	Unity gain bandwidth	f_C	0.30			MHz	
8	Output voltage swing	V_O	4.0			V_{pp}	Load $\geq 100 k\Omega$ to V_{SS} @ GS
9	Maximum capacitive load (GS)	C_L			100	pF	
10	Resistive load (GS)	R_L			50	k Ω	
11	Common mode range	V_{CM}	2.5			V_{pp}	No Load

MT8870D AC Electrical Characteristics - $V_{DD}=5.0V \pm 5\%$, $V_{SS}=0V$, $-40^{\circ}C \leq T_O \leq +85^{\circ}C$, using Test Circuit shown in Figure 10.

	Characteristics	Sym	Min	Typ [‡]	Max	Units	Notes*
1	Valid input signal levels (each tone of composite signal)		-29		+1	dBm	1,2,3,5,6,9
			27.5		869	mV _{RMS}	1,2,3,5,6,9
2	Negative twist accept				8	dB	2,3,6,9,12
3	Positive twist accept				8	dB	2,3,6,9,12
4	Frequency deviation accept		$\pm 1.5\% \pm 2 Hz$				2,3,5,9
5	Frequency deviation reject		$\pm 3.5\%$				2,3,5,9
6	Third tone tolerance			-16		dB	2,3,4,5,9,10
7	Noise tolerance			-12		dB	2,3,4,5,7,9,10
8	Dial tone tolerance			+22		dB	2,3,4,5,8,9,11

[‡] Typical figures are at 25 °C and are for design aid only: not guaranteed and not subject to production testing.

***NOTES**

1. dBm= decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones.
3. Tone duration= 40 ms, tone pause= 40 ms.
4. Signal condition consists of nominal DTMF frequencies.
5. Both tones in composite signal have an equal amplitude.
6. Tone pair is deviated by $\pm 1.5\% \pm 2 Hz$.
7. Bandwidth limited (3 kHz) Gaussian noise.
8. The precise dial tone frequencies are (350 Hz and 440 Hz) $\pm 2\%$.
9. For an error rate of better than 1 in 10,000.
10. Referenced to lowest level frequency component in DTMF signal.
11. Referenced to the minimum valid accept level.
12. Guaranteed by design and characterization.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ISO²-CMOS MT8870D/MT8870D-1

MT8870D-1 AC Electrical Characteristics - $V_{DD}=5.0V\pm 5\%$, $V_{SS}=0V$, $-40^{\circ}C \leq T_C \leq +85^{\circ}C$, using Test Circuit shown in Figure 10.

	Characteristics	Sym	Min	Typ [‡]	Max	Units	Notes*
1	Valid input signal levels (each tone of composite signal)		-31		+1	dBm	Tested at $V_{DD}=5.0V$ 1,2,3,5,6,9
			21.8		869	mV _{RMS}	
2	Input Signal Level Reject		-37			dBm	Tested at $V_{DD}=5.0V$ 1,2,3,5,6,9
			10.9			mV _{RMS}	
3	Negative twist accept				8	dB	2,3,6,9,13
4	Positive twist accept				8	dB	2,3,6,9,13
5	Frequency deviation accept		$\pm 1.5\% \pm 2$ Hz				2,3,5,9
6	Frequency deviation reject		$\pm 3.5\%$				2,3,5,9
7	Third zone tolerance			-18.5		dB	2,3,4,5,9,12
8	Noise tolerance			-12		dB	2,3,4,5,7,9,10
9	Dial tone tolerance			+22		dB	2,3,4,5,8,9,11

[‡] Typical figures are at 25 °C and are for design aid only; not guaranteed and not subject to production testing.

*NOTES

1. dBm= decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones.
3. Tone duration= 40 ms, tone pause= 40 ms.
4. Signal condition consists of nominal DTMF frequencies.
5. Both tones in composite signal have an equal amplitude.
6. Tone pair is deviated by $\pm 1.5\% \pm 2$ Hz.
7. Bandwidth limited (3 kHz) Gaussian noise.
8. The precise dial tone frequencies are (350 Hz and 440 Hz) $\pm 2\%$.
9. For an error rate of better than 1 in 10,000.
10. Referenced to lowest level frequency component in DTMF signal.
11. Referenced to the minimum valid accept level.
12. Referenced to Fig. 10 input DTMF tone level at -25dBm (-28dBm at GS Pin) interference frequency range between 480-3400Hz.
13. Guaranteed by design and characterization.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MT8870D/MT8870D-1 ISO²-CMOS

AC Electrical Characteristics - $V_{DD}=5.0V\pm 5\%$, $V_{SS}=0V$, $-40^{\circ}C \leq T_o \leq +85^{\circ}C$, using Test Circuit shown in Figure 10.

	Characteristics	Sym	Min	Typ [‡]	Max	Units	Conditions	
1	T I M I N G	Tone present detect time	t_{DP}	5	11	14	ms	Note 1
2		Tone absent detect time	t_{DA}	0.5	4	8.5	ms	Note 1
3		Tone duration accept	t_{REC}			40	ms	Note 2
4		Tone duration reject	$\overline{t_{REC}}$	20			ms	Note 2
5		Interdigit pause accept	t_{ID}			40	ms	Note 2
6		Interdigit pause reject	t_{DO}	20			ms	Note 2
7	O U T P U T S	Propagation delay (St to Q)	t_{PQ}		8	11	μs	TOE= V_{DD}
8		Propagation delay (St to StD)	t_{PSID}		12	16	μs	TOE= V_{DD}
9		Output data set up (Q to StD)	t_{QSID}		3.4		μs	TOE= V_{DD}
10		Propagation delay (TOE to Q ENABLE)	t_{PTE}		50		ns	load of 10 k Ω , 50 pF
11		Propagation delay (TOE to Q DISABLE)	t_{PTD}		300		ns	load of 10 k Ω , 50 pF
12	P D W N	Power-up time	t_{PU}		30		ms	Note 3
13		Power-down time	t_{PD}		20		ms	
14	C L O C K	Crystal/clock frequency	f_C	3.5759	3.5795	3.5831	MHz	
15		Clock input rise time	t_{LHCL}			110	ns	Ext. clock
16		Clock input fall time	t_{HLCL}			110	ns	Ext. clock
17		Clock input duty cycle	DC _{CL}	40	50	60	%	Ext. clock
18		Capacitive load (OSC2)	C_{LO}			30	pF	

[‡] Typical figures are at 25°C and are for design aid only; not guaranteed and not subject to production testing.

NOTES:

- Used for guard-time calculation purposes only.
- These, user adjustable parameters, are not device specifications. The adjustable settings of these minimums and maximums are recommendations based upon network requirements.
- With valid tone present at input, t_{PU} equals time from PDWN going low until EST going high.

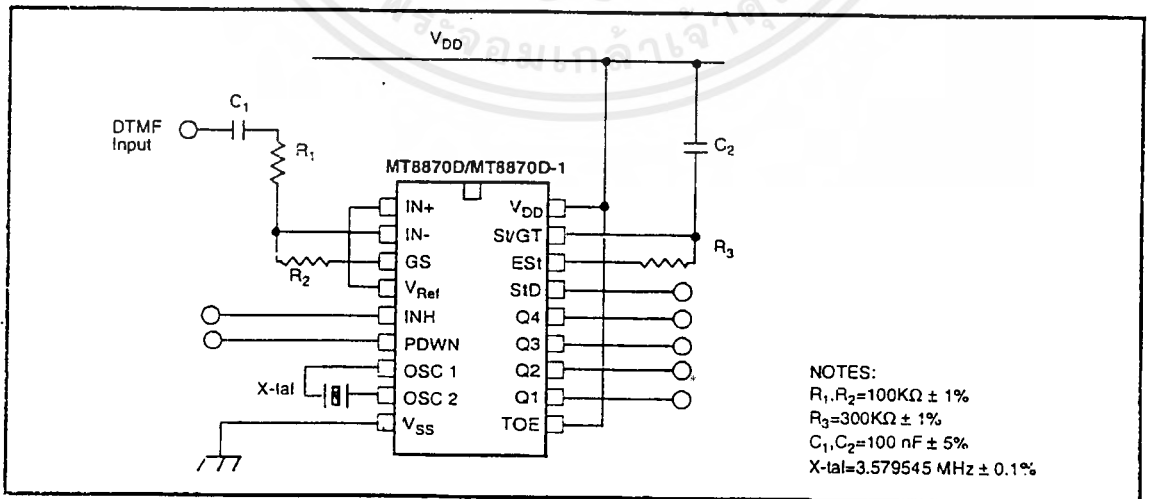


Figure 10 - Single-Ended Input Configuration

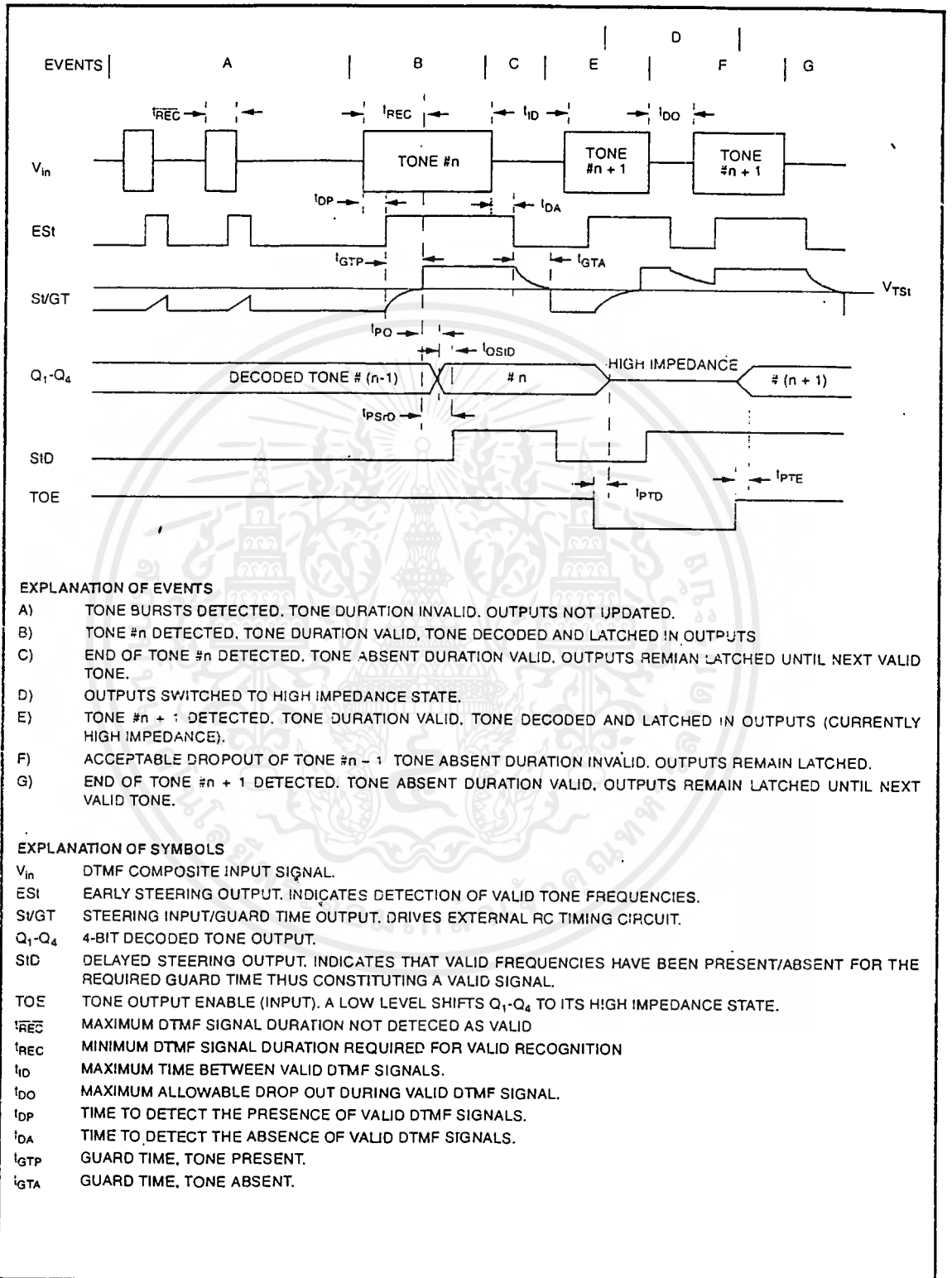


Figure 11 - Timing Diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ISD1400 Series

Single-Chip Voice Record/Playback Devices 16- and 20-Second Durations

FEATURES

- Easy-to-use single-chip voice Record/Playback solution
- High-quality, natural voice/audio reproduction
- Push-button interface
 - Playback can be edge- or level-activated
- Single-chip durations of 16 and 20 seconds
- Automatic power-down mode
 - Enters standby mode immediately following a Record or Playback cycle
 - Standby current 0.5 μ A (typical)
- Zero-power message storage
 - Eliminates battery backup circuits
- Fully addressable to handle multiple messages
- 100-year message retention (typical)
- 100,000 record cycles (typical)
- On-chip clock source
- No algorithm development required
- Single +5 volt power supply
- Available in die form, DIP, and SOIC packaging
- Industrial temperature (-40°C to +85°C) versions available

ISD1400 SERIES SUMMARY

Part Number	Minimum Duration (Seconds)	Input Sample Rate (KHz)	Typical Filter Pass Band (KHz)
ISD1416	16	8.0	3.3
ISD1420	20	6.4	2.6

Information Storage Devices, Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL DESCRIPTION

Information Storage Devices' ISD1400 ChipCorder® Series provides high-quality, single-chip record/playback solutions to short-duration messaging applications. The CMOS devices include an on-chip oscillator, microphone preamplifier, automatic gain control, antialiasing filter, smoothing filter, and speaker amplifier. A minimum record/playback subsystem can be configured with a microphone, a speaker, several passives, two push-buttons, and a power source.

Recordings are stored in on-chip nonvolatile memory cells, providing zero-power message storage. This unique, single-chip solution is made possible through ISD's patented multilevel storage technology. Voice and audio signals are stored directly into memory in their natural form, providing high-quality, solid-state voice reproduction.

DETAILED DESCRIPTION

Speech/Sound Quality

The ISD1400 Series includes devices offered at 6.4 and 8.0 KHz sampling frequencies, allowing the user a choice of speech quality options. The speech samples are stored directly into on-chip nonvolatile memory without the digitization and compression associated with other solutions. Direct analog storage provides a very true, natural sounding reproduction of voice, music, tones, and sound effects not available with most solid-state digital solutions.

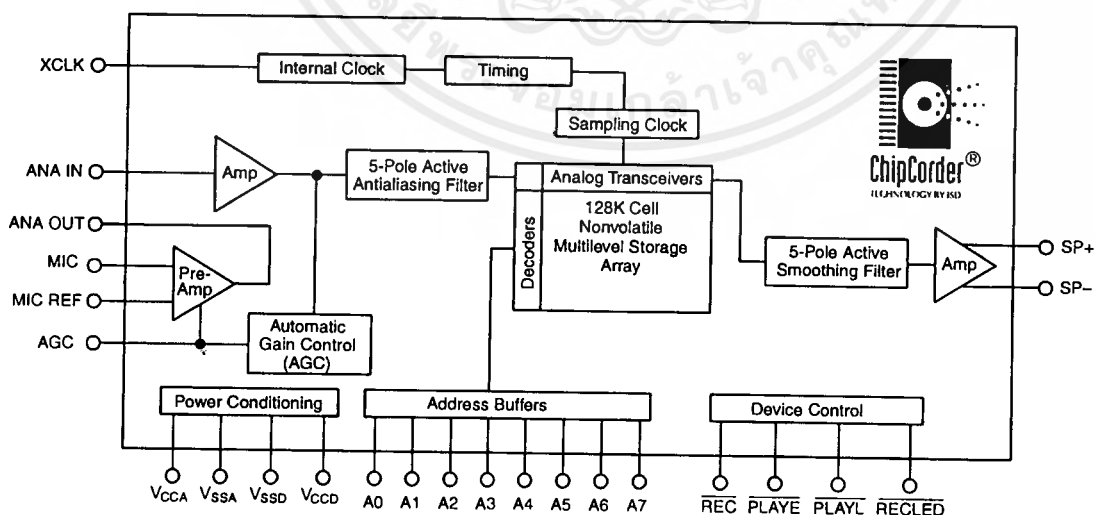
Duration

To meet end system requirements, the ISD1400 Series offers single-chip solutions at 16 and 20 seconds.

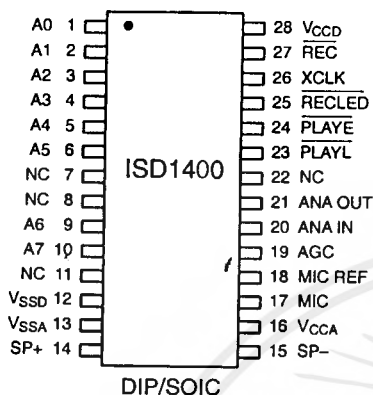
EEPROM Storage

One of the benefits of ISD's ChipCorder technology is the use of on-chip nonvolatile memory, providing zero-power message storage. The message is retained for up to 100 years typically without power. In addition, the device can be re-recorded typically over 100,000 times.

ISD1400 SERIES BLOCK DIAGRAM



ISD1400 SERIES PINOUTS



DIP/SOIC

NOTE: NC means Must Not Connect.

The ISD1400 Series storage array has 160 distinct addressable segments, providing the following resolutions. See the *ISD Application Notes and Design Manual* in this book for ISD1400 address tables.

Part Number	Minimum Duration (Seconds)
ISD1416	100 ms
ISD1420	125 ms

PIN DESCRIPTION

NOTE

The \overline{REC} signal is debounced for 50 ms on the rising edge to prevent a false retriggering from a push-button switch.

Basic Operation

The ISD1400 ChipCorder Series devices are controlled by a single Record signal, \overline{REC} , and either of two push-button control playback signals, \overline{PLAYE} (edge-activated playback), and \overline{PLAYL} (level-activated playback). The ISD1400 parts are configured for simplicity of design in a single-message application. Using the address lines will allow multiple message applications. Device operation is explained on page 1-75.

Automatic Power-Down Mode

At the end of a Playback or Record cycle, the ISD1400 Series devices automatically return to a low-power standby mode, consuming typically 0.5 μ A. During a Playback cycle, the device powers down automatically at the end of the message. During a Record cycle, the device powers down immediately after \overline{REC} is released HIGH.

Addressing (optional)

In addition to providing simple message playback, the ISD1400 Series provides a full addressing capability.

Voltage Inputs (V_{CCA} , V_{CCD})

Analog and digital circuits internal to the ISD1400 Series use separate power buses to minimize noise on the chip. These power buses are brought out to separate pins on the package and should be tied together as close to the supply as possible. It is important that the power supply be decoupled as close as possible to the package.

Ground Inputs (V_{SSA} , V_{SSD})

Similar to V_{CCA} and V_{CCD} , the analog and digital circuits internal to the ISD1400 Series use separate ground buses to minimize noise. These pins should be tied together as close as possible to the device.

Record (\overline{REC})

The \overline{REC} input is an active-LOW Record signal. The device records whenever \overline{REC} is LOW. This signal must remain LOW for the duration of the Recording. \overline{REC} takes precedence over either Playback (\overline{PLAYE} or \overline{PLAYL}) signal. If \overline{REC} is pulled LOW during a Playback cycle, the Playback immediately ceases and Recording begins.

A Record cycle is completed when $\overline{\text{REC}}$ is pulled HIGH or the memory space is filled.

An end-of-message marker (EOM) is internally recorded, enabling a subsequent Playback cycle to terminate appropriately. The device automatically powers down to standby mode when $\overline{\text{REC}}$ goes HIGH.

Playback, Edge-Activated ($\overline{\text{PLAYE}}$)

When a LOW-going transition is detected on this input signal, a Playback cycle begins. Playback continues until an end-of-message (EOM) is encountered or the end of the memory space is reached. Upon completion of the Playback cycle, the device automatically powers down into standby mode. Taking $\overline{\text{PLAYE}}$ HIGH during a Playback cycle will not terminate the current cycle.

Playback, Level-Activated ($\overline{\text{PLAYL}}$)

When this input signal transitions from HIGH to LOW, a Playback cycle is initiated. Playback continues until $\overline{\text{PLAYL}}$ is pulled HIGH, an EOM marker is detected, or the end of the memory space is reached. The device automatically powers down to standby mode upon completion of the Playback cycle.

NOTE

In Playback, if either $\overline{\text{PLAYE}}$ or $\overline{\text{PLAYL}}$ is held LOW during EOM or OVERFLOW, the device will still enter standby and the internal oscillator and timing generator will stop. However, the rising edge of $\overline{\text{PLAYE}}$ and $\overline{\text{PLAYL}}$ are not debounced and any subsequent falling edge (particularly switch bounce) present on the input pins will initiate another Playback.

Record LED Output ($\overline{\text{RECLEd}}$)

The output $\overline{\text{RECLEd}}$ is LOW during a Record cycle. It can be used to drive an LED to provide feedback that a Record cycle is in progress. In

addition, $\overline{\text{RECLEd}}$ pulses LOW momentarily when an EOM is encountered in a Playback cycle.

Microphone Input (MIC)

The microphone input transfers its signal to the on-chip preamplifier. An on-chip Automatic Gain Control (AGC) circuit controls the gain of this preamplifier from -15 to 24 dB. An external microphone should be AC coupled to this pin via a series capacitor. The capacitor value, together with the internal 10 K Ohm resistance on this pin, determine the low-frequency cutoff for the ISD1400 Series passband. See the *ISD Application Notes and Design Manual* in this book for additional information on low-frequency cutoff calculations.

Microphone Reference (MIC REF)

The MIC REF input is the inverting input to the microphone preamplifier. This provides a noise-canceling or common-mode rejection input to the device when connected differentially to a microphone.

Automatic Gain Control (AGC)

The AGC dynamically adjusts the gain of the preamplifier to compensate for the wide range of microphone input levels. The AGC allows the full range of sound, from whispers to loud sounds, to be recorded with minimal distortion. The "attack" time is determined by the time constant of a 5 K Ω internal resistance and an external capacitor (C6 on the schematic on page 1-75) connected from the AGC pin to V_{SSA} analog ground. The "release" time is determined by the time constant of an external resistor (R5) and an external capacitor (C6) connected in parallel between the AGC Pin and V_{SSA} analog ground. Nominal values of 470 K Ω and 4.7 μF give satisfactory results in most cases.

Analog Output (ANA OUT)

This pin provides the preamplifier output to the user. The voltage gain of the preamplifier is determined by the voltage level at the AGC pin.

Analog Input (ANA IN)

The ANA IN pin transfers the input signal to the chip for recording. For microphone inputs, the ANA OUT pin should be connected via an external capacitor to the ANA IN pin. This capacitor value, together with the 3.0 K Ω input impedance of ANA IN, is selected to give additional cutoff at the low-frequency end of the voice passband. If the desired input is derived from a source other than a microphone, the signal can be fed, capacitively coupled, into the ANA IN pin directly.

External Clock Input (XCLK)

The external clock input for the ISD1400 devices has an internal pull-down device. The ISD1400 is configured at the factory with an internal sampling clock frequency that guarantees its minimum nominal record/playback time. For instance, an ISD1420 operating within specification will be observed to always have a minimum of 20 seconds of recording time. The sampling frequency is then maintained to a variation of $\pm 2.25\%$ over the commercial temperature and operating voltage ranges, while still maintaining the minimum specified recording duration. This will result in some devices having a few percent more than nominal recording time.

The internal clock has a $\pm 5\%$ tolerance over the industrial temperature and voltage range. A regulated power supply is recommended for industrial temperature parts. If greater precision is required, the device can be clocked through the XCLK pin as follows:

Part Number	Sample Rate	Required Clock
ISD1416	8.0 KHz	1024 KHz
ISD1420	6.4 KHz	819.2 KHz

These recommended clock rates should not be varied because the antialiasing and smoothing filters are fixed, and aliasing problems can occur if the sample rate differs from the one recom-

mended. The duty cycle on the input clock is not critical, as the clock is immediately divided by two internally. **IF THE XCLK IS NOT USED, THIS INPUT SHOULD BE CONNECTED TO GROUND.**

Speaker Outputs (SP+, SP-)

The SP+ and SP- pins provide direct drive for loudspeakers with impedances as low as 16 ohms. A single output may be used, but, for direct-drive loudspeakers, the two opposite-polarity outputs provide an improvement in output power of up to four times over a single-ended connection. Furthermore, when SP+ and SP- are used, a speaker-coupling capacitor is not required. A single-ended connection will require an AC-coupling capacitor between the SP pin and the speaker. The speaker outputs are in a high-impedance state during a record cycle, and held at V_{SSA} during Power Down.

Address Inputs (A0-A7)

The Address Inputs have two functions, depending upon the level of the two Most Significant Bits (MSB) of the address.

If either of the two MSBs is LOW, the inputs are **ALL** interpreted as address bits and are used as the start address for the current Record or Playback cycle. The address pins are inputs only and do not output internal address information as the operation progresses. Address inputs are latched by the falling edge of $\overline{\text{PLAYE}}$, $\overline{\text{PLAYL}}$, or $\overline{\text{REC}}$.

OPERATIONAL MODES

The ISD1400 Series is designed with several built-in operational modes provided to allow maximum functionality with a minimum of additional components, described in detail below. The operational modes use the address pins on the ISD1400 devices, but are mapped outside the valid address range. When the two Most Significant Bits (MSBs) are HIGH (A6 and A7), the remaining address signals are interpreted as mode bits and not as address bits. Therefore, operational modes

and direct addressing are *NOT* compatible and cannot be used simultaneously.

There are two important considerations for using operational modes. First, all operations begin initially at address 0, which is the beginning of the ISD1400 address space. Later operations can begin at other address locations, depending on the operational mode(s) chosen. In addition, the address pointer is reset to 0 when the device is changed from Record to Playback but not from Playback to Record when A4 is HIGH in Operational Mode.

Second, an Operational Mode is executed when any of the control inputs, $\overline{\text{PLAYE}}$, $\overline{\text{PLAYL}}$, or $\overline{\text{REC}}$, go LOW and the two MSBs are HIGH. This Operational Mode remains in effect until the next LOW-going control input signal, at which point the current address/mode levels are sampled and executed.

NOTE

The two MSBs are on pins 9 and 10 for each ISD1400 Series device.

OPERATIONAL MODES DESCRIPTION

The Operational Modes can be used in conjunction with a microcontroller, or they can be hard-wired to provide the desired system operation.

A0 — Message Cueing

Message Cueing allows the user to skip through messages, without knowing the actual physical addresses of each message. Each control input LOW pulse causes the internal address pointer to skip to the next message. This mode should be used for Playback only, and is typically used with the A4 Operational Mode.

A1 — Delete EOM Markers

The A1 Operational Mode allows sequentially recorded messages to be combined into a single message with only one EOM marker set at the end of the final message. When this operational mode is configured, messages recorded sequentially are played back as one continuous message.

OPERATIONAL MODES TABLE

Address Crtl. (HIGH)	Function	Typical Use	Jointly Compatible*
A0	Message cueing	Fast-forward through messages	A4
A1	Delete EOM markers	Position EOM marker at the end of the last message	A3, A4
A2	Unused		
A3	Looping	Continuous playback from Address 0	A1
A4	Consecutive addressing	Record/Play multiple consecutive messages	A0, A1
A5	Unused		

NOTE: An asterisk (*) indicates additional operational modes which can be used simultaneously with the given mode.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A2 — Unused**A3 — Message Looping**

The A3 Operational Mode allows for the automatic, continuously repeated playback of the message located at the beginning of the address space.

A message can completely fill the ISD1400 device and will loop from beginning to end. Pulsing PLAYE will start the Playback and pulsing PLAYL will end the Playback.

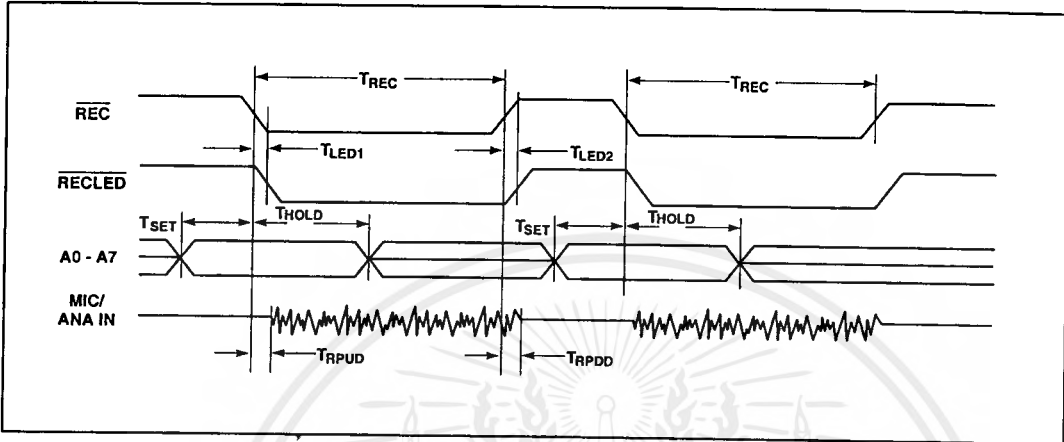
A4 — Consecutive Addressing

During normal operations, the address pointer will reset when a message is played through to an EOM marker. The A4 Operational Mode inhibits the address pointer reset, allowing messages to be recorded or played back consecutively. When the device is in a static state; i.e., not recording or playing back, momentarily taking this pin LOW will reset the address counter to zero.

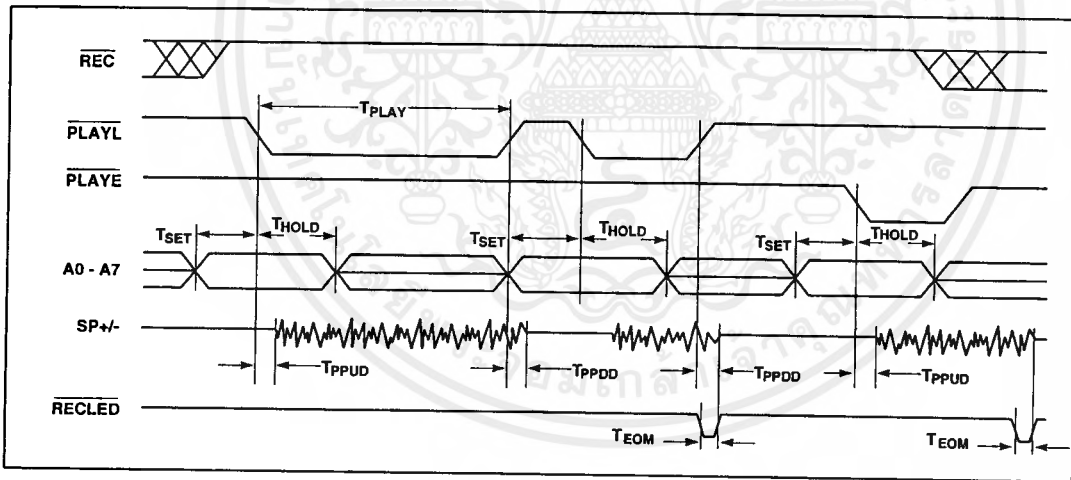
A5 — Unused

TIMING DIAGRAMS

Record



Playback



- NOTES:**
1. \overline{REC} must be HIGH for the entire duration of a Playback cycle.
 2. \overline{RECLEd} functions as an EOM during Playback.

**ABSOLUTE MAXIMUM RATINGS
(PACKAGED PARTS)**

Condition	Value
Junction temperature	150° C
Storage temperature range	-65° C to +150° C
Voltage applied to any pin	($V_{SS} - 0.3$ V) to ($V_{CC} + 0.3$ V)
Voltage applied to any pin (Input current limited to ± 20 mA)	($V_{SS} - 1.0$ V) to ($V_{CC} + 1.0$ V)
Lead temperature (soldering - 10 seconds)	300° C
$V_{CC} - V_{SS}$	- 0.3 V to + 7.0 V

NOTE: Stresses above those listed may cause permanent damage to the device. Exposure to the absolute maximum ratings may affect device reliability. Functional operation is not implied at these conditions.

**OPERATING CONDITIONS
(PACKAGED PARTS)**

Condition	Value
Commercial operating temperature range ⁽¹⁾	0° C to +70° C
Industrial operating temperature ⁽¹⁾	-40° C to +85° C
Supply voltage (V_{CC}) ⁽²⁾	+4.5 V to +5.5 V
Ground voltage (V_{SS}) ⁽³⁾	0 V

NOTES: 1. Case temperature.
2. $V_{CC} = V_{CCA} = V_{CCD}$
3. $V_{SS} = V_{SSA} = V_{SSD}$

DC PARAMETERS (PACKAGED PARTS)

Symbol	Parameters	Min ⁽²⁾	Typ ⁽¹⁾	Max ⁽²⁾	Units	Conditions
V_{IL}	Input Low Voltage			0.8	V	
V_{IH}	Input High Voltage	2.4			V	
V_{OL}	Output Low Voltage			0.4	V	$I_{OL} = 4.0$ mA
V_{OH}	Output High Voltage	2.4			V	$I_{OH} = -1.6$ mA
I_{CC}	V_{CC} Current (Operating)		15	30	mA	$V_{CC} = 5.5$ V ⁽³⁾ , $R_{EXT} = \infty$
I_{SB}	V_{CC} Current (Standby)		0.5	10	μ A	⁽³⁾ ⁽⁴⁾
I_{IL}	Input Leakage Current			± 1	μ A	
I_{ILPD}	Input Current HIGH w/Pull Down			130	μ A	Force V_{CC} ⁽⁵⁾
R_{EXT}	Output Load Impedance	16			Ω	Speaker Load
R_{MIC}	Preamp In Input Resistance	4	9	17	K Ω	Pins 17, 18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC PARAMETERS (PACKAGED PARTS) – CONTINUED

Symbol	Parameters	Min ⁽²⁾	Typ ⁽¹⁾	Max ⁽²⁾	Units	Conditions
R _{ANA IN}	ANA IN Input Resistance	2.5	3	5	KΩ	
A _{PRE1}	Preamp Gain 1	20	23	26	dB	AGC = 0.0 V
A _{PRE2}	Preamp Gain 2		- 45	- 15	dB	AGC = 2.5 V
A _{ARP}	ANA IN to SP+/- Gain	20	22	25	dB	
R _{AGC}	AGC Output Resistance	2.5	5	9.5	KΩ	
I _{PREH}	Preamp Out Source		- 2		mA	@ V _{OUT} = 1.0 V
I _{PREL}	Preamp In Sink		0.5		mA	@ V _{OUT} = 2.0 V

- NOTES:**
1. Typical values @ T_A = 25° C and 5.0 V.
 2. All Min/Max limits are guaranteed by ISD via electrical testing or characterization. Not all specifications are 100% tested.
 3. V_{CCA} and V_{CCD} connected together.
 4. REC, PLAYL, and PLAYE must be at V_{CCD}.
 5. XCLK pin.

AC PARAMETERS (PACKAGED PARTS)

Symbol	Characteristic	Min ⁽²⁾	Typ ⁽¹⁾	Max ⁽²⁾	Units	Conditions	
F _S	Sampling Frequency	— ISD1416		8	KHz	(5)	
		— ISD1420		6.4	KHz	(5)	
F _{CF}	Filter Pass Band	— ISD1416	3.3		KHz	3 dB Roll-Off Point (3)(6)	
		— ISD1420	2.6		KHz	3 dB Roll-Off Point (3)(6)	
T _{REC}	Record Duration	— ISD1416	16		sec		
		— ISD1420	20		sec		
T _{PLAY}	Playback Duration	— ISD1416	16		sec	(5)	
		— ISD1420	20		sec	(5)	
T _{LED1}	RECLED ON Delay		5		msec		
T _{LED2}	RECLED OFF Delay	— ISD1416	30	38.9	95	msec	
		— ISD1420	40	48.6	110	msec	
T _{SET}	Address Setup Time	300			nsec		
T _{HOLD}	Address Hold Time	0			nsec		
T _{RPUD}	Rec. Power-Up Delay	— ISD1416		26		msec	
		— ISD1420		32		msec	
T _{RPDD}	Rec. Power-Down Delay	— ISD1416		26		msec	
		— ISD1420		32		msec	

AC PARAMETERS (PACKAGED PARTS) – CONTINUED

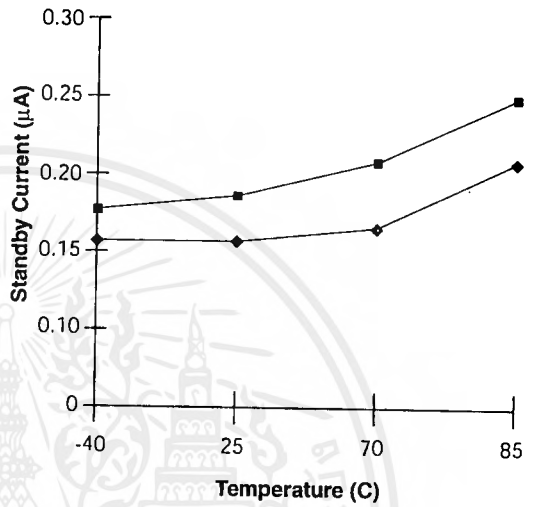
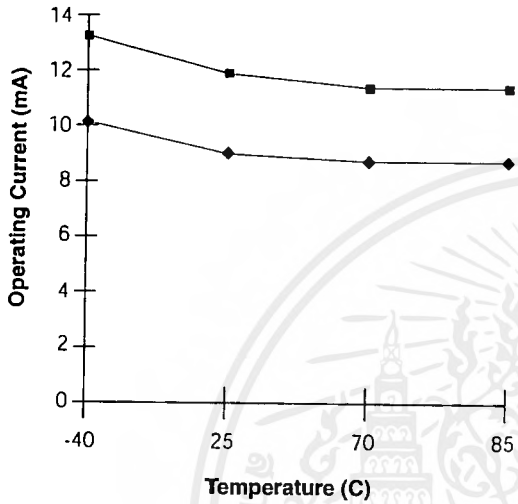
Symbol	Characteristic	Min ⁽²⁾	Typ ⁽¹⁾	Max ⁽²⁾	Units	Conditions
T _{PPUD}	Play Power-Up Delay — ISD1416 — ISD1420		26		msec	
			32		msec	
T _{PPDD}	Play Power-Down Delay — ISD1416 — ISD1420		6.5		msec	
			8.1		msec	
T _{EOM}	EOM Pulse Width — ISD1416 — ISD1420		12.5		msec	
			15.625		msec	
THD	Total Harmonic Distortion		1	3	%	@ 1 KHz
P _{OUT}	Speaker Output Power		12.2		mW	R _{EXT} = 16 Ω
V _{OUT}	Voltage Across Speaker Pins		1.25	2.5	V p-p	R _{EXT} = 600 Ω
V _{IN1}	MIC Input Voltage			20	mV	Peak-to-Peak ⁽⁴⁾
V _{IN2}	ANA IN Input Voltage			50	mV	Peak-to-Peak

- NOTES:**
1. Typical values @ T_A = 25° C and 5.0 V.
 2. All Min/Max limits are guaranteed by ISD via electrical testing or characterization. Not all specifications are 100% tested.
 3. Low-frequency cutoff depends upon value of external capacitors (see Pin Descriptions).
 4. With 5.1 kΩ series resistor at ANA IN.
 5. Sampling frequency and Playback duration will vary as much as ± 2.25% over the commercial temperature and voltage ranges. It may vary as much as ± 5% over the industrial temperature and voltage ranges. All devices will meet the maximum sampling frequency and minimum Playback duration parameters. For greater stability, an external clock can be utilized (see Pin Descriptions).
 6. Filter specification applies to the antialiasing filter and to the smoothing filter.

**TYPICAL PARAMETER VARIATION WITH VOLTAGE AND TEMPERATURE
(PACKAGED PARTS)**

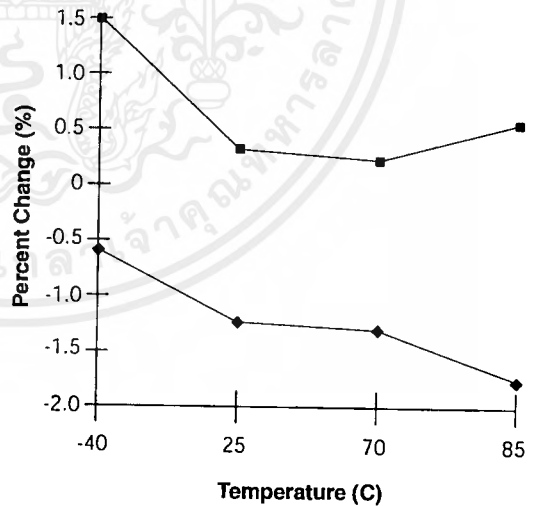
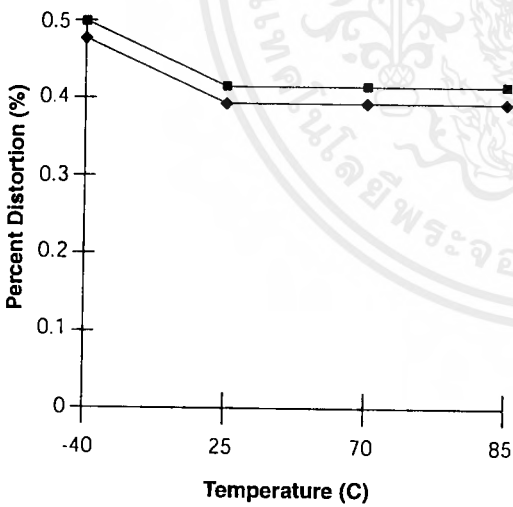
RECORD MODE OPERATING CURRENT (I_{CC})

STANDBY CURRENT (I_{SB})



TOTAL HARMONIC DISTORTION

OSCILLATOR STABILITY



ABSOLUTE MAXIMUM RATINGS (DIE)

Condition	Value
Junction temperature	150° C
Storage temperature range	-65° C to +150° C
Voltage applied to any pad	(V _{SS} - 0.3 V) to (V _{CC} + 0.3 V)
Voltage applied to any pad (Input current limited to ± 20 mA)	(V _{SS} - 1.0 V) to (V _{CC} + 1.0 V)
V _{CC} - V _{SS}	- 0.3 V to + 7.0 V

OPERATING CONDITIONS (DIE)

Condition	Value
Commercial operating temperature range	0° C to +50° C
Supply voltage (V _{CC}) ⁽¹⁾	+4.5 V to +6.5 V
Ground voltage (V _{SS}) ⁽²⁾	0 V

NOTES: 1. V_{CC} = V_{CCA} = V_{CCD}
2. V_{SS} = V_{SSA} = V_{SSD}

NOTE: Stresses above those listed may cause permanent damage to the device. Exposure to the absolute maximum ratings may affect device reliability. Functional operation is not implied at these conditions.

DC PARAMETERS (DIE)

Symbol	Parameters	Min ⁽²⁾	Typ ⁽¹⁾	Max ⁽²⁾	Units	Conditions
V _{IL}	Input Low Voltage			0.8	V	
V _{IH}	Input High Voltage	2.4			V	
V _{OL}	Output Low Voltage			0.4	V	I _{OL} = 4.0 mA
V _{OH}	Output High Voltage	2.4			V	I _{OH} = -1.6 mA
I _{CC}	V _{CC} Current (Operating)		15	30	mA	V _{CC} = 5.5 V ⁽³⁾ , R _{EXT} = ∞
I _{SB}	V _{CC} Current (Standby)		0.5	10	μA	(3) (4)
I _{IL}	Input Leakage Current			±1	μA	
I _{ILPD}	Input Current HIGH w/Pull Down			130	μA	Force V _{CC} ⁽⁵⁾
R _{EXT}	Output Load Impedance	16			Ω	Speaker Load
R _{MIC}	Preamp In Input Resistance	4	9	17	KΩ	Pins 17, 18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC PARAMETERS (DIE) – CONTINUED

Symbol	Parameters	Min ⁽²⁾	Typ ⁽¹⁾	Max ⁽²⁾	Units	Conditions
R _{ANA IN}	ANA IN Input Resistance	2.5	3	5	K Ω	
A _{PRE1}	Preamp Gain 1	20	23	26	dB	AGC = 0.0 V
A _{PRE2}	Preamp Gain 2		- 45	-15	dB	AGC = 2.5 V
A _{ARP}	ANA IN to SP+/- Gain	20	22	25	dB	
R _{AGC}	AGC Output Resistance	2.5	5	9.5	K Ω	
I _{PREH}	Preamp Out Source		- 2		mA	@ V _{OUT} = 1.0 V
I _{PREL}	Preamp In Sink		0.5		mA	@ V _{OUT} = 2.0 V

- NOTES:**
1. Typical values @ T_A = 25° C and 5.0 V.
 2. All Min/Max limits are guaranteed by ISD via electrical testing or characterization. Not all specifications are 100% tested.
 3. V_{CCA} and V_{CCD} connected together.
 4. REC, PLAYL, and PLAYE must be at V_{CCD}.
 5. XCLK pin.

AC PARAMETERS (DIE)

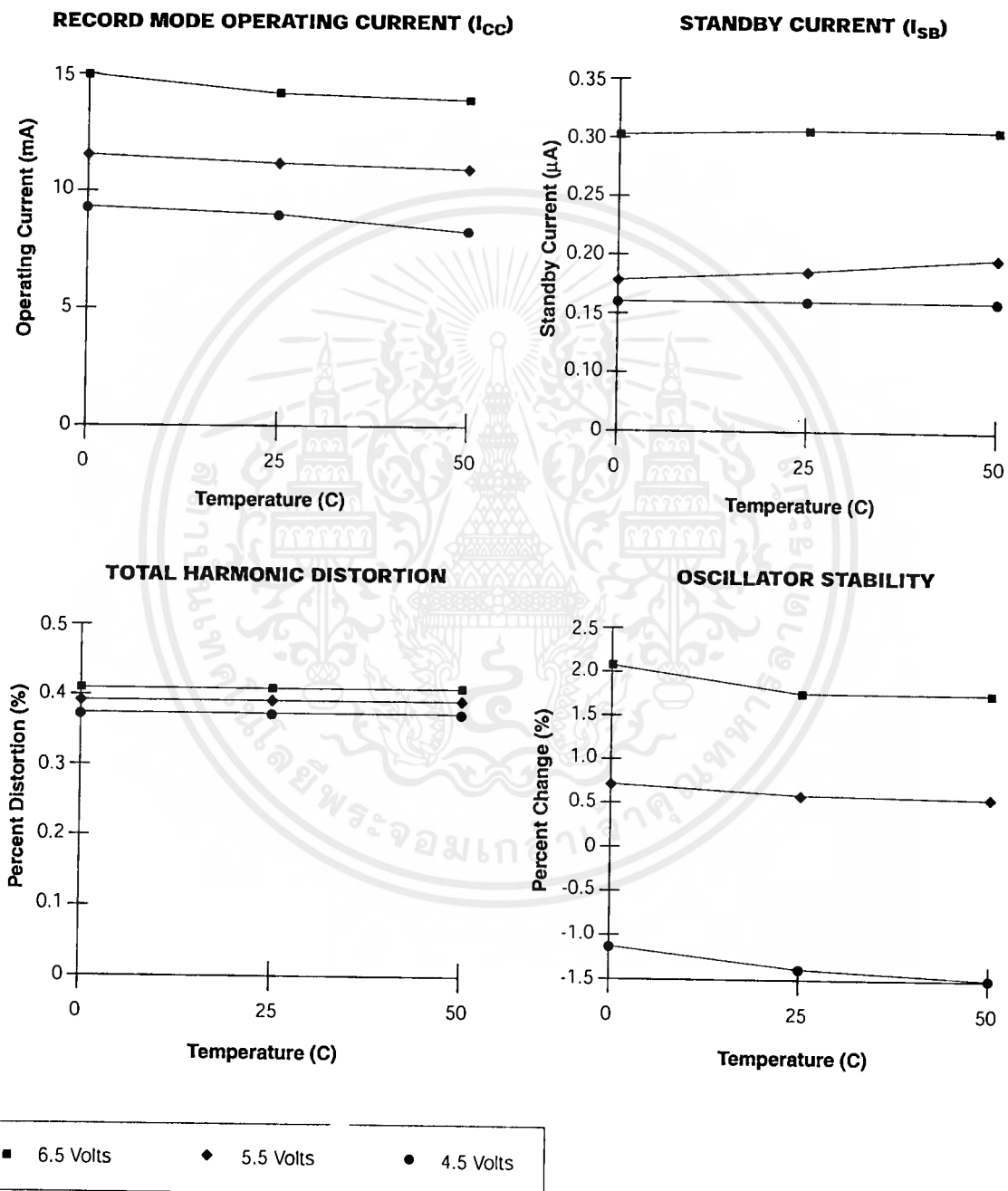
Symbol	Characteristic	Min ⁽²⁾	Typ ⁽¹⁾	Max ⁽²⁾	Units	Conditions
F _S	Sampling Frequency — ISD1416 — ISD1420			8 6.4	KHz KHz	(5) (5)
F _{CF}	Filter Pass Band — ISD1416 — ISD1420		3.3 2.6		KHz KHz	3 dB Roll-Off Point (3)(6) 3 dB Roll-Off Point (3)(6)
T _{REC}	Record Duration — ISD1416 — ISD1420	16 20			sec sec	
T _{PLAY}	Playback Duration — ISD1416 — ISD1420	16 20			sec sec	(5) (5)
T _{LED1}	RECLED ON Delay		5		msec	
T _{LED2}	RECLED OFF Delay — ISD1416 — ISD1420	30 40	38.9 48.6	95 110	msec msec	
T _{SET}	Address Setup Time	300			nsec	
T _{HOLD}	Address Hold Time	0			nsec	
T _{RPUD}	Rec. Power-Up Delay — ISD1416 — ISD1420		26 32		msec msec	
T _{RPDD}	Rec. Power-Down Delay — ISD1416 — ISD1420		26 32		msec msec	

AC PARAMETERS (DIE) – CONTINUED

Symbol	Characteristic	Min ⁽²⁾	Typ ⁽¹⁾	Max ⁽²⁾	Units	Conditions
T _{PPUD}	Play Power-Up Delay — ISD1416 — ISD1420		26		msec	
			32		msec	
T _{PPDD}	Play Power-Down Delay — ISD1416 — ISD1420		6.5		msec	
			8.1		msec	
T _{EOM}	EOM Pulse Width — ISD1416 — ISD1420		12.5		msec	
			15.625		msec	
THD	Total Harmonic Distortion		1	3	%	@ 1 KHz
P _{OUT}	Speaker Output Power		12.2		mW	R _{EXT} = 16 Ω
V _{OUT}	Voltage Across Speaker Pins		1.25	2.5	V p-p	R _{EXT} = 600 Ω
V _{IN1}	MIC Input Voltage			20	mV	Peak-to-Peak ⁽⁴⁾
V _{IN2}	ANA IN Input Voltage			50	mV	Peak-to-Peak

- NOTES:**
1. Typical values @ $T_A = 25^\circ \text{C}$ and 5.0 V.
 2. All Min/Max limits are guaranteed by ISD via electrical testing or characterization. Not all specifications are 100% tested.
 3. Low-frequency cutoff depends upon value of external capacitors (see Pin Descriptions).
 4. With 5.1 KΩ series resistor at ANA IN.
 5. Sampling frequency and Playback duration will vary as much as $\pm 2.25\%$ over the commercial temperature and voltage ranges. All devices will meet the maximum sampling frequency and minimum Playback duration parameters. For greater stability, an external clock can be utilized (see Pin Descriptions).
 6. Filter specification applies to the antialiasing filter and to the smoothing filter.

TYPICAL PARAMETER VARIATION WITH VOLTAGE AND TEMPERATURE (DIE)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. Record (interrupting playback).

The $\overline{\text{REC}}$ signal takes precedence over other operations. Any LOW-going transition on $\overline{\text{REC}}$ initiates a new Record operation from the beginning of the start address or at a selected location, regardless of any current operation in progress.

6. Record a message, partially filling the address space.

A record operation need not fill the entire message space. Releasing the $\overline{\text{REC}}$ signal HIGH before filling the message space causes the recording to stop and an EOM to be placed. The device powers down automatically.

7. Play back a message, partially filling the address space.

Pulling the $\overline{\text{PLAYE}}$ or $\overline{\text{PLAYL}}$ signal LOW initiates a Playback cycle which is then completed when the EOM marker is encountered. Playback ceases and the device powers down.

8. RECLEd operation.

The $\overline{\text{RECLEd}}$ output pin provides an active-LOW signal which can be used to drive an LED as a "record-in-progress" indicator. It returns to a HIGH state when the $\overline{\text{REC}}$ pin is released HIGH or when the recording is completed due to the message space being filled. This pin also pulses LOW to indicate an EOM at the end of a message being played.

APPLICATIONS NOTE

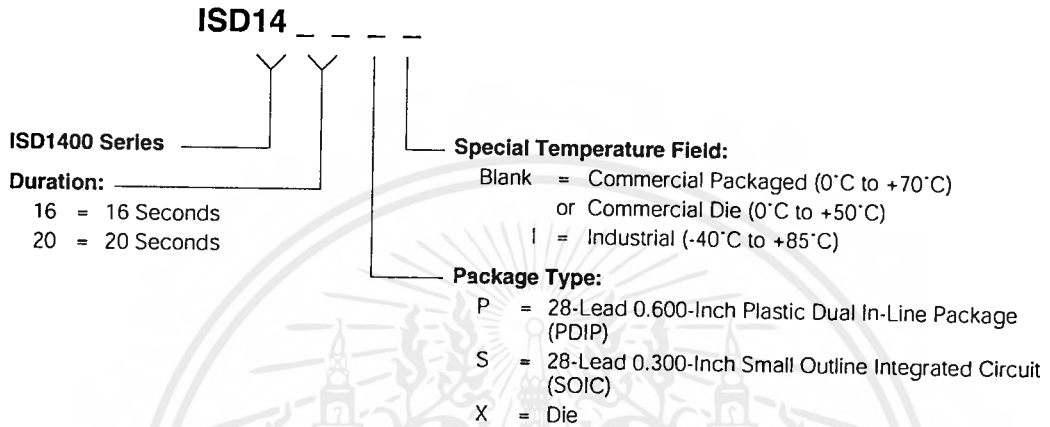
Some users may experience an unexpected recording taking place when their circuit is powered up, or the batteries are changed and V_{CC} rises faster than $\overline{\text{REC}}$. This undesired recording prevents playback of the previously recorded message. A spurious End Of Message (EOM) marker appears at the very beginning of the memory, preventing access to the original message, and nothing is played.

To prevent this occurrence, place a capacitor (approx. 0.001 μF) between the control pin ($\overline{\text{REC}}$) and V_{CC} . This pulls the control pin voltage up with V_{CC} as it rises. Once the voltage is HIGH, the pull-up device will keep the pin HIGH until intentionally pulled LOW, preventing the false EOM marker.

Since this anomaly depends on factors such as the capacitance of the user's printed circuit board, not all circuit designs will exhibit the spurious marker. However, it is recommended that the capacitor is included for design reliability. A more detailed explanation and resolution of this occurrence is described in the *ISD Application Notes and Design Manual* in this book.

ORDERING INFORMATION

Product Number Descriptor Key



When ordering ISD1400 Series devices, please refer to the following valid part numbers.

Part Number	Part Number
ISD1416P	ISD1420P
ISD1416PI	ISD1420PI
ISD1416S	ISD1420S
ISD1416SI	ISD1420SI
ISD1416X	ISD1420X

For the latest product information, access ISD's worldwide website at <http://www.isd.com>.

(1/01)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Octal 3-State Noninverting Buffer/Line Driver/Line Receiver

High-Performance Silicon-Gate CMOS

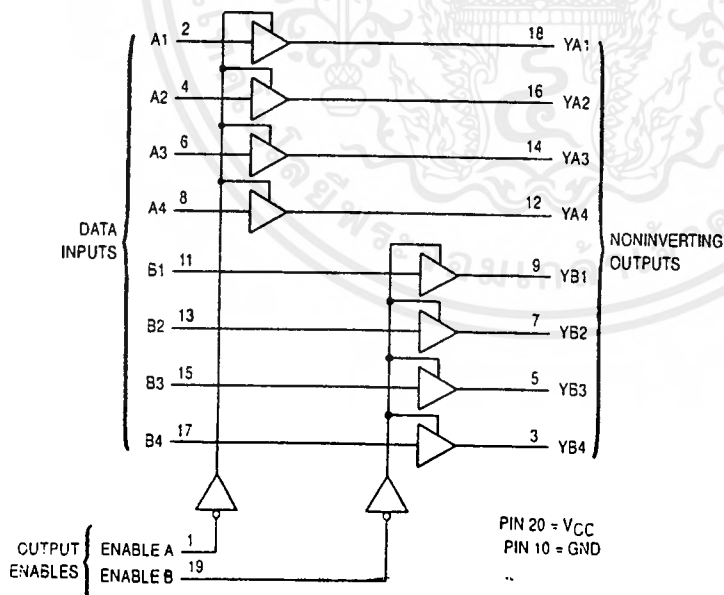
The MC54/74HC244A is identical in pinout to the LS244. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

This octal noninverting buffer/line driver/line receiver is designed to be used with 3-state memory address drivers, clock drivers, and other bus-oriented systems. The device has noninverting outputs and two active-low output enables.

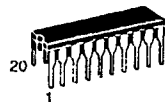
The HC244A is similar in function to the HC240A and HC241A.

- Output Drive Capability: 15 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μ A
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 136 FETs or 34 Equivalent Gates

LOGIC DIAGRAM



MC54/74HC244A



J SUFFIX
CERAMIC PACKAGE
CASE 732-03



N SUFFIX
PLASTIC PACKAGE
CASE 738-03



DW SUFFIX
SOIC PACKAGE
CASE 751D-04



SD SUFFIX
SSOP PACKAGE
CASE 940C-03



DT SUFFIX
TSSOP PACKAGE
CASE 948E-02

ORDERING INFORMATION

MC54HCXXXAJ	Ceramic
MC74HCXXXAN	Plastic
MC74HCXXXADW	SOIC
MC74HCXXXASD	SSOP
MC74HCXXXADT	TSSOP

PIN ASSIGNMENT

ENABLE A	1	20	VCC
A1	2	19	ENABLE B
YB4	3	18	YA1
A2	4	17	B4
YB3	5	16	YA2
A3	6	15	B3
YB2	7	14	YA3
A4	8	13	B2
YB1	9	12	YA4
GND	10	11	B1

FUNCTION TABLE

Inputs		Outputs
Enable A, Enable B	A, B	YA, YB
L	L	L
L	H	H
H	X	Z

Z = high impedance

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	- 0.5 to + 7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	- 1.5 to $V_{CC} + 1.5$	V
V_{out}	DC Output Voltage (Referenced to GND)	- 0.5 to $V_{CC} + 0.5$	V
I_{in}	DC Input Current, per Pin	± 20	mA
I_{out}	DC Output Current, per Pin	± 35	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	± 75	mA
P _D	Power Dissipation in Still Air, Plastic or Ceramic DIP†	750	mW
	SOIC Package†	500	
	SSOP or TSSOP Package†	450	
T_{stg}	Storage Temperature	- 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds (Plastic DIP, SOIC, SSOP or TSSOP Package)	260	°C
		(Ceramic DIP) 300	

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

† Derating — Plastic DIP: - 10 mW/°C from 65° to 125°C

Ceramic DIP: - 10 mW/°C from 100° to 125°C

SOIC Package: - 7 mW/°C from 65° to 125°C

SSOP or TSSOP Package: - 6.1 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 2 of the Motorola High-Speed CMOS Data Book (DL129/D).

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter	Min	Max	Unit	
V_{CC}	DC Supply Voltage (Referenced to GND)	2.0	6.0	V	
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)	0	V_{CC}	V	
T_A	Operating Temperature, All Package Types	- 55	+ 125	°C	
t_r, t_f	Input Rise and Fall Time (Figure 1)	$V_{CC} = 2.0$ V	0	1000	ns
		$V_{CC} = 4.5$ V	0	500	
		$V_{CC} = 6.0$ V	0	400	

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit			Unit
				- 55 to 25°C	$\leq 85^\circ\text{C}$	$\leq 125^\circ\text{C}$	
V_{IH}	Minimum High-Level Input Voltage	$V_{out} = V_{CC} - 0.1$ V $ I_{out} \leq 20 \mu\text{A}$	2.0	1.5	1.5	1.5	V
			3.0	2.1	2.1	2.1	
			4.5	3.15	3.15	3.15	
			6.0	4.2	4.2	4.2	
V_{IL}	Maximum Low-Level Input Voltage	$V_{out} = 0.1$ V $ I_{out} \leq 20 \mu\text{A}$	2.0	0.5	0.5	0.5	V
			3.0	0.9	0.9	0.9	
			4.5	1.35	1.35	1.35	
			6.0	1.8	1.8	1.8	
V_{OH}	Minimum High-Level Output Voltage	$V_{in} = V_{IH}$ $ I_{out} \leq 20 \mu\text{A}$	2.0	1.9	1.9	1.9	V
			4.5	4.4	4.4	4.4	
			6.0	5.9	5.9	5.9	
		$V_{in} = V_{IH}$ $ I_{out} \leq 2.4$ mA $ I_{out} \leq 6.0$ mA $ I_{out} \leq 7.8$ mA	3.0	2.48	2.34	2.2	
			4.5	3.98	3.84	3.7	
			6.0	5.48	5.34	5.2	

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $GND \leq (V_{in} \text{ or } V_{out}) \leq V_{CC}$. Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V _{CC} V	Guaranteed Limit			Unit
				-55 to 25°C	≤ 85°C	≤ 125°C	
V _{OL}	Maximum Low-Level Output Voltage	V _{in} = V _{IL} I _{out} ≤ 20 μA	2.0	0.1	0.1	0.1	V
			4.5	0.1	0.1	0.1	
			6.0	0.1	0.1	0.1	
		V _{in} = V _{IL} I _{out} ≤ 2.4 mA I _{out} ≤ 6.0 mA I _{out} ≤ 7.8 mA	3.0	0.26	0.33	0.4	
			4.5	0.26	0.33	0.4	
			6.0	0.26	0.33	0.4	
I _{in}	Maximum Input Leakage Current	V _{in} = V _{CC} or GND	6.0	± 0.1	± 1.0	± 1.0	μA
I _{OZ}	Maximum Three-State Leakage Current	Output in High-Impedance State V _{in} = V _{IL} or V _{IH} V _{out} = V _{CC} or GND	6.0	± 0.5	± 5.0	± 10	μA
I _{CC}	Maximum Quiescent Supply Current (per Package)	V _{in} = V _{CC} or GND I _{out} = 0 μA	6.0	4.0	40	160	μA

NOTE: Information on typical parametric values and high frequency or heavy load considerations can be found in Chapter 2 of the Motorola High-Speed CMOS Data Book (DL129/D).

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input t_r = t_f = 6 ns)

Symbol	Parameter	V _{CC} V	Guaranteed Limit			Unit
			-55 to 25°C	≤ 85°C	≤ 125°C	
t _{PLH} , t _{PHL}	Maximum Propagation Delay, A to YA or B to YB (Figures 1 and 3)	2.0	96	115	135	ns
		3.0	50	60	70	
		4.5	18	23	27	
		6.0	15	20	23	
t _{PLZ} , t _{PHZ}	Maximum Propagation Delay, Output Enable to YA or YB (Figures 2 and 4)	2.0	110	140	165	ns
		3.0	60	70	80	
		4.5	22	28	33	
		6.0	19	24	28	
t _{PZL} , t _{PZH}	Maximum Propagation Delay, Output Enable to YA or YB (Figures 2 and 4)	2.0	110	140	165	ns
		3.0	60	70	80	
		4.5	22	28	33	
		6.0	19	24	28	
t _{TLH} , t _{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 3)	2.0	60	75	90	ns
		3.0	23	27	32	
		4.5	12	15	18	
		6.0	10	13	15	
C _{in}	Maximum Input Capacitance	—	10	10	10	pF
C _{out}	Maximum Three-State Output Capacitance (Output in High-Impedance State)	—	15	15	15	pF

NOTE: For propagation delays with loads other than 50 pF, and information on typical parametric values, see Chapter 2 of the Motorola High-Speed CMOS Data Book (DL129/D).

CPD	Power Dissipation Capacitance (Per Buffer)*	Typical @ 25°C, V _{CC} = 5.0 V	
		34	pF

* Used to determine the no-load dynamic power consumption: P_D = CPD V_{CC}²f + I_{CC} V_{CC}. For load considerations, see Chapter 2 of the Motorola High-Speed CMOS Data Book (DL129/D).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING WAVEFORMS

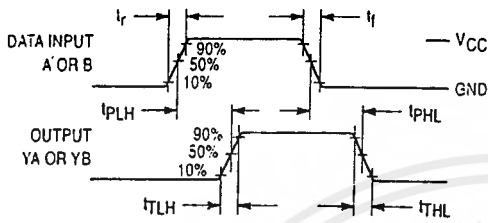


Figure 1.

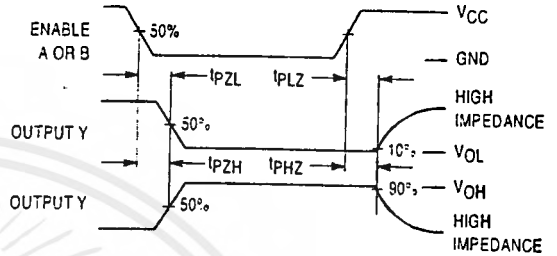
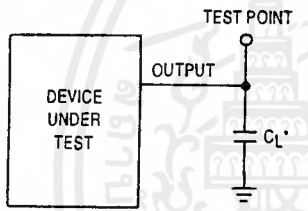


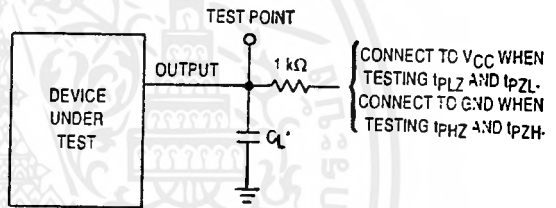
Figure 2.

TEST CIRCUITS



* Includes all probe and jig capacitance

Figure 3. Test Circuit



* Includes all probe and jig capacitance

Figure 4. Test Circuit

PIN DESCRIPTIONS

INPUTS

A1, A2, A3, A4, B1, B2, B3, B4
(Pins 2, 4, 6, 8, 11, 13, 15, 17)

Data input pins. Data on these pins appear in noninverted form on the corresponding Y outputs, when the outputs are enabled.

CONTROLS

Enable A, Enable B (Pins 1, 19)

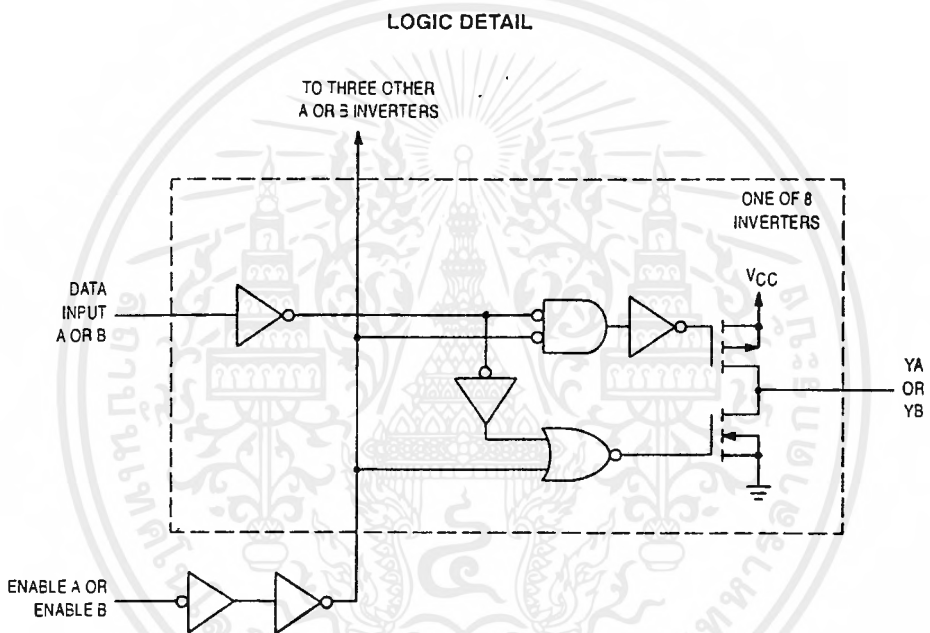
Output enables (active-low). When a low level is applied

to these pins, the outputs are enabled and the devices function as noninverting buffers. When a high level is applied, the outputs assume the high impedance state.

OUTPUTS

YA1, YA2, YA3, YA4, YB1, YB2, YB3, YB4
(Pins 18, 16, 14, 12, 9, 7, 5, 3)

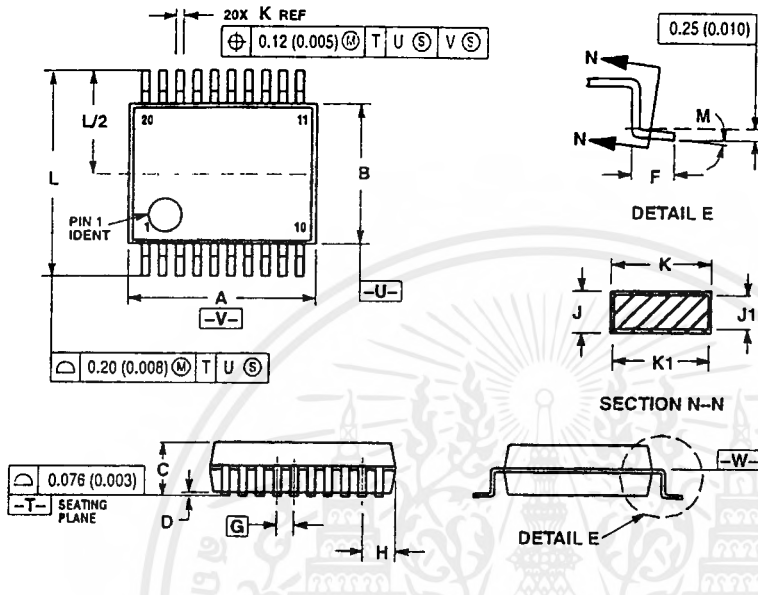
Device outputs. Depending upon the state of the output-enable pins, these outputs are either noninverting outputs or high-impedance outputs.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTLINE DIMENSIONS

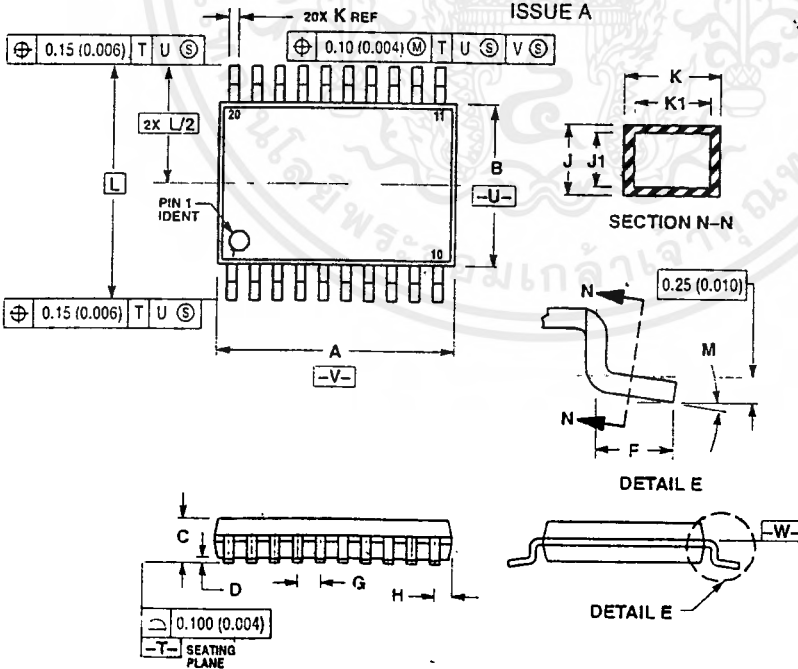
SD SUFFIX
PLASTIC SSOP PACKAGE
CASE 940C-03
ISSUE B



- NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
 2. CONTROLLING DIMENSION: MILLIMETER.
 3. DIMENSION A DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION; INTERLEAD FLASH OR PROTRUSIONS SHALL NOT EXCEED 0.15 (0.005) PER SIDE.
 4. DIMENSION B DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION; INTERLEAD FLASH OR PROTRUSIONS SHALL NOT EXCEED 0.15 (0.005) PER SIDE.
 5. DIMENSION C DOES NOT INCLUDE DAMBAR PROTRUSION; ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.13 (0.005) TOTAL IN EXCESS OF THE Δ DIMENSION AT MAXIMUM MATERIAL CONDITION. DAMBAR PROTRUSION SHALL NOT REDUCE DIMENSION C BY MORE THAN 0.07 (0.002) AT LEAST MATERIAL CONDITION.
 6. TERMINAL NUMBERS ARE SHOWN FOR REFERENCE ONLY.
 7. DIMENSION A AND B ARE TO BE DETERMINED AT DATUM PLANE -W-.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	7.07	7.22	0.278	0.288
B	5.20	5.32	0.205	0.212
C	1.72	1.89	0.068	0.078
D	0.85	0.91	0.032	0.038
F	0.52	0.55	0.021	0.023
G	0.65 BSC		0.026 BSC	
H	0.59	0.75	0.023	0.030
J	0.09	0.20	0.004	0.008
J1	0.09	0.15	0.004	0.006
K	0.25	0.32	0.010	0.015
K1	0.22	0.32	0.010	0.012
L	7.55	7.90	0.301	0.311
M	0.25	0.25	0.010	0.010

DT SUFFIX
PLASTIC TSSOP PACKAGE
CASE 948E-02
ISSUE A

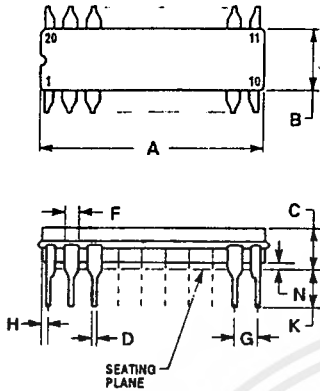


- NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
 2. CONTROLLING DIMENSION: MILLIMETER.
 3. DIMENSION A DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION; INTERLEAD FLASH OR PROTRUSIONS SHALL NOT EXCEED 0.15 (0.006) PER SIDE.
 4. DIMENSION B DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION; INTERLEAD FLASH OR PROTRUSIONS SHALL NOT EXCEED 0.25 (0.010) PER SIDE.
 5. DIMENSION C DOES NOT INCLUDE DAMBAR PROTRUSION; ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 (0.003) TOTAL IN EXCESS OF THE Δ DIMENSION AT MAXIMUM MATERIAL CONDITION.
 6. TERMINAL NUMBERS ARE SHOWN FOR REFERENCE ONLY.
 7. DIMENSION A AND B ARE TO BE DETERMINED AT DATUM PLANE -W-.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	5.20	5.40	0.205	0.215
B	4.30	4.50	0.169	0.177
C	—	1.20	—	0.047
D	0.65	0.75	0.026	0.030
F	0.50	0.75	0.020	0.030
G	0.65 BSC		0.026 BSC	
H	0.27	0.37	0.011	0.015
J	0.09	0.20	0.004	0.008
J1	0.09	0.15	0.004	0.006
K	0.19	0.30	0.007	0.012
K1	0.12	0.25	0.005	0.010
L	7.50 BSC		0.295 BSC	
M	0.25	0.25	0.010	0.010

OUTLINE DIMENSIONS

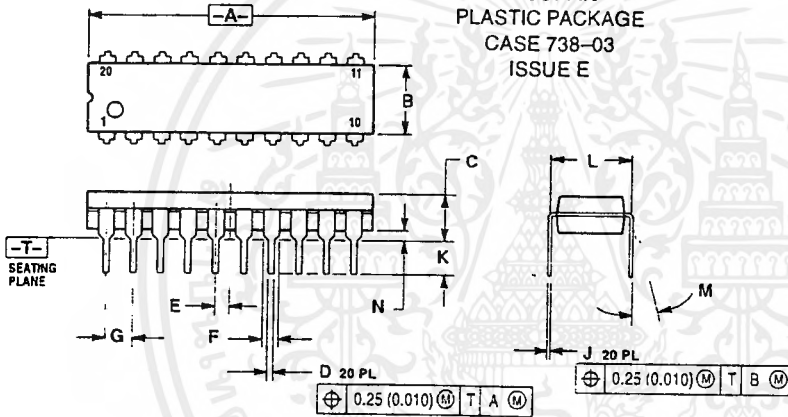
J SUFFIX
CERAMIC PACKAGE
CASE 732-03
ISSUE E



- NOTES:
- LEADS WITH 0.25 ± 0.015 DIAMETER, TRUE POSITION AT SEATING PLANE, AT MAXIMUM MATERIAL CONDITION.
 - DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
 - DIMENSIONS A AND B INCLUDE MENISCUS.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	22.88	25.15	0.900	0.990
B	5.60	7.43	0.250	0.293
C	3.91	3.92	0.150	0.200
D	2.28	2.25	0.015	0.022
F	1.40	1.53	0.055	0.065
G	2.54 BSC		0.100 BSC	
H	0.51	1.27	0.020	0.050
J	9.20	9.20	0.008	0.012
K	3.18	3.05	0.125	0.160
L	7.62 BSC		0.300 BSC	
M	0° - 15°		0° - 15°	
N	0.25	1.02	0.010	0.040

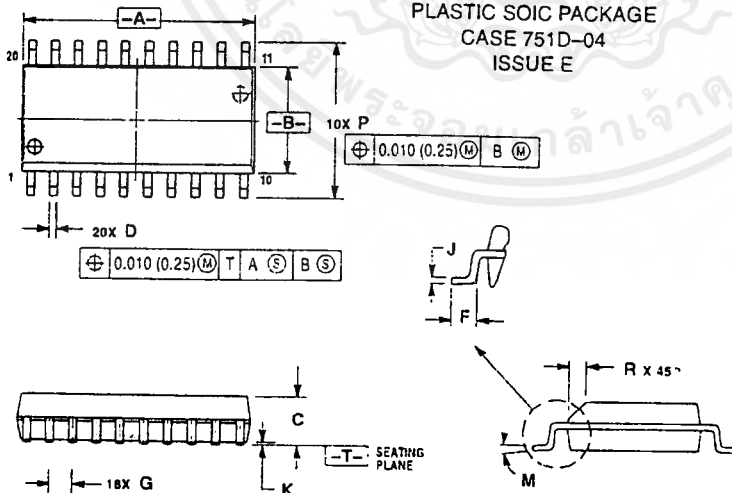
N SUFFIX
PLASTIC PACKAGE
CASE 738-03
ISSUE E



- NOTES:
- DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
 - CONTROL JING DIMENSION: INCH.
 - DIMENSION L TO CENTER OF LEAD WHEN FORMED PARALLEL.
 - DIMENSION B DOES NOT INCLUDE MOLD FLASH.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	1.010	1.070	25.66	27.17
B	0.240	0.260	6.10	6.60
C	0.150	0.180	3.81	4.57
D	0.015	0.022	0.39	0.55
E	0.055 BSC		1.27 BSC	
F	0.050	0.070	1.27	1.77
G	0.100 BSC		2.54 BSC	
J	0.008	0.015	0.21	0.38
K	0.110	0.140	2.80	3.55
L	0.200 BSC		7.62 BSC	
M	0° - 15°		0° - 15°	
N	0.020	0.040	0.51	1.01

DW SUFFIX
PLASTIC SOIC PACKAGE
CASE 751D-04
ISSUE E



- NOTES:
- DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
 - CONTROL JING DIMENSION: MILLIMETER.
 - DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
 - MAXIMUM MOLD PROTRUSION 0.150 (0.006) PER SIDE.
 - DIMENSION B DOES NOT INCLUDE DAMBAR PROTRUSION, UNLESS DAMBAR PROTRUSION SHALL BE 0.12 (0.005) TOTAL, IN EXCESS OF DIMENSION AT MAXIMUM MATERIAL CONDITION.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	12.65	12.72	0.499	0.510
B	7.46	7.50	0.292	0.299
C	2.35	2.42	0.092	0.102
D	0.35	0.39	0.014	0.015
F	0.50	0.57	0.020	0.025
G	1.27 BSC		0.050 BSC	
J	0.25	0.32	0.010	0.012
K	3.10	3.25	0.122	0.129
H	0	0	0°	7°
P	1.35	16.55	0.295	1.215
R	1.25	1.25	0.010	0.029

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V _{CC}	DC Supply Voltage (Referenced to GND)	- 0.5 to + 7.0	V
V _{in}	DC Input Voltage (Referenced to GND)	- 0.5 to V _{CC} + 0.5	V
V _{out}	DC Output Voltage (Referenced to GND)	- 0.5 to V _{CC} + 0.5	V
I _{in}	DC Input Current, per Pin	± 20	mA
I _{out}	DC Output Current, per Pin	± 35	mA
I _{CC}	DC Supply Current, V _{CC} and GND Pins	± 75	mA
P _D	Power Dissipation in Still Air, Plastic or Ceramic DIP† SOIC Package† SSOP or TSSOP Package†	750 500 450	mW
T _{stg}	Storage Temperature	- 65 to + 150	°C
T _L	Lead Temperature, 1 mm from Case for 10 Seconds (Plastic DIP, SOIC, SSOP or TSSOP Package) (Ceramic DIP)	260 300	°C

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}. Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

† Derating — Plastic DIP: - 10 mW/°C from 65° to 125°C
Ceramic DIP: - 10 mW/°C from 100° to 125°C
SOIC Package: - 7 mW/°C from 65° to 125°C
SSOP or TSSOP Package: - 6.1 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 2 of the Motorola High-Speed CMOS Data Book (DL129/D).

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter	Min	Max	Unit	
V _{CC}	DC Supply Voltage (Referenced to GND)	2.0	6.0	V	
V _{in} , V _{out}	DC Input Voltage, Output Voltage (Referenced to GND)	0	V _{CC}	V	
T _A	Operating Temperature, All Package Types	- 55	+ 125	°C	
t _r , t _f	Input Rise and Fall Time (Figure 1)	V _{CC} = 2.0 V V _{CC} = 4.5 V V _{CC} = 6.0 V	0 0 0	1000 500 400	ns

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V _{CC} V	Guaranteed Limit			Unit
				- 55 to 25°C	≤ 85°C	≤ 125°C	
V _{IH}	Minimum High-Level Input Voltage	V _{out} = V _{CC} - 0.1 V I _{out} ≤ 20 μA	2.0	1.5	1.5	1.5	V
			3.0	2.1	2.1	2.1	
			4.5	3.15	3.15	3.15	
			6.0	4.2	4.2	4.2	
V _{IL}	Maximum Low-Level Input Voltage	V _{out} = 0.1 V I _{out} ≤ 20 μA	2.0	0.5	0.5	0.5	V
			3.0	0.9	0.9	0.9	
			4.5	1.35	1.35	1.35	
			6.0	1.8	1.8	1.8	
V _{OH}	Minimum High-Level Output Voltage	V _{in} = V _{IH} I _{out} ≤ 20 μA	2.0	1.9	1.9	1.9	V
			4.5	4.4	4.4	4.4	
			6.0	5.9	5.9	5.9	
		V _{in} = V _{IH} I _{out} ≤ 2.4 mA I _{out} ≤ 6.0 mA I _{out} ≤ 7.9 mA	3.0	2.48	2.34	2.2	
			4.5	3.98	3.84	3.7	
			6.0	5.48	5.34	5.2	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V _{CC} V	Guaranteed Limit			Unit
				- 55 to 25°C	≤ 85°C	≤ 125°C	
V _{OL}	Maximum Low-Level Output Voltage	V _{in} = V _{IL} I _{out} ≤ 20 μA	2.0	0.1	0.1	0.1	V
			4.5	0.1	0.1	0.1	
			6.0	0.1	0.1	0.1	
		V _{in} = V _{IL} I _{out} ≤ 2.4 mA I _{out} ≤ 6.0 mA I _{out} ≤ 7.8 mA	3.0	0.26	0.33	0.4	
			4.5	0.26	0.33	0.4	
			6.0	0.26	0.33	0.4	
I _{in}	Maximum Input Leakage Current	V _{in} = V _{CC} or GND	6.0	± 0.1	± 1.0	± 1.0	μA
I _{OZ}	Maximum Three-State Leakage Current	Output in High-Impedance State V _{in} = V _{IL} or V _{IH} V _{out} = V _{CC} or GND	6.0	± 0.5	± 5.0	± 10	μA
I _{CC}	Maximum Quiescent Supply Current (per Package)	V _{in} = V _{CC} or GND I _{out} = 0 μA	6.0	4.0	40	160	μA

NOTE: Information on typical parametric values can be found in Chapter 2 of the Motorola High-Speed CMOS Data Book (DL129/D).

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input t_r = t_f = 6.0 ns)

Symbol	Parameter	V _{CC} V	Guaranteed Limit			Unit
			- 55 to 25°C	≤ 85°C	≤ 125°C	
t _{PLH} t _{PHL}	Maximum Propagation Delay, Input D to Q (Figures 1 and 5)	2.0	125	155	190	ns
		3.0	80	110	130	
		4.5	25	31	38	
		6.0	21	26	32	
t _{PLH} t _{PHL}	Maximum Propagation Delay, Latch Enable to Q (Figures 2 and 5)	2.0	140	175	210	ns
		3.0	90	120	140	
		4.5	28	35	42	
		6.0	24	30	36	
t _{PLZ} t _{PHZ}	Maximum Propagation Delay, Output Enable to Q (Figures 3 and 6)	2.0	150	190	225	ns
		3.0	100	125	150	
		4.5	30	38	45	
		6.0	26	33	38	
t _{PZL} t _{PZH}	Maximum Propagation Delay, Output Enable to Q (Figures 3 and 6)	2.0	150	190	225	ns
		3.0	100	125	150	
		4.5	30	38	45	
		6.0	26	33	38	
t _{TLH} t _{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 5)	2.0	60	75	90	ns
		3.0	23	27	32	
		4.5	12	15	18	
		6.0	10	13	15	
C _{in}	Maximum Input Capacitance		10	10	10	pF
C _{out}	Maximum Three-State Output Capacitance (Output in High-Impedance State)		15	15	15	pF

NOTE: For propagation delays with loads other than 50 pF, and information on typical parametric values, see Chapter 2 of the Motorola High-Speed CMOS Data Book (DL129/D).

C _{PD}	Power Dissipation Capacitance (Per Enable Output)*	Typical @ 25°C, V _{CC} = 5.0 V	
			36

* Used to determine the no-load dynamic power consumption: P_D = C_{PD} V_{CC}²f + I_{CC} V_{CC}. For load considerations, see Chapter 2 of the Motorola High-Speed CMOS Data Book (DL129/D).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Octal 3-State Non-Inverting Transparent Latch

High-Performance Silicon-Gate CMOS

The MC54/74HC373A is identical in pinout to the LS373. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

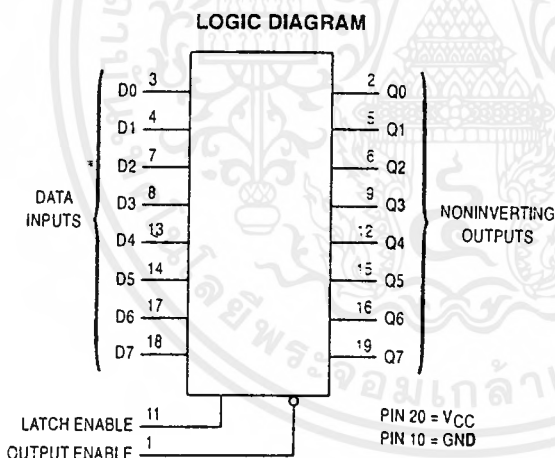
These latches appear transparent to data (i.e., the outputs change asynchronously) when Latch Enable is high. When Latch Enable goes low, data meeting the setup and hold time becomes latched.

The Output Enable input does not affect the state of the latches, but when Output Enable is high, all device outputs are forced to the high-impedance state. Thus, data may be latched even when the outputs are not enabled.

The HC373A is identical in function to the HC573A which has the data inputs on the opposite side of the package from the outputs to facilitate PC board layout.

The HC373A is the non-inverting version of the HC533A.

- Output Drive Capability: 15 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS and TTL
- Operating Voltage Range: 2.0 to 6.0 V
- Low Input Current: 1.0 μ A
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 186 FETs or 46.5 Equivalent Gates



Design Criteria	Value	Units
Internal Gate Count*	46.5	ea
Internal Gate Propagation Delay	1.5	ns
Internal Gate Power Dissipation	5.0	μ W
Speed Power Product	0.0075	pJ

* Equivalent to a two-input NAND gate.

MC54/74HC373A



J SUFFIX
CERAMIC PACKAGE
CASE 732-03



N SUFFIX
PLASTIC PACKAGE
CASE 738-03



DW SUFFIX
SOIC PACKAGE
CASE 751D-04



SD SUFFIX
SSOP PACKAGE
CASE 940C-03



DT SUFFIX
TSSOP PACKAGE
CASE 948E-02

ORDERING INFORMATION

MC54HCXXXAJ	Ceramic
MC74HCXXXAN	Plastic
MC74HCXXXADW	SOIC
MC74HCXXXASD	SSOP
MC74HCXXXADT	TSSOP

PIN ASSIGNMENT

OUTPUT ENABLE	1	20	VCC
Q0	2	19	Q7
D0	3	18	D7
D1	4	17	D6
Q1	5	16	Q6
Q2	6	15	Q5
D2	7	14	D5
D3	8	13	D4
Q3	9	12	Q4
GND	10	11	LATCH ENABLE

FUNCTION TABLE

Inputs		Output	
Output Enable	Latch Enable	D	Q
L	H	H	H
L	H	L	L
L	L	X	No Change
H	X	X	Z

X = Don't Care

Z = High Impedance

TIMING REQUIREMENTS ($C_L = 50 \text{ pF}$, Input $t_r = t_f = 6.0 \text{ ns}$)

Symbol	Parameter	Fig.	VCC Volts	Guaranteed Limit						Unit	
				- 55 to 25°C		≤ 85°C		≤ 125°C			
				Min	Max	Min	Max	Min	Max		
t_{su}	Minimum Setup Time, Input D to Latch Enable	4	2.0 3.0 4.5 6.0	25 20 5.0 5.0		30 25 6.0 6.0		40 30 8.0 7.0		ns	
t_h	Minimum Hold Time, Latch Enable to Input D	4	2.0 3.0 4.5 6.0	5.0 5.0 5.0 5.0		5.0 5.0 5.0 5.0		5.0 5.0 5.0 5.0		ns	
t_w	Minimum Pulse Width, Latch Enable	2	2.0 3.0 4.5 6.0	60 23 12 10		75 27 15 13		90 32 18 15		ns	
t_r, t_f	Maximum Input Rise and Fall Times	1	2.0 3.0 4.5 6.0		1000 800 500 400		1000 800 500 400		1000 800 500 400		ns

SWITCHING WAVEFORMS

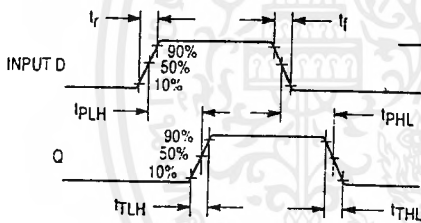


Figure 1.

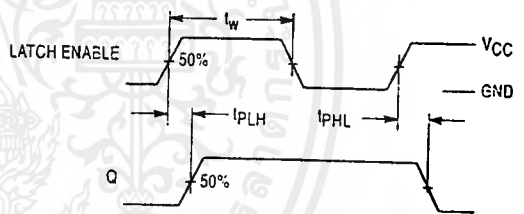


Figure 2.

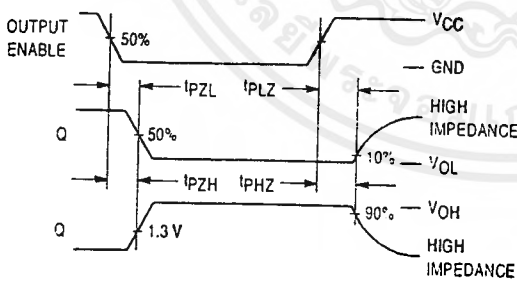


Figure 3.

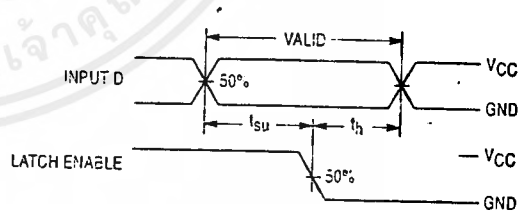
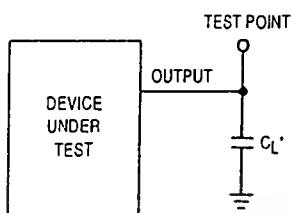


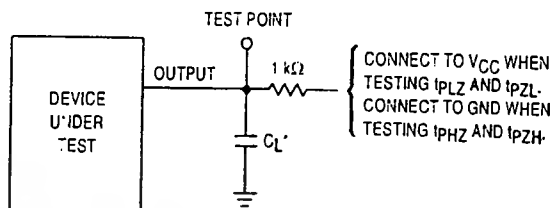
Figure 4.

TEST CIRCUITS



* Includes all probe and jig capacitance

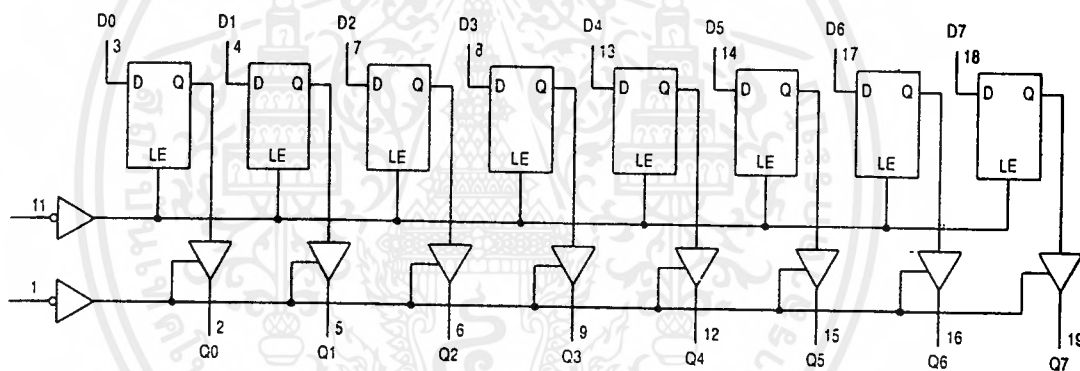
Figure 5.



* Includes all probe and jig capacitance

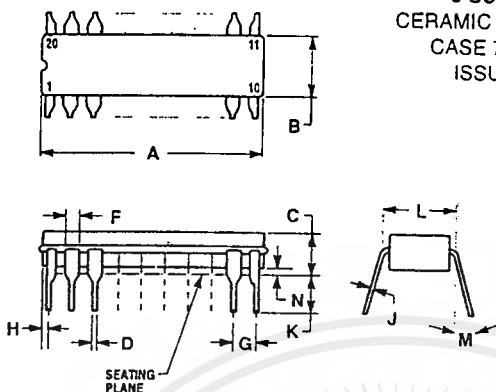
Figure 6.

EXPANDED LOGIC DIAGRAM



OUTLINE DIMENSIONS

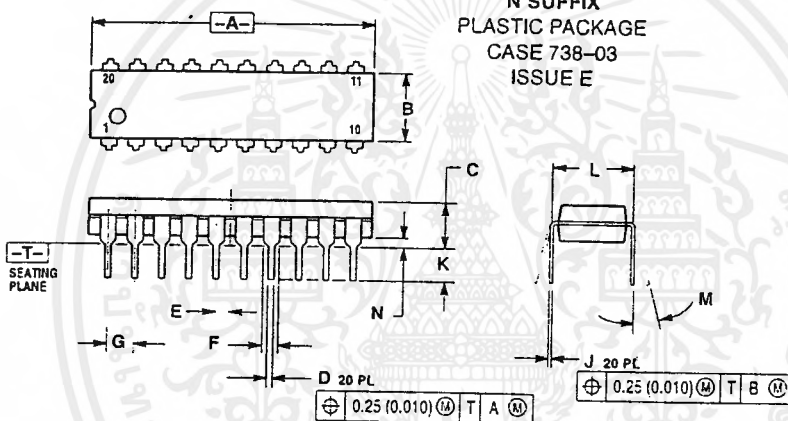
J SUFFIX
CERAMIC PACKAGE
CASE 732-03
ISSUE E



- NOTES:
- LEADS WITHIN 0.25 (0.010) DIAMETER, TRUE POSITION AT SEATING PLANE AT MAXIMUM MATERIAL CONDITION.
 - DIMENSION J TO CENTER OF LEADS WHEN FORMED PARALLEL.
 - DIMENSIONS A AND B INCLUDE MENISCUS.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	2.89	2.15	0.90	0.990
B	5.00	2.29	0.260	0.295
C	2.81	5.02	0.150	0.200
D	0.38	0.55	0.015	0.022
F	1.40	1.65	0.055	0.065
G	2.54 BSC		0.100 BSC	
H	0.51	1.27	0.020	0.050
J	0.20	0.20	0.008	0.012
K	0.18	2.55	0.125	0.160
L	7.62 BSC		3.000 BSC	
M	0°	15°	0°	15°
N	0.25	1.02	0.010	0.040

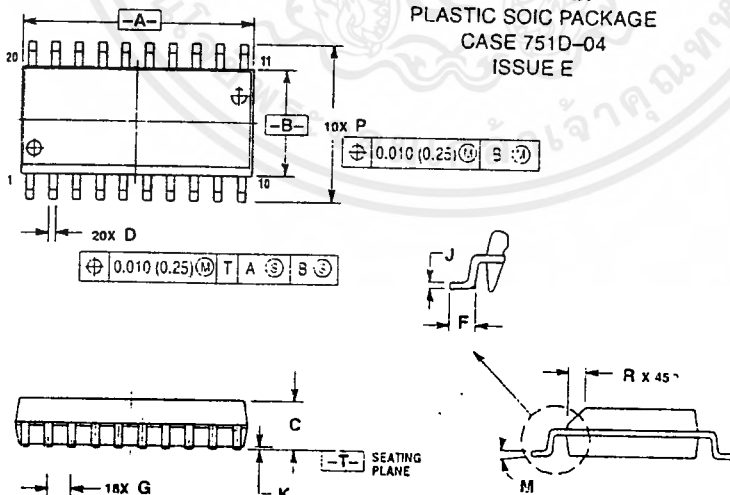
N SUFFIX
PLASTIC PACKAGE
CASE 738-03
ISSUE E



- NOTES:
- DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
 - CONTROLLING DIMENSION: INCH.
 - DIMENSION J TO CENTER OF LEAD WHEN FORMED PARALLEL.
 - DIMENSION B DOES NOT INCLUDE MOLD FLASH.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	1.010	1.070	25.66	27.17
B	0.220	0.250	6.10	6.60
C	0.150	0.180	3.81	4.57
D	0.015	0.022	0.39	0.55
E	0.450 BSC		1.27 BSC	
F	0.050	0.070	1.27	1.77
G	0.100 BSC		2.54 BSC	
J	0.028	0.015	0.21	0.38
K	0.110	0.140	2.80	3.55
L	0.500 BSC		7.62 BSC	
M	0°	15°	0°	15°
N	0.020	0.040	0.51	1.01

DW SUFFIX
PLASTIC SOIC PACKAGE
CASE 751D-04
ISSUE E

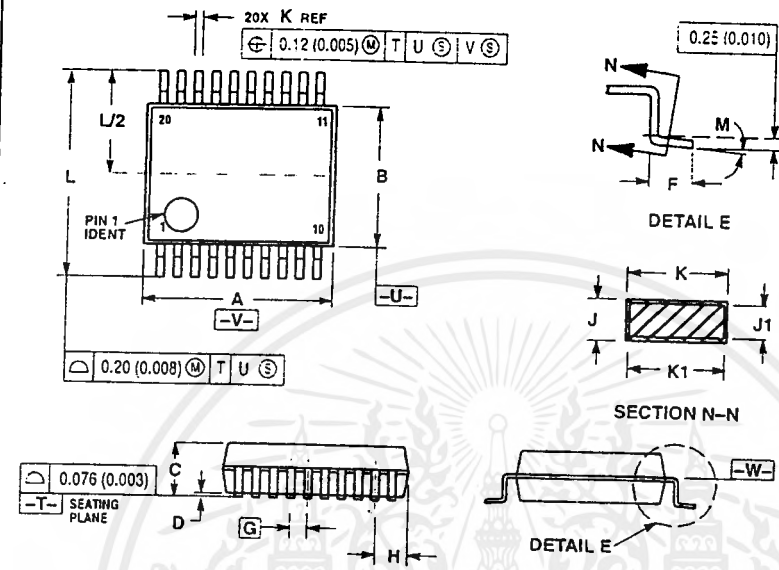


- NOTES:
- DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
 - CONTROLLING DIMENSION: MILLIMETER.
 - DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
 - MAXIMUM MOLD PROTRUSION 0.150 (0.006) PER SIDE.
 - DIMENSION D DOES NOT INCLUDE MOUNTING PROTRUSION UNLESS SPECIFIED OTHERWISE.
 - MAXIMUM TOTAL IN EXCESS OF DIMENSION AT MAXIMUM MATERIAL CONDITION.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	12.65	12.95	0.500	0.510
B	7.00	7.60	0.276	0.299
C	2.55	2.65	0.100	0.104
D	0.25	0.29	0.010	0.011
F	3.50	3.90	0.138	0.153
G	1.27 BSC		0.050 BSC	
J	0.25	0.32	0.010	0.012
K	0.10	0.25	0.004	0.009
M	0°	15°	0°	15°
P	10.65	10.55	0.420	0.415
R	3.25	2.75	0.128	0.108

OUTLINE DIMENSIONS

SD SUFFIX
PLASTIC SSOP PACKAGE
CASE 940C-03
ISSUE B

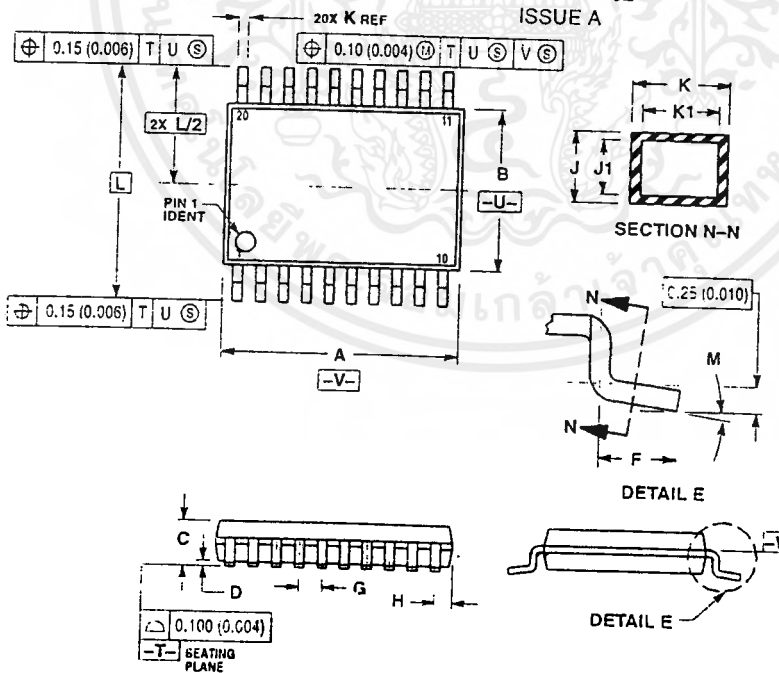


NOTES:

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1992.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSION A DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH OR GATE BURRS SHALL NOT EXCEED 0.15 (0.006) PER SIDE.
4. DIMENSION B DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSION SHALL NOT EXCEED 0.15 (0.006) PER SIDE.
5. DIMENSION 4 DOES NOT INCLUDE DAMBAR PROTRUSION INTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.13 (0.005) TOTAL IN EXCESS OF THE 4 DIMENSION AT MAXIMUM MATERIAL CONDITION. DAMBAR INTRUSION SHALL NOT EXCEED DIMENSION 4 BY MORE THAN 0.13 (0.005) AT LEAST MATERIAL CONDITION.
6. TERMINAL NUMBERS ARE SHOWN FOR REFERENCE ONLY.
7. DIMENSION A AND B ARE TO BE DETERMINED AT DATUM PLANE -W-.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	7.07	7.33	0.278	0.288
B	5.20	5.38	0.205	0.212
C	1.73	1.99	0.068	0.078
D	0.05	0.21	0.002	0.008
F	0.53	0.95	0.021	0.037
G	0.65 BSC		0.025 BSC	
H	0.59	0.75	0.023	0.030
J	0.69	0.20	0.027	0.008
J1	0.69	0.16	0.027	0.006
K	3.25	0.38	0.128	0.015
K1	0.25	0.23	0.010	0.019
L	7.65	7.90	0.301	0.311
M	0.2	0.2	0.008	0.008

DT SUFFIX
PLASTIC TSSOP PACKAGE
CASE 948E-02
ISSUE A



NOTES:

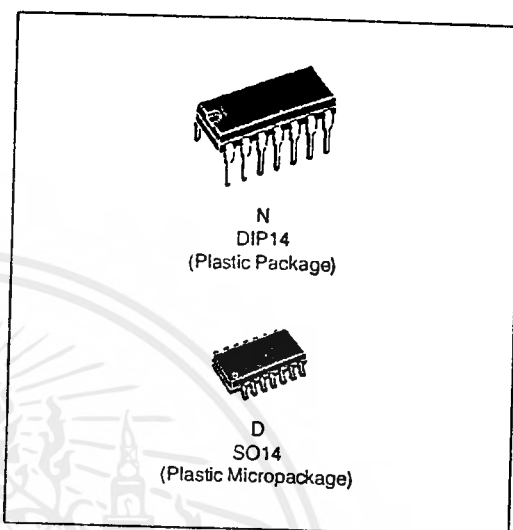
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSION A DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH OR GATE BURRS SHALL NOT EXCEED 0.15 (0.006) PER SIDE.
4. DIMENSION B DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSION SHALL NOT EXCEED 0.25 (0.010) PER SIDE.
5. DIMENSION 4 DOES NOT INCLUDE DAMBAR PROTRUSION INTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.03 (0.002) TOTAL IN EXCESS OF THE 4 DIMENSION AT MAXIMUM MATERIAL CONDITION.
6. TERMINAL NUMBERS ARE SHOWN FOR REFERENCE ONLY.
7. DIMENSION A AND B ARE TO BE DETERMINED AT DATUM PLANE -W-.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	6.40	6.60	0.252	0.260
B	4.30	4.50	0.169	0.177
C	—	1.20	—	0.047
D	0.05	0.15	0.002	0.006
F	0.50	0.75	0.020	0.030
G	0.65 BSC		0.025 BSC	
H	3.27	3.37	0.129	0.135
J	3.95	1.20	0.156	0.038
J1	3.05	1.16	0.120	0.046
K	3.15	0.30	0.097	0.012
K1	0.13	0.25	0.007	0.010
L	6.20 BSC	6.25 BSC	0.244 BSC	0.248 BSC
M	0.2	0.2	0.008	0.008

TL074 TL074A - TL074B

LOW NOISE QUAD J-FET OPERATIONAL AMPLIFIERS

- LOW POWER CONSUMPTION
- WIDE COMMON-MODE (UP TO V_{cc}^+) AND DIFFERENTIAL VOLTAGE RANGE
- LOW INPUT BIAS AND OFFSET CURRENT
- LOW NOISE $e_n = 15\text{nV}/\sqrt{\text{Hz}}$ (typ)
- OUTPUT SHORT-CIRCUIT PROTECTION
- HIGH INPUT IMPEDANCE J-FET INPUT STAGE
- LOW HARMONIC DISTORTION : 0.01% (typ)
- INTERNAL FREQUENCY COMPENSATION
- LATCH UP FREE OPERATION
- HIGH SLEW RATE : $13\text{V}/\mu\text{s}$ (typ)



DESCRIPTION

The TL074, TL074A and TL074B are high speed J-FET input quad operational amplifiers incorporating well matched, high voltage J-FET and bipolar transistors in a monolithic integrated circuit.

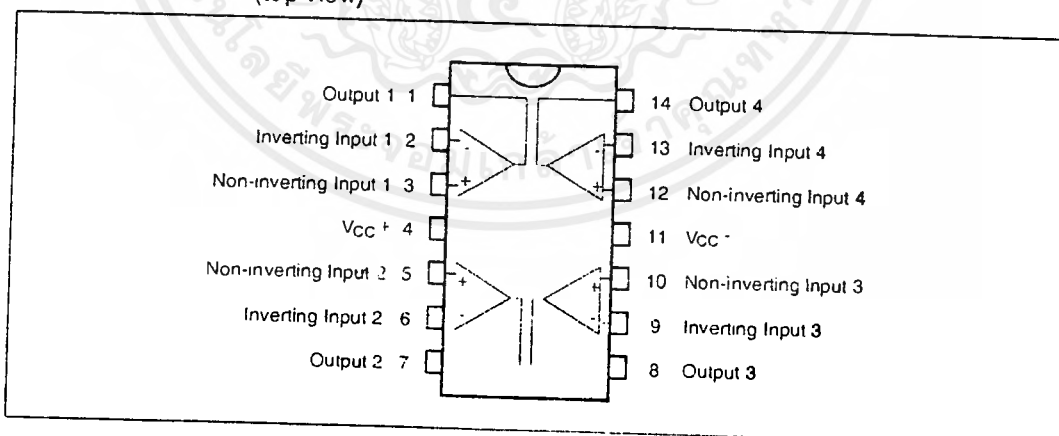
The devices feature high slew rates, low input bias and offset currents, and low offset voltage temperature coefficient.

ORDER CODES

Part Number	Temperature Range	Package	
		N	D
TL074M/AM/BM	-55°C, +125°C	•	•
TL074I/AI/BI	-40°C, +105°C	•	•
TL074C/AC/BC	0°C, +70°C	•	•

Example : TL074IN

PIN CONNECTIONS (top view)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

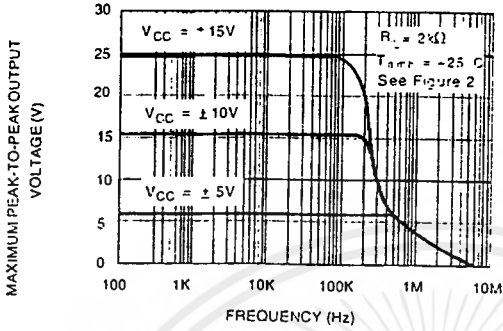
V_{CC} = ±15V, T_{amb} = 25°C (unless otherwise specified)

Symbol	Parameter	TL074I,M,AC,AI, AM,BC,BI,BM			TL074C			Unit
		Min.	Typ.	Max.	Min.	Typ.	Max.	
V _{io}	Input Offset Voltage (R _S = 50Ω) T _{amb} = 25°C T _{min.} ≤ T _{amb} ≤ T _{max.} TL074BC,BI,BM TL074BC,BI,BM		3 1	6 3 7 5		3	10 13	mV
DV _{io}	Input Offset Voltage Drift		10			10		μV/°C
I _{io}	Input Offset Current * T _{amb} = 25°C T _{min.} ≤ T _{amb} ≤ T _{max.}		5	100 4		5	100 10	pA nA
I _{ib}	Input Bias Current * T _{amb} = 25°C T _{min.} ≤ T _{amb} ≤ T _{max.}		20	200 20		30	200 20	pA nA
A _{vd}	Large Signal Voltage Gain (R _L = 2kΩ, V _O = ±10V) T _{amb} = 25°C T _{min.} ≤ T _{amb} ≤ T _{max.}	50 25	200		25 15	200		V/mV
SVR	Supply Voltage Rejection Ratio (R _S = 50Ω) T _{amb} = 25°C T _{min.} ≤ T _{amb} ≤ T _{max.}	80 80	86		70 70	86		dB
I _{CC}	Supply Current, per Amp, no Load T _{amb} = 25°C T _{min.} ≤ T _{amb} ≤ T _{max.}		1.4	2.5 2.5		1.4	2.5 2.5	mA
V _{icm}	Input Common Mode Voltage Range	±11	+15 -12		±11	+15 -12		V
CMR	Common Mode Rejection Ratio (R _S = 50Ω) T _{amb} = 25°C T _{min.} ≤ T _{amb} ≤ T _{max.}	80 80	86		70 70	86		dB
I _{OS}	Output Short-circuit Current T _{amb} = 25°C T _{min.} ≤ T _{amb} ≤ T _{max.}	10 10	40	60 60	10 10	40	60 60	mA
±V _{OPP}	Output Voltage Swing T _{amb} = 25°C R _L = 2kΩ R _L = 10kΩ T _{min.} ≤ T _{amb} ≤ T _{max.} R _L = 2kΩ R _L = 10kΩ	10 12 10 12	12 13.5		10 12 10 12	12 13.5		V
SR	Slew Rate (V _{in} = 10V, R _L = 2kΩ, C _L = 100pF, T _{amb} = 25°C, unity gain)	8	13		8	13		V/μs
t _r	Rise Time (V _{in} = 20mV, R _L = 2kΩ, C _L = 100pF, T _{amb} = 25°C, unity gain)		0.1			0.1		μs
K _{OV}	Overshoot (V _{in} = 20mV, R _L = 2kΩ, C _L = 100pF, T _{amb} = 25°C, unity gain)		10			10		%
GBP	Gain Bandwidth Product (f = 100kHz, T _{amb} = 25°C, V _{in} = 10mV, R _L = 2kΩ, C _L = 100pF)	2	3		2	3		MHz
R _i	Input Resistance		10 ¹²			10 ¹²		Ω
THD	Total Harmonic Distortion (f = 1kHz, A _V = 20dB, R _L = 2kΩ, C _L = 100pF, T _{amb} = 25°C, V _O = 2V _{PP})		0.01			0.01		%
e _n	Equivalent Input Noise Voltage (f = 1kHz, R _S = 100Ω)		15			15		nV √Hz
∅ _m	Phase Margin		45			45		Degrees
V _{O1} /V _{O2}	Channel Separation (A _v = 100)		120			120		dB

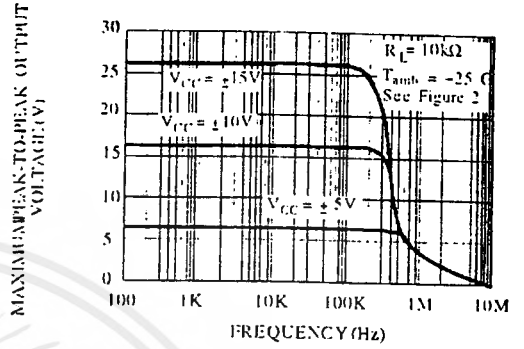
* The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

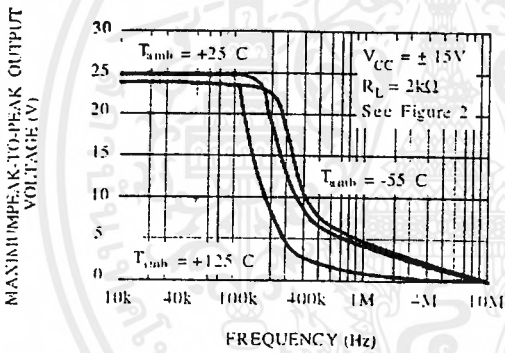
MAXIMUM PEAK-TO-PEAK OUTPUT VOLTAGE VERSUS FREQUENCY



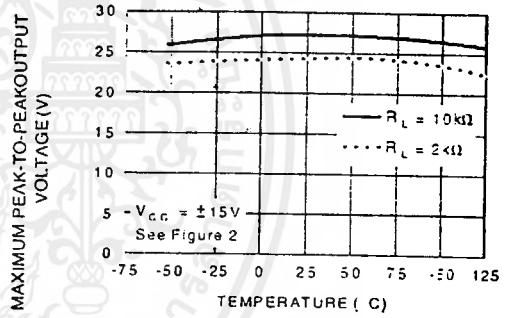
MAXIMUM PEAK-TO-PEAK OUTPUT VOLTAGE VERSUS FREQUENCY



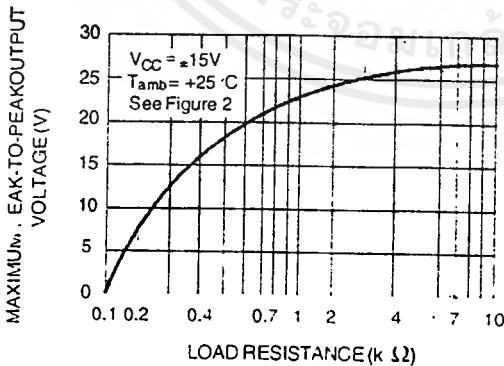
MAXIMUM PEAK-TO-PEAK OUTPUT VOLTAGE VERSUS FREQUENCY



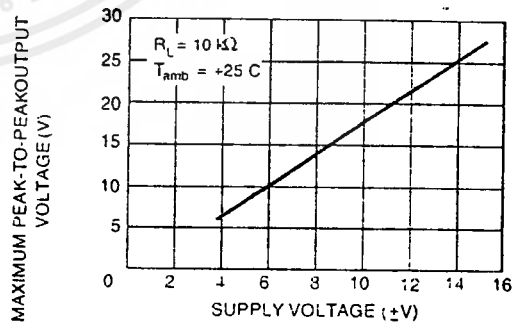
MAXIMUM PEAK-TO-PEAK OUTPUT VOLTAGE VERSUS FREE AIR TEMP.



MAXIMUM PEAK-TO-PEAK OUTPUT VOLTAGE VERSUS LOAD RESISTANCE

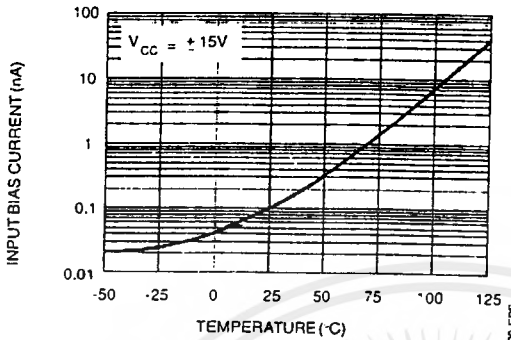


MAXIMUM PEAK-TO-PEAK OUTPUT VOLTAGE VERSUS SUPPLY VOLTAGE

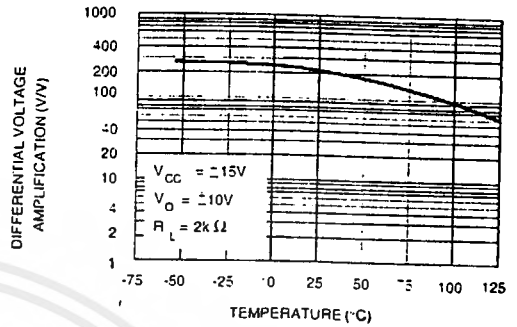


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

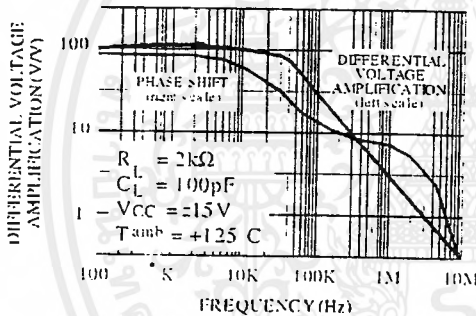
INPUT BIAS CURRENT VERSUS FREE AIR TEMPERATURE



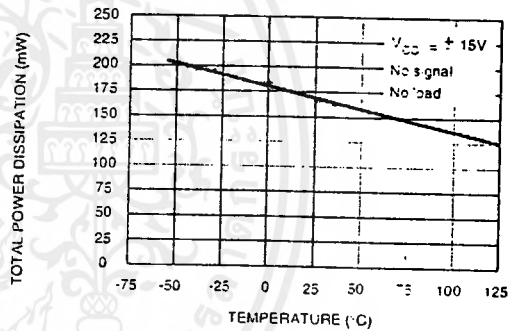
LARGE SIGNAL DIFFERENTIAL VOLTAGE AMPLIFICATION VERSUS FREE AIR TEMPERATURE



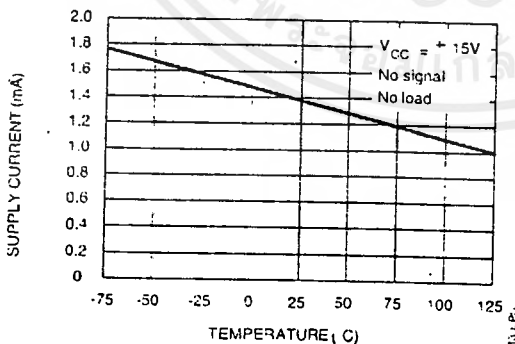
LARGE SIGNAL DIFFERENTIAL VOLTAGE AMPLIFICATION AND PHASE SHIFT VERSUS FREQUENCY



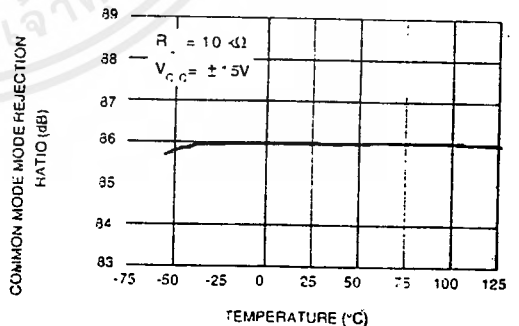
TOTAL POWER DISSIPATION VERSUS FREE AIR TEMPERATURE



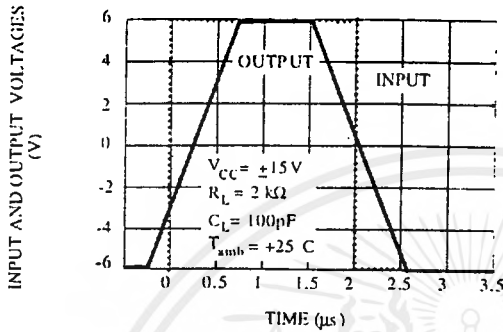
SUPPLY CURRENT PER AMPLIFIER VERSUS FREE AIR TEMPERATURE



COMMON MODE REJECTION RATIO VERSUS FREE AIR TEMPERATURE

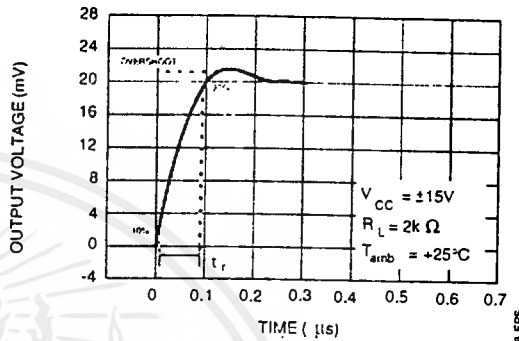


VOLTAGE FOLLOWER LARGE SIGNAL PULSE RESPONSE



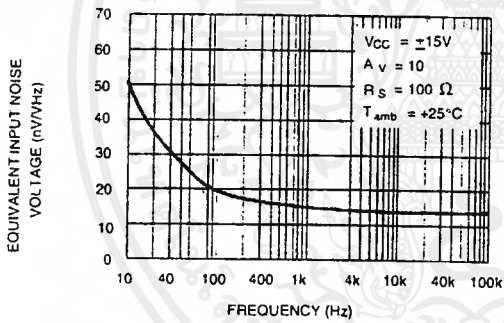
074-15.EPS

OUTPUT VOLTAGE VERSUS ELAPSED TIME



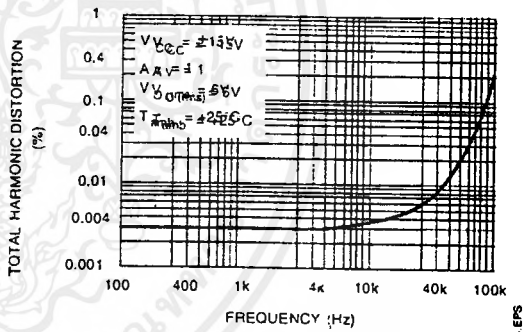
074-16.EPS

EQUIVALENT INPUT NOISE VOLTAGE VERSUS FREQUENCY



074-17.EPS

TOTAL HARMONIC DISTORTION VERSUS FREQUENCY



074-18.EPS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PARAMETER MEASUREMENT INFORMATION

Figure 1 : Voltage Follower

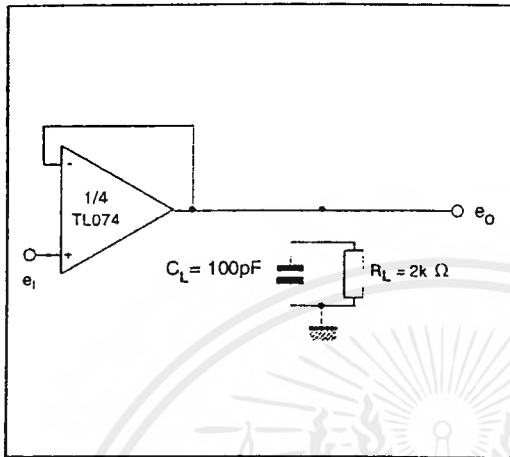
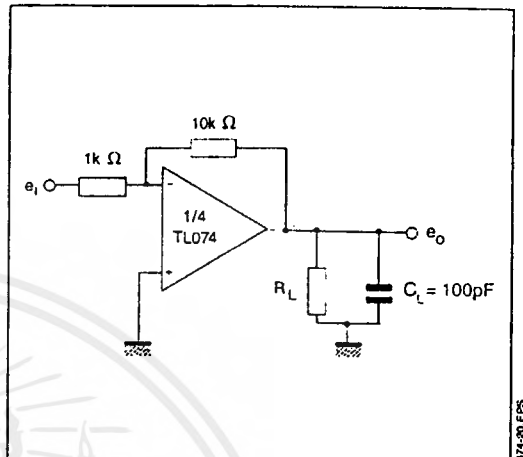
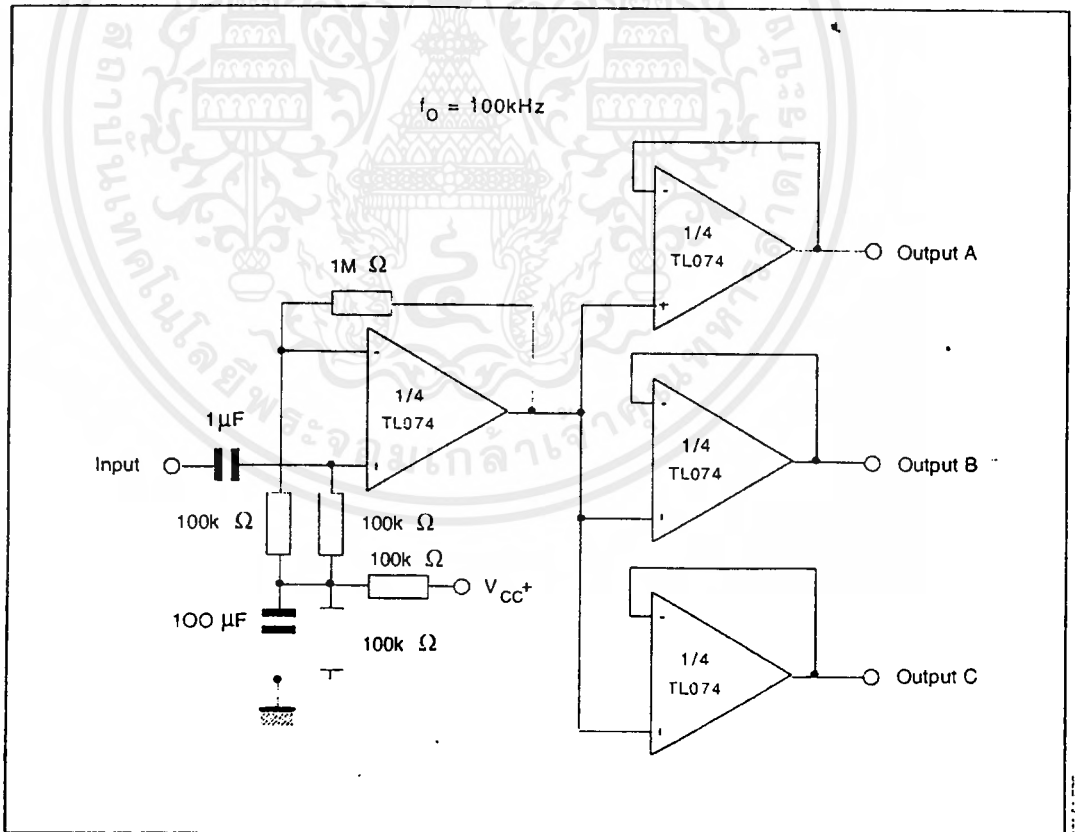


Figure 2 : Gain-of-10 Inverting Amplifier



TYPICAL APPLICATIONS

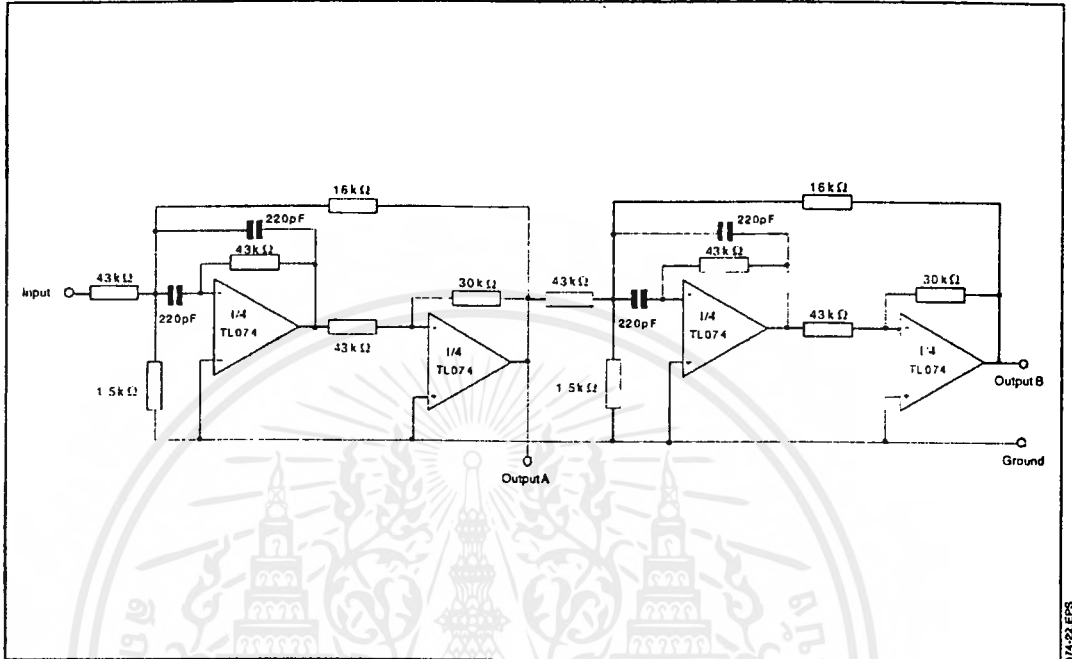
AUDIO DISTRIBUTION AMPLIFIER



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

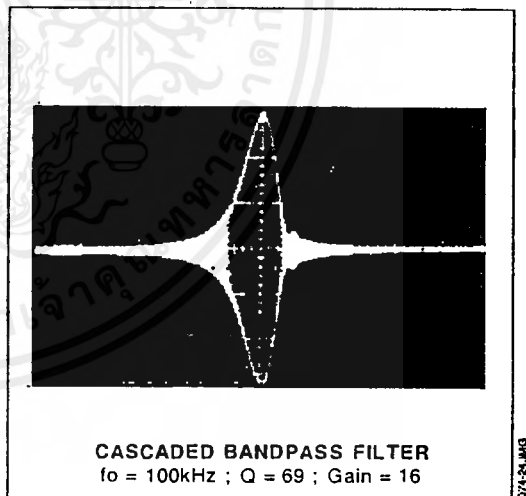
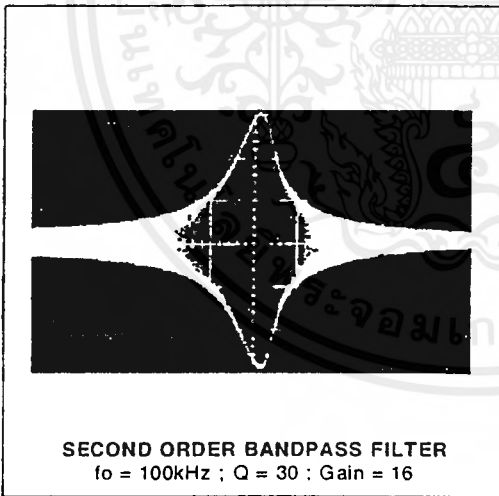
TYPICAL APPLICATIONS (continued)

POSITIVE FEEDBACK BANDPASS FILTER



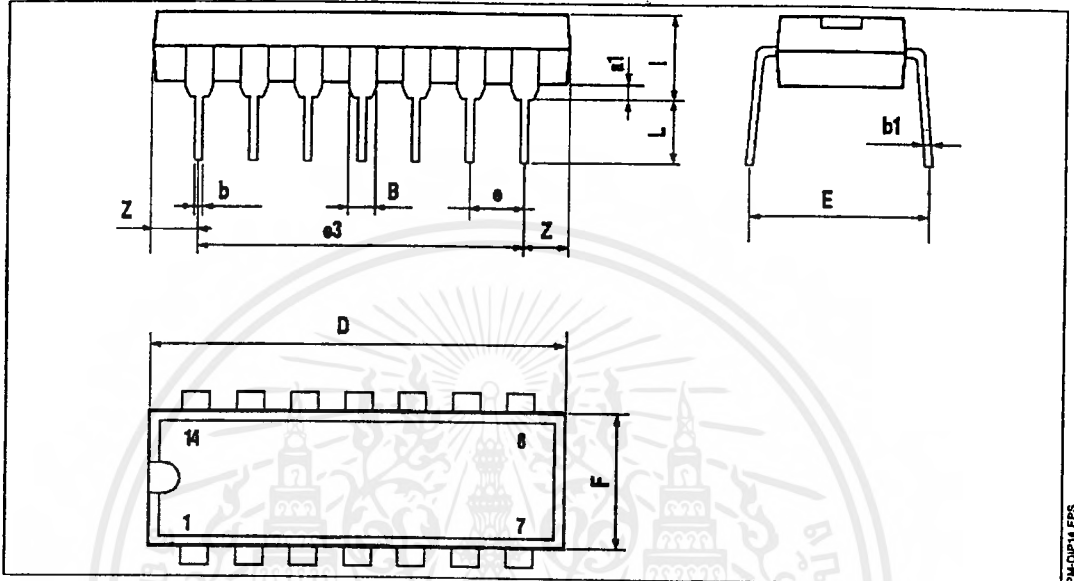
OUTPUT A

OUTPUT B



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

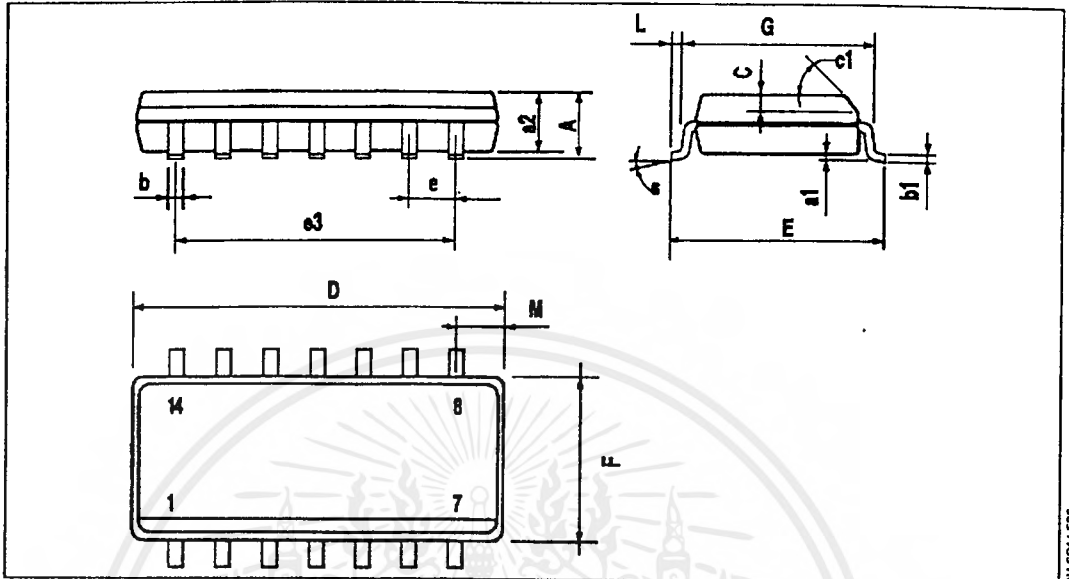
PACKAGE MECHANICAL DATA
14 PINS - PLASTIC DIP OR CerdIP



Dimensions	Millimeters			Inches		
	Min.	Typ.	Max.	Min.	Typ.	Max.
a1	0.51			0.020		
B	1.39		1.65	0.055		0.065
b		0.5			0.020	
b1		0.25			0.010	
D			20			0.787
E		8.5			0.335	
e		2.54			0.100	
e3		15.24			0.600	
F			7.1			0.280
i			5.1			0.201
L		3.3			0.130	
Z	1.27		2.54	0.050		0.100

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE MECHANICAL DATA
14 PINS - PLASTIC MICROPACKAGE (SO)



Dimensions	Millimeters			Inches		
	Min.	Typ.	Max.	Min.	Typ.	Max.
A			1.75			0.069
a1	0.1		0.2	0.004		0.008
a2			1.6			0.063
b	0.35		0.46	0.014		0.018
b1	0.19		0.25	0.007		0.010
C		0.5			0.020	
c1	45° (typ.)					
D	8.55		8.75	0.336		0.334
E	5.8		6.2	0.228		0.244
e		1.27			0.050	
e3		7.62			0.300	
F	3.8		4.0	0.150		0.157
G	4.6		5.3	0.181		0.208
L	0.5		1.27	0.020		0.050
M			0.68			0.027
S	8° (max.)					

Information furnished is believed to be accurate and reliable. However, SGS-THOMSON Microelectronics assumes no responsibility for the consequences of use of such information nor for any infringement of patents or other rights of third parties which may result from its use. No licence is granted by implication or otherwise under any patent or patent rights of SGS-THOMSON Microelectronics. Specifications mentioned in this publication are subject to change without notice. This publication supersedes and replaces all information previously supplied. SGS-THOMSON Microelectronics products are not authorized for use as critical components in life support devices or systems without express written approval of SGS-THOMSON Microelectronics.

1996 SGS-THOMSON Microelectronics - All Rights Reserved

SGS-THOMSON Microelectronics GROUP OF COMPANIES

Australia - Brazil - France - Germany - Hong Kong - Italy - Japan - Korea - Malaysia - Malta - Morocco - The Netherlands
Singapore - Spain - Sweden - Switzerland - Taiwan - Thailand - United Kingdom - U.S.A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PHAS014.FPR

3014.TBL

ORDER CODE



Order this document by LM324/D

LM324, LM324A, LM224, LM2902, LM2902V

Quad Low Power Operational Amplifiers

The LM324 series are low-cost, quad operational amplifiers with true differential inputs. They have several distinct advantages over standard operational amplifier types in single supply applications. The quad amplifier can operate at supply voltages as low as 3.0 V or as high as 32 V with quiescent currents about one-fifth of those associated with the MC1741 (on a per amplifier basis). The common mode input range includes the negative supply, thereby eliminating the necessity for external biasing components in many applications. The output voltage range also includes the negative power supply voltage.

- Short Circuited Protected Outputs
- True Differential Input Stage
- Single Supply Operation: 3.0 V to 32 V
- Low Input Bias Currents: 100 nA Maximum (LM324A)
- Four Amplifiers Per Package
- Internally Compensated
- Common Mode Range Extends to Negative Supply
- Industry Standard Pinouts
- ESD Clamps on the Inputs Increase Ruggedness without Affecting Device Operation

QUAD DIFFERENTIAL INPUT OPERATIONAL AMPLIFIERS

SEMICONDUCTOR TECHNICAL DATA

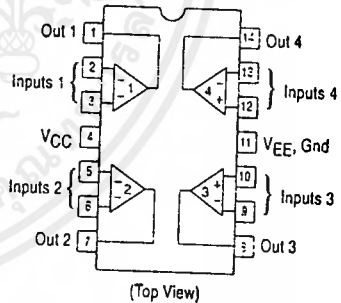


N SUFFIX
PLASTIC PACKAGE
CASE 646
(LM224, LM324,
LM2902 Only)



D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO-14)

PIN CONNECTIONS



MAXIMUM RATINGS (T_A = +25°C, unless otherwise noted.)

Rating	Symbol	LM224 LM324, LM324A	LM2902, LM2902V	Unit
Power Supply Voltages Single Supply Split Supplies	V _{CC} V _{CC} , V _{EE}	32 ±16	26 ±13	V _{dc}
Input Differential Voltage Range (See Note 1)	V _{IDR}	±32	±26	V _{dc}
Input Common Mode Voltage Range	V _{ICR}	-0.3 to 32	-0.3 to 26	V _{dc}
Output Short Circuit Duration	I _{SC}	Continuous		
Junction Temperature	T _J	150		°C
Storage Temperature Range	T _{stg}	-65 to +150		°C
Operating Ambient Temperature Range	T _A	-25 to +85 0 to +70	-40 to +105 -40 to +125	°C

NOTE: 1. Split Power Supplies.

ORDERING INFORMATION

Device	Operating Temperature Range	Package
LM2902D	T _A = -40° to +105°C	SO-14
LM2902N		Plastic DIP
LM2902VD	T _A = -40° to +125°C	SO-14
LM2902VN		Plastic DIP
LM224D	T _A = -25° to +85°C	SO-14
LM224N		Plastic DIP
LM324AD	T _A = 0° to +70°C	SO-14
LM324AN		Plastic DIP
LM324D		SO-14
LM324N		Plastic DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM324, LM324A, LM224, LM2902, LM2902V

ELECTRICAL CHARACTERISTICS ($V_{CC} = 5.0\text{ V}$, $V_{EE} = \text{Gnd}$, $T_A = 25^\circ\text{C}$, unless otherwise noted.)

Characteristics	Symbol	LM224			LM324A			LM324			LM2902			LM2902V			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage $V_{CC} = 5.0\text{ V}$ to 30 V (26 V for LM2902, V), $V_{ICR} = 0\text{ V}$ to $V_{CC} - 1.7\text{ V}$, $V_O =$ 1.4 V , $R_S = 0\ \Omega$ $T_A = 25^\circ\text{C}$ $T_A = T_{\text{high}}^{(1)}$ $T_A = T_{\text{low}}^{(1)}$	V_{IO}	-	2.0	5.0	-	2.0	3.0	-	2.0	7.0	-	2.0	7.0	-	2.0	7.0	mV
Average Temperature Coefficient of Input Offset Voltage $T_A = T_{\text{high}}$ to $T_{\text{low}}^{(1)}$	$\Delta V_{IO}/\Delta T$	-	7.0	-	-	7.0	30	-	7.0	-	-	7.0	-	-	7.0	-	$\mu\text{V}/^\circ\text{C}$
Input Offset Current $T_A = T_{\text{high}}$ to $T_{\text{low}}^{(1)}$	I_{IO}	-	3.0	30	-	5.0	30	-	5.0	50	-	5.0	50	-	5.0	50	nA
Average Temperature Coefficient of Input Offset Current $T_A = T_{\text{high}}$ to $T_{\text{low}}^{(1)}$	$\Delta I_{IO}/\Delta T$	-	10	-	-	10	300	-	10	-	-	10	-	-	10	-	$\mu\text{A}/^\circ\text{C}$
Input Bias Current $T_A = T_{\text{high}}$ to $T_{\text{low}}^{(1)}$	I_{IB}	-	-90	-150	-	-45	-100	-	-90	-250	-	-90	-250	-	-90	-250	nA
Input Common Mode Voltage Range ⁽²⁾ $V_{CC} = 30\text{ V}$ (26 V for LM2902, V) $V_{CC} = 30\text{ V}$ (26 V for LM2902, V), $T_A = T_{\text{high}}$ to T_{low}	V_{ICR}	0	-	28.3	0	-	28.3	0	-	28.3	0	-	24.3	0	-	24.3	V
Differential Input Voltage Range	V_{IDR}	-	-	V_{CC}	-	-	V_{CC}	-	-	V_{CC}	-	-	V_{CC}	-	-	V_{CC}	V
Large Signal Open Loop Voltage Gain $R_L = 2.0\text{ k}\Omega$, $V_{CC} =$ 15 V , for Large V_O Swing, $T_A = T_{\text{high}}$ to $T_{\text{low}}^{(1)}$	A_{VOL}	50 25	100 -	- -	25 15	100 -	- -	25 15	100 -	- -	25 15	100 -	- -	25 15	100 -	- -	V:mV
Channel Separation $10\text{ kHz} \leq f \leq 20\text{ kHz}$, Input Referenced	CS	-	-120	-	-	-120	-	-	-120	-	-	-120	-	-	-120	-	dB
Common Mode Rejection, $R_S \leq 10\text{ k}\Omega$	CMR	70	85	-	65	70	-	65	70	-	50	70	-	50	70	-	dB
Power Supply Rejection	PSR	65	100	-	65	100	-	65	100	-	50	100	-	50	100	-	dB
Output Voltage - High Limit ($T_A = T_{\text{high}}$ to $T_{\text{low}}^{(1)}$) $V_{CC} = 5.0\text{ V}$, $R_L =$ $2.0\text{ k}\Omega$, $T_A = 25^\circ\text{C}$ $V_{CC} = 30\text{ V}$ (26 V for LM2902, V), $R_L = 2.0\text{ k}\Omega$ $V_{CC} = 30\text{ V}$ (26 V for LM2902, V), $R_L = 10\text{ k}\Omega$	V_{OH}	3.3	3.5	-	3.3	3.5	-	3.3	3.5	-	3.3	3.5	-	3.3	3.5	-	V
		26	-	-	26	-	26	-	26	-	22	-	22	-	22	-	
		27	28	-	27	28	-	27	28	-	23	24	-	23	24	-	

NOTES: 1. $T_{\text{low}} = -25^\circ\text{C}$ for LM224
 $= 0^\circ\text{C}$ for LM324, A
 $= -40^\circ\text{C}$ for LM2902
 $= -40^\circ\text{C}$ for LM2902V
 $T_{\text{high}} = +85^\circ\text{C}$ for LM224
 $= +70^\circ\text{C}$ for LM324, A
 $= +105^\circ\text{C}$ for LM2902
 $= +125^\circ\text{C}$ for LM2902V

2 The input common mode voltage or either input signal voltage should not be allowed to go negative by more than 0.3 V . The upper end of the common mode voltage range is $V_{CC} - 1.7\text{ V}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM324, LM324A, LM224, LM2902, LM2902V

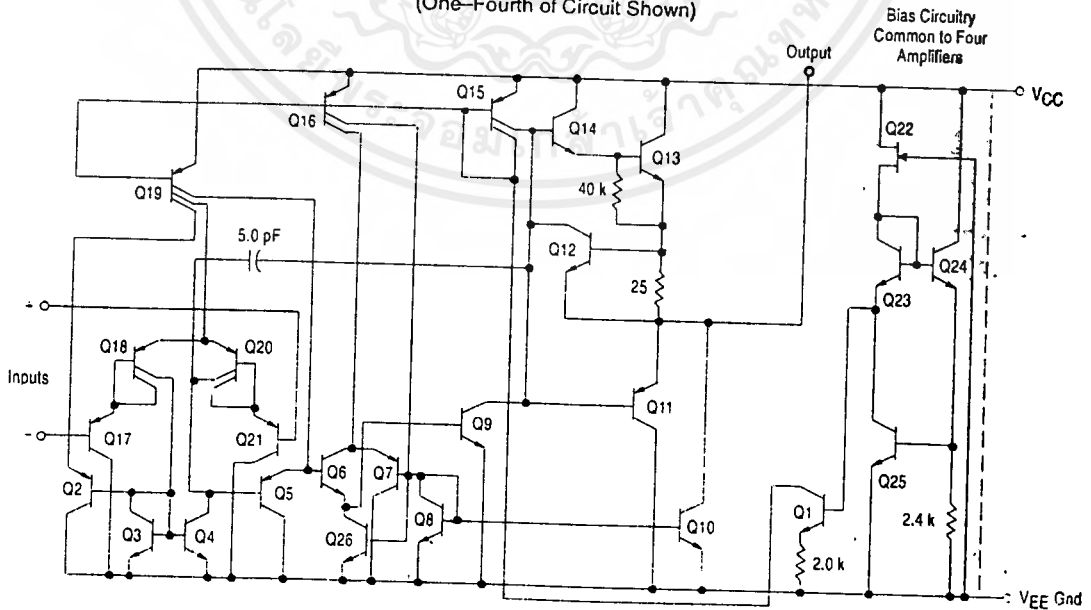
ELECTRICAL CHARACTERISTICS ($V_{CC} = 5.0\text{ V}$, $V_{EE} = \text{Gnd}$, $T_A = 25^\circ\text{C}$, unless otherwise noted.)

Characteristics	Symbol	LM224			LM324A			LM324			LM2902			LM2902V			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Output Voltage - Low Limit, $V_{CC} = 5.0\text{ V}$, $R_L = 10\text{ k}\Omega$, $T_A = T_{\text{high}}$ to $T_{\text{low}}^{(1)}$	V_{OL}	-	5.0	20	-	5.0	20	-	5.0	20	-	5.0	100	-	5.0	100	mV
Output Source Current ($V_{ID} = +1.0\text{ V}$, $V_{CC} = 15\text{ V}$) $T_A = 25^\circ\text{C}$ $T_A = T_{\text{high}}$ to $T_{\text{low}}^{(1)}$	I_{O+}	20	40	-	20	40	-	20	40	-	20	40	-	20	40	-	μA
Output Sink Current ($V_{ID} = -1.0\text{ V}$, $V_{CC} = 15\text{ V}$, $T_A = 25^\circ\text{C}$) $T_A = T_{\text{high}}$ to $T_{\text{low}}^{(1)}$ ($V_{ID} = -1.0\text{ V}$, $V_O = 200\text{ mV}$, $T_A = 25^\circ\text{C}$)	I_{O-}	10	20	-	10	20	-	10	20	-	10	20	-	10	20	-	mA
Output Short Circuit to Ground ⁽³⁾	I_{SC}	-	40	60	-	40	60	-	40	60	-	40	60	-	40	60	mA
Power Supply Current ($T_A = T_{\text{high}}$ to $T_{\text{low}}^{(1)}$) $V_{CC} = 30\text{ V}$ (26 V for LM2902, V), $V_O = 0\text{ V}$, $R_L = \infty$ $V_{CC} = 5.0\text{ V}$, $V_O = 0\text{ V}$, $R_L = \infty$	I_{CC}	-	-	3.0	-	1.4	3.0	-	-	3.0	-	-	3.0	-	-	3.0	mA
		-	-	1.2	-	0.7	1.2	-	-	1.2	-	-	1.2	-	-	1.2	μA

NOTES: 1. $T_{\text{low}} = -25^\circ\text{C}$ for LM224
 $= 0^\circ\text{C}$ for LM324, A
 $= -40^\circ\text{C}$ for LM2902
 $= -40^\circ\text{C}$ for LM2902V
 $T_{\text{high}} = +85^\circ\text{C}$ for LM224
 $= +70^\circ\text{C}$ for LM324, A
 $= +105^\circ\text{C}$ for LM2902
 $= +125^\circ\text{C}$ for LM2902V

2. The input common mode voltage or either input signal voltage should not be allowed to go negative by more than 0.3 V. The upper end of the common mode voltage range is $V_{CC} - 1.7\text{ V}$.

Representative Circuit Diagram
(One-Fourth of Circuit Shown)

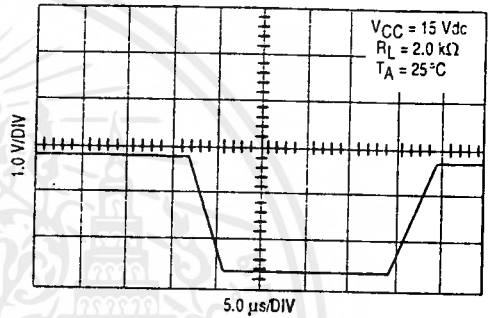


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM324, LM324A, LM224, LM2902, LM2902V
CIRCUIT DESCRIPTION

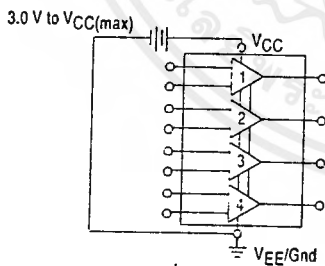
The LM324 series is made using four internally compensated, two-stage operational amplifiers. The first stage of each consists of differential input devices Q20 and Q18 with input buffer transistors Q21 and Q17 and the differential to single ended converter Q3 and Q4. The first stage performs not only the first stage gain function but also performs the level shifting and transconductance reduction functions. By reducing the transconductance, a smaller compensation capacitor (only 5.0 pF) can be employed, thus saving chip area. The transconductance reduction is accomplished by splitting the collectors of Q20 and Q18. Another feature of this input stage is that the input common mode range can include the negative supply or ground, in single supply operation, without saturating either the input devices or the differential to single-ended converter. The second stage consists of a standard current source load amplifier stage.

Large Signal Voltage Follower Response

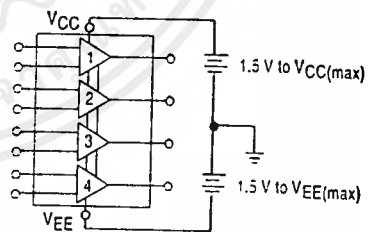


Each amplifier is biased from an internal-voltage regulator which has a low temperature coefficient thus giving each amplifier good temperature characteristics as well as excellent power supply rejection.

Single Supply



Split Supplies



LM324, LM324A, LM224, LM2902, LM2902V

Figure 1. Input Voltage Range

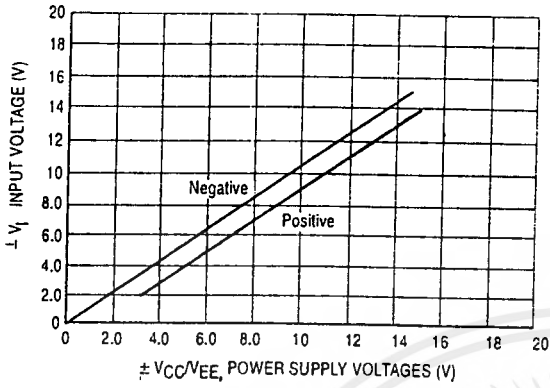


Figure 2. Open Loop Frequency

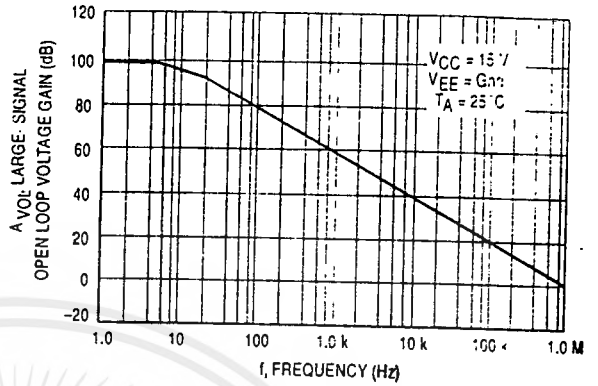


Figure 3. Large-Signal Frequency Response

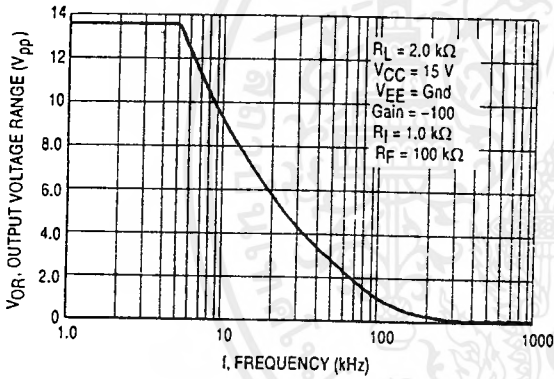


Figure 4. Small-Signal Voltage Follower Pulse Response (Noninverting)

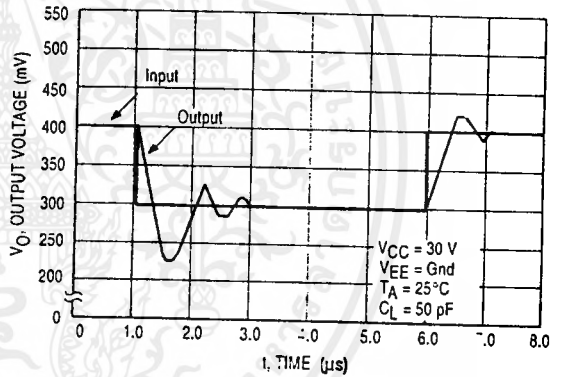


Figure 5. Power Supply Current versus Power Supply Voltage

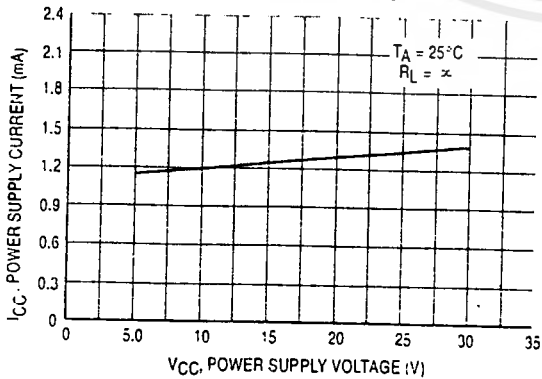
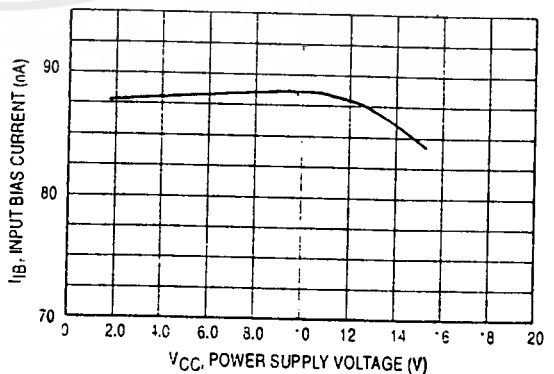
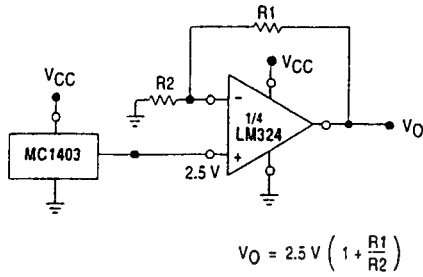


Figure 6. Input Bias Current versus Power Supply Voltage



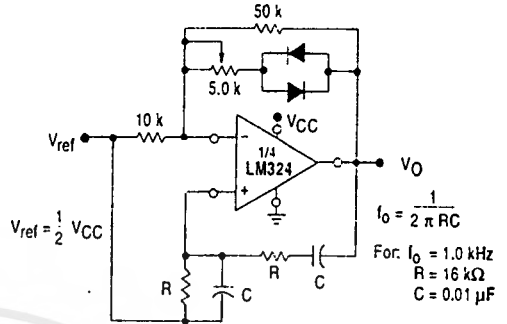
LM324, LM324A, LM224, LM2902, LM2902V

Figure 7. Voltage Reference



$$V_O = 2.5 V \left(1 + \frac{R_1}{R_2} \right)$$

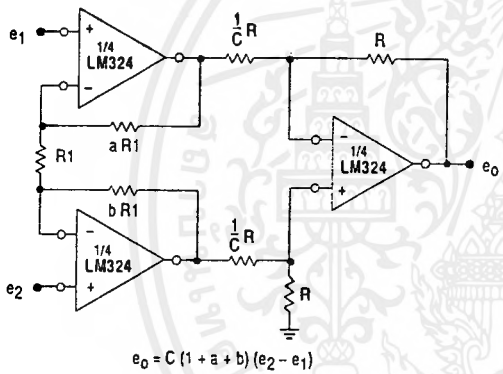
Figure 8. Wien Bridge Oscillator



$$f_o = \frac{1}{2\pi RC}$$

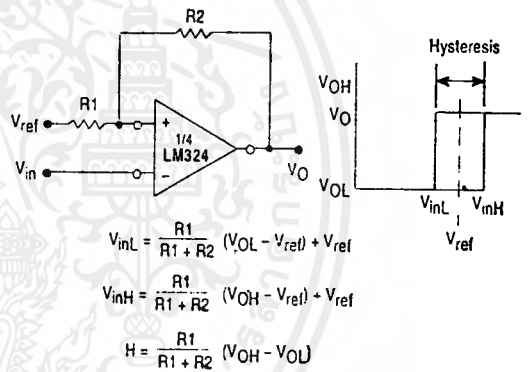
For: $f_o = 1.0 \text{ kHz}$
 $R = 16 \text{ k}\Omega$
 $C = 0.01 \mu\text{F}$

Figure 9. High Impedance Differential Amplifier



$$e_o = C(1 + a + b)(e_2 - e_1)$$

Figure 10. Comparator with Hysteresis

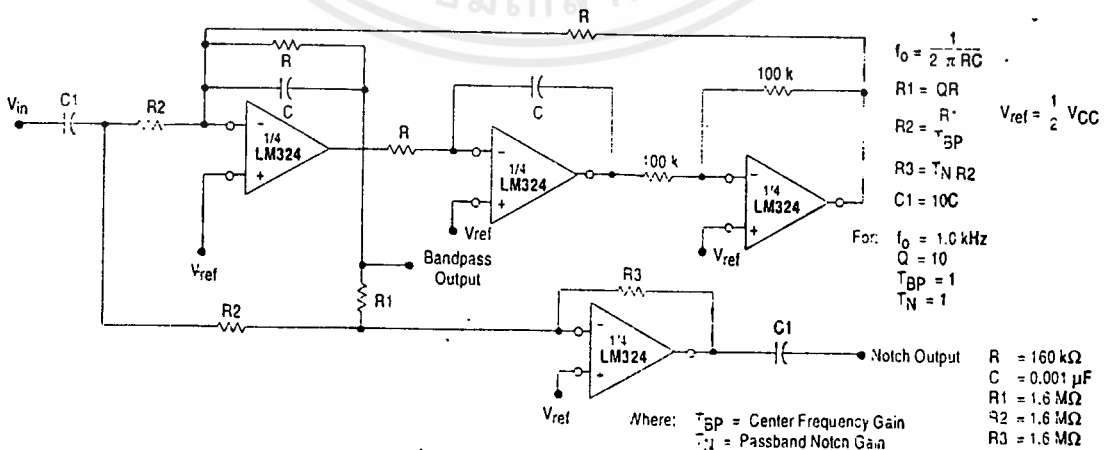


$$V_{inL} = \frac{R_1}{R_1 + R_2} (V_{OL} - V_{ref}) + V_{ref}$$

$$V_{inH} = \frac{R_1}{R_1 + R_2} (V_{OH} - V_{ref}) + V_{ref}$$

$$H = \frac{R_1}{R_1 + R_2} (V_{OH} - V_{OL})$$

Figure 11. Bi-Quad Filter



$$f_o = \frac{1}{2\pi RC}$$

$$V_{ref} = \frac{1}{2} V_{CC}$$

For: $f_o = 1.0 \text{ kHz}$
 $Q = 10$
 $T_{BP} = 1$
 $T_N = 1$

R = 160 kΩ
 C = 0.001 μF
 R1 = 1.6 MΩ
 R2 = 1.6 MΩ
 R3 = 1.6 MΩ

Where: T_{BP} = Center Frequency Gain
 T_N = Passband Notch Gain

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM324, LM324A, LM224, LM2902, LM2902V

Figure 12. Function Generator

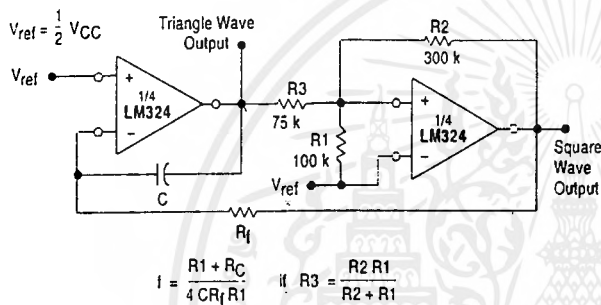
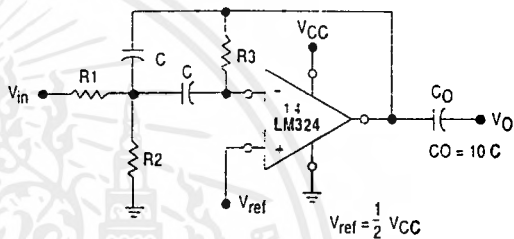


Figure 13. Multiple Feedback Bandpass Filter



Given: f_0 = center frequency
 $A(f_0)$ = gain at center frequency

Choose value f_0, C

Then:
$$R3 = \frac{Q}{\pi f_0 C}$$

$$R1 = \frac{R3}{2 A(f_0)}$$

$$R2 = \frac{R1 R3}{4Q^2 R1 - R3}$$

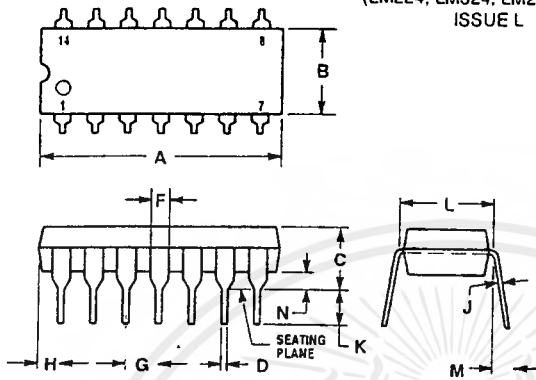
For less than 10% error from operational amplifier, $\frac{Q_0 f_0}{BW} < 0.1$
 where f_0 and BW are expressed in Hz.

If source impedance varies, filter may be preceded with voltage follower buffer to stabilize filter parameters.

LM324, LM324A, LM224, LM2902, LM2902V

OUTLINE DIMENSIONS

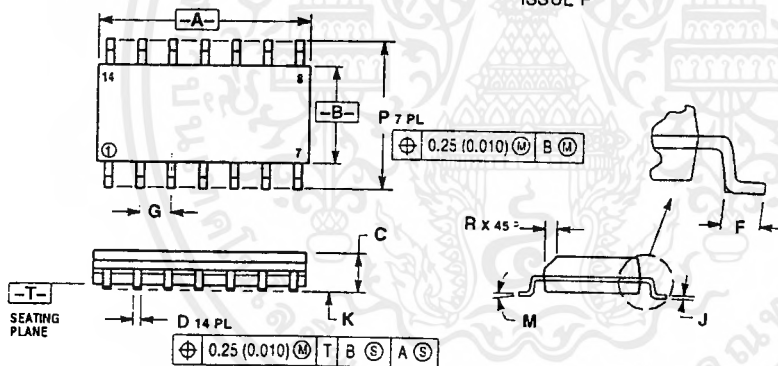
N SUFFIX
PLASTIC PACKAGE
CASE 646-06
(LM224, LM324, LM2902 Only)
ISSUE L



- NOTES:
- LEADS WITHIN 0.12 (0.005) RADIUS OF TRUE POSITION AT SEATING PLANE AT MAXIMUM MATERIAL CONDITION.
 - DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
 - DIMENSION B DOES NOT INCLUDE MOLD FLASH.
 - ROUNDED CORNERS OPTIONAL.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.715	0.770	18.16	19.56
B	0.220	0.250	6.10	6.60
C	0.145	0.185	3.69	4.69
D	0.015	0.021	0.28	0.53
F	0.040	0.070	1.02	1.78
G	0.100 BSC		2.54 BSC	
H	0.052	0.095	1.32	2.41
J	0.008	0.015	0.20	0.38
K	0.115	0.135	2.92	3.43
L	0.300 BSC		7.62 BSC	
M	0°	10°	0°	10°
N	0.015	0.039	0.39	1.01

D SUFFIX
PLASTIC PACKAGE
CASE 751A-03
(SO-14)
ISSUE F



- NOTES:
- DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
 - CONTROLLING DIMENSION: MILLIMETER.
 - DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
 - MAXIMUM MOLD PROTRUSION 0.15 (0.005) PER SIDE.
 - DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	2.55	8.75	0.227	0.344
B	2.80	4.90	0.150	0.157
C	1.25	1.75	0.054	0.056
D	0.55	0.49	0.014	0.019
F	1.00	1.25	0.016	0.019
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	3.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.20	6.20	0.224	0.244
R	2.25	9.50	0.010	0.019

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters which may be provided in Motorola data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or for applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

How to reach us:

USA/EUROPE/Locations Not Listed: Motorola Literature Distribution:
P.O. Box 20912: Phoenix, Arizona 85036. 1-800-441-2447 or 602-303-5354

JAPAN: Nippon Motorola Ltd., Tatsumi-SPD-JLDC, 6F Seibu-Bitsuryu-Center,
3-14-2 Tatsumi Koto-Ku Tokyo 135, Japan. 03-81-3521-8315

MFAX: RMFAX@email.sps.mot.com - TOUCHTONE 602-244-6609
INTERNET: http://Design-NET.com

ASIA/PACIFIC: Motorola Semiconductors H.K. Ltd., 8B Tai Ping Industrial Park,
51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852-26629298

บรรณานุกรม

เข็มทอง นิ่มศิริ , “วิศวกรรมวางสายโทรศัพท์ต่อนอก” , สถาบันเทคโนโลยีพระจอมเกล้า
เจ้าคุณทหารลาดกระบัง

จำนงค์ ดีแท้, จุฬาลงกรณ์มหาวิทยาลัย, นเรศ กรุฑธา, หาญ ชัยภักดี. “เครื่องชุมสายโทรศัพท์สาขา
อัตโนมัติ(16 คู่สายภายใน 1 คู่สายภายนอก)”,ปริญญาโท สาขาวิศวกรรม
โทรคมนาคม คณะครุศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง,
พ.ศ.2537

น.ศ.ธวัชชัย เลื่อนจวี. “เทคโนโลยีโทรศัพท์” : บรรเทิงการพิมพ์
ปรเมษฐ์ ประณยานันท์ และปิยพงศ์ เผ่าวิช. “คู่มือและการประยุกต์ใช้งานไมโคร
คอนโทรลเลอร์ MCS-51 : บริษัท ซีเอ็ดยูเคชั่น จำกัด

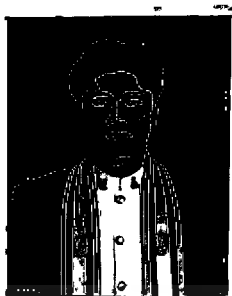
ประวัติผู้แต่ง



ชื่อผู้ทำปริญญาบัตร	นายจเร อรุณแสงเงิน
วันเดือนปีเกิด	7 ตุลาคม 2518
สถานที่เกิด	จังหวัดสมุทรสาคร
ภูมิลำเนาเดิม	25 หมู่ ๓ ตำบลลอม อ.เมือง จ.สมุทรสาคร 74000
ที่อยู่ปัจจุบัน	25 หมู่ ๓ ตำบลลอม อ.เมือง จ.สมุทรสาคร 74000
โทรศัพท์	(034) 422117
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนเทศบาลวัดแหลมสุวรรณาราม
มัธยมศึกษา	โรงเรียนศึกษานารีวิทยา
ประกาศนียบัตรวิชาชีพ(ปวช.)	วิทยาลัยเทคนิคสมุทรสาคร
ประกาศนียบัตรวิชาชีพชั้นสูง(ปวส.)	วิทยาลัยเทคนิคสมุทรสาคร
ปริญญาตรี	สาขาวิศวกรรมโทรคมนาคม ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
ผลงานที่ได้รับรางวัล	-
ทุนการศึกษา	-
คติพจน์	อย่าทอดทิ้งปัญหาที่จะเกิดขึ้น ทั้งในปัจจุบันและอนาคต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้แต่ง



ชื่อผู้ทำปริญญาบัตร	นายชัยพร สายสนิท
วันเดือนปีเกิด	16 กันยายน 2518
สถานที่เกิด	จังหวัดสมุทรสงคราม
ภูมิลำเนาเดิม	46 หมู่ 5 ต.โรงหีบ อ.บางคนที จ.สมุทรสงคราม 75120
ที่อยู่ปัจจุบัน	46 หมู่ 5 ต.โรงหีบ อ.บางคนที จ.สมุทรสงคราม 75120
โทรศัพท์	(034) 734129
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนศาลแม่อากาศโรจน์มณี
มัธยมศึกษาตอนต้น	โรงเรียนอัมพวันวิทยาลัย
ประกาศนียบัตรวิชาชีพ(ปวช.)	วิทยาลัยเทคนิคสมุทรสงคราม
ประกาศนียบัตรวิชาชีพชั้นสูง(ปวส.)	วิทยาลัยเทคนิคสมุทรสงคราม
ปริญญาตรี	สาขาวิศวกรรมโทรคมนาคม ภาควิชาครุศาสตร์อุตสาหกรรม คณะครุศาสตร์อุตสาหกรรม
ผลงาน	-
ทุนการศึกษา	-
คติพจน์	จงทำวันนี้ให้ดีที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้