

ภาควิชาครุศาสตร์วิศวกรรม

คณะครุศาสตร์อุตสาหกรรม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ใบรับรองปริญญาานิพนธ์

ปริญญาานิพนธ์ ชุดทดลองปฏิบัติการมอดูเลตแบบเดลตาส่งผ่านสายนำสัญญาณแบบโลหะ

DELTA MODULATION THROUGH COAXIAL CABLE

DEMONSTRATOR

- ชื่อนักศึกษา 1. นางสาวจิระวรรณ ช่วยชู รหัสประจำตัว 39031209
- 2. นายประสาน สุขสมนาค รหัสประจำตัว 39031219
- 3. นายพงศธร จรรยา รหัสประจำตัว 39031220
- 4. นายคุสิต กลับหอม รหัสประจำตัว 39031243

หลักสูตร ครุศาสตร์อุตสาหกรรมบัณฑิต สาขา วิศวกรรมโทรคมนาคม

อาจารย์ผู้ควบคุมปริญญาานิพนธ์

- 1. อาจารย์พงษ์เกียรติ เขมฐิติทัตย์สกุล
- 2. ผศ.วิสุทธิ อธิพรธรรม
- 3. อาจารย์ประเสริฐ เคนพันค้อ



คณะกรรมการสอบปริญญาานิพนธ์	ลายมือชื่อ
1. อาจารย์พงษ์เกียรติ เขมฐิติทัตย์สกุล	
2. ผศ.วิสุทธิ อธิพรธรรม	
3. อาจารย์ประเสริฐ เคนพันค้อ	
4. อาจารย์พีระวุฒิ สุวรรณจันทร์	
5. อาจารย์โกศล ตราชู	

วันเดือนปีที่สอบ วันที่ 5 พฤษภาคม 2541 เวลา 14.30 ถึง 15.30 น.

สถานที่สอบ ห้อง ค.310 คณะครุศาสตร์อุตสาหกรรม



ภาควิชารับรองแล้ว

เลขที่.....

เลขทะเบียน 30140

วัน, เดือน, ปี: 8 มิ.ย. 2541

(รศ.ดร.ธีระพล เทพหัสดิน ณ อยุธยา)

หัวหน้าภาควิชาครุศาสตร์วิศวกรรม

วันที่ 21 เดือน 11 พ.ศ. 41

# ปริญญาานิพนธ์

ชุดทดลองปฏิบัติการมอดูเลตแบบเดลตาส่งผ่านสายนำสัญญาณแบบโลหะ  
DELTA MODULATION THROUGH COAXIAL CABLE DEMONSTRATOR



นางสาวจิระวรรณ

นายประสาน

นายพงศ์ธร

นายดุสิต

ช่วยชู

สุขสมนาค

จรรยา

กัลป์หอม

ปริญญาานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรครุศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ปริญญานิพนธ์

เรื่อง ชุดทดลองปฏิบัติการมอดูเลตแบบเคลตาส่งผ่านสายนำสัญญาณแบบโลหะ

DELTA MODULATION THROUGH COAXIAL CABLE DEMONSTRATOR

## ผู้จัดทำ

1. นางสาวจิระวรรณ ช่วยชู
2. นายประสาน สุขสมนาก
3. นายพงศ์ธร จรรยา
4. นายคูสติ์ กลับหอม

## อาจารย์ที่ปรึกษา

ลงนาม.....  
(อาจารย์พงษ์เกียรติ เชมฐพิทักษ์สกุล)

ลงนาม.....  
(ผศ.วิสุทธิ์ อธิพรธรรม)

ลงนาม.....  
(อาจารย์ประเสริฐ เคนพันก่อ)

## หัวหน้าภาควิชาครุศาสตร์วิศวกรรม

ลงนาม.....  
(ผศ.ดร.ธีระพล เทพหัสดิน ณ อยุธยา)

## ปริญญานิพนธ์

เรื่อง ชุดทดลองปฏิบัติการมอดูเลตแบบเคลตาส่งผ่านสายนำสัญญาณแบบโลหะ

DELTA MODULATION THROUGH COAXIAL CABLE DEMONSTRATOR

### วัตถุประสงค์

1. เพื่อศึกษาการทำงานของมอดูเลต และดีมอดูเลตแบบเคลตาในระบบการสื่อสารดิจิทัล
2. เพื่อออกแบบวงจรมอดูเลต และดีมอดูเลตแบบเคลตาส่งผ่านสายนำสัญญาณแบบโลหะที่เหมาะสมในการใช้เป็นชุดทดลอง
3. เพื่อสร้างชุดทดลองการมอดูเลต และดีมอดูเลตแบบเคลตาส่งผ่านสายนำสัญญาณแบบโลหะ
4. เพื่อใช้ชุดทดลองประกอบการเรียนการสอนในวิชาที่เกี่ยวข้องกับการสื่อสารในระดับ ปวส.

### ประโยชน์ที่คาดว่าจะได้รับ

1. สามารถเข้าใจถึงหลักการทำงานของมอดูเลต และดีมอดูเลตแบบเคลตา
2. สามารถออกแบบ และสร้างวงจรใช้งานได้
3. สามารถสร้างชุดทดลองการมอดูเลต และดีมอดูเลตแบบเคลตาส่งผ่านสายนำสัญญาณแบบโลหะได้
4. ได้ชุดทดลองการมอดูเลต และดีมอดูเลตแบบเคลตาส่งผ่านสายนำสัญญาณแบบโลหะได้
5. สามารถนำไปใช้ประกอบการเรียนการสอน ในวิชาที่เกี่ยวข้องกับระบบการสื่อสารดิจิทัลแบบเคลตา และการสื่อสารผ่านสายนำสัญญาณแบบโลหะให้มีประสิทธิภาพมากขึ้น

## ชุดทดลองปฏิบัติการมอดูเลตแบบเคลตาส่งผ่านสายนำสัญญาณแบบโลหะ

นางสาวจิระวรรณ	ช่วยชู
นายประสาน	สุขสมนาค
นายพงษ์ธร	จรรยา
นายคุสิต	กลับหอม

อาจารย์ที่ปรึกษา	
อาจารย์พงษ์เกียรติ	เชษฐพิทักษ์สกุล
ผศ.วิสุทธิ	อิทธิธรรม
อาจารย์ประเสริฐ	เคนพั่นค้อ
ปีการศึกษา 2540	

### บทคัดย่อ

ปฏิญานิพนธ์ฉบับนี้ นำเสนอ ชุดทดลองปฏิบัติการมอดูเลตแบบเคลตาส่งผ่านสายนำสัญญาณแบบโลหะ ประกอบไปด้วย ภาคส่งสัญญาณจะรับสัญญาณซึ่งเข้ารหัสแบบเคลตา โดยวงจรมอดูเลตแบบเคลตาส่งผ่านสายนำสัญญาณแบบโลหะ เพื่อเปรียบเทียบประสิทธิภาพของสัญญาณที่ส่งผ่านสายนำสัญญาณ ส่วนภาครับจะทำการรับสัญญาณ เพื่อนำไปทำการถอดรหัสแบบเคลตาโดยวงจรดีมอดูเลตแบบเคลตา

ชุดทดลองปฏิบัติการมอดูเลตแบบเคลตาส่งผ่านสายนำสัญญาณแบบโลหะ สามารถนำไปใช้ประกอบการเรียนการสอนในวิชา การสื่อสารระบบดิจิทัลในระดับปวส.ได้เป็นอย่างดี

## DELTA MODULATION THROUGH COAXIAL CABLE DEMONSTRATOR

MISS.JEERAWAN	CHOUICHOU
MR.PRASARN	SOKSOMNAK
MR.PONGTHORN	JUNYA
MR.DUSIT	KLABHOM

### ADVISORS

MR.PONGKIAT	CHEDPITAKSAKUL
Assist Prof. WISUIT	ATIPORNTUM
MR.PRASERT	KENPANKHO
1997	

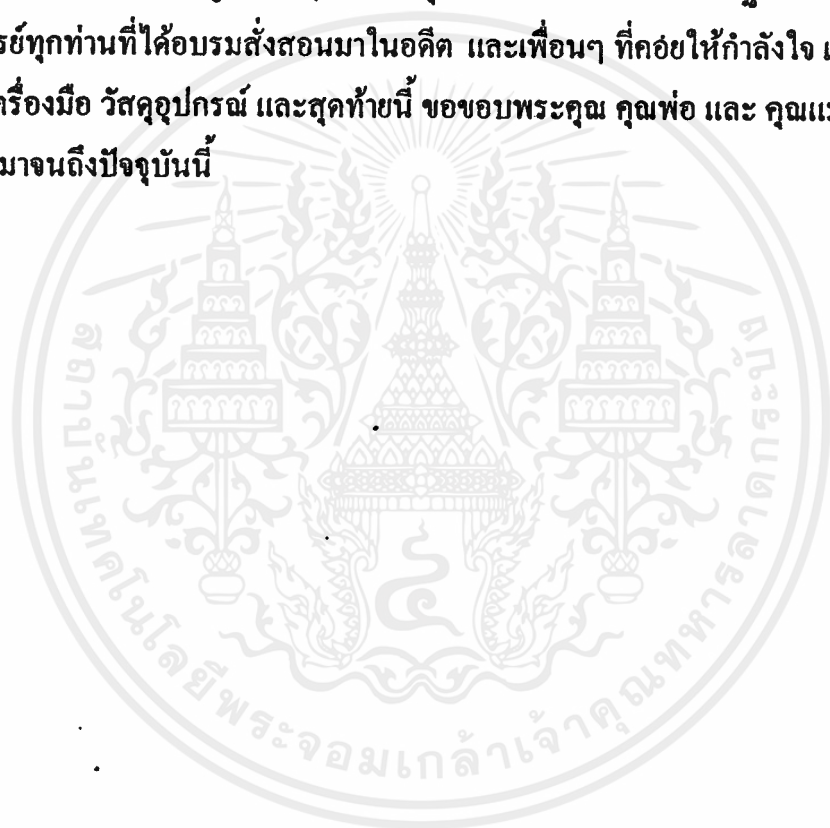
### ABSTRACT

This thesis presents a project of delta modulation through optical fiber demonstrator. It consists of a transmitter and a receiver. The transmitter send the electrical signals or the lightwave that are modulated by a delta modulator via a metallic cable or an optical fiber to the receiver. This is useful for comparing the transmission efficiency between the metallic cable and the optical fiber. The receiver receive the transmitted signals. After that the electrical signals are demodulated by delta demodulation circuit.

A project of delta modulation through optical fiber demonstrator can be used for studying in digital communication and optical fiber communication system in diploma degree.

## กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงได้ เนื่องมาจากความช่วยเหลือ และสนับสนุนทางด้านอุปกรณ์ และเครื่องมือต่างๆ ตลอดจนได้รับการสนับสนุนด้านทุนทรัพย์จากภาควิชาครุศาสตร์วิศวกรรม ของขอขอบคุณอาจารย์ภาควิชาครุศาสตร์วิศวกรรมทุกท่าน ที่คอยให้คำปรึกษาแนะนำ วิธีการแก้ปัญหาต่างๆ ของขอขอบคุณอาจารย์พงษ์เกียรติ เขมฐพิทักษ์สกุล รวมทั้งครู- อาจารย์ทุกท่านที่ได้อบรมสั่งสอนมาในอดีต และเพื่อนๆ ที่คอยให้กำลังใจ และสนับสนุนทางด้านเครื่องมือ วัสดุอุปกรณ์ และสุดท้ายนี้ ขอขอบพระคุณ คุณพ่อ และ คุณแม่ ที่สนับสนุนการศึกษามาจนถึงปัจจุบันนี้



## สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญภาพ	VI
<b>บทที่ 1 บทนำ</b>	<b>1</b>
1.1 ความเป็นมา และความสำคัญของปริญญานิพนธ์	1
1.2 ความสามารถของโครงการ	1
1.3 เนื้อหาโดยสังเขป	2
<b>บทที่ 2 ทฤษฎี และหลักการ</b>	<b>3</b>
2.1 การมอดูเลต และคีมอดูเลตแบบเคลตา	3
2.2 สายโคแอกเซียล	7
2.2.1 ข้อเปรียบเทียบระหว่างสายโคแอกเซียล กับสายชนิดสมดุล	8
2.2.2 การสูญเสียในสายนำสัญญาณ	8
<b>บทที่ 3 การออกแบบ การสร้าง และการทำงาน</b>	<b>12</b>
3.1 วงจรรวมทางด้านส่งสัญญาณ	12
3.1.1 วงจรมอดูเลตแบบเคลตา	12
3.2 วงจรรวมทางด้านรับสัญญาณ	17
3.2.1 วงจรคีมอดูเลตแบบเคลตา	17
3.3 วงจรแหล่งจ่ายไฟกระแสตรง	17
<b>บทที่ 4 การทดลอง และผลการทดลอง</b>	<b>19</b>
4.1 การทดลองการส่งสัญญาณผ่านสายนำสัญญาณ	19
4.1.1 ลำดับขั้นการทดลอง	19
4.1.2 ผลการทดลอง	19

## สารบัญ (ต่อ)

เรื่อง	หน้า
4.2 การทดลองการมอดูเลตและดีมอดูเลตแบบเคลตา	22
4.2.1 ลำดับขั้นการทดลอง	22
4.2.2 ผลการทดลอง	22
4.3 การทดลองการส่งสัญญาณแบบซิมเพล็กซ์	25
4.3.1 ลำดับขั้นการทดลอง	25
4.3.2 ผลการทดลอง	26
4.4 การทดลองการส่งสัญญาณแบบฮาร์ฟูเพล็กซ์	29
4.4.1 ลำดับขั้นการทดลอง	29
4.4.2 ผลการทดลอง	29
4.5 การทดลองการส่งสัญญาณแบบฟูลดูเพล็กซ์	36
4.5.1 ลำดับขั้นการทดลอง	36
4.5.2 ผลการทดลอง	36
<b>บทที่ 5 บทสรุป ปัญหา แนวทางแก้ไขและพัฒนา</b>	<b>43</b>
5.1 บทสรุป	43
5.2 ปัญหาและแนวทางแก้ไข	43
5.3 แนวทางการพัฒนา	44
<b>ภาคผนวก ก ใบงานการทดลอง</b>	<b>45</b>
<b>ภาคผนวก ข ส่วนประกอบของชุดทดลองการมอดูเลตแบบเคลตา</b>	<b>95</b>
<b>ภาคผนวก ค วงจร ลายวงจรพิมพ์ และการวางอุปกรณ์ลงบนแผ่นวงจรพิมพ์</b>	<b>103</b>
<b>ภาคผนวก ง คู่มือการใช้ชุดทดลอง</b>	<b>121</b>
<b>ภาคผนวก จ รายละเอียด และคุณสมบัติของอุปกรณ์</b>	<b>127</b>
<b>ประวัติผู้แต่ง</b>	<b>152</b>
<b>บรรณานุกรม</b>	<b>156</b>

## สารบัญภาพ

รูปภาพ	หน้า
รูปที่ 2.1 แผนผังของระบบพีเอเอ็ม	3
รูปที่ 2.2 ตัวส่งสัญญาณ DM	4
รูปที่ 2.3 การทำงานทางอุดมคติของตัวเข้ารหัส DM	5
รูปที่ 2.4 ตัวรับสัญญาณ DM	5
รูปที่ 2.5 การเพี้ยนเนื่องจากการเกิด โอเวอร์โหลด ทางความชัน	6
รูปที่ 2.6 สัญญาณรบกวนแบบเบีมืด	6
รูปที่ 2.7 สายนำสัญญาณชนิด โคแอกเซียล สังกะสีว่าเส้นกลางกับสายชีลด์มีแกนร่วมกัน	7
รูปที่ 2.8 กราฟการลดทอนของสายนำสัญญาณชนิดต่างๆ	9
รูปที่ 2.9 ปรัชญาการณที่หิวตัวนำ โดยกระแสส่วนใหญ่จะไหลบนผิวของตัวนำ	10
รูปที่ 2.10 การสูญเสียไดอิเล็กตริก	10
รูปที่ 3.1 วงจรมอดูเลตแบบ DM	13
รูปที่ 3.2 วงจรมอดูเลตแบบ DM ที่ใช้งานจริง	15
รูปที่ 3.3 วงจรมอดูเลตแบบ DM ในระบบฮาร์ฟดูเพล็กซ์	15
รูปที่ 3.4 วงจรมอดูเลตแบบ DM ในระบบฟูลดูเพล็กซ์	16
รูปที่ 3.5 วงจรคีมอดูเลตสัญญาณ DM	17
รูปที่ 3.6 วงจรแหล่งจ่ายไฟฟ้ากระแสตรง	18
รูปที่ 4.1 สัญญาณแอนะล็อกอินพุตความถี่ 1 kHz ขนาด 0.4 Vp-p	20
รูปที่ 4.2 สัญญาณแอนะล็อกเอาต์พุตความถี่ 1 kHz ขนาด 0.4 Vp-p	20
รูปที่ 4.3 สัญญาณคลื่นจัตุรัสอินพุตความถี่ 1 kHz ขนาด 0.4 Vp-p	21
รูปที่ 4.4 สัญญาณคลื่นจัตุรัสเอาต์พุตความถี่ 1 kHz ขนาด 0.4 Vp-p	21
รูปที่ 4.5 สัญญาณแอนะล็อกอินพุตความถี่ 1 kHz ขนาด 0.4 Vp-p	22
รูปที่ 4.6 สัญญาณนาฬิกาความถี่ 64 kHz ขนาด 4 Vp-p	23
รูปที่ 4.7 สัญญาณเอาต์พุตของวงจรมอดูเลตแบบเคลตา	23
รูปที่ 4.8 สัญญาณอินพุตของวงจรมอดูเลตแบบเคลตา	24

## สารบัญภาพ (ต่อ)

รูปภาพ	หน้า
รูปที่ 4.9 สัญญาณนาฬิกาความถี่ 64 kHz ขนาด 4 Vp-p	24
รูปที่ 4.10 สัญญาณแอนะล็อกเอาต์พุตความถี่ 1 kHz ขนาด 0.4 Vp-p	25
รูปที่ 4.11 สัญญาณแอนะล็อกอินพุตความถี่ 1 kHz ขนาด 0.4 Vp-p	26
รูปที่ 4.12 สัญญาณนาฬิกาของวงจรมอดูเลตความถี่ 64 kHz ขนาด 4 Vp-p	26
รูปที่ 4.13 สัญญาณเอาต์พุตของวงจรมอดูเลตแบบเคลตา	27
รูปที่ 4.14 สัญญาณอินพุตของวงจรมอดูเลตแบบเคลตา	27
รูปที่ 4.15 สัญญาณนาฬิกาความถี่ 64 kHz ขนาด 4 Vp-p	28
รูปที่ 4.16 สัญญาณแอนะล็อกเอาต์พุตความถี่ 1 kHz ขนาด 0.4 Vp-p	28
รูปที่ 4.17 สัญญาณแอนะล็อกความถี่ 1 kHz ขนาด 0.4 Vp-p	29
รูปที่ 4.18 สัญญาณนาฬิกาความถี่ 64 kHz ขนาด 4 Vp-p	30
รูปที่ 4.19 สัญญาณเอาต์พุตของวงจรมอดูเลต	30
รูปที่ 4.20 สัญญาณอินพุตของวงจรมอดูเลต	31
รูปที่ 4.21 สัญญาณเอาต์พุตของวงจรมอดูเลต	31
รูปที่ 4.22 สัญญาณแอนะล็อกเอาต์พุต	32
รูปที่ 4.23 สัญญาณแอนะล็อกอินพุตความถี่ 1 kHz ขนาด 0.4 Vp-p	32
รูปที่ 4.24 สัญญาณนาฬิกาความถี่ 64 kHz ขนาด 4 Vp-p	33
รูปที่ 4.25 สัญญาณอินพุตของวงจรมอดูเลต	33
รูปที่ 4.26 สัญญาณเอาต์พุตของวงจรมอดูเลต	34
รูปที่ 4.27 สัญญาณอินพุตของวงจรมอดูเลต	34
รูปที่ 4.28 สัญญาณเอาต์พุตของวงจรมอดูเลต	35
รูปที่ 4.29 สัญญาณแอนะล็อกเอาต์พุต	35
รูปที่ 4.30 สัญญาณแอนะล็อกความถี่ 1 kHz ขนาด 0.4 Vp-p	36
รูปที่ 4.31 สัญญาณนาฬิกาความถี่ 64 kHz ขนาด 4 Vp-p	37
รูปที่ 4.32 สัญญาณเอาต์พุตของวงจรมอดูเลต	37

## สารบัญภาพ (ต่อ)

รูปภาพ	หน้า
รูปที่ 4.33 สัญญาณอินพุตของวงจรมอดูเลต	38
รูปที่ 4.34 สัญญาณเอาต์พุตของวงจรมอดูเลต	38
รูปที่ 4.35 สัญญาณแอนะล็อกเอาต์พุต	39
รูปที่ 4.36 สัญญาณแอนะล็อกอินพุตความถี่ 1 kHz ขนาด 0.4 Vp-p	39
รูปที่ 4.37 สัญญาณนาฬิกาความถี่ 64 kHz ขนาด 4 Vp-p	40
รูปที่ 4.38 สัญญาณอินพุตของวงจรมอดูเลต	40
รูปที่ 4.39 สัญญาณเอาต์พุตของวงจรมอดูเลต	41
รูปที่ 4.40 สัญญาณอินพุตของวงจรมอดูเลต	41
รูปที่ 4.41 สัญญาณเอาต์พุตของวงจรมอดูเลต	42
รูปที่ 4.42 สัญญาณแอนะล็อกเอาต์พุต	42

# บทที่ 1

## บทนำ

### 1.1 ความเป็นมา และความสำคัญของปริยญาณิพนธ์

ในโลกยุคโลกาภิวัตน์ การติดต่อสื่อสารนับว่าเป็นสิ่งที่สำคัญอย่างยิ่ง เนื่องจากความต้องการข่าวสารต่างๆ มีจำนวนมากอีกทั้งการติดต่อสื่อสารนั้นยังต้องการความถูกต้อง และรวดเร็วอีกด้วย ระบบสื่อสารดิจิทัล เป็นการสื่อสารชนิดหนึ่งที่ทำให้ความถูกต้อง และแม่นยำสูง ซึ่งคุณสมบัติของการสื่อสารชนิดนี้ มีความสำคัญอย่างยิ่งในการติดต่อสื่อสาร เพื่อพัฒนาระบบการสื่อสารโทรคมนาคมให้มีความก้าวหน้า ในการพัฒนาระบบดังกล่าวมีความจำเป็นอย่างยิ่ง ที่จะต้องมีการทดลองในสิ่งต่างๆ ที่ได้มีการศึกษาด้านทฤษฎีมาแล้ว เพื่อช่วยส่งเสริมให้เกิดความรู้และความเข้าใจอย่างแท้จริง ในการทดลองนั้นมีความจำเป็นที่จะต้องมีการทดลองที่มีประสิทธิภาพ เพื่อให้ในการเรียนการสอนในระดับ ปวส. และปริยญาตรีที่มีการเรียนวิชาด้านการสื่อสารให้มีประสิทธิภาพมากขึ้น ชุดฝึกการมอดูเลตแบบเดลตา จึงเป็นตัวอย่างสนองตอบความต้องการทางการเรียนการสอนได้เป็นอย่างดี

### 1.2 ความสามารถของโครงการ

โครงการมีขีดความสามารถต่างๆ ดังนี้ คือ สามารถผลิตสัญญาณที่ได้จากการเข้ารหัสการมอดูเลตแบบเดลตา (Delta Modulation : DM) และการดีมอดูเลตสัญญาณที่ถูก มอดูเลตเป็นสัญญาณที่ต้องการ โดยมีคุณสมบัติและรายละเอียดดังนี้ คือ

- ส่งสัญญาณผ่านสายนำสัญญาณ โลหะ
- ส่งสัญญาณการมอดูเลตแบบเดลตา โดยส่งแบบทิศทางเดียว (Simplex)
- ส่งสัญญาณการมอดูเลตแบบเดลตา โดยสลับกันส่ง และสลับกันรับ (Half Duplex)
- ส่งสัญญาณการมอดูเลตแบบเดลตาโดยส่งและรับพร้อมกัน (Full Duplex)

### 1.3 เนื้อหาโดยสังเขป

ในปฏิญานิพนธ์ฉบับนี้ประกอบ ด้วยเนื้อหาในส่วนต่างๆ ดังนี้

บทที่ 2 ทฤษฎี และหลักการ กล่าวถึง การมอดูเลตและดีมอดูเลตแบบเคลตา ในส่วนต่อมาจะกล่าวถึงคุณสมบัติของสายนำสัญญาณ แบบต่างๆ

บทที่ 3 การออกแบบ, การสร้าง และการทำงานของวงจรที่ใช้ในชุดทดลองนี้ ได้แก่ วงจรรวมด้านส่งสัญญาณ, วงจรรวมด้านรับสัญญาณ และวงจรแหล่งจ่ายไฟฟ้ากระแสตรง ในส่วนของวงจรรวมด้านส่งสัญญาณประกอบด้วย วงจรมอดูเลตแบบเคลตา ส่วนวงจรรวมด้านรับสัญญาณประกอบด้วยวงจรดีมอดูเลตแบบเคลตา

บทที่ 4 การทดลอง และผลการทดลอง มีเนื้อหาเกี่ยวกับลักษณะของสัญญาณที่ได้จากจุดทดสอบต่างๆ ของชุดทดลอง ซึ่งได้แบ่งชุดทดลองเป็น ชุดทดลองส่งสัญญาณการมอดูเลตแบบเคลตาโดยส่งแบบทิศทางเดียว (Simplex), ชุดทดลองส่งสัญญาณการมอดูเลตแบบเคลตาโดยสลับกันรับ-ส่ง (Half Duplex) และชุดทดลองส่งสัญญาณการมอดูเลตแบบเคลตา โดยส่งและรับพร้อมกัน (Full Duplex)

บทที่ 5 ปัญหาแนวทางแก้ไข จะเป็นการสรุปถึงข้อบกพร่องต่างๆ ของชุดทดลองที่ได้จัดทำขึ้น การอภิปรายถึงสาเหตุของข้อบกพร่อง และแนวทางในการปรับปรุงแก้ไขชุดทดลองนี้

ภาคผนวก ก	ใบงานการทดลอง
ภาคผนวก ข	ส่วนประกอบของชุดทดลองการมอดูเลตแบบเคลตา
ภาคผนวก ค	วงจร ลายวงจรพิมพ์ และการวางอุปกรณ์ลงบนแผ่นวงจรพิมพ์-
ภาคผนวก ง	คู่มือการใช้ชุดทดลอง
ภาคผนวก จ	รายละเอียด และคุณสมบัติของอุปกรณ์

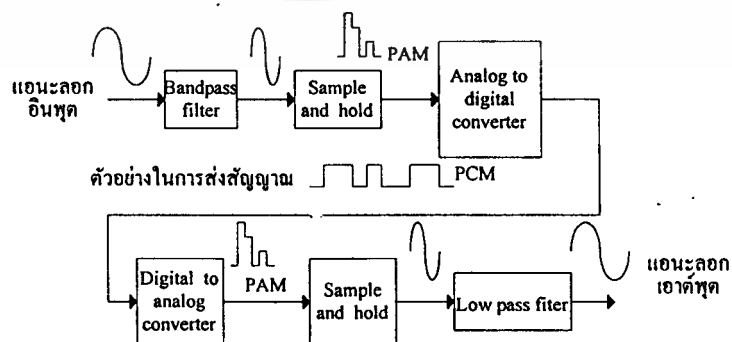
## บทที่ 2

### ทฤษฎี และหลักการ

#### 2.1 การมอดูเลต และดีมอดูเลตแบบเดลตา (Delta Modulation : DM)

การมอดูเลตแบบเดลตา ใช้รหัสการมอดูเลตแบบรหัสพัลส์ (Pulse Code Modulation : PCM) 1 บิต เพื่อที่จะส่งสัญญาณแอนะล็อกโดยการส่งแบบดิจิทัล ซึ่งสัญญาณ 1 บิต จะแทนความแตกต่างของตัวอย่างก่อนหน้านั้น กับตัวอย่างถัดมาคือ ถ้าตัวอย่างปัจจุบันมีขนาดเล็กกว่าตัวอย่างก่อนหน้านั้น ก็จะแทนด้วยลอจิก 0 และถ้าตัวอย่างปัจจุบันมีขนาดใหญ่กว่าตัวอย่างก่อนหน้านั้นก็จะแทนด้วยลอจิก 1

การมอดูเลตแบบรหัสพัลส์ หรือเรียกว่า PCM เป็นรูปแบบหนึ่งของการมอดูเลตสัญญาณพัลส์ ซึ่งสัญญาณพัลส์จะมีขนาดและความถี่ยาวคงที่ การมอดูเลตแบบรหัสพัลส์จะเป็นระบบไบนารี คือ สัญญาณพัลส์ใน 1 ช่วงเวลา จะแทนด้วยสัญญาณลอจิก 0 หรือลอจิก 1 บล็อกโคอะแกรมอย่างง่ายของระบบการมอดูเลตแบบรหัสพัลส์ 1 ช่อง 1 ทาง (Single-Channel Simplex PCM System) แสดงดังรูปที่ 2.1 โดยวงจรกรองแถบความถี่ผ่าน จะจำกัดสัญญาณแอนะล็อกอินพุตให้อยู่ในช่วงแถบความถี่เสียง (300-3000 เฮิรตซ์) วงจรแซมเปิลแอนด์โฮลด์ จะทำการสุ่มตัวอย่างสัญญาณแอนะล็อกอินพุต แล้วแปลงตัวอย่างเหล่านั้น ให้เป็นสัญญาณมอดูเลตแบบพัลส์หลายระดับ ส่วนวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัล (Analog to Digital Converter : ADC) จะทำการแปลงสัญญาณมอดูเลตแบบพัลส์ ให้เป็นข้อมูลไบนารีแบบอนุกรมเพื่อใช้ในการส่ง โดยข้อมูลไบนารีนั้นจะแปรเปลี่ยนไปตามขนาดของสัญญาณแอนะล็อกอินพุต

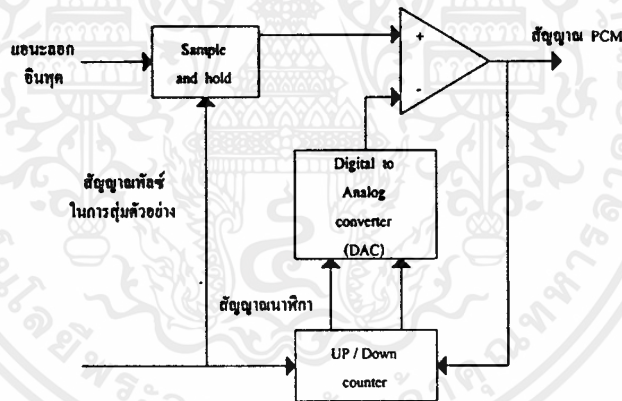


รูปที่ 2.1 แผนผังของระบบพีเอเอ็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนทางการรับสัญญาณ จะประกอบด้วยวงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก (Digital to Analog Converter : DAC) จะทำการแปลงข้อมูลไบนารี ซึ่งส่งมาเป็นสัญญาณมอดูเลตแบบพัลส์ และวงจรแอมป์เปิดแอนด์โฮลด์จะแปลงสัญญาณมอดูเลตแบบพัลส์ กลับเป็นสัญญาณแอนะล็อกเดิม ตัวส่งสัญญาณ DM (DM Transmitter) จากรูปที่ 2.2 จะเห็นว่าตัวส่งสัญญาณ DM ประกอบด้วย วงจรแอมป์เปิดแอนด์โฮลด์ซึ่งมีอินพุตเป็นสัญญาณแอนะล็อก จะแปลงสัญญาณให้เป็นสัญญาณมอดูเลตแบบพัลส์ โดยเปรียบเทียบกับสัญญาณเอาต์พุตของ DAC ซึ่งจะเป็นระดับแรงดันค่าหนึ่งเท่ากับขนาดของตัวอย่างก่อนหน้านั้น ที่เก็บไว้ในวงจรนับขึ้น/ลงในรูปของตัวเลขหลัก

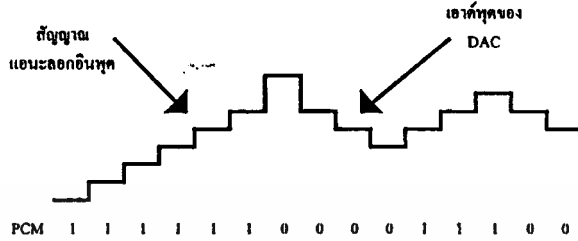
ค่าของข้อมูลในวงจรนับขึ้น/ลง จะเพิ่มขึ้น หรือลดลง ขึ้นอยู่กับขนาดของตัวอย่าง ปัจจุบันว่ามีขนาดใหญ่กว่าหรือเล็กกว่าข้อมูลก่อนหน้านั้น โดยที่ความเร็วในการนับจะขึ้นอยู่กับสัญญาณนาฬิกา ซึ่งจะมีค่าเท่ากับอัตราการสุ่มตัวอย่าง ดังนั้น วงจรนับขึ้น/ลงจะทำการนับหลังจากการเปรียบเทียบแต่ละครั้ง



รูปที่ 2.2 ตัวส่งสัญญาณ DM

ในรูปที่ 2.3 แสดงการทำงานทางอุดมคติของตัวเข้ารหัส DM ในสภาวะการเริ่มแรก วงจรนับขึ้น/ลง จะมีค่าเป็นศูนย์ ดังนั้นเอาต์พุตของ DAC จะเป็นศูนย์ เมื่อตัวอย่างแรกเข้ามา ก็จะถูกแปลงเป็นสัญญาณมอดูเลตแบบพัลส์ และเปรียบเทียบกับแรงดัน 0 โวลต์ (แรงดันเอาต์พุต ของ DAC ในสภาวะเริ่มแรก) ซึ่งจะได้เอาต์พุตของการเปรียบเทียบเป็นลอจิก 1 (เป็นแรงดันบวก) เนื่องจากตัวอย่างปัจจุบันมีขนาดใหญ่กว่าตัวอย่างก่อนหน้านั้น เมื่อมีสัญญาณ

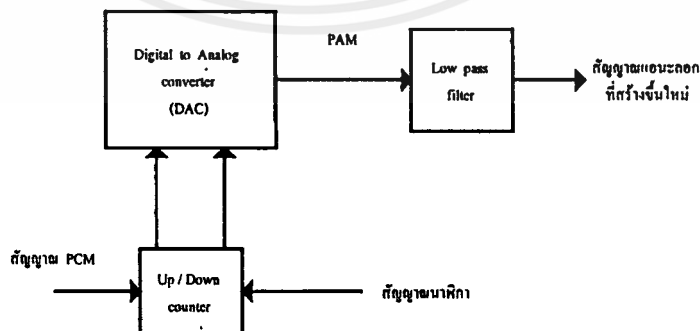
นาฬิกาเข้ามาวางจรรยาบันขึ้น/ลงจะนับเพิ่มขึ้น 1 และแรงดันเอาต์พุตของ DAC ก็จะมีค่าเท่ากับ ผลลัพธ์ของการเปรียบเทียบในครั้งก่อน และจะนำไปเปรียบเทียบกับตัวอย่างถัดไป



รูปที่ 2.3 การทำงานทางอุดมคติของตัวเข้ารหัสDM

วงจรรับขึ้น/ลง จะมีค่าเพิ่มขึ้นตามสัญญาณแอนะล็อกอินพุต จนสัญญาณเอาต์พุตของ DAC มีค่ามากกว่าตัวอย่างของสัญญาณแอนะล็อก วงจรรับขึ้น/ลง จะนับจนกระทั่งเอาต์พุตของ DAC มีค่าต่ำกว่าขนาดของตัวอย่าง ถ้าวงจรรับขึ้น/ลงนับเพิ่มขึ้นลอจิก 1 จะถูกส่งออกไป แต่ถ้านับลงลอจิก 0 จะถูกส่งออกไป

ตัวรับสัญญาณDM (DM Receiver) รูปที่ 2.4 แสดงตัวรับสัญญาณ DM จะเห็นว่า มีลักษณะคล้ายกับตัวส่งสัญญาณ DM แต่ต่างกันตรงที่ตัวรับสัญญาณ จะไม่มีวงจรเปรียบเทียบ เมื่อได้รับสัญญาณลอจิก 1 หรือลอจิก 0 วงจรรับขึ้น/ลง จะเพิ่มหรือลดค่าตามลำดับ ดังนั้นเอาต์พุตของ DAC ทางด้านรับจะเหมือนทางด้านส่ง จากนั้นนำเอาต์พุตของ DAC มาผ่านวงจรกรองแบบผ่านต่ำก็จะได้สัญญาณแอนะล็อกเดิม



รูปที่ 2.4 ตัวรับสัญญาณ DM

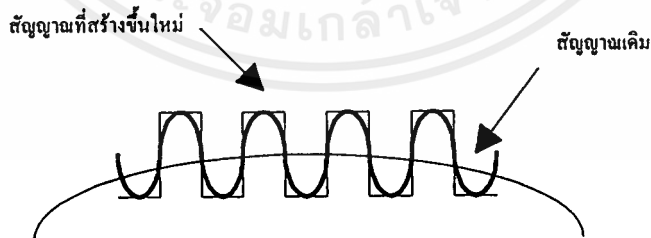
ปัญหาในระบบ DM ดังที่ได้กล่าวไปแล้วว่าในการมอดูเลตแบบ DM แต่ละตัวอย่างจะใช้เพียง 1 บิต ในการส่ง ดังนั้น อัตราบิตของ DM จะมีค่าต่ำกว่าระบบ PCM โดยทั่วไป แต่อย่างไรก็ตามระบบ DM จะมีปัญหาอยู่ 2 ประการซึ่งไม่เกิดขึ้นกับระบบ PCM โดยทั่วไป

(ก) การเกิดโอเวอร์โหลดทางความชัน (Slope Overload) รูปที่ 2.5 แสดงความเพี้ยนที่เกิดขึ้น เมื่อสัญญาณแอนะล็อกอินพุตมีอัตราการเปลี่ยนแปลงที่เร็วเกินกว่าที่ DAC จะติดตามทัน กล่าวคือ ความชันของสัญญาณแอนะล็อกมีค่ามากกว่าที่ตัวมอดูเลตแบบ DM จะรักษาไว้ได้ซึ่งเรียกว่า การเกิดโอเวอร์โหลดทางความชัน ซึ่งสามารถแก้ไขได้โดยการเพิ่มความถี่ของสัญญาณนาฬิกาหรือการเพิ่มขนาดขั้นค่าสุด



รูปที่ 2.5 การเพี้ยนเนื่องจากการเกิดโอเวอร์โหลดทางความชัน

(ข) สัญญาณรบกวนแบบเม็ด (Granular Noise) รูปที่ 2.6 แสดงการเปรียบเทียบกันระหว่างสัญญาณเดิม และสัญญาณที่สร้างขึ้นใหม่โดยระบบ DM จะเห็นว่าสัญญาณที่สร้างขึ้นใหม่จะมีส่วนที่เกินจากสัญญาณแอนะล็อกเดิม ซึ่งเรียกว่า สัญญาณรบกวนแบบเม็ด



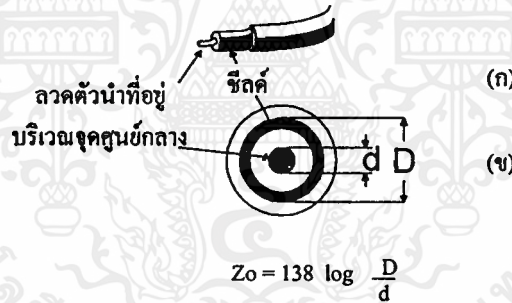
รูปที่ 2.6 สัญญาณรบกวนแบบเม็ด

การลดสัญญาณรบกวนแบบเม็ดสามารถทำได้โดยการลดขนาดนั้น ดังนั้น จะเห็นว่า การลดสัญญาณรบกวนแบบเม็ด จะต้องให้ผลลัพธ์จากการเปรียบเทียบมีขนาดเล็ก ในขณะที่

การลดการเกิดโอเวอร์โวลตทางความชันจะต้องให้ผลลัพธ์ ซึ่งได้จากการเปรียบเทียบมีขนาดใหญ่ แต่ผลเสียของการเกิดโอเวอร์โวลตทางความชันจะมีน้อยกว่าผลเสียของสัญญาณรบกวนแบบเม็คเพราะ สัญญาณข่าวสารเดิมที่ผ่านการคิมอดูเลตจะใกล้เคียงสัญญาณเดิมมากกว่า การใช้งานจะต้องเลือกค่าที่มีความเหมาะสม

## 2.2 สายโคแอกเชียล

สายนำสัญญาณชนิดโคแอกเชียล เป็นสายที่ใช้กันแพร่หลายมาก สายชนิดนี้เป็นสายชนิดไม่สมดุล เนื่องจากสายชีลด์ต่อลงกราวด์ไว้ คลื่น RF จะเดินทางไปในเส้นกลางของสายโคแอกเชียล ส่วนชีลด์จะทำหน้าที่ป้องกันไม่ให้คลื่น RF แพร่รอกนอกสาย ฉะนั้นสายนำสัญญาณชนิดโคแอกเชียลจะมีการสูญเสียเนื่องจากการแพร่คลื่นเล็กลอคออกนอกสายน้อยมาก สำหรับในกรณีสายนำสัญญาณชนิดสมดุล วิธีการป้องกันการสูญเสียเนื่องจากการแพร่คลื่น จะน้อยก็ต่อเมื่อ กระแสในตัวนำแต่ละเส้นสมดุล และหักล้างกัน เพราะมีเฟสต่างกัน 180 องศา



รูปที่ 2.7 สายนำสัญญาณชนิดโคแอกเชียล สังเกตว่าเส้นกลางกับสายชีลด์มีแกนร่วมกัน

ในรูปที่ 2.7 เป็นการแสดงส่วนประกอบของสายโคแอกเชียล ซึ่งประกอบด้วยเปลือกนอก สายชีลด์จึงสานเป็นตาข่ายมีไดอิเล็กตริกคั่น และห่อหุ้มสายในเส้นกลาง ค่าอิมพีแดนซ์บ่งชี้ของสายคำนวณได้จากสูตร

$$Z_0 = 138 \times \log \frac{D}{d} \quad (2.1)$$

ในที่นี้  $Z_0$  คือ อิมพีแดนซ์ประจำสายของสายมีหน่วยเป็น โอห์ม

$D$  คือ เส้นผ่านศูนย์กลางของซิลด์

$d$  คือ ขนาดเส้นผ่านศูนย์กลางของสายเส้นกลาง มีหน่วยเหมือน  $D$

### 2.2.1 ข้อเปรียบเทียบระหว่างสายโคแอกเชียลกับสายชนิดสมดุ

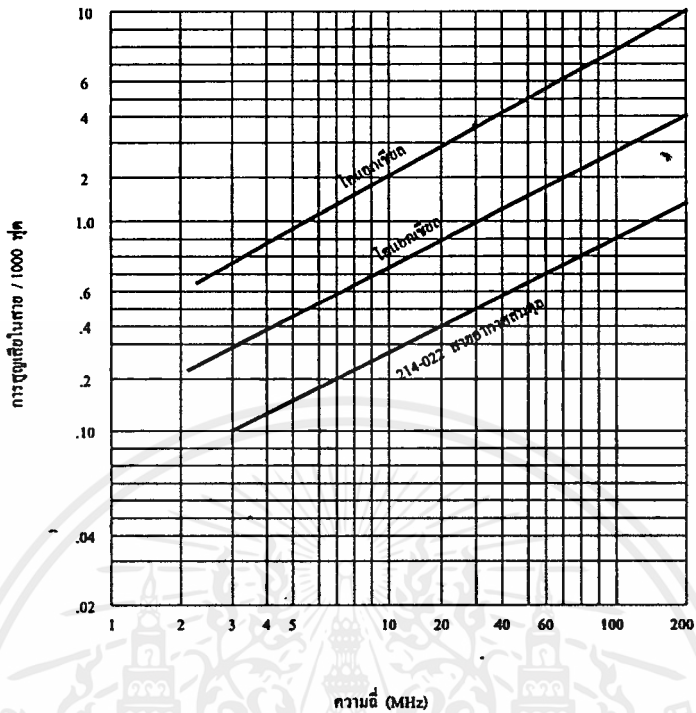
สายนำสัญญาณที่อธิบายมาในตอนต้น เราสมมติว่าไม่มีความต้านทานภายในสาย แต่ความจริงแล้วสายนำสัญญาณทุกชนิดจะมีการสูญเสียกำลังเนื่องจากความต้านทานในตัวนำ และการรั่วไหล (leakage) ของประจุในสายไดอิเล็กตริกที่หุ้มสาย นอกจากนี้อาจมีการสูญเสียเนื่องจากการแพร่คลื่นอีกด้วย รูปที่ 2.8 เป็นกราฟแสดงการลดทอนของสายนำสัญญาณชนิดต่าง ๆ เช่น สายโคแอกเชียล RG-58/U และ RG-8/U ซึ่งมีอิมพีแดนซ์ 52 โอห์ม และสายชนิดสมดุ 214-022 ซึ่งมีอิมพีแดนซ์ 300 โอห์ม จะเห็นว่า การลดทอนกำลังของสายชนิดสมดุมีค่าน้อยกว่า

ในการติดตั้งสายชนิดสมดุ เราจะต้องป้องกันมิให้มีความชื้นบนสาย เพราะความชื้นจะทำให้ค่าไดอิเล็กตริกเปลี่ยนไป และจะทำให้ค่าอิมพีแดนซ์ประจำตัวของสายเปลี่ยนตามไปด้วย ซึ่งผลอันนี้จะทำให้สภาวะไม่แมตช์เกิดขึ้น นอกจากนี้การติดตั้งจะต้องให้สายนำสัญญาณอยู่ห่างจากตัวนำหรือโลหะอื่นในบริเวณใกล้เคียง โดยระยะห่างของสายนำสัญญาณจากตัวนำอื่นจะต้องเท่ากับ 2 ถึง 3 เท่าของระยะห่างจากสายนำสัญญาณทั้งคู่เป็นอย่างน้อย เช่น ระยะห่างระหว่างสายตัวนำทั้งคู่เท่ากับ  $\frac{1}{2}$  นิ้ว สายนำสัญญาณจะต้องติดตั้งไว้ห่างตัวนำอย่างน้อย 1 ถึง  $\frac{1}{2}$  นิ้ว นั่นคือเราต้องมีฉนวนยึดสาย

สำหรับสายโคแอกเชียลจะมีซิลด์ต่อลงกราวด์ ฉะนั้นการติดตั้งก็ไม่ค่อยมีปัญหา (จะแปะติดกับโลหะก็ได้) ปัญหาความชื้นก็มีน้อยเพราะมีฉนวนหุ้มทั้งซิลด์ และตัวนำไว้ภายใน เว้นแต่น้ำจะซึมเข้าไปในสาย สรุปแล้วสายชนิดสมดุ มีข้อดีคือการลดทอนกำลังน้อย แต่สายโคแอกเชียลก็สะดวกในการใช้งานเพราะติดตั้งง่ายกว่า

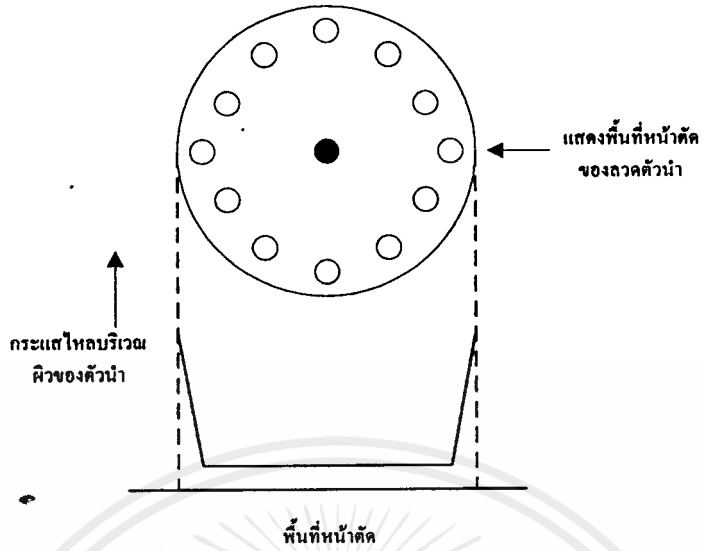
### 2.2.2 การสูญเสียในสายนำสัญญาณ

สายนำสัญญาณที่ได้อธิบายมาในตอนต้น เราสมมติว่าไม่มีการสูญเสียในสาย แต่ความจริงแล้วในทางปฏิบัติการสูญเสียในสายจะต้องนำมาพิจารณาด้วยเสมอ โดยเฉพาะในกรณีที่ใช้สายยาว ๆ การสูญเสียในสายนำคลื่น แบ่งออกได้เป็น 3 ประเภทคือ

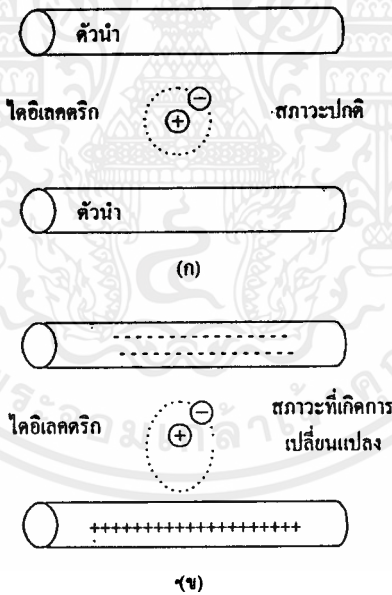


รูปที่ 2.8 กราฟการลดทอนของสายนำสัญญาณชนิดต่างๆ

1. การสูญเสียในสายทองแดง (Copper loss) แบ่งได้เป็น 2 ส่วน คือ การสูญเสีย  $I^2 R$  เนื่องจากมีความต้านทานในสาย เพราะกระแสที่ไหลผ่านทองแดงซึ่งมีความต้านทานจะเกิดการสูญเสียพลังงานกลายเป็นความร้อน ความต้านทานของสายขึ้นอยู่กับพื้นที่หน้าตัด และความยาวของสายตัวนำ ถ้าพื้นที่มีมาก (สายใหญ่) ความต้านทานจะน้อยลง ถ้าสายมีความยาวมาก ความต้านทานจะยิ่งมาก การสูญเสียอีกแบบหนึ่งในสายทองแดงเป็นการสูญเสียทางความถี่สูง ปรากฏการณ์นี้เกิดขึ้นเนื่องจากกระแสถูกต่อต้านจากการเหนี่ยวนำในตัวนำ (Self-induction) ทำให้กระแสไหลได้น้อยในบริเวณจุดศูนย์กลางของสาย กระแสส่วนใหญ่จึงไหลในบริเวณผิวของตัวนำ เมื่อความถี่ยิ่งสูงขึ้น กระแสบริเวณจุดศูนย์กลางของสายจะถูกต่อต้านมากขึ้น ทำให้กระแสไหลได้น้อย การสูญเสีย  $I^2 R$  จึงน้อยมาก จะเห็นว่าความถี่ยิ่งสูงขึ้นพื้นที่หน้าตัดของสายในบริเวณที่มีกระแสไหลจริงจะน้อยมาก นั่นคือ ค่าความต้านทานของสายจะสูงขึ้นเพราะกระแสจะไหลเฉพาะผิวตัวนำ ปรากฏการณ์นี้เรียกว่า ปรากฏการณ์ที่ผิวตัวนำ (Skin effect) สายที่ใช้งานความถี่สูงจึงนิยมเคลือบเงินที่ผิวเพื่อลดความต้านทาน เพราะเงินมีความนำไฟฟ้าที่ดี และกระแสก็จะไหลในผิวเงินนี้



รูปที่ 2.9 ปรางค์การณที่ผิวตัวนำ โดยกระแสส่วนใหญจะไหลบนผิวของตัวนำ



รูปที่ 2.10 การสูญเสียไดอิเล็กตริก

2. การสูญเสียไดอิเล็กตริก (Dielectric loss) เมื่อมีความต่างศักย์ ระหว่างสายตัวนำจะ ทำให้เกิดประจุไฟฟ้าขึ้นบนสาย ในรูปที่ 2.12 (ก) แสดงถึงสถานะของตัวนำที่ไม่มี ความต่าง ศักย์ อิเล็กตรอนในเนื้อไดอิเล็กตริกจึงยังโคจรเป็นวงตามปกติ ส่วนในรูปที่ 2.12 (ข) มีความ

ต่างศักย์ อิเล็กตรอนจะได้รับอิทธิพลจากสนามไฟฟ้า ทำให้การโคจรเลี้ยวรูปเดิมไป พลังงานที่ใช้ในการเปลี่ยนแปลงวงโคจรนี้ เป็นการสูญเสียในไดอิเล็กตริก และกลายเป็นความร้อน สารบางอย่างมีโครงสร้างอะตอมซึ่งยากต่อการเปลี่ยนแปลง เช่น ยาง อากาศ ทำให้การสูญเสียไดอิเล็กตริกมีน้อย ฉะนั้นไดอิเล็กตริกที่ใช้ในสายโคแอกเซียล จะต้องเป็นชนิดที่มีการสูญเสียต่ำ เช่น สารโพลีเอทีลีน

การสูญเสียไดอิเล็กตริกจะขึ้นอยู่กับแรงดันคร่อมไดอิเล็กตริกด้วย สายโคแอกเซียลจะมีย่านความถี่ใช้งานจำกัดไว้ ไม่เกิดในย่านความถี่กิกะเฮิรตซ์ ทั้งนี้เป็นผลมาจากการสูญเสียไดอิเล็กตริกเนื่องจากปรากฏการณ์ที่ผิวของตัวนำ

3. การสูญเสียเนื่องจากการแผ่คลื่น และเหนี่ยวนำ (Radiation and Induction loss) เกิดขึ้นเนื่องจากการไหลของกระแส ซึ่งทำให้เกิดสนามแม่เหล็ก และสนามไฟฟ้ารอบตัวนำ พลังงานที่แผ่ออกไปนี้ บางส่วนจะสูญเสียเนื่องจากการประจุ และเหนี่ยวนำวัตถุที่แวดล้อม และใกล้เคียงกับสายตัวนำ การสูญเสียดังกล่าวจะมีค่าน้อยลง เมื่อเราต่อโหลดแมตซ์ และชิลด์ สายมิให้เกิดการแผ่คลื่นเล็ดลอดออกมาภายนอก นั่นคือ สายโคแอกเซียลจะมีการสูญเสียการแผ่คลื่นน้อย เพราะมีชิลด์อยู่ในตัว

## บทที่ 3

### การออกแบบ การสร้าง และการทำงาน

#### 3.1 วงจรรวมทางด้านส่งสัญญาณ

##### 3.1.1 วงจรมอดูเลตแบบเดลตา

วงจรในการมอดูเลตแบบ DM ใช้ ไอซี เบอร์ MC3418 ซึ่งเป็นไอซีสำหรับการมอดูเลตแบบ DM และการดีมอดูเลตสัญญาณ DM โดยเฉพาะซึ่งเป็นวงจรมอดูเลตแบบเดลตาที่มีการเปลี่ยนความชันอย่างต่อเนื่อง (Continuously Variable Slope Delta Modulation : CVSD) ซึ่งสามารถใช้เป็นวงจรเข้ารหัส และถอดรหัสได้

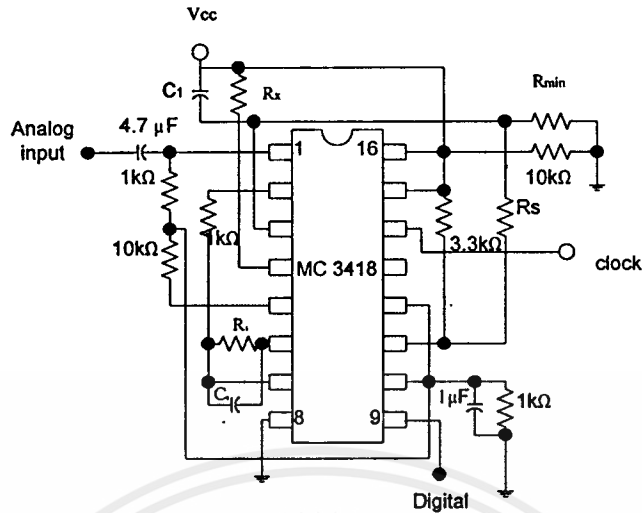
##### การออกแบบวงจรมอดูเลตแบบ DM

การออกแบบวงจรมอดูเลตแบบ DM มีขั้นตอนต่างๆ ดังนี้

การเลือกความถี่สัญญาณนาฬิกา ถ้าความถี่นาฬิกาที่ใช้ในการสุ่มตัวอย่างมีค่าสูงจะทำให้เกิดสัญญาณรบกวนแบบเม็คมาก และค่าอัตราส่วนสัญญาณต่อสัญญาณรบกวนจะมีค่าสูงตามไปด้วย สำหรับ MC 3418 สามารถใช้ความถี่นาฬิกาได้ตั้งแต่ 9.6 กิโลเฮิร์ต ถึง 64 กิโลเฮิร์ต แต่ที่ใช้กันในอุปกรณ์สื่อสารโดยทั่วไป คือ 16 กิโลเฮิร์ต, 32 กิโลเฮิร์ต และ 64 กิโลเฮิร์ต สำหรับวงจรที่ใช้ในชุดทดลองนี้เลือกใช้ความถี่สัญญาณนาฬิกา 64 กิโลเฮิร์ต

การเลือกอัตราขยายรูป ตัวต้านทาน  $R_x$  จะเป็นตัวกำหนดอัตราการขยายของวงจรในรูปที่ 3.1 โดยค่า  $R_x$  จะเลือกค่าซึ่งให้ขนาดขั้นของอินทิเกรเตอร์ที่เหมาะสม ดังนั้นอัตราการขยายรูปจะขึ้น อยู่กับระดับที่สูงที่สุด และความถี่ของสัญญาณอินพุตฟังก์ชันถ่ายโอนวงจรกรองแบบอินทิเกรต (Integration Filter Transfer Function)

สำหรับการเข้ารหัสสัญญาณที่เป็นสัญญาณเสียง โดยปกติสัญญาณอินพุตจะเป็นคลื่นไซน์ที่มีความถี่ 1 กิโลเฮิร์ต ที่ระดับ 0 เดซิเบล ในทางปฏิบัติช่วงการเปลี่ยนแปลงสามารถที่จะขยายได้ประมาณ 6 เดซิเบลจากระดับที่ออกแบบไว้ ซึ่งในระบบใดๆ ก็ตาม อัตราส่วนการคอมแพนด์ไม่ควรจะเกินกว่า 30 เปอร์เซ็นต์ ดังนั้นจะต้องหาค่ากระแสของขั้นที่เหมาะสมเพื่อให้ CVSD สามารถติดตามการเปลี่ยนแปลงของสัญญาณอินพุตได้ ซึ่งหาได้จาก



รูปที่ 3.1 วงจรมอดูเลตแบบ DM

สำหรับการเข้ารหัสสัญญาณที่เป็นสัญญาณเสียง โดยปกติสัญญาณอินพุตจะเป็นคลื่นไซน์ที่มีความถี่ 1 กิโลเฮิร์ต ที่ระดับ 0 เดซิเบล ในทางปฏิบัติช่วงการเปลี่ยนแปลงสามารถที่จะขยายได้ประมาณ 6 เดซิเบลจากระดับที่ออกแบบไว้ ซึ่งในระบบใดๆ ก็ตาม อัตราส่วนการคอมแพนด์ไม่ควรจะเกินกว่า 30 เปอร์เซ็นต์ ดังนั้นจะต้องหาค่ากระแสของขั้นที่เหมาะสมเพื่อให้ CVSD สามารถติดตามการเปลี่ยนแปลงของสัญญาณอินพุตได้ ซึ่งหาได้จาก

$$I_i = \frac{V_o}{R_1} + (C_1 \times \frac{dV_o}{dt}) \quad (3.1)$$

โดยสัญญาณคลื่นไซน์ที่ 0 dBm จะมีความถี่สูงสุดประมาณ 1.1 V และเนื่องจากเป็นสัญญาณเสียงจึงใช้ความถี่ในการสุ่ม 8 กิโลเฮิร์ต ซึ่งจะได้  $dt$  เท่ากับ 0.125 ไมโครเซค. ส่วนค่า  $R_1$  และ  $C_1$  เลือกใช้  $R_1 = 10$  กิโลโอห์ม และ  $C_1 = 0.1$  ไมโครฟารัด ดังนั้นจะได้

$$I_i = \frac{1.1 \text{ V}}{2 (10 \text{ k}\Omega)} + \frac{0.1 \mu\text{F} (1.1)}{0.125 \text{ mS}} = 0.935 \text{ mA}$$

\*ค่าแรงดันสูงสุดที่ตกคร่อม  $R_1$  เมื่อต้องการให้ค่าการเปลี่ยนแปลงของแรงดันเอาต์พุต สูงสุด = 1.1/2 โวลต์  
นำค่า  $I_i$  มาหาค่า  $R_x$  จาก

$$R_x = \frac{(0.25 V_{cc})}{I_i} \quad (3.2)$$

ในวงจรเลือกใช้ค่า  $V_{cc} = 10$  โวลต์

$$R_x = \frac{(0.25 \times 10)}{0.935 \text{ mA}} = 2.67 \text{ k}\Omega$$

การเลือกขนาดขั้นที่เล็กที่สุด

การเลือกขนาดที่เล็กที่สุดจะต้องกำหนดค่า  $R_{min}$  ให้เหมาะสม โดยสามารถหาค่า  $R_{min}$  ได้จาก

$$R_{min} = (V_{cc}R_s / V_{smin}) - R_s \quad ; \text{เลือกใช้ค่า } R_s = 18 \text{ k}\Omega \quad (3.3)$$

โดย  $V_{smin} = I_i R_x$

ค่า  $I_i$  ที่ใช้ในการคำนวณหา  $V_{smin}$  จะหาได้จาก

$$I_i = (C_s \times V_o) / T \quad ; \text{เลือกใช้ } C_s = 0.1 \text{ }\mu\text{F} \quad (3.4)$$

โดยค่า  $V_o$  ในกรณีที่ความถี่สัญญาณพิกเท่ากับ 16 กิโลเฮิรต คือ 20 มิลลิโวลต์พีก พูพีก และค่า  $T$  คือ 1/32 กิโลเฮิรต จะมีค่าเท่ากับ 31.25 ไมโครเซค ดังนั้นจะได้

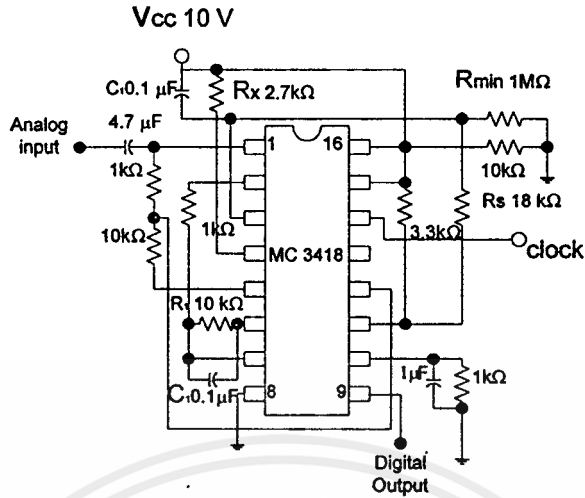
$$I_i = (0.1 \text{ }\mu\text{F} \times 20 \text{ mV}) / 31.25 \text{ }\mu\text{s} = 64 \text{ }\mu\text{A}$$

$$V_{smin} = 64 \text{ }\mu\text{A} \times 2.67 \text{ k}\Omega = 170.88 \text{ mV}$$

$$R_{min} = 1.04 \text{ M}\Omega$$

การสร้างวงจรมอดูเลตแบบเดลตาในระบบแบบซิมเพิล็กซ์

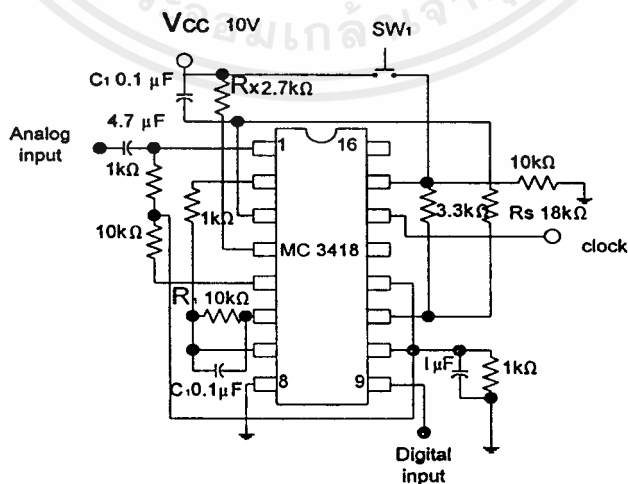
วงจรมอดูเลตแบบ DM ที่ใช้งานจริงแสดงดังรูปที่ 3.2 ซึ่งเลือกใช้ค่าความต้านทานที่มีจำหน่าย โดย  $R_s$  เลือกใช้ค่า 2.7 k $\Omega$  และ  $R_{min}$  เลือกใช้ค่า 1 M $\Omega$



รูปที่ 3.2 วงจรมอดูเลตแบบ DM ที่ใช้งานจริง

**การสร้างวงจรมอดูเลตแบบเดลตาในระบบแบบฮาร์ฟดูเพล็กซ์**

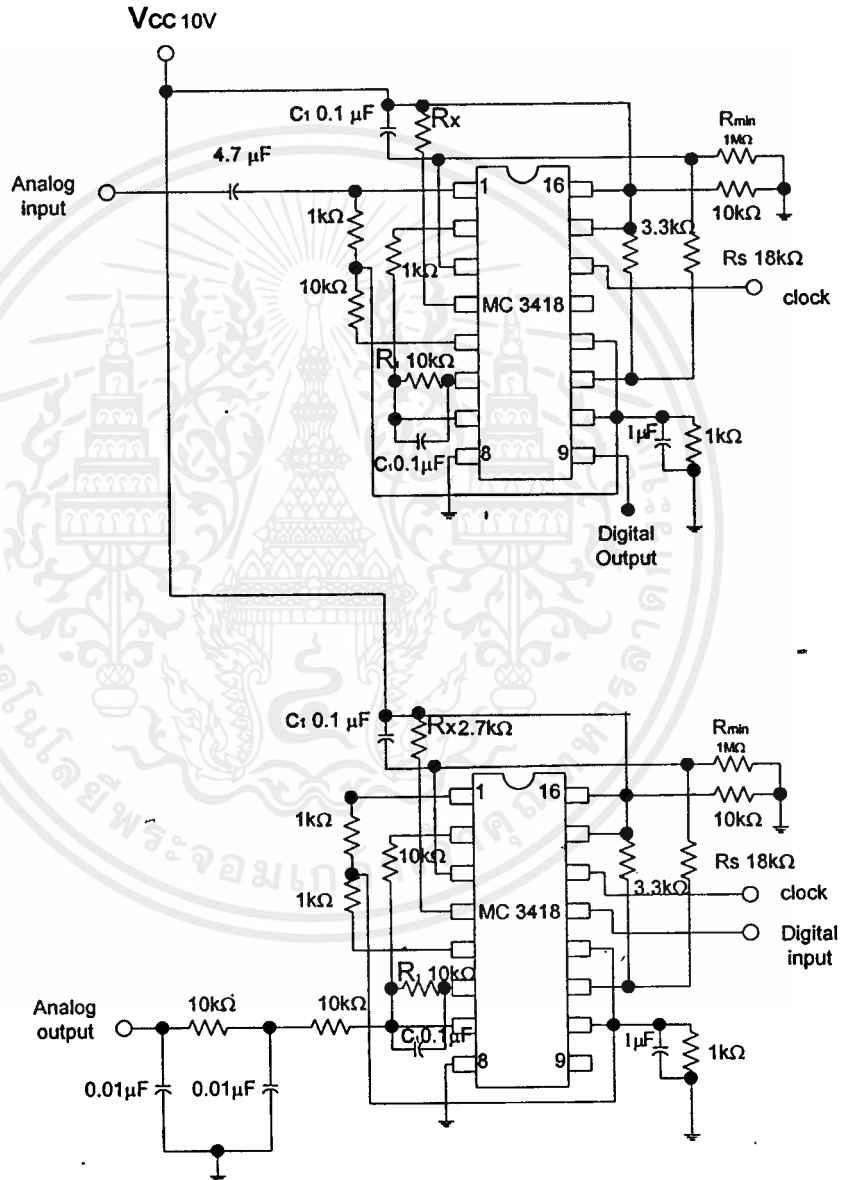
วงจรมอดูเลตสัญญาณ DM ที่ใช้ในระบบฮาร์ฟดูเพล็กซ์(Half Duplex)ใช้วงจรเดียวกับวงจรมอดูเลตแบบ DM เพียงแต่ใช้ข้อกำหนดของตัวไอซี MC3418 คือ หากขา 15 มีระดับแรงดันสูงจะเป็นตัวกำหนดให้ไอซีทำหน้าที่ส่งข้อมูล และถ้าขา 15 มีระดับแรงดันต่ำจะทำให้ไอซีทำหน้าที่รับสัญญาณ และทำการคิโมดูละตสัญญาณอย่างเดียวกัน จากวงจรใช้สวิทช์เป็นตัวกำหนดให้วงจรทำหน้าที่ส่ง หรือรับข้อมูล



รูปที่ 3.3 วงจรมอดูเลตแบบ DM ในระบบฮาร์ฟดูเพล็กซ์

การสร้างวงจรมอดูเลตแบบเคลตาในระบบแบบฟูลดูเพล็กซ์

วงจรมอดูเลตสัญญาณ แบบ DM ที่ใช้ในระบบฟูลดูเพล็กซ์(Full Duplex)จะใช้วงจรมอดูเลตแบบเคลตา ต่อกับวงจรดีมอดูเลตแบบเคลตา โดยทั้งสองวงจรจะทำงานแยกอิสระจากกัน



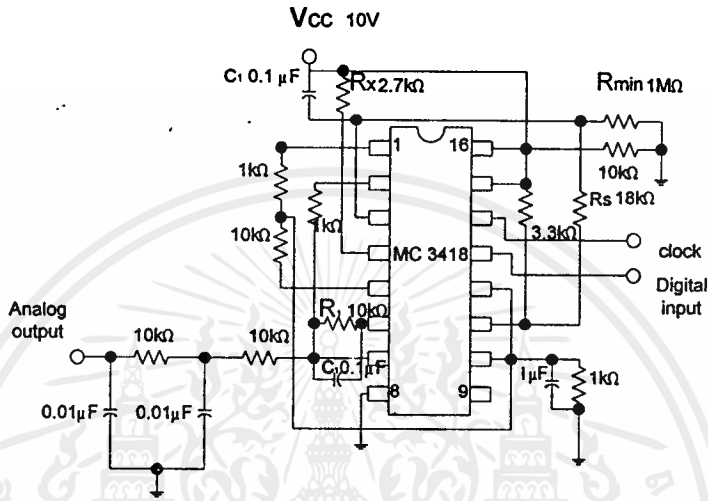
รูปที่ 3.4 วงจรมอดูเลตแบบ DM ในระบบฟูลดูเพล็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.2 วงจรรวมทางด้านรับสัญญาณ

#### 3.2.1 วงจรคีมอคูเลตแบบเดลตา

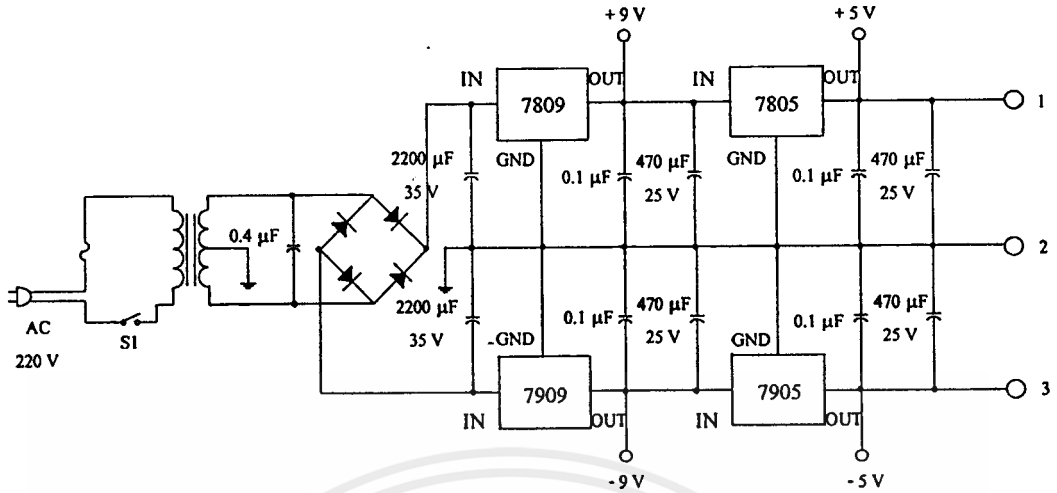
วงจรคีมอคูเลตสัญญาณ DM ใช้วงจรเดียวกับวงจรมอคูเลตแบบ DM เพียงแต่ต่อขาที่ 15 ของ MC 3418 เข้ากับแรงดันไฟฟ้ากระแสตรงที่ใช้เลี้ยงวงจรดังแสดงในรูปที่ 3.5



รูปที่ 3.5 วงจรคีมอคูเลตสัญญาณ DM

### 3.3 วงจรแหล่งจ่ายไฟกระแสตรง

วงจรแหล่งจ่ายไฟกระแสตรงจะใช้ IC ตระกูล 78xx และ 79xx ซึ่งเป็น IC ที่ทำหน้าที่เป็นเรกูเลเตอร์ โดยนำมาต่อใช้งานดังรูป



รูปที่ 3.6 วงจรแหล่งจ่ายไฟฟ้ากระแสตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 4

### การทดลอง และผลการทดลอง

ในการทดลองชุดทดลองที่จัดทำขึ้น ต้องใช้อุปกรณ์ประกอบการทดลองต่างๆ ดังต่อไปนี้ คือ ฟังก์ชันเจเนอเรเตอร์, ออสซิลโลสโคป และสายนำสัญญาณแบบโลหะ โดยแบ่งการทดลองออกเป็น 5 การทดลอง ได้แก่ การทดลองการส่งสัญญาณผ่านสายนำสัญญาณแบบโลหะ, การทดลองการมอดูเลต และดีมอดูเลตแบบเคลตา, การทดลองการส่งสัญญาณแบบ Simplex, การทดลองการส่งสัญญาณแบบ Half Duplex และการทดลองการส่งสัญญาณแบบ Full Duplex

#### 4.1 การทดลองการส่งสัญญาณผ่านสายนำสัญญาณแบบโลหะ

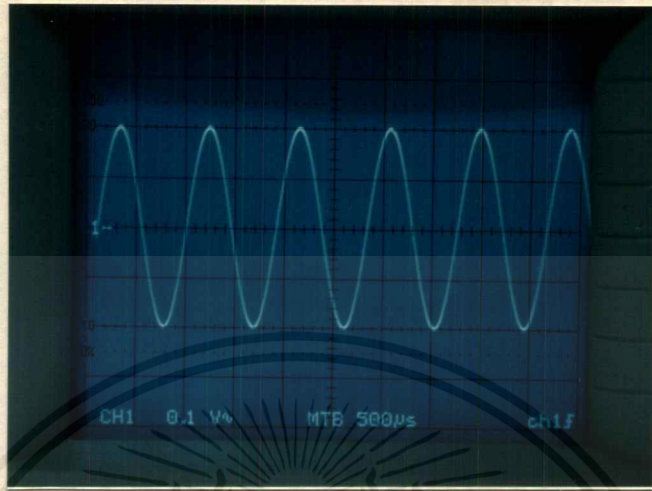
##### 4.1.1 ลำดับขั้นการทดลอง

1. ต่อสายนำสัญญาณแบบโลหะเข้าที่ Coax Tx<sub>1</sub> กับ Coax Rx<sub>2</sub>
2. ปรับสวิทช์ System ไปที่ตำแหน่ง External
3. ปรับสวิทช์ Transmission Line ไปที่ตำแหน่ง Coaxial Cable
4. ปรับสวิทช์ Digital Data in ไปที่ตำแหน่ง External
5. เปิดสวิทช์ Power
6. ป้อนสัญญาณคลื่นไซน์ ความถี่ 1 kHz ขนาด 0.4 Vp-p เข้าที่จุด Ext
7. ป้อนสัญญาณคลื่นจตุรัส ความถี่ 1 kHz ขนาด 0.4 Vp-p เข้าที่จุด Ext
8. ใช้ออสซิลโลสโคปวัดสัญญาณที่จุดทดสอบ (Test point ; TP) ต่างๆ

##### 4.1.2 ผลการทดลอง

ผลการทดลองที่ได้จากการส่งสัญญาณคลื่นไซน์ ผ่านสายนำสัญญาณแบบโลหะ ได้แก่ จุดทดสอบที่ 1 และ 4

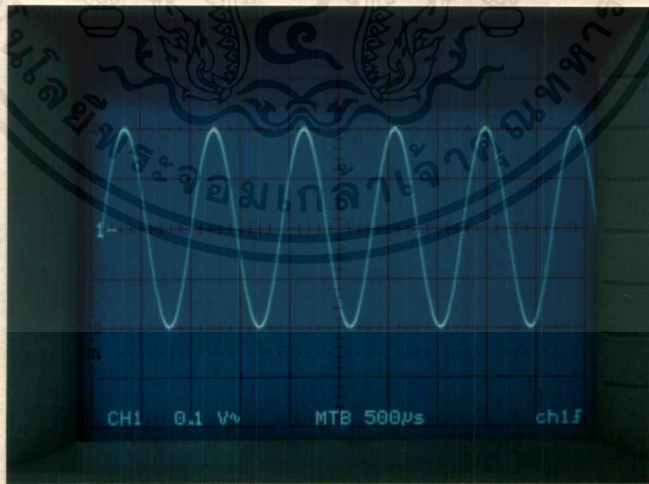
TP<sub>1</sub> สัญญาณแอนะล็อกอินพุต ความถี่ 1 kHz ขนาด 0.4 Vp-p



VOLTS / DIV = 0.1 V TIME / DIV = 500 μS

รูปที่ 4.1 สัญญาณแอนะล็อกอินพุต ความถี่ 1 kHz ขนาด 0.4 Vp-p

TP<sub>4</sub> สัญญาณแอนะล็อกเอาต์พุต ซึ่งมีความถี่เท่ากับสัญญาณที่ TP<sub>1</sub>



VOLTS / DIV = 0.1 V TIME / DIV = 500 μS

รูปที่ 4.2 สัญญาณแอนะล็อกเอาต์พุต ความถี่ 1 kHz ขนาด 0.4 Vp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลองที่ได้จากการส่งสัญญาณคลื่นจัตุรัสผ่านสายนำสัญญาณแบบโลหะ ได้แก่ จุดทดสอบที่ 1 และ 4

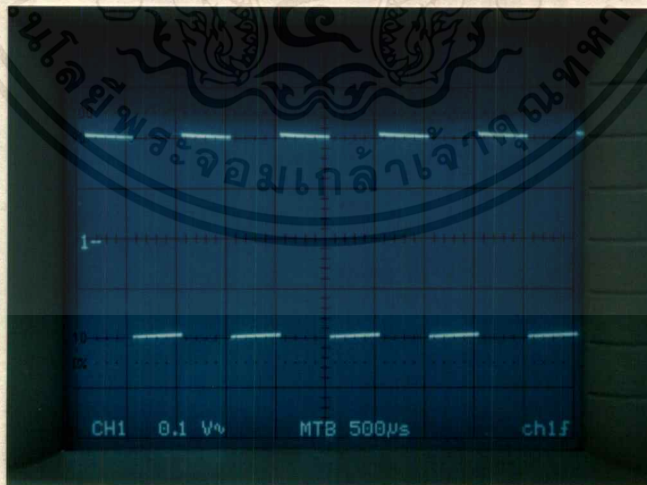
TP<sub>1</sub> สัญญาณคลื่นจัตุรัส ความถี่ 1 kHz ขนาด 0.4 Vp-p



VOLTS / DIV = 0.1 V TIME / DIV = 500 μS

รูปที่ 4.3 สัญญาณคลื่นจัตุรัสอินพุต ความถี่ 1 kHz ขนาด 0.4 Vp-p

TP<sub>4</sub> สัญญาณคลื่นจัตุรัส ซึ่งมีความถี่เท่ากับสัญญาณที่ TP<sub>1</sub>



VOLTS / DIV = 0.1 V TIME / DIV = 500 μS

รูปที่ 4.4 สัญญาณคลื่นจัตุรัสเอาต์พุต ความถี่ 1 kHz ขนาด 0.4 Vp-p

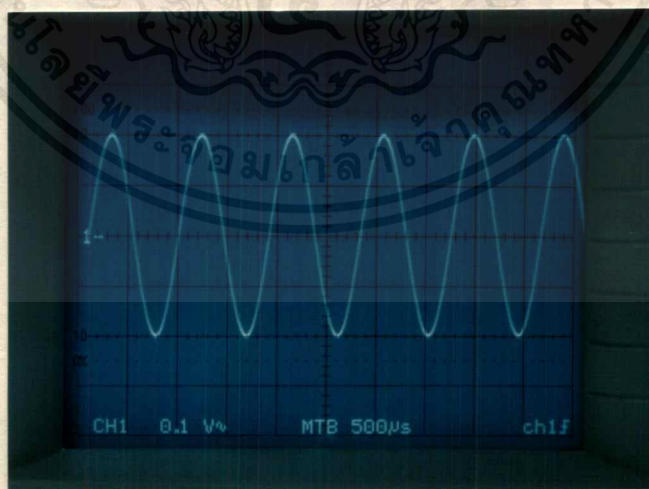
## 4.2 การทดลองการมอดูเลต และดีมอดูเลตแบบเคลตา

### 4.2.1 ลำดับขั้นตอนการทดลอง

1. ปรับสวิตช์ System ไปที่ตำแหน่ง Simplex
2. ปรับสวิตช์ Transmission Line ไปที่ตำแหน่ง No connect
3. ปรับสวิตช์ Digital Data in ไปที่ตำแหน่ง Simplex
4. เปิดสวิตช์ Power
5. ป้อนสัญญาณคลื่นจตุรัส ความถี่ 64 kHz ขนาด 4 Vp-p โดยปรับ Off Set แรงดันของสัญญาณนาฬิกาจากฟังก์ชันเจนเนอเรเตอร์เข้าที่ตำแหน่งอินพุตของสัญญาณนาฬิกา
6. ป้อนสัญญาณคลื่นไซน์ ความถี่ 1 kHz ขนาด 0.4 Vp-p เข้าที่อินพุต 1
7. ทำการเชื่อมต่อระหว่างจุดทดสอบที่ 3 กับจุดทดสอบที่ 4
8. ใช้ออสซิลโลสโคปวัดสัญญาณที่จุดทดสอบต่างๆ

### 4.2.2 ผลการทดลอง

ผลการทดลองที่ได้จากการมอดูเลตและดีมอดูเลตแบบเคลตาได้แก่จุดทดสอบที่ 1 ถึง 6 TP<sub>1</sub> สัญญาณแอนะล็อกอินพุตซึ่งมีความถี่เท่ากับ 1 kHz ขนาด 0.4 Vp-p

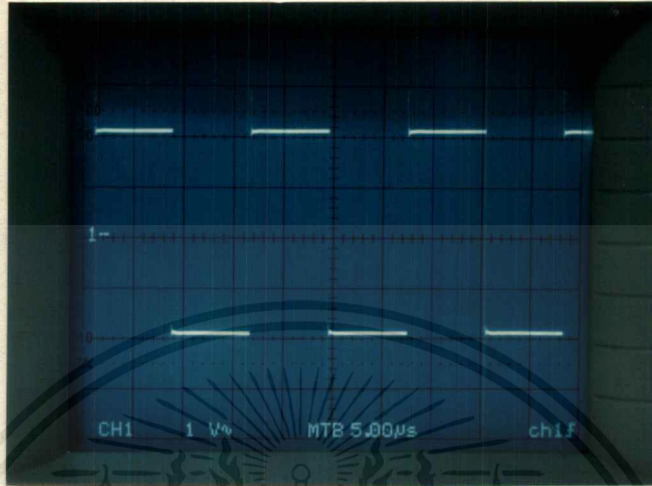


VOLTS / DIV = 0.1 V TIME / DIV = 500  $\mu$ S

รูปที่ 4.5 สัญญาณแอนะล็อกอินพุตความถี่ 1 kHz ขนาด 0.4 Vp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TP<sub>2</sub> สัญญาณนาฬิกาของวงจรมอดูเลตแบบเคลตา ความถี่ 64 kHz ขนาด 4 Vp-p



VOLTS / DIV = 1 V TIME / DIV = 5 μS

รูปที่ 4.6 สัญญาณนาฬิกาความถี่ 64 kHz ขนาด 4 Vp-p

TP<sub>3</sub> สัญญาณเอาต์พุตของวงจรมอดูเลตแบบเคลตา

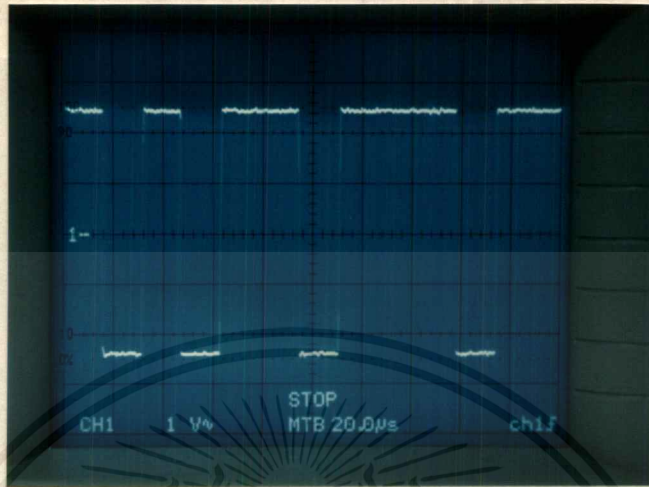


VOLTS / DIV = 1 V TIME / DIV = 20 μS

รูปที่ 4.7 สัญญาณเอาต์พุตของวงจรมอดูเลตแบบเคลตา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

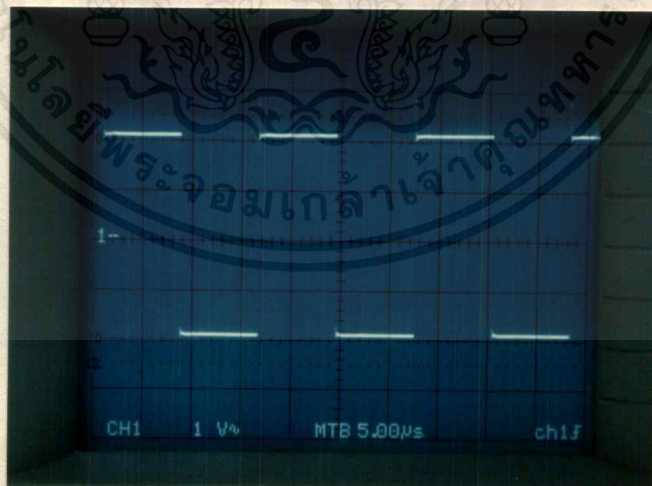
TP<sub>4</sub> สัญญาณอินพุตของวงจรคิมอตุเลตแบบเคลตา



VOLTS / DIV = 1 V TIME / DIV = 20  $\mu$ S

รูปที่ 4.8 สัญญาณอินพุตของวงจรคิมอตุเลตแบบเคลตา

TP<sub>5</sub> สัญญาณนาฬิกาของวงจรคิมอตุเลตแบบเคลตาซึ่งมีความถี่เท่ากับสัญญาณที่ TP<sub>2</sub>

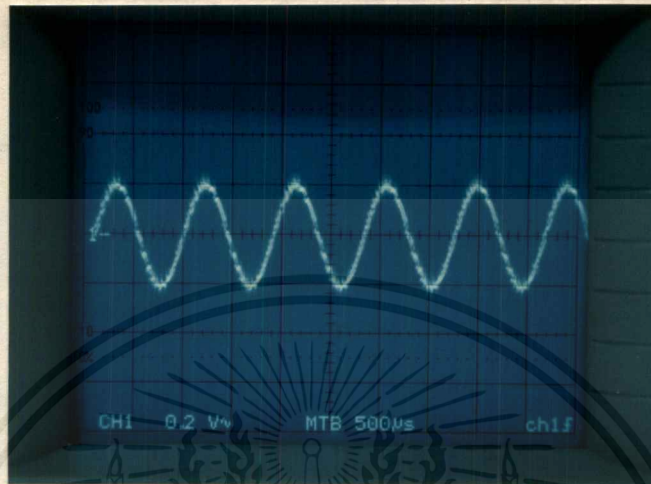


VOLTS / DIV = 1 V TIME / DIV = 5  $\mu$ S

รูปที่ 4.9 สัญญาณนาฬิกาความถี่ 64 kHz ขนาด 4 Vp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TP<sub>6</sub> สัญญาณแอนะล็อกเอาต์พุตซึ่งมีความถี่เท่ากับสัญญาณที่ TP<sub>1</sub>



VOLTS / DIV = 0.2 V TIME / DIV = 500  $\mu$ S

รูปที่ 4.10 สัญญาณแอนะล็อกเอาต์พุตความถี่ 1 kHz ขนาด 0.4 Vp-p

### 4.3 การทดลองการส่งสัญญาณแบบซิมเพล็กซ์

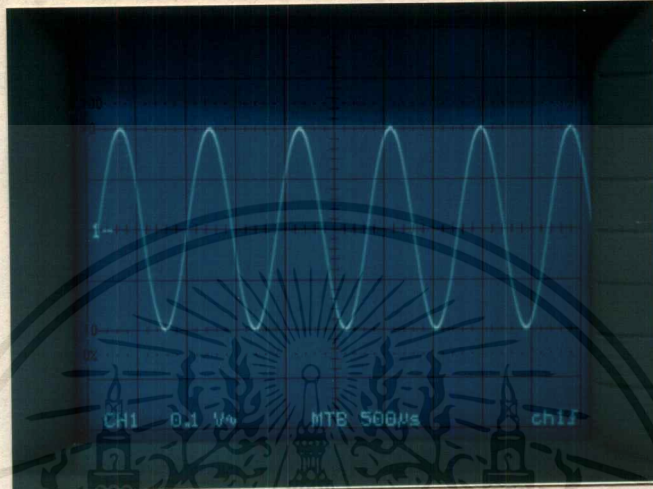
#### 4.3.1 ลำดับขั้นตอนการทดลอง

1. ต่อสายนำสัญญาณแบบโลหะเข้าที่ Coax Tx<sub>1</sub> กับ Coax Rx<sub>2</sub>
2. ปรับสวิตช์ System ไปอยู่ที่ตำแหน่ง Simplex
3. ปรับสวิตช์ Transmission Line ไปอยู่ที่ตำแหน่ง Coaxial Cable
4. ปรับสวิตช์ Digital Data in ไปอยู่ที่ตำแหน่ง Simplex
5. เปิดสวิตช์ Power
6. ป้อนสัญญาณคลื่นจตุรัส ความถี่ 64 kHz ขนาด 4 Vp-p โดยปรับ Offset แรงดันของสัญญาณนาฬิกาจากฟังก์ชันเจนเนอเรเตอร์เข้าที่ตำแหน่งอินพุตของสัญญาณนาฬิกา
7. ป้อนสัญญาณคลื่นไซน์ ความถี่ 1 kHz ขนาด 0.4 Vp-p เข้าที่อินพุต 1
8. ใช้ออสซิลโลสโคปวัดสัญญาณที่จุดทดสอบต่างๆ

### 4.3.2 ผลการทดลอง

ผลการทดลองที่ได้จากการส่งสัญญาณแบบ Simplex ผ่านสายนำสัญญาณแบบโลหะได้แก่ จุดทดสอบที่ 1 ถึง 6

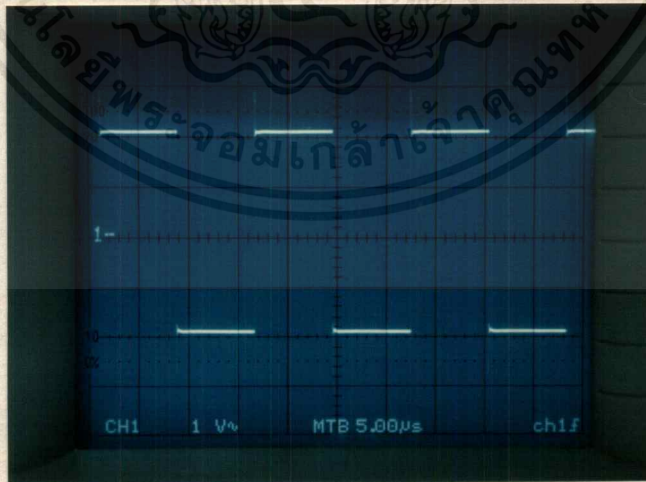
TP<sub>1</sub> สัญญาณแอนะล็อกอินพุตซึ่งมีความถี่เท่ากับ 1 kHz ขนาด 0.4 Vp-p



VOLTS / DIV = 0.1 V TIME / DIV = 500  $\mu$ S

รูปที่ 4.11 สัญญาณแอนะล็อกอินพุตความถี่ 1 kHz ขนาด 0.4 Vp-p

TP<sub>2</sub> สัญญาณนาฬิกาของวงจรมอดูเลตแบบเดลตา ความถี่ 64 kHz ขนาด 4 Vp-p

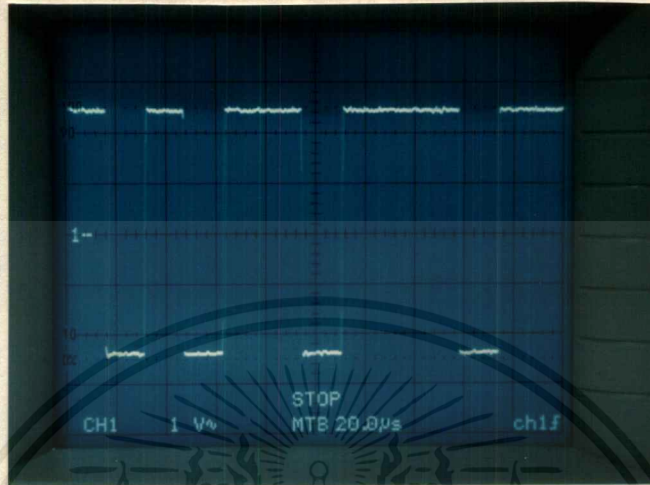


VOLTS / DIV = 1 V TIME / DIV = 5  $\mu$ S

รูปที่ 4.12 สัญญาณนาฬิกาของวงจรมอดูเลตความถี่ 64 kHz ขนาด 4 Vp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

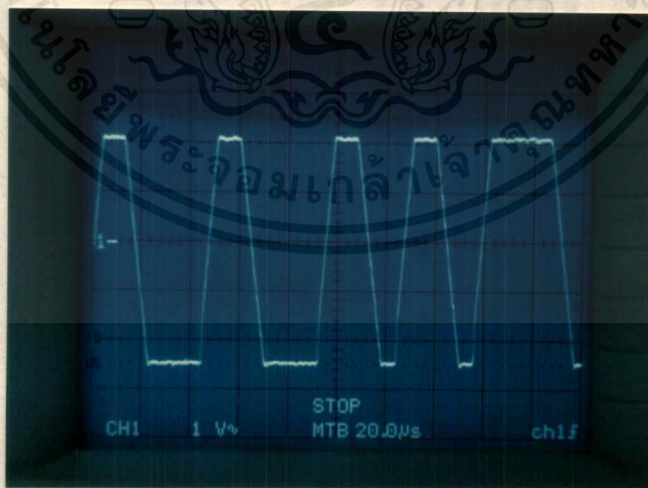
TP<sub>3</sub> สัญญาณเอาต์พุตของวงจรมอดูเลตแบบเคลตา



VOLTS / DIV = 1 V TIME / DIV = 20 μS

รูปที่ 4.13 สัญญาณเอาต์พุตของวงจรมอดูเลตแบบเคลตา

TP<sub>4</sub> สัญญาณอินพุตของวงจรมอดูเลตแบบเคลตา

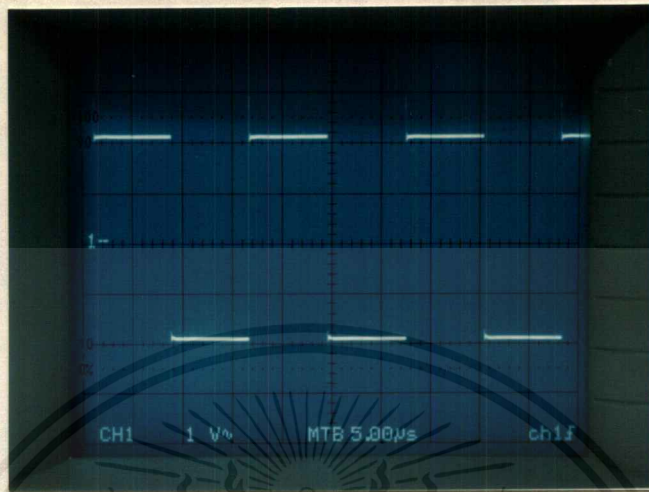


VOLTS / DIV = 1 V TIME / DIV = 20 μS

รูปที่ 4.14 สัญญาณอินพุตของวงจรมอดูเลตแบบเคลตา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

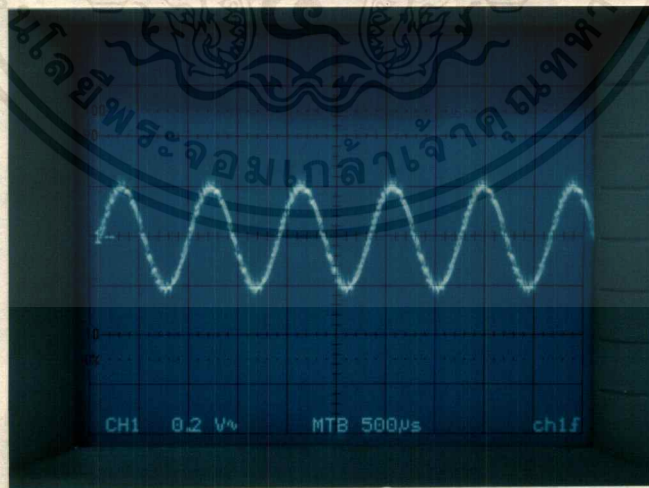
TP<sub>5</sub> สัญญาณนาฬิกาของวงจรตีมอดูเลตแบบเคลตาซึ่งมีความถี่เท่ากับสัญญาณที่ TP<sub>2</sub>



VOLTS / DIV = 1 V TIME / DIV = 5  $\mu$ S

รูปที่ 4.15 สัญญาณนาฬิกาความถี่ 64 kHz ขนาด 4 Vp-p

TP<sub>6</sub> สัญญาณแอนะล็อกเอาต์พุตซึ่งมีความถี่เท่ากับสัญญาณที่ TP<sub>1</sub>



VOLTS / DIV = 0.2 V TIME / DIV = 500  $\mu$ S

รูปที่ 4.16 สัญญาณแอนะล็อกเอาต์พุตความถี่ 1 kHz ขนาด 0.4 Vp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 4.4 การทดลองการส่งสัญญาณแบบฮาร์ฟดูเพล็กซ์

### 4.4.1 ลำดับขั้นการทดลอง

1. ต่อสายนำสัญญาณแบบโลหะเข้าที่ Coax Tx<sub>1</sub> กับ Coax Rx<sub>2</sub> และ Coax Tx<sub>2</sub> กับ Coax Rx<sub>1</sub>

2. ปรับสวิตช์ Transmission Line ไปอยู่ที่ตำแหน่ง Coaxial Cable

3. ปรับสวิตช์ Digital Data in ไปอยู่ที่ตำแหน่ง Half Duplex

4. เปิดสวิตช์ Power

5. ป้อนสัญญาณคลื่นจัตุรัสความถี่ 64 kHz ขนาด 4 Vp-p โดยการปรับแรงดัน (Offset) จากฟังก์ชันเจนเนอเรเตอร์เข้าที่อินพุตของสัญญาณนาฬิกา

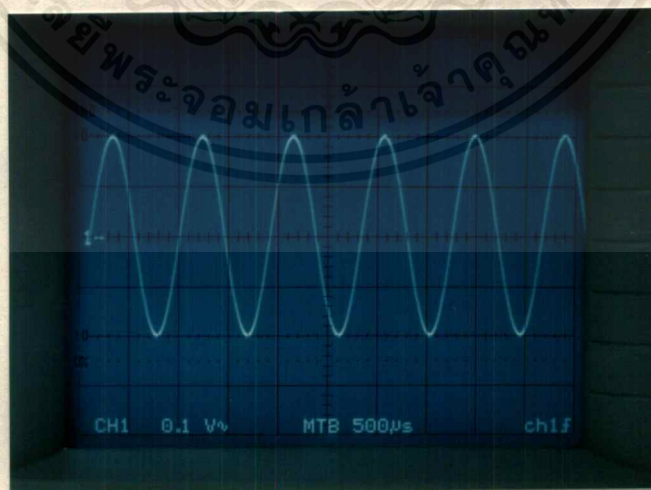
6. ใช้ฟังก์ชันเจนเนอเรเตอร์ตัวที่ 2, 3 ป้อนสัญญาณคลื่นไซน์ ความถี่ 1 kHz ขนาด 0.4 Vp-p เข้าที่อินพุต 1 และ 2 ตามลำดับ

7. ใช้ออสซิลโลสโคปวัดสัญญาณที่จุดทดสอบต่างๆ

### 4.4.2 ผลการทดลอง

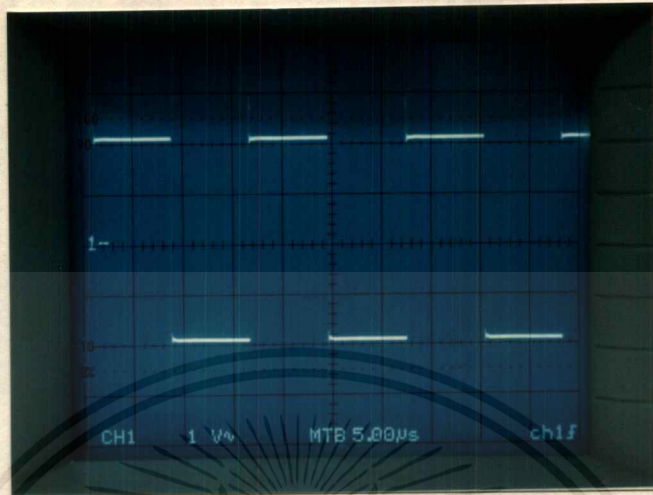
ผลการทดลองที่ได้จากการส่งสัญญาณแบบ Half Duplex ผ่านสายนำสัญญาณแบบโลหะได้แก่จุดทดสอบที่ 7 ถึง 19

TP<sub>7</sub> สัญญาณแอนะล็อก ความถี่ 1 kHz ขนาด 0.4 Vp-p



รูปที่ 4.17 สัญญาณแอนะล็อก ความถี่ 1 kHz ขนาด 0.4 Vp-p

TP<sub>8</sub> สัญญาณนาฬิกา ความถี่ 64 kHz ขนาด 4 Vp-p



VOLTS / DIV = 1 V TIME / DIV = 5  $\mu$ S

รูปที่ 4.18 สัญญาณนาฬิกา ความถี่ 64 kHz ขนาด 4 Vp-p

กดสวิตช์ S<sub>1</sub>

TP<sub>9</sub> สัญญาณเอาต์พุตของวงจรมอดูเลต

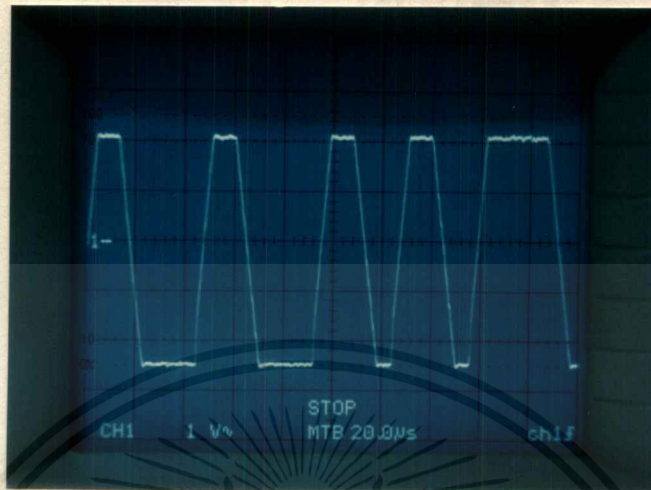


VOLTS / DIV = 1 V TIME / DIV = 20  $\mu$ S

รูปที่ 4.19 สัญญาณเอาต์พุตของวงจรมอดูเลต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

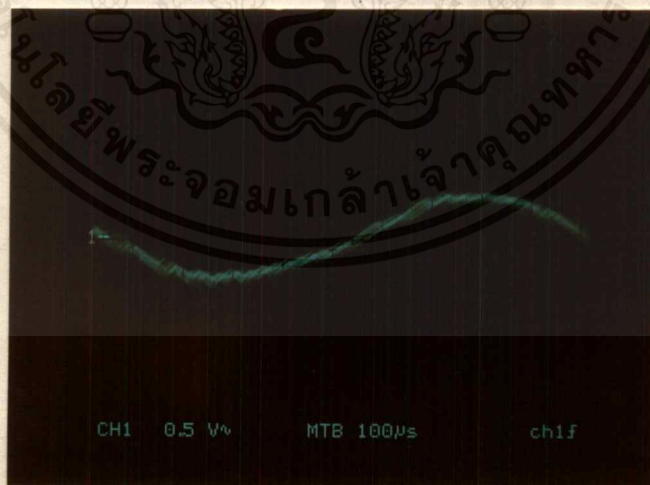
TP<sub>10</sub> สัญญาณอินพุตของวงจรมอดูเลต



VOLTS / DIV = 1 V TIME / DIV = 20 μs

รูปที่ 4.20 สัญญาณอินพุตของวงจรมอดูเลต

TP<sub>11</sub> สัญญาณเอาต์พุตของวงจรมอดูเลต

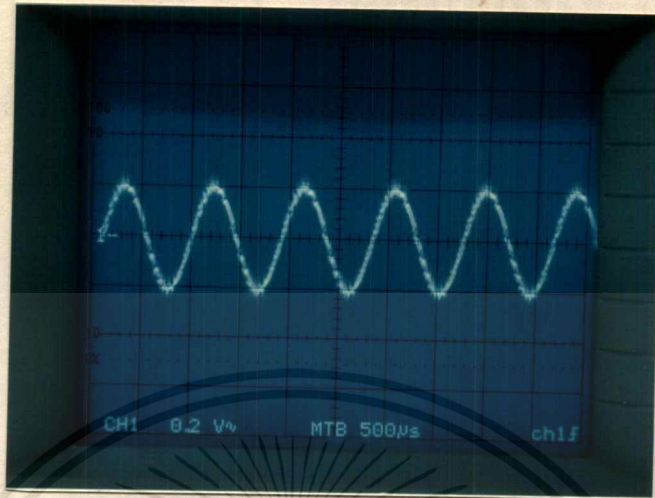


VOLTS / DIV = 0.5 V TIME / DIV = 100 μs

รูปที่ 4.21 สัญญาณเอาต์พุตของวงจรมอดูเลต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

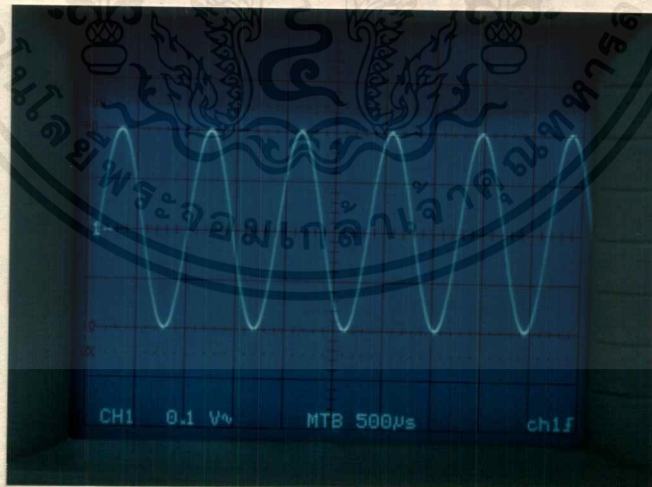
TP<sub>12</sub> สัญญาณแอนะล็อกเอาต์พุต



VOLTS / DIV = 0.2 V TIME / DIV = 500  $\mu$ S

รูปที่ 4.22 สัญญาณแอนะล็อกเอาต์พุต

TP<sub>14</sub> สัญญาณแอนะล็อกอินพุต ความถี่ 1 kHz ขนาด 0.4 Vp-p

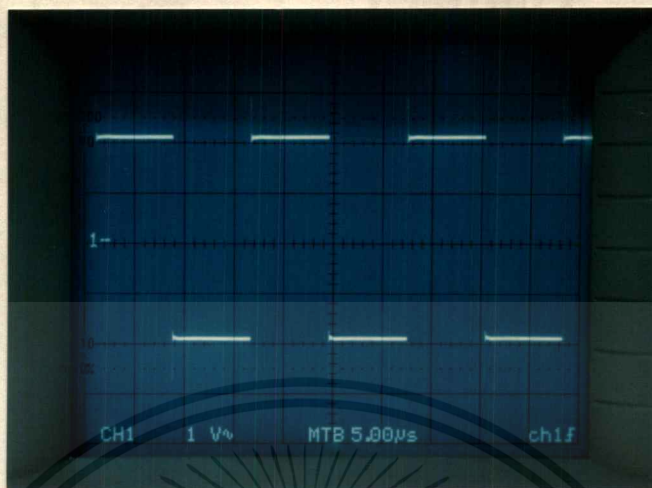


VOLTS / DIV = 0.1 V TIME / DIV = 500  $\mu$ S

รูปที่ 4.23 สัญญาณแอนะล็อกอินพุต ความถี่ 1 kHz ขนาด 0.4 Vp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TP<sub>13</sub> สัญญาณนาฬิกา ความถี่ 64 kHz ขนาด 4 Vp-p

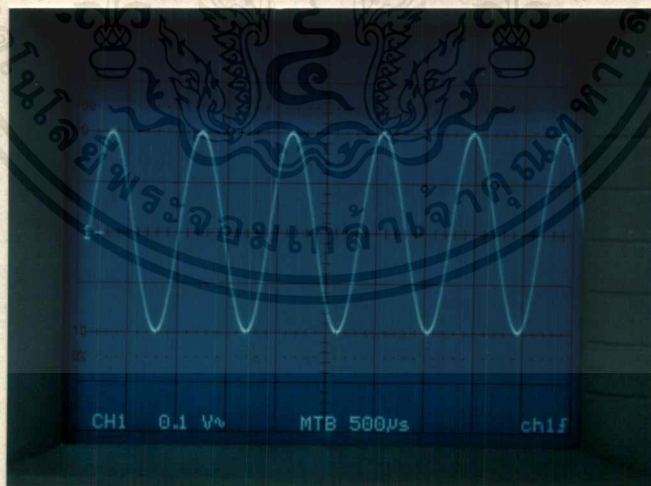


VOLTS / DIV = 1 V TIME / DIV = 5  $\mu$ S

รูปที่ 4.24 สัญญาณนาฬิกา ความถี่ 64 kHz ขนาด 4 Vp-p

กดสวิตช์ S<sub>2</sub>

TP<sub>15</sub> สัญญาณอินพุตของวงจรมอดูเลต

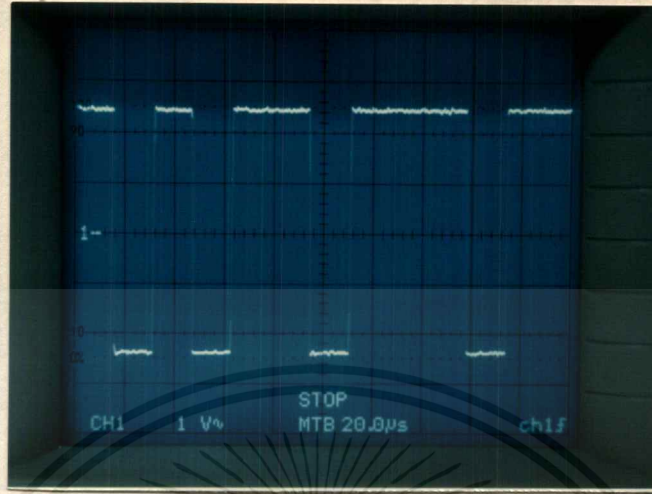


VOLTS / DIV = 0.1 V TIME / DIV = 500  $\mu$ S

รูปที่ 4.25 สัญญาณอินพุตของวงจรมอดูเลต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

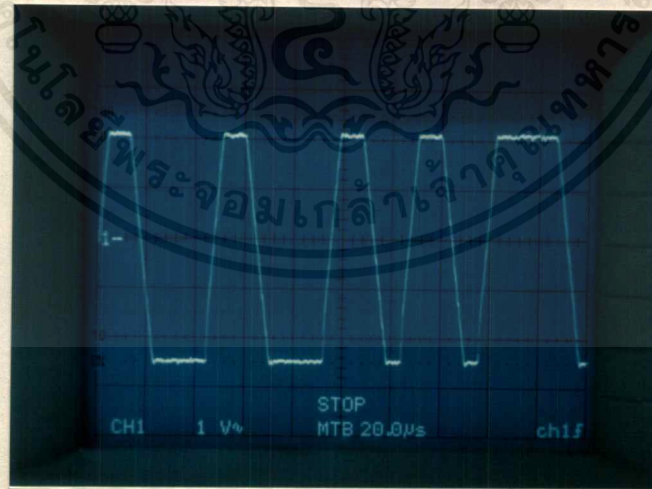
TP<sub>16</sub> สัญญาณเอาต์พุตของวงจรมอดูเลต



VOLTS / DIV = 1 V TIME / DIV = 20 μS

รูปที่ 4.26 สัญญาณเอาต์พุตของวงจรมอดูเลต

TP<sub>17</sub> สัญญาณอินพุตของวงจรมอดูเลต

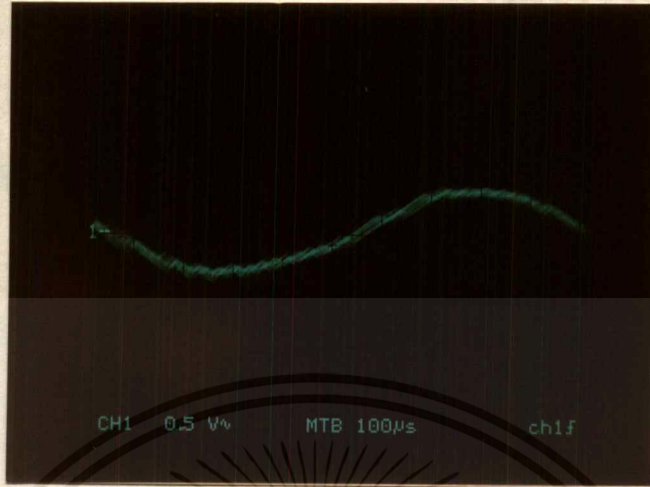


VOLTS / DIV = 1 V TIME / DIV = 20 μS

รูปที่ 4.27 สัญญาณอินพุตของวงจรมอดูเลต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

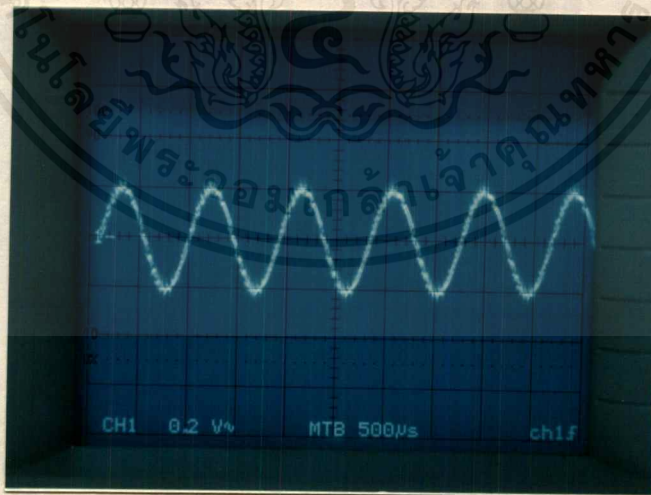
TP<sub>18</sub> สัญญาณเอาต์พุตของวงจรมอดูเลต



VOLTS / DIV = 0.5 V TIME / DIV = 100  $\mu$ s

รูปที่ 4.28 สัญญาณเอาต์พุตของวงจรมอดูเลต

TP<sub>19</sub> สัญญาณแอนะล็อกเอาต์พุต



VOLTS / DIV = 0.2 V TIME / DIV = 500  $\mu$ s

รูปที่ 4.29 สัญญาณแอนะล็อกเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

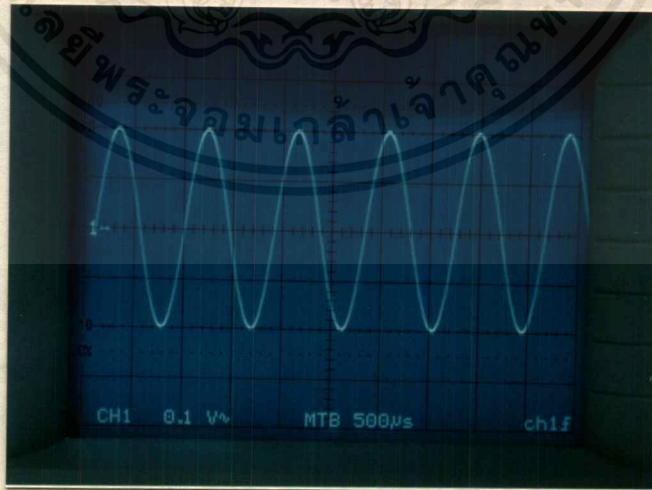
## 4.5 การทดลองการส่งสัญญาณแบบพูลดูเพล็กซ์

### 4.5.1 ลำดับขั้นการทดลอง

1. ต่อสายนำสัญญาณแบบโลหะเข้าที่ Coax Tx<sub>1</sub> กับ Coax Rx<sub>2</sub> และ Coax Tx<sub>2</sub> กับ Coax Rx<sub>1</sub>
2. ปรับสวิตช์ Transmission Line ไปอยู่ที่ตำแหน่ง Coaxial Cable
3. ปรับสวิตช์ Digital Data in ไปอยู่ที่ตำแหน่ง Full Duplex
4. เปิดสวิตช์ Power
5. ป้อนสัญญาณคลื่นจัตุรัสความถี่ 64 kHz ขนาด 4 Vp-p โดยการปรับ Offset แรงดันจากฟังก์ชันเจนเนอเรเตอร์เข้าที่ตำแหน่งอินพุตของสัญญาณนาฬิกา
6. ใช้ฟังก์ชันเจนเนอเรเตอร์ตัวที่ 2,3 ป้อนสัญญาณคลื่นไซน์ความถี่ 1 kHz ขนาด 0.4 Vp-p เข้าที่อินพุต 1 และ 2 ตามลำดับ
7. ใช้ออสซิลโลสโคปวัดสัญญาณที่จุดทดสอบต่างๆ

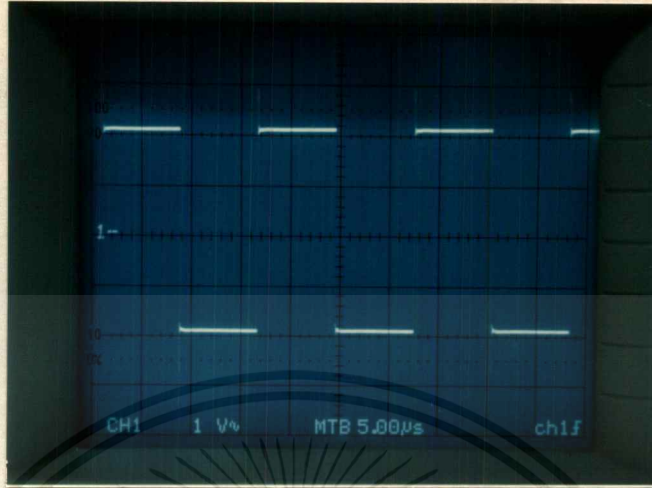
### 4.5.2 ผลการทดลอง

ผลการทดลองที่ได้จากการส่งสัญญาณแบบ Full Duplex ผ่านสายนำสัญญาณแบบโลหะได้แก่จุดทดสอบที่ 7 ถึง 19 TP<sub>7</sub> สัญญาณแอมพลิจูด ความถี่ 1 kHz ขนาด 0.4 Vp-p



รูปที่ 4.30 สัญญาณแอมพลิจูด ความถี่ 1 kHz ขนาด 0.4 Vp-p

TP<sub>8</sub> สัญญาณนาฬิกา ความถี่ 64 kHz ขนาด 4 Vp-p



รูปที่ 4.31 สัญญาณนาฬิกา ความถี่ 64 kHz ขนาด 4 Vp-p

กดสวิตช์ S<sub>1</sub>

TP<sub>9</sub> สัญญาณเอาต์พุตของวงจรมอดูเลต

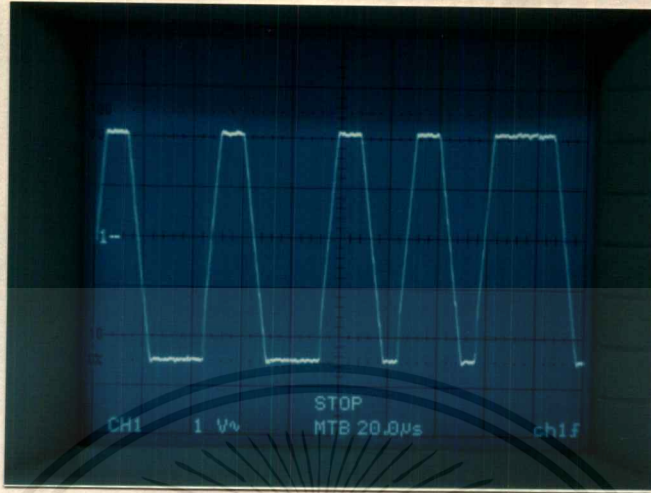


VOLTS / DIV = 1 V TIME / DIV = 20 μs

รูปที่ 4.32 สัญญาณเอาต์พุตของวงจรมอดูเลต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TP<sub>10</sub> สัญญาณอินพุตของวงจรมอดูเลต



VOLTS / DIV = 1 V TIME / DIV = 20 μs

รูปที่ 4.33 สัญญาณอินพุตของวงจรมอดูเลต

TP<sub>11</sub> สัญญาณเอาต์พุตของวงจรมอดูเลต

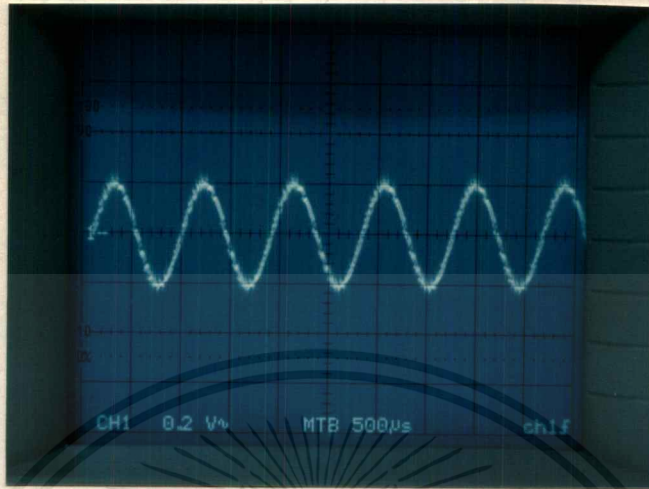


VOLTS / DIV = 0.5 V TIME / DIV = 100 μs

รูปที่ 4.34 สัญญาณเอาต์พุตของวงจรมอดูเลต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

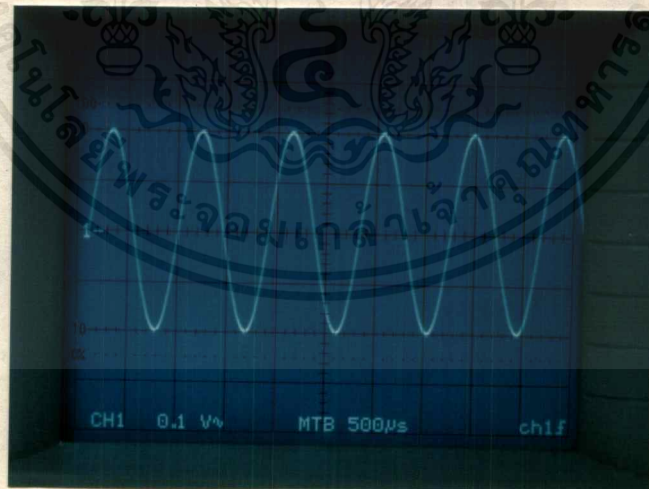
TP<sub>12</sub> สัญญาณแอนะล็อกเอาต์พุต



VOLTS / DIV = 0.2 V TIME / DIV = 500  $\mu$ S

รูปที่ 4.35 สัญญาณแอนะล็อกเอาต์พุต

TP<sub>14</sub> สัญญาณแอนะล็อกอินพุต ความถี่ 1 kHz ขนาด 0.4 Vp-p

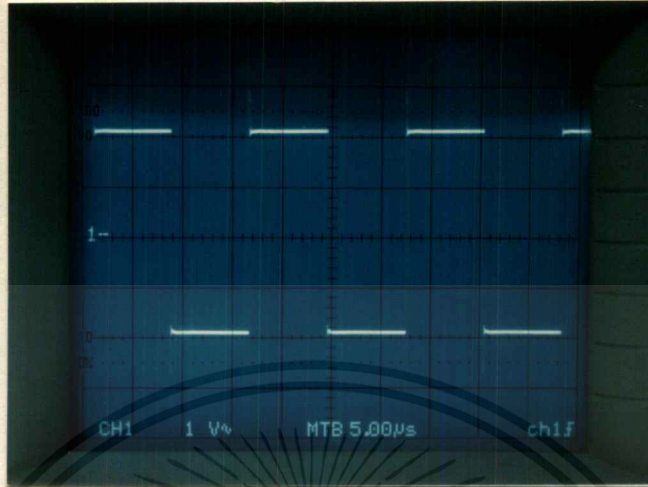


VOLTS / DIV = 0.1 V TIME / DIV = 500  $\mu$ S

รูปที่ 4.36 สัญญาณแอนะล็อกอินพุต ความถี่ 1 kHz ขนาด 0.4 Vp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TP<sub>13</sub> สัญญาณนาฬิกา ความถี่ 64 kHz ขนาด 4 Vp-p

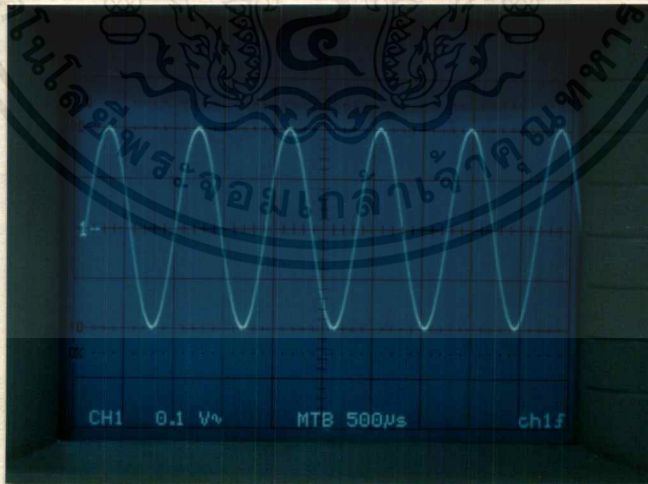


VOLTS / DIV = 1 V TIME / DIV = 5  $\mu$ S

รูปที่ 4.37 สัญญาณนาฬิกา ความถี่ 64 kHz ขนาด 4 Vp-p

กดสวิตช์ S<sub>2</sub>

TP<sub>15</sub> สัญญาณอินพุตของวงจรมอดูเลต

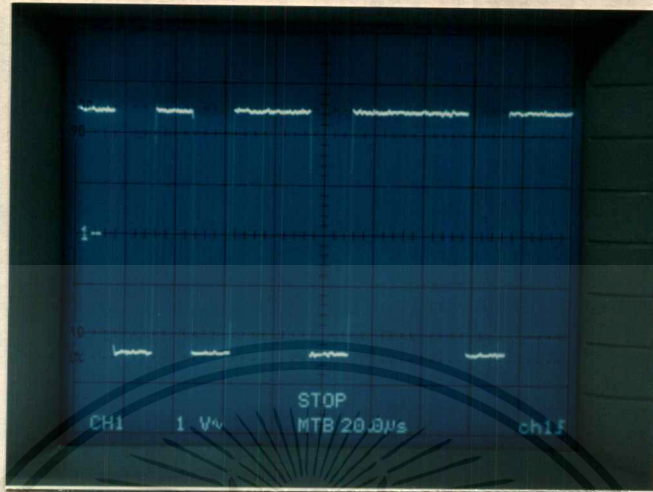


VOLTS / DIV = 0.1 V TIME / DIV = 500  $\mu$ S

รูปที่ 4.38 สัญญาณอินพุตของวงจรมอดูเลต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

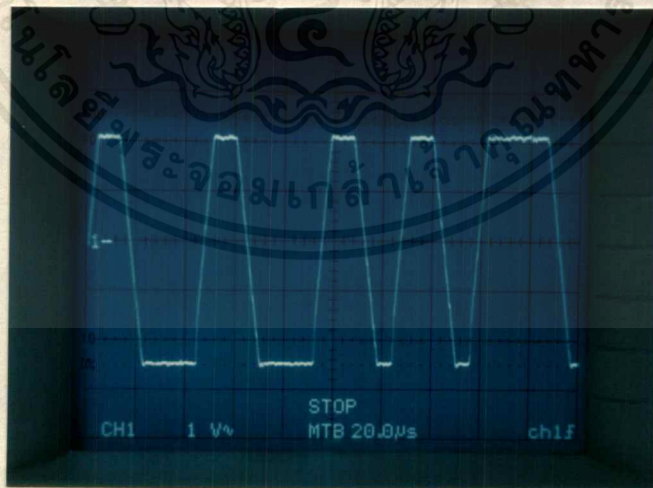
TP<sub>16</sub> สัญญาณเอาต์พุตของวงจรมอดูเลต



VOLTS / DIV = 1 V TIME / DIV = 20  $\mu$ S

รูปที่ 4.39 สัญญาณเอาต์พุตของวงจรมอดูเลต

TP<sub>17</sub> สัญญาณอินพุตของวงจรมอดูเลต

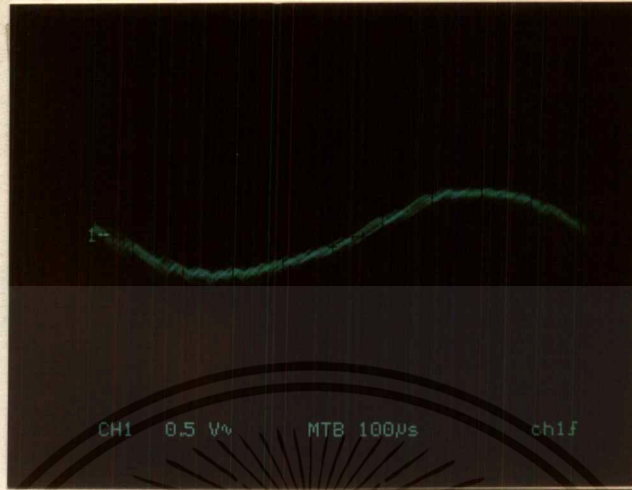


VOLTS / DIV = 1 V TIME / DIV = 20  $\mu$ S

รูปที่ 4.40 สัญญาณอินพุตของวงจรมอดูเลต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

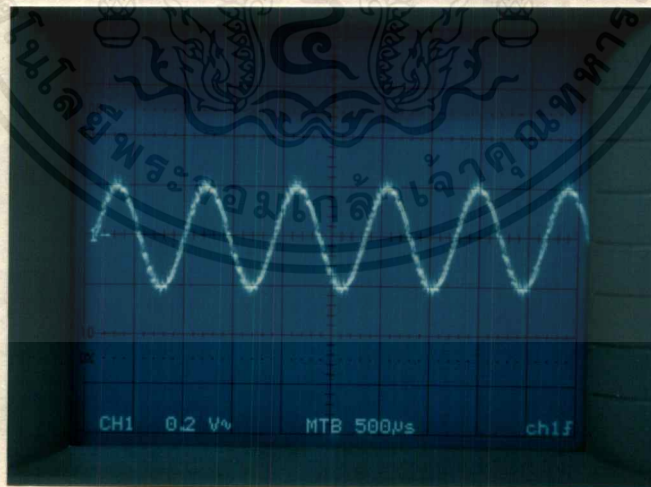
TP<sub>18</sub> สัญญาณเอาต์พุตของวงจรดีมอดูเลต



VOLTS / DIV = 0.5 V TIME / DIV = 100  $\mu$ s

รูปที่ 4.41 สัญญาณเอาต์พุตของวงจรดีมอดูเลต

TP<sub>19</sub> สัญญาณแอนะล็อกเอาต์พุต



VOLTS / DIV = 0.2 V TIME / DIV = 500  $\mu$ s

รูปที่ 4.42 สัญญาณแอนะล็อกเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 5

### บทสรุป ปัญหา แนวทางแก้ไข และพัฒนา

#### 5.1 บทสรุป

ชุดทดลองปฏิบัติการมอดูเลตแบบเคลตาส่งผ่านสายนำสัญญาณแบบโลหะ ที่จัดทำขึ้นแบ่งออกเป็น 3 ส่วนที่สำคัญ คือ

ส่วนที่ 1 คือ การทดลองการมอดูเลต และคีมอดูเลตสัญญาณแบบเคลตา ส่งสัญญาณแบบ Simplex

ส่วนที่ 2 คือ การทดลองการมอดูเลต และคีมอดูเลตแบบเคลตาส่งสัญญาณ แบบ Half Duplex

ส่วนที่ 3 คือ การทดลองการมอดูเลต และคีมอดูเลตแบบเคลตาส่งสัญญาณ แบบ Full Duplex

โดยการมอดูเลตแบบเคลตา สามารถผลิตสัญญาณได้อย่างถูกต้อง และการคีมอดูเลตสัญญาณจะได้สัญญาณที่มีความผิดเพี้ยนจากสัญญาณเดิมเล็กน้อย

#### 5.2 ปัญหาที่เกิดขึ้นในการจัดทำโครงการ

ในการจัดทำโครงการชุดทดลอง สามารถที่จะสรุปปัญหาที่เกิดขึ้นได้ดังนี้

1. ข้อมูลเกี่ยวกับทฤษฎีของ DM มีน้อย
2. ไอซีเคลตามอดูเลชันต้องการสัญญาณนาฬิกาที่เป็นสัญญาณทางด้านบวกเท่านั้น ถ้าป้อนสัญญาณนาฬิกาทั้งด้านบวก และลบให้ได้แก่ไอซี จะทำให้ไอซีเสียหายได้
3. อุปกรณ์รับ และส่งแสงต้องสั่งซื้อจากต่างประเทศ
4. ข้อมูลรายละเอียดของอุปกรณ์รับ และส่งแสงที่ได้มากับอุปกรณ์รับ และส่งแสงไม่ได้บอกตำแหน่งขาอุปกรณ์มาให้
5. อุปกรณ์ในวงจรบางตัวไม่มีจำหน่ายในท้องตลาด
6. การทดลองวงจรบนไฟโต้บอร์ดจะเกิดสัญญาณรบกวนมาก
7. การปรับแต่งวงจรในบางส่วนทำได้ยาก และการตรวจสอบสัญญาณในบางจุดไม่สามารถทำได้ เนื่องจากใช้ไอซีที่จัดทำขึ้นใช้สำหรับการทำงานนั้น โดยตรง สัญญาณที่ได้จาก

การมอดูเลตแบบเดลตาจะถูกลดทอนระดับแรงดันลง เมื่อผ่าน Low Pass Filter ซึ่งจะทำให้รูปสัญญาณสั้น อาการสั้นนี้เกิดจากความไม่เสถียรภาพของ Function generator ซึ่งไม่สามารถแก้ไขได้

### 5.3 แนวทางการแก้ไข และการพัฒนา

แนวทางแก้ไข และพัฒนาชุดทดลองมีดังนี้

1. จัดหาข้อมูลเกี่ยวกับทฤษฎีของ DM จากหนังสือภาษาอังกฤษ และจาก Internet
2. ป้อนสัญญาณนาฬิกาเฉพาะที่เป็นบวกให้แก่ไอซี DM เท่านั้น โดยการปรับค่าระดับแรงดันออฟเซตสัญญาณนาฬิกาที่ฟังก์ชันเจนเนอเรเตอร์
3. อุปกรณ์ในวงจรบางตัวที่ไม่มีจำหน่ายในท้องตลาด ก็ให้ใช้อุปกรณ์ที่มีค่าใกล้เคียง และมีค่าความผิดพลาดต่ำ
4. การทดลองให้ทดลองบนวงจรพิมพ์เพื่อแก้ปัญหาสัญญาณรบกวน
5. การออกแบบลายวงจร ต้องคำนึงถึงผลของลายวงจรพิมพ์ซึ่งมีผลกระทบต่อความถี่ ซึ่งทำให้เกิดการผิดเพี้ยนของสัญญาณได้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## การทดลองที่ 1

### เรื่อง การส่งสัญญาณผ่านสายนำสัญญาณแบบโลหะ

#### วัตถุประสงค์

1. อธิบายหลักการส่งสัญญาณผ่านสายนำสัญญาณแบบโลหะได้
2. บอกถึงข้อดีข้อเสียของการส่งสัญญาณผ่านสายนำสัญญาณแบบโลหะได้

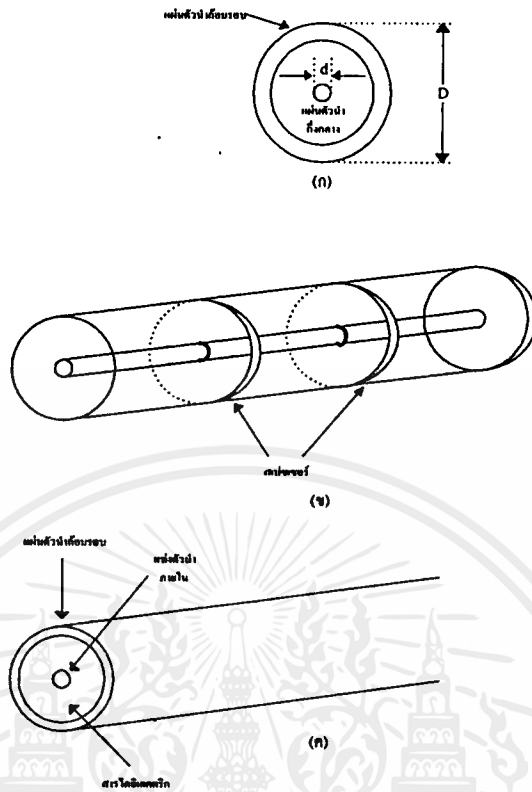
#### เครื่องมือ และอุปกรณ์

- |  |           |
|--|-----------|
| 1. ชุดทดลองปฏิบัติการมอดูเลตสัญญาณแบบเคเลตาส่งผ่านสายนำสัญญาณแบบโลหะ | 1 เครื่อง |
| 2. ออสซิลโลสโคป  | 1 เครื่อง |
| 3. ฟังก์ชันเจนเนอเรเตอร์   | 1 เครื่อง |
| 4. สายนำสัญญาณ โลหะ  | 1 เส้น    |

#### ทฤษฎี และหลักการ

##### สายโคแอกเชียล

สายโคแอกเชียลเป็นสายที่ใช้ในความถี่สูงๆ ที่นำมาใช้แทนสายคู่ขนาน สายโคแอกเชียลนี้ประกอบด้วยตัวนำ 2 เส้นขนานเช่นเดิม แต่ตัวนำภายนอกจะเปลี่ยนรูปเป็นแผ่นตัวนำล้อมรอบแท่งตัวนำที่เหลื่อ ซึ่งวางในแนวศูนย์กลางใช้แกนร่วมกัน ดังแสดงในรูปที่ 1 (ก) แท่งตัวนำภายในจะจัดให้อยู่แนวศูนย์กลางได้ด้วยโคอิเลคตริกสเปซเซอร์ ดังรูปที่ 1 (ข) หรือจะใช้สารโคอิเลคตริกอัดแน่นเพื่อบังคับให้แท่งตัวนำวางในแนวศูนย์กลาง ดังรูปที่ 1 (ค) ก็ได้ สายโคแอกเชียลที่ใช้งานมีด้วยกันหลายแบบ แบ่งออกเป็นประเภทหลัก ๆ ได้ตามลักษณะรูปร่างภายนอก คือแบบ Flexible, Semirigid, และ Rigid



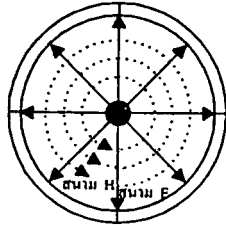
รูปที่ 1 (ก) สายโคแอกเซียล

(ข) แบบใช้ไดอิเล็กตริกสเปซเซอร์

(ค) แบบใช้โซลิตไดอิเล็กตริก

### การส่งคลื่นในสายโคแอกเซียล

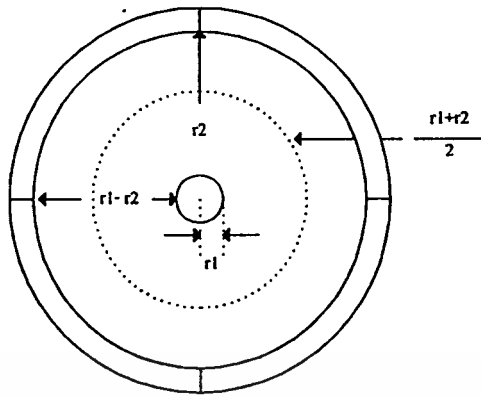
สายโคแอกเซียล โดยแท้จริงเป็นการดัดแปลงมาจายสายแบบคู่ขนานนั่นเอง ฉะนั้นมันจึงสามารถรับส่งคลื่น TEM ได้ และเรียกโหมดการส่งคลื่น TEM นี้ว่า โหมดหลัก (Principal mode) หรือ โหมดเด่น (Dominant mode)



มองเข้าทางปลายสายโคแอกเซียล

## รูปที่ 2 การกระจายของสนามไฟฟ้า และสนามแม่เหล็กในสายโคแอกเซียล

การส่งกำลังไฟฟ้า (หรือคลื่นแม่เหล็กไฟฟ้า) ไปในสายโคแอกเซียลนั้นกระทำโดยอาศัยการเดินทางของคลื่นแรงดันและคลื่นกระแส ซึ่งเป็นผลให้เกิดสนามไฟฟ้า และสนามแม่เหล็กขึ้นภายในสาย ดังรูปที่ 2 เส้นทึบแสดงไฟฟ้า เส้นประแสดงสนามแม่เหล็ก สนามไฟฟ้า E จะเกิดลักษณะเป็นรัศมีกระจายออกจากแท่งตัวนำศูนย์กลางภายในไปยังตัวนำภายนอกที่ล้อมอยู่ และจากตัวนำภายนอกพุ่งเข้าสู่ตัวนำศูนย์กลางภายในสลับกันไป ส่วนในสนามแม่เหล็ก H จะเกิดล้อมรอบแท่งตัวนำศูนย์กลางภายใน ทำมุมฉากกับสนามไฟฟ้า E สนามแม่เหล็กจะเกิดเป็นวงกลม มีศูนย์กลางร่วมกับตัวนำทั้งสองจากแท่งตัวนำภายในขยายออกเป็นวงกว้างไปสู่ตัวนำภายนอก ทิศทางการแพร่กระจายของคลื่นไปตามความยาวของสายนั้น หากมาจาก พอยน์ต์แควเตอร์ คลื่นแม่เหล็กไฟฟ้าจะแพร่กระจายไปตามที่ว่าง ระหว่างตัวนำทั้งสอง โดยที่ความเข้มของสนามไฟฟ้าขึ้นอยู่กับความต่างศักย์ของแรงดันไฟฟ้าระหว่างตัวนำภายใน และตัวนำภายนอก ส่วนความเข้มของสนามแม่เหล็กขึ้นอยู่กับปริมาณของกระแสที่ไหลผ่านตัวนำ คลื่นแม่เหล็กไฟฟ้าแบบ TEM นี้ประกอบจากคลื่นสนามไฟฟ้า และคลื่นสนามแม่เหล็กที่เป็นรูปไซน์ ดังนั้น สนาม E และสนาม H จึงกลับทิศทางทุก ๆ ครึ่งความยาวคลื่น ดังแสดงไว้ในรูปที่ 3



รูปที่ 3 ทิศทางสนาม E และ H ที่แพร่กระจายไปตามสายโคแอกเซียล

สำหรับค่าความยาวคลื่นของคลื่นแม่เหล็กไฟฟ้าที่เดินทางไปตามสายนั้น จะขึ้นอยู่กับค่าความถี่ของตัวมันเอง และค่าคงตัวไดอิเล็กตริก ระหว่างตัวนำทั้งสอง (ข้อจำกัดของสายโคแอกเซียลอยู่ที่การทนกำลังงานไฟฟ้าที่ความถี่สูงขึ้น) ดังนั้นสายโคแอกเซียล ซึ่งทำงานในโหมดหลัก หรือโหมด TEM จึงถือเป็นอุปกรณ์ที่ใช้งานในแถบความถี่กว้าง หรืออุปกรณ์บรอดแบนด์ (Broadband device) และค่าความยาวคลื่นของคลื่นแม่เหล็กไฟฟ้าในสายโคแอกเซียล คำนวณได้จากสมการที่ 1 คือ

$$\lambda = \frac{C}{\sqrt{\epsilon'} f} \quad (1)$$

จากสมการ จะเห็นว่า ถ้าสารไดอิเล็กตริกที่ใช้ในสายเป็นอากาศ ค่าความยาวคลื่นจะไม่เปลี่ยนแปลง คือเท่ากับค่าความยาวคลื่นในฟรีสเปซ แต่หากว่าใช้สารไดอิเล็กตริกอื่นนอกเหนือจากอากาศแล้ว ค่าความยาวคลื่นภายในจะลดลง

**การส่งคลื่นในโหมดที่สูงกว่าสำหรับสายโคแอกเซียล**

โหมดที่สูงกว่า หรือ ไฮเออร์ออร์เดอร์โหมด (Higher - order mode) จะเกิดได้เมื่อความยาวคลื่นที่ใช้มีค่าใกล้เคียงหรือเท่ากับขนาดทางกายภาพของสายโคแอกเซียล ซึ่งคิดภาพตัดขวาง โหมดที่สูงกว่าสามารถส่งคลื่นได้เฉพาะคลื่น TE หรือ TM โหมดการส่งคลื่นแบบนี้จะเกิดการไม่สม่ำเสมอ (Discontinuity) สำหรับค่าความยาวคลื่นต่ำสุด หรือความยาวคลื่นคัทออฟที่สามารถส่งคลื่น TE ไปตามสายโคแอกเซียล หาได้โดยใช้ระยะเส้นรอบวง ดังรูปที่ 4 (ก)

หารด้วยจำนวน  $n$  ( $n$  มีค่าตั้งแต่ 1,2,3...) ของครึ่งความยาวคลื่น ดังนั้นสำหรับโหมด TE จะได้ว่า

$$\begin{aligned}\lambda_{\text{cutoff}} &= \frac{2\pi}{n} \left\{ \frac{r_2 + r_1}{2} \right\} \\ &= \frac{\pi}{n} (r_2 + r_1)\end{aligned}\quad (2)$$

โดย

$\lambda_{\text{cutoff}}$  = ความยาวคลื่นคัทออฟ ,  $m$

$r_2$  = รัศมีด้านในของตัวนำภายนอก ,  $m$

$r_1$  = รัศมีด้านนอกของตัวนำภายใน ,  $m$

$n$  = 1,2,3 .... (จำนวนเท่าของครึ่งความยาวคลื่นวัตรอบวง

กลม ,  $n = 1$  ใช้สำหรับโหมดหลัก)

ส่วนค่าความยาวคลื่นคัทออฟในโหมด TM นั้นหาได้โดยสมการ

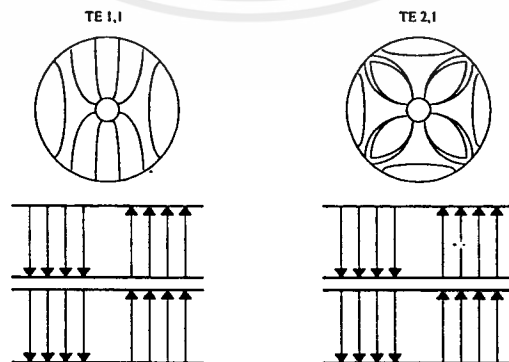
$$\lambda_{\text{cutoff}} = \frac{2}{m} (r_2 - r_1)$$

$\lambda_{\text{cutoff}}$  = ความยาวคลื่นคัทออฟ ,  $m$

$r_2$  = รัศมีด้านในของตัวนำภายนอก ,  $m$

$r_1$  = รัศมีด้านนอกของตัวนำภายใน ,  $m$

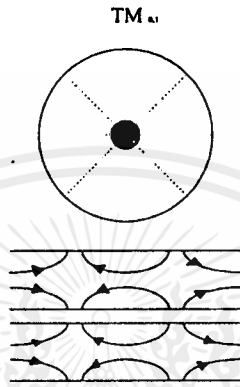
$m$  = 1,2,3 .... (จำนวนเท่าของครึ่งความยาวคลื่นวัตรหว่างตัวนำ)



รูปที่ 4 เส้นรอบวงที่ใช้หาความยาวคลื่นคัทออฟของสายโคแอกเซียล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญลักษณ์ที่แสดงถึงโหมดของคลื่นแม่เหล็กไฟฟ้า สำหรับ ไฮเออร์ออร์เดอร์โหมด มี ทั้ง TE และ  $TM_{m,n}$  ความถี่สูงสุดในการใช้งาน หรือเป็นโหมดพื้นฐาน (Basic Mode) ของสายแบบโคแอกเซียลนั้นแทนด้วยสัญลักษณ์  $TM_{1,1}$  และ  $TM_{0,1}$  การกระจายของสนามไฟฟ้า และ สนามแม่เหล็กสำหรับกรณี TE และ TM ไฮเออร์ออร์เดอร์โหมดแสดงไว้ในรูปที่ 5



รูปที่ 5 โหมด TE และ TM ที่ใช้กันโดยทั่วไปสำหรับสายโคแอกเซียล

กรณีที่เราใช้สายที่มีสารไดอิเล็กตริกชนิดอื่นที่นอกเหนือจากอากาศ ค่าความยาวคลื่นที่แพร่กระจายในสายจะถูกลดทอนด้วยค่ารากที่สองของค่าคงตัวของไดอิเล็กตริก  $\epsilon'$  ตามสมการ

$$\lambda = \frac{C}{\sqrt{\epsilon'} f}$$

ดังนั้นเราจะได้ค่าความยาวคลื่นคัทออฟตามสมการที่ 4 และ 5 เป็นสมการใหม่ คือ

$$\text{สำหรับโหมด TE; } \lambda_{\text{cutoff}} = \frac{\pi}{n} (r_2 + r_1) \sqrt{\epsilon'} \quad (4)$$

$$\text{สำหรับโหมด TM; } \lambda_{\text{cutoff}} = \frac{2}{m} (r_2 - r_1) \sqrt{\epsilon'} \quad (5)$$

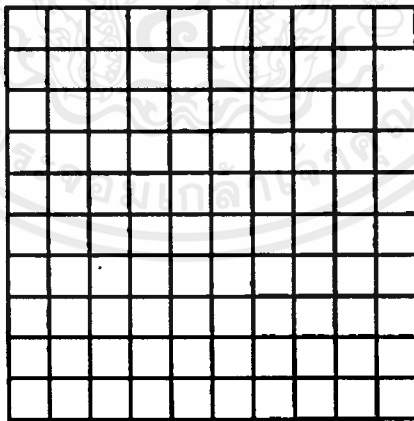
#### คาแรคเตอร์ิสติกอิมพีแดนซ์ของสายโคแอกเซียล

ค่าคาแรคเตอร์ิสติกอิมพีแดนซ์ของสายโคแอกเซียลแสดงได้ด้วยความสัมพันธ์ระหว่างค่าอินดักแตนซ์  $L$  ต่อหนึ่งความยาว กับค่าคาปาซิแตนซ์  $C$  ต่อหนึ่งความยาวค่าคาแรคเตอร์ิสติกอิมพีแดนซ์ของสายโคแอกเซียลสามารถหาได้จากสมการ

จากสมการจะเห็นได้ว่าจากสมการจะเห็นได้ว่าค่าคาบเรคเตอร์สติกอิมพีแดนซ์ของสาย นั้น ขึ้นอยู่กับค่าอัตราส่วนของเส้นผ่านศูนย์กลางของตัวนำทั้งสองไม่ได้ขึ้นอยู่กับขนาดของสาย ส่วนค่าความยาวคลื่นของคลื่นแม่เหล็กไฟฟ้าที่แพร่กระจายในสายนั้นขึ้นอยู่กับค่าคงตัวไดอิเล็กตริก ของสารไดอิเล็กตริกที่ใช้ในสายฉะนั้นจึงสามารถต่อสายโคแอกเซียลที่มีเส้นผ่านศูนย์กลางของตัวนำต่างกันเข้าด้วยกันได้โดยไม่เกิดการมิสมแมทซ์ เพียงแต่พยายามคงอัตราส่วน  $\frac{D}{d}$  ให้เท่ากันเท่านั้น

### ลำดับขั้นการทดลอง

1. ต่อสายนำสัญญาณแบบ โลหะเข้าที่ Coax Tx<sub>1</sub> กับ Coax Tx<sub>2</sub>
2. ปรับสวิทช์ System ไปที่ตำแหน่ง External
3. ปรับสวิทช์ Transmission line ไปที่ตำแหน่ง Coaxial cable
4. ปรับสวิทช์ Digital data in / out ไปที่ตำแหน่ง External
5. เปิดสวิทช์ Power
6. ใช้ฟังก์ชันเจนเนอเรเตอร์ป้อนสัญญาณไซน์เวฟ ซึ่งมีความถี่ 1 kHz ขนาด 0.4 Vp-p เข้าที่ EXT ใช้ข้อสิจิลโลสโกปวัดสัญญาณที่ TP<sub>1</sub> บันทึกผลที่ได้

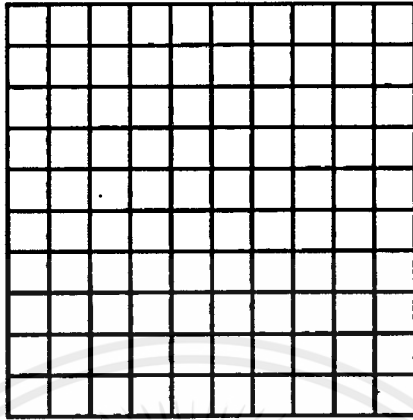


VOLTS / DIV = \_\_\_ TIME / DIV = \_\_\_

รูปที่ 6 สัญญาณที่ TP<sub>1</sub>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

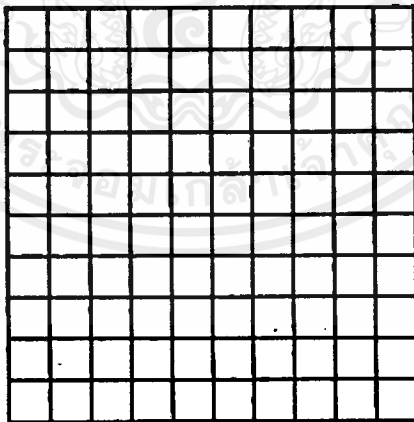
7. ใช้ออสซิลโลสโคปวัดสัญญาณที่ TP<sub>4</sub> บันทึกผล



VOLTS / DIV = \_\_\_\_\_ TIME / DIV = \_\_\_\_\_

รูปที่ 7 สัญญาณที่ TP<sub>4</sub>

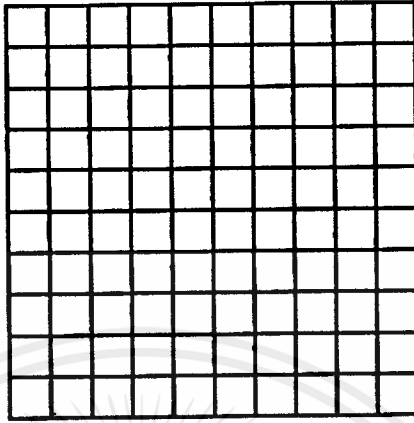
8. ป้อนสัญญาณ สแควร์เวฟซึ่งมีความถี่ 1 kHz ขนาด 0.4 Vp-p เข้าที่ EXT ใช้  
ออสซิลโลสโคปวัดสัญญาณที่ TP<sub>1</sub> บันทึกผล



VOLTS / DIV = \_\_\_\_\_ TIME / DIV = \_\_\_\_\_

รูปที่ 8 สัญญาณที่ TP<sub>1</sub>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9. ใช้ออสซิลโลสโคปวัดสัญญาณที่ TP<sub>6</sub> บันทึกผล

VOLTS / DIV = \_\_\_\_\_ TIME / DIV = \_\_\_\_\_

รูปที่ 9 สัญญาณที่ TP<sub>6</sub>

สรุปผลการทดลอง

---



---



---



---

คำถามท้ายการทดลอง

1. จงอธิบายหลักการส่งสัญญาณผ่านสายนำสัญญาณแบบโลหะมาโดยละเอียด
2. จงบอกข้อดีข้อเสียของการส่งสัญญาณผ่านสายนำสัญญาณแบบโลหะ
3. สัญญาณที่เหมาะสมที่จะส่งผ่านสายนำสัญญาณแบบโลหะควรจะเป็นสัญญาณแอนะล็อก หรือ ดิจิตอลเพราะเหตุใด

## การทดลองที่ 2

### เรื่อง การมอดูเลต และดีมอดูเลตแบบเคลตา

#### วัตถุประสงค์

1. อธิบายหลักการในการมอดูเลตแบบเคลตาได้อย่างถูกต้อง
2. อธิบายหลักการในการดีมอดูเลตแบบเคลตาได้อย่างถูกต้อง
3. นำวิธีการมอดูเลต และดีมอดูเลตแบบเคลตาไปประยุกต์ใช้งานได้

#### เครื่องมือ และอุปกรณ์

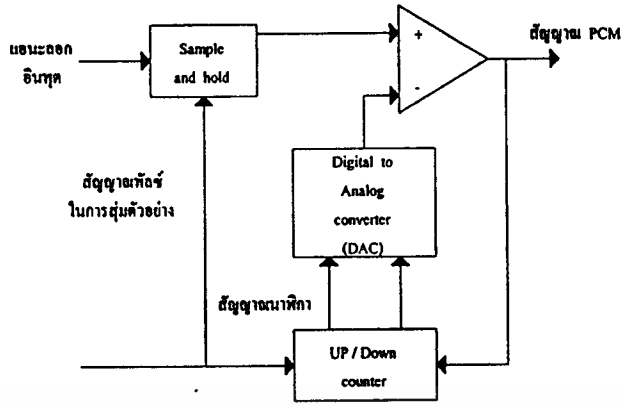
1. ชุดทดลองปฏิบัติการมอดูเลตสัญญาณแบบเคลตาส่งผ่านสายนำสัญญาณแบบโลหะ 1 เครื่อง
2. ออสซิลโลสโคป 1 เครื่อง
3. ฟังก์ชันเจนเนอเรเตอร์ 2 เครื่อง

#### ทฤษฎี และหลักการ

การมอดูเลตแบบเคลตาใช้รหัสการมอดูเลตแบบรหัสพัลส์ (Pulse Code Modulation ; PCM) 1 บิต เพื่อที่จะส่งสัญญาณแอนะล็อกโดยการส่งแบบดิจิทัล ซึ่งสัญญาณ 1 บิต จะแทนความแตกต่างของตัวอย่าง (Simple) ก่อนหน้านั้นกับตัวอย่างถัดมา คือ ถ้าตัวอย่างปัจจุบันมีขนาดเล็กกว่า ตัวอย่างก่อนหน้านั้นก็จะแทนด้วยลอจิก 0 และถ้าตัวอย่างปัจจุบันมีขนาดใหญ่กว่าตัวอย่างก่อนหน้านั้นก็จะแทนด้วยลอจิก 1

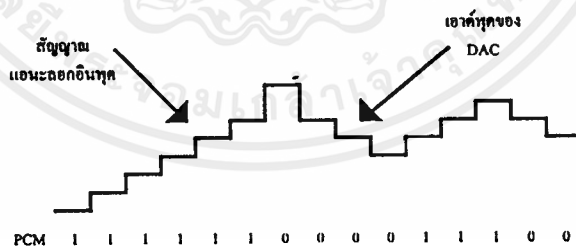
ตัวส่งสัญญาณ DM (DM Transmitter) จากรูปที่ 1 จะเห็นว่าตัวส่งสัญญาณ DM ประกอบด้วยวงจร แชนเนลแอนด์โฮลด์ ซึ่งมีอินพุตเป็นสัญญาณแอนะล็อกจะแปลงสัญญาณแอนะล็อกเป็นสัญญาณ PAM โดยเปรียบเทียบกับสัญญาณเอาต์พุตของ DAC ซึ่งจะเป็นระดับแรงดันค่าหนึ่งที่เหมาะกับขนาดของตัวอย่างก่อนหน้านั้น ที่เก็บไว้ในวงจรนับขึ้น / ลง (up / down counter) ในรูปของ ตัวเลขไบนารี

ค่าของข้อมูลในวงจรนับขึ้น / ลง จะเพิ่ม หรือลด ขึ้นอยู่กับขนาดของตัวอย่างปัจจุบันว่ามีขนาดใหญ่กว่า หรือเล็กกว่า ข้อมูลก่อนหน้านั้น โดยที่ความเร็วในการนับจะขึ้นอยู่กับสัญญาณนาฬิกาซึ่งจะมีค่าเท่ากับอัตราการสุ่มตัวอย่าง ดังนั้นวงจรนับ ขึ้น / ลง จะทำการนับหลังจากเปรียบเทียบแต่ละครั้ง



รูปที่ 1 ตัวส่งสัญญาณ DM

ในรูปที่ 2 แสดงการทำงานทางอุดมคติของตัวเข้ารหัส DM ในสถานะการเริ่มแรก วงจรนับขึ้น / ลง จะมีค่าเป็น 0 ดังนั้นเอาต์พุตของ DAC จะเป็นศูนย์ เมื่อตัวอย่างแรกเข้ามา ก็จะถูกเปลี่ยนเป็นสัญญาณมอดูเลตแบบพัลส์ และเปรียบเทียบกับแรงดันศูนย์โวลต์ (แรงดันเอาต์พุตของ DAC ในสถานะเริ่มแรก) ซึ่งจะได้เอาต์พุตของเปรียบเทียบเป็นลอจิก 1 (เป็นแรงดันบวก) เนื่องจากตัวอย่างปัจจุบันมีขนาดใหญ่กว่าตัวอย่างก่อนหน้านั้น เมื่อมีสัญญาณนาฬิกาเข้ามา วงจรนับขึ้น / ลง จะนับเพิ่มขึ้น 1 และแรงดันเอาต์พุตของ DAC ก็จะมีค่าเท่ากับผลลัพธ์ของการเปรียบเทียบในครั้งก่อน และจะนำไปเปรียบเทียบกับตัวอย่างถัดไป

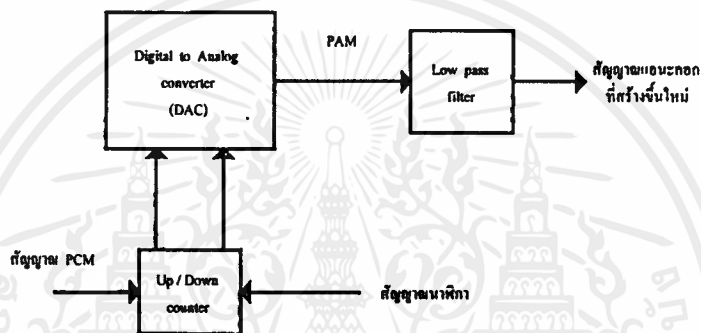


รูปที่ 2 การทำงานทางอุดมคติของตัวเข้ารหัส DM

วงจรมับขึ้น / ลง จะมีค่าเพิ่มขึ้นตามสัญญาณแอนะล็อก จนสัญญาณเอาต์พุตของ DAC มีค่ามากกว่าตัวอย่างของสัญญาณแอนะล็อก วงจรมับขึ้น / ลง จะนับจนกระทั่งเอาต์พุตของ

DAC มีค่าต่ำกว่าขนาดของตัวอย่าง ถ้าวงจรมับขึ้น / ลง นับเพิ่มขึ้น ลอจิก 1 จะถูกส่งออกไป แต่ถ้านับลงลอจิก 0 จะถูกส่งออกไป

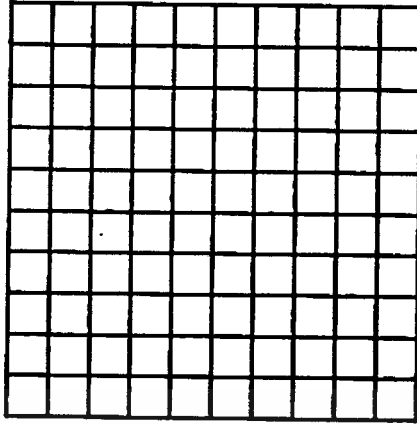
ตัวรับสัญญาณ DM (DM Receiver) รูปที่ 3 แสดงตัวรับสัญญาณ DM ซึ่งมีลักษณะคล้ายกับตัวส่งสัญญาณ DM แต่ต่างกันตรงที่ตัวรับสัญญาณจะไม่มีตัวเปรียบเทียบ เมื่อได้รับสัญญาณลอจิก 1 หรือ ลอจิก 0 วงจรมับขึ้น / ลง จะเพิ่มหรือลดค่าตามลำดับคั้งนั้นเอาต์พุตของ DAC ทางด้านรับจะเหมือนทางด้านส่ง จากนั้นนำเอาต์พุตของ DAC มาผ่านวงจรกรองแบบผ่านต่ำจะได้สัญญาณแอนะลอกเดิม



รูปที่ 3 ตัวรับสัญญาณ DM

#### ลำดับขั้นการทดลอง

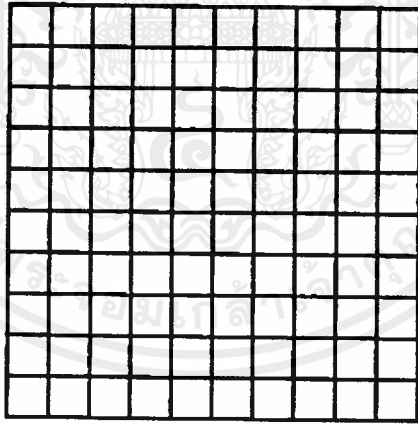
1. ปรับสวิตช์ System ไปที่ตำแหน่ง Simplex
2. ปรับสวิตช์ Transmission Line ไปที่ตำแหน่ง No Connect
3. ปรับสวิตช์ Digital data in /out ไปที่ตำแหน่ง Simplex
4. เปิดสวิตช์ Power
5. ป้อนสัญญาณสแควร์เวฟ ความถี่ 64 kHz ขนาด 4 Vp-p โดยการปรับระดับแรงดันออฟเซตจากฟังก์ชันเจนเนอเรเตอร์เข้าที่อินพุตของสัญญาณนาฬิกา วัดสัญญาณที่ TP<sub>2</sub> บันทึกผล



VOLTS / DIV = \_\_\_\_ TIME / DIV = \_\_\_\_

รูปที่ 4 สัญญาณที่ TP<sub>2</sub>

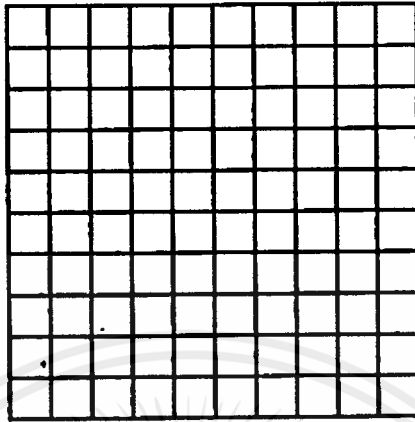
6. ใช้ฟังก์ชันเจนเนอเรเตอร์อีกตัวป้อนสัญญาณไซน์เวฟ ซึ่งมีความถี่ 1 kHz ขนาด 0.4 Vp-p เข้าที่อินพุต 1 ใช้ข้อสวิตช์โลสโคปวัดสัญญาณที่ TP<sub>1</sub> บันทึกผล



VOLTS / DIV = \_\_\_\_ TIME / DIV = \_\_\_\_

รูปที่ 5 สัญญาณที่ TP<sub>1</sub>

7. ใช้ออสซิลโลสโคปวัดสัญญาณที่ TP<sub>3</sub> บันทึกผล

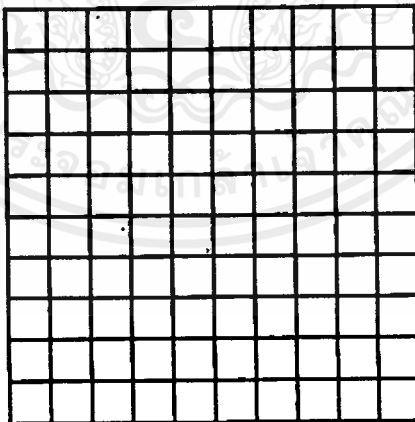


VOLTS / DIV = \_\_\_\_\_ TIME / DIV = \_\_\_\_\_

รูปที่ 6 สัญญาณที่ TP<sub>3</sub>สัญญาณที่ TP<sub>2</sub>

8. ค่อ TP<sub>3</sub>เข้ากับ TP<sub>4</sub> (อินพุตของวงจรถิมอคูเลตสัญญาณแบบเคลตา)

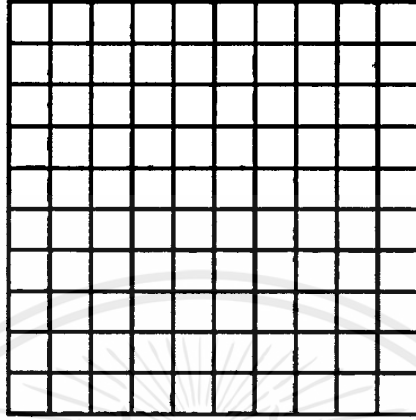
9. ใช้ออสซิลโลสโคปวัดสัญญาณที่ TP<sub>6</sub> บันทึกผล



VOLTS / DIV = \_\_\_\_\_ TIME / DIV = \_\_\_\_\_

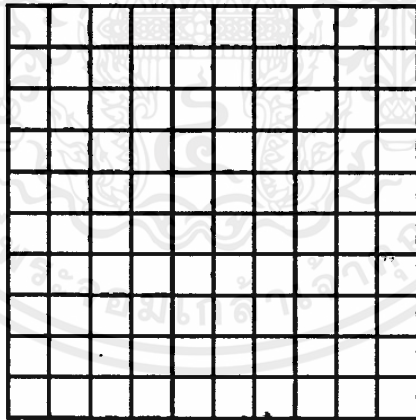
รูปที่ 7 สัญญาณที่ TP<sub>6</sub>

10. ปรับความถี่ของสัญญาณนาฬิกาเป็น 9.6 kHz , 16 kHz และ 64 kHz ตามลำดับ และวัดสัญญาณ TP<sub>3</sub> และ TP<sub>6</sub> บันทึกผล



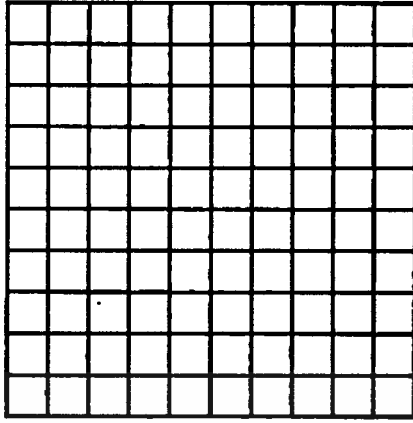
VOLTS / DIV = \_\_\_\_ TIME / DIV = \_\_\_\_

รูปที่ 8 สัญญาณที่ TP<sub>3</sub> ความถี่ 9.6 kHz



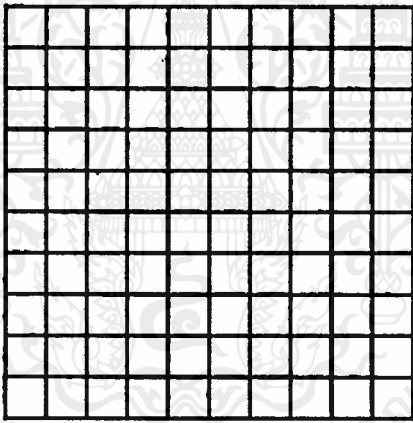
VOLTS / DIV = \_\_\_\_ TIME / DIV = \_\_\_\_

รูปที่ 9 สัญญาณที่ TP<sub>3</sub> ความถี่ 16 kHz



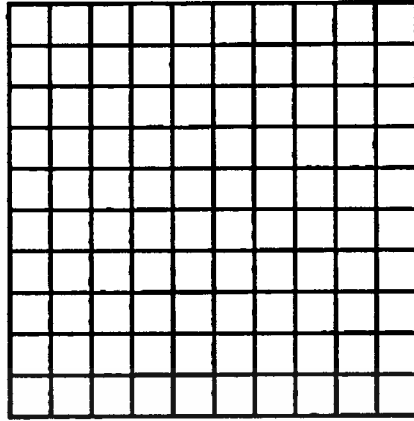
VOLTS / DIV = \_\_\_\_ TIME / DIV = \_\_\_\_

รูปที่ 10 สัญญาณที่ TP<sub>3</sub> ความถี่ 64 kHz



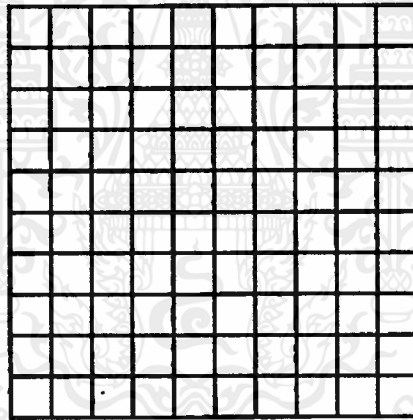
VOLTS / DIV = \_\_\_\_ TIME / DIV = \_\_\_\_

รูปที่ 11 สัญญาณที่ TP<sub>6</sub> ความถี่ 9.6 kHz



VOLTS / DIV = \_\_\_\_ TIME / DIV = \_\_\_\_

รูปที่ 12 สัญญาณที่ TP<sub>6</sub> ความถี่ 16 kHz



VOLTS / DIV = \_\_\_\_ TIME / DIV = \_\_\_\_

รูปที่ 13 สัญญาณที่ TP<sub>6</sub> ความถี่ 64 kHz

11. จากข้อ 9 สัญญาณเอาต์พุตคือมอดูเลตสัญญาณแบบเคลตา ที่ได้มีลักษณะอย่างไร
12. จากข้อ 10 สัญญาณเอาต์พุตคือมอดูเลตสัญญาณแบบเคลตา เหมือนกัน หรือแตกต่างกันอย่างไร เพราะเหตุใด

## สรุปผลการทดลอง

---



---



---



---



---

### คำถามท้ายการทดลอง

1. จงอธิบายหลักการในการมอดูเลต และดีมอดูเลตสัญญาณแบบเคลตามาพอสั่งเขป
2. สัญญาณรบกวนที่เกิดขึ้นจากการทดลองเป็นสัญญาณรบกวนแบบใด มีสาเหตุจากอะไร
3. ถ้าเพิ่มความถี่สัญญาณนาฬิกาให้มีค่าเพิ่มขึ้นจะเกิดอะไรขึ้น เพราะเหตุใด



### การทดลองที่ 3

#### เรื่อง การส่งสัญญาณแบบซิมเพล็กซ์

##### วัตถุประสงค์

1. อธิบายหลักการส่งสัญญาณแบบ Simplex ได้
2. อธิบายหลักการในการมอดูเลตแบบเคลตา โดยส่งสัญญาณแบบ Simplex ได้
3. อธิบายหลักการในการดีมอดูเลตแบบเคลตา โดยส่งสัญญาณแบบ Simplex ได้
4. นำวิธีการมอดูเลต และดีมอดูเลต สัญญาณแบบเคลตาส่งสัญญาณแบบ Simplex ไปประยุกต์ใช้งานได้
5. บอกถึงข้อดี และข้อเสียของการส่งสัญญาณการมอดูเลตแบบเคลตาโดยส่งสัญญาณแบบ Simplex ผ่านสายนำสัญญาณแบบโลหะได้

##### เครื่องมือ และอุปกรณ์

- |   |           |
|---|-----------|
| 1. ชุดทดลองปฏิบัติการมอดูเลตสัญญาณแบบเคลตาส่งผ่านสายนำสัญญาณแบบโลหะ | 1 เครื่อง |
| 2. ออสซิลโลสโคป   | 1 เครื่อง |
| 3. ฟังก์ชันเจนเนอเรเตอร์  | 1 เครื่อง |
| 4. สายนำสัญญาณโลหะ  | 1 เส้น    |

##### ทฤษฎี และหลักการ

การส่งสัญญาณนั้นอาจประกอบด้วย 1 ช่องทางการส่ง (One Channel) หรือมีได้หลายช่องทางการส่ง (Multi channel) ก็ได้ ในเมื่อ 1 ช่องทางการส่งถูกกำหนดให้มีถึงการส่งสัญญาณเดียว โดยหมายถึงว่า 1 ช่องการส่งสามารถให้ข้อมูล หรือข่าวสารผ่านไปได้ซึ่งอาจเป็นทิศทางใดก็ได้ แต่ในเวลาใดเวลาหนึ่งจะเป็นไปได้ในทิศทางเดียวเท่านั้น ส่วนคำว่าทิศทางที่ช่องทางการส่ง นั้นเชื่อมอุปกรณ์ที่ปลายทั้งสองไว้ เช่นระหว่างช่องทางที่ A (Channel A) ที่ปลายของช่องทางการส่ง มีอุปกรณ์ที่ 1 และ 2 พ่วงอยู่ ดังนั้นทิศทางของการส่งผ่านข้อมูลจะมีได้ 2 ทิศทาง คือ จาก 1 ไป 2 และ จาก 2 ไป 1 ซึ่งเปลี่ยนแปลงไปตามเวลาของการรับส่งข้อมูลนั้น ๆ แต่ในเวลาใดเวลาหนึ่งจะต้องมีทิศทางเดียว

ตัวอย่างที่จะทำให้เห็นชัดเจนคือ ถ้าเราเปรียบเทียบเอาท่อน้ำเป็นช่องทางการส่ง และท่อน้ำที่ปลายทั้งสองเชื่อมติดกับแท่งน้ำ A และ B น้ำจะไหลจาก A ไป สู่ B หรืออาจจะไหลจาก B มาสู่ A ก็ได้ขึ้นอยู่กับกระแส แต่ในเวลาใดเวลาหนึ่งน้ำในท่อจะมีเพียงทิศทางเดียวในการไหลจะไม่มีกระแสไหลของน้ำสวนทางกันในเวลาเดียวกัน

สำหรับการส่งสัญญาณทางเดียว (Simplex) หมายถึง ผู้ส่งสามารถส่งข้อมูล หรือข่าวสารไปให้แก่ผู้รับได้เพียงทางเดียว ส่วนผู้รับไปสามารถจะโต้ตอบกลับไปได้ ตัวอย่างของการส่งสัญญาณทางเดียวได้แก่ การส่งวิทยุกระจายเสียง การแพร่ภาพโทรทัศน์ เป็นต้น โดยสถานีส่งจะเป็นตัวกำเนิดของข่าวสาร ส่วนผู้ที่อยู่ตามบ้านซึ่งมีเครื่องรับจะเป็นผู้รับ สำหรับวงจรทางไฟฟ้า ที่สร้างให้เป็นวงจรการส่งสัญญาณทางเดียวที่ง่ายที่สุด ดังแสดงดังรูปที่ 1

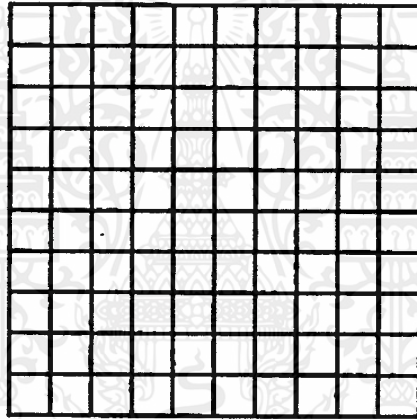


รูปที่ 1 วงจรการส่งสัญญาณทางเดียวอย่างง่าย

จากรูปที่ 1 จะมีคนอยู่คนหนึ่งในห้อง A และอีกคนหนึ่งในห้อง B และมีวงจรส่งสัญญาณดังรูป โดยในห้อง A จะมีแหล่งจ่ายไฟฟ้า และ สวิตช์ปิด-เปิด ไฟฟ้าเพื่อให้กระแสไฟฟ้าเดินได้ครบวงจร ส่วนในห้อง B มีหลอดไฟที่ต่อเข้ากับวงจร และวงจรนี้ต่อกันเข้าด้วยสายไฟฟ้า 2 เส้น ดังรูป จากองค์ประกอบนี้ทำให้ A สามารถส่งข่าวสารไปให้ B ได้ด้วยการกดสวิตช์ไฟฟ้าให้ไฟฟ้าเปิด และปิดเป็นจังหวะสั้นยาวได้ และแปลออกมาเป็นความหมายต่อไป ในการส่งสัญญาณอย่างนี้ A สามารถส่งสัญญาณให้แก่ B ได้ฝ่ายเดียว ส่วน B ไม่สามารถส่งสัญญาณให้ A ได้เลย เราเรียวลักษณะการส่งสัญญาณแบบนี้ว่า ระบบการสื่อสารทางเดียว

### ลำดับขั้นตอนการทดลอง

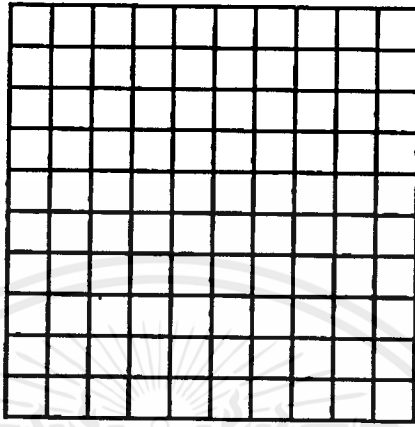
1. ต่อสายนำสัญญาณแบบโลหะเข้าที่ Coax TX<sub>1</sub> กับ Coax RX<sub>2</sub>
2. ปรับสวิตช์ System ไปอยู่ที่ตำแหน่ง Simplex
3. ปรับสวิตช์ Transmission Line ไปอยู่ที่ตำแหน่ง Coaxial Cable
4. ปรับสวิตช์ Digital Data in / out ไปอยู่ที่ตำแหน่ง
5. เปิดสวิตช์ Power
6. ป้อนสัญญาณ สแควร์เวฟความถี่ 64 kHz ขนาด 4 Vp-p โดยการปรับระดับแรงดันออฟเซต จากฟังก์ชันเจนเนอเรเตอร์เข้าที่อินพุตของสัญญาณนาฬิกาวัดสัญญาณที่ TP<sub>2</sub> บันทึกผลที่ได้



VOLTS / DIV = \_\_\_\_\_ TIME / DIV = \_\_\_\_\_

รูปที่ 2 สัญญาณที่ TP<sub>2</sub>

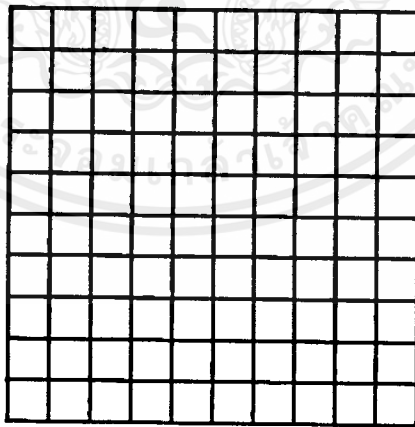
7. ใช้ฟังก์ชันเจนเนอเรเตอร์อีกตัวป้อนสัญญาณ ซายน์เวฟ ซึ่งมีความถี่ 1 kHz ขนาด 0.4 Vp-p เข้าที่ อินพุต 1 ใช้ข้อสซึล โลส โคป วัตสัญญาณที่ TP<sub>1</sub> บันทึกผล



VOLTS / DIV = \_\_\_\_\_ TIME / DIV = \_\_\_\_\_

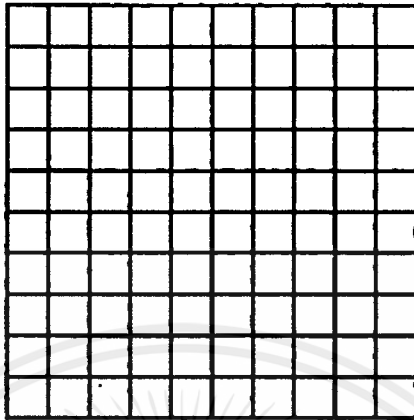
รูปที่ 3 สัญญาณที่ TP<sub>1</sub>

8. วัดสัญญาณที่ TP<sub>3</sub> บันทึกผล



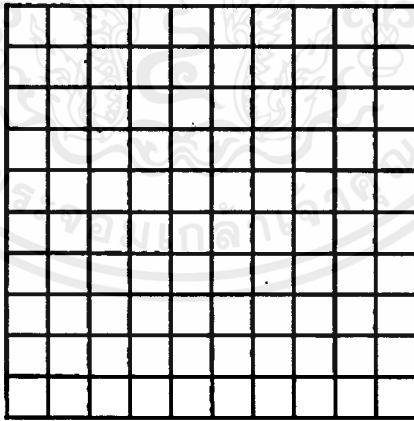
VOLTS / DIV = \_\_\_\_\_ TIME / DIV = \_\_\_\_\_

รูปที่ 4 สัญญาณที่ TP<sub>3</sub>

9. วัดสัญญาณที่ TP<sub>4</sub> บันทึกผล

VOLTS / DIV = \_\_\_\_\_ TIME / DIV = \_\_\_\_\_

รูปที่ 5 สัญญาณที่ TP<sub>4</sub>

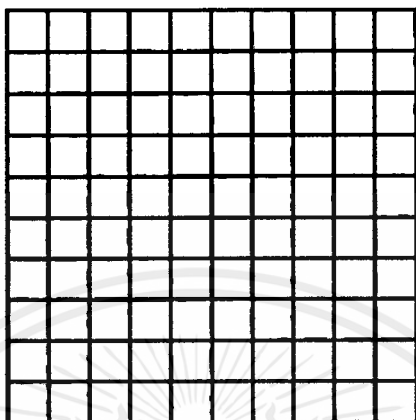
10. วัดสัญญาณที่ TP<sub>6</sub> บันทึกผล

VOLTS / DIV = \_\_\_\_\_ TIME / DIV = \_\_\_\_\_

รูปที่ 6 สัญญาณที่ TP<sub>6</sub>

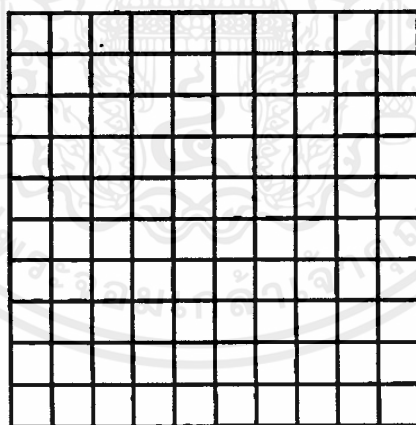
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

11. ปรับความถี่ของสัญญาณนาฬิกาเป็น 9.6 kHz , 16 kHz และ 64 kHz ตามลำดับและวัดสัญญาณ TP<sub>3</sub> และ TP<sub>6</sub> บันทึกผล



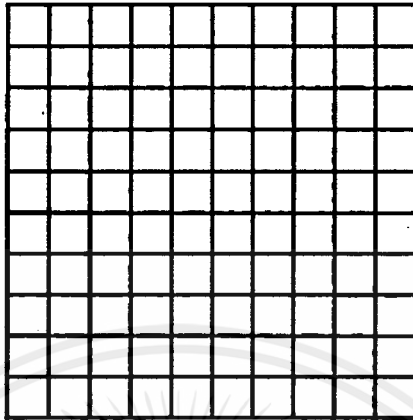
VOLTS / DIV = \_\_\_\_\_ TIME / DIV = \_\_\_\_\_

รูปที่ 7 สัญญาณที่ TP<sub>3</sub> ความถี่ 9.6 kHz



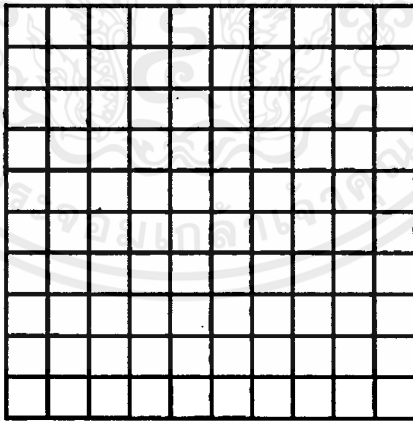
VOLTS / DIV = \_\_\_\_\_ TIME / DIV = \_\_\_\_\_

รูปที่ 8 สัญญาณที่ TP<sub>3</sub> ความถี่ 16 kHz



VOLTS / DIV = \_\_\_\_\_ TIME / DIV = \_\_\_\_\_

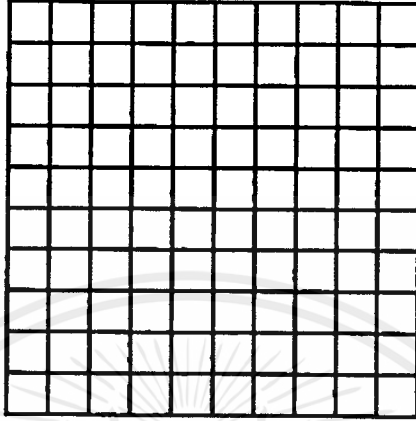
**รูปที่ 9 สัญญาณที่ TP<sub>3</sub> ความถี่ 64 kHz**



VOLTS / DIV = \_\_\_\_\_ TIME / DIV = \_\_\_\_\_

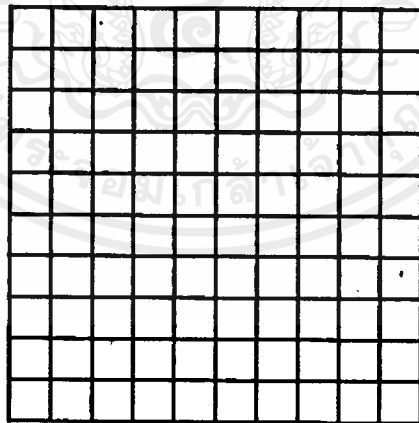
**รูปที่ 10 สัญญาณที่ TP<sub>6</sub> ความถี่ 9.6 kHz**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



VOLTS / DIV = \_\_\_\_\_ TIME / DIV = \_\_\_\_\_

รูปที่ 11 สัญญาณที่ TP<sub>6</sub> ความถี่ 16 kHz



VOLTS / DIV = \_\_\_\_\_ TIME / DIV = \_\_\_\_\_

รูปที่ 12 สัญญาณที่ TP<sub>6</sub> ความถี่ 64 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สรุปผลการทดลอง

---



---



---



---



---

## คำถามท้ายการทดลอง

1. จงอธิบายหลักการมอดูเลต และคีมอดูเลต สัญญาณแบบเคลตาส่งผ่านสายนำสัญญาณแบบ โลหะมาพอสังเขป
2. จงอธิบายหลักการส่งสัญญาณแบบ Simplex มาพอสังเขป



## การทดลองที่ 4

### เรื่อง การส่งสัญญาณแบบฮาร์ฟดูเพล็กซ์

#### วัตถุประสงค์

1. อธิบายหลักการส่งสัญญาณแบบ Half Duplex ได้
2. อธิบายหลักการมอดูเลต และดีมอดูเลตแบบเคลตาโดยส่งสัญญาณแบบ Half Duplex ผ่านสายนำสัญญาณแบบโลหะได้
3. นำวิธีการมอดูเลต และดีมอดูเลตสัญญาณแบบเคลตาโดยส่งสัญญาณแบบ Half Duplex ไปประยุกต์ใช้งานได้

#### เครื่องมือ และอุปกรณ์

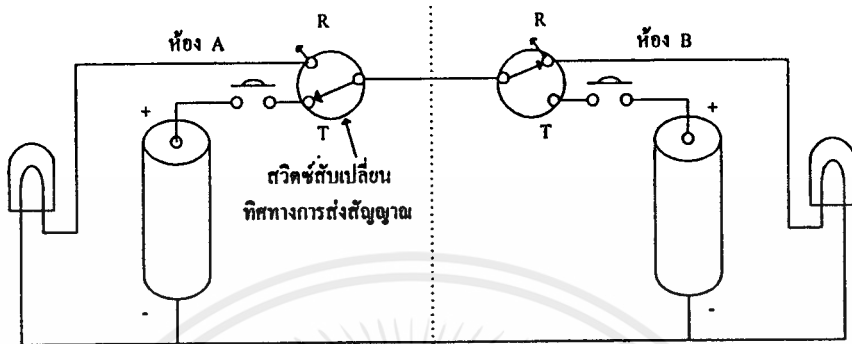
- |   |           |
|---|-----------|
| 1. ชุดทดลองปฏิบัติการมอดูเลตแบบเคลตาส่งผ่านสายนำสัญญาณแบบโลหะ | 1 เครื่อง |
| 2. ฟังก์ชันเจนเนอเรเตอร์                                      | 3 เครื่อง |
| 3. ออสซิลโลสโคป   | 1 เครื่อง |
| 4. สายนำสัญญาณแบบโลหะ   | 2 เส้น    |

#### ทฤษฎี และหลักการ

ในระบบการสื่อสารที่สามารถสลับทิศทางของการส่งผ่านข้อมูล หรือข่าวสารได้ ซึ่งทำให้ A สามารถส่งข่าวสารไปยัง B ได้ และถ้าสลับทิศทางจะทำให้ B สามารถส่งข่าวสารไปยัง A ได้แต่ในขณะใดขณะหนึ่งจะเกิดได้เพียงกรณีเดียวคือ ไม่สามารถส่งข่าวสารสวนทางกันได้ในเวลาเดียวกันนั่นเอง ดังนั้น ระบบนี้จึงได้ชื่อว่าระบบการส่งสัญญาณกึ่งทางคู่ (Half Duplex)

ตัวอย่างของระบบการส่งสัญญาณกึ่งทางคู่ดังรูปที่ 1 สวิตซ์จะทำการสับเปลี่ยนทิศทางการส่งอยู่ในสถานะที่ทำให้ A สามารถส่งข่าวสารไปยัง B ได้ด้วยการกดสวิตซ์ปิด-เปิดไฟฟ้าเป็นรหัสไฟฟ้าด้วยสัญญาณสั้นยาวต่างกันได้ แต่สวิตซ์สับเปลี่ยนทิศทางการส่งสัญญาณนี้เปลี่ยนแปลงใหม่ โดยตัวอยู่ในห้อง A เปลี่ยนตำแหน่งจาก T เป็น R และอยู่ในห้อง B เปลี่ยนจากตำแหน่งจาก R เป็น T จะทำให้ B เป็นผู้ส่งข่าวสารมายัง A ได้ด้วยการกดสวิตซ์ปิด-เปิดไฟฟ้า เช่นกัน จากกรณีนี้เราก็ใช้ช่องทางการส่งสัญญาณ (Channel) เพียง 1 ช่องเท่านั้น แต่ใน

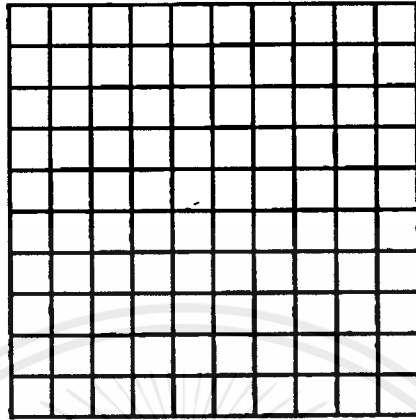
ช่องทางการส่งสัญญาณนี้ดัดแปลงให้เปลี่ยนทิศทางได้ วัตถุประสงค์ที่ทางเจ้าหน้าที่ตำรวจใช้เป็นตัวอย่างของการส่งสัญญาณกึ่งทางคู่



รูปที่ 1 วงจรการส่งสัญญาณกึ่งทางคู่

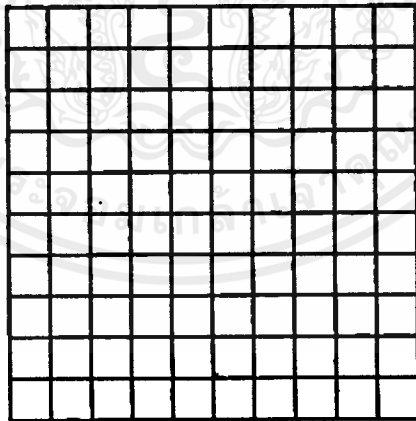
#### ลำดับขั้นตอนการทดลอง

1. ต่อสายนำสัญญาณแบบโลหะเข้าที่ Coax Tx<sub>1</sub> กับ Coax Rx<sub>2</sub> และ Coax Tx<sub>2</sub> กับ Coax Rx<sub>1</sub>
2. ปรับสวิตช์ Transmission Loss ไปอยู่ที่ตำแหน่ง Coaxial Cable
3. ปรับสวิตช์ Digital Data in / out ไปอยู่ที่ตำแหน่ง Half Duplex
4. เปิดสวิตช์ Power
5. ป้อนสัญญาณ สแควร์เวฟ ความถี่ 64 kHz ขนาด 4 Vp-p โดยการปรับระดับแรงดันออฟเซต จากฟังก์ชันเจนเนอเรเตอร์เข้าที่อินพุตของสัญญาณนาฬิกา วัดสัญญาณที่ Tp<sub>9</sub> และ Tp<sub>13</sub> บันทึกผล



VOLTS / DIV = \_\_\_\_\_ TIME / DIV = \_\_\_\_\_

รูปที่ 2 สัญญาณที่  $T_{p9}$

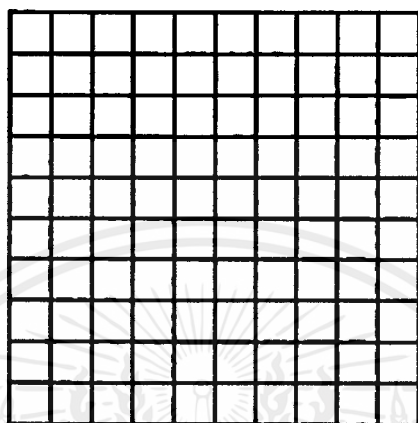


VOLTS / DIV = \_\_\_\_\_ TIME / DIV = \_\_\_\_\_

รูปที่ 3 สัญญาณที่  $T_{p13}$

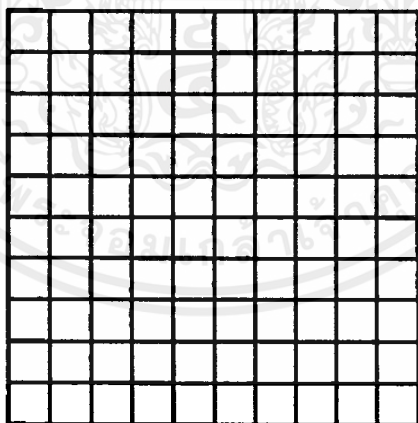
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. ใช้ฟังก์ชันเจนเนอเรเตอร์ตัวที่ 2, 3 ป้อนสัญญาณไซน์เวฟ ซึ่งมีความถี่ 1 kHz ขนาด 0.4 V<sub>p-p</sub> เข้าที่อินพุต 1 และอินพุต 2 ตามลำดับ ใช้ข้อสซึลโลสโคปวัดสัญญาณที่ T<sub>p7</sub> และ T<sub>p14</sub> ตามลำดับ บันทึกผล



VOLTS / DIV = \_\_\_\_\_ TIME / DIV = \_\_\_\_\_

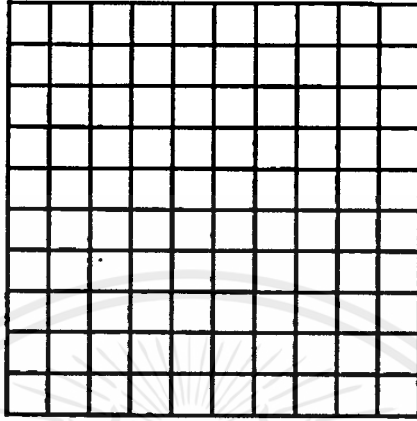
รูปที่ 4 สัญญาณที่ T<sub>p7</sub> จากอินพุต 1



VOLTS / DIV = \_\_\_\_\_ TIME / DIV = \_\_\_\_\_

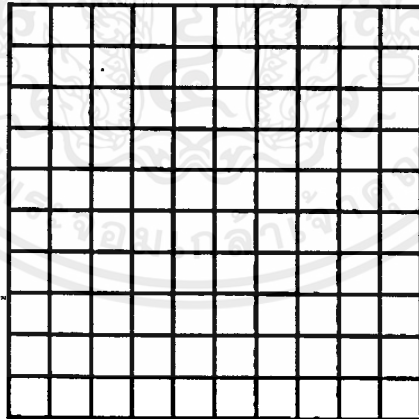
รูปที่ 5 สัญญาณที่ T<sub>p14</sub> จากอินพุต 2

7. วัดสัญญาณที่  $T_{p9}$  และ  $T_{p19}$  ตามลำดับ บันทึกผล



VOLTS / DIV = \_\_\_\_\_ TIME / DIV = \_\_\_\_\_

รูปที่ 6 สัญญาณที่  $T_{p9}$

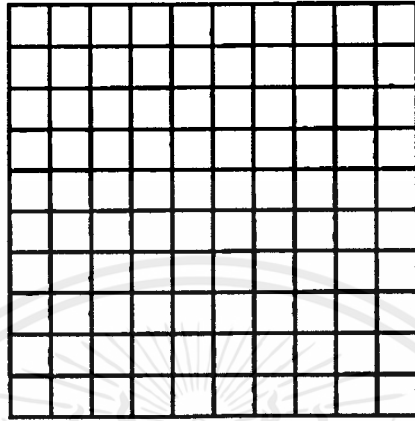


VOLTS / DIV = \_\_\_\_\_ TIME / DIV = \_\_\_\_\_

รูปที่ 7 สัญญาณที่  $T_{p19}$

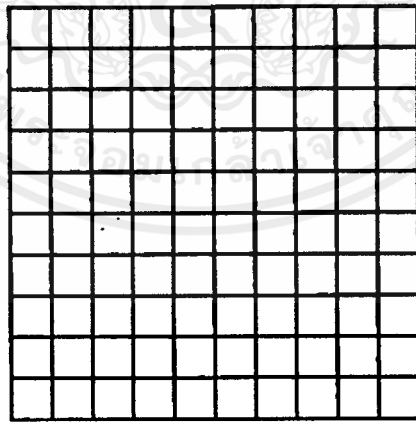
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8. กดสวิทช์  $S_1$  วัดสัญญาณที่  $T_{p9}$  และ  $T_{p16}$  ตามลำดับ บันทึกผล



VOLTS / DIV = \_\_\_\_\_ TIME / DIV = \_\_\_\_\_

รูปที่ 8 สัญญาณที่  $T_{p9}$

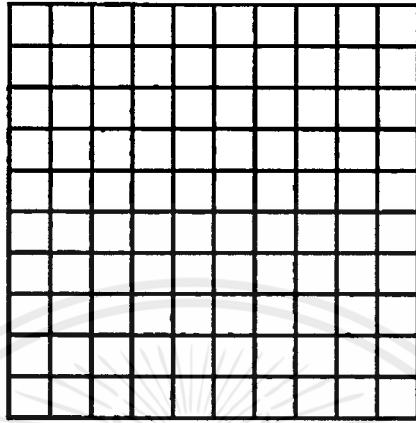


VOLTS / DIV = \_\_\_\_\_ TIME / DIV = \_\_\_\_\_

รูปที่ 9 สัญญาณที่  $T_{p16}$

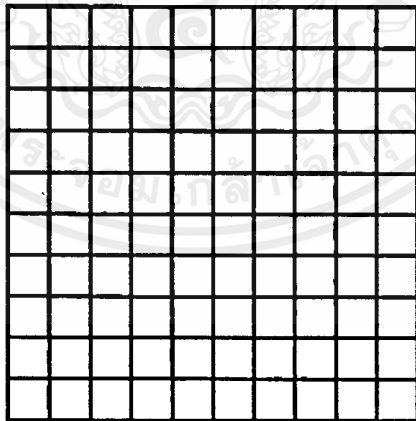
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9. กดสวิทช์  $S_2$  วัดสัญญาณที่  $T_{p12}$  และ  $T_{p19}$  ตามลำดับ บันทึกผล



VOLTS / DIV = \_\_\_\_ TIME / DIV = \_\_\_\_

รูปที่ 10 สัญญาณที่  $T_{p12}$

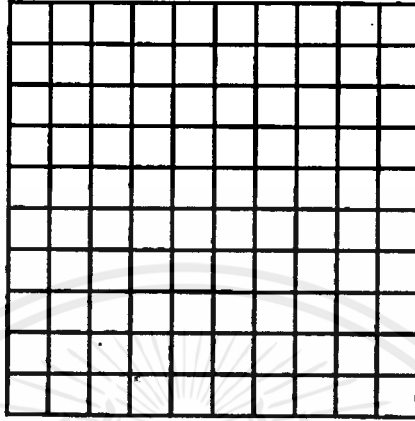


VOLTS / DIV = \_\_\_\_ TIME / DIV = \_\_\_\_

รูปที่ 11 สัญญาณที่  $T_{p19}$

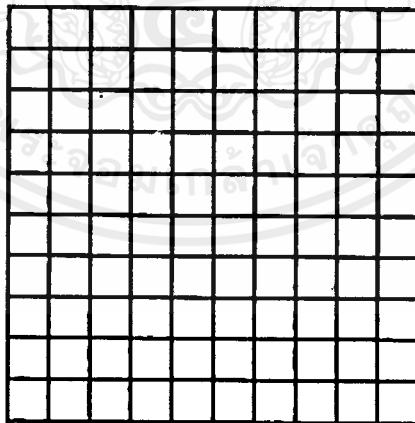
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10. กคสวิช  $S_2$  วัดสัญญาณที่  $T_{p10}$  และ  $T_{p16}$  ตามลำดับ บันทึกผล



VOLTS / DIV = \_\_\_\_\_ TIME / DIV = \_\_\_\_\_

รูปที่ 12 สัญญาณที่  $T_{p10}$

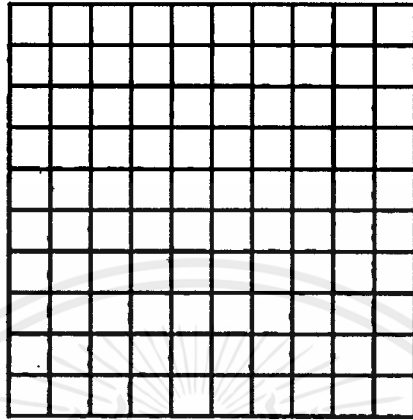


VOLTS / DIV = \_\_\_\_\_ TIME / DIV = \_\_\_\_\_

รูปที่ 13 สัญญาณที่  $T_{p16}$

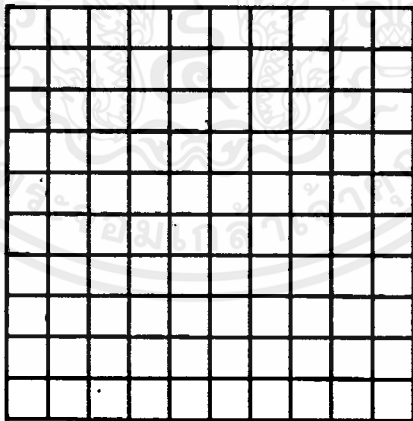
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

11. กคสวิตซ์  $S_1$  วัดสัญญาณที่  $T_{p19}$  และ  $T_{p12}$  ตามลำดับ บันทึกผล



VOLTS / DIV = \_\_\_\_\_ TIME / DIV = \_\_\_\_\_

รูปที่ 14 สัญญาณที่  $T_{p19}$

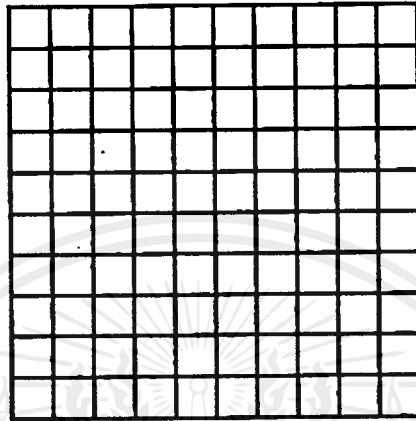


VOLTS / DIV = \_\_\_\_\_ TIME / DIV = \_\_\_\_\_

รูปที่ 15 สัญญาณที่  $T_{p12}$

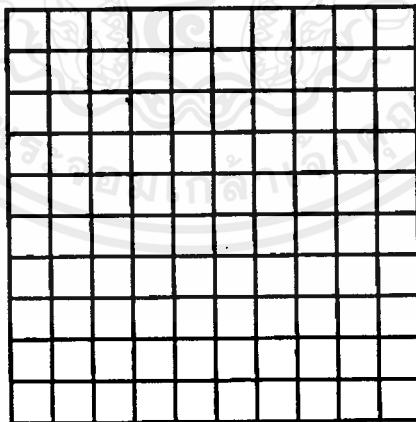
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

12. กดสวิตช์  $S_1$  และสวิตช์  $S_2$  พร้อมกับ ใช้สโคปช่อง 1 วัดที่จุด  $T_{p12}$  และ  
ออกซิลโลสโคปช่อง 2 วัดที่จุด  $T_{p19}$  บันทึกผล



VOLTS / DIV = \_\_\_\_ TIME / DIV = \_\_\_\_

รูปที่ 16 สัญญาณที่  $T_{p12}$



VOLTS / DIV = \_\_\_\_ TIME / DIV = \_\_\_\_

รูปที่ 17 สัญญาณที่  $T_{p19}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สรุปผลการทดลอง

---



---



---



---



---

### คำถามท้ายการทดลอง

1. จงอธิบายหลักการการส่งสัญญาณแบบ Half Duplex มาพอสังเขป
2. จงอธิบายหลักการมอดูเลตแบบเคลตาโดยส่งสัญญาณแบบ Half Duplex ผ่านสายนำสัญญาณแบบโลหะ
3. เหตุใดในการทดลองต้องกวดสวิตซ์  $S_1$ ,  $S_2$  และถ้ากวดสวิตซ์พร้อมกันได้หรือไม่ เพราะเหตุใด

## การทดลองที่ 5

### เรื่อง การส่งสัญญาณแบบฟูลดูเพล็กซ์

#### วัตถุประสงค์

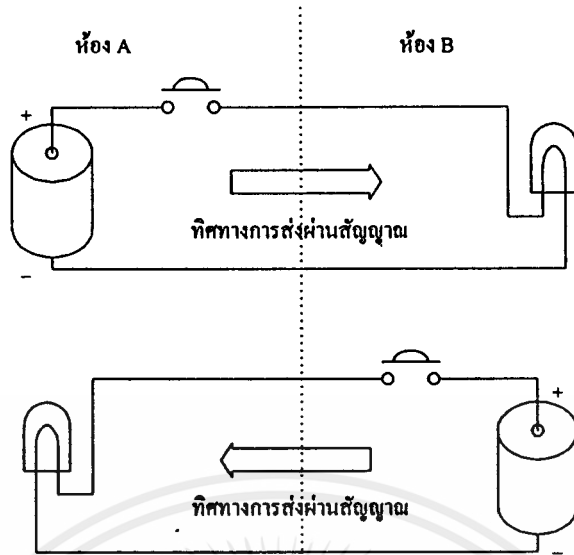
1. อธิบายหลักการส่งสัญญาณแบบ Full Duplex ได้
2. อธิบายหลักการมอดูเลต และดีมอดูเลตแบบเคลตาโดยส่งสัญญาณแบบ Full Duplex ผ่านสายนำสัญญาณแบบโลหะ
3. นำวิธีการมอดูเลต และดีมอดูเลตสัญญาณแบบเคลตาโดยส่งสัญญาณแบบ Full Duplex ไปประยุกต์ใช้งานได้

#### เครื่องมือ และอุปกรณ์

- |   |           |
|---|-----------|
| 1. ชุดทดลองปฏิบัติการมอดูเลตแบบเคลตาส่งผ่านสายนำสัญญาณแบบโลหะ | 1 เครื่อง |
| 2. ฟังก์ชันเจนเนอเรเตอร์                                      | 3 เครื่อง |
| 3. ออสซิลโลสโคป   | 1 เครื่อง |
| 4. สายนำสัญญาณแบบโลหะ   | 2 เส้น    |

#### ทฤษฎี และหลักการ

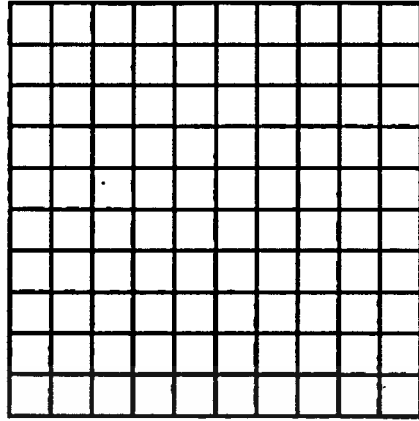
ระบบการส่งสัญญาณโดยการเชื่อมจุด 2 จุดด้วยช่องส่งสัญญาณ 2 ช่องจะทำให้สามารถส่งสัญญาณได้ทั้ง 2 ทิศทางในเวลาเดียวกัน โดยช่องทางการส่งสัญญาณที่ 1 เป็นตัวส่งสัญญาณในทิศทางที่ 1 และช่องทางการส่งสัญญาณที่ 2 เป็นตัวส่งสัญญาณในอีกทิศทางหนึ่ง ดังนั้นจึงทำให้จุดปลายทั้ง 2 ของระบบนี้โต้ตอบข่าวสารกันได้ในเวลาเดียวกัน จึงเรียกการส่งสัญญาณระบบนี้ว่าระบบการส่งสัญญาณทางคู่ (Full Duplex) ดังแสดงในรูป จะเห็นได้ว่า A จะกดสวิทช์ปิด-เปิดไฟฟ้าเพื่อเป็นการส่งข่าวสารให้แก่ B ได้ตลอดเวลา ส่วน B ก็สามารถจะกดสวิทช์ปิด-เปิดไฟฟ้า เพื่อส่งข่าวสารไปให้แก่ A ได้ตลอดเวลาเช่นกัน ในระบบนี้ใช้สายไฟฟ้าเชื่อมโยงระหว่าง A กับ B ถึง 4 เส้น ตัวอย่างเช่น การที่บุคคล 2 คนพูดจาโต้ตอบทางโทรศัพท์ เป็นต้น



รูปที่ 1 วงจรการส่งสัญญาณทางคู่

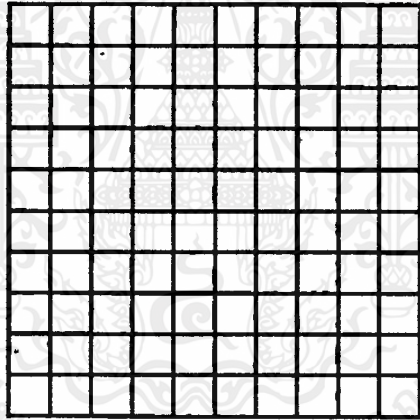
#### ลำดับขั้นการทดลอง

1. ต่อสายนำสัญญาณแบบโลหะเข้าที่ Coax Tx<sub>1</sub> กับ Coax Rx<sub>2</sub> และ Coax Tx<sub>2</sub> กับ Coax Rx<sub>1</sub>
2. ปรับสวิตช์ System ไปอยู่ตำแหน่ง Full Duplex
3. ปรับสวิตช์ Transmission Line ไปที่ตำแหน่ง Coaxial Cable
4. ปรับสวิตช์ Digital Data in / out ไปอยู่ที่ตำแหน่ง Full Duplex แล้วจึงเปิดสวิตช์ Power
5. ป้อนสัญญาณ Square Wave ความถี่ 32 kHz ขนาด 4 V<sub>p-p</sub> โดยการปรับระดับแรงดันออกเฟสจากฟังก์ชันเจนเนอเรเตอร์เข้าที่อินพุตของสัญญาณนาฬิกา วัดสัญญาณที่ Tp<sub>8</sub> และ Tp<sub>13</sub> บันทึกผล



VOLTS / DIV = \_\_\_\_ TIME / DIV = \_\_\_\_

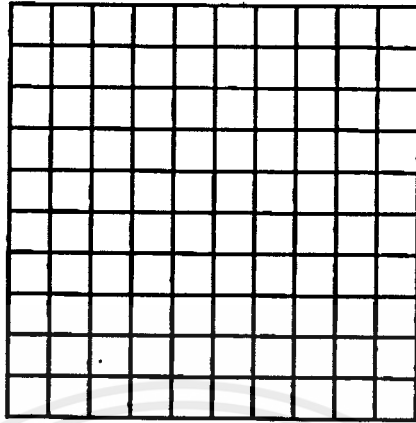
รูปที่ 2 สัญญาณที่  $T_{p8}$



VOLTS / DIV = \_\_\_\_ TIME / DIV = \_\_\_\_

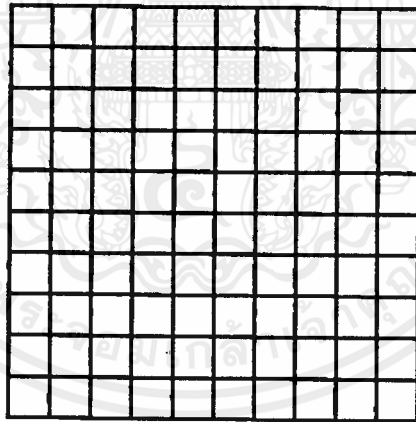
รูปที่ 3 สัญญาณที่  $T_{p13}$

6. ใช้ฟังก์ชันเจนเนอเรเตอร์ตัวที่ 2, 3 ป้อนสัญญาณไซน์เวฟ ซึ่งมีความถี่ 1 kHz ขนาด 0.4 Vp-p เข้าที่อินพุต 1 และอินพุต 2 ตามลำดับใช้สโคปวัดสัญญาณที่  $T_{p7}$  และ  $T_{p14}$  ตามลำดับบันทึกผล



VOLTS / DIV = \_\_\_\_ TIME / DIV = \_\_\_\_

รูปที่ 4 สัญญาณที่  $T_{p7}$  ที่อินพุต 1

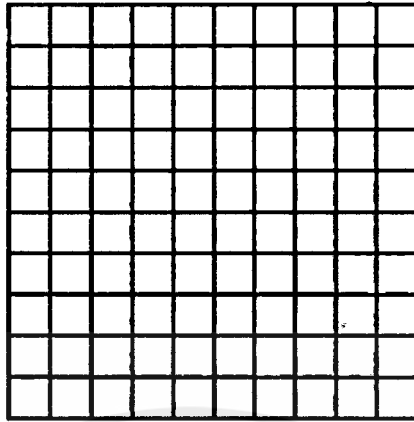


VOLTS / DIV = \_\_\_\_ TIME / DIV = \_\_\_\_

รูปที่ 5 สัญญาณที่  $T_{p14}$  ที่อินพุต 2

## 7. วัดสัญญาณที่ $T_{p9}$ บันทึกผล

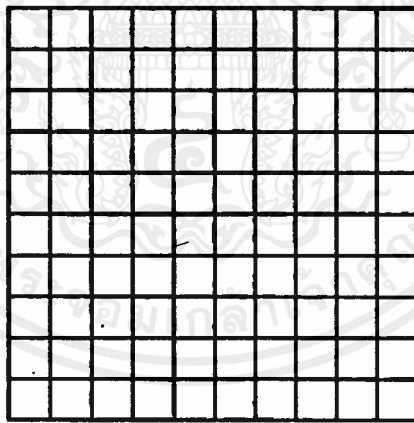
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



VOLTS / DIV = \_\_\_\_ TIME / DIV = \_\_\_\_

รูปที่ 6 สัญญาณที่  $T_{p9}$

8. วัดสัญญาณที่  $T_{p12}$  บันทึกผล

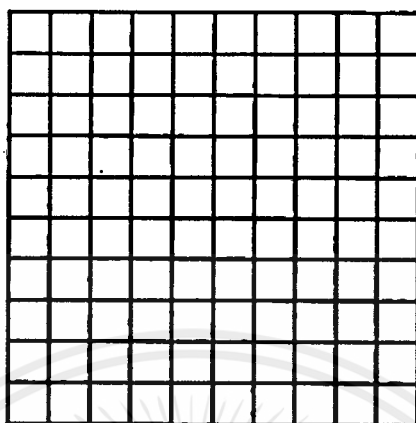


VOLTS / DIV = \_\_\_\_ TIME / DIV = \_\_\_\_

รูปที่ 7 สัญญาณที่  $T_{p12}$

9. วัดสัญญาณที่  $T_{p16}$  บันทึกผล

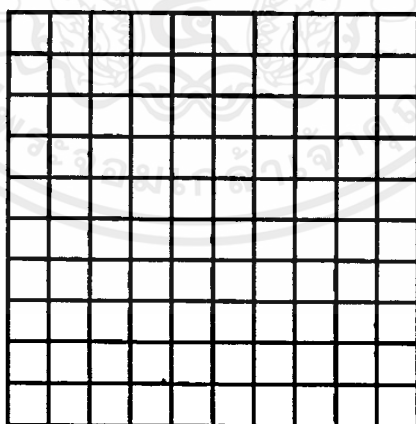
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



VOLTS / DIV = \_\_\_\_ TIME / DIV = \_\_\_\_

รูปที่ 8 สัญญาณที่  $T_{p16}$

10. วัดสัญญาณที่  $T_{p19}$  บันทึกผล

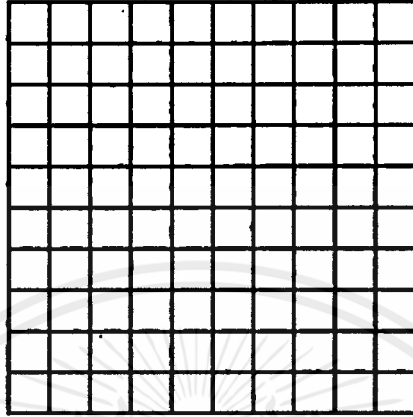


VOLTS / DIV = \_\_\_\_ TIME / DIV = \_\_\_\_

รูปที่ 9 สัญญาณที่  $T_{p19}$

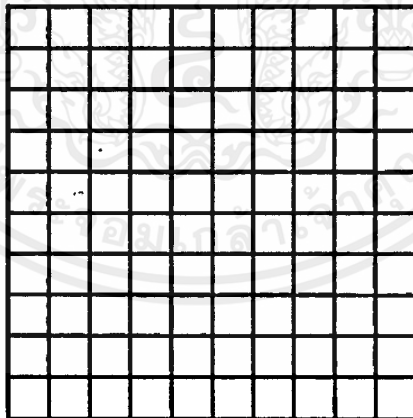
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

11. วัดสัญญาณที่  $T_{p12}$  และ  $T_{p19}$  โดยใช้ออสซิลโลสโคปช่อง 1 และช่อง 2 บันทึกผล



VOLTS / DIV = \_\_\_\_ TIME / DIV = \_\_\_\_

รูปที่ 10 สัญญาณที่  $T_{p12}$

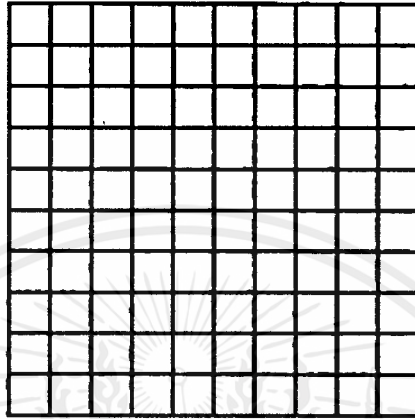


VOLTS / DIV = \_\_\_\_ TIME / DIV = \_\_\_\_

รูปที่ 11 สัญญาณที่  $T_{p19}$

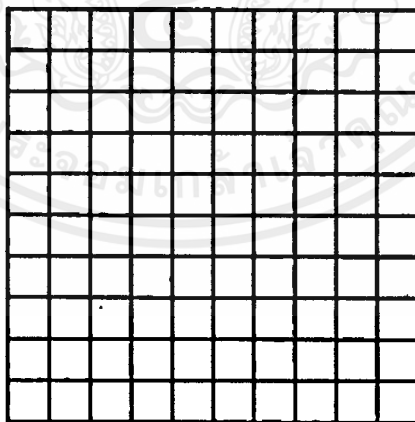
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

12. ปรับความถี่ของสัญญาณนาฬิกาเป็น 9.6 kHz , 16 kHz และ 64 kHz ตามลำดับ และวัดสัญญาณ  $T_{p12}$  และ  $T_{p19}$  บันทึกผล



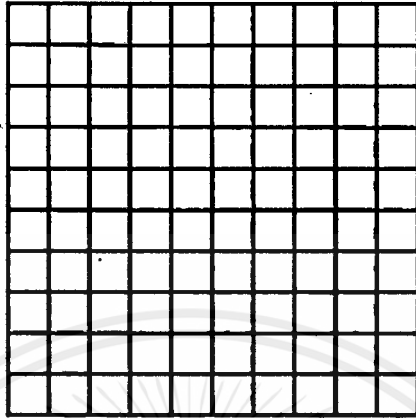
VOLTS / DIV = \_\_\_\_\_ TIME / DIV = \_\_\_\_\_

รูปที่ 12 สัญญาณที่  $T_{p12}$  ความถี่ 9.6 kHz



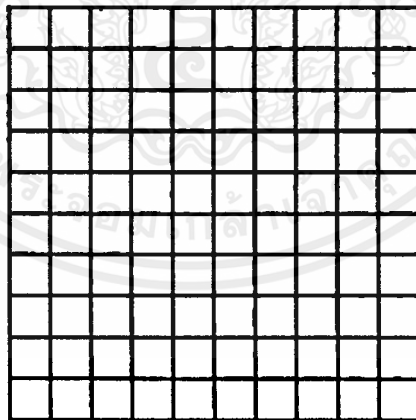
VOLTS / DIV = \_\_\_\_\_ TIME / DIV = \_\_\_\_\_

รูปที่ 13 สัญญาณที่  $T_{p19}$  ความถี่ 9.6 kHz



VOLTS / DIV = \_\_\_\_\_ TIME / DIV = \_\_\_\_\_

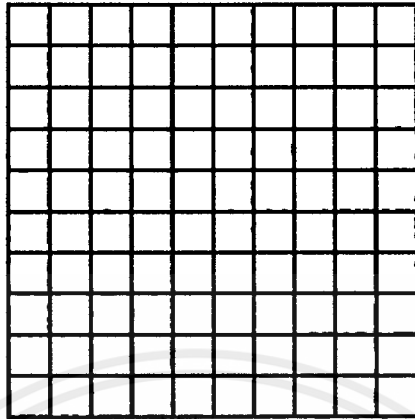
รูปที่ 14 สัญญาณที่  $T_{p12}$  ความถี่ 16 kHz



VOLTS / DIV = \_\_\_\_\_ TIME / DIV = \_\_\_\_\_

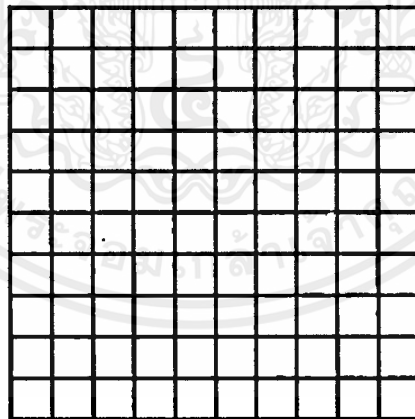
รูปที่ 15 สัญญาณที่  $T_{p19}$  ความถี่ 16 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



VOLTS / DIV = \_\_\_\_\_ TIME / DIV = \_\_\_\_\_

รูปที่ 16 สัญญาณที่  $T_{p12}$  ความถี่ 64 kHz



VOLTS / DIV = \_\_\_\_\_ TIME / DIV = \_\_\_\_\_

รูปที่ 17 สัญญาณที่  $T_{p19}$  ความถี่ 64 kHz

## สรุปผลการทดลอง

---



---



---



---



---

### คำถามท้ายการทดลอง

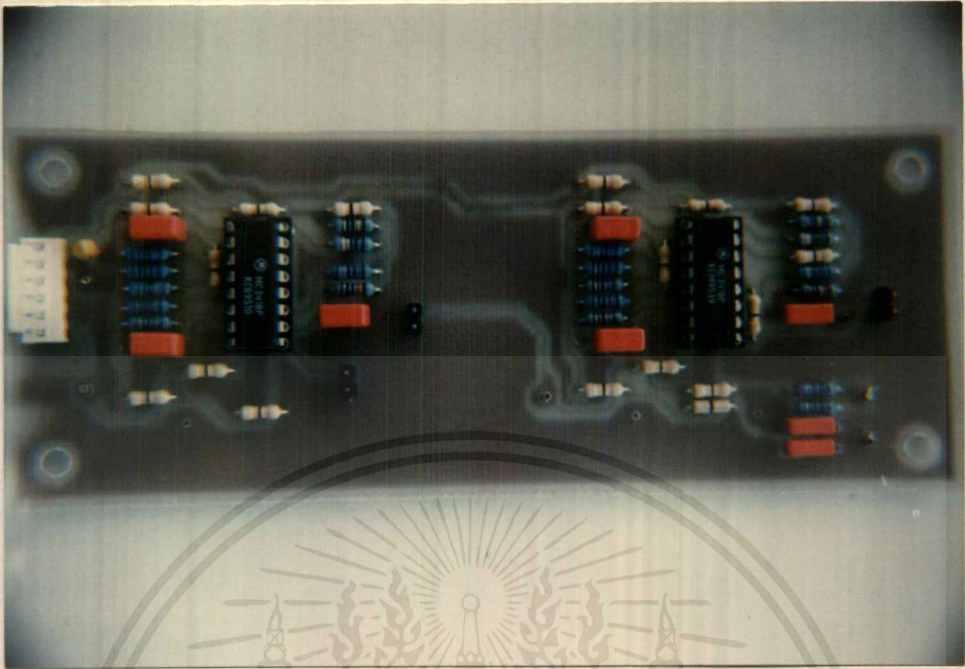
1. จงอธิบายหลักการส่งสัญญาณแบบ Full Duplex มาพอสังเขป
2. จงอธิบายหลักการมอดูเลตแบบเคิลตา ส่งผ่านสายนำสัญญาณแบบโลหะแบบ Full Duplex มาพอสังเขป
3. จงอธิบายความแตกต่างของการสื่อสารแบบ Simplex , Half Duplex และ Full Duplex มาโดยละเอียด



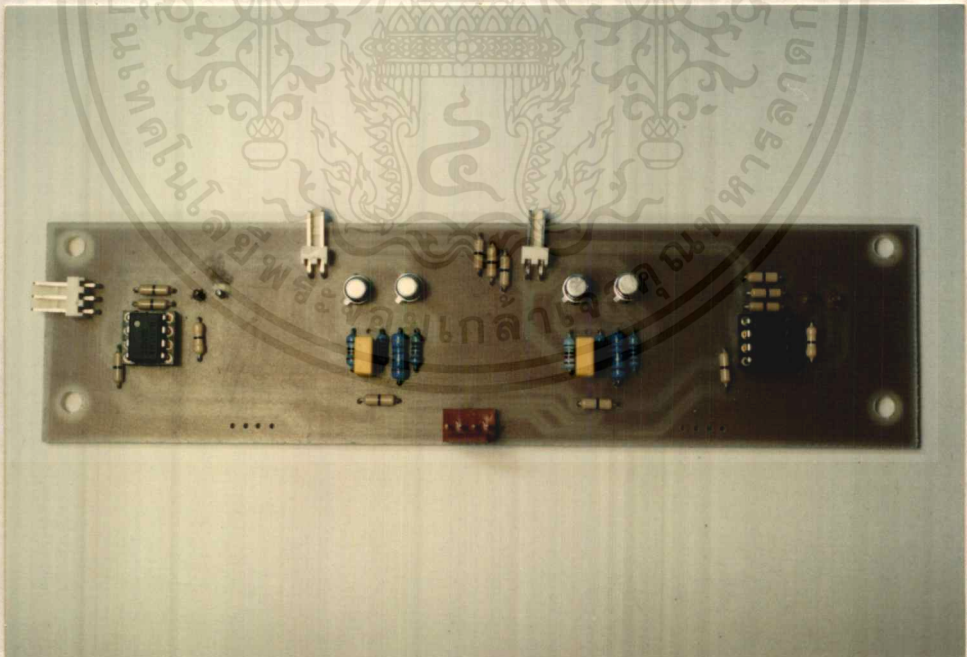
ภาคผนวก ข

ส่วนประกอบของชุดทดลองการมอดูเลตแบบเดลตา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

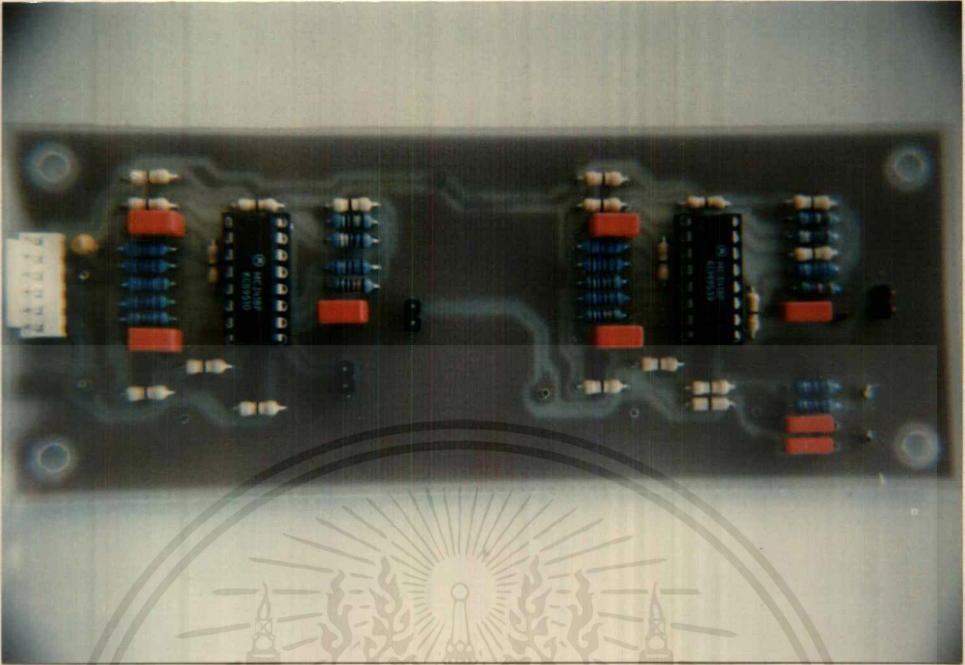


รูปที่ ข.1 วงจรมอดูเลตแบบเคลตา

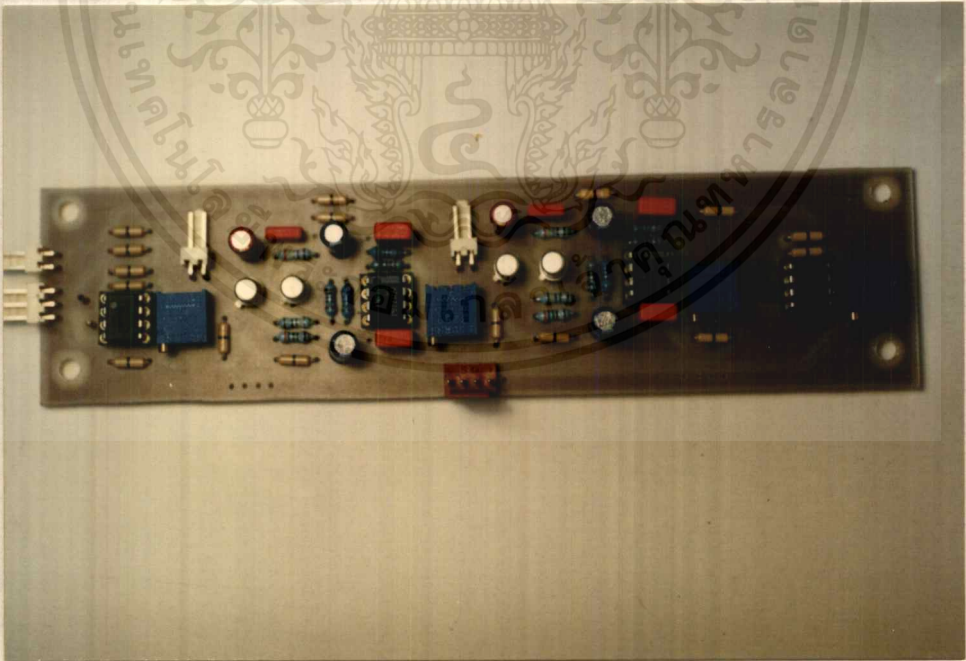


รูปที่ ข.2 วงจรส่งสัญญาณมอดูเลตแบบเคลตา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

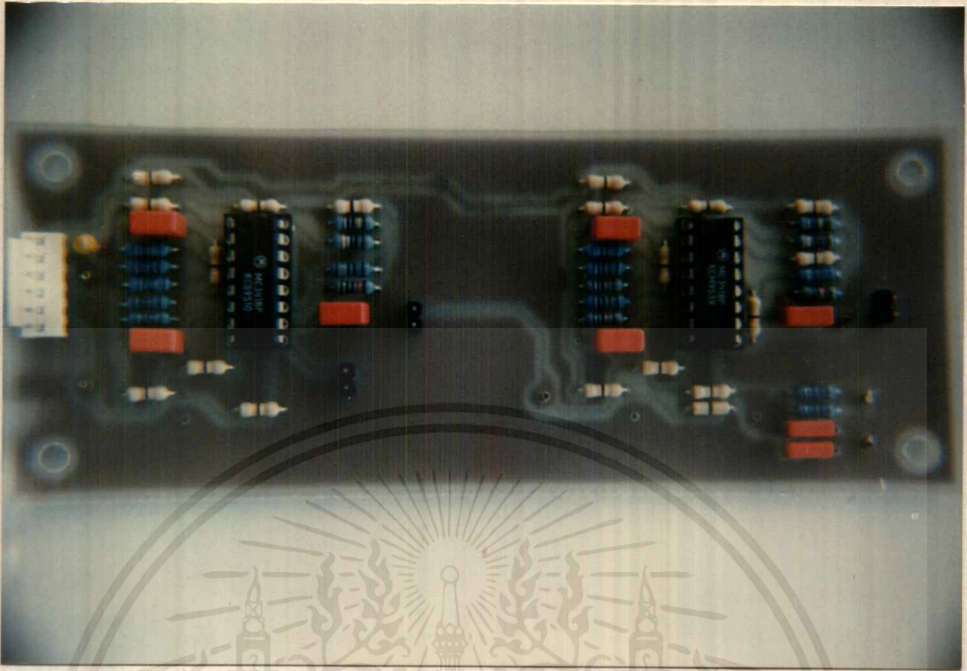


รูปที่ ข.3 วงจรคีมอตุเลตแบบเคลตา

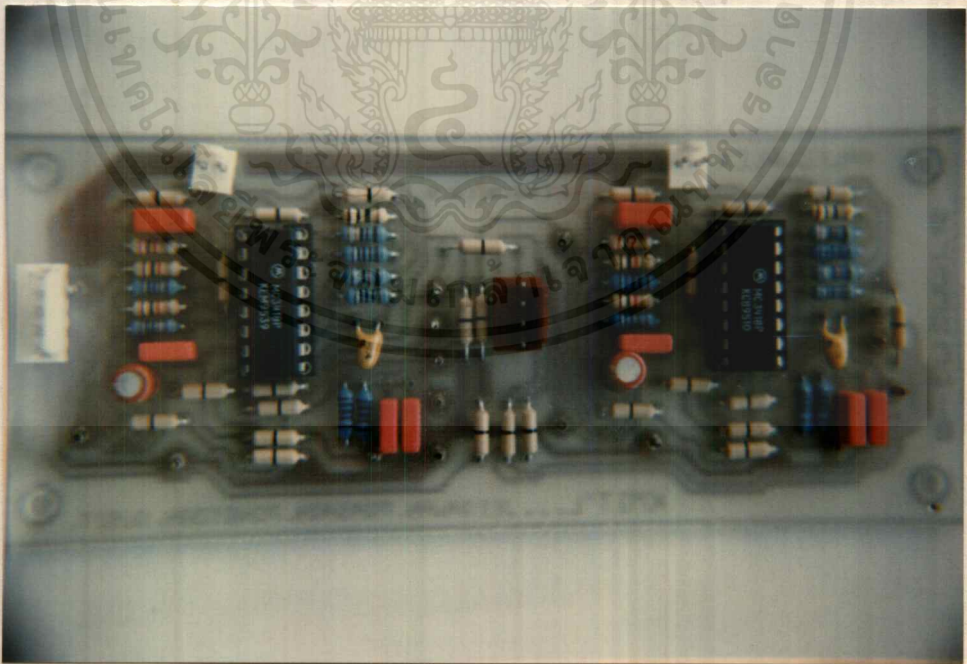


รูปที่ ข.4 วงจรรับสัญญาณมอตุเลตแบบเคลตา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

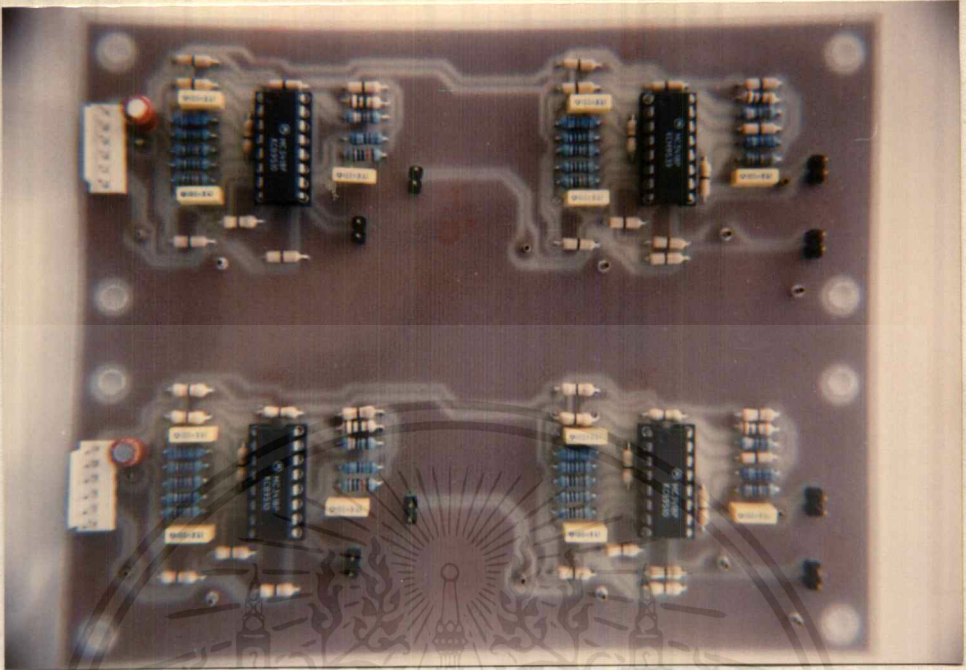


รูปที่ ข.5 วงจรมอดูเลตแบบเคลตาในระบบซิมเพล็กซ์

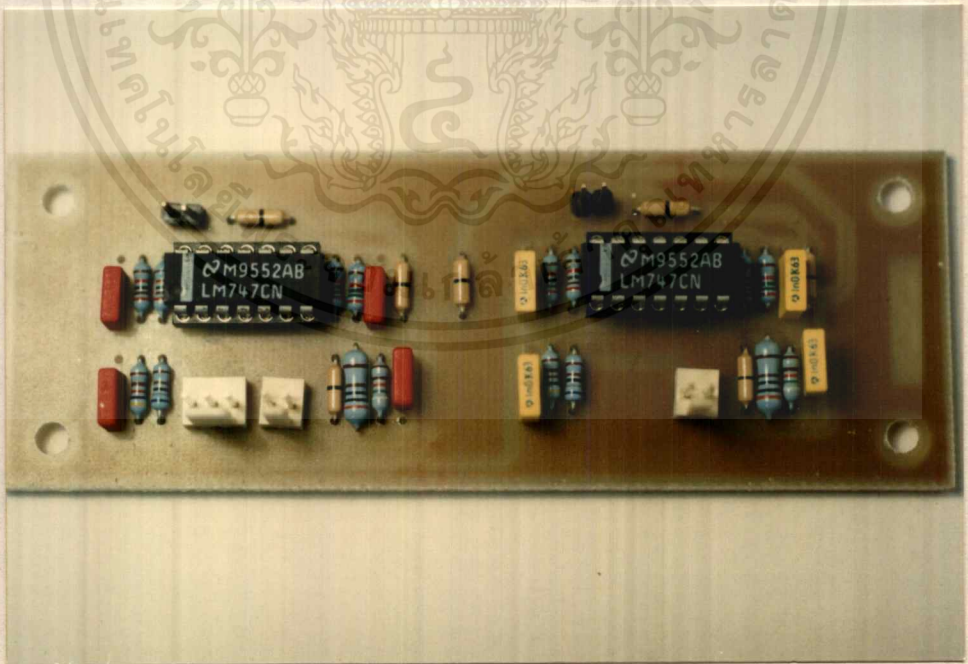


รูปที่ ข.6 วงจรมอดูเลตแบบเคลตาในระบบฮาร์ฟดูเพล็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

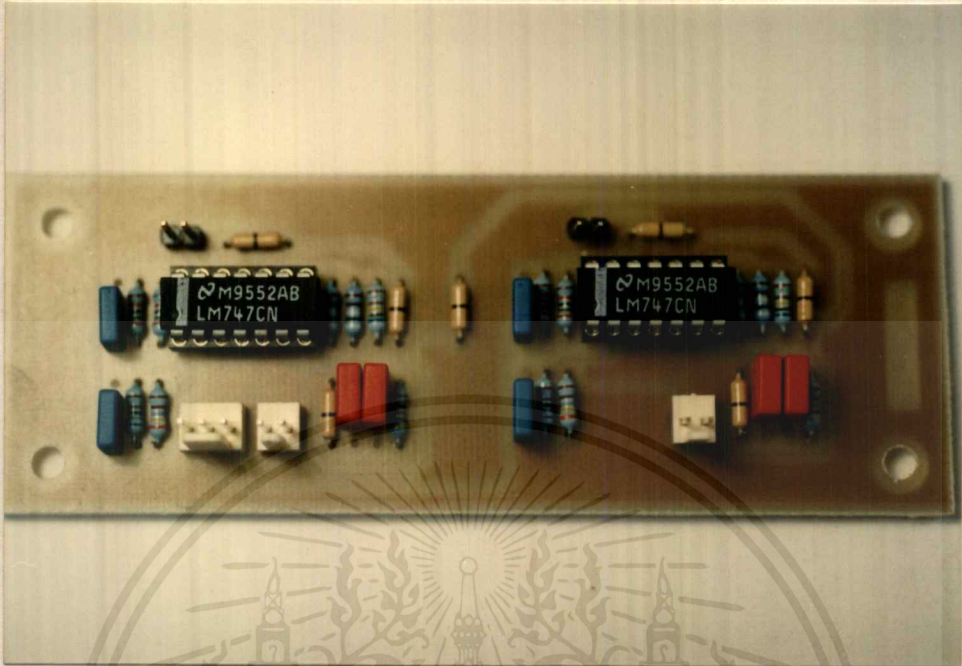


รูปที่ ข.7 วงจรมอดูเลตแบบเคลตาในระบบฟูลดูเพล็กซ์

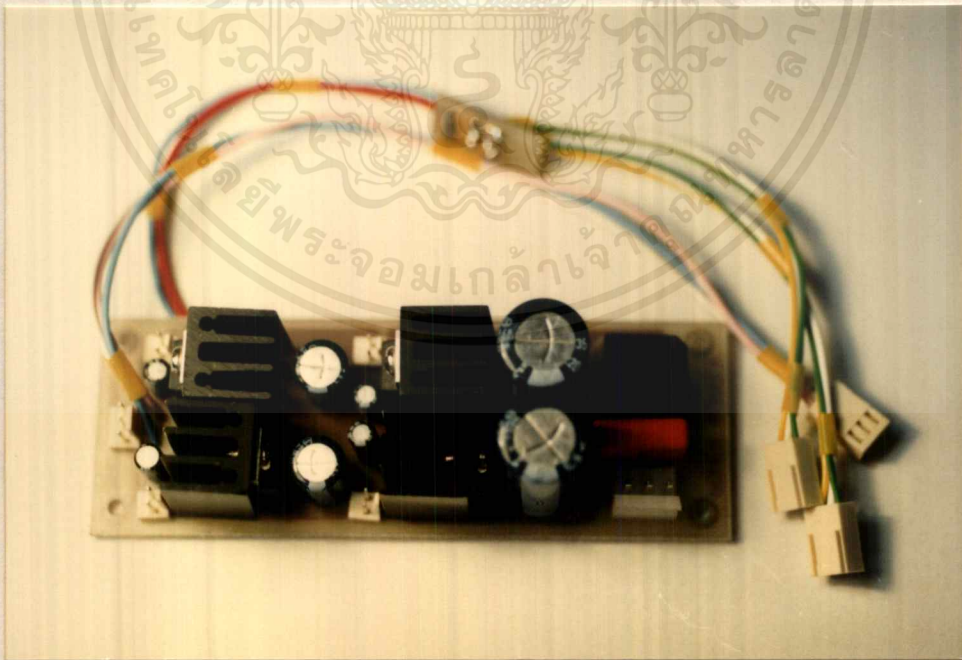


รูปที่ ข.8 วงจรกรองความถี่ต่ำผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ข.9 วงจรกรองความถี่ผ่าน



รูปที่ ข.10 วงจรแหล่งจ่ายกำลังไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

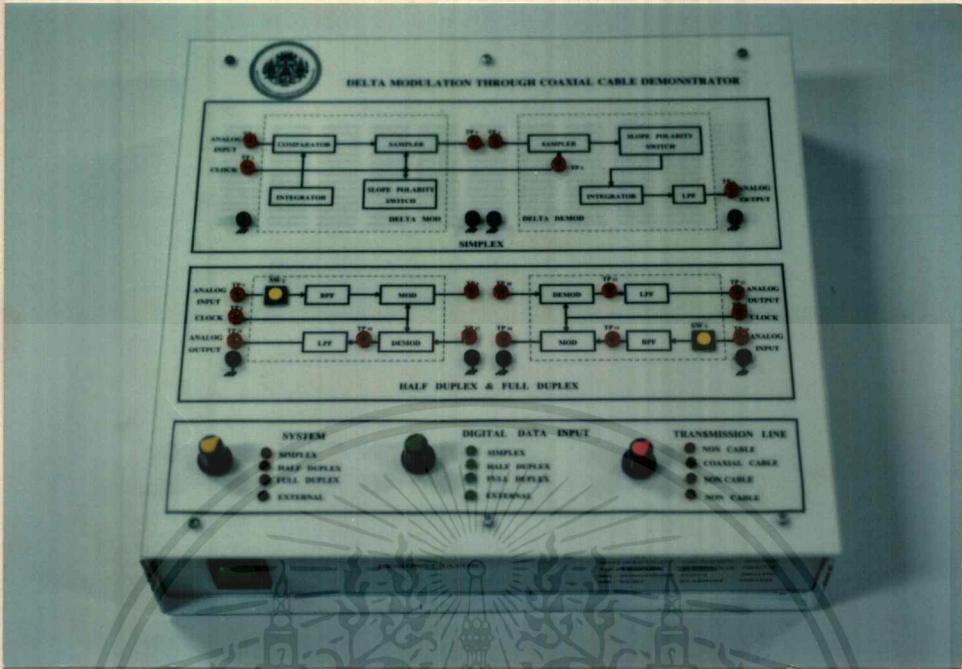


รูปที่ ข.11 ด้านหน้าของชุดทดลอง



รูปที่ ข.12 ด้านหลังของชุดทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ข.13 ด้านบนของชุดทดลอง



รูปที่ ข.14 สายสัญญาณที่ใช้ร่วมกับชุดทดลอง

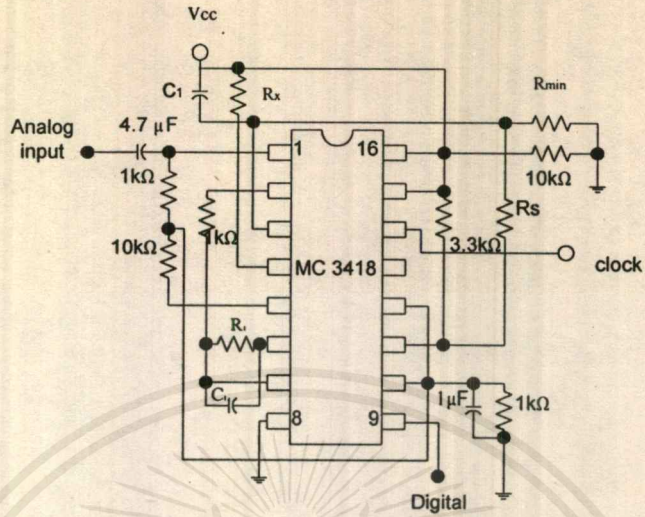
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



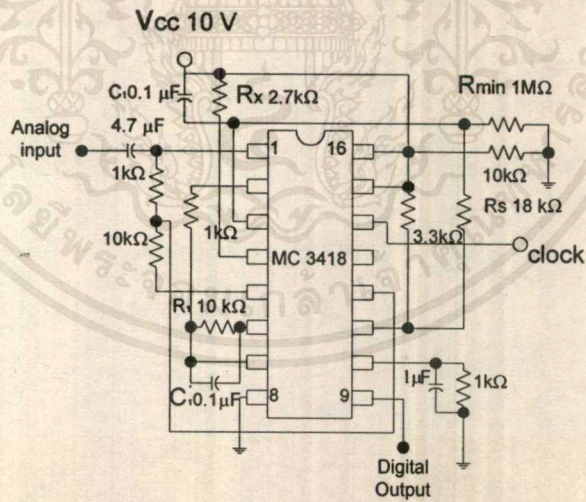
ภาคผนวก ค

**วงจร ถายวงจรพิมพ์ และการวางอุปกรณ์บนแผ่นวงจรพิมพ์**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

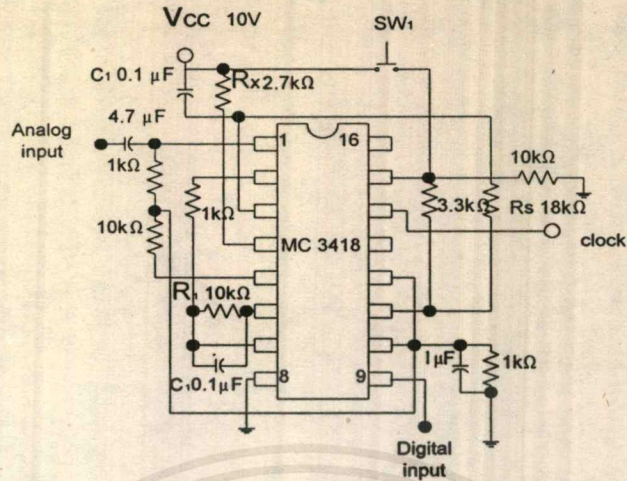


รูปที่ ค.1 วงจรมอดูเลตแบบ DM

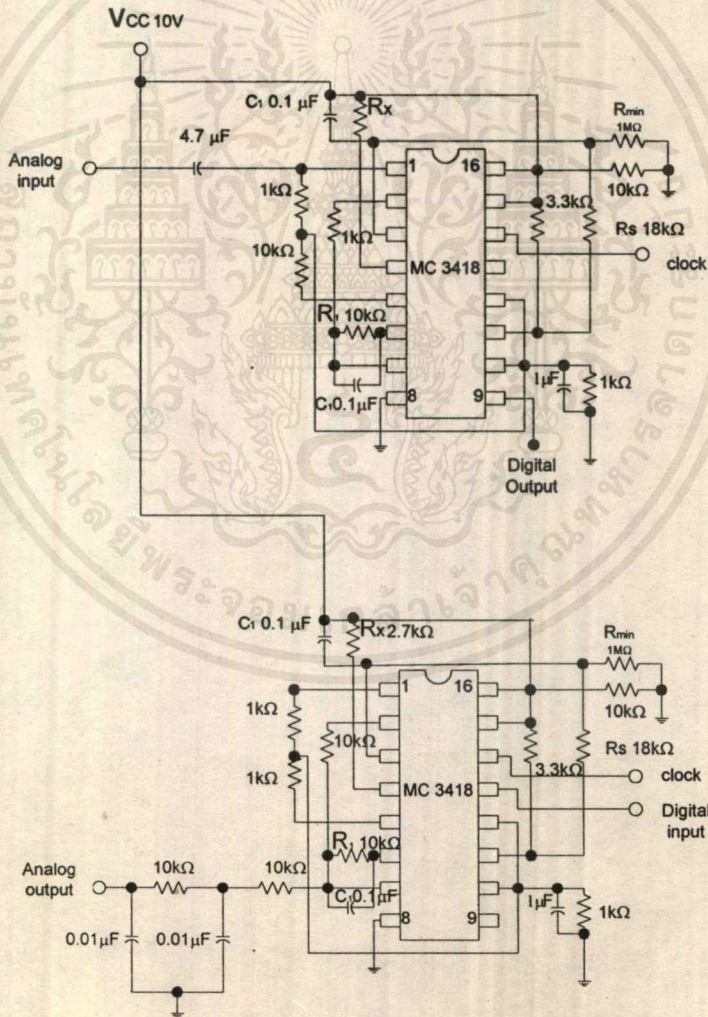


รูปที่ ค.2 วงจรมอดูเลตแบบ DM ในระบบซิมเพิล็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

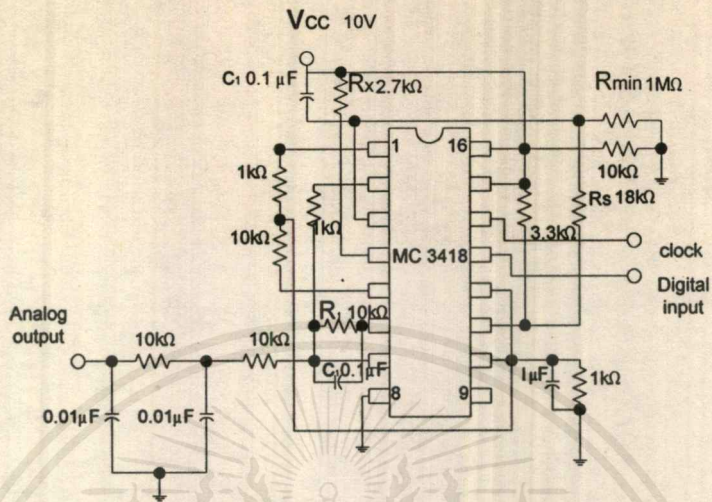


รูปที่ ค.3 วงจรมอดูลแบบ DM ในระบบฮาร์ฟดูเพล็กซ์

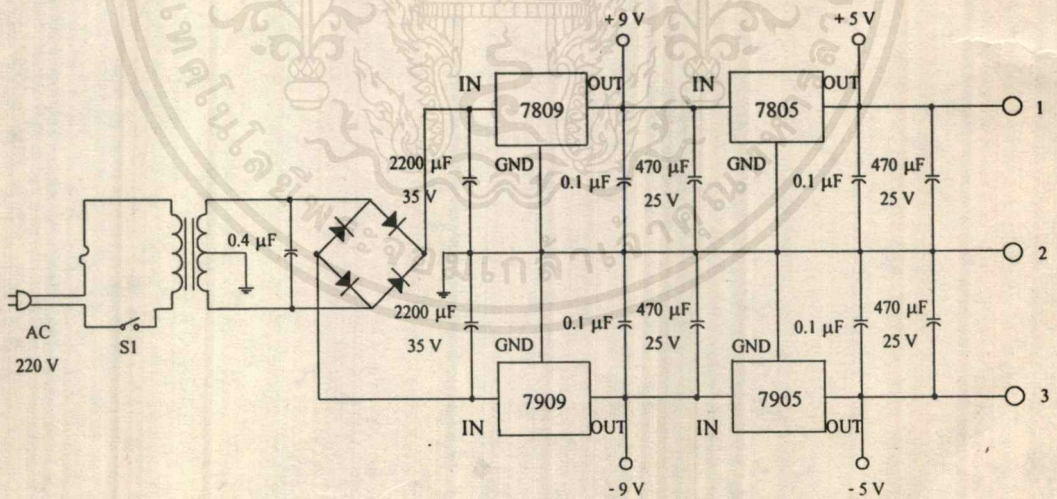


รูปที่ ค.4 วงจรมอดูลแบบ DM ในระบบฟูลดูเพล็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

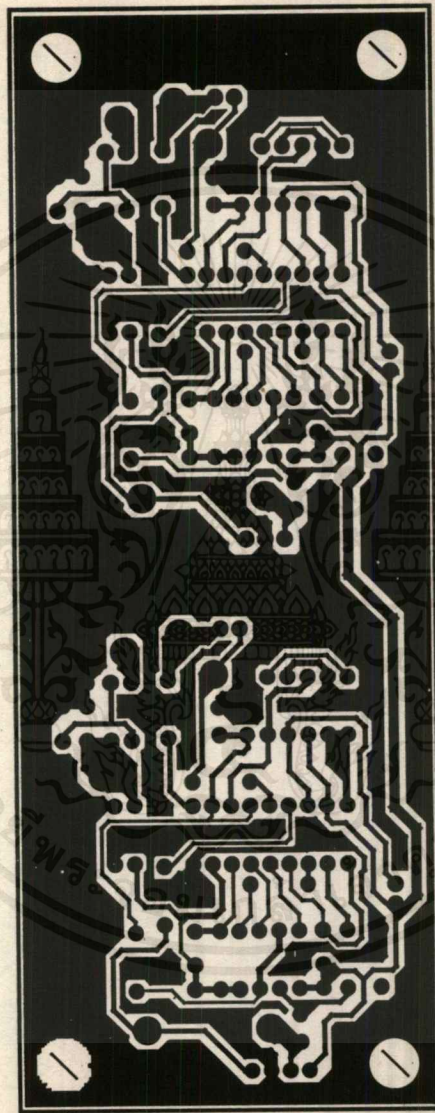


รูปที่ ค.5 วงจรดีมอดูเลตสัญญาณ DM



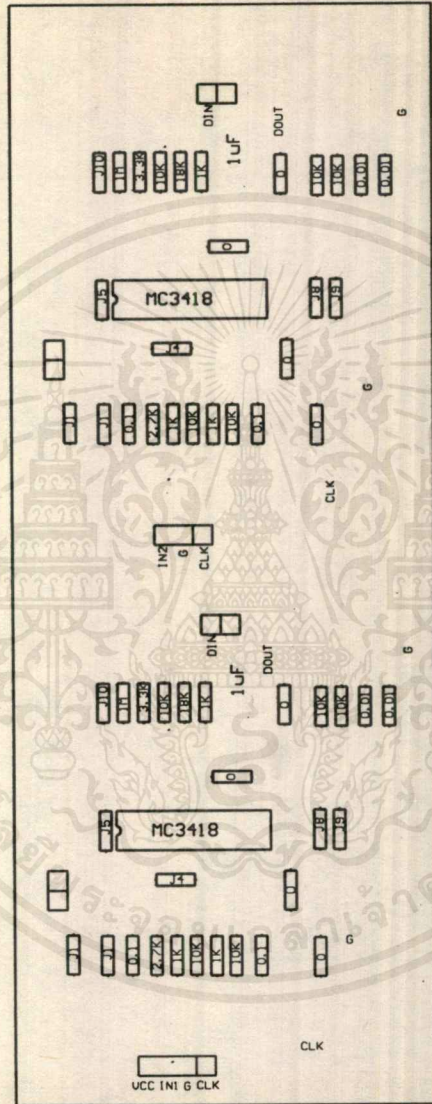
รูปที่ ค.6 วงจรแหล่งจ่ายไฟฟ้ากระแสตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



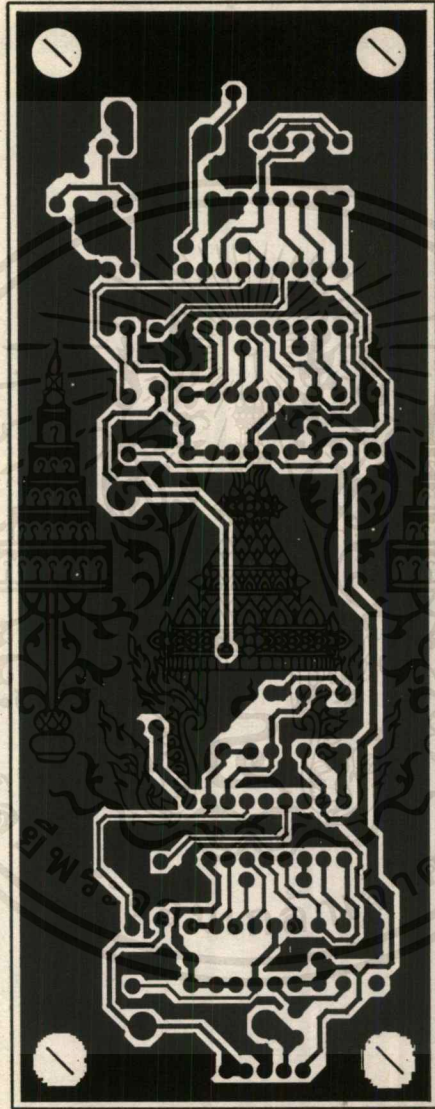
รูปที่ ค.7 ลายวงจรพิมพ์วงจรมอดูเลตแบบเคลตาระบบซิมเพิล็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



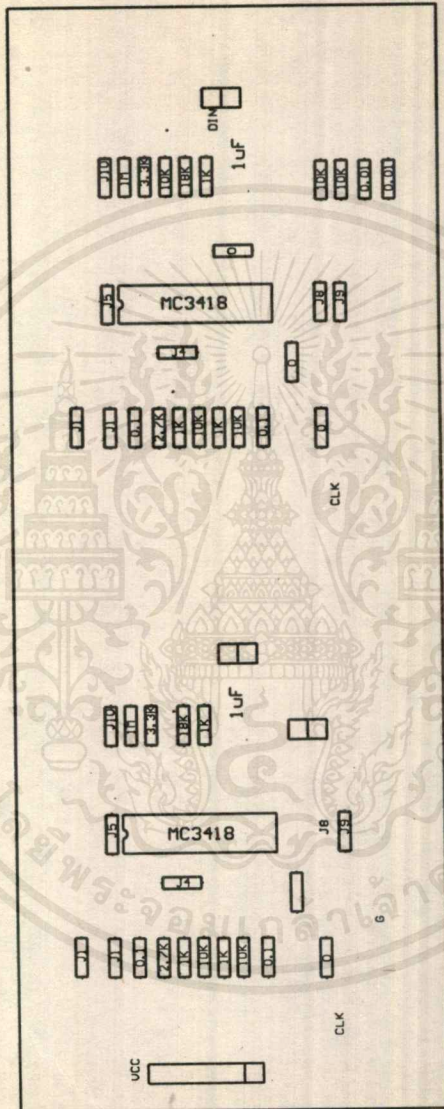
รูปที่ ค.8 การวางอุปกรณ์บนวงจรพิมพ์ของวงจรมอดูลแบบเคลตาระบบซิมเพล็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



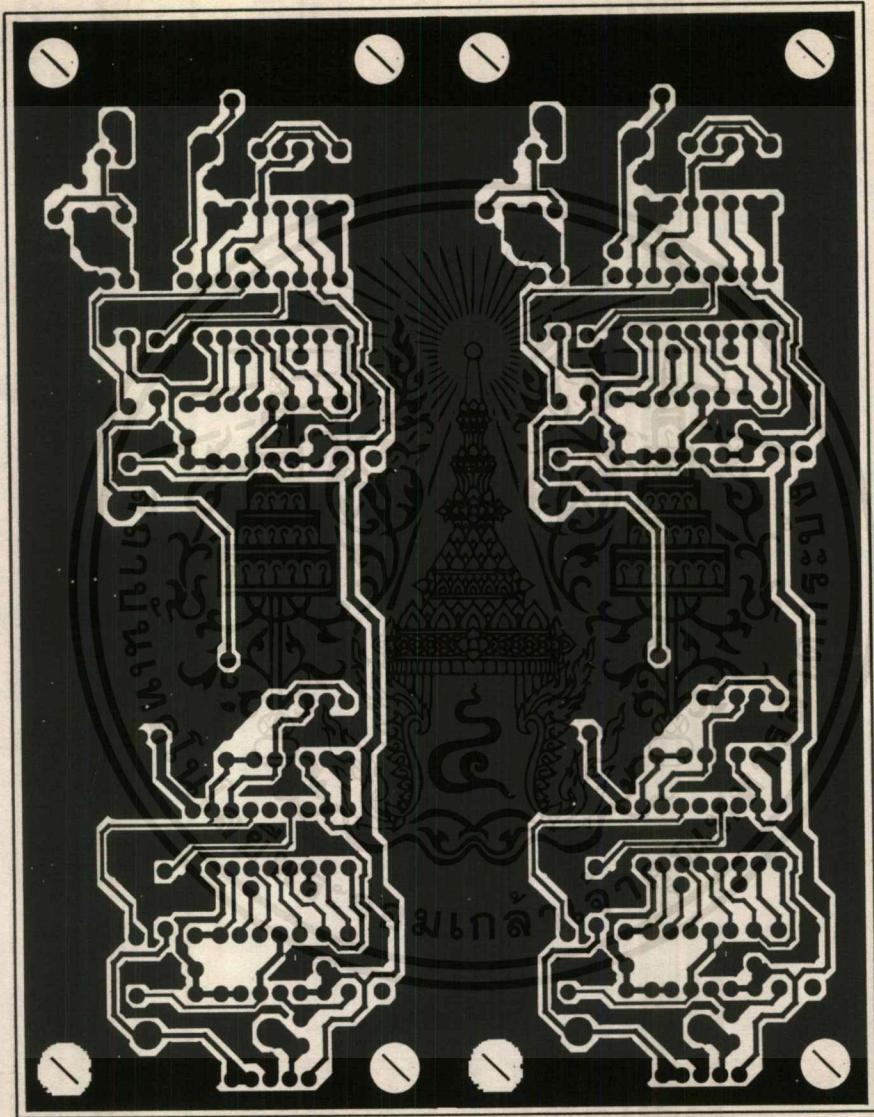
รูปที่ ค.9 ลายวงจรพิมพ์วงจรมอดูเลตแบบเคลตาระบบฮาร์ดเพล็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



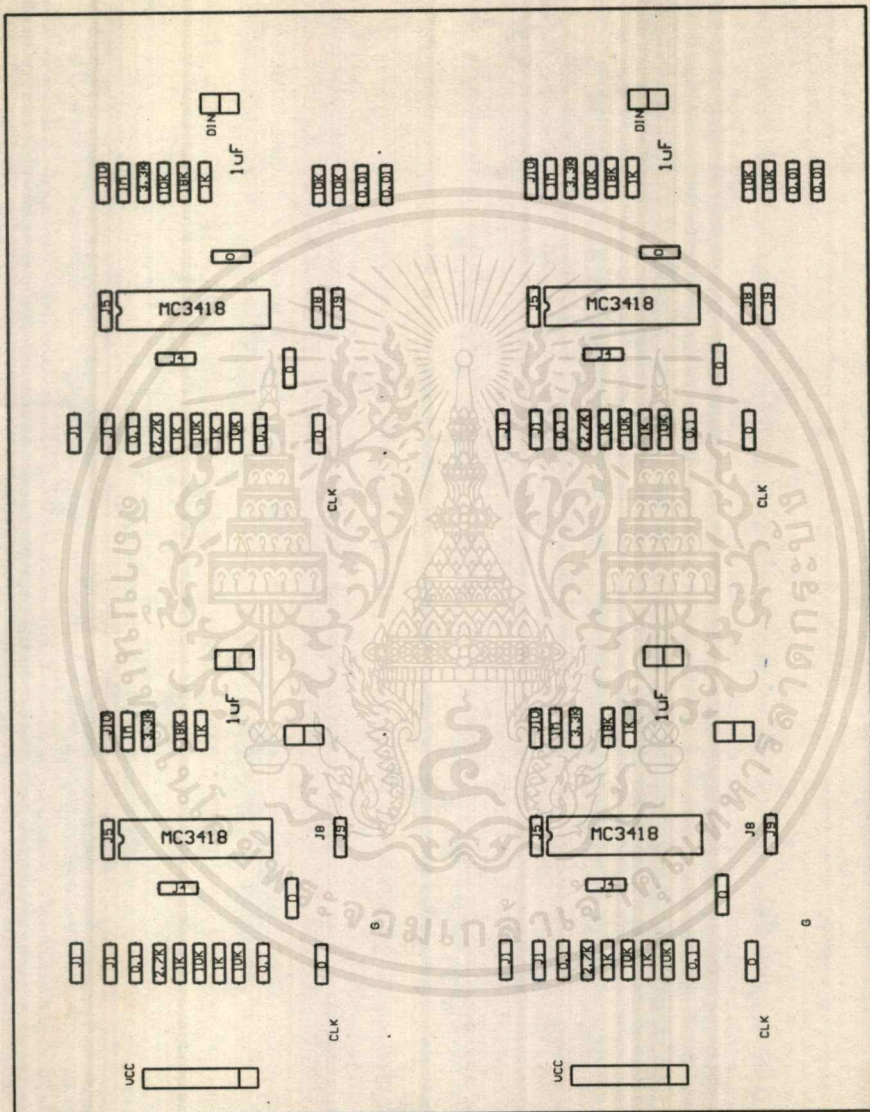
รูปที่ ค.10 การวางอุปกรณ์วงจรพิมพ์ของวงจรมอดูเลตแบบเคลตาระบบฮาร์ฟดูเพล็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



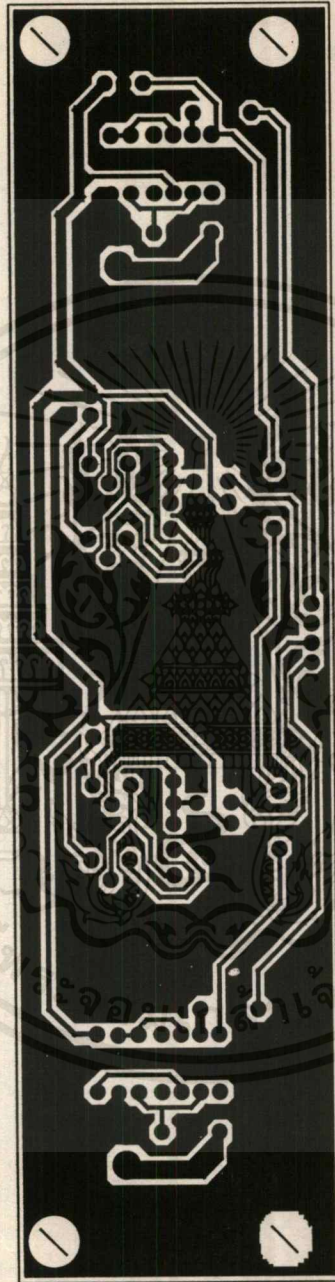
รูปที่ ค.11 ลายวงจรพิมพ์วงจรมอดูเลตแบบเคลตาระบบฟูลดูเพล็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



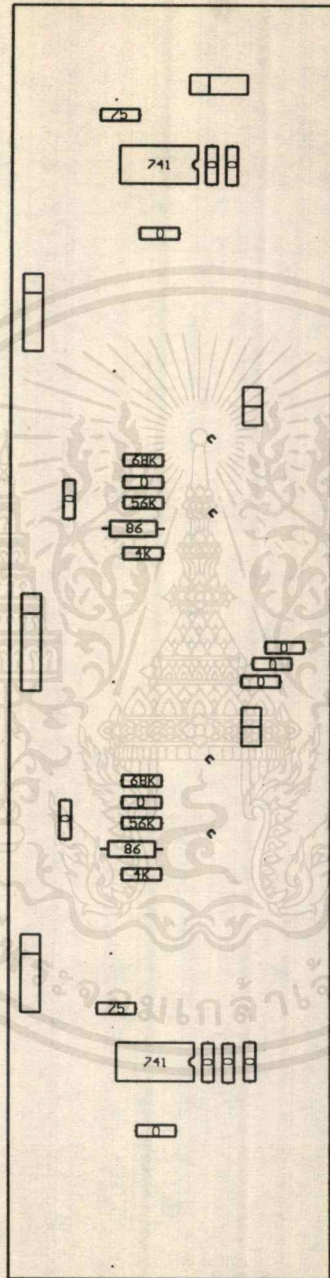
รูปที่ ค.12 การวางอุปกรณ์วงจรพิมพ์ของวงจรมอดูเลตแบบเคลตาระบบพูลดูเพล็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



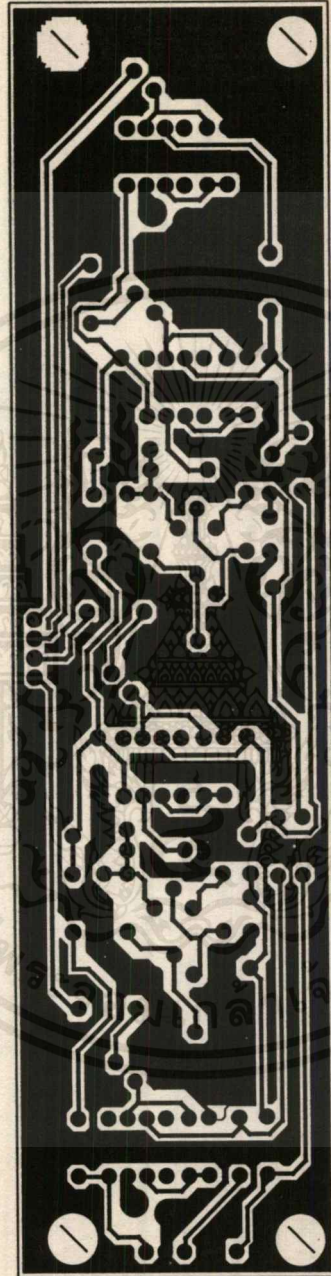
รูปที่ ค.13 ลายวงจรพิมพ์วงจรส่งสัญญาณมอดูเลตแบบเดลตา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



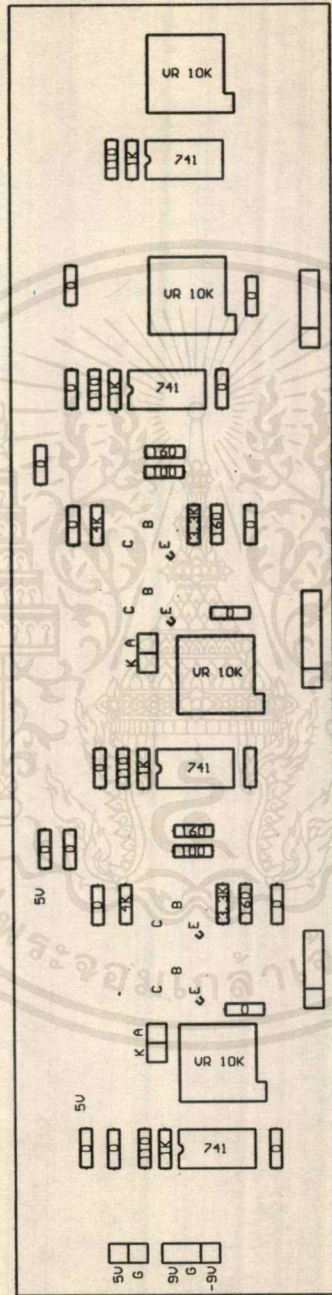
รูปที่ ค.14 การวางอุปกรณ์บนวงจรพิมพ์ของวงจรส่งสัญญาณมอดูเลตแบบเคลตา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



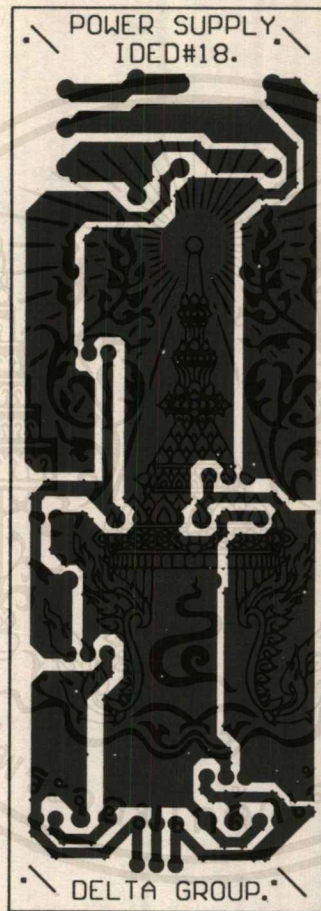
รูปที่ ค.15 ลายวงจรพิมพ์วงจรรับสัญญาณมอดูเลตแบบเคลตา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



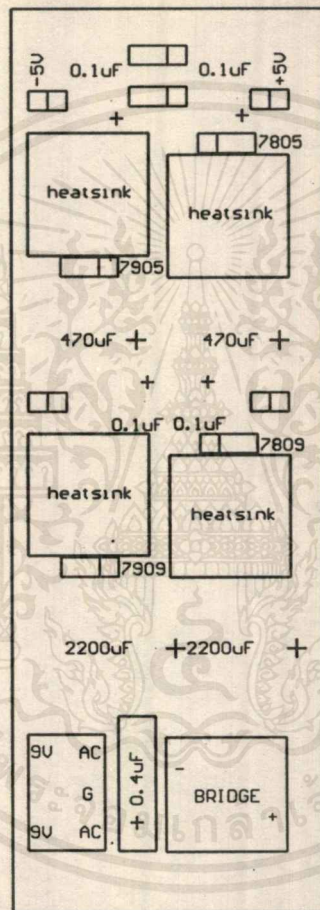
รูปที่ ค.16 การวางอุปกรณ์บนวงจรพิมพ์ของวงจรรับสัญญาณมอดูเลตแบบเคลตา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



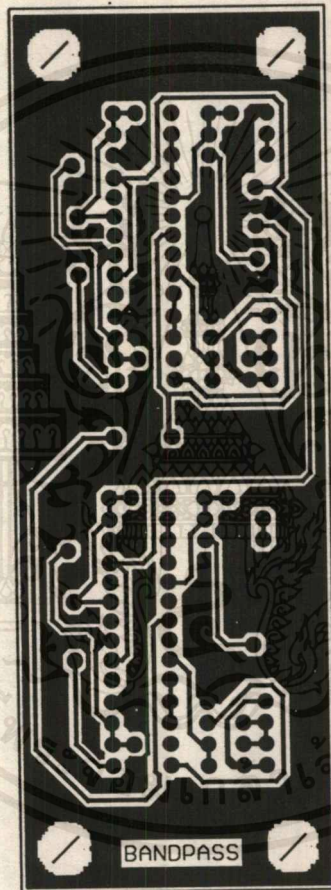
รูปที่ ค.17 ลายวงจรพิมพ์วงจรแหล่งจ่ายกำลังไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



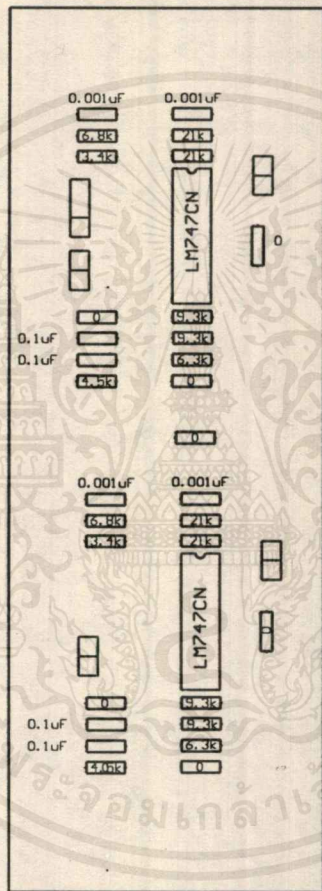
รูปที่ ค.18 การวางอุปกรณ์บนวงจรพิมพ์ของวงจรแหล่งจ่ายกำลังไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ค.19 ลายวงจรพิมพ์วงจรกรองความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ค.20 การวางอุปกรณ์บนวงจรพิมพ์ของวงจรกรองความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## คู่มือการใช้งาน

ชุดทดลองปฏิบัติการมอดูเลตแบบเคลตาส่งผ่านสายนำสัญญาณแบบโลหะ

### DELTA MODULATION THROUGH COAXIAL CABLE DEMONSTRATOR

ชุดทดลองปฏิบัติการมอดูเลตแบบเคลตาส่งผ่านเส้นใยแสง เป็นชุดทดลองที่ใช้ในการทดลองการทำงานของวงจรมอดูเลต และคีมมอดูเลตแบบเคลตา สามารถส่งสัญญาณผ่านสายนำสัญญาณแบบโลหะซึ่งสามารถที่จะทดสอบสัญญาณในแต่ละจุดการทำงาน ที่จุดทดสอบสัญญาณ (Test Point ; TP) ซึ่งอยู่บนหน้ากล่องของชุดทดลอง

ชุดทดลองปฏิบัติการมอดูเลตแบบเคลตา ส่งผ่านสายนำสัญญาณแบบโลหะ ประกอบด้วย

#### 1. ส่วนประกอบด้านหน้า ประกอบด้วย

**POWER :** เป็นสวิตช์เปิด / ปิด การทำงานของชุดทดลองปฏิบัติการมอดูเลตแบบเคลตาส่งผ่านสายนำสัญญาณแบบโลหะ

#### 2. ส่วนประกอบด้านหลัง ประกอบด้วย

แบ่งออกเป็น 3 ส่วน คือ

**2.1 Simplex :** เป็นแผนภาพการมอดูเลตแบบเคลตาส่งสัญญาณแบบทิศทางเดียว (Simplex) ซึ่งสามารถวัดสัญญาณจากจุดทดสอบสัญญาณ

**2.2 Half Duplex & Full Duplex :** เป็นแผนภาพการมอดูเลตแบบเคลตาส่งสัญญาณแบบสองทิศทางแบบผลัดกันรับส่ง (Half Duplex) และแผนภาพการมอดูเลตแบบเคลตาส่งสัญญาณแบบสองทิศทาง (Full Duplex) ซึ่งสามารถวัดสัญญาณจากจุดทดสอบสัญญาณได้

#### 2.3 Control

**2.3.1 System :** เป็นส่วนที่ใช้ควบคุมการส่งสัญญาณนาฬิกา และแรงดันไฟฟ้าไปให้ กับวงจรมอดูเลต และคีมมอดูเลตแบบเคลตา ซึ่งจะทำให้วงจรการทำงานแบ่งออกเป็น

**Simplex :** ให้วงจรมอดูเลตแบบเคลตาส่งสัญญาณแบบทิศทางเดียวทำงาน

Half Duplex : ให้วงจรมอดูเลตแบบเคลตาส่งสัญญาณสองทิศทางแบบผลัดกัน รับส่งทำงาน

Full Duplex : ให้วงจรมอดูเลตแบบเคลตาส่งสัญญาณแบบสองทิศทางทำงาน

External : จะใช้ในกรณีที่ได้รับสัญญาณจากภายนอกเข้ามา

2.3.2 Data In : เป็นส่วนควบคุมการส่งสัญญาณที่ผ่านการมอดูเลตแบบเคลตาส่งไปยังวงจรดีมอดูเลตแบบเคลตา ประกอบด้วย 4 ส่วน คือ

- Simplex
- Half Duplex
- Full Duplex
- External

2.3.3 Transmission Line : เป็นส่วนควบคุมการเลือกใช้สายนำสัญญาณที่จะใช้ส่งสัญญาณที่ผ่านการมอดูเลตแล้วไปยังวงจรดีมอดูเลต ประกอบด้วย 3 ส่วนคือ

- Non Cable : ไม่ต่อสายนำสัญญาณใช้ในกรณีที่จะทดลองต่อสายจากจุดทดสอบ
- Coaxial Cable : สายนำสัญญาณแบบโลหะ

### 3. ส่วนประกอบด้านหลัง ประกอบด้วย

220 V : เป็นจุดต่อแรงดันไฟฟ้า 220 V

Input 1 : จุดป้อนสัญญาณแอนะล็อก จุดที่ 1

Input 2 : จุดป้อนสัญญาณแอนะล็อก จุดที่ 2

Clock : จุดป้อนสัญญาณนาฬิกา

Ext : จุดป้อนสัญญาณจากภายนอก

Coax TX<sub>1</sub> , TX<sub>2</sub> : จุดต่อสายนำสัญญาณแบบโลหะ จากวงจรมอดูเลตไปยังวงจรดีมอดูเลตแบบเคลตาส่งผ่านสายนำสัญญาณแบบโลหะซึ่งจะต้องต่อเข้า Coax RX<sub>1</sub> หรือ Coax RX<sub>2</sub> (Coax TX<sub>1</sub> ต่อเข้ากับ Coax RX<sub>2</sub> และ Coax TX<sub>2</sub> ต่อเข้ากับ RX<sub>1</sub>)

Coax RX<sub>1</sub> , RX<sub>2</sub> : จุดต่อสายนำสัญญาณแบบโลหะทางด้านวงจรดีมอดูเลตแบบเคลตาส่งผ่านสายนำสัญญาณแบบโลหะ (สายนำสัญญาณแบบโลหะ จะต่อจากจุด Coax TX<sub>1</sub> ต่อเข้ากับ Coax RX<sub>2</sub> และ Coax TX<sub>2</sub> ต่อเข้ากับ RX<sub>1</sub>)

#### 4. การทดลองส่งสัญญาณผ่านสายนำสัญญาณแบบโลหะปฏิบัติตามขั้นตอนดังนี้ คือ

1. ต่อสายนำสัญญาณแบบโลหะจากจุดต่อ Coax TX<sub>1</sub> เข้ากับ Coax RX<sub>2</sub> ซึ่งอยู่ด้านหลังของชุดทดลอง

2. ปรับสวิตช์ System ไปที่ตำแหน่ง External

3. ปรับสวิตช์ Transmission Line ไปที่ตำแหน่ง Coaxial Cable

4. ปรับสวิตช์ Digital Data in ไปที่ตำแหน่ง External

5. เปิดสวิตช์ Power

6. ใช้ฟังก์ชันเจนเนอเรเตอร์ป้อนสัญญาณคลื่นไซน์หรือสัญญาณจตุรัสความถี่ 1 kHz ขนาด 0.4 Vp-p เข้าที่จุด Ext

7. ใช้ออสซิลโลสโคปวัดสัญญาณที่จุดทดสอบ TP<sub>1</sub> และ TP<sub>4</sub> ตามลำดับ

#### 5. การทดลองการมอดูเลตและดีมอดูเลตแบบเดคตา ต้องปฏิบัติตามขั้นตอนดังนี้

1. ปรับสวิตช์ System ไปที่ตำแหน่ง Simplex

2. ปรับสวิตช์ Transmission Line ไปที่ตำแหน่ง No Connect

3. ปรับสวิตช์ Digital Data in ไปที่ตำแหน่ง Simplex

4. เปิดสวิตช์ Power

5. ป้อนสัญญาณคลื่นจตุรัส ความถี่ 64 kHz ขนาด 4 Vp-p โดยการปรับระดับแรงดัน Offset จากฟังก์ชันเจนเนอเรเตอร์เข้าที่อินพุตของสัญญาณนาฬิกา

6. ป้อนสัญญาณคลื่นไซน์ ความถี่ 1 kHz ขนาด 0.4 Vp-p เข้าที่ INPUT 1

7. ใช้ออสซิลโลสโคปวัดสัญญาณจากจุดทดสอบต่างๆ

#### 6. การทดลองการส่งสัญญาณแบบ Simplex ปฏิบัติตามขั้นตอนดังนี้

1. ต่อสายนำสัญญาณแบบโลหะ เข้าที่ Coax TX<sub>1</sub> กับ Coax RX<sub>2</sub>

2. ปรับสวิตช์ System ไปอยู่ที่ตำแหน่ง Simplex

3. ปรับสวิตช์ Transmission Line ไปอยู่ที่ตำแหน่ง Coaxial Cable

4. ปรับสวิตช์ Digital Data in ไปอยู่ที่ตำแหน่ง Simplex

5. เปิดสวิตช์ Power

6. ป้อนสัญญาณคลื่นจัตุรัสความถี่ 64 kHz ขนาด 4 Vp-p โดยการปรับระดับแรงดัน Off Set จากฟังก์ชันเจนเนอเรเตอร์เข้าที่อินพุตของสัญญาณนาฬิกา
7. ป้อนสัญญาณคลื่นไซน์ซึ่งมีความถี่ 1 kHz ขนาด 0.4 Vp-p เข้าที่ Input 1
8. ใช้ออสซิลโลสโคปวัดสัญญาณจากจุดทดสอบต่างๆ

### 7. การทดลองการส่งสัญญาณแบบ Half Duplex ปฏิบัติตามขั้นตอนดังนี้ คือ

1. ต่อสายนำสัญญาณแบบโลหะเข้าที่จุด Coax TX<sub>1</sub> เข้ากับจุด Coax RX<sub>2</sub> และ Coax TX<sub>2</sub> เข้ากับจุด Coax RX<sub>1</sub>
2. ปรับสวิตช์ System ไปที่ตำแหน่ง Half Duplex
3. ปรับสวิตช์ Transmission Line ไปอยู่ที่ตำแหน่ง Coaxial Cable
4. ปรับสวิตช์ Digital Data in ไปอยู่ที่ตำแหน่ง Simplex
5. เปิดสวิตช์ Power
6. ป้อนสัญญาณคลื่นจัตุรัสความถี่ 64 kHz ขนาด 4 Vp-p โดยการปรับระดับแรงดัน Off Set จากฟังก์ชันเจนเนอเรเตอร์เข้าที่อินพุตของสัญญาณนาฬิกา
7. ป้อนสัญญาณคลื่นไซน์ซึ่งมีความถี่ 1 kHz ขนาด 0.4 Vp-p เข้าที่ Input 1 และ 2 ตามลำดับ
8. ใช้ออสซิลโลสโคปวัดสัญญาณจากจุดทดสอบ โดยต้องกดสวิตช์ SW<sub>1</sub> หรือ SW<sub>2</sub> เพื่อทำการผลัดกันส่งสัญญาณ

### 8. การทดลองการส่งสัญญาณแบบ Full Duplex ปฏิบัติตามขั้นตอนดังนี้ คือ

1. ต่อสายนำสัญญาณแบบโลหะเข้าที่จุด Coax TX<sub>1</sub> เข้ากับจุด Coax RX<sub>2</sub> และ Coax TX<sub>2</sub> เข้ากับจุด Coax RX<sub>1</sub>
2. ปรับสวิตช์ System ไปที่ตำแหน่ง Full Duplex
3. ปรับสวิตช์ Transmission Line ไปอยู่ที่ตำแหน่ง Coaxial Cable
4. ปรับสวิตช์ Digital Data in ไปอยู่ที่ตำแหน่ง Full Duplex
5. เปิดสวิตช์ Power
6. ป้อนสัญญาณคลื่นจัตุรัสความถี่ 64 kHz ขนาด 4 Vp-p โดยการปรับระดับแรงดัน Off Set จากฟังก์ชันเจนเนอเรเตอร์เข้าที่อินพุตของสัญญาณนาฬิกา

7. ป้อนสัญญาณคลื่นไซน์ซึ่งมีความถี่ 1 kHz ขนาด 0.4 Vp-p เข้าที่ Input 1 และ 2 ตามลำดับ
8. ใช้ออสซิลโลสโคปวัดสัญญาณจากจุดทดสอบ โดยต้องกดสวิตช์ SW<sub>1</sub> หรือ SW<sub>2</sub> เพื่อทำการผลัดกันรับสัญญาณ

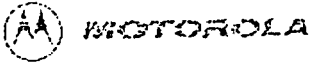




ภาคผนวก จ

รายละเอียด และคุณสมบัติของอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Order this document by MC3418/D

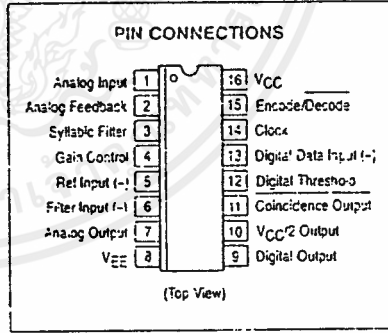
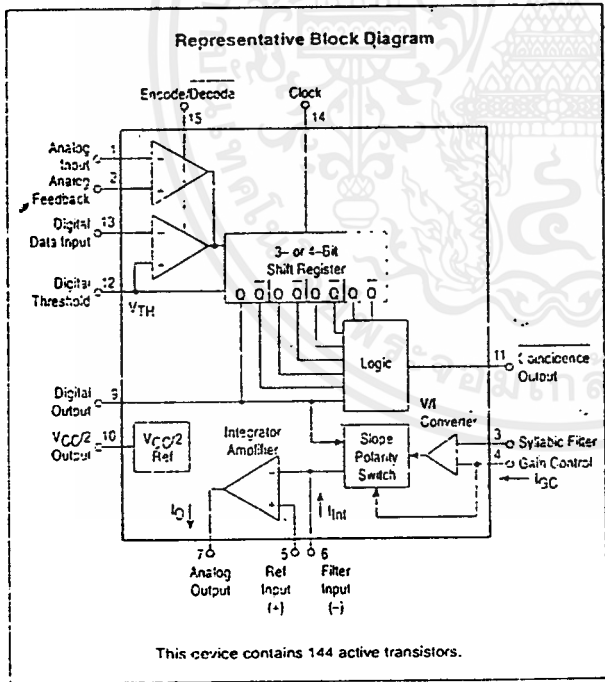
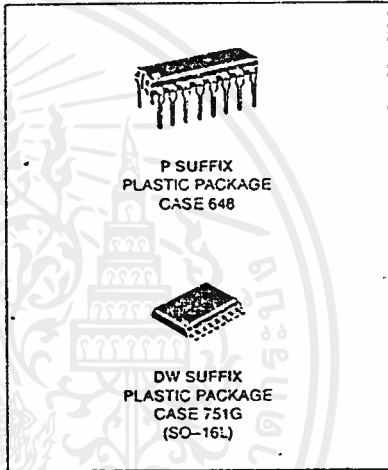
# MC3418

## Continuously Variable Slope Delta Modulator/Demodulator

Providing a simplified approach to digital speech encoding/decoding, the MC3418 CVSD is designed for military secure communication and commercial telephone applications. A single IC provides both encoding and decoding functions.

- Encode and Decode Functions on the Same Chip with a Digital Input for Selection
- Utilization of Compatible  $\mu$ L - Linear: Bipolar Technology
- CMOS Compatible Digital Output
- Digital Input Threshold Selectable ( $V_{CC}/2$  Reference Provided On-Chip)
- MC3418 has a 4-Bit Algorithm (Commercial Telephone)

CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR  
LASER-TRIMMED IC  
SEMICONDUCTOR TECHNICAL DATA



ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC3418DW	$T_A = 0^\circ \text{ to } +70^\circ\text{C}$	SO-16L
MC3418P		Plastic DIP

© Motorola Inc. 1995

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## MC3418

MAXIMUM RATINGS (All voltages referenced to  $V_{EE}$ ,  $T_A = 25^\circ\text{C}$ , unless otherwise noted.)

Rating	Symbol	Value	Unit
Power Supply Voltage	$V_{CC}$	-0.4 to +18	Vdc
Differential Analog Input Voltage	$V_{ID}$	$\pm 5.0$	Vdc
Digital Threshold Voltage	$V_{TH}$	-0.4 to $V_{CC}$	Vdc
Logic Input Voltage Clock, Digital Data, Encode/Decode	$V_{Logic}$	-0.4 to +18	Vdc
Coincidence Output Voltage	$V_{O(Con)}$	-0.4 to +18	Vdc
Syllabic Filter Input Voltage	$V_{I(Syl)}$	-0.4 to $V_{CC}$	Vdc
Gain Control Input Voltage	$V_{I(GC)}$	-0.4 to $V_{CC}$	Vdc
Reference Input Voltage	$V_{I(ref)}$	$V_{CC}/2 - 1.0$ to $V_{CC}$	Vdc
$V_{CC}/2$ Output Current	$I_{ref}$	-25	mA

NOTE: ESD data available upon request.

ELECTRICAL CHARACTERISTICS ( $V_{CC} = 12\text{ V}$ ,  $V_{EE} = \text{Gnd}$ ,  $T_A = 0$  to  $70^\circ\text{C}$ , unless otherwise noted.)

Characteristic	Symbol	Min	Typ	Max	Unit
Power Supply Voltage Range (Figure 1)	$V_{CCR}$	4.75	12	16.5	Vdc
Power Supply Current (Figure 1)	$I_{CC}$				mA
Idle Channel		-	3.7	5.5	
$V_{CC} = 5.0\text{ V}$		-	6.0	11	
$V_{CC} = 15\text{ V}$					
Gain Control Current Range (Figure 2)	$I_{GCR}$	0.002	-	3.0	mA
Analog Comparator Input Range (Pins 1 and 2) $4.75\text{ V} \leq V_{CC} \leq 16.5\text{ V}$	$V_I$	1.3	-	$V_{CC} - 1.3$	Vdc
Analog Output Range (Pin 7) $4.75\text{ V} \leq V_{CC} \leq 16.5\text{ V}$ , $I_O = \pm 5.0\text{ mA}$	$V_O$	1.3	-	$V_{CC} - 1.3$	Vdc
Input Bias Currents (Figure 3)	$I_{IB}$				$\mu\text{A}$
Comparator in Active Region					
Analog Input (I1)		-	0.25	1.0	
Analog Feedback (I2)		-	0.25	1.0	
Syllabic Filter Input (I3)		-	0.06	0.3	
Reference Input (I5)		-	-0.06	-0.3	
Input Offset Current					
Comparator in Active Region					
Analog Input/Analog Feedback					
I1 - I2 (Figure 3)		-	0.05	0.4	
Analog Input/Analog Feedback					
I5 - I6 (Figure 4)		-	0.01	0.1	
Input Offset Voltage V/I Converter (Pins 3 and 4) (Figure 5)	$V_{IO}$	-	2.0	6.0	mV
Transconductance	$g_m$				mA/mV
V/I Converter, 0 to 3.0 mA		0.1	0.3	-	
Integrator Amplifier, 0 to $\pm 5.0\text{ mA}$ Load		1.0	10	-	
Propagation Delay Times (Note 1)					$\mu\text{s}$
Clock Trigger to Digital Output					
$C_L = 25\text{ pF}$ to Gnd	$t_{PLH}$	-	1.0	2.5	
	$t_{PHL}$	-	0.8	2.5	
Clock Trigger to Coincidence Output					
$C_L = 25\text{ pF}$ to Gnd, $R_L = 4.0\text{ k}\Omega$ to $V_{CC}$	$t_{PLH}$	-	1.0	3.0	
	$t_{PHL}$	-	0.8	2.0	
Coincidence Output Voltage - Low Logic Stage $I_{OL(Con)} = 3.0\text{ mA}$	$V_{OL(Con)}$	-	0.12	0.25	Vdc

NOTES: 1. All propagation delay times measured 50% to 50% from the negative going (from  $V_{CC}$  to +0.4 V) edge of the clock.

2. Dynamic total loop offset ( $\Sigma V_{offset}$ ) equals  $V_{IO}$  (comparator) (Figure 3) minus  $V_{IOX}$  (Figure 5). The input offset voltages of the analog comparator and of the integrator amplifier include the effects of input offset current through the input resistors. The slope polarity switch current mismatch appears as an average voltage across the 10 k integrator resistor. The clock frequency is 32 kHz. Idle channel performance is guaranteed if this dynamic total loop offset is less than one-half of the change in integrator output voltage during one clock cycle (ramp step size). Laser trimming is used to ensure good idle channel performance.

## MC3418

ELECTRICAL CHARACTERISTICS (continued) ( $V_{CC} = 12\text{ V}$ ,  $V_{EE} = \text{Gnd}$ ,  $T_A = 0$  to  $70^\circ\text{C}$ , unless otherwise noted.)

Characteristic	Symbol	Min	Typ	Max	Unit
Coincidence Output Leakage Current – High Logic State $V_{OH} = 15\text{ V}$ , $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	$I_{OH}(\text{Con})$	–	0.01	0.5	$\mu\text{A}$
Applied Digital Threshold Voltage Range (Pin 12)	$V_{TH}$	1.2	–	$V_{CC} - 2.0$	Vcc
Digital Threshold Input Current $1.2\text{ V} \leq V_{IN} \leq V_{CC} - 2.0\text{ V}$ $V_{IL}$ Applied to Pins 13, 14 and 15 $V_{IH}$ Applied to Pins 13, 14 and 15	$I_{I(th)}$	–	–	5.0	$\mu\text{A}$
Maximum Integrator Amplifier Output Current	$I_O$	$\pm 5.0$	–	–	mA
$V_{CC}/2$ Generator Maximum Output Current (Source Only)	$I_{ref}$	10	–	–	mA
$V_{CC}/2$ Generator Output Impedance (0 to $-10\text{ mA}$ )	$Z_{ref}$	–	3.0	6.0	$\Omega$
$V_{CC}/2$ Generator Tolerance ( $4.75\text{ V} \leq V_{CC} \leq 16.5\text{ V}$ )	$\epsilon_r$	–	–	$\pm 3.5$	%
Logic Input Voltage (Pins 13, 14 and 15) Low Logic State High Logic State	$V_{IL}$ $V_{IH}$	$V_{EE}$ $V_{in} + 0.4$	–	$V_{th} - 0.4$ 18	Vcc
Dynamic Total Loop Offset Voltage (Note 2) (Figures 3, 4 and 5) $I_{GC} = 12\text{ }\mu\text{A}$ , $V_{CC} = 12\text{ V}$ $T_A = 25^\circ\text{C}$ $0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$ $I_{GC} = 12\text{ }\mu\text{A}$ , $V_{CC} = 5.0\text{ V}$ $T_A = 25^\circ\text{C}$ $0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$	$\Sigma V_{offset}$	–	$\pm 0.5$ $\pm 0.75$	$\pm 3.0$ $\pm 3.8$	mV
Digital Output Voltage $I_{OL} = 3.6\text{ mA}$ $I_{OH} = -0.35\text{ mA}$	$V_{OL}$ $V_{OH}$	–	0.1 $V_{CC} - 0.2$	0.4 –	Vcc
Syllabic Filter Applied Voltage (Pin 3) (Figure 2)	$V_{I(Syl)}$	3.2	–	$V_{CC}$	Vcc
Integrating Current (Figure 2) $I_{GC} = 12\text{ }\mu\text{A}$ $I_{GC} = 1.5\text{ mA}$ $I_{GC} = 3.0\text{ mA}$	$I_{Int}$	8.0 1.42 2.75	10 1.5 3.0	12 1.58 3.25	$\mu\text{A}$ mA mA
Dynamic Integrating Current Match (Figure 6) $I_{GC} = 1.5\text{ mA}$	$V_{O(Ave)}$	–	$\pm 100$	$\pm 280$	mV
Input Current – High Logic State ( $V_{IH} = 18\text{ V}$ ) Digital Data Input Clock Input Encode/Decode Input	$I_{IH}$	–	–	5.0 5.0 5.0	$\mu\text{A}$
Input Current – Low Logic State ( $V_{IL} = 0\text{ V}$ ) Digital Data Input Clock Input Encode/Decode Input Clock Input, $V_{IL} = 0.4\text{ V}$	$I_{IL}$	–10 –360 –36 –72	–	–	$\mu\text{A}$

NOTES: 1. All propagation delay times measured 50% to 50% from the negative going (from  $V_{CC}$  to  $+0.4\text{ V}$ ) edge of the clock.

2. Dynamic total loop offset ( $\Sigma V_{offset}$ ) equals  $V_{IO}$  (comparator) (Figure 3) minus  $V_{IOX}$  (Figure 5). The input offset voltages of the analog comparator and of the integrator amplifier include the effects of input offset current through the input resistors. The slope polarity switch current mismatch appears as an average voltage across the 10 k integrator resistor. The clock frequency is 32 kHz. Idle channel performance is guaranteed if iris dynamic total loop offset is less than one-half of the change in integrator output voltage during one clock cycle (ramp step size). Laser trimming is used to ensure good idle channel performance.

## DEFINITION AND FUNCTION OF PINS

## Pin 1 — Analog Input

This is the analog comparator inverting input where the voice signal is applied. It may be ac or dc coupled depending on the application. If the voice signal is to be level shifted to the internal reference voltage, then a bias resistor between Pins 1 and 10 is used. The resistor is used to establish the reference as the new dc average of the ac coupled signal. The analog comparator was designed for low hysteresis (typically less than 0.1 mV) and high gain (typically 70 dB).

## Pin 2 — Analog Feedback

This is the noninverting input to the analog signal comparator. In an encoder application it should be connected to the analog output of the encoder circuit. This may be Pin 7 or a low pass filter output connected to Pin 7. In a decode circuit Pin 2 is not used and may be tied to  $V_{CC}/2$  at Pin 10 or ground.

The analog input comparator has bias currents of 1.0  $\mu\text{A}$  max, thus the driving impedances at Pins 1 and 2 should be

## MC3418

equal to avoid disturbing the idle channel characteristics of the encoder.

**Pin 3 — Syllabic Filter**

This is the point at which the syllabic filter voltage is returned to the IC in order to control the integrator step size. It is an NPN input to an op amp. The syllabic filter consists of an RC network between Pins 11 and 3. Typical time constant values of 6.0 to 50 ms are used in voice codecs.

**Pin 4 — Gain Control Input**

The syllabic filter voltage appears across  $C_S$  of the syllabic filter and is the voltage between  $V_{CC}$  and Pin 3. The active voltage to current ( $V-I$ ) converter drives Pin 4 to the same voltage at a slew rate of typically  $0.5 V/\mu s$ . Thus the current injected into Pin 4 ( $I_{GC}$ ) is the syllabic filter voltage divided by the  $R_x$  resistance. Figure 7 shows the relationship between  $I_{GC}$  (x-axis) and the integrating current,  $I_{int}$  (y-axis). The discrepancy, which is most significant at very low currents, is due to circuitry within the slope polarity switch which enables trimming to a low total loop offset. The  $R_x$  resistor is then varied to adjust the loop gain of the codec, but should be no larger than  $5.0 k\Omega$  to maintain stability.

**Pin 5 — Reference Input**

This pin is the noninverting input of the integrator amplifier. It is used to reference the dc level of the output signal. In an encoder circuit it must reference the same voltage as Pin 1 and is tied to Pin 10.

**Pin 6 — Filter Input**

This inverting op amp input is used to connect the integrator external components. The integrating current ( $I_{int}$ ) flows into Pin 6 when the analog input (Pin 1) is high with respect to the analog feedback (Pin 2) in the encode mode or when the digital data input (Pin 13) is high in the decode mode. For the opposite states,  $I_{int}$  flows out of Pin 6. Single integration systems require a capacitor and resistor between Pins 6 and 7. Multipole configurations will have different circuitry. The resistance between Pins 6 and 7 should always be between  $8.0 k\Omega$  and  $13 k\Omega$  to maintain good idle channel characteristics.

**Pin 7 — Analog Output**

This is the integrator op amp output. It is capable of driving a  $600 \Omega$  load referenced to  $V_{CC}/2$  to  $+6.0$  dBm and can otherwise be treated as an op amp output. Pins 5, 6 and 7 provide full access to the integrator op amp for designing integration filter networks. The slew rate of the internally compensated integrator op amp is typically  $0.5 V/\mu s$ . Pin 7 output is current limited for both polarities of current flow at typically 30 mA.

**Pin 8 —  $V_{EE}$** 

The circuit is designed to work in either single or dual power supply applications. Pin 8 is always connected to the most negative supply.

**Pin 9 — Digital Output**

The digital output provides the results of the delta modulator's conversion. It swings between  $V_{CC}$  and  $V_{EE}$  and is CMOS or TTL compatible. Pin 9 is inverting with respect to Pin 1 and noninverting with respect to Pin 2. It is clocked on the falling edge of Pin 14. The typical 10% to 90% rise and fall times are 250 ns and 50 ns respectively for  $V_{CC} = 12 V$  and  $C_L = 25 pF$  to ground.

**Pin 10 —  $V_{CC}/2$  Output**

An internal low impedance mid-supply reference is provided for use in single supply applications. The internal

regulator is a current source and must be loaded with a resistor to ensure its sinking capability. If a  $+6.0$  dBm signal is expected across a  $600 \Omega$  input bias resistor, then Pin 10 must sink  $2.2 V/600 \Omega = 3.66$  mA. This is possible only if Pin 10 sources 3.66 mA into a resistor normally and will source the difference under peak load. The reference load resistor is chosen accordingly. A  $0.1 \mu F$  bypass capacitor from Pin 10 to  $V_{EE}$  is also recommended. The  $V_{CC}/2$  reference is capable of sourcing 10 mA and can be used as a reference elsewhere in the system circuitry.

**Pin 11 — Coincidence Output**

The duty cycle of this pin is proportional to the voltage across  $C_S$ . The coincidence output will be low whenever the content of the internal shift register is all 1s or all 0s. The MC3418 contains a 4-bit register. Pin 11 is an open collector NPN device and requires a pull-up resistor. If the syllabic filter is to have equal charge and discharge time constants, the value of  $R_p$  should be much less than  $R_S$ . In systems requiring different charge and discharge constants, the charging constant is  $R_S C_S$  while the decay constant is  $(R_S + R_p) C_S$ . Thus longer decays are easily achievable. The NPN device should not be required to sink more than 3.0 mA in any configuration. The typical 10% to 90% rise and fall times are 200 ns and 100 ns respectively for  $R_L = 4.0 k\Omega$  to 12 V and  $C_L = 25 pF$  to ground.

**Pin 12 — Digital Threshold**

This input sets the switching threshold for Pins 13, 14 and 15. It is intended to aid in interfacing different logic families without external parts. Often it is connected to the  $V_{CC}/2$  reference for CMOS interface or can be biased two diode drops above  $V_{EE}$  for TTL interface.

**Pin 13 — Digital Data Input**

In a decode application, the digital data stream is applied to Pin 13. In an encoder it may be unused or may be used to transmit signaling message under the control of Pin 15. It is an inverting input with respect to Pin 9. When Pins 9 and 13 are connected, a toggle flip-flop is formed and a forced idle channel pattern can be transmitted. The digital data input level should be maintained for  $0.5 \mu s$  before and after the clock trigger for proper clocking.

**Pin 14 — Clock Input**

The clock input determines the data rate of the codec circuit. A 32 k bit rate requires a 32 kHz clock. The switching threshold of the clock input is set by Pin 12. The shift register circuit toggles on the falling edge of the clock input. The minimum high time for the clock input is 300 ns and minimum low time is 900 ns.

**Pin 15 — Encode/Decode**

This pin controls the connection of the analog input comparator and the digital input comparator to the internal shift register. If high, the result of the analog comparison will be clocked into the register on the falling edge at Pin 14. If low, the digital input state will be entered. This allows use of the IC as an encoder/decoder or simplex codec without external parts. Furthermore, it allows non-voice patterns to be forced onto the transmission line through Pin 13 in an encoder.

**Pin 16 —  $V_{CC}$** 

The power supply range is from 4.75 to 16.5 V between Pin  $V_{CC}$  and  $V_{EE}$ .

MC3418

Figure 1. Power Supply Current

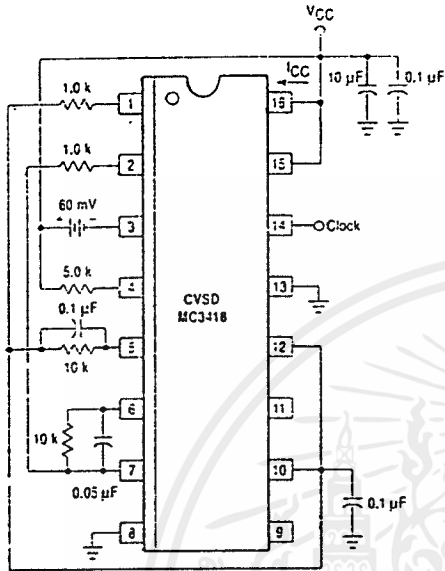
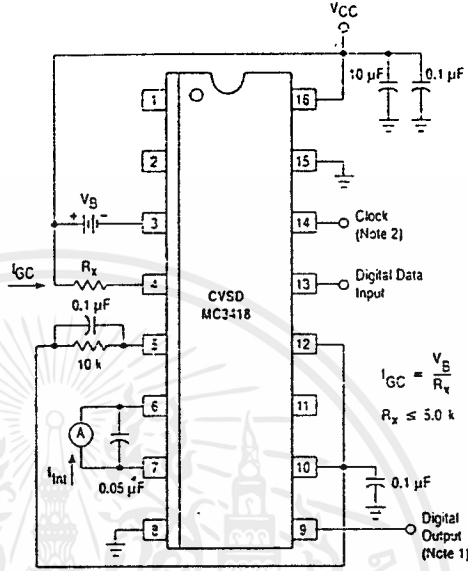


Figure 2. I<sub>GC</sub> – Gain Control Range and I<sub>int</sub> – Integrating Current

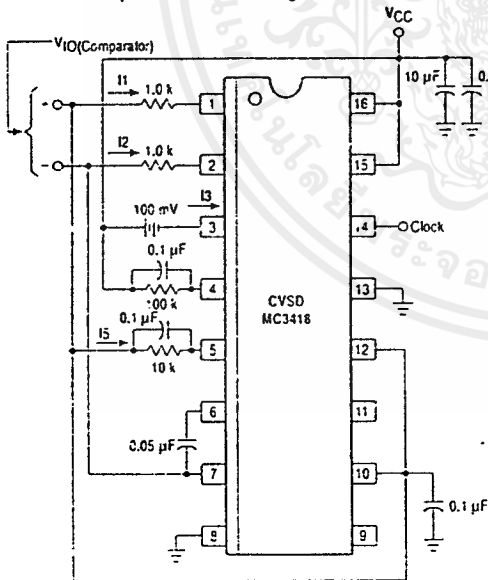


NOTES: 1. Digital Output = Digital Data Input  
 2. For static testing, the clock is only necessary for preconditioning to obtain proper state for a given input.

$$I_{GC} = \frac{V_B}{R_x}$$

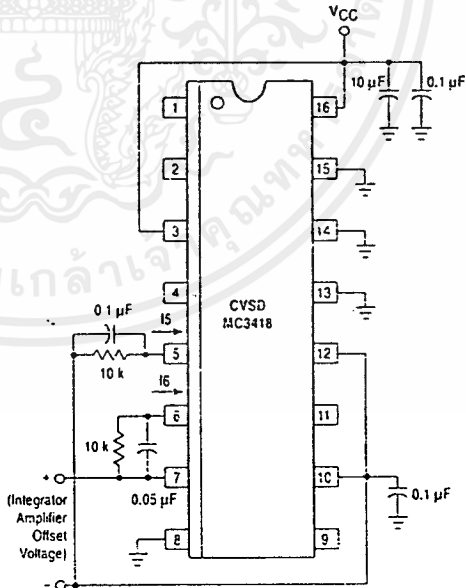
$$R_x \leq 5.0 \text{ k}$$

Figure 3. Input Bias Currents, Analog Comparator Offset Voltage and Current



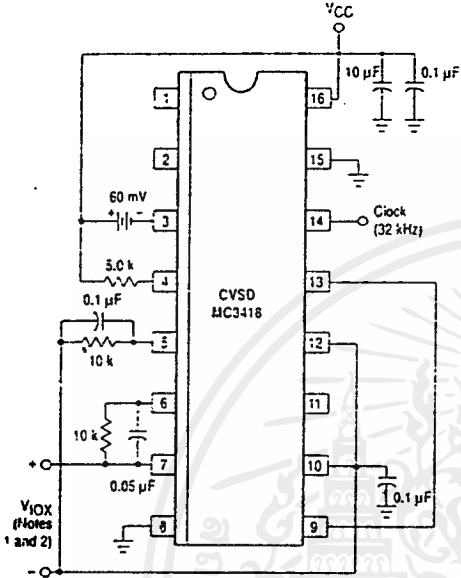
NOTE The analog comparator offset voltage is tested under dynamic conditions and therefore must be measured with appropriate filtering

Figure 4. Integrator Amplifier Offset Voltage and Current



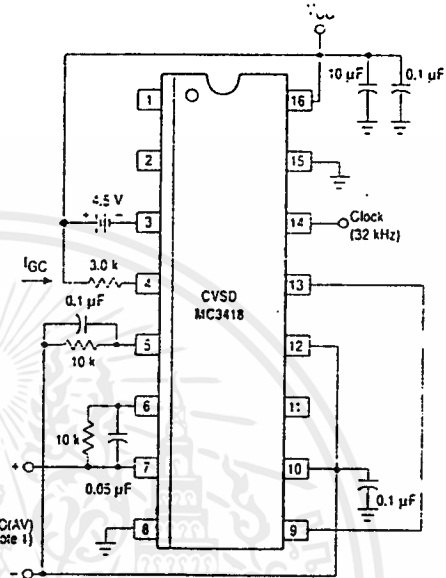
MC3418

Figure 5. V/I Converter Offset Voltage,  $V_{IO}$  and  $V_{IOX}$



NOTES: 1. Integrator amplifier offset voltage plus slope polarity switch mismatch.  
2.  $V_{IOX}$  is the average voltage of the triangular waveform observed at the measurement points.

Figure 6. Dynamic Integrating Current Match



NOTES: 1.  $V_{IO(AV)}$ , Dynamic Integrating Current Match, is the average voltage of the triangular waveform observed at the measurement points, across  $10\ \text{k}\Omega$  resistor with  $I_{GC} = 1.5\ \text{mA}$ .  
2. See Note 2 in the Electrical Characteristics table.  
3. See Figures 8 and 9.

TYPICAL PERFORMANCE CURVES

Figure 7. Typical  $I_{Int}$  versus  $I_{GC}$  (Mean  $\pm 2\ \sigma$ )

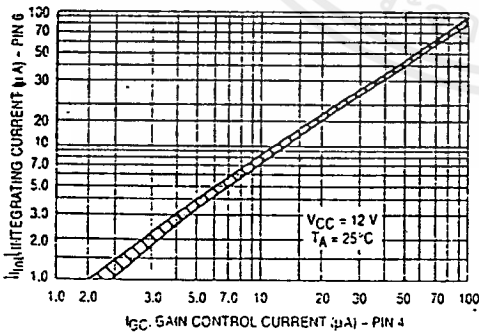
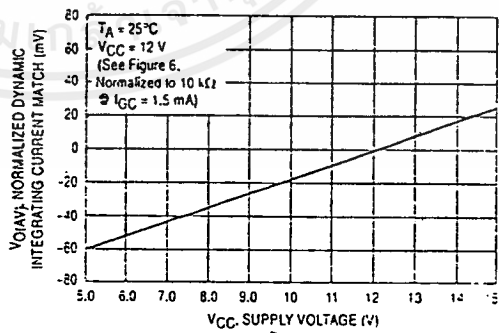


Figure 8. Normalized Dynamic Integrating Current Match-versus  $V_{CC}$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC3418

Figure 9. Normalized Dynamic Integrating Current Match versus Clock Frequency

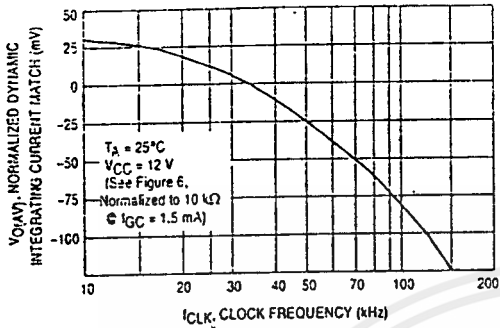


Figure 10. Dynamic Total Loop Offset versus Clock Frequency

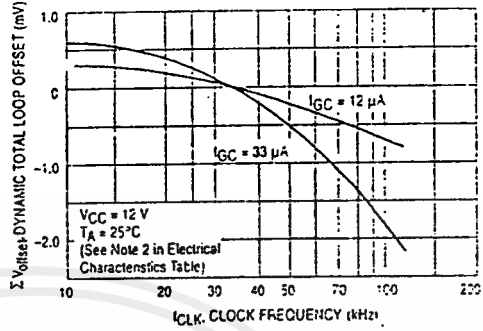


Figure 11. Block Diagram of the CVSD Encoder

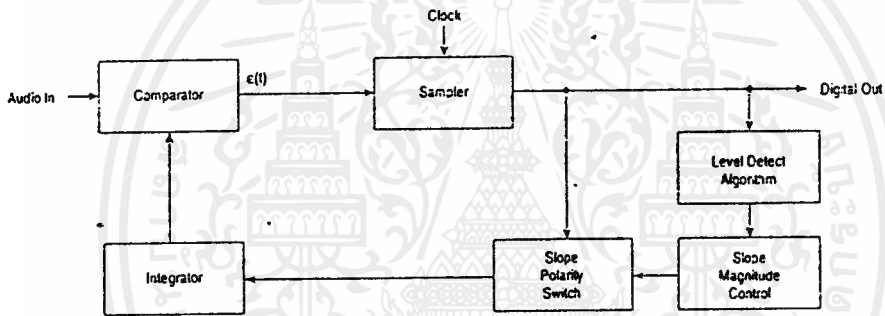
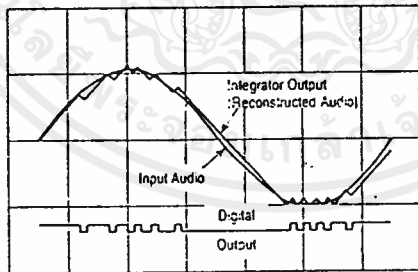


Figure 12. CVSD Waveforms



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC3418

Figure 13. Block Diagram of the CVSD Decoder

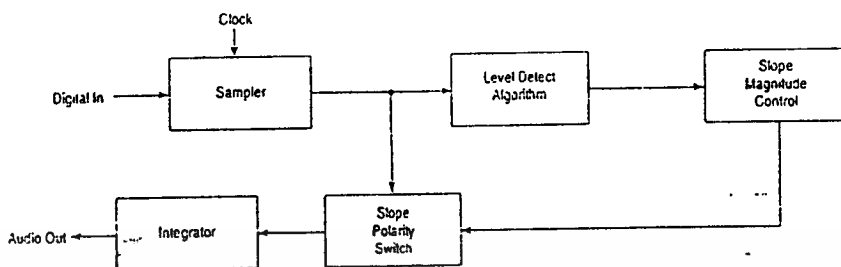
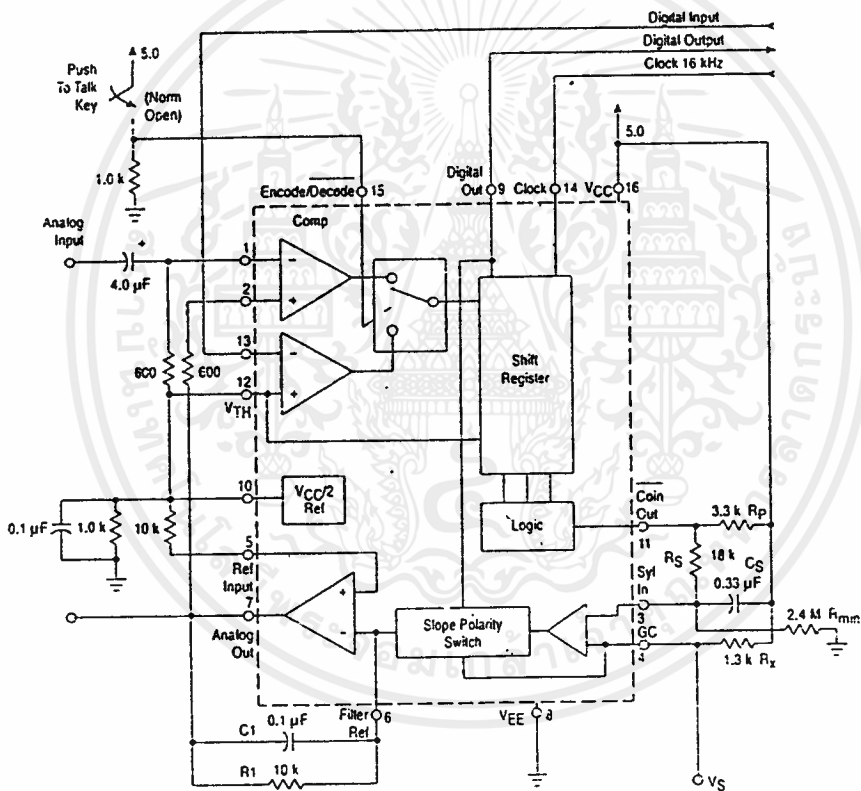


Figure 14. 16 kHz Simplex Voice Codec (Single-Pole Companding and Single Integration)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## MC3418

## CIRCUIT DESCRIPTION

The continuously variable slope delta modulator (CVSD) is a simple alternative to more complex conventional conversion techniques in systems requiring digital communication of analog signals. The human voice is analog, but digital transmission of any signal over great distance is attractive. Signal/noise ratios do not vary with distance in digital transmission and multiplexing, switching and repeating hardware is more economical and easier to design. However, instrumentation A to D converters do not meet the communications requirements. The CVSD A to D is well suited to the requirements of digital communications and is an economically efficient means of digitizing analog inputs for transmission.

**The Delta Modulator**

The innermost control loop of a CVSD converter is a simple delta modulator. A block diagram CVSD Encoder is shown in Figure 11. A delta modulator consists of a comparator in the forward path and an integrator in the feedback path of a simple control loop. The inputs to the comparator are the input analog signal and the integrator output. The comparator output reflects the sign of the difference between the input voltage and the integrator output. That sign bit is the digital output and also controls the direction of ramp in the integrator. The comparator is normally clocked so as to produce a synchronous and band-limited digital bit stream.

If the clocked serial bit stream is transmitted, received, and delivered to a similar integrator at a remote point, the remote integrator output is a copy of the transmitting control loop integrator output. To the extent that the integrator at the transmitting location tracks the input signal, the remote receiver reproduces the input signal. Low pass filtering at the receiver output will eliminate most of the quantizing noise, if the clock rate of the bit stream is an octave or more above the bandwidth of the input signal. Voice bandwidth is 4.0 kHz and clock rates from 8.0 k and up are possible. Thus the delta modulator digitizes and transmits the analog input to a remote receiver. The serial, unframed nature of the data is ideal for communications networks. With no input at the transmitter, a continuous one zero alternation is transmitted. If the two integrators are made leaky, then during any loss of contact the receiver output decays to zero and receive restart begins without framing when the receiver reacquires. Similarly, a delta modulator is tolerant of sporadic bit errors. Figure 12 shows the delta modulator waveforms while Figure 13 shows the corresponding CVSD decoder block diagram.

**The Companding Algorithm**

The fundamental advantages of the delta modulator are its simplicity and the serial format of its output. Its limitations are its ability to accurately convert the input within a limited digital

bit rate. The analog input must be band limited and amplitude limited. The frequency limitations are governed by the Nyquist rate while the amplitude capabilities are set by the gain of the integrator.

The frequency limits are bounded on the upper end; that is, for any input bandwidth there exists a clock frequency larger than that bandwidth which will transmit the signal with a specific noise level. However, the amplitude limits are bounded on both upper and lower ends. For a signal level, one specific gain will achieve an optimum noise level. Unfortunately, the basic delta modulator has a small dynamic range over which the noise level is constant.

The continuously variable slope circuitry provides increased dynamic range by adjusting the gain of the integrator. For a given clock frequency and input bandwidth the additional circuitry increases the delta modulator's dynamic range. External to the basic delta modulator is an algorithm which monitors the past few outputs of the delta modulator in a simple shift register. The register is 4-bits long. The accepted CVSD algorithm simply monitors the contents of the shift register and indicates if it contains all 1s or 0s. This condition is called coincidence. When it occurs, it indicates that the gain of the integrator is too small. The coincidence output charges a single-pole low pass filter. The voltage output of this syllabic filter controls the integrator gain through a pulse amplitude modulator whose other input is the sign bit or up/down control.

The simplicity of the all 1s, all 0s algorithm should not be taken lightly. Many other control algorithms using the shift register have been tried. The key to the accepted algorithm is that it provides a measure of the average power or level of the input signal. Other techniques provide more instantaneous information about the shape of the input curve. The purpose of the algorithm is to control the gain of the integrator and to increase the dynamic range. Thus a measure of the average input level is what is needed.

The algorithm is repeated in the receiver and thus the level data is recovered in the receiver. Because the algorithm operates only on the past serial data, it changes the nature of the bit stream without changing the channel bit rate.

The effect of the algorithm is to compand the input signal. If a CVSD encoder is played into a basic delta modulator, the output of the delta modulator will reflect the shape of the input signal but all of the output will be at an equal level. Thus the algorithm at the output is needed to restore the level variations. The bit stream in the channel is as if it were from a standard delta modulator with a constant level input.

The delta modulator encoder with the CVSD algorithm provides an efficient method for digitizing a voice input in a manner which is especially convenient for digital communications requirements.

## MC3418

## APPLICATIONS INFORMATION

## CVSD DESIGN CONSIDERATIONS

A simple CVSD encoder using the MC3418 is shown in Figure 14. This IC is a general purpose CVSD building block which allows the system designer to tailor the encoder's transmission characteristics to the application. Thus, the achievable transmission capabilities are constrained by the fundamental limitations of delta modulation and the design of encoder parameters. The performance is not dictated by the internal configuration of the MC3418. There are seven design considerations involved in designing these basic CVSD building blocks into a specific codec application, and they are as follows:

1. Selection of clock rate
2. Required number of shift register bits
3. Selection of loop gain
4. Selection of minimum step size
5. Design of integration filter transfer function
6. Design of syllabic filter transfer function
7. Design of low pass filter at the receiver

The circuit in Figure 14 is the most basic CVSD circuit possible. For many applications in secure radio or other intelligible voice channel requirements, it is entirely sufficient. In this circuit, items 5 and 6 are reduced to their simplest form. The syllabic and integration filters are both single-pole networks. The selection of items 1 through 4 govern the codec performance.

## Layout Considerations

Care should be exercised to isolate all digital signal paths (Pins 9, 11, 13 and 14) from analog signal paths (Pins 1 to 7 and 10) in order to achieve proper idle channel performance.

## Clock Rate

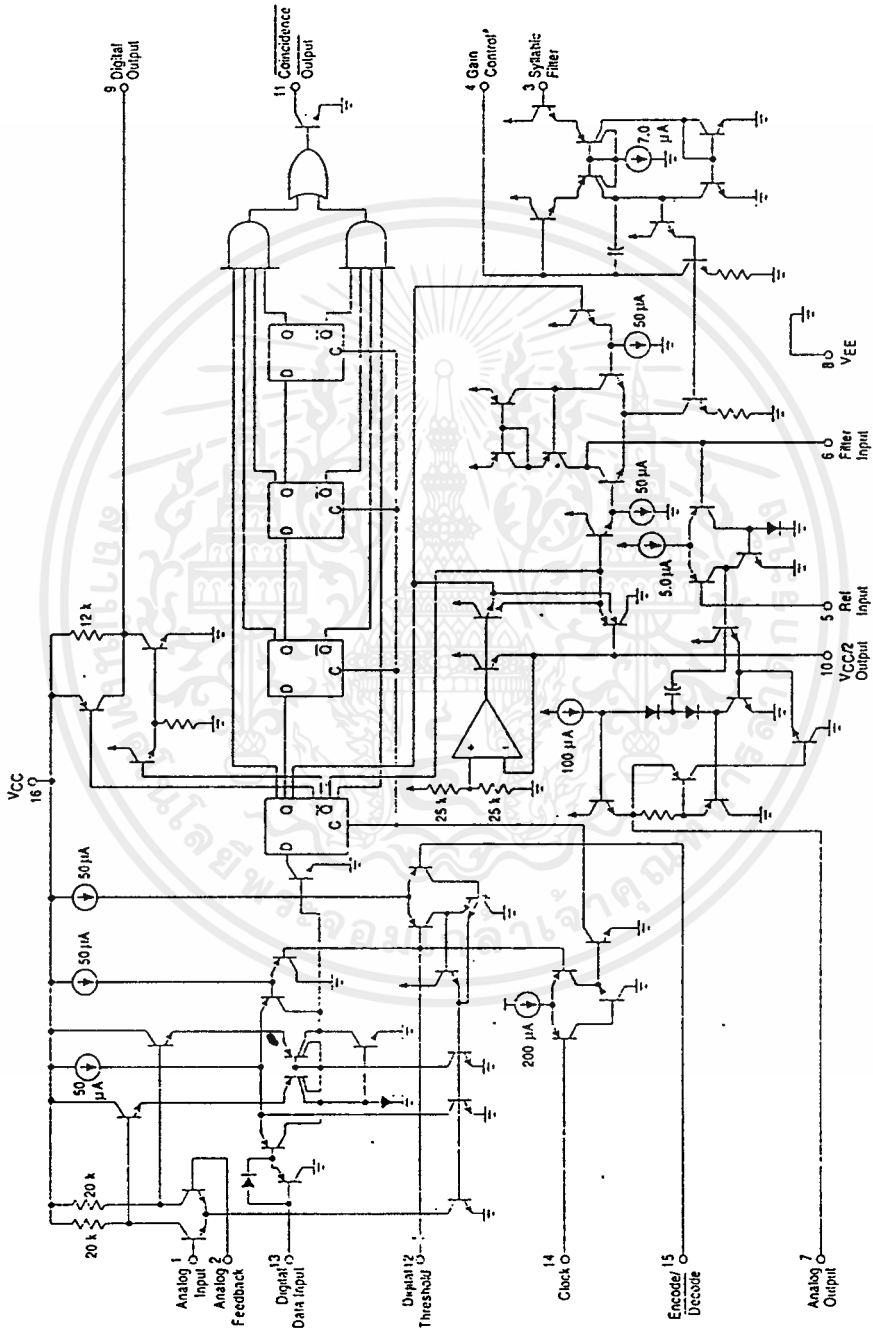
With minor modifications, the circuit in Figure 14 may be operated anywhere from 9.6 to 64 kHz clock rates. Obviously the higher the clock rate the higher the S/N performance. The circuit in Figure 14 typically produces the S/N performance shown in Figure 16. The selection of clock rate is usually dictated by the bandwidth of the transmission medium. Voice bandwidth systems will require no higher than 9600 Hz. Some radio systems will allow 12 kHz. Private 4-wire telephone systems are often operated at 16 kHz and commercial telephone performance can be achieved at 32 k bits and above. Other codecs may use bit rates up to 200 k bits/sec.

## Shift Register Length (Algorithm)

The MC3418 has a 4-bit algorithm well suited for 32 kHz and higher clock rates. Since the algorithm records a fixed past history of the input signal, a longer shift register is required to obtain the same internal history. At 16 kHz and below, the 4-bit algorithm will produce a slightly wider dynamic range at the expense of level change response. Basically the MC3418 is intended for high performance, high bit rate systems.

MC3418

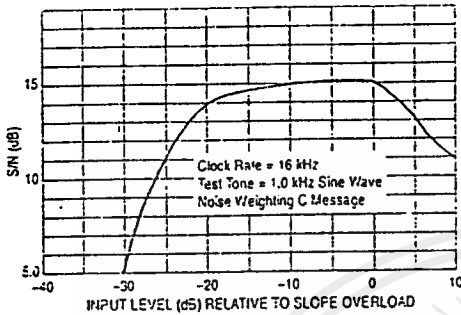
Figure 15: CVSD Circuit Schematic



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## MC3418

Figure 16. Signal-to-Noise Performance with Single Integration, Single-Pole and Companding at 16 k Bits (Typical)



#### Selection of Loop Gain

The gain of the circuit in Figure 14 is set by resistor  $R_x$ .  $R_x$  must be selected to provide the proper integrator step size for high level signals such that the companding ratio does not exceed about 25%. The companding ratio is the active low duty cycle of the coincidence output on Pin 11 of the codec circuit. Thus the system gain is dependent on:

1. The maximum level and frequency of the input signal.
2. The transfer function of the integration filter.

For voice codecs the typical input signal is taken to be a sine wave at 1.0 kHz of 0 dBm level. In practice, the useful dynamic range extends about 6.0 dB above the design level. In any system the companding ratio should not exceed 30%.

To calculate the required step size current, we must describe the transfer characteristics of the integration filter. In the basic circuit of Figure 14, a single-pole of 160 Hz is used.

$$R_1 = 10 \text{ k}\Omega, C_1 = 0.1 \text{ }\mu\text{F}$$

$$\frac{V_O}{I_i} = \frac{1}{C \left( s + \frac{1}{RC} \right)} = \frac{K}{s + \omega_0}$$

$$\omega_0 = 2 \pi f$$

$$10^3 = \omega_0 = 2 \pi f$$

$$f = 159.2 \text{ Hz}$$

Note that the integration filter produces a single-pole response from 300 to 3.0 kHz. The current required to move the integrator output a specific voltage from zero is simply:

$$I_i = \frac{V_O}{R_1} + \left( C_1 \times \frac{dV_O}{dt} \right)$$

Now a 0 dBm sine wave has a peak value of 1.0954 V. In 1/8 of a cycle of a sine wave centered around the zero crossing, the sine wave changes by approximately its peak value. The CVSD step should trace that change. The required current for a 0 dBm 1.0 kHz sine wave is:

$$I_i = \frac{1.1 \text{ V}}{2 \cdot (10 \text{ k}\Omega)} + \frac{0.1 \text{ }\mu\text{F} (1.1)}{0.125 \text{ ms}} = 0.935 \text{ mA}$$

The maximum voltage across  $R_1$  when maximum slew is required is:

$$\frac{1.1 \text{ V}}{2}$$

Now the voltage range of the syllabic filter is the power supply voltage, thus:

$$R_x = 0.25 \left( V_{CC} \right) \frac{1}{0.935 \text{ mA}}$$

A similar procedure can be followed to establish the proper gain for any input level and integration filter type.

#### Minimum Step Size

The final parameter to be selected for the simple codec in Figure 14 is idle channel step size. With no input signal, the digital output becomes a one-zero alternating pattern and the analog output becomes a small triangle wave. Mismatches of internal currents and offsets limit the minimum step size which will produce a perfect idle channel pattern. The MC3418 is tested to ensure that a 20 mVpp minimum step size at 16 kHz will attain a proper idle channel. The idle channel step size must be twice the specified total loop offset if a one-zero idle pattern is desired. In some applications a much smaller minimum step size (e.g., 0.1 mV) can produce quiet performance without providing a 1-0 pattern.

To set the idle channel step size, the value of  $R_{min}$  must be selected. With no input signal, the slope control algorithm is inactive. A long series of ones or zeros never occurs. Thus, the voltage across the syllabic filter capacitor ( $C_S$ ) would decay to zero. However, the voltage divider of  $R_S$  and  $R_{min}$  (see Figure 14) sets the minimum allowed voltage across the syllabic filter capacitor. That voltage must produce the desired ramps at the analog output. Again we write the filter input current equation:

$$I_i = \frac{V_O}{R_1} + C \frac{dV_O}{dt}$$

For values of  $V_O$  near  $V_{CC}/2$  the  $V_O/R$  term is negligible; thus:

$$I_i = C_S \frac{\Delta V_O}{\Delta T}$$

where  $\Delta T$  is the clock period and  $\Delta V_O$  is the desired peak-to-peak value of the idle output. For a 16 k bit system using the circuit in Figure 14:

$$I_i = \frac{0.1 \text{ }\mu\text{F} \cdot 20 \text{ mV}}{62.5 \text{ }\mu\text{s}} = 33 \text{ }\mu\text{A}$$

The voltage on  $C_S$  which produces a 33  $\mu\text{A}$  current is determined by the value of  $R_x$ .

$$I_i R_x = V_{S \text{ min}}; \text{ for } 33 \text{ }\mu\text{A}, V_{S \text{ min}} = 41.6 \text{ mV}$$

In Figure 14  $R_S$  is 18 k $\Omega$ . That selection is discussed with the syllabic filter considerations. The voltage divider of  $R_S$  and  $R_{min}$  must produce an output of 41.6 mV.

$$V_{CC} \frac{R_S}{R_S + R_{min}} = V_{S \text{ min}} \quad R_{min} = 2.4 \text{ M}\Omega$$

Having established these four parameters – clock rate, number of shift register bits, loop gain, and minimum step size – the encoder circuit in Figure 14 will function at near optimum performance for input levels around 0 dBm.

MC3418

INCREASING CVSD PERFORMANCE

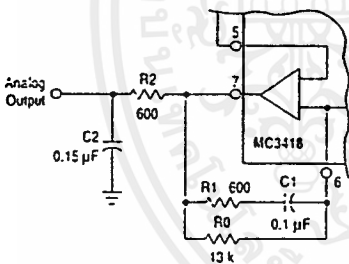
Integration Filter Design

The circuit in Figure 14 uses a single-pole integration network formed with a 0.1 μF capacitor and a 10 kΩ resistor. It is possible to improve the performance of the circuit in Figure 14 by 1.0 or 2.0 dB by using a two-pole integration network. The improved circuit is shown in Figure 17.

The first pole is still placed below 300 Hz to provide the 1/S voice content curve and a second pole is placed somewhere above the 1.0 kHz frequency. For telephony circuits, the second pole can be placed above 1.8 kHz to exceed the 1633 touchtone frequency. In other communication systems, values as low as 1.0 kHz may be selected. In general, the lower in frequency the second pole is placed, the greater the noise improvement. Then, to ensure the encoder loop stability, a zero is added to keep the phase shift less than 180°. This zero should be placed slightly above the low-pass output filter break frequency so as not to reduce the effectiveness of the second pole. A network of 235 Hz, 2.0 kHz, and 5.2 kHz is typical for telephone applications while 150 Hz, 1.2 kHz, and 2.8 kHz might be used in voice only channels. (Voice only channels can use an output low-pass filter which breaks at about 2.5 kHz.) The two-pole network in Figure 17 has a transfer function of:

$$\frac{V_O}{I_i} = \frac{R_0 R_1 \left( S + \frac{1}{R_1 C_1} \right)}{R_2 C_2 (R_0 + R_1) \left( S + \frac{1}{(R_0 + R_1) C_1} \right) S + \left( \frac{1}{R_2 C_2} \right)}$$

Figure 17. Improved Filter Configuration



NOTE: These component values are for the telephone channel circuit poles described in the text. The P2, C2 product can be provided with different values of R and C. R2 should be chosen to be equal to the termination resistor on Pin 1.

Thus the two poles and the zero can be selected arbitrarily as long as the zero is at a higher frequency than the first pole. The values in Figure 17 represent one implementation of the telephony filter requirement.

The selection of the two-pole filter network affects the selection of the loop gain value and the minimum step size resistor. The required integrator current for a given change in voltage now becomes:

$$I_i = \frac{V_O}{R_0} + \left( \frac{R_2 C_2}{R_0} + \frac{R_1 C_1}{R_0} + C_1 \right) \frac{\Delta V_O}{\Delta T} + \left( R_2 C_2 C_1 + \frac{R_1 C_1 R_2 C_2}{R_0} \right) \frac{\Delta V_O^2}{\Delta T^2}$$

The calculation of desired gain resistor  $R_x$  then proceeds exactly as previously described.

Syllabic Filter Design

The syllabic filter in Figure 14 is a simple single-pole network of 18 kΩ and 0.33 μF. This produces a 6.0 ms time constant for the averaging of the coincidence output signal. The voltage across the capacitor determines the integrator current which in turn establishes the step size. The integrator current and the resulting step size determine the companding ratio and the S/N performance. The companding ratio is defined as the voltage across  $C_S/V_{CC}$ .

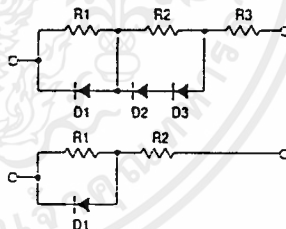
The S/N performance may be improved by modifying the voltage to current transformation produced by  $R_x$ . If different portions of the total  $R_x$  are shunted by diodes, the integrator current can be other than  $(V_{CC} - V_S)/R_x$ . These breakpoint curves must be designed experimentally for the particular system application. In general, one would wish that the current would double with input level. To design the desired curve, supply current to Pin 4 of the codec from an external source. Input a signal level and adjust the current until the S/N performance is optimum. Then record the syllabic filter voltage and the current. Repeat this for all desired signal levels. Then derive the resistor-diode network which produces that curve on a curve tracer.

Once the network is designed with the curve tracer, it is then inserted in place of  $R_x$  in the circuit and the forced optimum noise performance will be achieved from the active syllabic algorithm.

Diode breakpoint networks may be very simple or moderately complex and can improve the usable dynamic range of any codec. In the past they have been used in high performance telephone codecs.

Typical resistor-diode networks are shown in Figure 18.

Figure 18. Resistor-Diode Networks



If the performance of more complex diode networks is desired, the circuit in Figure 19 should be used. It simulates the companding characteristics of nonlinear  $R_x$  elements in a different manner.

Output Low Pass Filter

A low pass filter is required at the receiving circuit output to eliminate quantizing noise. In general, the lower the bit rate, the better the filter must be. The filter in Figure 21 provides excellent performance for 12 to 40 kHz systems.

## MC3418

## TELEPHONE CARRIER QUALITY CODEC

Two specifications of the integrated circuit are specifically intended to meet the performance requirements of commercial telephone systems. First, slope polarity switch current matching is laser trimmed to guarantee proper idle channel performance with 5.0 mV minimum step size and a typical 1.0% current match from 15  $\mu$ A to 3.0 mA. Thus a 300 to 1 range of step size variation is possible. Second, the MC3418 provides the 4-bit algorithm currently used in subscriber loop telephone systems. With these specifications and the circuit of Figure 19, a telephone quality codec can be mass produced.

The circuit in Figure 19 provides a 30 dB S/Nc ratio over 50 dB of dynamic range for a 1.0 kHz test tone at a 37.7 k bit rate. At 37.7 k bits, 40 voice channels may be multiplexed on a standard 1.544 MB T1 facility. This codec has also been tested for  $10^{-7}$  error rates with asynchronous and synchronous data up to 2400 baud and for reliable performance with DTMF signaling. Thus, the design is applicable in telephone quality subscriber loop carrier systems, subscriber loop concentrators, and small PABX installations.

#### The Active Companding Network

The unique feature of the codec in Figure 19 is the step size control circuit which uses a companding ratio reference, the present step size, and the present syllabic filter output to establish the optimum companding ratios and step sizes for any given input level. The companding ratio of a CVSD codec is defined as the duty cycle of the coincidence output. It is the parameter measured by the syllabic filter and is the voltage across  $C_S$  divided by the voltage swing of the coincidence output. In Figure 19, the voltage swing of Pin 11 is 6.0 V. The operating companding ratio is analogized by the voltage between Pins 10 and 4 by means of the virtual short across Pins 3 and 4 of the V to I op amp within the integrated circuit. Thus, the instantaneous companding ratio of the codec is always available at the negative input of A1.

The diode D1 and the gain of A1 and A2 provide a companding ratio reference for any input level. If the output of A2 is more than 0.7 V below  $V_{CC}/2$ , then the positive input of A1 is ( $V_{CC}/2 - 0.7$ ). The on diode drop at the input of A1 represents a 12% companding ratio ( $12\% = 0.7 \text{ V}/6.0 \text{ V}$ ).

The present step size of the operating codec is directly related to the voltage across  $R_x$ , which established the integrator current. In Figure 19, the voltage across  $R_x$  is amplified by the differential amplifier A2 whose output is single ended with respect to Pin 10 of the IC.

For large signal inputs, the step size is large and the output of A2 is lower than 0.7 V. Thus D1 is fully on. The present step size is not a factor in the step size control. However, the difference between 12% companding ratio and

the instantaneous companding ratio at Pin 4 is amplified by A1. The output of A1 changes the voltage across  $R_x$  in a direction which reduces the difference between the companding reference and the operating ratio by changing the step size. The ratio of R4 and R3 determines how closely the voltage at Pin 4 will be forced to 12%. The selection of R3 and R4 is initially experimental. However, the resulting companding control is dependent on  $R_x$ , R3, R4, and the full diode drop D1. These values are easy to reproduce from codec to codec.

For small input levels, the companding ratio reference becomes the output of A2 rather than the diode drop. The operating companding ratio on Pin 4 is then compared to a companding ratio smaller than 12% which is determined by the voltage drop across  $R_x$  and the gain of A2 and A1. The gain of A2 is also experimentally determined, but once determined, the circuitry is easily repeated.

With no input signal, the companding ratio at Pin 4 goes to zero and the voltage across  $R_x$  goes to zero. The voltage at the output of A2 becomes zero since there is no drop across  $R_x$ . With no signal input, the actively controlled step size vanishes.

The minimum step size is established by the 500 k resistor between  $V_{CC}$  and Pin 4 and is therefore independently selectable.

The signal to noise results of the active companding network are shown in Figure 20. A smooth 2.0 dB drop is realized from 12 dBm to -24 under the control of A1. At -24 dBm, A2 begins to degenerate the companding reference and the resulting step size is reduced so as to extend the dynamic range of the codec by 20 dBm.

The slope overload characteristic is also shown. The active companding network produces improved performance with frequency. The 0 dBm slope overload point is raised to 4.8 kHz because of the gain available in controlling the voltage across  $R_x$ . The curves demonstrate that the level linearity has been maintained or improved.\*

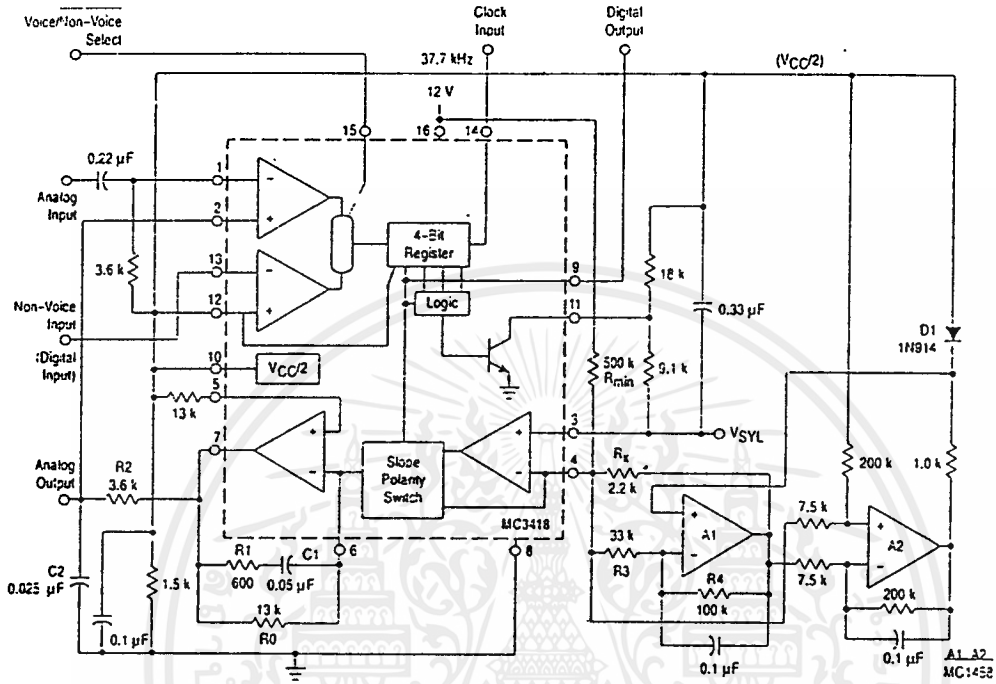
The codec in Figure 19 is designed specifically for 37.7 k bit systems. However, the benefits of the active companding network are not limited to high bit rate systems. By modifying the crossover region (changing the gain of A2), the active technique may be used to improve the performance of lower bit rate systems.

The performance and repeatability of the codec in Figure 19 represents a significant step forward in the art and cost of CVSD codec designs.

\*A larger value for C2 is required in the decoder circuit than in the encoder to adjust the level linearity with frequency. In Figure 19, 0.050  $\mu$ F would work well.

MC3418

Figure 19. Telephone Quality Deltamod Coder\*

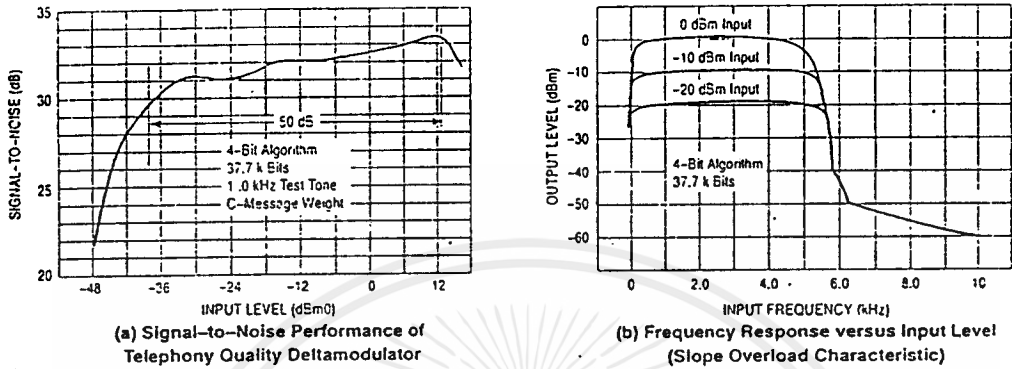


\* Both double integration and active companding control are used to obtain improved CVSD performance. Laser trimming of the integrated circuit provides reliable idle channel and step size range characteristics.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

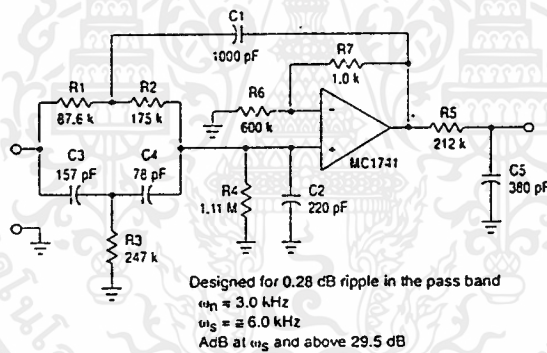
MC3418

Figure 20. Signal-to-Noise Performance and Frequency Response\*



\*Showing the improvement realized with the circuit in Figure 19.

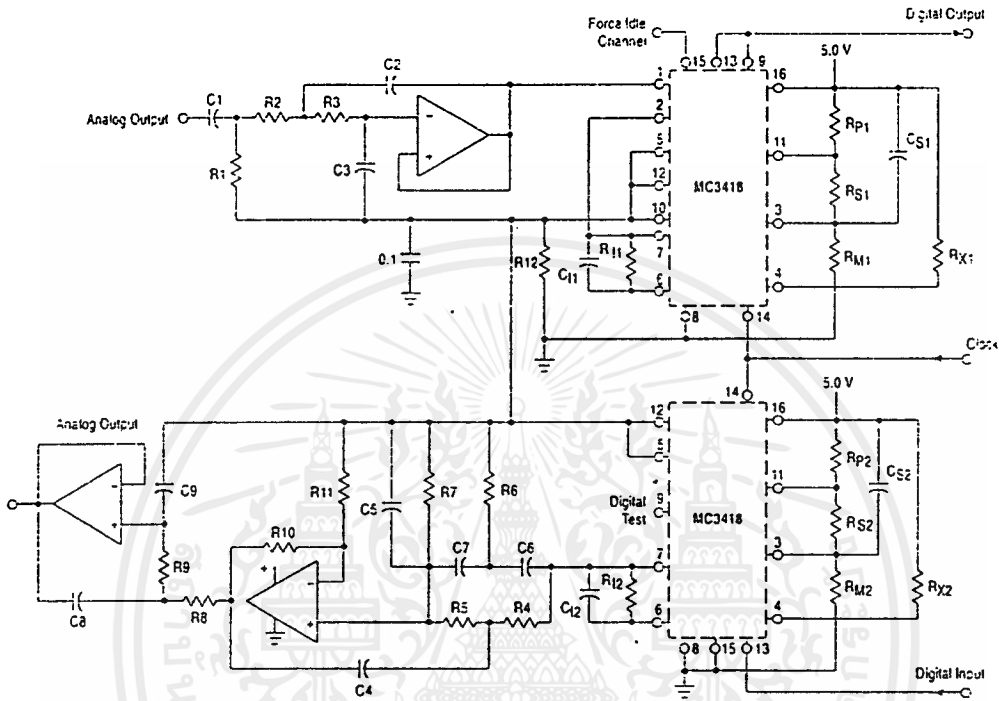
Figure 21. High Performance Elliptic Filter for CVSD Output



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC3418

Figure 22. Full Duplex/32 k Bit CVSD Voice Codec



Codec Components

- R<sub>X1</sub>, R<sub>X2</sub> - 3.3 kΩ
- R<sub>P1</sub>, R<sub>P2</sub> - 3.3 kΩ
- R<sub>S1</sub>, R<sub>S2</sub> - 100 kΩ
- R<sub>I1</sub>, R<sub>I2</sub> - 20 kΩ
- R<sub>I2</sub> - 1.0 kΩ
- R<sub>I11</sub>, R<sub>I12</sub> - 15 MΩ
- Minimum step size = 6.0 mV
- C<sub>S1</sub>, C<sub>S2</sub> - 0.05 μF
- C<sub>I1</sub>, C<sub>I2</sub> - 0.05 μF
- 2 MC3418
- 1 MC3403 (or MC3406)

NOTE: All Res. 5%,  
All Cap. 5%.

Input Filter Specifications

- 12 dB/Octave Roll-off above 3.3 kHz
- 6.0 dB/Octave Roll-off below 50 Hz

Output Filter Specifications

- Break Frequency - 3.3 kHz
- Stop Band - 9.0 kHz
- Stop Band Atten. - 50 dB
- Roll-off - > 40 dB/Octave

Filter Components

- R<sub>1</sub> - 965 Ω
- R<sub>2</sub> - 72 kΩ
- R<sub>3</sub> - 72 kΩ
- R<sub>4</sub> - 63.46 kΩ
- R<sub>5</sub> - 127 kΩ
- R<sub>6</sub> - 365.5 kΩ
- R<sub>7</sub> - 1.645 MΩ
- R<sub>8</sub> - 72 kΩ
- R<sub>9</sub> - 72 kΩ
- R<sub>10</sub> - 29.5 Ω
- R<sub>11</sub> - 72 kΩ
- C<sub>1</sub> - 3.3 μF
- C<sub>2</sub> - 837 pF
- C<sub>3</sub> - 536 pF
- C<sub>4</sub> - 1000 pF
- C<sub>5</sub> - 222 pF
- C<sub>6</sub> - 77 pF
- C<sub>7</sub> - 38 pF
- C<sub>8</sub> - 337 pF
- C<sub>9</sub> - 536 pF

NOTE: All Res. 0.1% to 1%,  
All Cap. 0.1%.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC3418

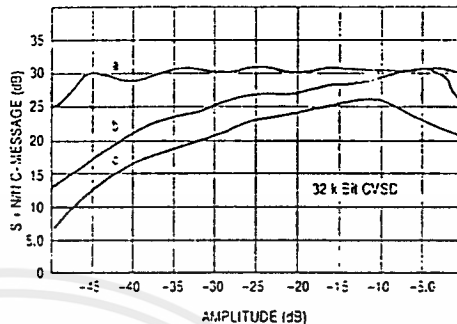
COMPARATIVE CODEC PERFORMANCE

The salient feature of CVSD codecs is versatility. The range of codec complexity tradeoffs and bit rate is so wide that one cannot grasp the interdependency of parameters for voice applications in a few pages.

Design of a specific codec must be tailored to the digital channel bandwidth, the analog bandwidth, the quality of signal transmission required, and the cost objectives. To illustrate the choices available, the data in Figure 23 compares the signal-to-noise ratios and dynamic range of various codec design options at 32 k bits. Generally, the relative merits of each design feature will remain intact in any application. Lowering the bit rate will reduce the dynamic range and noise performance of all techniques. As the bit rate is increased, the overall performance of each technique will improve and the need for more complex designs diminishes.

Non-voice applications of the MC3418 are also possible. In those cases, the signal bandwidth and amplitude characteristics must be defined before the specification of codec parameters can begin. However, in general, the design can proceed along the lines of the voice applications shown here, taking into account the different signal bandwidth requirements.

Figure 23. Comparative Codec Performance - Signal-to-Noise Ratio for 1.0 kHz Test Tone



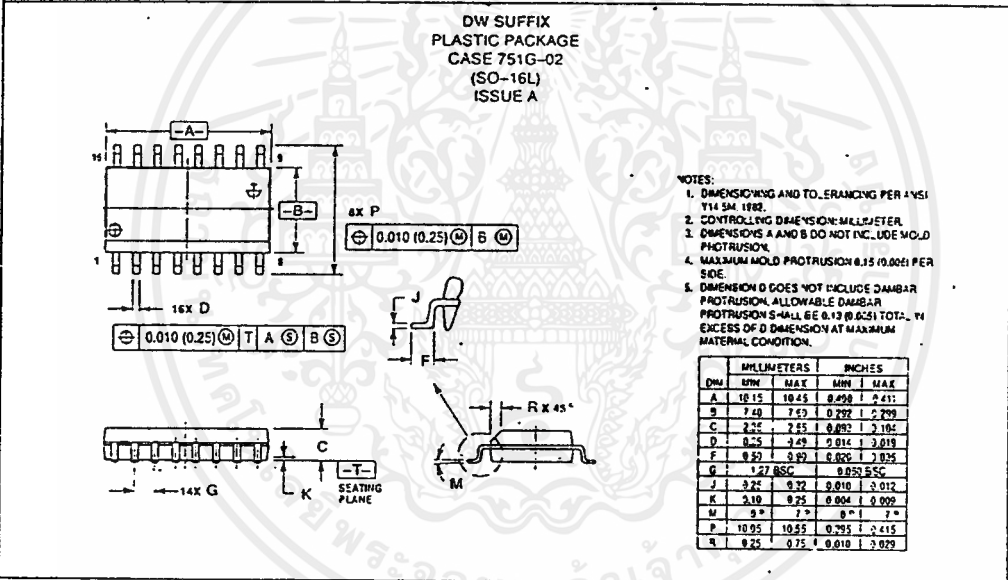
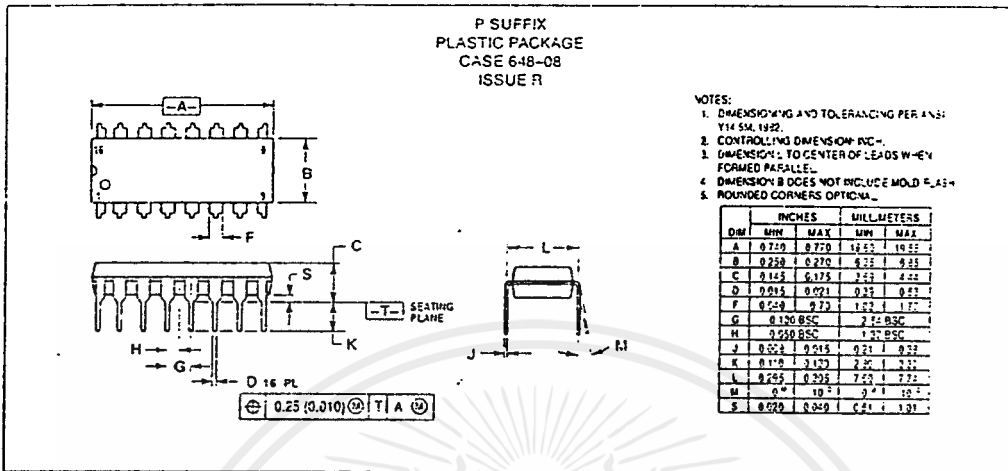
NOTE: These curves demonstrate the improved performance obtained with several codec designs of varying complexity.

- Curve a - Complex companding and double integration (Figure 19)
- Curve b - Double integration (Figure 14 using Figure 17)
- Curve c - Single integration (Figure 14) with 5.0 mV stepsize



MC3418

OUTLINE DIMENSIONS



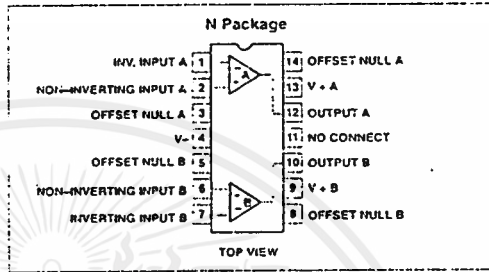
Dual operational amplifier

$\mu$ A747C

DESCRIPTION

The 747 is a pair of high-performance monolithic operational amplifiers constructed on a single silicon chip. High common-mode voltage range and absence of "latch-up" make the 747 ideal for use as a voltage-follower. The high gain and wide range of operating voltage provides superior performance in integrator, summing amplifier, and general feedback applications. The 747 is short-circuit protected and requires no external components for frequency compensation. The internal 6dB/octave roll-off insures stability in closed-loop applications. For single amplifier performance, see  $\mu$ A741 data sheet.

PIN CONFIGURATION



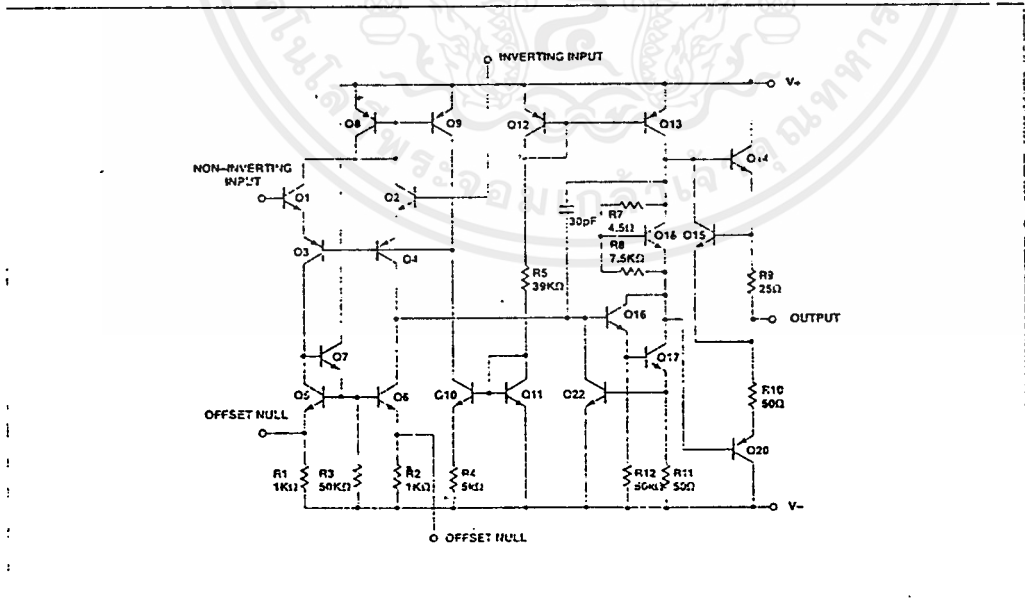
FEATURES

- No frequency compensation required
- Short-circuit protection
- Offset voltage null capability
- Large common-mode and differential voltage ranges
- Low power consumption
- No latch-up

ORDERING INFORMATION

DESCRIPTION	TEMPERATURE RANGE	ORDER CODE	DWG #
14-Pin Plastic DIP	0°C to 70°C	$\mu$ A747CN	0405B

EQUIVALENT SCHEMATIC



## Dual operational amplifier

 $\mu$ A747C

## ABSOLUTE MAXIMUM RATINGS

SYMBOL	PARAMETER	RATING	UNIT
$V_{CC}$	Supply voltage	$\pm 18$	V
$P_{DM}$	Maximum power dissipation $T_A=25^\circ\text{C}$ (still air) <sup>1</sup>	1500	mW
$V_{IN}$	Differential input voltage	130	V
$V_{IO}$	Input voltage <sup>2</sup>	$\pm 15$	V
	Voltage between offset null and V <sub>+</sub>	$\pm 0.5$	V
$T_{STG}$	Storage temperature range	-65 to +150	$^\circ\text{C}$
$T_O$	Operating temperature range	0 to +70	$^\circ\text{C}$
$T_{SOL}$	Lead temperature (soldering, 10sec)	300	$^\circ\text{C}$
$t_{SC}$	Output short-circuit duration	Indefinite	

## NOTES:

- Derate above  $25^\circ\text{C}$  at the following rates:  
N package at: 12mW/ $^\circ\text{C}$
- For supply voltages less than  $\pm 15\text{V}$ , the absolute maximum input voltage is equal to the supply voltage.

## DC ELECTRICAL CHARACTERISTICS

 $T_A=25^\circ\text{C}$ ,  $V_{CC} = \pm 15\text{V}$  unless otherwise specified.

SYMBOL	PARAMETER	TEST CONDITIONS	$\mu$ A747C			UNIT
			Min	Typ	Max	
$V_{OS}$	Offset voltage	$R_S \leq 10\text{k}\Omega$		2.0	6.0	mV
		$R_S \leq 10\text{k}\Omega$ , over temp.		3.0	7.5	mV
				10		$\mu\text{V}/^\circ\text{C}$
$I_{OS}$	Offset current			20	200	nA
		Over temperature		7.0	300	nA
				200		$\text{pA}/^\circ\text{C}$
$I_{B,AE}$	Input current			80	500	nA
		Over temperature		30	800	nA
				1		$\text{nA}/^\circ\text{C}$
$V_{OUT}$	Output voltage swing	$R_L \geq 2\text{k}\Omega$ , over temp.	$\pm 10$	$\pm 13$		V
		$R_L \geq 10\text{k}\Omega$ , over temp.	$\pm 12$	$\pm 14$		V
$I_{CC}$	Supply current each side			1.7	2.8	mA
		Over temperature		2.0	3.3	mA
$P_D$	Power consumption			50	85	mW
		Over temperature		60	100	mW
$C_{IN}$	Input capacitance			1.4		pF
		Offset voltage adjustment range		$\pm 15$		mV
$R_{OUT}$	Output resistance			75		$\Omega$
		Channel separation		120		dB
PSRR	Supply voltage rejection ratio	$R_S \leq 10\text{k}\Omega$ , over temp.		30	150	$\mu\text{V}/\text{V}$
$A_{VOL}$	Large-signal voltage gain (DC)	$R_L \geq 2\text{k}\Omega$ , $V_{OUT} = \pm 10\text{V}$	25,000			V/V
		Over temperature	15,000			V/V
CMRR	Common-mode rejection ratio	$R_S \leq 10\text{k}\Omega$ , $V_{CM} = \pm 12\text{V}$ Over temperature	70			dB

Dual operational amplifier

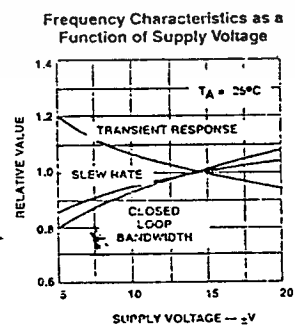
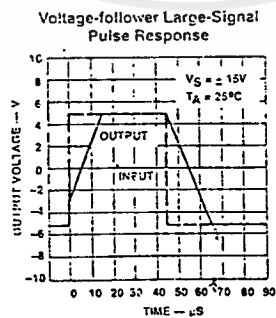
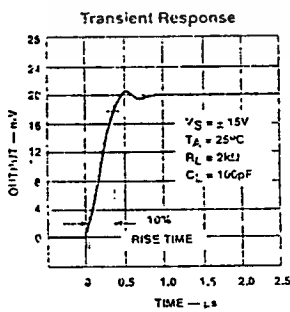
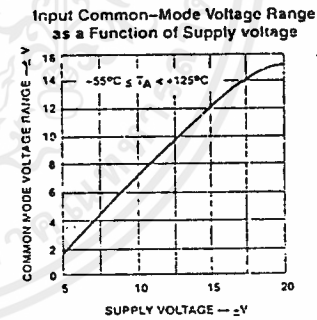
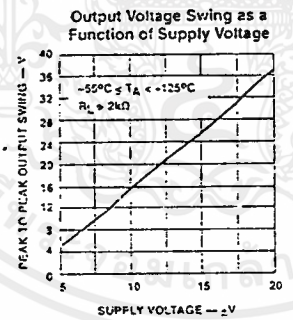
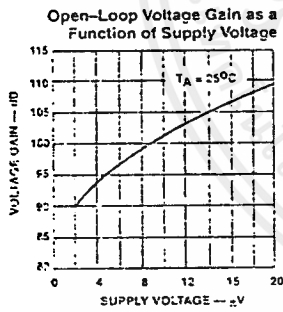
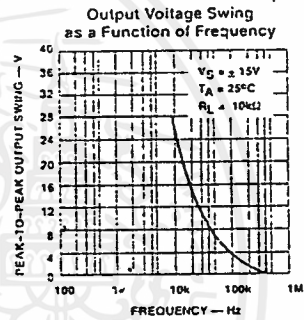
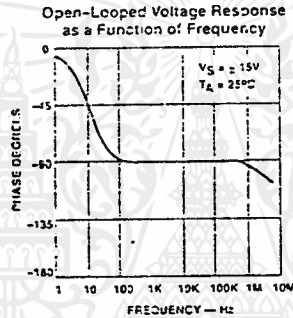
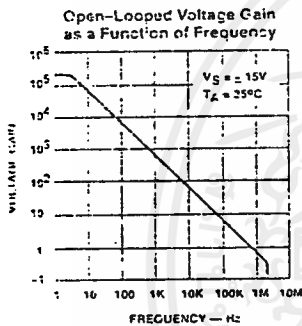
μA747C

AC ELECTRICAL CHARACTERISTICS

$T_A = 25^\circ\text{C}$ ,  $V_S = \pm 15\text{V}$  unless otherwise specified.

SYMBOL	PARAMETER	TEST CONDITIONS	μA747C			UNIT
			Min	Typ	Max	
$t_r$	Transient response Rise time Overshoot	$V_{in} = 20\text{mV}$ , $R_L = 2\text{k}\Omega$ , $C_L \leq 100\text{pF}$ Unity gain $C_L \leq 100\text{pF}$ Unity gain $C_L \leq 100\text{pF}$		0.3 5.0		$\mu\text{s}$ %
$f_{SR}$	Slow rate	$R_L > 2\text{k}\Omega$		0.5		$\text{V}/\mu\text{s}$

TYPICAL PERFORMANCE CHARACTERISTICS

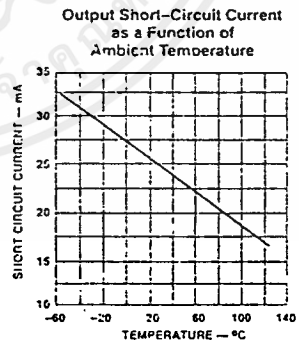
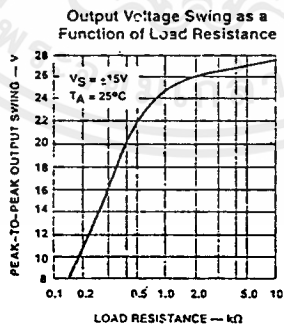
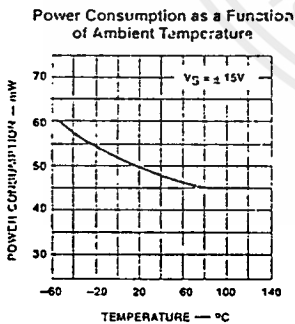
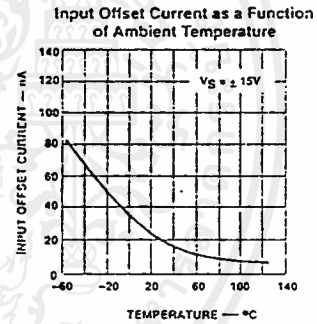
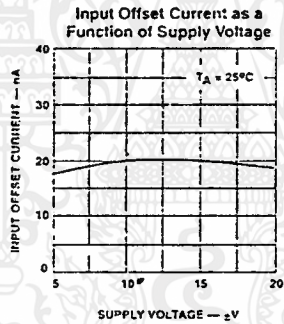
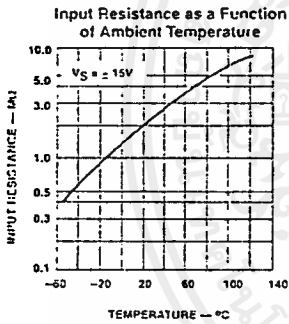
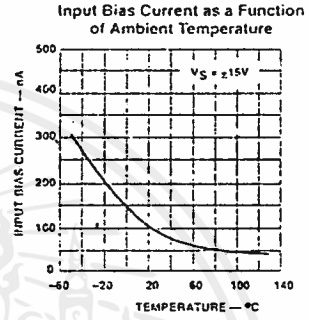
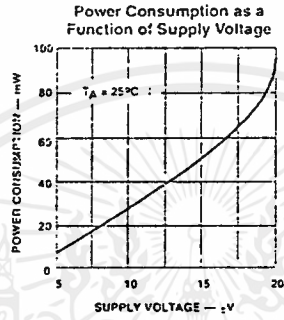
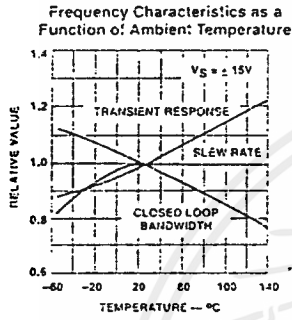


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งยังมีให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Dual operational amplifier

$\mu$ A747C

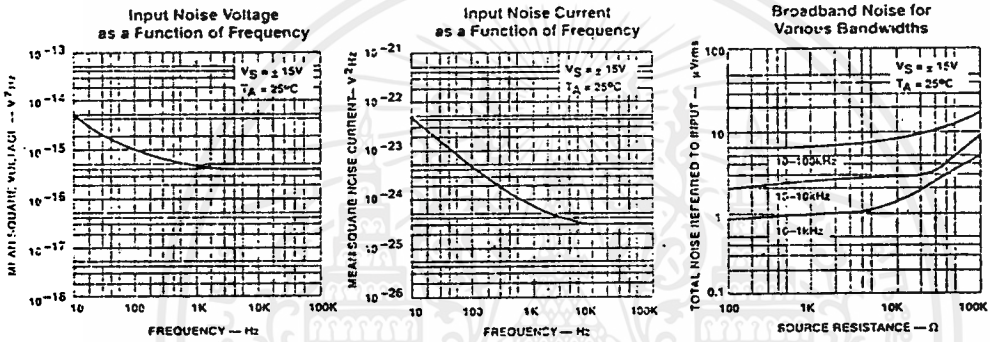
TYPICAL PERFORMANCE CHARACTERISTICS (Continued)



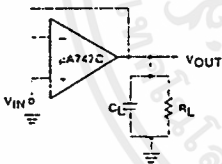
Dual operational amplifier

$\mu$ A747C

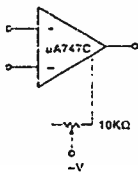
TYPICAL PERFORMANCE CHARACTERISTICS (Continued)



TEST CIRCUITS



Transient Response Test Circuit



Voltage Offset Null Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ประวัติผู้แต่ง



ชื่อผู้ทำปฏิญยานิพนธ์	นางสาวจิระวรรณ ช่วยชู
วันเดือนปีเกิด	8 มิถุนายน 2519
สถานที่เกิด	จังหวัดประจวบคีรีขันธ์
ภูมิลำเนาเดิม	52/33 หมู่ 3 ต. คอหงส์ อ. หาดใหญ่ จ. สงขลา 90110
ที่อยู่ปัจจุบัน	52/33 หมู่ 3 ต. คอหงส์ อ. หาดใหญ่ จ. สงขลา 90110
โทรศัพท์	074-445170
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนเทศบาล 3
มัธยมศึกษา	โรงเรียนหาดใหญ่อำนวยวิทย์
ประกาศนียบัตรวิชาชีพ (ปวช.)	วิทยาลัยเทคนิคหาดใหญ่
ประกาศนียบัตรวิชาชีพชั้นสูง (ปวส.)	วิทยาลัยเทคนิคหาดใหญ่
ปริญญาตรี	สาขาวิชาวิศวกรรมโทรคมนาคม ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
ทุนการศึกษา	ทุนนักเรียนเรียนดี ของเทศบาลเมืองหาดใหญ่ ทุนเรียนดี ของ ทุนการศึกษาของบุตรหลาน ข้าราชการและตำรวจ
คติพจน์	หินผาที่กล้าแกร่ง ส่วนที่แข็งย่อมคงนาน ที่อ่อนจะสะท้าน เมื่อน้ำพัดกัดกร่อนไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ประวัติผู้แต่ง



ชื่อผู้ทำปริญญาบัตร	นายประสาน สุขสมนาค
วันเดือนปีเกิด	21 เมษายน 2519
สถานที่เกิด	กรุงเทพมหานคร
ภูมิลำเนาเดิม	24/5 ถ.วุฒากาศ แขวงบางค้อ เขตจอมทอง กรุงเทพมหานคร 10150
ที่อยู่ปัจจุบัน	24/5 ถ.วุฒากาศ แขวงบางค้อ เขตจอมทอง กรุงเทพมหานคร 10150
โทรศัพท์	02-8754027-8
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนวัดใหม่ยายนุ้ย
มัธยมศึกษาตอนต้น	โรงเรียนสิงหราชพิทยาคม
ประกาศนียบัตรวิชาชีพ (ปวช.)	วิทยาลัยเทคนิคราชสีหราชราม
ประกาศนียบัตรวิชาชีพชั้นสูง (ปวส.)	วิทยาลัยเทคนิคราชสีหราชราม
ปริญญาตรี	สาขาวิชาวิศวกรรมโทรคมนาคม ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
คติพจน์	วันเวลาย้อนกลับไม่ได้เช่นใดไม่มีผู้ใดเช่นกันกลับไป แก้ไขอดีตได้เช่นนั้นปัจจุบันคือ สิ่งสำคัญตัดสินใจจะ อยู่หรือว่างวาย

## ประวัติผู้แต่ง



ชื่อผู้ทำปริญญาโท	นายพงษ์ธร จรรยา
วันเดือนปีเกิด	17 มกราคม 2519
สถานที่เกิด	กรุงเทพมหานคร
ภูมิลำเนาเดิม	455/1 ถ.อิสรภาพ แขวงหิรัญรูจี เขตธนบุรี กรุงเทพมหานคร 10600
ที่อยู่ปัจจุบัน	455/1 ถ.อิสรภาพ แขวงหิรัญรูจี เขตธนบุรี กรุงเทพมหานคร 10600
โทรศัพท์	02-4666081
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนจรรุวัฒนานุกูล
มัธยมศึกษาตอนต้น	โรงเรียนทวีธาภิเศก
มัธยมศึกษาตอนปลาย (ม.4)	โรงเรียนวัดราชโอรส
ประกาศนียบัตรวิชาชีพ (ปวช.)	---
ประกาศนียบัตรวิชาชีพชั้นสูง (4 ปี)	สถาบันเทคโนโลยีราชมงคลวิทยาเขตนนทบุรี
ปริญญาตรี	สาขาวิชาวิศวกรรมโทรคมนาคม ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
คติพจน์	อย่ายอมแพ้ สู้ให้ถึงที่สุด แต่หากหนักหนา เกินกว่า จะพยายาม ก็ปล่อยวางลงเสียบ้าง ในเมื่อพยายาม อย่างดีที่สุดแล้ว

## ประวัติผู้แต่ง



ชื่อผู้ทำปริญญาบัตร	นายสุลิต กลับทอม
วันเดือนปีเกิด	22 กันยายน 2519
สถานที่เกิด	จังหวัดนครราชสีมา
ภูมิลำเนาเดิม	305 ถ.มุขมนตรี ต.ในเมือง อ.เมือง จ.นครราชสีมา 30000
ที่อยู่ปัจจุบัน	123 แฟลตสถานพินิตคุ้มครองเด็กและเยาวชน ถ.มิตรภาพ ซ.19 ต.ในเมือง อ.เมือง จ.นครราชสีมา 30000
โทรศัพท์	044-214928
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนอัสสัมชัญนครราชสีมา
มัธยมศึกษาตอนต้น	โรงเรียนราชสีมาวิทยาลัย
ประกาศนียบัตรวิชาชีพ (ปวช.)	วิทยาลัยเทคนิคนครราชสีมา
ประกาศนียบัตรวิชาชีพชั้นสูง (ปวส.)	วิทยาลัยเทคนิคนครราชสีมา
ปริญญาตรี	สาขาวิชาวิศวกรรมโทรคมนาคม ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
ผลงานที่ได้รับรางวัล	ใบประกาศเกียรติบัตรเรียนดีเด่นปี 2529, 2530
คติพจน์	คนเราวัดกันตอนตาย เมื่อยังมีลมหายใจอยู่ไม่มีคำว่า ท้อแท้สำหรับเรา ประสบการณ์เหมือนบทเรียนสอน ใจ

### บรรณานุกรม

1. บัณฑิต โรจน์อารยานนท์. หลักการไฟฟ้าสื่อสาร. กรุงเทพมหานคร : จุฬาลงกรณ์มหาวิทยาลัย, 2537.
2. พิชัย ภักดีพาณิชเจริญ. ทฤษฎีและการใช้งานความถี่ย่านไมโครเวฟ. กรุงเทพมหานคร : สำนักพิมพ์ฟิสิกส์เซ็นเตอร์
3. พิชัย ภักดีพาณิชเจริญ. คู่มือการออกแบบวงจรกรองสัญญาณความถี่. กรุงเทพมหานคร : สำนักพิมพ์ฟิสิกส์เซ็นเตอร์
4. Motorola Analog IC device data. Motorola, Inc. 1996.
5. Motorola Small – Signal Transistors, FETs and Diode device. Motorola, Inc. 1996.
6. Philips Semiconductors. Philips, Inc. 1997.
7. Philips Semiconductors Linear Products. Philips, Inc. 1994.