

ใบรับรองปริญญาโท

ภาควิชาครุศาสตร์วิศวกรรม

คณะครุศาสตร์อุตสาหกรรม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

หัวข้อปริญญาโท การเข้ารหัสเสียงโดยวิธีการควอนไทซ์เวกเตอร์ด้วยอุปกรณ์ FPGAs

VECTOR QUANTIZER WITH APPLICATION TO SPEECH

CODING BY FPGAs

นักศึกษา

- 1) นายบุญยอด แสงคุณธรรม รหัสประจำตัว 39031315
- 2) นางสาวรัตนา ชื่นชม รหัสประจำตัว 39031322
- 3) นายสันติ บุญประเสริฐ รหัสประจำตัว 39031334
- 4) นางสาวอรพิน ปัญโญ รหัสประจำตัว 39031338

หลักสูตร ครุศาสตร์อุตสาหกรรมบัณฑิต สาขาวิชา อิเล็กทรอนิกส์และคอมพิวเตอร์

อาจารย์ผู้ควบคุมปริญญาโท

- 1. อาจารย์กิติพงศ์ มะโน
- 2. อาจารย์วรวิทย์ สมหา
- 3. อาจารย์อำพล ทองระอา



คณะกรรมการสอบปริญญาโท	ลายมือชื่อ
1. อาจารย์กิติพงศ์ มะโน	
2. อาจารย์วรวิทย์ สมหา	
3. อาจารย์อำพล ทองระอา	
4. อาจารย์ปิยะ จิตธรรมมาภิรมย์	
5. อาจารย์ไพบุลย์ พวงวงศ์ตระกูล	

วันเดือนปีที่สอบ วันที่ 14 เดือน ธันวาคม พ.ศ.2540 เวลา ๒๑:๐๐ น. ถึง ๒๓:๐๐ น.

สถานที่สอบ ห้อง ค.310 คณะครุศาสตร์อุตสาหกรรม

เลขหม.....

เลขทะเบียน 30144

วัน, เดือน, ปี 8 ส.ย. 2540



ภาควิชารับรองแล้ว

(ศาสตราจารย์ ดร. พหุสทิน ณ อยุธยา)

คณบดี ภาควิชาครุศาสตร์วิศวกรรม

พ.ศ. ๒๕๔๐

ปริญญานิพนธ์

การเข้ารหัสเสียงโดยวิธีการควอนไทซ์เวกเตอร์ด้วยอุปกรณ์ FPGAs
VECTOR QUANTIZER WITH APPLICATION TO SPEECH CODING
BY FPGAs



นายบุญยอด

แสงคุณธรรม

นางสาวรัตนา

ชื่นชม

นายสันติ

บุญประเสริฐ

นางสาวอรพิน

ปิญโญ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรครุศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์

ภาควิชาครุศาสตร์วิศวกรรม

คณะครุศาสตร์อุตสาหกรรม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานในการศึกษา 2540 ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์

เรื่อง การเข้ารหัสเสียงโดยวิธีการควอนไทซ์เวกเตอร์ด้วยอุปกรณ์ FPGAs

VECTOR QUANTIZER WITH APPLICATION TO SPEECH CODING BY FPGAs

ผู้จัดทำ

1. นายบุญยอด แสงคุณธรรม
2. นางสาวรัตนา ชื่นชม
3. นายสันติ บุญประเสริฐ
4. นางสาวอรพิน ปัญโญ

อาจารย์ที่ปรึกษา

ลงนาม.....
(อาจารย์กิติพงศ์ มะโน)

ลงนาม.....
(อาจารย์วรัววิทย์ สมหา)

ลงนาม.....
(อาจารย์อำพล ทองระอา)

หัวหน้าภาควิชาครุศาสตร์วิศวกรรม

ลงนาม.....
(ผศ.ดร.ธีรพล เทพหัสดิน ณ อยุธยา)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์

เรื่อง การเข้ารหัสเสียงโดยวิธีการควอนไทซ์เวกเตอร์ด้วยอุปกรณ์ FPGAs

VECTOR QUANTIZER WITH APPLICATION TO SPEECH CODING BY FPGAs

วัตถุประสงค์

1. เพื่อศึกษาการใช้งานอุปกรณ์ FPGAs
2. เพื่อศึกษาและออกแบบวงจรควอนไทซ์เวกเตอร์
3. เพื่อลดจำนวนบิตเรตในการส่งสัญญาณเสียงในระบบสื่อสาร
4. เพื่อสร้างวงจรการเข้ารหัสสัญญาณเสียงในระบบสื่อสาร

ประโยชน์ที่คาดว่าจะได้รับ

1. ได้ความรู้เกี่ยวกับการออกแบบวงจรรวมเฉพาะงาน โดยใช้ FPGAs
2. ได้ความรู้เกี่ยวกับการเข้ารหัสเสียงโดยวิธีการควอนไทซ์เวกเตอร์ด้วยอุปกรณ์ FPGAs
3. ใช้อุปกรณ์ FPGAs ในการควอนไทซ์เวกเตอร์ได้
4. ได้อุปกรณ์เข้ารหัสเสียงโดยวิธีการควอนไทซ์เวกเตอร์ด้วยอุปกรณ์ FPGAs
5. สามารถลดจำนวนบิตเรตส่งสัญญาณในระบบสื่อสาร
6. ได้เรียนรู้วิธีการสร้างชิพรวมโดยใช้ FPGAs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

II

VECTOR QUANTIZER WITH APPLICATION TO SPEECH BY FPGAs

MR.BOONYOD SAENGHUNNATHAM

MISS.RATANA CHUENCHOM

MR.SANTI BOONPRASERT

MISS.ORAPIN PUNYO

ADVISOR

MR.KITTIPONG MANO

MR.WORAWIT SOMHA

MR.AMPHON TONGRA-AR

1997

ABSTRACT

This thesis presents speech coding by using vector quantization and FPGAs devices. Speech coding circuit uses standard vector quantization method and it is designed by schematic Software, View Logic. It is implement at real time by FPGAs devices 4003A and 4005A. Finally, It uses to code speech at bandwidth 4 kHz in order to test. It can give a lower bit-rate at 9600 bps. and the quality of speech is satisfied.

กิติกรรมประกาศ

การจัดทำปฏิญานิพนธ์นี้สามารถสำเร็จลุล่วงไปได้ด้วยดี จากความร่วมมือของสมาชิกภายในกลุ่มทุกท่าน นอกจากนี้ยังได้รับความกรุณาจากอาจารย์กิติพงศ์ มะโน และอาจารย์ประจำภาควิชาครุศาสตร์วิศวกรรมทุกท่าน ในการให้คำปรึกษาแนะนำ และความช่วยเหลือต่างๆ ตลอดจนให้โอกาสในการทำโครงการอย่างเต็มที่ ทั้งทางด้านเวลา สถานที่ เครื่องมือ อุปกรณ์ต่างๆ และขอขอบคุณบุพการีผู้ให้กำเนิดที่ให้โอกาสในการศึกษา เพื่อนๆ ตลอดจนผู้เกี่ยวข้องทุกท่านที่ให้คำแนะนำต่างๆ และเป็นกำลังใจในการทำงาน จนทำให้โครงการนี้สำเร็จลุล่วงไปได้ด้วยดี



สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญตาราง	VII
สารบัญภาพ	VIII
บทที่ 1 บทนำ	1
1.1 ความเป็นมาและความสำคัญของปริญญานิพนธ์	1
1.2 ชี้แจงความสามารถของโครงการ	3
1.3 เนื้อหาโดยสังเขป	4
บทที่ 2 ทฤษฎีและหลักการ	5
2.1 กล่าวนำ	5
2.2 การควอนไทซ์เวกเตอร์แบบมาตรฐาน	5
2.2.1 หลักการควอนไทซ์แบบมาตรฐาน	5
2.2.2 การออกแบบโค้ดบูค	8
2.2.3 การคำนวณหาค่าอัตราส่วนสัญญาณต่อสัญญาณรบกวน	11
2.3 ทฤษฎีการแปลงสัญญาณ	12
2.4 วงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล และ วงจรมแปลงสัญญาณจากดิจิทัลเป็นอนาล็อก การแปลงสัญญาณดิจิทัลกับอนาล็อก	13 14
2.5 ทฤษฎีการสุ่มสัญญาณ	23
2.6 ทฤษฎีและหลักการ FPGAs	24
2.6.1 โครงสร้างภายใน	24

เอกสารนี้เป็นเอกสาร 2.6.2 ส่วนที่เป็นองค์ประกอบของลอจิก ที่นั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้าน 27 คำ
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

เรื่อง	หน้า
2.6.3 ส่วนอินพุตและเอาต์พุต	27
2.6.4 รายละเอียดและการใช้งาน	27
2.7 การใช้ซอฟต์แวร์ของบริษัทวิวลอจิกและบริษัทไซลิงค์	34
2.7.1 ขั้นตอนในการออกแบบจำลองการทำงาน โดยใช้ซอฟต์แวร์ของบริษัทวิวลอจิก	34
2.7.2 ขั้นตอนในการทดสอบวงจร โดยใช้ซอฟต์แวร์ของบริษัทไซลิงค์	34
บทที่ 3 การออกแบบและการสร้าง	36
3.1 ลักษณะการออกแบบ	36
3.1.1 การออกแบบจากล่างขึ้นบน	36
3.1.2 การออกแบบจากบนลงล่าง	36
3.2 หลักการออกแบบระบบและวงจร การใช้ซอฟต์แวร์ View Logic และ Xilinx	37
3.3 ขั้นตอนการออกแบบวงจร	39
3.3.1 การออกแบบวงจรเข้ารหัสเสียง	39
3.3.2 การออกแบบวงจรถอดรหัสเสียง	48
3.3.3 วงจรปริโมโครโฟน	52
3.3.4 วงจรเพาเวอร์แอมป์	54
3.3.5 วงจรแหล่งจ่ายไฟ	56
3.6 การสร้างวงจรเข้ารหัสเสียงและถอดรหัสเสียง ด้วยวิธีการควอนไทซ์เวกเตอร์	60
3.4.1 วงจรเข้ารหัสเสียง	60
3.4.2 วงจรถอดรหัสเสียง	63
3.5 การเชื่อมต่อระหว่างวงจรเข้ารหัสเสียงและถอดรหัสเสียง	66

สารบัญ (ต่อ)

เรื่อง	หน้า
บทที่ 4 การทดลองและผลการทดลอง	67
4.1 ขั้นตอนในการสร้างไฟล์และองค์ประกอบ	67
4.1.1 การกำหนดองค์ประกอบให้กับ XDM และ XMAKE	67
4.1.2 การตรวจสอบเอาต์พุตไฟล์ของ Xmake	69
4.1.3 การเข้าสู่หน้าต่างของการออกแบบ	69
4.1.4 การหาค่าแหน่งของ Block	70
4.1.5 การดาวน์โหลดใช้โปรแกรม XCHECKER	71
4.2 การโปรแกรม Serial PROM	72
4.3 ขั้นตอนการทดลอง	73
4.4 ผลการทดลอง	74
บทที่ 5 บทสรุป แก้ปัญหา แนวทางการแก้ไขและพัฒนา	76
5.1 บทสรุป	76
5.2 ปัญหา และแนวทางแก้ไข	76
5.3 แนวทางการพัฒนา	76
ภาคผนวก ก. ตัวอย่างการ Simulate	77
ภาคผนวก ข. รายละเอียดของอุปกรณ์	83
บรรณานุกรม	142
ประวัติผู้แต่ง	143

VII

สารบัญตาราง

ตาราง	หน้า
ตารางที่ 2.1 การนับเกตของเกตพื้นฐาน	25
ตารางที่ 2.2 คุณสมบัติของ FPGAs ประเภทต่างๆ	26
ตารางที่ 2.3 รูปแบบต่าง ๆ ของการกำหนดองค์ประกอบในการทำงาน	28
ตารางที่ 4.1 การตั้งสวิตช์ต่างๆ ในบอร์ดตัวอย่างของ FPGAs	71
ตารางที่ 4.2 การตั้งคิพสวิตช์ต่างๆ ของบอร์ดวงจรเข้ารหัสเสียง	75
ตารางที่ 4.3 การตั้งคิพสวิตช์ต่างๆ ของบอร์ดวงจรถอดรหัสเสียง	75



VIII

สารบัญรูปภาพ

รูปภาพ	หน้า
รูปที่ 2.1 การควอนไทซ์เวกเตอร์แบบมาตรฐาน	6
รูปที่ 2.2 การจัดเก็บโค้ดบิตในหน่วยความจำ	7
รูปที่ 2.3 วิธีการของ LBG โดยการประยุกต์จากวิธีการของ Lloyd	10
รูปที่ 2.4 กลุ่มของ Voronoi cell $P(f)$ โดยมี f เป็นค่า Centroid ซึ่งแสดงด้วยจุดดำ	11
รูปที่ 2.5 ระบบที่มีการประมวลผลข้อมูลทางดิจิทัล	13
รูปที่ 2.6 การทดลองวงจร D/A แบบรวมกระแส	15
รูปที่ 2.7 ตัวอย่างวงจร D/A แบบรวมกระแส	17
รูปที่ 2.8 ตัวอย่างวงจร D/A แบบวงจรบันไดของตัวต้านทาน	18
รูปที่ 2.9 วงจร D/A ที่ใช้กับเลขฐานสิบรหัส BCD 2 หลัก	19
รูปที่ 2.10 การทำงานของวงจรอินทิเกรเตอร์	22
รูปที่ 2.11 หลักการทำงานของวงจร A/D แบบสโลปคู่	23
รูปที่ 2.12 สัญญาณที่ผ่านการสุ่มเทียบกับสัญญาณต้นฉบับ	24
รูปที่ 2.13 แผนผัง CLB ของตระกูล 4000	29
รูปที่ 2.14 แผนผัง IOB ของตระกูล 4000	30
รูปที่ 2.15 ผังลำดับในการคอนฟิกเมมป้อนแหล่งจ่ายไฟเข้าไอซีและการโปรแกรม	31
รูปที่ 2.16 การต่อใช้งานในแบบสเตฟซีเรียล	31
รูปที่ 2.17 แผนภูมิเวลาการป้อนข้อมูลโปรแกรมคอนฟิกในแบบสเตฟซีเรียล	32
รูปที่ 2.18 การต่อใช้งานในแบบมาสเตอร์ซีเรียล	32
รูปที่ 2.19 การต่อใช้งานในแบบมาสเตอร์พาราเรล	33
รูปที่ 3.1 ผังการทำงานของกรอกแบบวงจรโดยใช้เครื่องมือการพัฒนา ของบริษัทไซลิงค์และบริษัทวิวลอจิก	38
รูปที่ 3.2 ผังการทำงานของวงจรเข้ารหัส	40
รูปที่ 3.3 วงจรสำเร็จของวงจรเข้ารหัสเสียง	41

เอกสารนี้รูปที่ 3.4 วงจรนับ 5 สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้าน 42 รค่า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IX

สารบัญ (ต่อ)

รูปภาพ	หน้า
รูปที่ 3.5 วงจรเก็บรีจิสเตอร์ 8 บิต จำนวน 5 ชุด	43
รูปที่ 3.6 วงจร SUB และ ABS	44
รูปที่ 3.7 วงจร ADD ถึงวงจรเปรียบเทียบ	45
รูปที่ 3.8 วงจรส่งข้อมูลออก	46
รูปที่ 3.9 วงจรกำเนิดสัญญาณนาฬิกา	47
รูปที่ 3.10 ผังการทำงานของวงจรถอดรหัส	48
รูปที่ 3.11 วงจรสำเร็จของวงจรถอดรหัสเสียง	49
รูปที่ 3.12 วงจรรับข้อมูลและวงจรReg # 6	50
รูปที่ 3.13 วงจร LPF	51
รูปที่ 3.14 วงจรปริโมโครโฟน	52
รูปที่ 3.15 ลายวงจรพิมพ์	53
รูปที่ 3.16 การวางอุปกรณ์	53
รูปที่ 3.17 วงจรเพาเวอร์แอมป์	54
รูปที่ 3.18 ลายวงจรพิมพ์ปริโมโครโฟนและเพาเวอร์แอมป์	55
รูปที่ 3.19 การวางอุปกรณ์	55
รูปที่ 3.20 รูปประกอบเสร็จของปริโมโครโฟนและเพาเวอร์แอมป์	56
รูปที่ 3.21 วงจรแหล่งจ่ายไฟ	57
รูปที่ 3.22 ลายวงจรพิมพ์วงจรแหล่งจ่ายไฟ	57
รูปที่ 3.23 การวางอุปกรณ์วงจรแหล่งจ่ายไฟ	58
รูปที่ 3.24 แสดงชุดอุปกรณ์แหล่งจ่ายไฟ	58
รูปที่ 3.25 วงจรทดสอบ	59
รูปที่ 3.26 ลายวงจร	60
รูปที่ 3.27 การวางอุปกรณ์	61
รูปที่ 3.28 รูปประกอบเสร็จ	61

สารบัญ (ต่อ)

รูปภาพ	หน้า
รูปที่ 3.29 รูปวงจรถดสอบของวงจรถอดรหัส	62
รูปที่ 3.30 รูปลายวงจรรณั่วงจร Decoder	63
รูปที่ 3.31 การวางอุปกรณ์	64
รูปที่ 3.32 รูปประกอบเสร็จ	64
รูปที่ 3.33 การเชื่อมต่อระหว่างวงจรถอดรหัสและวงจรถอดรหัส	65
รูปที่ 3.34 รูปวงจรถดสอบเมื่อประกอบเสร็จ	66
รูปที่ 4.1 บอร์ดวงจรถอดรหัสเสียงและถอดรหัสเสียง	73
รูปที่ 4.2 รูปที่ประกอบเสร็จแล้ว	74

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปริณญาณิพนธ์

เทคโนโลยีในการสื่อสารในปัจจุบันมีการพัฒนาไปมาก การสื่อสารระบบดิจิทัลก็เป็นการสื่อสารระบบหนึ่งที่มีมากในปัจจุบัน ส่วนสำคัญประการหนึ่งที่ต้องคำนึงถึงก็คือ การลดบิตเรตในการส่งข้อมูลให้ต่ำลง ซึ่งจะมีผลทำให้ความจุในการส่งของช่องสัญญาณมากขึ้น แต่การลดบิตเรตในการส่งข้อมูลนั้นอาจจะทำให้คุณภาพของการสื่อสารข้อมูลลดลง แนวความคิดในปริณญาณิพนธ์นี้ก็คือการควอนไทซ์เวกเตอร์เป็นวิธีการที่มีประสิทธิภาพวิธีหนึ่งซึ่งนำมาประยุกต์ใช้ในการเข้ารหัสเสียงเพื่อลดบิตเรตในการส่งข้อมูลให้ต่ำลง โดยที่ยังให้คุณภาพของการสื่อสารอยู่ในเกณฑ์ที่ยอมรับได้

เมื่อปี 1948 เคลาด์ แชนนอน (Claude Shannon) ได้พัฒนาทฤษฎีการเข้ารหัสซึ่งเป็นผลงานที่ได้รับความสำเร็จอย่างมาก คือ การแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล (Analog-to-Digital Conversation) และระบบการบีบอัดข้อมูล (Data Compression System) ซึ่งทฤษฎีนี้ทำให้เกิดความเที่ยงตรงอย่างมากระหว่างอัตราบิตเรตและคุณภาพของการสร้างข้อมูลกลับคืน เพื่อให้ได้ระบบการสื่อสารที่มีความถูกต้องแน่นอนและทฤษฎีนี้ได้กำเนิดแนวความคิดของโครงสร้างของการเข้ารหัสที่ดีต่อมา

แชนนอนได้นำเสนอแนวความคิด 2 แบบที่นำไปสู่เทคนิคการออกแบบการเข้ารหัสสัญญาณในเวลาต่อมา

แนวความคิดแรก สัญญาณดิจิทัลน่าจะสามารถบีบอัดได้โดยการกำหนดโค้ดเวิร์ด (Codeword) สั้น ๆ ซึ่งเป็นสัญญาณที่เชื่อถือได้มากที่สุด และการเข้ารหัสที่ประสบผลสำเร็จที่สุด น่าจะหาได้จากค่าสถิติรูปร่างลักษณะของสัญญาณ ซึ่งนำไปสู่แนวความคิดเกี่ยวกับการเข้ารหัสสัญญาณที่ไม่มีความผิดพลาดหรือไม่เกิดการสูญเสีย

แนวความคิดที่สอง ระบบการเข้ารหัสสัญญาณสามารถปฏิบัติได้ดีถ้าใช้การเข้ารหัสแบบเวกเตอร์มากกว่าที่จะใช้แค่ละแชนแนล

แนวความคิด แรกของแชนนอน นำมาซึ่งการเปลี่ยนแปลงอย่างรวดเร็วของการเข้ารหัสสัญญาณหลาย ๆ แบบ แต่ไม่ใช่กับแนวความคิดที่สอง โดยเหตุที่แนวความคิดของการเข้ารหัสแบบเวกเตอร์ได้เกิดขึ้นหลายปีก่อนที่การเข้ารหัสสัญญาณถูกนำมาใช้ให้เกิดผล อย่างไรก็ตามการวิจัยในหัวข้อนี้ยังคงมีให้คิดค้นพัฒนา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามระบบการเข้ารหัสเพื่อแปลงสัญญาณจากแอนาลอกเป็นสัญญาณดิจิทัลและการเข้ารหัส ได้ถูกพัฒนาขึ้น ซึ่งมีความสำคัญต่อการปฏิบัติงานในแบบสเกลาร์เป็นอย่างมาก ในเวลานั้น การเข้ารหัสสัญญาณแบบเวกเตอร์หรือเวกเตอร์ควอนไทซ์ไม่สามารถนำมาใช้ในเวลาจริงได้ โดยเหตุไม่มีสิ่งเอื้ออำนวยเพียงพอ เช่น ไม่มีวงจรประมวลผลสัญญาณที่มีความเร็วเพียงพอ และหน่วยความจำไม่มีขนาดใหญ่พอ รวมทั้งขาดการออกแบบอัลกอริธึม สำหรับการเข้ารหัส อีกด้วย อย่างไรก็ตามในปี 1980 ได้มีการพัฒนาการออกแบบอัลกอริธึมและโครงสร้างของการเข้ารหัสที่นำมาใช้ประโยชน์ได้ การเข้ารหัสแบบเวกเตอร์หรือเวกเตอร์ควอนไทซ์ ได้เริ่มต้นนำมาใช้งานในเทคโนโลยีการเข้ารหัส การพัฒนาอย่างรวดเร็วของตัวประมวลผลสัญญาณดิจิทัลใน 10 ปีที่ผ่านมาและการให้ความสนใจอย่างกว้างขวางในระบบการเข้ารหัสแบบเวกเตอร์นำไปสู่แนวความคิดในการผลิตเป็นสินค้าที่ใช้ในการเข้ารหัสแบบเวกเตอร์เป็นพื้นฐาน โดยเฉพาะการเข้ารหัสเสียงพูดและแนวความคิดในการเข้ารหัส

เวกเตอร์ควอนไทซ์เป็นโครงร่างของการเข้ารหัสที่พัฒนาขึ้นโดยแซนนอน ในการพัฒนาทฤษฎีของการเข้ารหัสสัญญาณกับบรรทัดฐานที่มีลักษณะตรงกับความเป็นจริงแนวความคิดนี้ ได้ขยายการควอนไทซ์ที่ใช้แบบสเกลาร์ไปเป็นหลายๆ มิติ (Dimension) เวกเตอร์ควอนไทซ์ ทำงานในแบบเวกเตอร์แทนที่จะเป็นสเกลาร์ โครงร่างของเวกเตอร์ควอนไทซ์นี้ง่ายและเหมาะสมที่จะนำมาใช้ รหัส (Code) มักจะถูกออกแบบโดยอัลกอริธึมที่มีกลุ่มข้อมูลที่ซ้ำกัน และการออกแบบนี้สามารถนำมาใช้ในการออกแบบเวกเตอร์ควอนไทซ์ ที่เพิ่มความหนาแน่นของสัญญาณได้อีกด้วย

ในทางทฤษฎีแล้วแนวความคิดนี้น่าจะเป็นไปได้ แต่ในทางปฏิบัติแล้วไม่ง่ายเลย อุปสรรคที่สำคัญได้แก่ การนำเสนอที่เวลาจริง (Real Time) และข้อจำกัดในการนำเวกเตอร์ควอนไทซ์มาใช้งาน สมมุติว่าเราพิจารณาการเข้ารหัสสัญญาณที่มีรูปร่างลำดับการสุ่มคงที่และเราพุ่งเล็งถึงปัญหาที่ท่าอย่างไร ที่จะแบ่งลำดับไปเป็นเวกเตอร์ เพื่อใช้ในเวกเตอร์ควอนไทซ์ โดยทั่ว ๆ ไป ถ้าเราบังคับให้ค่ารีโซลูชัน (Resolution) วัดในรูปของบิตเวกเตอร์ เราทราบว่าการทำงานของเวกเตอร์ควอนไทซ์ สามารถเพิ่มไคเมนชัน (N) ของเวกเตอร์ที่เพิ่มขึ้นได้เท่านั้น การปรับปรุงการทำงานเกี่ยวกับไคเมนชันนี้สามารถอธิบายได้โดยอาศัยการจำได้ (Recognizing) พื้นที่ของโค้ดบุ๊ก (Codebook) ที่ต้องการจัดเก็บในรูปเวิร์ดและการค้นหา (จำนวนของการทำงานคืออินพุตเวกเตอร์ในการค้นหาละเอียดในโค้ดบุ๊ก) เป็นปฏิภาคกับ LN (L คือ ขนาดของโค้ดบุ๊ก) ด้วยเหตุนี้ $LN = N2^{bN}$ หนึ่งในเวิร์ดที่เก็บไว้สามารถแทนได้ด้วยหนึ่งส่วนประกอบของหนึ่งโค้ดเวกเตอร์ และการทำงานหนึ่งครั้งเทียบได้กับการทำงานแบบ

สเกลาร์ 2 หรือ 4 ค่า จากที่ทราบว่า สัญญาณจะถูกสุ่มที่ความถี่ $F_s = 8\text{KHz}$ สมมติว่าเราต้องการใช้แวกเตอร์ควอนไทซ์ที่มีขนาด 1 บิตต่อแซมเปิล สำหรับอัตราการส่งขนาด 8 Kbps. ขนาด N แซมเปิล ในหนึ่งแวกเตอร์ต้องการโค้ดบิตขนาด $L=2^N$ และพื้นที่ของการจัดเก็บ $N2^N$ จำนวนของการทำงานต่อหนึ่งหน่วยเวลา สำหรับการค้นหาในโค้ดบิตกับค่าความผิดพลาดขึ้นอยู่กับความเร็วของตัวประมวลผล โดย $Nf_s=2^Nf_s$ ตัวอย่างเช่น ให้ค่า $N=16$ จะมีขนาดของโค้ดบิต $L=65536$ สำหรับตัวประมวลผลสัญญาณดิจิทัลที่ดีที่สุดในปี 1993

การออกแบบดิจิทัลได้มีวิวัฒนาการอย่างรวดเร็ว โดยใช้ช่วงเวลาเพียงเล็กน้อย ซึ่งกระบวนการวิธีการออกแบบได้เปลี่ยนแปลงอย่างรวดเร็ว ส่วนประกอบต่าง ๆ ของวงจรได้พัฒนาจากทรานซิสเตอร์ จนกระทั่งนำไปสู่เทคโนโลยีวีแอลเอสไอ (VLSI: Very Large Scale Integrated Circuits) ทั้งนี้ได้มีการนำระบบคอมพิวเตอร์ช่วยในการออกแบบอุปกรณ์ลอจิกที่สามารถโปรแกรมได้ (Programmable Logic Device) ซึ่งจะช่วยลดความยุ่งยากในการทำต้นแบบของวงจร โดยทำขั้นตอนการออกแบบทางกายภาพ (Physical) ใช้เวลาน้อยลง อย่างไรก็ตามผู้ที่ทำการออกแบบจะต้องเข้าใจ เทคโนโลยีด้านสถาปัตยกรรมของฮาร์ดแวร์ของอุปกรณ์ชนิดนี้ พร้อมกับต้องเข้าใจการใช้ซอฟต์แวร์ที่ช่วยในการออกแบบควบคู่ไปด้วยเช่นกัน

1.2 ซีดความสามารถของโครงการ

การดำเนินการกับวงจรที่ได้นั้นแบ่งเป็นกลุ่มหลัก ๆ ได้ 2 กลุ่มคือ แบบเต็มรูปแบบ (Fully Custom) และไม่เต็มรูปแบบ (Semi Custom) โดยในแบบเต็มรูปแบบนั้นเราไม่สามารถดำเนินการออกแบบได้จนสิ้นสุดกระบวนการเพราะในขั้นตอนสุดท้ายเราจะต้องให้โรงงานผลิตเป็นไอซีให้ แต่ในที่นี้เราจะเลือกใช้แบบไม่เต็มรูปแบบเนื่องจากเราสามารถดำเนินการได้เองจนสิ้นสุดกระบวนการออกแบบโดยวิธีที่เราเลือกใช้คือ การใช้ FPGAs (Field Programmable Gate Arrays)

FPGAs จะรวมอะเรย์ของเกตกับอุปกรณ์โปรแกรมได้ของ PLDs (PLDs จะประกอบด้วยอะเรย์ของเกตที่สามารถโปรแกรมได้ อุปกรณ์ที่ใช้ในการเชื่อมต่ออาจเป็นฟิวส์ หรือทรานซิสเตอร์ โดย PLDs จะเป็นอุปกรณ์ที่มีความหนาแน่นต่ำที่สุดในอุปกรณ์ประเภทที่สามารถโปรแกรมลอจิก การใช้ประโยชน์จะเปลี่ยนแปลงไปตามการประยุกต์ใช้งาน แต่มันสามารถโปรแกรมตามแบบได้ต่ำเพราะสถาปัตยกรรมของเกตมีคงที่ตายตัว) เข้าด้วยกัน โดย

ภายในตัว FPGAs จะมีส่วนที่สำคัญคือเส้นทางเชื่อมต่อระหว่างบล็อกซึ่งเส้นทางเหล่านี้เราไม่อาจรู้ได้ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถโปรแกรมได้ ซึ่งจะกล่าวในบทต่อไป จำนวนเกตที่เราสามารถนำมาใช้ได้มีอยู่ระหว่าง 3,000 ถึง 10,000 เกต ซึ่งถือว่าใช้ประโยชน์ได้กว้างขวางเพราะเราสามารถโปรแกรมให้ทำงานเป็นฟังก์ชันต่าง ๆ ได้ และยังมีข้อดีคือ เราสามารถโปรแกรมใหม่ได้อีก

1.3 เนื้อหาโดยสังเขป

จะเห็นได้ว่าอุปกรณ์ FPGAs เป็นเทคโนโลยีที่นักศึกษา จึงได้ทำการออกแบบโครงงานขึ้นมาโดยมีเป้าหมายคือ สร้างอุปกรณ์เพื่อเข้ารหัสเสียงโดยวิธีการควอนไทซ์แอมพลิจูดด้วยอุปกรณ์ FPGAs โดยใช้เครื่องมือพัฒนาของบริษัท View Logic และ Xilinx และทำการ Download ลง FPGAs ซึ่งเนื้อหาในปฏิญานี้ประกอบด้วรายละเอียดต่างๆ ที่สำคัญดังนี้

บทที่ 2 ทฤษฎีและหลักการกล่าวถึงการควอนไทซ์แอมพลิจูดแบบมาตรฐานหลักการควอนไทซ์แอมพลิจูดแบบมาตรฐาน การแปลงสัญญาณแอนะล็อกเป็นดิจิทัล และวงจรแปลงสัญญาณดิจิทัลเป็นแอนะล็อก ทฤษฎีการสุ่มสัญญาณทฤษฎีและหลักการของ FPGAs การใช้ซอฟต์แวร์ของบริษัทเว็วลอจิกและบริษัทไซลิงค์

บทที่ 3 หลักการออกแบบและสร้าง กล่าวถึงขั้นตอนการออกแบบการสร้างวงจรเข้ารหัสเสียงและถอดรหัสเสียง และการเชื่อมต่อระหว่างวงจรเข้ารหัสเสียงและถอดรหัสเสียง

บทที่ 4 การทดลองและผลการทดลอง กล่าวถึง ขั้นตอนในการสร้างไฟล์และองค์ประกอบ การโปรแกรม Serial Prom ขั้นตอนการออกแบบและผลการทดลอง

บทที่ 5 สรุปอภิปรายและข้อเสนอแนะ กล่าวถึงปัญหา แนวทางการแก้ไขและแนวทางในการพัฒนาเพื่อสามารถนำไปประยุกต์ใช้ได้อย่างกว้างขวาง

บทที่ 2

ทฤษฎีและหลักการ

2.1 กล่าวนำ

สำหรับทฤษฎีที่ใช้ในการออกแบบโครงงานนี้ ประกอบด้วย ทฤษฎีของเวกเตอร์-คเวอนไคซ์ ทฤษฎีการแปลงสัญญาณ ทฤษฎีการสุ่มสัญญาณ ทฤษฎีและหลักการของ FPGAs และการใช้ซอฟต์แวร์วีลลจิกและไซลิ่ง ซึ่งจะนำเสนอเป็นส่วน ๆ ไป

2.2 การคเวอนไคซ์เวกเตอร์แบบมาตรฐาน

2.2.1 หลักการการคเวอนไคซ์เวกเตอร์แบบมาตรฐาน

การคเวอนไคซ์เวกเตอร์แบบมาตรฐานเป็นการคเวอนไคซ์เวกเตอร์แบบแรกสุดที่ได้มีการนำไปประยุกต์ใช้งานในการเข้ารหัสสัญญาณเสียง และเป็นพื้นฐานในการพัฒนาการคเวอนไคซ์เวกเตอร์ในเวลาต่อมา ซึ่งวิธีการคเวอนไคซ์เวกเตอร์แบบมาตรฐานนี้ได้นำเสนอเป็นครั้งแรกโดย Yoseph Linde, Andres Buzo และ Robert M. Gray และเขาทั้ง 3 คนได้นำเสนอวิธีการออกแบบโคคบัคซึ่งเป็นที่รู้จักกันดีคือวิธีการแบบ LBG (LBG algorithms) หรือในบางครั้งเราเรียกว่าวิธีการแบบ Splitting (Splitting algorithms) ซึ่งได้พัฒนามาจากวิธีการของ Lloyd (Lloyd algorithms)

หลักการคเวอนไคซ์เวกเตอร์แบบมาตรฐาน

รูปที่ 2.1 เป็นหลักการพื้นฐานของการคเวอนไคซ์เวกเตอร์แบบมาตรฐาน วงจรเครื่องส่ง (Transmitter) ประกอบไปด้วยส่วนที่เป็นโคคบัคเวกเตอร์ที่มี N มิติ ซึ่ง N คือ จำนวนของตัวอย่าง (Samples) หรืออีลีเมนต์ (element) ในหนึ่งเวกเตอร์ และมีจำนวน L เวกเตอร์ คือ $\{j=1,2,3,\dots,L\}$ โดยเป็นส่วนที่มีความสำคัญเนื่องจากโคคบัคจะต้องเป็นที่เก็บคุณลักษณะของเสียงไว้ทั้งหมดและการจัดโคคบัคเวกเตอร์ในหน่วยความจำได้จัดในลักษณะของอะเรย์ 2 มิติซึ่งแสดงได้ดังรูปที่ 2.2 และจากรูปที่ 2.1 ในขบวนการเริ่มต้นสัญญาณอินพุทเวกเตอร์ $x(i)$ จะถูกสุ่มเข้ามา จำนวน N แซมเปิ้ล (เท่ากับมิติของโคคบัคหรือหนึ่งเวกเตอร์) โดยวงจรเข้ารหัสจะแทนสัญญาณเวกเตอร์ $x(i)$ ด้วยค่าเวกเตอร์ \hat{x}_j จากโคคบัคซึ่งจะมีเพียงหนึ่งเวกเตอร์ที่มีคุณ

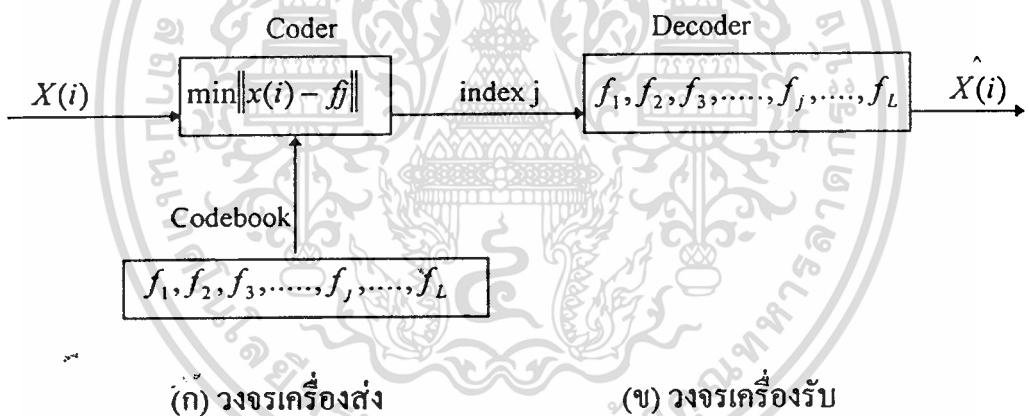
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะใกล้เคียงกับสัญญาณอินพุทเวกเตอร์ $x(i)$ มากที่สุดโดยการหาค่าต่ำสุด (Minimize the euclidean distance) ซึ่งมีเงื่อนไขดังนี้

$$\|x(i) - f_j\| < \|x(i) - f_k\| \quad (2.1)$$

โดยที่ $k=1,2,3,\dots,L$; $k \neq j$

และจะได้ค่าดัชนี (Index) ของเวกเตอร์จากโค้ดบุ๊กคือ j มาทำการถอดรหัสจากโค้ดบุ๊กที่เครื่องรับ โดยที่โค้ดบุ๊กที่เครื่องส่งและเครื่องรับจะต้องมีข้อมูลที่เหมือนกันหลังจากนั้นจะได้สัญญาณเอาต์พุทเวกเตอร์ที่ถูกสร้างขึ้นใหม่คือเวกเตอร์ $\hat{X}(i)$ ซึ่งมีค่าเท่ากับเวกเตอร์ f_j ที่เก็บอยู่ในโค้ดบุ๊กนั่นเอง โดยที่เวกเตอร์ f_j จะต้องมีค่าใกล้เคียงกับอินพุทเวกเตอร์ $X(i)$ มากที่สุด



รูปที่ 2.1 การควอนไทซ์เวกเตอร์แบบมาตรฐาน

ค่า Parameter ที่สำคัญอีกประการหนึ่งของการควอนไทซ์เวกเตอร์คือ ความละเอียด (Resolution) ของจำนวนบิตที่ใช้ในหนึ่งอีลีเมนต์ของเวกเตอร์สามารถคำนวณได้ดังนี้

$$R = \frac{\log_2 L}{N} \quad (\text{bit/element}) \quad (2.2)$$

สมมุติถ้ากำหนดให้โค้ดบุ๊กมีมิติ $N=5$ และจำนวนเวกเตอร์ในโค้ดบุ๊ก $L=64$ จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R = \frac{\log_{254}}{N} = \frac{6}{5} = 1.2 \text{ bit/element}$$

	N →			
L ↓	$f_{1(1)}$	$f_{1(2)}$...	$f_{1(N)}$
	$f_{2(1)}$	$f_{2(2)}$...	$f_{2(N)}$
	$f_{3(1)}$	$f_{3(2)}$...	$f_{3(N)}$

	$f_{L(1)}$	$f_{L(2)}$...	$f_{L(N)}$

รูปที่ 2.2 การจัดเก็บโค้ดบิตในหน่วยความจำ

นั่นหมายความว่าในหนึ่งแชนเนลของการสุ่มสัญญาณที่ส่งไปยังเครื่องรับต้องการข้อมูลเพียง 1.2 บิต จะสังเกตเห็นว่าความละเอียดของตัวแปลงสัญญาณ A/D จะไม่มีผลต่อบิตเรตในการส่งข้อมูล ถ้าหากเรานำหลักการควอนไทซ์เวกเตอร์ไปประยุกต์ใช้ในการเข้ารหัสสัญญาณเสียงและจากสมการที่ (2.2) สามารถคำนวณหาค่าบิตเรตในการส่งข้อมูลได้ดังนี้

$$\text{Bitrate} = R \times F_s \text{ (bit/sec)} \quad (2.3)$$

$$F_s = \text{ความถี่ในการสุ่มสัญญาณ(Hz)}$$

ถ้าอัตราการสุ่มสัญญาณ $F_s = 8\text{kHz}$ มิติของโค้ดบิต $N = 5$ (หมายถึงการเข้ารหัสในแต่ละครั้งใช้สัญญาณจำนวน 5 แชนเนล) และจำนวนของเวกเตอร์ $L = 64$ นั่นหมายความว่าค่าดัชนีเวกเตอร์ j ที่ส่งไปยังเครื่องรับจำนวน 6 บิต สามารถสร้างสัญญาณเอาต์พุตเวกเตอร์ $\hat{X}(i)$ ได้จำนวน 5 แชนเนล ดังนั้นจำนวนบิตเรตในการส่งข้อมูลจะได้เป็น

2.2.2 การออกแบบโศดน้ำค

คุณภาพของสัญญาณเสียงที่เอาท้พทจะขึ้นอยู่กัโศดน้ำค ดังนั้นขั้นตอนการออกแบบโศดน้ำคจึงเป็นขั้นตอนที่มีความสำคัญเป็นอย่างยิ่งที่จะต้องเก็บคุณลักษณะของสัญญาณเสียงไว้ทั้งหมด ในขั้นตอนการออกแบบโศดน้ำคจะนำเอาสัญญาณเสียงจากต้นฉบับหรือสัญญาณที่ใช้ในการออกแบบโศดน้ำค $\{x(i)\}$ (Training Vector) มาทำการแยกกลุ่ม (Clustering) เพื่อหาคุณลักษณะของสัญญาณเสียงที่เหมาะสมที่สุด และให้มีความผิดพลาด (Distortion) น้อยที่สุด โดยใช้วิธีการของ LBG ซึ่งได้พัฒนามาจากวิธีการของ Lloyd มาประยุกต์ใช้ในการออกแบบและเขียนเป็นโพล้วชาร์ตการออกแบบได้ดังแสดงในรูปที่ 2.3 และเขียนเป็นขั้นตอนการออกแบบได้ดังต่อไปนี้

กำหนดให้โศดน้ำคที่ต้องการออกแบบมีจำนวน L เวกเตอร์ในแต่ละเวกเตอร์มีจำนวนอีลีเมนต์เท่ากับ N

$P(f_j) =$ Voronoi Cell หรือกลุ่มของเวกเตอร์ที่มีสมาชิกคือเวกเตอร์ $x(i)$ โดยมีเวกเตอร์ f_j เป็นค่า Centroid ของ $P(f_j)$, $j = 1, 2, 3, \dots, L$

$\{x(i)\} =$ สัญญาณเสียงต้นฉบับสำหรับการออกแบบโศดน้ำค โดย $\{i = 1, 2, 3, \dots, M\}$

และ M คือ จำนวนของเวกเตอร์ใน $\{x(i)\}$

$\alpha =$ เวกเตอร์สำหรับการ Splitting โดยมีจำนวนอีลีเมนต์เท่ากับ N ในวิทยานิพนธ์ฉบับนี้ได้เลือกใช้ค่า $\alpha = [0.01, 0.01, \dots, 0.01]^T$

$\epsilon =$ Thershold ในวิทยานิพนธ์ฉบับนี้ได้เลือกใช้ค่า (0.005)

ขั้นตอนการออกแบบ

1. กำหนดให้ Heration $m=0$
2. ติดตั้งโศดน้ำคเวกเตอร์ $f_{j(m)}$ ที่ $j = 1$ โดยการหาค่า Centroid ของสัญญาณเสียงต้นฉบับ $\{x(i)\}$ ได้จาก

$$f_{j(m)} = \frac{1}{M} \sum_{i=1}^M x(i) \quad (2.4)$$

3. ทำการแยกโศดน้ำคเวกเตอร์ $f_{j(m)}$ ออกเป็น 2 ส่วน โดยการบวกและลบด้วยเวกเตอร์ α ซึ่งมีจำนวนอีลีเมนต์เท่ากับโศดน้ำคเวกเตอร์ และจะได้โศดน้ำคใหม่เป็น 2 เท่าของจำนวน

เอกสารนี้โศดน้ำคเวกเตอร์เดิมดั่งนี้เป็นการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{aligned}
 f_{j(m)}^{new} &= f_{j(m)}^{old} + \alpha \\
 f_{j+1(m)}^{new} &= f_{j(m)}^{old} - \alpha
 \end{aligned}
 \tag{2.5}$$

4. กำหนดให้ $m = m+1$

5. แยกสัญญาณเสียงต้นฉบับ $\{x(i)\}$ ให้เข้ากลุ่มของ $P(f_{i(m)})$ ดังนี้

$$x(i) \in P(f_{i(m)}) \text{ if } \hat{X}(i) = f_j \tag{2.6}$$

โดยที่ $\{I = 1, 2, 3, \dots, M\}$

$\{j = 1, 2, 3, \dots, L\}$

และในการจัดเข้ากลุ่มในแต่ละ $P(f_{i(m)})$ มีเงื่อนไขดังนี้

$$\|x(i) - f_j(m)\| < \|x(i) - f_k\|$$

$\{I = 1, 2, 3, \dots, M\}$

$\{j = 1, 2, 3, \dots, L\} ; k \neq j$

6. กำหนดหาค่า Centriod ในแต่ละ $P(f_{i(m)})$ โดยการนำเอา $\{x(i)\}$ ที่ถูกจัดกลุ่มในขั้นตอนที่ 5 มาทำการคำนวณดังนี้

$$\begin{aligned}
 f_{j(m)} &= \frac{1}{M_j} \sum_{x(i) \in P(f_j(m))} x(i) \\
 \{j &= 1, 2, 3, \dots, L\}
 \end{aligned}
 \tag{2.7}$$

โดยที่ M_j คือจำนวนของ Training Vector ที่ถูกจัดเข้ากลุ่มในแต่ละ $P(f_{j(m)})$

7. กำหนดค่าความเพี้ยนเฉลี่ย (Average Distortion) $D(m)$ รวมทั้งหมดของโค้คบัคเวกเตอร์ $f_{j(m)}$

$$\begin{aligned}
 D(m) &= \frac{1}{M} \sum_{i: x(i) \in P(f_j(m))} \|x(i) - f_j(m)\|^2 \\
 \{j &= 1, 2, 3, \dots, L\}
 \end{aligned}
 \tag{2.8}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

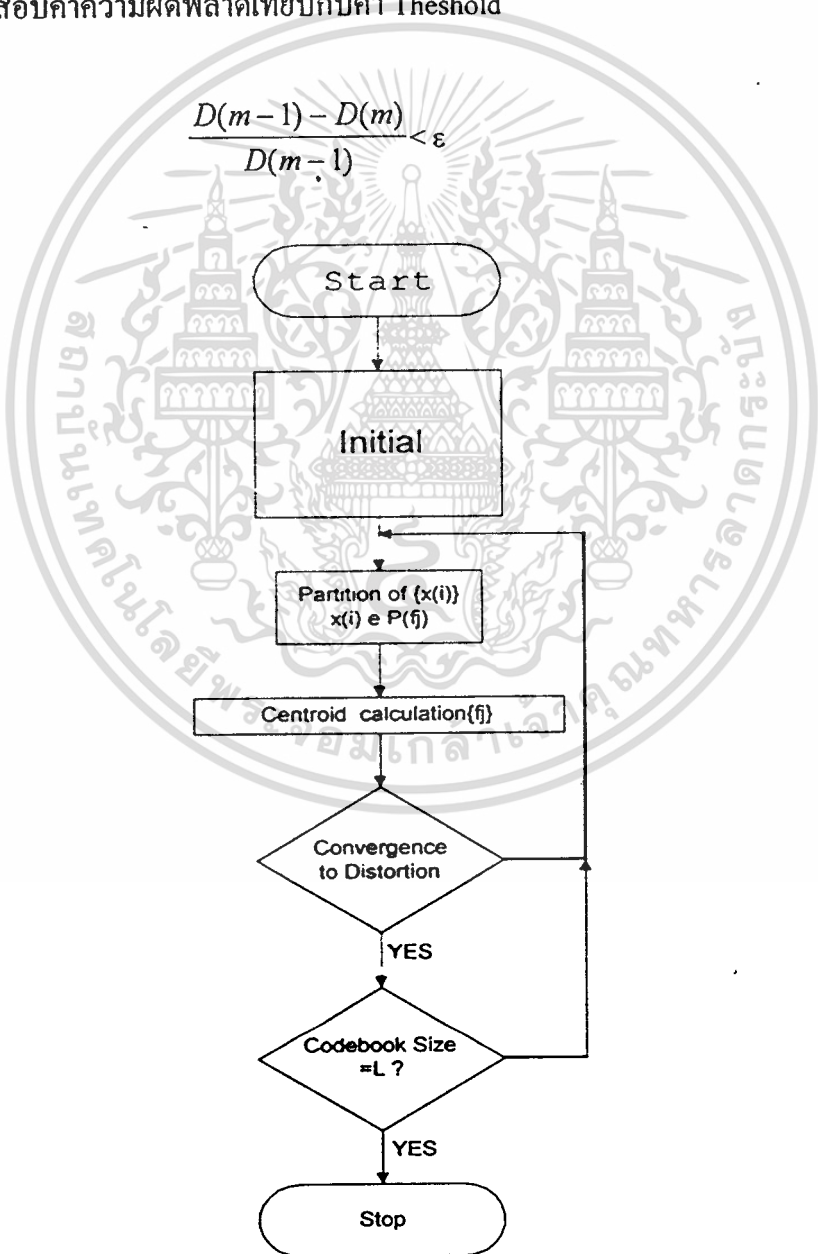
โดยที่ $D_j(m)$ คือความเพี้ยนเฉลี่ยในแต่ละ $P(f_{j(m)})$ ซึ่งเกิดจากการเปรียบเทียบระหว่าง สัญญาณเสียงต้นฉบับ $\{X(i)\}$ และ โค้ดบุ๊กเวกเตอร์ $f_{j(m)}$ ในแต่ละ $P(f_{j(m)})$

$$D_j(m) = \frac{1}{M_j} \sum_{x(i) \in P(f_{j(m)})} \|X(i) - f_{j(m)}\|^2 \tag{2.9}$$

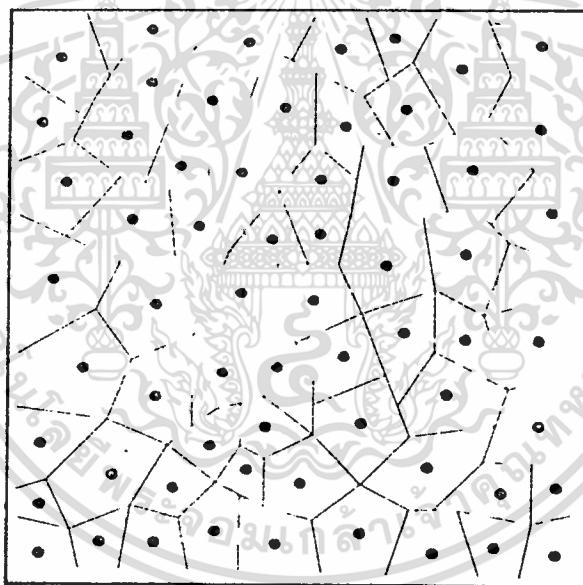
{j=1,2,3,...,L}

8. ตรวจสอบค่าความผิดพลาดเทียบกับค่า Theshold

$$\frac{D(m-1) - D(m)}{D(m-1)} < \epsilon \tag{2.10}$$



ในรูปที่ 2.4 แสดงให้เห็นถึงภาพ 2 มิติของกลุ่ม Voronoi cell $P(f_j)$ ที่ได้หลังจากการ ออกแบบโค้ดบุ๊คโดยมี f_j เป็นค่า Centroid ซึ่งแทนด้วยจุดสีดำที่อยู่ช่วงกลางของ cell สัญญาณอินพุทเวกเตอร์ $x(i)$ ที่ถูกเข้ารหัสแล้วจะถูกจัดเข้ากลุ่มของ $P(f_j)$ ตัวใดตัวหนึ่งที่มีค่า ใกล้เคียงกันมากที่สุด และจะสังเกตเห็นว่ากลุ่มของ Voronoi cell จะมีรูปแบบที่ไม่แน่นอน ทั้งนี้เนื่องมาจากในแต่ละ Voronoi cell $P(f_j)$ เกิดจากสัญญาณ Training vector $\{x(i)\}$ ที่มีค่า ใกล้เคียงกันรวมกลุ่มกันแล้วหาค่าเฉลี่ยซึ่งก็คือเวกเตอร์ f_j ที่เก็บอยู่ในเวกเตอร์นั่นเอง และจาก ขั้นตอนการออกแบบโค้ดบุ๊คที่กล่าวมาทั้งหมดสามารถเขียนเป็นโฟลว์ชาร์ตการทำงานของ โปรแกรม และในส่วนของโปรแกรมได้ทำการเขียนด้วยภาษาซี



รูปที่ 2.4 กลุ่มของ Voronoi cell $P(f_j)$ โดยมี f_j เป็นค่า Centroid ซึ่งแสดงด้วยจุดดำ

2.2.3 การคำนวณค่าอัตราส่วนสัญญาณต่อสัญญาณรบกวน

การวัดคุณภาพของเสียงที่ได้จากการควอนไทซ์เวกเตอร์กระทำได้โดยการทดสอบหาค่าอัตราส่วนสัญญาณต่อสัญญาณรบกวน (SNRseg หรือ Segment Signal to Noise Ratio)

ระหว่างสัญญาณอินพุท $X(i)$ และสัญญาณเอาต์พุต $\hat{X}(n)$ โดยทำการแบ่งสัญญาณ $X(n)$ และ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$\hat{X}(n)$ เป็นเฟรม พร้อมทั้งทำการคำนวณครั้งละหนึ่งเฟรมซึ่งเขียนแทนด้วย SNR_m และในแต่ละเฟรมจะใช้จำนวนตัวอย่าง 128 ครั้งนี้

$$SNR_m = 10 \log_{10} \frac{\sum_{n=1}^{128} (X(n))^2}{\sum_{n=1}^{128} (X(n) - \hat{X}(n))^2} \quad (2.11)$$

$X(n)$ = สัญญาณอินพุต

$\hat{X}(i)$ = สัญญาณที่ผ่านขบวนการควอนไทซ์เวกเตอร์

หลังจากนั้นจะนำเอาค่า SNR_m ทั้งหมดที่ได้จากสมการที่ (2.11) มาทำการหาค่าเฉลี่ยซึ่งเขียนแทนด้วย SNR_{seg} ดังนี้

$$SNR_{seg} = \frac{1}{S} \sum_{m=1}^S SNR_m (dB) \quad (2.12)$$

S คือ จำนวนของเฟรมทั้งหมด

สำหรับการคำนวณในแต่ละเฟรมถ้าหาก $\sum_{n=1}^S (X(i))^2 < 32 * 10^{-4}$ (หรือต่ำกว่า -43 dB ของสัญญาณ Sinusoidal ที่แปลงสัญญาณ A/D แปลงได้เต็มสเกล) เราจะทำการตัดการคำนวณในเฟรมนี้ออกไปทั้งนี้เนื่องจากสัญญาณที่เกิดขึ้นในระดับนี้ส่วนใหญ่จะเป็นสัญญาณรบกวน (Noise) ที่เกิดจากขบวนการควอนไทซ์ของ A/D เพราะสัญญาณเสียงที่พูดที่ได้จะต้องมีพลังงาน (Energy) ที่มากกว่านี้

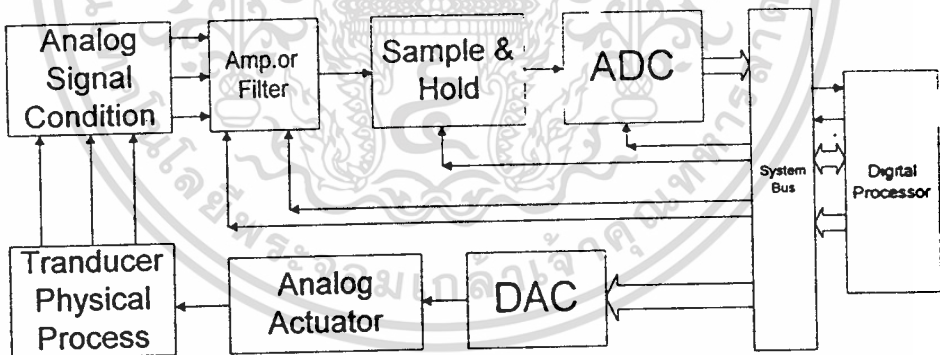
2.3 ทฤษฎีการแปลงสัญญาณ (Data acquisition Conversion)

ในอดีต รูปแบบของสัญญาณไฟฟ้าโดยมากมักอยู่ในรูปสัญญาณแอนาลอก การนำเอาสัญญาณไฟฟ้ามาประมวลผล เพื่อให้เกิดรูปแบบที่ต้องการนั้น ต้องใช้อุปกรณ์ทางแอนาลอก แต่ปัจจุบันนี้เทคโนโลยีทางด้านดิจิทัลก้าวหน้าไปมาก ทำให้การประมวลผลสัญญาณทางดิจิทัล สามารถทำได้อย่างรวดเร็ว และมีประสิทธิภาพ

ดังนั้นการแปลงรูปแบบสัญญาณ (Conversion) จึงมีความจำเป็นในการแปลงสัญญาณแอนาลอกที่มีอยู่แล้วให้เป็นสัญญาณดิจิทัล โดยอุปกรณ์การแปลงสัญญาณแอนาลอกเป็น

สัญญาณดิจิทัล และจะถูกประมวลผลโดยตัวประมวลผลสัญญาณดิจิทัล เช่น คอมพิวเตอร์ เป็นต้น จากผลลัพธ์ที่ได้อาจถูกนำมาแสดงผลโดยตรงเลย หรืออาจถูกแปลงให้อยู่ในรูปของสัญญาณแอนะล็อกที่ใช้งานได้ การที่จะแปลงสัญญาณแอนะล็อกเป็นดิจิทัลได้นั้น สามารถทำได้โดยใช้อุปกรณ์แปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก สำหรับระบบที่มีการประมวลผลข้อมูลทางดิจิทัลแสดงดังรูปที่ 2.5

จากรูปที่ 2.5 การเปลี่ยนแปลงทางกายภาพในลักษณะใด ๆ ก็ตาม เช่น อุณหภูมิ ความดัน ความเร็ว จะถูกเปลี่ยนให้มาเป็นสัญญาณไฟฟ้าแบบแอนะล็อก โดยทรานสดิวเซอร์ ทฤษฎีการสุ่มที่มีรูปแบบที่เหมาะสมกับลักษณะทางกายภาพนั้น ๆ จากสัญญาณทางไฟฟ้าก็จะถูกปรับให้อยู่ในรูปแบบ และขนาดที่เหมาะสมก่อน โดยวงจรต่าง ๆ เช่น วงจรขยาย หรือวงจรกรองสัญญาณ เป็นต้น วงจรแซมเปิลแอนด์โฮลด์ จะสุ่มขนาดของสัญญาณแอนะล็อกมาแล้วจะทำการโฮลด์สัญญาณนั้นไว้ชั่วคราว โดยไม่จำเป็นต้องใช้ วงจร ADC แล้วข้อมูลทางดิจิทัลจะถูกส่งต่อไปยังบัสของระบบ จากนั้นตัวโปรเซสเซอร์ จะทำการประมวลผลข้อมูลกลับมาเพื่อควบคุมกิจการทางกายภาพของระบบโดยผ่านตัวกระทำทางกล (Analog Actuator)



รูปที่ 2.5 ระบบที่มีการประมวลผลข้อมูลทางดิจิทัล

2.4 วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัล และวงจรแปลงสัญญาณดิจิทัลเป็นแอนะล็อก

การติดต่อระหว่างมนุษย์ส่วนมากจะใช้สัญญาณต่อเนื่อง (Analog) เป็นสัญญาณติดต่อกัน แต่ว่าการทำงานของระบบคอมพิวเตอร์ จะใช้สัญญาณเป็นช่วงดิจิทัลเป็นสัญญาณในการทำงาน ดังนั้นถ้าเราต้องการให้คอมพิวเตอร์ช่วยเราทำงานแล้ว เราจะต้องเปลี่ยนสัญญาณ

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แอนาล็อกที่เราใช้อยู่ให้เป็นสัญญาณดิจิทัล เพื่อให้คอมพิวเตอร์ หรือเครื่องประมวลสัญญาณดิจิทัลรับรู้ เมื่อประมวลสัญญาณเสร็จก็จะส่งข้อมูลออกมาเป็นสัญญาณดิจิทัล ซึ่งเป็นเรื่องที่ยุ่งยากที่เราจะเข้าใจข้อมูลนั้น ดังนั้นเราจึงเปลี่ยนข้อมูลที่เป็นสัญญาณดิจิทัลให้เป็นสัญญาณแอนาล็อก เพื่อให้มนุษย์เข้าใจในข้อมูลนั้น ดังนั้นพอสรุปได้ว่าการเปลี่ยนสัญญาณแอนาล็อกเป็นสัญญาณดิจิทัล และการเปลี่ยนสัญญาณดิจิทัลเป็นสัญญาณแอนาล็อก ซึ่งเป็นการประสานโลกของคอมพิวเตอร์ให้เข้ากับโลกมนุษย์ได้ เพื่อให้มนุษย์ได้ใช้คอมพิวเตอร์ได้อย่างสมบูรณ์ยิ่งขึ้น การเปลี่ยนสัญญาณแอนาล็อกไปเป็นดิจิทัลเรียกว่า Analog to digital Converter (ADC) หรือเรียกย่อ ๆ ว่า A TO D หรือ A/D ในทำนองเดียวกันการเปลี่ยนสัญญาณดิจิทัลเป็นสัญญาณแอนาล็อกเรียกว่า Digital to Analog Converter (DAC หรือ D/A)

2.4.1 การแปลงสัญญาณดิจิทัลกับแอนาล็อก

อุปกรณ์ที่ภายในใช้สัญญาณดิจิทัลทั้งหมด เช่น นาฬิกาดิจิทัล เครื่องคิดเลข และคอมพิวเตอร์ มีน้อยมาก อุปกรณ์ส่วนใหญ่ยังต้องรับอินพุตและส่งออกเอาท์พุตในรูปของสัญญาณแอนาล็อกอยู่ ดังนั้นการแปลงสัญญาณแอนาล็อกเป็นดิจิทัลซึ่งเรียกว่า A/D converter และการแปลงสัญญาณดิจิทัลเป็นแอนาล็อกหรือที่เรียกว่า D/A converter จึงเป็นเรื่องสำคัญของวงจรดิจิทัล ถ้าเรามีทั้งวงจร A/D และ D/A ครบแล้ว การสร้างอุปกรณ์ทางอิเล็กทรอนิกส์ไม่ว่าจะซับซ้อนเท่าใดก็สามารถทำได้ง่ายขึ้น อุปกรณ์จะใช้วงจร A/D ในการแปลงสัญญาณอินพุตต่างๆ ที่เป็นสัญญาณแอนาล็อกให้เป็นดิจิทัล ป้อนสัญญาณดิจิทัลที่ได้เข้าในวงจรดิจิทัลเพื่อประมวลผลจากนั้นแสดงเป็นตัวเลขและใช้วงจร D/A แปลงสัญญาณแอนาล็อกใหม่เพื่อเป็นเอาท์พุตนำไปใช้ในการควบคุมกระบวนการภายนอกได้

วงจร D/A

เริ่มจากวงจร D/A (digital to analog converter) ซึ่งเป็นการแปลงสัญญาณดิจิทัลเป็นแอนาล็อกก่อน เพราะวงจรถ่ายทำได้ง่ายกว่าวงจร A/D

วงจร D/A มีด้วยกันหลายแบบด้วยกัน เราคงไม่สามารถพูดอธิบายได้ทุกแบบในที่นี้จะขอล่าววงจร D/A แบบรวมกระแสกับแบบวงจรบันไดของตัวต้านทาน

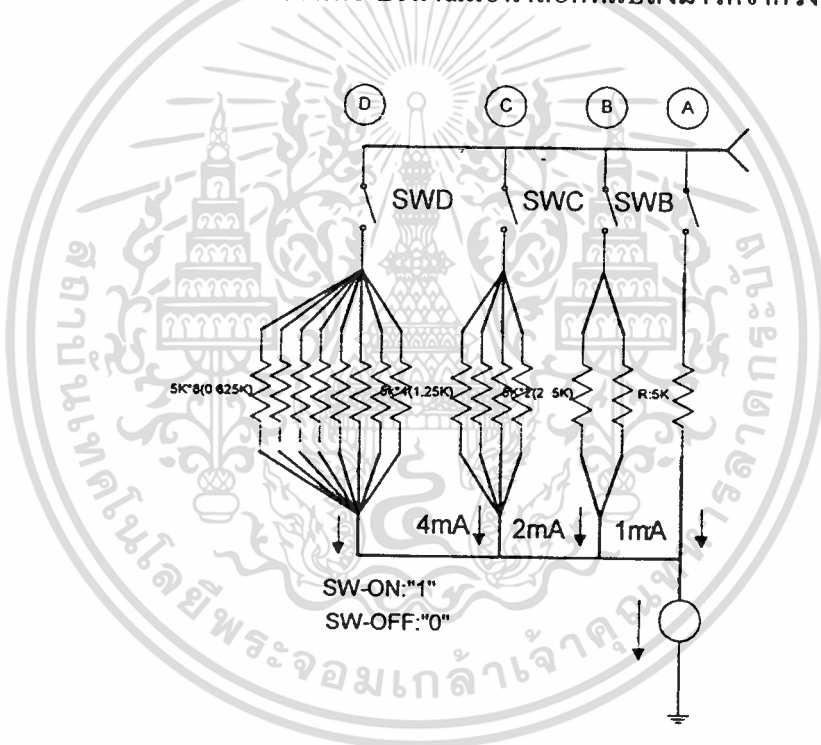
วงจร D/A แบบรวมกระแส

ลองต่อวงจรในรูปที่ 2.6 เป็นหลักการของวงจร D/A แบบรวมกระแส (current summing type) นี้เราจะใช้สวิทช์ 4 ตัว ใช้ตัวต้านทาน 5 กิโลโอห์ม จำนวน 15 ตัว และมีเตอร์

วัดกระแสพิสัยไม่เกิน 20 มิลลิแอมป์ สวิตช์ทั้ง 4 ตัวนี้คือ SW_A, SW_B, SW_C และ SW_D ซึ่งเปรียบเสมือนปริมาณดิจิทัลแต่ละบิต

เมื่อปิดสวิตช์หมายถึง “1” ถ้าเปิดสวิตช์หมายถึง “0” เมื่อสวิตช์ทั้งสี่แทนเลขฐานสอง SW_A จะเป็นบิตนัยสำคัญต่ำสุด (บิตต่ำสุดทางขวามือ) และ SW_D จะเป็นบิตสำคัญสูงสุด

เมื่อปิดสวิตช์แต่ละตัวจะมีกระแสขนาดต่างกันไหลมาที่มิเตอร์วัดกระแส เช่น ปิดสวิตช์ SW_A จะมีกระแสไหล 1 มิลลิแอมป์ ปิดสวิตช์ SW_B จะมีกระแสไหล 2 มิลลิแอมป์ เป็นต้น ถ้าปิดสวิตช์หลายสวิตช์พร้อมกันจะมีกระแสไหลจากแต่ละกิ่งมารวมกันแล้วไหลไปยังมิเตอร์ และเสที่ไหลมาที่มิเตอร์นี้คือ ปริมาณแอนาลอกที่แปลงมาได้จากวงจรนี้นั่นเอง



รูปที่ 2.6 การทดลองวงจร D/A แบบรวมกระแส

สวิตช์ทั้งสี่เรียงกันเป็นเลขฐานสอง 4 บิต ดังนั้นตัวเลขที่สามารถแสดงได้คือ 0-15 เช่นเดียวกัน กระแสที่เป็นปริมาณแอนาลอกก็สามารถมีค่าได้ระหว่าง 0-15 มิลลิแอมป์ เลขฐานสองเพิ่มทีละ 0001 ในขณะที่กระแสเพิ่มทีละ 1 มิลลิแอมป์ สวิตช์แต่ละตัวจะมี “น้ำหนัก” หรือขนาดกระแสที่บิตออกมาได้ต่างกันคือ SW_A มีน้ำหนัก 1, SW_B มีน้ำหนัก 2, SW_C มีน้ำหนัก 4 และ SW_D มีน้ำหนัก 8 น้ำหนักที่เพิ่มทีละเท่าขึ้นมาเรื่อย ๆ ตามหลักการของเลขฐานสองนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราใช้ตัวต้านทานขนาด 5 กิโลโอห์มเพราะเราใช้แหล่งจ่ายไฟ 5 โวลต์และต้องการให้กระแสไหลผ่านตัวต้านทานแต่ละตัวเพียง 1 มิลลิแอมป์เท่า ๆ กัน เลือกใช้ตัวต้านทานเหมือนกัน 15 ตัว เพื่อให้ทดลองได้ง่ายและเข้าใจง่าย จะใช้ตัวต้านทาน 2.5 กิโลโอห์มเพียงตัวเดียวต่อที่ SW_B หรือ 1.25 กิโลโอห์มต่อที่ SW_C ก็ได้ แต่ค่าความต้านทานเหล่านี้หาได้ลำบากมาก

ลองเปิดสวิตช์ SW_A จนถึง SW_D ตามเลขฐานสองจะได้กระแสไหลผ่านมิเตอร์ตามที่แสดงในตารางในรูปที่ 1 เช่น ถ้าปิด SW_A จะอ่านมิเตอร์ได้ 1 มิลลิแอมป์ ปิดสวิตช์ SW_A, SW_B จะได้ 3 มิลลิแอมป์ และถ้า ปิดสวิตช์ทุกตัวจะได้ 15 มิลลิแอมป์ เป็นต้น

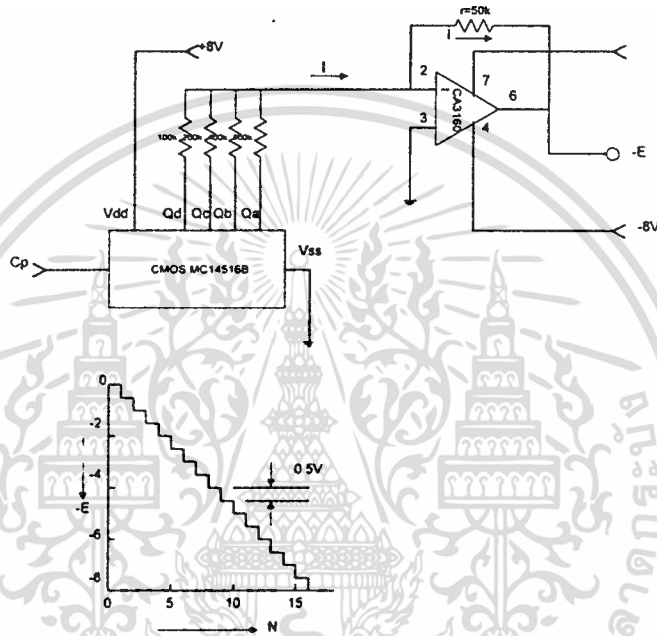
การทดลองนี้ใช้สวิตช์เพียง 4 ตัวเท่านั้น ที่จริงเราสามารถเพิ่มสวิตช์ขึ้นอีกไปเรื่อย ๆ ค่าความต้านทานของสวิตช์ถัดมาจะน้อยลงไปที่ละเท่า แต่ไม่ควรเพิ่มสวิตช์มากเพราะกระแสจะไหลมากเกินไปจนเกินพิสัยของมิเตอร์ ถ้าต้องการทดลองกับสวิตช์หลาย ๆ ตัวจริง ๆ ควรลดชั้นกระแสลงจาก 1 มิลลิแอมป์เป็น 0.1 หรือ 0.01 มิลลิแอมป์ก็ได้ โดยการเพิ่ม R จาก 5 กิโลโอห์มเป็น 50 หรือ 500 กิโลโอห์ม

ใช้สวิตช์ดังรูปที่ 2.6 อาจจะไม่เห็นการใช้งานที่เป็นจริงลองดูวงจรในรูปที่ 2 วงจรนี้ใช้หลักการเดียวกันคือการรวมกระแส แต่ใช้เอาต์พุตของวงจรมัลติเพล็กซ์ CMOS แทนสวิตช์ ทั้งสี่ เอาต์พุต Q_A ถึง Q_D ของวงจรมัลติเพล็กซ์ เมื่อเป็น "1" จะจ่ายกระแสเข้าไปในวงจรเช่นเดียวกับการปิดสวิตช์ SW_A ถึง SW_D ปกติ CMOS จ่ายกระแสได้ไม่มากนักเพราะจะทำให้แรงดันที่เอาต์พุตต่ำลง เราจึงเลือกใช้ตัวต้านทานในวงจรที่มีค่าใหญ่ ๆ เพื่อให้กระแสไหลน้อยหน่อย และแทนที่จะใช้มิเตอร์วัดกระแสต่อโดยตรง เราจะใช้ออปแอมป์ต่อรับกระแสแทนและแปลงกระแสเป็นแรงดันออกทางเอาต์พุตของออปแอมป์ด้วย

ขั้วลบ (ขา 2) ของออปแอมป์จะมีศักย์ไฟฟ้าเท่ากับขาบวก(ขา 3) ตามหลักการทำงานของออปแอมป์ ขั้วลบจึงมีศักย์ไฟฟ้าเป็นศูนย์ จึงทำให้กระแส I ที่ไหลจากตัวต้านทานคำนวณให้ได้เหมือนรูปที่ 2.6 นอกจากนั้นกระแส I นี้จะไม่ไหลเข้าออปแอมป์เลย เพราะออปแอมป์มีความต้านทานสูงมาก กระแสทั้งหมดจะไหลผ่านตัวต้านทาน R ไปยังเอาต์พุต แรงดันที่ขาออกที่เอาต์พุตจึงเท่ากับแรงดันตกคร่อม R นั่นเอง แรงดัน E_0 นี้จะเป็นค่าลบและจะมีขนาด 0.5 โวลต์ ต่อการเปลี่ยนแปลงสัญญาณดิจิตอล 1 ชั้น ถ้าเปลี่ยนค่า R ให้เล็กหรือใหญ่ขึ้นก็สามารถเปลี่ยนขนาดของแรงดันขาออกนี้ได้

เมื่อเราป้อนพัลส์เข้าวงจรมัลติเพล็กซ์ เอาต์พุต Q_A จนถึง Q_D จะเริ่มเปลี่ยนแปลงและเพิ่มค่าตามหลักการของเลขฐานสอง เอาต์พุตใดเป็น "1" ก็จะจ่ายกระแสออกไป กระแสที่จ่ายออกไปนี้จะมีขนาดตาม "น้ำหนัก" ของบิตนั้น ถ้านำมัลติมิเตอร์มาวัดแรงดันขาออกของออปแอมป์ในไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขณะที่วงจรมับกำลังมับพัลส์จะเห็นเข็มมิเตอร์เพิ่มขึ้นเรื่อย ๆ จาก 0 โวลต์เป็น -0.5,-1,-1.5,-2.0 โวลต์โดยเพิ่มทีละ -0.5 โวลต์แบบนี้ไปเรื่อย ๆ จนถึง -7.5 โวลต์ ในที่สุด จากนั้นจะตกกลับเป็น 0 โวลต์ใหม่แล้วจึงค่อย ๆ เพิ่มแรงดันขึ้นไปอีก ถ้าใช้ออสซิลโลสโคปปรับรูปคลื่น E_0 จะเห็นรูปคลื่นคล้ายขั้นบันไดตามรูปที่ 2.7



รูปที่ 2.7 ตัวอย่างวงจรมับ D/A แบบรวมกระแส

วงจรมับ D/A แบบวงจรมับบันไดของตัวต้านทาน

วงจรมับ D/A แบบแรกเป็นแบบรวมกระแส วงจรมับ D/A ที่จะกล่าวต่อไปเป็นแบบรวมแรงดัน ใช้ตัวต้านทานเพียง 2 ค่าคือ R และ 2R (ตัวต้านทานที่มีค่า $2 \cdot R$ โอห์ม) ต่อสลับไปมาเหมือนขั้นบันไดหรือเรียกว่า วงจรมับ D/A แบบวงจรมับบันไดของตัวต้านทาน ตามที่แสดงในรูปที่ 2.8 ในรูปเป็นวงจรมับ D/A ขนาด 8 บิต ใช้วงจรมับ 4 บิต 2 ตัวต่ออนุกรมกันและใช้เอาต์พุตของวงจรมับทำหน้าที่เป็นสวิตช์ป้อนเลขฐานสองเข้าวงจรมับ D/A

วงจรมับบันไดของตัวต้านทานนี้ผู้ออกแบบครั้งแรกนับว่ามีความสามารถมาก เพราะไม่ว่าวัตต์ที่จุดไหนของแต่ละขั้นบันไดจะได้ความต้านทานรวมลงมาถึงปลายบันไดเท่ากับ R เสมอ ดังนั้นถ้าบิตสูงสุดคือ Q_{D2} เป็น "1" จะทำให้แรงดันขาออกเป็นครึ่งหนึ่งของแหล่งจ่ายไฟคือ $V_{DD/2}$ ถ้าบิตถัดไปคือ Q_{C2} เป็น "1" ก็จะให้แรงดันขาออกลดลงไปครึ่งหนึ่ง $V_{DD/4}$ บิตถัดๆ

เอกสารนี้เป็นเอกสารที่จัดทำขึ้นเพื่อการเรียนการสอนของนักศึกษาในสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

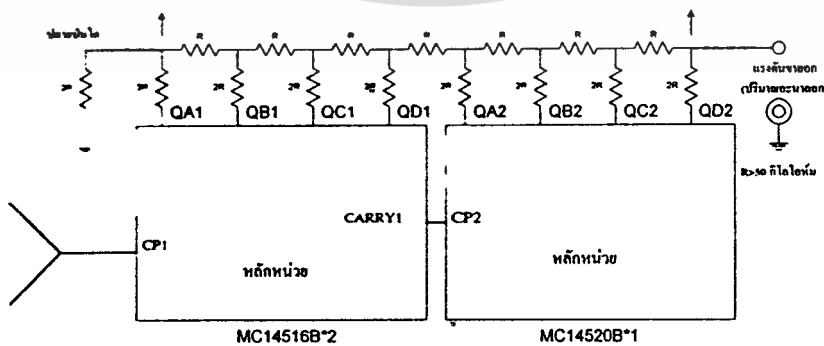
ไปก็จะทำให้แรงดันลดไปที่ละครั้งเรื่อยๆ จนถึงมิตสุดท้ายคือ Q_{A1} จะให้แรงดันที่เอาต์พุตเป็น $V_{DD/256}$ ถ้านับแรงดัน $V_{DD/256}$ เป็นแรงดัน 1 หน่วย แต่ละบิตก็จะให้แรงดันคิดเป็นน้ำหนักเรียงจากบิตต่ำสุดไปสูงสุดคือ 1,2,3,...128 เหมือนกับแบบรวมกระแสตามที่ได้อธิบายมาแล้ว

ถ้าป้อนพัลส์ให้วงจรนับและวัดแรงดันขาออกด้วยมัลติมิเตอร์ ก็จะเห็นเข็มมิเตอร์ค่อยๆ กระดิกขึ้น หรือถ้าใช้ออสซิลโลสโคปจับดูรูปคลื่นก็จะเห็นเป็นรูปคลื่นฟันเลื่อยแบบขั้นบันไดเหมือนกัน ตัวต้านทาน R และ $2R$ ที่ใช้ในวงจรควรเป็นตัวต้านทานที่มีความแม่นยำสูงมาก เช่นความผิดพลาดไม่เกิน 1 เปอร์เซ็นต์ ถ้าผิดพลาดมากจะทำให้สัญญาณแอนะล็อกที่ได้ผิดพลาดได้

วงจรในรูปที่ 2.8 เป็นวงจร D/A ที่ใช้กับเลขฐานสอง ถ้าเป็นเลขฐานสิบรหัส BCD ซึ่งเรานิยมใช้กันมากนั้น ก็จำเป็นต้องดัดแปลงวงจรบันไดของตัวต้านทานใหม่เป็นอย่างไรในรูปที่ 2.8 วงจร D/A นี้มีวงจรบันไดอยู่ 2 วงจรเป็นของหลักหน่วยวงจรหนึ่งและเป็นของหลักสิบของอีกวงจรหนึ่ง แต่ละวงจรใช้ตัวต้านทาน R และ $2R$ เหมือนกัน สองวงจรนี้ต่อเชื่อมกันด้วยตัวต้านทานที่มีขนาด $9R$ เพื่อให้แรงดันขาออกของวงจรบันไดหลักหน่วยมีขนาดเล็กกลง 10 เท่าเมื่อมารวมกับแรงดันขาออกของวงจรบันไดหลักสิบ ที่ใช้ค่า $9R$ เพราะความต้านทานขาออกของวงจรบันไดมีค่า R พอดีตามที่ได้อธิบายไปแล้ว

*แรงดันขาออกเมื่อบิตนั้นเป็น "1"

*	$V_{DD}/256$	$V_{DD}/128$	$V_{DD}/64$	$V_{DD}/32$	$V_{DD}/16$	$V_{DD}/8$	$V_{DD}/4$	$V_{DD}/2$
น้ำหนัก	1	2	4	8	16	32	64	128

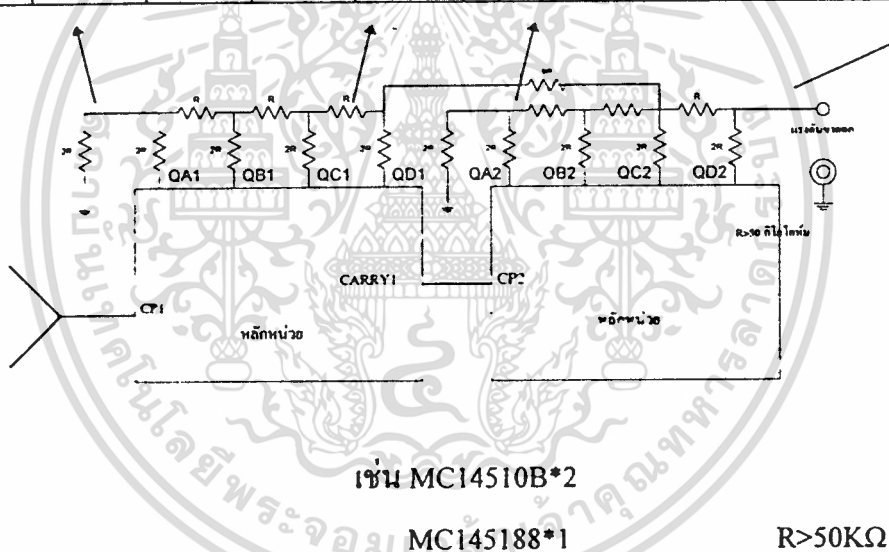


(ก) วงจรบันไดตัวต้านทาน

วงจรบันไดของตัวต้านทานนี้สามารถใช้งานในทางปฏิบัติได้ถึง 3 หลัก ของเลขฐานสิบ ถ้าเกินกว่า 3 หลักแล้ว จะต้องคัดเลือกค่าความต้านทานที่มีทำเป็นไอซีสำเร็จรูปขาย ไอซีบางตัวที่เป็นวงจร D/A นั้นแท้จริงภายในจะมีวงจรบันไดของตัวต้านทานและแหล่งจ่ายกระแสที่ถูกควบคุมด้วยสัญญาณ “0” และ “1” ของอินพุตเท่านั้น ไอซี D/A ที่นิยมใช้กันมากได้แก่ เบอร์ MC 1408 ของบริษัทโมโตโรล่า เป็นวงจร D/A ขนาด 8 บิต

*แรงดันขาออกเมื่อบิตนั้นเป็น “1”

*	5Vdd	5Vdd	5Vdd	5Vdd	5Vdd	5Vdd	5Vdd	5Vdd
	8*110	4*110	2*110	110	8*11	4*11	2*11	11
น้ำหนัก	1	2	4	8	10	20	40	80



รูปที่ 2.9 วงจร D/A ที่ใช้กับเลขฐานสิบรหัส BCD 2 หลัก

วงจร A/D

วงจร A/D (analog to digital converter) จะทำหน้าที่แปลงแรงดันหรือกระแสที่เป็นสัญญาณแอนะล็อกไปเป็นสัญญาณตัวเลขหรือสัญญาณดิจิทัลวงจร A/D มีด้วยกันหลายแบบ แต่ที่นิยมใช้กันแพร่หลายมี 3 แบบคือ แบบสโลปคู่ (dual slope) แบบแปลงแรงดันเป็นความถี่ (V to F converter) และแบบประมาณทีละบิต (successive approximation)

วงจร A/D แบบสโลปคู่เป็นแบบที่ง่ายที่สุด ไม่จำเป็นต้องใช้อุปกรณ์ที่มีคุณภาพดีมาก

นักก็ยังสามารถแปลงสัญญาณได้อย่างแม่นยำ แต่มีข้อเสียคือใช้เวลาการแปลงไม่ช้ากว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณนานมากไปหน่อย จึงไม่เหมาะในการใช้วัดแรงดันในช่วงเวลาสั้น ๆ เช่น การวัดรูปคลื่น ณ จุดเวลาใดเวลาหนึ่ง แบบสโโลปคู่นี้เหมาะสมสำหรับใช้วัดค่าเฉลี่ยของแรงดันและกระแส จึงนิยมใช้กันมากในมัลติมิเตอร์แบบดิจิตอล และเครื่องวัดแสดงผลเป็นตัวเลขทั่ว ๆ ไป วงจร A/D แบบสโโลปคู่นี้เป็นไอซีสำเร็จรูปมีด้วยกันหลายเบอร์ ราคาไม่แพงมากนัก ส่วนมากจะให้ความแม่นยำในการแปลงสัญญาณดีกว่า 0.1 เปอร์เซ็นต์ มีทั้งแบบแปลงเป็นตัวเลขขนาด 3 1/2 หลัก และ 4 1/2 หลัก หลักสุดท้ายจะแสดงค่าเป็น 0 หรือ 1 เท่านั้น จึงเรียกง่าย ๆ ว่า 1/2 หลัก

วงจร A/D แบบแปลงแรงดันเป็นความถี่และแบบประมาณทีละบิตนั้นมีข้อดีตรงที่สามารถแปลงสัญญาณได้รวดเร็ว มีความแม่นยำดี เพียงแต่วงจรมีความซับซ้อนมากกว่าจึงมีราคาแพง

วงจร A/D แบบสโโลปคู่นี้

ให้ดูวงจรในรูปที่ 2.10 ซึ่งเป็นวงจรอินทิเกรเตอร์แบบพื้นฐาน อุปกรณ์ที่มีสัญลักษณ์เป็นสามเหลี่ยมนั้นเป็นออปแอมป์ที่ทำหน้าที่เป็นวงจรขยายสัญญาณแตกต่าง R และ C ในวงจรเป็นอุปกรณ์สำคัญที่ทำให้เกิดการชาร์จประจุเข้าไปใน C ทำให้ได้รูปคลื่นแรงดันขาออกซึ่งเท่ากับเป็นการอินทิเกรตสัญญาณอินพุต

สมมติว่ามีแรงดัน E ป้อนเข้าทางอินพุต จะมีการเกิดกระแส I ซึ่งมีค่า E/R ไหลผ่าน R ไหลเข้าไปในวงจร กระแสนี้จะไม่ไหลเข้าออปแอมป์ เพราะออปแอมป์มีความต้านทานขาเข้าสูง แต่จะไหลผ่าน ไปชาร์จตัวเก็บประจุ C ทั้งหมดเป็นผลให้แรงดันคร่อม C สูงขึ้นไปเรื่อย ๆ ขั้วลบของออปแอมป์จะมีศักย์ไฟฟ้าเป็น 0 โวลต์ เท่ากับขั้วบวกซึ่งต่อลงกราวด์ ดังนั้นแรงดันตกคร่อม C จึงเป็นแรงดันลบเมื่อเทียบกับกราวด์ แรงดันขาออก E_0 ซึ่งเท่ากับแรงดันตกคร่อม C ซึ่งเป็นลบ แรงดันนี้ก็จะค่อยเพิ่มขึ้นเรื่อย ๆ เป็นเส้นตรง แรงดันขาออกวงจรจึงเหมือนกับการอินทิเกรตแรงดันขาเข้า เพราะเมื่อเราอินทิเกรตค่าคงที่ได้เส้นตรงที่เปลี่ยนแปลงตามเวลา

รูปที่ 2.10 แสดงรูปคลื่นขาออกของวงจรอินทิเกรตเมื่อป้อนแรงดันอินพุตต่างๆ เช่น กรณีอินพุตเป็นบวก กรณีอินพุตเป็นลบ และกรณีอินพุตเป็นทั้งบวกและลบ โดยเป็นบวกนาน t_1 วินาที และเป็นลบนาน t_2 วินาที จะเห็นว่าถ้าอินพุตเป็นบวกเอาต์พุตจะเป็นเส้นตรงที่มีสโโลปเป็นลบ และถ้าอินพุตเป็นลบจะได้สโโลปเป็นบวก การให้วงจรอินทิเกรเตอร์ทำการอินทิเกรตขึ้นและลงแบบนี้จะได้เส้นตรงสโโลปคู่นี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

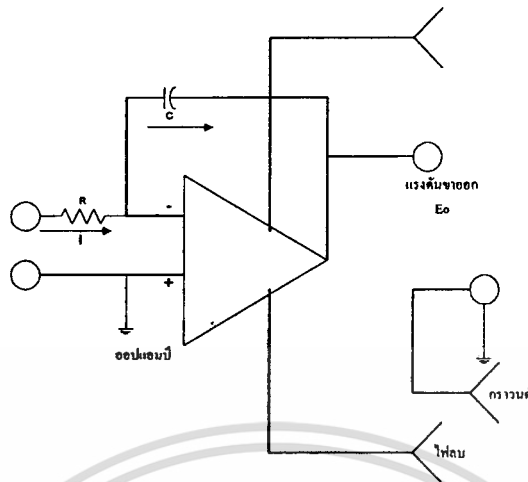
รูปที่ 2.11 เป็นรูปแสดงหลักการการทำงานของวงจร A/D แบบสโลปคู่ อินพุตของ วงจรอินทิเกรเตอร์เป็นแรงดันไฟที่จะวัด E_i และมีอีกอินพุตหนึ่งเป็นแรงดันไฟมาตรฐาน E_{REF} อินพุตทั้งสองนี้มีขั้วสลับกันเสมอและจะผลัดกันต่อเข้ากับวงจรอินทิเกรเตอร์ ทำให้มีการอินทิเกรเตอร์ขึ้นและลงเป็นจังหวะอยู่ตลอดเวลา เอาต์พุต E_o ของวงจรอินทิเกรเตอร์จะต่อเข้ากับวงจรเปรียบเทียบ ซึ่งจะทำหน้าที่ตรวจจับว่ามีแรงดัน E_o เมื่อใดเป็น 0 โวลต์

วงจรควบคุมในวงจร A/D นี้เป็นวงจรดิจิทัล ทำหน้าที่ควบคุมการทำงานของวงจรทั้งหมดที่สำคัญ จะควบคุมสวิตช์ S_1 และ S_2 เพื่อต่ออินพุตให้กับวงจรอินทิเกรเตอร์

การทำงานของวงจรเริ่มจาก เมื่อแรงดัน $E_o = 0$ โวลต์ วงจรควบคุมจะปิดสวิตช์เพื่อให้แรงดันที่จะวัด E_i ต่อเข้ากับวงจรอินทิเกรเตอร์ วงจรควบคุม จะปล่อยให้วงจรอินทิเกรเตอร์ทำการอินทิเกรตสัญญาณ E_i เป็นระยะเวลา t_1 วินาที การจับเวลา t_1 นี้ทำได้ไม่ยากนัก โดยทั่วไปมักจะใช้วงจรนับ นับพัลส์ที่มีความถี่คงที่จนได้ค่าที่กำหนดไว้

เมื่อครบเวลา t_1 วงจรควบคุมจะเปิดสวิตช์ S_1 ในขณะนั้นแรงดันเอาต์พุตของอินทิเกรเตอร์ E_o จะมีค่าแปรผันกับแรงดัน E_i จากนั้นวงจรควบคุมจะปิดสวิตช์ S_2 เพื่อต่อ แรงดันไฟมาตรฐาน E_{REF} เข้ากับวงจรอินทิเกรเตอร์และรีเซตวงจรนับ แรงดัน E_{REF} จะมีขั้วตรงข้ามกับ E_i สมมติให้ E_{REF} เป็นแรงดันลบ คราวนี้วงจรอินทิเกรเตอร์จะอินทิเกรตสัญญาณทำให้เกิดเส้นตรงที่มีสโลปตรงข้าม แรงดัน E_o จะเพิ่มขึ้นเรื่อย ๆ จนในที่สุด $E_o = 0$ โวลต์ ในช่วงนี้สมมติว่าใช้เวลา t_2 ขณะเดียวกันวงจรมับจะนับพัลส์ไปเรื่อย ๆ เมื่อ $E_o = 0$ โวลต์ วงจรเปรียบเทียบจะตรวจจับเหตุการณ์นี้แล้วส่งสัญญาณไปยังวงจรควบคุม วงจร ควบคุมจะเปิดสวิตช์ S_2 และให้วงจรมับหยุดนับพัลส์ ค่าที่นับได้ในวงจรมับขณะนั้นจะเท่ากับค่าแรงดันที่ต้องการวัดพอดีที่เป็นเช่นนี้เพราะแรงดัน E_{REF} มีค่าคงที่ ช่วงเวลา t_2 ในการอินทิเกรตสัญญาณจนแรงดันเป็นศูนย์ จะแปรผันกับแรงดันขาเข้า E_i ถ้า E_i มีค่ามาก ค่า E_o หลังจากการอินทิเกรตครั้งแรกจะมาก จึงใช้เวลา t_2 ในการอินทิเกรตครั้งที่ 2 มากตามไปด้วย สมมติให้ $E_i = 1$ โวลต์ $E_{REF} = -1$ โวลต์ ได้ $t_1 = t_2$ เท่ากับการนับพัลส์ 1000 ลูก ถ้าให้ $E_i = 1.5$ โวลต์ จะได้ $t_2 = 1.5t_1$ หรือเท่ากับการนับพัลส์ 1500 ลูก จะสังเกตเห็นว่าค่านับพัลส์นี้ตรงกับค่าแรงดัน E_i ซึ่งเป็นแรงดันที่ต้องการวัด

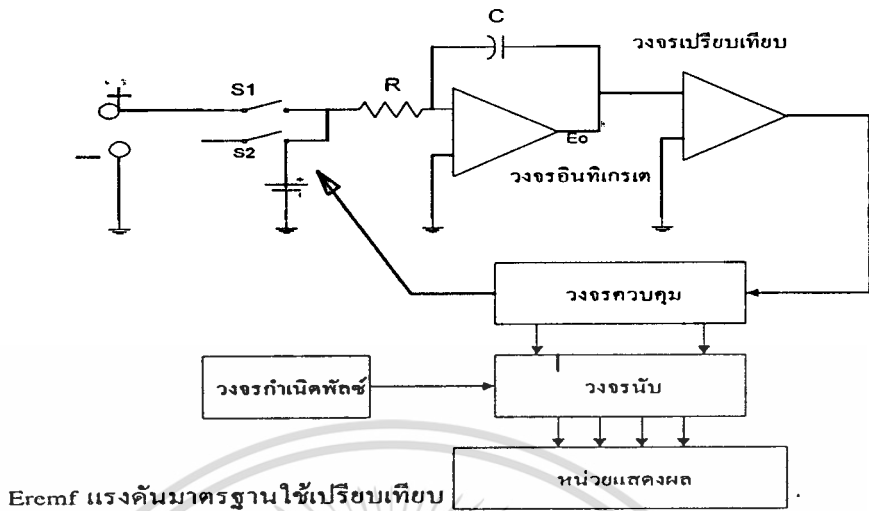
ค่านับของวงจรมับนี้สามารถส่งออกไปที่แลตซ์และถอครหัสเพื่อแสดงผลด้วย LED 7 ซิตอีกทีหนึ่ง ทำให้เราสามารถอ่านค่าแรงดันเป็นตัวเลขได้โดยตรง



รูปที่ 2.10 การทำงานของวงจรรวมอินทิเกรเตอร์

ดิจิตอลมัลติมิเตอร์ที่มีขายตามท้องตลาดทั่วไป มักแสดงผลสูงสุดเป็น 1999 แสดงว่า t_2 จะเท่ากับการนับพัลส์ไม่เกิน 2000 ลูก ถ้าในวงจรเราใช้พัลส์ความถี่ 10 กิโลเฮิร์ตซ์ ในการวัดหนึ่งครั้งจะต้องมีการอินทิเกรต 2 ครั้ง กินเวลา $t_1 + t_2$ หรือเท่ากับการนับพัลส์จำนวนสูงสุดไม่เกิน 1000+2000 ลูก ซึ่งจะกินเวลา 0.3 วินาที นับว่าเป็นเวลาที่ยาวนานพอสมควร ในหนึ่งวินาทีจะวัดได้ไม่เกิน 3 ครั้งเท่านั้น ถ้าเป็นดิจิตอลมัลติมิเตอร์ที่แสดงผลสูงสุดเป็น 19999 ก็ยังมีการนับพัลส์เป็นจำนวนมากขึ้นถึง 10 เท่า ถ้าใช้พัลส์ความถี่ 10 กิโลเฮิร์ตซ์เท่าเดิม จะต้องใช้เวลาถึง 3 วินาทีในการวัดหนึ่งครั้งซึ่งยาวนานเกินไป ดังนั้นคงต้องเพิ่มความถี่ของพัลส์ให้สูงขึ้น

ไอซีที่เป็นวงจร A/D แบบสโโลปคู่นี้มีด้วยกันหลายเบอร์ และผลิตกันหลายบริษัท บางเบอร์ก็ใช้เพียงไปซีตัวเดียว บางเบอร์ก็ใช้ไอซี 2-3 ตัวต่อเป็นชุด ปกติมักใช้อุปกรณ์ภายนอก เช่น R C ต่อเพิ่มอีกเพียงเล็กน้อยก็สามารถใช้งานได้

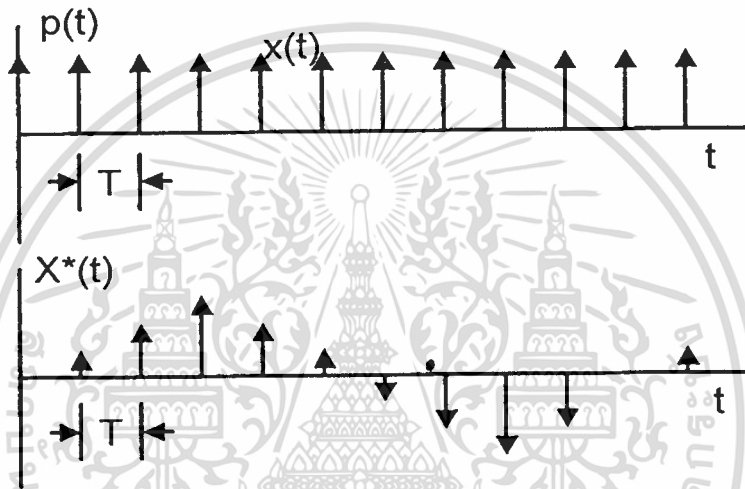
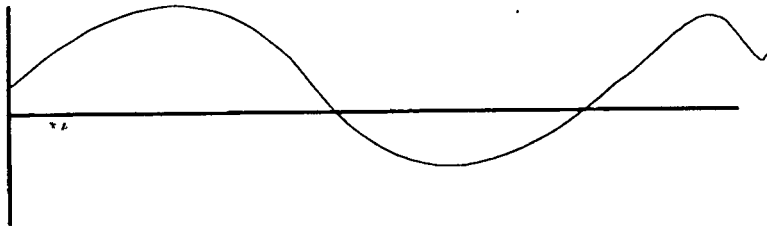


(ก) บล็อกโคเดแกรมของวงจร A/D แบบสโลปคู่

รูปที่ 2.11 หลักการทำงานของวงจร A/D แบบสโลปคู่

2.5 ทฤษฎีการสุ่มสัญญาณ (Sampling)

การสุ่มสัญญาณเป็นขั้นตอนแรกในการแปลงสัญญาณแอนะล็อกให้เป็นสัญญาณดิจิทัล โดยวงจรสุ่มสัญญาณจะตรวจจับขนาดของสัญญาณแอนะล็อกที่ถูกส่งตามช่วงเวลาที่ถูกกำหนด โดยทั่วไปมักจะวัดขนาดในรูปของแรงดันไฟฟ้า ซึ่งแท้จริงแล้วกระบวนการสุ่มสัญญาณ เป็นกระบวนการตรวจวัดค่าแรงดันของสัญญาณ ที่ช่วงเวลาต่าง ๆ ซึ่งมีคาบการตรวจจับคงที่ อัตราหรือความถี่ของการสุ่มสัญญาณเป็นคาบนี้จะกำหนดให้อยู่ในหน่วยของจำนวนจุดสุ่มต่อหนึ่งหน่วยเวลา ยกตัวอย่าง เช่น ในระบบโทรศัพท์อัตราการสุ่มดังกล่าวจะมีค่าเป็น 8000 ครั้งต่อวินาที หรือ 8 KHz หรืออาจกล่าวได้ว่าคาบของการสุ่ม (ช่วงเวลาระหว่างการสุ่มแต่ละครั้ง) มีค่าเป็น $1/8,000$ หรือ 125 ไมโครวินาที สำหรับวิธีในการคำนวณหาอัตราสุ่มของระบบโทรศัพท์โดยเป็นไปตามข้อกำหนดในทฤษฎีของการสุ่มสัญญาณ ซึ่งถูกกำหนดขึ้นโดยแซมมอน นักคณิตศาสตร์ชาวสหรัฐอเมริกา กล่าวว่าอัตราการสุ่มจะต้องมีความถี่ไม่น้อยไปกว่า 2 เท่าของความถี่สูงสุดของสัญญาณแอนะล็อกที่จะทำการส่งนั้น จึงจะสามารถสร้างสัญญาณต้นฉบับกลับคืนจากสัญญาณสุ่มได้



รูปที่ 2.12 สัญญาณที่ผ่านการสุ่ม เทียบกับสัญญาณต้นฉบับ

2.6 ทฤษฎีและหลักการของ FPGAs

FPGAs จัดเป็นวงจรรวมเฉพาะกิจชนิดหนึ่งที่สามารถโปรแกรมเป็นวงจรดิจิทัลใด ๆ ก็ได้เช่นเดียวกับ EPLD ต่างกันที่ EPLD โปรแกรมลงบน EPROM ภายใน และสามารถโปรแกรมใหม่ได้หลังจากนำไปลบด้วยแสงอัลตราไวโอเล็ต แต่สำหรับ FPGAs จะโปรแกรมลงบนสแตติกแรมภายในด้วยข้อมูลที่อยู่ภายนอก และสามารถโปรแกรมใหม่ได้โดยการรีเซตด้วยสัญญาณไฟฟ้าจากนั้น FPGAs ยังประหยัดพลังงานและมีความจุจริงที่มีขนาดใหญ่ (จำนวนเกตมากๆ) ได้อีกด้วย

2.6.1 โครงสร้างภายใน

วงจรรวมชนิดนี้ผลิตโดยบริษัทไซลิงค์ซึ่งเป็นบริษัทที่ร่วมกันทำการค้นคว้ากับบริษัท

เอ็มเอ็มไอ(MMI) สร้างเป็นอะเรย์ที่ประกอบด้วยเกตจำนวน 600-25,000 เกต ดังแสดง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในตารางที่ 2.2 การที่ต้องบอกขนาดของวงจรรวมเป็นจำนวนเกตเพราะจะได้ออกแบบไว้สามารถโปรแกรมลงบนวงจรรวม FPGAs ได้หรือไม่

ตารางที่ 2.1 การนับเกตของเกตพื้นฐาน

(NAIINR2 หมายถึงเกต NAND2 หรือเกต NOR2)

Gate	Equivalent gate count	Gate	Equivalent gate count
INV	1	RS Latch	3
NAIINR2	1	D Latch	4
NA/NR3	2	D Latch with CLR	5
NAIINR4	2	D Latch with PRE	5
NAIINR6	5	DLatch with PRE/CLR	6
NAIINR8	6	DEF	6
NAIINR9	7	DEF with CLR	7
NAIINR12	8	DEF with PRE	7
NAIINR16	11	DEF with PRE/CLR	8
BUFF	2	JKFF	9
ANIIOR2	2	JKFF with CLR	12
ANIIOR3	2	JKFF with PRE/CLR	13
ANIIOR4	3	TFF with CLR	8
XOR2	3	TEF with PRE	8
XNOR2	3	TEF with PRE/CLR	9

FPGAs มีโครงสร้างภายในใกล้เคียงกับสถาปัตยกรรมของเกตอะเรย์มาก สามารถโปรแกรมและลอบองค์ประกอบ (Configuration) สแตติกแรม (Static RAM) ภายในได้โดยใช้กระแสไฟฟ้า ซึ่งทำการโปรแกรมได้โดยดึงข้อมูลฐานสิบหกมาจากภายนอก เช่น Parallel EPROM หรือ Serial PROM ต่างกับ EPLD, PAL ที่มี EPROM อยู่ในตัว ภายใน FPGAs จะจัดเรียงเป็นลอจิกเซลล์ล้อมรอบภายนอกด้วยอินพุตเอาต์พุตเซลล์ FPGAs จะจัดเรียงเป็นลอจิก

เซลล์ล้อมรอบภายนอกด้วยอินพุตเอาต์พุตเซลล์ FPGAs ตัวแรกที่ผลิตโดยไซลิงค์คือ XC2064 (2000 Family) ประกอบด้วยเซลล์เรียงกันเป็นเมตริกซ์ (Matrix) เป็นจำนวน 64 เซลล์ หลังจากนั้นผลิตตระกูล 3000 และ 4000 มีโครงสร้างซับซ้อนขึ้นสามารถบรรจุจำนวนเกตได้สูงและดีขึ้น แต่ละ เซลล์เรียกว่า CLB (Configuration Logic Block)

ตารางที่ 2.2 คุณสมบัติของ FPGAs ตระกูลต่าง ๆ

FPGAs	Appr. Gate Count	Max I/Os	Flip-Flop	Ram bits	Available CLBs
XC2064	1,000	58	122	0	64
XC2018	1,500	74	174	0	100
XC3020/3120	1,800	64	256	0	64
XC3030/3130	2,700	80	360	0	100
XC3042/3142	3,700	96	480	0	144
XC3064/3164	5,500	120	688	0	224
XC3090/3190	7,500	144	928	0	320
XC3195	9,000	176	1,320	0	484
XC4002A	2,000	64	256	2,048	64
XC4003/4003A	3,000	80	360	3,200	100
XC4003H	3,000	160	200	3,200	100
XC4004A	4,000	960	480	4,608	144
XC4005/4005A	5,000	122	616	6,272	196
XC4005H	5,000	192	392	6,272	196
XC4006	6,000	128	768	8,192	256
XC4008	8,000	144	936	10,368	324
XC4010	10,000	160	1,120	12,800	400
XC4010D	10,000	160	1,120	0	400
XC4013	13,000	192	1,536	18,432	576
XC4025	25,000	256	2,560	32,768	1,024

2.6.2 ส่วนที่เป็นองค์ประกอบของลอจิก (CONFIGURABLE LOGIC BLOCKS)

CLB จะจัดเรียงกันเป็นแบบเมตริกซ์แบบอะเรย์ขนาด $M \times N$ การออกแบบนั้นสามารถทำได้โดยการจัดวาง CLB ให้ต่อกัน เราสามารถจัด CLB ให้เชื่อมต่อกันได้โดยการทำให้หรือโปรแกรมที่สนับสนุน FPGAs ทำให้โดยอัตโนมัติโดยวิธีของมันเอง สำหรับไฟล์ที่ได้จากโปรแกรมเหล่านี้เราเรียกว่า ไฟล์โครงร่าง (Configuration file) ซึ่งจะบรรจุโครงร่างภายในของ CLB ตามความเหมาะสม ในอีกด้านหนึ่งไฟล์โครงร่างนั้นจะเป็นไฟล์กระแสข้อมูล (Bitstream) ซึ่งสามารถใช้โปรแกรมหน่วยความจำภายในของ FPGAs (Internal FPGAs configuration memory) ได้ สำหรับรูปแสดง CLB ของ FPGAs ตระกูล 4000 แสดงดังรูปที่ 2.13

2.6.3 ส่วนอินพุตและเอาต์พุต (I/O Block)

รอบ ๆ นอกของ FPGAs จะประกอบด้วย IOBs ประมาณ 64 ถึง 144 ตัวซึ่งขึ้นอยู่กับตระกูลของ FPGAs ซึ่ง IOBs จะเป็นตัวเชื่อมต่อระหว่างภายในกับภายนอกของวงจรถลอจิกของ FPGAs ลักษณะของ IOBs จะมีลักษณะ 2 ทิศทาง สามารถโปรแกรมให้เป็นอินพุตหรือเอาต์พุตก็ได้ สำหรับรูปที่ 2.2 แสดง IOBs ของ FPGAs ตระกูล 4000

2.6.4 รายละเอียดการใช้งาน

FPGAs สามารถทำงานได้หลายรูปแบบ (Mode) โดยกำหนดได้ที่ขาสัญญาณ M0 M1 และ M2 ดังแสดงในตารางที่ 2.3 ในแบบมาสเตอร์พาราเรล (Master Parallel) รับโปรแกรมคอนฟิกทีละ 1 ไบต์ (Byte) จากหน่วยความจำภายนอกที่เป็นแบบขนานโดยสามารถรับโปรแกรมคอนฟิก (Config) จากตำแหน่ง (Address) ต่ำหรือสูงก่อนก็ได้ แบบเพอริเฟอรัล (Peripheral) รับโปรแกรมคอนฟิกทีละ 1 ไบต์จากไมโครโปรเซสเซอร์ โดยสามารถโต้ตอบกันได้ว่าพร้อมหรือไม่พร้อมที่จะรับข้อมูลต่อไป แบบสเลฟ (Slave) รับโปรแกรมคอนฟิก ทีละ 1 บิตจากไมโครโปรเซสเซอร์ตามสัญญาณอินพุต CCLK ส่วนในแบบมาสเตอร์ซีเรียล (Master Serial) รับโปรแกรมคอนฟิกทีละ 1 บิต จากหน่วยความจำจากภายนอกที่เป็นแบบอนุกรม

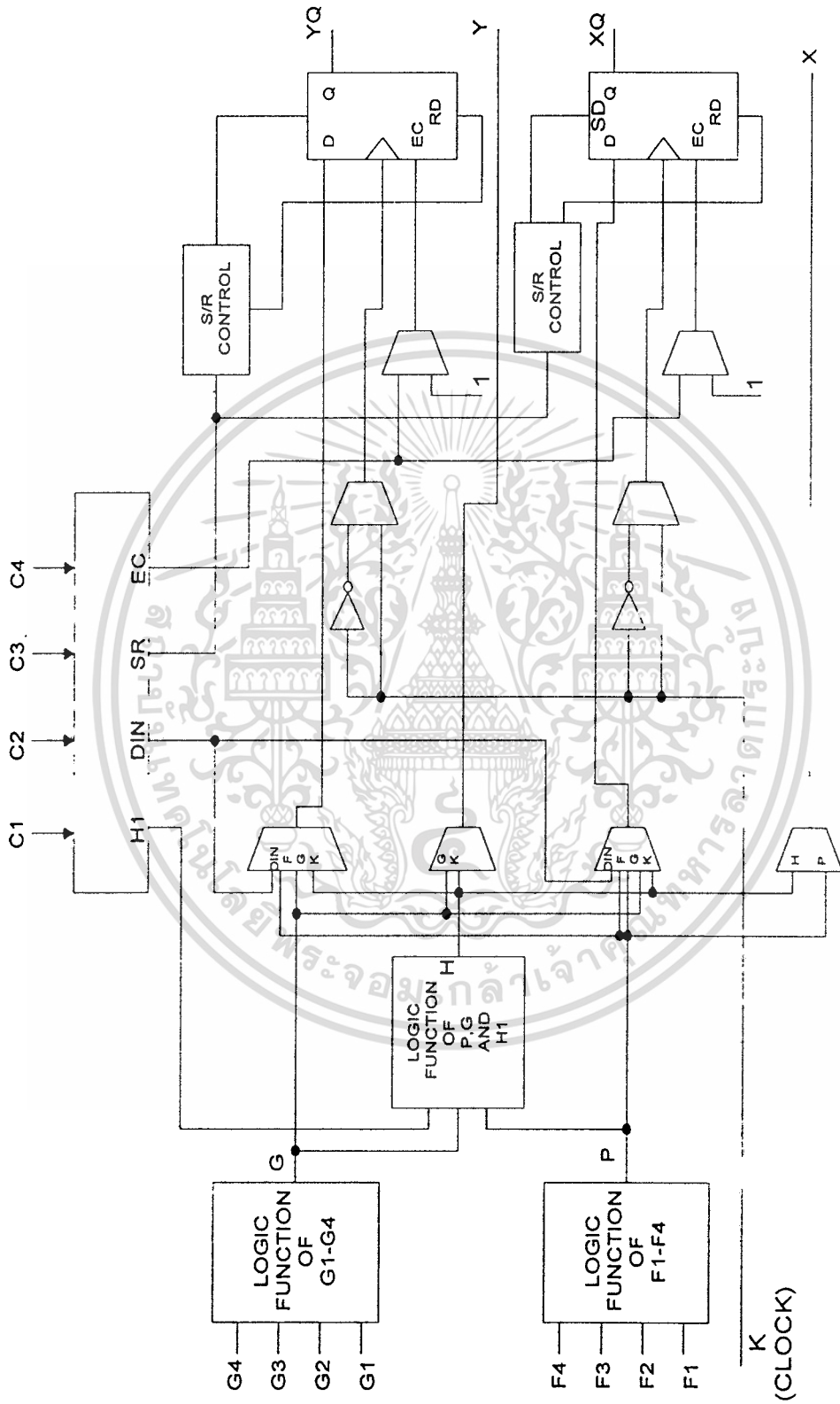
จากความต้องการสร้างให้ใช้กระแสไฟฟ้าต่ำ ในแบบการต่อใช้งานทั้ง 5 แบบจึงมีเพียง 2 แบบเท่านั้นที่เหมาะสม คือ มาสเตอร์ซีเรียลแบบ (Master Serial Mode) และสเลฟซีเรียลแบบ (Slave Serial Mode) ส่วนใน มาสเตอร์พาราเรลแบบต้องใช้ EPROM 27Cxxx ซึ่งกินกระแสมากกว่า PROM XC17xxx เหมาะในการทดสอบต้นแบบก่อนเมื่อวงจรต้นแบบทำงานได้ถูกต้องแล้วจึงทำการอัดโปรแกรมลง PROM อีกทีหนึ่งเพราะว่าในแบบ พาราเรล

เอกสารที่ EPROM สามารถโปรแกรมได้ใหม่ต่างกับ PROM ที่โปรแกรมได้ครั้งเดียว ใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.3 รูปแบบต่าง ๆ ของการกำหนดดองค์ประกอบในการทำงาน

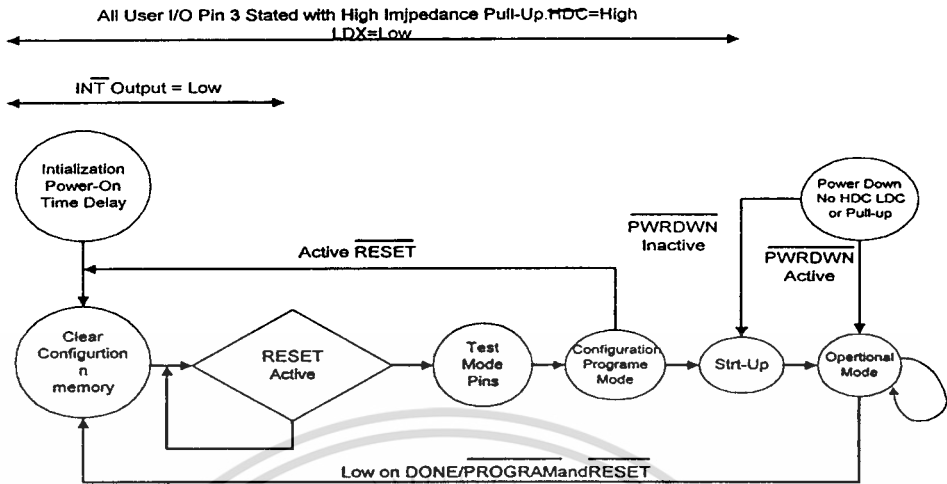
M0	M1	M2	CLK	MODE	DATA
0	0	0	output	Master Serial	Bit Serial
0	0	1	output	Master Parallel	Byte Wide Addr.=0000 up
0	1	0	-----	reserved	-----
0	1	1	output	Master Parallel	Byte Wide Addr.=FFFF down
1	0	0	-----	reserved	-----
1	0	1	output	Peripheral	Byte Wide
1	1	0	-----	reserved	-----
1	1	1	input	Slave Serial	Bit Serial

การใช้งาน FPGAs ในแบบสเลฟซีเรียล เมื่อเริ่มจ่ายไฟเข้าตัว FPGAs จะทำการเคลียร์ (Clear) หน่วยความจำที่ใช้ในคอนฟิก (Configuration Memory) ตรวจสอบแบบกระทำการคอนฟิกว่าแบบใดในตารางที่ 2.3 (เป็นแบบอนุกรมหรือขนาน) หลังจากนั้นจะเริ่มทำการโปรแกรมคอนฟิก สัญญาณ DONE/PROGRAM เป็น “0” (อยู่ในระหว่างโปรแกรม) และเมื่อข้อมูลในการคอนฟิกที่รับมาจากภายนอกเต็มหน่วยความจำที่ใช้ในการคอนฟิกและความยาวของข้อมูลตรงกับที่ส่วนหัวคอนฟิกสัญญาณ DONE/PROGRAM เป็น “1” (โปรแกรมคอนฟิกเสร็จสิ้น) รูป 2.15 ประกอบ



รูปที่ 2.13 แผนผัง CLB ของตระกูล 4000

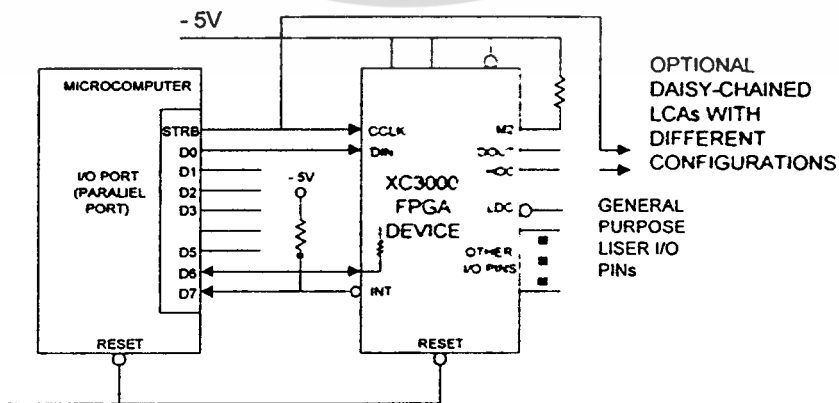
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 ลำดับในการคอนฟิกเมื่อเริ่มป้อนแหล่งจ่ายไฟเข้าไอซีและการโปรแกรมใหม่

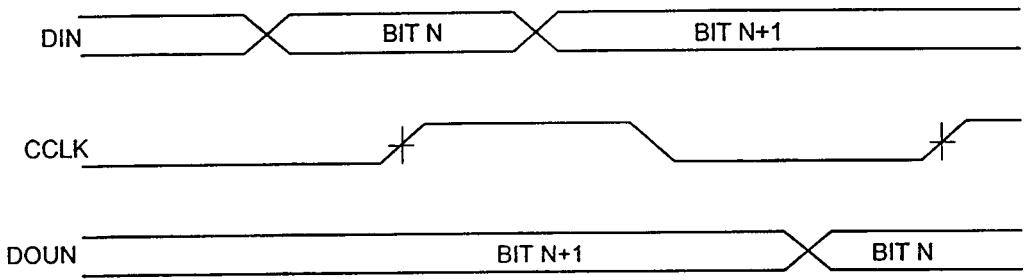
การใช้งานแบบสเลฟซีเรียล (Slave Serial)

การต่อใช้งานแบบนี้เหมาะสมกับวงจรที่ออกแบบมาเพื่อทำงานร่วมกับไมโครคอมพิวเตอร์อยู่แล้วทั้งนี้เพราะ FPGAs ได้ใช้ความสามารถของไมโครคอมพิวเตอร์ในการเก็บและส่งข้อมูลคอนฟิกให้ เพียงแต่ต้องเขียนโปรแกรมเพื่อส่งโปรแกรมคอนฟิกให้เพิ่ม ลักษณะการต่อในแบบนี้เป็นดังรูปที่ 2.18 ซึ่งในแบบนี้ไมโครคอมพิวเตอร์จะสร้างสัญญาณเพื่อการทำคอนฟิกให้กับอุปกรณ์ FPGAs การป้อนโปรแกรมคอนฟิกให้ FPGAs ทำได้โดยต่อสัญญาณ Strobe เข้ากับขา CCLK และพอร์ต DO เข้ากับขา DIN สร้างสัญญาณนาฬิกาป้อนเข้าที่ขา CCLK และป้อนโปรแกรมคอนฟิกแบบอนุกรมเข้าที่ขา DIN ดังแผนภูมิใน รูปที่ 2.17



รูปที่ 2.16 การต่อใช้งานในแบบสเลฟซีเรียล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ประโยชน์ในการศึกษาเท่านั้น ไม่ควรนำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

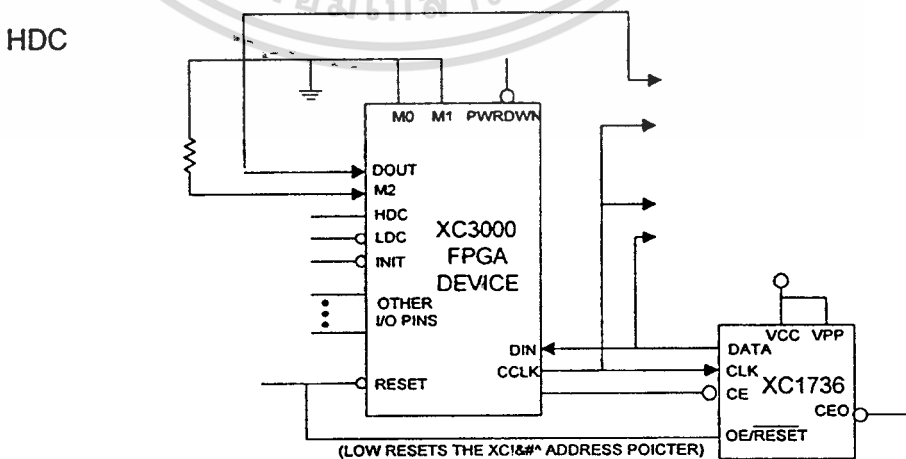


รูปที่ 2.17 แผนภูมิเวลาการป้อนข้อมูลโปรแกรมคอนฟิกในแบบสเลฟซีเรียล

การต่อใช้งานแบบมาสเตอร์ซีเรียล (Master Serial)

การต่อใช้งานในแบบนี้ ส่วนที่เก็บโปรแกรมคอนฟิกจะต่างจากแบบแรกคือใช้ PROM XC17xxx เป็นตัวเก็บโปรแกรม ทำให้ไม่ต้องเสียเวลาเขียนโปรแกรมเพื่อทำการคอนฟิก ซึ่งวิธีการอัดโปรแกรมคอนฟิกลง PROM ทำตามขั้นตอนดังนี้ คือ เมกบิต (MakeBits) สร้าง BIT ไฟล์จากวงจรที่ออกแบบ และใช้โปรแกรม MakePROM สร้าง Hex ไฟล์ แล้วทำการอัดโปรแกรมลง PROM ด้วยอุปกรณ์อัด PROM ที่มาพร้อมกับตัวโปรแกรมของไซลิงค์(Xilinx)

แบบนี้ PROM XC17xxx จะส่งสัญญาณเพื่อทำการคอนฟิกให้กับอุปกรณ์ FPGAs ดังแสดงในรูปที่ 2.18 DIN เป็นขารับข้อมูลที่ใช้ในการคอนฟิกแบบอนุกรม ส่วนอุปกรณ์ FPGA จะกำเนิดสัญญาณ CCLK ให้กับ PROM เพื่อเป็นจังหวะในการอ่านข้อมูลโปรแกรมคอนฟิกมาไว้ในสแตติกแรม (Static RAM)

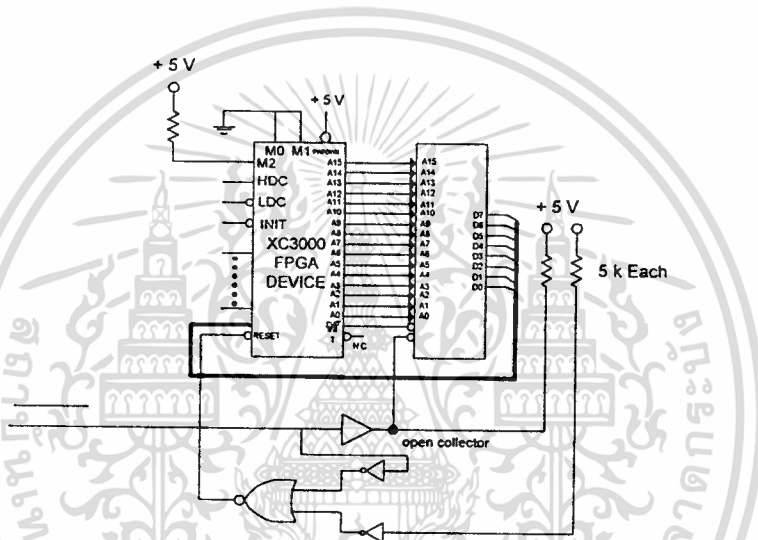


รูปที่ 2.18 การต่อใช้งานในแบบมาสเตอร์ซีเรียล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้งานในแบบมาสเตอร์พาราเรล (Master Parallel)

การต่อใช้งานในแบบนี้ ส่วนที่เก็บโปรแกรมคอนฟิกจะต่างจากแบบมาสเตอร์ซีเรียล คือใช้ EPROM 27xx เป็นตัวโปรแกรม ทำให้ไม่ต้องเสียเวลาเขียนโปรแกรมเพื่อทำการคอนฟิก ซึ่งวิธีการอัปเดตโปรแกรมคอนฟิกลง EPROM ทำได้โดยใช้โปรแกรม MakePROM ใน XACT สร้าง Hex ไฟล์ MCS แล้วทำการอัปเดตโปรแกรมลง EPROM ด้วยอุปกรณ์อัปเดต EPROM ที่มีใช้ทั่วไป



รูปที่ 2.19 การต่อใช้งานในแบบมาสเตอร์พาราเรล

แบบนี้ EPROM 27xxx จะส่งสัญญาณที่ละไบต์เพื่อทำการคอนฟิกให้กับอุปกรณ์ FPGAs ดังแสดงในรูปที่ 2.19 D0-D7 เป็นขารับข้อมูลที่ใช้ในการคอนฟิกแบบนี้ A0-A15 เป็นตำแหน่งที่ FPGAs สร้างให้กับ EPROM เพื่ออ่านข้อมูลจากหน่วยความจำ (โปรแกรมคอนฟิก) มาเก็บไว้ในสแตติกแรม ตำแหน่งทั้ง 16 เส้นไม่จำเป็นต้องครบก็ได้ขึ้นอยู่กับขนาดหน่วยความจำ EPROM ที่ใช้ และสามารถกำหนดให้นับขึ้นหรือลงก็ได้

ข้อควรระวังในการใช้ FPGAs

สิ่งแรกที่สำคัญคือ ไอซีกลัวความร้อนเป็นที่สุด การบัดกรีโดยหัวแร้งกำลังสูง หรือ บัดกรีโดยจี้หัวแร้งที่ขาไอซีนานๆ จะทำให้ไอซีเสียหายได้ง่าย ระยะเวลาในการบัดกรีหนึ่งจุดไม่ควรเกิน 5-10 วินาที ควรใช้ซ็อกเก็ต (Socket) ไอซีในการประกอบวงจรลงแผ่นปริ้นต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การป้องกันแหล่งจ่ายไฟให้อิซีไม่ควรผิดซ้ำ ถ้าสลับขั้วบวกหรือลบกันจะทำให้อิซีเสียหายได้นอกจากนั้นแรงดันของแหล่งจ่ายไฟต้องอยู่ในช่วงที่โรงงานกำหนดมา สำหรับ FPGAs แรงดันที่อิซีทำงานอยู่ในช่วงการทำงานได้ $V_{cc} = 4.75-5.25$ โวลต์ และแรงดันที่ทนได้อยู่ในช่วง $-0.5-7$ โวลต์ ดังนั้นก่อนป้อนแรงดันควรตรวจสอบเช็คให้แน่ใจก่อน

การต่อวงจรผิดที่มีผลให้อิซีเสียหายทันทีได้แก่ การต่อเอาต์พุตของอิซีไปเข้า ขั้วบวกหรือลบของแหล่งจ่ายไฟโดยตรง อิซีทีทีแอล (TTL) ในขณะที่ CMOS ยังพอทนได้บ้าง เพราะมีการจำกัดกระแสขาออกอยู่ภายในตัว ดังนั้นก่อนป้อนแรงดันเข้าอิซีควรตรวจสอบบริเวณเอาต์พุตของอิซีด้วย

อีกประการหนึ่งที่อิซีประเภท MOS กลัวมากที่สุดคือ ไฟฟ้าสถิต ขาที่เป็นอัตราได้ง่ายที่สุดคือขาอินพุต ความต้านทานขาเข้าของขาอินพุตของอิซีประเภทนี้มักจะสูงมากจนมีคุณสมบัติเหมือนกันกับเป็นฉนวนที่ขาอินพุตนี้อาจรับไฟฟ้าสถิตย์จากที่ใดมาเก็บไว้ เมื่อสะสมไว้มากๆ ไม่มีทางระบายออกก็จะทำให้วงจรบริเวณอินพุตเสียหายได้ ในปัจจุบันเทคโนโลยีการผลิตอิซีเจริญรุดหน้าไปมาก ทางด้านอินพุตของอิซี MOS จะมีวงจรป้องกันไว้ภายในอย่างไรก็ตามเพื่อป้องกันเหตุการณ์ดังกล่าวควรเก็บรักษาอิซีที่ถูกต้องและควรเก็บไว้ในที่ปลอดภัยจากไฟฟ้าสถิตโดยเก็บไว้ในบรรจุภัณฑ์แบบนำกระแสได้หรือห่อหุ้มด้วยกระดาษอลูมิเนียม

อิซีประเภท CMOS มีความต้านทานขาเข้าสูงมาก กระแสจึงไม่ไหลจากแหล่งจ่ายไฟเข้าไปที่ขาอินพุตของ CMOS นั้นถึงแม้จะต่อความต้านทานคั่นกลางอยู่ แรงดัน 5 โวลต์จากแหล่งจ่ายไฟก็ยังไม่เข้าขาอินพุต 5 โวลต์ โดยที่ไม่มีแรงดันตกคร่อมบนตัวต้านทานเลย ถ้ามีกระแสไหลแสดงว่าอิซีตัวนั้นเสีย เอาต์พุตของอิซี CMOS อยู่ในสภาวะ 1 จะสามารถขับโหลดได้หลายมิลลิแอมป์ และถ้าเอาต์พุตอยู่ในสภาวะ 0 ก็สามารถจะรับกระแสไหลเข้าได้หลายมิลลิแอมป์

2.7 การใช้ซอฟต์แวร์ของบริษัทวิทลอคจิกและของบริษัทไซลิงค์

2.7.1 ขั้นตอนในการออกแบบและจำลองการทำงานโดยใช้ซอฟต์แวร์ของบริษัทวิทลอคจิก

เริ่มต้นกำหนดไลบรารีที่ต้องการจะใช้ให้เป็น FPGAs ตระกูล XC4000 และนำเอกสารนี้ไปรวมวิวดรอสเขียนวงจร จากนั้นแปลงไฟล์ที่เป็นผังวงจรเป็น Wirlist เพื่อนำไปจำลองการทำงานไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำงานโดยโปรแกรมวิวจิม และใช้วิวเทรสเพื่อดูรูปร่างของสัญญาณที่ขาอินพุตและเอาต์พุต โดยรับสัญญาณอินพุตที่ผู้ออกแบบวงจรได้สร้างไว้ เพื่อทดสอบวงจรให้ได้ตรงกับความต้องการ ซึ่งมีหลายวิธีโดยอาจจะป้อนทีละคำสั่งหรือเขียนเป็นคำสั่งต่อกันเก็บไว้ในรูปของไฟล์ข้อความนามสกุล .CMD

2.7.2 ขั้นตอนในการทดสอบวงจรโดยใช้ซอฟต์แวร์ของบริษัทไซลิงค์

สร้างแม่ไฟล์จากเน็ตลิส (Netlist) โดยใช้โปรแกรม MAP2LCA สร้างไฟล์ .LCA ซึ่งสามารถแก้ไขได้โดยผู้ออกแบบหรือใช้โปรแกรม APR (Automatic Place and Route) จัดการให้อัตโนมติ ในขั้นตอนทั้งหมดที่กล่าวมาข้างต้นสามารถใช้โปรแกรม XMAKE จากนั้นแปลงไฟล์จาก .LCA เป็น .BIT โดยโปรแกรม Makebit จากนั้นแปลงเป็น Intel Hex File เพื่อใช้เป็นคอนฟิกให้กับ FPGAs ในกรณีที่ทดสอบวงจรในแบบมาสเตอร์พาราเรลหรือแปลงเป็นบิตสตรีม เพื่อใช้โปรแกรมลงบน PROMตระกูล XC17xxx ซึ่งเป็นตัวโหลดโปรแกรมคอนฟิกให้กับอุปกรณ์ FPGAs ในกรณีที่ทดสอบวงจรในแบบมาสเตอร์ซีเรียล เพื่อจำลองการทำงานของวงจรสมบูรณ์มากยิ่งขึ้น หลังจากที่ได้ไฟล์ที่มีโครงสร้างเป็น .LCA แล้วโดยใช้ซอฟต์แวร์แปลงกลับไปเป็นผังวงจรเพื่อจำลองการทำงานใหม่อีกครั้ง ให้ผลการจำลองตรงกันกับครั้งแรกที่จำลองการทำงาน ซึ่งข้อดีของผังวงจรใหม่ที่สร้างขึ้นนี้เปรียบเสมือนการดูวงจรให้ตนเอง

บทที่ 3

การออกแบบและการสร้าง

ในการออกแบบและการสร้างวงจรการเข้ารหัสเสียง โดยวิธีการควอนไทซ์แวกเตอร์ ด้วยอุปกรณ์ FPGAs ได้แบ่งการออกแบบระบบเป็น 2 ส่วน คือ ส่วนที่ 1 ออกแบบระบบและวงจรการเข้ารหัสเสียง โดยวิธีการควอนไทซ์แวกเตอร์

ในการออกแบบส่วนนี้จะต้องออกแบบวงจรให้สอดคล้องกับอุปกรณ์ภายในของ FPGAs ดังนั้นส่วนประกอบของวงจรจึงใช้ไลบรารี FPGAs ของบริษัทไซลิงค์ (Xilinx) ส่วนที่ 2 การนำวงจรที่ออกแบบด้วยไลบรารีของ FPGAs มาสร้างให้เป็นจริงตามฟังก์ชันที่ออกแบบด้วยเครื่องมือการพัฒนาของบริษัทไซลิงค์ และบริษัทวีวอลจิก ซึ่งจะกล่าวรายละเอียดในหัวข้อต่อไป

3.1 ลักษณะการออกแบบ

3.1.1 การออกแบบจากล่างขึ้นบน (Bottom Up Design)

ในอดีตถึงปัจจุบันการออกแบบในระบบดิจิทัลจะเป็นลักษณะที่เรียกว่า “การออกแบบจากล่างขึ้นบน” (Bottom Up Design) คือผู้ออกแบบจะเริ่มต้นกำหนดหัวข้องาน แล้วให้หลักการทางทฤษฎีแบ่งออกเป็นฟังก์ชันการทำงานต่างๆ แล้วเริ่มต้นออกแบบ เมื่อได้วงจรตามที่ต้องการแล้วจะต้องหาอุปกรณ์มาตรฐานต่างๆ เช่น IC.74LS.XX เป็นต้น เพื่อนำมารองรับฟังก์ชันการทำงานต่างๆ ที่ได้จากการออกแบบ ถ้าไม่สามารถหาอุปกรณ์มารองรับได้จะต้องออกแบบหรือดัดแปลงใหม่ ในขั้นตอนสุดท้ายคือการจำลองการทำงานโดยทดลองจากวงจรต้นแบบ

3.1.2 การออกแบบจากบนลงล่าง (Top Down Design)

จากการออกแบบในหัวข้อที่ 3.1.1 นั้นในกรณีที่การทำงานของวงจรไม่ตรงตามข้อกำหนดต้องทำการออกแบบและประกอบวงจรใหม่อีกครั้ง ซึ่งจะเห็นว่าขั้นตอนและกระบวนการดังกล่าวยุ่งยากและใช้เวลามาก ดังนั้นในการออกแบบวงจรสมัยใหม่สามารถออกแบบ

เอกสารนี้ระบบดิจิทัลได้จากแนวคิดโดยสังเขป โดยวิธีการเขียนรูปแบบและทำการทดลองการทำงาน ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของรูปแบบนั้นจนเป็นที่น่าพอใจแล้วค่อยๆ เพิ่มเติมรายละเอียดของระบบไปที่ละชั้น ซึ่งในแต่ละชั้นตอนสามารถที่จะจำลองการทำงานภายใต้สภาวะแวดล้อมเดิมได้ ทำให้ไม่มีโอกาสที่รูปแบบการทำงานจะผิดไปจากวัตถุประสงค์เดิม เมื่อเกิดข้อผิดพลาดก็สามารถแก้ไขได้ทันที หลังจากนั้นจึงนำไปลงอุปกรณ์และทดสอบการทำงานของวงจรซ้ำอีกครั้ง การออกแบบในลักษณะนี้เรียกว่า “การออกแบบจากบนลงล่าง” (Top Down Design)

3.2 หลักการออกแบบระบบและวงจร

3.2.1 การใช้ซอฟต์แวร์ ViewLogic และ Xilinx

ในการสร้างและใช้ซอฟต์แวร์ ViewLogic โปรแกรม Viewdraw เขียนวงจร คิวอน ไตซ์เวกเตอร์เป็นผังวงจร (Schematic) โดยภาค Encoder ใช้ไลบรารีของ FPGAs ตระกูล XC4000 ส่วนภาค Decoder ใช้ไลบรารี FPGAs ตระกูล XC3000 แล้วใช้โปรแกรม Viewsim จำลองการทำงานจนได้วงจรจำลองการทำงานที่ตรงกับความต้องการ จากนั้นใช้ซอฟต์แวร์ Xilinx โปรแกรมลงอุปกรณ์ FPGAs

ขั้นตอนการออกแบบ และจำลองการทำงานวงจรโดยใช้โปรแกรม ViewLogic

ใช้โปรแกรม Viewdraw เขียนวงจรของภาค Encoder และ Decoder จากนั้นแปลงไฟล์ที่เป็นผังวงจรเป็น Wirelist โดยใช้โปรแกรม VSM เพื่อนำไปจำลองการทำงาน การจำลองการทำงานของวงจร โดยใช้โปรแกรม Viewsim และใช้ Viewtace เพื่อดูรูปสัญญาณ

ขั้นตอนการออกแบบวงจร

ในการออกแบบวงจรเราแบ่งออกเป็น 2 ส่วน คือส่วนของการออกแบบทางด้าน Encoder และการออกแบบทางด้าน Decoder สามารถแยกได้คือ

3.3 ขั้นตอนการออกแบบวงจร

ในการออกแบบวงจรแบ่งออกเป็น 2 ส่วนคือ ส่วนของวงจรเข้ารหัสเสียงและส่วนของวงจรทางด้านถอดรหัสเสียง

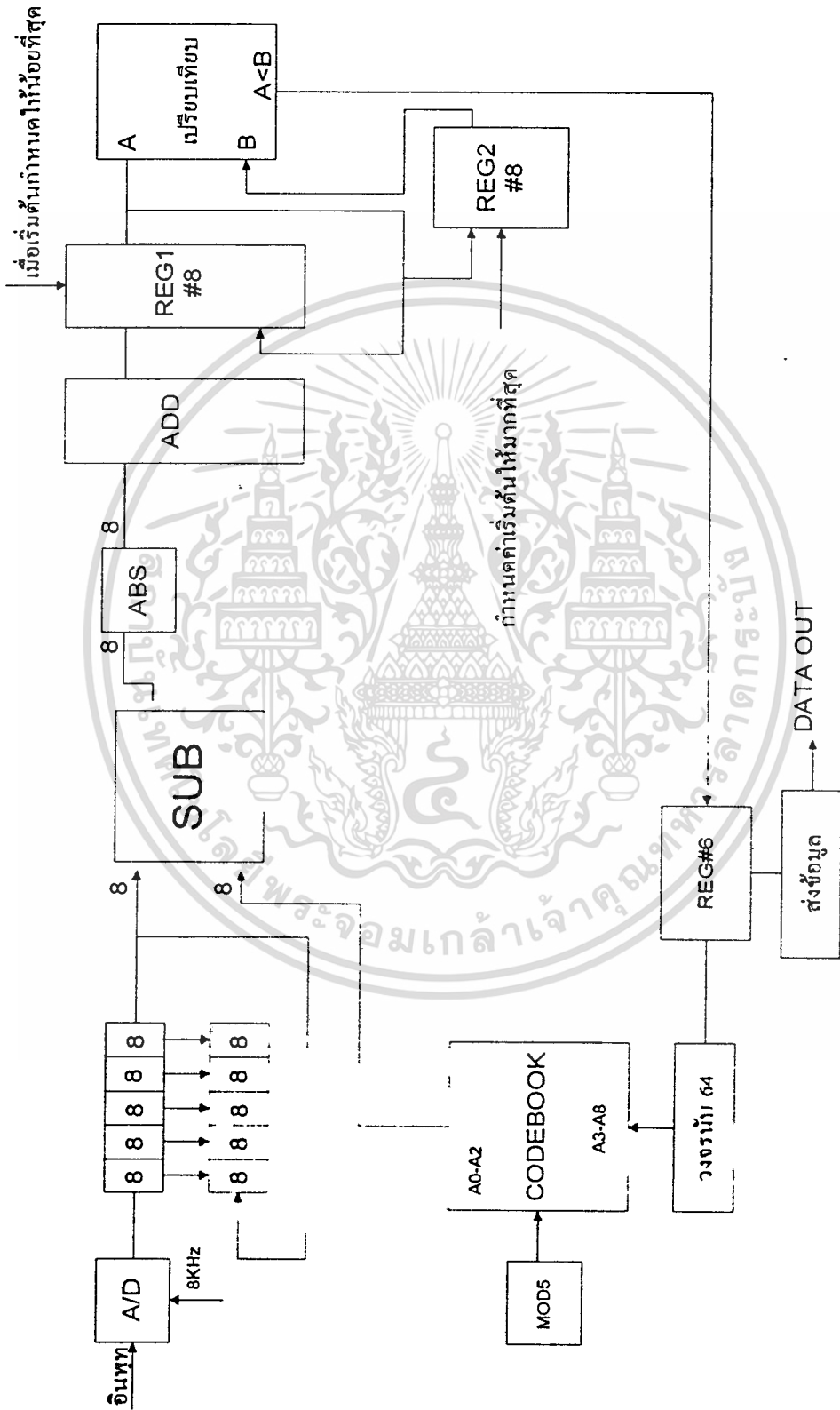
3.3.1 การออกแบบวงจรเข้ารหัสเสียง

การออกแบบวงจรเข้ารหัสเสียงทำได้โดยดังนี้ ลำดับแรกนั้นคือการกำหนดแบบวงจรเป็นบล็อกโคเดแกรมดังรูปที่ 3.2 จากนั้นสร้างวงจรตามที่ได้ออกแบบไว้ เมื่อออกแบบสร้างเสร็จแล้วก็ทำการตรวจสอบการออกแบบ

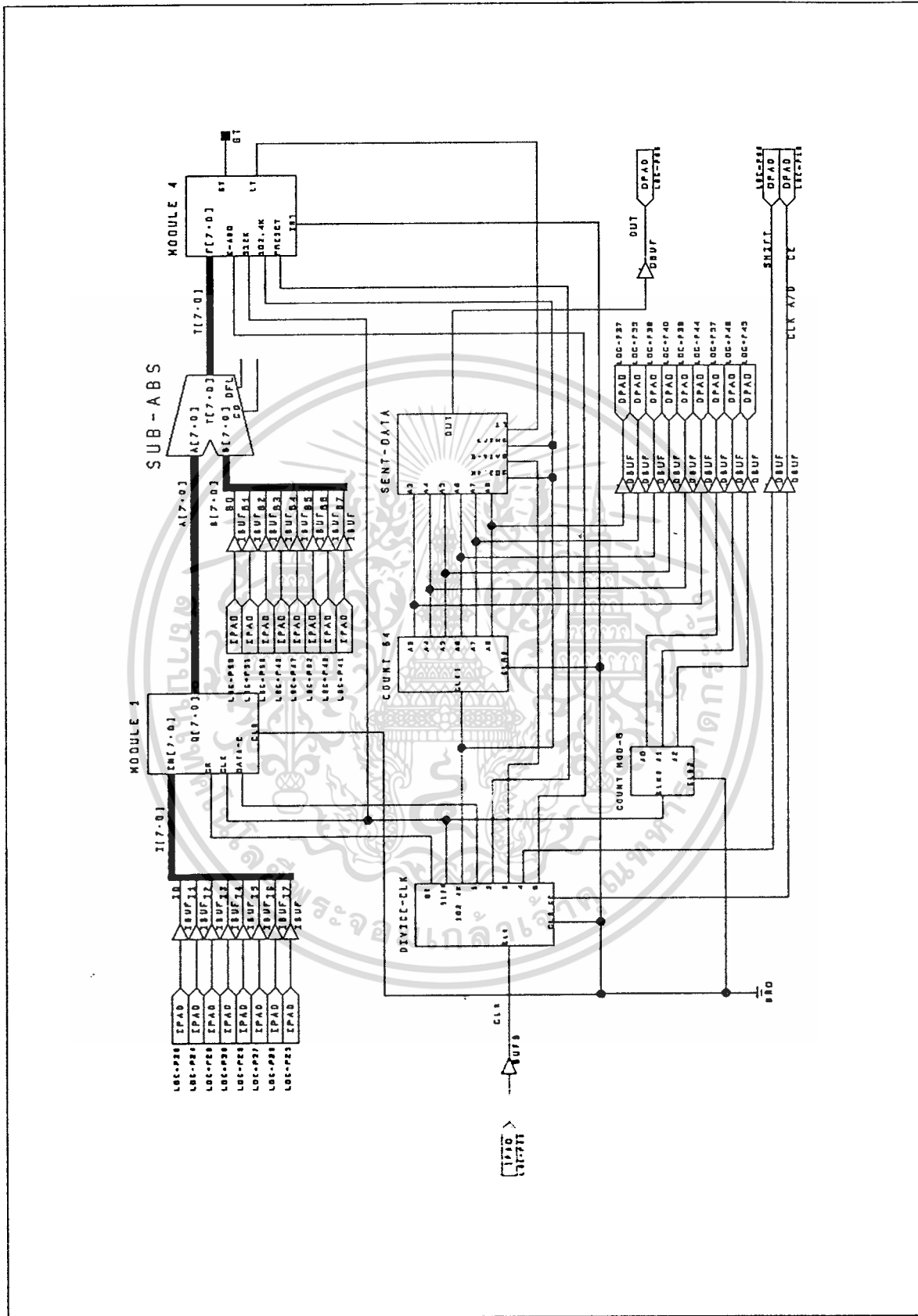
ผังการทำงานของวงจรเข้ารหัสเสียง

ผังการทำงานของวงจรเข้ารหัสที่ได้ออกแบบนั้นเขียนเป็นผังได้ดังรูปที่ 3.2 จากรูปที่ 3.2 มีหลักการทำงานดังนี้คือ เมื่อป้อนสัญญาณแอนะล็อกเข้าวงจร A/D ก็จะแปลงเป็นสัญญาณดิจิทัล ทำการส่งมาเก็บไว้ที่รีจิสเตอร์ 8 บิต จำนวน 5 ชุด เมื่อทำการเก็บข้อมูลจนครบ 40 บิต ก็จะไหลมาเก็บไว้ที่รีจิสเตอร์อีกชุดหนึ่ง ซึ่งรีจิสเตอร์ชุดนี้จะทำการส่งข้อมูลชุดละ 8 บิตไปลบกับข้อมูลใน Codebook จากนั้นผ่านวงจร ABS เพื่อให้ผลที่ได้ค่าลบเป็นค่าบวกทั้งหมด และจะทำการบวกข้อมูลหลังจากที่ทำการลบกันมาแล้วจำนวน 5 ชุดที่วงจร ADD ก่อนที่จะทำการบวกในขั้นแรกนั้นจะต้องกำหนดค่าเริ่มต้นที่ วงจร Reg1 เสียก่อน เพื่อที่วงจรบวกจะได้ไม่ทำการบวกค่าผิด วงจรบวกนี้จะทำการบวกข้อมูล 5 ชุด และจะส่งให้วงจรเปรียบเทียบเพื่อเปรียบเทียบผลจากการบวกค่าว่าได้มากน้อยเพียงใด ซึ่งจะเปรียบเทียบกับข้อมูลใน Reg 2 ซึ่งเป็นข้อมูลชุดเดิมแต่ในตอนเปิดเครื่องครั้งแรกนั้น วงจร Reg 2 จะต้องกำหนดค่าเริ่มต้นให้มากที่สุดเพื่อที่วงจรเปรียบเทียบ จะนำค่าจากข้อมูลชุดแรกไปทำการเก็บค่าตำแหน่งของ Codebook เอาไว้ ซึ่งวงจร Reg #6 นั้นจะทำหน้าที่เป็นตัวเก็บตำแหน่งของ Codebook เอาไว้ เมื่อทำการเปรียบเทียบจนครบ 64 ครั้งแล้ว ก็จะทำการส่งข้อมูลจาก Reg #6 ไปยังวงจรส่งข้อมูลจากหลักการของผังการทำงานนี้เองสามารถนำมาออกแบบเป็นวงจรสำเร็จได้ดังรูปที่ 3.3 ซึ่งประกอบไปด้วย ส่วนของวงจรมับ 5 ดังรูปที่ 3.4 วงจรมับ 64 วงจรเก็บรีจิสเตอร์ 8 บิต จำนวน 5 ชุด รูปที่ 3.5 วงจร SUB และ ABS ดังรูปที่ 3.6 วงจร ADD จนถึงวงจรเปรียบเทียบดังรูปที่ 3.7 วงจรส่งข้อมูลออกแสดงดังรูปที่ 3.8 และวงจรกำเนิดสัญญาณนาฬิกาแสดงดังรูป 3.9 ซึ่งวงจรกำเนิดสัญญาณนาฬิกามีความสำคัญในการออกแบบวงจรมากฉะนั้นวงจรจะขาดวงจร

เอกสารนี้ **กำเนิดสัญญาณนาฬิกาไม่ได้** ใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

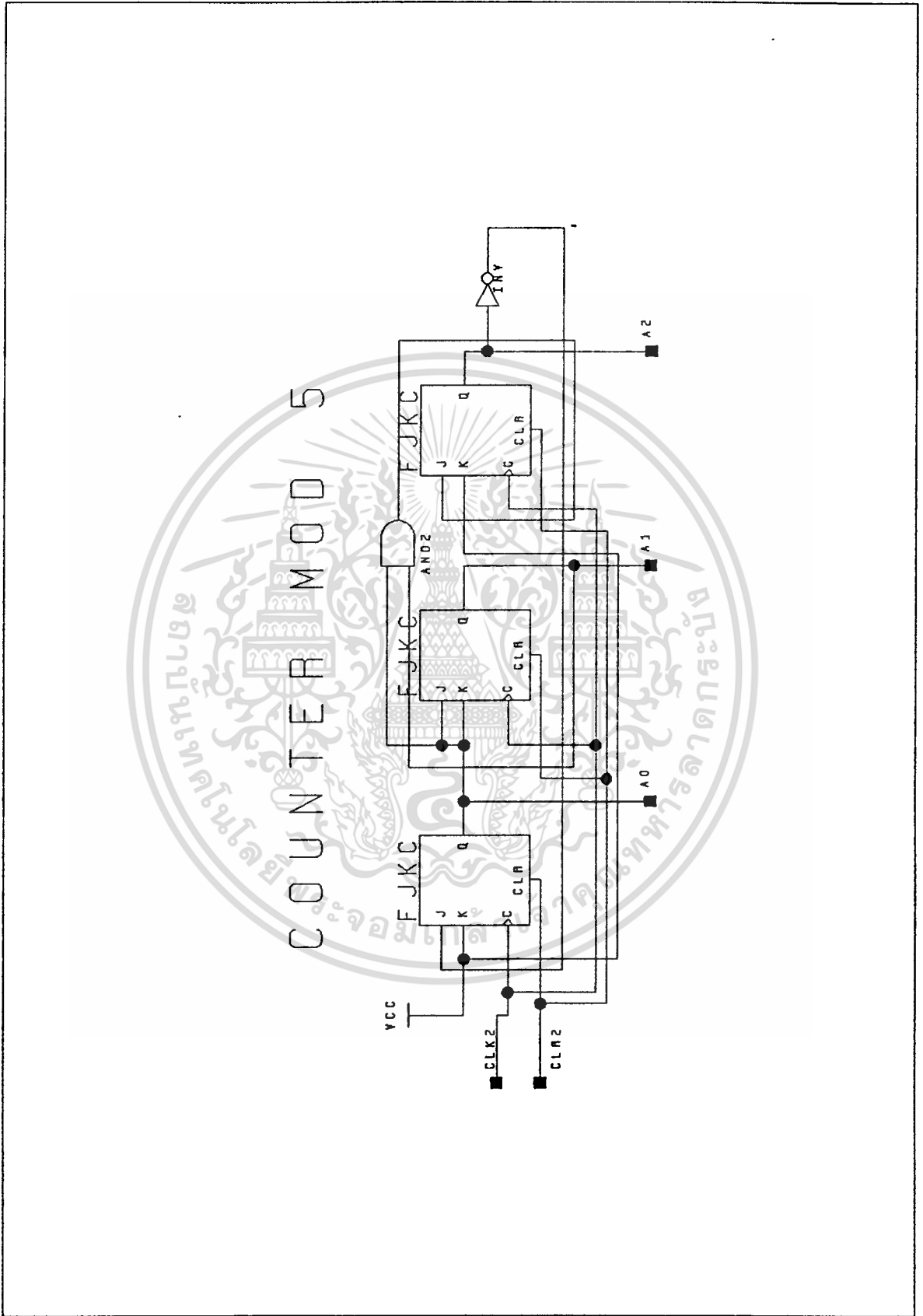


รูปที่ 3.2 ฟังก์ชันการทำงานของวงจรเข้ารหัส



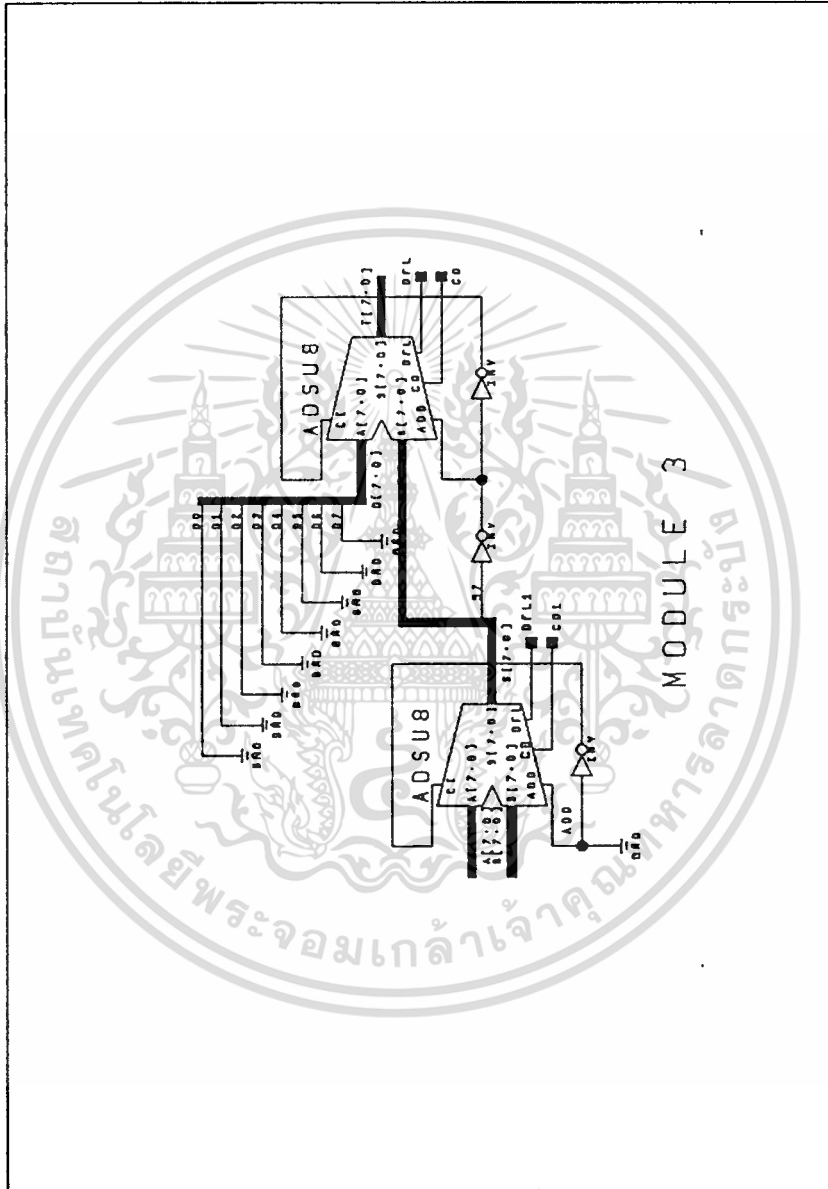
รูปที่ 3 วงจรสำหรับแสดงวงจรที่การเปลี่ยน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



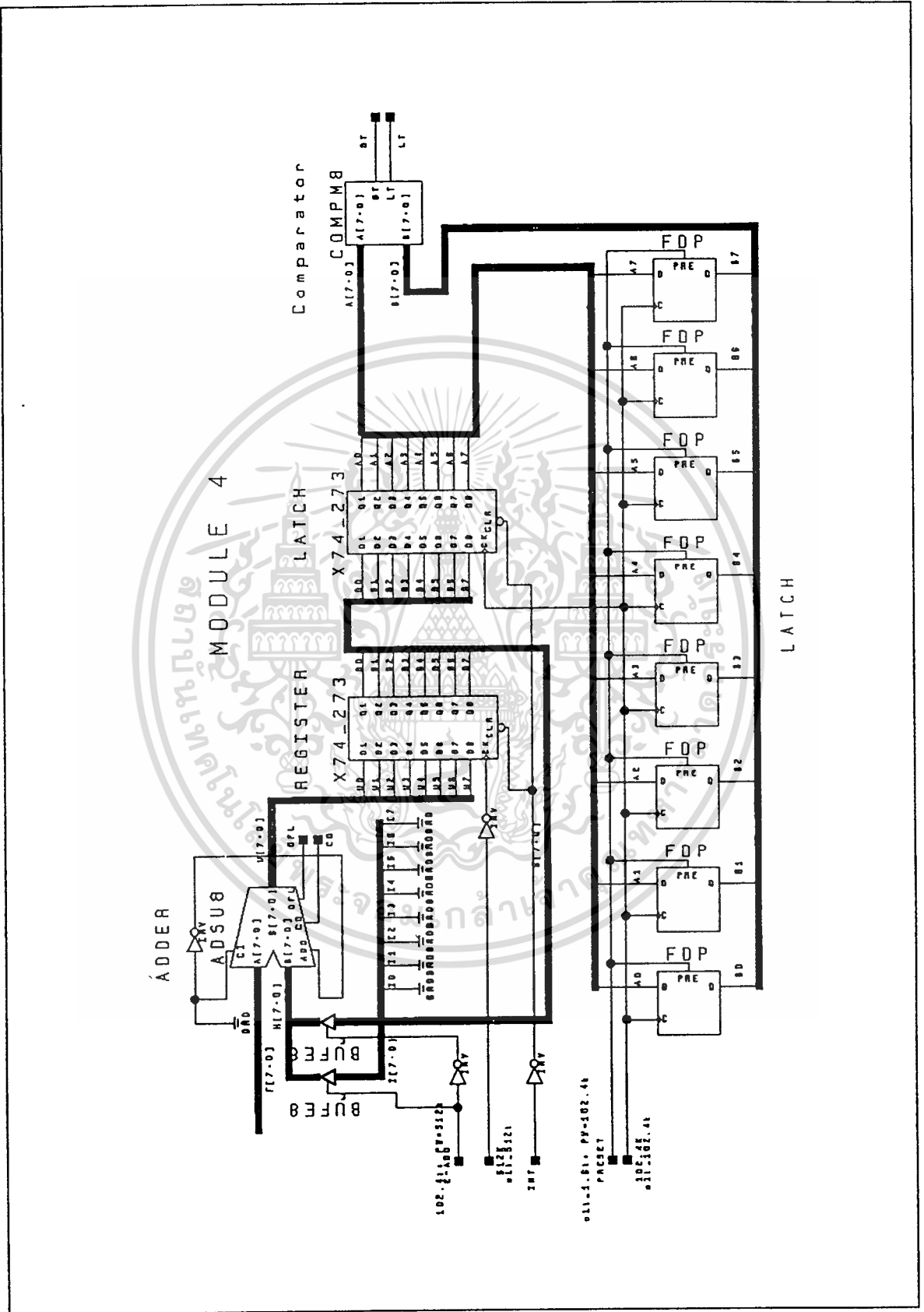
รูปที่ 3.4 วงจรนับ 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



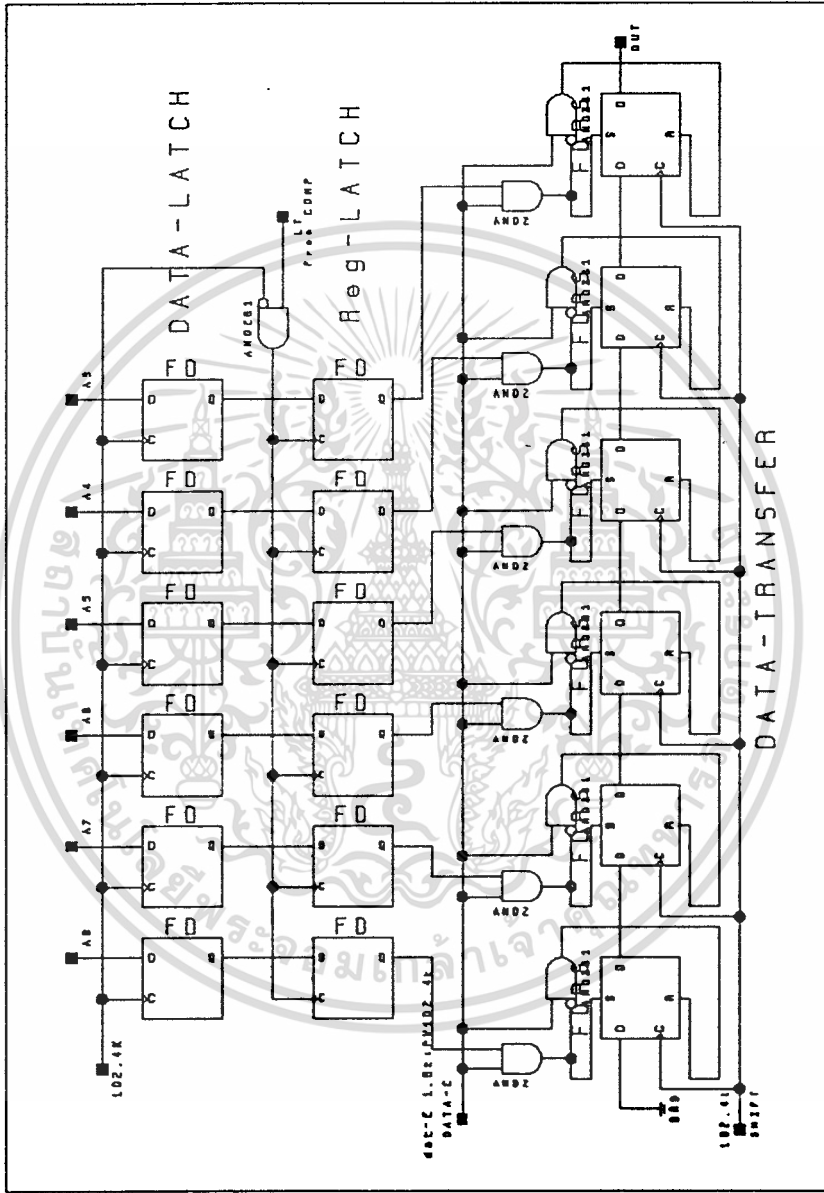
รูปที่ 3.6 วงจร SUB และ ABS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 & ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



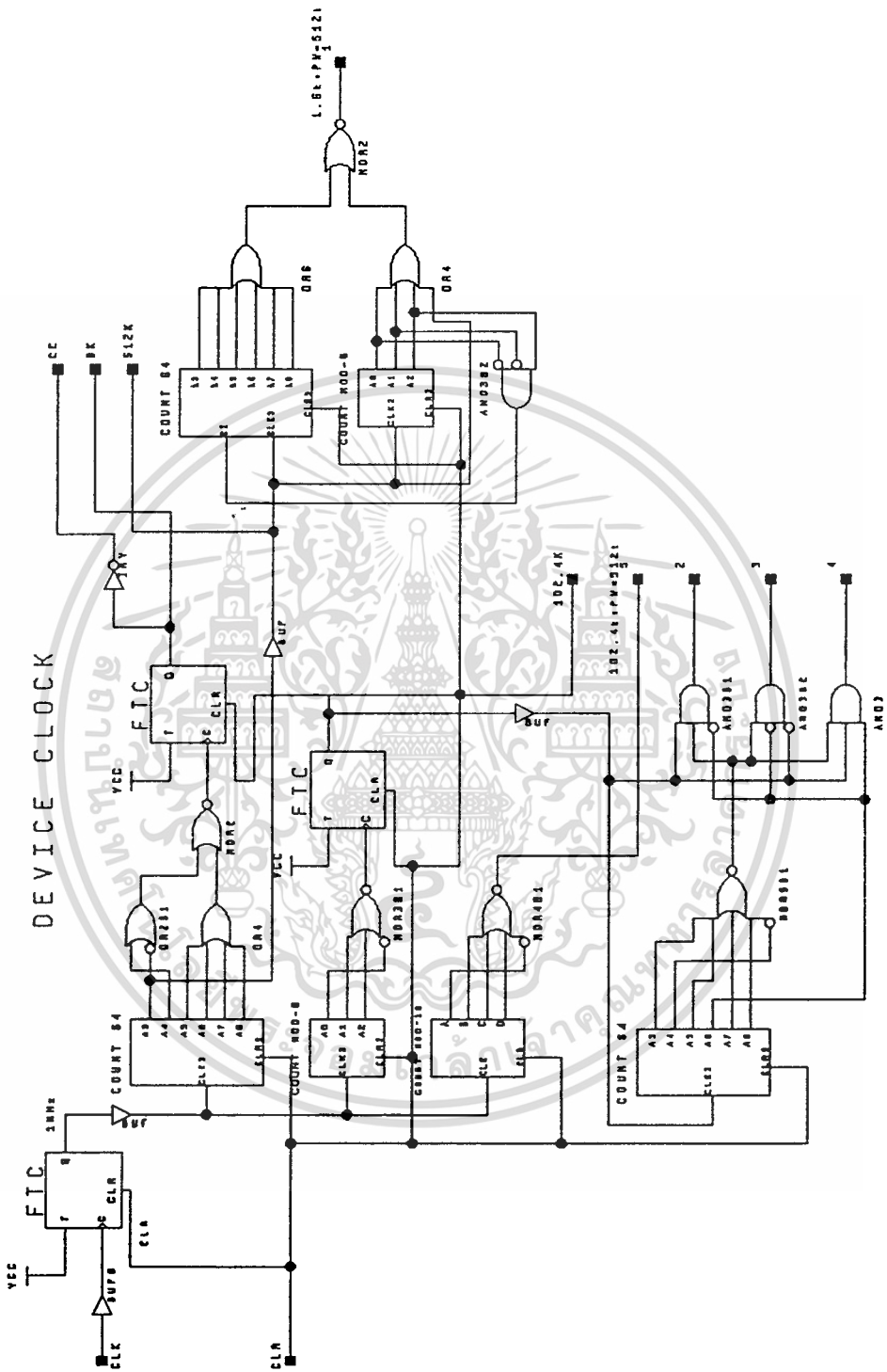
รูปที่ 3.7 วงจร ADD ถึงวงจรเปรียบเทียบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 วงจรส่งข้อมูลออก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

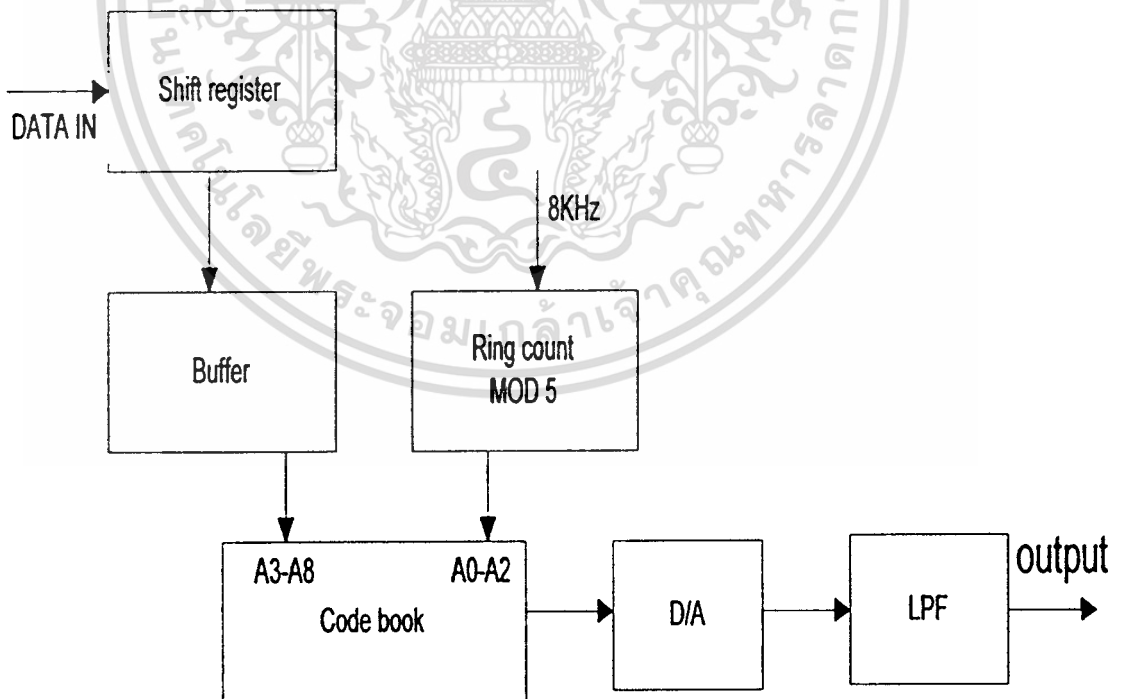


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่าวิธีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

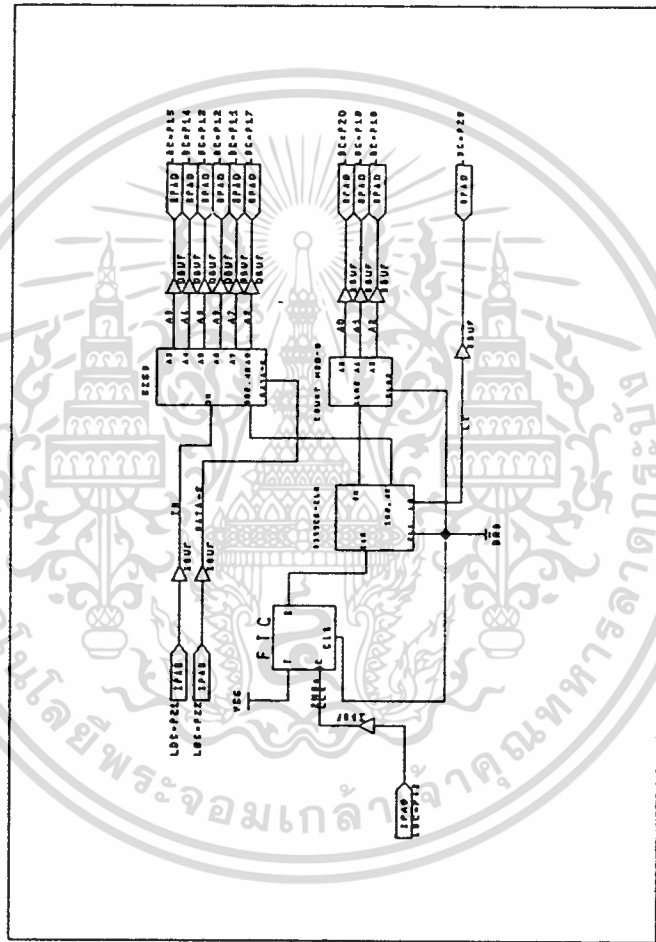
3.3.2 การออกแบบวงจรถอดรหัสเสียง

ขั้นตอนการออกแบบนั้น มีลักษณะเช่นเดียวกับในหัวข้อที่ 3.3.1 ซึ่งบล็อกไดอะแกรมของวงจรถอดรหัสแสดงดังรูป 3.10 จากรูปที่ 3.10 มีหลักการทำงานดังนี้ คือ วงจรรับข้อมูลจะทำการรับข้อมูลจำนวน 6 บิต ซึ่งมาจากวงจรเข้ารหัส และจะส่งมาเก็บไว้ที่วงจร Reg #6 เพื่อทำการเปิดข้อมูลที่อยู่ใน Codebook ออกไป ซึ่งในการเปิดข้อมูลใน Codebook นั้นจะใช้วงจรนับ 5 มาช่วยในการเปิดด้วย จากนั้นที่ได้จากการเปิดข้อมูลนั้นจะส่งผ่านมายังวงจร D/A เพื่อทำการแปลงข้อมูลจากสัญญาณดิจิทัลให้เป็นข้อมูลสัญญาณแอนาล็อกผ่านวงจร LPF เพื่อกรองสัญญาณให้เรียบจากนั้นก็ส่งไปยังวงจรขยายสัญญาณเพื่อให้สัญญาณมีความแรงพอที่จะขับออกลำโพงได้

จากหลักการทำงานของผังการทำงาน ก็จะสามารถออกแบบเป็นวงจรสำเร็จได้ดังรูป 3.11 ซึ่งจะประกอบไปด้วย ส่วนของวงจรรับข้อมูลและวงจร Reg #6 ดังรูปที่ 3.12 วงจรนับ 5 นั้นเช่นเดียวกับวงจรเข้ารหัสเสียง ดังรูปที่ 3.4 วงจร D/A จนถึงวงจร LPF ดังรูปที่ 3.13

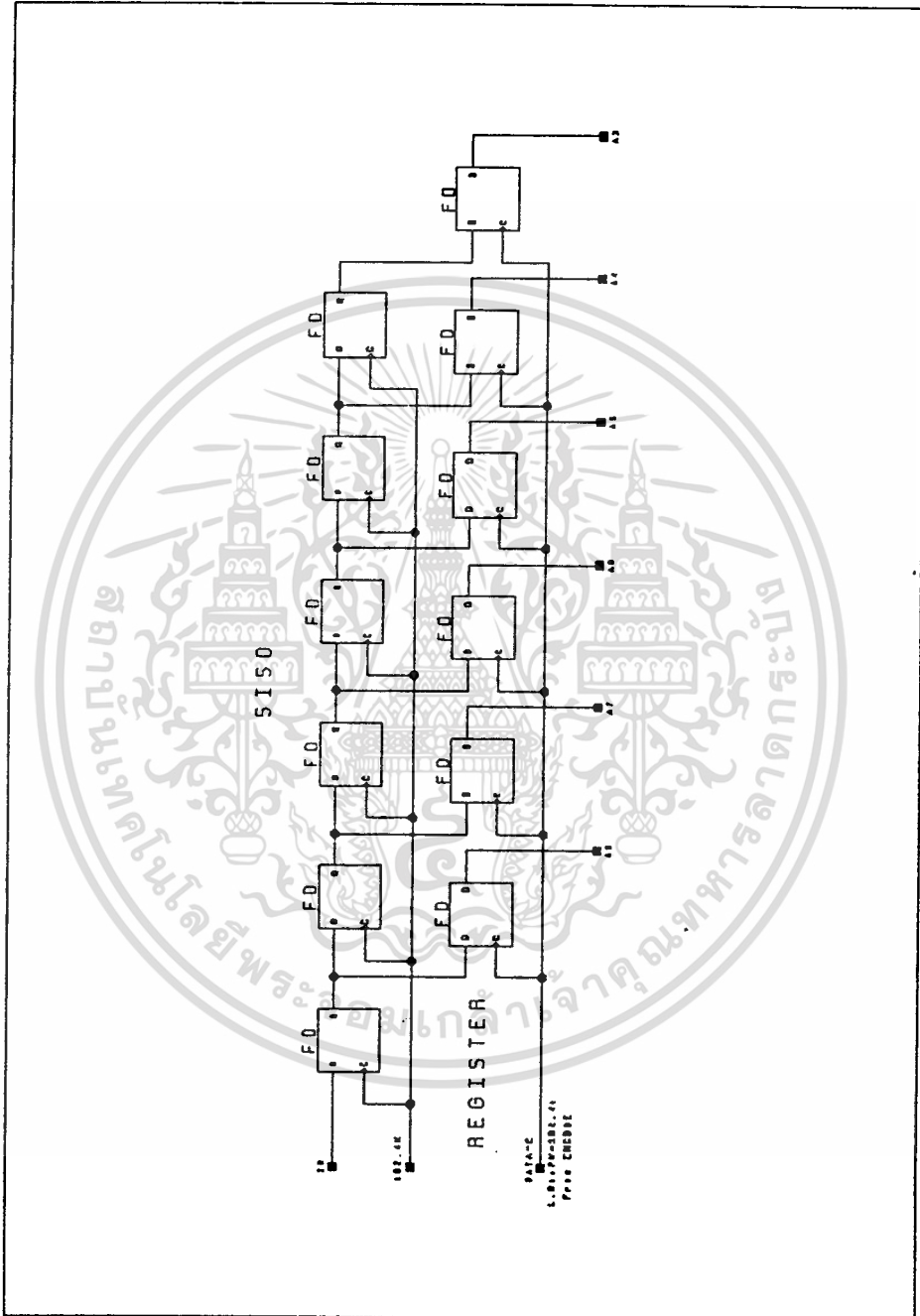


รูปที่ 3.10 ผังการทำงานของวงจรถอดรหัส



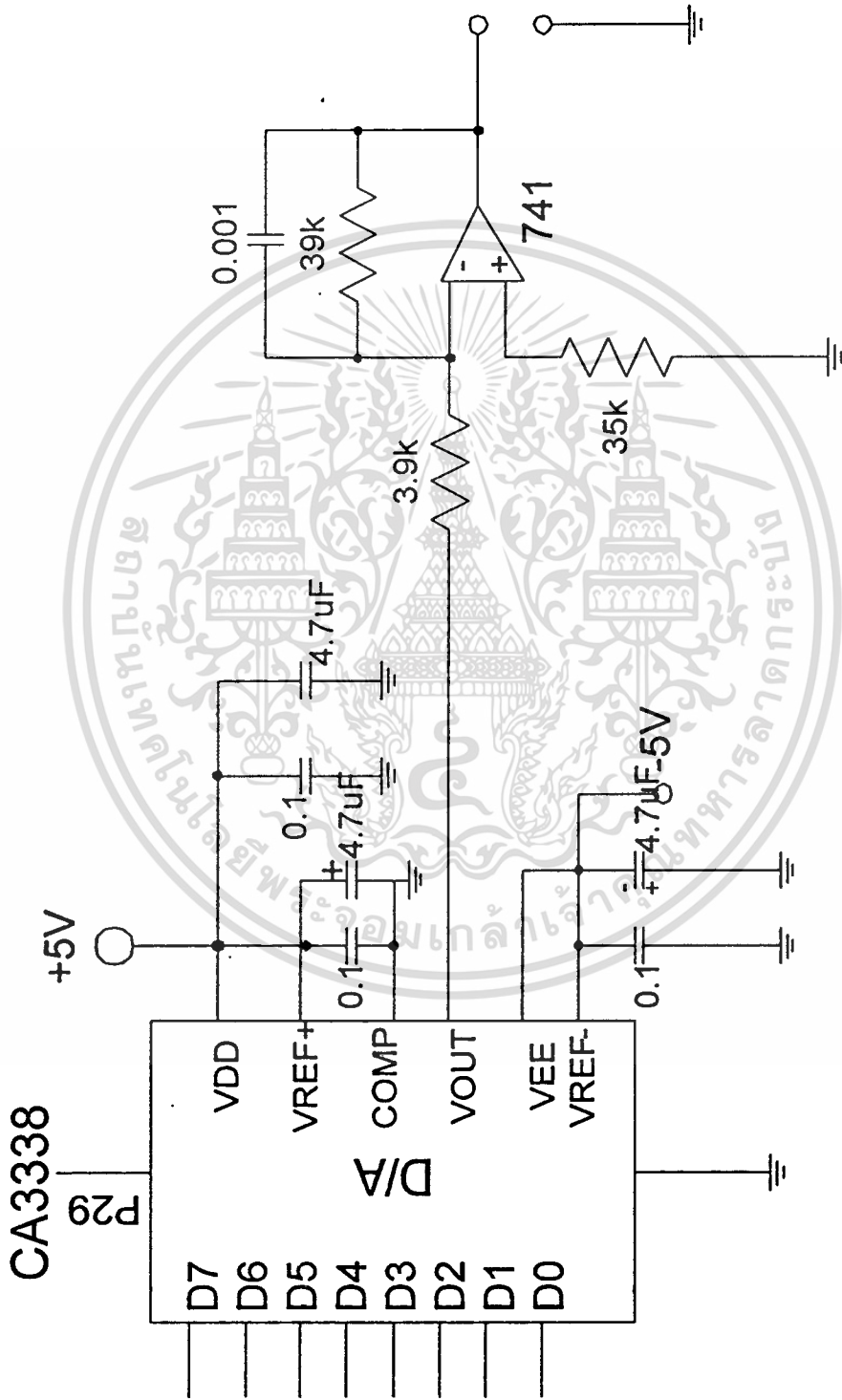
รูปที่ 3.11 วงจรสำเร็จของวงจรออดิโอเพียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 วงจรรับข้อมูล และวางจร Reg # 6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 วงจร LPF

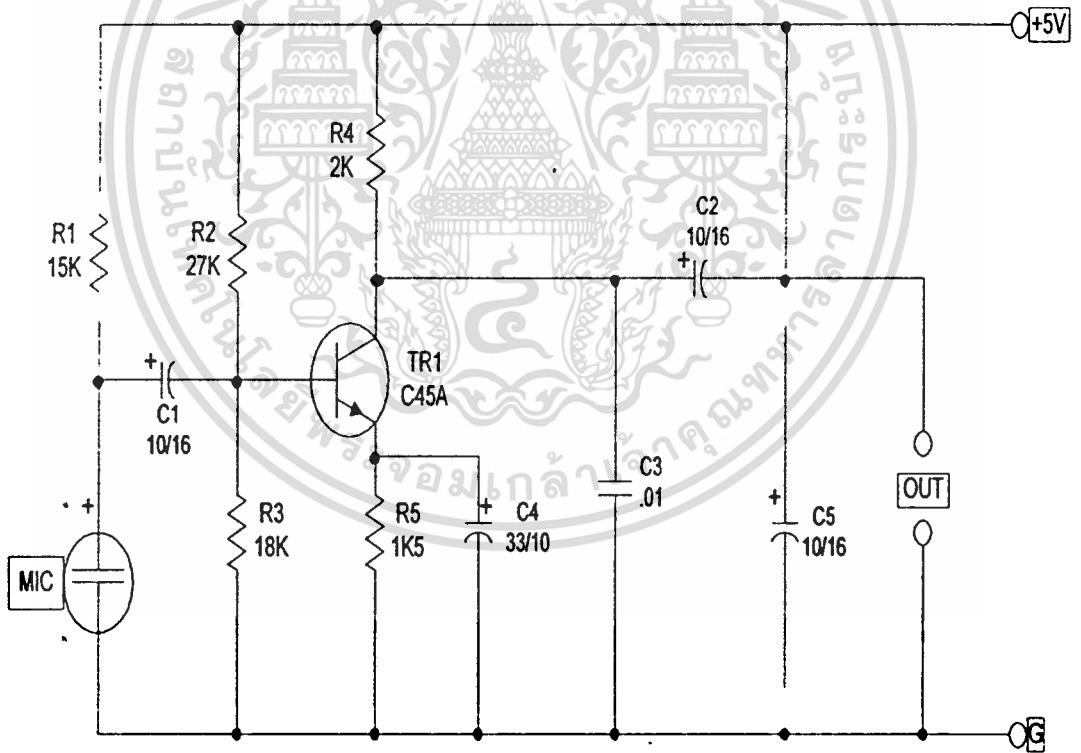
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.3 วงจรปริไมโครโฟน

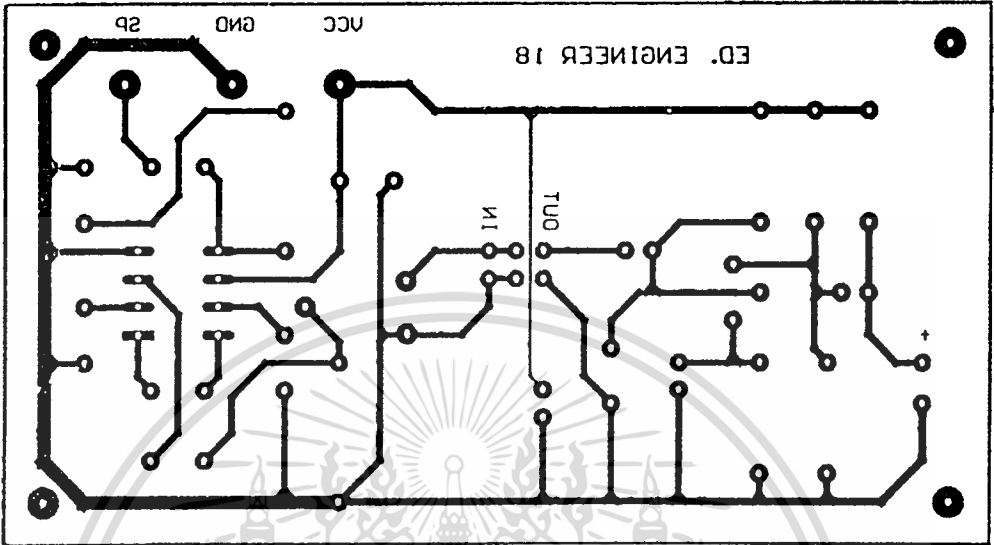
วงจรปริไมโครโฟนทำหน้าที่ขยายสัญญาณให้สูงก่อนที่จะทำการส่งออกไปภาค Encoder การออกแบบปริไมโครโฟนมีหลักการพิจารณาดังนี้

1. มีคุณภาพเสียงดี
2. มีสัญญาณรบกวนต่ำ
3. รับสัญญาณอินพุตจากไมโครโฟนได้โดยตรง
4. ส่งสัญญาณเอาต์พุตออกไปยังภาคเพาเวอร์แอมป์ได้
5. มีขนาดเล็กกระทัดรัด

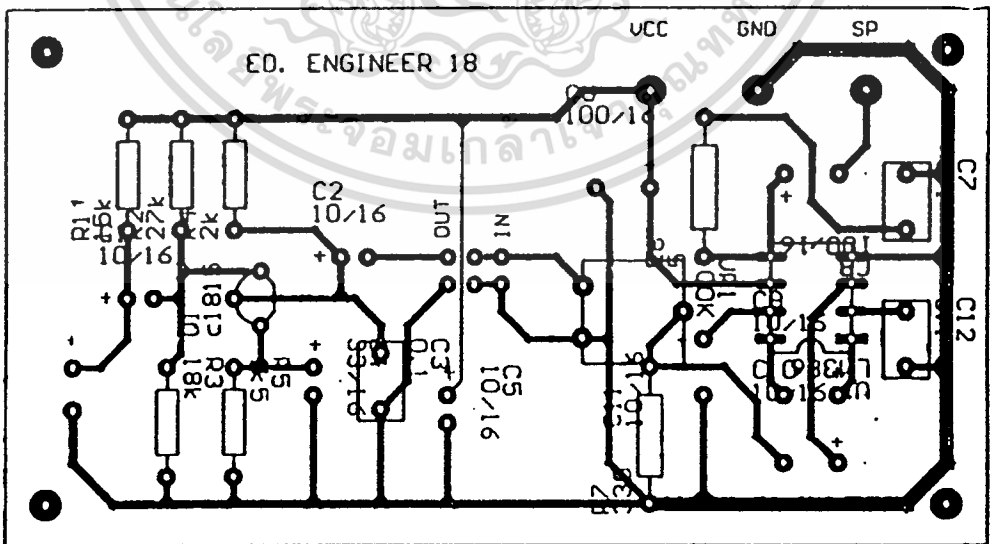
ซึ่งวงจรดังแสดงในรูปที่ 3.14 ลายวงจรพิมพ์ดังแสดงในรูปที่ 3.15 รูปแสดงการวางอุปกรณ์ดังแสดงในรูป 3.16



รูปที่ 3.14 วงจรปริไมโครโฟน



รูปที่ 3.15 ลายวงจรพิมพ์

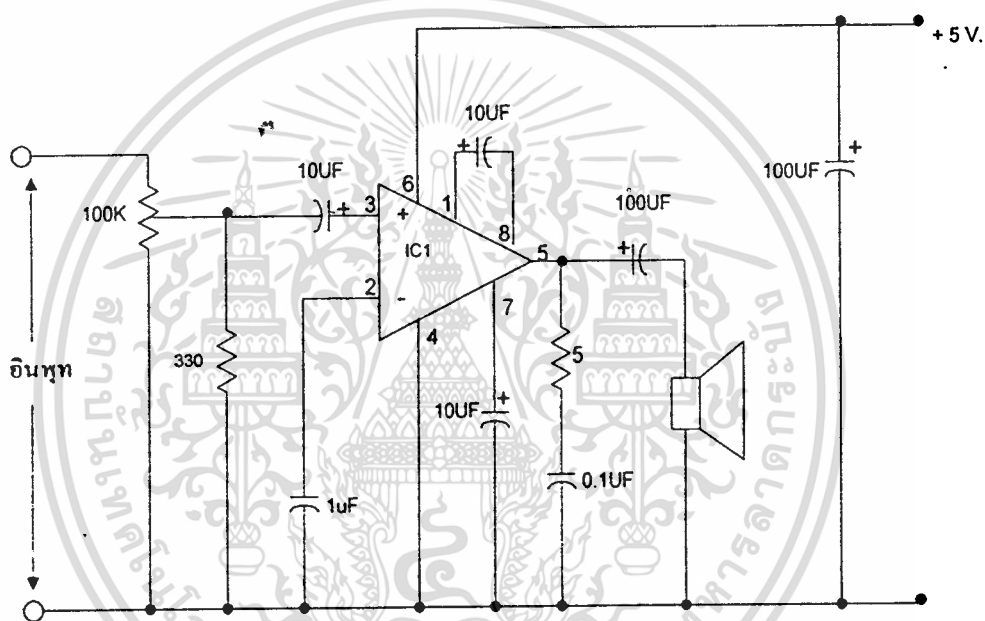


รูปที่ 3.16 การวางอุปกรณ์

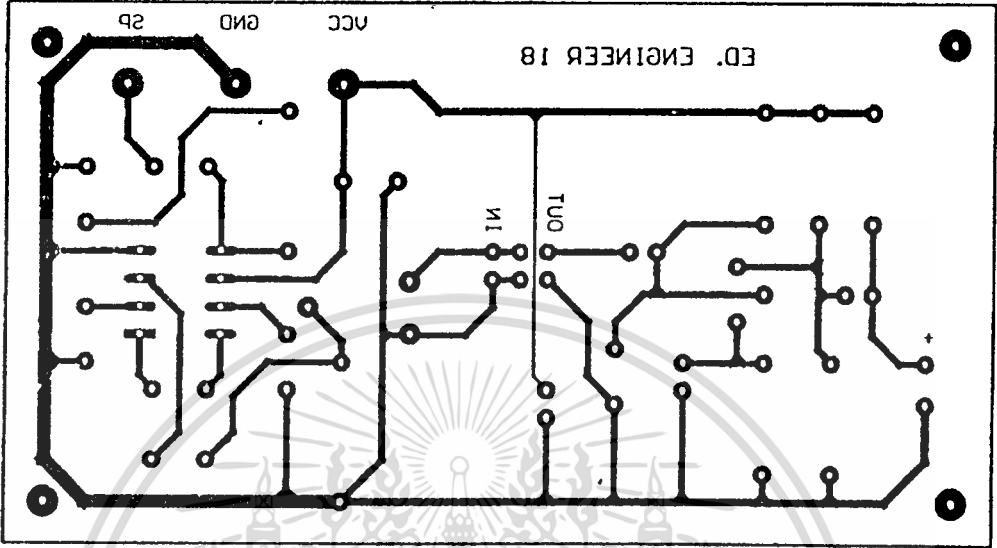
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.4 วงจรเพาเวอร์แอมป์

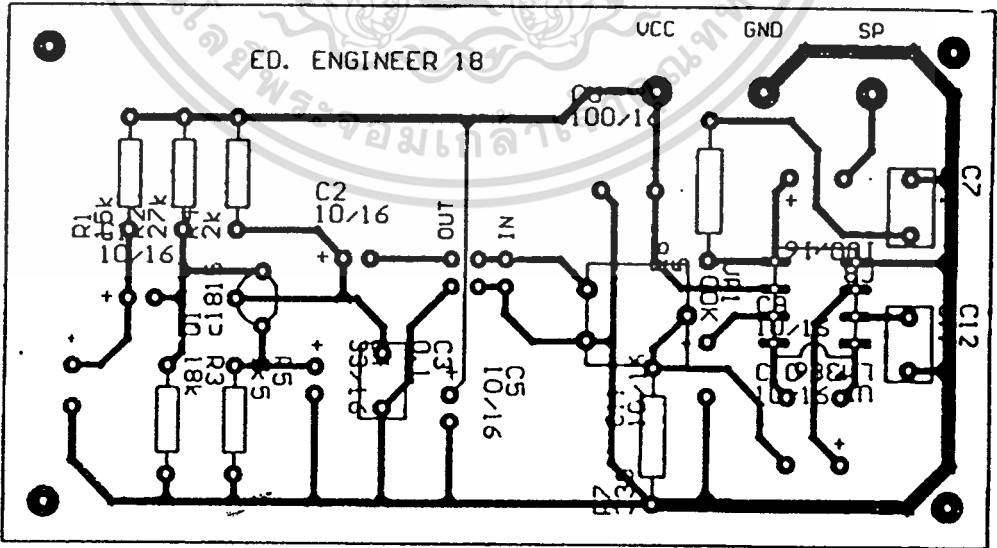
การทำงาน ขยายสัญญาณเสียงให้มีความแรงพอที่จะขับออกลำโพงได้ โดยใช้ไอซีเบอร์ LM386 ซึ่งสามารถขับออกลำโพงได้โดยตรงและใช้อุปกรณ์น้อย ซึ่งวงจรเพาเวอร์แอมป์นั้นแสดงในรูปที่ 3.17 รูปลายพิมพ์ของวงจรเพาเวอร์แอมป์แสดงในรูปที่ 3.18 รูปแสดงการวางอุปกรณ์แสดงในรูปที่ 3.19 และรูปสำเร็จเมื่อประกอบวงจรเข้าเสร็จแล้วนั้นแสดงดังรูป 3.20 ซึ่งจะรวมกันกับวงจรปริโมโครโฟนด้วย



รูปที่ 3.17 วงจรเพาเวอร์แอมป์



รูปที่ 3.18 -ลายวงจรพิมพ์ปริโมโครโฟนและเพาเวอร์แอมป์



รูปที่ 3.19 การวางอุปกรณ์

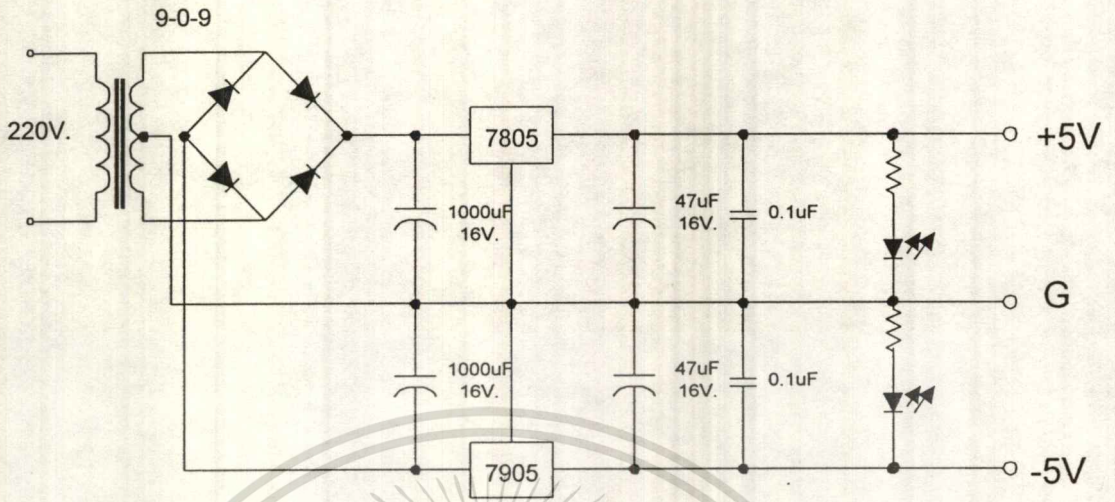
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น มิอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



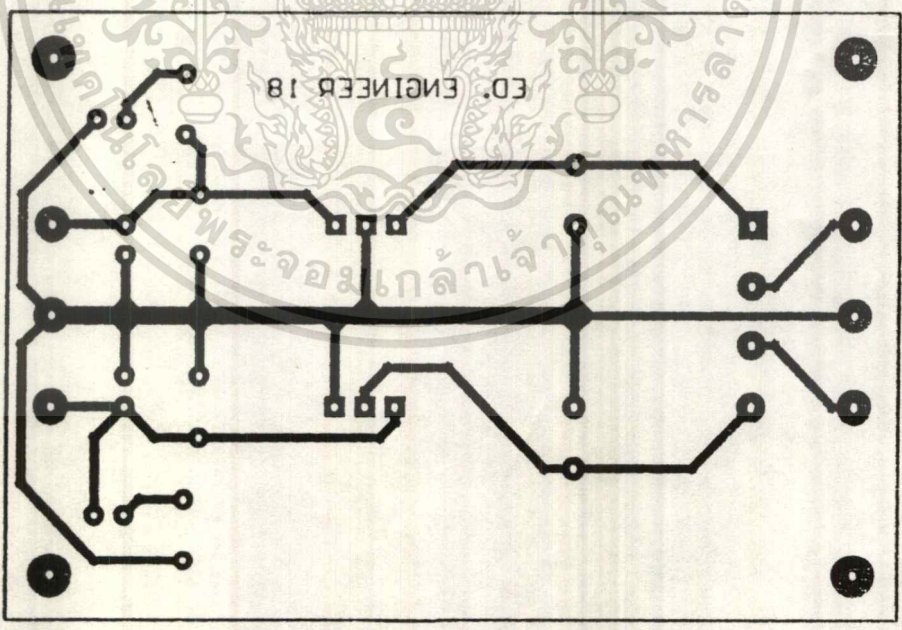
รูปที่ 3.20 รูปประกอบเสร็จของปริมาตรโฟนและเพาเวอร์แอมป์

3.3.5 วงจรแหล่งจ่ายไฟ

การทำงาน เนื่องจากวงจรทั้งหมดใช้แรงดันไฟเลี้ยงวงจรขนาด ± 5 VDC. เท่ากัน จึงสามารถใช้แหล่งจ่ายไฟรวมกันได้ ซึ่งในการออกแบบจะใช้ไอซีเรกกูเรเตอร์เบอร์ 7805 และ 7905 ร่วมกับหม้อแปลง วงจรเรียงกระแส และวงจรกรองกระแสดังรูปที่ 3.21 รูปลายวงจร พิมพ์รูป 3.22 รูปการวางอุปกรณ์ดังรูป 3.23 และรูปเมื่อประกอบวงจรเสร็จดังรูป 3.24

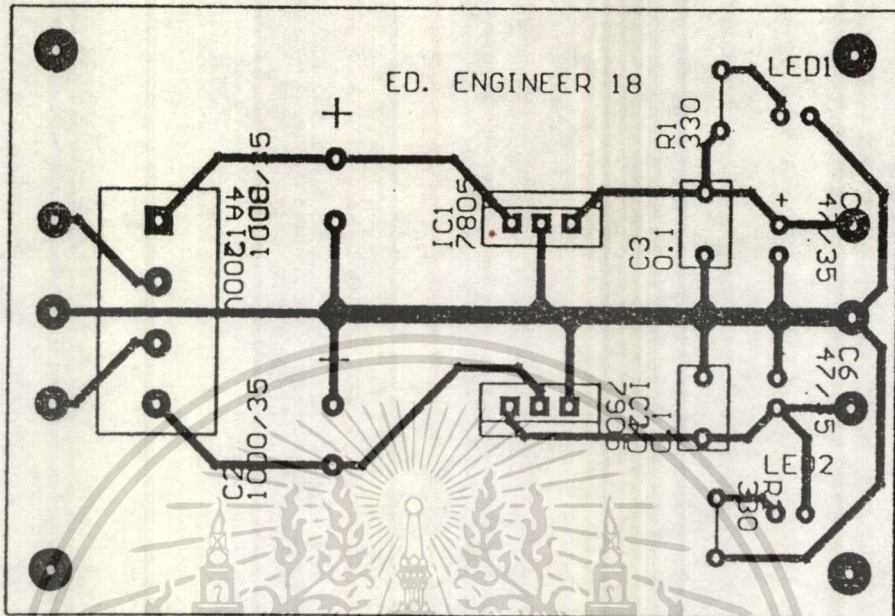


รูปที่ 3.21 วงจรแหล่งจ่ายไฟ

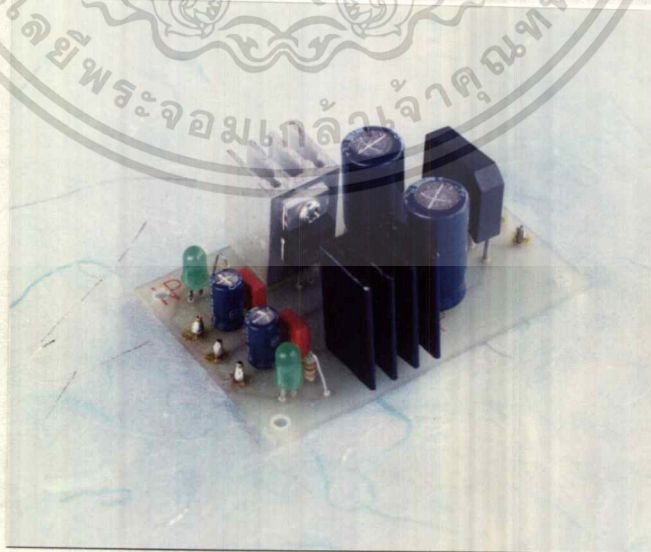


รูปที่ 3.22 ลายวงจรพิมพ์วงจรแหล่งจ่ายไฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไมอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

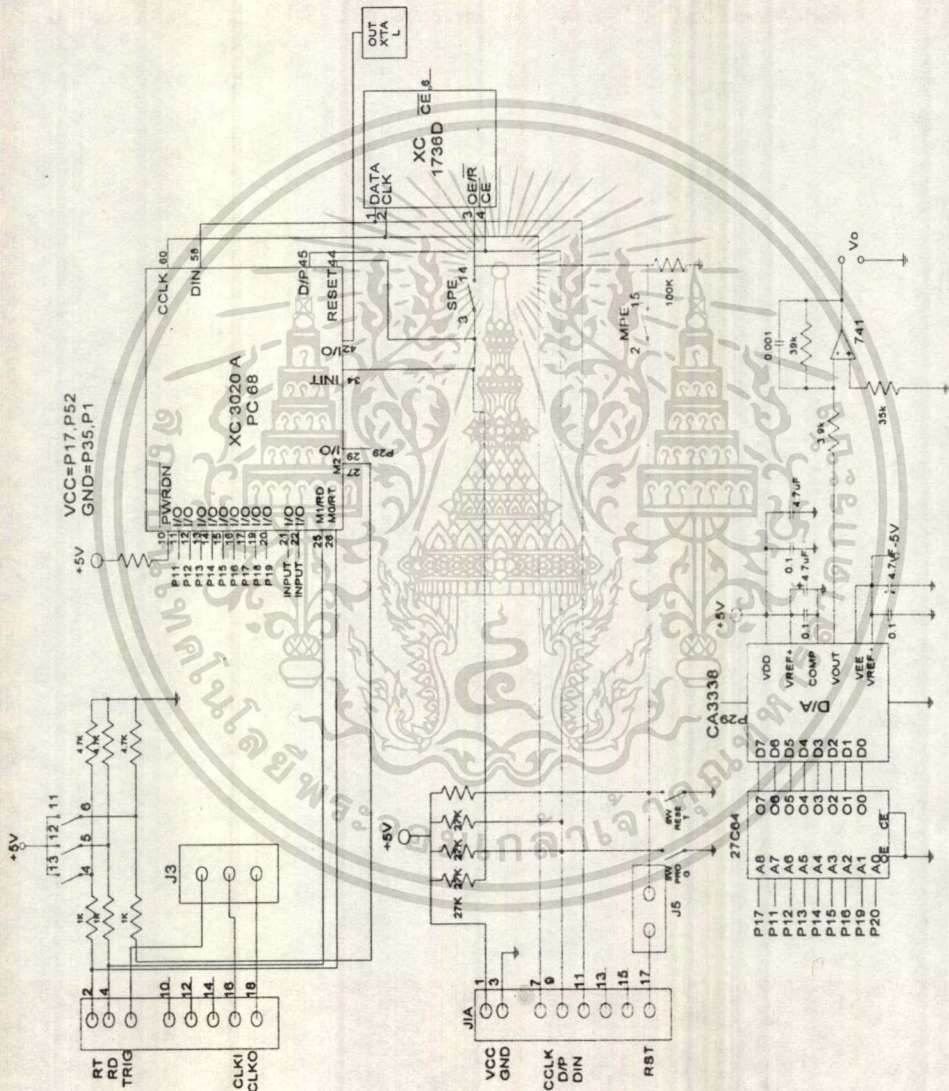


รูปที่ 3.23 การวางอุปกรณ์วงจรแหล่งจ่ายไฟ



รูปที่ 3.24 แสดงชุดอุปกรณ์แหล่งจ่ายไฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.25 วงจรทดสอบ

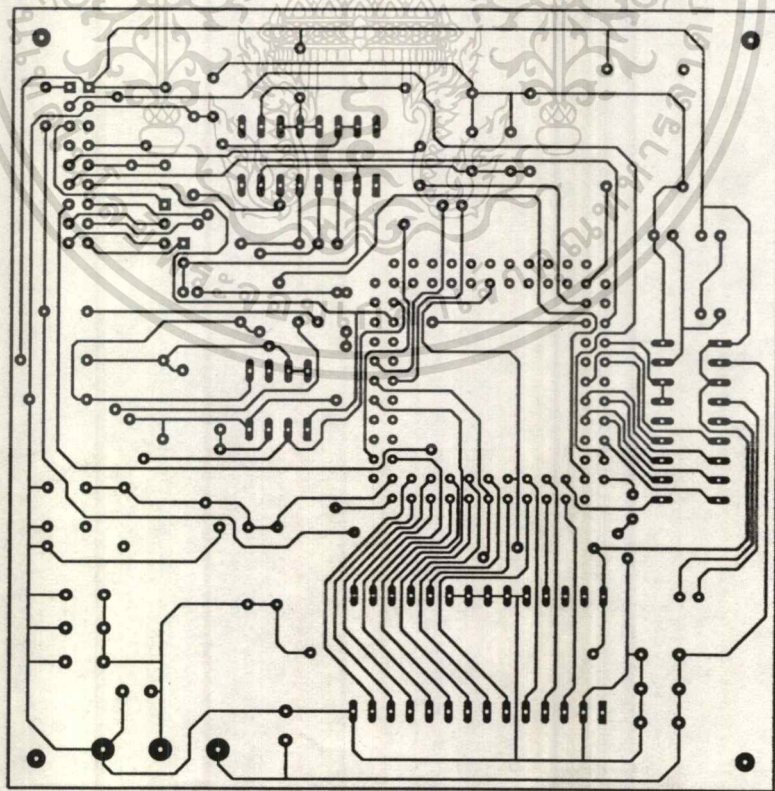
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 การสร้างวงจรเข้ารหัสเสียงและถอดรหัสเสียงด้วยวิธีการควอนไทซ์เวกเตอร์

การสร้างวงจรทดสอบของวงจรเข้ารหัสเสียงและถอดรหัสเสียงด้วยอุปกรณ์ FPGA นั้นเป็นบอร์ดตัวอย่างของ FPGA ซึ่งจะทำการโปรแกรมผ่านทางคาน์โหลดเคเบิล (Download cable) โดยวงจรที่ใช้ทดสอบ แบ่งออกเป็นวงจรส่วนต่าง ๆ ดังนี้

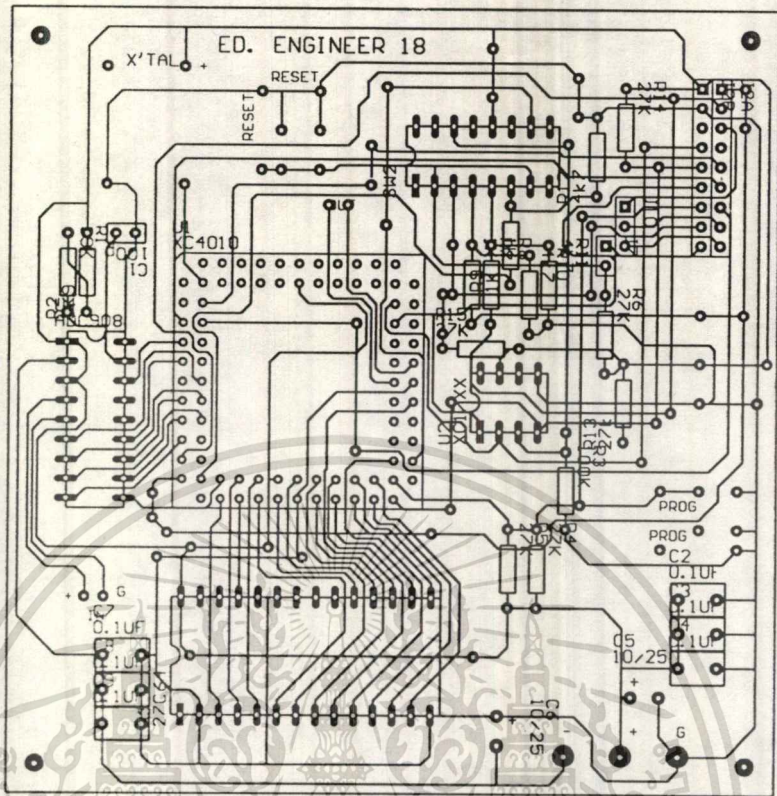
3.4.1 วงจรเข้ารหัสเสียง

จากที่ได้ทำการออกแบบวงจรเข้ารหัสเสียงตามบล็อกไดอะแกรมไว้แล้วนั้น จะนำวงจรที่ได้ออกแบบตามรูปที่ 3.3 บนอุปกรณ์ FPGA เบอร์ XC4005APC84 ซึ่งเป็นหัวใจหลักของวงจรทดสอบนี้ ซึ่งวงจรทดสอบนี้จะประกอบไปด้วยไอซี A/D เบอร์ ADC908 ซึ่งทำหน้าที่แปลงสัญญาณจากสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล EPROM ใช้สำหรับเก็บ DATA ของ Codebook เบอร์ 27C64 และมีสวิตช์เป็นตัวเลือกโหมดการทำงานของ FPGA ซึ่งวงจรทดสอบของวงจรเข้ารหัสเสียงดังแสดงในรูป 3.25 รูปลายวงจรดังแสดงในรูป 3.26 รูปการวางอุปกรณ์แสดงในรูป 3.27 รูปวงจรเมื่อประกอบเสร็จแสดงในรูป 3.28

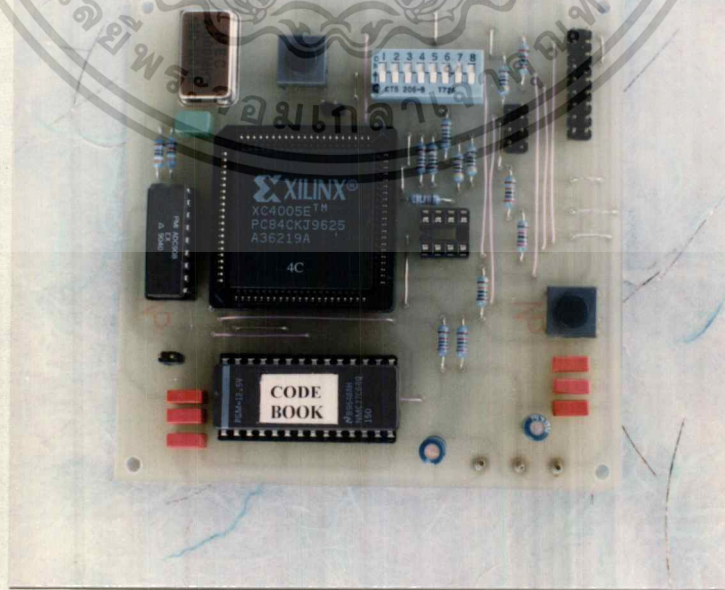


รูป 3.26 ลายวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.27 การวางอุปกรณ์

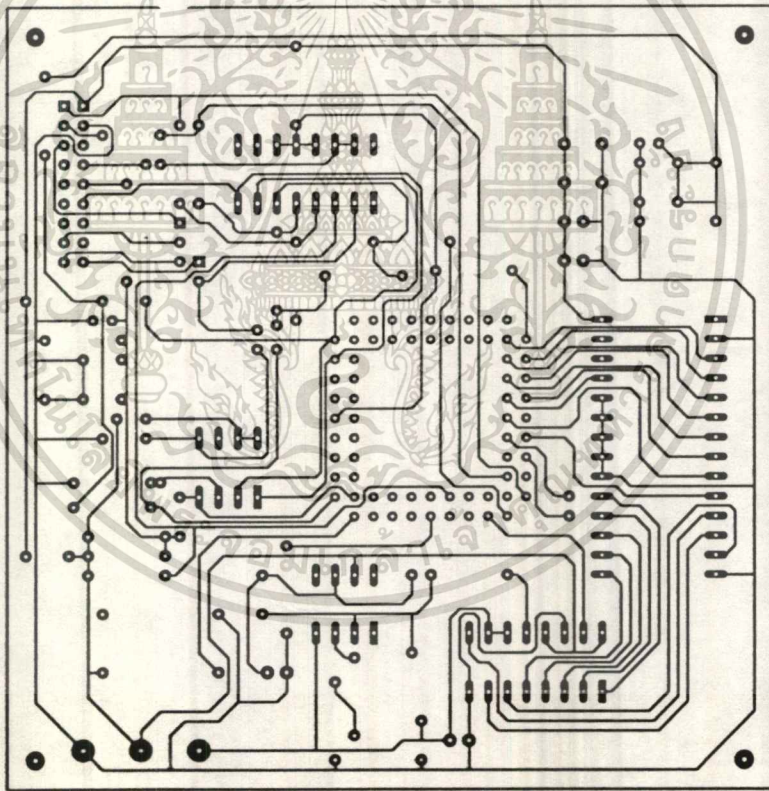


รูป 3.28 รูปประกอบเสร็จ

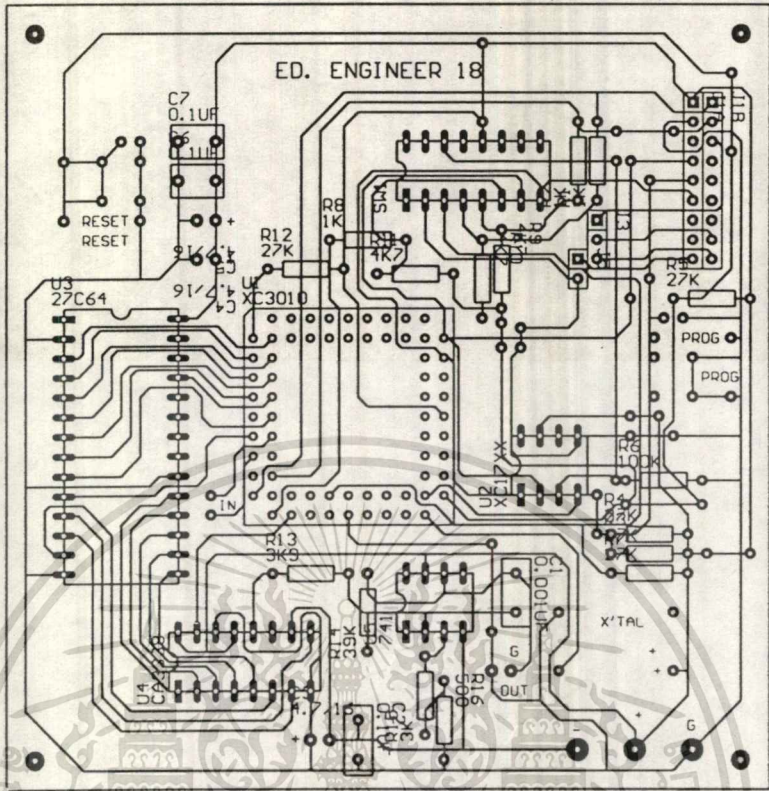
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.2 วงจรถอดรหัสเสียง

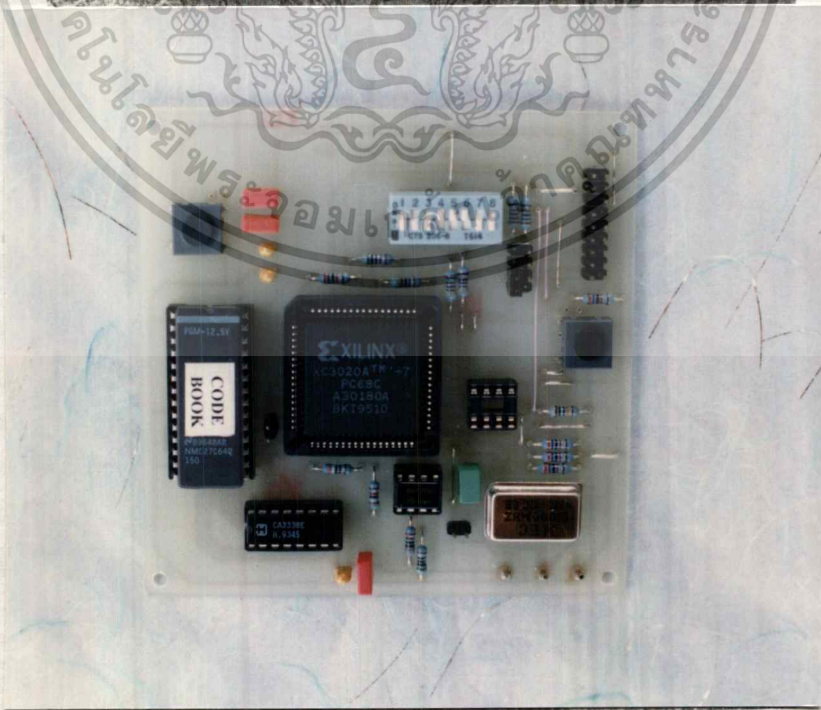
จากที่ได้ทำการออกแบบวงจรถอดรหัสเสียงตามรูปที่ 3.11 ได้นาวางจรนี้ที่ได้ออกแบบไว้ นั้นมาโปรแกรมลงบนอุปกรณ์ FPGA เบอร์ XC3020APC68 ซึ่งเป็นหัวใจหลักของวงจรทดสอบของวงจรถอดรหัสเสียง ซึ่งจะประกอบไปด้วยไอซี D/A เบอร์ CA3338 ซึ่งทำหน้าที่แปลงสัญญาณจากดิจิทัลเป็นสัญญาณแอนะล็อกและมี EPROM เก็บ DATA ของ Codebook เบอร์ 27C64 เช่นเดียวกับทางด้านวงจรเข้ารหัสเสียง หรือวงจรทดสอบของวงจรถอดรหัสเสียง แสดงในรูป 3.29 รูปลายวงจรพิมพ์แสดงในรูป 3.30 รูปการวางอุปกรณ์แสดงในรูป 3.31 และรูปเมื่อประกอบวงจรเสร็จแสดงในรูป 3.32



รูป 3.30 รูปลายวงจร

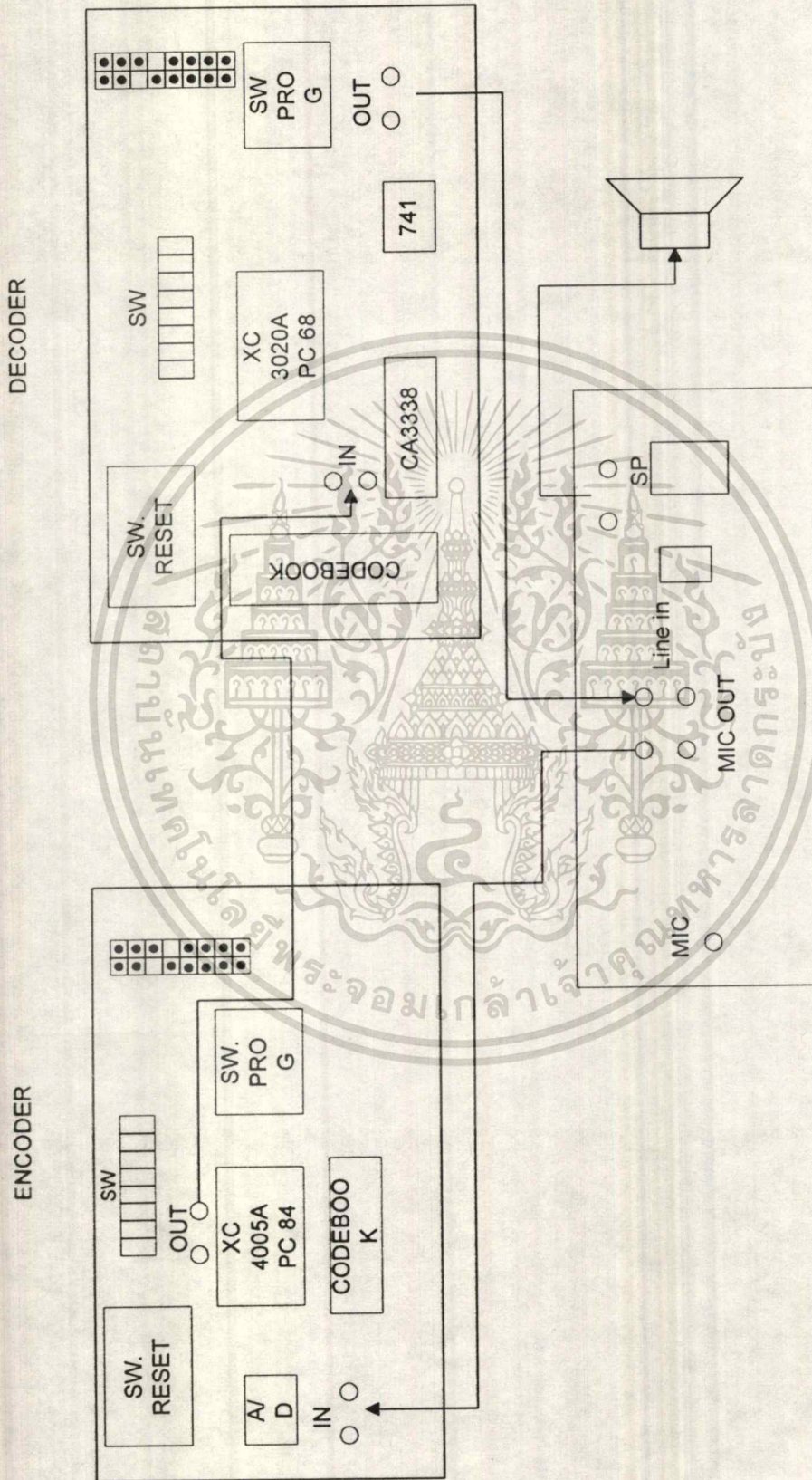


รูป 3.31 การวางอุปกรณ์



รูป 3.32 รูปประกอบเสร็จ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



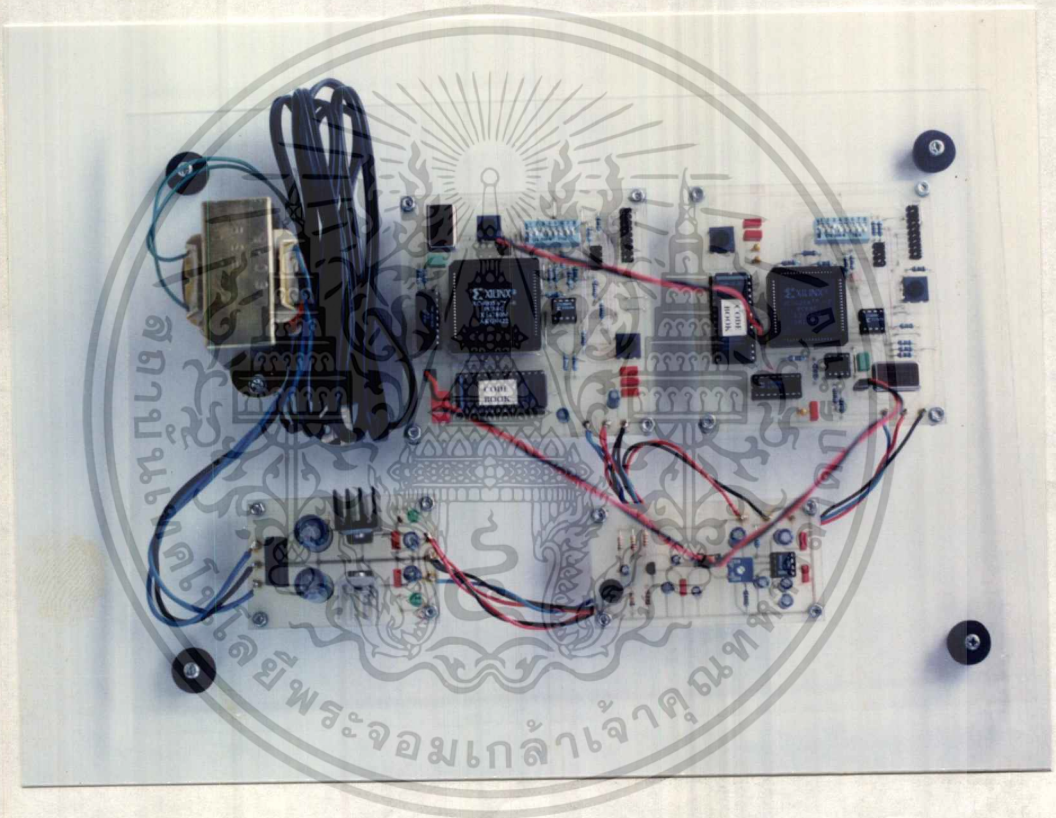
รูปที่ 3.33 การเชื่อมต่อระหว่างวงรเข้ารหัสและวงถอดรหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 การเชื่อมต่อระหว่างวงจรเข้ารหัสเสียงและถอดรหัสเสียง

การทดสอบวงจรคอนโทรลเลอร์นั้นจะต้องทำการเชื่อมต่อระหว่างวงจรทดสอบของวงจรเข้ารหัสเสียงและวงจรทดสอบของวงจรถอดรหัสเสียงและวงจรปรีไมโครโฟนและวงจรมอนิเตอร์เข้าด้วยกัน เพื่อให้ได้เป็นวงจรสมบูรณ์

สำหรับใช้ทดสอบวงจรทั้งหมด ซึ่งการเชื่อมต่อระหว่างวงจรมอนิเตอร์นั้น แสดงดังรูป 3.33 และรูปการเชื่อมต่อวงจรทดสอบเมื่อประกอบเสร็จสมบูรณ์จะแสดงในรูป 3.34



รูป 3.34 รูปวงจรจริงเมื่อประกอบเสร็จ

บทที่ 4

การทดลองและผลการทดลอง

เครื่องควอนไทซ์เวกเตอร์ที่เวลาจริง โดยใช้อุปกรณ์ FPGAs เป็นเครื่องที่สร้างขึ้นเพื่อควอนไทซ์สัญญาณเสียง โดยวิธีการเข้ารหัส ซึ่งในบทที่ 1-3 ได้กล่าวถึงแนวความคิด ทฤษฎีการออกแบบ และการสร้างมาแล้ว ในบทนี้จะกล่าวถึงการทดสอบการทำงานของเครื่องควอนไทซ์เวกเตอร์

การทดสอบการทำงานของเครื่องจะกระทำได้โดยการต่อเครื่องควอนไทซ์เวกเตอร์ทั้งคู่เข้าด้วยกัน จากนั้นทดลองป้อนสัญญาณที่ต้องการส่ง โดยผ่านการควอนไทซ์เวกเตอร์เข้าที่เครื่องส่งโดยให้เก็บข้อมูลและวัดความถี่ก่อนส่ง จากนั้นให้ทดลองฟังพร้อมกับทำการวัดสัญญาณที่เครื่องรับ

4.1 ขั้นตอนในการสร้างไฟล์องค์ประกอบ

หลังจากทำขั้นตอนการทดสอบโดยโปรแกรมเสร็จเรียบร้อยแล้ว ก็จะเป็นการตรวจสอบวงจรโดยการดาวน์โหลดลงบนบอร์ดตัวอย่างของ FPGAs ทำงานได้มีหลายแบบดังที่กล่าวมา แต่ขั้นตอนการทดสอบนี้จะต้องใช้ดาวน์โหลดเคเบิล (Download Cable) เป็นตัวส่งองค์ประกอบสำหรับควบคุมให้ FPGAs XC4003APC84-6 ทำงานโดยองค์ประกอบที่ใช้ควบคุม FPGAs จะถูกเก็บเป็นไฟล์ .BIT ซึ่งขั้นตอนการสร้างไฟล์สามารถทำได้ตามขั้นตอนต่าง ๆ ดังต่อไปนี้

4.1.1 การกำหนดองค์ประกอบให้กับ XDM และ XMAKE

ใน XDM (XACT Design Manager) นั้น XMAKE จะทำการแปลงโปรแกรมส่วนต่างๆ โดยอัตโนมัติโดยใช้กระบวนการของ Xilinx (Xilinx design flow) ในการทำกระบวนการออกแบบที่ซับซ้อน เช่น ในการทำโปรแกรมหนึ่งต้องป้อนชื่อในชั้น (level) สูงสุดของสกีแมททิกที่วาดไว้ แล้ว XMAKE จะทำการค้นและกระทำทุก ๆ ชั้นที่ต่ำลงมาของการออกแบบ (lower-level drawing) ซึ่งจะได้ไฟล์ LCA ที่ทำการจัดวางและหาเส้นทางแล้ว และให้ไฟล์นามสกุล .BIT ออกมาซึ่งพร้อมที่จะดาวน์โหลดให้ FPGAs ทำงานได้

ใช้ XDM ทำการกำหนดองค์ประกอบให้กับ XMAKE จะกระทำได้อันนี้คือ

1. เข้าสู่โปรแกรม XDM
2. ตรวจสอบไคเรคทอรีที่ตั้งไว้ ในที่นี้ก็คือตัว PROJECT ไคเรคทอรีนั่นเอง ซึ่งจะแสดงที่มุมล่างด้านซ้ายของจอภาพ ถ้ายังไม่ได้กำหนดหรือตั้งไว้ไม่ถูกต้องให้คลิกที่ Directory และใช้เมาส์เลือกไคเรคทอรีที่ต้องการ
3. ทำการคลิกบน Family ก็จะมีปรากฏซึ่งเราสามารถเลือกได้ ในที่นี้เราเลือก 4000APC84 สำหรับไฟล์ PJ1.1
4. จากเมนูหลักของ XDM เลือก Profile => Options => Xmake
5. เลือก -V (Verbose message mode) ซึ่ง Xmake จะให้ดูข้อมูลแสดงกระบวนการออกแบบ
6. เลือก Done => Done เพื่อกลับสู่เมนูหลักของ XDM
7. ทำการเก็บข้อมูล (Save) ทุกอย่างที่ได้เปลี่ยนไปโดยเลือก Profile => Saveprofile => Yes ซึ่งจะทำการเก็บข้อมูลในชื่อ xdm.pro การแปลงไฟล์ในการออกแบบ (Translation the Design)

ในขณะนี้ได้ทำการกำหนดคอนฟิกเลขรันไว้แล้ว ต่อไปทำตามขั้นตอนดังต่อไปนี้

1. เลือก Translate จะปรากฏเมนูของ Translate ซึ่งประกอบด้วยโปรแกรมของ Xilinx อีกมากมาย
2. ทำการแปลงโดยอัตโนมัติโดยเลือก XMAKE แล้วตัวเลือก (Option) ต่าง ๆ ก็จะมีปรากฏ
3. ในการออกแบบนี้เราจะใช้ตัวเลือกที่ตั้งไว้ใน xdm.pro ดังนั้นจึงเลือก Done แล้วไคเรคทอรีที่เป็นเมนูก็จะปรากฏ
4. เลือกไฟล์ขั้นสูงสุดที่ได้ออกแบบไว้ ในที่นี้เลือก PJ1.1 สำหรับ 400.APC84-6 พร้อม Select target : ก็จะปรากฏเราจะเลือกการแปลงที่สมบูรณ์โดยการสร้างเป็นสตรีม(Bitstream)
5. เลือก Make bitstream

โปรแกรม Xmake จะกระทำทุกๆ ไฟล์ในการออกแบบที่จำเป็นและแสดงความคิดเห็นหน้าบนจอภาพ เมื่อทำการแปลงเสร็จ Xmake จะแสดงข้อความว่าเป็น

'pj1.bit' has been made, check out put in 'pj1.out'

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้เฉพาะเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

6. กดปุ่มใด ๆ เพื่อกลับสู่ XDM

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.2 การตรวจสอบเอาต์พุตไฟล์ของ Xmake

ในการจัดทำเส้นทางไฟล์ .LCA และทำการบิตสตรีมไฟล์ .BIT นั้น จะให้ไฟล์ที่จำเป็นขึ้นมาอีก 3 ไฟล์คือ

1. ไฟล์ .OUT จะบรรจุข้อมูลที่สำเนา (copy) จากหน้าจอแสดงผล เราสามารถตรวจสอบอีกครั้งจากไฟล์ .OUT

2. ไฟล์ .PRP จะเป็นไฟล์ที่รายงานเกี่ยวกับ DRC ที่ถูกสร้างขึ้นโดย XNFPprep ตรวจสอบพบข้อผิดพลาด (errors) หรือการเตือน (warnings) ที่เป็นไฟล์ .OUT ก็จะสามารถตรวจสอบได้จากไฟล์นี้ นอกจากนี้ยังอธิบายถึงสภาพลอจิก (logic) ที่ได้ทำไว้เรียบร้อยและลอจิกที่ไม่จำเป็น ไฟล์นี้สามารถใช้เป็น Debugging tool ได้

3. ไฟล์ .RPT จะเป็นไฟล์ที่รายงานผลลัพธ์ของการจัดวางและหาเส้นทาง ซึ่งจะสร้างโดยโปรแกรม Place and route ซึ่งการทำ PPR และ APR จะขึ้นอยู่กับตระกูล (Family)

การตรวจสอบไฟล์ .OUT .PRP และ .RPT ในการออกแบบ โดยที่เมนูหลักของ XDM เลือก Utilities => Edit และเลือกไฟล์ที่ต้องการตรวจสอบเส้นทางที่ได้ออกแบบไว้กับ XDE (Examining Routed Designs With XDE)

ถ้าเราทำการออกแบบสมบูรณ์ EditLCA ในโปรแกรมย่อยของ XDE (XACT Desing Editor) จะทำให้เราเข้าสู่โหมดกราฟฟิกเพื่อเข้าไปดูการ Place and route ที่ได้ออกแบบไว้

XDE และ EditLCA ได้ทำการเตรียมไว้หลายฟังก์ชันให้เราใช้ เช่น การออกแบบด้วยมือ การแทรกโพรบขณะทำการตรวจสอบ เป็นต้น

4.1.3 การเข้าสู่หน้าต่างของการออกแบบ (Design Editor)

ทำการเรียก XDE จาก XDM ทำตามขั้นตอนดังต่อไปนี้

1. ที่พูลดาวน์เมนู (Pulldown Menu) เลือก PlaceRoute => XDE เมนูตัวเลือกจะปรากฏ และตัวเลือกที่ได้กำหนดไว้ก็ถูกต้อง

2. เลือก Done

3. คลิกบน Mode โดยใช้ปุ่มซ้ายของเมาส์ แล้วเมนูตัวเลือกของ Safe หรือ Expert จะปรากฏ

4. คลิกบน Cancele เพื่อให้อยู่ในโหมด Safe

5. โหลดวงจรที่ได้ทำการออกแบบไว้เข้าสู่หน้าต่างอิดิเตอร์ (editor) โดยเลือก Designs พูลดาวน์โหลดก็จะปรากฏ

6. ทำการเลือกไฟล์ .LCA ที่จะใช้โดยเลือก Design แล้วเมนูของไฟล์ .LCA ก็จะปรากฏในลักษณะนี้จะเลือกได้เพียงไฟล์เดียวซึ่งเส้นทางที่ได้จัดไว้ในไฟล์ที่เกิดจากการใช้ Xmake

7. เลือก PJ1.LCA ซึ่งจะไปปรากฏที่บริเวณแสดงสถานะเหนือคอมมานด์ไลน์(Commandline)

8. เข้าสู่ Design editor โดยเลือก Program => EditLCA

การออกแบบที่ได้ทำไว้จะเริ่มถูกเรียกเข้าสู่อิดิเตอร์ ดูได้จากแถบสถานะ (Status Line) ที่อยู่เหนือคอมมานด์ไลน์และจะปรากฏข้อความดังนี้

Loading die/package file...

Loading design file...

Building pip drawing information...

Drawing Screen

Timing nets...

จากนั้นในอิดิเตอร์จะปรากฏเป็นกราฟฟิกของไฟล์ .LCA เราสามารถทำการเลื่อนดูได้ โดยการกดปุ่มซ้ายของเมาส์ค้างไว้และการทำเลื่อนไปในที่ๆ ต้องการดู ซึ่งมุมล่างของจอจะปรากฏกรอบสีแดง ซึ่งจะแสดงตำแหน่งปัจจุบันบนอุปกรณ์

ในอิดิเตอร์จะมีบล็อกอยู่ 2 ชนิด คือ IOBs จะปรากฏที่รอบๆ อุปกรณ์ และ CLB's จะปรากฏในส่วนกลางซึ่งเราสามารถเลื่อนไปดูรอบๆ ได้ ว่ามันทำการ Place and Route อย่างไร ในอุปกรณ์การเชื่อมต่อขาสัญญาณและอื่นๆ

4.1.4 การหาค่าตำแหน่งของบล็อก

เราสามารถหาค่าตำแหน่งของ CLK1 ได้โดย

1. เลือก Screen => Find
2. พิมพ์ชื่อ CLK กด Enter ซึ่งเคอร์เซอร์ของเมาส์จะชี้ไปที่ตำแหน่งนั้น
3. เลือก Done เพื่อออกจากคำสั่งในการหา

4.1.5 การดาวน์โหลดโดยใช้โปรแกรม XCHECKER

เมื่อเราได้ไฟล์องค์ประกอบออกมาแล้ว ขั้นตอนต่อไปเราจะทำการทดสอบโดยการดาวน์โหลดบิตสตรีม (.BIT) นั้นลงไป เพื่อทำการทดสอบเมื่อต่อสายเคเบิลเข้ากับเครื่องคอมพิวเตอร์เรียบร้อยแล้ว สามารถทำการดาวน์โหลดได้ด้วยขั้นตอนต่อไปนี้

1. ทำการตั้งสวิตช์ต่าง ๆ ในบอร์ดตัวอย่างของ FPGAs โดยให้อยู่ในแบบสเลฟ ซึ่งสามารถควบคุมได้โดยการตั้งสวิตช์ต่างๆ ดังนี้ คือ

SWITCH(DIP.SW)	LABEL	SETTING
1	PWR	X
2	MPE	OFF
3	SPE	OFF
4	M0	ON
5	M1	ON
6	M2	ON
7	RST	X
8	INIT	OFF

ตารางที่ 4.1 การตั้งสวิตช์ต่างๆ ในบอร์ดตัวอย่างของ FPGAs

2. ใน XDM ทำการเลือกเมนู Verify
3. เลือก XCHECKER ซึ่งโปรแกรม XCHECKER จะใช้ต่างกันในแต่ละสายเคเบิล
4. เลือก -Port <name> และพิมพ์พอร์ตที่ถูกต้องในที่นี้ คือพอร์ต COM1
5. เลือก Done และป้อนชื่อไฟล์ที่ถูกต้องในที่นี้คือ PROJECT.BIT ถ้าทำการพิมพ์จากพร้อมของระบบ ให้พิมพ์ดังนี้

XCHECKER-PORT COM1 PROJECT กด ENTER

เมื่อทำการตั้งค่าทุกอย่างถูกต้องแล้ว เราสามารถจะเก็บข้อมูลไว้ในไฟล์ชื่อว่า XCHECKER.PRO ซึ่งทำให้เราไม่จำเป็นต้องตั้งใหม่ทุกครั้ง

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์หรือที่โรงเรียนเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. ถ้าเราใช้คาว์โนโหลคเคเบิลในการโปรแกรมก็ไม่จำเป็นต้องกดสวิทช์ PROG

7. กดปุ่ม ENTER ซึ่งถ้าทำการ โปรแกรมได้สมบูรณ์ จะปรากฏข้อความนี้บนจอภาพ

DONE signalwent high

8. กดปุ่มใดๆ เพื่อกลับเข้าสู่ XDM

สัญญาณ DONE ไม่ไปที่ HIGH ให้ตรวจสอบการเชื่อมต่อระหว่าง สายเคเบิลและ บอร์ดตัวอย่างของ FPGAs ไฟเลี้ยง สวิตช์ไฟ และพยายามทำการคาว์โนโหลคอีกครั้ง

4.2 การโปรแกรม Serial PROM

การโปรแกรม Serial PROM จะเป็นการกำหนด Configuration ให้กับอุปกรณ์ FPGAs โดยไม่ต้องใช้วิธีการ คาว์โนโหลคจากโปรแกรม XCHECKER ซึ่งการคาว์โนโหลคนั้นจะมีข้อเสียอยู่คือ หลังจากที่ทำการคาว์โนโหลคแล้ว อุปกรณ์ FPGAs นั้นจะขาดแหล่งจ่ายไฟไม่ได้ ถ้าขาดแหล่งจ่ายไฟก็ต้องทำการคาว์โนโหลคใหม่ ฉะนั้นการใช้ Serial PROM มาเก็บ Configuration ให้กับอุปกรณ์ FPGAs นั้นเป็นวิธีที่ดีที่สุด

ซึ่งมีวิธีการดังนี้คือ

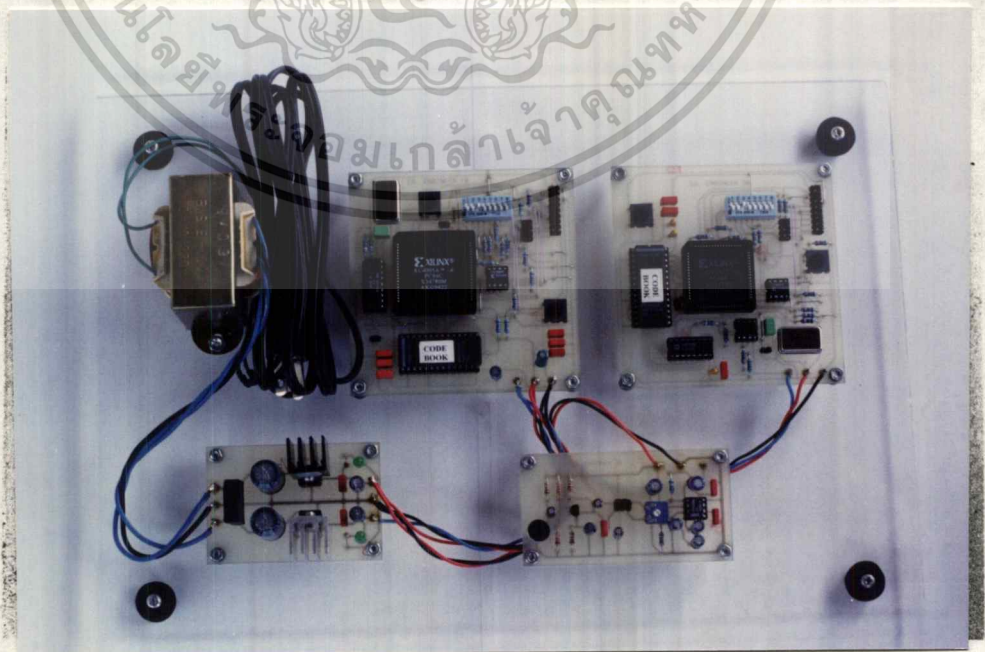
1. เข้าสู่โปรแกรม XDM (XACT Design Manager)
2. ทดสอบไดรคทอริที่ค้างไว้ ซึ่งในที่นี้คือ ENCODE (วงจรถ่ายรหัสเสียง) และ DECODE (วงจรถอดรหัสเสียง) ซึ่งจะแสดงที่มุมล่างด้านขวา ของจอภาพ ถ้ายังไม่ได้กำหนดหรือค้างไว้ไม่ถูกต้องให้คลิกที่ Directory: และใช้เมาท์เลือกไดรคทอริที่ต้องการ
3. ทำการคลิกที่ Family: ที่มุมล่างด้านซ้ายของจอภาพ ก็จะปรากฏซึ่งเราสามารถเลือกได้ ในที่นี้เราเลือก 4005APC84
4. จากเมนูเลือกหลักของ XDM เลือก Venify => MAKEPROM จากนั้นจะเข้าสู่ หน้าต่างของ MakePROM กดคีย์ใดๆ เพื่อทำงานต่อไป
5. เลือกเมนู Mics => Set => Promsize => XC1736D (สำหรับวงจรถอดรหัสเสียง) และ XC17128D (สำหรับวงจรถ่ายรหัสเสียง) => Done
6. เลือก PROM => Format => Mcs86

7. เลือก PROM => Load จากนั้นให้พิมพ์ 00000000 ที่พร้อมที่ PROM address: ที่อยู่ มุมด้านล่างซ้าย เลือก UP เลือกไฟล์ที่ต้องการเช่น COMPLETE.BIT => Done หลังจากนั้นจะมีตัวเลขเกิดขึ้นในตาราง
8. ทำการเก็บค่าโดยเลือก PROM => Save แล้วป้อนชื่อไฟล์ที่ต้องการเก็บ และจะได้ ไฟล์ที่มีนามสกุล MCS
9. ออกจากโปรแกรม Makeprom และ XDM
10. นำไฟล์ COMPLETE.MCS มาทำการโปรแกรมลงบน Serial PROM โดยใช้ โปรแกรม HW-130 Programmer ซึ่งเป็นเครื่องมือการพัฒนาของบริษัทไซลิงค์ (Xilinx) ก็จะได้ Serial ที่มีการกำหนดขนาด Configuration ให้กับอุปกรณ์ FPGAs ไว้แล้ว

4.3 ขั้นตอนการทดลอง

หลังจากที่ได้กำหนด Configuration ลงบน Serial PROM แล้วทั้งวงจรเข้ารหัสเสียง และถอดรหัสเสียงได้ประกอบวงจรต่างๆ เป็นระบบตามที่ออกแบบไว้ในรูปที่ 3.3 หลังจากนั้นทำการทดลองตามขั้นตอนต่อไปนี้

1. นำ Serial PROM มาเสียบลงบนบอร์ดวงจรเข้ารหัสเสียงและถอดรหัสเสียงดัง รูปที่ 4.1

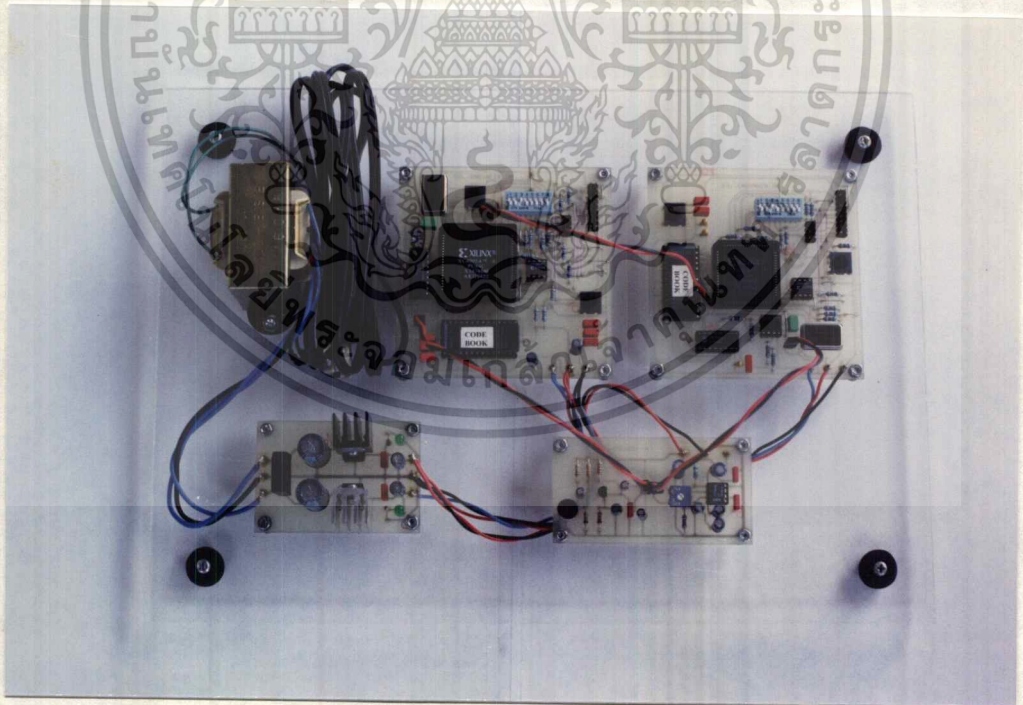


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับรูปที่ 4.1 บอร์ดวงจรเข้ารหัสเสียงและถอดรหัสเสียง ใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ทำการต่อสายเชื่อมต่อระหว่างวงจรเข้ารหัสเสียงและวงจรถอดรหัสเสียงดังรูปที่ 4.2
3. ตั้งคิพสวิทช์บอร์ดเข้ารหัสเสียงและบอร์ดถอดรหัสเสียง ให้เป็นไปตามตารางที่ 4.2 และตารางที่ 4.3
4. จ่ายไฟเลี้ยงให้กับบอร์ดวงจรเข้ารหัสเสียง บอร์ดวงจรถอดรหัสเสียง วงจรปรีไมโครโฟน และวงจรขยาย
5. ทดลองพูดและฟังเสียง

4.4 ผลการทดลอง

จากที่ได้พูดและฟังเสียงนั้น เสียงที่ออกมานั้นจะมีลักษณะเป็น Real Time และคุณภาพของเสียงนั้น ผลเป็นที่น่าพอใจระดับหนึ่ง



รูปที่ 4.2 รูปที่ประกอบเสร็จแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCH(DIP.SW)	NAME	POSITION
1	PWR	X
2	MPE	OFF
3	SPE	ON
4	M0	OFF
5	M1	OFF
6	M2	OFF
7	RST	X
8	INIT	OFF

ตารางที่ 4.2 การตั้งคิพสวิทช์ต่างๆ ของบอร์ดวงจรเข้ารหัสเสียง

SWITCH	NAME	POSITION
1	INP	X
2	MPE	OFF
3	SPE	ON
4	M0	OFF
5	M1	OFF
6	M2	OFF
7	MCLK	OFF
8	DOUT	OFF

ตารางที่ 4.3 การตั้งคิพสวิทช์ต่างๆ ของบอร์ดวงจรถอดรหัสเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

บทสรุป ปัญหา แนวทางแก้ไขและพัฒนา

5.1 บทสรุป

เครื่องควอนตัมไซเบอร์ที่เวลาจริงโดยใช้ FPGA นี้สร้างขึ้นเพื่อการศึกษาการประยุกต์ใช้งานระบบประมวลผลสัญญาณดิจิทัล ในการเข้ารหัสสัญญาณเสียงด้วยวิธีการควอนตัมไซเบอร์ ซึ่งขอบเขตที่วางไว้ในตอนต้นคือ สามารถรับส่งสัญญาณเสียงซึ่งได้เข้ารหัสด้วยวิธีการควอนตัมไซเบอร์ โดยมีบิตเรตในการรับส่งที่ 9.6 Kbps ได้ จากการที่ได้ศึกษาและทดลองสร้าง ปรากฏว่า ผลที่ได้รับอยู่ในระดับที่น่าพอใจกล่าวคือ สัญญาณเสียงที่พุดผ่านเครื่องควอนตัมไซเบอร์ สามารถรับฟังได้ ความผิดเพี้ยนอยู่ในระดับที่น่าพอใจ

5.2 ปัญหาและแนวทางแก้ไข

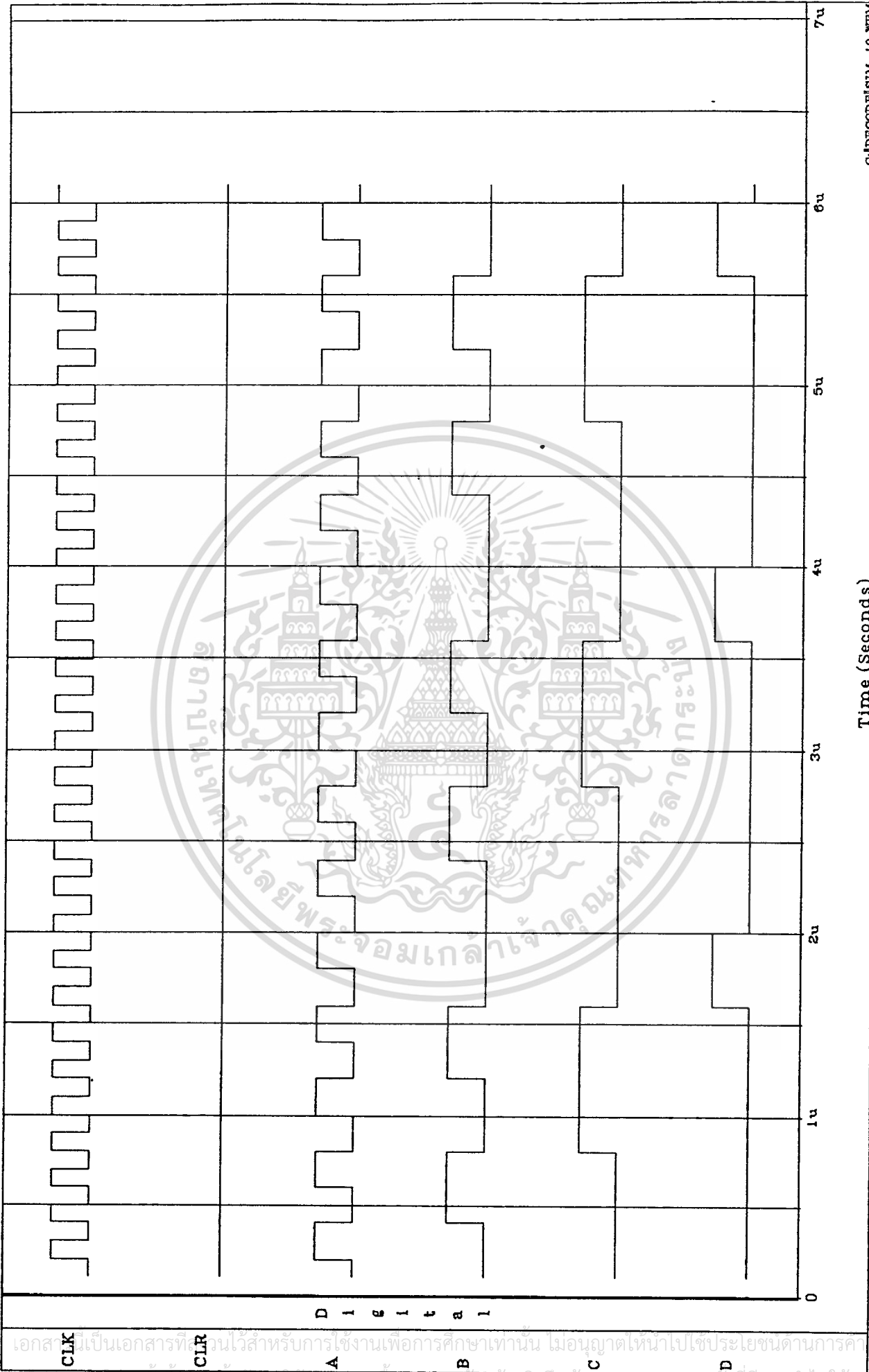
1. การติดตั้งโปรแกรม XACT ส่วนมากติดตั้งแล้วไม่สามารถทำงานบน Windows ได้
- วิธีแก้ปัญหา ใช้โปรแกรม XACT บน DOS แทน
2. เสียงที่ได้ยังไม่ดีคุณภาพ
- วิธีแก้ปัญหา เปลี่ยนไมโครโฟนจากคอนเดนเซอร์เป็นไดนามิก

5.3 แนวทางในการพัฒนา

1. ปรับปรุงให้บิตเรตในการรับส่งน้อยลง
2. ควรปรับปรุงเพื่อให้สามารถพุดกันได้สองทางในเวลาเดียวกัน
3. ควรปรับปรุงให้สามารถทำงานได้จริง
4. สามารถนำมาประยุกต์ใช้ทำเป็นฮาร์ดล็อก (Hard Lock) เนื่องจากมีขนาดเล็กและสามารถโปรแกรมได้เอง โดยขึ้นอยู่กับผู้ออกแบบ
5. สามารถประยุกต์ใช้งานได้อีกมากมายแล้วแต่การออกแบบของผู้ออกแบบ ขึ้นอยู่กับความเหมาะสมและการเลือกใช้อุปกรณ์ FPGA



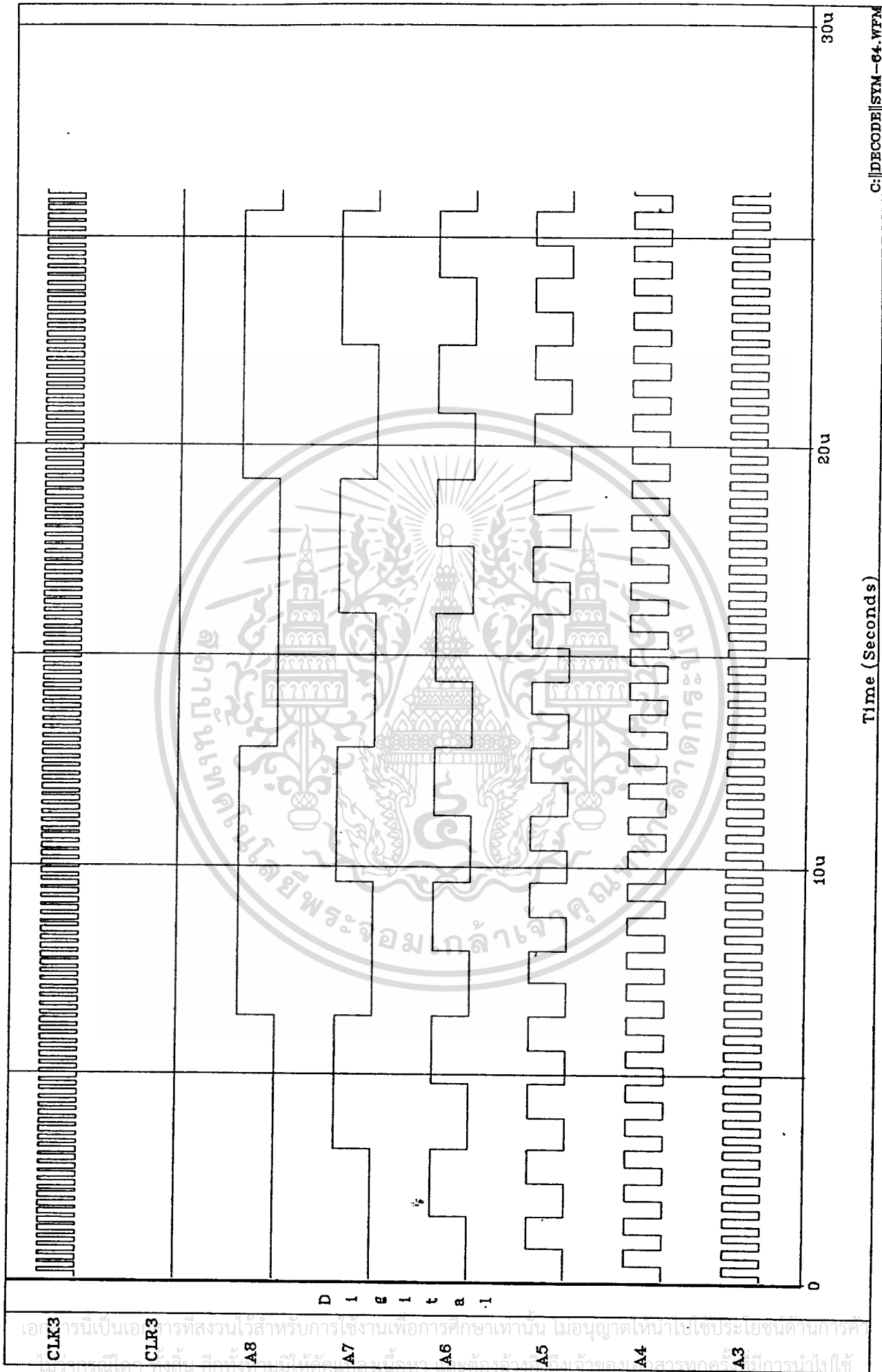
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Time (Seconds)

รูปตัวอย่างผลการ Simulate วงจรนับ 10

เอกสารนี้เป็นเอกสารที่ส่วนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ใดๆทั้งสิ้น อีกทั้งห้ามเผยแพร่โดยไม่ได้รับอนุญาตจากเจ้าของเอกสารทุกครั้งที่มีการนำใบใช้

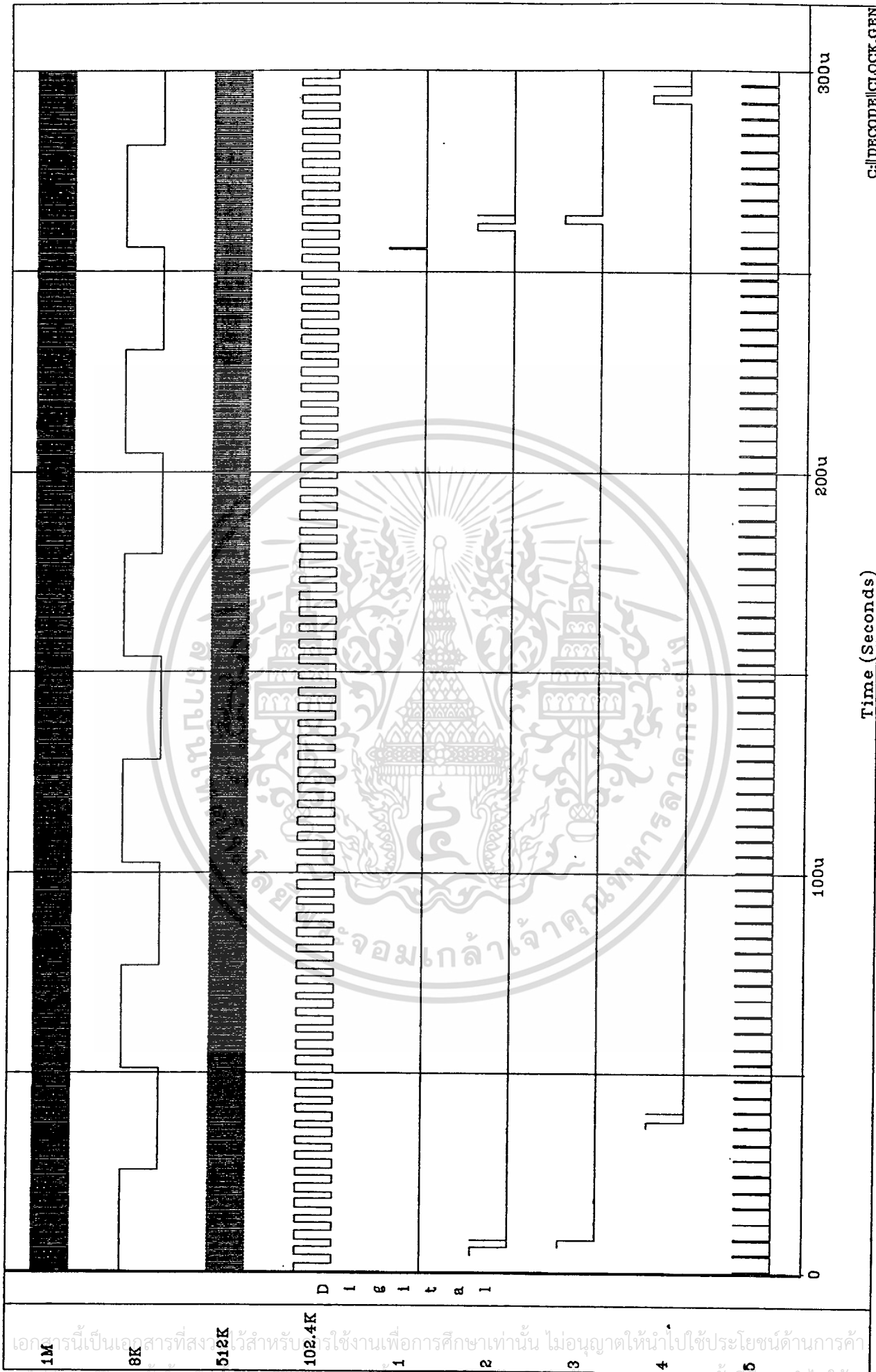


Time (Seconds)

C:\DECODE\SYM-64.WFM

รูปตัวอย่างผลการ Simulate วงจรนับ 64

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไมอนุญาตให้นำไปเผยแพร่โดยไม่ได้รับอนุญาตจากเจ้าของลิขสิทธิ์



Time (Seconds)

C:\DECODE\CLOCK.GEN

รูปตัวอย่างผลการ Simulate วงจร กำเนิดสัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ภายในเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามเผยแพร่ต่อและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	0	100n	200n	300n	400n
A0					
A1					
A2					
A3					
A4					
A5					
A6					
A7					
B0					
B1					
B2					
B3					
B4					
B5					
B6					
B7					
T0					
T1					
T2					
T3					
T4					
T5					
T6					
T7					

Time (Seconds)

รูปตัวอย่างผลการ Simulate วงจร SUB และวงจร ABS

CHENCODE\SUB-ABS.GEN



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CMOS MICROPROCESSOR-COMPATIBLE

FAST 8-BIT A/D CONVERTER

FEATURES

- 8-Bit Resolution and Accuracy
- No Missing Codes over Full Temperature Range
- 6µs Conversion Time
- Flexible µP Interface
- 2.5mA Maximum Standby Current
- Replaces AD7574 with Improved Speed
- Available in Die Form

ORDERING INFORMATION¹

PACKAGE: 18-PIN DIP AND SO				
INL (LSB)	DNL (LSB)	MILITARY* TEMPERATURE -55 C TO +125 C	EXTENDED INDUSTRIAL TEMPERATURE -40 C TO +85 C	COMMERCIAL TEMPERATURE 0 C TO +70 C
±1.2	±3.4	ADC908AX	ADC908EX	ADC908G
±3.4	±7.8	ADC908BX	ADC908FX	
±3.4	±7.8	—	ADC908FP	
±3.4	±7.8	—	ADC908FS	—

* For devices processed in total compliance to MIL-STD 883, add 883 after part number. Consult factory for 883 data sheet.

¹ Pin 10 is available on commercial and industrial temperature range parts in CerDIP, plastic DIP, and TO-can packages. For ordering information, see PMI's Data Book, Section 2.

GENERAL DESCRIPTION

The ADC-908 is a monolithic CMOS successive-approximation analog-to-digital converter. When used with a 1.35MHz clock, a conversion time of 6µs is achieved, with full accuracy over the operating temperature range.

The ADC-908 outputs use 3-state logic, allowing direct connection to the data bus or system input port. Active-LOW chip select (\overline{CS}) and read/write (\overline{RD}) inputs are used to control all

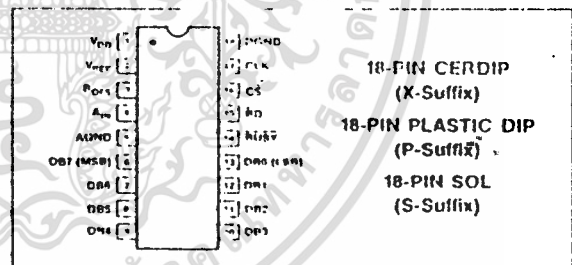
operations. This input structure permits the ADC-908 to be used as a memory-mapped input device. Depending on the control timing waveforms, the ADC 908 is interfaced like static RAM, PROM, or slow memory.

The low power consumption of the ADC-908 is derived from a single +5V supply. A negative reference voltage must also be supplied. Optimum accuracy is achieved when the reference is at -10.00V with a low output resistance. For a low-cost precision -10V-10.24V reference, ask your PMI sales representative about the REF-03.

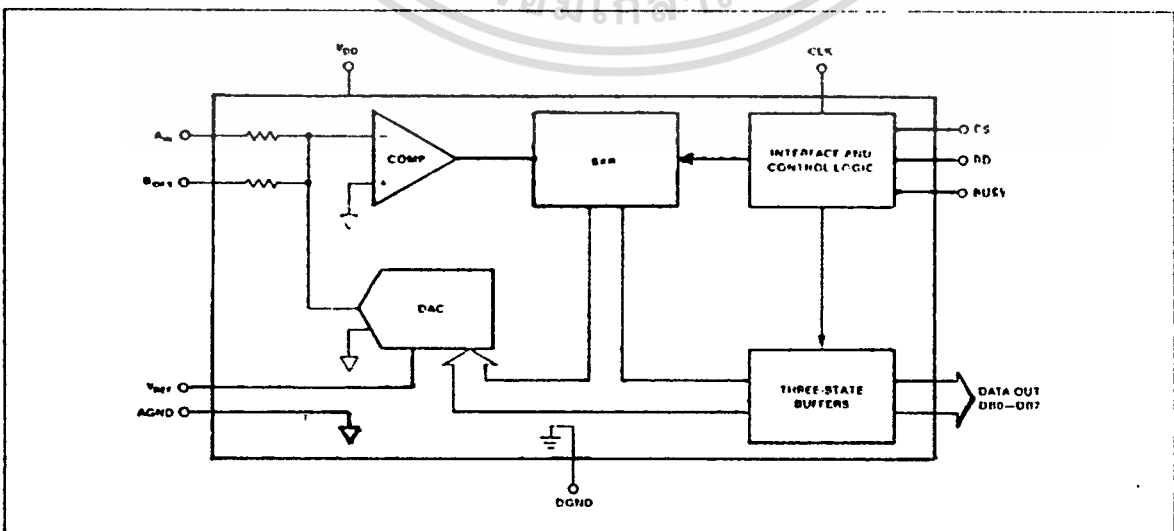
With its on-board comparator, interface logic, optional internal clock, and -5V operation, the ADC 908 is the ideal low-cost solution for microprocessor-based 8 bit A/D systems.

PMI's ADC 908 is pin and function compatible with the LM-7574, but offers faster conversion time and faster microprocessor bus interface timing. Conversion time has been reduced by 60% and maximum timing specifications, including data access time, START command propagation delay (typical), and reset time, have been improved.

PIN CONNECTIONS



FUNCTIONAL DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ADC-908 CMOS MICROPROCESSOR-COMPATIBLE FAST 8-BIT A/D CONVERTER

ABSOLUTE MAXIMUM RATINGS ($T_A = +25^\circ\text{C}$, unless otherwise noted)

V_{DD} to AGND	0V, +7.0V
V_{DD} to DGND	0V, +7.0V
AGND to DGND	-0.3V, V_{DD}
CS, RD to DGND	-0.3V, $V_{DD} + .3V$
DB ₀ -DB ₇ to DGND	-0.3V, V_{DD}
CLK, BUSY to DGND	-0.3, V_{DD}
B ₀ of S ₁ A _{IN}	$\pm 20V$
V_{REF}	0V, -20V

Operating Temperature Range

ADC-908AX, BX	55°C to +125°C
ADC-908EX, FX, FP, FS	-40°C to +85°C
ADC-908GP	0°C to +70°C

Storage Temperature -65°C to +150°C
 Lead Temperature (Soldering, 10 sec) +300°C

PACKAGE TYPE	θ_{JA} (Note 2)	θ_{JC}	UNITS
18-Pin Hermetic DIP (K)	79	11	°C/W
18-Pin Plastic DIP (P)	70	30	°C/W
18-Pin SOL (S)	89	25	°C/W

- NOTES:**
- Digital pins are zener protected. However, proper ESD handling precautions are recommended.
 - θ_{JA} is specified for worst case mounting conditions, i.e., θ_{JA} is specified for device in socket for TO, CerDIP, P-DIP, and LCC packages; θ_{JA} is specified for device soldered to printed circuit board for SO and PLCC packages.

ELECTRICAL CHARACTERISTICS at $V_{DD} = +5V$, $V_{REF} = -10V$, Unipolar Configuration, $R_{CLK} = 43k\Omega$, $C_{CLK} = 100pF$; -40°C $\leq T_A \leq +85^\circ\text{C}$ for ADC-908E/F, 0°C $\leq T_A \leq +70^\circ\text{C}$ for ADC-908G, -55°C $\leq T_A \leq +125^\circ\text{C}$ for ADC-908A/B, unless otherwise noted.

PARAMETER	SYMBOL	CONDITIONS	ADC-908			UNITS
			MIN	TYP	MAX	
ACCURACY						
Resolution	N		8	-	-	Bits
Integral Nonlinearity	INL	A/E/G Grades	-1/2	-	+1/2	LSB
		B/F Grades	-3/4	-	+3/4	
Differential Nonlinearity	DNL	A/E/G Grades	-3/4	-	+3/4	LSB
		B/F Grades	-7/8	-	+7/8	
Gain Error	e_{GAIN}	A/E/G Grades $T_A = +25^\circ\text{C}$	-3	-	+3	LSB
		$T_A = \text{Full Temp Range}$	-4.5	-	+4.5	
		B/F Grades $T_A = +25^\circ\text{C}$	-5	-	+5	
		$T_A = \text{Full Temp Range}$	6.5	-	+6.5	
Offset Error	V_{ZLF}	A/E/G Grades $T_A = +25^\circ\text{C}$	-30	-	+30	mV
		$T_A = \text{Full Temp Range}$	-50	-	+50	
		B/F Grades $T_A = +25^\circ\text{C}$	-60	-	+60	
		$T_A = \text{Full Temp Range}$	-80	-	+80	
ANALOG INPUTS						
Resistance Mismatch B ₀ to S ₁ A _{IN}	ΔR_{AB}		-1	-	+1	%
Input Resistance at V_{REF} (Note 1)	R_{REF}		5	-	15	k Ω
Input Resistance at B ₀ , S ₁ A _{IN}	R_{INFS} R_{INR}		10	-	30	k Ω
Reference Voltage Range	V_{REF}	Specified Conversion Accuracy	-	-10	-	V
Reference Voltage Range	V_{REF}	Degraded Conversion Accuracy	-5	-	-15	V
Reference Current (Note 6)	I_{REF}	Conversion Complete Prior to Reset	-	-	2.4	mA
Normal Analog Input Range						
Unipolar Mode	V_{INU}		-	0 to $ V_{REF} $	-	V
Bipolar Mode	V_{INB}		-	$ V_{REF} $ to $+ V_{REF} $	-	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ADC-908 CMOS MICROPROCESSOR-COMPATIBLE FAST 8-BIT A/D CONVERTER

ELECTRICAL CHARACTERISTICS at $V_{DD} = +5V$, $V_{REF} = -10V$, Unipolar Configuration, $R_{CLK} = 43k\Omega$, $C_{CLK} = 100pF$; $-40^\circ C \leq T_A \leq +85^\circ C$ for ADC-908F/F, $0^\circ C \leq T_A \leq +70^\circ C$ for ADC-908G, $-55^\circ C \leq T_A \leq +125^\circ C$ for ADC-908A/B, unless otherwise noted.
Continued

PARAMETER	SYMBOL	CONDITIONS	ADC-908			UNITS
			MIN	TYP	MAX	
LOGIC INPUTS						
Input HIGH Voltage RD, CS Inputs	V_{IH}		2.4			V
Input LOW Voltage RD, CS Inputs	V_{IL}				0.8	V
Input Current RD, CS Inputs	I_{IH}	$T_A = +25^\circ C$ $T_A = \text{Full Temp Range}$			1 10	μA
Input Capacitance RD, CS Inputs (Note 6)	C_{IH}				5	pF
Input HIGH Voltage, Clock Input	V_{IH}		2.4			V
Input LOW Voltage, Clock Input	V_{IL}				0.8	V
Input HIGH Current, Clock Input	I_{IH}				1	μA
Input LOW Current, Clock Input	I_{IL}	$T_A = +25^\circ C$ $T_A = \text{Full Temp Range}$			10	μA
LOGIC OUTPUTS						
Output HIGH Voltage BUSY, DB0-7	V_{OH}	$I_{SOURCE} = 40\mu A$	4.0			V
Output LOW Voltage BUSY, DB0-7	V_{OL}	$I_{SINK} = 16mA$			0.4	V
Floating Leakage Current, DB0-7	I_{LKG}	$T_A = +25^\circ C$ $T_A = \text{Full Temp Range}$			1 10	μA
Floating State Output Capacitance	C_{OZ}	(Note 6)			7	pF
POWER REQUIREMENTS						
Standby Current	I_{DD}	$V_{DD} = +4.75V \text{ to } +5.25V$			2.5	mA
DIGITAL INTERFACE TIMING						
CS Minimum Pulse Width (Note 6)	t_{CS}	$T_A = +25^\circ C$ $T_A = T_{MIN}$ $T_A = T_{MAX}$	60 50 90			ns
RD to CS Setup Time (Note 6)	t_{WCS}		0			ns
CS to BUSY Propagation Delay (Note 6)	t_{CAMP}	BUSY Load 20pF $T_A = +25^\circ C$ $T_A = T_{MIN}$ $T_A = T_{MAX}$ BUSY Load 100pF $T_A = +25^\circ C$ $T_A = T_{MIN}$ $T_A = T_{MAX}$			120 100 150	ns
BUSY to RD Setup Time (Notes 2, 6)	t_{BSH}		0			ns
BUSY to CS Setup Time (Note 6)	t_{HSCS}		0			ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ADC-908 CMOS MICROPROCESSOR-COMPATIBLE FAST 8-BIT A/D CONVERTER

DICE CHARACTERISTICS

DIE SIZE 0.129 × 0.103 Inch, 13.287 sq. mils
(3.28 × 2.62 mm, 8.58 sq. mm)

For additional DICE ordering information, refer to PMI's Data Book, Section 2.

WAFER TEST LIMITS at $V_{DD} = +5V$, $V_{REF} = 100mV$, $A_{GND} = DGND = 0V$, $T_A = +25^\circ C$, unless otherwise noted.

PARAMETER	SYMBOL	CONDITIONS	ADC-908 LIMIT	UNITS
STATIC ACCURACY				
Resolution	N		8	Bits (MIN)
Integral Nonlinearity	INL		±3.4	LSB MAX
Differential Nonlinearity	DNL		±7/8	LSB MAX
Gain Error	G_{rSE}		±5	LSB MAX
Offset Error	V_{zSE}		±60	mV MAX
ANALOG INPUTS				
Resistance Mismatch B_{ORS} to A_{IN}	ΔR_{AB}		±1	% MAX
Input Resistance at V_{REF}	R_{REF}		5/15	k Ω MIN/MAX
Input Resistance at B_{ORS} , A_{IN}	R_{BORS} , R_{IN}		10/30	k Ω MIN/MAX
DIGITAL INPUTS				
Input HIGH Voltage at \overline{RD} , \overline{CS} Inputs	V_{IH}		2.4	V MIN
Input LOW Voltage at \overline{RD} , \overline{CS} Inputs	V_{IL}		0.8	V MAX
Input Current \overline{RD} , \overline{CS} Inputs	I_{IN}		±1	μA MAX
Input HIGH Voltage Clock Input	V_{IH}		2.4	V MIN
Input LOW Voltage Clock Input	V_{IL}		0.8	V MAX
Input HIGH Current Clock Input	I_{IH}		2	mA MAX
Input LOW Current Clock Input	I_{IL}		1	μA MAX

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

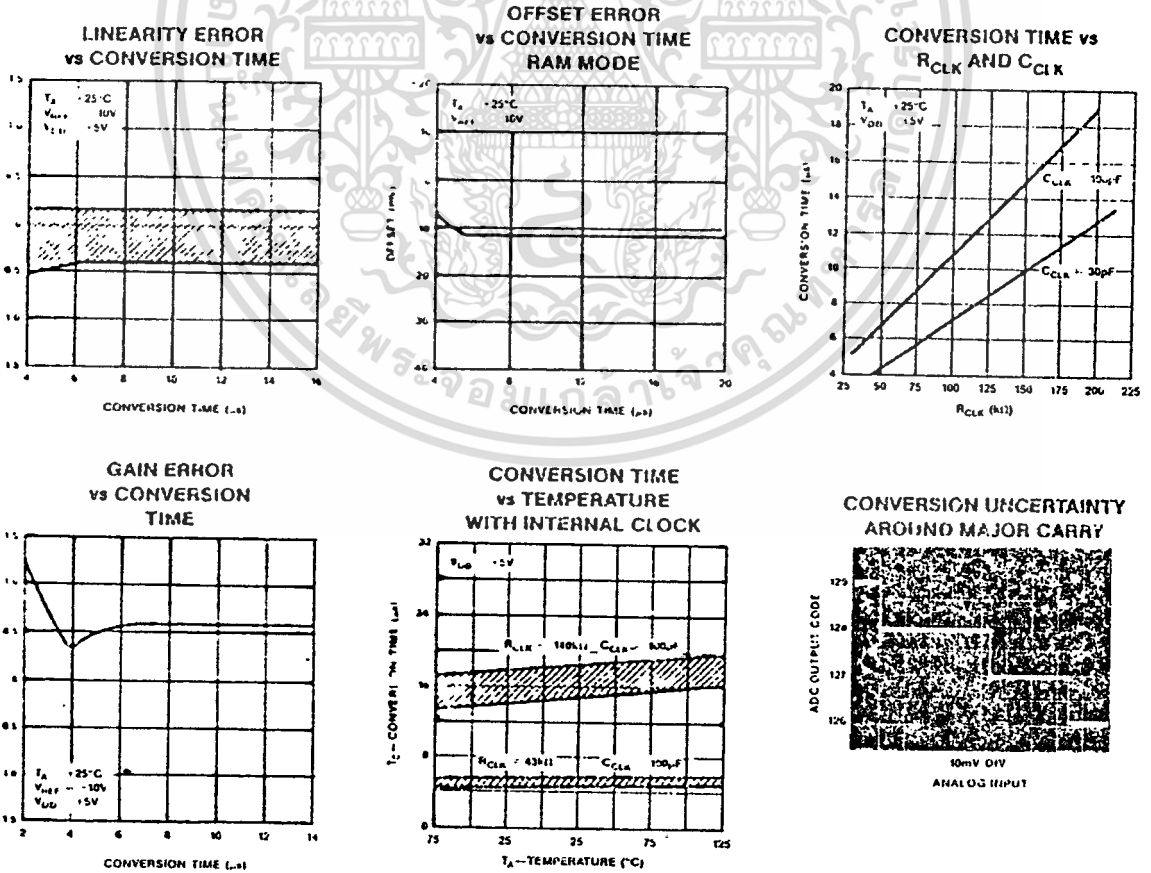
ADC-908 CMOS MICROPROCESSOR-COMPATIBLE FAST 8-BIT A/D CONVERTER

WAFER TEST LIMITS at $V_{DD} = 1.5V$, $V_{HEF} = -10.000V$, $AGND = DGND = 0V$, $T_A = +25^\circ C$, unless otherwise noted. (Continued)

PARAMETER	SYMBOL	CONDITIONS	ADC-908 LIMIT	UNITS
DIGITAL OUTPUTS				
Output HIGH Voltage BUSY, DB0-7	V_{OH}	$I_{SOURCE} = 40\mu A$	4	V MIN
Output LOW Voltage BUSY, DB0-7	V_{OL}	$I_{SINK} = 16mA$	0.4	V MAX
Leaking Leakage Current	I_{LKG}		1	μA
POWER REQUIREMENTS				
Standby Current	I_{DD}	$V_{DD} = 1.475V$ to $5.25V$	2.5	mA MAX
TIMING				
Conversion Time	$t_{CONV(EXT)}$	Static RAM Mode, External Clock $f = 1.35MHz$	6	μs MAX

NOTE: Wafer tests are performed at wafer probe to the limits shown. Due to variations in assembly methods and normal yield loss, yield after packaging is not guaranteed at standard product price. Consult factory to negotiate specifications based on dice lot qualification through sample lot assembly, and testing.

TYPICAL PERFORMANCE CHARACTERISTICS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ADC-908 CMOS MICROPROCESSOR-COMPATIBLE FAST 8-BIT A/D CONVERTER

GENERAL CIRCUIT INFORMATION

The ADC-908 is an 8-bit analog-to-digital converter which uses a successive approximation technique to convert an unknown analog input into a digital code output. The control logic inputs allow easy interface to most microprocessors while three-state outputs allow direct connection to the data bus. Most applications require only passive RC clock components, a -10V reference, and a +5V power supply. The RC-timed internal clock may be used, or an external clock may be applied to the ADC to maximize performance.

When a Start Conversion command is applied to the \overline{CS} or \overline{RD} inputs (see Operating Descriptions for details), \overline{BUSY} goes LOW indicating a conversion in progress. \overline{BUSY} may be used as an interrupt to halt the controlling microprocessor during conversion or may be polled to prevent premature data reads.

Starting with the most significant bit (MSB), each successive bit in the DAC is turned on (see Figure 1). The comparator then decides if the DAC output is less than or greater than the signal being converted, and that bit is latched on or off, respectively, before proceeding to the next lower bit and repeating the cycle. When all eight bits have been tested, \overline{BUSY} goes HIGH, signaling a completed conversion.

Under control of the \overline{RD} input, the three-state data outputs (D0-D7) change from high-impedance to presenting the new conversion results to the data bus. Following the data read, \overline{RD} returns HIGH resetting the SAR to 1000 0000 and preparing the ADC for its next conversion.

PIN FUNCTIONS

NOTE: For greater detail on digital input functions, consult Truth Tables and Timing Diagrams.

- Pin 1. V_{DD} Power Supply input, +5V.
- Pin 2. V_{REF} Voltage Reference input, nominal -10V
- Pin 3. B_{OFF} Bipolar Offset input. +10V input for bipolar mode operation, tie to V_{IN} for unipolar mode operation.
- Pin 4. A_{IN} Analog Input, 0V to +10V in unipolar mode, -10V to +10V in bipolar mode.

Pin 14. \overline{BUSY} Conversion status output. \overline{BUSY} indicates conversion in progress by going LOW at start of conversion and returning HIGH at end of conversion. May be used to interrupt controlling microprocessor or to gate control inputs.

Pin 15. \overline{RD} READ input. Used to read data (on falling edge) and to reset converter (on rising edge).

Pin 16. \overline{CS} Chip Select input. Asserted to allow ADC operation. Starts conversion when converter is in reset condition. Note: Holding \overline{CS} HIGH will not prevent a rising edge on \overline{RD} from resetting the converter.

Pin 17. CLK External clock input/internal clock RC timing input.

APPLICATIONS INFORMATION

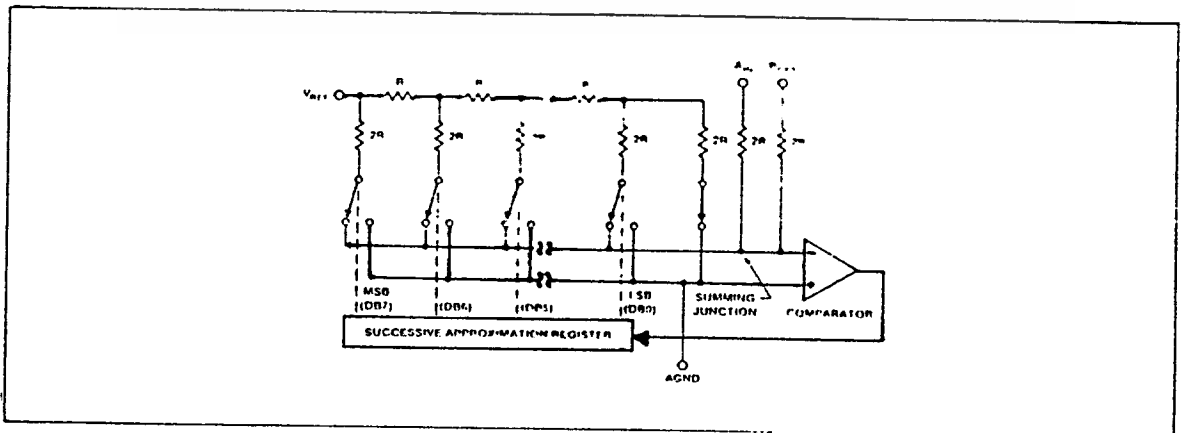
The ADC-908 may be interfaced as if it were a static RAM, a ROM, or a slow-memory device. Each of these interface modes has its own timing and software requirements as described below. These requirements must be rigidly met, as improper timing may cause the ADC-908 to change modes.

HOW TO CHOOSE AN OPERATING MODE

The static-RAM interface mode offers advantages in a tightly controlled hardware and software environment, where the relationship between WRITE and READ instruction pairs is certain. As long as minimum timing is satisfied, converted data may be read at any convenient time after conversion. The use of separate commands to start a conversion, and then read the results, is conceptually easy. However, if the software is subject to uncontrolled modifications, then the paired relationship between WRITE and READ instructions may be lost. Resulting software bugs may result in converted data of unknown age, or altogether invalid data being read.

By contrast, the ROM mode may be more resistant to software bugs. As long as minimum timing is satisfied, each READ instruction obtains new, valid data. However, since the data

FIGURE 1: D/A Converter Used in ADC-908



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ADC-908 CMOS MICROPROCESSOR-COMPATIBLE FAST 8-BIT A/D CONVERTER

output at any previous READ instruction is obtained from a conversion performed just after the previous READ instruction, data may be out-of-date. To be sure of obtaining up-to-date data, READ instructions may be coded in pairs (with some NOPs between them); use only the data from the second READ in each pair. The first READ starts the conversion, acting as a substitute for the static-RAM mode WRITE command; the second READ gets the results. The advantage of the ROM mode is the use of a single command, rather than the alternating READ-WRITE required by static-RAM mode.

The slow-memory mode is the simplest mode of all. It is the method of choice where compact coding is essential, or where software bugs are a hazard. In this mode, a single READ instruction will initiate a data conversion, interrupt the microprocessor until completion (WAIT states are introduced), then read the results. If the system throughput tolerates WAIT states, and the hardware is correct, then the slow-memory mode is virtually immune to subsequent software modifications.

OPERATING DESCRIPTION: STATIC-RAM MODE

In this mode, input \overline{CS} is derived from the ADC-908 address decoder, and input \overline{RD} is derived from an active-LOW memory READ signal. (See Figure 2.)

To start a conversion, execute a memory WRITE to the ADC-908. The completed conversion data is obtained by executing a memory READ to the ADC-908. During conversion, output \overline{BUSY} will be LOW. Do not attempt to read data until \overline{BUSY} returns HIGH. The required minimum time between WRITE and READ is usually obtained by including one or more NOP or other program instructions. The use of branch or conditional commands between the WRITE and READ instructions is not recommended due to the possibility of software bugs.

It is important that the WRITE and READ commands be alternately executed. A WRITE instruction has no effect unless the results of the previous WRITE have already been read. Once data has been read, the ADC-908 is internally reset. In other words, two or more READ operations cannot be used in

succession, since only the first READ will produce valid data. A new conversion must be started using WRITE, and the conversion must be completed, before a new READ will produce valid data.

TABLE 1: Truth Table, Static RAM Mode

INPUTS		OUTPUTS		ADC-908 OPERATION
\overline{CS}	\overline{RD}	\overline{BUSY}	DB7-DB0	
L	H	H	HIGH-Z	Start Convert (Write Cycle)
L	\downarrow	H	HIGH-Z to DATA	Read Data (Read Cycle)
L	\uparrow	H	DATA to HIGH-Z	Reset Converter
H	X (Note 1)	X	HIGH-Z	No Effect (Not Selected)
L	H	L	HIGH-Z	No Effect (Converter Busy)
L	\downarrow	L	HIGH-Z	No Effect (Converter Busy)
L	\uparrow (Note 1)	L	HIGH-Z	Conversion Error Not Allowed

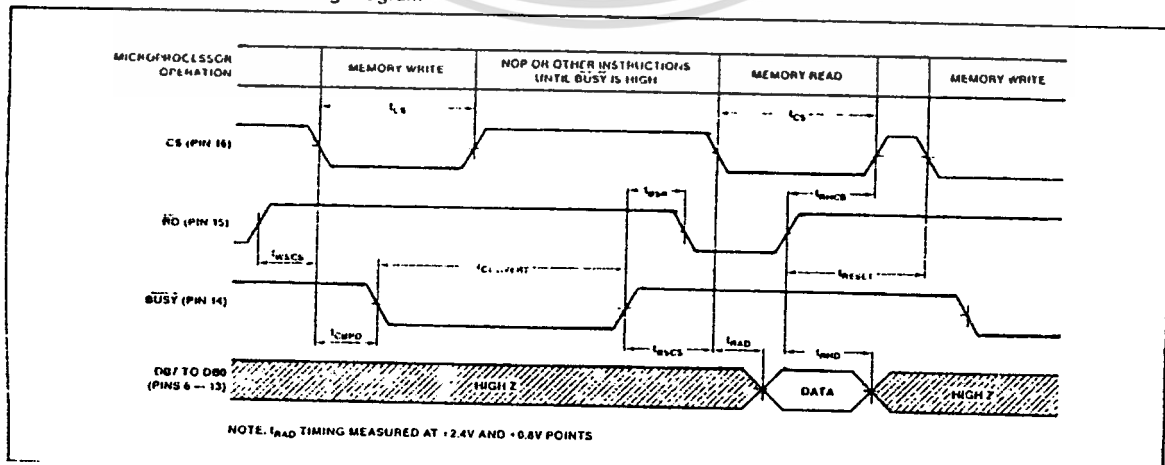
NOTE 1: If \overline{RD} goes LOW to HIGH, the ADC is internally reset, regardless of the states of \overline{CS} or \overline{BUSY} .

OPERATING DESCRIPTION: ROM MODE

In ROM mode, input \overline{CS} is tied LOW, and input \overline{RD} is derived from the ADC-908 address decoder. To satisfy timing, it is recommended that the decoder be enabled by a system MEMRD (8080), VMA (6800), or similar strobe. (See Figure 3.)

In ROM mode, data is read by executing a READ instruction to the ADC-908 address. At the conclusion of the READ instruction, the ADC-908 automatically resets itself and then proceeds to perform a new data conversion. Output \overline{BUSY} is LOW during conversion. A new READ instruction to the ADC-908 must not be executed until \overline{BUSY} returns HIGH.

FIGURE 2: Static RAM Mode Timing Diagram



NOTE: t_{RD} TIMING MEASURED AT +2.4V AND -0.8V POINTS

ADC-908 CMOS MICROPROCESSOR-COMPATIBLE FAST 8-BIT A/D CONVERTER

This requirement may be met by inserting NOP or other program instructions between consecutive READ operations. Conditional or branch instructions may be used, but keep in mind that data may become out-of-date if excessive time elapses between consecutive READ instructions.

TABLE 2: Truth Table, ROM Mode

INPUTS		OUTPUTS		ADC-908 OPERATION
CS	R \bar{D}	BUS \bar{Y}	DB7-DB0	
L	\downarrow	H	HIGH-Z to DATA	Read Data
L	\uparrow	\downarrow	DATA to HIGH-Z	Reset and Start New Conversion
L	\downarrow	L	HIGH-Z	No Effect (Converter Busy)
L	\uparrow (Note 1)	L	HIGH-Z	Conversion Error Not Allowed

NOTE 1: If R \bar{D} goes LOW to HIGH, the ADC is internally reset, regardless of the states of CS or BUS \bar{Y} .

OPERATING DESCRIPTION: SLOW-MEMORY MODE

The slow-memory mode is intended for systems in which the ADC-908 BUS \bar{Y} output is used as an interrupt to force the

microprocessor into WAIT states during data conversion.

In slow-memory mode, inputs CS and R \bar{D} are tied together. The common R \bar{D} and CS signal is derived from the ADC-908 address decoder. To satisfy the timing requirements, it is advisable to latch the address using ALE (8085) or SYNC (8080). For 8080 or 8085-based systems, connect the microprocessor or READY input to the ADC-908 BUSY output. (See Figure 4)

TABLE 3: Truth Table, Slow-Memory Mode

INPUTS		OUTPUTS		ADC-908 OPERATION
CS & R \bar{D}	BUS \bar{Y}	DB7-DB0		
H	H	HIGH-Z		No Effect (Not Selected)
\downarrow	\downarrow	HIGH-Z		Start Conversion
L	L	HIGH-Z		Conversion in Progress. μ P in WAIT State
L	\uparrow	HIGH-Z to DATA		Conversion Complete. Read Data
\uparrow	H	DATA to HIGH-Z		Reset and Deselect Converter

FIGURE 3: ROM Mode Timing Diagram (CS Held LOW)

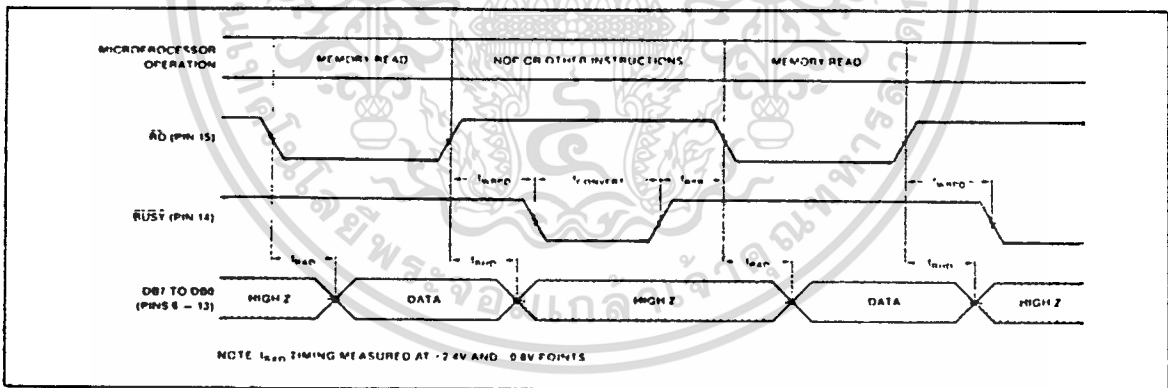
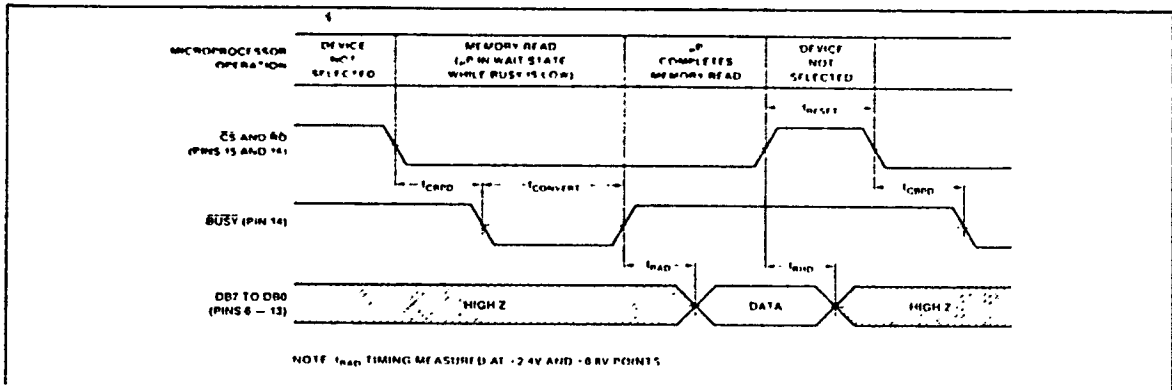


FIGURE 4: Slow-Memory Mode Timing Diagram (CS and R \bar{D} Tied Together)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ADC-908 CMOS MICROPROCESSOR-COMPATIBLE FAST 8-BIT A/D CONVERTER

Do not execute a WRITE instruction at the ADC-908 address when in slow-memory mode, since bus conflicts will arise. In some architectures, an accidental WRITE instruction may be locked out in hardware, by proper strobing of the ADC-908 address decoder.

INITIALIZATION

In all operating modes, the ADC-908 is initialized by executing a READ instruction to the ADC-908 address. The data obtained should be ignored.

CLOCK OSCILLATOR

The ADC-908 may be used with its internal asynchronous clock oscillator. An external resistor and capacitor are required. Typical values are $R = 43k\Omega$ and $C = 100pF$, for conversion times in the $6\mu s$ range. For applications in which the fastest conversion times are required, an external clock is recommended. The external clock must be gated by the use of a 74125-type three-state buffer, with an output pullup resistor. Optimum conversion accuracy is obtained when CS goes LOW on a positive clock edge. The maximum external clock frequency is 1.35MHz (See Figure 5 and 6)

REFERENCE VOLTAGE

A negative reference voltage must be applied to the ADC-908 V_{REF} input. Optimum full-scale accuracy is obtained using $-10.00V$, although V_{REF} may be $-5.00V$, $-10.24V$, or other voltages within its specified range.

Over the full temperature range, optimum gain accuracy is obtained when the input to the V_{REF} pin is from a low-impedance source. A resistor or trimmer may be used in series with the V_{REF} pin, but this trim technique is not as accurate as a low-impedance source. (See Figure 7)

For a cost-effective $-10.00V$ or $-10.24V$ reference with excellent accuracy and low temperature coefficient, ask for PMI's REF-08. Consult your sales representative for availability.

FIGURE 5: Using the Internal Clock Oscillator

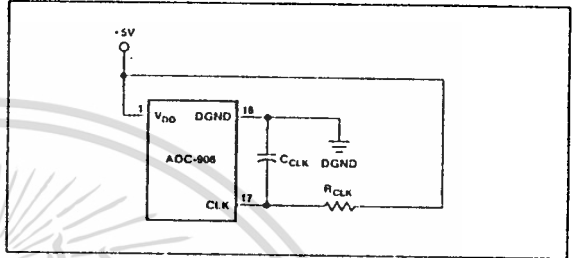


FIGURE 6: Using an External Clock

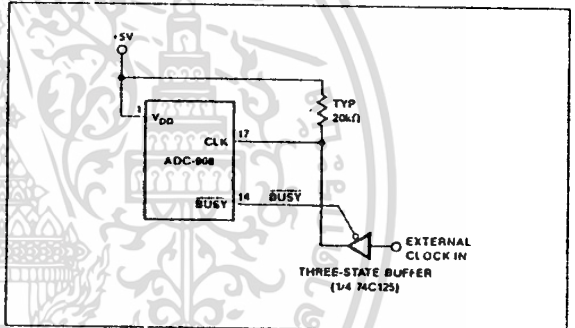
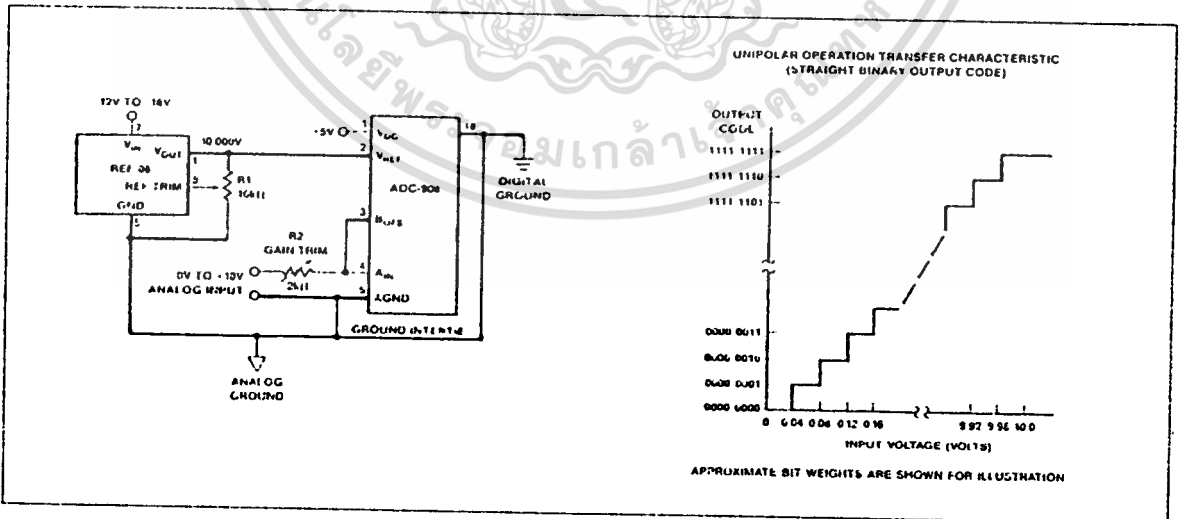


FIGURE 7: Unipolar Operation



ADC-908 CMOS MICROPROCESSOR-COMPATIBLE FAST 8-BIT A/D CONVERTER

ANALOG INPUT VOLTAGE

The ADC-908 unipolar operation is obtained when the analog input voltage is between 0V and V_{REF} . With the A_{IN} and B_{ORS} pins tied together, input 0V will correspond to code 0000 0000, and input full-scale will correspond to code 1111 1111.

Bipolar operation is obtained by using the B_{ORS} input to offset the A_{IN} input voltage. For example, with $V_{REF} = -10V$, an offset voltage of +10V may be applied to B_{ORS} . The analog signal range will then be -10V to +10V at A_{IN} . Code 0000 0000 will correspond to -10V, and positive full scale will be code 1111 1111. Calibration may be performed using trimmers in series with A_{IN} and B_{ORS} . (See Figure 8).

Another method of obtaining bipolar operation is to use an op-amp with gain = -1/2, to sum the analog signal with the reference voltage. With a -10V reference and -10V to +10V analog signal, the op-amp output will then be 0V to +10V. This signal is then treated as an ordinary unipolar input to the ADC-908. With this arrangement, input +10V corresponds to code 0000 0000, and negative full-scale corresponds to code 1111 1111.

UNIPOLAR BINARY OPERATION

Figure 7 shows the analog circuit connections for unipolar operation. The REF-08 supplies the necessary -10V reference input.

Calibration for offset should be made before gain calibration is attempted.

Offset calibration must be performed in the signal conditioning circuitry which drives the A_{IN} input.

To adjust offset:

- 1) Apply -39.1mV (1 LSB) to the input of the buffer amplifier driving A_{IN} .
- 2) While performing continuous conversions, adjust the buffer amplifier's offset adjustment potentiometer until DB7 to DB1 are LOW and DB0 (LSB) flickers.

Following offset calibration, full scale gain can be calibrated:

- 1) Apply -9.961V to the input of the buffer amplifier.

- 2) While performing continuous conversions, adjust the reference trim pot until DB7 to DB1 are HIGH, and DB0 (LSB) flickers.

BIPOLAR OPERATION

Offset Binary—Figure 8 shows a circuit for offset binary bipolar operation. Offset correction should be made at the buffer amplifier driving A_{IN} . Gain error correction should be accomplished by adjusting V_{REF} .

To calibrate this circuit:

- 1) Adjust R1 until $V_{REF} = 10.000V$
- 2) Adjust R2 and R3 to their mid points
- 3) Apply +10.000V to the input buffer amplifier.
- 4) While performing continuous conversions, adjust R2 until DB7 to DB1 are LOW and DB0 (LSB) flickers.
- 5) Ground the input of the input buffer circuit.
- 6) While performing continuous conversions, adjust R3 until the ADC's output code flickers between 0111 1111 and 1000 0000.
- 7) Apply -10.000V to the signal input
- 8) While performing continuous conversions, adjust R1 until DB7 to DB1 are LOW and the DB0 (LSB) flickers.
- 9) Apply +9.922V to the signal input
- 10) If the ADC output code is not 1111 1110 +1 bit, repeat the calibration procedure, omitting step 1

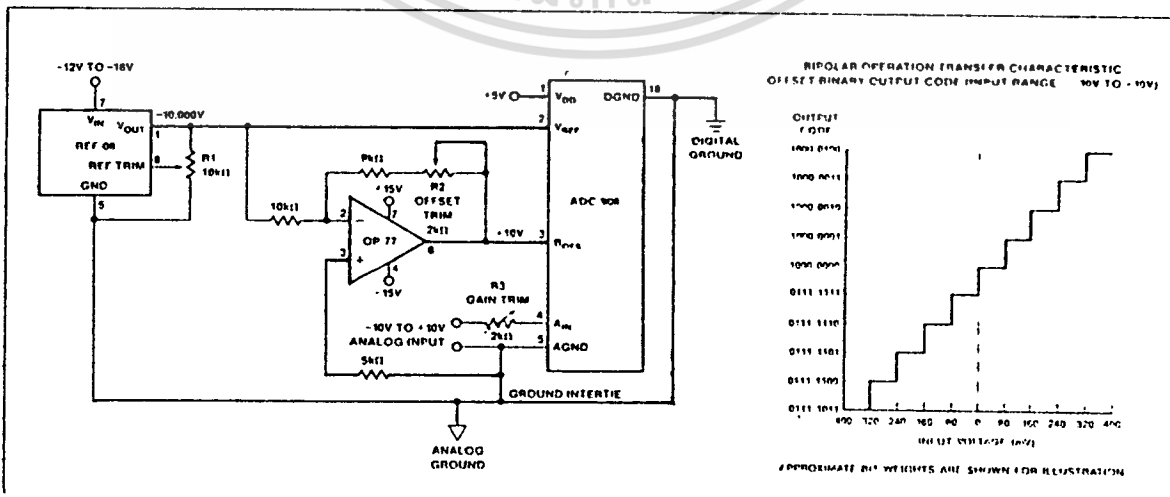
Complementary Offset Binary—Figure 9 shows a complementary offset binary circuit. In this bipolar mode, the +10V to -10V analog input is conditioned to a 0 to +10V signal range for normal unipolar conversion.

In calibrating this circuit, adjust offset before gain.

Offset Adjustment

- 1) Adjust R1 until $V_{REF} = 10.000V$
- 2) Adjust R3 to its mid point
- 3) Adjust R2 until its tap is at 0V.
- 4) Ground the analog input.
- 5) While performing continuous conversions, adjust R2 until the ADC output flickers between 0111 1111 and 1000 0000.

FIGURE 8: Offset Binary Operation



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ADC-908 CMOS MICROPROCESSOR-COMPATIBLE FAST 8-BIT A/D CONVERTER

Gain Adjustment:

- 1) Apply +9.922V across the analog input.
- 2) While performing continuous conversions, adjust R3 until DB7 to DB1 are HIGH and DB0 (LSB) flickers.

DIGITAL CONSIDERATIONS

Control Timing—Fresh data from a recent conversion must be read before beginning a new conversion. Following the data READ, as \overline{RD} goes HIGH, it resets the SAR and clears the data from the previous conversion.

The timing restrictions detailed in the interface timing diagrams must be observed to prevent the ADC-908 from changing interface modes. For example, if \overline{CS} is held LOW too long while in RAM mode, the converter will change to ROM mode and initiate a new conversion.

Logic Deglitching—Unrelated activity on the address bus may cause unexpected glitch inputs to the ADC. The glitches may cause unwanted READs, resets, or conversions. In ROM or RAM modes, these may be avoided by gating the address decode logic with \overline{RD} or \overline{WR} (8080) or VMA (6800). In slow-memory mode, ALE (8085) or SYNC (8080) may be used to latch the address.

Initialization—Following power-up, the SAR is in an unknown state. Executing a memory READ (disregard the data) will reset the ADC.

ANALOG CONSIDERATIONS

Analog Input Impedances—Low impedance sources must be used to drive the V_{REF} , A_{IN} , and B_{OFFS} inputs. Excessive source

impedances may cause errors due to the loading effects of the inputs' finite impedances.

Ground Management—AGND and DGND pins should be connected at or near the ADC to minimize noise effects. If the two grounds cannot be connected near the ADC, the grounds should be clamped with back-to-back Schottky diodes between the AGND and DGND pins.

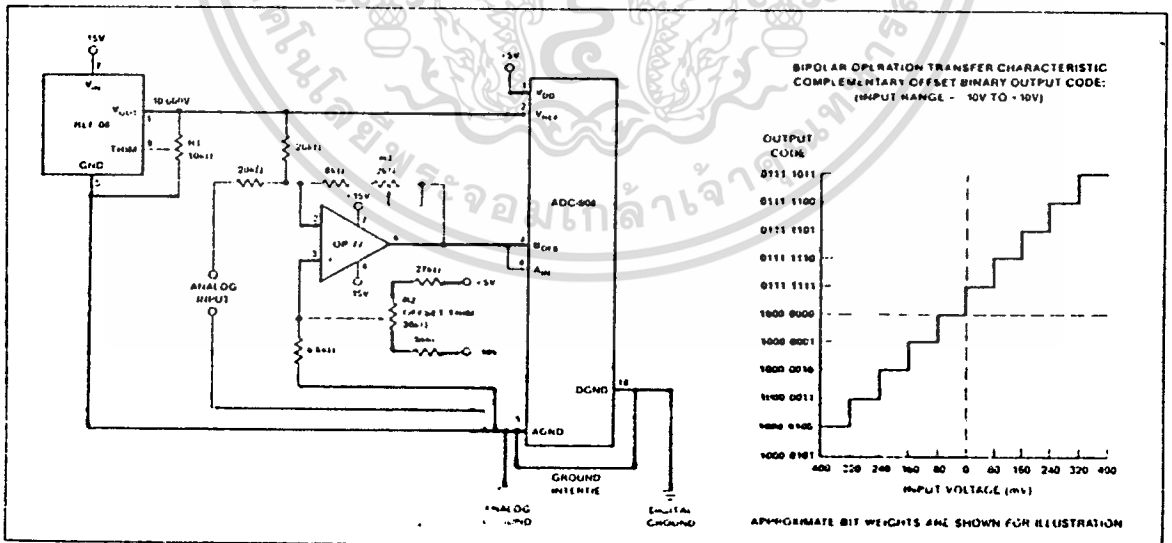
Offset Correction—Conversion offset errors may be corrected by counter-offsetting the buffer amplifier driving A_{IN} . This offset correction may be accomplished by applying a correction current to the buffer's summing junction or by tapping a voltage divider sitting between V_{DD} and V_{REF} , and applying this tap voltage to the noninverting input of the buffer.

Ratiometric Operation—The R-2R type DAC in the ADC-908 permits ratiometric operation of the ADC. Performance degradation may, however, occur as V_{REF} varies from $-10.000V$. This decrease in performance is due to comparator limitations including offset-voltage, gain, and input noise.

The ADC-908 uses the reference as a power supply for the comparator to increase speed and accuracy. Reference voltages of a magnitude less than $-9V$ must be avoided for accurate comparator operation. For best accuracy, the use of a $0.1\mu F$ bypass capacitor from V_{REF} (Pin 2 to AGND) is recommended.

Power Supply Bypassing—For best accuracy, V_{DD} (Pin 1) should be bypassed to AGND with a $0.1\mu F$ capacitor.

FIGURE 9: Complementary Offset Bipolar Operation



GENERAL DESCRIPTION

The Harris CA3338 family are CMOS/SOS high-speed R-2R voltage output digital-to-analog converters. They operate from a single 5V supply at video speeds, and can produce "rail-to-rail" output swings. Internal level shifters and a pin for an optional second supply provide for an output range below the digital ground. The data complement control allows the inversion of input data while the latch enable control provides either latched or unlatched operation. Both ends of the R-2R ladder network are available externally and may be modulated for gain or offset adjustments. In addition, "glitch" energy has been kept very low by segmenting and "bar graph" decoding of the upper 3 bits.

The CA3338 is manufactured on a sapphire substrate to give low dynamic power dissipation, low output capacitance, and inherent latch-up resistance.

PRELIMINARY
Subject to Change

FEATURES

- CMOS/SOS Low Power
- R-2R Output, Segmented for Low "Glitch"
- CMOS or TTL Compatible Inputs
- Fast Settling: 20 ns (typ.) to 1/2 LSB
- Feedthrough Latch for Clocked or Unclocked Use
- Single or Dual Supplies, 4.5V to 7.5V Total
- 1/2 LSB Accuracy (Typ.)
- Data Complement Control
- High Update Rate: 50 MHz (Typ.)
- Unipolar or Bipolar Operation

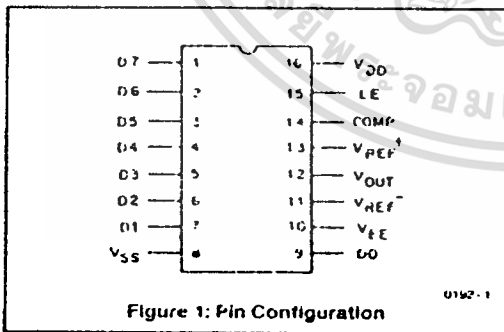
APPLICATIONS

- TV/Video Display
- High-Speed Oscilloscope Display
- Digital Waveform Generator
- Feed-Forward A/D Systems

ORDERING INFORMATION

Part Number	Linearity (INL)	Temperature Range	Package
CA3338E	± 1 LSB	40°C to + 85°C	16 Pin Plastic DIP
CA3338AL	± 0.75 LSB	- 40°C to + 85°C	16 Pin Plastic DIP
CA3338D	± 1 LSB	55°C to + 125°C	16 Pin Ceramic DIP
CA3338AD	± 0.75 LSB	55°C to + 125°C	16 Pin Ceramic DIP

NOTE: Consult sales office for availability of SOIC package



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CA3338, CA3338A

CA333

ABSOLUTE MAXIMUM RATINGS

- DC Supply-Voltage Range
($V_{DD} - V_{SS}$ or $V_{DD} - V_{EE}$, whichever is greater) -0.5V to +8V
- Input Voltage Range
Digital Inputs (I.E., COMP, D0-D7) $V_{SS} - 0.5V$ to $V_{DD} + 0.5V$
Analog Pins
(V_{REF+} , V_{REF-} , V_{OUT}) $V_{DD} - 8V$ to $V_{DD} + 0.5V$
- DC Input Current
Digital Inputs (I.E., COMP, D0-D7) ± 20 mA
- Power Dissipation per Package (P_D):
For $T_A = -55^\circ\text{C}$ to $+55^\circ\text{C}$ 315 mW
For $T_A = +55^\circ\text{C}$ to $+125^\circ\text{C}$ Derate Linearly at 3.3 mW/ $^\circ\text{C}$

Operating-Temperature Range (T_A):

- Ceramic Package—D Suffix -55°C to $+125^\circ\text{C}$
- Plastic Package—E Suffix -40°C to $+85^\circ\text{C}$

Storage-Temperature Range (T_{STG}) -65°C to $+150^\circ\text{C}$

Lead Temperature (During Soldering):

- At Distance $1/16$ to $1/32$ in. (1.59 ± 0.79 mm) from case for 10s max. $+265^\circ\text{C}$

NOTE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only and functional operation of the device at those or any other conditions above those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Recommended Supply Voltage Range 4.5V to 7.5V

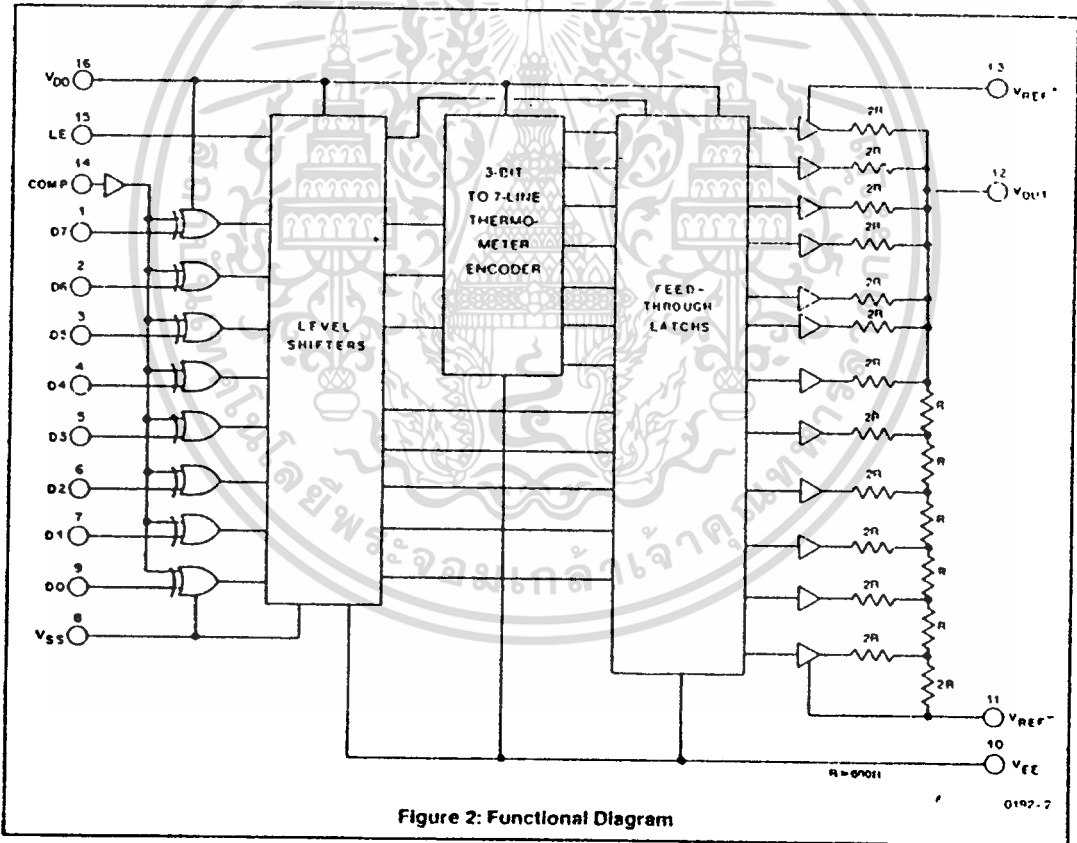


Figure 2: Functional Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS $T_A = 25^\circ\text{C}$, $V_{DD} = 5\text{V}$, $V_{REF+} = 4.608\text{V}$, $V_{SS} = V_{EE} = V_{REF-} = \text{GND}$.
LE clocked at 20 MHz, $R_L \geq 1\text{M}\Omega$ (unless otherwise specified)

Parameter	Test Conditions	Limits			Units
		Min	Typ	Max	
Accuracy					
Resolution		8			Bits
Integral Linearity Error	See Figure 6				
CA3338				± 1	LSB
CA3338A				± 0.75	LSB
Differential Linearity Error	See Figure 6				
CA3338				± 0.75	LSB
CA3338A				± 0.5	LSB
Gain Error	Input Code = FF ₁₆ ; See Fig. 5				
CA3338				± 0.75	LSB
CA3338A				± 0.5	LSB
Offset Error	Input Code = 00 ₁₆ ; See Fig. 5			± 0.25	LSB
Digital Input Timing					
Update Rate	To Maintain 1/2 LSB Settling	DC	50		MHz
Update Rate	$V_{REF-} = V_{EE} = -2.5\text{V}$, $V_{REF+} = +2.5\text{V}$	DC	20		MHz
Set Up Time T _{SU1}	For Low Glitch		-2		ns
Set Up Time T _{SU2}	For Data Store		8		ns
Hold Time T _H	For Data Store		5		ns
Latch Pulse Width T _{LW}	For Data Store		5		ns
Latch Pulse Width T _{LW}	$V_{REF-} = V_{EE} = -2.5\text{V}$, $V_{REF+} = +2.5\text{V}$		25		ns
Output Parameters	R _L Adjusted for 1 V _{p-p} Output				
Output Delay T _{O1}	From LE Edge		25		ns
Output Delay T _{O2}	From Data Changing		22		ns
Rise Time T _R	10 to 90% of Output		4		ns
Settling Time T _S	10% to Settling to 1/2 LSB		20		ns
Output Impedance	$V_{REF+} = 6\text{V}$, $V_{DD} = 6\text{V}$	120	160	200	Ω
Glitch Area			150		pV-s
Glitch Area	$V_{REF-} = V_{EE} = -2.5\text{V}$, $V_{REF+} = +2.5\text{V}$		250		pV-s
Reference Voltage					
V _{REF+} Range	(+) Full Scale (Note 1)	$V_{REF-} + 3$		V_{DD}	V
V _{REF-} Range	(-) Full Scale (Note 1)	V_{EE}		$V_{REF+} - 3$	V
V _{REF+} Input Current	$V_{REF+} = 6\text{V}$, $V_{DD} = 6\text{V}$		40	50	mA
Supply Voltage					
Static I _{DD} or I _{EE}	LE = Low, D ₀ -D ₇ = High		100	220	μA
	LE = Low, D ₀ -D ₇ = Low			100	μA
Dynamic I _{DD} or I _{EE}	V _{OUT} = 10 MHz, 0V to 5V Sq. Wave		20		mA
Dynamic I _{DD} or I _{EE}	V _{OUT} = 10 MHz, $\pm 2.5\text{V}$ Sq. Wave		25		mA
V _{DD} Rejection	50 kHz Sine Wave Applied		3		mV/V
V _{EE} Rejection	50 kHz Sine Wave Applied		1		mV/V
Digital Inputs	D ₀ -D ₇ , LE, COMP				
High Level Input Voltage	(Note 1)	2			V
Low Level Input Voltage	(Note 1)			0.8	V
Leakage Current			± 1	± 5	μA
Capacitance			5		pF
Temperature Coefficients					
Output Impedance			200		PPM/°C

NOTE 1: Parameter not tested, but guaranteed by design or characterization.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CA3338.CA3338A

CA333

Table 1: Pin Descriptions

Pin	Name	Description
1	D7	Most Significant Bit Input Data Bits (High = True)
2	D6	
3	D5	
4	D4	
5	D3	
6	D2	
7	D1	
8	V _{SS}	Digital ground
9	D ₀	Least Significant Bit, Input Data Bit.
10	V _{EE}	Analog ground
11	V _{REF-}	Reference voltage negative input
12	V _{OUT}	Analog output
13	V _{REF+}	Reference voltage positive input
14	COMP	Data complement control input. Active high.
15	LE	Latch enable input. Active low.
16	V _{DD}	Digital power supply, +5V

DIGITAL SIGNAL PATH

The digital inputs (LE, COMP, and D0-D7) are of TTL compatible HCT High Speed CMOS design; the loading is essentially capacitive and the logic threshold is typically 1.5V.

The 8 data bits, D0 (weighted 2⁰) through D7 (weighted 2⁷), are applied to Exclusive OR gates (see Figure 2). The COMP (data complement) control provides the second input to the gates; if COMP is high, the data bits will be inverted as they pass through.

The input data and the LE (latch enable) signals are next applied to a level shifter. The inputs, operating between the levels of V_{DD} and V_{SS}, are shifted to operate between V_{DD} and V_{EE}. V_{EE} optionally at ground or at a negative voltage, will be discussed under bipolar operation. All further logic elements except the output drivers operate from the V_{DD} and V_{EE} supplies.

The upper 3 bits of data, D5 through D7, are input to a 3-to-7 line bar graph encoder. The encoder outputs and D0 through D4 are applied to a feedthrough latch, which is controlled by LE (latch enable).

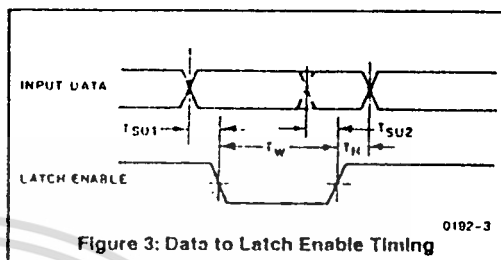


Figure 3: Data to Latch Enable Timing

LATCH OPERATION

Data is fed from input to output while LE is low; LE should be tied low for non-clocked operation.

Non-clocked operation or changing data while LE is low is not recommended for applications requiring low output "glitch" energy; there is no guarantee of the simultaneous changing of input data or the equal propagation delay of all bits through the converter. Several parameters are given if the converter is to be used in either of those modes: T_{D2} gives the delay from the input changing to the output changing (10%), while t_{SU2} and T_H give the set up and hold times (referred to LE rising edge) needed to latch data. See Figures 3 and 4.

Clocked operation is needed for low "glitch" energy use. Data must meet the given T_{SU1} set up time to the LE falling edge, and the T_H hold time from the LE rising edge. The delay to the output changing, T_{D1}, is now referred to the LE falling edge.

There is no need for a square wave LE clock; LE must only meet the minimum T_W pulse width for successful latch operation. Generally, output timing (desired accuracy of settling) sets the upper limit of usable clock frequency.

OUTPUT STRUCTURE

The latches feed data to a row of high current CMOS drivers, which in turn feed a modified R-2R ladder network.

The "N" channel (pull down) transistor of each driver plus the bottom "2R" resistor are returned to V_{REF-}; this is the (-) full-scale reference. The "P" channel (pull up) transistor of each driver is returned to V_{REF+}, the (+) full-scale reference.

In unipolar operation, V_{REF-} would typically be returned to analog ground, but may be raised above ground (see specifications). There is substantial code dependent current that flows from V_{REF+} to V_{REF-} (see V_{REF+} input current in specifications), so V_{REF-} should have a low impedance path to ground.

OUTPUT STRUCTURE (Continued)

In bipolar operation, V_{REF}^- would be returned to a negative voltage (the maximum voltage rating to V_{DD} must be observed). V_{EE} , which supplies the gate potential for the output drivers, must be returned to a point at least as negative as V_{REF}^- . Note that the maximum clocking speed decreases when the bipolar mode is used.

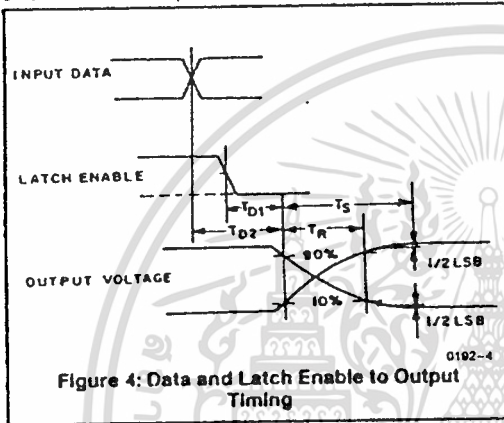


Figure 4: Data and Latch Enable to Output Timing

output equal to $255/256$ of V_{REF}^+ (referred to V_{REF}^-) with an input code of FF_{16} (full-scale output). The difference between the ideal and actual values of these two parameters are the OFFSET and GAIN errors respectively: see Figure 5.

If the code into an 8-bit D/A is changed by 1 count, the output should change by $1/255$ (full-scale output—zero-scale output). A deviation from this step-size is a differential linearity error: see Figure 6. Note that the error is expressed in fractions of the ideal step size (usually called an LSB). Also note that if the (-) differential linearity error is less (in absolute numbers) than 1 LSB, the device is monotonic. (The output will always increase for increasing code or decrease for decreasing code).

If the code into an 8-bit D/A is at any value, say "N", the output voltage should be $N/255$ of the full-scale output (referred to the zero-scale output). Any deviation from that output is an integral linearity error, usually expressed in LSB's. See Figure 6.

Note that OFFSET and GAIN errors do not affect integral linearity, as the linearity is referenced to actual zero and full-scale outputs, not ideal. Absolute accuracy would have to also take these errors into account.

STATIC CHARACTERISTICS

The ideal 8-bit D/A would have an output equal to V_{REF}^- with an input code of 00_{16} (zero scale output), and an

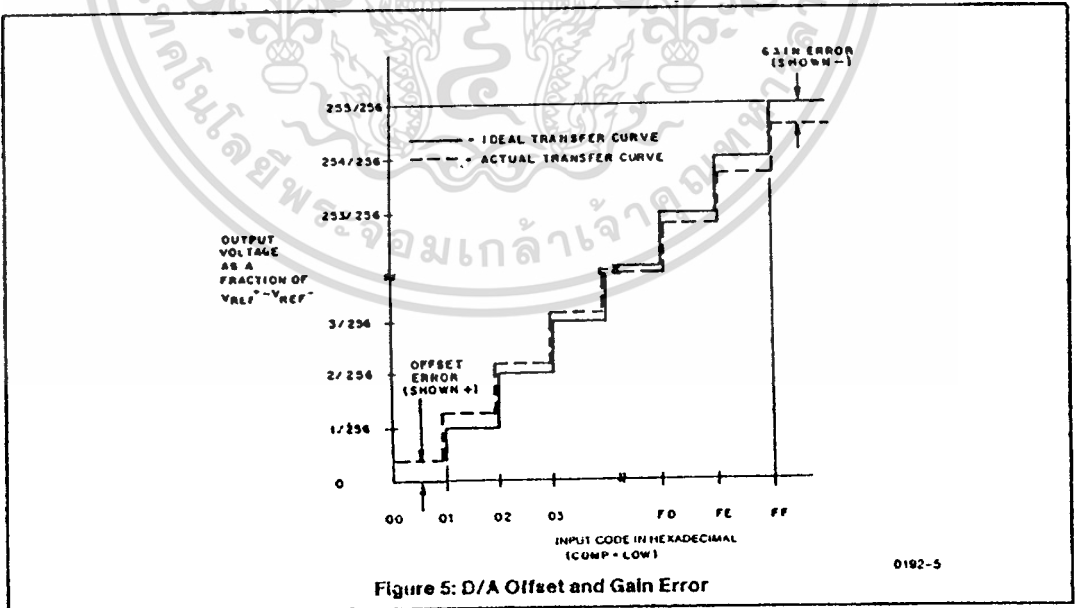
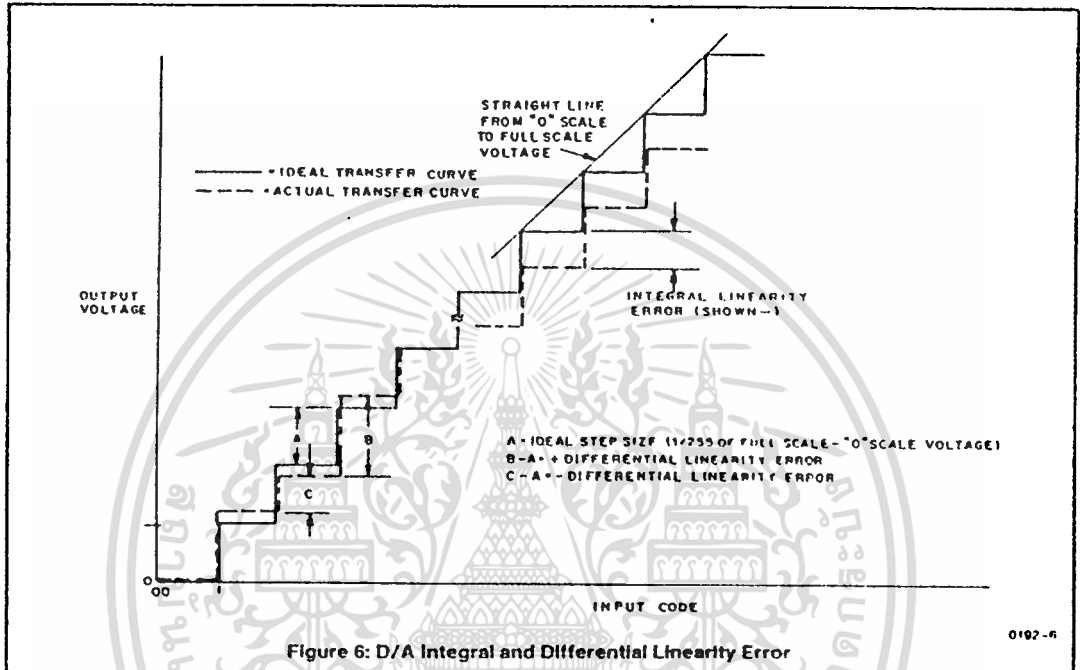


Figure 5: D/A Offset and Gain Error

CA3338, CA3338A

CA333



DYNAMIC CHARACTERISTICS

Keeping the full-scale range ($V_{REF+} - V_{REF-}$) as high as possible gives the best linearity and lowest "glitch" energy (referred to 1V). This provides the best "P" and "N" channel gate drives (hence saturation resistance) and propagation delays. The V_{REF+} (and V_{REF-} if bipolar) terminal should be well bypassed as near the chip as possible.

"Glitch" energy is defined as a spurious voltage that occurs as the output is changed from one voltage to another. In a binary input converter, it is usually highest at the most significant bit transition ($7F_{16}$ to 80_{16} for an 8 bit device), and can be measured by displaying the output as the input code alternates around that point. The "glitch" energy is the area between the actual output display and an ideal one LSB step voltage (subtracting negative area from positive), at either the positive or negative-going step. It is usually expressed in pV-s.

The CA3338 uses a modified R-2R ladder, where the 3 most significant bits drive a bar graph decoder and 7 equally weighted resistors. This makes the "glitch" energy at each $1/8$ scale transition ($1F_{16}$ to 20_{16} , $3F_{16}$ to 40_{16} , etc.) essentially equal, and far less than the MSB transition would otherwise display.

For the purpose of comparison to other converters, the output should be resistively divided to 1V full-scale. Figure 7 shows a typical hook-up for checking "glitch" energy or settling time.

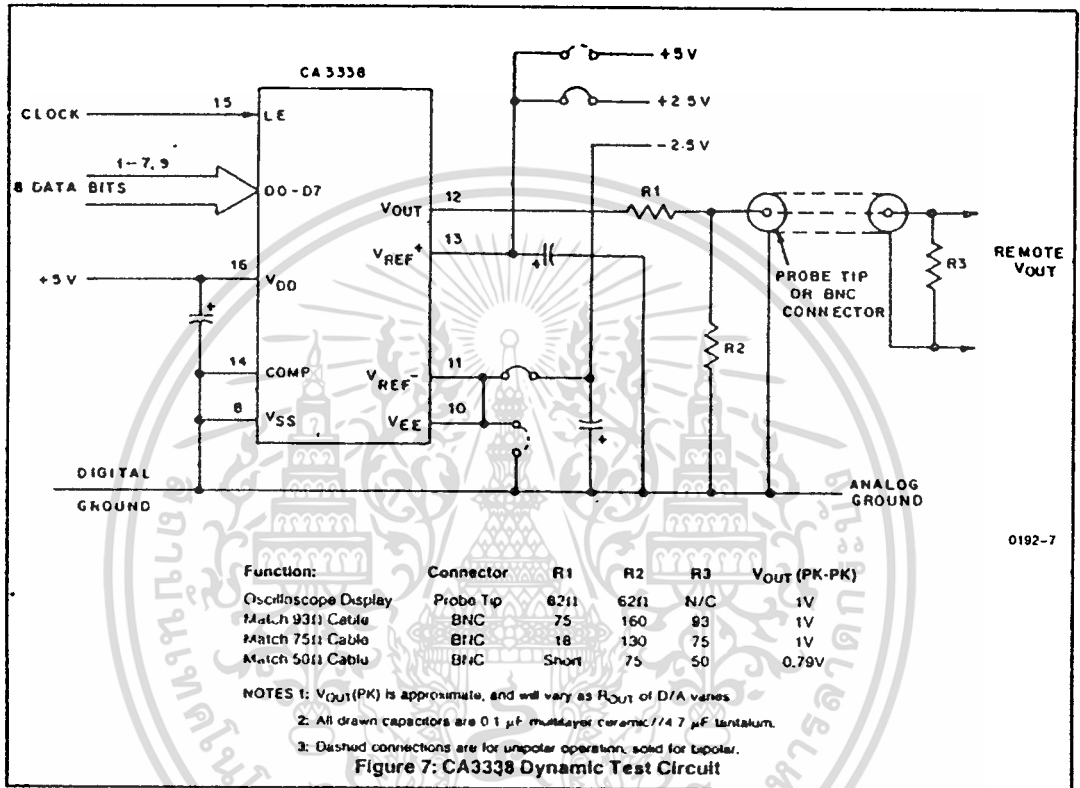
The settling time of the A/D is mainly a function of the output resistance (approximately 160Ω in parallel with the load resistance) and the load plus internal chip capacitance. Both "glitch" energy and settling time measurements require very good circuit and probe grounding; a probe tip connector such as Tektronix part number 131-0258-00 is recommended.

APPLICATIONS

The output of the CA3338 can be resistively divided to match a doubly terminated 50Ω or 75Ω line, although peak-to-peak swings of less than 1V may result. The output magnitude will also vary with the converter's output impedance. Figure 7 shows such an application. Note that because of the HCT input structure, the CA3338 could be operated up to $+7.5V V_{DD}$ and V_{REF+} supplies and still accept 0V to 5V CMOS input voltages.

If larger voltage swings or better accuracy is desired, a high speed output buffer, such as the HA-5033, HA-2542, or CA3450, can be employed. Figure 8 shows a typical application, with the output capable of driving $\pm 2V$ into multiple 50Ω terminated lines.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CA3338, CA3338A

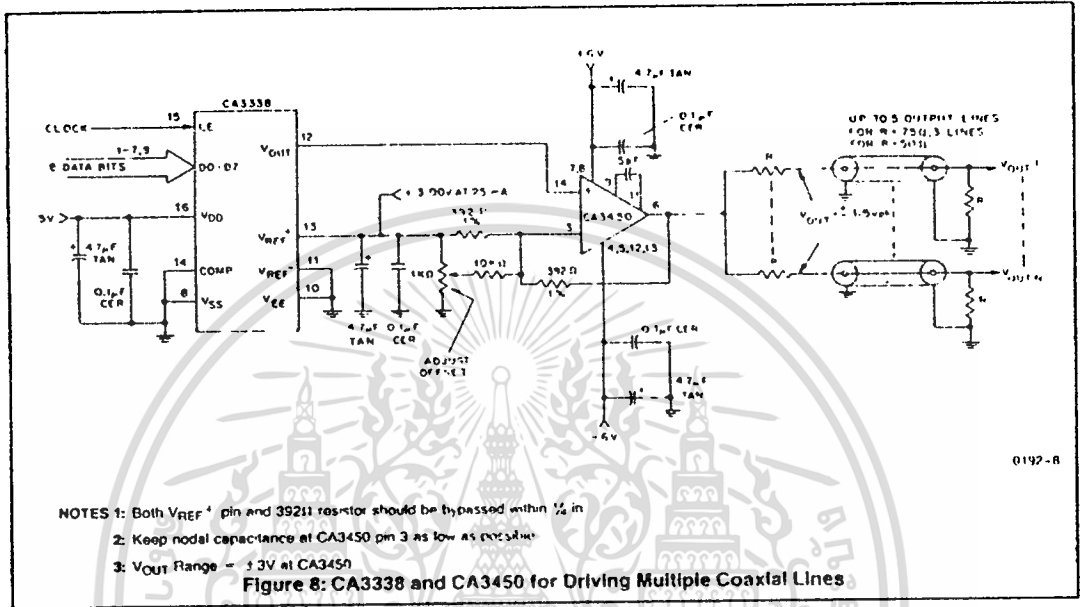


Table 2: Output Voltage vs Input Code and V_{REF}

V_{REF}^+ V_{REF}^- Step Size	5.12V 0 0.0200V	5.00V 0 0.0195V	4.608V 0 0.0180V	2.56V - 2.56V 0.0200V	2.50V - 2.50V 0.0195V
Input Code					
1111 1111 ₂ = FF ₁₆	5.1000V	4.9905V	4.5900V	2.5400V	2.4805V
1111 1110 ₂ = FE ₁₆	5.0800	4.9610	4.5720	2.5200	2.4610
•					
•					
1000 0001 ₂ = 81 ₁₆	2.5800	2.5195	2.3220	0.0200	0.0195
1000 0000 ₂ = 80 ₁₆	2.5600	2.5000	2.3040	0.0000	0.0000
0111 1111 ₂ = 7F ₁₆	2.5400	2.4805	2.2860	- 0.0200	- 0.0195
•					
•					
0000 0001 ₂ = 01 ₁₆	0.0200	0.0195	0.0180	- 2.5400	- 2.4805
0000 0000 ₂ = 00 ₁₆	0.0000	0.0000	0.0000	- 2.5600	- 2.5000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATING AND HANDLING OPERATIONS

1. Handling

All inputs and outputs of CMOS devices have a network for electrostatic protection during handling. Recommended handling practices for CMOS devices are described in ICAN-6525. "Guide to Better Handling and Operation of CMOS Integrated Circuits."

2. Operating

Operating Voltage

During operation near the maximum supply voltage limit, care should be taken to avoid or suppress power supply turn-on and turn-off transients, power supply ripple, or ground noise; any of these conditions must not cause the absolute maximum ratings to be exceeded.

Input Signals

To prevent damage to the input protection circuit, input signals should never be greater than V_{DD} nor less than V_{SS} . Input currents must not exceed 20 mA even when the power supply is off.

Unused Inputs

A connection must be provided at every input terminal. All unused input terminals must be connected to either V_{CC} or GND , whichever is appropriate.





XC1700D Family of Serial Configuration PROMs

June 1, 1996 (Version 1.0)

Product Specification

Features

- Extended family of one-time programmable (OTP) bit-serial read-only memories used for storing the configuration bitstreams of Xilinx FPGAs
- On-chip address counter, incremented by each rising edge on the clock input
- Simple interface to the FPGA requires only one user I/O pin
- Cascadable for storing longer or multiple bitstreams
- Programmable reset polarity (active High or active Low) for compatibility with different FPGA solutions
- XC17128D or XC17256D supports XC4000 fast configuration mode (12.5 MHz)
- Low-power CMOS EPROM process
- Available in 5 V and 3.3 V versions
- Available in plastic and ceramic packages, and commercial, industrial and military temperature ranges
- Space efficient 8-pin DIP, 8-pin SOIC, 8-pin VOIC, or 20-pin surface-mount packages.
- Programming support by leading programmer manufacturers.

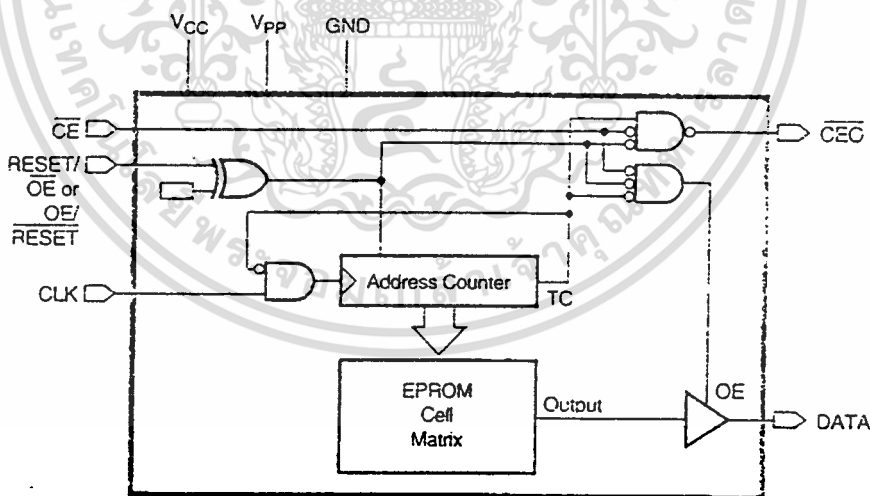
Description

The XC1700 family of serial configuration PROMs (SCPs) provides an easy-to-use, cost-effective method for storing Xilinx FPGA configuration bitstreams.

When the FPGA is in master serial mode, it generates a configuration clock that drives the SCP. A short access time after the rising clock edge, data appears on the SCP DATA output pin that is connected to the FPGA DIN pin. The FPGA generates the appropriate number of clock pulses to complete the configuration. Once configured, it disables the SCP. When the FPGA is in slave mode, the SCP and the FPGA must both be clocked by an incoming signal.

Multiple devices can be concatenated by using the \overline{CE} output to drive the \overline{CE} input of the following device. The clock inputs and the DATA outputs of all SCPs in this chain are interconnected. All devices are compatible and can be cascaded with other members of the family.

For device programming, the XACT development system compiles the FPGA design file into a standard Hex format, which is then transferred to the programmer.



X3185

Figure 1: Simplified Block Diagram (does not show programming circuit)

Pin Description

DATA

Data output 3-stated when either \overline{CE} or \overline{OE} are inactive. During programming, the DATA pin is I/O. Note that \overline{OE} can be programmed to be either active High or active Low.

CLK

Each rising edge on the CLK input increments the internal address counter. If both \overline{CE} and \overline{OE} are active.

RESET/ \overline{OE}

When High, this input holds the address counter reset and 3-states the DATA output. The polarity of this input pin is programmable as either RESET/ \overline{OE} or \overline{OE} /RESET. To avoid confusion, this document describes the pin as RESET/ \overline{OE} , although the opposite polarity is possible on all devices. When RESET is active, the address counter is held at zero, and the DATA output is 3-stated. The polarity of this input is programmable. The default is active High RESET, but the preferred option is active Low RESET, because it can be driven by the FPGA's INIT pin.

The polarity of this pin is controlled in the programmer interface by writing data into four high-end byte locations. This input pin is easily inverted using the Xilinx PROM programmer software (XPP). Third-party programmers have different methods to invert this pin.

For RESET/ \overline{OE} , fill the four polarity bytes with Ones or do nothing.

For \overline{OE} /RESET, fill these four bytes with Zeros.

\overline{CE}

When High, this pin disables the internal address counter, 3-states the DATA output, and forces the device into low-I_{CC} standby mode.

\overline{CEO}

Chip Enable output, to be connected to the \overline{CE} input of the next SCP in the daisy chain. This output is Low when the \overline{CE} and \overline{OE} inputs are both active AND the internal address counter has been incremented beyond its Terminal Count (TC) value. In other words: when the PROM has been read, \overline{CEO} will follow \overline{CE} as long as \overline{OE} is active. When \overline{OE} goes inactive, \overline{CEO} stays High until the PROM is reset. Note that \overline{OE} can be programmed to be either active High or active Low.

V_{pp}

Programming voltage. No overshoot above the specified max voltage is permitted on this pin. For normal read operation, this pin *must* be connected to V_{CC}. Failure to do so may lead to unpredictable, temperature-dependent operation and severe problems in circuit debugging. *Do not leave VPP floating!*

V_{CC}

Positive supply pin.

GND

Ground pin.

Serial PROM Pinouts

Pin Name	8-Pin	20-Pin
DATA	1	2
CLK	2	4
RESET/ \overline{OE} (CE/RESET)	3	6
\overline{CE}	4	8
GND	5	10
\overline{CEO}	6	14
V _{pp}	7	17
V _{CC}	8	20

Capacity

Device	Configuration Bits
XC1718D or L	18,144
XC1735D	36,288
XC1765D or L	65,536
XC17128D or L	131,072
XC17256D or L	262,144

plus 32 bits for reset polarity control

Number of Configuration Bits, Including Header for all Xilinx FPGAs and Compatible SCP Type

Device	Configuration Bits	SCP
XC3020/A/L-3120A	14,819	XC1718D
XC3030/A/L-3130A	22,216	XC1736D
XC3042/A/L+3142A	30,824	XC1736D
XC3064/A/L+3154A	46,104	XC1765D
XC3090/A/L-3190A	64,200	XC1765D
XC3195A	94,984	XC17128D
XC4003E	53,976	XC1765D
XC4005E/L	95,000	XC17128D/L
XC4006E	119,832	XC17128D
XC4008E	147,544	XC17256D
XC4010E/L	178,136	XC17256D/L
XC4013E/L	247,960	XC17256D/L
XC4020E	329,304	XC17256D + XC17128D
XC4025E	422,168	XC17256D + XC17256D
XC5202	42,416	XC1765D
XC5204	70,704	XC17128D
XC5206	106,288	XC17128D
XC5210	165,488	XC17256D
XC5215	237,744	XC17256D

Controlling Serial PROMs

Most connections between the FPGA device and the Serial PROM are simple and self-explanatory.

- The DATA output(s) of the of the Serial PROM(s) drives the DIN input of the lead FPGA device.
- The master FPGA CCLK output drives the CLK input(s) of the Serial PROM(s).
- The \overline{CE} output of a Serial PROM drives the \overline{CE} input of the next Serial PROM in a daisy chain (if any).
- The $\overline{RESET/OE}$ input of all Serial PROMs is best driven by the \overline{INIT} output of the XC3000 or XC4000 lead FPGA device. This connection assures that the Serial PROM address counter is reset before the start of any (re)configuration, even when a reconfiguration is initiated by a V_{CC} glitch. Other methods – such as driving $\overline{RESET/OE}$ from \overline{LDC} or system reset – assume that the Serial PROM internal power-on-reset is always in step with the FPGA's internal power-on-reset, which may not be a safe assumption.
- The \overline{CE} input of the lead (or only) Serial PROM is driven by the $\overline{DONE/PRGM}$ or \overline{DONE} output of the lead FPGA device, provided that $\overline{DONE/PRGM}$ is not permanently grounded. Otherwise, \overline{LDC} can be used to drive \overline{CE} , but must then be unconditionally High during user operation. \overline{CE} can also be permanently tied Low, but this keeps the DATA output active and causes an unnecessary supply current of 10 mA maximum.

FPGA Master Serial Mode Summary

The I/O and logic functions of the Logic Cell Array and their associated interconnections are established by a configuration program. The program is loaded either automatically upon power up, or on command, depending on the state of the three FPGA mode pins. In Master Mode, the FPGA automatically loads the configuration program from an external memory. The Serial Configuration PROM has been designed for compatibility with the Master Serial Mode.

Upon power-up or reconfiguration, an FPGA enters the Master Serial Mode whenever all three of the FPGA mode-select pins are Low ($M0=0$, $M1=0$, $M2=0$). Data is read from the Serial Configuration PROM sequentially on a single data line. Synchronization is provided by the rising edge of the temporary signal CCLK, which is generated during configuration.

Master Serial Mode provides a simple configuration interface. Only a serial data line and two control lines are required to configure an FPGA. Data from the Serial Configuration PROM is read sequentially, accessed via the internal address and bit counters which are incremented on every valid rising edge of CCLK.

If the user-programmable, dual-function DIN pin on the FPGA is used only for configuration, it must still be held at a defined level during normal operation. The XC3000 and XC4000 families take care of this automatically with an on-chip default pull-up resistor. With XC2000-family devices, the user must either configure DIN as an active output, or provide a defined level, e.g., by using an external pull-up resistor, if DIN is configured as an input.

Programming the FPGA With Counters Unchanged Upon Completion

When multiple FPGA-configurations for a single FPGA are stored in a Serial Configuration PROM, the \overline{OE} pin should be tied Low. Upon power-up, the internal address counters are reset and configuration begins with the first program stored in memory. Since the \overline{OE} pin is held Low, the address counters are left unchanged after configuration is complete. Therefore, to reprogram the FPGA with another program, the $\overline{D/P}$ line is pulled Low and configuration begins at the last value of the address counters.

This method fails if a user applies \overline{RESET} during the FPGA configuration process. The FPGA aborts the configuration and then restarts a new configuration, as intended, but the Serial PROM does not reset its address counter, since it never saw a High level on its \overline{OE} input. The new configuration, therefore, reads the remaining data in the PROM and interprets it as preamble, length count etc. Since the FPGA is the master, it issues the necessary number of CCLK pulses, up to 16 million (24) and $\overline{D/P}$ goes High. However, the FPGA configuration will be completely wrong, with potential contentions inside the FPGA and on its output pins. This method must, therefore, never be used when there is any chance of external reset during configuration.

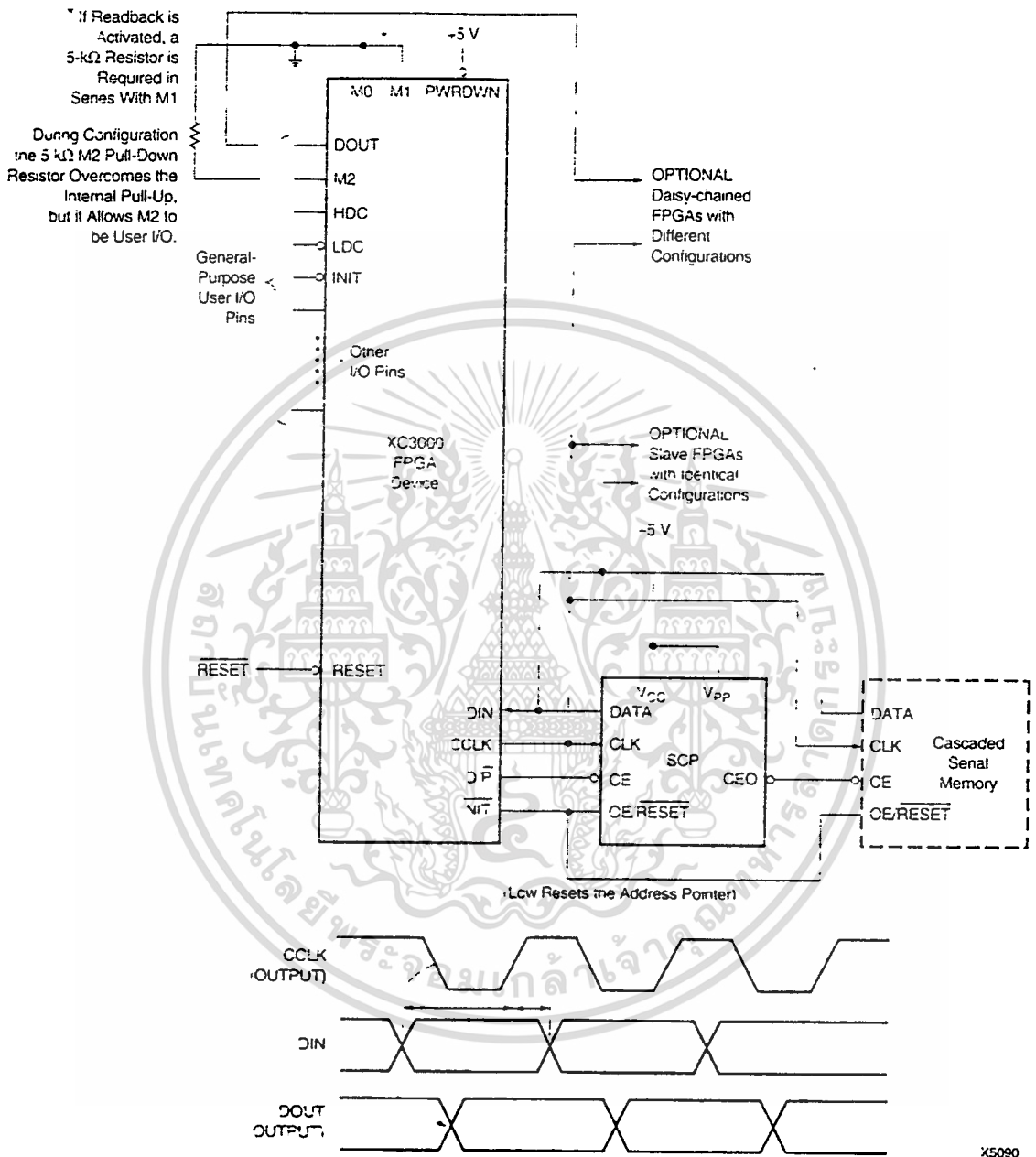
Cascading Serial Configuration PROMs

For multiple FPGAs configured as a daisy-chain, or for future FPGAs requiring larger configuration memories, cascaded SCPs provide additional memory. After the last bit from the first SCP is read, the next clock signal to the SCP asserts its \overline{CE} output Low and disables its DATA line. The second SCP recognizes the Low level on its \overline{CE} input and enables its DATA output. See Figure 2.

After configuration is complete, the address counters of all cascaded SCPs are reset if the FPGA \overline{RESET} pin goes Low, assuming the SCP reset polarity option has been inverted.

To reprogram the FPGA with another program, the $\overline{D/P}$ line goes Low and configuration begins where the address counters had stopped. In this case, avoid contention between DATA and the configured I/O use of DIN.

XC1700D Family of Serial Configuration PROMs



X5090

Figure 2: Master Serial Mode. The one-time-programmable Serial Configuration PROM supports automatic loading of configuration programs. Multiple devices can be cascaded to support additional FPGA. An early D/P inhibits the PROM data output one CCLK cycle before the FPGA I/Os become active.

Standby Mode

The PROM enters a low-power standby mode whenever \overline{CE} is asserted High. The output remains in a high impedance state regardless of the state of the \overline{CE} input.

(A technique for further reducing the standby current of a Serial Configuration PROM is described in the XCELL journal, Issue 11, page 13.)

Programming the XC1700 Family Serial PROMs

The devices can be programmed on programmers supplied by Xilinx or qualified third-party vendors. The user must ensure that the appropriate programming algorithm and voltages are used. Different product types use different algorithms and voltages, and the wrong choice can permanently damage the device.

Table 1: Truth Table for XC1700 Control Inputs

Control Inputs		Internal Address	Outputs		
RESET	CE		DATA	CEO	i_{cc}
Inactive	Low	if address \leq TC: increment if address $>$ TC: don't change	active 3-state	High Low	active reduced
Active	Low	Held reset	3-state	High	active
Inactive	High	Not changing	3-state	High	standby
Active	High	Held reset	3-state	High	standby

Notes: 1. The XC1700 RESET input has programmable polarity.
2. TC = Terminal Count = highest address value. TC-1 = address 0.

Table 2: Data I/O Programmer Locations for Programming RESET Polarity

Device	Hex Address
XC1718D or L	8DC through 8DF
XC1736D	11B8 through 11BB
XC1765D or L	2000 through 2003
XC17128D or L	4000 through 4003
XC17256D or L	8000 through 8003

IMPORTANT: Always be sure to use the proper programming algorithm. "D" series PROMs will not program properly using "A" -series algorithms. Always tie the V_{PP} pin to V_{CC} in your application. Never leave V_{PP} floating.

XC1700D Family of Serial Configuration PROMs

XC1718D, XC1736D, XC1765D, XC17128D and XC17256D

Absolute Maximum Ratings

Symbol	Description		Units
V_{CC}	Supply voltage relative to GND	-0.5 to +7.0	V
V_{PP}	Supply voltage relative to GND	-0.5 to +12.5	V
V_{IN}	Input voltage relative to GND	-0.5 to $V_{CC} + 0.5$	V
V_{TS}	Voltage applied to 3-state output	-0.5 to $V_{CC} + 0.5$	V
T_{STG}	Storage temperature (ambient)	-65 to +125	°C
T_{SOL}	Maximum soldering temperature (10 s @ 1/16 in.)	+260	°C

Note: Stresses beyond those listed under Absolute Maximum Ratings may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those listed under Operating Conditions is not implied. Exposure to Absolute Maximum Ratings conditions for extended periods of time may affect device reliability.

Operating Conditions

Symbol	Description	Min	Max	Units	
V_{CC}	Commercial	Supply voltage relative to GND 0°C to -70°C junction	4.75	5.25	V
	Industrial	Supply voltage relative to GND -40°C to -85°C junction	4.50	5.50	V
	Military	Supply voltage relative to GND -55°C to -125°C case	4.50	5.50	V

DC Characteristics Over Operating Condition

Symbol	Description	Min	Max	Units
V_{IH}	High-level input voltage	2.0	V_{CC}	V
V_{IL}	Low-level input voltage	0	0.8	V
V_{OH}	High-level output voltage ($I_{OH} = -4$ mA)	3.86		V
V_{OL}	Low-level output voltage ($I_{OL} = +4$ mA)		0.32	V
V_{OH}	High-level output voltage ($I_{OH} = -4$ mA)	3.76		V
V_{OL}	Low-level output voltage ($I_{OL} = +4$ mA)		0.37	V
V_{OH}	High-level output voltage ($I_{OH} = -4$ mA)	3.7		V
V_{OL}	Low-level output voltage ($I_{OL} = +4$ mA)		0.4	V
I_{CCA}	Supply current, active mode		10.0	mA
I_{CCS}	Supply current, standby mode, XC17128D, XC17256D		50.0	µA
	Supply current, standby mode, XC1718D, XC1736D, XC1765D		1.5	mA
I_L	Input or output leakage current	-10.0	10.0	µA

Note: During normal read operation V_{PP} must be connected to V_{CC}

XC1718L, XC1765L, XC17128L and XC17256L
Absolute Maximum Ratings

Symbol	Description		Units
V_{CC}	Supply voltage relative to GND	-0.5 to +6.0	V
V_{PP}	Supply voltage relative to GND	-0.5 to +12.5	V
V_{IN}	Input voltage with respect to GND	-0.5 to V_{CC} -0.5	V
V_{TS}	Voltage applied to 3-state output	-0.5 to V_{CC} +0.5	V
T_{STG}	Storage temperature (ambient)	-65 to +150	°C
T_{SOL}	Maximum soldering temperature (10 s @ 1/16 in.)	-260	°C

Note: Stresses beyond those listed under Absolute Maximum Ratings may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those listed under Operating Conditions is not implied. Exposure to Absolute Maximum Ratings conditions for extended periods of time may affect device reliability.

Operating Conditions

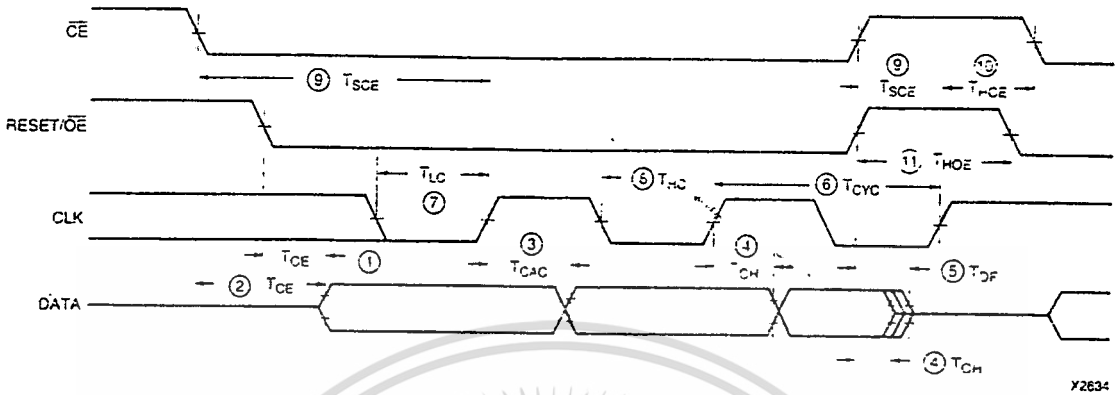
Symbol	Description	Min	Max	Units
V_{CC}	Commercial Supply voltage relative to GND 0°C to +70°C junction	3.0	3.6	V

DC Characteristics Over Operating Condition

Symbol	Description	Min	Max	Units
V_{IH}	High-level input voltage	2.0	V_{CC}	V
V_{IL}	Low-level input voltage	0	0.8	V
V_{OH}	High-level output voltage ($I_{OH} = -4$ mA)	2.4		V
V_{OL}	Low-level output voltage ($I_{OL} = +4$ mA)		0.4	V
I_{CCA}	Supply current, active mode		5.0	mA
I_{CCS}	Supply current, standby mode, XC1718L, XC1765L Supply current, standby mode, XC17128L, XC17256L		1.5 50.0	mA μ A
I_{L}	Input or output leakage current	-10.0	10.0	μ A

Note: During normal read operation V_{DD} must be connected to V_{CC}

AC Characteristics Over Operating Condition



72634

Symbol	Description	XC1718D XC1736D XC1765D		XC1718L XC1765L		XC17128D XC17256D		XC17128L XC17256L		Units
		Min	Max	Min	Max	Min	Max	Min	Max	
1	T_{CE} OE to Data Delay		45		45		25		30	ns
2	T_{CE} CE to Data Delay		60		50		45		60	ns
3	T_{CAC} CLK to Data Delay		150		200		50		60	ns
4	T_{OH} Data Hold From CE, OE, or CLK	0		0		0		0		ns
5	T_{DF} CE or OE to Data Float Delay ²		50		50		50		50	ns
6	T_{CYC} Clock Periods	200		400		80		100		ns
7	T_{LC} CLK Low Time ³	100		100		20		25		ns
8	T_{HC} CLK High Time ³	100		100		20		25		ns
9	T_{SCE} CE Setup Time to CLK (to guarantee proper counting)	25		40		20		25		ns
10	T_{HCE} CE Hold Time to CLK (to guarantee proper counting)	0		0		0		0		ns
11	T_{HOE} OE Hold Time (guarantees counters are reset)	100		100		20		25		ns

Notes: 1. AC test load = 50 pF

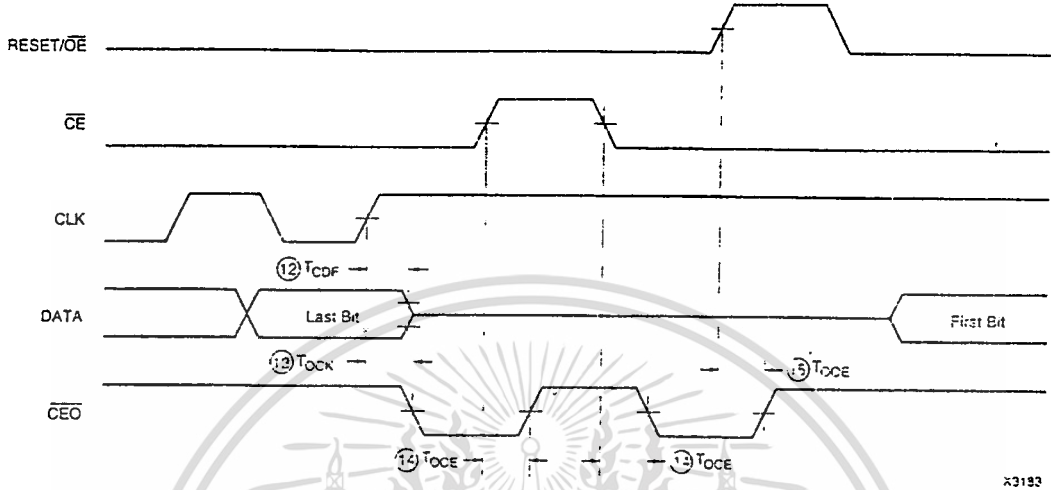
2. Float delays are measured with minimum tester ac load and maximum dc load.

3. Guaranteed by design, not tested.

4. All AC parameters are measured with $V_{IL} = 0.0\text{ V}$ and $V_{IH} = 3.0\text{ V}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Characteristics Over Operating Condition (continued)



X3183

Symbol	Description	XC1718D XC1736D XC1765D		XC1718L XC1765L		XC17128D XC17256D		XC17128L XC17256L		Units
		Min	Max	Min	Max	Min	Max	Min	Max	
12 T _{CDF}	CLK to Data Float Delay ²		50	50	50	50	50	50	ns	
13 T _{OCK}	CLK to CEO Delay		65	65	30	30	30	30	ns	
14 T _{OCE}	CE to CEO Delay		45	45	35	35	35	35	ns	
15 T _{OOE}	RESET/OE to CEO Delay		40	40	30	30	30	30	ns	

- Notes:**
1. AC test load = 50 pF
 2. Float delays are measured with minimum tester ac load and maximum dc load.
 3. Guaranteed by design, not tested.
 4. All AC parameters are measured with V_{IL} = 0.0 V and V_{IH} = 3.0 V.

XC1700D Family of Serial Configuration PROMs

Ordering Information

XC1736D - PC20 C

Device Number XC1718D XC1718L XC1736D XC1765D XC1765L XC17128D XC17128L XC17256D XC17256L	Package Type PD8 = 8-Pin Plastic DIP DD8 = 8-Pin CerDIP SO8 = 8-Pin Plastic Small-Outline Package VO8 = 8-Pin Plastic Small-Outline Thin Package PC20 = 20-Pin Plastic Leaded Chip Carrier	Operating Range/Processing C = Commercial (0° to +70°C) I = Industrial (-40° to +85°C) M = Military (-55° to +125°C) B = Military (-55° to +125°C) MIL-STD-883 Level B compliant
---	--	--

Valid Ordering Combinations

XC17128DPD8C	XC1718DPD8C	XC17256DPD8C	XC1736DPD8C	XC1765DPD8C
XC17128DVO8C	XC1718DVO8C	XC17256DVO8C	XC1736DVO8C	XC1765DVO8C
XC17128DPC20C	XC1718DPC20C	XC17256DPC20C	XC1736DPC20C	XC1765DPC20C
XC17128DPD8I	XC1718DPD8I	XC17256DPD8I	XC1736DPD8I	XC1765DPD8I
XC17128DVO8I	XC1718DVO8I	XC17256DVO8I	XC1736DVO8I	XC1765DVO8I
XC17128DPC20I	XC1718DPC20I	XC17256DPC20I	XC1736DPC20I	XC1765DPC20I
XC17128DDD8M	XC1718DDD8M	XC17256DDD8M	XC1736DDD8M	XC1765DDD8M
XC17128LPD8C	XC1718LPD8C	XC17256LPD8C	XC1736LPD8C	XC1765LPD8C
XC17128LVO8C	XC1718LVO8C	XC17256LVO8C	XC1736LVO8C	XC1765LVO8C
XC17128LPC20C	XC1718LPC20C	XC17256LPC20C	XC1736LPC20C	XC1765LPC20C
XC17128LPD8I	XC1718LPD8I	XC17256LPD8I	XC1736LPD8I	XC1765LPD8I
XC17128LVO8I	XC1718LVO8I	XC17256LVO8I	XC1736LVO8I	XC1765LVO8I
XC17128LPC20I	XC1718LPC20I	XC17256LPC20I	XC1736LPC20I	XC1765LPC20I

Marking Information

Due to the small size of the serial PROM package, the complete ordering part number cannot be marked on the package. The XC prefix is deleted and the package code is simplified. Device marking is as follows.

1736D P C

Device Number XC1718D XC1718L XC1736D XC1765D XC1765L XC17128D XC17128L XC17256D XC17256L	Package Type P = 8-Pin Plastic DIP D = 8-Pin CerDIP S = 8-Pin Plastic Small-Outline Package V = 8-Pin Plastic Small-Outline Thin Package J = 20-Pin Plastic Leaded Chip Carrier	Operating Range/Processing C = Commercial (0° to +70°C) I = Industrial (-40° to +85°C) M = Military (-55° to +125°C) B = Military (-55° to +125°C) MIL-STD-883 Level B compliant
---	---	--



XC3000 Series Field Programmable Gate Arrays

June 1, 1996 (Version 2.0)

Product Description

Features

- Complete line of four related Field Programmable Gate Array product families
 - XC3000A, XC3000L, XC3100A, XC3100L
- Ideal for a wide range of custom VLSI design tasks
 - Replaces TTL, MSI, and other PLD logic
 - Integrates complete sub-systems into a single package
 - Avoids the NRE, time delay, and risk of conventional masked gate arrays
- High-performance CMOS static memory technology
 - Guaranteed toggle rates of 70 to 370 MHz, logic delays from 9 to 1.5 ns
 - System clock speeds over 80 MHz
 - Low quiescent and active power consumption
- Flexible FPGA architecture
 - Compatible arrays ranging from 1,000 to 7,500 gate complexity
 - Extensive register, combinatorial, and I/O capabilities
 - High fan-out signal distribution, low-skew clock nets
 - Internal 3-state bus capabilities
 - TTL or CMOS input thresholds
 - On-chip crystal oscillator amplifier
- Unlimited reprogrammability
 - Easy design iteration
 - In-system logic changes
- Extensive packaging options
 - Over 20 different packages
 - Plastic and ceramic surface-mount and pin-grid-array packages
 - Thin and Very Thin Quad Flat Pack (TQFP and VQFP) options
- Ready for volume production
 - Standard, off-the-shelf product availability
 - 100% factory pre-tested devices
 - Excellent reliability record

- Complete XACTstep Development System
 - Schematic capture, automatic place and route
 - Logic and timing simulation
 - Interactive design editor for design optimization
 - Timing calculator
 - Interfaces to popular design environments like Viewlogic, Cadence, Mentor Graphics, and others

Description

XC3000-Series Field Programmable Gate Arrays (FPGAs) provide a group of high-performance, high-density, digital integrated circuits. Their regular, extendable, flexible, user-programmable array architecture is composed of a configuration program store plus three types of configurable elements: a perimeter of I/O Blocks (IOBs), a core array of Configurable Logic Blocks (CLBs) and resources for interconnection. The general structure of an FPGA is shown in Figure 2. The XACTstep development system provides schematic capture and auto place-and-route for design entry, logic and timing simulation, and in-circuit emulation are available as design verification alternatives. The design editor is used for interactive design optimization, and to compile the data pattern that represents the configuration program.

The FPGA user logic functions and interconnections are determined by the configuration program data stored in internal static memory cells. The program can be loaded in any of several modes to accommodate various system requirements. The program data resides externally in an EEPROM, EPROM or ROM on the application circuit board, or on a floppy disk or hard disk. On-chip initialization logic provides for optional automatic loading of program data at power-up. The companion XC17XX Serial Configuration PROMs provide a very simple serial configuration program storage in a one-time programmable package.

The XC3000 Field Programmable Gate Array families provide a variety of logic capacities, package styles, temperature ranges and speed grades.

Device	Max Logic Gates	Typical Gate Range	CLBs	Array	User I/Os Max	Flip-Flops	Horizontal Longlines	Configuration Data Bits
XC3020A, 3020L, 3120A	1,500	1,000 - 1,500	64	8 x 8	64	256	16	14,779
XC3030A, 3030L, 3130A	2,000	1,500 - 2,000	100	10 x 10	80	360	20	22,176
XC3042A, 3042L, 3142A, 3142L	3,000	2,000 - 3,000	144	12 x 12	96	480	24	30,764
XC3064A, 3064L, 3164A	4,500	3,500 - 4,500	224	16 x 14	120	688	32	46,064
XC3090A, 3090L, 3190A, 3190L	6,000	5,000 - 6,000	320	16 x 20	144	928	40	64,160
XC3195A	7,500	6,500 - 7,500	484	22 x 22	176	1,320	44	94,984

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Dynamic Power Consumption

	XC3042A	XC3042L	XC3142A	
One CLB driving three local interconnects	0.25	0.17	0.25	mW per MHz
One global clock buffer and clock line	2.25	1.40	1.70	mW per MHz
One device output with a 50 pF load	1.25	1.25	1.25	mW per MHz

Power Consumption

The Field Programmable Gate Array exhibits the low power consumption characteristic of CMOS ICs. For any design, the configuration option of TTL chip input threshold requires power for the threshold reference. The power required by the static memory cells that hold the configuration data is very low and may be maintained in a power-down mode.

Typically, most of power dissipation is produced by external capacitive loads on the output buffers. This load and frequency dependent power is 25 μ W/pF/MHz per output. Another component of I/O power is the external dc loading on all output pins.

Internal power dissipation is a function of the number and size of the nodes, and the frequency at which they change. In an FPGA, the fraction of nodes changing on a given clock is typically low (10-20%). For example, in a long binary counter, the total activity of all counter flip-flops is equivalent to that of only two CLB outputs toggling at the clock frequency. Typical global clock-buffer power is between 2.0 mW/MHz for the XC3020A and 3.5 mW/MHz for the XC3090A. The internal capacitive load is more a function of interconnect than fan-out. With a typical load of three general interconnect segments, each CLB output requires about 0.25 mW per MHz of its output frequency.

Because the control storage of the FPGA is CMOS static memory, its cells require a very low standby current for data retention. In some systems, this low data retention current characteristic can be used as a method of preserving configurations in the event of a primary power loss. The FPGA

has built in powerdown logic which, when activated, will disable normal operation of the device and retain only the configuration data. All internal operation is suspended and output buffers are placed in their high-impedance state with no pull-ups. Different from the XC3000 family which can be powered down to a current consumption of a few microamps, the XC3100A draws 5 mA, even in power-down. This makes power-down operation less meaningful. In contrast, ICCPD for the XC3000L is only 10 μ A.

To force the FPGA into the Powerdown state, the user must pull the PWRDWN pin Low and continue to supply a retention voltage to the V_{CC} pins. When normal power is restored, V_{CC} is elevated to its normal operating voltage and PWRDWN is returned to a High. The FPGA resumes operation with the same internal sequence that occurs at the conclusion of configuration. Internal-I/O and logic-block storage elements will be reset, the outputs will become enabled and the DONE/PROG pin will be released.

When V_{CC} is shut down or disconnected, some power might unintentionally be supplied from an incoming signal driving an I/O pin. The conventional electrostatic input protection is implemented with diodes to the supply and ground. A positive voltage applied to an input (or output) will cause the positive protection diode to conduct and drive the V_{CC} connection. This condition can produce invalid power conditions and should be avoided. A large series resistor might be used to limit the current or a bipolar buffer may be used to isolate the input signal.

Pin Descriptions

Permanently Dedicated Pins

V_{CC}

Two to eight (depending on package type) connections to the positive V supply voltage. All must be connected.

GND

Two to eight (depending on package type) connections to ground. All must be connected.

\overline{PWRDWN}

A Low on this CMOS-compatible input stops all internal activity, but retains configuration. All flip-flops and latches are reset, all outputs are 3-stated, and all inputs are interpreted as High, independent of their actual level. When \overline{PWRDWN} returns High, the FPGA becomes operational with DONE Low for two cycles of the internal 1-MHz clock. Before and during configuration, \overline{PWRDWN} must be High. If not used, \overline{PWRDWN} must be tied to V_{CC} .

RESET

This is an active Low input which has three functions.

Prior to the start of configuration, a Low input will delay the start of the configuration process. An internal circuit senses the application of power and begins a minimal time-out cycle. When the time-out and RESET are complete, the levels of the M lines are sampled and configuration begins.

If RESET is asserted during a configuration, the FPGA is re-initialized and restarts the configuration at the termination of RESET.

If RESET is asserted after configuration is complete, it provides a global asynchronous RESET of all IOB and CLB storage elements of the FPGA.

CCLK

During configuration, Configuration Clock is an output of an FPGA in Master mode or Peripheral mode, but an input in Slave mode. During Readback, CCLK is a clock input for shifting configuration data out of the FPGA.

CCLK drives dynamic circuitry inside the FPGA. The Low time may, therefore, not exceed a few microseconds. When used as an input, CCLK must be "parked High". An internal pull-up resistor maintains High when the pin is not being driven.

DONE/ \overline{PROG} (D/ \overline{P})

DONE is an open-drain output, configurable with or without an internal pull-up resistor of 2 to 8 k Ω . At the completion of configuration, the FPGA circuitry becomes active in a synchronous order; DONE is programmed to go active High one cycle either before or after the outputs go active.

Once configuration is done, a High-to-Low transition of this pin will cause an initialization of the FPGA and start a reconfiguration.

M0/RTRIG

As Mode 0, this input is sampled on power-on to determine the power-on delay (2^{14} cycles if M0 is High, 2^{16} cycles if M0 is Low). Before the start of configuration, this input is again sampled together with M1, M2 to determine the configuration mode to be used.

A Low-to-High input transition, after configuration is complete, acts as a Read Trigger and initiates a Readback of configuration and storage-element data clocked by CCLK. By selecting the appropriate Readback option when generating the bitstream, this operation may be limited to a single Readback, or be inhibited altogether.

M1/RDATA

As Mode 1, this input and M0, M2 are sampled before the start of configuration to establish the configuration mode to be used. If Readback is never used, M1 can be tied directly to ground or V_{CC} . If Readback is ever used, M1 must use a 5-k Ω resistor to ground or V_{CC} , to accommodate the RDATA output.

As an active-Low Read Data, after configuration is complete, this pin is the output of the Readback data.

User I/O Pins That Can Have Special Functions

M2

During configuration, this input has a weak pull-up resistor. Together with M0 and M1, it is sampled before the start of configuration to establish the configuration mode to be used. After configuration, this pin is a user-programmable I/O pin.

HDC

During configuration, this output is held at a High level to indicate that configuration is not yet complete. After configuration, this pin is a user-programmable I/O pin.

LDC

During Configuration, this output is held at a Low level to indicate that the configuration is not yet complete. After configuration, this pin is a user-programmable I/O pin. LDC is particularly useful in Master mode as a Low enable for an EPROM, but it must then be programmed as a High after configuration.

INIT

This is an active Low open-drain output with a weak pull-up and is held Low during the power stabilization and internal clearing of the configuration memory. It can be used to indicate status to a configuring microprocessor or, as a wired

XC3000 Series Field Programmable Gate Arrays

AND of several slave mode devices, a hold-off signal for a master mode device. After configuration this pin becomes a user-programmable I/O pin.

BCLKIN

This is a direct CMOS level input to the alternate clock buffer (Auxiliary Buffer) in the lower right corner.

XTL1

This user I/O pin can be used to operate as the output of an amplifier driving an external crystal and bias circuitry.

XTL2

This user I/O pin can be used as the input of an amplifier connected to an external crystal and bias circuitry. The I/O Block is left unconfigured. The oscillator configuration is activated by routing a net from the oscillator buffer symbol output and by the MakeBits program.

CS0, CS1, CS2, WS

These four inputs represent a set of signals, three active Low and one active High, that are used to control configuration-data entry in the Peripheral mode. Simultaneous assertion of all four inputs generates a Write to the internal data buffer. The removal of any assertion clocks in the D0-D7 data. In Master-Parallel mode, WS and CS2 are the A0 and A1 outputs. After configuration, these pins are user-programmable I/O pins.

RDY/BSY

During Peripheral Parallel mode configuration this pin indicates when the chip is ready for another byte of data to be written to it. After configuration is complete, this pin becomes a user-programmed I/O pin.

RCLK

During Master Parallel mode configuration, each change on the A0-15 outputs is preceded by a rising edge on \overline{RCLK} , a redundant output signal. After configuration is complete, this pin becomes a user-programmed I/O pin.

D0-D7

This set of eight pins represents the parallel configuration byte for the parallel Master and Peripheral modes. After configuration is complete, they are user-programmed I/O pins.

A0-A15

During Master Parallel mode, these 16 pins present an address output for a configuration EPROM. After configuration, they are user-programmable I/O pins.

DIN

During Slave or Master Serial configuration, this pin is used as a serial-data input. In the Master or Peripheral configuration, this is the Data 0 input. After configuration is complete, this pin becomes a user-programmed I/O pin.

DOUT

During configuration this pin is used to output serial-configuration data to the DIN pin of a daisy-chained slave. After configuration is complete, this pin becomes a user-programmed I/O pin.

TCLKIN

This is a direct CMOS-level input to the global clock buffer. This pin can also be configured as a user programmable I/O pin. However, since TCLKIN is the preferred input to the global clock net, and the global clock net should be used as the primary clock source, this pin is usually the clock input to the chip.

Unrestricted User I/O Pins**I/O**

An I/O pin may be programmed by the user to be an Input or an Output pin following configuration. All unrestricted I/O pins, plus the special pins mentioned on the following page, have a weak pull-up resistor of 50 k Ω to 100 k Ω that becomes active as soon as the device powers up, and stays active until the end of configuration.

Note: Before and during configuration, all outputs that are not used for the configuration process are 3-stated with a 50 k Ω to 100 k Ω pull-up resistor.

Pin Functions During Configuration

Configuration Mode <M2:M1:M0>																									User Function
SLAVE SERIAL <1:1:1>	MASTER SERIAL <0:0:0>	PERIPH <1:0:1>	MASTER-HIGH <1:1:0>	MASTER-LOW <1:0:0>	64 PLCC	68 VQFP	84 PLCC	84 PLCC	84 PGA	100 PQFP	100 TQFP	132 PGA	144 TOFP	160 PQFP	175 PGA	176 TQFP	208 POFP	223 PGA							
POWER DWN (I)	POWER DWN (I)	POWER DWN (I)	POWER DWN (I)	POWER DWN (I)	7	10	12	22	29	36	A1	1	159	B2	1	3	B2		POWER DWN (I)						
M1 (HIGH) (I)	M1 (LOW) (I)	M1 (LOW) (I)	M1 (HIGH) (I)	M1 (LOW) (I)	16	21	25	31	32	32	-9	B13	36	-0	B14	45	-8	C16	RODATA						
M0 (HIGH) (I)	M0 (LOW) (I)	M0 (HIGH) (I)	M0 (LOW) (I)	M0 (LOW) (I)	17	32	26	32	L1	34	51	A14	38	42	B15	47	50	B17	RTTRIG (I)						
M2 (HIGH) (I)	M2 (LOW) (I)	M2 (HIGH) (I)	M2 (HIGH) (I)	M2 (HIGH) (I)	18	23	27	33	K2	56	53	C13	40	44	C15	49	56	A17	IO						
HDC (HIGH)	HDC (HIGH)	HDC (HIGH)	HDC (HIGH)	HDC (HIGH)	19	34	28	34	K3	57	54	B14	41	45	E14	50	57	A18	IO						
LDC (LOW)	LDC (LOW)	LDC (LOW)	LDC (LOW)	LDC (LOW)	20	36	30	L3	59	56	D14	45	49	D16	54	61	E16		IO						
INIT	INIT	INIT	INIT	INIT	22	-0	34	42	K6	65	62	G14	55	59	H15	55	77	J16	IO						
GND	GND	GND	GND	GND	23	41	35	43	-6	66	63	H12	55	19	J14	57	79	K15	GND						
RESET (I)	RESET (I)	RESET (I)	RESET (I)	RESET (I)	26	47	43	53	L11	75	73	M13	69	76	P15	65	100	V18	XTL2 OR IO						
DONE	DONE	DONE	DONE	DONE	27	48	44	54	<10	78	75	P14	71	78	F15	67	102	U17	RESET (I)						
					29	49	45	55	J10	80	77	N13	73	80	R14	69	107	V17	PROGRAM (I)						
					30	51	47	57	J11	82	79	P13	75	82	T14	71	110	U16	XTL1 OR IO						
					32	48	58	F10	83	80	N11	78	86	P12	86	115	U15		IO						
					33	49	60	F10	87	84	M9	84	92	T11	102	122	U12		IO						
					34	50	61	G10	88	85	N9	85	93	R10	103	123	V11		IO						
					35	51	62	G11	89	86	N8	88	96	R9	108	128	U10		IO						
					37	53	65	F11	92	89	N7	92	102	P8	112	132	9		IO						
					38	54	66	E11	93	90	P6	93	103	P8	113	133	U9		IO						
					39	55	67	E12	94	91	M6	96	106	R7	116	138	V8		IO						
					40	56	70	D10	98	95	M5	102	114	P5	124	145	U5		IO						
					41	57	71	C11	99	96	N4	103	115	P5	125	146	U4		IO						
DIN (I)	DIN (I)				38	52	58	72	E11	100	97	N2	106	119	R3	130	151	U3	IO						
DOUT	DOUT				39	63	59	73	C10	1	98	M3	107	120	M4	131	152	V2	IO						
CCLK (I)	CCLK (O)	CCLK (O)	CCLK (O)	CCLK (O)	40	64	60	74	A11	2	99	P1	108	121	R2	132	153	U2	CCLK (I)						
	WS (I)																								
	CS2 (I)																								
	A0																								
	A1																								
	A2																								
	A3																								
	A15																								
	A4																								
	A14																								
	A5																								
	A13																								
	A6																								
	A12																								
	A7																								
	A11																								
	A8																								
	A10																								
	A9																								

Notes:

Generic I/O pins are not shown.
 For a detailed description of the configuration modes, see page 310 through page 319.
 For pinout details, see page 327 through page 338.
 Represents a 50-kΩ to 100-kΩ pull-up before and during configuration.
 INIT is an open drain output during configuration.
 (I) Represents an input.
 Pin assignment for the XC3064A, XC3090A and XC3195A differ from those shown.
 Peripheral mode and master parallel mode are not supported in the PC44 package.
 Pin assignments for the XC3195A PQ208 differ from those shown.
 Pin assignments of PGA Footprint PLCC sockets and PGA packages are not identical.
 The information on this page is provided as a convenient summary. For detailed pin descriptions, see the preceding two pages.

Note: Before and during configuration, all outputs that are not used for the configuration process are 3-stated with a 50-kΩ to 100-kΩ pull-up resistor.

																				All Others
																				XC3x20A etc.
X	X	X	X	X	X	X	X	X	X											XC3x30A etc.
										X	X	X	X	X	X	X	X	X	X	XC3x42A etc.
										X**										XC3x64A etc.
										X**					X	X	X	X	X	XC3x90A etc.
										X**					X	X	X	X	X	XC3195A

XC3000 Series Pin Assignments

Xilinx offers the six different array sizes in the XC3000 families in a variety of surface-mount and through-hole package types, with pin counts from 44 to 223.

Each chip is offered in several package types to accommodate the available PC board space and manufacturing technology. Most package types are also offered with different chips to accommodate design changes without the need for PC board changes.

Note that there is no perfect match between the number of bonding pads on the chip and the number of pins on a package. In some cases, the chip has more pads than there are pins on the package, as indicated by the information ("unused" pads) below the line in the following table. The IOBs of the unconnected pads can still be used as storage elements if the specified propagation delays and set-up times are acceptable.

In other cases, the chip has fewer pads than there are pins on the package; therefore, some package pins are not connected (n.c.), as shown above the line in the following table.

Number of Unbounded or Unconnected Pins

Device	Pads	Number of Package Pins											
		44	64	68	84	100	132	144	160	175	176	208	223
3020A	74	—	—	6 u	10 n.c.	26 n.c.	—	—	—	—	—	—	—
3030A	98	54 u	34 u	30 u	14 u	2 n.c.	—	—	—	—	—	—	—
3042A	118	—	—	—	34 u	18 u	14 n.c.	26 n.c.	—	—	—	—	—
3064A	142	—	—	—	50 u	—	10 u	2 u	18 n.c.	—	—	—	—
3090A	166	—	—	—	82 u	—	—	—	6 u	9 n.c.	10 n.c.	42 n.c.	—
3195A	198	—	—	—	114 u	—	—	—	—	9 n.c. 32 u	—	10 n.c.	25 n.c.

n.c. = Unconnected package pin
u = Unbonded device pad

X7066

Number of Available I/O Pins

	Max I/O	Number of Package Pins																	
		44	64	68	84	100	120	132	144	156	160	164	175	176	191	196	208	223	240
XC3020A/XC3120A	64			58	64	64													
XC3030A/XC3130A	80	34	54	58	74	80													
XC3042A/XC3142A	96				74	82		96	96										
XC3064A/XC3164A	120				70			110	110		120								
XC3090A/XC3190A	144				70					120		138	144	144				144	
XC3195A	176				70							138	144	144				144	176

X7067

XC3000 Series 44-Pin PLCC Pinouts

XC3000A, XC3000L, and XC3100A families have identical pinouts

Pin No.	XC3030A	Pin No.	XC3030A
1	GND	23	GND
2	I/O	24	I/O
3	I/O	25	I/O
4	I/O	26	XTL2(IN)-I/O
5	I/O	27	RESET
6	I/O	28	DONE-PGM
7	PWRDWN	29	I/O
8	TCLKIN-I/O	30	XTL1(OUT)-BCLK-I/O
9	I/O	31	I/O
10	I/O	32	I/O
11	I/O	33	I/O
12	VCC	34	VCC
13	I/O	35	I/O
14	I/O	36	I/O
15	I/O	37	I/O
16	M1-RDATA	38	DIN-I/O
17	M0-RTRIG	39	DOUT-I/O
18	M2-I/O	40	CCLK
19	HDC-I/O	41	I/O
20	LDC-I/O	42	I/O
21	I/O	43	I/O
22	INIT-I/O	44	I/O

Peripheral mode and Master Parallel mode are not supported in the PC44 package

XC3000 Series 68-Pin PLCC, 84-Pin PLCC and PGA Pinouts

XC3000A, XC3000L, XC3100A, and XC3100L families have identical pinouts

68 PLCC					68 PLCC				
XC3030A	XC3020A	XC3020A, XC3030A, XC3042A	84 PLCC	84 PGA	XC3030A	XC3020A, XC3030A, XC3042A	84 PLCC	84 PGA	XC3020A
10	10	PWRDN	12	B2	44	RESET	54	K10	44
11	11	TCLKIN-I/O	13	C2	45	DONE-PG	55	J10	45
12	—	I/O*	14	B1	46	D7-I/O	56	K11	46
13	12	I/O	15	C1	47	XTL1(OUT)-BCLKIN-I/O	57	J11	47
14	13	I/O	16	D2	48	D6-I/O	58	H10	48
—	—	I/O	17	D1	—	I/O	59	H11	—
15	14	I/O	18	E3	49	D5-I/O	60	F10	49
16	15	I/O	19	E2	50	C50-I/O	61	G10	50
—	16	I/O	20	E1	51	D4-I/O	62	G11	51
17	17	I/O	21	F2	—	I/O	63	G9	—
18	18	VCC	22	F3	52	VCC	64	F9	52
19	19	I/O	23	G3	53	D3-I/O	65	F11	53
—	—	I/O	24	G1	54	C51-I/O	66	E11	54
20	20	I/O	25	G2	55	D2-I/O	67	E10	55
—	21	I/O	26	F1	—	I/O	68	E9	—
21	22	I/O	27	H1	—	I/O*	69	D11	—
22	—	C	28	H2	56	D1-I/O	70	D10	56
23	23	I/O	29	J1	57	RDY-BUSY-RCLK-I/O	71	C11	57
24	24	I/O	30	K1	58	D0-DIN-I/O	72	B11	58
25	25	M1-RDATA	31	J2	59	DO-OUT-I/O	73	C10	59
26	26	I/O-RTRIG	32	L1	60	CCLK	74	A11	60
27	27	M2-I/O	33	K2	61	A0-WS-I/O	75	B10	61
28	28	HDC-I/O	34	K3	62	A1-CS2-I/O	76	B9	62
29	29	I/O	35	L2	63	A2-I/O	77	A10	63
30	30	LDC-I/O	36	L3	64	A3-I/O	78	A9	64
—	31	I/O	37	K4	—	I/O*	79	B8	—
—	—	I/O*	38	L4	—	I/O*	80	A8	—
31	32	I/O	39	J5	65	A15-I/O	81	B6	65
32	33	I/O	40	K5	66	A4-I/O	82	B7	66
33	—	I/O*	41	L5	67	A14-I/O	83	A7	67
34	34	M3-I/O	42	K6	68	A5-I/O	84	C7	68
35	35	GND	43	J6	1	GND	1	C6	1
36	36	I/O	44	J7	2	A13-I/O	2	A6	2
37	37	I/O	45	L7	3	A6-I/O	3	A5	3
38	38	I/O	46	K7	4	A12-I/O	4	B5	4
39	39	I/O	47	L6	5	A7-I/O	5	C5	5
—	40	I/O	48	L8	—	I/O*	6	A4	—
—	41	I/O	49	K8	—	I/O*	7	B4	—
40	—	I/O*	50	L9	6	A11-I/O	8	A3	6
41	—	I/O*	51	L10	7	A8-I/O	9	A2	7
42	42	I/O	52	K9	8	A10-I/O	10	B3	8
43	43	XTL2(IN)-I/O	53	L11	9	A9-I/O	11	A1	9

Unprogrammed IOBs have a default pull-up. This prevents an undefined pad level for unbonded or unused IOBs. Programmed outputs are default slew-rate limited.

This table describes the pinouts of three different chips in three different packages. The pin-description column lists 84 of the 118 pads on the XC3042A (and 84 of the 98 pads on the XC3030A) that are connected to the 84 package pins. Ten pads, indicated by an asterisk, do not exist on the XC3020A, which has 74 pads; therefore the corresponding pins on the 84-pin packages have no connections to an XC3020A. Six pads on the XC3020A and 16 pads on the XC3030A, indicated by a dash (—) in the 68 PLCC column, have no connection to the 68 PLCC, but are connected to the 84-pin packages.

XC3000 Series Field Programmable Gate Arrays

XC3000 Series 64-Pin Plastic VQFP Pinouts

XC3000A, XC3000L, and XC3100A families have identical pinouts

Pin No.	XC3030A	Pin No.	XC3030A
1	A0-WS-I/O	33	M2-I/O
2	A1-CS2-I/O	34	HDC-I/O
3	A2-I/O	35	I/O
4	A3-I/O	36	LDC-I/O
5	A4-I/O	37	I/O
6	A14-I/O	38	I/O
7	A5-I/O	39	I/O
8	GND	40	INIT-I/O
9	A13-I/O	41	GND
10	A6-I/O	42	I/O
11	A12-I/O	43	I/O
12	A7-I/O	44	I/O
13	A11-I/O	45	I/O
14	A8-I/O	46	I/O
15	A10-I/O	47	XTAL2(IN)-I/O
16	A9-I/O	48	RESET
17	PWRDN	49	DONE-PG
18	TCLKIN-I/O	50	D7-I/O
19	I/O	51	XTAL1(OUT)-BCLKIN-I/O
20	I/O	52	D6-I/O
21	I/O	53	D5-I/O
22	I/O	54	CS0-I/O
23	I/O	55	D4-I/O
24	VCC	56	VCC
25	I/O	57	D3-I/O
26	I/O	58	CS1-I/O
27	I/O	59	D2-I/O
28	I/O	60	D1-I/O
29	I/O	61	RDY/BUSY-RCLK-I/O
30	I/O	62	D0-DIN-I/O
31	M1-RDATA	63	DOUT-I/O
32	M0-RTRIG	64	CCLK



XC4000 Series Field Programmable Gate Arrays

July 30, 1996 (Version 1.03)

Product Specification

XC4000-Series Features

Note: XC4000-Series devices described in this data sheet include the XC4000E, XC4000EX, XC4000L, and XC4000XL. This information does not apply to the older Xilinx families: XC4000, XC4000A, XC4000D or XC4000H. For information on these devices, see the Xilinx WEBLIX at <http://www.xilinx.com>.

- Third Generation Field-Programmable Gate Arrays
 - Select-RAM™ memory: on-chip ultra-fast RAM with
 - synchronous write option
 - dual-port RAM option
 - Fully PCI compliant (speed grades -3 and faster)
 - Abundant flip-flops
 - Flexible function generators
 - Dedicated high-speed carry logic
 - Wide edge decoders on each edge
 - Hierarchy of interconnect lines
 - Internal 3-state bus capability
 - 8 global low-skew clock or signal distribution networks
- System Performance to 66 MHz
- Flexiole Array Architecture
- Systems-Oriented Features
 - IEEE 1149.1-compatible boundary scan logic support
 - Individually programmable output slew rate
 - Programmable input pull-up or pull-down resistors
 - 12-mA sink current per XC4000E output (4 mA per XC4000L output)
- Configured by Loading Binary File
 - Unlimited reprogrammability
- Readback Capability
- Backward Compatible with XC4000 Devices
- XACT^{step} Development System runs on 386/486/Pentium-type PC, Sun-4, and Hewlett-Packard 700 series
 - Interfaces to popular design environments
 - Fully automatic mapping, placement and routing
 - Interactive design editor for design optimization
 - RAM/ROM compiler

Low-Voltage Versions Available

- Low-Voltage Devices Function at 3.0 - 3.6 Volts
- XC4000L: Low-Voltage Versions of XC4000E Devices
- XC4000XL: Low-Voltage Versions of XC4000EX devices

Additional XC4000EX/XL Features

- Highest Capacity — Over 130,000 Usable Gates
- Additional Routing Over XC4000E
 - almost twice the routing capacity for high-density designs
- Buffered Interconnect for Maximum Speed
- New Latch Capability in Configurable Logic Blocks
- Improved VersaRing™ I/O Interconnect for Better Fixed Pinout Flexibility
- Flexible New High-Speed Clock Network
 - 8 additional Early Buffers for shorter clock delays
 - 4 additional FastCLK™ buffers for fastest clock input
 - Virtually unlimited number of clock signals
- Optional Multiplexer or 2-input Function Generator on Device Outputs
- High-Speed Parallel Express™ Configuration Mode
- Improved I/O Setup and Clock-to-Output with FastCLK and Global Early Buffers
- 4 Additional Address Bits in Master Parallel Configuration Mode

Introduction

XC4000-Series high-performance, high-capacity Field Programmable Gate Arrays (FPGAs) provide the benefits of custom CMOS VLSI, while avoiding the initial cost, long development cycle, and inherent risk of a conventional masked gate array.

The result of eleven years of FPGA design experience and feedback from thousands of customers, these FPGAs combine architectural versatility, on-chip Select-RAM memory with edge-triggered and dual-port modes, increased speed, abundant routing resources, and new, sophisticated software to achieve fully automated implementation of complex, high-density, high-performance designs.

The XC4000 Series currently has 19 members, as shown in Table 1.

XC4000E Switching Characteristics

Definition of Terms

In the following tables, some specifications may be designated as Advance or Preliminary. These terms are defined as follows:

Advance: Initial estimates based on simulation and/or extrapolation from other speed grades, devices, or device families. Use as estimates, not for production.

Preliminary: Based on preliminary characterization. Further changes are not expected.

Unmarked: Specifications not identified as either Advance or Preliminary are to be considered Final.¹

XC4000E Operating Conditions

Symbol	Description	Min	Max	Units	
V _{CC}	Supply voltage relative to GND, T _J = -0 °C to +85°C	Commercial	4.75	5.25	V
	Supply voltage relative to GND, T _J = -40°C to +100°C	Industrial	4.5	5.5	V
	Supply voltage relative to GND, T _C = -55°C to +125°C	Military	4.5	5.5	V
V _{IH}	High-level input voltage	TTL inputs	2.0	V _{CC}	V
		CMOS inputs	70%	100%	V _{CC}
V _{IL}	Low-level input voltage	TTL inputs	0	0.6	V
		CMOS inputs	0	20%	V _{CC}
T _{IN}	Input signal transition time (Note 2)		250	ns	

Note 1: At junction temperatures above those listed as Operating Conditions, all delay parameters increase by 0.35% per °C.

Note 2: Typical value only. Not tested or characterized.

Note 3: Input and output measurement thresholds for TTL are 1.5 V. Input and output measurement thresholds for CMOS are 2.5 V.

XC4000E DC Characteristics Over Operating Conditions

Symbol	Description	Min	Max	Units	
V _{OH}	High-level output voltage @ I _{OH} = -4.0mA, V _{CC} min	TTL outputs	2.4		V
	High-level output voltage @ I _{OH} = -1.0mA, V _{CC} min	CMOS outputs	V _{CC} -0.5		V
V _{OL}	Low-level output voltage @ I _{OL} = 12.0mA, V _{CC} min (Note 1)	TTL outputs		0.4	V
		CMOS outputs		0.4	V
I _{CC0}	Quiescent FPGA supply current (Note 2)	TTL input levels		10	mA
		CMOS input levels		1	mA
I _L	Input or output leakage current	-10	+10	µA	
C _{IN}	Input capacitance (sample tested)	PQFP and MQFP packages		10	pF
		Other packages		16	pF
I _{RIN}	Pad pull-up (when selected) @ V _{IN} = 0V (sample tested)	0.02	0.25	mA	
I _{RLL}	Horizontal Longline pull-up (when selected) @ logic Low	0.2	2.5	mA	

Note 1: With 50% of the outputs simultaneously sinking 12mA, up to a maximum of 64 pins.

Note 2: With no output current loads, no active input or Longline pull-up resistors, all package pins at V_{CC} or GND, and the FPGA configured with a MakeBits Tie option.

1. Notwithstanding the definition of the above terms, all specifications are subject to change without notice.

XC4000E Absolute Maximum Ratings

Symbol	Description		Units	
V_{CC}	Supply voltage relative to GND	-0.5 to +7.0	V	
V_{IN}	Input voltage relative to GND (Note 1)	-0.5 to $V_{CC} + 0.5$	V	
V_{TS}	Voltage applied to 3-state output (Note 1)	-0.5 to $V_{CC} + 0.5$	V	
T_{STG}	Storage temperature (ambient)	-65 to +150	°C	
T_{SOL}	Maximum soldering temperature (10 s @ 1/16 in. = 1.5 mm)	+260	°C	
T_J	Junction temperature	Ceramic packages	+150	°C
		Plastic packages	+125	°C

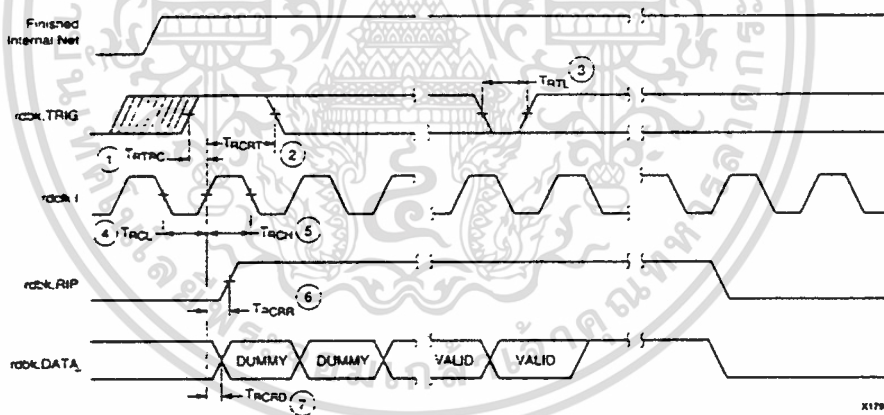
Note 1: Maximum DC overshoot or undershoot above V_{CC} or below GND must be limited to either 0.5 V or 10 mA, whichever is easier to achieve. During transitions, the device pins may undershoot to -2.0 V or overshoot to $V_{CC} + 2.0$ V, provided this over- or undershoot lasts less than 20 ns.

Note 2: Stresses beyond those listed under Absolute Maximum Ratings may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those listed under Operating Conditions is not implied. Exposure to Absolute Maximum Ratings conditions for extended periods of time may affect device reliability.

XC4000E Program Readback Switching Characteristic Guidelines

Testing of the switching parameters is modeled after testing methods specified by MIL-M-38510/605. All devices are 100% functionally tested. Internal timing parameters are not measured directly. They are derived from benchmark timing patterns that are taken at device introduction, prior to any process improvements.

The following guidelines reflect worst-case values over the recommended operating conditions.



	Description	Symbol	Min	Max	Units
rdbk.TRIG	rdbk.TRIG setup	1 T_{RTRC}	200	-	ns
	rdbk.TRIG hold	2 T_{RCRT}	50	-	ns
	rdbk.TRIG Low to abort Readback	3 T_{RTLL}	100	-	ns
rdbck.1	rdbck.DATA delay	7 T_{RCRD}	-	250	ns
	rdbk.RIP delay	6 T_{RCRR}	-	250	ns
	High time	5 T_{RCH}	250	500	ns
	Low time	4 T_{RCL}	250	500	ns

Note 1: Timing parameters apply to all speed grades.

Note 2: If rdbk.TRIG is High prior to Finished, Finished will trigger the first Readback.

XC4000E Guaranteed Input and Output Parameters (Pin-to-Pin, TTL I/O)

All values listed below are tested directly, and guaranteed over the operating conditions. The same parameters can also be derived indirectly from the IOB and Global Buffer specifications. The XACT delay calculator uses this indirect method. When there is a discrepancy between the two methods, the values listed below should be used, and the derived values must be ignored. All values are expressed in units of nanoseconds.

Speed Grade			-4	-3	-2
Description	Symbol	Device			
Global Clock to Output (fast) using OFF 	T _{TICKOFF} (Max)	XC4003E	12.5	10.2	8.7
		XC4005E	14.0	10.7	9.1
		XC4006E	14.5	10.7	9.1
		XC4008E	15.0	10.8	9.2
		XC4010E	16.0	10.9	9.3
		XC4013E	16.5	11.0	9.4
		XC4020E	17.0	11.0	9.4
		XC4025E	17.0	12.5	10.7
Global Clock to Output (slew-limited) using OFF 	T _{TICKO} (Max)	XC4003E	16.5	14.0	11.5
		XC4005E	18.0	14.7	12.0
		XC4006E	18.5	14.7	12.0
		XC4008E	19.0	14.8	12.1
		XC4010E	20.0	14.9	12.2
		XC4013E	20.5	15.0	12.8
		XC4020E	21.0	15.1	12.8
		XC4025E	21.0	15.3	13.0
Input Setup Time, using IFF (no delay) 	T _{PSUF} (Min)	XC4003E	2.5	2.3	2.3
		XC4005E	2.0	1.2	1.2
		XC4006E	1.9	1.0	1.0
		XC4008E	1.4	0.6	0.6
		XC4010E	1.0	0.2	0.2
		XC4013E	0.5	0	0
		XC4020E	0	0	0
		XC4025E	0	0	0
Input Hold Time, using IFF (no delay) 	T _{PHF} (Min)	XC4003E	4.0	4.0	4.0
		XC4005E	4.6	4.5	4.5
		XC4006E	5.0	4.7	4.7
		XC4008E	6.0	5.1	5.1
		XC4010E	6.0	5.5	5.5
		XC4013E	7.0	5.5	5.5
		XC4020E	7.5	6.7	5.7
		XC4025E	8.0	7.0	5.9
Input Setup Time, using IFF (with delay) 	T _{PSU} (Min)	XC4003E	8.5	7.0	6.0
		XC4005E	8.5	7.0	6.0
		XC4006E	6.5	7.0	6.0
		XC4008E	8.5	7.0	6.0
		XC4010E	8.5	7.0	6.0
		XC4013E	8.5	7.0	6.0
		XC4020E	9.5	7.0	6.0
		XC4025E	9.5	7.6	6.5
Input Hold Time, using IFF (with delay) 	T _{PH} (Min)	XC4003E	0	0	0
		XC4005E	0	0	0
		XC4006E	0	0	0
		XC4008E	0	0	0
		XC4010E	0	0	0
		XC4013E	0	0	0
		XC4020E	0	0	0
		XC4025E	0	0	0

OFF = Output Flip-Flop

IFF = Input Flip-Flop or Latch

ADVANCE

XC4000 Series Field Programmable Gate Arrays

XC4000E Global Buffer Switching Characteristic Guidelines

Testing of the switching parameters is modeled after testing methods specified by MIL-M-38510/605. All devices are 100% functionally tested. Internal timing parameters are not measured directly. They are derived from benchmark timing patterns that are taken at device introduction, prior to any process improvements. For more detailed, more precise, and more up-to-date information, use the values provided by the XACT timing calculator and used in the simulator. These values can be printed in tabular format by running LCA2XNF -S.

The following guidelines reflect worst-case values over the recommended operating conditions.

Description	Symbol	Speed Grade	-4	-3	-2	Units
		Device	Max	Max	Max	
From pad through Primary buffer, to any clock K	T _{PG}	XC4003E	7.0	4.7	4.0	ns
		XC4005E	7.0	4.7	4.0	ns
		XC4006E	7.5	5.3	4.5	ns
		XC4008E	8.0	6.1	5.2	ns
		XC4010E	11.0	6.3	5.4	ns
		XC4013E	11.5	6.8	5.8	ns
		XC4020E	12.0	7.0	6.2	ns
		XC4025E	12.5	7.2	6.3	ns
From pad through Secondary buffer, to any clock K	T _{SG}	XC4003E	7.5	5.2	4.4	ns
		XC4005E	7.5	5.2	4.4	ns
		XC4006E	8.0	5.8	4.9	ns
		XC4008E	8.5	6.6	5.5	ns
		XC4010E	11.5	6.8	5.8	ns
		XC4013E	12.0	7.3	6.2	ns
		XC4020E	12.5	7.5	6.6	ns
		XC4025E	13.0	7.7	6.6	ns
ADVANCE						

XC4000E Wide Decoder Switching Characteristic Guidelines

Testing of the switching parameters is modeled after testing methods specified by MIL-M-38510/605. All devices are 100% functionally tested. Internal timing parameters are not measured directly. They are derived from benchmark timing patterns that are taken at device introduction, prior to any process improvements. For more detailed, more precise, and more up-to-date information, use the values provided by the XACT timing calculator and used in the simulator. These values can be printed in tabular format by running LCA2XNF -S.

The following guidelines reflect worst-case values over the recommended operating conditions.

Description	Symbol	Device	Speed Grade			Units
			-4	-3	-2	
			Max	Max	Max	
Full length, both pull-ups, inputs from IOB I-pins	T_{WAF}	XC4003E	9.2	5.0	4.3	ns
		XC4005E	9.5	6.0	5.1	ns
		XC4006E	12.0	7.0	6.2	ns
		XC4008E	12.5	8.0	7.0	ns
		XC4010E	15.0	9.0	8.1	ns
		XC4013E	16.0	11.0	9.9	ns
		XC4020E	17.0	13.9	12.5	ns
XC4025E	18.0	16.9	15.2	ns		
Full length, both pull-ups, inputs from internal logic	T_{WAFI}	XC4003E	12.0	7.0	6.0	ns
		XC4005E	12.5	8.0	6.8	ns
		XC4006E	14.0	9.0	7.9	ns
		XC4008E	16.0	10.0	8.8	ns
		XC4010E	18.0	11.0	9.7	ns
		XC4013E	19.0	13.0	11.7	ns
		XC4020E	20.0	15.5	14.0	ns
XC4025E	21.0	18.9	17.0	ns		
Half length, one pull-up, inputs from IOB I-pins	T_{WAO}	XC4003E	10.5	6.0	5.1	ns
		XC4005E	10.5	7.0	6.0	ns
		XC4006E	13.5	8.0	6.8	ns
		XC4008E	14.0	9.0	7.9	ns
		XC4010E	16.0	10.0	8.8	ns
		XC4013E	17.0	12.0	10.8	ns
		XC4020E	18.0	15.0	13.5	ns
XC4025E	19.0	17.6	15.8	ns		
Half length, one pull-up, inputs from internal logic	T_{WAOI}	XC4003E	12.0	8.0	6.8	ns
		XC4005E	12.5	9.0	7.7	ns
		XC4006E	14.0	10.0	8.5	ns
		XC4008E	16.0	11.0	9.4	ns
		XC4010E	18.0	12.0	10.2	ns
		XC4013E	19.0	14.0	11.9	ns
		XC4020E	20.0	16.8	14.3	ns
XC4025E	21.0	19.6	16.7	ns		

ADVANCE

- Note 1:** These values include a minimum load. The values reported by LCA2XNF -S include only a portion of this delay, therefore the values cannot be directly compared. Use XDelay to determine the delay for each destination.
- Note 2:** These delays are specified from the decoder input to the decoder output. For pin-to-pin delays, add the input delay (T_{PI}) and output delay (T_{PO} or T_{PS}), as listed under "IOB Switching Characteristic Guidelines."

XC4000 Series Field Programmable Gate Arrays

XC4000E Horizontal Longline Switching Characteristic Guidelines

Testing of the switching parameters is modeled after testing methods specified by MIL-M-38510/605. All devices are 100% functionally tested. Internal timing parameters are not measured directly. They are derived from benchmark timing patterns that are taken at device introduction, prior to any process improvements. For more detailed, more precise, and more up-to-date information, use the values provided by the XACT timing calculator and used in the simulator. These values can be printed in tabular format by running LCA2XNF -S.

The following guidelines reflect worst-case values over the recommended operating conditions.

Description	Symbol	Device	Speed Grade			Units
			-4	-3	-2	
			Max	Max	Max	
TBUF driving a Horizontal Longline (LL): I going High or Low to LL going High or Low, while T is Low. Buffer is constantly active. (Note1)	T _{IO1}	XC4003E	5.0	4.2	3.4	ns
		XC4005E	5.0	5.0	4.0	ns
		XC4006E	6.0	5.9	4.7	ns
		XC4008E	7.0	6.3	5.0	ns
		XC4010E	8.0	6.4	5.1	ns
		XC4013E	9.0	7.2	5.7	ns
		XC4020E	10.0	8.2	6.6	ns
		XC4025E	11.0	9.1	7.3	ns
I going Low to LL going from resistive pull-up High to active Low. TBUF configured as open-drain. (Note1)	T _{IO2}	XC4003E	5.0	4.2	3.6	ns
		XC4005E	6.0	5.3	4.5	ns
		XC4006E	7.8	6.4	5.4	ns
		XC4008E	8.1	6.8	5.8	ns
		XC4010E	10.5	5.9	5.9	ns
		XC4013E	11.0	7.7	6.5	ns
		XC4020E	12.0	8.7	7.4	ns
		XC4025E	12.0	9.6	8.2	ns
T going Low to LL going from resistive pull-up or floating High to active Low. TBUF configured as open-drain or active buffer with I = Low. (Note1)	T _{ON}	XC4003E	5.5	4.6	3.9	ns
		XC4005E	7.0	6.0	5.4	ns
		XC4006E	7.5	6.7	5.7	ns
		XC4008E	8.0	7.1	6.0	ns
		XC4010E	8.5	7.3	6.2	ns
		XC4013E	8.7	7.5	6.4	ns
		XC4020E	11.0	8.4	7.1	ns
		XC4025E	11.0	8.4	7.1	ns
T going High to TBUF going inactive, not driving LL	T _{OFF}	All devices	1.8	1.5	1.3	ns
T going High to LL going from Low to High, pulled up by a single resistor. (Note 2)	T _{PUS}	XC4003E	20.0	14.0	11.9	ns
		XC4005E	23.0	16.0	13.6	ns
		XC4006E	25.0	18.0	15.3	ns
		XC4008E	27.0	20.0	17.0	ns
		XC4010E	29.0	22.0	18.7	ns
		XC4013E	32.0	26.0	22.1	ns
		XC4020E	35.0	32.5	27.6	ns
		XC4025E	42.0	39.1	33.2	ns
T going High to LL going from Low to High, pulled up by two resistors. (Note1)	T _{PUF}	XC4003E	9.0	7.0	6.0	ns
		XC4005E	10.0	8.0	6.8	ns
		XC4006E	11.5	9.0	7.7	ns
		XC4008E	12.5	10.0	8.5	ns
		XC4010E	13.5	11.0	9.4	ns
		XC4013E	15.0	13.0	11.0	ns
		XC4020E	16.0	14.8	12.6	ns
		XC4025E	18.0	16.5	14.0	ns

ADVANCE

- Note 1: These values include a minimum load. The values reported by LCA2XNF -S include only a portion of this delay, therefore the values cannot be directly compared. Use XDelay to determine the delay for each destination.
- Note 2: This value includes a minimum load. The value reported by LCA2XNF -S is increased to allow for potentially heavy loading, therefore the values cannot be directly compared. Use XDelay to determine the delay for each destination.

XC4000 Series Field Programmable Gate Arrays

XC4000E CLB Switching Characteristic Guidelines (continued)

Testing of the switching parameters is modeled after testing methods specified by MIL-M-38510/605. All devices are 100% functionally tested. Internal timing parameters are not measured directly. They are derived from benchmark timing patterns that are taken at device introduction, prior to any process improvements. For more detailed, more precise, and more up-to-date information, use the values provided by the XACT timing calculator and used in the simulator. These values can be printed in tabular format by running LCA2XNF -S.

The following guidelines reflect worst-case values over the recommended operating conditions. They are expressed in units of nanoseconds and apply to all XC4000E devices unless otherwise noted.

Speed Grade		-4		-3		-2	
Description	Symbol	Min	Max	Min	Max	Min	Max
Hold Time after Clock K							
F/G inputs	T_{CKI}	0		0		0	
F/G inputs via H'	T_{CKIH}	0		0		0	
C inputs via H0 through H'	T_{CKHH0}	0		0		0	
C inputs via H1 through H'	T_{CKHH1}	0		0		0	
C inputs via H2 through H'	T_{CKHH2}	0		0		0	
C inputs via DIN	T_{CKDI}	0		0		0	
C inputs via EC	T_{CKEC}	0		0		0	
C inputs via SR, going Low (inactive)	T_{CKR}	0		0		0	
Clock							
Clock High time	T_{CH}	4.5		4.0		4.0	
Clock Low time	T_{CL}	4.5		4.0		4.0	
Set/Reset Direct							
Width (High)	T_{RPW}	5.5		4.0		4.0	
Delay from C inputs via S/R, going High to Q	T_{RIO}		6.5		4.0		4.0
Master Set/Reset (Note 1)							
Width (High or Low)	T_{MRW}	13.0		11.5		11.5	
Delay from Global Set/Reset net to Q	T_{MRO}		23.0		18.7		17.4
Global Set/Reset inactive to first active clock K edge	T_{MRK}						
Toggle Frequency ² (MHz) (Note 2)	F_{TOG}		111		125		125
ADVANCE							

Note 1: Timing is based on the XC4005E. For other devices see the XACT timing calculator.

Note 2: Export Control Max. flip-flop toggle rate.

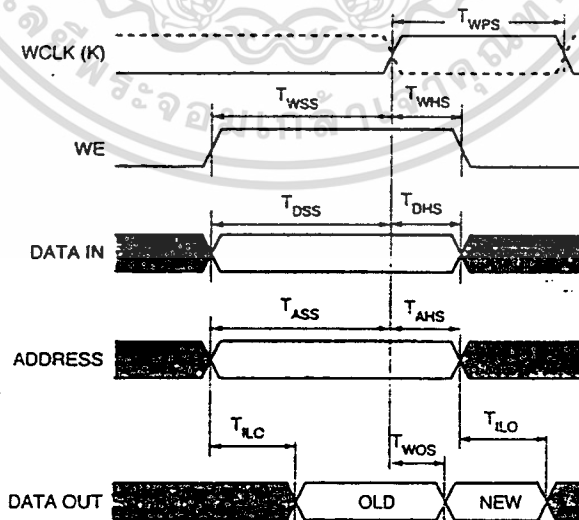
XC4000E CLB Edge-Triggered (Synchronous) RAM Switching Characteristic Guidelines

Testing of the switching parameters is modeled after testing methods specified by MIL-M-38510/605. All devices are 100% functionally tested. Internal timing parameters are not measured directly. They are derived from benchmark timing patterns that are taken at device introduction, prior to any process improvements. For more detailed, more precise, and more up-to-date information, use the values provided by the XACT timing calculator and used in the simulator. These values can be printed in tabular format by running LCA2XNF -S.

The following guidelines reflect worst-case values over the recommended operating conditions. They are expressed in units of nanoseconds and apply to all XC4000E devices unless otherwise noted.

Speed Grade			-4		-3		-2	
Description	Size	Symbol	Min	Max	Min	Max	Min	Max
Write Operation								
Address write cycle time (clock K period)	16x2	T_{WCS}	15.0		14.4		11.6	
	32x1	T_{WCTS}	15.0		14.4		11.6	
Clock K pulse width (active edge)	16x2	T_{WPS}	7.5	1 ms	7.2	1 ms	5.8	1 ms
	32x1	T_{WPTS}	7.5	1 ms	7.2	1 ms	5.8	1 ms
Address setup time before clock K	16x2	T_{ASS}	2.8		2.4		2.0	
	32x1	T_{ASTS}	2.8		2.4		2.0	
Address hold time after clock K	16x2	T_{AHS}	0		0		0	
	32x1	T_{AHTS}	0		0		0	
DIN setup time before clock K	16x2	T_{DSS}	3.5		3.2		2.7	
	32x1	T_{DSTS}	2.5		1.9		1.7	
DIN hold time after clock K	16x2	T_{DHS}	0		0		0	
	32x1	T_{DHTS}	0		0		0	
WE setup time before clock K	16x2	T_{WSS}	2.2		2.0		1.6	
	32x1	T_{WSTS}	2.2		2.0		1.6	
WE hold time after clock K	16x2	T_{WHS}	0		0		0	
	32x1	T_{WHTS}	0		0		0	
Data valid after clock K	16x2	T_{WOS}		10.3		8.8		6.3
	32x1	T_{WOTS}		11.6		10.3		7.4
ADVANCE								

- Note 1: Timing for the 16x1 RAM option is identical to 16x2 RAM timing.
- Note 2: Applicable Read timing specifications are identical to Level-Sensitive Read timing.



X2461

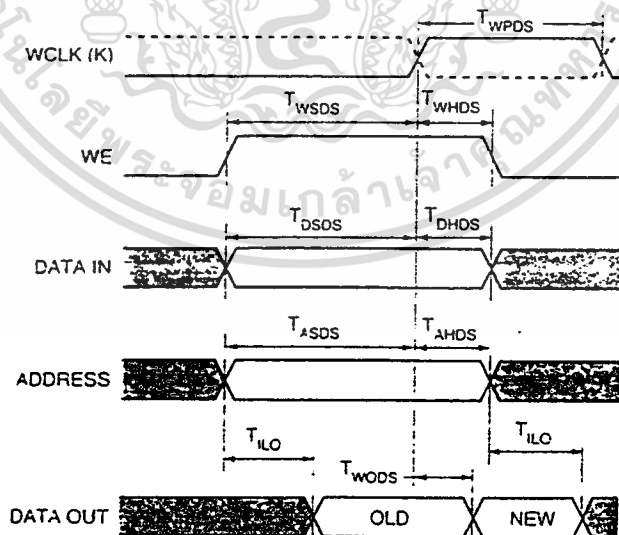
XC4000E CLB Edge-Triggered (Synchronous) Dual-Port RAM Switching Characteristic Guidelines

Testing of the switching parameters is modeled after testing methods specified by MIL-M-38510/605. All devices are 100% functionally tested. Internal timing parameters are not measured directly. They are derived from benchmark timing patterns that are taken at device introduction, prior to any process improvements. For more detailed, more precise, and more up-to-date information, use the values provided by the XACT timing calculator and used in the simulator. These values can be printed in tabular format by running LCA2XNF -S.

The following guidelines reflect worst-case values over the recommended operating conditions. They are expressed in units of nanoseconds and apply to all XC4000E devices unless otherwise noted.

Description	Size	Speed Grade	-4		-3		-2	
			Symbol	Min	Max	Min	Max	Min
Write Operation								
Address write cycle time (clock K period)	16x1	T_{WCDS}	15.0		14.4		11.6	
Clock K pulse width (active edge)	16x1	T_{WPDS}	7.5	1 ms	7.2	1 ms	5.8	1 ms
Address setup time before clock K	16x1	T_{ASDS}	2.8		2.5		2.1	
Address hold time after clock K	16x1	T_{AHDS}	0		0		0	
DIN setup time before clock K	16x1	T_{DSDS}	2.2		1.9		1.6	
DIN hold time after clock K	16x1	T_{DHDS}	0		0		0	
WE setup time before clock K	16x1	T_{WSDS}	2.2		2.0		1.6	
WE hold time after clock K	16x1	T_{WHDS}	0.3		0		0	
Data valid after clock K	16x1	T_{WODS}		10.0		7.8		6.2
ADVANCE								

Note: Applicable Read timing specifications are identical to 16x2 Level-Sensitive Read timing.



X6474

XC4000E CLB Level-Sensitive RAM Switching Characteristic Guidelines

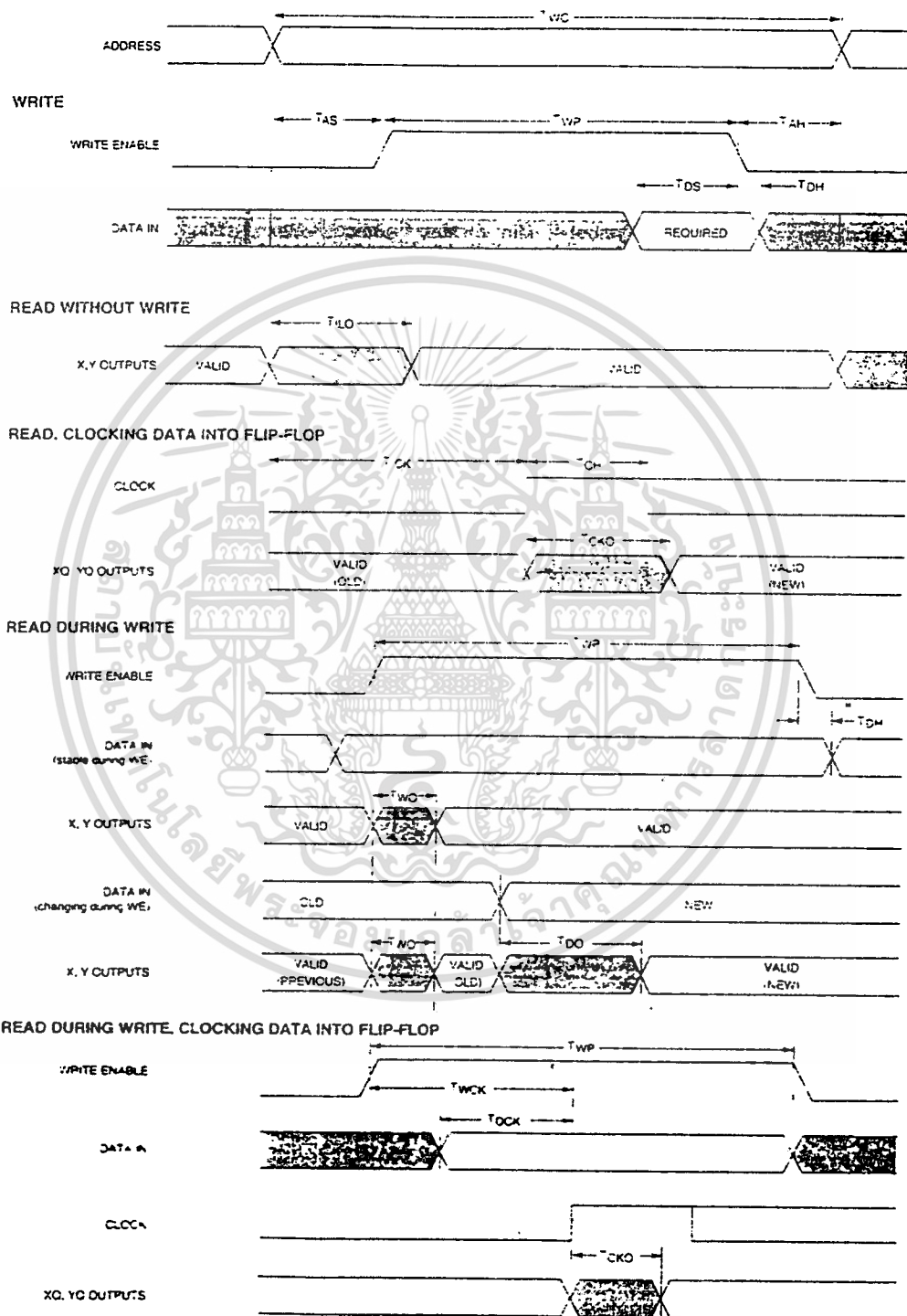
Testing of the switching parameters is modeled after testing methods specified by MIL-M-38510/605. All devices are 100% functionally tested. Internal timing parameters are not measured directly. They are derived from benchmark timing patterns that are taken at device introduction, prior to any process improvements. For more detailed, more precise, and more up-to-date information, use the values provided by the XACT timing calculator and used in the simulator. These values can be printed in tabular format by running LCA2XNF -S.

The following guidelines reflect worst-case values over the recommended operating conditions. They are expressed in units of nanoseconds and apply to all XC4000E devices unless otherwise noted.

Description	Speed Grade		-4		-3		-2	
	Size	Symbol	Min	Max	Min	Max	Min	Max
Write Operation								
Address write cycle time	16x2	T _{WC}	8.0		8.0		8.0	
	32x1	T _{WCT}	8.0		8.0		8.0	
Write Enable pulse width (High)	16x2	T _{WP}	4.0		4.0		4.0	
	32x1	T _{WPT}	4.0		4.0		4.0	
Address setup time before WE	16x2	T _{AS}	2.0		2.0		2.0	
	32x1	T _{AST}	2.0		2.0		2.0	
Address hold time after end of WE	16x2	T _{AH}	2.5		2.0		2.0	
	32x1	T _{AHT}	2.0		2.0		2.0	
DIN setup time before end of WE	16x2	T _{DS}	4.0		2.2		0.8	
	32x1	T _{DST}	5.0		2.2		0.8	
DIN hold time after end of WE	16x2	T _{DH}	2.0		2.0		2.0	
	32x1	T _{DHT}	2.0		2.0		2.0	
Read Operation								
Address read cycle time	16x2	T _{RC}	4.5		3.1		2.6	
	32x1	T _{RCT}	6.5		5.5		3.8	
Data valid after address change (no Write Enable)	16x2	T _{ILO}		2.7		2.0		1.6
	32x1	T _{IHO}		4.7		4.3		2.7
Read Operation, Clocking Data into Flip-Flop								
Address setup time before clock K	16x2	T _{ICK}	4.0		3.0		2.4	
	32x1	T _{IHK}	6.1		4.6		3.9	
Read During Write								
Data valid after WE goes active (DIN stable before WE)	16x2	T _{WO}		10.0		6.0		4.9
	32x1	T _{WOT}		12.0		7.3		5.6
Data valid after DIN (DIN changes during WE)	16x2	T _{DO}		9.0		6.6		5.8
	32x1	T _{DOT}		11.0		7.6		6.2
Read During Write, Clocking Data into Flip-Flop								
WE setup time before clock K	16x2	T _{WCK}	8.0		6.0		5.1	
	32x1	T _{WCKT}	9.6		6.8		5.8	
Data setup time before clock K	16x2	T _{DCK}	7.0		5.2		4.4	
	32x1	T _{DCKT}	8.0		6.2		5.3	
							ADVANCE	

Note: Timing for the 16x1 RAM option is identical to 16x2 RAM timing.

XC4000E CLB Level-Sensitive RAM Timing Characteristics



X2640

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XC4000 Series Field Programmable Gate Arrays

XC4000E IOB Input Switching Characteristic Guidelines

Testing of the switching parameters is modeled after testing methods specified by MIL-M-38510/605. All devices are 100% functionally tested. Internal timing parameters are not measured directly. They are derived from benchmark timing patterns that are taken at device introduction, prior to any process improvements. For more detailed, more precise, and more up-to-date information, use the values provided by the XACT timing calculator and used in the simulator. These values can be printed in tabular format by running LCA2XNF -S.

The following guidelines reflect worst-case values over the recommended operating conditions. They are expressed in units of nanoseconds and apply to all XC4000E devices unless otherwise noted.

Description	Speed Grade		-4		-3		-2	
	Symbol	Device	Min	Max	Min	Max	Min	Max
Propagation Delays (TTL Inputs)								
Pad to I1, I2	T_{PID}	All devices		3.0		2.5		2.0
Pad to I1, I2 via transparent latch, no delay with delay	T_{PLI}	All devices		4.8		3.6		3.6
	T_{PDLI}	XC4003E		10.4		9.3		7.0
		XC4005E		10.8		9.6		7.3
		XC4006E		10.8		10.2		7.8
		XC4008E		10.8		10.6		8.1
		XC4010E		11.0		10.8		8.2
		XC4013E		11.4		11.2		8.5
		XC4020E		13.8		12.4		9.5
	XC4025E		13.8		13.7		9.5	
(CMOS Inputs)								
Pad to I1, I2	T_{PIDC}	All devices		5.5		4.1		3.7
Pad to I1, I2 via transparent latch, no delay with delay	T_{PLIC}	All devices		8.8		6.8		6.2
	T_{PDLIC}	XC4003E		16.5		12.4		11.0
		XC4005E		16.5		13.2		11.9
		XC4006E		16.8		13.4		12.1
		XC4008E		17.3		13.8		12.4
		XC4010E		17.5		14.0		12.6
		XC4013E		18.0		14.4		13.0
		XC4020E		20.8		15.6		14.0
	XC4025E		20.8		15.6		14.0	
(TTL or CMOS)								
Clock (IK) to I1, I2 (flip-flop)	T_{IKRI}	All devices		5.6		2.8		2.8
Clock (IK) to I1, I2 (latch enable, active Low)	T_{IKLI}	All devices		6.2		4.0		3.9
Hold Times (Note 1)								
Pad to Clock (IK), no delay with delay	T_{IKPI}	All devices	0		0		0	
	T_{IKPID}	All devices	0		0		0	
Clock Enable (EC) to Clock (IK), no delay with delay	T_{IKEC}	All devices	1.5		1.5		0.9	
	T_{IKECD}	All devices	0		0		0	
							ADVANCE	

Note 1: Input pad setup and hold times are specified with respect to the internal clock (IK). For setup and hold times with respect to the clock input pin, see the pin-to-pin parameters in the Guaranteed Input and Output Parameters table.

Note 2: Voltage levels of unused pads, bonded or unbonded, must be valid logic levels. Each can be configured with the internal pull-up (default) or pull-down resistor, or configured as a driven output, or can be driven from an external source.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XC4000E IOB Input Switching Characteristic Guidelines (continued)

Testing of the switching parameters is modeled after testing methods specified by MIL-M-38510/605. All devices are 100% functionally tested. Internal timing parameters are not measured directly. They are derived from benchmark timing patterns that are taken at device introduction, prior to any process improvements. For more detailed, more precise, and more up-to-date information, use the values provided by the XACT timing calculator and used in the simulator. These values can be printed in tabular format by running LCA2XNF -S.

The following guidelines reflect worst-case values over the recommended operating conditions. They are expressed in units of nanoseconds and apply to all XC4000E devices unless otherwise noted.

		Speed Grade		-4		-3		-2	
Description	Symbol	Device	Min	Max	Min	Max	Min	Max	
Setup Times (TTL Inputs)									
Pad to Clock (IK), no delay with delay	T_{PICK} T_{PICKD}	All devices	4.0		2.6		1.7		
		XC4003E	10.9		8.2		5.5		
		XC4005E	10.9		8.7		5.5		
		XC4006E	10.9		9.2		6.6		
		XC4008E	11.1		9.6		6.9		
		XC4010E	11.3		9.8		7.0		
		XC4013E	11.8		10.2		7.3		
		XC4020E XC4025E	14.0 14.0		11.4 11.4		8.2 8.2		
(CMOS Inputs)									
Pad to Clock (IK), no delay with delay	T_{PICKC} T_{PICKDC}	All devices	6.0		3.3		2.4		
		XC4003E	12.0		8.8		6.2		
		XC4005E	12.0		9.7		6.2		
		XC4006E	12.3		9.9		7.3		
		XC4008E	12.8		10.3		7.6		
		XC4010E	13.0		10.5		7.7		
		XC4013E	13.5		10.9		8.0		
		XC4020E XC4025E	16.0 16.0		12.1 12.1		8.9 8.9		
(TTL or CMOS)									
Clock Enable (EC) to Clock (IK), no delay with delay	T_{EICK} T_{EICKD}	All devices	3.5		2.5		2.0		
		XC4003E	10.4		8.1		5.6		
		XC4005E	10.4		8.5		5.6		
		XC4006E	10.4		9.1		6.9		
		XC4008E	10.4		9.5		7.2		
		XC4010E	10.7		9.7		7.3		
		XC4013E	11.1		10.1		7.6		
		XC4020E XC4025E	14.0 14.0		11.3 11.3		8.5 8.5		
Global Set/Reset (Note 3)									
Delay from GSR net through Q to I1, I2	T_{FRI}			12.0		7.8		6.8	
GSR width	T_{MRW}		13.0		11.5		11.5		
GSR inactive to first active Clock (iK) edge	T_{MRI}								
ADVANCE									

Note 1: Input pad setup and hold times are specified with respect to the internal clock (IK). For setup and hold times with respect to the clock input pin, see the pin-to-pin parameters in the Guaranteed Input and Output Parameters table.

Note 2: Voltage levels of unused pads, bonded or unbonded, must be valid logic levels. Each can be configured with the internal pull-up (default) or pull-down resistor, or configured as a driven output, or can be driven from an external source.

Note 3: Timing is based on the XC4005E. For other devices see the XACT timing calculator.

XC4000 Series Field Programmable Gate Arrays

XC4000E IOB Output Switching Characteristic Guidelines

Testing of the switching parameters is modeled after testing methods specified by MIL-M-38510/E05. All devices are 100% functionally tested. Internal timing parameters are not measured directly. They are derived from benchmark timing patterns that are taken at device introduction, prior to any process improvements. For more detailed, more precise, and more up-to-date information, use the values provided by the XACT timing calculator and used in the simulator. These values can be printed in tabular format by running LCA2XNF -S.

The following guidelines reflect worst-case values over the recommended operating conditions. They are expressed in units of nanoseconds and apply to all XC4000E devices unless otherwise noted.

Speed Grade		-4		-3		-2	
Description	Symbol	Min	Max	Min	Max	Min	Max
Propagation Delays (TTL Output Levels)							
Clock (OK) to Pad, fast	T _{OKPOF}		7.5		6.5		4.5
slew-rate limited	T _{OKPOS}		11.5		9.5		7.0
Output (O) to Pad, fast	T _{OPF}		8.0		5.5		4.2
slew-rate limited	T _{OPS}		12.0		8.5		7.0
3-state to Pad hi-Z (slew-rate independent)	T _{TSHZ}		5.0		4.2		3.6
3-state to Pad active and valid, fast	T _{TSONF}		9.7		8.1		7.3
slew-rate limited	T _{TSONS}		13.7		11.1		9.6
Propagation Delays (CMOS Output Levels)							
Clock (OK) to Pad, fast	T _{OKPOFC}		9.5		7.8		7.0
slew-rate limited	T _{OKPOSC}		13.5		11.6		10.1
Output (O) to Pad, fast	T _{OPFC}		10.0		9.7		8.7
slew-rate limited	T _{OPSC}		14.0		13.4		12.1
3-state to Pad hi-Z (slew-rate independent)	T _{TSHZC}		5.2		4.3		3.9
3-state to Pad active and valid, fast	T _{TSONFC}		9.1		7.6		6.8
slew-rate limited	T _{TSONSC}		13.1		11.4		10.2
ADVANCE							

Note 1: Output timing is measured at cin threshold, with 50pF external capacitive loads (incl. test fixture). Slew-rate limited output rise/fall times are approximately two times longer than fast output rise/fall times. For the effect of capacitive loads on ground bounce, see the "Additional XC4000 Data" section of the Programmable Logic Data Book.

Note 2: Voltage levels of unused pins, bonded or unbonded, must be valid logic levels. Each can be configured with the internal pull-up (default) or pull-down resistor, or configured as a driven output, or can be driven from an external source.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



XC4000E IOB Output Switching Characteristic Guidelines (continued)

Testing of the switching parameters is modeled after testing methods specified by MIL-M-38510/605. All devices are 100% functionally tested. Internal timing parameters are not measured directly. They are derived from benchmark timing patterns that are taken at device introduction, prior to any process improvements. For more detailed, more precise, and more up-to-date information, use the values provided by the XACT timing calculator and used in the simulator. These values can be printed in tabular format by running LCA2XNF -S.

The following guidelines reflect worst-case values over the recommended operating conditions. They are expressed in units of nanoseconds and apply to all XC4000E devices unless otherwise noted.

Description	Symbol	Speed Grade		-4		-3		-2	
		Min	Max	Min	Max	Min	Max		
Setup and Hold									
Output (O) to clock (OK) setup time	T_{COK}	5.0				4.6			3.8
Output (O) to clock (OK) hold time	T_{OKO}	0				0			0
Clock Enable (EC) to clock (OK) setup	T_{ECOK}	4.8				3.5			2.5
Clock Enable (EC) to clock (OK) hold	T_{CKEC}	1.2				1.2			0.5
Clock									
Clock High	T_{CH}	4.5				4.0			4.0
Clock Low	T_{CL}	4.5				4.0			4.0
Global Set/Reset (Note 3)									
Delay from GSR net to Pad	T_{RPO}		15.0			11.9			8.7
GSR width	T_{MRW}	13.0				11.5			11.5
GSR inactive to first active clock (OK) edge	T_{MPO}								
ADVANCE									

Note 1: Output timing is measured at pin threshold, with 50pF external capacitive loads (incl. test fixture). Slew-rate limited output rise/fall times are approximately two times longer than fast output rise/fall times. For the effect of capacitive loads on ground bounce, see the "Additional XC4000 Data" section of the Programmable Logic Data Book.

Note 2: Voltage levels of unused pads, bonded or unbonded, must be valid logic levels. Each can be configured with the internal pull-up (default) or pull-down resistor, or configured as a driven output, or can be driven from an external source.

Note 3: Timing is based on the XC4005E. For other devices see the XACT timing calculator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XC4000E Boundary Scan (JTAG) Switching Characteristic Guidelines

Testing of the switching parameters is modeled after testing methods specified by MIL-M-38510/605. All devices are 100% functionally tested. Internal timing parameters are not measured directly. They are derived from benchmark timing patterns that are taken at device introduction, prior to any process improvements. For more detailed, more precise, and more up-to-date information, use the values provided by the XACT timing calculator and used in the simulator. These values can be printed in tabular format by running LCA2XNF -S.

The following guidelines reflect worst-case values over the recommended operating conditions. They are expressed in units of nanoseconds and apply to all XC4000E devices unless otherwise noted.

Speed Grade		-4		-3		-2	
Description	Symbol	Min	Max	Min	Max	Min	Max
Setup and Hold							
Input (TDI) to clock (TCK) setup time	T_{TDITCK}						
Input (TDI) to clock (TCK) hold time	T_{TCKTDI}						
Input (TMS) to clock (TCK) setup time	T_{TMSTCK}						
Input (TMS) to clock (TCK) hold time	T_{TCKTMS}						
Propagation Delay							
Clock (TCK) to Pad (TDO)	T_{TCKPO}						
Clock							
Clock (TCK) High	T_{TCKH}						
Clock (TCK) Low	T_{TCKL}						
Power-On Reset							
JTAG operation after valid Vcc	T_{RJTAG}						
						ADVANCE	

Note 1: Input pad setup and hold times are specified with respect to the internal clock (IK). For setup and hold times with respect to the clock input pin, see the pin-to-pin parameters in the Guaranteed Input and Output Parameters table.

Note 2: Output timing is measured at pin threshold, with 50pF external capacitive loads (incl. test fixture). Slew-rate limited output rise/fall times are approximately two times longer than fast output rise/fall times. For the effect of capacitive loads on ground bounce, see the "Additional XC4000 Data" section of the Programmable Logic Data Book.

Note 3: Voltage levels of unused pads, bonded or unbonded, must be valid logic levels. Each can be configured with the internal pull-up (default) or pull-down resistor, or configured as a driven output, or can be driven from an external source.

XC4000L Switching Characteristics

XC4000L timing parameters were not available at the time this document was released. See the Xilinx WEBLINX at <http://www.xilinx.com> for the latest available information.

XC4000EX Switching Characteristics

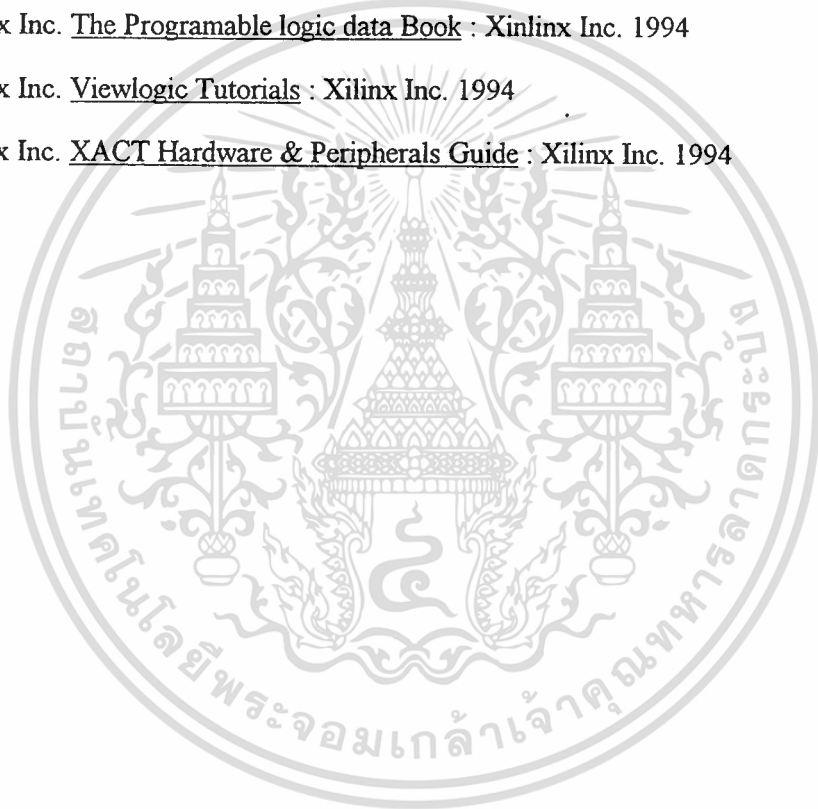
XC4000EX timing parameters were not available at the time this document was released. See the Xilinx WEBLINX at <http://www.xilinx.com> for the latest available information.

XC4000XL Switching Characteristics

XC4000XL timing parameters were not available at the time this document was released. See the Xilinx WEBLINX at <http://www.xilinx.com> for the latest available information.

บรรณานุกรม

1. SURASIT RATREE. Product code vector quantizers and their application to speech coding : WARSAW UNIVESITY OF TECHNOLOGY 1994
2. Viewlogic System Inc. Workview PLUS on Windows : Viewlogic Systems Inc. 1993
3. Xilinx Inc. The Programable logic data Book : Xinlinx Inc. 1994
4. Xilinx Inc. Viewlogic Tutorials : Xilinx Inc. 1994
5. Xilinx Inc. XACT Hardware & Peripherals Guide : Xilinx Inc. 1994



ประวัติผู้แต่ง



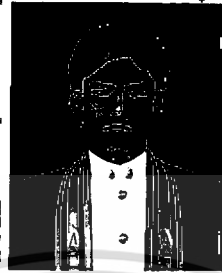
ชื่อผู้ทำปริญญาบัตร	นางสาวรัตนา ชื่นชม
วันเดือนปีเกิด	19 ตุลาคม 2519
สถานที่เกิด	จังหวัดนครราชสีมา
ภูมิลำเนาเดิม	554 ซ.5 (หมู่บ้านย่าโม 8) ถ.มิตรภาพ ต.สุนารี อ.เมือง จ.นครราชสีมา 30000
ที่อยู่ปัจจุบัน	คอนโดยกุลรัตน์ 261/65 ซ.โรงเจ แขวงทับยาว เขตลาดกระบัง กรุงเทพฯ 10520
โทรศัพท์	(02) 7380099
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนมารีย์วิทยา
มัธยมศึกษาตอนต้น	โรงเรียนมารีย์วิทยา
ประกาศนียบัตรวิชาชีพ	วิทยาลัยเทคนิคนครราชสีมา
ประกาศนียบัตรวิชาชีพชั้นสูง	วิทยาลัยเทคนิคนครราชสีมา
ปริญญาตรี	สาขาอิเล็กทรอนิกส์และคอมพิวเตอร์ ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
ผลงานที่ได้รับ	-
ทุนการศึกษา	-

คำพิพจน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่ให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผู้ต่อไป ต้องมีวันของเร

ประวัติผู้แต่ง



ชื่อผู้ทำปริญญาบัตร	นายสันติ บุญประเสริฐ
วันเดือนปีเกิด	30 เมษายน 2515
สถานที่เกิด	กรุงเทพมหานคร
ภูมิลำเนาเดิม	29 หมู่ 7 ต.ลำตาเสา อ.วังน้อย จ.พระนครศรีอยุธยา
ที่อยู่ปัจจุบัน	312/73 หมู่ 1 แขวงลำป่าทิว เขตลาดกระบัง กรุงเทพฯ 10152
โทรศัพท์	(02) 7392249
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนวัดบ้านสร้าง
มัธยมศึกษาตอนต้น	โรงเรียนอยุธยาวิทยาลัย
ประกาศนียบัตรวิชาชีพ	วิทยาลัยเทคนิคพระนครศรีอยุธยา
ประกาศนียบัตรวิชาชีพชั้นสูง	วิทยาลัยเทคนิคสระบุรี
ปริญญาตรี	สาขาอิเล็กทรอนิกส์และคอมพิวเตอร์ ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
ผลงานที่ได้รับ	-
ทุนการศึกษา	ทุนยกเว้นหน่วยกิต
คติพจน์	ความตั้งใจ เป็นบ่อเกิดแห่งความสำเร็จ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้แต่ง



ชื่อผู้ทำปฏิญานិพนธ์	นางสาวอรพิน ปัญโญ
วันเดือนปีเกิด	1 พฤษภาคม 2519
สถานที่เกิด	จังหวัดเชียงราย
ภูมิลำเนาเดิม	2 หมู่ 4 ต.เวียงเหนือ อ.เวียงชัย จ.เชียงราย
ที่อยู่ปัจจุบัน	คอนโดยูคลรต์น 261/65 ซ.โรงเจ แขวงทับยาว เขตลาดกระบัง กรุงเทพฯ 10520
โทรศัพท์	(02) 7380099
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนบ้านค่ายเจริญ
มัธยมศึกษาตอนต้น	โรงเรียนบ้านค่ายเจริญ
ประกาศนียบัตรวิชาชีพ	วิทยาลัยเทคนิคเชียงราย
ประกาศนียบัตรวิชาชีพชั้นสูง	วิทยาลัยเทคนิคเชียงราย
ปริญญาตรี	สาขาอิเล็กทรอนิกส์และคอมพิวเตอร์ ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
ผลงานที่ได้รับ	-
ทุนการศึกษา	ทุนรัฐบาล
คติพจน์	ฝันให้ไกล ไปให้ถึง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้