

การหน่วงสัญญาณดิจิทัลและตัวสุ่มสัญญาณเสียงเชื่อมโยงกับคอมพิวเตอร์ส่วนบุคคล
DIGITAL DELAY AND SOUND SAMPLER
WITH PERSONAL COMPUTER INTERFACE

โดย

นายปริญญา เรืองศิริไพศาล รหัส 36014255
นายพร้อมศักดิ์ หล่อวิจิตร รหัส 36014284
นายศุภฤกษ์ สุกาญจนารณ์ รหัส 36014443

อาจารย์ที่ปรึกษา
รศ.ดร.กอบชัย เดชหาญ



ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาวิศวกรรมโทรคมนาคม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2539

เลขหมู่.....
เลขทะเบียน..... 27872
วัน, เดือน, ปี 26 ส.ย. 2540

ปริญญาานิพนธ์ปีการศึกษา 2539

ภาควิชาวิศวกรรมศาสตร์ โทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีเจ้าคุณทหารลาดกระบัง

เรื่อง การทวนวงสัญญาณดิจิทัลและตัวสุ่มสัญญาณเสียงเชื่อมโยงกับคอมพิวเตอร์ส่วนบุคคล

DIGITAL DELAY AND SOUND SAMPLER WITH PERSONAL COMPUTER INTERFACE

- ผู้จัดทำ
1. นาย ปริญญา เรืองศิริไพศาล รหัสประจำตัว 36014255
 2. นาย พร้อมศักดิ์ หล่อวิจิตร รหัสประจำตัว 36014284
 3. นาย ศุภฤกษ์ สุกาญจนภรณ์ รหัสประจำตัว 36014443



..... อาจารย์ที่ปรึกษา

(รศ.ดร. กอบชัย เดชหาญ)

การหน่วงสัญญาณดิจิทัลและตัวสุ่มสัญญาณเสียงเชื่อมโยงกับคอมพิวเตอร์ส่วนบุคคล

Digital Delay and Sound Sampler with Computer Interface

ผู้ร่วมงาน

1. นายปริญญา เรืองศิริไพศาล รหัส 36014255
2. นายพร้อมศักดิ์ หล่อวิจิตร รหัส 36014284
3. นายศุภฤกษ์ สุกาญจนารณ์ รหัส 36014443

บทคัดย่อ

ปฏิญานิพนธ์ฉบับนี้ เป็นการแสดงถึงอุปกรณ์ซึ่งประกอบด้วยหน่วยความจำของการสุ่มตัวอย่างเสียง 512 กิโลบิต ประกอบด้วย 64 K x 8 บิต ส่วนคอมแพนเดอร์และฟิลเตอร์เสมือนกับเป็นส่วนแชนเปลิ่ง ส่วนของการหน่วงสัญญาณประกอบด้วย wow - less circuit ในส่วน panel controls ใช้งานได้กับ echo , double tracking และอื่นๆ รวมถึงการเก็บสัญญาณ

Abstract

The thesis presents an 512K digital delay with 8 x 64Kbit sound sampler . The associated compander and filter network operate as sampling circuit . The delay selection is normally used a special wow - less circuit . The panel controls is enable the unit and to be used for echo , double tracking among the others plus looped signal storage.

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการดำเนินงานของวงจร	2
บทที่ 3 การคำนวณและการสร้าง	43
บทที่ 4 การทดลองและผลการทดลอง	44
บทที่ 5 สรุปผลการทดลองและวิจารณ์	62
กิตติกรรมประกาศ	
เอกสารอ้างอิง	
ภาคผนวก	



สารบัญรูปภาพ

	หน้า
รูปที่ 2.1 แสดงผลของการพีเอ็มพีซีเอสและดีเอ็มพีซีเอส	2
รูปที่ 2.2 แสดงการคอมเพรสเซอร์สัญญาณ	3
รูปที่ 2.3 แสดงการคอมเพรสและเอ็กแพนชันสัญญาณ	4
รูปที่ 2.4 วงจรดีทิวเอแบบใช้ตัวต้านทานหลายค่า	5
รูปที่ 2.5 วงจรเปลี่ยนสัญญาณแบบ R/2R แลตเตอร์	
ก. วงจรสมบูรณ	6
ข. วงจรเสมือนในขณะทีสวิตช์ของบิตที่มีนัยสำคัญสูงสุดปิด	7
ค. วงจรเสมือนในขณะทีสวิตช์ของบิตที่มีนัยสำคัญรองลงมาปิด	7
รูปที่ 2.6 วงจรดีทิวเอ MC1418 ของโมโตโรลา	
ก. บล็อกไดอะแกรม	8
ข. การต่อแรงดันเอาต์พุต	8
รูปที่ 2.7 แสดงการต่อวงจร parallel comparator A/D converter	10
รูปที่ 2.8 แสดงรายละเอียดภายในและการจัดขาของ 4046	15
รูปที่ 2.9 การต่อวงจรเพื่อใช้งานแบบเฟลลลอคลูป	16
รูปที่ 2.10 เอกโคและรีเวอร์บเบรชัน	19
รูปที่ 2.11 ดิจิตอลดีเลย์สวิตช์	20
รูปที่ 2.12 วงจรขยายอัตราขยายโดยอัตโนมัติ (AGC)	21
รูปที่ 2.13 วงจรกรองความถี่ต่ำ	21
รูปที่ 2.14 วงจรกรองความถี่สูง	22
รูปที่ 2.15 วงจรโทมเมอร์ (โมโนสเตเบิล มัลติไวเบรเตอร์)	22
รูปที่ 2.16 วงจร tachometer อย่างง่ายแบบหนึ่ง	23
รูปที่ 2.17 วงจรแอมพลิฟูด มอดูเลเตอร์	23
รูปที่ 2.18 วงจรนับสิบ 4017	24
รูปที่ 2.19 วงจรเพิ่มแรงดันเป็นสองเท่าแบบครึ่งคลื่น	
ก. แผนภาพวงจรตจมปกติ	26
ข. แผนภาพอธิบายการทำงานช่วงเวลาทีแรงดันเข้าเพิ่มขึ้นจากศูนย์ถึงค่าบวกสูงสุด	26
ค. แผนภาพอธิบายการทำงานช่วงเวลาทีแรงดันเข้าลดลงจากค่าบวกสูงสุดถึงค่าลบสูงสุด	26
ง. ข. รูปคลื่นของแรงดันต่างๆ ทีเกี่ยวข้อง	26
รูปที่ 2.20 วงจรเพิ่มแรงดันเป็นสองเท่าแบบครึ่งคลื่น	

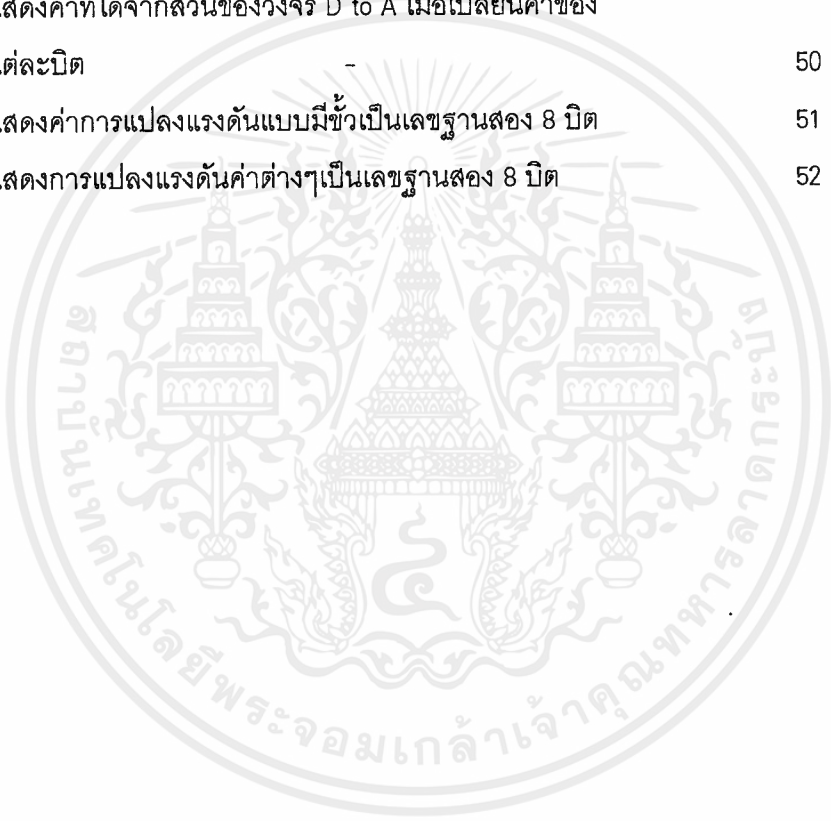
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

	หน้า
ก.แผนภาพวงจร	27
ข.-จ.รูปคลื่นของแรงดันต่างๆ ที่เกี่ยวข้อง	26
รูปที่ 2.21 แผนภาพของวงจรโมโนสเตเบิล	28
รูปที่ 2.22 แสดงลักษณะสัญญาณทริก, Vtc และเอาต์พุต	29
รูปที่ 2.23 แสดงการต่อวงจรของอุปกรณ์ในวงจรโมโนสเตเบิล	30
รูปที่ 2.24 ดีมัลติเพล็กซ์เซอร์ แบบ 1-4	31
รูปที่ 2.25 มัลติเพล็กซ์เซอร์ แบบ 1-4	32
รูปที่ 2.26 บล็อกไดอะแกรม	34
รูปที่ 2.27 วงจรสัญญาณอินพุตและการปรับแต่งสัญญาณ	39
รูปที่ 2.28 วงจร A TO D และส่วนของหน่วยความจำ	40
รูปที่ 2.29 ส่วนสร้างสัญญาณคล็อกและส่วนการทริก	41
รูปที่ 2.30 วงจรสร้างสัญญาณทริก	42
รูปที่ 3.1 แสดงการคำนวณ Pre-emphasis	43
รูปที่ 3.2 แสดงการคำนวณเอาต์พุต Amplifier	43
รูปที่ 4.1 แรงดันเอาต์พุตที่ขา 7 ของ IC TL084 เทียบกับอินพุต เมื่อ VR=1M	53
รูปที่ 4.2 แรงดันเอาต์พุตที่ขา 1 ของ IC TL082 เทียบกับอินพุต	53
รูปที่ 4.3 แรงดันที่ขา 9 ของ IC LM13600	54
รูปที่ 4.4 เอาต์พุตที่ขา 1 ของ IC TL084 เมื่อเปิดสวิตช์ S3	54
รูปที่ 4.5 เอาต์พุตที่ขา 1 ของ IC TL084 เมื่อปิดสวิตช์ S3	55
รูปที่ 4.6 สัญญาณนาฬิกาที่ขา 4 IC 4046 เมื่อปรับ VR20 เท่ากับ 1M และเปิดสวิตช์ S6	55
รูปที่ 4.7 สัญญาณนาฬิกาที่ขา 4 IC 4046 เมื่อปรับ VR20 เท่ากับ 1M และปิดสวิตช์ S6	56
รูปที่ 4.8 สัญญาณนาฬิกาที่ขา 4 IC 4046 เมื่อปรับ VR20 เท่ากับ 0 และปิดสวิตช์ S6	56
รูปที่ 4.9 สัญญาณนาฬิกาเมื่อผ่านวงจรหารความถี่ลง 2 เท่า (IC23b)	57
รูปที่ 4.10 สัญญาณแรงดันที่เป็นลบ เมื่อผ่านวงจร Diode Pumb Circuit	57
รูปที่ 4.11 สัญญาณอินพุตที่เข้าที่ขา 14 IC 4017 กับสัญญาณ RAS	58
รูปที่ 4.12 สัญญาณอินพุตที่เข้าที่ขา 14 IC 4017 กับสัญญาณ CAS	58
รูปที่ 4.13 สัญญาณอินพุตที่เข้าที่ขา 14 IC 4017 กับสัญญาณ address enable	59
รูปที่ 4.14 สัญญาณอินพุตที่เข้าที่ขา 14 IC 4017 กับสัญญาณ COL/ROW	59
รูปที่ 4.15 สัญญาณอินพุตที่เข้าที่ขา 14 IC 4017 กับสัญญาณ trig A-D	60
รูปที่ 4.16 สัญญาณอินพุตที่เข้าที่ขา 14 IC 4017 กับสัญญาณ step address	60
รูปที่ 4.17 รูป Timing Diagram รวม	61

สารบัญตาราง

	หน้า
ตารางที่ 2.1 ระดับสัญญาณของคอมแพนเดอร์	35
ตารางที่ 4.1 แสดงค่าเอาต์พุตของ IC TL084 เมื่อเปลี่ยน VR2	44
ตารางที่ 4.2 แสดงค่าสัญญาณที่ผ่านการ preemphasis	45
ตารางที่ 4.3 แสดงค่าสัญญาณที่ผ่านส่วน filter (IC LM13600) ที่ความถี่ต่างๆ	47
ตารางที่ 4.4 แสดงค่าความถี่ของสัญญาณนาฬิกา เมื่อทำการปรับ สวิตช์และปรับ VR ในค่าต่างๆ	49
ตารางที่ 4.5 แสดงค่าที่ได้จากส่วนของวงจร D to A เมื่อเปลี่ยนค่าของ แต่ละบิต	50
ตารางที่ 4.6 แสดงค่าการแปลงแรงดันแบบมีขั้วเป็นเลขฐานสอง 8 บิต	51
ตารางที่ 4.7 แสดงการแปลงแรงดันค่าต่างๆเป็นเลขฐานสอง 8 บิต	52



บทที่ 1

บทนำ

ในห้องบันทึกเสียง หรืองานแสดงดนตรี เครื่องทำเอฟเฟคเสียงที่นิยมใช้กันอย่างหนึ่งก็คือ ดิจิตอลดีเลย์ หลักการของดิจิตอลดีเลย์ ก็คือการนำสัญญาณเสียงซึ่งเป็นสัญญาณอะนาล็อก แปลงเป็นสัญญาณดิจิตอล แล้วนำไปเก็บไว้ในหน่วยความจำ จากนั้นก็เรียกกลับมาแปลงกลับเป็นอะนาล็อก ซึ่งการที่สามารถเก็บสัญญาณเสียงไว้ในหน่วยความจำในรูปของสัญญาณดิจิตอลนี้ ทำให้สามารถสร้างเอฟเฟคเสียงได้หลายๆ อย่าง เช่น การหน่วงเวลาเสียง ทำให้ได้เสียงรีเวอร์บ (reverb) หรือเอคโค (echo) ยิ่งหน่วยความจำมีมากก็สามารถหน่วงเวลาได้นาน และสามารถเก็บเสียงได้หลายประโยค หรือทำเสียงดับบลิ่ง (Doubling), ซาวด์ ออน ซาวด์ (Sound on Sound), แฟนจิ่ง (Flanging), จูน รีโซแนนซ์ (Tuned Resonance), คอรัส (Chorus), ไวเบรโต (Vibrato) เป็นต้น



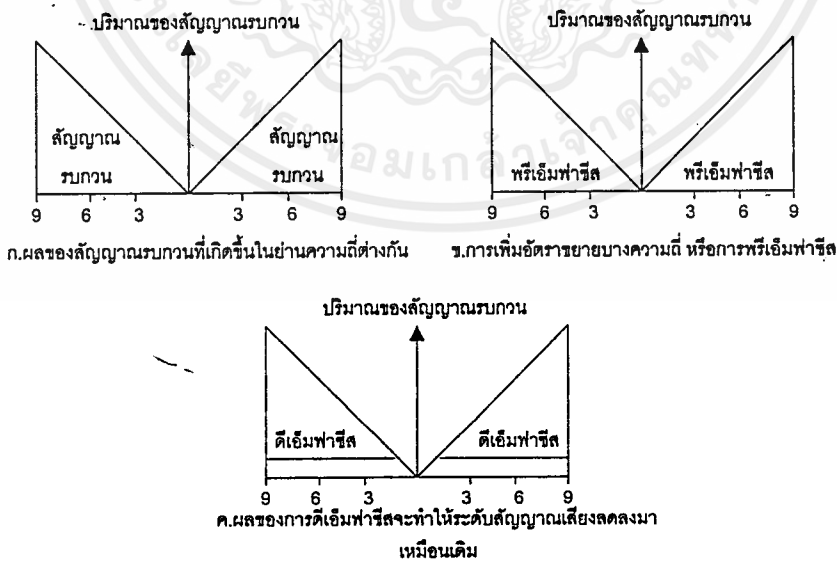
บทที่ 2

ทฤษฎีและหลักการทํางาน

2.1 การพรีเอมฟ้าซีสและดีเอมฟ้าซีส

ข้อดีของการสื่อสารระบบเอฟเอ็มที่เด่นชัด คือการขจัดสัญญาณรบกวนต่างๆ เพราะสัญญาณรบกวนส่วนใหญ่จะเข้ารบกวนทางด้านแอมพลิจูด แต่อย่างไรก็ตามสัญญาณรบกวนก็เข้ารบกวนคลื่นเอฟเอ็มทางความถี่ได้ โดยปกติสัญญาณรบกวนจะมาตั้งแต่สัญญาณความถี่เสียง ก่อนการเข้ามามอดูเลทกับสัญญาณพาหะ จากการตรวจสอบสัญญาณรบกวนพบว่า สัญญาณรบกวนจะปนเข้ามาที่สัญญาณความถี่เสียงทางด้านความถี่ต่ำและความถี่สูงมากเป็นพิเศษ ซึ่งแสดงให้เห็นเป็นกราฟดังแสดงในรูปที่ 2.1

การขจัดสัญญาณรบกวนทำได้โดยการเพิ่มอัตราขยายของวงจรถ่ายสัญญาณความถี่เสียงให้สูงขึ้นที่ด้านความถี่ต่ำและความถี่สูงเพื่อให้สัญญาณความถี่สูงได้รับการขยายมากเป็นพิเศษจึงทำให้ขนาดของสัญญาณความถี่เสียงมีขนาดแตกต่างจากสัญญาณรบกวนมาก ดังนั้นสัญญาณเสียงที่ปรากฏออกไปจะมีขนาดใหญ่กว่าปกติที่ควรจะเป็นทางแถบความถี่ต่ำและด้านความถี่สูง ครั้นเมื่อนำมอดูเลทแบบเอฟเอ็มแล้ว การเบี่ยงเบนทางความถี่จะเกิดมากกว่าปกติที่การเบี่ยงเบนด้านความถี่สูงสุดและด้านความถี่ต่ำสุดของการเบี่ยงเบนของสัญญาณเอฟเอ็ม ดังนั้นเมื่อเครื่องรับสัญญาณได้ และทำการดีเทคแล้วก็จะได้ขนาดของสัญญาณเสียงที่ความถี่ต่ำและความถี่สูงของสัญญาณเสียงเอฟเอ็มสูง จึงต้องมีส่วนของวงจรถ่ายขยายแรงดันที่ความถี่ต่ำและความถี่สูงในแถบความถี่เสียงลดลง เพื่อชดเชยผลที่ได้จากการส่ง การเพิ่มอัตราขยายบางความถี่ในวงจรถ่ายส่งนี้เราเรียกว่า วงจรถ่ายขยายบางความถี่ถึงลง ในวงจรถ่ายรับ เราเรียกว่า วงจรดีเอมฟ้าซีส



รูปที่ 2.1 แสดงผลของการพรีเอมฟ้าซีสและดีเอมฟ้าซีส

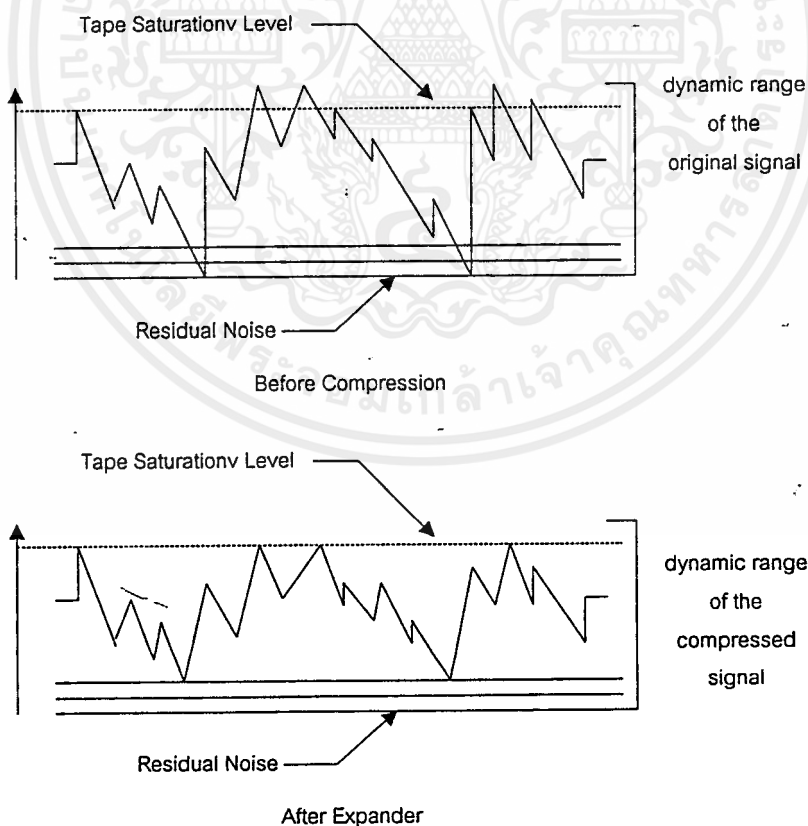
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 คอมเพรสเซอร์ (Compressor)

สิ่งที่เราต้องการอย่างชัดเจนก็คือ เราต้องการสัญญาณที่ต้องการให้มีระดับสูงกว่าสัญญาณรบกวน ซึ่งสามารถทำได้โดยการยกระดับและบันทึกระดับของสัญญาณโดยไม่ให้มันสูงเกินกว่าระดับอิมิตัวและระดับที่ระดับสัญญาณจะเพี้ยนแน่นอน มันสามารถหลีกเลี่ยงได้โดยการลดระดับสัญญาณที่มีระดับสูงและรักษาระดับสัญญาณที่มีเสียงค่อยให้มีระดับสูง ไม่นานมานี้กระบวนการในการลดระดับสัญญาณของเสียงดังและเพิ่มระดับสัญญาณของเสียงค่อย เรียกว่า เพิ่มระดับเกิน ยังมีปัญหาที่เกิดจากการเปลี่ยนแปลงอย่างทันทีทันใดในเสียงดังของสัญญาณที่ประหลาดใจ ซึ่งการบันทึกสุดท้ายมักจะสูญเสียความดีของไดนามิกเรนจ์ อย่างไรก็ตามในขณะนี้มียุคอุปกรณ์อิเล็กทรอนิกส์ที่รู้จักกัน คือ คอมเพรสเซอร์ที่เพิ่มระดับเกินโดยอัตโนมัติ

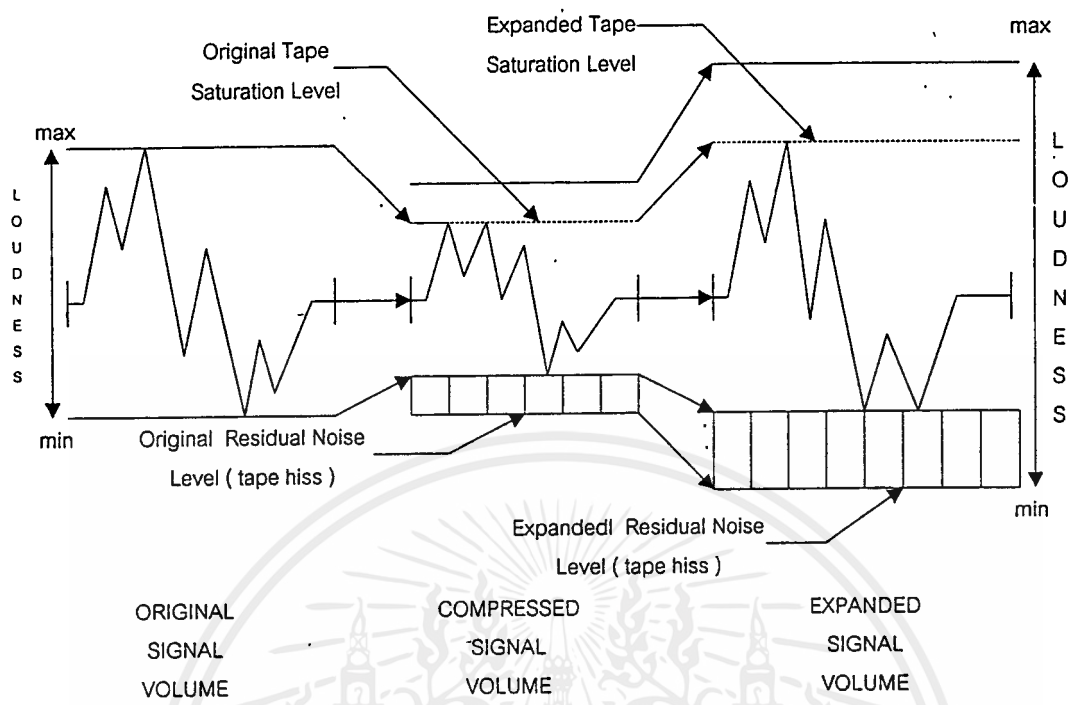
เอ็กแพนเดอร์ (Expander)

เมื่อคอมเพรสเซอร์จะให้กับสัญญาณก่อนบันทึก มันจะลดระดับไดนามิกของส่วนของเสียงดัง และเพิ่มระดับไดนามิกของเสียงเบา โดยการกระทำกระบวนการกลับกันกับคอมเพรสชัน ในอัตราส่วนที่เท่ากัน เมื่อเทปถูกเล่นกลับ ระดับที่ถูกกดจะสามารถได้ช่วงไดนามิกตอนเริ่มต้นขึ้นมาและสำคัญมาก ระดับสัญญาณจะลดลงโดยกระบวนการนี้ เราจะเรียกกระบวนการที่รวมเอาคอมเพรสเซอร์และเอ็กแพนเดอร์ว่า คอมแพนเดอร์



รูปที่ 2.2 แสดงการคอมเพรสเซอร์สัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 แสดงการคอมเพรสและเอ็กซ์เพนส์สัญญาณ

2.3 วงจรแปลงดิจิทัลเป็นอะนาลอก (Digital to Analog Converter : D/A)

2.3.1 แบบใช้ตัวต้านทานหลายค่า (Binary Weighted Resistor D/A converter)

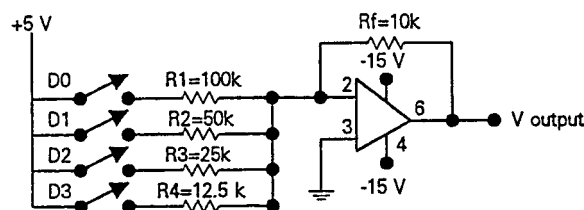
วงจรเปลี่ยนสัญญาณดิจิทัลเป็นอะนาลอกนี้ ใช้ตัวต้านทานต่างๆ และออปแอมป์เพื่อเปลี่ยนระดับสัญญาณลอจิก 2 ระดับ เป็นแรงดันที่ได้สัดส่วนกัน รูปที่ 2.4 แสดงวงจรเปลี่ยนสัญญาณดิจิทัลขนาด 4 บิต ออปแอมป์ที่มีอัตราขยายสูงมาก โดยทั่วไปจะสูงกว่า 100,000 เท่า มีความต้านทานด้านเอาต์พุตต่ำ ความต้านทานด้านอินพุตสูงมาก สิ่งสำคัญที่สุดที่จะต้องตระหนักไว้ก็คือ สัญญาณที่เอาต์พุตถูกป้อนกลับมายังอินพุตแบบกลับเฟส (การป้อนกลับแบบลบ) เพื่อเปรียบเทียบกับสัญญาณที่ขาอินพุตแบบไม่กลับเฟส เอาต์พุตของออปแอมป์จะเป็นตัวจ่ายหรือรับกระแส (Source or sink) เพื่อให้แรงดันที่เปรียบเทียบกับนั้นมีค่าเดียวกัน วงจรในรูปที่ 2.4 ต่อขาไม่กลับเฟสลงกราวด์ ดังนั้นที่ขากลับเฟสก็จะมีแรงดัน 0 โวลต์ด้วย การที่อินพุตที่ขากลับเฟสเป็น 0 โวลต์ โดยไม่ได้ต่อลงกราวด์โดยตรง จึงถูกเรียกว่า กราวด์เทียม (virtual ground)

ตอนที่สวิตช์ D_0 ปิด ตัวต้านทาน R_1 ค่า 100 กิโลวัตต์ จะมีแรงดัน 5 โวลต์ ที่ปลายข้างหนึ่ง อีกข้างหนึ่งเป็น 0 โวลต์ (กราวด์เทียม) จากกฎของโอห์มจะมีแรงดันตกคร่อม 5 โวลต์ ซึ่งให้กระแสไหลผ่าน 0.05 มิลลิแอมป์ กระแสนี้ไม่อาจเข้าไปยังอินพุตของออปแอมป์ได้ เนื่องจากออปแอมป์มีความต้านทานสูงมากอินพุตสูงมาก และไม่สามารถส่งหรือรับกระแสมากๆ ได้ ดังนั้นกระแส 0.05 มิลลิแอมป์ จึงต้องไหลผ่านไปยังเอาต์พุต โดยผ่านตัวต้านทานป้อนกลับ R_f 10 กิโลโอห์ม จะได้แรงดันเอาต์พุตเท่ากับ $(10 \text{ กิโลโอห์ม}) \times (-0.05 \text{ มิลลิแอมป์}) = -0.5 \text{ โวลต์}$ เพื่อรับกระแสผ่านสวิตช์ D_0 และรักษาสภาวะกราวด์เทียมไว้ แต่ถ้าหากยังสงสัยในภาวะกราวด์เทียมก็ลองวาดเป็นวงจรตีไวดอร์ ที่มีแรงดันข้างหนึ่ง +5 โวลต์ ตรงกลางเป็น 0 โวลต์ และอีกปลายข้างหนึ่งมีค่า -0.5 โวลต์

เมื่อเปิดวงจรที่สวิตช์ D_0 และปิดวงจรที่สวิตช์ D_1 (ขณะที่ R_2 มีค่าเป็นครึ่งหนึ่งของ R_1) กระแสเพิ่มเป็น 2 เท่า หรือ 0.1 มิลลิแอมป์ ไหลผ่าน R_f กราวด์เทียม และ R_2 ทำให้มีแรงดันเอาต์พุต -1 โวลต์ ต่อไปอีกปิดวงจรทั้งที่ D_0 และ D_1 จะได้กระแส 0.05 มิลลิแอมป์ ไหลผ่าน R_1 และ 0.1 มิลลิแอมป์ ผ่าน R_2 รวมกระแส 0.15 มิลลิแอมป์ ได้แรงดันเอาต์พุต -1.5 โวลต์

เมื่อเปลี่ยนการปิดเปิดสวิตช์ไปเรื่อยๆ จะได้แรงดันเอาต์พุตค่าต่างๆ กัน กระแสที่ผ่านสวิตช์แต่ละตัวจะถูกรวมกันที่จุดกราวด์เทียม แล้วเปลี่ยนเป็นตรงกันที่เอาต์พุต โดยตัวต้านทานในป้อนกลับ R_f

แรงดันเอาต์พุตจะเพิ่มขึ้นเป็นระดับๆ เหมือนขั้นบันได ดังนั้น 4 บิต จึงได้ 15 ระดับ แต่ละระดับต่างกัน -0.5 โวลต์ อาจกำหนดระยะห่างของแต่ละระดับได้โดยเปลี่ยนขนาดของ R_f แต่ถ้า R_f มีค่ามากเกินไป ระดับบนสุดจะขยับออปแอมป์ถึงจุดอิ่มตัว (ที่แรงดัน -14 โวลต์)



รูปที่ 2.4 วงจรตีไวดอร์แบบใช้ตัวต้านทานหลายค่า

2.3.2 แบบใช้ตัวต้านทาน 2 ค่า (R/2R Ladder D/A Converter)

เมื่อบริการที่มีขนาดมากกว่า 4 บิต วงจรตามรูปที่ 2.4 จะเกิดปัญหาเนื่องจากการค่าความต้านทานที่มีช่วงกว้างมาก วิธีที่ใช้หลักการไบนารีเวตเหมือนกัน แต่ใช้ความต้านทานเพียง 2 ค่า แสดง ในรูปที่ 2.5 ซึ่งกระแสจะถูกเปลี่ยนค่าแรงดันโดยออปแอมป์และตัวต้านทานป้อนกลับ R_f เหมือนวงจรในรูปที่ 2.4 วิธีนี้เรียกว่าการใช้ความต้านทาน 2 ค่า

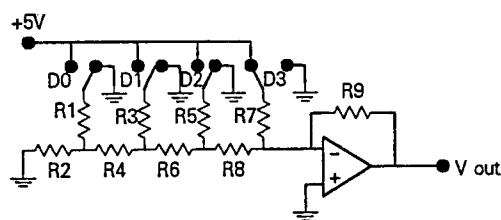
สังเกตให้ดีหลักการความต้านทาน 2 ค่า ดูไปก็คล้ายกับกฎของเคียร์โฮฟ เพียงแต่ค่าความต้านทานที่ใช้เป็นอัตราส่วนที่ทำให้คำนวณได้ง่าย แรกเลยสมมติว่าสวิตช์ D_3 ซึ่งเป็นสวิตช์ในบิตที่มีนัยสำคัญสูงสุดนั้นต่อกับแรงดันอ้างอิง 5 โวลต์ ในขณะที่สวิตช์ตัวอื่นปิดลงกราวด์ ดังนั้น R_1 และ R_2 จึงต่อขนานกันลงกราวด์ สังเกตตัวต้านทาน $2R$ ต่อขนานกับ $2R$ อีกตัวหนึ่งจึงมีค่าเท่ากับ R ค่า R นี้จะถูกบวกกับ R_4 กลายเป็นค่า $2R$ แล้วขนานกันกับ R_3 ลงกราวด์ การรวมของ R_3 และตัวต้านทานก่อนหน้าจึงทำให้เหลือเพียงค่า R ต่ออนุกรมกับ R_6 พิจารณาเช่นเดียวกันกับวงจรส่วนที่เหลือก็จะได้เป็นวงจรง่ายขึ้น ดังรูปที่ 2.5 ข

โดยเหตุที่กราวด์เทียบของออปแอมป์มีแรงดัน 0 โวลต์ ทำให้ไม่มีกระแสไหลผ่านค่าความต้านทานเหล่านี้ลงกราวด์จึงไม่ต้องสนใจส่วนนี้ ดังนั้นแรงดัน 5 โวลต์ที่ปลายข้างหนึ่งของ R_7 ค่า 20 กิโลโอห์ม ทำให้มีกระแส 0.25 มิลลิแอมป์ ผ่านที่จุดต่อและผ่าน R_f 20 กิโลโอห์ม แรงดันเอาต์พุตที่ได้จากบิตที่มีนัยสำคัญสูงสุดจึงมีค่า -5 โวลต์

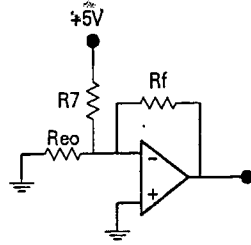
แรงดันที่ได้จากบิตที่มีนัยสำคัญรองลงมา ก็หาได้โดยปิดสวิตช์ D_2 ไปยัง +5 โวลต์และ D_3 ลงกราวด์ ตัวต้านทานทั้งหมดที่อยู่ทางซ้ายของ R_6 ในรูปที่ 2.5 ก ลดรูปลงเหลือเพียง $2R$ ต่อลงกราวด์ ดังรูป 2.5 ค. แรงดันของเทวินินคือ แรงดันที่รอยต่อหรือ 2.5 โวลต์ ตัวต้านทานเทวินินมีค่าเท่ากับตัวต้านทาน 2 ตัวต่อขนานกัน อุปกรณ์ที่อยู่ทางด้านซ้ายของ R_6 สามารถลดรูปได้เหลือค่า R ต่อกับ 2.5 โวลต์ เราสามารถละทิ้ง R_7 เพราะจุดปลายทั้งสองค่าต่อลงกราวด์ ค่าความต้านทานรวมระหว่างที่จุดรวมและแรงดันเทวินินคือ $2R$ หรือ 2. กิโลโอห์ม กระแสที่จุดรวมคือ 2.5 โวลต์ หรือ 0.125 มิลลิแอมป์ กระแสที่ผ่าน R_f 20 กิโลโอห์ม ทำให้เกิดแรงดันเอาต์พุต -2.5 โวลต์

ด้วยการวิเคราะห์ในทำนองเดียวกันนี้ สามารถหาแรงดันเอาต์พุตที่บิตต่ำลงมาอีกได้ 1.25 โวลต์ และที่ค่าดิจิตอลต่ำสุดได้ 0.625 โวลต์ ในขณะที่ค่าดิจิตอลสูงสุดได้เอาต์พุตเต็มสเกลคือ 9.375 โวลต์

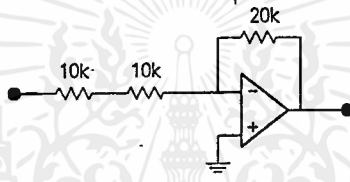
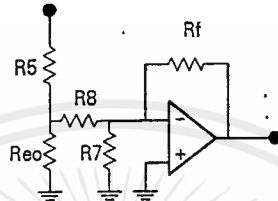
รูปที่ 2.5 วงจรเปลี่ยนสัญญาณแบบ R/2R แลด์เดอร์



ก. วงจรสมบูรณ์



ข. วงจรเสมือนในขณะที่สวิตช์ของบิตที่มีนัยสำคัญสูงสุดปิด



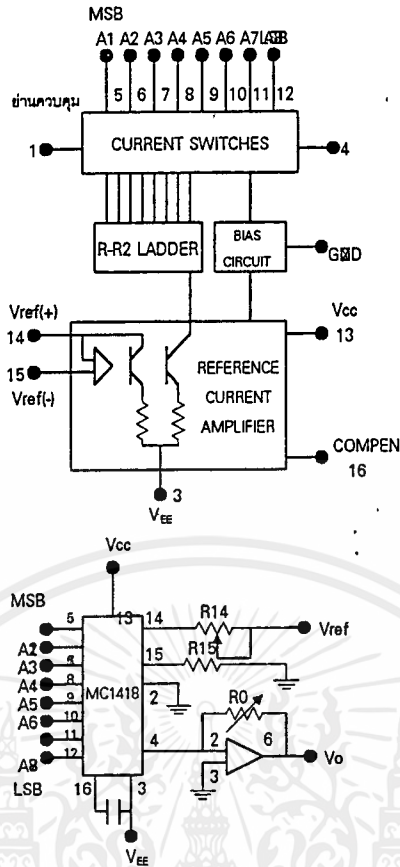
ค. วงจรเสมือนในขณะที่สวิตช์ของบิตที่มีนัยสำคัญรองลงมาปิด

2.3.3 แบบใช้ไอซี (Monolithic and hybrid D/A converters)

ส่วนไฮบริด (hybrid) บรรจุสารกึ่งตัวนำที่เรียกว่า ชิพ เพียงชิ้นเดียวหรือมากกว่ามีตัวต้านทานหรือตัวประกอบวงจรอื่นๆ อยู่ในกรอบของไอซีตัวเดียว

ตัวอย่างวงจรเปลี่ยนสัญญาณ D To A โมโนลิทิกขนาด 8 บิตคือ MC1408 ซึ่งมีผังการทำงานดังแสดงในรูปที่ 2.6ก 1408L เป็น DIP (Dual Inline Package) 16ขา ใน 1408L R/2R แอดเดออร์แลงกระแสที่ได้จากภาคขยายเป็น 8 ระดับขึ้นอยู่กัค่าทางเลขฐานสอง ทหรานซิสเตอร์แบบไบโพลาร์จะสวิตช์ให้กระแสที่ได้สอดคล้องกับอินพุต A₇-A₀การเรียงจากบิตที่มีนัยสำคัญสูงสุดถึงบิตที่มีนัยสำคัญต่ำสุดจะกลับกันของวงจรมันท์ว้ไป แต่วงจรเปลี่ยนสัญญาณดิจิทัลเป็นอะนาลอกบางตัวก็จะได้เรียงอย่างนี้ ดังนั้นควรอ่านคู่มืออย่างละเอียดถี่ถ้วนเสียก่อน

ตัวอย่างการนำไปใช้งานของ 1408L เช่น วงจรกำเนิดเสียงโดยรูปเอาต์พุตวงจรมันท์ 8 บิต สามารถนำมาต่อกับอินพุตของดีพูเอ เมื่อวงจรมันท์เริ่มนับดีพูเอคอนเวอร์เตอร์ก็จะให้รูปคลื่นรูปสามเหลี่ยมทางเอาต์พุต ซึ่งประกอบขึ้นด้วยขั้นบันไดเล็กๆถึง 255 ขั้น ความถี่เอาต์พุตเท่ากับความถี่ของสัญญาณนาฬิกาทางอินพุตหารด้วย 256 คลื่นรูปอื่นๆอาจทำได้โดยต่อดีพูเอกับเอาต์พุตของหน่วยความจำ ROM หรือ RAM แบบบิต 8 หน่วยความจำได้ถูกโปรแกรมด้วยค่าเลขฐานสองค่าต่างๆ ดังนั้นเสียงที่ได้จะมีความหลากหลาย



รูปที่ 2.6 วงจรดีทู่เอ MC1418 ของโมโตโรลา

ก. บล็อกไดอะแกรม

ข. การต่อแรงดันเอาต์พุต

2.3.4 ลักษณะสมบัติของดีทู่เอ

ลักษณะสมบัติอันแรกของการแปลงสัญญาณดิจิทัลเป็นอะนาล็อกที่จะพูดถึง ก็คือ ความละเอียด (resolution) ซึ่งขึ้นกับจำนวนของบิตทางด้านอินพุต ตัวอย่างเช่น วงจรเปลี่ยนสัญญาณ 8 บิต มีระดับเอาต์พุต 2^8 หรือ 256 ระดับ ดังนั้นความละเอียดคือ 1 ใน 256 วงจรเปลี่ยนสัญญาณ 12 บิต มีความละเอียด 2^{12} หรือ 4096 ความละเอียดบางครั้งจะคิดเป็นเปอร์เซ็นต์ คือ $1/4096 = 0.024\%$

ลักษณะสมบัติข้อต่อมาคือ ความถูกต้อง (accuracy) ของดีทู่เอ ความถูกต้องจากการเปรียบเทียบระหว่างเอาต์พุตจริงและเอาต์พุตที่ปรากฏ โดยคิดที่เต็มสเกล ถ้าวงจรเปลี่ยนสัญญาณมีเอาต์พุตเต็มสเกล 10 โวลต์ มีความถูกต้อง $\pm 0.2\%$ ดังนั้นความผิดพลาดสูงสุดคือ 0.002×10 โวลต์ หรือ 20 มิลลิโวลต์ ในทางทฤษฎีแล้ว ความถูกต้องของวงจรเปลี่ยนสัญญาณดิจิทัลเป็นอะนาล็อกไม่ควรต่ำกว่า ± 2 ของค่าที่ LSB (บิตที่มีนัยสำคัญต่ำสุด)

วงจรเปลี่ยนสัญญาณ 10 บิต มีความละเอียด $1/1024$ หรือประมาณ 0.1% ความถูกต้องควรมีค่า $\pm 0.05\%$

ความผิดพลาดอาจเกิดขึ้นได้หลายประการ คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความผิดพลาดอาจเกิดขึ้นได้หลายประการ คือ

1. ความผิดพลาดเชิงเส้น (Linearity errors)

ค่าจริงที่ได้จากเอาต์พุตจริง ต่างจากเอาต์พุตตามทฤษฎีที่ควรจะเป็นเส้นตรง ความผิดพลาดนี้มัก จะมาจากความผิดพลาดจากแหล่งจ่ายกระแสค่าหรือความต้านทาน

2. ความผิดพลาดทางอัตราขยาย (Gain errors)

ความผิดพลาดนี้ มักเกิดจากความผิดพลาดของตัวต้านทานป้อนกลับของออปแอมป์ ที่ทำหน้าที่ เปลี่ยนจากกระแสเป็นแรงดัน

3. ความผิดพลาดออฟเซต

เมื่ออินพุตทุกตัวเป็นศูนย์แล้วและเอาต์พุตไม่เป็นศูนย์ ทำให้เอาต์พุตมีค่าแรงดันผิดพลาดค่าหนึ่ง บวกกับค่าจริงอยู่ตลอดเวลา ความผิดพลาดนี้เกิดจากความผิดพลาดของการขยายออปแอมป์ และกระแสรั่ว ไหลที่การสวิตช์

ลักษณะสมบัติต่อมาคือ โมโนโทนิค (monotonicity) จะเรียกว่าเป็นโมโนโทนิค ก็ต่อเมื่อ ไม่มีการกระ- โดดข้ามขึ้นตลอดย่านการใช้งาน

ส่วนเวลาเซตเอาต์พุต (output setting time) เป็นเวลาที่เอาต์พุตของวงจร เปลี่ยนสัญญาณใช้ในการ เพิ่มขึ้นถึง $\pm 1/2$ ของ LSB หลังจากมีการเปลี่ยนแปลงทางอินพุต ถ้าวงจรเปลี่ยนสัญญาณถูกใช้งานย่าน ความถี่สูง อาจทำให้มีการเพิ่มแรงดันไม่ถึงค่าที่ถูกต้อง ทำให้เกิดความผิดพลาดขึ้นได้อีกประการหนึ่ง

2.3.5 การใช้ดีทูเอทีวคูณสัญญาณ (Multiplying D/A)

วงจรเปลี่ยนสัญญาณดีทูเอสามารถใช้เป็น วงจรทวีคูณสัญญาณ (multiplier) ได้โดยปรับเปลี่ยนแรง ดันอ้างอิง เอาต์พุตที่เป็นสัญญาณอะนาล็อกของดีทูเอ เป็นสัดส่วนกับผลคูณของแรงดันอ้างอิงกับสัญญาณดิ จิตอลทางอินพุต

ดีทูเอที่ถูกออกแบบไว้สำหรับการทวีคูณสัญญาณ จะให้เอาต์พุตเป็นเชิงเส้น และเปลี่ยนแรงดัน อ้างอิงได้ในย่านกว้าง

2.3.6 D-A Converter

ตัว converter เป็นแบบ voltage switching และใช้ R และ 2R ต่อแบบ ladder network 2R แต่ละตัวจะ ต่อกับ 0V หรือ V_{REF} โดยทรานซิสเตอร์ที่ใช้แรงดันมาเป็นสวิตช์ โดยใช้แรงดัน offset ต่ำ ($< 1\text{mV}$) ซึ่งค่าแรงดัน ของเลขของเลขฐาน 2 จะถูกผลิตขึ้นที่เอาต์พุตของ R-2R ladder

Analog output = $n/256 (V_{REF\ IN} - V_{OS}) + V_{OS}$ โดย n เป็นดิจิตอลอินพุตจากการ latch ข้อมูล V_{OS} เป็น ค่าแรงดัน off set น้อยๆ ที่ผลิตจาก D-A switch มีค่าประมาณ 1 mV

- Internal reference เป็น active bandgap circuit ใช้ zener diode 2.5V ที่มีค่า slope ของ Impedance ต่ำมาก (รูปที่ 4) R_{REF} จะต่อระหว่าง $+V_{CC}$ (ขา10) กับขา 7 ของไอซี ซึ่งควรมีค่า 390 โอห์ม ซึ่งจะจ่ายกระแส = $(5-2.5)/0.39 = 6.4\text{mA}$ $C_{REF} = 1$ ไมโครฟารัด ต่อระหว่างไอซีขา 7 และขา 8 $V_{REF\ out}$ (ที่ขา7) จะต่อกับ $V_{REF\ in}$ (ขา6)

2.4 วงจรแปลงขนาดออกเป็นดิจิตอล (Analog to Digital Converter : A/D)

วงจรเปลี่ยนสัญญาณขนาดออกเป็นดิจิตอล ที่ใช้อยู่ทุกๆ ไปมีหลายแบบ คือ

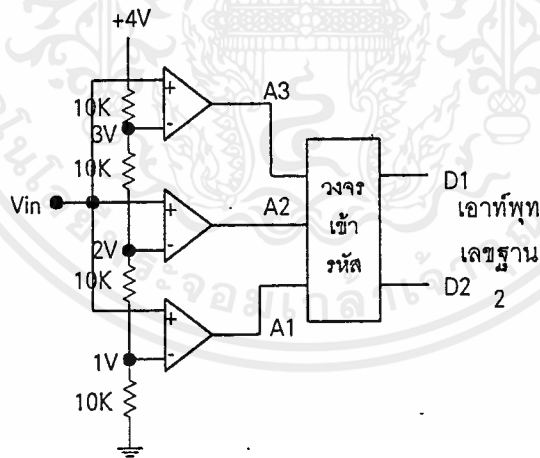
2.4.1 แบบใช้วงจรเปรียบเทียบขนาน หรือแบบแฟลช (Parallel Comparator Simultaneous "Flash" A-D Converter)

วงจรเอาต์แบบนี้ใช้หลักการง่าย ๆ อีกทั้งยังเป็นวิธีที่รวดเร็วที่สุด คือ ใช้วงจรเปรียบเทียบที่ต่อขนานกัน ดังรูปที่ 2.7 ก. ประกอบด้วยออปแอมป์ที่ต่อเป็นวงจรเปรียบเทียบ และตัวต้านทานต่อไว้เพื่อแบ่งแรงดันที่ขาอินพุตแบบกลับ (inverting) ให้มีขนาดต่างๆ กัน จากหลักการของวงจรเปรียบเทียบทั่วไป เมื่อแรงดันที่ขาอินพุตแบบไม่กลับ (non-inverting) มีค่าสูงกว่าที่ขาอินพุตแบบกลับ เอาต์พุตจะได้แรงดันค่าต่างๆ มีผลต่อเอาต์พุต ของวงจรเปรียบเทียบแต่ละตัวอย่างไร ซึ่งเอาต์พุตที่ได้จากวงจรเปรียบเทียบนี้จะนำไปเข้ารหัสให้เป็นเลขฐานสองต่อไป

จำนวนของวงจรเปรียบเทียบที่ต้องใช้ในวงจรขึ้นอยู่กับขนาดของสัญญาณเอาต์พุตที่อินพุต จากวงจรรูปที่ 2.7 ถ้าแรงดันอินพุตมีค่า 1 โวลต์ไม่เพียงพอที่จะทำให้วงจรเปรียบเทียบตั้งได้อัเอาต์พุตเป็น " High "

ที่แรงดันระหว่าง 1 ถึง 2 โวลต์ วงจรเปรียบเทียบที่มีระดับแรงดันเทรชโฮลด์ (threshold) ต่ำสุด ให้เอาต์พุตเป็น " High "

แรงดัน 2 - 3 โวลต์ วงจรเปรียบเทียบ ทั้ง A1 และ A2 ให้เอาต์พุตเป็น " High " ถ้าแรงดันอินพุตมากกว่า 3 โวลต์ วงจรเปรียบเทียบก็จะเป็น " High " ทั้งหมด



รูปที่ 2.7 แสดงการต่อวงจร parallel comparator A / D converter)

เมื่อต้องการวงจรที่มีความละเอียดสูงขึ้น จำเป็นต้องใช้วงจรเปรียบเทียบเพิ่มขึ้น โดยจำนวนวงจรเปรียบเทียบหาได้จาก $2^N - 1$ เมื่อ N แทนจำนวนบิตหรือความละเอียดที่ต้องการ

จะเห็นได้ว่าที่ความละเอียด 8 บิต ต้องใช้วงจรเปรียบเทียบมากถึง 255 ตัว ซึ่งเป็นข้อเสียของวงจรตีทุแบบนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อเสียอีกประการหนึ่งก็คือ เอาต์พุตที่ได้ไม่เป็นเลขฐานสอง ต้องมีวงจรเพิ่มเติมไปทำงานเข้ารหัส “ แฟลช “ (Flash Type A - D converter) วงจรเอาต์พุตชนิดนี้ ใช้เวลาในการแปลงได้เร็วในระดับนาโนวินาทีทีเดียว

2.4.2 วงจรเอาต์พุตที่ใช้การอินทิเกรต

วงจรเปลี่ยนสัญญาณเอาต์พุตที่ใช้ เทคนิคการอินทิเกรตสัญญาณมี 4 แบบ คือ

- แบบสโลปเดียวหรือแบบแรมป์ (Single Ramp หรือ Single Slope A / D Converter)

เมื่อเริ่มทำการเปลี่ยนสัญญาณ สัญญาณแรมป์และวงจรมับจะถูกรีเซ็ตเป็น “ 0 “ แรงดันอะนาลอกถูกป้อนไปยังวงจรเปรียบเทียบทางเอาต์พุตแบบไม่กลับ เมื่อแรงดันอินพุตที่ขานี้เป็นบวกมากกว่าที่เอาต์พุตแบบกลับ วงจรเปรียบเทียบก็จะให้เอาต์พุตเป็นระดับ “ High “ ทำให้แอนด์เกตปล่อยสัญญาณนาฬิกาผ่านไปยังวงจรมับได้ และทำให้เริ่มเกิดสัญญาณแรมป์

สัญญาณแรมป์มีแรงดันเป็นบวกขึ้นเรื่อยๆ จนมากกว่าระดับแรงดันอินพุตและเอาต์พุตของวงจรเปรียบเทียบก็ตกลงมาเป็นระดับ “ Low “ ปิดแอนด์เกตไม่มีสัญญาณผ่านไปให้วงจรมับ

วงจรมับจะหยุดนับและเก็บค่าไว้ที่วงจรถ่ายค่า จากนั้นจึงทำการรีเซ็ต วงจรมับและวงจรถ่ายค่าสัญญาณแรมป์

วงจรแบบนี้เป็นหลักการเบื้องต้นของดิจิตอลโวลต์มิเตอร์ ซึ่งถ้าใช้วงจรมับเลขฐานสองแทนแบบ BCD เอาต์พุตก็จะอ่านค่าได้เลขฐานสองโดยตรง

วงจรลักษณะนี้ มักนำไปใช้งานในการเปลี่ยนเวลาเป็นขนาดของสัญญาณ (time to amplitude conversion) หรืออาจใช้ในดิจิตอลโวลต์มิเตอร์ แต่ไม่ใช้กับงานที่ต้องการความถูกต้องสูง เนื่องจากการเปลี่ยนแปลงในแหล่งกำเนิดสัญญาณแรมป์ขึ้นกับอุณหภูมิและผลตอบสนองต่อสัญญาณอินพุต ทำให้ไม่มีความคงที่ ดังนั้นจึงมีการปรับปรุงให้ดีขึ้นกลายเป็นแบบสโลปคู่ (dual slope)

- แบบสโลปคู่ (Dual - Slope A / D converters)

ส่วนแรกคือวงจรถ่ายค่าสัญญาณแรมป์ หรือวงจรอินทิเกรเตอร์นั่นเอง ที่อินพุตแบบกลับของออปแอมป์มีสภาพเป็นกราวด์เทียม (virtual ground) ถ้ามีแรงดันอินพุต 2 โวลต์ จะได้กระแสไหลผ่านตัวต้านทาน 10 กิโลโห์ม เท่ากับ 0.2 มิลลิแอมป์ไปยังจุดรวม (summing point) เนื่องจากค่าความต้านทานอินพุตของออปแอมป์นั้นสูงมาก กระแสที่ไหลจึงเกิดขึ้นผ่านตัวเก็บประจุ ได้เอาต์พุตออกมาเป็นแรมป์ทางลบ

วงจรเปรียบเทียบก็จะได้แรงดันลบจากวงจรอินทิเกรเตอร์ แล้วให้เอาต์พุตเป็นบวกทำการเปิดสัญญาณแอนด์เกตให้สัญญาณนาฬิกาผ่านเข้าสู่วงจรมับ วงจรมับจะทำการนับไปยังค่าที่กำหนดไว้คงที่ แล้วทำการสับสวิตช์ต่อเข้ากับแรงดันอ้างอิง

สรุปได้ว่า แรงดันอินพุต ที่ไม่รู้ค่าถูกป้อนเข้าไปในวงจรอินทิเกรเตอร์เมื่อครบช่วงเวลา t_1 วงจรมับจึงถูกรีเซ็ตให้เป็น 0 อินพุตของวงจรอินทิเกรเตอร์ก็จะถูกสวิตช์ต่อกลับไปที่แรงดันอ้างอิง (ที่มีแรงดันคงที่) ให้ความชันของสัญญาณแรมป์คงที่ที่เพิ่มค่าขึ้นไปจนถึงระดับ 0 ช่วงเวลา t_2 นี้เป็นสัดส่วนโดยตรงกับสัญญาณอินพุต

ข้อดีของวงจรเปลี่ยนสัญญาณแบบสไลด์คูล์คือ ความถูกต้องสูง , ราคาถูก , เสถียรภาพทางด้าน อุณหภูมิ ข้อเสียคือความเร่งต่ำ ในการเปลี่ยนสัญญาณ 1 ครั้งอาจจะใช้เวลาถึง 100 มิลลิวินาที (ในขณะที่แบบแฟลชใช้เวลาประมาณ 30 มิลลิวินาที)

- แบบชาร์จบาลานซ์ (Charge Balance A / D Converters)

วงจรเปลี่ยนสัญญาณเอชดีแบบชาร์จบาลานซ์ ใช้วงจรสำคัญคล้ายๆแบบสไลด์คูล์นั่นเอง แต่แทนที่จะให้อินพุตสวิตช์ ไปมาระหว่างแรงดันที่รู้ค่ากับแรงดันอ้างอิง ก็ทำการแทรกพัลส์ของกระแสอ้างอิงโดยตรงที่จุดรวม (summing point) ของวงจรมินิเกรเตอร์ในช่วงเวลาที่คงที่ โดยที่จำนวนของพัลส์จะเป็นสัดส่วนโดยตรงกับแรงดันอินพุตที่รู้ค่า

ประโยชน์ของเทคนิคนี้คือ แรงดันตกคร่อมตัวเก็บประจุของวงจรมินิเกรเตอร์ จะมีค่าใกล้เคียง 0 โวลต์ ดังนั้นจึงไม่เกิดความผิดพลาดจากผลของกระแสรั่วไหล

เอชดีชนิดนี้จึงมีความถูกต้องสูงกว่าแบบสไลด์คูล์

- แบบเดลต้า-ซิกม่า (Delta - Sigma A / D Converters) ,

เมื่อมีแรงดันอินพุตป้อนเข้าไปที่วงจรมินิเกรเตอร์ จะให้เอาต์พุตเข้าไปในวงจรเปรียบเทียบ เปรียบเทียบกับแรงดันคงที่ พัลส์ของกระแสที่ได้จะขึ้นอยู่กับเอาต์พุตของวงจรเปรียบเทียบ โดยสวิตช์ที่ทำงานจากเฟส จะควบคุมกระแสให้เข้าไปยังจุดรวมหรือลงกราวด์ไป ส่วนวงจรมินิเกรเตอร์พัลส์ด้วยหลักการที่คล้ายกัน

2.4.3 ข้อสรุปของเอชดีแบบอินทิเกรตสัญญาณ

จุดสำคัญของอินทิเกรตเทคนิคนี้ คืออินพุตที่ให้กับวงจรมินิเกรเตอร์ต้องเป็นกระแสไอซีคอนเวอร์เตอร์บางตัวอาจมีอินพุตให้สองขา แต่จะมีขาหนึ่งต่อตรงกับจุด summing point ใช้กับอุปกรณ์ที่เป็นแหล่งจ่ายกระแสโดยตรง

ถ้าให้อินพุตเป็นกระแสก็ไม่ต้องคำนึงถึงแรงดันออฟเซตของวงจรมินิเกรเตอร์ แต่ถ้าหากใช้กับอินพุตที่เป็นแรงดันต้องปรับออฟเซตของออปแอมป์เสียก่อน

การใช้อินพุตเป็นกระแสทำให้ย่านการใช้งานทางไฟสลบกว้าง

2.4.4 วงจรเปลี่ยนสัญญาณเอชดีที่ใช้วงจรมินิเกรเตอร์และวงจรมินิเกรเตอร์ประกอบกัน

- แบบวงจรมินิเกรเตอร์เดี่ยว (Single-Counter)

แท้ที่จริงแล้วสัญญาณแรมป์เชิงเส้น (linear ramp) อาจประกอบขึ้นด้วยสัญญาณขั้นบันไดเล็กๆจำนวนมากที่เกิดจากการต่อเอาต์พุตของวงจรมินิเกรเตอร์เข้ากับวงจรแปลงสัญญาณ โดยขนาดของขั้นบันไดแต่ละขั้นขึ้นอยู่กับจำนวนบิตหรือความละเอียดของวงจรมินิเกรเตอร์นั้นๆ

การกำเนิดสัญญาณแรมป์เดี่ยวด้วยวงจรมินิเกรเตอร์และวงจรมินิเกรเตอร์ เมื่อเริ่มแปลงสัญญาณวงจรมินิเกรเตอร์รีเซ็ต เอาต์พุตของวงจรมินิเกรเตอร์มีระดับ 0 เมื่อแรงดันถูกป้อนเข้าไปยังอินพุตของวงจรเปรียบเทียบ เอาต์พุตก็จะขึ้นสู่ระดับ " high " และเปิดสัญญาณนาฬิกาไปสู่วงจรมินิเกรเตอร์ แต่ละพัลส์ของสัญญาณนาฬิกา ทำให้เกิดการนับและเพิ่มแรงดันขึ้น 1 ขั้น

เมื่อเอาต์พุตของดีทิวเอมีค่ามากกว่าอินพุต V_{in} เอาต์พุตของวงจรเปรียบเทียบกับก็จะกลายเป็น “ low ” ทำให้สัญญาณนาฬิกาไม่อาจผ่านไปยังวงจรมับได้ ดังนั้นวงจรควบคุมจะทำการแลตซ์เอาต์พุตของวงจรมับและรีเซตวงจรมับให้เริ่มต้นรอบใหม่อีกครั้งหนึ่ง

- การทำงานจะคล้ายกับแบบใช้วงจรมับเดี่ยว แต่การนับจะไม่ได้เริ่มจากศูนย์ แต่จะทำการนับขึ้นหรือนับลงจากค่าล่าสุดไปยังค่าใหม่ แล้วแต่ว่าแรงดันอินพุตในรอบใหม่มีค่าสูงกว่าหรือต่ำกว่าค่าที่แล้ว ข้อดีของเอทดีแบบแทรกกิ้ง คือทำงานได้เร็วขึ้น

2.4.5 วงจรเปลี่ยนสัญญาณเอทดีแบบใช้การประมาณค่า (Successive Approximation A/D Converter)

วงจรเอทดีแบบนี้มีข้อได้เปรียบทางด้านความละเอียด ละเอียด n -บิต สามารถกำหนดได้จากสัญญาณนาฬิกา n ลูก ตัวอย่างเช่น วงจรแปลงขนาด 8 บิต ต้องการพัลซ์ของสัญญาณนาฬิกาเพียง 8 ลูก ในขณะที่แบบใช้วงจรมับต้องใช้พัลซ์ถึง 256 ลูก วงจรแปลงเอทดีชนิดนี้มีความเร็วสูง และความละเอียดสูง จึงเป็นวงจรที่นำมาใช้อย่างแพร่หลาย

2.4.6 การสุ่มและการคงค่า (Sample and Holds)

วงจรเอทดีต้องการเวลาในการแปลงสัญญาณหรือที่เรียกว่า conversion time เพื่อเปลี่ยนสัญญาณอะนาลอกเป็นสัญญาณดิจิตอลที่เหมาะสม ถ้าสัญญาณอะนาลอกมีการเปลี่ยนแปลงในระหว่างช่วงเวลาการแปลง เอาต์พุตของวงจรเปลี่ยนสัญญาณอาจเกิดความผิดพลาดจึงต้องมีการป้องกันด้วยวงจรสุ่มและคงค่าสัญญาณ (sample and hold) เพื่อใช้จับสัญญาณอะนาลอกที่จุดเริ่มของการเปลี่ยนสัญญาณแล้วเก็บไว้ในตัวเก็บประจุระหว่างช่วงเวลาการแปลง หลังจากที่มีการเปลี่ยนสัญญาณเสร็จสิ้น จึงจับสัญญาณอะนาลอกค่าใหม่มาเก็บไว้อีกครั้งเป็นเช่นตอๆไป เราจึงมักได้พบเห็นวงจรสุ่มและคงค่าสัญญาณปรากฏคู่กับวงจรเอทดีอยู่เสมอ

2.4.7 การสื่อสารด้วยดิจิตอล (Digital Voice Communication)

สัญญาณอะนาลอกดังเช่นสัญญาณภาพหรือสัญญาณเสียง จะมีสัญญาณรบกวนสูงมากเมื่อส่งไประยะทางไกลๆ สัญญาณรบกวนที่เข้ามารบกวนซึ่งเป็นสัญญาณอะนาลอกเช่นกัน มีตำแหน่งและแอมพลิจูดไม่แน่นอนจึงยากต่อการกำจัดหรือป้องกัน แต่สัญญาณดิจิตอลมีเพียง 2 ระดับคือ “ 0 ” และ “ 1 ” สัญญาณรบกวนที่มีขนาดเล็กๆจึงไม่มีผลกระทบ ดังนั้นจึงนำสัญญาณดิจิตอลมาช่วยในการสื่อสารทางไกลโดยเปลี่ยนสัญญาณอะนาลอกอีกเป็นดิจิตอลด้วยเอทดีส่งไปตามสาย แล้วรับสัญญาณดิจิตอลเปลี่ยนเป็นอะนาลอกอีกครั้งด้วยดีทิวเอ

2.4.8 การทำงานของวงจรวจร

ไอซี ZN448 จะทำงานเมื่อไม่สัญญาณเป็นพัลส์ลบเข้ามาที่ขา WR ขา BUSY จะให้เอาต์พุตเป็น low ถ้าเซตบิต MSB เป็น 1 และบิตที่เหลือเป็น 0 ทั้งหมด แรงดันเอาต์พุตจะเท่ากับ $V_{REF}/2$ โดยจะใช้แรงดันอินพุตมาเป็นตัวเปรียบเทียบ ถ้า $V_{REF}/2 > V_{in}$ MSB จะเป็น 1 ส่วนในบิตอื่นๆ จะทำการเปรียบเทียบเหมือนกัน แต่แรงดันเอาต์พุตจะลดลงบิตละครึ่งหนึ่ง เช่น บิตที่ 2 = $V_{REF}/4$ บิตที่ 3 = $V_{REF}/8$ ซึ่งจะมีทั้งหมด 8 บิต ดังนั้นแรงดันเอาต์พุตที่ LSB จะมีค่า = $V_{REF}/256$ และจะใช้ clock ทั้งหมด 8 ลูก แล้วขา BUSY จะให้เอาต์พุตเป็น high ซึ่งเป็นสิ่งแสดงว่าการทำงานเสร็จสมบูรณ์แล้ว

- conversion, timing ไอซี ZN448 จะทำงานที่สถานะ low ของ convert pulse ซึ่งจะใช้ประมาณ 7.5-8.5 clock pulse ขึ้นอยู่กับความสัมพันธ์ระหว่างคาบของ clock และ convert signal

- data output ถ้าขา RD มีอินพุตเป็น high จะไม่มีค่าเอาต์พุตออกมาจะแสดงเพียงว่าเป็น high impedance load เมื่อ RD มีอินพุตเป็น low จะมีค่าเอาต์พุตออกมา

- internal reference เมื่อต่อ zener diode จะมีแรงดัน 2.5 V และมีรีซิสเตอร์ต่อระหว่างไอซีขา 8 และขา 10 ซึ่งควรจะมีค่า 390 โอห์ม ดังนั้นจะมีกระแสเป็น $(5-2.5)/0.39 = 6.4$ mA และมี C ค่า 4.7 ไมโครฟารัด ต่อระหว่างขา 8 และขา 9 สำหรับ internal reference V_{REF} out (ที่ขา 8) จะเชื่อมกับ V_{REF} in (ที่ขา 7)

- comparator จะต้องป้อนไฟลบเข้ามา ซึ่งสามารถป้อนโดยใช้ diode pump circuit ซึ่งเมื่อ BUSY เป็น high C_1 จะทำการเก็บประจุประมาณ 4-4.5V และจะคายประจุเมื่อ BUSY เป็น low ค่า constant จะขึ้นอยู่กับความถี่ของ clock ดังนั้นการลดลงของแรงดันของ C จึงไม่มีความสำคัญ และ C_1 จะเก็บประจุอีกครั้งเมื่อ BUSY เป็น high อีกครั้งหนึ่ง

ZN448 สามารถสร้างแรงดันขึ้นเองได้โดย diode pump circuit โดยคาร์ซีสเตอร์จะเป็นตัวกำหนดแรงดันที่เกิดขึ้น

2.5 4046B ซีมอสเฟสล็อกคูล

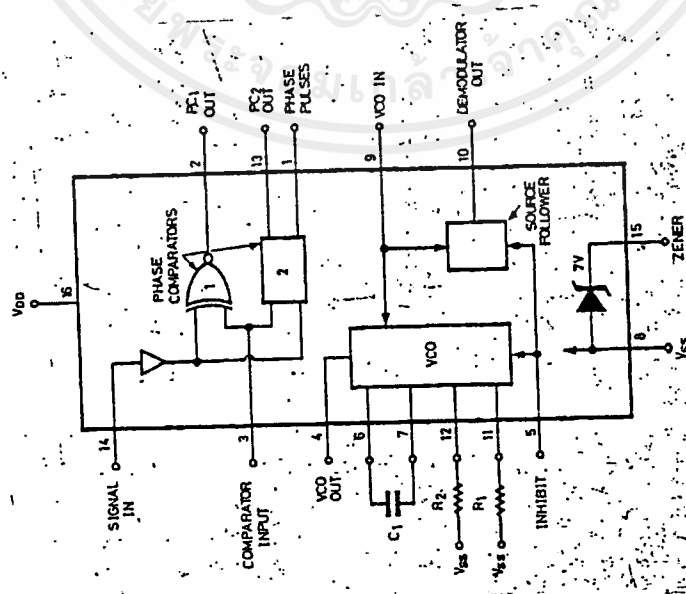
ถึงแม้ไอซีเบอร์ 4046B ซึ่งเป็น micro power phase-locked loop ตัวนี้ได้ออกแพร่หลายมานานแล้ว แต่ในบ้านเราไม่ค่อยมีใครนำมาใช้งาน ทั้งๆ ที่ไอซีตัวนี้มีความสามารถมากทีเดียว อาจเป็นเพราะว่าการที่เป็นไอซีทางด้านเฟสล็อกคูล เลยทำให้รู้สึกว่าการนำมาใช้งานคงจะเป็นเรื่องยุ่งยาก ความจริงแล้ว 4046B นี้สามารถนำไปใช้งานด้านอื่นๆ ได้อีกมาก

-โครงสร้างภายในของ 4046B -

ส่วนประกอบภายในและตำแหน่งของขาไอซีเบอร์ 4046B แสดงในรูปที่ 2.8 ซึ่งประกอบไปด้วยวงจรเปรียบเทียบเฟส (phase comparator) 1 คู่ ZD 1 ตัว และภาคกำเนิดความถี่ควบคุมด้วยแรงดัน หรือ VCO (Voltage Control Oscillator) 1 ชุด ส่วนประกอบเหล่านี้จะแยกเป็นอิสระจากกัน ในส่วนของ VCO เป็นส่วนที่สามารถดัดแปลงใช้งานได้มากมาย ที่สำคัญคือ มีราคาถูกเมื่อเทียบกับวงจรกำเนิดความถี่ควบคุมด้วยแรงดันอื่นๆ

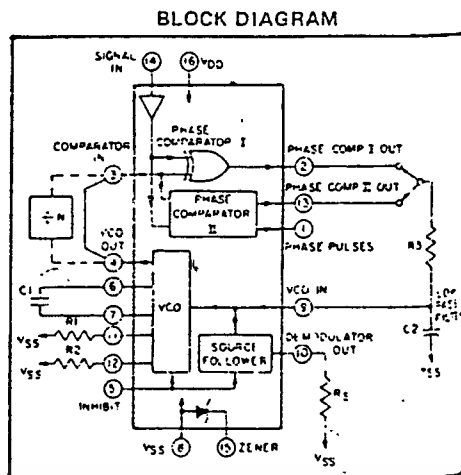
ภาค VCO นี้ ให้อุปคลื่นสี่เหลี่ยมที่สมมาตร มีความถี่สูงสุดได้มากกว่า 1 MHz ในการใช้งานนั้น ขาที่ 5 ซึ่งเป็นขา inhibit จะเป็นตัวควบคุมให้ VCO ทำงาน คือถ้าขา 5 มีสถานะเป็น "1" ภาค VCO จะไม่ทำงาน แต่ถ้ามีสถานะลอจิกเป็น "0" ภาค VCO จะทำงานตามปกติ แรงดันไฟฟ้าที่ไอซีนี้ยังทำงานอยู่ได้ อยู่ในช่วง 3-18 V

สำหรับการใช้งานแบบเฟสล็อกคูล หรือ PLL (Phase-Locked Loop) นั้น ขาเอาต์พุตของ VCO จะต่อเข้ากับอินพุตของตัวเปรียบเทียบที่ขา 3 และเอาต์พุตของวงจรเปรียบเทียบต่อไปยังวงจรกรองแบบความถี่ต่ำผ่าน (low-passed filter) สัญญาณที่กรองเรียบร้อยแล้ว ถูกป้อนกลับมาที่อินพุตของ VCO ขา 9 เพื่อควบคุมความถี่ของ VCO จะเห็นว่า วงจร PLL นี้ต่อครบเป็นลูป (loop) ดังวงจรในรูปที่ 2.9 ซึ่งวงจรนี้ใช้สำหรับตรวจจับความถี่ของสัญญาณที่เข้ามายังขา 14 รายละเอียดส่วนนี้ไม่ขอกล่าวถึง เพราะสามารถหาอ่านได้ในหนังสือคู่มือการใช้ IC CMOS เป้าหมายหลักของบทความนี้ก็คือ การนำไอซีเบอร์ 4046B ไปใช้ในงานแบบอื่น ในวงจร PLL แต่เป็นการนำเอาภาค VCO มาประยุกต์ใช้งานซึ่งจะได้กล่าวต่อไป



รูปที่ 2.8 แสดงรายละเอียดภายในและการจัดขาของ 4046

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 การต่อวงจรเพื่อใช้งานแบบเฟสล็อกลูป

การประยุกต์ใช้งานภาค VCO

เนื่องจากภาค VCO เป็นส่วนสำคัญในการประยุกต์ใช้งาน จึงจำเป็นต้องศึกษาการทำงานของมันก่อน โดยปกติความถี่ในการทำงานของ VCO ถูกควบคุมโดย

1. ตัวเก็บประจุ C_1 ที่ต่อระหว่างขา 6 และขา 7 (ค่าต่ำสุดของ C_1 คือ 50 Pf)
2. ตัวต้านทาน R_1 ที่ต่อระหว่างขา 11 และกราวด์
3. แรงดันอินพุตที่ขา 9 ของ VCO

2.6 ชนิดของเอคโค (Echo) และเทคนิคการดีเลย์

ในเครื่องเล่นเทปส่วนมากจะมีหัวสำหรับการบันทึก การเล่นกลับ ซึ่งอุปกรณ์ทั้งสองจะแยกอยู่ห่างกัน ถ้ามีการบันทึกเสียงโดยหัวบันทึกแล้วอ่านโดยหัวอ่านจะเกิดช่วงเวลาหน่วงสั้นๆ (Short Delay) เพราะระยะห่างระหว่างหัวเทปทั้งสอง นอกจากนั้นยังขึ้นกับความเร็วของเทปด้วย โดยปกติแล้วเวลาที่หน่วงจะประมาณ 0.1 ถึง 1.5 วินาที

1. ดับเบิล แชนเนล เอคโค (Double Channel Echo) คือ บันทึกสัญญาณที่แชนเนลของสเตอริโอ แล้วส่งสัญญาณที่ถูกบันทึกจากหัวอ่านที่แชนเนลนั้น ไปยังหัวบันทึกแชนเนลที่สอง ดีเลย์ ไทม์ คือช่วงระยะห่างระหว่างหัวอ่านทั้งสองหาด้วยความเร็วของเทป
2. ซิงเกิล แชนเนล เอคโค (Single Channel Echo) โดยการใช้มิกเซอร์ (Mixer) ซึ่งจะทำการมิกซ์สัญญาณที่ถูกบันทึกซึ่งได้จากหัวอ่าน (Playback Head) กับสัญญาณอินพุตที่จะไปหัวบันทึก
3. มัลติ แชนเนล เอคโค (Multi Channel Echo) โดยการนำเอาต์พุตของหัวอ่านของแชนเนลหนึ่ง ซึ่งจะถูกนำกลับไปเข้ามิกเซอร์ รวมทั้งยังนำกลับเข้าไปเป็นอินพุตของแชนเนลต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. มัลติเปลล์ มิกเซอร์ เอคโค (Multiple Channel Echoes) โดยการนำเอาอุปกรณ์ต่างๆ มาประกอบกัน เพื่อให้ได้เอคโคเอฟเฟกต์ต่างๆ กัน เช่น เอาเครื่องที่มีความเร็วต่างกันและระยะระหว่างหัวบันทึกและหัวอ่าน ต่างกัน

5. เอ็กซ์เทนด์ เทป ดีเลย์ ซิสเต็ม (Extend Tape-Delay Systems) โดยการนำเอาสัญญาณที่ถูบันทึก โดยหัวบันทึก (Recording Head) ของเครื่องเทปหนึ่งไปยังหัวอ่านของเครื่องเทปอีกอันหนึ่ง ทำให้ระยะทางมีค่า มากขึ้น ช่วงเวลาดีเลย์นานขึ้น

2.7 การสะท้อน (Reverberation) และการดีเลย์ (Delay)

ในระยะแรกได้ใช้การสะท้อนและการดีเลย์ มาใช้ในการเพิ่มเสียงสะท้อนในบริเวณที่มีเสียงสะท้อน อยู่แล้วหรือในบริเวณที่ไม่มีเสียงสะท้อนเลย เพราะว่าการสะท้อนในธรรมชาติเกิดจากเสียงเวลาย่อยๆ ที่ เหลื่อมล้ำกัน ซึ่งมีคลื่นเสียงที่สะท้อนกับพื้นผิวที่อยู่ห่างจากผู้ฟังเสียงเป็นระยะทางไม่เท่ากัน ดังนั้นผู้ฟังจะ สามารถได้ยินเสียงสะท้อนซึ่งจะเกิดซ้ำหลังจากได้ยินเสียงจากแหล่งกำเนิดเสียงนั้นไปแล้ว ซึ่งสามารถจะ ทดลองได้หลายวิธี คือ

1. ฟิสิคัลดีเลย์ (Physical Delay)
2. อนาลอกดีเลย์ (Analog Delay)
3. ดิจิตอลดีเลย์ (Digital Delay)

2.8 รีเวอร์เบอร์เรชั่น และเอคโค (Reverberation and Echo)

ถ้าเสียงสะท้อน (Reflected Sound) มาถึงภายในเวลา 20 ms ของเสียงตรง (Directed Sound) ที่มาถึง ก่อน ผู้ฟังจะได้ยินเพียงเสียงเดียวโดยมันจะยาวขึ้น เรียกปรากฏการณ์นี้ว่า รีเวอร์เบอร์เรชั่น (Reverberation) อย่างไรก็ตาม ถ้าเสียงที่สะท้อนมาถึงหลัง 20 ms เสียงสะท้อนจะถูกได้ยิน โดยไม่ใช่การรวมกับเสียงที่มาโดย ตรง แต่จะแยกกัน (Echo)

รีเวอร์เบอร์เรชั่น ไทม์ (Reverberation Time) คือ เวลาที่ทำให้ความเข้มของเสียง น้อยกว่าระดับของ สัญญาณเดิมโดยจะเป็นหนึ่งในล้านเท่าของสัญญาณเดิม ซึ่งมีค่าเปลี่ยนไป 60 เดซิเบล สำหรับทางด้าน คนตรีได้ตกลงกันว่ารีเวอร์เบอร์เรชั่น ไทม์ ของคอนเสิร์ตใหญ่มีค่าประมาณ 1.5 ถึง 2.0 วินาที

2.9 ไวเบรโต (Vibrato)

เสียงมนุษย์และอุปกรณ์ดนตรีของชาวตะวันตกจะสามารถสร้างรูปแบบท่วงทำนองของการโมดูเลตแบบ ความถี่ (frequency modulation) ซึ่งเรียกว่า vibrato vibrato ที่เราเคยชิน คือ การที่เปลี่ยนความถี่ของ สัญญาณในช่วงเวลาเล็กน้อย เช่น นักไวโอลินเลื่อนนิ้วของเขากลับไปยังสายเส้นต่างๆเหมือนกับเขาได้กดซ้ำ บนอุปกรณ์นั้น การเปลี่ยนความยาวของสายเพียงเล็กน้อย คือ การเปลี่ยนความถี่ของเสียงที่ผลิตโดยสาย

2.10 แฟนจิ่ง (Flanging)

ต่างกับผลของการมอดูเลตแบบความถี่หรือแอมพลิจูด ซึ่งผลของการมอดูเลตแบบเฟสจะสามารถเห็นได้ ดังตัวอย่าง รูปร่างของคลื่นเสียงที่เหมือนกันระหว่างรูปคลื่นที่มีคาบ 0-360 องศา และ 90-450 องศา หรือจุดใดๆบนคาบเวลาต่างๆซึ่งมีจุดเดียวกัน ดังนั้น \sin , \cos , $\text{negative } \sin$ และ $\text{negative } \cos$ มีลักษณะเหมือนคลื่นเสียง phase modulation สามารถเห็นได้ โดยที่สัญญาณเดียวกันมีความไม่ซิงโครนัสกัน phase modulator, phase shifter หรือ flanger ซึ่งเป็นสิ่งเดียวกัน จะแบ่งสัญญาณเป็น 2 ส่วน โดยส่วนหนึ่งจะ delay โดยค่าเวลาเล็กๆ (ประมาณ 0.2-2 ms) แล้วรวมสัญญาณทั้งสองอีกครั้งหนึ่ง โดยการเปลี่ยนแปลงเกิดจากการรวมกันของสองสัญญาณทำให้เกิดการรวมและหักล้างกัน ปรากฏการณ์ที่มีการรวมกันของสัญญาณขึ้นอยู่กับจำนวนเฟสชิฟ

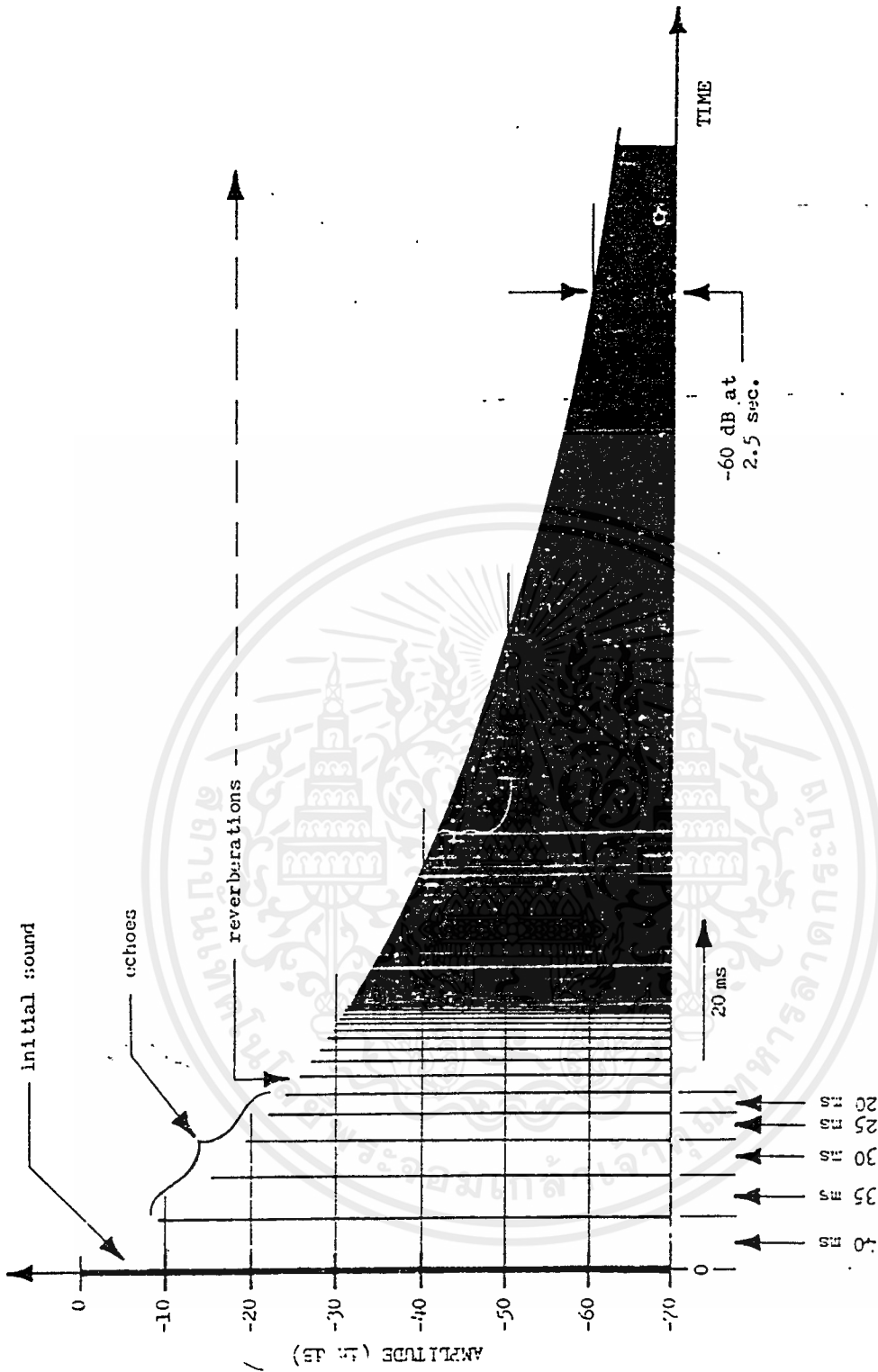
ถ้าสัญญาณ sine แบ่งเป็น 2 ส่วน อันหนึ่งมีการชิฟไป 30 องศา จากอีกอันจะทำให้เห็นการรวมกันของแอมพลิจูด คือ จะลดลงเล็กน้อย เนื่องจากช่วงดังกล่าวทำให้เกิดลิตดิง ถ้าเฟสชิฟเป็น 180 องศา การลดลงจะสมบูรณ์ สัญญาณสองตัวจะหักล้างกันหมด ผลกระทบของเฟสชิฟบนรูปสัญญาณฮาร์โมนิก ส่วนต่างๆของฮาร์โมนิกของสัญญาณจะได้รับผลกระทบที่ต่างกัน เพราะเวลาที่ดีเลย์อันเดียวจะทำให้เกิดความแตกต่างมากของแต่ละช่วงเวลาฮาร์โมนิก

2.11 เสียงสะท้อน (Echo) การสะท้อน (Reverberation) และเวลาดีจิตอล (Digital Time)

ดีเลย์เป็นสิ่งที่แสดงถึงจำนวนเวลาที่เกิดขึ้นระหว่างที่เราได้ยินเสียงจากแหล่งกำเนิดและได้ยินเสียงนั้นซ้ำอีกครั้งหนึ่ง ซึ่งถ้าดีเลย์มากกว่า 20 มิลลิวินาที เราสามารถที่จะได้ยินเสียงที่เกิดขึ้นซ้ำได้อย่างชัดเจน เรียกว่าเสียงสะท้อน (Echo) แต่ถ้าดีเลย์น้อยกว่า 20 มิลลิวินาที เราจะได้ยินเสียงที่ยาวกว่าเสียงที่เกิดขึ้นจริงจากแหล่งกำเนิดเรียกการสะท้อน (Reverberation) ซึ่งได้นำหลักความสัมพันธ์นี้ไปอธิบายถึงความแตกต่างระหว่าง ออดิโอ และชิบออดิโอ

2.12 เวลาที่เสียงจางหายไป (Decay Time)

เสียงเพียงเสียงเดียว อาจทำให้เกิดได้ทั้งเสียงสะท้อนและการสะท้อนได้ ซึ่งแสดงได้ในรูปที่ 2.10 แต่สิ่งที่สำคัญคือ เวลาที่เสียงจางหายไป (Decay Time) ของทั้งเสียงสะท้อนและการสะท้อนโดยปกติเราคิดว่าน่าจะเท่ากับเวลาที่เสียงสะท้อนกับวัตถุ (Reverberation Time) เวลาที่ระดับความสูงของสัญญาณลดลงไป 1 ในล้านของสัญญาณเดิม (เปลี่ยนไป -60 เดซิเบล) ซึ่งเราไม่คำนึงถึงความแรงของสัญญาณ ดังนั้นถ้าสัญญาณเดิมเป็น -20 เดซิเบล เวลาที่เสียงจางหายไปจะเป็น -80 เดซิเบล ดังที่แสดงในรูปที่ 2.10 เวลาที่เสียงจางหายไปจะเป็น 2.5 วินาที สำหรับนักดนตรีจะทำให้มันมากกว่า 2.5 วินาที สำหรับใช้ในการแสดงดนตรี แต่ปกติทั่วไปจะมีเวลาที่เสียงจางหายไป 1.5 - 2.5 วินาที ขึ้นกับห้องที่ใช้ สังเกตว่าเสียงยังคงมีอยู่แม้ว่าจะผ่านช่วงเวลาที่เสียงจางหายไปแล้ว แต่ระดับความสูงของสัญญาณลดลง -60 เดซิเบล ซึ่งรายละเอียดของเสียงสะท้อนและการสะท้อนอยู่ใน “ ambience ”



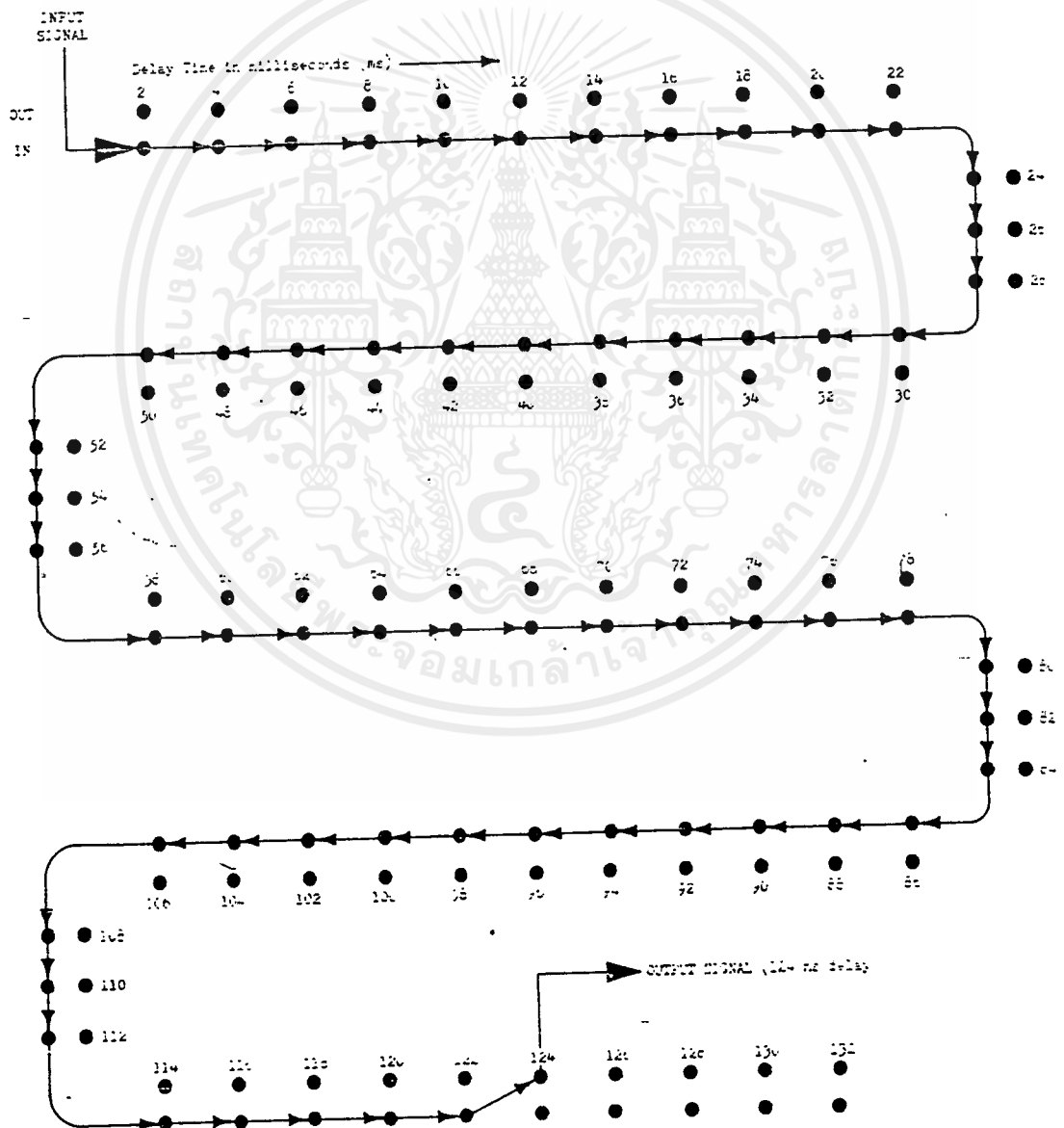
รูปที่ 2.10 เอกโคและรีเวอร์บเมชั่น

2.13 การสะท้อนหรือหน่วงเวลาโดยใช้สัญญาณดิจิทัล (Digital Reverberation / delay)

ในปัจจุบันนี้ระบบของการสะท้อนแบบดิจิทัลกำลังได้รับความนิยมมากขึ้น เนื่องจากลดการเสียดเนื่องจากระยะทางที่ใช้และหน้าที่ของระบบดิจิทัล ซึ่งการสะท้อนของสัญญาณดิจิทัลจะประกอบด้วยสวิตซ์หลายๆ ตัวมาต่ออนุกรมกันเป็นเส้นยาว ดังรูปที่ 2.11 ซึ่งระยะเวลาระหว่างสวิตซ์แต่ละตัวจะประมาณ 1 หรือเอ็กเสารันเป็นเอ็กเสารันที่ส่งวนไวสาหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนูญาติเหน่าไปไซประโยชนดานการค้ำไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

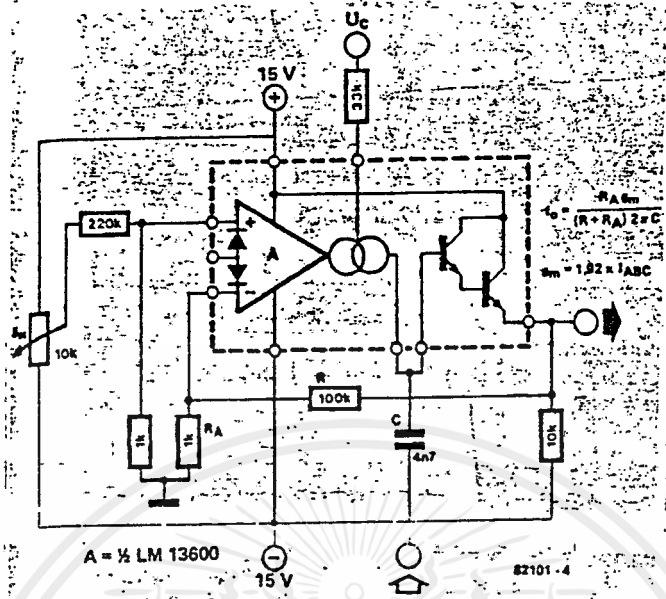
2 มิลลิวินาทีและระบบนี้จะสิ้นสุดเมื่อมีสวิตซ์ที่หันเหไปจากเส้นทางเดิม โดยระบบนี้สามารถมีสวิตซ์ต่อกันได้ถึง 800 ตัว สวิตซ์พวกนี้เป็นสวิตซ์ขีลอคทรอนิกส์ ไม่ใช่สวิตซ์ธรรมดาจึงไม่มีปัญหาเหมือนสวิตซ์ธรรมดา คือจะไม่ไวต่อเสียงแทรก มีน้ำหนักเบา และเคลื่อนที่ไม่ได้ ไม่มีส่วนประกอบที่เสียหายและมีปัญหาเรื่องการบำรุงรักษาต่ำ

วงจรของดีเลย์สามารถทำหน้าที่เป็นหัว play back กรณีที่เป็นเทป โดยจะสร้างดีเลย์ย่อยๆ แล้วนำมาผสมกันกลายเป็นดีเลย์ เพื่อจะนำไปต่อป้อนกลับเป็นรีไซเคิล เราสามารถสร้างดีเลย์ที่ซับซ้อนได้โดยการเซตค่าเวลาของการดีเลย์ตั้งแต่ต้นให้ถูกต้อง ข้อเสียคือตายตัวเพราะการสะท้อนตามธรรมชาติจะเป็นแรมดอม และถ้าเราใช้หลายๆ ชุดที่ไม่ซ้ำกันจะไม่เป็นระเบียบ นอกจากนี้ต้องหลีกเลี่ยงระบบที่เป็นลำดับ และไม่ใช้ความถี่ที่มากกว่า 8 กิโลเฮิร์ตเพราะเป็นระบบที่ซับซ้อน ในการผลิตจะผลิตต่างๆ กันเพราะยังไม่มีกำหนดมาตรฐานไว้



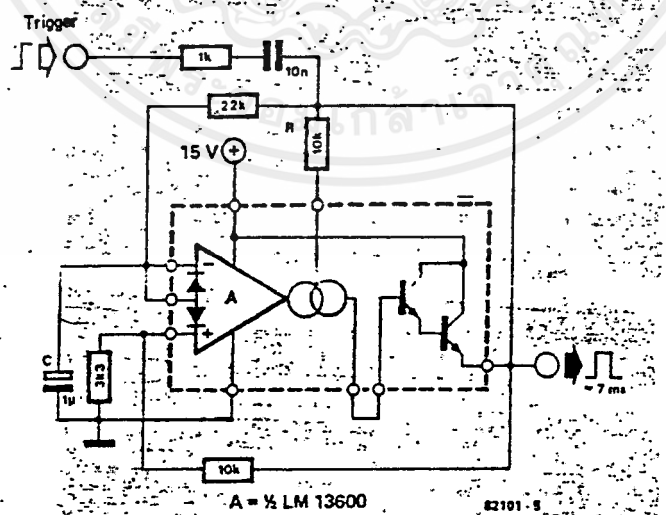
รูปที่ 2.11 ดิจิตอลดีเลย์สวิตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.14 วงจรกรองความถี่สูง

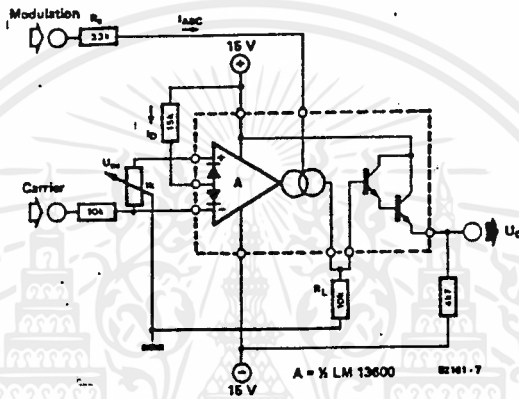
สำหรับรูปที่ 2.13 และ 2.14 เป็นตัวอย่างของวงจรกรองความถี่ ต่ำและสูงตามลำดับ โดยวงจรกรองเหล่านี้มี unity gain ภายใน pass-band ถ้าเกินกว่า turnover frequency อัตราขยายจะตกลง 6 dB ต่อออกเทฟ (octave) ความถี่คัทออฟของวงจรคำนวณหาได้จากสูตรที่แสดงไว้แล้วทั้งในรูปที่ 2.13 และ 2.14 ความสัมพันธ์ระหว่าง R กับ RA เป็นตัวกำหนดอัตราขยายของ OTA



รูปที่ 2.15 วงจรไทม์เมอร์ (โมโนสเตเบิล มัลติไวเบเรเตอร์)

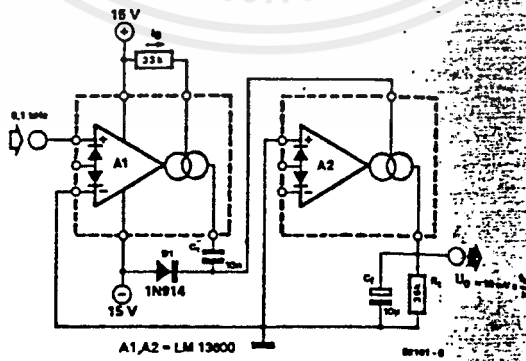
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 2.15 เป็นวงจรโวมเมอร์แบบหนึ่ง หรือ โมโนสเตเบิล มัลติไวเบเรเตอร์ (monostable multivibrator) ที่ไม่กินกำลังใดๆ เมื่อมันอยู่ในภาวะ “สงบเสถียร”(quiescent) โดยวงจรจะตัดการทำงานของตัวเองโดยอัตโนมัติทางการต่อระหว่างไบอัสอินพุทกับเอาต์พุทของออฟแอมป์ เมื่อแรงดันเอาต์พุทตกลงเป็นศูนย์ กระแสไบอัสก็จะเป็นศูนย์ด้วย ทำให้ทุกๆ ส่วนใน OTA ไม่มีการดึงกำลังใดๆ วงจรโวมเมอร์จะทำงานใหม่เมื่อมีพัลส์บวกป้อนเข้าที่อินพุทลูกหนึ่ง ถ้าให้พัลส์สูงกว่า 2 โวลต์ OTA จะทำงานเอาต์พุทของมันจะแกว่ง (swing) สูง อินพุทแบบไม่กลับจะคงที่อยู่ 0 โวลต์และพัลส์เอาต์พุทบวกจะถูกป้อนเข้าที่อินพุทแบบกลับ ทั้งนี้สภาวะดังกล่าวนี้จะคงอยู่เช่นนี้ จนกระทั่งตัวเก็บประจุ C ทำการประจุจนถึงจุดๆหนึ่งที่เอาต์พุทของ OTA แกว่งเป็นลบอีกครั้ง นั่นคือมันจะกลับอยู่ในภาวะสงบเสถียรอีกครั้งหนึ่ง ตัวเก็บประจุ C คายประจุทางตัวต้านทาน 22 กิโลโห์ม และทางไบอัสไดโอดภายใน



รูปที่ 2.16 วงจร tachometer อย่างง่ายแบบหนึ่ง

รูปที่ 2.16 เป็นวงจรเปลี่ยนความถี่เป็นแรงดันหรือ tachometer อย่างง่ายแบบหนึ่ง โดยวงจรสมบูรณ์แบบสามารถสร้างได้ด้วยไอซีตัวเดียว A1 ทำหน้าที่เป็นวงจรเปรียบเทียบ (Comparator) ซึ่งในบางกรณีอาจต้องใช้ interface ที่อินพุทด้วยแรงดันคลื่นสี่เหลี่ยมจะส่งถ่าย “ประจุ” จาก C_1 ไป C_2 ที่เอาต์พุทของ A1 ที่ความถี่สูงๆ “ประจุ” จะถูกถ่ายไปมาก ทำให้แรงดันเอาต์พุทสูงขึ้น

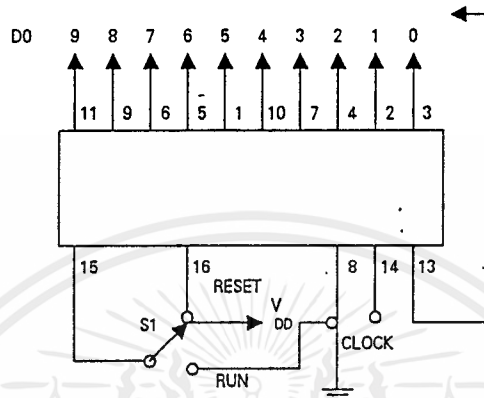


รูปที่ 2.17 วงจรแอมพลิจูด มอดูเลเตอร์

สำหรับตัวอย่างการใช้งานวงจรสุดท้าย คือ วงจรแอมพลิจูดมอดูเลเตอร์ในรูปที่ 2.17 ซึ่งการมอดูเลตได้จากการเปลี่ยนแปลงอัตราขยาย (gain) ของวงจร เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.16 วงจรนับสิบ

ไอซีซีมอส 4017 ซึ่งเป็นวงจรมับสิบนี้ เราสามารถนำไปใช้ในการถอดรหัส 1 จาก 10 หรือเป็นวงจรรหัส 10 คือ สแควร์เวฟเอาต์พุตขา 12 จะมีความถี่เป็น 1 ส่วน 10 เท่าของความถี่สแควร์เวฟที่อินพุตขา 14 ลักษณะและการต่อขาต่างๆ ของซีมอส 4017 แสดงได้ดังรูปที่ 2.18



รูปที่ 2.18 วงจรมับสิบ 4017

ในการใช้งานปกติ ขา CLOCK ENABLE (ขา 13) และขารีเซ็ต (ขา 15) จะต้องต่อกราวด์ วงจรมับสิบจะนับเพิ่มขึ้นทีละหนึ่งทุกๆ ขอบขาขึ้นของสัญญาณนาฬิกา ถ้าวงจรมับสิบได้เท่าไรขาดีโคดเอาต์พุตนั้นก็จะมีสถานะเป็น High เพียงขาเดียว ขณะที่ขาดีโคดเอาต์พุตอื่นๆ มีสถานะเป็น Low หมด สำหรับขา CO (ขา 12) จะมีสถานะเป็น High ถ้านับได้จาก 0 ถึง 4 และจะมีสถานะเป็น Low ถ้านับได้จาก 5 ถึง 9

ถ้าเราทำให้ขารีเซ็ต (ขา 15) เป็น High วงจรมับสิบจะเริ่มกลับไปทำการนับที่ 0 ซึ่งในขณะนี้ดีโคดเอาต์พุต 0 (ขา 3) และ CARRY OUT (ขา 12) เท่านั้นที่เป็น High ในขณะที่เอาต์พุตอื่นๆ เป็น Low หมด เมื่อต้องการจะเริ่มนับใหม่แล้วขารีเซ็ตจะต้องกลับไปต่อที่กราวด์อีก และถ้าหากขา ENABLE (ขา 13) มีสถานะเป็น High วงจรก็จะหยุดนับทันที

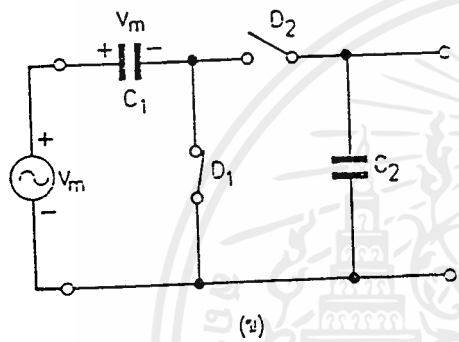
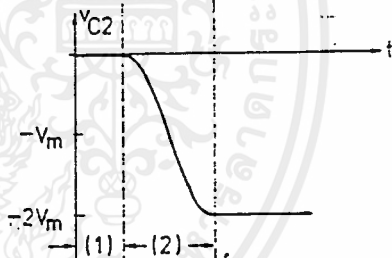
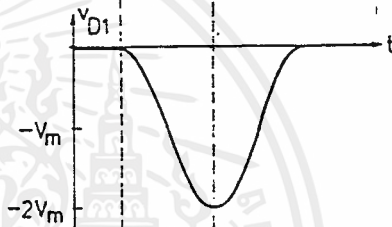
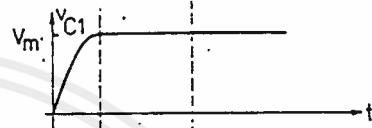
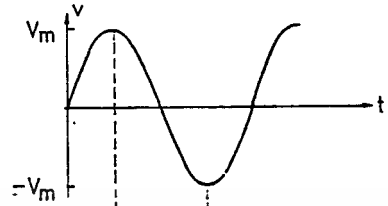
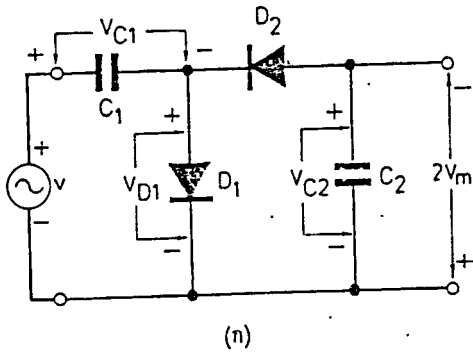
2.17 วงจรทวีแรงดัน (Voltage multiplier circuits)

วงจรทวีแรงดันเป็นวงจรเรียงกระแสแบบที่สามารถสร้างแรงดันกระแสตรงทางด้านออกให้มีค่าเป็นจำนวนพหุคูณโดยประมาณ คือเป็นราว 2 เท่า 3 เท่า 4 เท่า ของค่ายอดของแรงดันกระแสสลับทางด้านเข้า ในวงจรเหล่านี้ไดโอดที่ใช้จะทำหน้าที่คล้ายสวิตช์ปิดเปิดวงจรที่ทำงานตามขั้นตอนที่เหมาะสมอย่างหนึ่ง

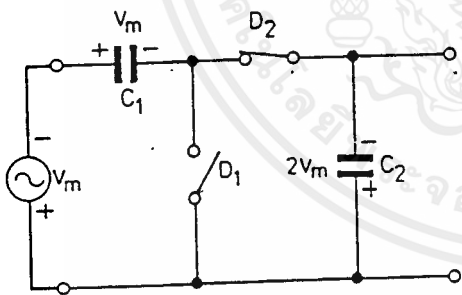
- วงจรเพิ่มแรงดันเป็นสองเท่า (voltage doubler) รูปที่ 2.19 (ก) และรูปที่ 2.20 (ก) แสดงวงจรเพิ่มแรงดันเป็นสองเท่าแบบครึ่งคลื่นและแบบเต็มคลื่นตามลำดับ การทำงานของวงจรแบบแรกในขณะที่แรงดันเข้า v เป็นคลื่นรูปไซน์ ดังในรูปที่ 2.19 (ง) เป็นดังนี้ คือในช่วงเวลา (1) ซึ่ง v เพิ่มขึ้นจากศูนย์ถึงค่าบวกสูงสุดนั้น ไดโอด D_1 จะถูกไบแอสเดินหน้า ส่วนไดโอด D_2 ถูกไบแอสกลับทางทำให้เราสามารถแทน D_1 ด้วยสวิตช์ปิดวงจรและแทน D_2 ได้ด้วยสวิตช์เปิดวงจร ดังในรูปที่ 2.19 (ข) ในช่วงเวลานี้ตัวเก็บประจุ C_1 จะถูกอัดประจุจนกระทั่งแรงดัน v_{C1} คร่อมตัวมันเพิ่มขึ้นถึงค่าสูงสุด V_M ของแรงดันเข้า ส่วนตัวเก็บประจุ C_2 จะยังไม่ถูกอัดประจุทำให้แรงดัน V_{C2} ซึ่งเป็นแรงดันออกยังคงเป็นศูนย์อยู่ ต่อมาในช่วงเวลา (2) เมื่อแรงดันเข้าลดลงจากค่าบวกสูงสุดไปยังค่าลบสูงสุด ไดโอด D_1 จะถูกไบแอสกลับทาง ส่วนไดโอด D_2 จะถูกไบแอสเดินหน้า ทำให้เราเขียนวงจรได้ใหม่ดังในรูปที่ 2.19 (ค) ในช่วงเวลานี้ตัวเก็บประจุ C_1 จะมีแรงดันตกคร่อมเป็น $V_{C1} = V_M$ ซึ่งคงตัวและมีทิศทางเสริมกับแรงดันจากแหล่งจ่าย V ในการอัดประจุให้แก่ C_2 จนแรงดัน V_{C2} มีค่าเป็น $-2V_M$ หลังจากช่วงเวลานี้แล้วไดโอดทั้งสองตัวจะมีไบแอสกลับทาง และเป็นเสมือนสวิตช์ที่เปิดวงจรอยู่ตลอดเวลา ทำให้แรงดันออก V_{C2} มีค่าเป็น $-2V_M$ คงตัว แต่เมื่อไรที่แรงดัน V_{C1} มีค่าลดลงต่ำกว่า V_M หรือแรงดัน V_{C2} มีขนาดเล็กกว่า $2V_M$ เมื่อนั้นไดโอด D_1 หรือ D_2 จะเริ่มมีไบแอสเดินหน้าและนำกระแสอัดประจุให้แก่ C_1 หรือ C_2 เพื่อให้แรงดันกลับไปเป็น $V_{C1} = V_M$ และ $V_{C2} = -2V_M$ ตามเดิม

แรงดันต่างๆ ที่เกี่ยวข้องกับวงจรในรูปที่ 2.19 (ก) คือ V , V_{C1} , V_{D1} (คร่อมไดโอด D_1) และ V_{C2} จะมีรูปคลื่น ดังที่แสดงไว้ในรูปที่ 2.19 (ง), (จ), (ฉ), (ข) ตามลำดับ

สำหรับวงจรตามรูปที่ 2.20 (ก) นั้นมีการทำงานเป็นดังนี้ คือในช่วงเวลา (1) ซึ่งแรงดันเข้า V เพิ่มขึ้นจากศูนย์ถึงค่าบวกสูงสุดนั้น ไดโอด D_1 จะนำกระแสและอัดประจุให้แก่ตัวเก็บประจุ C_1 มีค่าเท่ากับค่าสูงสุด V_M ของแรงดันเข้า V ส่วนไดโอด D_2 จะยังไม่นำกระแส ทำให้ C_2 จะยังไม่นำกระแส ทำให้ C_2 ไม่ถูกอัดประจุ และ $V_{C2} = 0$ ในช่วงเวลา (2) ซึ่งเป็นช่วงที่แรงดันเข้าลดลงจากค่าบวกสูงสุดไปสู่ค่าศูนย์ ไดโอด D_1 และ D_2 ทั้งคู่จะไม่นำกระแส ทำให้แรงดัน V_{C1} คงอยู่ที่ V_M และ V_{C2} คงอยู่ที่ค่าศูนย์ ต่อมาในช่วงเวลาที่แรงดันเข้าลดลงจากศูนย์ไปสู่ค่าลบสูงสุด ไดโอด D_1 จะไม่นำกระแสอยู่ตามเดิม เช่นเดียวกับในช่วงเวลา (2) ส่วนไดโอด D_2 เริ่มนำกระแสและอัดประจุให้แก่ C_2 จน $V_{C2} = 2V_M$ เมื่อสิ้นสุดช่วงเวลา (3) แล้ว แรงดัน $V_0 = V_{C1} + V_{C2}$ จึงมีค่าเป็น $2V_M$ หลังจากนั้นแล้วไดโอด D_1 และ D_2 จะไม่นำกระแสอีก ยกเว้นเมื่อ $V_{C1} < V_M$ หรือ $V_{C2} < V_M$ เท่านั้น



(ข)



(ค)

รูปที่ 2.19 วงจรเพิ่มแรงดันเป็นสองเท่าแบบครึ่งคลื่น

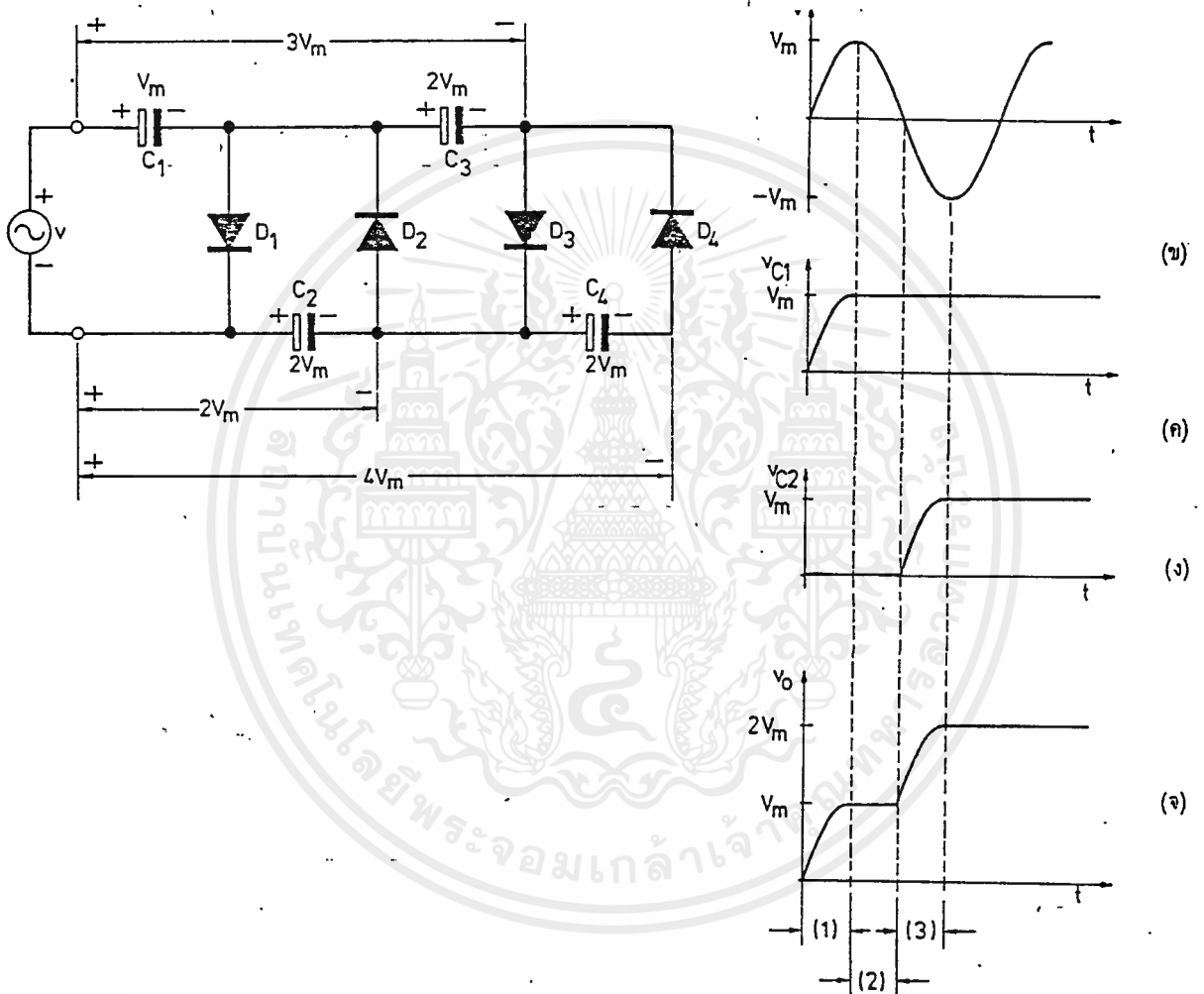
(ก) แผนภาพวงจรตามปกติ

(ข) แผนภาพที่ใช้อธิบายการทำงานในช่วงเวลาที่แรงดันเข้าเพิ่มขึ้นจากศูนย์ถึงค่าบวกสูงสุด

(ค) แผนภาพที่ใช้อธิบายการทำงานในช่วงที่แรงดันเข้าลดลงจากค่าบวกสูงสุด ถึงค่าลบสูงสุด

(ง)-(ข) รูปคลื่นของแรงดันต่างๆที่เกี่ยวข้อง

รูปคลื่นของแรงดันต่างๆที่เกี่ยวข้องกับวงจรในรูปที่ 2.20 (ก) คือ V , V_{C1} , V_{C2} และ V_o จะเป็นดังที่แสดงไว้ในรูปที่ 2.20 (ข) , (ค) , (ง) และ (จ) ตามลำดับ



รูปที่ 2.20 วงจรเพิ่มแรงดันเป็นสองเท่า

(ก) แผนภาพวงจร

(ข)-(จ) รูปคลื่นแรงดันต่างๆที่เกี่ยวข้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.18 วงจรโมโนสเตเบิลมัลติไวเบเรเตอร์ (MONOSTABLE MULTIVIBRATOR)

เรียกสั้นๆ ว่า โมโนสเตเบิล เป็นไวเบเรเตอร์อีกแบบหนึ่งที่นิยมใช้กันอย่างแพร่หลาย แบบนี้จะไม่กำเนิดพัลส์ต่อเนื่องออกมา แต่จะให้พัลส์ออกมาลูกเดียว เมื่อมีสัญญาณเข้ากระตุ้น ที่เรียกว่า สัญญาณทริก (TRIGGERING PULSE) ส่วนการกระตุ้นที่เรียกว่า การทริกหรือทริกเกอร์ (TRIGGERING) ลักษณะพิเศษของวงจรโมโนสเตเบิลคือ มันจะมีการเปลี่ยนสถานะไปชั่วขณะหนึ่ง (ให้เอาท์พุท) หลังจากที่เกิดการทริกขึ้น และจะเปลี่ยนสถานะเข้าสู่สภาวะเสถียรเดิม โดยเราสามารถควบคุมคาบเวลาในการกลับคืนสู่สถานะเดิมของวงจรได้โดยการเลือกค่า R และ C ที่เหมาะสม (ดังจะกล่าวต่อไป) ดังนั้นจึงอาจจะเรียกชื่อวงจรนี้ใหม่ได้ว่า วงจรวันช็อต (ONE SHOT) , ซิงเกิลไซเคิล (SINGLE CYCLE) หรือยูนิไวเบเรเตอร์ ลักษณะรูปแรงดันเอาท์พุทที่วงจรสร้างขึ้นจะเป็นพัลส์รูปสี่เหลี่ยม ซึ่งทำให้เป็นที่นิยมมากในการใช้เป็นตัวไทม์เมอร์ (วงจรตั้งเวลา) ในวงจรควบคุมระบบดิจิทัล

การทำงาน

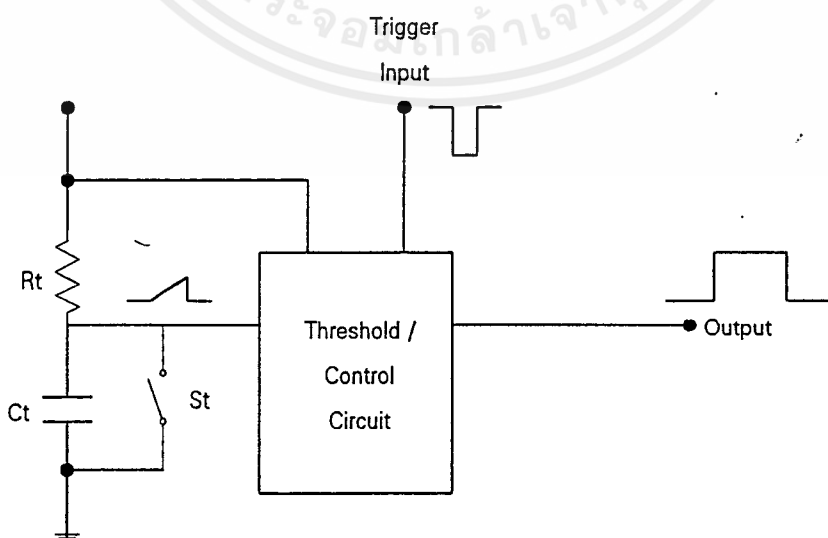
วงจรไทม์เมอร์ดังรูปข้างต้น จะประกอบด้วยส่วนต่างๆ 4 ส่วน คือ

1. ไทม์มิงรีจิสเตอร์ (Timing Register : R_t)
2. ไทม์มิงคาปาซิเตอร์ (Timing Capacitor : C_t)
3. สวิตช์ (Switch)
4. เทรชโฮลด์หรือวงจรคอนโทรล (Threshold or Control Logic)

ลักษณะการทำงานแบ่งออกได้เป็น 2 ขั้นตอน คือ

1. เมื่อยังไม่มีสัญญาณทริก (Untriggered or Quiescent Condition)

เมื่อไทม์เมอร์เอาท์พุท (Timer Output) มีค่าเป็นสถานะต่ำ จะทำให้สวิงติค ทำให้ตัวไทม์เมอร์คาปาซิเตอร์ถูกช็อตลงกราวด์ ดังนั้นตัวไทม์เมอร์คาปาซิเตอร์นี้จะไม่มีผลต่อวงจรแต่อย่างใด ในลักษณะเช่นนี้เราถือว่า การทำงานของไทม์เมอร์อยู่ในสถานะเสถียร (Stable State)

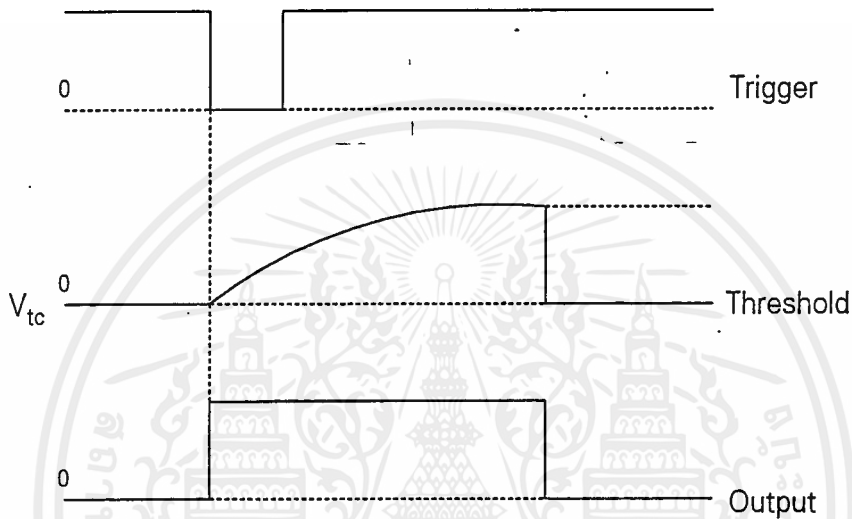


รูปที่ 2.21 แผนภาพของวงจรโมโนสเตเบิล

2. เมื่อมีการทริกเอาต์สัญญาณพัลส์เข้ามา (Trig Pulse)

วงจรเทรลไฮลด์จะทำหน้าที่เปิดสวิง ซึ่งการเปิดสวิงนี้จะทำให้ค่าไทม์เมอร์เอาต์พุตที่มีสถานะสูง ซึ่งในช่วงนี้เราเรียกว่า ไทม์เมอร์ทำงานอยู่ในสถานะที่ไม่เสถียร

เมื่อสวิงเปิด จะทำให้ไทม์เมอร์คาปาซิเตอร์ทำการเริ่มชาร์จประจุ โดยผ่านเข้ามาทางตัวไทม์เมอร์รีซิสเตอร์ ซึ่งจะทำให้ค่าความต่างศักย์ที่ตกคร่อมไทม์เมอร์คาปาซิเตอร์มีค่าเพิ่มมากขึ้น เราจะกำหนดค่าความต่างศักย์ที่ตกคร่อมไทม์เมอร์คาปาซิเตอร์นี้ คือ V_c ซึ่งจะมีค่าไม่คงที่ คือ เพิ่มขึ้นเรื่อยๆ โดยการเพิ่มขึ้นของค่า V_c จะเป็นดังรูปข้างล่าง



รูปที่ 2.22 แสดงลักษณะสัญญาณทริก , V_c และเอาต์พุต

ค่า V_c จะเพิ่มขึ้นจนกระทั่งมีค่าเท่ากับเทรลไฮลด์โวลต์เดจ (V_{th}) ที่ถูกตั้งค่าเอาไว้ในส่วนของวงจรควบคุม ซึ่งการทำงานของวงจรควบคุมนี้จะเหมือนวงจรเปรียบเทียบ (Comparator) ตัวหนึ่งคือเมื่อมีค่าโวลต์เดจคร่อมไทม์เมอร์คาปาซิเตอร์และเทรลไฮลด์โวลต์เดจเท่ากันแล้วก็จะให้ไทม์เมอร์เอาต์พุตสถานะต่ำออกมา ทำให้ไทม์เมอร์กลับไปทำงานในสถานะเสถียรดังเดิม ในช่วงที่ไทม์เมอร์ทำงานในสถานะที่ไม่เสถียรจะได้ค่าของคาบเวลาออกมา ซึ่งค่าคาบเวลานี้จะขึ้นอยู่กับค่าไทม์เมอร์รีซิสแตนซ์และไทม์เมอร์คาปาซิแตนซ์ , ค่าความต่างศักย์เริ่มต้นที่ตกคร่อมไทม์เมอร์คาปาซิเตอร์ , ค่าความต่างศักย์เมื่อตอนชาร์จประจุและค่าเทรลไฮลด์โวลต์เดจ

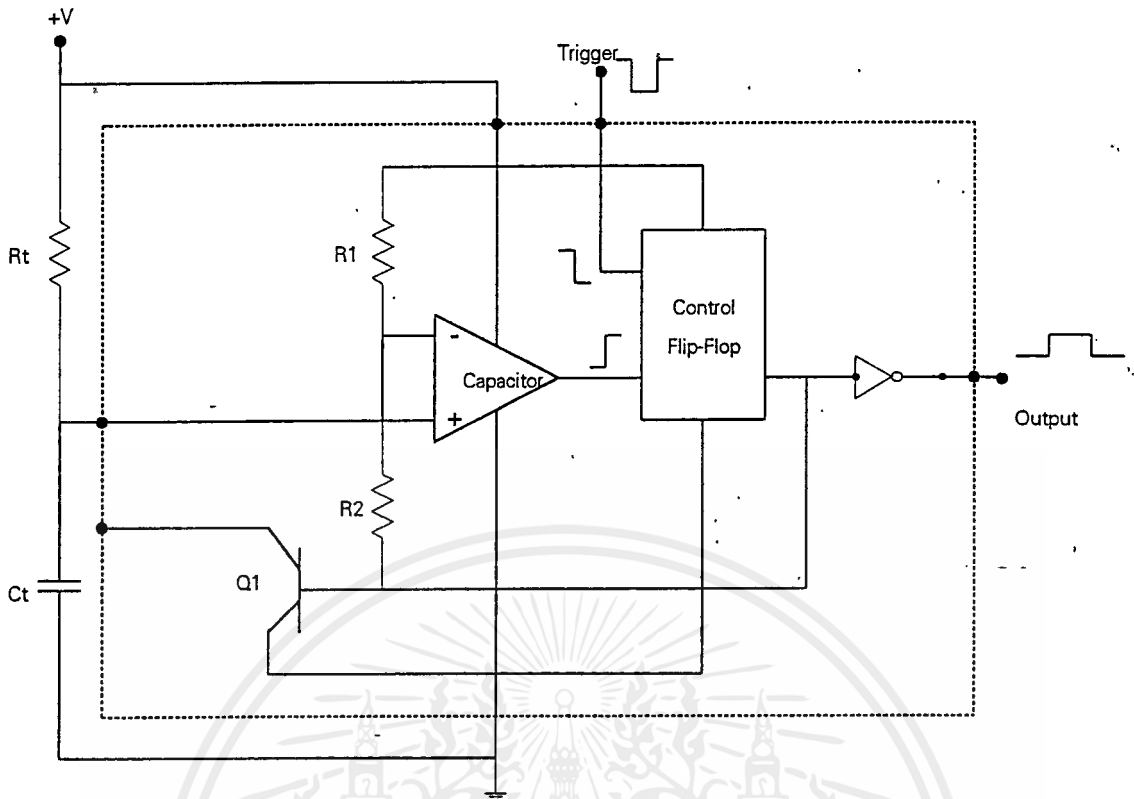
โดยคาบเวลาเท่ากับ

$$T = R_1 C_1 \ln[(V_c - V_i)/(V_c - V_{th})]$$

เมื่อ $V_i = 0$ (ตอนเริ่มต้น ความต่างศักย์ตกคร่อมไทม์เมอร์คาปาซิเตอร์มีค่าเท่ากับ 0 โวลต์)

และ $V_c = V_t$ (V_t คือไฟที่เข้ามาจากเครื่องจ่ายไฟตรง)

$$\text{จะได้ว่า } T = R_1 C_1 \ln(V_t / V_t - V_{th})$$



รูปที่ 2.23 แสดงการต่อวงจรของอุปกรณ์ในวงจรโมโนสเตเบิล

จากรูปข้างต้น คือ การขยายส่วนการทำงานของวงจรควบคุมให้เห็นได้ชัดเจนขึ้น จากรูปจะใช้ทรานซิสเตอร์ Q_1 ทำหน้าที่เป็นสวิงปิดเปิด (จะกล่าวถึงการใช้ทรานซิสเตอร์เป็นสวิงต่อไป) โดย Q_1 จะทำหน้าที่ในการช็อดโทรมเมอร์คาปาซิสเตอร์ เมื่อวงจรอยู่ในสถานะเสถียรให้โทรมเมอร์เอาท์พุทเท่ากับสถานะต่ำ และจะทำหน้าที่เปิดวงจรเพื่อให้โทรมเมอร์คาปาซิสเตอร์เกิดการชาร์จประจุซึ่งทำให้เกิดคาบเวลาในช่วงให้โทรมเมอร์เอาท์พุทเท่ากับสถานะสูงในสถานะที่ไม่เสถียรออกมา

ในช่วงนี้เราจะใช้ฟลิปฟลอปเป็นตัวควบคุมในการปิดเปิดสวิง (โดยใช้ทรานซิสเตอร์ Q_1) โดยให้

$Q_1 = \text{ON}$ เมื่อโทรมเมอร์เอาท์พุทมีสถานะต่ำ

$Q_2 = \text{OFF}$ เมื่อโทรมเมอร์เอาท์พุทมีสถานะสูง

โดยมีวงจรเปรียบเทียบในการเปรียบเทียบค่าเทรสโวลต์โวลต์เตจกับ V_{cc} และมีวงจรแบ่งค่าความต่างศักย์ซึ่งก็คือ R_1 และ R_2 เป็นตัวแปรค่าในการเลือกค่าเทรสโวลต์โวลต์เตจที่ต้องการเช่น ถ้าต้องการให้ V_{th} เท่ากับ $2/3$ เท่าของ V_t แล้วจะได้ว่าต้องเลือกให้ $R_2 = 2R_1$ หรือถ้าต้องการให้ V_{th} เท่ากับ $1/2$ เท่าของ V_t แล้วก็จะต้องเลือกใช้ $R_2 = R_1$ เป็นต้น โดยที่ยิ่งเทรสโวลต์โวลต์เตจมีค่ามากขึ้นเราก็จะต้องได้คาบเวลามีค่ามากขึ้นด้วยในอัตราส่วนของ $R_t C_t \ln(V_t / V_t - V_{th})$ นั่นคือถึงแม้คาบเวลาจะมีค่าเพิ่มขึ้นแต่จะไม่เป็นเส้นตรง

ในที่นี้ หากกำหนดให้ $V_{th} = 2/3 * V_t$ (เลือกค่า $R_2 = 2R_1$)

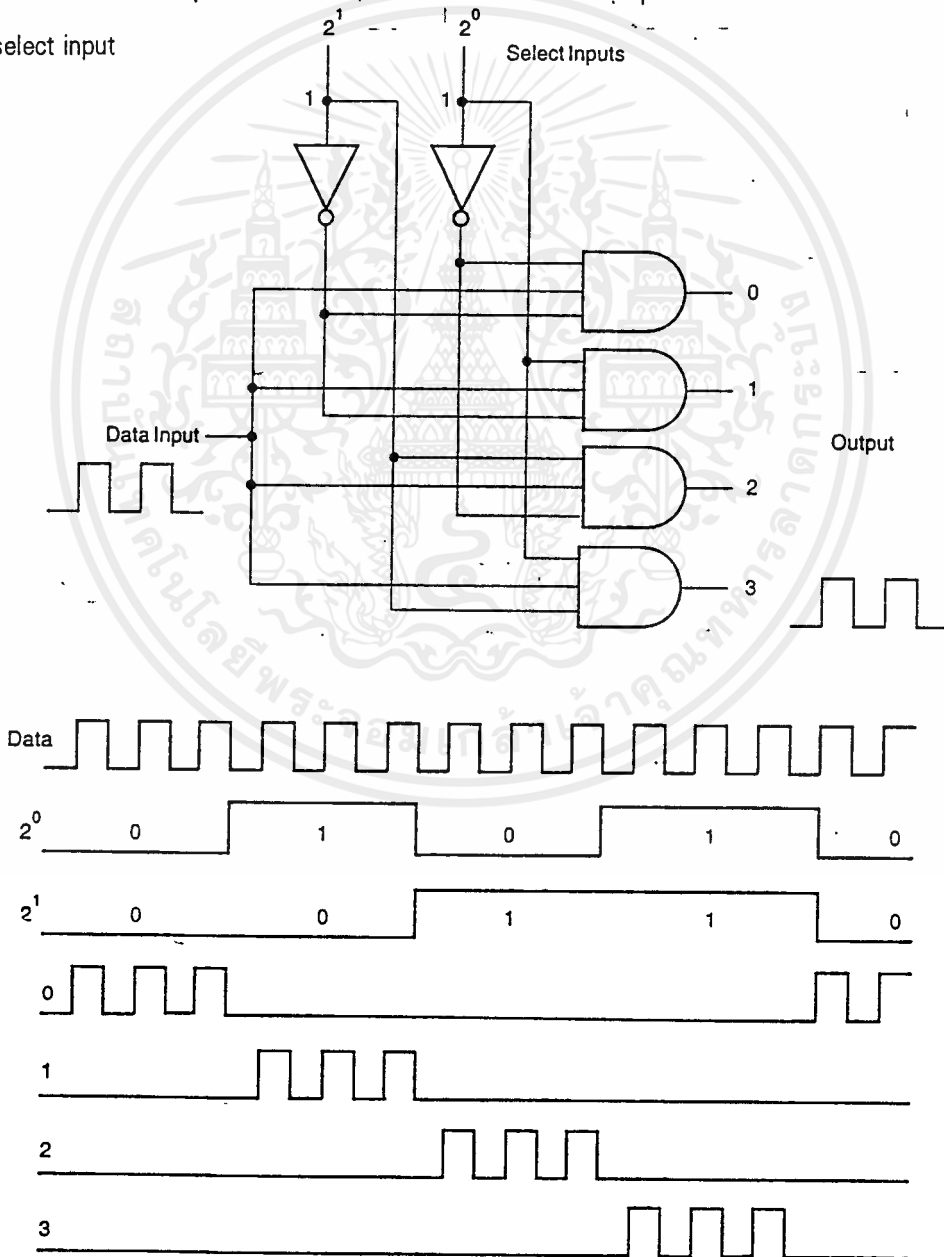
จะได้คาบเวลา

$$\begin{aligned}
 T &= R_t C_t \ln[V_t / (V_t - 2/3 V_t)] \\
 &= R_t C_t \ln[1/(1-2/3)] \\
 &= R_t C_t \ln 3 \\
 &= 1.1 R_t C_t
 \end{aligned}$$

โดยค่า $T = 1.1 R_t C_t$ จะเป็นคาบเวลาในการให้โหมเมอร์เอาท์พุทที่มีสถานะสูง สำหรับวงจรโมโนสเตเบิลที่มีเทรลไฮลด์โวลต์เดจมีค่าเป็น $2/3$ เท่าของชาร์จจิงโวลต์เดจ

2.19 มัลติเพลกซ์และดีมัลติเพลกซ์ (Multiplex And Demultiplex)

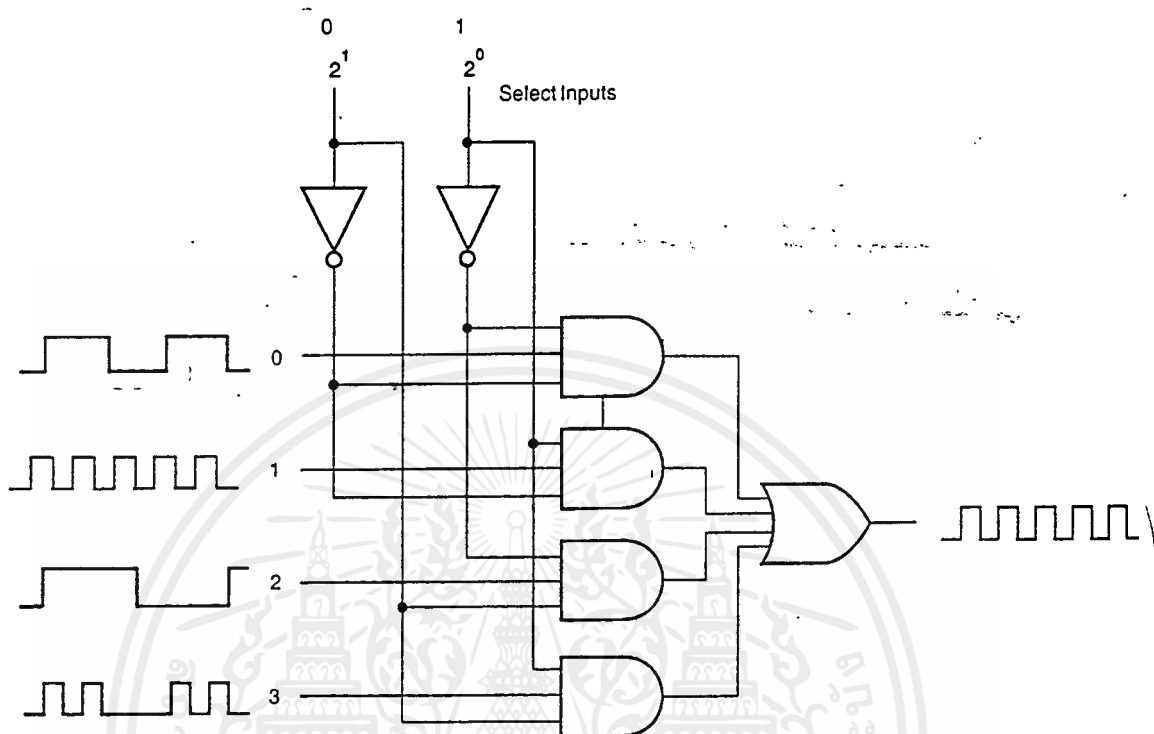
ดีมัลติเพลกซ์ (Demultiplexers) คือ สวิตซ์ดิจิทัลซึ่งจะอนุญาตให้อินพุทซึ่งมีเพียงอินพุทเดียว แต่จะเป็นการเลือกว่าจะให้ Data input ออกที่ output ไດ จากบรรดาหลายๆ output โดยมีทางเลือกทางออกของ output โดย select input



รูปที่ 2.24 ดีมัลติเพลกซ์เซอร์ แบบ 1-4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มัลติเพลกซ์เซอร์ (Demultiplexers) จะตรงข้ามกับมัลติเพลกซ์เซอร์จะเป็นการเลือก Data input หลายๆ input ว่าจะให้ input ได้ออกที่ทาง output โดยมีทางออก output เดียว โดยมีการเลือกโดย select input



รูปที่ 2.25 มัลติเพลกซ์เซอร์แบบ 4-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.20 หลักการทำงาน

การดีเลย์ (Delay)

เป็นการทำการสุ่มสัญญาณและจัดระดับสัญญาณ (sampling) ซ้ำ โดยการทำการสุ่มและจัดระดับสัญญาณทุกครั้งจะถูกเก็บ ดังนั้นอันที่ถูกเก็บก่อนหน้าจะถูกนำไปเก็บในที่อื่น โดยค่าที่ถูกนำออก (output) จะถูกนำออกไปอย่างเรียงลำดับเหมือนกับตอนที่เข้ามา โดยอัตราสามารถที่จะเปลี่ยนแปลงได้โดยการเปลี่ยนความถี่ของสัญญาณนาฬิกา

ระบบดิจิตอลดีเลย์ (Digital Delay Units)

โดยสัญญาณจะถูกสุ่มและแบ่งเป็นระดับต่างๆในแต่ละเวลา ซึ่งระดับของสัญญาณนี้จะเปลี่ยนเป็นตัวเลขน่าหนึ่งซึ่งจะถูกเก็บเข้าในพื้นที่หน่วยความจำ (memory) ในเวลาต่อมาตัวเลขดังกล่าวจะถูกดึงออกมาจากหน่วยความจำและเปลี่ยนกลับเป็นระดับสัญญาณอีกครั้ง ในทางทฤษฎีแล้ว การดีเลย์จะเกิดระหว่างการสุ่มสัญญาณและการอ่านกลับ ดังนั้นความผิดพลาดจะเกิดเพียง 2 ช่วง โดยเปลี่ยนจากอนาล็อกเป็นดิจิตอล และจากดิจิตอลเป็นอนาล็อก

การเปลี่ยนจากอนาล็อกเป็นดิจิตอล (A To D Conversion)

ในอันดับแรกจะต้องพิจารณาถึงช่วงมากที่สุดของจำนวนเอาต์พุต ซึ่งจะอยู่ในช่วง 0 ถึง 255 ค่าของสัญญาณจะต้องไม่มากกว่าช่วงนี้ เมื่อการเปลี่ยนสำเร็จแล้วและเมื่อมันพร้อม มันจะถูกเคลื่อนไปยังส่วนหน่วยความจำซึ่งเราสามารถที่จะใช้ได้ในเวลาต่อไป ซึ่งนั่นหมายความว่าค่าตำแหน่งของข้อมูล (address) จะถูกนำมาใช้ ในชิปหน่วยความจำจะใช้ทั้งส่วนแถว (row) และ หลัก (column) เป็นตัวแสดงตำแหน่งของข้อมูล ซึ่งหน่วยความจำจะทำการรวมสองส่วนในเวลาต่างกันเข้าด้วยกันแล้วจึงสามารถทำการอ่านหรือเก็บข้อมูลตามตำแหน่งที่กำหนด

ในการเก็บข้อมูลในตำแหน่งหนึ่ง เราย่อมต้องการที่จะอ่านข้อมูลจากตำแหน่งก่อนกลับมา ดังนั้นเราจึงต้องมีการเปลี่ยนค่าตำแหน่งของข้อมูล ซึ่งหน่วยความจำจะมีสายของตำแหน่งข้อมูลเพียงสายเส้นเดียว ดังนั้นเมื่อเราทำการเขียนข้อมูลตำแหน่งที่ต้องการจะไม่มี การอ่านข้อมูล และในกลับกันมีลักษณะเช่นเดียวกัน ดังนั้นในช่วงเวลาเปลี่ยนจากดิจิตอลเป็นอนาล็อก จะไม่มีการเขียนข้อมูลในหน่วยความจำ และในการเปลี่ยนจากอนาล็อกเป็นดิจิตอล จะไม่สนใจการอ่านข้อมูล เมื่อมีการอ่านข้อมูลกลับ จะมีการเปลี่ยนเป็นระดับสัญญาณเหมือนกับตอนเปลี่ยนจากอนาล็อกเป็นดิจิตอล ในช่วงเวลาต่อไป บิตต่อไปของข้อมูลอนาล็อกจะถูกสุ่มและบิตตัวเดิมจะถูกอ่านกลับ ดังนั้นค่าตำแหน่งเขียนและอ่านจะมีการเปลี่ยนแปลงเสมอ ซึ่งกระบวนการนี้ทำอย่างต่อเนื่องด้วยหน่วยความจำ 64K (ไบท์) คือมีตำแหน่งต่างการ 65536 ตำแหน่ง (ในคอมพิวเตอร์ 1K เท่ากับ 1024 ดังนั้น $64 * 1024 = 65536$) แน่แน่นอนว่าทุกตำแหน่งจะถูกใช้หมด ดังนั้นตัวนับจะถูกรีเซ็ตเป็นตำแหน่งแรกและจะทำการเขียนทับข้อมูลตัวเก่า

กระบวนการสุ่มสัญญาณ การเก็บข้อมูล การอ่านข้อมูล และการทำกลับเป็นสัญญาณเดิมไม่ใช่ใช้ เวลาเพียงชั่วขณะจะเกิดการดีเลย์ระหว่างการสุ่มสัญญาณบิตแรกของข้อมูลและบิตต่อไป ซึ่งหมายความว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินพุทพรีแอมป์และมิกเซอร์ (Input Pre-Amp & Mixer)

ในรูปที่ 2.26 สัญญาณเสียงจะถูกควบคุมโดย VR1 และสามารถมาได้จากแหล่งต่างๆ เช่น ไมโครโฟน และอุปกรณ์เครื่องมือทางดนตรี เป็นต้น โดยมีข้อกำหนดที่ว่าอินพุทต้องเป็นสัญญาณที่มีลักษณะที่ดี ค่าระดับสัญญาณที่เข้ามาสามารถทำให้ลดลงโดย VR1 ระดับค่าเกนของพรีแอมป์ IC1a ถูกควบคุมโดย VR2 โดยค่าของนอยส์จะถูกขยายด้วย IC1c จะแบ่งสัญญาณเป็นสองส่วน ส่วนแรกจะไปยังส่วนสุดท้ายของเอาต์พุท และที่เหลือจะส่งผ่านไปยัง IC1b

คอมแพนเดอร์ (Compander)

มาจากการรวมกันของ 2 วงจร คือ คอมเพรสเซอร์ (compressor) และ เอ็กซ์แพนเดอร์ (expander) โดยจะกด (compress) สัญญาณ ทำให้สามารถผ่านระบบได้โดยไม่เกินที่กำหนด (overload) แล้วจึงนำมาทำเป็นรูปสัญญาณเดิมโดยเอ็กซ์แพนเดอร์

จากตารางที่ 2.1 แสดงผลของการใช้ระบบนี้ โดยคอลัมน์แรกแสดงค่าสัญญาณที่อ่านได้โดยมีช่วงระหว่าง 10mV ถึง 4V เมื่อผ่านคอมเพรสเซอร์จะลดลงเป็น 100mV จากอินพุท 10mV และเป็น 3V จาก 4V ซึ่งแสดงในคอลัมน์สอง ระดับสัญญาณที่ลดลงเกิดที่จากอนาล็อกเป็นดิจิตอล และเอาต์พุทจากดิจิตอลเป็นอนาล็อกในคอลัมน์สาม และสัญญาณจะผ่านเอ็กซ์แพนเดอร์ในคอลัมน์สี่

ถ้าไม่มีกระบวนการคอมแพนดิ่งนี้ทำให้ระบบสัญญาณลดลง ซึ่งการคอมเพรสชันสัญญาณผ่าน IC2a และครึ่งหนึ่งของ IC3 หลังจากกระบวนการนี้สัญญาณจะถูกนำไปสู่ส่วนที่สองของ IC3 ซึ่งจะต่อกับ IC2b

INPUT TO COMPRESSOR	OUTPUT FROM COMPRESSOR	INPUT TO EXPANDER	OUTPUT TO EXPANDER
10 mV	100 mV	70 mV	10 mV
20 mV	180 mV	100 mV	20 mV
50 mV	300 mV	180 mV	50 mV
100 mV	400 mV	220 mV	100 mV
200 mV	600 mV	360 mV	200 mV
500 mV	1 V	550 mV	500 mV
1 V	1.4 V	780 mV	1 V
2 V	2 V	1.1 V	2 V
3 V	2.5 V	1.3 V	3 V
4 V	3 V	1.5 V	4 V

ตารางที่ 2.1 ระดับสัญญาณของคอมแพนเดอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พรีเอมฟราซีส (Pre-emphasis)

ในการสุ่มสัญญาณจะมีขั้นตอนกำจัดสเตรปของการสุ่มที่เหลือโดยฟิลเตอร์ โดยจะฟิลเตอร์ออกที่ความถี่สูง ทำให้ความถี่ด้านสูง สัญญาณสูญเสีย ซึ่งแก้โดยใช้เอมฟราซีส และพรีเอมฟราซีสอยู่ในส่วนคอมเพรสชัน และถูกกำหนดโดย C4 และ C7 C5 จะกำหนดช่วงความถี่ของเอมฟราซีส ส่วนดีเอมฟราซีสจะอยู่ในส่วน เอ็กซ์แพนเดอร์ กำหนดโดย C17

ฟิลเตอร์ (Filter Stage)

จากเอ็กซ์แพนเดอร์ สัญญาณผ่านโลพาสฟิลเตอร์ (Low pass filter) บริเวณ IC4 ซึ่งกำหนดช่วงฟิลเตอร์โดย C22 กับ C23

เอาต์พุต มิกเซอร์ (Output Mixer)

สัญญาณที่ได้จากฟิลเตอร์สามารถกำหนดได้โดยสวิตช์ S3 และควบคุมระดับโดย VR11 ซึ่งจะผ่านมิกเซอร์ และเอาต์พุตควบคุมโดย VR12 โดยในสเตจนี้สัญญาณเดิมจาก IC1a ผ่านมาโดย VR12

อนาล็อกเป็นดิจิตอล และดิจิตอลเป็นอนาล็อก (A To D And D To A)

อนาล็อกเป็นดิจิตอล คือ IC5 เป็น 8 บิต สัญญาณอนาล็อกเข้ามาทางขา 6 ของ IC5 การเปลี่ยนถูกควบคุมโดย 2 แหล่ง คือ พัลส์ซึ่งควบคุมการเริ่มการเปลี่ยน และความถี่สัญญาณนาฬิกาควบคุมอัตราเร็วคอนเวอร์ต ทริกเกอร์ (convert trigger) ที่ขา 4 และ คล็อกพัลส์ (clock pulse) ที่ขา 3 ทำให้การคำนวณระดับสัญญาณเป็นไบนารีทำได้สำเร็จ ระหว่างการเปลี่ยนเอาต์พุตจะมีค่าความดันสูง เนื่องจากค่าโวลต์เดจที่ขา 2 สูง และขา 1 จะต่ำ เมื่อการเปลี่ยนเสร็จลง ขา 1 จะมีสถานะสูง แต่เอาต์พุตยังไม่มีจนกว่า อินาเบิ้ล คอนโทรล โวลเดจ (enable control voltage) ขา 2 จะต่ำ ไบนารีเอาต์พุตตอบรับตั้งแต่ 0-255 ไบนารีเริ่มจาก 00000000 ถึง 11111111

ถ้าสัญญาณอนาล็อกอยู่เลยช่วงที่กำหนด เอาต์พุตยังคงอยู่ในค่า 0-255 สัญญาณอนาล็อกที่อินพุตเป็น IC5 เป็น ac ผ่าน C28 และ VR13 เป็น dcไบแอส ดังนั้นถ้าไม่มีสัญญาณเข้ามา ค่าไบนารีเอาต์พุตจะมีค่าประมาณครึ่งหนึ่งหรือ 128 ไบนารี 1000000 หรือ เอาต์พุตของ IC5 อินาเบิ้ล ข้อมูลจะถูกเก็บในหน่วยความจำหรือในคอมพิวเตอร์

IC6 จะเปลี่ยนจากไบนารีเป็นโวลเดจ อินพุตมาจากหน่วยความจำหรือคอมพิวเตอร์ ซึ่งเหมือนกับอนาล็อกเป็นดิจิตอล แต่ทามมิ่ง (timing) จะทำให้ IC5 และ IC6 จะไม่เปิดพร้อมกัน จะมีเพียงจุดที่ใช้อ่านและเขียน การเปลี่ยนจากไบนารีเป็นโวลเดจไม่มีสัญญาณคล็อกควบคุม อย่างไรก็ตาม IC6 จะรับข้อมูลระหว่างช่วงเลกซ์พัลส์เป็นลบของขา4 ซึ่งมันจะอ่านและเก็บไว้จนกระทั่งเลกซ์พัลส์ต่อไปจะรีเซ็ตข้อมูลไปยังระดับอื่น IC5 และ IC6 ใช้แหล่งไฟจาก R45 และ C30 ดังนั้นสัญญาณอนาล็อกอินพุต และเอาต์พุตจึงอยู่ในระดับเดียวกัน

ระดับการแซมปลิง (Sampling Steps)

สัดส่วนของความถี่สัญญาณกับความถี่การสุ่มจะต้องมีค่ามากเพื่อให้ได้รูปสัญญาณที่ครบถ้วน ซึ่งความถี่แซมปลิง (sampled) กับ แซมปลิง (sampling) ต้องซิงโครนัสกัน ในทางปฏิบัติสัญญาณเสียงความถี่และแอมพลิจูดจะเปลี่ยน ทำให้การแซมปลิงจะมีหลายจุดในทุกรอบ ทำให้การทำกลับเป็นอนาล็อก จุดที่แซมปลิงหลายๆจุดนี้จะผลิตความถี่เดียวกัน แต่แอมพลิจูดจะเปลี่ยนขึ้นกับจำนวนมากน้อยของการแซมปลิงแลให้เกิดความถี่ ฮาร์โมนิก (harmonic frequency) ยิ่งถ้าความถี่แซมปลิงกับแซมปลิงใกล้เคียงกัน ทำให้เกิดฮาร์โมนิกเพิ่ม การแก้คือ เพิ่มอัตราแซมปลิงให้สูง ถ้าความถี่แซมปลิงกับแซมปลิงใกล้เคียงกัน เกิดซบฮาร์โมนิก (sub harmonic) ซึ่งใช้ในกรณีพิเศษ

หน่วยความจำ (memories)

สัญญาณอนาล็อกที่ถูกแซมปลิงโดย IC5 ได้ไบนารี 8 บิต ซึ่งทุกบิตจะเก็บที่หน่วยความจำ 8 ตัว (IC15-IC22) ซึ่งแต่ละตัวจะเก็บได้ 65536 บิต ถ้าหน่วยความจำถูกเก็บบิตในเวลาเท่ากับอัตราเร็ว 15 KHz ซึ่งเวลาเฉลี่ยระหว่างบิตแรกและบิตสุดท้ายประมาณ 4.36 วินาที ด้วยความถี่แบนวิดธ์ 5 KHz ในอากาศ 0 องศาเซลเซียส เสียงเดินทาง 1120 ฟิตต่อ วินาที ดังนั้นสัญญาณเดินทาง 4883 ฟิต

ในแต่ละหน่วยความจำมีเส้นตำแหน่ง (address) 8 เส้น เส้นควบคุม (control) 3 เส้น เส้นข้อมูล (data) 2 เส้น เส้นหนึ่งเข้า เส้นหนึ่งออก แอดเดรสและคอนโทรลทุกเมมโมรี่ใช้ร่วมกันและเป็นเมทริกซ์ มีเพียงเส้นข้อมูลซึ่งจะแยกใช้ในแต่ละชิป เส้นแอดเดรสจะบอกเมมโมรี่ว่าที่ใดจะเก็บหรือเฟตข้อมูล ชิปมี 16 แอดเดรสบิต ซึ่งแบ่งเป็น 2 กลุ่ม คือ กลุ่มละ $8 \cdot 2^8 = 256 \cdot 256 = 65536$

กลุ่มหนึ่งคือ แอดเดรสหลัก (column) อีก กลุ่มคือ แอดเดรสแถว (row) เมื่อ RAS ควบคุมทำงาน 8 บิต คือ แถว เมื่อ CAS ทำงาน แอดเดรสเป็นหลัก เส้นควบคุมที่สามจะบอกชิปว่าเป็นการเขียนหรืออ่าน สัญญาณทามมิ่ง จะซิงโครนัสกับการเปลี่ยน อนาล็อกเป็น ดิจิตอล และจากดิจิตอลเป็นอนาล็อก

การเลือกดีเลย์ (Delay Selection)

ในดิจิตอลดีเลย์ ในการเลือกเพื่อใช้ประโยชน์ดูที่ดีเลย์แพ็คเกจ ซึ่งถูกควบคุมโดยการปรับอัตราของข้อมูลที่ถูกแซมปลิง และได้คืนกลับมา ในกรณีต่างๆในการเขียนและอ่านแอดเดรสจะมีความสัมพันธ์กัน ในการเลือกดีเลย์ถูกควบคุมโดยการเปลี่ยนความถี่อัตราสัญญาณนาฬิกา (master clock oscillator rate) การเลือกหายาบทำโดยสวิตช์ ระหว่างวิธีทั้งสองจะเพิ่มหรือลดเมมโมรี่บิล็อก

ในวิธีนี้เป็นวิธีที่ดีวิธีหนึ่ง โดยเฉพาะอนาล็อกดีเลย์ ซึ่งเป็นเพียงวิธีเดียว แต่ยังมีวิธีที่ดีกว่ามันเป็นประโยชน์ในการจะแรนดอม แอดเซส เมมโมรี่ แอดเดรส (random access memory address) และความสัมพันธ์ข้อมูล โดยปกติแซมปลิงคล็อก จะรักษาความถี่คงที่ ในทางทฤษฎีช่วงดีเลย์จาก 0-65536 ซึ่งจะแยกสลับเป็นไปไม่ได้ ในทางปฏิบัติดีเลย์แพ็คเกจไม่จำเป็น ซึ่งเป็นผลให้มีเพียง 255 ระดับ ตัวอย่างถ้าใส่ข้อมูลในแอดเดรส 1 ขึ้นต่อไปคือ แอดเดรส 2 และใส่ข้อมูลขึ้นเรื่อยๆ ตอนนีคุณสามารถอ่านข้อมูลกลับได้ที่แอดเดรส 1 ถ้าใช้เวลาใส่ข้อมูล 1 มิลลิวินาที ในแอดเดรส 1 ก่อนที่จะอ่านกลับ นั่นคือ เวลาดีเลย์ ในการอ่านกลับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

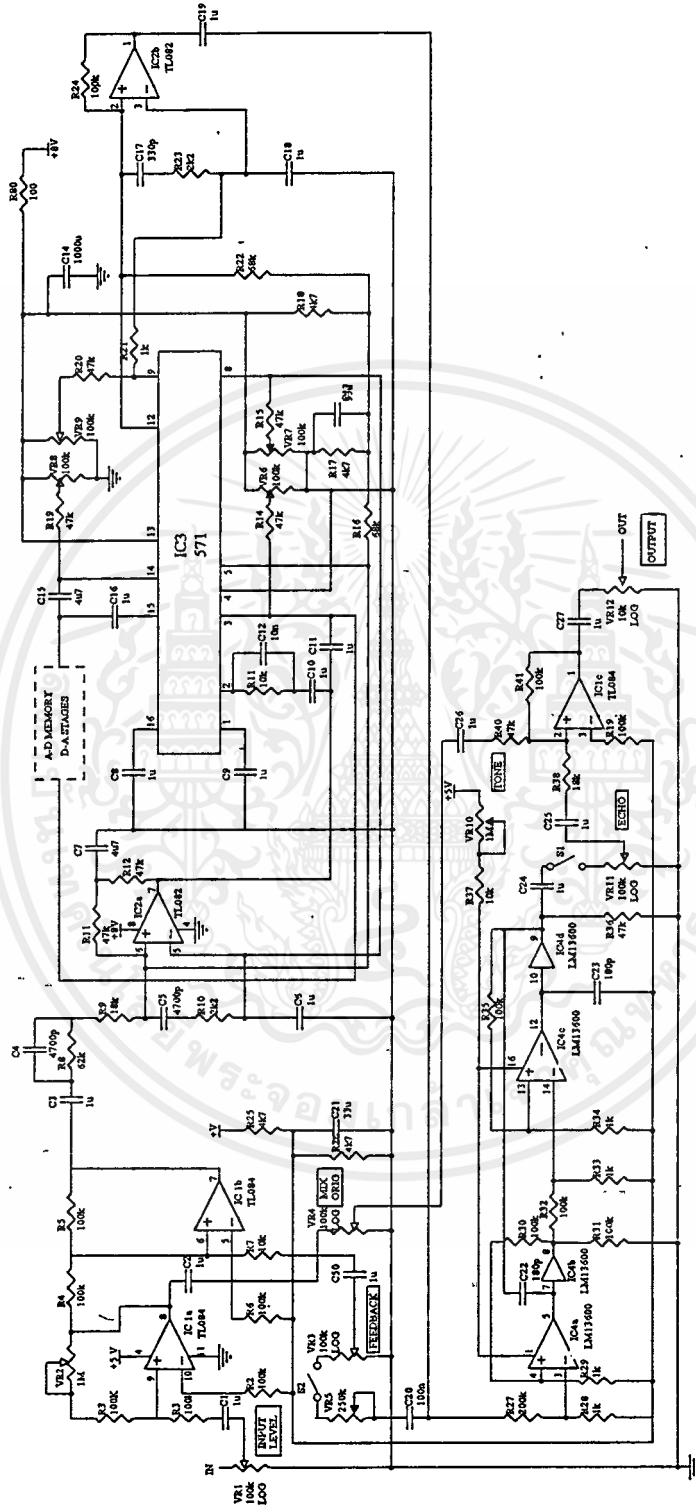
แอดเดรส 1 ทั้งเขียนและอ่านแอดเดรสจะต่างกัน 1 ตำแหน่ง เช่น เขียนที่ 3 อ่านกลับที่ 2 ถ้ายังดีเลย์ 1 มิลลิวินาที สมมติว่าเมมโมรีเต็มไปด้วยข้อมูลและเราอ่านกลับซึ่งไม่ใช่ตำแหน่งก่อนหน้านี้ แต่เป็นตำแหน่งใด ตำแหน่งแรกใน 65535 สเตปก่อนหน้านี้ การดีเลย์จะเป็น 65535×1 มิลลิวินาที ซึ่งเกินกว่า 65 วินาที

แน่นอนถ้าอ่านกลับที่สเตป 65536 ก่อนหน้านี้ซึ่งจะเหมือนกับการอ่านกลับข้อมูลที่เพิ่งใส่เข้าไป จะไม่มีดีเลย์ เพียงแต่เปลี่ยนจากจากใหม่เขียนเป็นอ่าน สัญญาณนาฬิกาของอ่านและเขียนแอดเดรสเป็นอันเดียวกัน จะมีเพียงแคเคเตอร์ที่เปลี่ยนไป เมื่อเวลานับคลิก (clock counter) ถึง แอดเดรสสุดท้ายจะรีเซ็ตกลับเป็นแอดเดรสแรกอัตโนมัติ ซึ่งจะเป็นลูปคงที่

มาสเตอร์ คล็อก ออสซิลเลเตอร์ (Master Clock Oscillator)

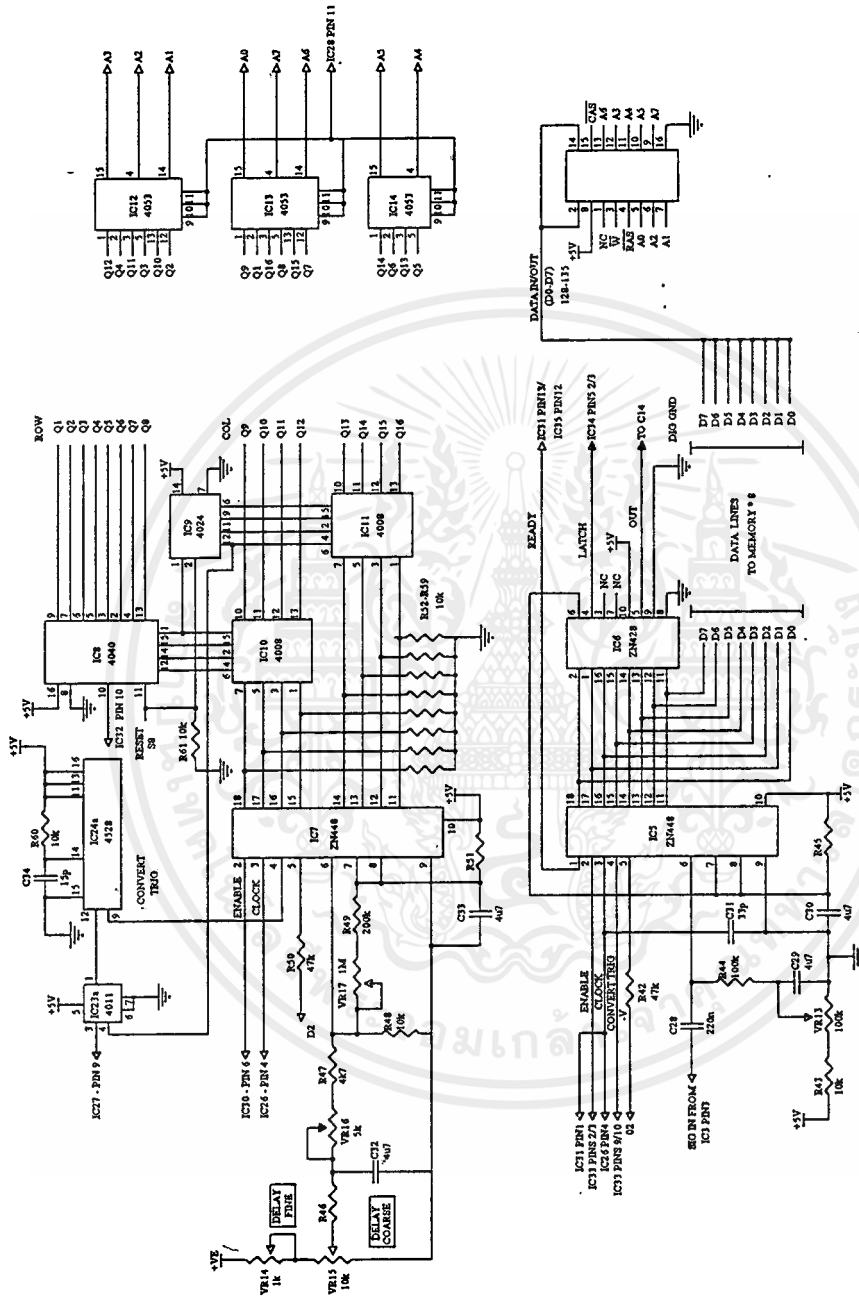
ในรูปที่ 2.27 IC26 เป็นโวลเตจ คอนโทรล ออสซิลเลเตอร์ ซึ่งความถี่ขึ้นกับ ทามมิ่ง คาปาซิเตอร์ คอนโทรล โวลเตจที่ขา 9 การแอสที่ขา 11 ถ้า S4 เปิด ขา 9 จะได้รับแรงดัน 5 V VR20 ควบคุมการเลือกออสซิลเลเตอร์ และค่าความต้านทานต่ำสุดมีเพียง C38 ซึ่งจะกำเนิดความถี่ประมาณ 1 MHz สวิตช์ที่ C39จะเหลือความถี่ประมาณ 60 KHz และ 15 KHz ตามลำดับ ถ้า S5 ปิด ความต้านทานของ VR20 จะลดลงโดย R72 ในทางดนตรีจะใช้ S5 ปิดและ S6 เปิด ซึ่งจะทำให้อัตราการแซมปลิงสูงเพื่อจะรักษารูปสัญญาณ R69 และ D3 จะจำกัดแรงดันเอาต์พุตค่ามากที่สุด 5 V ซึ่งจะถูกใช้ในวงจรควบคุมอื่นๆ

ความถี่คล็อกของโมดูเลชัน (modulation) สำหรับเฟสซิง (phasing) แฟนจิง (flanging) และอื่นๆ ถูกกระทำโดยสัญญาณสามเหลี่ยมที่คงที่ ผลิตโดย IC25a และ IC25b อัตราการโมดูเลชันควบคุมโดย C36 และความต้านทาน VR18 เอาต์พุตจาก IC6 จากคอนโทรล คล็อกจากการเปลี่ยนอนาล็อกเป็นดิจิตอล ซึ่งจะต้องใช้ไฟ -3V ในการทำงานซึ่งมาจาก IC31a และ IC31b และใช้ไดโอด D1 และ D2 ในการอินเอาต์เปลี่ยนจากอนาล็อกเป็นดิจิตอล ไอซี 23b จะหารความถี่ครึ่งหนึ่งเพื่อลดอัตรา เพื่อรักษาซิงโครไนส์แฟคเตอร์ โดยเมตริกซ์



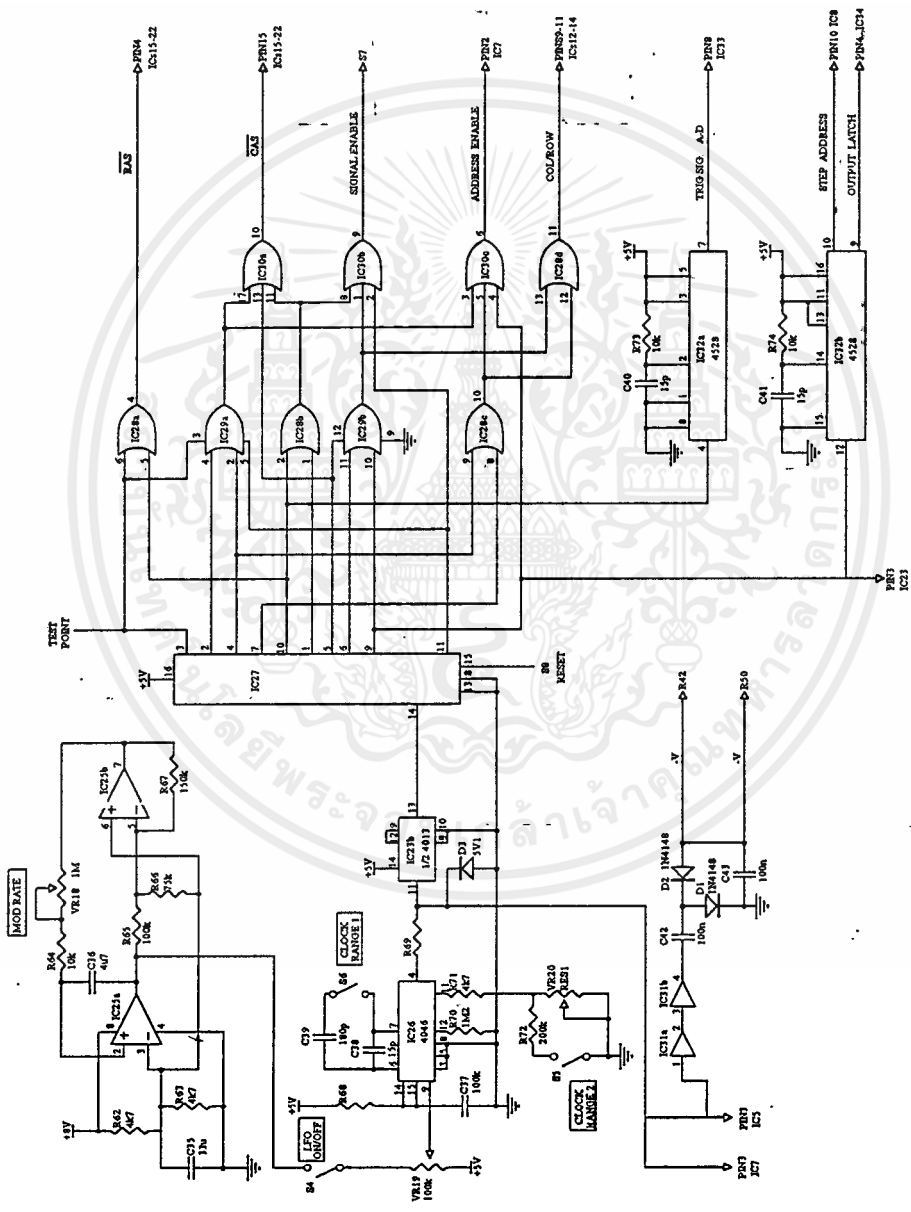
รูปที่ 2.27 วงจรสัญญาณอินพุตและการปรับแต่งสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.28 วงจร A to D และส่วนของหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



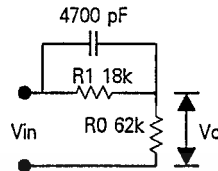
รูปที่ 2.29 ส่วนสร้างสัญญาณค็ล็อกและส่วนการทริก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การคำนวณและการสร้าง

Pre emphasis



รูปที่ 3.1 แสดงการคำนวณ Pre emphasis

$$f_1 = 1 / 2\pi R_2 C_2$$

$$= 1 / 2\pi * 62 * 10^3 * 4700 * 10^{-12}$$

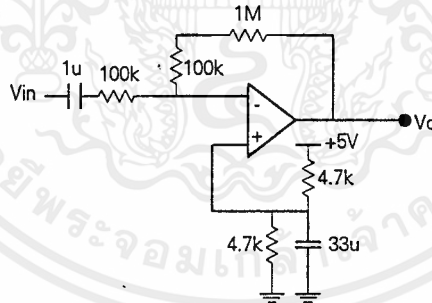
$$= 546 \text{ Hz}$$

$$f_1 = 1 / 2\pi R_1 C_1$$

$$= 1 / 2\pi * 18 * 10^3 * 4700 * 10^{-12}$$

$$= 1.88 \text{ Hz}$$

Amplifier



รูปที่ 3.2 แสดงการคำนวณเอาต์พุต Amplifier

$$V_{in} - (V/2) = iR_1$$

$$(V/2) - V_0 = iR_1$$

$$V_{in} - (V/2) / [(V/2) - V_0] = R_1 / R_2$$

$$2V_{in} - V = R_2 / R_1 (V - 2V_0)$$

$$R_2 / R_1 (2V_{in} - V) = V - 2V_0$$

$$V_0 = 1/2 [V - R_2 / R_1 (2V_{in} - V)]$$

บทที่ 4

การทดลองและผลการทดลอง

1. เมื่อป้อนสัญญาณอินพุตขนาด 200 mVp-p ความถี่ 4 KHz เข้าไปที่ขา 9 ของ IC1a (TL084) แล้ววัดเอาต์พุตที่ขา 7 ของ IC1b แล้วปรับค่า VR2 ได้ผลดังตาราง

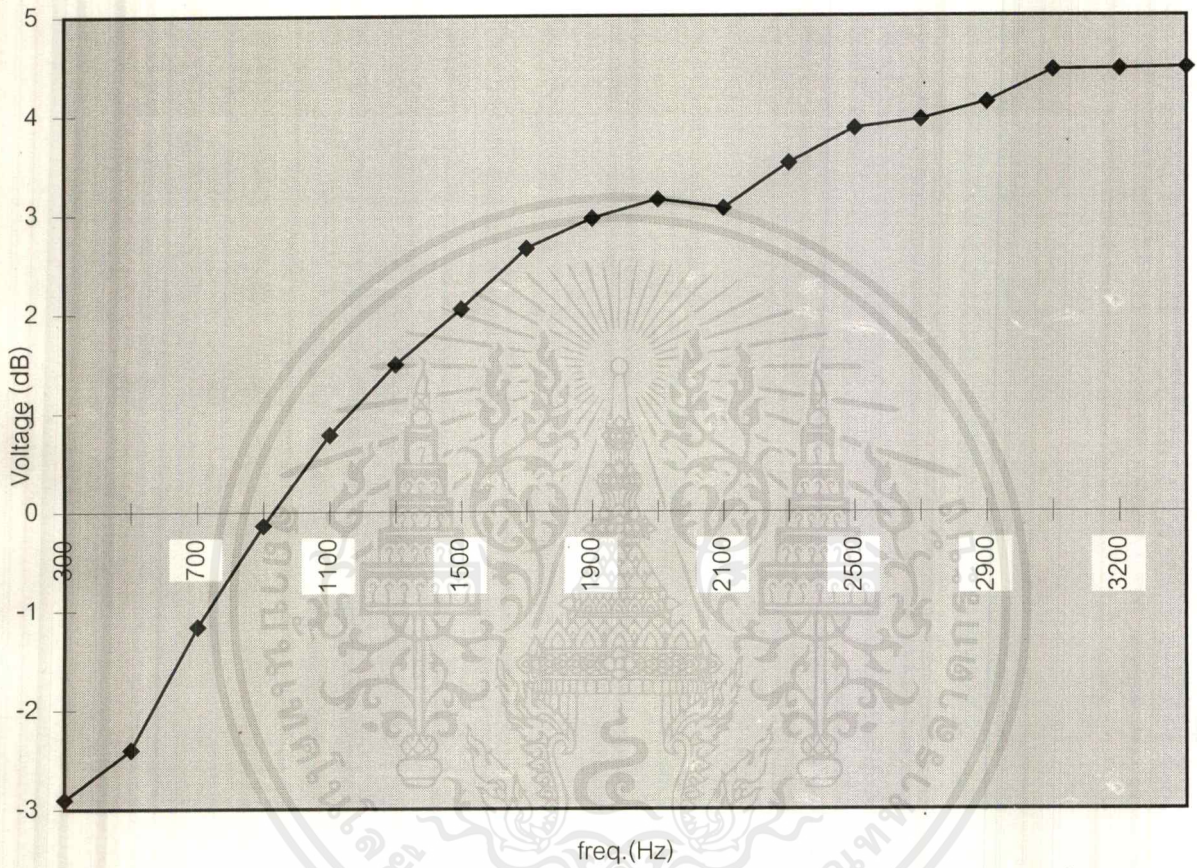
VR ₂ (Ω)	o/p ขา 8 IC1b (V)	o/p ขา 7 IC1b (V)
0	205.2 mV	212.5 mV
250 k	681.3 mV	718.7 mV
500 k	1.297 V	1.312 V
750 k	1.750 V	1.812 V
1 M	2.063 V	2.125 V

ตารางที่ 4.1 แสดงค่าสัญญาณเอาต์พุตของ IC TL084 เมื่อเปลี่ยน VR2

2. เมื่อมีสัญญาณอินพุตขนาด 200 mVp-p เข้าวงจรพีแอมป์แล้ววัดแรงดันเอาต์พุตที่หลัง R8 โดยเปลี่ยนแปลงความถี่อินพุตเป็นค่าต่างๆ แสดงผลดังตาราง

I/P (Hz)	o/p Preemphasis (หลัง R8)
300	652.2 mV
500	750 mV
700	875 mV
900	984 mV
1,100	1.094 V
1,300	1.187 V
1,500	1.266 V
1,700	1.359 V
1,900	1.406 V
2,000	1.437 V
2,100	1.422 V
2,300	1.500 V
2,500	1.562 V
2,700	1.578 V
2,900	1.609 V
3,100	1.672 V

ตารางที่ 4.2 แสดงค่าสัญญาณที่ผ่านการ preemphasis ที่ความถี่ต่างๆ



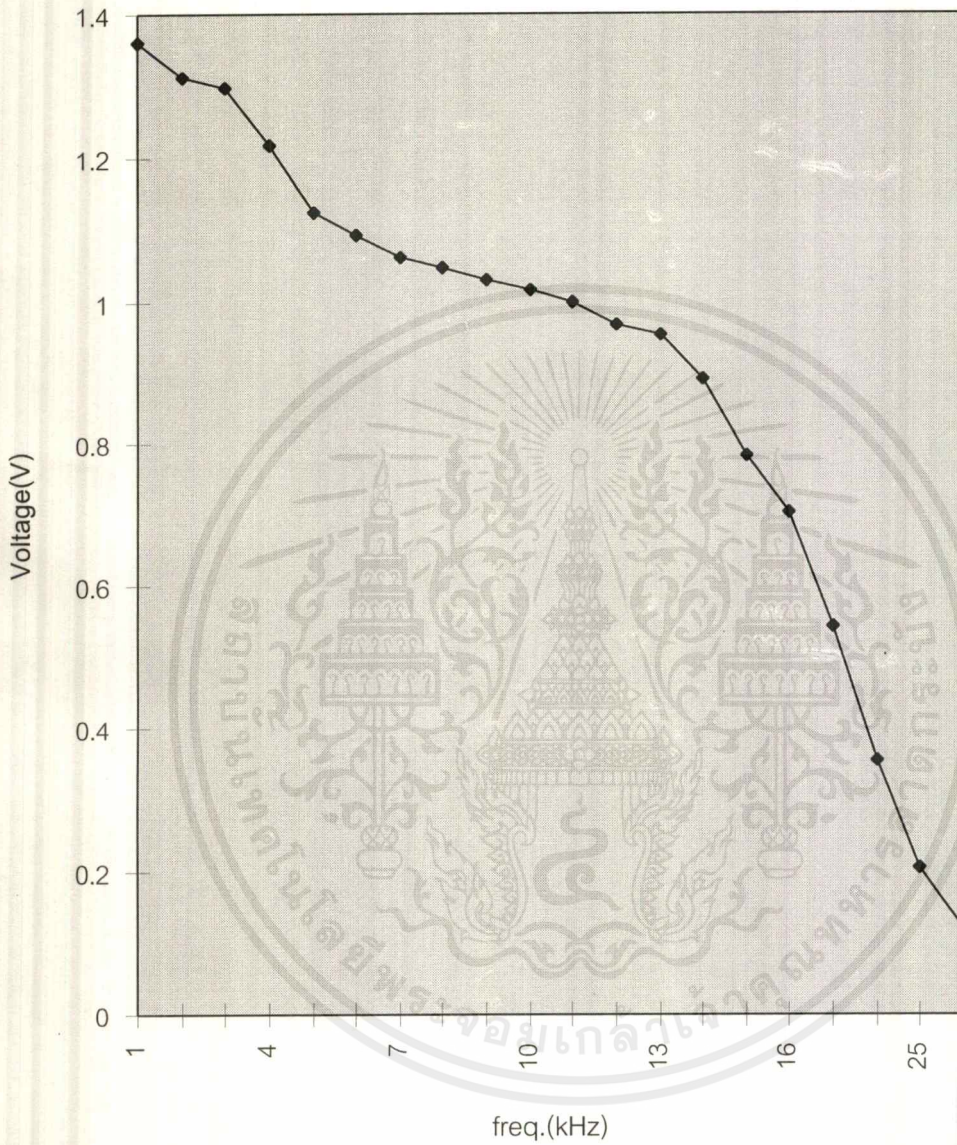
กราฟแสดงผลของส่วน Preemphasis

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. เมื่อมีสัญญาณอินพุตขนาด 200 mVp-p เข้าที่ IC4a (LM 13600) แล้ววัดแรงดันเอาต์พุตที่ขา 9 ของ IC4a (TL082)

I/P (Hz)	o/p ขา 9
1 k	1.359 V
2 k	1.312 V
3 k	1.297 V
4 k	1.219 V
5 k	1.125 V
6 k	1.094 V
7 k	1.062 V
8 k	1.047 V
9 k	1.031 V
10 k	1.016 V
11 k	1.000 V
12 k	968.8 mV
13 k	953.1 mV
14 k	890.6 mV
15 k	781.2 mV
16 k	703.1 mV
18 k	543.2 mV
21 k	356.3 mV
25 k	206.2 mV
30 k	118.7 mV

ตารางที่ 4.3 แสดงค่าสัญญาณที่ผ่านส่วน filter (IC LM13600) ที่ความถี่ต่างๆ



กราฟแสดงผลของส่วน Low Pass Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. แสดงค่าความถี่เอาต์พุตที่ขา 4 ของ IC4046 และขา 13 ของ IC4013 โดยทำการเปิด/ปิด สวิตช์ S4,S5,S6 และเปลี่ยน VR18-20 แสดงได้ดังตาราง

S ₅	S ₆	VR ₁₈	VR ₁₉	VR ₂₀	Master Clock	
					ความถี่ (Hz)	แรงดัน (V)
○	○	x	max	max	64.10 K	5.094
○	○	x	max	min	1.444 M	3.469
●	○	x	max	max	201.2 K	5.031
●	○	x	max	min	1.449 M	3.469
○	●	x	max	max	15.50 K	5.094
●	●	x	max	min	500 K	4.937

เมื่อ ○ เปิดสวิตช์
● ปิดสวิตช์

S ₄	S ₅	S ₆	VR ₁₈	VR ₁₉	VR ₂₀	Master Clock	
						ความถี่ (Hz)	แรงดัน (V)
●	○	○	min	max	max	63.69 K	5.062
●	○	○	min	max	min	1.449 M	3.469
●	○	○	min	min	max	51.02 K	5.062
●	○	○	max	min	max	50.00 K	5.031
●	○	○	max	min	min	1.299 M	3.906
●	●	○	min	max	max	200.8 K	5.062
●	●	○	min	max	min	1.449 M	3.469
●	●	○	min	min	max	126.6 K	5.031
●	●	○	max	min	max	128.2 K	5.031
●	●	○	max	min	min	1.282 M	3.938
●	○	●	min	max	max	15.53 K	5.031
●	○	●	min	max	min	500.0 K	4.969
●	○	●	min	min	max	11.76 K	5.031
●	○	●	max	min	max	12.05 K	5.031
●	○	●	max	min	min	400.0 K	4.969

ตารางที่ 4.4 แสดงค่าความถี่ของสัญญาณนาฬิกา เมื่อทำการปรับสวิตช์และปรับ VR ในค่าต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5 เมื่อมีสัญญาณเข้า IC6 (ZN428) แล้ววัดแรงดันที่ขา 5 ของ IC6

ค่าที่แสดงในแต่ละบิต								ค่าที่อ่านได้ จากสโคป (V)
7 (MSB)	6	5	4	3	2	1	0(LSB)	
1	1	1	1	1	1	1	1	4.981
1	1	1	1	1	1	1	0	4.964
1	1	0	0	0	0	0	0	3.709
1	0	0	0	0	0	0	1	2.525
1	0	0	0	0	0	0	0	2.514
0	1	1	1	1	1	1	1	2.474
0	1	0	0	0	0	0	0	1.288
0	0	0	0	0	0	0	1	54.5 m
0	0	0	0	0	0	0	0	34.74 m

ตารางที่ 4.5 แสดงค่าที่ได้จากส่วนของวงจร D to A เมื่อเปลี่ยนค่าของแต่ละบิต

6. เมื่อทำการป้อนสัญญาณอินพุต IC5 (ZN448) :ซึ่งเป็นสัญญาณแบบมีขั้วค่าต่างๆโดยผลที่ได้แสดงเป็นเลขฐาน2

ค่าแรงดัน ที่ป้อน (V)	เอาต์พุตที่แสดงในแต่ละบิต							
	7 (MSB)	6	5	4	3	2	1	0(LSB)
-4.992	0	0	0	0	0	0	0	0
-4.823	0	0	0	0	0	0	1	0
-4.520	0	0	0	0	1	0	1	0
-4.069	0	0	0	1	0	1	0	1
-3.523	0	0	1	0	0	1	0	0
-3.012	0	0	1	1	0	0	0	1
-2.495	0	0	1	1	1	1	1	1
-2.009	0	1	0	0	1	1	0	0
-1.495	0	1	0	1	1	0	0	1
-1.004	0	1	1	0	0	1	1	0
-504.2 m	0	1	1	1	0	1	0	0
54.97 m	1	0	0	0	0	0	1	0
505.2 m	1	0	0	0	0	1	1	1
1.002	1	0	0	1	1	0	1	1
1.508	1	0	1	0	1	0	0	0
1.992	1	0	1	1	0	1	0	1
2.497	1	1	0	0	0	0	1	0
3.002	1	1	0	0	1	1	1	1
3.495	1	1	0	1	1	0	1	1
4.001	1	1	1	0	1	0	0	0
4.497	1	1	1	1	0	1	0	1
4.827	1	1	1	1	1	1	1	0
4.889	1	1	1	1	1	1	1	1

ตารางที่ 4.6 แสดงค่าการแปลงแรงดันแบบมีขั้วเป็นเลขฐานสอง 8 บิต

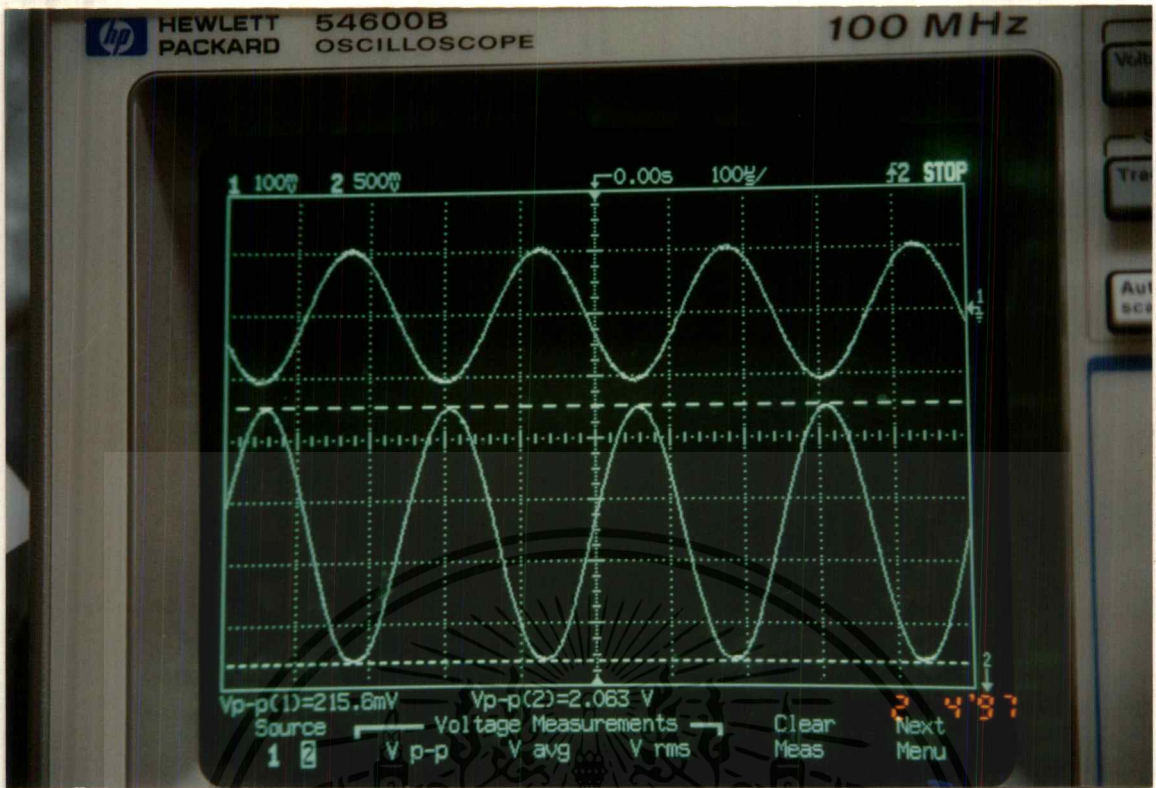
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7 เมื่อทำการบ็อนสัญญาณอินพุท IC5 (ZN448):ซึ่งเป็นสัญญาณค่าต่างๆ โดยผลที่ได้แสดง
เป็นเลขฐาน 2

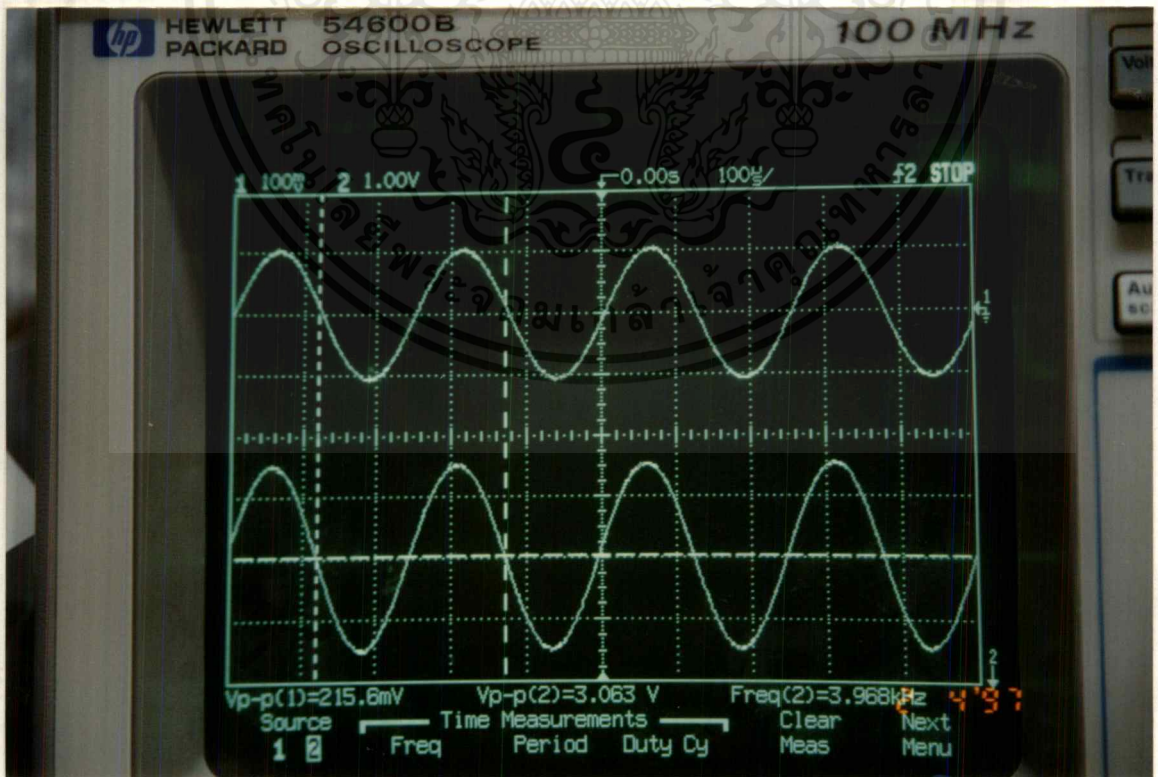
ค่าแรงดัน ที่บ็อน (V)	เอาต์พุตที่แสดงในแต่ละบิต							
	7 (MSB)	6	5	4	3	2	1	0(LSB)
15.18 m	0	0	0	0	0	0	0	0
38.99 m	0	0	0	0	0	0	0	0
149.7 m	0	0	0	0	0	1	1	1
325.2 m	0	0	0	1	0	0	0	0
498.4 m	0	0	0	1	1	0	0	1
996.9 m	0	0	1	1	0	0	0	1
1.208	0	0	1	1	1	1	0	0
1.251	0	0	1	1	1	1	1	0
1.496	0	1	0	0	1	0	1	0
2.003	0	1	1	0	0	0	1	0
2.552	0	1	1	1	1	1	1	0
3.001	1	0	0	1	0	1	0	0
3.505	1	0	1	0	1	1	0	1
3.732	1	1	0	0	0	0	0	1
4.008	1	1	0	0	1	1	1	1
4.507	1	1	1	0	1	0	0	0
4.882	1	1	1	1	1	0	1	0
4.957	1	1	1	1	1	1	1	0
4.964	1	1	1	1	1	1	1	1

ตารางที่ 4.7 แสดงการแปลงแรงดันค่าต่างๆ เป็นเลขฐานสอง 8 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

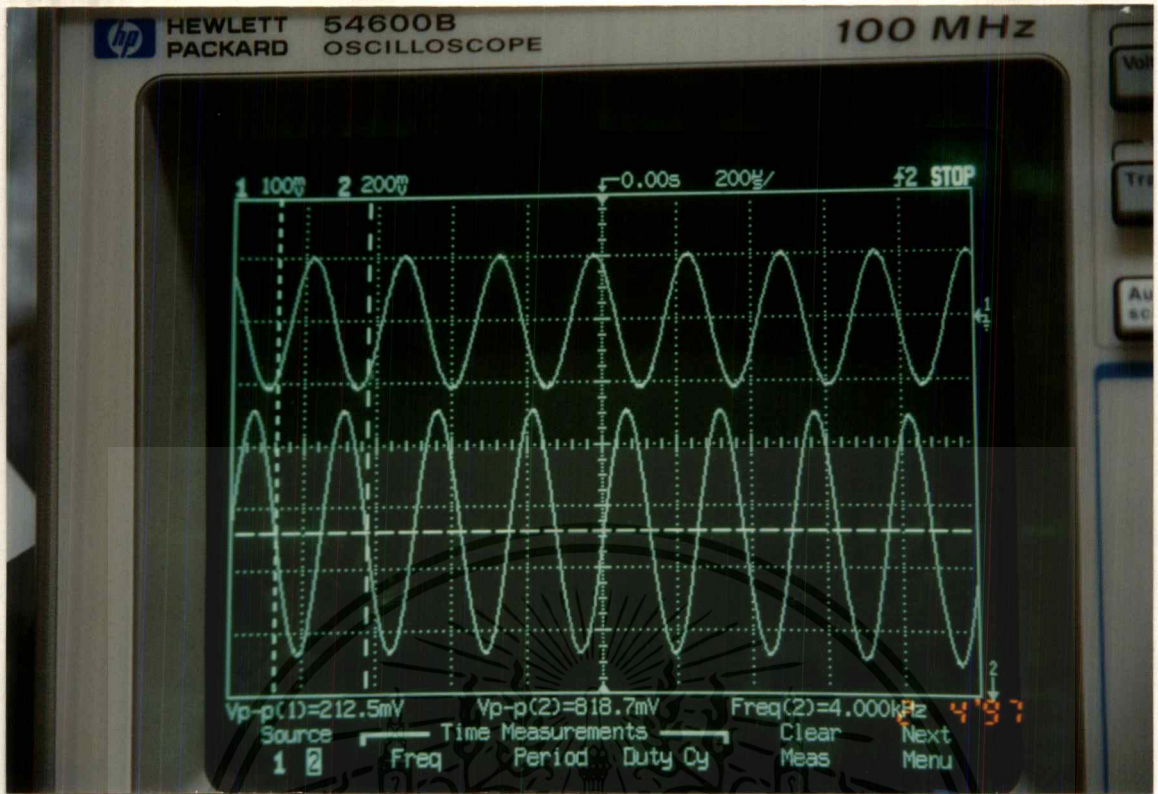


รูปที่ 4.1 แรงดันเอาต์พุตที่ขา 7 ของ IC TL084 เทียบกับอินพุต เมื่อ VR=1M

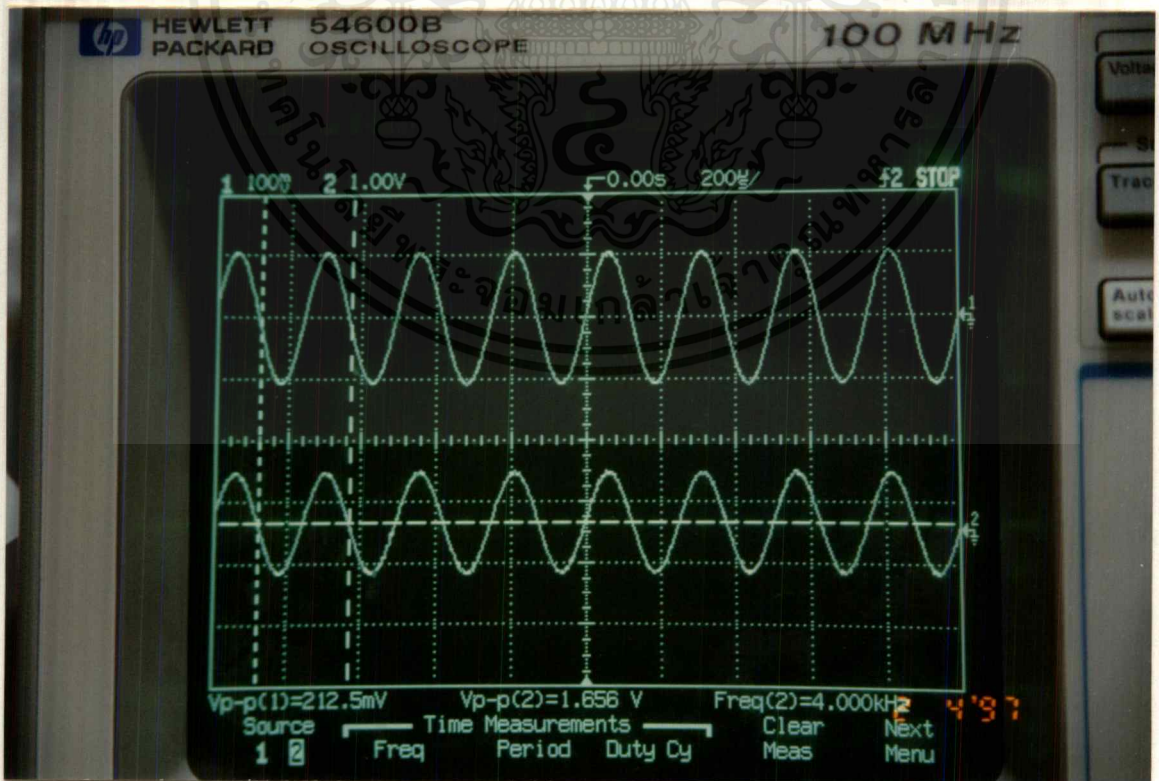


รูปที่ 4.2 แรงดันเอาต์พุตที่ขา 1 ของ IC TL082 เทียบกับอินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

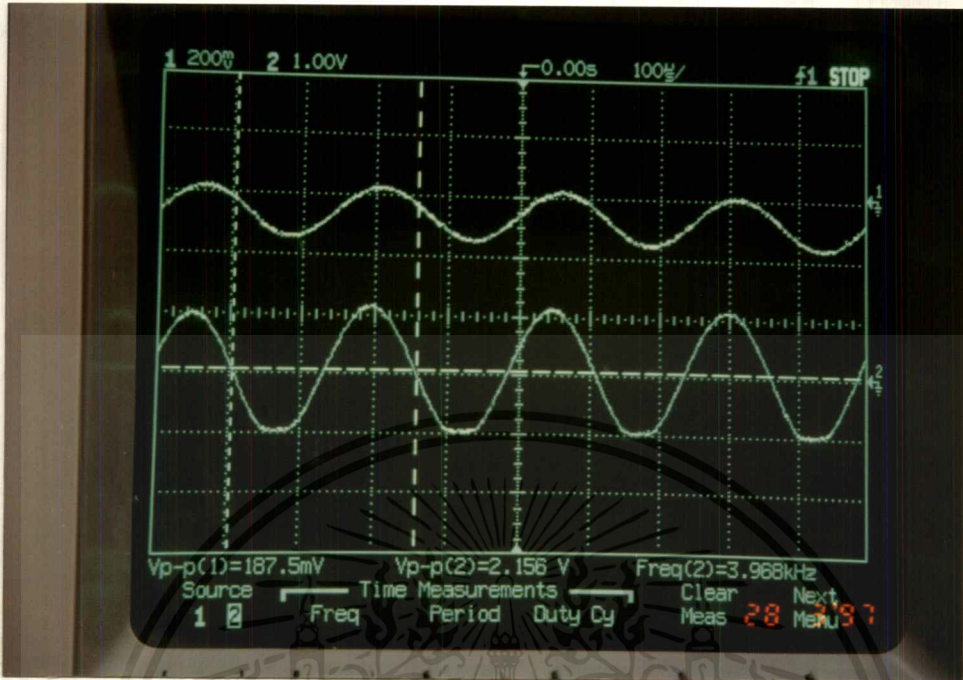


รูปที่ 4.3 เอาต์พุตที่ขา 9 ของ IC LM13600

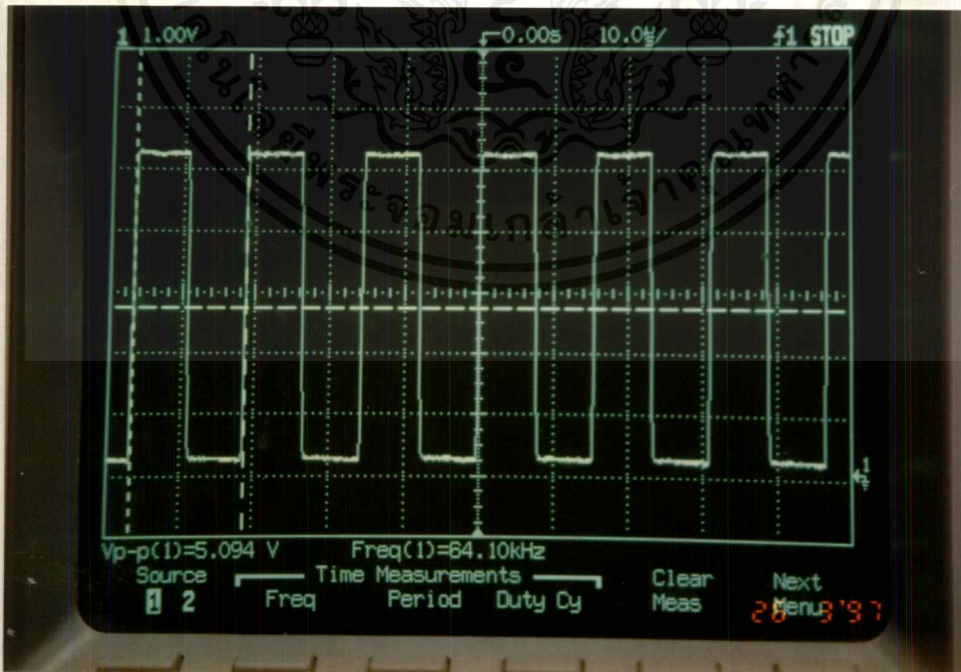


รูปที่ 4.4 เอาต์พุตที่ขา 1 ของ IC TL084 เมื่อเปิดสวิตช์ S3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

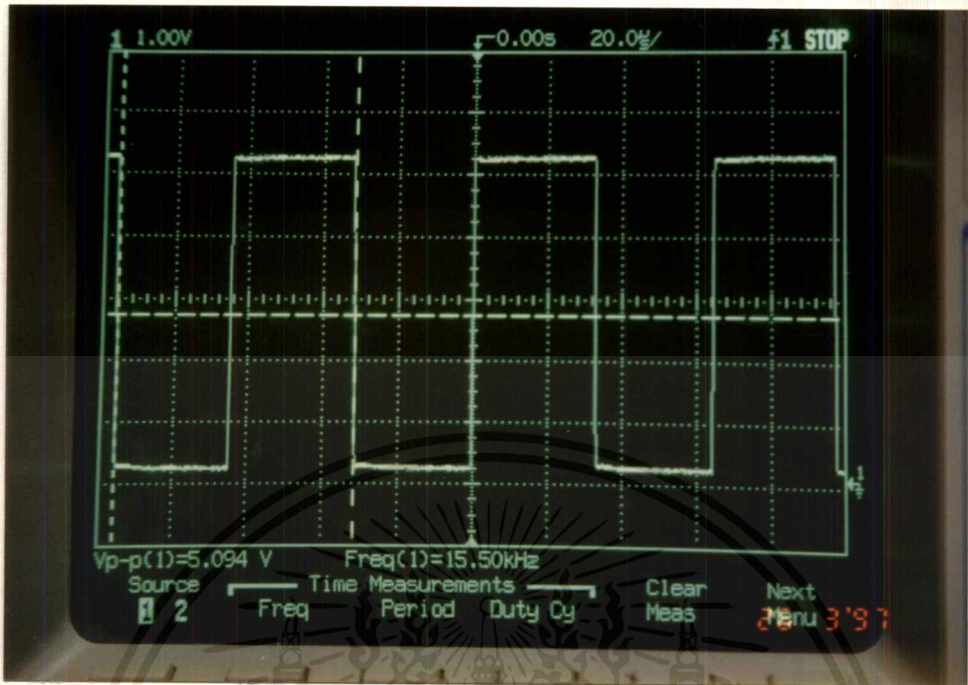


รูปที่ 4.5 เอาต์พุตที่ขา 1 ของ IC TL084 เมื่อปิดสวิตช์ S3

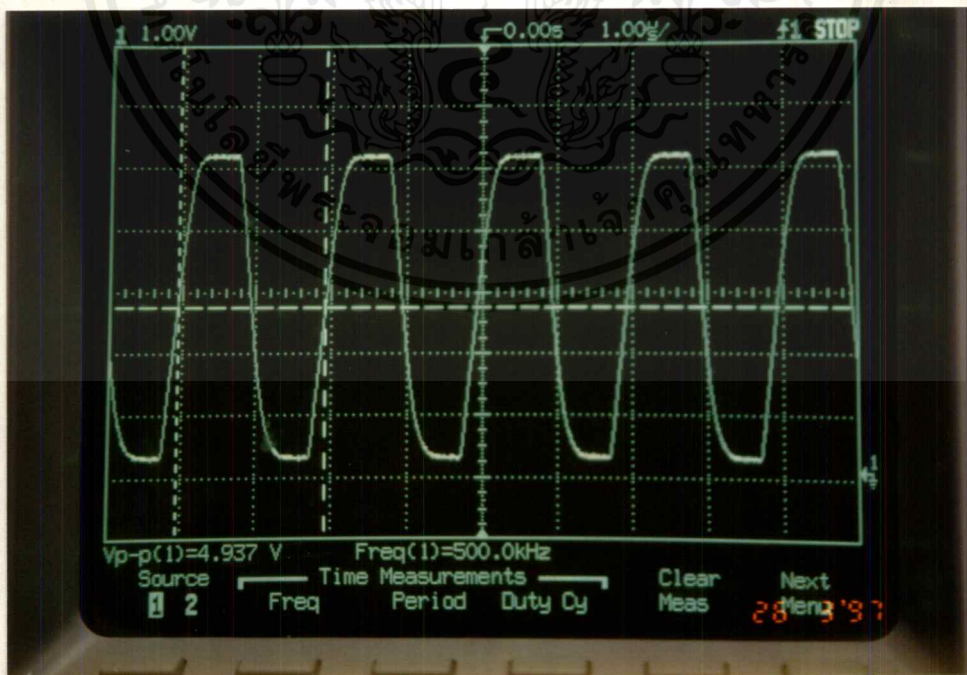


รูปที่ 4.6 สัญญาณนาฬิกาที่ขา 4 IC 4046 เมื่อปรับ VR20 เท่ากับ 1M และเปิดสวิตช์ S6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

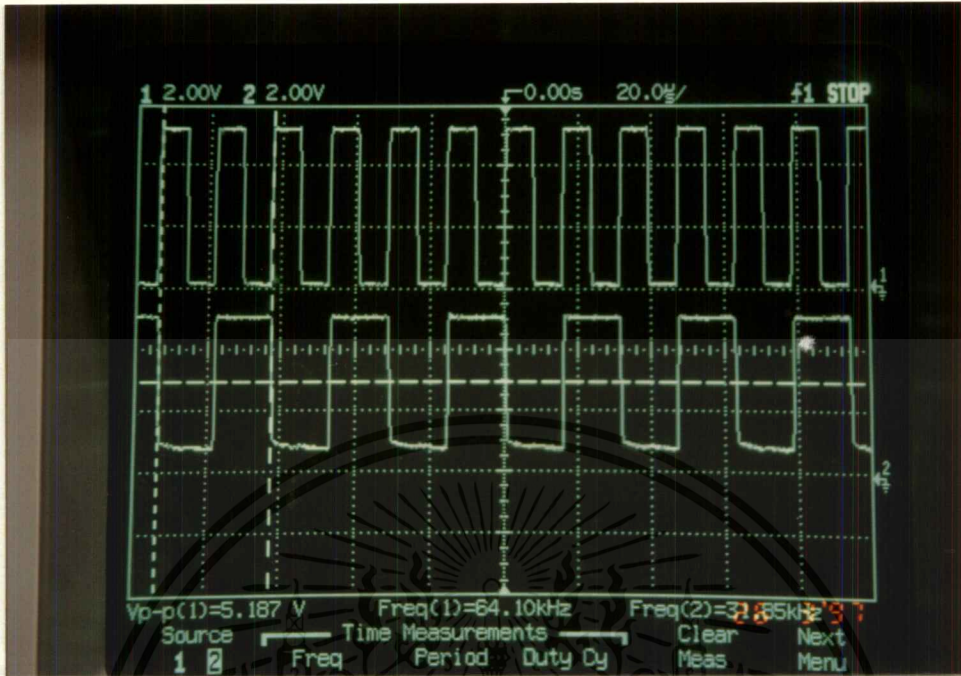


รูปที่ 4.7 สัญญาณนาฬิกาที่ขา 4 IC 4046 เมื่อปรับ VR20 เท่ากับ 1M และเปิดสวิตช์ S6

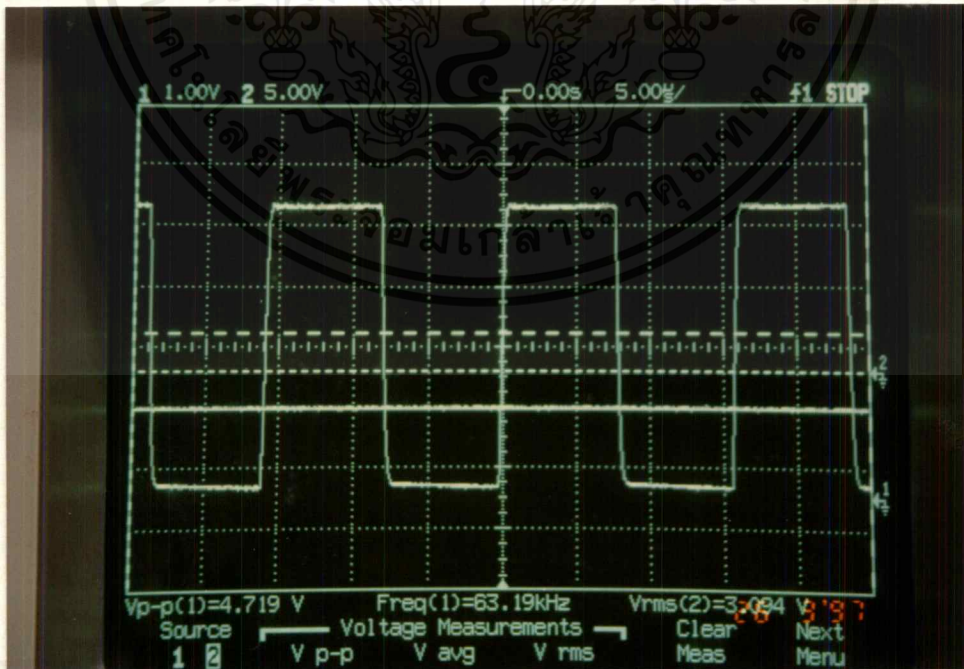


รูปที่ 4.8 สัญญาณนาฬิกาที่ขา 4 IC 4046 เมื่อปรับ VR20 เท่ากับ 0 และเปิดสวิตช์ S6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 สัญญาณนาฬิกาเมื่อผ่านวงจรความถี่ 2 เท่า (IC23b)

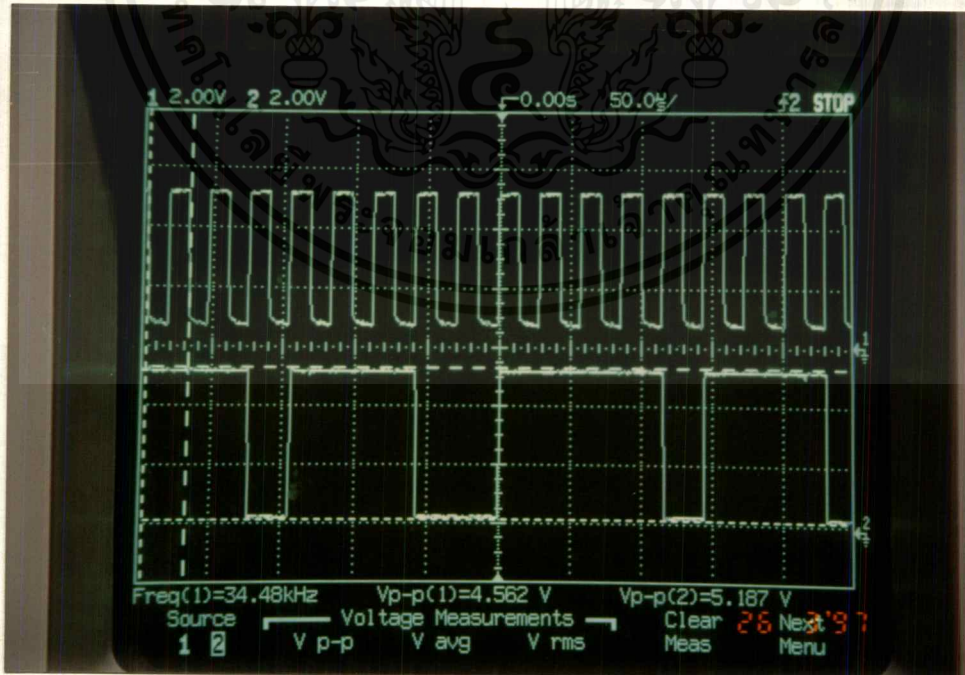


รูปที่ 4.10 สัญญาณแรงดันที่เป็นลบ เมื่อผ่านวงจร Diode Pump Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

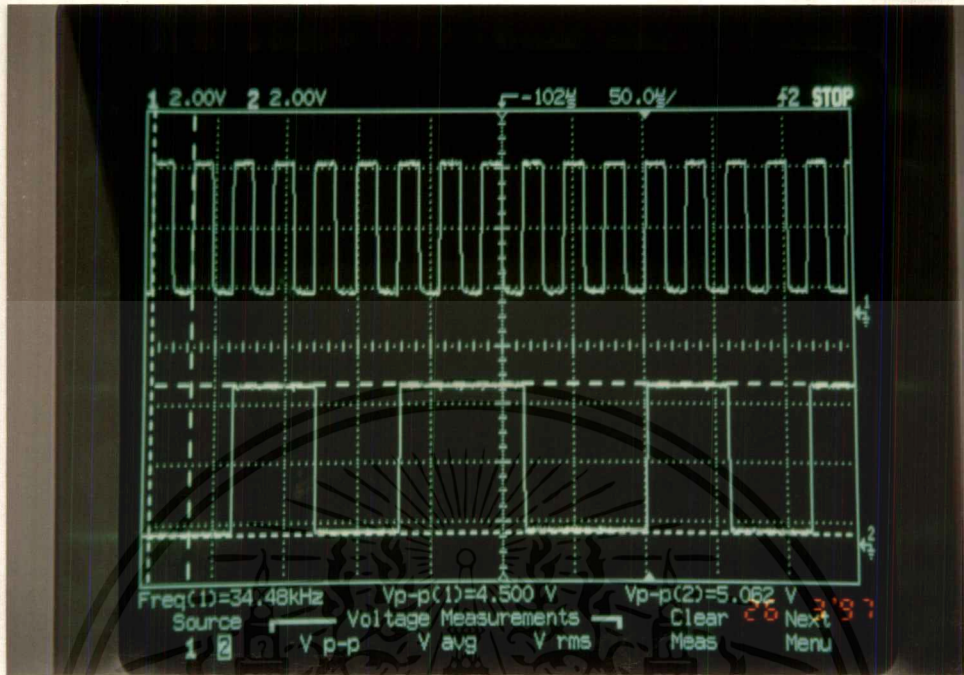


รูปที่ 4.11 สัญญาณอินพุตที่เข้าที่ขา 14 IC 4017 กับสัญญาณ RAS

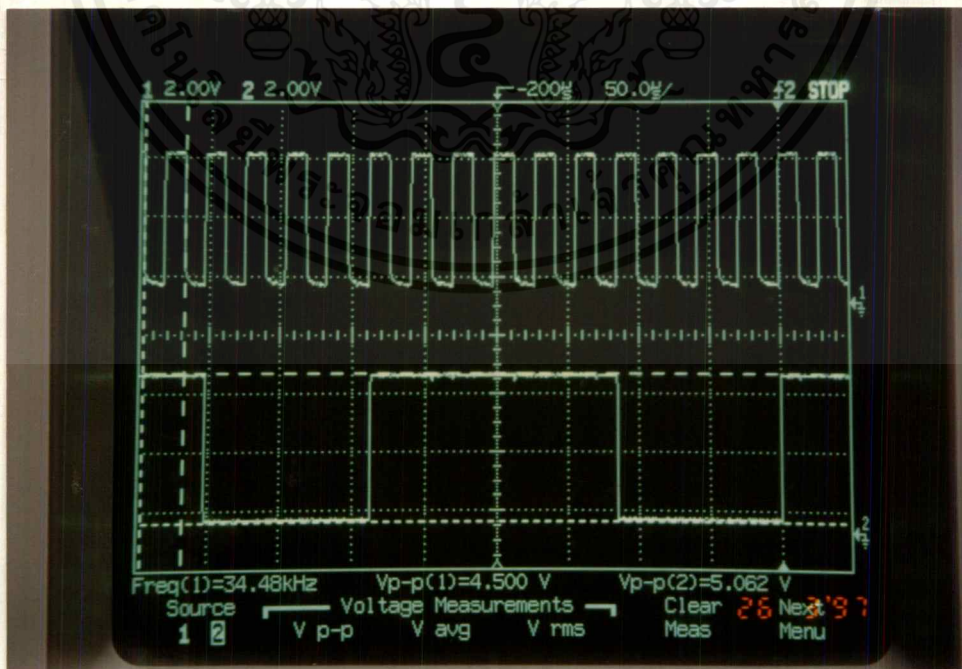


รูปที่ 4.12 สัญญาณอินพุตที่เข้าที่ขา 14 IC 4017 กับสัญญาณ CAS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

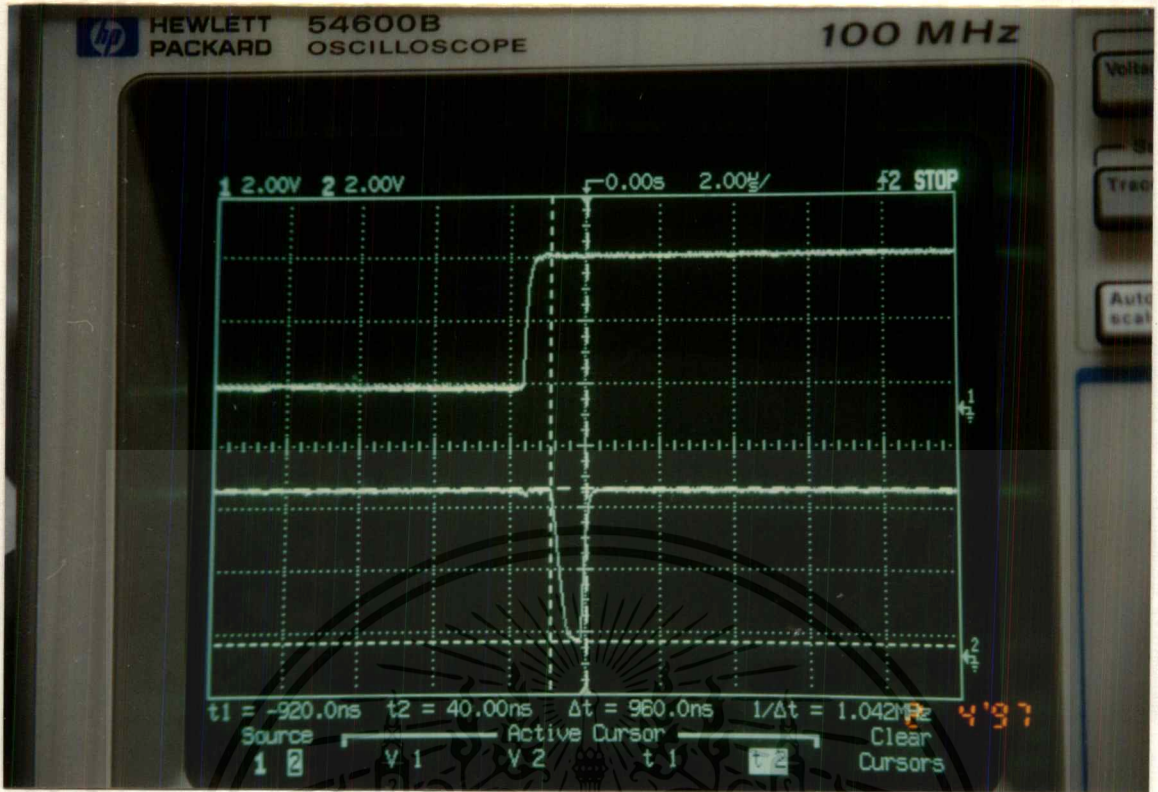


รูปที่ 4.13 สัญญาณอินพุตที่เข้าที่ขา 14 IC 4017 กับสัญญาณ Address Enable

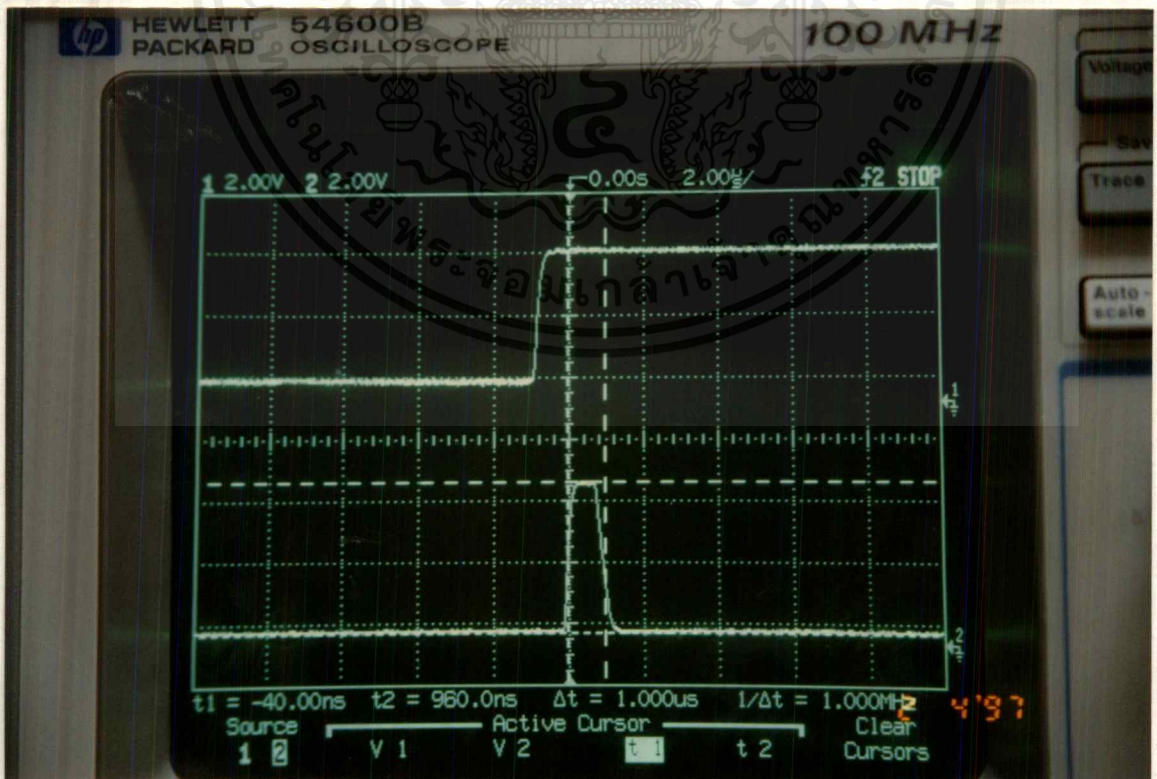


รูปที่ 4.14 สัญญาณอินพุตที่เข้าที่ขา 14 IC 4017 กับสัญญาณ COL/ROW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

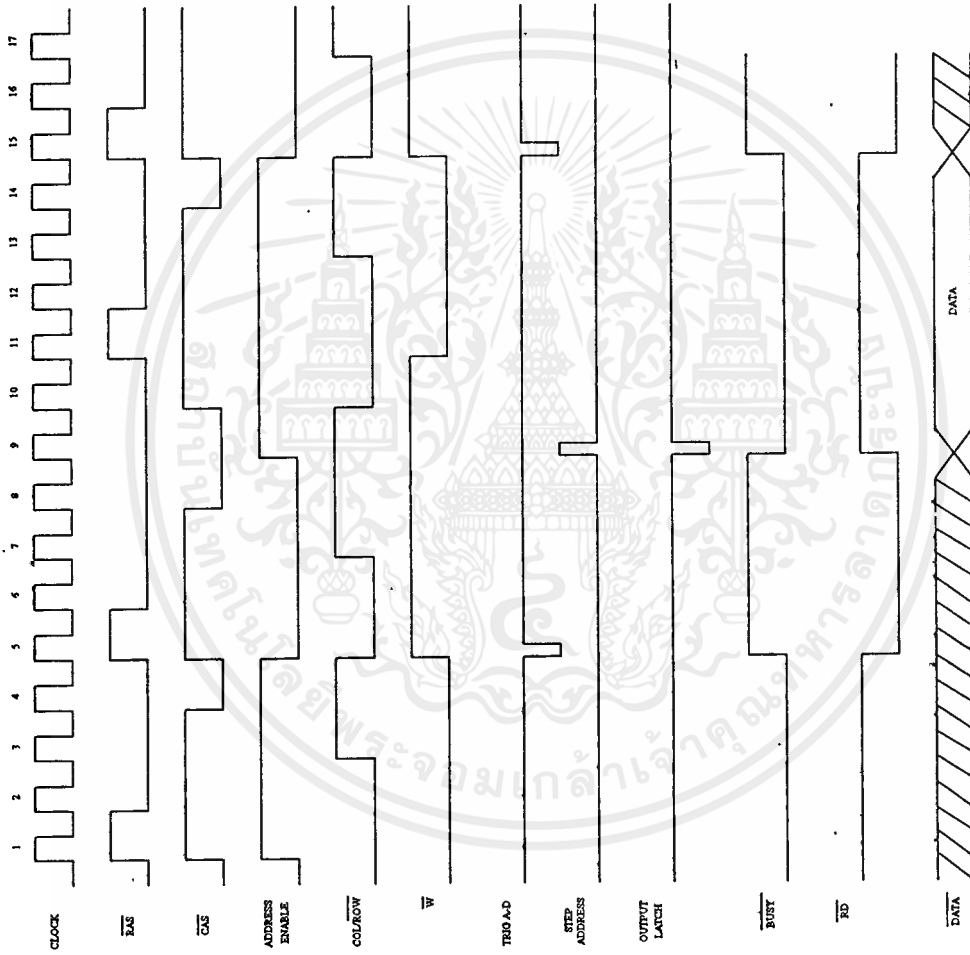


รูปที่ 4.15 สัญญาณอินพุตที่เข้าที่ขา 14 IC 4017 กับสัญญาณ trig A-D



รูปที่ 4.16 สัญญาณอินพุตที่เข้าที่ขา 14 IC 4017 กับสัญญาณ Step Address

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.17 Timing Diagram รวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

วิจารณ์และสรุป

สรุปผลการทดลอง

1. ในส่วนแรกของวงจรเป็นส่วนของ pre-amp โดยมีค่าเกนตั้งแต่ 1-10 เท่า โดยสามารถปรับค่าได้โดยใช้ VR2 โดยสามารถเลือกขนาดสัญญาณอินพุตได้โดย VR1 สัญญาณที่ได้ผ่านเข้าส่วน pre emphasis เพื่อช่วยยกระดับสัญญาณทางด้านความถี่สูงและต่ำให้มีระดับสม่ำเสมอ
2. สัญญาณที่ผ่านส่วน pre emphasis ถูกส่งเข้าวงจร compressor ซึ่งจะช่วยลดช่วงของสัญญาณให้เล็กลง แล้วถูกส่งเข้าส่วนของวงจร A-D แล้วจึงเขียนเข้าหน่วยความจำ หรือส่งเข้าสู่ส่วน D-A เมื่อต้องการจะอ่าน จากนั้นสัญญาณที่ได้จะถูกส่งกลับผ่านวงจร expander และ de emphasis เพื่อให้ได้สัญญาณเดิมกลับมา
3. ในส่วนของการสร้างสัญญาณ clock สามารถปรับความถี่ได้โดยการปรับ VR และการเปิดปิดสวิตช์ โดยการปรับ VR การปรับละเอียด ส่วนการเปิดปิดสวิตช์ S6 จะมีผลมากกว่าการเปิดปิดสวิตช์ตัวอื่นๆ
4. ในส่วนของการเลือกค่าแอดเดรสและสัญญาณเพื่อทริกให้วงจร A-D และ D-A ทำงานนั้น วงจรในส่วนเหล่านี้จะทำงานได้ต้องอาศัยสัญญาณ clock ที่เข้า IC27 อย่างน้อย 10 clock ถึงทำงานได้

วิจารณ์

ในการทำงานเราสามารถเลือกใช้หน่วยความจำส่วนนอกได้โดยอาจใช้หน่วยความจำส่วนนอกได้ โดยอาจใช้หน่วยความจำจากในเครื่องคอมพิวเตอร์ ซึ่งสามารถที่จะทำให้เกิดการดีเลย์ของสัญญาณมากขึ้น เมื่อหน่วยความจำเพิ่มขึ้น นอกจากนี้ยังสามารถที่จะนำไปรวมมาประยุกต์ใช้ในการทำงานเพื่อให้ได้ผลดีเพิ่มขึ้นด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

- (1) เกரியงศักดิ์ แซ่ก้ง เซมิคอนดักเตอร์ อิเลคทรอนิกส์ ฉบับที่ 76 หน้า 172-181, มีนาคม 2530
- (2) เปรมจิต วิสุทธีศิริ เซมิคอนดักเตอร์ อิเลคทรอนิกส์ ฉบับที่102 หน้า 272-279, ตุลาคม 2533
- (3) เปรมจิต วิสุทธีศิริ เซมิคอนดักเตอร์ อิเลคทรอนิกส์ ฉบับที่103 หน้า 302-309, พฤษภาคม 2533
- (4) ยืน ภู่วรรณ “ ทฤษฎีและการใช้งานอิเลคทรอนิกส์ เล่ม 2 “
- (5) การสร้างเครื่องออดิโอคอมพิวเตอร์ อิเลคตรอน ฉบับที่ 79 หน้า 52-55
- (6) OTA 13600 อิเลคตรอน ฉบับที่ 79 หน้า 121-124
- (7) Joel Nauman&James D.Wagoner Analog electronic Music Techniques
- (8) John M.H.Becker Practical Electronics June 1985



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD4069UBM/CD4069UBC Inverter Circuits

General Description

The CD4069UB consists of six inverter circuits and is manufactured using complementary MOS (CMOS) to achieve wide power supply operating range, low power consumption, high noise immunity, and symmetric controlled rise and fall times.

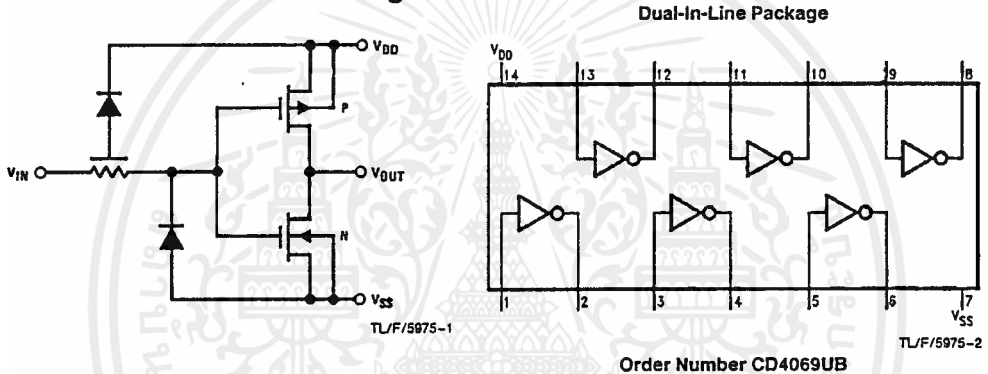
This device is intended for all general purpose inverter applications where the special characteristics of the MM74C901, MM74C903, MM74C907, and CD4049A Hex Inverter/Buffers are not required. In those applications requiring larger noise immunity the MM74C14 or MM74C914 Hex Schmitt Trigger is suggested.

All inputs are protected from damage due to static discharge by diode clamps to V_{DD} and V_{SS} .

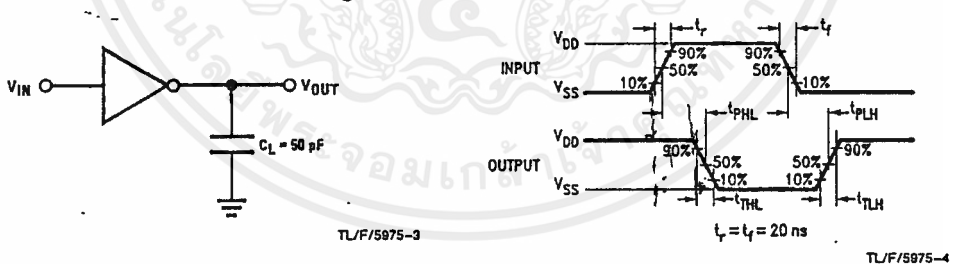
Features

- Wide supply voltage range 3.0V to 15V
- High noise immunity 0.45 V_{DD} typ.
- Low power TTL compatibility Fan out of 2 driving 74L or 1 driving 74LS
- Equivalent to MM54C04/MM74C04

Schematic and Connection Diagram



AC Test Circuits and Switching Time Waveforms



TL082 Wide Bandwidth Dual JFET Input Operational Amplifier

General Description

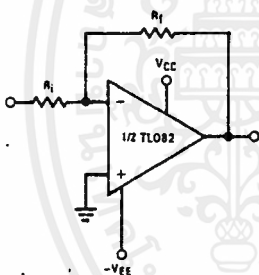
These devices are low cost, high speed, dual JFET input operational amplifiers with an internally trimmed input offset voltage (BI-FET II™ technology). They require low supply current yet maintain a large gain bandwidth product and fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The TL082 is pin compatible with the standard LM1558 allowing designers to immediately upgrade the overall performance of existing LM1558 and most LM358 designs.

These amplifiers may be used in applications such as high speed integrators, fast D/A converters, sample and hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The devices also exhibit low noise and offset voltage drift.

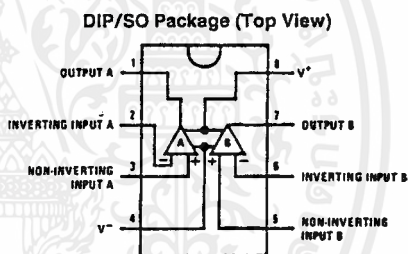
Features

- Internally trimmed offset voltage 15 mV
- Low input bias current 50 pA
- Low input noise voltage 16nV/√Hz
- Low input noise current 0.01 pA/√Hz
- Wide gain bandwidth 4 MHz
- High slew rate 13 V/μs
- Low supply current 3.6 mA
- High input impedance 10¹²Ω
- Low total harmonic distortion $A_v = 10$, $R_L = 10k$, $V_O = 20 V_p - p$, $BW = 20 Hz - 20 kHz$ <0.02%
- Low 1/f noise corner 50 Hz
- Fast settling time to 0.01% 2 μs

Typical Connection

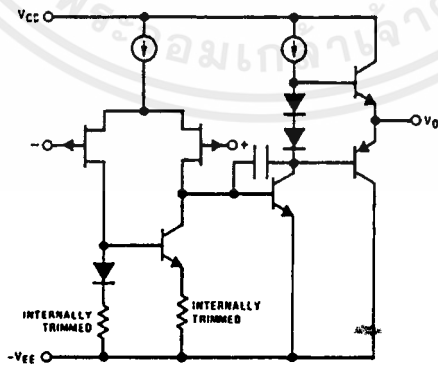


Connection Diagram



Order Number TL082CM or TL082CP
See NS Package Number M08A or N08E

Simplified Schematic



BI-FET II™ is a trademark of National Semiconductor Corp.

MM54HC4075/MM74HC4075 Triple 3-Input OR Gate

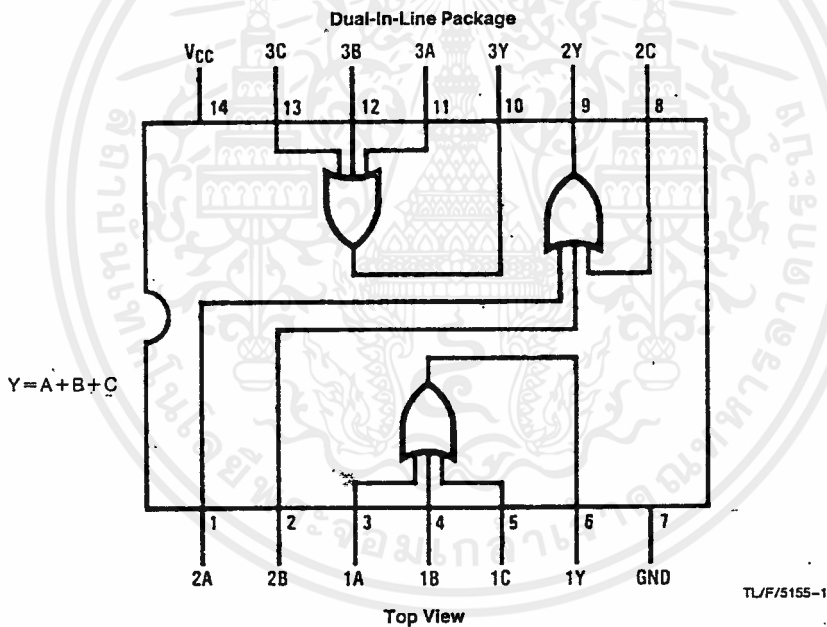
General Description

These OR gates utilize advanced silicon-gate CMOS technology to achieve operating speeds similar to LS-TTL gates with the low power consumption of standard CMOS integrated circuits. All gates have buffered outputs, providing high noise immunity and the ability to drive 10 LS-TTL loads. The 54HC/74HC logic family is functionally as well as pin-out compatible with the standard 54LS/74LS logic family. The 54HC4075/74HC4075 is functionally equivalent and pin-out compatible with the CD4075B and MC14075B metal gate CMOS devices. All inputs are protected from damage due to static discharge by internal diode clamps to V_{CC} and ground.

Features

- Typical propagation delay: 11 ns
- Wide power supply range: 2V-6V
- Low quiescent current: 20 μ A maximum (74HC Series)
- Low input current: 1 μ A maximum
- Fanout of 10 LS-TTL loads

Connection Diagram



Order Number MM54HC4075 or MM74HC4075

MM54HC4075/MM74HC4075 Triple 3-Input OR Gate

LM13600 Dual Operational Transconductance Amplifiers with Linearizing Diodes and Buffers

General Description

The LM13600 series consists of two current controlled transconductance amplifiers each with differential inputs and a push-pull output. The two amplifiers share common supplies but otherwise operate independently. Linearizing diodes are provided at the inputs to reduce distortion and allow higher input levels. The result is a 10 dB signal-to-noise improvement referenced to 0.5 percent THD. Controlled impedance buffers which are especially designed to complement the dynamic range of the amplifiers are provided.

Features

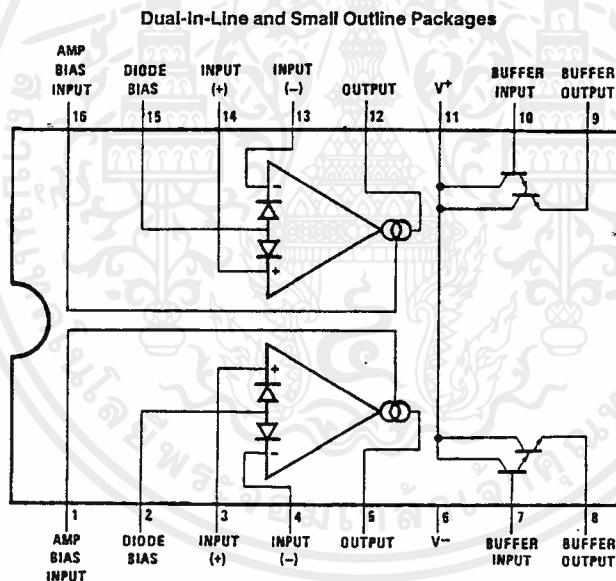
- g_m adjustable over 6 decades
- Excellent g_m linearity

- Excellent matching between amplifiers
- Linearizing diodes
- Controlled impedance buffers
- High output signal-to-noise ratio

Applications

- Current-controlled amplifiers
- Current-controlled impedances
- Current-controlled filters
- Current-controlled oscillators
- Multiplexers
- Timers
- Sample and hold circuits

Connection Diagram



TL/H/7980-2

Top View

Order Number LM13600M, LM13600N or LM13600AN
See NS Package Number M16A or N16A

LM13600 Dual Operational Transconductance Amplifiers with Linearizing Diodes and Buffers

Voltage Controlled Filters (Continued)

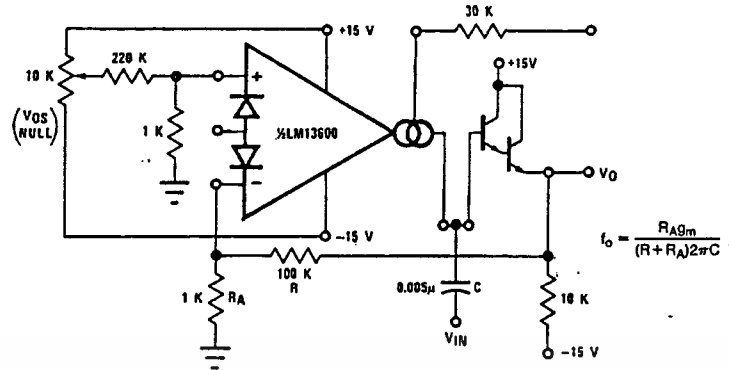


FIGURE 12. Voltage Controlled Hi-Pass Filter

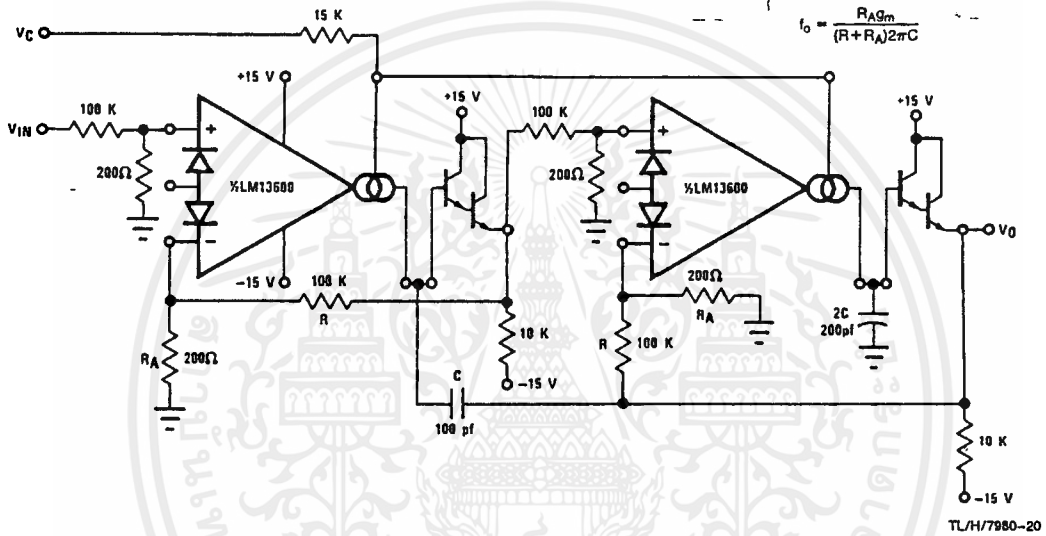


FIGURE 13. Voltage Controlled 2-Pole Butterworth Lo-Pass Filter

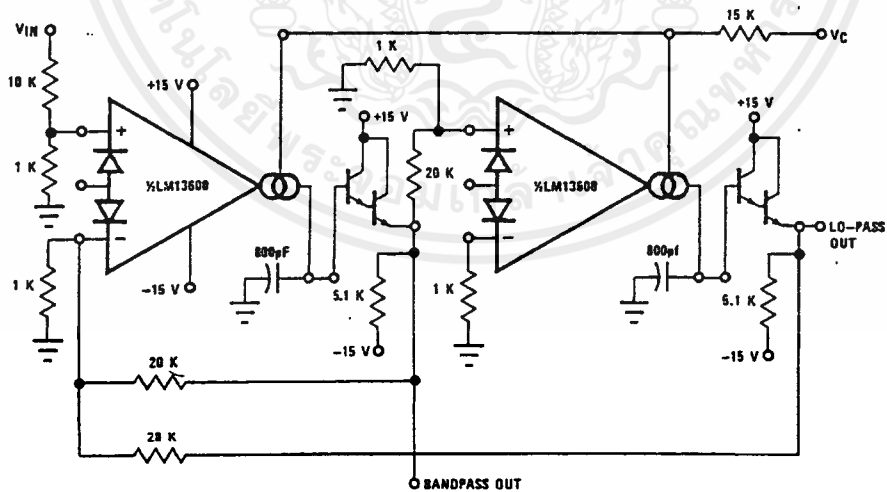


FIGURE 14. Voltage Controlled State Variable Filter

CD4528BM/CD4528BC Dual Monostable Multivibrator

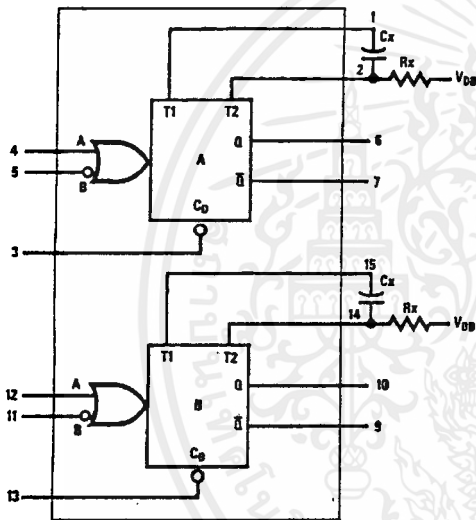
General Description

The CD4528B is a dual monostable multivibrator. Each device is retriggerable and resettable. Triggering can occur from either the rising or falling edge of an input pulse, resulting in an output pulse over a wide range of widths. Pulse duration and accuracy are determined by external timing components Rx and Cx.

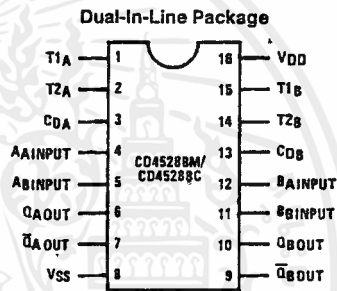
Features

- Wide supply voltage range 3.0V to 18V
- Separate reset available
- Quiescent current = 5.0 nA/package (typ.) at 5.0 V_{DC}
- Diode protection on all inputs
- Retriggerable from leading or trailing edge pulse
- Capable of driving two low-power TTL loads or one low-power Schottky TTL load over the rated temperature range

Connection Diagrams



TL/F/5998-1



TL/F/5998-2

Top View
Order Number CD4528B

Truth Table

Inputs			Outputs	
Clear	A	B	Q	Q-bar
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	↓	[Pulse]	[Pulse]
H	↑	H	[Pulse]	[Pulse]

- H = High Level
- L = Low Level
- ↑ = Transition from Low to High
- ↓ = Transition from High to Low
- [Pulse] = One High Level Pulse
- [Pulse] = One Low Level Pulse
- X = Irrelevant

CD4528BM/CD4528BC Dual Monostable Multivibrator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD4071BM/CD4071BC
Quad 2-Input OR Buffered B Series Gate
CD4081BM/CD4081BC
Quad 2-Input AND Buffered B Series Gate

General Description

These quad gates are monolithic complementary MOS (CMOS) integrated circuits constructed with N- and P-channel enhancement mode transistors. They have equal source and sink current capabilities and conform to standard B series output drive. The devices also have buffered outputs which improve transfer characteristics by providing very high gain.

All inputs protected against static discharge with diodes to V_{DD} and V_{SS} .

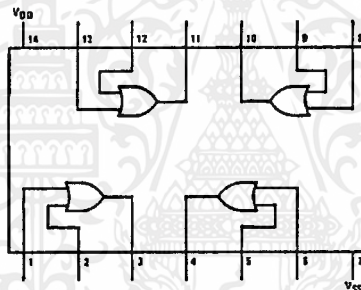
Features

- Low power TTL compatibility
- 5V–10V–15V parametric ratings
- Symmetrical output characteristics
- Maximum input leakage 1 μ A at 15V over full temperature range

Fan out of 2 driving 74L
 or 1 driving 74LS

Connection Diagrams

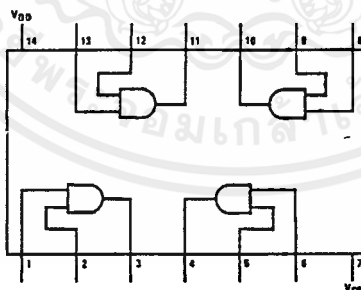
CD4071B Dual-In-Line Package



Top View

TL/F/5977-3

CD4081B Dual-In-Line Package



Top View

TL/F/5977-6

Order Number CD4071B or CD4081B

CD4024BM/CD4024BC 7-Stage Ripple Carry Binary Counter

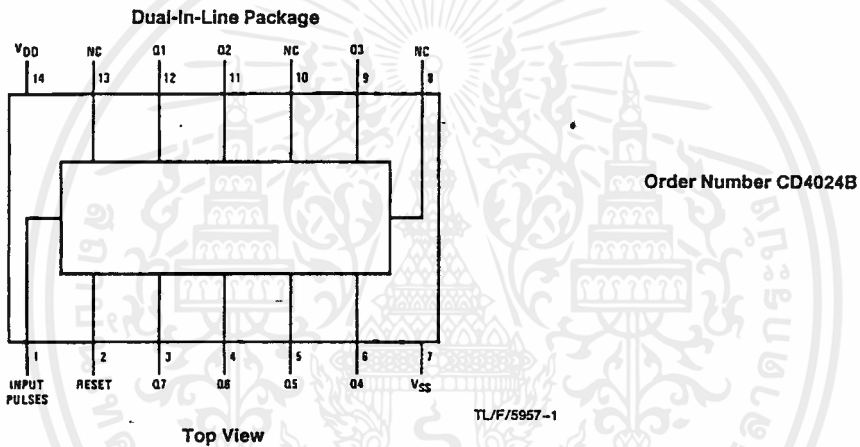
General Description

The CD4024BM/CD4024BC is a 7-stage ripple-carry binary counter. Buffered outputs are externally available from stages 1 through 7. The counter is reset to its logical "0" stage by a logical "1" on the reset input. The counter is advanced one count on the negative transition of each clock pulse.

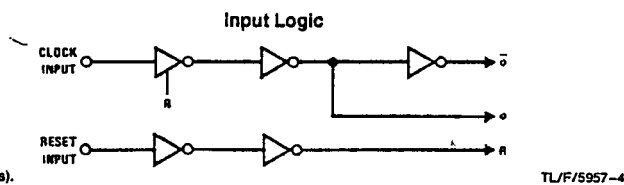
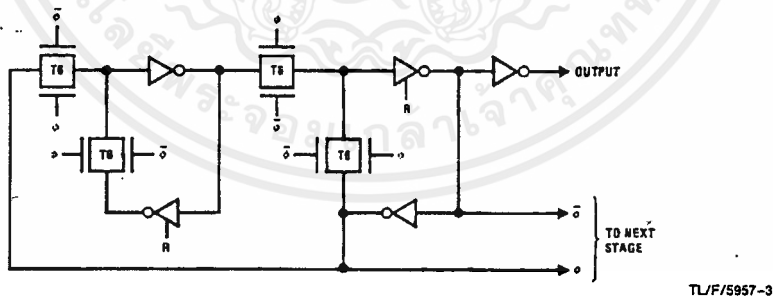
Features

- Wide supply voltage range 3.0V to 15V
- High noise immunity 0.45 V_{DD} (typ.)
- Low power TTL compatibility Fan out of 2 driving 74L or 12 driving 74LS
- High speed 12 MHz (typ.)
- Fully static operation * input pulse rate $V_{DD} - V_{SS} = 10V$

Connection Diagram



Schematic Diagrams



Flip-flop logic (1 of 7 identical stages).

CD4024BM/CD4024BC 7-Stage Ripple Carry Binary Counter

CD4051BM/CD4051BC Single 8-Channel Analog Multiplexer/Demultiplexer
CD4052BM/CD4052BC Dual 4-Channel Analog Multiplexer/Demultiplexer
CD4053BM/CD4053BC Triple 2-Channel Analog Multiplexer/Demultiplexer

General Description

These analog multiplexers/demultiplexers are digitally controlled analog switches having low "ON" impedance and very low "OFF" leakage currents. Control of analog signals up to 15V_{p-p} can be achieved by digital signal amplitudes of 3-15V. For example, if V_{DD} = 5V, V_{SS} = 0V and V_{EE} = -5V, analog signals from -5V to +5V can be controlled by digital inputs of 0-5V. The multiplexer circuits dissipate extremely low quiescent power over the full V_{DD}-V_{SS} and V_{DD}-V_{EE} supply voltage ranges, independent of the logic state of the control signals. When a logical "1" is present at the inhibit input terminal all channels are "OFF".

CD4051BM/CD4051BC is a single 8-channel multiplexer having three binary control inputs, A, B, and C, and an inhibit input. The three binary signals select 1 of 8 channels to be turned "ON" and connect the input to the output.

CD4052BM/CD4052BC is a differential 4-channel multiplexer having two binary control inputs, A and B, and an inhibit input. The two binary input signals select 1 or 4 pairs of channels to be turned on and connect the differential analog inputs to the differential outputs.

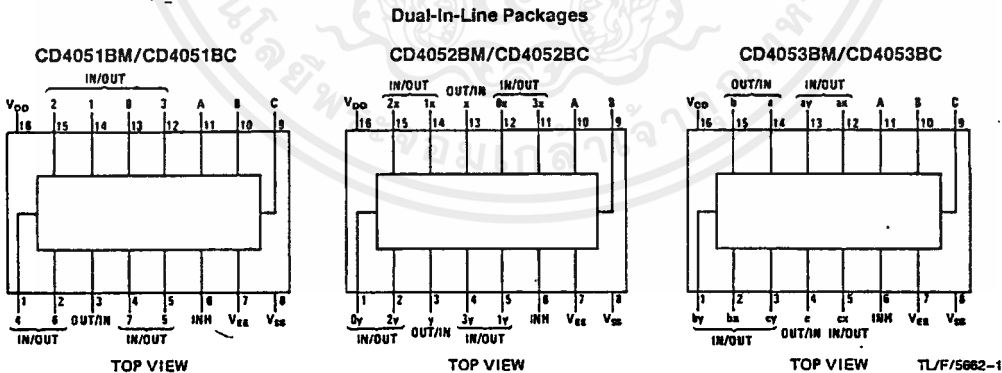
CD4053BM/CD4053BC is a triple 2-channel multiplexer having three separate digital control inputs, A, B, and C, and

an inhibit input. Each control input selects one of a pair of channels which are connected in a single-pole double-throw configuration.

Features

- Wide range of digital and analog signal levels: digital 3-15V, analog to 15V_{p-p}
- Low "ON" resistance: 80Ω (typ.) over entire 15V_{p-p} signal-input range for V_{DD}-V_{EE} = 15V
- High "OFF" resistance: channel leakage of ±10 pA (typ.) at V_{DD}-V_{EE} = 10V
- Logic level conversion for digital addressing signals of 3-15V (V_{DD}-V_{SS} = 3-15V) to switch analog signals to 15 V_{p-p} (V_{DD}-V_{EE} = 15V)
- Matched switch characteristics: ΔR_{ON} = 5Ω (typ.) for V_{DD}-V_{EE} = 15V
- Very low quiescent power dissipation under all digital-control input and supply conditions: 1 μW (typ.) at V_{DD}-V_{SS} = V_{DD}-V_{EE} = 10V
- Binary address decoding on chip

Connection Diagrams



Order Number CD4051B, CD4052B, or CD4053B

CD4017BM/CD4017BC Decade Counter/Divider with 10 Decoded Outputs

CD4022BM/CD4022BC Divide-by-8 Counter/Divider with 8 Decoded Outputs

General Description

The CD4017BM/CD4017BC is a 5-stage divide-by-10 Johnson counter with 10 decoded outputs and a carry out bit.

The CD4022BM/CD4022BC is a 4-stage divide-by-8 Johnson counter with 8 decoded outputs and a carry-out bit.

These counters are cleared to their zero count by a logical "1" on their reset line. These counters are advanced on the positive edge of the clock signal when the clock enable signal is in the logical "0" state.

The configuration of the CD4017BM/CD4017BC and CD4022BM/CD4022BC permits medium speed operation and assures a hazard free counting sequence. The 10/8 decoded outputs are normally in the logical "0" state and go to the logical "1" state only at their respective time slot. Each decoded output remains high for 1 full clock cycle. The carry-out signal completes a full cycle for every 10/8 clock input cycles and is used as a ripple carry signal to any succeeding stages.

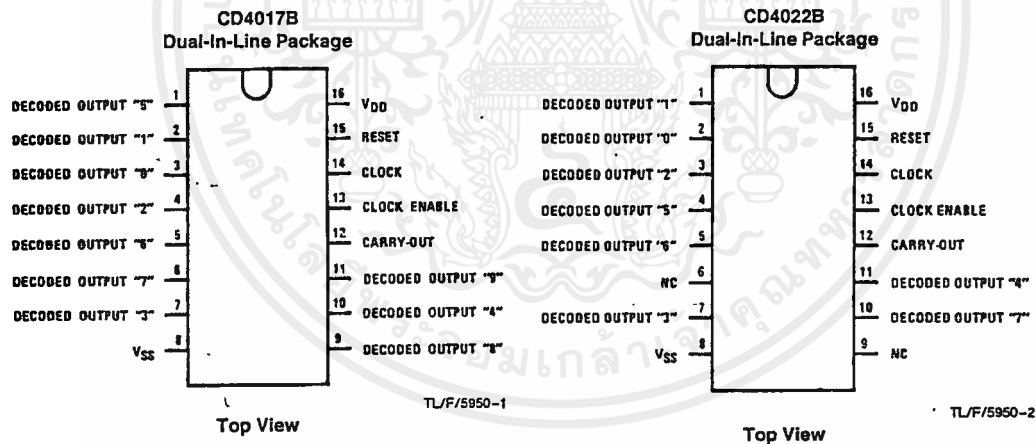
Features

- Wide supply voltage range 3.0V to 15V
- High noise immunity 0.45 V_{DD} (typ.)
- Low power Fan out of 2 driving 74L or 1 driving 74LS
- TTL compatibility 5.0 MHz (typ.) with 10V V_{DD}
- Medium speed operation 10 μW (typ.)
- Low power
- Fully static operation

Applications

- Automotive
- Instrumentation
- Medical electronics
- Alarm systems
- Industrial electronics
- Remote metering

Connection Diagrams



Order Number CD4017B or CD4022B

CD4017BM/CD4017BC Decade Counter/Divider with 10 Decoded Outputs
CD4022BM/CD4022BC Divide-by-8 Counter/Divider with 8 Decoded Outputs

CD4013BM/CD4013BC Dual D Flip-Flop

General Description

The CD4013B dual D flip-flop is a monolithic complementary MOS (CMOS) integrated circuit constructed with N- and P-channel enhancement mode transistors. Each flip-flop has independent data, set, reset, and clock inputs and "Q" and "Q̄" outputs. These devices can be used for shift register applications, and by connecting "Q̄" output to the data input, for counter and toggle applications. The logic level present at the "D" input is transferred to the Q output during the positive-going transition of the clock pulse. Setting or resetting is independent of the clock and is accomplished by a high level on the set or reset line respectively.

Features

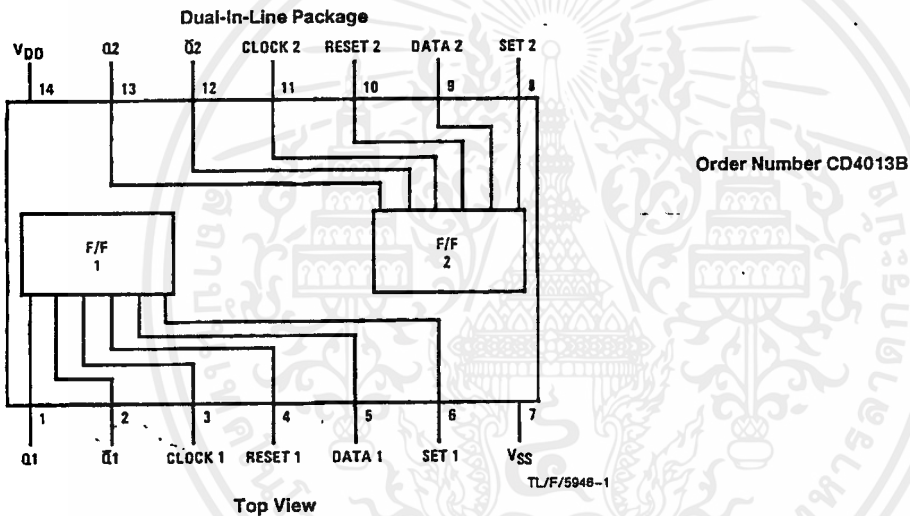
- Wide supply voltage range
- High noise immunity
- Low power TTL compatibility

3.0V to 15V
0.45 V_{DD} (typ.)
fan out of 2 driving 74L
or 1 driving 74LS

Applications

- Automotive
- Data terminals
- Instrumentation
- Medical electronics
- Alarm system
- Industrial electronics
- Remote metering
- Computers

Connection Diagram



Truth Table

CL†	D	R	S	Q	Q̄
0	0	0	0	0	1
1	1	0	0	1	0
x	x	0	0	Q	Q̄
x	x	1	0	0	1
x	x	0	1	1	0
x	x	1	1	1	1

No change
† = Level change
x = Don't care case

CD4008BM/CD4008BC 4-Bit Full Adder

General Description

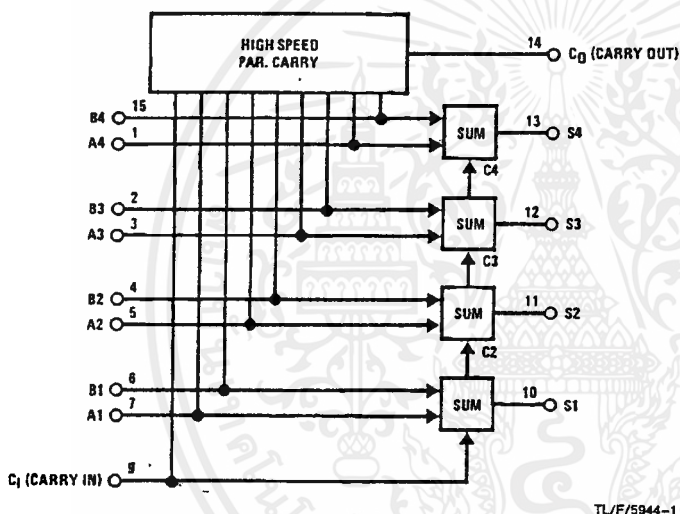
The CD4008B types consist of four full-adder stages with fast look-ahead carry provision from stage to stage. Circuitry is included to provide a fast "parallel-carry-out" bit to permit high-speed operation in arithmetic sections using several CD4008B's. CD4008B inputs include the four sets of bits to be added, A₁ to A₄ and B₁ to B₄, in addition to the "Carry in" bit from a previous section. CD4008B outputs include the four sum bits, S₁ and S₄, in addition to the high-speed "parallel-carry-out" which may be utilized at a succeeding CD4008B section.

All inputs are protected from damage due to static discharge by diode clamps to V_{DD} and GND.

Features

- Wide supply voltage range 3.0V to 15V
- High noise immunity 0.45 V_{CC} (typ.)
- Low power TTL compatibility Fan out of 2 driving 74L or 1 driving 74LS
- 4 sum outputs plus parallel look-ahead carry-output
- Quiescent current specified to 15V
- Maximum input leakage of 1 μA at 15V (full package temperature range)

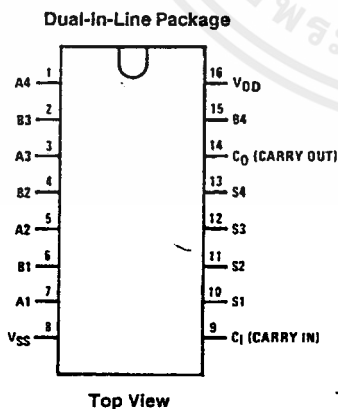
Block Diagram



Truth Table

A ₁	B ₁	C ₁	C ₀	SUM
0	0	0	0	0
1	0	0	0	1
0	1	0	0	1
1	1	0	1	0
0	0	1	0	1
1	0	1	1	0
0	1	1	1	0
1	1	1	1	1

Connection Diagram



Order Number CD4008B

CD4008BM/CD4008BC 4-Bit Full Adder

74VHC4066 Quad Analog Switch

General Description

These devices are digitally controlled analog switches utilizing advanced silicon-gate CMOS technology. These switches have low "on" resistance and low "off" leakages. They are bidirectional switches, thus any analog input may be used as an output and visa-versa. Also the '4066 switches contain linearization circuitry which lowers the "on" resistance and increases switch linearity. The '4066 devices allow control of up to 12V (peak) analog signals with digital control signals of the same range. Each switch has its own control input which disables each switch when low. All analog inputs and outputs and digital inputs are pro-

ected from electrostatic damage by diodes to V_{CC} and ground.

Features

- Typical switch enable time: 15 ns
- Wide analog input voltage range: 0–12V
- Low "on" resistance: 30 typ. ('4066)
- Low quiescent current: 80 μA maximum (74VHC)
- Matched switch characteristics
- Individual switch controls
- Pin and function compatible with the 74HC4066

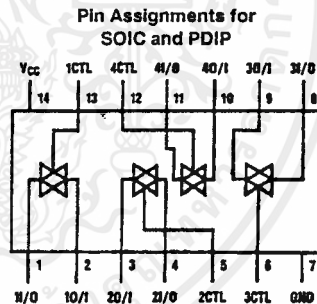
Commercial	Package Number	Package Description
74VHC4066M	M14A	14-Lead Molded JEDEC SOIC (.150" Wide)
74VHC4066WM	M14B	14-Lead Molded JEDEC SOIC (.300" Wide)
74VHC4066N	N14A	14-Lead Molded DIP

Note: Surface mount packages are also available on Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Truth Table

Input	Switch
CTL	I/O–O/I
L	"OFF"
H	"ON"

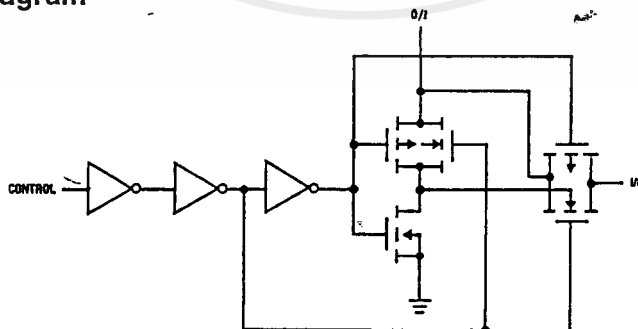
Connection Diagram



TL/F/11677-1

Top View

Schematic Diagram



TL/F/11677-2

74VHC4040 12-Stage Binary Counter

General Description

The VHC4040 is an advanced high-speed CMOS device fabricated with silicon gate CMOS technology. It achieves the high-speed operation similar to equivalent Bipolar Schottky TTL while maintaining the CMOS low power dissipation. The VHC4040 is a 12-stage counter which increments on the negative edge of the input clock and all outputs are reset to a low level by applying a logical high on the reset input. An input protection circuit insures that 0V to 7V can be applied to the inputs without regard to the supply voltage. This device can be used to interface 5V to 3V systems and two supply systems such as battery backup. This circuit prevents device destruction due to mismatched supply and input voltages.

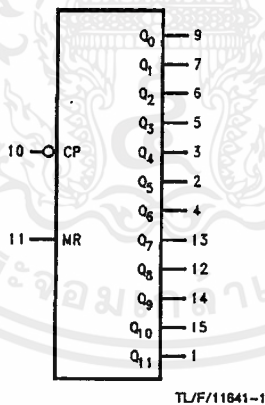
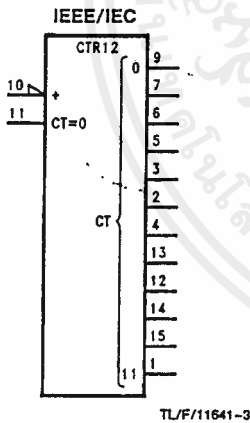
Features

- High speed
- Low power dissipation: $I_{CC} = 4 \mu A$ (max) at $T_A = 25^\circ C$
- High noise immunity: $V_{NIH} = V_{NIL} = 28\% V_{CC}$ (min)
- All inputs are equipped with a power down protection function
- Balanced propagation delays: $t_{PLH} \approx t_{PHL}$
- Wide operating voltage range: V_{CC} (opr) $\approx 2V \sim 5.5V$
- Low noise: $V_{OLP} = 0.8V$ (max)
- Pin and function compatible with 74HC4040

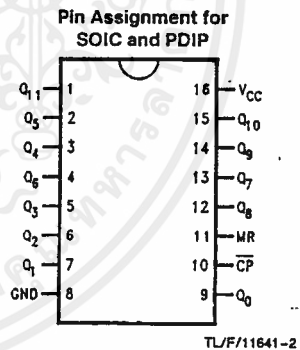
Commercial	Package Number	Package Description
74VHC4040M	M16A	16-Lead Molded JEDEC SOIC
74VHC4040N	N16E	16-Lead Molded DIP

Note: Surface mount packages are also available on Tape and Reel. Specify by appending the suffix letter 'X' to the ordering code.

Logic Symbols



Connection Diagram

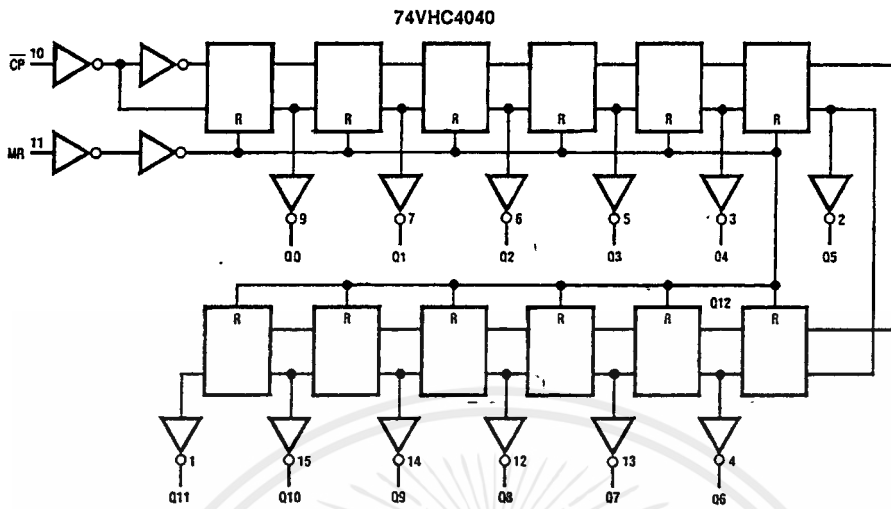


Pin Names	Description
$Q_0 - Q_{11}$	Flip-Flop Outputs
\overline{CP}	Negative Edged Triggered Clock
MR	Master Reset

TRI-STATE® is a registered trademark of National Semiconductor Corporation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

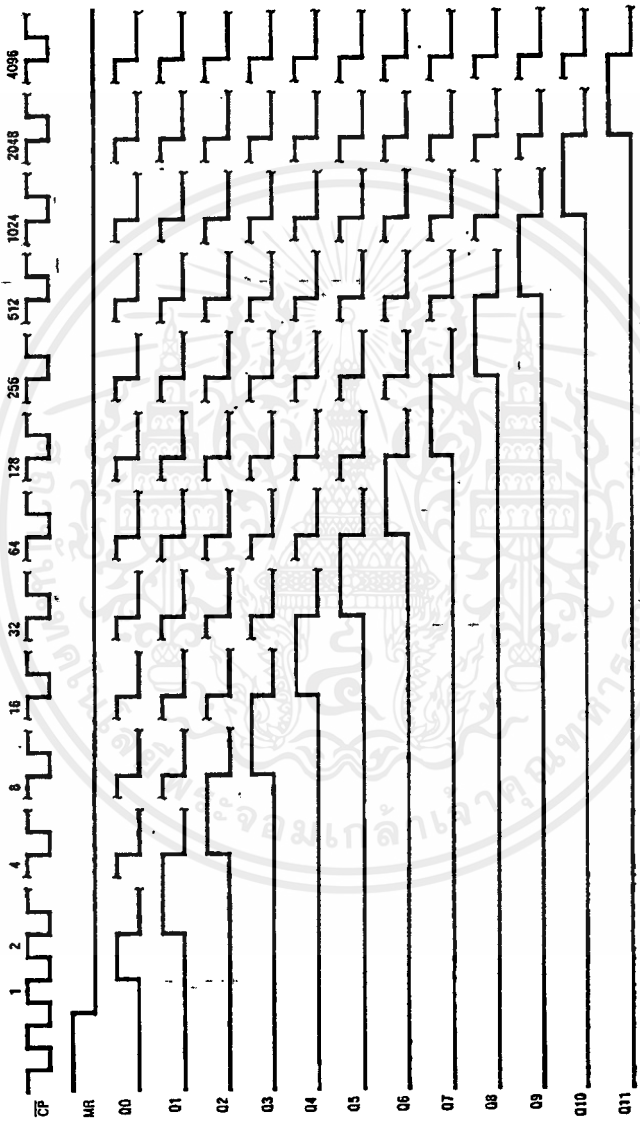
Logic Diagram



TL/F/11641-4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Diagram



TL/F/11641-5

74VHC4046 CMOS Phase Lock Loop

General Description

The 74VHC4046 is a low power phase lock loop utilizing advanced silicon-gate CMOS technology to obtain high frequency operation both in the phase comparator and VCO sections. This device contains a low power linear voltage controlled oscillator (VCO), a source follower, and three phase comparators. The three phase comparators have a common signal input and a common comparator input. The signal input has a self biasing amplifier allowing signals to be either capacitively coupled to the phase comparators with a small signal or directly coupled with standard input logic levels. This device is similar to the CD4046 except that the Zener diode of the metal gate CMOS device has been replaced with a third phase comparator.

Phase Comparator I is an exclusive OR (XOR) gate. It provides a digital error signal that maintains a 90 phase shift between the VCO's center frequency and the input signal (50% duty cycle input waveforms). This phase detector is more susceptible to locking onto harmonics of the input frequency than phase comparator I, but provides better noise rejection.

Phase comparator III is an SR flip-flop gate. It can be used to provide the phase comparator functions and is similar to the first comparator in performance.

Phase comparator II is an edge sensitive digital sequential network. Two signal outputs are provided, a comparator output and a phase pulse output. The comparator output is a TRI-STATE® output that provides a signal that locks the VCO output signal to the input signal with 0 phase shift between them. This comparator is more susceptible to noise throwing the loop out of lock, but is less likely to lock onto harmonics than the other two comparators.

In a typical application any one of the three comparators feed an external filter network which in turn feeds the VCO input. This input is a very high impedance CMOS input which also drives the source follower. The VCO's operating frequency is set by three external components connected to the C1A, C1B, R1 and R2 pins. An inhibit pin is provided to disable the VCO and the source follower, providing a method of putting the IC in a low power state.

The source follower is a MOS transistor whose gate is connected to the VCO input and whose drain connects the Demodulator output. This output normally is used by tying a resistor from pin 10 to ground, and provides a means of looking at the VCO input without loading down modifying the characteristics of the PLL filter.

Features

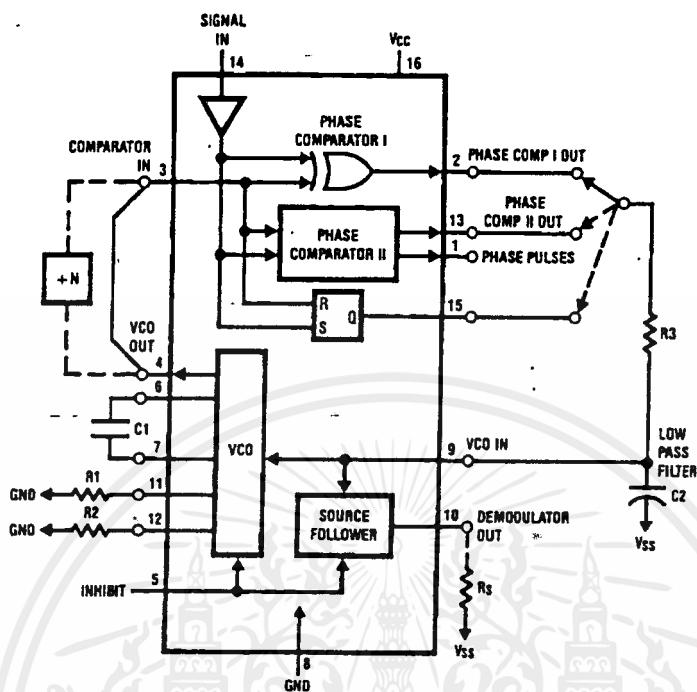
- Low dynamic power consumption (V_{CC} = 4.5V)
- Maximum VCO operating frequency: 12 MHz
(V_{CC} = 4.5V)
- Fast comparator response time (V_{CC} = 4.5V)
 - Comparator I: 25 ns
 - Comparator II: 30 ns
 - Comparator III: 25 ns
- VCO has high linearity and high temperature stability
- Pin and function compatible with the 74HC4046

Commercial	Package Number	Package Description
74VHC4046M	M16A	16-Lead Molded JEDEC SOIC
74VHC4046N	N16E	16-Lead Molded DIP

Note: Surface mount packages are also available on Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

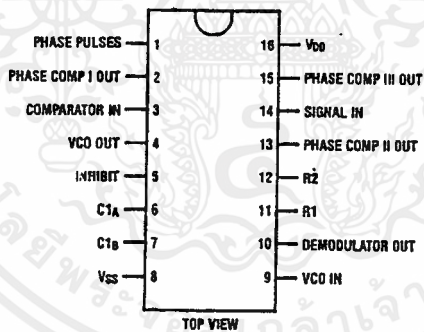
TRI-STATE® is a registered trademark of National Semiconductor Corporation.

Block and Connection Diagrams



TL/F/11675-1

Pin Assignment for SOIC and PDIP



TL/F/11675-2

COMPANDOR

NE570/571/SA571

DESCRIPTION

The NE570/571 is a versatile low cost dual gain control circuit in which either channel may be used as a dynamic range compressor or expander. Each channel has a full wave rectifier to detect the average value of the signal; a linearized, temperature compensated variable gain cell; and an operational amplifier.

The NE570/571 is well suited for use in cellular radio and radio communications systems, modems, telephone, and satellite broadcast/receive audio systems.

FEATURES

- Complete compressor and expander in 1 IC
- Temperature compensated
- Greater than 110dB dynamic range
- Operates down to 6Vdc
- System levels adjustable with external components
- Distortion may be trimmed out

CIRCUIT DESCRIPTION

The NE570/571 compandor building blocks, as shown in the block diagram, are a full wave rectifier, a variable gain cell, an operational amplifier and a bias system. The arrangement of these blocks in the IC result in a circuit which can perform well with few external components, yet can be adapted to many diverse applications.

The full wave rectifier rectifies the input current which flows from the rectifier input, to an internal summing node which is biased at V_{REF} . The rectified current is averaged on an external filter capacitor tied to the C_{RECT} terminal, and the average value of the input current controls the gain of the variable gain cell. The gain will thus be proportional to the average value of the input signal for capacitively coupled voltage inputs as shown in the following equation. Note that for capacitively coupled inputs there is no offset voltage capable of producing a gain error. The only error will come from the bias current of the rectifier (supplied internally) which is less than $.1\mu A$.

$$G \propto \frac{|V_{IN} - V_{REF}|_{avg.}}{R_1}$$

or

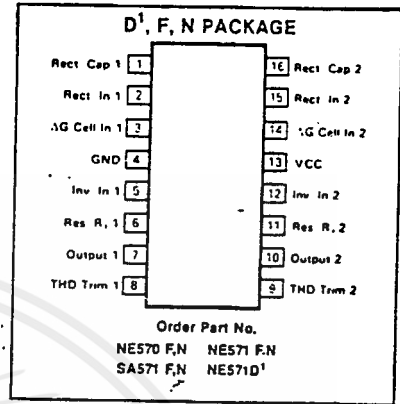
$$G \propto \frac{|V_{IN}|_{avg.}}{R_1}$$

The speed with which gain changes to follow changes in input signal levels is determined by the rectifier filter capacitor. A small capacitor will yield rapid response but will not fully filter low frequency signals. Any ripple on the gain control signal will modulate the signal passing through the variable gain cell. In an expander or com-

APPLICATIONS

- Cellular radio
- Telephone trunk compandor—570
- Telephone subscriber compandor—571
- High level limiter
- Low level expander—noise gate
- Dynamic noise reduction systems
- Voltage controlled amplifier
- Dynamic filters

PIN CONFIGURATION

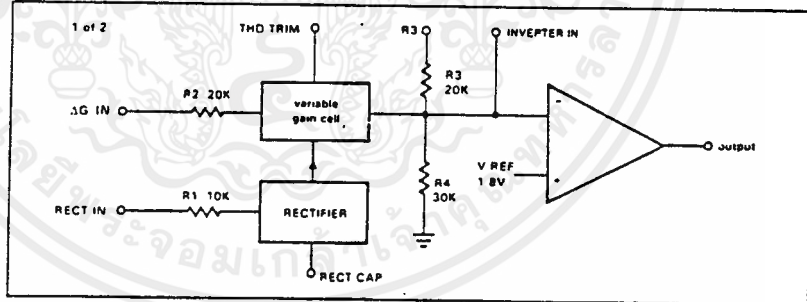


- NOTES:
1. SOL - Released in Large SO package only
 2. SOL and non-standard pinout.
 3. SO and non-standard pinouts.

ABSOLUTE MAXIMUM RATINGS

PARAMETER	RATING	UNIT
Positive supply	24	Vdc
570	18	
571		
T_A Operating temperature range	0 to 70	$^{\circ}C$
NE	-40 to +85	$^{\circ}C$
SA	400	mW
P_D Power dissipation		

BLOCK DIAGRAM



pressor application, this would lead to third harmonic distortion, so there is a tradeoff to be made between fast attack and decay times, and distortion. For step changes in amplitude, the change in gain with time is shown by this equation.

$$G(t) = (G_{initial} - G_{final}) e^{-t/\tau} + G_{final}$$

$\tau = 10K \times C_{RECT}$

The variable gain cell is a current in, current out device with the ratio I_{OUT}/I_{IN} controlled by the rectifier. I_{IN} is the current which flows from the ΔG input to an internal summing node biased at V_{REF} . The following equation applies for capacitively coupled inputs. The output current, I_{OUT} , is fed to the summing node of the op amp.

$$I_{IN} \cdot \frac{V_{IN} - V_{REF}}{R_2} = \frac{V_{IN}}{R_1}$$

A compensation scheme built into the ΔG cell compensates for temperature, and cancels out odd harmonic distortion. The only distortion which remains is even harmonics, and they exist only because of internal offset voltages. The THD trim terminal provides a means for nulling the internal offsets for low distortion operation.

The operational amplifier (which is internally compensated) has the non-inverting input tied to V_{REF} , and the inverting input connected to the ΔG cell output as well as brought out externally. A resistor, R_3 , is brought out from the summing node and allows compressor or expander gain to be determined only by internal components.

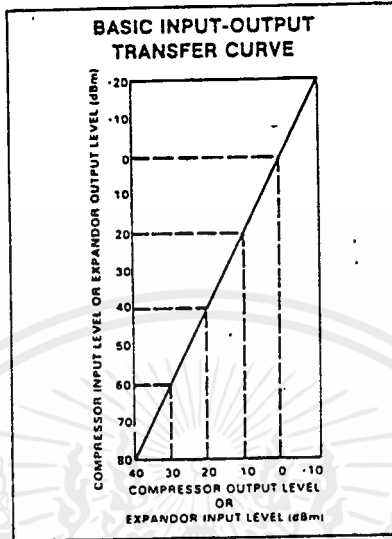
COMPANDOR

The output stage is capable of $\pm 20\text{mA}$ output current. This allows a $+13\text{dBm}$ (3.5V rms) output into a 300Ω load which, with a series resistor and proper transformer, can result in -13dBm with a 600Ω output impedance.

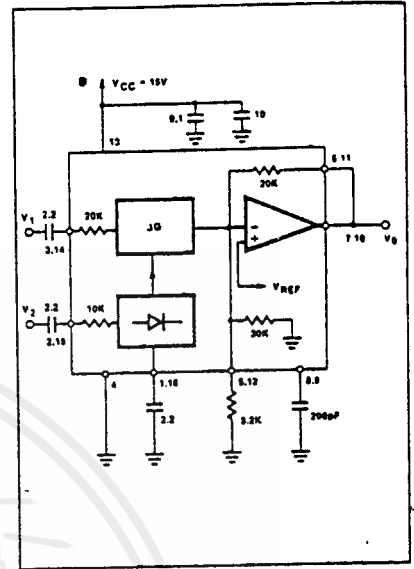
A band gap reference provides the reference voltage for all summing nodes, a regulated supply voltage for the rectifier and ΔG cell, and a bias current for the ΔG cell. The low tempco of this type of reference provides very stable biasing over a wide temperature range.

The typical performance characteristics illustration shows the basic input-output transfer curve for basic compressor or expander circuits.

TYPICAL PERFORMANCE CHARACTERISTICS



TYPICAL TEST CIRCUIT



DC ELECTRICAL CHARACTERISTICS $T_A = 25^\circ\text{C}$, $V_{CC} = 15$ Except where indicated, the 571 specifications are identical to 570

PARAMETER	TEST CONDITIONS	NE570			NE/SA571 ⁵			UNIT
		Min	Typ	Max	Min	Typ	Max	
V_{CC} Supply voltage	No signal	6		24	6		18	V
I_{CC} Supply current			3.2	4.8		3.2	4.8	mA
Output current capability		± 20				± 20		mA
Output slew rate				± 5		± 5		V/us
Gain cell distortion ²	Untrimmed		.3	1.0		.5	2.0	%
	Trimmed		.05			.1		
Resistor tolerance			± 5	± 15		± 5	± 15	%
Internal reference voltage		1.7	1.8	1.9	1.65	1.8	1.95	V
Output GC shift ³	Untrimmed		± 20	± 50		± 30	± 100	mV
Expander output noise	No signal, 15Hz-20kHz ¹		20	45		20	60	μV
Unity gain level		-1	0	-1	-1.5	0	-1.5	dBm
Gain change ^{2,4}	$-40^\circ\text{C} < T < 70^\circ\text{C}$		± 1			± 1		dB
	$0^\circ\text{C} < T < 70^\circ\text{C}$		± 1	± 2		± 1	± 4	
Reference drift ⁴	$-40^\circ\text{C} < T < 70^\circ\text{C}$		-2, -25	10, -4C		-2, -25	+20, -50	mV
	$0^\circ\text{C} < T < 70^\circ\text{C}$		± 5	± 10		± 5	± 20	
Resistor drift ⁴	$-40^\circ\text{C} < T < 70^\circ\text{C}$		-8, -0					%
	$0^\circ\text{C} < T < 70^\circ\text{C}$		-1 -0					
Tracking error (measured relative to value at unity gain) equals $[V_O - V_O(\text{unity gain})] \text{ dB} - V_2 \text{ dBm}$	Rectifier input, $V_2 = V_2 = +6\text{dBm}$, $V_1 = 0\text{dB}$ $V_2 = -30\text{dBm}$, $V_1 = 0\text{dB}$		± 2					dB
Channel Separation		60		-2, -1		-2	-1, +1.5	dB

NOTES-

1. Input to V_1 and V_2 grounded.
2. Measured at 0dBm , 1kHz .
3. Expander ac input change from no signal to 0dBm .
4. Relative to value at $T_A = 25^\circ\text{C}$.
5. Electrical characteristics for the SA571 only are specified over -40 to $+85^\circ\text{C}$ temperature range.