สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ตู้สาขาอัตโนมัติขนาดกลางระบบดิจิตอลแบบจัดลำดับขั้น

HIERACHICAL MEDIUM DIGITAL PABX

โดย

นาย เขมธัช สุวรรณภักดี	รหัส 36014051
นาย นพพร คงทรัตน์	รหัส 36014204
นางสาว ประภาพรรณ อังสุภานิช	รหัส 36014248
นาย วชิระ ปาระธรรม	รหัส 36014366
นาย วิชิต บุญฤทธิ์ลักขณา	รหัส 36014403
นาย เอกพล ใจรักธรรม	รหัส 36014583

อาจารย์ที่ปรึกษา

ผศ.ดร.ปราโมทย์ วาดเขียน

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2539

เลข... เลขหมู่.....
เลขท... ชน..... เลขทะเบียน 27902
วัน, เดือน, ปี..... วัน, เดือน, ปี 26 มิ.ย. 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2539

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ตู้สาขาอัตโนมัติขนาดกลางระบบดิจิตอลแบบจัดลำดับขั้น

HIERACHICAL MEDIUM DIGITAL PABX

ผู้จัดทำ

1. นาย เขมธัช สุวรรณภักดี	36014051
2. นาย นพพร คงทรัตน์	36014204
3. นางสาว ประภาพรรณ อังสุภานิช	36014248
4. นาย วชิระ ปาระธรรม	36014366
5. นาย วิชิต บุญฤทธิ์ลักขณา	36014403
6. นาย เอกพล ใจรักธรรม	36014583

ปราโมทย์ วาดเขียน อาจารย์ที่ปรึกษา

(ผศ.ดร.ปราโมทย์ วาดเขียน)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตู้สาขาอัตโนมัติขนาดกลางระบบดิจิตอลแบบจัดลำดับขั้น

HIERACHICAL MEDIUM DIGITAL PABX

โดย	นาย เขมธัช สุวรรณภักดี	36014051
	นาย นพพร คงทรัตน์	36014204
	นางสาว ประภาพรรณ อังสุภานิช	36014248
	นาย วชิระ ปาระธรรม	36014366
	นาย วิชิต บุญฤทธิ์ลักขณา	36014403
	นาย เอกพล ใจรักธรรม	36014583

อาจารย์ที่ปรึกษา ผศ.ดร.ปราโมทย์ วาดเขียน

บทคัดย่อ

ปริญญานิพนธ์นี้เป็นการสร้างชุมสายขนาดกลาง โดยอาศัยหลักการควบคุมแบบจัดลำดับขั้น ซึ่งเป็นการรวมเอาชุมสายขนาดเล็กหลายๆชุมสายเข้าด้วย ซึ่งแต่ละชุมสายจะถูก ควบคุมโดยไมโครคอนโทรลเลอร์ ชุมสายขนาดกลางนี้จะใช้ไมโครคอมพิวเตอร์ เพื่อทำการประมวลผลในขั้นตอนสุดท้าย ซึ่งในการรับส่งจะเป็นแบบดิจิตอล

ABSTRACT

This project present a design and construction of a medium PABX by using the principle of controlling the combination of small PABX together. Each exchange is controlled by microcontroller. The central PABX uses microcomputer to be a final processing unit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	
2.1 ระบบสัญญาณโทรศัพท์	2
2.2 ประเภทของชุมสายโทรศัพท์	2
2.3 ตู้สาขาอัตโนมัติ	3
2.4 คุณลักษณะในการติดต่อของคู่สายภายในและคู่สายภายนอก	4
2.5 การเชื่อมต่อโดยใช้ RS232-C	5
2.6 การเชื่อมต่อแบบหลายจุด	8
2.7 หลักการทำงานของตู้สาขาอัตโนมัติขนาดกลางระบบดิจิตอลแบบจัดลำดับขั้น	10
บทที่ 3 การคำนวณและการสร้าง	
3.1 ภาค MPU	14
3.2 อุปกรณ์ดิจิตอลสวิทชิ่ง	19
3.3 โคเดค	24
3.4 ส่วนสร้างสัญญาณนาฬิกาและสร้างไทม์สล็อต	26
3.5 ส่วนสร้างสัญญาณเสียง	28
3.6 ส่วนเชื่อมต่อของคู่สายโทรศัพท์ภายใน	31
3.7 วงจรขับกระแส	32
3.8 ส่วนติดต่อกับสายภายนอก	33
3.9 ส่วนของการถอดรหัสสัญญาณคู่ความถี่	35
3.10 ส่วนวงจรรับเลขหมาย	36
บทที่ 4 การทดลองและผลการทดลอง	
4.1 ส่วนดิจิตอลสวิทชิ่งและโคเดค	38
4.2 ส่วนสร้างสัญญาณนาฬิกาและสร้างไทม์สล็อต	44
4.3 ส่วนสร้างสัญญาณเสียง	46
4.4 ส่วนรับเลขหมาย	49
4.5 ลำดับขั้นตอนในการทดลองใช้งานตู้สาขาอัตโนมัติขนาดกลางระบบดิจิตอลแบบลำดับขั้น	50
บทที่ 5 สรุปผลการทดลอง	70

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

กิตติกรรมประกาศ

หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูปที่ 2.1 แสดงโครงสร้างของระบบตู้สาขาอัตโนมัติ 4

รูปที่ 2.2 แสดงการเชื่อมต่อกับตัวกลางการส่งผ่าน 6

รูปที่ 2.3 แสดงคุณสมบัติทางกลไกของ RS-232-C 7

รูปที่ 2.4 แสดงการเชื่อมต่อหลายจุด 9

รูปที่ 2.5 แสดงการลำดับการทำงานของโพลโดย

(ก) ไม่มีการส่งข้อมูลจากสถานีทุติยภูมิ

(ข) มีการส่งข้อมูลจากสถานีทุติยภูมิ 9

รูปที่ 2.6 แสดงลำดับการทำงานของซีเลคโดย

(ก) เป็นการส่งข้อมูลแบบธรรมดา

(ข) เป็นการส่งข้อมูลแบบฟาสซีเลค 10

รูปที่ 2.7 แสดงบล็อคไดอะแกรมของตู้สาขาอัตโนมัติขนาดกลางระบบ

ดิจิตอล โดยใช้การจัดลำดับขั้น 11

รูปที่ 2.8 แสดงโครงสร้างของ PABX ระบบดิจิตอล 12

รูปที่ 2.9 แสดงโครงสร้างของส่วนควบคุมกลาง 13

รูปที่ 3.1 แสดงบล็อคไดอะแกรมของส่วนควบคุม 14

รูปที่ 3.2 แสดงวงจรส่วนควบคุม 15

รูปที่ 3.3 แสดงแผนผังหน่วยความจำ 16

รูปที่ 3.4 แสดงโครงสร้างหน่วยความจำ 18

รูปที่ 3.5 แสดงโครงสร้างภายนอกของ 8031 18

รูปที่ 3.6 แสดงโครงสร้างทางฮาร์ดแวร์ของ MT8980 20

รูปที่ 3.7 แสดงตำแหน่งขาไอซี MT8980 20

รูปที่ 3.8 แสดงบล็อคไดอะแกรมส่วนประกอบของวงจรโคเดค 24

รูปที่ 3.9 แสดงตำแหน่งขาของไอซี CD22357A 24

รูปที่ 3.10 แสดงวงจรสร้างสัญญาณนาฬิกาและสัญญาณซิงโครนัส 27

รูปที่ 3.11 แสดงวงจรสร้างสัญญาณไทม์สล็อต 28

รูปที่ 3.12 แสดงวงจรสร้างสัญญาณไดอัล 29

รูปที่ 3.13 แสดงวงจรสร้างสัญญาณเรียกกลับและสัญญาณไม่ว่าง 30

รูปที่ 3.14 บล็อคไดอะแกรมแสดงส่วนประกอบของส่วนเชื่อมต่อของ

คู่สายโทรศัพท์ภายใน 31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.15 การประยุกต์การใช้งานของส่วนเชื่อมต่อของคู่สายโทรศัพท์ภายใน 32
รูปที่ 3.16 แสดงวงจรขับกระแส 32
รูปที่ 3.17 บล็อคไดอะแกรมแสดงส่วนประกอบของโคทรั้งค์ 34
รูปที่ 3.18 วงจรโคทรั้งค์ 34
รูปที่ 3.19 แสดงโครงสร้างของไอซีเบอร์ MT8870 35
รูปที่ 3.20 วงจรใช้งานของส่วนวิเคราะห์ความถี่โทรศัพท์ 36
รูปที่ 3.21 แสดงวงจรส่วนรับเลขหมาย 37
รูปที่ 4.1 แสดงวงจรขยายพอร์ทเพื่อติดต่อกับ MT8980 39
รูปที่ 4.2 แสดงวงจรในการทดสอบการทำงานของ MT8980 และโคเดค 40
รูปที่ 4.3 แสดงสัญญาณอนาล็อกอินพุทกับสัญญาณอนาล็อกเอาท์พุท 42
รูปที่ 4.4 แสดงสัญญาณดิจิตอลอินพุทกับสัญญาณซาแนลซิงค์ที่ 0 43
รูปที่ 4.5 แสดงสัญญาณดิจิตอลเอาท์พุทกับสัญญาณซาแนลซิงค์ที่ 10 43
รูปที่ 4.6 แสดงสัญญาณนาฬิกา 2.048 เมกกะเฮิร์ตกับสัญญาณเฟรมซิงค์ 44
รูปที่ 4.7 แสดงสัญญาณนาฬิกา 4.096 เมกกะเฮิร์ตกับสัญญาณเฟรมซิงค์ 45
รูปที่ 4.8 แสดงสัญญาณเฟรมซิงค์กับสัญญาณไทม์สล็อตที่ 0 45
รูปที่ 4.9 แสดงสัญญาณเฟรมซิงค์กับสัญญาณไทม์สล็อตที่ 31 46
รูปที่ 4.10 แสดงรูปสัญญาณไดอัล 47
รูปที่ 4.11 แสดงสัญญาณเอาท์พุทที่วัดได้ที่ขา 7 ของไอซีเบอร์ NE4558 47
รูปที่ 4.12 แสดงสัญญาณไม่ว่าง 48
รูปที่ 4.13 แสดงสัญญาณเรียกกลับ 48
รูปที่ 4.14 แสดงไทม์มิงไดอะแกรมของส่วนรับเลขหมาย 50
รูปที่ 4.15 แสดงเส้นทางการเชื่อมต่อระหว่างผู้เรียกกับผู้ถูกเรียกในระดับต่างๆ 52

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 3.1 ตำแหน่งของแอดเดรส 22

ตารางที่ 3.2 คอนโทรลรีจิสเตอร์บิท 23

ตารางที่ 3.3 ความหมายของแต่ละบิทของคอนเนคชั่นเมมโมรี่โล 23

ตารางที่ 3.4 ความหมายของแต่ละบิทของคอนเนคชั่นเมมโมรี่ไฮ 23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่1
บทนำ

ปัจจุบันความเจริญก้าวหน้าทางเทคโนโลยีได้เจริญรุดหน้าไปอย่างไม่หยุดยั้งมีสิ่งที่อำนวยความสะดวกเกิดขึ้นมากมาย มีการติดต่อสื่อสารกันเพิ่มมากขึ้นทั้งภายในประเทศและระหว่างประเทศ การค้นคว้าและพัฒนาทางด้านเทคโนโลยีการสื่อสาร ช่วยให้มนุษย์ไม่ห่างไกลกันและยังทำให้โลกแคบลงอีกด้วย ผลพวงจากการพัฒนาเทคโนโลยีทางด้านการสื่อสาร ซึ่งรวมถึงระบบที่ติดต่อสื่อสารกันทางโทรศัพท์ ได้ถูกพัฒนาอย่างรวดเร็ว และได้กลายเป็นประโยชน์ต่อผู้ใช้บริการอย่างยิ่งเนื่องด้วยมีความสะดวก รวดเร็ว และง่ายต่อการใช้งาน

ในการพัฒนาระบบชุมสายโทรศัพท์ เพื่อตอบสนองการใช้งานทางโทรศัพท์ให้มีประสิทธิภาพสูงสุดได้เกิดขึ้นอย่างต่อเนื่อง ซึ่งจะเห็นได้จากระบบชุมสายโทรศัพท์ที่มีการพัฒนาจากยุคของครอสบาร์ (Crossbar) มาเป็นระบบ ไอเอสดีเอ็น (ISDN) ที่สามารถรับส่งได้ทั้งสัญญาณและเสียง และในปัจจุบันยังได้นำเอาเทคโนโลยีทางด้านคอมพิวเตอร์เข้ามามีบทบาทในการพัฒนาระบบชุมสายโทรศัพท์ ให้มีความสามารถในการทำงานสูงมากขึ้นอีกทั้งยังมีบริการหลากหลาย เพื่อให้ผู้ใช้บริการมีความสะดวกสบายในการใช้โทรศัพท์

ระบบชุมสายโทรศัพท์มีจุดประสงค์หลักก็คือ ทำการติดต่อโทรศัพท์จากเครื่องของ "ผู้เรียก" (Calling Subscriber) ไปยังโทรศัพท์อีกเครื่องหนึ่งคือ "ผู้ถูกเรียก" (Called Subscriber) โดยจะทำการต่อวงจรผ่านชุมสายโทรศัพท์ให้ทั้ง 2 ฝ่ายสามารถสนทนากันได้ (Through Connection) ซึ่งชุมสายโทรศัพท์จะมีขนาดเล็กจนถึงขนาดใหญ่มากๆ (ขององค์การโทรศัพท์) และในปัจจุบันนี้ยังสามารถให้บริการพิเศษได้หลากหลาย เพื่อตอบสนองความต้องการ ของผู้ใช้บริการได้ดีกว่าในอดีตที่ยังต้องใช้พนักงาน (Operator) ในการให้บริการผู้ใช้อยู่ ดังนั้นการพัฒนาเครื่องชุมสายโทรศัพท์ให้มีประสิทธิภาพดีขึ้น ย่อมจะทำให้ระบบการสื่อสารทางโทรศัพท์มีประสิทธิภาพดีขึ้นด้วย

ในปริญญานิพนธ์ฉบับนี้ ได้กล่าวถึงการสร้างตู้สาขาอัตโนมัติระบบดิจิตอล (Digital Private Automatic Branch Exchange) หรือเรียกสั้นๆว่า DPABX ซึ่งมีหลักการทำงานเหมือนกับชุมสายโทรศัพท์แบบ SPC ที่ใช้กันอยู่ในปัจจุบันนั้นคืออาจกล่าวได้ว่าตู้สาขา DPABX เป็นชุมสายโทรศัพท์แบบหนึ่งที่ถูกนำมาใช้ในสถานประกอบการขนาดใหญ่ เช่น สำนักงาน โรงแรม โดยในการสร้าง DPABX นี้จะอาศัยหลักการของการจัดลำดับขั้น (Hieracy) นั่นคือ จะมีตู้สาขาหลายๆตู้ถ้ามีการเรียกภายในตู้สาขาเดียวกันจะใช้ไมโครคอนโทรเลอร์ (Microcontroller) เป็นตัวควบคุมการทำงานและเมื่อมีการเรียกระหว่างตู้สาขาจะใช้ไมโครคอมพิวเตอร์ (Microcomputer) เป็นตัวประมวลผลหลักเพื่อประหยัดเวลาในการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

2.1 ระบบสัญญาณโทรศัพท์ (Signalling system)

ในระบบของชุมสายโทรศัพท์ การจ่ายสัญญาณเพื่อให้ผู้ใช้โทรศัพท์รับทราบเพื่อการใช้งานได้อย่างถูกต้องตรงตามความต้องการ มีดังนี้

1) สัญญาณไดอัล (Dial Tone) คือ สัญญาณที่ทางชุมสายแจ้งให้ผู้ใช้ทราบว่าสามารถใช้บริการในการเรียกได้ จะเป็นสัญญาณความถี่ประมาณ 400 เฮิร์ต มีลักษณะคงที่ตลอดและจะดังอยู่ประมาณ 9-10 วินาที ถ้าผู้ใช้ไม่ทำการกดเลขหมายในการเรียก สัญญาณก็จะตัดและจะส่งสัญญาณไม่ว่างต่อไป

2) สัญญาณไม่ว่าง (Busy Tone) คือ สัญญาณที่ทางชุมสายแจ้งให้ผู้ใช้ทราบหลังจากที่ผู้ใช้ทำการกดหรือหมุนเลขหมายที่ต้องการจะติดต่อแต่ทางชุมสายไม่สามารถติดต่อได้ จะมีสัญญาณประมาณ 400 เฮิร์ต ดังและดับเป็นช่วงประมาณ 0.5 วินาทีตลอด

3) สัญญาณเรียกกลับ (Ringback Tone) คือ สัญญาณที่ทางชุมสายแจ้งให้ผู้ใช้ทราบหลังจากที่ผู้ใช้โทรศัพท์ กดหรือหมุน หมายเลขที่ต้องการเรียก และทางชุมสายสามารถติดต่อคู่สายที่ต้องการเรียกได้แล้ว จะเป็นสัญญาณความถี่ประมาณ 400 เฮิร์ต จะดังประมาณ 1 วินาทีดับประมาณ 3 วินาที สลับกันไปเรื่อยๆ และทางชุมสายก็จะทำการเฝ้าสังเกต (Supervision) อยู่ตลอดเวลา ว่าเมื่อใด ผู้ถูกเรียกจะทำการตอบรับการเรียก ภายในเวลา 72-90 วินาที ถ้าผู้ถูกเรียกไม่ตอบรับก็จะทำการยกเลิกการติดต่อกลับไป

4) สัญญาณเรียก (Ringing Tone) เป็นสัญญาณที่ทางชุมสายแจ้งให้ผู้ถูกเรียกทราบโดยจะส่งสัญญาณไปยังเครื่องโทรศัพท์ของผู้ถูกเรียกทำให้กระดิ่งดังเป็นสัญญาณ AC 50 เฮิร์ต ประมาณ 90 vrms ดังและดับเป็นช่วงพร้อมกับสัญญาณ (Ringback Tone) ทางผู้เรียก

สัญญาณที่กล่าวมาทั้งหมดนี้เป็นสัญญาณที่ทางองค์การโทรศัพท์ ใช้เป็นบรรทัดฐานในการจ่ายให้กับผู้ใช้โทรศัพท์และยังสามารถนำไปสร้างเป็นสัญญาณที่ใช้ในตู้สาขาโทรศัพท์ย่อยเพื่อให้ได้ระบบสัญญาณที่ มีลักษณะเหมือนทางองค์การโทรศัพท์ทุกประการ

2.2 ประเภทของชุมสายโทรศัพท์

ชุมสายโทรศัพท์แบ่งได้เป็น 2 ประเภทใหญ่ๆคือประเภทแรกเป็นชุมสายโทรศัพท์ที่มีเครื่องโทรศัพท์ของผู้เช่าต่อเข้าโดยตรง ได้แก่ ชุมสายโทรศัพท์ท้องถิ่น และตู้สาขาอัตโนมัติ ประเภทที่ 2 เป็นชุมสายโทรศัพท์ที่ไม่มีเครื่องโทรศัพท์ของผู้เช่าต่อเข้าโดยตรง ได้แก่ ชุมสายโทรศัพท์ต่อผ่านท้องถิ่น และ ชุมสายต่อผ่านทางไกล

1. ชุมสายโทรศัพท์ท้องถิ่น หมายถึง ชุมสายโทรศัพท์ที่มีเครื่องโทรศัพท์ของผู้เช่าต่อโดยตรง ชุมสายแบบนี้มีขนาดตั้งแต่เป็นร้อยๆ เลขหมาย จนถึง หมื่นเลขหมายหรือมากกว่านั้น

ตู้สาขาอัตโนมัติเป็นชุมสายที่มีลักษณะคล้ายกับชุมสายโทรศัพท์ท้องถิ่น แต่การใช้งานจะใช้ติดต่อกันภายในสำนักงานโดยไม่ต้องผ่านชุมสายท้องถิ่น ตู้สาขาจะเป็นชุมสายโทรศัพท์ที่ให้บริการพิเศษแก่หมาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลขภายใน ได้หลายอย่าง ซึ่งก็ขึ้นอยู่กับว่าตู้สาขานั้นๆมีขีดความสามารถเป็นอย่างไร การบริการพิเศษดังกล่าวได้แก่ การโอนสายให้กันระหว่างผู้ใช้ภายในชุมสาย การประชุมร่วม การรับสายแทนกัน เป็นต้น นอกจากนี้ในกรณีที่ตู้สาขาได้ทำการเชื่อมต่อกับชุมสายโทรศัพท์ท้องถิ่น ก็จะทำให้ผู้ใช้โทรศัพท์ภายในชุมสายสามารถต่อออกไปยังภายนอกได้ โดยผ่านชุมสายท้องถิ่น และในทำนองเดียวกัน ผู้ใช้โทรศัพท์จากภายนอกชุมสายก็สามารถจะติดต่อเข้ามายังผู้ใช้โทรศัพท์ภายในได้ โดยผ่านชุมสายโทรศัพท์ท้องถิ่นและตู้สาขา ตามลำดับ

2. ชุมสายโทรศัพท์ต่อผ่าน หมายถึง ชุมสายที่ไม่มีเลขหมายโทรศัพท์ของผู้เช่าต่อเข้าโดยตรง แต่จะให้บริการเรียกระหว่างชุมสายท้องถิ่นกับชุมสายท้องถิ่นด้วยกัน การเรียกระหว่างโทรศัพท์ 2 เลขหมาย อาจเรียกผ่านไปยังชุมสายต่อผ่านหลายๆชุมสายก็ได้ ชุมสายต่อผ่านยังแบ่งได้เป็น 2 แบบคือ ชุมสายต่อผ่านท้องถิ่น ซึ่งเป็นชุมสายที่ใช้สำหรับต่อผ่านภายในเครือข่ายท้องถิ่นหนึ่งๆเท่านั้น เช่น การเรียกภายในกรุงเทพฯ และชุมสายต่อผ่านทางไกล ซึ่งเป็นชุมสายที่ใช้สำหรับต่อผ่านไปยังเครือข่ายท้องถิ่นอื่นๆ เช่น การเรียกจากชลบุรีมายังกรุงเทพฯ

2.3 **ตู้สาขาอัตโนมัติ** (PABX)

ตู้สาขาอัตโนมัติเป็นชุมสายโทรศัพท์แบบหนึ่งที่นิยมใช้กันภายในสำนักงาน เช่น บริษัท ห้างร้าน โรงแรม หมู่บ้านจัดสรร ฯลฯ ซึ่งมีหน้าที่ให้บริการติดต่อกับโทรศัพท์ภายในที่ต่ออยู่กับระบบโดยไม่ต้องผ่านชุมสายท้องถิ่น (Local Exchange) ทำให้มีความสะดวก รวดเร็ว และประหยัด นอกจากนี้ยังสามารถให้การบริการต่อผ่านไปยังชุมสายภายนอกขององค์การฯได้อีกด้วย ในที่นี้จะกล่าวถึงตู้สาขาอัตโนมัติระบบดิจิตอล ซึ่งจะมีลักษณะโครงสร้างระบบแบ่งออกเป็นองค์ประกอบหลักๆคือ

2.3.1 หน่วยเชื่อมโยงอุปกรณ์สื่อสาร (Communication Interface Device) อุปกรณ์หน่วยนี้จะทำหน้าที่ เชื่อมโยงอุปกรณ์สื่อสาร ที่มาต่อพ่วงกับ ตู้สาขาอัตโนมัติอัตโนมัตินี้แบ่งออกเป็น 2 ชนิดคือ อุปกรณ์สื่อสารที่อยู่ภายในตู้สาขาอัตโนมัติ และ อุปกรณ์สื่อสารที่อยู่นอกตู้สาขาอัตโนมัติ

2.3.1.1 อุปกรณ์สื่อสารที่อยู่ ภายในตู้สาขาอัตโนมัติ ได้แก่ อุปกรณ์กำเนิดเสียง (Tone Generator) ซึ่งทำหน้าที่ กำเนิดเสียงต่างๆที่จำเป็น เช่น สัญญาณไดอัล เป็นต้น , อุปกรณ์กำเนิดสัญญาณเสียง DTMF (DTMF Transmitter) ซึ่งจะส่งสัญญาณ DTMF ออกไป ระหว่างขั้นตอนของการติดต่อ, อุปกรณ์ส่วนที่สาม ได้แก่ อุปกรณ์ถอดรหัสสัญญาณ DTMF (DTMF Decoder) ทำหน้าที่ ถอดรหัสสัญญาณ DTMF ที่ส่งมาจากโทรศัพท์ ระหว่างการติดต่อ ,อุปกรณ์สื่อสารที่อยู่ภายใน ตู้สาขาอัตโนมัติอัตโนมัติ เหล่านี้ จะถูกสร้างเป็นวงจรอยู่ภายในตู้สาขาอัตโนมัติเลย

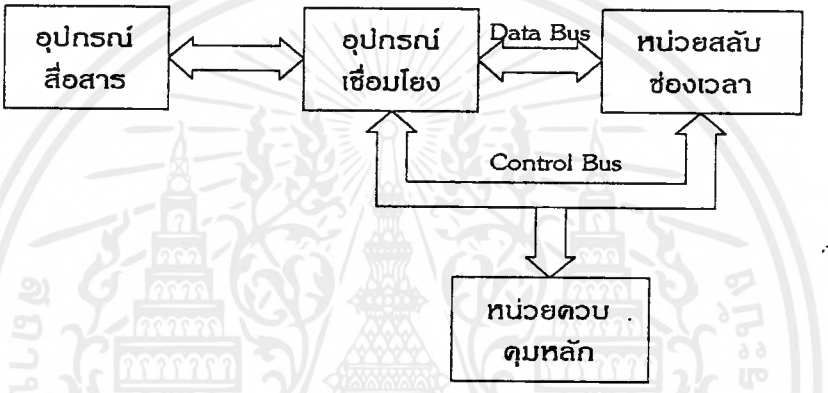
2.3.1.2 อุปกรณ์สื่อสารที่อยู่ภายนอก ตู้สาขาอัตโนมัติอัตโนมัติ ได้แก่ เครื่องโทรศัพท์สายภายใน (Standard Subscriber), สายภายนอก (Central Office Line) อุปกรณ์เหล่านี้จะต่ออยู่ภายนอกตู้สาขาอัตโนมัติ โดยจะต่อผ่านอุปกรณ์ อินเตอร์เฟสติดต่อเข้ากับตู้สาขาอัตโนมัติ

2.3.2 หน่วยแลกเปลี่ยนช่องเวลา (Time Slot Interchange) คืออุปกรณ์สวิตช์ชิ่งที่ทำหน้าที่แลกเปลี่ยนข่าวสาร ที่ส่งมาในช่องสัญญาณทางเวลา (Time Slot) ในที่นี้ ข่าวสารก็คือ ข้อมูลที่ถูกเปลี่ยนรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบมาจากสัญญาณเสียง โดย อุปกรณ์เชื่อมโยงอุปกรณ์สื่อสารข้อมูลนี้ เป็นสัญญาณร่วม PCM (Pulse Code Modulation) ที่จะมัลติเพล็กสัญญาณจาก อุปกรณ์สื่อสารต่างๆ 32 ช่องสัญญาณ และอัตราข้อมูลบนเส้นสัญญาณร่วมนี้ จะมีค่าเป็น 2.048 เมกกะบิทต่อวินาที ซึ่งจะทำให้มีช่องเวลา ที่สามารถรับข่าวสารจากอุปกรณ์สื่อสารได้ ทั้งหมด 256 อุปกรณ์ ในเวลาเดียวกัน

2.3.3 หน่วยควบคุมระบบ (System Controller) หน่วยควบคุมระบบ จะทำหน้าที่ ประมวลผลการติดต่อ ต่างๆ (Call Processing) เช่น การรับส่งข้อมูลหรือสั่งงานอุปกรณ์ต่างๆ ,จัดช่องทาง การติดต่อสื่อสาร , จัดการบริหารข้อมูลเกี่ยวกับอุปกรณ์สื่อสารต่างๆ เช่น การตรวจสถานะของอุปกรณ์สื่อสารต่างๆ เช่นสภาวะการยกหู วางหู เป็นต้น นอกจากนี้จะทำหน้าที่ควบคุมการทำงานของหน่วยเชื่อมโยงอุปกรณ์สื่อสาร , ควบคุมการทำงานหน่วยแลกเปลี่ยนช่องเวลา เพื่อให้ระบบทำงานอย่างมีประสิทธิภาพ



รูปที่ 2.1 โครงสร้างของระบบตู้สาขาอัตโนมัติ

2.4 คุณลักษณะในการติดต่อของคู่สายภายในและคู่สายภายนอก

ลักษณะการติดต่อแบ่งเป็น 3 ลักษณะ คือ

1). การเรียกออกสายนอก

เมื่อคู่สายภายในต้องการติดต่อคู่สายภายนอก คู่สายภายในก็ทำการยกหูขึ้น ส่วนควบคุมของตู้สาขาอัตโนมัติจะเป็นตัวส่งสัญญาณไดอัล (Dial Tone) ไปให้กับคู่สายภายในคู่นั้น ต่อจากนั้นส่วนควบคุมของตู้สาขาอัตโนมัติก็จะรอรับเลขหมาย แล้วทำการวิเคราะห์ว่าเป็นเลขหมายอะไร กล่าวคือเป็นเลขหมายขององค์การโทรศัพท์ หลังจากนั้นต้องตรวจสอบคู่สายขององค์การโทรศัพท์นั้นว่าว่างหรือเปล่า ถ้าว่างและมีการยกหูรับของเลขหมายปลายทาง ส่วนควบคุมของตู้สาขาอัตโนมัติจะทำการส่งเลขหมายที่ต้องการติดต่อไปให้กับองค์การแล้วทำการเชื่อมต่อให้ แต่ถ้าไม่ว่าง ส่วนควบคุมของตู้สาขาอัตโนมัติ จะทำการส่งสัญญาณไม่ว่าง (Busy Tone) กลับไปยังคู่สายภายในที่เรียก

2). การเรียกไปยังสายใน

เมื่อคู่สายภายในต้องการติดต่อภายใน (ติดต่อระหว่างคู่สายภายในด้วยกัน) คู่สายภายในที่ต้องการติดต่อก็จะทำการยกหู ส่วนควบคุมของตู้สาขาอัตโนมัติก็จะทำการส่งสัญญาณไดอัลไปให้คู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สายภายในที่ต้องการจะติดต่อ เมื่อส่วนควบคุมของตู้สาขาอัตโนมัติได้รับเลขหมายของคู่สายภายในที่ต้องการจะติดต่อด้วยครบแล้วก็จะทำการตรวจสอบคู่สายที่ต้องการจะติดต่อนั้นว่าว่างหรือเปล่า ถ้าว่างส่วนควบคุมของตู้สาขาอัตโนมัติก็จะทำการส่งสัญญาณเรียก (Ringing Tone) ไปยังคู่สายที่ถูกเรียก แต่ถ้าหากไม่ว่างก็จะส่งสัญญาณไม่ว่างให้กับคู่สายภายในที่ทำการเรียก

ในขณะที่ส่วนควบคุมของตู้สาขาอัตโนมัติตรวจสอบว่าคู่สายที่ต้องการติดต่อว่าง แล้วทำการส่งสัญญาณเรียกไปยังคู่สายที่ถูกเรียกแล้วยังทำการตรวจสอบต่อไปว่าคู่สายที่ถูกเรียกนั้นยกหูรับหรือยัง ถ้ายังส่วนควบคุมของตู้สาขาอัตโนมัติก็จะส่งสัญญาณเรียกให้กับคู่สายที่ถูกเรียกต่อไป ถ้าหากคู่สายที่ถูกเรียกทำการยกหูรับ ส่วนควบคุมของตู้สาขาอัตโนมัติก็จะเชื่อมต่อวงจรให้

3). <u>การเรียกเข้าจากสายนอก</u>

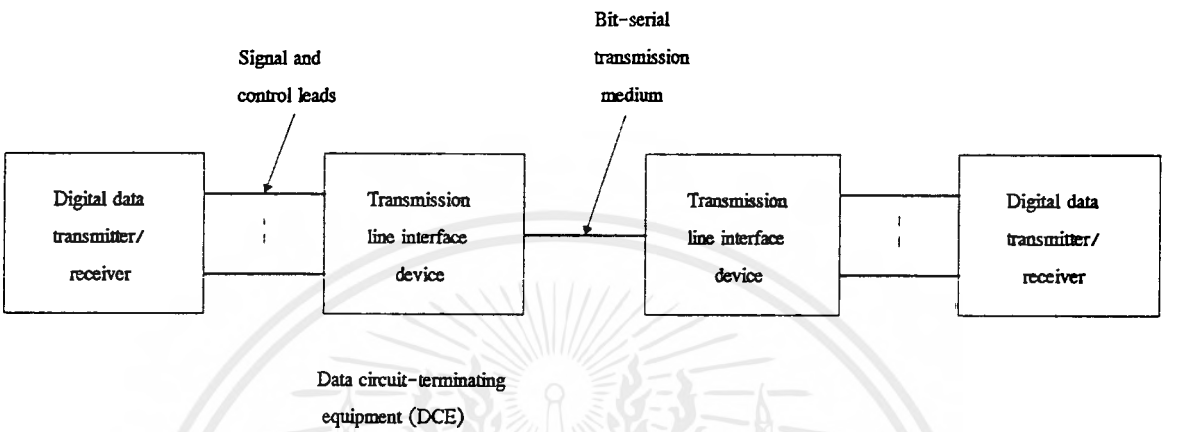
การเรียกเข้าจากสายนอก ส่วนควบคุมของตู้สาขาอัตโนมัติจะตรวจสอบสัญญาณเรียกที่มาจากองค์การโทรศัพท์ ถ้ามีสัญญาณเรียกเข้ามาก็จะทำการยกหูตอบรับ พร้อมกับรอรับเลขหมาย เมื่อรับเลขหมายครบแล้วก็จะนำไปวิเคราะห์ว่าเป็นเลขหมายของคู่สายภายในคู่ใด เมื่อทราบแล้วส่วนควบคุมของตู้สาขาอัตโนมัติก็จะตรวจสอบคู่สายที่ถูกเรียกว่าว่างหรือเปล่า ถ้าไม่ว่างจะทำการส่งสัญญาณไม่ว่างกลับไป แต่ถ้าว่างก็จะส่งสัญญาณเรียกไปให้กับคู่สายที่ถูกเรียกพร้อมกับตรวจสอบว่าคู่สายที่ถูกเรียกนั้นมีการยกหูรับหรือยัง ถ้ายังส่วนควบคุมของตู้สาขาอัตโนมัติก็จะส่งสัญญาณเรียกให้กับคู่สายที่ถูกเรียกนั้นต่อไป ถ้าหากคู่สายที่ถูกเรียกนั้นทำการยกหูรับ ส่วนควบคุมของตู้สาขาอัตโนมัติก็จะทำการเชื่อมต่อวงจรให้

2.5 การเชื่อมต่อโดยใช้ RS-232-C

อุปกรณ์ประมวลผลข้อมูลดิจิตอลจำนวนมาก จะมีความสามารถในการส่งผ่านข้อมูลที่จำกัดค่าหนึ่ง ซึ่งอุปกรณ์เหล่านี้จะให้กำเนิดเพียงสัญญาณดิจิตอลเท่านั้น และสัญญาณดิจิตอล เหล่านี้ส่วนใหญ่จะอยู่ในรูป NRZ-L ระยะในการส่งข้อมูลก็อยู่ในช่วงที่จำกัด ดังนั้นจึงเป็นเรื่องยากที่จะมีการติดต่อส่งผ่านข้อมูลไปในตัวกลางได้โดยตรง สถานภาพที่รู้จักกันโดยทั่วไป แสดงไว้ในรูปที่ 2.2 ซึ่งเป็นอุปกรณ์ที่กำลังกล่าวถึงอยู่ รวมทั้งเทอร์มินอลและคอมพิวเตอร์ นิยมเรียกกันว่า อุปกรณ์ปลายทางแบบดิจิตอล (data terminal equipment : DTE) DTE จะใช้ระบบการส่งผ่านข้อมูลโดยอาศัยอุปกรณ์วงจรปลายทางแบบดิจิตอล (data circuit terminal equipment : DCE) เป็นตัวช่วย ได้แก่ โมเดม ในด้านหนึ่ง DCE จะรับผิดชอบต่อการส่งและรับบิทข้อมูล ที่เวลาใดๆบนตัวกลางการส่งผ่าน ในอีกด้านหนึ่ง DCE จะต้องมีการติดต่อรับส่งข้อมูลกับ DTE โดยทั่วไปแล้วก็จะเป็นทั้งสัญญาณข้อมูลและสัญญาณการควบคุมที่จะมีการแลกเปลี่ยน ซึ่งการแลกเปลี่ยนจะกระทำกันโดยอาศัยกลุ่มของสายที่เรียกว่า วงจรแลกเปลี่ยน (interchange circuit) สำหรับกระบวนการทำงานนี้ต้องการการประสานงานกันอย่างดี DCE ทั้งสองตัวจะต้องเข้าใจซึ่งกันและกันเป็นอย่างดี นั่นคือ เครื่องรับของแต่ละฝ่ายจะต้องใช้รหัสชนิดเดียวกันกับเครื่องส่ง เพื่อให้การทำงานดังกล่าวสำเร็จลงได้ DTE-DCE ทุกๆคู่จะถูกออกแบบให้มีการเชื่อมประสานที่เข้ากันได้ และจะต้องสามารถติดต่อซึ่งกันและกันได้อย่างมีประสิทธิภาพ เพื่อความสะดวกจึงต้องมีการกำหนดมาตรฐานของการเชื่อมต่อขึ้นมาระหว่าง DTE กับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DCE ในปัจจุบันมาตรฐานเหล่านี้เป็นที่รู้จักกันในชื่อ โปรโตคอล ระดับกายภาพ (Physical Layer protocol) ซึ่งครอบคลุมเลเยอร์ 1 ของ OSI โมเดล ในหัวข้อนี้จะกล่าวถึงคุณสมบัติและหน้าที่ของอินเตอร์เฟส



รูปที่ 2.2 แสดงการเชื่อมต่อกับตัวกลางการส่งผ่าน

การเชื่อมต่อมีคุณสมบัติที่สำคัญอยู่ 4 ประการ คือ

1.คุณสมบัติทางกลไก จะเกี่ยวข้องกับการเชื่อมต่อทางกายภาพ อย่างแท้จริงของ DTEกับ DCE ตัวอย่างเช่น ตัวนำสัญญาณและการควบคุมจะมัดรวมกันเป็นสายเคเบิลและต่อกันด้วยตัวต่อตัวผู้หรือตัวเมีย ที่แต่ละขั้ว DTE และ DCE จะต้องมีตัวต่อที่ตรงข้ามกันที่ขั้วหนึ่งของสาย

2.คุณสมบัติทางไฟฟ้า จะต้องมีการกำหนดระดับศักย์ไฟฟ้า และเวลาของการเปลี่ยนระดับศักย์ไฟฟ้าซึ่งทั้ง DTE และ DCE จะต้องใช้รหัสเดียวกัน จะต้องใช้ระดับศักย์ไฟฟ้าที่มีความหมายเดียวกันและจะต้องใช้เวลา ระหว่างสัญญาณแต่ละตัวให้เท่ากัน ซึ่งคุณสมบัติเหล่านี้ทำให้สามารถหาค่าอัตราการส่งข้อมูลและคำนวณระยะทางในการส่งได้

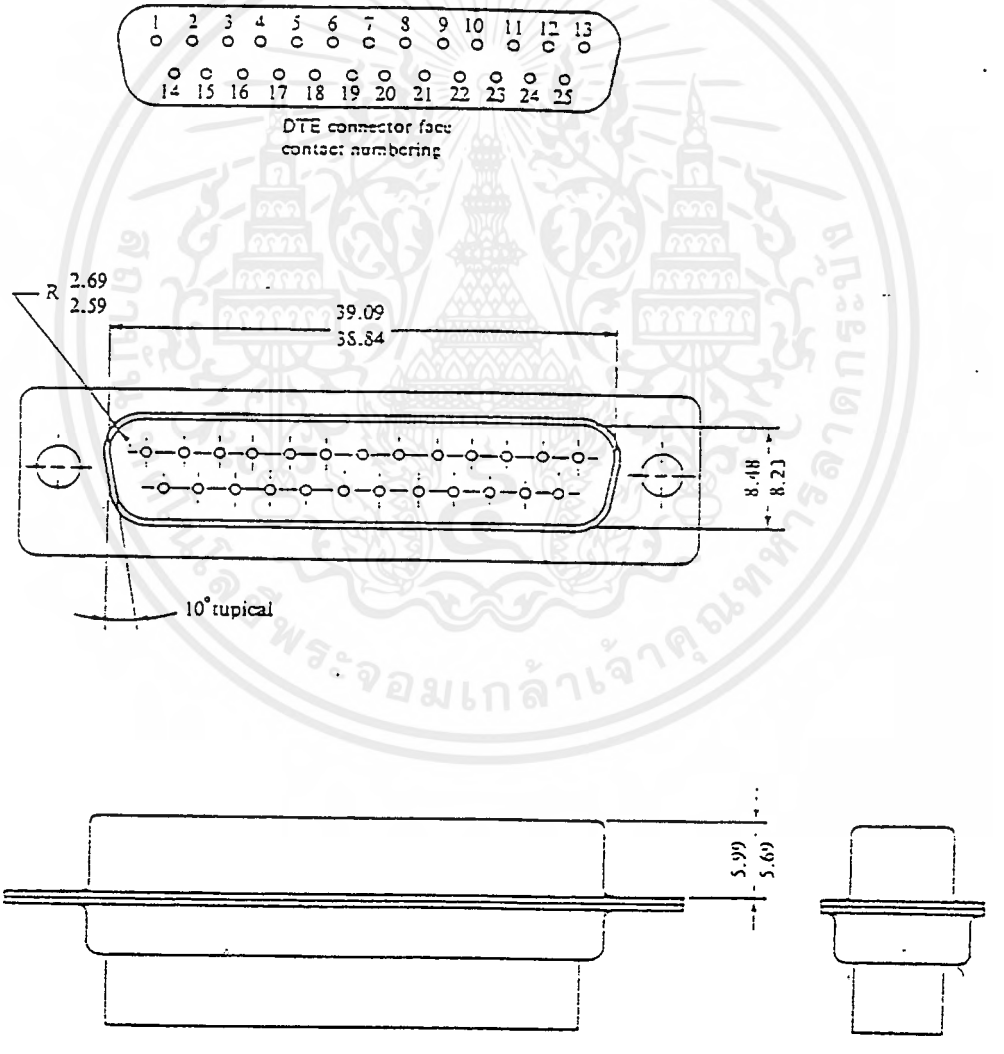
3.คุณสมบัติของการทำงาน เป็นการกำหนดหน้าที่ที่จะต้องปฏิบัติ โดยการกำหนดความหมายของสายการแลกเปลี่ยนข้อมูลให้มีหน้าที่เท่าๆกัน หน้าที่ของสายต่างๆ จะสามารถแบ่งออกได้เป็นประเภท สายควบคุม, สายเวลา และสายดิน

4.หลักการขั้นตอนการดำเนินงาน กำหนดให้เป็นลำดับของเหตุการณ์ในการส่งผ่านข้อมูล ซึ่งเป็นหน้าที่ของคุณสมบัติของฟังก์ชั่นนอลของการเชื่อมต่อ ตัวอย่างต่อไปนี้จะทำให้เข้าใจจุดนี้ได้ดีขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในที่นี้จะขอกล่าวถึง RS-232-C ซึ่งเป็นมาตรฐานการเชื่อมต่อที่รู้จักกันอย่างแพร่หลายอันหนึ่ง ใช้ในการเชื่อมต่อ DTE เข้ากับโมเดมของ voice-grade เพื่อใช้ในระบบโทรศัพท์ ซึ่งได้รับความนิยมอย่างมาก ในการทำหน้าที่เชื่อมต่อกับระบบอื่นๆด้วย

คุณสมบัติทางกลไกของ RS-232-C อธิบายได้ดังรูป 2.3 ซึ่งเรียกกันว่า ตัวต่อ 25 ขา โดยจัดแบ่งขาออกเป็นกลุ่มๆ ซึ่งในทางทฤษฎีกำหนดว่า ควรจะมีสาย 25 เส้นต่อถึงกันระหว่าง DTE กับ DCE แต่ในทางปฏิบัติอาจมีเพียงสายไม่กี่เส้นเท่านั้นที่ถูกนำมาต่อกันจริงๆ



รูปที่ 2.3 แสดงคุณสมบัติ ทางกลไกของ RS-232-C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติทางไฟฟ้ากำหนดว่า สัญญาณระหว่าง DTE กับ DCE ใช้สัญญาณดิจิตอลส่งผ่านสาย ตามข้อตกลงที่กำหนดขึ้น คือว่า จะต้องต่อกราวน์ร่วมกัน, ศักย์ไฟฟ้าที่เป็นลบมากกว่า -3 v จะถูกแปลเป็นไบนารี 1 และศักย์ไฟฟ้าที่มากกว่า +3 v จะถูกแปลให้เป็น 0 การเชื่อมต่อจะสัมพันธ์กับอัตราสัญญาณที่น้อยกว่า 20 กิโลบิทต่อวินาที และระยะทางน้อยกว่า 15 เมตร

สำหรับค่าระยะทางและอั ต ราการส่งที่สูงกว่านี้ก็สามารถทำได้ด้วยการออกแบบที่ดี แต่มันก็เป็นเหตุผลที่เขายึดถือลงไปว่า ข้อจำกัดดังกล่าวสามารถประยุกต์ใช้ได้ทั้งในการใช้งานในทางปฏิบัติและในทฤษฎี

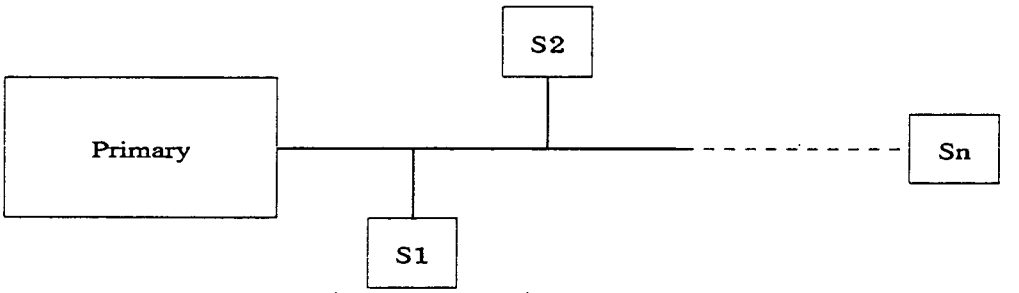
คุณสมบัติของการทำงานของ RS-232-C ประกอบด้วย

หมายเลขขา	หน้าที่	ทิศทาง
2	Transmitted Data	DCE
3	Received Data	DTE
14	Secondary Transmitted Data	DCE
16	Secondary Received Data	DTE
4	Request to Send	DCE
5	Clear to Send	DTE
6	DCE ready	DTE
20	DTE ready	DCE
22	Ring Indication	DTE
19	Secondary Request to Send	DCE
13	Secondary Clear to Send	DTE
7	Signal Ground	
1	Protective Ground	
8	Carrier Detect	

2.6 การเชื่อมต่อแบบหลายจุด (Multipoint Link)

การเชื่อมต่อแบบหลายจุดนี้จะมีหลักการทำงานคือ สถานีปฐมภูมิ (Primary) จะเชื่อมต่อกับสถานีทุติยภูมิ (Secondary) หลายๆ สถานี โดยจะใช้สายเชื่อมต่อเพียงสายเดียวเท่านั้น ดังรูปที่ 2.4 ดังนั้นในการติดต่อระหว่างสถานีปฐมภูมิกับสถานีทุติยภูมิแต่ละสถานี จะใช้เวลาในการติดต่อคนละเวลากันเพื่อป้องกันไม่ให้ข้อมูลที่ต้องการส่งระหว่างทั้งสองสถานีไม่เกิดการผิดพลาดขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

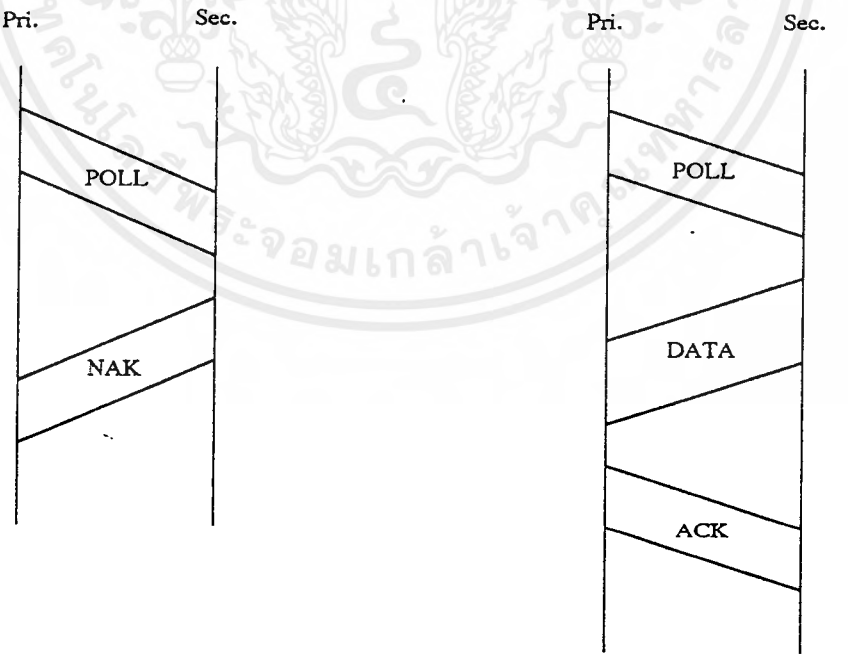


รูปที่ 2.4 แสดงการเชื่อมต่อแบบหลายจุด

ในการรับ-ส่งข้อมูลนี้จะเกิดขึ้นได้ระหว่างสถานีปฐมภูมิกับทุติยภูมิเท่านั้นจะไม่สามารถรับ-ส่งระหว่างสถานีทุติยภูมิได้โดยตรง จึงต้องมีการกำหนดรูปแบบในการรับ-ส่งข้อมูลขึ้นมาซึ่งจะมีอยู่ 2 แบบคือ

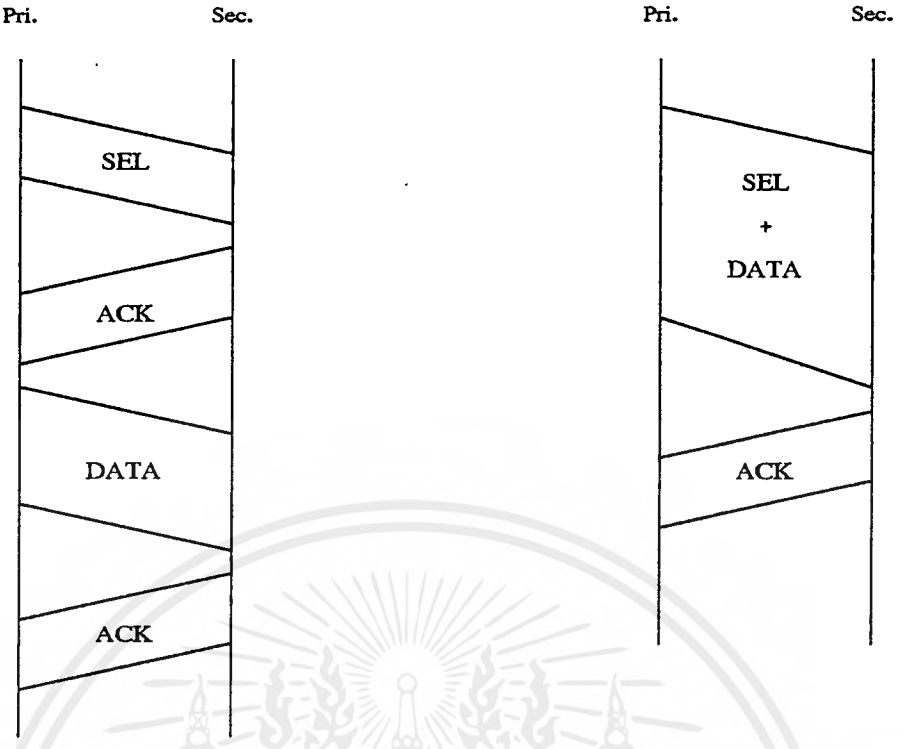
1.โพล (Pole) หมายถึงการที่สถานีปฐมภูมิสั่งร้องขอข้อมูลจากสถานีทุติยภูมิ โดยที่สถานีปฐมภูมิจะเป็นผู้กำหนดว่าต้องการข้อมูลจากสถานีทุติยภูมิใด ดังนั้นถึงแม้ว่าถ้าสถานีทุติยภูมิใดมีข้อมูลที่ต้องการจะส่งให้สถานีปฐมภูมิ แต่ถ้าไม่มีการร้องขอก็จะไม่สามารถส่งข้อมูลได้ ลำดับขั้นตอนในการทำงานของโพลแสดงดังรูปที่ 2.5

2. ซีเลค (Select) หมายถึงการที่สถานีปฐมภูมิเป็นผู้เลือกที่จะส่งข้อมูลไปยังสถานีทุติยภูมิ เมื่อมีข้อมูลที่ต้องการส่ง และเป็นการบอกแก่สถานีทุติยภูมิด้วยว่าข้อมูลกำลังจะมาถึง เนื่องจากเป็นการส่งข้อมูลจากสถานีปฐมภูมิจึงไม่ต้องมีการตรวจสอบว่าสถานีทุติยภูมิที่ต้องการจะติดต่อพร้อมที่จะรับข้อมูลหรือไม่ เพราะสถานีปฐมภูมิเป็นผู้กำหนดเองซึ่งเรียกว่า ฟาสซีเลค (Fast Select) ดังแสดงในรูปที่ 2.6 (ก)



รูปที่ 2.5 แสดงลำดับการทำงานของโพลโดย (ก)ไม่มีการส่งข้อมูลจากสถานีทุติยภูมิ (ข) มีการส่งข้อมูลจากสถานีทุติยภูมิ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



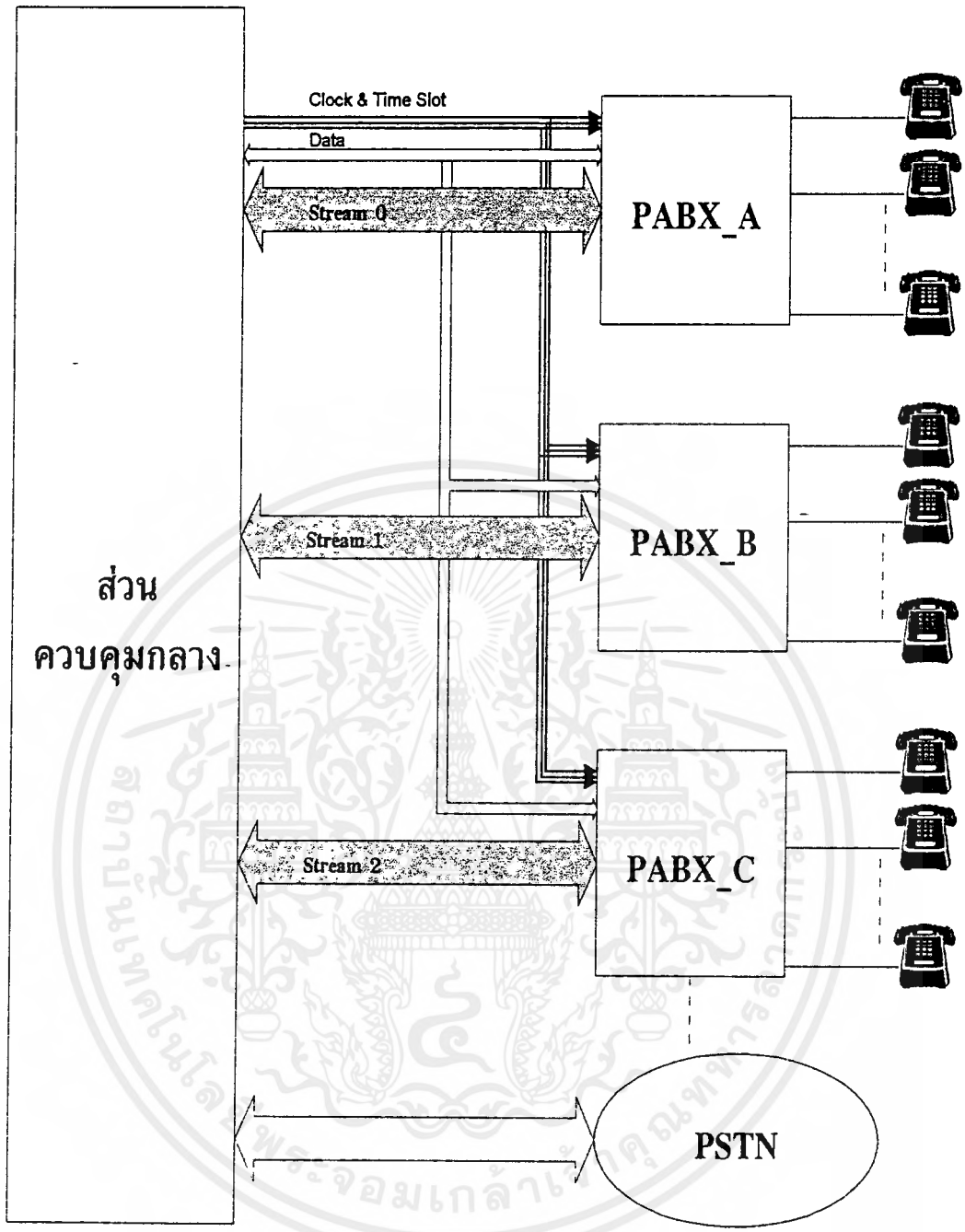
รูปที่ 2.6 แสดงลำดับการทำงานของซีเลคโดย (ก) เป็นการส่งข้อมูลแบบธรรมดา (ข) เป็นการส่งข้อมูลแบบฟาสซีเลค

2.7 หลักการทำงานของตู้สาขาอัตโนมัติขนาดกลางระบบดิจิตอลแบบจัดลำดับขั้น

หลักการทำงานของชุมสายนี้คือ จะนำเอา PABX ระบบดิจิตอลซึ่งแต่ละเครื่องเป็นคนละชนิดหรือคนละยี่ห้อกันมาเชื่อมต่อกัน โดยที่แต่ละตัวจะถูกควบคุมโดยไมโครคอนโทรลเลอร์ และในการเชื่อมต่อกันนี้จะใช้ไมโครคอมพิวเตอร์เป็นหน่วยประมวลผลกลาง

เมื่อมีการติดต่อกันภายใน PABX เดียวกัน นั่นคือเป็นการเรียกภายใน ตัวไมโครคอนโทรลเลอร์ก็จะมีหน้าที่ในการควบคุมอุปกรณ์ดิจิตอลสวิทชิ่ง ให้มีการเชื่อมต่อระหว่างคู่สายที่ต้องการติดต่อ โดยจะไม่มีการใช้งานของตัวประมวลผลกลาง ซึ่งจะเป็นการลดภาระของหน่วยประมวลกลางลง แต่ถ้ามีการเรียกสายนอก คือการติดต่อระหว่าง PABX หน่วยประมวลผลกลางของไมโครคอมพิวเตอร์ ก็จะทำการควบคุมการเชื่อมต่อระหว่างคู่สายที่อยู่ที่ PABX คนละตัวกัน ซึ่งจะมีการจัดลำดับการทำงานดังรูปที่ 2.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 แสดงบล็อคไดอะแกรมของตู้สาขาอัตโนมัติขนาดกลางระบบดิจิตอลโดยใช้การจัดลำดับขั้น

<u>หลักการทำงานของ PABX ระบบดิจิตอล</u>

จากรูปที่ 2.8 โครงสร้างของ PABX ระบบดิจิตอลจะประกอบด้วยส่วนสำคัญดังนี้

1).MPU (Main Process Unit) ซึ่งใช้ไมโครคอนโทรลเลอร์ ทำหน้าที่ควบคุมส่วน ต่างๆของระบบให้เป็นไปตามเงื่อนไขที่ได้จากโปรแกรมซึ่งได้ทำการโปรแกรมไว้ก่อนแล้ว ซึ่งในโครงงานนี้ใช้ไอซีตระกูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MCS 51

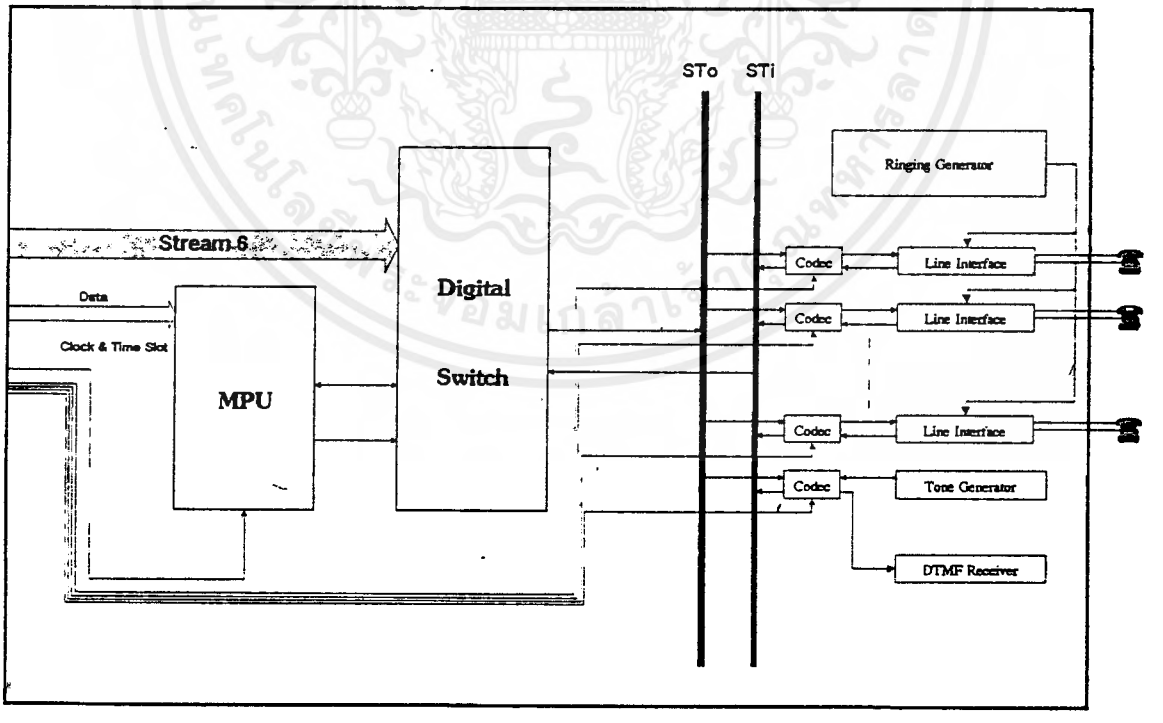
2).ดิจิตอลสวิทชิ่ง เป็นส่วนที่ทำหน้าที่เปลี่ยนช่องสัญญาณระบบดิจิตอลระหว่างช่องสัญญาณอินพุท และช่องสัญญารเอาท์พุท โดยสัญญาณที่ส่งผ่านสวิทชิ่งแบบดิจิตอลนี้จะเป็นสัญญาณดิจิตอลทั้งหมด ซึ่งจะถูกควบคุมโดยหน่วยประมวลผลกลาง ในโครงงานนี้จะใช้ไอซีเบอร์ MT 8980 ซึ่งเป็นไอซีที่ใช้สำหรับสวิทช์สัญญาณพัลส์โค้ดมอดดูเลชั่น (PCM) โดยข้อมูลที่เข้าและออกมีความเร็ว 2.048 เมกกะบิทต่อวินาที และสามารถรองรับจำนวนคู่สายได้มากที่สุด 256 คู่สาย

3).โคเดค เปรียบเสมือนเป็นตัวเชื่อมระหว่างสัญญาณอนาล็อกกับสัญญาณดิจิตอล เนื่องจากในการเชื่อมต่อจะต้องเป็นดิจิตอล ดังนั้นอุปกรณ์ทุกตัวที่อินเตอร์เฟสจะต้องผ่านตัวโคเดคทั้งหมด โดยจะให้ความเร็ว 64 กิโลบิทต่อวินาที

4).ส่วนสร้างสัญญาณนาฬิกาและไทม์สล็อต (Timeslot) เป็นส่วนที่ทำหน้าที่สร้างสัญญาณนาฬิกาให้แก่ส่วน ดิจิตอลสวิทชิ่ง และ โคเดค นอกจากนี้จะสร้างสัญญาณไทม์สล็อต เพื่อทำการควบคุมจังหวะเวลาของโคเดคแต่ละตัวในการส่งข้อมูลเข้าสู่สตรีมอินพุท เพื่อให้การควบคุมนี้เป็นไปตามต้องการ

5).ส่วนอินเตอร์เฟสสายภายใน (Subscriber Line Interface Circuit : SLIC) ทำหน้าที่เป็นตัวเชื่อมต่อคู่สายโทรศัพท์ภายในกับตัวโคเดค

6).ส่วนอินเตอร์เฟสสายภายนอก (Central Office Interface Circuit) ทำหน้าที่เป็นตัวเชื่อมต่อคู่สายโทรศัพท์จากองค์การฯกับตัวโคเดค



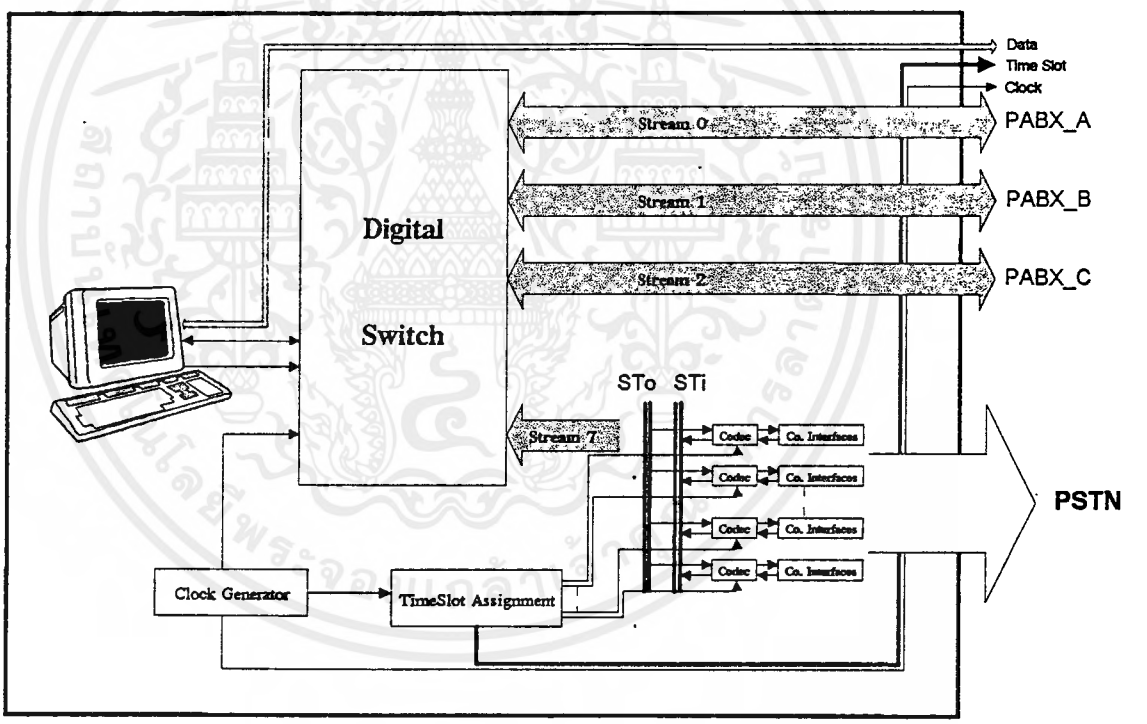
รูปที่ 2.8 แสดงโครงสร้างของ PABX ระบบดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7).ส่วนสร้างสัญญาณเสียง (Tone Generator) ทำหน้าที่ในการกำเนิดสัญญาณโทรศัพท์ต่างๆ คือ สัญญาณเรียกกลับ สัญญาณให้หมุน และสัญญาณไม่ว่าง

8).ส่วนตรวจสอบเลขหมายโทรศัพท์ (DTMF Decoder) ทำหน้าที่ในการถอดรหัสสัญญาณ DTMF จากการกดหมายเลขปลายทางของผู้เรียกไปเป็นเลขฐานสอง จำนวน 4 บิท เพื่อใช้ประโยชน์ในการวิเคราะห์เลขหมายของ MPU

จากรูปที่ 2.8 ในโครงงานนี้จะกำหนดให้ STi7 เป็นตัวเก็บสัญญาณเสียงต่างๆ เพื่อต่อเข้ากับคู่สายที่ใช้งาน และกำหนดให้ใช้ ST6 ในการควบคุมการเชื่อมต่อระหว่าง PABX ส่วนโครงสร้างของส่วนควบคุมกลางซึ่งมีหน้าที่ควบคุมการเชื่อมต่อระหว่าง PABX จะมีส่วนประกอบดังรูปที่ 2.9 ซึ่งก็จะมีดิจิตอลสวิทชิ่งอีกตัวในการควบคุมการเชื่อมต่อกับ PABX แต่ละตัว โดยในการเชื่อมต่อกับ PABX แต่ละตัวจะกำหนดให้ใช้สตรีมในการควบคุมแยกจากกันคือ PABX ตัวที่1 จะใช้ ST0 PABX ตัวที่2 ก็จะใช้ ST1 ตามลำดับดังรูป นอกจากนี้จะมีส่วนที่ใช้ในการติดต่อกับสายขององค์การฯ และยังมีส่วนสร้างสัญญาณนาฬิกา สัญญาณซิงโครนัส และสัญญาณไทม์สล็อต ซึ่งจะเชื่อมต่อกับ PABX ทุกตัว รวมทั้งใช้กับส่วนควบคุมกลางด้วย



รูปที่ 2.9 แสดงโครงสร้างของส่วนควบคุมกลาง

โครงงานในส่วนที่ทำในเทอมที่ 2 นี้ได้ทำในส่วนของ อินเตอร์เฟสสายภายใน (SLIC) ,ส่วนวงจรรับเลขหมาย,ส่วนอินเตอร์เฟสสายภายนอก (Co-trunk) ,และทำการเขียนซอฟท์แวร์ในการควบคุมทั้งหมด ซึ่งจะกล่าวโดยละเอียดในบทต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

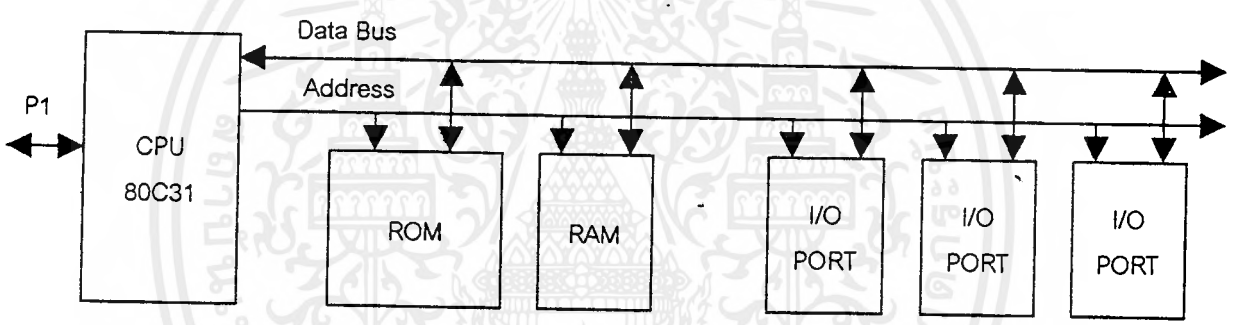
บทที่ 3
การคำนวณและการสร้าง

ในบทนี้กล่าวถึงส่วนประกอบต่างๆ ของตู้สาขาอัตโนมัติซึ่งได้ทำการทดลองในเทอมที่ 1 และ เพิ่มเติมในเทอมที่ 2 นี้ซึ่งประกอบด้วยส่วนต่างๆดังนี้

3.1 ภาค MPU

ในส่วนควบคุมของโครงงานนี้ใช้ตัวประมวลผล ไอซีเบอร์ 8031 ซึ่งเป็นหนึ่งในตระกูลไมโครคอนโทรลเลอร์แบบชิพเดี่ยว ตระกูล 51 ที่ไม่มีรอม (ROM) อยู่ภายใน

ในรูปที่ 3.1 แสดงส่วนประกอบต่างๆของส่วนควบคุม ส่วนวงจรของส่วนควบคุมแสดงดังรูปที่3.2



รูปที่3.1 แสดงบล็อคไดอะแกรมของส่วนควบคุม

คุณสมบัติของส่วนควบคุมที่ออกแบบไว้

1). หน่วยประมวลผล เบอร์ 80C31

2). สัญญาณนาฬิกา 11.0592 เมกกะเฮิร์ต

3). หน่วยความจำ

- รอม เบอร์ 27256 32 กิโลไบท์
- แรม เบอร์ 62256 32 กิโลไบท์

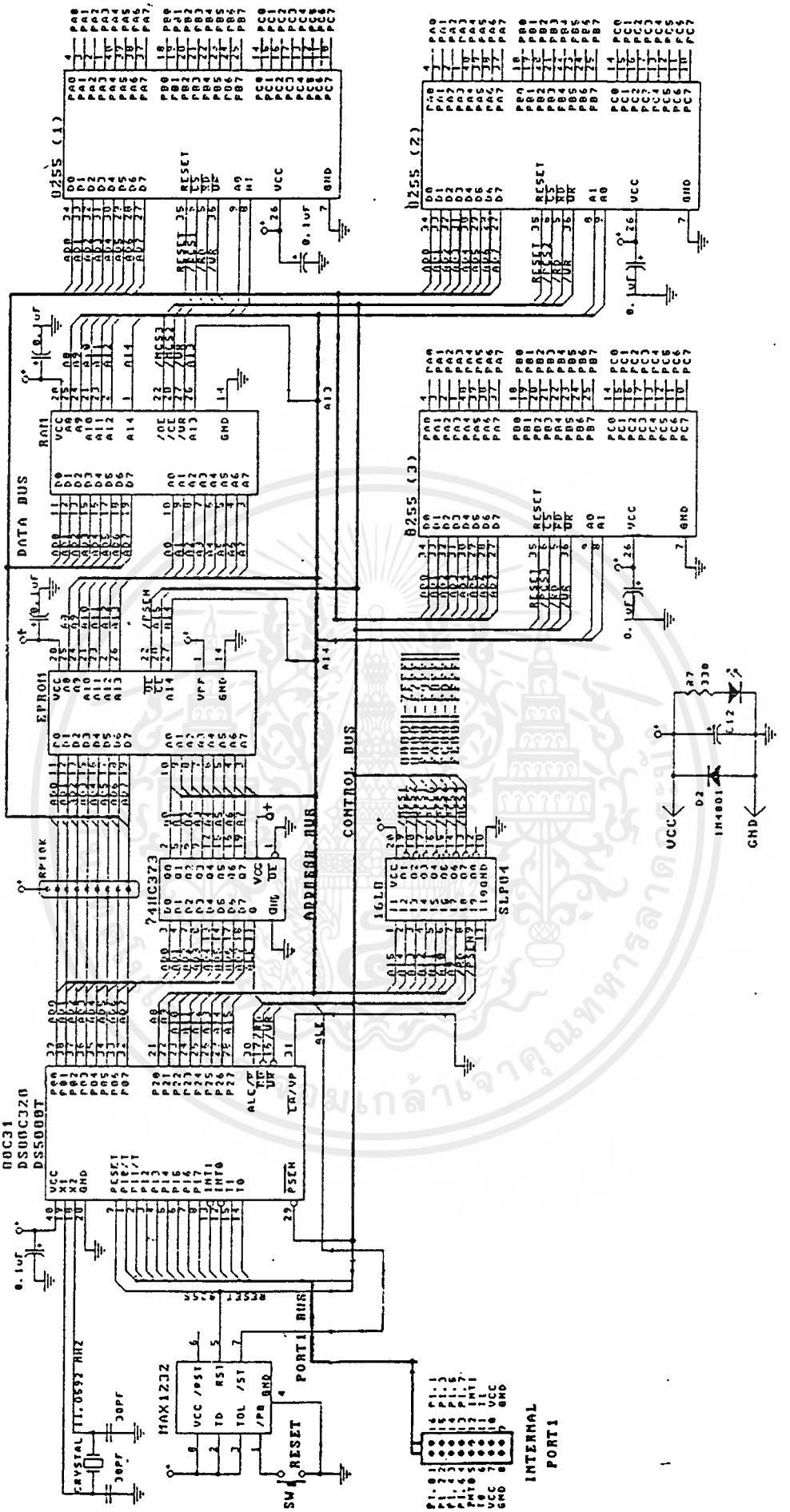
4). พอร์ทอินพุทเอาท์พุท

- 8255 3 ตัว

5). รีเซต ไอซี MAX1232

6). ไฟเลี้ยง 5 VDC

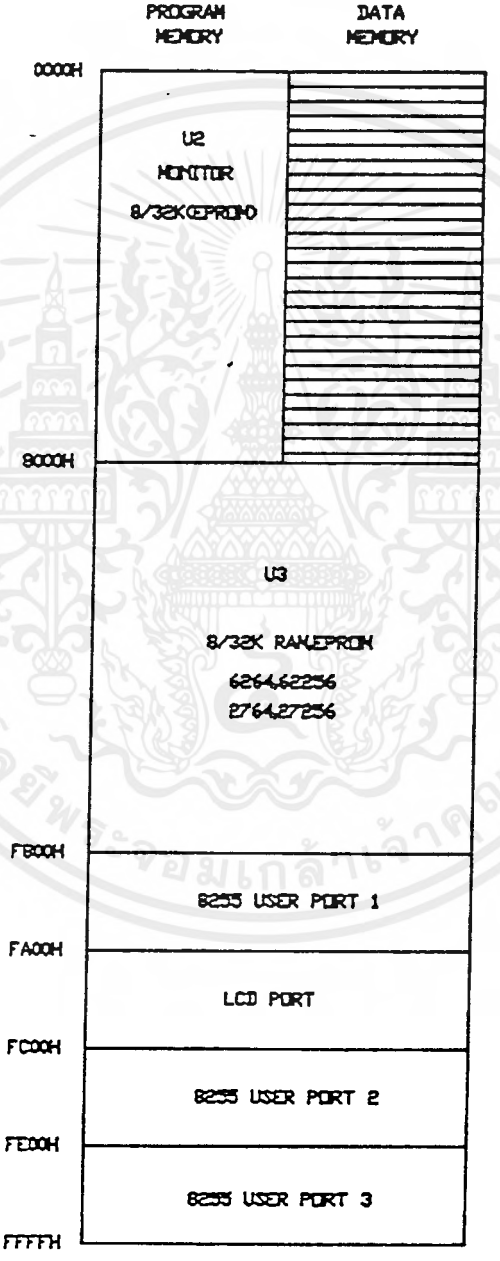
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 แสดงวงจรส่วนควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MEMORY MAP



รูปที่ 3.3 แสดงแผนผังหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การทำงานในส่วนควบคุมของโครงงานนี้ใช้ตัวประมวลผลไอซีเบอร์ 8031 เป็นตัวควบคุมการทำงานทั้งหมดในโครงงาน นี้ มีลักษณะเหมือนไมโครโปรเซสเซอร์ทั่วไป และเพิ่มอุปกรณ์ต่างๆ ที่สำคัญลงไป ทำให้ 8031 มีความสามารถมาก

ลักษณะที่สำคัญของ 8031 คือ

- ไมโครโปรเซสเซอร์ แบบ 8 บิท
- มีวงจรสร้างสัญญาณนาฬิกาภายใน
- 32 อินพุท / เอาท์พุท
- อ้างอิงหน่วยความจำภายนอกสำหรับเก็บข้อมูล 64 กิโลไบท์
- อ้างอิงหน่วยความจำภายนอกสำหรับเก็บโปรแกรม 64 กิโลไบท์
- มีวงจรนับ, ตั้งเวลา 16 บิท 2 ชุด
- 5 อินเทอร์รัพ สามารถจัดลำดับความสำคัญได้ 2 ระดับ
- ส่งข้อมูลอนุกรมแบบ 2 ทิศทางได้
- สามารถประมวลตรรกศาสตร์ได้
- มีแรมภายในขนาด 128 ไบท์ โดยสามารถอ้างอิงได้ทั้งแบบบิทและแบบไบท์

ในที่นี้จะขอกล่าวถึงรายละเอียดของสถาปัตยกรรมของ 8031 เฉพาะในส่วนที่เกี่ยวข้องกับการทำโครงงานนี้เท่านั้น

3.1.1 <u>การจัดหน่วยความจำ</u>

8031 มีหน่วยความจำพื้นฐานดังนี้

1).หน่วยความจำภายนอกสำหรับโปรแกรม 64 กิโลไบท์

2).หน่วยความจำภายนอกสำหรับข้อมูล 64 กิโลไบท์

3).หน่วยความจำภายในแบบแรม 256 ไบท์

ในส่วนหน่วยความจำภายในจะแบ่งเป็น 2 ส่วนหลัก

- แอดเดรส H00 ถึง H7F จะเป็นหน่วยความจำปกติ (RAM) สามารถเก็บข้อมูลโดยการอ้างอิงแอดเดรส 8 บิท และในช่วงแบงค์ (BANK) จะเป็นที่เก็บค่ารีจิสเตอร์ R (RAM Address Register) โดยสามารถกำหนดให้อยู่ในช่วงแบงค์ 0 , 1 , 2 หรือ 3 ได้โดยเซตบิท RS1, RS0 ใน PSW รีจิสเตอร์

- แอดเดรส H80 ถึง HFF ใช้เป็นที่เก็บรีจิสเตอร์ฟังก์ชั่นพิเศษ (Special Function Register) การจัดแอดเดรสเหล่านี้เป็นดังรูปที่ 3.4

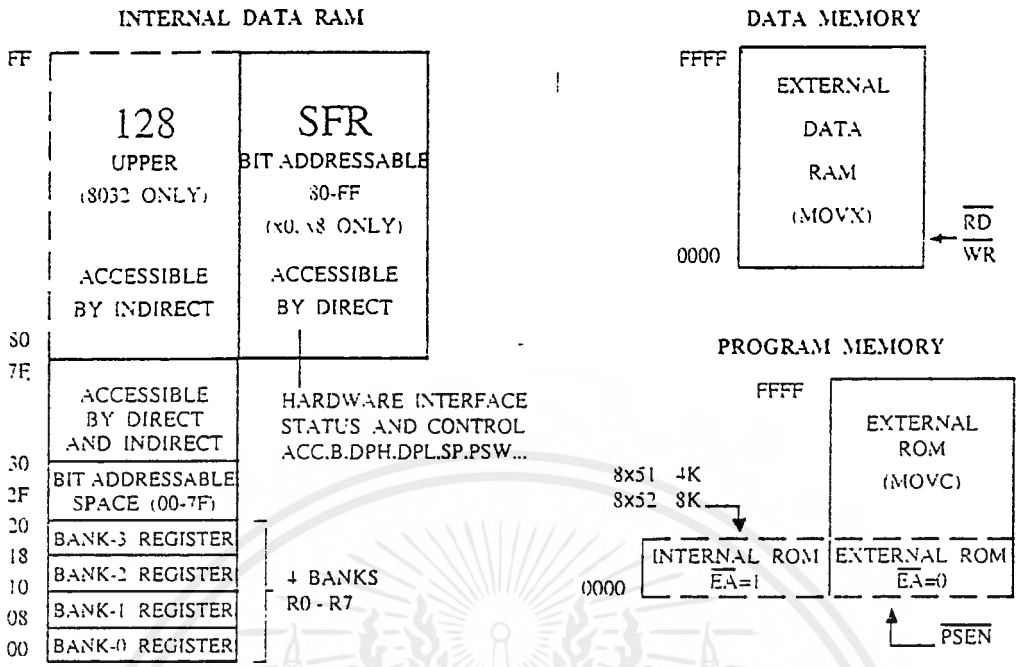
นอกจากจะเก็บข้อมูลโดยอ้างแอดเดรสไบท์ในหน่วยความจำได้แล้วเรายังสามารถเก็บข้อมูลเป็นบิทได้โดยอ้างจากแอดเดรสบิท

3.1.2 <u>ส่วนหน่วยความจำโปรแกรม</u>

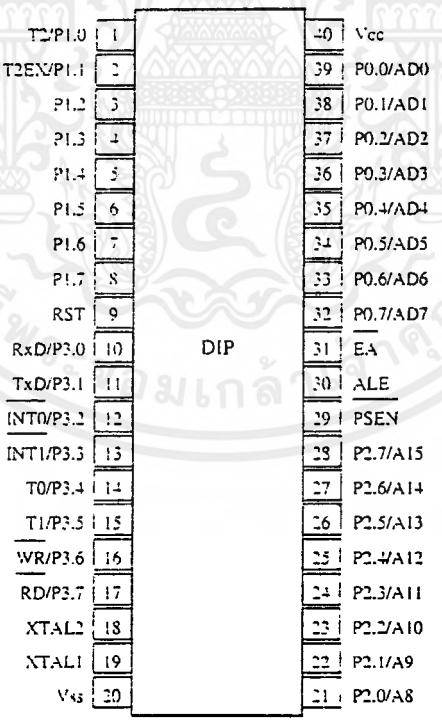
เนื่องจาก 8031 ไม่มีหน่วยความจำโปรแกรมภายใน จึงจะต้องมีการเชื่อมต่อหน่วยความจำภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

27902



รูปที่ 3.4 แสดงโครงสร้างหน่วยความจำ



รูปที่3.5 โครงสร้างภายนอกของ 8031

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.3 การเชื่อมต่อหน่วยความจำภายนอก

เนื่องจากระบบบัสแอดเดรส และบัสข้อมูลของไมโครคอนโทรลเลอร์ 8031 เป็นลักษณะแบบใช้การมัลติเพล็กซ์จากพอร์ทเดียวกัน กล่าวคือ ในระยะเวลาเริ่มต้นเส้นสัญญาณเหล่านี้ของพอร์ทจะใช้ในการส่งค่าแอดเดรสของตำแหน่งที่ต้องการติดต่อด้วย ในช่วงเวลาต่อมาจึงจะเปลี่ยนไปเป็นสภาวะอิมพีแดนซ์สูงเพื่อใช้งานในฐานะของบัสข้อมูล แต่เนื่องจากว่าอีพรอมที่ใช้งานกันทั่วไปนั้นไม่ใช้การมัลติเพล็กซ์ และมีขาสัญญาณบัสแอดเดรส และบัสข้อมูลแยกออกจากกันโดยชัดเจน ดังนั้นการเชื่อมต่ออีพรอมเพื่อทำหน้าที่เป็นหน่วยความจำโปรแกรมจึงจำเป็นต้องมีวงจรประเภทแลตช์ (Latch) ประกอบเพิ่มเติมขึ้น เพื่อทำการค้างค่าของแอดเดรสที่ส่งออกมาจาก 8031 ในช่วงเวลาแรกให้กับขาสัญญาณแอดเดรสของอีพรอมต่อไป โดยไอซีแลตช์ที่ใช้คือ 74HC373 การทำงานของมันคือ

- ถ้าขา OC (Output Disable) เป็นลอจิกสูง จะทำให้เอาท์พุททั้งหมดเป็นอิมพีแดนซ์สูง (High Impedance) ดังนั้นในการใช้งานต้องให้ขา OC เป็นลอจิกต่ำ

- ถ้าขา G (Latch Enable) เป็นลอจิกสูง จะทำให้เอาท์พุทมีค่าตามอินพุท ถ้าขา G เป็นลอจิกต่ำ จะทำให้มันแลตช์ค่าเอาท์พุทเดิมไว้ โดยจะไม่เปลี่ยนตามอินพุทที่เข้ามาใหม่

จากรูปที่3.2ไอซี เบอร์ 74HC373 ทำหน้าที่มัลติเพล็กซ์ สัญญาณ AD0-AD7 กับสัญญาณแอดเดรสไบท์ต่ำ A0-A7 เพื่อใช้เป็นตัวแยกข้อมูลที่บัสข้อมูล และแอดเดรสบัสออกจากกัน

ไอซี เบอร์ 27256 เป็นหน่วยความจำถาวรหรือรอม มีขนาด 32 กิโลไบท์ เป็นหน่วยความจำโปรแกรม (Program Memory) หรือบางทีเรียกว่า หน่วยความจำรหัส (Code Memory) ในโครงงานนี้จะใช้บันทึกโปรแกรมมอนิเตอร์ เพื่อให้ตู้สาขาทำตามเงื่อนไขที่ตั้งไว้ 8031 จะใช้สัญญาณ PSEN ในการ อีนาเบิล การติดต่ออีพรอม และใช้สัญญาณ WR เพื่อที่จะอ่านข้อมูลไปประมวลผล

ไอซี เบอร์ 62256 เป็นหน่วยความจำชั่วคราวหรือแรม มีขนาด 32 กิโลไบท์ เป็นหน่วยความจำข้อมูล (Data Memory) ในโครงงานนี้จะใช้หน่วยความจำส่วนนี้ในการเก็บข้อมูลสถานะของสายภายใน สายภายนอก

ไอซี เบอร์ 8255 เป็นตัวที่ใช้เป็นพอร์ทเอาท์พุท อินพุท เพื่อเชื่อมต่อกับวงจรภายนอก โดยทำการเชื่อมกับ 80C31 ทางพอร์ท 0 และพอร์ท 3 ซึ่งใช้เป็นพอร์ทสำหรับข้อมูลและการควบคุม

ไอซี เบอร์ 16L8 เป็นไอซีที่เรียกว่า PAL (Programable Array Logic) ซึ่งโปรแกรมได้ครั้งเดียวทำหน้าที่ถอดรหัส (decode) แอดเดรสของแรม กับ 8255 ทั้ง 3 ตัว

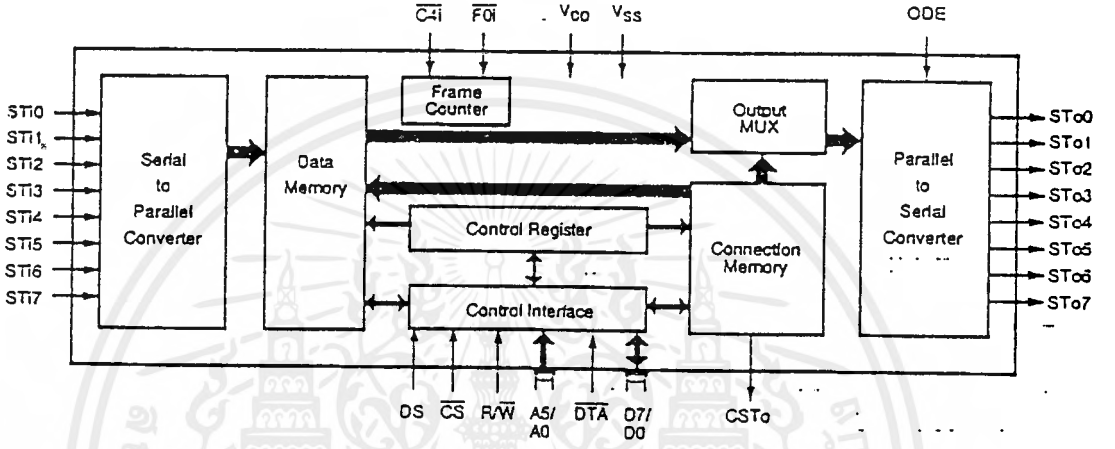
ไอซี MAX 1232 เป็นตัวจัดการระบบรีเซต ของ 8031

3.2 อุปกรณ์ดิจิตอลสวิทชิ่ง

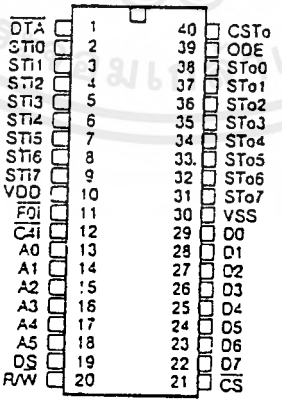
เป็นอุปกรณ์ที่ใช้สำหรับสวิทช์สัญญาณพัลส์โค้ดมอดูเลชั่น (PCM) ที่เข้ารหัสมาจากสัญญาณข้อมูลภายใต้การควบคุมของไมโครโปรเซสเซอร์ (Microprocessor) ซึ่งใช้ในระบบชุมสายโทรศัพท์สาขาอัตโนมัติระบบดิจิตอล , ชุมสายดิจิตอล และคอนโทรลออฟฟิสโดยมีความเร็วของสัญญาณในแต่ละช่องสัญญาณคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

64 กิโลบิทต่อวินาที แต่ละเส้นของอินพุทและเอาท์พุทจะมีจำนวนช่องสัญญาณทั้งหมด 32 ช่องสัญญาณ ซึ่งส่งรวมกันแบบมัลติเพล็กซ์ (Multiplex) มาด้วยอัตราเร็วของบิทเท่ากับ 2.048 เมกกะบิทต่อวินาที โดยที่ตัวมันเองสามารถเขียนและอ่านข้อมูลได้โดยไมโครโปรเซสเซอร์



รูปที่ 3.6 แสดงโครงสร้างทางฮาร์ดแวร์ของ MT 8980



40 PIN CERDIP/PLASTIC DIP

รูปที่ 3.7 แสดงตำแหน่งขาไอซี MT 8980

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1 ลักษณะโครงสร้างของสวิทชิ่ง

โครงสร้างของดิจิตอลสวิทชิ่งซึ่งเราใช้ไอซี MT 8980 นี้จะประกอบไปด้วย ST - BUS (Serial Telecom Bus) ซึ่งสามารถใช้ได้ทั้งซอร์ฟแวร์เป็นตัวควบคุมการเลือกข้อมูลและสัญญาณเสียงที่เป็นดิจิตอล หรือใช้ระบบ อินเตอร์โปรเซสเซอร์ (Interprocessor Communication) ST - BUS สตรีม นี้จะทำงานที่ 2.048 เมกกะบิทต่อวินาทีเสมอในช่วงเวลา 125 ไมโครวินาที ซึ่งจะถือว่าเป็น 1 เฟรม ใน 1เฟรมจะมีข้อมูลแต่ละช่องสัญญาณอยู่ 8 บิท ทั้งหมด 32 ช่องสัญญาณ MT 8980 สามารถเลือกข้อมูลจาก ST - BUS ทางอินพุท ส่งไปยัง ST - BUS ทางเอาท์พุทว่าจะส่งออกที่ช่องสัญญาณใด และสตรีมใดโดยไมโครโปรเซสเซอร์ สามารถควบคุมให้มีการอ่านช่องสัญญาณจากอินพุทหรือเขียนข้อมูลลงบนช่องสัญญาณทางเอาท์พุทโดยตรง

3.2.2 โครงสร้างทางฮาร์ดแวร์

ข้อมูลที่เข้าทางขาสตรีมอินพุทนั้นเป็นข้อมูลแบบอนุกรมที่มีอัตราเร็วบิท 2.048 เมกกะบิทต่อวินาที ทั้ง 8 สตรีม และข้อมูลที่ออกทางสตรีมเอาท์พุทก็เป็นข้อมูลแบบอนุกรมเช่นกัน ซึ่งในแต่ละช่องสัญญาณนั้นจะมี 8 บิท ที่แสดงถึงสัญญาณพัลส์โค้ดมอดูเลชั่นที่มาจากการเข้ารหัสสัญญาณอนาล็อกโดยภาคโคเดค

ภายในตัว MT 8980 จะมีการส่งข้อมูลภายในจากอินพุทไปยังเอาท์พุทแบบขนาน ดังนั้นข้อมูลที่เข้าทางอินพุทจึงต้องผ่านวงจรแปลงจากอนุกรมเป็นขนาน (Serial To Parallel Converter) และก่อนที่จะส่งข้อมูลออกทางเอาท์พุทก็ต้องผ่านวงจรแปลงจากขนานเป็นอนุกรม (Parallel To Serial Converter) ข้อมูลที่เข้ามาทางอินพุทจะถูกส่งไปเก็บยังหน่วยความจำที่เรียกว่าดาต้าเมมโมรี่ (Data Memory) ซึ่งมีหน่วยความจำที่มีขนาด 256*8 บิทการรับข้อมูลของดาต้าเมมโมรี่จะสามารถรับมาได้แบบอัตโนมัติ ส่วนของดาต้าเมมโมรี่เป็นหน่วยความจำที่เขียนลงไปโดยไมโครโปรเซสเซอร์ ไม่ได้ แต่สามารถอ่านข้อมูลออกมาได้

หน่วยความจำอีกส่วนหนึ่งคือ คอนเนคชั่นเมมโมรี่ (Connection Memory) ซึ่งแบ่งออกเป็น

- คอนเนคชั่นเมมโมรี่โล (Connection Memory Low : CMLB)
- คอนเนคชั่นเมมโมรี่ไฮ (Connection Memory High : CMHB)

หน่วยความจำทั้งสองส่วนนี้เป็นหน่วยความจำที่มีขนาด 256*8 บิท ส่วนนี้นี้จะเป็นส่วนของหน่วยความจำที่เก็บข้อมูลทางเอาท์พุท โดยคอนเนคชั่นเมมโมรี่โลจะเก็บตำแหน่งของดาต้าเมมโมรี่ที่จะนำออกทางเอาท์พุท และคอนเนคชั่นเมมโมรี่ไฮจะเก็บสภาวะการทำงานของพอร์ททางเอาท์พุท ในส่วนการเขียน และการอ่านข้อมูลของคอนเนคชั่นเมมโมรี่โลและคอนเนคชั่นเมมโมรี่ไฮนี้จะกระทำโดยตัวไมโครโปรเซสเซอร์ สำหรับข้อมูลที่จะเขียนลงบนคอนเนคชั่นเมมโมรี่โลนั้นอาจเป็นตำแหน่งของดาต้าเมมโมรี่หรือเป็นข้อมูลที่จะส่งออกซึ่งส่งมาจาก D0 - D7 ของไมโครโปรเซสเซอร์ โดยตรง

การที่ไมโครโปรเซสเซอร์จะติดต่อกับหน่วยความจำ ทั้งสามส่วนนี้ได้นั้น จะต้องมีรีจิสเตอร์ที่ใช้สำหรับการควบคุมการติดต่อนี้โดยเฉพาะเรียกว่า คอนโทรลรีจิสเตอร์ (Control Register) ซึ่งจะควบคุมว่าไมโครโปรเซสเซอร์นั้นจะติดต่อกับหน่วยความจำส่วนใด โดยการกำหนดตำแหน่งของหน่วยความจำนี้จะกระทำควบคู่กับขา A0 - A5 ของ MT 8980

3.2.3 โครงสร้างทางซอร์ฟแวร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การควบคุมการทำงานของ MT 8980 นี้ก่อนอื่นต้องควบคุมไปที่คอนโทรลรีจิสเตอร์ โดยใช้ขา A0-A5 ของ MT 8980 เป็นตัวกำหนดการติดต่อกับคอนโทรลริจิสเตอร์ ดังตารางที่ 3.1

A5	A4	A3	A2	A1	A0	H E X ADDRESS	LOCATION
0	X	X	X	X	X	00 - 1F	C o n t r o l Register
1	0	0	0	0	0	20	Channel 0
1	0	0	0	0	0	21	Channel 1
-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-
1	1	1	1	1	1	3F	Channel 31

ตารางที่ 3.1 ตำแหน่งของแอดเดรส (Address Memory Map)

จากตารางที่ 3.1 ถ้า A5 มีลอจิกเป็น 0 แล้วไมโครโปรเซสเซอร์จะติดต่อกับคอนโทรลรีจิสเตอร์ โดยตรงและจะไม่สนใจว่าค่าของ A0 -A4 มีลอจิกเป็นอย่างไร เมื่อ A5 มีลอจิกเป็น 1 แล้ว A0 - A4 จะทำหน้าที่เป็นตัวเลือกตำแหน่งในการติดต่อกับหน่วยความจำว่าเป็นช่องสัญญาณใด

ภายในคอนโทรลรีจิสเตอร์นั้นจะมีขนาด 8 บิท ซึ่งทำหน้าที่ของแต่ละบิทนั้นแสดงได้ดังตารางที่ 3.2

7	6	5	4	3	2	1	0

บิทที่	ชื่อ	อธิบาย
7	Split Memory	ลอจิกเป็น 1 เป็นการอ่านค่าจากดาต้าเมมโมรี่และเขียนข้อมูลลงในคอนเนคชั่นเมมโมรี่โล
6	Message Mode	ลอจิกเป็น 1 ข้อมูลที่อยู่ในคอนเนคชั่นเมมโมรี่โลจะเป็นเอาท์พุทสตรีมแบบอนุกรม ยกเว้นที่ขา ODE เป็นลอจิก 0 ลอจิกเป็น 0 คอนเนคชั่นเมมโมรี่บิทของแต่ละช่องสัญญาณจะเป็นเอาท์พุท

4-3	Memory Select Bit	ลอจิก 0-0 ไม่ถูกใช้ ลอจิก 0-1 ติดต่อกับดาต้าเมมโมรี่ ลอจิก 1-0 ติดต่อกับคอนเนคชั่นเมมโมรี่โล ลอจิก 1-1 ติดต่อกับคอนเนคชั่นเมมโมรี่ไฮ
2-0	Stream Address Bit	เป็นการอ้างอิงถึงตำแหน่งของเอาท์พุทที่ เอสทีบัสสตรีม

ตารางที่ 3.2 คอนโทรลรีจิสเตอร์บิท (Control Register Bit)

คอนเนคชั่นเมมโมรี่โล (Connection Memory Low)

7	6	5	4	3	2	1	0

บิทที่	ชื่อ	อธิบาย
7-5	Stream Address Bit	เป็นการอ้างอิงถึงตำแหน่งของอินพุทที่เอสทีบัสสตรีม
4-0	Channel address bit	เป็นการอ้างอิงถึงช่องสัญญาณอินพุท CHi

ตารางที่ 3.3 ความหมายของแต่ละบิทของคอนเนคชั่นเมมโมรี่โล

คอนเนคชั่นเมมโมรี่ไฮ (CONNECTION MEMORY HIGH)

7	6	5	4	3	2	1	0

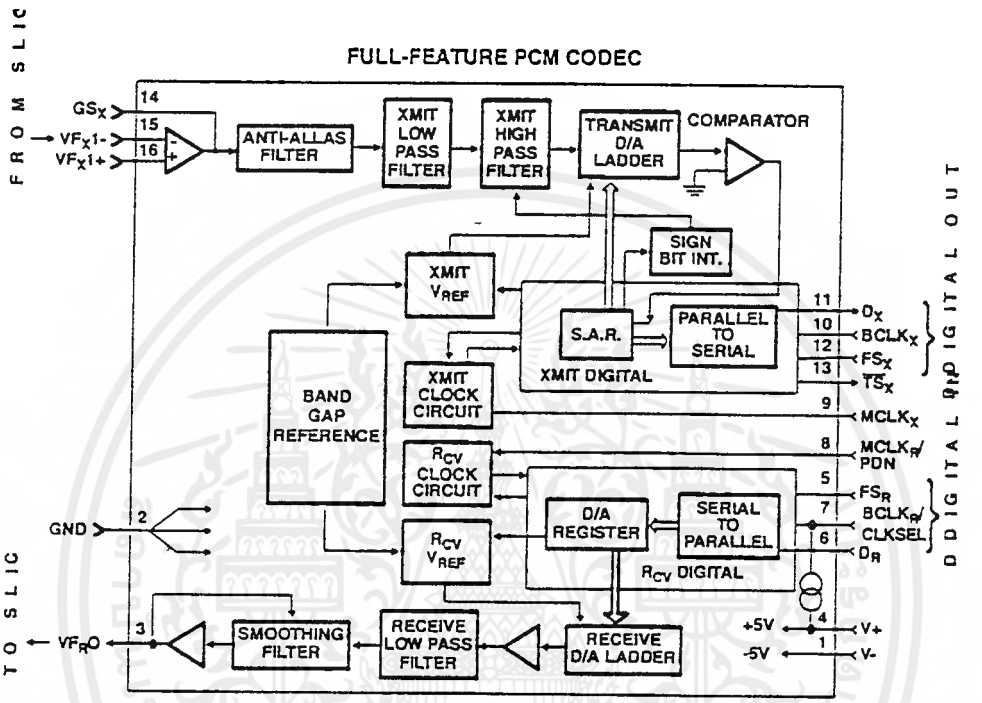
บิทที่	ชื่อ	อธิบาย
2	M e s s a g e Mode	ลอจิกเป็น 1 ข้อมูลที่อยู่ในคอนเนคชั่นเมมโมรี่ต่ำเป็นเอาท์พุท ลอจิกเป็น 0 ข้อมูลที่อยู่ในคอนเนคชั่นเมมโมรี่ต่ำเป็นแอดเดรสให้ดาต้าเมมโมรี่และเป็นตำแหน่งของสัญญาณอินพุท
1	CSTo Bit	บิทนี้เป็นเอาท์พุทที่ขา CSTo
0	Output Enable	ลอจิกเป็น 1 ช่องสัญญาณเอาท์พุทจะไม่เป็นสภาวะไฮอิมพีแดนซ์

ตารางที่ 3.4 ความหมายแต่ละบิทของคอนเนคชั่นเมมโมรี่ไฮ

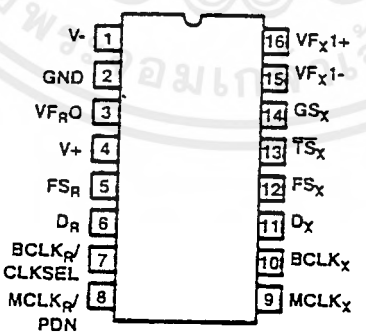
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 โคเดค

โคเดค (CO มาจากคำว่า Coder หมายถึงการเข้ารหัส และ DEC มาจากคำว่า Decoder หมายถึงการถอดรหัส) ในโครงงานนี้ใช้ไอซี CD 22357A ทำหน้าที่ในการเปลี่ยนสัญญาณอนาล็อก (เสียงพูด) เป็นสัญญาณดิจิตอลส่งไปยังดิจิตอลสวิตชิ่ง และเปลี่ยนสัญญาณดิจิตอลจากดิจิตอลสวิตชิ่งกลับเป็นสัญญาณอนาล็อก มีบล็อคไดอะแกรมดังนี้



รูปที่ 3.8 แสดงบล็อคไดอะแกรมส่วนประกอบของวงจรโคเดค



รูปที่ 3.9 แสดงตำแหน่งขาของ ไอซี CD22357A

3.2.1 <u>รายละเอียดของขาต่างๆ ของโคเดค</u>

- ส่วนของไฟเลี้ยง

ขา 1 V- ป้อนไฟลบขนาด 5 โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา 1 V- ป้อนไฟลบขนาด 5 โวลท์

ขา 2 GND ป้อนกราวด์จะเป็นทั้งอนาล็อกกราวด์และดิจิตอลกราวด์

ขา 4 V+ ป้อนไฟบวกขนาด 5 โวลท์

- สัญญาณนาฬิกาและสัญญาณเฟรมซิงค์

ขา 5 FS_R ป้อนสัญญาณเฟรมซิงค์ที่กำเนิดมาจากวงจรสร้างเฟรมซิงค์ และต่อเข้ากับขา 12 FS_X

ขา 7 $BCLK_R$/CLKSEL ป้อนสัญญาณนาฬิกา 2.048 เมกกะเฮิร์ต ที่สร้างมาจากวงจรเฟรมซิงค์

ขา 8 $MCLK_R$/PDN

ขา 9 $MCLK_X$

ขา 10 BCLKx

- ส่วนของอนาล็อกอินพุทและเอาท์พุท

ขา 14 GS_X ขา 15 VF_X 1- และขา 16 VF_X 1+ ทั้งสามเป็นขาของออปแอมป์ซึ่งมีเอาท์พุทต่อกับภาค การทำงานภาคต่อไปของไอซี ซึ่งสามารถปรับเกนของสัญญาณก่อนเข้าไอซีได้ ขาเหล่านี้ใช้ต่อ กับสัญญาณอนาล็อกที่มาจากสัญญาณเสียงพูด

ขา 3 VF_RO เป็นขาเอาท์พุทของสัญญาณอนาล็อกเพื่อส่งไปเข้าสัญญาณเสียงพูด

- ส่วนของสัญญาณดิจิตอลอินพุทและเอาท์พุท

ขา 6 D_R เป็นขาอินพุทของสัญญาณดิจิตอลที่มาจากดิจิตอลสวิตชิ่ง

ขา 7 D_X เป็นขาเอาท์พุทของสัญญาณดิจิตอลเพื่อส่งไปยังดิจิตอลสวิตชิ่ง

3.2.2 <u>การทำงานของโคเดค CD 22357A</u>

<u>ทางภาคส่ง</u>

จะมีการแปลงสัญญาณอนาล็อกที่มาจากสัญญาณเสียงพูดให้เป็นสัญญาณดิจิตอลเพื่อส่งไปให้ภาคสวิตชิ่ง จะประกอบด้วยออปแอมป์ที่ทำหน้าที่ปรับค่าอัตราขยายในการแซมปลิ้ง ทฤษฎีในควิสท์กล่าวไว้ว่าต้องเก็บแซมเปิ้ลด้วยอัตราสองเท่าหรือ มากกว่าความถี่สูงสุดของสัญญาณอนาล็อกซึ่งมาจากสัญญาณเสียง 3 กิโลเฮิร์ต จะใช้อัตราการแซมปลิ้ง 8 กิโลเฮิร์ต คือมีการแซมปลิ้งทุกๆ 125 ไมโครวินาที จะต้องใช้โลพาสฟิลเตอร์เพื่อกันความถี่ที่สูงกว่า 3 กิโลเฮิร์ตและเราจะกัน 50/60 เฮิร์ต เพาเวอร์ไลน์คัปปลิ้งในสายโทรศัพท์โดยใช้ไฮพาสฟิลเตอร์ก่อนจะส่งไปทำการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลโดยผ่านขบวนการแซมปลิ้งคือ การทำสัญญาณ ซึ่งมีค่าต่อเนื่องให้เป็นแบบดิสครีท (DISCREATE)ในช่วงเวลาที่ห่างกันก็จะได้ขบวนพัลส์แอมปลิจูดมอดูเลชั่น ซึ่งถือว่าเป็นชนิดอนาล็อกอยู่

จากนั้นก็ผ่านขบวนการควอนไทซ์ซึ่งเป็นการจัดระดับสัญญาณโดยใช้วงจรคอมเพรสเซอร์แบบ A-LAW ถ้าเปรียบเทียบกับ μ-law แล้วจะเห็นว่าสัญญาณที่เพาเวอร์สูงจะมีอัตราส่วนของสัญญาณต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณรบกวนดีกว่าเมื่อสัญญาณผ่านการจัดระดับแล้วก็ผ่านไปยังขบวนการเข้ารหัสจะมีการแปลงเป็นสัญญาณดิจิตอลส่งออกไปทางขา 11 D_X

ทางภาครับ

จะมีการแปลงสัญญาณจากสัญญาณดิจิตอล (รับมาทางขา D_R) ไปเป็นสัญญาณอนาล็อก ส่งออกทางขา VF_R จะประกอบด้วย วงจรเอกซ์แพนเดอร์ (Expander) , เอทูดี (Analog to digital) , คอนเวอร์เตอร์ (Converter) และวงจรกรองความถี่ต่ำ (Low pass filter) สัญญาณดิจิตอลที่รับเข้ามาทางขา D_R ด้วยการควบคุมของFS_R (เฟรมซิงค์พัลส์ ที่รับมาจากวงจรเฟรมซิงค์) และ BCLK (รับสัญญาณนาฬิกา) สามารถปรับค่าได้ตั้งแต่ 64 กิโลเฮิร์ต จนถึง 2.04 เมกกะเฮิร์ต ซึ่งจะรับสัญญาณดิจิตอลเข้าไปยังรีจิสเตอร์รับข้อมูล

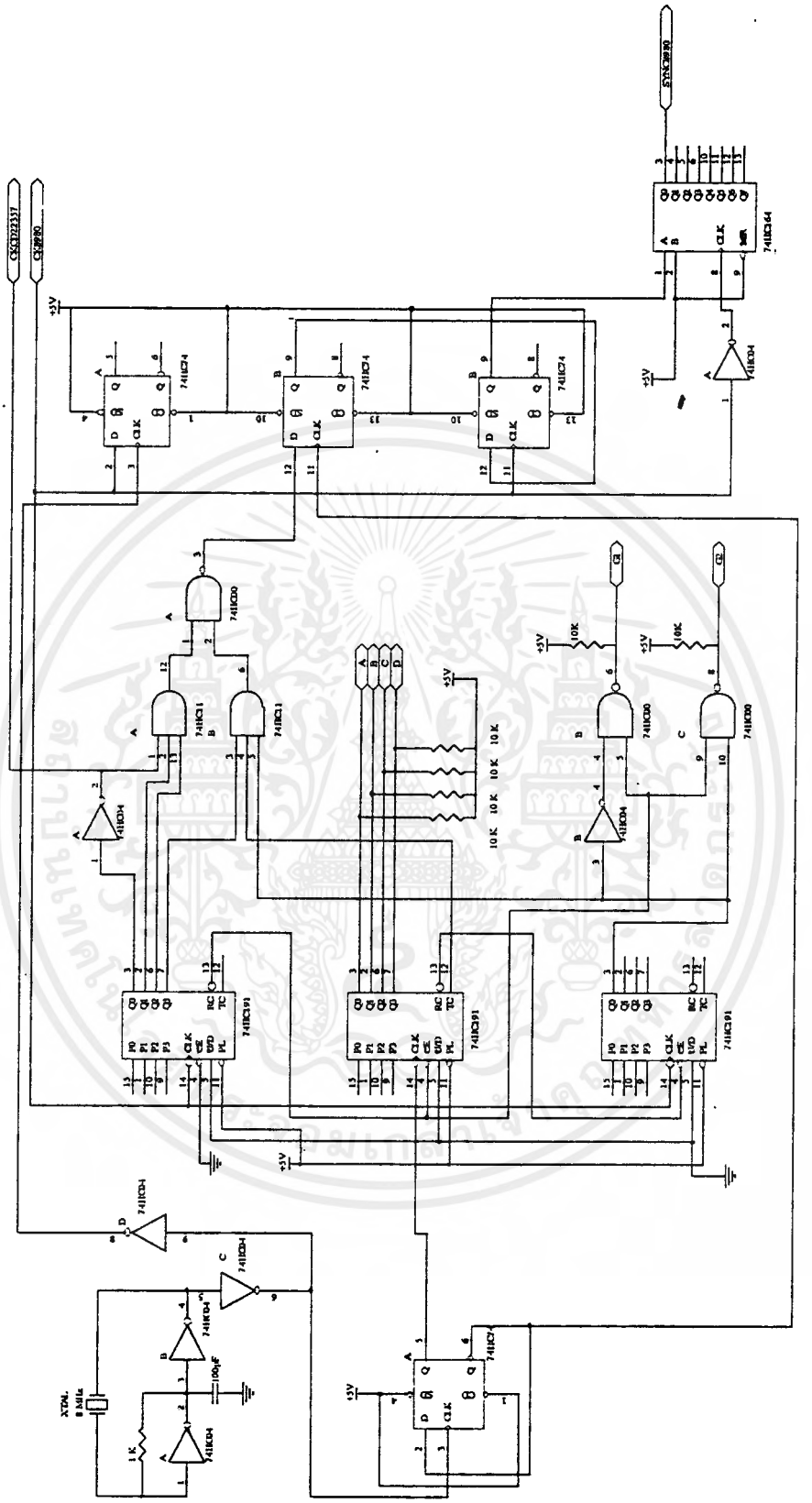
ทางตัวเปลี่ยนสัญญาณดิจิตอลเป็นอนาล็อกจะมีการทำทีละ 8 บิทของข้อมูลดิจิตอล และสัญญาณอนาล็อกจะแปลงออกมาที่ดีทูเอ คาปาซิเตอร์ สัญญาณที่ได้จะถูกส่งไปที่สวิทช์คาปาซิเตอร์ โลพาสฟิลเตอร์คล็อคที่ความถี่ 128 กิโลเฮิร์ต เพื่อที่จะปรับสัญญาณให้ดีเพื่อชดเชยการผิดเพี้ยนจาก SIN X/X ก็จะได้สัญญาณอนาล็อกออกมาทางขา VF_R

3.4 ส่วนสร้างสัญญาณนาฬิกาและสร้างไทม์สล็อต

เป็นส่วนที่สร้างสัญญาณนาฬิกาขนาด 4.096 เมกกะเฮิร์ต , 2.048 เมกกะเฮิร์ต และสัญญาณเฟรมซิงค์ขนาด 8 กิโลเฮิร์ต เพื่อป้อนให้กับดิจิตอลสวิทช์และโคเดค ในการที่จะให้วงจรเข้ารหัสและถอดรหัสได้จะต้องมีการเตรียมสัญญาณนาฬิกาและสัญญาณช่องเวลา (Time Slot) ว่าจะให้วงจรเข้ารหัสทำการเข้ารหัสจากสัญญาณอนาล็อกให้เป็นดิจิตอล แล้วเข้าช่อง PCM เพื่อให้เกิดการเรียงลำดับกัน และในทางกลับกันก็เป็นการรับข้อมูลดิจิตอล จากช่อง PCM ว่าจะให้วงจรถอดรหัสรับข้อมูลจากช่องเวลาใด

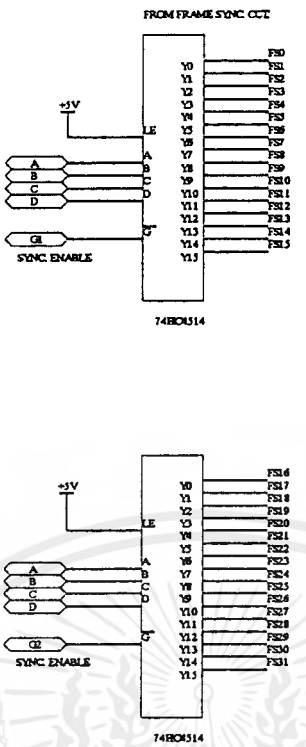
การออกแบบในที่นี้ใช้ คริสตอล 8 เมกกะเฮิร์ต เป็นตัวผลิตสัญญาณนาฬิกาหลัก ร่วมกับวงจรเกท 74HC04 สำหรับความถี่ 4 เมกกะเฮิร์ต นั้นจะใช้วงจรที่สามารถหาร 8 เมกกะเฮิร์ต ให้เหลือ 4 เมกกะเฮิร์ตโดยใช้ 74HC04 ในการผลิตสัญญาณกำหนดเฟรมของ PCM นั้นจะใช้วงจรนับฐานสอง คือ 74HC191 ซึ่งเป็นวงจรนับฐานสองทำให้ได้ความถี่สัญญาณ 2 เมกกะเฮิร์ต ออกมาด้วยที่ขา Q_0 ประโยชน์ ที่รับจากวงจรนับ 74HC191 คือนำไปแปลงข้อมูลจากรหัสเลขฐานสอง 4 บิท ให้เป็นสัญญาณ 32 บิทโดยใช้ไอซีเบอร์ 4514เพื่อเป็นสัญญาณควบคุมช่องเวลา (Time Slot)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 แสดงวงจรสร้างสัญญาณนาฬิกาและสัญญาณซิงโครนัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 แสดงวงจรสร้างสัญญาณไทม์สล็อต

3.5 ส่วนสร้างสัญญาณเสียง

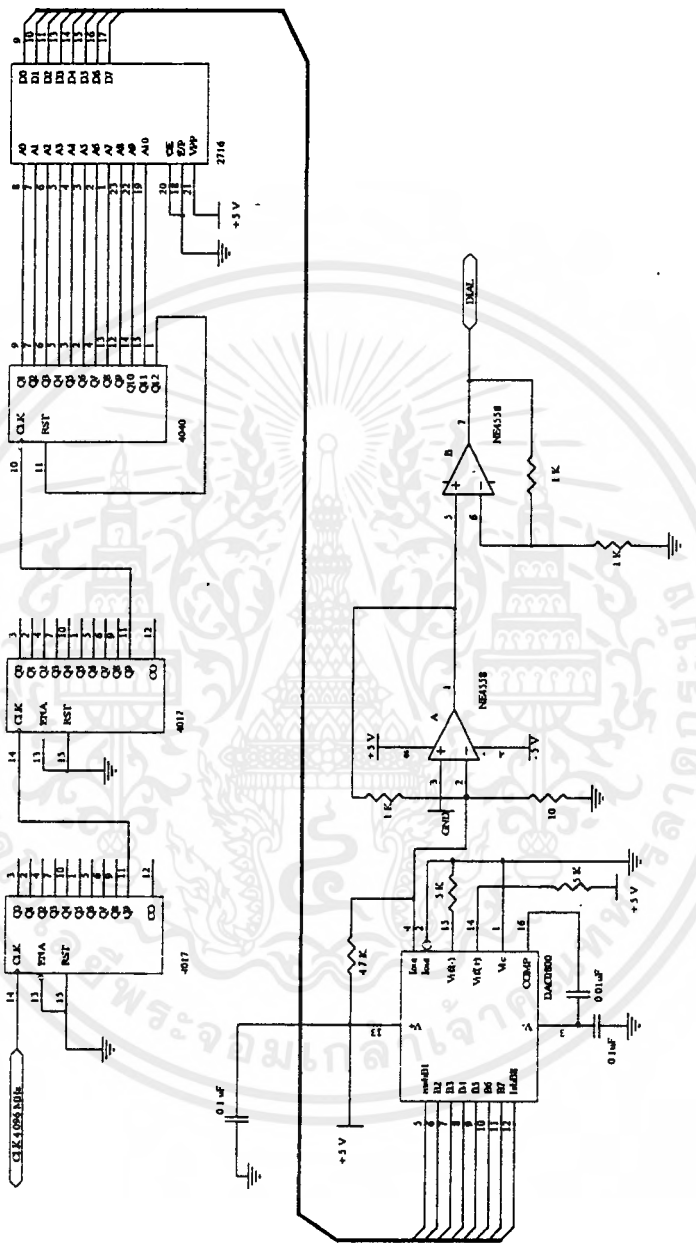
3.5.1 สัญญาณไดอัล

สร้างจากการโปรแกรมสัญญาณ 400 เฮิร์ต มอดูเลทกับสัญญาณ 25 เฮิร์ต ลงในอีพรอมซึ่งมีหน่วยความจำขนาด 2 กิโลบิท โดยเริ่มจากการนำสัญญาณนาฬิกา 4.096 เมกกะเฮิร์ต จากวงจรสร้างสัญญาณนาฬิกามาป้อนเข้าไอซีเบอร์ 4017 ซึ่งทำหน้าที่เป็นวงจรหารความถี่ (Frequency Division Circuits) เมื่อสัญญาณนาฬิกาผ่านเข้ามา 5 ไซเคิล จะทำให้ได้เอาท์พุทออกมา 1 ไซเคิล ซึ่งจะนำเอาท์พุทนี้ไปเป็นสัญญาณนาฬิกาของไอซีเบอร์ 4040 ต่อไป โดยจะใช้ไอซีเบอร์ 4040 นี้ สร้างแอดเดรส เพื่ออ่านข้อมูลดิจิตอลที่เก็บภายในอีพรอมออกมา คือ จะทำการเปลี่ยนจำนวนสัญญาณนาฬิกาให้เป็นแอดเดรส เช่น เมื่อไอซีรับจำนวนสัญญาณนาฬิกาเข้ามา 1 ไซเคิล จะได้เอาท์พุทเป็นแอดเดรส 00000000001 และเมื่อรับสัญญาณนาฬิกาเข้ามาอีก 1 ไซเคิล เป็น 2 ไซเคิลก็จะได้เอาท์พุทเป็นแอดเดรส 00000000010 ดังนั้นจากวงจรรูปที่ 3.11 ก็สามารถอ้างอิงแอดเดรสได้ 2^{11} = 2,048 แอดเดรส สัญญาณดิจิตอลที่ได้จะถูกแปลงเป็นสัญญาณอนาล็อก เมื่อผ่านไอซี DAC 0800 ดังรูปที่ 3.12

3.5.2 สัญญาณเรียกกลับและสัญญาณไม่ว่าง

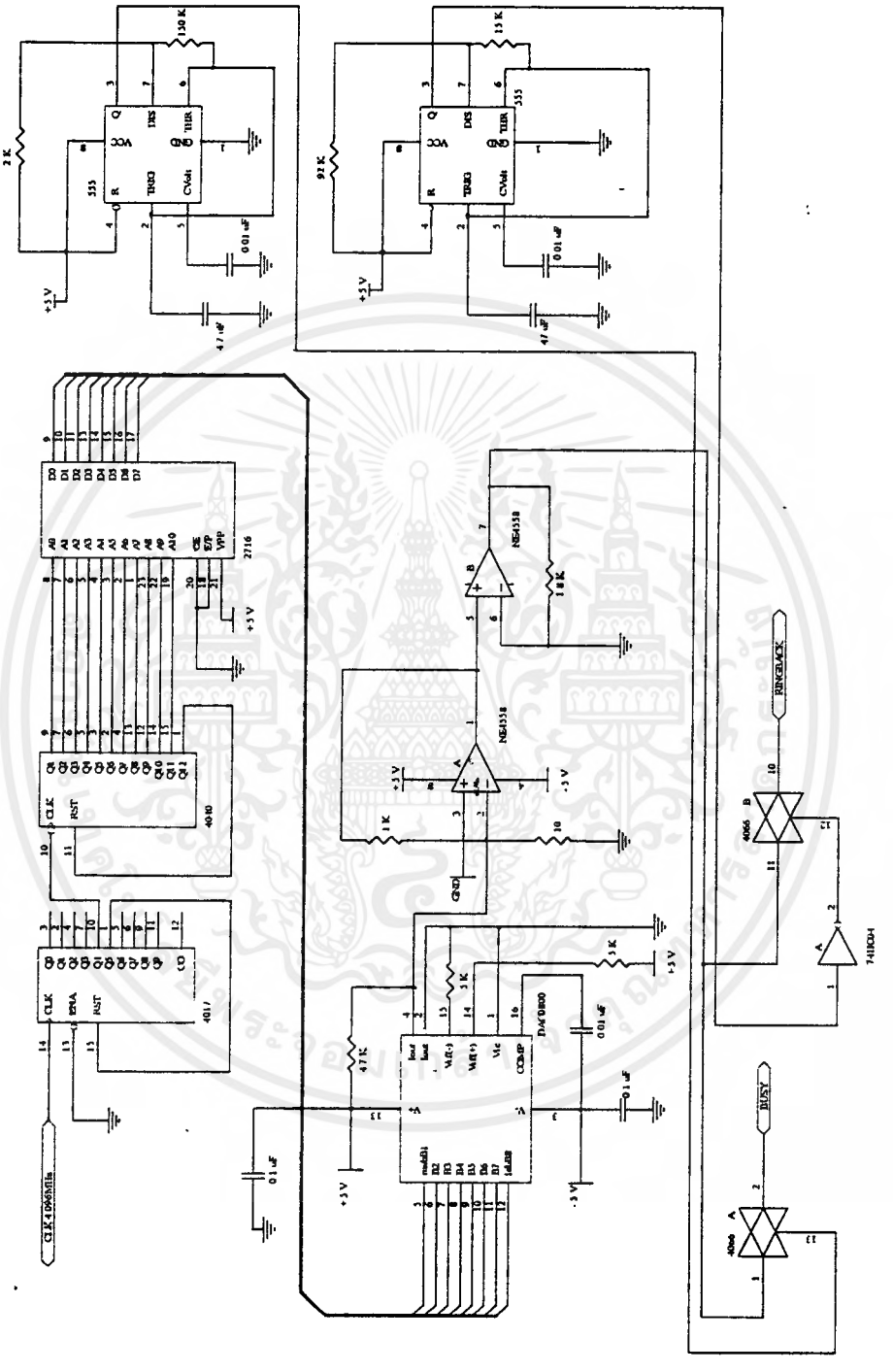
สร้างจากการโปรแกรมสัญญาณ 400 เฮิร์ต ลงในอีพรอม จากนั้นก็ทำการอ่านข้อมูลที่เป็นดิจิตอลออกมา แล้วทำการแปลงเป็นอนาล็อก (คล้ายกับข้อ3.5.1) และใช้ไอซีเบอร์ 555 ควบคุมเป็นจังหวะปิด-เปิด ซึ่งสัญญาณเรียกกลับจะมีจังหวะปิด 1 วินาทีและจังหวะเปิด 3 วินาที ส่วนสัญญาณไม่ว่างจะมีจังหวะปิดและเปิดครั้งละ 0.5 วินาที ดังรูปที่ 3.13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 แสดงวงจรสร้างสัญญาณไดอัล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 แสดงวงจรสร้างสัญญาณเรียกกลับและสัญญาณไม่ว่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 **ส่วนเชื่อมต่อของคู่สายโทรศัพท์ภายใน** (Subscriber Loop Interface Circuit หรือ SLIC)

ส่วนเชื่อมต่อของคู่สายโทรศัพท์ภายใน คือไอซีเบอร์ MH88622 ทำหน้าที่จ่ายไฟเลี้ยงดีซีให้กับเครื่องโทรศัพท์ภายใน แปลงสัญญาณจากคู่สายโทรศัพท์ภายในให้เป็นสัญญาณรับ - ส่งที่แยกกัน แสดงสภานะการยกหู และควบคุมการส่งสัญญาณเรียกวงจรซับสไคร์เบอร์ลูปอินเตอร์เฟสเซอร์กิต

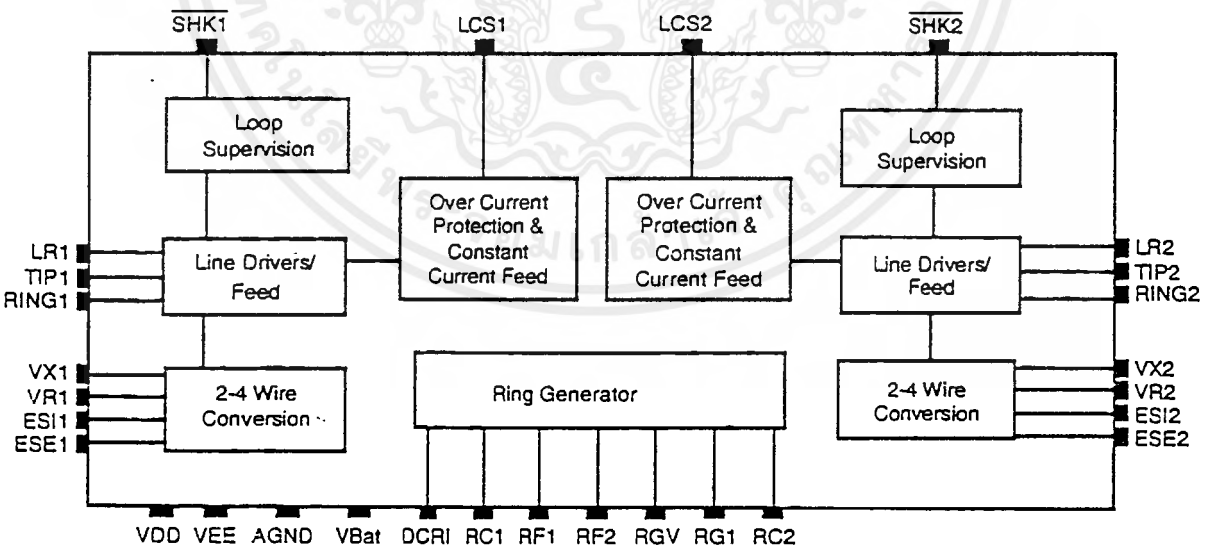
หน้าที่ของชุมสายโทรศัพท์ในเทคโนโลยีปัจจุบัน นอกจากจะทำหน้าที่ที่สำคัญในการตัดต่อวงจรโทรศัพท์ ตามความต้องการของผู้ใช้แล้ว ยังเป็นการสร้างสัญญาณต่างๆ และยังเป็นตัวจ่ายกระแสไฟฟ้าให้แก่โทรศัพท์ของผู้ใช้ และเนื่องจากการที่มีการเดินสายโทรศัพท์ที่ไกลๆ จากชุมสายโทรศัพท์ทำให้สัญญาณมีการลดทอน จึงมีความจำเป็นต้องมีการขยายสัญญาณพูดที่ชุมสายโทรศัพท์เพื่อส่งต่อสัญญาณที่ขยายแล้วไปยังผู้รับปลายทาง ปัจจุบันนี้ได้มีไอซีสำเร็จรูปเข้ามาหน้าที่อย่างเช่น ไอซีเบอร์ MH88622 ซึ่งได้นำมาใช้ในโครงงานนี้โดยทำหน้าที่

1) จ่ายกระแสไฟให้แก่โทรศัพท์

2) แยกสัญญาณจาก 2 สาย (Two Differential) ให้เป็น 4 สาย (Four Wires Single End)

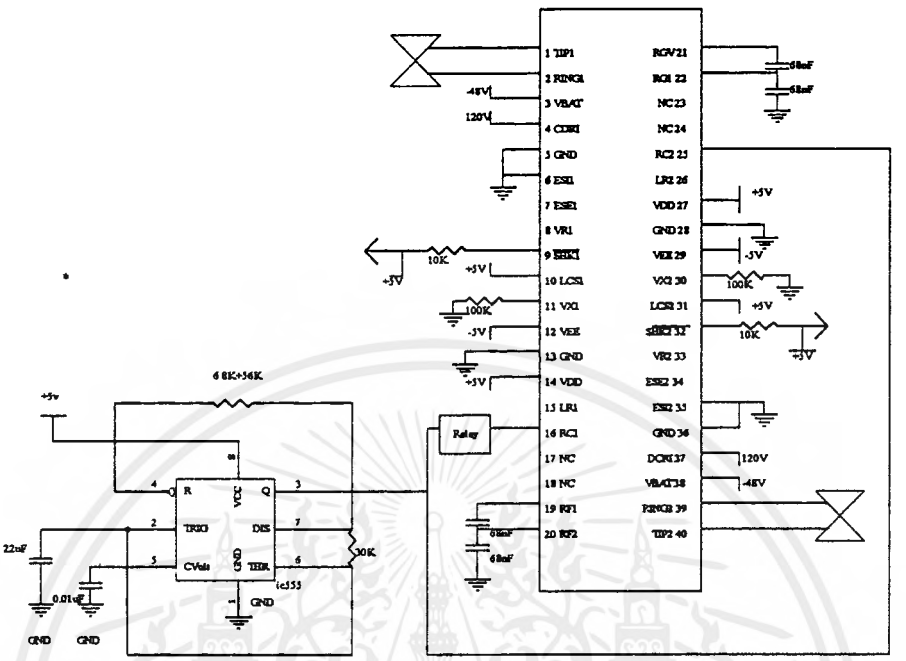
3) ตรวจสอบสถานะ การวางหู - ยกหูโทรศัพท์ หรือเรียกอุปกรณ์ที่ทำหน้าที่นี้ว่าซับสไคร์เบอร์ลูปอินเตอร์เฟสเซอร์กิต ซึ่งจะทำหน้าที่แทนวงจรไฮบริดทรานสฟอร์เมอร์ (Hybrid Transformer) ซึ่งทำหน้าที่เปลี่ยนการส่งสัญญาณแบบ 2 สายให้เป็น 4 สาย

4) จ่ายสัญญาณเรียก



รูปที่ 3.14 บล็อคไดอะแกรมแสดงส่วนประกอบของส่วนเชื่อมต่อของคู่สายโทรศัพท์ภายใน

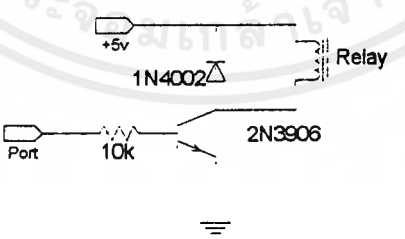
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.15 การประยุกต์การใช้งานของส่วนเชื่อมต่อของคู่สายโทรศัพท์ภายใน

3.7 วงจรขับกระแส

ในการทดสอบโปรแกรมโดยใช้คอมพิวเตอร์ ค่าลอจิก 1 ที่ออกมาจากพอร์ทของ 8255 จะมีค่ากระแสต่ำจนเกินไป ทำให้ไม่สามารถขับรีเลย์ให้ทำงานได้ ดังนั้นจึงต้องใช้วงจรขับกระแสดังรูปที่ 3.16



รูปที่ 3.16 แสดงวงจรขับกระแส

เมื่อต้องการจ่ายสัญญาณกระดิ่งให้กับโทรศัพท์ ไมโครโปรเซสเซอร์จะต้องทำการป้อนลอจิก 1 ออกมา เพื่อให้รีเลย์ทำงาน โดยจะสับสวิตช์ให้ขา RC1 ของ SLIC ต่อเข้ากับไอซี 555 ซึ่งจะเป็นตัวควบคุมจังหวะการจ่ายสัญญาณกระดิ่ง และเมื่อต้องการหยุดจ่ายก็จะป้อนลอจิก 0 ทำให้รีเลย์ทำงานอีกครั้ง โดยจะสับสวิตช์ให้ขา RC1 ต่อกับกราวน์แทน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.8 **ส่วนติดต่อกับสายภายนอก** (Co-Trunk)

ส่วนติดต่อกับสายภายนอก เป็น ส่วนที่ติดต่อโดยตรงกับสายขององค์การโทรศัพท์ เป็นส่วนที่รับสัญญาณที่ส่งมาจากชุมสายโทรศัพท์โดยทำหน้าที่เสมือนเครื่องรับโทรศัพท์ แต่สัญญาณจะถูกรับรู้ และตรวจจับโดยส่วนประมวลผลกลาง (CPU) แต่ส่วนของส่วนติดต่อกับสายภายนอก มีคุณสมบัติที่แตกต่างจากเครื่องโทรศัพท์ซึ่งสามารถแยกส่วนได้ดังนี้

3.8.1 ส่วนตรวจจับสัญญาณเรียก

สัญญาณเรียกเป็นสัญญาณขนาด 80 โวทต์ความถี่ 20 เฮิร์ต ซึ่งจ่ายมาจากชุมสายโทรศัพท์ ซึ่งหากต่อกับเครื่องโทรศัพท์ สัญญาณเรียกจะไปขับให้กระดิ่งในเครื่องโทรศัพท์ ให้ดังเป็นจังหวะโดยดัง 1 วินาที เงียบ 4 วินาที

3.8.2 ส่วนวงจรไฮบริดจ์

สัญญาณที่ส่งไปยังส่วนโคเดค จะต้องเป็นสัญญาณที่แยกด้านรับ และด้านส่ง หรือเป็นสัญญาณ 4 สายซึ่งส่วนแปลงสัญญาณจาก 2 สาย เป็น 4 สายคือส่วนวงจรไฮบริดจ์

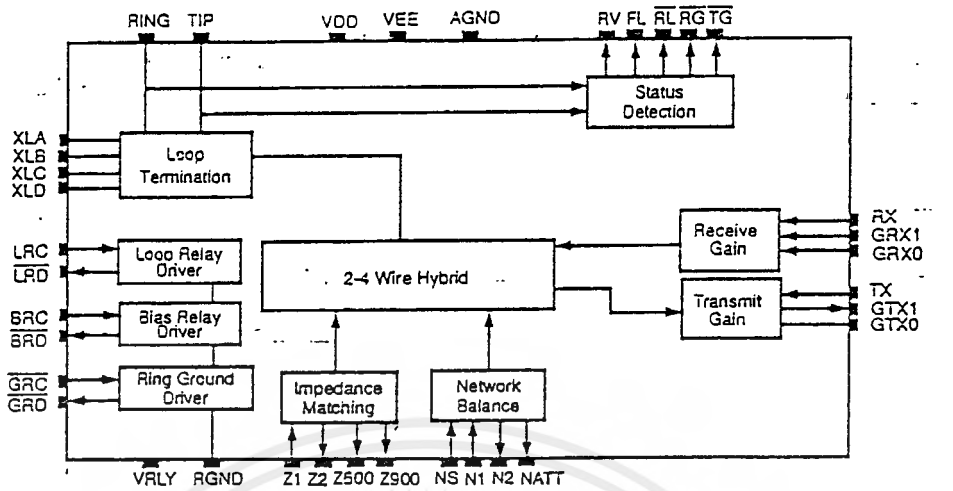
ในโครงงานนี้ใช้ ไอซี MH88632 มาเป็นส่วนตรวจจับสัญญาณกระดิ่งและตอบรับโทรศัพท์รวมทั้งเป็นวงจร 2 - 4 HYBRID CONVERSION โดยต่ออุปกรณ์ภายนอกเข้ากับ MH 88632 ดังแสดงได้ดังรูปที่ 3.15 และมีลำดับการดำเนินการดังนี้

1. เมื่อมีสัญญาณกระดิ่งเข้ามาที่ขาทิป (Tip) และ ริง (Ring) แล้ว สัญญาณที่ออกที่ขา 36 $\overline{RV}$ (Ring Detect) จะเปลี่ยนสถานะจาก 1 ไปเป็น 0 และสัญญาณจากขานี้จะเข้าสู่คอมพิวเตอร์โดยผ่านคอนเนคเตอร์ชนิด DB - 25

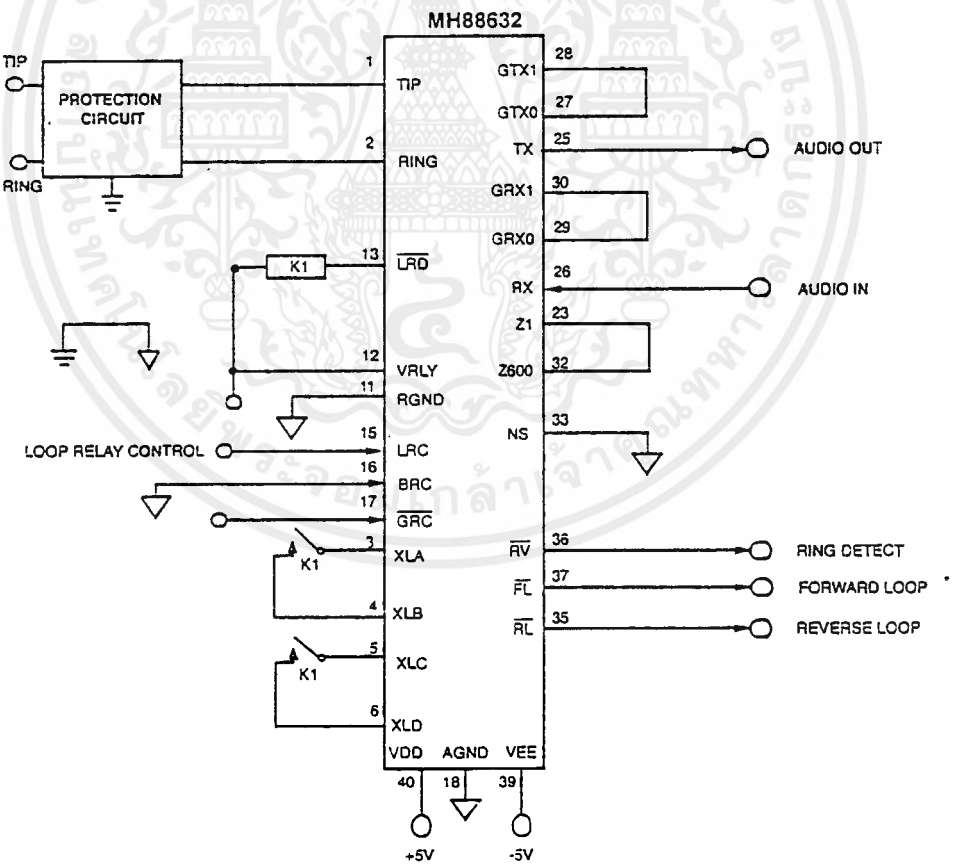
2. เมื่อคอมพิวเตอร์ได้รับการเปลี่ยนแปลงนี้คอมพิวเตอร์จะทำการส่งสัญญาณลอจิกสูง เข้าขาที่ 15 LRC (Loop Relay Control) เมื่อขาที่ 15 เปลี่ยนสถานะจาก 0 เป็น 1 แล้ว สถานะของขา 13 $\overline{LRD}$ (Loop Relay Drive) จะเปลี่ยนสถานะจาก 1 ไปเป็น 0 ซึ่งจะทำให้รีเลย์ K1 ถูกกระตุ้น

3. เมื่อรีเลย์ K1 ถูกกระตุ้นแล้วจะทำการต่อโหลดโทรศัพท์โดย ขา 3 กับขา 4 , ขา 5 กับขา 6 จะเชื่อมต่อกัน จากนั้นเราสามารถส่งสัญญาณเสียงออกมาทาง TX และรับสัญญาณ DTMF จากขา RX

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.17 บล็อกไดอะแกรมแสดงส่วนประกอบของโคทรั้งค์

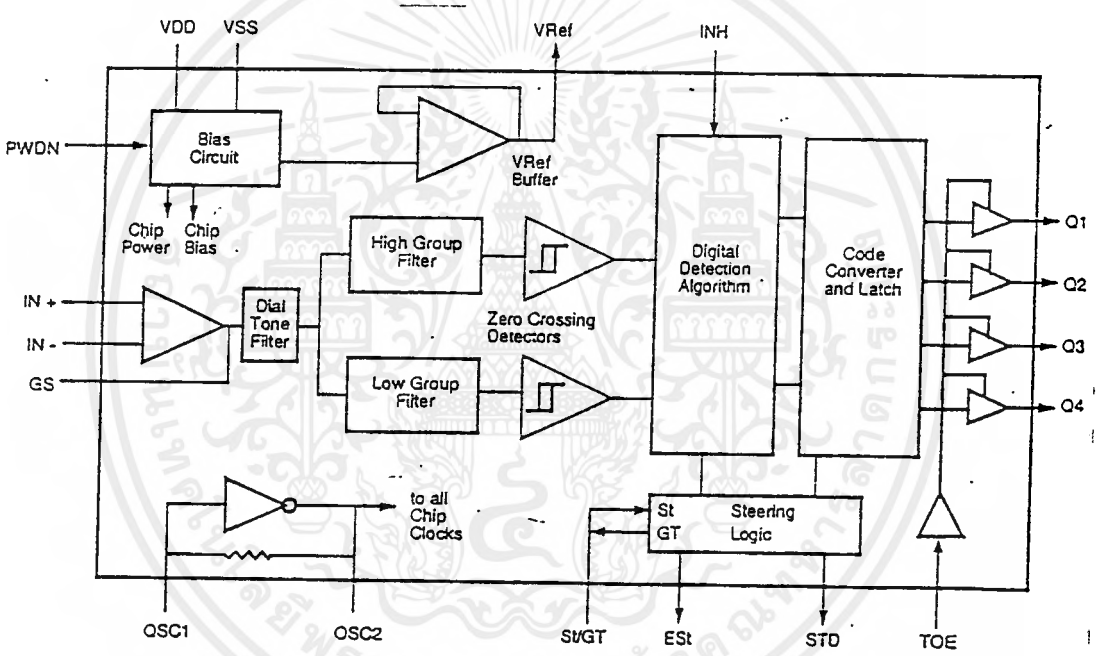


รูปที่ 3.18 วงจรโคทรั้งค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.9 **ส่วนของการถอดรหัสสัญญาณคู่ความถี่**

ใช้ไอซี MT8870 ทำหน้าที่ในการถอดรหัสสัญญาณคู่ความถี่ออกมาเป็นรหัสไบนารี 4 บิทโดยรหัสไบนารีที่ได้ จะนำไปเชื่อมต่อกับ ส่วนรับเลขหมายต่อไป โครงสร้างภายในของ MT8870 ประกอบด้วยวงจรกรองความถี่แบบดิจิตอล และวงจรถอดรหัสฟังก์ชั่นทางดิจิตอล ในส่วนของวงจรกรองความถี่ ใช้เทคนิคของสวิทช์ คาปาซิเตอร์ฟิลเตอร์สำหรับกรองความถี่สูง และ ต่ำ ของสัญญาณ DTMF ส่วนวงจรถอดรหัสใช้เทคนิคการนับทางดิจิตอล เพื่อตรวจจับและถอดรหัสทั้ง 16 ความถี่ ออกเป็นเลขฐาน 2 ขนาด 4 บิท และเช็คช่วงเวลาที่สัญญาณเข้ามาทางภาคอินพุทของออปแอมป์



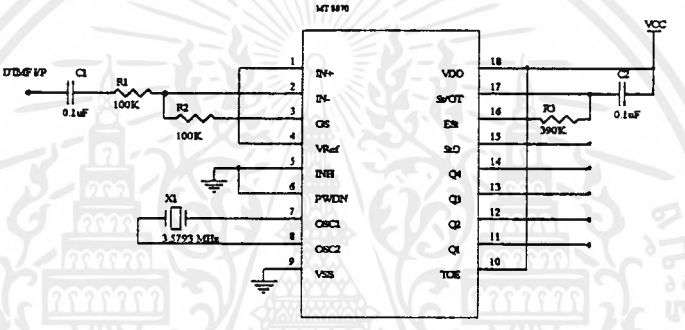
รูปที่ 3.19 แสดงโครงสร้างของไอซีเบอร์ MT 8870

ส่วนทางเอาท์พุทเป็นวงจร แลทช์ 3 สถานะ และส่วนสำคัญอีกส่วนคือ ภาคกรองความถี่ ภาคถอดรหัส มีการตรวจสัญญาณ ขยายสัญญาณ และส่วนกำเนิดความถี่ซึ่งในแต่ละเลขหมายเมื่อทำการกดรหัสจะได้เอาท์พุทที่มีความถี่ออกมา 2 ความถี่คือความถี่ทางด้านต่ำและความถี่ทางด้านสูง ค่าเอาท์พุทจะเป็นเลขฐานสองขนาด 4 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การต่อวงจรและนำไปใช้งานส่วนวิเคราะห์สัญญาณโทรศัพท์

การต่อวงจรเพื่อนำไปใช้งานการวิเคราะห์ความถี่ของเครื่องรับโทรศัพท์ ตามวงจรที่ได้แสดงไว้ดังรูปที่ 3.20 โดยหลักการทำงานของวงจรคือ ความถี่โทรศัพท์ที่ผ่านส่วนสวิทชิ่งในตู้สาขา ส่งเข้ามาทางอินพุทของส่วนวิเคราะห์ผ่าน R1 และ C1 ทำหน้าที่เป็นตัวคัปปลิ้งสัญญาณส่งให้ MT 8870 ทำการวิเคราะห์สัญญาณเลขหมาย โดยส่งเอาท์พุทออกทางขา Q1-Q4 เป็นเลขฐานสองขนาด 4 บิท ส่งให้ภาคควบคุมตรวจสอบเลขหมายที่ได้รับเพื่อทำตามคำสั่งที่ได้กำหนดไว้ ส่วนค่า R3 และ C2 ที่ต่ออยู่เพื่อการตั้งค่าเวลาในการกดหมายเลขได้ตามต้องการ X1 เป็นตัวผลิตความถี่ป้อนให้ไอซี



รูปที่ 3.20 วงจรใช้งานของส่วนวิเคราะห์ความถี่โทรศัพท์

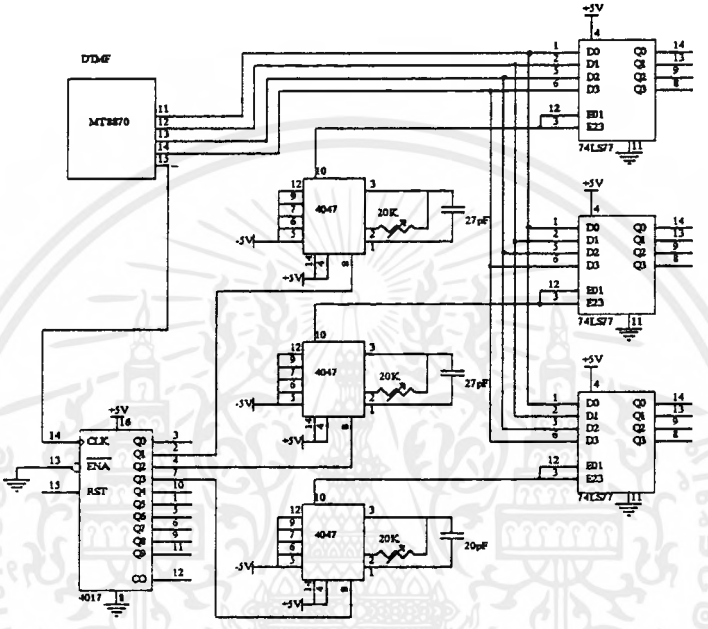
3.10 ส่วนวงจรรับเลขหมาย

ในที่นี้จะกล่าวถึง ส่วนที่ทำหน้าที่รับเลขหมาย ซึ่งมีหลักการทำงานคือเมื่อกดหมายเลขหนึ่งเลขหมายเอาท์พุทสถานะลอจิกสูง จากขาของ MT8870 จะมาเป็นสัญญาณนาฬิกาให้กับไอซี 4017 เพื่อผลิตพัลซ์ซึ่งจะนำไปใช้อีนาเบิล 74LS77 ให้แลทช์ (Latch) เอาท์พุทของ MT 8870 เข้าไปเก็บไว้ในบัฟเฟอร์โดยมีไอซี 4047 ช่วยในการเปลี่ยนสภาวะเอาท์พุทของ ไอซี 4017 จากลอจิกสูงเป็นลอจิกต่ำเพื่อจะได้เป็นพัลซ์อีนาเบิล 1 ลูก

ดังนั้นสมมติ กดหมาย "3" เอาท์พุทแรกของไอซี 4017 จากขา 2 จะอีนาเบิลบัฟเฟอร์ 74LS 77 ตัวแรกให้แลทช์หมายเลข "3" ในรูปเลขฐานสองเข้าไปเก็บไว้ ถ้าต่อไปกดหมายเลข "2" เอาท์พุทตัวที่สองของไอซี 4017 จากขา 4 จะอีนาเบิลบัฟเฟอร์ตัวที่สองให้แลทช์หมายเลข "2" ในรูปเลขฐานสองมาเก็บไว้ ในขณะที่บัฟเฟอร์ตัวแรกยังคงเก็บหมายเลข"3" ใน รูปเลขฐานสองไว้เช่นกัน ในทำนองเดียวกันถ้ากดอีกหนึ่งหมายเลข หมายเลขนั้นก็จะถูกแลทช์ไว้ในบัฟเฟอร์ ตัวที่ 3 ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อจากนั้นหมายเลขฐานสองที่เก็บไว้ในบัฟเฟอร์แต่ละตัวจะถูกนำไปใช้เพื่อวิเคราะห์คู่สายปลายทางต่อไป



รูปที่ 3.21 แสดงวงจรส่วนรับเลขหมาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การทดลองและผลการทดลอง

4.1 ส่วนดิจิตอลสวิทชิ่งและโคเดค

ในโครงงานนี้ใช้ดิจิตอลสวิทชิ่งเบอร์ MT8980 และใช้โคเดคเบอร์ CD 22357A โดยได้ทำการทดสอบการทำงานของดิจิตอลสวิทชิ่งโดยใช้การเขียนโปรแกรมภาษาซี ซึ่งจะต้องมีการออกแบบการเชื่อมต่อระหว่างคอมพิวเตอร์กับดิจิตอลสวิทชิ่ง โดยใช้ไอซีเบอร์ 8255 , 74LS20 , 74LS32 และ 74LS138 เพื่อทำการขยายพอร์ทที่จะใช้เชื่อมต่อกับดิจิตอลสวิทชิ่งโดยทำการขยายทำพอร์ททั้งหมดจำนวน 6 ชุด ซึ่งได้แก่ แอดเดรส ต่อไปนี้ 2F0-2F3 , 2F4-2F7 , 300-303 , 304-307 , 308-30B และ 30C-30F ดังแสดงในรูปที่ 4.1

โปรแกรมที่ใช้ทดสอบนี้จะเป็นการสลับช่องสัญญาณอินพุทไปยังช่องสัญญาณเอาท์พุท และใช้โคเดคในการแปลงสัญญาณอนาล็อก(เสียงพูด)ให้เป็นสัญญาณดิจิตอล ซึ่งการทำงานของทั้งดิจิตอลสวิทชิ่งและโคเดคจะใช้สัญญาณนาฬิกาและสัญญาณซิงโครนัสจากวงจรสร้างสัญญาณนาฬิกาและไทม์สล็อต ซึ่งได้กล่าวมาแล้วข้างต้น จะประกอบด้วย

1) ทำการป้อนสัญญาณนาฬิกา 2.048 เมกกะเฮิร์ต ให้กับโคเดค

2) ทำการป้อนสัญญาณนาฬิกา 4.096 เมกกะเฮิร์ต ให้กับดิจิตอลสวิทชิ่ง

3) ทำการป้อนสัญญาณเฟรมซิงโครนัสให้กับดิจิตอลสวิทชิ่ง

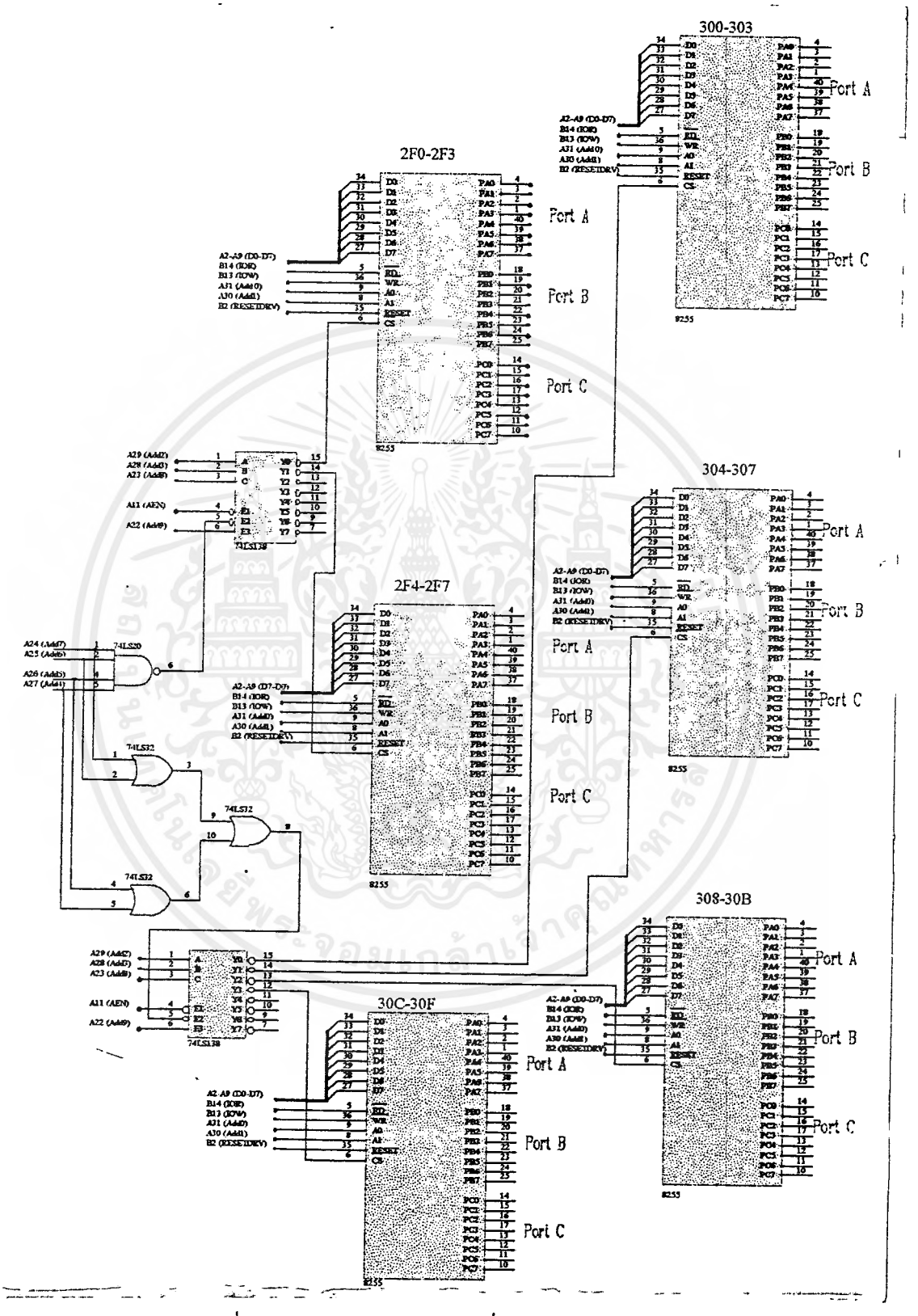
4) ทำการป้อนสัญญาณไทม์สล็อต (0 - 31) ซึ่งจะใช้เลือกช่องสัญญาณที่ต้องการให้กับโคเดค และต่อขา DSTo ของโคเดคทางด้านส่งเข้ากับขา STi0 - STi7 ที่ต้องการและต่อขา DSTi ของโคเดคทางด้านรับเข้ากับขา STo0 - STo7 ที่ต้องการ ในที่นี้เลือกใช้ ไทม์สล็อตที่ 0 (ช่องสัญญาณที่ 0) และ STi0 เป็นด้านส่ง และใช้ไทม์สล็อตที่ 10 (ช่องสัญญาณที่ 10) และ STo0 เป็นด้านรับ โดยในการป้อนสัญญาณนาฬิกา 2.048 , 4.096 เมกกะเฮิร์ต และสัญญาณเฟรมซิงโครนัสจะต้องมีบัฟเฟอร์เพื่อป้องกันการรบกวนของสัญญาณ

ส่วนที่เพิ่มเติมในเทอมนี้คือทำการเชื่อมต่อสัญญาณเสียงต่างๆได้แก่สัญญาณไดอัล , สัญญาณเรียกกลับ และสัญญาณไม่ว่าง เข้ากับโคเดค และเชื่อมต่อกับดิจิตอลสวิทชิ่ง เพื่อทำการทดลองจ่ายสัญญาณเสียงต่างๆ ไปยังเครื่องโทรศัพท์ที่ต้องการ โดยทำการเชื่อมต่อสัญญาณเสียงเหล่านั้นเข้าที่ขา Vx ของโคเดคซึ่งสัญญาณแต่ละสัญญาณจะต่อกับโคเดค 1 ตัวและนำสัญญาณดิจิตอลที่แปลงได้จากขา DSTo ไปเชื่อมต่อกับขา STi7 ของดิจิตอลสวิทชิ่ง โดยในที่นี้ขา $\overline{\text{F1i}}$ ของโคเดคที่เชื่อมต่อกับสัญญาณเรียกกลับ จะกำหนดให้ใช้ไทม์สล็อตที่ 31 สัญญาณไม่ว่างใช้ไทม์สล็อตที่ 30 และสัญญาณไดอัลใช้ไทม์สล็อตที่ 29

และนอกจากนั้นจะทำการเชื่อมต่อวงจรส่วนรับเลขหมายเข้ากับโคเดคด้วยโดยเชื่อมต่อขา DSTi ของโคเดค เข้ากับขา STi 7 ของดิจิตอลสวิทชิ่ง และ สัญญาณอนาล็อกที่แปลงได้ (จากการกดแป้นโทรศัพท์) จะต่อกับขา Vr ของโคเดคเพื่อใช้เป็นอินพุทของส่วนถอดรหัส DTMF ต่อไป โดยในโครงงานนี้ทำการสร้างวงจรส่วนรับเลขหมายสองชุดต่อ PABX หนึ่งตู้ ซึ่งวงจรชุดแรกขา $\overline{\text{F1i}}$ ของโคเดคจะกำหนดให้ใช้ไทม์สล็อต

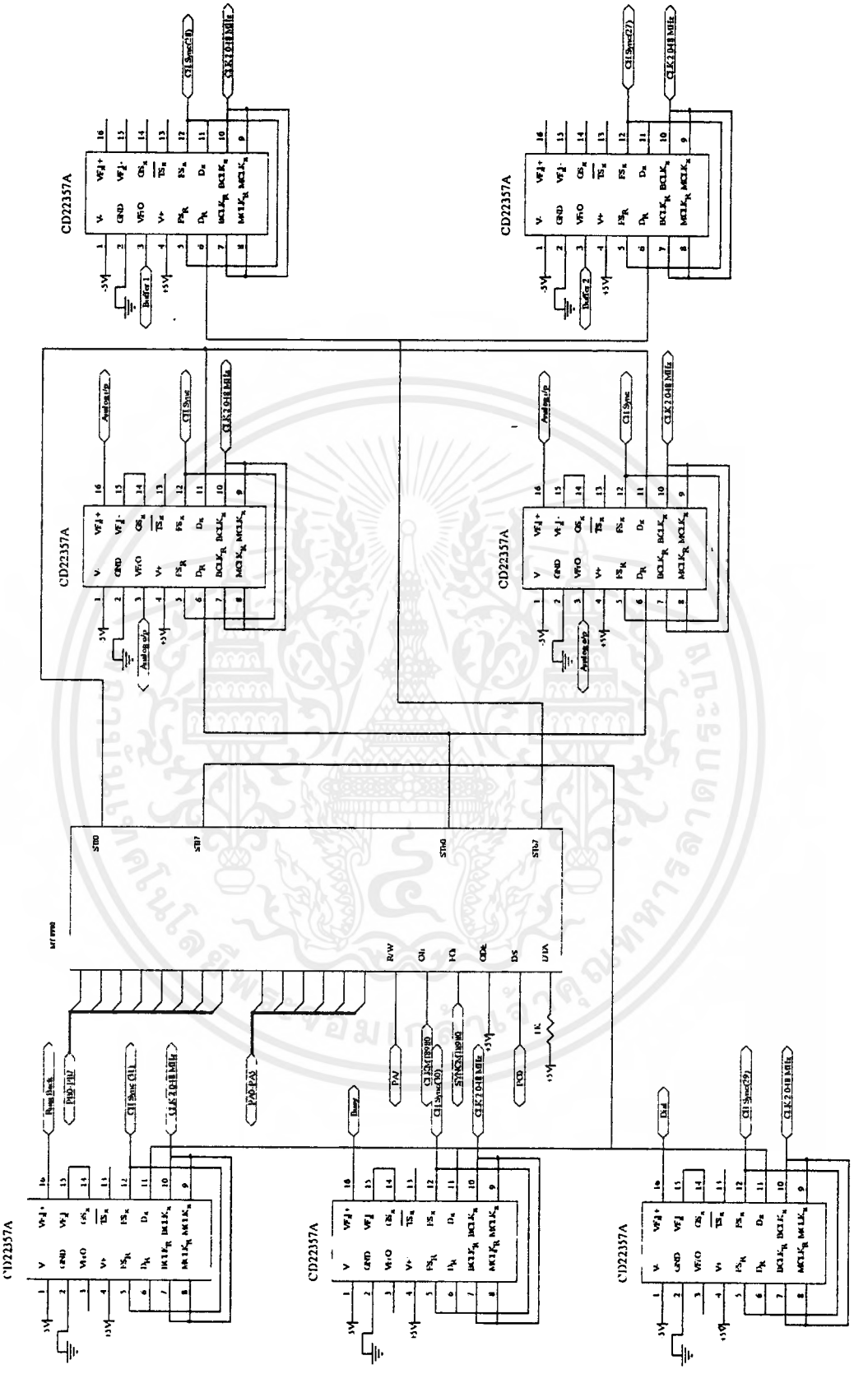
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ 28 ส่วนชุดที่สอง ใช้ไทม์สล็อตที่ 27 ส่วนวงจรที่ใช้ในการทดสอบการทำงานของดิจิตอลสวิทชิ่งและโคเดคซึ่งต่อกับสัญญาณเสียงต่างๆ รวมทั้งเชื่อมต่อกับวงจรส่วนรับเลขหมายแสดงในรูปที่ 4.2



รูปที่ 4.1 แสดงวงจรขยายพอร์ทเพื่อติดต่อกับ MT 8980

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


CD22357A
CD22357A
CD22357A

โปรแกรมที่ใช้ในการทดสอบดิจิตอลสวิทชิ่งคือ

```
#include <stdio.h>
#include <dos.h>
#include <conio.h>

void main(void)
{
int STo,STi,CHo,CHi;
unsigned char a1,a2,a3,a4;
STi=0;CHi=0;          /* tel A */
STo=0;CHo=11;         /* tel B */
/* connect A to B */
a1 = 144 | STo;                /* 10010000 or 00000xxx */
a2 = (STi<<5) | CHi;           /* xxx00000 or 000xxxxx */
a3 = 24 | STo;                 /* 00011000 or 00000xxx */
a4 = 32 | CHo;                 /* 00100000 or 000xxxxx */
outportb(0x2F3,0x80);
outportb(0x2F2,0x00);
outportb(0x2F0,0x00);           /* connect control register(PA5=0)
                                   & write in it (Pa7=0) */
outportb(0x2F1,a1);             /* contain data to control
                                reg.<10010XXX>
                               D0-D2 is STo
                               D3-D4 is connect connection mem low
                               D6-D7 is split mode */
outportb(0x2F2,0x01); delay(1); /* set DS */
outportb(0x2F2,0x00); delay(1); /* reset DS */
outportb(0x2F0,a4);             /* select channel output */
outportb(0x2F1,a2);             /* contain data to connection mem
                                low */
outportb(0x2F2,0x01); delay(1); /* set DS */
outportb(0x2F2,0x00); delay(1); /* reset DS */


outportb(0x2F0,0x00);           /* connect control register */
outportb(0x2F1,a3);             /*contain data in control register
                        PA0-PA2 is STo
                        PA3-PA4 is connect connection mem high*/

outportb(0x2F2,0x01); delay(1); /* set DS */
outportb(0x2F2,0x00); delay(1); /* reset DS */
outportb(0x2F0,a4);             /* select channel output */
outportb(0x2F1,0x01);           /*send data to connection mem high
                                 & output enable */
outportb(0x2F2,0x01); delay(1); /* set DS */
outportb(0x2F2,0x00);           /* reset DS */

/* connect B to A */
a1 = 144 | STi;
a2 = (STo<<5) | CHo;
a3 = 24 | STi;
a4 = 32 | CHi;
outportb(0x2F0,0x00);
outportb(0x2F1,a1);
outportb(0x2F2,0x01); delay(1);
outportb(0x2F2,0x00); delay(1);
outportb(0x2F0,a4);
outportb(0x2F1,a2);
outportb(0x2F2,0x01); delay(1);
outportb(0x2F2,0x00); delay(1);
outportb(0x2F0,0x00);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

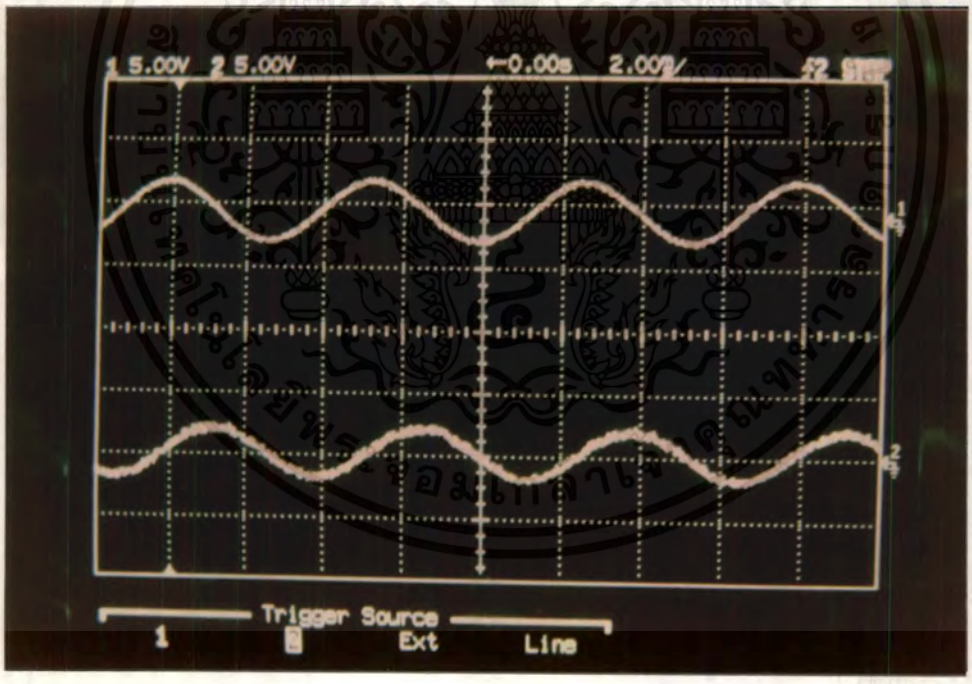
```
outportb(0x2F1,a3);
outportb(0x2F2,0x01); delay(1);
outportb(0x2F2,0x00); delay(1);
outportb(0x2F0,a4);
outportb(0x2F1,0x01);
outportb(0x2F2,0x01); delay(1);
outportb(0x2F2,0x00);
}
```

และเมื่อทำการวัดสัญญาณจากวงจรหลังจากที่ทำการรันโปรแกรมจะได้ผลการทดลองดังนี้

1) ทำการวัดสัญญาณอนาล็อกอินพุทที่ป้อนเข้าที่โคเดคทางด้านส่ง เปรียบเทียบกับสัญญาณอนาล็อกเอาท์พุทที่ได้จากโคเดคทางด้านรับ จะได้ผลการทดลองดังรูปที่ 4.3

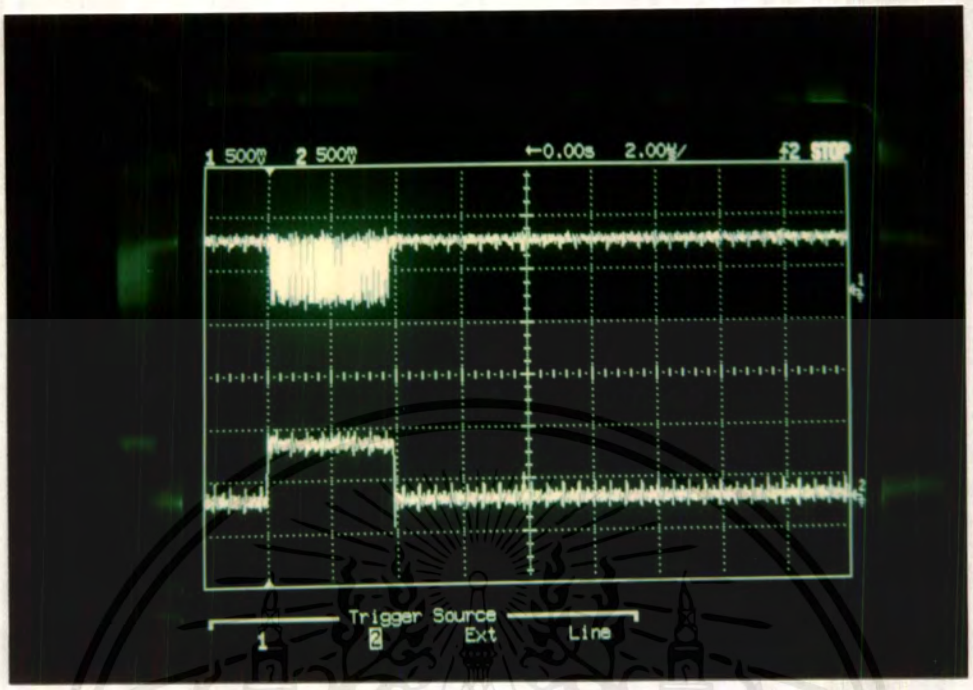
2) ทำการวัดสัญญาณดิจิตอลอินพุทที่ได้หลังจากผ่านโคเดคทางด้านส่ง เปรียบเทียบกับสัญญาณชาแนลซิงค์ (ไทม์สล็อต) ที่ 0 จะได้ผลการทดลองดังรูปที่ 4.4

3) ทำการวัดสัญญาณดิจิตอลเอาท์พุทที่ได้หลังจากผ่านดิจิตอลสวิทชิ่ง เปรียบเทียบกับสัญญาณชาแนลซิงค์ (ไทม์สล็อต) ที่ 10 จะได้ผลการทดลองดังรูปที่ 4.5

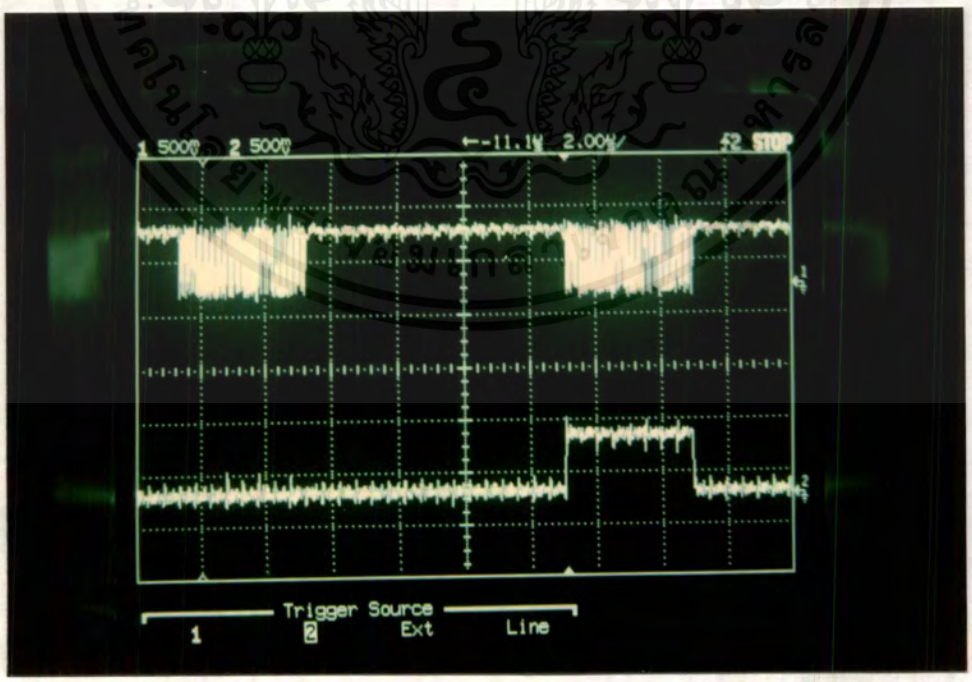


รูปที่ 4.3 แสดงสัญญาณอนาล็อกอินพุทกับสัญญาณอนาล็อกเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 แสดงสัญญาณดิจิตอลอินพุทกับสัญญาณซาแนลซิงค์ที่ 0



รูปที่ 4.5 แสดงสัญญาณดิจิตอลเอาท์พุท กับสัญญาณซาแนลซิงค์ที่ 10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 ส่วนสร้างสัญญาณนาฬิกาและไทม์สล็อต

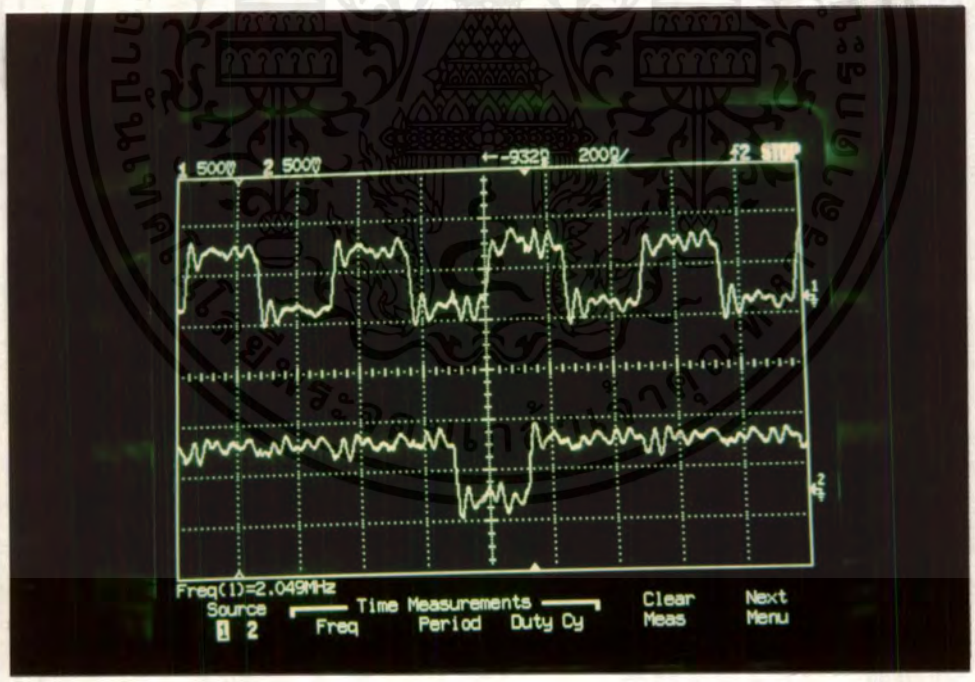
จากการทดลองวัดสัญญาณที่ได้จากวงจรที่สร้างขึ้นได้ผลการทดลองดังนี้

1) ทำการวัดสัญญาณนาฬิกา 2.048 เมกกะเฮิร์ต เปรียบเทียบกับสัญญาณเฟรมซิงค์จะได้ผลการทดลองดังรูปที่ 4.6

2) ทำการวัดสัญญาณนาฬิกา 4.096 เมกกะเฮิร์ต เปรียบเทียบกับสัญญาณเฟรมซิงค์จะได้ผลการทดลองดังรูปที่ 4.7

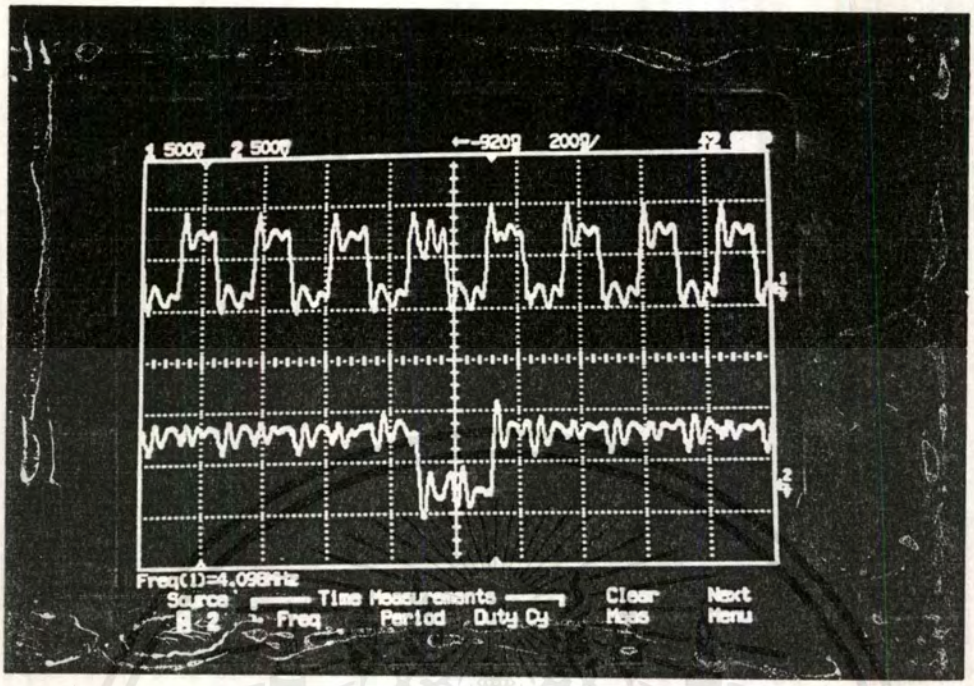
3) ทำการวัดสัญญาณเฟรมซิงค์ เปรียบเทียบกับสัญญาณไทม์สล็อตที่ 0 จะได้ผลการทดลองดังรูปที่ 4.8

4) ทำการวัดสัญญาณเฟรมซิงค์ เปรียบเทียบกับสัญญาณไทม์สล็อตที่ 31 จะได้ผลการทดลองดังรูปที่ 4.9

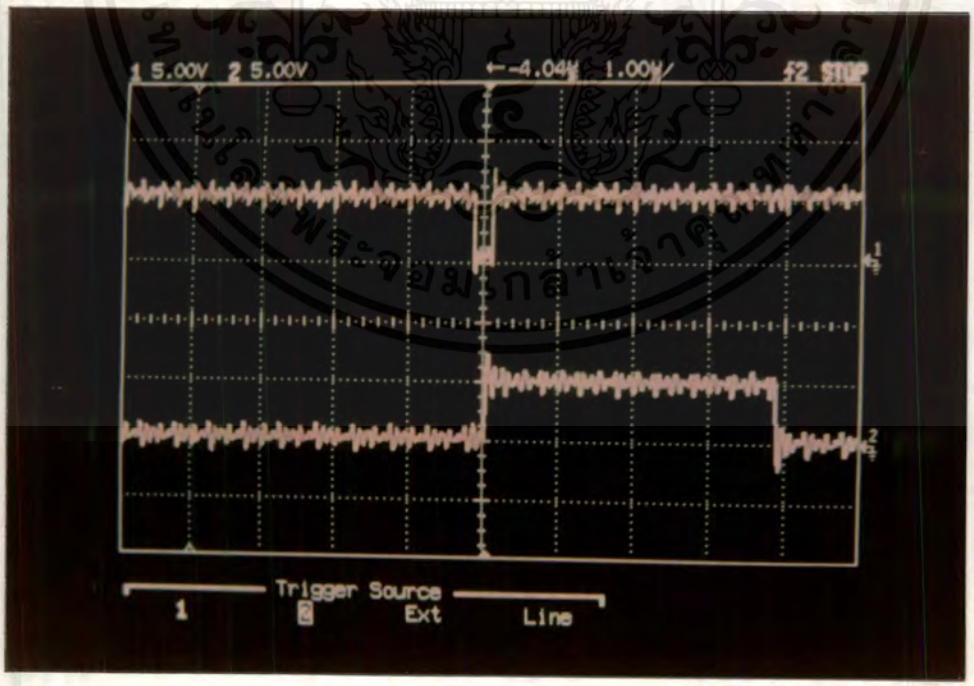


รูปที่ 4.6 แสดงสัญญาณนาฬิกา 2.048 เมกกะเฮิร์ต กับสัญญาณเฟรมซิงค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

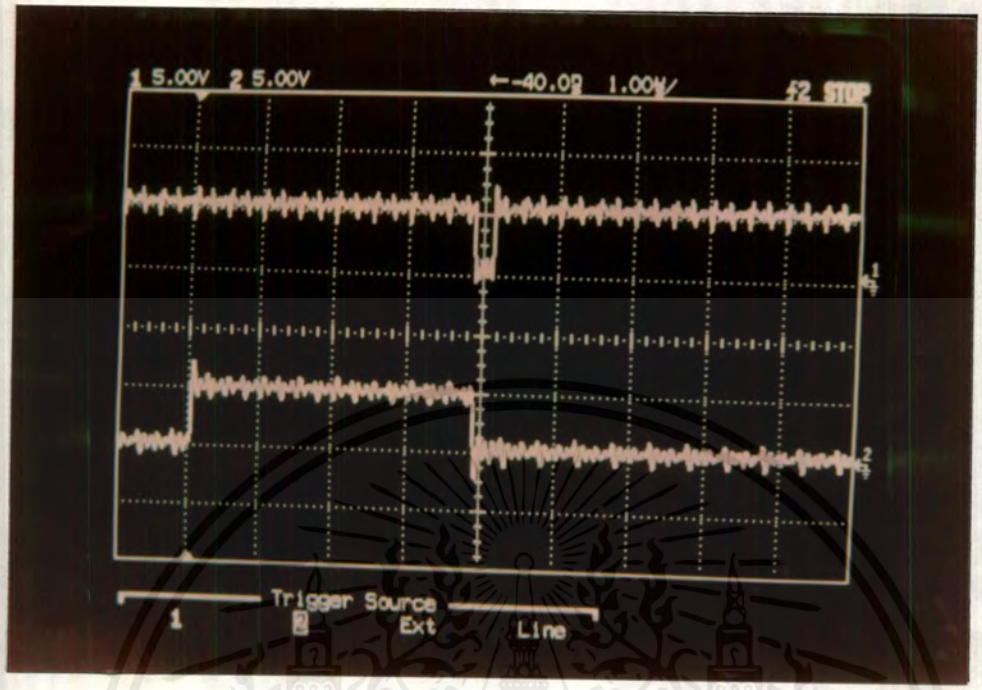


รูปที่ 4.7 แสดงสัญญาณนาฬิกา 4.096 เมกกะเฮิร์ต กับสัญญาณเฟรมซิงค์



รูปที่ 4.8 แสดงสัญญาณเฟรมซิงค์ กับสัญญาณไทม์สล็อตที่ 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 แสดงสัญญาณเฟรมซิงค์ กับสัญญาณไทม์สล็อตที่ 31

4.3 ส่วนสร้างสัญญาณเสียง

ผลการทดลองวงจรสร้างสัญญาณไดอัล

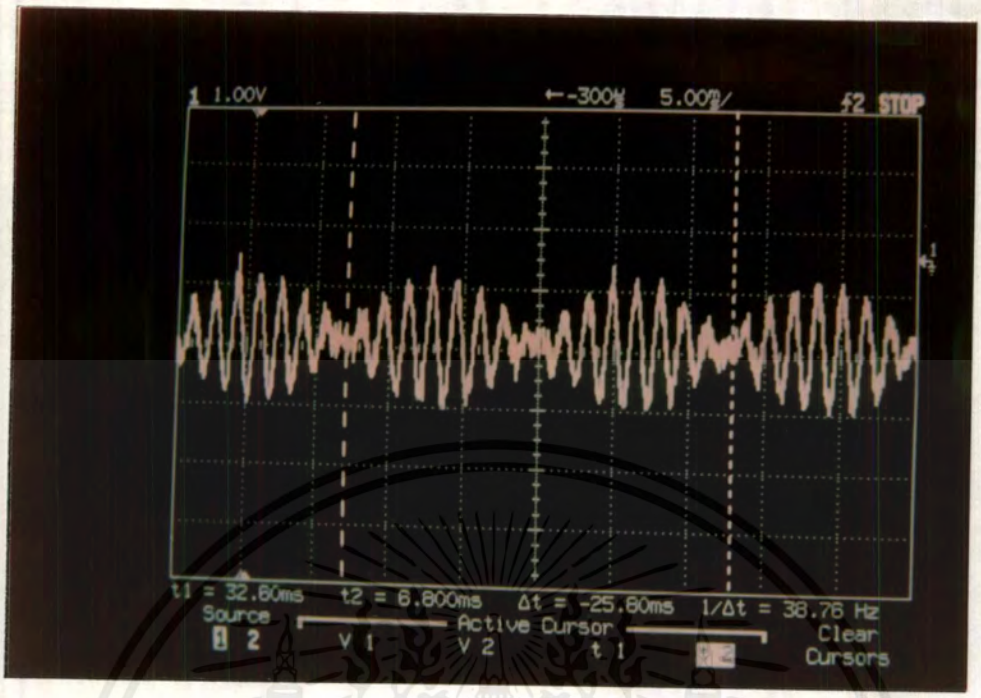
ต่อวงจรดังรูปที่ 3.12 แล้วป้อนสัญญาณนาฬิกา ขนาด 4.096 เมกกะเฮิร์ต จากวงจรสร้างสัญญาณนาฬิกา เข้าที่ขา 14 (CLK) ของ ไอซีเบอร์ 4017 สังเกตและวัดรูปสัญญาณเอาท์พุทที่ขา 7 ของไอซีเบอร์ NE 4558

ผลการทดลองวงจรสร้างสัญญาณไม่ว่างและ สัญญาณเรียกกลับ

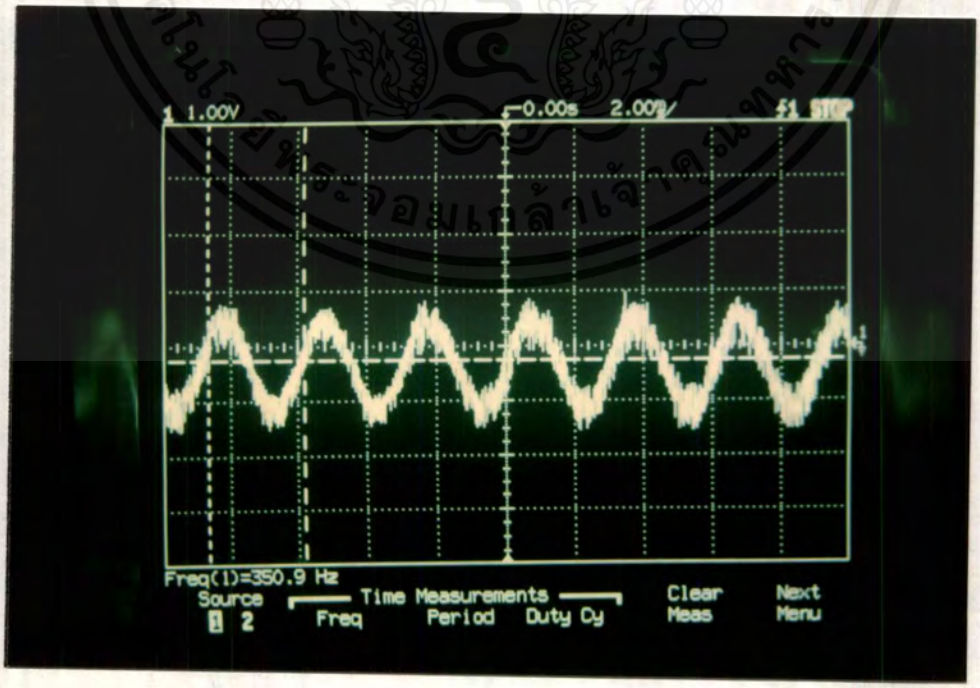
1). ต่อวงจรดังรูปที่ 3.13 ป้อนสัญญาณนาฬิกาขนาด 4.096 เมกกะเฮิร์ต จากวงจรสร้างสัญญาณนาฬิกาเข้าที่ขา 14 (CLK) ของไอซีเบอร์ 4017 สังเกตและวัดรูปสัญญาณเอาท์พุทที่ขา 7 ของไอซีเบอร์ NE 4558

2). ต่อวงจรดังรูปที่ 3.13 และป้อนสัญญาณนาฬิกาเช่นเดียวกับข้อ 1). สังเกตและวัดรูปสัญญาณ เอาท์พุทที่ขา 2 และ ขา 11 ของไอซีเบอร์ 4066

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

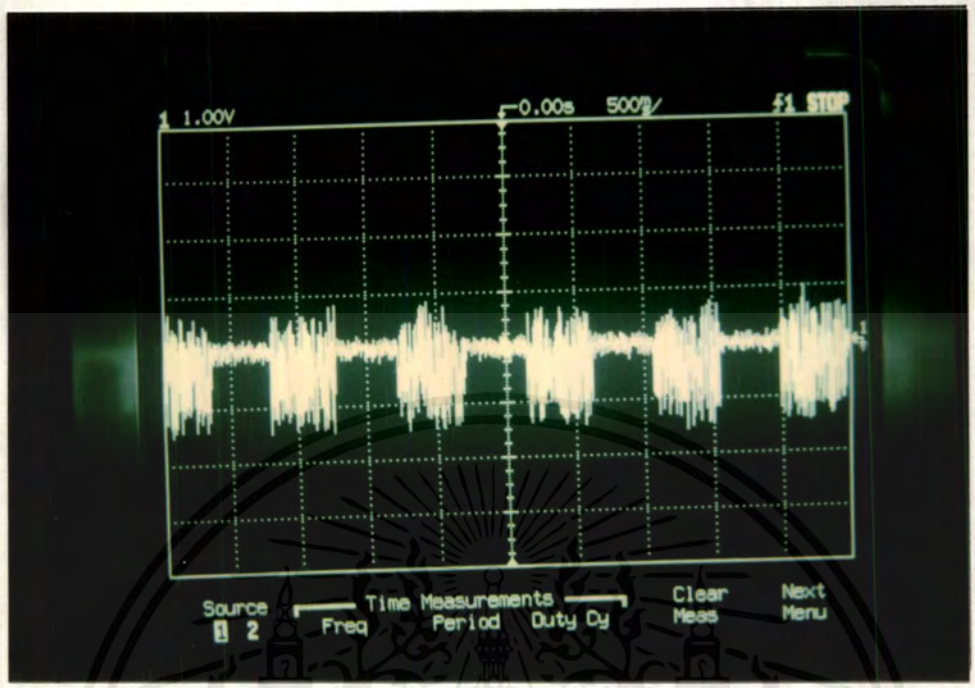


รูปที่ 4.10 แสดงรูปสัญญาณ ไดอัล

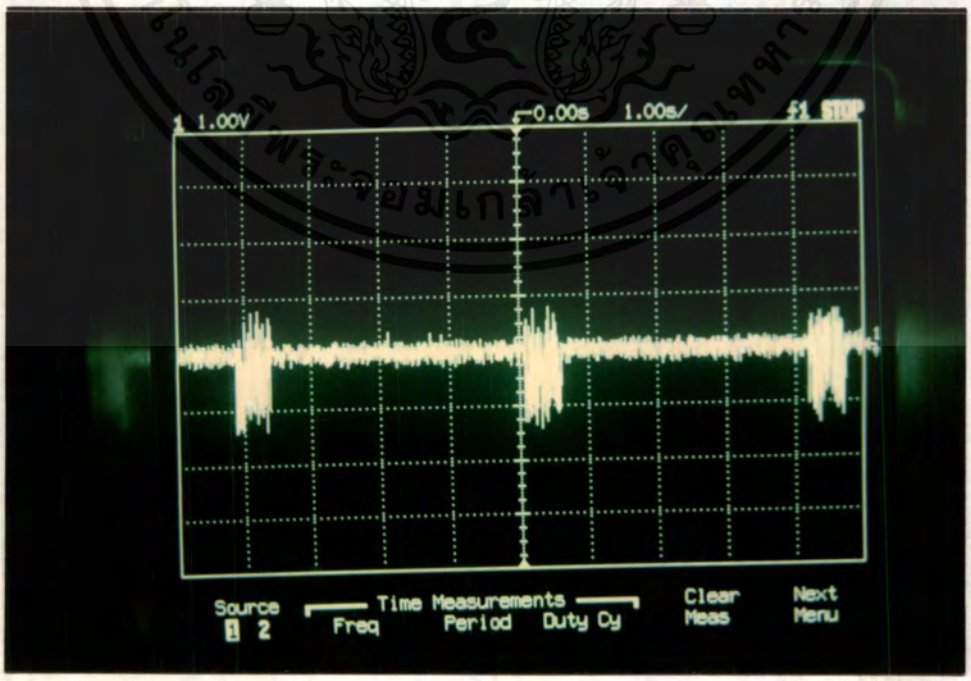


รูปที่ 4.11 แสดงสัญญาณเอาท์พุทที่วัดได้ที่ ขา 7 ของ ไอซีเบอร์ NE 4558

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.12 แสดงสัญญาณ ไม่ว่าง



รูปที่ 4.13 แสดงสัญญาณเรียกกลับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 ส่วนรับเลขหมาย

1) ต่อวงจรดังรูปที่ 3.21 ทำการกดหมายเลขโทรศัพท์ 3 หมายเลข โดยสมมติว่า กดหมายเลข "3", หมายเลข "2" และหมายเลข "6" ซึ่งการกดหมายเลข DTMF จะดูได้จากไทม์มิ่งไดอะแกรม

2) ผลที่ได้จากการกดหมายเลข DTMF คือ สโตรปเอาท์พุทที่ขา 15 ของไอซี MT8870 ซึ่งจะแสดงไว้ในไทม์มิ่งไดอะแกรมเช่นกัน

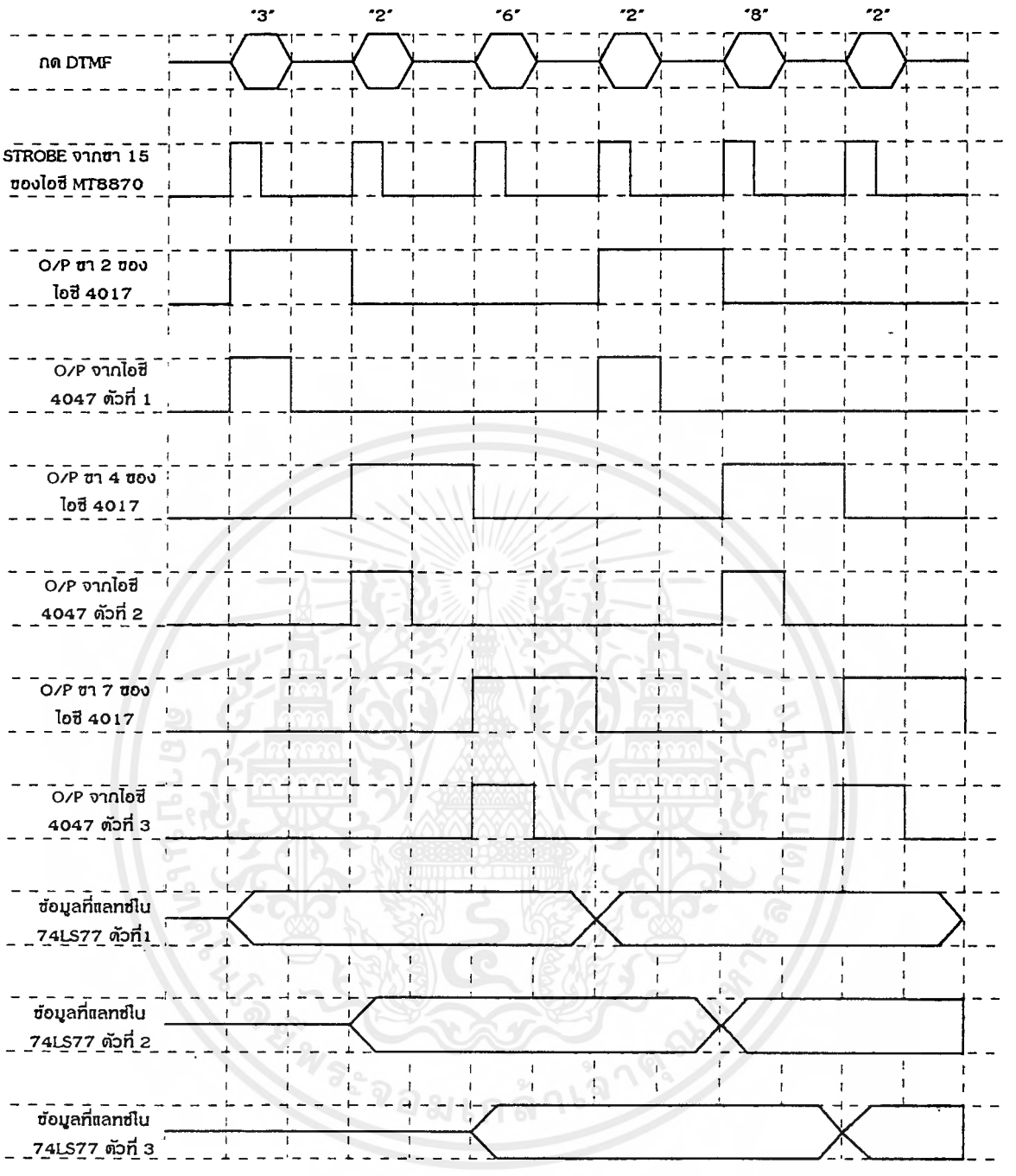
3) สโตรปที่ได้จากไอซี MT8870 จะใช้เป็นสัญญาณนาฬิกาให้กับไอซี 4017 ดังนั้นเมื่อกดหมายเลข "3" จะได้เอาท์พุทที่ขา 2 ดังแสดงไว้ในไทม์มิ่งไดอะแกรม

4) เอาท์พุทจากขา 2 ของไอซี 4017 จะถูกส่งต่อไปยังไอซี 4047 เพื่อทำให้สภาวะลอจิกสูง ถูกเปลี่ยนเป็นสภาวะลอจิกต่ำ ได้เป็นสัญญาณพัลส์ 1 ลูก

5) สัญญาณพัลส์ 1 ลูกที่ได้จากไอซี 4047 จะถูกนำไปใช้อีนาเบิ้ลให้ไอซี 74LS77 แลทช์หมายเลข DTMF ซึ่งก็คือ หมายเลข "3" เข้าไปเก็บไว้ ดังที่แสดงในไทม์มิ่งไดอะแกรม ซึ่งผลที่ได้จากการกดหมายเลขอีก 2 หมายเลข คือ หมายเลข "2" และหมายเลข "6" จะเป็นดังเช่นผลของการกดหมายเลข "2" อันจะเห็นได้ในไทม์มิ่งไดอะแกรมเช่นกัน

6) ดังนั้น ถ้าสมมติว่า ทำการกดหมายเลขโทรศัพท์อีก 3 หมายเลข ซึ่งก็คือ หมายเลข "2",หมายเลข "8" และหมายเลข "2" ก็จะได้ผลเช่นเดียวกันกับการกดชุดหมายเลขโทรศัพท์ 3 หมายเลข ที่กล่าวมาแล้วข้างต้นนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.14 แสดงไทม์มิ่งไดอะแกรมของส่วนรับเลขหมาย

4.5 ลำดับขั้นตอนในการทดลองใช้งานตู้สาขาอัตโนมัติขนาดกลางระบบดิจิตอลแบบจัดลำดับขั้น

ในการทดลองตู้สาขาอัตโนมัติขนาดกลางระบบดิจิตอลแบบจัดลำดับขั้นที่ใช้จะประกอบไปด้วย ส่วนควบคุมกลาง และ PABX ระบบดิจิตอล จำนวน 2 ตัว กำหนดให้เป็น PABX_A ซึ่งมีเลขหมายประจำตู้ คือ เลข "1" และ PABX_B จะมีเลขหมายประจำตู้ คือ เลข "2" เลขหมายประจำตู้ในที่นี้คือ เลขหมายตัวแรกในจำนวน 3 ตัว ที่ใช้แทนเครื่องโทรศัพท์ 1 เครื่อง และเลขหมาย "0" แทนคู่สายนอก

การทดลองแบ่งออกเป็น 3 ระดับดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.ระดับการติดต่อกันภายใน PABX แต่ละตัว

1) เมื่อผู้เรียกทำการยกหูโทรศัพท์ จะได้รับสัญญาณไดอัล

2) ผู้เรียกทำการกดเลขหมายที่ต้องการติดต่อ 3 ตัว โดยจะต้องขึ้นต้นด้วยเลขหมายประจำPABX นั้นๆ

3) ถ้าคู่สายปลายทางที่ต้องการติดต่อยังมีการใช้งานอยู่ ผู้เรียกจะได้รับสัญญาณไม่ว่าง แต่ถ้าคู่สายปลายทางนี้ไม่มีการใช้งาน ผู้เรียกจะได้รับสัญญาณเรียกกลับสู่คู่สายปลายทางหรือผู้ถูกเรียกจะได้รับสัญญาณกระดิ่ง

4) เมื่อคู่สายปลายทางหรือผู้ถูกเรียกทำการยกหูโทรศัพท์ก็จะสามารถทำการสนทนาได้

5) เมื่อสิ้นสุดการสนทนา ผู้ถูกเรียกทำการวางหูโทรศัพท์ เส้นทางการเชื่อมต่อระหว่างผู้เรียกกับผู้ถูกเรียกจะถูกยกเลิกไป

2.ระดับการติดต่อระหว่าง PABX ในตู้สาขาอัตโนมัติขนาดกลางระบบดิจิตอลแบบลำดับขั้น (สมมติให้ผู้เรียกอยู่ที่ PABX_A และผู้ถูกเรียกอยู่ที่ PABX_B)

1) เมื่อผู้เรียกทำการยกหูโทรศัพท์ จะได้รับสัญญาณไดอัล

2) ผู้เรียกทำการกดเลขหมายที่ต้องการติดต่อ 3 ตัว โดยจะต้องขึ้นต้นด้วยหมายเลข "2" (เลขหมายประจำตู้ PABX_B)

3) ถ้าคู่สายที่ใช้เป็นเส้นทางที่ต่อระหว่างผู้เรียกกับผู้ถูกเรียกที่อยู่คนละ PABX ซึ่งจะผ่านส่วนควบคุมกลาง เกิดไม่ว่างขึ้นไม่ว่าตรงจุดไหน ผู้เรียกจะได้รับสัญญาณไม่ว่าง แต่ถ้าคู่สายตลอดเส้นทางยังไม่มีการใช้งาน ผู้เรียกจะได้สัญญาณเรียกกลับ ส่วนผู้ถูกเรียกจะได้รับสัญญาณกระดิ่ง

4) เมื่อทางด้านผู้ถูกเรียกยกหูโทรศัพท์ก็จะสามารถสนทนาได้

5) เมื่อสิ้นสุดการสนทนา ผู้เรียกทำการวางหูโทรศัพท์ เส้นทางการเชื่อมต่อระหว่างผู้เรียกกับผู้ถูกเรียกจะถูกยกเลิกไปทั้งหมด

3.ระดับการติดต่อของคู่สายภายใน PABX กับคู่สายนอก

3.1 ขั้นตอนในการเรียกออกสายนอก

1) เมื่อผู้เรียกทำการยกหูโทรศัพท์จะได้รับสัญญาณไดอัล

2) ผู้เรียกทำการกดเลขหมาย ซึ่งเป็นเลขหมายที่เป็นการขอสายนอกนั่นคือเลข "0"

3) ถ้าคู่สายนอกมีการใช้งานอยู่ ผู้เรียกจะได้รับสัญญาณไม่ว่าง แต่ถ้าคู่สายนอกไม่มีการใช้งาน อุปกรณ์เชื่อมต่อตู้สาขาอัตโนมัติก็จะทำการต่อทางเดินระหว่างคู่สายนอกและคู่สายในเข้าด้วยกัน ดังนั้น ผู้เรียกจะได้รับสัญญาณไดอัลอีกครั้งหนึ่งซึ่งเป็นสัญญาณที่จ่ายมาจากองค์การโทรศัพท์

4) การทำงานต่อไปจะอยู่ในการควบคุมขององค์การโทรศัพท์

5) เมื่อผู้เรียกทำการวางหู เส้นทางการเชื่อมต่อกับคู่สายนอกจะถูกยกเลิกไปทั้งหมด

3.2 ขั้นตอนในการเรียกจากสายนอกเข้ามายังสายใน

1) เมื่อส่วนควบคุมกลางตรวจจับพบสัญญาณเรียกจากองค์การโทรศัพท์แล้ว จะทำการยกหูของโคทรั้งค์ ที่มีสายเข้ามา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

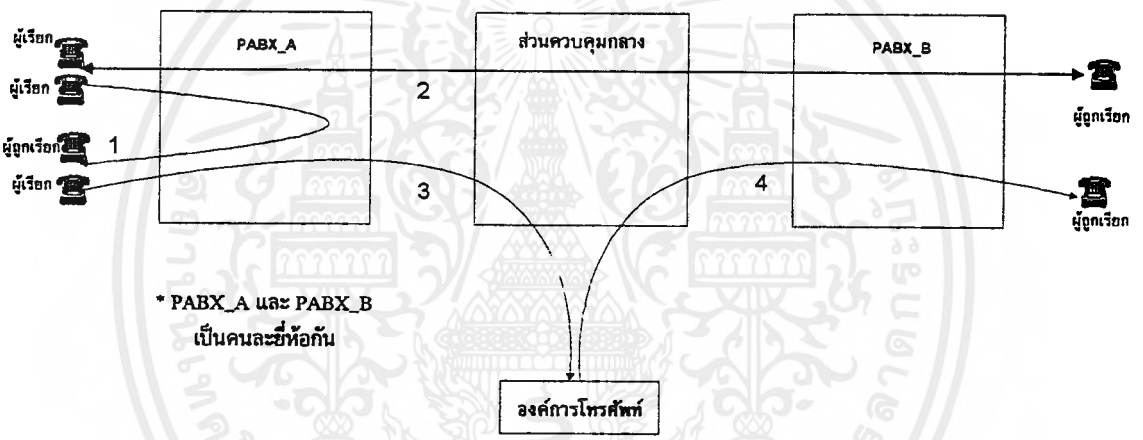
2) ส่วนควบคุมกลางจะทำการตรวจสอบดูว่า เลขหมายที่ผู้เรียกจากสายนอกกดเป็นเลขหมายประจำเครื่อง PABX ใด และคู่สายใดใน PABX นั้น นั่นคือ ตัวเลขทั้ง 3 ตัว

3) ถ้าคู่สายภายในที่ต้องการติดต่อ มีการใช้งานอยู่ ผู้เรียกจะได้รับสัญญาณไม่ว่าง แต่ถ้าคู่สายภายในนั้น ไม่มีการใช้งาน คู่สายภายนอกที่เรียกเข้ามาจะได้รับสัญญาณเรียกกลับ ส่วนคู่สายภายในที่ถูกเรียกจะได้รับสัญญาณกระดิ่ง

4) เมื่อทางด้านคู่สายภายในที่ถูกเรียกยกหูโทรศัพท์ก็จะสามารถทำการสนทนาได้

5) เมื่อสิ้นสุดการสนทนา คู่สายปลายทางที่ถูกเรียกทำการวางหูโทรศัพท์ เส้นทางการเชื่อมต่อกับคู่สายภายนอกจะถูกยกเลิกไปทั้งหมด

ลำดับขั้นตอนของการทดลองการใช้งานทั้งหมดสามารถอธิบายโดยรูปภาพดังต่อไปนี้ ซึ่งจะแสดงเส้นทางการเชื่อมต่อระหว่างผู้เรียกกับผู้ถูกเรียกในระดับต่างๆ



รูปที่ 4.15 แสดงเส้นทางการเชื่อมต่อระหว่างผู้เรียกกับผู้ถูกเรียกในระดับต่างๆ

เส้นทางที่ (1) แสดงการเชื่อมต่อภายใน PABX

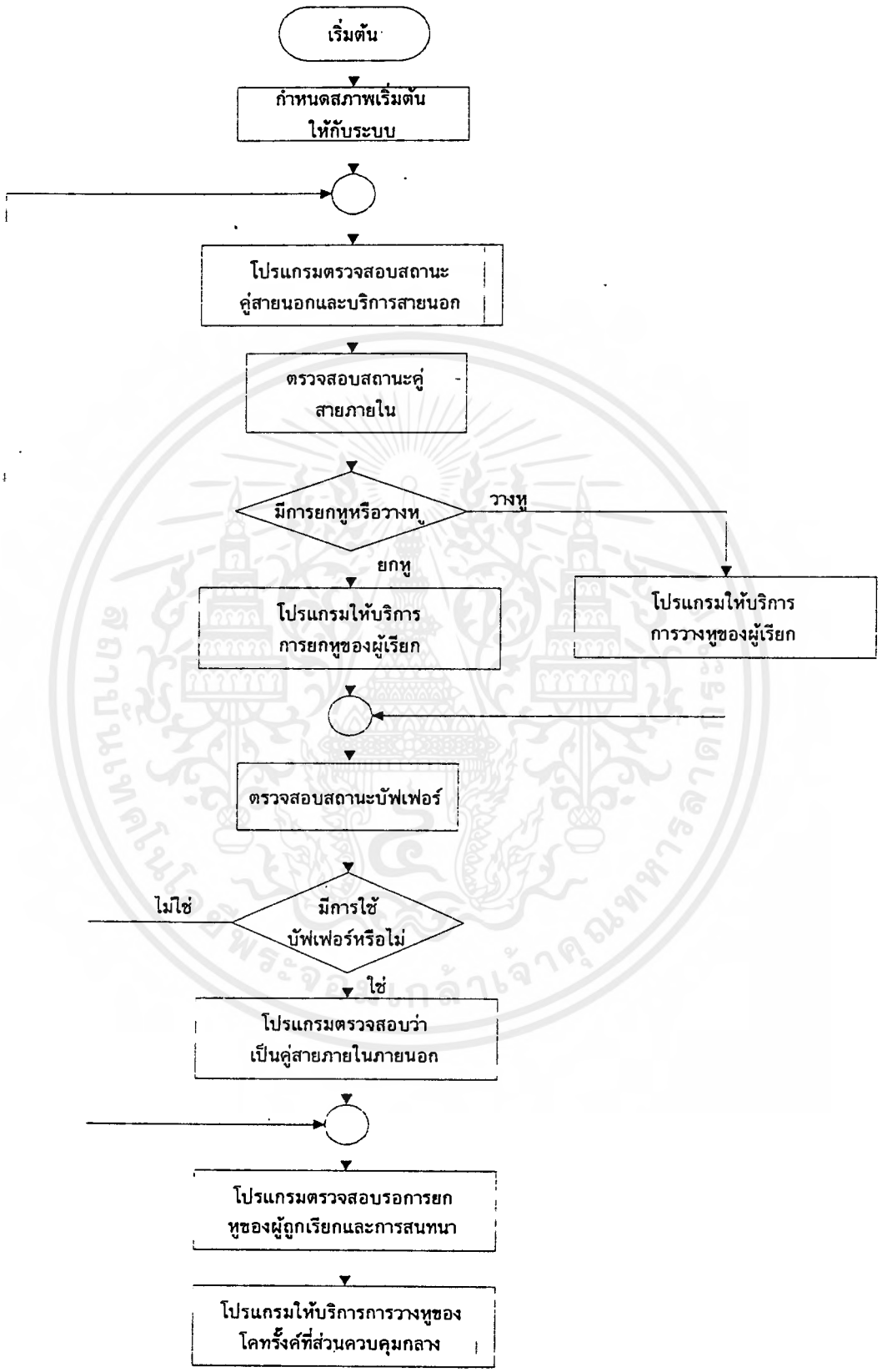
(2)แสดงการเชื่อมระหว่าง PABX

(3),(4) แสดงการเชื่อมต่อระหว่างคู่สายของตู้สาขาอัตโนมัติขนาดกลางระบบดิจิตอลแบบลำดับขั้นกับคู่สายขององค์การโทรศัพท์

การอธิบายการทำงานของตู้สาขาอัตโนมัติขนาดกลางระบบดิจิตอลแบบ ลำดับขั้นอย่างละเอียดจะอยู่ในรูปของโฟลว์ชาร์ท (Flow Chart) ดังต่อไปนี้

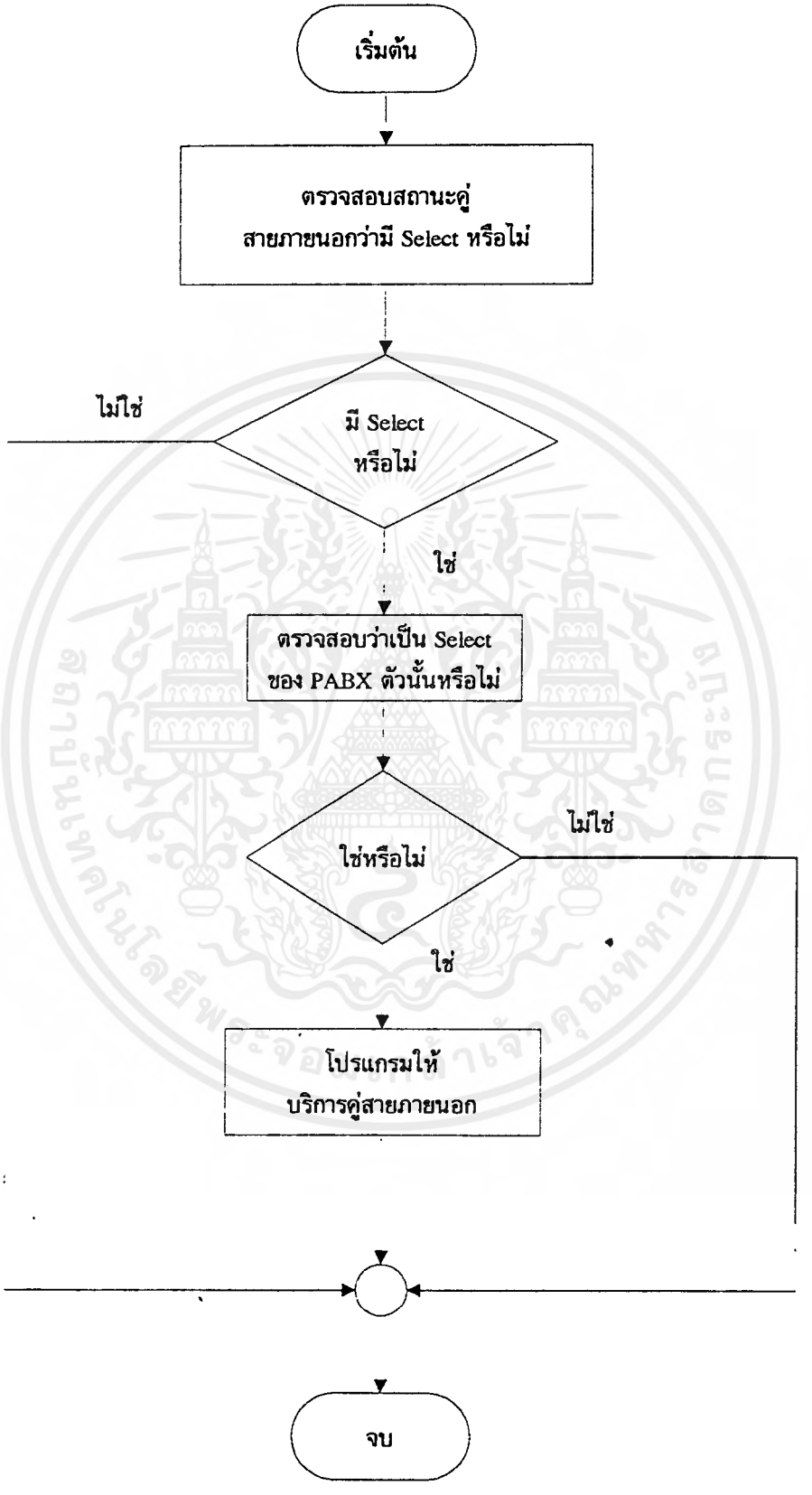
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมหลัก (ตัวลูก)



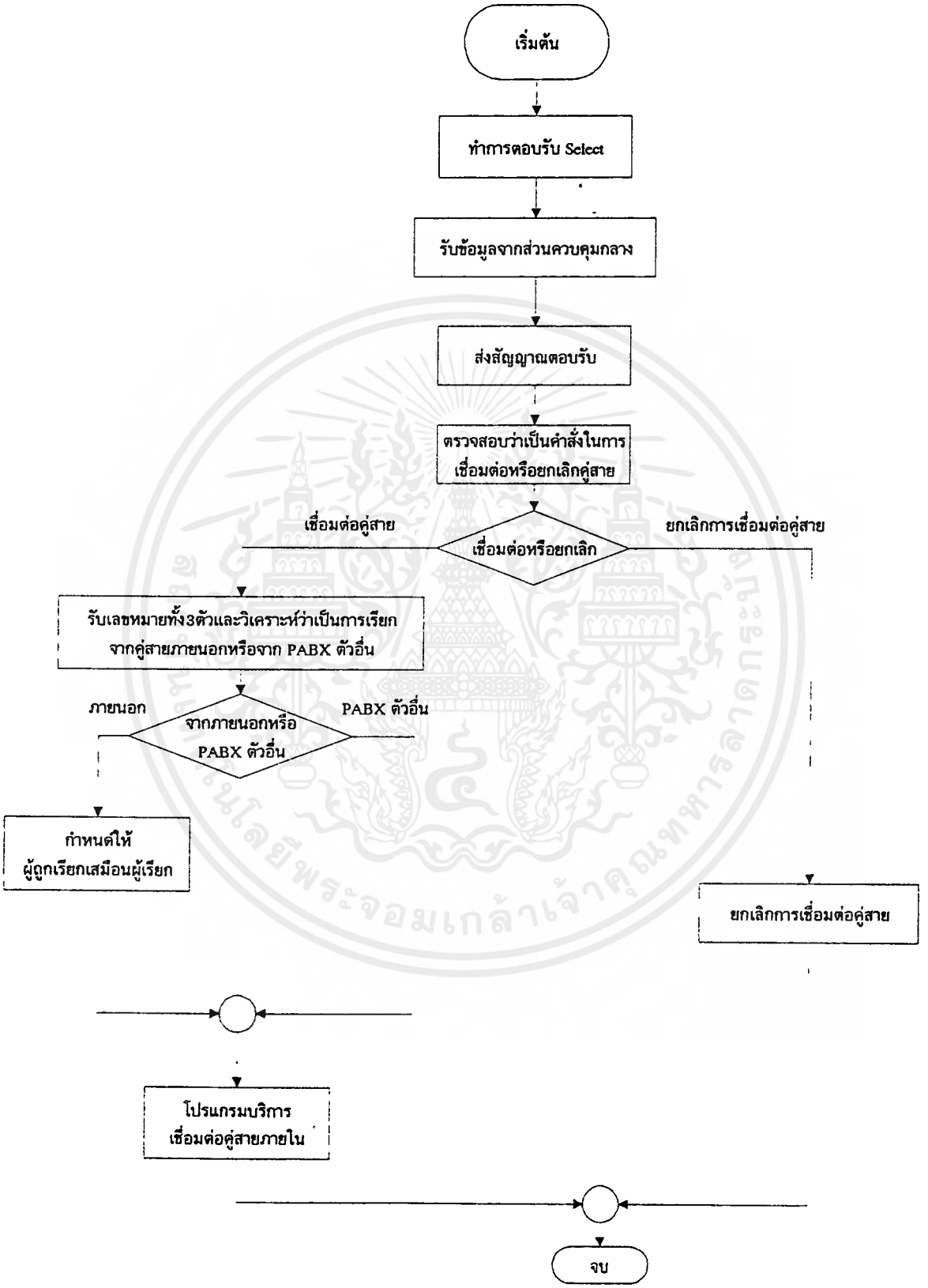
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมตรวจสอบสถานะคู่สายภายนอกและบริการสายนอก



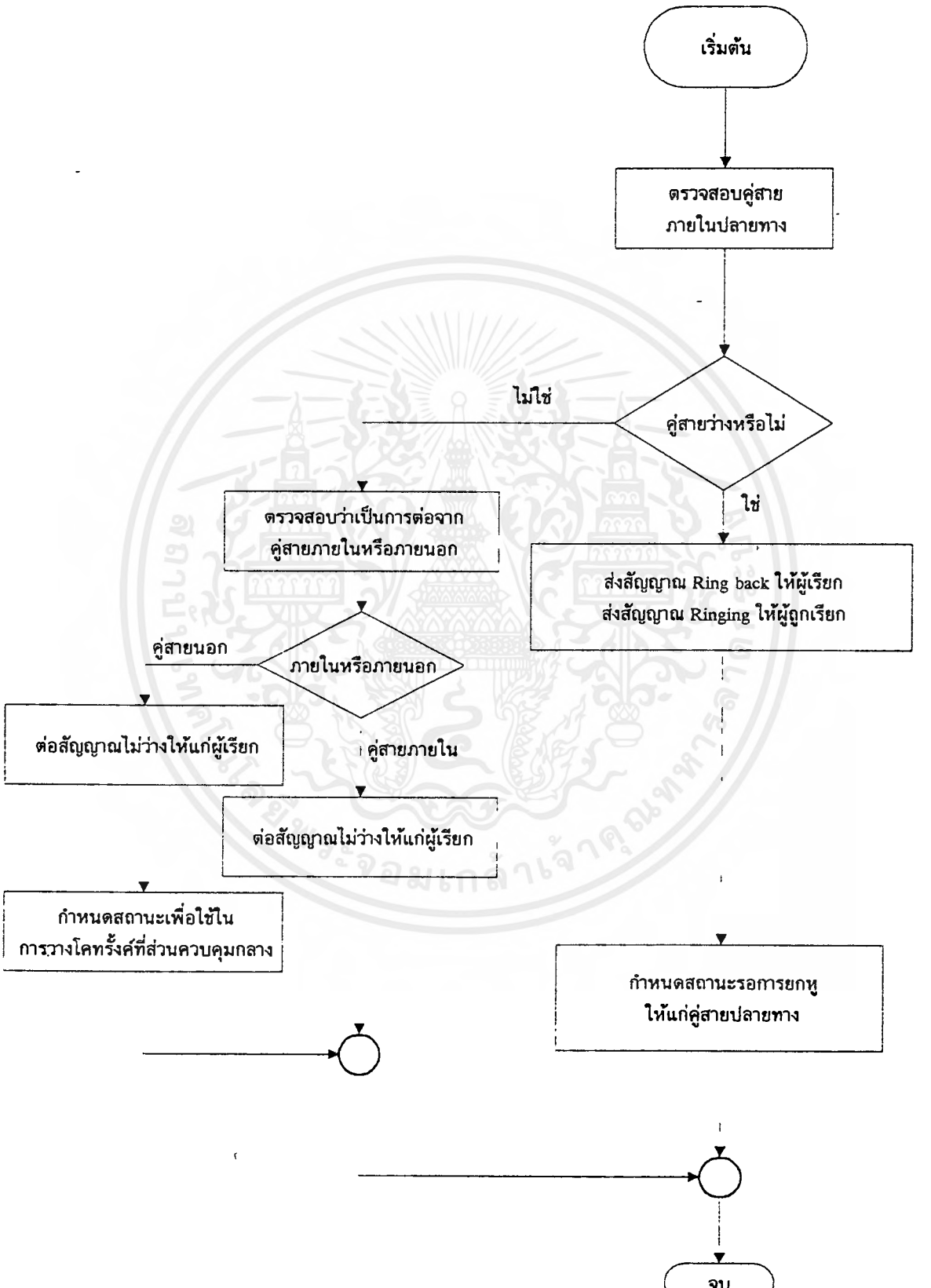
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมให้บริการคู่สายภายนอก



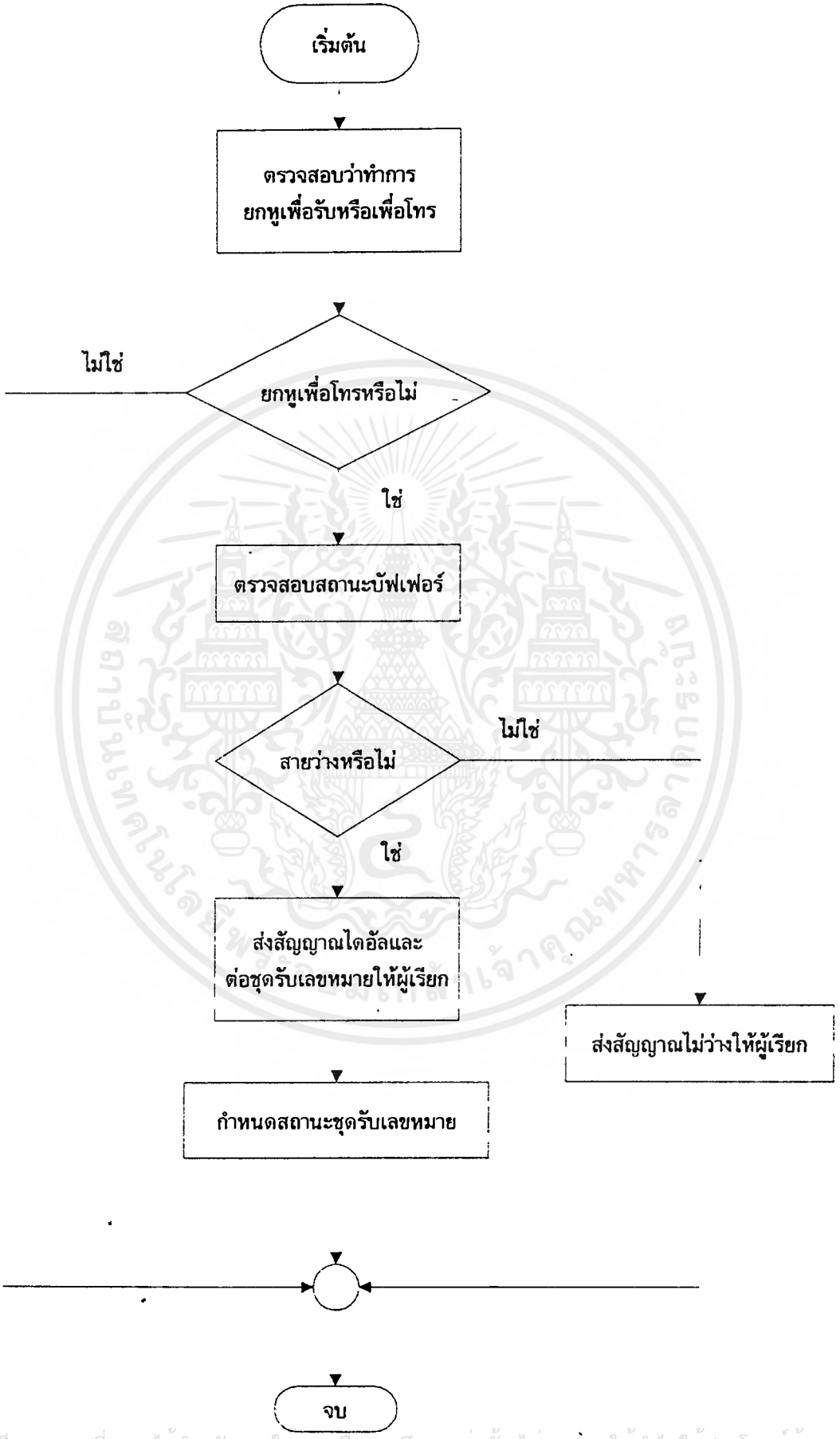
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมเชื่อมต่อคู่สายภายใน



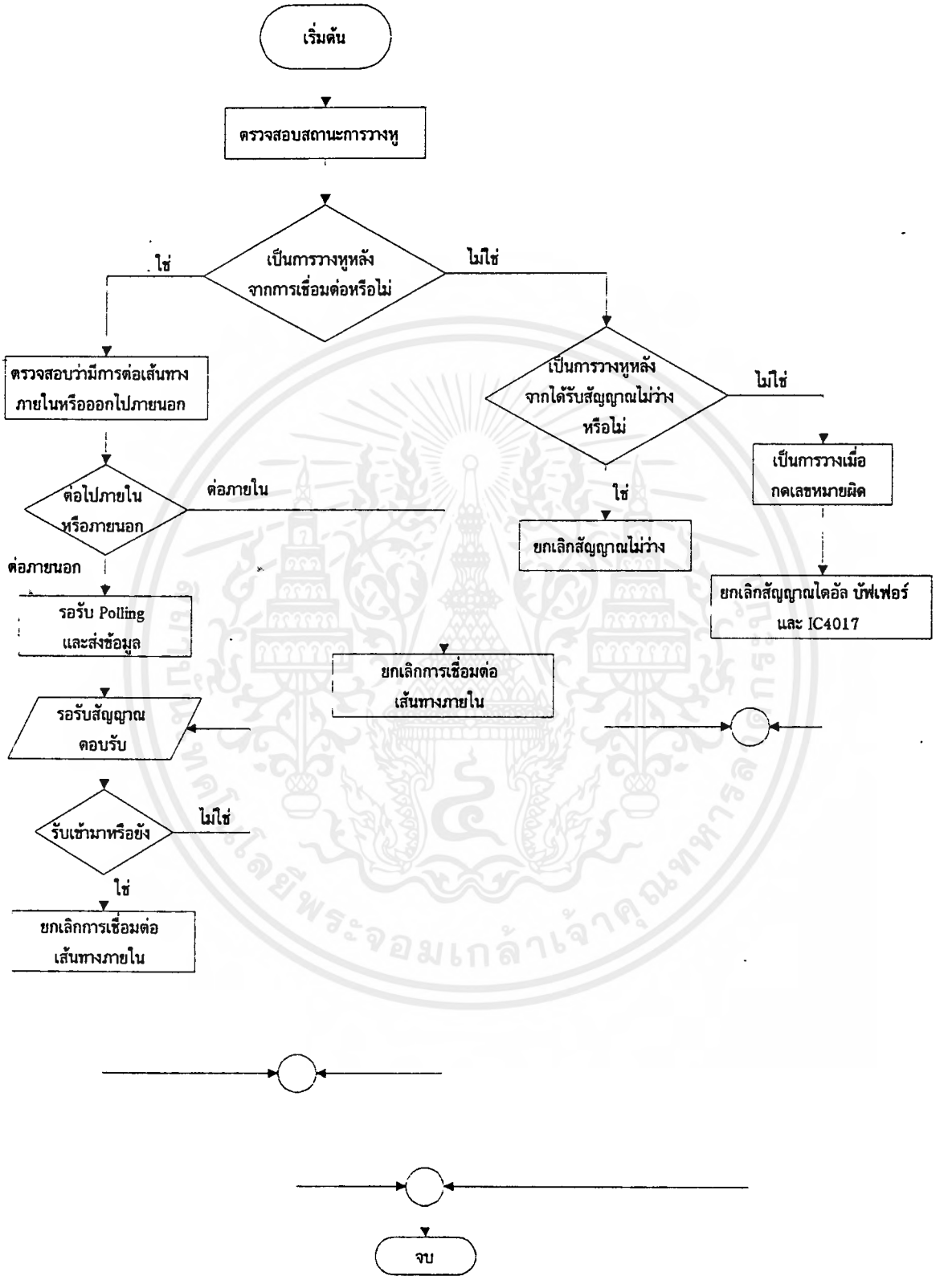
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมให้บริการการยกหูของผู้เรียก



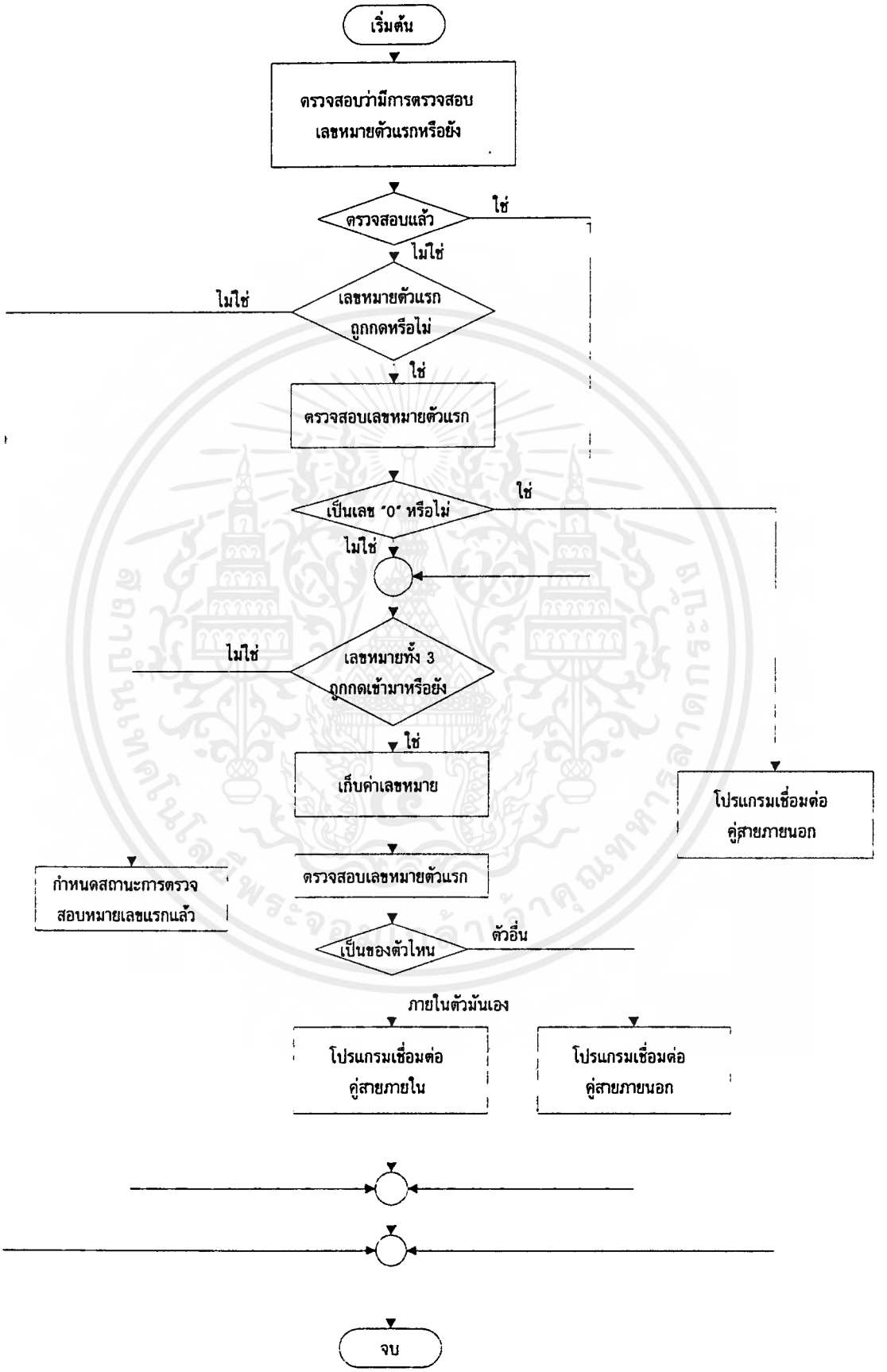
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมให้บริการการวางหูของผู้เรียก



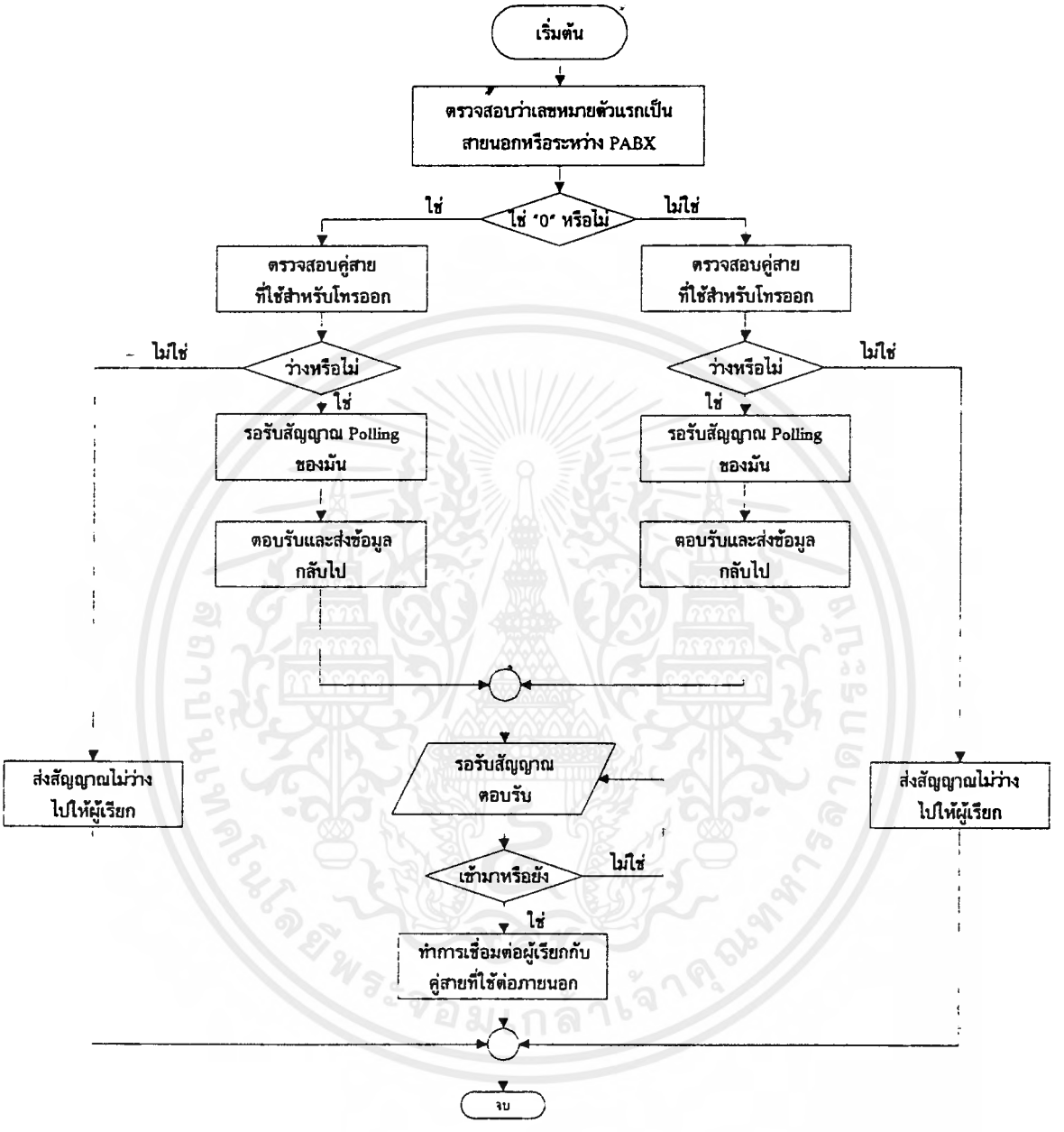
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมตรวจสอบว่าเป็นคู่สายภายในหรือภายนอก



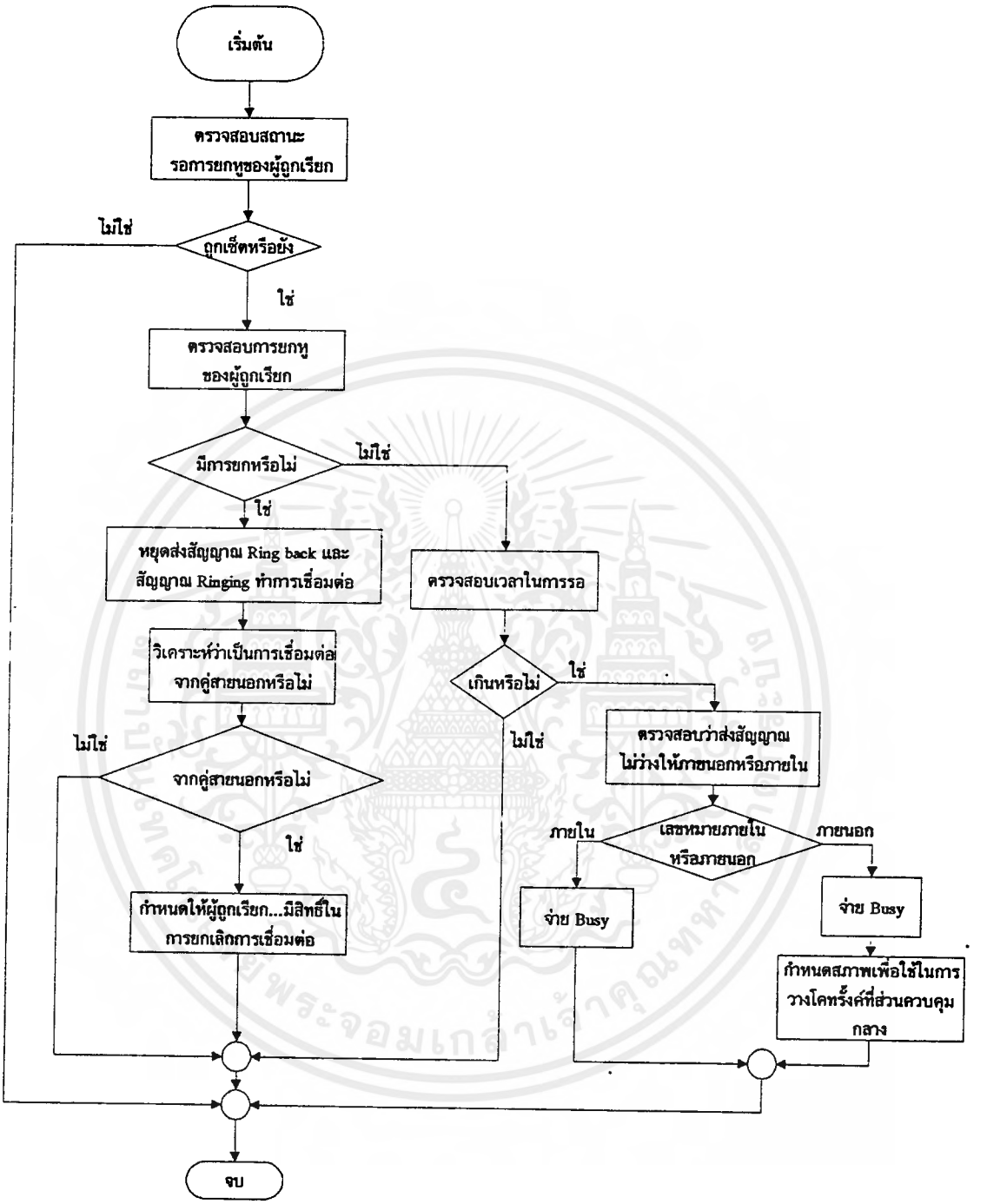
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมเชื่อมต่อคู่สายภายนอก



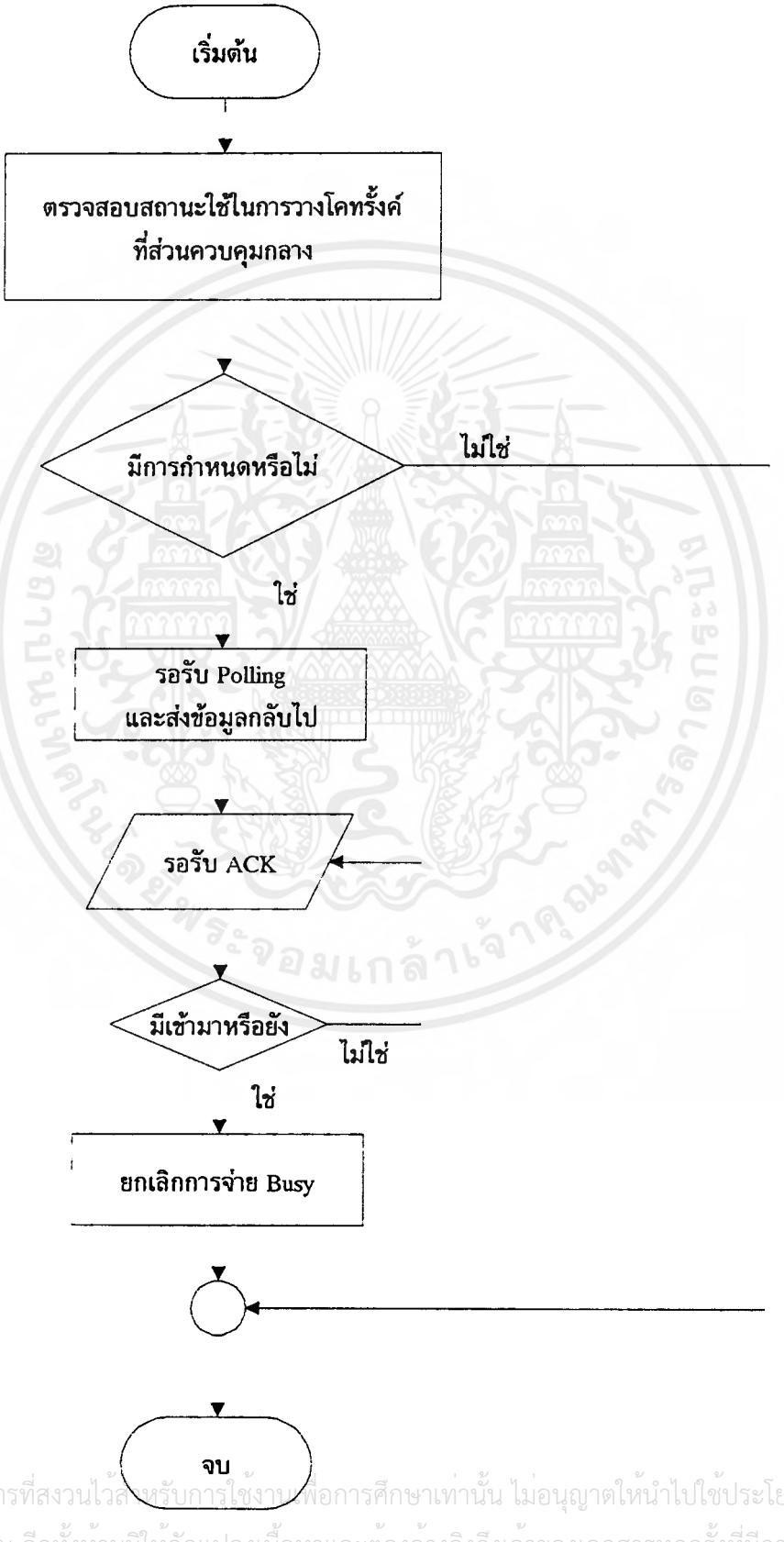
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมตรวจสอบรอการยกหูของผู้ถูกเรียกและการสนทนา



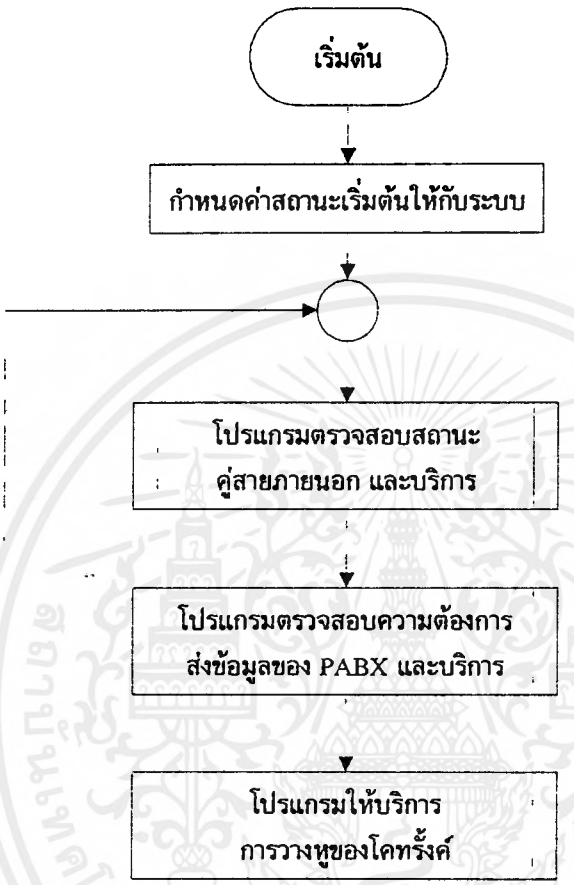
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมให้บริการการวางหูของโคทรั้งค์ที่ส่วนควบคุมกลาง



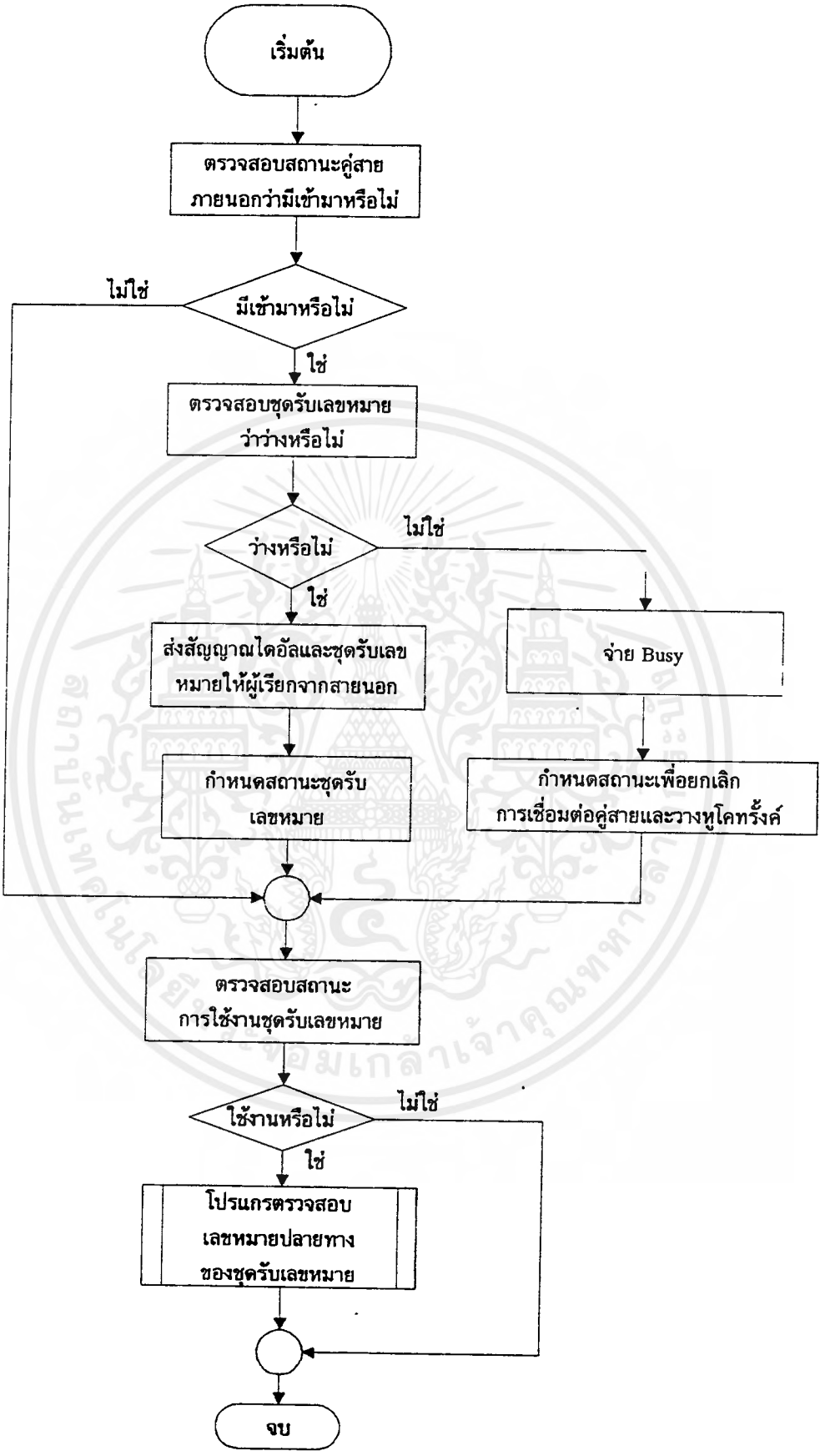
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมหลักของส่วนควบคุมกลาง



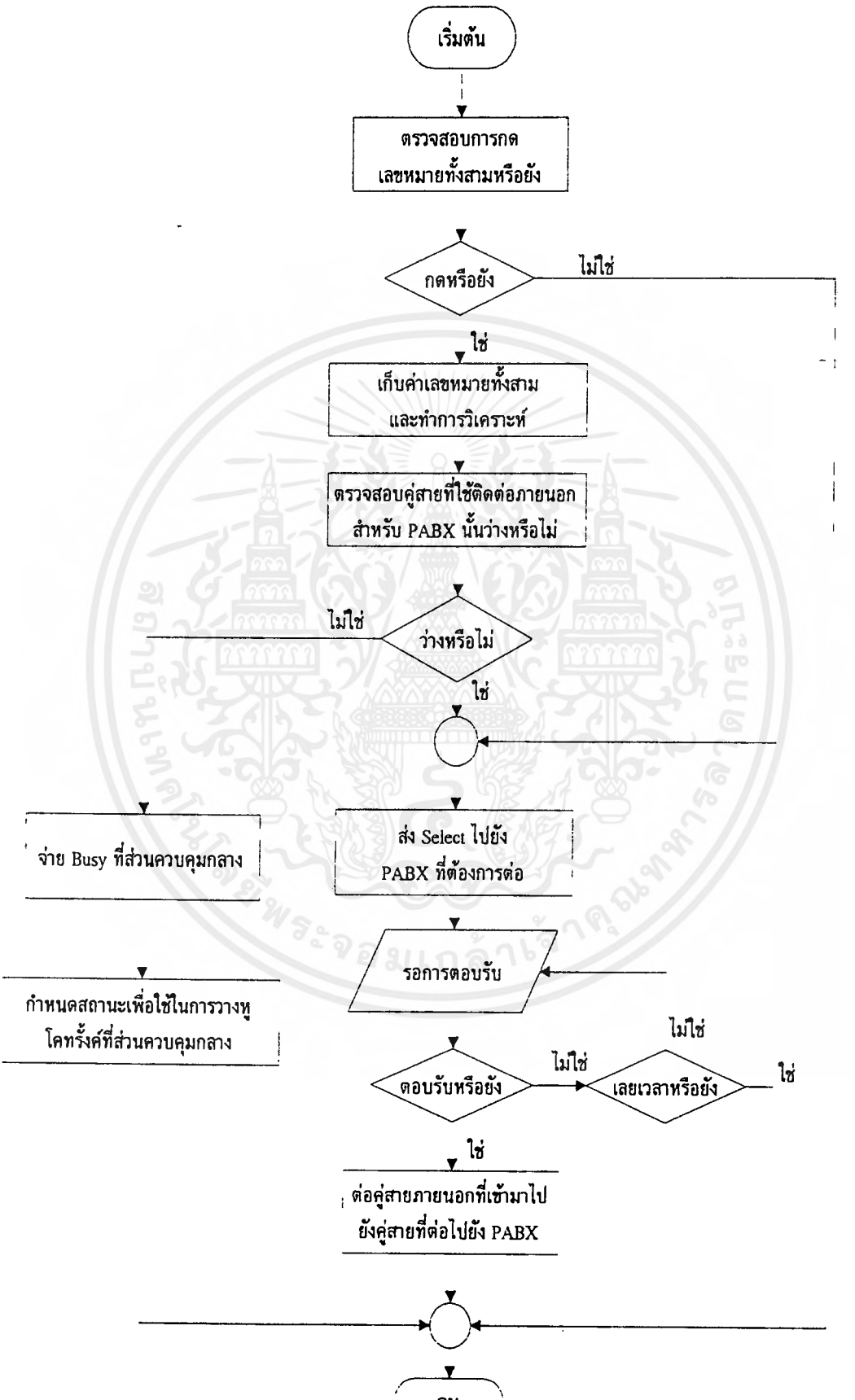
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมตรวจสอบสถานะคู่สายภายนอก



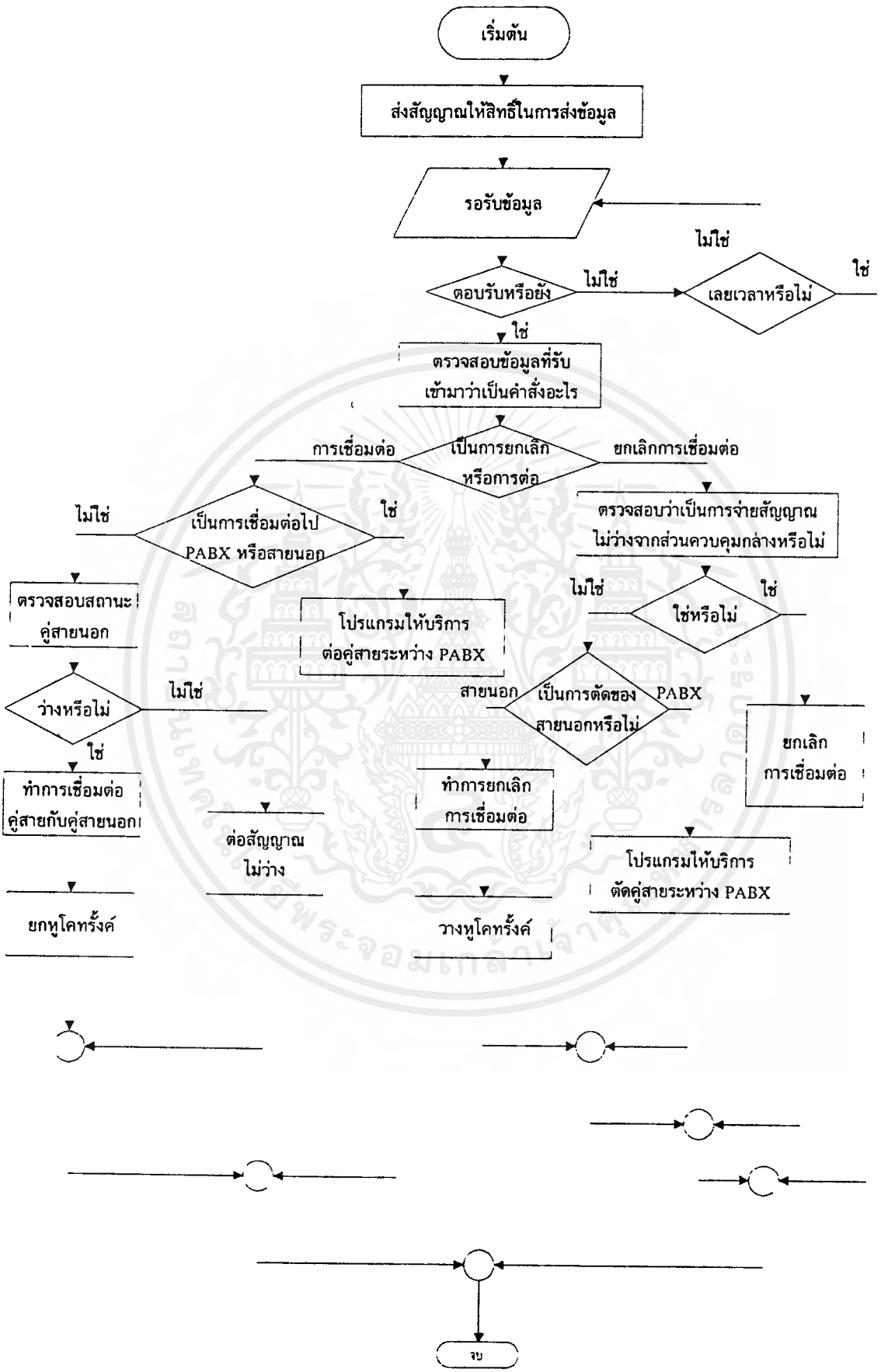
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมตรวจสอบเลขหมายปลายทางของชุดรับหมายเลข



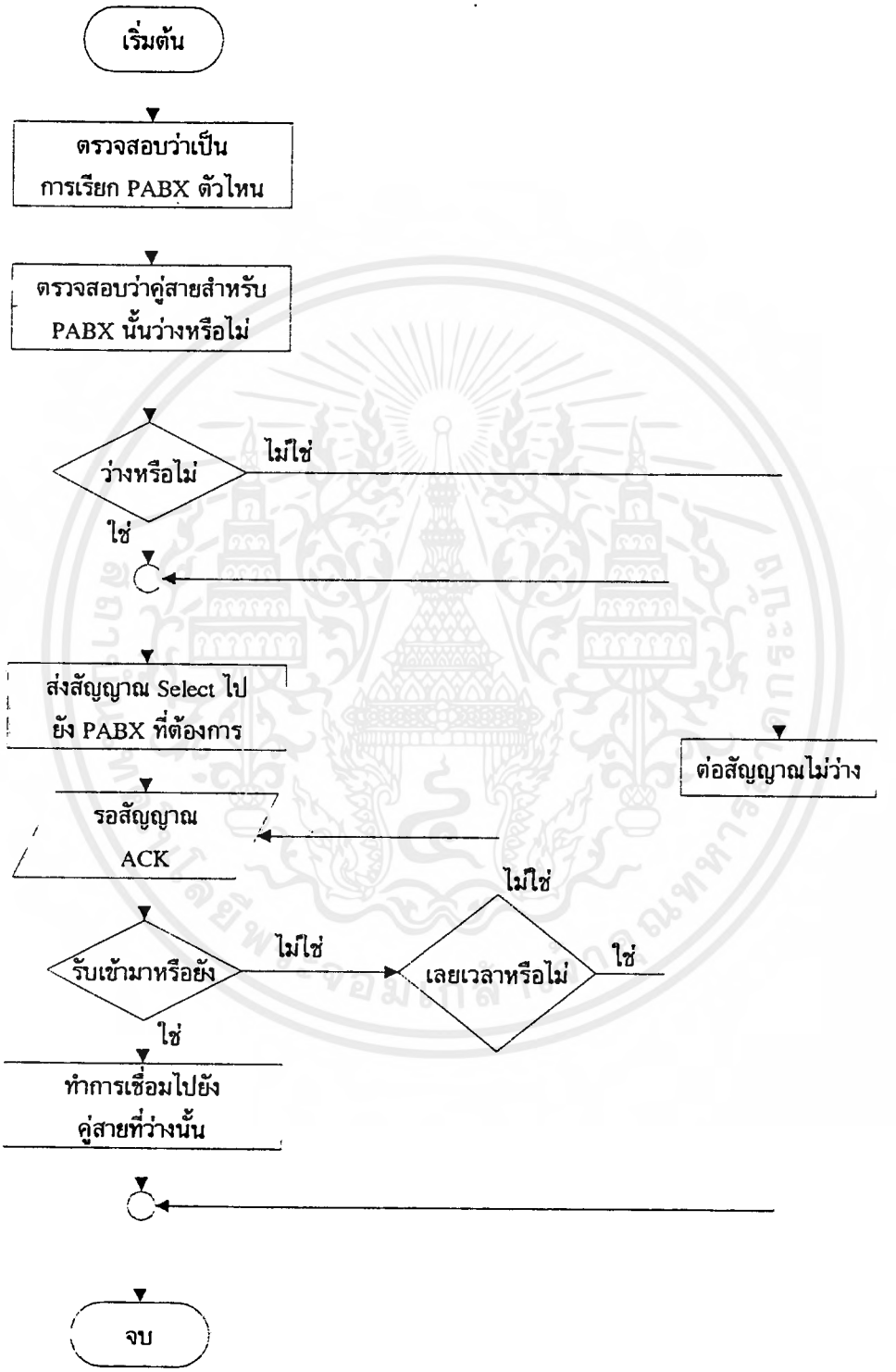
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมตรวจสอบความต้องการส่งข้อมูลของ PABX และบริการ



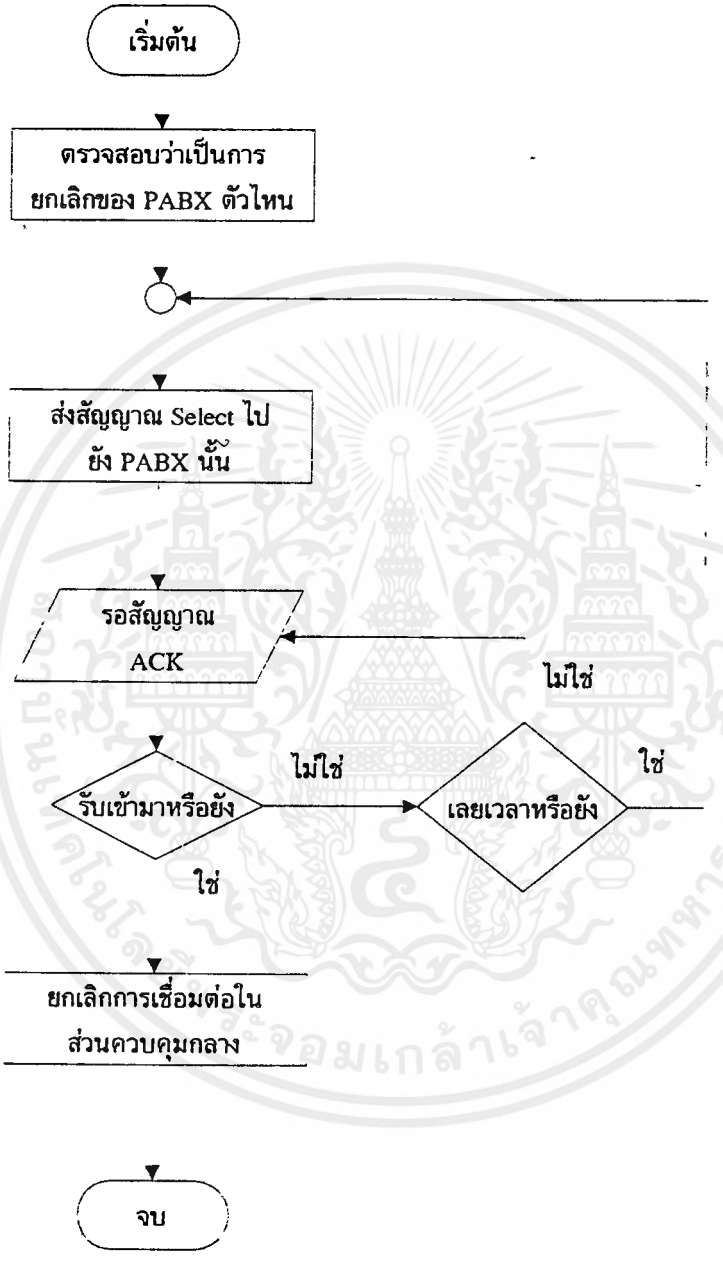
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมให้บริการต่อคู่สายระหว่าง PABX



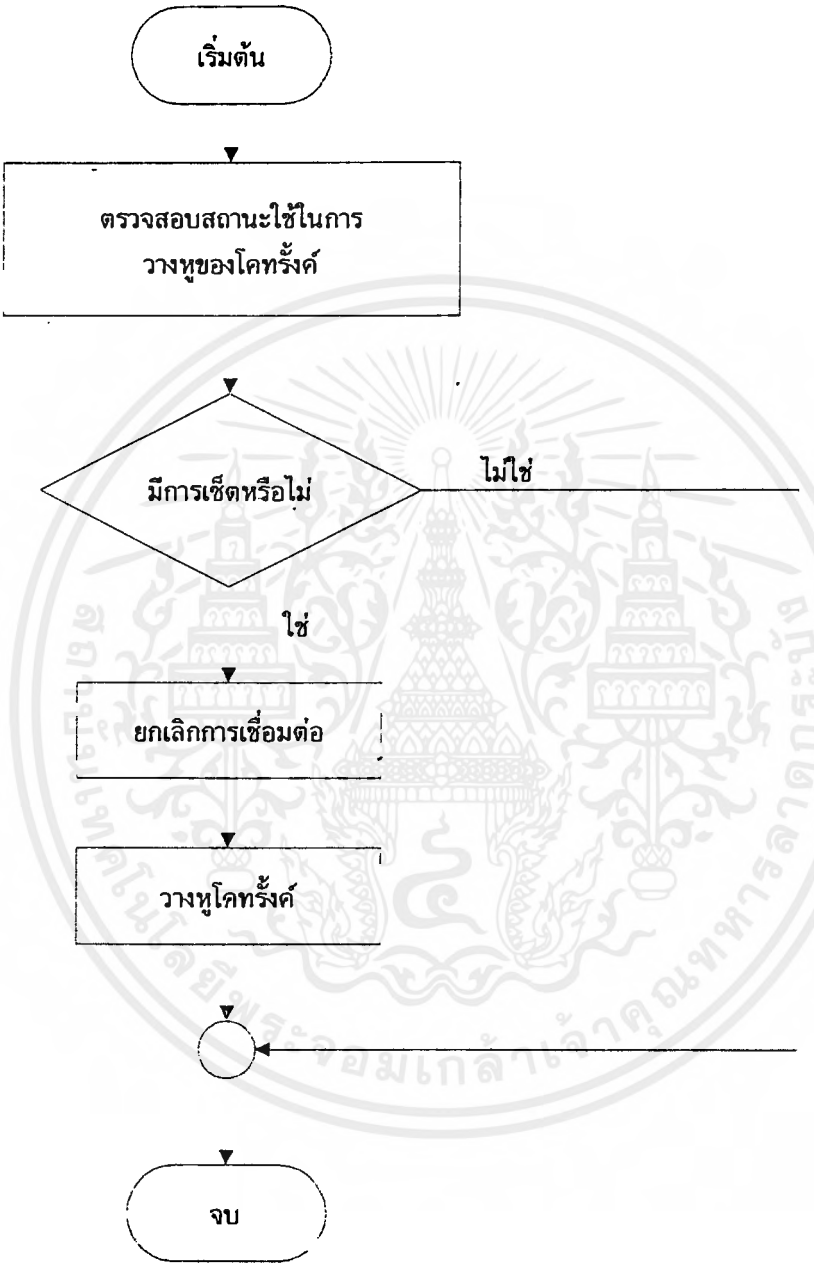
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมให้บริการตัดคู่สายระหว่าง PABX



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมให้บริการการวางหูของโคทรั้งค์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปผลการทดลอง

ในเทอมนี้ได้ทำในส่วนของฮาร์ดแวร์เพิ่มเติมจากเทอมที่แล้ว ได้แก่

1.วงจรเชื่อมต่อคู่สายภายใน (SLIC) ซึ่งผลการทดลองที่ได้ คือ สามารถจ่ายสัญญาณกระดิ่งให้กับเครื่องโทรศัพท์ได้ และสามารถเช็คสถานภาพของการยกหู-วางหูได้ตามที่ต้องการ

2.วงจรเชื่อมต่อคู่สายภายนอก (Co-trunk) ซึ่งสามารถตรวจสอบได้ว่า มีสายนอกเข้ามาหรือไม่

3.วงจรรับเลขหมาย ผลการทดลองที่ได้ คือ สามารถเก็บเลขหมายของคู่สายปลายทางที่ต้องการได้ เพื่อให้ไมโครโปรเซสเซอร์สามารถนำไปประมวลผลต่อไปได้

และนอกจากนี้ได้ทำการเขียนซอฟท์แวร์ที่ใช้ในการควบคุมการทำงานทั้งหมด ซึ่งแบ่งออกเป็น 2 ระดับ คือ

1. ใช้ในการควบคุมการทำงานของ PABX 1 ตู้ ผลการทดลองที่ได้ คือ สามารถทำการสนทนากันได้ โดยมีลำดับขั้นตอนการทำงานตามโฟว์ชาร์ทที่ได้แสดงในบทที่ 4

2. ใช้ในการควบคุมการทำงานระหว่าง PABX ซึ่งจะทำการทดลองเชื่อมต่อ PABX เข้าด้วย และเป็นการติดต่อกับสายนอกขององค์การโทรศัพท์ ผลการทดลองที่ได้ คือ สามารถทำการเชื่อมต่อกันได้ แต่ไม่สมบูรณ์นัก เนื่องจากการติดต่อระหว่างคอมพิวเตอร์กับไมโครโปรเซสเซอร์ยังไม่ดีเท่าที่ควร

แนวทางการพัฒนาควรจะมีการพัฒนาในส่วนของซอฟท์แวร์ให้มีฟังก์ชั่นในการทำงานเพิ่มขึ้น เช่น การประชุมหลายคู่สาย, การโอนคู่สาย และการจับเวลาการใช้โทรศัพท์ เป็นต้น และในส่วนของฮาร์ดแวร์ควรให้ความสำคัญกับวงจรสร้างสัญญาณนาฬิกา เนื่องจากเป็นส่วนที่ควบคุมจังหวะการทำงานของฮาร์ดแวร์ทั้งหมด ถ้าสัญญาณนาฬิกาที่ได้ไม่ดี จะทำให้เกิดการผิดพลาดขึ้นได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
/*-- ---------------------  PABX Program ----------------------------------*/
#include <stdio.h>
#include <dos.h>
#include <conio.h>
#include <math.h>
#include <process.h>
#define num 11                              /* Telephone must less than 24*/
/* You can extend the internal by 8255 port expantion  */

/*----------------------  Sub Program ---------------------------------*/
void clear_status();                                    /* Clear and set */
unsigned int change(unsigned int called);
                              /* Change 12 bit binary to decimal */
int conv_ST(unsigned int number);              /* Convert number to ST */
int conv_CH(unsigned int number);              /* Convert number to CH */
void sw(int ST2,int ST1,int CH2,int CH1);      /* Connect i/p and o/p */
void ringback(int ST,int CH);
                             /* Connect tel and ringback tone */
void buf_dial(int ST,int CH);/* Connect tel and DTMF buffer,dial tone */
void busy(int ST,int CH);                 /* Connect tel and busy tone */
void ringing(int se_ed);                  /* Feed ringing to called */
void c_dbpath(int ST,int CH,int buf);   /* Clear dial and buffer path */
void c_rbrpath(int ST,int CH,int se_ed);
                                /* Clear ringback path ang ringing */
void c_busypath(int ST,int CH);                    /* Clear busy path */
void clear_path(int ST2,int ST1,int CH2,int CH1);       /* Clear path */

/*------------------------ Global Variable ----------------------------*/
unsigned char status[2]                 /* Status of the DTMF decode set*/
            ,HandsetBit[num]
            ,RingingBit[num]
            ,BusyBit[num]
            ,TalkpathBit[num]
            ,CallingBit[num]
            ,d_30C,d_30D,d_30E;      /* Outport mem for control ringing */
unsigned int  nums[num][2]          /* nums[num][0]=number of telephone
                                       nums[num][1]=number of called tel*/
           ,calling[2],called;
int c                                          /* Sequence of telephone */
   ,buf_set[num];                  /* Sequence of buffer which tel use */

/*------------------------ Main Program -------------------------------*/
void main(void)
{
  int loops,mloop,start,end,ports,bit,bi,sta_buf,bufloop,
      hook_port,se_ed,se_ing,c4017;
  unsigned char hook_byte,hook_bit;
  clrscr();
  loops=num/8;
  clear_status();
  printf("                          WELCOME to the 6's PABX\n\n");
  printf("       If you want to exit PABX system,Press ESC");
  do                                    /* Forever loop,EXIT by ESC bottom */
  {
    if(kbhit())
    {
      if(getch()==27) exit(1);
    }
    ports=0; start=0; end=8;
    hook_port=0x300;                  /* Start value of on-off hook port */
    for(mloop=0;mloop<loops+1;mloop++)
                                      /* Main loop (check on-off hook) */
    {
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            }
            else                    /* Connect path ( finish talking ) */
            {
              TalkpathBit[c]=0;         /* Set don't have path for
calling*/
              TalkpathBit[nums[c][1]-100]=0;
                              /* Set don't have path for called */
              clear_path(conv_ST(nums[c][0]),conv_ST(nums[c][1]),
                      conv_CH(nums[c][0]),conv_CH(nums[c][1]));
            }
            } /* End of else ( The tel connect busy path) */
          } /* End of if ( The tel is calling ) */
        } /* End of else (off hook) */
      } /* End of if ( 0->1 or 1->0 )
/*---------------------Check buffer loop-----------------------------*/
      for(bufloop=0;bufloop<2;bufloop++)
      {
        if(status[bufloop]==1)
        {
          sta_buf=inportb(0x2F4);
          delay(100);
          if(bufloop==0) sta_buf&=1;
          else sta_buf=(sta_buf&2)>>1;
          if(sta_buf==1)
          {
            if(bufloop==0)
            {
            called=inport(0x308);
            delay(100);
            called=(called&0x0FFF);
                    /* xxxx,xxxx,xxxx,xxxx and  0000,1111,1111,1111 */
            }
            else
            {
            called=inport(0x309);
            delay(100);
            called=(called>>4);
                    /* xxxx,xxxx,xxxx,xxxx -->  0000,xxxx,xxxx,xxxx */
            }
            called=change(called);
            c_dbpath(conv_ST(calling[bufloop]),conv_CH(calling[bufloop])
                    ,bufloop);          /* clear dial and buffer path */
            c4017=bufloop+1;
            outportb(0x2F5,c4017); delay(1);          /* Reset 4017 set*/
            outportb(0x2F5,0x00);
            se_ing=calling[bufloop]-100;
            se_ed=called-100;
            if(HandsetBit[se_ed]==1)                  /* Called is on hook
*/
            {
            if(RingingBit[se_ed]==0)             /* Called haven't ringing
*/
            {
              if(TalkpathBit[se_ed]==0)
/*Called haven't connect path(In case,called on hook before calling ) */
              {
                RingingBit[se_ed]=1;              /* Set ringing to called
*/
                ringback(conv_ST(calling[bufloop])
                   ,conv_CH(calling[bufloop]));
                ringing(se_ed);
                nums[se_ed][1]=calling[bufloop];
                nums[se_ing][1]=called;
                     /* Set number of opposite state,called,calling */
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            }                          /* End check on-off hook called */
            else                          /* Called have connect path */
            {

busy(conv_ST(calling[bufloop]),conv_CH(calling[bufloop]));
              BusyBit[se_ing]=1;          /* Set busy path to calling */
            }
          }
          else                                /* Called have ringing */
          {
            busy(conv_ST(calling[bufloop]),conv_CH(calling[bufloop]));
            BusyBit[se_ing]=1;            /* Set busy path to calling */
          }
          }
          else        /* Called is off hook */
          {
          busy(conv_ST(calling[bufloop]),conv_CH(calling[bufloop]));
          BusyBit[se_ing]=1;              /* Set busy path to calling */
          }
          status[bufloop]=0;
        } /* End check buffer */
      } /*End check status */
    } /* End buffer loop */
    bit+=1;
    }                                                  /* End inport loop */
/*------------300,301,302,304,305,306,308,...change port--------------*/
    ports+=1;
    if (ports>2)
    {
    hook_port+=2;
    ports=0;
    }
    else
    hook_port+=1;
  }                                                    /* End main loop */
} while(1);                                       /* End forever loop */
}                                                   /* End main */

/*-----------------------Sub Program-----------------------------------*/
void clear_status()                                      /* Clear and set*/
{
  int aa,ab,ac;
  /* Initial Port */
  outportb(0x2F3,0x80);/* Control SW. portA=o/p,portB=o/p,portC=o/p */
  outportb(0x2F7,0x90);/* Check buf. & clear 4017
portA=i/p,portB=o/p,portC=o/p */
  outportb(0x303,0x9B);/* Check on-off hook
portA=i/p,portB=i/p,portC=i/p */
  outportb(0x30B,0x9B);/* Number in buf.   portA=i/p,portB=i/p,portC=i/p
*/
  outportb(0x30F,0x80);/* Control Ringing, portA=o/p,portB=o/p,portC=o/p
*/

  outportb(0x2F2,0x00);/* reset DS of Digital SW. */
  outportb(0x2F5,0x03);delay(1);     /* reset 4017 or two buffer sets */
  outportb(0x2F5,0x00);
  d_30C=0;d_30D=0;d_30E=0;/* set 0 to outport mem for control ringing */
  outportb(0x30C,d_30C);                    /* clear control ringing */
  outportb(0x30D,d_30D);
  outportb(0x30E,d_30E);
  for(c=0;c<2;c++) status[c]=0;          /* Clear status's buffer */
  for(c=0;c<num;c++)
  {
    nums[c][0]=100+c;                    /* Set number to telephone */
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    HandsetBit[c]=1;
    RingingBit[c]=0;
    BusyBit[c]=0;
    TalkpathBit[c]=0;
    CallingBit[c]=0;
  }
}

/*-------------------------------------------------------------------------*/
unsigned int change(unsigned int called)
{
  unsigned int one,two,three,sum;
  one=called&0x000F;
  if(one==10) one=0;
  two=(called&0x00F0)>>4;
  if(two==10) two=0;
  three=(called&0x0F00)>>8;
  if(three==10) three=0;
  sum=one+(two*10)+(three*100);
  return sum;
}

/*-------------------------------------------------------------------------*/
int conv_ST(unsigned int number)              /* Convert number to ST */
{
  int result;
  result=number-100;
  return result/32;
}

/*-------------------------------------------------------------------------*/
int conv_CH(unsigned int number)              /* Convert number to CH */
{
  int result;
  result=number-100;
  return result-(32*(result/32));
}

/*-------------------------------------------------------------------------*/
void sw(int ST2,int ST1,int CH2,int CH1)      /* Connect i/p and o/p */
{
  unsigned char a1,a2,a3,a4;
  /* connect 1 to 2 */
  a1 = 144 | ST2;                             /* 10010000 or 00000xxx */
  a2 = (ST1<<5) | CH1;                        /* xxx00000 or 000xxxxx */
  a3 = 24 | ST2;                              /* 00011000 or 00000xxx */
  a4 = 32 | CH2;                              /* 00100000 or 000xxxxx */
  outportb(0x2F0,0x00);
          /* connct control register (PA5=0) & write in it (Pa7=0) */
  outportb(0x2F1,a1);         /* contain data to control reg.<10010XXX>
                                 D0-D2 is STo
                                 D3-D4 is connect connection mem low
                                 D6-D7 is split mode */
  outportb(0x2F2,0x01); delay(1);                          /* set DS */
  outportb(0x2F2,0x00); delay(1);                        /* reset DS */
  outportb(0x2F0,a4);                      /* select channel ootput */
  outportb(0x2F1,a2);           /* contain data to conection mem low */
  outportb(0x2F2,0x01); delay(1);                          /* set DS */
  outportb(0x2F2,0x00); delay(1);                        /* reset DS */
  outportb(0x2F0,0x00);                  /* connect control register */
  outportb(0x2F1,a3);       /* contain data in control register
                               PA0-PA2 is STo
                               PA3-PA4 is connect connection mem high */
  outportb(0x2F2,0x01); delay(1);                          /* set DS */
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    outportb(0x2F2,0x00); delay(1);                          /* reset DS */
    outportb(0x2F0,a4);                          /* select channel output */
    outportb(0x2F1,0x01);
             /* send data to connection mem high & output enable */
    outportb(0x2F2,0x01); delay(1);                           /* set DS */
    outportb(0x2F2,0x00);                                    /* reset DS */

    /* connect 2 to 1 */
    a1 = 144 | ST1;
    a2 = (ST2<<5) | CH2;
    a3 = 24 | ST1;
    a4 = 32 | CH1;
    outportb(0x2F0,0x00);
    outportb(0x2F1,a1);
    outportb(0x2F2,0x01); delay(1);
    outportb(0x2F2,0x00); delay(1);
    outportb(0x2F0,a4);
    outportb(0x2F1,a2);
    outportb(0x2F2,0x01); delay(1);
    outportb(0x2F2,0x00); delay(1);
    outportb(0x2F0,0x00);
    outportb(0x2F1,a3);
    outportb(0x2F2,0x01); delay(1);
    outportb(0x2F2,0x00); delay(1);
    outportb(0x2F0,a4);
    outportb(0x2F1,0x01);
    outportb(0x2F2,0x01); delay(1);
    outportb(0x2F2,0x00);
}

/*-------------------------------------------------------------------*/
void ringback(int ST,int CH)        /* Connect tel and ringback tone */
{
  int ringback_ST=7,ringback_CH=31;
  unsigned char a1,a2,a3,a4;

  /* connect ringback tone to on hook telephone */
  a1 = 144 | ST;
  a2 = (ringback_ST<<5) | ringback_CH;
  a3 = 24 | ST;
  a4 = 32 | CH;
  outportb(0x2F0,0x00);
  outportb(0x2F1,a1);
  outportb(0x2F2,0x01); delay(1);
  outportb(0x2F2,0x00); delay(1);
  outportb(0x2F0,a4);
  outportb(0x2F1,a2);
  outportb(0x2F2,0x01); delay(1);
  outportb(0x2F2,0x00); delay(1);
  outportb(0x2F0,0x00);
  outportb(0x2F1,a3);
  outportb(0x2F2,0x01); delay(1);
  outportb(0x2F2,0x00); delay(1);
  outportb(0x2F0,a4);
  outportb(0x2F1,0x01);
  outportb(0x2F2,0x01); delay(1);
  outportb(0x2F2,0x00);
}

/*-------------------------------------------------------------------*/
void buf_dial(int ST,int CH) /* Connect tel and DTMF buffer,dial tone */
{
  int buffer_ST=7,buffer_CH,dial_ST=7,dial_CH=29,m,busy_check;
  unsigned char a1,a2,a3,a4;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    busy_check=1;
    for(m=0;m<2;m++)
      if(status[m]==0)                          /* Check the set of buffer */
      {
        buffer_CH=28-m;
        status[m]=1;
        busy_check=0;
        calling[m]=nums[c][0];
        buf_set[c]=m;           /* Set sequence of buffer which tel use */
        break;
      };
    if(busy_check==1)
    {
      busy(conv_ST(nums[c][0]),conv_CH(nums[c][0]));
      BusyBit[c]=1; /* Set busy path to calling */
    }
    else
    /* connect off hook tel to DTMF buffer */
    {
      a1 = 144 | buffer_ST;
      a2 = (ST<<5) | CH;
      a3 = 24 | buffer_ST;
      a4 = 32 | buffer_CH;
      outportb(0x2F0,0x00);
      outportb(0x2F1,a1);
      outportb(0x2F2,0x01); delay(1);
      outportb(0x2F2,0x00); delay(1);
      outportb(0x2F0,a4);
      outportb(0x2F1,a2);
      outportb(0x2F2,0x01); delay(1);
      outportb(0x2F2,0x00); delay(1);
      outportb(0x2F0,0x00);
      outportb(0x2F1,a3);
      outportb(0x2F2,0x01); delay(1);
      outportb(0x2F2,0x00); delay(1);
      outportb(0x2F0,a4);
      outportb(0x2F1,0x01);
      outportb(0x2F2,0x01); delay(1);
      outportb(0x2F2,0x00);
      /* connect dial tone to on hook telephone */
      a1 = 144 | ST;
      a2 = (dial_ST<<5) | dial_CH;
      a3 = 24 | ST;
      a4 = 32 | CH;
      outportb(0x2F0,0x00);
      outportb(0x2F1,a1);
      outportb(0x2F2,0x01); delay(1);
      outportb(0x2F2,0x00); delay(1);
      outportb(0x2F0,a4);
      outportb(0x2F1,a2);
      outportb(0x2F2,0x01); delay(1);
      outportb(0x2F2,0x00); delay(1);
      outportb(0x2F0,0x00);
      outportb(0x2F1,a3);
      outportb(0x2F2,0x01); delay(1);
      outportb(0x2F2,0x00); delay(1);
      outportb(0x2F0,a4);
      outportb(0x2F1,0x01);
      outportb(0x2F2,0x01); delay(1);
      outportb(0x2F2,0x00);
    }
  }

  /*-------------------------------------------------------------------*/
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
void busy(int ST,int CH)                    /* Connect tel and busy tone */
{
  int busy_ST=7,busy_CH=30;
  unsigned char a1,a2,a3,a4;
  /* connect busy tone to on hook telephone */
  a1 = 144 | ST;
  a2 = (busy_ST<<5) | busy_CH;
  a3 = 24 | ST;
  a4 = 32 | CH;
  outportb(0x2F0,0x00);
  outportb(0x2F1,a1);
  outportb(0x2F2,0x01); delay(1);
  outportb(0x2F2,0x00); delay(1);
  outportb(0x2F0,a4);
  outportb(0x2F1,a2);
  outportb(0x2F2,0x01); delay(1);
  outportb(0x2F2,0x00); delay(1);
  outportb(0x2F0,0x00);
  outportb(0x2F1,a3);
  outportb(0x2F2,0x01); delay(1);
  outportb(0x2F2,0x00); delay(1);
  outportb(0x2F0,a4);
  outportb(0x2F1,0x01);
  outportb(0x2F2,0x01); delay(1);
  outportb(0x2F2,0x00);
}

/*-------------------------------------------------------------------------*/
void ringing(int se_ed)                     /* Feed ringing to called */
{
   int x;
   x=pow(2,se_ed-((se_ed/8)*8));
   switch(se_ed/8)
   {
     case 0 : d_30C+=x; outportb(0x30C,d_30C); break;
     case 1 : d_30D+=x; outportb(0x30D,d_30D); break;
     case 2 : d_30E+=x; outportb(0x30E,d_30E); break;
   }
}

/*-------------------------------------------------------------------------*/
void c_dbpath(int ST,int CH,int buf)    /* Clear dial and buffer path */
{
  unsigned char a1,a2,x;
  /* Set tel (output stream) to disable (Don't receive dial)*/
  a1 = 24 | ST;                              /* 00011000 or 00000xxx */
  a2 = 32 | CH;                              /* 00100000 or 000xxxxx */
  outportb(0x2F0,0x00);                     /* connect control register */
  outportb(0x2F1,a1);       /* contain data in control register
                               PA0-PA2 is STo
                               PA3-PA4 is connect connection mem high */
  outportb(0x2F2,0x01); delay(1);                          /* set DS */
  outportb(0x2F2,0x00); delay(1);                        /* reset DS */
  outportb(0x2F0,a2);                          /* select channel output */
  outportb(0x2F1,0x00);
                /* send data to connection mem high & output disable */
  outportb(0x2F2,0x01); delay(1);                          /* set DS */
  outportb(0x2F2,0x00);                                  /* reset DS */
  /* Set buffer (output stream) to disable(Don't receive DTMF)*/
  if(buf==0) x=28;
  else x=27;
  a1 = 24 | 7 ;
  a2 = 32 | x ;
  outportb(0x2F0,0x00);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
   outportb(0x2F1,a1);
   outportb(0x2F2,0x01); delay(1);
   outportb(0x2F2,0x00); delay(1);
   outportb(0x2F0,a2);
   outportb(0x2F1,0x00);
   outportb(0x2F2,0x01); delay(1);
   outportb(0x2F2,0x00);
 }

 /*------------------------------------ ----------------------------*/
 void c_rbrpath(int ST,int CH,int se_ed)
      /* Clear ringback path and ringing */
 {
   int x;
   unsigned char a1,a2;
   /* Set tel (output stream) to disable (Don't receive ringback)*/
   a1 = 24 | ST;
   a2 = 32 | CH;
   outportb(0x2F0,0x00);
   outportb(0x2F1,a1);
   outportb(0x2F2,0x01); delay(1);
   outportb(0x2F2,0x00); delay(1);
   outportb(0x2F0,a2);
   outportb(0x2F1,0x00);
   outportb(0x2F2,0x01); delay(1);
   outportb(0x2F2,0x00);
   /* Reset ringing */
   x=pow(2,se_ed-((se_ed/8)*8));
   switch(se_ed/8)
   {
     case 0 : d_30C-=x; outportb(0x30C,d_30C); break;
     case 1 : d_30D-=x; outportb(0x30D,d_30D); break;
     case 2 : d_30E-=x; outportb(0x30E,d_30E); break;
   }
 }

 /*------------------------------------ ----------------------------*/
 void c_busypath(int ST,int CH)                    /* Clear busy path */
 {
   unsigned char a1,a2;
   /* Set tel (output stream) to disable (Don't receive busy)*/
   a1 = 24 | ST;
   a2 = 32 | CH;
   outportb(0x2F0,0x00);
   outportb(0x2F1,a1);
   outportb(0x2F2,0x01); delay(1);
   outportb(0x2F2,0x00); delay(1);
   outportb(0x2F0,a2);
   outportb(0x2F1,0x00);
   outportb(0x2F2,0x01); delay(1);
   outportb(0x2F2,0x00);
 }

 /*-------------------------------------------------------------------*/
 void clear_path(int ST2,int ST1,int CH2,int CH1)        /* Clear path */
 {
   unsigned char a1,a2;
   /* Set tel called (output stream) to disable */
   a1 = 24 | ST2;
   a2 = 32 | CH2;
   outportb(0x2F0,0x00);
   outportb(0x2F1,a1);
   outportb(0x2F2,0x01); delay(1);
   outportb(0x2F2,0x00); delay(1);
```

- เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    outportb(0x2F0,a2);
    outportb(0x2F1,0x00);
    outportb(0x2F2,0x01); delay(1);
    outportb(0x2F2,0x00);
    /* Set tel calling (output stream) to disable */
    a1 = 24 | ST1;
    a2 = 32 | CH1;
    outportb(0x2F0,0x00);
    outportb(0x2F1,a1);
    outportb(0x2F2,0x01); delay(1);
    outportb(0x2F2,0x00); delay(1);
    outportb(0x2F0,a2);
    outportb(0x2F1,0x00);
    outportb(0x2F2,0x01); delay(1);
    outportb(0x2F2,0x00);
}

/*-------------------------------------------------------------------------*/
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ISSUE 7 August 1996

Features

- Mitel ST-BUS compatible
- 8-line x 32-channel inputs
- 8-line x 32-channel outputs
- 256 ports non-blocking switch
- Single power supply (+5 V)
- Low power consumption: 30 mW Typ.
- Microprocessor-control interface
- Three-state serial outputs

Ordering Information

MT8980DC	40 Pin Ceramic DIP
MT8980DE	40 Pin Plastic DIP
MT8980DP	44 Pin PLCC

-40°C to +85°C

Description

This VLSI ISO-CMOS device is designed for switching PCM-encoded voice or data, under microprocessor control, in a modern digital exchange, PBX or Central Office. It provides simultaneous connections for up to 256 64 kbit/s channels. Each of the eight serial inputs and outputs consist of 32 64 kbit/s channels multiplexed to form a 2048 kbit/s ST-BUS stream. In addition, the MT8980 provides microprocessor read and write access to individual ST-BUS channels.

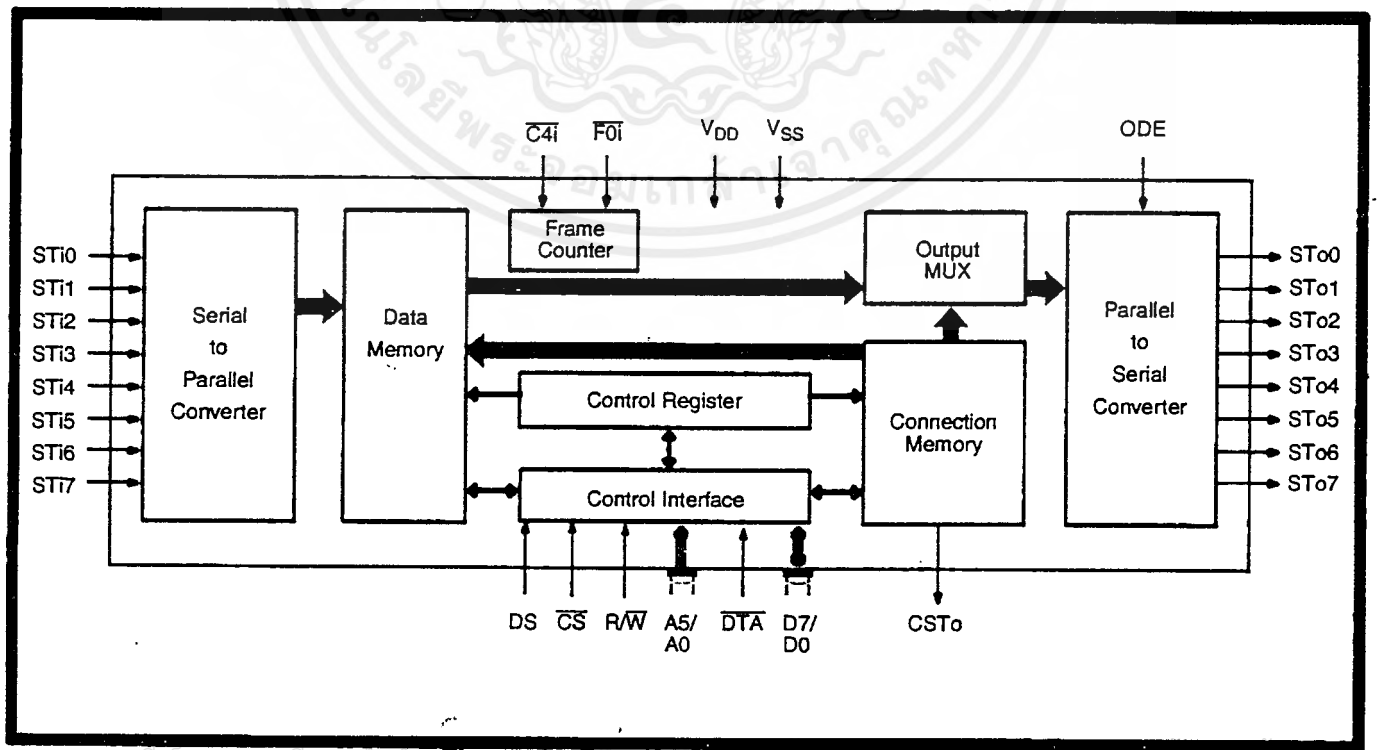
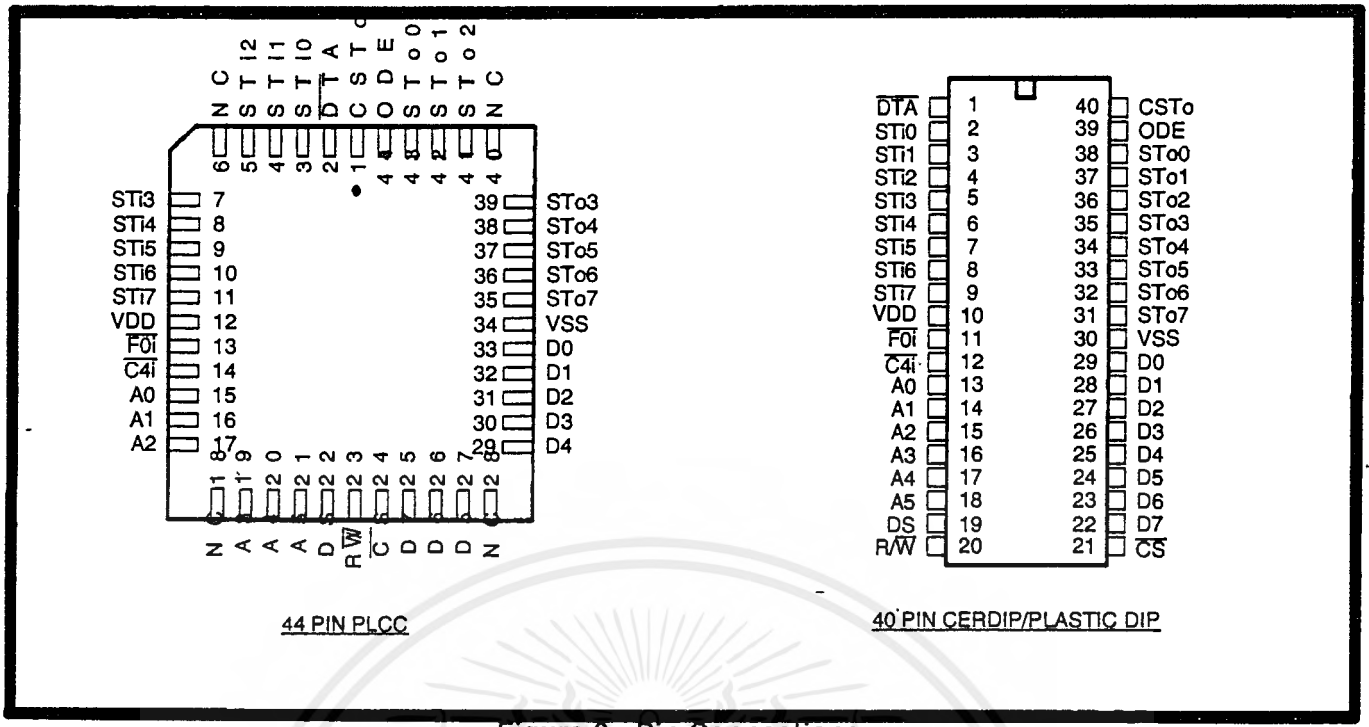


Figure 1 - Functional Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



44 PIN PLCC

40 PIN CERDIP/PLASTIC DIP

Figure 2 - Pin Connections

Pin Description

Pin #		Name	Description
40 DIP	44 PLCC		
1	2	$\overline{DTA}$	**Data Acknowledgement (Open Drain Output).** This is the data acknowledgement on the microprocessor interface. This pin is pulled low to signal that the chip has processed the data. A 909 Ω, 1/4W, resistor is recommended to be used as a pullup.
2-4	3-5	STi0-STi2	**ST-BUS Input 0 to 2 (Inputs).** These are the inputs for the 2048 kbit/s ST-BUS input streams.
5-9	7-11	STi3-STi7	**ST-BUS Input 3 to 7 (Inputs).** These are the inputs for the 2048 kbit/s ST-BUS input streams.
10	12	V_{DD}	**Power Input.** Positive Supply.
11	13	$\overline{F0i}$	**Framing 0-Type (Input).** This is the input for the frame synchronization pulse for the 2048 kbit/s ST-BUS streams. A low on this input causes the internal counter to reset on the next negative transition of $\overline{C4i}$.
12	14	$\overline{C4i}$	**4.096 MHz Clock (Input).** ST-BUS bit cell boundaries lie on the alternate falling edges of this clock.
13-15	15-17	A0-A2	**Address 0 to 2 (Inputs).** These are the inputs for the address lines on the microprocessor interface.
16-18	19-21	A3-A5	**Address 3 to 5 (Inputs).** These are the inputs for the address lines on the microprocessor interface.
19	22	DS	**Data Strobe (Input).** This is the input for the active high data strobe on the microprocessor interface.
20	23	R/$\overline{W}$	**Read or Write (Input).** This is the input for the read/write signal on the microprocessor interface - high for read, low for write.
21	24	$\overline{CS}$	**Chip Select (Input).** This is the input for the active low chip select on the microprocessor interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Description (continued)

Pin #		Name	Description
40 DIP	44 PLCC		
22-24	25-27	D7-D5	**Data 7 to 5 (Three-state I/O Pins).** These are the bidirectional data pins on the microprocessor interface.
25-29	29-33	D4-D0	**Data 4 to 0 (Three-state I/O Pins).** These are the bidirectional data pins on the microprocessor interface.
30	34	V_{SS}	**Power Input.** Negative Supply (Ground).
31-35	35-39	STo7-STo3	**ST-BUS Output 7 to 3 (Three-state Outputs).** These are the pins for the eight 2048 kbit/s ST-BUS output streams.
36-38	41-43	STo2-STo0	**ST-BUS Output 2 to 0 (Three-state Outputs).** These are the pins for the eight 2048 kbit/s ST-BUS output streams.
39	44	ODE	**Output Drive Enable (Input).** If this input is held high, the STo0-STo7 output drivers function normally. If this input is low, the STo0-STo7 output drivers go into their high impedance state. **NB:** Even when ODE is high, channels on the STo0-STo7 outputs can go high impedance under software control.
40	1	CSTo	**Control ST-BUS Output (Complementary Output).** Each frame of 256 bits on this ST-BUS output contains the values of bit 1 in the 256 locations of the Connection Memory High.
	6, 18, 28, 40	NC	No Connection.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

In recent years, there has been a trend in telephony towards digital switching, particularly in association with software control. Simultaneously, there has been a trend in system architectures towards distributed processing or multi-processor systems.

In accordance with these trends, MITEL has devised the ST-BUS (Serial Telecom Bus). This bus architecture can be used both in software-controlled digital voice and data switching, and for interprocessor communications. The uses in switching and in interprocessor communications are completely integrated to allow for a simple general purpose architecture appropriate for the systems of the future.

The serial streams of the ST-BUS operate continuously at 2048 kbit/s and are arranged in 125 µs wide frames which contain 32 8-bit channels. MITEL manufactures a number of devices which interface to the ST-BUS; a key device being the MT8980 chip.

The MT8980 can switch data from channels on ST-BUS inputs to channels on ST-BUS outputs, and simultaneously allows its controlling microprocessor to read channels on ST-BUS inputs or write to channels on ST-BUS outputs (Message Mode). To the microprocessor, the MT8980 looks like a memory peripheral. The microprocessor can write to the MT8980 to establish switched connections between input ST-BUS channels and output ST-BUS channels, or to transmit messages on output ST-BUS channels. By reading from the MT8980, the microprocessor can receive messages from ST-BUS input channels or check which switched connections have already been established.

By integrating both switching and interprocessor communications, the MT8980 allows systems to use distributed processing and to switch voice or data in an ST-BUS architecture.

Hardware Description

Serial data at 2048 kbit/s is received at the eight ST-BUS inputs (STi0 to STi7), and serial data is transmitted at the eight ST-BUS outputs (STo0 to STo7). Each serial input accepts 32 channels of digital data, each channel containing an 8-bit word which may represent a PCM-encoded analog/voice sample as provided by a codec (e.g., MITEL's MT8964).

This serial input word is converted into parallel data and stored in the 256 X 8 Data Memory. Locations in the Data Memory are associated with particular channels on particular ST-BUS input streams. These locations can be read by the microprocessor which controls the chip.

Locations in the Connection Memory, which is split into high and low parts, are associated with particular ST-BUS output streams. When a channel is due to be transmitted on an ST-BUS output, the data for the channel can either be switched from an ST-BUS input or it can originate from the microprocessor. If the data is switched from an input, then the contents of the Connection Memory Low location associated with the output channel is used to address the Data Memory. This Data Memory address corresponds to the channel on the input ST-BUS stream on which the data for switching arrived. If the data for the output channel originates from the microprocessor (Message Mode), then the contents of the Connection Memory Low location associated with the output channel are output directly, and this data is output repetitively on the channel once every frame until the microprocessor intervenes.

The Connection Memory data is received, via the Control Interface, at D7 to D0. The Control Interface also receives address information at A5 to A0 and handles the microprocessor control signals $\overline{CS}$, $\overline{DTA}$, R/$\overline{W}$ and DS. There are two parts to any address in the Data Memory or Connection Memory.

A5	A4	A3	A2	A1	A0	HEX ADDRESS	LOCATION
0	X	X	X	X	X	00 - 1F	Control Register *
1	0	0	0	0	0	20	Channel 0†
1	0	0	0	0	1	21	Channel 1†
•	•	•	•	•	•	•	•
•	•	•	•	•	•	•	•
•	•	•	•	•	•	•	•
1	1	1	1	1	1	3F	Channel 31†

* Writing to the Control Register is the only fast transaction.
† Memory and stream are specified by the contents of the Control Register.

Figure 3- Address Memory Map

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The higher order bits come from the Control Register, which may be written to or read from via the Control Interface. The lower order bits come from the address lines directly.

The Control Register also allows the chip to broadcast messages on all ST-BUS outputs (i.e., to put every channel into Message Mode), or to split the memory so that reads are from the Data Memory and writes are to the Connection Memory Low. The Connection Memory High determines whether individual output channels are in Message Mode, and allows individual output channels to go into a high-impedance state, which enables arrays of MT8980s to be constructed. It also controls the CSTo pin.

All ST-BUS timing is derived from the two signals $\overline{C4i}$ and $\overline{F0i}$.

Software Control

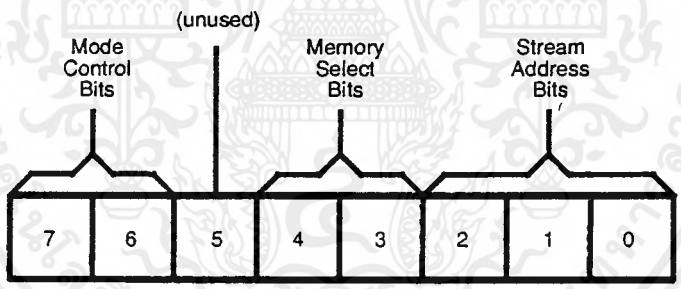
The address lines on the Control Interface give access to the Control Register directly or, depending on the contents of the Control Register, to the High or Low sections of the Connection Memory or to the Data Memory.

If address line A5 is low, then the Control Register is addressed regardless of the other address lines (see Fig. 3). If A5 is high, then the address lines A4-A0 select the memory location corresponding to channel 0-31 for the memory and stream selected in the Control Register.

The data in the Control Register consists of mode control bits, memory select bits, and stream address bits (see Fig. 4). The memory select bits allow the Connection Memory High or Low or the Data Memory to be chosen, and the stream address bits define one of the ST-BUS input or output streams.

Bit 7 of the Control Register allows split memory operation - reads are from the Data Memory and writes are to the Connection Memory Low.

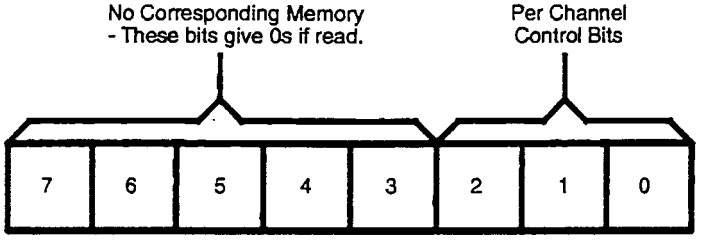
The other mode control bit, bit 6, puts every output channel on every output stream into active Message Mode; i.e., the contents of the Connection Memory Low are output on the ST-BUS output streams once every frame unless the ODE pin is low. In this mode the chip behaves as if bits 2 and 0 of every Connection Memory High location were 1, regardless of the actual values.



BIT	NAME	DESCRIPTION
7	**Split Memory**	When 1, all subsequent reads are from the Data Memory and writes are to the Connection Memory Low, except when the Control Register is accessed again. When 0, the Memory Select bits specify the memory for subsequent operations. In either case, the Stream Address Bits select the subsection of the memory which is made available.
6	**Message Mode**	When 1, the contents of the Connection Memory Low are output on the Serial Output streams except when the ODE pin is low. When 0, the Connection Memory bits for each channel determine what is output.
5	**(unused)**	
4-3	**Memory Select Bits**	0-0 - Not to be used 0-1 - Data Memory (read only from the microprocessor port) 1-0 - Connection Memory Low 1-1 - Connection Memory High
2-0	**Stream Address Bits**	The number expressed in binary notation on these bits refers to the input or output ST-BUS stream which corresponds to the subsection of memory made accessible for subsequent operations.

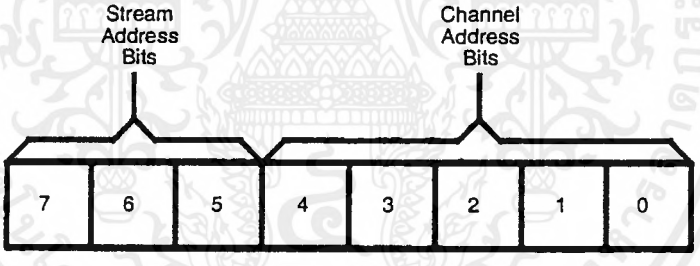
Figure 4 - Control Register Bits

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



BIT	NAME	DESCRIPTION
2	Message Channel	When 1, the contents of the corresponding location in Connection Memory Low are output on the location's channel and stream. When 0, the contents of the corresponding location in Connection Memory Low act as an address for the Data Memory and so determine the source of the connection to the location's channel and stream.
1	CSTo Bit	This bit is output on the CSTo pin one channel early. The CSTo bit for stream 0 is output first.
0	Output Enable	If the ODE pin is high and bit 6 of the Control Register is 0, then this bit enables the output driver for the location's channel and stream. This allows individual channels on individual streams to be made high-impedance, allowing switching matrices to be constructed. A 1 enables the driver and a 0 disables it.

Figure 5 - Connection Memory High Bits



BIT	NAME	DESCRIPTION
7-5*	Stream Address Bits*	The number expressed in binary notation on these 3 bits is the number of the ST-BUS stream for the source of the connection. Bit 7 is the most significant bit. e.g., if bit 7 is 1, bit 6 is 0 and bit 5 is 0, then the source of the connection is a channel on STi4.
4-0*	Channel Address Bits*	The number expressed in binary notation on these 5 bits is the number of the channel which is the source of the connection (The ST-BUS stream where the channel lies is defined by bits 7, 6 and 5.). Bit 4 is the most significant bit. e.g., if bit 4 is 1, bit 3 is 0, bit 2 is 0, bit 1 is 1 and bit 0 is 1, then the source of the connection is channel 19.

*If bit 2 of the corresponding Connection High location is 1 or if bit 6 of the Control Register is 1, then these entire 8 bits are output on the channel and stream associated with this location. Otherwise, the bits are used as indicated to define the source of the connection which is output on the channel and stream associated with this location.

Figure 6 - Connection Memory Low Bits

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

If bit 6 of the Control Register is 0, then bits 2 and 0 of each Connection Memory High location function normally (see Fig. 5). If bit 2 is 1, the associated ST-BUS output channel is in Message Mode; i.e., the byte in the corresponding Connection Memory Low location is transmitted on the stream at that channel. Otherwise, one of the bytes received on the serial inputs is transmitted and the contents of the Connection Memory Low define the ST-BUS input stream and channel where the byte is to be found (see Fig. 6).

If the ODE pin is low, then all serial outputs are high-impedance. If it is high and bit 6 in the Control Register is 1, then all outputs are active. If the ODE pin is high and bit 6 in the Control Register is 0, then the bit 0 in the Connection Memory High location enables the output drivers for the corresponding individual ST-BUS output stream and channel. Bit 0=1 enables the driver and bit 0=0 disables it (see Fig. 5).

Bit 1 of each Connection Memory High location (see Fig. 5) is output on the CSTo pin once every frame. To allow for delay in any external control circuitry the bit is output one channel before the corresponding channel on the ST-BUS streams, and the bit for stream 0 is output first in the channel; e.g., bit 1's for channel 9 of streams 0-7 are output synchronously with ST-BUS channel 8 bits 7-0.

Applications

Use in a Simple Digital Switching System

Figs. 7 and 8 show how MT8980s can be used with MT8964s to form a simple digital switching system. Fig. 7 shows the interface between the MT8980s and the filter/codecs. Fig. 8 shows the position of these components in an example architecture.

The MT8964 filter/codec in Fig. 7 receives and transmits digitized voice signals on the ST-BUS input D_R, and ST-BUS output D_X, respectively. These signals are routed to the ST-BUS inputs and outputs on the top MT8980, which is used as a digital speech switch.

The MT8964 is controlled by the ST-BUS input D_C originating from the bottom MT8980, which generates the appropriate signals from an output channel in Message Mode. This architecture optimizes the messaging capability of the line circuit by building signalling logic, e.g., for on-off hook detection, which communicates on an ST-BUS output. This signalling ST-BUS output is monitored by a microprocessor (not shown) through an ST-BUS input on the bottom MT8980.

Fig. 8 shows how a simple digital switching system may be designed using the ST-BUS architecture. This is a private telephone network with 256 extensions which uses a single MT8980 as a speech switch and a second MT8980 for communication with the line interface circuits.

A larger digital switching system may be designed by cascading a number of MT8980s. Fig. 9 shows how four MT8980s may be arranged in a non-blocking configuration which can switch any channel on any of the ST-BUS inputs to any channel on the ST-BUS outputs.

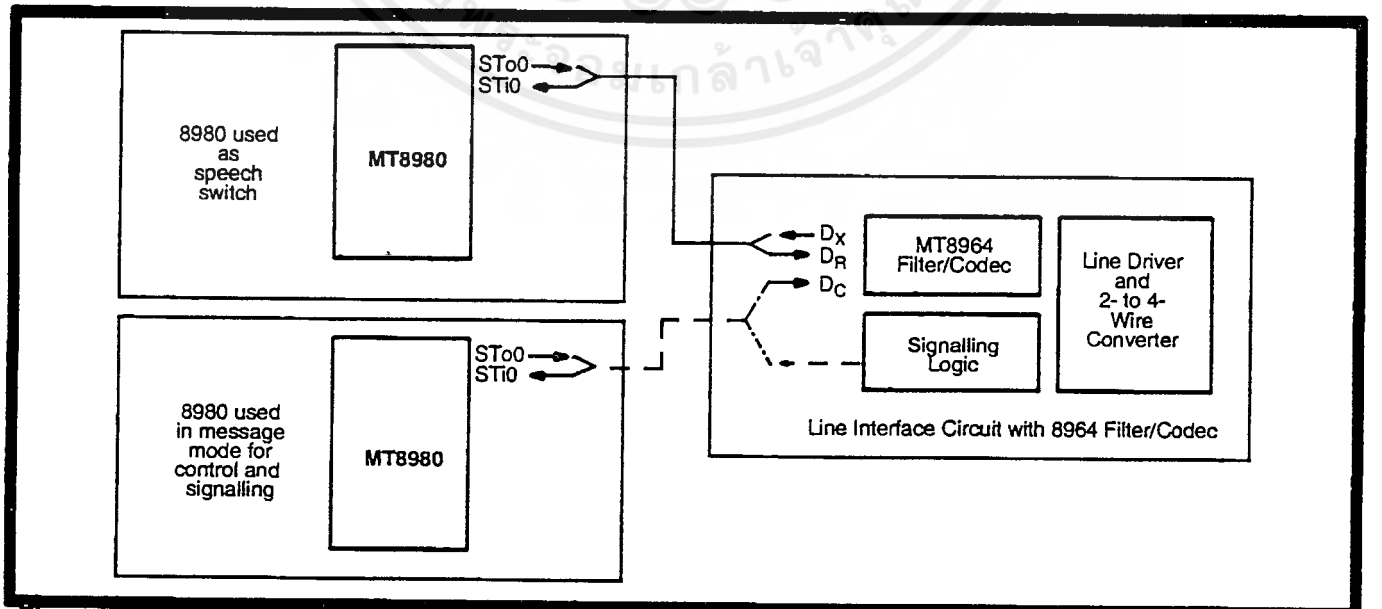


Figure 7 - Example of Typical Interface between 8980s and 8964s for Simple Digital Switching System

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

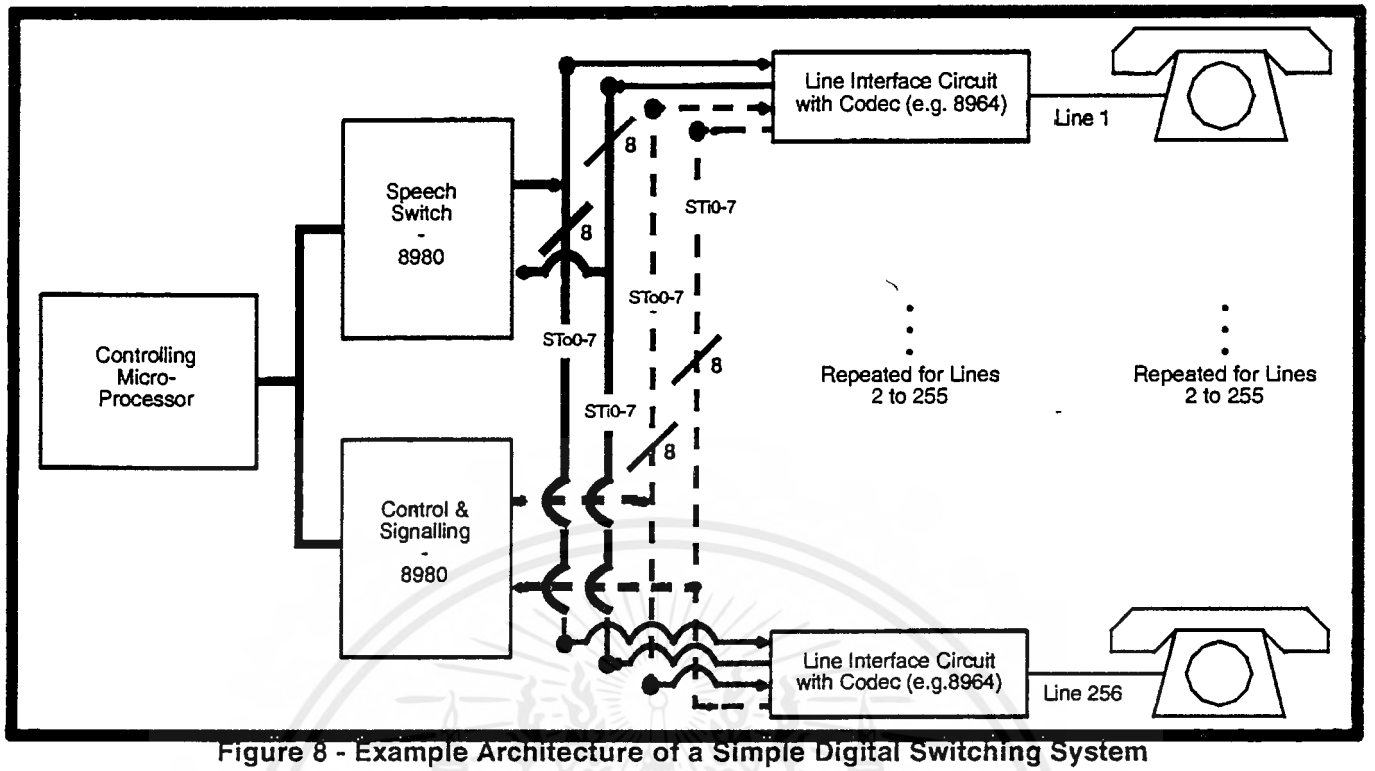


Figure 8 - Example Architecture of a Simple Digital Switching System

Application Circuit with 6802 Processor

Fig. 10 shows an example of a complete circuit which may be used to evaluate the chip.

For convenience, a 4 MHz crystal oscillator has been used rather than a 4.096 MHz clock, as both are within the limits of the chip's specifications. The RC delay used with the 393 counters ensures a sufficient hold time for the $\overline{FP}$ signal, but the values used may have to be changed if faster 393 counters become available.

The chip is shown as memory mapped into the MEK6802D3 system. Chip addresses 00-3F correspond to processor addresses 2000-203F. Delay through the address decoder requires the VMA signal to be used twice to remove glitches. The MEK6802D3 board uses a 10KΩ pullup on the MR pin, which would have to be incorporated into the circuit if the board was replaced by a processor.

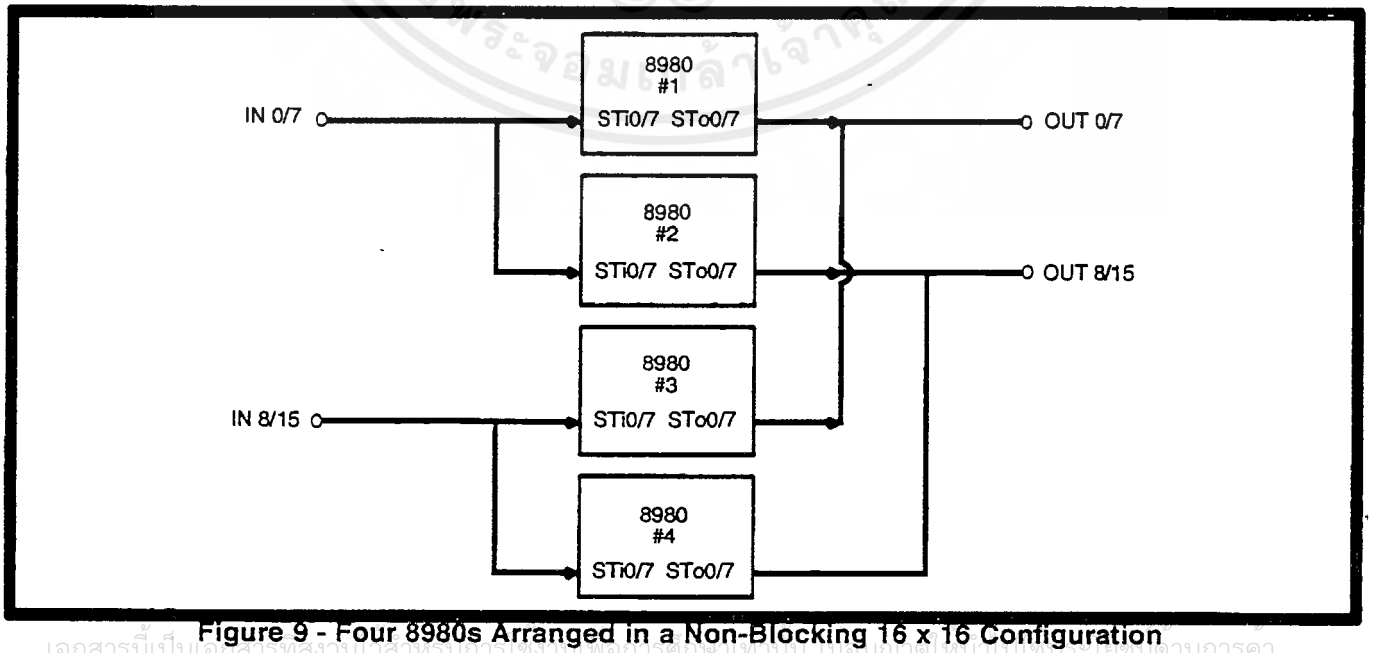


Figure 9 - Four 8980s Arranged in a Non-Blocking 16 x 16 Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

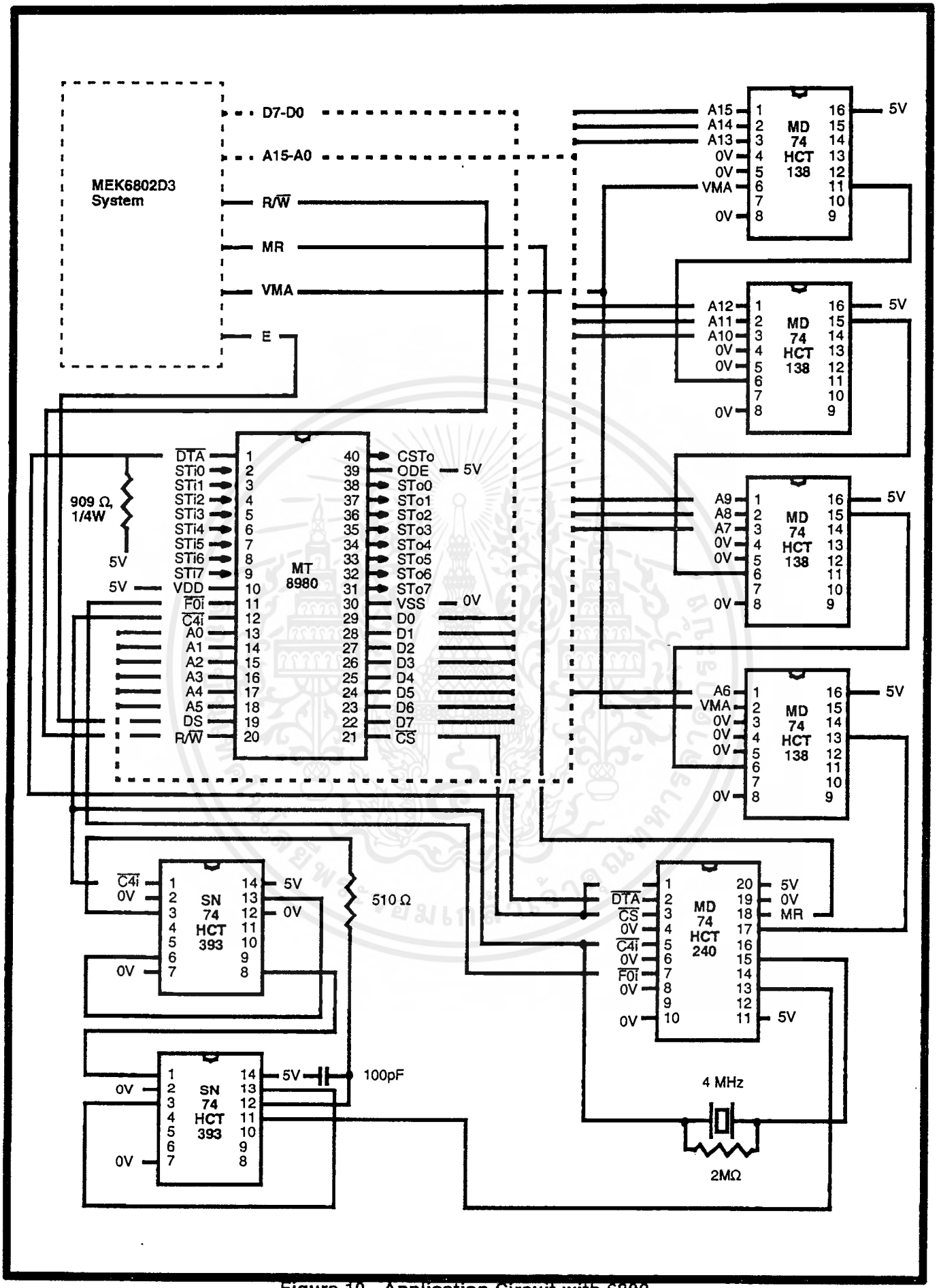


Figure 10 - Application Circuit with 6802

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings*

	Parameter	Symbol	Min	Max	Units
1	V_{DD} - V_{SS}		-0.3	7	V
2	Voltage on Digital Inputs	V_I	V_{SS}-0.3	V_{DD}+0.3	V
3	Voltage on Digital Outputs	V_O	V_{SS}-0.3	V_{DD}+0.3	V
4	Current at Digital Outputs	I_O		40	mA
5	Storage Temperature	T_S	-65	+150	°C
6	Package Power Dissipation	P_D		2	W

* Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied.

Recommended Operating Conditions - Voltages are with respect to ground (V_{SS}) unless otherwise stated.

	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Operating Temperature	T_{OP}	-40		+85	°C	
2	Positive Supply	V_{DD}	4.75		5.25	V	
3	Input Voltage	V_I	0		V_{DD}	V	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

DC Electrical Characteristics - Voltages are with respect to ground (V_{SS}) unless otherwise stated.

		Characteristics	Sym	Min	Typ‡			
1	INPUTS	Supply Current	I_{DD}		6	10	mA	Outputs unloaded
2		Input High Voltage	V_{IH}	2.0			V	
3		Input Low Voltage	V_{IL}			0.8	V	
4		Input Leakage	I_{IL}			5	µA	V_I between V_{SS} and V_{DD}
5		Input Pin Capacitance	C_I		8		pF	
6	OUTPUTS	Output High Voltage	V_{OH}	2.4			V	I_{OH} = 10 mA
7		Output High Current	I_{OH}	10	15		mA	Sourcing. V_{OH}=2.4V
8		Output Low Voltage	V_{OL}			0.4	V	I_{OL} = 5 mA
9		Output Low Current	I_{OL}	5	10		mA	Sinking. V_{OL} = 0.4V
10		High Impedance Leakage	I_{OZ}			5	µA	V_O between V_{SS} and V_{DD}
11		Output Pin Capacitance	C_O		8		pF	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

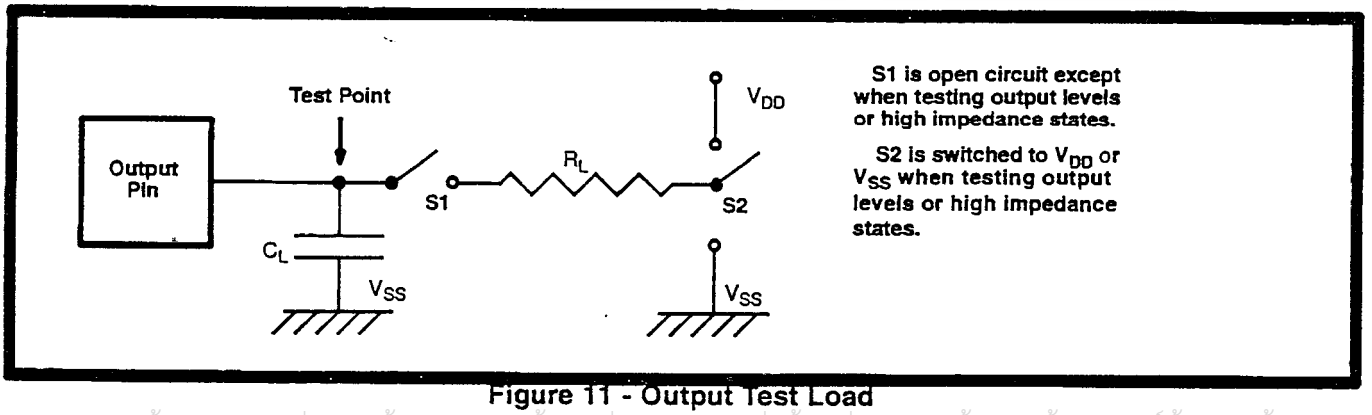


Figure 11 - Output Test Load

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics† - Clock Timing (Figures 12 and 13)

		Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	INPUTS	Clock Period*	t_{CLK}	220	244	300	ns	
2		Clock Width High	t_{CH}	95	122	150	ns	
3		Clock Width Low	t_{CL}	110	122	150	ns	
4		Clock Transition Time	t_{CTT}		20		ns	
5		Frame Pulse SetupTime	t_{FPS}	20		200	ns	
6		Frame Pulse Hold Time	t_{FPH}	0.020		50	µs	
7		Frame Pulse Width	t_{FPW}		244		ns	

† Timing is over recommended temperature & power supply voltages.
‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

NB: Frame Pulse is repeated every 512 cycles of $\overline{C4i}$.

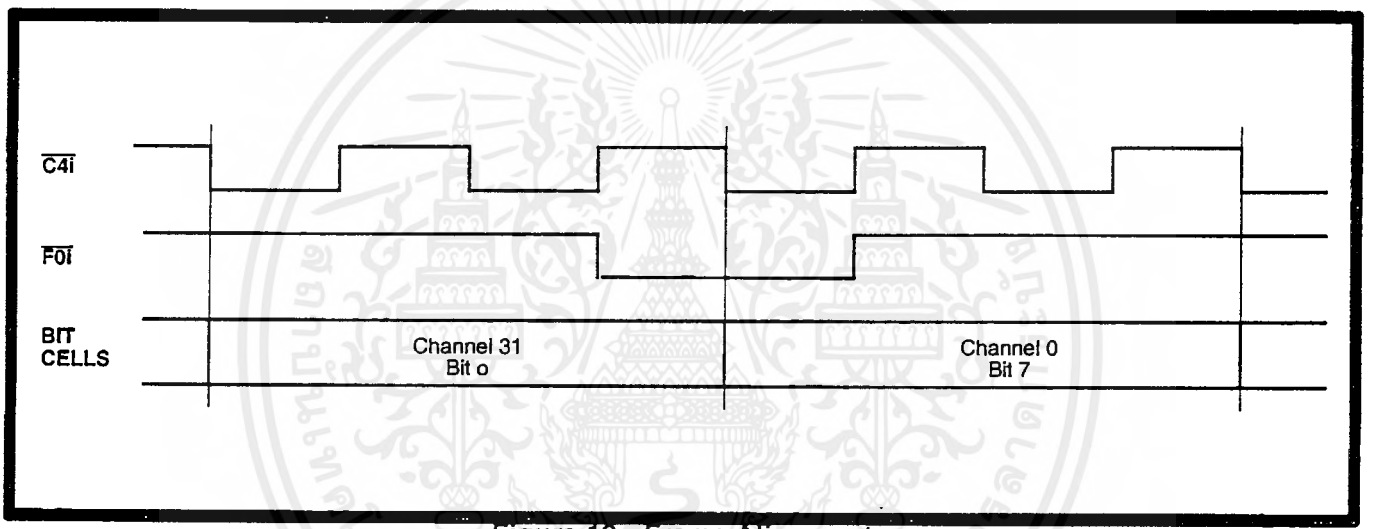


Figure 12 - Frame Alignment

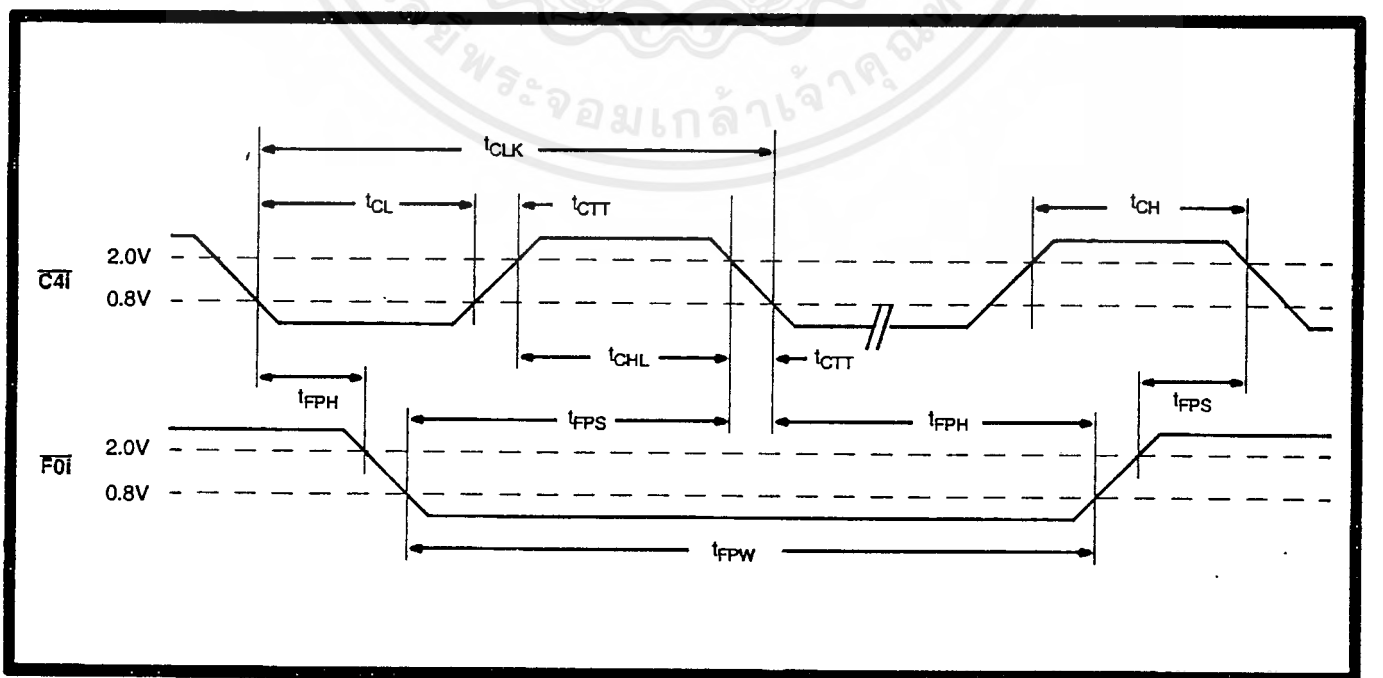


Figure 13 - Clock Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics† - Serial Streams (Figures 11, 14, 15 and 16)

		Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	OUTPUTS	STo0/7 Delay - Active to High Z	t_{SAZ}	20	50	80	ns	R_L=1 KΩ*, C_L=150 pF
2		STo0/7 Delay - High Z to Active	t_{SZA}	25	60	125	ns	C_L=150 pF
3		STo0/7 Delay - Active to Active	t_{SAA}	30	65	125	ns	C_L=150 pF
4		STo0/7 Hold Time	t_{SOH}	25	45		ns	C_L=150 pF
5		Output Driver Enable Delay	t_{OED}		45	125	ns	R_L=1 KΩ*, C_L=150 pF
6		External Control Hold Time	t_{XCH}	0	50		ns	C_L=150 pF
7		External Control Delay	t_{XCD}		75	110	ns	C_L=150 pF
8	IN	Serial Input Setup Time	t_{SIS}		-40	-20	ns	
9		Serial Input Hold Time	t_{SIH}	90			ns	

† Timing is over recommended temperature & power supply voltages.
‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.
* High Impedance is measured by pulling to the appropriate rail with R_L, with timing corrected to cancel time taken to discharge C_L.

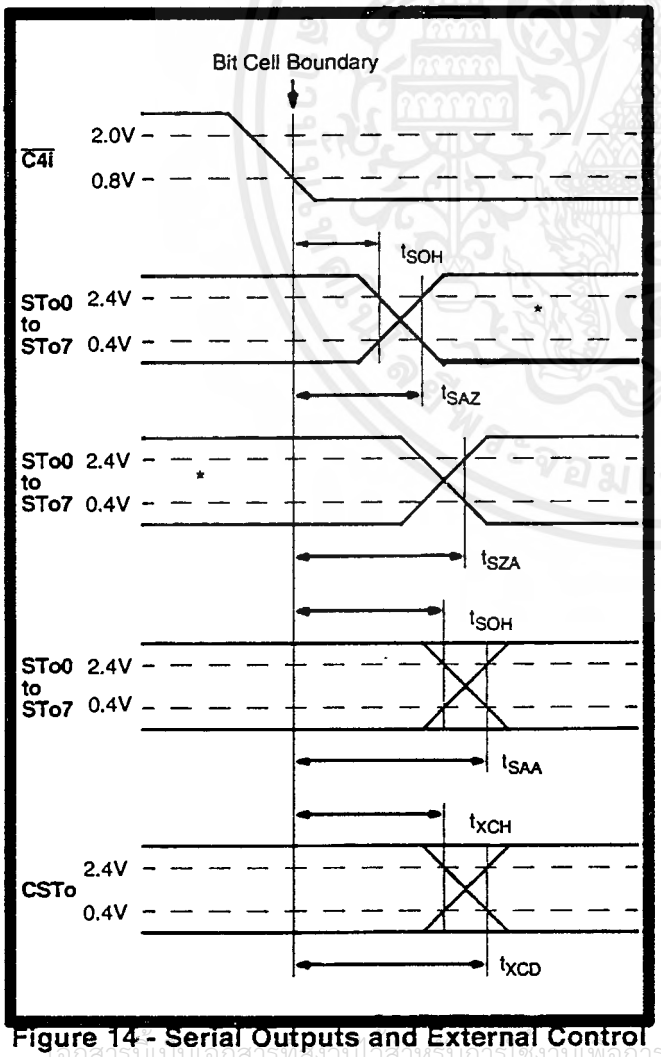


Figure 14 - Serial Outputs and External Control

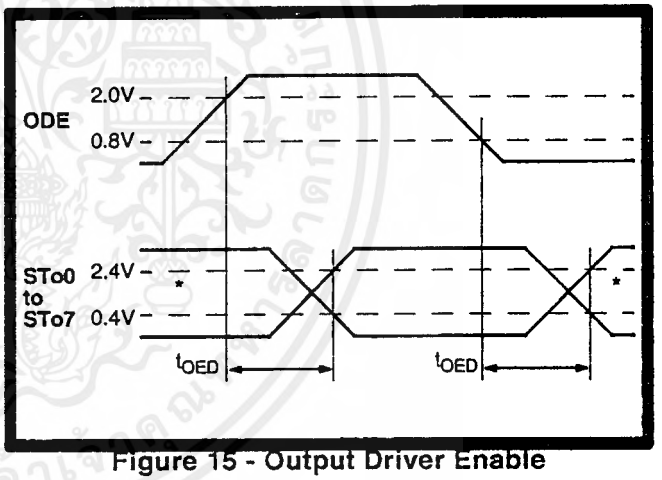


Figure 15 - Output Driver Enable

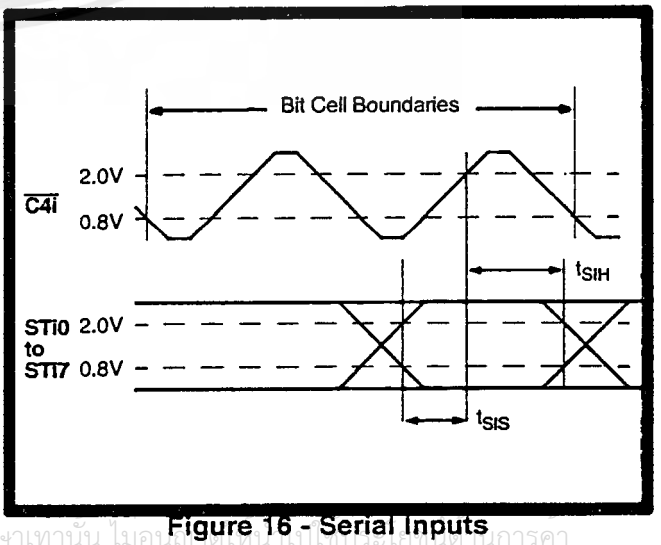


Figure 16 - Serial Inputs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics† - Processor Bus (Figures 11 and 17)

	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Chip Select Setup Time	t_{CSS}	20	0		ns	
2	Read/Write Setup Time	t_{RWS}	25	5		ns	
3	Address Setup Time	t_{ADS}	25	5		ns	
4	Acknowledgement Delay Fast	t_{AKD}		40	100	ns	C_L=150 pF
	Slow	t_{AKD}	2.7		7.2	cycles	$\overline{C4i}$ cycles①
5	Fast Write Data Setup Time	t_{FWS}	20			ns	
6	Slow Write Data Delay	t_{SWD}		2.0	1.7	cycles	$\overline{C4i}$ cycles①
7	Read Data Setup Time	t_{RDS}			0.5	cycles	$\overline{C4i}$ cycles①, C_L= 150 pF
8	Data Hold Time Read	t_{DHT}	20			ns	R_L=1 KΩ*, C_L=150 pF
	Write	t_{DHT}	20	10		ns	
9	Read Data To High Impedance	t_{RDZ}		50	90	ns	R_L=1 KΩ*, C_L=150 pF
10	Chip Select Hold Time	t_{CSH}	0			ns	
11	Read/Write Hold Time	t_{RWH}	0			ns	
12	Address Hold Time	t_{ADH}	0			ns	
13	Acknowledgement Hold Time	t_{AKH}	10	60	80	ns	R_L=1 KΩ*, C_L=150 pF

† Timing is over recommended temperature & power supply voltages.
‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.
* High Impedance is measured by pulling to the appropriate rail with R_L, with timing corrected to cancel time taken to discharge C_L.
① Processor accesses are dependent on the $\overline{C4i}$ clock, and so some timings are expressed as multiples of the $\overline{C4i}$ clock period.

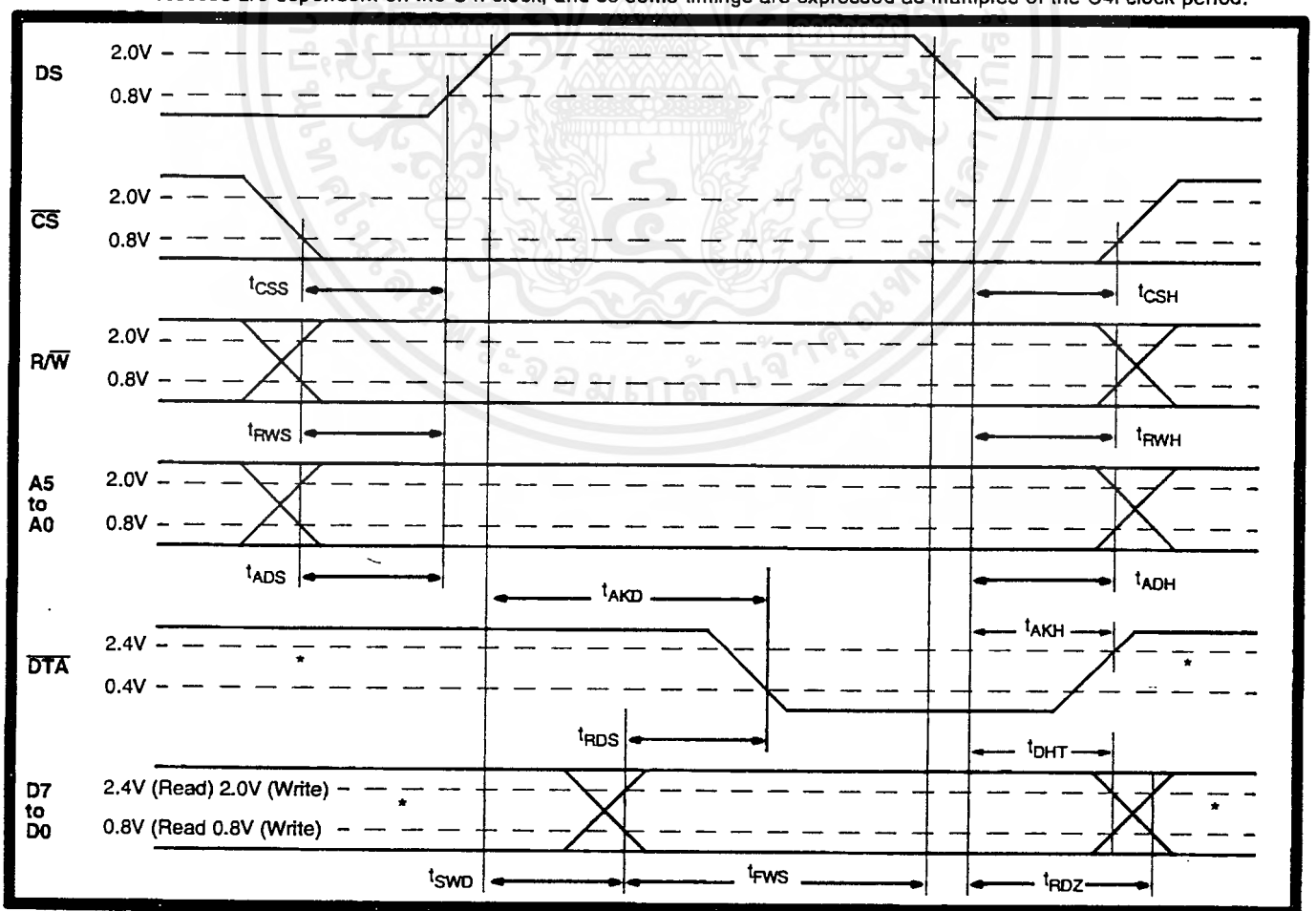


Figure 17 - Processor Bus

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The MT8980 and the MT8981 Digital Crosspoint Switches

ISSUE 1 June 1986

Table of Contents

- **1.0 Introduction**
- **2.0 The ST-BUS**
- **3.0 Architecture of MT8980**
  - 3.1 ST-BUS Interface to the MT8980/81
  - 3.2 Microprocessor interface
  - 3.3 Internal structure
  - 3.4 Programming Examples
- **4.0 Delay through the MT8980**
  - 4.1 Switching Mode
  - 4.2 Message Mode
- **5.0 Microprocessor Accesses**
- **6.0 External Control Using CSTo**
- **7.0 High Impedance Capability**
  - 7.1 Initialization of the MT8980

1.0 Introduction

The MT8980 and the MT8981 are digital crosspoint switches. Any information in an ST-BUS channel (digitized audio, digitized video or data), can be input to the MT8980/81 and then switched to anyone of the its ST-BUS output channels. The MT8980/81 is easily controlled by a microprocessor. The microprocessor can read the contents of all of the input channels and can write information to and read information from all of the output channels.

These capabilities make the MT8980/81 an integral part of a very efficient system of information transport, the ST-BUS. The MT8980/81 provides the ST-BUS system with communication path flexibility. This is a prerequisite in today's systems, which

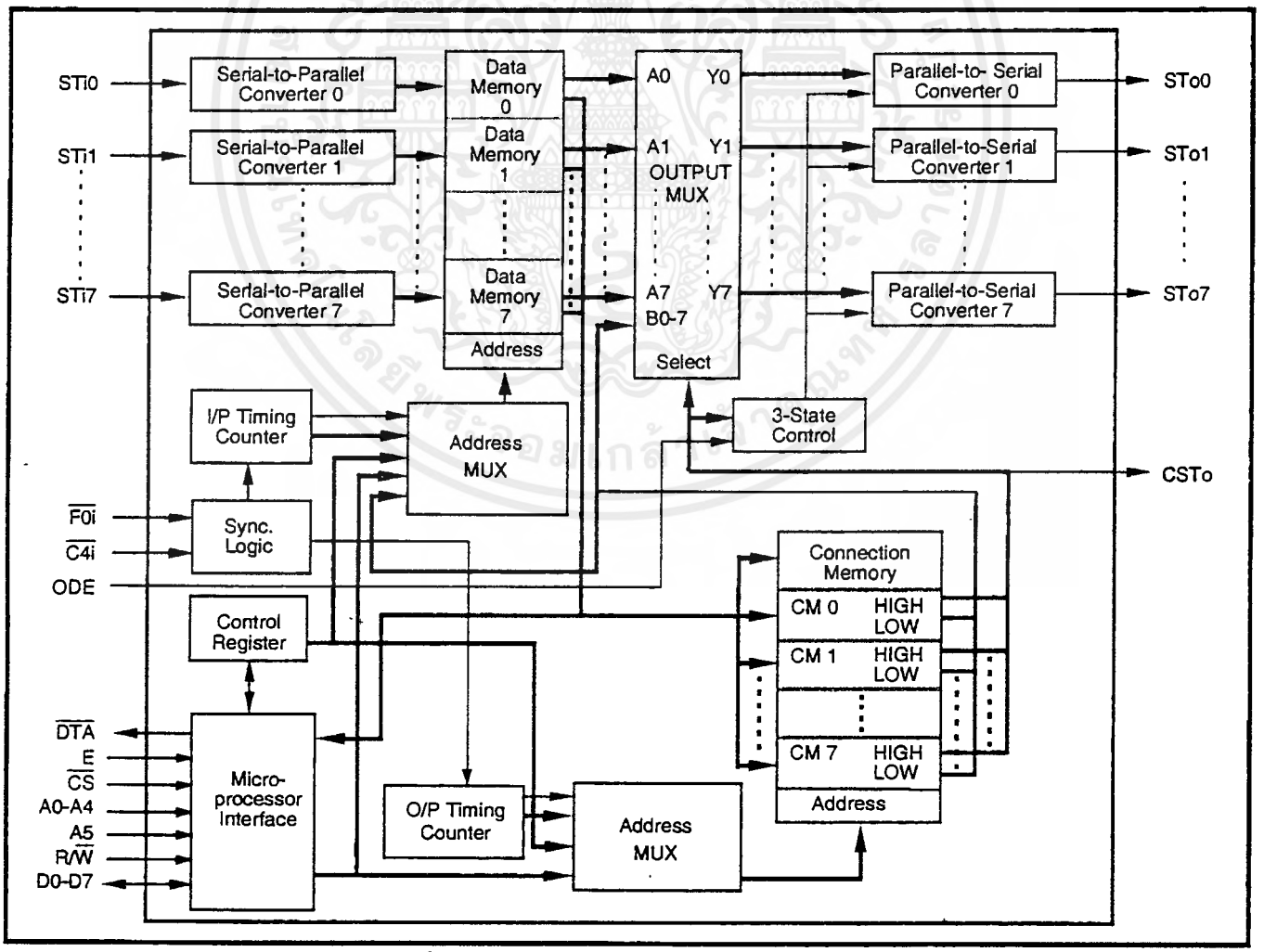


Figure 1 - Block Diagram of the MT8980

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

emphasize distributed architectures and the integration of voice, video and data.

The principle applications of the MT8980/81 are:

a) **Switching.** The MT8980/81 provides non-blocking switching of information channels (circuit switching). The main difference between the MT8980 and the MT8981 is that the MT8980 has a 256 channel capacity and the MT8981 has a 128 channel capacity. Each channel has a throughput capacity of 64 kbit/s. Channels may carry any form of digitized signal, from encoded voice or data to digitized video.

   The MT8980/81 can provide a communication path between any pair of nodes connected to the MT8980/81 through ST-BUS streams. As well, the MT8980/81 can place its ST-BUS outputs into a high impedance state on a per channel basis, so that larger matrices may be constructed.

b) **ST-BUS Device Control.** When the MT8980/81 is in Message mode, each ST-BUS channel input or output looks like a parallel register to the controlling microprocessor. Each of these input channels or output channels can map directly into the status register, or the control register of a "remote" ST-BUS device connected to the MT8980/81. An individual MT8980 can read up to 256 status registers and write up to 256 control registers.

c) **Interprocessor Communication.** The ability to provide communication paths between microprocessors is a subset of the previous application. In this case, the remote ST-BUS device is another MT8980/81 which is controlled by another microprocessor. This microprocessor is also sending and receiving information on ST-BUS channels in Message mode. The channel that the remote microprocessor is receiving on appears to the "local" microprocessor as a control register of an ST-BUS device appeared in the previous application. The channel that the remote microprocessor is sending on appears to the local microprocessor as a status register of an ST-BUS device appeared in the previous application.

The above applications are discussed in more detail in a subsequent application note.

This application note deals with the relationship between the ST-BUS and the MT8980/81. Other MT8980/81 topics covered are: microprocessor interfacing, the two major modes of the device (Switching mode and Message mode), the delay that the MT8980/81 inserts into end-to-end communication, and miscellaneous details about MT8980/81 operation.

2.0 The ST-BUS

The ST-BUS is a component interface. It minimizes the pin requirements on devices and backplanes by using time division multiplexing to transfer a number of logical data channels through a single wire or pin.

A circuit's ST-BUS interface consists of two control signals and as many input and output streams as are needed to provide the bandwidth required by the circuit to perform its function (usually one input stream and one output stream for information to be processed, and one input and output stream for control and status information).

The standard bit rate of the ST-BUS is 2.048 Mbit/s. The overall bit stream is divided into intervals called frames, yielding a frame rate of approximately 8000 frames/s. Each frame is divided into 256 intervals, each containing one bit of digital information. For most communications applications, the bit stream is also divided into 32 intervals per frame called channels. Each channel is allotted eight bits, for a per channel data rate of:

8000 frames /sX8 bits/frame=64 kbit/s.

Channels are referenced to the start of the frame and are numbered from zero to 31.

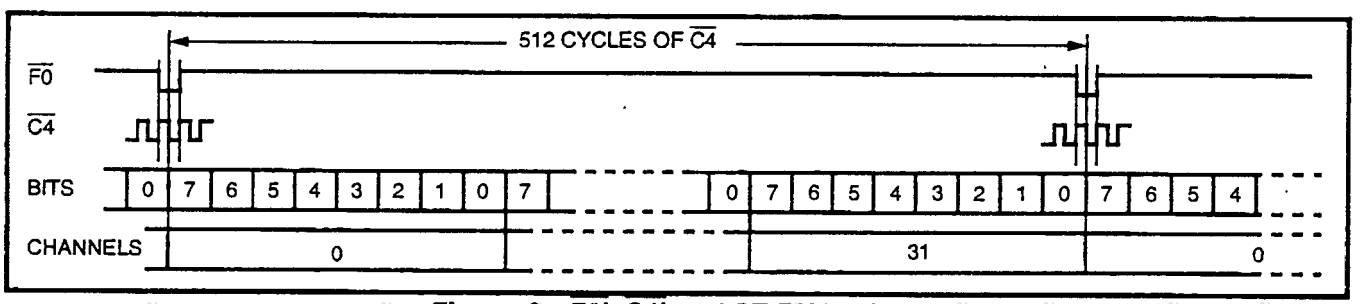


Figure 2 - F0i, C4i and ST-BUS Alignment

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Information must be placed on the ST-BUS stream and removed from it synchronously. In most applications, information is placed onto the ST-BUS or received from it in one particular channel timeslot (more than one channel may be used for more bandwidth). Any device interfaced to the ST-BUS must accept a clock signal for bit timing and a framing signal for synchronization with the frame boundaries. There are several types of clock signals and frame synchronization signals (framing pulses) defined for the ST-BUS. These signals are described in the ST-BUS specification in the Mitel Semiconductor Data Book.

3.0 Architecture of MT8980

The MT8980 architecture is illustrated in Figure 1.

3.1 ST-BUS Interface to the MT8980/81

The clock input of the MT8980/81 is called $\overline{C4i}$ and its frequency (4.096 MHz) is twice the data rate. The frame pulse is the $\overline{F0i}$ signal. See Figure 2 for the timing relationship between $\overline{C4i}$, $\overline{F0i}$ and the bits and channels of the ST-BUS.

The ST-BUS outputs of the MT8980/81 derive their output information from two sources: from the ST-BUS streams input to the MT8980/81 and/or from the microprocessor controlling the MT8980/81. The MT8980/81 is also designed to allow the controlling microprocessor to read the information on the input ST-BUS channels.

The MT8980/81 has two modes of operation to accommodate the choice of information sources: Switching mode and Message mode. Switching mode allows the information contained in each output channel to be chosen from any of the input channels in a non-blocking fashion. An advantage of having the output specify the source is that more than one output, all outputs in fact, can have the same source. This is advantageous for broadcasting messages or generating resource channels (e.g., dial tone can be input in one channel but output in many). Message mode allows information to be written through the microprocessor port onto the output channels. This information will not change until rewritten. The information on the input channels can be read by the microprocessor no matter what mode the device is in.

The major difference between the MT8980 and the MT8981 is the number of 32 channel streams which each can handle. The MT8980 has eight ST-BUS inputs and eight ST-BUS outputs (256 channels in, 256 channels out). The MT8981 has four ST-BUS inputs and four ST-BUS outputs (128 channels in, 128 channels out). Essentially, the MT8980 is a 256 crosspoint digital switch, and the MT8981 is a 128 crosspoint digital switch. Also, the MT8981 does not have a CSTo output (see Section 6.0). The basic similarities between the two devices allow both to be referred to as the MT8980, unless explicit reference to the MT8981 is needed.

3.2 Microprocessor Interface

The microprocessor port consists of a data bus for information transfer, an address bus, a chip enable, two signals for synchronizing microprocessor bus transfers, and a transfer direction control signal. The data bus is eight bits wide and carries control information for the MT8980 from the microprocessor. The six address bits, A0-A5, help determine which of the individual locations within the MT8980 are accessed.

The Select signal ($\overline{CS}$) is the chip enable. If $\overline{CS}$ is high, no access to the MT8980 is possible. Normally, when DS is brought low, most systems remove the $\overline{CS}$ signal. This is not mandatory, as the MT8980 will not drive the data bus or receive information from the data bus unless DS is high. The Data Strobe signal (DS) and the Data Acknowledge signal ($\overline{DTA}$) perform transfer synchronization. At the rising edge of DS, all other control information must be valid. On the falling edge of DS, data from the microprocessor or data from the MT8980 is valid. DS is usually not brought low until after the MT8980 brings the $\overline{DTA}$ signal low, which occurs when the MT8980 is ready to accept or provide data. Once DS is low, the MT8980 brings $\overline{DTA}$ high, terminating the bus cycle.

The Read/Write signal (R/$\overline{W}$) determines the direction of information flow. When the signal is high, information can be read from the MT8980 by the microprocessor. When R/$\overline{W}$ is low, data from the microprocessor may be written to the MT8980.

3.3 Internal structure

There are four major functional blocks inside the MT8980. These blocks are the Data Memory, the Connection Memory High, the Connection Memory Low and the Control Register. Data Memory is related to the input ST-BUS streams; Connection Memory High and Connection Memory Low are related to the output ST-BUS streams. The Control Register performs block addressing functions and overall mode determination.

The Data Memory is where information is stored as it comes in from the ST-BUS inputs. The loading of information into Data Memory from the inputs is automatic (Data Memory may not be written into

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

from the microprocessor port). Channel information is converted from the serial ST-BUS format into a parallel format and stored in a corresponding byte in the Data Memory in an unchanging sequence. The size of the MT8980's Data Memory is 256 bytes and the size of the MT8981's Data Memory is 128 bytes (one byte of Data Memory per input channel).

Information may be read from the Data Memory in two ways: through the microprocessor port, or by a sequence that places Data Memory contents into an ST-BUS output channel. For a microprocessor port access, the address of a location in Data Memory is formed by Control Register bits 2, 1 and 0 (CR_b2, CR_b1 and CR_b0) and external address bits A4, A3, A2, A1 and A0. When information in Data Memory is destined for an ST-BUS output channel, the address for Data Memory is formed by the contents of the Connection Memory Low byte associated with the output channel. This latter type of Data Memory access can only occur when the output channel has been placed into Switching mode.

Connection Memory Low is a block of memory the same size as the Data Memory for the relative device (MT8980 or MT8981). Each byte in Connection Memory Low is associated with an output channel. Information can be placed into Connection Memory Low locations only through the microprocessor port, but it may exit in several directions: the information may be read by the microprocessor, form the address of a location in Data Memory (Switching

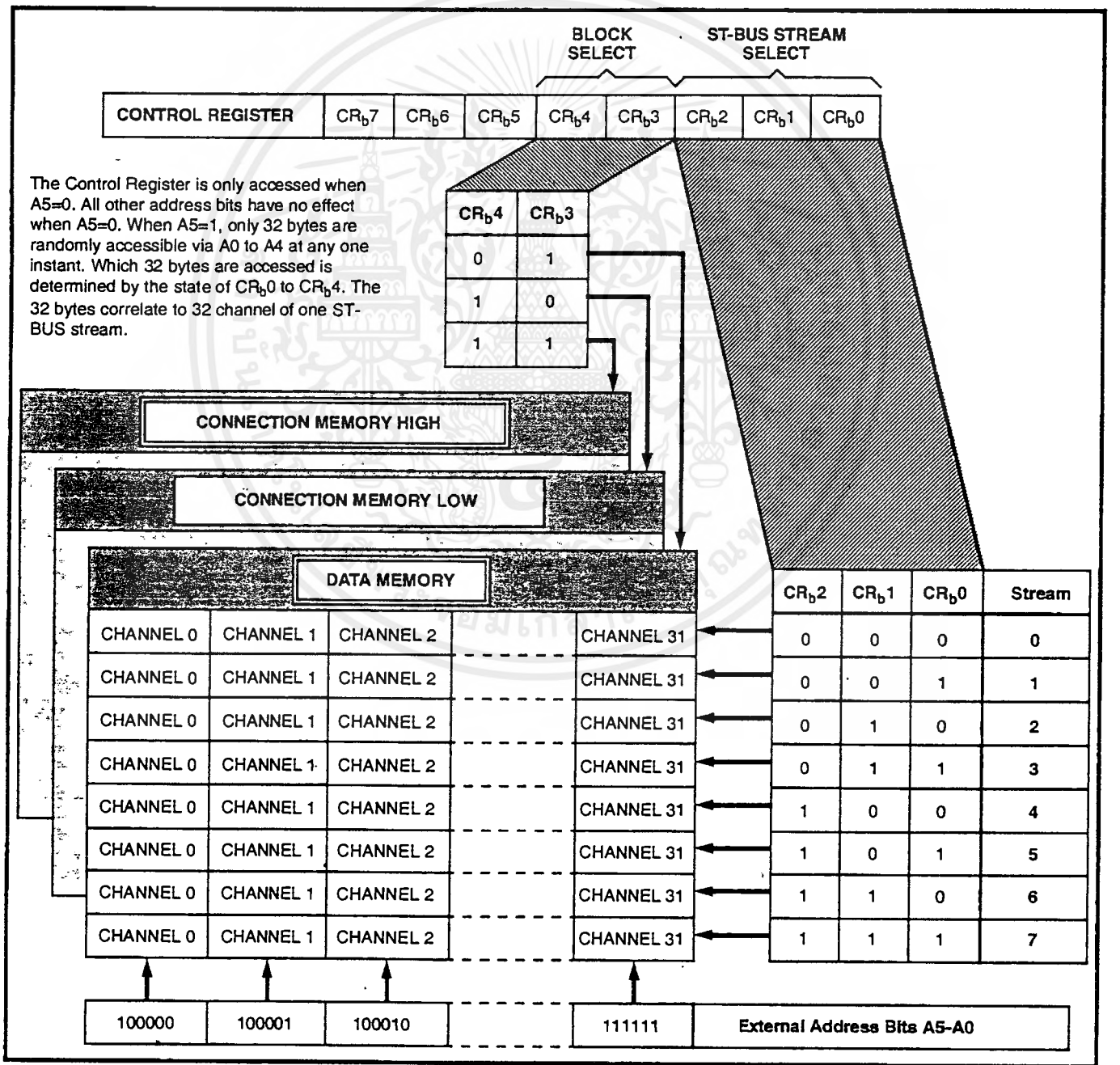


Figure 3 - Relationship Between CR_b4-0, A4-0 and Channel Access for the MT8980

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

mode) or be output in the associated ST-BUS output channel (Message mode). When the microprocessor is writing to or reading from Connection Memory Low, the address of the location being written to is formed by CR_b2, CR_b1, CR_b0, A4, A3, A2, A1, and A0. Either the Message mode or Switching mode function of the Connection Memory contents is performed automatically once per frame.

Connection Memory High appears to the microprocessor like Connection Memory Low did, in terms of size of the memory array, method of addressing and being able to be both read from and written to. Each byte of the Connection Memory High is associated with the same output channel as the related byte in the Connection Memory Low.

Only three bits of the Connection Memory High are useful, bits CMH_b2, CMH_b1 and CMH_b0. The other five bits are read as zeroes, and are not changeable. When CMH_b0 is a logical '0' the output channel associated with the Connection Memory High location is placed into a high impedance state. When CMH_b0 is set to a logical '1', the output channel driver is turned on and information from either Data Memory (switched mode) or Connection Memory Low (Message mode) is placed on the output. CMH_b1 controls the state of the bit on the CSTo output that is associated with that particular Connection Memory High location and channel. This bit is not used in the MT8981. CMH_b2 is the channel's mode control bit. When CMH_b2 is a logical '0', the associated output channel is placed into Switching mode and the contents of the Data Memory location addressed by Connection Memory Low are output on the channel. When CMH_b2 is a logical '1', the output channel is in Message mode and the contents of Connection Memory Low are placed on the output channel.

The Control Register is an eight bit register which may be written to or read from the microprocessor port. This register is accessed when A5 is low. When A5 is high, one of the other memory blocks, Data Memory, Connection Memory Low or Connection Memory High, is visible to the microprocessor port. CR_b4 and CR_b3 determine which of the memory blocks is being accessed and CR_b2, CR_b1 and CR_b0 determine which portion of the selected memory block is visible. Each memory block portion selected by CR_b2-0 is 32 bytes long, corresponding to the 32 channels of one of the ST-BUS streams. The state of A4-A0 determines which byte in a 32 byte segment is accessed by the microprocessor at any one time. Figure 3 shows the relationship between CR_b4-0, A5-A0, and channel accesses in the MT8980.

CR_b6 is an overall Message mode bit. This bit can override the setting of the CMH_b2 and the CMH_b0 of an output channel. If CR_b6 is set to a logical '1', all output channels are in Message mode and the CMH_b0 and the CMH_b2 of each channel has no effect. If CR_b6 is low, the Connection Memory High bits determine the mode of their respective channels (Switching or Message) and whether the channel is in a high impedance state or not.

CR_b7 is called the Split Mode bit and is an override of CR_b4 and CR_b3. If CR_b7 is set to a logical '1', the device is in split mode. All microprocessor writes to the MT8980 in Split mode are to the Connection Memory Low. All microprocessor reads of the MT8980 in split mode are from Data Memory. If CR_b7 is a logical '0', memory block selection is determined by CR_b4 and CR_b3.

The last bit in the Control Register, CR_b5, is unused. Also, when using the MT8981, CR_b2 is unused. It is also important to note that CRb4 and CRb3 must never be set to '00'.

3.4 Programming Examples

The way the control register, the memory blocks and the external address bits work together is clarified with several examples.

In the first example, the operation of reading information contained in Channel 5 of Input Stream 2 (STi2) through the microprocessor port is examined. To read ST-BUS input information, the microprocessor must read the Data Memory. Data Memory may be specified in the Control Register by either setting the Split Mode bit, CR_b7, to a logical '1', or by setting CR_b4 and CR_b3 to the binary state '01'. To access the portion of Data Memory corresponding to STi2, CR_b2, CR_b1 and CR_b0 must be set to '010'. CR_b6 and CR_b5 have no effect on this example. Once the Control Register bits are set up in this manner, the microprocessor can read the information contained in any of the channels of STi2 by keeping A5 high and using A4-A0 to determine which channel is to be read. To access Channel 5, A4-A0 must be set to '00101'.

Example two consists of switching Channel 31 on STi0 to Channel 1 on Output Stream 7 (STo7). In this case, the locations corresponding to Channel 1 on STo7 in the two Connection Memories have to be accessed. Connection Memory Low must contain the Data Memory address of the source channel. Connection Memory High specifies the mode of Channel 1 on STo7 and whether it is in a high impedance state or not. To access Connection

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Memory Low, CR_b4 and CR_b3 must be set to '10'. To access STo7s' 32 byte segment, CR_b2, CR_b1 and CR_b0 must be set to '111'. CR_b7 may be either a '1' or a '0' for writes (if a '0' then CR_b4 and CR_b3 must have been set properly). For reads, CR_b7 must be a '0'. If it was a '1', then CR_b4 and CR_b3 would have been inconsequential and the read would have been from Data Memory. CR_b6 and CR_b5 do not affect the access of the Connection Memory Low byte. To access Channel 1, A4-A0 must be set to '00001'.

The information that must be written to the Connection Memory Low byte to indicate the source of the information output in STo7 Channel 1 is '00011111'. The three most significant bits of this byte are selecting the input stream and the five least significant bits are accessing the input channel on that stream.

To access Connection Memory High for the same output channel, CR_b4 and CR_b3 must be set to '11' and CR_b7 must be '0'. CR_b2, CR_b1 and CR_b0 need not be changed, and the same setting of A4-A0 must be used. CMH_b0 must be set to a '1' to ensure that the output channel is not in a high impedance state and CMH_b2 must be '0' so the channel is in Switching mode. For the same reason, CR_b6 must be a '0'.

The last example involves writing information from the microprocessor port to output Channel 16 on STo4. The associated bytes for this channel in the Connection Memories may be accessed in the manner described in the last example. The only difference in the procedure is the setting of CR_b2, CR_b1 and CR_b0 ('100'), and the setting of A4-A0 ('10000'). If CR_b6 is set to a '1' (overall Message mode) then the contents of the Connection Memory high are unimportant. If CR_b6 is a logical '0', CMH_b2 must be set to a '1' to specify Message mode, and CMH_b0 must be set to enable the output drivers for STo4 Channel 16. Information desired in the channel must be written to the associated Connection Memory Low byte.

4.0 Delay through the MT8980

There are standards which dictate the allowable delay that can be tolerated in an end-to-end communication link. When designing a system, the applicable standard or standards must be selected and met. The delay through the MT8980 is described and explained here, so the user may understand how the MT8980 may be used to comply successfully with a particular standard.

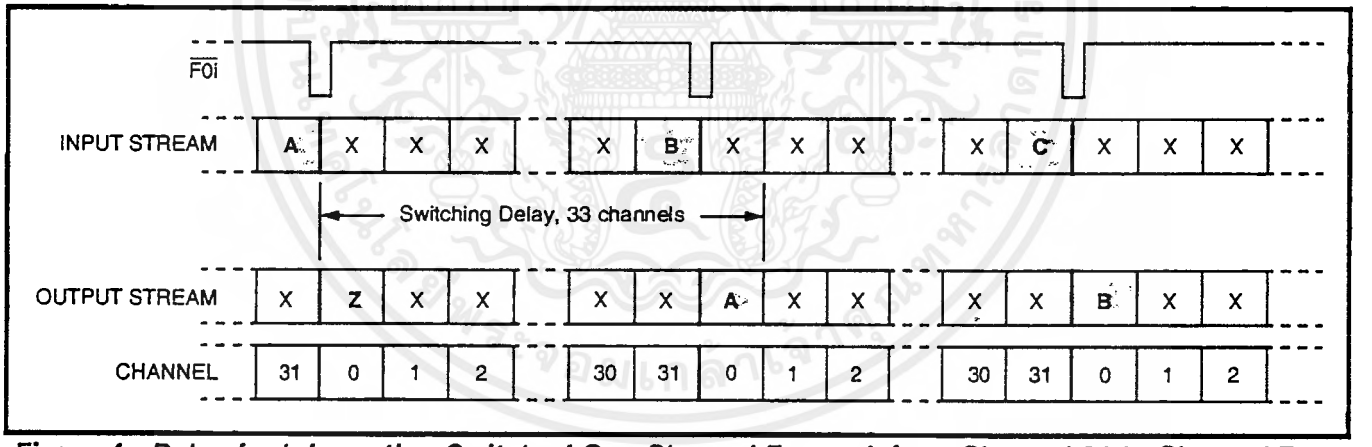


Figure 4 - Delay for Information Switched One Channel Forward, from Channel 31 to Channel Zero

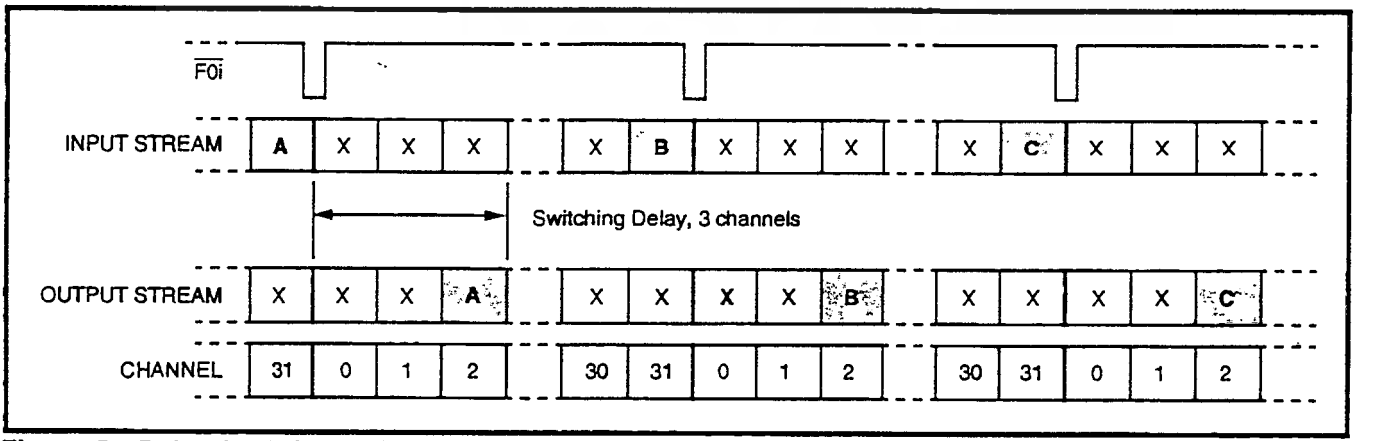


Figure 5 - Delay for Information Switched Three Channels Forward, from Channel 31 to Channel Two

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1 Switching Mode

A delay through the MT8980 results when transferring channel information from an ST-BUS input stream to an output stream. The input information must first be transferred to the Data Memory, where it waits until the next available timeslot allocated to the output channel. Recalling the definition of the ST-BUS, 32 channels arrive at an input and 32 channels leave an output. Each channel is allocated one timeslot per frame, so there are 31 timeslots intervening between each timeslot allocated to a particular channel. If the information has just missed an appropriate timeslot for the output channel, it may have to wait a number of timeslots for the next allocated channel time.

The last bit of a channel is received before the channel information is said to have entered the MT8980 and is sent to the Data Memory. Consequently, a channel's information is sent to Data Memory during the timeslot immediately following a timeslot allocated to the channel. Conversely, channel information is queued for an output channel during the timeslot immediately preceding a timeslot allocated to the channel.

The implication of this ordering of events is that information entering the MT8980 cannot leave it in the same timeslot, or in the timeslot immediately following. Therefore, information that is to be output in the same channel position as the information is input, relative to frame pulse, will be output in the following frame. As well, information switched to the channel immediately following the input channel will not be output in the timeslot immediately following but in the next timeslot allocated to the output channel, one frame later. Examples of channels being switched to the channels immediately following are: switching from Channel 1 to Channel 2, Channel 4 to Channel 5, Channel 30 to Channel 31, Channel 31 to Channel 0 etc. All of the channel changes mentioned above are independent of stream changes.

Whether the information can be output during the second timeslot after the information entered the MT8980 depends on which ST-BUS stream the channel information enters on and which ST-BUS stream the information leaves on. This situation is caused by the order in which input stream information is placed into Data Memory and the order in which stream information is queued for output. Table 1 shows the input/output streamcombinations that would allow information to leave on the second timeslot after the information was received.

Input Stream	Output Stream
0	1,2,3,4,5,6,7
1	3,4,5,6,7
2	5,6,7
3	7
4	1,2,3,4,5,6,7
5	3,4,5,6,7
6	5,6,7
7	7

Table 1. Input Stream to Output Stream Combinations that can Provide the Minimum 2 Channel Delay

Output Stream	Minimum Setup time
0	t_{CLK}×19
1	t_{CLK}×19
2	t_{CLK}×15
3	t_{CLK}×15
4	t_{CLK}×11
5	t_{CLK}×11
6	t_{CLK}×7
7	t_{CLK}×7

Table 2. Minimum Setup Times for Writing to a Channel in Message Mode (Relative to the Start of the Channel)

Input Stream	Minimum Delays
0	t_{CLK}×1
1	t_{CLK}×5
2	t_{CLK}×9
3	t_{CLK}×13
4	t_{CLK}×1
5	t_{CLK}×5
6	t_{CLK}×9
7	t_{CLK}×13

Table 3. Minimum Delays for Reading Input Channels from Microprocessor Port. Delay is Relative to End of Channel

Information can always leave the MT8980 by the third timeslot after entering the MT8980, independent of which stream it is input on and which

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

stream it is output on. Figure 4 shows the delay of data through the MT8980 for information switched one channel forward. Figure 5 shows the delay of data through the MT8980 for information switched three channels forward. Note that in Figure 4 the input data is not output until one frame later, but in Figure 5 the delay is minimal.

The maximum delay is one frame period (approximately 125 microseconds or 512 C4i clock cycles) plus two channels. This is the delay resulting if a switch two channels forward does not meet the input/output stream requirements of Table 1. The minimum delay achievable is two channels. This is the delay resulting if the requirements of Table 1 are met.

4.2 Message Mode

In Message mode, there are two delays to contend with. The first delay is the delay between receiving information on the ST-BUS and reading it through the microprocessor port (this delay is not actually constrained to Message mode, as an input channel may be read by the microprocessor independent of any channels being in Switching mode or Message Mode. The other delay is the delay between writing information into Connection Memory Low and transmitting the information on the ST-BUS output.

As with Switching mode, information destined for a particular timeslot on the ST-BUS is sent to the output stream queue during the preceding timeslot. The time during the preceding channel that this occurs is dependent on the stream. The sequence in which the information destined for an output channel is sent to each stream is: STo0, STo1, STo2, STo3, STo4, STo5, STo6, STo7.

To use this information about output sequencing and internal information movement, the microprocessor must synchronize transfers with ST-BUS timing. If the microprocessor transfer is not made before a channel's information is sent to the queue, the newly transferred information will not be output until the next frame.

To ensure that a particular channel on a particular stream may be written to without a one frame delay, a minimum set up time for the write in question must be respected. This set up time is relative to the start of the output channel's timeslot. Table 2 shows the minimum set up times for the different ST-BUS streams (set up times are expressed in multiples of t_{CLK}, the period of the C4i clock). There can also be a maximum set up time, if writing information one frame early to a particular channel on a particular stream is undesirable. The maximum set up time is merely the minimum set up time plus one frame.

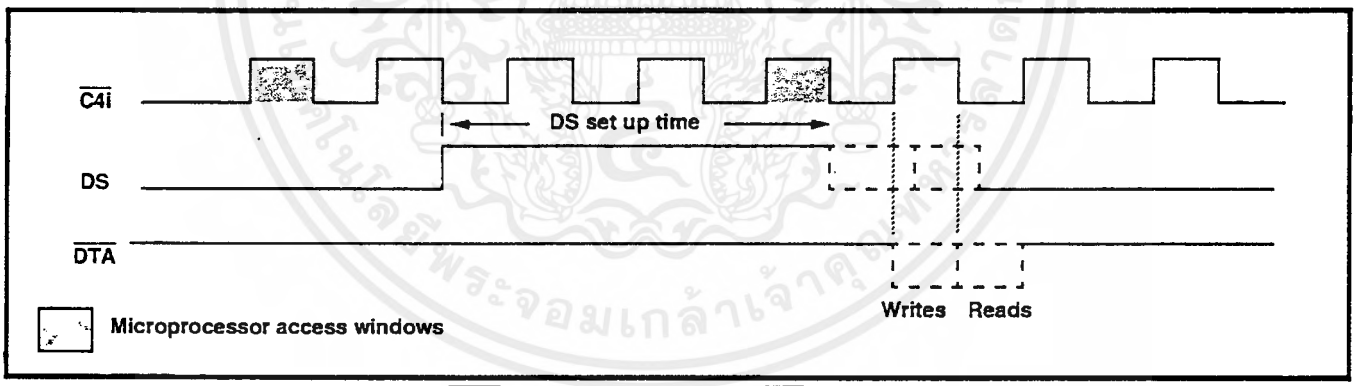


Figure 7 - DS Setup Time and DTA Return Relative to C4i and Microprocessor Access Window

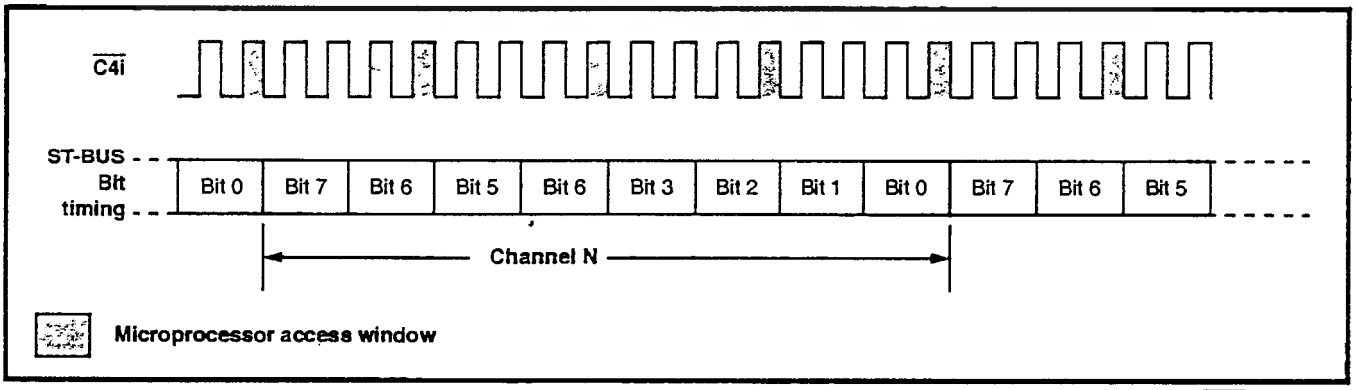


Figure 6 - Position of Microprocessor Access Windows Relative to ST-BUS Channel and C4i Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The minimum delays from the time a channel enters the MT8980 on an ST-BUS input to the time that the information in the channel can be extracted from the Data Memory are given in Table 3. They are measured from the end of the input channel's timeslot to the rising edge of DS. The rising edge of DS corresponds to the earliest point DS may be activated to access the first available microprocessor window from which the information will be visible (see SECTION 5.0).

If the byte of Data Memory that corresponds to the desired channel is accessed earlier than the minimum delay dictates, then the contents of the byte read by the microprocessor will be the information that the channel contained on the previous frame. Conversely, if slightly less than one frame of delay is added to the minimum delay (508 C4i clock cycles rather the 512 that make up a frame) the contents of the byte will be the information contained in the channel in the frame following the desired frame.

5.0 Microprocessor Accesses

In the MT8980 data sheet, a parameter is specified (t_{AKD}) for the maximum time taken to return Data Acknowledge after DS goes high. There are two values for this time, one labelled fast, and one labelled slow. The fast t_{AKD} applies to writes to the Control Register. The Control Register can accept data very quickly, and will not cause wait states for most microprocessors. Reading the Control Register and reading or writing to any other part of the MT8980 will receive a slower response (t_{AKD} slow).

Slow microprocessor bus transfers occur because the MT8980 only allocates discrete access windows for the slow transfers. Microprocessor access windows occur every four C4i clock cycles during a frame, relative to the frame boundary. Figure 6 and Figure 7 show the relationship between microprocessor access windows, C4i, DS and the return of DTA.

DTA goes low one half C4i cycle after a microprocessor access window in which the set up requirements for DS are met and the operation is a write. If the operation is a read and DS setup is met, DTA goes low one C4i clock cycle after the access window. DS must be set up three C4i cycles ahead of the falling edge of every microprocessor window cycle to meet minimum set up requirements for accessing a window.

If the controlling microprocessor can determine where the falling edge of every fourth C4i cycle in a frame occurs, it may use this as a signal to continue on to the next bus cycle rather than wait for DTA to go low. DTA is a signal provided only to tell the microprocessor that the MT8980 is ready to finish the current bus cycle. DS could be removed between the end of the microprocessor access window and the point where DTA would normally go low and the transfer of information would still complete successfully. In such a situation, DTA would not go low for that particular bus cycle.

Figure 7 shows the two ways in which DTA can be returned in response to a microprocessor access. The possible transitions of DTA and DS are dotted lines, not solid, because there are several options. If DS goes low at the first transition point, DTA does not go low. If DS is held high, the two places that a transition on DTA can occur are shown.

6.0 External Control Using CSTo

CSTo is a 2.048 Mbit/s output which is, like the ST-BUS streams, divided into frames that are 256 bits long. Each bit is controlled by one of the 256 CMH_b1's. If a CMH_b1 is a logical '1', the corresponding bit on CSTo is a high. If the CMH_b1 is a logical '0', the corresponding bit on CSTo is a low. Unlike the other ST-BUS outputs, though, CSTo cannot be placed into a high impedance state.

The CMH_b1's of locations that are related by channel timeslot are output sequentially. As an example, there are eight CMH_b1's corresponding to channel zero, one bit for each stream. These bits are output sequentially on CSTo in the following order:

a) CMH_b1 for STo0 Channel 0
b) CMH_b1 for STo1 Channel 0
c) CMH_b1 for STo2 Channel 0
d) CMH_b1 for STo3 Channel 0
e) CMH_b1 for STo4 Channel 0
f) CMH_b1 for STo5 Channel 0
g) CMH_b1 for STo6 Channel 0
h) CMH_b1 for STo7 Channel 0

The eight CSTo bits that correspond to a channel position are output in the timeslot preceding the actual channel position. The reason for this is that CSTo bits are designed to perform external control functions on the individual channels they correspond to.

One control function these bits may perform is to control loop back circuitry for individual channels. If a CSTo bit is set, the loopback circuitry could drive an MT8980 input with the information from the corresponding output channel. This function would

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

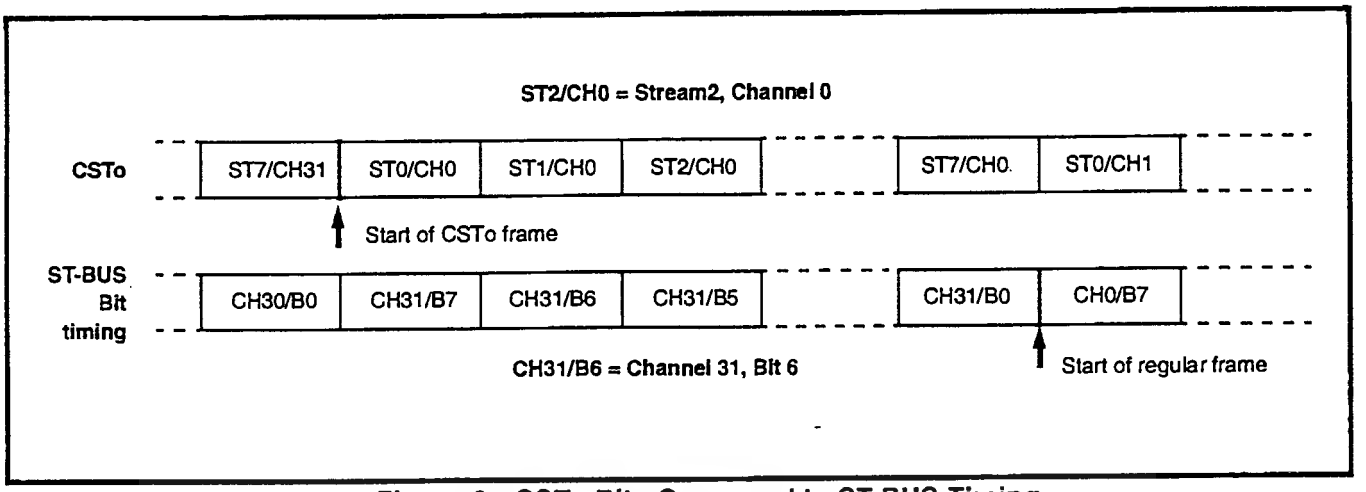


Figure 8 - CSTo Bits Compared to ST-BUS Timing

be useful for performing system level diagnostics on matrices of MT8980s.

Another use for the CSTo bits is in the astronavigation of the microprocessor with ST-BUS timing. CSTo could notify the microprocessor that a predetermined position in the ST-BUS timing has occurred. For example, to mark Channel 7 entering the MT8980, clearing all CSTo bits except the CMH_b1 of STo0 Channel 9 would produce a waveform that had a recurring, high-going, bit-wide pulse immediately following the last bit of Channel 7.

Figure 8 shows the relationship between CSTo bits, ST-BUS timing and the Connection Memory High bytes producing the bits.

7.0 High Impedance Capability

The MT8980 has the capability to put individual channels into a high impedance state, so large switching matrices may be constructed with multiple MT8980's. The ODE input, when it is low, forces all ST-BUS channels into the high impedance condition. When it is high, each channel is controlled by its individual CMH_b0. When the CMH_b0 is logical '1', the channel is driving the ST-BUS. When the CMH_b0 is logical low, the ST-BUS is in the high impedance state during the channel's timeslot.

7.1 Initialization of the MT8980

On initialization or power up, the contents of the Connection Memory High can be in any state. This is a potentially hazardous condition when multiple MT8980 ST-BUS outputs are tied together to form matrices, as these outputs may conflict. The ODE pin should be held low on power up to keep all outputs in the high impedance condition.

During the microprocessor initialization routine, the microprocessor should program the desired active paths through the matrices, and put all other channels into the high impedance state. Care should be taken that no two connected ST-BUS outputs drive the bus simultaneously. When this process is complete, the microprocessor controlling the matrices can bring the ODE signal high to relinquish high impedance state control to the CMH_b0s.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HARRIS SEMICONDUCTOR

CD22354A, CD22357A

CMOS Single-Chip, Full-Feature PCM CODEC

January 1997

Features

- Meets or Exceeds All AT&T D3/D4 Specifications and CCITT Recommendations
- Complete CODEC and Filtering Systems: No External Components for Sample-and-Hold and Auto-Zero Functions. Receive Output Filter with (SIN X)/X Correction and Additional 8kHz Suppression
- Variable Data Clocks - From 64kHz 2.1MHz
- Receiver Includes Power-Up Click Filter
- TTL or CMOS-Compatible Logic
- ESD Protection on All Inputs and Outputs

Applications

- PABX
- Central Office Switching Systems
- Accurate A/D and D/A Conversions
- Digital Telephones
- Cellular Telephone Switching Systems
- Voice Scramblers - Descramblers
- T1 Conference Bridges
- Voice Storage and Retrieval Systems
- Sound Based Security Systems
- Computerized Voice Analysis
- Mobile Radio Telephone Systems
- Microwave Telephone Networks
- Fiber-Optic Telephone Networks

Description

The CD22354A and CD22357A are monolithic silicon-gate, double-poly CMOS integrated circuits containing the band-limiting filters and the companding A/D and D/A conversion circuits that conform to the AT&T D3/D4 specifications and CCITT recommendations. The CD22354A provides the AT&T μ-law and the CD22357A provides the CCITT A-law companding characteristic.

The primary applications for the CD22354A and CD22357A are in telephone systems. These circuits perform the analog and digital conversions between the subscriber loop and the PCM highway in a digital switching system. The functional block diagram is shown below.

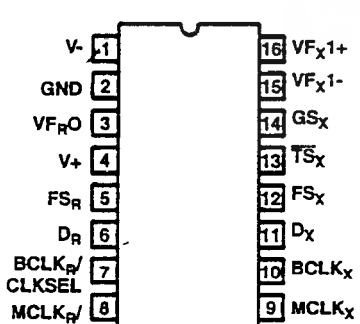
With flexible features, including synchronous and asynchronous operations and variable data rates, the CD22354A and CD22357A are ideally suited for PABX, central office switching system, digital telephones as well as other applications that require accurate A/D and D/A conversions and minimal conversion time.

Ordering Information

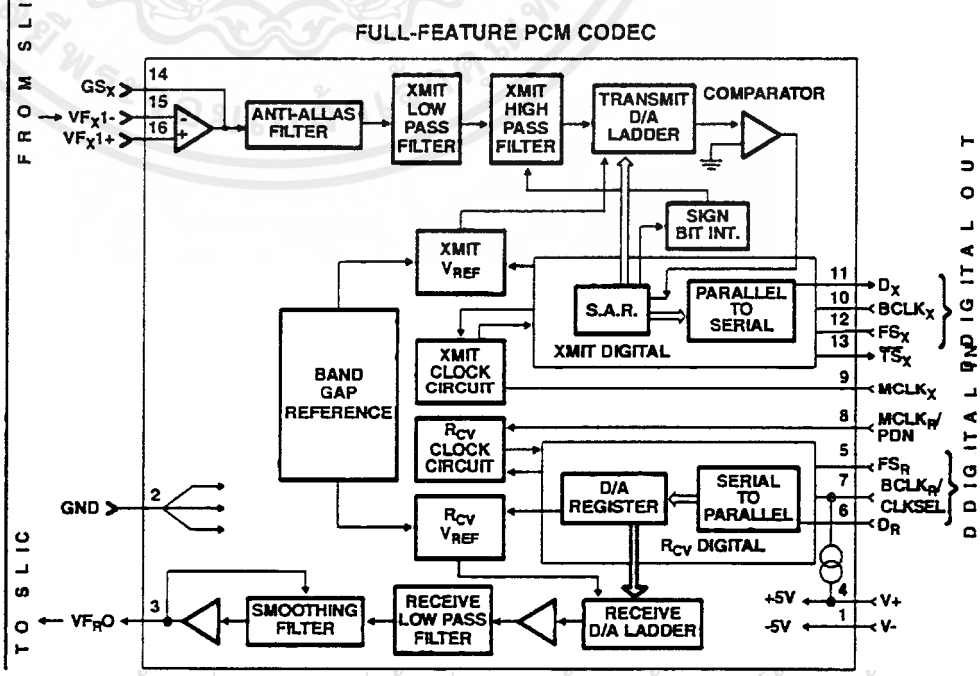
PART NUMBER	TEMP. RANGE (°C)	PACKAGE	PKG. NO.
CD22354AE	-40 to 80	16 Ld PDIP	E16.3
CD22357AE	-40 to 80	16 Ld PDIP	E16.3

Pinout

CD22354A, CD22357A
(PDIP)
TOP VIEW



Functional Block Diagram



CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper IC Handling Procedures.

Copyright © Harris Corporation 1997

File Number 1682.3

สงวนลิขสิทธิ์ตามกฎหมาย ห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

DC Supply-Voltage, (V+) . . . . . -0.5 to 7V
DC Supply-Voltage, (V-) . . . . . 0.5 to -7V
DC Input Diode Current,
I_{IK} (V_I < V- -0.5V or V_I > V+ 0.5V) . . . . . ±20mA
DC Output Diode Current,
I_{OK} (V_I < V- -0.5V or V_O > V+ 0.5V) . . . . . ±20mA
DC Drain Current, Per Output
I_O (V- -0.5V < V_O < V+ 0.5V) . . . . . ±25mA
DC Supply/Ground Current . . . . . ±50mA
Power Dissipation Per Package (P_D):
For T_A = -40°C to 60°C 500mW
For T_A = 60°C to 85°C . . . . . Derate Linearly at 8mW/°C to 300mW

Thermal Information

Maximum Junction Temperature . . . . . 175°C
Maximum Junction Temperature (Plastic Package) . . . . . 150°C
Maximum Storage Temperature Range (T_{STG}) . . . . . -65°C to 150°C
Maximum Lead Temperature (Soldering 10s) . . . . . 300°C

Operating Conditions

Operating-Temperature Range (T_A) . . . . . -40°C to 80°C

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

Electrical Specifications At T_A = 25°C

PARAMETER	SYMBOL	TEST CONDITIONS	MIN	TYP	MAX	UNITS
STATIC SPECIFICATIONS						
Positive Power Supply	V+		4.75	5	5.25	V
Negative Power Supply	V-		-4.75	-5	-5.25	V
Power Dissipation (Operating)	P_{OPR}	V+ = 5V	-	75	90	mW
Power Dissipation (Standby)	P_{STBY}	V- = -5V	-	9	15	mW

Electrical Specifications At T_A = 0°C to 70°C; V+ = 5V ±5%, V- = -5V ±5%

PARAMETER	SYMBOL	TEST CONDITIONS	MIN	TYP	MAX	UNITS
STATIC SPECIFICATIONS						
Analog Input Resistance	R_{INA}		10	-	-	MΩ
Input Capacitance	C_{IN}	All Logic and Analog Inputs	-	5	-	pF
Input Leakage Current, Digital	I_I	V_I = 0V or V+	-10	-	10	µA
Low Level Input Voltage	V_{IL}	I_{IL} = ±10µA (Max)	-	-	0.8	V
High Level Input Voltage	V_{IH}	I_{IH} = ±10µA (Max)	2	-	-	V
Low Level Output Voltage	V_{OL}	I_{OL} = 3.2mA	-	-	0.4	V
High Level Output Voltage	V_{OH}	I_{OH} = 1.0mA	2.4	-	-	V
Open State Output Current	I_{OZ}	GND < D_X < V+	-10	-	10	µA
Input Leakage Current, Analog	I_I	-2.5V ≤ VF_X < 2.5V	-200	-	200	nA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Specifications

$V+ = 5V \pm 5\%$, $V- = -5V \pm 5\%$, $BCLK_R = BCLK_X = MCLK_X = 1.544MHz$, $V_{IN} = 0dBm0$, $T_A = 0^oC$ to 70^oC

PARAMETER	SYMBOL	TEST CONDITIONS	MIN	TYP	MAX	UNITS
TRANSMIT AND RECEIVE FILTER TRANSFER CHARACTERISTICS						
Transmit Gain (Relative to Gain at 1020Hz) Input Amplifier Set to Unity Gain	G_{RX}	f = 16Hz	-	-	-40	dB
		f = 50Hz	-	-	-30	dB
		f = 60Hz	-	-	-26	dB
		f = 200Hz	-1.8	-	-0.1	dB
		f = 300Hz to 3000Hz	-0.15	-	0.15	dB
		f = 3300Hz	-0.35	-	0.05	dB
		f = 3400Hz	-0.7	-	0	dB
		f = 4000Hz	-	-	-14	dB
		f ≥ 4600Hz, Measure 0 - 4kHz Response	-	-	-32	dB
Receive Gain (Relative to Gain at 1020Hz) (Includes (SIN X)/X Compensation)	G_{RR}	f = 0Hz to 3000Hz	-0.15	-	0.15	dB
		f = 3300Hz	-0.35	-	0.05	dB
		f = 3400Hz	-0.9	-	0	dB
		f = 4000Hz	-	-	-14	dB

AC Specifications

Unless otherwise specified, the following conditions apply:

$V+ = 5V \pm 5\%$, $V- = -5V \pm 5\%$
GND_A, $GND_D = 0V$, $F_{FX} = 1020Hz$ at 0dBm0
Transmit input amplifier operating in a unity gain configuration
Temperature . . . . . 0^oC to 70^oC
Receive output is measured single-ended. All output levels are (SIN X)/X corrected.

Definition

AMPLITUDE RESPONSE
Absolute Levels Definition:
$V_{REF} = -2.5V$
Nominal 0dBm0 level . . . . . 4dBm into 600Ω
$1.2276V_{RMS}$
Maximum Overload Level:
Voltage reference (V_{REF}) of -2.5V . . . . . 2.5V μ-Law
2.49V A-Law

AC Specifications Encoding Format at D_X Output

	CD22354A μ-LAW								CD22357A A-LAW (INCLUDES EVEN BIT INVERSION)							
V_{IN} (at GS_X) = +Full-Scale	1	0	0	0	0	0	0	0	1	0	1	0	1	0	1	0
V_{IN} (at GS_X) = 0V	1	1	1	1	1	1	1	1	1	1	0	1	0	1	0	1
	0	1	1	1	1	1	1	1	0	1	0	1	0	1	0	1
V_{IN} (at GS_X) = -Full-Scale	0	0	0	0	0	0	0	0	0	0	1	0	1	0	1	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Specifications

PARAMETER	SYMBOL	TEST CONDITIONS	MIN	TYP	MAX	UNITS
AC DISTORTION						
Signal to Total Distortion Xmit or R_{CV}	STD_X, STD_R	Level = +3dBm0	33	-	-	dBc
		Level = 0 to -30dBm0	36	-	-	dBc
		Level = -40dBm0	30	-	-	dBc
		Level = -55dBm0, XMT	14	-	-	dBc
		Level = -55dBm0, R_{CV}	15	-	-	dBc
Single Frequency Distortion Xmit or R_{CV}	SFD_X, SFD_R		-	-	-46	dBc
Intermodulation (End-to-End Measurement) 2-Tone	IMD	V_{FX} = -4dBm0 to -21dBm0 f1, f2 from 300 to 3400Hz	-	-	-41	dB
Transmit Delay, Absolute	t_{DAX}	f = 1600Hz	-	280	315	µs
Transmit Envelope Delay Relative to t_{DAX}	t_{DEX}	f = 500-600Hz	-	170	220	µs
		f = 600-1000Hz	-	70	145	µs
		f = 1000-2600Hz	-	40	75	µs
		f = 2600-2800Hz	-	90	105	µs
Receive Delay, Absolute	t_{DAR}	f = 1600Hz	-	180	200	µs
Receive Envelope Delay Relative to t_{DAR}	t_{DER}	f = 500-600Hz	-40	-25	-	µs
		f = 600-1000Hz	-40	-25	-	µs
		f = 1000-2600Hz	-	60	90	µs
		f = 2600-2800Hz	-	110	125	µs

Electrical Specifications

PARAMETER	SYMBOL	TEST CONDITIONS	MIN	TYP	MAX	UNITS
AC GAIN TRACKING						
Transmit Gain Tracking Error	GTX	+3 to -40dBm0	-	-	±0.2	dB
		-40 to -50dBm0	-	-	±0.4	dB
		-50 to -55dBm0	-	-	±1.2	dB
Receive Gain Tracking Error	GTR	+3 to -40dBm0	-	-	±0.2	dB
		-40 to -50dBm0	-	-	±0.4	dB
		-50 to -55dBm0	-	-	±1.2	dB
Transmit Input Amplifier Gain, Open Loop	A_{OL}	$R_L \geq 1M\Omega$ at GS_X	68	-	-	dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Specifications (Continued)

PARAMETER	SYMBOL	TEST CONDITIONS	MIN	TYP	MAX	UNITS
Transmit Input Amplifier Gain, Unity	A_{CL}	Unity Gain Configuration Inverting or Non-Inverting $R_L \geq 10K$, $C_L \leq 50pF$	-0.01	-	0.01	dB
Transmit Gain, Absolute	G_{XA}	$R_L \geq 10K$, $C_L \leq 50pF$	-0.15	-	0.15	dB
Receive Gain, Absolute	G_{RA}	$R_L \geq 600\Omega$, $C_L \leq 500pF$	-0.15	-	0.15	dB

Electrical Specifications

PARAMETER	SYMBOL	TEST CONDITIONS	MIN	TYP	MAX	UNITS
AC NOISE						
Transmit Noise	N_X	VF_XI- = GND	-	12	15	dBrnc0
		VF_XI+ = GND	-	-74	-67	dBrn0p
Receive Noise	N_R	PCM Code Equivalent to 0V	-	7	11	dBrnc0
			-	-83	-79	dBrn0p
V+ Power Supply Rejection Transmit	PSRR	VF_XI+ = 0V V+ = 5V + ($100mV_{RMS}$) f = 0kHz to 50kHz	40	-	-	dBc
V- Power Supply Rejection Transmit	PSRR	VF_XI- = 0V V- = -5V + ($100mV_{RMS}$) f = 0kHz to 50kHz	40	-	-	dBc
V+ Power Supply Rejection Receive	PSRR	PCM Code = All 1 Code V+ = 5V + ($100mV_{RMS}$) f = 0kHz to 4kHz	40	-	-	dBc
		f = 4kHz to 25kHz	37	-	-	dB
		f = 25kHz to 50kHz	36	-	-	dB
V- Power Supply Rejection Receive	PSRR	PCM Code = All 1 Code V- = -5V + ($100mV_{RMS}$) f = 0kHz to 4kHz	40	-	-	dBc
		f = 4kHz to 25kHz	40	-	-	dB
		f = 25kHz to 50kHz	36	-	-	dB
Cross Talk Transmit to Receive	CT_{XR}	VF_XI- = 0dBm0 at 1020Hz	-	-80	-70	dB
Cross Talk Receive to Transmit	CT_{RX}	D_R = 0dBm0 at 1020Hz, VF_XI- = 0V	-	-76	-70	dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Specifications

PARAMETER	SYMBOL	TEST CONDITIONS	MIN	TYP	MAX	UNITS
AC TIMING						
Frequency of Master Clocks	$1/t_{PM}$	Depends on the Device Used and the $BCLK_R$/CLKSEL Pin	-	1.536	-	MHz
			-	1.544	-	MHz
		$MCLK_X$ and $MCLK_R$	-	2.048	-	MHz
Width of Master Clock High	t_{WMH}	$MCLK_X$ and $MCLK_R$	160	-	-	ns
Width of Master Clock Low	t_{WML}	$MCLK_X$ and $MCLK_R$	160	-	-	ns
Rise Time of Master Clock	t_{RM}	$MCLK_X$ and $MCLK_R$	-	-	50	ns
Fall Time of Master Clock	t_{FM}	$MCLK_X$ and $MCLK_R$	-	-	50	ns
Set-up Time from $BCLK_X$ High (and FS_X in Long Frame Sync Mode) to $MCLK_X$ Falling Edge	t_{SBFM}	First Bit Clock after the Leading Edge of FS_X	100	-	-	ns
Period of Bit Clock	t_{PB}		485	488	15,725	ns
Width of Bit Clock High	t_{WBH}	V_{tH} = 2.2V	160	-	-	ns
Width of Bit Clock Low	t_{WBL}	V_{tL} = 0.6V	160	-	-	ns
Rise Time of Bit Clock	t_{RB}	t_{PB} = 488ns	-	-	50	ns
Fall Time of Bit Clock	t_{FB}	t_{PB} = 488ns	-	-	50	ns
Hold Time from Bit Clock Low to Frame Sync	t_{HBF}	Long Frame Only	0	-	-	ns
Hold Time from Bit Clock High to Frame Sync	t_{HOLD}	Short Frame Only	0	-	-	ns
Set-up Time from Frame Sync to Bit Clock Low	t_{SFB}	Long Frame Only	80	-	-	ns
Delay Time from $BCLK_X$ High to Data Valid	t_{DBD}	Load = 150pF plus 2 LSTTL Loads	0	-	180	ns
Delay Time to $\overline{TS}_X$ Low	t_{XDP}	Load = 150pF plus 2 LSTTL Loads	-	-	140	ns
Delay Time from $BCLK_X$ Low or FS_X Low to Data Output Disabled	t_{DZC}		50	-	165	ns
Delay Time to Valid Data from FS_X or $BCLK_X$, Whichever Comes Later	t_{DZF}	C_L = 0pF to 150pF	20	-	165	ns
Set-up Time from D_R Valid to $BCLK_{R/X}$ Low	t_{SDB}		50	-	-	ns
Hold Time from $BCLK_{R/X}$ Low to D_R Invalid	t_{HBD}		50	-	-	ns
Set-up Time from $FS_{X/R}$ to $BCLK_{X/R}$ Low	t_{SF}	Short Frame Sync Pulse (1 or 2 Bit Clock Periods Long) (Note 1)	50	-	-	ns
Hold Time from $BCLK_{X/R}$ Low to $FS_{X/R}$ Low	t_{HF}	Short Frame Sync Pulse (1 or 2 Bit Clock Periods Long) (Note 1)	100	-	-	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Specifications (Continued)

PARAMETER	SYMBOL	TEST CONDITIONS	MIN	TYP	MAX	UNITS
Hold Time from 3rd Period of Bit Clock Low to Frame Sync (FS_X or FS_R)	t_{HBFI}	Long Frame Sync Pulse (from 3 to 8-Bit Clock Periods Long)	100	-	-	ns
Minimum Width of the Frame Sync Pulse (Low Level)	t_{WFL}	64K Bit/s Operating Mode	160	-	-	ns

NOTE:

1. For short frame sync timing, FS_X and FS_R must go high while their respective bit clocks are high.

Pin Descriptions

PIN NO.	SYMBOL	DESCRIPTION
1	V-	Negative power supply, V- = -5V ±5%.
2	GND	Analog and digital ground. All signals referenced to this pin.
3	VF_RO	Analog output of RECEIVE FILTER.
4	V+	Positive power supply, V+ = 5V ±5%.
5	FS_R	Receive Frame Sync Pulse which enables $BCLK_R$ to shift PCM data into D_R. FS_R is an 8kHz PULSE TRAIN.
6	D_R	Receive Data Input. PCM data is shifted into D_R following the FS_R leading edge.
7	$BCLK_R$/CLK-SEL	The Receive Bit Clock, which shifts data into D_R after the frame sync leading edge, may vary from 64kHz to 2.048MHz. Alternatively, the leading edge may be a logic input which selects either 1.536MHz/1.544MHz or 2.048MHz for Master Clock in synchronous mode and $BCLK_X$ is used for both transmit and receive directions.
8	$MCLK_R$/PDN	Receive Master Clock. Must be 1.536MHz, 1.544MHz or 2.048MHz. May be asynchronous with $MCLK_X$, but best performance is realized from synchronous operation. When this pin is continuously connected low, $MCLK_X$ is selected for all internal timing. When this pin is continuously connected high, the device is powered down.
9	$MCLK_X$	Transmit Master Clock. Must be 1.536MHz, 1.544MHz or 2.048MHz. May be asynchronous with $MCLK_R$, but best performance is realized from synchronous operation.
10	$BCLK_X$	The Bit Clock which shifts out the PCM Data on D_X. May vary from 64kHz to 2.048MHz, but must be synchronous with $MCLK_X$.
11	D_X	The THREE-STATE PCM Data Output which is enabled by FS_X.
12	FS_X	Transmit Frame Sync Pulse input which enables $BCLK_X$ to shift out the data on D_X. FS_X is an 8kHz PULSE TRAIN.
13	$\overline{TS}_X$	Open drain output which pulses low during the encoder time slot.
14	GS_X	Transmit gain adjust.
15	VF_XI-	Inverting input of the transmit input amplifier.
16	VF_XI+	Non-inverting input of the transmit input amplifier.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

Power Supply Sequencing

Do not apply input signal or load on output before powering up V_{CC} supply. Care must be taken to ensure that D_X pin goes on common back plane (with other D_X pins from other chips). D_X pin cannot drive >50mA before Power-Up. This will cause the part to latch up.

Power-Up

When power is first applied, the Power-On reset circuitry initializes the CODEC and places it in a Power-Down mode. When the CODEC returns to an active state from the Power-Down mode, the receive output is muted briefly to minimize turn-on-"click".

To power up the device, there are two methods available.

1. A logical zero at $MCLK_R$/PDN will power up the device, provided FS_X or FS_R pulses are present.
2. Alternatively, a clock ($MCLK_R$) must be applied to $MCLK_R$/PDN and FS_X or FS_R pulses must be present.

Power-Down

Two power-down modes are available.

1. A logical 1 at $MCLK_R$/PDN, after approximately 0.5ms, will power down the device.
2. Alternatively, hold both FS_X and FS_R continuously low, the device will power down approximately 0.5ms after the last FS_X or FS_R pulse.

Synchronous Operation (Transmit and Receive Sections use the Same Master Clock)

The same master clock and bit-clock should be used for the receive and transmit sections. $MCLK_X$ (pin 9) is used to provide the master clock for the transmit section; the receive section will use the same master clock if the $MCLK_R$/PDN (pin 8) is grounded (synchronous operation), or at V+ (power-down mode). $MCLK_R$/PDN may be clocked only if a clock is provided at $BCLK_R$/CLKSEL (pin 7) as in asynchronous operation.

The $BCLK_X$ (pin 10) is used to provide the bit clock to the transmit section. In synchronous operation, this bit clock is also used for the receive section if $MCLK_R$/PDN (pin 8) is grounded. $BCLK_R$/CLKSEL (pin 7) is then used to select the proper internal frequency division for 1.544MHz, 1.536MHz or 2.048MHz operation (see Table below). For 1.544MHz operation, the device automatically compensates for the 193rd clock pulse each frame.

Each FS_X pulse begins the encoding cycle and the PCM data from the previous encode cycle is shifted out of the enabled D_X output on the leading edge of $BCLK_X$. After 8 bit-clock periods, the tristate D_X output is returned to a high impedance state. With an FS_R pulse, PCM data is latched via the D_R input on the negative edge of the $BCLK_X$. FS_X and FS_R must be synchronous with $MCLK_X$.

CLOCKING OPTIONS

MODE	$BCLK_R$/CLKSEL (PIN 7)	MASTER CLOCK FREQUENCY SELECTED	
		CD22354A (μ)	CD22357A (A)
Asynchronous or Synchronous	Clocked	1.536MHz or 1.544MHz	2.048MHz
Synchronous	0	2.048MHz	1.536MHz or 1.544MHz
Synchronous	1(or open circuit)	1.536MHz or 1.544MHz	2.048MHz

Asynchronous Operation (Transmit and Receive Sections use Separate Master Clocks)

For the CD22357A, the $MCLK_X$ and $MCLK_R$ must be 2.048MHz and for the CD22354A must be 1.536MHz or 1.544MHz. These clocks need not be synchronous. However, for best transmission performance, it is recommended that $MCLK_X$ and $MCLK_R$ be synchronous.

For 1.544MHz operation the device automatically compensates for the 193rd clock pulse each frame. FS_X starts the encoding operation and must be synchronous with $MCLK_X$ and $BCLK_X$. FS_R starts the decoding operation and must be synchronous with $BCLK_R$. $BCLK_R$ must be clocked in asynchronous operation. $BCLK_X$ and $BCLK_R$ may be between 64kHz - 2.04MHz.

Short-Frame Sync Mode

When the power is first applied, the power initialization circuitry places the CODEC in a short-frame sync mode. In this mode both frame sync pulses must be 1 bit-clock period long, with the timing relationship shown in Figure 1.

With FS_X high during the falling edge of the $BCLK_X$, the next rising edge of $BCLK_X$ enables the D_X tristate output buffer, which will output the sign bit. The following rising seven edges clock out the remaining seven bits upon which the next falling edge will disable the D_X output.

With FS_R high during the falling edge of the $BCLK_R$ ($BCLK_X$ in synchronous mode), the next falling edge of $BCLK_R$ latches in the sign bit. The following seven edges latch in the seven remaining bits.

Long-Frame Sync Mode

In this mode of operation, both of the frame sync pulses must be three or more bit-clock periods long with the timing relationship shown in Figure 2.

Based on the transmit frame sync FS_X, the CODEC will sense whether short or long-frame sync pulses are being used.

For 64kHz operation the frame sync pulse must be kept low for a minimum of 160ns.

The D_X tristate output buffer is enabled with the rising edge of FS_X or the rising edge of the $BCLK_X$, whichever comes later and the first bit clocked out is the sign bit. The following seven rising edges of the $BCLK_X$ clock out the remaining seven bits. The D_X output is disabled by the next falling edge of the $BCLK_X$ following the 8th rising edge or by FS_X going low whichever comes later.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A rising edge on the receive frame sync, FS_R, will cause the PCM data at D_R to be latched in on the next falling edge of the $BCLK_R$. The remaining seven bits are latched on the successive seven falling edges of the bit-clock ($BCLK_X$ in synchronous mode).

Transmit Section

The transmit section consists of a gain-adjustable input op-amp, an anti-aliasing filter, a low-pass filter, a high-pass filter and a compressing A/D converter. The input op-amp drives a RC active anti-aliasing filter. This filter eliminates the need for any off-chip filtering as it provides 30dB attenuation (Min) at the sampling frequency. From this filter the signal enters a 5th order low-pass filter clocked at 128kHz, followed by a 3rd order high-pass filter clock at 32kHz. The output of the high-pass filter directly drives the encoder capacitor ladder at an 8kHz sampling rate. A precision voltage reference is trimmed in manufacturing to provide an input overload of nominally $2.5V_{PEAK}$. Transmit frame sync pulse FS_X controls the process. The 8-bit PCM data is clocked out at D_X by the $BCLK_X$. $BCLK_X$ can be varied from 64kHz to 2.048MHz.

Receive Section

The receive section consists of an expanding D/A converter and a low-pass filter which fulfills both the AT&T D3/D4 specifications and CCITT recommendations. PCM data enters the receive section at D_R upon the occurrence of FS_R, Receive Frame sync pulse. $BCLK_R$, Receive Data Clock, which can range from 64kHz to 2.048MHz, clocks the 8-bit PCM data into the receive data register. A D/A conversion is performed on the 8-bit PCM data and the corresponding analog signal is held on the D/A capacitor ladder. This signal is transferred to a switched capacitor low-pass filter clocked at 128kHz to smooth the sample-and-hold signal as well as to compensate for the (SIN X)/X distortion.

The filter is then followed by a second order Sallen and Key active filter capable of driving a 600Ω load to a level of 7.2dBm.

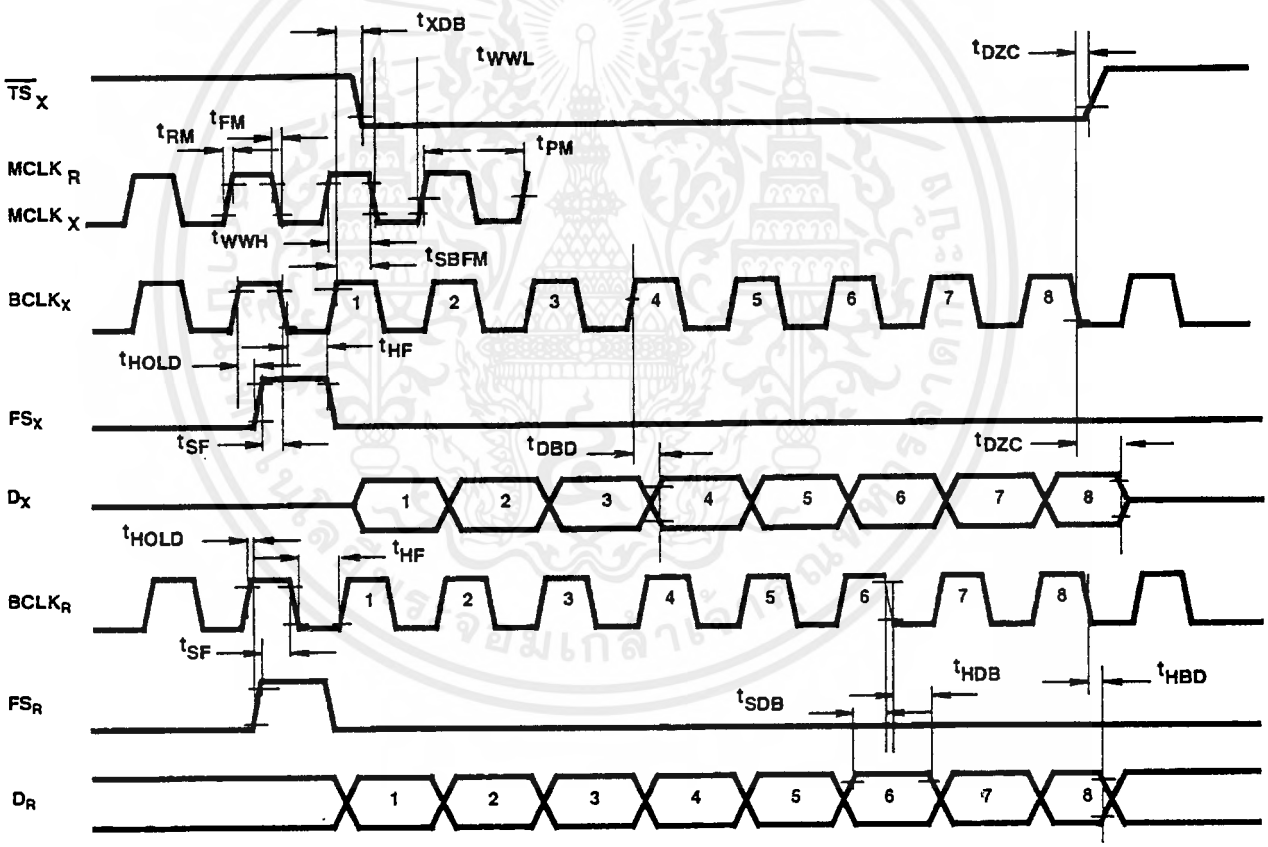


FIGURE 1. SHORT FRAME-SYNC TIMING

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

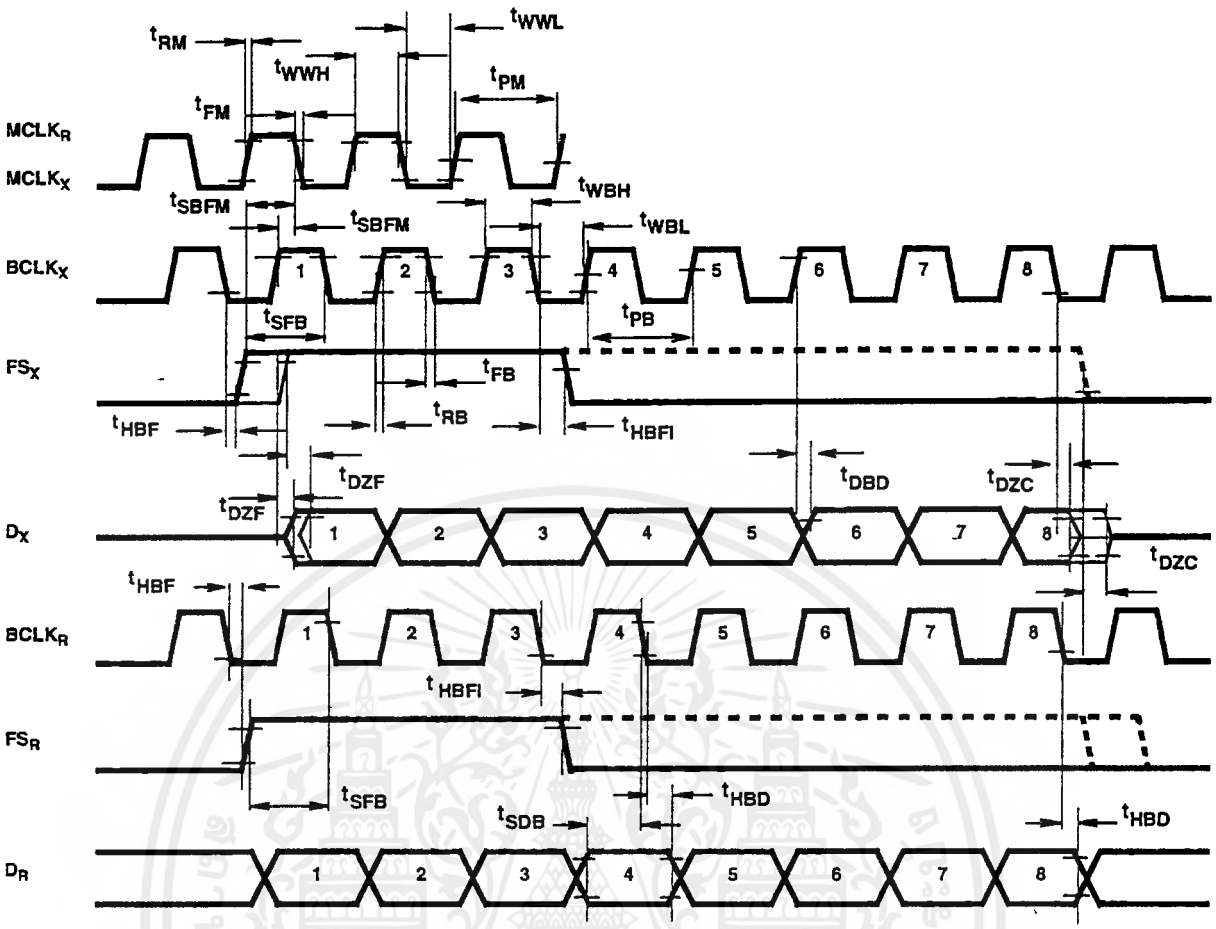


FIGURE 2. LONG FRAME-SYNC TIMING

All Harris Semiconductor products are manufactured, assembled and tested under **ISO9000** quality systems certification.

Harris Semiconductor products are sold by description only. Harris Semiconductor reserves the right to make changes in circuit design and/or specifications at any time without notice. Accordingly, the reader is cautioned to verify that data sheets are current before placing orders. Information furnished by Harris is believed to be accurate and reliable. However, no responsibility is assumed by Harris or its subsidiaries for its use; nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Harris or its subsidiaries.

Sales Office Headquarters

For general information regarding Harris Semiconductor and its products, call **1-800-4-HARRIS**

NORTH AMERICA
Harris Semiconductor
P. O. Box 883, Mail Stop 53-210
Melbourne, FL 32902
TEL: 1-800-442-7747
(407) 729-4984
FAX: (407) 729-5321

EUROPE
Harris Semiconductor
Mercure Center
100, Rue de la Fusee
1130 Brussels, Belgium
TEL: (32) 2.724.2111
FAX: (32) 2.724.22.05

ASIA
Harris Semiconductor PTE Ltd.
No. 1 Tannery Road
Cencon 1, #09-01
Singapore 1334
TEL: (65) 748-4200
FAX: (65) 748-0400

HARRIS SEMICONDUCTOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MH88622

DUAL OPS SLIC

Preliminary Information

ISSUE 3 April 1995

Features

- Dual SLIC
- Ringing generation
- On-hook transmission
- Transformerless 2-4 wire conversion
- Constant current feed
- Battery Feed to the line
- Tip Ring reversal capability
- Over current protection
- Off-Hook detection
- Logic interface for $\overline{SHK}$, RC, LR, ESE, LCS
- Metering injection
- Wide V_{Bat} operating range
- Minimum installation space
- ESE ramped output

Applications

- Pair Gain
- CT2
- Cordless local loops

Ordering Information

MH88622 -1, -2, -3,-5 40 Pin SIL Package

0°C to 70°C

Description

The Mitel MH88622 is a Dual Subscriber Interface Circuit which provides a complete interface between the telephone lines a dual codec, requiring a dual rail supply, battery and dc supply for ringing generation. The functions provided by the MH88622 includes 2-4 Wire conversion, constant current line feed, signalling and control. The SLIC manufactured using thick film hybrid technology which offers high voltage capability, reliability and high density resulting in a significant area saving on the printed circuit board. A complete C.O. type solution can be implemented with minimal external components. Different variants are provided to meet different country line impedance, they are:

-1	220Ω + (820Ω // 115nF)
-2	600Ω
-3	370Ω + (620Ω // 310nF)
-5	200Ω + (680Ω // 100nF)

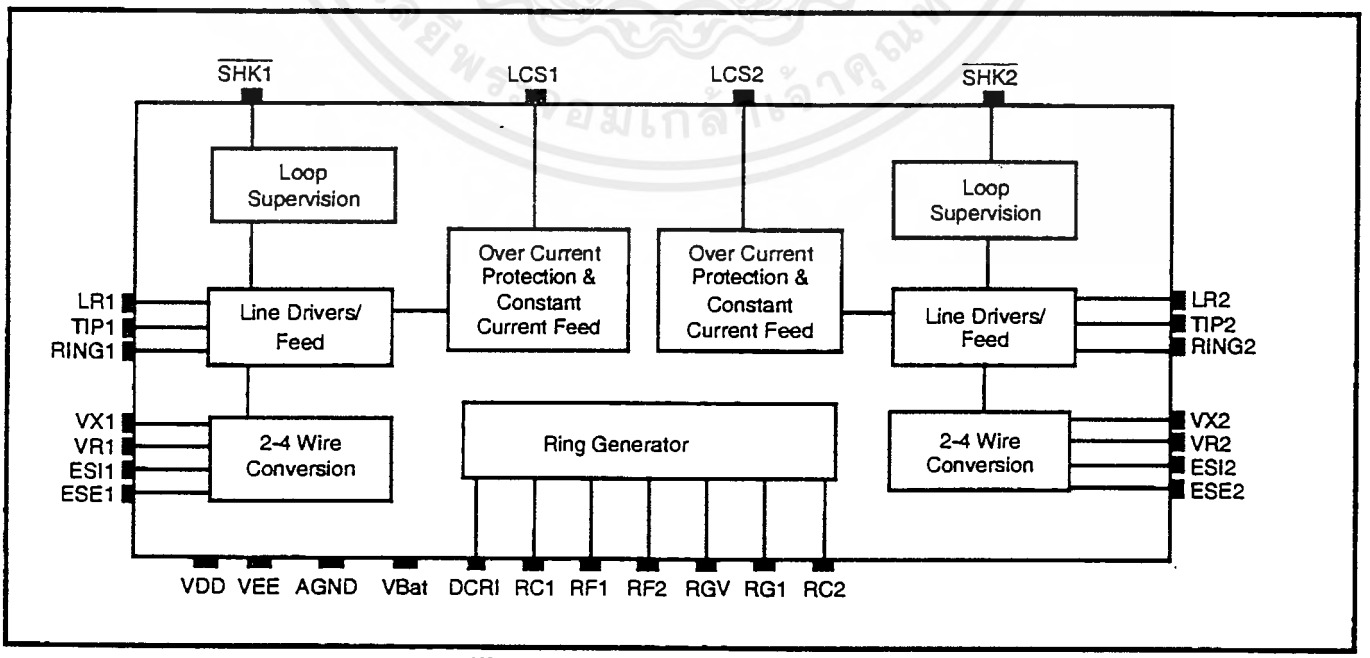


Figure 1 - Functional Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

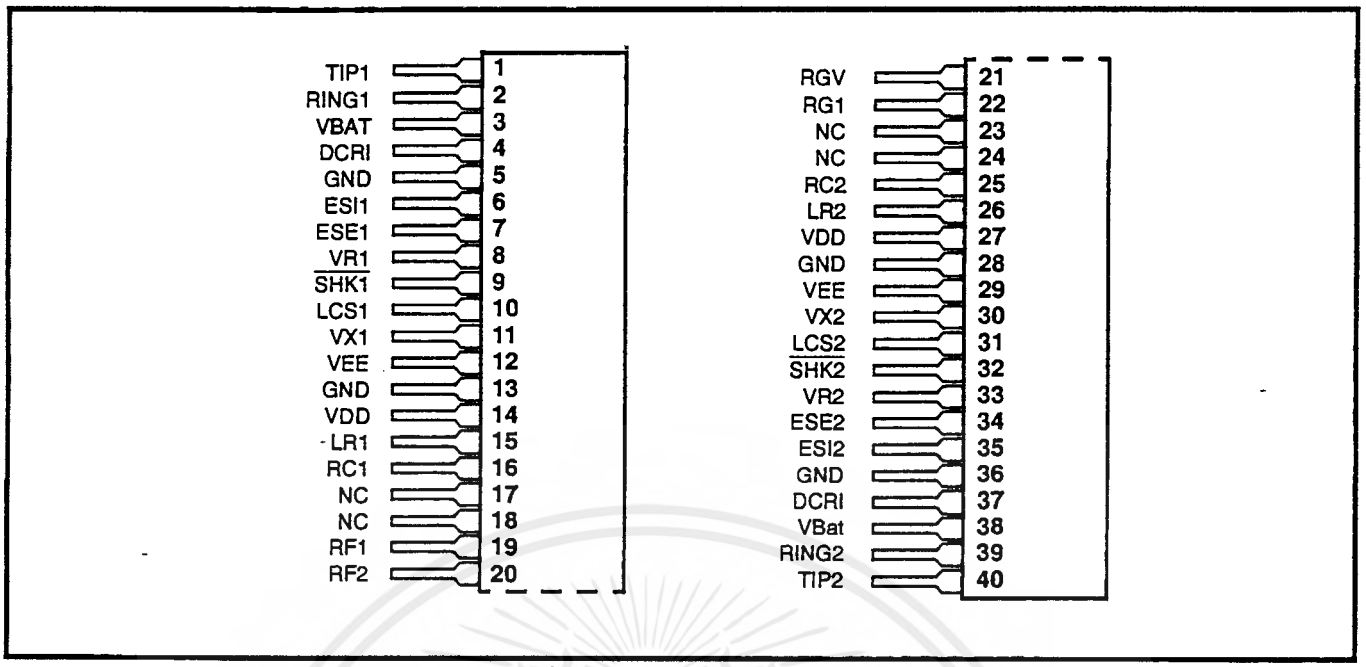


Figure 2 - Pin Connections

Pin Description

Pin #	Name	Description
1	TIP1	**Tip Lead.** Connects to the "TIP" lead of subscriber line 1.
2	RING1	**Ring Lead.** Connects to the "RING" lead of subscriber line 1.
3	V_{BAT}	**Battery Voltage.** Typically -48V dc is applied to this pin. This should be connected to pin 38 of the hybrid on the PCB.
4	DCRI	**DC Ringing Voltage Input.** A continuous 120V dc is applied to this input to achieve 90Vrms ringing. This should be connected to pin 37 of the hybrid.
5	GND	**Ground.** This pin should be tied to pins 13, 28 & 36 on the PCB.
6	ESI1	**External Signal Input (Input).** A continuous signal should be applied to this pin which will be switched to "Tip" and "Ring" of subscriber 1.
7	ESE1	**External Signal Enable (Input).** The external signal to the subscriber 1 is controlled by a logic level applied to this pin.
8	VR1	**Receive (Input).** 4-Wire GND referenced audio input for subscriber 1.
9	$\overline{SHK1}$	**Off Hook Indication (Output).** A logic low output indicates when subscriber 1 equipment has gone off hook.
10	LCS1	**Loop Current Set 1.** Logic 1 gives I_{Loop} = 40mA, Logic 0 gives I_{Loop} = 25mA
11	VX1	**Transmit (Output).** 4-Wire, GND referenced audio output for subscriber 1.
12	VEE	**Negative Supply Voltage.** -5Vdc. Connects to pin 29 of the hybrid on the PCB.
13	GND	**Ground.** Return path for VDD, VEE, VBat & DCRI. This pin should be connected to pins 5, 28 & 36 of the hybrid on the PCB.
14	VDD	**Positive Supply Voltage.** +5Vdc. Connect to pin 27 of the hybrid on the PCB.
15	LR1	**Line Reversal.** A logic 1 applied to LR1 will reverse the "Tip" and "Ring" to subscriber 1. This pin has an internal pull down.
16	RC1	**Ringing Control (Input).** A logic level applied to this pin enables ringing to be applied across Tip and Ring of subscriber 1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Description (Continued)

Pin #	Name	Description
17	NC	**No Connection.** This pin should not be connected.
18	NC	**No Connection.** This pin should not be connected.
19	RF1	**Ringing Frequency Node 1 (Input).** A capacitor is connected between RF1 & RF2 and determines the frequency of the ringing generator.
20	RF2	**Ringing Frequency Node 2 (Input).** Two capacitors are connected between RF1& RF2 and from RF2 to AGND. This determines the frequency of the ringing generator.
21	RGV	**Ringing Gain Voltage.** Connects to RG1 through a resistor to reduce the output ringing voltage. When left open circuit output ringing voltage is 90Vrms.
22	RG1	**Ringing Gain Node 1.** Connects to RGV through a resistor to reduce the output ringing voltage. When left open circuit output ringing voltage is 90Vrms.
23	NC	**No Connection.** This pin should not be connected.
24	NC	**No Connection.** This pin should not be connected.
25	RC2	**Ringing Control (Input).** A logic level applied to this pin enables ringing to be applied across Tip and Ring of subscriber 2.
26	LR2	**Line Reversal.** A logic 1 applied to LR2 will reverse the "Tip" and "Ring" to subscriber 2. This pin has an internal pull down.
27	VDD	**Positive Supply Voltage.** +5Vdc. This pin should be connected to pin 14 of the hybrid on the PCB.
28	GND	**Ground.** Return path for VDD, VEE, VBat & DCRI. This pin should be connected to pins 5, 13 & 36 of the hybrid on the pcb.
29	VEE	**Negative Supply Voltage.** -5Vdc. This pin should be connected to pin 12 of the hybrid on the PCB.
30	VX2	**Transmit (Output).** 4-Wire GND referenced audio input for subscriber 2.
31	LCS2	**Loop Current Set 2.** Logic 1 gives ILoop = 40mA, Logic 0 gives ILoop = 25mA.
32	$\overline{\text{SHK2}}$	**Off Hook Indication (Output).** A logic high output indicates when subscriber 2 equipment has gone off hook.
33	VR2	**Receive (Input).** 4-Wire GND referenced audio input for subscriber 2.
34	ESE2	**External Signal Enable (Input).** The external signal to subscriber 2 is controlled by a logic level applied to this pin.
35	ESI2	**External Signal Input.** A continuous signal should be applied to this pin which will be switched to "Tip" and "Ring" of subscriber 2.
36	GND	**Ground.** This pin should be tied to pins 5, 13 & 28 on the PCB.
37	DCRI	**DC Ringing Voltage Input.** A continuous 120Vdc is applied to this input to achieve 90 Vrms ringing. This should be connected to pin 4 of the hybrid on the PCB.
38	VBAT	**Battery Voltage.** Typically -48V dc is applied to this pin. This should be connected to pin 3 of the hybrid on the PCB.
39	RING2	**Ring Lead.** Connects to the "Ring" lead of subscriber line 2.
40	TIP2	**Tip Lead.** Connects to the "Tip" lead of subscriber line 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings *- All voltages are with respect to GNDA unless otherwise stated.

	Parameter	Symbol	Min	Max	Units
1	Supply Voltages - Referenced to V_{SS} (GND)	V_{EE} V_{DD} V_{DCRI} V_{Bat}	+0.3 -0.3 -0.3 -60	-15 +15 +180 0.3	V V V V
2	Operating Temperature	TAMB	-40	+85	°C
3	Storage Temperature	T_S	-55	+125	°C

* Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied.

DC Electrical Characteristics

		Characteristics	Sym	Min‡	Typ*	Max‡	Units	Test Comments
1	SUPPLY	Operating Loop Current	V_{EE} V_{DD} V_{DCRI} V_{Bat}	-4.75 4.75 110 -60	-5 5 120 -48	-5.25 5.25 160 -20	V V V V	
2		Operating Supply Current (per Channel)	I_{EE} I_{DD} I_{DCRI} I_{Bat}		30 30 15 5		mA mA mA mA	On-hook On-Hook Ringing (REN=1) Idle
3	INPUTS	High Level Input Voltage LR, RC, ESE, LCS	V_{IH}	4.5			V	
4		Low Level Input Voltage LR, RC, ESE, LCS	V_{IL}			0.5	V	
5		High Level Input Current LR, RC, ESE, LCS	I_{IH}			700	µA	
6		Low Level Input Current LR, RC, ESE, LCS	I_{IL}			10	µA	
7	OUTPUTS	High Level Output Current SHK	I_{OH}			0.4	mA	
8		Low Level Output Current SHK	I_{OL}			4	mA	
9		High Level Output Voltage SHK	V_{OH}	4.75			V	
10		Low Level Output Voltage SHK	V_{OL}			0.4	V	
11		Constant Current Line Feed	I_{Loop}	23	25	27	mA	LCS = 0
12		Maximum Operating Loop	R_L			500 1500	Ω Ω	@ 25mA -24V @ 25mA -48V inclusive of telephone set
13		Power Consumption	P_C			300	mW	Excluding P_{BAT} & P_{DCRI}

* Typical figures are at 25°C with nominal ±5V supplies and are for design aid only.
‡ Max & Min figures guaranteed over 0°C to 70°C only

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics*

	Characteristics	Sym	Min‡	Typ†	Max‡	Units	Test Comments
1	Gain VR to 2-Wire		-0.2	0	+0.2	dB	Input 1.0Vrms 1kHz @ VR, Zload = Z_{in}
	Gain relative to Gain @ 1kHz			±0.15			300-3.4kHz
2	Gain 2-wire to VX		-6.2	-6	-5.8	dB	Input 3dBm 1kHz @ 2W Zsource = Z_{in}
	Gain relative to Gain @ 1kHz			±0.15			300-3.4kHz
3	Off-Hook Detect Threshold			7.5		mA	
4	Transhybrid Loss	THL	22	30		dB	300-3.4kHz
5	Ringing Signal Voltage		40			Vrms	Min 65Vdc differential between DCRI & V_{BAT}
6	Ringing Frequency		17		68	Hz	See Table 1
7	Ringing Capability		4			REN	1750Ω impedance @ 20Hz min.
8	Power Supply Rejection Ratio	PSRR				dB	Ripple
	V_{Bat}			30			0.1 VPP 1kHz
	V_{DD}/V_{EE}			30			
	V_{DCRI}			30			
9	2-wire Return Loss		20	35		dB	Input 0.5 Vrms 1kHz across Tip & Ring Zload = Z_{in}
10	Longitudinal to Metallic Balance						Input 0.5Vrms
	-1 Variant		40			dB	50-300Hz
			55			dB	300-1000Hz
			53			dB	1k-4kHz
	-2 Variant		58			dB	200Hz to 1kHz
			53			dB	3kHz
	-3 Variant		46			dB	300Hz to 3k4Hz
	-5 Variant		40			dB	300Hz to 600Hz
			46			dB	600Hz to 3k4Hz
	Metallic to Longitudinal Balance						
	-2 Variant only		60			dB	200Hz to 1kHz
			40			dB	1kHz to 4kHz
11	Input AC Impedance (2- wire)	Z_{IN}				Ω	1kHz @ 2-wire
	-1 variant (220Ω + 820Ω // 115nF)			600			
	-2 variant (600Ω)			900			
	-3 variant (370Ω + 620Ω // 310nF)			700			
	-5 variant (200Ω + 680Ω // 100nF)			823			
12	Input Impedance @ VR			230		kΩ	
13	Output Impedance @ VR			10		Ω	
14	Total Harmonic Distortion	THD					
	at VX			0.2		%	Input 4dBm @2-Wire
	at Tip & Ring			0.2		%	Input 1V at VR
15	Common Mode Rejection Ratio 2-Wire to VX	CMRR	40	60		dB	Input 0,5V, 1kHz
16	Idle Channel Noise	NC				dBm C	
	at VX			15			
	at 2-wire			15			
17	On-Hook Transmission Signal				2.0	Vrms	V_{Bat} = -48V
	Input Level Gain			6		dB	T-R load = 10kΩ min.
18	External Signal Output Level		1.75	2.2		Vrms	V_{Bat} = -48V T-R load = 200Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics* (Continued)

	Characteristics	Sym	Min‡	Typ†	Max‡	Units	Test Comments
19	SHK Rise Time Fall Time	t_R t_F		1 1		ms ms	Dial Pulse Detection
20	Analogue Signal Overload Level @ Tip & Ring		4			dBm	@ 1kHz
21	Ring Trip Delay			100		ms	
22	Outband Noise	No			-70	dB	Refer to BS6305 section 4.1.4 & fig 3 for details of limits
23	Crosstalk Channel 1 to 2 Channel 2 to 1				-80 -80	dB dB	@ 1kHz

* AC Electrical Characteristics are over Recommended Operating Conditions unless otherwise stated.
† Typical figures are at 25°C with nominal + 5V supplies and are for design aid only.
‡ Max and Min figures guaranteed over 0°C to 70°C only.
Notes: Impedance set to variant impedance
Test conditions uses a Z_{in} value as specified by variant number.
Test conditions use a transmit and receive gain set to 0dB default and a Z_{in} value of 600Ω unless otherwise stated.

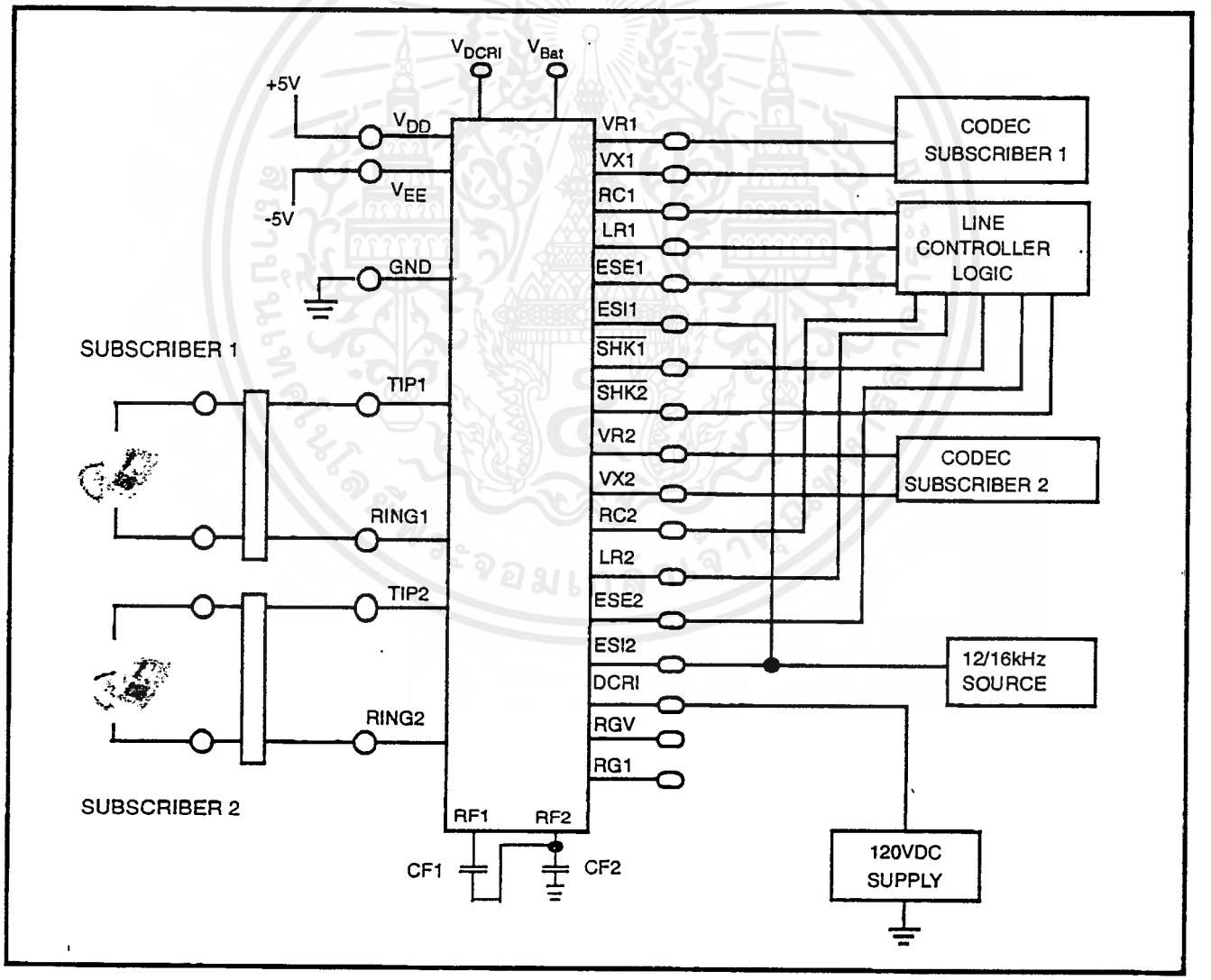


Figure 3 - Loop Start SLIC Configuration Application Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

The SLIC uses a Transformerless 2-4 Wire converter for each subscriber which can be connected to a CODEC to interface the 2-Wire subscriber loop to a time division multiplexed (TDM), pulse code modulated (PCM), digital link.

Powering of the subscriber line is provided through precision battery feed resistors on the hybrid. The thick film hybrid circuit contains control, signalling and status circuits which combine to provide a complete solution simplifying the manufacture of line cards.

Approvals

FCC part 68, CCITT, DOS CS-03, UL 1459, CAN/CSA-22.2 N0. 225-M90 and ANSI/EIA/TIA-464-A are system level safety standards and performance requirements. As a component of a system, the MH88622 is designed to comply with the applicable requirements of these specifications.

Battery Feed

The SLIC is designed for a nominal battery voltage of -48 Vdc and can provide the constant feed current for 1500Ω loop under this condition.

The interface circuit is designed to be operated up to a maximum of -60V dc battery feed voltage without damage, providing a minimum loop length capability of 2000Ω.

There is also a function on the SLIC that provides for Tip-Ring reversal.

Current Limit

Primary over current protection is inherent in the current limiting feature of the battery feed circuit.

Current limiting is provided for both Tip and Ring unbalanced conditions.

The maximum loop current limit is set internally on the interface and current limiting does not affect the longitudinal or the signal balance of the device. To set I_{Loop} to 40mA tie the LCS pin high (Logic 1), to set I_{Loop} to 25mA the LCS pin may be left open circuit or tied low (Logic 0).

Two Wire Port Termination Impedance

The Tip/Ring impedance (Z_{in}) is fixed for each variant.

Transmit and Receive Gain

The transmit and receive gain of the MH88622 is internally set.

Internal Ringing Generator

The MH88622 offers an on board ringing generator requiring only two external passive components and a DC voltage source to produce a sine wave of between 17Hz to 68Hz.

An internal signal is amplified by a user programmed amount and is applied to Tip and Ring. The programmable gain must be set using RGV and RG1 to ensure that distortion of the ringing signal is minimised.

With V_{BAT} = -48Vdc and V_{DCRI} = +120Vdc and the ringing voltage = 90Vrms RGV and RG1 should be left open circuit. By adding an external resistor between RGV and RG1 it is possible to reduce the ringing voltage applied by the driver section to Tip and Ring.

The DC voltage source should be continuously applied to the MH88622. The ringing voltage will only be applied when the RC pin of the relevant subscriber is activated.

Typ. Frequency (Hz)	CF1, CF2 (nF)
17	100
25	68
35	47
50	33

Table 1 - Ring Generator Capacitor Selection

12-16kHz Meter Pulse

The MH88622 provides control of an external signal path to the driver. A 12/16 KHz continuous signal should be applied to the ESI pin. Control of the ESE input allows the metering signal to be transmitted to the line with a ramped up and down amplitude to reduce noise on the line. Typical ramp time is 10mS.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Off-Hook and Dial Pulse Detection

The $\overline{SHK}$ pin goes low when e DC loop current exceeds a specified level. The threshold level is internally set by the bias voltage of the switch hook detect circuit.

Dial pulse can be detected by monitoring the interruption rate at the $\overline{SHK}$ pin. These dial pulses may need to be debounced by the systems software.

Ring Trip Detection

The interface permits detection of an Off-Hook condition during ringing. If the subscriber set goes Off-Hook when the ringing signal has been applied, the DC loop current flow will be detected within approx. 100msecs and the $\overline{SHK}$ output will go low. The ringing is automatically disabled by the internal hardware.

Longitudinal Balance

Precision laser trimming of resistors in the hybrids ensures good overall longitudinal balance.

The interface circuitry can operate in the presence of induced longitudinal currents of up to 40mA rms at 60Hz.

High Voltage Capability

Inherent in the thick film process is the ability of the thick film process dielectric strengths of greater than 1000 VAC or 1500 VDC. The thick film process allows easy integration of surface mount components such as the high voltage bi-polar power transistor line drivers. This allows for simpler, less elaborate and less expensive protection circuitry required to handle high voltage transients and fault conditions caused by lightening, induced voltages and power line crossing.

On Hook Transmission

The MH88622 provides for on-hook transmission which supports features such as Automatic Number identifications (ANI).

Loop Length

The MH88622 can accommodate loop length of up to 2000Ω minimum (including the subscriber equipment).

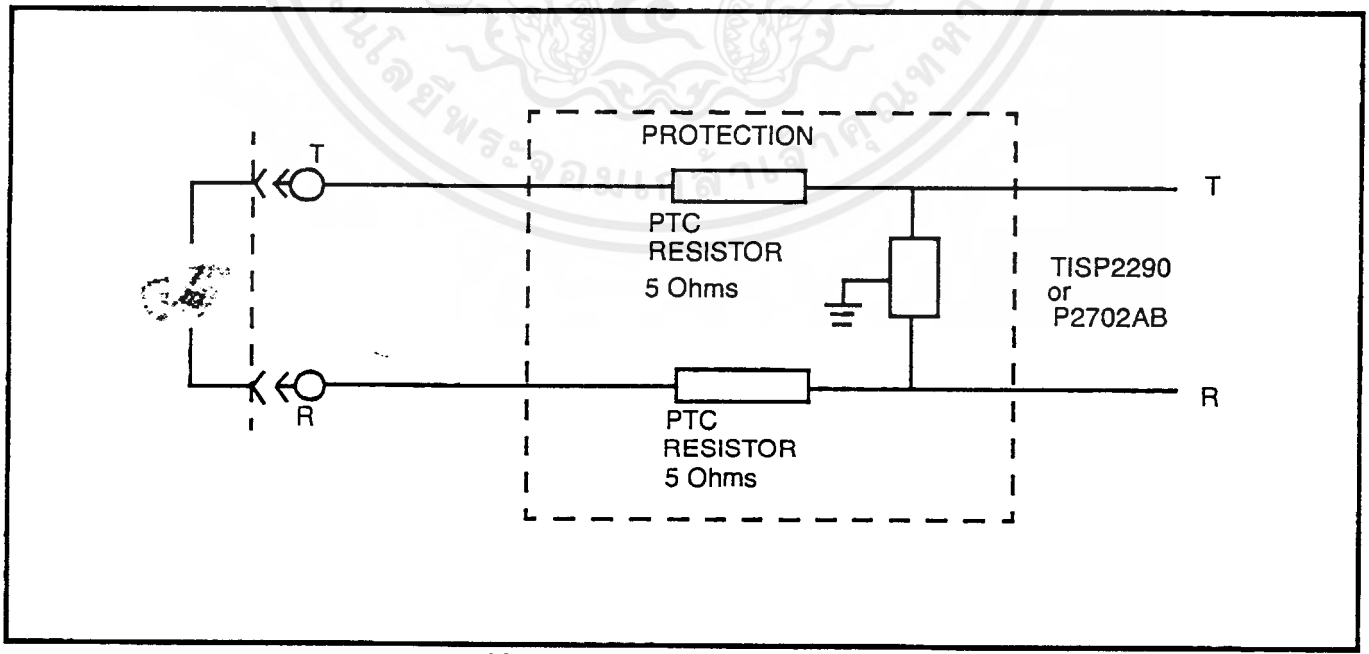


Figure 4 - Typical Protection Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

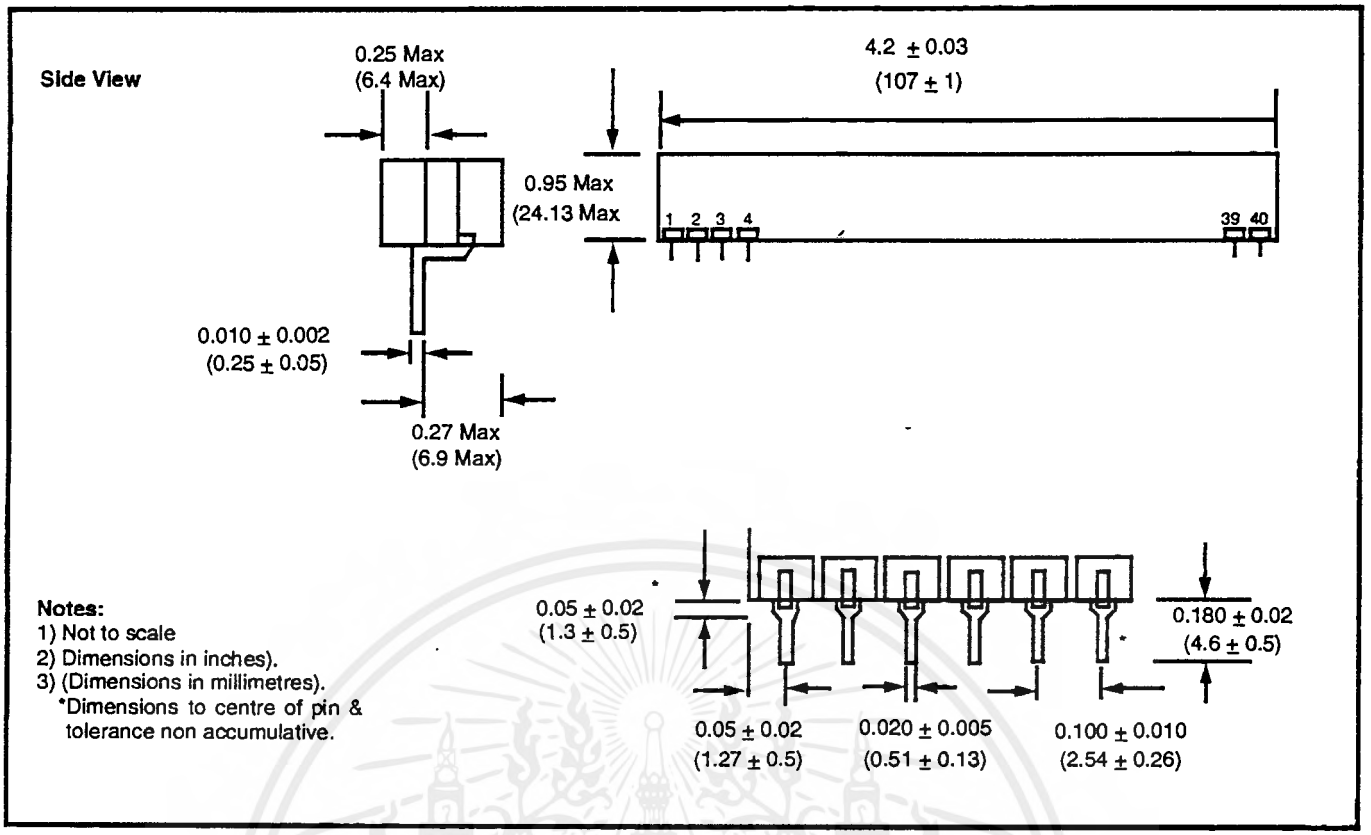


Figure 5 - Mechanical Data

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MH88632

Central Office Interface Circuit

Preliminary Information

ISSUE 5 April 1995

Features

- Loop start and ground start capabilities
- Transformerless 2-4 wire conversion
- Programmable transmit/receive gain with 0dB defaults
- Programmable input impedance with 600Ω and 900Ω defaults
- Programmable network balance with 600Ω, 900Ω, and AT&T compromise default
- One loop start & two ground start relay drivers
- Line state detection outputs
- Forward loop, reverse loop, ring ground, tip ground, ringing voltage
- +5V operation
- On-hook audio reception (to accommodate ANI)

Applications

Interface to Central Office for:

- PBX
- Key Telephone System
- Channel bank
- Voice Mail
- Terminal Equipment
- Digital Loop Carrier

Ordering Information

MH88632 40 Pin SIL Package

0°C to 70°C

Description

The Mitel MH88632 Central Office Trunk Interface circuit provides a complete audio and signalling link between audio switching equipment and a central office. The functions provided by the MH88632 include 2-4 Wire Hybrid conversion, programmable transmit and receive gains, programmable line impedance and programmable network balance. The device is fabricated using thick film hybrid technology which incorporates various technologies for optimum circuit design and very high reliability.

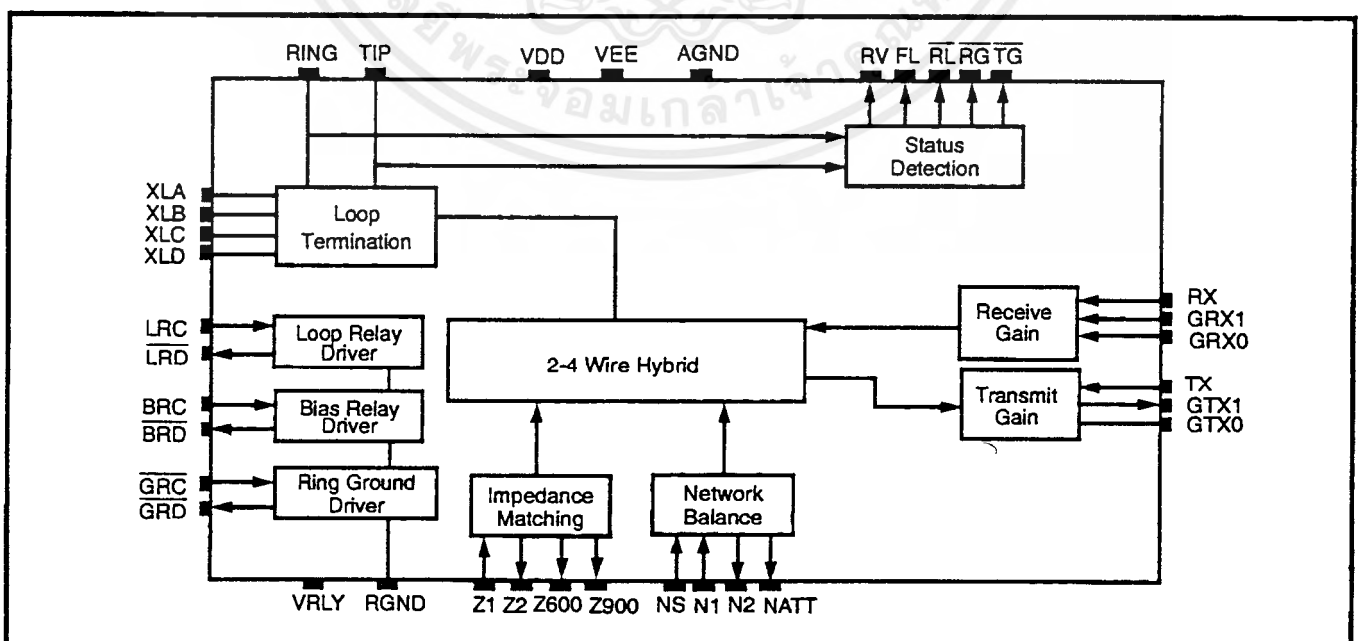


Figure 1 - Functional Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

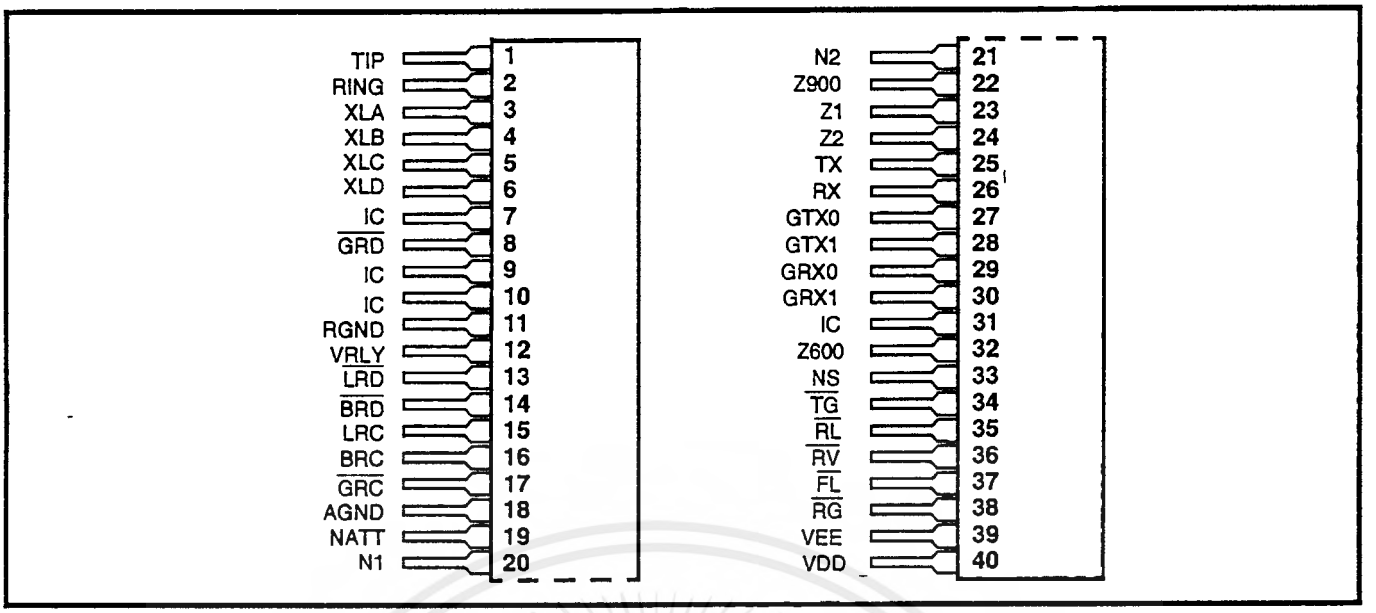


Figure 2 - Pin Connections

Pin Description

Pin #	Name	Description
1	TIP	**Tip Lead.** Connects to the "Tip" or "Ring" lead of Central Office.
2	RING	**Ring Lead.** Connects to the "Ring" or "Tip" lead of the Central Office.
3	XLA	**Loop Relay Contact A.** Connects to XLB through the loop relay (K1) contacts when the relay is activated. Activates internal active termination circuitry.
4	XLB	**Loop Relay Contact B.** See XLA for description.
5	XLC	**Loop Relay Contact C.** Connects to XLD through the loop relay (K1) contacts when the relay is activated. Activates internal active termination circuitry.
6	XLD	**Loop Relay Contact D.** See XLC for description
7	IC	**Internal Connection.** This pin is internally connected and must be left open.
8	$\overline{\text{GRD}}$	**Ground Relay Lead Relay Drive (Output).** Connects to the Ground Ring Lead Relay Coil, used for Ground Start applications. A logic low activates the relay. An internal clamp diode from VRLY to GND is provided.
9	IC	**Internal Connection.** This pin is internally connected and must be left open.
10	IC	**Internal Connection.** This pin is internally connected and must be left open.
11	RGND	**Relay Ground.** Return path for relay supply voltage.
12	VRLY	**Relay Positive Supply Voltage.** Normally +5V. Connects to the relay coil and the relay supply voltage
13	$\overline{\text{LRD}}$	**Loop Relay Drive (Output).** Connects to the Bias Relay coil. A logic low activates the relay. An internal clamp diode from VRLY to $\overline{\text{LRD}}$ is provided.
14	$\overline{\text{BRD}}$	**Bias Relay Drive (Output).** Connects to the Bias Relay coil, used for Ground start applications only. A logic low activates the relay. An internal clamp diode from VRLY to $\overline{\text{BRD}}$ is provided.
15	LRC	**Loop Relay Control (Input).** A logic high activates the Loop Relay Drive output ($\overline{\text{LRD}}$). The Loop Relay activates internal circuitry which provides a DC termination across Tip and Ring. Used for line seizure and dial pulsing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Description (Continued)

Pin #	Name	Description
16	BRC	**Bias Relay Control (Input).** A logic high activates the Loop Relay Drive output ($\overline{BRD}$), used for Ground start applications only. This input should be connected to logic high when not used.
17	GRC	**Ground Ring Lead Relay Control (Input).** A logic low activates the Ground Ring Lead Relay Drive output ($\overline{GRD}$), used for Ground Start applications only. This input should be connected to logic high when not used.
18	AGND	**Analog Ground.** 4-Wire ground. Normally connected to System Ground.
19	NATT	**Network Balance AT+T Node.** Connects to N1 for a network balance impedance of AT&T compromise (350Ω + 1kΩ // 210nF); the device's input impedance must be set to 600Ω. This node is active only when NS is at logic high. This node should be left open circuit when not used.
20	N1	**Network Balance Node 1 (Input).** 0.1 times the impedance between pins N1 and N2 must match the device's input impedance, while 0.1 times the impedance between pins N1 and AGND is the device's network balance impedance. This node is active only when NS is at logic high. This node may be terminated when not used (i.e., NS at logic low).
21	N2	**Network Balance Node 2 (Output).** See N1 for description.
22	Z900	**Line Impedance 900Ω Node.** Connects to Z1 for a line impedance of 900Ω. This node should be left open circuit when not used.
23	Z1	**Line Impedance Node 1 (Input).** 0.1 times the times the impedance between pins Z1 and Z2 is the device's line impedance. This node must always be connected.
24	Z2	**Line Impedance Node 2 (Output).** 0.1 times the times the impedance between pins Z1 and Z2 is the device's line impedance. This node should be left open circuit when not used.
25	TX	**Transmit (output).** 4-Wire ground (AGND) referenced audio output.
26	RX	**Receive (Input).** 4-Wire ground (AGND) referenced audio input.
27	GTX0	**Transmit Gain Node 0.** Connects to GTX1 for 0dB transmit gain.
28	GTX1	**Transmit Gain Node 1.** Connects to a resistor to AGND for transmit gain adjustment.
29	GRX0	**Receive Gain Node 0.** Connects to GRX1 for 0dB gain.
30	GRX1	**Receive Gain Node 1.** Connects to a resistor to AGND for receive gain adjustment.
31	IC	**Internal Connection.** This pin is internally connected and must be left open.
32	Z600	**Line Impedance 600Ω Node (Output).** Connects to Z1 for a line impedance of 600Ω. This pin should be left open circuit when not used.
33	NS	**Network Balance Setting (Input.** The logic level at NS selects the network balance impedance. A logic 0 enables an internal balance equivalent to the input impedance (Zin). While a logic 1 enables an external balance 0.1 times the impedance between pins N1 and AGND balanced to 0.1 times the impedance between pins N1 and N2. The impedance between N1 and N2 must be equivalent to 10 times the input impedance (Zin).
34	$\overline{TG}$	**Tip Lead Ground Detect (Output).** A logic low output indicates that the Tip lead is at ground (AGND) potential.
35	$\overline{RL}$	**Ring Loop Detect (Output).** In the on-hook state, a logic low output indicates that reverse loop battery is present. In the off-hook state, a logic low output indicates that reverse loop current is present. Reverse loop refers to the Tip lead negative with respect to the Ring lead.
36	$\overline{RV}$	**Ring Voltage Detect (Output).** A logic low indicates that ringing voltage is across the Tip and Ring leads. Note that this output toggles at the ringing cadence and not at the ringing frequency.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Description (Continued)

Pin #	Name	Description
37	$\overline{FL}$	**Forward Loop Detect (Output).** In the on hook state, a logic low output indicates that forward loop battery is present. In the off-hook state, a logic low output indicates that forward loop current is present. Forward loop refers to the Ring Lead negative with respect to the Tip lead.
38	$\overline{RG}$	**Ring Lead Ground Detect (Output).** A logic low indicates that the Ring lead is at ground (AGND) potential.
39	VEE	**Negative Supply Voltage.** -5V dc.
40	VDD	**Positive Supply Voltage.** +5V dc.

Functional Description

The MH88632 is a COIC (Central Office Interface Circuit) used to interface to Central Office 2-Wire Analog Trunks. The COIC provides both Loop start and Ground start interface capabilities.

Approvals

FCC part 68, DOC CS-03, UL 1459, CAN/CSA 22.2 No.225-M90 are all system (i.e., connectors, power supply, cabinet, etc.) requirements. Since the MH88632 is a component and not a system, it cannot be approved as a stand alone part by these standards bodies. However, when installed into a properly designed system, the MH88632 has been designed to meet the CO Trunk Interface requirements of FCC, DOC, UL and CSA, and thus enabling the complete system to be approved by these standards bodies.

To meet the regulatory high voltage requirements, an external protection circuit is required. The protection circuit shown in Figure 9 is matched to the MH88632 and ensures than they meet the high voltage requirements of FCC, DOC, CSA and UL when installed in a properly designed system.

Products are designed in accordance with meeting the above requirements; however, full conformance to these standards is dependent upon the application in which the hybrid is being used, and therefore, approvals are the responsibility of the customer and Mitel will not have tested the product to meet the above standards.

DC Loop Termination

The DC loop termination circuitry provides the loop with an active Dc load termination when a logic low is applied to the LRC (Loop Start Relay Control) input. the termination is similar to a DC resistance between 200Ω and 275Ω. An external relay is used to activate internal circuitry which switches the termination in and out of the loop. This is used for both seizing the line as well as generating dial pulses.

Supervision Features

The supervision circuitry provides the signalling status outputs. The system controlling the COIC, monitors these logic outputs. The supervision circuitry is capable of detecting ringing voltage, both forward and reverse loop battery and loop current, and both grounded tip lead and grounded ring lead.

a) Supervision Features $\overline{RV}$ (Ring Voltage Detect Output)

The $\overline{RV}$ (Ringing Voltage Detect) output provides a logic low when ringing voltage is detected. This detector includes a ringing filter which ensures that the output toggles at the ringing cadence and not at the ringing frequency. Typically, this output goes low 50ms after ringing voltage is applied and remains low for 50ms after ringing voltage is removed.

b) Supervision Features $\overline{FL}$ & $\overline{RL}$ (Forward Loop and Reverse Loop Detect Output).

The $\overline{FL}$ (Forward Loop Detect) output provides a logic low when either forward loop battery or forward loop current is detected (ring lead voltage negative with respect to ring lead). The $\overline{RL}$ (Reverse Loop Detect) output provides a logic low when either reverse loop battery or reverse loop current is detected (tip lead voltage negative with respect to ring lead).

See Table 5 for Loop Battery and Current Status Outputs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

c) Supervision Features $\overline{TG}$ & $\overline{RG}$ (Tip Ground and Ring Ground Detect Output)

The $\overline{TG}$ (Tip Lead Ground Detect) output provides a logic low when the tip lead is at ground (AGND) potential. The $\overline{RG}$ (Ring Lead Ground Detect) output provides a logic low when the Ring lead is at ground (AGND) potential.

See Table 6 for Loop Ground Status Outputs.

Ground Start Signalling Features

For Ground Start signalling, relay K2 and resistors R1 and R2, and relay K3 and resistor R3 are required (See Figure 8). Activation of K2 is controlled by the logic signal at the BRC (Bias Relay Control) input while activation of K3 is controlled by the logic signal at the $\overline{GRC}$ (Ground Relay Control) input.

K2 is used to engage the bias resistors while K3 is used to ground the right lead; this is used in ground start applications for signalling to the central office.

Typical Ground Start Signalling Protocol

Refer to Figure 8 for Typical LS-GS Application Circuit.

In the idle state, the system (e.g., PBX control card) provides a logic high to the BRC input. This activates the COIC's second internal relay driver which activates relay K2. Both contacts of relay K2 close, which connect the -48VDC supply to Tip (tip lead) and Ring (ring lead) through bias resistors R1 and R2.

Depending on which Ground Start protocol is used, initiating a Ground start call to the central office can be performed by the following sequence of events.

The system provides a logic low to the $\overline{GRC}$ input. this activates the COIC's third internal relay driver which activates relay K3. The contacts of relay K3 close, which connects the ring lead to ground through a current limiting resistor R3.

The Central Office reconizes the ring ground condition and responds by grounding the tip lead.

The COIC senses the grounded Tip and switched the $\overline{TG}$ (Tip Lead Ground Detect) output to a logic low.

The system then applies a logic high to the LRC (Loop Relay Control) input. This activates the COIC's first internal relay driver which activates relay K1. Both contacts the relay K1 close, which activates the COIC's internal circuitry resulting in an active line termination across Tip and Ring. The system then provides a logic low to the BRC input. This deactivates the COIC's second internal relay driver which deactivates K2. Both contacts of relay K2 open, which disconnect the bias from Tip and Ring. The system then provides a logic high to the GRC input. This deactivates the COIC's third internal relay driver which deactivates relay K3. The contact of relay K3 opens. which disconnects the grounded ring lead. The voice link is now established.

Receiving a Ground Start call from central office is performed similarly. The central office can signal the COIC by either grounding the tip lead or by grounding the ring lead.

Hybrid

The 2-4 Wire Hybrid circuit separates the balanced full duplex signal at Tip and Ring of the telephone line into receive and transmit ground referenced signals at Rx (Receive) and TX (Transmit) of the COIC. The hybrid also prevents the input signal at RX from appearing at TX. The degree to which the Hybrid minimises the contribution of the RX signal at the TX output is specified as transhybrid loss. For maximizing transhybrid loss, see the **Network Balance section.**

The 4-Wire side can be interfaced to a filter/codec such as the Mitel MT896X, for use in digital voice switched systems.

Line Impedance

The MH88632's Tip-Ring impedance (Z_{in}) can be set to 600Ω, 900Ω or to a user selectable value. Thus, Zin can be set to any international requirements. The connection to Z1 determines the input impedance. With Z1 connected to Z600, the line impedance is set to 600Ω. With Z1 connected to Z900, the line impedance is set to 900Ω. A user defined impedance can be selected which is 0.1 times the impedance between Z1 and Z2. For example, with 2200Ω in series with 11.5nF in parallel with 8200Ω, all between Z1 and Z2, the devices line impedance will be 220Ω in series with 115nF in parallel with 820Ω. See Table 3 and Figures 4 & 5.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Stability

The part will be stable with an AC load over the range 0.5 Z_{in} <Load < 2 x Z_{in}.

The range of loads that can be simulated by the MH88632 is extensive including those which are purely resistive and complex in nature. For loads with a low or zero series resistance additional measures need to be taken to maintain stability which involves simulating with a larger series resistance and adjusting other components accordingly.

Examples:

Sweden: Load is 900Ω in a parallel with 30nF. This is synthesised on the MH88632 by 1.5kΩ in series with a parallel combination of 3nF and 7.4kΩ.

Norway: Load is 120Ω in series with a parallel combination of 820Ω and 110nF. This is synthesized on the MH88632 by 1.5kΩ in series with a parallel combination of 12nF and 7.8kΩ.

Italy: Load is 750Ω in parallel with 18nF. This is synthesised on the MH88632 by 1.5kΩ in series with a parallel combination of 2nF and 6kΩ.

Network Balance

Transhybrid loss is maximized when the line termination impedance and COIC network balance are matched. The MH88632's network balance impedance can be set to Z_{in}, AT&T (350Ω+1kΩ // 210nf) or to a user Selectable value. Thus, the network balance impedance can be set to any international requirement. A logic level control input NS selects the balance mode. With NS at logic low, an internal network balance impedance is matched to the line impedance (Z_{in}). With NS at logic high, a user defined network balance impedance is selected which is 0.1 times the impedance between N1 and AGND. For example, with 2200Ω in series with 11.5nF in parallel with 8200Ω, 'all between N1and AGND, and NS at logic high, the devices network balance impedance in 220Ω in series with 115nF in parallel with 820Ω, the impedance between N1 and N2 must be equivalent to 10 times the input impedance (Z_{in}). In addition, with NS at logic high, an AT&T network balance impedance can be selected by connecting NATT to N1; in this case, no additional network is required between N1 and N2. See Table 4 and Figures 6 & 7.

TIP-RING Drive Circuit

The audio input ground referenced signal at RX is converted to a balanced output signal at Tip and Ring. The Tip-Ring Drive Circuit is optimised for good 2-Wire longitudinal balance.

TIP-RING Receive Circuit

The differential audio signal at Tip and Ring is converted to a ground referenced audio signal at the TX output. This circuit operates with or without loop current; signal reception with no loop current is required for on-hook reception enabling the detection of ANI (Automatic Number Identification) signals.

Programmable Transmit and Receive Gain

Transmit gain (Tip-Ring to TX) and receive Gain (RX to Tip-Ring) are programmed by connecting external resistors (RRX and RTX) from GRX1 to AGND and from GTX1 to AGND as indicated in Figure 3 and Tables 1 and 2. The programmable gain range is from -12dB to +6dB; this wide range will accommodate any loss plan. Alternatively, the default Receive Gain of 0dB and Transmit Gain of 0dB can be obtained by connecting GRX0 to GRX1 and GTX0 to GTX1. In addition, a Receive Gain of +6dB and Transmit Gain of +6dB can be obtained by not connecting resistors RRX and RTX. For correct gain programming, the MH88632's Tip-Ring impedance (Z_{in}) must match the line termination impedance. For optimum performance, resistor RRX should be physically located as close as possible to the GRX1 input pin.

ANI (Automatic Number Identification)

ANI provides the called party with calling party telephone number identification. The central office utilizes the voice path of a regular loop-start telephone line when the COIC (subscriber's terminal) is in the on-hook state. The central office sends the ANI information (data transmission typically of an FSK signal of 1200Hz and 2200Hz) typically 600ms after the first ringing burst.

The COIC outputs this FSK signal at the TX output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings*

	Parameter	Sym	Min	Max	Units
1	DC Supply Voltage	V_{DD} V_{EE}	-0.3 0.3	7 -7	V V
2	DC Ring Relay Voltage	V_{RLY}	-0.3	20	V
3	Storage Temperature	T_S	-55	+125	°C

* Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied.

Recommended Operating Conditions

	Parameter	Sym	Typ*	Min	Max	Units	Comments
1	DC Supply Voltage	V_{DD} V_{EE}	5.0 -5.0	4.75 -4.75	5.25 -5.25	V V	
2	DC Ring Relay Voltage	V_{VRLY}	5.0		15	V	
3	Operating Temperature	T_{OP}		0	70	°C	

* Typical figures are at 25° C with nominal ± 5V supplies for design aid only.

DC Electrical Characteristics†

		Characteristics	Sym	Min	Typ*	Max	Units	Test Conditions
1		Supply Current	I_{DD} I_{EE}			13 13	mA mA	
2		Power Consumption	PC			137	mW	
3	$\overline{FL}$ $\overline{RL}$ $\overline{RG}$ $\overline{TG}$ $\overline{RV}$	Low Level Output Voltage High Level Output Voltage	V_{OL} V_{OH}	 2.4		0.5	V V	I_{OL} = 4mA I_{OH} = 0.5mA
4	$\overline{LRD}$ $\overline{BRD}$ $\overline{GRD}$	Sink Current, Relay to V_{DD} Clamp Diode Current	I_{OL} I_{CD}	100 510			mA mA	V_{OL} = -.35V
5	NS LRC BRC $\overline{GRC}$	Low Level Input Voltage High Level Input Voltage	V_{IL} V_{IH}	 2.0		0.8	V V	
6		High Level Input Current Low Level Input Current	I_{IH} I_{IL}		1 1		µA µA	

† DC Electrical Characteristics are over recommended operating conditions unless otherwise stated.
* Typical figures are at 25°C with nominal ±5V supplies and are for design aid only.

Loop Electrical Characteristics †

	Characteristics	Sym	Min	Typ*	Max	Units	Test Conditions
1	Ringing Voltage	VR	40	90	130	Vrms	
2	Ringing Frequency		17	20	33	Hz	
3	Ringer Equivalent Number	REN			3		
	(Type A)						
4	Operating Loop Current		18			mA	
5	Operating Loop Resistance		0		90	Ω	@18mA, -48V
6	Off-Hook DC Resistance				2300	Ω	
7	Leakage Current (Tip-Ring to AGND)				 10	mA	@1000Vac
8	$\overline{FL}$ Threshold Tip-Ring Voltage Detect Tip-Ring Current Detect		 +30 +1.0		 +40 +4.2	 Vdc Vdc	 LRC-0V LRC=0V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Loop Electrical Characteristics (Continued)

	Characteristics	Sym	Min	Typ*	Max	Units	Test Conditions
9	RL Threshold Tip-Ring Voltage Detect Tip-Ring Current Detect		 -30 -1.0		 -40 -40	 Vdc Vdc	 LRC = 0v LRC = 0V
10	$\overline{TG}$ and $\overline{RG}$ Detect Threshold		-12		-14	Vdc	

† DC Electrical Characteristics are over recommended operating conditions unless otherwise stated.
* Typical figures are at 25°C with nominal ±5V supplies and are for design aid only.

AC Electrical Characteristics†

	Characteristics	Sym	Min	Typ*	Max	Units	Test Conditions
1	2-wire Input Impedance ①	Z_{in}		600 900 Ext.		Ω Ω Ω	
2	Return Loss at 2-Wire (Z_{in} = Ref. = 600Ω)	RL	20 20 20			dB dB dB	200-500 Hz 500-1000 Hz 1000-3400 Hz
3	Return Loss at 2-Wire (Z_{in} = Ref. = 900Ω)	RL	20 20 20			dB dB dB	200-500 Hz 500-1000 Hz 1000-3400 Hz
4	Return Loss at 2-Wire ② (Z_{in} = Ref. = External)	RL	20 20 20			dB dB dB	200-500 Hz 500-1000 Hz 1000-3400 Hz
5	Longitudinal to Metallic Balance ② ③ ④		58 58 55 53 51			dB dB dB dB dB	200 Hz 1000 Hz 2000 Hz 3000 Hz 4000 Hz
6	Metallic to Longitudinal Balance		60 40			dB dB	200-1000 Hz 1000 -4000 Hz
7	Transhybrid Loss (Z_{in} = Ref. = Net = 600Ω)	THL	18 21			dB dB	200-3400 Hz 500-2500 Hz
8	Transhybrid Loss (Z_{in} = Ref. = Net = 900Ω)	THL	18 21			dB dB	200-3400 Hz 500 -2500 Hz
9	Transhybrid Loss (Z_{in} = Ref. = Net = External)	THL	18 21			dB dB	200-3400 Hz 500-2500 Hz
10	Transhybrid Loss (Z_{in} = Ref. = Net = 600Ω)	THL	18 21			dB dB	200-3400 Hz 500-2500 Hz
11	Input Impedance At RX					kΩ	
12	Output Impedance at TX					Ω	
13	Transmit Gain, (TX/2-Wire): Default Gain (0dB) ② ③ Programmable Range Frequency response gain ② ③ (relative to gain at 1kHz)					 dB dB dB dB dB dB	Input 0.5V 1kHz 1kHz 200 Hz 300 Hz 3000 Hz 3400 Hz
14	Receive Gain, (2-Wire/RX): Default Gain (0dB) ② ③ Programmable Range Frequency response gain ② ③ (relative to gain at 1kHz)					 dB dB dB dB dB dB	Input 0.5V 1kHz 1kHz 200 Hz 300 Hz 3000 Hz 3400 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics† (Continued)

	Characteristics	Sym	Min	Typ*	Max	Units	Test Conditions
15	Signal Output Overload Level						% THD< 5%
	at 2-wire		4.0			dBm	Ref. 600Ω
	at TX		4.0			dBm	Ref. 600Ω
16	Total Harmonic Distortion	THD					Input 0.5V, 1kHz
	at 2-Wire			1.0		%	
	at TX			1.0		%	
17	Idle Channel Noise	Nc					
	at 2-Wire				13	dBmC	
	at Tx				13	dBmC	
18	Power Supply Rejection Ratio	PSRR					Ripple 0.1V, 1kHz
	at 2-Wire and TX						
	V_{DD}		20	30		dB	
	V_{EE}		20	30		dB	
19	On-Hook Transmit Gain,						Input 0.5V
	(TX/2-Wire)						
	Default Gain (0dB		-1		1	dB	1kHz
	Programmable Range		-12		6	dB	1kHz
	On-Hook frequency Response		-3		1	dB	200 Hz
	Gain (relative to gain to 1kHz)		-1		1	dB	3400 Hz

* Typical figure are at 25°C with nominal ±5V supplies and are for design aid only.
† AC Electrical Characteristics are over recommended operating conditions unless otherwise stated.
①Impedance set by external network of 600Ω or 900Ω default.
②External network for test purposes consists of 2200Ω + 8200Ω // 11.5nF between pins Z1 and Z2, the equivalent Zin has 1/10th the impedance and is equivalent o 220Ω+820Ω // 115nF
③Test condition uses a Z_{in} value of 600Ω, 900Ω and the above external network.
④Test conditions use a transmit and receive gain set to 0dB default and a Z_{in} value of 600Ω unless otherwise stated.
Notes:
Test conditions use a transmit and receive gain set to 0dB default and a Z_{in} value of 600W unless otherwise stated.
Test conditions uses both the off-hook state (LRC=+5VDC) and the on-hook state (LRC=AGND)
"Ref" indicates reference impedance which is equivalent to the termination impedance.
"Net" indicates network balance impedance

Tables 1 & 2: Transmit and Receive Gain Programming

Transmit Gain (dB)	RTX Resistor Value (Ω)	Notes
+6.0	No Resistor	
+4.0	38.3k	Results in 0dB overall gain when used with Mitel A-law codec (i.e. MT8965)
+3.7	32.4k	Results in 0dB overall gain when used with Mitel μ-law codec (i.e. MT8964)
0.0	GTX0 to GTX1	
-3.0	5.49k	
-6.0	3.32k	
-12.0	1.43k	
Receive Gain (dB)	**RRX Resistor Value (Ω)**	**Notes**
+6.0	No Resistor	
0.0	GRX0 to GRX1	
-3.0	5.49k	
-3.7	4.87k	Results in 0dB overall gain when used with Mitel A-law codec (i.e. MT8965)
-4.0	4.64k	Results in 0dB overall gain when used with Mitel μ-law codec (i.e. MT8964)
-6.0	3.32k	
-12.0	1.43k	

Note 1: See Figures 3 and 4 for additional details.
Note 2: Overall gain refers to the receive path of PCM to 2-wire, and transmit path of 2-wire to PCM.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

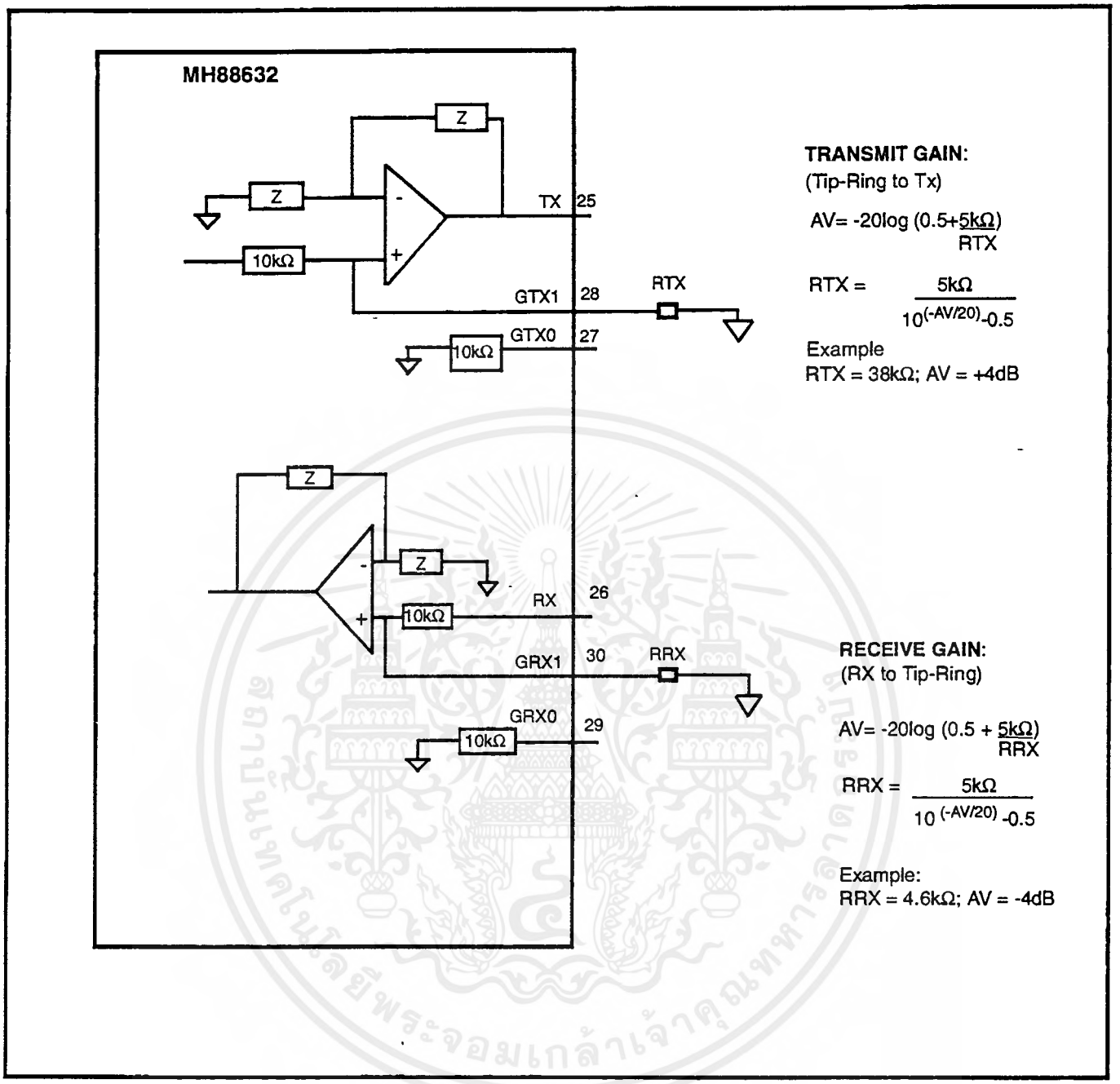
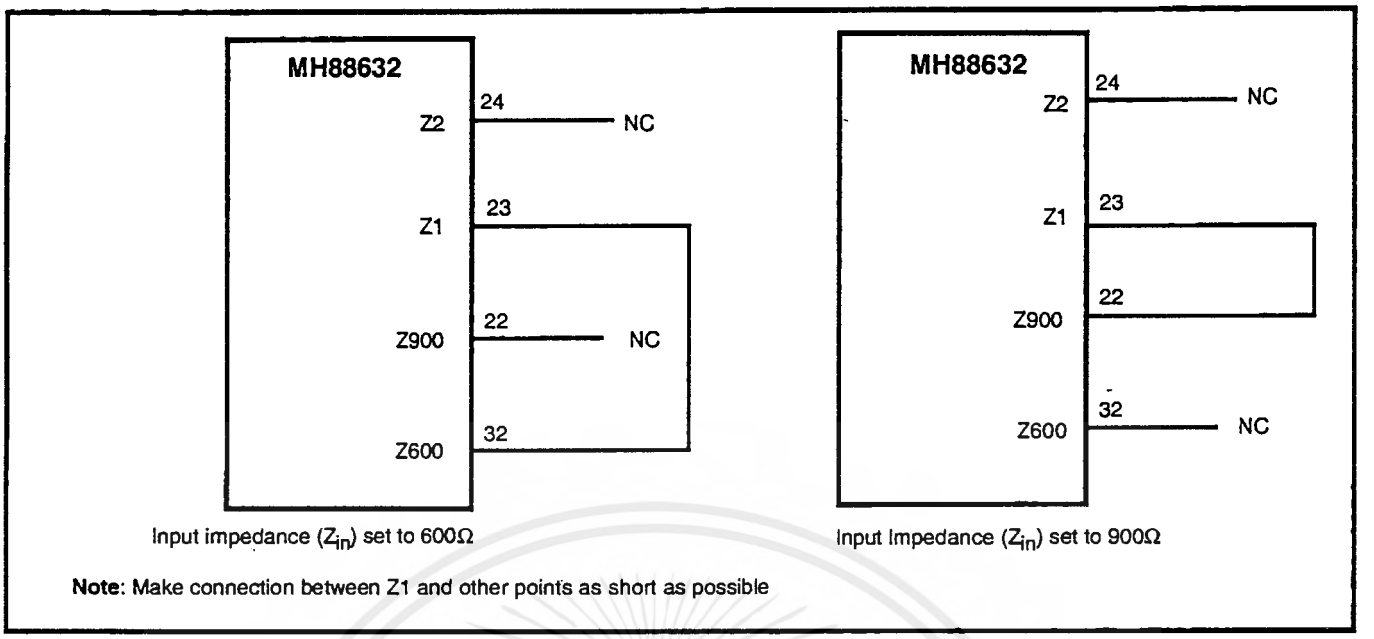


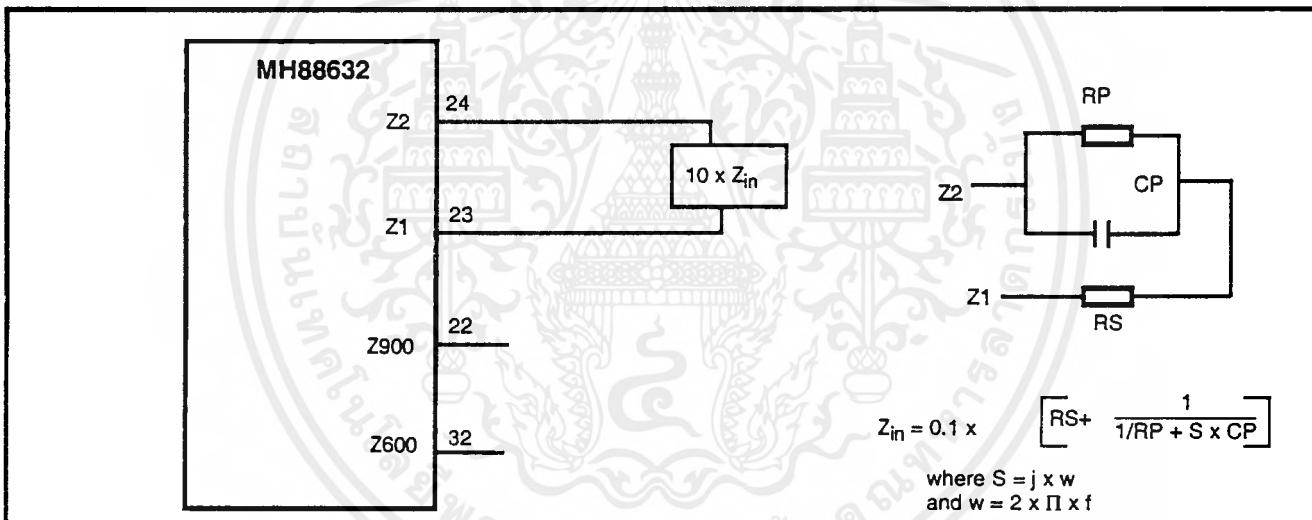
Figure 3 - Gain Programming with External Components

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Note: Make connection between Z1 and other points as short as possible

Figure 4 - Input Impedance (Z_{in}) Settings with Z_{in} equal to 600 or 900Ω

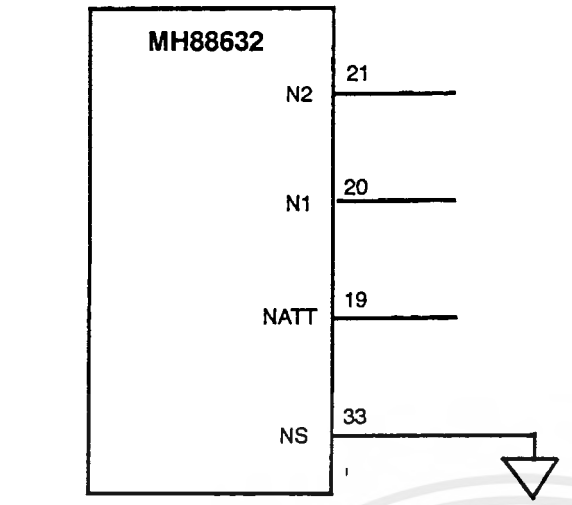


Notes:
1) The 10xZ_{in} network must be set to 10 x the desired input impedance (Z_{in}).
2) The network balance must be set to the desired network balance. (See section on network balance.)
3) Make connection between Z1 and component as short as possible.

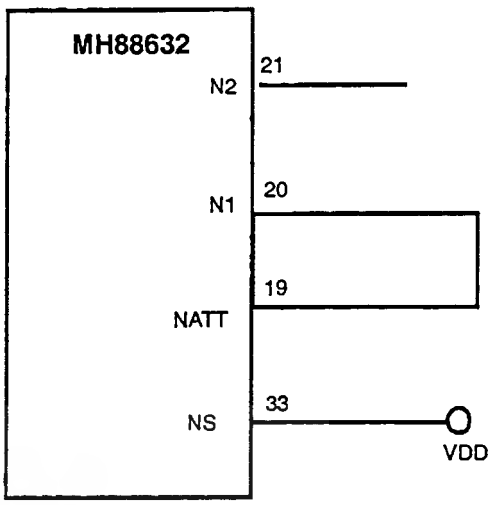
Example:
If RS = 2200Ω, RP = 8200Ω, CP= 11.5nf
Then the input impedance (Z_{in}) is 220Ω in series with 820Ω in parallel with 115nF.

Figure 5 - Input Impedance (Z_{in}) Settings with Z_{in} not equal to 600 to 900Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



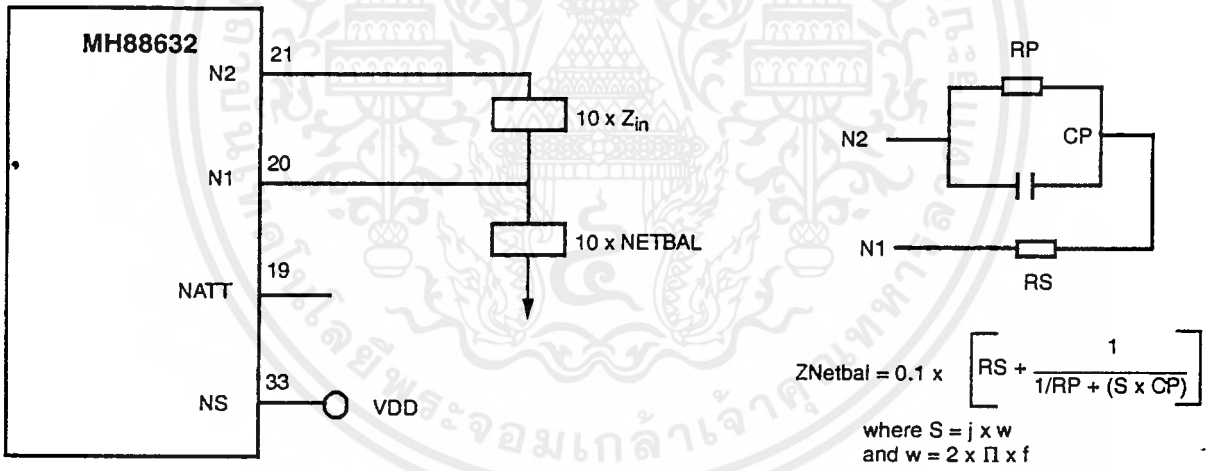
Network balance is set to the input Impedance (Z_{in})



Network balance is set to the AT&T compromise network (350Ω + 1000Ω // 210nF) impedance. The input impedance must be set to 600Ω.

Note: Make connection between Z1 and other points as short as possible

Figure 6 - Network Balance Setting with NETBAL equal to Z_{in} or AT&T



Notes:

1) The 10xZ_{in} network must be set to 10 x the desired input impedance (Z_{in}).
2) The network balance must be set to the desired network balance. See section on network balance.
3) Make connection between Z1 and component as short as possible.

Example:

If RS = 2200Ω, RP = 8200Ω, CP= 11.5nf
Then the input impedance (ZNetbal) is 220Ω in series with 820Ω in parallel with 115nF.

Figure 7 - Network Balance Setting with NETBAL not equal to Z_{in} or AT&T

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 3: Input Impedance Settings

Z2	Z1	Z600	Z900	Resulting input impedance (Z_{in})
NA	Connect Z1 to Z600		NA	600Ω
NA	Connect Z1 to Z9000	NA	Connect Z1 to Z900	900Ω
Connect network from Z1 to Z2		NA	NA	0.1 x impedance between Z1 & Z2

Note 1: NA indicates high impedance (10kΩ) connection to this pin does not effect the resulting network balance.
Note 2: See Figure 4 & 5 for Applications Circuits

Table 4: Network Balance Settings.

NS (Input)	N2	N1	NATT	Resulting input impedance (Z_{in})
Low	NA	NA	NA	Equivalent to Z_{in}
High	NA	Connect N1 to NATT		AT&T compromise (350Ω + 1kΩ // 210nF) Zin must be 600Ω
High	Connect network from N1 to AGND equivalent to 10 x NETBAL. Connect network from N1 to N2 equivalent to 10 x Z_{in}.		NA	0.1 x impedance between N1 & N2

Note 1: NA indicates high impedance (10kΩ) connection to this pin does not effect the resulting network balance.
Note 2:Low indicates Logic Low.
Note 3: See Figures 6 and 7 for Application Circuit.

Table 5: Control Decode Table

Loop Status	Loop Condition	LRC (Input)	$\overline{FL}$ (Output)	$\overline{RL}$ (Output)
Forward Battery	VT-VR > 40 V	Low	Low	High
Forward Current	VT-VR > 3.4 V	High	Low	High
Reverse Battery	VR-VT > 40V	Low	High	Low
Forward Current	VR-VT > 3.4 V	High	High	Low
No Battery	IVT-VRI > 1.0 V	Low	High	High
No Current	IVT-VRI > 10 V	High	High	High
Not Valid	No Condition	High or Low	Low	Low

Note 1: VT - VR = Differential voltage from Tip to Ring VR - VT = Differential voltage from Ring to Tip
Note 2: Low indicates Logic Low. High indicates logic High.
Note 3: See Figures 8 & 10 for Application Circuit.

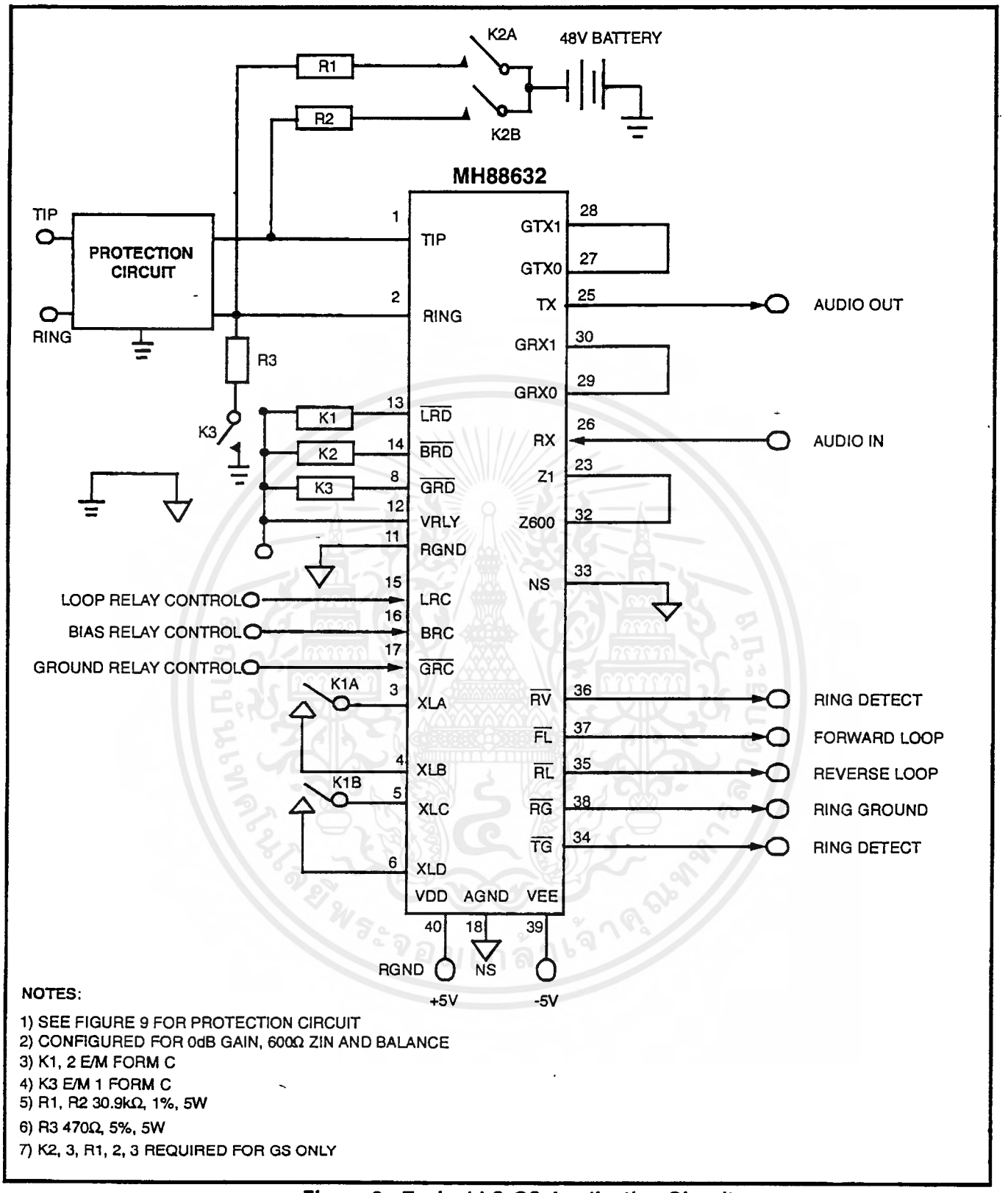
Table 6: Loop Current Setting

Loop Status	Loop Condition	$\overline{RG}$ (Output)	$\overline{TG}$ (Output)
Ring and Tip open	VT-VG > -14 V VR-VG < -14V	High	High
Ring Ground and Tip Open	VR-VG > -12 V VT-VG < -14V	Low	High
Tip Ground and Ring Open	VT-VG > -12 V VR-VG < -14V	High	Low
Ring and Tip Ground	VR-VG > -12 V VT-VG < -12V	Low	Low

Note 1: VT - VR = Differential voltage from Tip to Ring VR - VT = Differential voltage from Ring to AGND

Note 3:Low indicates Logic Low. High indicates logic High.
Note 4: See Figure 8 for Application Circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

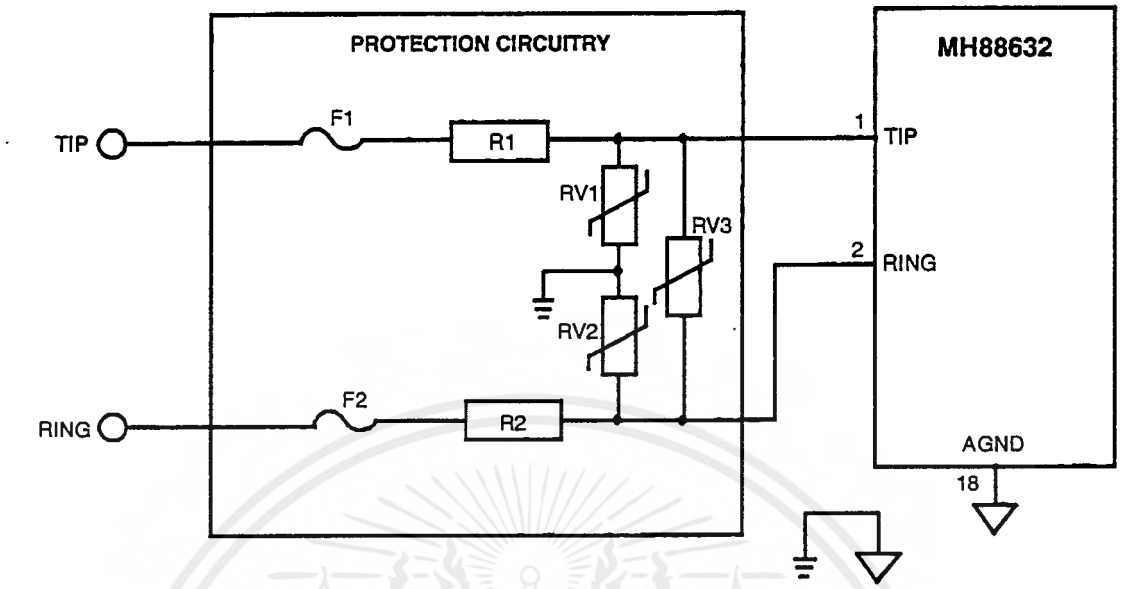


NOTES:

1) SEE FIGURE 9 FOR PROTECTION CIRCUIT
2) CONFIGURED FOR 0dB GAIN, 600Ω ZIN AND BALANCE
3) K1, 2 E/M FORM C
4) K3 E/M 1 FORM C
5) R1, R2 30.9kΩ, 1%, 5W
6) R3 470Ω, 5%, 5W
7) K2, 3, R1, 2, 3 REQUIRED FOR GS ONLY

Figure 8 - Typical LS-GS Application Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Notes:

1) F1, 2 1AMP, 250VAC, SLOW-BLOW LITTLEFUSE 230 2AG

2) R1, 2, 2.4Ω 5% 1/2W 350V, FLAME RATED RESISTOR i.e, ALLEN BRADLEY EB24G5, DALE/VISHAY LCA 0411NE 2.4Ω 5%

3) RV1, 2, 3, 250VAC, 35J, METAL OXIDE VARISTOR i.e., HARRIS, V250LA10, OHIZUMI 0250NC12D

Figure 9 - External Protection Applications Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

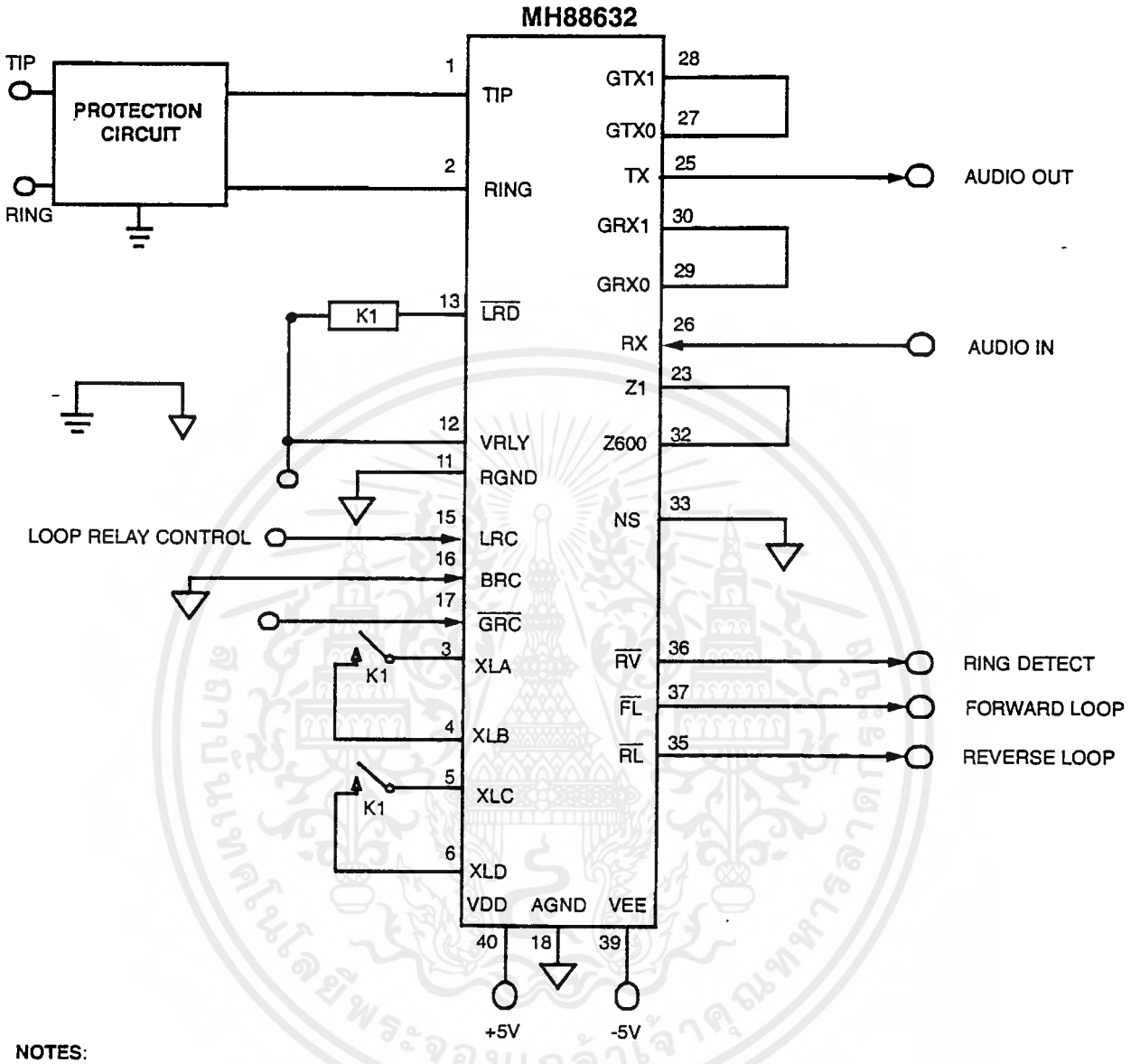
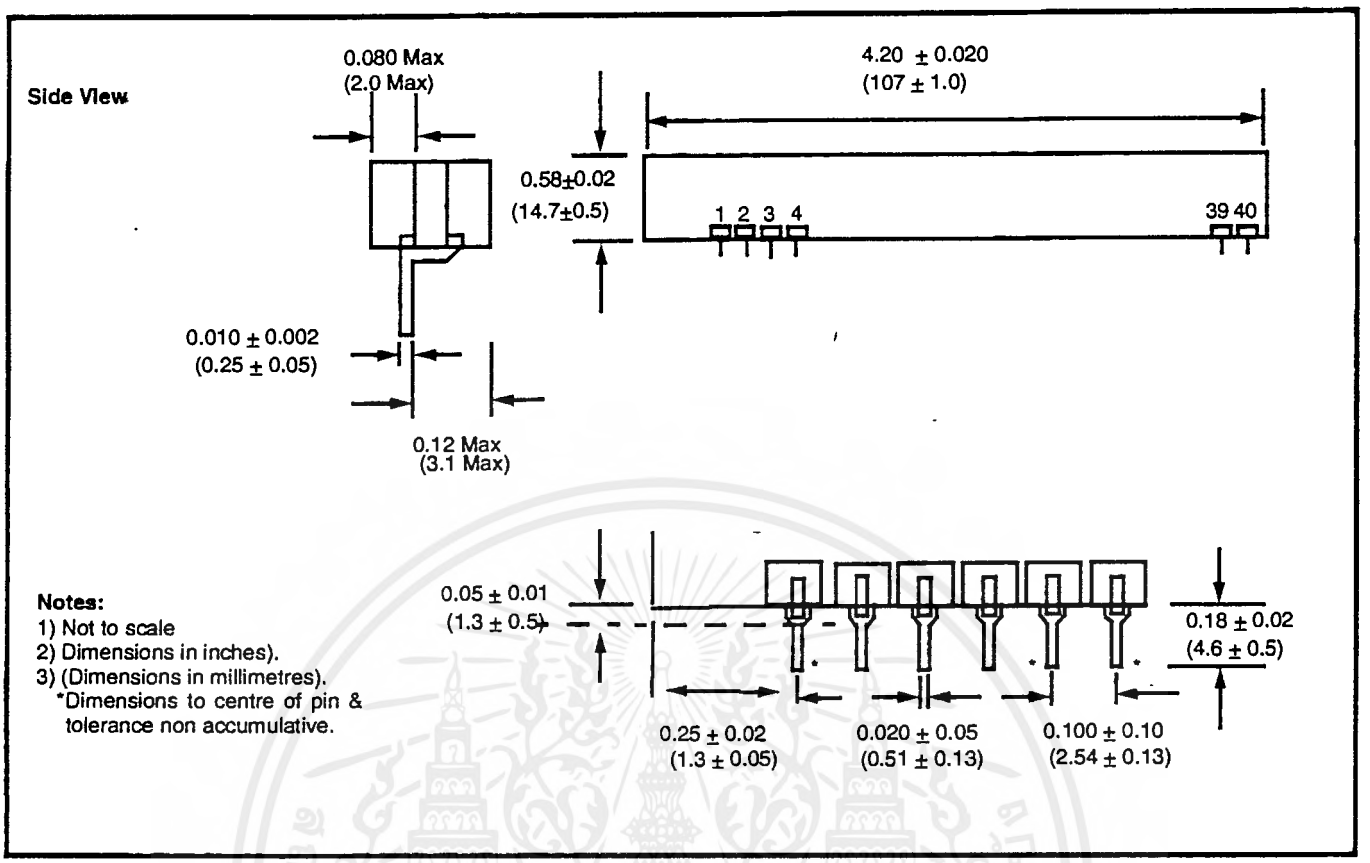


Figure 10 - Typical LS Application Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Notes:
1) Not to scale
2) Dimensions in inches).
3) (Dimensions in millimetres).
*Dimensions to centre of pin & tolerance non accumulative.

Figure 11 - Mechanical Data

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MITEL®

ISO²-CMOS MT8870D/MT8870D-1
Integrated DTMF Receiver

ISSUE 4 August 1996

Features

- Complete DTMF Receiver
- Low power consumption
- Internal gain setting amplifier
- Adjustable guard time
- Central office quality
- Power-down mode
- Inhibit mode
- Backward compatible with MT8870C/MT8870C-1

Applications

- Receiver system for British Telecom (BT) or CEPT Spec (MT8870D-1)
- Paging systems
- Repeater systems/mobile radio
- Credit card systems
- Remote control
- Personal computers
- Telephone answering machine

Ordering Information

MT8870DE/DE-1	18 Pin Plastic DIP
MT8870DC/DC-1	18 Pin Ceramic DIP
MT8870DS/DS-1	18 Pin SOIC
MT8870DN/DN-1	20 Pin SSOP

-40 °C to +85 °C

Description

The MT8870D/MT8870D-1 is a complete DTMF receiver integrating both the bandsplit filter and digital decoder functions. The filter section uses switched capacitor techniques for high and low group filters; the decoder uses digital counting techniques to detect and decode all 16 DTMF tone-pairs into a 4-bit code. External component count is minimized by on chip provision of a differential input amplifier, clock oscillator and latched three-state bus interface.

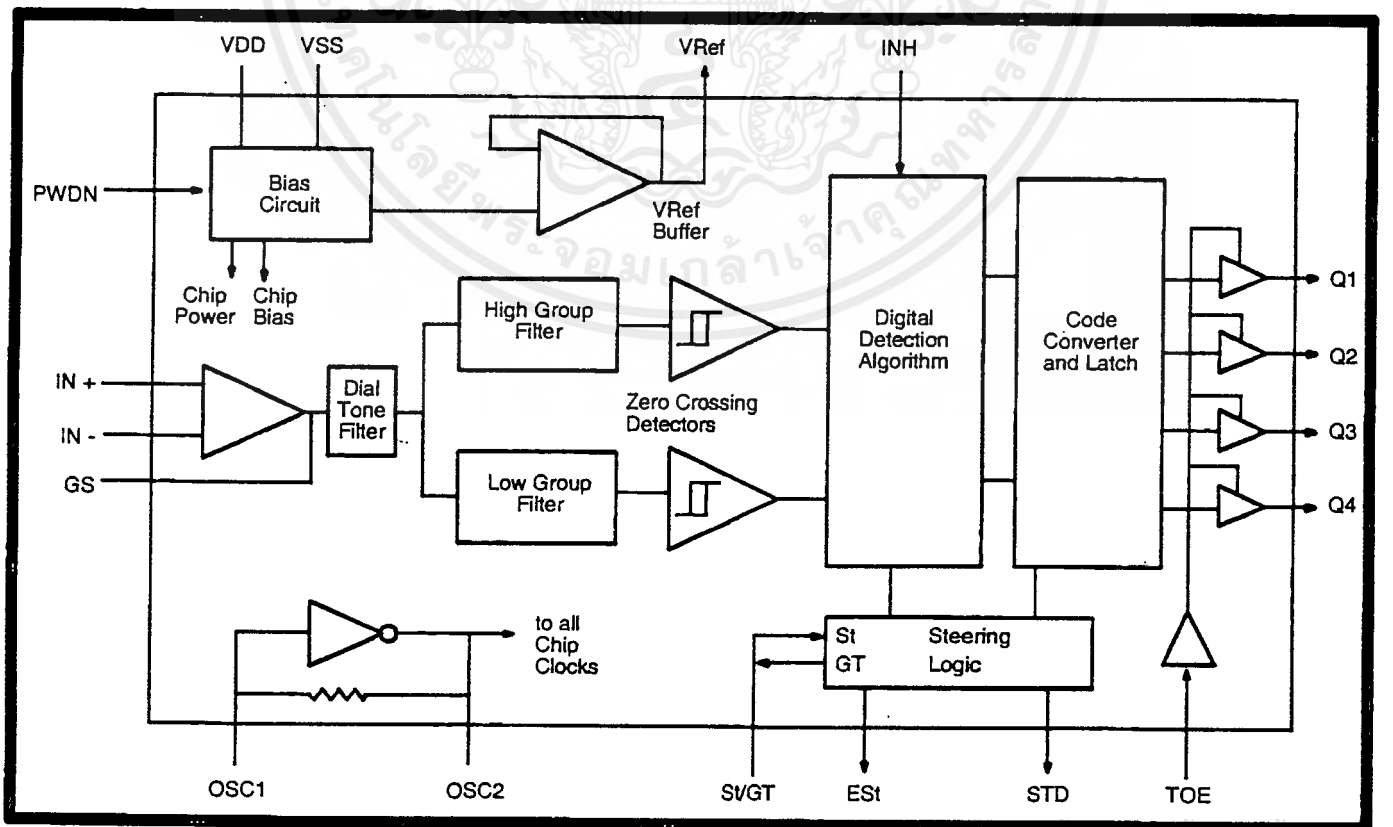
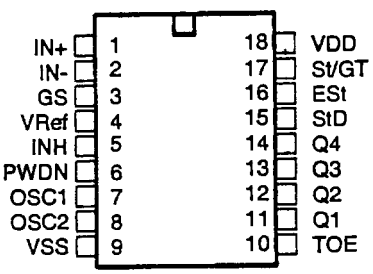
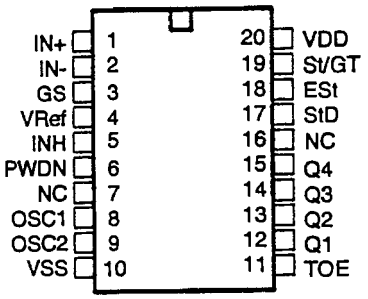


Figure 1 - Functional Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



18 PIN CERDIP/PLASTIC DIP/SOIC



20 PIN SSOP

Figure 2 - Pin Connections

Pin Description

Pin #		Name	Description
18	20		
1	1	IN+	**Non-Inverting Op-Amp (Input).**
2	2	IN-	**Inverting Op-Amp (Input).**
3	3	GS	**Gain Select.** Gives access to output of front end differential amplifier for connection of feedback resistor.
4	4	V_{Ref}	**Reference Voltage (Output).** Nominally $V_{DD}/2$ is used to bias inputs at mid-rail (see Fig. 6 and Fig. 10).
5	5	INH	**Inhibit (Input).** Logic high inhibits the detection of tones representing characters A, B, C and D. This pin input is internally pulled down.
6	6	PWDN	**Power Down (Input).** Active high. Powers down the device and inhibits the oscillator. This pin input is internally pulled down.
7	8	OSC1	**Clock (Input).**
8	9	OSC2	**Clock (Output).** A 3.579545 MHz crystal connected between pins OSC1 and OSC2 completes the internal oscillator circuit.
9	10	V_{SS}	**Ground (Input).** 0V typical.
10	11	TOE	**Three State Output Enable (Input).** Logic high enables the outputs Q1-Q4. This pin is pulled up internally.
11-14	12-15	Q1-Q4	**Three State Data (Output).** When enabled by TOE, provide the code corresponding to the last valid tone-pair received (see Table 1). When TOE is logic low, the data outputs are high impedance.
15	17	StD	**Delayed Steering (Output).** Presents a logic high when a received tone-pair has been registered and the output latch updated; returns to logic low when the voltage on St/GT falls below V_{TSt}.
16	18	ESt	**Early Steering (Output).** Presents a logic high once the digital algorithm has detected a valid tone pair (signal condition). Any momentary loss of signal condition will cause ESt to return to a logic low.
17	19	St/GT	**Steering Input/Guard time (Output) Bidirectional.** A voltage greater than V_{TSt} detected at St causes the device to register the detected tone pair and update the output latch. A voltage less than V_{TSt} frees the device to accept a new tone pair. The GT output acts to reset the external steering time-constant; its state is a function of ESt and the voltage on St.
18	20	V_{DD}	**Positive power supply (Input).** +5V typical.
	7, 16	NC	No Connection.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

The MT8870D/MT8870D-1 monolithic DTMF receiver offers small size, low power consumption and high performance. Its architecture consists of a bandsplit filter section, which separates the high and low group tones, followed by a digital counting section which verifies the frequency and duration of the received tones before passing the corresponding code to the output bus.

Filter Section

Separation of the low-group and high group tones is achieved by applying the DTMF signal to the inputs of two sixth-order switched capacitor bandpass filters, the bandwidths of which correspond to the low and high group frequencies. The filter section also incorporates notches at 350 and 440 Hz for exceptional dial tone rejection (see Figure 3). Each filter output is followed by a single order switched capacitor filter section which smooths the signals prior to limiting. Limiting is performed by high-gain comparators which are provided with hysteresis to prevent detection of unwanted low-level signals. The outputs of the comparators provide full rail logic swings at the frequencies of the incoming DTMF signals.

Decoder Section

Following the filter section is a decoder employing digital counting techniques to determine the frequencies of the incoming tones and to verify that they correspond to standard DTMF frequencies. A complex averaging algorithm protects against tone simulation by extraneous signals such as voice while

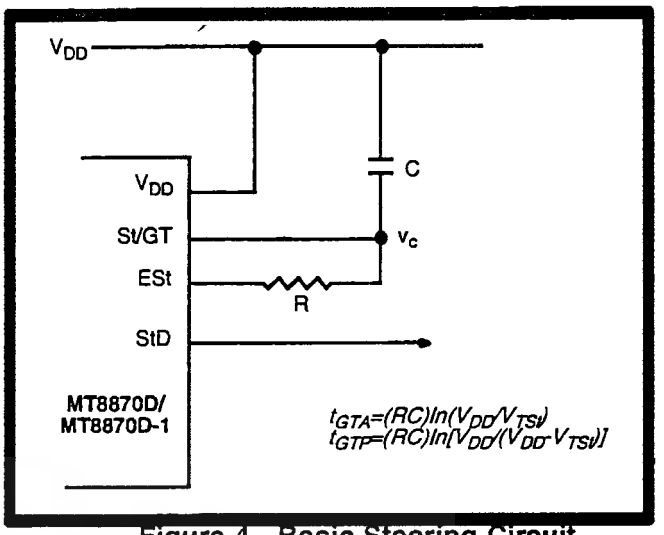


Figure 4 - Basic Steering Circuit

providing tolerance to small frequency deviations and variations. This averaging algorithm has been developed to ensure an optimum combination of immunity to talk-off and tolerance to the presence of interfering frequencies (third tones) and noise. When the detector recognizes the presence of two valid tones (this is referred to as the "signal condition" in some industry specifications) the "Early Steering" (ESt) output will go to an active state. Any subsequent loss of signal condition will cause ESt to assume an inactive state (see "Steering Circuit").

Steering Circuit

Before registration of a decoded tone pair, the receiver checks for a valid signal duration (referred to as character recognition condition). This check is performed by an external RC time constant driven by ESt. A logic high on ESt causes v_c (see Figure 4) to rise as the capacitor discharges. Provided signal

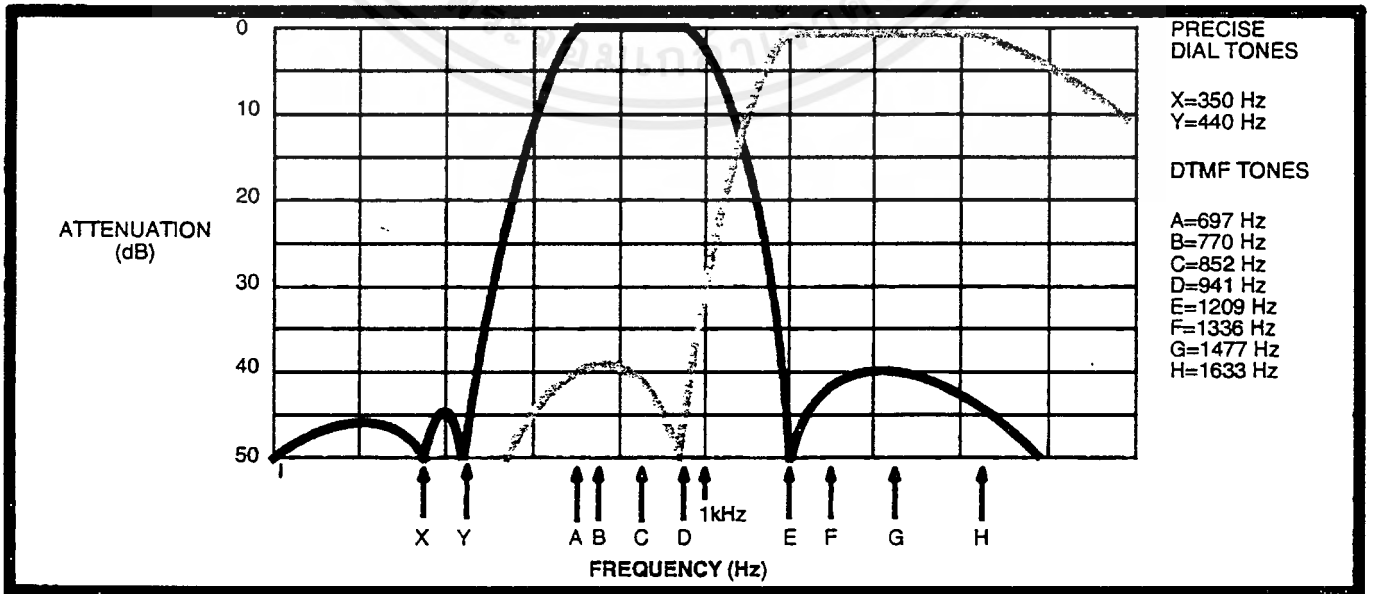


Figure 3 - Filter Response

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

condition is maintained (ESt remains high) for the validation period (t_{GTP}), v_c reaches the threshold (V_{TSt}) of the steering logic to register the tone pair, latching its corresponding 4-bit code (see Table 1) into the output latch. At this point the GT output is activated and drives v_c to V_{DD}. GT continues to drive high as long as ESt remains high. Finally, after a short delay to allow the output latch to settle, the delayed steering output flag (StD) goes high, signalling that a received tone pair has been registered. The contents of the output latch are made available on the 4-bit output bus by raising the three state control input (TOE) to a logic high. The steering circuit works in reverse to validate the interdigit pause between signals. Thus, as well as rejecting signals too short to be considered valid, the receiver will tolerate signal interruptions (dropout) too short to be considered a valid pause. This facility, together with the capability of selecting the steering time constants externally, allows the designer to tailor performance to meet a wide variety of system requirements.

Guard Time Adjustment

In many situations not requiring selection of tone duration and interdigital pause, the simple steering circuit shown in Figure 4 is applicable. Component values are chosen according to the formula:

$$t_{REC}=t_{DP}+t_{GTP}$$
$$t_{ID}=t_{DA}+t_{GTA}$$

The value of t_{DP} is a device parameter (see Figure 11) and t_{REC} is the minimum signal duration to be recognized by the receiver. A value for C of 0.1 µF is recommended for most applications, leaving R to be selected by the designer.

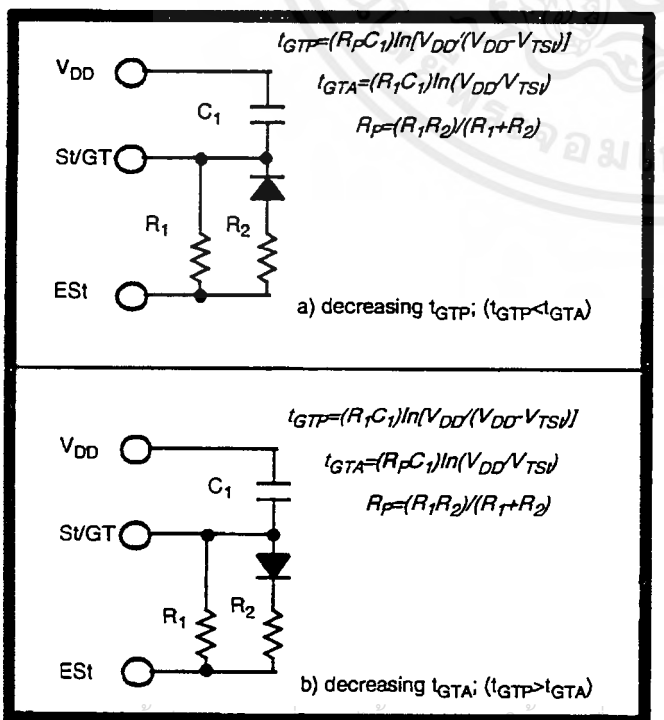


Figure 5 - Guard Time Adjustment

Digit	TOE	INH	ESt	Q_4	Q_3	Q_2	Q_1
ANY	L	X	H	Z	Z	Z	Z
1	H	X	H	0	0	0	1
2	H	X	H	0	0	1	0
3	H	X	H	0	0	1	1
4	H	X	H	0	1	0	0
5	H	X	H	0	1	0	1
6	H	X	H	0	1	1	0
7	H	X	H	0	1	1	1
8	H	X	H	1	0	0	0
9	H	X	H	1	0	0	1
0	H	X	H	1	0	1	0
*	H	X	H	1	0	1	1
#	H	X	H	1	1	0	0
A	H	L	H	1	1	0	1
B	H	L	H	1	1	1	0
C	H	L	H	1	1	1	1
D	H	L	H	0	0	0	0
A	H	H	L	undetected, the output code will remain the same as the previous detected code			
B	H	H	L				
C	H	H	L				
D	H	H	L				

Table 1. Functional Decode Table

L=LOGIC LOW, H=LOGIC HIGH, Z=HIGH IMPEDANCE
X = DON'T CARE

Different steering arrangements may be used to select independently the guard times for tone present (t_{GTP}) and tone absent (t_{GTA}). This may be necessary to meet system specifications which place both accept and reject limits on both tone duration and interdigital pause. Guard time adjustment also allows the designer to tailor system parameters such as talk off and noise immunity. Increasing t_{REC} improves talk-off performance since it reduces the probability that tones simulated by speech will maintain signal condition long enough to be registered. Alternatively, a relatively short t_{REC} with a long t_{DO} would be appropriate for extremely noisy environments where fast acquisition time and immunity to tone drop-outs are required. Design information for guard time adjustment is shown in Figure 5.

เอกสารนี้สงวนไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Power-down and Inhibit Mode

A logic high applied to pin 6 (PWDN) will power down the device to minimize the power consumption in a standby mode. It stops the oscillator and the functions of the filters.

Inhibit mode is enabled by a logic high input to the pin 5 (INH). It inhibits the detection of tones representing characters A, B, C, and D. The output code will remain the same as the previous detected code (see Table 1).

Differential Input Configuration

The input arrangement of the MT8870D/MT8870D-1 provides a differential-input operational amplifier as well as a bias source (V_{Ref}) which is used to bias the inputs at mid-rail. Provision is made for connection of a feedback resistor to the op-amp output (GS) for adjustment of gain. In a single-ended configuration, the input pins are connected as shown in Figure 10 with the op-amp connected for unity gain and V_{Ref} biasing the input at $^1/_2V_{DD}$. Figure 6 shows the differential configuration, which permits the adjustment of gain with the feedback resistor R_5.

Crystal Oscillator

The internal clock circuit is completed with the addition of an external 3.579545 MHz crystal and is normally connected as shown in Figure 10 (Single-Ended Input Configuration). However, it is possible to configure several MT8870D/MT8870D-1 devices employing only a single oscillator crystal. The oscillator output of the first device in the chain is coupled through a 30 pF capacitor to the oscillator input (OSC1) of the next device. Subsequent devices are connected in a similar fashion. Refer to Figure 7 for details. The problems associated with unbalanced loading are not a concern with the arrangement shown, i.e., precision balancing capacitors are not required.

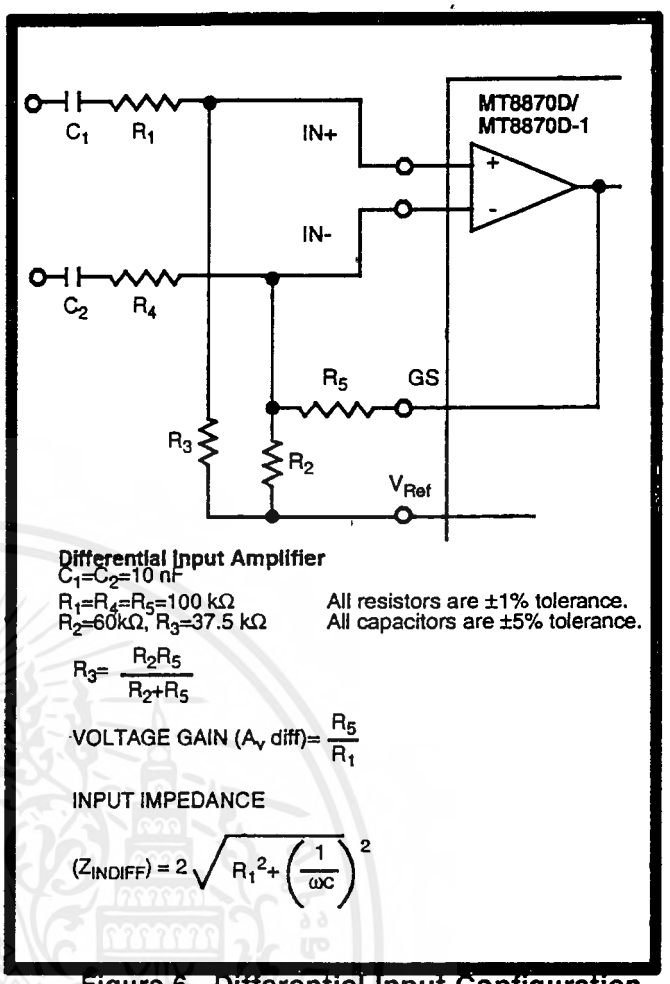


Figure 6 - Differential Input Configuration

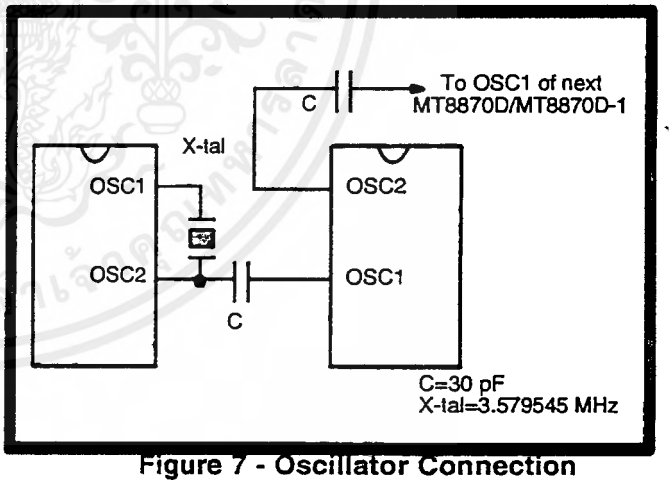


Figure 7 - Oscillator Connection

Parameter	Unit	Resonator
R1	Ohms	10.752
L1	mH	.432
C1	pF	4.984
C0	pF	37.915
Qm	-	896.37
Δf	%	±0.2%

Table 2. Recommended Resonator Specifications

Note: Qm=quality factor of RLC model, i.e., $1/2\Pi fR1C1$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications

RECEIVER SYSTEM FOR BRITISH TELECOM SPEC POR 1151

The circuit shown in Fig. 9 illustrates the use of MT8870D-1 device in a typical receiver system. BT Spec defines the input signals less than -34 dBm as the non-operate level. This condition can be attained by choosing a suitable values of R_1 and R_2 to provide 3 dB attenuation, such that -34 dBm input signal will correspond to -37 dBm at the gain setting pin GS of MT8870D-1. As shown in the diagram, the component values of R_3 and C_2 are the guard time requirements when the total component tolerance is 6%. For better performance, it is recommended to use the non-symmetric guard time circuit in Fig. 8.

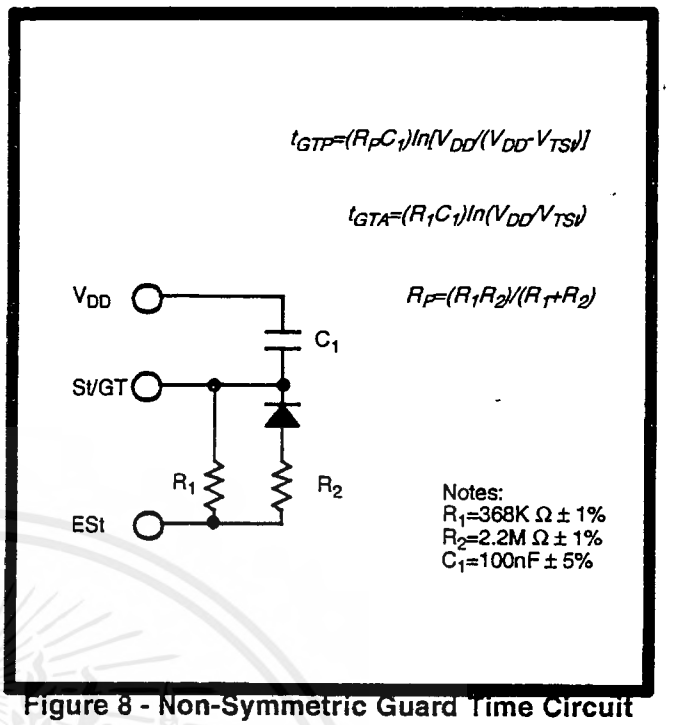


Figure 8 - Non-Symmetric Guard Time Circuit

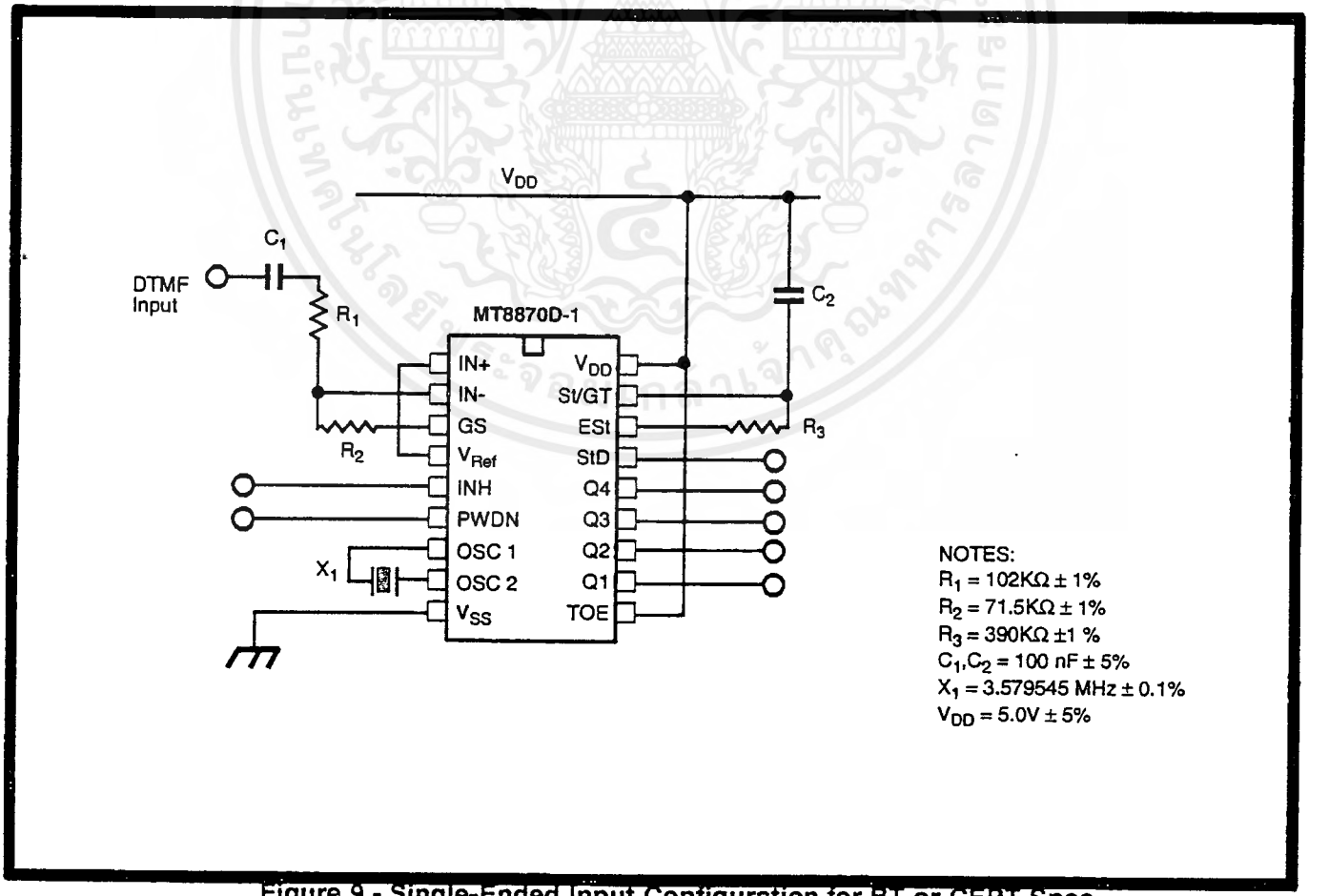


Figure 9 - Single-Ended Input Configuration for BT or CEPT Spec

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings†

	Parameter	Symbol	Min	Max	Units
1	DC Power Supply Voltage	V_{DD}		7	V
2	Voltage on any pin	V_I	V_{SS}-0.3	V_{DD}+0.3	V
3	Current at any pin (other than supply)	I_I		10	mA
4	Storage temperature	T_{STG}	-65	+150	°C
5	Package power dissipation	P_D		500	mW

† Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied.
Derate above 75 °C at 16 mW / °C. All leads soldered to board.

Recommended Operating Conditions - Voltages are with respect to ground (V_{SS}) unless otherwise stated.

	Parameter	Sym	Min	Typ‡	Max	Units	Test Conditions
1	DC Power Supply Voltage	V_{DD}	4.75	5.0	5.25	V	
2	Operating Temperature	T_O	-40		+85	°C	
3	Crystal/Clock Frequency	fc		3.579545		MHz	
4	Crystal/Clock Freq.Tolerance	Δfc		±0.1		%	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

DC Electrical Characteristics - V_{DD}=5.0V± 5%, V_{SS}=0V, -40°C ≤ T_O ≤ +85°C, unless otherwise stated.

		Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	SUPPLY	Standby supply current	I_{DDQ}		10	25	µA	PWDN=V_{DD}
2		Operating supply current	I_{DD}		3.0	9.0	mA	
3		Power consumption	P_O		15		mW	fc=3.579545 MHz
4	INPUTS	High level input	V_{IH}	3.5			V	V_{DD}=5.0V
5		Low level input voltage	V_{IL}			1.5	V	V_{DD}=5.0V
6		Input leakage current	I_{IH}/I_{IL}		0.1		µA	$V_{IN}=V_{SS}$ or V_{DD}
7		Pull up (source) current	I_{SO}		7.5	20	µA	TOE (pin 10)=0, V_{DD}=5.0V
8		Pull down (sink) current	I_{SI}		15	45	µA	INH=5.0V, PWDN=5.0V, V_{DD}=5.0V
9		Input impedance (IN+, IN-)	R_{IN}		10		MΩ	@ 1 kHz
10		Steering threshold voltage	V_{TSt}	2.2	2.4	2.5	V	V_{DD} = 5.0V
11	OUTPUTS	Low level output voltage	V_{OL}			V_{SS}+0.03	V	No load
12		High level output voltage	V_{OH}	V_{DD}-0.03			V	No load
13		Output low (sink) current	I_{OL}	1.0	2.5		mA	V_{OUT}=0.4 V
14		Output high (source) current	I_{OH}	0.4	0.8		mA	V_{OUT}=4.6 V
15		V_{Ref} output voltage	V_{Ref}	2.3	2.5	2.7	V	No load, V_{DD} = 5.0V
16		V_{Ref} output resistance	R_{OR}		1		kΩ	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Operating Characteristics - V_{DD}=5.0V±5%, V_{SS}=0V, -40°C ≤ T_O ≤ +85°C ,unless otherwise stated.

Gain Setting Amplifier

	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Input leakage current	I_{IN}			100	nA	$V_{SS} \le V_{IN} \le V_{DD}$
2	Input resistance	R_{IN}	10			MΩ	
3	Input offset voltage	V_{OS}			25	mV	
4	Power supply rejection	PSRR	50			dB	1 kHz
5	Common mode rejection	CMRR	40			dB	0.75 V ≤ V_{IN} ≤ 4.25 V biased at V_{Ref} =2.5 V
6	DC open loop voltage gain	A_{VOL}	32			dB	
7	Unity gain bandwidth	f_C	0.30			MHz	
8	Output voltage swing	V_O	4.0			V_{pp}	Load ≥ 100 kΩ to V_{SS} @ GS
9	Maximum capacitive load (GS)	C_L			100	pF	
10	Resistive load (GS)	R_L			50	kΩ	
11	Common mode range	V_{CM}	2.5			V_{pp}	No Load

MT8870D AC Electrical Characteristics - V_{DD}=5.0V ±5%, V_{SS}=0V, -40°C ≤ T_O ≤ +85°C , using Test Circuit shown in Figure 10.

	Characteristics	Sym	Min	Typ‡	Max	Units	Notes*
1	Valid input signal levels (each tone of composite signal)		-29		+1	dBm	1,2,3,5,6,9
			27.5		869	mV_{RMS}	1,2,3,5,6;9
2	Negative twist accept				8	dB	2,3,6,9,12
3	Positive twist accept				8	dB	2,3,6,9,12
4	Frequency deviation accept		±1.5% ± 2 Hz				2,3,5,9
5	Frequency deviation reject		±3.5%				2,3,5,9
6	Third tone tolerance			-16		dB	2,3,4,5,9,10
7	Noise tolerance			-12		dB	2,3,4,5,7,9,10
8	Dial tone tolerance			+22		dB	2,3,4,5,8,9,11

‡ Typical figures are at 25 °C and are for design aid only: not guaranteed and not subject to production testing.

*NOTES
1. dBm= decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones.
3. Tone duration= 40 ms, tone pause= 40 ms.
4. Signal condition consists of nominal DTMF frequencies.
5. Both tones in composite signal have an equal amplitude.
6. Tone pair is deviated by ±1.5 %± 2 Hz.
7. Bandwidth limited (3 kHz) Gaussian noise.
8. The precise dial tone frequencies are (350 Hz and 440 Hz) ± 2 %.
9. For an error rate of better than 1 in 10,000.
10. Referenced to lowest level frequency component in DTMF signal.
11. Referenced to the minimum valid accept level.
12. Guaranteed by design and characterization.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MT8870D-1 AC Electrical Characteristics - V_{DD}=5.0V±5%, V_{SS}=0V, -40°C ≤ T_O ≤ +85°C , using Test Circuit shown in Figure 10.

	Characteristics	Sym	Min	Typ‡	Max	Units	Notes*
1	Valid input signal levels (each tone of composite signal)		-31		+1	dBm	Tested at V_{DD}=5.0V 1,2,3,5,6,9
			21.8		869	mV_{RMS}	
2	Input Signal Level Reject		-37			dBm	Tested at V_{DD}=5.0V 1,2,3,5,6,9
			10.9			mV_{RMS}	
3	Negative twist accept				8	dB	2,3,6,9,13
4	Positive twist accept				8	dB	2,3,6,9,13
5	Frequency deviation accept		±1.5%± 2 Hz				2,3,5,9
6	Frequency deviation reject		±3.5%				2,3,5,9
7	Third zone tolerance			-18.5		dB	2,3,4,5,9,12
8	Noise tolerance			-12		dB	2,3,4,5,7,9,10
9	Dial tone tolerance			+22		dB	2,3,4,5,8,9,11

‡ Typical figures are at 25 °C and are for design aid only: not guaranteed and not subject to production testing.

*NOTES
1. dBm= decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones.
3. Tone duration= 40 ms, tone pause= 40 ms.
4. Signal condition consists of nominal DTMF frequencies.
5. Both tones in composite signal have an equal amplitude.
6. Tone pair is deviated by ±1.5 %± 2 Hz.
7. Bandwidth limited (3 kHz) Gaussian noise.
8. The precise dial tone frequencies are (350 Hz and 440 Hz) ± 2 %.
9. For an error rate of better than 1 in 10,000.
10. Referenced to lowest level frequency component in DTMF signal.
11. Referenced to the minimum valid accept level.
12. Referenced to Fig. 10 input DTMF tone level at -25dBm (-28dBm at GS Pin) interference frequency range between 480-3400Hz.
13. Guaranteed by design and characterization.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics - V_{DD}=5.0V±5%, V_{SS}=0V, -40°C ≤ To ≤ +85°C , using Test Circuit shown in Figure 10.

		Characteristics	Sym	Min	Typ‡	Max	Units	Conditions
1	TIMING	Tone present detect time	t_{DP}	5	11	14	ms	Note 1
2		Tone absent detect time	t_{DA}	0.5	4	8.5	ms	Note 1
3		Tone duration accept	t_{REC}			40	ms	Note 2
4		Tone duration reject	$t_{\overline{REC}}$	20			ms	Note 2
5		Interdigit pause accept	t_{ID}			40	ms	Note 2
6		Interdigit pause reject	t_{DO}	20			ms	Note 2
7	OUTPUTS	Propagation delay (St to Q)	t_{PQ}		8	11	µs	TOE=V_{DD}
8		Propagation delay (St to StD)	t_{PStD}		12	16	µs	TOE=V_{DD}
9		Output data set up (Q to StD)	t_{QStD}		3.4		µs	TOE=V_{DD}
10		Propagation delay (TOE to Q ENABLE)	t_{PTE}		50		ns	load of 10 kΩ, 50 pF
11		Propagation delay (TOE to Q DISABLE)	t_{PTD}		300		ns	load of 10 kΩ, 50 pF
12	PDWN	Power-up time	t_{PU}		30		ms	Note 3
13		Power-down time	t_{PD}		20		ms	
14	CLOCK	Crystal/clock frequency	f_C	3.5759	3.5795	3.5831	MHz	
15		Clock input rise time	t_{LHCL}			110	ns	Ext. clock
16		Clock input fall time	t_{HLCL}			110	ns	Ext. clock
17		Clock input duty cycle	DC_{CL}	40	50	60	%	Ext. clock
18		Capacitive load (OSC2)	C_{LO}			30	pF	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

*NOTES:
1. Used for guard-time calculation purposes only.
2. These, user adjustable parameters, are not device specifications. The adjustable settings of these minimums and maximums are recommendations based upon network requirements.
3. With valid tone present at input, t_{PU} equals time from PDWN going low until ESt going high.

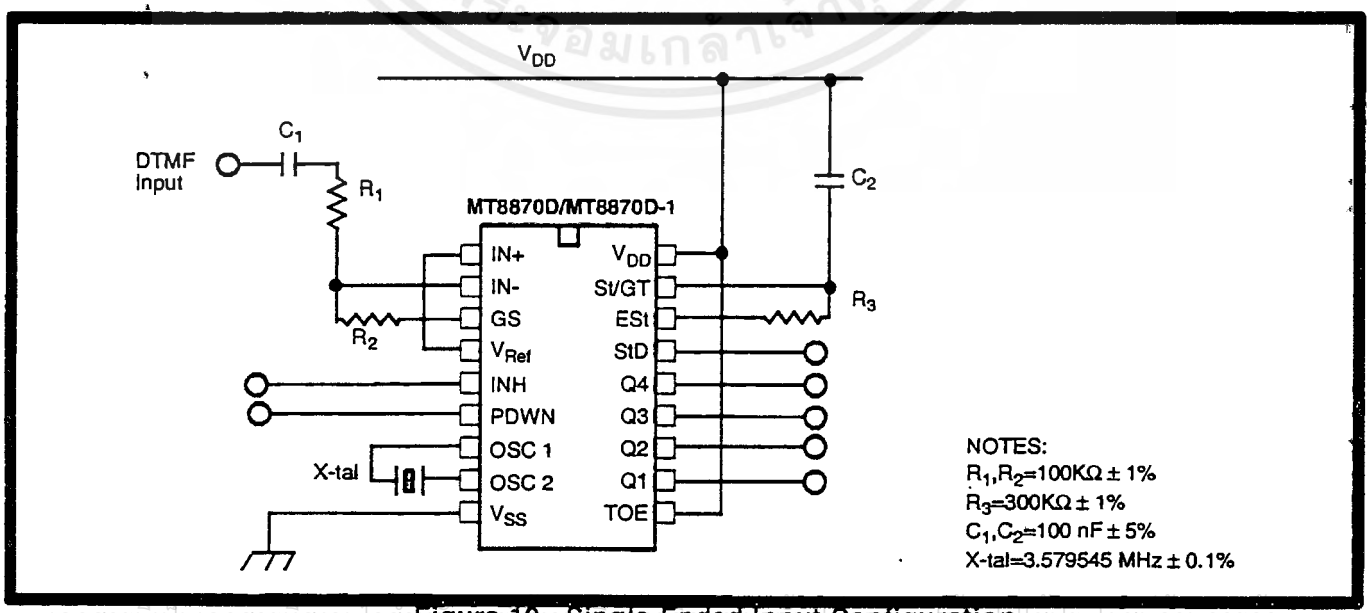
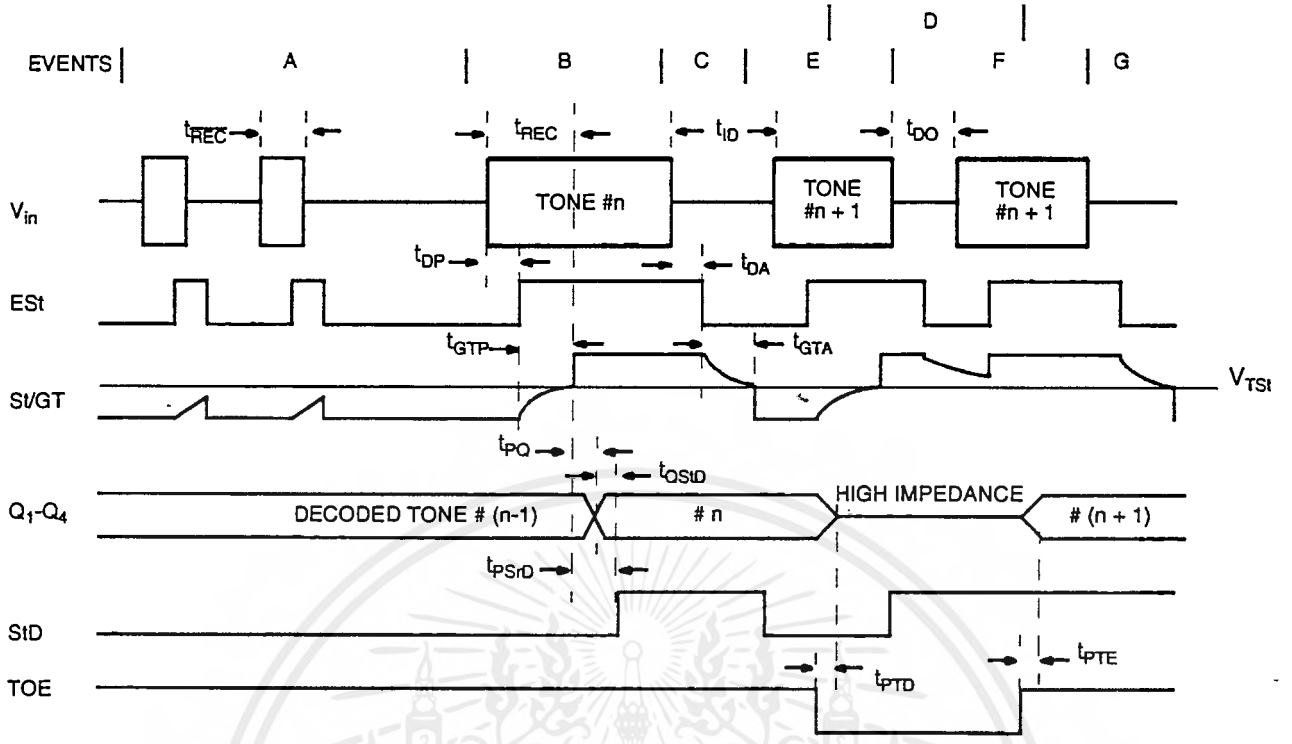


Figure 10 - Single-Ended Input Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



EXPLANATION OF EVENTS

A) TONE BURSTS DETECTED, TONE DURATION INVALID, OUTPUTS NOT UPDATED.

B) TONE #n DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS

C) END OF TONE #n DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMIAN LATCHED UNTIL NEXT VALID TONE.

D) OUTPUTS SWITCHED TO HIGH IMPEDANCE STATE.

E) TONE #n + 1 DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS (CURRENTLY HIGH IMPEDANCE).

F) ACCEPTABLE DROPOUT OF TONE #n + 1, TONE ABSENT DURATION INVALID, OUTPUTS REMAIN LATCHED.

G) END OF TONE #n + 1 DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMAIN LATCHED UNTIL NEXT VALID TONE.

EXPLANATION OF SYMBOLS

V_{in}	DTMF COMPOSITE INPUT SIGNAL.
ESt	EARLY STEERING OUTPUT. INDICATES DETECTION OF VALID TONE FREQUENCIES.
St/GT	STEERING INPUT/GUARD TIME OUTPUT. DRIVES EXTERNAL RC TIMING CIRCUIT.
Q_1-Q_4	4-BIT DECODED TONE OUTPUT.
StD	DELAYED STEERING OUTPUT. INDICATES THAT VALID FREQUENCIES HAVE BEEN PRESENT/ABSENT FOR THE REQUIRED GUARD TIME THUS CONSTITUTING A VALID SIGNAL.
TOE	TONE OUTPUT ENABLE (INPUT). A LOW LEVEL SHIFTS Q_1-Q_4 TO ITS HIGH IMPEDANCE STATE.
$t_{\overline{REC}}$	MAXIMUM DTMF SIGNAL DURATION NOT DETECED AS VALID
t_{REC}	MINIMUM DTMF SIGNAL DURATION REQUIRED FOR VALID RECOGNITION
t_{ID}	MAXIMUM TIME BETWEEN VALID DTMF SIGNALS.
t_{DO}	MAXIMUM ALLOWABLE DROP OUT DURING VALID DTMF SIGNAL.
t_{DP}	TIME TO DETECT THE PRESENCE OF VALID DTMF SIGNALS.
t_{DA}	TIME TO DETECT THE ABSENCE OF VALID DTMF SIGNALS.
t_{GTP}	GUARD TIME, TONE PRESENT.
t_{GTA}	GUARD TIME, TONE ABSENT.

Figure 11 - Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์นี้สำเร็จลุล่วงได้โดยความช่วยเหลือและคำปรึกษาจาก

1. อาจารย์ปราโมทย์ วาดเขียน อาจารย์ที่ปรึกษา
2. คุณดารณี ลีลาวดี
3. คุณทิพย์วิมล ด่านวัฒนาพงศ์
4. คุณเปรมฤดี วงศ์ชูพันธ์
5. TAO LANG (tao_lang/FE/Mitel@MITELGW1.Mitel.COM)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. ก้องเกียรติ ณ สีมา , " ทฤษฎีและการใช้งานไทม์เมอร์ไอซี 555 " , อีเล็คทรอนิคส์ เวิร์ล , กรุงเทพฯ 2528

2. น.ต. ธวัชชัย เลื่อนฉวี , " เทคโนโลยีโทรศัพท์ ", บรรเทิงการพิมพ์ , 2523

3. บริษัทซีเอ็ดยูเคชั่น , " คู่มือไอซีไมโครโปรเซสเซอร์และไอซีที่เกี่ยวข้อง " , หจก.เอซเอนการพิมพ์ , กรุงเทพฯ 2533

4. ผศ.ปราโมทย์ วาดเขียน,ดร.วิวัฒน์ กิรานนท์,"พื้นฐานการสื่อสารข้อมูล",สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง,กรุงเทพฯ 2536

5. Mitel Corporation , " Microelectronics Digital/Analog Communication Handbook " , Canada 1993

6. Willium Stallings,Ph.D. ," Data And Computer Communications " ,U.S.A 1994

7. Sila Research Co.,Ltd. , " Ant-3172 Handbook " and " EE-232 Handbook " , Bangkok 1995

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้