สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องป้องกันการดักรับสัญญาณแบบดิจิตอล

DIGITAL SIGNAL SCRAMBLER

โดย

นาย กิตติพล ชัยวัฒนพงศ์ รหัส 36014033

นาย เอกราช วงษ์หงษ์ รหัส 36014584

อาจารย์ที่ปรึกษา

อ. สุรพล บุญจันทร์

T027862

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2539

เลขหมู่.....
เลขทะเบียน 27862
วัน, เดือน, ปี 26 มิ.ย. 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2539

ภาควิชา วิศวกรรมโทรคมนาคม

คณะ วิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องป้องกันการดักรับสัญญาณแบบดิจิตอล

digital signal scrambler

ผู้จัดทำ

1.นาย กิตติพล ชัยวัฒนพงศ์ รหัส 36014033

2.นาย เอกราช วงษ์หงษ์ รหัส 36014584

..... อาจารย์ที่ปรึกษา

(อ. สุรพล บุญจันทร์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องป้องกันการดักรับสัญญาณแบบดิจิตอล

Digital Signal Scrambler

โดย นาย กิตติพล ชัยวัฒนพงศ์ รหัส 36014033

นาย เอกราช วงษ์หงษ์ รหัส 36014584

อาจารย์ที่ปรึกษา อ. สุรพล บุญจันทร์

บทคัดย่อ

โครงงานเครื่องป้องกันการดักรับสัญญาณแบบดิจิตอลนี้เป็นการศึกษาออกแบบและทดลองวงจรซแครมเบลอ (Scrambler) เพื่อใช้ในการป้องกันการดักรับข้อมูลและรักษาความปลอดภัยทางการสื่อสาร หลักการในโครงงานนี้จะทำการแปลงสัญญาณเสียง ซึ่งเป็นสัญญาณอนาลอกให้เป็นดิจิตอล (A/D : analog to Digital Conversion) แล้วนำไปทำการซแครมเบลอวงจรซแครมเบลอจะประกอบไปด้วยวงจรกำเนิดลำดับแบบกึ่งสุ่ม (pseudo - random sequence generator) และเอ็กซคลูซีฟ ออร์เกท ซึ่งจะทำการรวมสัญญาณข้อมูลดิจิตอลเข้ากับลำดับแบบกึ่งสุ่ม

Abstract

The objective of this project is to study and design the circuit for a digital signal scrambler that uses to increase the security of communication .

The process of this digital signal scrambler employs A/D (Analog to Digital converter) to convert analog voice signal to discrete digital signal and send it through a scrambler circuit . The scrambler circuit consists of pseudo - random sequence generator and XOR gate. It passes digital audio signal to combine with pseudo - random signal.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

สารบัญ

บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	3
บทที่ 3 การคำนวนและการสร้าง	17
บทที่ 4 การทดลองและผลการทดลอง	34
บทที่ 5 บทวิจารณ์และบทสรุป	41
ภาคผนวก	
หนังสืออ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ยุคปัจจุบันนี้ถือเป็นยุคแห่งการสื่อสาร การติดต่อสื่อสารเป็นสิ่งจำเป็นมากสำหรับทุกวงการ ทั้งในทางราชการ วงการธุรกิจ และประชาชนทั่วไป จึงได้มีการพัฒนาระบบการสื่อสารขึ้นมาหลายประเภทเพื่อเพิ่มความสะดวก รวดเร็ว ประหยัดค่าใช้จ่ายและเวลา เช่น ระบบโทรศัพท์แบบต่าง ๆ ระบบวิทยุกระจายเสียง ระบบโทรทัศน์ เป็นต้น ข้อมูลที่ส่งผ่านระบบดังกล่าว ส่วนใหญ่จะเป็นข้อมูลที่ใช้ติดต่อกันทั่วไป ข้อมูลวิชาการหรือความบันเทิงต่าง ๆ ที่ไม่เป็นความลับแต่อย่างใด แต่ในการติดต่อระหว่างหน่วยงานที่สำคัญ บางครั้งต้องคำนึงถึงความปลอดภัยในการกระจายข่าวสาร เช่น การสื่อสารผ่านระบบวิทยุมือถือ หรือผ่านคู่สายโทรศัพท์ซึ่งถูกลอบดักฟังได้ง่าย อาจจะนำมาซึ่งความเสียหายจากการแพร่กระจายของข่าวนั้นได้

ดังนั้นการป้องกันการดักฟังจึงเป็นสิ่งสำคัญ วิธีการป้องกันการดักฟังสามารถทำได้ทั้งวิธีทางอนาลอกและทางดิจิตอล กล่าวคืออาจทำการเลื่อนหรือสลับสเปคตรัมของสัญญาณก่อนทำการส่งสัญญาณนั้นออกทางช่องทางการสื่อสาร หรือทำการดัดแปลงให้รูปสัญญาณผิดเพี้ยนไปจากเดิม หรือทำการกำเนิดสัญญาณรบกวนเทียมขึ้นในระบบการส่ง เพื่อให้เครื่องรับโดยทั่วไปประสบปัญหาในการแยกสัญญาณรบกวนออกจากสัญญาณจริง

ปัจจุบันแนวทางในการพัฒนาระบบการสื่อสารมีเป้าหมายไปยังระบบดิจิตอลเนื่องจากระบบอนาลอกมีปัญหาหลายประการ ข้อแรก สัญญาณจะต้องถูกส่งผ่านตัวขยายสัญญาณ(amplifier)และตัวแปลงสัญญาณ (transducer) อื่น ๆ อุปกรณ์เหล่านี้ถูกออกแบบมาให้ทำการส่งผ่านแบบเชิงเส้น แต่สัญญาณอนาลอกมีรูปแบบไม่เป็นเชิงเส้น ซึ่งจะทำให้เกิดการผิดเพี้ยนกับรูปคลื่น และอุปกรณ์ที่นำมาใช้เป็นตัวขยายสัญญาณก็มักจะทำการขยายสัญญาณรบกวนให้เพิ่มมากขึ้นด้วย

ปัญหาที่สอง เกี่ยวกับการรบกวนในช่องสัญญาณ เมื่อมีสัญญาณไฟฟ้าในเส้นลวดหรือสายเคเบิลจะเกิดการรบกวนเนื่องจากอุณหภูมิ (thermal noise) ขึ้นในช่องสัญญาณหรืออุปกรณ์ทรานสดิวเซอร์ต่าง ๆ แม้แต่ในระบบการส่งแบบไร้สายก็ยังถูกรบกวนจากสัญญาณรบกวนเนื่องจากไฟฟ้าด้วย นั่นคือสัญญาณรบกวนในชั้นบรรยากาศ ละจากการแพร่กระจายรังสีของดวงอาทิตย์และดวงดาวต่าง ๆ

ปัญหาที่สาม สัญญาณทุกประเภทจะลดทอนลงระหว่างการส่งผ่านตัวกลาง จนอาจทำให้ด้านรับไม่สามารถรับข่าวสารข้อมูลที่ถูกต้องได้ สายเคเบิลคุณภาพสูงที่มีขนาดเส้นผ่านศูนย์กลางใหญ่ ๆอาจลดปัญหาการลดทอนนี้ได้บ้าง แต่ก็ไม่สามารถกำจัดให้หมดสิ้นไปได้

ปัญหาที่สี่ ระบบเสียงและข้อมูลจะต้องเกี่ยวข้องกับระบบสัญญาณและระบบควบคุมที่แตกต่างกัน ระบบสัญญาณ เช่นในระบบโทรศัพท์แบบเก่าไม่สามารถอินเตอร์เฟสกับระบบข้อมูลได้ดีเท่าที่ควร

ระบบดิจิตอลสามารถแก้ไขปัญหาเหล่านี้ได้ด้วยการส่งข้อมูลเป็นดิจิตอลและสัญญาณสองระดับ สัญญาณอนาลอกจะถูกแปลงเป็นกลุ่มของตัวเลขซึ่งได้จากการสุ่มตัวอย่างจากสัญญาณอนาลอกนั้น ๆ และส่งผ่านช่องสัญญาณสื่อสารเป็นข้อมูลเลขฐานสอง ระบบสัญญาณดิจิตอลไม่สามารถหลีกเลี่ยงปัญหาการลดทอนและสัญญาณรบกวนได้ แต่เนื่องจากสัญญาณดิจิตอลเป็นระดับแรงดันไฟฟ้าที่แน่นอน แทนการปรากฏหรือไม่ปรากฏของสัญญาณ ดังนั้นการผิดเพี้ยนของสัญญาณเพียงเล็กน้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

จึงไม่ทำให้ข้อมูลที่ได้รับผิดพลาดอีกทั้งยังสามารถทำการสร้างสัญญาณขึ้นใหม่(reconstruct)ก่อนที่สัญญาณจะต่ำกว่าระดับที่กำหนด (threshold level)ทำให้ไม่เกิดการสะสมของสัญญาณรบกวนหรือการลดทอนของสัญญาณ

ในโครงการนี้ จึงได้เลือกที่จะทำการศึกษา ออกแบบ และทดลองวงจรป้องกันการดักรับข้อมูลแบบดิจิตอล แล้วทำการซแครมเบิล (scramble) โดยอาศัยหลักการกำเนิดสัญญาณรบกวนเทียมขึ้นในระบบทำให้รูปแบบของสัญญาณเปลี่ยนไป ทางด้านรับจำเป็นต้องทำการดีซแครมเบิล(descramble) โดยอาศัยหลักการเดียวกัน เพื่อให้ได้สัญญาณดิจิตอลเดิมกลับมา เป็นการป้องกันไม่ให้ผู้รับที่อยู่นอกระบบรับรู้หรือเข้าใจข้อมูลที่เราทำการส่ง ถึงแม้จะรับสัญญาณได้ก็ตาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

วงจรป้องกันการดักรับสัญญาณแบบดิจิตอลนี้ จะทำการแปลงสัญญาณเสียงเป็นสัญญาณดิจิตอล สัญญาณที่จะทำการส่งต้องดำเนินขบวนการทางดิจิตอลที่สำคัญ 2 ขบวนการ คือ

1. **Source coding** เป็นขบวนการแปลงสัญญาณอินพุทที่เป็นอนาลอก ให้อยู่ในรูปขบวนสัญญาณเลขฐานสอง ("0" และ "1") เทคนิคที่นิยมใช้ เช่น PCM , ADPCM , DM
2. **Scrambling** เป็นขบวนการเปลี่ยนแปลงบิทข้มูล เพื่อจุดประสงค์พิเศษ เช่น หลีกเลี่ยงการเกิดสัญญาณ "0" ติดต่อกันเป็นเวลานาน ซึ่งอาจจะเป็นเหตุทำให้สัญญาณนาฬิกาทางด้านรับผิดพลาด และอีกจุดประสงค์สำคัญที่เราใช้ในโครงการนี้คือ เพื่อป้องกันการลอบดักฟังจากผู้ที่ไม่อยู่ในระบบนั่นคือ ผู้รับในระบบต้องมีเครื่องรับที่มีอุปกรณ์พิเศษทำการแปลงสัญญาณกลับเป็นสัญญาณเดิมไม่เช่นนั้นผู้รับจะไม่สามารถเข้าใจข้อมูลที่รับได้

2.1 การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (Analog to Digital Conversation)

ในการส่งสัญญาณแบบอนาลอก ข่าวสารเดิมจะถูกเปลี่ยนให้เป็นสัญญาณไฟฟ้าซึ่งมีลักษณะเหมือนเดิม เช่น กรณีของโทรศัพท์นั้นไมโครโฟนที่มือถือ (handset) จะเป็นตัวเปลี่ยนคลื่นเสียงให้เป็นสัญญาณไฟฟ้าที่สอดคล้องกัน สัญญาณไฟฟ้านี้อาจมีค่าใด ๆ ที่อยู่ภายในขีดจำกัด ทั้งนี้ขึ้นอยู่กับขนาดของคลื่นเสียงและสัญญาณนี้จะมีส่วนคล้ายกับคลื่นเสียงเดิม ดังนั้นจึงถูกเรียกว่า สัญญาณอนาลอก (analog signal) เมื่อสัญญาณนี้ถูกส่งออกไปตลอดสายส่งในทางอุดมคติแล้วมันจะถึงด้านรับในลักษณะที่คงรูปร่างเดิมไว้ แต่อย่างไรก็ตามในทางปฏิบัตินั้น จะมีสัญญาณอื่นเข้ามารบกวนมาก เนื่องจากการรบกวนต่าง ๆ นี้จะสะสมไปตลอดสายส่ง ทำให้สัญญาณเกิดการพร่าเพี้ยน(distortion) ซึ่งเป็น ผลให้คุณภาพของสัญญาณเลวลง

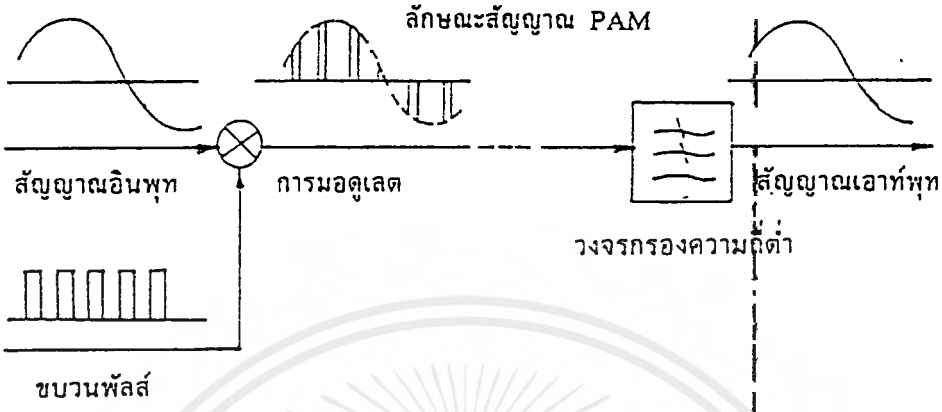
ดังนั้นการแปลงสัญญาณอนาลอกเป็นดิจิตอลจึงเป็นสิ่งสำคัญที่นำมาใช้ในระบบการสื่อสารทางดิจิตอล เนื่องจากจะช่วยลดการลดทอนและการพร่าเพี้ยนของสัญญาณที่เกิดจากสิ่งรบกวนภายนอกลง

ระบบการแปลงนี้ก็มีด้วยกันหลายแบบ เช่น Pulse Amplitude Modulation , Pulse Code Modulation ,Delta Modulation เป็นต้นในแต่ละระบบก็มีข้อดีข้อเสียแตกต่างกันขึ้นอยู่กับความเหมาะสมในการนำระบบต่าง ๆ ไปใช้งานให้ถูกต้อง

2.1.1 PAM (Pulse Amplitude Modulation)

ในการแปลงสัญญาณเสียงอนาลอกที่ต่อเนื่อง ให้เป็นสัญญาณที่ไม่ต่อเนื่องตามแนวแกนเวลา จะอาศัยทฤษฎีการสุ่มสัญญาณ โดยมีแนวความคิดเบื้องต้นดามรูปที่ 2.1 ขบวนพัลส์ที่เอาท์พุทของมอดูเลเดอร์จะเปลี่ยนแปลงไปตามระดับของสัญญาณอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



รูปที่ 2.1 แผนภาพแสดงการทำงานของทฤษฎีการสุ่มสัญญาณ

ทฤษฎีการสุ่มสัญญาณ กล่าวไว้ว่า ถ้าข่าวสารในสัญญาณที่มีแอมปลิจูดเป็นฟังก์ชันของเวลาถูกทำการสุ่มค่าทุก ๆช่วงเวลาห่างที่คงที่ เมื่อใช้ขบวนพัลส์ที่มีความถี่เท่ากับหรือมากกว่า 2 เท่ากับของความถี่สูงสุดของสัญญาณนั้นมาทำการสุ่ม ก็สามารถจะเก็บข่าวสาร หรือเนื้อหาของสัญญาณต้นแบบไว้ได้อย่างสมบูรณ์

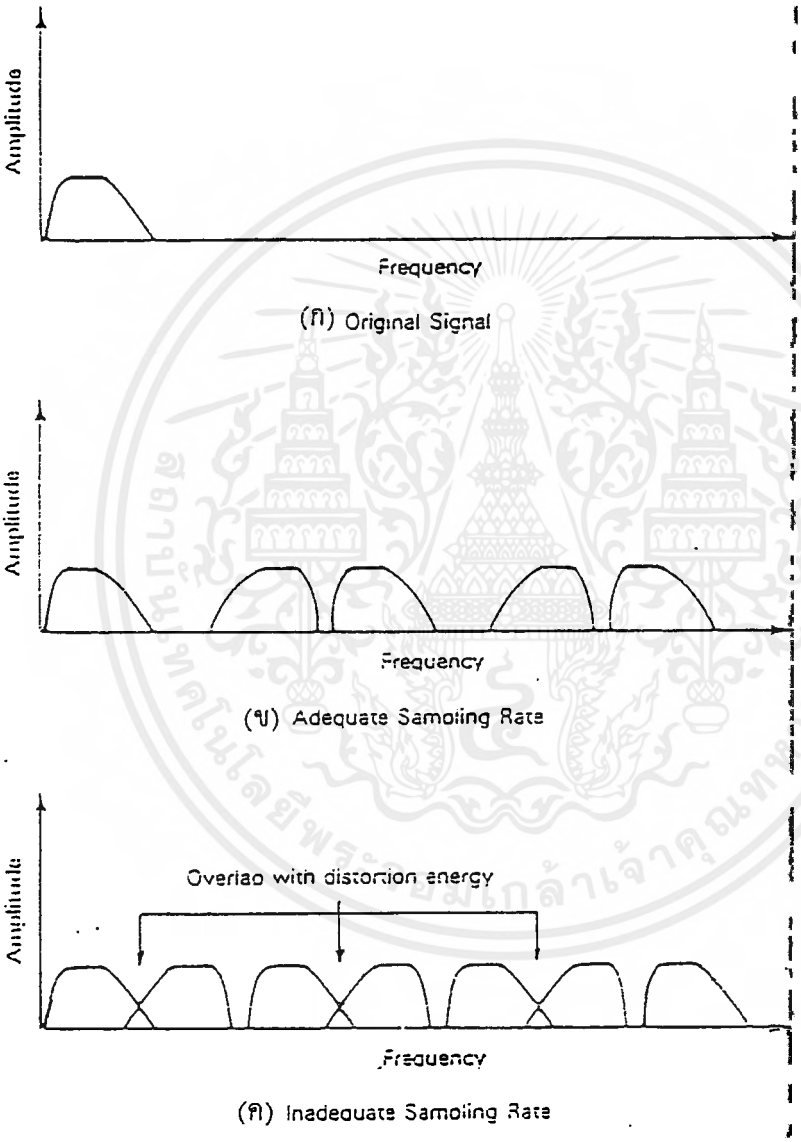
$$f_s > 2f_0$$

โดยที่ f_s : ความถี่ที่ใช้ในการสุ่มค่าสัญญาณ(Hz)

f_0 : ความถี่สูงสุดของสัญญาณอินพุท(Hz)

ในกรณีที่ทำการสุ่มค่าสัญญาณด้วยความถี่ที่ต่ำกว่า f_s จะไม่สามารถนำเอาสัญญาณเดิมกลับคืนมาได้

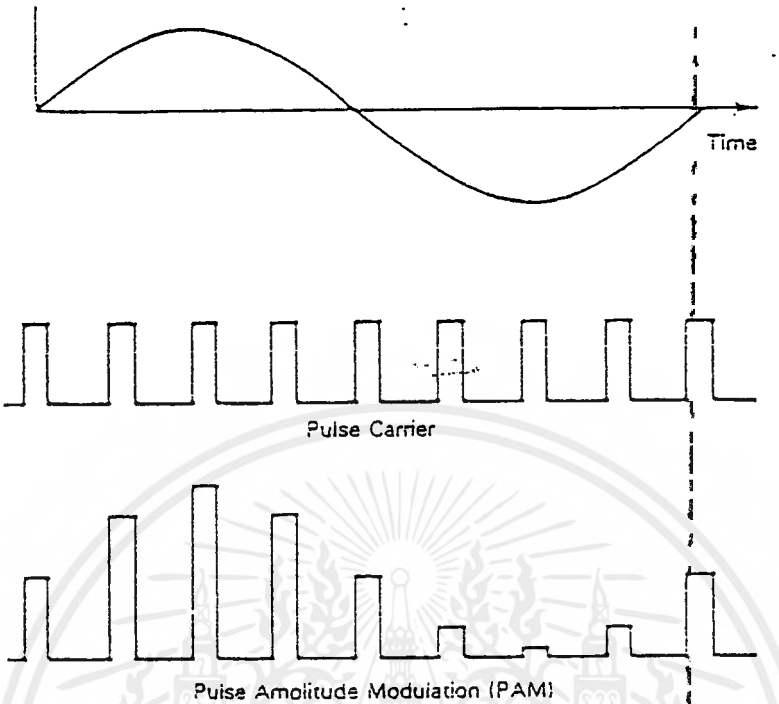
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



รูปที่ 2.2 แสดงสเปคตัมของสัญญาณที่ผ่านการสุ่มค่าแล้ว
(ก) สัญญาณอินพุท
(ข) เมื่อใช้อัตราการสุ่มค่าที่เหมาะสม
(ค) เมื่อใช้อัตราการสุ่มค่าที่ไม่เหมาะสม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

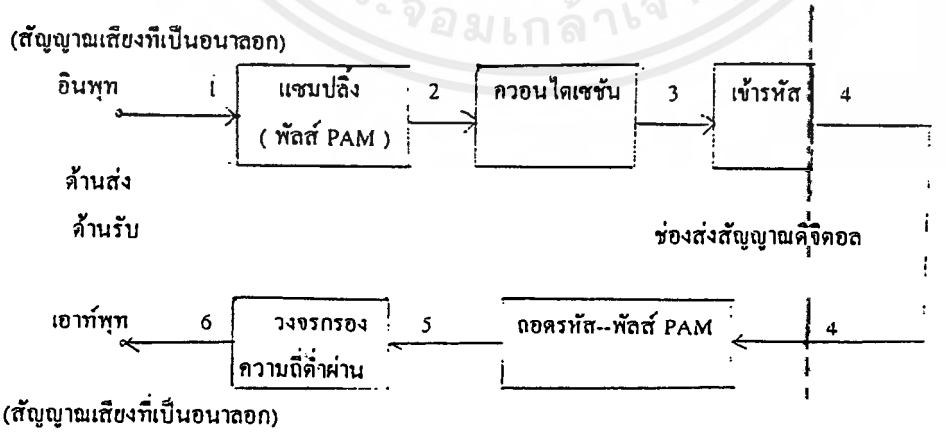
ขบวนสัญญาณที่ได้จะมีขนาดเดียวกับค่าสัญญาณอินพุท แต่สัญญาณที่ได้นี้จะเป็นค่าดิสครีท เราเรียกขบวนสัญญาณนี้ว่า PAM



รูปที่ 2.3 เทคนิคการสุ่มสัญญาณ

2.1.2 PCM (Pulse Code Modulation)

ในปัจจุบันระบบ PCM ถูกนำมาใช้อย่างกว้างขวางโดยเฉพาะสำหรับสัญญาณเสียงรูปที่ 2.4 แสดงบล็อคไดอะแกรมของระบบ PCM ซึ่งคล้ายกับระบบ PAM เพียงแต่ในระบบ PCM จะนำเอาสัญญาณที่สุ่มออกมา ซึ่งมีขนาดไม่เท่ากันนี้ไปทำการจัดระดับ (quantizing) ซึ่งจำนวนระดับที่แตกต่างกันจะขึ้นอยู่กับจำนวนบิทที่จะเข้ารหัส ตัวอย่างเช่น ถ้าต้องการเข้ารหัส 8 บิท จะต้องแบ่งระดับออกเป็น 2^8 = 256 ระดับ เป็นต้น



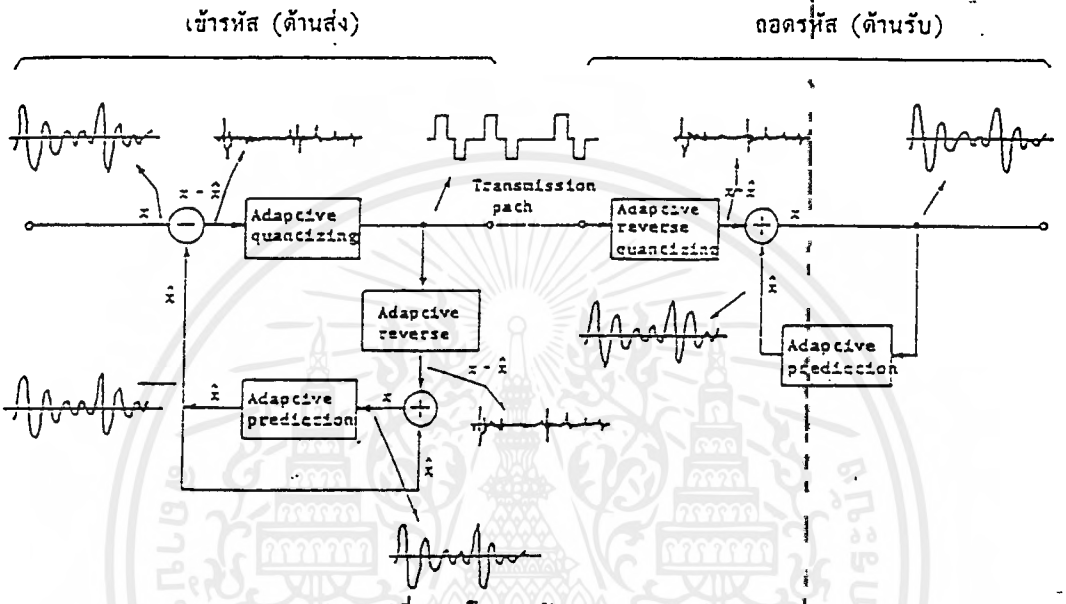
รูปที่ 2.4 กระบวนการเข้ารหัสและถอดรหัสของระบบ PCM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.3 ADPCM(Adaptive Differential Pulse Code Modulation)

ในระบบ PCM จะจัดระดับของสัญญาณเสียงจากตัวอย่างที่ทำการสุ่ม(sample)โดยตรงแต่สำหรับในระบบ ADPCM จะจัดระดับโดยใช้ผลต่างระหว่างค่าตัวอย่าง เนื่องจากค่าตัวอย่างซึ่งอยู่ใกล้เคียงกัน จะมีลักษณะคล้ายคลึงกัน ดังนั้นจึงคาดคะเนสัญญาณอินพุทปัจจุบันด้วยสัญญาณอินพุทที่เข้ามาก่อน แล้วจัดระดับโดยใช้ผลต่างระหว่างสัญญาณที่คาดคะเน และสัญญาณปัจจุบันเพื่อทำรหัสส่งออกไป และผลต่างนี้มีค่าน้อย จึงทำให้จำนวนบิทในการเข้ารหัสลดลงได้

การทำงานของระบบ ADPCM แสดงไว้ดังรูปที่ 2.5



รูปที่ 2.5 โครงสร้างของระบบ ADPCM

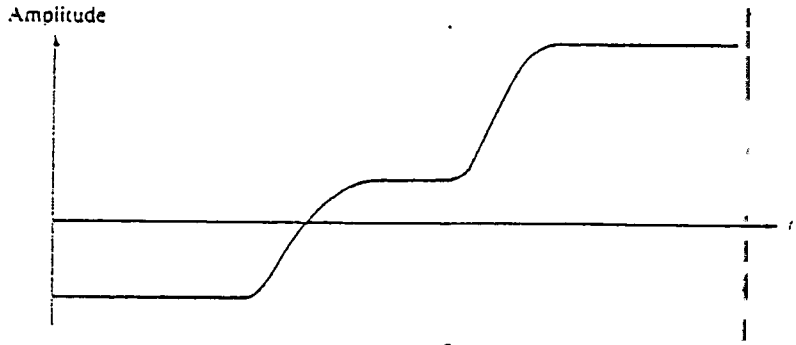
จากรูป ขั้นแรกที่วงจรเข้ารหัส(ด้านส่ง) จะสร้างสัญญาณผลต่าง ระหว่างสัญญาณอินพุทและสัญญาณคาดคะเนจากอินพุทตัวก่อนๆ โดยวงจรดิฟเฟอเรนดิเอเตอร์(differentiator) จากนั้นจะนำผลต่างของสัญญาณไปจัดระดับ การที่จะทำให้สัญญาณซึ่งผิดพลาดนี้มีการเปลี่ยนแปลงของระดับอย่างรวดเร็วนั้น จะไม่ใช้การจัดระดับแบบยูนิฟอร์ม(uniform quantizing)แต่จะใช้วิธีจัดระดับเพื่อให้เพิ่มขึ้นหรือลดลงโดยอาศัยค่าตัวอย่างตัวก่อนหน้ามัน วิธีนี้จะปรับปรุงคุณภาพให้ดีขึ้น

2.1.4 DM (Delta Modulation)

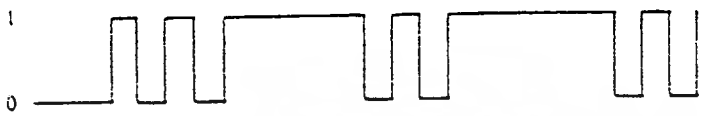
เทคนิคหลายอย่างที่ใช้เพื่อปรับปรุงการทำงานของ PCM เทคนิคอันหนึ่งถูกเลือกใช้มากที่สุดพอ ๆ กับ PCM ก็คือ DM

โดยวิธีการ DM ข้อมูลอนาลอกจะถูกประมาณค่าด้วยค่าฟังก์ชั่นขั้นบันได (staircase) ที่มีการเปลี่ยนแปลงขึ้นลงด้วยระดับการควอนไตซ์ที่แต่ละเวลาการสุ่ม ยกตัวอย่างดังรูปใน 2.6 (ค) จะเห็นฟังก์ชั่นขั้นบันไดทาบทับอยู่บนรูปคลื่นอนาลอกของสัญญาณเดิม ลักษณะที่สำคัญของฟังก์ชั่นขั้นบันไดก็คือ เป็นไบนารี โดยที่แต่ละเวลาการสุ่ม ฟังก์ชั่นจะมีการเลื่อนขึ้นลงเป็นจำนวนคงที่ ซึ่งทำให้ได้เอาท์พุทของ DM เป็นเลขฐานสอง 1 ตัวสำหรับการสุ่มตัวอย่าง 1 ตัว นั่นคือ ขบวนการของบิทข้อมูลจะถูกสร้างโดยการประมาณค่าของอนุพันธ์หรือค่าการเปลี่ยนแปลงของสัญญาณแทนที่จะเป็นการประมาณค่าของขนาดสัญญาณ (amplitude)

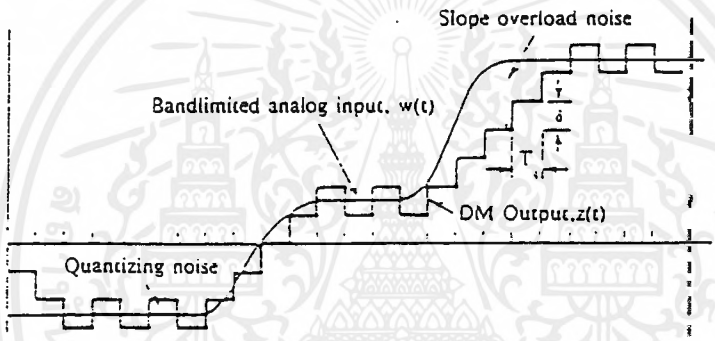
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) สัญญาณเดิม



(ข) เอาท์พุทของ DM

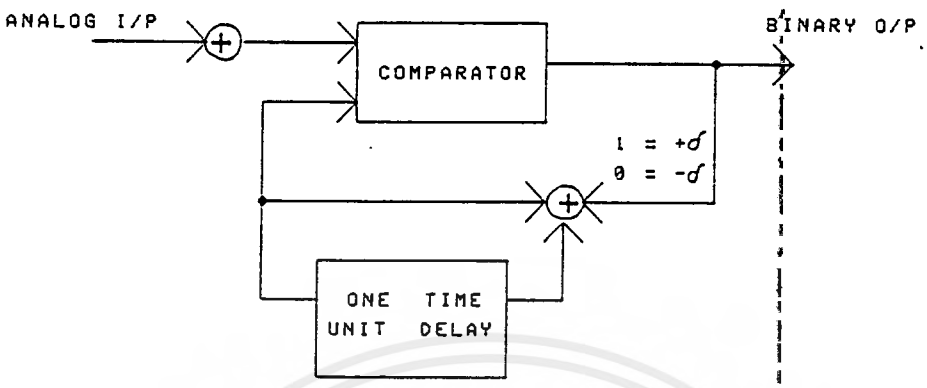


(ค) ฟังก์ชันขั้นบันไดเปรียบเทียบกับสัญญาณเดิม

รูปที่ 2.6 ตัวอย่างของเดลต้ามอดดูเลชั่น (DM)

สัญญาณ "1" จะถูกสร้างขึ้นมาถ้าฟังก์ชั่นกำลังเพิ่มขึ้น และในทางตรงข้ามจะสร้าง"0" การเปลี่ยนแปลงขึ้นหรือลงที่เกิดขึ้นในแต่ละการสุ่มที่ขณะใด ๆ ถูกเลือกเพื่อให้ฟังก์ชั่นขั้นบันไดติดตามรูป คลื่นสัญญาณอนาลอกได้อย่างใกล้ชิดเท่าที่จะเป็นไปได้ รูป 2.7 แสดงกระบวนการของ DM ซึ่งมีส่วนของขบวนการป้อนกลับเป็นส่วนสำคัญ สำหรับแต่ละการส่งผ่านจะมีเหตุการณ์เกิดขึ้นดังนี้ ที่แต่ละตัว อย่างการสุ่มที่ขณะใด ๆ สัญญาณอินพุทจะถูกเปรียบเทียบกับค่าของการประมาณฟังก์ชั่นขั้นบัน ไดในเวลานั้น ถ้าค่าของรูปคลื่นที่ทำการสุ่มเกินค่าของฟังก์ชั่นขั้นบันได เลข "1" ก็จะถูกสร้างขึ้นมาและในทางกลับกัน "0" ก็จะถูกสร้างขึ้น ค่าเลขไบนารีเหล่านี้จะถูกส่งเป็นเอาท์พุท ออกไป ซึ่งจะนำไปใช้ประ มาณค่าต่อไปของรูปคลื่นที่สร้างขึ้นมาใหม่ค่าคงที่ δ จะถูกเพิ่มเข้าไปกับฟังก์ชั่นสำหรับต่อค่าเอาท์พุท "1" และค่าคงที่ δ จะถูกหักลบออกไปสำหรับค่า "0" รูป 2.7 แสดงให้เห็นถึงขบวนการในการสร้างขบวนของเลขฐานสองโดยใช้ DM และในการรับเพื่อสร้างการประมาณฟังก์ชั่นขั้นบันได

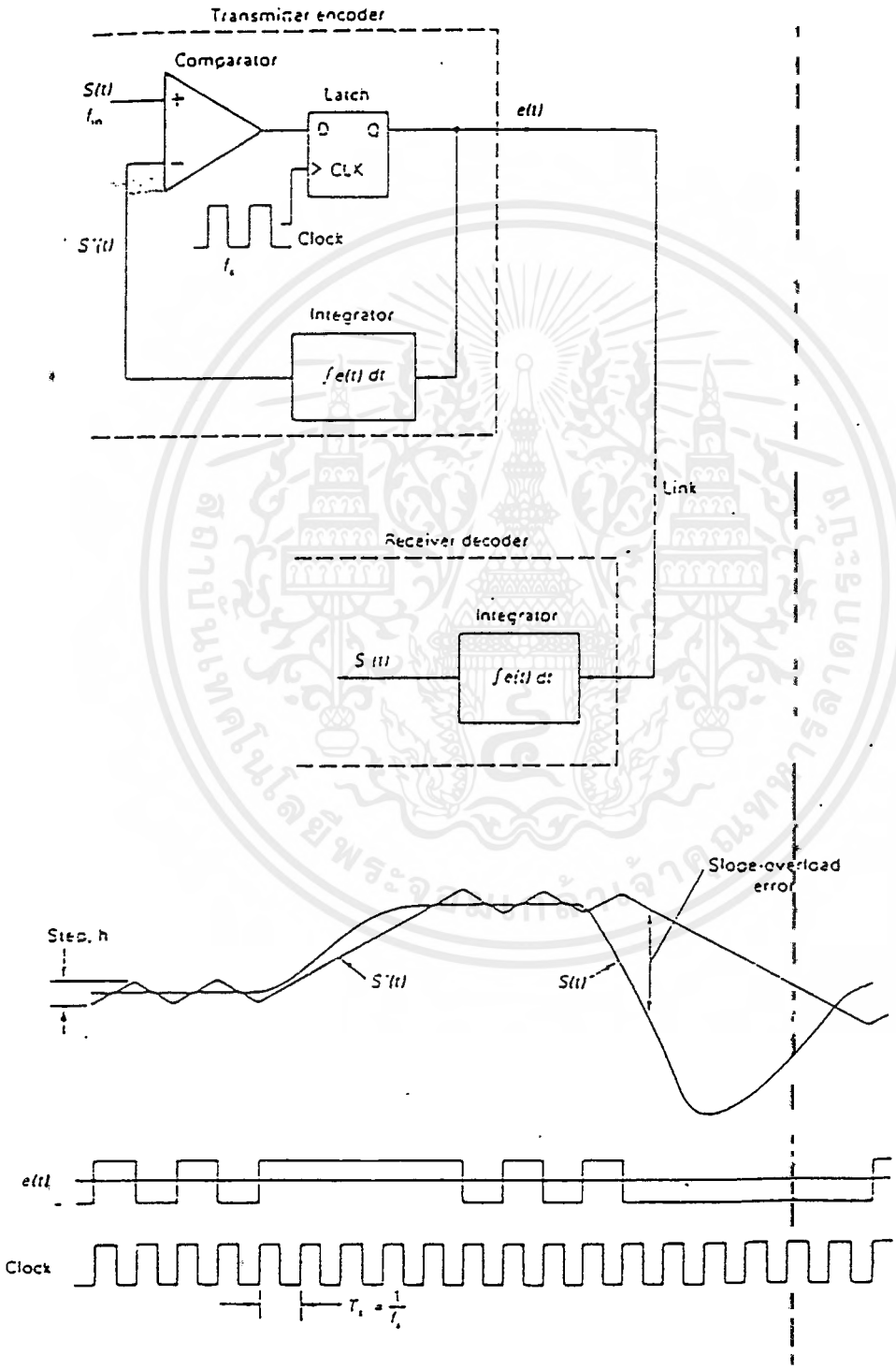
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 ขบวนการของเดลต้ามอดดูเลชั่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจร DM encoder/decoder แสดงได้ดังรูป 2.8 ซึ่งประกอบด้วย 3 ส่วน วงจรเปรียบเทียบ (comparator) ,วงจรแลตช์ (latch) และวงจรอินทิเกรเดอร์ (Integrator)



รูปที่ 2.8 การทำงานของ DM encorder/decorder

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของระบบ คือ ทำการป้อนสัญญาณที่จะส่งออก กลับมาเปรียบเทียบกับสัญญาณที่เข้ามาใหม่ S(t) ที่วงจรเปรียบเทียบ โดยวงจร อินทิเกรเตอร์จะทำการประมาณค่าสัญญาณที่ป้อนกลับก่อนที่จะเข้าวงจรเปรียบเทียบ สำหรับการ decode ในเครื่องรับจะอาศัยวงจรอินทิเกรเตอร์ ที่มีคุณ สมบัติเหมือนวงจรอินทิเกรเตอร์ในเครื่องส่ง ทำหน้าที่แปลงสัญญาณที่เป็นดิจิตอลกลับเป็นสัญญาณแบบเดิม

มีตัวแปรที่สำคัญสองตัวในโครงสร้างของเดลต้ามอดดูเลชัน คือ ขนาดของขั้นบันได (step size : δ) และอัตราการสุ่ม (sampling rate) ในรูป 2.6 (ค) แสดงให้เห็นว่า จะต้องเลือกค่าδเพื่อ สร้างความสมดุลระหว่างความผิดพลาดหรือสัญญาณรบกวนสองชนิด คือเมื่อคลื่นอนาลอกกำลังมีการเปลี่ยนแปลงอย่างช้า ๆ ณ ที่นั้นจะมีสัญญาณรบกวนควอนไตซิ่ง (quantizing noise) สัญญาณรบกวนชนิดนี้จะมีค่ามากขึ้น ถ้า δ เพิ่มขึ้น หรืออีกนัยหนึ่ง เมื่อรูปคลื่นอนาลอกกำลังเปลี่ยนแปลง อย่างรวดเร็วมากกว่าที่ฟังก์ชั่นขั้นบันไดจะตามทัน ณ ที่นี้ก็จะเกิด slop overlode noise โดยสัญญาณรบกวนตัวนี้จะแปรผกผันกับ δ

ซึ่งเราจะปรับปรุงคุณภาพของเดลต้ามอดดูเลชันให้ดีขึ้นได้ โดยใช้ Variable Slope Delta Modulation เพื่อแก้ปัญหา slope overload

VSDM

การลดสัญญาณรบกวนควอนไตซิงในเดลต้ามอดดูเลชันนั้น สามารถทำได้โดยการเพิ่มจำนวนบิท ต่อค่าแซมเปิล ซึ่งจะเรียกว่า Variable Slope Delta Modulation (VSDM) ใน VSDM นั้น slope ของ เอาท์พุทของวงจรอินทิเกรเตอร์จะเพิ่มขึ้นหรือลดลง จะขึ้นกับการเปลี่ยนแปลงของสัญญาณอินพุท ทำให้ความต่อเองของสัญญาณดีขึ้น และช่วยลด slop overload ในเครื่องรับ ส่งผลให้สัญญาณรบกวนควอนไตซิงลดลง

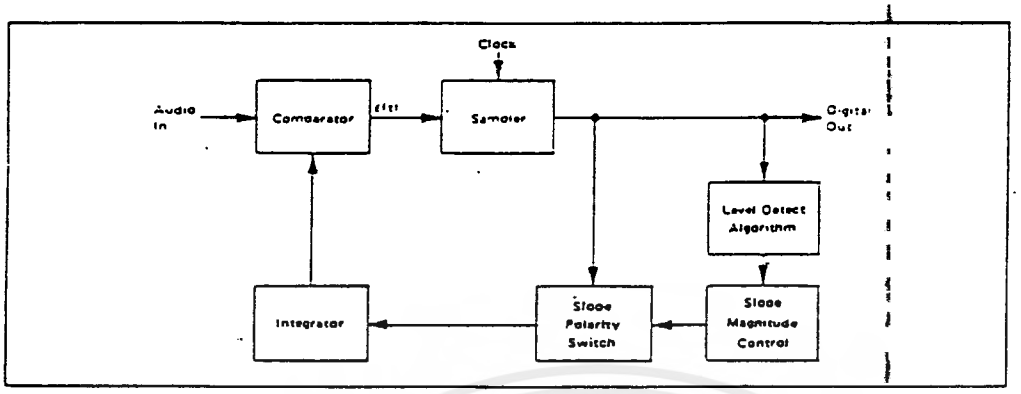
การเปลี่ยนแปลงของ slope ของเอาท์พุทของวงจรอินทิเกรเตอร์ อาจจะทำได้โดยการเปลี่ยนแปลง step size นั่นคือ step size จะมีขนาดใหญ่ เมื่อสัญญาณมีการเปลี่ยนแปลงระดับเร็ว และจะมีขนาดเล็กเมื่อมีการเปลี่ยนแปลงระดับสัญญาณอินพุทน้อย

2.1.5 CVSD (Continuously Variable Slop Delta Modulation/Demodulation)

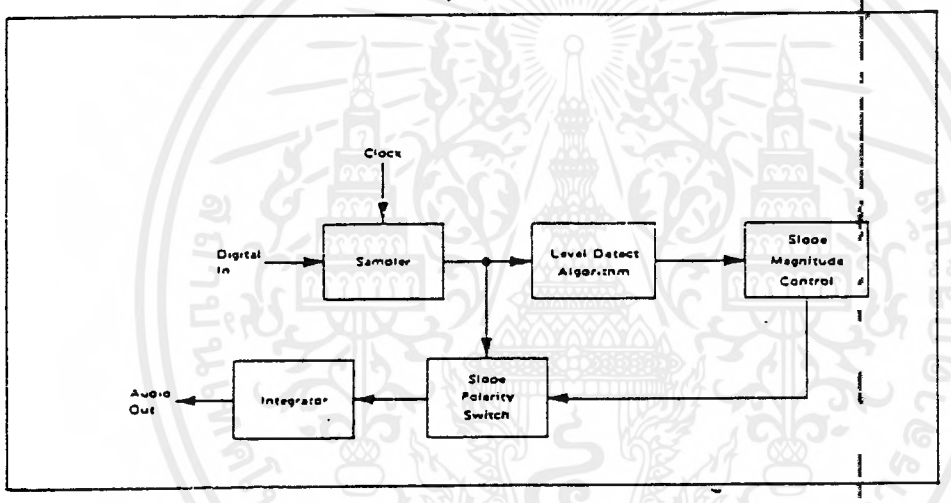
ข้อจำกัดของเดลต้ามอดดูเลชั่น ก็คือ ความกว้างของแถบความถี่ที่ใช้งานซึ่งถูกจำกัดโดยความถี่สัญญาณนาฬิกา และจะสูงกว่าความถี่สูงสุดของสัญญาณอินพุทมากกว่าสองเท่าขึ้นไป นอกจากนั้น ความเร็วของการเปลี่ยนแปลงของสัญญาณหรือไดนามิคเรนจ์ (dynamicrange) ในระบบเดลต้ามอดดูเลชั่นทั่วไปมีค่าแคบ จำเป็นต้องมีส่วนเพิ่มเติมเพื่อทำหน้าที่ขยายไดนามิคเรนจ์ให้กว้างขึ้น โดย การควบคุมอัตราขยายของอินทิเกรเตอร์ (Gain control integater) เพื่อให้ตอบสนองต่อสัญญาณที่มีความชันมาก ๆ ได้ทัน ระบบใหม่ที่พัฒนาขึ้นมานี้มีชื่อเรียกว่า **ระบบเดลต้ามอดดูเลชั่นแบบเปลี่ยนแปลงความชันอย่างต่อเนื่อง หรือ CVSD**

แผนผังการทำงานของระบบ CVSD ในส่วนของการแปลงสัญญาณเสียงอนาลอกเป็นข้อมูลดิจิตอล และส่วนของการแปลงกลับจากดิจิตอลเป็นสัญญาณเสียง แสดงดังรูปที่ 2.9 และ 2.10 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 การแปลงสัญญาณอนาลอกเป็นดิจิตอลของ CVSD

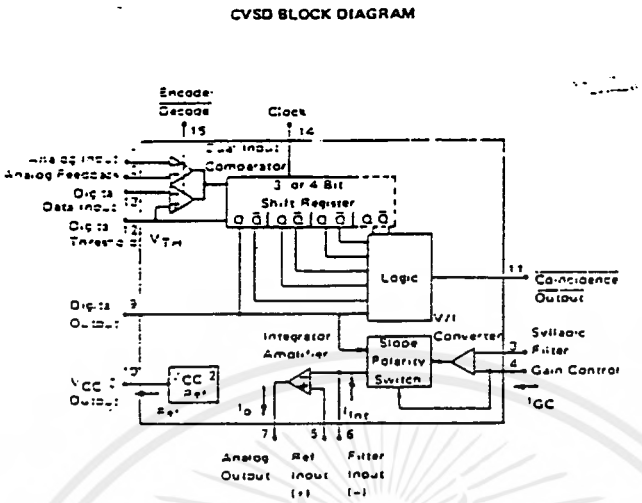


รูปที่ 2.10 การแปลงสัญญาณดิจิตอลเป็นอนาลอกของ CVSD

ส่วนประกอบภายในของวงจรเดลต้ามอดดูเลชั่นประกอบด้วยวงจรเปรียบเทียบในส่วนของการแปลงอนาลอกเป็นดิจิตอล (forward path) และวงจรอินทิเกรเตอร์ในส่วนการแปลงกลับดิจิตอลเป็นอนาลอก (feedback path) เพื่อใช้ในการควบคุมอัตราขยาย โดยที่อินพุทของวงจรเปรียบเทียบ คือ สัญญาณอนาลอกที่ต้องการแปลงและเอาท์พุทที่ได้จากอินทิเกรเตอร์ เอาท์พุทที่ได้จากวงจรเปรียบเทียบ $\varepsilon(1)$ แสดงเครื่องหมายความแตกต่างระหว่างแรงดันอินพุท (input voltage) กับเอาท์พุทของอินทิเกรเตอร์ซึ่งเป็นดิจิตอล แล้วใช้รีจิสเตอร์ภายในเก็บข้อมูลดิจิตอลที่เข้ามาล่าสุดนั้น (ขนาด 3 หรือ 4 บิทขึ้นกับเบอร์ไอซี) แล้วทำการตรวจดูว่าเป็น "0" ทั้งหมดหรือ"1" ทั้งหมดหรือไม่ ถ้าเป็นเช่นนั้นแสดงว่าขณะนั้นอัตราขยายของอินทิเกรเตอร์ต่ำเกินไปตอบสนองต่อความชันของสัญญาณไม่ทัน ต้องทำการเพิ่มอัตราขยายให้สูงขึ้นเฉพาะช่วงนั้น ในส่วนของการแปลงกลับจากดิจิตอลเป็นสัญญาณอนาลอก ก็มีการทำงานในลักษณะเดียวกัน คือ ดิจิตอลอินพุทที่เข้ามาจะถูกนำไปเปรียบเทียบกับระดับอ้างอิงดิจิตอล (digital threshold) เมื่อได้เอาท์พุทออกมาก็นำไปเก็บไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรีจิสเตอร์เช่นกัน ตรวจดูว่าข้อมูลเป็น "0" ทั้งหมดหรือ "1" ทั้งหมดหรือไม่ แล้วจัดการควบคุมอัตราขยายของอินทิเกรเตอร์ให้สอดคล้องกัน



รูปที่ 2.11 โครงสร้างภายในของ CVSD

2.2 การซแครมเบิล (Scrambling)

การซแครมเบิลสัญญาณเพื่อรักษาความปลอดภัยให้สัญญาณ ป้องกันไม่ให้ผู้ที่อยู่นอกระบบรับรู้และเข้าใจข้อมูลที่เราส่งไปในสัญญาณได้ อีกทั้งเป็นการป้องกันความผิดพลาดที่จะเกิดเนื่องจากมีข้อมูลบิท "0" ติดต่อกันเป็นเวลานาน การซแครมเบิลอาจทำได้โดยการรวมลำดับแบบกึ่งสุ่ม (pseudorandom sequence หรือ pseudonoise) เข้ากับขบวนข้อมูล หรืออาจทำการรวมทางตรรก ศาสตร์ (logic combinatiion) กับขบวนข้อมูลที่ถูกหน่วงไว้

การซแครมเบิลที่ใช้ในระบบยุโรป จะใช้การกลับบิท (จาก "1" เป็น "0" หรือจาก "0" เป็น "1") บิทเว้นบิท เทคนิคอื่น ๆ อาจทำการกลับบิท "1" และ "0" ในขบวนข้อมูลที่มีข้อมูล "0" ปรากฏเป็นส่วนใหญ่

การรวมขบวนบิทข้อมูลเข้ากับขบวนลำดับแบบกึ่งสุ่มนั้น ถ้าตัวกำเนิดลำดับแบบกึ่งสุ่ม 2 ตัวที่มีโครงสร้างเดียวกัน เริ่มต้น ด้วยสภาวะเดียวกัน มีสัญญาณนาฬิกาอัตราเดียวกัน ย่อมให้เอาท์พุทที่เหมือนกัน วงจรกำเนิดลำดับแบบกึ่งสุ่มเป็นวงจรที่ไม่ยุ่งยากซับซ้อน แต่ให้ลักษณะลำดับที่ดูคล้ายกับมีการสุ่มจริง ๆ

2.2.1 ลำดับแบบกึ่งสุ่ม (Psuedorandom sequence)

ลำดับแบบกึ่งสุ่ม เป็นลำดับที่มีคุณลักษณะ (characteristic) ใกล้เคียงกับลำดับที่มีการสุ่มอย่างสมบูรณ์ หรือลำดับที่มีรูปแบบของข้อมูลเป็นอิสระ เราสามารถนำลำดับแบบกึ่งสุ่มมาประยุกต์ใช้ได้หลายอย่างในระบบการส่งสัญญาณแบบดิจิตอล เช่น การเข้ารหัส (coding) การจำลองระบบ (simulation) การวัด (measurement) และการป้องกันการดักฟังข้อมูล (scrambling)

หลักการสร้างและคุณลักษณะของลำดับแบบกึ่งสุ่มนี้ มีพื้นฐานจากทฤษฎี Galois field และพหุนามพีชคณิตของ Galois fields

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2 การสร้างลำดับแบบกึ่งสุ่ม

ในการชแครมเบิลนี้เราจะเลือกใช้โครงสร้างของลำดับแบบกึ่งสุ่มแบบ (naximum - length linear feedback shift register (m-sequence) ซึ่งเป็นลำดับที่มีคุณลักษณะใกล้เคียงกับลำดับที่มีการสุ่มอย่างสมบูรณ์

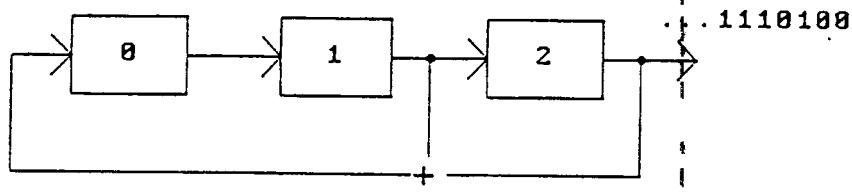
m—sequence คือลำดับแบบวนรอบโดยมีช่วงระยะ 2^m-1 ที่สร้างโดยใช้หลักของ Galois field GF(2^m) ซึ่งสร้างจากพหุนามที่ไม่สามารถถอดตัวประกอบได้อีก (irreducible polynomial) p(x) ของกำลังสองของ GF(2) ถ้า p(x) มีคุณสมบัติพิเศษคือ พจน์ x มีลำดับ 2^m-1 ใน GF(2^m) แล้วจะเรียก p(x) ว่า primitive polynomial และเรียกพจน์ว่า primitive element ของ (2^m)

ต่ละพจน์ของ GF(2^m) ที่ไม่เป็นศูนย์ สามารถแสดงเป็น m-bit word หรือในรูปเลขยกกำลัง ของ x m—bit binary word มีลักษณะเฉพาะขึ้นกับ x^1 สำหรับแต่ละ 1, จาก 0 ถึง 2^m-2 ใช้บิท ที่มีลำดับสูง (high order) สอดคล้องกับ x^1 สำหรับแต่ละ 1 ดังกล่าวมาสร้างเป็นลำดับที่มีขนาด 2^m-1 บิท ลำดับที่ได้นี้ แต่ละวงรอบการเลื่อนของมัน คือ m—sequence ถึงแม้ว่าลำดับแบบนี้จะมีโครงสร้างที่ตายตัว แต่ก็แสดงลักษณะที่เราต้องการจากในลำดับแบบกึ่งสุ่มได้

ฮาร์ดแวร์ที่นิยมนำมาใช้สร้างลำดับแบบสุ่มแสดงดังรูป 2..7 ประกอบไปด้วยชิฟรีจิสเตอร์ (shift register) เราเลือกใช้ดีฟลิบฟลอบ (D - flipflop) และจัดเรียงให้อินพุทของแต่ละตัวยกเว้น D_0 คือเอาท์พุท Q ของฟลิบฟลอบตัวที่อยู่ก่อนหน้ามัน อินพุทของ D_0 คือเอาท์พุทของพาริตี้เจนเนอเรเตอร์ (parity generater) พาริตี้เจนเนอเรเตอร์ (โดยทั่วๆไปสร้างจากลอจิกเกท XOR) จะให้เอาท์พุทเป็นลอจิก "0" เมื่อมีอินพุท "0" เป็นจำนวนคู่ และให้เอาท์พุทเป็นลอจิก "1" เมื่ออินพุท "1" มีจำนวนเป็นเลขคี่ อินพุทของพาริตี้เจนเนอเรเตอร์คือเอาท์พุทของฟลิบฟลอบ จากรูป 2.8 แสดงการต่ออินพุทของพาริตี้เจนเนอเดอร์ด้วยเส้นประ เพื่อแสดงว่า เอาท์พุท Q ของฟลิบฟลอบแต่ละตัวไม่จำเป็นต้องต่อเป็นอินพุทของพาริตี้เจนเนอเรเตอร์ทั้งหมด คุณลักษณะของลำดับแบบกึ่งสุ่มขึ้นกับจำนวนฟลิบฟลอบ m และการเลือกว่าจะต่อเอาท์พุท Q ของฟลิบฟลอบตัวใดบ้างเป็นอินพุทของพาริตี้เจนเนอเรเตอร์

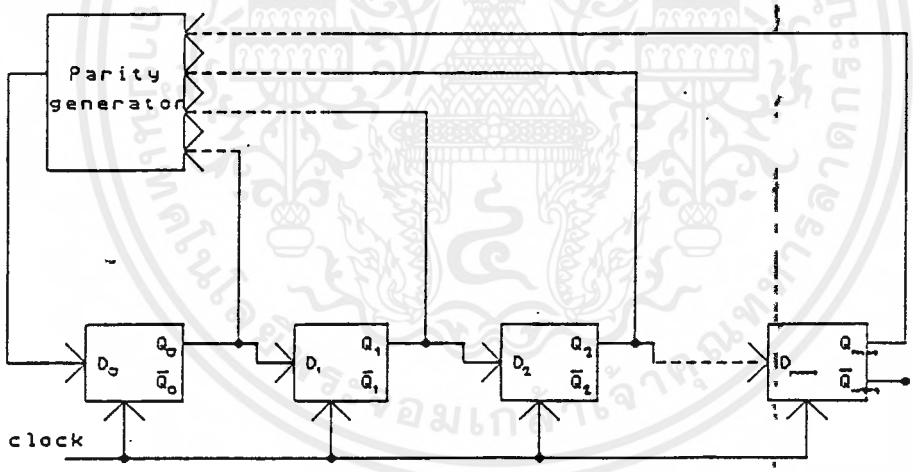
สภาวะของลำดับจะถูกกำหนดโดยสภาวะลอจิกของเอาท์พุท Q ของฟลิบฟลอบทั้งหมด ตลอดช่วงหนึ่งสัญญาณนาฬิกา สถานะของชิฟรีจิสเตอร์จะคงที่ โดยทั่ว ๆ ไปแล้วสถานะจะเปลี่ยนขณะมีการเปลี่ยนจากรอบสัญญาณนาฬิกาหนึ่งไปยังรูปแบบถัดไป รีจิสเตอร์ที่มีฟลิบฟลอบ m ตัวมี 2^m สถานะ จาก $Q_0Q_1Q_2...Q_{m-1}$ = 000...0 ถึง $Q_0\ Q_1\ Q_2\ ...Q_{m-1}$ = 111..1 แน่นอนว่าฮาร์ดแวร์ตามรูป 2.7 ไม่สามารถสร้างลำดับที่มีการสุ่มอย่างแท้จริงได้ เนื่องจากเป็นโครงสร้างที่เราสามารถคาดเดาผลที่จะตามมาได้ และค่อนข้างจะชัดเจนว่าลำดับใด ๆที่สร้างขึ้นจากวงจรนี้ เมื่อมีการสร้างขบวนบิท ไปเรื่อย ๆ จะเกิดลำดับซ้ำ นั่นคือมันจะวนรอบกลับมาซ้ำรูปแบบเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 ตัวกำเนิดลำดับแบบกึ่งสุ่ม

ขณะทั่วไปสามารถสร้างลำดับที่มีการสุ่มอย่างแท้จริงได้ เราจะถือว่าลำดับที่มีช่วงระยะวนซ้ำที่ยาวพอ เป็นลำดับที่มีคุณลักษณะแบบสุ่ม วิธีที่ง่ายที่สุดที่จะทำให้ได้ลำดับดังกล่าวคือใช้ฟลิบฟลอบจำนวนมาก ปัจจุบันจากเทคโนโลยี MOS-LSI มีความเป็นไปได้ที่จะสร้างชิพ (chip) ที่มีฟลิบฟลอบรีจิสเตอร์ถึง 200 ตัวได้ จะทำให้ได้ลำดับที่มีความยาวสูงสุด 2^m-1 โดยไม่รวมถึงสภาวะ 000.0 เนื่องจากถ้าสถานะของรีจิสเตอร์เป็น "0" หมด จะทำให้สภาวะของชิฟรีจิสเตอร์ไม่เกิดการเปลี่ยนแปลงใด ๆ อีก



รูปที่ 2.13 ตัวอย่างการกำเนิดลำดับแบบ m-sequence

ตัวอย่างของ linear feedback shift register ในรูป 2.8 มี p(x) = x^3+x+1 เป็น primitive polynomial เราจะได้ m-sequence ความยาว 7 บิท โดยใช้ feedback shift register ในรูป 2..8 เป็นวงจรที่จะทำการคูณพหุนามที่กำหนดด้วย x และหารด้วย x^3+x+1 เมื่อเริ่มสภาวะเริ่มแรกของชิฟ--รีจิสเตอร์ด้วย x^0 จากซ้ายมาขวาด้วย 100 ลำดับของบิทป้อนกลับคือ

0010111...

ซึ่งจะวนไปเรื่อย ๆ นี่คือ m-sequence ขนาด 7 บิท สังเกตว่าจำนวนของ "0" ต่างจาก "1" อยู่หนึ่ง ซึ่งก็จะเป็นจำนวนที่ใกล้เคียงกันที่สุดเท่าที่จะเป็นไปได้ในลำดับที่มีความยาวเป็นจำนวนคี่ ถ้าหากพิจารณาลำดับในลักษณะวนเป็นวงแล้ว จะพบว่าลำดับย่อย (subsequence) 2 บิท เป็นดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

00,01,10,01,11,11,10

แต่ละแบบจะปรากฏ 2 ครั้ง ยกเว้น 00 ซึ่งก็ใกล้เคียงที่สุดเท่าที่จะเป็นไปได้สำหรับลำดับที่มีความยาวเป็นจำนวนคี่ ในลำดับย่อย 3 บิทแต่ละแบบจะปรากฏหนึ่งครั้งเท่ากัน ยกเว้น 000 ลักษณะ เช่นนี้จะปรากฏในทุก ๆ m-sequence ความยาว 2^{30}-1 หรือประมาณ 10^9 บิท และทุกลำดับย่อยนาด r บิท ยกเว้นแบบ "0" หมดจะปรากฏเป็นจำนวนเท่า ๆ กัน โดย r ต้องไม่เกิน 30

2.2.3 ความยาวของลำดับแบบกึ่งสุ่ม

พิจารณารูป 2.7 แสดงภาพตัวกำเนิดลำดับแบบกึ่งสุ่ม ชิฟรีจิสเตอร์ประกอบด้วยฟลิบฟลอบ m ตัว ซึ่งสามารถมีได้ 2^m สภาวะ แต่สภาวะ "0" หมดทุกตัวจะถูกยกเว้น เพราะมันจะทำให้สภาวะของชิฟรีจิสเตอร์ไม่เกิดการเปลี่ยนแปลงใด ๆ อีกเลย ดังนั้นจึงมีสภาวะที่เป็นไปได้ 2^m-1 สภาวะ

ถ้าพหุนาม p(x) เป็น primitive polynomial รีจิสเตอร์จะสามารถสร้างสภาวะที่เป็นไปได้ทั้งหมด 2^m-1 สภาวะ ไม่ว่าสภาวะจะเริ่มต้นอย่างไร (ยกเว้นสภาวะศูนย์หมด) สภาวะของรีจิสเตอร์จะวนซ้ำด้วยคาบ 2^m-1 และลำดับที่ได้ $\{a_i\}$ ก็จะวนรอบด้วยคาบ 2^m-1 ด้วยซึ่งเป็นระยะที่ยาวที่สุดรีจิส เตอร์จากฟลิบฟลอบ m ตัวจะสร้างได้

เราสามารถกำหนดได้ว่าจะต่อเอาท์พุทของฟลิบฟลอบตัวใดบ้าง เป็นอินพุทของพาริตี้เจนเนอเรเตอร์ เพื่อให้ได้ลำดับที่มีความยาวสูงสุด (2^m-1) ในทางปฏิบัติ เพื่อให้สะดวกในการใช้งานสำหรับเลขยกกำลัง m เราจะเลือกใช้ primitive polynomial ที่มีจำนวนสัมประสิทธิ์เป็น 1 ให้น้อยที่สุด (อย่างน้อย 3 ตัว) หรือกล่าวคือใช้เอาท์พุท Q ของฟลิบฟลอบที่เป็นอินพุทของพาริตี้เจนเนอเรเตอร์ให้น้อยที่สุด กรณี m=1 ถึง m=15 การออกแบบรีจิสเตอร์เพื่อที่จะให้ได้ความยาวสูงสุดแสดงดังตารางต่อไปนี้

จำนวนชิฟรีจิสเตอร์	Feedback Tap
1	1
2	1 , 2
3	2 , 3
4	3 , 4
5	3 , 5
6	5 , 6
7	6 , 7
8	2 , 3 , 4 , 8,
9	5 , 9
10	7 , 10
11	9 , 11
12	2 ,10 , 11 ,12
13	1 ,11 , 12 ,13
14	2 ,12 , 13 ,14
15	14,15

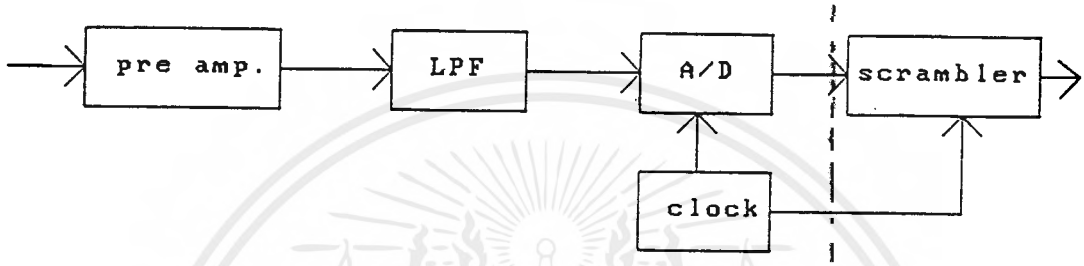
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

บทที่ 3
การคำนวนและการสร้าง

3.1 โครงสร้างของวงจร

หลักการทำงานของวงจรป้องกันการดักรับสัญญาณแบบดิจิตอล เขียนเป็นบล็อคไดอาแกรม ได้ดังรูปที่3.1



รูปที่ 3.1 บล็อคไดอาแกรมการทำงานของวงจรป้องกันการดักรับข้อมูลดิจิตอล

สัญญาณเสียงจะส่งผ่านเข้าวงจรพรีแอมป์ เพื่อขยายให้มีกำลังแรงขึ้น จากนั้นส่งเข้าวงจรกรองความถี่ต่ำ เพื่อกรองเอาเฉพาะความถี่ที่ไม่เกินย่านความถี่เสียงผ่านเข้าไปในวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล(A/D conveter) สัญญาณที่แปลงเป็นดิจิตอลแล้วจะถูกสแคมเบิล เพื่อเปลี่ยนสัญญาณให้มีลำดับที่เปลี่ยนไป เป็นการสแคมเบิลสัญญาณ

3.2 ส่วนของการแปลงสัญญาณอนาลอกเป็นดิจิตอล

ในโครงงานนี้ใช้ไอซีเบอร์ MC34115 ของโมโตโรลา ซึ่งมีชื่อเรียกเต็มๆว่า Continuously Vaiable Slope Delta Modulator/Demodulator เป็นไอซีที่ทำหน้าที่แปลงสัญญาณอนาลอกเป็นดิจิตอล(เหมือนเป็นการเข้ารหัสข้อมูล1บิท) และแปลงจากข้อมูลดิจิตอลเป็นข้อมูลอนาลอกตามเดิม บิทข้อมูลเหล่านี้สามารถส่งผ่านทางช่องการสื่อสารทั่วไป เช่นระบบวิทยุและโทรทัศน์ เป็นต้น ในลักษณะเป็นการอนุกรม ปกติแล้วอัตราเร็วของข้อมูลที่ได้จากวิธีเดลต้ามอดดูเลชั่นมีค่าเท่ากับความถี่ของสัญญาณนาฬิกา (หรืออาจกล่าวได้ว่า ทำการเข้ารหัสข้อมูล 1บิทต่อสัญญาณนาฬิกา 1 ลูก) ทำให้ข้อมูลมีประสิทธิภาพและความชัดเจนดีกว่า ทั้งยังมีอัตราเร็วของข้อมูลต่ำ เพื่อให้สามารถส่งผ่านสายโทรศัพท์ซึ่งมีความกว้างของ แถบความถี่ 4 กิโลเฮิร์ตได้ ไอซีเบอร์นี้ใช้ความถี่สัญญาณนาฬิกา 16 กิโลเฮิร์ต ดังนั้นข้อมูลดิจิตอลที่ได้มีบิทเรท 16 กิโลบิทต่อวินาที

หน้าที่การทำงานของขาต่างๆของไอซีเบอร์นี้ แสดงดังรายละเอียดที่จะกล่าวต่อไปนี้สำหรับวงจรใช้งานจริงแสดงในรูป 3.2

รายละเอียดและหน้าที่ใช้งานของขาต่างๆของ MC34115มีดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
27862

ขา 1 Analog Input

เป็นอินพุทขาลบของวงจรเปรียบเทียบเพื่อป้อนสัญญาณเสียง อาจจะเป็น AC หรือ DC coupled ขึ้นกับการใช้งาน ถ้าระดับสัญญาณเสียงมีค่าเข้าใกล้แรงดันอ้างอิงภายใน แล้วตัวต้านทานที่ต่อไบอัสอยู่ระหว่างขา 1 และขา 10 จะถูกนำมาใช้ อนาลอกคอมแพเรเตอร์ ออกแบบขึ้นใช้กับ low hysteresis (ปกติน้อยกว่า 0.1 มิลลิโวลต์) และมีค่าอัตราการขยายสูง(ปกติ 70 เดซิเบล)

ขา 2 Analog Feedback

เป็นอินพุทขาบวกของวงจรเปรียบเทียบ ในการเข้ารหัสนั้นขานี้จะต่อเข้ากับอนาลอกเอาท์พุทของวงจรเข้ารหัส(ขา 7) ในวงจรถอดรหัสขา 2 จะไม่ถูกใช้ หรืออาจจะต่อกับ $V_{cc}/2$ ที่ขา 10 ลงกราวด์ หรืออาจปล่อยลอยไว้

อินพุทของวงจรเปรียบเทียบจะมีกระแสไบอัสสูงสุด 1.5 ไมโครแอมป์ดังนั้นกระแสขับที่ขา 1และ 2 ควรจะเท่ากันเพื่อหลีกเลี่ยงการรบกวนกันของวงจรเข้ารหัส

ขา 3 Syllabic Filter

แรงดันที่ได้จากขานี้จะส่งกลับเข้าไปในไอซีเพื่อควบคุม step size ของอินทิเกรเตอร์ประกอบด้วยวงจร RC อยู่ระหว่างขา 11 กับขา 3 ค่าคงที่เวลา(time constant) ที่ใช้ในการเข้ารหัสถอดรหัสสัญญาณเสียงทั่วไปมีค่าเท่ากับ 6 มิลลิวินาที ถึง 50 มิลลิวินาที

ขา 4 Gain Control Input

แรงดันที่ได้จาก Syllabic Filter เกิดขึ้นคร่อม C_s และเป็นแรงดันระหว่าง V_{cc} กับขา 3 จากนั้นส่งไปให้ตัวแปลงแรงดันเป็นกระแส เพื่อนำไปขับขา 4 ด้วย slew rate 0.5 โวลต์ต่อไมโครวินาที ตัวต้านทาน R_x สามารถเปลี่ยนได้ เพื่อปรับลูปเกนของวงจรเข้าถอดรหัส แต่ควรจะมากกว่า 5 กิโลโอห์ม เพื่อรักษาเสถียรภาพ

ขา 5 Reference Input

เป็นอินพุทขาบวกของอินทิเกรเตอร์แอมพลิไฟเออร์ ใช้ในการอ้างอิง ระดับ DC ของสัญญาณเอาท์พุท ในวงจรเข้ารหัสมีค่าแรงดันอ้างอิงเท่าขา 1 และถูกต่อเข้ากับขา 10

ขา 6 Filter Input

เป็นอินพุทขาลบของอุปกรณ์ภายนอกวงจรอินทิเกรเดอร์ กระแสของวงจรอินทิเกรเดอร์จะไหลเข้าไปในขา 6 เมื่ออินพุทอนาลอก (ขา 1) มีค่ามากเมื่อเปรียบเทียบกับสัญญาณอนาลอกที่ป้อนกลับ(ขา 2)ในช่วงการเข้ารหัสหรือเมื่ออินพุทข้อมูลดิจิตอล(ขา 13)มีค่ามากในช่วงถอดรหัส ในทางกลับกันกระแสนี้จะไหลออกจากขา 6 ระบบอินทิเกรชั่นโดยทั่วไปต้องการตัวเก็บประจุและตัวต้านทานต่อระหว่างขา 6 และ 7 ตัวต้านทานระหว่างขา 6 และขา 7 ควรมีค่าอยู่ระหว่าง 8 กิโลโอห์ม เพื่อรักษาคุณสมบัติของไอเดิลแชนแนล

ขา 7 Analog Output

เป็นขาเอาท์พุทของออปแอมป์ที่เป็นอินทิเกรเดอร์ ใช้ขับโหลด 600 โอห์มด้วยแรงดัน $V_{cc}/2$ ถึง +6 dBm slew rate ของออปแอมป์ที่เป็นอินทิเกรเดอร์นี้เท่ากับ 0.5 โวลต์ต่อไมโครวินาที เอาท์พุทของขา 7 ซึ่งมีกระแสไหลมีค่าจำกัดที่ขั้วอินพุททั้งสองจะมีค่ากระแสไหลโดยทั่วไป 30 มิลลิแอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา 8 V_{EE}

MC34115 ถูกออกแบบให้ใช้งานได้ทั้งไฟเลี้ยงเดี่ยว(single power supply)และไฟเลี้ยงคู่(dual power supply) ซึ่งขา 8 นี้ส่วนใหญ่ต่อเข้ากับขั้วไฟลบ

ขา 9 Digital Output

เอาท์พุทดิจิตอลที่ได้จากการแปลง มีค่าอยู่ระหว่าง V_{CC} กับ V_{EE} สามารถใช้งานได้ทั้งกับ TTL กับ CMOS ข้อมูลกิจิตอลนี้ได้จากขอบขาลงของสัญญาณนาฬิกาที่ขา 14

ขา 10 V_{CC}/2 output

ขาแรงดันอ้างอิงครึ่งหนึ่งจะใช้งานกรณีป้อนไฟเลี้ยงเดี่ยว ซึ่งจ่ายกระแสไฟสูงสุด 10 มิลลิแอมป์ และจะต้องมีตัวเก็บประจุค่า 0.1 ไมโครฟาหรัด ต่อบายพาสจากขา 10 ไปยัง V_{EE}

ขา 11 Coincidence Output

รอบเวลาในการทำงานของขานี้ จะแปรตามแรงดันที่คร่อมตัวกับประจุ C_S ซึ่งขานี้จะมีค่าน้อยกรณีที่ชิฟรีจิสเตอร์ภายในเป็น " 0" หรือ "1" หมด(ไอซีบอร์ MC34115 มีชิฟรีจิสเตอร์ขนาด 3 บิท)ขา 11

นี้ป็ฯขาคอลเลกดอร์ของทรานซิสเตอร์ NPN จึงต้องใช้ตัวต้านทานค่าหนึ่งดึงกระแส ถ้า Syllabic filter มีค่าคงที่เวลาในการประจุและคายประจุเท่ากัน ค่า R_P ควรมีค่าน้อยกว่า R_S ทรานซิสเตอร์ NPN จะไม่ให้กระแสไหลผ่านเข้าตัวมันกิน 3 มิลลิแอมป์

ขา 12 Diital Threshold

ใช้กำหนดระดับ(threshold level)ของขา 13,14,15 เพื่อให้ใช้งานร่วมกับไอซีตระกูลต่างๆได้ เช่นต้าเชื่อมต่อกับไอซี CMOS ปกติจะต่อกับขาแรงดันไฟเลี้ยงครึ่งหนึ่ง(ขา 10)หรือกรณีที่ต่อร่วมกับไอซี TTL จะถูกไบอัสด้วยไดโอด 2 ตัวก่อนลงกราวน์

ขา 13 Digital Data Input

ในการถอดรหัส สัญญาณดิจิตอลจะถูกป้อนเข้าขานี้สำหรับช่วงการเข้ารหัสขานี้จะไม่ใช้ หรืออาจใช้ในการส่งสัญญาณข่าวสาร ทั้งนี้ก็ขึ้นอยู่กับขา 15 ที่ใช้ควบคุมระดับข้อมูลดิจิตอลอินพุท ควรจะคงที่อยู่ที่ 0.5 ไมโครวินาที ก่อนและหลังการกระตุ้นสัญญาณนาฬิกา

ขา 14 Clock Input

บอกได้ว่าอัตราข้อมูลของสัญญาณจกาวงจรเข้า-ถอดรหัสเป็นเท่าไรตัวอย่างแช่น อัตราข้อมูล 32 กิโลบิทต่อวินาที ต้องใช้ความถี่ของสัญญาณนาฬิกาค่า 32 กิโลเฮิร์ตชิฟรีจิสเตอร์จะเกิดการทอกเกิลที่ขอบขาลงของสัญญาณนาฬิกา ระดับของสัญญาณนาฬิกากำหนดโดยขา 12

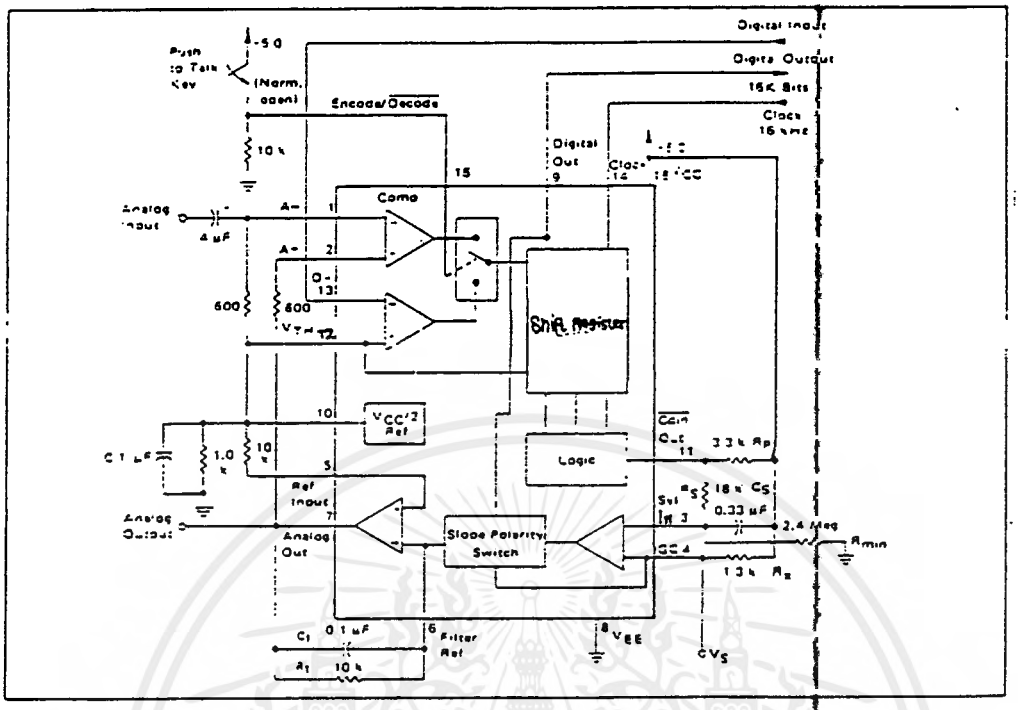
ขา 15 Encode/Decode

เป็นขาควบคุมการต่อระหว่างอนาลอกอินพุทของวงจรเปรียบเทียบ (ดิจิตอลอินพุทของวงจรเปรียบเทียบ) เข้ากับชิฟรีจิสเตอร์ ถ้าเป็น 1 สัญญาณอนาลอกอินพุท จะถูกเปรียบเทียบกับช่วงขอบขาลงของสัญญาณนาฬิกาที่ขา 14 ถ้าเป็น 0 สัญญาณดิจิตอลจะถูกเปรียบเทียบเพื่อการแปลงกลับ

ขา 16 V_{CC}

ค่าแรงดันไฟลี้ยงอยู่ในช่วงระหว่าง 4.75 ถึง 16.5 โวลต์เทียบกับ V_{EE}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

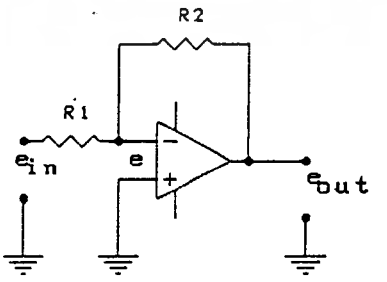


รูปที่ 3.2 วงจรการใช้งานจริงของ MC34115

3.3 การขยายสัญญาณ

ในการขยายสัญญาณเสียงพูดที่เข้ามาในระบบ จะใช้อินเวิร์ทติงแอมพลิไฟเออร์(inverting amplifier) ซึ่งแสดงไว้ในรูป 3.3 โดยที่ non-invertin input ต่อลงกราวด์ ในบางกรณีอาจผ่านตัวต้านทานค่าหนึ่ง เพื่อเป็นการชดเชยไปอัสด้วย จากรูปที่ 3.3 ค่า R_2 เป็นส่วนป้อนกลับ(feedback path) จากเอาท์พุท ถ้าให้ e เป็นค่าของแรงดันระหว่าง inverting input กับกราวด์จะได้ว่า

$$(e_{in} - e) / R_1 = (e - e_{out}) / R_2 \quad \text{..... (1)}$$



รูปที่ 3.3 Inverting Amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากคุณสมบัติของอินพุทอิมพีแดนซ์ของออปแอมป์ ที่ว่ามีค่ามากกว่าเป็นอนันต์ กล่าวคือไม่มีกระแสไหลเข้าไปในแอมพลิไฟเออร์ ฉะนั้นกระแสที่ไหลผ่าน R_1 จึงมีค่าเท่ากับกระแสที่ไหลผ่าน R_2 และจากคุณสมบัติอีกข้อคือ open loop gain มีค่าเป็นอนันต์ e จึงมีค่าเท่ากับศูนย์เพราะฉะนั้นจากสมการ (1) ได้ว่า

$$e_{out} / e_{in} = - R_2 / R_1 \quad \text{.....(2)}$$

สมการ(2) ถือว่าเป็น closed loop gain ของแอมพลิไฟเออร์(เพราะว่ามีโครงร่างแบบป้อนกลับ)ใช้สัญญลักษณ์ A_F นั่นคือ

$$A_F = - R_2 / R_1 \quad \text{.....(3)}$$

สำหรับ open loop gain ของแอมพลิไฟเออร์ แทนด้วยสัญญลักษณ์ A_O

ส่วน input impedance (R_{in}) ของอินเวิร์ทติงแอมพลิไฟเออร์มีค่าเท่ากับแรงดันอินพุทหารด้วยกระแสอินพุท

$$R_{in} = e_m / \{ (e_m - e)/R_1\} \quad \text{.....(4)}$$

แต่เนื่องจากอินพุทอิมพิแดนซ์ของออปแอมป์มีค่าเป็นอนันต์ จึงได้ว่า

$$R_{in} = R_1$$

3.4 การกรองสัญญาณ

3.4.1 การออกแบบวงจรกรองความถี่

การออกแบบวงจรกรองความถี่ที่ใช้ในวงจรโทรคมนาคมนั้น อาจแยกได้เป็นสองส่วนคือ ส่วนที่หนึ่งเป็นวงจรกรองความถี่ที่ใช้กับสัญญาณที่มีค่าต่ำๆ เช่น วงจรกรองความถี่ที่ใช้สัญญาณในย่านความถี่เสียง โดยได้ทำการวิเคราะห์และออกแบบวงจรกรองความถี่แบบแอคทีฟที่ใช้ตัวต้านทานและตัวเก็บประจุ(RC - Active filter)กล่าวคือ อาศัยตัวขยายสัญญาณจำพวกทรานซิสเตอร์หรือไอซีนในรูปออปแอมป์ และตัวต้านทานกับตัวเก็บประจุทำงานร่วมกัน

โดยทั่วไป ถ้าคำนึงถึงชิ้นส่วนที่นำมาประกอบเป็นวงจรกรองความถี่ สามารถแบ่งออกเป็นประเภท Passive และ Active ชิ้นส่วนวงจรที่ใช้วงจรกรองความถี่แบบพาสซีฟได้แก่ตัวต้านทาน,ตัวเก็บประจุ และตัวเหนี่ยวนำ การจะเลือกใช้ชิ้นส่วนชนิดใดนั้น ย่อมขึ้นอยู่กับย่านความถี่ของสัญญาณที่ต้องการให้วงจรกรองความถี่นั้นทำงาน ยกตัวอย่างเช่น RC Filter ใช้กับย่านความถี่เสียงหรือใช้ในย่านความถี่ต่ำ ขณะที่ LC filter หรืออาจจุกล่าวไปถึง Crystal filter เหมาะที่จะใช้ในย่านความถี่วิทยุหรือความถี่สูง และโดยเฉพาะอย่างยิ่งค่า Q หรือ Figure of merit ที่สูงของตัว Crystal ทำให้ Crystal Filter มีเสถียรภาพที่ความถี่สูงมากๆดีกว่า LC Filter อีกด้วย และในกรณีนี้เราไม่นำตัวเหนี่ยวนำมาใช้ในย่านความถี่เสียง เพราะย่านความถี่ต่ำเช่นนี้ ตัวเหนี่ยวนำมีขนาดใหญ่ จึงมีราคาแพง สิ้นเปลืองกำลังงานในตัวมาก และยังกระจายสนามแม่เหล็กไปรบกวนชิ้นส่วนหรืออุปกรณ์ข้างเคียง

ส่วนที่สอง เป็นวงจรกรองความถี่ที่ใช้กับวงจรที่มีกระแสผ่านสูง เช่น วงจรความถี่ในวงจรขยายกำลังส่งออกของเครื่องส่งวิทยุ เป็นต้น ในวงจรกรองความถี่แบบนี้จำเป็นต้องใช้กับวงจรแบบพาสซีฟ แม้ว่าจะเกิดการสูญเสียขึ้นก็ตาม

กล่าวโดยทั่วไป สามารถแบ่งวงจรกรองความถี่ออกได้เป็นหลายรูปแบบ ดังนี้

1.วงจรกรองความถี่ชนิดอนาลอกหรือชนิดดิจิตอล

2.วงจรกรองความถี่ชนิดพาสซิฟหรือชนิดแอคทีฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. วงจรกรองความถี่ที่ใช้ย่านความถี่เสียงหรือย่านวิทยุ

วงจรกรองความถี่แบบอนาลอกออกแบบมาเพื่อใช้กับสัญญาณอนาลอก ส่วนวงจรความถี่แบบดิจิตอลใช้งานกับสัญญาณอนาลอกเช่นกัน แต่อาศัยเทคนิคทางดิจิตอลมาช่วย

3.4.2 ข้อดีของวงจรกรองความถี่แบบแอคทีฟที่เหนือกว่าแบบพาสซีฟ

1.การปรับอัตราการขยายและปรับความถี่เป็นอิสระต่อกัน สามารถจัดค่าอัตราการขยายของออปแอมป์ชดเชยกับอัตราการลดทอนสัญญาณของวงจร RC หรือเพิ่มอัตราขยายของวงจรทั้งหมด ด้วยการจัดค่าชิ้นส่วนอุปกรณ์ในส่วนของวงจรขยายออปแอมป์ และการปรับเปลี่ยนความถี่ก็อยู่ที่ค่า RC เท่านั้น

2.ไม่มีปัญหา loading จากการที่ออปแอมป์มีอินพุทอิมพีแดนซ์สูงมากเป็นอนันต์ และ เอาพุทอิมพีแดนซ์ต่ำ วงจรกรองความถี่แบบแอคทิฟซึ่งอาศัยออปแอมป์จึงไม่เกิดปัญหา loading กับเอาท์พุทและอินพุทของวงจร ณ จุดที่นำวงจรกรองความถี่เข้าไปต่อ

3. มีราคาถูก วงจรกรองความถี่แบบแอคทีฟมีราคาถูกกว่า เพราะไม่ต้องอาศัยตัวเหนี่ยวนำที่มีราคาแพงและยังใช้ออปแอมป์ ซึ่งปัจจุบันราคาถูก

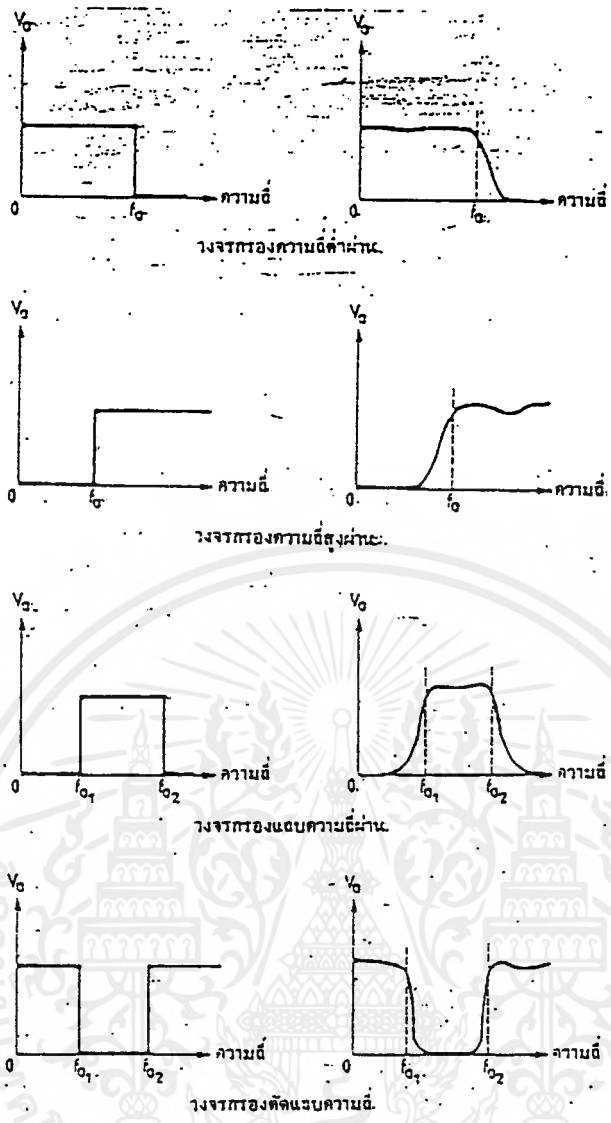
3.4.3 วงจรกรองความถี่ในอุดมคติและใจการใช้งานจริง

เมื่อพิจารณาในด้านการใช้งานแล้ววงจรกรองความถี่จะถูกใช้งานใน 4 ลักษณะ ได้แก่

1. วงจรกรองความถี่ต่ำผ่าน(low pass filter) จะยอมให้สัญญาณที่มีความถี่ตั้งแต่ 0 เฮิร์ตไปจนถึงความถี่ที่กำหนด(f_o) ผ่านวงจรกรองความถี่ไปได้ ส่วนความถี่ตั้งแต่ความถี่ที่กำหนดขึ้นไปจนถึงความถี่อนันต์จะไม่สามารถผ่านได้
2. วงจรกรองความถี่สูงผ่าน(high pass filter) ให้ความถี่ผ่านได้ตั้งแต่ความถี่ที่กำหนด(f_o)ไปจนถึงความถี่อนันต์ ส่วนความถี่ที่ต่ำกว่า f_o ลงมาจะถูกตัดทิ้ง
3. วงจรกรองแถบความถี่ผ่าน(band pass filter) เปรียบเทียบเสมือนนำเอาวงจรกรองความถี่ต่ำผ่านมาอนุกรมกับวงจรกรองความถี่สูงผ่าน ความถี่ที่ผ่านได้ต้องมีค่ามากกว่า f_{01} แต่น้อยกว่า f_{02} ส่วนความถี่ที่ไม่อยู่ในย่านนี้จะถูกตัดทิ้ง
4. วงจรกรองตัดแถบความถี่(band - stop filter) วงจรกรองลักษณะนี้จะตรงข้ามกับการใช้งานในลักษณะแถบความถี่ผ่าน ความถี่ในช่วงที่สูงกว่า f_{01} และต่ำกว่า f_{02} จะถูกตัดทิ้งไป แต่ความถี่ที่ต่ำกว่า f_{01} และสูงกว่า f_{02} จะสามารถผ่านไปได้

เปรียบเทียบคุณลักษณะในอุดมคติกับในการใช้งานจริง ในรูปที่3.4 จะเห็นได้ว่า ในการใช้งานจริงจะเกิดปัญหาอยู่ 2 ประการใหญ่ ๆ นั่นคือ เกิดการส่งผ่านของแถบความถี่(transition) ในการใช้งาน

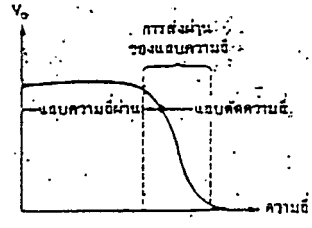
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 เปรียบเทียบวงจรกรองความถี่ในอุดมคติกับในการใช้งานจริงทั้ง 4 แบบ

การส่งผ่านของแถบความถี่

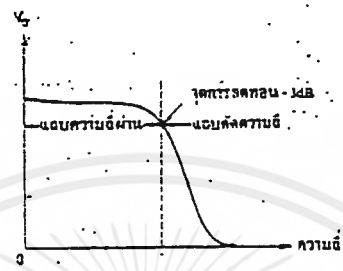
ลักษณะการส่งผ่านของแถบความถี่จะเป็นตัวบ่งบอกคุณสมบัติของวงจรกรอง กล่าวคือ ถ้าการส่งผ่านมีช่วงแคบและมีลักษณะชัน แสดงว่าวงจรกรองนั้นมีคุณภาพดี แต่ถ้าช่วงการส่งผ่านมีช่วงกว้างและลาดมาก แสดงว่าวงจรกรองมีลักษณะการเลือกความถี่ที่เลว ดังนั้น ในการออกแบบจึงควรทำให้ช่วงการส่งผ่านชันและแคบให้ใกล้เคียงกับในอุดมคติมากที่สุด



รูปที่ 3.5 ในการใช้งานจริงจะเกิดการส่งผ่านของแถบความถี่ขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

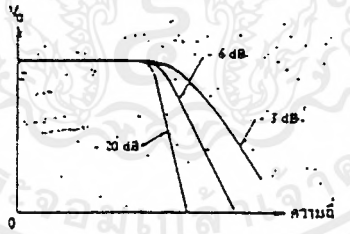
ความถี่คัทออฟ(cut off frequency : f_c) คือความถี่ค่าแรกสุดที่อยู่ในแถบความถี่ ความถี่คัทออฟจะเป็นตัวแบ่งแถบความถี่ผ่านและแถบความถี่ดัดออกจากกัน ดังรูปที่ 3.5 ซึ่งจะถูกกำหนดไว้ในช่วงการส่งผ่านที่มีค่าการลดทอน(attenuation)เท่ากับ -3 เดซิเบล(การลดทอน คือ อัตราการลดลงของสัญญาณจะมีค่าเท่ากับ $20\log V_0/V_1$ เช่นเมื่อสัญญาณเอาท์พุทลดลงเป็น 1 ใน 10 ของอินพุทการลดทอน จะมีค่าเป็น 20log 1/10 ก็คือ -20 เดซิเบล เป็นต้น)



รูปที่ 3.6 แสดงความถี่คัทออฟซึ่งกำหนดไว้ที่จุดลดทอน -3 dB

สำหรับค่า roll off ซึ่งเป็นค่าที่แสดงลักษณะการส่งผ่านแถบความถี่ของวงจรกรอง คือ อัตราการลดทอนของสัญญาณต่อจำนวนความถี่ที่เปลี่ยนไป หรืออีกนัยหนึ่งก็คือ ความชันของการส่งผ่านนั่นเอง มีหน่วยเป็นเดซิเบลต่อดีเคด(decibel/decade)และเดซิเบลต่อออคเตฟ(decibel/octave)

รูปที่ 3.7 แสดงการส่งผ่านที่ค่าโรลออฟต่าง ๆกัน เพื่อให้เห็นว่าการส่งผ่านที่ดีนั้นจะต้องมีค่าโรลออฟสูง ๆ

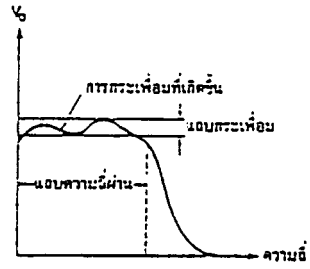


รูปที่ 3.7 ภาพแสดงการส่งผ่านความถี่ที่ค่าโรลออฟต่าง ๆ

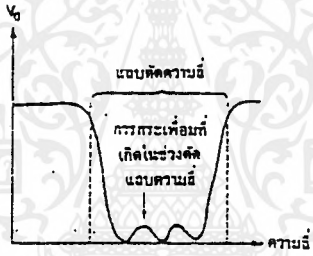
การเกิดการกระเพื่อมในแถบความถี่

เนื่องจากวงจรกรองในอุดมคตินั้น จะมีความแรงของสัญญาณเท่ากันตลอดทุก ๆความถี่ที่ยอมให้ผ่าน แต่ในทางปฏิบัติแล้ว จะให้วงจรกรองมีเอาท์พุทเท่ากันตลอดนั้นเป็นไปไม่ได้ เพราะในความถี่บางค่าอาจมีผลกระทบทำให้ค่าอิพีแดนซ์ของวงจรเปลี่ยนไป การที่วงจรกรองมีความแรงไม่เท่ากันนั้น ทำให้เกิดความกระเพื่อมขึ้นในแถบความถี่ ในรูปที่3.8 การกระเพื่อมนั้นไม่ได้มีแต่เพียงในแถบความถี่เท่านั้น แต่ยังสามารถเกิดในช่วงดัดแถบความถี่ได้อีกด้วย ดังแสดงในรูปที่3.9 ซึ่งการกระเพื่อมในช่วงนี้ไม่ค่อยมีความสำคัญในงานใด ๆนักแต่จะเกิดปัญหาเมื่อใช้งานในลักษณะของวงจรดัดแถบความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

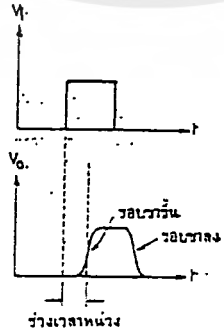


รูปที่3.8 ภาพแสดงการเกิดการกระเพื่อมในแถบความถี่



รูปที่ 3.9 ภาพแสดงการเกิดการกระเพื่อมในแถบตัดความถี่

ปัญหาอย่างหนึ่งของวงจรกรองคือ การผิดเพี้ยนของสัญญาณเนื่องมาจากการเลื่อนเฟส และการหน่วงพิจารณารูปที่3.10 เปรียบเทียบสัญญาณที่เข้ามาทางอินพุท (V_i)กับสัญญาณที่ออกไปยังเอาท์พุท(V_0)ของวงจรกรอง



รูปที่ 3.10 ภาพแสดงการเกิดช่วงเวลาหน่วงของรูปคลื่นทางเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นได้ว่า ขณะที่สัญญาณเข้าไปทางอินพุท และออกไปยังเอาท์พุท จะเกิดช่วงเวลาหนึ่ง เรียกว่า ช่วงเวลาหน่วง ช่วงเวลานี้เองที่ทำให้เฟสของสัญญาณเอาท์พุทเลื่อนไป และเกิดความผิดเพี้ยนของรูปคลื่นทางเอาท์พุท สังเกตได้จากช่วงขอบขาขึ้นและขอบขาลงของพัลส์ทางเอาท์พุทจะมีช่วงเวลาในการขึ้นลงไม่เท่ากับสัญญาณทางอินพุท ถ้าสัญญาณมีความถี่สูง การผิดเพี้ยนเนื่องจากการเลื่อนเฟสจะมีค่ามากขึ้นตามไปด้วย

สำหรับวงจรกรองความถี่ทางด้านส่งในโครงงานนี้ ได้เลือกใช้วงจรกรองความถี่ต่ำผ่านแบบเชฟบีเชฟ เนื่องจากลักษณะของวงจรกรองชนิดนี้มีข้อดีตรงที่การส่งผ่านของแถบความถี่มีความชันมาก หรือมีค่าโรลออฟสูงมากนั่นเอง และที่ด้านส่งต้องการให้ความถี่ในย่านเสียง(0.4 กิโลเฮิร์ด)เท่านั้นถูกส่งผ่านไปยังวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล จึงจำเป็นต้องมีวงจรตัดหรือลดทอนสัญญาณในส่วนที่ไม่ต้องการออก ในที่นี้ได้ทำการออกแบบโดยใช้โปรแกรม PSPICE หาค่าอุปกรณ์ต่างๆ ที่ต่อร่วมกับ ไอซีเบอร์ 324 (มีไอซีอยู่ภายใน 4 ตัว) ดังต่อไปนี้

	R_1	R_2	R_3	R_4	C_1	C_2
1^{st} stage	17.5k	20k	-	-	-	10nF
2^{nd} stage	2k	2k	3.3k	240	82nF	10nF
3^{rd} stage	750	750	4k	50	330nF	10nF

หมายเหตุ ดูได้จากรูปกราฟในภาคผนวก

ส่วนวงจรกรองแถบความถี่ทางด้านรับทำการออกแบบโดยใช้วงจรกรองความถี่ต่ำผ่านและวงจรกรองความถี่สูงผ่านต่อคาสเคดกัน จากที่กล่าวมาข้างต้นความถี่คัทออฟเป็นจุดที่อัตราส่วนทางด้านเอาท์พุททางด้านเอาท์พุทต่ออินพุทลดทอนลงมา -3 dB ในที่นี้ทำการออกแบบวงจรกรองความถี่ต่ำผ่านอันดับสองแบบบัตเตอร์เวิร์ธ ที่มีค่าทรานสเฟอร์ฟังก์ชันดังสมการ

$$H(s) = V_0(s) / V_1(s) = K / (S^2 + aS + b)$$

โดยที่ a,b เป็นค่าคงที่ในการเลือกการออกแบบ

K เป็นค่าคงที่

ค่าต่างๆ กำหนดได้ตามสมการต่อไปนี้

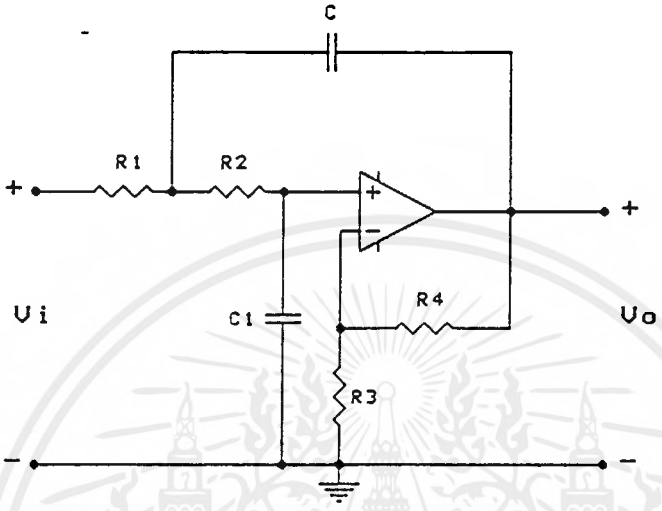
$$K = \mu / R_1 R_2 C C_1 \quad ; \quad \mu = 1 + (R_4 / R_3)$$

$$a = (1/R_2C_1)^* (1 - \mu) + 1/R_1C + 1/R_2C$$

$$b = 1/R_1R_2CC_1$$

เราสามารถหาค่าอัตราการขยายวงจรกรองความถี่นี้ได้เมื่อ S = 0 ซึ่งจากสมการมีค่าเท่ากับ K/b

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 วงจรกรองความถี่ต่ำผ่านอันดับสองแบบบัตเตอร์เวิร์ธ

เนื่องจากโครงงานนี้เป็นการสื่อสารในย่านเสียงจึงสร้างให้มีความถี่คัทออฟอยู่ที่ 4 กิโลเฮิร์ต อัตราขยายเท่ากับ 6 ค่าที่ใช้งานจริงสามารถหาได้จากตารางในภาคผนวก ดังนี้

$C = 0.01\ \mu F$

$R_1 = 1.5\ k\Omega$

$R_2 = 5\ k\Omega$

$R_3 = 8\ k\Omega$

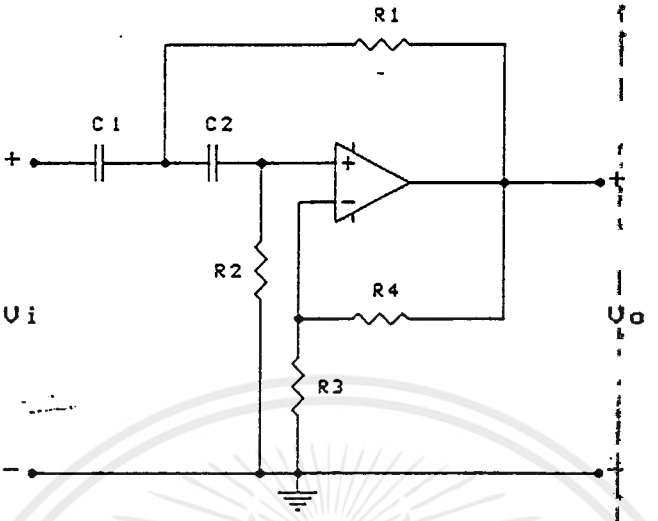
$R_4 = 40\ k\Omega$

$C_1 = 0.02\ \mu F$

สำหรับวงจรกรองความถี่สูงผ่านได้เลือกใช้แบบบัตเตอร์เวิร์ธอันดับสองเช่นกันมีค่าทรานสเฟอร์ฟังก์ชันดังสมการ

$$H(s) = V_0(s) / V_1(s) = Ks^2 / (S^2 + aS + b)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 วงจรกรองความถี่สูงผ่านอันดับสองแบบบัตเตอร์เวิร์ธ

โดยที่สามารถหาค่าต่างๆได้ตามสมการ

$K = \mu = 1 + (R_4 / R_3)$

$a = (1/R_1C)^* (1 - \mu) + 2/R_2C$

$b = 1/R_1R_2C^2$

ในโครงงานนี้สร้างให้ความถี่คัทออฟอยู่ที่20 เฮิร์ต อัตราขยายเท่ากับ 1 ค่าที่ใช้งานจริงสามารถหาได้จากตารางในภาคผนวก ดังนี้

$C = 0.1\ \mu F$

$R_1 = 56\ k\Omega$

$R_2 = R_4 = 110\ k\Omega$

ส่วน R_3 ไม่ต้องต่อเมื่อนำวงจรกรองความถี่ทั้งสองมาต่ออนุกรมกัน จะได้เป็นวงจรกรองแถบความถี่ผ่าน ที่มีช่วงความถี่ผ่าน 20 เฮิร์ดถึง 4 กิโลเฮิร์ด

3.5 วงจรสร้างสัญญาณนาฬิกา(clock generater)

วงจรสร้างสัญญาณนาฬิกาใช้คุณสมบัติของตัวเก็บประจุกับตัวต้านทานเพื่อสร้างค่าคงที่ของเวลา โดยใช้เวลาในการประจุเป็นตัวกำหนด และเนื่องจากการผลิตความถี่สูง ๆหรือคาบเวลาสั้นทำได้เสถียรภาพดีกว่าความถี่ต่ำหรือคาบเวลายาว จึงมีแนวความคิดในการผลิตความถี่ที่สูงขึ้นมาความถี่หนึ่งแล้วป้อนให้ไอซีที่ทำหน้าที่นับและหาร ระยะเวลาในการตั้งก็เปลี่ยนได้โดยค่าความถี่ฐานเวลา หรือจำนวนที่นำมาหารความถี่ ซึ่งถ้าตัวหารมาก ความถี่ก็จะลดลงและค่ายเวลาก็จะนานขึ้น

ในโครงงานนี้ได้อาศัยไอซีบอร์ MC 14060 ซึ่งเป็นแบบซีมอส มีทั้งวงจรผลิตความถี่และหารความถี่อยู่ภายใน และในภาครับและหารนี้ก็ยังมีอยู่ถึง 11 ชุด นั่นก็หมายความว่า หารด้วย 2 เป็นจำนวน 14 ครั้ง ซึ่งก็เท่ากับค่าเวลาของความถี่ฐานเวลาจะยืดออกไปได้เท่ากับคูณด้วย 2^{14}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ16,384 เท่า แต่ในความเป็นจริงจะใช้ได้เพียง 2^{13} เท่านั้นเพราะช่วงเวลาที่นานที่สุดของ 14060 ที่ยังคงเป็นสภาวะ"0"จากเมื่อเริ่มนับคือ คาบเวลาคูณด้วย 2^{13} เมื่อถัดจากจุดนี้ไปแล้วก็จะแสดงสภาวะ"1"เราสามารถทำการเลือกขาเอาท์พุทของ 14060 ได้ ซึ่งมีตั้งแต่ 2^4 จนถึง 2^{14} ทำให้เลือกได้ว่าจะเอาเวลาเท่าใด โดยถ้าให้ตัวหารความถี่น้อย คาบเวลาที่ได้ก็จะน้อยตาม จะทำให้สามารถสร้างคาบเวลาได้ยาวนานเท่าที่ต้องการ

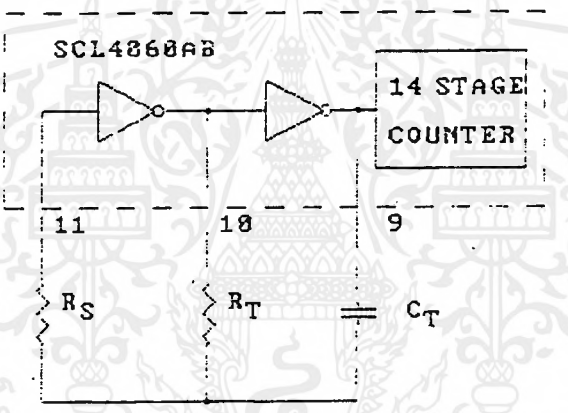
ในการต่อใช้งานไอซีเบอร์ 14060 เพื่อใช้เป็นวงจรสร้างสัญญาณนาฬิกา ทำได้ 2 วิธี คือต่อใช้งานร่วมกับตัวต้านทานและตัวเก็บประจุ หรือไม่ก็ต่อร่วมกับคริสตอล ในกรณีแรกจะใช้อุปกรณ์เพียง 3 ตัวเท่านั้น ไอซีก็สามารถกำเนิดความถี่และนับได้แล้ว ดังรูปที่ 3.13 วิธีของการหาค่าอุปกรณ์ภายนอกเพื่อให้ได้คาบความถี่ที่ต้องการ โดยใช้สมการต่อไปนี้

$f = 1 / (2.2R_rC_r)$ ที่ $V_{DD} = 10$ V

$C_r > 100$ pF

$R_r > 1$ kΩ

$R_s \approx 10R_r$



รูปที่ 3.13 แสดงการต่ออุปกรณ์ภายนอกเพื่อผลิตความถี่

นอกจากนี้ ควรมีการรีเซ็ตให้อยู่ในสภาวะพร้อมทำงานก่อนทุกครั้ง ซึ่งไอซีเบอร์นี้มีขา 12 เป็นขารีเซ็ต ดังนั้นเมื่อจะใช้งานจึงต้องใช้ตัวเก็บประจุและตัวต้านทานต่อเป็นตัวรีเซ็ตให้ในขณะป้อนไฟเข้าข้างในวงจรเป็นครั้งแรก การทำงานคือ ขณะที่ป้อนไฟครั้งแรกให้วงจรทางภาคส่งกระแสส่วนแรกจะไหลผ่านตัวเก็บประจุทางตัวต้านทาน แรงดันตกคร่อมเกือบทั้งหมดจะตกคร่อมที่ตัวต้านทาน ทำให้ขา 12 ของไอซี 1 ขณะนี้ถูกรีเซ็ตแล้วและเมื่อตัวเก็บประจุ ถูกประจุจนเต็ม ก็จะไม่มีกระแสไหลผ่านตัวต้านทาน แรงดันตกคร่อมเกือบทั้งหมดจะตกคร่อมอยู่ที่ตัวเก็บประจุ ทำให้ขา 12 ของไอซีพร้อมที่จะเริ่มทำงานได้

3.6การเปรียบเทียบสัญญาณ

เราสามารถนำวงจรออปแอมป์(op amp)มาประยุกต์ใช้งานเป็นวงจรเปรียบเทียบได้ ในกรณีที่เป็นวงจรขยายลูปเปิด(open loop) นอกเหนือจากนำไปเป็นวงจรขยายสัญญาณความแตก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่างของสัญญาณอินพุททั้งสอง โดยปกติแรงดันไฟเลี้ยงของออปแอมป์จะเป็นแรงดัน $+V_{CC}$และ $-V_{CC}$ ดังนั้นเอาท์พุทของออปแอมป์เมื่อเป็นวงจรขยายลูปเปิดจะอิ่มตัวอยู่ที่$+V_{CC}$ หรือ $-V_{CC}$ เท่านั้น วงจรเปรียบเทียบจึงมีแรงดันอยู่ 2 ระดับคือ 0 V กับ 5 V เพราะจำเป็นจะต้องเชื่อมโยงกับระบบดิจิตอล จึงทำให้วงจรเปรียบเทียบถูกออกแบบมาเฉพาะ ไม่เหมือนกับออปแอมป์ ธรรมดา เพราะหน้าที่หลักของวงจรเปรียบเทียบใช้เป็นวงจรอินเตอร์เฟส ระหว่างสัญญาณอนาลอก ให้เป็นสัญญาณดิจิตอล

วงจรเปรียบเทียบในอุดมคติ ควรมีคุณสมบัติดังนี้

1.อัตราขยายแรงดันของผลต่างที่อินพุทมีค่าเป็นอนันต์
2. อัตราขยายแรงดันเมื่ออินพุททั้งสองมีเฟสร่วมอยู่ในโหมดเดียวกันเป็นศูนย์
3. อินพุทอิมพีแดนซ์มีค่าเป็นอนันต์
4. เอาท์พุทอิมพีแดนซ์เป็นศูนย์
5. แถบขยายทางด้านความถี่เป็นอนันต์
6. แรงดันและกระแสออฟเซ็ทเป็นศูนย์

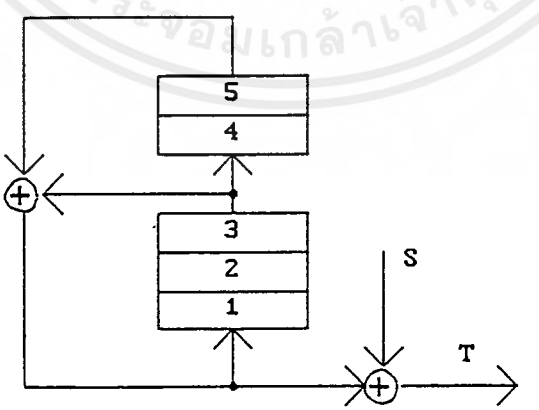
3.7การซแครมเบลอ

จากหลักการทำงานของข้อมูลลำดับกึ่งสุ่ม(pseudorandom sequences) ซึ่งจะสามารถสร้างได้โดยใช้ชิฟรีจีสเตอร์ (shift registor)ต่อให้มีการป้อนกลับ(feed back) แบบมอดูโลทูแอดเดอร์ (modulo 2 adders)ชิฟรีจิสเตอร์นี้ประกอบขึ้นจากฟลิปฟลอปต่ออนุกรมกันเมื่อชิฟรีจิสเตอร์ได้รับสัญญาณ clock สภาวะของฟลิปฟลอปแต่ละตัวจะถูกส่งไปที่ฟลิปฟลอปตัวถัดไป สัญญาณที่ถูก tap ออกมาจะผ่านมอดูโลทูแอดเดอร์ และป้อนกลับไปที่ฟลิปฟลอป ตัวแรก

ลำดับที่ผลิตได้จะมีความยาวค่าหนึ่ง(ซึ่งขึ้นกับจำนวนของชิฟรีจิสเตอร์ และจุดรวมสัญญาณดังได้กล่าวไปแล้วในบทที่ 2)แล้วจะวนซ้ำเป็นเช่นนี้ไปเรื่อยๆ ไม่ว่าสภาวะเริ่มต้นของรีจิสเตอร์จะเป็นอย่างไร ยกเว้นกรณีศูนย์หมด

เราจะนำเอาลำดับแบบกึ่งสุ่มที่ได้ มาซแคมเบิลข้อมูล โดยใช้เอ็กคลูซีฟออร์เกททำการรวมข้อมูลกับลำดับแบบกึ่งสุ่ม

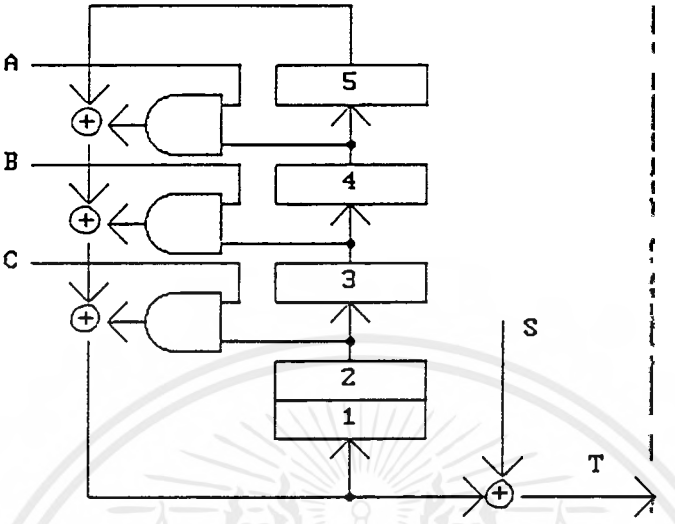
จากรูปที่ 3.14 เป็นบล็อกไดอะแกรมของซแครมเบลอ



รูปที่ 3.14 ซแครมเบลอ

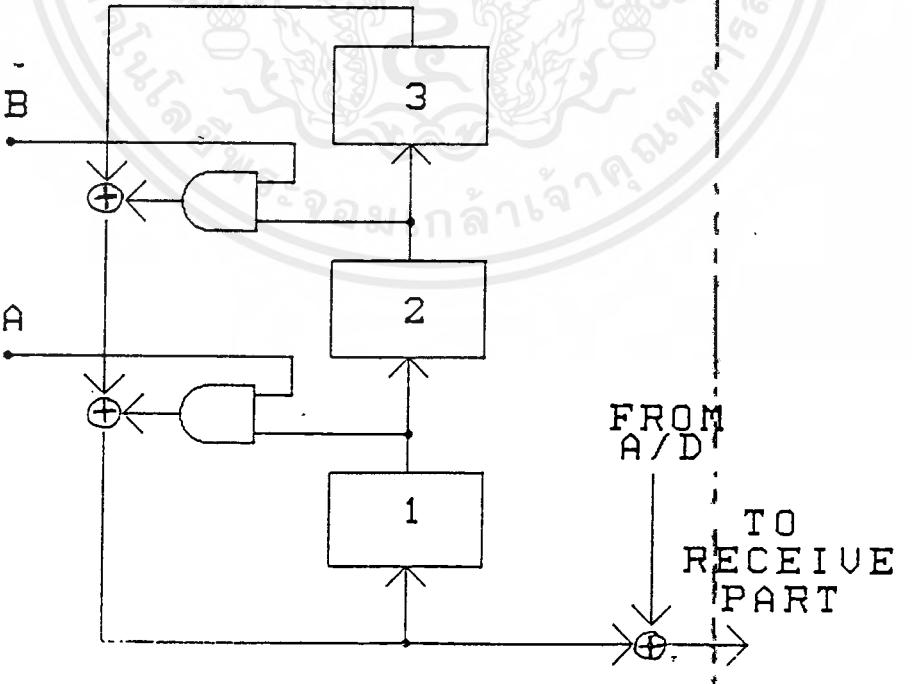
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากนี้เรายังสามารถเพิ่มจุด feed สัญญาณให้มากขึ้นและทำให้จำนวนลำดับมากขึ้น โดยใช้แนนท์เกท และเอ็กคลูซีฟออร์เกท มาช่วยในการรวมสัญญาณอินพุทกับลำดับแบบกึ่งสุ่มที่สร้างขึ้น โดยอาศัยหลักการนี้จะทำให้สามารถซแครมเบิลข้อมูลได้มากขึ้น



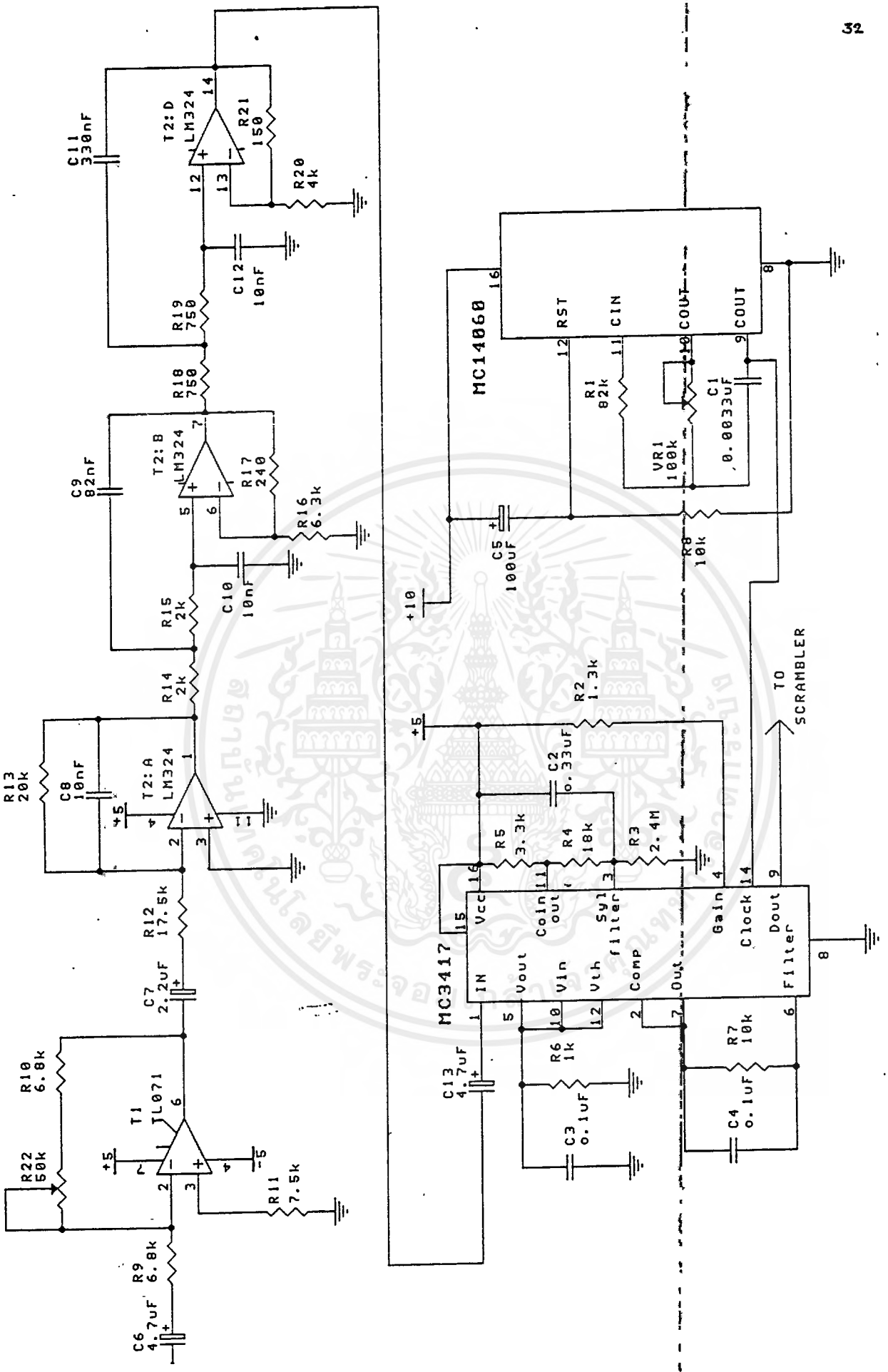
รูปที่ 3.15 ซแครมเบลอโปรแกรมได้

โครงงานนี้ได้เลือกใช้วงจรซแครมเบลอ โปรแกรมได้ โดยใช้ซิฟรีจิสเตอร์ (D Flip Flop) 3 ตัว มีจุดรวมสัญญาณให้เลือก 2 จุด สามารถผลิตลำดับได้ยาวสูงสุด 7บิท และเซ็ทสภาวะเริ่มต้นของซิฟรีจิสเตอร์เป็น 1 ทั้งหมด ภาพที่ 3.16 แสดงบล็อคไดอะแกรมของวงจรซแครมเบลอ ที่เลือกใช้



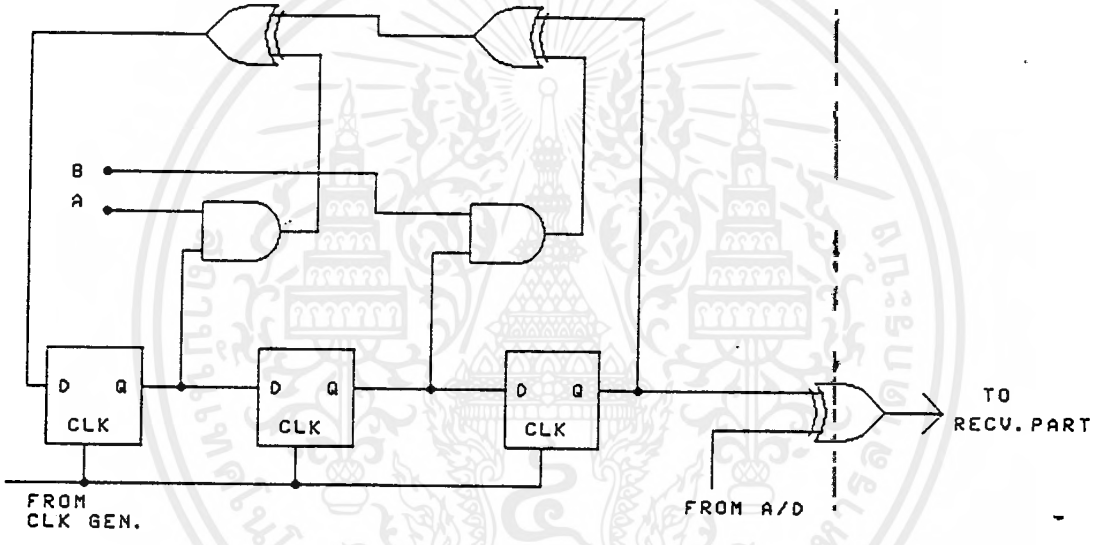
รูปที่ 3.16 บล็อคไดอาแกรมของซแครมเบลอที่ใช้ในโครงงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.17 วงจรป้องกันการดักรับฟังสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



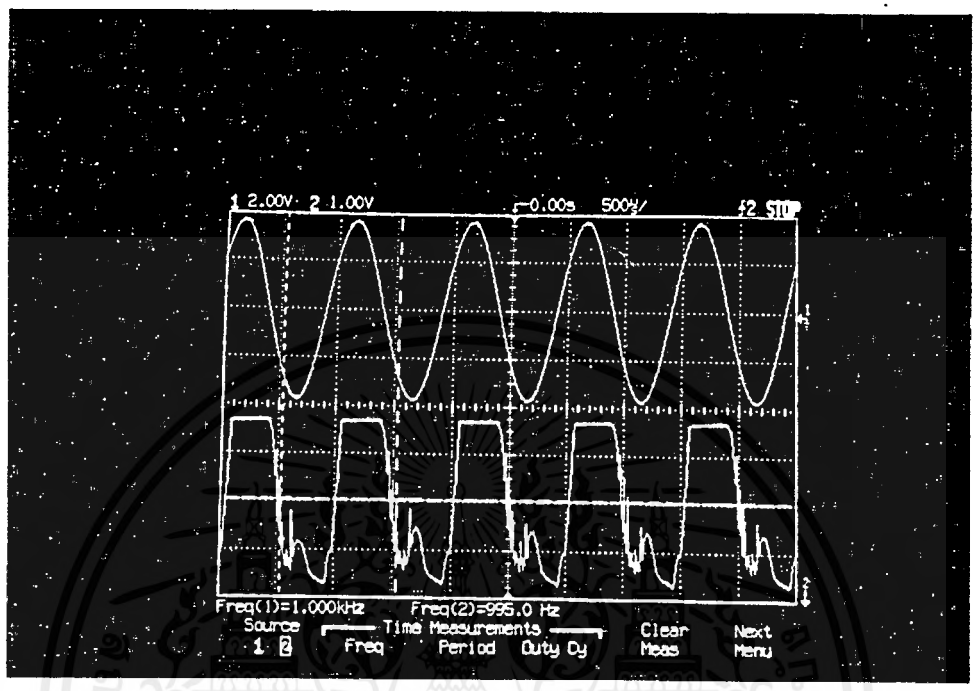
PROGRAMMABLE SCRAMBLER

รูปที่ 3.18 แสดงวงจรชแครมเบลอ

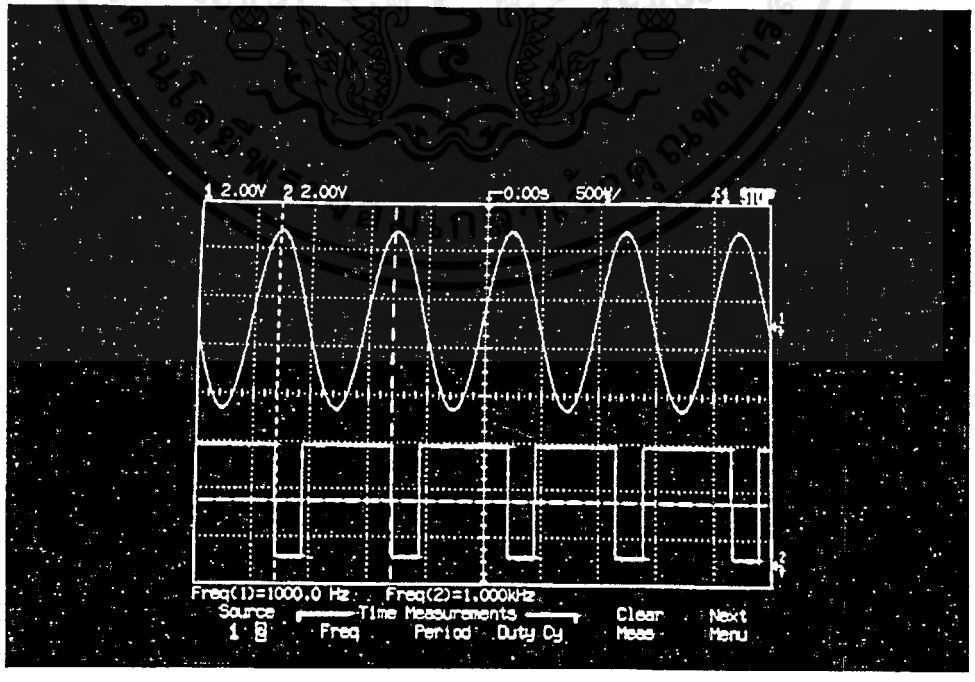
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

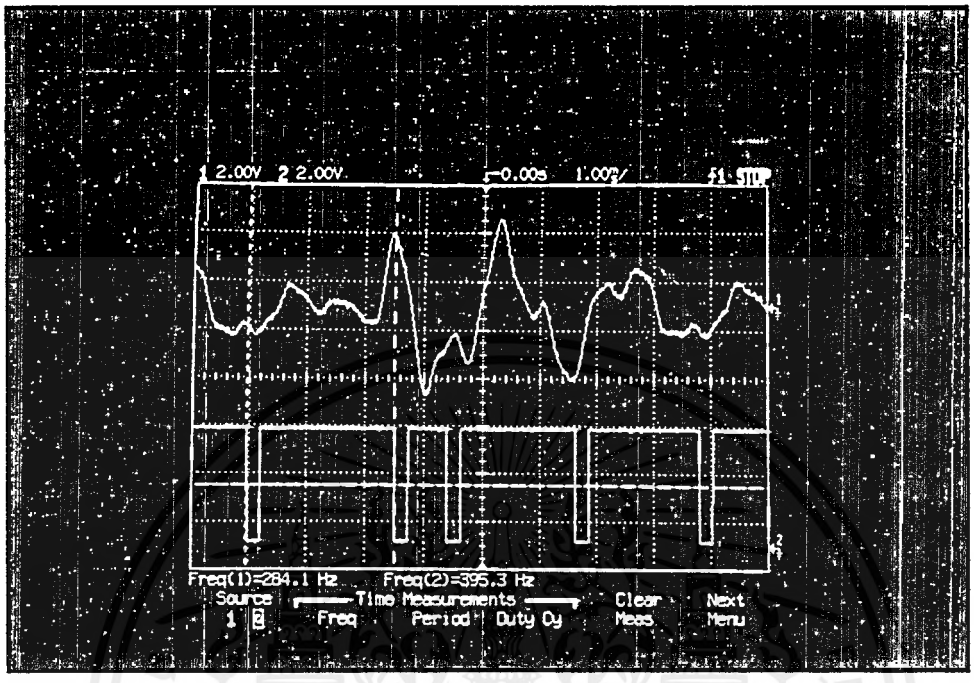


รูปที่ 1 เปรียบเทียบสัญญาณ i/p sine กับ สัญญาณที่ออกจากขา 14 ของ IC LM 324

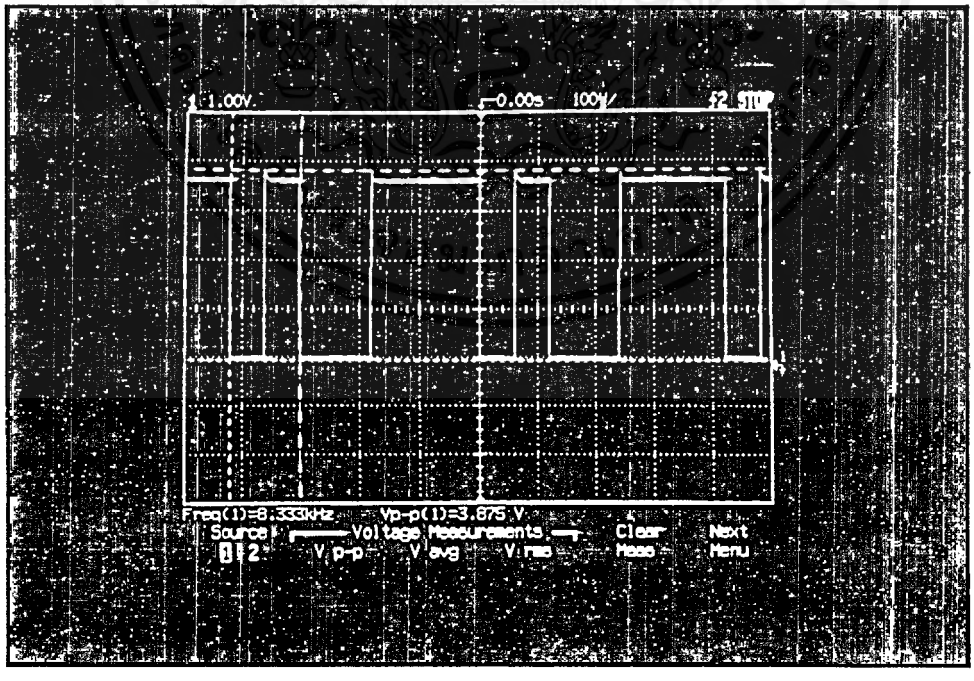


รูปที่ 2 เปรียบเทียบสัญญาณ i/p sine กับ สัญญาณที่ออกจากขา 9 ของ IC MC 34115

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

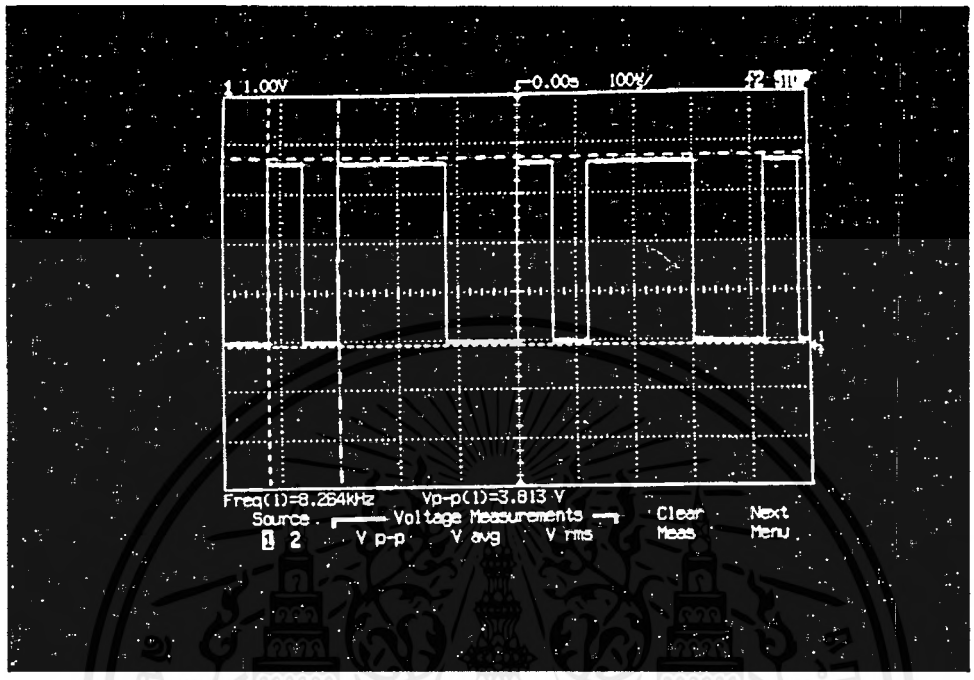


รูปที่ 3 เปรียบเทียบสัญญาณพูดจากโทรศัพท์กับสัญญาณที่ออกจากขา 9 ของ IC MC 34115

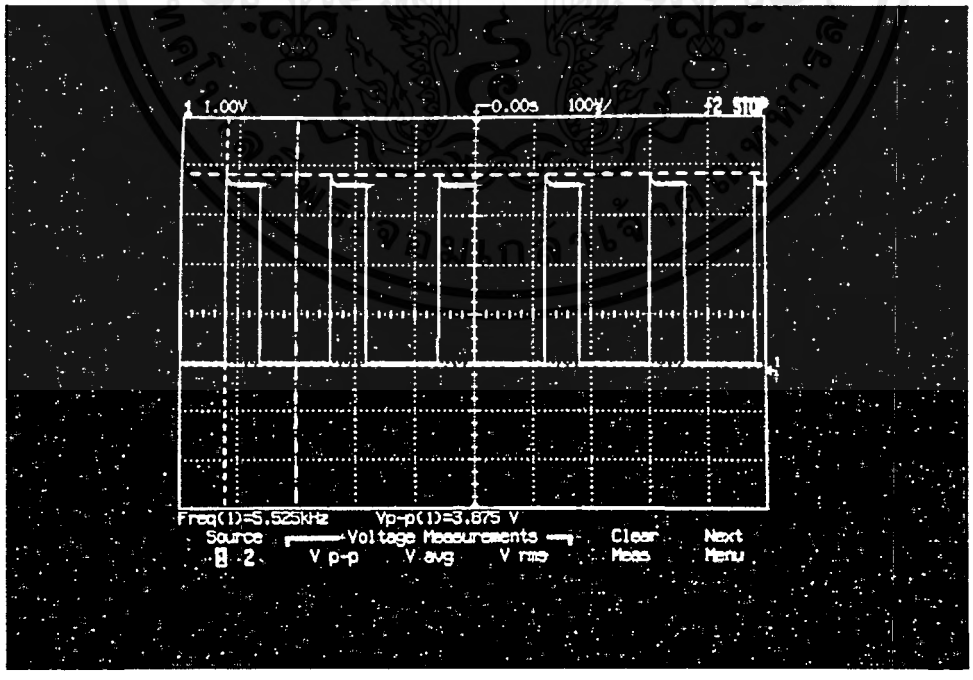


รูปที่ 4 รูปสัญญาณ o/p ที่ออกจากวงจรกำเนิดลำดับแบบกึ่งสุ่มกรณี i/p A เป็น high และ B เป็น low

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

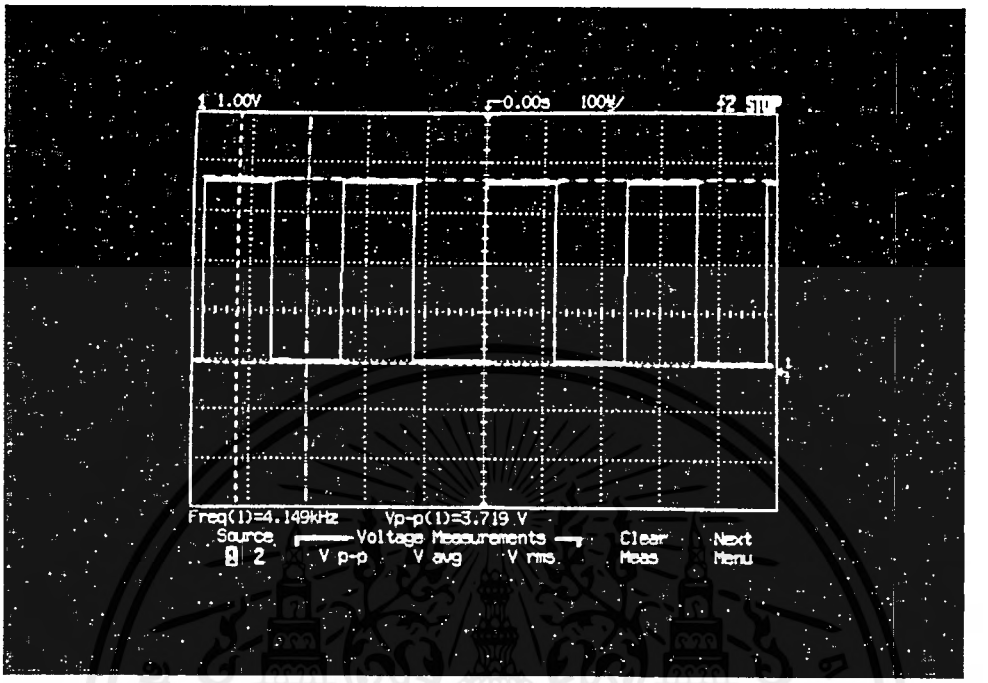


รูปที่ 5 รูปสัญญาณ o/p ที่ออกจากวงจรกำเนิดลำดับแบบกึ่งสุ่มกรณี i/p A เป็น low และ B เป็น high

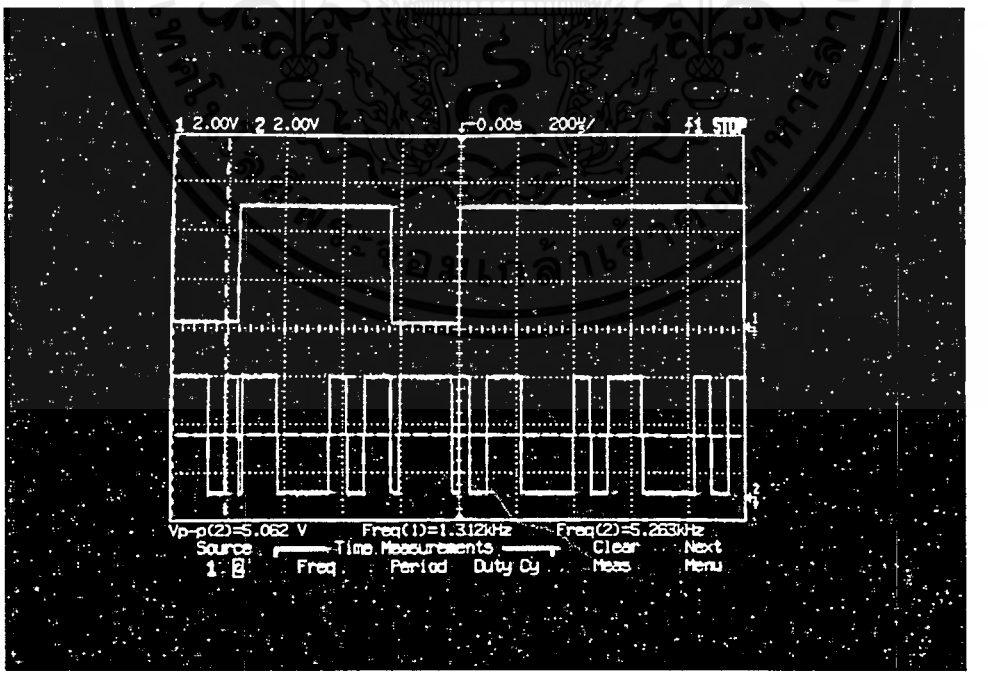


รูปที่ 6 รูปสัญญาณ o/p ที่ออกจากวงจรกำเนิดลำดับแบบกึ่งสุ่มกรณี i/p A เป็น low และ B เป็น low

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

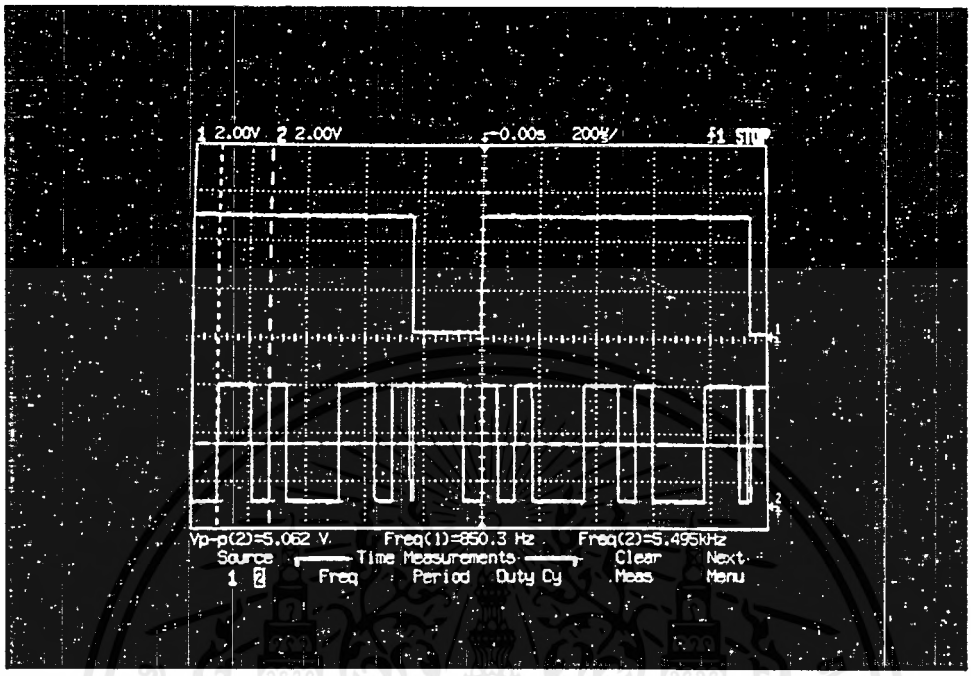


รูปที่ 7 รูปสัญญาณ o/p ที่ออกจากวงจรกำเนิดลำดับแบบกึ่งสุ่มกรณี i/p A เป็น high และ B เป็น high

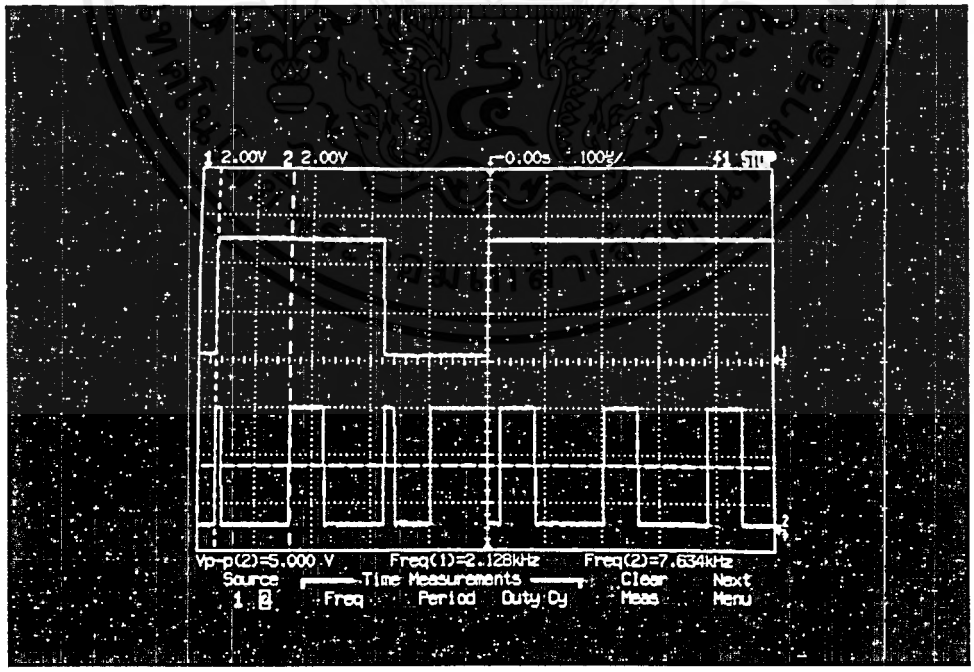


รูปที่ 8 เปรียบเทียบสัญญาณ i/p นี้เป็น digital ที่ขา 9 ของ IC 4070 กับสัญญาณที่ถูก Scrambler แล้วที่ขา 10 ของ IC 4070 กรณี A เป็น high , B เป็น low

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

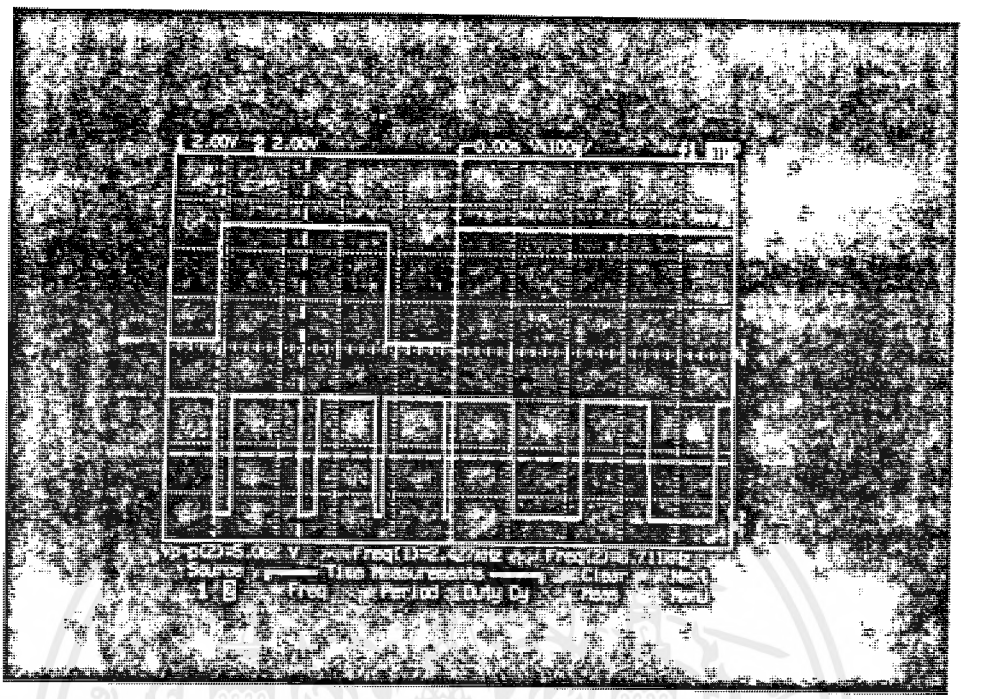


รูปที่ 9 เปรียบเทียบสัญญาณ i/p นี้เป็น digital ที่ขา 9 ของ IC 4070 กับสัญญาณที่ถูก Scrambler แล้วที่ขา 10 ของ IC 4070 กรณี A เป็น low ,B เป็น high

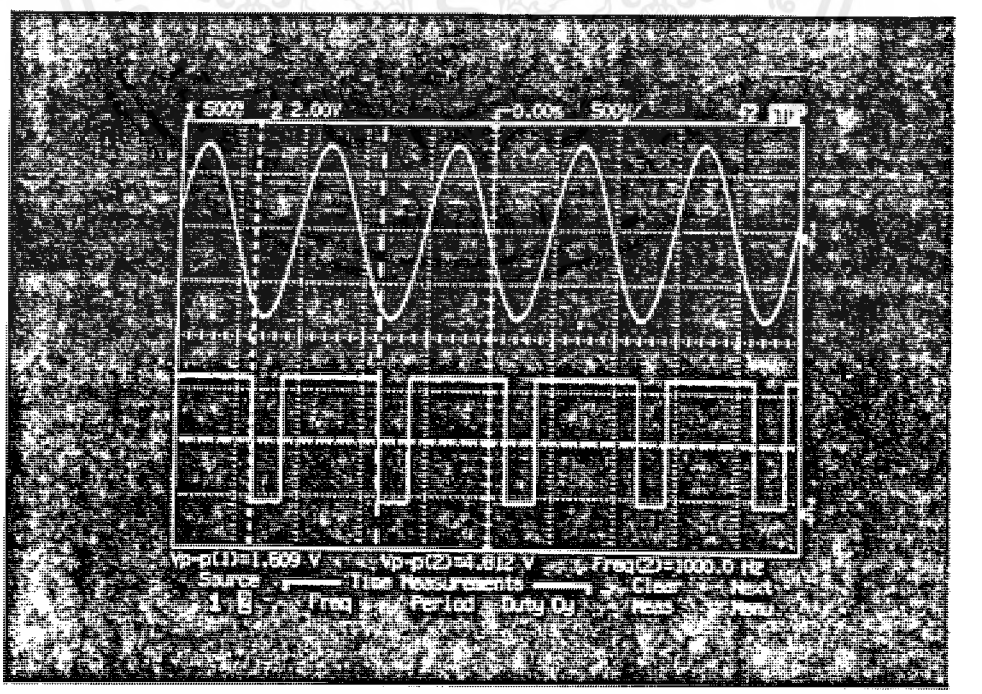


รูปที่10 เปรียบเทียบสัญญาณ i/p นี้เป็น digital ที่ขา 9 ของ IC 4070 กับสัญญาณที่ถูก Scrambler แล้วที่ขา 10 ของ IC 4070 กรณี A เป็น low ,B เป็น low

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

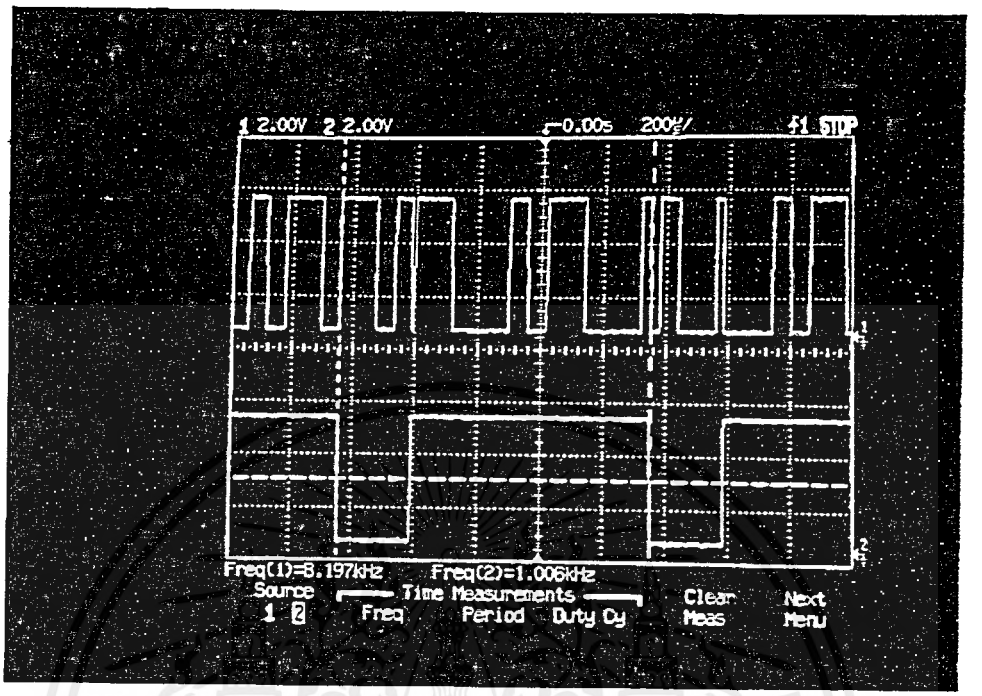


รูปที่11 เปรียบเทียบสัญญาณ i/p นี้เป็น digital ที่ขา 9 ของ IC 4070 กับสัญญาณที่ถูก Scrambler แล้ว ที่ขา 10 ของ IC 4070 กรณี A เป็น high , B เป็น high



รูปที่ 12 เปรียบเทียบสัญญาณ i/p sine กับ สัญญาณ digital ที่ได้จาก IC MC 34115

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 13 เปรียบเทียบสัญญาณ i/p digital กับ สัญญาณที่ถูก scrambler ในกรณี A เป็น high และ B เป็น low

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และบทสรุป

จากผลการทดลอง ตามหลักการทำงานของวงจร ซแครมเบิลจะทำการ ซแครมเบิลสัญญาณดิจิตอล โดยเอ็กคลูซีฟออร์เกทกับวงจรลำดับแบบกึ่งสุ่มที่เราสร้างขึ้นก็จะได้ผลการทดลองดังในรูป วิธีการซแครมเบิลแบบนี้ อาจนำไปประยุกต์ใช้ในระบบการส่งสัญญาณอนาลอกแต่จะต้องมีการแปลงสัญญาณให้เหมาะสมที่จะส่งไปตามระบบนั้นเสียก่อน เช่น แปลงสัญญาณที่ผ่านการซแครมเบิลแล้วกลับไปเป็นสัญญาณอนาลอกแล้วจึงส่งไปตามสายได้ ข้อดีของการซแครมเบิลนี้ยังมีข้อดีอีก คือ สามารถป้องกันการดักรับสัญญาณดิจิตอล ที่เป็นข้อมูลที่สำคัญ โดยการเข้ารหัสเพื่อทำให้บิทของข้อมูลเปลี่ยนไปจากเดิมสามารถนำไปใช้ในทางทหาร หรือ ใช้ส่งข้อมูลที่เป็นความลับระหว่าง 2 ฝ่าย ที่ต้องการแลกเปลี่ยนข้อมูลที่เป็นความลับ ซึ่งผู้อื่นไม่สามารถรู้ความลับได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

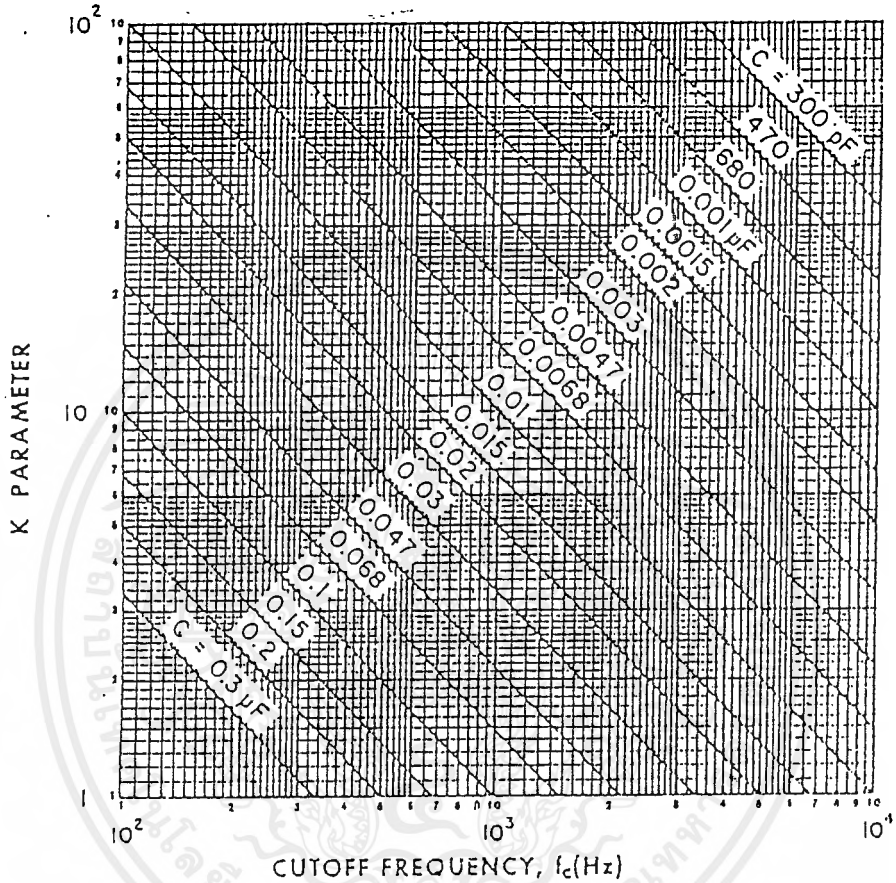


Fig. 3.6. (*b*) *K* parameter versus frequency.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

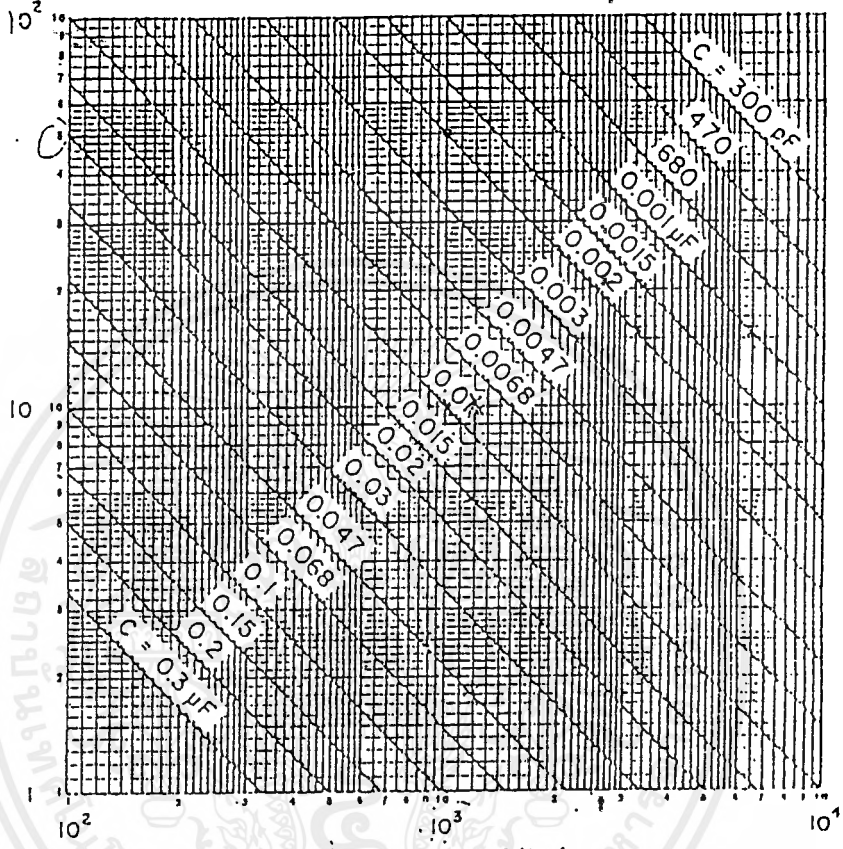


Fig. 2.10. (*b*) *K* parameter versus frequency.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

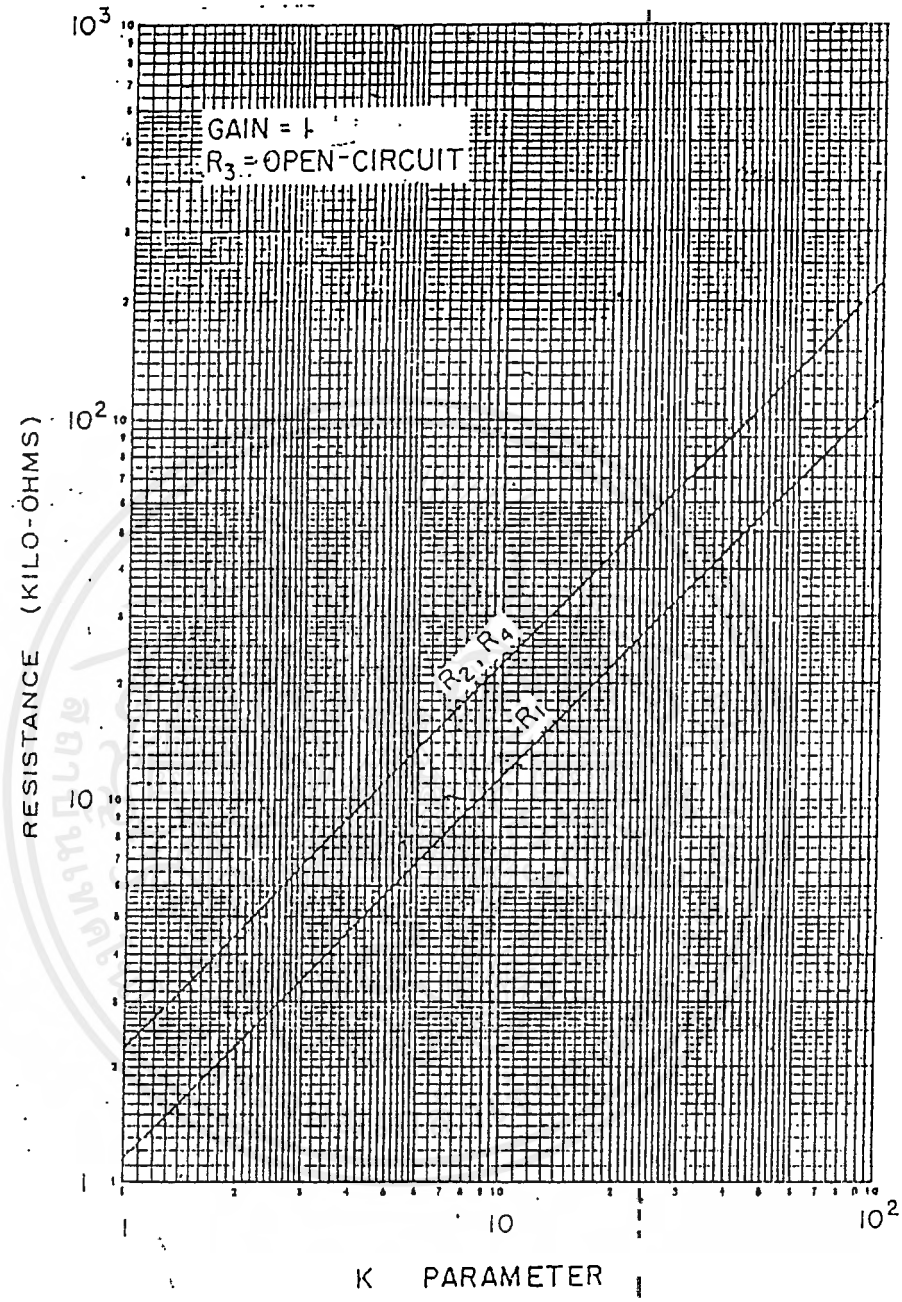


Fig. 3.7. Second-order high-pass Butterworth filter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

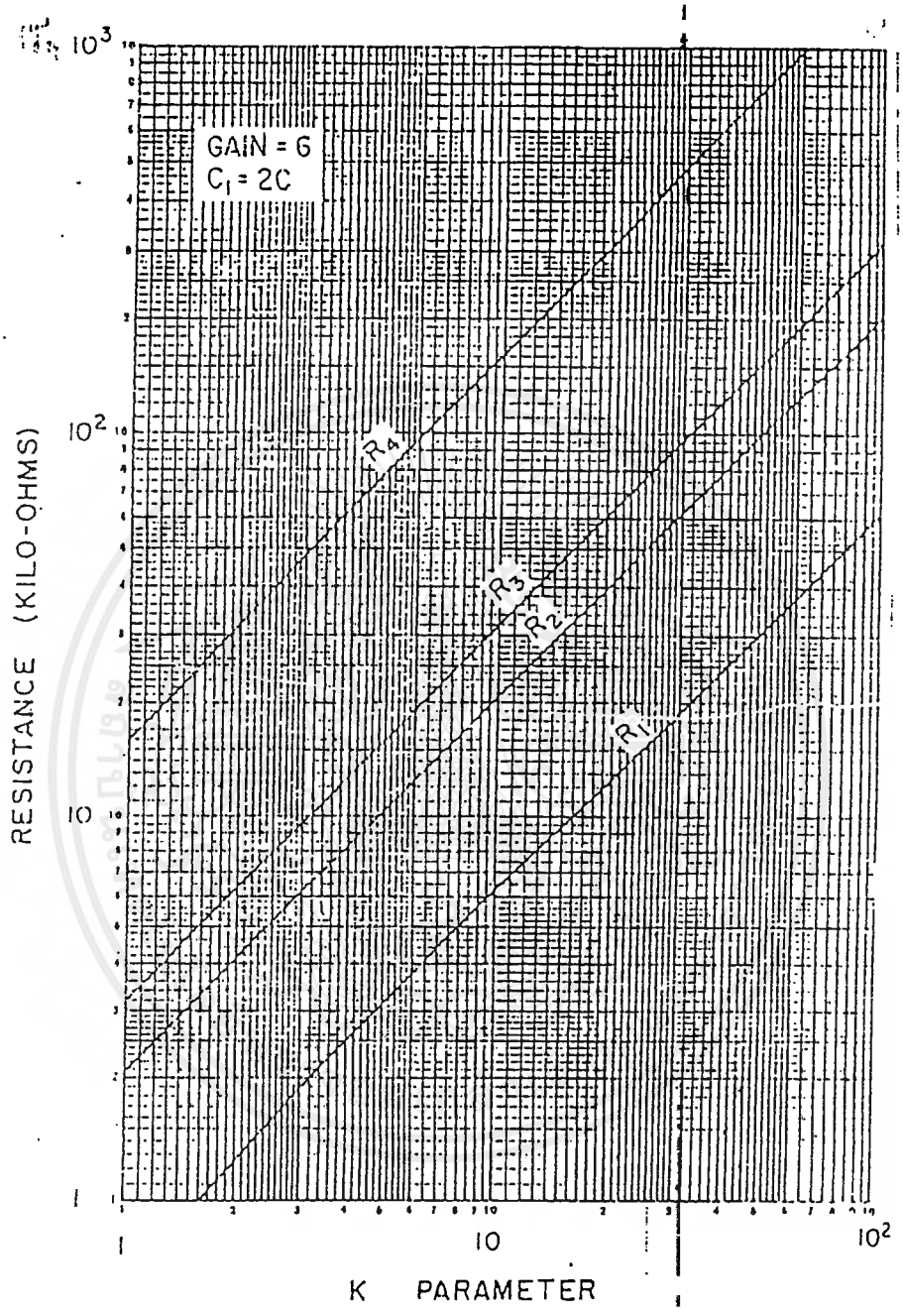


Fig. 3.13. Second-order low-pass Butterworth filter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC3417, MC3517
MC3418, MC3518

MOTOROLA

Specifications and Applications Information

CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR

Providing a simplified approach to digital speech encoding/decoding, the MC3517/18 series of CVSDs is designed for military secure communication and commercial telephone applications. A single IC provides both encoding and decoding functions.

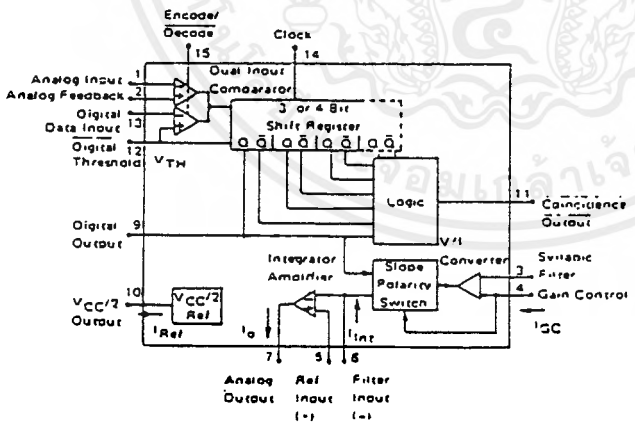
- Encode and Decode Functions on the Same Chip with a Digital Input for Selection
- Utilization of Compatible I^2L – Linear Bipolar Technology
- CMOS Compatible Digital Output
- Digital Input Threshold Selectable ($V_{CC}/2$ reference provided on chip)
- MC3417/MC3517 has a 3-Bit Algorithm (General Communications)
- MC3418/MC3518 has a 4-Bit Algorithm (Commercial Telephone)

CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR

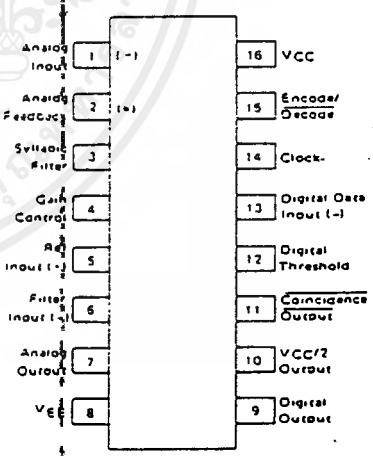
LASER-TRIMMED INTEGRATED CIRCUIT

L SUFFIX
CERAMIC PACKAGE
CASE 620-02

CVSD BLOCK DIAGRAM



PIN CONNECTIONS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS

(All voltages referenced to V_{EE}. T_A = 25°C unless otherwise noted.)

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC}	−0.4 to +18	Vdc
Differential Analog Input Voltage	V_{ID}	±5.0	Vdc
Digital Threshold Voltage	V_{TH}	−0.4 to V_{CC}	Vdc
Logic Input Voltage (Clock, Digital Data, Encode/$\overline{\text{Decode}}$)	V_{Logic}	−0.4 to +18	Vdc
Coincidence Output Voltage	$V_{O(Con)}$	−0.4 to +18	Vdc
Syllabic Filter Input Voltage	$V_{I(Syl)}$	−0.4 to V_{CC}	Vdc
Gain Control Input Voltage	$V_{I(GC)}$	−0.4 to V_{CC}	Vdc
Reference Input Voltage	$V_{I(Ref)}$	$V_{CC}/2$ − 1.0 to V_{CC}	Vdc
$V_{CC}/2$ Output Current	I_{Ref}	−25	mA

ELECTRICAL CHARACTERISTICS

(V_{CC} = 12 V, V_{EE} = Gnd, T_A = 0°C to +70°C for MC3417/18, T_A = −55°C to +125°C for MC3517/18 unless otherwise noted.)

Characteristic	Symbol	MC3417/MC3517			MC3418/MC3518			Unit
		Min	Typ	Max	Min	Typ	Max	
Power Supply Voltage Range (Figure 1)	V_{CCR}	4.75	12	16.5	4.75	12	16.5	Vdc
Power Supply Current (Figure 1) (Idle Channel)	I_{CC}							mA
(V_{CC} = 5.0 V)		–	3.7	5.0	–	3.7	5.0	
(V_{CC} = 15 V)		–	6.0	10	–	6.0	10	
Clock Rate	SR	–	16 k	–	–	32 k	–	Samples/s
Gain Control Current Range (Figure 2)	I_{GCR}	0.001	–	3.0	0.001	–	3.0	mA
Analog Comparator Input Range (Pins 1 and 2) (4.75 V ≤ V_{CC} ≤ 16.5 V)	V_I	1.3	–	V_{CC} − 1.3	1.3	–	V_{CC} − 1.3	Vdc
Analog Output Range (Pin 7) (4.75 V ≤ V_{CC} ≤ 16.5 V, I_O = ±5.0 mA)	V_O	1.3	–	V_{CC} − 1.3	1.3	–	V_{CC} − 1.3	Vdc
Input Bias Currents (Figure 3) (Comparator in Active Region)	I_{IB}							µA
Analog Input (I1)		–	0.5	1.5	–	0.25	1.0	
Analog Feedback (I2)		–	0.5	1.5	–	0.25	1.0	
Syllabic Filter Input (I3)		–	0.06	0.5	–	0.06	0.3	
Reference Input (I5)		–	−0.06	−0.5	–	−0.06	−0.3	
Input Offset Current (Comparator in Active Region)	I_{IO}							µA
Analog Input/Analog Feedback |I1 − I2| — Figure 3		–	0.15	0.6	–	0.05	0.4	
Integrator Amplifier |I5 − I6| — Figure 4		–	0.02	0.2	–	0.01	0.1	
Input Offset Voltage V/I Converter (Pins 3 and 4) — Figure 5	V_{IO}	–	2.0	6.0	–	2.0	6.0	mV
Transconductance	g_m							mA/mV
V/I Converter, 0 to 3.0 mA		0.1	0.3	–	0.1	0.3	–	
Integrator Amplifier, 0 to ±5.0 mA Load		1.0	10	–	1.0	10	–	
Propagation Delay Times (Note 1)								µs
Clock Trigger to Digital Output	t_{PLH}	–	1.0	2.5		1.0	2.5	
(C_L = 25 pF to Gnd)	t_{PHL}	–	0.8	2.5		0.8	2.5	
Clock Trigger to Coincidence Output	t_{PLH}	–	1.0	3.0	–	1.0	3.0	
(C_L = 25 pF to Gnd)	t_{PHL}	–	0.8	2.0		0.8	2.0	
(R_L = 4 kΩ to V_{CC})								
Coincidence Output Voltage — Low Logic State ($I_{OL(Con)}$ = 3.0 mA)	$V_{OL(Con)}$	–	0.12	0.25	–	0.12	0.25	Vdc
Coincidence Output Leakage Current — High Logic State (V_{OH} = 15.0 V, 0°C ≤ T_A ≤ 70°C)	$I_{OH(Con)}$	–	0.01	0.5	–	0.01	0.5	µA

NOTE 1. All propagation delay times measured 50% to 50% from the negative going (from V_{CC} to −0.4 V) edge of the clock.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (continued)

Characteristic	Symbol	MC3417/MC3517 Min	MC3417/MC3517 Typ	MC3417/MC3517 Max	MC3418/MC3518 Min	MC3418/MC3518 Typ	MC3418/MC3518 Max	Unit
Applied Digital Threshold Voltage Range (Pin 12)	V_{TH}	+1.2	–	V_{CC} – 2.0	+1.2	–	V_{CC} – 2.0	Vdc
Digital Threshold Input Current (1.2 V < V_{th} < V_{CC} – 2.0 V)	$I_{I(th)}$							µA
(V_{IL} applied to Pins 13, 14 and 15)		–	–	5.0	–	–	5.0	
(V_{IH} applied to Pins 13, 14 and 15)		–	–10	–50	–	–10	–50	
Maximum Integrator Amplifier Output Current	I_O	±5.0	–	–	±5.0	–	–	mA
V_{CC}/2 Generator Maximum Output Current (Source only)	I_{Ref}	+10	–	–	+10	–	–	mA
V_{CC}/2 Generator Output Impedance (0 to +10 mA)	z_{Ref}	–	3.0	6.0	–	3.0	6.0	Ω
V_{CC}/2 Generator Tolerance (4.75 V < V_{CC} < 16.5 V)	e_r	–	–	±3.5	–	–	±3.5	%
Logic Input Voltage (Pins 13, 14 and 15)								Vdc
Low Logic State	V_{IL}	Gnd	–	V_{th} – 0.4	Gnd	–	V_{th} – 0.4	
High Logic State	V_{IH}	V_{th} + 0.4	–	18.0	V_{th} + 0.4	–	18.0	
Dynamic Total Loop Offset Voltage (Note 2) – Figures 3, 4 and 5	ΣV_{offset}							mV
I_{GC} = 12.0 µA, V_{CC} = 12 V								
T_A = 25°C		–	–	–	–	±0.5	±1.5	
0°C < T_A < +70°C MC3417/18		–	–	–	–	±0.75	±2.3	
–55°C < T_A < +125°C MC3517/18		–	–	–	–	±1.5	±4.0	
I_{GC} = 33.0 µA, V_{CC} = 12 V								
T_A = 25°C		–	±2.5	±5.0	–	–	–	
0°C < T_A < +70°C MC3417/18		–	±3.0	±7.5	–	–	–	
–55°C < T_A < +125°C MC3517/18		–	±4.5	±10	–	–	–	
I_{GC} = 12.0 µA, V_{CC} = 5.0 V								
T_A = 25°C		–	–	–	–	±1.0	±2.0	
0°C < T_A < +70°C MC3417/18		–	–	–	–	±1.3	±2.8	
–55°C < T_A < +125°C MC3517/18		–	–	–	–	±2.5	±5.0	
I_{GC} = 33.0 µA, V_{CC} = 5.0 V								
T_A = 25°C		–	±4.0	±6.0	–	–	–	
0°C < T_A < +70°C MC3417/18		–	±4.5	±8.0	–	–	–	
–55°C < T_A < +125°C MC3517/18		–	±5.5	±10	–	–	–	
Digital Output Voltage								Vdc
(I_{OL} = 3.6 mA)	V_{OL}	–	0.1	0.4	–	0.1	0.4	
(I_{OH} = –0.35 mA)	V_{OH}	V_{CC} – 1.0	V_{CC} – 0.2	–	V_{CC} – 1.0	V_{CC} – 0.2	–	
Syllabic Filter Applied Voltage (Pin 3) (Figure 2)	$V_{I(Syl)}$	+3.2	–	V_{CC}	+3.2	–	V_{CC}	Vdc
Integrating Current (Figure 2)	I_{Inc}							
(I_{GC} = 12.0 µA)		8.0	10	12	8.0	10	12	µA
(I_{GC} = 1.5 mA)		1.45	1.50	1.55	1.45	1.50	1.55	mA
(I_{GC} = 3.0 mA)		2.75	3.0	3.25	2.75	3.0	3.25	mA
Dynamic Integrating Current Match (I_{GC} = 1.5 mA) Figure 6	$V_{O(Ave)}$	–	±100	±250	–	±100	±250	mV
Input Current – High Logic State (V_{IH} = 18 V)	I_{IH}							µA
Digital Data Input		–	–	+5.0	–	–	+5.0	
Clock Input		–	–	+5.0	–	–	+5.0	
Encode/Decode Input		–	–	+5.0	–	–	+5.0	
Input Current – Low Logic State (V_{IL} = 0 V)	I_{IL}							µA
Digital Data Input		–	–	–10	–	–	–10	
Clock Input		–	–	–360	–	–	–360	
Encode/Decode Input		–	–	–36	–	–	–36	
Clock Input, V_{IL} = 0.4 V		–	–	–72	–	–	–72	

NOTE 2. Dynamic total loop offset (ΣV_{offset}) equals V_{IO} (comparator) (Figure 3) minus V_{IOX} (Figure 5). The input offset voltages of the analog comparator and of the integrator amplifier include the effects of input offset current through the input resistors. The slope polarity switch current mismatch appears as an average voltage across the 10 k integrator resistor. For the MC3417/MC3517, the clock frequency is 16.0 kHz. For the MC3418/MC3518, the clock frequency is 32.0 kHz. Idle channel performance is guaranteed if this dynamic total loop offset is less than one-half of the change in integrator output voltage during one clock cycle (ramp step size). Laser trimming is used to insure good idle channel performance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CIRCUIT DESCRIPTION (continued)

zero and receive restart begins without framing when the receiver reacquires. Similarly a delta modulator is tolerant of sporadic bit errors. Figure 12 shows the delta modulator waveforms while Figure 13 shows the corresponding CVSD decoder block diagram.

The Companding Algorithm

The fundamental advantages of the delta modulator are its simplicity and the serial format of its output. Its limitations are its ability to accurately convert the input within a limited digital bit rate. The analog input must be band limited and amplitude limited. The frequency limitations are governed by the nyquist rate while the amplitude capabilities are set by the gain of the integrator.

The frequency limits are bounded on the uoper end; that is, for any input bandwidth there exists a clock frequency larger than that bandwidth which will transmit the signal with a specific noise level. However, the amplitude limits are bounded on both uoper and lower ends. For a signal level, one specific gain will achieve an optimum noise level. Unfortunately, the basic delta modulator has a small dynamic range over which the noise level is constant.

The continuously variable slope circuitry provides increased dynamic range by adjusting the gain of the integrator. For a given clock frequency and input bandwidth the additional circuitry increases the delta modulator's dynamic range. External to the basic delta modulator is an algorithm which monitors the past few outputs of the delta modulator in a simole shift register. The register is 3 or 4 bits long depending on the application. The accepted CVSD algorithm simply monitors the contents of the shift register and indicates if it contains all 1s or 0s. This condition is called coincidence. When it occurs, it indicates that the gain of the integrator is too small. The coincidence output charges a single pole low pass filter. The voltage output of this syllabic filter controls the integrator gain through a pulse amplitude modulator whose other input is the sign bit or up/down control.

The simplicity of the all ones, all zeros algorithm should not be taken lightly. Many other control algorithms using the shift register have been tried. The key to the accepted algorithm is that it provides a measure of the average power or level of the input signal. Other techniques provide more instantaneous information about the shape of the input curve. The purpose of the algorithm is to control the gain of the integrator and to increase the dynamic range. Thus a measure of the average input level is what is needed.

The algorithm is repeated in the receiver and thus the level data is recovered in the receiver. Because the algorithm only operates on the past serial data, it changes the nature of the bit stream without changing the channel bit rate.

The effect of the algorithm is to compand the input signal. If a CVSD encoder is played into a basic delta modulator, the output of the delta modulator will reflect the shape of the input signal but all of the output will be at an equal level. Thus the algorithm at the output is needed to restore the level variations. The bit stream in the channel is as if it were from a standard delta modulator with a constant level input.

The delta modulator encoder with the CVSD algorithm provides an efficient method for digitizing a voice input in a manner which is especially convenient for digital communciations requirements.

APPLICATIONS INFORMATION

CVSD DESIGN CONSIDERATIONS

A simple CVSD encoder using the MC3417 or MC3418 is shown in Figure 14. These ICs are general purpose CVSD building blocks which allow the system designer to tailor the encoder's transmission characteristics to the application. Thus, the achievable transmission capabilities are constrained by the fundamental limitations of delta modulation and the design of encoder parameters. The performance is not dictated by the internal configuration of the MC3417 and MC3418. There are seven design considerations involved in designing these basic CVSD building blocks into a specific codec application.

These are listed below:

1. Selection of clock rate
2. Required number of shift register bits
3. Selection of loop gain
4. Selection of minimom step size
5. Design of integration filter transfer function
6. Design of syllabic filter transfer function
7. Design of low pass filter at the receiver

The circuit in Figure 14 is the most basic CVSD circuit possible. For many applications in secure radio or other intelligible voice channel requirements, it is entirely sufficient. In this circuit, items 5 and 6 are reduced to their simolest form. The syllabic and integration filters are both single pole networks. The selection of items 1 through 4 govern the codec performance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor Corporation

LM741/LM741A/LM741C/LM741E Operational Amplifier

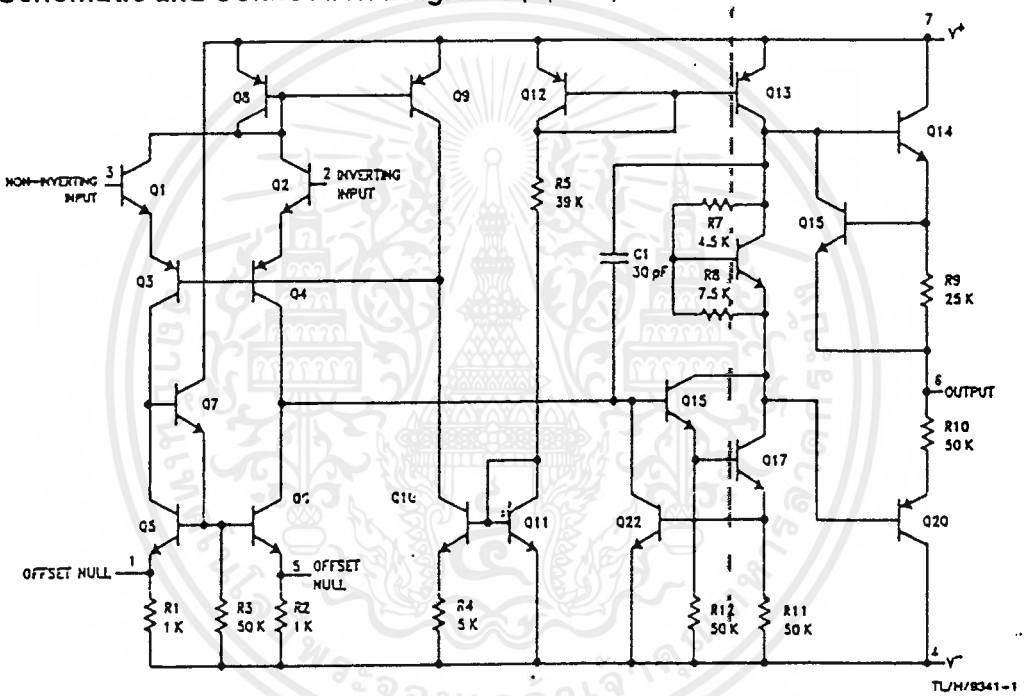
General Description

The LM741 series are general purpose operational amplifiers which feature improved performance over industry standards like the LM709. They are direct, plug-in replacements for the 709C, LM201, MC1439 and 748 in most applications.

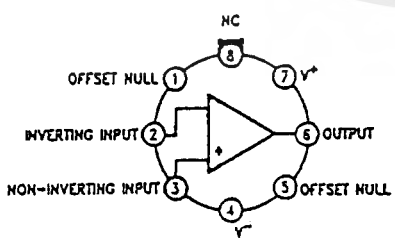
The amplifiers offer many features which make their application nearly foolproof: overload protection on the input and output, no latch-up when the common mode range is exceeded, as well as freedom from oscillations.

The LM741C/LM741E are identical to the LM741/LM741A except that the LM741C/LM741E have their performance guaranteed over a 0°C to +70°C temperature range, instead of −55°C to +125°C.

Schematic and Connection Diagrams (Top Views)



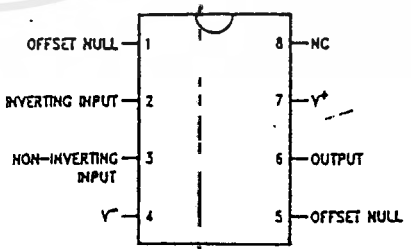
Metal Can Package



TL/H/8341–2

Order Number LM741H, LM741AH, LM741CH or LM741EH
See NS Package Number H08C

Dual-In-Line or S.O. Package



TL/H/8341–3

Order Number LM741CJ, LM741CM, LM741CN or LM741EN
See NS Package Number J08A, M08A or N08E

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

TL071
TL072
TL074

LOW NOISE, JFET INPUT OPERATIONAL AMPLIFIERS

SILICON MONOLITH
INTEGRATED CIRCUIT

Low Noise, JFET Input Operational Amplifiers

These low noise JFET input operational amplifiers combine two state-of-the-art linear technologies on a single monolithic integrated circuit. Each internally compensated operational amplifier has well matched high voltage JFET input devices for low input offset voltage. The BIFET technology provides wide bandwidths and fast slew rates with low input bias currents, input offset currents, and supply currents. Moreover, the devices exhibit low noise and low harmonic distortion making them ideal for use in high fidelity audio amplifier applications.

These devices are available in single, dual and quad operational amplifiers which are pin-compatible with the industry standard MC1741, MC1458, and the MC3403/LM324 bipolar products.

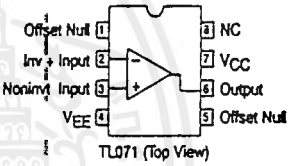
- Low Input Noise Voltage: 18 $nV/\sqrt{Hz}$ Typ
- Low Harmonic Distortion: 0.01% Typ
- Low Input Bias and Offset Currents
- High Input Impedance: $10^{12}\ \Omega$ Typ
- High Slew Rate: 13 V/μs Typ
- Wide Gain Bandwidth: 4.0 MHz Typ
- Low Supply Current: 1.4 mA per Amp

P SUFFIX
PLASTIC PACKAGE
CASE 626

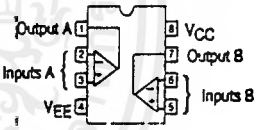
JG SUFFIX
CERAMIC PACKAGE
CASE 693

D SUFFIX
PLASTIC PACKAGE
CASE 751
(SO-8)

PIN CONNECTIONS



TL071 (Top View)

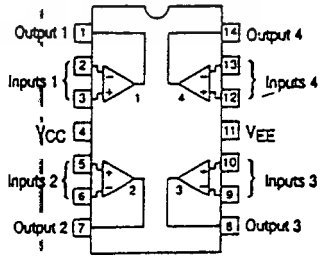


TL072 (Top View)

N SUFFIX
PLASTIC PACKAGE
CASE 646
(TL074 Only)

J SUFFIX
CERAMIC PACKAGE
CASE 632
(TL074 Only)

PIN CONNECTIONS



TL074 (Top View)

ORDERING INFORMATION

Op Amp Function	Device	Temperature Range	Package
Single	TL071ACD, CD	0° to +70°C	SO-8
	TL071ACJG, CJG		Ceramic DIP
	TL071ACP, CP		Plastic DIP
Dual	TL072ACD, CD	0° to +70°C	SO-8
	TL072ACJG, CJG		Ceramic DIP
	TL072ACP, CP		Plastic DIP
Quad	TL074ACJ, CJ	0° to +70°C	Ceramic DIP
	TL074ACN, CN		Plastic DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS

Rating	Symbol	TL07_C TL07_AC	Unit
Supply Voltage	V_{CC} V_{EE}	+18 −18	V
Differential Input Voltage	V_{ID}	±30	V
Input Voltage Range (Note 1)	V_{IDR}	±15	V
Output Short Circuit Duration (Note 2)	t_{SC}	Continuous	
Power Dissipation Plastic Package (N, P) Derate above T_A = +47°C Ceramic Package (J, JG) Derate above T_A = +82°C	 P_D $1/\theta_{JA}$ P_D $1/\theta_{JA}$	 680 10 680 10	 mW mW/°C mW mW/°C
Operating Ambient Temperature Range	T_A	0 to +70	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C

NOTES: 1. The magnitude of the input voltage must not exceed the magnitude of the supply voltage or 15 V, whichever is less.
2. The output may be shorted to ground or either supply. Temperature and or supply voltages must be limited to ensure that power dissipation ratings are not exceeded.

ELECTRICAL CHARACTERISTICS (V_{CC} = −15 V, V_{EE} = −15 V, T_A = T_{high} to T_{low} [Note 3])

Characteristics	Symbol	TL07_C TL07_AC Min	Typ	Max	Unit
Input Offset Voltage (R_S ≤ 10 k, V_{CM} = 0) TL071, TL072 TL074 TL07_A	V_{IO}	 — — —	 — — —	 13 13 7.5	mV
Input Offset Current (V_{CM} = 0) (Note 4) TL07_ TL07_A	I_{IO}	 — —	 — —	 2.0 2.0	nA
Input Bias Current (V_{CM} = 0) (Note 4) TL07_ TL07_A	I_{IB}	 — —	 — —	 7.0 7.0	nA
Large-Signal Voltage Gain (V_O = ±10 V, R_L ≥ 2.0 k) TL07_ TL07_A	A_{VOL}	 15 25	 — —	 — —	V/mV
Output Voltage Swing (Peak-to-Peak) (R_L ≥ 10 k) (R_L ≥ 2.0 k)	V_O	 24 20	 — —	 — —	V

NOTES: (continued)
3. T_{low} = 0°C for TL071C, TL071AC, TL072C, TL072AC, TL074C, TL074AC; T_{high} = +70°C for TL071C, TL071AC, TL072C, TL072AC, TL074C, TL074AC
4. Input Bias currents of JFET input op amps approximately double for every 10°C rise in Junction Temperature as shown in Figure 3. To maintain Junction Temperature as close to Ambient Temperature as possible, pulse techniques must be used during testing.

TEST CIRCUITS

Figure 1. Unity Gain Voltage Follower

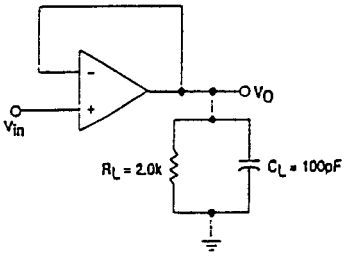
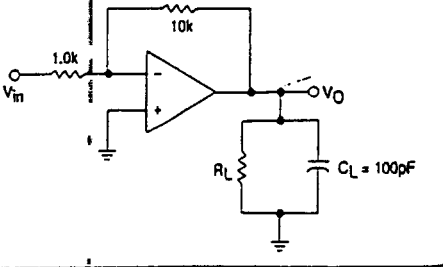


Figure 2. Inverting Gain of 10 Amplifier



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (V_{CC} = +15 V, V_{EE} = −15 V, T_A = 25°C, unless otherwise noted.)

Characteristics	Symbol	TL07_C, TL07_AC Min	TL07_C, TL07_AC Typ	TL07_C, TL07_AC Max	Unit
Input Offset Voltage (R_S ≤ 10 k, V_{CM} = 0) TL071, TL072 TL074 TL07_A	V_{IO}	 — — —	 3.0 3.0 3.0	 10 10 6.0	mV
Average Temperature Coefficient of Input Offset Voltage R_S = 50 Ω, T_A = T_{low} to T_{high} (Note 3)	$\Delta V_{IO}/\Delta T$	—	10	—	μV/°C
Input Offset Current (V_{CM} = 0) (Note 4) TL07_ TL07_A	I_{IO}	 — —	 5.0 5.0	 50 50	pA
Input Bias Current (V_{CM} = 0) (Note 4) TL07_ TL07_A	I_{IB}	 — —	 30 30	 200 200	pA
Input Resistance	r_i	—	10^{12}	—	Ω
Common Mode Input Voltage Range TL07_ TL07_A	V_{ICR}	 ±10 ±11	 +15, −12 +15, −12	 — —	V
Large-Signal Voltage Gain (V_O = ±10 V, R_L ≥ 2.0 k) TL07_ TL07_A	A_{VOL}	 25 50	 150 150	 — —	V/mV
Output Voltage Swing (Peak-to-Peak) (R_L = 10 k)	V_O	24	28	—	V
Common Mode Rejection Ratio (R_S ≤ 10 k) TL07_ TL07_A	CMRR	 70 80	 100 100	 — —	dB
Supply Voltage Rejection Ratio (R_S ≤ 10 k) TL07_ TL07_A	PSRR	 70 80	 100 100	 — —	dB
Supply Current (Each Amplifier)	I_D	—	1.4	2.5	mA
Unity Gain Bandwidth	BW	—	4.0	—	MHz
Slew Rate (See Figure 1) V_{in} = 10 V, R_L = 2.0 k, C_L = 100 pF	SR	—	13	—	V/μs
Rise Time (See Figure 1)	t_r	—	0.1	—	μs
Overshoot Factor V_{in} = 20 mV, R_L = 2.0 k, C_L = 100 pF	—	—	10	—	%
Equivalent Input Noise Voltage R_S = 100 Ω, f = 1000 Hz	e_n	—	18	—	nV/√Hz
Equivalent Input Noise Current R_S = 100 Ω, f = 1000 Hz	i_n	—	0.01	—	pA/√Hz
Total Harmonic Distortion V_O (RMS) = 10 V, R_S ≤ 1.0 k R_L ≥ 2.0 k, f = 1000 Hz	THD	—	0.01	—	%
Channel Separation A_V = 100	—	—	120	—	dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

LM139, A
LM239, A LM2901
LM339, A MC3302

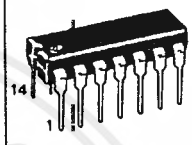
QUAD COMPARATORS

SILICON MONOLITHIC
INTEGRATED CIRCUIT

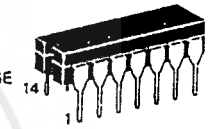
QUAD SINGLE-SUPPLY COMPARATORS

These comparators are designed for use in level detection, low-level sensing and memory applications in Consumer Automotive and Industrial electronic applications.

- Single or Split Supply Operation
- Low Input Bias Current — 25 nA (Typ)
- Low Input Offset Current — ±5.0 nA (Typ)
- Low Input Offset Voltage — ±1.0 mV (Typ LM139A Series)
- Input Common-Mode Voltage Range to Gnd
- Low Output Saturation Voltage — 130 mV (Typ) @ 4.0 mA
- TTL and CMOS Compatible



PLASTIC PACKAGE
CASE 646-05



CERAMIC PACKAGE
CASE 632-02
MO-001AA

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Power Supply Voltage LM139, A/LM239, A/ LM339A/LM2901 MC3302	V_{CC}	+36 or ±18 +30 or ±15	Vdc
Input Differential Voltage Range LM139, A/LM239, A/LM339, A/LM2901 MC3302	V_{IDR}	36 30	Vdc
Input Common Mode Voltage Range	V_{ICR}	-0.3 to V_{CC}	Vdc
Output Short-Circuit to Gnd (Note 1)	I_{SC}	Continuous	
Input Current (V_{in} < -0.3 Vdc) (Note 2)	I_{in}	50	mA
Power Dissipation @ T_A = 25°C Ceramic Package Derate above 25°C Plastic Package Derate above 25°C	P_D	1.0 8.0 1.0 8.0	Watts mW/°C Watts mW/°C
Operating Ambient Temperature Range LM139, A LM239, A LM2901/MC3302 LM339, A	T_A	-55 to +125 -25 to +85 -40 to +85 0 to +70	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C

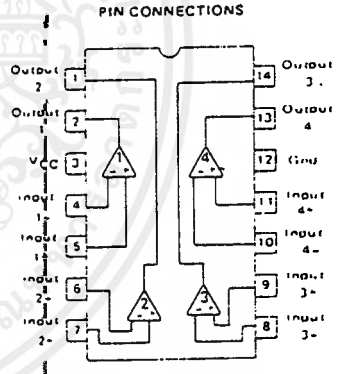
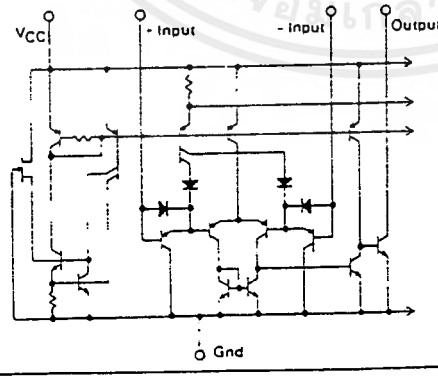


FIGURE 1 — CIRCUIT SCHEMATIC (Diagram shown is for 1 comparator)

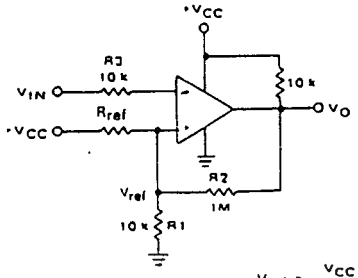


ORDERING INFORMATION

Device	Temperature Range	Package
LM139J, AJ	-55°C to +125°C	Ceramic DIP
LM239J, AJ LM239N, AN	-25°C to +85°C	Ceramic DIP Plastic DIP
LM339J, AJ LM339N, AN	0°C to +70°C	Ceramic DIP Plastic DIP
LM2901N MC3302L MC3302P	-40°C to +85°C	Plastic DIP Ceramic DIP Plastic DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 2 — INVERTING COMPARATOR WITH HYSTERESIS



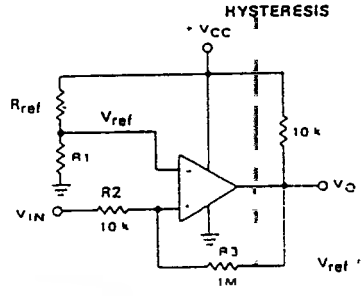
$$V_{ref} = \frac{V_{CC}\,R1}{R_{ref} + R1}$$

$$R3 = R1 // R_{ref} // R2$$

$$V_H = \frac{R1 // R_{ref}}{R1 // R_{ref} + R2}\,(V_{Omax} - V_{Omin})$$

$$R2 >> R_{ref} // R1$$

FIGURE 3 — NON-INVERTING COMPARATOR WITH HYSTERESIS



$$V_{ref} = \frac{V_{CC}\,R1}{R_{ref} + R1}$$

$$R2 = R1 // R_{ref}$$

Amount of Hysteresis V_H

$$V_H = \frac{R2}{R2 + R3}\,(V_{Omax} - V_{Omin})$$

TYPICAL CHARACTERISTICS

(V_{CC} = +15 Vdc, T_A = +25°C (each comparator) unless otherwise noted.)

FIGURE 4 — NORMALIZED INPUT OFFSET VOLTAGE

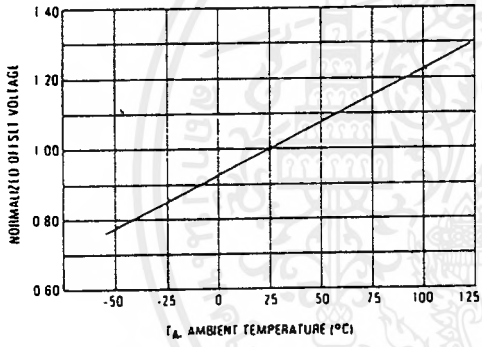


FIGURE 5 — INPUT BIAS CURRENT

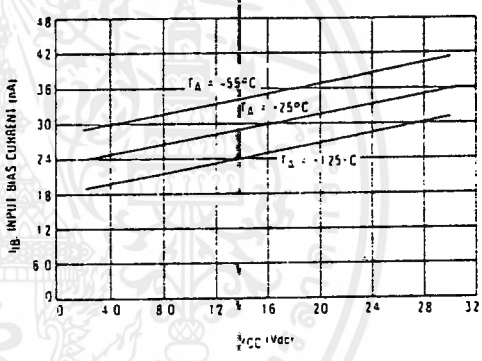
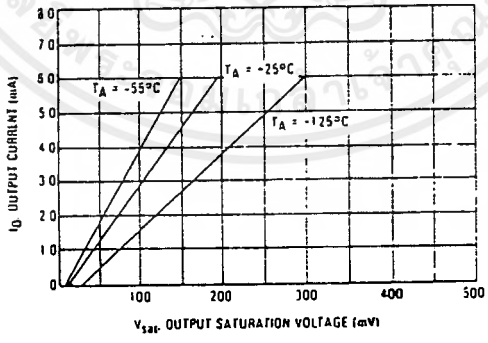


FIGURE 6 — OUTPUT SINK CURRENT versus OUTPUT SATURATION VOLTAGE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4060AB

CMOS 14-STAGE BINARY COUNTER AND OSCILLATOR

FEATURES

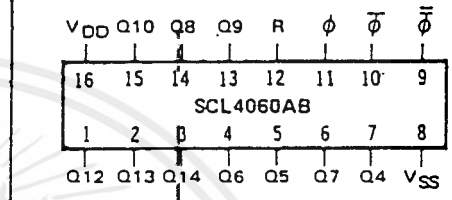
- 14 Fully Static Stages
- 10 Buffered Outputs Available
- Common Reset Line
- 8MHz Counting Rate @ 10Vdc
- All Active Oscillator Components on Chip for R-C or Crystal Control

DESCRIPTION

The SCL4060AB consists of an oscillator section and 14 ripple-carry binary counter stages. The oscillator configuration allows design of either R-C or crystal oscillator circuits. A Reset input is provided which resets the counter to the all-0's state. A high level on the Reset line accomplishes the reset function. The state of the counter is advanced one step in binary order on the negative transition of the Clock input ϕ. All inputs and outputs are fully buffered. Outputs are available from stages 4 through 10 and 12 through 14.

Applications include timers, frequency dividers, delay circuits and counter controls.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

TRUTH TABLE

CLOCK	RESET	OUTPUT STATE
⌐	0	No Change
¬	0	Advance to next state
X	1	All Outputs are low

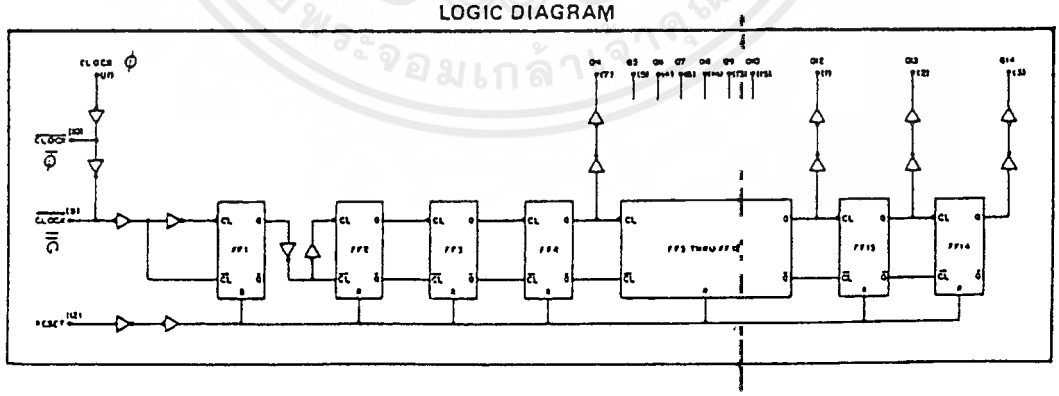
X = Don't Care

RECOMMENDED OPERATING CONDITIONS

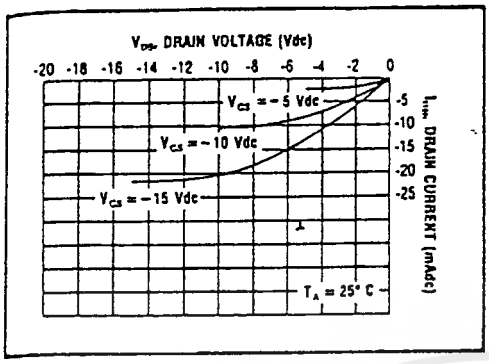
For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

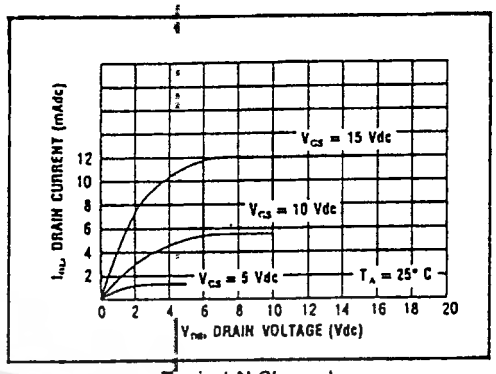
LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

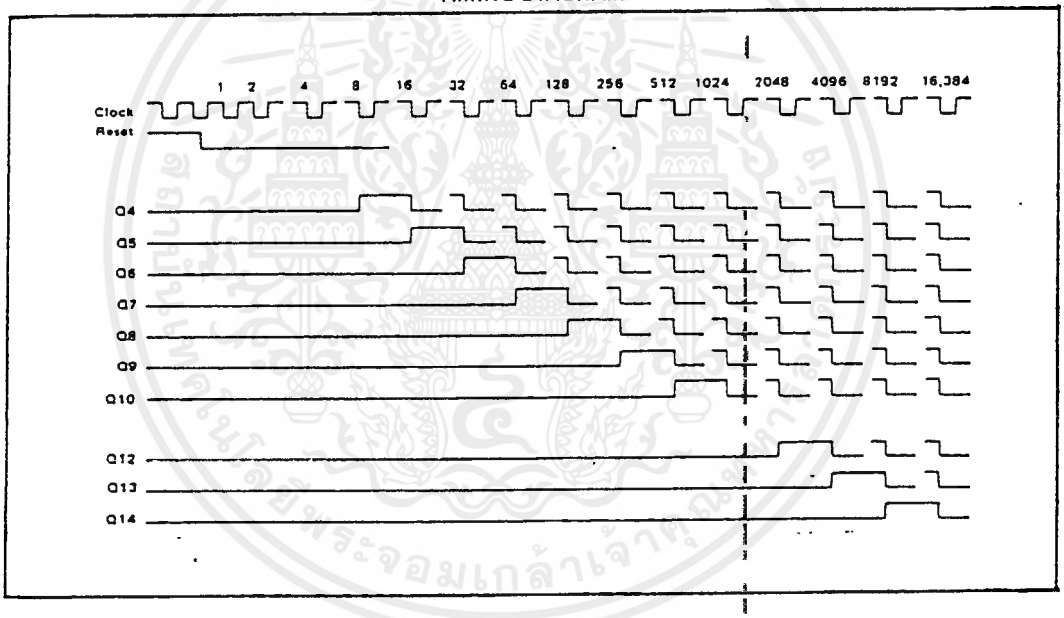


Typical P-Channel
Source Current Characteristics

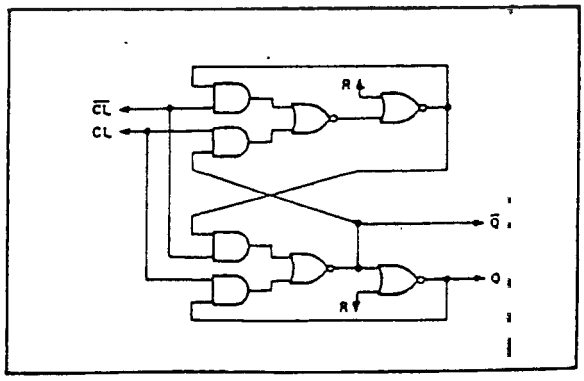


Typical N-Channel
Sink Current Characteristics

TIMING DIAGRAM

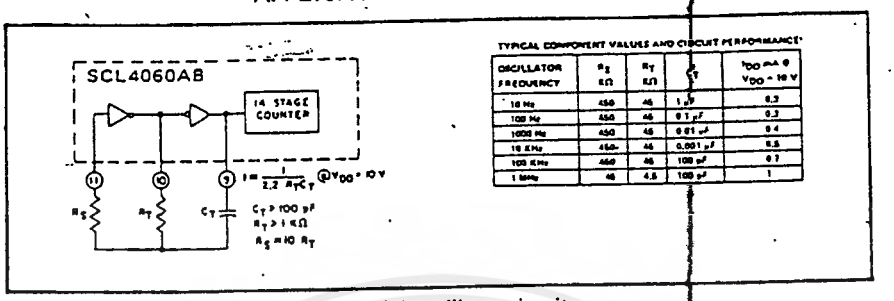


TYPICAL COUNTER STAGE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

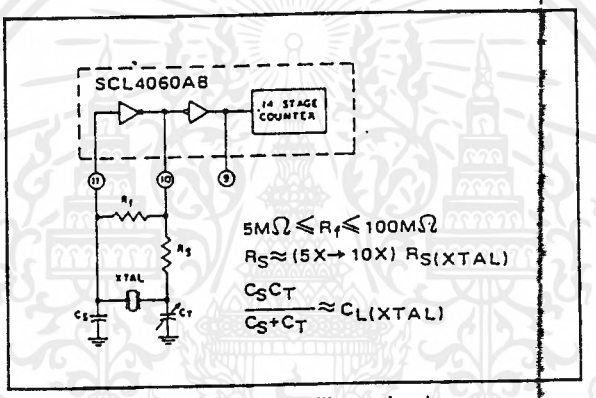
APPLICATIONS INFORMATION



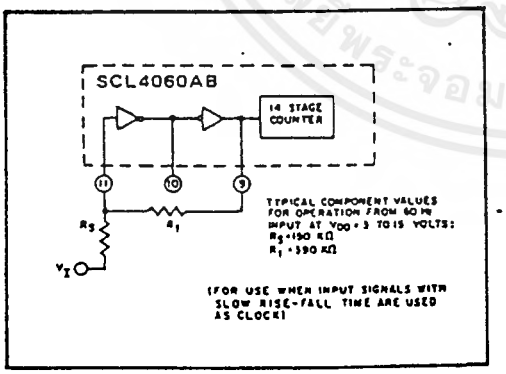
TYPICAL COMPONENT VALUES AND CIRCUIT PERFORMANCE*

OSCILLATOR FREQUENCY	R_S kΩ	R_T kΩ	C_T	I_{DD} mA @ V_{DD} = 10 V
10 Hz	450	45	1 μF	0.3
100 Hz	450	45	0.1 μF	0.3
1000 Hz	450	45	0.01 μF	0.4
10 kHz	450	45	0.001 μF	0.5
100 kHz	450	45	100 pF	0.7
1 MHz	45	4.5	100 pF	1

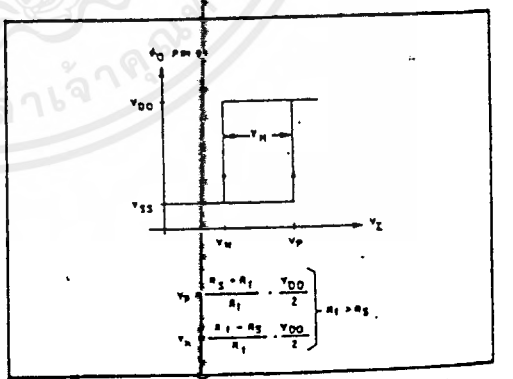
Typical RC oscillator circuit



Typical crystal oscillator circuit



Input pulse-shaping circuit (Schmitt trigger)



Input circuit characteristics for pulse-shaping circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4070B

CMOS QUAD EXCLUSIVE-OR GATE

FEATURES

- Buffered Outputs
- Diode Protection on all Inputs
- Fully "B"-Series Compatible
- Balanced Output Drive Current Specifications
- Pin Compatible with 4030 types, MC14507, 74C86

DESCRIPTION

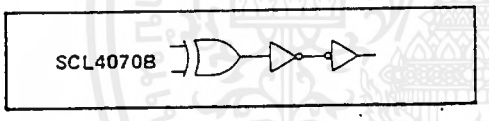
The SCL4070B contains four independent exclusive-OR gates integrated on a single monolithic silicon chip. Each exclusive-OR gate consists of five N-channel and five P-channel enhancement-mode transistors, plus output buffering devices.

TRUTH TABLE
(one of four gates)

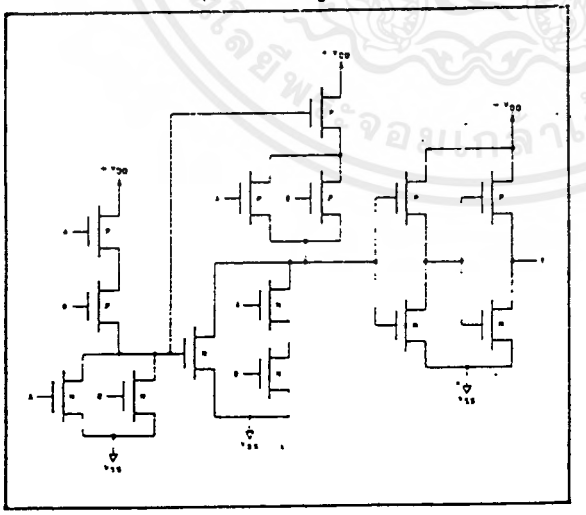
A	B	Y
0	0	0
1	0	1
0	1	1
1	1	0

Where 1 = High Level
0 = Low Level

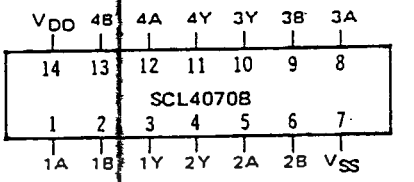
LOGIC DIAGRAM



SCHEMATIC DIAGRAM
(one of four gates)



CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C 14-pin Cerdip
D 14-pin Ceramic
E 14-pin Epoxy
F 14-pin Flat
H Chip

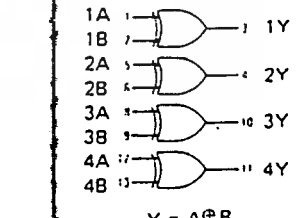
RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

Note: The SCL4070B is identical to the SCL4030B; the devices are fully interchangeable in all applications.

FUNCTION DIAGRAM



Y = A⊕B.

V_{DD} = Pin 14
V_{SS} = Pin 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

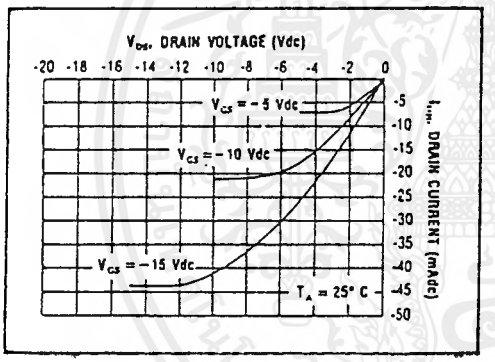
STATIC CHARACTERISTICS [1,3]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2]		+25°C			T_{HIGH} [2]		Units
				Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN}=V_{SS}$ or V_{DD}	–	0.05	–	0.0005	0.05	–	1.5	μAdc
		10	All valid input	–	0.10	–	0.001	0.10	–	3.0	
		15	combinations	–	0.20	–	0.002	0.20	–	6.0	

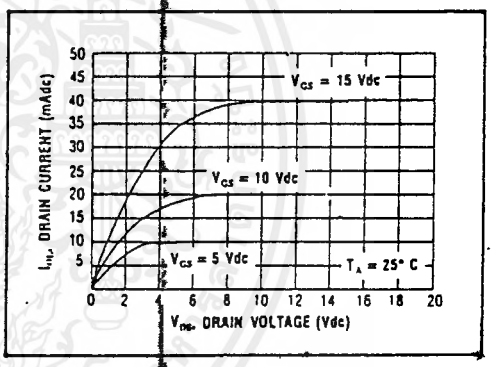
NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.
[3] This device has been designed for balanced output drive current specifications. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME	t_{PLH}, t_{PHL}	5	–	175	350	ns
		10	–	70	140	
		15	–	50	100	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5	–	100	200	ns
		10	–	50	100	
		15	–	40	80	



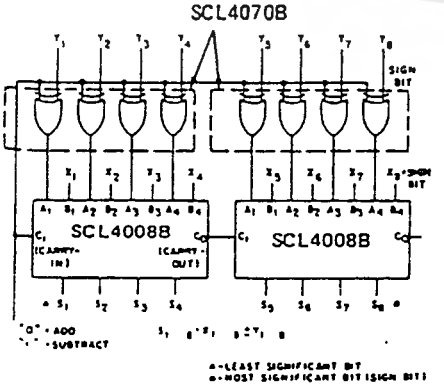
Typical P-Channel
Source Current Characteristics

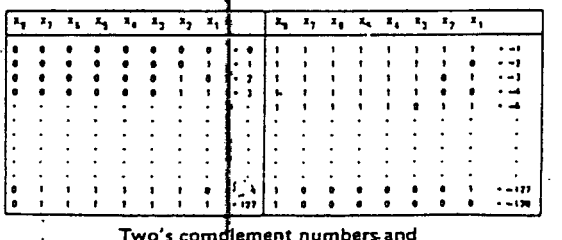


Typical N-Channel
Sink Current Characteristics

APPLICATIONS INFORMATION

8-BIT TWO'S COMPLEMENT ADDER/SUBTRACTOR





Two's complement numbers and
their equivalent decimal values

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4081B, SCL4082B SCL4073B

CMOS AND GATES

SCL4081B - Quad 2-Input AND
SCL4082B - Dual 4-Input AND
SCL4073B - Triple 3-Input AND

FEATURES

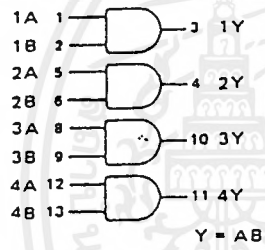
- Buffered Outputs
- Diode Protection on all Inputs
- Fully "B"-Series Compatible
- Balanced Output Drive Current Specifications

TRUTH TABLE

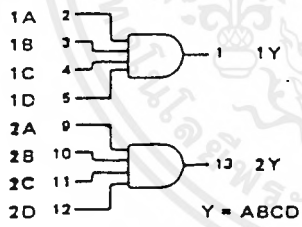
Inputs	Output
1 1 · · · 1	1
All other combinations	0

FUNCTION DIAGRAMS

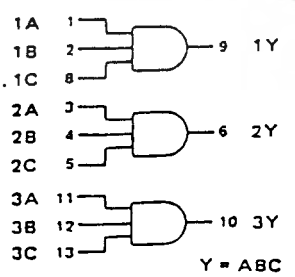
SCL4081B



SCL4082B

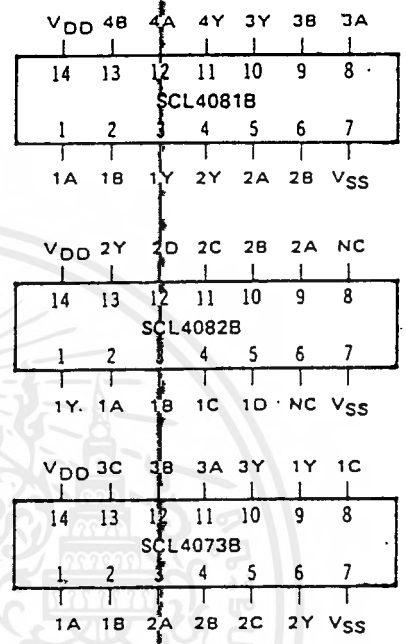


SCL4073B



V_{DD} = Pin 14
V_{SS} = Pin 7
for all Devices

CONNECTION DIAGRAMS
(all packages)



Add suffix for package:

C	14-pin Cerdip
D	14-pin Ceramic
E	14-pin Epoxy
F	14-pin Flat
H	Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

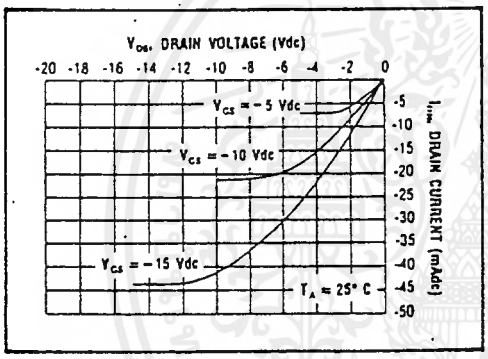
STATIC CHARACTERISTICS [1,3]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2]		+25°C			T_{HIGH} [2]		Units
				Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN} = V_{SS}$ or V_{DD}	–	0.05	–	0.0005	0.05	–	1.5	μAdc
		10	All valid input	–	0.10	–	0.001	0.10	–	3.0	
		15	combinations	–	0.20	–	0.002	0.20	–	6.0	

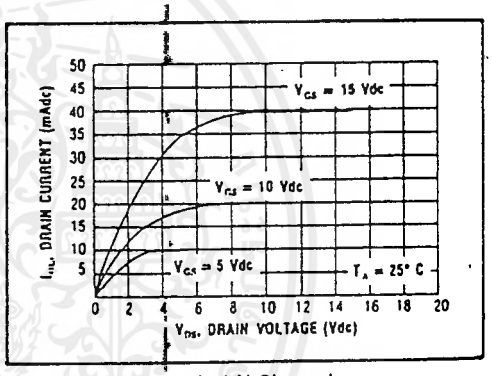
NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications"
[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.
[3] These devices have been designed for balanced output drive current specifications. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME	t_{PLH}, t_{PHL}	5	–	150	300	ns
		10	–	65	130	
		15	–	50	100	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5	–	100	200	ns
		10	–	50	100	
		15	–	40	80	

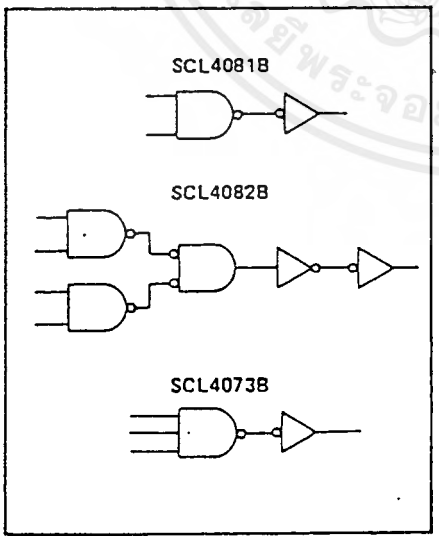


Typical P-Channel
Source Current Characteristics

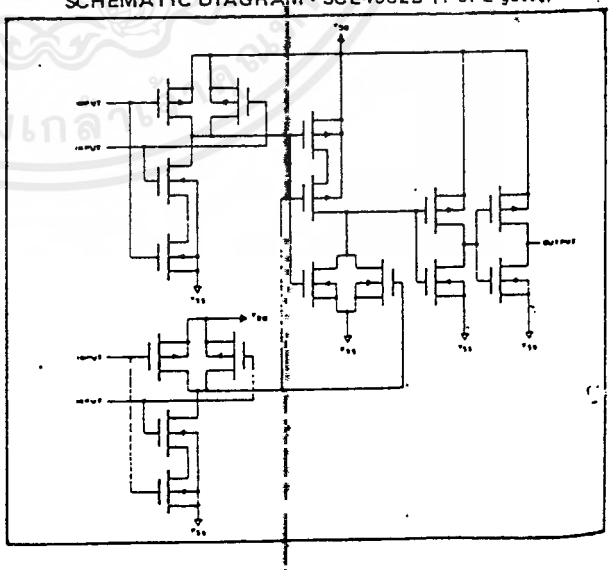


Typical N-Channel
Sink Current Characteristics

LOGIC DIAGRAMS



SCHEMATIC DIAGRAM - SCL4082B (1 of 2 gates)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.
(Note 9)

	LM124/LM224/LM324 LM124A/LM224A/LM324A	LM2902
Supply Voltage, V^+	32 V_{DC} or ±16 V_{DC}	26 V_{DC} or ±13 V_{DC}
Differential Input Voltage	32 V_{DC}	26 V_{DC}
Input Voltage	−0.3 V_{DC} to +32 V_{DC}	−0.3 V_{DC} to +26 V_{DC}
Power Dissipation (Note 1)		
Molded DIP	1130 mW	1130 mW
Cavity DIP	1260 mW	1260 mW
Small Outline Package	800 mW	600 mW
Output Short-Circuit to GND (One Amplifier) (Note 2) $V^+ \leq 15\ V_{DC}$ and $T_A = 25°C$	Continuous	Continuous
Input Current ($V_{IN} < -0.3\ V_{DC}$) (Note 3)	50 mA	50 mA
Operating Temperature Range		−40°C to +85°C
LM324/LM324A	0°C to +70°C	
LM224/LM224A	−25°C to +85°C	
LM124/LM124A	−55°C to +125°C	

	LM124/LM224/LM324 LM124A/LM224A/LM324A	LM2902
Storage Temperature Range	−65°C to +150°C	−65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	260°C	260°C
Soldering Information		
Dual-In-Line Package		
Soldering (10 seconds)	260°C	260°C
Small Outline Package		
Vapor Phase (60 seconds)	215°C	215°C
Infrared (15 seconds)	220°C	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD rating to be determined.

Electrical Characteristics $V^+ = +5.0\ V_{DC}$, (Note 4), unless otherwise stated

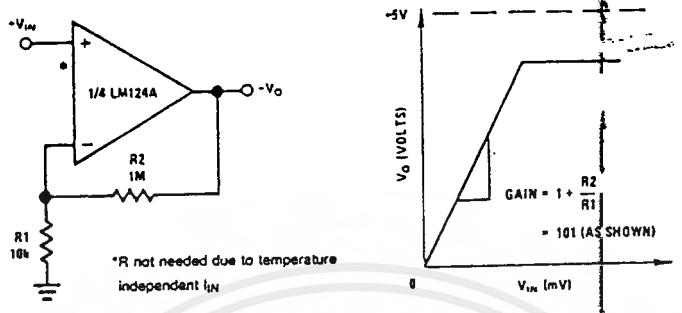
Parameter	Conditions	LM124A			LM224A			LM324A			LM124/LM224			LM324			LM2902			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage	(Note 5)		±1	±2		±1	±3		±2	±3		±2	±5		±2	±7		±2	±7	mV_{DC}
Input Bias Current (Note 6)	$I_{IN(+)}$ or $I_{IN(-)}$, $V_{CM} = 0V$		20	50		40	80		45	100		45	150		45	250		45	250	nA_{DC}
Input Offset Current	$I_{IN(+)} - I_{IN(-)}$, $V_{CM} = 0V$		±2	±10		±2	±15		±5	±30		±3	±30		±5	±50		±5	±50	nA_{DC}
Input Common-Mode Voltage Range (Note 7)	$V^+ = 30\ V_{DC}$, (LM2902, $V^+ = 26\ V_{DC}$)	0		$V^+ - 1.5$	0		$V^+ - 1.5$	0		$V^+ - 1.5$	0		$V^+ - 1.5$	0		$V^+ - 1.5$	0		$V^+ - 1.5$	V_{DC}
Supply Current	$R_L = \infty$, $V^+ = 30V$, (LM2902 $V^+ = 26V$)		1.5	3		1.5	3		1.5	3		1.5	3		1.5	3		1.5	3	mA_{DC}
	$R_L = \infty$ On All Op Amps Over Full Temperature Range		0.7	1.2		0.7	1.2		0.7	1.2		0.7	1.2		0.7	1.2		0.7	1.2	
Large Signal Voltage Gain	$V^+ = 15\ V_{DC}$, $R_L \geq 2\ k\Omega$, ($V_O = 1\ V_{DC}$ to $11\ V_{DC}$)	50	100		50	100		25	100		50	100		25	100		25	100		V/mV
Common-Mode Rejection Ratio	DC, $V_{CM} = 0V$ to $V^+ - 1.5\ V_{DC}$	70	85		70	85		65	85		70	85		65	85		50	70		dB
Power Supply Rejection Ratio	DC, $V^+ = 5\ V_{DC}$ to $30\ V_{DC}$ (LM2902, $V^+ = 5\ V_{DC}$ to $26\ V_{DC}$)	65	100		65	100		65	100		65	100		65	100		50	100		dB

Electrical Characteristics V^+ = +5.0 V_{DC} (Note 1) unless otherwise stated (Continued)

Parameter		Conditions	LM124A			LM224A			LM324A			LM124/LM224			LM324			LM2902			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Amplifier-to-Amplifier Coupling (Note 8)		f = 1 kHz to 20 kHz, (Input Referred)		−120			−120			−120			−120			−120			−120		dB
Output Current	Source	V_{IN}^+ = 1 V_{DC}, V_{IN}^- = 0 V_{DC}, V^+ = 15 V_{DC}, V_O = 2 V_{DC}	20	40		20	40		20	40		20	40		20	40		20	40		mA$_{DC}$
	Sink	V_{IN}^- = 1 V_{DC}, V_{IN}^+ = 0 V_{DC}, V^+ = 15 V_{DC}, V_O = 2 V_{DC}	10	20		10	20		10	20		10	20		10	20		10	20		
		V_{IN}^- = 1 V_{DC}, V_{IN}^+ = 0 V_{DC}, V^+ = 15 V_{DC}, V_O = 200 mV_{DC}	12	50		12	50		12	50		12	50		12	50		12	50		μA$_{DC}$
Short Circuit to Ground		(Note 2) V^+ = 15 V_{DC}, T_A = 25°C		40	60		40	60		40	60		40	60		40	60		40	60	mA$_{DC}$
Input Offset Voltage		(Note 5)			±4			±4			±5			±7			±9			±10	mV$_{DC}$
Input Offset Voltage Drift		R_S = 0Ω		±7	±20		±7	±20		±7	±30		±7			±7			±7		μV/°C
Input Offset Current		$I_{IN(+)} - I_{IN(-)}$, V_{CM} = 0V			±30			±30			±75			±100			±150		±45	±200	nA$_{DC}$
Input Offset Current Drift		R_S = 0Ω		±10	±200		±10	±200		±10	±200		±10			±10			±10		pA$_{DC}$/°C
Input Bias Current		$I_{IN(+)}$ or $I_{IN(-)}$		40	100		40	100		40	200		40	300		40	500		40	500	nA$_{DC}$
Input Common-Mode Voltage Range (Note 7)		V^+ = +30 V_{DC} (LM2902, V^+ = 26 V_{DC})	0		V^+−2	0		V^+−2	0		V^+−2	0		V^+−2	0		V^+−2	0		V^+−2	V$_{DC}$
Large Signal Voltage Gain		V^+ = +15 V_{DC} (V_O Swing = 1 V_{DC} to 11 V_{DC}) R_L ≥ 2 kΩ	25			25			15			25			15			15			V/mV
Output Voltage Swing	V_{OH}	V^+ = +30 V_{DC}, R_L = 2 kΩ	26			26			26			26			26			22			V$_{DC}$
		R_L ≥ 10 kΩ (LM2902, V^+ = 26 V_{DC})	27	28		27	28		27	28		27	28		27	28		23	24		
	V_{OL}	V^+ = 5 V_{DC}, R_L ≥ 10 kΩ		5	20		5	20		5	20		5	20		5	20		5	100	mV$_{DC}$

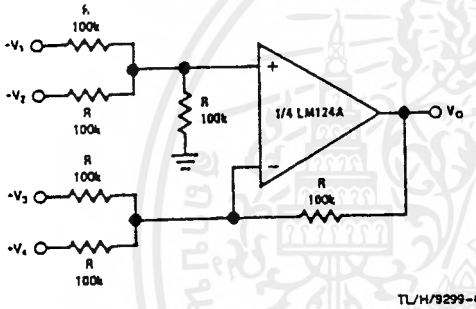
Typical Single-Supply Applications ($V^+ = 5.0\ V_{DC}$)

Non-Inverting DC Gain (0V Input = 0V Output)



TL/H/9299–5

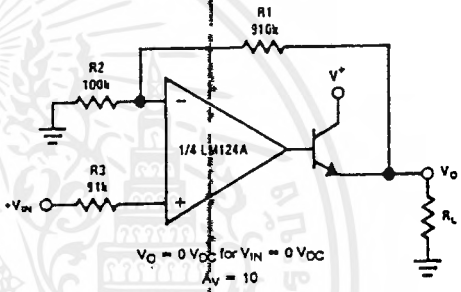
DC Summing Amplifier
(V_{IN}'S ≥ 0 V_{DC} and V_O ≥ V_{DC})



TL/H/9299–6

Where: $V_O = V_1 + V_2 - V_3 - V_4$
$(V_1 + V_2) \geq (V_3 + V_4)$ to keep $V_O > 0\ V_{DC}$

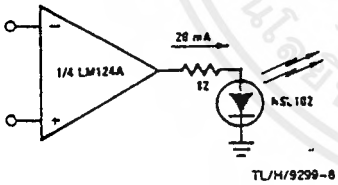
Power Amplifier



$V_O = 0\ V_{DC}$ for $V_{IN} = 0\ V_{DC}$
$A_V = 10$

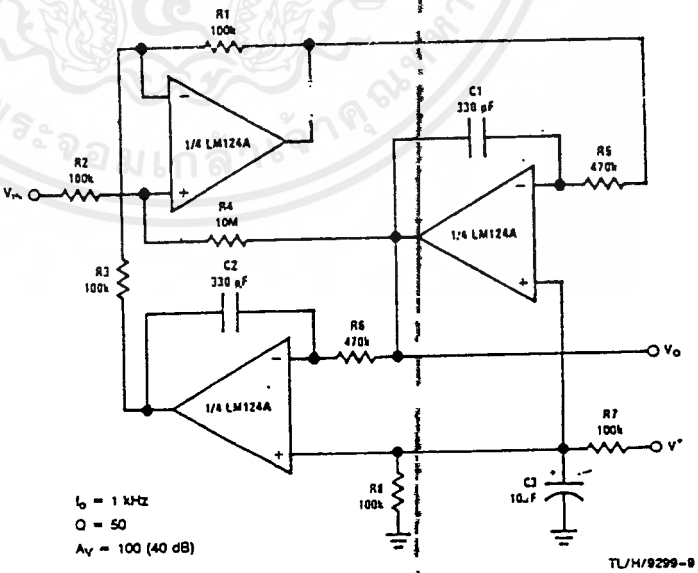
TL/H/9299–7

LED Driver



TL/H/9299–8

"BI-QUAD" RC Active Bandpass Filter



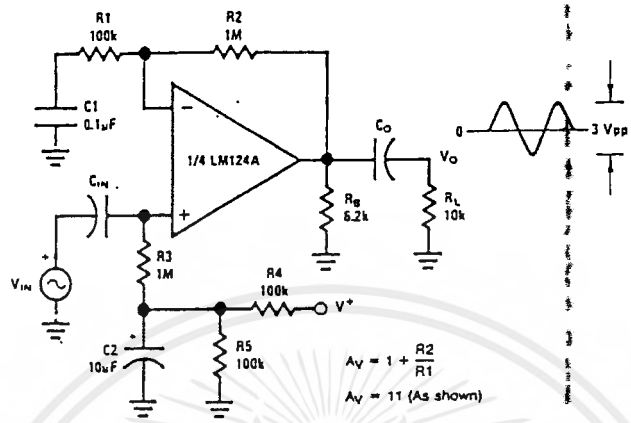
f_o = 1 kHz
Q = 50
A_V = 100 (40 dB)

TL/H/9299–9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Single-Supply Applications (V^+ = 5.0 V_{DC}) (Continued)

AC Coupled Non-Inverting Amplifier

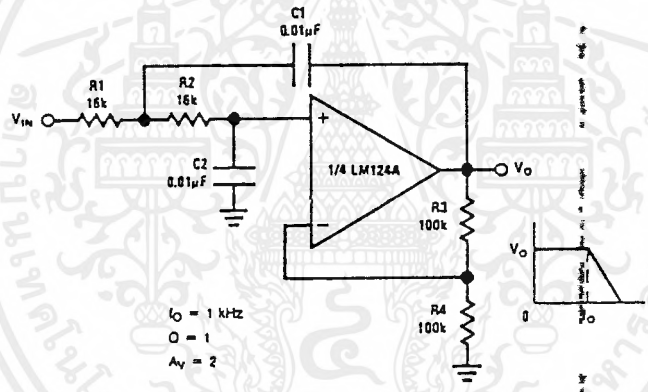


$A_V = 1 + \frac{R2}{R1}$

A_V = 11 (As shown)

TL/H/9299–25

DC Coupled Low-Pass RC Active Filter



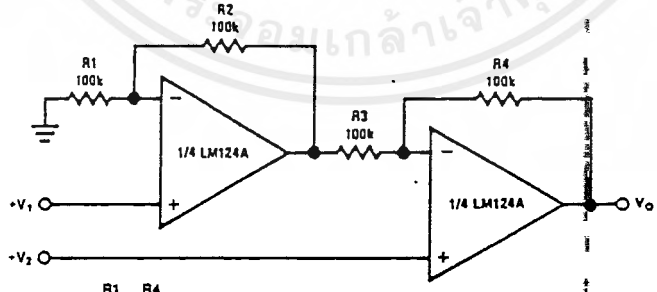
f_O = 1 kHz

Q = 1

A_V = 2

TL/H/9299–26

High Input Z, DC Differential Amplifier



For $\frac{R1}{R2} = \frac{R4}{R3}$ (CMRR depends on this resistor ratio match)

$V_O = 1 + \frac{R4}{R3}(V_2 - V_1)$

As shown: $V_O = 2(V_2 - V_1)$

TL/H/9299–27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5474/7474 Dual D-Type Positive-Edge-Triggered Flip-Flop with Preset and Clear

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S74	J①			W①	SN54H74	J①			W②	SN54LS74	J①			W①	SN5474	J①			W②	SN54L74	J①	N①	T①	
	SN74S74	J①	N①			SN74H74	J①	N①			SN74LS74	J①	N①			SN7474	J①	N①			SN74L74	J①	N①	T①	
FAIRCHILD	FM54S74/FM95S74	I①			F②	FM54H74/FM95H74	I①			F②	FM54LS74/FM95LS74	I①			F①	FM5474/FM95H74	I①			F②					
	FC74S74/FC95S74	I①	P①		F①	FC74H74/FC95H74	I①	P①		F①	FC74LS74/FC95LS74	I①	P①		F①	FC7474/FC95H74	I①	P①		F①					
MOTOROLA											SN74LS74		P①												
N.S.C.						DM54H74	J①	N①			DM54LS74		P①			DM5474	J①	N①		W②	DM54L74	J①	N①		F②
	DM74S74		N①			DM74H74	J①	N①			DM74LS74					DM7474	J①	N①			DM74L74	J①	N①		F①
PHILIPS	N74S74		D①			GJJ131/74H74		D①			N74LS74		D①			FJJ131/7474		D①							
SIGNETICS	S54S74					S54H74	F①	A①		W①						S5474	F①	A①		W②					
	N74S74					N74H74	F①	A①			N74LS74		A①			N7474	F①	A①							
SIEMENS																FLJ141		D①							
FUJITSU											74LS74		MD①			MB8420		D①	M①						
HITACHI	HD74S74		D①	P①							HD74LS74		P①			HD7474/HD2510		D①	P①						
MITSUBISHI	M74S74		P①								M74LS74		P①			M5327/M5374		P①							
NEC	74S74		C①								74LS74		C①			μPB214		D①	C①						
TOSHIBA																TC3474A		P①							

Electrical Characteristics SN54LS74/SN74LS74

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range:	SN54LS	−55°C to 125°C
Input voltage	5.5V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

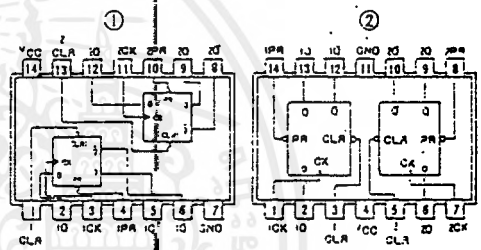
recommended operating conditions

	SN54LS74			SN74LS74			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Pulse width, t_w: Clock high	25			25			ns
Preset or clear low	35			25			
Input setup time, t_{su}: High-level data	25†			20†			ns
Low-level data	20†			20†			
Input hold time, t_h	5†			5†			ns
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER*		TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage		2			V
V_{IL}	Low-level input voltage				0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OH}=MAX	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OL}=4mA		0.25	0.4	V
I_I	Input current at maximum input voltage: D, CLK	V_{CC}=MAX, V_I=7V			0.1	mA
	Clear				0.2	
	Preset				0.2	
	Clock				0.1	
I_{IH}	High-level input current: D, CLK	V_{CC}=MAX, V_I=2.7V			20	μA
	Clear				40	
	Preset				40	
	Clock				20	
I_{IL}	Low-level input current: D, CLK	V_{CC}=MAX, V_I=0.4V			−0.1	mA
	Clear				−0.3	
	Preset				−0.3	
	Clock				−0.4	
I_{OS}	Short-circuit output current*: Series 54LS	V_{CC}=MAX	−20		−100	mA
	Series 74LS		−20		−100	
I_{CC}	Supply current (Average per flip-flop)	V_{CC}=MAX, See Note 1		4	8	mA
f_{clock}	Clock frequency	V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=2kΩ	25	33		MHz
t_{PLH}	from clear, preset or clock (as appropriate) to Q or $\bar{Q}$			13	25	ns
t_{PHL}				25	40	

Pin Assignments (Top View)

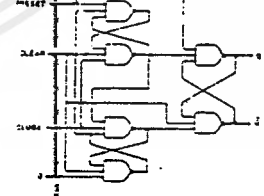


Functional Table

'74, H74, LS74, S74 (See Note 2)

INPUTS				OUTPUTS	
PRESET	CLEAR	CLOCK	D	Q	Q̄
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q_0	$\bar{Q}_0$

Functional Block Diagram



'74, S74, H74, LS74, LT4-DUAL D-FLIP-FLOP WITH CLEAR AND PRESET

NOTES: 1. With all outputs open, I_{CC} is measured with the Q and $\bar{Q}$ outputs high in turn. At the time of measurement, the clock input is grounded.

2. H = high level (steady state), L = low level (steady state), X = irrelevant, ↑ = transition from low to high level.
Q_0 = the level of Q before the indicated input conditions were established.
* This configuration is nonstable; that is, it will not persist when preset and clear inputs return to their inactive (high) level.

*For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC}=5V, T_A=25°C.
*Not more than one output should be shorted at a time.
t_{PLH} = propagation delay time, low-to-high-level output;
t_{PHL} = propagation delay time, high-to-low-level output;
§ The arrow indicates the edge of the clock pulse used for reference: ↑ for the rising edge.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

[1] ถวิล กิ่งทอง , " เทคโนโลยีการส่งสัญญาณดิจิตอล " , สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร ลาดกระบัง , หน้า 30-35 , 2535

[2] ถวิล พึ่งมา , " การออกแบบวงจรทางโทรคมนาคม " , สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร ลาดกระบัง , หน้า 67-69 , 2534

[3] คงศักดิ์ เกียรติทับทิว , วุฒิพงศ์ ปัทมวิสุทธิ์ , " เครื่องป้องกันเสียงแบบดิจิตอล " , สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง , 2532

[4] นิกร สุขุตมตันติ , " อิเลคทรอนิคส์พื้นฐาน " , สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหาร ลาดกระบัง , หน้า 86-87 , 2533

[5] นิกร สุขุตมตันติ , " การออกแบบวงจรอิเลคทรอนิคส์ " , สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร ลาดกระบัง , หน้า 53-61 , 2533

[6] ปราโมทย์ วาดเขียน , " พื้นฐานการสื่อสารข้อมูล " , สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร ลาดกระบัง , หน้า 77-80 , 2532

[7] อภิชาติ ศิรินุกูลธร , " วงจรกรองความถี่ " , เซมิคอนดัคเตอร์อิเลคทรอนิคส์ ฉบับ ต.ค.-พ.ย., หน้า 241-247 , 2532

[8] John L. Hilburn & David E. Johnson , " Manual of Active Filter Design " , McGraw-Hill Inc. , p. 5-96 , 1973

[9] Richard E. Blahkt , " Digital Transmission of Information " , Addison - Weslet Publishing Company , p. 497-500

[10] Taus & Schilling , " Principle of Communication System " second edition , McGraw-Hill , p. 732-735 , 1986

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้