สเปคตรัม อนาไลเซอร์

SPECTRUM ANALYZER

โดย

1.นางสาวกาญจนา วงษ์ศรีทอง	รหัสประจำตัว	36014022
2.นางสาวจตุพร เชียงดี	รหัสประจำตัว	36014064
3.นายชัยทัศน์ ศรไชย	รหัสประจำตัว	36014104

อาจารย์ที่ปรึกษา

ดร.ทองทด วานิชศรี

รศ.ดร.กอบชัย เดชหาญ

วัน เดือน ปี 29 ก.ย. 2541

เลขทะเบียน 038103

เลขเรียกหนังสือ T30124 ก ปรส

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2539

ปริญญานิพนธ์ ปีการศึกษา 2539

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง สเปคตรัม อนาไลเซอร์

SPECTRUM ANALYZER

ผู้จัดทำ

1. น.ส.กาญจนา วงษ์ศรีทอง รหัส 36014022
2. น.ส.จตุพร เชียงดี รหัส 36014064
3. นายชัยทัศน์ ศรไชย รหัส 36014104

(ดร.ทองทด วานิชศรี) อาจารย์ที่ปรึกษา

(รศ.ดร.กอบชัย เดชหาญ) อาจารย์ที่ปรึกษา

สเปคตรัมอนาไลเซอร์

SPECTRUM ANALYZER

โดย น.ส.กาญจนา วงษ์ศรีทอง 36014022
น.ส.จตุพร เขียงดี 36014064
นายชัยทัศน์ ศรไชย 36014104
อาจารย์ที่ปรึกษา ดร.ทองทด วานิชศรี
รศ. ดร.กอบชัย เดชหาญ

บทคัดย่อ

สเปคตรัมอนาไลเซอร์เป็นเครื่องมือที่ใช้ในการวัดส่วนประกอบของสัญญาณในเทอมของความถี่ การออกแบบสเปคตรัมอนาไลเซอร์ มีด้วยกันหลายวิธี แต่สำหรับโครงงานนี้ได้ใช้วิธีซุปเปอร์เฮทเทอร์โรดายน์ และใช้ได้ถึงย่านความถี่ 1 MHz แล้วแสดงผลออกทางจอออสซิสโลสโคปประกอบด้วยวงจรต่างๆหลายวงจร คือ วงจรออสซิลเลเตอร์ผลิตสัญญาณความถี่ 10.245 MHz วงจร VCO สามารถผลิตสัญญาณที่มีความถี่ตั้งแต่ 10.7 MHz -11.7 MHz วงจรมิกเซอร์ 2 ชุด สัญญาณมิกเซอร์ผ่านวงจรแบนด์พาสฟิลเตอร์จะได้สัญญาณความถี่ 10.7 MHz และ 455 KHz ออกมาตามลำดับผ่านวงจรแบนด์พาสฟิลเตอร์ที่มีความถี่กลาง 455 KHz นำสัญญาณที่ได้ไปดีเทคแล้วแสดงผลทางแกน Y ซึ่งแสดงเป็นแบบเชิงเส้น และแกน X แสดงเป็นแกนความถี่ โดยใช้สัญญาณฟันเลื่อยจากวงจรสร้างสัญญาณฟันเลื่อยที่สามารถปรับค่าเวลาในการสแกนสัญญาณมาควบคุมแทนที่จะเป็นแกนเวลาตามออสซิสโลสโคป

ABSTRACT

Spectrum Analyzer is an instrument which measures the components of signal in frequency domain. Many types of analyzers are available. The superheterodyne analyzer is used in this project.

This project use to measure the signal that have band of frequency to 1 MHz . It be compose of several parts. Oscillator can produce signal that have frequency 10.245 MHz ,VCO able to produce signal that have frequency from 10.7 - 11.7 MHz. Mixer ,however, after the output of mixer pass to bandpass filter the signal will detect by detector and present in Y- axis of oscilloscope. X-axis present in scale of frequency by sawtooth signal that able to adjust period of scanning

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	
- วงจรกรองความถี่ต่ำ	5
- วงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน	7
- วงจรคริสตอลออสซิลเลเตอร์	9
- วงจรมิกเซอร์	14
- วงจรกรองช่วงความถี่	19
- วงจรสร้างสัญญาณแบบฟันเลื่อย	20
- วงจรเรคติไฟร์	29
- เนื้อหาอื่นๆ	31
บทที่ 3 การคำนวณและการสร้าง	
- วงจรกรองความถี่ต่ำ	40
- วงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน	41
- วงจรคริสตอลออสซิลเลเตอร์	43
- วงจรมิกเซอร์	46
- วงจรกรองช่วงความถี่	47
- วงจรสร้างสัญญาณแบบฟันเลื่อย	48
- วงจรดีเทคเตอร์	49
บทที่ 4 การทดลองและผลการทดลอง	
- วงจรกรองความถี่ต่ำ	50
- วงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน	52
- วงจรคริสตอลออสซิลเลเตอร์	54
- วงจรมิกเซอร์	56
- วงจรกรองช่วงความถี่	58
- วงจรสร้างสัญญาณแบบฟันเลื่อย	60
- วงจรดีเทคเตอร์	62
- ผลการทดลองสเปคตรัมอนาไลเซอร์	64
บทที่ 5 สรุปวิจารณ์และแนวทางพัฒนา	67
ภาคผนวก	
หนังสืออ้างอิง	

- รูปที่ 2.6.5 แสดง inverting comparator และคุณสมบัติอินพุท-เอาท์พุท 24
- รูปที่ 2.6.6 แสดง noninverting comparator with positive bias 24
- รูปที่ 2.6.7 แสดง inverting comparator with negative bias 25
- รูปที่ 2.6.8 วงจร noninverting schmitt trigger 25
- รูปที่ 2.6.9 แสดงคุณสมบัติอินพุท-เอาท์พุท 26
- รูปที่ 2.6.10 แสดงวงจรอินทิเกรเตอร์ 28

2.7 วงจรเรคติไฟร์

- รูปที่ 2.7.1 แสดงวงจร Half-wave rectifier 29
- รูปที่ 2.7.2 แสดงวงจร Precision half-wave rectifier 30

2.8 เนื้อหาอื่นๆ

- รูปที่ 2.8.1 อินเวอร์ติ้งแอมปลิไฟเออร์ 31
- รูปที่ 2.8.2 นอนอินเวอร์ติ้งแอมปลิไฟเออร์ 32
- รูปที่ 2.8.3 วงจรขยายแบบเบสร่วม 33
- รูปที่ 2.8.4 วงจรขยายแบบคอลเล็กเตอร์ร่วม 34
- รูปที่ 2.8.5 วงจรขยายแบบอิมิตเตอร์ร่วม 35
- รูปที่ 2.8.6 วงจร Adder 36
- รูปที่ 2.8.7 วงจร Attenuator 37

บทที่ 3 การคำนวณและการสร้าง

- รูปที่ 3.1 แสดงบล็อคไดอะแกรมการทำงานของสเปคตรัมอนาไลเซอร์ 38

3.1 วงจรกรองความถี่ต่ำ

- รูปที่ 3.1.1 วงจรกรองความถี่ที่ออกแบบได้ 40

3.2 วงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน

- รูปที่ 3.2.1 วงจร VCO ที่ได้ออกแบบไว้ 41
- รูปที่ 3.2.2 ผลตอบสนองทางความถี่ของวงจร VCO ที่ความถี่ 10.7 MHz 42
- รูปที่ 3.2.3 แสดงการเกิดการออสซิลเลทของวงจร VCO ที่ความถี่ 10.7 MHz 42

3.3 วงจรคริสตอลออสซิลเลเตอร์

- รูปที่ 3.3.1 วงจรคริสตอลออสซิลเลเตอร์ 44
- รูปที่ 3.3.2 ผลตอบสนองทางความถี่ของวงจรคริสตอลออสซิลเลเตอร์ 10.245 MHz 45
- รูปที่ 3.3.3 แสดงการเกิดการออสซิลเลทของวงจรคริสตอลออสซิลเลเตอร์ 10.245 MHz 45

3.4 วงจรมิกเซอร์

- รูปที่ 3.4.1 วงจรมิกเซอร์โดยใช้ IC เบอร์ LM 1496 46

3.5 วงจรกรองช่วงความถี่

- รูปที่ 3.5.1 วงจร Bandpass Filter แบบ passive 4 stage ที่ออกแบบได้ 47

3.6 วงจรสร้างสัญญาณฟันเลื่อย
- รูปที่ 3.6.1 วงจรสร้างสัญญาณฟันเลื่อย 48
3.7 วงจรดีเทคเตอร์
- รูปที่ 3.7.1 วงจร Full-wave rectifier ประกอบด้วย Half-wave rectifier 49
บทที่ 4 การทดลองและผลการทดลอง
4.1 วงจรกรองความถี่ต่ำ
- รูปที่ 4.1.1 กราฟแสดงคุณลักษณะของวงจรกรองความถี่ต่ำที่วัดได้ 51
- รูปที่ 4.1.2 แสดงค่าที่ความถี่คัทออฟของความถี่ 1 MHz 51
4.2 วงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน (VCO)
- รูปที่ 4.2.1 กราฟแสดงความสัมพันธ์ของโวลท์เตจและความถี่ที่เปลี่ยนไป 53
- รูปที่ 4.2.2 แสดงสัญญาณรูปซายน์ที่เกิดจากการออสซิลเลทของวงจร ณ ความถี่ 11.7 MHz 53
4.3 วงจรคริสตอลออสซิลเลเตอร์
- รูปที่ 4.3.1 สเปคตรัมความถี่ของวงจรคริสตอลออสซิลเลเตอร์ 54
- รูปที่ 4.3.2 สัญญาณรูปซายน์ที่เกิดจากวงจร 54
- รูปที่ 4.3.3 ความถี่ของวงจรโดยวัดจากเครื่องนับความถี่ (Frequence Counter) 55
4.4 วงจรมิกเซอร์
- รูปที่ 4.4.1 สัญญาณที่ได้จากการคูณสัญญาณความถี่ 11.7 MHz และสัญญาณความถี่ 1MHz 56
- รูปที่ 4.4.2 สัญญาณที่ได้หลังจากผ่านเซรามิกฟิลเตอร์ค่า 10.7 MHz 56
- รูปที่ 4.4.3 สัญญาณที่ได้จากการคูณสัญญาณความถี่ 10.7 MHz และ 57
สัญญาณความถี่ 10.245 MHz โดยใช้สเปคตรัมอนาไลเซอร์
- รูปที่ 4.4.4 สัญญาณที่ได้หลังจากผ่านเซรามิกฟิลเตอร์ค่า 455 KHz 57
4.5 วงจรกรองช่วงความถี่
- รูปที่ 4.5.1 ความสัมพันธ์ระหว่างอินพุทกับเอาท์พุทที่ได้จากวงจร Bandpass Filter 10 KHz 59
- รูปที่ 4.5.2 ความสัมพันธ์ระหว่างอินพุทกับเอาท์พุทที่ได้จากวงจร Bandpass Filter 100 KHz 59
4.6 วงจรสร้างสัญญาณรูปฟันเลื่อย
- รูปที่ 4.6.1 แสดงสัญญาณฟันเลื่อย 1 S ขนาด 8.125 โวลท์ 60
- รูปที่ 4.6.2 แสดงสัญญาณฟันเลื่อย 50 mS ขนาด 7.9 โวลท์ 61
4.7 วงจรดีเทคเตอร์
- รูปที่ 4.7.1 แสดงสัญญาณเอาท์พุท(Full-wave) ที่ได้จากวงจร Full-wave rectifier 62
- รูปที่ 4.7.2 แสดงสัญญาณเอาท์พุทที่ได้จากวงจร รูปที่ 3.7.1 จากสัญญาณอินพุทความถี่ 455 KHz 63
4.8 ผลการทดลองสเปคตรัมอนาไลเซอร์
- รูปที่ 4.8.1 แสดงการวัดสัญญาณไซน์ 200 KHz ขนาด 600 mV 64
- รูปที่ 4.8.2 แสดงการวัดสัญญาณไซน์ 600 KHz ขนาด 400 mV 64

- รูปที่ 4.8.3 แสดงการวัดสัญญาณสี่เหลี่ยม 100 KHz ขนาด 700 mV 65
- รูปที่ 4.8.4 แสดงการวัดสัญญาณสี่เหลี่ยม 200 KHz ขนาด 700 mV 65
- รูปที่ 4.8.5 แสดงการวัดสัญญาณไซน์ที่ความถี่ต่างๆกันตั้งแต่ 100 KHz- 100 MHz ขนาด 600 mV 66

สารบัญตาราง

หน้า

บทที่ 2 ทฤษฎีและหลักการ

2.2 วงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน (VCO)

- ตารางที่ 2.2.1 เปรียบเทียบ VCO ที่ใช้ในวงจรประมวล 8

บทที่ 4 การทดลองและผลการทดลอง

4.1 วงจรกรองความถี่ต่ำ

- ตารางที่ 4.1.1 แสดงผลการทดลองของวงจรกรองความถี่ต่ำ 50

4.2 วงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน (VCO)

- ตารางที่ 4.2.1 ตารางแสดงความสัมพันธ์ของโวลเตจและความถี่ที่เปลี่ยนไป 52

4.5 วงจรกรองช่วงความถี่

- ตารางที่ 4.5.1 ค่าอินพุทและเอาท์พุทที่ได้จากวงจรแบนด์พาสฟิลเตอร์แบบพาสซีฟ 58

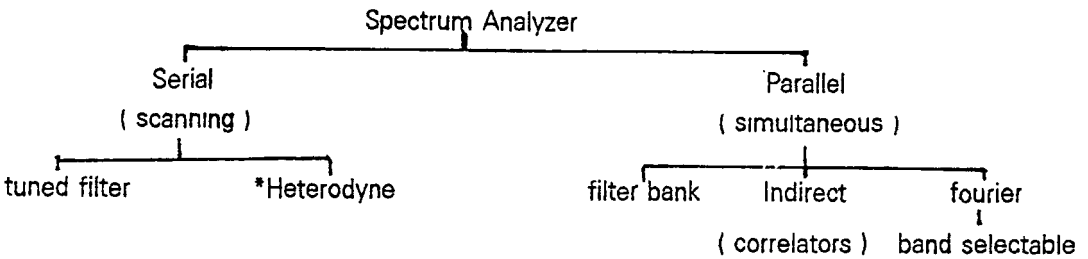
บทที่ 1

บทนำ

spectrum analyzer และ network analyzer จัดเป็นเครื่องมือวัดที่ใช้กันอย่างกว้างขวางในการแสดงคุณลักษณะของสัญญาณในทางแกนความถี่ (frequency domain) ส่วนออสซิลโลสโคปนั้นเป็นเครื่องมือที่ใช้วัดสัญญาณและแสดงผลออกมาทางแกนเวลา (time domain) ซึ่งการแสดงผลทางแกนเวลาและแกนความถี่จะสัมพันธ์กันด้วยทฤษฎีฟูเรียร์

spectrum analyzer ถูกนำมาใช้ในระบบเรดาห์ เครื่องรับวิทยุ โทรศัพท์มือถือ เคเบิลทีวี ฯลฯ โดยวัดความถี่และขนาดของสัญญาณ

spectrum analyzer มีอยู่ด้วยกันหลายชนิดดังนี้



รูปที่ 1.1 แสดงการแบ่งประเภทของ spectrum analyzer

ในกลุ่มแรกนั้นเป็น serial analyzer ซึ่งจะวัดสเปคตรัมที่ความถี่หนึ่งๆ ณ เวลาหนึ่งๆ ซึ่งแบ่งออกได้เป็น 2 ชนิดคือ

-tuned filter เป็นชนิดที่มีความยากในการสร้าง อันเนื่องมาจากเหตุผลทางด้านการจูนความถี่ และมีการนำมาใช้กันไม่ค่อยแพร่หลาย ปกติจะใช้ในย่านความถี่ออดิโอ (audio frequency)

-heterodyne ชนิดนี้วงจรฟิลเตอร์จะถูกกำหนดไว้ตายตัว (fixed) สเปคตรัมจะถูกเลื่อนไปไว้ยังช่วงความถี่อื่นโดยการ mixing ที่เหมาะสม ใช้วัดสัญญาณตั้งแต่ความถี่ 2-3 เฮิร์ซ จนถึงความถี่ 2-3 กิกะ เฮิร์ซ เป็นชนิดที่ใช้กันอย่างกว้างขวางในย่านความถี่ที่สูงขึ้นไปกว่าย่านความถี่ออดิโอ แต่ setting timer ของวงจรแบนด์พาสฟิลเตอร์จะนาน ดังนั้นจึงมีการสร้าง parallel analyzer ขึ้น

ในกลุ่มที่สองคือ parallel analyzer ซึ่งจะวัด spectrum หลายๆความถี่ ณ เวลาเดียวกัน ดังนั้นจึงมีคุณภาพที่ดีกว่าในการวัดความถี่ของสัญญาณซึ่งประกอบไปด้วย

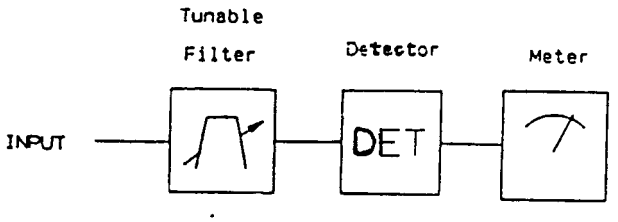
-filter bank ประกอบไปด้วยวงจรแบนด์พาสฟิลเตอร์หลายตัวซึ่งจะทำงานในย่านความถี่ที่ต่างๆกัน

-indirect analyzer ซึ่งใช้หลักการของฟูเรียร์ทรานฟอร์เมอร์ ย่านความถี่ถึง 100 เมกะเฮิร์ซ

-fourier analyzer ใช้พื้นฐาน periodogram ใช้ในย่านความถี่ซึ่งกว้างกว่าย่านของออดิโอ ความถี่สูงสุดคือ 100 กิโลเฮิร์ซ

ชนิดที่สำคัญคือ FFT (Fast Fourier Transform) analyzer ทำงานในย่านความถี่ต่ำ 200-300 กิโลเฮิร์ซ และ swept heterodyne ทำงานในย่านความถี่วิทยุและย่านความถี่ที่เหนือความถี่วิทยุขึ้นไป

จากโครงงานได้ทำการออกแบบสเปคตรัมอนาไลเซอร์ ซึ่งทำงานที่ย่านความถี่ตั้งแต่ 10 เฮิร์ซ จนถึง 1 เมกะเฮิร์ซ จึงเลือกใช้วิธี swept heterodyne the wave analyzer (wave meter) ใช้วัดความถี่ใดความถี่หนึ่ง ณ เวลาหนึ่ง โดยใช้ฟิลเตอร์ 1 ตัวทำการจูนในย่านความถี่ที่ต้องการดังรูป

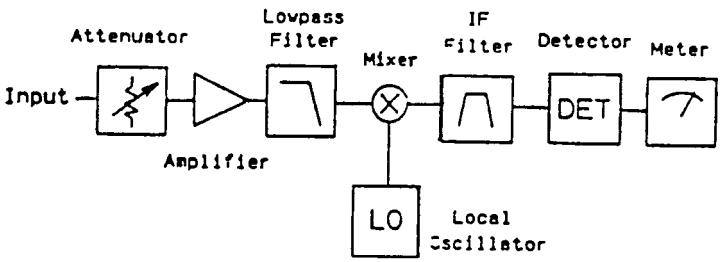


รูปที่ 1.2 block diagramของthe wave analyzerโดยคร่าวๆ

Heterodyne block diagram

วงจรแบนด์พาสฟิลเตอร์จูนความถี่ในย่านที่ต้องการได้ยาก ดังนั้น wave analyzer จึงไม่ค่อยใช้การจูนความถี่ของฟิลเตอร์แต่จะกำหนดให้ความถี่ของฟิลเตอร์คงที่ที่ความถี่ IF (intermediate frequency)และเรียกฟิลเตอร์นี้ว่า IF ฟิลเตอร์

Block diagram อย่างง่ายๆของ wave analyzer แสดงดังรูปที่1.3 โดยมีองค์ประกอบสำคัญคือ mixer ซึ่งประกอบไปด้วย 3 ส่วน ได้แก่ สัญญาณอินพุท, สัญญาณจากโลคอลออสซิลเลเตอร์ (Local Oscillater) และสัญญาณเอาท์พุท



รูปที่ 1.3 block diagram ของ the wave analyzer

สัญญาณอินพุท i/p $V_{RF}(t) = A\cos(2\pi f_{RF}t)$

สัญญาณจากโลคอลออสเลเตอร์ $V_{LO}(t) = \cos(2\pi f_{LO}t)$

สัญญาณเอาท์พุทของวงจรมิกเซอร์ $V_{IF}(t) = A\cos(2\pi f_{RF}t)\cos(2\pi f_{LO}t)$

$V_{IF}(t) = (A/2)\cos[(2\pi f_{RF}t + 2\pi f_{LO}t) + \cos(2\pi f_{RF}t - 2\pi f_{LO}t)]$

เอาท์พุทของมิกเซอร์ที่ได้เป็นความถี่ผลบวกและความถี่ผลต่างของโลคอลออสซิลเตอร์และสัญญาณอินพุทแต่เราใช้ผลต่าง จากลักษณะนี้เป็นแบบ Superheterodyne block diagram โดยมี IF ฟิลเตอร์ซึ่งจูนที่

ความถี่กลาง ความถี่มิกเซอร์ใช้เป็นตัวเลื่อนความถี่อินพุทให้เป็นความถี่กลาง ส่วนความถี่อื่นๆที่เหลือจะถูกกำจัดออกไปโดย IF ฟิลเตอร์

สัญญาณอินพุทที่เข้ามามีการเปลี่ยนความถี่ ดังนั้นเพื่อให้เอาท์พุทของมิกเซอร์เป็นความถี่กลาง ความถี่ของโลคอลออสซิลเลเตอร์ต้องมีการจูนซึ่งเป็นการง่ายกว่าที่จะสร้างวงจรฟิลเตอร์ที่มีการจูนในย่านกว้าง Ex wave analyzer ใช้วัดสัญญาณ 0 - 10 MHz

เลือกความถี่ IF = 20 MHz

เพราะฉะนั้นความถี่ของโลคอลออสซิลเลเตอร์ต้องเป็น 20 - 30 MHz

สมมติสัญญาณอินพุทเป็น 5 Mhz เข้ามา โลคอลออสซิลเลเตอร์ต้องจูนที่ 25 MHz

เอาท์พุทของมิกเซอร์คือ 20 MHz และ 30MHz ซึ่ง IF ฟิลเตอร์จะให้ 20 MHz ผ่านไปดีเทค แต่ 30 MHz จะถูกกำจัดออกไป

Image frequency คือ ความถี่อินพุทที่เราไม่ต้องการ แต่ผลต่างของความถี่นี้กับโลคอลออสซิลเลเตอร์ได้เป็นความถี่ IF ซึ่ง image frequency จะมีค่าเป็น 2 เท่าของความถี่อินพุทที่เราต้องการ

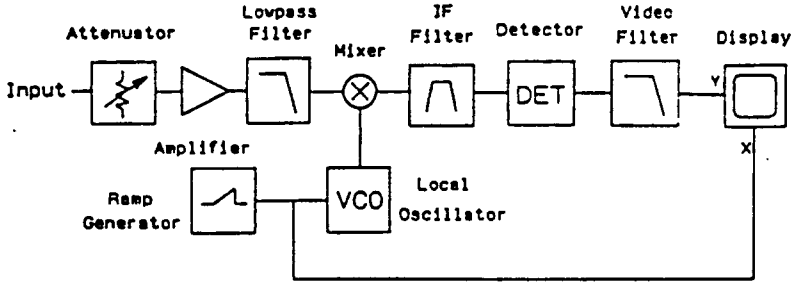
$$f_{IF} = f_{image} - f_{LO}$$

$$f_{image} = f_{IF} + f_{LO}$$

$$f_{LO} = f_{IF} + f_{RF}$$

$$f_{image} = 2f_{IF} + f_{RF}$$

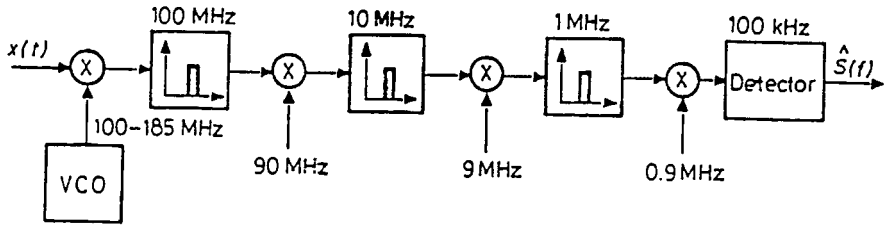
Image frequency จะเกิดกับกรณีที่ความถี่ IF สูงกว่าความถี่อินพุทและแก้ปัญหาได้โดยการใช้โลพาสฟิลเตอร์ที่ภาคอินพุทของการ superheterodyne เพื่อกำจัด image frequency ออกไปก่อน spectrum analyzer ต้องมีการกวาดค่าความถี่ของโลคอลออสซิลเลเตอร์



รูปที่ 1.4 block diagram ของ swept spectrum analyzer

จากรูป Block diagram ของสเปคตรัมอนาไลเซอร์พัฒนามาจาก wave analyzer โดยการใช้ VCO (Voltage Control Oscillator) มาแทนโลคอลออสซิลเลเตอร์และมี Ramp Generator ซึ่งผลิตสัญญาณเอาท์พุทที่เพิ่มขึ้นแบบเชิงเส้น เพื่อนำมาขับ VCO และนำมาแสดงในแกนนอน ส่วนแกนตั้งเป็นสัญญาณที่ผ่านโลพาสฟิลเตอร์และถูกดีเทคแล้ว

Block diagram ที่ใช้ mixer/ภาค IF 1ตัว เรียกว่า single conversion receive ค่าความถี่IF สูงทำให้การกำจัด image frequency ได้ง่าย แต่ IF ฟิลเตอร์แบนด์แคบและดีเทคเตอร์จะสร้างยากที่ความถี่สูงๆ ซึ่งในทางกลับกัน ฟิลเตอร์แบนด์แคบและดีเทคเตอร์สร้างง่ายที่ความถี่ต่ำแต่จะมีปัญหาในการกำจัด image frequency ดังนั้นจึงใช้ Multiple conversion stage cascaded โดยแต่ละ stage ประกอบด้วยมิกเซอร์, โลคอลออสซิลเลเตอร์ และ IF ฟิลเตอร์ซึ่งโลคอลออสซิลเลเตอร์ของแต่ละ stage อาจเหมือนกันโดยได้จาก Master oscillator หรือโลคอลออสซิลเลเตอร์ทำขึ้นมาแต่ละ stage เลยดังรูป



รูปที่ 1.5 Multistage frequency transposition

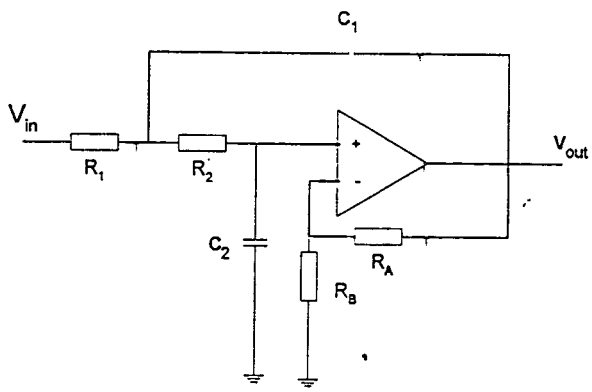
จากรูปแกนตั้งเป็นสเกลแบบใดนั้นขึ้นอยู่กับชนิดของตัวดีเทคเตอร์

บทที่ 2
ทฤษฎีและหลักการ

2.1 วงจรกรองความถี่ต่ำ (Lowpass Filter)

วงจรกรองความถี่ต่ำ คือวงจรที่ยอมให้สัญญาณความถี่ต่ำกว่าความถี่คัทออฟ(อัตราขยายของวงจรมีค่าลดลง 3 dBหรือเอาท์พุทตกลงเหลือ 0.707 เท่า) ผ่านออกมาได้ โดยการสูญเสียน้อยที่สุด ขณะที่สัญญาณที่ความถี่สูงกว่าความถี่คัทออฟฟ(อัตราขยายผ่านจะมีการสูญเสียมาก ถูกกันไม่ให้ผ่านวงจรออกมา

Butterworth Filter เป็นชนิดของ Active Filter ที่มีคุณสมบัติเด่นเรื่องอัตราขยายคงที่ในช่วงผ่าน โดยแต่ละโพล(pole)จะมีความชันของเส้นกราฟ(roll-off) 20 dB/decade และมีอัตราขยาย 2 dB ซึ่งถ้าเป็นชนิด 4 โพลจะประกอบด้วยวงจร RC 4 ชุด ดังรูปซึ่งมีค่า roll-off 80 dB/decade



รูปที่ 2.1.1 วงจรกรองความถี่ต่ำ

จากทรานเฟอร์ฟังก์ชั่น คือ

$$T(s) = \frac{v_2(s)}{v_1(s)} = \frac{K / R_1R_2C_1C_2}{s^2 + (1/R_1C_1 + 1/R_2C_1 + 1/R_2C_2 - K/R_2C_2)s + 1/R_1R_2C_1C_2}$$

$$= \frac{KW_o^2}{s^2 + (W_o/Q)s + W_o^2}$$

โดยที่

$$W_o = 1/\sqrt{R_1R_2C_1C_2}$$

และ $$A_{VL} = 1 + \frac{R_A}{R_B} = K$$

ในกรณีที่ให้ K = 1 และให้ $R_1 = R_2 = 1$ และ $W_o = 1$

จะได้ว่า $$\frac{2}{C_1} = \frac{1}{Q} \quad , \quad C_1C_2 = 1$$

และ $$C_1 = 2Q \quad , \quad C_2 = 1/2Q$$

จากการ scalling จะได้ว่า

$$R_{new} = K_m R_{old}$$

$$C_{new} = \frac{1}{K_m K_f} C_{old}$$

เมื่อ K_m คือ ค่าที่กำหนด , K_f คือ $2\pi f_c$

จาก วงจรกรองความถี่ต่ำ 4 order จะมี 2 stage ต่อคาสเคดกันโดยที่ค่า Q = 0.54 และ1.31 ตามลำดับ

2.2 วงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน (VCO)

วงจร VCO นับว่าเป็นวงจรที่มีความสำคัญมากที่สุดวงจรหนึ่ง เพราะเป็นตัวกำหนดเสถียรภาพเชิงความถี่ คุณสมบัติที่พึงประสงค์ของ VCO ได้แก่

1. การแปลงแรงดันเป็นความถี่มีลักษณะเป็นเชิงเส้น
2. มีเสถียรภาพเชิงความถี่ (การเลื่อนไปหรือ drift เนื่ องจากอุณหภูมิมีน้อยทั้งระยะสั้นและ ยาว)
3. ทำงานได้ที่ความถี่สูง
4. ช่วงตามรอยกว้าง
5. ปรับคลื่นได้ง่าย

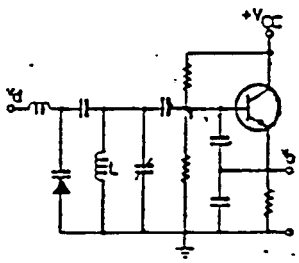
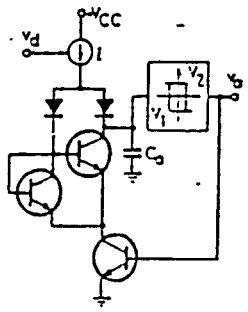
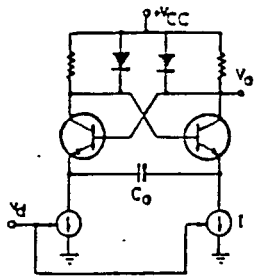
คุณสมบัติเหล่านี้ขัดแย้งกันในตัวอยู่บ้าง เช่น ข้อ 2 ขัดแย้งกับข้ออื่นๆ ในกรณีนี้ก็ต้องออมชอม และเลือกชนิดของ VCO แล้วแต่ว่าต้องการคุณสมบัติใด วงจร VCO แบ่งเป็น 3 ชนิดซึ่งจะเรียงตามลำดับเสถียรภาพเชิงความถี่ได้ดังนี้

1. วงจรที่ใช้ผลึก
2. วงจรแกว่ง
3. วงจรอเนกระนัว(multivibrators)

สำหรับ 2 ชนิดแรก การปรับคลื่นหรือควบคุมความถี่ทำโดยปรับค่าแรงดันคร่อมไดโอดวาแร กเตอร์ (varactor diode) สำหรับวงจร multivibrator การควบคุมโดยความถี่ทำโดยการเปลี่ยนแรงดันให้เป็นกระแสเพื่อไปสะสมประจุใน C ตัวหนึ่ง VCO ชนิดที่ใช้ในวงจรประมวลจะเป็นแบบ 2 ชนิดหลัง ซึ่งแม้ว่าเสถียรภาพจะสู้วงจรผลึกไม่ได้ แต่ก็มีช่วงตามรอยที่กว้างกว่าโดยเฉพาะชนิดสุดท้าย อย่างไรก็ดี วงจรออสซิลเลเตอร์ LC ทำงานได้ที่ความถี่สูงกว่า แต่มีช่วงตามรอยแคบกว่า วงจร multivibrators ที่เป็น VCO มีสำคัญๆอยู่ 2 แบบ แบบหนึ่งใช้วงจรชมิตท์ทริกเกอร์ ที่มีฮิสเตอเรซิสกว้างหรือ $V_2 - V_1$ ค่าสูง (ดูจากตารางที่ 2.2.1) ตัวเก็บประจุที่ใช้ปรับคลื่นจะสะสม และคายประจุระหว่างค่า V_1 และ V_2 ด้วยกระแสคงตัว I ซึ่งมีค่าขึ้นอยู่กับแรงดันควบคุม V_d อีกแบบหนึ่งใช้วงจรอะสเตเบิล เชื่อมโยงผ่านอิมิตเตอร์ทรานซิสเตอร์ทำงานแบบไม่อิ่มตัว ทำให้ทำงานได้ที่ความถี่สูง

วงจร VCO มีประโยชน์มาก และการผลิตเป็นวงจรประมวลช่วยทำให้ประยุกต์ได้กว้างขวางขึ้น ความสามารถของวงจรอาจปรับปรุงได้อีก

ตารางที่ 2.2.1 เปรียบเทียบ VCO ที่ใช้ในวงจรประมวล

	รูปวงจร	ความถี่	คุณสมบัติ	เบอร์ IC
วงจรแกว่ง LC ควบคุมโดยไลโอดวาแรกเตอร์		$f_o = \frac{1}{2\pi\sqrt{LC}}$ C แปรค่าด้วยไลโอดวาแรกเตอร์	- ความถี่สูง 200 MHz - เหมาะกับการใช้ - องค์ประกอบเป็นตัว ๆ - ช่วงความรอยแคบ - ใช้ L	MC 1648
วงจรอเนกระรัวใช้การอินทิเกรดร่วมกับวงจรสั่นไกของชมิดต์		$f_o = \frac{v_d g_m}{2C_o(V_2-V_1)}$ $g_m = \frac{v_d}{I}$	- ไม่ใช้ L - ช่วงแกว่งค่าสูง - ความถี่ < 1 MHz - ช่วงความรอยปานกลาง $\frac{f_{max}}{f_{min}} < 5$	NE 565 NE 566
วงจรอเสถียรเชื่อมโยงผ่านอิมิตเตอร์		$f_o = \frac{v_d g_m}{4C_o V_{BE}}$ โดยที่ $g_m = \frac{v_d}{I}$	- ไม่ใช้ L - ความถี่สูง ≃ 150 MHz - ช่วงความรอยกว้าง $\frac{f_{max}}{f_{min}} > 5$	NE 560B NE 561 B MC 1324 MC 1658

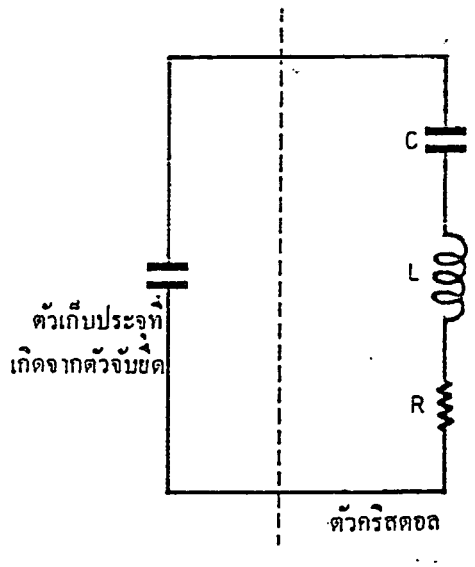
2.3 วงจรคริสตอลออสซิลเลเตอร์ (Crystal Oscillator)

ในวงจรเครื่องส่งส่วนใหญ่ที่ต้องการให้เสถียรภาพทางความถี่ของการส่งมีค่าสูง หรือความถี่มีค่าคงที่ตลอดเวลาเพื่อให้เครื่องรับสามารถจูนรับสถานีได้ถูกต้องและตลอดไป วงจรออสซิลเลเตอร์ที่ให้คุณสมบัติเด่นในเรื่องเสถียรภาพทางความถี่ได้แก่ วงจรคริสตอลออสซิลเลเตอร์ นอกจากนี้วงจร คริสตอลออสซิลเลเตอร์ยังใช้เป็นตัวสร้างสัญญาณที่มีความถี่มาตราฐานไว้สำหรับตรวจสอบเครื่องมือบางชนิดและยังใช้เป็นตัวสร้างแรงดันฐานเวลามาตราฐานใช้กับอุปกรณ์ที่ต้องการความเที่ยงตรงเช่น นาฬิกาอิเลคทรอนิคส์

คริสตอลเป็นศัพท์ภาษาอังกฤษแปลว่าผลึก โดยความหมายของตัวมันเองก็คือผนึกของวัสดุบางชนิดเช่น ผนึกควอร์ตซ เกลือหินโรเชลล์ และทัวร์มาลิน วัสดุเหล่านี้รวมเรียกว่า พิโซอิเลคตริก ซึ่งมีคุณสมบัติคือมันจะก่อให้เกิดแรงดันไฟฟ้าเมื่อบิดงอหรือกดผนึกเหล่านี้ด้วยแรง และในทำนองเดียวกันถ้าหากเราสร้างแรงดันไฟฟ้าให้กับมันแรงดันไฟฟ้าที่ตกคร่อมตัวผนึกเหล่านี้จะมีผลทำให้ผนึกของวัสดุเหล่านั้นมีรูปร่างบิดเบี้ยวผิดออกไปจากเดิม

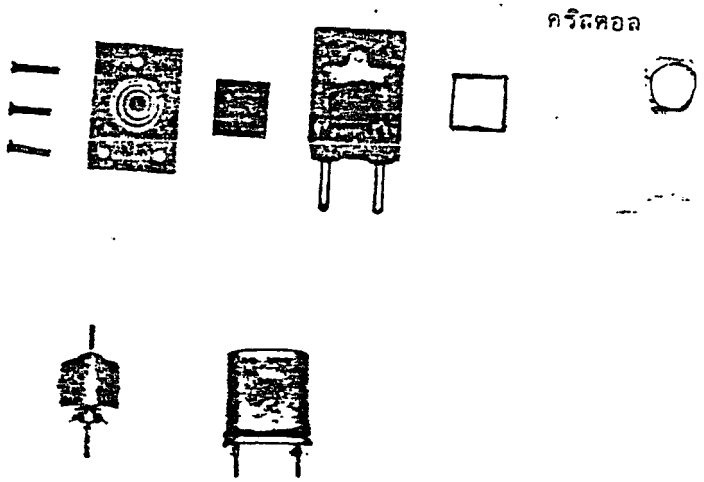
คริสตอลที่ใช้งานอยู่ทั่วไปทำมาจากผนึกควอร์ตซ เมื่อมีแรงดันตกคร่อมผนึกควอร์ตซฯ ก็จะเกิดการสั่นความถี่ที่สั่นได้จะมีค่าเกือบคงที่ซึ่งขึ้นอยู่กับความหนาของผนึกนั้น ความถี่ที่เกิดขึ้นจะยังคงเปลี่ยนแปลงได้อีกเล็กน้อยเนื่องจากอุณหภูมิ

โดยหลักการแล้วลักษณะสมบัติของคริสตอล มีลักษณะคล้ายคลึงกับวงจรรีโซแนนซ์ที่สามารถเขียนวงจรสมมูลได้ดังรูปที่ 2.3.1



รูปที่ 2.3.1 วงจรสมมูลย์ของผนึกคริสตอล

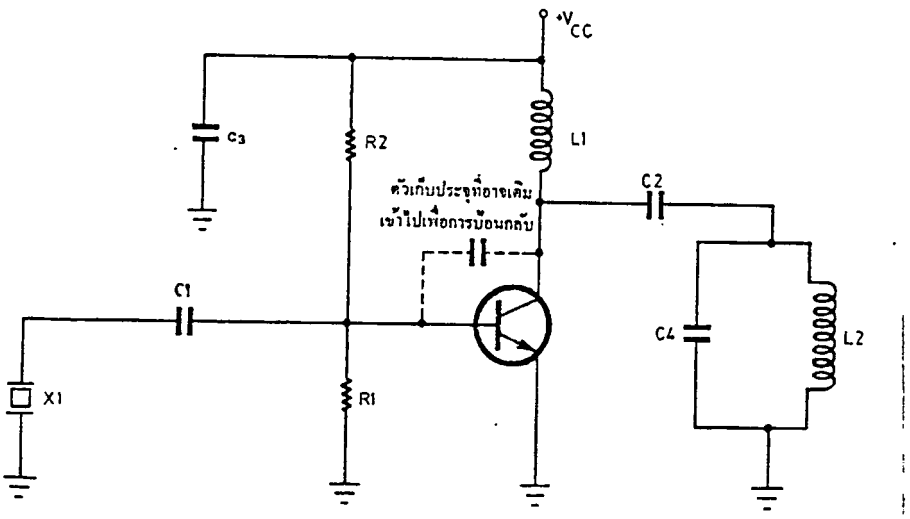
ค่าตัวเหนี่ยวนำในวงจรสมมูลย์ของตัวคริสตอลจะมีค่าสูงแต่มีค่าตัวเก็บประจุต่ำมาก รูปร่างและลักษณะของคริสตอลตลอดจนถึงโครงสร้างภายในแสดงให้เห็นดังวงจรรูปที่ 2.3.2



รูปที่ 2.3.2 โครงสร้างและตัวอย่างรูปร่างคริสตอล

ตัวคริสตอลเป็นเพียงผนึกควอร์ตซที่ยังต้องอาศัยตัวจับยึดเข้ากับกระป๋องโลหะดังนั้นในส่วนของตัวจับยึดคริสตอลจึงเกิดมีลักษณะเหมือนเป็นตัวเก็บประจุที่ขนาบอยู่อีก 1 ตัวดังวงจรสมมูลย์รูป ที่ 2.3.1 เนื่องจากตัวเก็บประจุในตัวผนึกของคริสตอลที่ต่ออนุกรมกับตัวเหนี่ยวนำมีค่าต่ำ ดังนั้นตัวเก็บประจุที่ต่อขนานอยู่ภายนอกจึงมีอิทธิพลต่อการออสซิลเลทของสัญญาณน้อยมาก และในขณะรีโซแนนซ์นั้นส่วนของวงจรรีโซแนนซ์แบบอนุกรมและแบบขนานเกือบจะให้ความถี่โซแนนซ์เป็นความถี่เดียวกัน

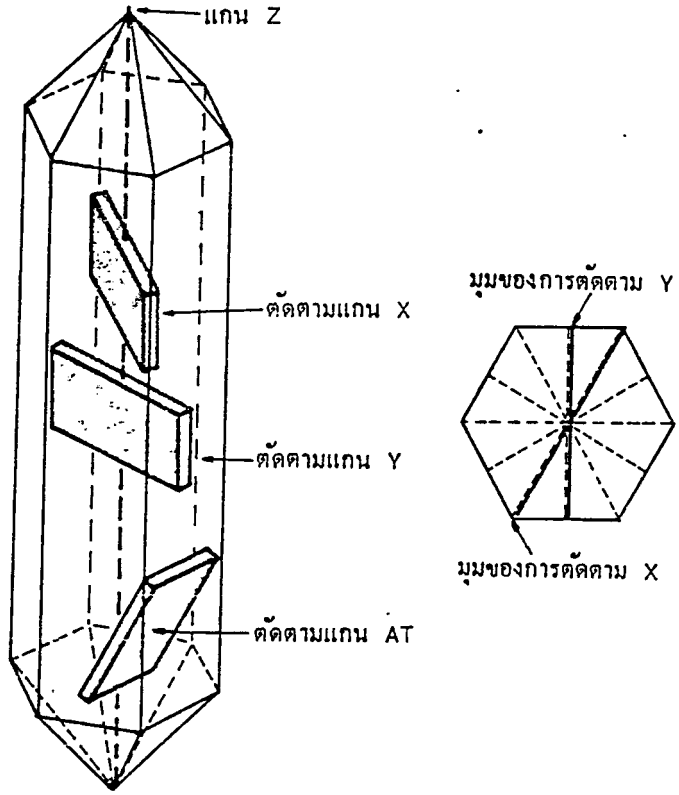
วงจรออสซิลเลเตอร์ที่ใช้คริสตอลประกอบอยู่แสดงให้เห็นดังรูปที่ 2.3.3 วงจรนี้จะมีลักษณะเหมือนกับวงจรออสซิลเลเตอร์ชนิดจูนอินพุท-จูนเอาท์พุทดังที่ได้กล่าวไว้แล้วแต่มีข้อแตกต่างกันตรงส่วนอินพุท ตรงส่วนของตัวอุปกรณ์ที่เพิ่มแทนจูนอินพุทคือตัวคริสตอลนั่นเอง



รูปที่ 2.3.3 วงจรคริสตอลออสซิลเลเตอร์

วงจรคริสตอลออสซิลเลเตอร์ให้เสถียรภาพทางความถี่สูงและจากวงจรรูปที่ 2.3.3 ส่วนของเอาท์พุทก็ยังคงเป็นวงจรจูน โดยวงจรอาศัยตัวคริสตอลเป็นตัวกระตุ้ นให้เบสทำงาน ในบางวงจรค่าตัวเก็บประจุระหว่างเบส-คอลเลคเตอร์ที่อยู่ภายในตัวทรานซิสเตอร์มิได้มีผลต่อการออสซิลเลทเลย

ผนึกควอร์ตซที่ได้นี้เป็นวัสดุจำพวกซิลิกอนไดออกไซด์ที่มีลักษณะเหมือนแก้วในส่วนของผนึกจะมีรูปร่างเป็น 6 ด้านเหมือนปริซึมโดยผนึกควอร์ตซที่ใช้งานจะได้รับการตัดด้วยลักษณะของแกน 3 แกนดังแสดงในรูปที่ 2.3.4



รูปที่ 2.3.4 แสดงผลึกควอร์ตซและการตัดผลึก

แกน X เป็นแกนที่ลากระหว่างมุม 2 มุมของแท่งปริซึมส่วนแกน Y จะเป็นแกนที่ลากตั้งฉากกับผิวหน้าของตัวคริสตอล นั่นคือถ้าหากตัดคริสตอลตามแนวผลึกจากมุมหนึ่งไปยังอีกมุมหนึ่งที่อยู่ตรงข้ามก็เรียกว่าการตัดแบบ X (X - cut) ซึ่งผลของการตัดแบบนี้จะทำให้ความถี่ที่ได้เปลี่ยนแปลงกับอุณหภูมิในลักษณะที่อุณหภูมิสูงขึ้นค่าความถี่จะลดลง แต่ถ้าตัดในแนวแกน Y ก็จะเป็นผลทำให้ความถี่ของการสั่นสูงขึ้น เมื่ออุณหภูมิสูงขึ้น

จะเห็นได้ว่าไม่ว่าจะตัดในแกน X หรือ Y จะเป็นผลทำให้ความถี่ของการสั่นของคริสตอลขณะรีโซแนนซ์เปลี่ยนแปลงกับอุณหภูมิได้มาก ดังนั้นเราจึงต้องหาทางตัดแกนใดแกนหนึ่งเพื่อให้ผลการเปลี่ยนแปลงกับอุณหภูมิน้อยที่สุดหรือแทบจะกล่าวได้ว่ามันไม่มีผลเลย แกนที่ใช้ในการตัดคือแกน AT ดังแสดงไว้ในรูปที่ 2.3.4

เราอาจจะตัดคริสตอลให้อยู่ในแกนอื่นๆก็ได้ในแต่ละระนาบของการตัดจะให้ผลการเปลี่ยนแปลงช่วงความถี่ต่ออุณหภูมิ ตลอดจนความถี่ฮาร์โมนิคส์ที่ใช้งานแตกต่างกัน

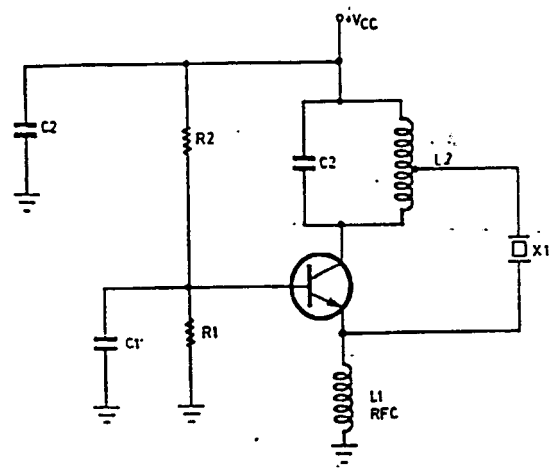
ส่วนความหนาของแผ่นคริสตอล จะเป็นตัวกำหนดความถี่ของการรีโซแนนซ์ถ้าแผ่นคริสตอลยิ่งบาง ก็หมายความว่าความถี่ของการรีโซแนนซ์มีค่าสูงขึ้น แผ่นคริสตอลที่ทำความถี่ได้สูงประมาณ 15 MHz ไม่เกิน 50 MHz แต่ถ้าต้องการความถี่สูงกว่านี้อีกมักใช้ฮาร์โมนิคส์ของสัญญาณนั่นเอง

อุปกรณ์จำพวกคริสตอลเป็นอุปกรณ์ที่ค่อนข้างจะบอบบาง ดังนั้นคริสตอลจึงต้องทำงานที่ระดับพลังงานต่ำๆหรือในขณะใช้งานเป็นตัวกระตุ้น ในขณะที่ป้อนกลับระหว่างอินพุทกับเอาท์พุทจะต้องไม่ให้ระดับแรงดันตกคร่อมตัวมันมากเกินไป ซึ่งจะทำให้คริสตอลทำงานผิดความถี่ และเกิดความร้อนกับตัวมันมากเกินไปซึ่งจะเป็นผลทำให้คริสตอลทำงานผิดความถี่ และถ้าเกิดความร้อนกับตัวมันสูงสุดจนมันเสียหายได้

จากที่กล่าวแล้วว่าเราใช้คริสตอลกระตุ้นวงจรออสซิลเลเตอร์ ก็เพื่อเหตุผลในเรื่องต้องการให้ได้ความถี่ที่มีค่าเสถียรภาพสูง ค่าเสถียรภาพของวงจรออสซิลเลเตอร์สามารถหาได้จากการกำหนดค่า Q ของตัวคริสตอลและสัมประสิทธิ์การผันแปรทางความถี่กับอุณหภูมิ ค่า Q ของคริสตอลมักจะมีค่าสูงกว่าค่า Q ของวงจรจูนที่ประกอบด้วย RLC ถึง 100 เท่า 1000 เท่า คริสตอลที่มีขายในปัจจุบันมีค่า Q ประมาณ 5000 ถึง 30000 เราจึงจะพอเห็นแล้วว่าวงจรออสซิลเลเตอร์ที่ใช้คริสตอลจึงมีเสถียรภาพทางความถี่สูงกว่าวงจร LC ออสซิลเลเตอร์มาก

ตัวอย่างวงจรคริสตอลออสซิลเลเตอร์

จากวงจรรูปที่ 2.3.3 เป็นวงจรออสซิลเลเตอร์แบบหนึ่งที่ทำงานในลักษณะวงจรรีโซแนนซ์แบบขนาน ตัวคริสตอลจะต่อระหว่างเบสกับอิมิตเตอร์ของทรานซิสเตอร์ ตัวคริสตอลที่ใช้มีหน้าที่ควบคุมความถี่ แต่สำหรับวงจรในรูปที่ 2.3.5 ตัวคริสตอลทำงานในลักษณะต่ออนุกรม ดังนั้นการรีโซแนนซ์จึงเกิดในสภาวะรีโซแนนซ์แบบอนุกรม โดยให้ความถี่รีโซแนนซ์ผ่านตัวคริสตอลกลับป้อนเข้าไปยังวงจรทางด้านอินพุท (วงจรด้านเบสอิมิตเตอร์) ที่ความถี่อื่นที่ไม่ใช่ความถี่รีโซแนนซ์ ค่าอิมพิแดนซ์ของตัวคริสตอลจะมีค่าสูงมากดังนั้นสัญญาณเอาท์พุทจึงไม่สามารถป้อนกลับเข้ามายังอินพุทได้ แต่ครั้นสัญญาณที่ความถี่รีโซแนนซ์เกิดขึ้นค่าอิมพิแดนซ์ของตัวคริสตอลจะลดลงต่ำมากทำให้สัญญาณที่ความถี่นี้สามารถป้อนกลับเข้ามาได้



รูปที่ 2.3.5 วงจรคริสตอลออสซิลเลเตอร์

การออกแบบวงจรคริสตอลออสซิลเลเตอร์

คุณลักษณะของวงจรคริสตอลออสซิลเลเตอร์มีดังนี้

1. คุณสมบัติการเป็นวงจรแบบเชิงเส้น (linear property) ช่วยในการควบคุมค่าเกน (gain) และเฟสชิพของสัญญาณ (phase shift) .

2. คุณสมบัติทางโอเวอร์โหลด(overload property) ช่วยในการควบคุมรูปร่างและขนาดแอมปลิจูดของสัญญาณที่ผลิตได้

สาเหตุที่มีวงจรคริสตอลออสซิลเลเตอร์หลายชนิด เนื่องจาก การออกแบบวงจรนั้นขึ้นอยู่กับการเปลี่ยนแปลงค่าความต้านทานภายในของคริสตอล ซึ่งจะทำให้ได้ความถี่ในช่วงกว้าง

1.ความถี่ของสัญญาณที่จะออสซิลเลทได้นั้นจะแปรค่าตามความต้านทานภายในของคริสตอล

2. การที่จะขับคริสตอลให้ทำงานได้นั้น ต้องทำให้ระดับอิมพิแดนซ์ของวงจรแมทซ์กับค่าความต้านทานซึ่งต่ออนุกรมอยู่ภายในคริสตอล (R_s)

อย่างไรก็ตามไม่ว่าค่าความต้านทานภายในของคริสตอลจะมีค่าเท่าไร แต่ระดับอิมพิแดนซ์ของวงจรจะต้องเปลี่ยนแปลงตามให้แมทซ์กันอย่างเหมาะสม ซึ่งขึ้นอยู่กับวงจรนั้นๆด้วยว่าสามารถทำงานได้ดีที่สุดในช่วงความถี่ใด เนื่องจากวงจรออสซิลเลเตอร์นั้นไม่มีรูปแบบที่แน่นอน

ชนิดของวงจรออสซิลเลเตอร์ที่ใช้ควอทซ์คริสตอล แบ่งได้ 3 ชนิดใหญ่ๆดังนี้

1. แบบพื้นฐาน ใช้ที่ความถี่ไม่เกิน 20 MHz เช่น วงจรแบบ Pierce และค่า Q ในวงจรจะมีค่าเท่ากับ 90 % ของค่า Q ภายในของออสซิลเลเตอร์

2. แบบฮาร์โมนิค ใช้ในช่วงความถี่ 20-100 MHz ประกอบด้วยวงจรแท้งค์ LC หรือเป็นระบบที่ใช้ L และ C ในการเลือกฮาร์โมนิคที่ต้องการ โดยมีการใช้วงจร Emitter-coupled Harmonic คือมีเสถียรภาพทางความถี่แบบ short-term ดีที่สุด คือมีการรบกวนทางเฟส (phase noise) ต่ำที่สุดและค่า Q ในวงจรมีค่าเท่ากับ 80 % ของค่า Q ภายในคริสตอล

เงื่อนไขของวงจรแบบที่ 1 และ 2 คือต้องการส่วนประกอบของอุปกรณ์ที่เสถียรในระบบการเลื่อนเฟส (shift phase)

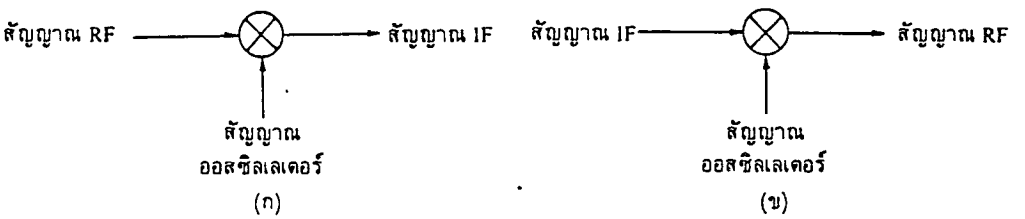
3. แบบบริดจ์ ใช้ในช่วงความถี่มากกว่า 100 MHz เป็นวงจรที่มีความซับซ้อนมากกว่าสองแบบแรก แต่เป็นวงจรที่จะทำให้ได้ค่า Q ในวงจรมากกว่าค่า Q ภายในของคริสตอล มีหลักการคือ การใช้การป้อนกลับแบบลบ เพื่อไปหักล้างกับส่วนของค่าความต้านทานภายในของคริสตอล โดยคิดค่า L และ C ภายในของคริสตอลด้วย มีลักษณะคือ จะช่วยให้เสถียรภาพทางความถี่แบบ short-term สูงขึ้น ใช้วงจร Butler-follower เกณฑ์ที่ใช้ในการพิจารณาเลือกวงจรที่เราจะใช้ ประกอบด้วย

1. ค่าความถี่ที่เราต้องการในการออสซิลเลต
2. ค่า R_S ของคริสตอลที่เราใช้
3. ความเหมาะสมในด้านราคา
4. ปัญหาเนื่องจากความยุ่งยากซับซ้อนของวงจร
5. ความมีเสถียรภาพทางความถี่

2.4 วงจรมิกเซอร์ (mixer)

วงจรมิกเซอร์ แบ่งออกเป็นได้เป็น 2 ประเภท คือประเภทแอกตีฟ (Active) ใช้ทรานซิสเตอร์หรือไอซีรวมทั้งอุปกรณ์อื่นๆ ที่ให้อัตราการขยาย (ในการผสมคลื่น) และประเภทพาสซีฟ (Passive) ใช้ไดโอด ซึ่งไม่มีการขยายสัญญาณ

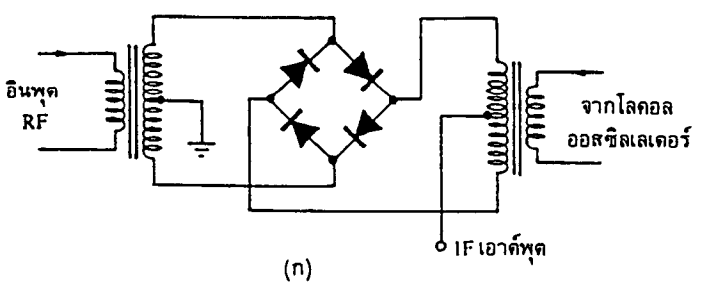
นอกจากนี้เราอาจแบ่งวงจรมิกเซอร์ได้เป็น 2 ประเภทคือ แบบสมดุลหรือบาลานซ์ กับแบบไม่สมดุลหรืออันบาลานซ์ วงจรมิกเซอร์แบบสมดุลนี้ เราต่อวงจรให้ขั้วอินพุทหรือเอาท์พุทของ วงจร มิกเซอร์ไม่เกิดปฏิกิริยาซึ่งกันและกัน (สัญญาณไม่เล็ดลอดระหว่างขั้ว) คุณสมบัตินี้เราเรียกว่า การแยกระหว่างขั้ว หรือ ไอโซเลชั่น (Isolation) คงจำได้ว่าขั้วอินพุทของวงจรมิกเซอร์มี 2 ขั้วคือ สัญญาณ RF (หรือ IF) กับสัญญาณออสซิลเลเตอร์ และมีขั้วเอาท์พุท 1 ขั้ว คือสัญญาณ IF (หรือ RF) ดูรูปที่ 2.4.1 ลองพิจารณาในกรณีของภาครับจะเห็นว่าการแยกระหว่างขั้ว RF และขั้วออสซิลเลเตอร์จะช่วยมิให้สัญญาณออสซิลเลเตอร์ย้อนกลับออกสู่สายอากาศแผ่กระจายคลื่นออกไปได้ และการแยกระหว่างขั้ว RF กับขั้ว IF จะช่วยมิให้สัญญาณที่มีความพอดีตรงกับความถี่ IF เล็ดลอดเข้าไปสู่วงจรขยาย IF ในกรณีของภาคส่งก็พิจารณาทำนองเดียวกัน



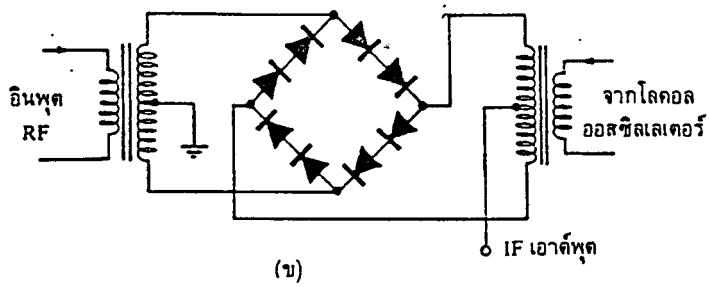
รูปที่ 2.4.1 ตัวอย่างมิกเซอร์ของภาคเครื่องรับ (ก) และมิกเซอร์ของภาคเครื่องส่ง (ข)

สำหรับวงจรมิกเซอร์แบบไม่สมดุลนั้น มีคุณสมบัติการแยกระหว่างขั้วไม่ดีเหมือนกับแบบสมดุลถ้าต้องการให้มีการแยกสัญญาณดีต้องใช้ฟิลเตอร์ช่วยในการกรองสัญญาณต่างหากอีก

ดูตัวอย่างวงจรบาลานซ์มิกเซอร์ รูปที่ 2.4.2 ซึ่งใช้ในภาคเครื่องรับ ไดโอดที่ใช้ต้องมีคุณสมบัติเหมือนกันและหม้อแปลงก็ต้องสมมาตรกับจุดกลาง วงจรในรูปที่ 2.4.2 (ข) จะแตกต่างจาก รูปที่ 2.4.2 (ก) ตรงที่ใช้จำนวนไดโอดเพิ่มอีก 4 ตัวเพื่อให้เหมาะกับการผสมสัญญาณที่มีความแรงมากกว่า(เช่นมิกเซอร์ในภาคเครื่องส่ง)

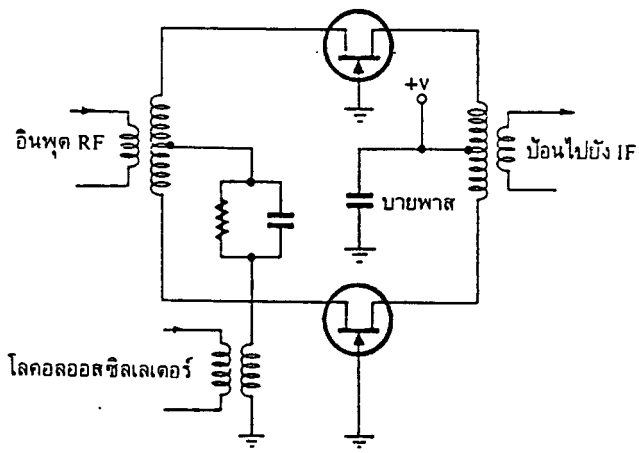


(ก)

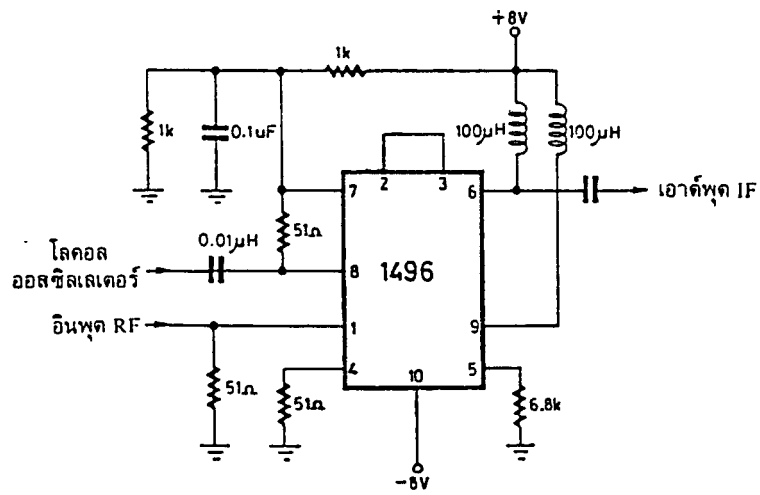


รูปที่ 2.4.2 วงจรบาลานซ์มิกเซอร์ชนิดพาสซีฟ

ในรูปที่ 2.4.3 แสดงวงจรบาลานซ์มิกเซอร์แบบแอกตีฟ ซึ่งให้อัตราขยายในการผสมคลื่น (แทนที่จะให้อัตราสูญเสียในการผสมคลื่นเหมือนกับแบบพาสซีฟ) และรูปที่ 2.4.4 เป็นวงจรบาลานซ์มิกเซอร์อีกแบบหนึ่งที่ใช้ไอซี

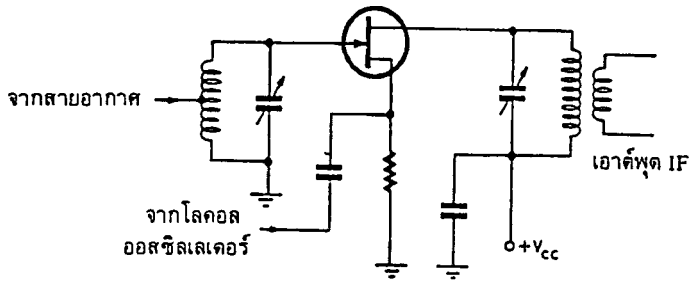


รูปที่ 2.4.3 วงจรบาลานซ์มิกเซอร์ ชนิดแอกตีฟ แบบใช้ FET

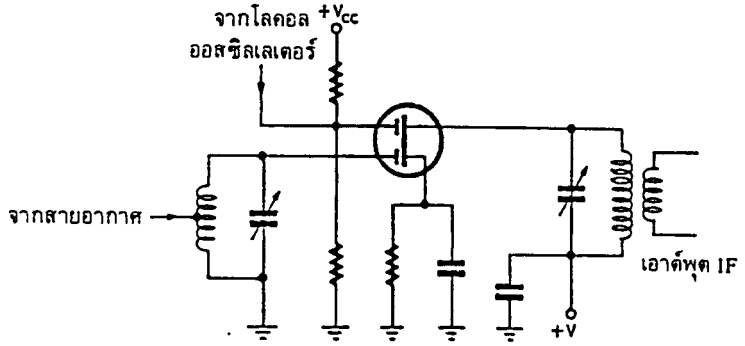


รูปที่ 2.4.4 วงจรบาลานซ์มิกเซอร์ ชนิดแอกตีฟ แบบใช้ IC

วงจรมิกเซอร์แบบไม่สมดุลแสดงไว้ในรูปที่ 2.4.5(ข) ซึ่งใช้ MOSFET คุณสมบัติของวงจรคือมีการแยกระหว่างขั้วออสซิลเลเตอร์กับสายอากาศค่อนข้างดี แต่ระหว่างขั้ว RF และขั้ว IF ไม่ค่อยดี เราจำเป็นต้องใช้ฟิลเตอร์ช่วยกรองความถี่เพื่อกำจัดสัญญาณ RF มิให้เล็ดลอดเข้าสู่ขั้ว IF ได้ ในรูปที่ 2.4.5 (ก) เราใช้ JFET โดยป้อนสัญญาณออสซิลเลเตอร์เข้าทางซอส และสัญญาณ RF เข้าทางเกตซึ่งคุณสมบัติการแยกระหว่างขั้ว RF กับขั้วออสซิลเลเตอร์จะไม่ค่อยดี



(ก)



(ข)

รูปที่ 2.4.5 วงจรมิกเซอร์แบบไม่สมดุล

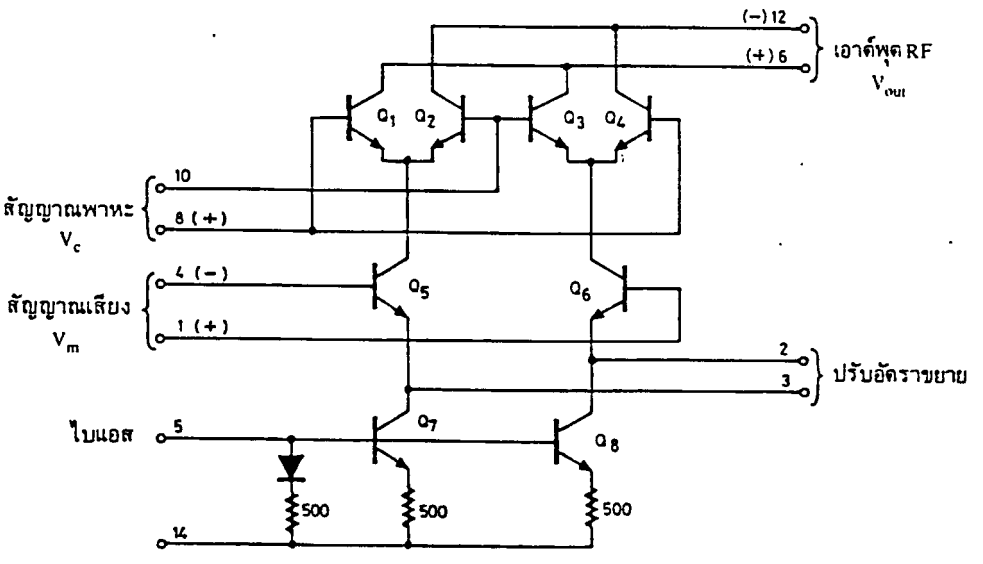
บาลานซ์มอดูเลเตอร์ชนิดไอซี

เบอร์ที่จะกล่าวถึงต่อไปนี้คือ โมโตโลล่า MC 1496 หรือ MC 1596 เป็นเบอร์ที่นิยมแพร่หลายมาก ผู้ผลิตไอซีเบอร์นี้มีหลายรายเช่น เนชั่นแนล นอกจากไอซีเบอร์ 1496 หรือ 1596 นี้จะทำหน้าที่เป็นบาลานซ์มอดูเลเตอร์ได้แล้ว เราอาจต่อให้เป็นวงจรมัลติพลาย วงจรมอดูเลเตอร์ AM หรือเป็นวงจรดีเทคเตอร์ก็ได้ ในที่นี้จะกล่าวเฉพาะการทำงานเป็นบาลานซ์มอดูเลเตอร์ (BM) เท่านั้น

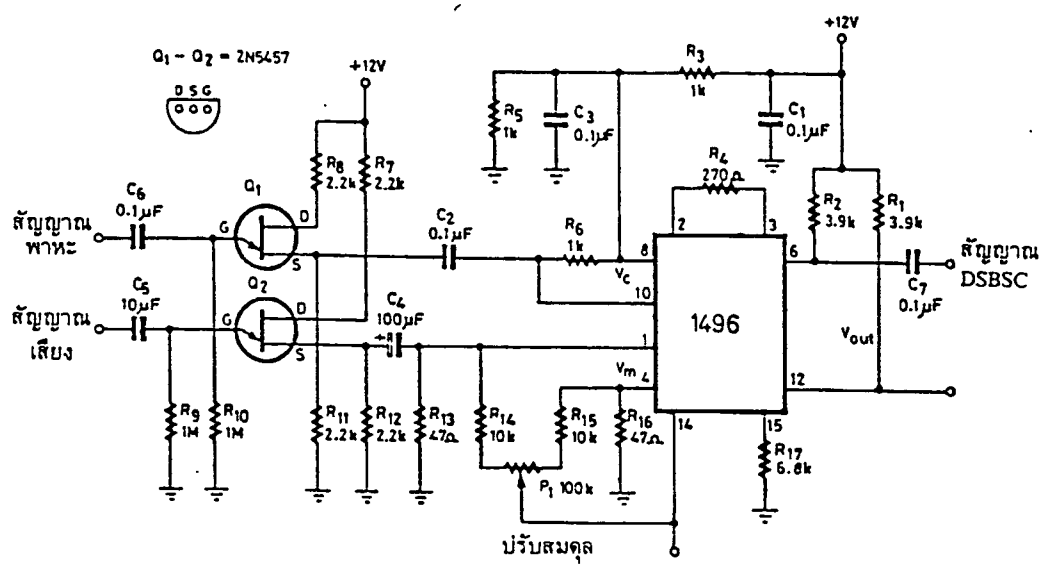
วงจรภายในตัวไอซี(ดังรูปที่ 2.4.6) Q_7 และ Q_8 เป็นแหล่งจ่ายไฟกระแสคงที่ สัญญาณพาหะจะป้อนให้แก่ Q_1 , Q_1 กับ Q_3 ,Q_2 ให้สลับกัน ON และ OFF ทำให้เอาท์พุทปรากฏเป็นสัญญาณมอดูเลตสลับไปสลับมา สัญญาณนี้เป็นสัญญาณ DSBSC

ตัวอย่างการต่อไอซีเป็นบาลานซ์มอดูเลเตอร์ จะเป็นดังรูปที่ 2.4.7 สังเกตว่าสัญญาณพาหะที่ป้อนที่ขา 8 และขา 10 ผ่าน FET ส่วนสัญญาณมอดูเลตป้อนที่ขา 1 และขา 4 ผ่าน FET อีกตัวหนึ่ง การปรับสมดุลเพื่อให้พาหะถูกกำจัดเป็นศูนย์ทำได้โดยปรับตัวต้านทานปรับค่า P_1 เมื่อป้อนสัญญาณเสียงแก่วงจร BM เอาท์พุทจะได้เป็นสัญญาณ DSBSC ที่ขา 6 และขา 12

การกำจัดพาหะขึ้นอยู่กับระดับสัญญาณของพาหะที่ป้อน ถ้าพาหะไม่แรงพอ(น้อยเกินไป) วงจรขยายพาหะจะขยายไม่เต็มที่ แต่ถ้าแรงเกินไปก็จะผ่านทะลุ (feed through) ออกไปยังเอาท์พุทได้ระดับสัญญาณพาหะที่เหมาะสมอยู่ในช่วง 300 ถึง 500 มิลลิโวลท์พีคทูพีค สัญญาณมอดูเลตจะต้องมีแอมพลิจูดมากกว่าพาหะประมาณ 2 เท่า (0.5 ถึง 1 โวลท์พีคทูพีค) ความสามารถการกำจัดพาหะของวงจรนี้ได้ถึง 50 ถึง 65 เดซิเบล ขึ้นอยู่กับความถี่ใช้งาน

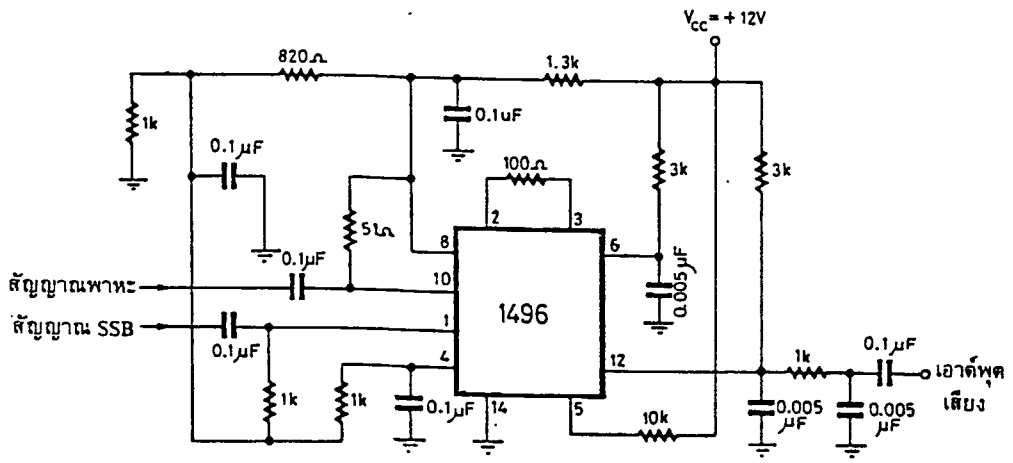


รูปที่ 2.4.6 วงจรภายใน IC เบอร์ 1496 หรือ 1596



รูปที่ 2.4.7 ตัวอย่างวงจรบาลานซ์มอดูเลเตอร์ใช้ IC

ถ้าดัดแปลงวงจรอีกเพียงเล็กน้อยไอซีเบอร์ 1496 นี้ก็สามารถทำงานเป็นวงจรดีมอดสัญญาณ SSB ได้ดังรูปที่ 2.4.8 โดยการป้อนพาหะที่กำเนิดใหม่ (regenerated) เข้าทางขา 8 และขา 10 ส่วนสัญญาณ SSB เข้าที่ขา 1 และขา 4 ขนาดของสัญญาณพาหะต้องแรงพอ (ในช่วง 300 ถึง 1400 มิลลิโวลท์พีคทูพีค) เอาท์พุทที่ได้จะเป็นผลคูณของสัญญาณพาหะกับสัญญาณ SSB เกิดเป็นสัญญาณเสียงที่ขา 6 และขา 12 ซึ่งเป็นเอาท์พุท 2 ทาง โดยทางหนึ่งป้อนไปวงจรขยายเสียง ส่วนอีกทางหนึ่งก็จะป้อนไปยังวงจร AGC



รูปที่ 2.4.8 ตัวอย่างวงจรโปรดักต์ดีเทกเตอร์ใช้ IC

2.5 วงจรกรองช่วงความถี่ (Band Pass Filters)

วงจรกรองความถี่จะยอมให้ความถี่ที่เหมาะสมย่านหนึ่ง (ย่านความถี่ผ่าน) เท่านั้นผ่านไปได้กล่าวคือ ย่านความถี่สูงและต่ำจะถูกบล็อคเอาไว้ คุณลักษณะของวงจรหลายๆแบบในทางขนาดสำหรับแบนด์พาสฟิลเตอร์ ได้แสดงไว้ในรูปที่ 2.5.1 ช่วงของความถี่ ที่ผ่านได้ถูกเรียกว่า " ช่วงกว้างของความถี่ (Bandwidth : BW) " และถูกจำกัดด้วยความแตกต่างระหว่างขอบของช่วงผ่าน โดยการใช้ ω_1 และ ω_2 ได้แสดงดังในรูปเพื่อกำหนดขอบของช่วงผ่านเราจะได้

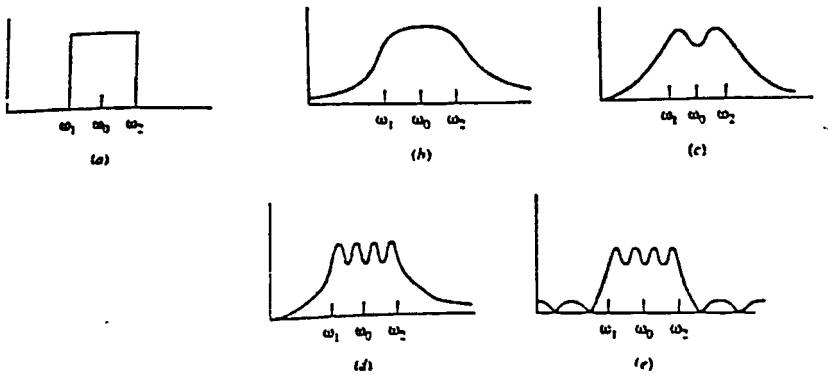
$$BW = \omega_2 - \omega_1 \qquad (1)$$

ความถี่กลาง ของช่วงผ่านถูกจำกัดด้วยค่าเฉลี่ยทางคณิตศาสตร์ของความถี่ที่ขอบ จะได้

$$\omega_0 = \sqrt{\omega_1\omega_2} \qquad (2)$$

โดยที่รูปที่ 2.5.1 (a) แสดงให้เห็นถึงคุณลักษณะของแบนด์พาสฟิลเตอร์ในอุดมคติ รูปที่ 2.5.1 (b) แสดงคุณลักษณะของแบนด์พาสฟิลเตอร์ไม่มีริปเปิ้ล (monotonic) ซึ่งทั้งสองข้างของความถี่กลาง ω_0 ไม่มีการเปลี่ยนแปลงเครื่องหมายคุณลักษณะทางขนาด คุณลักษณะทางขนาดของแบนด์พาสดังที่แสดงในรูปที่ 2.5.1 (a) และ (d) โดยทั่วๆไปฟังก์ชั่นของวงจรจะมีจุดที่เป็น zeros อยู่ที่ศูนย์และจุดอนันต์ ดังนั้นเราจะได้รูปแบบของฟังก์ชั่นเป็น

$$\frac{N(s)}{B(s)} = Hs^{n/2} \qquad (3)$$



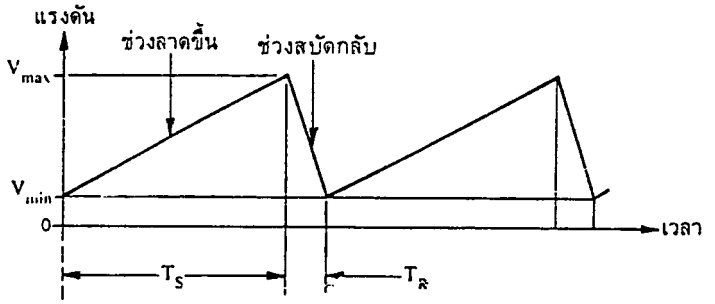
รูปที่ 2.5.1 การกรองความถี่ในลักษณะสัญญาณต่างๆกัน

จากสมการที่ 3 ค่า H จะเป็นค่าคงที่ และ n จะเป็นดีกรีของตัวส่วนของโพลิโนเมียล B(s) และจะเป็นจำนวนคู่ คุณลักษณะทางเฟสของฟังก์ชั่นจะเริ่มต้นที่ (+90n/2) $^\circ$ ที่ความถี่ศูนย์และลดลงเป็น (-90n/2)$^\circ$อนันต์ และเป็นศูนย์ที่ความถี่กลาง ω_0

038109

2.6 การกำเนิดสัญญาณฟันเลื่อย (SAWTOOTH WAVE GENERATOR)

สัญญาณฟันเลื่อยในอุดมคติ (ideal) จะต้องทำงานอย่างเป็นเชิงเส้นจากค่าแรงดันต่ำสุดไปหาค่าแรงดันสูงสุด และสบัดกลับ (retrace) อย่างรวดเร็วกลับไปยังระดับแรงดันต่ำสุดค่าเดิม สัญญาณฟันเลื่อยแสดงดังรูปที่ 2.6.1



รูปที่ 2.6.1 สัญญาณฟันเลื่อยแบบเชิงเส้น

จากรูปที่ 2.6.1 แสดงสัญญาณฟันเลื่อยแบบเชิงเส้น แบ่งส่วนของสัญญาณออกเป็น 2 ส่วนคือส่วนลาดขึ้นแบบเชิงเส้น (linear rising) เรียกว่าแรงดันแรมป์ (ramp voltage) มีช่วงเวลากวาด T_S (sweep time) แรงดันของแรมป์จะเปลี่ยนแปลงจากค่าต่ำ (V_{MIN}) ไปค่าสูง (V_{MAX}) คือเริ่มกวาดจากขอบซ้ายของหน้าจอไปยังขอบขวา เมื่อสุดขอบขวาแล้วจะต้องสะบัดกลับเป็นส่วนที่สอง มีช่วงเวลาสะบัดกลับ T_R (retrace time) ซึ่งจะต้องมีช่วงเวลาที่สั้นที่สุด เพื่อจะได้เริ่มทำงานใหม่อย่างรวดเร็ว ในช่วงสะบัดกลับนี้ชุดปืนอิเลคตรอนจะต้องหยุดทำงาน จะได้ไม่เห็นเส้นสะบัดกลับบนจอภาพ

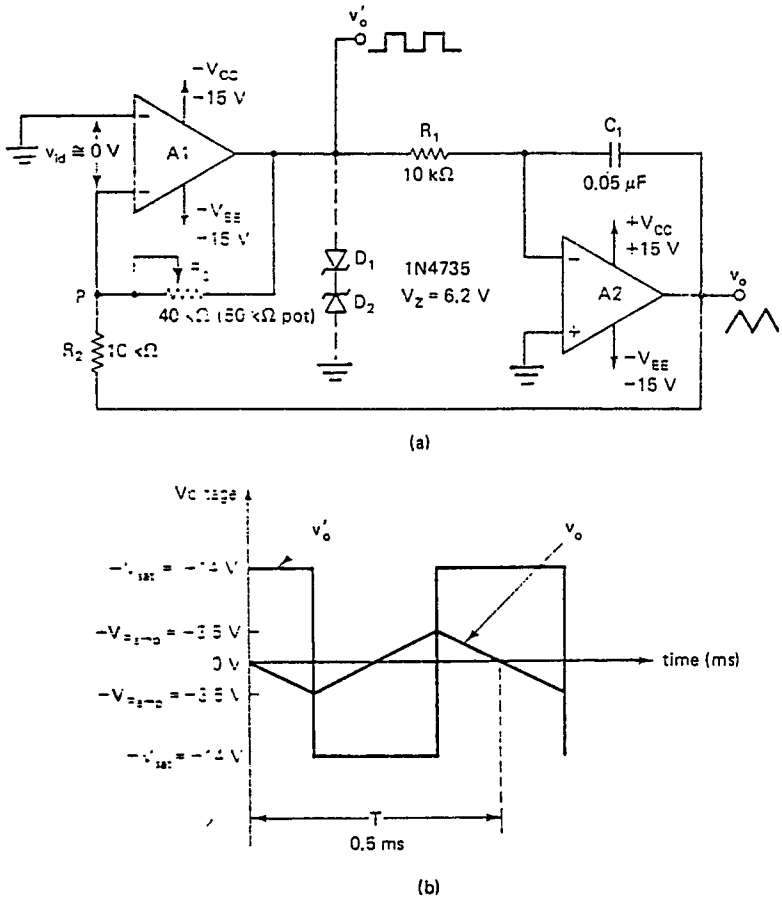
สัญญาณรูปฟันเลื่อยที่ดีจะต้องมีคุณสมบัติดังนี้

1. กวาดได้เป็นเชิงเส้น
2. มีการสะบัดกลับรวดเร็ว
3. ควบคุมความถี่และปรับแต่งได้ง่าย
4. ซิงโครไนซ์ได้ง่าย

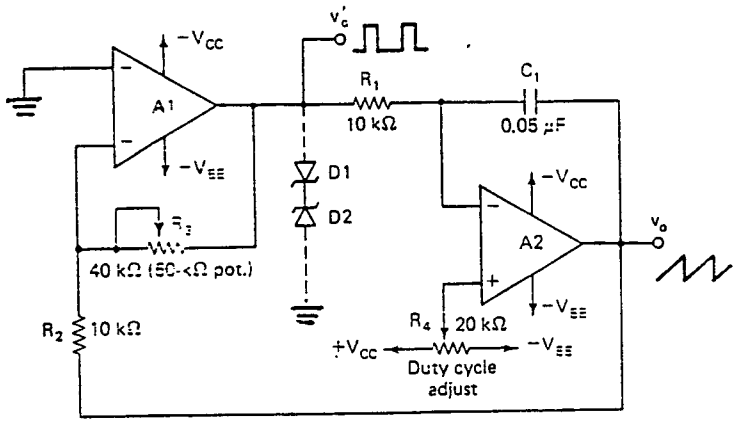
วงจรกำเนิดสัญญาณฟันเลื่อยมีอยู่ด้วยกันหลายแบบ ตั้งแต่วงจรกำเนิดแบบง่ายๆใช้ RC จนถึงวงจรกำเนิดที่มีประสิทธิภาพสูง เช่น ทรานซิสเตอร์

สิ่งที่แตกต่างกันระหว่างสัญญาณรูปสามเหลี่ยม(triangular) และสัญญาณรูปฟันเลื่อย (sawtooth) ก็คือ ช่วงเวลาขาขึ้น (rise time) ของสัญญาณสามเหลี่ยมจะเท่ากับช่วงเวลาขาลง (fall time) เสมอ นั่นคือ เวลาทั้งหมดที่แกว่ง (swing) จาก $-V_{RAMP}$ ถึง $+V_{RAMP}$ จะเท่ากับเวลาที่แกว่งจาก $+V_{RAMP}$ ถึง $-V_{RAMP}$ (ดูรูปที่ 2.6.2 b) ในทางตรงกันข้าม สัญญาณฟันเลื่อยเวลาขาขึ้นจะไม่เท่ากับเวลาขาลงนั่นคือ เวลาขาขึ้นอาจจะเร็วกว่าขาลงหรือในทางกลับกัน วงจรสร้างสัญญาณสามเหลี่ยม (รูปที่ 2.6.2 a) สามารถที่จะดัดแปลงให้เป็นวงจร

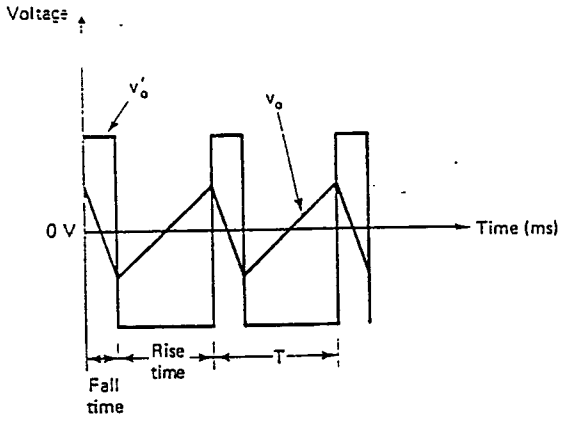
สร้างสัญญาณฟันเลื่อยได้โดยการป้อนแรงดันกระแสตรง (dc voltage) เข้าไปที่ขานอนอินเวอร์ติ้ง ของอินทิเกรเตอร์ A_2 ซึ่งทำได้โดยการใช้เครื่องวัดระดับไฟฟ้า (Potentiometer) และต่อเข้ากับ $+V_{CC}$ และ $-V_{EE}$ ดังรูปที่ 2.6.3 a ระดับของดีซีโวลเตจที่ปนอยู่ ในเอาท์พุทของ A_2 ขึ้นอยู่กับการปรับค่า R_4 สมมติให้เอาท์พุทของ A_1 เป็นสัญญาณสี่เหลี่ยม (square) และปรับค่า R_4 ให้มีระดับไฟดีซีที่แน่นอน นั่นก็หมายความว่า เอาท์พุทของ A_2 จะได้รูปสัญญาณสามเหลี่ยมออกมาซึ่งจะทับอยู่บนระดับไฟดีซี ซึ่งขึ้นอยู่กับการปรับค่า R_4 ดิวตี้ไซเคิล (duty cycle) ของสัญญาณสี่เหลี่ยมหาได้จากขั้ว (Polarity)และขนาด (Amplitude) ของระดับไฟดีซี ค่าดิวตี้ไซเคิลที่มีค่าน้อยกว่า 50% จะทำให้เกิดสัญญาณฟันเลื่อยขึ้นที่เอาท์พุทของ A_2 (ดูรูปที่ 2.6.3 a) ถ้าปรับค่า R_4 ให้อยู่ตรงกลางพอดีจะได้สัญญาณสามเหลี่ยมที่เอาท์พุทของ A_2 และที่ตำแหน่งอื่นๆจะได้สัญญาณฟันเลื่อย ถ้าปรับค่อนไปทาง $-V_{EE}$ ช่วงเวลาขาขึ้นของสัญญาณฟันเลื่อยจะมากกว่าช่วงเวลาขาลง ในทางตรงกันข้ามถ้าปรับให้ค่อนไปทาง $+V_{CC}$ ช่วงเวลาขาลงจะมากกว่าเวลาขาขึ้น ดังนั้นความถี่ของสัญญาณฟันเลื่อยลดลงถ้า R_4 ถูกปรับให้ค่อนไปทาง$+V_{CC}$ หรือ - V_{EE} อย่างไรก็ตามขนาดของสัญญาณไม่ขึ้นกับการปรับค่า R_4



รูปที่ 2.6.2 วงจรกำเนิดสัญญาณรูปสามเหลี่ยม (a) รูปสัญญาณ : A_1 และ A_2 dual op-amp (1458/353) (b)



(a)



(b)

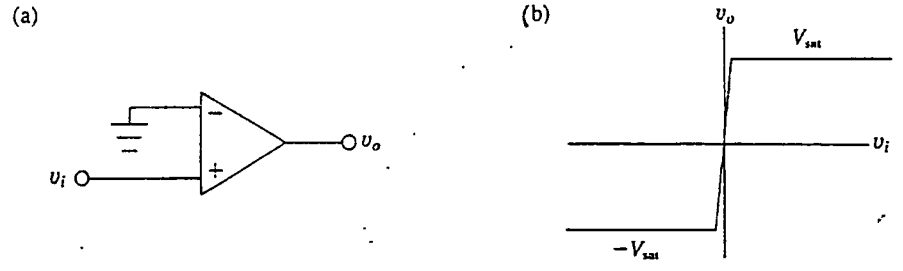
รูปที่ 2.6.3 วงจรกำเนิดสัญญาณฟันเลื่อย : A_1 และ A_2 dual op-amp (1458/353), D_1และ D_2(IN4735), V_Z = 6.2 V (a)รูปสัญญาณเอาท์พุท (b)

Comparator

comparator อาจแบ่งออกได้เป็น noninverting หรือ inverting ถ้าเอาท์พุทถูกสมมติให้อยู่ในสภา วะสูง (high state) เมื่อระดับสัญญาณอินพุทสูงกว่าระดับเปลี่ยนต่ำสุด (minimum transition level) วงจรนี้ถือเป็นวงจร noninverting ในทางตรงกันข้าม ถ้าเอาท์พุทสมมติให้มีสภาวะต่ำ (low state) เมื่อระดับสัญญาณอินพุทสูงกว่าระดับเปลี่ยนต่ำสุด วงจรนี้ถือเป็น วงจร inverting

Noninverting Comparator

จากรูปที่ 2.6.4 a สัญญาณอินพุทป้อนเข้าอินพุทขาบวกและอินพุทขาลบถูกต่อลงกราวด์ ถ้า $v_i > 0$ ทั้งผลต่างของโวลเตจอินพุทและระดับโวลเตจเอาท์พุทต่างก็มีค่าบวก ในกรณีที่ open-loop gain มีค่ามากๆ v_i ค่าน้อยก็สามารถที่จะทำให้ v_o อยู่ในสถานะอิ่มตัว (positive saturation) หรือ $v_o = V_{sat}$



รูปที่ 2.6.4 แสดง noninverting comparator (a) และคุณสมบัติอินพุท-เอาท์พุท (b)

ถ้า $v_i < 0$ ทั้งผลต่างของโวลเตจอินพุทและระดับโวลเตจเอาท์พุทต่างก็มีค่าเป็นลบ ที่ v_i ค่าน้อยก็สามารถที่จะทำให้ v_o อยู่ในสถานะอิ่มตัว (negative saturation) โดยทั่วไปจุดเปลี่ยนสถานะจะถูกสมมติให้อยู่ที่ 0 V นั่นคือ

$v_o = V_{sat}$ สำหรับ $v_i > 0$

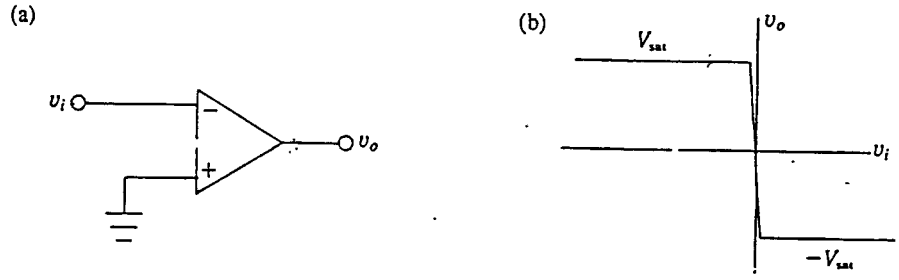
$v_o = - V_{sat}$ สำหรับ $v_i < 0$

Inverting Comparator

ในทางกลับกันกับ noninverting comparator ถ้าขาบวกต่อลงกราวด์และป้อนสัญญาณอินพุทเข้าที่ขาลบ จะได้ $v_o = V_{sat}$ สำหรับ $v_i < 0$

$v_o = - V_{sat}$ สำหรับ $v_i > 0$

คุณสมบัติของอินพุท - เอาท์พุท แสดงดังรูป 2.6.5 b



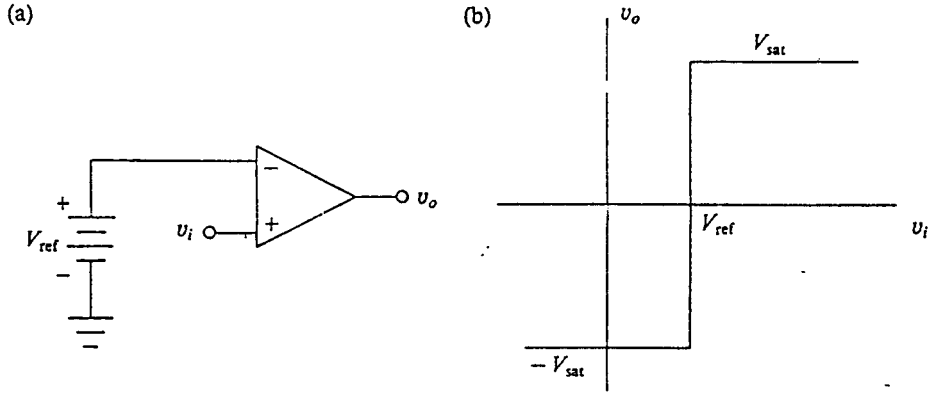
รูปที่ 2.6.5 แสดง inverting comparator (a) และคุณสมบัติอินพุท-เอาท์พุท (b)

Noninverting Comparator with Positive Bias

พิจารณาวงจรในรูปที่ 2.6.6 แรงดันบวก V_{ref}ถูกป้อนเข้าที่อินพุทขาลบ และสัญญาณ v_i ถูกป้อนเข้าอินพุทขาบวก เมื่อระดับสัญญาณต่ำกว่า V_{ref} ผลต่างแรงดันอินพุทมีค่าลบ และระดับแรงดันเอาท์พุทจะมีค่าลบ (negative saturation) ในทางตรงกันข้าม เมื่อระดับสัญญาณอินพุทมีค่าเกินระดับของ V_{ref} ผลต่างแรงดันอินพุทมีค่าบวกและเอาท์พุทจะเปลี่ยนไปอยู่ในสถานะบวก (positive saturation level)และจะได้

$v_o = V_{sat}$ สำหรับ $v_i > V_{ref}$

$v_o = -V_{sat}$ สำหรับ $v_i < V_{ref}$



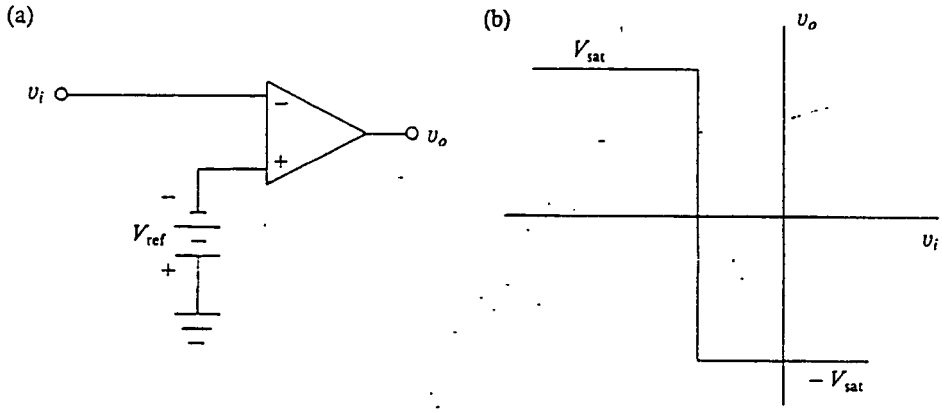
รูปที่ 2.6.6 แสดง noninverting comparator with positivebias

Inverting Comparator with Negative Bias

จากรูปที่ 2.6.7 แรงดันลบ $-V_{ref}$ ถูกป้อนเข้าที่อินพุทขาบวกและสัญญาณอินพุท v_i ถูกป้อนเข้าอินพุทขาลบ เมื่อระดับ v_i มีค่ามากกว่าระดับแรงดันไบแอส ($-V_{ref}$)เป็นผลให้ทั้งผลต่างแรงดันอินพุทและระดับแรงดันเอาท์พุทมีค่าเป็นบวก จะได้

$v_o = -V_{sat}$ สำหรับ $v_i > V_{ref}$

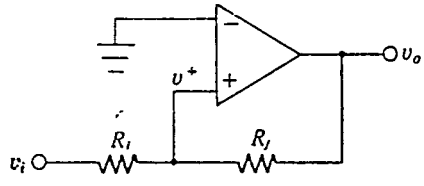
$v_o = V_{sat}$ สำหรับ $v_i < V_{ref}$



รูปที่ 2.6.7 แสดง inverting comparator with negative bias

Noninverting Schmitt Trigger

วงจร noninverting schmitt trigger เป็นวงจร comparator ประเภทหนึ่ง แสดงดังรูปที่ 2.6.8 ในวงจรนี้โวลเตจ v^+ ที่อินพุทขาบวก (noninverting terminal)เป็นผลรวมของอินพุทโวลเตจ v_i และโวลเตจเอาท์พุท v_o



$$V_T = \frac{R_i}{R_f} V_{sat}$$

รูปที่ 2.6.8 วงจร noninverting schmitt trigger

ให้ v_1^+ แสดง v^+ ในรูปของ v_i และให้ v_2^+ แสดง v^+ ในรูปของ v_o ในการหาค่า v_1^+ เราจะลดผลจาก v_o นั่นคือ ฝั่งขวาของ R_f จะถูกต่อลงกราวด์ ดังนั้นโวลเตจ v_1^+ จะได้เป็น

$$v_1^+ = \frac{R_f}{R_i + R_f} v_i \qquad (1)$$

ในการหาค่า v_2^+ เราลดผลจาก v_i โดยการ shot - circuit เราจะได้เป็น

$$v_2^+ = \frac{R_i}{R_i + R_f} v_o \qquad (2)$$

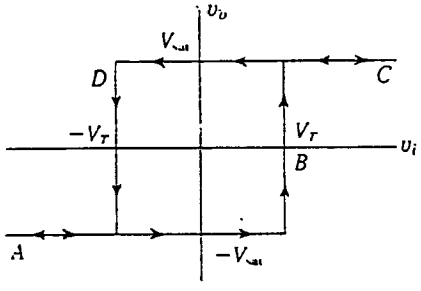
และจะได้ $$v^+ = v_1^+ + v_2^+ \qquad (3a)$$

หรือ $$v^+ = \frac{R_f}{R_i + R_f} v_i + \frac{R_i}{R_i + R_f} v_o \qquad (3b)$$

ความไม่เท่ากันของการสวิตช์สามารถหาได้จากสมการนี้ จะสังเกตได้ว่าเนื่องจาก $v_d = v^+$ จุดเปลี่ยนสถานะเกิดขึ้นที่ $v^+ = 0$ เอาท์พุทจะอยู่ในสถานะบวก positive state เมื่อ $v^+ > 0$ และเอาท์พุทจะอยู่ในสถานะลบ (negative state) เมื่อ $v^+ < 0$

จากคุณสมบัติของอินพุท - เอาท์พุท ในรูป ที่ 2.6.9 สมมติว่าในตอนแรกวงจรอยู่ในสถานะซึ่งตรงกับด้าน ซ้ายมือของเส้น A ดังนั้น $v_o = -V_{sat}$, v_i มีค่าลบ และค่าของ v^+ ซึ่งได้จากสมการ (3b) มีค่าลบ (ทั้ง v_i และ v_o มีค่าเป็นลบ) เมื่อนำ $v_o = -V_{sat}$ ไปแทน (3b) จะได้ค่าของ v^+ คือ

$$v^+ = \frac{R_f}{R_i + R_f} v_i - \frac{R_i}{R_i + R_f} V_{sat} \qquad (4)$$



รูปที่ 2.6.9 แสดงคุณสมบัติของอินพุท - เอาท์พุท

เพื่อที่จะเปลี่ยนสถานะ v^+ จะต้องมีค่าเป็นบวก ให้ $v^+ > 0$ ใน (4) เราจะได้

$$v_i > \frac{R_i}{R_f} V_{sat} \qquad (5)$$

ระดับโวลเตจ V_T สามารถหาได้จาก comparator นี้คือ

$$V_T = \frac{R_i}{R_f} V_{sat} \qquad (6)$$

ดังนั้น v_i จะต้องสมมติให้มีค่าเป็นบวกและมีค่ามากกว่า V_T ก่อนที่วงจรจะเปลี่ยนสถานะ ซึ่งแสดงตามทิศทางของลูกศรตามเส้น A ในรูป 2.6.9

เมื่อ v_i มีค่าเกิน V_T เอาท์พุทจะเปลี่ยนเป็น $+V_{sat}$ ตามเส้น B การเพิ่ม v_i เป็นผลให้อินพุทเปลี่ยนตามเส้น C แต่เอาท์พุทยังอยู่ในช่วงบวก (positive saturation)

สภาวะสำหรับการสวิตช์กลับ หาได้ด้วยการแทน $v_o = +V_{sat}$ ในสมการ (3b) จะได้

$$v^{+} = \frac{R_f}{R_i + R_f} v_i + \frac{R_i}{R_i + R_f} V_{sat} \qquad (7)$$

ในการสวิตช์กลับ v^{+} จะต้องมีค่าลบ ให้ $v^{+} < 0$ ใน (7) เราได้

$$v_i < -\frac{R_i}{R_f} V_{sat} \qquad (8)$$

ซึ่งจากด้านซ้ายมือของสมการนี้ก็คือค่า $- V_T$ ของสมการ 6 ดังนั้นอินพุทโวลเตจจะต้องสมมติให้เป็นค่าลบ $- V_T$ ตามเส้น C ก่อนที่วงจรเปลี่ยนสถาวะอีกครั้งหนึ่ง เมื่อเป็นไปตามสภาวะเหล่านี้แล้วเอาท์พุทจะลดลงเป็น $- V_T$ ตามเส้น D การลดลงของ v_i เป็นผลให้เกิดการเลื่อนไปทางซ้ายตามเส้น A

อินทิเกรเตอร์

จากรูปที่ 2.6.10 เนื่องจากที่อินพุทขาลบมีค่า 0 V, $i_{in} = v_{in}/R$ และเนื่องจาก inverting input impedance มีค่าสูงดังนั้น $i_C = i_{in}$ เอาท์พุทโวลเตจของอินทิเกรเตอร์หาได้โดย

$$V_o = -\frac{1}{C}\int_0^t i_C(t)dt + V_C(0) \quad ; \quad i_C(t) = \frac{V_{in}}{R}$$

ดังนั้น

$$V_o = -\frac{1}{RC}\int_0^t V_{in}dt + V_C(0) \qquad (1)$$

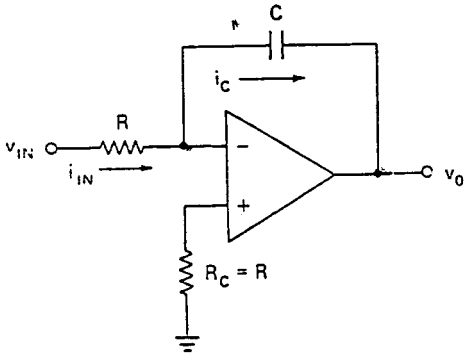
ในที่นี้ $V_C(0)$ เป็นโวลเตจคร่อม C ตอนเริ่มต้นที่เวลา $t = 0$, $V_o = V_C(0)$

จากสมการ (1) ถ้าอินทิเกรตจาก V_{in} ที่มีค่าคงที่ และ V_C มีค่าเป็น 0 V นั่นคือ

$$\Delta V_o = -\frac{1}{RC}(V_{in})\Delta t \qquad (2)$$

จากสมการ (2) ทำให้เกิดการเปลี่ยนแปลงระดับโวลเตจเอาท์พุทต่อหน่วยเวลา นั่นคือ

$$\frac{\Delta V_o}{\Delta t} = -\frac{1}{RC}(V_{in}) \qquad V/S$$

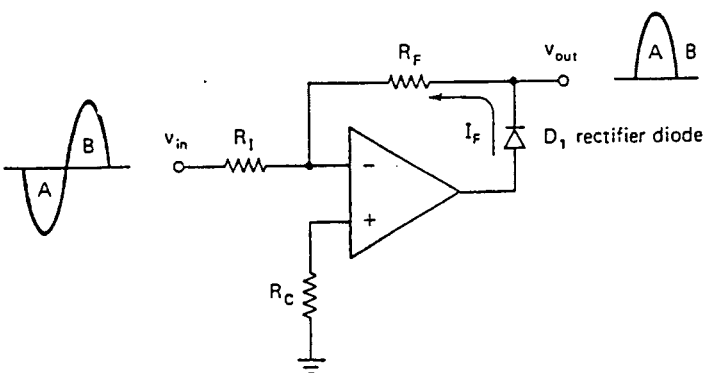


รูปที่ 2.6.10 แสดงวงจรอินทิเกรเตอร์

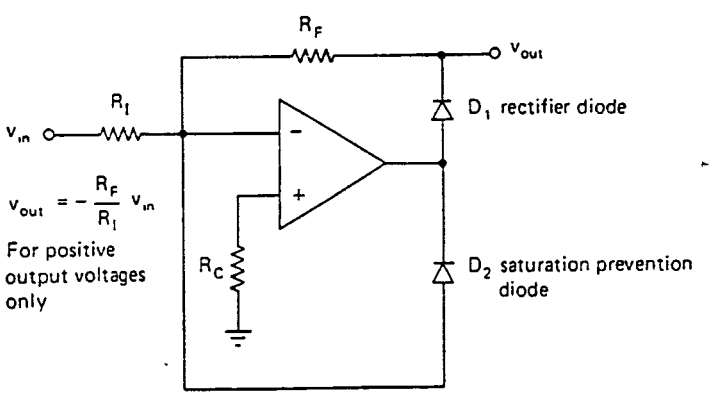
2.7 วงจรเรคติไฟร์ (Rectifier)

Half-wave Precision Rectifier

Half-wave precision rectifier ประกอบด้วย inverting amplifier ดังรูปที่ 2.7.1 ไดโอดต่ออนุกรมกับ R_F แสดงดังรูปที่ 2.7.1a ได้เอาท์พุทที่จุดต่อระหว่างไดโอดกับ R_F ขั้ว (polarity)ของการ rectify หาได้จากทิศทางของไดโอด ในรูป 2.7.1a ทิศทางของกระแสไหลผ่าน R_F หาจากทิศทางของไดโอด และทิศทางของกระแสนี้นำไปสู่ขั้วของโวลเตจเอาท์พุท ส่วนไดโอดตัวที่สอง (D_2)ในรูป 2.7.1b ต่ออยู่ระหว่างเอาท์พุทของออบแอมป์และจุดรวม (อินพุทขาลบ) ป้องกันการ saturate ของออบแอมป์จากส่วนที่ไม่ต้องการ (unwanted half-cycle) อัตราขยายแรงดัน (voltage gain)ระหว่าง v_{IN} และ v_{OUT} คือ - (R_F/ R_I) อัตราการขยายของวงจรสามารถเปลี่ยนได้ด้วยการเปลี่ยนค่าของรีจีสเตอร์นั่นคือ R_I หรือ R_F



(a) Basic halt wave rectifier circuit



(b) Half wave precision rectifier circuit

รูปที่ 2.7.1 แสดงวงจร Half-wave rectifier

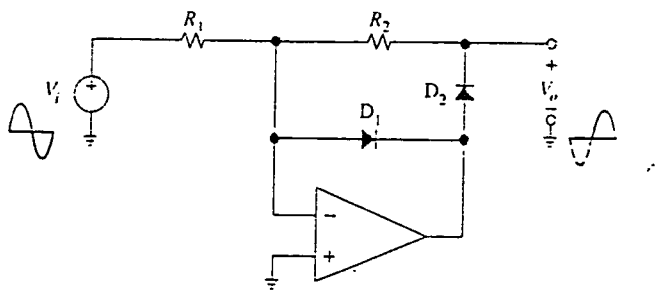
จากรูปที่ 2.7.2 เป็น inverting half-wave rectifier ซึ่งพิจารณาได้ดังนี้

เมื่อ $V_i > 0$ V โวลเตจที่อินพุทขาลบ(V_n) และโวลเตจที่อินพุทขาบวก (V_p) ของออบแอมป์ =0 V กระแสไหลผ่าน R_1จะต้องไหลจากซ้ายไปขวาในรูป กระแสผ่านD_1 เท่านั้น ดังนั้นที่เอาท์พุทของออบแอมป์ (V_{OA}) = V_n- V_{D1} $_{(on)}$มีค่าประมาณ - 0.7 V กระแสไม่สามารถไหลผ่าน R_2-D_2 ดังนั้นD_2จะอยู่ในสถานะปิด (off)และ

$V_o = 0$ V สำหรับ $V_i > 0$ V

เมื่อ $V_i < 0$ V โวลเตจที่อินพุทขาลบ(V_n) และโวลเตจที่อินพุทขาบวก (V_p) ของออบแอมป์ =0 V กระแสไหลผ่าน R_1จากขวาไปซ้าย กระแสจะไหลผ่านได้เฉพาะ D_2 และ R_2 เท่านั้น นั่นคือ$V_{OA} > V_n$ ดังนั้น D_1 อยู่ในสภาวะปิดและจะได้ความสัมพันธ์ของV_oและ V_i คือ

$$V_o = -\frac{R_2}{R_1} V_i \qquad , V_i < 0 \text{ V}$$



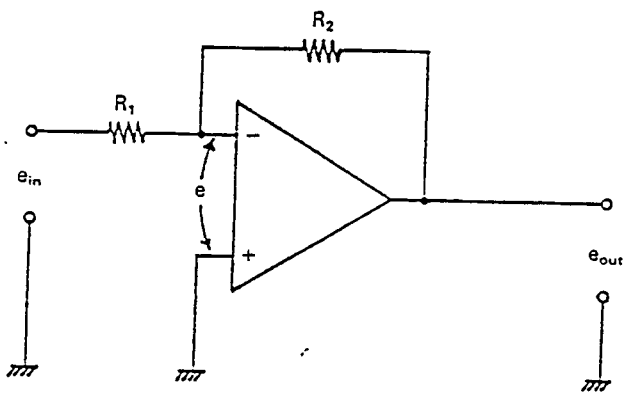
รูปที่ 2.7.2 แสดงวงจร Precision half-wave rectifier

2.8 เนื้อหาอื่นๆ

- Inverting Amplifier

Inverting amplifier ได้แสดงไว้ในรูปที่ 2.8.1 " + input " ต่อลง ground ในบางกรณีอาจผ่านตัว resister เป็น bias compensation ด้วย ตามรูป R_2 เป็น feedback path จากเอาท์พุทมายังอินพุทถ้าให้ e เป็นค่าของโวลท์เตจ ระหว่าง inverting input กับ ground เราจะได้

$$\frac{e_{in} - e}{R_1} = \frac{e - e_{out}}{R_2} \qquad (1)$$



รูปที่ 2.8.1 Inverting amplifier

สมการ(1) เป็นจริงเนื่องจากได้กล่าวมาแล้วว่า input impedance ของ operational amplifier มีค่า infinite นั่นคือไม่มีกระแสไหลเข้าไปใน amplifier กระแสผ่าน R_1 จึงมีค่าเท่ากับกระแสที่ผ่าน R_2 อีกทั้ง open loop gain ของ operational amplifier มีค่า infinite , Voltage e จึงเป็นศูนย์ เพราะฉะนั้น สมการ (1) จะกลายเป็น

$$\frac{e_{out}}{e_{in}} = \frac{-R_2}{R_1} \qquad (2)$$

สมการ(2) ถือเป็น closed loop gain ของ amplifier (เพราะมี feed - back network) ใช้สัญลักษณ์ A_F

$$\therefore \quad A_F = \frac{-R_2}{R_1} \qquad (3)$$

สำหรับ open loop gain ของ amplifier เราแทนด้วยสัญลักษณ์ A_o

ส่วน Input impedance (R_{in}) ของ inverting amplifier มีค่าเท่ากับ input voltage หารด้วย input current

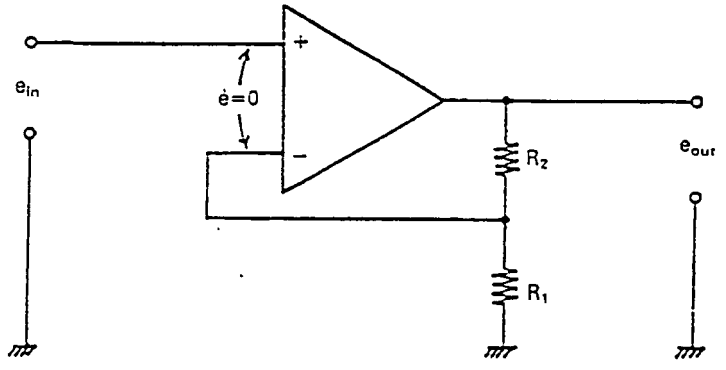
$$R_{in} = \frac{e_{in}}{(e_{in} - e) / R_1} \qquad (4)$$

แต่เนื่องจาก input impedance ของ operational amplifier มีค่าเป็น infinite เราจึงได้

$$R_{in} = R_1 \qquad (5)$$

- Non - Inverting Amplifier

Non - inverting amplifier ได้แสดงดังรูปที่ 2.8.2 เมื่อ open loop gain ของ amplifier มีค่า infinite , voltage ระหว่าง inverting terminal และ non-inverting terminal จึงมีค่าน้อยมากแทบไม่ต้องคำนึงถึง Voltage คร่อม R_1 ก็มีค่าเท่ากับ e_{in} และเมื่อไม่มีกระแสไหลผ่าน inverting input กระแสผ่าน R_2 จะเท่ากับกระแสผ่าน R_1



รูปที่ 2.8.2 Non inverting amplifier

$$\therefore \frac{e_{out} - e_{in}}{R_2} = \frac{e_{in}}{R_1} \qquad (6)$$

$$\text{จะได้ } A_F = \frac{e_{out}}{e_{in}} = 1 + \frac{R_2}{R_1} \qquad (7)$$

แม้ input impedance ของ non-inverting amplifier ที่เป็น ideal มีค่าเป็น infinite ก็จริง แ ต่ในทางปฏิบัติมักใช้ความต้านทานค่าสูงๆ ต่อไว้ที่ input เป็น input resistance (Z_{in}) และเมื่อนำ Z_{in} คูณกับ ratio ของ A_o ต่อ A_Fจะได้ค่า input impedance ของวงจร non-inverting amplifier

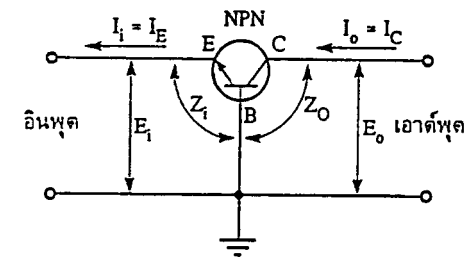
$$R_{in} = Z_{in} \frac{A_o}{A_F} = \frac{Z_{in} A_o}{1 + (R_2/R_1)} \qquad (8)$$

จะเห็นได้ว่า non inverting amplifier ให้ input impedance สูงกว่า inverting amplifier

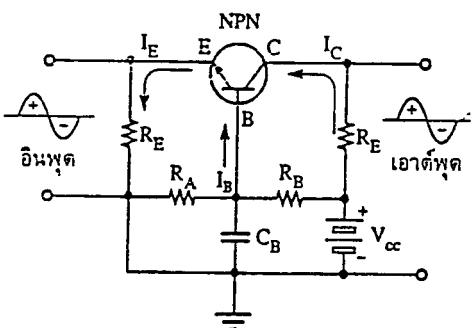
- วงจรขยายแบบเบสร่วม

วงจรขยายแบบเบสร่วมเป็นวงจรขยายที่ใช้ขาเบสเป็นขาร่วมในการรับและส่งสัญญาณ โดยสัญญาณที่ป้อนให้วงจรเบสร่วมจะส่งเข้าขาอิมิตเตอร์เพื่อให้เกิดสัญญาณตกคร่อมขึ้นที่รอยต่อระหว่าง

อิมิตเตอร์กับเบสแล้วนำไปขยาย จากนั้นสัญญาณที่ขยายแล้วซึ่งตกคร่อมตรงรอยต่อระหว่างขาคอลเล็กเตอร์กับเบสจะส่งเป็นสัญญาณเอาท์พุทออกจากวงจร การต่อเบสเป็นจุดร่วมหรือลงกราวด์ นั้นในทางปฏิบัติแล้วไม่สามารถจะต่อเบสลงกราวด์ได้โดยตรง เพราะเบสต้องการแรงดันไบแอสกระแสตรงจำนวนหนึ่งเพื่อทำให้ทรานซิสเตอร์สามารถทำงานได้ ซึ่งต้องใช้คาปาซิเตอร์ C_B มาทำหน้าที่ผ่านสัญญาณ (bypass) จากขาเบสลงกราวด์ เพื่อทำให้เบสเปรียบเสมือนถูกลัดวงจรลงกราวด์ขณะทำการขยายสัญญาณกระแสสลับ เรียกคาปาซิเตอร์ นี้ว่า บายพาสคาปาซิเตอร์ (bypass capacitor) ดูวงจรใช้งานในรูปที่ 2.8.3 (ข)



(ก) วงจรพื้นฐาน



(ข) วงจรใช้งาน

รูปที่ 2.8.3 วงจรขยายแบบเบสร่วม

คุณลักษณะของวงจรขยายแบบเบสร่วม

1. ป้อนสัญญาณอินพุทเข้าอิมิตเตอร์เทียบกับเบสซึ่งเป็นจุดร่วม
2. ส่งสัญญาณออกจากขาคอลเล็กเตอร์เทียบกับเบส
3. ค่าอิมพิแดนซ์ทางด้านอินพุทซึ่งมีเป็นค่าอิมพิแดนซ์ระหว่างขาอิมิตเตอร์กับเบส จะมีค่าต่ำมากประมาณ 20 Ω (เนื่องจากขาอิมิตเตอร์ได้รับไบแอสตรง เมื่อเทียบกับเบส)
4. ค่าอิมพิแดนซ์ทางด้านเอาท์พุทสูงประมาณ 1 MΩ (เนื่องจากขาคอลเล็กเตอร์ได้รับไบแอสกลับ เมื่อเทียบกับเบส)
5. เฟส (phase) ของสัญญาณอินพุทเหมือนกับเฟสของสัญญาณเอาท์พุท
6. อัตราการขยายกระแส (current gian) ใช้สัญลักษณ์ α ปัจจุบันนิยมใช้ค่าพารามิเตอร์ h จะใช้ตัวย่อ h_{fb} แทนอัตราขยายกระแสของวงจรขยายแบบเบสร่วม

$$h_{fb} = \frac{\text{กระแสเอาท์พุท}}{\text{กระแสอินพุท}} = \frac{I_O}{I_I} = \frac{I_C}{I_E}$$

จะมีค่าน้อยกว่า 1 เพราะกระแสคอลเลกเตอร์ (I_C) มีค่าน้อยกว่ากระแสอิมิตเตอร์ (I_E)

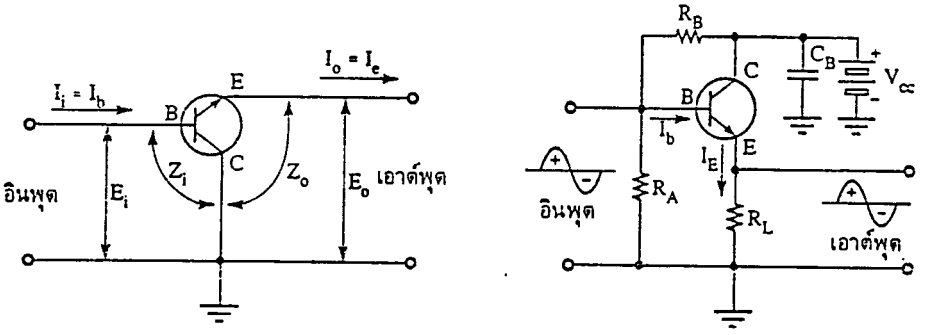
7. อัตราการขยายแรงดัน (voltage gain) ใช้ตัวย่อ A_V , V_G

$$A_V = \frac{\text{แรงดันเอาท์พุท}}{\text{แรงดันอินพุท}} = \frac{E_o}{E_i} = \frac{V_{CB}}{V_{BE}}$$

สูงมากเนื่องจากเอาท์พุทอิมพิแดนซ์มีค่าสูงและอินพุทอิมพิแดนซ์มีค่าต่ำ

- วงจรขยายแบบคอลเล็กเตอร์ร่วม

วงจรขยายแบบคอลเล็กเตอร์ร่วม มีชื่อเรียกได้อีกอย่างหนึ่งว่า วงจรอิมิตเตอร์ตาม (emitter follwer) จัดรูปแบบวงจรโดยใช้ขาคอลเล็กเตอร์เป็นขาร่วม สัญญาณอินพุทที่รับเข้ามาทางขาเบสจะตกคร่อมตรงรอยต่อระหว่างเบสกับคอลเล็กเตอร์ ส่วนสัญญาณเอาท์พุทที่ได้จากการตกคร่อมตรงรอยต่อระหว่างอิมิตเตอร์กับคอลเล็กเตอร์นั้นจะส่งออกทางขาอิมิตเตอร์ โดยมีคอลเล็กเตอร์ต่อลงกราวด์ทางบายพาสคาปาซิเตอร์



วงจรพื้นฐาน วงจรใช้งาน

รูปที่ 2.8.4 วงจรขยายแบบคอลเล็กเตอร์ร่วม

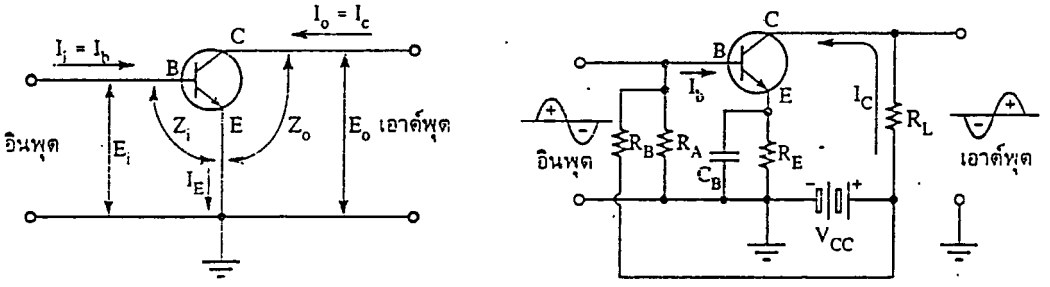
คุณลักษณะของวงจรขยายแบบคอลเล็กเตอร์ร่วม

1. ป้อนสัญญาณอินพุทเข้าที่ขาเบสเทียบกับคอลเล็กเตอร์ซึ่งเป็นจุดร่วม
2. ส่งสัญญาณออกจากขาอิมิตเตอร์โดยเทียบกับขาคอลเล็กเตอร์
3. ค่าอิมพิแดนซ์ทางด้านอินพุทมีค่าสูงประมาณ 150 k Ω (เนื่องจากเบสได้รับไบแอสกลับเมื่อเทียบกับคอลเล็กเตอร์)
4. ค่าอิมพิแดนซ์ทางด้านเอาท์พุทมีค่าต่ำประมาณ 80 Ω (เนื่องจากเบสกับอิมิตเตอร์ได้รับไบแอสตรง
5. เฟส (phase) ของสัญญาณอินพุทเหมือนกับเฟสของสัญญาณเอาท์พุท
6. อัตราการขยายกระแส (h_{fe}) ซึ่งหาได้จาก I_E/I_B มีค่าสูงมาก เนื่องจาก I_E มีค่าสูงสุดและ I_B มีค่าต่ำสุด
7. อัตราการขยายแรงดัน (A_V) หาได้จาก V_{CE}/V_{CB} มีค่าต่ำมากน้อยกว่า 1 เนื่องจากอิมพิแดนซ์ที่อิน พุทสูง
8. อัตราขยายกำลัง (P_G) หาได้จาก $h_{fe} \times A_V$

<u>การนำไปใช้งาน</u> ใช้เป็นวงจรบัฟเฟอร์ (buffer) วงจรบัฟเฟอร์คือวงจรที่ใช้กั้นกลางระหว่างภาคหนึ่งของวงจรกับอีกภาคหนึ่ง หรือเป็นวงจรป้องกันการเกิดกระทบกระเทือนกันระหว่างวงจร 2 วงจร เช่น ใช้เป็นตัวกั้นระหว่างวงจรกำเนิดความถี่ที่ต้องการความถี่ที่แน่นอนกับวงจรขยาย และอาจใช้เป็นวงจรแมตชิ่ง คือเชื่อมโยงระหว่างวงจรที่มีค่าเอาท์พุทอิมพิแดนซ์สูงกับวงจรที่มีค่าอินพุท อิมพิแดนซ์ต่ำ เพื่อให้มีการถ่ายทอดกำลังให้กันได้เต็มที่

- วงจรขยายแบบอิมิตเตอร์ร่วม

เป็นวงจรที่ใช้ขาอิมิตเตอร์เป็นขาร่วมรับสัญญาณเข้าและส่งสัญญาณออก โดยสัญญาณอินพุทจะป้อนเข้าที่ขาเบสเทียบกับอิมิตเตอร์ และสัญญาณเอาท์พุทซึ่งได้จากแรงดันที่ตกคร่อมระหว่างรอยต่อคอลเล็กเตอร์กับอิมิตเตอร์จะส่งออกจากวงจรทางขาคอลเล็กเตอร์โดยเทียบกับอิมิตเตอร์ ถ้าการไบแอสวงจรนี้มีตัวต้านทานที่ด้านขาอิมิตเตอร์ซึ่งเป็นการจัดไบแอสแบบเคอร์เรนต์ฟีดแบคจะต้องมีบายพาสคาปาซิเตอร์ (C_B) ต่อที่ขาอิมิตเตอร์ลงกราวด์เพื่อไม่ให้เกิดการลดทอนอัตราการขยายของวงจร



วงจรพื้นฐาน วงจรใช้งาน

รูปที่ 2.8.5 วงจรขยายแบบอิมิตเตอร์ร่วม

คุณสมบัติของวงจรขยายแบบอิมิตเตอร์ร่วม

1. อิมพิแดนซ์ทางด้านอินพุทประมาณ 1.5 k Ω (เนื่องจากเบสได้รับไบแอสตรง)
2. อิมพิแดนซ์ทางด้านเอาท์พุทมีค่าประมาณ 1 MΩ (เนื่องจากคอลเล็กเตอร์ได้รับไบแอสกลับ)
3. เฟส (phase) ของสัญญาณอินพุทจะต่างเฟสกับสัญญาณเอาท์พุท 180°
4. อัตราการขยายกระแส ใช้สัญลักษณ์ β หรือ h_{fe} มีค่าสูง (เนื่องจาก I_C ไหลมากกว่า I_B)

$$\beta = \frac{I_o}{I_i} = \frac{I_c}{I_E}$$

5. อัตราการขยายแรงดัน ใช้ตัวย่อ A_V , V_G มีค่าสูง(เนื่องจากเอาท์พุทอิมพิแดนซ์มีค่าปานกลาง และอินพุทอิมพิแดนซ์มีค่าต่ำ)

$$A_V = \frac{I_O}{E_I} = \frac{V_{CB}}{V_{BE}}$$

6. อัตราการขยายกำลัง ใช้ตัวย่อ P_G

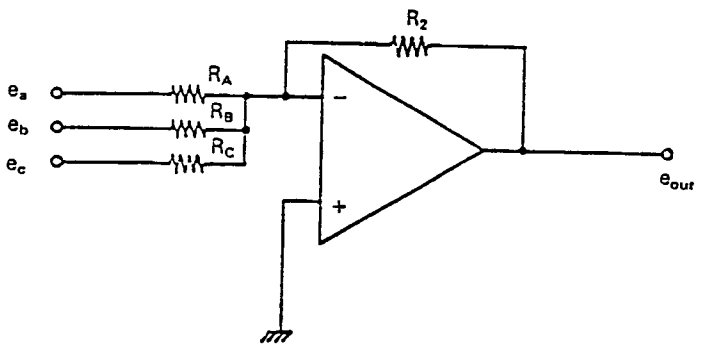
$$P_G = \beta \times A_V$$

<u>การนำไปใช้งาน</u> วงจรอิมิตเตอร์ร่วมถูกนำไปใช้งานอย่างกว้างขวางมากกว่าวงจรทั้ง 2 แบบ ที่กล่าวไปแล้ว เช่นใช้งานเป็นวงจรขยายสัญญาณในเครื่องรับวิ ทยุโทรทัศน์ถึงประมาณ 80 % ของวงจรทั้งหมด ใช้เป็นวงจรขยายกำลังในเครื่องขยายเสียง ใช้เป็นวงจรสร้างสัญญาณคลื่นรูปไซน์ ใช้ในการดีมอดูเลต คลื่นเอเอ็ม ฯลฯ

- Adder

วงจร Adder ให้ output signal ที่เป็นสัดส่วนกับผลรวมของ input signal หลายๆอันดังแสดงใน รูปที่ 2.8.6 ซึ่งเป็น 3 input adder circuit. input ทั้ง 3 ป้อนแยกผ่าน resistor ให้กับ inverting input แต่โวลท์เตจที่ non-inverting input และinverting input มีค่าใกล้เคียงกันเหมือนเช่นเคย inverting input จึงเป็น virtual ground source voltage e_a,e_b,e_c ที่เป็นสัญญาณ input จึงมอง input ของ op-amp เห็นเพียง resistor เท่านั้น ผลรวมของ input current ที่ผ่าน R_A,R_B,R_C จะมีค่าเท่ากับกระแสที่ผ่าน R_2 และ amplifier นี้มี open loop gain สูงมากไม่ดึง input current เพราะฉะนั้น

$$\frac{e_a}{R_A} + \frac{e_b}{R_B} + \frac{e_c}{R_C} = \frac{-e_{out}}{R_2} \qquad (1)$$



รูปที่ 2.8.6 input adder circuit

หาก $R_A = R_B = R_C = R$ เราจะได้

$$e_{out} = \frac{-R_2}{R}(e_a + e_b + e_c) \qquad (2)$$

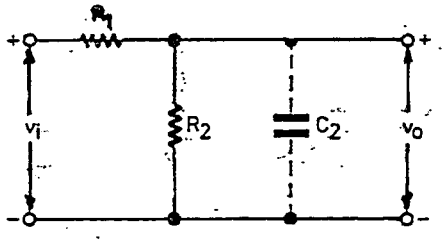
ในที่นี้ ถ้า $R_2 = R$, output voltage จะมีค่าเท่ากับผลรวมของ input voltage ถ้า $R_2 = 1\ R$; output voltage จะมีค่าเท่ากับผลรวมของ input voltage หารด้วย 3 หรือ output voltage เป็น average ของ input voltage

- Attenuator

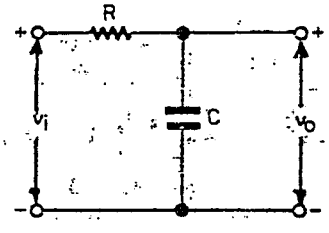
ตัวต้านทาน R_1 และ R_2 ในรูปที่ 2.8.7 (ก) ประกบกันเป็นตัวบั่นทอนสัญญาณที่เรียกว่าตัวแบ่งแรงดัน จากลักษณะนี้แรงดันเอาท์พุทจะแบ่งค่าแรงดันมาจากแรงดันอินพุทด้วยค่าแฟคเตอร์ $R_2 / (R_1+R_2)$ อัตราส่วนนี้จะไม่ขึ้นอยู่กับค่าความถี่ถ้าหากว่าไม่มีส่วนของตัวเก็บประจุเข้ามาผสมอยู่ แต่ในขณะใช้งานจริงๆแล้วเรามักพบว่าจะมีค่าตัวเก็บประจุแทรกแซง (stray capacitance) ผสมอยู่ด้วย ค่า C_2 นี้มักคร่อมตัวต้านทาน R_2 อยู่ ดังนั้นผลการบั่นทอนที่เกิดขึ้นจึงขึ้นอยู่กับค่าความถี่ด้วย

รูปที่ 2.8.7 (ค) เป็นวงจรที่เราเพิ่มค่า C_1 เข้าไปเพื่อชดเชยค่าที่เกิดขึ้นจากตัวเก็บประจุ C_2 ซึ่งถ้าเขียนวงจรเสียใหม่เราจะเห็นว่าลักษณะของวงจรเสมือนเป็นวงจรบริดจ์ ดังรูปที่ 2.8.7 (ง) ถ้าหากว่าบริดจ์สมดุลย์เราอาจเสมือนเปิดเส้นวงจร XY ได้ นั่นคือ แรงดัน V_0 จะเสมือนกับเป็น $R_2V_i / (R_1+R_2)$ วิธีการที่จะกระทำให้บริดจ์สมดุลย์เราจะต้องให้ค่า $R_1C_1 = R_2C_2$ นั่นเอง ดังนั้นในวงจรบั่นทอนสัญญาณถ้าเรารู้ค่าตัวเก็บประจุ C_2 เราก็สามารถชดเชยได้โดยการคำนวณหาค่า C_1

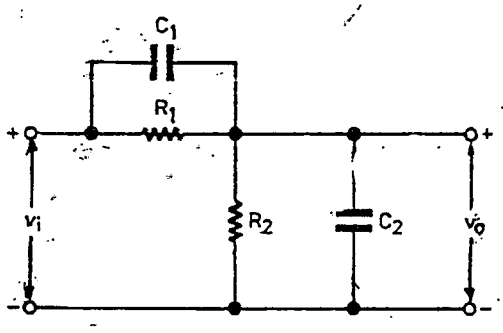
จากหลักการนี้เองเรานำเอาไปใช้ในการทำสายวัด (probe) ที่ใช้กับออสซิลโลสโคปที่มีการชดเชยเพื่อใช้วัดสัญญาณที่ความถี่สูงเพื่อให้สัญญาณที่วัดได้ไม่ผิดพี้ยนไปจากรูปสัญญาณเดิม



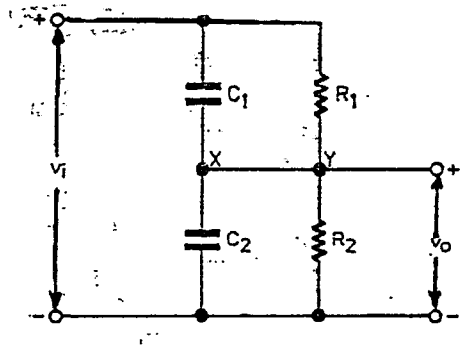
(ก) วงจรแบ่งแรงดัน



(ข) วงจรสมมูลย์ที่มีตัวเก็บประจุแทรกแซง



(ค) วงจรที่มีการชดเชย



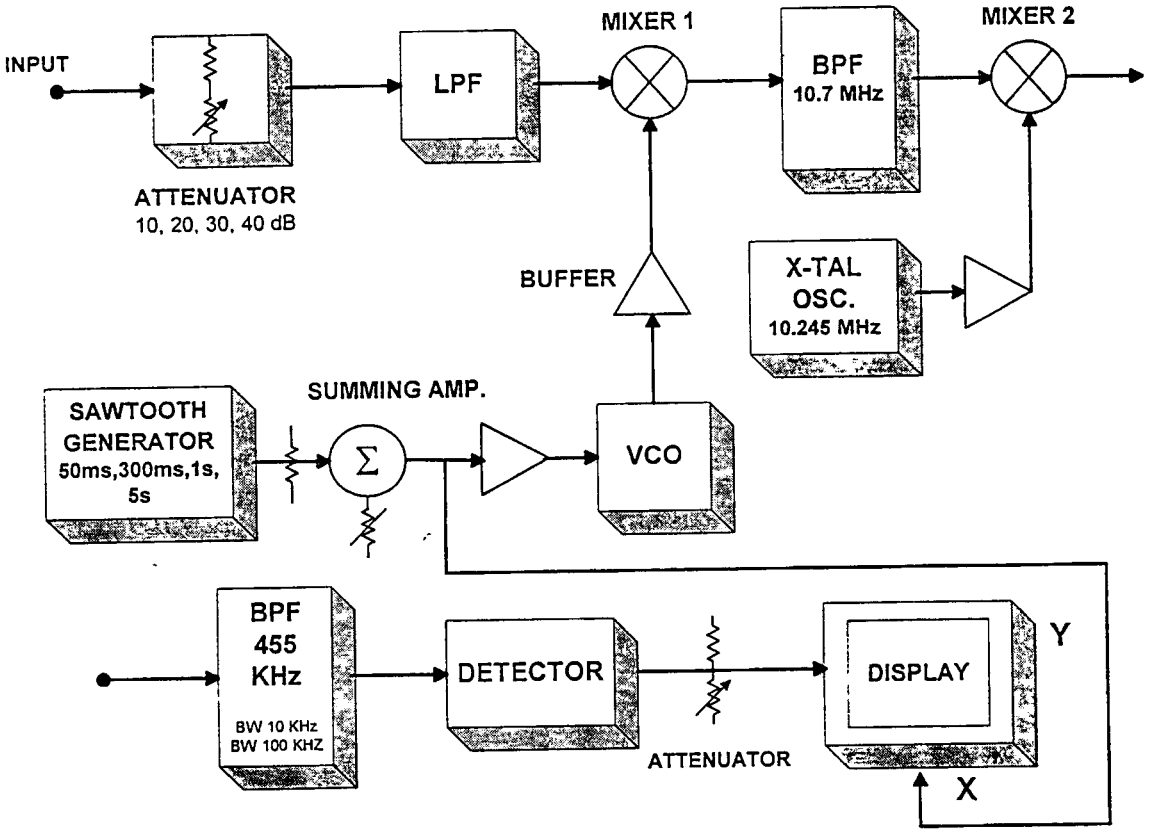
(ง) วงจรที่มีการชดเชยลักษณะแบบบริดจ์

รูปที่ 2.8.7 วงจร Attenuator

บทที่ 3

การคำนวณและการสร้าง

ในส่วนของการออกแบบวงจรสเปคตรัมอนาไลเซอร์นั้นเราสามารถแสดงเป็นบล็อคไดอะแกรมได้ดังนี้



รูปที่ 3.1 แสดงบล็อคไดอะแกรมการทำงานของสเปคตรัมอนาไลเซอร์

จากรูปบล็อคไดอะแกรมที่ได้เป็นสเปคตรัมอนาไลเซอร์ที่พัฒนาขึ้นโดยมีองค์ประกอบพื้นฐานเหมือนแบบ swept heterodyne spectrum analyzer กล่าวคือวงจรฟิลเตอร์จะถูกกำหนดไว้ตายตัว (fixed) สเปคตรัมจะถูกเลื่อนไปไว้ยังช่วงความถี่อื่นโดยการ mixing ที่เหมาะสมเนื่องจากวงจรแบนด์พาสฟิลเตอร์จูนความถี่ในย่านที่ต้องการได้ยาก ดังนั้นจึงไม่ค่อยใช้การจูนความถี่ของฟิลเตอร์แต่จะกำหนดให้ความถี่ของฟิลเตอร์คงที่ที่ความถี่ IF (intermediate frequency) และเรียกฟิลเตอร์นี้ว่า IF ฟิลเตอร์

เอาท์พุทของมิกเซอร์ที่ได้เป็นความถี่ผลบวกและความถี่ผลต่างของโลคอลออสซิลเตอร์และสัญญาณอินพุทแต่เราใช้ผลต่าง IF ฟิลเตอร์ซึ่งจูนที่ความถี่กลาง ความถี่มิกเซอร์ใช้เป็นตัวเลื่อนความถี่อินพุทให้เป็นความถี่กลาง ส่วนความถี่อื่นๆที่เหลือจะถูกกำจัดออกไปโดย IF ฟิลเตอร์ ซึ่งตามวงจรที่ออกแบบไว้ค่า IF ฟิลเตอร์ คือค่า 10.7 เมกะเฮิร์ทซและ 455 กิโลเฮิร์ทซ

จากรูปบล็อคไดอะแกรมสเปคตรัมอนาไลเซอร์ใช้ VCO (Voltage Control Oscillator) มาแทนโลคอลออสซิลเลเตอร์และมี Ramp Generator ซึ่งผลิตสัญญาณเอาท์พุทที่เพิ่มขึ้นแบบเชิงเส้น เพื่อนำมาขับVCO และนำมาแสดงในแกนนอน ส่วนแกนตั้งเป็นสัญญาณที่ผ่านโลพาสฟิลเตอร์,ผ่านมิกเซอร์ 2 ชุด,วงจรขยาย,วงจรแบนด์พาสฟิลเตอร์ แล้วดีเทคสัญญาณ และยังประกอบด้วยวงจรอื่นอีกเช่น วงจรบัฟเฟอร์,วงจรลดทอน

บล็อคไดอะแกรม ที่ใช้ mixer/ภาค IF 1ตัว เรียกว่า single conversion receive ค่าความถี่ IF สูงทำให้การกำจัด image frequency ได้ง่าย แต่ IF ฟิลเตอร์แบนด์แคบและดีเทคเตอร์จะสร้างยากที่ความถี่สูงๆ ซึ่งในทางกลับกัน ฟิลเตอร์แบนด์แคบและดีเทคเตอร์สร้างง่ายที่ความถี่ต่ำแต่จะมีปัญหาในการกำจัด image frequency ดังนั้นจึงใช้ Multiple conversion stage cascaded โดยแต่ละ stage ประกอบด้วยมิกเซอร์, โลคอลออสซิลเลเตอร์และ IF ฟิลเตอร์ซึ่งโลคอลออสซิลเลเตอร์ของแต่ละ stage อาจเหมือนกันโดยได้จาก Master oscillator หรือโลคอลออสซิลเลเตอร์ทำขึ้นมาแต่ละ stage ซึ่งในที่นี้ก็คือ VCO (10.7-11.7 MHz) และ X-TAL 10.245 MHz

รายละเอียดของการออกแบบในแต่ละวงจรจะกล่าวถึงในลำดับต่อไป

3.1 วงจรกรองความถี่ต่ำ (Lowpass Filter)

การออกแบบ

จากวงจรกรองความถี่คัทออฟที่ 1 MHz จะได้ว่า

$$R_{new} = K_m R_{old}$$

$$C_{new} = \frac{1}{K_m K_f} C_{old}$$

กำหนดให้ $K_m = 1000$; $K_f = 2\pi f_c = 2\pi * 10^6$

ดังนั้น stage1 $R_{old} = 1000$; $C_{old} = 2Q , 1/2Q$ [Q = 0.54]

$$C_1 = \frac{2(0.54)}{10^3 * 2\pi * 10^6}$$

$$= 171.8 \text{ pF}$$

$$C_2 = \frac{1}{2(0.54) * 10^3 * 2\pi * 10^6}$$

$$= 147.2 \text{ pF}$$

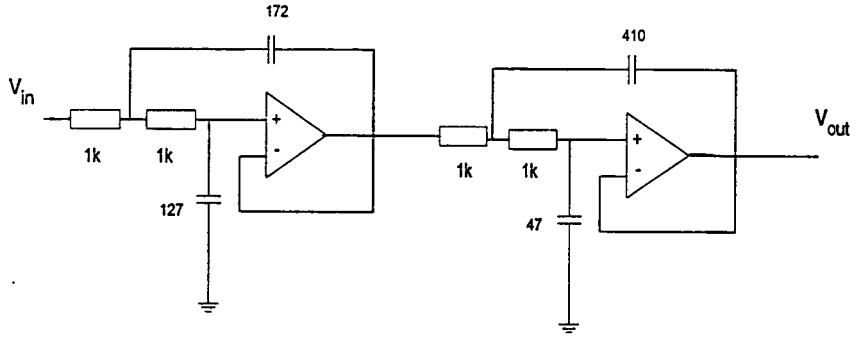
stage2 $R_{old} = 1000$; $C_{old} = 2Q , 1/2Q$ [Q = 1.31]

$$C_1 = \frac{2(1.31)}{10^3 * 2\pi * 10^6}$$

$$= 416.9 \text{ pF}$$

$$C_2 = \frac{1}{2(1.31) * 10^3 * 2\pi * 10^6}$$

$$= 60.7 \text{ pF}$$

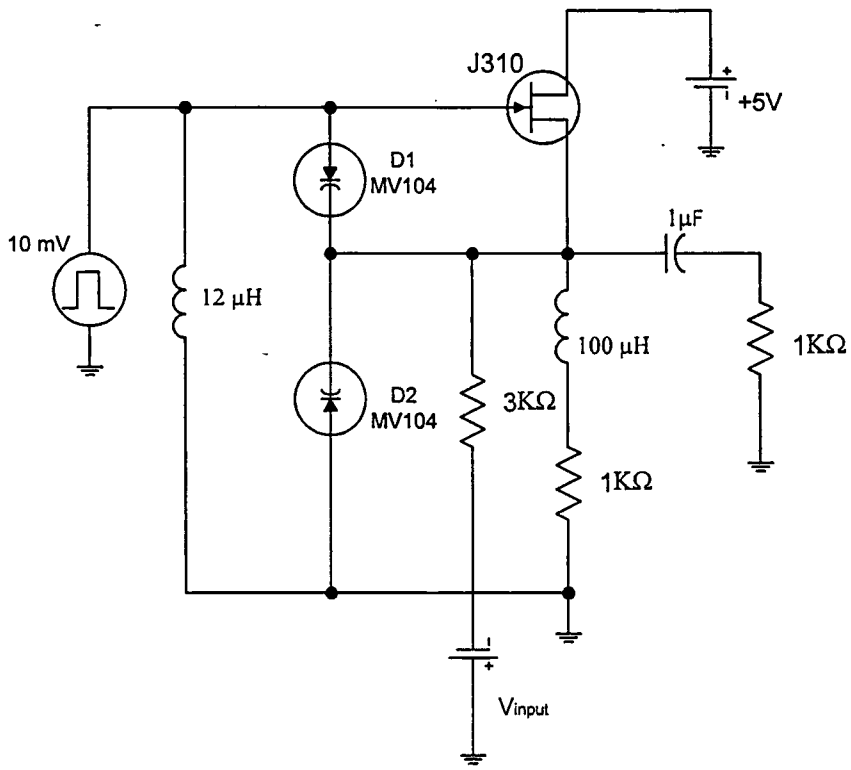


รูปที่ 3.1.1 วงจรกรองความถี่ต่ำที่ออกแบบได้

3.2 วงจรคริสตอลออสซิลเลเตอร์ควบคุมด้วยแรงดัน (VCO)

วงจร VCO นับว่าเป็นวงจรสำคัญที่สุดวงจรหนึ่ง เพราะเป็นตัวกำหนดเสถียรภาพเชิงความถี่ คุณสมบัติของVCO ที่ดีควรจะต้องมีการแปลงระหว่างความถี่กับโวลเตจอินพุทเป็นเส้นตรง มีเสถียรภาพทางความถี่ (มีการเลื่อนความถี่ที่เกิดจากอุณหภูมิน้อยมาก) ทำงานได้ที่ความถี่สูง และมีช่วงการแทรก (tracking) กว้าง

จริงๆแล้ว VCO ก็คือออสซิลเลเตอร์ธรรมดา แต่มีคุณสมบัติในการเปลี่ยนแปลงความถี่ในการออสซิลเลตได้ตามโวลเตจอินพุท ดังนั้นหลักการออกแบบ VCO ก็จะมีลักษณะเช่นเดียวกับออสซิลเลเตอร์

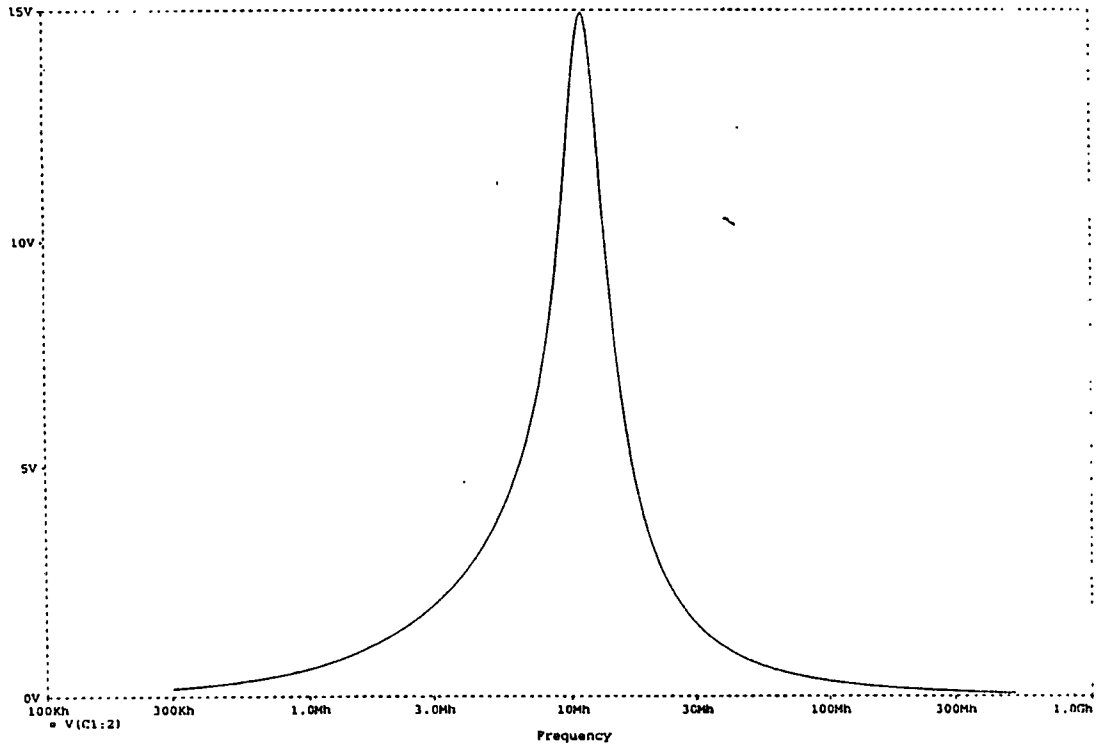


รูปที่ 3.2.1 วงจร VCO ที่ได้ออกแบบไว้

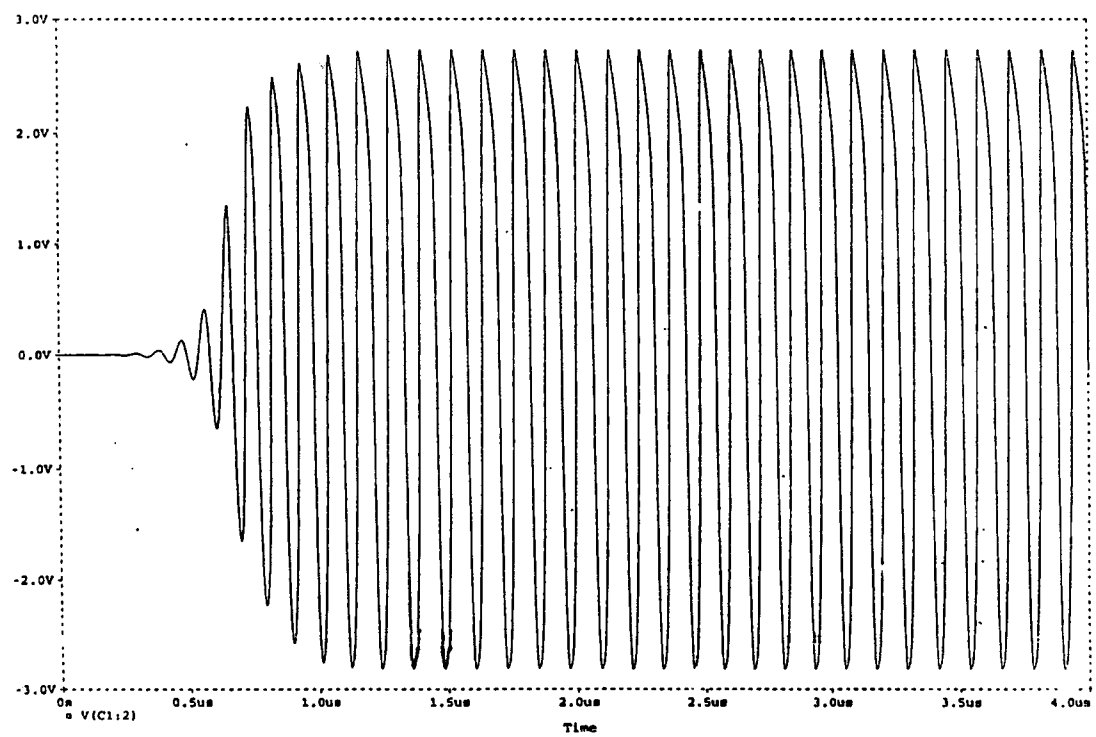
จากรูปที่ 3.2.1 จะเห็นว่าวงจรประกอบด้วยส่วนที่เป็นวงจรขยาย และส่วนที่เป็นวงจรแทงค์ (tank) ในส่วนที่เป็นวงจรขยายจะประกอบด้วย FET (J310) และไบอัสด้วยไฟเลี้ยง(V_{CC}) 5 V ในส่วนที่เป็นวงจรแทงค์จะประกอบด้วย วาแรกเตอร์ไดโอด (Varactor Diode) คือ D_1 และ D_2

วงจรออสซิลเลเตอร์อาศัยการป้อนกลับแบบบวก (Positive Feedback) โดยจากวงจรข้างต้นอาศัยการป้อนกลับจากเอาท์พุทกลับไปที่อินพุทโดยผ่านวงจรแทงค์ซึ่งมีการแทปตัวเก็บประจุ (ในที่นี้คือวาแรกเตอร์ไดโอด) วงจรออสซิลเลเตอร์แบบนี้เรียกว่า " โคลพิตออสซิลเลเตอร์ (Colpitts Oscillator) "

ในการออกแบบโดยใช้ Simulator จะได้ผลตอบสนองทางความถี่ที่ 10.7 เมกะเฮิรทซ์ดังรูปที่ 3.2.2 และรูปที่ 3.2.3 เป็นรูปแสดงการออสซิลเลทของวงจร



รูปที่ 3.2.2 ผลตอบสนองทางความถี่ของวงจร VCO ที่ความถี่ 10.7 เมกะเฮิรทซ์



รูปที่ 3.2.3 แสดงการเกิดการออสซิลเลทของวงจร VCO ที่ความถี่ 10.7 เมกะเฮิรทซ์

3.3 วงจรคริสตอลออสซิลเลเตอร์

สิ่งที่ต้องการในวงจรคริสตอลออสซิลเลเตอร์ ประกอบด้วย

1. ใช้หลักการของวงจรป้อนกลับแบบบวก (positive feedback) และมีค่า loop gain > 1
2. ระดับของค่าอิมพิแดนซ์ต้อง match กับค่าความต้านทานภายในของคริสตอล
3. ค่าเสถียรภาพทางความถี่ (Q) ภายในคริสตอลต้องมีความเหมาะสม
4. สัญญาณที่ผลิตได้ต้องมีรูปคลื่น (waveform) ที่ดีทั้งใน linear mode และ overload mode (คือไม่มีสัญญาณแปลกปลอมอื่นๆที่ไม่ต้องการปนเข้ามาด้วย)

ส่วนประกอบที่จำเป็นสำหรับวงจรคริสตอลออสซิลเลเตอร์ มีดังนี้

1. วงจรขยายสัญญาณ ส่วนใหญ่นิยมใช้ทรานซิสเตอร์ชนิดไบโพลาร์มากกว่าชนิดเฟทเนื่องจากจะให้ค่าของเกนมากกว่าเฟทถึงประมาณ 5-10 เท่า ซึ่งในที่นี้ใช้วงจรขยายชนิดเบสร่วม (COMMON BASE)

หลักการออกแบบวงจรขยายสัญญาณ มีดังนี้

(1) การเลือกใช้ทรานซิสเตอร์ เนื่องจากต้องการให้วงจรออสซิลเลทที่ความถี่10.245เมกะเฮิรทซ์ ซึ่งเป็นความถี่ที่ไม่สูงมากนัก แต่ทรานซิสเตอร์ที่เลือกใช้จะต้องมีค่าของความถี่ที่สามารถผ่านได้ (Transition Frequency : f_T) มากกว่าความถี่ที่เราต้องการ

(2) การจัด bias แก่ทรานซิสเตอร์ จะกำหนดจากการเลือกจุดทำงานของกระแสคอลเลคเตอร์ (I_C) ที่เราต้องการเพื่อให้ได้ค่า f_T สูงสุด ซึ่งในที่นี้เราใช้ I_C = 10 มิลลิแอมแปร์ ให้ค่า R_1 และ R_2 = 10 กิโลโอห์ม V_{CC}= 10 โวลต์ หาค่า R_E ซึ่งจะได้ $R_E \cong$ 470 โอห์ม

2. การสร้างวงจรสมมูลของคริสตอลให้แก่โปรแกรม PSPICE เพื่อใช้ในการ simulate นั้น เนื่องจากในการออกแบบวงจรคริสตอลออสซิลเลเตอร์ที่ความถี่ 10.245 เมกะเฮิรทซ์นั้นไม่มีตัวคริสตอลที่มีความถี่นี้ ฉะนั้นจึงต้องทำการสร้างวงจรสมมูลของคริสตอล ความถี่ 10.245 เมกะเฮิรทซ์ขึ้น มีหลักการพิจารณาค่าต่างๆดังนี้

1) กำหนดให้ค่าเสถียรภาพทางความถี่ (Q) = 10,000

2) ส่วนแสดงสมบัติแทนควอทซ์ คือ R_S, L_S, C_S และส่วนแสดงสมบัติแทนตัวเก็บประจุที่ต่อขนานของขั้วไฟฟ้าซึ่งขนานอยู่กับคริสตอล (shunt capacitance) คือ C_o สามารถคำนวณได้โดยมีเงื่อนไขดังนี้

ค่า R_S นั้นถ้าเป็นคริสตอลที่ผลิตความถี่ในย่านความถี่สูง ค่าความต้านทานอนุกรมสูงสุดที่สามารถใช้ได้คือ 40 โอห์ม

ค่า C_o นั้นถ้าคริสตอลที่ผลิตความถี่สูงซึ่งอยู่ในช่วง 1-150 เมกะเฮิรทซ์ ให้ใช้ ค่า C_o= 5 พิโคฟารัด

จากสูตร การหาค่าเสถียรภาพทางความถี่ (Q) แบบอนุกรมกันของค่าความต้านทาน (R_S) และค่าความนำไฟฟ้า (L_S) คือ

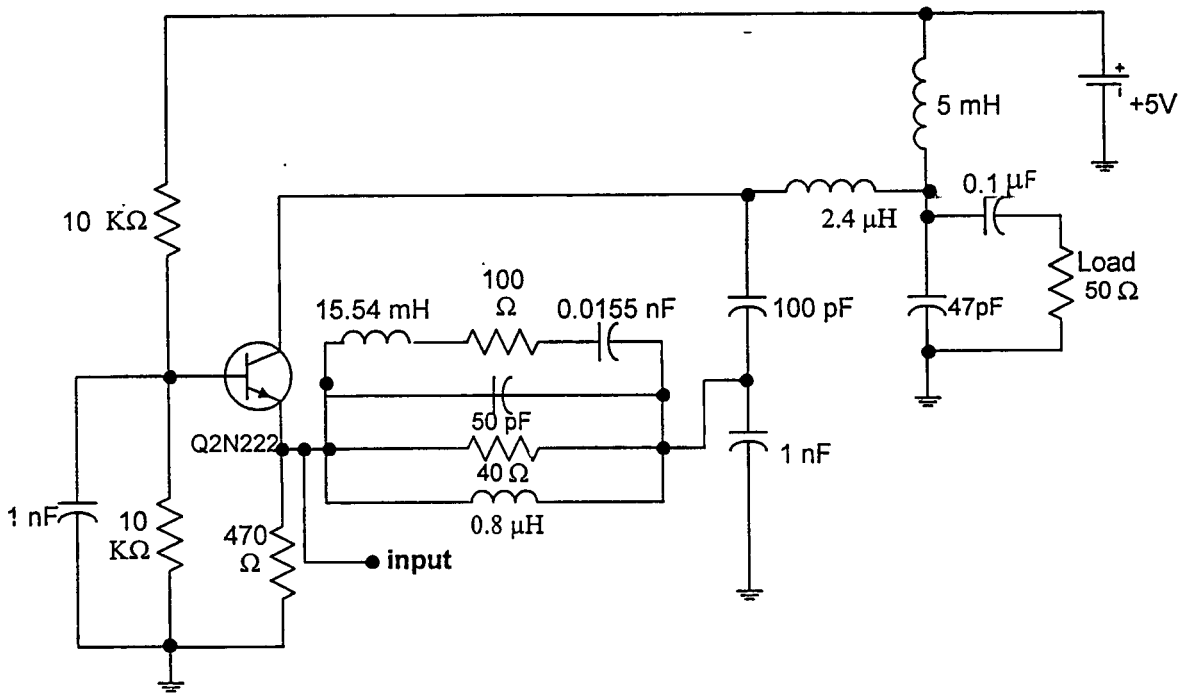
$$Q = \frac{\omega L}{R_s}$$

$$\therefore \quad L_s = 15.54 \text{ mH}$$

จากสูตร การหาค่าความถี่เรโซแนนซ์ (f_s) ที่ต้องการ คือ 10.245 เมกะเฮิรทซ์

$$f_s = \frac{1}{2\pi\sqrt{L_s C_s}}$$

$$\therefore \quad C_s = 0.0155 \text{ nF}$$

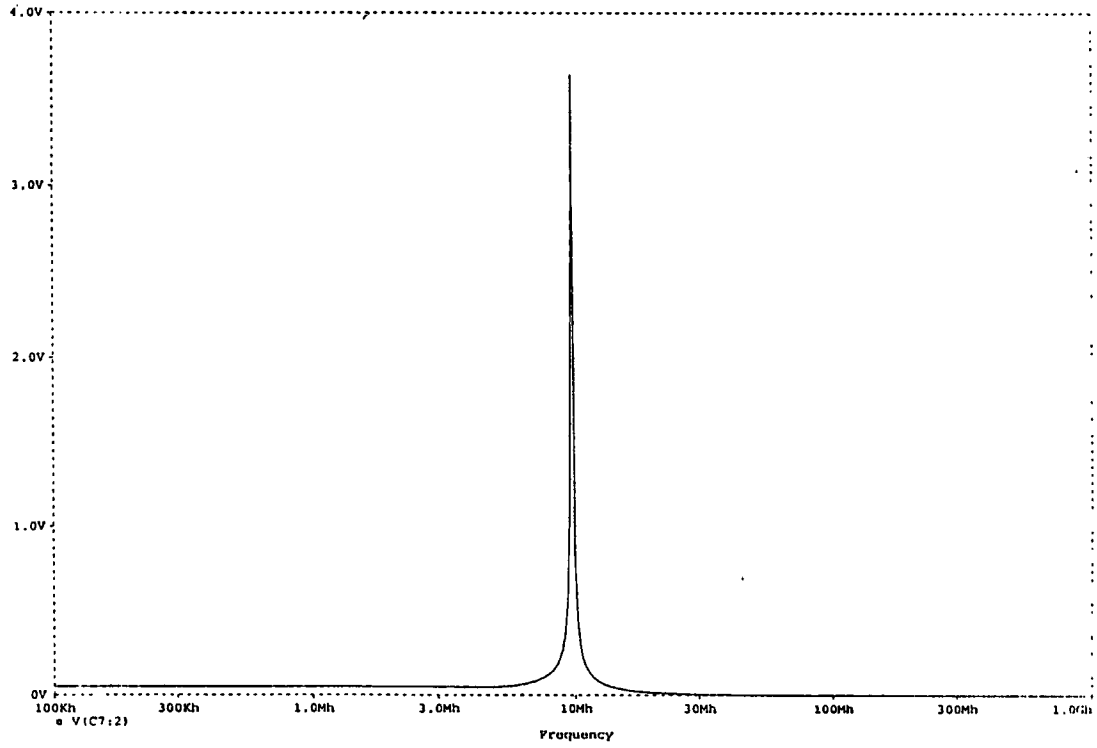


รูปที่ 3.3.1 วงจรคริสตอลออสซิลเลเตอร์

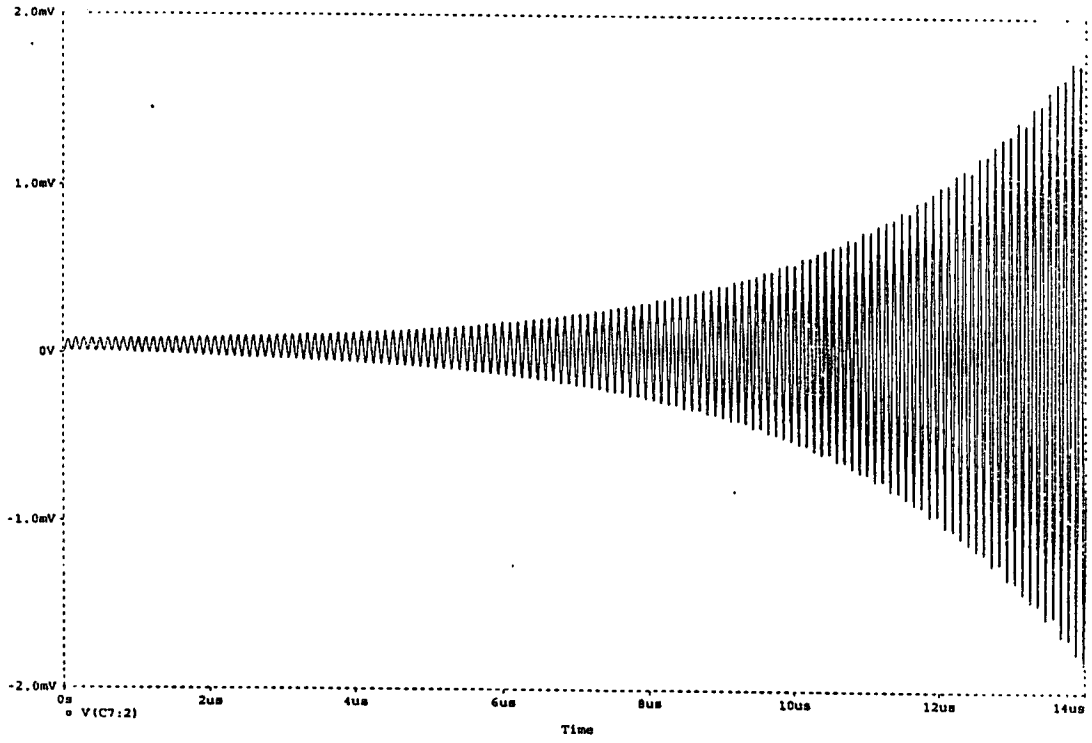
3. วงจร LC tune ใช้ในการปรับความถี่ให้ได้ 10.245 เมกะเฮิรทซ์ ในวงจรจะเป็นค่า L_3, C_4, C_5 และ C_6

4. จากที่กล่าวมาแล้ว วงจรออสซิลเลเตอร์จะสามารถออสซิลเลทได้เมื่อมีค่า loop gain > 1 ดังนั้นเมื่อทำการ open loop แล้วป้อนสัญญาณ sine เข้าที่อินพุทและวัดเอาท์พุทของลูปจะได้ค่าของ loop gain ที่ได้จาก simulator เท่ากับ 34 ซึ่งมีค่าเพียงพอที่จะทำให้วงจรออสซิลเลทได้

ในการออกแบบโดยใช้ simulator จะได้ผลตอบสนองทางความถี่ที่ 10.245 เมกะเฮิรทซ์ดังรูปที่ 3.3.2 และรูปที่ 3.3.3 เป็นรูปที่แสดงการออสซิลเลทของวงจร



รูปที่ 3.3.2 ผลตอบสนองทางความถี่ของวงจรคริสตอลออสซิลเลเตอร์ 10.245 เมกะเฮิรทซ์



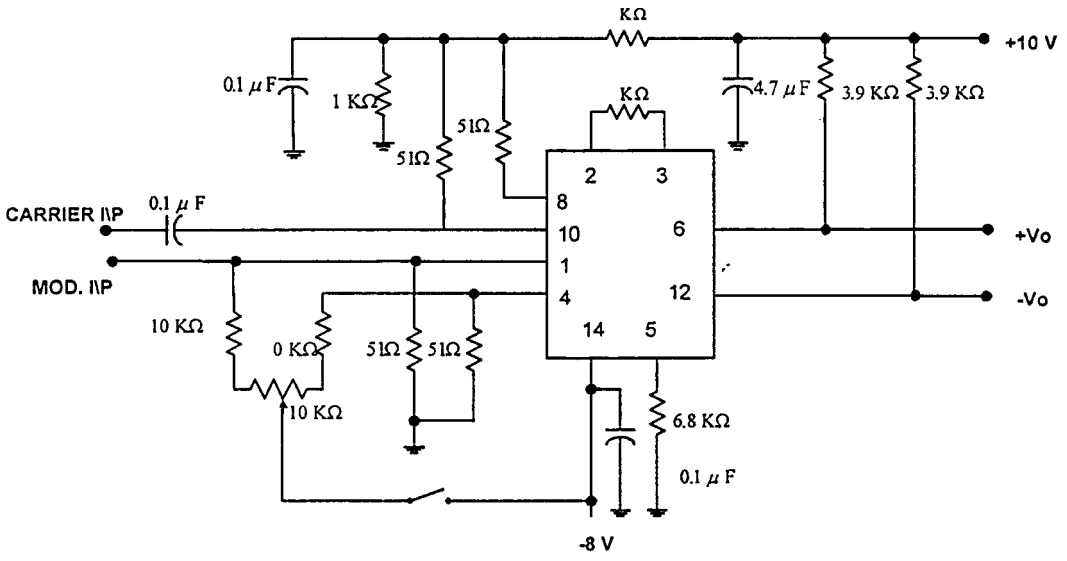
รูปที่ 3.3.3 แสดงการเกิดการออสซิลเลทของวงจรคริสตอลออสซิลเลเตอร์ 10.245 เมกะเฮิรทซ์

3.4 วงจรมิกเซอร์ (Mixer)

วงจรมิกเซอร์ทำหน้าที่ในการย้ายความถี่ของสัญญาณไปไว้ในช่วงความถี่ที่เหมาะสม ทั้งนี้เพื่อความสะดวกในการกำจัดความถี่เงา (image frequency) ในที่นี้ประกอบด้วยวงจรมิกเซอร์จำนวน 2 ตัว มิกเซอร์ตัวแรกผสมสัญญาณโดยใช้สัญญาณพาหะ (carrier signal)ช่วงความถี่ 10.7- 11.7 เมกะเฮิร์ซ มิกเซอร์ตัวที่สองผสมสัญญาณโดยใช้สัญญาณพาหะ 10.245 เมกะเฮิร์ซ

การออกแบบวงจร

วงจรมิกเซอร์จะใช้หลักการของดิฟเฟอร์เรนเชียลแอมปลิฟลายเออร์ในการคูณสัญญาณ ในโครงงานนี้จะใช้วงจรซึ่งประกอบด้วยไอซีเบอร์ LM 1496 , รีซีสเตอร์ , คาปาซิเตอร์ค่าต่างๆ ดังรูปที่ 3.4.1



รูปที่ 3.4.1 วงจรมิกเซอร์โดยใช้ IC เบอร์ LM 1496

3.5 วงจรกรองช่วงความถี่ (Bandpass Filter)

ในภาคการศึกษานี้ได้ทำการออกแบบวงจรกรองช่วงความถี่ 455 KHz โดยใช้แบบ passive filter ซึ่งมี L ,C เป็นส่วนประกอบ และใช้ออปแอมป์ LF 351 เป็นตัว buffer ที่มีการป้อนกลับแบบลบใช้ในการควบคุมอัตราขยายเพื่อที่เอาท์พุทที่ออกจาก Bandpass Filter มีขนาดเท่ากันเมื่อมีการปรับค่า bandwidth ที่ค่าต่างๆกัน

จาก $W_0^2 = 1 / LC$

$f_0 = 1 / 2\pi(LC)^{1/2}$

และ $Q = f_0 / BW$

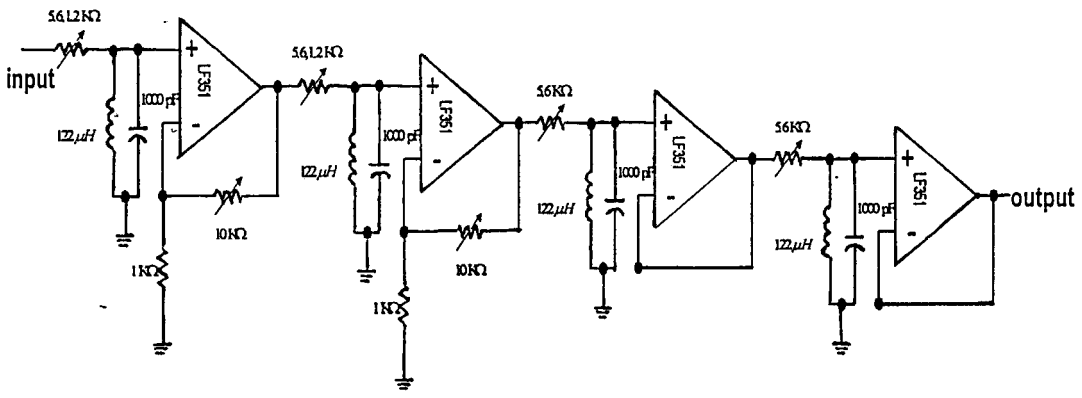
ความถี่ cutoff 455 KHz กำหนดค่า C = 1000 pF

เพราะฉะนั้น $L = 1 / [(2\pi f_0)^2 * C$

$= 1/ [(2\pi * 455 * 10^3)^2 * 1000 * 10^{-12}]$

$= 122.35\ \mu H$

แสดงวงจร Bandpass Filter ที่ออกแบบได้ดังรูป



รูปที่ 3.5.1 วงจร Bandpass Filter แบบ passive 4 stageที่ออกแบบได้

จากวงจรที่ประกอบด้วยหลายๆ stage จะมีค่า bandwidth ที่แคบกว่าวงจรที่มีน้อย stage เนื่องจากมีการกรองความถี่หลายครั้งกว่า

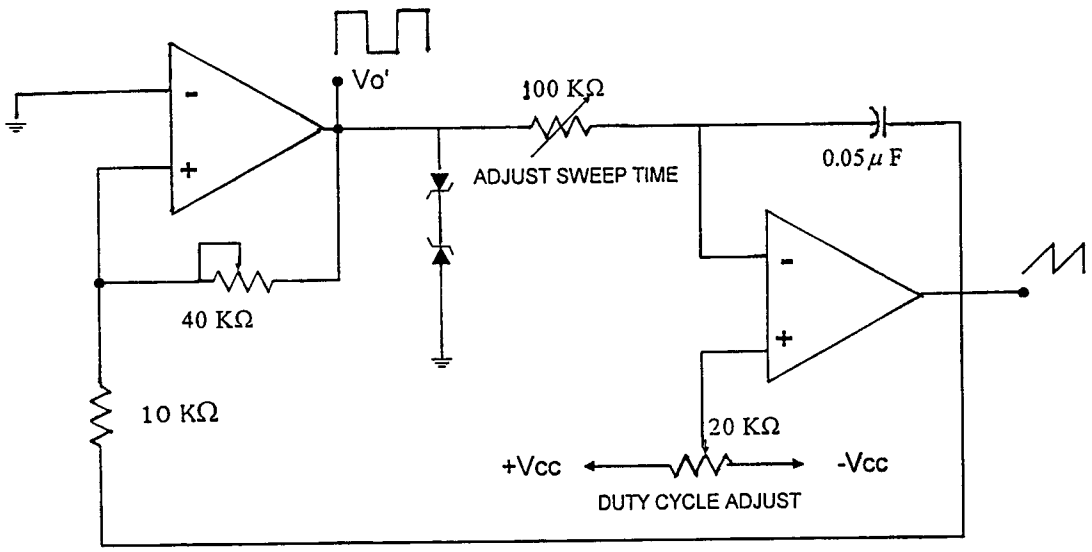
ดังนั้นวงจรกรองช่วงความถี่ 10 KHz จึงใช้วงจรแบบ 4 stage

วงจรกรองช่วงความถี่ 100 KHz ใช้วงจรแบบ 2 stage แรกเท่านั้น และเปลี่ยนค่า resistance ทางด้านอินพุทก่อนเข้าแต่ละ stage ซึ่งเป็นตัวเปลี่ยน bandwidth ของวงจร โดยใช้สวิทซ์เป็นตัวควบคุม

สอง stage แรกของแต่ละค่า bandwidth จะมีการขยายแบบลบ เพื่อให้ขนาดสัญญาณที่ออกจากวงจรกรองช่วงความถี่มีค่าเท่ากันทั้งสองค่า bandwidth

3.6 วงจรสัญญาณฟันเลื่อย (Sawtooth Generator)

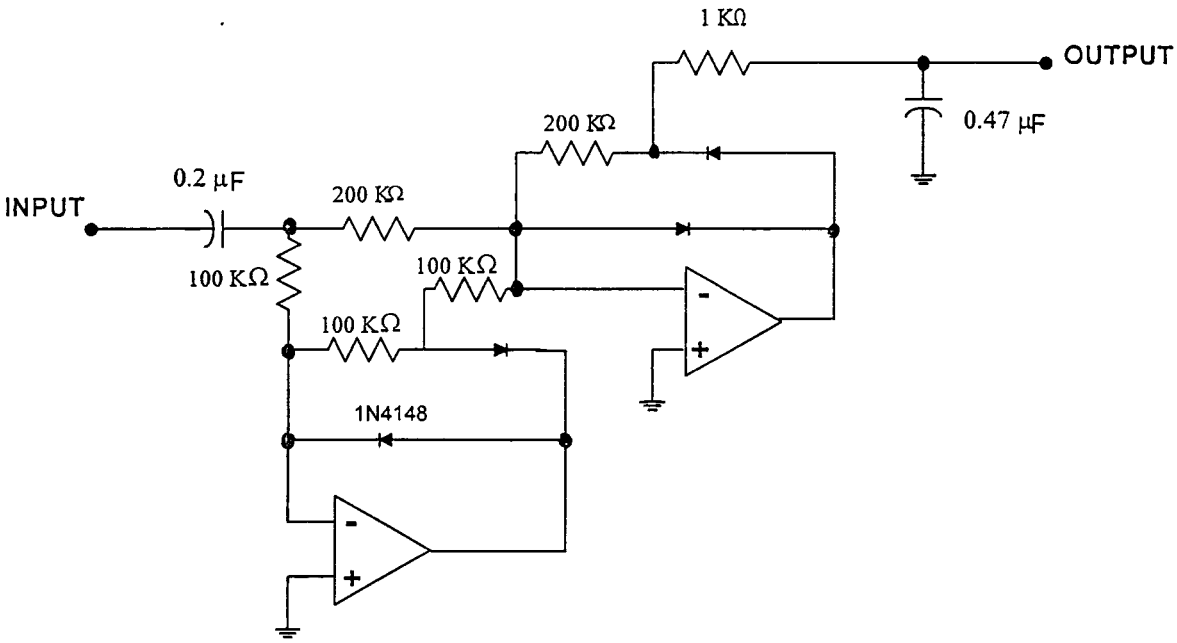
จากรูปที่ 3.6.1 ค่าดิวตี้ไซเคิลของสัญญาณฟันเลื่อยขึ้นอยู่กับการปรับค่ารีซีสแตนท์ (R_4) โดยมีช่วงเวลาขาลงน้อยที่สุด การที่จะควบคุมความถี่ของสัญญาณสามารถทำได้โดยการปรับค่ารีซีสแตนท์ (R_3) โดยที่ขนาดของสัญญาณ (peak to peak) นั้นจะขึ้นอยู่กับขนาดของแรงดัน($+V_{CC}$, $-V_{EE}$)ที่ป้อนให้แก่วงจร



รูปที่ 3.6.1 วงจรสร้างสัญญาณฟันเลื่อย

3.7 วงจรดีเทคเตอร์ (Detector)

ในการทดลองนี้ส่วนของวงจรดีเทคเตอร์จะทำการกลับเฟสของสัญญาณไซน์ในช่วงครึ่งลูกสัญญาณ(Half-cycle)ที่มีระดับแรงดันเป็นลบให้มีค่าเป็นบวก จากนั้นจะทำการเปลี่ยนเป็นสัญญาณดีซีออกมา โดยใช้วงจร Full-wave rectifier แสดงดังรูปที่ 3.7.1 ซึ่งจากรูปจะประกอบไปด้วย half-wave precision rectifier



รูปที่ 3.7.1 วงจร Full-wave rectifier ประกอบด้วย Half-wave rectifier

บทที่ 4

การทดลองและผลการทดลอง

ในการทดลองได้ทำการแบ่งการทดลองออกเป็นส่วนๆโดยแต่ละส่วนนั้นจะแสดงวิธีการทดลองและผลที่ได้จากการทดลองนั้น ซึ่งรายละเอียดของหัวข้อต่างๆจะอธิบายดังต่อไปนี้

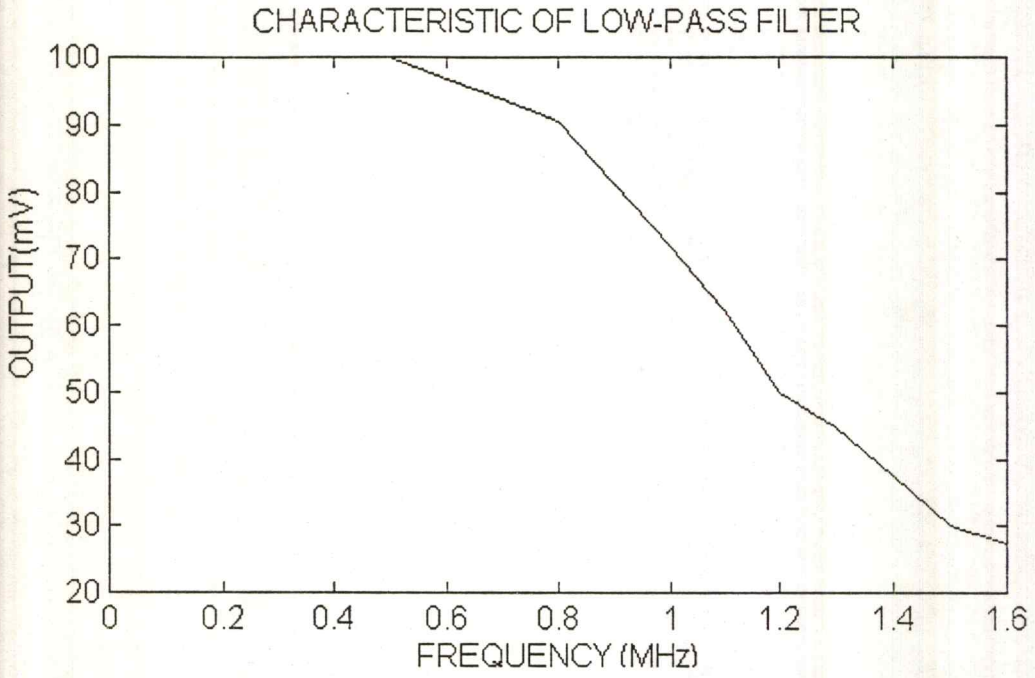
4.1 วงจรกรองความถี่ต่ำ (Lowpass Filter)

ทำการทดลองเพื่อทดสอบคุณสมบัติของวงจรกรองความถี่ต่ำตามรูปที่ 3.1.1 โดยการป้อนสัญญาณที่มีขนาดคงที่ที่ความถี่หนึ่ง เข้าทางด้านอินพุทแล้ววัดขนาดของสัญญาณทางด้านเอาท์พุท จากนั้นก็เปลี่ยนไปยังความถี่อื่น โดยที่รักษาให้ขนาดของสัญญาณอินพุทมีค่าคงที่ทุกความถี่

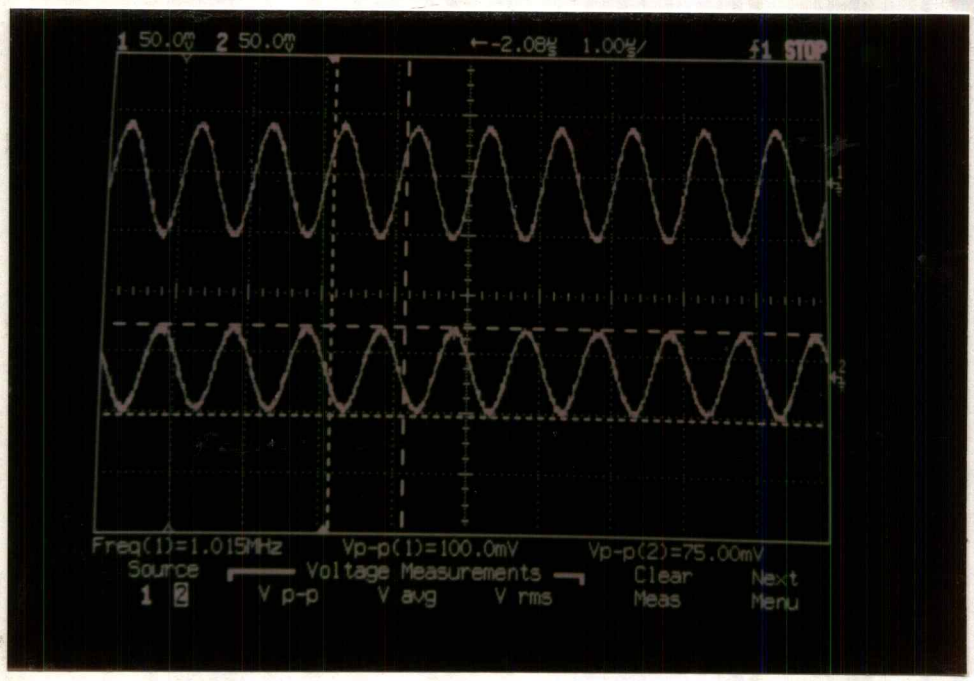
ตารางที่ 4.1.1 แสดงผลการทดลองของวงจรกรองความถี่ต่ำ

ความถี่(KHz)	ขนาดของสัญญาณ (mV)		
(KHz)	อินพุท	เอาท์พุท	เอาท์พุท/อินพุท (dB)
100	100	100	0
200	100	100	0
300	100	100	0
400	100	100	0
500	100	100	0
600	100	96.8	-0.2825
700	100	93.75	-0.5606
800	100	90.62	-0.8555
900	100	81.25	-1.8035
1000	100	75	-2.869
1100	100	62.5	-4.0824
1200	100	50	-6.0206
1300	100	45	-6.9357

เมื่อนำมาพล็อตกราฟจะได้กราฟแสดงคุณลักษณะของวงจรกรองความถี่ต่ำดังรูปที่ 4.1.2 และรูปที่ 4.1.3 จะแสดงค่าความถี่คัทออฟเมื่อทำการป้อนสัญญาณอินพุท 100 mV [CH1] จะได้ความถี่คัทออฟ 75 mV [CH2]



รูปที่ 4.1.1 กราฟแสดงคุณลักษณะของวงจรกรองความถี่ต่ำที่วัดได้



รูปที่ 4.7.2 แสดงค่าที่ความถี่คัทออฟของความถี่ 1 MHz

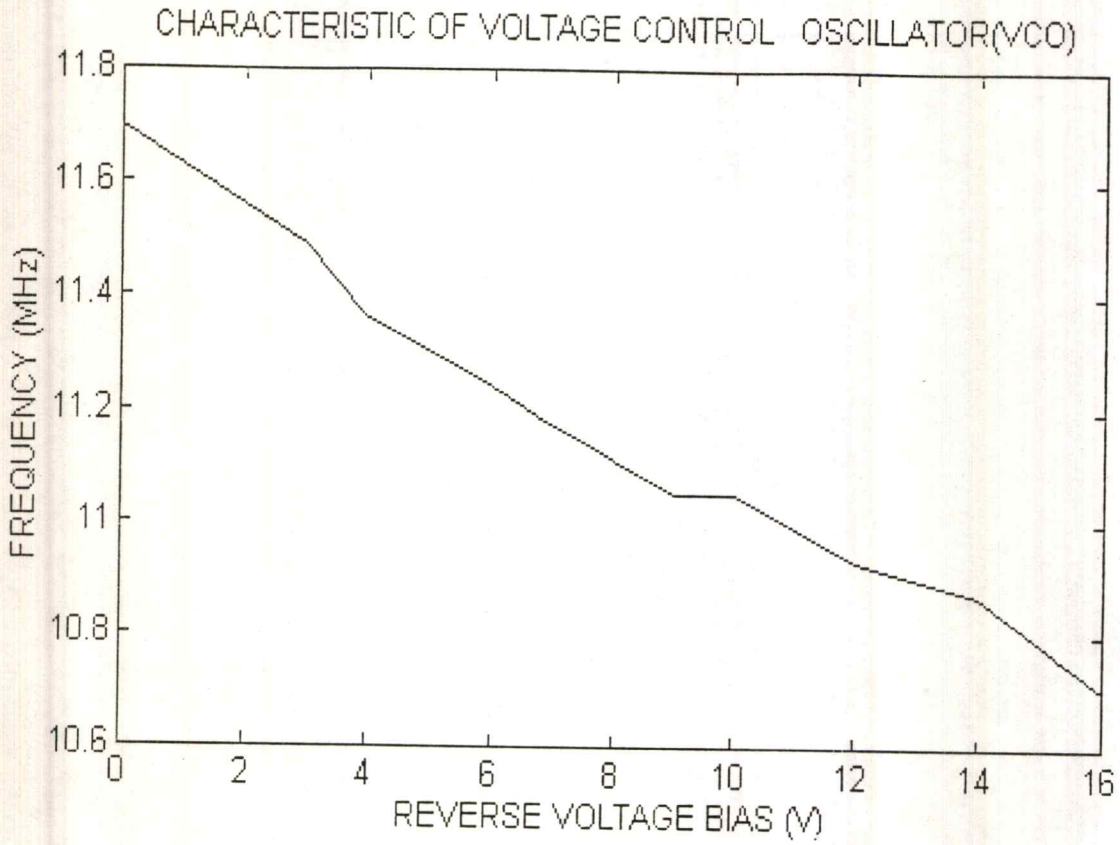
4.2 วงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน (VCO)

ในการทดลองต่อวงจรดังรูปที่ 3.2.1 เมื่อทำการวัดที่เอาท์พุทโหลด 50 โอห์ม จะได้ผลการทดลองแสดงความสัมพันธ์ระหว่างโวลท์เตจที่ไบอัสและความถี่ที่เปลี่ยนไปดังตารางที่ 4.2.1

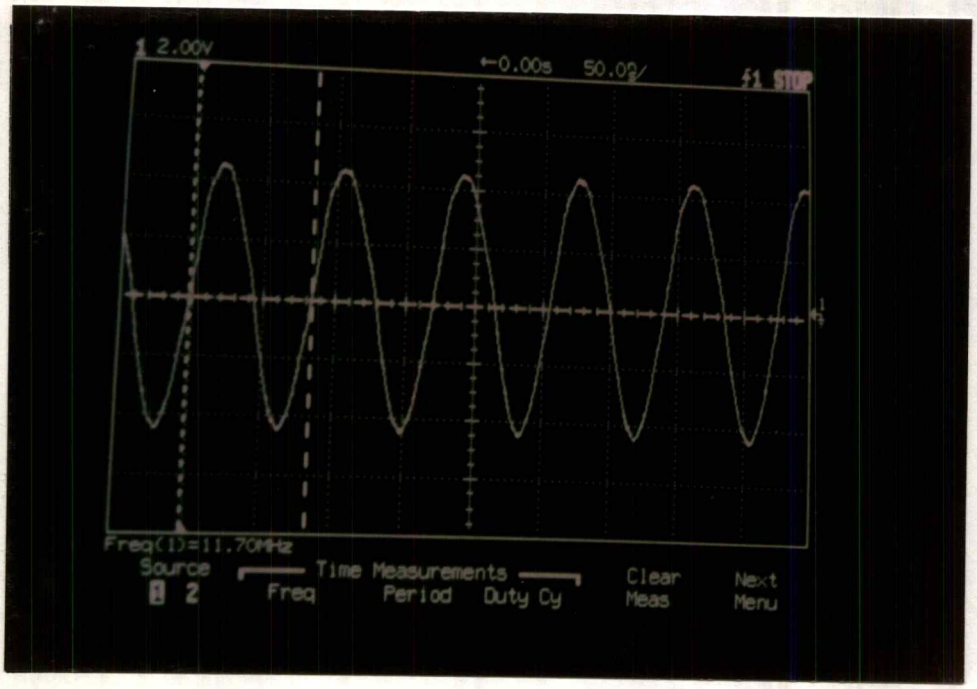
ตารางที่ 4.2.1 แสดงความสัมพันธ์ของโวลท์เตจและความถี่ที่เปลี่ยนไป

REVERSE VOLTAGE BIAS (V)	ความถี่ (MHz)
0	11.70
1	11.63
2	11.56
3	11.49
4	11.36
5	11.30
6	11.24
7	11.17
8	11.11
9	11.05
10	11.05
12	10.93
14	10.87
16	10.70

จากตารางนำมาพล็อตกราฟแสดงความสัมพันธ์ได้ดังรูป



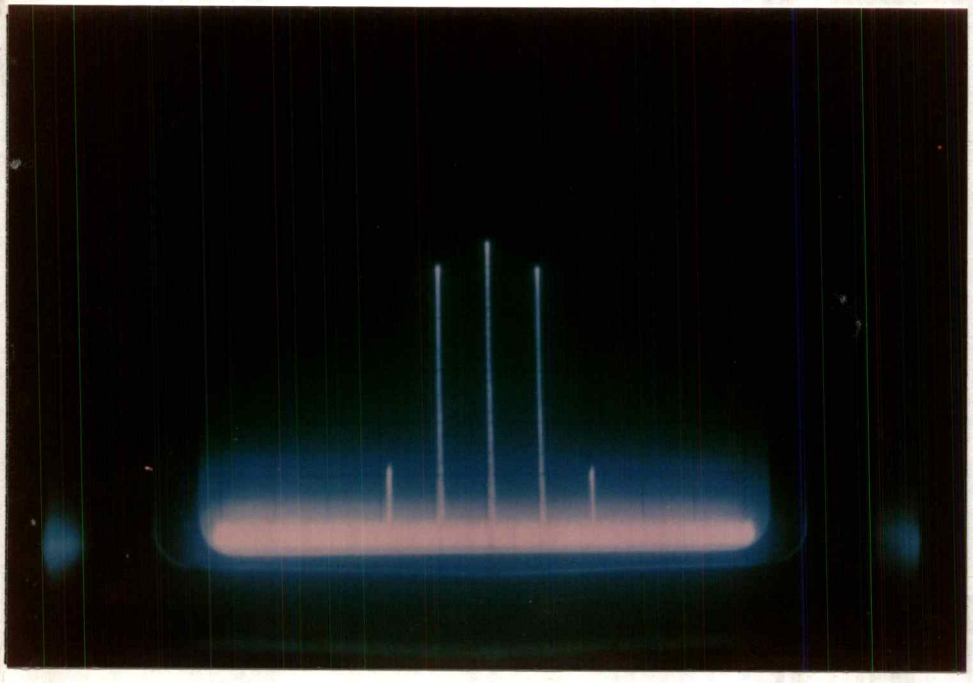
รูปที่ 4.2.1 กราฟแสดงความสัมพันธ์ของโวลท์เตจและความถี่ที่เปลี่ยนไป



รูปที่ 4.2.2 แสดงสัญญาณรูปซายน์ที่เกิดจากการออสซิลเลทของวงจร ณ ความถี่ 11.7 MHz

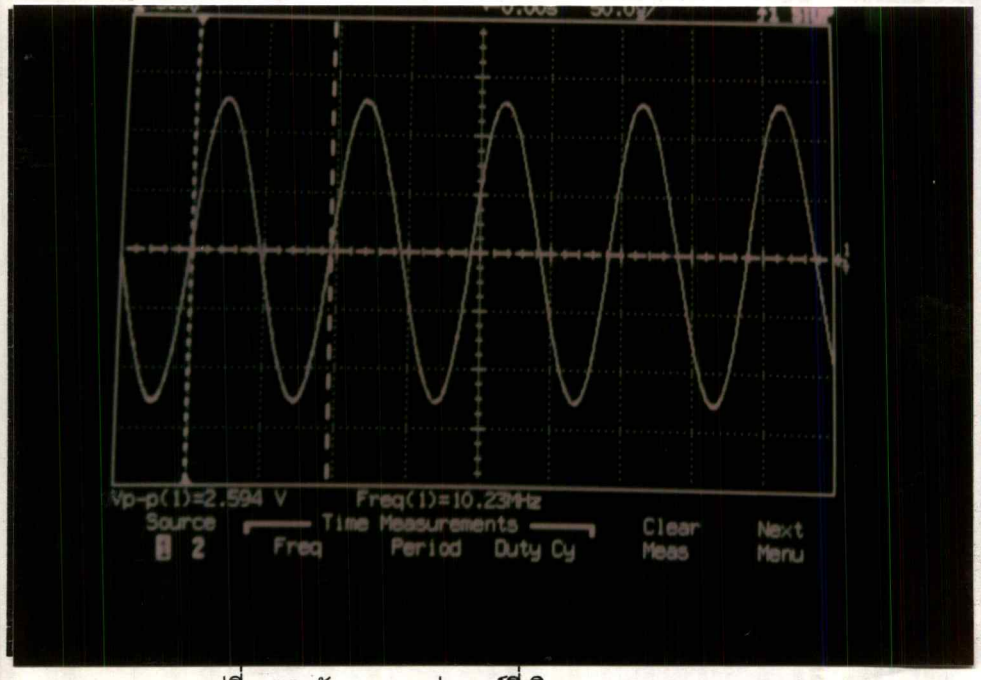
4.3 วงจรคริสตอลออสซิลเลเตอร์ (Crystal Oscillator)

ในการทดลองต่อวงจรดังรูปที่ 3.3.1 เมื่อทำการวัดเอาท์พุทที่โหลด 50 โอห์ม จะได้ผลดังรูป



รูปที่ 4.3.1 สเปกตรัมความถี่ของวงจรคริสตอลออสซิลเลเตอร์

จากรูปที่ 4.3.1 จะเป็นผลที่วัดจากสเปกตรัมอนาไลเซอร์ (กำหนดให้แนวนอนมีค่า 10 เมกะเฮิรทซ์ต่อช่อง) จะเกิดการออสซิลเลทได้กำลังงาน 0 เดซิเบลมิลลิวัตต์ (dBm) ที่ความถี่ 10.245 เมกะเฮิรทซ์ และก็จะเกิดการออสซิลเลทที่ฮาร์โมนิคอื่นๆอีก คือที่ 20 เมกะเฮิรทซ์ โดยจะมีกำลังงานลดลงไปตามลำดับ ดังรูปที่ 4.3.1



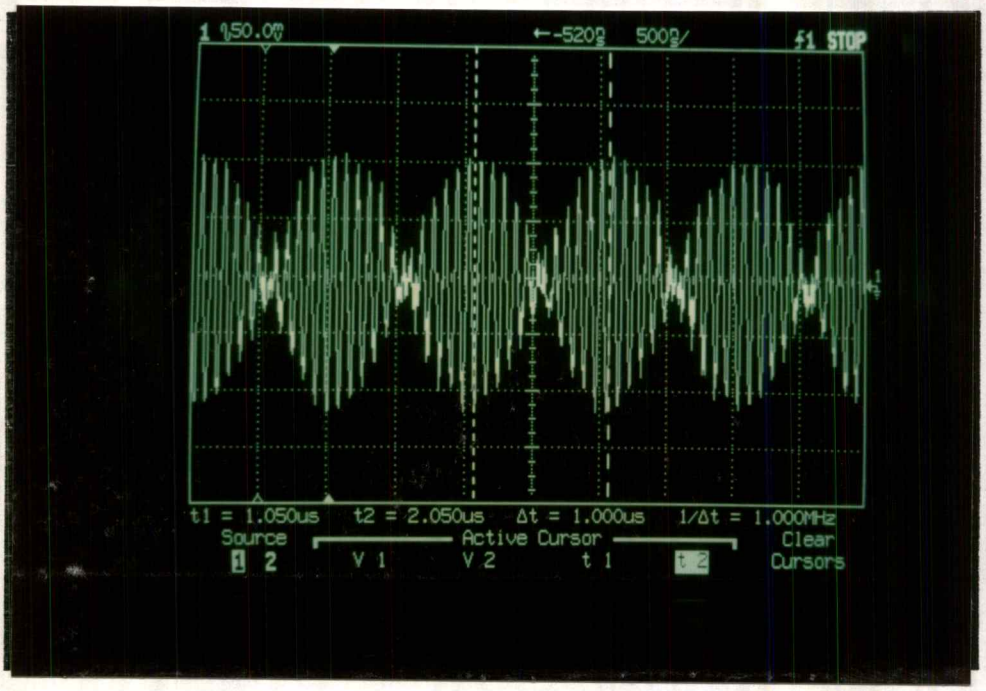
รูปที่ 4.3.2 สัญญาณรูปซายน์ที่เกิดจากวงจร

รูปที่ 4.3.3 ความถี่ของวงจรโดยวัดจากเครื่องนับความถี่ (Frequency Counter)

จากรูปที่ 4.3.2 แสดงการออสซิลเลทของวงจรโดยมีระดับสัญญาณ 2.594 V และในรูปที่ 4.3.3 เมื่อวัดความถี่โดยใช้เครื่องนับความถี่จะได้ค่าความถี่เท่ากับ 10.245 เมกะเฮิรทซ์

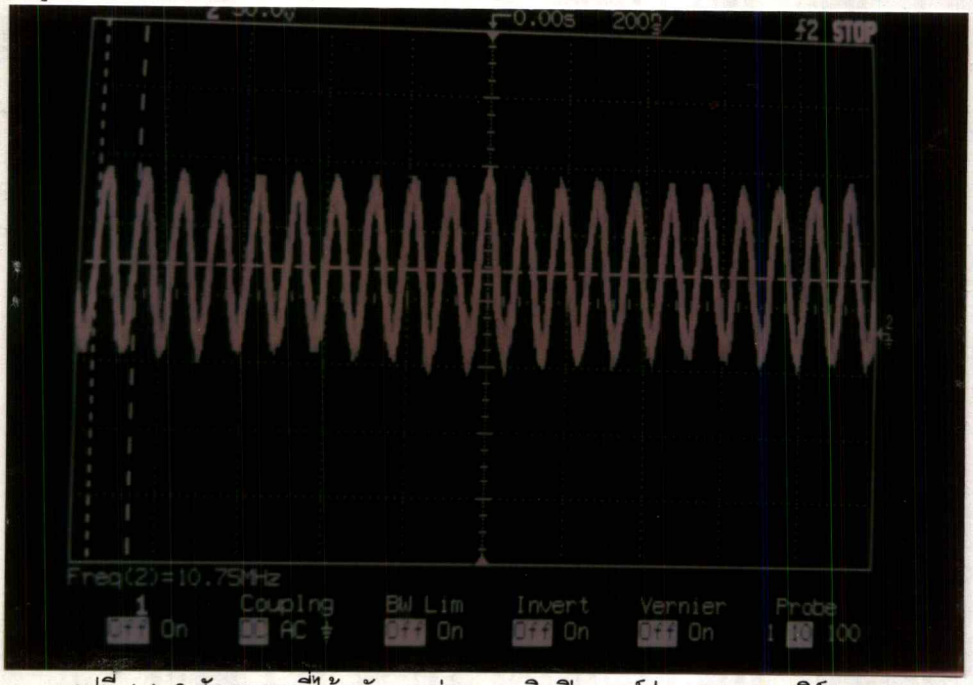
4.4 วงจรมิกเซอร์ (MIXER)

จากวงจรรูปที่ 3.4.1เมื่อทำการป้อนสัญญาณความถี่ 11.7 เมกะเฮิร์ซ และสัญญาณความถี่ 1 เมกะเฮิร์ซ สัญญาณเอาท์พุทที่ได้แสดงดังรูปที่ 4.4.1



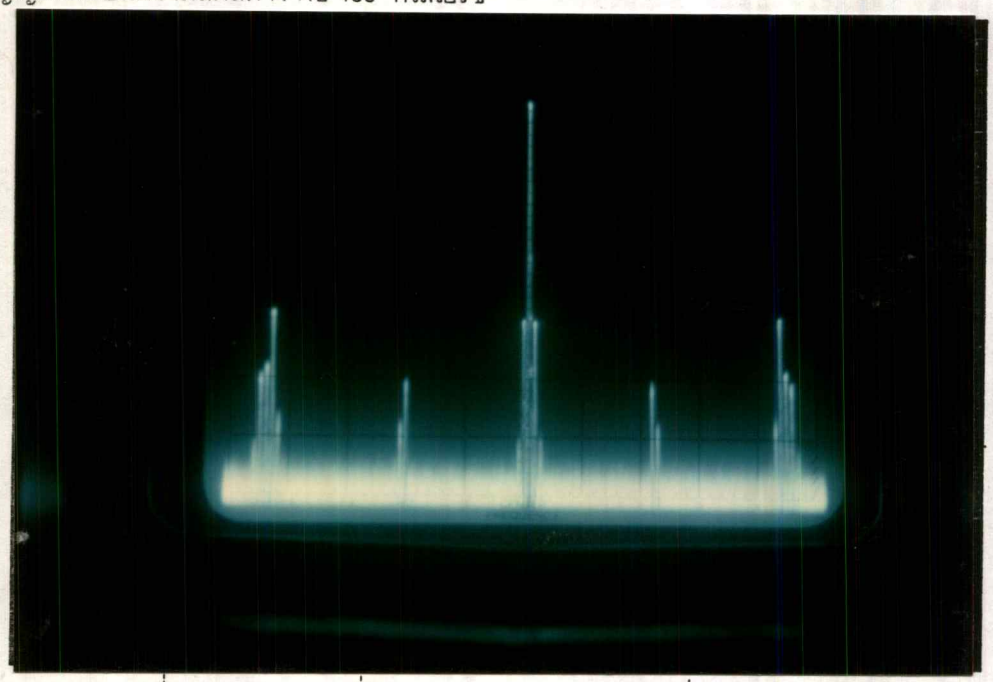
รูปที่ 4.4.1 สัญญาณที่ได้จากการคูณสัญญาณความถี่ 11.7 เมกะเฮิร์ซ และ สัญญาณความถี่ 1 เมกะเฮิร์ซ

เมื่อนำสัญญาณเอาท์พุทที่ได้ผ่านเซรามิกฟิลเตอร์ 10.7 เมกะเฮิร์ซจะได้สัญญาณความถี่ 10.7 เมกะเฮิร์ซ ดังรูปที่ 4.4.2



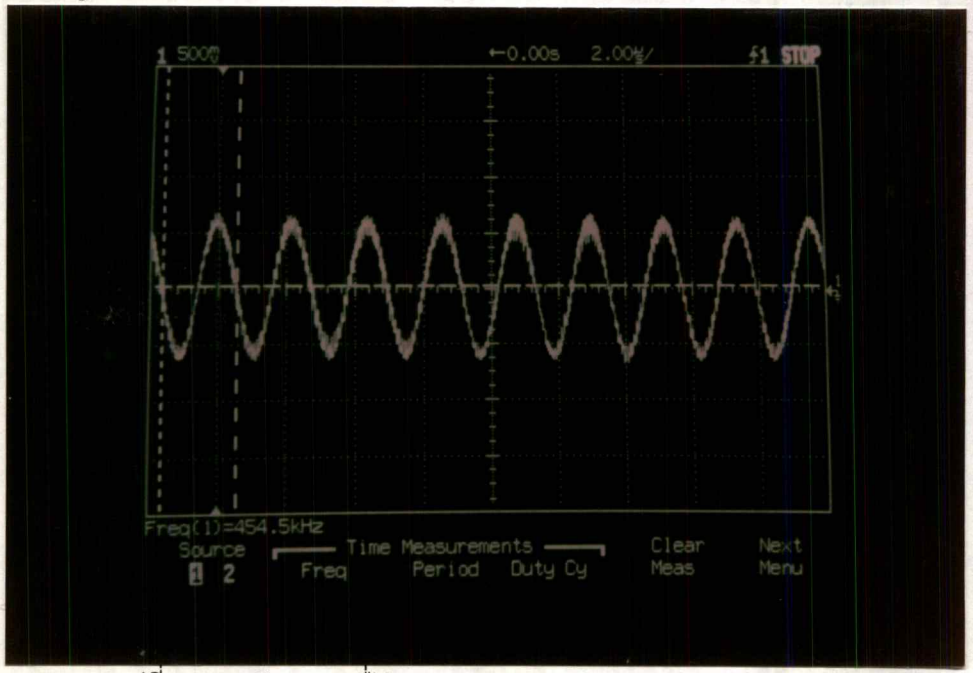
รูปที่ 4.4 .2 สัญญาณที่ได้หลังจากผ่านเซรามิกฟิลเตอร์ค่า 10.7 เมกะเฮิร์ซ

ในทำนองเดียวกัน เมื่อป้อนสัญญาณความถี่ 10.7 เมกะเฮิร์ซและสัญญาณความถี่ 10.245 เมกะเฮิร์ซ เมื่อวัดสัญญาณด้วยสเปคตรัมอนาไลเซอร์จะได้ ดังรูปที่ 4.4.3 ซึ่งประกอบด้วยสัญญาณ10.7 เมกะเฮิร์ซ, สัญญาณความถี่ 10.245 เมกะเฮิร์ซ, สัญญาณที่เป็นความถี่ผลบวก คือ 20.945 เมกะเฮิร์ซ และสัญญาณที่เป็นความถี่ผลต่าง คือ 455 กิโลเฮิร์ซ



รูปที่ 4.4.3 สัญญาณที่ได้จากการคูณสัญญาณความถี่ 10.7 เมกะเฮิร์ซ และ
สัญญาณความถี่ 10.245 เมกะเฮิร์ซ โดยใช้สเปคตรัมอนาไลเซอร์

แล้วนำสัญญาณเอาท์พุทที่ได้ผ่านพาสซีพฟิลเตอร์ 455 กิโลเฮิร์ซ จะได้สัญญาณความถี่ 455 กิโลเฮิร์ซ ดังในรูปที่ 4.4.4



รูปที่ 4.4 .4 สัญญาณที่ได้หลังจากผ่านเซรามิกฟิลเตอร์ 455 กิโลเฮิร์ซ

4.5 วงจรกรองช่วงความถี่ (Bandpass Filter)

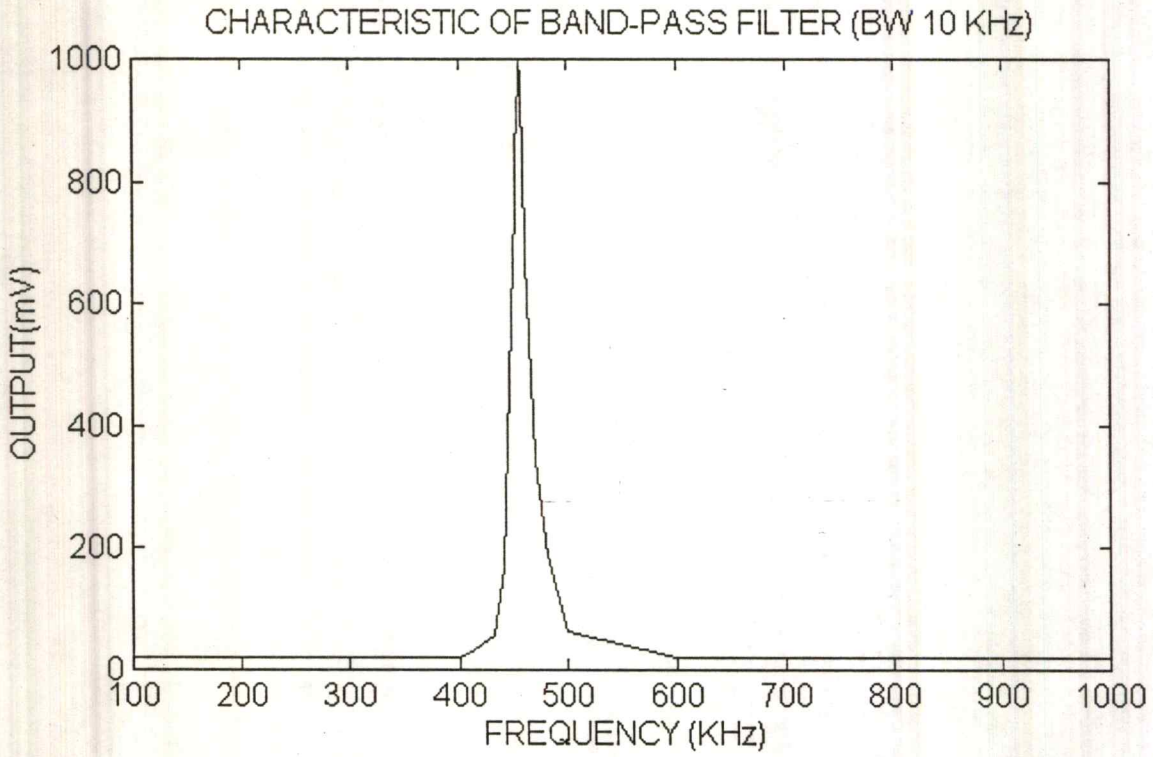
ทำการทดลองโดยป้อนสัญญาณอินพุทขนาด 1 โวลต์ ใช้ไฟเลี้ยงออปแอมป์ LF 351 ที่ขา4 ($-V_{cc}$ = -10 V) และที่ขา 8 (V_{cc} = +10 V) ได้ค่าเอาท์พุทดังตาราง

ความถี่ (KHz)	ขนาดเอาท์พุท BPF 10 KHz (mV)	ขนาดเอาท์พุท BPF 100 KHz (mV)
100	31.25	18.75
200	46	18.75
300	125	18.75
400	594	18.75
410	703	31.25
420	824	43.75
430	906	56.25
440	984	168.7
450	1000	675
455	1000	1000
460	1000	718
470	984	384
480	922	187.5
500	769	62.5
600	626	18.75
1000	62	18.75

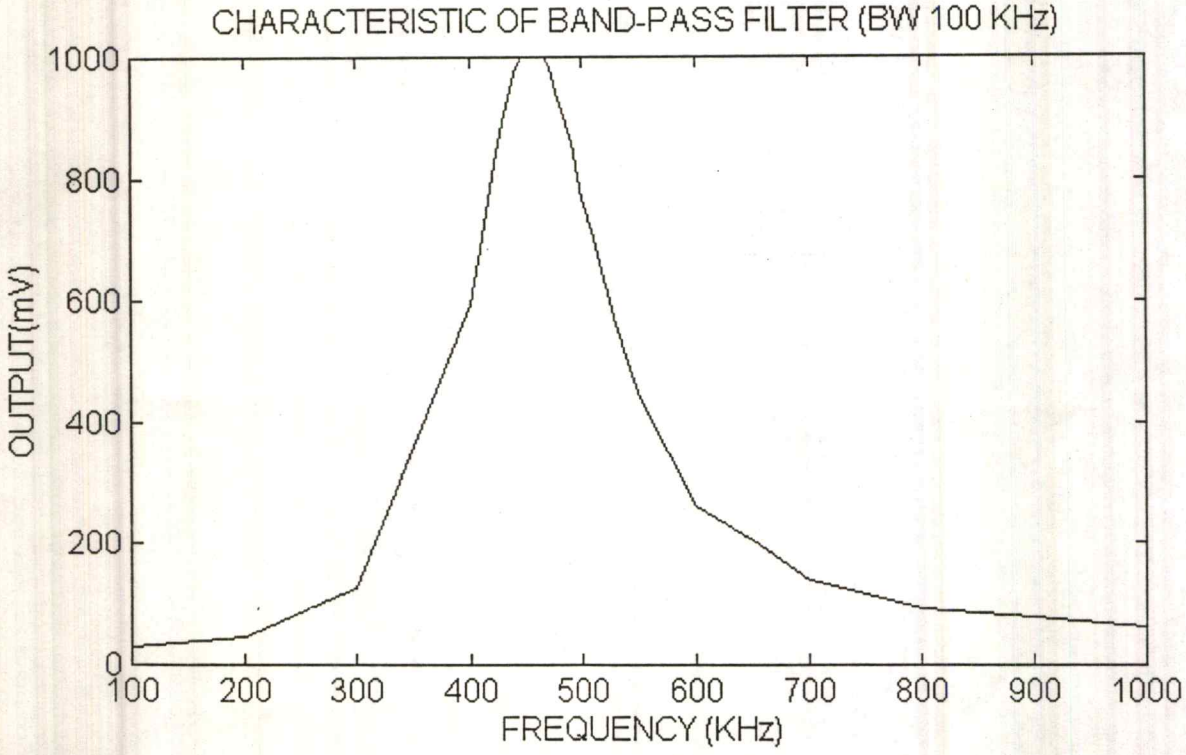
ตารางที่ 4.5.1 ค่าอินพุทและเอาท์พุทที่ได้จากวงจร Bandpass Filter แบบ passive ทั้งสองค่า Bandwidth 10 KHz และ100 KHz ได้ค่า

$$Q = f_o / BW = (455*1000)/(10*1000) = 45.5$$

$$Q = f_o / BW = (455*1000)/(100*1000) = 4.55$$



รูปที่ 4.5.1 ความสัมพันธ์ระหว่างอินพุทกับเอาท์พุทที่ได้จากวงจร Bandpass Filter BW 10 KHz จากวงจร 4 stage



รูปที่ 4.5.2 ความสัมพันธ์ระหว่างอินพุทกับเอาท์พุทที่ได้จากวงจร Bandpass Filter BW 100 KHz จากวงจร 2 stage

4.6 วงจรสร้างสัญญาณฟันเลื่อย (Sawtooth Generator)

เมื่อทำการทดลองโดยการต่อวงจรตามรูปที่ 3.6.1 จะได้สัญญาณฟันเลื่อยซึ่งมีช่วงเวลาขาขึ้นต่างกัน ที่มีขนาดประมาณ 8 โวลท์ซึ่งเป็นค่าที่ควบคุมวงจรออสซิลเลเตอร์ควบคุมด้วยแรงดันให้ได้ช่วงความถี่ 1 MHz คือ

1) 50 mS วัดขนาดเอาท์พุทได้ 7.9 V

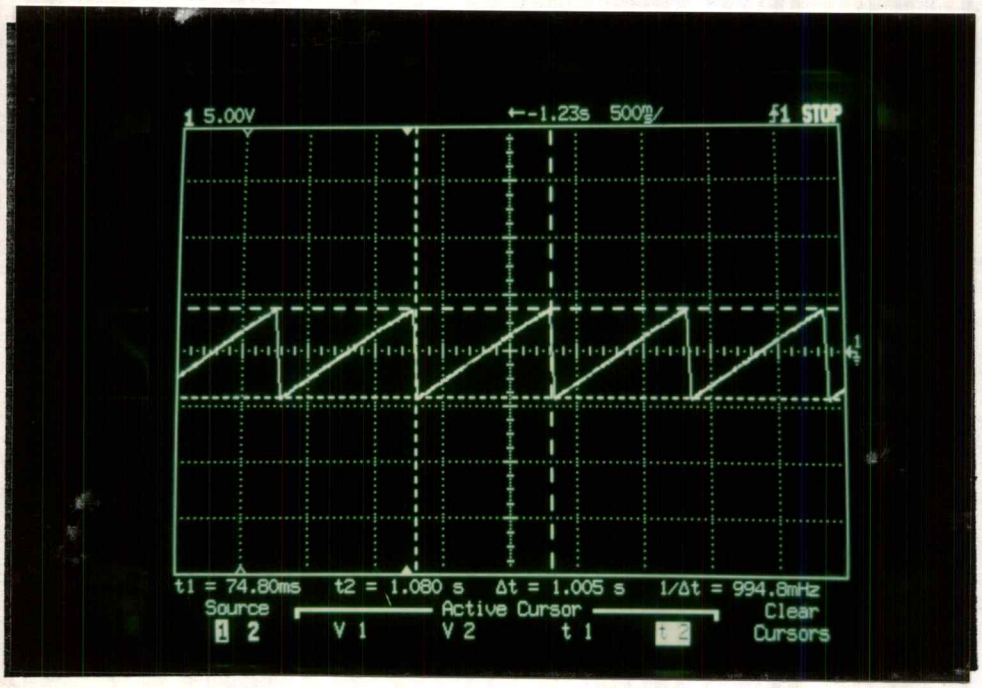
2) 300 mS วัดขนาดเอาท์พุทได้ 7.9 V

3) 1 S วัดขนาดเอาท์พุทได้ 8.125 V

4) 5 S วัดขนาดเอาท์พุทได้ 8.125 V

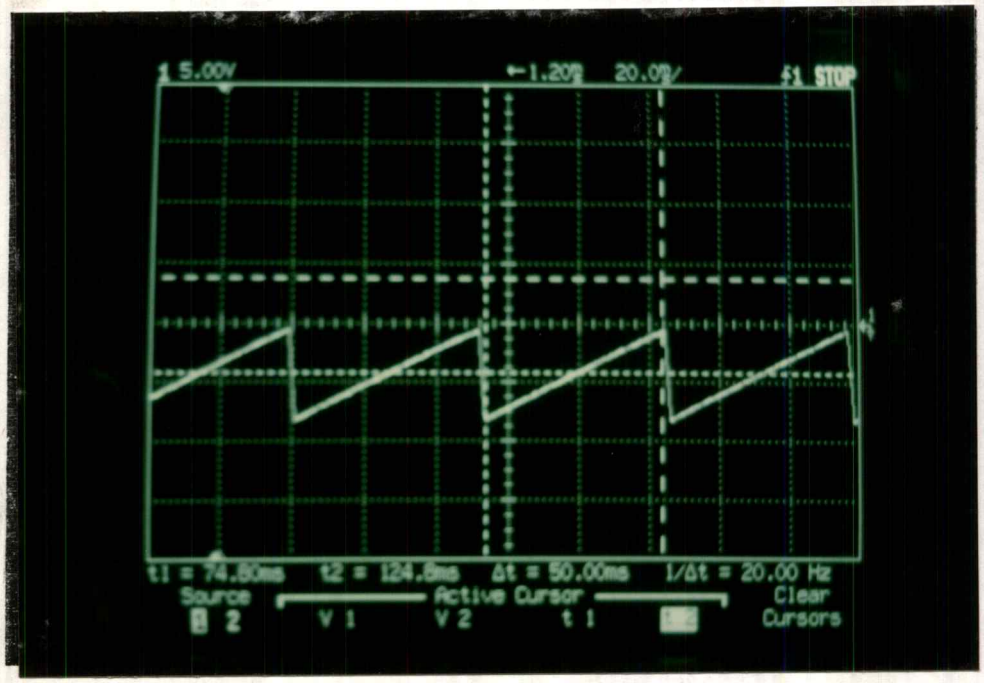
จากสัญญาณฟันเลื่อยที่ได้นำมาเข้า summing amplifier ซึ่งเป็นการเปลี่ยนระดับแรงดันของสัญญาณที่ป้อนให้แก่วงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน(reverse bias) ทำให้สามารถปรับช่วงความถี่ที่ต้องการพิจารณา(frequency fine tune)

จากรูปที่ 4.6.1 แสดงสัญญาณฟันเลื่อย 1S ซึ่งระดับแรงดันที่ควบคุมวงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน(reverse bias) คือช่วงระดับแรงดันที่ประมาณ -4 โวลท์ ถึง 0 โวลท์



รูปที่ 4.6.1 แสดงสัญญาณฟันเลื่อย 1 S ขนาด 8.125 โวลท์

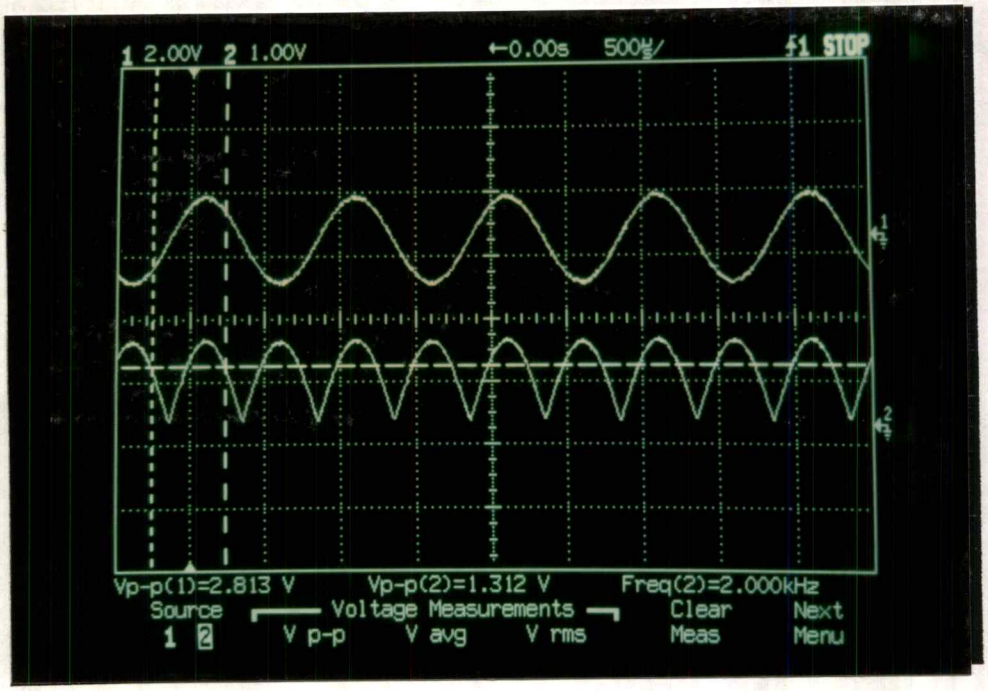
จากรูปที่ 4.6.2 แสดงสัญญาณฟันเลื่อย 50mS ซึ่งระดับแรงดันที่ควบคุมวงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน(reverse bias) คือช่วงระดับแรงดันที่ประมาณ -8 โวลท์ ถึง 0 โวลท์ ให้มีการเปลี่ยนแปลงความถี่ 0 - 1 MHz



รูปที่ 4.6.2 แสดงสัญญาณฟันเลื่อย 50 mS ขนาด 7.9 โวลท์

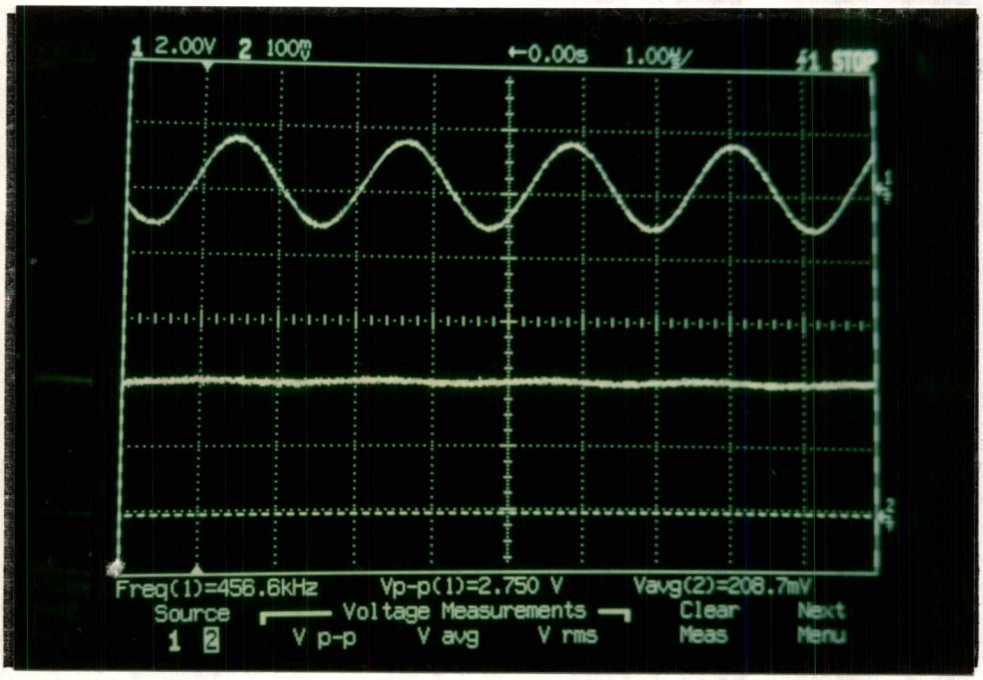
4.7 วงจรดีเทคเตอร์ (Detector)

จากวงจรในรูปที่ 3.7.1 เมื่อป้อนสัญญาณรูปไซน์ (ช่องสัญญาณที่ 1) เข้าที่อินพุท สัญญาณเอาท์พุท(Full-wave)ที่ได้จาก Full-wave rectifier (สัญญาณเอาท์พุทของFull-wave rectifier วัดที่จุดต่อระหว่างรีซีสเตอร์ 200 กิโลโอห์ม , ไดโอด และรีสเตอร์ 1 กิโลโอห์ม) จะมีความถี่เป็นสองเท่าของสัญญาณอินพุท แสดงได้ดังรูปที่ 4 .7.1 (ช่องสัญญาณที่ 2)



รูปที่ 4.7.1 แสดงสัญญาณเอาท์พุท (Full-wave)ที่ได้จากวงจร Full-wave rectifier

สัญญาณเอาท์พุทที่ได้จะผ่านวงจร Low-pass Filter อย่างง่ายที่ต่อจากวงจร Full-wave rectifier เพื่อเปลี่ยนให้เป็นสัญญาณไฟดีซี รูปที่ 4.7.2 แสดงสัญญาณเอาท์พุทที่ได้จากวงจรในรูปที่ 3.7.1 (ช่องสัญญาณที่ 2) ซึ่งเป็นสัญญาณไฟดีซี จากการป้อนสัญญาณความถี่ 455 กิโลเฮิร์ซ (ช่องสัญญาณที่ 1) เข้าที่อินพุทของวงจร

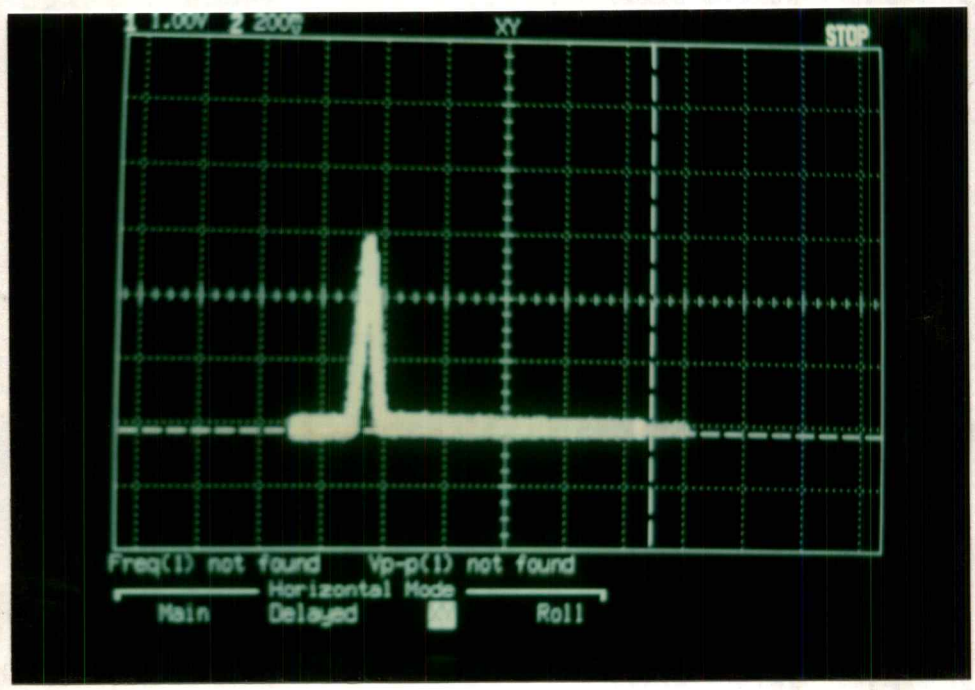


รูปที่ 4.7.2 แสดงสัญญาณเอาท์พุทที่ได้จากวงจรรูปที่ 3.7.1จากสัญญาณอินพุท ความถี่ 455 กิโลเฮิร์ซ

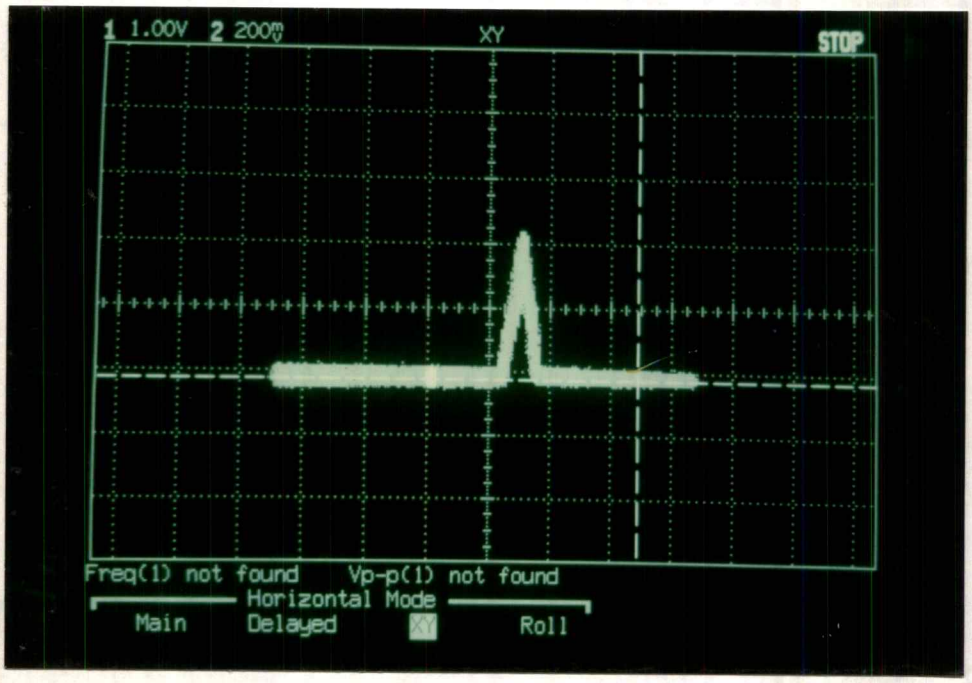
4.8 ผลการทดลองสเปคตรัมอนาไลเซอร์

จากแต่ละวงจรที่ออกแบบเมื่อนำมาประกอบรวมกัน ปัญหาที่เกิดขึ้น คือ แต่ละวงจรไม่แมชชิ่ง (matching)กัน จึงมีความจำเป็นที่จะต้องใช้วงจรขยายสัญญาณ, วงจรลดทอนสัญญาณ, วงจรบัฟเฟอร์ เพื่อขจัดปัญหานี้

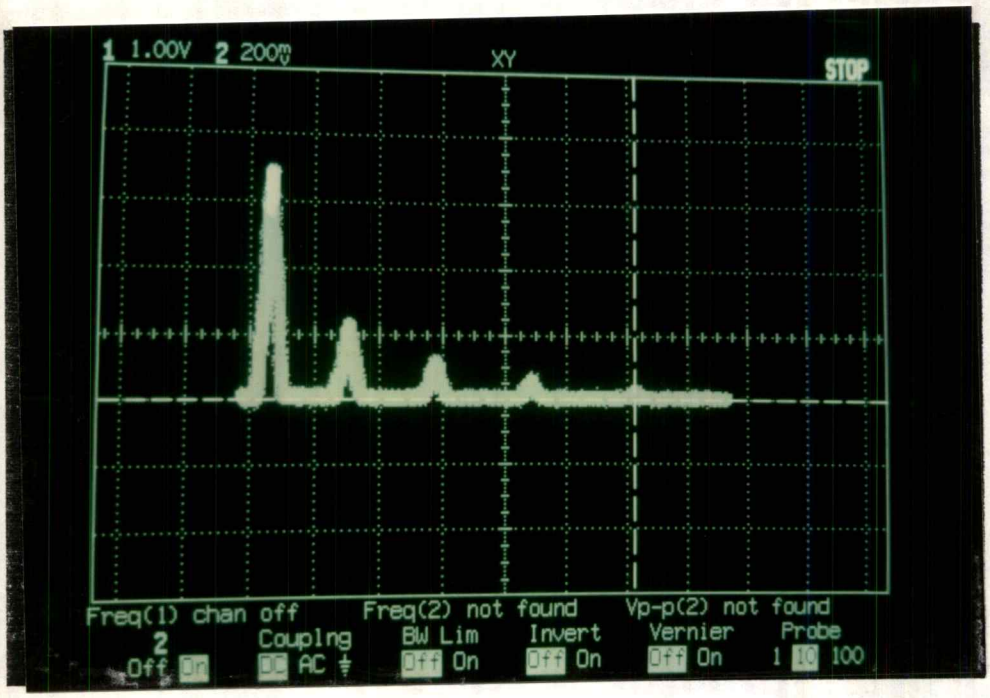
ผลจากการทดลองใช้สเปคตรัมอนาไลเซอร์ที่สร้างขึ้นวัดสัญญาณต่างๆ ให้ผลดังรูปที่ 4.8.1-4.8.5



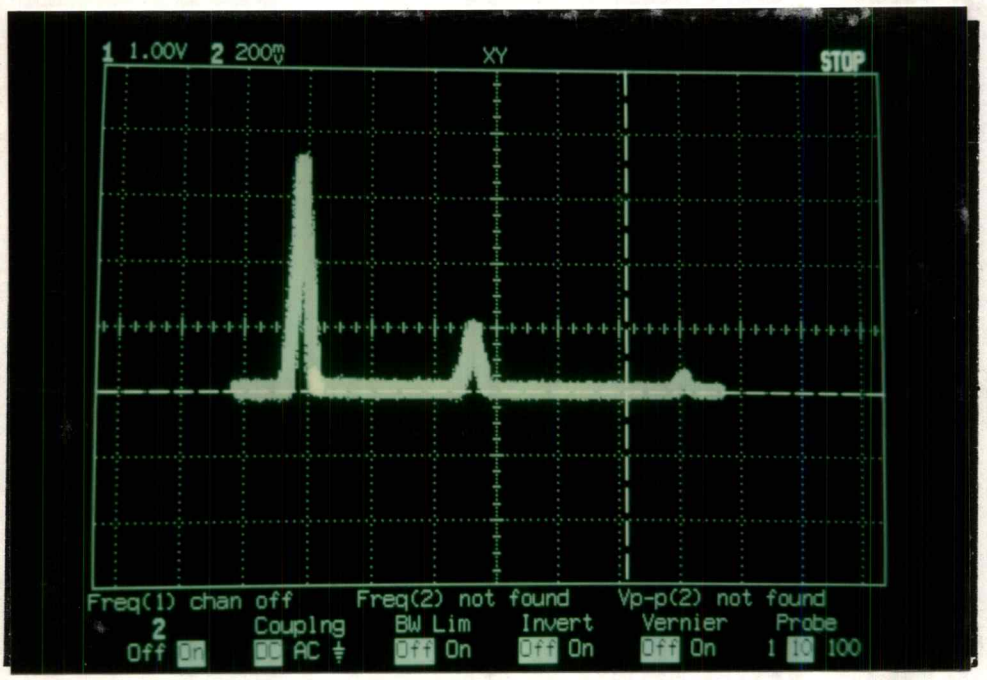
รูปที่ 4.8.1 แสดงการวัดสัญญาณไซน์ 200 KHz ขนาด 600 mV



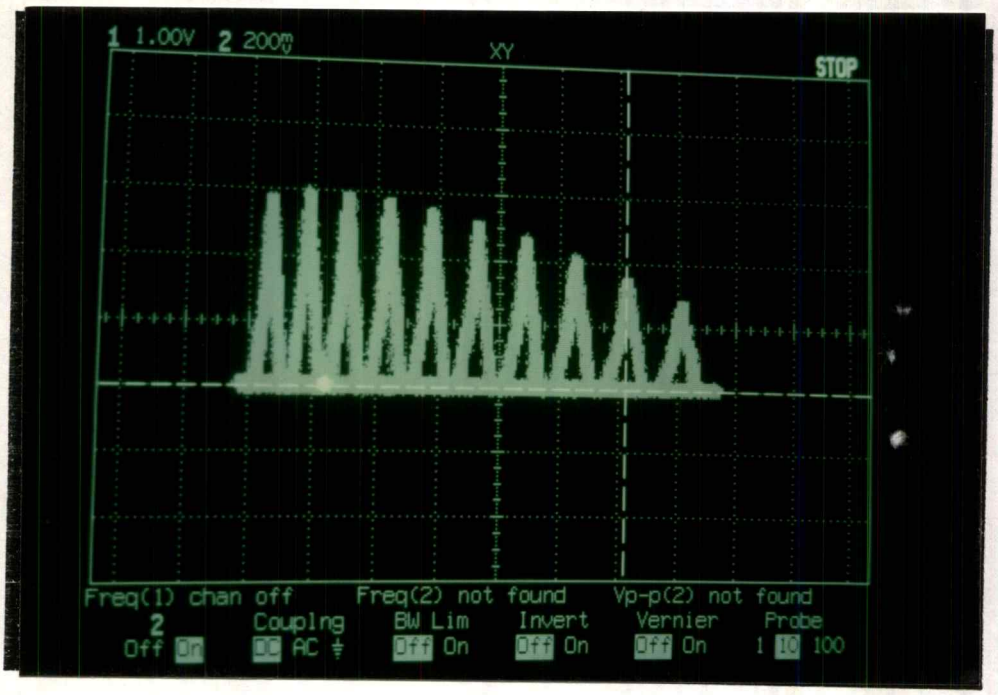
รูปที่ 4.8.2 แสดงการวัดสัญญาณไซน์ 600 KHz ขนาด 400 mV



รูปที่ 4.8.3 แสดงการวัดสัญญาณสี่เหลี่ยม(square wave) 100 KHz ขนาด 700 mV จะเกิดสัญญาณฮาร์โมนิคที่(3) 300 KHz, ฮาร์โมนิคที่(5) 500 KHz, ฮาร์โมนิคที่(7) 700 KHz, ฮาร์โมนิคที่(9) 900 KHz



รูปที่ 4.8.4 แสดงการวัดสัญญาณสี่เหลี่ยม(square wave) 200 KHz ขนาด 700 mV จะเกิดสัญญาณฮาร์โมนิคที่(3) 600 KHz, ฮาร์โมนิคที่(5) 1MHz



รูปที่ 4.8.5 แสดงการวัดสัญญาณไซน์ที่ความถี่ต่างๆกันตั้งแต่ 100 KHz - 1 MHz ขนาด 600 mV

บทที่ 5

บทสรุปและบทวิจารณ์

การทดลองในครั้งนี้ได้ทำการศึกษาส่วนประกอบต่างๆของสเปคตรัมอนาไลเซอร์ ซึ่งประกอบไปด้วยวงจรต่างๆได้แก่ วงจรกรองช่วงความถี่ต่ำ, วงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน, วงจรคริสตอลออสซิลเลเตอร์, วงจรมิกเซอร์, วงจรกรองช่วงความถี่, วงจรสร้างสัญญาณฟันเลื่อย ,วงจรดีเทคเตอร์ ฯลฯ

ในส่วนของวงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน เอาท์พุทที่ได้มีย่านของความถี่ที่ออสซิลเลตไม่คงที่ กล่าวคือมีความคลาดเคลื่อนไปจากช่วงความถี่ที่ต้องการคือตั้งแต่ 10.7 เมกะเฮิร์ซถึง 11.7 เมกะเฮิร์ซบ้างในบางครั้ง ต้องคอยปรับให้มีการออสซิลเลตในช่วง 10.7 เมกะเฮิร์ซถึง 11.7 เมกะเฮิร์ซ

ในส่วนของวงจรกรองช่วงความถี่ ในการทดลองนี้ได้แบ่งแบนด์วิทของวงจรออกเป็น 2 ช่วง คือแบนด์วิท 10 กิโลเฮิร์ซและแบนด์วิท 100 กิโลเฮิร์ซ เมื่อใช้วงจรซึ่งมีแบนด์วิท 100 กิโลเฮิร์ซ การแสดงผลเอาท์พุทรูปสัญญาณที่ได้จะมีความเพี้ยนบ้าง

สำหรับส่วนวงจรดีเทคเตอร์เมื่อทำการ rectify สัญญาณความถี่ 455 กิโลเฮิร์ซ สัญญาณ Full-wave ที่ได้มีความเพี้ยนไปบ้าง แต่ยังคงใช้งานได้

เมื่อทำการต่อวงจรต่างๆเข้าด้วยกัน เอาท์พุทที่ได้สามารถที่จะวัดได้ใกล้เคียงกับช่วงความถี่ที่ต้องการ แต่พบปัญหาในเรื่องของขนาดของสัญญาณที่แสดงได้ กล่าวคือ ที่สัญญาณอินพุทความถี่สูงขึ้น (ที่ความถี่ประมาณ 700 กิโลเฮิร์ซขึ้นไป) ขนาดของสัญญาณที่แสดงได้ จะลดลง ซึ่งอาจเป็นผลมาจากช่วงการทำงานของวงจรต่างๆซึ่งมีค่าจำกัด เช่น วงจรกรองช่วงความถี่ต่ำที่มีจุดคัทออฟที่ 1 เมกะเฮิร์ซ นอกจากนี้ถ้าย่านความถี่ที่วงจรออสซิลเลเตอร์ควบคุมด้วยแรงดันผลิตออกมาคลาดเคลื่อนไปทำให้การแสดงผลไม่ถูกต้อง เนื่องจากความถี่ผลต่างจากมิกเซอร์ที่ใช้เปลี่ยนไปไม่ใช่ 455 กิโลเฮิร์ซทำให้ถูกวงจรกรองช่วงความถี่กำจัดออกไป จึงต้องมีการปรับย่านความถี่ให้ตรง และสเกลในแนวนอนที่ใช้ในการแสดงผล ที่ความถี่อินพุทสูงๆ (ที่ความถี่ประมาณ 700 กิโลเฮิร์ซขึ้นไป) พบว่าช่วงห่างของสเกลที่วัดได้มีค่าไม่คงที่

สเปคตรัมอนาไลเซอร์ที่ออกแบบใช้งานได้ดีในย่านความถี่ 50 กิโลเฮิร์ซถึง 1 เมกะเฮิร์ซ ขนาดของสัญญาณไม่เกิน 1 โวลท์พีคทูพีค สามารถปรับค่าการลดทอนของสัญญาณก่อนเข้าสเปคตรัมอนาไลเซอร์ลงขนาด 10, 20, 30, 40 dB โดยวงจรลดทอนก่อนเข้าสเปคตรัมอนาไลเซอร์ เพื่อทำการวัดสัญญาณที่มีขนาดมากกว่า 1 โวลท์พีคทูพีคได้ แล้วจึงคิดขนาดของสัญญาณจริงจากการรวมสัญญาณที่วัดได้กับค่าสัญญาณที่ถูกลดทอนลงก่อนเข้าสเปคตรัมอนาไลเซอร์, สามารถปรับค่าความเร็วในการสแกนหาสัญญาณโดยใช้วงจรสัญญาณฟันเลื่อย เพื่อพิจารณาสัญญาณที่ความถี่ต่างๆ และยังสามารถเลือกช่วงความถี่ที่ต้องการพิจารณาได้ (frequency fine tune) โดยใช้วงจรแอดเดอร์

แนวทางพัฒนา

จากผลการทดลองสเปคตรัมอนาไลเซอร์ที่ออกแบบควรปรับปรุงในส่วนของวงจรกรองช่วงความถี่ต่ำให้มีจุดคัทออฟสูงกว่า 1 เมกะเฮิร์ซเล็กน้อย เพื่อแก้ปัญหาการลดขนาดของสัญญาณที่วัดได้ในช่วงความถี่ที่สูงกว่า 700 กิโลเฮิร์ซ

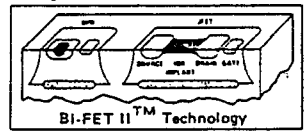
ควรปรับปรุงวงจรออสซิลเลเตอร์ให้มีเสถียรภาพยิ่งขึ้น ไม่เลื่อนความถี่ได้ง่าย

ควรใช้แผ่นวงจรที่มีกราวน์รอบด้านเพื่อลดปัญหาสัญญาณรบกวนที่เกิดขึ้น

ภาคผนวก

National Semiconductor

Operational Amplifiers/Buffers



LF351 Wide Bandwidth JFET Input Operational Amplifier

General Description

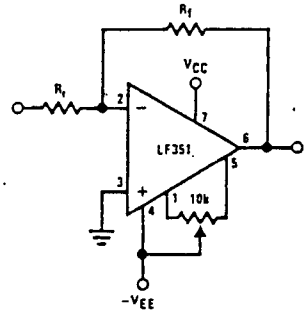
The LF351 is a low cost high speed JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF351 is pin compatible with the standard LM741 and uses the same offset voltage adjustment circuitry. This feature allows designers to immediately upgrade the overall performance of existing LM741 designs.

The LF351 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift, but for applications where these requirements are critical, the LF356 is recommended. If maximum supply current is important, however, the LF351 is the better choice.

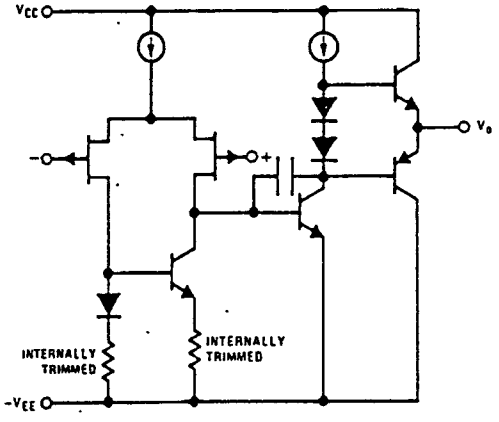
Features

■ Internally trimmed offset voltage	10 mV
■ Low input bias current	50 pA
■ Low input noise voltage	16 nV/√Hz
■ Low input noise current	0.01 pA/√Hz
■ Wide gain bandwidth	4 MHz
■ High slew rate	13 V/μs
■ Low supply current	1.8 mA
■ High input impedance	$10^{12}\Omega$
■ Low total harmonic distortion $A_V = 10$, $R_L = 10k$, $V_O = 20$ Vp-p, BW = 20 Hz-20 kHz	<0.02%
■ Low 1/f noise corner	50 Hz
■ Fast settling time to 0.01%	2 μs

Typical Connection

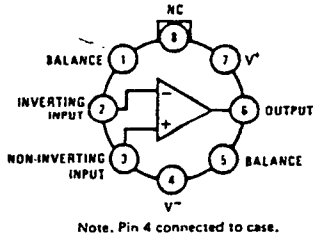


Simplified Schematic



Connection Diagrams (Top Views)

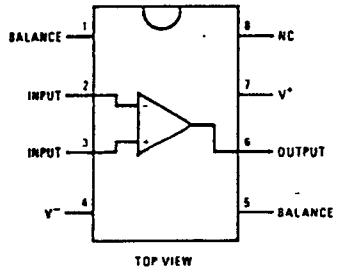
Metal Can Package



Note. Pin 4 connected to case.

Order Number LF351H
See NS Package H08C

Dual-In-Line Package



Order Number LF351N
See NS Package N08A

Absolute Maximum Ratings

Supply Voltage	±18V
Power Dissipation (Note 1)	500mW
Operating Temperature Range	0°C to +70°C
$T_{j(MAX)}$	115°C
Differential Input Voltage	±30V
Input Voltage Range (Note 2)	±15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

DC Electrical Characteristics (Note 3)

SYMBOL	PARAMETER	CONDITIONS	LF351			UNITS
			MIN	TYP	MAX	
V_{OS}	Input Offset Voltage	$R_S = 10k\Omega$, $T_A = 25°C$ Over Temperature		5	10 13	mV mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	$R_S = 10k\Omega$		10		µV/°C
I_{OS}	Input Offset Current	$T_j = 25°C$, (Notes 3, 4) $T_j \leq 70°C$		25	100 4	pA nA
I_B	Input Bias Current	$T_j = 25°C$, (Notes 3, 4) $T_j \leq 70°C$		50	200 8	pA nA
R_{IN}	Input Resistance	$T_j = 25°C$		10^{12}		Ω
A_{VOL}	Large Signal Voltage Gain	$V_S = \pm 15V$, $T_A = 25°C$ $V_O = \pm 10V$, $R_L = 2k\Omega$ Over Temperature	25 15	100		V/mV V/mV
V_O	Output Voltage Swing	$V_S = \pm 15V$, $R_L = 10k\Omega$	±12	±13.5		V
V_{CM}	Input Common-Mode Voltage Range	$V_S = \pm 15V$	±11	+15 −12		V V
CMRR	Common-Mode Rejection Ratio	$R_S \leq 10k\Omega$	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 5)	70	100		dB
I_S	Supply Current			1.8	3.4	mA

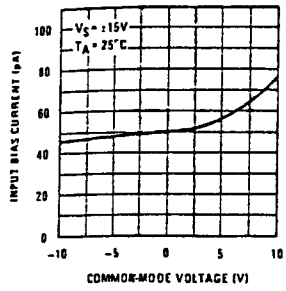
AC Electrical Characteristics (Note 3)

SYMBOL	PARAMETER	CONDITIONS	LF351			UNITS
			MIN	TYP	MAX	
SR	Slew Rate	$V_S = \pm 15V$, $T_A = 25°C$		13		V/µs
GBW	Gain Bandwidth Product	$V_S = \pm 15V$, $T_A = 25°C$		4		MHz
e_n	Equivalent Input Noise Voltage	$T_A = 25°C$, $R_S = 100\Omega$, f = 1000 Hz		16		nV/√Hz
i_n	Equivalent Input Noise Current	$T_j = 25°C$, f = 1000 Hz		0.01		pA/√Hz

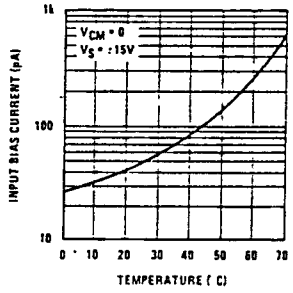
Note 1: For operating at elevated temperature, the device must be derated based on a thermal resistance of 150°C/W junction to ambient or 45°C/W junction to case.
Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.
Note 3: These specifications apply for $V_S = \pm 15V$ and $0°C \leq T_A \leq +70°C$. V_{OS}, I_B and I_{OS} are measured at $V_{CM} = 0$.
Note 4: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_j. Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D. $T_j = T_A + \theta_{jA} P_D$ where θ_{jA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.
Note 5: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice.

Typical Performance Characteristics

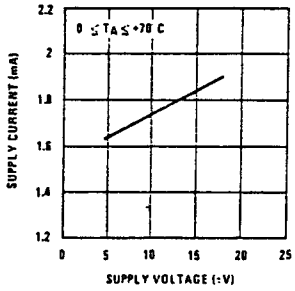
Input Bias Current



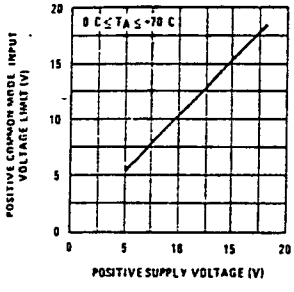
Input Bias Current



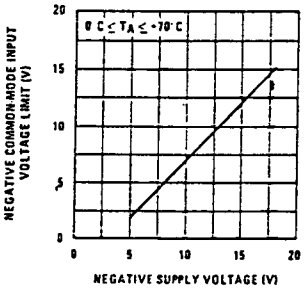
Supply Current



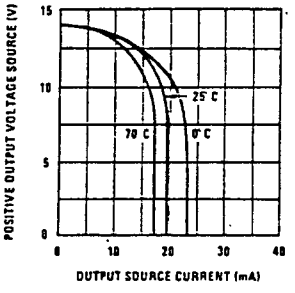
Positive Common-Mode Input Voltage Limit



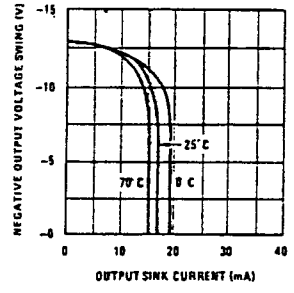
Negative Common-Mode Input Voltage Limit



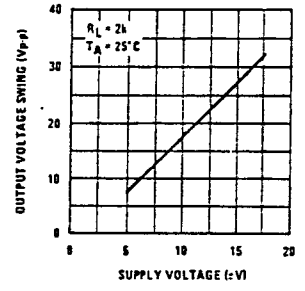
Positive Current Limit



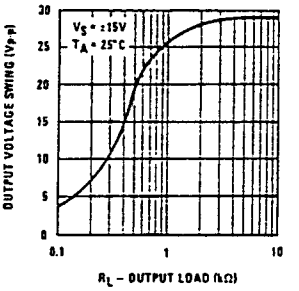
Negative Current Limit



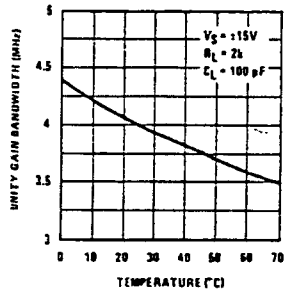
Voltage Swing



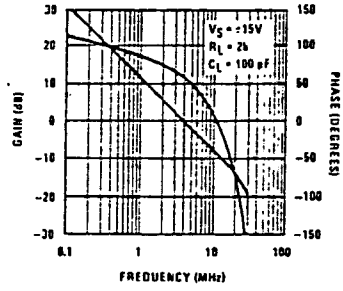
Output Voltage Swing



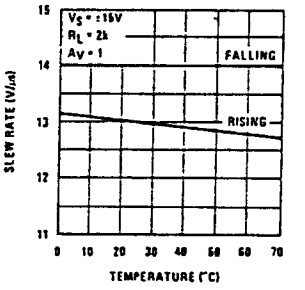
Gain Bandwidth



Bode Plot

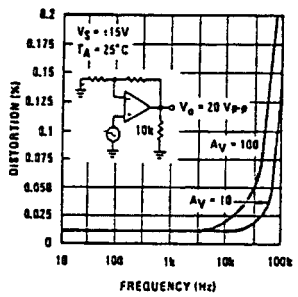


Slew Rate

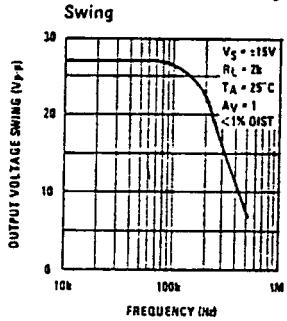


Typical Performance Characteristics (Continued)

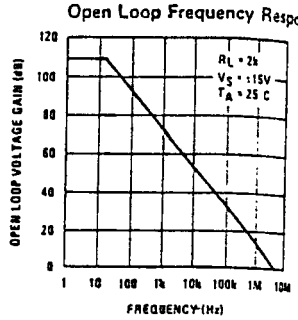
Distortion vs Frequency



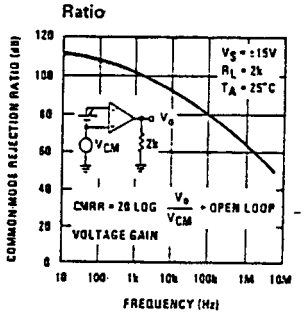
Undistorted Output Voltage Swing



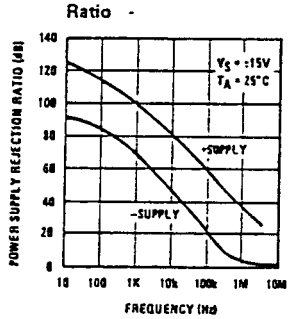
Open Loop Frequency Response



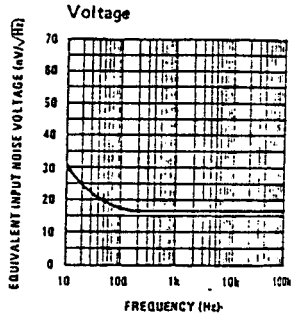
Common-Mode Rejection Ratio



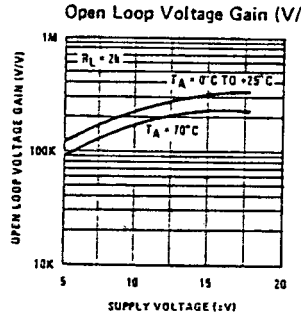
Power Supply Rejection Ratio



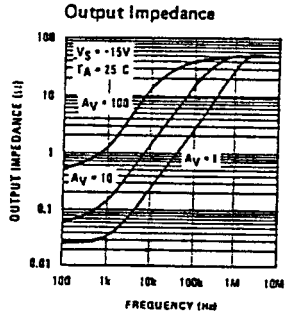
Equivalent Input Noise Voltage



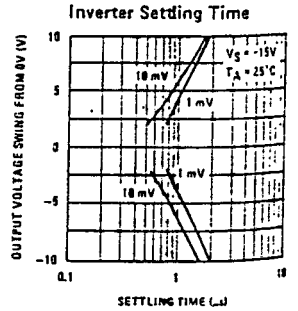
Open Loop Voltage Gain (V/V)



Output Impedance

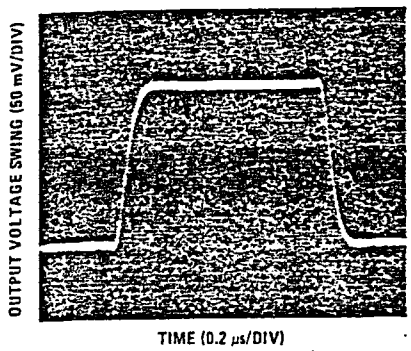


Inverter Settling Time

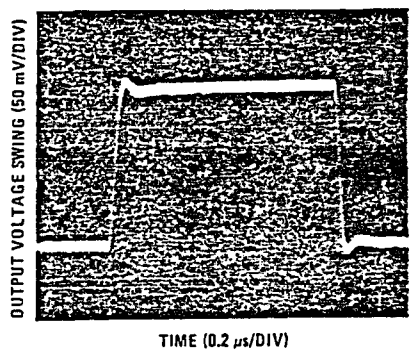


Pulse Response

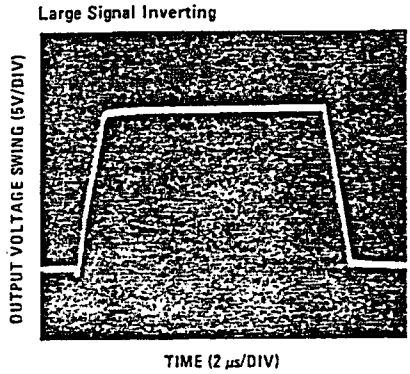
Small Signal Inverting



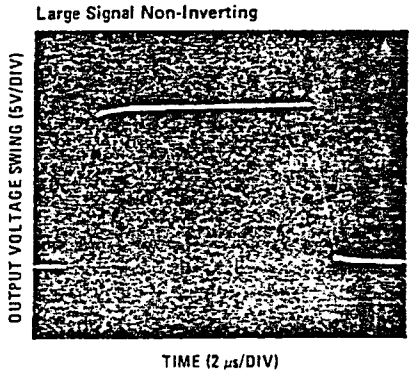
Small Signal Non-Inverting



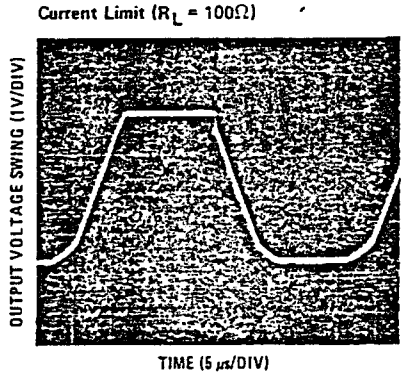
Large Signal Inverting



Large Signal Non-Inverting



Current Limit (R_L = 100Ω)



Application Hints

The LF351 is an op amp with an internally trimmed input offset voltage and JFET input devices (BI-FET II™). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will cause a reversal of the phase to the output and force the amplifier output to the corresponding high or low state. Exceeding the negative common-mode limit on both inputs will force the amplifier output to a

Application Hints (Continued)

high state. In neither case does a latch occur since raising the input back within the common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifier will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

The LF351 is biased by a zener reference which allows normal circuit operation on ±4V power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

The LF351 will drive a 2 kΩ load resistance to ±10V over the full temperature range of 0°C to +70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

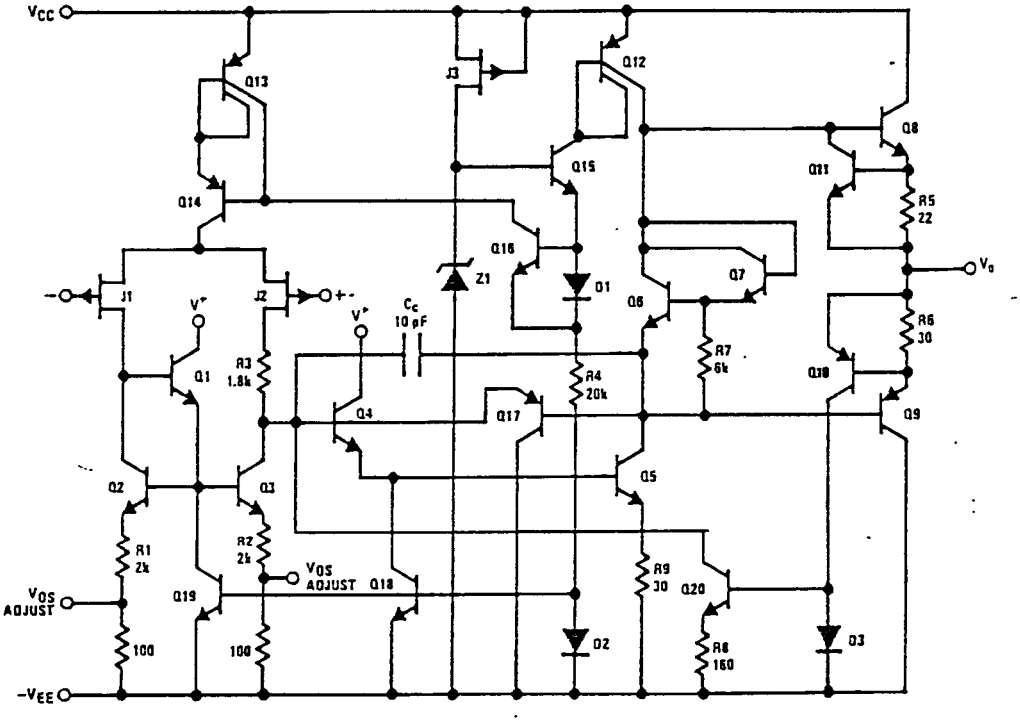
Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

Because these amplifiers are JFET rather than MOSFET input op amps they do not require special handling.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

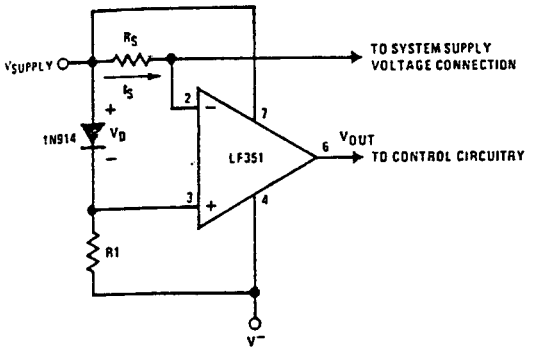
A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

Detailed Schematic



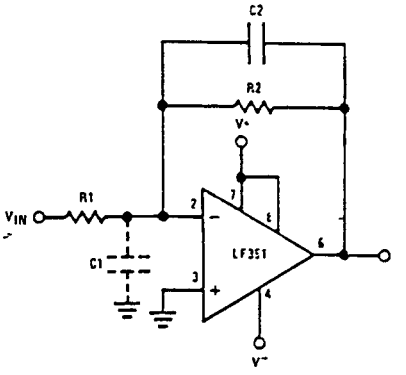
Typical Applications

Supply Current Indicator/Limiter



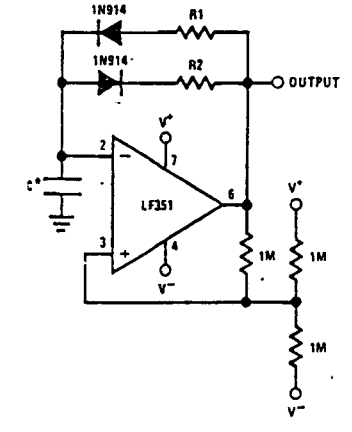
- V_{OUT} switches high when $R_S I_S > V_D$

Hi-Z_{IN} Inverting Amplifier



Parasitic input capacitance C1 ≈ 2 pF for LF351 plus any additional layout capacitance) interacts with feedback elements and creates undesirable high frequency pole. To compensate, add C2 such that: R2C2 ≤ R1C1.

Ultra-Low (or High) Duty Cycle Pulse Generator

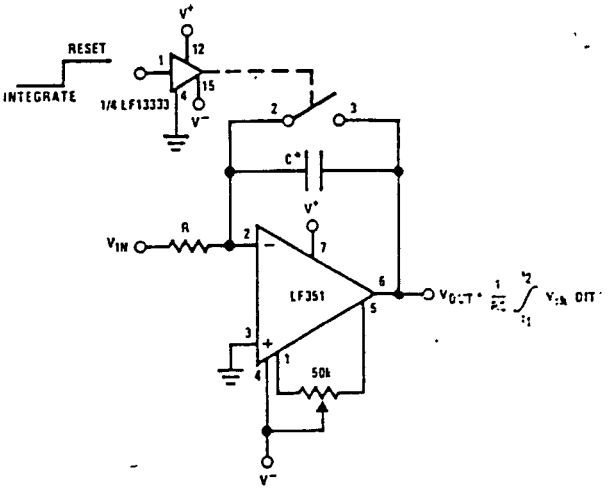


- $t_{OUTPUT\ HIGH} \approx R1C \ln \frac{4.8 - 2V_S}{4.8 - V_S}$
- $t_{OUTPUT\ LOW} \approx R2C \ln \frac{2V_S - 7.8}{V_S - 7.8}$

where $V_S = V^+ + |V^-|$

*low leakage capacitor

Long Time Integrator

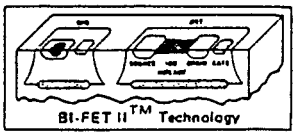


* Low leakage capacitor
- 50k pot used for less sensitive V_{OS} adjust

National Semiconductor

Operational Amplifiers/Buffers

LF353 Wide Bandwidth Dual JFET Input Operational Amplifier



General Description

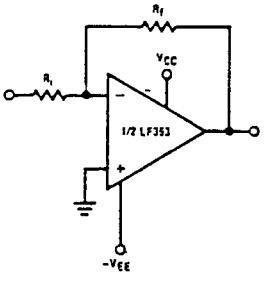
These devices are low cost, high speed, dual JFET input operational amplifiers with an internally trimmed input offset voltage (BI-FET II™ technology). They require low supply current yet maintain a large gain bandwidth product and fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF353 is pin compatible with the standard LM1558 allowing designers to immediately upgrade the overall performance of existing LM1558 and LM358 designs.

These amplifiers may be used in applications such as high speed integrators, fast D/A converters, sample and hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The devices also exhibit low noise and offset voltage drift.

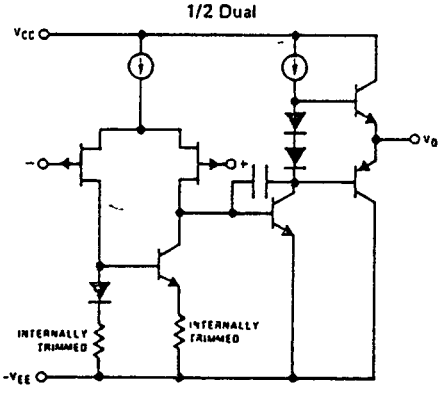
Features

■ Internally trimmed offset voltage	10 mV
■ Low input bias current	50 pA
■ Low input noise voltage	16 nV/√Hz
■ Low input noise current	0.01 pA/√Hz
■ Wide gain bandwidth	4 MHz
■ High slew rate	13 V/μs
■ Low supply current	3.6 mA
■ High input impedance	$10^{12}\Omega$
■ Low total harmonic distortion $A_V = 10$, $R_L = 10k$, $V_O = 20\,V_{p-p}$, BW = 20 Hz-20 kHz	<0.02%
■ Low 1/f noise corner	50 Hz
■ Fast settling time to 0.01%	2 μs

Typical Connection

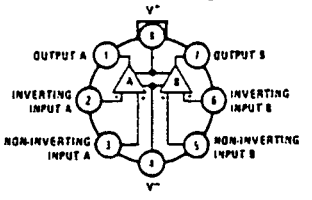


Simplified Schematic



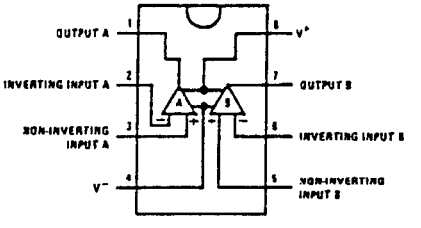
Connection Diagrams

LF353H Metal Can Package (Top View)



Order Number LF353H
See NS Package H08C

LF353N Dual-In-Line Package (Top View)



Order Number LF353N
See NS Package N08A

Absolute Maximum Ratings

Supply Voltage	±18V	Input Voltage Range (Note 2)	±15V
Power Dissipation (Note 1)	500mW	Output Short Circuit Duration	Continuous
Operating Temperature Range	0°C to +70°C	Storage Temperature Range	−65°C to +150°C
T_j (MAX)	115°C	Lead Temperature (Soldering, 10 seconds)	300°C
Differential Input Voltage	±30V		

DC Electrical Characteristics (Note 4)

SYMBOL	PARAMETER	CONDITIONS	LF353			UNITS
			MIN	TYP	MAX	
V_{OS}	Input Offset Voltage	$R_S = 10k\Omega$, $T_A = 25°C$ Over Temperature		5	10 13	mV mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	$R_S = 10k\Omega$		10		µV/°C
I_{OS}	Input Offset Current	$T_j = 25°C$, (Notes 4, 5) $T_j \leq 70°C$		25	100 4	pA nA
I_B	Input Bias Current	$T_j = 25°C$, (Notes 4, 5) $T_j \leq 70°C$		50	200 8	pA nA
R_{IN}	Input Resistance	$T_j = 25°C$		10^{12}		Ω
A_{VOL}	Large Signal Voltage Gain	$V_S = \pm 15V$, $T_A = 25°C$ $V_O = \pm 10V$, $R_L = 2k\Omega$ Over Temperature	25 15	100		V/mV V/mV
V_O	Output Voltage Swing	$V_S = \pm 15V$, $R_L = 10k\Omega$	±12	±13.5		V
V_{CM}	Input Common-Mode Voltage Range	$V_S = \pm 15V$	±11	+15 −12		V V
CMRR	Common-Mode Rejection Ratio	$R_S \leq 10k\Omega$	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 6)	70	100		dB
I_S	Supply Current			3.6	6.5	mA

AC Electrical Characteristics (Note 4)

SYMBOL	PARAMETER	CONDITIONS	LF353			UNITS
			MIN	TYP	MAX	
	Amplifier to Amplifier Coupling	$T_A = 25°C$, f = 1Hz–20kHz (Input Referred)		−120		dB
SR	Slew Rate	$V_S = \pm 15V$, $T_A = 25°C$		13		V/µs
GBW	Gain Bandwidth Product	$V_S = \pm 15V$, $T_A = 25°C$		4		MHz
e_n	Equivalent Input Noise Voltage	$T_A = 25°C$, $R_S = 100\Omega$, f = 1000Hz		16		nV/√Hz
i_n	Equivalent Input Noise Current	$T_j = 25°C$, f = 1000Hz		0.01		pA/√Hz

Note 1: For operating at elevated temperature, the device must be derated based on a thermal resistance of 160°C/W junction to ambient for the N package, and 150°C/W junction to ambient for the H package.

Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

Note 3: The power dissipation limit, however, cannot be exceeded.

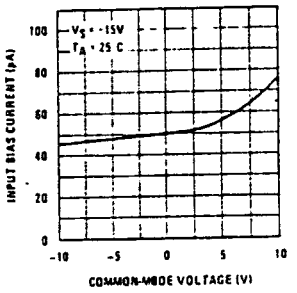
Note 4: These specifications apply for $V_S = \pm 15V$ and $0°C \leq T_A \leq +70°C$. V_{OS}, I_B and I_{OS} are measured at $V_{CM} = 0$.

Note 5: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_j. Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D. $T_j = T_A + \Theta_{jA} P_D$ where Θ_{jA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

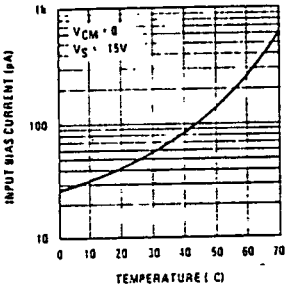
Note 6: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice.

Typical Performance Characteristics

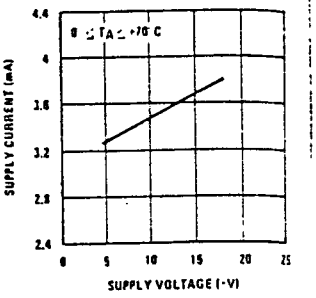
Input Bias Current



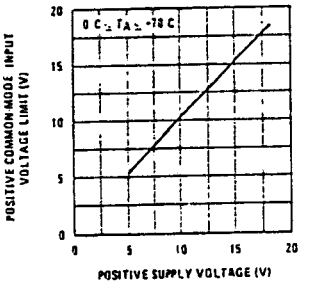
Input Bias Current



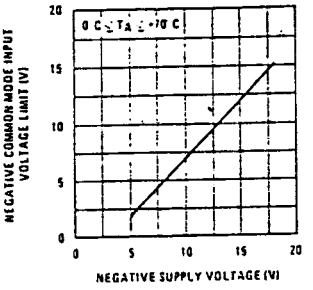
Supply Current



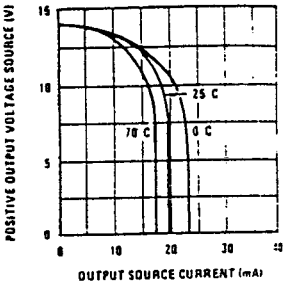
Positive Common-Mode Input Voltage Limit



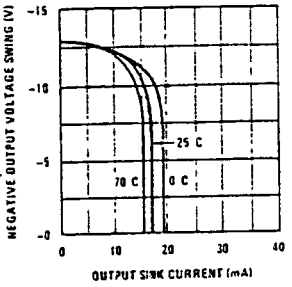
Negative Common-Mode Input Voltage Limit



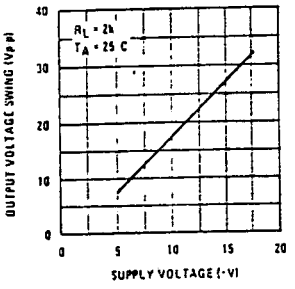
Positive Current Limit



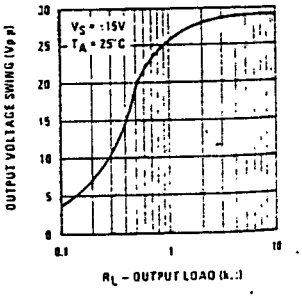
Negative Current Limit



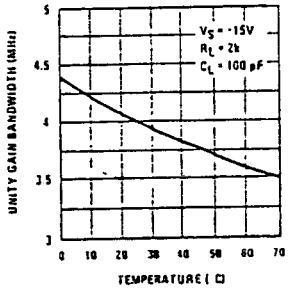
Voltage Swing



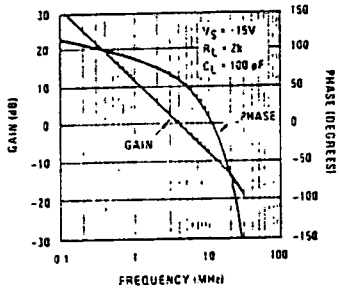
Output Voltage Swing



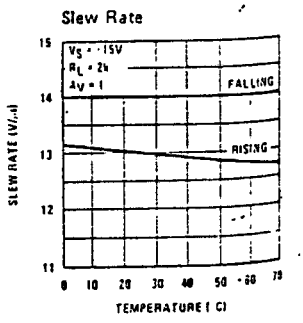
Gain Bandwidth



Bode Plot

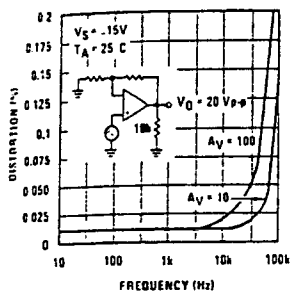


Slew Rate

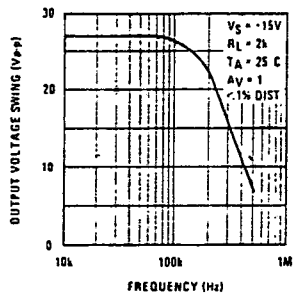


Typical Performance Characteristics (Continued)

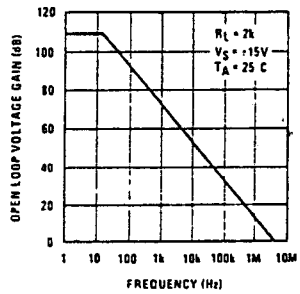
Distortion vs Frequency



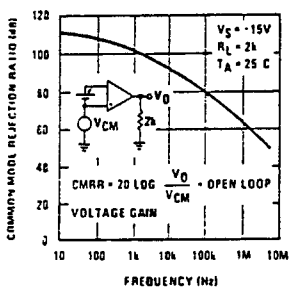
Undistorted Output Voltage Swing



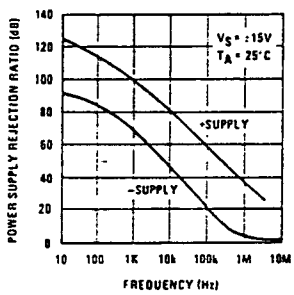
Open Loop Frequency Response



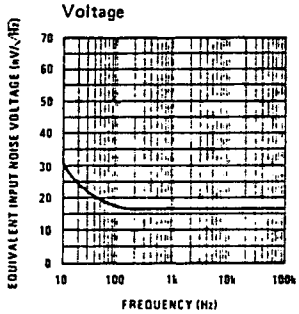
Common-Mode Rejection Ratio



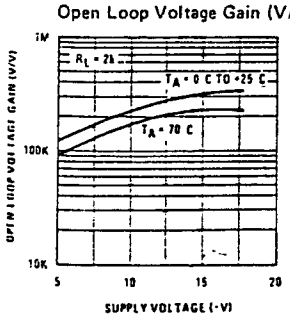
Power Supply Rejection Ratio



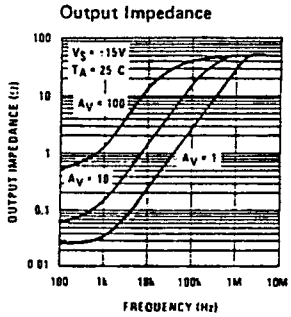
Equivalent Input Noise Voltage



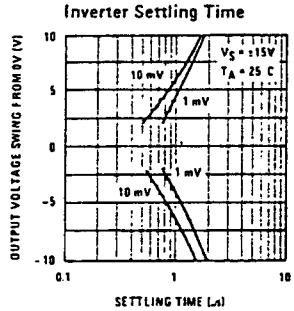
Open Loop Voltage Gain (V/V)



Output Impedance

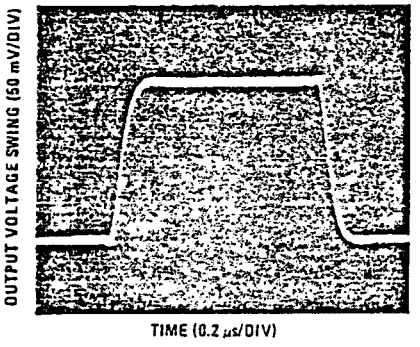


Inverter Settling Time

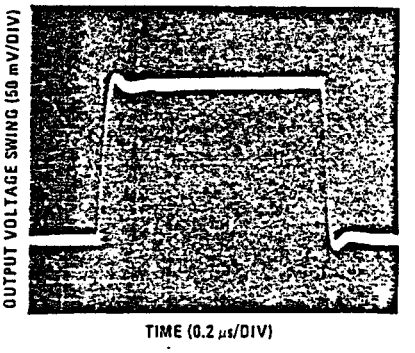


Pulse Response

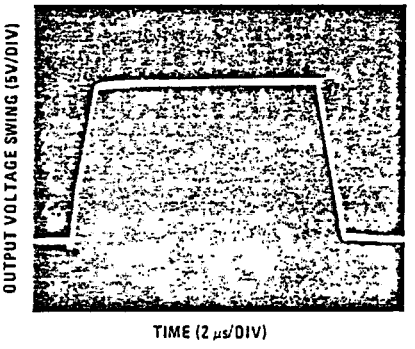
Small Signal Inverting



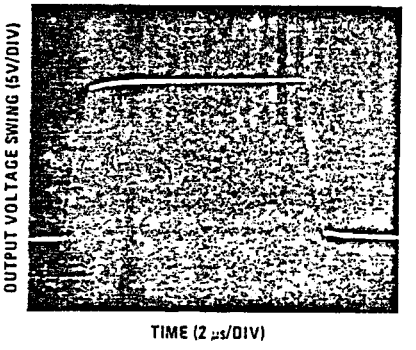
Small Signal Non-Inverting



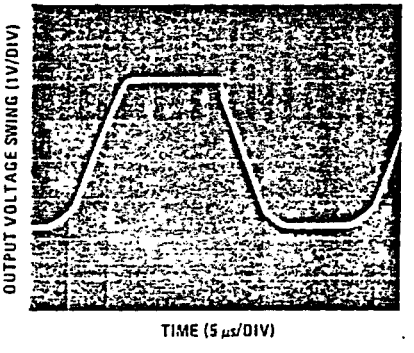
Large Signal Inverting



Large Signal Non-Inverting



Current Limit (R_L = 100Ω)



Application Hints

These devices are op amps with an internally trimmed input offset voltage and JFET input devices (BI-FET II). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will cause a reversal of the phase to the output and force the amplifier output to the corresponding high or low state. Exceeding the negative common-mode limit on both inputs will force the amplifier output to a

Application Hints (Continued)

high state. In neither case does a latch occur since raising the input back within the common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifiers will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

Each amplifier is individually biased by a zener reference which allows normal circuit operation on ±4V power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

The amplifiers will drive a 2 kΩ load resistance to ±10V over the full temperature range of 0°C to +70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

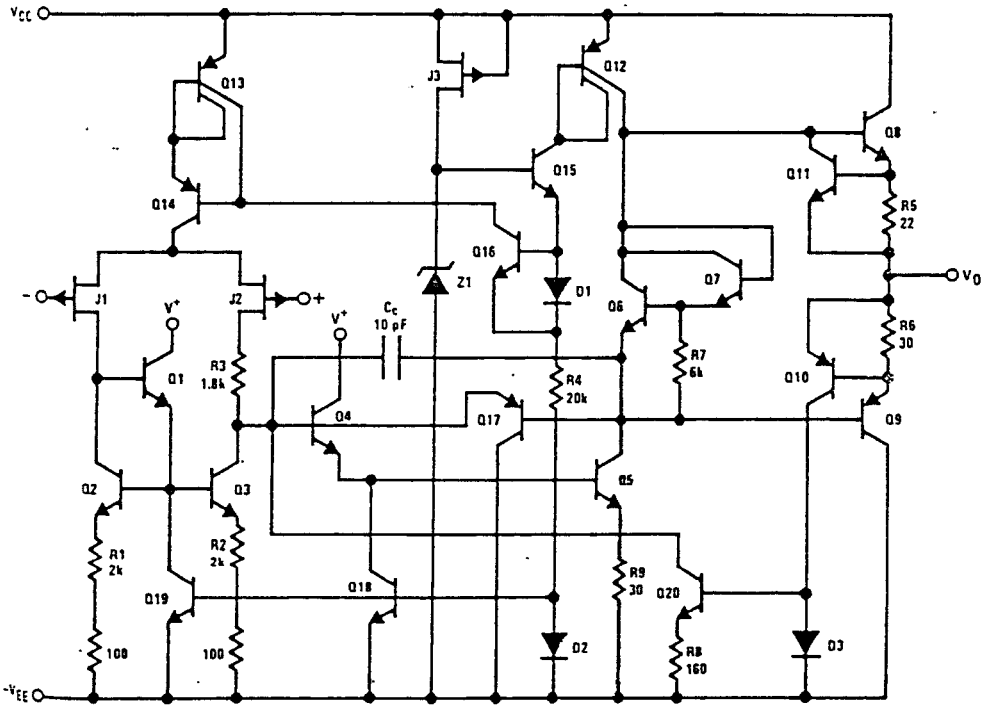
Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

Because these amplifiers are JFET rather than MOSFET input op amps they do not require special handling.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

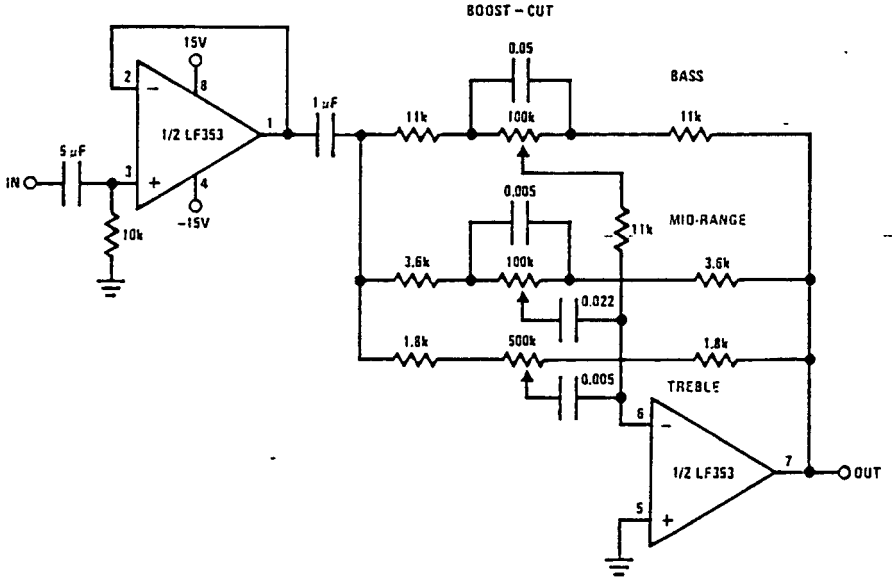
A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

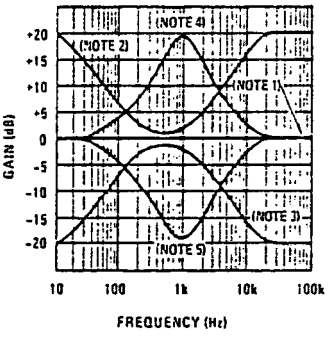
Detailed Schematic



Typical Applications

Three-Band Active Tone Control



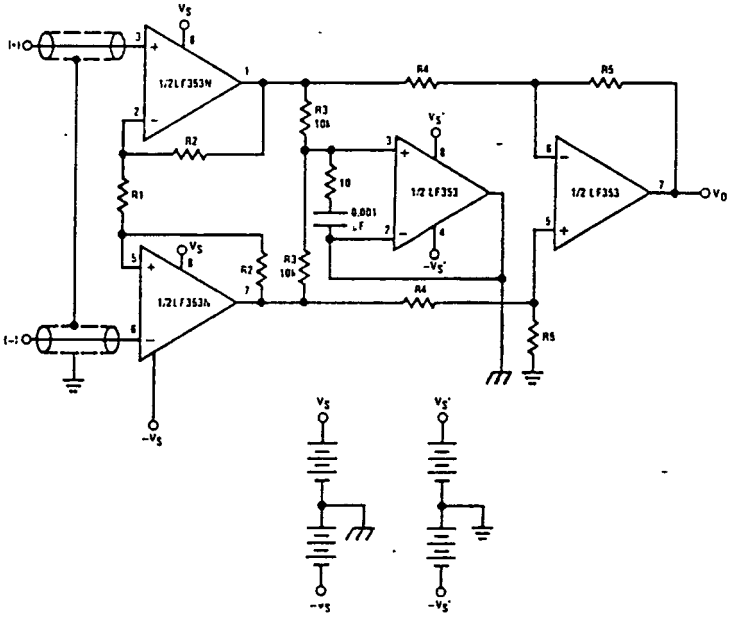


Note 1: All controls flat.
Note 2: Bass and treble boost, mid flat.
Note 3: Bass and treble cut, mid flat.
Note 4: Mid boost, bass and treble flat.
Note 5: Mid cut, bass and treble flat.

- All potentiometers are linear taper
- Use the LF347 Quad for stereo applications

Typical Applications (Continued)

Improved CMRR Instrumentation Amplifier



$$A_V = \left(\frac{2R2}{R1} + 1\right) \frac{R5}{R4}$$

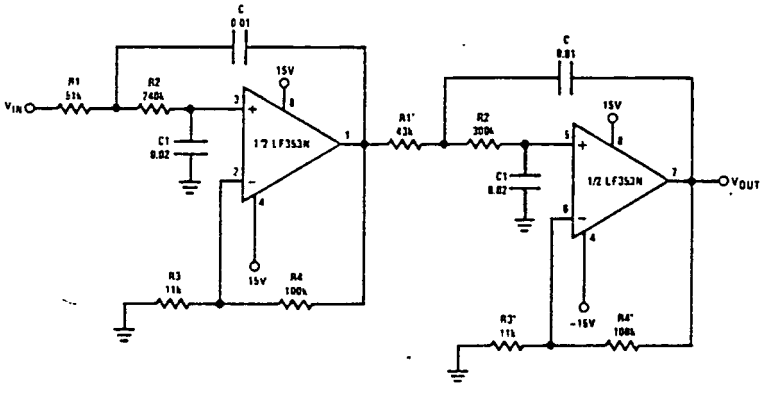
⫽ and ⏚ are separate isolated grounds

Matching of R2's, R4's and R5's control CMRR

With A_{V_T} = 1400, resistor matching = 0.01%: CMRR = 136 dB

- Very high input impedance
- Super high CMRR

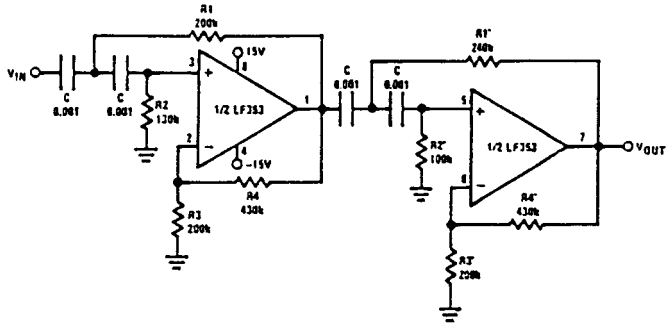
Fourth Order Low Pass Butterworth Filter



- Corner frequency (f_c) = $\sqrt{\frac{1}{R1R2CC1}} \cdot \frac{1}{2\pi} = \sqrt{\frac{1}{R1'R2'CC1}} \cdot \frac{1}{2\pi}$
- Passband gain (H_O) = (1 + R4/R3) (1 + R4':R3')
- First stage Q = 1.31
- Second stage Q = 0.541
- Circuit shown uses nearest 5% tolerance resistor values for a filter with a corner frequency of 100 Hz and a passband gain of 100
- Offset nulling necessary for accurate DC performance

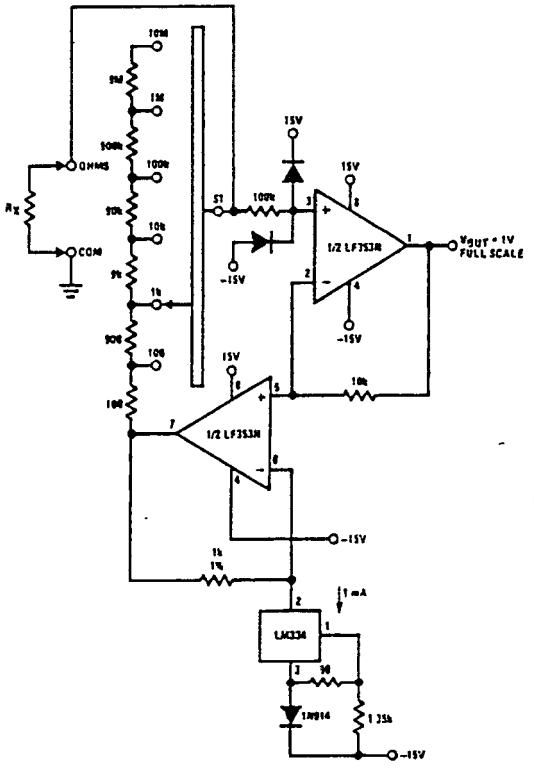
Typical Applications (Continued)

Fourth Order High Pass Butterworth Filter



- Corner frequency (f_c) = $\sqrt{\frac{1}{R1R2C^2}} \cdot \frac{1}{2\pi} = \sqrt{\frac{1}{R1'R2'C^2}} \cdot \frac{1}{2\pi}$
- Passband gain (H_O) = (1 + R4/R3)(1 + R4'/R3')
- First stage Q = 1.31
- Second stage Q = 0.541
- Circuit shown uses closest 5% tolerance resistor values for a filter with a corner frequency of 1 kHz and a passband gain of 10

Ohms to Volts Converter



$$V_O = \frac{1V}{R_{LADDER}} \times R_X$$

Where R_{LADDER} is the resistance from switch S1 pole to pin 7 of the LF353.

MOTOROLA

MV104
MV104G

VVC

SILICON EPICAP DIODES

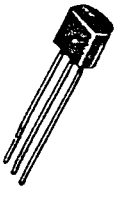
DUAL
VOLTAGE-VARIABLE
CAPACITANCE DIODES

7.0

. . . designed for FM tuning, general frequency control and tuning, or any top-of-the-line application requiring back-to-back diode configurations for minimum signal distortion and detuning. This device is supplied in the popular TO-92 plastic package for high volume, economical requirements of consumer and industrial applications.

- High Figure of Merit — Q = 140 (Typ) @ V_R = 3.0 Vdc, f = 100 MHz
- Guaranteed Capacitance Range
  - 34-39 pF @ V_R = 3.0 Vdc (MV104G)
  - 37-42 pF @ V_R = 3.0 Vdc (MV104)
- Dual Diodes — Save Space and Reduce Cost
- TO-92 Package for Easy Handling and Mounting
- Guaranteed Matching* Tolerance From Diode to Diode and Group to Group
- Monolithic Chip Provides Near Perfect Matching — Guaranteed ±1% (Max) Over Specified Tuning Range.

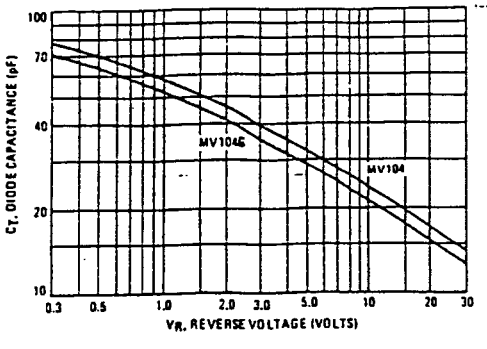
*Upon request, diodes are available in matched sets or in matched groups. All diodes in a set or group can be matched for capacitance to ±1.5% or 0.1 pF (whichever is greater) over the specified tuning range.

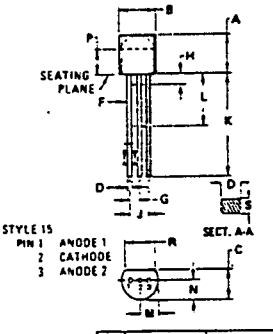


MAXIMUM RATINGS (Each Device)

Rating	Symbol	Value	Unit
Reverse Voltage	V_R	32	Volts
Forward Current	I_F	200	mA
Total Power Dissipation @ T_A = 25°C Derate above 25°C	P_D	280 2.8	mW mW/°C
Junction Temperature	T_J	+125	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C

FIGURE 1 — DIODE CAPACITANCE (Each Device)





DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
A	4.32	5.33	0.170	0.210
B	4.44	5.21	0.175	0.205
C	3.18	4.19	0.125	0.165
D	0.41	0.56	0.016	0.022
F	0.41	0.48	0.016	0.019
G	1.14	1.40	0.045	0.055
H	–	2.54	–	0.100
J	2.41	2.67	0.095	0.105
K	12.70	–	0.500	–
L	6.35	–	0.250	–
N	2.83	2.97	0.080	0.115
P	2.92	–	0.115	–
R	3.43	–	0.135	–
S	0.36	0.41	0.014	0.016

All JEDEC dimensions and notes apply.

CASE 29-02
TO-92

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted, Each Device)

Characteristic – All Types	Symbol	Min	Typ	Max	Unit
Reverse Breakdown Voltage (I_R = 10 μAdc)	BV_R	32	–	–	Vdc
Reverse Voltage Leakage Current (V_R = 30 Vdc) T_A = 25°C / T_A = 60°C	I_R	– / –	– / –	50 / 500	nAdc
Series Inductance (f = 250 MHz, Lead Length ≈ 1/16")	L_S	–	6.0	–	nH
Case Capacitance (f = 1.0 MHz, Lead Length ≈ 1/16")	C_C		0.18	–	pF
Diode Capacitance Temperature Coefficient (V_R = 4.0 Vdc, f = 1.0 MHz)	TC_C	–	280	400	ppm/°C

	C_T, Diode Capacitance V_R = 3.0 Vdc, f = 1.0 MHz pF		*Q, Figure of Merit V_R = 3.0 Vdc f = 100 MHz		C_R, Capacitance Ratio C_3/C_{30} f = 1.0 MHz	
Device	Min	Max	Min	Typ	Min	Max
MV104	37	42	100	140	2.5	2.8
MV104G	34	39	100	140	2.5	2.8

*$Q = \frac{1}{2\pi f C_T R_S}$

TYPICAL CHARACTERISTICS (Each Device)

FIGURE 2 – FIGURE OF MERIT versus VOLTAGE

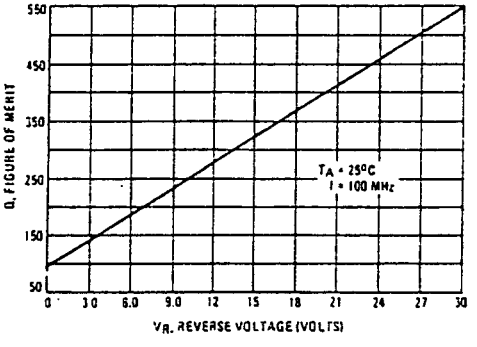


FIGURE 3 – FIGURE OF MERIT versus FREQUENCY

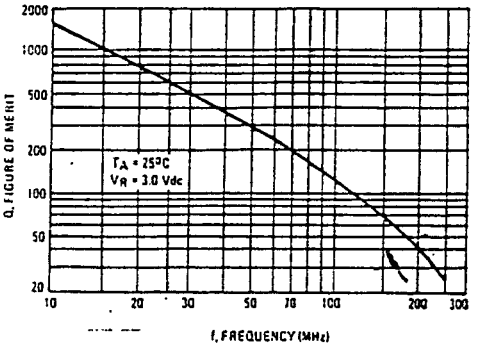


FIGURE 4 – DIODE CAPACITANCE versus TEMPERATURE

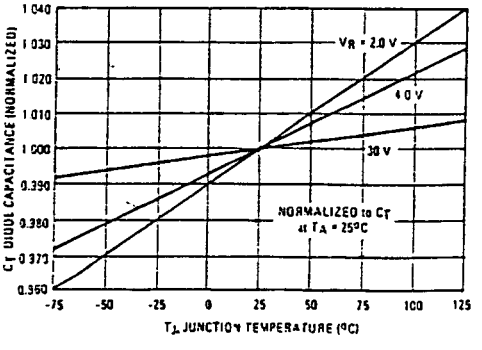
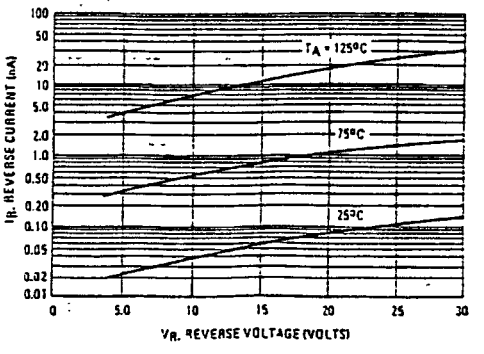
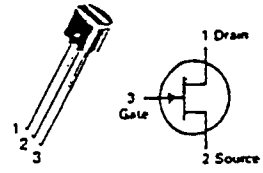


FIGURE 5 – REVERSE CURRENT versus REVERSE VOLTAGE



J308 thru J310*

CASE 29-04, STYLE 5
TO-92 (TO-226AA)



JFET
VHF/UHF AMPLIFIERS

N-CHANNEL — DEPLETION

*These are Motorola designated preferred devices.

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Drain-Source Voltage	V_{DS}	25	Vdc
Gate-Source Voltage	V_{GS}	25	Vdc
Forward Gate Current	I_{GF}	10	mAdc
Total Device Dissipation @ T_A = 25°C Derate above 25°C	P_D	350 2.8	mW mW/°C
Junction Temperature Range	T_J	−65 to +125	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted.)

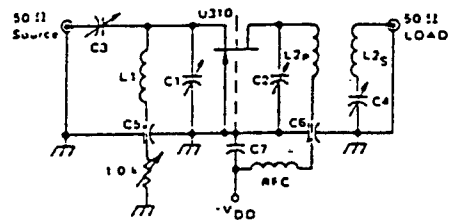
Characteristic		Symbol	Min	Typ	Max	Unit
OFF CHARACTERISTICS						
Gate-Source Breakdown Voltage (I_G = −1.0 μA, V_{DS} = 0)		$V_{(BR)GSS}$	−25	—	—	Vdc
Gate Reverse Current		I_{GSS}				
(V_{GS} = −15 V, V_{DS} = 0, T_A = 25°C)			—	—	−1.0	nA
(V_{GS} = −15 V, V_{DS} = 0, T_A = +125°C)			—	—	−1.0	μA
Gate Source Cutoff Voltage (V_{DS} = 10 V, I_D = 1.0 nA)		$V_{GS(off)}$				Vdc
	J308		−1.0	—	−6.5	
	J309		−1.0	—	−4.0	
	J310		−2.0	—	−6.5	
ON CHARACTERISTICS						
Zero-Gate-Voltage Drain Current(1) (V_{DS} = 10 V, V_{GS} = 0)		I_{DSS}				mA
	J308		12	—	60	
	J309		12	—	30	
	J310		24	—	60	
Gate-Source Forward Voltage (V_{DS} = 0, I_G = 1.0 mA)		$V_{GS(f)}$	—	—	1.0	Vdc
SMALL-SIGNAL CHARACTERISTICS						
Common-Source Input Conductance (V_{DS} = 10 V, I_D = 10 mA, f = 100 MHz)		$Re(y_{is})$				mmhos
	J308		—	0.7	—	
	J309		—	0.7	—	
	J310		—	0.5	—	
Common-Source Output Conductance (V_{DS} = 10 V, I_D = 10 mA, f = 100 MHz)		$Re(y_{os})$	—	0.25	—	mmhos
Common-Gate Power Gain (V_{DS} = 10 V, I_D = 10 mA, f = 100 MHz)		G_{pg}	—	16	—	dB
Common-Source Forward Transconductance (V_{DS} = 10 V, I_D = 10 mA, f = 100 MHz)		$Re(y_{fs})$	—	12	—	mmhos
Common-Gate Input Conductance (V_{DS} = 10 V, I_D = 10 mA, f = 100 MHz)		$Re(y_{ig})$	—	12	—	mmhos
Common-Source Forward Transconductance (V_{DS} = 10 V, I_D = 10 mA, f = 1.0 kHz)		g_{fs}				μmhos
	J308		8000	—	20000	
	J309		10000	—	20000	
	J310		8000	—	18000	
Common-Source Output Conductance (V_{DS} = 10 V, I_D = 10 mA, f = 1.0 kHz)		g_{os}	—	—	250	μmhos

ELECTRICAL CHARACTERISTICS (continued) (T_A = 25°C unless otherwise noted.)

Characteristic		Symbol	Min	Typ	Max	Unit
Common-Gate Forward Transconductance (V_{DS} = 10 V, I_D = 10 mA, f = 1.0 kHz)	J308	g_{fg}	—	13000	—	µmhos
	J309		—	13000	—	
	J310		—	12000	—	
Common-Gate Output Conductance (V_{DS} = 10 V, I_D = 10 mA, f = 1.0 kHz)	J308	g_{og}	—	150	—	µmhos
	J309		—	100	—	
	J310		—	150	—	
Gate-Drain Capacitance (V_{DS} = 0, V_{GS} = −10 V, f = 1.0 MHz)		C_{gd}	—	1.8	2.5	pF
Gate-Source Capacitance (V_{DS} = 0, V_{GS} = −10 V, f = 1.0 MHz)		C_{gs}	—	4.3	5.0	pF
FUNCTIONAL CHARACTERISTICS						
Noise Figure (V_{DS} = 10 V, I_D = 10 mA, f = 450 MHz)		NF	—	1.5	—	dB
Equivalent Short-Circuit Input Noise Voltage (V_{DS} = 10 V, I_D = 10 mA, f = 100 Hz)		$\bar{e}_n$	—	10	—	$nV/\sqrt{Hz}$

(1) Pulse Test: Pulse Width ≤ 300 µs, Duty Cycle ≤ 3.0%.

FIGURE 1 – 450 MHz COMMON-GATE AMPLIFIER TEST CIRCUIT



C1 = C2 = 0.8 – 10 pF JFD #MV5010W
C3 = C4 = 8.35 pF Erie #539-002D
C5 = C6 = 5000 pF Erie #2443-000
C7 = 1000 pF Allen Bradley #4452C
RFC = 0.33 μH Nytronics #9230-30
L1 = One Turn #16 Cu, 1/4" I.D. Air Core
L2P = One Turn #16 Cu, 1/4" I.D. Air Core
L2S = One Turn #16 Cu, 1/4" I.D. Air Core

FIGURE 2 – DRAIN CURRENT and TRANSFER CHARACTERISTICS versus GATE SOURCE VOLTAGE

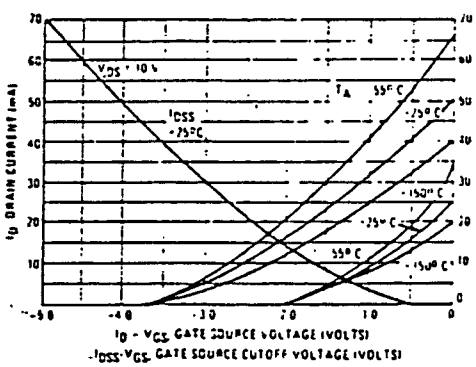


FIGURE 3 – FORWARD TRANSCONDUCTANCE versus GATE SOURCE VOLTAGE

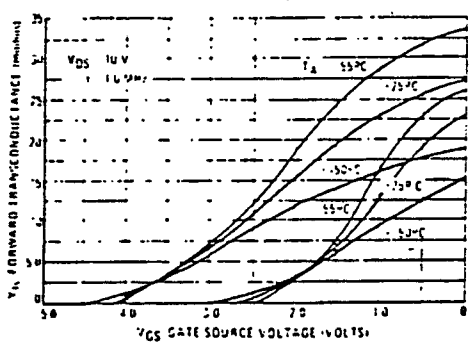


FIGURE 4 – COMMON-SOURCE OUTPUT ADMITTANCE and FORWARD TRANSCONDUCTANCE versus DRAIN CURRENT

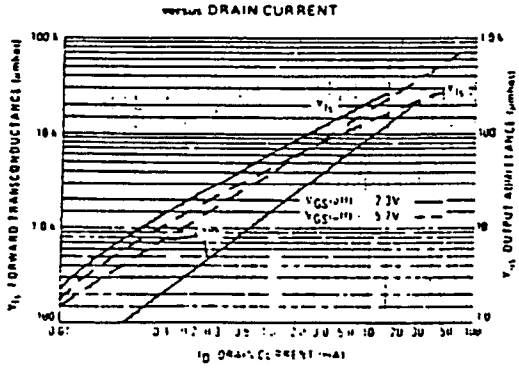


FIGURE 5 – ON RESISTANCE and JUNCTION CAPACITANCE versus GATE SOURCE VOLTAGE

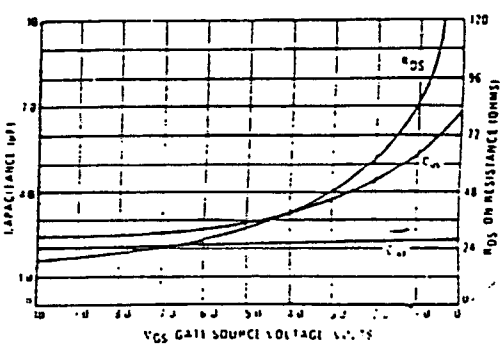


FIGURE 6 – COMMON-GATE Y PARAMETER MAGNITUDE versus FREQUENCY

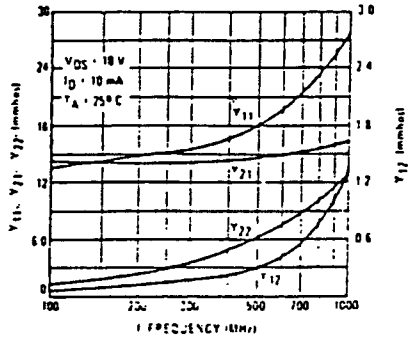


FIGURE 7 – COMMON-GATE S PARAMETER MAGNITUDE versus FREQUENCY

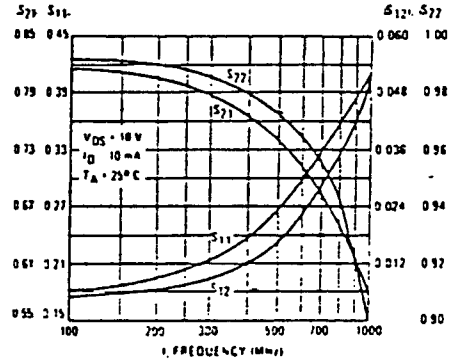


FIGURE 8 – COMMON-GATE Y PARAMETER PHASE-ANGLE versus FREQUENCY

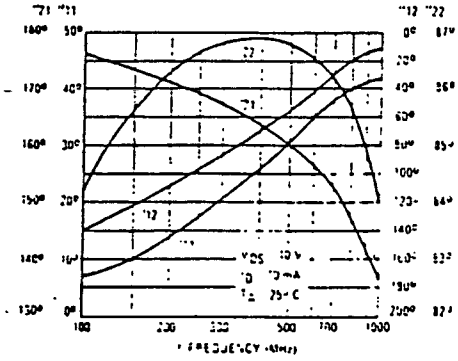


FIGURE 9 – S PARAMETER PHASE ANGLE versus FREQUENCY

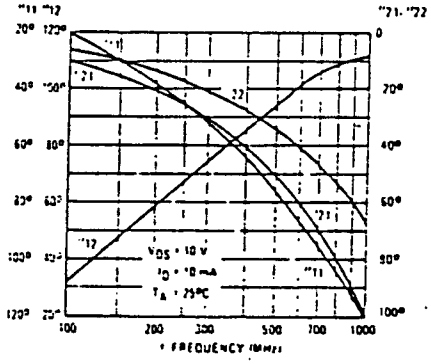


FIGURE 10 – NOISE FIGURE and POWER GAIN versus DRAIN CURRENT

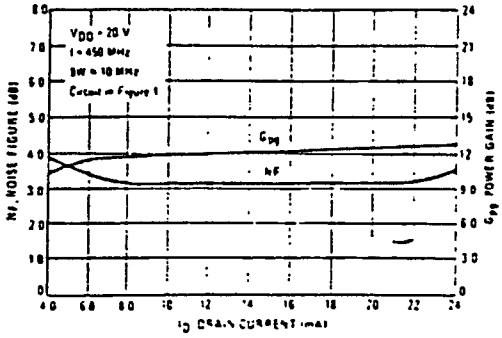


FIGURE 11 – NOISE FIGURE and POWER GAIN versus FREQUENCY

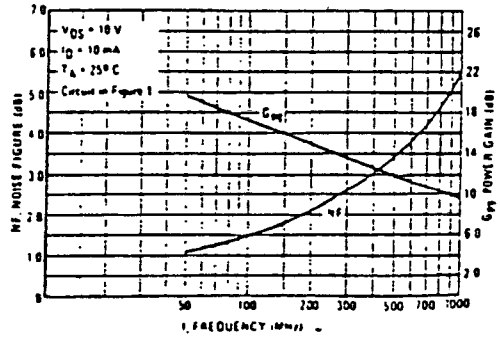
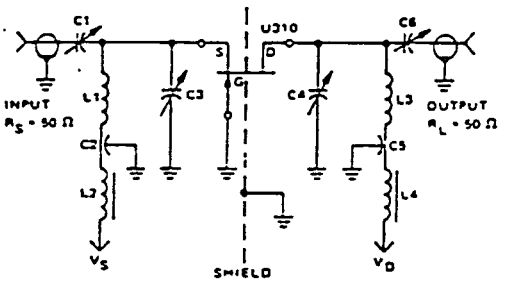


FIGURE 12 – 450 MHz IMD EVALUATION AMPLIFIER



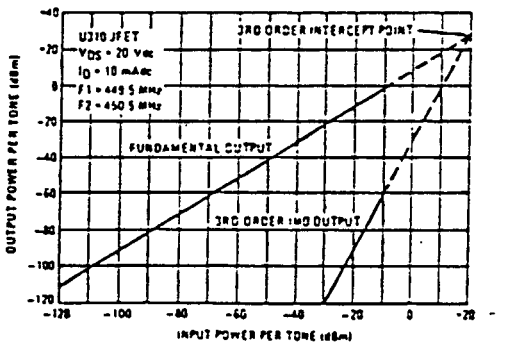
B_W (3dB) = 36.5 MHz
I_D = 10 mAdc
V_{DS} = 20 Vdc
Device case grounded
IM test tones = f1 = 449.5 MHz, f2 = 450.5 MHz

C1 = 1.10 pf Johanson Air variable trimmer
C2, C5 = 100 pf feed thru button capacitor
C3, C4, C6 = 0.5.6 pf Johanson Air variable trimmer

L1 = 1.8" x 1/32" x 1.5/8" copper bar
L2, L4 = Ferrocube VK200 choke
L3 = 1.8" x 1/32" x 1 7/8" copper bar

Amplifier power gain and IMD products are a function of the load impedance. For the amplifier design shown above with C4 and C6 adjusted to reflect a load to the drain resulting in a nominal power gain of 9 dB, the 3rd order intercept point (IP) value is 29 dBm. Adjusting C4, C6 to provide larger load values will result in higher gain, smaller bandwidth and lower IP values. For example, a nominal gain of 13 dB can be achieved with an intercept point of 19 dBm.

FIGURE 13 – TWO TONE 3RD ORDER INTERCEPT POINT



Example of intercept point plot use:
Assume two in-band signals of -20 dBm at the amplifier input. They will result in a 3rd order IMD signal at the output of -90 dBm. Also, each signal level at the output will be -11 dBm, showing an amplifier gain of 9.0 dB and an intermodulation ratio (IMR) capability of 79 dB. The gain and IMR values apply only for signal levels below compression.

2N2218,A/2N2219,A
2N2221,A/2N2222,A
2N5581/82

JAN, JTX, JTXV AVAILABLE

2N2218,A
2N2219,A
CASE 79-02
TO-39 (TO-205AD)

2N2221,A
2N2222,A
CASE 22-03
TO-18 (TO-206AA)

2N5581
2N5582
CASE 26-03
TO-46 (TO-206AB)

GENERAL PURPOSE TRANSISTOR

NPN SILICON

4

MAXIMUM RATINGS

Rating	Symbol	2N2218 2N2219 2N2221 2N2222	2N2218A 2N2219A 2N2221A 2N2222A	2N5581 2N5582	Unit
Collector-Emitter Voltage	V_{CEO}	30	40	40	Vdc
Collector-Base Voltage	V_{CBO}	60	75	75	Vdc
Emitter-Base Voltage	V_{EBO}	5.0	6.0	6.0	Vdc
Collector Current — Continuous	I_C	800	800	800	mAdc
		2N2218,A 2N2219,A	2N2221,A 2N2222,A	2N5581 2N5582	
Total Device Dissipation @ T_A = 25°C Derate above 25°C	P_D	 0.8 4.57	 0.4 2.28	 0.6 3.33	 Watt mW/°C
Total Device Dissipation @ T_C = 25°C Derate above 25°C	P_D	 3.0 17.1	 1.2 6.85	 2.0 11.43	 Watts mW/°C
Operating and Storage Junction Temperature Range	T_J, T_{stg}	−65 to +200			°C

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted.)

Characteristic		Symbol	Min	Max	Unit
OFF CHARACTERISTICS					
Collector-Emitter Breakdown Voltage (I_C = 10 mAdc, I_B = 0)	 Non-A Suffix A-Suffix, 2N5581, 2N5582	$V_{(BR)CEO}$	 30 40	 — —	Vdc
Collector-Base Breakdown Voltage (I_C = 10 μAdc, I_E = 0)	 Non-A Suffix A-Suffix, 2N5581, 2N5582	$V_{(BR)CBO}$	 60 75	 — —	Vdc
Emitter-Base Breakdown Voltage (I_E = 10 μAdc, I_C = 0)	 Non-A Suffix A-Suffix, 2N5581, 2N5582	$V_{(BR)EBO}$	 5.0 6.0	 — —	Vdc
Collector Cutoff Current (V_{CE} = 60 Vdc, $V_{EB(off)}$ = 3.0 Vdc)	A-Suffix, 2N5581, 2N5582	I_{CEX}	—	10	nAdc
Collector Cutoff Current (V_{CB} = 50 Vdc, I_E = 0) (V_{CB} = 60 Vdc, I_E = 0) (V_{CB} = 50 Vdc, I_E = 0, T_A = 150°C) (V_{CB} = 60 Vdc, I_E = 0, T_A = 150°C)	 Non-A Suffix A-Suffix, 2N5581, 2N5582 Non-A Suffix A-Suffix, 2N5581, 2N5582	I_{CBO}	 — — — —	 0.01 0.01 10 10	μAdc
Emitter Cutoff Current (V_{EB} = 3.0 Vdc, I_C = 0)	A-Suffix, 2N5581, 2N5582	I_{EBO}	—	10	nAdc
Base Cutoff Current (V_{CE} = 60 Vdc, $V_{EB(off)}$ = 3.0 Vdc)	A-Suffix	I_{BL}	—	20	nAdc
ON CHARACTERISTICS					
DC Current Gain (I_C = 0.1 mAdc, V_{CE} = 10 Vdc) (I_C = 1.0 mAdc, V_{CE} = 10 Vdc) (I_C = 10 mAdc, V_{CE} = 10 Vdc) (I_C = 10 mAdc, V_{CE} = 10 Vdc, T_A = −55°C) (I_C = 150 mAdc, V_{CE} = 10 Vdc)(1)	 2N2218,A, 2N2221,A, 2N5581(1) 2N2219,A, 2N2222,A, 2N5582(1) 2N2218,A, 2N2221,A, 2N5581 2N2219,A, 2N2222,A, 2N5582 2N2218,A, 2N2221,A, 2N5581(1) 2N2219,A, 2N2222,A, 2N5582(1) 2N2218A, 2N2221A, 2N5581 2N2219A, 2N2222A, 2N5582 2N2218,A, 2N2221,A, 2N5581 2N2219,A, 2N2222,A, 2N5582	h_{FE}	 20 35 25 50 35 75 15 35 40 100	 — — — — — — — — 120 300	—

ELECTRICAL CHARACTERISTICS (continued) (T_A = 25°C unless otherwise noted.)

Characteristic		Symbol	Min	Max	Unit
(I_C = 150 mAdc, V_{CE} = 1.0 Vdc)(1)	2N2218,A, 2N2221,A, 2N5581 2N2219,A, 2N2222,A, 2N5582		20 50	— —	
(I_C = 500 mAdc, V_{CE} = 10 Vdc)(1)	2N2218, 2N2221 2N2219, 2N2222 2N2218A, 2N2221A, 2N5581 2N2219A, 2N2222A, 2N5582		20 30 25 40	— — — —	
Collector-Emitter Saturation Voltage(1) (I_C = 150 mAdc, I_B = 15 mAdc)	Non-A Suffix A-Suffix, 2N5581, 2N5582	$V_{CE(sat)}$	— —	0.4 0.3	Vdc
(I_C = 500 mAdc, I_B = 50 mAdc)	Non-A Suffix A-Suffix, 2N5581, 2N5582		— —	1.6 1.0	
Base-Emitter Saturation Voltage(1) (I_C = 150 mAdc, I_B = 15 mAdc)	Non-A Suffix A-Suffix, 2N5581, 2N5582	$V_{BE(sat)}$	0.6 0.6	1.3 1.2	Vdc
(I_C = 500 mAdc, I_B = 50 mAdc)	Non-A Suffix A-Suffix, 2N5581, 2N5582		— —	2.6 2.0	

SMALL-SIGNAL CHARACTERISTICS

Current-Gain — Bandwidth Product(2) (I_C = 20 mAdc, V_{CE} = 20 Vdc, f = 100 MHz)	All Types, Except 2N2219A, 2N2222A, 2N5582	f_T	250 300	— —	MHz
Output Capacitance(3) (V_{CB} = 10 Vdc, I_E = 0, f = 100 kHz)		C_{obo}	—	8.0	pF
Input Capacitance(3) (V_{EB} = 0.5 Vdc, I_C = 0, f = 100 kHz)	Non-A Suffix A-Suffix, 2N5581, 2N5582	C_{ibo}	— —	30 25	pF
Input Impedance (I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N2218A, 2N2221A 2N2219A, 2N2222A	h_{ie}	1.0 2.0	3.5 8.0	kohms
(I_C = 10 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N2218A, 2N2221A 2N2219A, 2N2222A		0.2 0.25	1.0 1.25	
Voltage Feedback Ratio (I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N2218A, 2N2221A 2N2219A, 2N2222A	h_{re}	— —	5.0 8.0	X 10^{-4}
(I_C = 10 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N2218A, 2N2221A 2N2219A, 2N2222A		— —	2.5 4.0	
Small-Signal Current Gain (I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N2218A, 2N2221A 2N2219A, 2N2222A	h_{fe}	30 50	150 300	—
(I_C = 10 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N2218A, 2N2221A 2N2219A, 2N2222A		50 75	300 375	
Output Admittance (I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N2218A, 2N2221A 2N2219A, 2N2222A	h_{oe}	3.0 5.0	15 35	μmhos
(I_C = 10 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N2218A, 2N2221A 2N2219A, 2N2222A		10 25	100 200	
Collector Base Time Constant (I_E = 20 mAdc, V_{CB} = 20 Vdc, f = 31.8 MHz)	A-Suffix	$r_b'C_c$	—	150	ps
Noise Figure (I_C = 100 μAdc, V_{CE} = 10 Vdc, R_S = 1.0 kohm, f = 1.0 kHz)	2N2219A, 2N2222A	NF	—	4.0	dB
Real Part of Common-Emitter High Frequency Input Impedance (I_C = 20 mAdc, V_{CE} = 20 Vdc, f = 300 MHz)	2N2218A, 2N2219A 2N2221A, 2N2222A	$Re(h_{ie})$	—	60	Ohms

(1) Pulse Test: Pulse Width ≤ 300 μs, Duty Cycle ≤ 2.0%.
(2) f_T is defined as the frequency at which h_{fe} extrapolates to unity.
(3) 2N5581 and 2N5582 are Listed C_{cb} and C_{eb} for these conditions and values.

i/p (mv)	o/p (v)	i/p (mv)	o/p (v)		
20	2.25	170	5.50		
30	3.00	200	5.63		
40	3.50	240	5.87		
50	3.80	280			
60	4.00	320	6.25		
70	4.25	340	6.31		
80	4.44	380	6.38		
90	4.56	420	6.44		
100	4.75	440	6.44		
110	4.81	460	6.56		
120	5.00	500	6.63		
140	5.18				

ELECTRICAL CHARACTERISTICS (continued) (T_A = 25°C unless otherwise noted.)

Characteristic		Symbol	Min	Max	Unit
SWITCHING CHARACTERISTICS					
Delay Time	(V_{CC} = 30 Vdc, $V_{BE(off)}$ = 0.5 Vdc, I_C = 150 mAdc, I_{B1} = 15 mAdc) (Figure 14)	t_d	—	10	ns
Rise Time		t_r	—	25	ns
Storage Time	(V_{CC} = 30 Vdc, I_C = 150 mAdc, I_{B1} = I_{B2} = 15 mAdc) (Figure15)	t_s	—	225	ns
Fall Time		t_f	—	60	ns
Active Region Time Constant (I_C = 150 mAdc, V_{CE} = 30 Vdc) (See Figure 14 for 2N2218A, 2N2219A, 2N2221A, 2N2222A)		T_A	—	2.5	ns

FIGURE 1 – NORMALIZED DC CURRENT GAIN

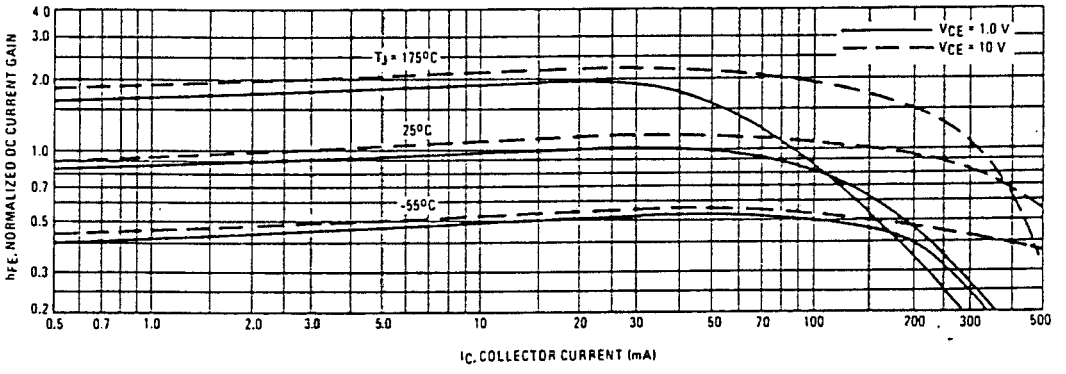
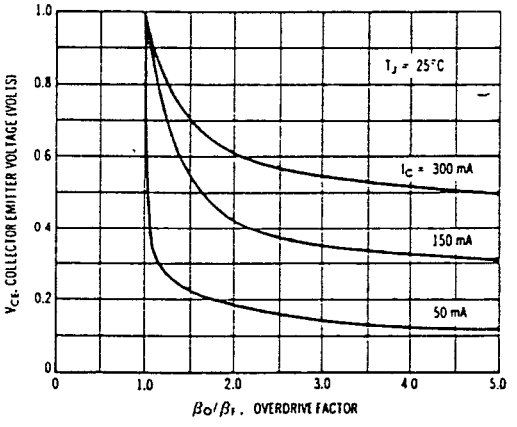


FIGURE 2 – COLLECTOR CHARACTERISTICS IN SATURATION REGION



This graph shows the effect of base current on collector current. β_c (current gain at the edge of saturation) is the current gain of the transistor at 1 volt, and β_f (forced gain) is the ratio of I_c/I_b in a circuit.

EXAMPLE: For type 2N2219, estimate a base current (I_b) to insure saturation at a temperature of 25°C and a collector current of 150 mA.

Observe that at I_c = 150 mA an overdrive factor of at least 2.5, is required to drive the transistor well into the saturation region. From Figure 1, it is seen that h_{fe} @ 1 volt is approximately 0.62 of h_{fe} @ 10 volts. Using the guaranteed minimum gain of 100 @ 150 mA and 10 V, β_o = 62 and substituting values in the overdrive equation, we find:

$$\frac{\beta_c}{\beta_f} = \frac{h_{fe}\ @\ 1.0\,V}{I_c/I_b} \qquad 2.5 = \frac{62}{150/I_b} \qquad I_b \simeq 6.0\ mA$$

FIGURE 3 – "ON" VOLTAGES

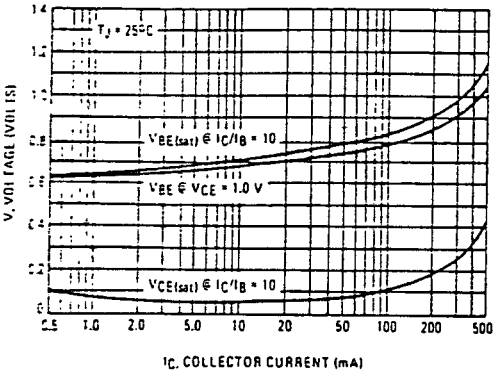
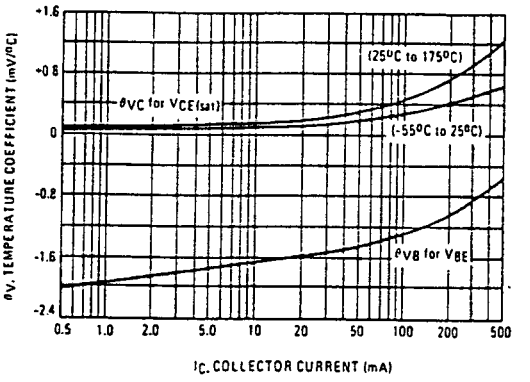


FIGURE 4 – TEMPERATURE COEFFICIENTS



h PARAMETERS

V_{CE} = 10 Vdc, f = 1.0 kHz, T_A = 25°C

This group of graphs illustrates the relationship between h_{fe} and other "h" parameters for this series of transistors. To obtain these curves, a high-gain and a low-gain unit were selected and the same units were used to develop the correspondingly numbered curves on each graph.

FIGURE 5 — INPUT IMPEDANCE

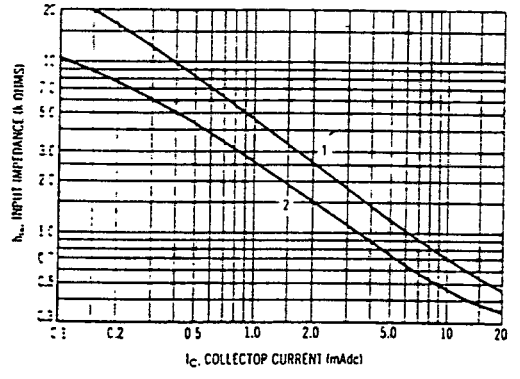


FIGURE 6 — VOLTAGE FEEDBACK RATIO

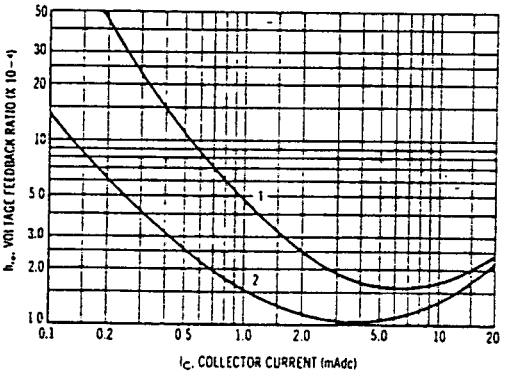


FIGURE 7 — CURRENT GAIN

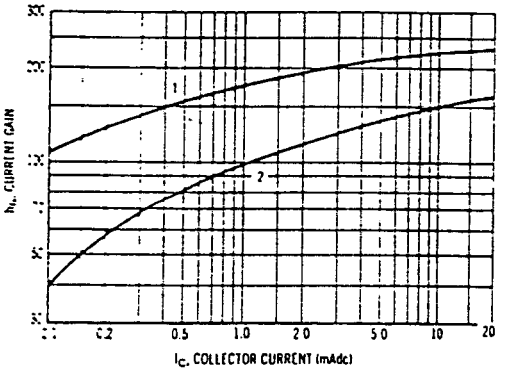
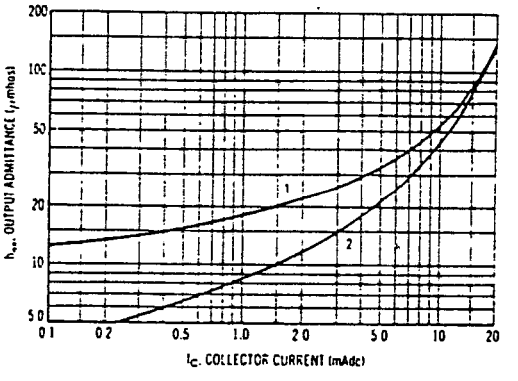


FIGURE 8 — OUTPUT ADMITTANCE



SWITCHING TIME CHARACTERISTICS

FIGURE 9 — TURN-ON TIME

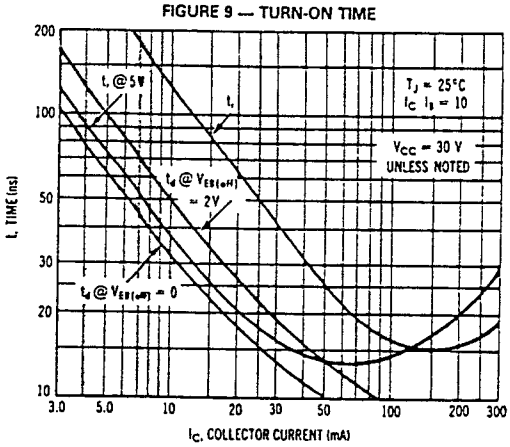


FIGURE 10 — CHARGE DATA

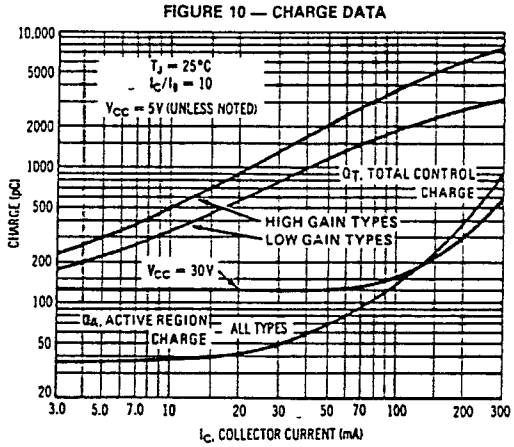


FIGURE 11 — TURN-OFF BEHAVIOR

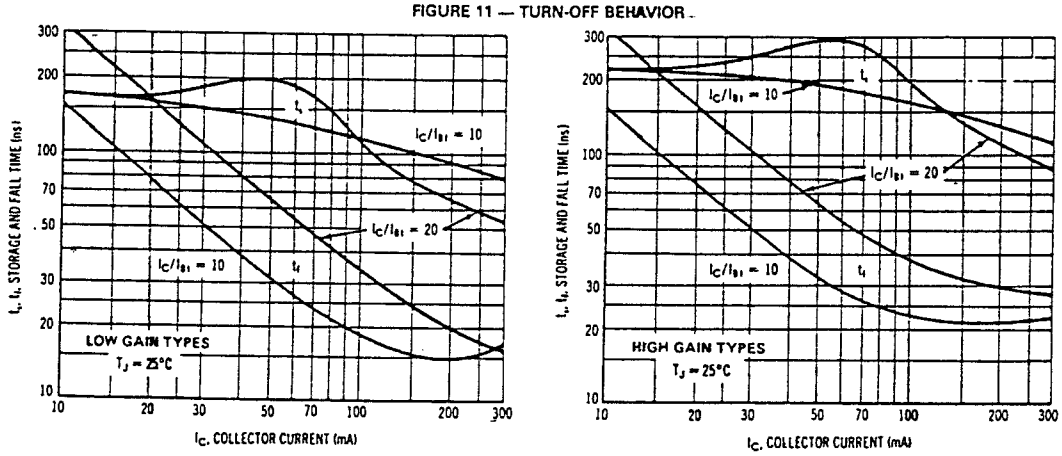


FIGURE 12 — DELAY AND RISE TIME EQUIVALENT TEST CIRCUIT

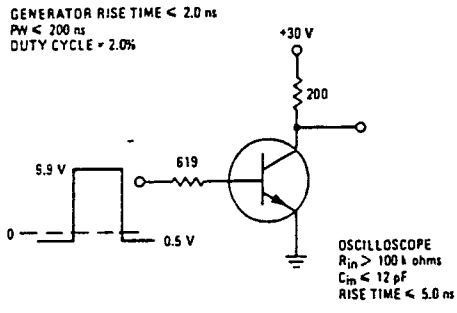
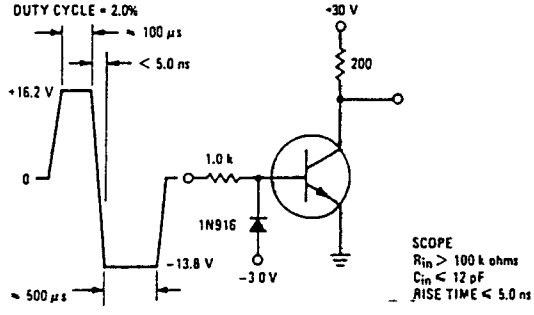


FIGURE 13 — STORAGE TIME AND FALL TIME EQUIVALENT TEST CIRCUIT



National Semiconductor

LM1596/LM1496 Balanced Modulator-Demodulator

General Description

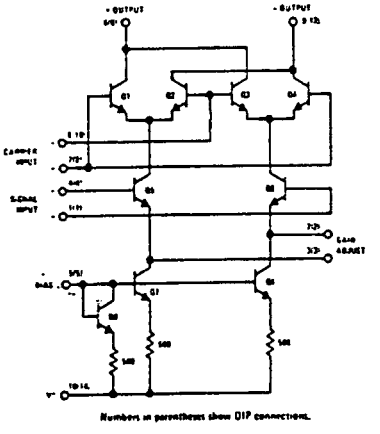
The LM1596/LM1496 are double balanced modulator-demodulators which produce an output voltage proportional to the product of an input (signal) voltage and a switching (carrier) signal. Typical applications include suppressed carrier modulation, amplitude modulation, synchronous detection, FM or PM detection, broadband frequency doubling and chopping.

The LM1596 is specified for operation over the −55°C to +125°C military temperature range. The LM1496 is specified for operation over the 0°C to +70°C temperature range.

Features

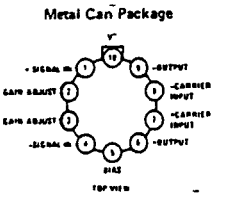
- Excellent carrier suppression
  - 65 dB typical at 0.5 MHz
  - 50 dB typical at 10 MHz
- Adjustable gain and signal handling
- Fully balanced inputs and outputs
- Low offset and drift
- Wide frequency response up to 100 MHz

Schematic and Connection Diagrams



Numbers in parentheses show DIP connections.

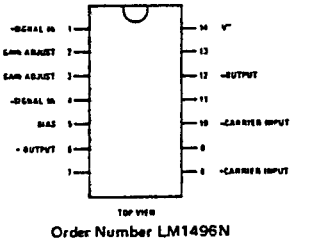
Metal Can Package



Note: Pin 10 is connected electrically to the case through the device substrate.

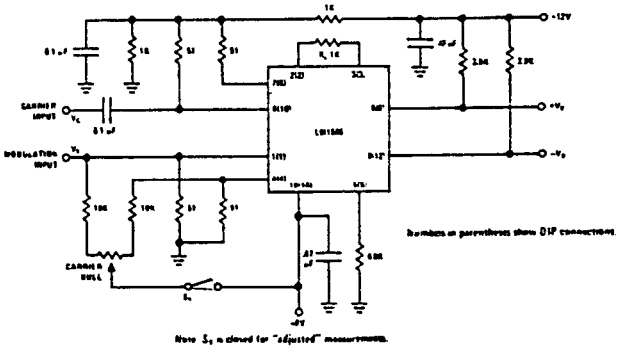
Order Number LM1496H or LM1596H
See NS Package H08C

Dual-In-Line Package



Order Number LM1496N
See NS Package N14A

Typical Application and Test Circuit



Suppressed Carrier Modulator

Absolute Maximum Ratings

Internal Power Dissipation (Note 1)	500 mW
Applied Voltage (Note 2)	30V
Differential Input Signal ($V_7 - V_8$)	±5.0V
Differential Input Signal ($V_4 - V_1$)	$\pm(5+I_5R_4)$V
Input Signal ($V_2 - V_1$, $V_3 - V_4$)	5.0V
Bias Current (I_5)	12 mA
Operating Temperature Range LM1596	-55°C to +125°C
LM1496	0°C to +70°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 sec)	300°C

Electrical Characteristics (T_A = 25°C, unless otherwise specified, see test circuit)

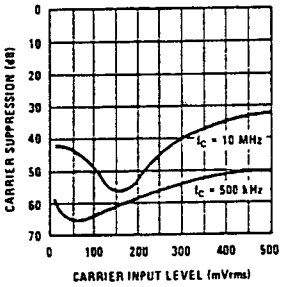
PARAMETER	CONDITIONS	LM1596			LM1496			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Carrier Feedthrough	V_C = 60mVrms sine wave f_C = 1.0 kHz, offset adjusted		40			40		µVrms
	V_C = 60 mVrms sine wave f_C = 10 MHz, offset adjusted		140			140		µVrms
	V_C = 300 mV_{pp} square wave f_C = 1.0 kHz, offset adjusted		0.04	0.2		0.04	0.2	mVrms
	V_C = 300 mV_{pp} square wave f_C = 1.0 kHz, offset not adjusted		20	100		20	150	mVrms
Carrier Suppression	f_S = 10 kHz, 300 mVrms f_C = 500 kHz, 60 mVrms sine wave offset adjusted	50	65		50	65		dB
	f_S = 10 kHz, 300 mVrms f_C = 10 MHz, 60 mVrms sine wave offset adjusted		50			50		dB
Transadmittance Bandwidth	R_L = 50Ω Carrier Input Port, V_C = 60 mVrms sine wave f_S = 1.0 kHz, 300 mVrms sine wave		300			300		MHz
	Signal Input Port, V_S = 300 mVrms sine wave $V_7 - V_8$ = 0.5Vdc		80			80		MHz
Voltage Gain, Signal Channel	V_S = 100 mVrms, f = 1.0 kHz $V_7 - V_8$ = 0.5Vdc	2.5	3.5		2.5	3.5		V/V
Input Resistance, Signal Port	f = 5.0 MHz $V_7 - V_8$ = 0.5 Vdc		200			200		kΩ
Input Capacitance, Signal Port	f = 5.0 MHz $V_7 - V_8$ = 0.5 Vdc		2.0			2.0		pF
Single Ended Output Resistance	f = 10 MHz		40			40		kΩ
Single Ended Output Capacitance	f = 10 MHz		5.0			5.0		pF
Input Bias Current	$(I_1 + I_4)/2$		12	25		12	30	µA
Input Bias Current	$(I_7 + I_8)/2$		12	25		12	30	µA
Input Offset Current	$(I_1 - I_4)$		0.7	5.0		0.7	5.0	µA
Input Offset Current	$(I_7 - I_8)$		0.7	5.0		5.0	5.0	µA
Average Temperature Coefficient of Input Offset Current	(-55°C < T_A < +125°C) (0°C < T_A < +70°C		2.0			2.0		nA/°C nA/°C
Output Offset Current	$(I_6 - I_8)$		14	50		14	60	µA
Average Temperature Coefficient of Output Offset Current	(-55°C < T_A < +125°C) (0°C < T_A < +70°C)		90			90		nA/°C nA/°C
Signal Port Common Mode Input Voltage Range	f_S = 1.0 kHz		5.0			5.0		V_{p-p}
Signal Port Common Mode Rejection Ratio	$V_7 - V_8$ = 0.5 Vdc		-85			-65		dB
Common Mode Quiescent Output Voltage			8.0			8.0		Vdc
Differential Output Swing Capability			8.0			8.0		V_{p-p}
Positive Supply Current	$(I_5 + I_8)$		2.0	3.0		2.0	3.0	mA
Negative Supply Current	(I_{10})		3.0	4.0		3.0	4.0	mA
Power Dissipation			33			33		mW

Note 1: LM1596 rating applies to case temperatures to +125°C; derate linearly at 6.5 mW/°C for ambient temperature above 75°C. LM1496 rating applies to case temperatures to +70°C.

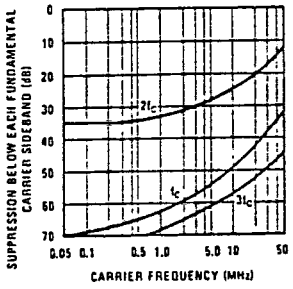
Note 2: Voltage applied between pins 6-7, 8-1, 9-7, 9-8, 7-4, 7-1, 8-4, 6-8, 2-5, 3-5.

Typical Performance Characteristics

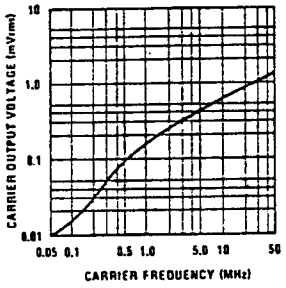
Carrier Suppression vs Carrier Input Level



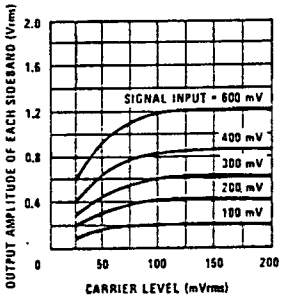
Carrier Suppression vs Frequency



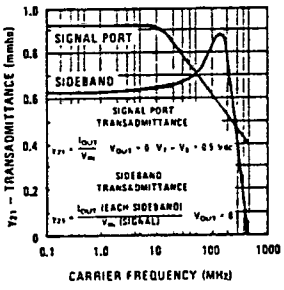
Carrier Feedthrough vs Frequency



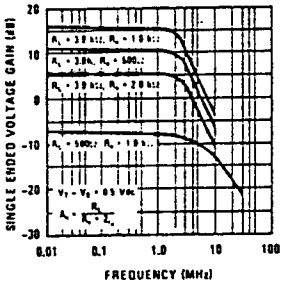
Sideband Output vs Carrier Levels



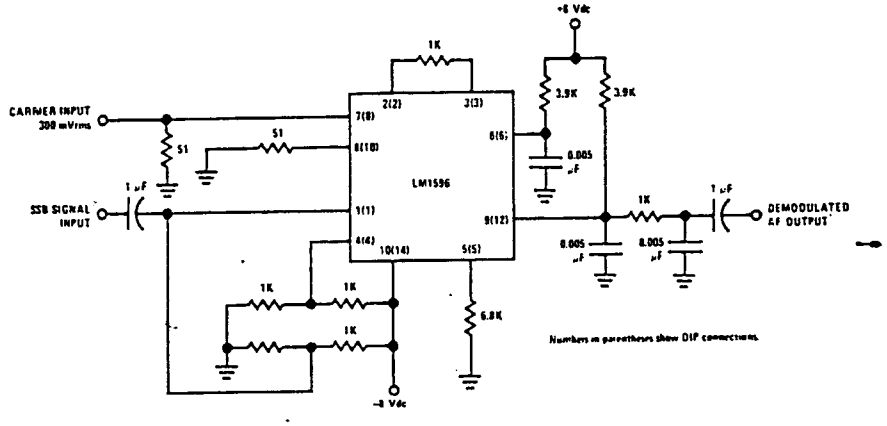
Sideband and Signal Port Transadmittances vs Frequency



Signal-Port Frequency Response



Typical Applications (Continued)

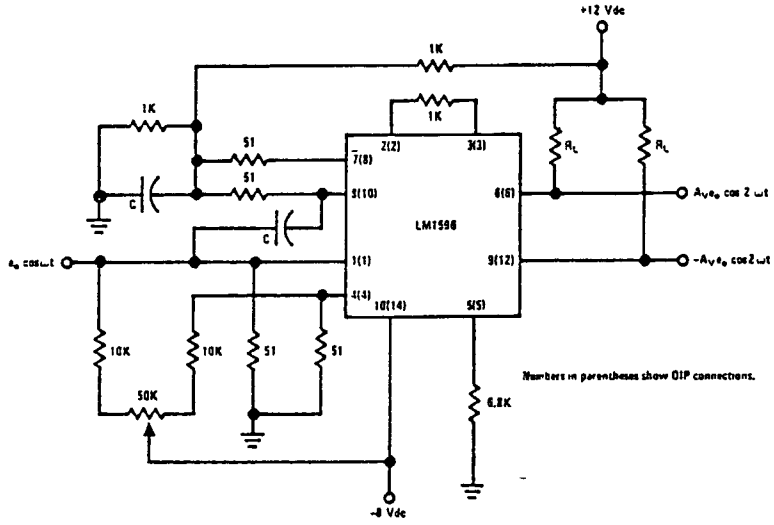


SSB Product Detector

This figure shows the LM1596 used as a single sideband (SSB) suppressed carrier demodulator (product detector). The carrier signal is applied to the carrier input port with sufficient amplitude for switching operation. A carrier input level of 300 mVrms is optimum. The composite SSB signal is applied to the signal input port with an amplitude of 5.0 to 500 mVrms. All output signal components except the desired demodulated audio are filtered out, so that an offset adjustment is not required. This circuit may also be used as an AM detector by applying composite and carrier signals in the same manner as described for product detector operation.

10

Typical Applications (Continued)



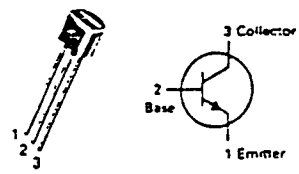
Broadband Frequency Doubler

The frequency doubler circuit shown will double low-level signals with low distortion. The value of C should be chosen for low reactance at the operating frequency.

Signal level at the carrier input must be less than 25 mV peak to maintain operation in the linear region of the switching differential amplifier. Levels to 50 mV peak may be used with some distortion of the output waveform. If a larger input signal is available a resistive divider may be used at the carrier input, with full signal applied to the signal input.

2N3903
2N3904*

CASE 29-04, STYLE 1
TO-92 (TO-226AA)



GENERAL PURPOSE
TRANSISTORS

NPN SILICON

* This is a Motorola designated preferred device.

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Collector-Emitter Voltage	V_{CEO}	40	Vdc
Collector-Base Voltge	V_{CBO}	60	Vdc
Emitter-Base Voltage	V_{EBO}	6.0	Vdc
Collector Current — Continuous	I_C	200	mAdc
Total Device Dissipation @ T_A = 25°C Derate above 25°C	P_D	625 5.0	mW mW/°C
*Total Device Dissipation @ T_C = 25°C Derate above 25°C	P_D	1.5 12	Watts mW/°C
Operating and Storage Junction Temperature Range	T_J, T_{stg}	−55 to +150	°C

*THERMAL CHARACTERISTICS

Characteristic	Symbol	Max	Unit
Thermal Resistance, Junction to Ambient	$R_{\theta JA}$	200	°C/W
Thermal Resistance, Junction to Case	$R_{\theta JC}$	83.3	°C/W

*Indicates Data in addition to JEDEC Requirements.

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted.)

Characteristic		Symbol	Min	Max	Unit
OFF CHARACTERISTICS					
Collector-Emitter Breakdown Voltage(1) (I_C = 1.0 mAdc, I_B = 0)		$V_{(BR)CEO}$	40	—	Vdc
Collector-Base Breakdown Voltage (I_C = 10 μAdc, I_E = 0)		$V_{(BR)CBO}$	60	—	Vdc
Emitter-Base Breakdown Voltage (I_E = 10 μAdc, I_C = 0)		$V_{(BR)EBO}$	6.0	—	Vdc
Base Cutoff Current (V_{CE} = 30 Vdc, V_{EB} = 3.0 Vdc)		I_{BL}	—	50	nAdc
Collector Cutoff Current (V_{CE} = 30 Vdc, V_{EB} = 3.0 Vdc)		I_{CEX}	—	50	nAdc
ON CHARACTERISTICS					
DC Current Gain(1)		h_{FE}			—
(I_C = 0.1 mAdc, V_{CE} = 1.0 Vdc)	2N3903		20	—	
	2N3904		40	—	
(I_C = 1.0 mAdc, V_{CE} = 1.0 Vdc)	2N3903		35	—	
	2N3904		70	—	
(I_C = 10 mAdc, V_{CE} = 1.0 Vdc)	2N3903		50	150	
	2N3904		100	300	
(I_C = 50 mAdc, V_{CE} = 1.0 Vdc)	2N3903		30	—	
	2N3904		60	—	
(I_C = 100 mAdc, V_{CE} = 1.0 Vdc)	2N3903		15	—	
	2N3904		30	—	
Collector-Emitter Saturation Voltage(1) (I_C = 10 mAdc, I_B = 1.0 mAdc) (I_C = 50 mAdc, I_B = 5.0 mAdc)		$V_{CE(sat)}$	— —	0.2 0.3	Vdc
Base-Emitter Saturation Voltage(1) (I_C = 10 mAdc, I_B = 1.0 mAdc) (I_C = 50 mAdc, I_B = 5.0 mAdc)		$V_{BE(sat)}$	0.65 —	0.85 0.95	Vdc
SMALL-SIGNAL CHARACTERISTICS					
Current-Gain — Bandwidth Product (I_C = 10 mAdc, V_{CE} = 20 Vdc, f = 100 MHz)	2N3903 2N3904	f_T	250 300	— —	MHz

ELECTRICAL CHARACTERISTICS (continued) (T_A = 25°C unless otherwise noted.)

Characteristic		Symbol	Min	Max	Unit
Output Capacitance (V_{CB} = 5.0 Vdc, I_E = 0, f = 1.0 MHz)		C_{obo}	—	4.0	pF
Input Capacitance (V_{EB} = 0.5 Vdc, I_C = 0, f = 1.0 MHz)		C_{ibo}	—	8.0	pF
Input Impedance (I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N3903 2N3904	h_{ie}	1.0 1.0	8.0 10	k ohms
Voltage Feedback Ratio (I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N3903 2N3904	h_{re}	0.1 0.5	5.0 8.0	X 10^{-4}
Small-Signal Current Gain (I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N3903 2N3904	h_{fe}	50 100	200 400	—
Output Admittance (I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)		h_{oe}	1.0	40	μmhos
Noise Figure (I_C = 100 μAdc, V_{CE} = 5.0 Vdc, R_S = 1.0 k ohms, f = 1.0 kHz)	2N3903 2N3904	NF	— —	6.0 5.0	dB

SWITCHING CHARACTERISTICS

Delay Time	(V_{CC} = 3.0 Vdc, V_{BE} = 0.5 Vdc, I_C = 10 mAdc, I_{B1} = 1.0 mAdc)		t_d	—	35	ns
Rise Time			t_r	—	35	ns
Storage Time	(V_{CC} = 3.0 Vdc, I_C = 10 mAdc, I_{B1} = I_{B2} = 1.0 mAdc)	2N3903 2N3904	t_s	— —	175 200	ns
Fall Time			t_f	—	50	ns

(1) Pulse Test: Pulse Width ≤ 300 μs, Duty Cycle ≤ 2.0%.

FIGURE 1 – DELAY AND RISE TIME EQUIVALENT TEST CIRCUIT

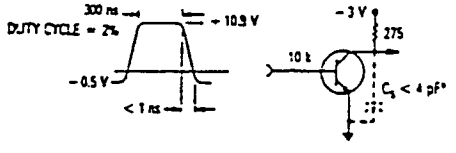
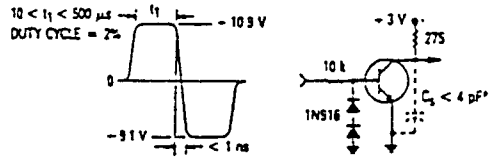


FIGURE 2 – STORAGE AND FALL TIME EQUIVALENT TEST CIRCUIT



*Total shunt capacitance of test jig and connectors

TYPICAL TRANSIENT CHARACTERISTICS

— T_J = 25°C ---T_J = 125°C

FIGURE 3 – CAPACITANCE

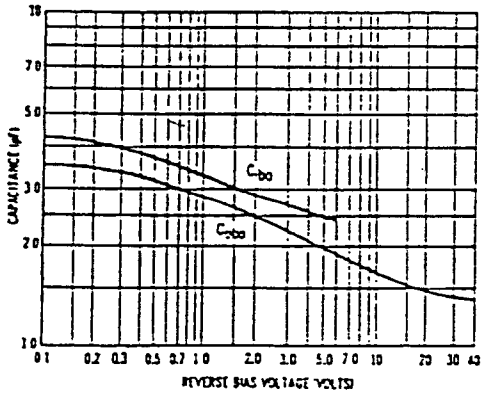


FIGURE 4 – CHARGE DATA

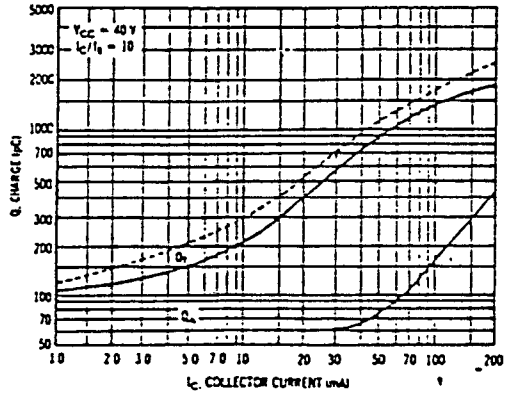


FIGURE 5 – TURN-ON TIME

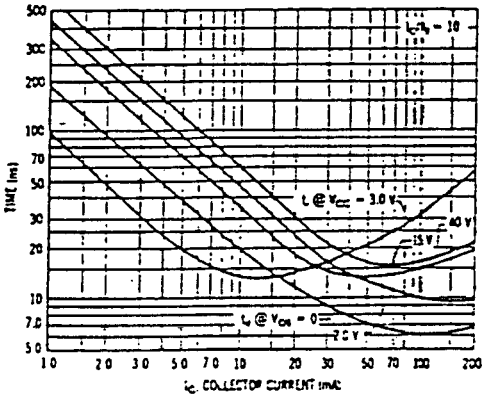


FIGURE 6 – RISE TIME

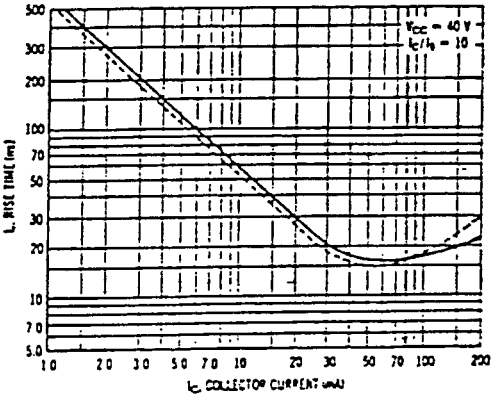


FIGURE 7 – STORAGE TIME

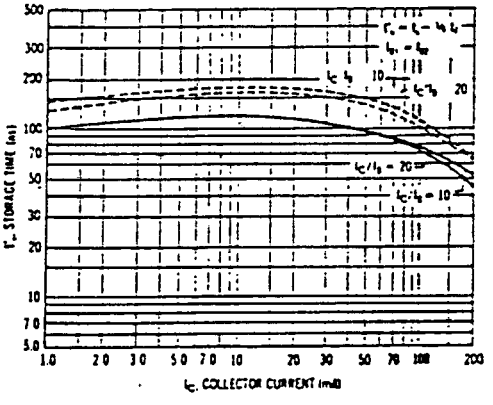
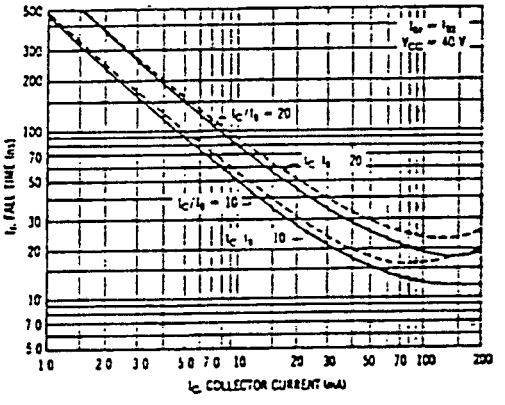


FIGURE 8 – FALL TIME



TYPICAL AUDIO SMALL-SIGNAL CHARACTERISTICS

NOISE FIGURE VARIATIONS

V_{CE} = 5.0 Vdc, T_A = 25°C,
Bandwidth = 1.0 Hz

FIGURE 9

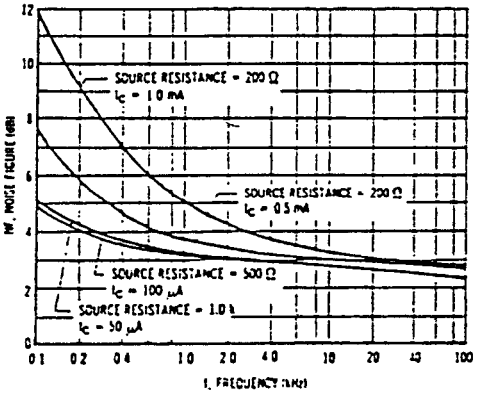
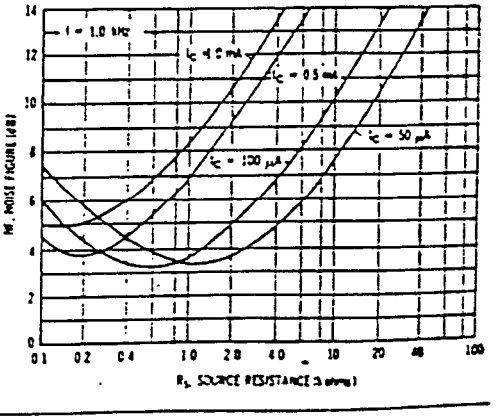


FIGURE 10



h PARAMETERS

(V_{CE} = 10 Vdc, f = 1.0 kHz, T_A = 25°C)

FIGURE 11 – CURRENT GAIN

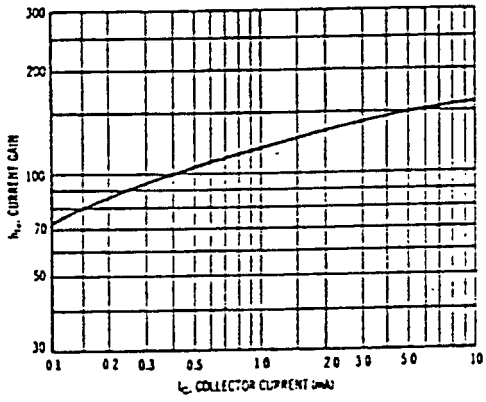


FIGURE 12 – OUTPUT ADMITTANCE

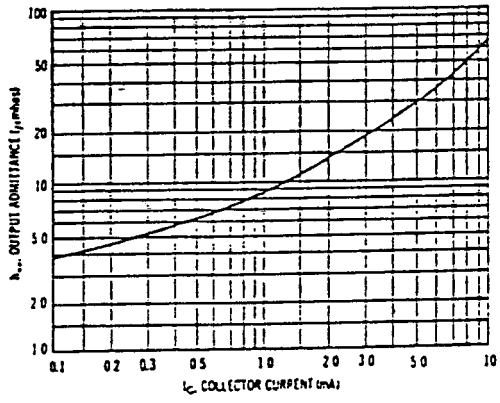


FIGURE 13 – INPUT IMPEDANCE

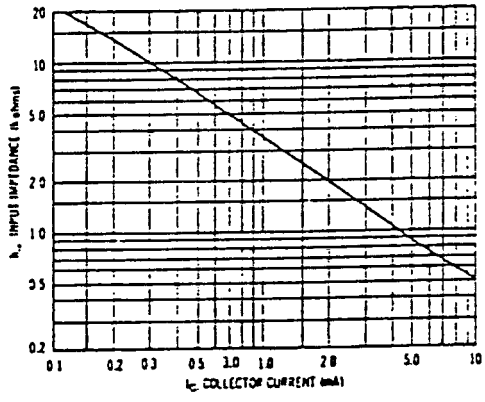
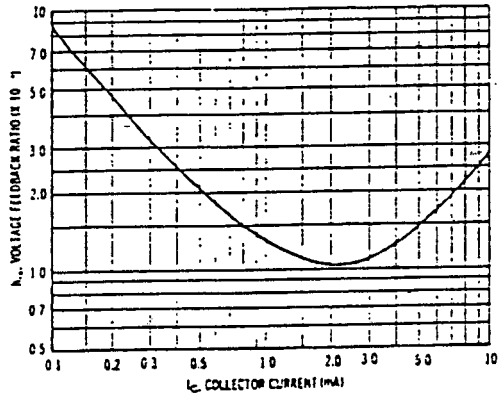


FIGURE 14 – VOLTAGE FEEDBACK RATIO



TYPICAL STATIC CHARACTERISTICS

FIGURE 15 – DC CURRENT GAIN

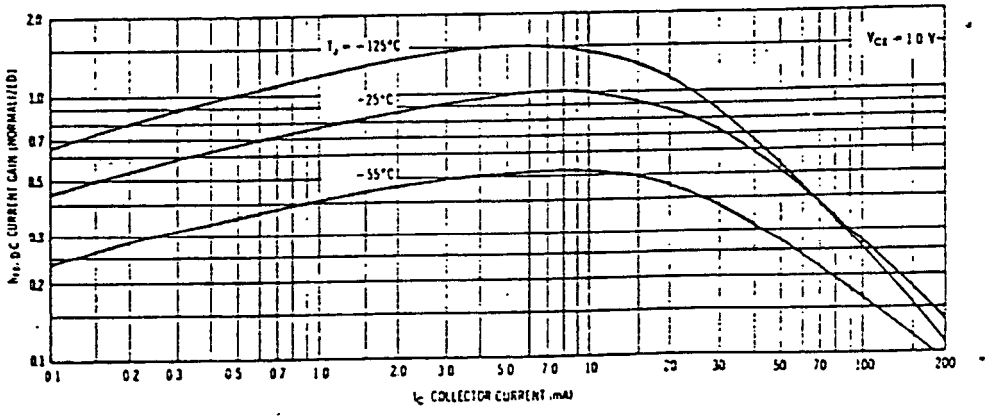


FIGURE 16 – COLLECTOR SATURATION REGION

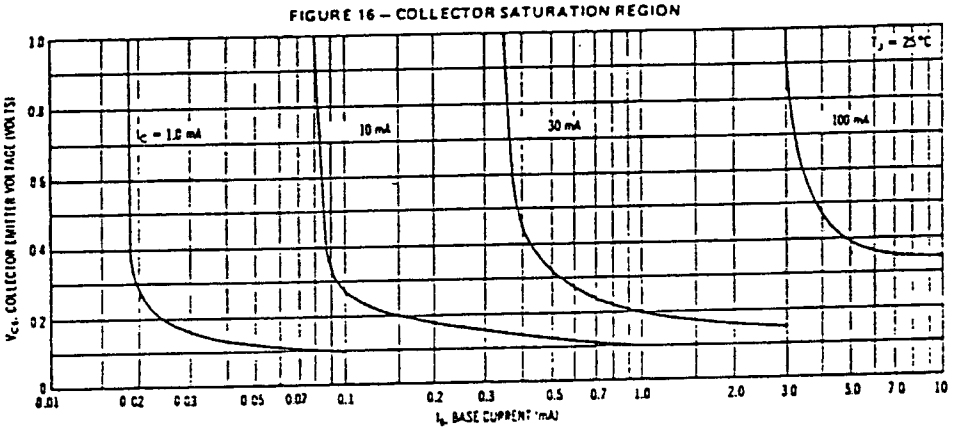


FIGURE 17 – "ON" VOLTAGES

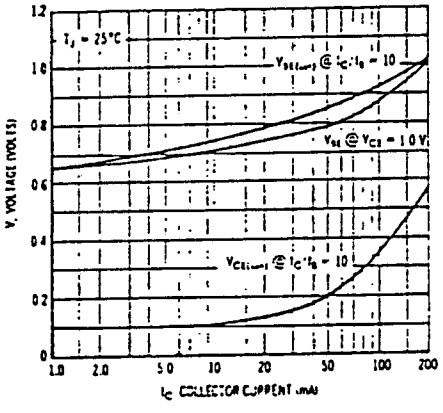
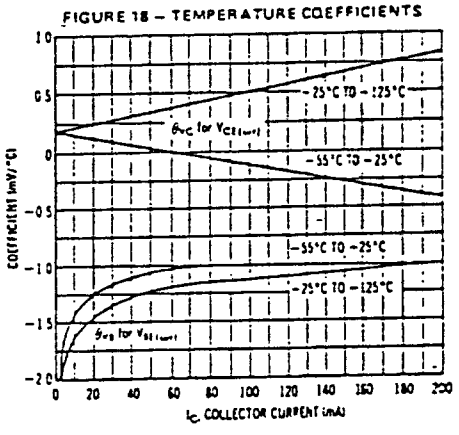


FIGURE 18 – TEMPERATURE COEFFICIENTS



หนังสืออ้างอิง

[1] Robert A. Witte , " Spectrum and Network Measurements, " Prentice Hall , Englewood Cliffs ,N.J. 07632

[2] Ramakant A. Gayakwad ,"Op -amps and Linear Integrated Circuits, " Regents/ Prentice Hall , Englewood Cliffs ,N.J. 07632

[3] Thomas L. Floyd ,"Basic Operational Amplifiers And Linear Integrated Circuits," Merrill, An Imprint Of Macmillan Publishing Company,New York, NY10022

[4] ยืน ภู่สุวรรณ," ทฤษฎีและการใช้งานอิเล็กทรอนิกส์, " กรุงเทพฯ: บริษัท ซีเอ็ดยูเคชั่น จำกัด, 2536

[5] สิทธิชัย โภไคยอุดม, พีรศักดิ์ วรสุนทรโรสถ และโตะมิโอะ อิวะสะกิ," ทฤษฎีและการคำนวณวงจรอิเล็กทรอนิกส์, " กรุงเทพฯ: บริษัท ซีเอ็ดยูเคชั่น จำกัด, 2533

[6] ดร.โคทม อารียา," วงจรอิเล็กทรอนิกส์เล่ม 2 : วงจรเชิงเส้น, " กรุงเทพฯ: บริษัท ซีเอ็ดยูเคชั่น จำกัด, 2535

[7] นิกร สุขุตมตันติม, " อีเล็คทรอนิคส์พื้นฐาน," กรุงเทพฯ: คณะวิศวกรรมศาสตร์ สจล. , 2533