สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องกำเนิดสัญญาณชนิดสังเคราะห์ความถี่

LOW FREQUENCY SYNTHESIZED SIGNAL GENERATOR

โดย

นาย ทัชยพงศ์ ดำเนินธรรม

น.ส. ทิพอาภา พงศานิจยุคันต์

น.ส. เบญจพร อินทกาญจน์

อาจารย์ที่ปรึกษา

ดร. ทองทด วานิชศรี

รศ.ดร. กอบชัย เดชหาญ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2539

เลขหมู่.....
เลขทะเบียน 27871
วัน, เดือน, ปี 26 มิ.ย. 2540

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2539

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องกำเนิดสัญญาณชนิดสังเคราะห์ความถี่

LOW FREQUENCY SYNTHESIZED SIGNAL GENERATOR

ผู้จัดทำ

1. นายทัชยพงศ์ ดำเนินธรรม 36014164
2. นางสาวทิพอาภา พงศานิจยุคันต์ 36014167
3. นางสาวเบญจพร อินทกาญจน์ 36014235

.....

(ดร.ทองทด วานิชศรี)

.....

(รศ.ดร.กอบชัย เดชหาญ) อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องกำเนิดสัญญาณชนิดสังเคราะห์ความถี่

LOW FREQUENCY SYNTHESIZED SIGNAL GENERATOR

ผู้จัดทำ

1. นายทัชยพงศ์ ดำเนินธรรม 36014164
2. นางสาวทิพอาภา พงศานิจยคันต์ 36014167
3. นางสาวเบญจพร อินทกาญจน์ 36014235

อาจารย์ที่ปรึกษา

ดร. ทองทด วานิชศรี

รศ.ดร. กอบชัย เดชหาญ

บทคัดย่อ

โครงงานนี้เป็นการออกแบบและสร้างเครื่องกำเนิดสัญญาณรูปซายน์ ที่มีความถี่ตั้งแต่ 10 Hz ถึง 1 MHz และมีขนาดสัญญาณเอาต์พุตสูงสุด 10 V_{p-p} และมีเอาต์พุตอิมพีแดนซ์ 50 โอห์ม การกำเนิดความถี่จะใช้การสังเคราะห์ความถี่ โดยมีความถูกต้องของความถี่ดีกว่า 100 ppm และมีความละเอียดของความถี่ประมาณ 10 Hz

ABSTRACT

This project concerns about design and construction of a Low frequency synthesized signal generator. The frequency of this generator is between 10 Hz to 1MHz, output amplitute is 10 V_{P-P} and output impedence is 50 ohms. The frequency generator is used the principle of synthesize and frequency accuracy is greatter then 100 ppm and The frequency is varied 10 Hz per step

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทที่ 1	บทนำ	1
บทที่ 2	ทฤษฎีและหลักการ	3
	เฟสล็อกลูป	3
	ออสซิลเลเตอร์	9
	การหารความถี่และวงจรนับ	16
	การรวมความถี่	22
	วงจรกรองความถี่ต่ำผ่าน	26
	วงจรขยายสัญญาณ	27
บทที่ 3	การคำนวณและการสร้าง	33
	วงจรคริสตอลออสซิลเลเตอร์	36
	วงจรหาร	36
	วงจรเปรียบเทียบเฟส	38
	วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน	40
	วงจรลูปฟิลเตอร์	43
	วงจรกรองความถี่ต่ำผ่าน	44
	วงจรอินเวอร์เตอร์	47
บทที่ 4	การทดลองและผลการทดลอง	48
บทที่ 5	บทวิจารณ์และบทสรุป	55
ภาคผนวก		
กิตติกรรมประกาศ		
เอกสารอ้างอิง		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

รูปที่ 2.1	แผนผังของเฟสล็อกลูป	3
รูปที่ 2.2	เฟสนอยส์กับความถี่เอาต์พุต	5
รูปที่ 2.3	แผนผังของหน่วยสังเคราะห์ความถี่	5
รูปที่ 2.4	คุณลักษณะในการเปลี่ยนความถี่เฟสล็อกลูป	7
รูปที่ 2.5	แสดงการออสซิลเลททางกล	10
รูปที่ 2.6	แสดงการเกิดออสซิลเลททางด้านวงจรไฟฟ้า	11
รูปที่ 2.7	วงจรออสซิลเลท	11
รูปที่ 2.8	การออสซิลเลทในช่วงเริ่มแรกและการออสซิลเลทแบบต่อเนื่อง	12
รูปที่ 2.9	วงจรสมมูลย์ของผลึกคริสตอล	13
รูปที่ 2.10	โครงสร้างและตัวอย่างรูปร่างคริสตอล	14
รูปที่ 2.11	แสดงผลึกควอร์ตซและการตัดผลึก	14
รูปที่ 2.12	วงจรหารและนับความถี่	16
รูปที่ 2.13	ตารางสภาวะของวงจรนับ	17
รูปที่ 2.14	วงจรนับแบบอะซิงโครนัส	18
รูปที่ 2.15	วงจรนับแบบซิงโครนัส	19
รูปที่ 2.16	วงจรนับขึ้น/นับลงแบบขนาน	22
รูปที่ 2.17	สิ่งประดิษฐ์เชิงเส้น	23
รูปที่ 2.18	สิ่งประดิษฐ์ไม่เป็นเชิงเส้น	23
รูปที่ 2.19	แสดงการรวมสัญญาณสองสัญญาณแบบเชิงเส้น	24
รูปที่ 2.20	การผสมสัญญาณแบบไม่เป็นเชิงเส้น	24
รูปที่ 2.21	การทำงานของบาลานซ์มิกเซอร์	25
รูปที่ 2.22	เอาต์พุตของวงจรบาลานซ์มิกเซอร์ในโดเมนความถี่	25
รูปที่ 2.23	วงจรกรองสัญญาณความถี่ต่ำและกราฟแสดงอัตราการขยาย	26
รูปที่ 2.24	การกำหนดค่าอัตราขยายที่ความถี่ขอบเขตในหน่วยต่าง ๆ	27
รูปที่ 2.25	วงจรขยายแบบกลับเฟส	28
รูปที่ 2.26	แสดงการไหลของกระแสเมื่อแรงดันที่เป็นลบถูกป้อนเข้าที่ขาลบของออปแอมป์	30
รูปที่ 2.27	วงจรแบบอินเวอร์ติ้ง	30
รูปที่ 2.28	แสดงทิศทางการไหลของกระแส และขั้วแรงดันเมื่อป้อนแหล่งจ่ายไฟชนิดต่าง ๆ	31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.1 บล็อกไดอะแกรมของเครื่องกำเนิดสัญญาณชนิดสังเคราะห์ความถี่ 34
รูปที่ 3.2 บล็อกไดอะแกรมส่วนสังเคราะห์ความถี่เฟสล็อกลูปแบบมัลติลูป 35
รูปที่ 3.3 วงจรออสซิลเลเตอร์ 36
รูปที่ 3.4 (ก) วงจรหาร 10000 37
รูปที่ 3.4 (ข) วงจรหาร 100 38
รูปที่ 3.5 หลักการทำงานของ Phase Detector II ในไอซี MC4046 39
รูปที่ 3.6 วงจรเปรียบเทียบเฟส 39
รูปที่ 3.7 วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยระดับแรงดัน 40
รูปที่ 3.8 (ก) วงจรหารแบบโปรแกรมได้ (N=1010-1110) 41
รูปที่ 3.8 (ข) วงจรหารแบบโปรแกรมได้ (N=9000-10000) 42
รูปที่ 3.9 วงจรลูปฟิลเตอร์ 43
รูปที่ 3.10 วงจรมิกเซอร์ 44
รูปที่ 3.11 วงจรกรองความถี่ต่ำผ่าน (ความถี่คัทออฟเท่ากับ 1 MHz) 44
รูปที่ 3.12 วงจรกรองความถี่ต่ำผ่าน (ความถี่คัทออฟเท่ากับ 300 kHz) 44
รูปที่ 3.13 วงจรอินเวอร์เตอร์ 47
รูปที่ 4.1 สัญญาณเอาต์พุตจากวงจรคริสตอลออสซิลเลเตอร์ 48
รูปที่ 4.2 ความถี่อ้างอิงของลูปปรับละเอียด ซึ่งเป็นเอาต์พุตที่ได้จากวงจรหาร 10000 48
รูปที่ 4.3 ความถี่อ้างอิงของลูปปรับหยาบ ซึ่งเป็นเอาต์พุตที่ได้จากวงจรหาร 1000 49
รูปที่ 4.4 เอาต์พุตของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยระดับแรงดัน 49
รูปที่ 4.5 กราฟแสดงความสัมพันธ์ระหว่าง V_c กับ F_o 50
รูปที่ 4.6 เอาต์พุตที่ได้จากการมิกซ์ระหว่างความถี่ 10 และ 11 MHz 51
รูปที่ 4.7 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่าน (คัทออฟ 1MHz) 53
รูปที่ 4.8 สัญญาณอินพุตที่ป้อนให้แก่วงจรเปรียบเทียบเฟสในสภาวะล็อก 54
รูปที่ 4.9 สัญญาณเอาต์พุตของลูปปรับละเอียดที่ความถี่ต่ำสุด 55
รูปที่ 410 สัญญาณเอาต์พุตของลูปปรับละเอียดที่ความถี่สูงสุด 55
รูปที่ 4.11 สัญญาณเอาต์พุตของลูปปรับหยาบที่ความถี่ต่ำสุด 56
รูปที่ 4.12 สัญญาณเอาต์พุตของลูปปรับหยาบที่ความถี่สูงสุด 56
รูปที่ 4.13 สัญญาณเอาต์พุตของลูปหลักที่ความถี่ต่ำสุด 57
รูปที่ 4.14 สัญญาณเอาต์พุตของลูปหลักที่ความถี่สูงสุด 57
รูปที่ 4.15 สัญญาณเอาต์พุตของเครื่องกำเนิดความถี่ 1 MHz 58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

เครื่องกำเนิดสัญญาณชนิดสังเคราะห์ความถี่ เป็นอุปกรณ์ที่ใช้กำเนิดสัญญาณให้แก่อุปกรณ์จำพวกเครื่องรับส่งวิทยุ เป็นต้น เครื่องกำเนิดสัญญาณนี้ประกอบไปด้วย ออสซิลเลเตอร์ซึ่งปรับความถี่ได้ที่วงจรมอดูเลต และวงจรลดทอนสัญญาณ วงจรที่ทำหน้าที่สังเคราะห์ความถี่เรียกว่าวงจรซิลธิไซเซอร์

ความจริงหลักการการสังเคราะห์ความถี่ได้คิดค้นกันมาตั้งแต่ ปี พ.ศ. 2475 แล้ว และได้พัฒนามาโดยลำดับ แต่เริ่มแพร่หลายกันจริง ๆ ก็เมื่อประมาณปี พ.ศ. 2513 เนื่องจากเทคโนโลยีการผลิตไอซีช่วยให้การออกแบบใช้งานมีความสะดวกสบายมากกว่าแต่ก่อน วงการแรกที่นำระบบสังเคราะห์ความถี่มาใช้ก็คือ วงการทหาร และกิจการเดินอากาศแล้วจึงค่อย ๆ นำมาใช้ในวงการวิทยุสื่อสารทั่วไปตามลำดับ สัญญาณจากเครื่องกำเนิดที่ดีควรอ่านค่าความถี่ และแอมพลิจูดได้ถูกต้องตามที่ต้องการ เครื่องกำเนิดสัญญาณชนิดสังเคราะห์ความถี่แบ่งออกเป็น 3 ประเภทใหญ่ ๆ คือ

1. **เครื่องกำเนิดสัญญาณออดิโอ** (AF) ใช้กำเนิดสัญญาณความถี่เสียง เพื่อป้อนแก่วงจรขยายเสียงแทนไมโครโฟน โทนหรือแหล่งกำเนิดเสียงต่าง ๆ เช่น การปรับจูนเครื่องส่งซิงเกิลไซด์แบนด์เราใช้สัญญาณสองโทน มอดูเลตแก่วงจรซิงเกิลไซด์แบน เป็นต้น

2. **เครื่องกำเนิดสัญญาณวิทยุ** (RF) มีความจำเป็นมากในการตรวจตราซ่อมแซมเครื่องรับ, ส่งวิทยุ ในสมัยก่อนเครื่องกำเนิดสัญญาณ RF จะมีขนาดใหญ่ หน้าปัดอ่านความถี่หรือแอมพลิจูดขนาดโต ๆ แต่ในปัจจุบันนี้เครื่องกำเนิดสัญญาณ RF จะใช้ระบบซินธีไซเซอร์ซึ่งมีวงจรควบคุมให้เอาท์พุตคงที่ตลอดย่านความถี่ และสามารถอ่านปริมาณการมอดูเลตได้โดยตรง ในการตรวจซ่อมเครื่องในย่านความถี่ HF เราใช้เครื่องกำเนิดสัญญาณ RF ที่มีความถี่ใช้งาน 30 เมกะเฮริตซ์ก็พอเว้นแต่ในกรณีเครื่องรับส่งประเภทอัพคอนเวอร์ชั่น ซึ่ง IF ต้องใช้ความถี่สูงขึ้นไปถึงย่าน VHF

เครื่องกำเนิดสัญญาณ RF ที่ใช้ในงานตรวจซ่อมทั่วไป จะต้องจ่ายสัญญาณได้ต่ำกว่า 1 ไมโครโวลต์ และต้องไม่มีการรั่วไหลของสัญญาณ RF จากตัวเครื่อง (หรือออกมาตามสาย AC) เป็นอันขาด มิฉะนั้นการวัดความไวของภาคเครื่องรับจะผิดพลาด และควรจะจ่ายสัญญาณได้มากกว่า 0.5 โวลต์ ในการทดสอบภาคเครื่องส่งหรือใช้แทนเครื่อง นอกจากนี้จะต้องสามารถปรับปริมาณการมอดูเลตได้ทั้ง AM และ FM สัญญาณที่ออกจากเครื่องกำเนิดสัญญาณ RF จะต้องบริสุทธิ์ปราศจากเสียงฮัมหรือนอยส์ (ที่ปรากฏในรูปของสัญญาณ FM) และฮาร์มอนิก

3. **เครื่องกำเนิดสัญญาณสวีป** (sweep) นับว่ามีประโยชน์มากในการตรวจสอบวงจร RF เช่น วงจรแทงค์ โดยปกติเครื่องกำเนิดสัญญาณสวีปไม่จำเป็นจะต้องมีความเที่ยงตรงสูงที่ทัดเทียมกับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องกำเนิดสัญญาณ RF ในการใช้งานเราจะสแกนความถี่ของเครื่องกำเนิดสัญญาณสวีปโดยวิธีอิเล็กทรอนิกส์แล้วต่อเข้ากับสโคปให้กวาดไปในทางแนวราบ (แกน X) จากความถี่ต่ำไปยังความถี่สูง เอาท์พุตของวงจร RF จะผ่านการดีเทกเสียก่อนแล้วจึงป้อนไปยังแกน Y ของสโคป เพื่อหาเส้นโค้งผลตอบแอมพลิจูดที่ความถี่ต่าง ๆ

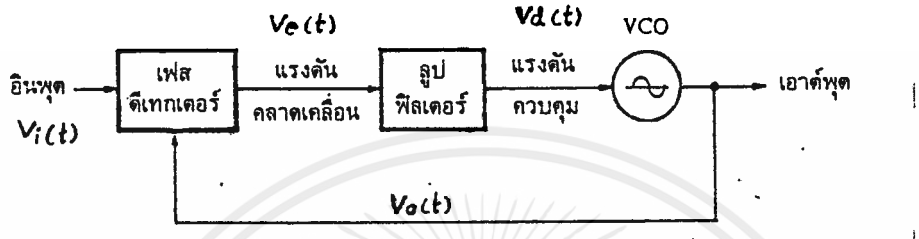
วิธีการสังเคราะห์ความถี่แต่ละแบบมีความซับซ้อนแตกต่างกัน ซึ่งขึ้นอยู่กับช่วงความถี่ ช่วงห่างระหว่างขั้น (step size หรือ resolution) ในที่นี้จะขออธิบายถึงการสังเคราะห์ความถี่ที่ใช้ในเครื่องรับส่งวิทยุทั่วไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

เฟสล็อกลูป

เฟสล็อกลูปเป็นระบบป้อนกลับที่บังคับให้วงจรออสซิลเลเตอร์มีความถี่หรือเฟสเปลี่ยนแปลงไปตามความถี่ หรือเฟสของสัญญาณอ้างอิงภายนอก เฟสล็อกลูปประกอบด้วยภาคสำคัญ3 ภาค คือ ภาคเทียบเฟสหรือเฟสดีเทคเตอร์ ภาคลูปฟิลเตอร์ และภาค VCO ดังรูป 2.1



รูปที่ 2.1 แผนผังของเฟสล็อกลูป

สมมติว่ามีสัญญาณความถี่อ้างอิงภายนอกเป็นสัญญาณรายคาบมาที่อินพุต ภาคเทียบเฟสทำหน้าที่เปรียบเทียบเฟสระหว่างสัญญาณอ้างอิงกับสัญญาณจาก VCO เอาท์พุตที่ได้จากภาคเฟสดีเทคเตอร์จะเป็นแรงดันที่มีแอมพลิจูดเป็นสัดส่วนกับผลต่างในเฟสของสัญญาณทั้งสองที่ทำการเปรียบเทียบ แรงดันผลต่างนี้ป้อนไปให้วงจรลูปฟิลเตอร์ซึ่งเป็นฟิลเตอร์ชนิดโลพาสกรองเอาแต่เฉพาะความถี่ต่าง ๆ ที่ต้องการ เพื่อส่งไปควบคุมการออสซิลเลตของ VCO ต่อไป

เมื่อลูปอยู่ในสภาวะล็อก (lock)ความถี่ของ VCO จะเท่ากับความถี่ของสัญญาณอินพุตพอดี อาจจะมีเฟสแตกต่างไป แต่ค่าเฟสที่แตกต่างนั้นจะมีค่าคงที่ (constant phase difference) ในกรณีที่มีเฟสไม่ตรงกันภาคเฟสดีเทคเตอร์จะจ่ายแรงดันคลาดเคลื่อน (error voltage) ไปควบคุมการทำงานของ VCO เพื่อมิให้เฟสคลาดเคลื่อนจนกว่าจะเข้าสู่สภาวะล็อก เอาท์พุตของ VCO จึงมีแอมพลิจูดคงที่เสมอ แต่ความถี่จะเปลี่ยนแปลงตามความถี่ของสัญญาณอินพุต

จากที่ได้กล่าวมาแล้ว เราอาจจะอธิบายการทำงานในลักษณะสมการทางไฟฟ้าได้อีกดังนี้คือ เมื่อไม่มีสัญญาณเข้า ($v_i = 0$) แรงดัน v_d และ v_o (ที่ใช้ควบคุม vco) จะเป็นศูนย์ VCO จะกำเนิดสัญญาณที่ความถี่หนึ่งเรียกว่า ความถี่อิสระ (free running frequency) f_{00} เมื่อใส่สัญญาณเข้า v_i ที่ความถี่ f_i ถ้า f_i ต่างจาก f_{00} มาก สัญญาณ v_o ซึ่งมีความถี่เท่ากับ $f_{00} - f_i$ จะไม่สามารถผ่านวงจรต่ำผ่าน แรงดัน v_d ที่ใช้ควบคุม VCO จะยังคงเป็นศูนย์ และ VCO ยังคงทำงานที่ความถี่ f_{00}

ถ้า f_i ไม่ต่างจาก f_{00} มากนัก นั่นคือ $| f_i - f_{00} | < \Delta f_p$ ($2\Delta f_p$ มีชื่อว่าช่วงดึงเข้าหรือ pull-in range) สัญญาณ v_o จะมีลักษณะไม่สมมาตร กล่าวคือมีองค์ประกอบไฟตรงไม่เท่ากับ 0 v_d จะค่อย ๆ เพิ่มค่าขึ้น และหลังจากช่วงเวลาหนึ่งเรียกว่า เวลาดึงเข้า (pull-in time) ความถี่ f_0 ที่ค่อย ๆ แปรไปยังค่า f_i

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะต่างจาก f_i เพียง $| f_i - f_{00} | = \Delta f_p$ ($2\Delta f_p$ มีชื่อว่าช่วงจับหรือ capture range) ถึงตอนนี้ f_0 จะแปรเข้าสู่ค่า f_i อย่างรวดเร็วฉับพลัน เรียกว่า เกิดการล็อก v_d ก็จะเปลี่ยนแปลงฉับพลันเช่นกัน ทั้งนี้สำหรับ VCO โดยทั่วไปความถี่ f_0 เป็นปฏิภาคกับการป่ายเบนจากความถี่อิสระ นั่นคือ

$$w_0 - w_{00} = k_0 v_d$$

โดยที่ k_0 เรียกว่าความไวของ VCO มีหน่วยเป็น (rad/sec) /v

การได้มาซึ่งการล็อกอาจใช้วิธีได้ดังนี้

(ก.) ณ.ขณะหนึ่ง ความถี่ของ VCO ต่างจากความถี่ขาเข้า f_i น้อยกว่า Δf_c จะเกิดการล็อกโดยฉับพลันเรียกว่า เกิดการจับ (capture)

(ข.) ณ.ขณะหนึ่ง ความถี่ของ VCO ต่างจากความถี่ขาเข้า f_i มากกว่า Δf_c แต่น้อยกว่า Δf_p ความถี่ของ VCO จะค่อยเลื่อนเข้าหาความถี่ f_i เรียกว่า เกิดการดึงเข้า (pull-in)

(ค.) นอกช่วงดึงเข้าหรือในกรณีที่การดึงเข้าใช้เวลานานเกินไป อาจเพิ่มวงจรเพื่อควบคุมให้ความถี่ของ VCO กวาดไปเพื่อเสาะหาความถี่ของสัญญาณ หรือถ้าเสียงรบกวนมีน้อย ก็อาจเพิ่มแถบความถี่ของวงรอบ ซึ่งจะเพิ่มช่วงการจับและการดึงเข้า หรือเพิ่มเติมวงจรจำแนกความถี่

เมื่อเกิดการล็อกแล้วถ้าความถี่ของสัญญาณแปรไป ความถี่ของ VCO จะแปรตามไปด้วย เรียกว่า เกิดการตามรอบ (tracking) ความถี่ของ VCO จะสามารถตามรอยความถี่ f_i ได้ ตราบใดที่ $| f_i - f_{00} | < \Delta f_H$ ($2\Delta f_H$ มีชื่อว่าช่วงคงไว้ หรือช่วงล็อก)

เราสามารถนำเฟสล็อกลูปไปใช้สังเคราะห์ หรือผลิตความถี่ที่มีความเที่ยงตรงและเสถียรภาพเทียบเท่าสัญญาณอ้างอิงได้ วงจรนี้เรียกว่า วงจรสังเคราะห์ความถี่ ระบบสังเคราะห์ความถี่จะช่วยให้เราสามารถสังเคราะห์สัญญาณเอาต์พุต (จาก VCO) ให้มีความถี่ตามต้องการได้หลายความถี่โดยมีความเที่ยงตรงและเสถียรภาพสูงเทียบเท่าคริสตอลออสซิลเลเตอร์

<u>คุณสมบัติของวงจรสังเคราะห์ความถี่</u>

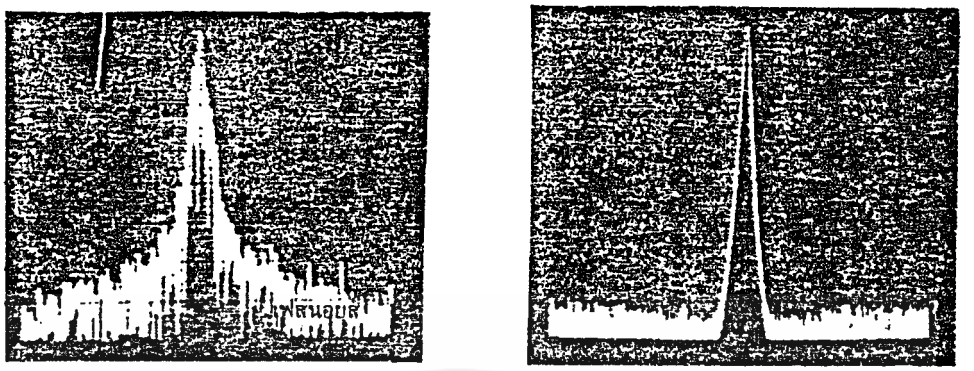
นอกจากวงจรสังเคราะห์ความถี่จะต้องมีคุณสมบัติเกี่ยวกับช่วงความถี่ (frequency range) ที่ต้องผลิตและเรโซลูชั่นระหว่างขั้นแล้ว คุณสมบัติอื่น ๆ ของวงจรสังเคราะห์ความถี่ก็มีความสำคัญเช่นกัน

โดยปกติวงจรสังเคราะห์ความถี่จะสามารถกำเนิดสัญญาณเพียงสัญญาณเดียว แต่เลือกความถี่ได้หลายค่า (ในช่วงความถี่ใช่งาน) และมีความละเอียดของความถี่ขึ้นอยู่กับเรโซลูชั่น ในกรณีที่เราเปลี่ยนความถี่จากค่าหนึ่งไปยังอีกค่าหนึ่ง วงจรสังเคราะห์ความถี่จะต้องเปลี่ยนตามได้เร็วทันที กล่าวอีกอย่างหนึ่ง คือ ล็อกความถี่ได้ในเวลาอันรวดเร็ว นั่นคือ ช่วงเวลาล็อก (lock-up time) สั้น คุณสมบัติการล็อกความถี่ใหม่ได้รวดเร็วนั้นมีความจำเป็นอย่างยิ่ง

วงจรสังเคราะห์ความถี่ที่ดีจะต้องผลิตสัญญาณความถี่เดียว โดยปราศจากความถี่แปลกปลอมต่าง ๆ คุณสมบัตินี้เรียกว่า ความบริสุทธิ์ของสเปกตรัม (spectrum purity) นั่นคือความถี่ฮาร์มอนิกและสปิวเรียสต่าง ๆ จะต้องถูกกำจัดให้เหลือน้อยที่สุด นอกจากนี้นอยส์จากวงจรออสซิลเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะทำให้วงจรสังเคราะห์ความถี่ไม่บริสุทธิ์ ไม่ใช่เพียงความถี่เดียว (ดูรูปที่ 2.2) ในช่วงใกล้เคียงกับความถี่ที่ต้องการ นอยส์ดังกล่าวนี้เรียกว่า เฟสนอยส์ (phase noise)



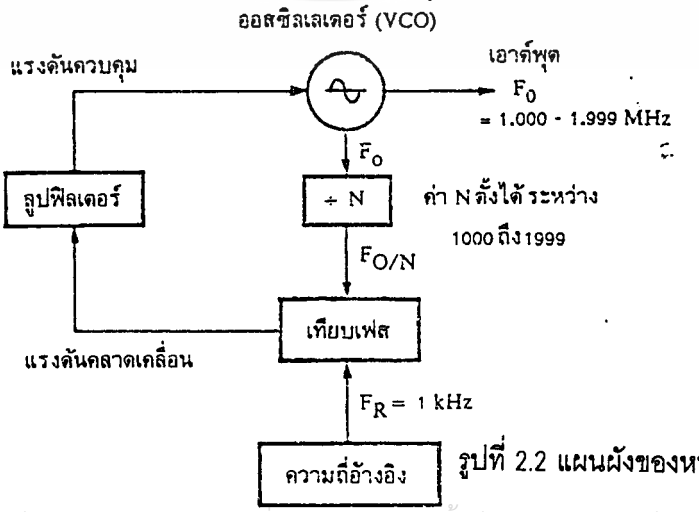
(ก) เอาท์พุทมีเฟสนอยส์ (ข) เอาท์พุทที่บริสุทธิ์

รูปที่ 2.2เฟสนอยส์ปรากฏเป็นความถี่แปลกปลอมในบริเวณใกล้ กับความถี่เอาท์พุท

ความเที่ยงตรง (accuracy) และเสถียรภาพ (stability) ทางความถี่ของวงจรสังเคราะห์ความถี่ขึ้นอยู่กับสัญญาณอ้างอิง โดยทั่วไปสัญญาณอ้างอิงมักจะเป็นวงจรออสซิลเลเตอร์ชนิดใช้แร่บังคับความถี่ ฉะนั้นวงจรสังเคราะห์ความถี่จะมีเสถียรภาพและความเที่ยงตรงเทียบเท่ากับคริสตอลออสซิลเลเตอร์

<u>การใช้เฟสล็อกลูปในการสังเคราะห์ความถี่</u>

แม้ว่าระบบสังเคราะห์ความถี่จะมีความซับซ้อนเพียงใด เมื่อพิจารณาลึกลงไปแล้วจะพบว่ามีเฟสล็อกลูปเป็นหัวใจในการสังเคราะห์ความถี่เสมอ รูปที่ 2.3 เป็นตัวอย่างของระบบสังเคราะห์ความถี่อย่างง่าย ประกอบด้วย 5 ภาค คือ ภาค VCO เป็นออสซิลเลเตอร์กำเนิดสัญญาณเอาท์พุตของระบบสังเคราะห์ความถี่ ภาคหาร N ทำหน้าที่หารความถี่แบบตั้งโปรแกรมให้หารด้วยค่าตัวเลขตามต้องการได้ ภาคกำเนิดความถี่อ้างอิง คริสตอลออสซิลเลเตอร์หรือสัญญาณอื่น ๆ (reference generator) ภาคเทียบเฟสและภาคลูปฟิลเตอร์ซึ่งทำหน้าที่กรองเอาเฉพาะความถี่ต่ำไปใช้



รูปที่ 2.2 แผนผังของหน่วยสังเคราะห์ความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคเฟสดีเทคเตอร์

จากรูปจะเห็นว่าสัญญาณอินพุตของภาคเทียบเฟสมาจาก 2 แหล่งคือ

- จาก VCO มีความถี่เท่ากับ F_O/N
- จากสัญญาณอ้างอิงมีความถี่เท่ากับ F_R

เอาท์พุตที่ได้จากการเปรียบเทียบเฟสก็คือ ผลต่างระหว่างสัญญาณ F_O/N กับ F_R ซึ่งจะกรองเฉพาะความถี่ต่ำเท่านั้น เพื่อบังคับการออสซิลเลตของวงจร VCO ให้ทำการปรับแก้ความถี่ (หรือเฟส) ให้ตรง จนกว่าความถี่ของสัญญาณทั้งสองจะเท่ากัน

ในสภาวะล็อกความถี่ของ VCO เมื่อผ่านวงจรหาร N จะเท่ากับความถี่อ้างอิง นั่นคือ

$$F_O = NF_R$$

ภาคออสซิลเลเตอร์แบบควบคุมความถี่ด้วยระดับแรงดัน (VCO)

วงจร VCO นับว่ามีความสำคัญมากในระบบเฟสล็อกลูป เพราะจะเป็นตัวกำหนดเสถียรภาพเชิงความถี่ VCO จะต้องมีคุณสมบัติดังต่อไปนี้คือ

- การแปลงแรงดันเป็นความถี่มีลักษณะเป็นเชิงเส้น
- มีเสถียรภาพเชิงความถี่
- ทำงานได้ที่ความถี่สูง
- ช่วงตามรอยกว้าง
- ปรับคลื่นได้ง่าย

คุณสมบัติเหล่านี้อาจขัดแย้งกันเองอยู่บ้าง เช่น มีเสถียรภาพทางความถี่ อาจขัดแย้งกับข้ออื่น ในกรณีนี้ก็ต้องออมชอม และเลือกชนิดของ VCO แล้วแต่ว่าต้องการเน้นคุณสมบัติใด

ภาคลูปฟิลเตอร์

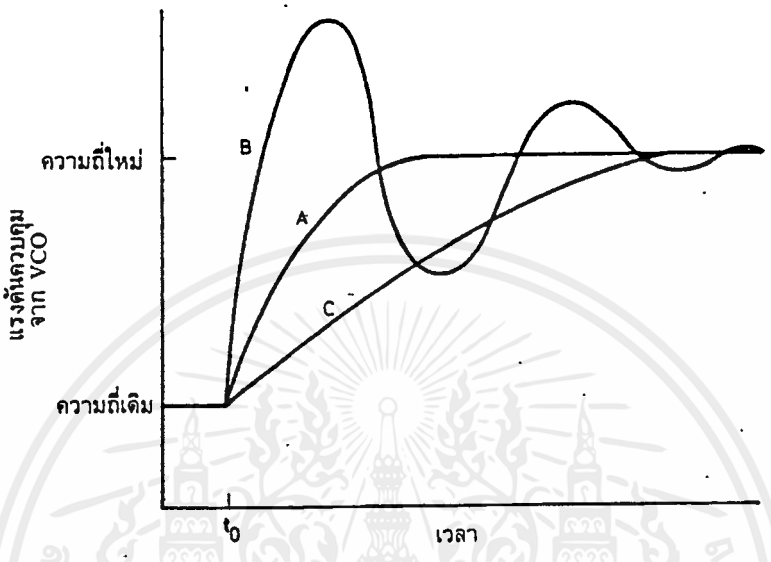
เป็นวงจรฟิลเตอร์ชนิดโลพาสธรรมดา ทำหน้าที่กรองเอาเฉพาะสัญญาณความถี่ต่ำมาควบคุมความถี่ของ VCO และในที่นี้เราใช้ลูปฟิลเตอร์ประเภทพาสซีป ลูปฟิลเตอร์นี้เป็นตัวกำหนดคุณสมบัติการเปลี่ยนแปลงความถี่ก่อนเข้าสู่สภาวะล็อกที่เรียกว่า คุณสมบัติชั่วครู่ ถ้าเลือกอัตราขยายลูปและค่าคงตัวเวลาของลูปไม่เหมาะสม ความถี่ของเฟสล็อกลูปจะไม่ล็อกและจะเปลี่ยนไปเปลี่ยนมา ดังนั้น ค่าคงตัวเวลาของลูปฟิลเตอร์จะต้องไม่มากเกินไป เพื่อว่าทุกครั้งที่เปลี่ยนความถี่เฟสล็อกลูปจะล็อกได้เร็วโดยไม่มีการสะบัด หรือใช้เวลาเปลี่ยนความถี่อย่างรวดเร็ว แต่ค่าคงตัวเวลาก็ไม่ควรจะน้อยเกินไปจนกระทั่งความถี่สั่นหรือไม่นิ่ง

รูปที่ 2.4 ซึ่งแสดงการเปลี่ยนความถี่ของ VCO จะเห็นว่าเส้นทางการเปลี่ยนแปลงแรงดันมี 3 เส้นทาง เส้นทาง A เป็นเส้นทาง critically damped ใช้เวลาในการเปลี่ยนสู่ความถี่ใหม่น้อยที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เส้นทาง B เรียกว่าเส้นทาง underdamped มีการสะบัด (หรือออสซิลเลต) เนื่องจากโอเวอร์ชูต เส้นทาง C เป็นเส้นทาง overdamped ไม่มีโอเวอร์ชูตแต่เวลาที่ใช้ในการเข้าสู่ความถี่ใหม่จะช้า

เส้นทาง A เป็นเส้นทางที่ดีที่สุดในการออกแบบค่าคงตัวเวลาของลูปฟิลเตอร์ เพราะใช้เวลาเปลี่ยนความถี่เร็วและไม่มีโอเวอร์ชูต



รูปที่ 2.4 คุณลักษณะ (dynamic range) ในการเปลี่ยนความถี่เฟสล็อกลูป

<u>ภาคหาร N</u>

ภาคหาร N (หรือ programmable divider) เวลาที่ใช้ในการล็อกความถี่เมื่อ N มีค่าน้อยสุดจะไม่เท่ากับเมื่อ N มีค่ามากที่สุด วงจรหาร N เกิดจากวงจรนับฐานสิบ (decade counter) หลาย ๆ ชุดมาต่อร่วมกับเกตต่างๆ เพื่อให้สามารถเลือกสั่งให้วงจรนับทำหน้าที่หารความถี่ได้ตามตัวเลขที่ตั้งไว้วงจรหาร N นี้เป็นตัวรับคำสั่งเกี่ยวกับความถี่ไปควบคุม VCO เพื่อให้กำเนิดสัญญาณตามที่ต้องการ ตัว N จะเป็นตัวที่กำหนดย่านความถี่และจำนวนช่องความถี่

ลักษณะการป้อนข้อมูล N ให้กับวงจรหาร N แบบขนาน (parallel) คือข้อมูลแต่ละบิตจะป้อนเข้าพร้อม ๆ กัน ส่วนลักษณะการป้อนข้อมูล N ให้กับวงจรหาร N แบบอนุกรมแต่ละบิตจะป้อนเข้าไม่พร้อมกัน วงจรหารประเภทนี้มีความซับซ้อนมากกว่า เพราะต้องมีสัญญาณนาฬิกา (clock) มีวงจรแลตช์ ฯลฯ ในการป้อนข้อมูลวงจรหาร N ประเภทนี้จะควบคุมการทำงานด้วยไมโครคอมพิวเตอร์

ปัญหาสำคัญของซินธิไซเซอร์อีกอย่างหนึ่งก็คือ วงจรหาร N (หรือวงจรหารที่ตั้งโปรแกรมได้) ไม่สามารถทำงานที่ความถี่สูงกว่า 25 เมกะเฮริตซ์ได้ ฉะนั้นเราจึงต้องหาทางลดทอนความถี่ที่ป้อนแก่วงจรหาร N ลง เพื่อให้วงจรลอจิกของวงจรหาร N ทำงานได้ วิธีต่าง ๆ ที่นิยมใช้ได้แก่ ใช้ความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากออสซิลเลเตอร์พิเศษ (บางครั้งเรียกว่า ออสซิลเลเตอร์ PLL) มามิกซ์กับ VCO ให้ความถี่ลดลงก่อนที่จะป้อนให้แก่วงจรหาร

ภาคกำเนิดความถี่อ้างอิง

ภาคกำเนิดความถี่อ้างอิงนิยมใช้คริสตอลออสซิลเลเตอร์ (ดังจะแสดงรายละเอียดในบทที่ 4) ความถี่ออสซิลเลเตอร์อ้างอิงนี้ เป็นตัวกำหนดเรโซลูชั่นและเสถียรภาพของความถี่อ้างอิงที่ดี จึงทำให้สามารถสังเคราะห์ความถี่ที่มีเสถียรภาพดีด้วย

ข้อดีข้อเสียของวงจรเฟสล็อกลูป

วงจรเฟสล็อกลูปมีข้อดีหลายประการสำหรับการใช้งานบางอย่างซึ่งไม่มีวงจรอื่นที่จะเทียมเท่า อย่างไรก็ดีในการใช้งานบางอย่างนั้นก็อาจใช้วงจรกรองแบบ LC หรือ RC แทนได้ ข้อดีของวงจรเฟสล็อกลูปเมื่อเทียบกับวงจรกรองแบบ RC ได้แก่

1. ทำงานได้ดีที่ความถี่สูง สามารถทำงานได้ที่ความถี่สูงกว่า 100 MHz ส่วนวงจรกรองแบบ RC ทำได้แค่ความถี่ประมาณ 100 kHz
2. อำนาจการเลือกสรร (selectivity) และความถี่กลางไม่ขึ้นต่อกัน กล่าวคือความถี่กลางกำหนดโดยความถี่อิสระของ VCO ส่วนอำนาจการเลือกสรรขึ้นอยู่กับลักษณะของวงจรต่ำผ่านจึงไม่มีปัญหาการเรียงคลื่น (alignment)
3. องค์ประกอบภายนอก วงจรประมวลมีน้อยและปรับคลื่นได้ง่าย โดยทั่วไปความถี่อิสระของ VCO กำหนดโดย C ตัวเดียว หรือ C กับ R ซึ่งจะปรับคลื่นได้ตั้งแต่ค่าต่ำกว่า kHz ถึง 100 MHz

อย่างไรก็ดีวงจรเฟสล็อกลูปก็มีข้อเสียเช่นกัน

1. ไม่ให้ข้อมูลเกี่ยวกับช่วงสูง วงจรเฟสล็อกลูปสนองตอบต่อความถี่เท่านั้น ตราบเท่าที่สัญญาณเข้ามีขนาดใหญ่พอที่จะทำให้เกิดการล็อก วงจรจะไม่สนองตอบต่อช่วงสูงของสัญญาณเข้า
2. สนองตอบต่อฮาร์มอนิก หรือฮาร์มอนิกย่อยของสัญญาณเข้า ทำให้การขจัดสัญญาณแทรกแซงที่มีความถี่เป็นอัตราส่วนจำนวนเต็มกับสัญญาณไม่สู้ได้ผลนัก
3. ขาดเทคนิคการสังเคราะห์ เนื่องจากลักษณะการจับของวงจรเฟสล็อกลูปเป็นแบบไม่เชิงเส้น เทคนิคการสังเคราะห์ให้ได้วงจรที่มีลักษณะเชิงความถี่ตามข้อกำหนดจึงเป็นเรื่องที่ยากมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ออสซิลเลเตอร์

วงจรออสซิลเลเตอร์แบ่งออกเป็น วงจรออสซิลเลเตอร์คลื่นรูปซายน์ และวงจรออสซิลเลเตอร์ที่ไม่ใช่คลื่นรูปซายน์ เช่น รูปสี่เหลี่ยม พัลส์ เป็นต้น ในบทนี้จะได้ทำการศึกษาเฉพาะวงจรออสซิลเลเตอร์คลื่นรูปซายน์ ซึ่งจะให้กำเนิดคลื่นรูปซายน์ออกมาที่จุดสัญญาณออก

วงจรออสซิลเลเตอร์คลื่นรูปซายน์ (sine - wave oscillator) จะให้กำเนิดสัญญาณคลื่นรูปซายน์ออกมาตลอดเวลา โดยมีขนาดและความถี่คงที่ ชนิดของการออสซิลเลทแบ่งได้จากอุปกรณ์ที่ใช้ ฉะนั้นวงจรออสซิลเลเตอร์คลื่นรูปซายน์จะแบ่งได้เป็น

1. วงจรออสซิลเลเตอร์ที่ใช้ LC
2. วงจรออสซิลเลเตอร์ที่ใช้ CR
3. วงจรออสซิลเลเตอร์ที่ใช้ก้อนผลึก (Crystal)

จากการแบ่งตามข้างบนนี้ ยังสามารถแยกออกไปเพื่อให้ชัดเจนยิ่งขึ้นได้อีก ตามตารางที่ 2.1

ตารางที่ 2.1 วงจรออสซิลเลเตอร์แบบคลื่นรูปซายด

องค์ประกอบของออสซิลเลเตอร์	ชื่อของออสซิลเลเตอร์	ลักษณะการใช้งาน	ที่ใช้งาน
วงจรออสซิลเลเตอร์แบบ *LC*	1. เฮลกความถี่ที่ 2. คอลเลคเตอร์ (เดรน) 3. เลือกความถี่ที่เบส (เกท) 4. เลือกความถี่อิมิตเตอร์ 5. ฮาร์ทเลย์ 6. คอลพิทท์	1. ความถี่เปลี่ยนแปลงได้ง่าย 2. โดยทั่วไปเสถียรภาพของความถี่ไม่ดี 3. มักจะใช้กันโดยทั่วไป 4. ใช้ในย่านความถี่สูง	1. ใช้ในเครื่องรับวิทยุ ทีวี เอฟเอ็ม ฯลฯ 2. ใช้เป็นตัวออสซิลเลเตอร์ในการวัดทางด้านความถี่สูง
วงจรออสซิลเลเตอร์แบบ *CR*	1. แบบเลื่อนเฟส 2. แบบเวนบริดจ์	1. ใช้ช่วงความถี่ต่ำ 2. ความถี่สามารถเปลี่ยนแปลงได้ 3. เสถียรภาพของความถี่ไม่ดี	ใช้เป็นตัวออสซิลเลเตอร์ในการวัดทางด้านความถี่ต่ำ
วงจรออสซิลเลเตอร์แบบใช้ชิ้นผลึก	1. ชิ้นผลึกต่อระหว่าง B กับ E 2. ชิ้นผลึกต่อระหว่าง C กับ B	1. เสถียรภาพของความถี่ดีเป็นพิเศษ : $10^{-5} - 10^{-7}$ / องศา 2. ใช้ในย่านความถี่สูง 3. การทำให้ความถี่เปลี่ยนแปลงทำได้ยาก	1. ใช้ในเครื่องส่งวิทยุ นาฬิกา เครื่องมือวัดต่าง ๆ ฯลฯ 2. เมื่อนำมาใช้ร่วมกับวงจรเฟสล็อกลูป (PLL) จะนำมาใช้งานได้อย่างกว้างขวาง

วงจรออสซิลเลเตอร์นี้ก็อาจเรียกได้ว่าเป็นวงจรขยายชนิดหนึ่ง แต่เป็นวงจรขยายชนิดป้อนกลับ และที่สำคัญคือการป้อนกลับของสัญญาณจะมิได้ป้อนกลับในลักษณะลบเหมือนกับวงจรขยาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ป้อนกลับทั่วไป ถ้าพิจารณาอัตราการขยายแรงดันจากสมการการป้อนกลับของวงจรขยาย แสดงได้ดังนี้

$$A_V = A_V / 1-\beta A_V$$

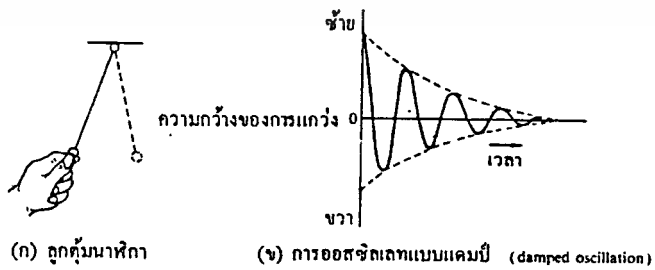
จากสมการจะเห็นได้ว่า ในส่วนเทอมของ $A_V\beta$ ถ้าหารเทอมนี้มีค่าเป็นบวก นั่นก็หมายความว่าเป็นการป้อนกลับแบบบวก อัตราการขยายวงจรจะมีค่าเพิ่มขึ้นและจะทำให้เสถียรภาพของวงจรเลวลงมาก แต่ถ้าเทอม $A_V\beta$ มีค่าเป็น 1 จะมีผลทำให้อัตราการขยายของวงจรเพิ่มขึ้นจนเป็นอนันต์ (อินฟินิตี้) ซึ่งหมายความว่าแม้ใส่อินพุตมาเพียงเล็กน้อยเอาท์พุตที่ได้จะมากมายมหาศาล แต่ในทางเป็นจริงแล้วเอาท์พุทที่ได้จะเกิดขึ้นเองถึงแม้จะไม่ใส่อินพุตก็ตามนั่นหมายความว่าวงจรเกิดออสซิลเลชั่นนั่นเอง

สิ่งหนึ่งที่จะอธิบายในเรื่องของการป้อนกลับแบบบวกให้เข้าใจก็คือ การพิจารณาในรูปของเฟสกับการป้อนกลับ สัญญาณป้อนกลับจากเอาท์พุตจะกลับเฟส 180° แล้วป้อนผ่านเข้ามาทางอินพุตใหม่ ดังนั้นสัญญาณที่เข้ามาจะมีทิศทางเสริมกับสัญญาณป้อนกลับ ซึ่งถ้าเฟสที่ป้อนกลับเข้ามาไม่ตรงกับวงจรขยายก็จะไม่ออสซิลเลท (โดยปกติในวงจรขยายทั่วไปสัญญาณเอาท์พุตจะมีเฟสต่างจากอินพุต 180° อยู่แล้ว)

ถ้าสัญญาณที่ป้อนเข้ามาทางอินพุตของวงจรขยายมีขนาดเล็ก ๆ สัญญาณเอาท์พุตที่ได้จะกลับเฟสแล้วมาเสริมกับอินพุตทำให้อินพุตมีขนาดเพิ่มขึ้นซึ่งจะทำให้เอาท์พุตที่ได้มีขนาดใหญ่ขึ้นด้วย เมื่อป้อนกลับเข้ามาเสริมอีกก็จะให้เอาท์พุตได้ใหญ่ขึ้นอย่างไม่มีที่สิ้นสุด โดยปกติการเพิ่มของสัญญาณจะถูกจำกัดที่ค่าแรงดันค่าหนึ่ง ดังนั้นเมื่อกลับมาแล้วก็เสมือนกับการป้อนกลับด้วยค่าแรงดันคงที่ วงจรจึงให้เอาท์พุตได้ที่ระดับแรงดันเสมือนกับคงที่คือการออสซิลเลทนั่นเอง

<u>หลักการเบื้องต้นของการออสซิลเลท</u>

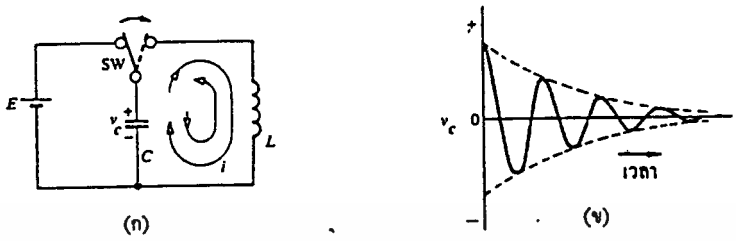
กระแสที่ช่วยให้เกิดการออสซิลเลทอย่างต่อเนื่อง



รูปที่ 2.5 แสดงการออสซิลเลททางกล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามรูปที่ 2.5 (ก) เมื่อลูกตุ้มนาฬิกาถูกปล่อยจากมือ ก็จะเกิดการแกว่งหรือออสซิลเลทด้วยคาบคงที่ดังรูปที่ 2.5 (ข) แต่ต่อมาขนาดหรือระยะทางของการแกว่งจะลดลงเรื่อย ๆ จนกระทั่งหยุดลง เนื่องมาจากผลของการต้านของอากาศและความฝืดของจุดที่ยึดลูกตุ้มนาฬิกาไว้ ด้วยลักษณะแนวความคิดนี้สามารถนำมาใช้กับวงจรไฟฟ้าดังรูป 2.6 ได้เหมือนกัน

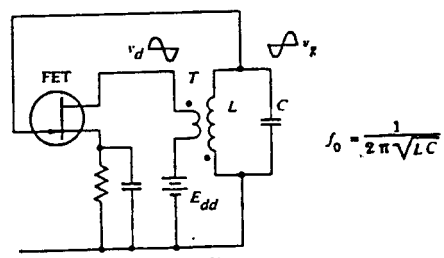


รูปที่ 2.6 แสดงการเกิดออสซิลเลททางด้านวงจรไฟฟ้า

จากรูปที่ 2.6 (ก) ถ้าสวิตช์ถูกเลื่อนออกมาด้านขวาหลังที่ทำการประจุตัวเก็บประจุ C เต็มแล้วกระแส I จะเริ่มไหลออกจากตัวเก็บประจุ ผ่านไปยังขดลวด L แต่เนื่องจากขดลวดมีคุณสมบัติของการเฉื่อยหรือไม่สามารถที่จะเปลี่ยนแปลงอย่างทันทีทันใดได้ ดังนั้นเมื่อกระแสที่ไหลจากตัวเก็บประจุ C ไปยังขดลวด L หมดแล้ว (คายประจุจนเป็นศูนย์) ก็จะเกิดกระแสไหลย้อนกลับทางกับทิศทางแรกเข้าที่การประจุตัวเก็บประจุอีก กลับไปกลับมาเช่นนี้ สภาวะการไหลของกระแสออสซิลเลทจะเป็นดังที่กล่าวมาแล้วข้างต้น เนื่องจากผลของความต้านทาน R ภายในวงจรทำให้เกิดการสูญเสียกำลังงานไปเป็น I^2R นั่นหมายความว่าการออสซิลเลทจะถูกลดทอนลง ค่าศักดาที่ตกคร่อมตัวเก็บประจุ C จะสามารถเขียนมาเป็นกราฟได้ดังรูปที่ 2.6 (ข) ซึ่งเหมือนกับการออสซิลเลททางกล (โดยที่เฟสของศักดาจะตามกระแสอยู่ 90 องศา)

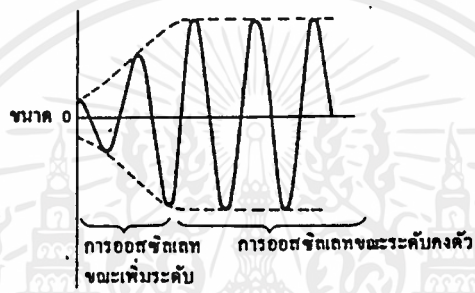
การออสซิลเลทในลักษณะที่ได้กล่าวมาแล้วนี้ เรียกว่า การออสซิลเลทแบบแดมป์ (damped oscillation) เพื่อที่จะช่วยให้การออสซิลเลทเป็นไปอย่างต่อเนื่อง จะต้องใส่กำลังเข้าไปในระบบมีค่าเท่ากับกำลังที่สูญเสียไป หรือกล่าวได้ว่า ลูกตุ้มนาฬิกาจะต้องถูกผลักเล็กน้อย เมื่อเคลื่อนที่ไปจนถึงด้านซ้ายสุดของการแกว่ง ในกรณีของการออสซิลเลททางไฟฟ้า สวิตช์จะต้องถูกผลักกลับมาทางด้านซ้ายมือทันทีที่ค่าศักดา V_c มีค่าสูงสุด เพื่อที่จะรับค่ากำลังทางด้านไฟฟ้าจากแหล่งจ่ายไฟฟ้าแล้วทำการผลักกลับตำแหน่งเดิม

โดยอาศัยหลักการการออสซิลเลททางกลมาทำความเข้าใจกับการออสซิลเลททางไฟฟ้าลองมาพิจารณาจากวงจรจริง ๆ ตามรูปที่ 2.7



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเริ่มจ่ายไฟให้กับวงจร จะทำให้เกิดการกระชากของศักดา v_g ขึ้นด้วย ค่าศักดา v_g จะถูกขยายโดยเฟท ผลที่ได้ถูกป้อนไปยังขดปฐมภูมิของทรานฟอเมอร์มีค่าเป็น v_d (แหล่งจ่ายไฟตรงขนาดเมื่อคิดในแง่ของไฟสลับแล้วให้มีค่าเป็น v_d) โดยผลอันนี้จะทำให้กำลังงานป้อนไปให้วงจรเกิดออสซิลเลทได้ ขนาดของการออสซิลเลทจะเพิ่มขึ้นดังรูปที่ 2.8 และการออสซิลเลทในลักษณะแรกนี้เรียกว่าการออสซิลเลทช่วงเริ่มแรก หลังจากผ่านช่วงนี้ไปขนาดของสัญญาณจะเริ่มคงที่สภาวะนี้เรียกว่าการออสซิลเลทแบบต่อเนื่อง



รูปที่ 2.8 การออสซิลเลทในช่วงเริ่มแรกและการออสซิลเลทแบบต่อเนื่อง

การออสซิลเลทตามที่ได้อธิบายมานี้ กระแสที่ช่วยทำให้เกิดการออสซิลเลทอย่างต่อเนื่องได้รับมาจากกำลังงานที่จ่ายออกมา โดยแหล่งจ่ายไฟเลี้ยงวงจร

<u>วงจรออสซิลเลเตอร์แบบใช้ชิ้นผลึก</u>

วงจรออสซิลเลเตอร์แบบใช้ก้อนผลึก อาศัยการสั่นของชิ้นผลึกแทนการใช้อุปกรณ์ที่นำมากำเนิดความถี่ และเป็นวงจรที่มีเสถียรภาพทางด้านความถี่สูงมาก

จากการศึกษาที่ผ่านมา ความถี่ของวงจรออสซิลเลเตอร์ LC จะเปลี่ยนแปรเมื่อค่าศักดา อุณหภูมิโหลด และอื่น ๆ เปลี่ยนแปลงไป การทำให้วงจร LC มีเสถียรภาพดีทำได้ยาก โดยเหตุนี้ภาคต่าง ๆ ในเครื่องรับวิทยุที่ต้องการความแม่นยำ และเสถียรภาพของความถี่มาก ๆ หรือด้านเครื่องส่งก็ตาม มักจะเลือกใช้วงจรออสซิลเลเตอร์แบบใช้ก้อนผลึกเป็นแหล่งกำเนิดสัญญาณความถี่ทั้งสิ้น

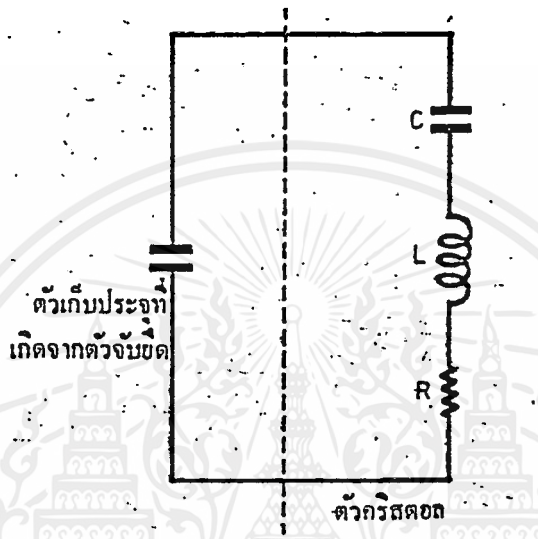
คริสตอลเป็นศัพท์ภาษาอังกฤษแปลว่า ผลึก โดยความหมายของตัวมันเองก็คือ ผลึกของวัสดุบางชนิด เช่น ผลึกควอร์ตซ เกลือหินโรเชลล์ วัสดุเหล่านี้รวมเรียกว่า พิโซอิเลคตริก ซึ่งมีคุณสมบัติคือมันจะก่อให้เกิดแรงดันไฟฟ้าเมื่อบิดงอหรือกดผลึกเหล่านี้ด้วยแรง และในทำนองเดียวกันถ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หากเราสร้างแรงดันไฟฟ้าให้กันมันแรงดันไฟฟ้าที่ตกคร่อมตัวผลึกเหล่านี้จะมีผลทำให้ผลึกของวัสดุเหล่านี้มีรูปร่างบิดเบี้ยวผิดออกไปจากเดิม

คริสตอลที่ใช้งานอยู่ทั่วไปทำมาจากผลึกควอร์ตซ เมื่อมีแรงดันตกคร่อมผลึกควอร์ตซ ๆ ก็จะเกิดการสั่นความถี่สั่นได้จะมีค่าเกือบคงที่ซึ่งขึ้นอยู่กับความหนาของผลึกนั้น ความถี่ที่เกิดขึ้นจะยังคงเปลี่ยนแปลงได้อีกเล็กน้อยเนื่องจากอุณหภูมิ

โดยหลักการแล้วลักษณะสมบัติของคริสตอล มีลักษณะคล้ายคลึงกับวงจรรีโซแนนซ์ที่สามารถเขียนวงจรสมมูลย์ได้ดังรูปที่ 2.9



รูปที่ 2.9 วงจรสมมูลย์ของผลึกคริสตอล

จากรูปวงจรจะเห็นได้ว่า ส่วนที่เป็นตัวกำธรคือ R , L , C ซึ่งเราสามารถหาค่าของความถี่ที่กำธร (f_s) และค่า Q- ได้จากสูตรดังต่อไปนี้

$$(f_s) = 1/2\pi\sqrt{LC}$$

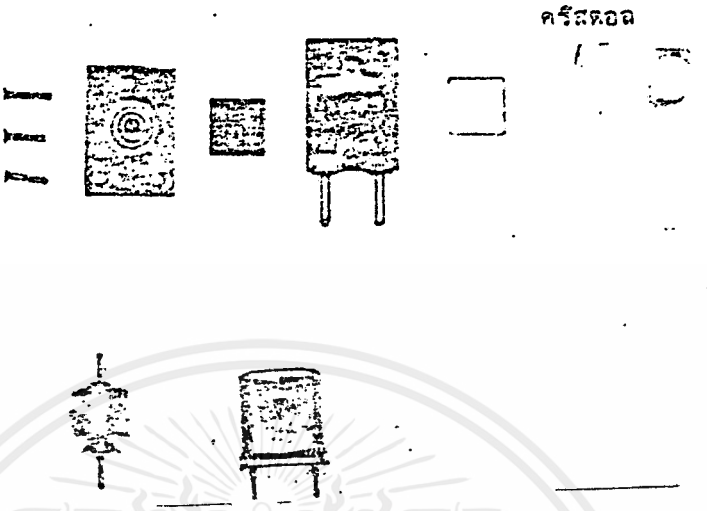
$$Q = \omega_s L / r$$

สาเหตุที่ต้องหาค่า Q ด้วยนี้ก็เนื่องจากว่า ค่าเสถียรภาพของวงจรออสซิลเลเตอร์สามารถหาได้จากการกำหนดค่า Q ของคริสตอล และสัมประสิทธิ์การผันแปรทางความถี่กับอุณหภูมิ ค่า Q ของคริสตอลมักจะมีค่าสูงกว่าค่า Q ของวงจรจูน

ตัวคริสตอลเป็นเพียงผลึกของควอร์ตซที่ยังต้องอาศัยตัวจับยึดเข้ากับกระป๋องโลหะ ดังนั้นในส่วนของตัวจับยึดคริสตอลจึงเกิดมีลักษณะเหมือนเป็นตัวเก็บประจุที่ขนาบอยู่อีก 1 ตัว ดังแสดงในรูปวงจรสมมูลรูปที่ 2.9 แต่เนื่องจากตัวเก็บประจุในตัวผลึกของคริสตอลที่ต่ออนุกรมกับตัวเหนี่ยวนำมีค่าต่ำ ดังนั้นตัวเก็บประจุที่ต่อขนานอยู่ภายนอก จึงมีอิทธิพลต่อการออสซิลเลทของสัญญาณน้อยมาก

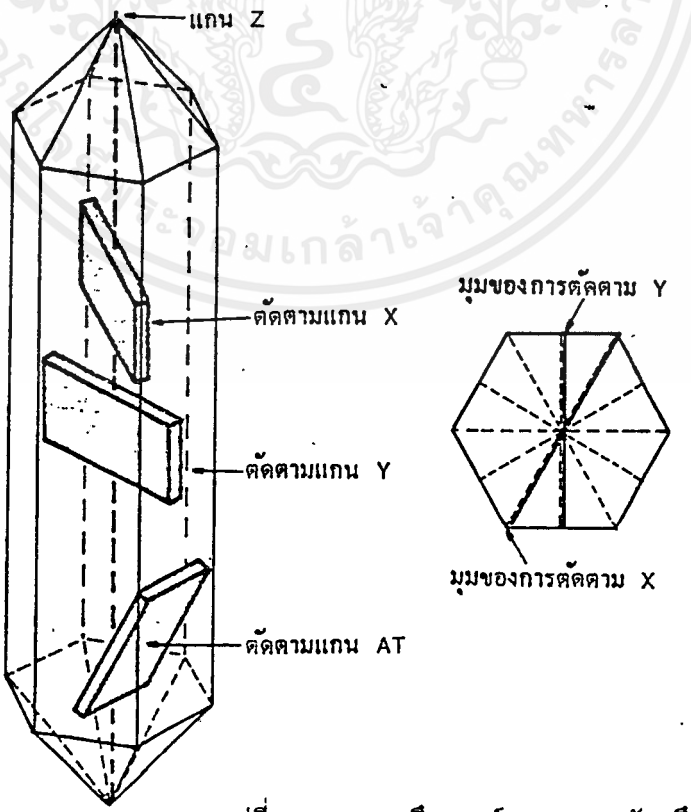
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และในขณะรีโซแนนซ์นั้น ส่วนของวงจรรีโซแนนซ์แบบอนุกรมและแบบขนานเกือบจะให้ความถี่รีโซแนนซ์เป็นความถี่เดียวกัน



รูปที่ 2.10 โครงสร้างและตัวอย่างรูปร่างคริสตอล

ผลึกควอร์ตซที่ได้แสดงอยู่นี้ เป็นวัสดุจำพวกซิลิกอนไดออกไซด์ที่มีลักษณะเหมือนแก้วใส ส่วนของผลึกจะมีรูปร่างเป็น 6 ด้านเหมือนปริซึมโดยผลึกควอร์ตซที่ใช้งานจะได้รับการตัดด้วยลักษณะของแกน 3 แกนดังแสดงในรูปที่ 2.11



รูปที่ 2.11 แสดงผลึกควอร์ตซและการตัดผลึก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แกน X เป็นแกนที่ลากระหว่างมุมสองมุมของแท่งปริซึม ส่วนแกน Y จะเป็นแกนที่ลากตั้งฉากกับผิวหน้าของตัวคริสตอล นั่นคือถ้าหากตัดคริสตอลตามแนวผลึกจากมุมหนึ่งไปยังอีกมุมหนึ่งที่อยู่ตรงข้ามก็เรียกว่าการตัดแบบ X (X - cut) ซึ่งผลของการตัดแบบนี้จะทำให้ความถี่ที่ได้เปลี่ยนแปลงกับอุณหภูมิในลักษณะที่อุณหภูมิสูงขึ้นค่าความถี่จะลดลง แต่ถ้าตัดในแนวแกน Y ก็จะเป็นผลทำให้ความถี่ของการสั่นสูงขึ้น เมื่ออุณหภูมิสูงขึ้น

จะเห็นได้ว่าไม่ว่าจะตัดในแนวแกน X หรือ Y จะเป็นผลทำให้ความถี่ของการสั่นของคริสตอลขณะรีโซแนนซ์เปลี่ยนแปลงกับอุณหภูมิได้มาก ดังนั้นเราจึงต้องหาทางตัดแกนใดแกนหนึ่งเพื่อให้ผลการเปลี่ยนแปลงกับอุณหภูมิน้อยที่สุดหรือแทบจะกล่าวได้ว่ามันไม่มีผลเลย แกนที่ใช้ในการตัดคือแกน AT ดังแสดงไว้ในรูปที่ 2.11

เราอาจจะตัดคริสตอลให้อยู่ในแกนอื่น ๆ ก็ได้ในแต่ละระนาบของการตัดจะให้ผลการเปลี่ยนแปลงช่วงความถี่ต่ออุณหภูมิ ตลอดจนความถี่ฮาร์โมนิกส์ที่ใช้งานแตกต่างกัน

ส่วนความหนาของแผ่นคริสตอล จะเป็นตัวกำหนดความถี่ของการรีโซแนนซ์ถ้าแผ่นคริสตอลยิ่งบางก็หมายความว่าความถี่ของการรีโซแนนซ์มีค่าสูงขึ้น แผ่นคริสตอลที่ทำความถี่ได้สูงประมาณ 15 MHz ไม่เกิน 50 MHz แต่ถ้าต้องการความถี่สูงกว่านี้อีกมักใช้ฮาร์โมนิกส์ของสัญญาณนั้นเอง

อุปกรณ์จำพวกคริสตอลเป็นอุปกรณ์ที่ค่อนข้างจะบอบบาง ดังนั้นคริสตอลจึงต้องทำงานที่ระดับพลังงานต่ำ ๆ หรือในขณะใช้งานเป็นตัวกระตุ้น ในขณะที่ป้อนกลับระหว่างอินพุทกับเอาท์พุทจุดต้องไม่ให้ระดับแรงดันตกคร่อมตัวมันมากเกินไป ซึ่งจะทำให้คริสตอลทำงานผิดความถี่ และเกิดความร้อนกับตัวมันมากเกินไปซึ่งจะเป็นผลทำให้คริสตอลทำงานผิดความถี่ และถ้าเกิดความร้อนกับตัวมันสูงสุดจนมันเสียหายได้

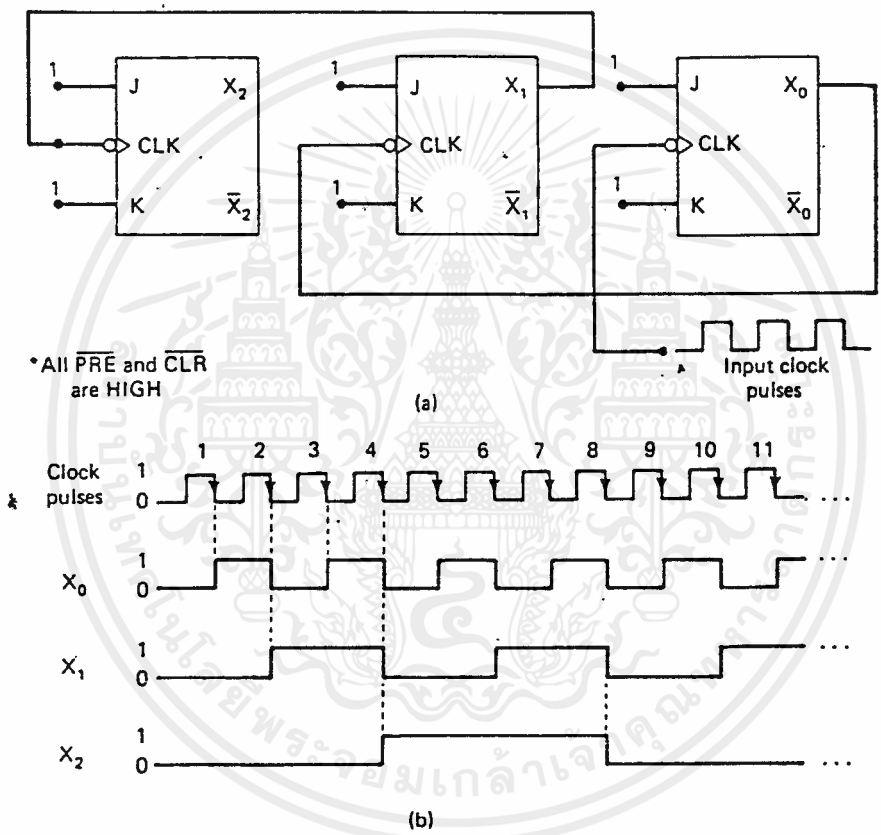
จากที่กล่าวแล้วว่าเราใช้คริสตอลกระตุ้นวงจรออสซิลเลเตอร์ ก็เพื่อเหตุผลในเรื่องต้องการให้ได้ความถี่ที่มีค่าเสถียรภาพสูง ค่าเสถียรภาพของวงจรออสซิลเลเตอร์สามารถหาได้จากการกำหนดค่า Q ของตัวคริสตอลและสัมประสิทธิ์การผันแปรทางความถี่กับอุณหภูมิ ค่า Q ของคริสตอลมักจะมีค่าสูงกว่าค่า Q ของวงจรจูนที่ประกอบด้วย RLC ถึง 100 เท่า 1000 เท่า คริสตอลที่มีขายกันในปัจจุบันมีค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประมาณ 5000 ถึง 30000 เราจึงพอจะเห็นว่าวงจรออสซิลเลเตอร์ที่ใช้คริสตอลจึงมีเสถียรภาพทางความถี่สูงกว่าวงจร LC ออสซิลเลเตอร์มาก

การหารความถี่และการนับ (Frequency Division and Counting)

หลักการทำงานของการหารความถี่ พิจารณาได้จากรูปที่ 2.12 สังเกตว่า อินพุท J และ K ของฟลิปฟลอป มีระดับเป็น 1 ตลอด ดังนั้นฟลิปฟลอปจะเปลี่ยนสภาวะ (Toggle) ทุกครั้งที่สัญญาณคล็อคที่อินพุท CLK เปลี่ยนจาก HIGH เป็น LOW (สัญญาณคล็อคนี้ป้อนให้แก่อินพุต CLK ของฟลิป-ฟลอป X_0 เท่านั้น ส่วนเอาต์พุต X_0 เชื่อมกับอินพุต CLK ของฟลิปฟลอป X_1 และเอาต์พุต X_1 เชื่อมต่อกับอินพุต CLK ของฟลิปฟลอป X_2



รูปที่ 2.12 (a) วงจรหารและนับความถี่

(b) แสดงการทำงานของวงจร

รูปคลื่นในรูปที่ 2.12 (b) แสดงให้เห็นว่าขณะป้อนสัญญาณคล็อคฟลิปฟลอป แต่ละตัวทำงานหารความถี่ได้ดังนี้ :

1. ฟลิปฟลอป X_0 จะท็อกเกิลทุกครั้งที่ขอบขาลงของแต่ละสัญญาณคล็อค ดังนั้นเอาต์พุต X_0 จึงมีความถี่เพียงครึ่งหนึ่งของความถี่สัญญาณคล็อค
2. ฟลิปฟลอป X_1 จะท็อกเกิลทุกครั้งที่เอาต์พุต X_0 เปลี่ยนจาก HIGH เป็น LOW ดังนั้นรูปคลื่น X_1 จึงมีความถี่เพียงครึ่งหนึ่งของความถี่ X_0 และเป็น 1 ใน 4 ของความถี่สัญญาณคล็อค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ฟลิปฟลอป X_2 จะท็อกเกิลทุกครั้งที่เอาต์พุต X_1 เปลี่ยนจาก HIGH เป็น LOW ดังนั้นรูปคลื่น X_2 จึงมีความถี่เพียงครึ่งหนึ่งของความถี่ X_1 และเป็น 1 ใน 8 ของความถี่สัญญาณคล็อค

จะเห็นได้ว่า ฟลิปฟลอปแต่ละตัวหารความถี่อินพุตของตัวเองด้วย 2 ดังนั้นความถี่เอาต์พุตของวงจรจึงเท่ากับเลข 2 ยกกำลังด้วยจำนวนของฟลิปฟลอป นั่นคือ ถ้าใช้ฟลิปฟลอป จำนวน N ตัว จะทำให้มีความถี่เอาต์พุต ของฟลิปฟลอปตัวสุดท้ายเท่ากับ $1/2^N$ ของความถี่สัญญาณคล็อคที่อินพุต

การทำงานในการนับ (Counting Operation)

วงจรในรูปที่ 2.12 นอกจากจะทำหน้าที่หารความถี่แล้ว ยังทำงานเป็นวงจรนับเลขฐานสอง (Binary Counter) ได้อีกด้วย

2^2 X_2	2^1 X_1	2^0 X_0	
0	0	0	Before applying clock pulses
0	0	1	After pulse #1
0	1	0	After pulse #2
0	1	1	After pulse #3
1	0	0	After pulse #4
1	0	1	After pulse #5
1	1	0	After pulse #6
1	1	1	After pulse #7
0	0	0	After pulse #8 recycles to 000
0	0	1	After pulse #9
0	1	0	After pulse #10
0	1	1	After pulse #11
.	.	.	. . .
.	.	.	. . .
.	.	.	. . .

รูปที่ 2.13 ตารางสภาวะของวงจรนับ

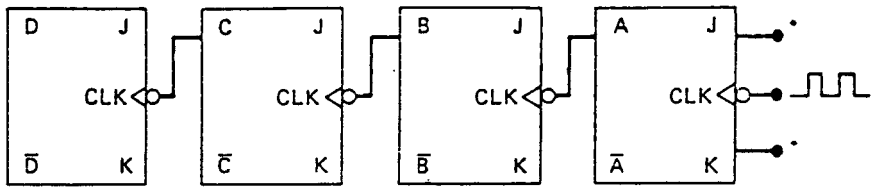
รูปที่ 2.13 แสดงตารางสภาวะ (State Table) การนับของวงจรนับซึ่งให้ $X_2X_1X_0$ แสดงค่าเลขฐานสองโดย X_2 อยู่ในตำแหน่ง 2^2 , X_1 อยู่ในตำแหน่ง 2^1 , X_0 อยู่ในตำแหน่ง 2^0 ที่ 8 สภาวะแรกของ $X_2X_1X_0$ ในตาราง แสดงการนับเลขฐานสองตามลำดับจาก 000 ถึง 111 กล่าวคือหลังจากขอบขาลงของสัญญาณคล็อคแรกปรากฏขึ้นฟลิปฟลอปจะแสดงค่า 001_2 ($X_2 = 0, X_1 = 0, X_0 = 1$) ซึ่งเท่ากับ 1_{10} , หลังจากขอบขาลงที่ 2 ปรากฏขึ้น ฟลิปฟลอปจะแสดงค่า 010_2 ซึ่งเท่ากับ 2_{10} , หลังจากขอบขาลงที่ 3 ปรากฏขึ้น ฟลิปฟลอปจะแสดงค่า 011_2 ซึ่งเท่ากับ 3_{10} , หลังจากขอบขาลงที่ 4 ปรากฏขึ้น ขอบขาลงจะแสดงค่า 100_2 ซึ่งเท่ากับ 4_{10} , และดำเนินการเช่นนี้ต่อไปเรื่อย ๆ จนกระทั่งหลังจากขอบขาลงที่ 7 ปรากฏขึ้นฟลิปฟลอปจะแสดง $111_2 = 7_{10}$ และเมื่อถึงขอบขาลงที่ 8 ปรากฏขึ้น วงจรจะนับย้อนกลับรอบเดิม (Recycle) เป็น สภาวะ 000 จากนั้นจึงทำการซ้ำเมื่อสัญญาณคล็อคถัดมาปรากฏขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

27871

วงจรนับ

1. <u>วงจรนับแบบอะซิงโครนัส (วงจรนับแบบริปเปิล)</u> (Asynchronous (Ripple) Counters)



D	C	B	A	Number of clock pulses
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15
0	0	0	0	16 (recycles)
0	0	0	1	17
0	0	1	0	18
0	0	1	1	19
0	1	0	0	20
0	1	0	1	21

รูปที่ 2.14 วงจรนับแบบอะซิงโครนัส

รูปที่ 2.14 แสดงวงจรนับเลขฐานสองขนาด 4 บิต (ถ้าอินพุต J และ K เป็น 1 ตลอด) อธิบายการทำงานได้ดังนี้คือ

1. อินพุต CLK ของฟลิปฟลอป A เท่านั้นที่ได้รับสัญญาณคล็อค ดังนั้นรูปคลื่นเอาต์พุตของฟลิปฟลอป A จะท็อกเกิล (เปลี่ยนสภาวะเป็นตรงกันข้าม) ทุกครั้งที่สัญญาณคล็อคเปลี่ยนจาก HIGH เป็น LOW
2. เอาต์พุตปกติของฟลิปฟลอป A เป็นอินพุต CLK ของฟลิปฟลอป B ดังนั้นรูปคลื่นเอาต์พุตของฟลิปฟลอป A จะท็อกเกิลทุกครั้งที่เอาต์พุตของฟลิปฟลอป A เปลี่ยนจาก 1 เป็น 0 ในทำนองเดียวกันรูปคลื่นเอาต์พุตของฟลิปฟลอป C จะท็อกเกิลเมื่อเอาต์พุตของฟลิปฟลอป B เปลี่ยนจาก 1 เป็น 0 และรูปคลื่นเอาต์พุตฟลิปฟลอป D จะท็อกเกิล เมื่อเอาต์พุตฟลิปฟลอป C เปลี่ยนจาก 1 เป็น 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ตารางในรูปที่ 2.14 แสดงลำดับของสภาวะเลขฐานสองของเอาต์พุตฟลิปฟลอป ถ้ากำหนดให้เอาต์พุตของฟลิปฟลอป D,C,B และ A แสดงจำนวนเลขฐานสอง โดย D เป็น MSB และ A เป็น LSB จะได้ลำดับการนับเลขฐานสองจาก 0000 ถึง 1111

4. หลังจากสัญญาณคล็อคที่ 15 ปรากฏขึ้นแล้วฟลิปฟลอปของวงจรนับจะแสดงสภาวะ 1111 นั่นคือ วงจรนับทำการนับครบรอบหรือครบไซเคิล (Cycle) และเมื่อสัญญาณคล็อคที่ 16 ปรากฏวงจรนับจะนับย้อนกลับ เป็น 0000 จากนั้นจึงเริ่มต้นการนับใหม่

การทำงานของวงจรนับชนิดนี้ มีลักษณะเป็นระลอกหรือริปเปิล กล่าวคือ รูปคลื่นเอาต์พุตของฟลิปฟลอปแต่ละตัวต่อเข้ากับอินพุต CLK ของฟลิปฟลอปตัวถัดไป วงจรนับประเภทนี้จึงมักเรียกว่า วงจรนับแบบริปเปิล หรือเรียกอีกอย่างหนึ่งว่า วงจรนับแบบอะซิงโครนัส

<u>วงจรนับ BCD และวงจรนับ Decade</u> (BCD Counters/Decade Counters)

วงจรนับ BCD เป็นวงจรนับ MOD-10 (10 สภาวะ) ที่มีการนับเริ่มต้นจาก 0

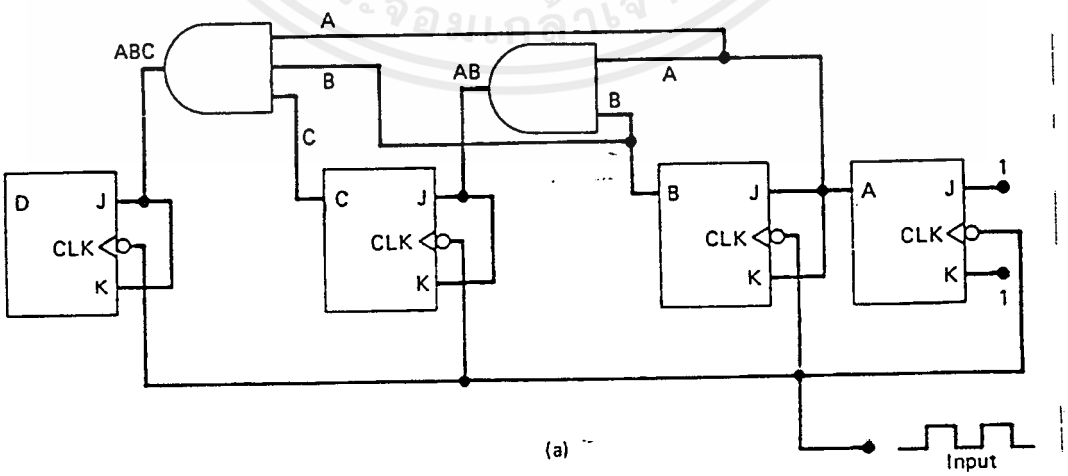
วงจรนับ Decade เป็นวงจรนับ MOD-10(10 สภาวะ) ที่มีการนับเริ่มต้นที่ลำดับใดก่อนก็ได้ไม่จำเป็นต้องเริ่มต้นจาก 0 จึงกล่าวได้ว่า วงจรนับ BCD เป็นวงจรนับ Decade ประเภทหนึ่ง

วงจรนับ BCD นำไปใช้มากในการนับจำนวนพัลส์ของสัญญาณคล็อค หรือสิ่งของต่าง ๆ แล้วแสดงค่าออกมาในรูปเลขฐานสิบ

ส่วนวงจรนับ Decade มักใช้ในการหารความถี่สัญญาณคล็อคด้วย 10

2. <u>วงจรนับแบบซิงโครนัส(วงจรนับแบบขนาน)</u> (Synchronous (Parellel) Counters)

สำหรับวงจรนับแบบซิงโครนัสหรือวงจรนับแบบขนานนี้ฟลิปฟลอปทุกตัวได้รับการทริกเกอร์จากสัญญาณคล็อคของอินพุตพร้อมกัน(แบบขนาน) ดังรูปที่ 2.15 (ทริกเกอร์ที่ขอบขาลง)



(a)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Count	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
0	0	0	0	0
.	.	.	.	.
.	.	.	.	.
.	.	etc.	.	.

(b)

รูปที่ 2.15 วงจรนับแบบซิงโครนัส

ถ้าเราเปรียบเทียบวงจรนับแบบซิงโครนัสนี้กับวงจรนับแบบริปเปิลในรูปที่ 2.14 เราจะพบข้อแตกต่าง ดังนี้

1. มีการต่ออินพุต CLK ของฟลิปฟลอปทุกตัวร่วมกัน ดังนั้นฟลิปฟลอปแต่ละตัวจึงได้รับสัญญาณคล็อคของอินพุตพร้อมกัน
2. อินพุต J และ K ของฟลิปฟลอป A(LSB) เท่านั้นที่ได้รับสัญญาณ HIGH ตลอด แต่อินพุท J และ K ของฟลิปฟลอปตัวอื่น ต่อร่วมกับเอาต์พุตของฟลิปฟลอปตัวอื่น
3. วงจรนับแบบซิงโครนัสมีองค์ประกอบของวงจรมากกว่าวงจรนับแบบริปเปิล

<u>การทำงานของวงจร</u> (Circuit Operation)

หลักการทำงานพื้นฐานของวงจรนับแบบซิงโครนัส มีข้อกำหนดคือ

เมื่อเกิดการทริกเกอร์ที่ขอบขาลง ฟลิปฟลอปตัวที่มี J = K = 1 จะท็อกเกิลขอให้พิจารณารูปที่ 2.15b ประกอบคำอธิบาย

ลำดับการนับในรูปที่ 2.15b แสดงว่ารูปคลื่นเอาต์พุตของฟลิปฟลอป A เปลี่ยนสภาวะทุกครั้งที่ขอบขาลงของสัญญาณคล็อค เนื่องจากอินพุต J และ K เป็น HIGH ตลอด ดังนั้นรูปคลื่นเอาต์พุตของฟลิปฟลอป A จะท็อกเกิลทุกครั้งที่ขอบขาลงของสัญญาณคล็อค (เปรียบเทียบระหว่างรูปที่ 2.14 กับรูปที่ 2.15a)

ลำดับการนับในรูปที่ 2.15b แสดงว่ารูปคลื่นเอาต์พุตของฟลิปฟลอป B จะเปลี่ยนสภาวะทุกครั้งที่ขอบขาลงของสัญญาณคล็อคในขณะที่ A = 1 (รูปคลื่นเอาต์พุตของฟลิปฟลอป A เป็น 1) เช่น เมื่อการนับเป็น 0001 , ขอบขาลงต่อไปจะท็อกเกิลรูปคลื่นของเอาต์พุต B เป็น 1 ในทำนองเดียวกัน เมื่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

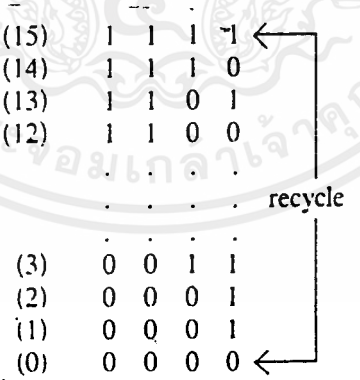
การนับเป็น 0011 , ขอบขาลงต่อไปจะท็อกเกิลรูปคลื่นของเอาต์พุต B เป็น 0 และเป็นเช่นนี้เรื่อยไป การทำงานเช่นนี้ทำได้โดย ต่อเอาต์พุต A เข้ากับอินพุต J และ K ของฟลิปฟลอป B นั่นคือ ฟลิปฟลอป B จะมี J = K = 1 เมื่อไรก็ตามที่เอาต์พุตของฟลิปฟลอป A = 1

ลำดับการนับในรูปที่ 2.15b แสดงว่ารูปคลื่นเอาต์พุตของฟลิปฟลอป C จะเปลี่ยนสภาวะทุกครั้งที่ขอบขาลงของสัญญาณคล็อคในขณะที่ A = B = 1 เช่น เมื่อการนับเป็น 0011 , ขอบขาลงต่อไปจะท็อกเกิลรูปคลื่นของเอาต์พุต C เป็น 1 ในทำนองเดียวกัน เมื่อการนับเป็น 0111 , ขอบขาลงต่อไปจะท็อกเกิลรูปคลื่นของเอาต์พุต C เป็น 0 และเป็นเช่นนี้เรื่อยไป การทำงานเช่นนี้ทำได้โดย ต่อเอาต์พุต AB เข้ากับอินพุต J และ K ของฟลิปฟลอป C

ลำดับการนับในรูปที่ 2.15b แสดงว่ารูปคลื่นเอาต์พุตของฟลิปฟลอป D จะเปลี่ยนสภาวะทุกครั้งที่ขอบขาลงของสัญญาณคล็อคในขณะที่ A = B = C = 1 เช่น เมื่อการนับเป็น 0111 , ขอบขาลงต่อไปจะท็อกเกิลรูปคลื่นของเอาต์พุต D เป็น 1 ในทำนองเดียวกัน เมื่อการนับเป็น 1111 , ขอบขาลงต่อไปจะท็อกเกิลรูปคลื่นของเอาต์พุต D เป็น 0 การทำงานเช่นนี้ทำได้โดย ต่อเอาต์พุต ABC เข้ากับอินพุต J และ K ของฟลิปฟลอป D

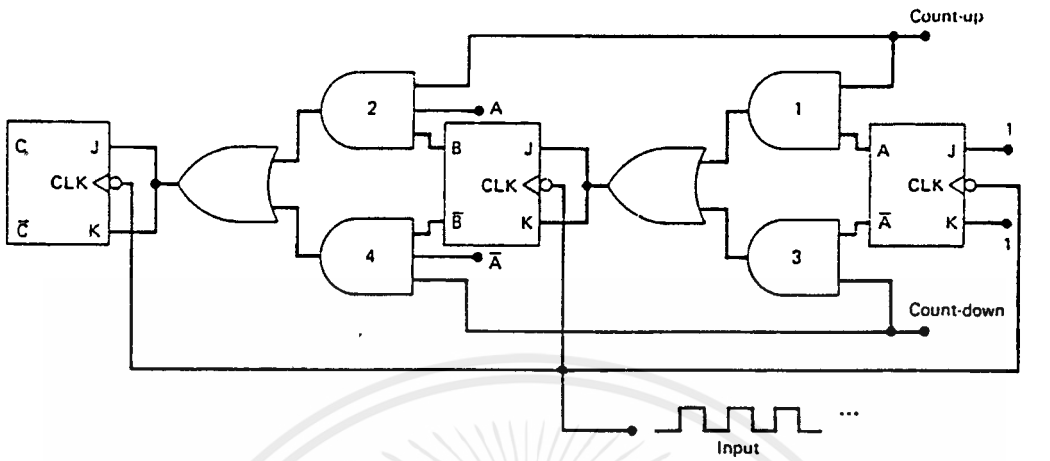
<u>วงจรนับลงและวงจรนับขึ้น/นับลงแบบซิงโครนัส</u> (Synchronous Down and Up/Down Counters)

วงจรนับขึ้นแบบขนานในรูปที่ 2.15 จะเปลี่ยนเป็นวงจรนับลงได้ โดยการต่อเอาต์พุตที่กลับค่า คือ A , B และ C แทนเอาต์พุต A , B และ C ตามลำดับ วงจรนับมีลำดับการทำงานดังนี้ (เมื่อป้อนสัญญาณคล็อคของอินพุต)



สำหรับวงจรนับขึ้น/ลงแบบขนานแตกต่างกับวงจรนับขึ้นหรือวงจรนับลง คือ วงจรนับขึ้น/ลงประกอบด้วย อินพุตควบคุมนับขึ้น (Count-up) และอินพุตควบคุมนับลง (Count-down) ดังรูปที่ 2.16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.16 วงจรนับขึ้น/นับลงแบบขนาน

จากรูปที่ 2.16 สังเกตว่า อินพุตควบคุมทั้งสองใช้ในการควบคุมเอาต์พุตปกติและเอาต์พุตที่กลับค่าของฟลิปฟลอป ซึ่งป้อนไปยังอินพุต J และ K ของฟลิปฟลอปตัวถัดไป

วงจรนับในรูปที่ 2.16 นี้ เป็นวงจรนับขึ้น/ลง(แบบขนาน) MOD-8 ซึ่งนับจาก 000 ขึ้นไปจนถึง 111 เมื่ออินพุตควบคุม Count-up เป็น 1 และจะนับจาก 111 ลงมาเป็น 000 เมื่ออินพุตควบคุม Count-down เป็น 1 อธิบายหลักการได้ดังนี้

เมื่ออินพุตควบคุม Count-up = 1 และ Count-down = 0 เกต AND หมายเลข 1 และ 2 ทำงาน ส่วนเกต AND หมายเลข 3 และ 4 จะไม่ทำงาน ทำให้เอาต์พุต A และ B ผ่านไปที่อินพุต J และ K ของฟลิปฟลอปตัวถัดไป ดังนั้นเมื่อป้อนสัญญาณคล็อควงจรนับจึงทำการนับขึ้น

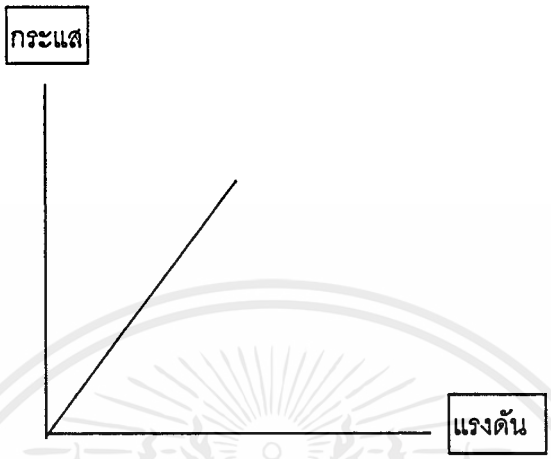
ในทำนองเดียวกัน การทำงานตรงข้ามของวงจรนับ (วงจรนับจะทำการนับลง) จะเกิดขึ้นเมื่อ Count-up = 0 และ Count-down = 1

การรวมความถี่ (Mixing Frequency)

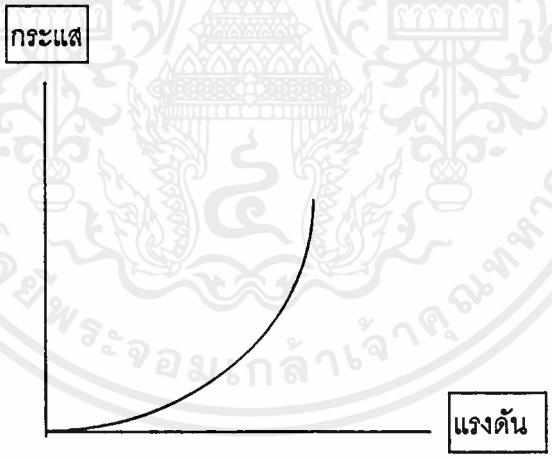
ในการศึกษาวงจรอิเล็กทรอนิกส์จะพบว่าความถี่ของสัญญาณที่แตกต่างกันสามารถรวมกันได้หลายแบบเพื่อให้เกิดสัญญาณใหม่ ผลของสัญญาณใหม่ที่เกิดขึ้นจะขึ้นอยู่กับชนิดของการรวมนั้นเป็นแบบเชิงเส้น (linear) หรือไม่เป็นเชิงเส้น (nonlinear) ในวงจรอิเล็กทรอนิกส์นั้นสิ่งประดิษฐ์ที่เป็นเชิงเส้นได้แก่ พวกตัวต้านทาน ทั้งนี้เพราะเมื่อเราให้แรงดันกับสิ่งประดิษฐ์ กระแสที่เกิดขึ้นจะมีค่าสัดส่วนที่แน่นอน เช่น จำนวนกระแสที่เปลี่ยนแปลงไปเมื่อเปลี่ยนแรงดันจาก 2 โวลต์ไปเป็น 4 โวลต์ จะมีค่าเท่ากับการเปลี่ยนแรงดันจาก 102 โวลต์ไปเป็น 104 โวลต์ ส่วนค่าของตัวต้านทานจะต้องมีค่าคงที่ตลอดทุกค่าแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนสิ่งประดิษฐ์ที่ไม่เป็นเชิงเส้น ค่าความต้านทานหรืออิมพีแดนซ์จะเปลี่ยนแปลงไปหรือเป็นตัวแปรของกระแสและแรงดัน เช่น เมื่อเพิ่มแรงดันจาก 2 โวลต์ไปเป็น 4 โวลต์ จะทำให้กระแสเปลี่ยนแปลงไป 1 แอมแปร์ แต่ถ้าเพิ่มแรงดันจากเดิม 2 โวลต์ที่ที่ช่วงแรงดันต่างกัน เช่น จาก 102 โวลต์ไปเป็น 104 โวลต์ กระแสจะเปลี่ยนแปลงไป 2 แอมแปร์ เป็นต้น



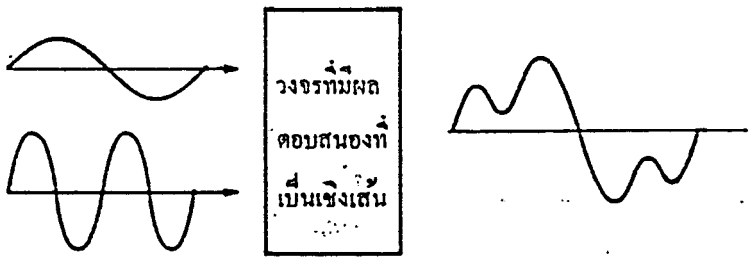
รูปที่ 2.17 สิ่งประดิษฐ์เชิงเส้น



รูปที่ 2.18 สิ่งประดิษฐ์ไม่เป็นเชิงเส้น

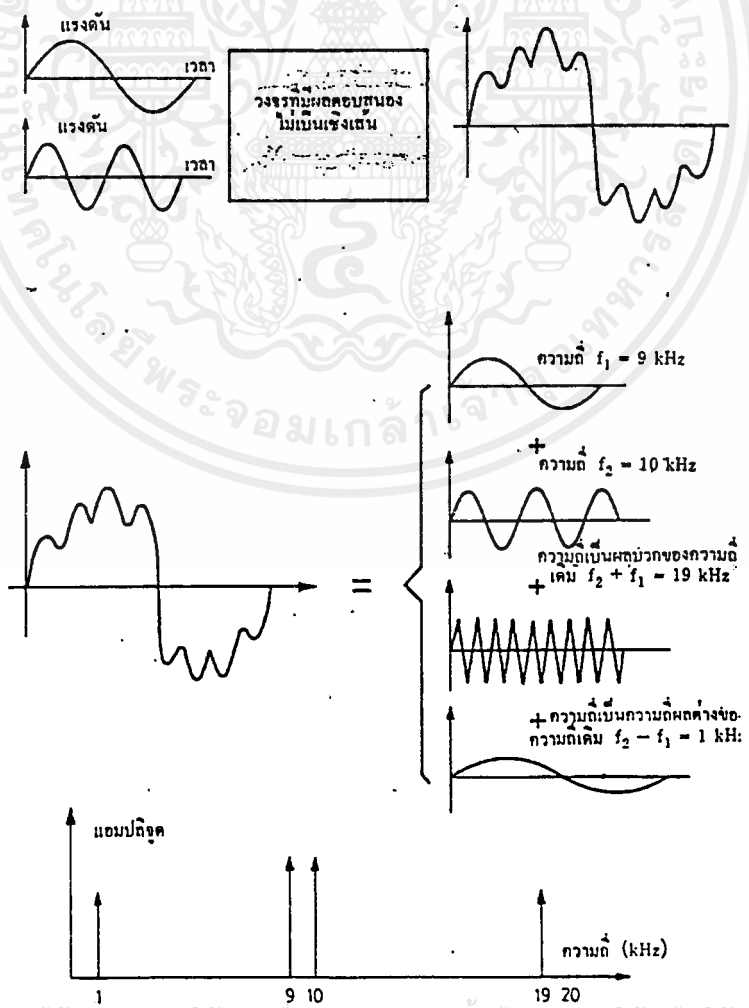
เมื่อป้อนสัญญาณไฟฟ้าสองสัญญาณให้กับวงจรที่มีสิ่งประดิษฐ์เชิงเส้น สัญญาณทั้งสองจะเกิดการรวมกันเป็นสัญญาณรูปใหม่ ซึ่งสัญญาณใหม่ที่เกิดขึ้นจะไม่เหมือนสัญญาณสองสัญญาณเดิม และจะมีความถี่พื้นฐานของทั้งสองสัญญาณอยู่ในสัญญาณใหม่ ดังตัวอย่างเช่นนำสัญญาณความถี่ 100 Hz รวมกับสัญญาณความถี่ 200 Hz ได้สัญญาณรูปใหม่เกิดขึ้น แต่ถ้านำเอาสัญญาณที่เกิดขึ้นไปวิเคราะห์ก็จะพบว่าประกอบด้วยสัญญาณรูปซายน์ที่มีความถี่ 100 Hz และ 200 Hz นั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.19 แสดงการรวมสัญญาณสองสัญญาณแบบเชิงเส้น

เมื่อมีสัญญาณสองสัญญาณที่มีความถี่ต่างกันมารวมกันอย่างไม่เป็นเชิงเส้น ผลที่ได้รับจะได้ความถี่ผสมของสัญญาณที่เกิดขึ้นใหม่แตกต่างไปจากการรวมสัญญาณแบบเชิงเส้น นั่นคือการรวมสัญญาณแบบเชิงเส้นจะได้สัญญาณที่มีความถี่เหมือนกับความถี่ของสัญญาณเดิม แต่การรวมแบบไม่เป็นเชิงเส้นจะได้สัญญาณใหม่ที่มีความถี่ย่อยเพิ่มมากขึ้นอีกโดยจะมีความถี่ย่อยที่เหมือนกับความถี่เดิมและความถี่ที่เป็นผลบวกหนึ่งความถี่ ความถี่ที่เป็นผลลบอีกหนึ่งความถี่ เป็นความถี่ย่อยทั้งหมดสี่ความถี่ เช่น สัญญาณที่มีความถี่ 9 kHz รวมกับสัญญาณที่มีความถี่ 10 kHz รวมกันแบบไม่เป็นเชิงเส้นจะได้สัญญาณใหม่ที่มีความถี่ย่อย 9, 10, 19 และ 1 kHz

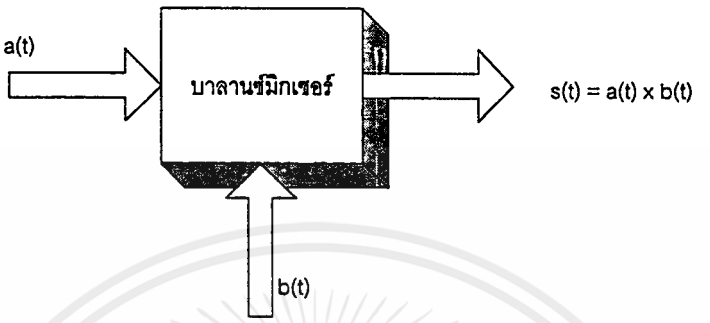


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.20 การผสมสัญญาณแบบไม่เป็นเชิงเส้น

<u>การรวมความถี่แบบสมดุลย์</u> (Balance Mixing Frequency)

การรวมความถี่แบบสมดุลย์ เป็นวิธีการรวมความถี่โดยการคูณสัญญาณอินพุตทั้งสองสัญญาณเข้าด้วยกัน อุปกรณ์ที่ทำหน้าที่นี้เรียกว่า บาลานซ์มิกเซอร์ (Balance Mixer)



รูปที่ 2.21 การทำงานของบาลานซ์มิกเซอร์

เอาต์พุตที่ได้จากการป้อนสัญญาณอินพุต a(t) และ b(t) คือ s(t) ซึ่งเป็นผลคูณของ a(t) และ b(t) นั้น เมื่อพิจารณาในโดเมนความถี่จะได้ความถี่เอาต์พุตเป็น 2 ความถี่ คือ ความถี่ผลบวก และความถี่ผลต่างของความถี่อินพุตทั้งสอง

เมื่อ

$$a(t) = \cos(2\pi f_a t)$$
$$b(t) = \cos(2\pi f_b t)$$
$$s(t) = a(t) \times b(t)$$
$$= \cos(2\pi f_a t) \times \cos(2\pi f_b t)$$
$$= \frac{1}{2}\left\{\cos\left[2\pi(f_a - f_b)t\right] + \cos\left[2\pi(f_a + f_b)t\right]\right\}$$

รูปที่ 2.22 เอาต์พุตของวงจรบาลานซ์มิกเซอร์ในโดเมนความถี่

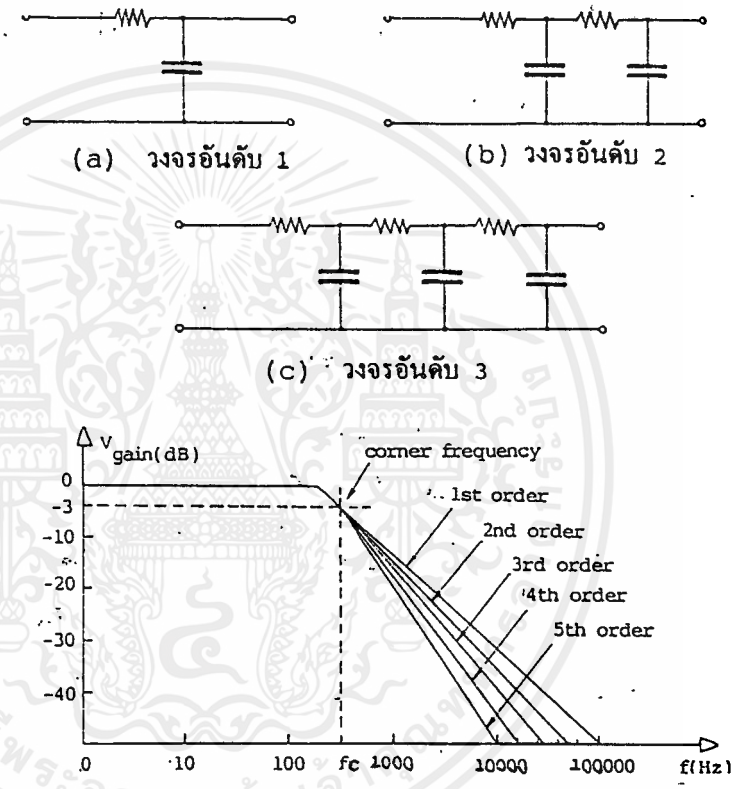
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)

วงจรกรองความถี่หรือฟิลเตอร์ (Filter) คือวงจรไฟฟ้าที่ยอมให้สัญญาณไฟฟ้าใดๆ ความถี่หนึ่งหรือช่วงความถี่ใดความถี่หนึ่งเท่านั้นผ่านไปได้ ส่วนความถี่อื่นหรือช่วงความถี่อื่น ๆ นอกเหนือจากที่กำหนดจะถูกลดทอนไปซึ่งจะเป็นช่วงความถี่ใดนั้นก็ขึ้นอยู่กับการออกแบบวงจร

วงจรกรองสัญญาณความถี่ประเภทพาสซีพ หรือพาสซีพฟิลเตอร์ คือวงจรที่ประกอบขึ้นด้วยอุปกรณ์ประเภทพาสซีพซึ่งหมายถึงอุปกรณ์ที่สามารถทำงานได้โดยไม่ต้องมีการกระตุ้นด้วยศักดาไฟฟ้าเพื่อให้ทำงานเสียก่อน หรือที่เรียกกันว่าการไบอัสซึ่งได้แก่อุปกรณ์ประเภทตัวต้านทาน, ตัวเก็บประจุ เป็นต้น ส่วนอุปกรณ์ประเภทแอคทีพ เช่น ทรานซิสเตอร์, ไอซี เป็นต้น

ตัวอย่างวงจรกรองความถี่ต่ำผ่านประเภทพาสซีพ แสดงดังรูปที่ 2.23 (a),(b),(c) และ(d)



รูปที่ 2.23 (a),(b),(c) วงจรกรองสัญญาณความถี่ตำอันดับต่างๆ

(d) กราฟแสดงอัตราการขยายแรงดันเชิงความถี่ (dB)

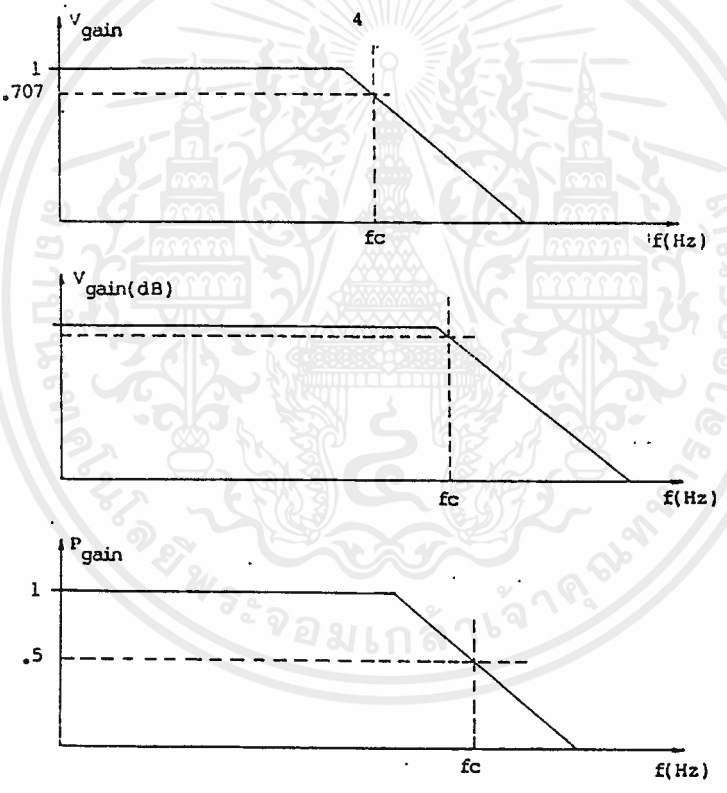
การแสดงคุณสมบัติหรือขอบเขตการทำงานของวงจรกรองสัญญาณความถี่ชนิดต่าง ๆ แสดงได้โดยการเขียนเป็นกราฟระหว่างอัตราขยายศักดา (Voltage Gain) เป็นหน่วยเดซิเบล (dB) กับความถี่ของสัญญาณซึ่งเรียกว่า " ผลตอบสนองอัตราขยายเชิงความถี่ " (Frequency Response) ดูตัวอย่างแสดงผลตอบสนองอัตราขยายแรงดันเชิงความถี่ได้ดังรูปที่ 2.23

ในทางทฤษฎีวงจรกรองความถี่ต่ำจะยอมให้สัญญาณใด ๆ ที่มีความถี่ตั้งแต่ 0 Hz จนถึงความถี่ที่กำหนดซึ่งเรียกว่า ความถี่คัทออฟ หรือ ความถี่ขอบเขต (Cutoff Frequency) หรือความถี่หักมุม (Corner Frequency) ผ่านไปได้โดยไม่มีการลดทอน (หมายถึงแรงดันของสัญญาณออกมีค่ามากที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จนเกือบเท่ากับสัญญาณเข้า) และถ้าความถี่ของสัญญาณเข้ามีค่าเกินความถี่ขอบเขต สัญญาณออกควรจะมีค่าเป็นศูนย์ตลอด แต่ในทางปฏิบัติแล้วไม่สามารถจะทำเช่นนั้นได้ เนื่องจากการตอบสนองสัญญาณที่ความถี่ต่าง ๆ ของอุปกรณ์ประเภทพาสซีพจะเป็นแบบค่อยเป็นค่อยไปไม่เปลี่ยนแปลงทันทีทันใด ดังนั้นผลที่ได้จึงเป็นดังรูปที่ 2.23 คือเมื่อสัญญาณมีความถี่สูงขึ้นวงจรจะลดสัญญาณลงไปเรื่อยๆ จนกระทั่งจะลดลงในอัตราคงที่ค่าหนึ่ง

เนื่องจากการลดทอนของสัญญาณจะเป็นไปเรื่อยๆ ดังนั้นในทางปฏิบัติจึงมีการกำหนดขนาดของสัญญาณที่สามารถนำไปใช้งานได้เป็นมาตรฐานคือ สัญญาณที่สามารถนำไปใช้งานได้ คือ สัญญาณที่ผ่านการกรองมาแล้วมีค่าแรงดันเป็น $1/\sqrt{2}$ เท่าของแรงดันสูงสุด หรืออาจกล่าวได้ว่าที่ความถี่นั้นอัตราขยายจะเป็น $1/\sqrt{2}$ เท่าของอัตราขยายสูงสุดซึ่งเป็นการคำนวนจากกำลังขยายเป็นเดซิเบลได้ว่า กำลังขยายของสัญญาณที่ความถี่ขณะนั้นเป็นครึ่งหนึ่งของกำลังขยายสูงสุด แต่ถ้าเป็นอัตราขยายแรงดันหน่วยเดซิเบลจะได้ว่าอัตราขยายที่ความถี่ขณะนั้นมีค่าต่ำกว่าอัตราขยายที่ความถี่ขอบเขตในหน่วยต่าง ๆ



รูปที่ 2.24 การกำหนดค่าอัตราขยายที่ความถี่ขอบเขตในหน่วยต่าง ๆ

วงจรขยายสัญญาณ (Amplifier)

วงจรขยาย คือ วงจรที่รับสัญญาณทางด้านอินพุต แล้วขับขยายสัญญาณเดิมนั้นให้มีขนาดใหญ่ขึ้นและไม่มีอาการผิดปกติ โดยสัญญาณที่ได้รับการขยายแล้วนี้จะถูกขับออกทางเอาต์พุต วงจรขยายที่ใช้ออปแอมป์จะเป็นการป้อนกลับแบบลบ (negative feedback) คือ มีการนำตัวต้านทานภายนอกมาต่อระหว่างขาเอาต์พุตกับขาอินพุตลบของออปแอมป์

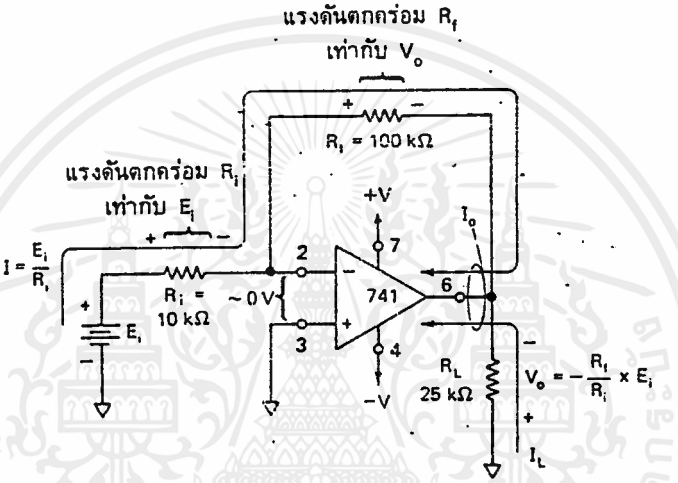
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อัตราขยายลูปปิด (close loop gain) A_{CL} จะขึ้นอยู่กับตัวต้านทานที่นำมาต่อเพิ่มภายนอกเท่านั้น ถ้าเราใช้ตัวต้านทานซึ่งมีความผิดพลาด 5 เปอร์เซ็นต์ วงจรขยายที่ได้ก็จะมีเปอร์เซ็นต์ความผิดพลาดของการขยายประมาณ 5 เปอร์เซ็นต์ตามไปด้วย

1. วงจรขยายแบบกลับเฟส

1.1 กล่าวนำ

วงจรในรูปที่ 2.24 เป็นวงจรขยายได้ทั้งสัญญาณ AC และ DC อัตราการขยายแบบลูปปิด A_{CL} จาก E_i ไปสู่ V_o ขึ้นอยู่กับ R_f และ R_i จากคุณสมบัติของออปแอมป์ที่มีความต้านทานขาเข้าเป็นอนันต์ ทำให้กระแสอินพุทของออปแอมป์มีค่าเป็นศูนย์และทำให้ความต่างศักย์ระหว่างขาอินพุตบวกและขาอินพุตลบมีค่าเป็นศูนย์



รูปที่ 2.25 วงจรขยายแบบกลับเฟส

1.2 เมื่อป้อนแรงดันบวกเข้าที่ขาอินเวอร์ติ้ง

จากวงจรในรูปที่ 2.25 ป้อนแรงดัน $+E_i$ ให้กับขาอินพุตลบ (ขาอินเวอร์ติ้ง) ผ่านตัวต้านทานอินพุต R_i และให้ R_f ซึ่งเป็นตัวต้านทานป้อนกลับต่ออยู่ระหว่างขาเอาต์พุตและอินพุตลบ ส่วนขาอินพุตบวกต่ออยู่กับกราวด์ สิ่งที่ต้องการหา คือ A_{CL}

จากวงจรในรูปที่ 2.25 แรงดันบวกถูกป้อนเข้าที่ขาลบของออปแอมป์ R_i จะทำหน้าที่ในการแปลงแรงดันให้เป็นกระแส I จากนั้น R_f จะทำหน้าที่แปลงกระแส I ให้กลับไปอยู่ในรูปของแรงดันอีกครั้ง โดยเป็นแรงดันที่เป็นสัดส่วนกับ E_i

จากที่ว่าความต่างศักย์ระหว่างอินพุตขาบวกและขาลบเป็นศูนย์ ซึ่งหมายความว่าแรงดันของทั้งสองขาต้องเท่ากัน ดังนั้นเมื่อขาอินพุตบวกในวงจรนี้เป็นกราวด์ ขาอินพุตลบจึงเสมือนต่ออยู่กับกราวด์ด้วย กระแสที่ไหลผ่าน R_i จึงเกิดจากความต่างศักย์ระหว่าง E_i และกราวด์ ตามกฎของโอห์มได้กระแสดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I = \frac{E_i}{R_i}$$

จากที่ว่าไม่มีกระแสไหลเข้าขาอินพุตทั้งสองของออปแอมป์ ดังนั้นกระแส I ทั้งหมดจาก R_i จะไหลผ่านไปยัง R_f ทำให้เกิด V_{Rf} ขึ้น

$$V_{Rf} = I \times R_f = \frac{E_i}{R_i} \times R_f$$

จาก V_{Rf} ที่ได้เป็นแรงดันที่ตกคร่อม R_f ซึ่งเกิดจากความต่างศักย์ระหว่างกราวด์กับ V_o ตามทิศของกระแสในขณะนี้ กระแสไหลสืบเนื่องมาจาก I ผ่านกราวด์ซึ่งอยู่ทางซ้ายของ R_f มายัง V_o ซึ่งอยู่ทางขวาของ R_f แสดงให้เห็นว่า V_o ในตอนนี้มีแรงดันต่ำกว่ากราวด์ คือ เป็นลบ ดังนั้นในขณะที่ E_i เป็นบวกเทียบกับกราวด์ V_o ก็จะเป็นลบเทียบกับกราวด์ เพราะฉะนั้นถ้าถือว่าขนาดของ V_o เท่ากับ V_{Rf} แล้วเครื่องหมายของ V_o ก็จะกลับกันกับ V_{Rf} ดังนั้นจะได้ว่า

$$V_o = -E_i \times \frac{R_f}{R_i}$$

จากนิยามของอัตราการขยายแบบลูปปิด A_{CL} เท่ากับ V_o/E_i

$$A_{CL} = -\frac{V_o}{E_i}$$

$$= \left(-E_i \times \frac{R_f}{R_i}\right) \times \left(\frac{1}{E_i}\right)$$

$$= -\frac{R_f}{R_i}$$

เครื่องหมายลบแสดงว่าขั้วของ V_o จะกลับกับทางด้าน E_i ซึ่งจุดนี้เองที่ทำให้วงจรขยายนี้ได้ชื่อว่า วงจรขยายกลับเฟส (inverting amplifier) ซึ่งอัตราการขยายของวงจรจะขึ้นอยู่กับ R_f และ R_i เท่านั้น

1.3 โหลดและกระแสเอาต์พุต

กระแสเอาต์พุต I_o ของออปแอมป์ ประกอบด้วยกระแส 2 ส่วน คือ

1. กระแสที่เกิดจาก V_o คร่อม R_L (ในขณะที่ V_o เป็นลบ) I_L เท่ากับ V_o / R
2. กระแส I ที่ไหลผ่าน R_f มายังเอาต์พุต ซึ่งทิศทางของ I จะเหมือนกันกับ I_L (มีทิศทางไหลเข้าขา 6 ของออปแอมป์เหมือนกันดังรูปที่ 2.25) ดังนั้นกระแสเอาต์พุตของออปแอมป์ I_o จะเท่ากับ

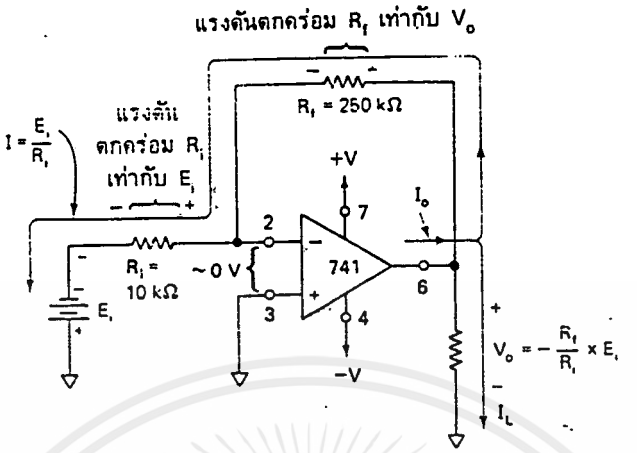
$$I_o = I + I_L$$

1.4 เมื่อป้อนแรงดันลบเข้าที่ขาอินเวอร์ติ้ง

จากวงจรในรูปที่ 2.26 มีการป้อน E_i ผ่าน R_i เข้าทางขาอินพุตลบ โดย

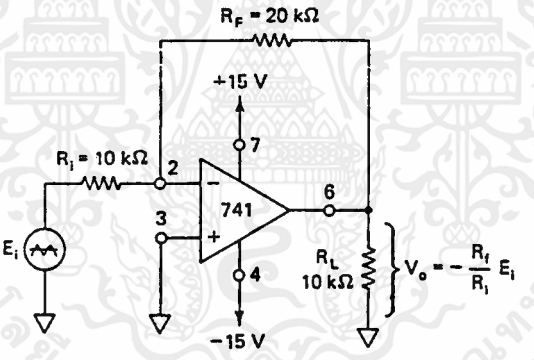
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

E_i ที่ป้อนให้มีแรงดันเป็นลบ ดังนั้นทำให้ทิศทางของกระแสจึงกลับดังวงจรในรูปที่ 2.25 แต่สมการทุกๆ สมการจะเหมือนกับตอนแรก และเมื่อพิจารณาจากทิศทางการไหลของกระแสในวงจรรูปที่ 2.26 นี้แล้ว จะได้ข้อสังเกตว่า ในขณะที่แรงดัน E_i เป็นลบ จะทำให้ V_o เป็นบวก

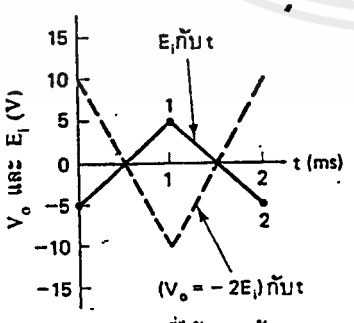


รูปที่ 2.26 แสดงการไหลของกระแสเมื่อแรงดันที่เป็นลบถูกป้อนเข้าที่ขาลบของออปแอมป์

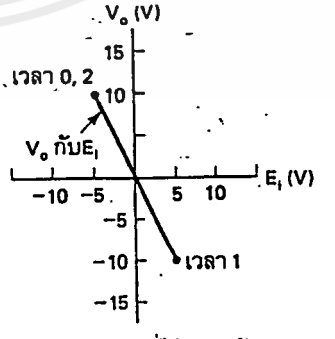
1.5 เมื่อป้อน AC ให้กับขาอินเวอร์ติ้ง



(ก) ค่าความต่างศักย์ของ E_i จะถูกขยายด้วยอัตรา −2 เท่า



(ข) แสดงกราฟที่ได้จากหน้าจอออสซิลโลสโคปเมื่อเปรียบเทียบ E_i และ V_o กับเวลา



(ค) แสดงกราฟที่ได้จากหน้าจอออสซิลโลสโคปเมื่อเปรียบเทียบ V_o และ E_i

รูปที่ 2.27 วงจรแบบอินเวอร์ติ้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 2.27 (ก) เมื่อถูกป้อนอินพุตด้วยไฟฟ้ากระแสสลับ ซึ่งจะได้อัตราขยายเท่ากับ -2 ในรูปที่ 2.27 (ข) แสดงกราฟแรงดันต่อเวลาเมื่อวัดด้วยสโคป ส่วนในรูปที่ 2.27 (ค) แสดงค่าคุณสมบัติของอินพุตต่อเอาต์พุต

จากวงจรในรูปที่ 2.27 (ก) เป็นการป้อนสัญญาณ AC เข้าที่ขาอินพุตลบ ลักษณะสัญญาณ AC ที่ป้อนให้มีลักษณะดังรูปที่ 2.27 (ข) โดยจะประกอบด้วยคลื่นแบ่งเป็น 2 ช่วงใน 1 ลูก คือ

1. ช่วงที่มีแรงดันเป็นบวก ก็จะใช้พิจารณาวงจรและสมการเช่นเดียวกับวงจรในรูปที่ 2.24 ดังนั้นในขณะที่ E_i ซึ่งตอนนี้เป็นบวก จะทำให้ V_o เป็นลบ

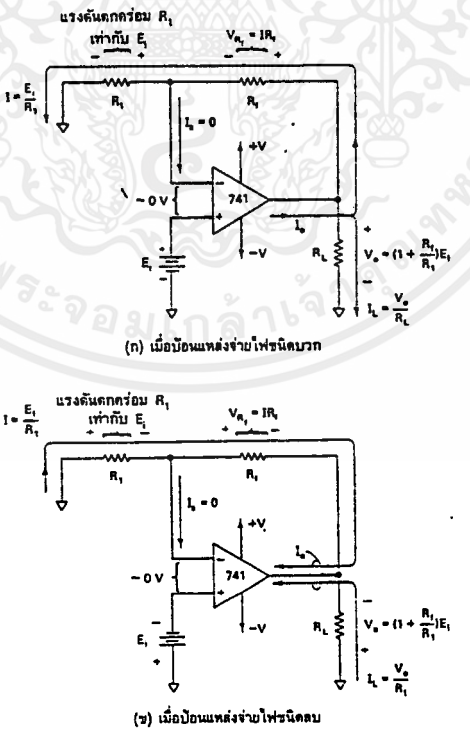
2. ช่วงที่มีแรงดันเป็นลบ ก็จะใช้พิจารณาวงจรและสมการเช่นเดียวกันกับวงจรในรูปที่ 2.25 ดังนั้นในขณะที่ E_i ซึ่งตอนนี้เป็นลบ จะทำให้ V_o เป็นบวก

รูปคลื่นที่ออกมาทางด้านเอาต์พุตจะกลับเฟส กับทางด้านอินพุตดังแสดงในรูปที่ 2.27 (ข) และรูปที่ 2.27 (ค) โดยที่ความถี่ของคลื่นในด้านอินพุตจะเท่ากับเอาต์พุต

2. วงจรขยายแบบนอนอินเวอร์ติ้ง

2.1 การวิเคราะห์วงจร

วงจรขยายแบบนอนอินเวอร์ติ้ง (รูปที่ 2.28) เป็นวงจรที่แรงดันเอาต์พุต V_o มีเครื่องหมายหรือมีขั้วเหมือนกับทางด้านอินพุต E_i ในการวิเคราะห์วงจรให้ถือว่าความต้านทานด้านอินพุตของออปแอมป์มีขนาดมากเกิน 100 เมกะโอห์ม



รูปที่ 2.28 แสดงทิศทางการไหลของกระแส และขั้วแรงดันเมื่อป้อนแหล่งจ่ายไฟชนิดต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อไม่มีความต่างศักย์ระหว่างขาอินพุตบวกและอินพุตลบ ดังนั้นแรงดันที่ตกคร่อม R_i คือ E_i ดังนั้นกระแสที่ไหลผ่าน R_1 และ R_2 (ไม่มีกระแสไหลเข้าขาอินพุตลบ) หาได้จาก

$$I = \frac{E_i}{R_1}$$

โดยที่ทิศทางของกระแสขึ้นอยู่กับแรงดัน E_i ซึ่งเสมือนตกคร่อม R_i สำหรับวงจรรูปที่ 2.28 (ก) ที่ขาอินพุตลบจะเสมือนมีแรงดันบวก E_i อยู่ ดังนั้นกระแสจึงไหลจากด้านขวาของ R_1 ผ่าน R_1 กราวด์ การไหลเช่นนี้ทำให้เกิดทิศทางของ I ซึ่งจะกลับกันกับ I ในรูปที่ 2.27 (ข) เมื่อทราบ I แล้วจึงสามารถหาความต่างศักย์ตกคร่อม R_f ได้

$$V_{Rf} = I_{Rf} = \frac{R_f}{R_1} \times E_i$$

เมื่อได้ V_{Rf} และ V_{R1} ซึ่งเท่ากับ E_i แล้ว จะสามารถหา V_o ได้

$$V_o = V_{Rf} + E_i$$

$$= E_i \times \frac{R_f}{R_1} + E_i$$

$$= \left(1 + \frac{R_f}{R_1}\right) E_i$$

ทุกค่า V_o ที่หาได้ นำมาใช้ในการหาอัตราขยายของวงจรนี้ได้ดังนี้

$$A_{CL} = \frac{V_o}{E_i}$$

$$= \left(1 + \frac{R_f}{R_1}\right) E_i \times \left(\frac{1}{E_i}\right)$$

$$= \left(1 + \frac{R_f}{R_1}\right)$$

$$= \left(\frac{R_1 + R_f}{R_1}\right)$$

อัตราการขยายของวงจรแบบนอนอินเวอร์ติ้งหรือแบบไม่กลับเฟส จะมีค่ามากกว่า 1 เสมอ กระแสที่จ่ายให้โหลด (I_L) เท่ากับ V_o/R_L ส่วนกระแส $I_o = I + I_L$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การคำนวณและการสร้าง

จากรูปที่ 3.1 แสดงถึงบล็อคไดอะแกรมของเครื่องกำเนิดสัญญาณชนิดสังเคราะห์ความถี่ ซึ่งสังเคราะห์ความถี่ด้วยวิธีเฟสล็อคลูปแบบมัลติลูป ซึ่งทำให้มีความละเอียดของความถี่เพิ่มขึ้น โดยไม่ต้องลดความถี่อ้างอิงให้น้อยลง ซึ่งจะมีผลให้ความเร็วในการทำงานของลูปลดลงด้วย ความถี่อ้างอิงที่ใช้จะต้องมีความเที่ยงตรงสูง จึงเลือกใช้วงจรคริสตอลออสซิลเลเตอร์ ซึ่งมีความถี่ 10 MHz แล้วผ่านวงจรหารเพื่อให้ได้ความถี่อ้างอิงที่ต้องการ

จากรูปที่ 3.2 แสดงถึงบล็อคไดอะแกรมในส่วนของมัลติลูปซึ่งแบ่งออกเป็น 3 ลูปด้วยกัน ซึ่งประกอบด้วย ลูปปรับละเอียด ลูปปรับหยาบ และลูปหลัก

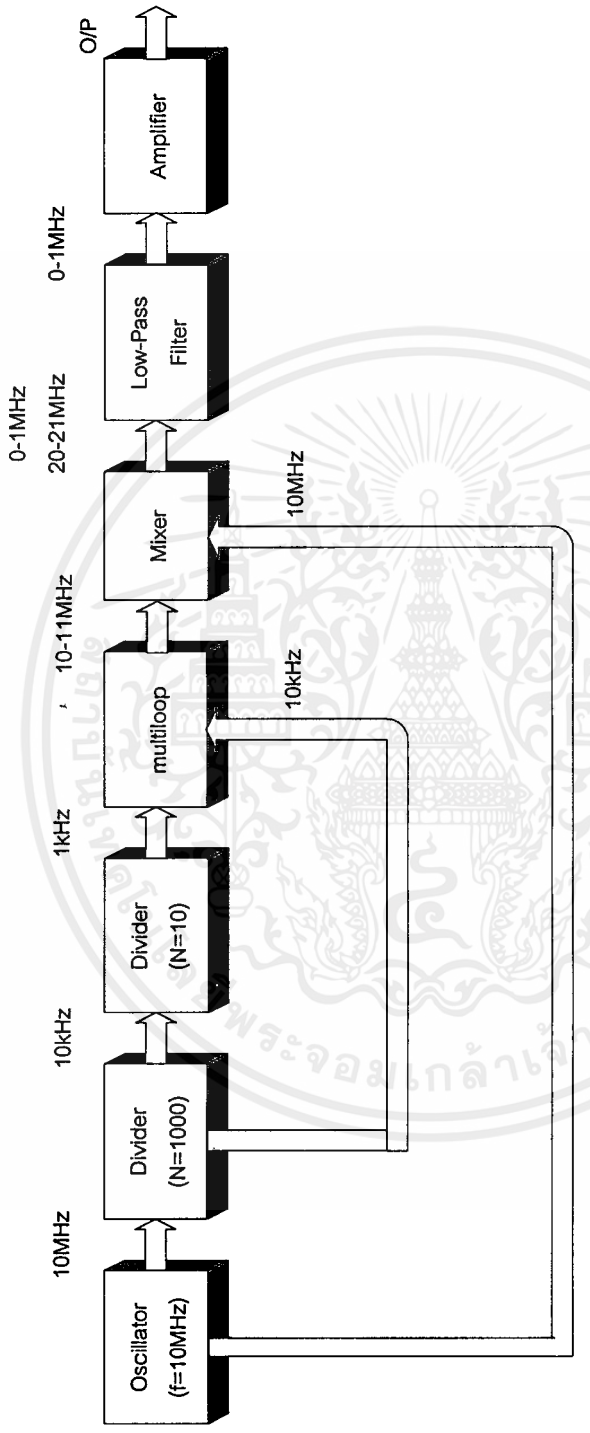
ในส่วนของลูปปรับละเอียดใช้ความถี่อ้างอิงเท่ากับ 1 kHz และค่าตัวหารของวงจรหารแบบโปรแกรมได้จะมีค่าอยู่ในช่วง 9000 - 10000 ทำให้เอาต์พุตจากลูปนี้จะมีความถี่อยู่ในช่วง 9 - 10 MHz (เนื่องจากความถี่เอาต์พุตจะมีค่าเท่ากับ ผลคูณระหว่างความถี่อ้างอิงกับค่าตัวหารของวงจรหารแบบโปรแกรมได้) และมีความละเอียดของความถี่เท่ากับ 1 kHz ซึ่งเมื่อเอาต์พุตนี้ผ่านในส่วนของวงจรหาร 100 ความถี่ที่ได้จะอยู่ในช่วง 90 - 100 kHz และความละเอียดของความถี่ที่ได้จะเท่ากับ 10 Hz ซึ่งจะไปควบคุมในส่วนของลูปหลักให้มีความละเอียดดีขึ้นโดยที่ค่าความถี่อ้างอิงยังคงเท่าเดิม

ในส่วนของลูปปรับหยาบใช้ความถี่อ้างอิงเท่ากับ 10 kHz และค่าตัวหารของวงจรหารแบบโปรแกรมได้จะมีค่าอยู่ในช่วง 1010 - 1110 เพื่อให้ได้ความถี่เอาต์พุตมีค่าอยู่ในช่วง 10.1 - 11.1 MHz และมีความละเอียดของความถี่เท่ากับ 10 kHz ซึ่งเอาต์พุตในส่วนนี้จะนำไปมิกซ์กับเอาต์พุตที่ได้จากลูปหลัก แล้วทำการปรับแต่งสัญญาณให้เหมาะสมโดยผ่านในส่วนของวงจรกรองความถี่ต่ำผ่าน วงจรขยายสัญญาณและวงจรอินเวอร์เตอร์ และป้อนให้แก่วงจรเปรียบเทียบเฟสในลูปหลักต่อไป

ในส่วนของลูปหลักจะนำสัญญาณที่ได้จากลูปปรับละเอียด และสัญญาณที่ได้จากการมิกซ์เอาต์พุตของลูปปรับหยาบ และเอาต์พุตของลูปหลักมาทำการเปรียบเทียบเฟสกันเพื่อไปควบคุมความถี่ของวงจรออสซิลเตอร์ที่ควบคุมด้วยระดับแรงดันเพื่อให้ได้ความถี่ที่ต้องการ ซึ่งจะอยู่ในช่วง 9 - 10 MHz

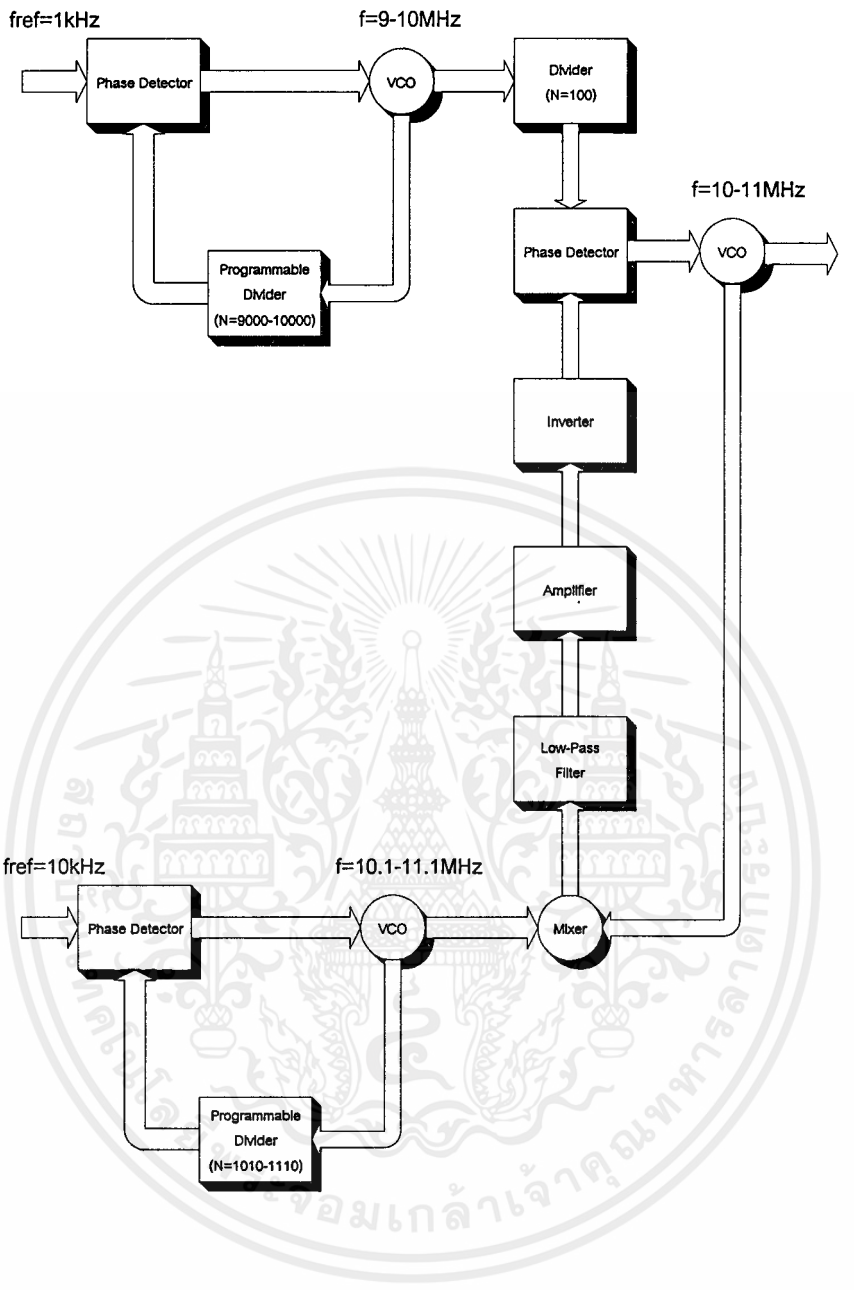
จากรูปที่ 3.1 จะเห็นว่าเอาต์พุต ที่ได้จากส่วนของการสังเคราะห์ความถี่จะมีความถี่อยู่ในช่วง 9 - 10 MHz นั้นจะถูกนำมามิกซ์กับความถี่จากวงจรออสซิลเลเตอร์ 10 MHz ด้วยวงจรมิกเซอร์แบบบาลานซ์ ซึ่งจะได้ความถี่เอาต์พุตออกมา 2 ค่า คือ ความถี่ผลรวมและความถี่ผลต่าง เมื่อผ่านวงจรกรองความถี่ต่ำผ่านที่คัทออฟที่ความถี่ 1 MHz จะทำให้ได้เฉพาะความถี่ผลต่างออกมาซึ่งจะอยู่ในช่วง 0 - 1 MHz ซึ่งเป็นความถี่ที่ต้องการสำหรับเครื่องกำเนิดสัญญาณชนิดสังเคราะห์ความถี่นี้ จากนั้นจึงทำการขยายสัญญาณให้มีขนาดตามที่ต้องการโดยวงจรขยายสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 บล็อกไดอะแกรมของเครื่องกำเนิดสัญญาณชนิดสังเคราะห์ความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

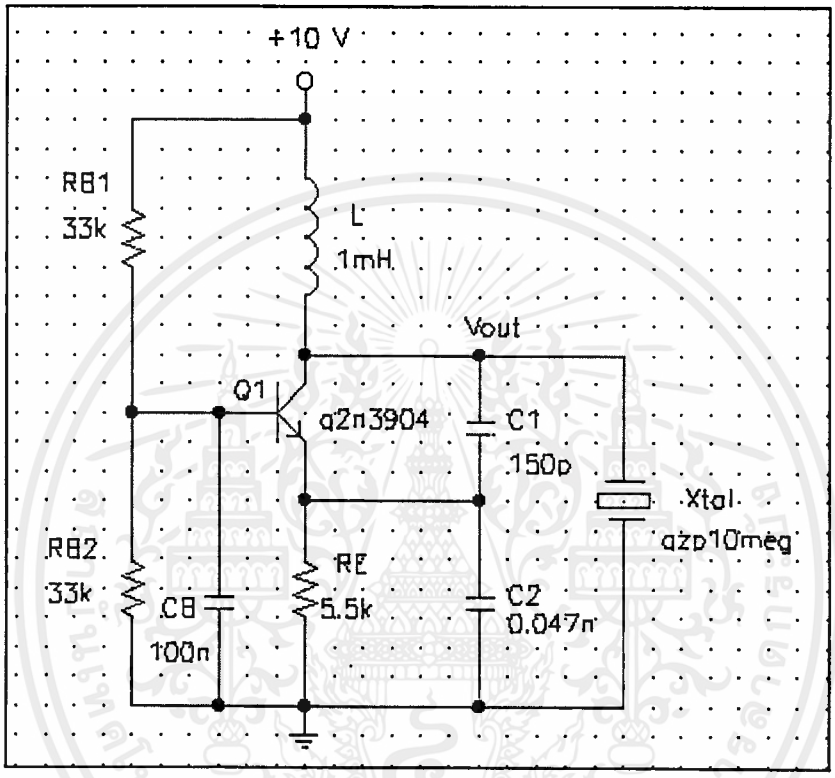


รูปที่ 3.2 บล็อคไดอะแกรมส่วนสังเคราะห์ความถี่เฟสล็อคลูปแบบมัลติลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1 วงจรคริสตอลออสซิลเลเตอร์

วงจรออสซิลเลเตอร์จะกำเนิดสัญญาณรูปซายน์ ซึ่งมีความถี่ 10 MHz เนื่องจากสัญญาณในส่วนนี้จะนำไปใช้เป็นความถี่อ้างอิงของเฟสล็อคลูป จึงต้องมีเสถียรภาพทางความถี่สูง ดังนั้นจึงเลือกใช้วงจรคริสตอลออสซิลเลเตอร์ โดยใช้คริสตอล 10MHz เป็นส่วนกำเนิดความถี่ และทรานซิสเตอร์ 2N3904 เป็นวงจรขยาย ที่มีการป้อนกลับแบบบวกเพื่อให้เกิดการออสซิลเลตให้ได้สัญญาณออกมา ดังรูปที่ 3.3



รูปที่ 3.3 วงจรออสซิลเลเตอร์

3.2 วงจรหาร

วงจรหารที่ใช้ในโครงงานนี้ มี 2 ส่วน คือ

3.2.1 ส่วนที่ 1 ทำหน้าที่ในการหารสัญญาณที่ได้จากวงจรคริสตอลออสซิลเลเตอร์เพื่อใช้เป็นความถี่อ้างอิงในการสังเคราะห์ความถี่ ดังรูปที่ 3.4(ก) ซึ่งเป็นวงจรหาร 10000 ที่ใช้ไอซี 7490 Decade Counter จำนวน 4 ตัวมาต่อเข้าด้วยกัน โดยไอซีแต่ละตัวจะทำการต่อขา $R_{0(1)}$ (ขา 2) , $R_{0(2)}$ (ขา 3) , $R_{g(1)}$ (ขา 6) และ $R_{g(2)}$ (ขา 7) ซึ่งเป็นขาที่ใช้สำหรับการเลือกโหมดการทำงานของไอซี 7490 ลงกราวนด์เพื่อให้ทำงานในโหมดการนับ ป้อนไฟเลี้ยง +5 V ให้แก่ไอซีที่ขา V_{cc} (ขา 5) และที่ขา GND (ขา 10) ต่อลงกราวนด์ สำหรับไอซี 7490 นี้วงจรภายในจะแบ่งออกเป็น 2 ส่วน คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. วงจรหาร 2 ป้อนอินพุตที่ขา และขา จะเป็นขาเอาต์พุต

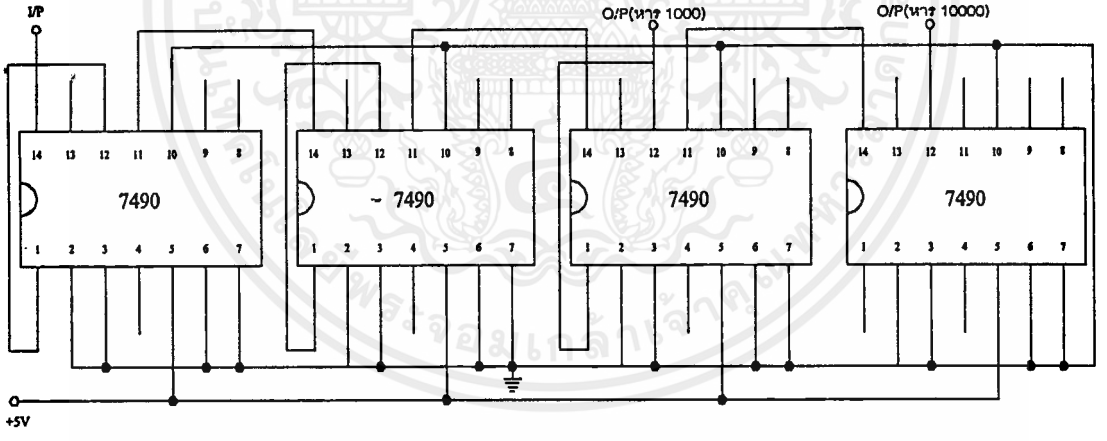
2. วงจรหาร 5 ป้อนอินพุตที่ขา และขา จะเป็นขาเอาต์พุต

ซึ่งในการทำให้ไอซีแต่ละตัวทำงานเป็นวงจรหาร 10 จะต้องนำเอาต์พุตที่ได้จากวงจรหาร 2 ไปป้อนให้แก่อินพุตในวงจรหาร 5 หรือกลับกัน จึงจะทำงานเป็นวงจรหาร 10 ตามต้องการ

สำหรับการออกแบบให้เป็นวงจรหาร 10000 ก็สามารถทำได้โดยนำเอาต์พุตหาร 10 ของไอซีแต่ละตัวป้อนให้แก่ไอซีตัวถัดไปเป็นจำนวนทั้งหมด 4 ตัว (10x10x10x10=10000) ซึ่งจะใช้เอาต์พุต(หาร 1000) จากไอซีลำดับที่ 3 ไปเป็นความถี่อ้างอิงสำหรับลูปปรับหยาบซึ่งมีความถี่เท่ากับ 10 kHz และเอาต์พุต(หาร 10000) จากไอซีลำดับสุดท้ายไปเป็นความถี่อ้างอิงของลูปปรับละเอียดซึ่งมีความถี่เท่ากับ 1 kHz

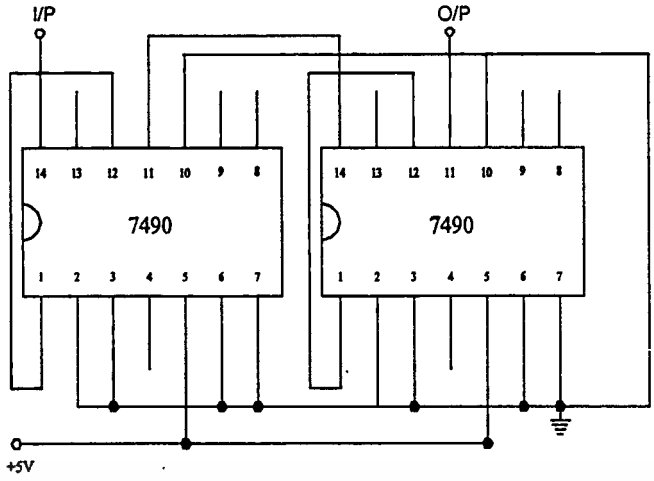
3.2.2 <u>ส่วนที่ 2</u> ดังรูปที่ 3.4(ข) เป็นวงจรหาร 100 ซึ่งทำหน้าที่ในการหารเอาต์พุตที่ได้จากลูปปรับละเอียด เพื่อให้เอาต์พุตที่ไปควบคุมลูปหลักมีความละเอียดเพิ่มขึ้น โดยไม่ต้องเปลี่ยนความถี่อ้างอิง ซึ่งเดิมเป็น 1 kHz ให้เป็น 10 Hz

สำหรับการออกแบบวงจรจะใช้ไอซี 7490 จำนวน 2 ตัวต่อ เข้าด้วยกัน ซึ่งไอซีแต่ละตัวจะทำการต่อในทำนองเดียวกันกับวงจรในรูปที่ 3.4(ก)



(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข)

รูปที่ 3.4 (ก) วงจรหาร 10000

(ข) วงจรหาร 100

3.3 วงจรเปรียบเทียบเฟส

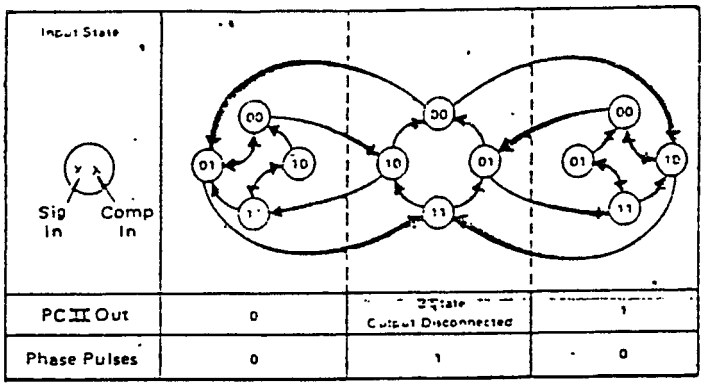
วงจรเปรียบเทียบเฟสนี้จะเลือกใช้ส่วนเปรียบเทียบเฟสแบบที่ 2 (Phase Comparator II) ของ MC4046 ซึ่งเป็นไอซี PHASE LOCK LOOP

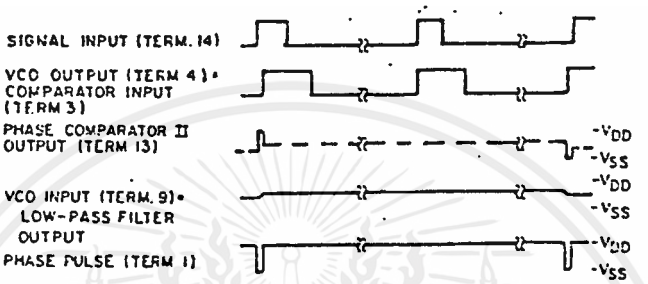
ไอซี MC4046 นี้ ประกอบด้วยส่วนเปรียบเทียบเฟส 2 ตัว ตัวแรกจะใช้เอกซ์คลูซีฟออร์เกต (XOR) เป็นตัวเปรียบเทียบ โดยเอาต์พุตจะเป็น "1" เมื่อสถานะของสัญญาณอินพุตทั้งสองนั้นต่างกัน แต่ตัวเปรียบเทียบแบบนี้ไม่เหมาะที่จะใช้ในวงจรนี้ เนื่องจากมีข้อจำกัดตรงที่สัดส่วนของสัญญาณอินพุตต้องสมมาตรกัน และอาจจะล็อกความถี่ได้ง่ายกับฮาร์มอนิกของสัญญาณอินพุต

ตัวเปรียบเทียบเฟสแบบที่ 2 นี้มีโครงสร้างที่ค่อนข้างจะซับซ้อนและสมบูรณ์กว่า เนื่องจากตัวเปรียบเทียบเฟสแบบนี้จะไม่ไวต่อสัญญาณอินพุตที่สมมาตร เพราะทำงานที่ขอบขึ้นของสัญญาณ ดังนั้นตัวเปรียบเทียบเฟสแบบนี้ จึงไม่ล็อกความถี่ฮาร์มอนิกของอินพุต

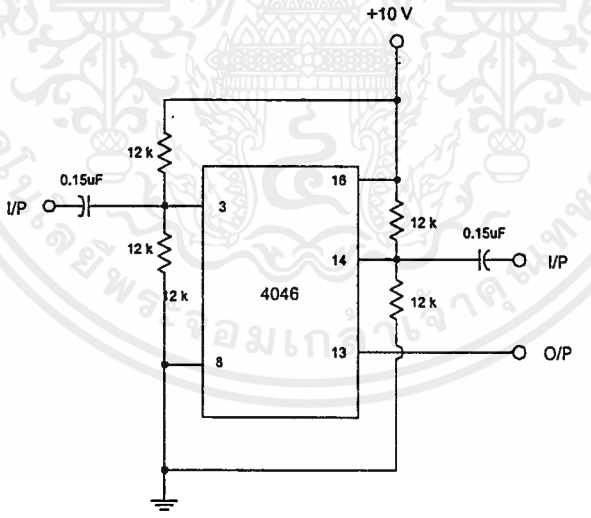
เอาต์พุตของตัวเปรียบเทียบเฟสแบบที่ 2 นี้เป็นไปได้ 3 สถานะ คือ "0" , "1" และสถานะอิมพีแดนซ์สูง (High Impedance) โดยจะมีสถานะใดนั้นขึ้นอยู่กับสัญญาณอินพุตทั้งสองของส่วนเปรียบเทียบเฟส เมื่อเอาต์พุตของตัวเปรียบเทียบเฟสนี้อยู่ในสภาวะอิมพีแดนซ์สูง จะทำให้ตัวเปรียบเทียบเฟสไม่มีผลต่อวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





รูปที่ 3.5 หลักการทำงานของ Phase Detector II ในไอซี MC4046



รูปที่ 3.6 วงจรเปรียบเทียบเฟส

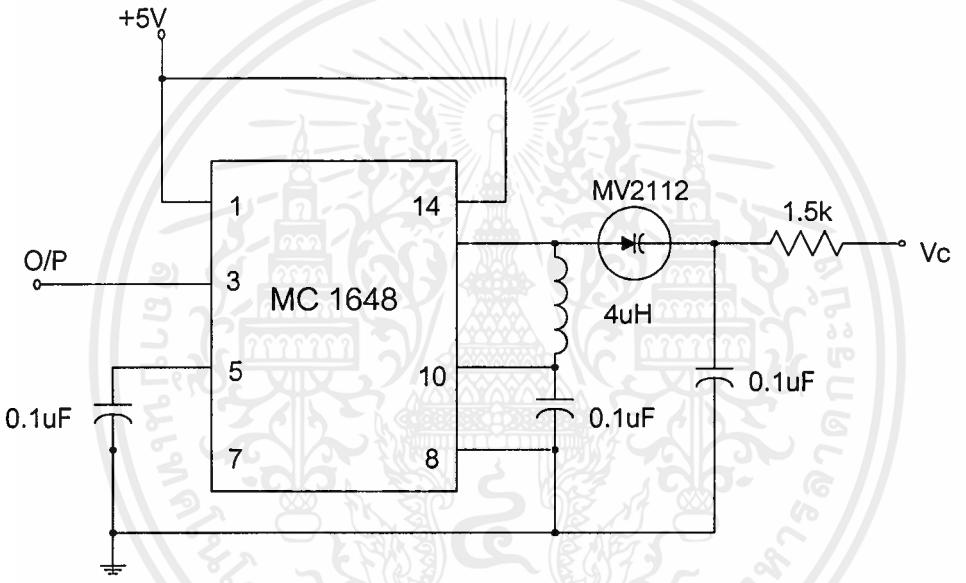
จากรูปที่ 3.6 แสดงให้เห็นถึงการใช้งานไอซี MC4046 ในการเปรียบเทียบเฟสสัญญาณอ้างอิง ซึ่งจะป้อนให้แก่ขา 14 ของไอซี และป้อนสัญญาณที่มาจากวงจรหารแบบโปรแกรมได้ให้แก่ขา 3 ของไอซี โดยมีการกั้นสัญญาณไฟตรงโดยการต่อตัวเก็บประจุคั่นไว้และยกระดับสัญญาณให้อยู่ในระดับที่เหมาะสมโดยการใช้วงจรแบ่งระดับแรงดันด้วยตัวต้านทานที่ขาอินพุตทั้งสองด้วย ส่วนเอาต์พุตที่ได้จากขา 13 จะป้อนให้แก่วงจรลูปฟิลเตอร์ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 <u>วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยระดับแรงดัน</u>

วงจรออสซิลเลเตอร์แบบนี้จะมีหลักการกำเนิดสัญญาณเหมือนกับวงจรออสซิลเลเตอร์ทั่วไป ที่มีส่วนของวงจรขยายและส่วนกำเนิดความถี่ ที่มีการป้อนกลับแบบบวก โดยจะต่างกันในส่วนกำเนิดความถี่ซึ่งเป็นวงจร LC จะใช้วาแรกเตอร์ไดโอดทำหน้าที่เสมือนตัวเก็บประจุ ซึ่งสามารถปรับค่าได้โดยขึ้นอยู่กับการไบอัสย้อนกลับ (Reverse Bias) ที่ป้อนให้แก่วาแรกเตอร์ไดโอด จึงทำให้ความถี่ของวงจรออสซิลเลเตอร์แบบนี้สามารถควบคุมได้โดยแรงดันไบอัสย้อนกลับดังกล่าว

สำหรับวงจรที่ใช้ในโครงงานนี้จะใช้ไอซี MC1648 ทำการต่อดังรูปที่ 3.7 และในส่วนกำเนิดความถี่จะเลือกใช้วาแรกเตอร์ไดโอดเบอร์ MV2112 และตัวเหนี่ยวนำที่มีค่าประมาณ 4 μH เพื่อให้ได้ช่วงความถี่ตามต้องการ เมื่อแรงดันไบอัสย้อนกลับอยู่ในช่วง 0 - 10 โวลต์



รูปที่ 3.7 วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยระดับแรงดัน

3.5 <u>วงจรหารแบบโปรแกรมได้</u>

ค่าตัวหารของวงจรหารแบบโปรแกรมได้นี้สามารถคำนวณได้จากหลักการทำงานของเฟสล็อกลูปในสภาวะล็อก ซึ่งจะได้ว่า

$$f_0 = Nf_{ref}$$

เมื่อ f_{ref} คือ ความถี่อ้างอิงของลูป

f_o คือ ความถี่เอาต์พุตของลูป

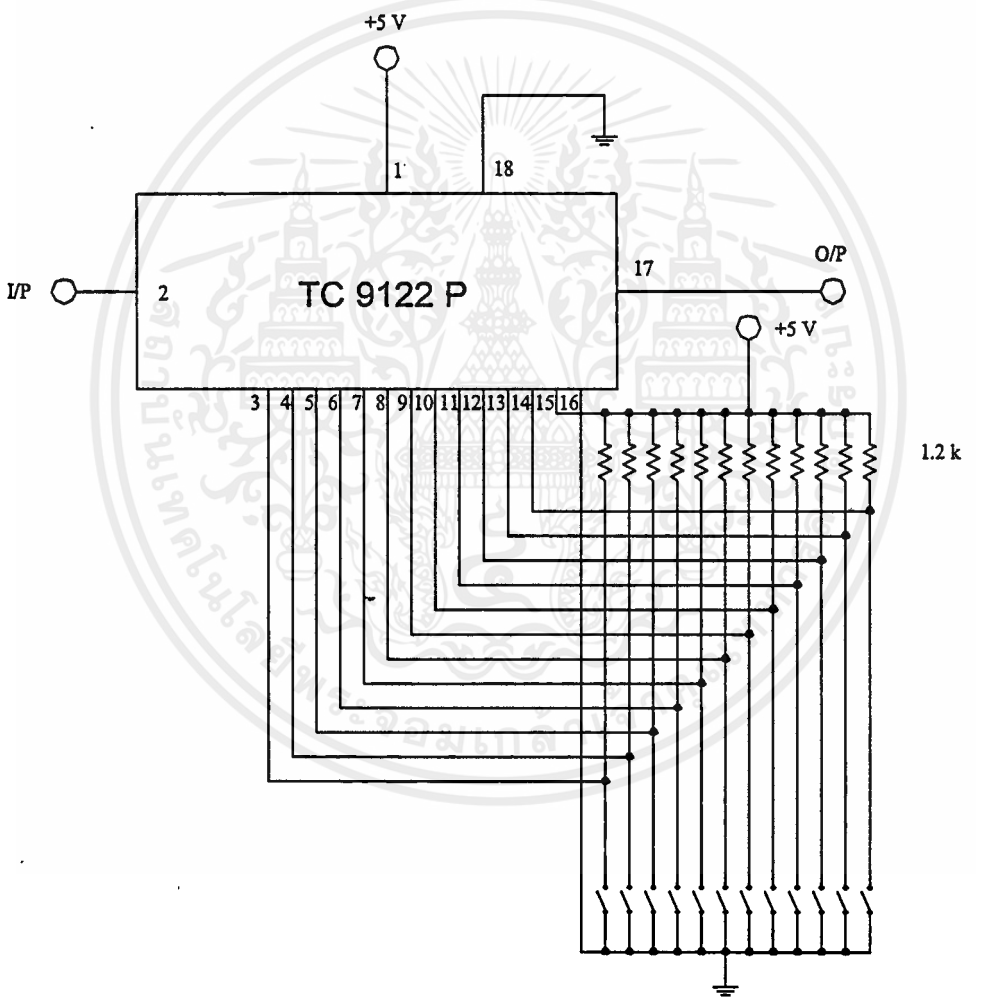
N คือ ค่าตัวหารของวงจรหารแบบโปรแกรมได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรหารแบบโปรแกรมได้ในโครงงานนี้จะมีด้วยกัน 2 วงจร ได้แก่

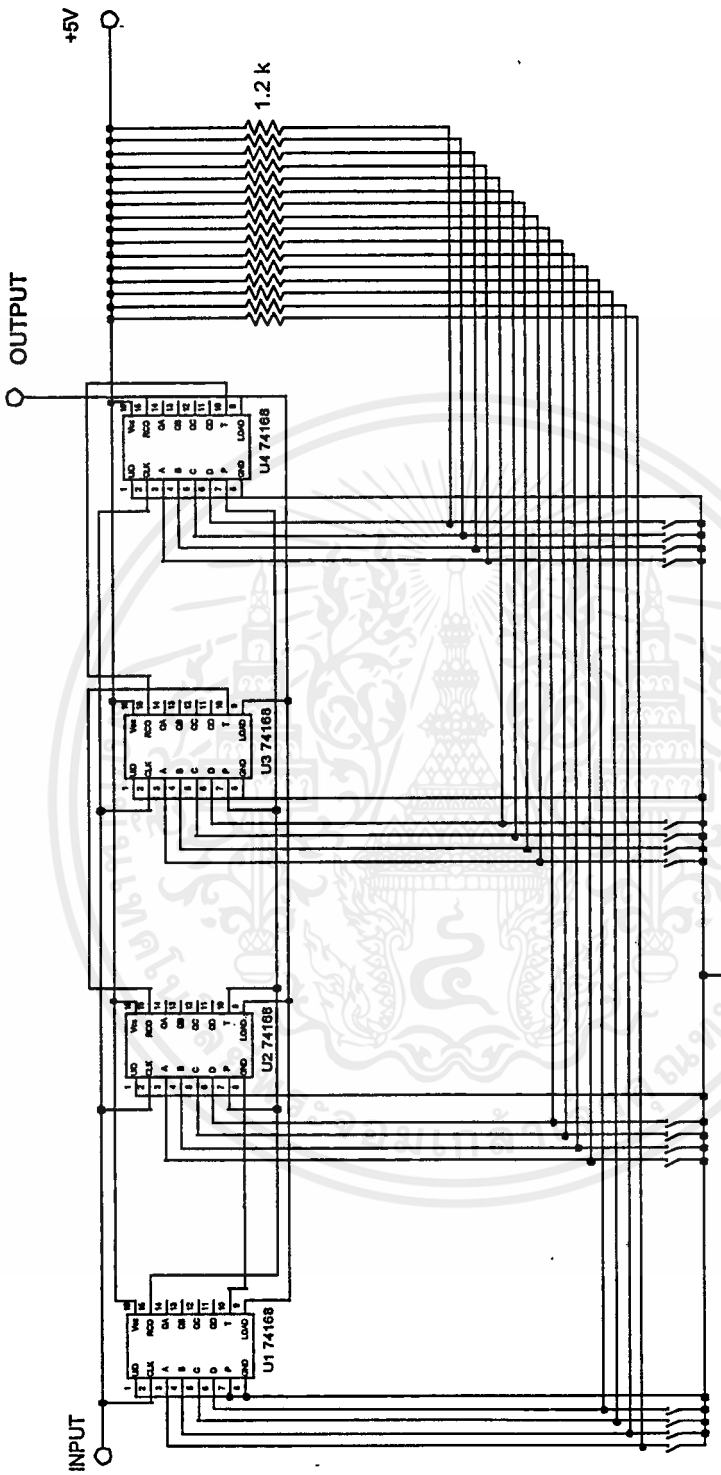
3.5.1 <u>วงจรหารแบบโปรแกรมได้ในลูปปรับหยาบ</u> ซึ่งมีค่าตัวหารอยู่ในช่วง 1010-1110 โดยเลือกใช้ไอซี TC9122P ซึ่งเป็น High-Speed BCD Programmable Counter

สำหรับการออกแบบวงจรโดยทำการต่อ-ขา A0-A2 , B0-B2 , C0-C2 และ D0-D2 (ขา 3 - ขา 14) เข้ากับดิพสวิทช์ซึ่งต่อเข้ากับตัวด้านทานซึ่งต่ออยู่กับไฟเลี้ยงและอีกขั้วหนึ่งของดิพสวิทช์ต่อลงกราวนด์ ซึ่งการโปรแกรมค่าตัวหารทำได้โดยการ on หรือ off ดิพสวิทช์นี้ ส่วนอินพุตต่อเข้ากับขา P_{IN} (ขา 2) และเอาต์พุตที่ขา P_{OUT} (ขา 15) ส่วนไฟเลี้ยง +5 V ป้อนเข้าที่ขา V_{DD} (ขา 1) และต่อขา GND (ขา 18) ลงกราวนด์ ดังรูปที่ 3.8 (ก)



รูปที่ 3.8(ก) วงจรหารแบบโปรแกรมได้ (N=1010-1110)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

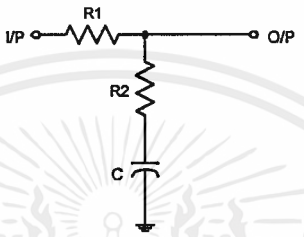


รูปที่ 3.8 (ข) วงจรหารแบบโปรแกรมได้ (N=9000-10000)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5.2 วงจรหารแบบโปรแกรมได้ในลูปปรับละเอียด ซึ่งมีค่าตัวหารอยู่ในช่วง 9000 - 10000 โดยอาศัยหลักการในสภาวะล็อกของเฟสล็อกลูปเช่นกัน วงจรหารออกแบบเป็นวงจรนับแบบซิงโครนัส ซึ่งสามารถโปรแกรมค่าตัวหารได้ โดยใช้ไอซี 74168 ทำการต่อดังรูปที่ 3.8 (ข) โดยไอซีแต่ละตัวจะแทนด้วยหลักของตัวหาร ดังนั้นจึงจำเป็นต้องใช้ไอซีทั้งหมด 4 ตัว โดยไอซีแต่ละตัวจะป้อนค่าตัวหารเป็นเลข BCD โดยตัวหารของไอซีแต่ละตัวจะเป็นดังนี้ คือ U1 จะเป็นค่าในหลักหน่วย , U2 เป็นค่าในหลักสิบ , U3 เป็นค่าในหลักร้อย และ U4 เป็นค่าในหลักพัน ซึ่งค่าตัวหารที่ป้อนเข้าไปมีค่าเป็น U4 U3 U2 U1 แต่ค่าตัวหารที่แท้จริงจะเป็นค่าตัวหารที่ป้อนให้แก่วงจรบวก 1

3.6 วงจรลูปฟิลเตอร์



รูปที่ 3.9 วงจรลูปฟิลเตอร์

จากวงจรดังรูปที่ 3.9 จะได้ว่า

$$R_1 = \frac{K_\phi K_v}{N\omega_n^2 C}$$

$$R_2 = \frac{2\xi}{\omega_n C}$$

$$C = \frac{K_\phi K_v}{N\omega_n^2 R_1}$$

โดย K_ϕ คือ อัตราขยายของตัวเปรียบเทียบเฟส (สำหรับ MC4046 ; $K_\phi = \frac{V_{DD}}{\pi}$)

K_v คือ อัตราขยายของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยระดับแรงดัน (จากผลการทดลองในบทที่ 4)

ξ คือ ค่าแดมปลิ้งแฟคเตอร์

ω_n คือ ความถี่ธรรมชาติ

N คือ ค่าตัวหารของวงจรหารแบบโปรแกรมได้

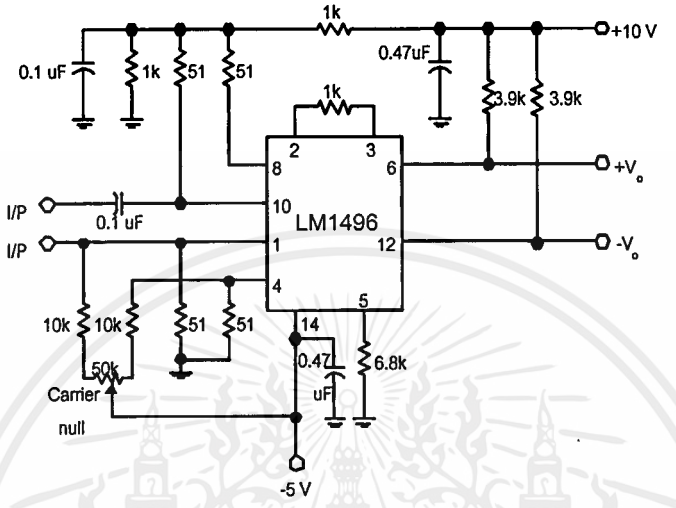
3.7 วงจรมิกเซอร์

วงจรมิกเซอร์ดังแสดงในรูปที่ 3.10 เป็นวงจรมิกเซอร์ชนิดใช้ไอซี LM1496 ซึ่งเป็นไอซีที่ได้รับความนิยมแพร่หลายมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

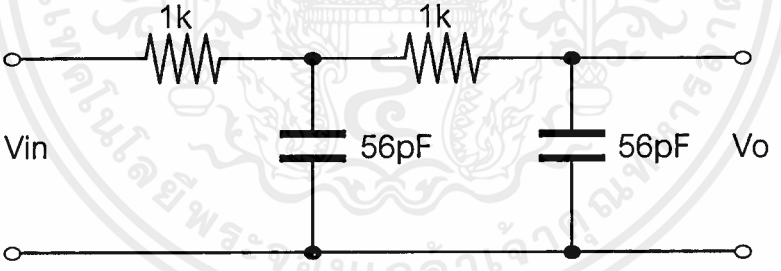
วงจรมิกเซอร์นี้เป็นวงจรมิกเซอร์แบบสมดุล ซึ่งการกำจัดพาหะขึ้นอยู่กับระดับสัญญาณของพาหะที่ป้อน ถ้าพาหะไม่แรงพอ (น้อยเกินไป) วงจรขยายพาหะจะขยายไม่เต็มที่ แต่ถ้าแรงเกินไปพาหะก็จะผ่านทะลุ (feed through) ออกไปยังเอาต์พุตได้ และยังขึ้นกับความถี่ที่ใช้งานด้วย

ในการปรับสมดุลเพื่อให้พาหะถูกกำจัดเป็นศูนย์ ทำได้โดยปรับค่าของตัวต้านทานแบบปรับค่าได้ในวงจร

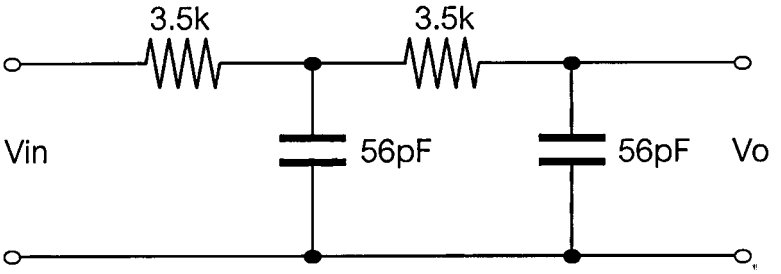


รูปที่ 3.10 วงจรมิกเซอร์

3.8 วงจรกรองความถี่ต่ำผ่าน



รูปที่ 3.11 วงจรกรองความถี่ต่ำผ่าน (ความถี่คัทออฟ เท่ากับ 1 MHz)



รูปที่ 3.12 วงจรกรองความถี่ต่ำผ่าน (ความถี่คัทออฟเท่ากับ 300 kHz)

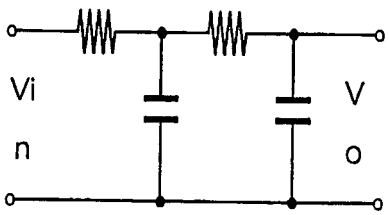
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนการคำนวนวงจรกรองสัญญาณความถี่ต่ำ

วงจรกรองสัญญาณความถี่ต่ำอันดับสอง (First - Order Low Pass Filter)

กำหนดให้ $Xc = 1/SC$; $S = j\omega$

$= j2\pi f$



$$Z = \frac{(R+Xc)*Xc}{(R+Xc)}$$

$$\frac{Vo}{Vin} = \frac{I*Z}{I*(R+Z)}$$

$$= \frac{Z}{(R+Z)}$$

$$= \frac{\frac{RXc+X^2c}{R+2Xc}}{\frac{R+RXc+X^2c}{R+2Xc}}$$

$$= \frac{RXc+X^2c}{R^2+2RXc+RXc+X^2c}$$

$$= \frac{RXc+X^2c}{R^2+3RXc+X^2c}$$

$$= \frac{\frac{R}{SC} + \frac{1}{(SC)^2}}{R^2 + \frac{3R}{SC} + \frac{1}{(SC)^2}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= \frac{\frac{RSC+1}{(SC)^2}}{\frac{(RSC)^2+3RSC+1}{(SC)^2}}$$

$$= \frac{RSC+1}{(RSC)^2+3RSC+1}$$

$$= \frac{1}{(RSC)^2+3RSC+1} + \frac{RSC}{(RSC)^2+3RSC+1}$$

ตัดพจน์ที่เป็นส่วนจินตภาพออกจะได้

อัตราขยายแรงดัน $= \frac{Vo}{Vin} = \frac{1}{(RSC)^2+RSC+1}$

สถานะที่มีกำลังขยายสูงสุดสำหรับวงจรกรองสัญญาณความถี่ต่ำคือที่ $\omega = 0$

$$\therefore \left| \frac{Vo\ (j\omega)}{Vin} \right|_{max} = 1$$

ที่ความถี่ขอบเขตกำลังขยายจะเท่ากับ ½ ของกำลังขยายสูงสุด

$$\left| \frac{Vo\ (j\omega)}{Vin} \right|_{Cut\ off} = \frac{1}{2} \left| \frac{Vo\ (j\omega)}{Vin} \right|_{max}$$

$$\frac{1}{2} = \frac{1}{1-(\omega RC)^2 + 3j\omega RC}$$

$$\left| \frac{1}{2} \right| = \frac{1}{\sqrt{(1-(\omega RC)^2)^2 + 3j\omega RC}}$$

$$\frac{1}{2} = \frac{1}{1+7(\omega RC)^2 + (\omega RC)^4}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{-1}{2} + 7\frac{(\omega RC)^2}{2} + \frac{(\omega RC)^4}{2} = 0$$

$$-1 + 7(\omega RC)^2 + (\omega RC)^4 = 0$$

$$(\omega RC)^2 = \frac{-7 \pm \sqrt{53}}{2}$$

ซึ่งค่าที่ได้ ได้จากการถอดสมการกำลังสอง

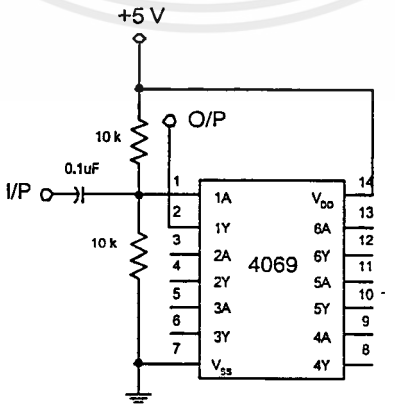
$$\omega RC = \pm\sqrt{\frac{-7 \pm \sqrt{53}}{2}}$$ ใช้ค่าบวกจริงค่าเดียวจะได้

$$\omega RC = \sqrt{\frac{-7 \pm \sqrt{53}}{2}}$$

$$RC = \frac{1}{2\pi f}\sqrt{\frac{-7 \pm \sqrt{53}}{2}}$$

3.9 <u>วงจรอินเวอร์เตอร์</u>

สำหรับวงจรอินเวอร์เตอร์นี้ ใช้สำหรับการปรับรูปแบบของสัญญาณ จากวงจรกรองความถี่ต่ำผ่านให้เหมาะสม ที่จะป้อนให้แก่วงจรเปรียบเทียบเฟสต่อไป ซึ่งได้ทำการเลือกใช้ไอซีเบอร์ 4069 ทำการต่อดังรูปที่ 3.13



รูปที่ 3.13 วงจรอินเวอร์เตอร์

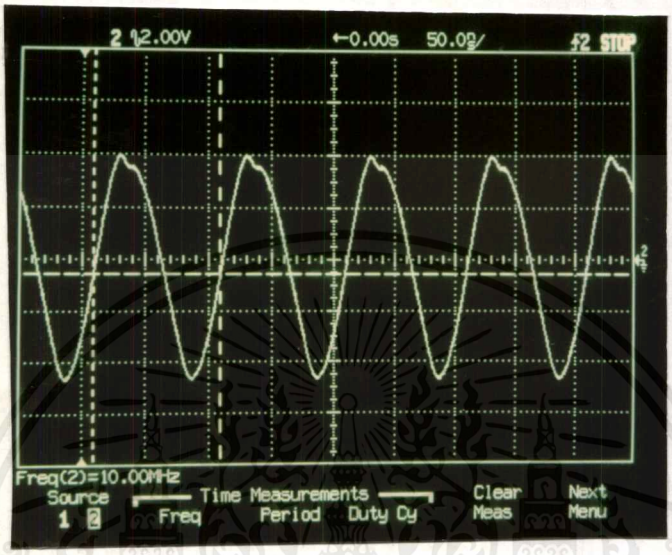
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

4.1 วงจรคริสตอลออสซิลเลเตอร์

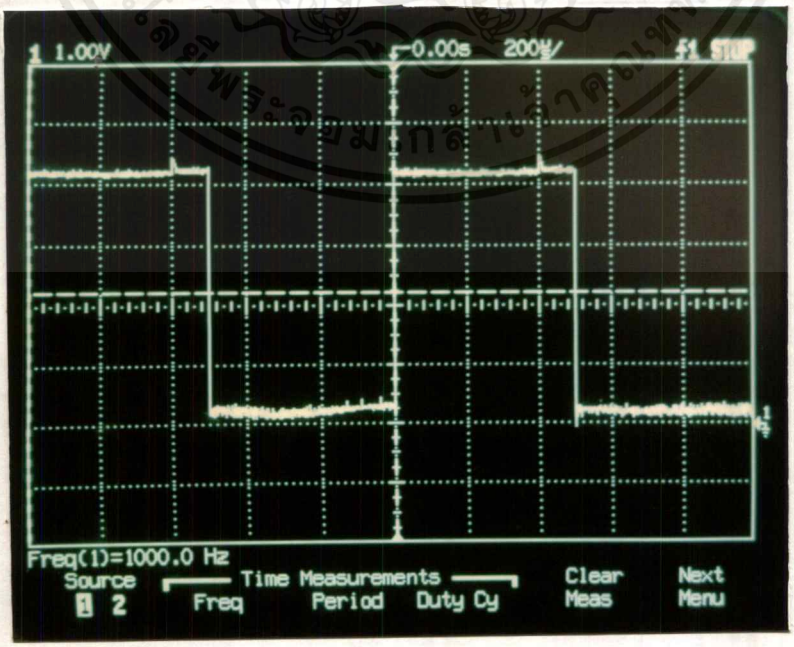
วงจรคริสตอลออสซิลเลเตอร์ กำเนิดสัญญาณความถี่ 10 MHz แสดงดังรูปที่ 4.1



รูปที่ 4.1 สัญญาณเอาต์พุตจากวงจรคริสตอลออสซิลเลเตอร์

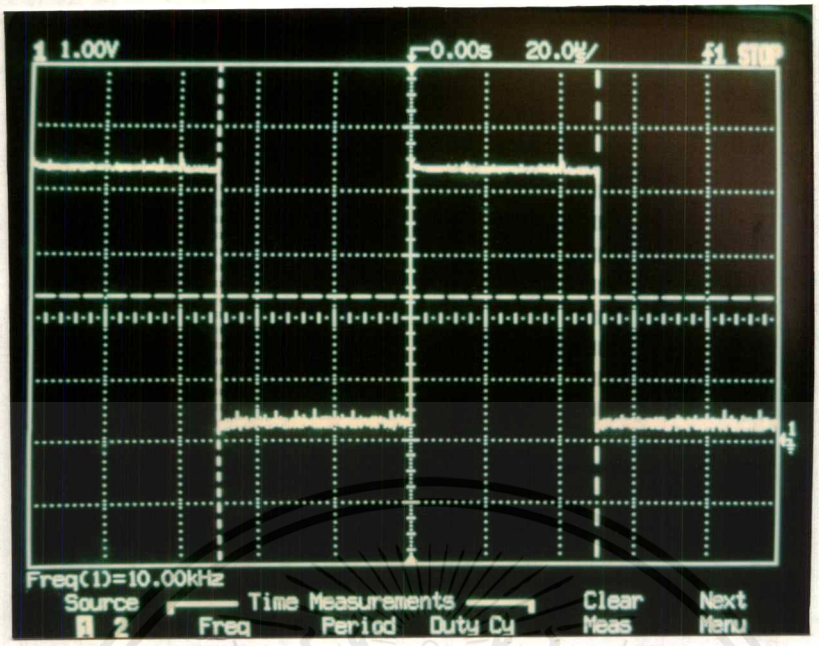
4.2 วงจรหาร

ผลที่ได้จากการป้อนสัญญาณเอาต์พุตจากวงจรคริสตอลออสซิลเลเตอร์ไปยังวงจรหาร เพื่อให้ความถี่อ้างอิงของลูปปรับละเอียดและลูปปรับหยาบตามต้องการ



รูปที่ 4.2 ความถี่อ้างอิงของลูปปรับละเอียด ซึ่งเป็นเอาต์พุตที่ได้จากวงจรหาร 10000

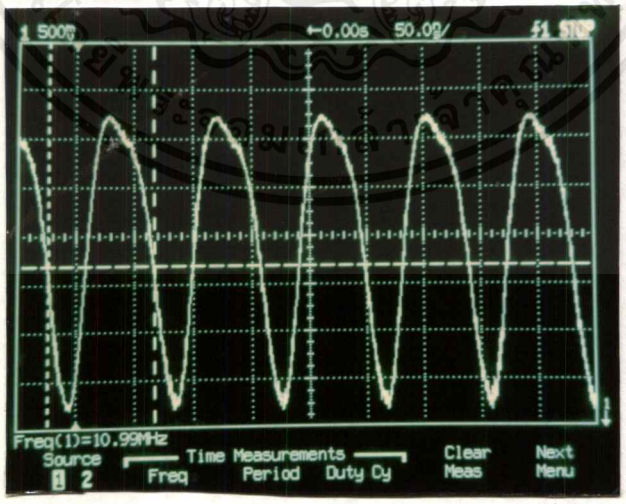
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 ความถี่อ้างอิงของลูปปรับหยาบ ซึ่งเป็นเอาต์พุตที่ได้จากวงจรหาร 1000

4.3 <u>วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยระดับแรงดัน</u>

จากวงจรดังรูปที่ 3.7 เมื่อทำการป้อนระดับแรงดันไบอัสย้อนกลับ 0 โวลต์และ 10 โวลต์จะให้เอาต์พุตที่ความถี่ต่ำสุดและสูงสุดตามลำดับ ดังแสดงในรูปที่ 4.4



รูปที่ 4.4 เอาต์พุตของวงจรออสซิลเลเตอร์ควบคุมความถี่

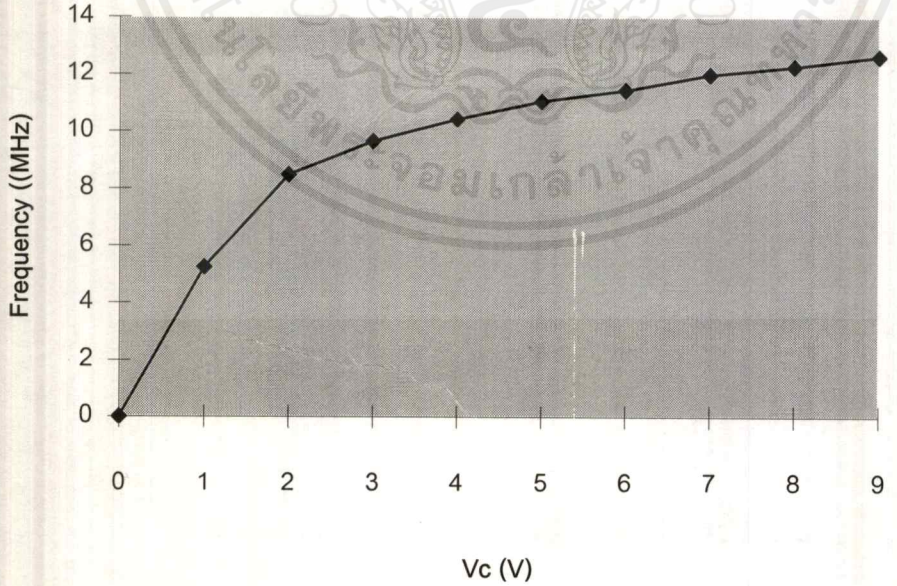
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และเมื่อทำการบันทึกผลการทดลองหาความสัมพันธ์ระหว่างแรงดันไบอัสย้อนกลับที่ป้อนให้แก่วาแรกเตอร์ไดโอด (V_C) กับความถี่เอาต์พุต (f_0) ของวงจร (K_V) แสดงดังตารางที่ 4.1

V_c	f_0 (MH_z)
0	0.00
1	5.25
2	8.48
3	9.64
4	10.42
5	11.05
6	11.43
7	11.98
8	12.27
9	12.62
10	12.90

ตารางที่ 4.1 แสดงความสัมพันธ์ระหว่างแรงดัน (V_C) กับความถี่ (f_0)

และเมื่อนำค่าที่ได้มาพล็อทกราฟ ในรูปที่ 4.5

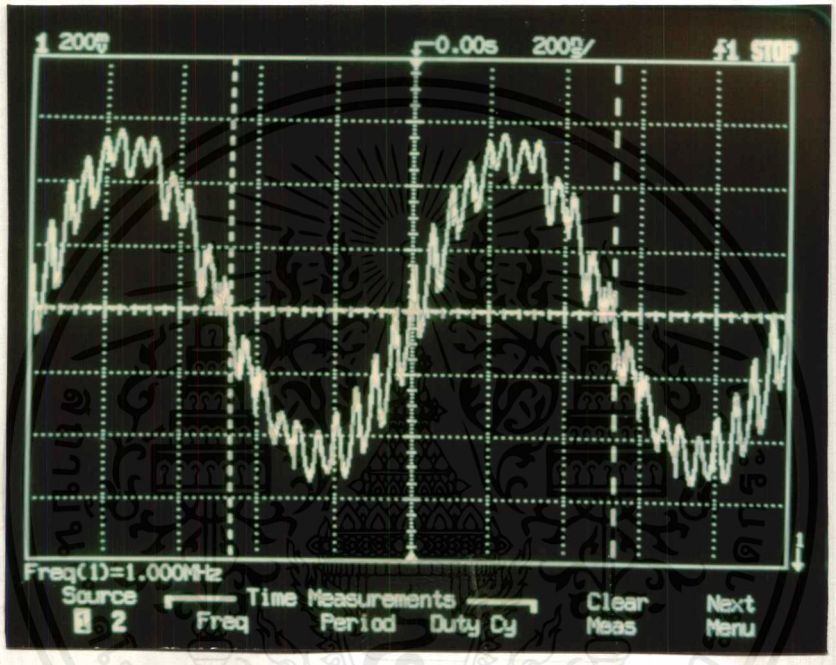


รูปที่ 4.5 กราฟแสดงความสัมพันธ์ระหว่าง V_C กับ f_0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 <u>วงจรมิกเซอร์</u>

เอาต์พุตที่ได้เมื่อทำการป้อนอินพุตในการมิกซ์ระหว่างความถี่ 10 และ 11 MHz



รูปที่ 4.6 เอาต์พุตที่ได้จากการมิกซ์ระหว่างความถี่ 10 และ 11 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

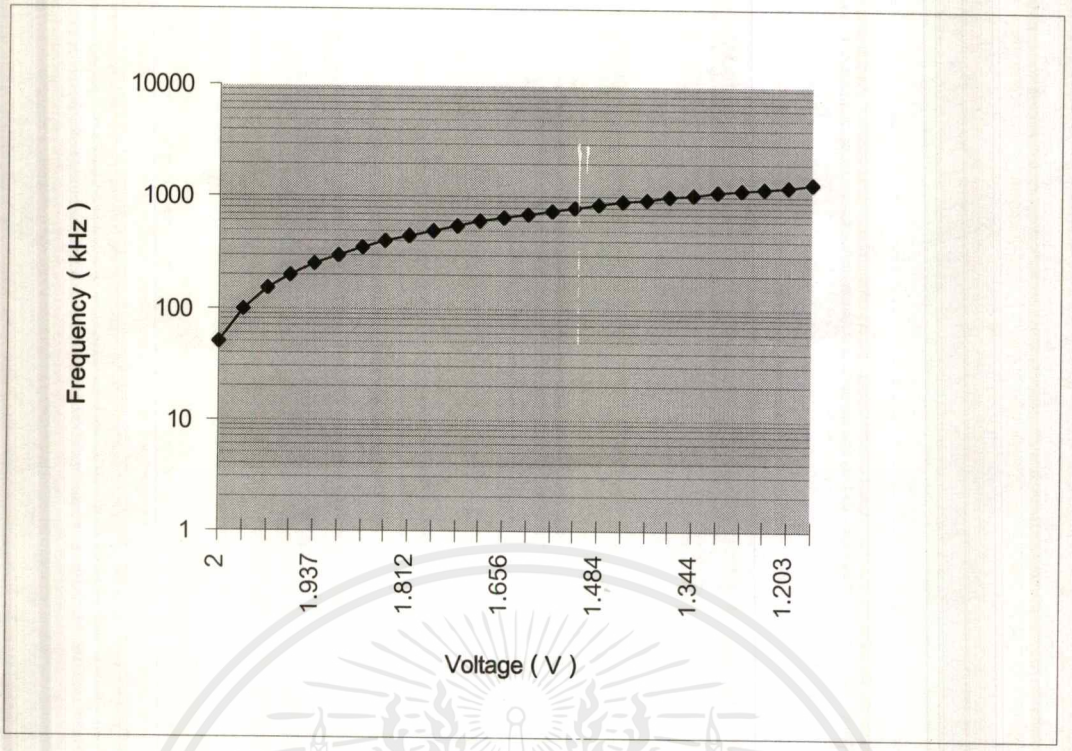
4.5 วงจรกรองความถี่ต่ำผ่าน

4.5.1 วงจรกรองความถี่ต่ำผ่าน (คัทออฟ 1 MHz)

Frequency (kHz)	Voltage (V)
50	2
100	2
150	2
200	1.953
250	1.937
300	1.922
350	1.906
400	1.844
450	1.812
500	1.766
550	1.734
600	1.687
650	1.656
700	1.625
750	1.562
800	1.531
850	1.484
900	1.453
950	1.406
1000	1.375
1050	1.344
1100	1.312
1150	1.266
1200	1.234

ตารางที่ 4.2 แสดงความสัมพันธ์ระหว่างความถี่และขนาดของเอาต์พุต (คัทออฟ 1 MHz)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 ผลตอบสนองทางความถี่ของวงจรกรองผ่านต่ำ (คัทออฟ 1 MHz)

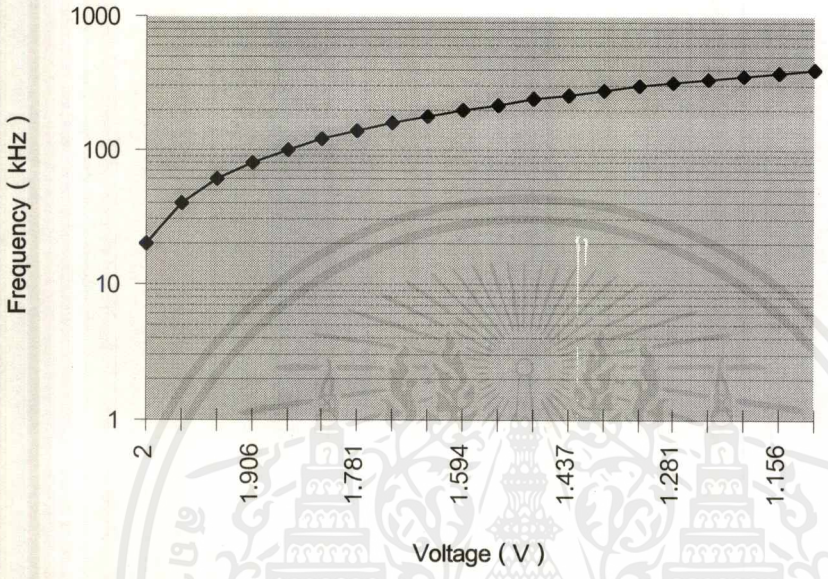
4.5.2 วงจรกรองความถี่ต่ำผ่าน (คัทออฟ 300 kHz)

Frequency (kHz)	Voltage (V)
20	2
40	1.969
60	1.969
80	1.906
100	1.906
120	1.844
140	1.781
160	1.719
180	1.656
200	1.594
220	1.562
240	1.500
260	1.437
280	1.406
300	1.344

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

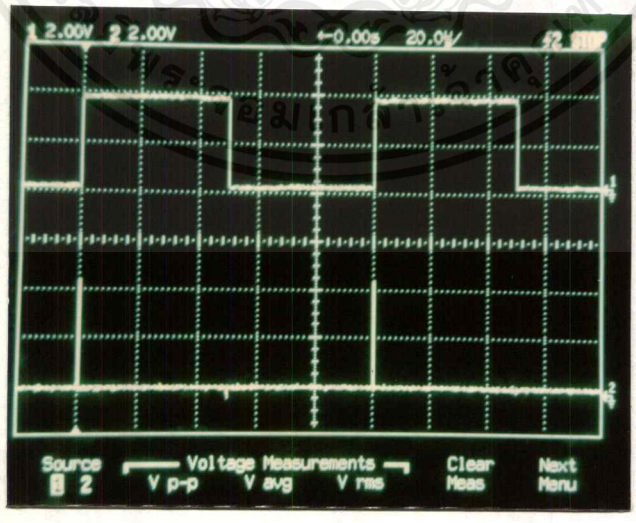
320	1.281
340	1.219
360	1.187
380	1.156

ตารางที่ 4.3 แสดงความสัมพันธ์ระหว่างความถี่และขนาดของเอาต์พุต (คัทออฟ 300 kHz)



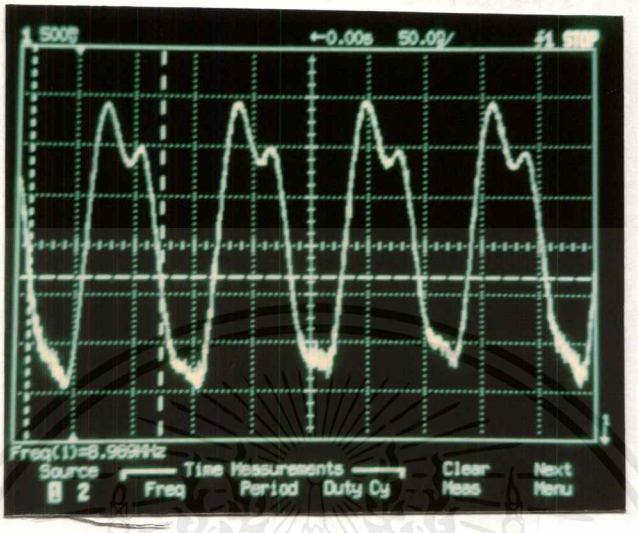
รูปที่ 4.8 ผลตอบสนองทางความถี่ของวงจรกรองผ่านต่ำ (คัทออฟ 300 kHz)

4.6 ลูปปรับละเอียด

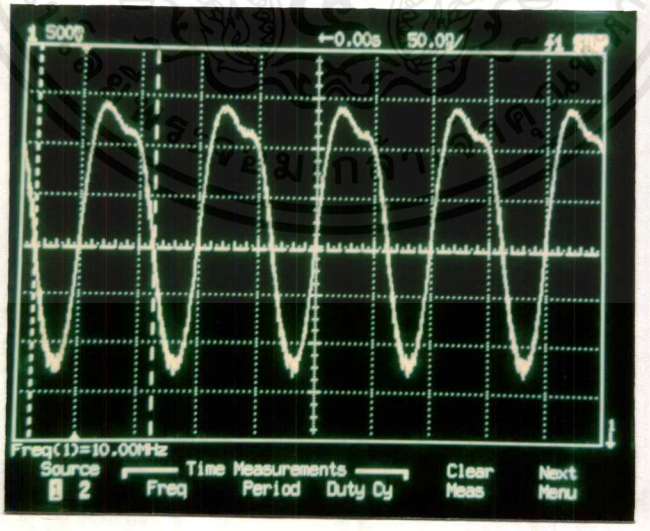


รูปที่ 4.9 สัญญาณอินพุตที่ป้อนให้แก่วงจรเปรียบเทียบเฟสในสภาวะล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



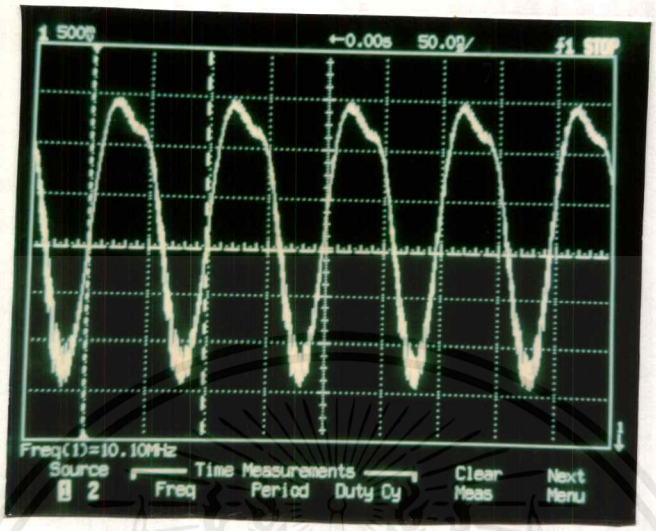
รูปที่ 4.10 สัญญาณเอาท์พุตของลูปปรับละเอียดที่ความถี่ต่ำสุด



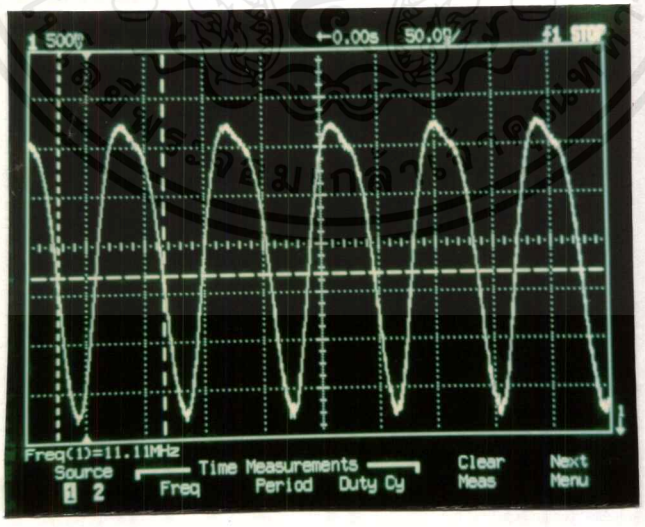
รูปที่ 4.11 สัญญาณเอาท์พุตของลูปปรับละเอียดที่ความถี่สูงสุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.7 ลูปปรับหยาบ



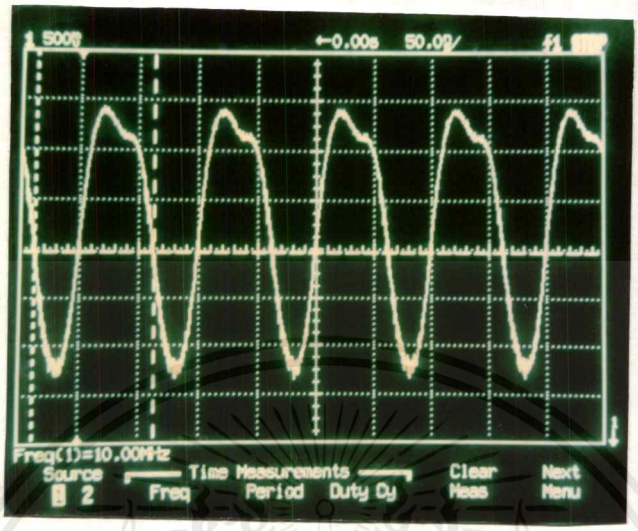
รูปที่ 4.12 สัญญาณเอาท์พุตของลูปปรับหยาบที่ความถี่ต่ำสุด



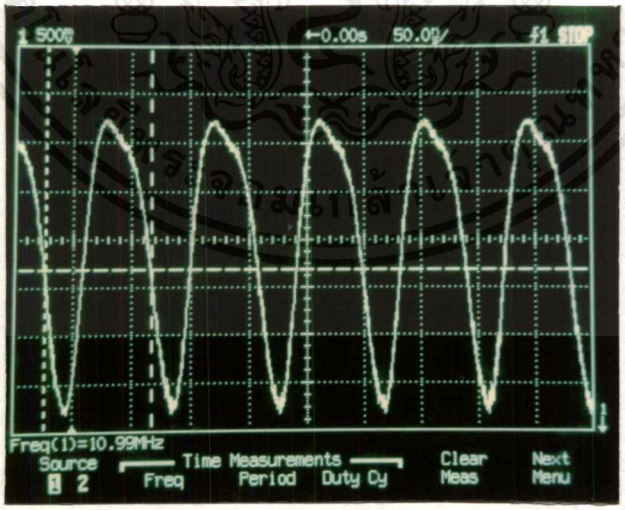
รูปที่ 4.13 สัญญาณเอาท์พุตของลูปปรับหยาบที่ความถี่สูงสุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.8 ลูปหลัก

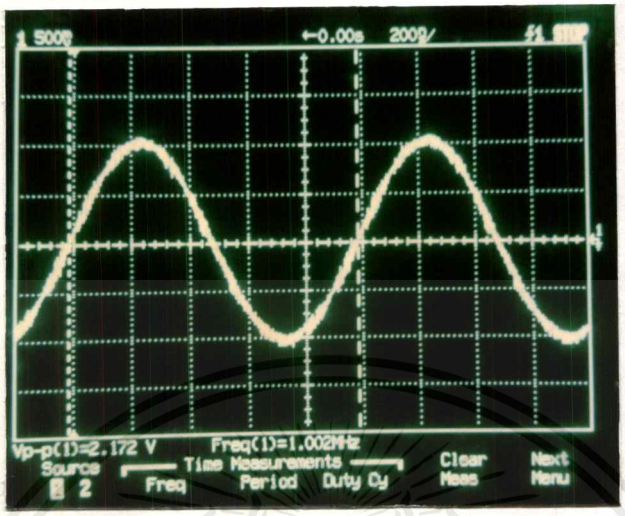


รูปที่ 4.14 สัญญาณเอาท์พุตของลูปหลักที่ความถี่ต่ำสุด



รูปที่ 4.15 สัญญาณเอาท์พุตของลูปหลักที่ความถี่สูงสุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.16 สัญญาณเอาท์พุตของเครื่องกำเนิดความถี่ 1 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>บทที่ 5</u>
บทวิจารณ์และบทสรุป

สำหรับเครื่องกำเนิดสัญญาณชนิดสังเคราะห์ความถี่นี้ อาศัยหลักการของเฟสล็อกลูปแบบมัลติลูป ซึ่งประกอบด้วยลูปปรับหยาบ ลูปปรับละเอียด และลูปหลักดังรายละเอียดในบทที่ 3

โดยหลักการของเฟสล็อกลูปที่ใช้ในการสังเคราะห์ความถี่นั้น จะประกอบด้วยวงจรสร้างสัญญาณความถี่อ้างอิง , วงจรเปรียบเทียบเฟส , วงจรลูปฟิลเตอร์ , วงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยระดับแรงดัน และวงจรหารแบบโปรแกรมได้

ซึ่งวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยระดับแรงดันควรจะมีคุณสมบัติในการแปลงแรงดันเป็นความถี่ในลักษณะเป็นเชิงเส้น แต่วงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยระดับแรงดันที่ใช้ในโครงงานนี้ ได้ทำการออกแบบและเลือกใช้ไอซี MC1648 ซึ่งทำให้ผลของการเปลี่ยนแรงดันเป็นความถี่ไม่เป็นเชิงเส้นนัก มีผลทำให้การทำงานของลูปต่างๆ มีประสิทธิภาพได้ไม่ดีเท่าที่ควร นอกจากนี้ค่าอุปกรณ์ต่างๆ ที่ใช้ในลูปฟิลเตอร์อาจจะไม่ตรงกับที่คำนวณได้ ซึ่งมีผลทำให้เกิดการแกว่งของความถี่เล็กน้อย และความเร็วในการล็อกไม่เร็วเท่าที่ควร

สัญญาณเอาต์พุตที่ได้ยังคงมีสัญญาณรบกวนอยู่ เนื่องจากการตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านอันดับสองที่ใช้นั้นไม่เป็นไปตามอุดมคติ

<u>แนวทางพัฒนาและแก้ไข</u> สำหรับการพัฒนาโครงงานนี้ให้มีประสิทธิภาพและความสะดวกในการใช้งาน โดยอาจทำการเพิ่มเติมส่วนของการรับข้อมูลของสัญญาณที่ต้องการผ่านทางแผงตัวเลขหรือคีย์บอร์ด และส่วนแสดงผลค่าความถี่และระดับแรงดันของสัญญาณเอาท์พุทนั้นผ่านจอแสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

INTEGRATED CIRCUIT

TECHNICAL DATA

TC9122P

"C²MOS" DIGITAL INTEGRATED CIRCUIT

SILICON MONOLITHIC

TC9122P HIGH-SPEED BCD PROGRAMMABLE COUNTER

TC9122P is high-speed programmable counter of C-MOS structure developed for PLL circuits and various frequency dividers, and is provided with the following features.

- Permits epoch-making high-speed operation for C-MOS structure.

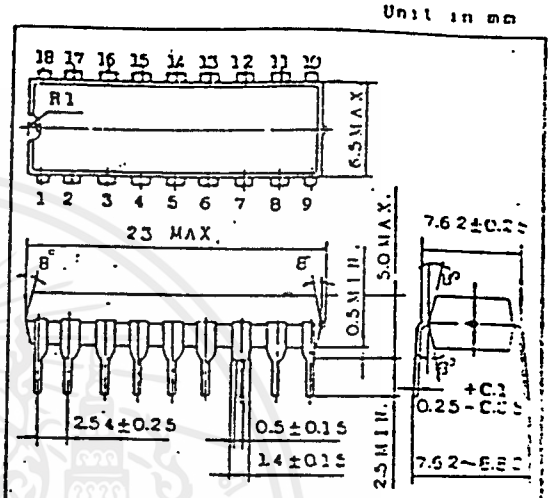
  f_{max} = 15MHz $\left(\begin{array}{l} V_{DD}=7.5V \\ Ta=-30 \sim 75°C \\ V_{IN}=2.0Vp\text{-}p \end{array}\right)$

  Program data are input by means of BCD code, allowing frequency division of 8 ~ 3999.

  Built-in self-bias type amplifier for divided frequency signal input is capable of operation by small signal in combination with capacitor.

- C-MOS structure provides wide range of operational supply voltage (4.5 ~ 8.5V) and simplification of design.

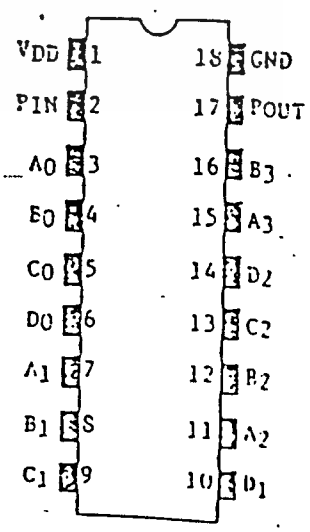
Unit in mm



Lead pitch is 2.54 and tolerance is ±0.25 against theoretical center of each lead that is obtained on the basis of No.1 and No.18 leads.

JEDEC	-
TOSHIBA	5-23C

PIN CONNECTION



MAXIMUM RATINGS (Ta=25°C)

CHARACTERISTIC	SYMBOL	RATING	UNIT
Supply Voltage	V_{DD}	-0.3 ~ 10	V
Input Voltage	V_{IN}	-0.3 ~ V_{DD}+0.3	V
Operating Temp.	Topr	-30 ~ 75	°C
Storage Temperature	Tstg	-55 ~ 125	°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

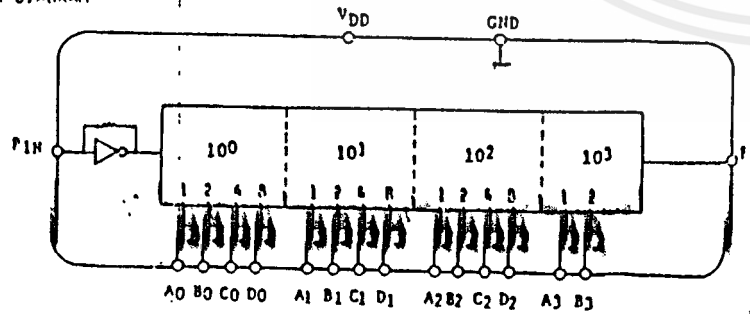
INTEGRATED CIRCUIT
TECHNICAL DATA
TC9122P

FUNCTIONAL DESCRIPTION OF EACH TERMINAL

PIN NO.	SYMBOL	NAME	FUNCTIONAL DESCRIPTION	REMARKS
2	P_{IN}	Programmable counter input terminal	Divided frequency signal input terminal of programmable counter. Built-in self-bias amplifier is capable of operation by small signal in combination with a capacitor.	Built-in amplifier
3~16	$A_0 \sim D_0$	$\times 10^0$	Input terminals to establish frequency division ratio N by BCD. Program data allow frequency division of 8~3999 by 3½-digit BCD. The following frequency division ratio combinations are inhibited.	Pull/down resistor contained terminal
	$A_1 \sim D_1$	$\times 10^1$		
	$A_2 \sim D_2$	$\times 10^2$ Program input terminal		
	A_3, B_3	$\times 10^3$		
17	P_{OUT}	Programmable counter output terminal	Output terminal of programmable counter. This terminal is for 1/N frequency output of P_{IN} input frequency. Pulse width is for 5 bits of input.	
1, 18	V_{DD} GND		Terminal to which supply voltage is applied.	

A0	B0	C0	D0	A1	B1	C1	D1	A2	B2	C2	D2	A3	A3
1	0	0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0	0	0	0	0
0	1	1	0	0	0	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0	0	0	0	0	0

BLOCK DIAGRAM



ELECTRICAL CHARACTERISTICS (Unless otherwise specified T_a=25°C, V_{DD}=7.5V)

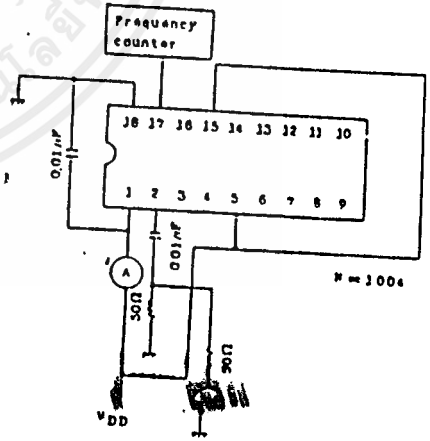
CHARACTERISTIC		SYMBOL	TEST CIRCUIT	TEST CONDITION	MIN.	TYP.	MAX.	UNIT
Operating Supply Voltage		V_{DD}	-	-	6.5	~	8.5	V
Operating Input Amplitude		V_{IN}	-	-	2.0	~	7.0	V_{p-p}
Operating Supply Current		I_{DD}	1	f_{IN}=15MHz, V_{IN}=2.0Vp-p	-	15	30	mA
Input Voltage	"H" Level	V_{IH}	-	-	5.5	-	-	V
	"L" Level	V_{IL}	-	-	-	-	2.0	V
Output Voltage	"H" Level	V_{OH}	-	I_{OH}=-0.5mA	6.5	-	-	V
	"L" Level	V_{OL}	-	I_{OL}=0.5mA	-	-	1	V
Operating Frequency Range		fopr	1	(Note 1)	1	~	15	MHz
Input Pull Down Resistance		R_{IN}	-	-	20	-	80	kΩ
Amp. Feedback Resistance		R_f	-	-	100	-	500	kΩ

(Note 1) This operational frequency satisfies the specification during the following conditions.

V_{DD} = 7.5V ± 10%, V_{IN} = 2.0Vp-p, T_a = -30~75°C

TEST CIRCUIT 1

I_{DD}, fopr



5490 / 7490 Decade Counter

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL			
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.											SN54LS90	J			W	SN5490A	J			W	SN54L90A	J	N		
											SN74LS90	J	N			SN7490A	J	N			SN74L90A	J	N		
FAIRCHILD											54LS90 54LS90	D			F	5490 5493	D			F					
											74LS90 74LS93	D	P		F	7490 7493	D	P		F					
MOTOROLA																MC5490	L			F					
											SN74LS90		P			MC7490	L	P		F					
N. S. C.											DM54LS90	J			W	DM5490	J	N		W	DM54L90	J	N		F
											DM74LS90	J				DM7490	J	N			DM74L90	J	N		F
PHILIPS																									
											N74LS90		A			FJJ141 1490									
SIGNETICS																S5490	F	A		W					
											N74LS90		A			N7490	F	A							
SIEMENS																									
																FLJ161									
FUJITSU																									
HITACHI											HD74LS90		P			HD7490A HD2519		P							
MITSUBISHI											M74LS90		P			M53290		P							
NEC																μPB219	D	C							
TOSHIBA																TD3490A		P							

Electrical Characteristics SN54LS/SN74LS90A

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C	to 125°C
Input voltage	7V		SN74LS	0°C	to 70°C
Interemitter voltage (see Note 1)	5.5V	Storage temperature range		−65°C	to 150°C

recommended operating conditions

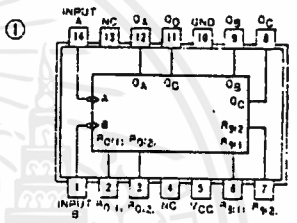
		SN54LS90A MIN	NOM	MAX	SN74LS90A MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−400			−400	μA
Low-level output current, I_{OL}				4			8	mA
Count frequency, f_{count}	A input	0		32	0		32	MHz
	B input	0		16	0		16	
Pulse width, t_w	A input	15		15	15			ns
	B input	30			30			
	Reset inputs	15			15			
Reset inactive-state setup, t_{setup}		25			25			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN,	I_I = −18mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IL} = 0.8V,	V_{IH} = 2V, I_{OH} = −400μA	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V,	I_{OL} = 8mA		0.35	0.5	V
I_I	Input current at maximum input voltage: Any reset	V_{CC} = MAX,	V_I = 7V			0.1	mA
	A input	V_{CC} = MAX,	V_I = 5.5V			0.2	
	B input					0.4	
I_{IH}	High-level input current: Any reset	V_{CC} = MAX,	V_I = 2.7V			20	μA
	A input					40	
	B input					80	
I_{IL}	Low-level input current: Any reset	V_{CC} = MAX,	V_I = 0.4V			−0.4	mA
	A input					−2.4	
	B input					−3.2	
I_{OS}	Short-circuit output current*	V_{CC} = MAX	SN54LS	−20		−100	mA
			SN74LS	−20		−100	
I_{CC}	Supply current	V_{CC} = MAX	See Note 2		9	15	mA

f_{max}	from A to output Q_A	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ	32	42	MHz
	from B to output Q_B		16		
t_{PLH} / t_{PHL}	from A to output Q_A		10	16	ns
			12	18	
t_{PLH} / t_{PHL}	from A to output Q_D		32	48	ns
			34	50	
t_{PLH} / t_{PHL}	from B to output Q_B		10	16	ns
			14	21	
t_{PLH} / t_{PHL}	from B to output Q_C		21	32	ns
			23	35	
t_{PLH} / t_{PHL}	from B to output Q_D		21	32	ns
			23	35	
t_{PHL}	from Set-to-0 to Any output		26	40	ns
t_{PLH}	from Set-to-9 to output Q_A, Q_D		20	30	ns
t_{PHL}	from Set-to-9 to output Q_B, Q_C		26	40	

Pin Assignment (Top View)



NC = No internal connection

Function Table

BCD COUNT SEQUENCE
'90A, 'LS90, 'L90 (See Note 3)

COUNT	OUTPUT Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

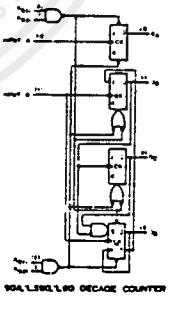
BI-QUINARY (5-2)
'90A, 'LS90, 'L90 (See Note 3)

COUNT	OUTPUT Q_A	Q_D	Q_C	Q_B
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

RESET COUNT
'90A, 'LS90, 'L90 (See Note 3)

RESET INPUTS $R_{0(1)}$	$R_{0(2)}$	$R_{9(1)}$	$R_{9(2)}$	OUTPUT Q_D	Q_C	Q_B	Q_A
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
L	X	L	X	COUNT			
L	X	X	L	COUNT			
X	L	L	X	COUNT			
X	L	X	L	COUNT			

Functional Block Diagram



90A, LS90, L90 DECADE COUNTER

NOTES
1. This is the voltage between two emitters of a multiple-emitter transistor. For this circuit, this rating applies between the two R_0 inputs, and it also applies between the two R_9 inputs.
2. I_{CC} is measured with all outputs open, both R_0 inputs grounded following momentary connection to 4.5 V, and all other inputs grounded.
3. Output Q_A is connected to input B for BCD count.
   Output Q_D is connected to input A for bi-quinary count.
   H = high level, L = low level, X = irrelevant.
4. The J and K inputs shown without connection are for reference only and are functionally at a high level.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
* Not more than one output should be shorted at a time.
§ Q_A outputs are tested at I_{OL} = 16mA plus the limit value for I_{IL} for the B input. This mits driving the B input while maintaining full fan-out capability.
• f_{max} = maximum count frequency.
t_{PLH} = propagation delay time, low to high-level output
t_{PHL} = propagation delay time, high-to-low-level output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4046B
SCL4446B

CMOS PHASE-LOCKED LOOPS

FEATURES

- Very low power consumption — 70 μW (typ). @ f_o = 10kHz, 5Vdc
- Operating frequency range (no offset) — Up to 3MHz (typ) @ 10Vdc (SCL4046B) Up to 4MHz (typ) @ 10Vdc (SCL4446B)
- Low frequency drift — 0.04%/°C (typ) @ 10Vdc
- Choice of two phase comparators:
  1. Exclusive-OR network
  2. Edge-controlled memory network with phase-pulse output for lock indication
- VCO Inhibit control for ON-OFF keying and ultra-low standby power consumption
- High VCO linearity 1% (typ)
- Source-follower output of VCO control input (Demodulator Output)
- Zener Diode to assist Supply Regulation
- Balanced Output Drive Current Specifications

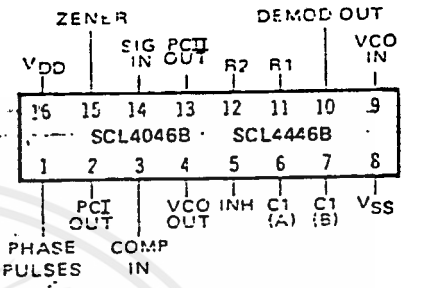
APPLICATIONS

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discriminator
- Data synchronization
- Voltage-to-frequency conversion
- Tone decoding
- FSK-Modems
- Signal conditioning

DESCRIPTION

The SCL4046B and SCL4446B phase-locked loops contain two phase comparators, a voltage-controlled oscillator (VCO), source follower, and zener diode. The comparators have two common inputs. The Signal input can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor) to small voltage signals. The self-bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator I (an exclusive-OR gate) provides a digital error signal PCI_{out}, and maintains 90° phase shift at the center frequency between Signal and Comparator inputs (both at 50% duty cycle). Phase comparator II (with leading-edge sensing logic) provides digital error signals $PCII_{out}$ and Phase Pulses, and maintains a 0° phase shift between input signals (duty cycle is immaterial). The linear VCO produces an output signal VCO_{out} whose frequency is determined by the voltage of input VCO_{in} and the capacitor and resistors connected to pins $C1_A$, $C1_B$, R1, and R2. The source follower output, Demod Out, with an external resistor is used where the VCO_{in} signal is needed but no loading can be tolerated. The inhibit input Inh, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode can be used to assist in power supply regulation.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

- C. 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

BLOCK DIAGRAM

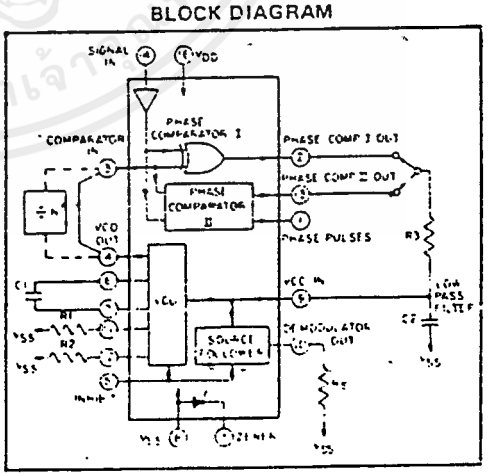


Fig. 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VCO SECTION

The VCO requires one external capacitor (C1) and one to two external resistors (R1 or R1 and R2). Resistor R1 and capacitor C1 determine the frequency range of the VCO and resistor R2 enables the VCO to have a frequency offset if required. The high input impedance ($10^{12}\Omega$) of the VCO simplifies the design of low-pass filters by permitting the designer a wide choice of resistor-to-capacitor ratios. In order not to load the low-pass filter, a source-follower output of the VCO input voltage is provided at terminal 10 (DEMODULATOR OUTPUT). If this terminal is used, a load resistor (R_S) of 50kΩ or more should be connected from this terminal to V_{SS}. If unused, this terminal should be left open. The VCO can be connected directly or through frequency dividers to the comparator input of the phase comparators. A full CMOS logic swing is available at the output of the VCO. A logic 0 on the INHIBIT input "enables" the VCO and the source follower, while a logic 1 "turns off" both to minimize stand-by power consumption.

PHASE COMPARATORS

The phase-comparator signal input (terminal 14) can be direct-coupled provided the signal swing is within CMOS logic levels [logic "0" $\leq$ 30% (V_{DD}-V_{SS}), logic "1" $\geq$ 70% (V_{DD}-V_{SS})]. For smaller swings the signal must be capacitively coupled to the self-biasing amplifier at the signal input.

Phase comparator I is an exclusive-OR network; it operates analogously to an over-driven balanced mixer. To maximize the lock range, the signal and comparator-input frequencies must have a 50% duty cycle. With no signal or noise on the signal input, this phase comparator has an average output voltage equal to $V_{DD}/2$. The low-pass filter connected to the output of phase comparator I supplies the averaged voltage to the VCO input, and causes the VCO to oscillate at the center frequency (f_o).

The frequency range of input signals on which the PLL will lock, if it was initially out of lock, is defined as the frequency capture range ($2f_c$).

The frequency range of input signals on which the loop will stay locked if it was initially in lock is defined as the frequency lock range ($2f_L$). The capture range can not exceed the lock range.

With phase comparator I, the range of frequencies over which the PLL can acquire lock (capture range) is dependent on the low-pass-filter characteristics, and can be made as large as the lock range. Phase-comparator I enables a PLL system to remain in lock in spite of high amounts of noise in the input signal.

One characteristic of this type of phase comparator is that it may lock onto input frequencies that are close to harmonics of the VCO center-frequency. A second characteristic is that the phase angle between the signal and the comparator input varies between 0° and 180°, and is 90° at the center frequency. Figure 2 shows the (typical) triangular phase-to-output response characteristic of phase-comparator I. Typical waveforms for a CMOS phase-locked-loop employing phase comparator I in locked condition is shown in Figure 3.

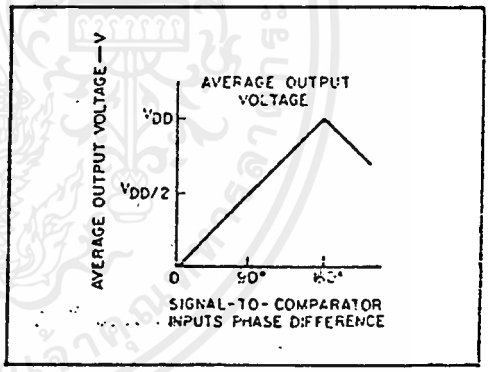


Fig. 2 — Phase-comparator I characteristics at low-pass filter output.

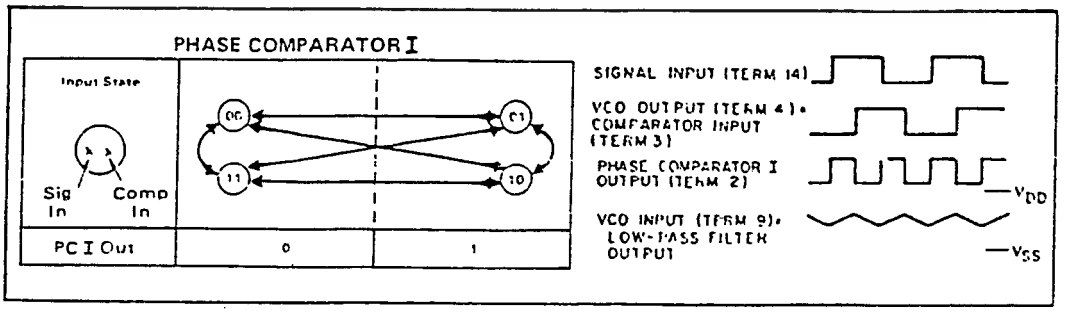


Fig. 3 — Typical waveforms employing phase comparator I in locked condition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

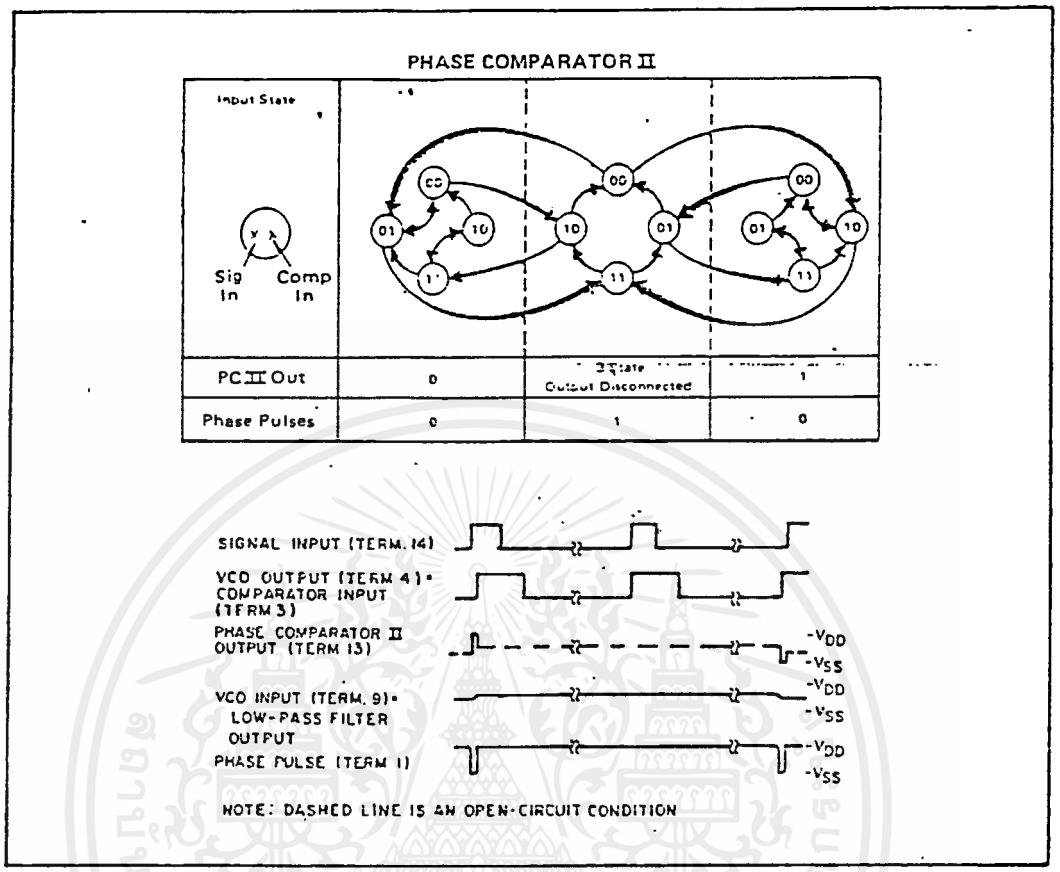


Fig. 4 — Typical waveforms employing phase comparator II in locked condition..

Phase-comparator II is an edge-controlled digital memory network. It consists of several flip-flop stages, control gating, and a three state output circuit comprising p- and n-type drivers having a common output node. When the p-MOS or n-MOS drivers are ON, they pull the output up to V_{DD} or down to V_{SS}, respectively. This type of phase comparator acts only on the positive edges of the signal and comparator inputs. The duty cycles of the signal and comparator inputs are not important since positive transitions control the PLL system utilizing this type of comparator. If the signal lags the comparator input in phase, the n-type output driver is maintained ON for a time corresponding to the phase difference. If the comparator input lags the signal in phase, the p-type output driver is maintained ON for a time corresponding to the phase difference. Subsequently, the capacitor voltage of the low-pass filter connected to this phase comparator is adjusted until the signal and comparator inputs are equal in both phase and frequency. At this stable point, both p- and n-type output drivers remain OFF. Thus, the phase comparator output becomes an open circuit and holds the voltage on the capacitor of the low-pass filter constant. Moreover, the signal at the "phase pulses" output is a high level which can be used for indicating a locked condition. Thus, for phase comparator II, no phase difference exists between signal and comparator input over the full VCO frequency range. Moreover, the power dissipation due to the low-pass filter is reduced when this type of phase comparator is used because both the p- and n-type output drivers are OFF for most of the signal input cycle.

It should be noted that the PLL lock range for this type of phase comparator is equal to the capture range, independent of the low-pass filter. With no signal present at the signal input, the VCO is adjusted to its lowest frequency for phase comparator II. Figure 4 shows typical waveforms for a CMOS PLL employing phase comparator II in a locked condition.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

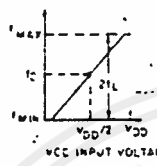
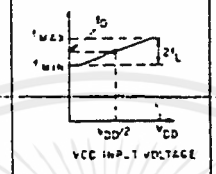
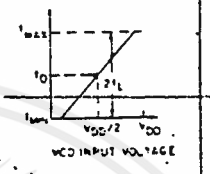
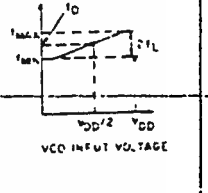
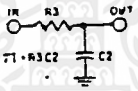
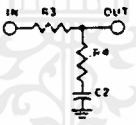
DESIGN INFORMATION

This information is a guide for approximating the values of external components for the SCL4046B and SCL4446B in a Phase-Locked Loop system. The selected external components must be within the following ranges:

$R1, R2 \geqslant 2k\Omega$, $R_S \geqslant 10k\Omega$

$C1 \geqslant 15pF$

In addition to the given design information refer to Figure 5 for R1, R2, and C1 component selections.

CHARACTERISTICS	USING PHASE COMPARATOR I		USING PHASE COMPARATOR II	
	VCO WITHOUT OFFSET $R_2 = \infty$	VCO WITH OFFSET	VCO WITHOUT OFFSET $R_2 = \infty$	VCO WITH OFFSET
VCO Frequency				
For No Signal Input	VCO in PLL system will adjust to center frequency, f_0		VCO in PLL system will adjust to lowest operating frequency, f_{min}	
Frequency Lock Range, $2f_L$	$2f_L$ = full VCO frequency range $2f_L = f_{max} - f_{min}$			
Frequency Capture Range, $2f_C$	 $2\pi R3C2$	$2f_C \approx \frac{1}{\pi}\sqrt{\frac{2\pi f_L}{\tau_1}}$	$f_C = f_L$	
Loop Filter Component Selection		For $2f_C$, see Ref.		
Phase Angle between Signal and Comparator	90° at center frequency (f_0), approximating 0° and 180° at ends of lock range ($2f_L$)		Always 0° in lock	
Locks on Harmonics of Center Frequency	Yes		No	
Signal Input Noise Rejection	High		Low	
VCO Component Selection	– Given: f_0 – Use f_0 with Fig.5a to determine R1 and C1	– Given: f_0 and f_L – Calculate f_{min} from the equation $f_{min} = f_0 - f_L$ – Use f_{min} with Fig. 5b to determine R2 and C1 – Calculate $\frac{f_{max}}{f_{min}}$ from the equation $\frac{f_{max}}{f_{min}} = \frac{f_0 + f_L}{f_0 - f_L}$ – Use $\frac{f_{max}}{f_{min}}$ with Fig 5c to determine ratio R2/R1 to obtain R1	– Given: f_{max} – Calculate f_0 from the equation $f_0 = \frac{f_{max}}{2}$ – Use f_0 with Fig.5a to determine R1 and C1	– Given: f_{min} & f_{max} – Use f_{min} with Fig.5b to determine R2 and C1 – Calculate $\frac{f_{max}}{f_{min}}$ – Use $\frac{f_{max}}{f_{min}}$ with Fig.5c to determine ratio R2/R1 to obtain R1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MV104
MV104G

VVC

SILICON EPICAP DIODES

. . . designed for FM tuning, general frequency control and tuning, or any top-of-the-line application requiring back-to-back diode configurations for minimum signal distortion and detuning. This device is supplied in the popular TO-92 plastic package for high volume, economical requirements of consumer and industrial applications.

- High Figure of Merit —
  Q = 140 (Typ) @ V_R = 3.0 Vdc, f = 100 MHz
- Guaranteed Capacitance Range
  — 34-39 pF @ V_R = 3.0 Vdc (MV104G)
  — 37-42 pF @ V_R = 3.0 Vdc (MV104)
- Dual Diodes — Save Space and Reduce Cost
- TO-92 Package for Easy Handling and Mounting
- Guaranteed Matching* Tolerance From Diode to Diode and Group to Group
- Monolithic Chip Provides Near Perfect Matching — Guaranteed ±1% (Max) Over Specified Tuning Range.

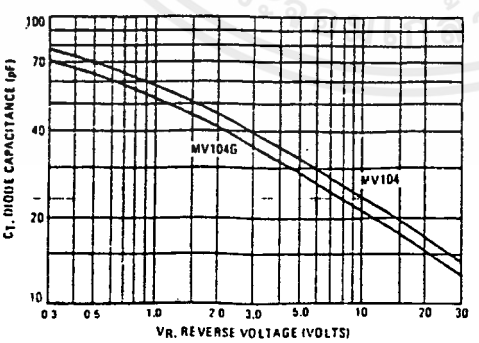
*Upon request, diodes are available in matched sets or in matched groups. All diodes in a set or group can be matched for capacitance to ±1.5% or 0.1 pF (whichever is greater) over the specified tuning range.

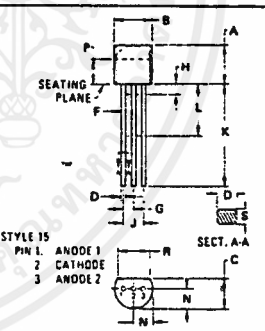
DUAL VOLTAGE-VARIABLE CAPACITANCE DIODES

MAXIMUM RATINGS (Each Device)

Rating	Symbol	Value	Unit
Reverse Voltage	V_R	32	Volts
Forward Current	I_F	200	mA
Total Power Dissipation @ T_A = 25°C Derate above 25°C	P_D	280 2.8	mW mW/°C
Junction Temperature	T_J	+125	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C

FIGURE 1 — DIODE CAPACITANCE (Each Device)





DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
A	4.32	5.33	0.170	0.210
B	4.44	5.21	0.175	0.205
C	3.18	4.19	0.125	0.165
D	0.41	0.56	0.016	0.022
F	0.41	0.48	0.016	0.019
G	1.14	1.40	0.045	0.055
H	–	2.54	–	0.100
J	2.41	2.67	0.095	0.105
K	12.70	–	0.500	–
L	6.35	–	0.250	–
N	2.03	2.97	0.080	0.115
P	2.92	–	0.115	–
R	3.43	–	0.135	–
S	0.36	0.41	0.014	0.016

All JEDEC dimensions and notes apply

CASE 29-02
TO-92

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

Audio/Radio Circuits

LM1596/LM1496 Balanced Modulator-Demodulator

General Description

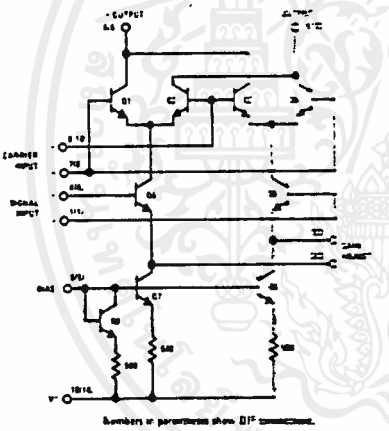
The LM1596/LM1496 are double balanced modulator-demodulators which produce an output voltage proportional to the product of an input (signal) voltage and a switching carrier signal. Typical applications include suppressed carrier modulation, amplitude modulation, synchronous detection, FM or PM detection, broadband frequency doubling and chopping.

The LM1596 is specified for operation over the −55°C to +125°C military temperature range. The LM1496 is specified for operation over the 0°C to +70°C temperature range.

Features

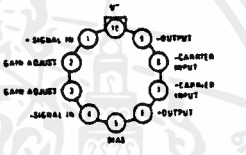
- Excellent carrier suppression
  - 65 dB typical at 0.5 MHz
  - 50 dB typical at 10 MHz
- Adjustable gain and signal handling
- Fully balanced inputs and outputs
- Low offset and drift
- Wide frequency response up to 100 MHz

Schematic and Connection Diagrams



Numbers in parentheses show DIP connections.

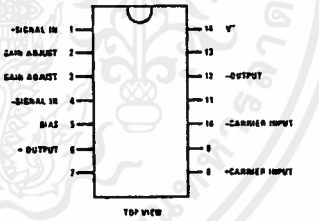
Metal Can Package



Note: Pin 10 is connected electrically to the case through the device substrate.

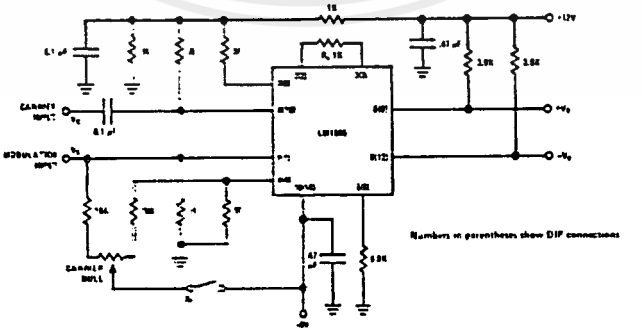
Order Number LM1496H or LM1596H
See NS Package H08C

Dual-In-Line Package



Order Number LM1496N
See NS Package N14A

Typical Application and Test Circuit



Numbers in parentheses show DIP connections

Suppressed Carrier Modulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Internal Power Dissipation (Note 1)	500 mW
Applied Voltage (Note 2)	30V
Differential Input Signal ($V_7 - V_8$)	±5.0V
Differential Input Signal ($V_4 - V_1$)	$\pm(5-I_5R_4)$V
Input Signal ($V_2 - V_1$, $V_3 - V_4$)	5.0V
Bias Current (I_5)	12 mA
Operating Temperature Range LM1596	-55°C to +125°C
LM1496	0°C to +70°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 sec)	300°C

Electrical Characteristics (T_A = 25°C, unless otherwise specified, see test circuit)

PARAMETER	CONDITIONS	LM1596			LM1496			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Carrier Feedthrough	V_C = 60 mVrms sine wave f_C = 1.0 kHz, offset adjusted		40			40		μVrms
	V_C = 60 mVrms sine wave f_C = 10 MHz, offset adjusted		140			140		μVrms
	V_C = 300 mV_{pp} square wave f_C = 1.0 kHz, offset adjusted		0.04	0.2		0.04	0.2	mVrms
	V_C = 300 mV_{pp} square wave f_C = 1.0 kHz, offset not adjusted		20	100		20	150	mVrms
Carrier Suppression	f_S = 10 kHz, 300 mVrms f_C = 500 kHz, 60 mVrms sine wave offset adjusted	50	65		50	65		dB
	f_S = 10 kHz, 300 mVrms f_C = 10 MHz, 60 mVrms sine wave offset adjusted		50			50		dB
Transadmittance Bandwidth	R_L = 50Ω Carrier Input Port, V_C = 60 mVrms sine wave f_S = 1.0 kHz, 300 mVrms sine wave		300			300		MHz
	Signal Input Port, V_S = 300 mVrms sine wave $V_7 - V_8$ = 0.5Vdc		80			80		MHz
Voltage Gain, Signal Channel	V_S = 100 mVrms, f = 1.0 kHz $V_7 - V_8$ = 0.5Vdc	2.5	3.5		2.5	3.5		V/V
Input Resistance, Signal Port	f = 5.0 MHz $V_7 - V_8$ = 0.5 Vdc		200			200		kΩ
Input Capacitance, Signal Port	f = 5.0 MHz $V_7 - V_8$ = 0.5 Vdc		2.0			2.0		pF
Single Ended Output Resistance	f = 10 MHz		40			40		kΩ
Single Ended Output Capacitance	f = 10 MHz		5.0			5.0		pF
Input Bias Current	$(I_1 + I_4)/2$		12	25		12	30	μA
Input Bias Current	$(I_7 + I_8)/2$		12	25		12	30	μA
Input Offset Current	$(I_1 - I_4)$		0.7	5.0		0.7	5.0	μA
Input Offset Current	$(I_7 - I_8)$		0.7	5.0		5.0	5.0	μA
Average Temperature Coefficient of Input Offset Current	(-55°C < T_A < -125°C) (0°C < T_A < +70°C		2.0			2.0		nA/°C nA/°C
Output Offset Current	$(I_6 - I_9)$		14	50		14	60	μA
Average Temperature Coefficient of Output Offset Current	(-55°C < T_A < -125°C) (0°C < T_A < +70°C)		90			90		nA/°C nA/°C
Signal Port Common Mode Input Voltage Range	f_S = 1.0 kHz		5.0			5.0		V_{p-p}
Signal Port Common Mode Rejection Ratio	$V_7 - V_8$ = 0.5 Vdc		-85			-85		dB
Common Mode Quiescent Output Voltage			8.0			8.0		Vdc
Differential Output Swing Capability			8.0			8.0		V_{p-p}
Positive Supply Current	$(I_6 + I_9)$		2.0	3.0		2.0	3.0	mA
Negative Supply Current	(I_{10})		3.0	4.0		3.0	4.0	mA
Power Dissipation			33			33		mW

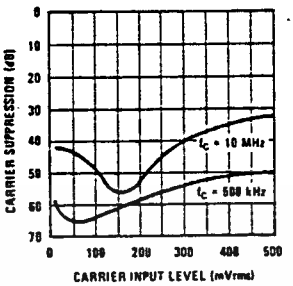
Note 1: LM1596 rating applies to case temperatures to +125°C; derate linearly at 6.5 mW/°C for ambient temperature above 75°C. LM1496 rating applies to case temperatures to +70°C.

Note 2: Voltage applied between pins 6-7, 8-1, 9-7, 9-8, 7-4, 7-1, 8-4, 6-8, 2-5, 3-5.

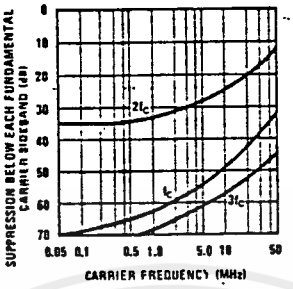
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

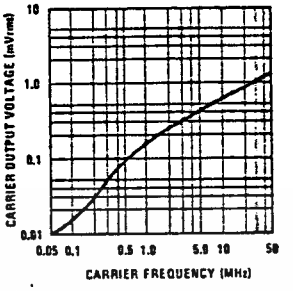
Carrier Suppression vs Carrier Input Level



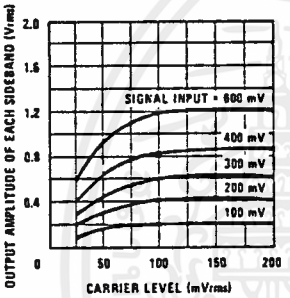
Carrier Suppression vs Frequency



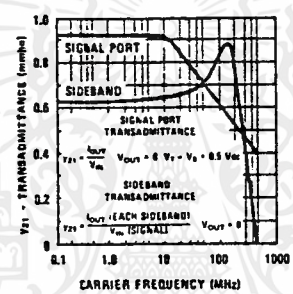
Carrier Feedthrough vs Frequency



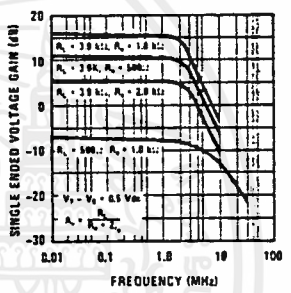
Sideband Output vs Carrier Levels



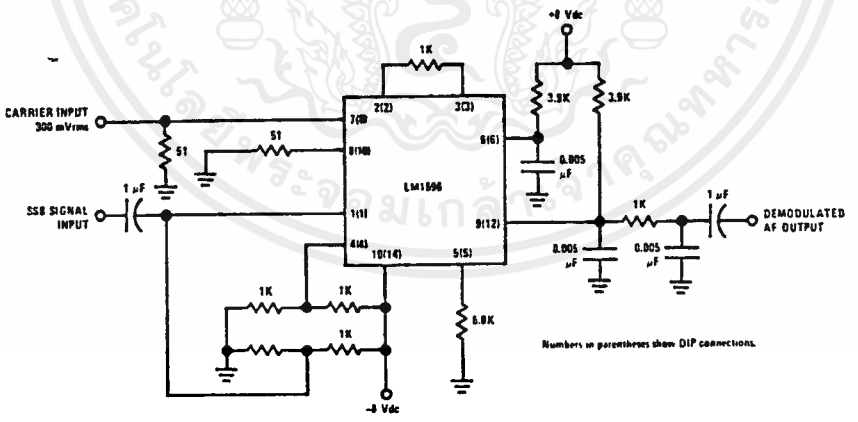
Sideband and Signal Port Transadmittances vs Frequency



Signal-Port Frequency Response



Typical Applications (Continued)

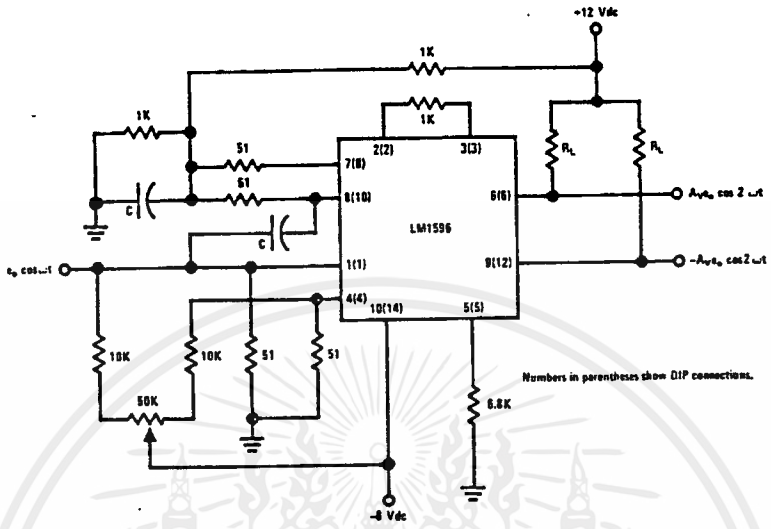


SSB Product Detector

This figure shows the LM1596 used as a single sideband (SSB) suppressed carrier demodulator (product detector). The carrier signal is applied to the carrier input port with sufficient amplitude for switching operation. A carrier input level of 300 mVrms is optimum. The composite SSB signal is applied to the signal input port with an amplitude of 5.0 to 500 mVrms. All output signal components except the desired demodulated audio are filtered out, so that an offset adjustment is not required. This circuit may also be used as an AM detector by applying composite and carrier signals in the same manner as described for product detector operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



Broadband Frequency Doubler

The frequency doubler circuit shown will double low-level signals with low distortion. The value of C should be chosen for low reactance at the operating frequency.

Signal level at the carrier input must be less than 25 mV peak to maintain operation in the linear region of the switching differential amplifier. Levels to 50 mV peak may be used with some distortion of the output waveform. If a larger input signal is available a resistive divider may be used at the carrier input, with full signal applied to the signal input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

74LS168A, 74LS169A, S168A, S169A
4-Bit Bidirectional Counters

4-Bit Up/Down Synchronous Counter
Product Specification

Logic Products

FEATURES
- Synchronous counting and loading
- Up/down counting
- Modulo 16 binary counter — '169A
- BCD decade counter — '168A
- Two Count Enable inputs for n-bit cascading
- Positive edge-triggered clock

DESCRIPTION
The '168A is a synchronous, presettable BCD decade up/down counter featuring an internal carry look-ahead for applications in high-speed counting designs. Synchronous operation is provided by having all flip-flops clocked simultaneously so that the outputs change coincident with each other when so instructed by the Count Enable inputs and internal gating. This mode of operation eliminates the output spikes which are normally associated with asynchronous (ripple clock) counters. A buffered Clock input triggers the flip-flops on the LOW-to-HIGH transition of the clock.

TYPE	TYPICAL f_{MAX}	TYPICAL SUPPLY CURRENT (TOTAL)
74LS168A	32MHz	20mA
74S168A	70MHz	100mA
74LS169A	32MHz	20mA
74S169A	70MHz	100mA

ORDERING CODE

PACKAGES	COMMERCIAL RANGE V_{CC} = 5V ±5%; T_A = 0°C to +70°C
Plastic DIP	N74LS168AN, N74S168AN N74LS169AN, N74S169AN
Plastic SO	N74LS169AD, N74LS169AD, N74S169AD

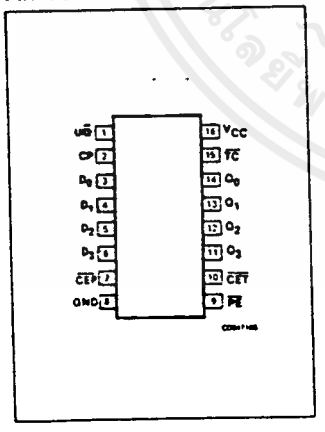
NOTE:
For information regarding devices processed to Military Specifications, see the Signetics Military Products Data Manual.

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

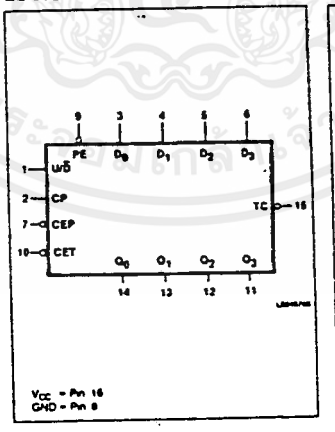
PINS	DESCRIPTION	74S	74LS
$\overline{PE}$	Input	1Sul	2LSul
$\overline{CET}$	Input	2Sul	1LSul
Other	Inputs	1Sul	1LSul
All	Outputs	10Sul	10LSul

NOTE:
Where a 74S unit load (Sul) is understood to be 50μA I_{IH} and −2.0mA I_{IL} and a 74LS unit load (LSul) is 20μA I_{IH} and −0.4mA I_{IL}.

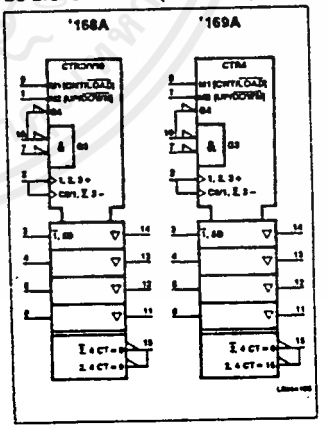
PIN CONFIGURATION



LOGIC SYMBOL



LOGIC SYMBOL (IEEE/IEC)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4-Bit Bidirectional Counters

74LS168A, 74LS169A, S168A, S169A

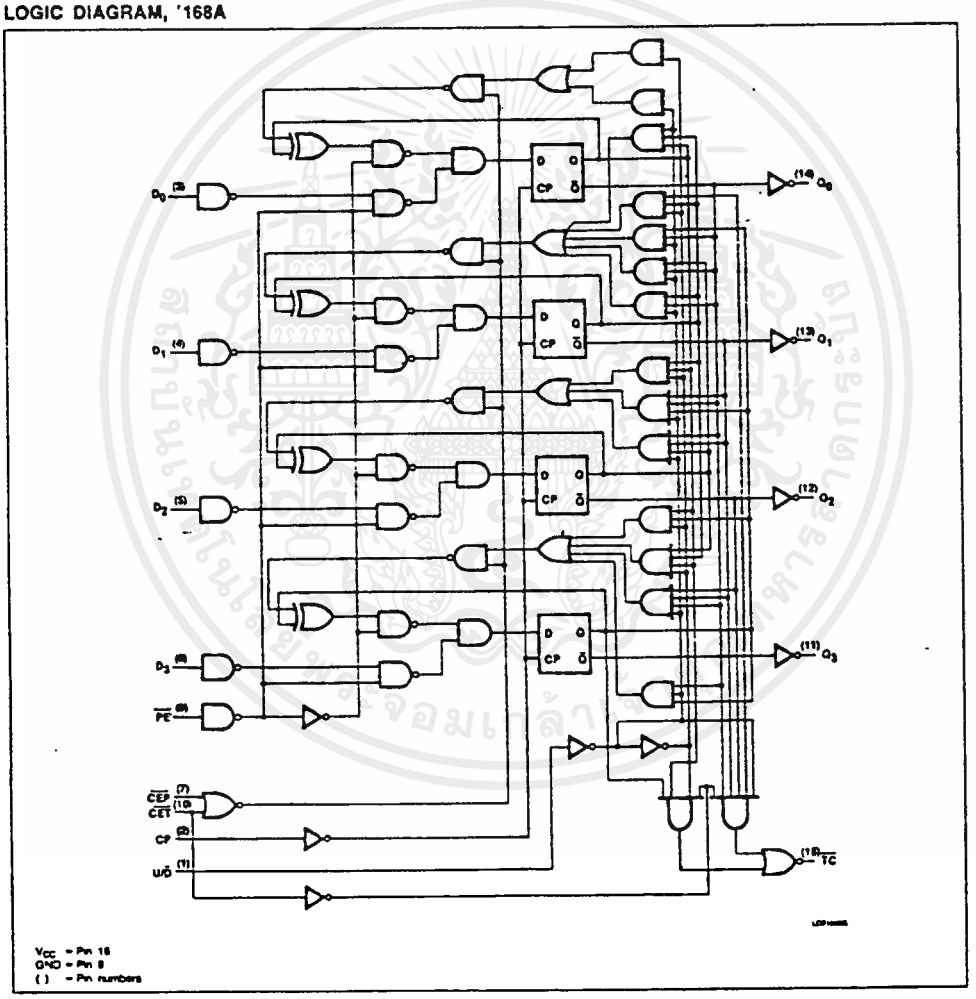
The counter is fully programmable, that is, the outputs may be preset to either level. Presetting is synchronous with the clock and takes place regardless of the levels of the Count Enable inputs. A LOW level on the Parallel Enable ($\overline{PE}$) input disables the counter and causes the data at the D_n input to be loaded into the counter on the next LOW-to-HIGH transition of the clock.

The direction of counting is controlled by the Up/Down (U/$\overline{D}$) input; a HIGH will cause the count to increase, a LOW will cause the count to decrease.

The carry look-ahead circuitry provides for cascading counters for n-bit synchronous applications without additional gating. Instrumental in accomplishing this function are two Count Enable inputs ($\overline{CET} \cdot \overline{CEP}$) and a Terminal Count ($\overline{TC}$) output. Both Count Enable inputs must be LOW to count. The $\overline{CET}$ input is fed forward to enable the $\overline{TC}$ output. The $\overline{TC}$ output thus enabled will produce a LOW output pulse with a duration approximately equal to the HIGH level portion of the Q_0 output. This LOW level $\overline{TC}$ pulse is used to enable successive cascaded stages. See Figure A for the fast synchronous multistage counting connections.

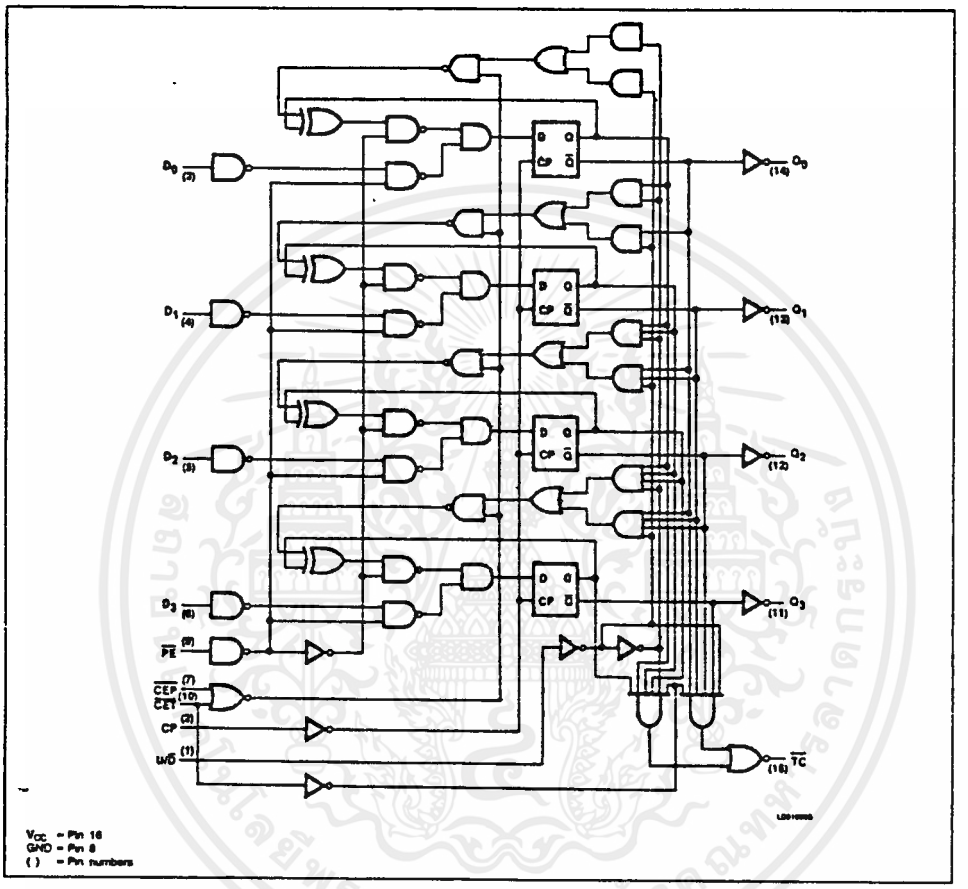
The '169A is identical except that it is a Modulo 16 counter.

LOGIC DIAGRAM, '168A



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC DIAGRAM, '169A



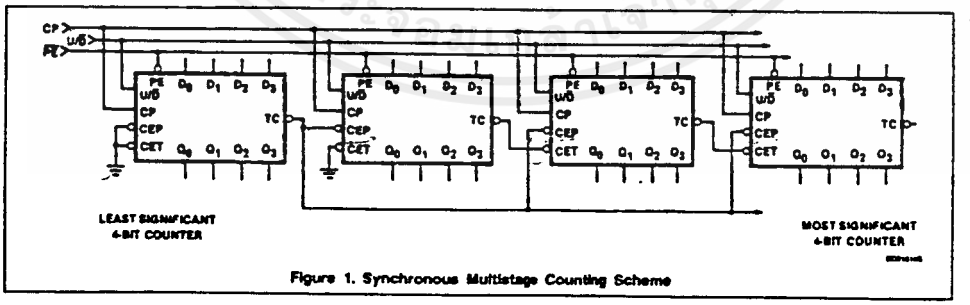


Figure 1. Synchronous Multistage Counting Scheme

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE SELECT — FUNCTION TABLE

OPERATING MODE	INPUTS						OUTPUTS	
	$\overline{CP}$	U/$\overline{D}$	$\overline{CEP}$	$\overline{CET}$	$\overline{PE}$	D_n	Q_n	$\overline{TC}$
Parallel Load	↑	X	X	X	l	l	L	(1)
	↑	X	X	X	l	h	H	(1)
Count Up	↑	h	l	l	h	X	Count Up	(1)
Count Down	↑	l	l	l	h	X	Count Down	(1)
Hold (do nothing)	↑	X	h	X	h	X	q_n	(1)
	↑	X	X	h	h	X	q_n	H

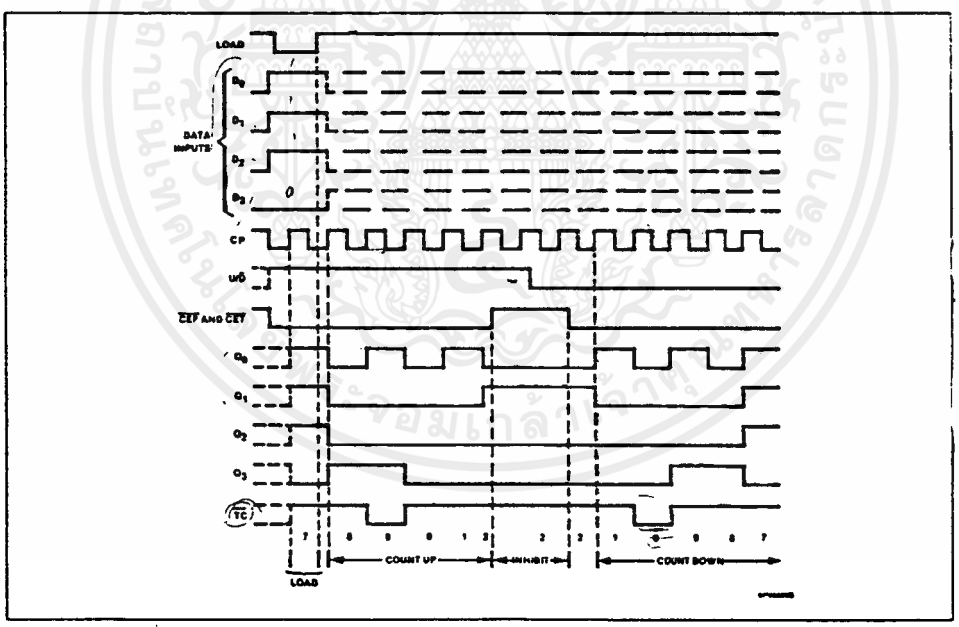
H = HIGH voltage level steady state
h = HIGH voltage level one setup time prior to the LOW-to-HIGH clock transition
L = LOW voltage level steady state
l = LOW voltage level one setup time prior to the LOW-to-HIGH clock transition
X = Don't care
q = Lower case letters indicate the state of the referenced output prior to the LOW-to-HIGH clock transition
↑ = LOW-to-HIGH clock transition

NOTE:
1. The $\overline{TC}$ is LOW when $\overline{CET}$ is LOW and the counter is at Terminal Count. Terminal Count Up is (HHHH) and Terminal Count Down is (LLLL) for '168A. The $\overline{TC}$ is LOW when $\overline{CET}$ is LOW and the counter is at Terminal Count. Terminal Count Up is (HLLH) and Terminal Count Down is (LLLL) for '169A.

WAVEFORM (Typical Load, Count, and Inhibit Sequences)

Illustrated below is the following sequence for the '168A. The operation of the '169A is similar.

1. Load (preset) to BCD seven.
2. Count up to eight, nine (maximum), zero, one, and two.
3. Inhibit.
4. Count down to one, zero (minimum), nine, eight, and seven.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

J308
J309
J310

CASE 29-02, STYLE 5
TO-92 (TO-226AA)

JFET
VHF/UHF AMPLIFIER

N-CHANNEL — DEPLETION

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Drain-Source Voltage	V_{DS}	25	Vdc
Gate-Source Voltage	V_{GS}	25	Vdc
Forward Gate Current	I_{GF}	10	mAdc
Total Device Dissipation @ T_A = 25°C Derate above 25°C	P_D	350 3.5	mW mW/°C
Junction Temperature Range	T_J	−55 to +125	°C
Storage Temperature Range	T_{stg}	−55 to +150	°C

Refer to U308 for graphs.

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted.)

Characteristic		Symbol	Min	Typ	Max	Unit
OFF CHARACTERISTICS						
Gate-Source Breakdown Voltage (I_G = −1.0 μA, V_{DS} = 0)		$V_{(BR)GSS}$	−25	—	—	Vdc
Gate Reverse Current (V_{GS} = −15 V, V_{DS} = 0, T_A = 25°C) (V_{GS} = −15 V, V_{DS} = 0, T_A = −125°C)		I_{GSS}	— —	— —	−1.0 −1.0	nA μA
Gate Source Cutoff Voltage (V_{DS} = 10 V, I_D = 1.0 nA)	J308 J309 J310	$V_{GS(off)}$	−1.0 −1.0 −2.0	— — —	−6.5 −4.0 −6.5	Vdc
ON CHARACTERISTICS						
Zero-Gate-Voltage Drain Current(1) (V_{DS} = 10 V, V_{GS} = 0)	J308 J309 J310	I_{DSS}	12 12 24	— — —	60 30 60	mA
Gate-Source Forward Voltage (V_{DS} = 0, I_G = 1.0 mA)		$V_{GS(f)}$	—	—	1.0	Vdc
SMALL-SIGNAL CHARACTERISTICS						
Common-Source Input Conductance (V_{DS} = 10 V, I_D = 10 mA, f = 100 MHz)	J308 J309 J310	$Re(y_{is})$	— — —	0.7 0.7 0.5	— — —	mmhos
Common-Source Output Conductance (V_{DS} = 10 V, I_D = 10 mA, f = 100 MHz)		$Re(y_{os})$	—	0.25	—	mmhos
Common-Gate Power Gain (V_{DS} = 10 V, I_D = 10 mA, f = 100 MHz)		G_{pg}	—	16	—	dB
Common-Source Forward Transconductance (V_{DS} = 10 V, I_D = 10 mA, f = 100 MHz)		$Re(y_{fs})$	—	12	—	mmhos
Common-Gate Input Conductance (V_{DS} = 10 V, I_D = 10 mA, f = 100 MHz)		$Re(y_{ig})$	—	12	—	mmhos
Common-Gate Forward Transconductance (V_{DS} = 10 V, I_D = 10 mA, f = 1.0 kHz)	J308 J309 J310	g_{fs}	8000 10000 8000	— — —	20000 20000 18000	μmhos
Common-Gate Output Conductance (V_{DS} = 10 V, I_D = 10 mA, f = 1.0 kHz)	J308 J309 J310	g_{os}	— — —	— — —	200 150 200	μmhos

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

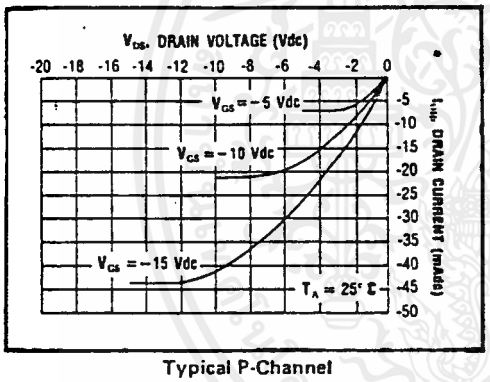
STATIC CHARACTERISTICS [1,3]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2]		+25°C			T_{HIGH} [2]		Units
				Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN}=V_{SS}$ or V_{DD}	–	0.05	–	0.0005	0.05	–	1.5	μAdc
		10	All valid input	–	0.10	–	0.001	0.10	–	3.0	
		15	combinations	–	0.20	–	0.002	0.20	–	6.0	

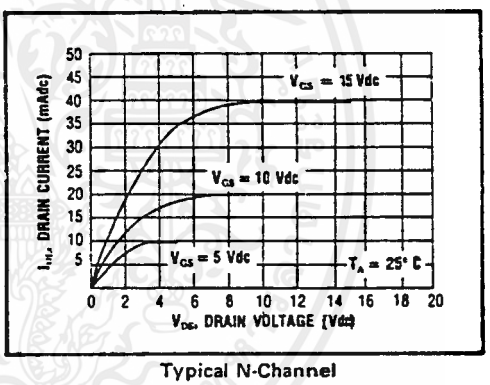
NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = −55°C for C, D, F, H device.
= −40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.
[3] This device has been designed for balanced output drive current specifications. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME	t_{PLH}, t_{PHL}	5	–	60	120	ns
		10	–	30	60	
		15	–	25	50	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5	–	100	200	ns
		10	–	50	100	
		15	–	40	80	

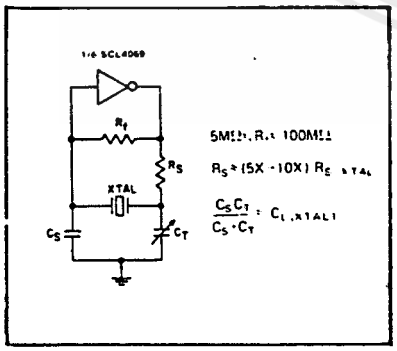


Typical P-Channel
Source Current Characteristics

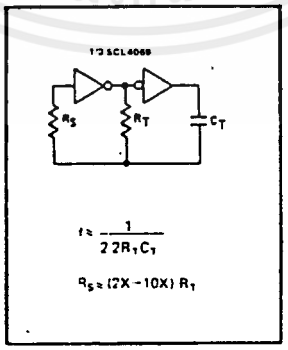


Typical N-Channel
Sink Current Characteristics

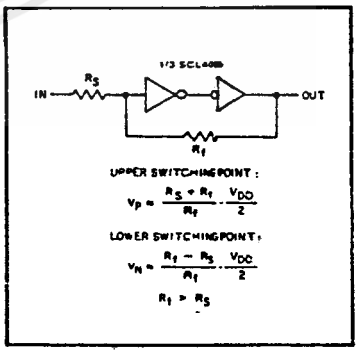
APPLICATIONS INFORMATION



Typical crystal oscillator circuit



Typical RC oscillator circuit



Input pluse shaping circuit (Schmitt Trigger)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

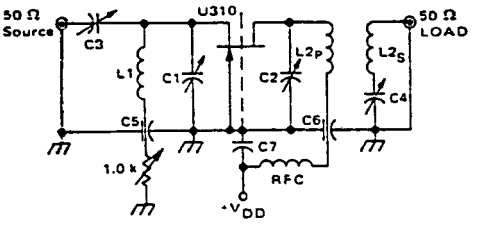
ELECTRICAL CHARACTERISTICS (continued) (T_A = 25°C unless otherwise noted.)

Characteristic		Symbol	Min	Typ	Max	Unit
Common-Gate Forward Transconductance (V_{DS} = 10 V, I_D = 15 mA, f = 1.0 kHz)	J308	g_{fg}	—	13000	—	μmhos
	J309		—	13000	—	
	J310		—	12000	—	
Common-Gate Output Conductance (V_{DS} = 10 V, I_D = 15 mA, f = 1.0 kHz)	J308	g_{og}	—	150	—	μmhos
	J309		—	100	—	
	J310		—	150	—	
Gate-Drain Capacitance (V_{DS} = 0, V_{GS} = −10 V, f = 1.0 MHz)		C_{gd}	—	1.8	2.5	pF
Gate-Source Capacitance (V_{DS} = 0, V_{GS} = −10 V, f = 1.0 MHz)		C_{gs}	—	4.3	5.0	pF
FUNCTIONAL CHARACTERISTICS						
Noise Figure (V_{DS} = 10 V, I_D = 15 mA, f = 450 MHz)		NF	—	1.5	—	dB
Equivalent Short-Circuit Input Noise Voltage (V_{DS} = 10 V, I_D = 15 mA, f = 100 Hz)		$\bar{e}_n$	—	10	—	$nV/\sqrt{Hz}$

* Pulse Test: Pulse Width ≤ 300 μs, Duty Cycle ≤ 3.0%.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 1 – 450 MHz COMMON-GATE AMPLIFIER TEST CIRCUIT



C1 = C2 = 0.8 – 10 pF, JFD #MVM010W.
C3 = C4 = 8-35 pF Erie #539-002D.
C5 = C6 = 5000 pF Erie (2443 000).
C7 = 1000 pF, Allen Bradley #FA5C.
RFC = 0.33 μH Miller #9230-30.
L1 = One Turn #16 Cu, 1/4" I.D. (Air Core).
L2P = One Turn #16 Cu, 1/4" I.D. (Air Core).
L2S = One Turn #16 Cu, 1/4" I.D. (Air Core).

FIGURE 2 – DRAIN CURRENT and TRANSFER CHARACTERISTICS versus GATE-SOURCE VOLTAGE

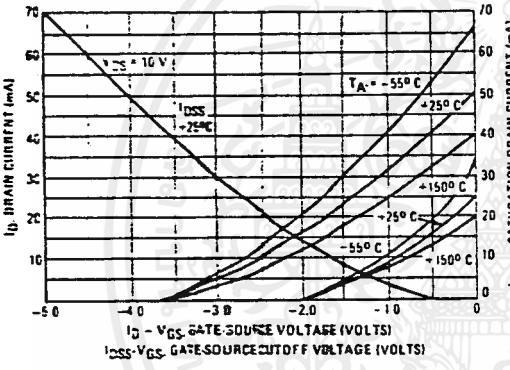


FIGURE 3 – FORWARD TRANSCONDUCTANCE versus GATE-SOURCE VOLTAGE

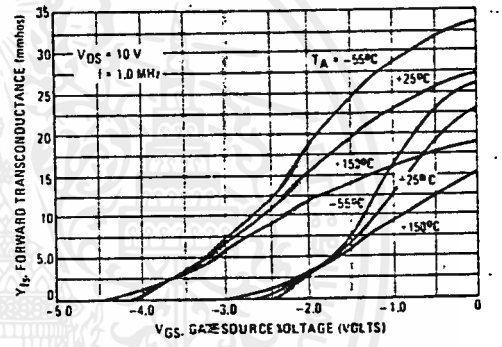


FIGURE 4 – COMMON-SOURCE OUTPUT ADMITTANCE and FORWARD TRANSCONDUCTANCE versus DRAIN CURRENT

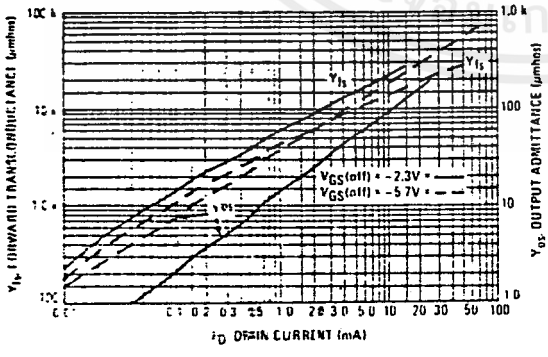
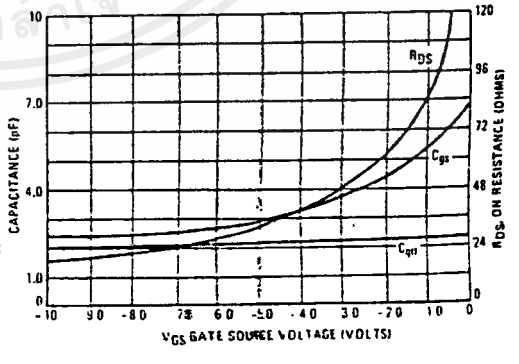


FIGURE 5 – ON RESISTANCE and JUNCTION CAPACITANCE versus GATE-SOURCE VOLTAGE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 6 – COMMON-GATE Y PARAMETER MAGNITUDE versus FREQUENCY

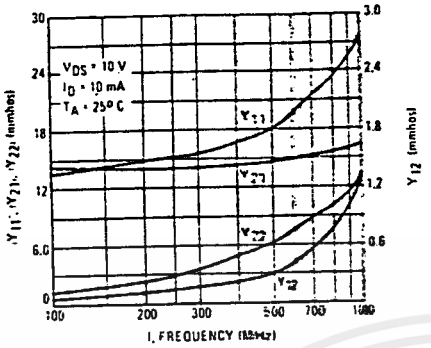


FIGURE 7 – COMMON-GATE S PARAMETER MAGNITUDE versus FREQUENCY

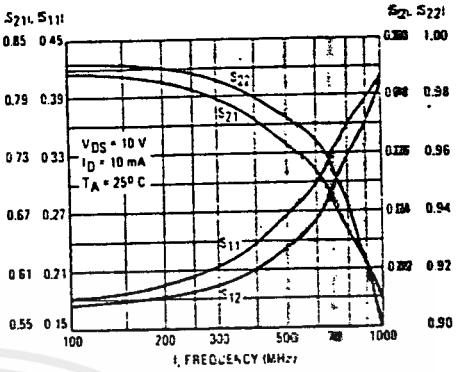


FIGURE 8 – COMMON-GATE Y PARAMETER PHASE-ANGLE versus FREQUENCY

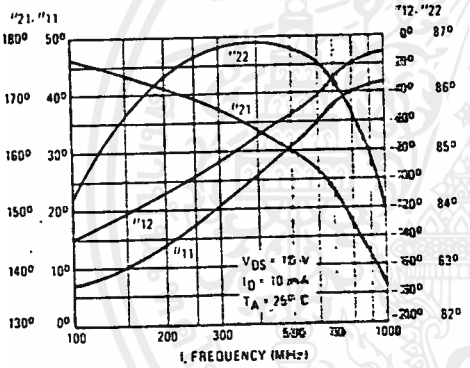


FIGURE 9 – S PARAMETER PHASE ANGLE versus FREQUENCY

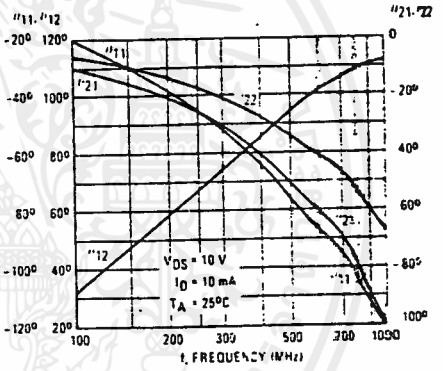


FIGURE 10 – NOISE FIGURE and POWER GAIN versus DRAIN CURRENT

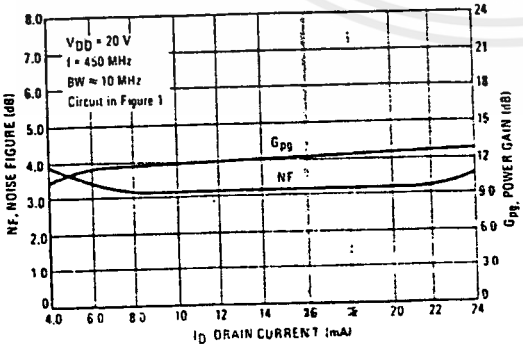
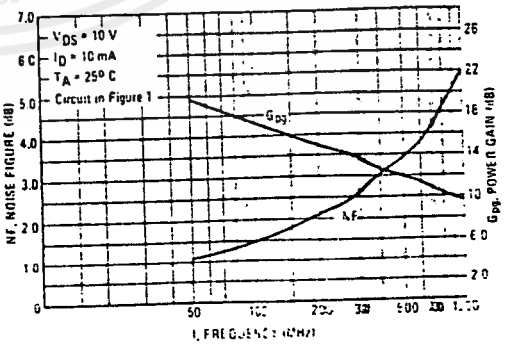


FIGURE 11 – NOISE FIGURE and POWER GAIN versus FREQUENCY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4069UB

CMOS HEX INVERTER

FEATURES

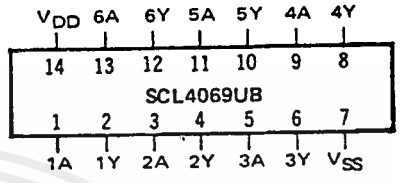
- Fully "B"-Series Compatible
- Diode Protection on all Inputs
- Balanced Output Drive Current Specifications
- Pin Compatible with 74C04

DESCRIPTION

The SCL4069UB consists of six CMOS inverter circuits. The device is intended for general-purpose inverter applications where the higher output drive and level-shifting feature of the SCL4009UB and SCL4049UB are not required.* The SCL4069UB is particularly useful for quasi-linear circuits such as oscillators (See Applications Information).

*For pin-to-pin compatibility with the SCL4009UB and SCL4049UB, the SCL4449UB is available.

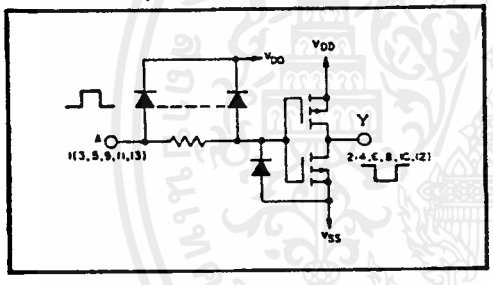
CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	14-pin Cerdip
D	14-pin Ceramic
E	14-pin Epoxy
F	14-pin Flat
H	Chip

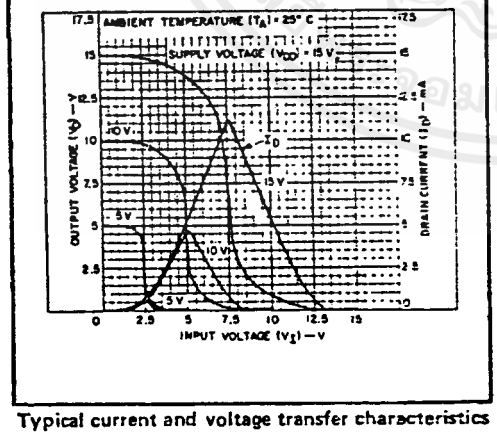
SCHEMATIC DIAGRAM
(one of six inverters)



RECOMMENDED OPERATING CONDITIONS

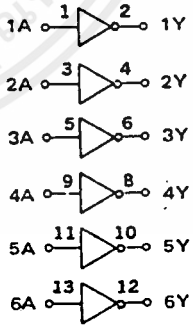
For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C



Typical current and voltage transfer characteristics

LOGIC DIAGRAM



VSS = 7
VDD = 14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์เล่มนี้สำเร็จลงได้ด้วยความช่วยเหลือจากบุคคลหลายท่าน

ขอขอบคุณอาจารย์ที่ปรึกษา

ดร. ทองทด วานิชศรี

รศ.ดร. กอบชัย เดชหาญ ที่ให้คำปรึกษาโครงงาน

ขอขอบคุณ

อาจารย์นภัทร สระเอี่ยม ที่ให้ความอนุเคราะห์เครื่องมือต่าง ๆ

ขอขอบคุณ

นายต่อพงศ์ ยวงพานิช ที่ให้คำแนะนำและช่วยเหลือ

และขอขอบคุณเพื่อนๆ และรุ่นน้องทุกคนที่ได้ให้ความช่วยเหลือและให้กำลังใจตลอดการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

[1] ชูชัย ธนสารตั้งเจริญ "ทฤษฎีวงจรอิเล็กทรอนิกส์" , กรุงเทพ:ฟิสิกส์เซ็นเตอร์ ; 2528

[2] โคทม อารียา "วงจรอิเล็กทรอนิกส์ เล่ม 2 " , กรุงเทพ:บริษัทซีเอ็ดยูเคชั่นจำกัด ; 2525

[3] สุขุมวิทย์ ภูมิวุฒิสาร และคณะ "อิเล็กทรอนิกส์พื้นฐานสำหรับช่างเทคนิค" , กรุงเทพ:สมาคมส่งเสริมเทคโนโลยี (ไทย-ญี่ปุ่น) ; 2530

[4] สุชาติ กังวารจิตต์ "หลักการทำงานเครื่องรับส่งวิทยุและระบบวิทยุสื่อสาร" , กรุงเทพ:บริษัทซีเอ็ดยูเคชั่นจำกัด ; 2521

[5] สิทธิชัย โภไคยอุดม , พีรศักดิ์ วรสุนทโรสถ และโตะมิโอะ อิจะสะกิ "ทฤษฎีและการคำนวนวงจรอิเล็กทรอนิกส์" , กรุงเทพ:บริษัทซีเอ็ดยูเคชั่นจำกัด

[6] คู่มือ/เทียบเบอร์ ไอซี TTL , กรุงเทพ : บริษัทซีเอ็ดยูเคชั่นจำกัด

[7] MOTOROLA RF DATA ,MANUAL INC , 1983

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้