

การออกแบบวงจรควบคุมสำหรับโอเพอร์เรเตอร์ข้อมูล 2 มิติในรูปวงจรรวม

DESIGNING OF SEQUENCER FOR 2-D DATA OPERATOR
IN VLSI CIRCUIT



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

ณ

บัณฑิตวิทยาลัย

ร.852 ก

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

2539

พ.ศ.2539

เลขหมู่.....

เลขทะเบียน.....27280

วัน, เดือน, ปี 18 ส.ค. 2540

ISBN 974-621-606-6

ลิขสิทธิ์ของบัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESIGNING OF SEQUENCER FOR 2-D DATA OPERATOR IN VLSI CIRCUIT



**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE
MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
1996**

ISBN 974-621-606-6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การออกแบบวงจรควบคุมสำหรับโอเพอร์เรเตอร์ข้อมูล 2 มิติ ในรูปวงจรรวม
นักศึกษา	นายเรืองไกร รังสิพล
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร.กอบชัย เดชหาญ
ระดับการศึกษา	วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า
ภาควิชา	วิศวกรรมโทรคมนาคม
	สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พศ.	2539

บทคัดย่อ

วงจรรองสัญญาณทั่วไปที่ใช้ในการกรองสัญญาณภาพ จะเป็นวงจรรองสัญญาณที่อาศัยข้อมูลทั้ง 2 มิติมาทำการพิจารณา ซึ่งการจะนำข้อมูลทั้ง 2 มิติดังกล่าวมาทำการจัดเตรียมให้แก่โอเพอร์เรเตอร์เพื่อทำการกรองนั้น จะต้องอาศัยวงจรที่ทำหน้าที่ควบคุมจังหวะและเวลาของสัญญาณที่ถูกต้องแต่อย่างไรก็ตามวงจรรองควบคุมดังกล่าวเมื่อนำมา สร้างเป็นวงจรใช้งานจริงจัดเป็นวงจรที่มีขนาดใหญ่ เนื่องจากมีส่วนที่เป็นวงจรหน่วงเวลาของสัญญาณภาพ และหน่วยความจำสำหรับบันทึกข้อมูลภาพก่อนที่จะทำการประมวลผล ซึ่งถ้าหากประกอบกันขึ้นมาจาก วงจรรวมที่มีจำหน่ายทั่วไปแล้ว ขนาดของวงจรที่ได้จะมีขนาดใหญ่มาก

วิทยานิพนธ์ฉบับนี้จะเป็นการศึกษา และวิจัยถึงขั้นตอนการออกแบบวงจรรวมและประยุกต์โปรแกรมต่างๆที่มีอยู่ให้สามารถออกแบบได้อย่างมีประสิทธิภาพ โดยวงจรรวมที่ออกแบบเป็นวงจรรวมประเภทเฉพาะงาน (Application Specific - ICs) โดยจะนำวงจรควบคุมสำหรับโอเพอร์เรเตอร์ข้อมูล 2 มิติมาออกแบบเป็นวงจรรวม และใช้เซลล์มาตรฐานดิจิทัลซีมอสสำหรับขนาด 2 ไมครอนเป็นส่วนประกอบหลัก

Thesis Title	Designing of sequencer for 2-D data operator in VLSI circuit
Student	Mr.Ruangkrai Rangsiphol
Thesis Advisor	Assoc. Prof. Dr.Kobchai Dejhan
Level of Study	Master of Engineering in Electrical Engineering
Department	Telecommunications Engineering King Mongkut's Institute of Technology Ladkrabang
Year	1996

Abstract

Almost of digital image filters are using 2-D data in filtering process. They also have to use sequencer for control all signals in circuit. The implementation of sequencer in discrete circuit results is the large size of the circuit , according to the delay line circuit , memory unit to store the data before processing. This thesis presents the study and design in integrated circuit form as an ASICs based on 2 μ m CMOS design. The design rule is used in this thesis is European Silicon Structure or ES2.

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลงด้วยดี เนื่องมาจากผู้วิจัยได้รับการอนุเคราะห์อย่างสูงยิ่งจากรองศาสตราจารย์ ดร.กอบชัย เดชหาญ ในการให้คำปรึกษาที่แนะนำอย่างใกล้ชิดมาโดยตลอด ซึ่งผู้วิจัยรู้สึกทราบบ้างในความกรุณาของท่านและขอกราบขอบพระคุณเป็นอย่างสูง

ขอขอบพระคุณ รองศาสตราจารย์ ดร.พุศศักดิ์ ชิวสุวิทย์ ที่กรุณาชี้แนะแนวทาง และให้ความรู้ในด้าน การประมวลผลภาพ ทำให้ผู้วิจัยสามารถเข้าใจวิชาการทางด้านนี้ และสามารถดำเนินงานวิจัยได้สำเร็จ

ขอขอบคุณ คุณนิพนธ์ ศิริรัตน์ ที่ให้คำปรึกษาในด้านการพัฒนาโปรแกรม , ขอขอบคุณ คุณปทุมทิพย์ พุทธิศิลป์ ที่ช่วยในด้านการพิมพ์และพิสูจน์อักษร , ขอขอบคุณ คุณไชยวัฒน์ เลวัน และคุณสุรทิน วงษ์ศิลป์ ที่ให้ความช่วยเหลือและอำนวยความสะดวก ในทุกด้าน

สุดท้ายนี้ขอขอบพระคุณ คุณพ่อ คุณแม่ พี่ๆ และเพื่อนๆ ที่ให้กำลังใจในการทำวิจัยเสมอมา จนวิทยานิพนธ์สำเร็จลงอย่างสมบูรณ์

เรืองไกร รังสิพล

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VI
สารบัญภาพ.....	VII

บทที่

1.	
บทนำ.....	1
วิวัฒนาการของวงจรรวม	1
ที่มาของงานวิจัย.....	7
วัตถุประสงค์ของวิทยานิพนธ์.....	8
2. ทฤษฎี.....	9
เทคโนโลยี VLSI.....	9
ขั้นตอนการผลิตทรานซิสเตอร์แบบ MOS.....	10
การออกแบบวงจรดิจิทัลในรูปของทรานซิสเตอร์.....	14
ขั้นตอนการผลิตวงจรรวม.....	17
3. การประมวลผลสัญญาณภาพ.....	19
การประมวลผลสัญญาณภาพ.....	19
วงจรกรองสัญญาณภาพ.....	23
หลักการออกแบบวงจรกรองสัญญาณ	24
วงจรกรองแบบมัลติฐาน.....	26

สารบัญ (ต่อ)

บทที่	หน้า
4. วงจรกรองแบบมาตรฐาน.....	29
การนำวงจรกรองแบบมาตรฐานไปใช้งาน	29
โครงสร้างของวงจรกรองแบบมาตรฐาน	31
5. การออกแบบวงจรรวม	36
ขั้นตอนการออกแบบวงจรรวม	36
ส่วนประกอบของวงจร	38
การกำหนดฟังก์ชันการทำงาน	40
ข้อพิจารณาและกฎการออกแบบ	41
กฎการออกแบบของมิดและคอนเวย์	43
แผนภาพแบบเส้น	50
การเขียนโปรแกรมสำหรับวงจรรวมแบบซิมอส	52
เซลล์ซิมอสมาตรฐาน	54
6. การนำคอมพิวเตอร์ช่วยในการออกแบบ.....	57
ลักษณะของโปรแกรมคอมพิวเตอร์.....	57
โปรแกรมมอดโต้แคด.....	58
การเขียนโปรแกรมภาษาลิสป์.....	66
การแปลงข้อมูลของโปรแกรมมอดโต้แคด	67
โครงสร้างข้อมูลแบบ DXF	69
การอ่านข้อมูล DXF มาใช้งานกับโปรแกรม EPISODE	77

สารบัญ (ต่อ)

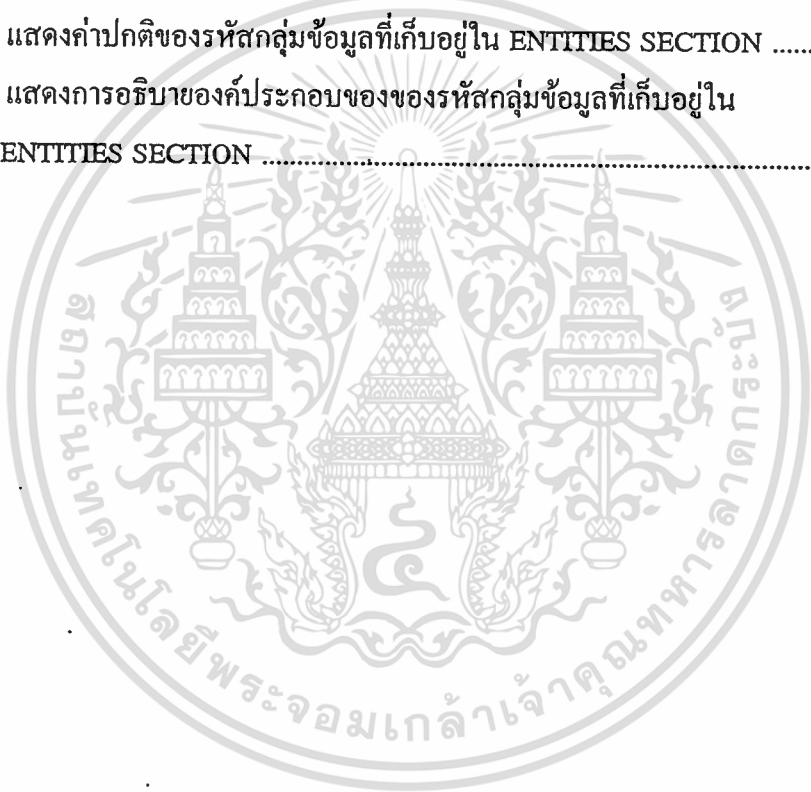
บทที่	หน้า
7. เซลมาตรฐานและวงจรรวมที่ออกแบบ.....	82
หลักการออกแบบและข้อควรพิจารณา.....	82
การออกแบบโครงสร้างของ CMOS VLSI.....	86
เซลล์มาตรฐาน.....	87
ผลการออกแบบ.....	90
8. สรุปผลการวิจัย.....	109
สรุปผลการออกแบบ.....	109
สรุปผลการวิจัย.....	111
เอกสารอ้างอิง.....	113
บทความที่ได้ตีพิมพ์ในเอกสารทางวิชาการ.....	114
ภาคผนวก.....	115
ภาคผนวก ก. โปรแกรมช่วยการออกแบบ.....	116
ภาคผนวก ข. ตัวอย่างข้อมูลแบบ DXF.....	123
ภาคผนวก ค. โปรแกรมแปลงข้อมูลและผลลัพธ์.....	140
ภาคผนวก ง. โปรแกรมแปลงข้อมูลและผลลัพธ์.....	146
ประวัติผู้เขียน	177

สารบัญตาราง

หน้า

ตารางที่

1. วิวัฒนาการของวงจรรวม	4
2. ชนิดของข้อมูลกลุ่มในช่วงต่างๆ.....	71
3. หน้าที่ของข้อมูลในกลุ่มต่างๆ (บางส่วน).....	72
4. แสดงตัวอย่างตัวแปรที่เก็บอยู่ใน HEADER SECTION	74
5. แสดงค่าปกติของรหัสกลุ่มข้อมูลที่เก็บอยู่ใน ENTITIES SECTION	76
6. แสดงการอธิบายของคำประกอบของของรหัสกลุ่มข้อมูลที่เก็บอยู่ใน ENTITIES SECTION	77



สารบัญภาพ

หน้า

1. แสดงหน้าตัดของ ทรานซิสเตอร์แบบ MOS.....	11
2. แสดงขนาดของทรานซิสเตอร์ MOSFET กำหนดด้วยมิติ WXL.....	12
3. แสดงสัญลักษณ์ของทรานซิสเตอร์แบบเอ็นมอสเอนเซนซ์เมนต์.....	13
4. แสดงวงจรอินเวอร์เตอร์	14
5. แสดงวงจรอินเวอร์เตอร์ ที่ใช้ตัว pull-down แบบเอนเซนซ์เมนต์.....	15
6. แสดงตัวอย่าง วงจรอินเวอร์เตอร์แบบ CMOS และ NMOS.....	16
7. แสดงตัวอย่าง เสย์อัทของเกตแบบ NOR.....	18
8. แสดงตำแหน่งการนำวงจรกรอบแบบมัลฐาน ไปใช้งาน.....	29
9. แสดงโครงสร้างของวงจรกรอบแบบมัลฐาน.....	31
10. แสดงองค์ประกอบของ Sequence controller	34
11. แสดงวงจร โดยสมบูรณ์ของ Sequence controller	35
12. แสดงระดับการออกแบบและการวางผังวงจร.....	39
13. แสดงระยะห่างที่กำหนดในกฎการออกแบบ.....	44
14. แสดงระยะห่างของสารแพร่กับ โพลีซิลิคอน.....	44
15,16 แสดงตัวอย่างระยะห่างของ โพลีซิลิคอนกับตัวเชื่อมต่อ.....	45
17. แสดงพื้นที่ของสารของสารแพร่	46
18. แสดงพื้นที่ของ โพลีซิลิคอนกับสารอินอ็อกไซด์.....	47
19. แสดงการใช้ตัวเชื่อมต่อ	48
20. แสดงการใช้ตัวเชื่อมต่อ	48
21. แสดงการใช้ตัวเชื่อมต่อ	49
22. แสดงสารแพร่ P^+ กับเกต.....	50
23. แสดงถึงสารชนิดเดียวกันเชื่อมกันหรือตัดกัน.....	51
24. แสดงถึงสารต่างชนิดกันเชื่อมกันหรือตัดกัน.....	51
25. แสดงถึงทรานซิสเตอร์แบบเอนเซนซ์เมนต์.....	51

VIII

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ (ต่อ)

หน้า

26. แสดงถึงทรานซิสเตอร์แบบดีฟลิทชั้น.....51

27. แสดงแผนภาพแบบร่างของอินเวอร์เตอร์.....52

28. แสดงกระบวนการพี-เวสต์.....53

29. แสดงกระบวนการเอ็น-เวสต์.....54

30. แสดงกระบวนการทวินทัป.....55

31. แสดงการให้ค่าระยะเป็นบวกลบหรือลบกับจุดอ้างอิง.....61

32. แสดงการกำหนดมุมในอโต้แคด 62

33. แสดงชั้นสารต่างๆในวงจรรวม 64

34. แสดงแผนผังแสดงโครงสร้างของ DXF ไฟล์.....71

35. แสดงแผนผังแสดงการเชื่อมต่อของข้อมูล.....79

36. แสดงทางเดินของแหล่งจ่ายไฟ.....87

37. แสดงการจัดสรรพื้นที่ชิพ.....88

38. แสดงการเชื่อมโยงของเซลล์แบบต่างๆ.....88

39. แสดงรูปแบบของเซลล์ที่ออกแบบ 90

บทที่ 1

บทนำ

1.1 วิวัฒนาการของวงจรรวม

เทคโนโลยีการออกแบบอุปกรณ์อิเล็กทรอนิกส์ได้เริ่มต้นจากการที่ มนุษย์รู้จักการนำไฟฟ้าของหลอดวิญ ซึ่งมีความใหญ่ ใช้กำลังงานและความร้อนสูง เพื่อควบคุมการเคลื่อนที่ของประจุไฟฟ้า จนต่อมาได้มีการพัฒนาเป็นการใช้สารกึ่งตัวนำมาทำเป็นอุปกรณ์อิเล็กทรอนิกส์ต่างๆ เช่น ไดโอด ทรานซิสเตอร์ ไตรแอด ฯ และจากการที่มีการประยุกต์อุปกรณ์อิเล็กทรอนิกส์มาใช้งานในด้านต่าง ๆ นั้น ทำให้วงจรประยุกต์ต่างได้ทวีความสลับซับซ้อนยิ่งขึ้น จำเป็นอยู่เองที่จะต้องใช้อุปกรณ์เหล่านั้นเป็นจำนวนมากมาเชื่อมต่อเข้าด้วยกันเพื่อให้วงจรทำงาน ตามที่ออกแบบไว้ และเมื่อความต้องการใช้มีมาก ทางผู้ผลิตได้มีการพัฒนาให้อุปกรณ์สารกึ่งตัวนำมีขนาดเล็กลง และได้รวมชุดวงจรที่ใช้งานมากและเป็นที่นิยม มาประกอบรวมกันบนแผ่นวงจรพิมพ์ขนาดเล็กเป็นชุด (Module) เพื่อให้สามารถนำไปใช้งานได้ทันที ซึ่งส่วนใหญ่จะพบในวงจรประเภท อนาล็อก เช่น วงจรขยายสัญญาณ (Amplifier) วงจรควบคุมแรงดันไฟฟ้า (Voltage Regulator) , สำหรับวงจรประเภทดิจิตอล เช่น วงจรเกท วงจรนับ ประเภทต่าง ๆ

ต่อมาเมื่อเทคโนโลยีทางด้านสารกึ่งตัวนำพัฒนาขึ้น วงจรสำเร็จรูปเหล่านั้นก็ได้ถูกนำมารวมกันในรูปแบบของวงจรรวม (Integrated Circuits) ซึ่งวงจรรวมนี้จะใช้ลักษณะการผลิตที่แตกต่างจากชุดวงจร กล่าวคือชุดวงจรที่เป็น Module นั้นผลิตจากการนำอุปกรณ์อิเล็กทรอนิกส์ทั่วไป แต่ผลิตให้มีขนาดเล็กลงกว่าเดิม แล้วนำมาเชื่อมต่อกันภายนอกบนแผ่นวงจรพิมพ์ แต่สำหรับวงจรรวมนั้น จะนำวงจรที่ต้องการทั้งหมด มาออกแบบพร้อมในคราวเดียวกันและให้การเชื่อมต่อระหว่างอุปกรณ์สารกึ่งตัวนำนั้น อยู่ภายในตัวถังเดียวกัน โดยจะให้มันเชื่อมต่อเชื่อมกับสัญญาณภายนอก แหล่งจ่ายกำลังไฟฟ้า เท่าที่จำเป็นเท่านั้น ทำให้ขนาดของวงจรรวมที่ได้จะเล็กและสะดวกต่อการใช้งานมากขึ้นกว่าเดิม ได้มีการผลิตวงจรรวมออกมามากมาย ทั้งทางด้านดิจิตอลและอนาล็อก โดยเฉพาะสำหรับวงจรรวมดิจิตอลแล้ว ได้มีการพัฒนาขึ้นมาเรื่อย ๆ

เนื่องจากวงจรส่วนใหญ่ประกอบขึ้นมาจากสารกึ่งตัวนำเพียงอย่างเดียว (เช่น ทรานซิสเตอร์) ไม่สามารถแก้ไขทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไดโอด ไม่จำเป็นต้องใช้ ตัวเก็บประจุ ลวดเหนียวนา ซึ่งไม่สามารถผลิตขึ้นมาจากสารกึ่งตัวนำได้) และวงจรรวมดิจิตอลใช้กำลังไฟฟ้าค่อนข้างต่ำทำให้สามารถออกแบบให้ขนาดของวงจรรวมเล็กลงได้ ทำให้ขนาดของทรานซิสเตอร์เล็กลงไปเรื่อยๆ ในขณะที่เดียวกันที่ได้มีการผลิตวงจรรวมเพื่อใช้ในงานต่างๆมากขึ้นเช่นเดียวกัน

ยุคแรกของการผลิตวงจรรวมจำนวนทรานซิสเตอร์ต่อหนึ่งชิปยังไม่สูง ประมาณ 10-20 ตัว เทคโนโลยียุคนี้เรียกว่า SSI (Small Scale Integration) ตัวอย่างเช่น IC TTL เบอร์ 7400 , 7404 ซึ่งจะเป็นวงจรขนาดเล็ก ไม่ซับซ้อน

ยุคต่อมาคือยุคของวงจรประเภท MSI (Medium Scale Integration) จำนวนทรานซิสเตอร์ที่บรรจุอยู่บนแผ่นวงจรเดียวจะอยู่ในช่วง 100-1000 ตัว จะเป็นวงจรดิจิตอลที่มีขนาดใหญ่และซับซ้อนขึ้นกว่าเดิม เช่นวงจร รีจิสเตอร์ขนาด 4 บิต , วงจรเลื่อนข้อมูล

ยุคที่สามคือวงจรประเภท LSI (Large Scale Integration) จำนวนทรานซิสเตอร์ต่อชิปจะอยู่ในช่วง 1,000-10,000 ตัว ตัวอย่างเช่น วงจรของ ไมโครโปรเซสเซอร์ขนาด 4 บิต วงจรหน่วยความจำขนาดใหญ่

สำหรับปัจจุบันอยู่ในช่วงของยุค VLSI (Very Large Scale Integration) จำนวนทรานซิสเตอร์ต่อชิปมากกว่า 10,000 ตัว จะเป็นวงจรที่ซับซ้อนและมีขนาดใหญ่มากได้แก่ ไมโครโปรเซสเซอร์ ขนาดตั้งแต่ 8 บิตขึ้นไป ที่ใช้งานกันอยู่ในปัจจุบัน

ถึงแม้ว่าพัฒนาการของวงจรรวมจะมีแนวโน้มของการเพิ่มจำนวนทรานซิสเตอร์มากขึ้นเรื่อย ๆ แต่ ขนาดของพื้นที่ที่ใช้กลับมิได้เพิ่มขึ้นมากนัก ทั้งนี้เนื่องมาจากขนาดของสารกึ่งตัวนำที่นำมาใช้ประดิษฐ์เป็นทรานซิสเตอร์ มีขนาดเล็กลงมาเรื่อย ๆ ทำให้ถึงแม้ว่าจำนวนทรานซิสเตอร์จะเพิ่มมากขึ้น ขนาดของวงจรรวม ก็ยังคงมีขนาดใกล้เคียงกับของเดิม เว้นเสียแต่ว่าวงจรมีจำนวนทรานซิสเตอร์สูงมาก อาจจะมีการเพิ่มขนาดของชิปขึ้นบ้าง

ในปัจจุบันวงจรรวมขนาดใหญ่มาก (VLSI) ถือได้ว่าเป็นอุปกรณ์ที่ใช้กันอย่างแพร่หลายในวิถีชีวิตประจำวันโดยจะเป็นส่วนประกอบที่สำคัญที่ทำให้อุปกรณ์และเครื่องจักรต่าง ๆ ทำงานได้อย่างมีประสิทธิภาพมากยิ่งขึ้นตั้งแต่อุปกรณ์ทางด้านอิเล็กทรอนิกส์คอมพิวเตอร์เครื่องใช้ภายในบ้าน รวมไปถึงรถยนต์ ต่างก็มีไมโครโปรเซสเซอร์เป็นตัวควบคุมทั้งสิ้น สำหรับวงจรรวมขนาดใหญ่สามารถจำแนกตามลักษณะการผลิตได้ดังนี้

1. วงจรรวมที่ผลิตเป็นมาตรฐาน (Standard Product ICs)

วงจรรวมประเภทนี้ ภายในจะเป็นวงจรมาตรฐานที่ใช้งานทั่วไป โดยผู้ผู้สามารถนำวงจรรวมไปประยุกต์ใช้งานได้ โดยผู้ผลิตได้ตีพิมพ์เผยแพร่วงจรภายใน คุณสมบัติการเชื่อมต่อกับอุปกรณ์ภายนอก รวมไปถึงตัวอย่างการใช้งาน (สำหรับวงจรรวมที่ทำงานได้เฉพาะขอบเขตที่กำหนด) มาให้ผู้ใช้เพื่อให้ผู้ผู้สามารถนำไปประยุกต์ใช้งานได้เหมาะสม วงจรรวมประเภทนี้จะมีตั้งแต่ วงจรพื้นฐานที่ใช้งานทั่วไป ไปจนถึงวงจรรวมขนาดใหญ่มากที่มีการทำงานซับซ้อน วงจรรวมที่มีจำหน่ายอยู่ในท้องตลาดปัจจุบันจะเป็นวงจรรวมประเภทนี้ทั้งสิ้น การนำมาใช้งานก็เพียงแค่ เชื่อมต่อสัญญาณต่าง ๆ ให้ถูกต้องตามที่วงจรรวมต้องการและตรงกับวงจรที่ออกแบบไว้ก็สามารถนำมา ใช้งานได้ทันที ส่วนใหญ่ลักษณะการออกแบบและนำวงจรรวมไปใช้งานจะเป็นไปใน 2 ลักษณะคือ ออกแบบวงจรให้ทำงานได้ตามที่ต้องการแล้วหลังจากนั้นมาพิจารณาว่าสามารถนำวงจรรวมใด ที่มีวงจรหรือส่วนประกอบของวงจรดังกล่าว จึงนำวงจรรวมมาประยุกต์ใช้กับที่ออกแบบไว้ การออกแบบลักษณะนี้เหมาะสำหรับงานที่เป็นการค้นคว้า หรือประดิษฐ์ขึ้นมาใหม่ โดยที่ไม่เคยมีทำมาก่อน

ตารางที่ 1

ปี ค.ศ.1947		1961	1966	1971	1980	1985	1990
เทคโนโลยี	อุปกรณ์ ดิจิทัล	SSI	MSI	LSI	VLSI	ULSI	GLSI
จำนวนทราน ซิสเตอร์/ชิพ ของผลิตภัณฑ์ เชิงพาณิชย์โดย ประมาณ	1	10	100-1,000	1,000- 2,000	20,000- 50,000	>500,000	> 10,000 ,000
ตัวอย่างของ ผลิตภัณฑ์	จิ้งจก ทรานซิส เตอร์และ ไดโอด	เกท ,ฟิลิป ฟลอป	ตัวนับ มัลติเพลก เซอร์ ตัวบวก	ไมโคร โปรเซส เซอร์ แบบ 8 บิต ROM RAM	ไมโคร โปรเซส เซอร์แบบ 16 บิต และ 32 บิต อุปกรณ์ สนับสนุน เฉพาะแบบ	โปรเซส เซอร์แบบ พิเศษ อุปกรณ์ ประมวล ผลแบบ REAL TIME	

แสดงวิวัฒนาการของวงจรรวม

อีกลักษณะ คือ การพิจารณาว่าวงจรรวมใดที่มีการทำงานใกล้เคียงกับ จุดประสงค์ของวงจรที่ต้องการออกแบบ เลือกวงจรที่ใกล้เคียงกันที่สุด และดูตัวอย่างการประยุกต์ใช้งานของวงจรรวมนั้นๆ จะทำให้สามารถใช้งานวงจรรวมได้มีประสิทธิภาพที่สุด

2. วงจรรวมที่ผลิตใช้เฉพาะงาน (Application Specific ICs)

วงจรรวมประเภทนี้จะถูกผลิตขึ้นเพื่อใช้งานเฉพาะตามแต่ผู้ผลิตต้องการ จะไม่มีการเผยแพร่ข้อมูลวงจรภายในของวงจรรวมให้แก่ผู้ใช่มากพอที่จะนำไปใช้งานได้ หรืออาจจะไม่เปิดเผยเลยเนื่องจากเป็นความลับของผู้ผลิต ผู้ผลิตที่สามารถผลิตวงจรรวมประเภทนี้ได้จะต้องเป็นบริษัทผู้ผลิตขนาดใหญ่ เนื่องจากจะต้องใช้ค่าใช้จ่ายในการลงทุนสูงมาก และหากผลิตจำนวนไม่มาก ต้นทุนของวงจรรวมแต่ละตัวจะสูงมาก แต่ถ้าผลิตจำนวนมากอย่างต่อเนื่อง จะสามารถลดต้นทุนในส่วนนี้ลงได้มาก อย่างไรก็ตามวงจรรวมประเภทนี้ปัจจุบันเป็นที่นิยมอย่างแพร่หลาย อุปกรณ์ไฟฟ้าส่วนใหญ่จะมีวงจรรวมประเภทนี้ประกอบรวมอยู่ด้วยทั้งสิ้น และเป็นอุปกรณ์ที่สำคัญที่ทำให้อุปกรณ์เหล่านั้นมีความสามารถและประสิทธิภาพสูงขึ้น เป็นจุดเด่นของสินค้า ทำให้ได้เปรียบคู่แข่งในประเภทเดียวกัน

และการพัฒนาของวงจรรวมประเภทนี้เปรียบเสมือนการพัฒนาสินค้าให้มีความสามารถสูงขึ้น เนื่องจากวงจรรวมเป็นหัวใจและสมองของอุปกรณ์เหล่านั้น ทำให้การพัฒนาด้านนี้มีการแข่งขันกันสูงมาก เทคโนโลยีด้านนี้จึงพัฒนาไปอย่างรวดเร็ว

อย่างไรก็ตามวงจรรวมประเภทนี้ จะมีขีดจำกัดอยู่ที่ผู้ที่จะสามารถผลิตได้นั้นจะต้องใช้เงินลงทุนจำนวนมาก และค่าใช้จ่ายในการผลิตแต่ละครั้งสูง ทำให้ผู้ผลิตที่มีขนาดปานกลางไม่สามารถจะพัฒนาเทคโนโลยีขึ้นมาใช้งานเองได้ จึงมีผู้คิดค้นประดิษฐ์วงจรรวมแบบ ASIC ที่สามารถออกแบบวงจรและผลิตวงจรรวมที่ต้องการ ขึ้นมาเองได้ โดยค่าใช้จ่ายและขั้นตอนในการผลิตไม่ยุ่งยากนัก ทำให้เราสามารถแยกย่อยวงจรรวมประเภท ASIC ลงไปได้อีกดังนี้

1. Full Custom ASIC

วงจรรวมเฉพาะงานแบบที่ผู้ใช้จะทำการออกแบบวงจรภายในเองทั้งหมด ตามที่ได้กล่าวมาแล้วข้างต้น

2. Semi - Custom ASIC

วงจรรวม ASIC ประเภทนี้ผู้ผลิตได้รวบรวมวงจรพื้นฐานต่าง ๆ เช่น แอนด์เกต ออร์เกต รีจิสเตอร์ ไว้ในวงจรรวม ASIC ตัวเดียวกัน ผู้ใช้ที่ต้องการจะใช้งานและออกแบบวงจรทำได้โดย เชื่อมต่อวงจรพื้นฐานเหล่านั้นภายในชิปเดียวกัน ให้วงจรทำงานตามต้องการ

เทคโนโลยีทางด้านวงจรรวมของ ASIC แบบ Semi-Custom จำแนกออกเป็น 3 กลุ่มใหญ่ๆ ได้แก่

1. Programmable Logic Device (PLD)

วงจรรวมประเภทนี้ ผู้ผลิตได้บรรจุวงจรพื้นฐานประเภทเกท (Logic Gate) แบบต่างๆไว้ในวงจร รวมตัวเดียวกัน ผู้ใช้สามารถเชื่อมโยงวงจรพื้นฐานเหล่านั้นเข้าด้วยกันเป็นวงจรขนาดใหญ่ ที่ทำงานตามต้องการได้ และเมื่อออกแบบเสร็จแล้วก็สามารถผลิตขึ้นใช้เองได้โดยไม่ต้องส่งไปให้โรงงานเพื่อทำการเจียรสไลด์แต่อย่างใด ระยะเวลานับตั้งแต่การออกแบบจนกระทั่งผลิตขึ้นใช้งานสั้นที่สุด เมื่อเทียบกับวงจรรวมแบบ Semi-Custom ASIC อื่น ๆ แต่จะมีขีดจำกัดอยู่ที่ สามารถสร้างวงจรรวมที่มีขนาดปานกลางและไม่ซับซ้อน และจะต้องเป็นวงจรที่ใช้วงจรพื้นฐานทั่วไปที่ผลิตอยู่ใน PLD และมีจำนวนเพียงพอต่อการออกแบบ หากว่าขาดไปเพียงวงจรเดียวก็ไม่สามารถนำ PLD มาใช้งานได้ การผลิตแต่ละครั้งจะได้จำนวนไม่มาก เหมาะสำหรับงานขนาดเล็ก หรืองานค้นคว้าทดลอง ไม่เหมาะสำหรับงานเชิงพาณิชย์

2. Gate Array วงจรรวมประเภทนี้ ผู้ผลิตได้บรรจุวงจรพื้นฐานประเภทเกท (Logic Gate) แบบต่างๆไว้ในวงจร รวมตัวเดียวกัน และวงจรบางส่วนได้ถูกนำมาต่อรวมกันไว้เป็นกลุ่มของวงจรดิจิทัลที่ใช้งานทั่วไป ได้แก่ วงจรแลตช์ วงจรดีโคเดอร์ วงจรรีจิสเตอร์ เป็นต้น กลุ่มวงจรดิจิทัลที่ต่อรวมกันอยู่ภายใน Gate array เหล่านี้เรียกว่า Macro-cell หรือ Logic Cell ผู้ใช้มีหน้าที่ออกแบบต่อสายเชื่อมโยงระหว่าง Macro cell แต่ละตัวเข้าด้วยกันให้เป็นวงจรดิจิทัลที่มีขนาดใหญ่ ที่สามารถทำงานได้ตามความต้องการ แล้วส่งข้อมูลการเชื่อมต่อไปยังผู้ผลิตเพื่อทำการเจียรสไลด์ต่อไป การออกแบบวงจรรวมโดยใช้ Gate Array นี้ ผู้ใช้จะต้องมีข้อมูลเกี่ยวกับวงจรที่บรรจุอยู่ในวงจรรวมนั้น ซึ่งตามปกติผู้ผลิตจะส่งมาให้โดยไม่คิดค่าใช้จ่าย แต่เนื่องจากวงจรรวมเหล่านี้ต้องเจียรสไลด์โดยผู้ผลิตทำให้ต้นทุนในการผลิตแต่ละครั้งจะสูงขึ้น จึงเหมาะสมสำหรับการออกแบบเชิงพาณิชย์ที่มีปริมาณการผลิตสูง

3. Standard Cell

วงจรรวมประเภท Standard Cell ผู้ใช้จะเป็นผู้เลือกกลุ่มวงจรต่าง ๆ เช่น วงจรลอจิกเกท วงจรฟลิป ฟล็อป ตัวนับ หน่วยความจำ ไมโครโปรเซสเซอร์ จากแฟ้มข้อมูลคอมพิวเตอร์ของผู้ผลิตที่บรรจุกลุ่มวงจรเหล่านี้ไว้ แล้วนำมาออกแบบเชื่อมต่อกันให้เป็นวงจรได้ตามที่ต้องการ โดยใช้คอมพิวเตอร์ช่วยในการออกแบบ กลุ่มวงจรเหล่านี้เรียกว่า Standard Cell กลุ่มวงจรเหล่านี้จะผ่านการออกแบบและทดสอบการทำงานจากผู้ผลิตมาเรียบร้อยแล้ว ผู้ผลิตจะทำการออกแบบวงจรเหล่านั้นให้ใช้พื้นที่ซิลิกอนน้อยที่สุด และเป็นประโยชน์มากที่สุด การออกแบบ

แบบจะต้องอาศัยประสบการณ์และความชำนาญในการออกแบบสูง ใช้เวลาในการออกแบบนาน ต้นทุนการผลิตจะสูงมาก เหมาะสำหรับการออกแบบที่มีปริมาณสูงมาก

1.2 ที่มาของงานวิจัย

การประมวลผลสัญญาณภาพนั้น นับว่าเป็นศาสตร์แขนงหนึ่งที่เป็นการศึกษาเกี่ยวกับการทำให้อุปกรณ์อิเล็กทรอนิกส์ คอมพิวเตอร์ ที่ประดิษฐ์ขึ้นสามารถรับรู้เข้าใจและสามารถนำภาพที่ต้องการมาใช้ประโยชน์ได้ เช่นเดียวกับที่มนุษย์รับรู้และเข้าใจ และนำการมองเห็นมาใช้ให้เป็นประโยชน์ รวมไปถึงการนำข้อมูลภาพที่ได้มาทำการวิเคราะห์ตรวจสอบเพื่อจุดประสงค์ตามที่ต้องการ เช่น การตรวจสอบระยะไกล การมองเห็นของหุ่นยนต์ การถ่ายเอ็กซเรย์สมองด้วยคอมพิวเตอร์ เป็นต้น

การประมวลผลสัญญาณภาพได้มีการคิดค้นขึ้นมาพร้อมกับ การเริ่มประยุกต์วงจรดิจิทัลและไมโครโปรเซสเซอร์ให้ใช้งานร่วมกับสัญญาณอนาลอก โดยเปลี่ยนสัญญาณเหล่านั้นให้อยู่ในรูปของข้อมูลทางดิจิทัลและนำข้อมูลเหล่านั้นมาทำการประมวลผลตามวัตถุประสงค์และความต้องการใช้งาน โดยที่สัญญาณเหล่านั้นจะได้มาจากการเปลี่ยนรูปพลังงาน ต่างๆมาเป็นพลังงานไฟฟ้าก่อนแล้ว เช่น ความร้อน ความดัน เสียง ความเข้มของแสง ให้เป็นสัญญาณไฟฟ้า หลังจากนั้นจึงนำสัญญาณไฟฟ้าไปเปลี่ยนเป็น สัญญาณทางดิจิทัล เพื่อนำไปประมวลผล ซึ่งการประมวลผลจะต้องให้ผลลัพธ์ที่เที่ยงตรงมากน้อยเพียงใดขึ้นอยู่กับความเที่ยงตรงของข้อมูลเป็นอันดับแรก และกระบวนการที่จะนำมาซึ่งสัญญาณอาจจะมีผลผิดพลาดเกิดขึ้นได้ และจะส่งผลให้การประมวลผลนั้นไม่สมบูรณ์

สาเหตุของลักษณะการผิดพลาดที่เกิดขึ้นนั้นอาจจะมีหลายรูปแบบ และสาเหตุสำคัญอันหนึ่งคือการเกิดสัญญาณรบกวน และความผิดพลาดลักษณะนี้ สามารถแก้ไขให้ลดน้อยลงได้ด้วยกรรมวิธีการประมวลผลสัญญาณ สำหรับวิทยานิพนธ์ฉบับนี้จะพิจารณาถึงเฉพาะสัญญาณภาพ และการประมวลผลสัญญาณภาพโดยใช้ วงจรกรองสัญญาณรบกวนที่ไม่ต้องการออกโดยปกติแล้วสัญญาณรบกวนที่เกิดขึ้นในสัญญาณภาพนั้นสามารถตรวจจับได้ไม่ยากนักเพราะว่าธรรมชาติของสัญญาณภาพโดยทั่วไปจะมีขนาด (Amplitude) อยู่ในระดับที่ใกล้เคียงกันจะไม่แตกต่างกันมาก ถ้าหากส่วนใดมีสัญญาณรบกวนก็จะทำให้สัญญาณในส่วนนั้นจะสูงหรือต่ำกว่าปกติจนทำให้เป็นที่สังเกตและตรวจสอบได้ ซึ่งอาจจะกล่าวได้ว่าสัญญาณภาพส่วนใดมีขนาดแตกต่างกับสัญญาณในบริเวณใกล้เคียง แสดงว่าส่วนนั้นคือสัญญาณรบกวน การที่

จะลดสัญญาณรบกวนก็หมายถึงการลดสัญญาณภาพที่มีขนาดผิดแผกจากสัญญาณใกล้เคียงออกไป

วงจรกรองสัญญาณสามารถนำไปใช้ประโยชน์ได้ดี และมีประสิทธิภาพในการลดข้อผิดพลาดของข้อมูลภาพลงไปได้ และทำให้ข้อมูลภาพต้นฉบับมีการเปลี่ยนแปลงน้อยที่สุด วงจรกรองแบบมัธยฐาน (Median Filter) เป็นวงจรกรองสัญญาณแบบดิจิทัล (Digital Filter) ที่มีผู้นิยมใช้กันมาก โดยมีหลักการทำงานในเชิงคณิตศาสตร์ องค์ประกอบของวงจรเกือบทั้งหมดสามารถประยุกต์ลงสู่วงจรดิจิทัลได้ง่าย อีกทั้งยังมีประสิทธิภาพในการลดสัญญาณรบกวนเป็นอย่างดี และที่สำคัญลักษณะการทำงานของวงจรกรองแบบมัธยฐานเหมาะสมต่อลักษณะข้อมูลสัญญาณภาพเป็นอย่างยิ่ง เนื่องจากข้อมูลของสัญญาณภาพมีอัตราการเปลี่ยนแปลงต่ำ และการแยกสัญญาณรบกวนออกจากสัญญาณภาพออกได้โดยพิจารณาถึงขนาดของข้อมูลเป็นนัยสำคัญ

1.3 วัตถุประสงค์ของงานวิจัย

วัตถุประสงค์ที่สำคัญของงานวิจัยนี้ คือการนำเทคโนโลยีทางด้าน VLSI มาประยุกต์ใช้สำหรับงานที่เหมาะสม ซึ่งวิทยานิพนธ์ฉบับนี้ได้นำเทคโนโลยีด้าน VLSI มาประยุกต์ใช้งานประมวลผลสัญญาณภาพ ซึ่งโดยคุณสมบัติของวงจรกรองสัญญาณแบบมัธยฐานนั้นมีคุณสมบัติเหมาะสมเป็นอย่างยิ่ง กล่าวคือมีขีดจำกัดสำหรับการสร้างขึ้นด้วยอุปกรณ์ทั่วไปเนื่องจากวงจรมีความซับซ้อน มีขนาดใหญ่และใช้อุปกรณ์จำนวนมาก ทำให้ไม่สะดวกและอาจจะผิดพลาดได้ง่าย อีกประการหนึ่งลักษณะของวงจรโดยรวมจะมีลักษณะใช้อุปกรณ์ซ้ำกันเป็นจำนวนมาก สามารถประยุกต์เป็นวงจรรวมได้ไม่ยากนัก

ซึ่งเมื่อพิจารณาถึงความเหมาะสมแล้วจึงเห็นว่า ควรจะนำเทคโนโลยี VLSI มาประยุกต์ใช้ สำหรับการศึกษาถึงขั้นตอน และวิธีการ รวมไปถึงปัญหาและอุปสรรคต่างๆ ที่อาจจะเกิดขึ้น

อย่างไรก็ตามวงจรกรองสัญญาณภาพ ที่มีข้อมูลเข้าในลักษณะ 2 มิติและข้อมูลเข้ามาอย่างต่อเนื่องเป็นลำดับ จะต้องมียังวงจรที่ทำหน้าที่ควบคุมจังหวะของข้อมูลในวงจร เพื่อป้องกันเข้าสู่วงจรที่ทำหน้าที่กรองข้อมูลอย่างมีประสิทธิภาพ วิทยานิพนธ์ฉบับนี้ได้นำวงจรควบคุมลำดับสัญญาณดังกล่าวออกแบบมาเป็นวงจรรวม เพื่อนำไปใช้กับโอเพอร์เรเตอร์ข้อมูล 2 มิติต่อไป

บทที่ 2

ทฤษฎี

2.1 เทคโนโลยี VLSI

สำหรับอุปกรณ์อิเล็กทรอนิกส์ ที่ใช้เทคโนโลยี VLSI ถ้าจะพิจารณากันในรายละเอียดแล้ว นั่นก็คือการพัฒนาการออกแบบทรานซิสเตอร์ให้มีความหนาแน่นสูง และเชื่อมต่อกันเป็นวงจรสำเร็จรูปบนบรรจุภัณฑ์เดียวกัน ดังนั้นประสิทธิภาพของ VLSI จึงขึ้นอยู่กับว่า จะเลือกใช้เทคโนโลยีทรานซิสเตอร์แบบใดมาใช้กับวงจรรวมนั้น สำหรับเทคโนโลยีของการออกแบบทรานซิสเตอร์ก็มีอยู่หลายแบบ ซึ่งก็มีข้อดีข้อเสียแตกต่างกันดังนี้

1. SCHOTTKY TTL พัฒนาขึ้นมาจากเทคโนโลยีการออกแบบ ไบโพลารทรานซิสเตอร์ การทำงานของวงจรอาศัยการนำกระแส และแรงดันของทรานซิสเตอร์ในช่วงอิมิตัวเป็นหลัก ข้อดีของทรานซิสเตอร์แบบนี้คือ ความเร็วในการทำงานสูง ส่วนข้อเสียคือ ขนาดของทรานซิสเตอร์ที่ได้ จะมีขนาดใหญ่

2. ECL (Emitter Coupler Logic) พัฒนามาจากทรานซิสเตอร์แบบไบโพลารทรานซิสเตอร์เช่นเดียวกับแบบแรก แต่จะใช้ช่วงการทำงานของทรานซิสเตอร์ในช่วงที่การทำงานอยู่ในช่วง เชิงเส้น ข้อดีของทรานซิสเตอร์แบบนี้คือ ความเร็วในการทำงานสูงมาก แต่สิ้นเปลืองกำลังงานสูงกว่า

3. MOS (Metal Oxide Semiconductor) เป็นทรานซิสเตอร์ที่สร้างขึ้นโดยใช้ อ็อกไซด์ของสารกึ่งตัวนำ การทำงานของทรานซิสเตอร์ชนิดนี้จะอาศัยการเคลื่อนที่ของประจุ โดยประจุจะเคลื่อนที่ไปตามช่องที่จัดไว้โดยการเหนี่ยวนำของแรงดันไฟฟ้าจากภายนอกต่างกับทรานซิสเตอร์แบบไบโพลาร์ ที่อาศัยกระแสไฟฟ้าในการทำงาน ทรานซิสเตอร์แบบ MOS จะจำแนกได้ตามลักษณะของประจุข้าง คือ NMOS และ PMOS ซึ่งจะมีประจุลบและประจุบวกเป็นประจุข้างมากตามลำดับ นอกจากนี้ยังมีวงจรที่มีการผสมกันระหว่างทรานซิสเตอร์แบบ NMOS และ PMOS เรียกว่า CMOS (Complementary MOS) ทรานซิสเตอร์ประเภท MOS จะสิ้นเปลืองกำลังงานต่ำมาก

สำหรับทรานซิสเตอร์แบบไบโพลาร์ ซึ่งประกอบด้วยสารกึ่งตัวนำมาต่อกันนั้น มีขีดจำกัดในด้านขนาดและโครงสร้าง รวมไปถึงกำลังงานสิ้นเปลืองที่เกิดขึ้น จึงไม่เหมาะที่จะนำมาเป็นวงจรรวมที่มีทรานซิสเตอร์จำนวนมาก ส่วนทรานซิสเตอร์แบบ MOS นั้นทำงานโดยอาศัยแรงดันเป็นหลัก และใช้ประจุชนิดเดียว อีกทั้งโครงสร้างทางกายภาพ ประกอบขึ้นจากชั้นของสารกึ่งตัวนำ จึงสามารถนำมาทำเป็นวงจรรวมได้ดีกว่า

2.2 ขั้นตอนการผลิตทรานซิสเตอร์แบบ MOS

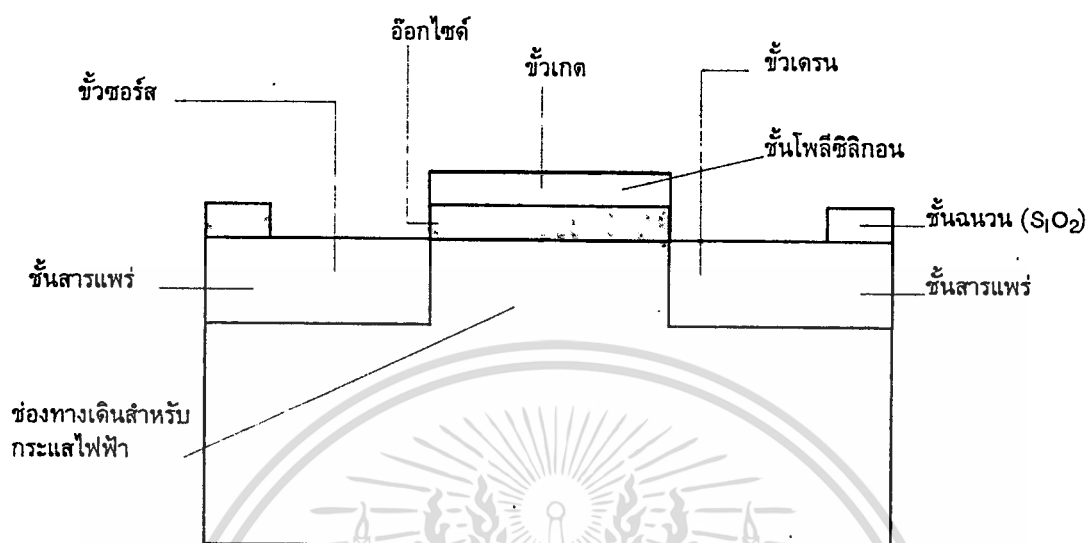
เนื่องจากวงจรรวมแบบ VLSI มีโครงสร้างพื้นฐานจาก ทรานซิสเตอร์แบบ MOS ดังนั้น หากจะศึกษาถึงโครงสร้างของวงจรรวม จึงสามารถศึกษาได้จากโครงสร้างพื้นฐานของ ทรานซิสเตอร์แบบ MOS การทำงานของทรานซิสเตอร์แบบ MOS จะเป็นดังรูปที่ 2.1 โดยตัวทรานซิสเตอร์ประกอบไปด้วยส่วนต่างๆ 7 ส่วน คือ ซอร์ส เทรน เกต ฐานของ ทรานซิสเตอร์ ชั้นฉนวน ชั้นสารแพร่ และชั้นโพลีซิลิกอน

กระแสจะไหลจาก ซอร์สไปเทรนผ่านช่องแคบของทรานซิสเตอร์ ช่องแคบนี้จะประจุไปด้วยประจุลบซึ่งเกิดจากการเหนี่ยวนำไฟฟ้าที่เกิด และเนื่องจากทรานซิสเตอร์ทำงานด้วยการเหนี่ยวนำประจุลบ ดังนั้นฐานของทรานซิสเตอร์ จะต้องเป็นฐานที่มีคุณสมบัติแบบ P โดยสารที่ใช่ทำคือ สาร P ที่ใช้ในทรานซิสเตอร์แบบไบโพลาร์

2.2.1 ทรานซิสเตอร์แบบ CMOS

วงจรรวมทรานซิสเตอร์แบบ CMOS ต่างจากวงจรรวมทรานซิสเตอร์แบบ NMOS ตรงที่ว่าแทนที่จะใช้ทรานซิสเตอร์แบบ NMOS เพียงอย่างเดียวในการสร้างวงจร เราจะผสมทรานซิสเตอร์แบบ PMOS และ NMOS เข้ามาในวงจรด้วย เพื่อลดกำลังสูญเสียของวงจร ดังนั้นจึงจำเป็นต้องหาวิธีการสร้าง NMOS และ PMOS ให้อยู่บนแผ่น ซิลิกอนแผ่นเดียวกัน ถ้าสังเกตจะพบว่าทรานซิสเตอร์แบบ NMOS ซึ่งทำงานด้วยการเหนี่ยวนำของประจุลบ ในขณะที่ทรานซิสเตอร์แบบ PMOS ทำงานด้วยการเหนี่ยวนำของประจุบวก ฉะนั้นทรานซิสเตอร์แบบ NMOS จะต้องสร้างอยู่บนฐานแบบ P และ ทรานซิสเตอร์แบบ PMOS จะต้องสร้างอยู่บนฐานแบบ N แนวคิดดังกล่าวข้างต้น การสร้าง CMOSจึงทำขึ้นโดยการสร้าง PMOS บนฐานแบบ N และสร้าง NMOS บนบ่อแบบ P ซึ่งฝังอยู่ในฐานแบบ N อีกที บ่อแบบ P สร้างขึ้นโดยใช้การอัดสารกึ่งตัวนำให้ประจุบวกลงในฐานแบบ N

ภาพที่ 1



แสดงหน้าตัดของทรานซิสเตอร์แบบ MOS

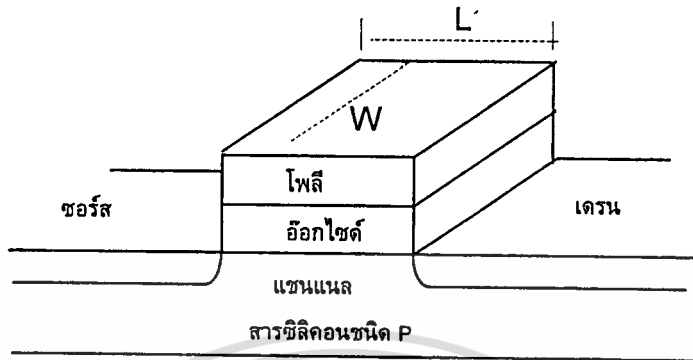
2.2.2 โครงสร้างของทรานซิสเตอร์แบบ MOS

โครงสร้างของทรานซิสเตอร์แบบ NMOS แสดงในภาพที่ 1 ประกอบด้วย คิวพัวชั้น 2 แอง ที่กั้นลึกลงในชั้นซิลิกอนแบบ P แองทั้งสองนี้จะเป็นส่วนที่เรียกว่า ซอร์ส (Source) และ เดรน (Drain) หรืออีกนัยหนึ่ง เส้นโลหะหรือเส้นโพลีที่ต่อจาก 2 แองนี้จะ เป็น ซอร์สและเดรน ระหว่างสองแองนี้จะมีชั้นซิลิกอน ไดออกไซด์ และชั้นโพลีทาบบอยู่ตาม ลำดับ โดยที่ซิลิกอนไดออกไซด์คั่นอยู่ตรงกลาง ชั้นโพลีนี้เรียกว่า เกต (Gate) ของ ทรานซิสเตอร์ ประจุบนเกตจะเป็นตัวควบคุมการไหลของกระแสระหว่างซอร์ส และเดรน ส่วนสำหรับ ทรานซิสเตอร์ ที่เป็นแบบ PMOS ก็จะกลับกันโดยที่แองที่ทำหน้าที่เป็น ซอร์ส และเดรนและเป็นสารชนิด P และในส่วนที่เป็นฐานจะเป็นสารชนิด N ดังแสดงในภาพที่ 1

ขนาดของทรานซิสเตอร์

สำหรับทรานซิสเตอร์ในวงจรรวม สามารถระบุขนาดของทรานซิสเตอร์ที่ใช้โดยการ ระบุความยาว L และความกว้าง W โดยขนาดดังกล่าวจะเป็นขนาดของ โพลีซิลิกอนที่นำมาทำ เป็นเกตของทรานซิสเตอร์นั้นดังแสดงในภาพที่ 2

ภาพที่ 2



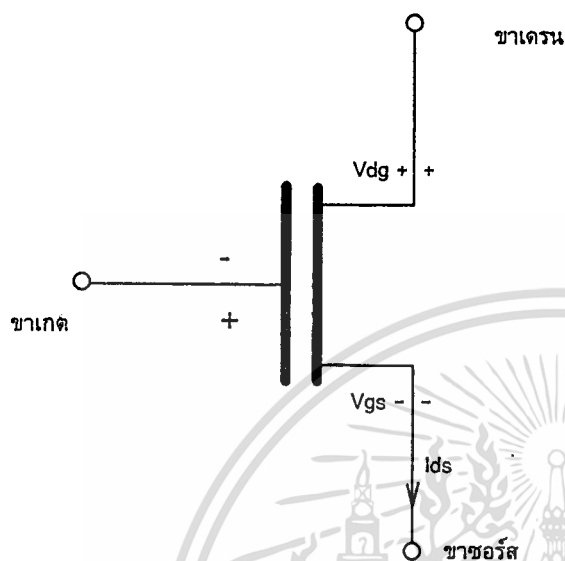
แสดงขนาดของทรานซิสเตอร์ MOSFET กำหนดด้วยมิติ $W \times L$

การสร้างทรานซิสเตอร์ในวงจร VLSI

จากโครงสร้างของทรานซิสเตอร์แบบ MOS เราได้นำมาออกแบบเป็นลักษณะของวงจรรวม โดยที่จะมีส่วนประกอบขึ้นมาจาก ชั้นของสารกึ่งตัวนำ 3 ชั้น โดยประกอบด้วย

- ชั้นสารแพร่ (Diffusion) จะมีทั้งสารแพร่แบบ N และแบบ P ตามคุณสมบัติของทรานซิสเตอร์ที่ต้องการสร้าง

ภาพที่ 3



แสดงสัญลักษณ์ของทรานซิสเตอร์แบบเอ็นมอส เอนฮานซ์เมนต์

- ชั้นโพลีซิลิกอน
- ชั้นเส้นโลหะ (Metal) เป็นชั้นของตัวนำที่เชื่อมต่อระหว่างทรานซิสเตอร์ในวงจร

รวมการสร้างทรานซิสเตอร์จะกระทำจากชั้นสารแพร่ก่อน แล้วตามด้วยโพลีซิลิกอน และตามด้วยชั้นโลหะ โดยที่สารชั้นต่างๆจะมีปฏิกิริยาต่อกันคือ ถ้าเส้นโพลีซิลิกอนตัดกับสารแพร่จะเกิดเป็นทรานซิสเตอร์ที่เรียกว่า FET (Field Effect Transistor) นอกจากนั้นสารต่างๆจะมีปฏิกิริยาต่อกันและมีคุณสมบัติทั่วไปดังนี้

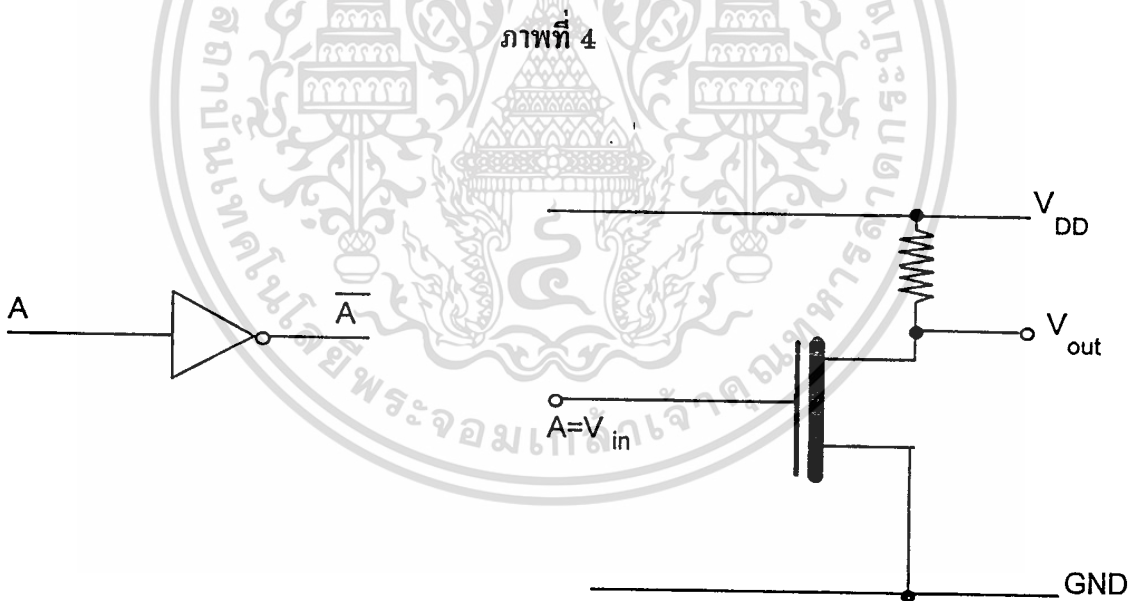
- เส้นโลหะจะไม่มีปฏิกิริยากับสารอื่น ไม่ว่าจะเป็นโพลีหรือดีฟฟิวชัน
- กระแสไฟฟ้าที่ไหลระหว่างเส้น ต่างชั้นกัน จะกระทำได้โดยผ่าน คอนแทกคัท หรือ เวีย (Via)
- เส้นดีฟฟิวชันจะมีค่าคาปาซิแตนซ์มากกว่าเส้นโพลีและเส้นโลหะ และเส้นโพลีและเส้นดีฟฟิวชันจะมีค่าความต้านทานมากกว่าเส้นโลหะ
- สำหรับค่า V_{DD} และค่ากระแสไฟฟ้าค่าหนึ่ง ความเร็วของสัญญาณในเส้นโลหะจะมากกว่าความเร็วของสัญญาณในชั้นโพลี ซึ่งจะมากกว่าความเร็วของสัญญาณในเส้นดีฟฟิวชันด้วย

- เส้นโลหะใช้ต่อกับ V_{DD} และต่อกับสายดินหรือกราวด์ สำหรับสัญลักษณ์ของทรานซิสเตอร์แสดงเป็นตัวอย่างในภาพที่ 3

2.3 การออกแบบวงจรดิจิทัลให้อยู่ในรูปของวงจรทรานซิสเตอร์

จากที่ทราบแล้วว่า วงจรรวมมีพื้นฐานจากวงจรทรานซิสเตอร์แบบ MOS นำมาต่อเชื่อมกันบนชิพอันเดียวกัน ดังนั้นการที่จะนำวงจรดิจิทัลมาออกแบบให้อยู่ในรูปของวงจรรวมนั้น ขั้นตอนแรกสุดก็ต้องเปลี่ยนวงจรดิจิทัลที่อยู่ในรูปของสัญลักษณ์ทางตรรก ให้อยู่ในรูปของวงจรทรานซิสเตอร์เสียก่อนจึงจะสามารถนำมาทำการออกแบบเป็นวงจรรวมได้ ดังตัวอย่างวงจรอินเวอร์เตอร์

วงจรอินเวอร์เตอร์ คือวงจรกลับสัญญาณ ทำให้สัญญาณต่ำเป็นสัญญาณสูง หรือสัญญาณสูงเป็นสัญญาณต่ำ เราสามารถออกแบบวงจรทรานซิสเตอร์ที่ทำหน้าที่เป็นอินเวอร์เตอร์ได้ดังนี้



แสดงวงจรอินเวอร์เตอร์

การทำงานของวงจรอินเวอร์เตอร์สามารถสรุปได้ดังนี้

1. ถ้า $V_{in} > V_t$ โดย V_t คือ Threshold Voltage

- ทรานซิสเตอร์จะนำกระแส

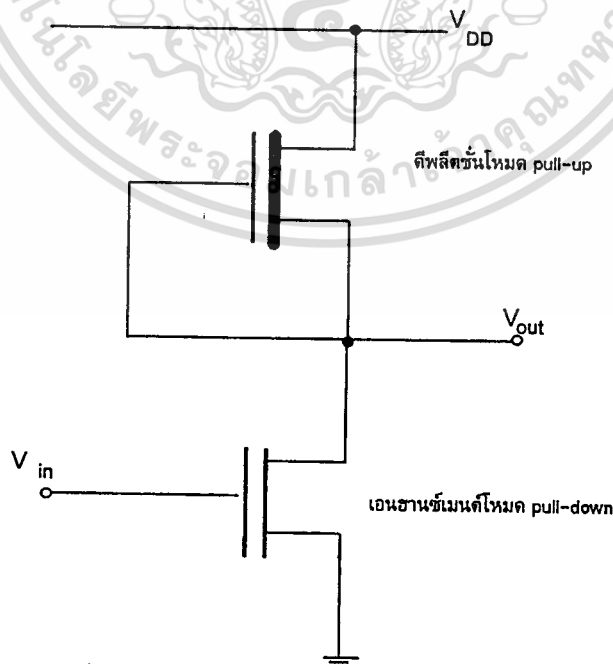
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- I_{ds} จะไหลจาก V_{DD} ไปยังกราวด์
- ค่าความต้านทานระหว่างเดรนและซอร์สจะต่ำมาก
- V_{out} ประมาณเท่ากับ 0 มนกรณีนี้เราเรียกว่า V_{out} ได้รับการ Pull down

2. ถ้า $V_{in} < V_t$

- ทรานซิสเตอร์จะ ไม่นำกระแส นั่นคือความต้านทานระหว่างเดรนและซอร์สจะสูงมาก
 - V_{out} จะประมาณเท่ากับ V_{DD} ในกรณีนี้เราเรียกว่า V_{out} ได้รับการ Pull Up ไปยัง V_{DD}
- จากรูปที่เห็นเป็นวงจรพื้นฐานที่สุดในการสร้างอินเวอร์เตอร์ แต่วงจรลักษณะนี้ไม่เหมาะสมสำหรับการทำเป็นวงจรรวมเนื่องจาก มีส่วนประกอบของตัวต้านทานซึ่งจะต้องใช้พื้นที่ในการสร้างมาก ดังนั้นจึงได้ทำการปรับปรุงวงจรให้มีเฉพาะตัวทรานซิสเตอร์ดังแสดงในรูปที่ 2.4 โดยจะใช้ทรานซิสเตอร์แบบดีฟลิตชันโหนดเป็นภาระของวงจรแทนตัวต้านทาน ซึ่งการต่อโยงเกตไปยังซอร์สของดีฟลิตชันโหนด Pull Up นั้นจะทำให้ค่า Threshold Voltage ของทรานซิสเตอร์ตัวนี้มีค่าเป็นลบ นั่นคือ $V_{gs} > V_t$ แล้ว ทรานซิสเตอร์ดีฟลิตชันโหนดจะไม่นำกระแสเนื่องจาก V_{gs} มีค่าเป็นลบมากกว่า V_t

ภาพที่ 5



แสดงวงจรอินเวอร์เตอร์ที่ใช้ตัว pull-down แบบเอนฮานซ์เมนต์และตัว pull-up

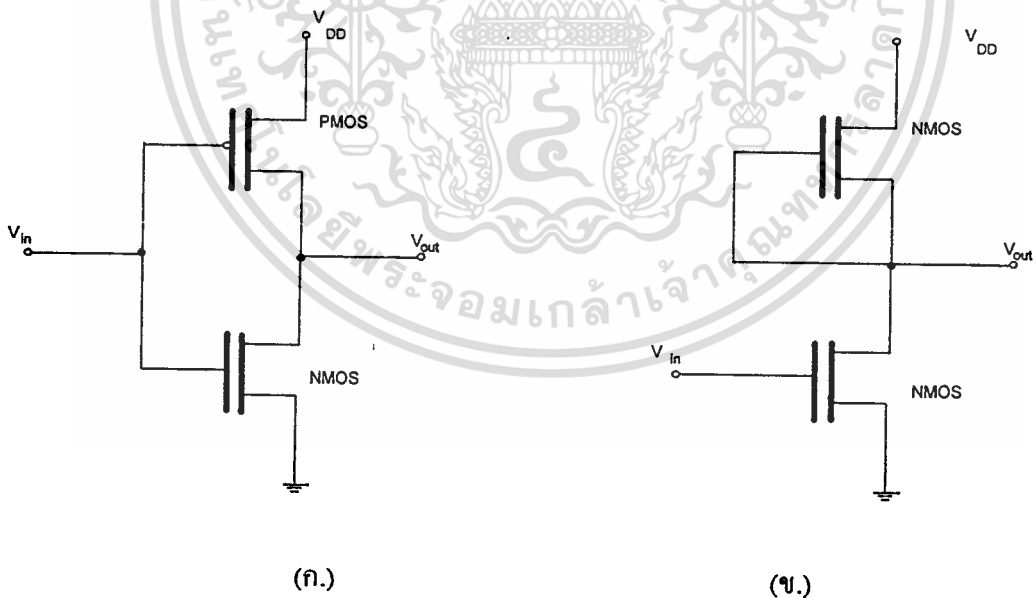
เอกสารแบบ ดีฟลิตชัน ที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปกติแล้วเราจะเดินสาย V_{DD} และ กราวนด์โดยใช้เส้นโลหะ เส้นโลหะมีข้อจำกัดในการรับกระแส กล่าวคือปัญหาเรื่องโลหะไหล (Metal Migration) ซึ่งเป็นปรากฏการณ์ที่จะเกิดขึ้นถ้ากระแสไหลมากเกินไปจนเกิดความร้อน อะตอมของโลหะจะไหลเคลื่อนเร็วขึ้นจนทำให้เส้นทางเดินของกระแสจะเล็กลงไปเรื่อยๆจนเส้นโลหะจะขาดไปในที่สุด

2.4.5 วงจร CMOS

จะเห็นได้ว่าทุกครั้งที่ยังวงจร NMOS อยู่ในสถานะทำงาน จะมีกระแสไหลผ่าน I_{pu} มากทำให้เกิดกำลังงานจำนวนมากใน ทรานซิสเตอร์ pull-up ซึ่งทำหน้าที่เป็นตัวต้านทานจำกัดกระแส ปัญหาที่สนใจก็คือ การทำอย่างไรจึงจะลดกำลังที่ ทรานซิสเตอร์ pull-up ได้ ทรานซิสเตอร์นั้นทำงานโดยอาศัยการเหนี่ยวนำแรงดันที่เกิด ซึ่งด้วยคุณสมบัตินี้เราสามารถแทน ทรานซิสเตอร์ pull-up ในวงจร NMOS ด้วย PMOS โดยที่ทรานซิสเตอร์แต่ละตัวจะสลับกันทำงานและไม่ทำงาน ทำให้ในขณะที่ตัวใดกระแสอยู่ ณ นั้น จะได้ไม่ต้องรับภาระกระแสที่ไหลผ่านขอร์สกับเดรนมาก

ภาพที่ 6



(ก.) แสดงตัวอย่างวงจรอินเวอร์เตอร์แบบ CMOS (ข.)แสดงตัวอย่างวงจรอินเวอร์เตอร์แบบ NMOS

ในเทคโนโลยีของ NMOS จะมีเกตหลักๆอยู่ 3 ชนิดคือ NAND , NOR และ NOT เกต การออกแบบวงจรอย่างพื้นฐานสำหรับเกตเหล่านี้จะประกอบด้วย 2 ส่วนหลัก คือวงจร pull-Up หรือ โหลด และวงจร Pull-Down ดังที่กล่าวมาแล้วข้างต้น วงจร pull-Down จะทำหน้าที่ควบคุมสถานะของลอจิกในวงจรรวม ถ้าต่อทรานซิสเตอร์อย่างอนุกรมจะได้คุณสมบัติของเกต NAND แต่ถ้าต่อแบบขนานจะได้คุณสมบัติของเกต NOR ส่วนวงจร pull-Up จะทำงานอยู่ในช่วงดีฟลิตชันโหมดซึ่งต่างจากวงจร pull-Down ที่ทรานซิสเตอร์ในวงจรจะทำงานในช่วงเอนฮานซ์โหมดข้อแตกต่างของทรานซิสเตอร์ทั้งสองแบบคือ ดีฟลิตชันทรานซิสเตอร์จะมีชั้นสารชนิด N ภายใต้เกตของทรานซิสเตอร์ ชั้นสารชนิด N นี้ถูกสร้างโดยการเติมประจุผ่านชั้นซิลิกอนไดออกไซด์ ทำให้ในสภาวะปกติจะมีกระแสไหลผ่าน ระหว่างเดรนกับซอร์ส ของทรานซิสเตอร์ เมื่อมีสัญญาณที่เกต เปลี่ยนสถานะจาก 1 เป็น 0 สัญญาณขาออกจะเป็น 1 ได้เร็วกว่าใช้เอนฮานซ์โหมดทรานซิสเตอร์ หรือใช้ความต้านทาน เนื่องจากเมื่อ V_{gs} เริ่มเปลี่ยนเป็น 0 ดีฟลิตชันโหมดทรานซิสเตอร์ยังคงนำกระแสอยู่ในเมื่อเอนฮานซ์โหมดทรานซิสเตอร์จะเริ่มหยุดนำกระแส

2.4 ขั้นตอนการผลิตวงจรรวม

วงจร VLSI เป็นวงจรที่มีความซับซ้อนของจำนวนทรานซิสเตอร์สูงมาก ดังนั้นในการออกแบบเพื่อให้บรรลุจุดมุ่งหมายของงานจึงจำเป็นต้องมีระบบการออกแบบที่ดี ระบบการออกแบบที่ดีควรจะเป็นระบบการออกแบบที่สามารถแบ่งย่อยออกเป็น ขั้นตอนต่างๆได้ แต่ละขั้นตอนจะสามารถกระทำต่อเนื่องกัน ขั้นตอนก่อนจะส่งผลที่ได้ไปยังขั้นตอนต่อไป ซึ่งขั้นตอนถัดไปจะทำหน้าที่เพิ่มรายละเอียดการผลิตจากขั้นตอนที่ผ่านมาได้

สำหรับขั้นตอนการออกแบบวงจรรวม พอลจะสรุปเป็นหลักการและขั้นตอนได้ดังนี้

1. กำหนดขอบเขตการทำงานของวงจรที่ต้องการ ในขั้นตอนนี้หมายถึงการได้พิจารณาความต้องการต่างๆ เงื่อนไขและสามารถระบุลักษณะสัญญาณ อินพุต เอาท์พุต ให้เป็นเงื่อนไขทางตรรก สำหรับวงจรคอมไบเนชัน และเงื่อนไขตามลำดับเวลา สำหรับวงจรแบบซี ควอนเทียล

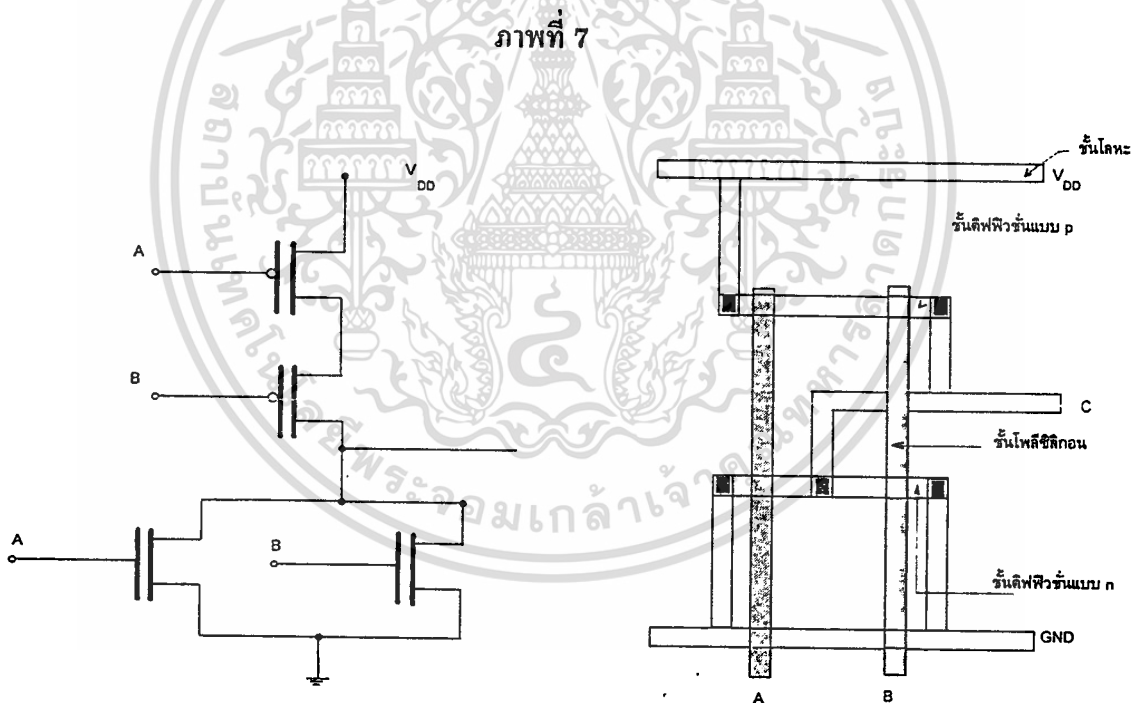
2. ทำการออกแบบวงจรที่สามารถ ทำงานได้ตามเงื่อนไขในขั้นตอนที่ 1 ได้ ว่าวงจรจะเป็นลักษณะใดที่จะประหยัดที่สุด

3. นำวงจรที่ออกแบบได้จากขั้นตอนที่ 2 มาทำการเปลี่ยนเป็น วงจรทรานซิสเตอร์ ซึ่งจะต้องพิจารณา ครอบคลุมไปถึงความเร็วของสัญญาณ เวลาหน่วงและปริมาณกระแสไหลเข้า ปริมาณกระแสไหลออกด้วย

4. นำวงจรทรานซิสเตอร์ที่ได้จากขั้นตอนที่ 3 มาออกแบบเป็นเลย์เอาต์ ของการวางและตำแหน่งของชิ้นสารต่างๆตามวงจร รวมไปถึงการเชื่อมต่อระหว่างทรานซิสเตอร์ต่างๆเข้าด้วยกันจนเป็นวงจร และที่สำคัญคือ จะต้องจัดวางตำแหน่งของสารต่าง ๆ ให้พื้นที่โดยรวมของวงจรรวมทั้งหมด น้อยที่สุด จึงจะถือได้ว่าการออกแบบมีประสิทธิภาพ

5. นำเลย์เอาต์ ที่ได้จากข้อ 4 ส่งไปยังโรงงานผู้ผลิตวงจรรวม ซึ่งผู้ผลิตจะมีกรรมวิธีในการนำ เลย์เอาต์ ที่ได้ไปทำการเจียรลงบนแผ่น ซิลิกอนชิปให้เป็นวงจรรวมที่สามารถใช้งานได้ต่อไป

สำหรับตัวอย่าง ของเลย์เอาต์ของวงจรทรานซิสเตอร์แสดงดังภาพที่ 7



แสดงตัวอย่างเลย์เอาต์ของ เกตแบบ NOR

บทที่ 3

การประมวลผลสัญญาณภาพ

3.1 การประมวลผลสัญญาณภาพ

สัญญาณภาพคือ สัญญาณไฟฟ้าที่ได้รับมาจากการเปลี่ยนแปลงความเข้มของแสง ณ จุดที่ตรวจจับของตัวตรวจจับ (Transducer) เป็นไปในรูปของการเปลี่ยนแปลงทางไฟฟ้า อาจจะอยู่ในรูปของ กระแส แรงดัน หรือความต้านทาน ซึ่ง ขึ้นอยู่กับคุณสมบัติของตัวตรวจจับที่ใช้ สัญญาณภาพที่ได้จะบอกถึงระดับความเข้มของแสง หรือความสว่างว่ามีปริมาณมากน้อยเท่าไร สำหรับในกรณีที่เป็นสัญญาณภาพ ขาว-ดำ (Gray Scale) และระดับความเข้มของแม่สีแสงทั้ง 3 สี ในกรณีที่เป็นสัญญาณภาพสี (True Color) ซึ่งมนุษย์ได้รู้จักการนำสัญญาณภาพมาใช้งานเป็นเวลานาน เช่น วิทยุโทรทัศน์ ที่ทำการส่งผ่านสัญญาณภาพจากต้นกำเนิดไปยังเครื่องรับที่อยู่ระยะไกล โดยใช้คลื่นวิทยุเป็นพาหะนำสัญญาณ เป็นต้น นอกจากนี้ยังมีอุปกรณ์อื่นๆ ที่ทำหน้าที่เกี่ยวข้องกับสัญญาณภาพอีกมากมาย ได้ถูกประดิษฐ์ขึ้นเพื่อตอบสนองความต้องการในด้านนี้

การมองเห็น เป็นการรับรู้ที่สำคัญยิ่งของมนุษย์ เป็นสื่อที่สำคัญที่ทำให้มนุษย์สามารถดำรงชีวิต และสร้างสรรค์อารยธรรมและความเจริญรุ่งเรืองขึ้นมาได้จนถึงปัจจุบัน สิ่งที่น่าสังเกตคือ สัตว์ส่วนใหญ่บนโลกล้วนมีอวัยวะสำหรับการมองเห็นทั้งสิ้น แต่จะมีเพียงมนุษย์เท่านั้นที่มีความเจริญและพัฒนาการสูงที่สุด ทั้งนี้เนื่องจากว่า มนุษย์มิได้มีแต่เพียงการมองเห็น แต่มนุษย์ยังมีสมองที่ใช้ในการคิดพิจารณาถึงสิ่งต่างๆ ที่มองเห็น และพัฒนาความเป็นอยู่รอบๆ ตัวให้ดีขึ้น การมองเห็นเป็นปัจจัยที่สำคัญของการดำรงชีวิต แต่สิ่งที่สำคัญไม่ยิ่งหย่อนไปกว่าการมองเห็นคือการรู้จักคิดและพิจารณาสิ่ง ที่มองเห็นและนำไปใช้ให้เป็นประโยชน์ มนุษย์ส่วนใหญ่อาจจะไม่เห็นความสำคัญในกระบวนการนี้นัก เนื่องจากเป็นสิ่งที่ติดตัวมาตั้งแต่เกิด และทำงานโดยอัตโนมัติ ซึ่งอันที่จริงแล้วกระบวนการเหล่านี้มันตั้งแต่การมองเห็น การตีความ การจำได้ ล้วนแต่มีความซับซ้อนยุ่งยากและจะต้องผ่านกระบวนการต่างๆ ภายในสมองอย่างมาก มากกว่าที่ ภาพเหล่านั้นจะเปลี่ยนเป็นความรู้ภายในเวลาอันรวดเร็ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระบวนการมองเห็นของมนุษย์เริ่มต้นจาก ม่านดวงตาเปิดรับรับแสงสว่างจากภายนอก ผ่านเลนส์รับภาพ และส่งผ่านภาพไปตกกระทบบยังเซลล์รับภาพภายในดวงตา หลังจากนั้นจะแปลงภาพเหล่านั้นให้อยู่ในรูปสัญญาณไฟฟ้าให้แก่สมอง สมองจะทำการประมวลผลสัญญาณที่เข้ามาอย่างรวดเร็ว แล้วจึงสั่งการให้อวัยวะส่วนอื่นทำงานมีปฏิกิริยาต่อภาพที่มองเห็น

มนุษย์ได้ประดิษฐ์เครื่องจักรกลอัตโนมัติมานาน และสิ่งหนึ่งที่มีการค้นคว้ามานานก็คือ การทำให้เครื่องจักรเหล่านั้น สามารถทำงานได้และมีความสามารถใกล้เคียงกับมนุษย์ โดยส่วนหนึ่งก็คือการมองเห็นได้เช่นเดียวกัน สำหรับการมองเห็นนั้นสามารถทำได้ไม่ยากนัก เนื่องจากเทคโนโลยีการเปลี่ยนภาพที่มองเห็นเป็น สัญญาณทางไฟฟ้านั้น ได้คิดค้นกันมานาน พร้อมกับวิทยุโทรทัศน์ แต่นั่นไม่ได้ทำให้การมองเห็นสมบูรณ์ได้ เนื่องจากไม่มีการนำภาพที่ได้มาทำการคิดพิจารณา หรือประมวลผล ทำให้การมองเห็นนั้นไม่มีประโยชน์มากนัก ในระยะหลังเทคโนโลยีทางด้านดิจิทัลได้พัฒนาขึ้นมา มีไมโครโปรเซสเซอร์ที่มีความเร็วมากขึ้น การประมวลผลสัญญาณภาพจึงได้ถูกพัฒนาขึ้นมาตลอด เพื่อให้กระบวนการมองเห็นนั้น สมบูรณ์ และสามารถนำสัญญาณภาพที่ได้มาทำการวิเคราะห์ในแง่มุมต่าง ๆ ตามการประยุกต์ใช้งานมากขึ้น

การประมวลผลสัญญาณภาพ เป็นศาสตร์แขนงหนึ่งที่เป็นการประยุกต์ความรู้หลายด้าน มารวมกันแต่จะเน้นหนักไปในทางดิจิทัลเสียเป็นส่วนใหญ่ เนื่องจากข้อมูลสัญญาณภาพก่อนที่จะนำมาประมวลผลนั้น จะอยู่ในรูปของข้อมูลทางดิจิทัล โดยจะมีส่วนประกอบของภาพจาก จุดภาพ (Pixels) แต่ละจุดภาพจะมีข้อมูลที่ระบุถึงความเข้มของเส้น ณ.จุดนั้น และเมื่อเรานำข้อมูลเหล่านั้นมาแสดงภาพที่อุปกรณ์แสดงภาพแล้ว เราจะได้กลุ่มของจุดภาพที่ระดับความสว่างต่างๆที่ระบุไว้รวมกันเป็นภาพเดิม

การประมวลผลสัญญาณภาพได้เริ่มขึ้นและพัฒนา ไปพร้อมกับการพัฒนาทางด้านดิจิทัล เพราะเป็นการประยุกต์ทางดิจิทัลแขนงหนึ่ง แต่ในระยะแรกการพัฒนาเป็นไปค่อนข้างช้า เช่นเดียวกับ การพัฒนาทางด้านดิจิทัล เพราะเนื่องจากในระยะแรกมีราคาสูงและมีอุปกรณ์ไม่มากนักจึงไม่สามารถสร้างอุปกรณ์ที่มีความสามารถสูงได้ จึงมีเฉพาะการประมวลผลแบบพื้นฐานไม่ซับซ้อน เช่น การจดจำแพทเทิร์น การอ่านตัวอักษรจากข้อมูลภาพ ซึ่งไม่ประสบความสำเร็จนัก จนในระยะหลังเมื่อมีการสร้างไมโครโปรเซสเซอร์ ทำให้การประมวลผลสัญญาณภาพที่ซับซ้อน ได้ถูกพัฒนาและนำมาใช้งานได้อย่างสัมฤทธิ์ผลมากขึ้น และยังคงมีการพัฒนามาตลอดจนถึงปัจจุบัน

สำหรับการประมวลผลสัญญาณภาพนั้นสามารถจำแนกออกตาม วัตถุประสงค์และ กระบวนการประมวลผลกับสัญญาณภาพได้ดังนี้

3.11 การปรับปรุงคุณภาพและการนำข้อมูลกลับมาเป็นภาพ (Enhancement and Restoration)

ข้อมูลภาพเกิดจากการเปลี่ยนรูปพลังงาน จากแสงสว่างเป็นสัญญาณไฟฟ้า ซึ่งกระบวนการเปลี่ยนรูปเหล่านั้นทำให้การสูญเสียและผิดพลาดได้ โดยจะมากหรือน้อยขึ้นอยู่กับตัวตรวจ จับเป็นสำคัญ และไม่มีตัวตรวจจับชนิดใดที่จะสมบูรณ์แบบและไม่มีความผิดพลาดเกิดขึ้น ดังนั้นข้อมูลภาพที่ได้มาจึงจำเป็นต้องปรับปรุงคุณภาพให้ดียิ่งขึ้น เพื่อให้ข้อมูลที่ได้มีความผิดพลาดน้อยที่สุด หรืออีกในกรณีหนึ่ง คือตัวตรวจจับมีขีดจำกัดในการทำงาน อาจจะทำให้ข้อมูลภาพที่ได้ไม่ชัดเจน คลุมเครือไม่สามารถนำมาใช้งานได้อย่างมีประสิทธิภาพ จึงจำเป็นต้องมีการปรับปรุงคุณภาพของข้อมูลให้เหมาะสม และคุณภาพดีขึ้น ลักษณะงานประเภทนี้ได้แก่ การลดสัญญาณรบกวน การปรับปรุงความคมชัดของภาพ การแยกขอบภาพ การเพิ่มลดความสว่างของภาพ เป็นต้น

การนำข้อมูลกลับมาเป็นภาพ เป็นกระบวนการนำข้อมูลภาพที่เก็บอยู่มาสร้างใหม่เป็นภาพ โดยขั้นตอนนี้จะครอบคลุมไปถึงการซ่อมแซมความเสียหาย การแก้ไขข้อผิดพลาด ในกรณีที่ข้อมูลได้เกิดความเสียหายขึ้นด้วย หลังจากนั้นจึงนำข้อมูลที่ได้มาทำการแสดงผลไปยังอุปกรณ์แสดงผล โดยภาพที่ได้จะต้องใกล้เคียงกับภาพต้นฉบับมากที่สุด

3.12.การแบ่งแยกภาพ (Segmentation)

เป็นกระบวนการแบ่งส่วนของข้อมูลภาพตามจุดประสงค์ต่างๆที่สนใจ โดยผลลัพธ์ของข้อมูลที่ได้เป็นข้อมูลที่ผ่านการกรองมาแล้ว ทำให้การวิเคราะห์และพิจารณาข้อมูลภาพเป็นไปได้ง่ายและรวดเร็ว ลักษณะของการแยกส่วนนั้นอาจจะแยกตาม พื้นที่ ความเข้มของแสง ความเข้มของสี ลักษณะแพทเทิร์นของข้อมูลภาพ เป็นต้น

3.13. การนำเสนอข้อมูลภาพ (Presentation)

เป็นกระบวนการแสดง ตัดต่อ แก้ไข สร้าง ข้อมูลภาพ ซึ่งอาจจะมาจากการถ่ายภาพจริง หรือการสร้างใหม่ของภาพเพื่อใช้ไปในการแสดง รวมไปถึงการทำภาพเคลื่อนไหว (Animation) คอมพิวเตอร์กราฟิกส์ (Computer Graphics) และการทำเทคนิคพิเศษต่าง ๆ (Special Effect) และการนำเสนอแบบหลายสื่อ (Multimedia)

3.14 การจับคู่และการจดจำภาพ (Matching and Recognition)

การจับคู่และการจดจำภาพ โดยทั่วไปก็คือการใช้ประโยชน์จากความสัมพันธ์ของข้อมูลภาพที่มีอยู่ในฐานข้อมูล และเปรียบเทียบกับข้อมูลภาพใหม่ที่เข้ามาภายในระบบ ว่าข้อมูลภาพที่เอกสารนี้เป็นเอกสารที่ส่งวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เข้ามามีความสัมพันธ์กับข้อมูลเก่าหรือไม่อย่างไร ลักษณะงานที่ใช้การทำงานลักษณะนี้ได้แก่ การจดจำตัวอักษร การจดจำเป้าหมาย การนำร่องอากาศเป็นต้นในการที่จะจับคู่ภาพนั้น สิ่งที่เป็นเบื้องต้นคือภาพ 2 ภาพ ที่ต้องการตรวจสอบนั้น ในทางปฏิบัติภาพทั้งสองไม่จำเป็นต้องเหมือนกันทุกประการ แต่จะต้องสามารถวิเคราะห์ได้ว่าเป็นภาพของวัตถุชนิดเดียวกันหรือไม่ ซึ่งจะทำให้มีปัจจัยทางด้านอื่นมาประกอบการวิเคราะห์ด้วย เช่นในกรณีการจดจำตัวอักษร ก็อาจจะขึ้นอยู่กับรูปแบบตัวอักษรด้วย ว่าเป็นรูปแบบอย่างไร ขนาด และมีการทำเทคนิคอื่น เช่น ตัวหนา ตัวเอน หรือไม่ เป็นต้น หรือถ้าเป็นวัตถุก็อาจจะขึ้นอยู่กับ มุมมองของวัตถุนั้น ระยะทาง ลักษณะของแสงตกกระทบ เงา กระบวนการวิเคราะห์ที่ซับซ้อนเหล่านี้ ต่างมีทฤษฎีมากมายที่เกี่ยวข้อง เป็นกระบวนการที่ซับซ้อน ในปัจจุบันก็ยังพัฒนาไปไม่ถึงขั้นที่สามารถใช้งานได้มากนัก

3.15 คอมพิวเตอร์กราฟิกส์และการสังเคราะห์ภาพ (Computer Graphics and Image synthesis)

คอมพิวเตอร์กราฟิกส์เป็นเทคโนโลยีที่เกี่ยวกับการแสดงผลของข้อมูลคอมพิวเตอร์ออกมาเป็นภาพ ส่วนการสังเคราะห์ภาพนั้นเป็นขั้นตอนในการผลิตภาพที่ต้องการให้อยู่ในรูปของข้อมูลทางคอมพิวเตอร์ กระบวนการทั้งสองอย่างโดยปกติแล้วจะไม่เกี่ยวข้องกันมากนัก แต่ในทางปฏิบัติแล้ว เราจะนำกระบวนการทั้งสองมาใช้งานร่วมกันอยู่เสมอ เนื่องจากกระบวนการทั้งสองต้องทำงานเชื่อมต่อกันเป็นลำดับ คือจะทำการสร้างภาพด้วยคอมพิวเตอร์ หลังจากนั้นก็นำภาพที่ได้ไปแสดงผล ดังนั้นการทำงานส่วนใหญ่จึงรวมกระบวนการทั้งสองเข้าด้วยกันในคราวเดียว เช่นในโปรแกรมเกี่ยวกับคอมพิวเตอร์สำหรับการจำลองสถานการณ์ต่างๆ ซึ่งต้องมีการแสดงภาพ เคลื่อนไหวภาพ จำลองเหตุการณ์ที่เกิดขึ้น ลักษณะงานเช่นนี้ต้องอาศัยการทำงานของทั้งสองส่วนอย่างสัมพันธ์กัน จึงจะสามารถใช้งานได้

3.2 วงจรกรองสัญญาณภาพ

สำหรับจากหัวข้อที่ผ่านมา จะเห็นว่งานในด้านการประมวลผลสัญญาณภาพนั้น มีขอบเขตงานอยู่มากมาย และลักษณะการประมวลผลแต่ละด้านล้วนแต่กระบวนการทำงานที่ยู่ยากซับซ้อนทั้งสิ้น และสัญญาณภาพที่ใช้ในกระบวนการดังกล่าว จำเป็นอย่างยิ่งที่จะต้องใกล้เคียงกับภาพจริงมากที่สุด เพื่อให้การประมวลผลเหล่านั้นเป็นไปอย่างถูกต้องและได้ผลลัพธ์ถูกต้อง แต่เนื่องจากกระบวนการต่างๆก่อนที่จะมาเป็นสัญญาณภาพนั้น อาจจะทำให้เกิดความผิดพลาดของสัญญาณได้ ไม่ว่าจะเป็นจากสัญญาณรบกวน หรือจากคุณสมบัติของตัวเปลี่ยนสัญญาณเอง ต่างก็ล้วนส่งผลต่อสัญญาณภาพและผลโดยรวมของการประมวลผลสัญญาณภาพทั้งสิ้น

สำหรับสัญญาณรบกวนนั้น เราสามารถลดลงได้โดยการกรองสัญญาณรบกวนออกจากสัญญาณภาพ เพราะว่าโดยปกติลักษณะของสัญญาณรบกวนจะมีลักษณะที่ตรวจสอบได้คือ ส่วนใหญ่จะมีขนาดของสัญญาณ (Amplitude) ที่สูงหรือต่ำผิดปกติ ซึ่งในการกรองสัญญาณรบกวนออกไปสามารถทำได้ไม่ยากนัก แต่จุดหนึ่งที่จะต้องนำมาพิจารณาคือ การกรองสัญญาณรบกวนออกจากสัญญาณภาพ นั้นจะส่งผลให้สัญญาณภาพมีความผิดพลาดได้เช่นกัน และทำให้คุณภาพของข้อมูลที่ได้ลดลง ดังนั้นการกรองสัญญาณภาพที่ดีที่สุดจะต้องกรองสัญญาณรบกวนออกให้ได้มากที่สุด และทำให้สัญญาณภาพที่แท้จริงมีความเสียหายน้อยที่สุด จึงจำเป็นอย่างยิ่งในการเลือกวิธีการกรองสัญญาณ ให้เหมาะสมกับลักษณะสัญญาณภาพและลักษณะของสัญญาณรบกวนด้วย

วงจรกรองสัญญาณรบกวนสามารถแบ่งออกได้เป็น 2 ประเภทใหญ่ ๆ ดังนี้

3.2.1 วงจรกรองแบบเชิงเส้น (Linear Filter) วงจรกรองแบบนี้สามารถแทนฟังก์ชันและคุณลักษณะการทำงานได้ด้วย สมการทางคณิตศาสตร์ การตอบสนองของสัญญาณเอาต์พุต ต่อสัญญาณอินพุตจะสามารถหาผลลัพธ์ได้ตลอดช่วงของข้อมูล ด้วยฟังก์ชันการทำงานของสมการเดียวกัน ตัวอย่างของวงจรกรองสัญญาณประเภทนี้ได้แก่

3.2.1.1 Low-pass filter วงจรกรองความถี่ต่ำ มีคุณสมบัติคือ จะยอมให้ความถี่ต่ำผ่านได้ แต่จะลดทอนสัญญาณความถี่สูงให้ลดลงและผ่านได้น้อยที่สุด โดยจะมีจุดความถี่ตัด (Cut-Off Frequency) ซึ่งจะถือว่าเป็นจุดของความถี่ที่สูงสุดที่ยังยอมให้ผ่าน หากความถี่สูงกว่านี้จะไม่สามารถผ่านไปได้ วงจรประเภทนี้สามารถช่วยลดสัญญาณรบกวนที่มีความถี่สูงได้ดี

3.2.1.2 High -pass filter วงจรกรองความถี่สูง มีคุณสมบัติคือ จะยอมให้ความถี่สูงผ่าน แต่จะลดทอนสัญญาณความถี่ต่ำออกไป วงจรกรองประเภทนี้จะช่วยให้สัญญาณภาพที่ได้มีความคมชัดมากขึ้น โดยเฉพาะภาพที่มีฉากหลังค่อนข้างมืด

3.2.1.3 Band - pass filter วงจรกรองให้ผ่านเฉพาะความถี่ มีคุณสมบัติคือ จะยอมให้ความถี่เฉพาะช่วงที่กำหนดสามารถผ่านไปได้ ความถี่ที่อยู่นอกเหนือจากนี้จะถูกลดทอนลงและไม่อนุญาตให้ผ่าน วงจรลักษณะนี้ส่วนใหญ่จะใช้ในการทำให้ภาพคมชัดและปรับปรุงรายละเอียดของภาพ

3.2.2 วงจรกรองแบบไม่เป็นเชิงเส้น (Non-Linear filter)

วงจรกรองชนิดนี้มีลักษณะที่สำคัญคือ ผลการตอบสนองต่อสัญญาณอินพุตของสัญญาณเอาต์พุตจะไม่เป็นเชิงเส้น และเราไม่สามารถหาผลตอบสนองของสัญญาณทุกเงื่อนไข ด้วยการวิเคราะห์การตอบสนองของวงจรต่อสัญญาณอิมพัลส์ (เป็นวิธีการหาฟังก์ชันการเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำงานของวงจร โดยการป้อนสัญญาณอิมพัลส์เข้าไปในวงจรและนำสัญญาณเอาต์พุตมาวิเคราะห์หาผลการตอบสนองความถี่ทั้งหมดของวงจร) ฟังก์ชันการทำงานมิได้ตอบสนองด้วยฟังก์ชันเชิงเส้นตายตัวตลอดช่วงของสัญญาณอินพุต ตัวอย่างของวงจรกรองแบบไม่เป็นเชิงเส้นได้แก่ วงจรแปลงค่าของสัญญาณ Gray Scale , วงจรแก้ไขฮิสโตแกรม , วงจรปรับปรุงฮิสโตแกรม เป็นต้น

โดยส่วนใหญ่ของวงจรกรองแบบไม่เป็นเชิงเส้นนั้น ใช้สำหรับการกำจัดสัญญาณรบกวน โดยใช้หลักการทางสถิติ และวงจรที่นิยมใช้แบบหนึ่งคือ วงจรกรองแบบมัลติฐาน ซึ่งได้มีการศึกษาและค้นคว้าในด้านนี้กันอย่างมาก และได้แตกแขนงเป็นวงจรกรองแบบต่างๆอย่างมากมาย แล้วแต่การประยุกต์ดัดแปลงไปใช้งานในแต่ละด้าน

3.3 หลักการออกแบบวงจรกรองสัญญาณ

สำหรับการออกแบบวงจรกรองสัญญาณภาพนั้น เพื่อให้บรรลุวัตถุประสงค์ของวงจรที่ออกแบบให้มีประสิทธิภาพที่สุด มีหลักการและขั้นตอนการออกแบบวงจรกรองดังนี้

3.3.1 จำกัดขอบเขตของปัญหา

ในการออกแบบวงจรกรองนั้น จำเป็นอย่างยิ่งที่จะต้องทราบวัตถุประสงค์ของวงจร ว่า จะกรองสัญญาณอะไรออก ยอมให้สัญญาณใดผ่าน สัญญาณที่ต้องการกรองนั้นมีนัยสำคัญที่จะทำให้สามารถตรวจสอบได้อย่างไร ลักษณะของสัญญาณภาพโดยทั่วไปเป็นอย่างไร เพื่อที่จะสามารถลดความเสียหายของสัญญาณภาพอันเกิดจากการกรองลงไป

3.3.2 ออกแบบกรรมวิธีการกรอง

หลังจากทราบขอบเขตของปัญหาแล้ว ขั้นตอนนี้คือการพิจารณาว่าจะมี วิธีการกรองแบบใดที่สามารถแก้ปัญหาที่ได้รวบรวมมาได้มากที่สุด ในขั้นตอนนี้จะต้องเลือกว่าจะใช้วงจรกรองแบบใด เช่น วงจรกรองแบบเฉลี่ย วงจรกรองแบบความถี่ต่ำผ่าน วงจรกรองแบบมัลติฐาน เป็นต้น ซึ่งจะต้องทำการศึกษาถึงการฟังก์ชันการทำงานและข้อดีข้อเสีย ของวงจรกรองสัญญาณแต่ละแบบให้ถี่ถ้วน จึงจะทำให้การออกแบบที่ได้มีประสิทธิภาพสูง และมีข้อผิดพลาดต่ำ

3.3.3 การนำกรรมวิธีการกรองมาออกแบบเป็นวงจร

นำกรรมวิธีการกรองที่ได้ มาทำการพิจารณาในรายละเอียดของการออกแบบออกแบบเป็นวงจรเพื่อใช้งานจริง ซึ่งจะต้องพิจารณาถึงปัจจัยสำคัญหลายๆด้าน ที่จำเป็นในทางปฏิบัติ เช่น ความเร็วของสัญญาณ ความละเอียดของการคำนวณ ปัญหาการผิดพลาดเนื่องจากการ

สะสมของข้อมูล การปิดเศษในกระบวนการของดิจิทัล ไปจนถึง กระแสไฟฟ้าที่จำเป็นด้วย เพื่อสามารถจัดหาอุปกรณ์ที่มีคุณสมบัติถูกต้องมาใช้งาน

3.3.4 การอิมพลีเมนต์ (Implementation)

ในขั้นตอนนี้เป็นการนำวงจร ที่ได้ออกแบบมาแล้วมาดำเนินการให้สามารถทำงานได้ อาจจะด้วย ฮาร์ดแวร์ หรือซอฟต์แวร์ ขึ้นอยู่กับความเหมาะสม ซึ่งในขั้นตอนนี้จะพิจารณาว่าจะใช้ เทคโนโลยีแบบใด มาใช้งาน เช่น สำหรับฮาร์ดแวร์ ก็จะมีการพิจารณาว่าจะใช้ ไมโครโปรเซสเซอร์แบบใด และสำหรับซอฟต์แวร์ จะใช้ภาษาอะไร เป็นต้นแต่ละแบบ มีต้นทุน ความเร็ว ความยืดหยุ่น ความเที่ยงตรง มากน้อยเพียงไร และแบบไหนจะเหมาะสมที่สุด

3.3.5 การตรวจสอบผลการกรอง

ขั้นตอนนี้จะเป็นการตรวจสอบ ผลลัพธ์ของกระบวนการทั้งหมดที่ได้ออกแบบสร้างขึ้น มาและนำมาใช้งาน ว่าที่ความถูกต้องและประสิทธิภาพอย่างไรเพื่อจะนำมาประเมินผล เพื่อปรับปรุงคุณภาพของวงจรต่อไป

อย่างไรก็ตาม ขั้นตอนที่กล่าวมาแล้วข้างต้นนั้น เป็นกระบวนการที่ใช้ในการออกแบบ วงจรกรองสัญญาณทั่วไป แต่ที่สำคัญอย่างยิ่งคือในแต่ละขั้นตอน จะต้องทำการศึกษาถึงปัจจัย และตัวแปรต่างให้ครบทุกด้าน เพราะแต่ละส่วนย่อมสัมพันธ์กัน และส่งผลกระทบต่อถึงกัน ดังนั้นจึงควรพิจารณาถึงปัญหาโดยรวมของทั้งระบบ และไม่ควรแยกการพิจารณาออกเป็นแต่ละ ส่วน เพราะอาจจะทำให้บางส่วนขัดแย้งกันได้

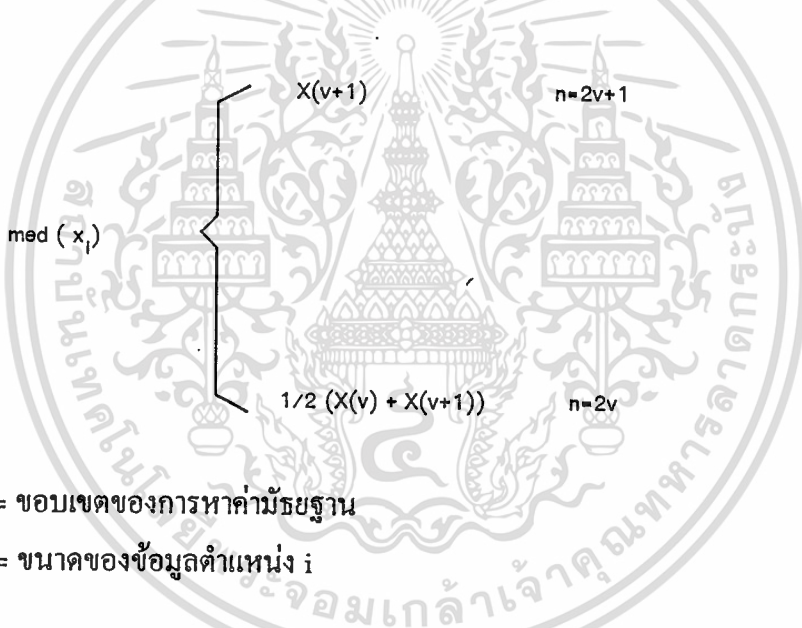
3.4 วงจรกรองแบบมัลติฐาน

วงจรกรองแบบมัลติฐาน เป็นวงจรกรองแบบไม่เป็นเชิงเส้นชนิดหนึ่ง ที่ใช้หลักการทางสถิติในการกรองสัญญาณ ข้อดีของวงจรกรองชนิดนี้คือ หลักการทำงานสามารถนำไปประยุกต์ใช้กับ คอมพิวเตอร์ได้ง่าย มีความเร็วในการทำงานสูง ซึ่งมีประสิทธิภาพในการกำจัดสัญญาณรบกวนสูง โดยเฉพาะสัญญาณรบกวนแบบไวท์เกาส์เซียน (White gaussian noise) และสัญญาณรบกวนแบบลองเทล (Long-tail noise) นอกจากนี้ยังสามารถรักษาความคมชัดของขอบภาพได้เป็นอย่างดี ทำให้เมื่อสัญญาณภาพผ่านวงจรนี้จึงมีคุณภาพดีขึ้น ดังนั้นจึงมีผู้นำวงจรกรองแบบนี้มาใช้งานอย่างหลากหลาย และเมื่อวงจรกรองแบบเชิงเส้นธรรมดาไม่สามารถกำจัดสัญญาณรบกวนได้ นอกจากนี้ยังเหมาะสมอย่างยิ่งสำหรับลักษณะของสัญญาณภาพที่เป็นดิจิทัล

สำหรับความเป็นมาของวงจรกรองแบบมัลติฐานนั้น ได้เริ่มต้นการศึกษอย่างจริงจังในปี ค.ศ. 1970 หลังจากนั้นไม่นานก็เริ่มมีการนำวงจรกรองแบบนี้มาใช้งาน เช่น การวิเคราะห์ภาพ โทรทัศน์แบบดิจิทัล การสังเคราะห์เสียงพูด การเข้ารหัส และอื่นๆอีกมากมาย ซึ่งส่วนเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่ประสบผลสำเร็จและสามารถใช้งานได้อย่างมีประสิทธิภาพ ตราบจนปัจจุบันวงจรกรองแบบมัลติฐานก็ยังคงเป็นที่นิยมใช้งาน และยังคงมีการค้นคว้าทดลองเพื่อเพิ่มประสิทธิภาพของวงจรอยู่

วงจรกรองแบบมัลติฐาน อาศัยหลักการพื้นฐานทางสถิติและการกระจายของข้อมูลเป็นหลักสำคัญในการหาค่ามัลติฐาน (Median value) โดยจะทำการรวบรวมชุดสัญญาณในบริเวณที่ขนาดผิดปกติจะถูกปรับขนาดให้อยู่ในระดับที่เหมาะสม ทำให้สัญญาณรบกวนซึ่งโดยปกติจะมีขนาดของสัญญาณผิดปกติ สูงมาก หรือต่ำมาก ก็จะถูกกำจัดออกไป และทำให้อยู่ในระดับใกล้เคียงกับสัญญาณภาพปกติ สำหรับฟังก์ชันการทำงานพื้นฐานของวงจรกรองแบบมัลติฐานสามารถอธิบายด้วยฟังก์ชันทางคณิตศาสตร์ได้ดังนี้



n = ขอบเขตของการหาค่ามัลติฐาน

X_i = ขนาดของข้อมูลตำแหน่ง i

สำหรับผลลัพธ์ของวงจรกรองแบบมัลติฐานที่มีขอบเขตของข้อมูล ขนาด $n=2v+1$ สามารถจำกัดความสัมพันธ์ระหว่างสัญญาณ อินพุตและเอาต์พุตในรูปของฟังก์ชันทางคณิตศาสตร์ได้ดังนี้

$$Y_i = \text{med} (X_{i-v}, \dots, X_i, \dots, X_{i+v})$$

สมการนี้เป็นพื้นฐาน ของการกรองสัญญาณแบบมัลติฐานแบบพื้นฐานมิติเดียว ซึ่งจะใช้กับสัญญาณที่มีลักษณะการใช้งานในมิติเดียว (สัญญาณที่ข้อมูลมีความสัมพันธ์กันในทิศทางเดียว สัญญาณส่วนใหญ่ ที่ใช้งานกันอยู่จะเป็นสัญญาณลักษณะนี้ โดยข้อมูลมีความสัมพันธ์กันในเชิงเวลาต่อเนื่องกัน เมื่อนำข้อมูลมาต่อรวมกันก็จะเป็นสัญญาณทั้งหมด และสามารถ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เปลี่ยนรูปกลับไปเป็นสัญญาณเดิมได้) เช่น สัญญาณเสียง สัญญาณจากตัวตรวจจับ เป็นต้น แต่สำหรับลักษณะของสัญญาณภาพ จะเป็นแบบสองมิติ ก็จะมีความสัมพันธ์ในเชิงพิกัดทางแนวตั้งและแนวนอน การนำมาใช้งานจะต้องถูกต้องทั้งในเชิงแนวตั้งและแนวนอนจึงจะเป็นภาพที่สมบูรณ์ได้ ดังนั้นการกระทำการกรองสัญญาณนั้นจะต้องนำข้อมูลทั้งสองมิติมาทำการพิจารณาร่วมกัน เพื่อหาค่ามัธยฐานและการกระจายของข้อมูล

เมื่อลักษณะข้อมูลเป็นแบบสองมิติ ลักษณะวิธีการกรองและขอบเขตของข้อมูลในการกรองจะแตกต่างจากการกรองในแบบมิติเดียว เพราะในการกรองแบบมิติเดียวนั้นจะมีสิ่งที่ต้องพิจารณาคือ จำนวนของข้อมูลในขอบเขตที่สนใจ ส่วนวิธีการหาค่ามัธยฐานนั้นขึ้นอยู่กับ ลักษณะและธรรมชาติของข้อมูลนั้นๆ ส่วนในการกรองสัญญาณที่มีข้อมูลเป็นลักษณะสองมิติ นั้นจะต้องมีส่วนที่ต้องพิจารณาเพิ่มขึ้น เพราะว่าข้อมูลภาพนั้นจะต้องมีความสัมพันธ์ต่อกันทั้งสองมิติ ทำให้สิ่งที่จะต้องนำมาพิจารณาเพิ่มคือ

1. ขนาดของกรอบในการกรอง (Filter window size) ว่าจะต้องมีขอบเขตในการกรองในแต่ละมิติเท่าไร โดยปกติในการกรองแบบสองมิติขอบเขตของข้อมูลที่น่าสนใจจะมีขนาดครอบคลุมไปในทั้งสองมิติ เป็นพื้นที่ที่วางทาบลงบนข้อมูลภาพ เราเรียกพื้นที่นี้ว่า กรอบของการกรอง (Filter window) ขอบเขตในการกรองนี้จะเป็นส่วนหนึ่งที่ ทำให้การกรองมีประสิทธิภาพน้อยเพียงไร ปกติขนาดในแต่ละมิติจะเป็นจำนวนเลขคู่ เช่น 3×3 , 5×5 , 7×7 เป็นต้น ซึ่งการกำหนดขนาดของกรอบจะต้องให้เหมาะสม มิฉะนั้นนอกจากทำให้สัญญาณรบกวนจะไม่ถูกกำจัดแล้ว จะทำให้สัญญาณภาพอาจจะมีคุณภาพลดลงได้

2. ลักษณะของกรอบในการกรอง ว่าจะมีลักษณะอย่างไร จากที่กล่าวมาแล้วข้างต้น พื้นที่ของข้อมูลที่น่าสนใจนั้นจะถูกวางทาบลงข้อมูลภาพ ไม่จำเป็นต้องมีรูปร่างเป็นสี่เหลี่ยมเสมอไป เราสามารถกำหนดขอบเขตของข้อมูลโดยขึ้นอยู่กับข้อมูล ณ จุดปัจจุบันและความสัมพันธ์กับข้อมูลจุดอื่นๆ ดังนั้นข้อมูลที่ไม่มีความสัมพันธ์กับข้อมูลจุดปัจจุบันจึงไม่จำเป็นต้องนำมาพิจารณา ทำให้พื้นที่ในการกรองอาจจะมีรูปร่างตามลักษณะความสัมพันธ์ของข้อมูลก็ได้ ซึ่งจะทำให้การกรองจะมีประสิทธิภาพมากขึ้น

สำหรับฟังก์ชันทางคณิตศาสตร์ของ วงจรกรองแบบมัธยฐานแบบ 2 มิติ มีดังนี้

$$Y_{i,j} = \text{med} \{ X_{i+r, j+s} ; (r,s) \in A \} \quad (i,j) \in Z^2$$

โดยที่ $A \subset Z^2$ เป็นพื้นที่ของข้อมูลใกล้เคียงที่เราสนใจและนำมาพิจารณา และ (i,j) เป็นจุดที่ศูนย์กลางของข้อมูลทำการกรอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับในการประมวลผลสัญญาณภาพแล้ว วงจรกรองแบบมัลติฐานมีความสำคัญเป็นอย่างยิ่งในการกรองสัญญาณภาพ เพื่อให้ได้ภาพที่สมบูรณ์ที่สุด และลดสัญญาณรบกวนที่ไม่ต้องการออกไป โดยธรรมชาติของภาพโดยทั่วไปแล้ว ความเข้มของแสงแต่ละจุดภาพกับจุดภาพที่อยู่ใกล้เคียง จะไม่แตกต่างกันมากนัก จะมีระดับความเข้มของแสงใกล้เคียงกัน ซึ่งเป็นลักษณะปกติของการตกกระทบ และการแพร่กระจายของแสง ดังนั้นหากมีสัญญาณรบกวนผสมเข้ามาในสัญญาณภาพจึงสามารถตรวจจับ และกำจัดออกไปได้ โดยอาศัยการเปรียบเทียบขนาดของข้อมูลของจุดภาพปัจจุบัน กับจุดภาพใกล้เคียง ทำให้สามารถตรวจจับได้ในทันที ซึ่งหลักการนี้เป็นหลักการของวงจรกรองแบบมัลติฐานอยู่แล้ว จึงสามารถนำมาประยุกต์ใช้ได้ทันที



บทที่ 4

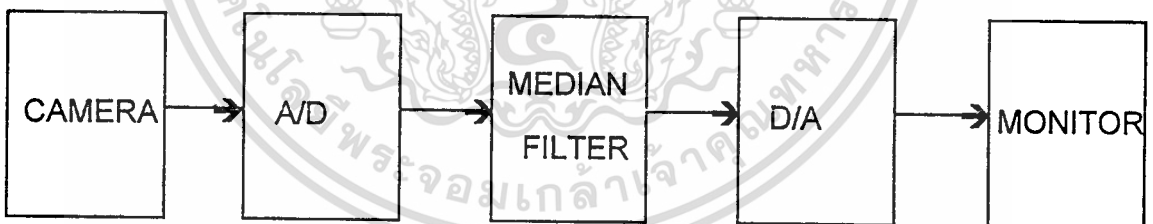
วงจรกรองแบบมัลติฐาน

4.1 การประยุกต์วงจรควบคุมลำดับใช้งานกับวงจรกรองข้อมูล

เนื่องจากวงจรควบคุมลำดับ เป็นส่วนที่ทำหน้าที่ควบคุมจังหวะและการเคลื่อนที่ของข้อมูลเข้าสู่วงจรกรองสัญญาณอีกครั้ง ดังนั้นการนำวงจรควบคุมลำดับไปประยุกต์ใช้งานจึงต้องใช้งานร่วมกับโอเพอร์เรเตอร์ในวงจรกรองสัญญาณภาพแบบ 2 มิติ สำหรับวิทยานิพนธ์ฉบับนี้ จะประยุกต์วงจรควบคุมลำดับไปใช้งานกับวงจรกรองแบบมัลติฐาน

จากทฤษฎีของวงจรกรองแบบมัลติฐาน ที่ได้กล่าวมาแล้วนั้น ต่อไปจะกล่าวถึงการนำทฤษฎีดังกล่าวมาประยุกต์เพื่อทำการออกแบบเป็นวงจรใช้งานต่อไป

ภาพที่ 8



แสดงตำแหน่งการนำวงจรกรองแบบมัลติฐานไปใช้งาน

การนำวงจรกรองแบบมัลติฐานไปใช้งานนั้น โดยปกติแล้วจะนำวงจรไปทำการกรองสัญญาณรบกวนก่อนที่จะนำสัญญาณนั้นไปประมวลผล หรือแสดงผล ในรูปที่ 4.1 เป็นการแสดงให้เห็นของระบบของสัญญาณภาพทั้งหมด ตั้งแต่การแปลงสัญญาณความสว่างเป็นสัญญาณทางไฟฟ้า ไปจนถึงการนำสัญญาณทางไฟฟ้าผลลัพธ์ที่ได้ไปแสดงผลกลับมาเป็นภาพอีกครั้ง โดยแต่ละส่วนจะทำหน้าที่ดังนี้

1. Camera - กล้องถ่ายภาพ เป็นอุปกรณ์ที่ทำหน้าที่เปลี่ยนความสว่างของแต่ละจุดภาพ เป็นสัญญาณทางไฟฟ้า โดยที่สัญญาณทางไฟฟ้าที่ได้จะเป็นสัญญาณอนาลอก ซึ่งโดยปกติถ้าไม่ต้องการนำสัญญาณภาพไปประมวลผลแล้ว จะสามารถนำสัญญาณภาพที่ได้ไปใช้งานได้ทันที

2. A/D - วงจรที่ทำหน้าที่สัญญาณภาพที่ได้ จากแบบอนาลอกเป็นสัญญาณในรูปแบบของข้อมูลดิจิทัล เนื่องจากวงจรกรองสัญญาณที่ใช้งานเป็นการประมวลผลสัญญาณดิจิทัล

3. Median Filter - วงจรกรองแบบมัธยฐาน รับข้อมูลภาพดิจิทัลจาก A/D แล้วนำข้อมูลภาพเหล่านั้นมาทำการประมวลผล กรองสัญญาณรบกวนออกตามหน้าที่ฟังก์ชันที่กำหนดไว้ แล้วให้ข้อมูลภาพที่ผ่านการกรองแล้วไปยัง ส่วนที่ต้องการข้อมูลต่อไป

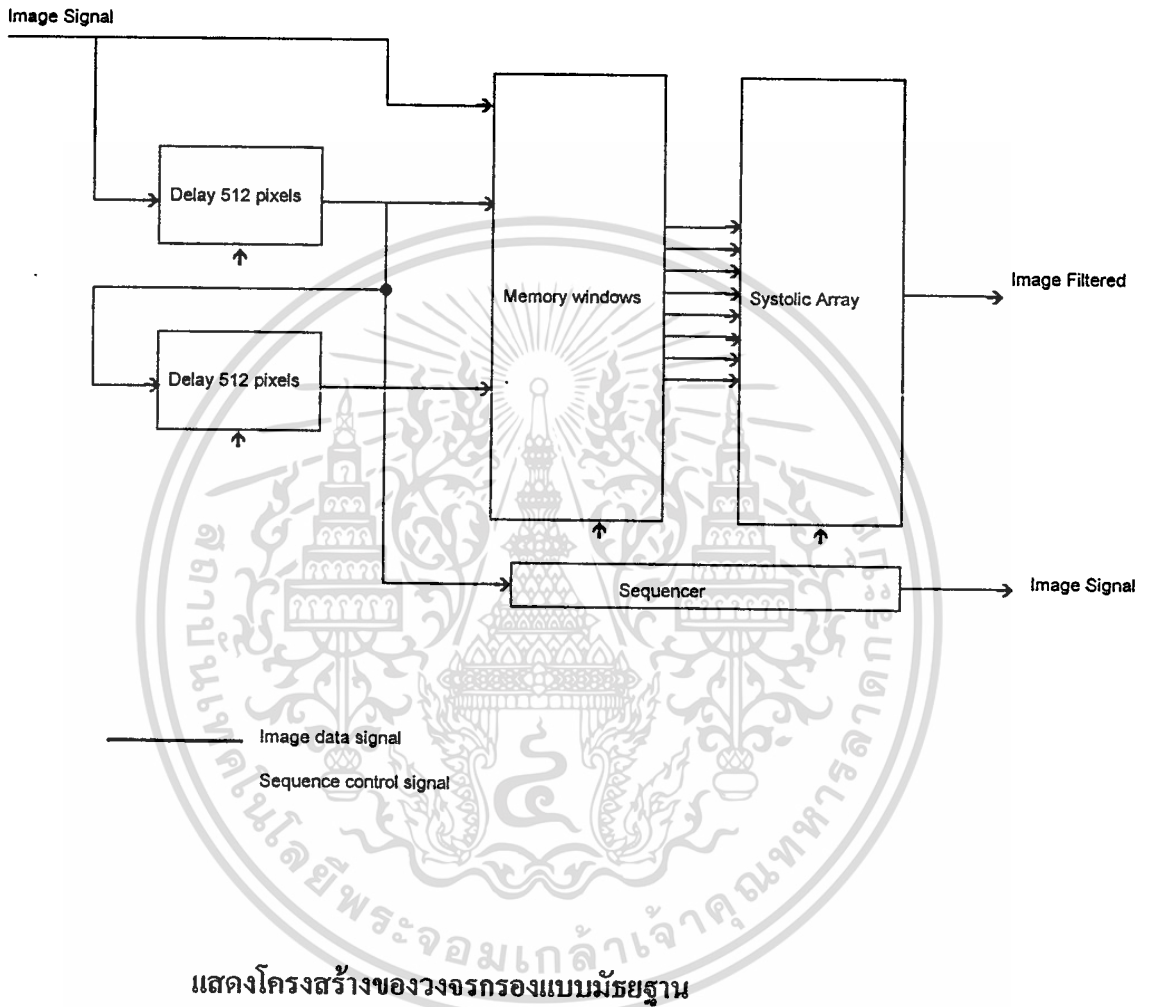
4. D/A - วงจรที่ทำหน้าที่เปลี่ยนข้อมูลภาพแบบดิจิทัล ให้กลับไปเป็นสัญญาณอนาลอก เพื่อนำไปแสดงผล

5. Monitor - จอภาพ ทำหน้าที่เปลี่ยนสัญญาณภาพที่ได้รับ กลับไปเป็นความสว่างของจุดภาพ รวมกันกลับเป็นภาพอีกครั้ง

จากระบบที่แสดงให้เห็นในภาพนั้น เป็นการแสดงให้เห็นถึงตัวอย่างการนำวงจรกรองแบบมัธยฐานไปใช้งาน ซึ่งเป็นระบบพื้นฐานที่สุด มีเพียงการนำสัญญาณภาพมาทำการกรองสัญญาณรบกวนออกแล้วนำไปแสดงผลในทันที ซึ่งในการใช้งานจริงนั้นอาจจะมีระบบการทำงานที่ซับซ้อนและมีการนำสัญญาณภาพที่ได้ไปทำการวิเคราะห์และประมวลผลมากกว่านี้ แต่อย่างไรก็ตามไม่ว่าจะมีการประมวลผลสัญญาณซับซ้อนอย่างไร การนำวงจรกรองแบบมัธยฐานไปใช้งานควรจะกระทำก่อนมีการประมวลผลเสมอ

4.2 โครงสร้างของวงจรกรองแบบมัลติฐาน

ภาพที่ 9



แสดงโครงสร้างของวงจรกรองแบบมัลติฐาน

ภายในวงจรจะประกอบส่วนประกอบที่สำคัญสามารถมีหน้าที่การทำงานได้ดังนี้

4.2.1. ตัวหน่วงเวลา (Delay Line)

ทำหน้าที่หน่วงเวลาของสัญญาณให้ยังคงอยู่ในวงจรตามเวลาที่กำหนด โดยปกติแล้วภาพจะประกอบด้วยข้อมูลจัดอยู่รวมกันแบบสองมิติ โดยจุดภาพจะมีพิกัดของทางด้านแนวราบและทางด้านแนวตั้งอยู่ เมื่อต้องการกรองข้อมูลภาพบริเวณเส้นภาพที่ n^{th} ใดก็นำกรอบไปวางในบริเวณเส้นนั้น ซึ่งจะทำให้ข้อมูลของภาพบนเส้นภาพที่ $n^{\text{th}-1}$ และเส้นที่ $n^{\text{th}+1}$ จะถูกนำมาพิจารณาด้วย

ในความเป็นจริงแล้วสัญญาณที่เข้ามาภายในวงจรนั้น จะถูกส่งเรียงติดกันมาตลอดเป็นลำดับ (Sequential) ถ้าไม่มีการหน่วงเวลาไว้ สัญญาณที่เข้ามาก็จะผ่านเลยออกไปหมด ดังนั้นจะเห็นว่าหากต้องการการกรองสัญญาณของจุดภาพที่อยู่บนเส้นภาพที่ n^{th} จะต้องกระทำในเวลาที สัญญาณเส้นภาพที่ n^{th} เข้ามาแล้ว และสัญญาณจะถูกหน่วงเวลาไป 2 ครั้ง เพื่อสำหรับหน่วงเวลาของสัญญาณภาพเส้นที่ $n^{\text{th}-1}$ และสัญญาณภาพเส้นที่ n^{th} เอาไว้ให้คงอยู่ในวงจร และจะถูกส่งเข้าไปยังหน่วยความจำที่เก็บข้อมูลของจุดภาพ เพื่อจะส่งเข้าไปประมวลผลต่อไป

สำหรับเวลาของการหน่วงและจำนวนตัวหน่วงเวลานั้น จะขึ้นอยู่กับความละเอียดของจำนวนจุดภาพในแต่ละเส้นภาพ สำหรับบทความนี้ใช้ภาพที่มีความละเอียด 512 จุดภาพต่อหนึ่งเส้นภาพ ดังนั้นจึงต้องกำหนดค่าเวลาในการหน่วงเท่ากับ 512 จุดภาพ ซึ่งหากต้องการทราบเวลาในการหน่วงจริงจะต้องคำนวณจากเวลาที่ใช้ในข้อมูลภาพ 1 จุดภาพก็จะทราบได้ ส่วนจำนวนของตัวหน่วงเวลาจะขึ้นอยู่กับ (ขนาดของกรอบที่ใช้ในการกรองสัญญาณ - 1) สำหรับวิทยานิพนธ์ฉบับนี้ใช้กรอบขนาด 3x3 จึงต้องใช้ตัวหน่วงเวลาจำนวน 2 ตัว

อุปกรณ์ที่ใช้สำหรับการหน่วงเวลาสัญญาณ ทางดิจิทัลนั้นจะใช้อุปกรณ์ประเภท อินเวอร์เตอร์ หรือ บัฟเฟอร์ต่ออนุกรมกันเป็นจำนวนมาก โดยหลักการหน่วงเวลานั้นจะอาศัยคุณสมบัติของ อินเวอร์เตอร์ที่จะมีค่าหน่วงเวลาคงที่อยู่ที่ค่าหนึ่ง (propagation delay time) ที่ตัวอินเวอร์เตอร์จะต้องใช้ในการส่งผ่านสัญญาณจากอินพุตไปยังเอาต์พุต แต่ค่าเวลาที่หน่วงนี้ไม่สูงนัก การที่ต้องการจะหน่วงเวลาสัญญาณเป็นเวลาที่มากขึ้น ก็จำเป็นต้องนำอินเวอร์เตอร์มาต่ออนุกรมกันเป็นลำดับต่อเนื่องกันหลายๆตัว ดังนั้นกว่าที่สัญญาณจะถูกส่งผ่านไปยังเอาต์พุตของวงจร ก็จะถูกหน่วงโดยอินเวอร์เตอร์แต่ละตัวที่ต่ออนุกรมเรียงกันอยู่ทุกครั้ง หากจำนวนของอินเวอร์เตอร์มากขึ้นเท่าใด เวลาที่หน่วงก็จะมากขึ้นเท่ากับผลรวมของเวลาหน่วงของอินเวอร์เตอร์แต่ละตัวรวมกันทั้งหมด

4.2.2. หน่วยความจำ (Windows Memory)

หลังจากที่สัญญาณที่เข้ามาได้ถูกหน่วงให้ช้าลงไปเป็นเวลา 2 เส้นภาพแล้ว สัญญาณจะถูกส่งเข้ามาพร้อมกันทั้ง 3 เส้นเพื่อมาเก็บไว้ในหน่วยความจำ โดยจะเก็บข้อมูลของสัญญาณให้ครบทั้ง 3 จุดภาพ จะเห็นได้ว่าตัวหน่วงเวลาจะทำการหน่วงสัญญาณภาพในแนวตั้ง (แต่ละเส้นภาพจนสัญญาณเข้ามาครบทุกเส้นภาพ) ส่วนหน่วยความจำจะทำการเก็บสัญญาณในแนวนอนโดยจะทำการเก็บข้อมูลจุดภาพ ของแต่ละเส้นที่ถูกส่งเรียงกันเข้ามาพร้อมกันทั้ง 3 เส้น และทำการจัดเรียงให้อยู่ในสภาวะที่เหมาะสม ดังนั้นลักษณะของหน่วยความจำจะเป็นลักษณะอาร์เรย์ (Array) ที่มีขนาดสามารถเก็บข้อมูลของสัญญาณได้เท่ากับขนาดของกรอบที่กำหนด เพื่อเป็นที่เตรียมข้อมูลที่ได้มาส่งไปทำการประมวลผลหาค่ามัธยฐานต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

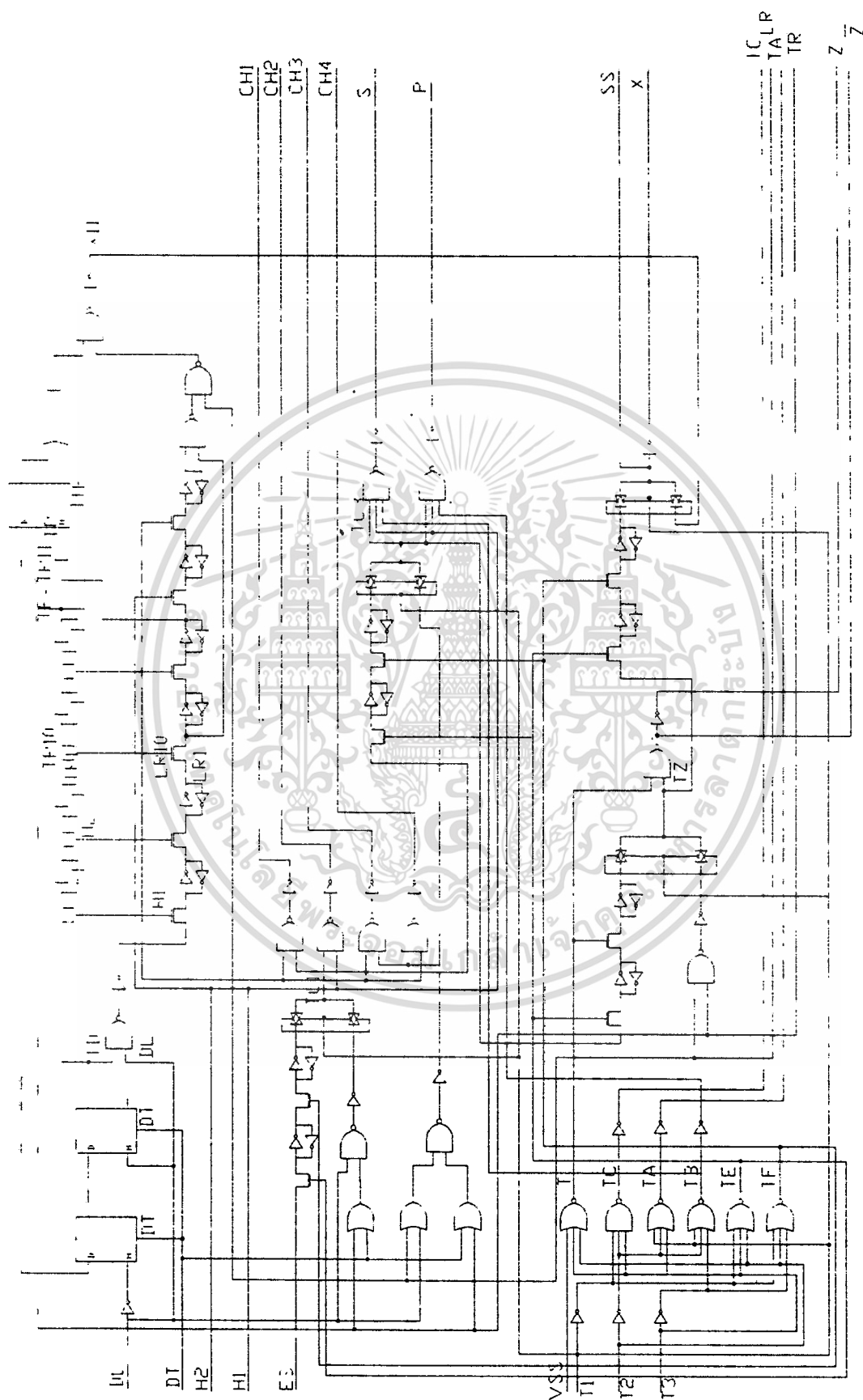
4.2.3. หน่วยควบคุมลำดับสัญญาณ (Sequencer and Line Synchronization)

เนื่องจากวงจรกรองแบบมัลติฐานนี้ทำงานในลักษณะ ของวงจรแบบลำดับ (Sequential)

ซึ่งเวลาและจังหวะของสัญญาณต่างๆในวงจร จะมีความสำคัญมาก การเดินทางของสัญญาณทุกเส้นจะต้องถูกกำหนดล่วงหน้า ไว้อย่างพอดี และจะต้องเป็นไปอย่างพร้อมเพรียงกัน ดังนั้นจึงต้องมีส่วนที่ทำหน้าที่ควบคุมการเดินทางของสัญญาณดังกล่าว โดยหน่วยควบคุมลำดับสัญญาณ จะทำหน้าที่ควบคุมการเคลื่อนที่ของสัญญาณทั้งหมดในวงจร โดยหน่วยควบคุมลำดับสัญญาณจะรับสัญญาณฐานเวลาจากตัวกำเนิดสัญญาณนาฬิกาจากภายนอก และจะทำการนำสัญญาณนาฬิกาที่ได้มาทำการจัดเรียงให้เหมาะสมเพื่อใช้เป็นสัญญาณส่งไปควบคุมการทำงานของส่วนต่างๆในวงจรอีกครั้งหนึ่ง ซึ่งในวิทยานิพนธ์นี้ผู้เขียนได้ออกแบบวงจรส่วนนี้ และได้นำวงจรที่ได้ไปออกแบบเป็น เลย์เอาต์ เพื่อเป็นต้นแบบในการเจียสสารเพื่อทำเป็นวงจรรวมต่อไป

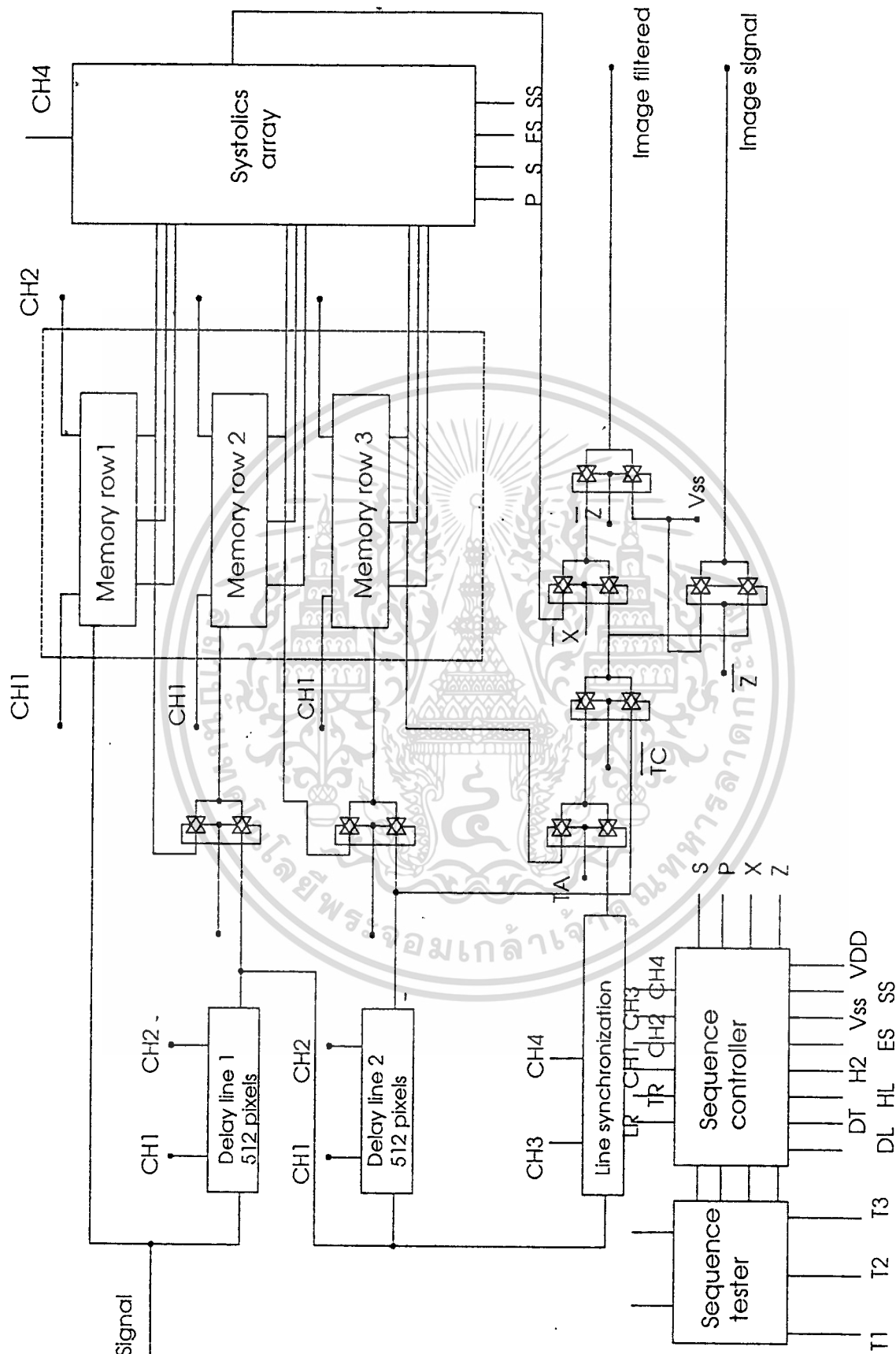
4.2.4. หน่วยประมวลผลกรองสัญญาณ (2-D data operator) □

หน่วยประมวลผลนี้ เป็นชุดวงจรที่ถูกออกแบบมาเพื่อทำการกรองสัญญาณแบบมัลติฐานโดยเฉพาะ โครงสร้างภายในจะเป็นลักษณะอาร์เรย์ ตามที่ได้กล่าวในข้างต้นนั้น องค์ประกอบที่สำคัญของประสิทธิภาพของวงจรกรองแบบมัลติฐานนั้นคือ กระบวนการหาค่ามัลติฐาน ซึ่งมีอยู่มากมายหลายวิธี ในการประยุกต์ใช้งานนั้นจะต้องทำการออกแบบวงจรขึ้นมาเพื่อการนี้โดยเฉพาะซึ่งวงจรที่ได้จะมีขนาดใหญ่และมีความซับซ้อนเป็นอย่างมาก เป็นเสมือนหนึ่งไมโคร โปรเซสเซอร์ตัวหนึ่งแต่จะมีขีดจำกัดความสามารถในการทำงานอยู่เพียงระดับหนึ่งเท่านั้น ซึ่งจะไม่สามารถทำการประมวลผลข้อมูลได้ทั่วไปเหมือนไมโคร โปรเซสเซอร์ เนื่องจากขอบเขตของการ ทำงานที่ตัวโปรเซสเซอร์ทำได้นั้นมีอยู่จำกัด ซึ่งผู้ออกแบบก็จะทราบเงื่อนไขการทำงานทั้งหมดชัดเจนอยู่แล้ว แต่ในขณะเดียวกันสิ่งที่จำเป็นคือ เวลาที่ใช้ในการประมวลผลมีจำกัด สัญญาณภาพที่จะประมวลผลจะถูกส่งมาอย่างต่อเนื่อง ดังนั้นการประมวลผลสัญญาณจะต้องรวดเร็วตอบสนองต่ออินพุตที่เข้ามาได้ทัน และด้วยการออกแบบมาเพื่อสำหรับการประมวลผลสัญญาณทางด้านดิจิทัลตามที่กำหนดไว้เท่านั้น ทำให้การประมวลผลได้อย่างรวดเร็วและมีประสิทธิภาพ สูงมาก และสำหรับการเปลี่ยนแปลงการจะกำหนดกระบวนการในการหาค่ามัลติฐานของวงจรให้เป็นไปในลักษณะใดนั้น จำเป็นที่จะต้องออกแบบหน่วยประมวลผลนี้ให้สอดคล้องกันด้วย



รูปที่ 4.4 วงจรโดยสมบูรณ์ของ Sequencer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



บทที่ 5

การออกแบบวงจรรวม

5.1 ขั้นตอนการออกแบบวงจรรวม

โครงสร้างของวงจรรวมที่ใช้เทคโนโลยี VLSI ก่อนที่จะทำการผลิตเป็นผลิตภัณฑ์ขึ้นมาได้จะต้องผ่านขั้นตอนการออกแบบหลักอยู่ 3 ขั้นตอน คือ การกำหนดคุณลักษณะ การประกอบ การประเมินผล สำหรับขั้นตอนของการกำหนดคุณลักษณะนั้น จะเป็นการออกแบบในรายละเอียดของสารต่างๆ และการจำลองหน้าที่การทำงานของชิพ เพื่อสามารถบรรจุฟังก์ชันการทำงานของชิพ ตามที่ต้องการ

โดยทั่วไปแล้ว สัญญาณนาฬิกา แหล่งจ่ายไฟ กราวนด์ และสัญญาณควบคุม จะถูกกำหนดและจัดวางกระจายไปทั่วชิพ ภายในขั้นตอนนี้ รวมไปถึงถึงทางเดินของตัวนำที่เชื่อมต่อระหว่างโมดูลต่าง ๆ หลังจากขั้นตอนนี้จะเป็นการออกแบบในระดับสูงกว่า และเชื่อมต่อกันจนอย่างสมบูรณ์จนเป็นชิพ การพิจารณาถึงหน้าที่การทำงานจะเป็นไปในลักษณะของอุปกรณ์ที่มีขนาด และหน้าที่ กว้างขึ้น เช่น RAM, ALE, Register เป็นต้น

สำหรับการตรวจสอบการทำงานและคุณสมบัติ การตอบสนองของผลลัพธ์ที่ได้นั้น จะทำโดยการ จำลองการทำงาน พร้อมกันทั้งวงจร ซึ่งปัจจุบันสามารถทำได้โดยใช้ คอมพิวเตอร์ช่วยจำลองการทำงานในส่วนนี้ ซึ่งให้ผลการจำลองการทำงานได้เช่นเดียวกับการทดลองจริง โดยจะต้องป้อนค่าต่างๆ ให้ใกล้เคียงกับการทดลองจริงด้วยเช่นกัน

สำหรับรายละเอียดในการออกแบบวงจรรวมที่กล่าวมานั้น เป็นขั้นตอนการออกแบบอย่างกว้างๆ ที่จะเป็โครงสร้างของการออกแบบทั้งระบบ สำหรับการออกแบบในรายละเอียดจะกล่าวถึงต่อไป

5.11 การวางผังวงจร (Floor Planning)

การวางผังวงจรเป็นขั้นตอนแรกของการออกแบบ VLSI ในขั้นการวางเลย์เอาต์ ของการออกแบบ จะต้องทำการจัดวางชิ้นสารกึ่งตัวนำและตัวนำ และการออกแบบเซลล์ในลักษณะเป็นมาโคร หรือชุดรวมของวงจรขนาดเล็ก เพื่อนำมาใช้ซ้ำ การวางผังวงจรจะต้องพิจารณาถึงความเร็วของสัญญาณ พื้นที่ใช้งาน พลังงานสูญเสีย ค่าใช้จ่ายในการอิมพลีเม้นท์ และเสถียร

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพของวงจร และ เซลล์ที่ได้วางผังไว้ ซึ่งจะต้องใช้เวลาในการพิจารณานานและรอบคอบที่สุด เพราะการออกแบบจะมีประสิทธิภาพสูงสุด จะต้องออกแบบตั้งแต่ในส่วนที่เป็นส่วนย่อยที่สุด ให้มีประสิทธิภาพตั้งแต่ขั้นตอนนี้ เพื่อตอบสนองการออกแบบในขั้นสูงต่อไป

สำหรับการออกแบบวงจรรวม VLSI ในระบบ 3 มิติ (x,y และ t) จะมีขอบเขตการออกแบบที่มีขนาดใหญ่และซับซ้อนมากขึ้น ลักษณะการออกแบบในแบบ 3 มิตินี้จะมีส่วนที่เพิ่มเติมขึ้นมา คือ จะมีการเชื่อมต่อกันของวงจร ในทางแนวดิ่ง จะมีวงจรซ้อนทับกันอยู่บนพื้นที่เดียวกัน โดยมีฉนวนกั้นกลางอยู่ระหว่าง วงจรทั้งสองทำให้ในการออกแบบจะต้องจัดเตรียมการเชื่อมต่อไว้ ทั้ง 3 ทิศทาง วงจรที่มีการใช้โครงสร้างของวงจรรวมประเภทนี้ได้แก่ วงจรประเภทที่มีการทำงานแบบขนาน (Parallel processing) หรือ แบบไปป์ไลน์ (Pipe line) ซึ่งวงจรประเภทนี้จะมีการทำงานและประมวลผล ข้อมูลชุดเดียวกันพร้อมๆ ในเวลาเดียวกัน แต่ฟังก์ชันการทำงานแตกต่างกัน ลักษณะการออกแบบที่นิยมกันมากสำหรับการออกแบบ 3 มิติคือ ซายโซลิด อาร์เรย์ (Systolic Array) สาเหตุที่การประมวลผลแบบขนานส่วนใหญ่จะมีโครงสร้างของวงจรรวมเป็น 3 มิติ เนื่องจากการประมวลผลของข้อมูลจะต้องทำไปพร้อมๆ กัน ในหลายๆจุด การออกแบบวงจรในลักษณะ 2 มิติ จะทำได้ยาก จะติดขัดในเรื่องของระยะทางของแต่ละจุดไม่เท่ากัน ห่างกันมาก เวลาที่ข้อมูลเดินทางไปเพื่อรอการประมวลผลก็จะต่างกันทำให้การทำงานไม่สามารถทำได้พร้อมกันอย่างแท้จริง และเกิดข้อผิดพลาดเนื่องจากเวลาไม่สัมพันธ์กันได้ง่าย การออกแบบในแบบ 3 มิติจะช่วยลดปัญหานี้ลงได้มาก

ลักษณะการออกแบบนี้จะเป็นแบบทั่วไป มีโครงสร้างที่สามารถนำมาใช้ซ้ำได้ อีกทั้งยังสามารถสร้างใหม่ได้ไม่ยากนัก วิธีการนี้แสดงให้เห็นถึงการออกแบบในแบบขนานและไปป์ไลน์ ทำให้สามารถสร้างชิพได้ความจุของทรานซิสเตอร์ ต่อพื้นที่สูง การออกแบบจะใช้ช่วงของช่องว่างของชิพ และมีขอบเขตพื้นที่ใกล้เคียงกัน ง่ายต่อการเชื่อมต่อกันในแนวดิ่ง และมีระยะทางไม่มากนัก ทำให้สามารถรองรับสัญญาณไฟฟ้าที่มีความถี่สูงได้ สามารถใช้งานกับวงจรที่มีความซับซ้อนได้เป็นอย่างดี และเพิ่มความหนาแน่นของทรานซิสเตอร์ต่อชิพได้อีกด้วยเช่นกัน

5.1.2 การพัฒนาผังวงจร

หลังจากที่ได้ออกแบบผังของวงจรรวมในขั้นตอนแรกแล้ว จะต้องนำผังวงจรที่ได้มาพัฒนาเพื่อให้ วงจรรวมที่ได้มีประสิทธิภาพมากที่สุด และได้ตรวจสอบการออกแบบโดยรวมทั้งหมดของวงจรอย่างละเอียด และจุดที่สำคัญต่างๆเช่น พื้นที่วิกฤต การจัดวางตัวนำสัญญาณ ขนาดสุดท้ายของชิพ ไปจนถึงความเร็วและจังหวะของข้อมูลด้วย

ส่วนการตรวจสอบนั้น ส่วนใหญ่จะใช้คอมพิวเตอร์ช่วยในการตรวจสอบและวิเคราะห์ เนื่องจากว่าจุดที่ต้องการตรวจสอบนั้นมีมาก การตรวจสอบด้วยมนุษย์อาจจะทำให้ล่าช้าและผิดพลาดได้ง่าย อีกประการหนึ่ง การเปลี่ยนแปลงส่วนใดส่วนหนึ่งของวงจร ย่อมจะส่งผลกระทบต่อส่วนอื่นๆ และวงจรทั้งหมดอย่างหลีกเลี่ยงไม่ได้ เช่น ลดขนาดของพื้นที่ทำให้เกิดความร้อนมากขึ้น วงจรจึงสามารถทำงานได้ที่ความถี่ที่ต่ำลงด้วย เป็นต้น ดังนั้นจึงจำเป็นต้องใช้การจำลองการทำงาน ในสถานะที่เปลี่ยนแปลง ซึ่งจะต้องใช้การคำนวณและการทำซ้ำเป็นจำนวนมาก ในปัจจุบันมีผู้ผลิตโปรแกรมสำเร็จรูปเพื่อจำลองการทำงาน และพัฒนาเครื่องมือที่ใช้ในการออกแบบ ให้สามารถใช้งานได้ง่ายขึ้น และทำงานได้เร็วขึ้น

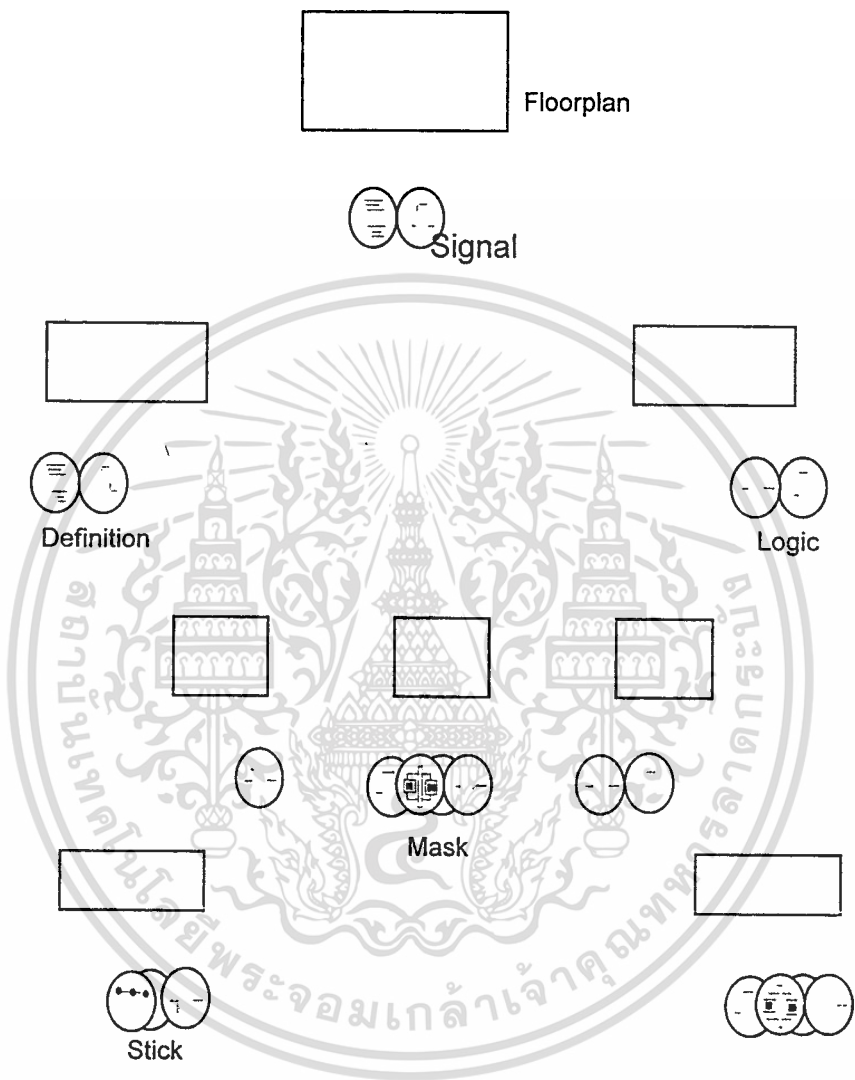
การออกแบบวงจรรวม เริ่มต้นจากการสร้างชิพหรือลูกออกแบบส่วนประกอบทั้งหมดนำมาเชื่อมต่อเข้าด้วยกัน หลังจากนั้นจึงนำมาจัดวางลักษณะโครงสร้างของผังวงจรให้เป็นระเบียบและสามารถตรวจสอบได้ง่ายขึ้น ในช่วงแรกๆนั้นจะนิยมออกแบบจากล่างขึ้นบน

5.2 ส่วนประกอบของผังวงจร

ผังวงจรแต่ละระดับของการออกแบบ ไม่ว่าจะแสดงให้เห็นทั้งชิพ หรือแสดงให้เห็นเป็นเพียงแค่เกตพื้นฐาน จะต้องมีความสัมพันธ์พื้นฐานเหมือนกัน คือการเชื่อมต่อกันของสารกึ่งตัวนำ และตัวนำเป็นวงจร จะแตกต่างกันก็เพียงขนาดของวงจรที่ออกแบบ ทำให้เราสามารถนำวงจรเหล่านี้มาใช้ซ้ำได้ สำหรับการออกแบบที่สูงขึ้นไป ดังนั้นวงจรใดที่ได้รับการออกแบบไปแล้วจึงไม่ต้องนำมาออกแบบซ้ำอีก แต่นั่นหมายถึงจะต้องออกแบบ เส้นทางการเข้าออกของสัญญาณไว้ให้สามารถใช้ได้ในหลายทิศทางด้วย สำหรับผังวงจรที่ออกแบบโดยทั่วไปจะต้องมีส่วนประกอบดังนี้

- ขอบเขตของเซลล์ที่พิจารณา (BLOCK) เนื่องจากการออกแบบในระดับนี้จะทำการพิจารณาวงจรในระดับเซลล์ ทุกๆวงจรที่นำมาออกแบบร่วมกัน มีค่าเท่ากันคือ เป็นเซลล์ 1 เซลล์ จะแตกต่างกันที่ฟังก์ชันการทำงาน และจำนวนสัญญาณที่ผ่านเข้าออกแต่ละเซลล์ จะไม่มีการนำเซลล์

ภาพที่ 12



แสดงระดับการออกแบบและการวางผังวงจร

เหล่านี้นำมาพิจารณาในรายละเอียดอีก เพราะถือว่าทุกๆเซลล์ผ่านการออกแบบในระดับล่างแล้ว และมีฟังก์ชันการทำงานที่ถูกต้อง จะใช้ BLOCK เป็นสัญลักษณ์แทนเซลล์แต่ละตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ทางเชื่อมต่อบริเวณขอบของ BLOCK และบอกตำแหน่งของสัญญาณ อินพุท เอาท์พุท สัญญาณแบบ 2 ทิศทาง และสัญญาณอื่นๆที่เคลื่อนที่ผ่านเซลล์
- พอร์ต เป็นส่วนประกอบที่จัดเตรียมไว้สำหรับเชื่อมต่อ กันของข้อมูลของแต่ละเซลล์หรือกับวงจรภายนอก
- ตัวนำ สำหรับเชื่อมต่อกับเซลล์อื่นๆ และ พอร์ต ซึ่งแต่ละเซลล์จะต้องมีเพื่อเป็นทางเข้าออกของข้อมูล
- ข้อความ สำหรับอธิบายถึงส่วนประกอบของเซลล์ , ชื่อของเซลล์ , พอร์ต และตัวนำ
- Instance เพื่อบอกลำดับขั้นของการออกแบบในกรณีที่มีการออกแบบต่อเนื่องกันมาจากเซลล์ในระดับล่าง

สำหรับระดับการออกแบบและการวางผังวงจรแสดงดังรูปที่ 5.1

5.3 การกำหนดฟังก์ชันการทำงาน

ในขั้นตอนแรกนั้น การออกแบบส่วนใหญ่จะเน้นหนักไปในการออกแบบทางกายภาพของผังวงจร แต่นั่นมิใช่เป้าหมายสำคัญของการออกแบบโดยรวม เป้าหมายที่สำคัญของการออกแบบคือ การทำให้วงจรรวมที่ออกแบบมีประสิทธิภาพสูงที่สุด และสามารถทำงานตามฟังก์ชันได้อย่างครบถ้วนสมบูรณ์ เส้นทางเดินของข้อมูลจะจัดวางกระจายอยู่บนพื้นผิวของสารกึ่งตัวนำทางเดินแต่ละเส้นจะถูกส่งต่อเข้าไปยังวงจรลอจิกเกต โดยที่เซลล์จะถูกจัดวางอยู่ในแนวนอน และเชื่อมต่อกับเซลล์อื่นทั้งในแนวตั้งและแนวนอน ดังแสดงให้เห็นในรูป 5.2 จะเห็นว่า การเปลี่ยนจาก มัลติเพลกเซอร์ของวงจรลอจิก แบ่งออกเป็น 3 ส่วน เพื่อลดจำนวนของลวดตัวนำที่ใช้ในการเชื่อมต่อของข้อมูลจำนวนมาก

ข้อดีของเทคนิคแบบนี้คือ

1. ประหยัดพื้นที่
2. ทำให้ผู้ออกแบบมีอิสระในการวางตำแหน่งของเซลล์ ใกล้กับเซลล์อื่นที่มีการทำงานสัมพันธ์กัน
3. เซลล์ที่ถูกแยกส่วนสามารถนำมาจัดรวมกันเพื่อทำหน้าที่อย่างอื่นได้
4. ระยะห่างของลวดตัวนำที่ใช้จะคงที่
5. เซลล์ที่ถูกแยกส่วนสามารถนำมาใช้ซ้ำได้

โดยทั่วไปแล้ว ทางเดินของข้อมูลที่ออกแบบโดยเทคนิคดังกล่าว สามารถนำมาใช้งานได้ตามความเหมาะสม โดยที่ไม่จำเป็นต้องเจาะจงว่าจะต้องแยกเซลล์ใดหรือไม่ จะทำให้เกิดผลดีต่อวงจรที่ออกแบบ เวลาหน่วงจะน้อยลง ตัวนำที่ใช้ในการออกแบบก็จะลดลง

สำหรับกรณีอื่นๆ การเปลี่ยนจากวงจรลอจิก ลงเป็นผังวงจรนั้นทำได้ไม่มากนัก จำเป็นต้องทดลองออกแบบดูหลายๆวิธีเพื่อดูว่า วิธีใดจะเหมาะสมและทำให้การปัจจัยทุกส่วน ทำงานอยู่ในสถานะที่สมดุล ถึงแม้ว่าบางส่วนอาจจะไม่ดีที่สุด แต่เมื่อทำให้วงจรทั้งหมดทำงานได้ดีที่สุด ก็ถือว่า การออกแบบนั้นได้บรรลุวัตถุประสงค์

สำหรับทางเดินของข้อมูลมาตรฐานทั่วไป เซลล์จะถูกต่อเชื่อมกัน ในลักษณะการสัมผัสโดยตรงของจุดเชื่อมของเซลล์ ทำให้ประหยัดการเชื่อมของลวดตัวนำ ความยุ่งยาก และปัญหาอื่นๆเช่น เวลาหน่วงลงได้มาก การออกแบบของวงจรนี้จากโครงสร้างการทำงานแล้วจำเป็นต้องอย่างยิ่งที่จะต้องออกแบบใน 3 มิติ หากต้องการสร้างในแบบ 2 มิติ จะต้องเริ่มออกแบบโครงสร้างการทำงานใหม่ให้เหมาะสมกับแบบ 2 มิติ โดยเฉพาะ ไม่ควรนำโครงสร้างการทำงานและประมวลผลแบบ 3 มิติ ไปใช้ออกแบบเป็นวงจรรวมแบบ 2 มิติ

การออกแบบผังวงจรเป็นส่วนที่สำคัญที่สุดของการออกแบบวงจรรวม วงจรรวมที่ได้จะมีประสิทธิภาพดีหรือไม่ ใช้พื้นที่มากน้อยเพียงใด ล้วนเป็นสิ่งที่กำหนดโดยผังวงจรทั้งสิ้น ดังนั้นที่ออกแบบ ควรจะใช้เวลาในการออกแบบและพิจารณาให้รอบคอบที่สุด เพื่อวงจรรวมที่ได้จะเป็นวงจรรวมที่มีคุณสมบัติดีที่สุด

5.4 ข้อพิจารณาและกฎการออกแบบ

ในอดีตการออกแบบวงจรรวม จะทำได้เฉพาะโรงงานที่ผลิตอุปกรณ์อิเล็กทรอนิกส์ที่สามารถสื่อสารได้เท่านั้น เพราะขั้นตอนในการผลิตวงจรรวมจะซับซ้อนและยุ่งยากมากจำเป็นที่ผู้ออกแบบวงจรรวมจะต้องเข้าใจถึง กระบวนการผลิต รวมทั้งขีดจำกัดต่างๆของการผลิตวงจรรวมด้วย นอกจากนั้นขั้นตอนการออกแบบวงจรรวมและการจัดวางสารกึ่งตัวนำต่างๆก็ทำได้ยากลำบากเช่นกัน เพราะยังขาดเครื่องมือที่ใช้ในการออกแบบและการวิเคราะห์วงจร ทำให้งานที่ได้ไม่มีประสิทธิภาพเท่าที่ควร มีการใช้พื้นที่ของวงจรมากเกินความจำเป็น จนต่อมาเมื่อเทคโนโลยีทางด้านคอมพิวเตอร์ได้พัฒนาเจริญก้าวหน้าขึ้น จึงมีการนำคอมพิวเตอร์มาใช้งานในด้านการออกแบบวงจรรวม ทำให้ผลงานการออกแบบวงจรรวมพัฒนาขึ้นตามลำดับ ผู้ออกแบบสามารถออกแบบวงจรได้ง่ายขึ้นและสามารถทำงานที่กว้างขึ้น และซับซ้อนขึ้น

อย่างไรก็ตามขั้นตอนและวิธีการของการผลิตก็ยังคงซับซ้อนเช่นเดิม จึงมีการแยกส่วนการผลิตวงจรรวมและการออกแบบแยกจากกัน เป็นอิสระต่อกัน โดยที่ผู้ออกแบบจะต้องออกแบบให้อยู่ภายใต้ข้อกำหนดของการผลิต ซึ่งก็คือขีดจำกัดของการผลิตที่สามารถทำได้ เพื่อมิให้เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เกิดปัญหาในกรณีที่วงจรรวมได้ออกแบบมาแล้วไม่สามารถผลิตให้เป็นจริงได้ เนื่องจากขีดจำกัดในการผลิตทางด้านกายภาพ ข้อกำหนดต่าง ๆ นั้นจะกำหนดถึงขีดความสามารถในการผลิต และคุณสมบัติของสารกึ่งตัวนำที่ใช้ผลิตวงจรรวม ข้อกำหนดเหล่านี้เรียกว่า กฎของการออกแบบ (Design Rule)

และด้วยกฎของการออกแบบนี้ทำให้ ผู้ออกแบบสามารถแยกงานของแต่ละกระบวนการออกจากกันได้อย่างเป็นอิสระ และเชี่ยวชาญเฉพาะด้าน โดยอยู่ภายใต้กฎของการออกแบบอันเดียวกัน ทำให้การออกแบบทำได้ง่ายขึ้นและผู้ออกแบบไม่จำเป็นต้องศึกษาเกี่ยวกับกระบวนการผลิตที่ซับซ้อนด้วย

ในการผลิตวงจรรวมนั้นจะมีขั้นตอนอยู่มาก และในแต่ละขั้นตอนจะมีความผิดพลาดเกิดขึ้นได้ โดยเฉพาะขั้นตอนการสร้างวงจรรวมและการวางชั้นสารต่าง ๆ บนแผ่นเวเฟอร์ โดยการใช้น้ำกาก (Mask) ซึ่งสารแต่ละชนิดจะต้องใช้น้ำกากของตัวเอง ในการวางหน้ากากจะมีโอกาสที่จะซ้อนกันไม่สนิท มีการเหลื่อมกันของหน้ากากแต่ละชุดได้ เมื่อนำมาวางซ้อนกันขอบของภาพที่ได้จากการโฟโตริซิส (Photo Resist) ซึ่งเป็นการถ่ายแบบหน้ากากลงบนแม่พิมพ์โดยใช้แสง เกินเลยออกไป หรือในขั้นตอนการเจียรสาร สารที่แพร่ลงบนเวเฟอร์ได้แพร่เลยออกไปจากขอบเขตที่กำหนด ซึ่งจะทำให้เกิดการลัดวงจรขึ้น และเสียหายจนไม่สามารถใช้งานได้ ดังนั้นเพื่อเป็นการรับประกันว่า วงจรรวมที่ผลิตขึ้นจะมีคุณสมบัติทางไฟฟ้า เช่น ความต้านทานค่าความจุไฟฟ้า ถูกต้องตามมาตรฐาน จึงต้องมีการกำหนดขนาดมาตรฐานของสารกึ่งตัวนำแต่ละชนิดของวงจรรวม เป็นกฎของการออกแบบด้วย

จากที่กล่าวมาแล้วข้างต้น กฎของการออกแบบจะสัมพันธ์กับขีดความสามารถในการผลิตวงจรรวม ดังนั้นเมื่อกระบวนการผลิตได้พัฒนาขึ้น กล่าวคือสามารถออกผลิตวงจรรวมที่มีขนาดเล็กลงได้ ระยะเวลาขีดจำกัดต่างๆ ในกฎของการออกแบบจึงมีการปรับเปลี่ยนเพื่อให้ได้ใช้ความสามารถในการผลิตได้อย่างเต็มที่ แต่ก็ทำให้ผู้ออกแบบวงจรที่จะต้องคอยปรับเปลี่ยนตามกฎของการออกแบบอยู่เสมอ จึงมีนักออกแบบอิสระกลุ่มหนึ่งได้คิดวิธีการกำหนดกฎการออกแบบให้อยู่ในรูปของหน่วยวัดระยะทางอิสระ ที่สามารถอ้างอิงถึงหน่วยวัดระยะทางจริงได้ และสามารถลดขนาดได้ตามการเปลี่ยนแปลงของเทคโนโลยี โดยรักษาสัดส่วนของสารต่างๆ ไว้เท่าเดิม โดยไม่มีผลต่อวงจรที่ออกแบบไว้ก่อนแล้ว ผู้ที่เสนอกฎการออกแบบนี้คือ คาร์เวอร์ มีด (Carver Mead) และ ลินน์ คอนเวย์ (Lynn Conway) มีดและคอนเวย์เสนอกฎการออกแบบเมื่อปี ค.ศ. 1980 กฎการออกแบบนี้เป็นที่นิยมอย่างแพร่หลาย และในภายหลังได้มีผู้สร้างกฎการออกแบบในทำนองเดียวกันสำหรับเทคโนโลยีแบบซีมอสด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.5 กฎการออกแบบของมิดและคอนเวย์ (Mead & Conway design rule)

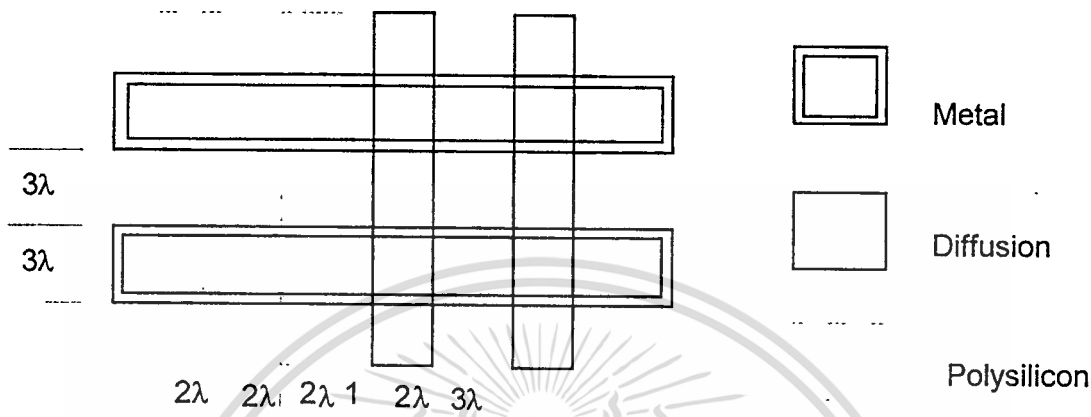
หน่วยวัดระยะทางอิสระในกฎการออกแบบของมิดและคอนเวย์ คือค่า λ ค่า λ นี้เป็นค่าที่ประมาณจากความผิดพลาดที่มากที่สุด ที่อาจเกิดขึ้นได้จากการใช้หน้ากากในขั้นตอนการผลิตวงจรรวม ถ้าใช้หน้ากากอีกชุดหนึ่งรวมกัน ก็ทำให้ค่าความผิดพลาดมากขึ้นแต่ไม่เกิน 2λ ดังนั้นระยะทาง 2λ จึงถือเป็นระยะมาตรฐานสำหรับการกำหนดระยะห่างระหว่าง สารกึ่งตัวนำบนวงจรรวม สำหรับค่า λ นั้นจะขึ้นอยู่กับความสามารถของเทคโนโลยีการผลิตวงจรรวมในขณะนั้น เช่นเมื่อปี คศ.1983 ค่า λ มีค่าประมาณ 2 ไมครอน (2×10^{-6} เมตร) แต่ปัจจุบัน (คศ. 1989) λ มีค่าประมาณ 0.5 ไมครอน และยังคงมีการพัฒนาให้มีขนาดเล็กลงเรื่อยๆ

กฎการออกแบบของมิดและคอนเวย์ ได้กำหนดกฎสำคัญไว้ 4 ข้อคือ ขนาดความกว้าง ระยะห่าง ความยาวส่วนเกิน และความกว้างของส่วนคาบเกี่ยว ซึ่งกฎทั้ง 4 ข้อนี้จะกำหนดค่าที่น้อยที่สุดที่ยอมรับได้ โดยจะขึ้นอยู่กับว่าส่วนนั้นเป็นชนิดของชั้นสารแบบไหนด้วย

5.5.1 กฎการออกแบบในเทคโนโลยีเอ็มมอส

สารที่สำคัญในวงจรรวม มีอยู่ 3 ชนิดคือ สารโลหะ (Metal) สารแพร่ (Diffusion) และสารโพลีซิลิกอน โดยปกติแล้วในการออกแบบนั้นสารเหล่านี้จะมีสีประจำตัวคือ ชั้นสารโลหะจะใช้สีฟ้า สารแพร่จะใช้สีเขียว และสารโพลีซิลิกอนจะใช้สีแดง นอกจากสารสำคัญทั้ง 3 แล้ว ในเทคโนโลยีของเอ็มมอสยังมีสารอีกชนิดหนึ่งคือ สารอิมแพลนท์ (Implant) ซึ่งจะใช้สีเหลืองเป็นสัญลักษณ์ สำหรับการออกแบบสร้างทรานซิสเตอร์ในเทคโนโลยีเอ็มมอส ที่เกิดจากการใช้สารโพลีซิลิกอนลากตัดขวางกับสารแพร่ ก็จะเกิดเป็นทรานซิสเตอร์มอสแบบเอ็นชานซ์เมนต์ขึ้น โดยมีสารโพลีซิลิกอนเป็นเกต และมีสารแพร่ทั้งสองด้านเป็น ซอร์สและเดรนของทรานซิสเตอร์ แต่ถ้าต้องการทรานซิสเตอร์มอสแบบดีฟลิทชัน ก็สามารถทำได้โดยใช้สารอิมแพลนท์ ไปครอบคลุมจุดตัดระหว่างสารแพร่และสารโพลีซิลิกอนของทรานซิสเตอร์ นอกจากนี้สารที่ใช้ในการออกแบบที่สำคัญคือตัวเชื่อมต่อ (Contact cut) ซึ่งจะใช้สัญลักษณ์สี่เหลี่ยมมีสีดำตรงกลาง ล้อมรอบด้วยสีของสารเพื่อระบุว่าเป็นตัวเชื่อมต่อสำหรับสารนั้นๆ

ภาพที่ 13

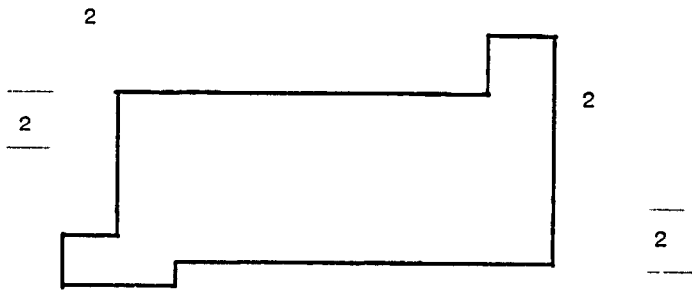


แสดงระยะห่างที่กำหนดในกฎการออกแบบ

ภาพที่ 13 ได้แสดงรายละเอียดของกฎการออกแบบสำหรับเทคโนโลยีแบบเอ็นมอส โดยใช้สัญลักษณ์แทนสาร สารกึ่งตัวนำ และส่วนประกอบต่างๆ ซึ่งมีรายละเอียดดังนี้

ทุกสารจะต้องมีความกว้างอย่างน้อย 2 λ ยกเว้นสารโลหะที่ต้องมีความกว้าง 3 λ สำหรับระยะห่างนั้น สารโพลีซิลิกอนต้องห่างกันอย่างน้อย 2 λ ระยะห่างระหว่างโลหะกับโลหะ และสารแพร่กับสารแพร่ต้องห่างกันอย่างน้อย 3 λ กฎเกี่ยวกับความกว้างและระยะห่างแสดงดังภาพที่ 13

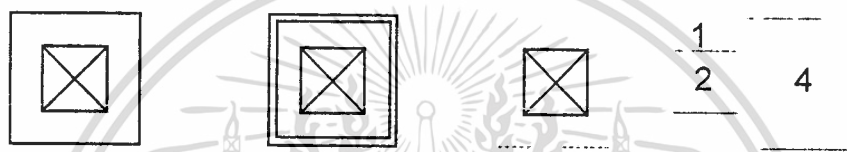
ภาพที่ 14



แสดงระยะห่างระหว่างสารแพร่กับโพลีซิลิกอน

การสร้างทรานซิสเตอร์ จะต้องเกิดจากการวางสารโพลีซิลิกอนที่มีขนาด 2 λ ตัดกับสารแพร่ที่มีขนาด 2 λ และสารโพลีซิลิกอนนี้จะต้องมีส่วนเกินจากขอบของสารแพร่ออกไปเป็นระยะทาง 2 λ ทั้งนี้เพื่อป้องกันมิให้เกิดการลัดวงจร ระหว่างซอร์สและเดรน ในทำนองเดียวกันเพื่อให้มั่นใจได้ว่าซอร์สและเดรน สามารถให้กระแสไฟฟ้าไหลผ่านได้เพียงพอ จึงให้สารแพร่เป็นซอร์สและเดรน มีส่วนเกินจากสารโพลีซิลิกอนอีก 2 λ ดังภาพที่ 14

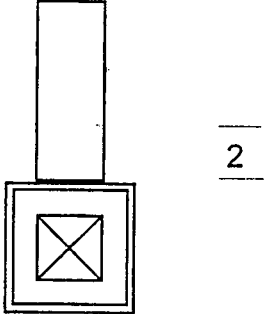
ภาพที่ 15



แสดงระยะห่างระหว่างตัวเชื่อมต่อกับโพลีซิลิกอน

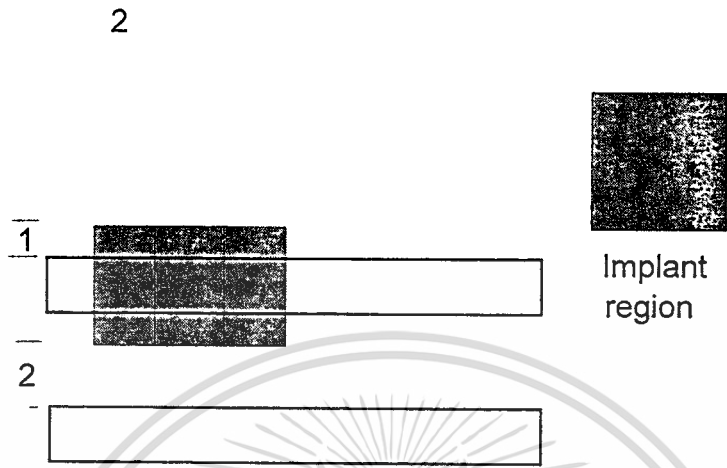
สำหรับตัวเชื่อมต่อ จะเป็นสี่เหลี่ยมจัตุรัสมีขนาดยาวด้านละ 2 λ และจะต้องมีส่วนของสารที่จะแสดงถึงชนิดของตัวเชื่อมต่อนั้น (สารโลหะ สารแพร่ หรือสารโพลีซิลิกอน) ล้อมรอบอยู่อีกเป็นระยะทาง 1 λ ดังภาพที่ 15 กรณีที่มีสารโพลีซิลิกอน อยู่ใกล้กับสารโพลีซิลิกอนจะต้องอยู่ห่างจากตัวเชื่อมต่อ 2 λ ดังภาพที่ 16

ภาพที่ 16



แสดงระยะห่างระหว่างตัวเชื่อมต่อกับโพลีซิลิกอน

ภาพที่ 17



แสดงพื้นที่ของสารแพร่

5.5.2 กฎการออกแบบในเทคโนโลยีซีมอส

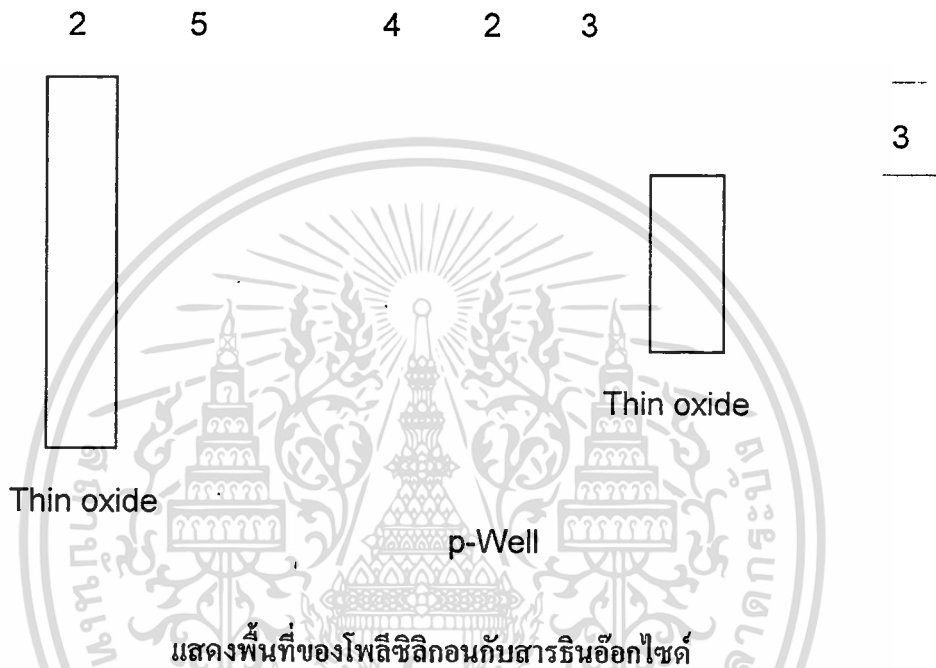
กฎการออกแบบสำหรับเทคโนโลยีซีมอส ได้เริ่มมีการพัฒนาหลังจากมีกฎการออกแบบของมิดและคอนเวย์สำหรับเทคโนโลยีเอ็มมอสแล้ว ในเทคโนโลยีแบบซีมอสนั้นมีการรวมวิธีการผลิตได้หลายแบบคือ แบบวิธีใช้เอ็น-เวลล์ (CMOS N-Well process) แบบวิธีใช้พี-เวลล์ (CMOS P-Well process) แบบวิธีทวินทิวบ์ (CMOS Twin-tub process) ซึ่งเป็นแบบเอ็น-เวลล์และ พี-เวลล์ร่วมกัน แต่ละวิธีก็จะมีกฎการออกแบบที่แตกต่างกันออกไป แต่หลักการส่วนใหญ่จะเป็นหลักการเดียวกัน

กฎการออกแบบนี้จะใช้กฎการออกแบบของมิดและคอนเวย์เป็นหลัก สำหรับสารโพลีซิลิกอน สารโลหะ และตัวเชื่อมต่อ ส่วนสารแพร่นั้นจะถูกเรียกใหม่ว่า ธิโน็อกไซด์ (Thin oxide) ใช้สีเขียวหรือสัญลักษณ์ดังภาพที่ 17. แต่ยังคงใช้กฎการออกแบบเหมือนกับเป็นสารแพร่ในเทคโนโลยีเอ็มมอส

การสร้างทรานซิสเตอร์ในเทคโนโลยีนี้จะเกิดขึ้นจาก การใช้สารโพลีซิลิกอนตัดกับสารธิโน อ็อกไซด์ ซึ่งจะมีทรานซิสเตอร์ 2 ชนิด ขึ้นอยู่กับตำแหน่งที่อยู่เมื่อเทียบกับ พี-เวลล์ซึ่งจะมีสีน้ำตาลหรือใช้สัญลักษณ์ดังภาพที่ 18. แทน และจะต้องเทียบตำแหน่งของ P^+ ซึ่งจะ

ใช้สี่เหลี่ยมหรือสัญลักษณ์ดังภาพที่ 18 กล่าวคือทรานซิสเตอร์แบบพินอสจะต้องสร้างขึ้นภายในพีเวลล์เท่านั้น ดังนั้นจึงมีกฎการออกแบบสำหรับพี-เวลล์, P^+ และธินออกไซด์เพิ่มขึ้นดังนี้

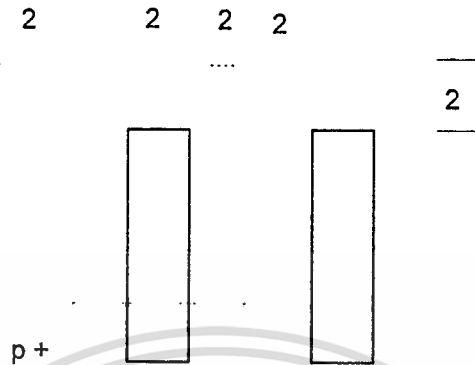
ภาพที่ 18



ภาพที่ 18 ธินออกไซด์ที่อยู่ในพี-เวลล์ จะต้องอยู่ห่างจากขอบของพี-เวลล์ เป็นระยะทาง 3λ สำหรับธินออกไซด์ที่อยู่นอกพี-เวลล์ จะต้องอยู่ห่างจากพี-เวลล์เป็นระยะทาง 5λ และขนาดความกว้างของ พี-เวลล์จะต้องไม่น้อยกว่า 4λ ส่วนระยะห่างระหว่างพี-เวลล์จะต้องห่างกันอย่างน้อย 2λ

ภาพที่ 19. P^+ กับธินออกไซด์ต้องอยู่ห่างกันเป็นระยะทาง 2λ สำหรับธินออกไซด์ที่พาดทับขอบของ P^+ จะมีส่วนของธินออกไซด์เหลืออยู่ภายใน P^+ ซึ่งส่วนนี้จะต้องอยู่ห่างจากด้านขอบของ P^+ เป็นระยะทาง 2λ ส่วนความกว้างของ P^+ จะต้องมีความ 2λ และระยะห่างระหว่าง P^+ 2 ตัวก็ต้องเป็นระยะทาง 2λ ด้วย

ภาพที่ 19

ภาพที่ 19 แสดง ระยะห่างระหว่าง P^+ กับธินออกไซด์

ภาพที่ 20

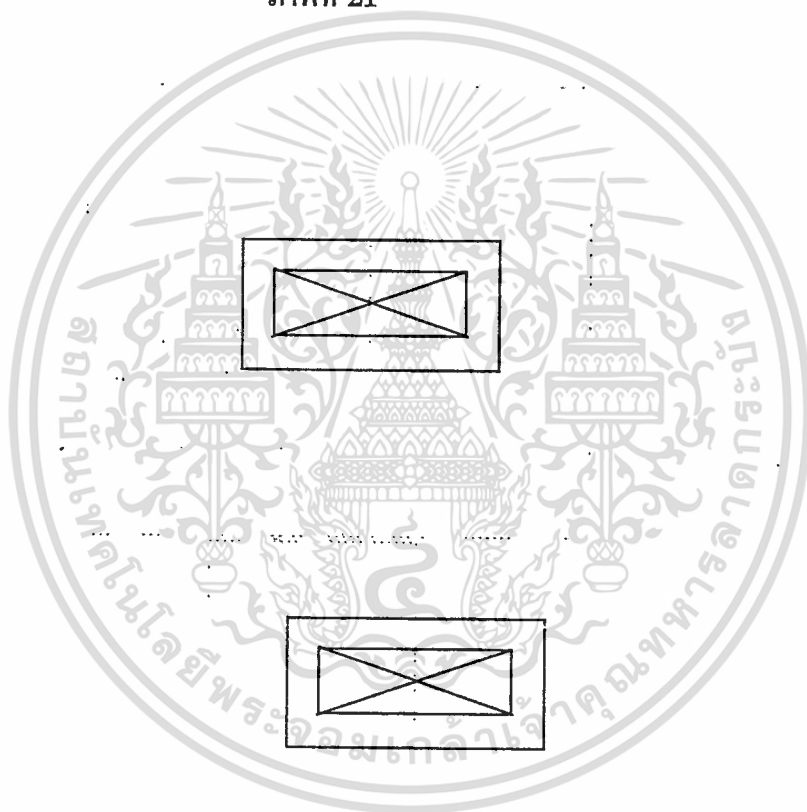
แสดงระยะห่างระหว่างตัวเชื่อมต่อกับ P^+

ภาพที่ 20 ตามกฎการเชื่อมต่อ ตัวเชื่อมต่อในเทคโนโลยีซีมอส จะต้องมีส่วนเชื่อมต่อสำหรับสารโลหะกับธินออกไซด์ ตามรูป รูปทางซ้ายจะเป็นการใช้ตัวเชื่อมต่อในลักษณะพิเศษคือใช้เชื่อมพี-เวลล์ เข้ากับ V_{ss} หรือ กราวด์ โครงสร้างของตัวเชื่อมต่อแบบนี้จะประกอบด้วยตัวเชื่อมต่อสำหรับสารโลหะกับธินออกไซด์ ล้อมรอบด้วย P^+ เป็นระยะห่าง 2λ และจะต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อยู่ในพี-เวลล์ ซึ่งขอบของพี-เวลล์จะต้องอยู่ห่างจากตัวเชื่อมต่อ 3 λ สำหรับการเชื่อมต่อระหว่างรีน็อกไซด์กับสารโลหะในแบบปกติ จะเป็นดังภาพที่ 19. ทางขวา ในกรณีที่รีน็อกไซด์จะต้องมีส่วนเกินออกมาจาก P^+ จะต้องใช้ตัวเชื่อมต่อแบบแยก (Split contact) ดังภาพที่ 21. และ 22 ตัวเชื่อมต่อแบบนี้จะมีขนาด $4 \times 8 \lambda$ ประกอบด้วยสารโลหะกับรีน็อกไซด์ ตัวเชื่อมต่อแบบแยกยังใช้ในการเชื่อมต่อของทรานซิสเตอร์กับแหล่งจ่ายไฟ หรือกราวนด์โดยผ่านชั้นสเตรต

ภาพที่ 21

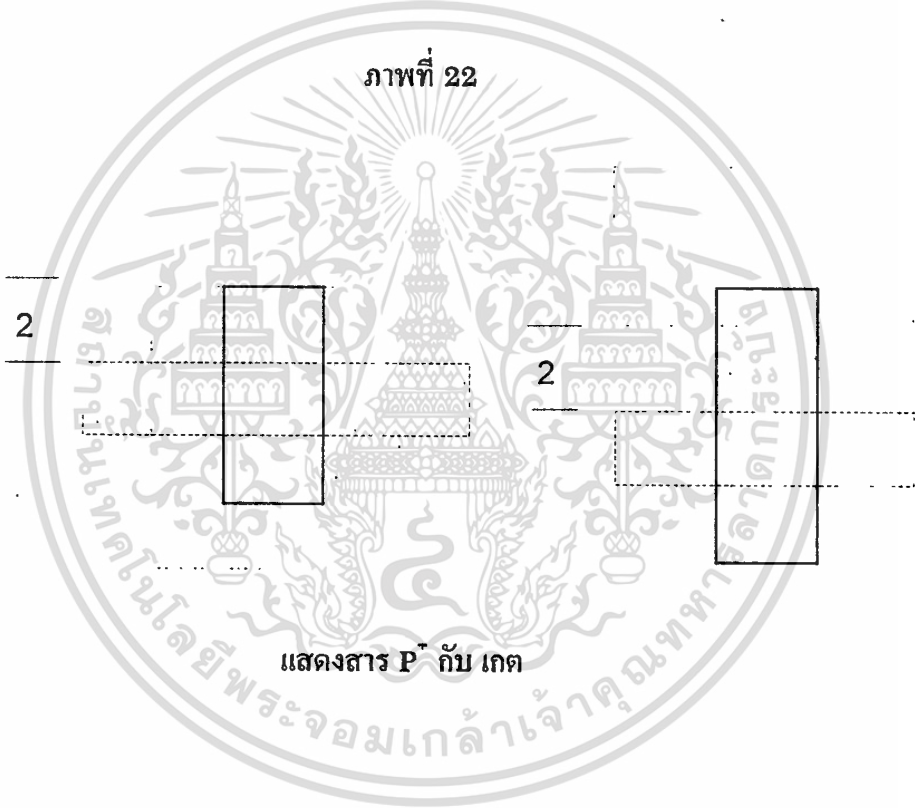


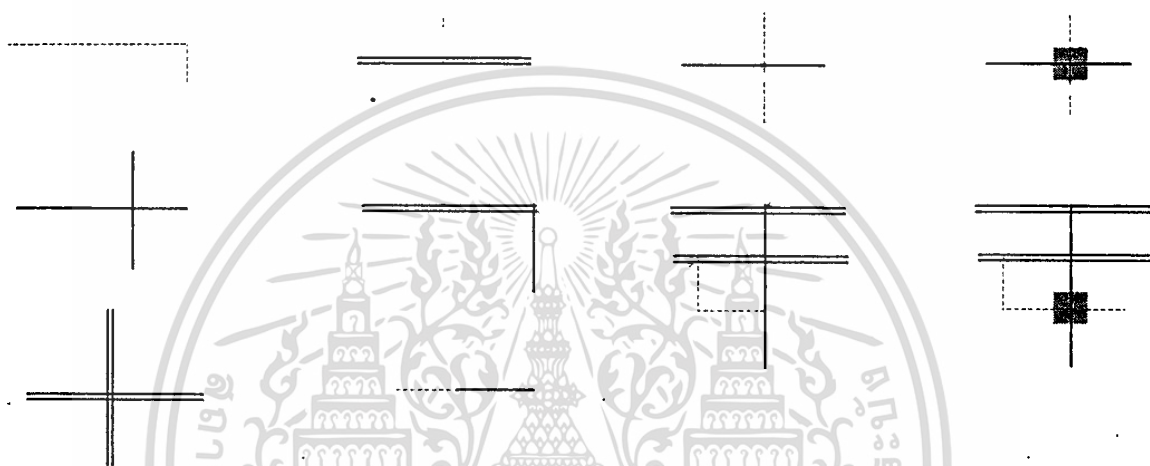
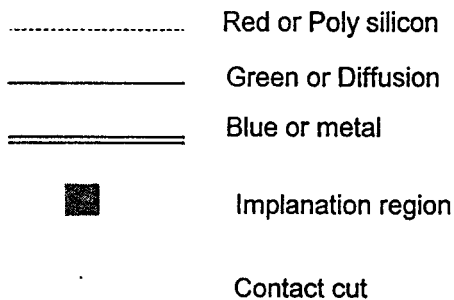
แสดงระยะห่างระหว่างตัวเชื่อมต่อแบบแยก

ภาพที่ 22 กฎของ P^+ กับเกต P^+ จะต้องล้อมรอบแกนแนลของทรานซิสเตอร์แบบพีมอส อยู่ในระยะห่าง 2 λ ทุกด้านจากแกนแนล ในกรณีที่มีทรานซิสเตอร์แบบเอ็นมอสอยู่ใกล้กับ P^+ เกตของทรานซิสเตอร์ จะต้องอยู่ห่างเป็นระยะทางอย่างน้อย 2 λ

5.8 แผนภาพแบบเส้น (Stick Diagram)

ในการออกแบบหน้าปกของวงจรรวมนั้น การใช้แผนภาพแบบกราฟิกที่เป็นสีหรือสัญลักษณ์อาจจะไม่เหมาะสม หรือไม่สะดวกในการใช้ร่างวงจรต้นแบบขึ้นมา ดังนั้นจึงได้มีการสร้างแผนภาพแบบเส้นขึ้นมา เพื่อใช้ในการร่างวงจรต้นแบบ ซึ่งจะทำให้สะดวกรวดเร็วขึ้น แผนภาพแบบเส้นนี้ อาจจะมีได้ 2 ลักษณะ คือใช้เส้นที่มีสีแตกต่างกันหรือใช้สัญลักษณ์แบบเส้นที่เขียนง่าย แทนเฉพาะสารที่สำคัญเท่านั้น





ภาพที่ 23

ภาพที่ 24

ภาพที่ 25

ภาพที่ 26

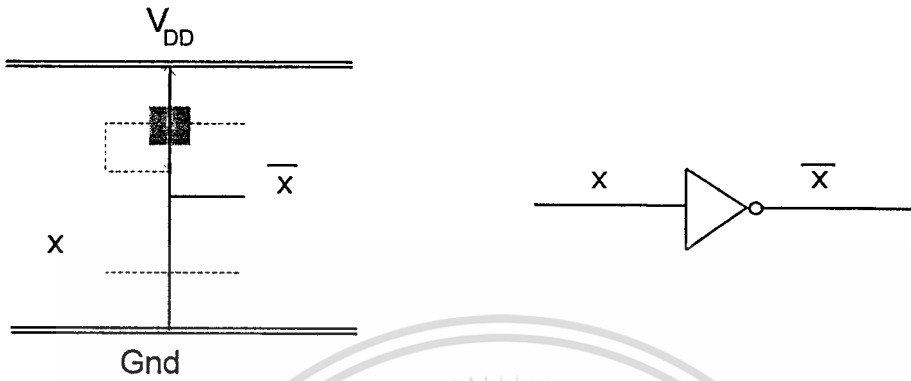
ภาพที่ 23 แสดงถึงสารชนิดเดียวกันเชื่อมกันหรือตัดกัน

ภาพที่ 24 แสดงถึงสารต่างชนิดกันเชื่อมต่อกันโดยใช้ตัวเชื่อมต่อ (Contact)

ภาพที่ 25 แสดงถึงการสร้างทรานซิสเตอร์แบบเอนฮานซ์เมนต์

ภาพที่ 26 แสดงถึงการสร้างทรานซิสเตอร์แบบดีฟิสิชั่น

ภาพที่ 27



การนำแผนภาพแบบเส้นไปใช้ในการร่างวงจรต้นแบบนั้น แสดงดังวงจรเอ็นมอสอินเวอร์เตอร์ดังภาพที่ 27

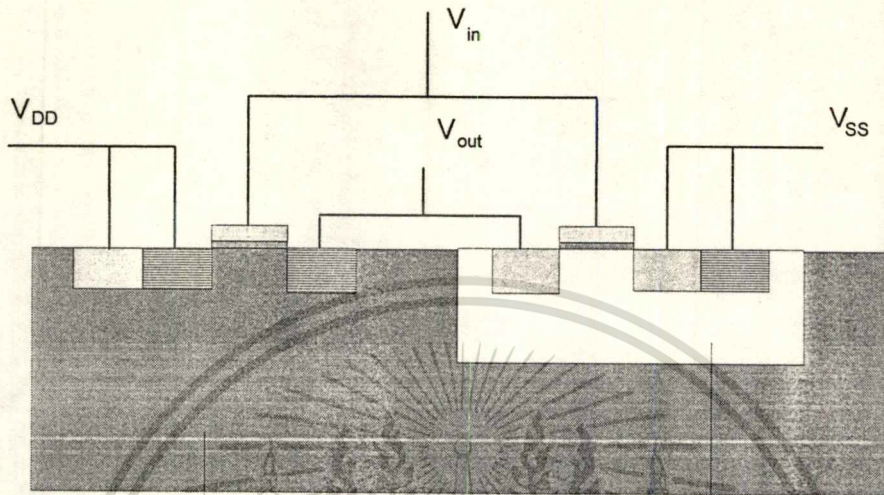
5.7 การเจือสารสำหรับวงจรรวมแบบซีมอส

การสร้างวงจรรวมแบบซีมอส ถ้ามองจากในด้านการออกแบบวงจรจะเห็นว่า การสร้างขึ้นจากทรานซิสเตอร์แบบเอ็นมอส และทรานซิสเตอร์แบบพีมอส มาทำงานร่วมกันแต่ในขั้นตอนของการผลิต หรือเจือสารนั้นจะสามารถทำได้ 3 วิธีคือ

5.7.1 กระบวนการพี-เวลล์ (P-Well Process)

ในกระบวนการนี้จะใช้ซับสเตรตเป็นสารชนิดเอ็น และจะมีการสร้างหลุมที่เป็นสารชนิดพีขึ้นที่เรียกว่า พี-เวลล์ แล้วจะสร้างทรานซิสเตอร์แบบพีมอสอยู่ภายนอกพี-เวลล์ โดยมีทรานซิสเตอร์แบบเอ็นมอสอยู่ภายในพี-เวลล์ดังภาพที่ 28.อนึ่งเพื่อให้ซับสเตรตทั้งสอง (ซับสเตรตชนิดเอ็น และพีเวลล์) แยกจากกันทางไฟฟ้าจึงมีการเจือสารแพร่ชนิดเดียวกับซับสเตรตลงไปโดยไม่ต่อเชื่อมเข้ากับ V_{DD} และ V_{ss} ดังภาพที่ 27

ภาพที่ 28



n-substrate

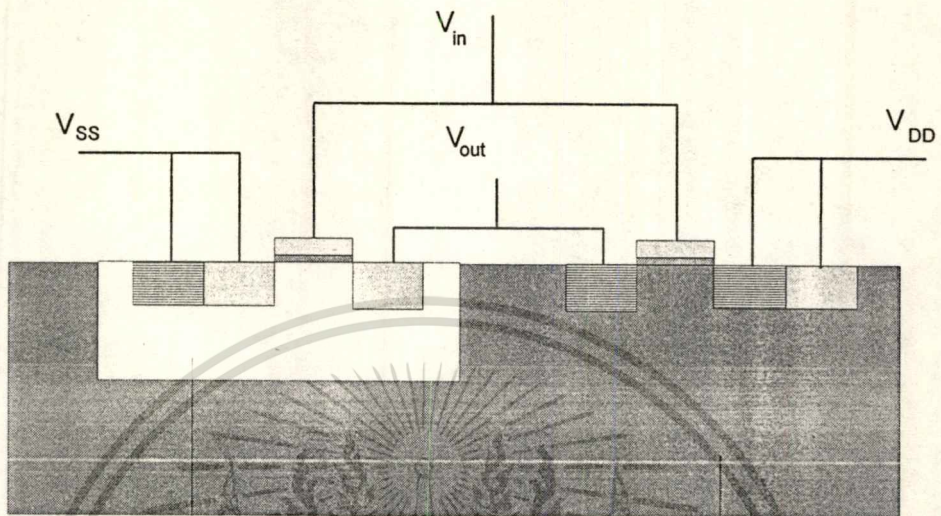
p-well

แสดงกระบวนการพี-เวลล์

5.7.2 กระบวนการเอ็น-เวลล์ (N-Well Process)

กระบวนการนี้จะตรงข้ามกับการใช้พี-เวลล์ คือจะใช้ซิลิโคนหลักเป็นสารชนิดพี และจะมีการสร้างหลุมที่เป็นสารชนิดเอ็นขึ้นเรียกว่า เอ็น-เวลล์ แล้วจะสร้างทรานซิสเตอร์แบบพีมอสอยู่ภายในเอ็น-เวลล์ และสร้างทรานซิสเตอร์แบบ พีมอสอยู่นอกเอ็น-เวลล์ดังภาพที่ 29

ภาพที่ 29



n-well

p-substrate

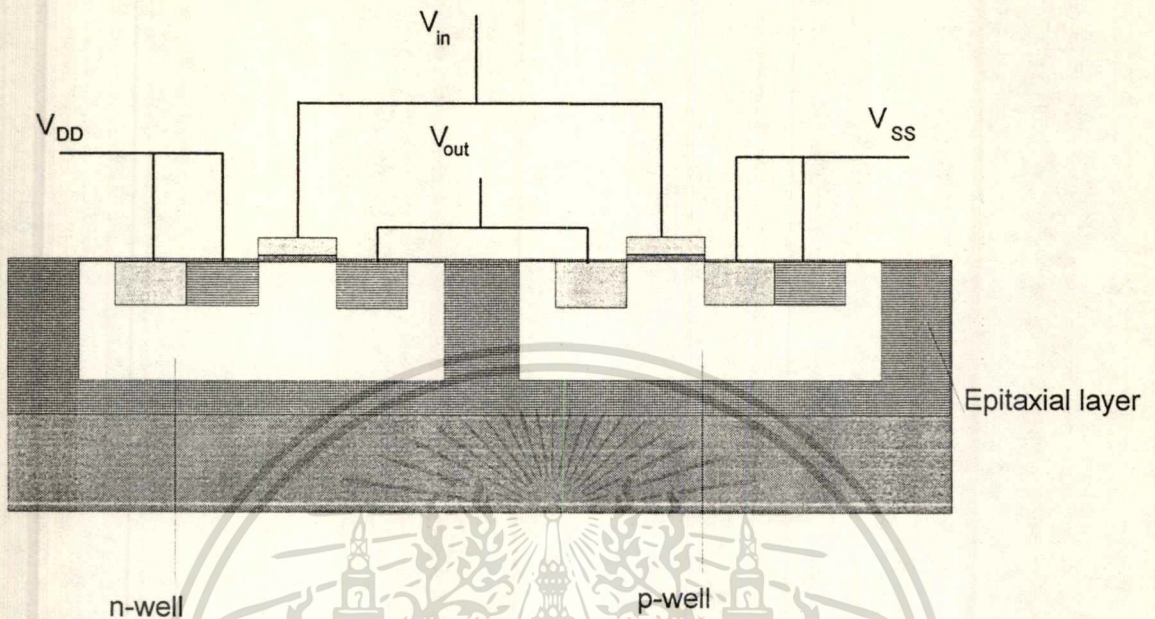
แสดง กระบวนการเอ็น-เวลล์

5.7.3 กระบวนการทวินทิว (Twin tub process) กระบวนการนี้ จะใช้ทั้งพี-เวลล์และเอ็น-เวลล์ร่วมกัน โดยสร้างทรานซิสเตอร์แบบเอ็นมอส ลงในพี-เวลล์และสร้างทรานซิสเตอร์แบบพีมอสลงในเอ็น-เวลล์ดังภาพที่ 30

5.8 เซลล์ซีมอสมาตรฐาน (CMOS Standard cell)

ดังที่ได้กล่าวมาแล้วในข้างต้นถึงการออกแบบวงจรรวมเฉพาะงานนั้นมีอยู่ 2 วิธีคือ การออกแบบผังวงจรเองทั้งหมด (Full custom)กับการใช้งานวงจรที่สามารถกำหนดฟังก์ชันการทำงาน

ภาพที่ 30



แสดงกระบวนการทวินท์

ด้วยการโปรแกรม เช่น PAL Gate Array ซึ่งต่างก็มีข้อดีข้อเสียต่างกันไปในวิทยานิพนธ์ฉบับนี้จะพยายามนำข้อดีของแต่ละวิธีมาใช้งานร่วมกันเพื่อให้ การออกแบบนั้นเป็นไปได้ อย่างเหมาะสมและประสิทธิภาพ

สำหรับการใช้งานวงจรรวมที่สามารถโปรแกรมได้นั้น ปัญหาหลักคือการใช้พื้นที่ซิลิกอนเป็นจำนวนมาก เพื่อเชื่อมโยงวงจรรวมเกตอาร์เรย์ เข้าด้วยกันให้เป็นวงจรที่ต้องการ มีพื้นที่ส่วนใหญ่ที่ไม่ถูกนำมาใช้งาน ประกอบกับมีผู้ใช้จำนวนมาก ต้องการรวบรวมวงจรรวมมาตรฐาน อาทิวงจรรวมเฉพาะงาน (ASIC) แบบเซลมาตรฐานมากขึ้น วงจรรวมแบบเซลมาตรฐานนี้ ผู้ใช้เป็นผู้เลือกกลุ่มวงจรทำหน้าที่ต่างๆเช่น เกท ฟลิปฟล็อป ตัวนับ ตัวเลื่อน หน่วยความจำ หรือแม้กระทั่งไมโครโปรเซสเซอร์ จากเพิ่มข้อมูลของผู้ผลิตตามความต้องการ การออกแบบวิธีนี้เหมาะสมสำหรับวงจรที่มีขนาดใหญ่ซับซ้อน การผลิตวงจรรวมด้วยเซลมาตรฐานจะมีต้นทุนสูงกว่าวงจรรวมแบบเกตอาร์เรย์ และใช้เวลาในการออกแบบและเอกสารนานกว่าสองถึงสามเท่าตัว วงจรรวมแบบเซลมาตรฐานเหมาะสมสำหรับการใช้งานเชิงพาณิชย์ที่มีปริมาณการผลิตนับหมื่นตัวขึ้นไป

จะเห็นได้ว่าวิธีการออกแบบโดยเชลมาตรฐานจะช่วยลดขั้นตอน การออกแบบลงไปได้มาก เพราะวงจรลอจิกที่จำเป็นต้องใช้งานจะถูกออกแบบสำเร็จรูป เก็บอยู่บนแฟ้มข้อมูลอยู่แล้ว เพียงแต่นำมาเชื่อมกัน ตามวงจรก็สามารถเป็นวงจรรวมได้ แต่ในทางปฏิบัติก็จะเกิดปัญหาหลายประการคือ

1. เชลมาตรฐานจะอ้างอิงอยู่กับบริษัทผู้ผลิต ทำให้การออกแบบจะต้องใช้เชลมาตรฐานเฉพาะจากบริษัทนั้น ทำให้ผู้ออกแบบผูกติดกับบริษัทผู้ผลิตด้วย

2. เชลมาตรฐาน อาจจะไม่เหมาะสมกับการใช้งานของผู้ออกแบบ และอาจไม่มีเชลมาตรฐานตามต้องการได้ครบถ้วนสมบูรณ์ เช่น ทิศทางการเชื่อมต่อสัญญาณ ทางเดินของกระแสไฟฟ้า เป็นต้น

ดังนั้นวิธีการออกแบบในวิทยานิพนธ์ฉบับนี้ จึงทำการประยุกต์วิธีดังกล่าวมาใช้โดยการออกแบบเชลมาตรฐานขึ้นมาใช้งานเอง กล่าวคือได้ทำการพิจารณาว่าวงจรที่ออกแบบนั้นใช้งานวงจรลอจิกแบบใด ก็จะแยกการออกแบบเฉพาะวงจรลอจิกนั้นๆ ที่ละส่วน เช่น แนนด์เกต ฟลิปฟลอป แล้วนำวงจรเหล่านั้นมาเก็บไว้ในแฟ้มข้อมูล เมื่อต้องการใช้จึงเรียกเชลมาตรฐานเหล่านั้นออกมาเชื่อมกับเชลอื่นๆ

ข้อดีของการออกแบบวิธีนี้

1. แยกการพิจารณาผังวงจรเป็นส่วนย่อย ตามวงจรลอจิกที่จำเป็น ทำให้การออกแบบมีความละเอียดรอบคอบและสามารถควบคุม ตัวแปรต่างๆ ได้ง่าย

2. การออกแบบทำได้ง่ายและสามารถควบคุมขนาด และปัจจัยต่างๆ ได้ตามต้องการ เพราะทุกส่วนนั้นสามารถออกแบบได้ด้วยตนเอง การกำหนดการเชื่อมต่อ ทิศทางของสัญญาณ รวมทั้งขนาดพื้นที่ของซิลิกอนที่ใช้ นั้น สอดคล้องกับวงจรรวมทั้งหมด และเชลมาตรฐานอื่นๆ ด้วย

บทที่ 6

การนำคอมพิวเตอร์ช่วยในการออกแบบ

6.1 ลักษณะของโปรแกรมคอมพิวเตอร์

การนำคอมพิวเตอร์มาช่วยงานในด้านต่างๆ นั้นนับว่าเป็นสิ่งจำเป็นอย่างยิ่ง จะเห็นได้ว่าในปัจจุบัน งานทางแขนงล้วนแต่ใช้คอมพิวเตอร์มาประมวลผลแทบทั้งสิ้น ตั้งแต่งานเกี่ยวกับฐานข้อมูล บัญชี ไปจนถึงงานทางด้านวิศวกรรม เหตุผลที่สำคัญที่ทำให้มีการใช้งานคอมพิวเตอร์กันอย่างแพร่หลาย นั้นคือปัจจุบัน ราคาของเครื่องคอมพิวเตอร์ ได้ลดต่ำลงมาก ทำให้ผู้ต้องการใช้ลงทุนสำหรับการนี้ไม่สูงจนเกินไป ส่วนอีกเหตุผลหนึ่งคือ ซอฟต์แวร์ สนับสนุน ที่มีให้เลือกมากมาย ตามแต่ประเภทของงาน และความต้องการของผู้ใช้ที่จะให้เลือกมากมาย ตามแต่ประเภทของงาน และความต้องการ ของผู้ใช้ที่จะเลือกให้เหมาะสมกับงานของตน ทำให้เมื่อผู้ใช้ซื้อเครื่องคอมพิวเตอร์มา สามารถใช้ประโยชน์ได้เต็มที่

คอมพิวเตอร์ ที่ใช้ช่วยในการออกแบบ (CAD Computer Aided Design) นั้นเป็นการประยุกต์ คอมพิวเตอร์ มาใช้ในการออกแบบ เขียนแบบ ไม่ว่าจะเป็นทางสถาปัตยกรรม หรือ วิศวกรรม ซึ่งต่างก็มีสาขาย่อย ลงไปอีก ซึ่งงานด้านนี้มีซอฟต์แวร์สนับสนุนอยู่มากพอสมควร สำหรับวิทยานิพนธ์ฉบับนี้จำเป็นอย่างยิ่งที่จะต้องนำคอมพิวเตอร์มาช่วยในการออกแบบ เพราะรายละเอียดของ ผลงานที่จะทำการออกแบบจะต้องการความแม่นยำและสามารถแก้ไขและตรวจสอบได้ง่าย โปรแกรมที่ได้นำมาใช้ในวิทยานิพนธ์ฉบับนี้คือ โปรแกรมออโต้ แคด (AutoCAD) ของบริษัท ออโต้เดสก์ อินคอปอเรชั่น (Autodesk Incorporation) เป็นโปรแกรมที่มีขีดความสามารถสูง จึงมีผู้นำโปรแกรม นี้ไปใช้งานออกแบบต่างๆกัน สำหรับในประเทศไทย ส่วนใหญ่ จะนิยมใช้ในทางสถาปัตยกรรมมากที่สุด แต่อันที่จริงแล้ว โปรแกรมออโต้แคดนั้นสามารถ ประยุกต์ไปใช้ในงานออกแบบได้มากขึ้นอยู่กับผู้ใช้จะนำไปใช้ทางด้านไหน ซึ่งวิทยานิพนธ์ฉบับนี้ได้ใช้โปรแกรมออโต้แคดในการออกแบบ เลย์เอาต์ของเซลมาตรฐาน และ วงจร VLSI ทั้งหมดด้วย

โดยทั่วไปแล้วโปรแกรมสำหรับช่วยในการออกแบบ เลย์-เอาต์เฉพาะโดยตรงจะมีน้อย และ ที่มีใช้ส่วนใหญ่จะใช้บนเครื่อง ระดับใหญ่ขึ้นไปเช่น โปรแกรม CIRCAD II ISD ใช้บนเครื่องมินิคอมพิวเตอร์ หรือเครื่องเอนจินีเยริงเวอร์ค สเตชั่น

ซึ่งโปรแกรมเหล่านั้นต้องใช้เครื่องคอมพิวเตอร์ขนาดใหญ่ดังกล่าวมาข้างต้น ซึ่งมีราคาสูงมาก และมีใช้อยู่ไม่มากนัก จึงทำให้ผู้ที่เริ่มศึกษาทางด้าน VLSI มีโอกาสน้อยที่จะได้ใช้โปรแกรมเหล่านั้น เพื่อใช้ในการประกอบมาโครเซล เบื้องต้น สำหรับวิทยานิพนธ์ฉบับนี้ จะนำเสนอ ถึงการใช้งาน โปรแกรม ออโต้แคดซึ่งมีใช้อยู่ทั่วไปบนเครื่องคอมพิวเตอร์ส่วนบุคคลมาใช้ในการประกอบออกแบบ เลย์-เอาต์ เบื้องต้น

แต่เนื่องจากโปรแกรมออโต้แคด นั้นเป็นโปรแกรมที่ช่วยในการออกแบบต่างๆไป หากนำมาใช้ตามปกติก็จะไม่สะดวกในการใช้งานดังนั้น เพื่อให้เหมาะสมสำหรับกรณีนี้ จึงจำเป็นต้องพัฒนาโปรแกรมออโต้แคด ให้เหมาะสมตามต้องการ โดยโปรแกรมออโต้แคดเองก็เปิดโอกาสให้ผู้ใช้พัฒนาโปรแกรมให้เหมาะสมเฉพาะงานได้ โดยการ เขียน เมนู หรือว่า สร้างคำสั่งขึ้นมาใหม่ โดยใช้ภาษา LISP ซึ่งการ LISP ใน ออโต้แคด เรียกว่า โปรแกรม AutoLISP ซึ่งจำกล่าวถึงต่อไป

6.2 โปรแกรมAutoCAD

Autocad เป็นโปรแกรมที่ใช้สำหรับใช้ในงานออกแบบ เขียนแบบ เป็นของบริษัท Autodesk Inc แห่งอเมริกา ภายในโปรแกรมนี้ จะประกอบด้วยคำสั่งที่ใช้ในการเขียนแบบ ออกแบบ มากมาย ตั้งแต่ 2 มิติ ไปจนถึง 3 มิติ ที่สลับซับซ้อน และประโยชน์ที่สำคัญของโปรแกรม Autocad ต่อการออกแบบเลย์-เอาต์ คือ ความสามารถ การเขียนแบบ ความแม่นยำของพิกัด การหาพื้นที่ งานด้านออกแบบอื่นๆ ซึ่งโปรแกรมมีเครื่องมือสนับสนุนค่อนข้างมาก รวมไปถึงการให้เอาต์พุตแบบต่างๆ

ก่อนที่จะนำโปรแกรม Autocad มาใช้งานนั้น จำเป็นที่จะต้อง ศึกษาคำสั่งพื้นฐาน ในการออกแบบซึ่งเป็นประเภทลากเส้นตรง และรูปทรงทางเรขาคณิต เช่น วงกลม, ส่วนโค้ง เป็นต้น รวมไปถึงการกำหนดระยะของวัตถุ

1. คำสั่ง LINE - เป็นคำสั่งสำหรับลากเส้นตรงเชื่อมระหว่างจุด 2 จุด มีทางเลือกในคำสั่งนี้คือ

- point กำหนดจุดที่จะลากเส้นไปถึง
- undo ยกเลิกเส้นส่วนสุดท้ายที่เขียน
- close ลากเส้นจากจุดสุดท้ายไปยังจุดเริ่มต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. คำสั่ง PLINE - เขียนเส้นแบบโพลี (polyline) ซึ่งจะต่างกับ เส้นธรรมดา เพราะ polyline จะมีคุณสมบัติเหมือน line , trace และ arc รวมกัน แต่ครั้งที่เขียนจะถือว่าเป็นชิ้นส่วน 1 ชิ้นเท่านั้น ซึ่งประกอบไปด้วยชิ้นส่วนต่างๆ ต่อกัน เรียกว่า Segment หรือ Vertex มีความคล่องตัวในการปรับเปลี่ยนมากแต่ใช้เวลาในการสร้างภาพนานกว่า วัตถุชนิดอื่น

ทางเลือกในคำสั่ง

ในคำสั่ง Polyline มีทางเลือกในการลากเส้นอยู่ 2 mode คือ เส้นตรงกับเส้นโค้ง เมื่อเริ่มต้นจะเป็น mode ของเส้นตรง

mode ของเส้นตรงมีดังนี้

- A (Arc) เปลี่ยนไป mode เส้นโค้ง
- C (Close) เขียนเส้นตรง จาก Segment สุดท้ายไปยังจุดเริ่มต้น
- H (Halfwidth) กำหนดระยะครึ่งหนึ่งของความกว้างเส้น
- L (Length) กำหนดความยาวของ Segment นั้น
- U (Undo) ยกเลิก Segment สุดท้ายที่เขียน
- W (Width) กำหนดความกว้าง

ส่วนใน mode ของเส้นโค้ง ไม่เกี่ยวข้องกับจุดประสงค์ของการวิจัยจึงไม่ขอกล่าวถึง

นี้

3. คำสั่ง COPY - ทำหน้าที่ลอกแบบวัตถุที่ระบุไปในตำแหน่งที่ต้องการ ทางเลือกมีดังนี้

- P (point) กำหนด base point
- M (Multion) กำหนด การลอกแบบชนิดซ้ำหลายครั้ง

4. คำสั่ง MOVE - ทำหน้าที่เคลื่อนย้ายตำแหน่งของวัตถุที่ระบุ

5. คำสั่ง ROTATE - ทำหน้าที่หมุนวัตถุที่ระบุโดยรอบจุดหมุนที่กำหนด มีทางเลือกหลังจากที่กำหนดจุดหมุนแล้ว

- (Angle) ระบุมุมที่ต้องการให้หมุนไปจากตำแหน่งเดิม
- R (Referance) กำหนดค่ามุมเดิมของวัตถุ และมุมใหม่ที่ต้องการ

6. คำสั่ง MIRROR - ทำหน้าที่ ทำการ copy แบบกระจกเงา วัตถุที่ได้จะกลับซ้ายเป็น

ขวา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7. คำสั่ง SCALE - ทำหน้าที่ เปลี่ยนแปลงอัตราส่วนของวัตถุที่ระบุ ทางเลือกหลังจาก กำหนดจุดอ้างอิงแล้ว

(Scale factor) กำหนดจำนวนเท่าของการเปลี่ยนแปลง

8. คำสั่ง STRETCH - ทำหน้าที่เปลี่ยนแปลงตำแหน่งบางส่วนของชิ้นวัตถุ เช่น ยืด หรือ หด ความยาวของวัตถุ

9. คำสั่ง ARRAY - ทำหน้าที่เป็นการลอกแบบซ้ำโดยมีตำแหน่งในการลอกแบบ เป็นไปอย่างมีระเบียบ ทางเลือก

R (Rectangular) แบบเป็นแนวและคอลัมน์ (ของ rectangular) โดยกำหนดจำนวน แถว หลัก และระยะห่าง แล้วก็จะลอกแบบไปตามจำนวน วัตถุ และ ระยะห่างตามกำหนด

P (Polar) แบบวงกลมโดยกำหนด จำนวนวัตถุ และ รัศมีของวงกลม

10. คำสั่ง COLOR - ทำหน้าที่ กำหนดสีของวัตถุ โดยจำนวนสี ที่จะใช้ได้นั้นขึ้นอยู่กับ ความสามารถ ในการแสดง สีของฮาร์ดแวร์ โดยมาตรฐานทั่วไปของจอ VGA จะแสดงได้ 16 สี

11. คำสั่ง HATCH - ทำหน้าที่ เขียนลวดลายที่ระบุ ลงบนพื้นที่ที่กำหนด โดย พื้นที่ ต้องเป็นพื้นที่ปิด มิฉะนั้น จะทำให้การทำงานของคำสั่งผิดพลาด

12. คำสั่ง LIMITS - ทำหน้าที่ กำหนดขอบเขตในการทำงาน (working area) โดยพื้นที่ ทั้งหมดจะแสดงให้เห็น เพื่อใช้คำสั่งเมื่อใช้คำสั่ง ZOOM ALL

คำสั่งที่กล่าวมาข้างต้นนี้ เป็นเพียงส่วนหนึ่งของคำสั่งของ ออโต้แคด ที่จำเป็นต้องทราบเพื่อให้สามารถ ใช้งานออโต้แคดได้ นอกจากคำสั่งที่จำเป็นต้องทราบแล้ว สิ่งหนึ่งที่สำคัญที่จำเป็นต้องทราบคือการ กำหนดตำแหน่งของวัตถุและจุดในการออกแบบ

กำหนดระยะทางและมุม

การกำหนดระยะทางหรือมุม ในโปรแกรม ขึ้นอยู่กับการกำหนดหน่วยในคำสั่ง UNITS สำหรับการนี้กำหนดให้หน่วยทั้งหมด เป็นระบบ เมตริกซ์ (decimal) และการวัดมุมเป็นองศา (degree)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การกำหนดหรือให้ค่าของระยะทางนั้น นอกจากจะให้ค่าตามรูปแบบของการตั้ง UNITS แล้วการ ให้ค่าเป็นบวกหรือลบ ก็มีความหมาย ซึ่งลักษณะการคำนวณระยะและ มุม แสดงดังรูป

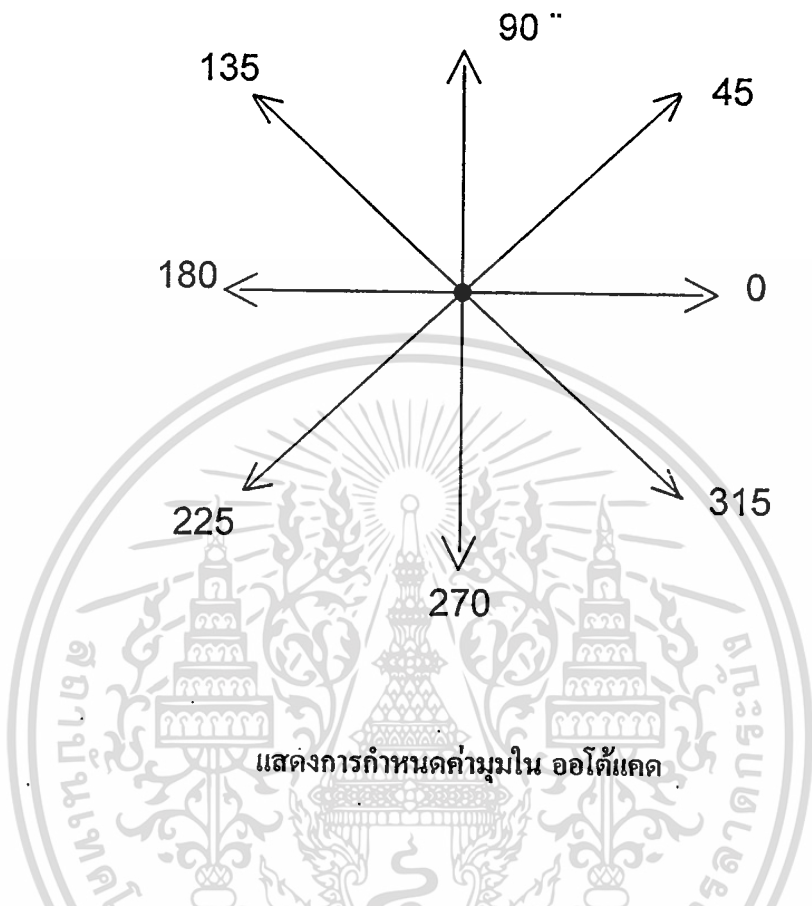
ภาพที่ 31



ลักษณะการกำหนดจุดนั้นแบ่งได้เป็น 3 แบบใหญ่ คือ

1. การกำหนดจุดแบบสมบูรณ์ (Absolute Coordinate) ซึ่งเป็นการกำหนดจุดโดยระบุตำแหน่งของจุดนั้นลงไป โดยตำแหน่งของจุดเป็นระยะทางที่วัดจากจุดกำเนิด (origin) โดยปกติทั่วไป จุดกำเนิดคือจุดที่อยู่มุมล่างสุด ของพื้นที่ราบ (drawing area) เช่น 2,2 เป็นต้น
2. การกำหนดจุดแบบสัมพัทธ์ (relative coordinate) เป็นการกำหนดจุดโดยอ้างอิงจากจุดเดิม ลักษณะการกำหนด ระยะจะบอกเป็น มุมเวกเตอร์ คือบอกระยะทางและมุม ตัวอย่าง @4<45 หมายความว่า จุดที่ห่างจากจุดเดิมเป็นระยะทาง 4 units เป็นมุม 45 องศา หรือ จะบอกเป็นระยะทาง จากจุดเดิมในแกน X และแกน Y เช่น @ 5,5 คือจุดที่ห่างจากจุดเดิม ในแกนX=5units และ แกนY=5 units

ภาพที่ 32



3. การกำหนดจุดแบบอ้างอิงกับวัตถุ(object reference coordinate) โดยจุดที่กำหนดนั้นอ้างอิงกับจุดบนวัตถุเช่น จุดปลายของเส้น(end)จุดตัดของเส้น(intersecetion) เป็นต้น

หลังจากได้พิจารณาองค์ประกอบที่จำเป็นในการออกแบบแล้วต่อไปจะนำเสนอถึงวิธีการเบื้องต้นในการออกแบบเลย์เอาต์ของเว็บโดยใช้ออโต้แคดในขั้นแรกนั้นกำหนดมาตราส่วนของ การออกแบบ คือ 1 unit เท่ากับ 1 ไมครอน เพื่อให้่ายในการตรวจสอบ ระยะและพื้นที่ในภายหลัง ดังนั้นเมื่อกำหนด 1 unit เท่ากับ 1 ไมครอน แล้วพื้นที่ในการออกแบบจะไม่เพียงพอ เพราะเดิมกำหนด พื้นที่ได้เพียง 12.00 x 9.00 units ดังนั้น จึงต้องขยายพื้นที่ในการออกแบบ ให้ใหญ่ขึ้น เหมาะสมโดยกำหนดพื้นที่ในการออกแบบใหม่มีขนาด 200x150 units สำหรับกรณีที่จะจรม ไม่ใหญ่มากนัก โดยใช้คำสั่ง LIMITS

```
LIMITS
lift,conner    = 0,0
right,conner   = 200,150
```

กำหนด ระยะกระโดด (snap) ให้มีระยะเท่ากับ 1 units

$$\text{snap} = 1$$

กำหนด การแสดงจุด (grid) ไปให้มีระยะเท่ากับ ระยะกระโดด

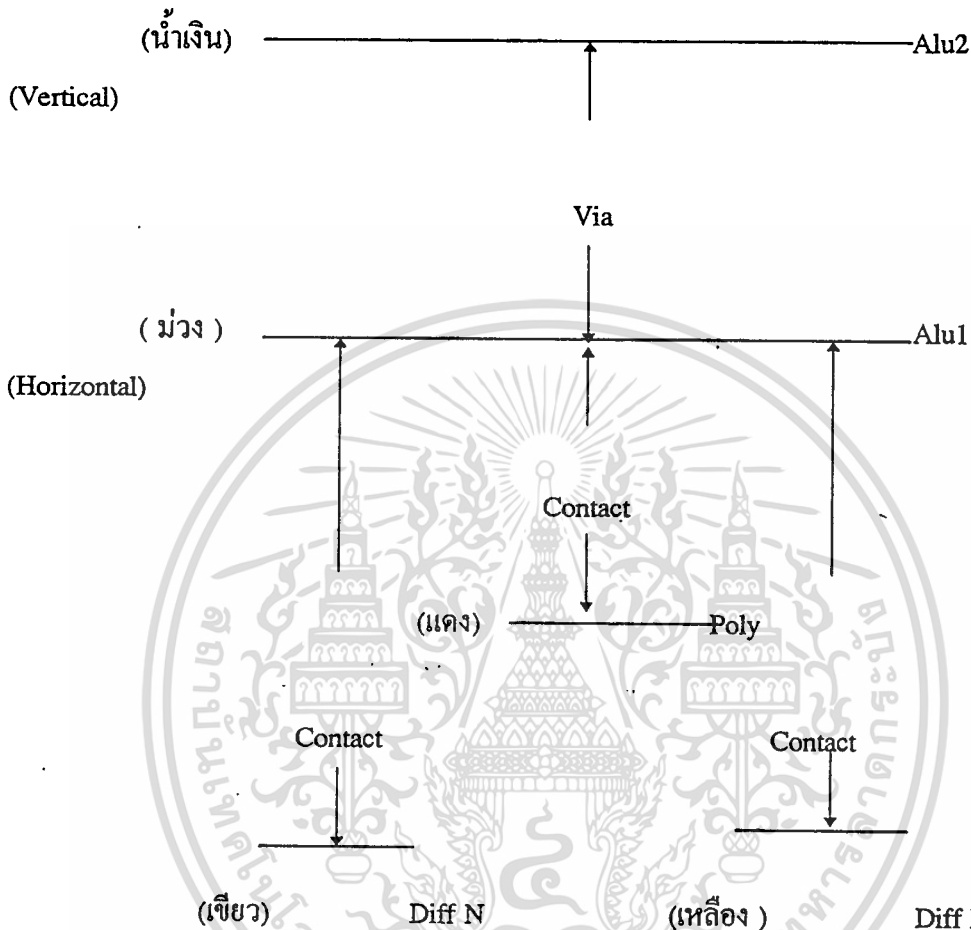
ขั้นตอนที่กล่าวมาเป็นการเตรียมพื้นที่ให้เหมาะสมสำหรับการออกแบบ ต่อไปจะเป็นขั้นตอนในการออกแบบ

จากการพัฒนาองค์ประกอบของเซลล์จะเห็นว่า มีองค์ประกอบที่มีจำนวนแน่นอนคือ

1. โพลีซิลิกอน (poly silicon) สีแดง
2. อลูมิเนียมหมายเลข1 (Alu1) สีม่วง
3. อลูมิเนียมหมายเลข2 (Alu2) สีน้ำเงิน
4. คอนแทค (contact) สีน้ำเงิน
5. เวีย (via) สีน้ำเงิน
6. สารแพร่ N (diffusion N) สีเขียว
7. สารแพร่ P (diffusion P) สีเหลือง

ซึ่งองค์ประกอบเหล่านั้น ในการออกแบบจะแยกออกจากกันโดยการกำหนดสีและการแรเงาพื้นที่ให้มีลักษณะแตกต่างกัน และในการผลิตวงจรจริงนั้นสารแต่ละชนิดก็จะวางอยู่กันคนละชั้นกันดังภาพที่ 33

ภาพที่ 33



แสดงชั้นของสารต่างๆในวงจรรวม

จากการทดลองพบว่าการออกแบบเลย์เอาต์ของสารแต่ละชนิดควรเกิดจากการลากเส้น โพลี เนื่องจากง่ายต่อการแก้ไขเพราะสารแต่ละชนิดจะประกอบด้วย เส้นโพลีเส้นเดียวถือว่าเป็น วัสดุชั้นเดียว การจะลบ,หรือเคลื่อนย้าย ก็จะสามารถกว่าการวาดด้วยเส้นธรรมดา ที่แต่ละเส้นจะเป็นวัสดุชั้น จะกระทำการใดๆจะเป็นไปไม่เป็นอันหนึ่งอันเดียวกัน

ตัวอย่างการวางโพลีซิลิกอน โดยใช้คำสั่ง polyline ที่มีความกว้าง 20 ไมครอน และความยาว 100 ไมครอน

COLOR<enter>

RED

PLINE <enter>

กำหนดจุดมุมซ้ายล่าง

- @100 <0 (ลากเส้น 100 หน่วย ในมุม 0 องศา)
- @20<90 (ลากเส้น 20 หน่วย มุม 90 องศา)
- @100<180 (ลากเส้น 100หน่วย มุม 180 องศา)
- c (ลากเส้น เชื่อมจากจุดปัจจุบันไปยังจุดเริ่มต้น)

เมื่อเสร็จคำสั่งจะปรากฏเป็นสี่เหลี่ยมผืนผ้า มีเส้นขอบสีแดง

ส่วนวิธีการสร้างสารชนิดอื่นก็วิธีการเดียวกันคือ

- 1.กำหนดสี
- 2.สร้างพื้นที่มีคของเลย์เอาต์ของสารนั้น

ซึ่งจะเห็นว่ามีขั้นตอนที่ยุงยากพอสมควรในการวางสาร 1 ชั้น และในการทำ เลย์เอาต์ นั้นประกอบด้วยสารต่างๆ จำนวนมากจึงไม่คล่องตัวต่อการทำงานเท่าไรนัก จึงต้องลดจำนวนคำสั่งในการสร้างเลย์เอาต์ ของสารแต่ละชนิด คือวิธีการนำ เลย์เอาต์ ที่ใช้บ่อยมาเก็บไว้เป็นบล็อก (Block)เวลาต้องการใช้ก็เรียกบล็อกออกมาจะทำให้ลดเวลาการออกแบบลงได้ โดยใช้คำสั่ง Block ตัวอย่างเช่นเก็บ เลย์เอาต์ ของPOLY Si เป็น บล็อก

block (ใส่ชื่อบล็อก) poly

insertion point กำหนดจุดอ้างอิงในการเรียกกลับมา

select object C

First conner กำหนดตำแหน่งกรอบของวัตถุ

second conner " "

จะเห็นว่า ภาพของ โพลีซีลิกอนจะหายไปแสดงว่าโปรแกรมได้เก็บภาพของโพลีซีลิกอนไว้ในหน่วยความจำ เป็นบล็อกชื่อ poly

ทดลองเรียกบล็อกที่เก็บไว้ออกมาด้วยคำสั่ง

block

poly

insertion point (กำหนดจุดที่จะวาง)

scales X 1 (กำหนดอัตราส่วน ด้าน x)

scales Y 2 (กำหนดอัตราส่วนด้าน y)

Rotation angle 0 (หมุนบล็อกหรือไม่)

จะเห็นว่าภาพของโพลีซีลิกอนที่เก็บอยู่จะวาดลงมา

ซึ่งจากวิธีเดียวกันนี้ นำไปสร้าง block ของภาพที่ต้องนำมาใช้บ่อยอันได้แก่ เลย์เอาต์ของสารต่าง ๆ ทั้ง 7 ชนิด เมื่อต้องการวางขึ้นสารลงในบริเวณใดก็ให้ insert บล็อกที่ต้องการออกมา

และเมื่อได้นำวิธีนี้มาใช้ในการ ออกแบบเลย์เอาต์แล้วพบว่าจะช่วยให้การออกแบบง่ายขึ้นกว่าเดิม แต่ยังมีปัญหาอยู่กล่าวคือภาพใน บล็อกที่ได้จากการ insert จะได้แก้ไขได้ยากเนื่องจาก บล็อกแต่ละบล็อกถือว่าเป็นวัตถุชิ้นเดียว จึงต้องทำการกระจายโครงสร้างของบล็อกออกมาเป็นวัตถุย่อยก่อนแล้วจึงจะสามารถแก้ไขได้และถ้าบล็อกที่ได้นั้นอ้างอิงมาจากบล็อกอื่น ก็ต้องมีการกระจายเข้าไปอีก ทำให้ค่อนข้างจะไม่สะดวกต่อการแก้ไข ดังนั้นเพื่อให้การใช้งานเป็นไปอย่างสะดวกกว่าเดิมจึงต้องใช้ โปรแกรมออโต้ลิสท์ มาเสริมในส่วนนี้ที่ โปรแกรม ออโต้แคด ไม่สามารถทำได้ ซึ่งรายละเอียดเกี่ยวกับภาษาลิสท์ และ ออโต้ลิสท์ ซึ่งจะกล่าวถึงในบทต่อไป

6.3 การเขียนโปรแกรมภาษาลิสท์ (LISP)

จากคำสั่งพื้นฐานที่มีอยู่ใน ออโต้แคด จะเห็นว่ามีความคำสั่งพื้นฐานพร้อมอยู่แล้ว แต่เมื่อนำมาใช้เฉพาะสำหรับออกแบบ เลย์เอาต์ ของเซลล์แล้วสำหรับผู้ที่ไม่มี ความชำนาญในการเขียนแบบ และใช้โปรแกรม ออโต้แคดแล้ว ค่อนข้างจะยุ่งยาก เพราะถึงแม้ว่าจะใช้คำสั่งไม่มากแต่ก็มีขั้นตอนซ้ำซ้อนหลายขั้นตอน จึงทำให้ดูเหมือนว่าโปรแกรมออโต้แคด ไม่เหมาะสม

สำหรับโปรแกรม ออโต้แคด นั้นนอกจากการใช้งานตามคำสั่งที่มีอยู่เดิมแล้วยังเปิดโอกาสให้ผู้ประยุกต์โปรแกรมเพื่อให้เหมาะสมสำหรับการใช้งานของผู้ใช้แต่ละคน (customization) ซึ่งทำให้ผู้ใช้งานสามารถสร้างคำสั่งขึ้นมาใช้งานเองได้ โดยใช้โปรแกรมภาษาลิสท์ มาตรฐาน (common lisp) แต่ในรายละเอียด บางส่วนจะต่างกันบ้าง Autolisp จะมีอยู่ใน

โปรแกรมอโต้แคด ตั้งแต่เวอร์ชัน 2.6 ขึ้นไป การเขียนโปรแกรมจะเขียนเป็น text file โดยใช้
 เอดิเตอร์ ภายนอก เมื่อจะใช้งานก็โหลดโปรแกรมเข้ามา

ตัวแปลภาษาอโต้ลิสป์ (AutoLISP)

อโต้ลิสป์เป็นตัวแปลภาษาแบบแปลทีละบรรทัด (interpreter) คือตัวแปลภาษาชนิดที่ เมื่อ
 เราป้อนข้อมูลลงไป โปรแกรมจะทำการประเมินค่า และให้คำตอบออกมาทันที บรรทัดต่อ
 บรรทัด โดยทำการโหลดโปรแกรมที่เขียนเข้ามาในโปรแกรมอโต้แคด ซึ่งสามารถแปลคำสั่ง
 ภาษา lisp ได้โดยอัตโนมัติ ลักษณะของคำสั่งภายในอโต้ลิสป์จะมีลักษณะเหมือนกับ คำสั่งที่ใช้
 ในอโต้แคด การเขียนโปรแกรมอโต้ลิสป์จะคล้ายกับการนำเอาคำสั่งในอโต้แคดมาก การ
 เรียงต่อกันเป็นชุดคำสั่ง แต่จะมีคำสั่งที่มีการตรวจสอบเงื่อนไขด้วยทำให้ภายในโปรแกรมต่างกับ
 การนำชุดคำสั่งมาเรียงกันธรรมดา

ตัวแปรของอโต้ลิสป์

ในการเขียนโปรแกรม ไม่ว่าจะเป็นภาษาใดจำเป็นที่จะต้อง มีตัวแปรเพื่อใช้ในโปรแกรม
 อโต้ลิสป์ ก็เช่นกัน ก็มีตัวแปรให้ใช้งาน ซึ่งโครงสร้างพื้นฐานมีอยู่ 2 ชนิดคือ

1. ตัวแปรที่เก็บข้อมูลเดี่ยว ภายในตัวแปรนั้นจะมีข้อมูลอยู่เพียงข้างเดียวซึ่งตัวแปร
 ประเภทนี้มีอยู่ 3 ชนิดคือ

เลขจำนวนเต็ม (integer)

เลขจำนวนจริง (real)

อักขร (string)

ตัวแปรที่มีข้อมูลเดี่ยวนี้ จะเรียกว่าอะตอม (Atom)

2. ตัวแปรที่เก็บข้อมูลเป็นชุด ตัวแปรประเภทนี้จะมีข้อมูลภายในหลายค่าประกอบขึ้นมา
 จาก Atom ตั้งแต่ 2 Atom ขึ้นไป มารวมกันเป็นข้อมูลอยู่ภายในตัวแปร ตัวเดียว ตัวแปรประเภท
 นี้ เรียกว่าลิสต์ (LIST) ตัวอย่างของตัวแปรประเภท ลิสต์ คือ ตัวแปรที่บอกตำแหน่ง (coordinate)
 ตัวแปรนี้จะมีข้อมูลอยู่ 3 ค่า คือ x,y,z ซึ่งบอกตำแหน่งบนระนาบต่าง ๆ เป็นต้น

การเขียนโปรแกรมภาษาลิสป์

จากการที่กล่าวมาข้างต้น การเขียนโปรแกรมภาษาลิสป์ที่จะใช้กับอโต้ลิสป์ต้องเขียนใน
 โปรแกรม Text Editor ให้เสร็จก่อน แล้วค่อยโหลดโปรแกรมเข้ามาในการทดลองครั้งนี้ผู้เขียน
 ใช้โปรแกรม SideKick ซึ่งเป็นโปรแกรมที่ฝังอยู่ในหน่วยความจำ จึงสามารถทำการเขียน

โปรแกรมพร้อมกับการทำงานของ ออโต้แคด ไม่ต้องออกจากโปรแกรม ออโต้แคด เพื่อไปใช้โปรแกรม Text Editor สำหรับ source code ของโปรแกรมได้แนบท้ายในภาคผนวกของวิทยานิพนธ์

เมื่อทำการเขียนเสร็จแล้วก็ทำการโหลด โปรแกรมเข้าโดยใช้คำสั่ง

(LOAD “ชื่อไฟล์”)

หลังจากนั้นโปรแกรมที่เขียนไว้จะเก็บอยู่ในหน่วยความจำ และฟังก์ชันที่เขียนขึ้น ภายในโปรแกรมก็จะสามารถเรียกเข้ามาใช้งานได้เช่นเดียวกับคำสั่งของออโต้แคดเอง

สำหรับวิทยานิพนธ์ฉบับนี้ได้ทำการ เขียนโปรแกรม ภาษาลิสป์ขึ้นมาเพื่อช่วยในการออกแบบ เลย์เอาต์ให้เป็นไปตามกฎของการออกแบบ และสามารถตรวจสอบพิกัดและพื้นที่ในการออกแบบได้สะดวกรวดเร็วขึ้น สามารถแยกการตรวจสอบของสารแต่ละชั้น (Layer) หรือพร้อมกันทั้งหมด และให้ผลงานออกทางเครื่องวาดภาพในอัตราส่วนที่ถูกต้อง โดยคำสั่งที่ได้เขียนขึ้นนี้สามารถใช้งานพร้อมกับคำสั่งทั่วไปของออโต้แคดได้ทันที

6.4 การแปลงข้อมูลของโปรแกรมออโต้แคด

ผลลัพธ์ของการออกแบบโดยโปรแกรมออโต้แคด จะเป็นดรอว์อิงไฟล์ (Drawing File) ซึ่งจะเก็บข้อมูลของแบบทั้งหมดไว้ สามารถนำมาใช้ประโยชน์ในการคำนวณหาพื้นที่ ขนาด หรือนำมาทำการพลอตลงบนพลอตเตอร์ แต่ยังไม่สามารถนำแบบที่ได้มาจำลองการทำงานเพื่อพิสูจน์ว่าวงจรรวมที่ออกแบบสามารถทำงานได้ตามวัตถุประสงค์ เนื่องจากโปรแกรมออโต้แคดนั้นมีความสามารถเฉพาะในทางด้านช่วยในการออกแบบ เท่านั้น ไม่สามารถจำลองการทำงานทางไฟฟ้าได้

อย่างไรก็ตามการจำลองการทำงานนั้นเป็นขั้นตอนที่จำเป็นอย่างยิ่งที่จะทำการให้การออกแบบนั้นสมบูรณ์ ในการจัดทำวิทยานิพนธ์ฉบับนี้ได้ใช้โปรแกรม EPISODE เพื่อทำการจำลองการทำงานทางไฟฟ้า (Electric characteristic simulation) ในทางปฏิบัติแล้วผู้ใช้ สามารถออกแบบวงจรรวมได้ในโปรแกรม EPISODE โดยตรงแต่เนื่องจากโปรแกรมแต่ละชนิด จะมีสมรรถนะในการทำงานในแต่ละด้าน ต่างกัน ดังเช่น โปรแกรมออโต้แคดก็มีความสามารถในการด้านการช่วยการออกแบบสูงและใช้งานง่าย แต่ไม่สามารถจำลองการทำงานได้ เช่นเดียวกันกับโปรแกรม EPISODE ที่มีความสามารถด้านจำลองการทำงานแต่ไม่มีความสามารถในการออกแบบในลักษณะกราฟิก การป้อนข้อมูลของการออกแบบจะต้องอยู่ในลักษณะโหมดตัวอักษร คำสั่งที่ป้อนให้แก่โปรแกรมจะเป็นลักษณะคำสั่ง ที่ระบุถึงขนาด และพิกัดของสารชนิดต่าง ๆ

ในวงจรรวม ซึ่งหากเป็นการออกแบบวงจรขนาดใหญ่แล้ว การออกแบบในลักษณะดังกล่าวย่อมเป็นสิ่งที่กระทำได้ยาก ทั้งในแง่การออกแบบและการตรวจสอบในกรณีที่ผิดพลาด ดังนั้นเพื่อขจัดปัญหาต่างๆเหล่านี้ วิทยานิพนธ์ฉบับนี้ได้ใช้โปรแกรมออโต้แคดเพื่อช่วยในการออกแบบในเชิงคอมพิวเตอร์กราฟิก นอกจากจะทำการเขียนโปรแกรมเสริมการทำงานของโปรแกรมออโต้แคดให้เหมาะสมสำหรับการออกแบบวงจรรวมแล้ว ยังได้ทำการเขียนโปรแกรมเพื่อทำการเชื่อมต่อข้อมูลมายังโปรแกรม EPISODE เพื่อทำการจำลองการทำงานด้วย เพื่อเป็นการนำจุดเด่นของโปรแกรมแต่ละด้านมาใช้ประโยชน์สูงสุด

สำหรับโปรแกรมออโต้แคด ข้อมูลที่การออกแบบโปรแกรมจะจัดเก็บอยู่ในรูปของดรออิงไฟล์ ซึ่งเป็นมีรูปแบบการจัดเก็บที่สามารถอ่านได้จากโปรแกรมออโต้แคดเท่านั้น แต่อย่างไรก็ตามโปรแกรมออโต้แคด สามารถจัดเก็บข้อมูลในรูปแบบอื่นๆที่เป็นมาตรฐานได้เช่น มาตรฐาน Initial Graphics Exchange Specification (IGES) , มาตรฐาน Drawing Interchange Binary (DXB) , มาตรฐาน Drawing Interchange File (DXF) ซึ่งมาตรฐานของการจัดเก็บข้อมูลเหล่านี้สามารถอ่านได้โดยโปรแกรมทั่วไป และวิทยานิพนธ์ฉบับนี้ได้เลือกมาตรฐาน DXF ในการอ่านข้อมูลมาทำการประมวลผลและส่งข้อมูลไปยังโปรแกรม EPISODE ต่อไป และคำสั่งที่ใช้ในการ จัดเก็บข้อมูลให้อยู่ในรูปแบบ DXF ก็คำสั่ง DXFOUT ซึ่งโปรแกรมออโต้แคดจะทำการ สร้างเท็กซ์ไฟล์ (Text File) ที่มีชื่อเดียวกับดรออิงไฟล์แต่จะมีนามสกุล ".DXF" เพื่อนำมาใช้งานได้ตามความต้องการ

6.5 โครงสร้างการจัดเก็บข้อมูลแบบ DXF

ข้อมูลที่จัดเก็บในรูปแบบ DXF จะมีการจัดเก็บในลักษณะของเท็กซ์ไฟล์ธรรมดา ซึ่งสามารถเปิดขึ้นมาอ่านได้โดยโปรแกรมประมวลผลคำทั่วไป แต่ในเท็กซ์ไฟล์นั้นจะมีการจัดรูปแบบเฉพาะ เพื่อให้สามารถจัดเก็บข้อมูลของการออกแบบได้อย่างครบถ้วน และสามารถนำกลับมาสร้างใหม่เป็น คอมพิวเตอร์กราฟิกได้อย่างถูกต้อง การจัดเก็บข้อมูลจะเป็นลักษณะเก็บข้อมูล 1 ค่าใน 1 บรรทัด ดังนั้นถ้าเปิดไฟล์ขึ้นมาดูก็จะเห็นได้ว่าจะมีข้อมูลต่อเรียงกันทุกๆบรรทัด เป็นจำนวนมากโดยข้อมูลในแต่ละบรรทัดก็จะมี ความหมายต่างกัน ตามลักษณะการจัดเก็บโครงสร้างของไฟล์ DXF แยกออกเป็น ส่วน ๆ ดังนี้

1. HEADER section เป็นส่วนหัวของไฟล์เป็นสำหรับที่จัดเก็บข้อมูล ที่เกี่ยวข้องกับตัวแปรต่างๆที่ใช้ในครอว์อิง สามารถตรวจสอบได้ด้วยคำสั่ง STATUS ในโปรแกรมออโต้แคด

2. TABLES section ส่วนนี้เป็นส่วนที่จัดเก็บส่วนจำกัดความของตัวแปรต่าง ๆ ที่ปรับแต่งโดยผู้ใช้ในขณะใช้งาน ซึ่งตัวแปรเหล่านี้จะมีจำนวนมากกว่า 1 ค่า และลักษณะของข้อมูลจะเป็นตาราง โดยมีตารางต่างๆที่จัดเก็บในส่วนนี้ดังนี้

- Linetype table ตารางจัดเก็บประเภทของเส้นที่ใช้ในครอว์อิง ซึ่งสร้างขึ้นด้วยคำสั่ง

LTTYPE

- Layer table ตารางจัดเก็บชั้นการออกแบบในครอว์อิง ซึ่งสร้างขึ้นด้วยคำสั่ง LAYER

- Text Style table ตารางจัดเก็บรูปแบบของตัวอักษรที่ใช้ในครอว์อิง ซึ่งสร้างขึ้นด้วยคำสั่ง STYLE

- View table ตารางจัดเก็บมุมมองที่ใช้ ในครอว์อิง ซึ่งสร้างขึ้นด้วยคำสั่ง VIEW

- User Coordinate System table ตารางจัดเก็บการกำหนดพิกัดซึ่งสร้างขึ้นด้วยคำสั่ง

UCS

- Viewport configuration table ตารางจัดเก็บแบ่งส่วนมุมมองในในครอว์อิง ซึ่งสร้างขึ้นด้วยคำสั่ง VPORT

- Dimension table ตารางจัดเก็บรูปแบบการแสดงความคในในครอว์อิง ซึ่งสร้างขึ้นด้วยคำสั่ง DIMSTYLE

- Application Identification table ตารางจัดเก็บหมายเลขประจำโปรแกรมประยุกต์ซึ่งสร้างขึ้นด้วยคำสั่ง APPID

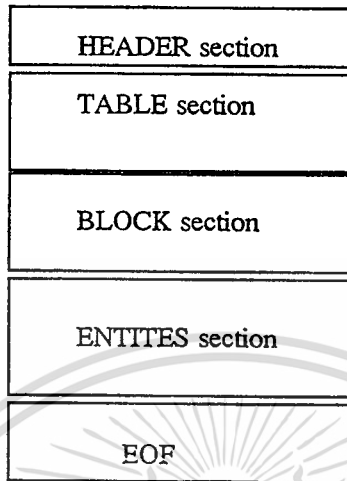
3. Block section . เป็นส่วนที่จัดเก็บข้อมูลของครอว์อิงที่รวมกลุ่มกันเป็นวัตถุขึ้นเดียวในรูปของบล็อก ซึ่งจะสร้างไว้สำหรับอ้างอิงเมื่อมีการสร้างบล็อกซ้ำ

4. Entities section . เป็นส่วนที่จัดเก็บรายละเอียดที่ประกอบกันขึ้นมาเป็นครอว์อิงที่สมบูรณ์ เช่น เส้นตรง เส้นโค้ง วงกลม รวมไปถึงการอ้างอิงถึงบล็อกต่างๆด้วย

5. END OF FILE เป็นส่วนที่แจ้งให้ทราบว่สิ้นสุดการจัดเก็บข้อมูล

โครงสร้างของไฟล์แต่ละส่วนข้างต้น เป็นโครงสร้างในระดับ section ซึ่งเป็นโครงสร้างขนาดใหญ่ นอกจากนี้ในแต่ละ section ก็ยังมีการโครงสร้างย่อยของการจัดเก็บข้อมูลออกเป็นกลุ่มย่อยๆ ประกอบด้วย

ภาพที่ 34



แผนผังแสดงโครงสร้างของ DXF FILE

1. Group codes รหัสกลุ่ม เป็นส่วนที่ทำให้ทราบว่ากลุ่มนี้เป็นข้อมูลอะไร ประเภทใด และสามารถนำไปใช้ได้อย่างไร
2. Value ข้อมูลของกลุ่ม ซึ่งจะเป็นตัวบอกปริมาณของกลุ่มนั้นๆ โดยลักษณะของการนำข้อมูลไปใช้งานจะเป็นไปตาม Group code

Group codes ได้นำไปใช้งานใน 2 ลักษณะคือ บอกชนิดของข้อมูลในกลุ่ม และ บอกหน้าที่ของข้อมูลโดยชนิดของข้อมูลในกลุ่มจำแนกได้ตามตาราง 6.1 และหน้าที่ของข้อมูลในกลุ่มแสดงในตารางที่

ตารางที่ 2

Group code range	Following value
0-9;1000-1009	String
10-59;140-147;210-239; 1010-1059	Floating point
60-79;170-175;1060-1079	Integer
999	comments

ชนิดของข้อมูลของกลุ่มในช่วงต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3

Group code	Value type
0	Identifies the start of entity , table entry , or file separator, The type of entity is given by the text value that follows this group
1	The primary text value for an entity
2	A name: Attribute tag, Block name , and soon , Also used to indentify a DXF section or table name
3-4	Other textual or name value
5	Entity handle expressed as ahexadecimal string
6	Line type name
7	Text style name
8	Layer name
9	Variable name indentifier
10	Primary X coordinate(start point of a Line or Tex entity, center of aCircle, etc.)
11-18	Other X coordinates
20	Primary Y coordinate , 2n value always correspond to 1n values and immediately follow them in file
21-28	Other Y coordinates
30	Primary Z coordinate, 3n Values always correspond to 1 n and 2n values and immediately follow them in the file
31-37	Other Z coordinates
38	This entity's elevation if nonzero ,Exists only in output from version prior to R11
39	This entity's thickness if nonzero
40-48	Floating-point values (text height , scale factor ,etc.)
49	Repeat value-Multiple 49 groups may appear in one entity for variable length tables
50-58	Angles
62	Color number
66	"Entity follow" flag
67	Identifies whether entity is in model space of paper space
68	Identifier wheter viewport is on but fully off screen , insot active, or is off
69	Viewport identification number
70-78	Integer values such as repeat counts, flag bits , of modes
210;220; 230	X,Y and Z componennts of extrusion direction
999	Comments

แสดงหน้าที่ของข้อมูลในกลุ่มต่าง ๆ (บางส่วน)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะของการระบุค่าต่าง ๆ ของข้อมูลใน DXF File นั้น จะต้องอยู่ในลักษณะของกลุ่มเสมอ โดยมีรูปแบบคือ

บรรทัดที่ 1. Group code

บรรทัดที่ 2. Group Value

ตัวอย่างเช่น 999 { ระบุว่าข้อมูลในกลุ่มคือ comment และเป็นข้อมูลประเภท String }

This is comment lines { ข้อมูลในกลุ่มสามารถนำไปอ่านใช้งานได้ }

ต่อไปจะเป็นการกล่าวถึงรายละเอียดข้อมูลในแต่ละ Section

Header Section

ข้อมูลใน Header Section เป็นส่วนที่จัดเก็บข้อมูลของตัวแปรทั้งหมดที่ใช้ภายในโปรแกรมออโต้แคด โดยตัวแปรแต่ละตัวก็จะมีผลกระทบต่อโปรแกรมทั้งสิ้น และเนื่องจากโปรแกรมออโต้แคดนั้นใช้ในการออกแบบได้ทุกประเภท ผู้ผลิตจึงจำเป็นต้องออกแบบไฟล์ให้สามารถเก็บข้อมูลการออกแบบได้ครอบคลุมทุกประเภทเช่นเดียวกัน ใน Header Section นี้จึงมีตัวแปรจำนวนมาก ดังตัวอย่างในตาราง

ตารางที่ 4

Variable	Type	Description
\$ACADVER	1	The AutoCAD drawing database version number
\$ANGBASE	50	Angle 0 Direction
\$ANGDIR	70	1=Colckwise angles , 0 = counterclockwise
\$ATTDIA	70	Attribute entry dialogs , 1= on , 0 = off
\$ATTMODE	70	Attribute visibility; 0 =none ,1 = normal , 2 = all
\$AUNITS	70	Units format for angles
\$AUPREC	70	Unit Precision for angles
\$AXISMODE	70	Axis on if nonzero
\$AXISUNIT	10,20	Axis x and y tick spacing
\$BLIPMODE	70	Blip mode on if nonzero
\$CECOLOR	62	Entity color number
\$CELTYPE	6	Entity linetype name , or BYBLOCK or BYLAYER
\$CHAMFERA	40	First chamfer distance

แสดงตัวอย่างตัวแปรที่เก็บอยู่ใน HEADER Section

ถึงแม้ว่าจะมีตัวแปรจำนวนมากที่เก็บอยู่ใน HEADER Section แต่ไม่จำเป็นที่จะต้องนำมาใช้งานทั้งหมด สำหรับการออกแบบวงจรนั้น ได้ใช้คำสั่งในการออกแบบที่ไม่ซับซ้อนมากนัก โดยลักษณะการออกแบบวงจรจะเป็นการออกแบบ 2 มิติ ที่มีระดับความสูง กล่าวคือมีขนาด ความหนา และระดับการวาง (Layer , Elevation) ของส่วนประกอบต่างๆของวงจรรวม ส่วนองค์ประกอบในทางการออกแบบนั้น จะเป็นส่วนประกอบของ เส้นตรงแบบโพลิ (Polyline) ทั้งสิ้น ไม่มีองค์ประกอบ อื่น เช่นเส้นโค้ง วงกลม ทำให้เมื่อนำข้อมูลมาประมวลผลก็จะไม่ยุ่งยากมาก เมื่อเทียบกับการออกแบบ ทางไฟฟ้า หรือการออกแบบทางด้านสถาปัตยกรรม จะเป็นลักษณะซึ่งจะมีการออกแบบที่ซับซ้อนมากกว่า ดังนั้นค่าตัวแปรส่วนใหญ่สามารถจะข้ามผ่านไปได้โดยไม่มีผลต่อการออกแบบแต่อย่างใดเช่น ตัวแปรเกี่ยวกับเส้นโค้ง , ตัวแปรเกี่ยวกับพื้นผิว , ตัวแปรเกี่ยวกับรูปแบบตัวอักษร , ตัวแปรเกี่ยวกับแสงและเงา เป็นต้น เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLES Section

Section นี้จะเก็บค่าของตารางต่างๆไว้ และค่าในตารางต่างๆ ก็มาจากตัวแปรที่ใช้ในโปรแกรมเอง ตัวแปรที่เก็บอยู่ในส่วนนี้จะแตกต่างจากตัวแปรที่เก็บอยู่ใน HEADER Section เนื่องจากตัวแปรใน HEADER Section นั้นจะเก็บข้อมูลของตัวแปรประเภทข้อมูลเดียว ซึ่งตัวแปรทุกตัว แต่ละตัวจะมีค่าเพียงค่าเดียว แต่ตัวแปรที่เก็บอยู่ใน Section นี้จะเก็บตัวแปรประเภทตาราง และขนาดของตัวแปรจะมากหรือน้อยหรือไม่ได้ใช้งานเลยนั้น จะขึ้นอยู่กับการใช้งานของผู้ใช้

สำหรับจำนวนตารางที่สามารถเก็บใน Section นี้ได้แสดงได้แสดงอยู่ในข้างต้น ส่วนนี้ก็จะมิลักษณะเดียวกับ HEADER Section คือตารางส่วนใหญ่ จะมีค่าตัวแปรที่ไม่มีผลกระทบต่อ การออกแบบวงจรรวมและโปรแกรมภาษาลิสท์ที่เขียนไว้มากนัก ส่วนใหญ่จึงสามารถข้ามไปได้ โดยไม่ต้องอ่านข้อมูลมาประมวลผลแต่อย่างใด

BLOCKS Section

Section นี้จะเก็บครอว์อิงที่ได้ออกแบบและรวมไว้เป็นบล็อก บล็อกเปรียบเสมือนครอว์อิงขนาดเล็กที่ผู้ใช้สร้างขึ้น และเก็บรวมกันไว้สำหรับอ้างอิงและใช้ซ้ำ เหมาะสำหรับการออกแบบที่ใช้ภาพหรือสัญลักษณ์ที่มีลักษณะเหมือนกันทุกประการ ยกเว้นขนาดที่อาจจะต่างกันในส่วนที่เท่ากัน เมื่อนำมาใช้ก็สามารถอ้างอิงถึงบล็อกดังกล่าวและสัดส่วนขนาดที่ต้องการ ก็จะได้ครอว์อิงที่เหมือนกันทุกครั้ง ในการออกแบบวงจรรวมนั้นได้ออกแบบให้มีการใช้บล็อกบ้างสำหรับสัญลักษณ์ของ Via และ Contact แต่ใช้ไม่มากนัก เนื่องจากโปรแกรมภาษาลิสท์ที่ใช้ นั้นจะมีกรรมวิธีในการสร้างครอว์อิงแบบสร้างใหม่ตามคำสั่ง (Regenerate) ซึ่งมีความสามารถสูงกว่าการใช้บล็อก ไม่ใช้การสร้างครอว์อิงแบบอ้างอิงและใช้ซ้ำ (Reference and Reuse) ซึ่งจะต้องใช้บล็อกเพื่ออ้างอิง

อย่างไรก็ตามใน Section นี้ถ้าไม่มีการใช้บล็อกก็จะไม่มีข้อมูลอยู่ หากมีข้อมูลอยู่ก็แสดงว่ามีการสร้างและใช้งานบล็อกจริง ดังนั้นการประมวลผลข้อมูลจะต้องอ่านใน Section นี้ ทุกครั้ง

ENTITIES Section

Section นี้เป็น Section ที่สำคัญที่สุดเป็นส่วนที่อธิบายถึงองค์ประกอบของครอว์อิง ว่าประกอบด้วยอะไร และองค์ประกอบแต่ละส่วนมีคุณสมบัติอย่างไร section นี้จะมีทั้งใน BLOCKS section เพื่ออธิบายองค์ประกอบของครอว์อิงที่ประกอบรวมเป็นบล็อกนั้นๆ และมีอยู่ใน ENTITIES Section ซึ่งเป็นองค์ประกอบของครอว์อิงหลักด้วย โดยทั่วไปแล้วรายละเอียดทุกส่วนจะต้องระบุค่าอยู่ในส่วนนี้เพื่อให้สามารถนำครอว์อิงไปสร้างย้อนกลับได้อย่างสมบูรณ์ แต่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากข้อมูลบางส่วนเป็นส่วนที่ไม่เปลี่ยนแปลงมากนักหรืออาจจะเหมือนกันสำหรับทุกองค์ประกอบ ดังนั้นโปรแกรมจะทำการละค่าส่วนนี้ไว้ให้เป็นไปตามค่าปกติ (Default) ดังนั้นในการใช้งานจะต้องปรับค่าที่ไม่ได้ระบุเหล่านั้นให้เป็นค่าปกติ Default เพื่อให้การทำงานสามารถกระทำได้โดยสมบูรณ์

ตารางที่ 5

Group code	Meaning	If omitted defaults to..
6	Linetype name .The special name BYBLOCK inicates a floating linetype	BYLAYER
38	Elevation (if nonzero).	0
39	Thickness(if nonzero).	0
62	Color number (if not BYLAYER). Zero indicates the BYBLOCK (floating) color.256 indicates the BYLAYER	0
210, 220, 230	These groups are included for each Line,Point,Circle, Shape,Text,Arc,Trace,Solid,Block Reference,Polyline,Dimension , Attribute and Attribute Definition entity if its extrusion direction is not parallel to the World Z axis	0,0,1

แสดงค่าปกติ ของรหัสกลุ่มข้อมูลที่เก็บอยู่ใน ENTITIES Section

การอธิบายองค์ประกอบของดรอว์อิง

การอธิบายองค์ประกอบการดรอว์อิง มีวัตถุประสงค์ 2 ประการคือ

- เพื่อให้ทราบว่าเป็นองค์ประกอบชนิดใด
- องค์ประกอบนั้น มีคุณสมบัติอย่างไร

ในที่นี้จะแสดงให้เห็นเฉพาะองค์ประกอบที่จำเป็นของดรอว์อิงที่ใช้ในการออกแบบวงจรรวมเท่านั้น

ตารางที่ 6

ENTITIES	GROUP CODE
LINE	10,20,30 (start point),11,21,21 (end point)
TEXT	10,20,30 (insertion point),40 (height),1(text value) ,50 (rotation angle) ,7 (text style name) ,71(text generation flags), 73 (vertical justification) ,11,21,31 (alignment point)
BLOCK	2 (Block name),3 (this is also the Block name),70 (Block type flag) ,10,20,30 (Block-Base point), and if the Block is an Xref Block it will also contain group code 1 (Xref path name).Block entities appear only in the BLOCKS section , not in the ENTITIES section.
ENDBLK	No groups, Appears only in BLOCKS section
INSERT	66 (Attribute follow flag),2(Block name) 10,20,30 (insertion point),41 (X-Scale factor) ,42 (Y-Scale factor) 70,71 (column and row count) 44,45 (column and row spacing)
POLYLINE	66 (Vertex-follow flag) 10,20,30 (polyline elevation -30 supplies elevation 10 and 20 are always set to zero) , 70 (Polyline flag),40 (default starting width) ,41 (Default ending width),71,72 (polygon mesh M and N vertex counts) , 73,74 (smooth surface M and N densities) ,75 (curve and smooth surface type) the default widths apply to any vertex that doesn't supply widths

แสดงการอธิบายองค์ประกอบของดรอว์อิงใน ENTITIES Section

6.6 การอ่านข้อมูล DXF มาใช้งานกับโปรแกรม EPISODE

เมื่อได้ทำการศึกษาถึงรูปแบบการจัดเก็บข้อมูลแบบ DXF แล้ว ทำให้สามารถที่จะนำข้อมูลของการออกแบบวงจรรวมมาใช้งานได้ และเมื่อทำการ EXPORT ข้อมูลจากโปรแกรม ออกได้เกิดออกมาในรูปของ DXF แล้วปรากฏว่าจะได้ไฟล์ชื่อเดียวกับดรอว์อิง แต่จะมีนามสกุลเป็น DXF ซึ่งมีขนาดใหญ่มาก (เมื่อเทียบกับดรอว์อิงไฟล์) อันเนื่องมาจากรูปแบบการจัดเก็บข้อมูลในแบบ DXF นั้นใช้เนื้อที่ในการเก็บมาก และเก็บในรูปแบบตัวอักษรแทนที่จะเก็บค่าจริง ทำให้ข้อมูลที่ได้นั้นมีขนาดใหญ่มากกว่า ข้อมูลจริงถึง 20 เท่าตัว

หลังจากได้ DXF ไฟล์แล้วจึงนำไฟล์ที่ได้มาทำการประมวลผลให้อยู่ในรูปที่โปรแกรม EPISODE สามารถเข้าใจได้

รูปแบบการป้อนคำสั่งของโปรแกรม EPISODE

โปรแกรม EPISODE เป็นโปรแกรมที่ทำหน้าที่จำลองการทำงานของ วงจรรวมที่ออกแบบมาเป็นเลย์เอาต์ โดยการบรรยายลักษณะการออกแบบในรูปของการระบุลักษณะของสารต่างๆในเลย์เอาต์ และพิกัดของสารเหล่านั้น และโปรแกรม EPISODE จะนำข้อมูลของเลย์เอาต์ของผังวงจรทั้งหมดไปจำลองการทำงานทางไฟฟ้าต่อไป

รูปแบบการป้อนคำสั่งของโปรแกรม EPISODE มีส่วนประกอบดังนี้

1. Header เป็นส่วนที่สำหรับการประกาศ จุดเชื่อมต่อและสารประเภทต่างๆที่ใช้ในการออกแบบ

2.Tag เป็นส่วนที่ทำการประกาศชื่อของวงจร ทำให้สามารถนำมาใช้ได้ภายหลังโดยเฉพาะการออกแบบในลักษณะที่ออกแบบเซลล์ที่ใช้งานทั่วไปให้อยู่ในรูปของเซลล์มาตรฐาน เช่น ในวิทยานิพนธ์ฉบับนี้

3.Detail เป็นส่วนที่อธิบายถึงรูปร่าง ขนาด และ ตำแหน่งของสารต่างๆที่ใช้ในการออกแบบ ส่วนนี้เหมือนกับลักษณะใน ENTITIES Section ของออโต้แคดนั้นเอง

สำหรับคำสั่งและคำย่อในโปรแกรม EPISODE ที่สำคัญมีดังนี้

dn = Diffusion N = สารแพร่ชนิดเอ็น

dp = Diffusion P = สารแพร่ชนิดพี

si = Silicon = สารซิลิคอน

a1 = Alumenium 1 = อลูมิเนียมหมายเลข 1

a2 = Alumenium 2 = อลูมิเนียมหมายเลข 2

vi = Via = จุดที่สารเชื่อมต่อถึงกัน

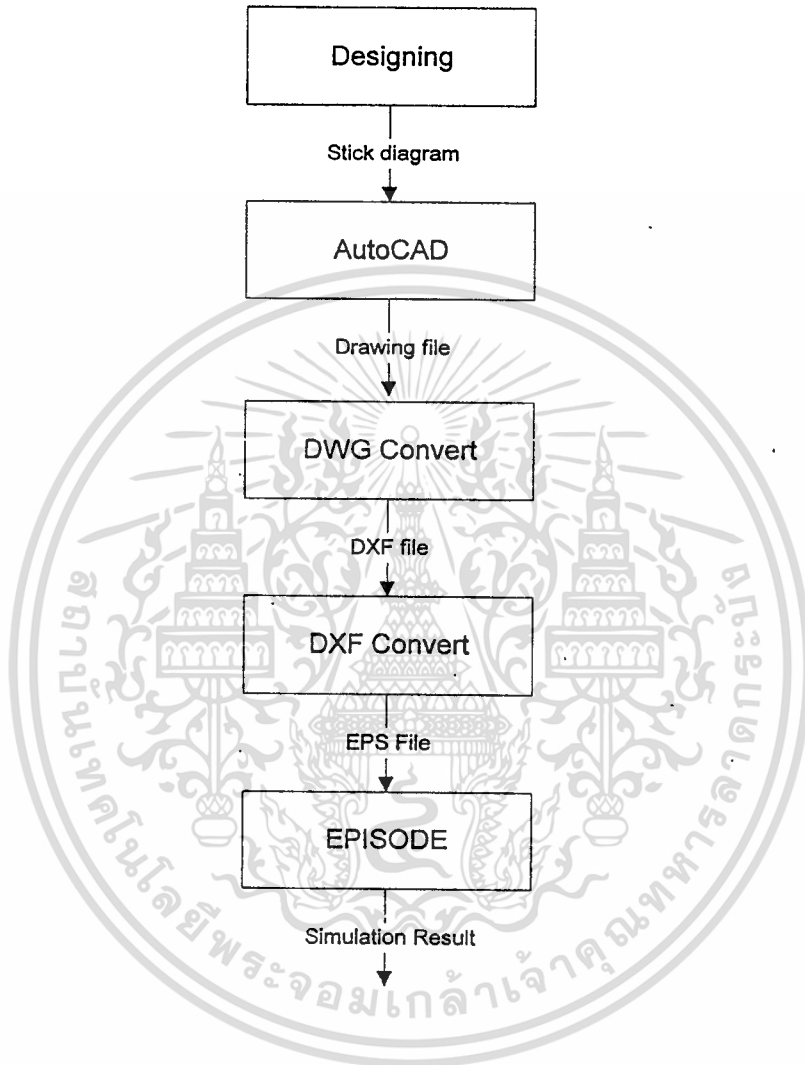
rec(x1,y1,x2,y2,S) พื้นที่สี่เหลี่ยมมีจุดมุมอยู่ที่พิกัด x1,y1 และ x2,y2 เป็นพื้นที่ของสาร

ชนิด S

figext Block name(x,y) การวางเซลล์มาตรฐานที่ออกแบบไว้แล้วในชื่อ Block name ที่พิกัด x,y

ในการแปลงข้อมูลจาก DXF ให้เป็นข้อมูลของ EPISODE ผู้เขียนได้เขียนโปรแกรมภาษา PASCAL เพื่อทำหน้าที่นี้ โดยโปรแกรมจะรับข้อมูลเข้าเป็นจุด DXF และจะให้ผลลัพธ์จากการคำนวณเป็นไฟล์นามสกุล EPS ซึ่งสามารถส่งให้โปรแกรม EPISODE นำไปจำลองการทำงานได้ทันที ซึ่งลักษณะความสัมพันธ์ของโปรแกรมต่างๆที่ใช้ในวิทยานิพนธ์แสดงในรูปที่ 6.4

ภาพที่ 35



แสดงแผนผังแสดงการเชื่อมต่อของข้อมูล

การเขียนโปรแกรมเพื่อแปลงข้อมูล

เนื่องจากการแปลงข้อมูลจากรูปแบบของ DXF เป็นรูปแบบของโปรแกรม EPISODE นั้นเป็นโปรแกรมเฉพาะด้านและมีหน้าที่การทำงานเฉพาะ จึงต้องเขียนโปรแกรมมาเพื่อทำการประมวลผลในส่วนนี้โดยเฉพาะ โดยเลือกใช้ภาษา PASCAL และใช้คอมไพเลอร์ TURBO PASCAL เวอร์ชัน 7 ในการสร้างโปรแกรม โดยหน้าที่ของโปรแกรมแล้วจะมีการทำงานในไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะ ของการประมวลผลข้อความ (Text Processing) โดยทั้งอินพุทและเอาต์พุทที่ได้จะเป็น เท็กซ์ไฟล์ ทั่วไป

ด้วยลักษณะความสัมพันธ์ของ อินพุทและเอาต์พุทนั้น จะพบว่าข้อมูลที่เข้ามาส่วนใหญ่ จะเป็นข้อมูลที่ไม่จำเป็นต่อเอาต์พุทมากนัก เราสามารถข้ามข้อมูลไปได้โดยไม่ต้องนำมา ประมวลผล เช่น ใน HEADER Section และ TABLES Section ส่วนใน BLOCKS section นั้น ก็มีข้อมูลที่เกี่ยวข้องไม่มาก ข้อมูลที่ต้องการจะอยู่ในส่วนของ ENTITIES section

ในการออกแบบเลย์เอาต์ในออโต้แคดนั้น การออกแบบทั้งหมดจะใช้เส้นแบบ Polyline และสารแต่ละชนิดจะทำการสร้างไว้คนละชั้นการออกแบบ (Layer) โดยชื่อของชั้นการออกแบบแต่ละชั้นจะมีชื่อเดียวกับ สารที่มีอยู่เช่น Layer ALU1 , Layer POLY เป็นต้น ทำให้การ อ่านข้อมูลจาก DXF File นั้นทำได้โดยง่าย คือให้โปรแกรมทำการตรวจหาเฉพาะ Polyline และ หากต้องการทราบว่าเป็นสารชนิดใดให้ดูที่ชั้นการออกแบบของ Polyline นั้นๆ

ตัวอย่าง ข้อมูล DXF ของสารชนิด ALU2 ขนาด 5*62 Drawing Units ตำแหน่ง 0,0 ซึ่ง แปลงให้อยู่ในรูปแบบคำสั่งของ EPSIODE คือ rec (0,0,5,62,a2) ซึ่งจะเห็นได้ว่าสามารถลด ขนาดของข้อมูลลงไปได้มาก สำหรับขนาดหน่วยการวัดที่ใช้ในการออกแบบครอว์อิงนั้น กำหนดให้ 1 drawing unit = 1 ไมครอนเพื่อให้สามารถคำนวณพื้นที่และพิกัดได้ง่าย ส่วน polyline ที่ใช้จะมีความหนาของเส้นเท่ากับ 0.1 unit และมีสีตรงกับที่ใช้งานจริง เพื่อให้ในการ พล็อตออกบนพล็อตเตอร์ จะมีความชัดเจนเหมือนจริงของเลย์เอาต์

0	10	10
POLYLINE	5	0
5	20	20
2C	0	62
100	30	30
AcDbEntity	0	0
8	0	0
ALU2	VERTEX	VERTEX
62	5	5
5	2E	30
100	100	100
AcDb2Polyline	AcDbEntity	AcDbEntity
66	8	8
1	ALU2	ALU2
10	62	62
0	5	5
20	100	100
0	AcDbVertex	AcDbVertex
30	100	100
0	AcDb2dVertex	AcDb2dVertex
70	10	10
1	5	0
40	62	20
0.1	0	0
41	30	30
0.1	0	0
0	0	0
VERTEX	VERTEX	SEQEND
5	5	
2D	2F	
100	100	
AcDbEntity	AcDbEntity	
8	8	
ALU2	ALU2	
62	62	
5	5	
100	100	
AcDbVertex	AcDbVertex	
100	100	
AcDb2dVertex	AcDb2dVertex	

ตัวอย่างข้อมูล DXF สำหรับ ALU2 ขนาด 5*62 ตำแหน่ง 0,0,0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการเขียนโปรแกรมจะใช้หลักการในการอ่านข้อมูลของ DXF ดังนี้

1. เป็น Polyline หรือไม่
2. Polyline อยู่ในขั้นตอนการออกแบบชื่ออะไร เพื่อจะได้ทราบว่าเป็นสารชนิดใด
3. อ่านค่าพิกัดของ Polyline
4. จะต้องมีการพิกัด ของ Polyline กรอบ 4 จุด (เนื่องจากสารทุกชนิดจะเป็นสี่เหลี่ยมเสมอ)
5. พิกัดแต่ละพิกัดจะต้องมีความสัมพันธ์กันในลักษณะมุมฉาก
6. สร้างคำสั่งสำหรับโปรแกรม EPISODE ตามข้อมูลของชนิดของสาร และ พิกัดที่อ่าน
ขึ้นมาได้
7. จัดเก็บข้อมูลในรูปแบบเท็กซ์ไฟล์

สำหรับผลของการออกแบบและจำลองการทำงานของคอมพิวเตอร์ทั้งหมดจะอยู่ในภาค
ผนวก ประกอบด้วย

1. โปรแกรมภาษาลิสป์สำหรับการออกแบบวงจรรวม
2. ผลงานการออกแบบวงจรรวมด้วยฮาร์ดแวร์
3. ตัวอย่าง DXF file ของครอว์อิง
4. โปรแกรมภาษาปาสคาลสำหรับแปลงข้อมูล
5. ผลลัพธ์การแปลงข้อมูล
6. ผลลัพธ์ของการจำลองการทำงาน

บทที่ 7

เซลมาตรฐานและวงจรรวมที่ออกแบบ

7.1 หลักการออกแบบและข้อควรพิจารณา

ในการออกแบบวงจรรวม VLSI นั้นมีปัจจัยหลายอย่างที่มีผลกระทบต่อ การทำงานและประสิทธิภาพของวงจร ซึ่งในการออกแบบจะต้องนำปัจจัยเหล่านั้นมาพิจารณาอย่างรอบคอบดังนี้

7.1.1 การแบ่งวงจรแต่ละส่วนลงในชิพ (Split system into VLSI chips)

หลักการในการออกแบบวงจรรวมในส่วนนี้นั้นจะต้องประกอบด้วย 2 ประการคือ

1. จำนวนของทรานซิสเตอร์ที่จะบรรจุลงในชิพจะต้องเหมาะสม กับพื้นที่ของชิพและเทคโนโลยีการออกแบบที่ใช้ เนื่องจากเทคโนโลยีการออกแบบจะเป็นตัวกำหนดขนาดของทรานซิสเตอร์ และจะเป็นตัวกำหนดความหนาแน่นของทรานซิสเตอร์ด้วย
2. จำนวนของจุดเชื่อมต่อสัญญาณเข้าออก (I/O Terminal) จุดเชื่อมต่อสัญญาณจะต้องมีจำนวนที่เหมาะสมเช่นเดียวกัน ไม่มากเกินไปและน้อยเกินไป เพราะขนาดของจุดเชื่อมต่อจะมีขนาดใหญ่ใช้พื้นที่ชิพมาก หากมีมากเกินไปจะสิ้นเปลืองพื้นที่ แต่ถ้ามีน้อยเกินไปจะทำให้การใช้งานไม่สะดวก โดยเฉพาะการทดสอบฟังก์ชันการทำงานจากจุดทดสอบ (Test point)

7.1.2 เวลาในการส่งถ่ายข้อมูล (Signal Transfer Timing)

VLSI Chips จะต้องใช้เวลาในการส่งถ่ายข้อมูลระหว่างชิพที่เหมาะสม และเพื่อหลีกเลี่ยงปัญหานี้ การออกแบบจะต้องพิจารณาในส่วนที่มีช่วงเวลาวิกฤต (Critical Timing) ซึ่งต้องการช่วงเวลาที่เที่ยงตรงมาก และอาจจะส่งผลกระทบต่อเสถียรภาพของวงจร ควรจะออกแบบให้มีการส่งถ่ายข้อมูลระหว่างชิพน้อยที่สุด หรือออกแบบให้ทั้งหมดอยู่บนชิพเดียวกัน เนื่องจากการส่งถ่ายข้อมูลทุกครั้งจะเกิดการหน่วงเวลาข้อมูลไม่มากนักน้อย หากมีการส่งถ่ายกันหลายๆ ครั้ง จะยากต่อการควบคุมให้ข้อมูลมีช่วงเวลาที่เที่ยงตรงได้

7.13 การออกแบบช่วงเวลาการทำงาน (Timing Design)

การออกแบบช่วงเวลาการทำงานหมายถึงการออกแบบลักษณะของจังหวะการทำงาน ของของสัญญาณนาฬิกาในวงจรซีเควนเชียล ส่วนใหญ่จะให้งานด้วยสัญญาณนาฬิกาแบบ 2 เฟส (2-phase clock) และวงจรจะทำงานแบบ master-slave ซึ่งจะมีความเที่ยงตรงในการ ทำงานสูงและวงจรออกแบบได้ง่าย และจะไม่เกิดปัญหาเนื่องจากการเหลื่อมกันของสัญญาณ นาฬิกา (Clock Overlap) แต่ถ้าหากจำเป็นต้องใช้สัญญาณนาฬิกาแบบอื่น เช่น Edge Trig , master-slave latch จะต้องออกแบบวงจรให้รัดกุมยิ่งขึ้น และในการออกแบบ เลย์เอาท์ก็จะต้อง ออกแบบการกำเนิดและการกระจายสัญญาณนาฬิกา ภายในชิพ ก็จะต้องรัดกุมเช่นกัน ทางที่ดี ควรหลีกเลี่ยงการออกแบบวงจรที่มีการใช้สัญญาณนาฬิกาในหลายๆแบบ จะทำให้ควบคุมการ ทำงานได้ยาก

7.14 สัญญาณนาฬิกาของระบบและความพร้อมเพรียงกันของชิพ (System Clock & Chips Synchronization)

ปัญหาเรื่องสัญญาณนาฬิกาเป็นปัญหาพื้นฐาน ของการออกแบบชิพ เนื่องจากระหว่าง ชิพจะต้องมีการส่ง-รับข้อมูลระหว่างกัน โดยทั่วไปการออกแบบการรับส่งข้อมูลจะมีอยู่ 2 แบบ คือ

-Asynchronize การรับ-ส่งข้อมูลระหว่างชิพ จะใช้ระบบการตรวจสอบยืนยันข้อมูล (Hand Shaking) ข้อมูลที่ส่งไปจะได้รับทุกครั้ง จะไม่สูญหาย แต่จะสูญเสียเวลาไปในการยืนยัน ข้อมูลมาก ทำให้ประสิทธิภาพในการทำงานของวงจรลดลง

_Synchronize การรับ-ส่งข้อมูลแบบนี้จะต้องออกแบบวงจร จังหวะและเวลาการทำงาน ของทุกส่วนที่สอดคล้องกันเป็นอย่างดี และทุกส่วนจะต้องรับส่งข้อมูลเข้าจังหวะและ พร้อมเพรียงกัน ซึ่งหากวงจรออกแบบมาอย่างถูกต้อง การทำงานส่วนต่างๆประสานสอดคล้อง กัน การทำงานจะมีประสิทธิภาพมาก แต่ถ้าออกแบบมาไม่ดีหรือมีปัจจัยอื่นที่ทำให้เวลาของ สัญญาณคลาดเคลื่อน วงจรจะทำงานผิดพลาดได้ง่าย และมีเสถียรภาพต่ำ

ปัญหาของการออกแบบหลักในส่วนนี้จะอยู่ที่การออกแบบ แนวทางเดินและกระจาย สัญญาณนาฬิกาภายในส่วนต่างๆภายในชิพ จะต้อง Synchronize กัน สัญญาณนาฬิกาจะต้อง กระจายไปยังทุกส่วนของชิพ ซึ่งโอกาสที่สัญญาณจะถูกลดทอนลงในแง่ของเวลา และขนาด ของสัญญาณอาจจะเกิดขึ้นได้ ทำให้สัญญาณนาฬิกาแต่ละส่วนมีเวลาไม่ตรงกัน จังหวะการรับ ส่งข้อมูลจะผิดพลาดได้ง่าย

วิธีการแก้ไข คือการกำเนิดสัญญาณนาฬิกาที่จำเป็นจากภายในชิพและขยายสัญญาณให้มีกำลังสูงขึ้น จึงค่อยกระจายสัญญาณนาฬิกาจากต้นกำเนิด ซึ่งมีความผิดเพี้ยนน้อย และกำลังสัญญาณสูง สำหรับในส่วนของวงจรที่นำสัญญาณนาฬิกาไปใช้งาน ก็ให้นำสัญญาณนาฬิกาไปให้โดยตรง โดยผ่าน Buffer หรือการถอครหัส ให้น้อยที่สุด จะทำให้ความผิดพลาดของสัญญาณนาฬิกาเนื่องจากการนำไปใช้งานลดลงไปได้มาก จะเหลือเพียงแต่การผิดพลาดเนื่องจากองค์ประกอบอื่นเช่น อุณหภูมิ, แหล่งจ่ายกำลัง ซึ่งจะแยกการพิจารณาและแก้ไขต่อไป

7.1.5 กำลังงานสูญเสีย (Chip's power consumption)

การประเมินกำลังงานสูญเสียของชิพ จะประมาณให้ใกล้เคียงได้ยาก เนื่องจากมีปัจจัยอื่นมาเกี่ยวข้องมาก การบริโภคพลังงานของชิพจะมี 2 ส่วนคือ กำลังงานสูญเสียคงที่ในสภาวะที่วงจรไม่ทำงาน (Static power consumption) และ กำลังงานสูญเสียที่เกิดขึ้นในขณะที่วงจรทำงาน (Dynamic power consumption) โดยทั่วไปจะทำการประมาณจากข้อมูลกำลังงานสูญเสียของชิพที่มีขนาดและลักษณะใกล้เคียงกันที่เกิดขึ้นมาก่อนจะใกล้เคียงที่สุด

อย่างไรก็ตามกำลังงานสูญเสียของชิพก็เป็นสิ่งที่จะต้องทราบ เพื่อทำการออกแบบการระบายความร้อนที่จะเกิดขึ้นภายในชิพ เนื่องจากค่าความต้านทานภายในชิพจะเกิดความร้อนประมาณ 20 องศาสำหรับกำลังงานสูญเสียทุกๆ 1 วัตต์

7.1.6 สถาปัตยกรรม (Architecture)

ในส่วนนี้จะเกี่ยวข้องกับการออกแบบในกรณีที่วงจรรวมที่ออกแบบเป็นประเภทไมโครโปรเซสเซอร์ ข้อดีของเทคโนโลยีแบบ MOS สามารถออกแบบวงจรขนาดใหญ่ที่มีการประมวลผลแบบขนานได้ คือแต่ละส่วนของวงจรทำงานไปได้ในเวลาเดียวกันและเป็นอิสระต่อกัน จุดสำคัญคือ เราไม่สามารถออกแบบให้ส่วนใดส่วนหนึ่งทำงานเร็วกว่าส่วนอื่นๆ ได้ เช่นการนำ CMOS ไปใช้ร่วมกับ TTL หรือ Bipolar Transistor ซึ่งมีความเร็วต่างกัน ดังนั้นการออกแบบควรเลือกสถาปัตยกรรมของชิพให้เหมาะสมกับการทำงานของวงจร และคุณสมบัติจำเพาะของเทคโนโลยีแบบต่างๆด้วย

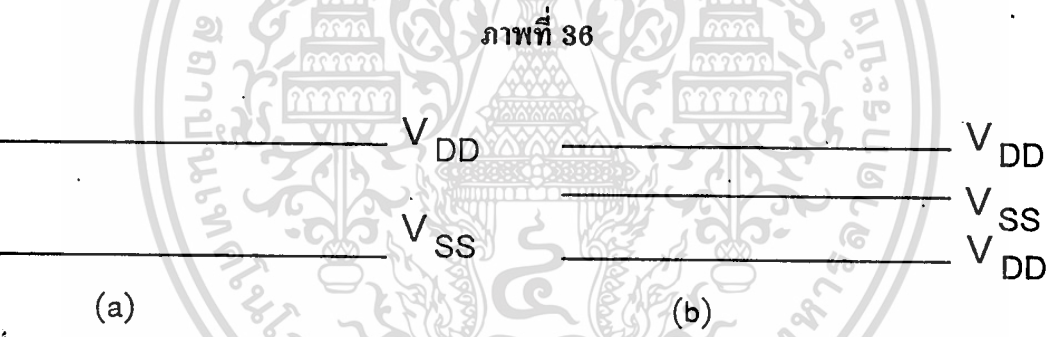
7.1.7 ความสามารถในการทดสอบ (Testability)

ส่วนใหญ่เมื่อวงจรออกแบบเสร็จแล้ว จะไม่สามารถใช้งานได้ทันที เนื่องจากอาจจะมีข้อผิดพลาดหลงเหลืออยู่ ดังนั้นจึงจะต้องมีการออกแบบวงจรรวมให้สามารถตรวจสอบการทำงานได้สะดวก วงจรรวมจะประกอบด้วยวงจรซีควเอนเชียลจำนวนมาก การตรวจสอบและการทดสอบการทำงานที่ถูกต้องและมีประสิทธิภาพจึงควรมีการออกแบบให้มีจุดตรวจสอบมากพอที่ทำให้สามารถตรวจสอบได้อย่างรวดเร็ว และมีขั้นตอนการตรวจสอบของจุดตรวจ (Testing

ต้องการแหล่งจ่ายไฟและกราวด์ที่ปราศจากสัญญาณรบกวน เพื่อการทำงานและผลลัพธ์ที่ได้ จะมีความเที่ยงตรง

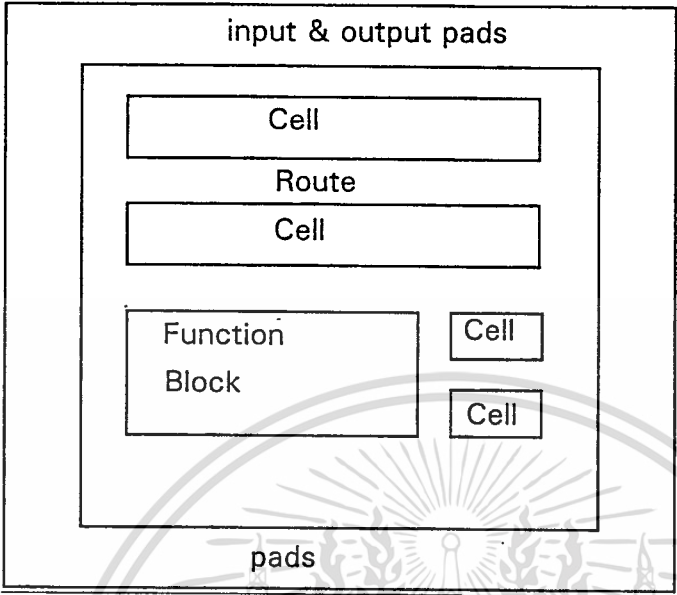
7.3 เซลมาตรฐาน

เทคนิคที่ใช้ในการออกแบบประกอบด้วยการวางแหล่งจ่ายไฟอย่างละแห่ง หรือวางซ้อน กันดังในรูปที่ 7.1a และรูปที่ 7.1b โดยการวางผังทั่วไปมักจะวางเป็นกลุ่มโดยนำมาต่อเรียงกัน เชื่อมโยงโดยเส้นทาง (route) ดังแสดงในรูปที่ 7.2 แต่สำหรับรูปแบบอาจจะมีหลายรูปแบบ เช่นกำหนดความสูงของเซลล์ไว้ และเปลี่ยนแปลงความกว้างของเซลล์หรือไม่ก็กำหนดดังรูป ที่ 7.3a และรูป 7.3b ลำดับและการเชื่อมโยงก็มีหลายแบบเช่นกัน โดยขึ้นอยู่กับความต้องการ ของผู้ออกแบบในการนำไปใช้งาน



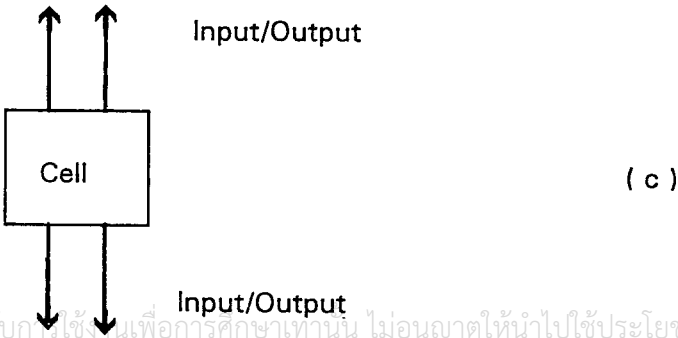
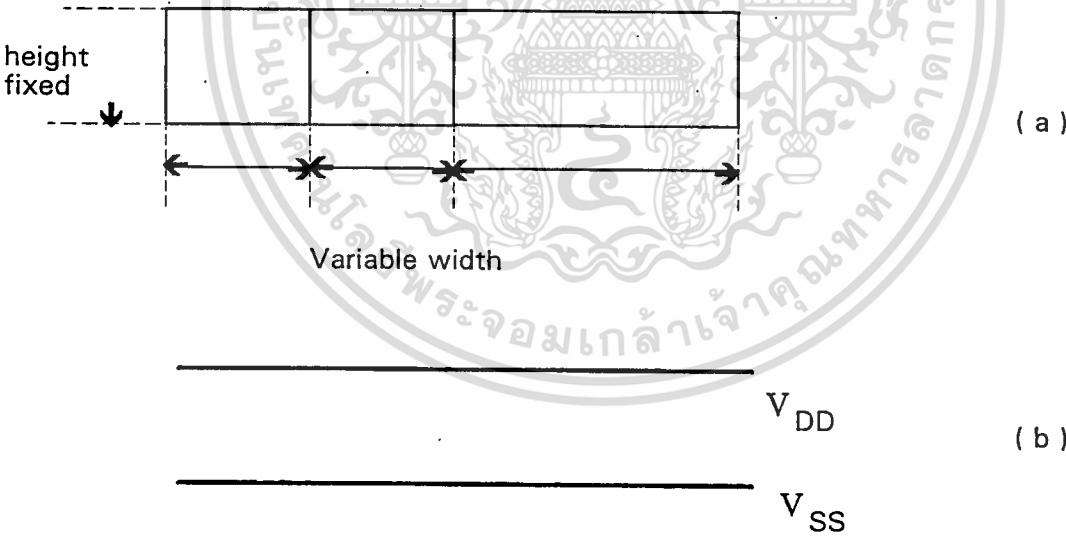
แสดง แนวทางเดินของแหล่งจ่ายไฟ

ภาพที่ 37

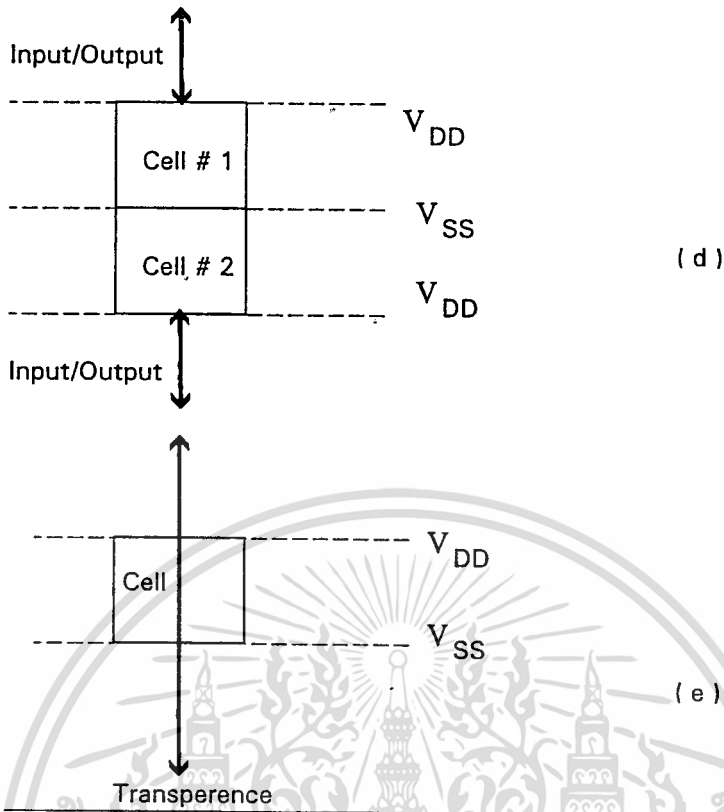


แสดงการจัดสรรพื้นที่ของชิพ

ภาพที่ 38



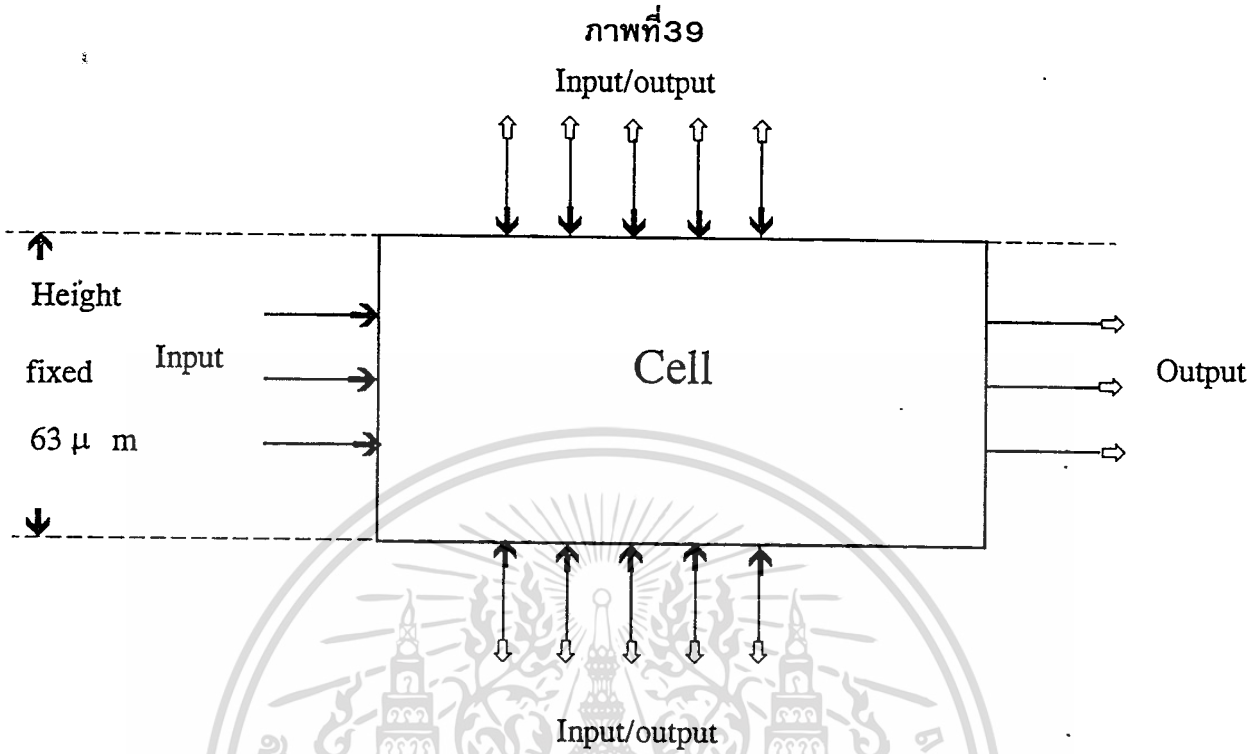
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับงานวิจัยเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



แสดงการเชื่อมโยงของเซลล์แบบต่างๆ

การออกแบบในวิทยานิพนธ์ฉบับนี้เพื่อให้เป็นข้อกำหนดมาตรฐานเหมือนกัน ดังรูปที่ 39 โดยกำหนดความสูงของเซลล์มีค่าคงที่ $63\mu m$ โดยด้านซ้ายมือของเซลล์เป็นอินพุต ด้านขวามือของเซลล์เป็นเอาต์พุต ส่วนด้านบนและด้านล่างของเซลล์เป็นอินพุตหรือเอาต์พุตแล้วแต่การออกแบบ โดยความกว้างของเซลล์เปลี่ยนแปลงได้ ขึ้นอยู่กับจำนวนของทรานซิสเตอร์ภายในเซลล์ ส่วนแหล่งจ่ายไฟบวกและลบถูกออกแบบไว้ด้านบนและล่างตามลำดับ

เซลล์ต่างๆที่ออกแบบจะถูกทดสอบและจำลองการทำงานทั้งในทางด้าน คุณสมบัติทางด้านเวลาและทางด้านไฟฟ้าโดยจะกล่าวถึงในบทต่อไป



แสดงรูปแบบของเซลล์ที่ออกแบบ

7.4 การออกแบบ

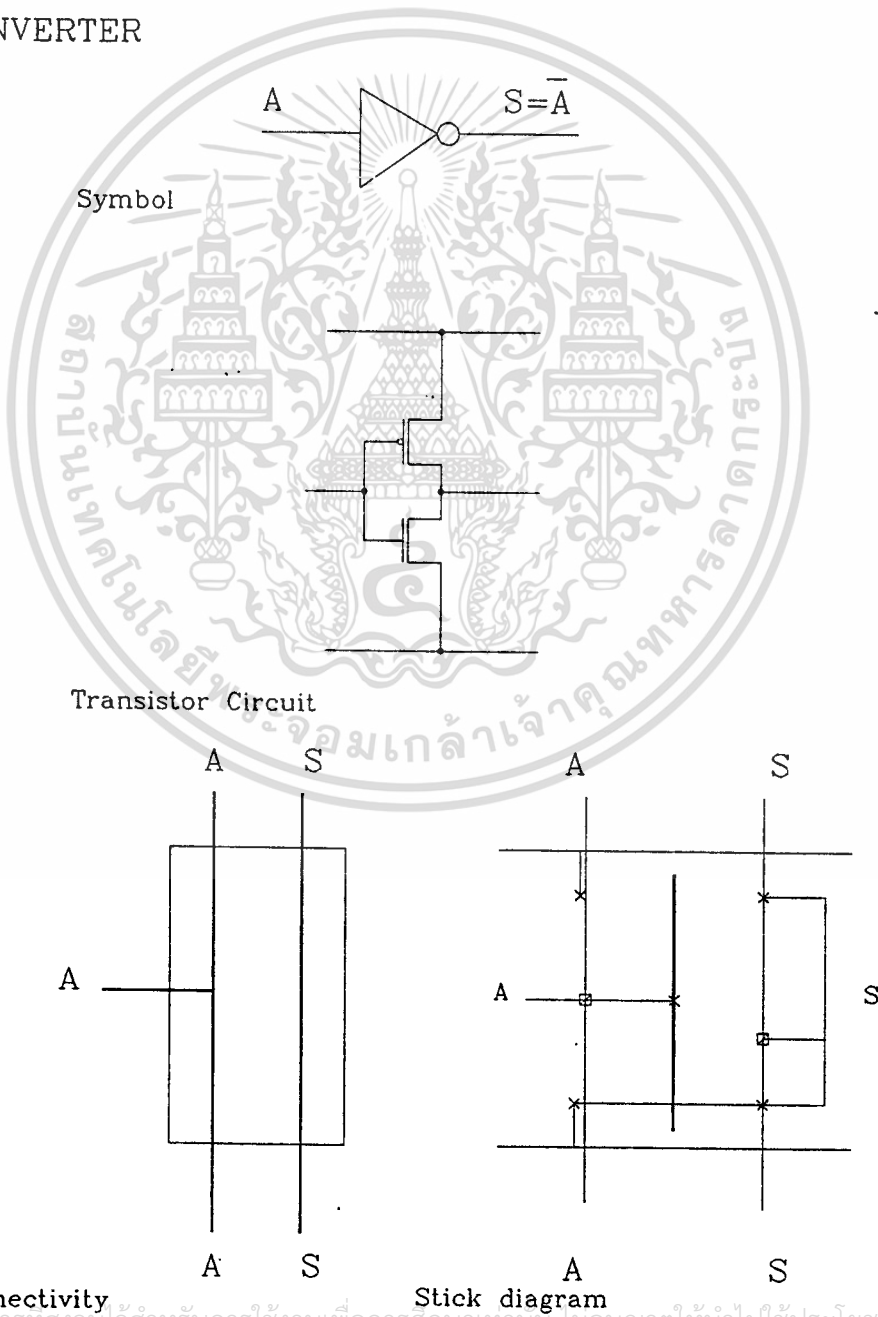
สำหรับการออกแบบจะแสดงให้เห็นถึง สัญลักษณ์ ตารางเงื่อนไขการทำงาน (Truth table) วงจรทรานซิสเตอร์ แผนผังแบบเส้น ผังวงจรีมอสและสารกึ่งตัวนำ

1. วงจรอินเวอร์เตอร์

A	S
0	1
1	0

Truth table ของอินเวอร์เตอร์

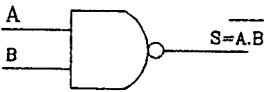
INVERTER



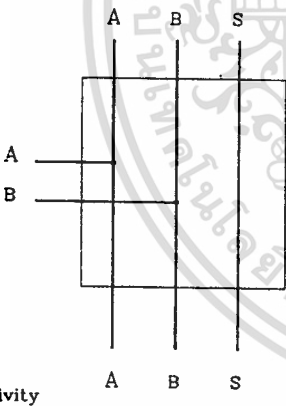
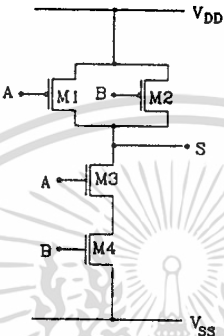
2.วงจรแนนด์เกต 2 อินพุต (NAND GATE 2 inputs)

NAND GATE

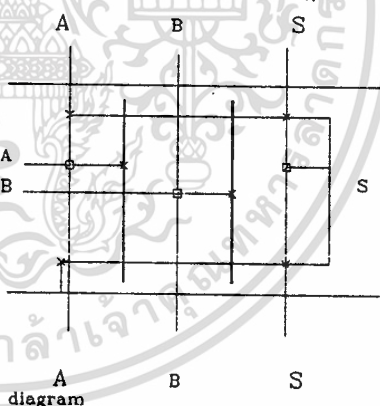
Symbol



Transistor Circuit



Connectivity

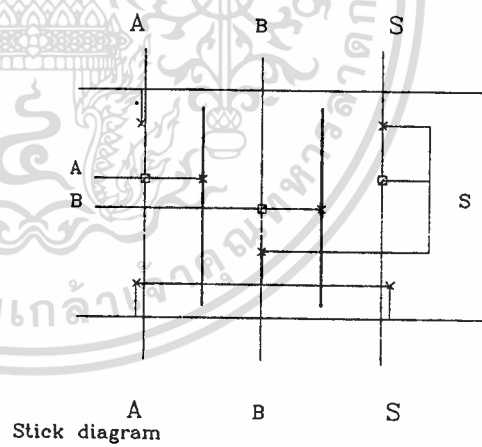
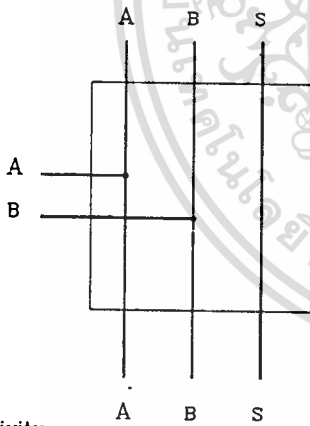
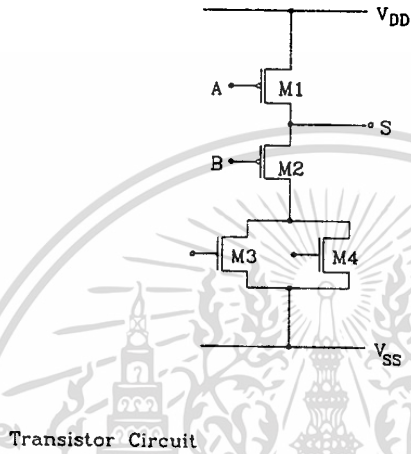
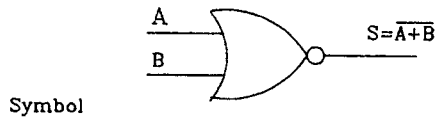


Stick diagram

A	B	$\overline{A.B}$
0	0	1
0	1	1
1	0	1
1	1	0

3. วงจรนอร์เกต 2 อินพุต (NOR GATE 2 inputs)

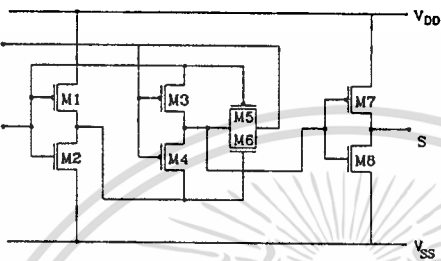
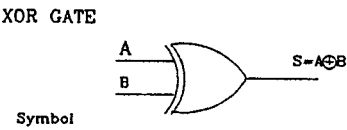
NOR GATE



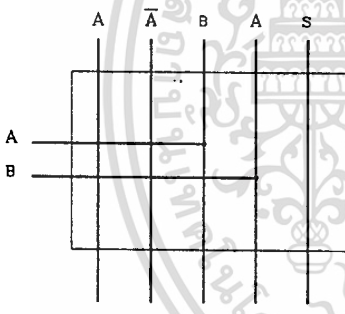
A	B	$\overline{A+B}$
0	0	1
0	1	0
1	0	0
1	1	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
Truth table ของนอร์เกต 2 อินพุต
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมีเหตุดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

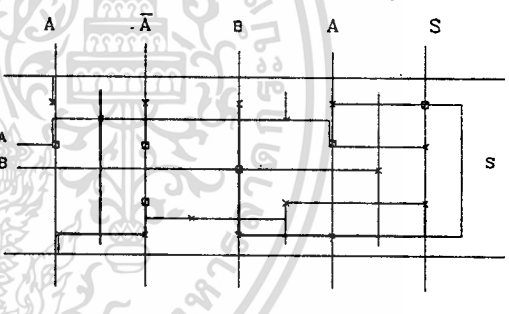
4. วงจรเอ็กซ์คลูซีฟ- ออร์เกต 2 อินพุต (XOR GATE 2 inputs)



Transistor Circuit



Connectivity



Stick diagram

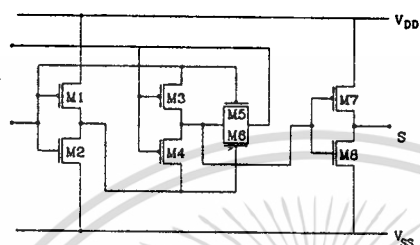
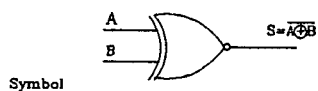
A	B	$S = A \oplus B$
0	0	0
0	1	1
1	0	1
1	1	0

Truth table ของเอ็กซ์คลูซีฟ-ออร์เกต 2 อินพุต

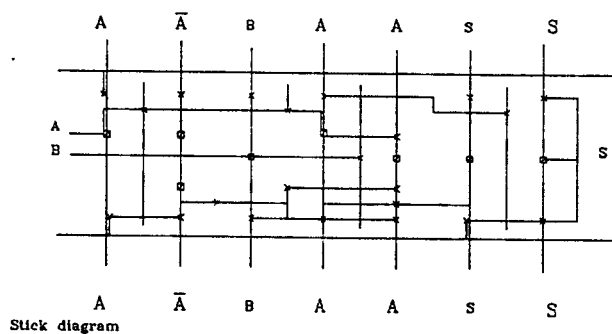
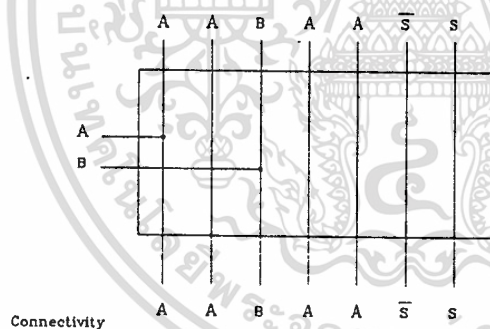
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. วงจรเอ็กซ์คลูซีฟ- นอร์เกต 2 อินพุต (XNOR GATE 2 inputs)

XNOR GATE



Transistor Circuit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

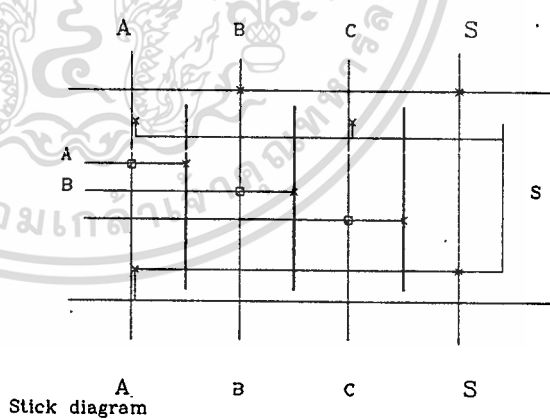
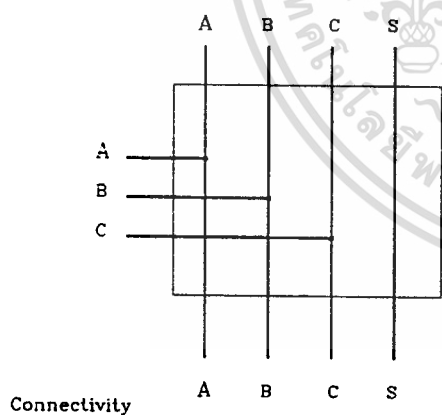
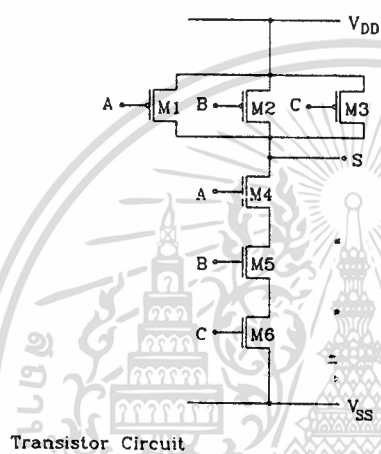
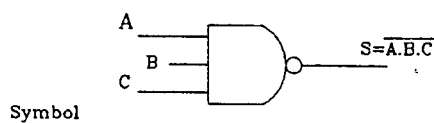
A	B	$S = \overline{A \oplus B}$
0	0	0
0	1	1
1	0	1
1	1	0

Truth table ของเอ็กซ์คลูซีฟ-นอร์เกต 2 อินพุต



7. วงจรแนนด์เกต 3 อินพุต (NAND GATE 3 Inputs)

NAND GATE 3 INPUTS

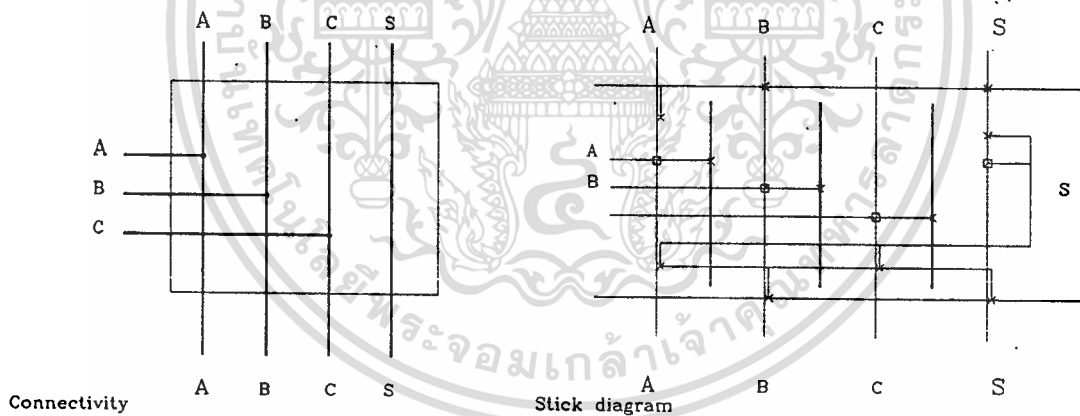
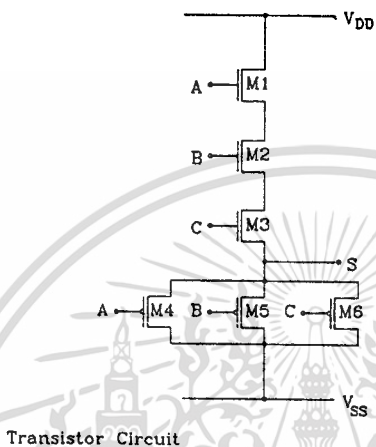
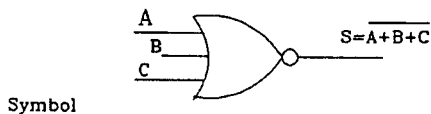


A	B	C	$S = \overline{A.B.C}$
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Truth table ของนอร์เกต 3 อินพุต

7. วงจรนอร์เกต 3 อินพุต (NOR GATE 3 inputs)

NOR GATE



A	B	C	$S=\overline{A+B+C}$
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

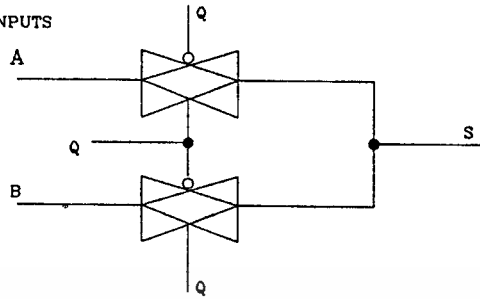
Truth table ของนอร์เกต 3 อินพุต



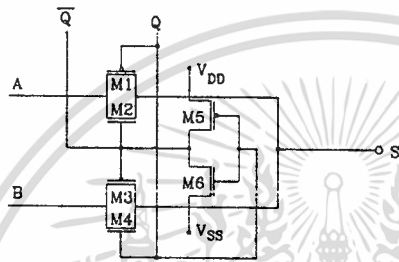
8. วงจรมัลติเพลกเซอร์ 2 อินพุต (Multiplexer 2 inputs)

MULTIPLEXER 2 INPUTS

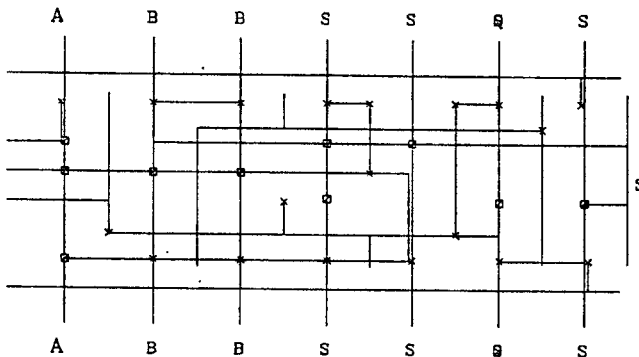
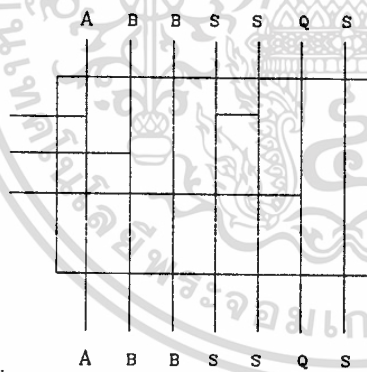
Symbol



Transistor Circuit



Connectivity



Slick diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

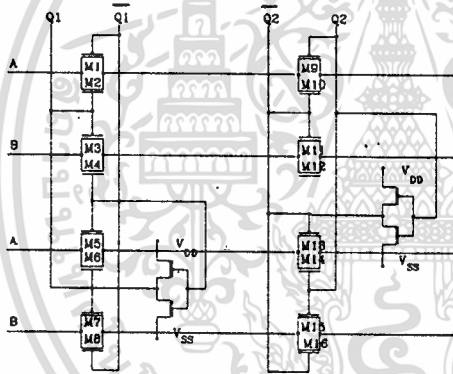
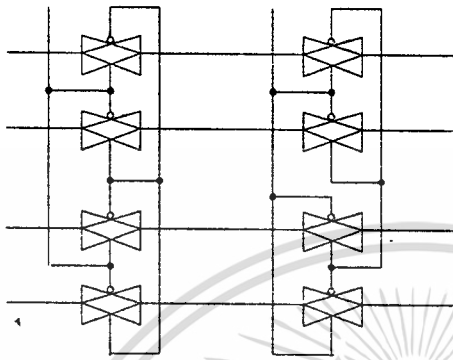
Q	S
0	A
1	B

Truth table ของมัลติเพลกเซอร์ 2 อินพุต

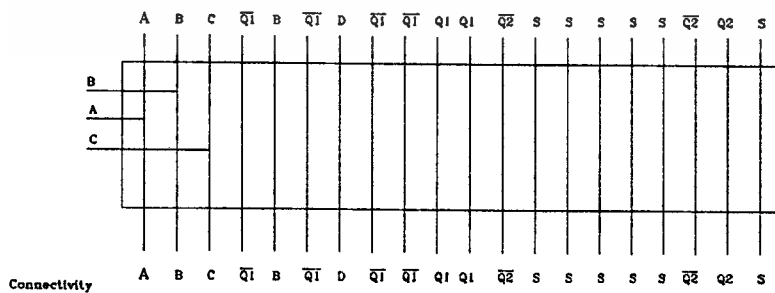


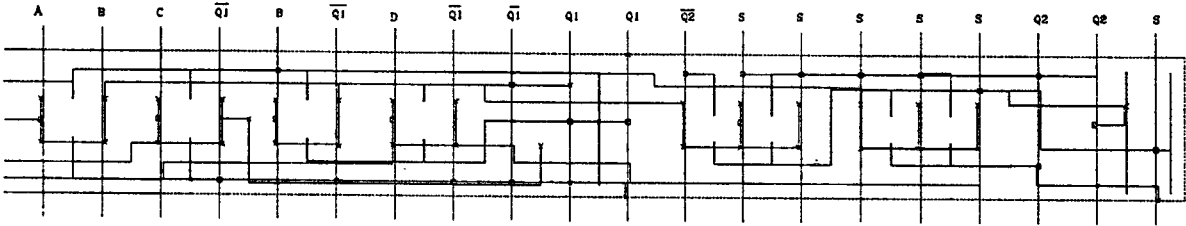
9. วงจรมัลติเพลกเซอร์ 4 อินพุต (Multiplexer 4 inputs)

Multiplexer 4 inputs



Transistor Circuit





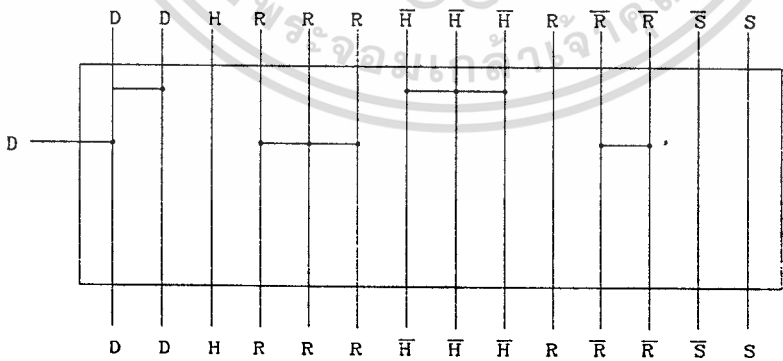
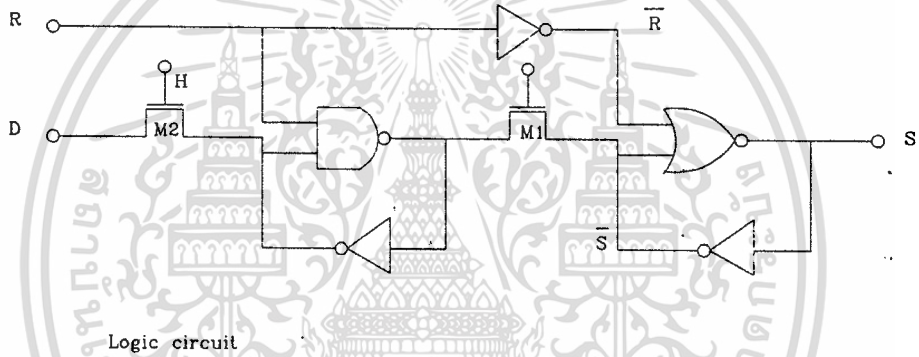
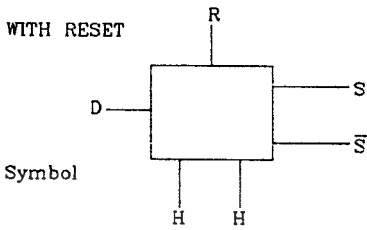
Stick diagram

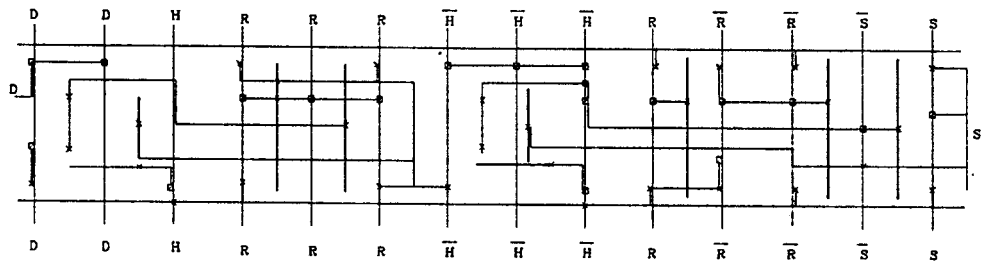
Q1	$\overline{Q1}$	Q2	$\overline{Q2}$	S
1	0	0	1	A
0	1	1	0	B
1	0	1	0	C
0	1	0	1	D

Truth table ของมัลติเพลกเซอร์ 4 อินพุต

10. วงจรดี-ฟลิปฟล็อป แบบมีสัญญาณรีเซ็ต (D-Flipflop with reset)

D FLIP-FLOP WITH RESET





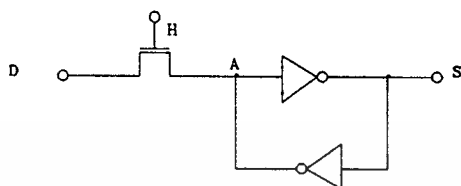
Stick diagram

R	H	D	S_{n+1}
0	—↑	0	0
0	—↑	1	1
0	—↓	X	S_n
1	X	X	0

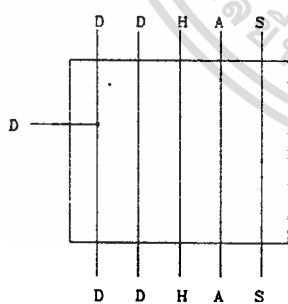
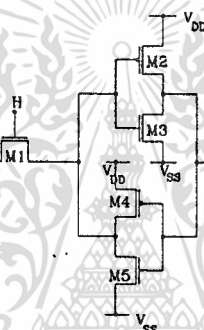
Truth table ของวงจรดี-ฟลิปฟล็อป

11 .วงจรฮาล์ฟรีจิสเตอร์ (Half Register)

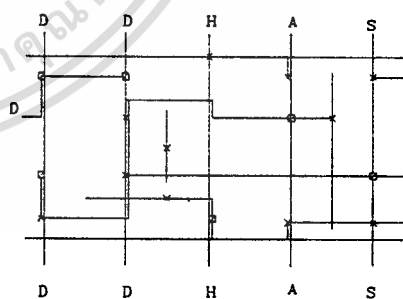
HALF REGISTER



Logic circuit



Connectivity



Stick diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D	H	S_{n+1}
0	0	S_n
1	0	S_n
0	1	1
1	1	0

Truth table ของวงจรฮาล์ฟรีจิสเตอร์



บทที่ 8

สรุปผลการวิจัย

8.1 สรุปผลการออกแบบ

สำหรับผลการออกแบบของวงจรรวม ที่มีขั้นตอนตั้งแต่การออกแบบเป็นเซลล์มาตรฐานของอุปกรณ์ต่าง ๆ สรุปผลการออกแบบได้ดังนี้

1. วงจรอินเวอร์เตอร์

จำนวนทรานซิสเตอร์ = 2

ขนาดของเซลล์ = $63 \times 24 \mu$

พื้นที่ = $1512 \mu\text{m}^2$

2. วงจรแนนด์เกต 2 อินพุต (NAND GATE 2 inputs)

จำนวนทรานซิสเตอร์ = 4

ขนาดของเซลล์ = $63 \times 36 \mu$

พื้นที่ = $1512 \mu\text{m}^2$

3. วงจรนอร์เกต 2 อินพุต (NOR GATE 2 inputs

จำนวนทรานซิสเตอร์ = 4

ขนาดของเซลล์ = $63 \times 36 \mu$

พื้นที่ = $2268 \mu\text{m}^2$

4. วงจรเอ็กซ์คลูซีฟ- ออร์เกต 2 อินพุต (XOR GATE 2 inputs)

จำนวนทรานซิสเตอร์ = 6

ขนาดของเซลล์ = $63 \times 59 \mu$

พื้นที่ = $3717 \mu\text{m}^2$

5. วงจรเอ็กซ์คลูซีฟ- นอร์เกต 2 อินพุต (XNOR GATE 2)

จำนวนทรานซิสเตอร์ = 8

ขนาดของเซลล์ = $63 \times 84 \mu$

พื้นที่ = $5292 \mu\text{m}^2$

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. วงจรแนนด์เกต 3 อินพุต (NAND GATE 3 inputs)
 จำนวนทรานซิสเตอร์ = 6
 ขนาดของเซลล์ = $63 \times 48.5 \mu$
 พื้นที่ = $3055.5 \mu\text{m}^2$
7. วงจรรอร์เกต 3 อินพุต (NOR GATE 3 inputs)
 จำนวนทรานซิสเตอร์ =
 ขนาดของเซลล์ = $63 \times 48.5 \mu$
 พื้นที่ = $3055.5 \mu\text{m}^2$
8. วงจรมัลติเพลกเซอร์ 2 อินพุต (Multiplexer 2 inputs)
 จำนวนทรานซิสเตอร์ = 6
 ขนาดของเซลล์ = $63 \times 82.5 \mu$
 พื้นที่ = $5197.5 \mu\text{m}^2$
9. วงจรมัลติเพลกเซอร์ 4 อินพุต (Multiplexer 4 inputs)
 จำนวนทรานซิสเตอร์ = 20
 ขนาดของชิพ = $63 \times 239.5 \mu$
 พื้นที่ = $15088.5 \mu\text{m}^2$
10. วงจรดี-ฟลิปฟล็อป แบบมีสัญญาณรีเซ็ต (D-Flipflop with reset)
 จำนวนทรานซิสเตอร์ = 16
 ขนาดของชิพ = $63 \times 168 \mu$
 พื้นที่ = $10584 \mu\text{m}^2$
11. วงจรฮาล์ฟรีจิสเตอร์ (Half Register)
 จำนวนทรานซิสเตอร์ = 5
 ขนาดของชิพ = $63 \times 60 \mu$
 พื้นที่ = $3,780 \mu\text{m}^2$
12. วงจรซีควเอนเซอร์ (Sequencer)
 จำนวนทรานซิสเตอร์ = 311
 ขนาดของชิพ = $387 \times 1992 \mu$
 พื้นที่ = $770,904 \mu\text{m}^2$
 ความหนาแน่น = $430 \text{ TR} / \text{mm}^2$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรรวมที่ออกแบบขึ้นได้นำมาทดสอบการทำงาน ด้วยการจำลองการทำงานบน โปรแกรมคอมพิวเตอร์ EPISODE หลังจาก ออกแบบวงจรทั้งหมดเสร็จเรียบร้อยแล้วได้นำผังวงจรที่ได้ป้อนเข้าไปในโปรแกรม ผลปรากฏว่าผลลัพธ์ที่ได้ยังไม่ถูกต้อง เนื่องจากยังมีปัญหาในการเชื่อมต่อบางส่วนผิดพลาด จะต้องนำมาแก้ไขและตรวจสอบสัญญาณแต่ละส่วนโดยละเอียดอีกครั้งหนึ่ง หลังจากผ่านการแก้ไขข้อผิดพลาดที่หลงเหลือจากการออกแบบในขั้นตอนแล้ววงจรสามารถทำงานได้ตามที่ออกแบบไว้ทุกประการ ;

8.2 สรุปผลการวิจัย

การออกแบบวงจรรวมยังเป็นงานที่ยังมี การศึกษา ข่าวสารและข้อมูลอยู่น้อย สาเหตุหลักน่าจะมาจากการมีอุตสาหกรรมภายในประเทศที่รองรับงานทางด้านนี้ไม่มากนัก และส่วนใหญ่ที่มีอยู่ก็จะได้ไม่มีการออกแบบภายในประเทศ เป็นเพียงการนำมาบรรจุลงตัวถัง ทำให้การค้นคว้ามีน้อย อีกประการหนึ่งคือ อุตสาหกรรมการผลิตวงจรรวม เป็นอุตสาหกรรมที่ใช้ทุนและเทคโนโลยีสูงมาก จะต้องอาศัยปัจจัย และองค์ประกอบสนับสนุนอีกมาก เช่น อุตสาหกรรมต่อเนื่อง การสนับสนุนจากภาครัฐ ทำให้โอกาสที่จะมีอุตสาหกรรมประเภทนี้เกิดขึ้นในประเทศมีน้อย

แต่ถึงแม้ว่าจะไม่มีอุตสาหกรรมประเภทนี้รองรับ แต่แนวโน้มของเทคโนโลยีในปัจจุบันล้วนแต่จำเป็นต้องพึ่งพาวงจรรวมทั้งสิ้น ดังนั้นหากไม่มีการศึกษา ค้นคว้า วิจัย ทางด้านนี้จะทำให้เรายังล้าหลังไปเรื่อยๆ

การออกแบบวงจรรวมในการวิจัยครั้งนี้ เป็นการออกแบบวงจรรวม สำหรับวงจรควบคุมลำดับ สามารถนำมาประยุกต์ใช้กับวงจรกรองสัญญาณที่มีลักษณะ 2 มิติ ซึ่งผลการออกแบบวงจรสามารถทำงานได้ตามที่กำหนด มีขนาดค่อนข้างใหญ่ ความหนาแน่นของทรานซิสเตอร์ต่ำกว่าที่ผลิตในปัจจุบันอยู่มาก เนื่องจากใช้เทคโนโลยีการออกแบบ 2 μ ซึ่งมีขนาดใหญ่กว่าที่ใช้ในการออกแบบปัจจุบันซึ่ง ใช้เทคโนโลยีการออกแบบ 0.4 μ แต่อย่างไรก็ตามหลักการออกแบบ และกฎต่างๆพื้นฐานยังคงใช้หลักการเดิม

สำหรับผลที่ได้จากวิทยานิพนธ์นี้ นอกจากการได้ทำการออกแบบวงจรรวมแล้ว ยังเป็นการประยุกต์เครื่องมือและซอฟต์แวร์ต่างๆ ที่ถึงแม้ว่าจะไม่ได้รับการออกแบบมาเพื่อทำการออกแบบวงจรรวมโดยตรง แต่ถ้าหากเรามีความรู้และความเข้าใจในพื้นฐานการออกแบบ และพื้นฐานในทางด้านคอมพิวเตอร์ เป็นอย่างดี ก็สามารถประยุกต์โปรแกรมเหล่านั้นมาใช้งานได้ และหากไม่มีโปรแกรมใดที่สามารถทำหน้าที่อย่างที่ต้องการ ก็สามารถเขียนโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อถูกใช้โดยไม่ได้รับอนุญาต
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อทำหน้าที่นั้นได้ ซึ่งแสดงให้เห็นว่าการแก้ปัญหาในทางวิศวกรรม ไม่จำเป็นต้องมีทางออก
อยู่ทางเดียวเสมอไป ความรู้พื้นฐานทางวิศวกรรมจะช่วยให้เราสามารถคิดค้นหนทางในการแก้
ปัญหาต่าง ๆ ให้ลุล่วงได้เสมอ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

- [1] Offen RJ, "VLSI Image Processing", Technical Book, William Collin & Sun 1985
- [2] Kobchai DEJHAN, Etude et conception d'une bibliotheque A2CMOS, Ecole Nationale Supérieure Des Telecommunications.
- [3] I.Pitas and A.N.Venetsonopoulos, "Nonlinear Digital Filters", Klumer Academic Publishers, Second Printing 1991.
- [4] Masakazu SHOJI, "CMOS Digital circuit Technology", Computing Science Research Center AT&T Bell Laboratories, Prentice Hall International Inc, New Jersey, 1988.
- [5] AutoDesk Inc, "AutoCAD Reference Manual", AutoDesk Inc, AutoDesk Publication, May 15 1992.
- [6] George Omura, "The ABC's of AutoLISP", Sybex/Tech Asian Edition, Continental Press Singapore, 1990
- [7] Kent Porter and Mike Floyd, "Stretching Turbo PASCAL Revised Edition", Simon & Schuster Inc, New York, 1990
- [8] บวร ปภัสราทร และคณะ, "เทคโนโลยีการออกแบบวงจรรวม", ศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ, กันยายน 2533.
- [9] ดร.สุชาย ธนลวดเสถียร, ดร.จิตชนก เหลือสินทรัพย์, ดร.อนุชา พิทักษ์ณานนท์, ดร.วิเศษ เดชะงาม บรรจง ปิยะธำรง, "การออกแบบวงจรรวม", มหาวิทยาลัยรังสิต, สิงหาคม 2535.
- [10] กอบชัย เดชหาญ, เรื่องไกร รังสิพล ชินะพันธ์ สุขะการผดุง อัคร ยังช่วย, "วงจรกรองสัญญาณมัธยฐานในรูปวงจรรวม", เอกสารการประชุมใหญ่ทางวิชาการวิศวกรรมประจำปี 2536 หน้า 654- 667 27-30 พฤศจิกายน 2536.

บทความที่ได้รับการตีพิมพ์ในเอกสารทางวิชาการ

[1] กอบชัย เดชหาญ, เรืองไกร รังสิพล ชินะพันธ์ สุชะการผดุง อุดร ยังช่วย ,
“คุณสมบัติของเซลมาตรฐานขนาด 2 ไมครอนของดิจิทัลซิมอส ASIC เพื่องานอุตสาหกรรม,”
เอกสารการประชุมใหญ่ทางวิชาการวิศวกรรมประจำปี 2536 หน้า 642-653 27-30 พฤศจิกายน
2536.

[2] กอบชัย เดชหาญ, เรืองไกร รังสิพล ชินะพันธ์ สุชะการผดุง อุดร ยังช่วย,
“วงจรกรองสัญญาณมัลติฮาร์โมนิกในรูปวงจรรวม,” เอกสารการประชุมใหญ่ทางวิชาการวิศวกรรม
ประจำปี 2536 หน้า 654-667 27-30 พฤศจิกายน 2536.





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


```

)
;----- End initial -----
(
;Function for turn-Off all Layers for consider individual
layer
defun c:VOFF()
(command "layer" "s" "0" "of" "VIA" "of" "CONTACT" "" "")
(command "layer" "of" "ALU1" "of" "ALU2" "" "")
(command "layer" "of" "DiffN" "of" "DiffP" "of" "Poly" "of"
"CONTACT" "" "")
(setmovement)
)
;----- End Voff -----
;Function for turn-on all Layers for consider layout
(
defun c:VON()
(command "layer" "s" "0" "on" "VIA" "on" "CONTACT" "" "")
(command "layer" "on" "ALU1" "on" "ALU2" "" "")
(command "layer" "on" "DiffN" "on" "DiffP" "on" "Poly" "on"
"CONTACT" "" "")
(setmovement)
)
;----- End Von -----
; Function for view contact layer
(
defun c:VCT()
(command "layer" "on" "CONTACT" "")
(setmovement)
)
;----- End VCT -----
;Function for view Alu1 layer
defun c:V1()
(command "layer" "on" "ALU1" "")
(setmovement)
)
;Function for view Alu2 layer
defun c:V2()
(command "layer" "on" "ALU2" "")
(setmovement)
)
;----- End Alu1,ALu2 -----
;Function for View PoLySilicon Layer
defun c:VPL()
(command "layer" "on" "Poly" "")
(setmovement)
)

```

```

defun c:VV()
(command "layer" "on" "VIA" "")
(setmovement)
)
(
;View DiffP
defun c:VDP()
(command "layer" "on" "DiffP" "")
(setmovement)
)
(
;View DiffN
defun c:VDN()
(command "layer" "on" "DiffN" "")
(setmovement)
)
;----- End VIEW -----

;Function for draw rectangular in horizontal direction
(
defun Hrect( pt1 length width / w pt3 pt4 pt5 pt6)
(setq w( / width 2.00) )
(setq pt3( list (car pt1) ( + (cadr pt1) w ) ) )
(setq pt4( list (+ (car pt1) length) ( cadr pt3) ))
(setq pt5( list (car pt4) (- (cadr pt4) width ) ))
(setq pt6( list (car pt1) (cadr pt5) ))
(command "pline" pt3 "w" ".1" ".1" pt4 pt5 pt6 "c" )
)
;----- End Hrect -----

;Function for draw rectangular in vertical direction
(
defun Vrect( pt1 length width / w pt3 pt4 pt5 pt6 )
(setq w( / width 2.00) )
(setq pt3( list (+ (car pt1) w ) (cadr pt1) ) )
(setq pt4( list (car pt3) (+ ( cadr pt3) length) ))
(setq pt5( list (- (car pt4) width ) (cadr pt4) ))
(setq pt6( list (car pt5) (cadr pt1) ))
(command "pline" pt3 "w" ".1" ".1" pt4 pt5 pt6 "c" )
)
;----- End Vrect -----

; Function poly for lay Poly silicon in Horizontal direction
; use two variable pt1 and dist1
defun c:Hpoly( / pt1 d xcolor )
(command "Layer" "s" "Poly" "")
(setmovement)
(setq xcolor Ccolor) ; save curent color
(setq pt1(getpoint "First point "))
(setq d(getdist pt1 "Second point ( Horizontal Direction
only ! ) "))
(setcolor "red")

```

```

(hrect pt1 d 3)
(setcolor xcolor)
)

(
;Function for lay Poly silicon in vertical direction
defun c:Vpoly( / pt1 d xcolor )
  (command "Layer" "s" "Poly" "")
  (setmovement)
  (setq xcolor Ccolor) ; save current color
  (setq pt1(getpoint "First point "))
  (setq d(getdist pt1 "Second point ( Vertical Direction
only ! ) "))
  (setcolor "red")
  (vrect pt1 d 3)
  (setcolor xcolor)
)
(
;Function for lay Poly silicon in square
defun c:Spoly( / pt1 xcolor )
  (command "Layer" "s" "Poly" "")
  (setmovement)
  (setq xcolor Ccolor) ; save current color
  (setcolor "red")
  (setq pt1(getpoint "Center of contact "))
  (square pt1 6 "red")
  (setcolor xcolor)
)
;----- End poly -----

(
; Function for lay contact
defun c:contact(); / p1 p2 p3 p4 xcolor)
  (command "Layer" "s" "Contact" "")
  (setmovement)
  (setq xcolor Ccolor) ; save current color
  (setq p1(getpoint "Center of contact "))
  (square p1 2 "white")
  (setq p3( list (- (car p1) 1) (+ (cadr p1) 1) ))
  (setq p4( list (+ (car p3) 2) ( cadr p3 ) ))
  (setq p2( list ( car p4 ) (- (cadr p4 ) 2) ))
  (setq p1( list (- (car p2) 2) (cadr p2 ) ))
  (command "pline" p1 "w" ".1" "" p4 "")
  (command "pline" p2 p3 "")
  (command "color" xcolor )
)
;----- End Contact -----
(
; Function for lay VIA
defun c:via( / pt1 pt2 pt3 xcolor)

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

(command "Layer" "s" "VIA" "")
(setmovement)
(setq xcolor Ccolor) ; save current color
(setq pt1(getpoint "Center of Via "))
(square pt1 3 "blue")
(setq pt3( list (- (car pt1) 1.5) (+ (cadr pt1) 1.5) ))
(setq pt4( list (+ (car pt1) 1.5) (- (cadr pt1) 1.5) ))
(command "pline" pt3 "w" ".1" "" pt4 "")
(command "color" xcolor )
)
;----- End VIA -----

(
; Function for lay Diffusion N
defun c:HdiffN( / cn1 l )
  (command "Layer" "s" "diffN" "")
  (setmovement)
  (setq cn1(getpoint "First point of Diffusion N "))
  (setq l(getdist cn1 "Second point of Diffusion N (
Horizontal Direction only ! ) ") )
  (setcolor "green")
  (hrect cn1 l 6 )
)
(
defun c:VdiffN( / cn1 l )
  (command "Layer" "s" "diffN" "")
  (setmovement)
  (setq cn1(getpoint "First point of Diffusion N "))
  (setq l(getdist cn1 "Second point of Diffusion N (
Vertical Direction only ! ) ") )
  (setcolor "green")
  (vrect cn1 l 6 )
)
)
;----- End Diffn -----

(
; Function for lay Diffusion P
defun c:HdiffP( / cn1 l )
  (command "Layer" "s" "diffP" "")
  (setmovement)
  (setq cn1(getpoint "First point of Diffusion P "))
  (setq l(getdist cn1 "Second point of Diffusion P (
Horizontal Direction only ! ) ") )
  (setcolor "yellow")
  (hrect cn1 l 6 )
)
(
defun c:VdiffP( / cn1 l )
  (command "Layer" "s" "diffP" "")
  (setmovement)
  (setq cn1(getpoint "First point of Diffusion P "))
  (setq l(getdist cn1 "Second point of Diffusion P ") )
  (setcolor "yellow")
)

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

        (vrect cn1 1 6 )
    )
;----- End Diffp -----

(
;Function for lay Vertical ALU1
defun c:VALU1( / pt1 1 )
    (command "Layer" "s" "ALU1" "")
    (setmovement)
    (setq pt1(getpoint "First point "))
    (setq l(getdist pt1 "Second point" ( vertical Direction
only ! ) ""))
    (command "color" "magenta")
    (vrect pt1 1 3 )
)
;
(
;Function for lay Horizontal ALU1
defun c:HALU1( / pt1 1 )
    (command "Layer" "s" "ALU1" "")
    (setmovement)
    (setq pt1(getpoint "First point "))
    (setq l(getdist pt1 "Second point" ( Horizontal Direction
only ! ) ""))
    (command "color" "magenta")
    (hrect pt1 1 8 )
)
;
(
;Function for lay Small Horizontal ALU1
defun c:SHALU1( / pt1 1 )
    (command "Layer" "s" "ALU1" "")
    (setmovement)
    (setq pt1(getpoint "First point "))
    (setq l(getdist pt1 "Second point" ( Horizontal Direction
only ! ) ""))
    (command "color" "magenta")
    (hrect pt1 1 3 )
)
;
(
;Function for lay ALU1 small square
defun c:Salu1( / pt1 xcolor )
    (command "Layer" "s" "ALU1" "")
    (setmovement)
    (setq xcolor Ccolor) ; save current color
    (setcolor "magenta")
    (setq pt1(getpoint "Center of small Alu1 "))
    (square pt1 4 "magenta")
    (setcolor xcolor)
)
(
;Function for lay ALU1 Medium square

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

defun c:Malu1( / pt1 xcolor )
  (command "Layer" "s" "ALU1" "")
  (setmovement)
  (setq xcolor Ccolor) ; save current color
  (setcolor "magenta")
  (setq pt1(getpoint "Center of small Alu1 "))
  (square pt1 5 "magenta")
  (setcolor xcolor)
)
(
;Function for lay Alu1 Large Square
defun c:Lalu1( / pt1 xcolor )
  (command "Layer" "s" "ALU1" "")
  (setmovement)
  (setq xcolor Ccolor) ; save current color
  (setcolor "magenta")
  (setq pt1(getpoint "Center of Large Alu1 "))
  (square pt1 6 "magenta")
  (setcolor xcolor)
)
(
;Function for lay ALU1 Rectangle
defun c:RALU1( / pt1 l )
  (command "Layer" "s" "ALU1" "")
  (setmovement)
  (setq pt1(getpoint "First point "))
  (setq l(getdist pt1 "Second point ( Horizontal Direction
only ! ) "))
  (command "color" "magenta")
  (hrect pt1 6 5 )
)
;
----- End ALU1 -----

(
;Function for lay ALU2
defun c:ALU2( / pt1 l )
  (command "Layer" "s" "ALU2" "")
  (setmovement)
  (setq xcolor Ccolor) ; save current color
  (setq pt1(getpoint "First point "))
  (setq l(getdist pt1 "Second point ( Vertical Direction
only ! ) "))
  (command "color" "blue")
  (vrect pt1 l 5 )
)
;----- End ALU2 -----
□

```

ภาคผนวก ข. ตัวอย่างข้อมูล DXF File



หมายเหตุ หมายเลขหน้าเป็นหมายเลขหน้าของข้อมูลอาจไม่สอดคล้องกับหมายเลขหน้าในวิทยานิพนธ์ฉบับนี้
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0	1	70	SDMTDEC	9	1	20	0
SECTION	9	0	LANGDIR	70	20	0	27
2	SDELOBJ	9	0	0	0	0	0
HEADER	70	SDMALT0	9	30	SDMINTMODE	37	0
9	1	70	SDMALTU	0	0	70	0
SACADVER	2	2	SPDMODE	9	0	0	40
1	SDMSPSLH	9	2	70	SPUCSYDIR	9	35.820577
AC1012	70	SDMALTTF	9	0	10	SVISRETAIN	41
9	0	40	SDMALTTD	0	0	70	1.357349
SDWGCODEPAGE	9	25.4	SPDSIZE	20	0	0	42
1	SDMSCALE	9	40	1	9	50	50
400050	40	SDMFLFAC	9	30	SPLINEGEN	43	0
9	1	40	SDMTXSTY	0	70	0	44
SDSBASE	9	1	7	SPLNEWID	SUSER1	9	50
10	SDMASZ	9	STANDARD	40	SUSER1	9	50
0	40	SDMTOTFL	9	0.1	70	SPLSCALE	50
20	0.18	70	SDMAUNIT	9	0	1	0
0	9	0	70	SCOORDS	9	1	51
30	SDMEXO	9	0	70	SUSER2	9	0
0	40	SDMTVP	9	2	70	STREEDDEPTH	71
9	0.0425	40	SDMNTS	9	0	70	0
SEXTMEN	9	0	70	SSPLFRAME	9	1020	72
10	SDMMDL	9	2	70	SUSER3	9	100
0	40	SDMTIX	9	0	70	SDWGCODEPAGE	73
20	0.38	70	SLUPREC	9	0	3	1
0	9	0	70	SSPLNETYPE	9	400050	74
30	SDMBOND	9	4	70	SUSER4	9	0
0	40	SDMSOXD	9	6	70	SPICKSTYLE	75
9	0	70	SSKETCHING	9	0	70	1
SEXTMAX	9	0	40	SSPLNESEGS	9	1	76
10	SDMIDLE	9	0.1	70	SUSER5	9	1
99	40	SDMSAH	9	8	70	SCALESTYLE	77
20	0	70	SFILLETAD	9	0	2	0
142.5	9	0	40	SATTIDIA	9	STANDARD	78
30	SDMEXE	9	0	70	SUSER1	9	0
0	40	SDMBLKI	9	0	40	SCALEJUST	0
9	0.18	1	SDMNTS	9	0	70	ENDTAB
SLDMDIN	9	70	SATTREQ	9	0	0	0
10	SDMTTP	9	0	70	SUSER2	9	TABLE
0	40	SDMBLKI	9	1	40	SCALESCALE	2
20	0	1	SAUFREC	9	0	40	LTTYPE
0	9	70	SHANDLING	9	1	5	5
SLDMMAX	40	SDMSTYLE	9	1	40	SSAVERIMAGES	100
10	0	2	SDMENU	9	0	70	AcDbSymbolTable
340	9	STANDARD	1	SHANDSEED	9	0	70
20	SDMTXT	9	40	2	SUSER4	0	1
180	40	SDMCLRD	9	20	40	ENDSEC	0
9	0.18	70	SELEVATION	9	0	0	LTTYPE
SORTHOMODE	9	0	SSURFTAB1	9	0	SECTION	5
70	SDMCEN	9	0	SUSER5	2	13	100
0	40	SDMCLRE	9	0	40	CLASSES	100
9	0.09	70	SPELEVATION	9	0	0	AcDbSymbolTableRecord
SREGIONMODE	9	0	40	SSURFTAB2	9	ENDSEC	100
70	SDMTSZ	9	0	70	SWORLDVIEW	SECTION	2
1	40	SDMCLRT	9	6	70	2	BYBLOCK
9	0	70	SDMCLRT	9	1	5	TABLES
9	0	40	SDMCLRT	9	70	SSHADEGE	0
9	0	40	SDMTFAC	9	6	70	TABLE
SQTEXTMODE	9	1	70	SSURFU	9	3	2
70	SDMCLM	9	0	70	SSHADEUF	9	VPOR
0	70	SDMGAP	9	6	70	8	65
9	0	40	SDMLPMD	9	70	100	0
9	0.09	70	SSURFV	9	9	AcDbSymbolTable	40
SDMRTEXT	9	1	70	STILEMODE	70	0	0
70	SDMJUST	9	6	70	3	0	LTTYPE
9	1	0	SDMJUST	9	1	0	VPOR
SDRAGMODE	9	0	40	SUCSNAME	9	5	14
70	SDMTOT	9	0	2	SMAXACTVP	70	20
2	70	SDMSD1	9	9	16	100	AcDbSymbolTableRecord
9	1	70	SDMCLRT	9	10	100	AcDbLinetypeTableRecord
SLTSCALE	9	0	40	SUCSORG	9	100	AcDbViewportTableRecord
40	SDMISE1	9	0	10	SPUCSBASE	100	2
1	70	SDMSD2	9	0	-10	0	BYLAYER
9	0	70	SDMCLRT	9	0	2	0
SDSMODE	9	0	40	SDMCLRT	9	0	3
70	SDMISE2	9	0	30	0	70	0
0	70	SDMTOL	9	0	30	0	0
9	0	70	SDMTOL	9	0	10	0
SDTMODE	9	1	40	SUCSDIR	9	0	72
70	SDMTAD	9	0	10	SDMLCHECK	20	65
1	70	SDMTZN	9	1	70	0	73
9	0	70	SSKPOLY	9	0	11	0
9	0	70	0	9	0	1	40
STEXTSIZE	9	0	70	0	1	1	0
40	SDMZN	9	0	30	SPEXTMOD	12	LTTYPE
0.75	70	SDMALTZ	9	0	1	0	5
9	0	70	STDCREATE	9	1.00E+20	49.310507	15
STRACEWID	9	0	40	SUCSYDIR	20	22	100
40	SDMBLK	9	2449586.609	10	1.00E+20	55.910288	AcDbSymbolTableRecord
0.85	1	70	SDMALTZ	9	0	13	100
9	0	70	STDUPDATE	20	1.00E+20	0	AcDbLinetypeTableRecord
TEXTSTYLE	9	0	40	1	9	0	100
7	SDMASO	9	2449587.527	30	SPEXTMAX	23	AcDbLinetypeTableRecord
HEAD	70	SDMIFT	9	0	10	0	2
9	1	70	STDENDWG	9	-1.00E+20	14	CONTINUOUS
SLCLAYER	9	3	40	SPUCSNAME	20	0.5	70
0	SDMSHO	9	0.080497801	2	-1.00E+20	24	64
0	70	SDMUPY	9	30	0.5	3	0
9	1	70	STDLSRTIMER	9	-1.00E+20	15	Solid time
SCELTYPE	9	0	40	SPUCSORG	9	1	72
6	SDMPOST	9	0.080497801	10	SPLDOWN	25	65
BYLAYER	1	SDMUNT	9	0	10	1	73
9	70	SUSRTIMER	20	0	16	0	0
SDCECOLOR	9	2	70	0	20	0	40
62	SDMAPOST	9	1	30	0	26	0
7	1	SDMDEC	9	0	9	0	0
9	70	SANGBASE	9	0	SPLDOWMAX	36	ENDTAB
SDLTSCALE	9	4	50	SPUCSDIR	10	1	0
40	SDMALT	9	0	10	12	17	TABLE

NOR-2.DXF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2	AcDbLayerTableRecord	3	40	0	0	SEQEND	20
LAYER	2	romant	1	0	SECTION	5	52.081909
5	DIFFP	4	41	BLOCK_RECORD	2	31	30
2	70		0.18	5	ENTITIES	100	0
100	64	0	42	19	0	AcDbEntity	0
AcDbSymbolTable	62	STYLE	0.0625	100	POLYLINE	8	SEQEND
70	7	5	43	AcDbSymbolTableRecord	5	ALL2	5
8	6	1E	0.38	100	2C	62	37
0	CONTINUOUS	100	44	AcDbBlockTableRecord	100	5	100
LAYER	0	AcDbSymbolTableRecord	0.18	2	AcDbEntity	6	AcDbEntity
5	LAYER	100	45	*MODEL_SPACE	8	POLYLINE	8
F	5	AcDbTextStyleTableRecord	0	0	ALL2	5	CONTACT
100	21	2	46	BLOCK_RECORD	62	32	62
AcDbSymbolTableRecord	100	HEAD	0	5	5	100	7
100	AcDbSymbolTableRecord	70	47	16	100	AcDbEntity	0
AcDbLayerTableRecord	100	64	0	100	AcDb2dPolyline	8	POLYLINE
2	AcDbLayerTableRecord	46	48	AcDbSymbolTableRecord	66	CONTACT	5
0	2	0.75	0	100	1	62	38
70	POLY	41	140	AcDbBlockTableRecord	10	7	100
64	70	1	0.18	2	0	100	AcDbEntity
62	64	50	141	*PAPER_SPACE	20	AcDb2dPolyline	8
7	62	0	0.09	0	0	64	CONTACT
6	7	71	142	ENDTAB	30	1	62
CONTINUOUS	6	0	0	0	0	10	7
0	CONTINUOUS	42	143	ENDSEC	70	0	100
LAYER	0	0.75	25.4	0	1	20	AcDb2dPolyline
5	ENDTAB	3	144	SECTION	40	0	66
21	0	ROMAN.C,shx	1	2	0.1	30	1
100	TABLE	4	145	BLOCKS	41	0	10
AcDbSymbolTableRecord	2		0	0	0.1	70	0
100	STYLE	0	146	BLOCK	0	1	20
AcDbLayerTableRecord	5	ENDTAB	1	5	VERTEX	40	0
2	3	0	147	2A	5	0.1	30
VIA	100	TABLE	0.09	100	2D	41	0
70	AcDbSymbolTable	2	71	AcDbEntity	100	0.1	40
64	70	VIEW	0	8	AcDbEntity	0	0.1
62	4	5	72	0	8	VERTEX	41
7	0	6	0	62	ALU2	5	0.1
6	STYLE	100	73	7	62	33	0
CONTINUOUS	5	AcDbSymbolTable	1	100	5	100	VERTEX
0	10	70	74	AcDbBlockBegin	100	AcDbEntity	5
LAYER	100	0	1	2	AcDbVertex	8	39
5	AcDbSymbolTableRecord	0	75	*MODEL_SPACE	100	CONTACT	100
22	100	ENDTAB	0	70	AcDb2dVertex	62	AcDbEntity
100	AcDbTextStyleTableRecord	0	76	0	10	7	8
AcDbSymbolTableRecord	2	TABLE	0	10	35.941247	100	CONTACT
100	STANDARD	2	77	0	20	AcDbVertex	62
AcDbLayerTableRecord	70	UCS	0	20	49.081909	100	7
2	0	5	78	0	30	AcDb2dVertex	100
CONTACT	40	7	0	30	0	10	AcDbVertex
70	5	100	170	0	0	32.941247	100
64	41	AcDbSymbolTable	0	3	VERTEX	20	AcDb2dVertex
62	1	70	171	*MODEL_SPACE	5	54.081909	10
7	50	0	2	1	2E	30	32.941247
6	0	0	172	0	100	0	20
CONTINUOUS	71	ENDTAB	0	0	AcDbEntity	0	52.081909
0	0	0	173	0	8	VERTEX	30
LAYER	42	TABLE	0	2	ALU2	5	0
5	0.2	2	174	62	2B	34	0
23	3	APPID	0	100	5	100	VERTEX
100	ROMAN.SHX	5	175	AcDbEntity	100	AcDbEntity	5
AcDbSymbolTableRecord	4	9	0	8	AcDbVertex	8	3A
100	0	100	176	0	100	CONTACT	100
AcDbLayerTableRecord	0	AcDbSymbolTable	0	62	AcDb2dVertex	62	AcDbEntity
2	STYLE	70	177	7	10	7	8
ALU1	5	1	0	100	35.941247	100	CONTACT
70	1C	0	178	AcDbBlockEnd	20	AcDbVertex	62
64	100	0	0	0	111.081909	100	7
62	AcDbSymbolTableRecord	5	270	BLOCK	30	AcDb2dVertex	100
7	100	11	2	5	0	10	AcDbVertex
6	AcDbTextStyleTableRecord	100	271	29	0	34.941247	100
CONTINUOUS	2	AcDbSymbolTableRecord	4	100	VERTEX	20	AcDb2dVertex
0	ROMANTIC	100	272	AcDbEntity	5	54.081909	10
LAYER	70	AcDbRegAppTableRecord	4	67	2F	30	34.941247
5	64	2	273	1	100	0	20
24	40	ACAD	2	8	AcDbEntity	0	54.081909
100	5	70	274	0	8	VERTEX	30
AcDbSymbolTableRecord	41	64	2	62	ALU2	5	0
100	1	0	340	7	62	35	0
AcDbLayerTableRecord	50	ENDTAB	10	100	5	100	SEQEND
2	0	0	275	AcDbBlockBegin	100	AcDbEntity	5
ALU2	71	TABLE	0	2	AcDbVertex	8	3B
70	0	2	280	*PAPER_SPACE	100	CONTACT	100
64	42	DMSTYLE	0	70	AcDb2dVertex	62	AcDbEntity
62	5	5	281	0	10	7	8
7	3	A	0	10	30.941247	100	CONTACT
6	rom_____pfb	100	282	0	20	AcDbVertex	62
CONTINUOUS	4	AcDbSymbolTable	0	20	111.081909	100	7
0	0	70	283	0	30	AcDb2dVertex	0
LAYER	0	1	1	30	0	10	POLYLINE
5	STYLE	0	284	0	0	34.941247	5
25	5	DMSTYLE	0	3	VERTEX	20	3C
100	1D	105	285	*PAPER_SPACE	5	52.081909	100
AcDbSymbolTableRecord	100	2C2	0	1	30	3A	AcDbEntity
100	AcDbSymbolTableRecord	100	286	0	100	0	8
AcDbLayerTableRecord	100	AcDbSymbolTableRecord	0	0	AcDbEntity	6	CONTACT
2	AcDbTextStyleTableRecord	100	287	5	8	VERTEX	62
DIFFN	2	AcDbDimStyleTableRecord	3	5	ALU2	5	7
70	ROMAN.C	2	288	29	62	36	100
64	70	STANDARD	0	100	5	100	AcDb2dPolyline
62	0	70	0	AcDbEntity	100	AcDbEntity	66
7	40	0	ENDTAB	67	AcDbVertex	8	1
6	2	3	0	1	100	CONTACT	10
CONTINUOUS	41	1	TABLE	8	AcDb2dVertex	62	0
0	1	4	2	0	10	7	20
LAYER	50	5	BLOCK_RECORD	62	30.941247	100	0
5	0	1	2	20	20	AcDbVertex	30
26	71	6	100	49.081909	30	AcDb2dVertex	40
100	0	1	AcDbSymbolTable	0	16	0.1	0.1
AcDbSymbolTableRecord	42	7	ENDSEC	0	32.941247	41	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อ NOR-2.DXF เท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0.1	10	7	8	1	62	VERTEX	20
0	34.941247	100	CONTACT	16	7	5	50.081909
VERTEX	20	AcDbVertex	62	0	100	60	36
5	54.081909	100	7	20	AcDb2dPolyline	100	0
3D	30	AcDb2dVertex	100	0	46	AcDbEntity	0
100	0	10	AcDbVertex	30	1	8	VERTEX
AcDbEntity	0	34.941247	100	0	10	CONTACT	2
8	VERTEX	20	AcDb2dVertex	70	0	62	66
CONTACT	5	63.081909	10	1	20	7	100
62	43	36	34.941247	40	0	100	AcDbEntity
7	100	0	20	0.1	30	0	DIFFP
100	AcDbEntity	0	63.081909	41	0	AcDbVertex	62
AcDbVertex	8	VERTEX	30	0.1	40	AcDb2dVertex	10
100	DIFFP	5	0	0	0.1	43.941247	100
AcDb2dVertex	62	49	0	VERTEX	41	20	AcDbVertex
10	5	100	SEQEND	55	0.1	54.081909	AcDb2dVertex
34.941247	100	AcDbEntity	4F	100	VERTEX	30	10
20	AcDbVertex	8	CONTACT	AcDbEntity	5B	0	41.941247
54.081909	100	CONTACT	100	AcDbEntity	100	SEQEND	50.081909
30	AcDb2dVertex	62	AcDbEntity	8	AcDbEntity	41	30
0	10	7	CONTACT	62	CONTACT	100	0
0	34.941247	100	CONTACT	7	100	AcDbEntity	0
VERTEX	20	AcDbVertex	62	AcDbVertex	62	AcDbEntity	0
5	50.081909	100	7	0	CONTACT	100	0
3E	30	AcDb2dVertex	0	AcDbVertex	7	AcDbEntity	0
100	0	10	POLYLINE	100	7	8	SEQEND
AcDbEntity	0	34.941247	5	AcDb2dVertex	100	CONTACT	5
8	VERTEX	20	50	10	AcDbVertex	62	67
CONTACT	5	61.081909	100	43.941247	100	7	100
62	44	30	AcDbEntity	20	AcDb2dVertex	0	AcDbEntity
7	100	0	8	54.081909	10	POLYLINE	8
100	AcDbEntity	0	CONTACT	30	43.941247	5	DIFFP
AcDbVertex	8	VERTEX	62	0	20	62	62
100	DIFFP	5	7	0	52.081909	100	2
AcDb2dVertex	62	4A	100	VERTEX	30	AcDbEntity	0
10	2	100	AcDb2dPolyline	5	0	8	POLYLINE
32.941247	100	AcDbEntity	66	56	0	DIFFP	5
20	AcDbVertex	8	1	100	VERTEX	62	68
54.081909	100	CONTACT	10	AcDbEntity	5	2	100
30	AcDb2dVertex	62	0	8	5C	100	AcDbEntity
0	10	7	20	CONTACT	100	AcDb2dPolyline	8
0	30.941247	100	0	62	AcDbEntity	66	CONTACT
SEQEND	20	AcDbVertex	30	7	8	1	62
5	50.081909	100	0	100	CONTACT	10	7
3F	30	AcDb2dVertex	40	AcDbVertex	62	0	100
100	0	10	0.1	100	7	20	AcDb2dPolyline
AcDbEntity	0	32.941247	41	AcDb2dVertex	100	0	66
8	SEQEND	20	0.1	10	AcDbVertex	30	1
CONTACT	5	61.081909	0	43.941247	100	0	10
62	45	30	VERTEX	20	AcDb2dVertex	70	0
7	100	0	5	54.081909	10	1	20
0	AcDbEntity	0	51	30	43.941247	40	0
POLYLINE	8	SEQEND	100	0	20	0.1	30
5	DIFFP	5	AcDbEntity	0	54.081909	41	0
40	62	4B	8	VERTEX	30	0.1	70
100	2	100	CONTACT	5	0	0	1
AcDbEntity	0	AcDbEntity	62	57	0	VERTEX	40
8	POLYLINE	8	7	100	SEQEND	5	0.1
DIFFP	5	CONTACT	100	AcDbEntity	5	63	4
62	46	62	AcDbVertex	8	5D	100	0.1
2	100	5	100	CONTACT	100	AcDbEntity	0
100	AcDbEntity	0	AcDb2dVertex	62	AcDbEntity	8	VERTEX
AcDb2dPolyline	8	POLYLINE	10	7	8	DIFFP	5
66	CONTACT	5	34.941247	100	CONTACT	62	69
1	62	4C	20	AcDbVertex	62	2	100
10	5	100	61.081909	100	7	100	AcDbEntity
0	100	AcDbEntity	30	AcDb2dVertex	0	AcDbVertex	8
20	AcDb2dPolyline	8	0	10	POLYLINE	100	CONTACT
0	66	CONTACT	0	43.941247	5	AcDb2dVertex	62
30	1	62	VERTEX	20	5E	10	100
0	10	5	52.081909	30	AcDbEntity	41.941247	AcDbVertex
1	20	100	5	56	5	56.081909	100
40	0	66	AcDbEntity	0	CONTACT	30	AcDb2dVertex
0.1	30	1	8	VERTEX	62	0	10
41	0	10	CONTACT	5	7	0	53.941247
0.1	70	0	62	58	100	VERTEX	20
0	1	20	7	100	AcDb2dPolyline	5	63.081909
VERTEX	40	0	100	AcDbEntity	66	64	30
5	0.1	30	AcDbVertex	8	1	100	0
41	41	0	100	CONTACT	10	AcDbEntity	0
100	0.1	40	AcDb2dVertex	62	0	8	VERTEX
AcDbEntity	0	0.1	10	7	20	DIFFP	5
8	VERTEX	41	32.941247	100	0	62	4A
DIFFP	5	0.1	20	AcDbVertex	30	2	100
62	47	0	63.081909	100	0	100	AcDbEntity
2	100	VERTEX	30	AcDb2dVertex	40	AcDbVertex	8
100	AcDbEntity	5	0	10	0.1	100	CONTACT
AcDbVertex	8	4D	0	43.941247	41	AcDb2dVertex	62
100	CONTACT	100	SEQEND	20	0.1	10	7
AcDb2dVertex	62	AcDbEntity	5	52.081909	0	47.941247	100
10	7	8	53	30	VERTEX	20	AcDbVertex
30.941247	100	CONTACT	100	0	5	56.081909	100
54.081909	AcDb2dVertex	62	AcDbEntity	0	5F	30	AcDb2dVertex
0	10	7	8	SEQEND	100	0	10
0	32.941247	AcDbVertex	62	59	AcDbEntity	0	57.941247
VERTEX	20	100	CONTACT	100	8	VERTEX	20
63.081909	10	AcDb2dVertex	0	AcDbEntity	62	65	30
42	30	32.941247	5	CONTACT	7	100	0
100	0	20	54	62	100	AcDbEntity	0
AcDbEntity	0	61.081909	100	7	100	DIFFP	5
8	VERTEX	30	AcDbEntity	0	AcDb2dVertex	8	VERTEX
DIFFP	5	0	8	POLYLINE	5	2	6B
62	48	6	CONTACT	5	43.941247	100	100
5	100	VERTEX	62	5A	20	AcDbVertex	8
100	AcDbEntity	5	7	100	52.081909	100	CONTACT
AcDbVertex	8	4E	100	AcDbEntity	30	AcDb2dVertex	62
100	CONTACT	100	AcDb2dPolyline	8	10	7	0
AcDb2dVertex	62	AcDbEntity	66	CONTACT	0	47.941247	100

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานที่ NOR-2.DXF เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AcDbVertex	62	5	100	VERTEX	30		40
100	7	100	AcDbEntity	5	0	AcDb2dVertex	0.1
AcDb2dVertex	0	AcDbVertex	8	83	0	10	41
10	POLYLINE	100	CONTACT	100	SEQEND	43.941247	0.1
57.941247	5	AcDb2dVertex	62	AcDbEntity	5	20	0
20	72	10	7	8	89	106.081909	VERTEX
61.081909	100	47.941247	100	CONTACT	100	30	5
30	AcDbEntity	20	AcDbVertex	62	AcDbEntity	0	95
0	8	49.081909	100	7	8	0	100
0	CONTACT	30	AcDb2dVertex	100	CONTACT	SEQEND	AcDbEntity
5	62	0	10	AcDbVertex	62	5	8
6C	7	0	32.941247	100	7	8F	CONTACT
100	100	VERTEX	20	AcDb2dVertex	0	100	62
AcDbEntity	AcDb2dPolyline	5	108.081909	10	POLYLINE	AcDbEntity	7
8	66	78	30	32.941247	5	8	100
CONTACT	1	100	0	20	8A	CONTACT	AcDbVertex
62	10	AcDbEntity	0	106.081909	100	62	100
7	0	8	VERTEX	30	AcDbEntity	7	AcDb2dVertex
100	20	ALLU2	5	0	8	0	10
AcDbVertex	0	62	7E	0	CONTACT	POLYLINE	45.941247
100	30	5	100	VERTEX	62	5	20
AcDb2dVertex	40	100	AcDbEntity	5	7	90	106.081909
10	0.1	AcDbVertex	8	84	100	100	30
55.941247	41	100	CONTACT	100	AcDb2dPolyline	AcDbEntity	0
20	0.1	AcDb2dVertex	62	AcDbEntity	66	8	0
61.081909	0	10	7	8	1	CONTACT	VERTEX
30	VERTEX	47.941247	100	CONTACT	10	5	5
0	5	20	AcDbVertex	62	0	7	96
0	73	111.081909	100	7	20	100	100
SEQEND	100	30	AcDb2dVertex	100	0	AcDb2dPolyline	AcDbEntity
5	AcDbEntity	0	10	AcDbVertex	30	66	8
6D	8	VERTEX	34.941247	100	0	1	CONTACT
100	CONTACT	5	108.081909	AcDb2dVertex	70	10	62
AcDbEntity	62	79	30	10	1	0	7
8	7	100	0	34.941247	40	20	100
CONTACT	100	AcDbEntity	0	108.081909	0.1	0	AcDbVertex
62	AcDbVertex	8	VERTEX	30	41	30	100
7	100	ALLU2	5	0	0.1	0	AcDb2dVertex
0	AcDb2dVertex	62	7F	0	0	0	10
POLYLINE	10	5	100	SEQEND	5	0.1	43.941247
5	57.941247	100	AcDbEntity	5	5	41	20
6E	20	AcDbVertex	8	85	100	0.1	108.081909
100	61.081909	100	CONTACT	100	AcDbEntity	0	30
AcDbEntity	30	AcDb2dVertex	62	AcDbEntity	8	VERTEX	0
8	0	10	7	8	5	0	0
CONTACT	0	42.941247	100	CONTACT	62	91	SEQEND
62	VERTEX	20	AcDbVertex	62	7	100	5
7	5	111.081909	100	7	100	AcDbEntity	97
100	74	30	AcDb2dVertex	0	AcDbVertex	CONTACT	100
AcDb2dPolyline	100	0	10	POLYLINE	100	62	AcDbEntity
66	AcDbEntity	0	34.941247	5	AcDb2dVertex	7	8
1	8	VERTEX	20	86	10	100	CONTACT
10	CONTACT	5	106.081909	100	43.941247	62	62
0	62	7A	30	AcDbEntity	20	100	7
20	7	100	0	8	108.081909	0	0
0	100	AcDbEntity	0	CONTACT	30	AcDb2dVertex	POLYLINE
30	AcDbVertex	8	VERTEX	62	0	10	5
0	100	ALLU2	5	7	0	43.941247	98
40	AcDb2dVertex	62	80	100	0	20	100
0.1	10	5	100	AcDb2dPolyline	5	106.081909	AcDbEntity
41	55.941247	100	66	8C	30	8	8
0.1	20	AcDbVertex	8	1	100	0	DIFFN
0	63.081909	100	CONTACT	10	AcDbEntity	VERTEX	62
VERTEX	30	AcDb2dVertex	62	8	5	3	100
5	0	10	7	CONTACT	92	AcDb2dPolyline	0
6F	0	42.941247	100	62	100	66	66
100	SEQEND	20	AcDbVertex	7	AcDbEntity	1	1
AcDbEntity	5	49.081909	100	0	8	10	10
8	75	30	AcDb2dVertex	40	AcDbVertex	CONTACT	0
CONTACT	100	0	10	0.1	100	62	20
62	AcDbEntity	0	32.941247	41	AcDb2dVertex	7	0
7	8	SEQEND	20	0.1	10	100	30
100	CONTACT	5	106.081909	0	45.941247	AcDbVertex	0
AcDbVertex	62	7B	30	VERTEX	20	100	70
100	7	100	0	5	108.081909	AcDb2dVertex	1
AcDb2dVertex	0	AcDbEntity	0	87	30	10	40
10	POLYLINE	8	SEQEND	100	0	45.941247	0.1
55.941247	5	ALLU2	5	AcDbEntity	0	20	41
20	76	62	81	8	VERTEX	108.081909	0.1
61.081909	100	5	100	CONTACT	5	30	0
30	AcDbEntity	0	AcDbEntity	62	8D	0	VERTEX
0	8	POLYLINE	8	7	100	0	5
0	ALLU2	5	CONTACT	100	AcDbEntity	SEQEND	99
VERTEX	62	7C	62	AcDbVertex	8	5	100
5	5	100	7	106	CONTACT	93	AcDbEntity
100	100	AcDbEntity	0	AcDb2dVertex	62	100	8
AcDbEntity	66	CONTACT	5	10	7	AcDbEntity	DIFFN
8	1	62	82	34.941247	100	8	62
CONTACT	10	7	100	20	AcDbVertex	CONTACT	3
62	0	100	AcDbEntity	106.081909	100	62	100
7	20	AcDb2dPolyline	0	8	AcDb2dVertex	7	AcDbVertex
100	0	66	CONTACT	0	10	0	100
AcDbVertex	30	1	62	0	45.941247	POLYLINE	AcDb2dVertex
100	0	10	7	VERTEX	5	10	10
AcDb2dVertex	70	0	100	5	106.081909	94	30.941247
10	1	20	AcDb2dPolyline	100	30	100	20
57.941247	40	0	66	AcDbEntity	0	AcDbEntity	110.081909
20	0.1	30	1	8	VERTEX	8	30
63.081909	41	0	10	CONTACT	5	CONTACT	0
30	0.1	70	0	62	SE	7	VERTEX
0	0	1	20	7	100	100	5
0	VERTEX	40	0	100	AcDbEntity	AcDb2dPolyline	9A
SEQEND	5	0.1	30	AcDbVertex	8	66	100
5	77	41	0	100	CONTACT	1	AcDbEntity
71	100	0.1	40	AcDb2dVertex	62	10	8
100	AcDbEntity	0	0.1	10	7	0	DIFFN
AcDbEntity	8	VERTEX	41	32.941247	100	20	62
8	ALLU2	5	0.1	20	AcDbVertex	0	5
CONTACT	62	7D	0	108.081909	100	30	100

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อ NOR-2.DXF เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AcDbVertex	8	VERTEX	30	AcDbEntity	30	34.941247	41
100	DIFFN	5	0	8	0	20	0.1
AcDb2dVertex	62	A6	0	ALU1	0	103.081909	0
10	3	100	VERTEX	62	VERTEX	30	VERTEX
34.941247	100	AcDbEntity	5	6	5	0	5
20	AcDbVertex	8	AC	100	B8	0	C4
110.081909	100	CONTACT	100	AcDb2dPolyline	100	SEQEND	100
30	AcDb2dVertex	62	AcDbEntity	66	AcDbEntity	5	AcDbEntity
0	10	-	8	1	8	BE	8
0	47.941247	100	CONTACT	10	ALU1	100	ALU1
VBVERTEX	20	AcDbVertex	62	0	62	AcDbEntity	62
5	110.081909	100	7	20	6	8	6
9B	30	AcDb2dVertex	100	0	100	ALU1	100
100	0	10	AcDbVertex	30	AcDbVertex	62	AcDbVertex
AcDbEntity	0	34.941247	100	0	100	6	100
8	VERTEX	20	AcDb2dVertex	40	AcDb2dVertex	0	AcDb2dVertex
DIFFN	5	99.081909	10	0.1	10	POLYLINE	10
62	A1	30	34.941247	41	63.941247	5	25
3	100	0	20	0.1	20	BF	20
100	AcDbEntity	0	99.081909	0	100.081909	100	61
AcDbVertex	8	VERTEX	30	VERTEX	30	AcDbEntity	30
100	DIFFN	5	0	5	0	8	0
AcDb2dVertex	62	A7	0	B3	0	ALU1	0
10	3	100	SEQEND	100	VERTEX	62	SEQEND
34.941247	100	AcDbEntity	5	AcDbEntity	5	6	5
20	AcDbVertex	8	AD	8	B9	100	C5
104.081909	100	CONTACT	100	ALU1	100	AcDb2dPolyline	100
30	AcDb2dVertex	62	AcDbEntity	62	AcDbEntity	66	AcDbEntity
0	10	7	8	6	8	1	8
0	47.941247	100	CONTACT	100	ALU1	10	ALU1
VERTEX	20	AcDbVertex	62	AcDbVertex	62	0	62
5	104.081909	100	7	100	6	20	6
9C	30	AcDb2dVertex	0	AcDb2dVertex	100	0	0
100	0	10	POLYLINE	10	AcDbVertex	30	POLYLINE
AcDbEntity	0	34.941247	5	60.941247	100	0	5
8	VERTEX	20	AE	20	AcDb2dVertex	40	C6
DIFFN	5	97.081909	100	60.081909	10	0.1	100
n2	A2	30	AcDbEntity	30	60.941247	41	AcDbEntity
3	100	0	8	0	20	0.1	8
100	AcDbEntity	0	CONTACT	0	100.081909	0	ALU1
AcDbVertex	8	VERTEX	62	VERTEX	30	VERTEX	62
100	DIFFN	5	7	0	5	6	6
AcDb2dVertex	62	A8	100	B4	0	C0	100
10	3	100	AcDb2dPolyline	100	SEQEND	100	AcDb2dPolyline
30.941247	100	AcDbEntity	66	AcDbEntity	5	AcDbEntity	66
20	AcDbVertex	8	1	8	BA	8	1
104.081909	100	CONTACT	10	ALU1	100	ALU1	10
30	AcDb2dVertex	62	0	62	AcDbEntity	62	0
0	10	7	20	6	8	6	20
0	41.941247	100	0	100	ALU1	100	0
SEQEND	20	AcDbVertex	30	AcDbVertex	62	AcDbVertex	30
5	104.081909	100	0	100	6	100	0
9D	30	AcDb2dVertex	40	AcDb2dVertex	0	AcDb2dVertex	40
100	0	10	0.1	10	POLYLINE	10	0.1
AcDbEntity	0	32.941247	41	63.941247	31.941247	41	0.1
8	SEQEND	20	0.1	20	BB	20	0.1
DIFFN	5	97.081909	0	60.081909	100	103.081909	0
62	A3	30	VERTEX	30	AcDbEntity	30	VERTEX
3	100	0	5	0	8	0	5
0	AcDbEntity	0	AF	0	ALU1	0	C7
POLYLINE	8	SEQEND	100	SEQEND	62	VERTEX	100
5	DIFFN	5	AcDbEntity	5	6	5	AcDbEntity
9E	62	A9	8	B5	100	C1	8
100	3	100	CONTACT	100	AcDb2dPolyline	100	ALU1
AcDbEntity	0	AcDbEntity	62	AcDbEntity	66	AcDbEntity	62
8	POLYLINE	8	7	8	1	8	6
DIFFN	5	CONTACT	100	ALU1	10	ALU1	100
62	A4	62	AcDbVertex	62	0	62	AcDbVertex
3	100	7	100	6	20	6	100
100	AcDbEntity	0	AcDb2dVertex	0	0	100	AcDb2dVertex
AcDb2dPolyline	8	POLYLINE	10	POLYLINE	30	AcDbVertex	10
66	CONTACT	5	34.941247	5	0	100	34.941247
1	62	AA	20	B6	40	AcDb2dVertex	20
10	7	100	97.081909	100	0.1	10	57.081909
0	100	AcDbEntity	30	AcDbEntity	41	31.941247	30
20	AcDb2dPolyline	8	0	8	0.1	20	0
0	66	CONTACT	0	ALU1	0	100.081909	0
30	1	62	VERTEX	62	VERTEX	30	VERTEX
0	10	7	5	6	5	0	5
70	0	100	B0	100	BC	0	C8
1	20	AcDb2dPolyline	100	AcDb2dPolyline	100	SEQEND	100
40	0	66	AcDbEntity	66	AcDbEntity	5	AcDbEntity
0.1	30	1	8	1	8	C2	8
41	0	10	CONTACT	10	ALU1	100	ALU1
0.1	70	0	62	0	62	AcDbEntity	62
0	1	20	7	20	6	8	6
VERTEX	40	0	100	0	100	ALU1	100
5	0.1	30	AcDbVertex	30	AcDbVertex	62	AcDbVertex
9F	41	0	100	0	100	6	100
100	0.1	40	AcDb2dVertex	40	AcDb2dVertex	0	AcDb2dVertex
AcDbEntity	0	0.1	10	0.1	10	POLYLINE	10
8	VERTEX	41	32.941247	41	34.941247	5	34.941247
DIFFN	5	0.1	20	0.1	20	C3	20
62	A5	0	99.081909	0	100.081909	100	60.081909
3	100	VERTEX	30	VERTEX	30	AcDbEntity	30
100	AcDbEntity	5	0	5	0	8	0
AcDbVertex	8	AB	0	B7	0	ALU1	0
100	CONTACT	100	SEQEND	100	VERTEX	62	SEQEND
AcDb2dVertex	62	AcDbEntity	5	AcDbEntity	5	6	5
10	7	8	B1	8	BD	100	C9
41.941247	100	CONTACT	100	ALU1	100	AcDb2dPolyline	100
20	AcDbVertex	62	AcDbEntity	62	AcDbEntity	66	AcDbEntity
110.081909	100	7	8	6	8	1	8
30	AcDb2dVertex	100	CONTACT	100	ALU1	10	ALU1
0	10	AcDbVertex	62	AcDbVertex	62	0	62
0	32.941247	100	7	100	6	20	6
VERTEX	20	AcDb2dVertex	0	AcDb2dVertex	100	0	0
5	99.081909	10	POLYLINE	10	AcDbVertex	30	POLYLINE
A0	30	32.941247	5	63.941247	100	5	5
100	0	20	B2	20	AcDb2dVertex	40	CA
AcDbEntity	0	97.081909	100	60.081909	10	0.1	100

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

AcDbEntity	30	34.941247	41	65.941247	100	6	100
8	0	20	0.1	20	AcDb2dVertex	100	AcDbEntity
ALU1	0	60.081909	0	111.081909	10	AcDbVertex	8
62	SEQEND	30	VERTEX	30	29.941247	100	V1A
6	5	0	5	0	20	AcDb2dVertex	62
100	D0	0	DC	0	101.081909	10	5
AcDb2dPolyline	100	SEQEND	100	VERTEX	30	35.941247	100
66	AcDbEntity	5	AcDbEntity	5	0	20	AcDbVertex
1	8	D6	8	E2	0	94.081909	100
10	ALU1	100	ALU1	100	VERTEX	30	AcDb2dVertex
0	62	AcDbEntity	62	AcDbEntity	5	0	10
20	6	8	6	8	E8	0	34.941247
0	0	ALU1	100	ALU1	100	VERTEX	20
30	POLYLINE	62	AcDbVertex	62	AcDbEntity	5	86.581909
0	5	6	100	6	8	EE	30
40	D1	0	AcDb2dVertex	100	ALU1	100	0
0.1	100	POLYLINE	10	AcDbVertex	62	AcDbEntity	0
41	AcDbEntity	5	29.941247	100	6	8	VERTEX
0.1	8	D7	20	AcDb2dVertex	100	ALU1	5
0	ALU1	100	57.081909	10	AcDbVertex	62	F4
VERTEX	62	AcDbEntity	30	65.941247	100	6	100
5	6	8	0	20	AcDb2dVertex	100	AcDbEntity
CB	100	ALU1	0	103.081909	10	AcDbVertex	8
100	AcDb2dPolyline	62	VERTEX	30	29.941247	100	V1A
AcDbEntity	66	6	5	0	20	AcDb2dVertex	62
8	1	100	DD	0	111.081909	10	5
ALU1	10	AcDb2dPolyline	100	VERTEX	30	31.941247	110
62	0	66	AcDbEntity	5	0	20	AcDbVertex
6	20	1	8	E3	0	96.081909	100
100	0	10	ALU1	100	SEQEND	30	AcDb2dVertex
AcDbVertex	30	0	62	AcDbEntity	5	0	10
100	0	20	6	8	E9	0	34.941247
AcDb2dVertex	40	0	100	ALU1	100	VERTEX	20
10	0.1	30	AcDbVertex	62	AcDbEntity	5	83.581909
11.941247	41	0	100	6	8	EF	30
20	0.1	40	AcDb2dVertex	100	ALU1	100	0
60.081909	0	0.1	10	AcDbVertex	62	AcDbEntity	0
10	VERTEX	41	31.941247	100	6	8	VERTEX
0	5	0.1	20	AcDb2dVertex	0	ALU1	5
6	D2	0	57.081909	10	POLYLINE	62	F5
VERTEX	100	VERTEX	30	34.941247	5	6	100
5	AcDbEntity	5	0	20	EA	100	AcDbEntity
CC	8	D8	0	103.081909	100	AcDbVertex	8
100	ALU1	100	SEQEND	30	AcDbEntity	100	V1A
AcDbEntity	62	AcDbEntity	5	0	8	AcDb2dVertex	62
8	6	8	DE	0	ALU1	10	5
ALU1	100	ALU1	100	SEQEND	62	31.941247	100
62	AcDbVertex	62	AcDbEntity	5	6	20	AcDbVertex
6	100	6	8	E4	100	100.081909	100
100	AcDb2dVertex	100	ALU1	100	AcDb2dPolyline	30	AcDb2dVertex
AcDbVertex	10	AcDbVertex	62	AcDbEntity	66	0	10
100	31.941247	100	0	8	1	0	31.941247
AcDb2dVertex	20	AcDb2dVertex	0	ALU1	10	SEQEND	20
10	64.081909	10	POLYLINE	62	0	5	83.581909
31.941247	30	31.941247	5	0	20	F0	30
20	0	20	DF	0	6	0	0
57.081909	0	60.081909	100	POLYLINE	30	AcDbEntity	0
30	VERTEX	30	AcDbEntity	5	0	8	SEQEND
0	5	0	8	E5	40	ALU1	5
0	D3	0	ALU1	100	0.1	62	F6
SEQEND	100	VERTEX	62	AcDbEntity	41	6	100
5	AcDbEntity	5	6	8	0.1	0	AcDbEntity
CD	8	D9	100	ALU1	0	POLYLINE	8
100	ALU1	100	AcDb2dPolyline	62	VERTEX	5	V1A
AcDbEntity	62	AcDbEntity	66	6	F1	100	62
8	6	8	1	100	AcDbEntity	5	5
ALU1	100	ALU1	10	AcDb2dPolyline	100	AcDbEntity	0
62	AcDbVertex	62	0	66	8	POLYLINE	62
6	100	6	20	1	ALU1	V1A	5
0	AcDb2dVertex	100	0	10	62	5	F7
POLYLINE	10	AcDbVertex	30	0	6	100	AcDbEntity
5	35.941247	100	0	20	6	AcDb2dPolyline	8
CE	20	AcDb2dVertex	40	0	100	AcDb2dPolyline	5
100	64.081909	10	0.1	30	AcDbVertex	66	V1A
AcDbEntity	30	31.941247	41	0	100	1	62
8	0	20	0.1	40	AcDb2dVertex	10	5
ALU1	0	64.081909	0	0.1	10	0	100
62	VERTEX	30	VERTEX	41	34.941247	20	AcDb2dPolyline
6	5	0	5	0.1	20	0	66
100	D4	0	E0	0	100.081909	30	1
AcDb2dPolyline	100	SEQEND	100	VERTEX	30	0	10
66	AcDbEntity	5	AcDbEntity	5	0	70	0
1	8	DA	8	E6	0	1	20
ALU1	100	ALU1	100	100	VERTEX	40	0
0	62	AcDbEntity	62	AcDbEntity	5	0.1	30
20	6	8	6	8	EC	41	0
0	100	ALU1	100	ALU1	100	0.1	40
30	AcDbVertex	62	AcDbVertex	62	AcDbEntity	0	0.1
0	100	6	100	6	8	VERTEX	41
40	AcDb2dVertex	0	AcDb2dVertex	100	ALU1	5	0.1
0.1	10	POLYLINE	10	AcDbVertex	62	F2	0
41	35.941247	5	29.941247	100	6	100	VERTEX
0.1	20	DB	20	AcDb2dVertex	100	AcDbEntity	5
0	60.081909	100	111.081909	10	AcDbVertex	8	F8
VERTEX	30	AcDbEntity	30	31.941247	100	V1A	100
5	0	8	0	20	AcDb2dVertex	62	AcDbEntity
CF	0	ALU1	0	103.081909	10	5	8
100	VERTEX	62	VERTEX	30	35.941247	100	V1A
AcDbEntity	5	6	5	0	20	AcDbVertex	62
8	D5	100	E1	0	100.081909	100	5
ALU1	100	AcDb2dPolyline	100	VERTEX	30	AcDb2dVertex	100
62	AcDbEntity	66	AcDbEntity	5	0	10	AcDbVertex
6	8	1	8	E7	0	31.941247	100
100	ALU1	10	ALU1	100	VERTEX	20	AcDb2dVertex
AcDbVertex	62	0	62	AcDbEntity	5	86.581909	10
100	6	20	0	6	ED	30	31.941247
AcDb2dVertex	10	AcDbVertex	30	AcDbVertex	100	0	20
10	AcDbVertex	30	AcDbVertex	62	AcDbEntity	0	86.581909
25	100	0	100	6	8	VERTEX	30
20	AcDb2dVertex	40	AcDb2dVertex	100	ALU1	5	0
18	10	0.1	10	AcDbVertex	62	F3	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อ NOR-2.DXF เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VERTEX	20	105	5	8.1	20	AcDbVertex	40.941247
5	84.581909	100	44	0	82.581909	10	100
FB	30	AcDbEntity	30	VERTEX	30	36.941247	AcDbVertex
100	0	8	6	5	0	20	100
AcDbEntity	0	CONTACT	0	111	0	88.581909	AcDb2dVertex
8	VERTEX	62	SEQEND	100	VERTEX	30	10
VIA	5	7	5	AcDbEntity	5	0	42.941247
62	FF	100	10B	8	117	0	20
5	100	AcDb2dPolyline	100	POLY	100	VERTEX	82.581909
100	AcDbEntity	66	AcDbEntity	62	AcDbEntity	5	30
AcDbVertex	8	1	8	1	8	11D	0
100	CONTACT	10	ALU1	100	POLY	100	0
AcDb2dVertex	62	0	62	AcDbVertex	62	AcDbEntity	VERTEX
10	7	20	6	100	1	8	5
34.941247	100	0	0	AcDb2dVertex	100	POLY	123
20	AcDbVertex	30	POLYLINE	10	AcDbVertex	62	100
83.581909	100	0	5	37.941247	100	1	AcDbEntity
30	AcDb2dVertex	40	10C	20	AcDb2dVertex	100	8
0	10	0.1	100	82.581909	10	AcDbVertex	POLY
0	38.941247	41	AcDbEntity	30	40.941247	100	62
SEQEND	20	0.1	8	0	20	AcDb2dVertex	1
5	84.581909	0	POLY	0	103.081909	10	100
FA	30	VERTEX	62	VERTEX	30	37.941247	AcDbVertex
100	0	5	1	5	0	20	100
AcDbEntity	0	106	100	112	0	88.581909	AcDb2dVertex
8	SEQEND	100	AcDb2dPolyline	100	VERTEX	30	10
VIA	5	AcDbEntity	66	AcDbEntity	5	0	40.941247
62	100	8	1	8	118	0	20
5	100	CONTACT	10	POLY	100	SEQEND	82.581909
0	AcDbEntity	62	0	62	AcDbEntity	5	30
POLYLINE	8	7	20	1	8	11E	0
5	CONTACT	100	0	100	POLY	100	0
FB	62	AcDbVertex	30	AcDbVertex	62	AcDbEntity	SEQEND
100	7	100	0	100	1	8	5
AcDbEntity	0	AcDb2dVertex	40	AcDb2dVertex	100	POLY	124
8	POLYLINE	10	0.1	10	AcDbVertex	62	100
CONTACT	5	40.941247	41	37.941247	100	1	AcDbEntity
62	101	20	0.1	20	AcDb2dVertex	0	8
7	100	84.581909	0	57.081909	10	POLYLINE	POLY
100	AcDbEntity	30	VERTEX	30	37.941247	5	62
AcDb2dPolyline	8	0	5	0	20	11F	1
66	CONTACT	0	10D	0	103.081909	100	0
1	62	VERTEX	100	VERTEX	30	AcDbEntity	POLYLINE
10	7	5	AcDbEntity	5	0	8	5
0	100	107	8	113	0	POLY	125
20	AcDb2dPolyline	100	POLY	100	VERTEX	62	100
0	66	AcDbEntity	62	AcDbEntity	5	1	AcDbEntity
30	1	8	1	8	119	100	8
0	10	CONTACT	100	POLY	100	AcDb2dPolyline	POLY
70	0	62	AcDbVertex	62	AcDbEntity	66	62
1	20	7	100	1	8	1	1
40	0	100	AcDb2dVertex	100	POLY	10	160
0.1	30	AcDbVertex	10	AcDbVertex	62	0	AcDb2dPolyline
41	0	100	40.941247	100	1	20	66
0.1	40	AcDb2dVertex	20	AcDb2dVertex	100	0	1
0	0.1	10	57.081909	10	AcDbVertex	30	10
VERTEX	41	38.941247	30	40.941247	100	0	0
5	0.1	20	0	20	AcDb2dVertex	40	20
FC	0	86.581909	0	57.081909	10	0.1	0
100	VERTEX	30	VERTEX	30	37.941247	41	30
AcDbEntity	5	0	5	0	20	0.1	0
8	102	0	10E	0	82.581909	0	40
CONTACT	100	SEQEND	100	SEQEND	30	VERTEX	0.1
62	AcDbEntity	5	AcDbEntity	5	0	5	41
7	8	108	8	114	0	120	0.1
100	CONTACT	100	POLY	100	SEQEND	100	0
AcDbVertex	62	AcDbEntity	62	AcDbEntity	5	AcDbEntity	VERTEX
100	7	8	1	8	11A	8	5
AcDb2dVertex	100	CONTACT	100	POLY	100	POLY	126
10	AcDbVertex	62	AcDbVertex	62	AcDbEntity	62	100
38.941247	100	7	100	1	8	1	AcDbEntity
20	AcDb2dVertex	0	AcDb2dVertex	0	POLY	100	8
84.581909	10	POLYLINE	10	POLYLINE	62	AcDbVertex	POLY
0	38.941247	5	40.941247	5	1	100	62
0	20	109	20	112	0	AcDb2dVertex	1
0	84.581909	100	82.581909	100	POLYLINE	10	100
VERTEX	30	AcDbEntity	30	AcDbEntity	5	40.941247	AcDbVertex
5	0	8	0	8	11B	20	100
FD	0	ALU1	0	POLY	100	82.581909	AcDb2dVertex
100	VERTEX	62	SEQEND	62	AcDbEntity	30	16
AcDbEntity	5	6	5	1	0	37.941247	0
8	103	100	10F	100	POLY	0	20
CONTACT	100	AcDb2dPolyline	100	AcDb2dPolyline	62	VERTEX	82.581909
62	AcDbEntity	66	AcDbEntity	66	1	5	30
7	8	1	8	1	100	121	0
100	CONTACT	10	POLY	10	AcDb2dPolyline	100	0
AcDbVertex	62	0	62	0	66	AcDbEntity	VERTEX
100	7	20	1	20	1	8	5
AcDb2dVertex	100	0	0	0	10	POLY	127
10	AcDbVertex	30	POLYLINE	30	0	62	100
40.941247	100	0	5	0	20	1	AcDbEntity
20	AcDb2dVertex	40	110	40	0	100	8
86.581909	10	0.1	100	0.1	30	AcDbVertex	POLY
30	40.941247	41	AcDbEntity	41	0	100	62
0	20	0.1	8	0.1	40	AcDb2dVertex	1
0	86.581909	0	POLY	0	0.1	10	100
VERTEX	30	VERTEX	62	VERTEX	41	42.941247	AcDbVertex
5	0	5	1	5	0.1	20	100
FE	0	10A	100	116	0	82.581909	AcDb2dVertex
100	SEQEND	100	AcDb2dPolyline	100	VERTEX	30	10
AcDbEntity	5	AcDbEntity	66	AcDbEntity	5	0	36.941247
8	104	8	1	8	11C	0	20
CONTACT	100	ALU1	10	POLY	100	VERTEX	82.581909
62	AcDbEntity	62	0	62	AcDbEntity	5	30
7	8	6	20	1	8	122	0
100	CONTACT	100	0	100	POLY	100	0
AcDbVertex	62	AcDbVertex	30	AcDbVertex	62	AcDbEntity	VERTEX
100	-	100	0	100	1	8	5
AcDb2dVertex	0	AcDb2dVertex	40	AcDb2dVertex	100	POLY	128
10	POLYLINE	10	0.1	10	AcDbVertex	62	100
5	13E						

NOR-2.DXF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีกรนำไปใช้

152	5	100	100	0	5	173	10
100	158	AcDbEntity	AcDbEntity	0	16F	100	72
AcDbEntity	100	8	8	SEQEND	100	AcDbEntity	20
8	AcDbEntity	0	0	5	AcDbEntity	8	13
0	8	62	62	16A	8	0	30
62	0	7	7	100	0	62	0
7	62	100	100	AcDbEntity	62	7	40
100	7	AcDbVertex	AcDbVertex	8	7	100	0.75
AcDbVertex	100	100	100	0	100	AcDbVertex	1
100	AcDbVertex	AcDb2dVertex	AcDb2dVertex	62	AcDbVertex	100	Mr.Ruangkrai RANGSIPHOL
AcDb2dVertex	100	10	10	7	100	AcDb2dVertex	7
10	AcDb2dVertex	64	64	0	AcDb2dVertex	10	HEAD
0	10	20	20	TEXT	10	64	100
20	96	14	3	5	64	20	AcDbText
0	20	30	30	16B	20	26	0
30	3	0	0	100	18	30	TEXT
0	30	0	0	AcDbEntity	30	0	5
0	0	VERTEX	SEQEND	8	0	0	17B
SEQEND	0	5	5	0	0	VERTEX	100
5	SEQEND	15F	163	62	VERTEX	5	AcDbEntity
153	5	100	100	7	5	176	8
100	159	AcDbEntity	AcDbEntity	100	170	100	0
AcDbEntity	100	8	8	AcDbText	100	AcDbEntity	62
8	AcDbEntity	0	0	10	AcDbEntity	8	7
0	8	62	62	84.426963	8	0	100
62	0	7	7	20	0	62	AcDbText
7	62	100	0	4	62	7	10
0	7	AcDbVertex	TEXT	30	7	100	72
POLYLINE	0	100	5	0	100	AcDbVertex	20
5	POLYLINE	AcDb2dVertex	166	40	AcDbVertex	100	19
154	5	10	100	0.75	100	AcDb2dVertex	30
100	15A	64	AcDbEntity	1	AcDb2dVertex	10	0
AcDbEntity	100	20	8	DWGING	10	96	40
8	AcDbEntity	10	0	7	64	20	0.75
0	8	30	62	HEAD	20	26	1
62	0	0	7	100	22	30	Assoc.Prof.Dr.Kobchai DEJHAN
7	62	7	100	AcDbText	30	0	7
100	7	VERTEX	AcDbText	0	0	0	HEAD
AcDb2dPolyline	100	5	10	TEXT	0	SEQEND	100
66	AcDb2dPolyline	160	62.5	5	VERTEX	5	AcDbText
1	66	100	20	16C	5	177	0
10	1	AcDbEntity	4	100	171	100	POLYLINE
0	0	8	30	AcDbEntity	100	AcDbEntity	5
20	0	0	0	8	AcDbEntity	8	17C
0	20	62	40	0	8	0	100
30	0	0	0.75	62	0	62	AcDbEntity
0	30	100	1	7	62	7	8
70	0	AcDbVertex	SCALE	100	7	0	ALU2
1	0	100	7	AcDbText	100	TEXT	62
0	VERTEX	AcDb2dVertex	HEAD	10	AcDbVertex	5	5
5	5	10	100	65	100	178	100
155	15B	96	AcDbText	20	AcDb2dVertex	100	AcDb2dPolyline
100	AcDbEntity	10	0	11.339851	10	AcDbEntity	66
AcDbEntity	8	30	POLYLINE	30	96	8	1
8	0	0	5	0	20	0	10
0	62	0	167	40	22	62	0
62	7	SEQEND	100	0.75	30	7	20
7	100	5	AcDbEntity	1	0	100	0
100	AcDbVertex	161	0	DRAWING	0	AcDbText	30
AcDbVertex	100	62	7	HEAD	5	SEQEND	10
100	AcDb2dVertex	AcDbEntity	7	100	172	20	70
AcDb2dVertex	10	8	100	AcDbText	100	19	1
10	64	0	AcDb2dPolyline	0	AcDbEntity	30	40
3	20	62	64	TEXT	8	0	0.1
20	18	7	1	5	0	40	41
3	30	0	10	14D	62	0.75	0.1
30	0	POLYLINE	0	100	7	0	0
0	0	5	20	AcDbEntity	1	ADVISOR	VERTEX
0	VERTEX	162	0	8	POLYLINE	7	5
VERTEX	5	100	30	0	5	HEAD	17D
5	15C	AcDbEntity	0	62	173	100	100
156	100	8	0	71.591734	100	AcDbText	AcDbEntity
100	AcDbEntity	0	VERTEX	100	AcDbEntity	0	8
AcDbEntity	8	62	5	AcDbText	8	TEXT	ALU2
8	0	7	168	10	0	5	62
0	62	100	100	71.591734	62	5	5
62	7	AcDb2dPolyline	AcDbEntity	20	7	179	100
7	100	66	8	23.439578	100	AcDbVertex	AcDbVertex
100	AcDbVertex	1	0	30	AcDb2dPolyline	8	100
AcDbVertex	100	10	62	0	64	0	AcDb2dVertex
100	AcDb2dVertex	0	7	40	1	62	59.941247
AcDb2dVertex	10	30	100	1.125	10	7	20
10	96	0	AcDbVertex	1	0	100	49.081909
3	20	30	100	VLSI DESIGN	20	AcDbText	30
20	18	0	AcDb2dVertex	7	0	10	0
139.5	30	0	10	HEAD	30	65	0
30	0	VERTEX	79.50445	100	0	20	VERTEX
0	0	5	20	AcDbText	0	15	5
0	VERTEX	163	10	0	VERTEX	30	17E
5	5	100	30	POLYLINE	5	0	100
157	15D	AcDbEntity	0	5	174	40	AcDbEntity
100	AcDbEntity	8	0	16E	100	0.75	8
AcDbEntity	8	62	5	AcDbEntity	8	1	ALU2
8	0	7	169	8	0	7	62
0	62	100	100	0	62	HEAD	100
62	7	AcDbVertex	AcDbEntity	62	7	100	AcDbVertex
7	100	100	8	7	100	AcDbText	100
100	AcDbVertex	AcDb2dVertex	0	100	AcDbVertex	0	AcDb2dVertex
AcDbVertex	100	10	62	AcDb2dPolyline	100	TEXT	10
100	AcDb2dVertex	64	7	64	AcDb2dVertex	5	59.941247
AcDb2dVertex	10	20	100	1	10	17A	20
10	96	18	AcDbVertex	10	64	100	111.081909
96	20	30	100	0	20	AcDbEntity	30
20	14	0	AcDb2dVertex	20	22	0	0
139.5	30	0	10	0	30	0	0
30	0	VERTEX	79.50445	30	0	62	VERTEX
0	0	5	20	8	0	7	5
0	VERTEX	164	30	0	100	17F	100
VERTEX	5	3	10	VERTEX	5	AcDbText	100

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา NOR-2.DXF อ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AcDbEntity	0	108.081909	41	0	100	AcDb2dVertex	100
8	VERTEX	30	0.1	40	10	AcDb2dVertex	100
ALU2	5	0	0	0.1	10	10.941247	100
62	183	0	VERTEX	41	20	55.941247	AcDb2dVertex
5	100	5	SEQEND	0.1	20	65.081909	10
100	AcDbEntity	5	191	0	30	54.081909	63.941247
AcDbVertex	8	188	100	VERTEX	30	0	20
100	CONTACT	100	AcDbEntity	5	0	0	60.081909
AcDb2dVertex	62	AcDbEntity	8	197	0	VERTEX	30
10	7	8	CONTACT	100	SEQEND	5	0
54.941247	100	CONTACT	62	AcDbEntity	5	1A3	0
20	AcDbVertex	62	7	8	19D	100	VERTEX
111.081909	100	7	100	CONTACT	100	AcDbEntity	5
30	AcDb2dVertex	0	AcDbVertex	62	AcDbEntity	8	1A9
0	10	POLYLINE	100	7	8	DIFFN	100
0	57.941247	5	AcDb2dVertex	100	CONTACT	62	AcDbEntity
VERTEX	20	18C	10	AcDbVertex	62	5	8
5	106.081909	100	55.941247	100	7	100	ALU1
180	30	AcDbEntity	20	AcDb2dVertex	0	AcDbVertex	62
100	0	8	54.081909	10	POLYLINE	100	100
AcDbEntity	0	CONTACT	30	55.941247	5	AcDb2dVertex	100
8	VERTEX	62	0	19E	10	AcDbVertex	10
ALU2	5	7	0	52.081909	100	59.941247	100
62	184	100	VERTEX	30	AcDbEntity	20	AcDb2dVertex
5	100	AcDb2dPolyline	5	8	65.081909	10	63.941247
100	AcDbEntity	66	192	0	ALLU1	30	20
AcDbVertex	8	1	100	VERTEX	62	0	83.581909
100	CONTACT	10	AcDbEntity	5	6	VERTEX	30
AcDb2dVertex	62	0	8	198	100	AcDb2dPolyline	5
10	7	20	CONTACT	100	AcDbEntity	66	1A4
54.941247	100	0	62	AcDbEntity	10	100	SEQEND
20	AcDbVertex	30	7	8	0	8	1AA
49.081909	100	0	100	CONTACT	20	DIFFN	100
30	AcDb2dVertex	40	AcDbVertex	62	0	AcDbEntity	5
0	10	0.1	100	7	30	100	100
0	55.941247	41	AcDb2dVertex	100	0	100	AcDbEntity
SEQEND	20	0.1	10	AcDbVertex	40	AcDbVertex	62
5	106.081909	0	57.941247	100	0.1	AcDb2dVertex	6
181	30	VERTEX	20	AcDb2dVertex	41	AcDb2dVertex	10
100	0	5	54.081909	10	0.1	10	POLYLINE
AcDbEntity	0	18D	30	57.941247	0	59.941247	5
8	SEQEND	100	0	20	0	20	1AB
ALU2	5	AcDbEntity	0	54.081909	30	VERTEX	100
62	187	8	VERTEX	30	0	19F	AcDbEntity
5	100	CONTACT	5	0	100	0	8
0	AcDbEntity	62	193	0	AcDbEntity	0	VIA
POLYLINE	8	7	100	SEQEND	8	VERTEX	62
5	CONTACT	100	AcDbEntity	5	ALLU1	5	5
182	62	AcDbVertex	8	199	62	1A5	100
AcDbEntity	7	100	CONTACT	100	6	100	AcDb2dPolyline
8	POLYLINE	10	AcDb2dVertex	62	AcDbEntity	100	66
CONTACT	5	57.941247	100	CONTACT	8	AcDbEntity	1
62	188	20	AcDbVertex	62	AcDbVertex	8	10
100	100	106.081909	100	7	100	DIFFN	20
AcDbEntity	30	AcDb2dVertex	0	AcDb2dVertex	62	0	0
AcDb2dPolyline	8	0	10	POLYLINE	10	3	30
66	CONTACT	0	57.941247	5	28	100	0
1	62	VERTEX	20	19A	20	AcDbVertex	0
10	7	5	52.081909	100	19	AcDb2dVertex	70
0	100	18E	30	AcDbEntity	0	10	1
20	AcDb2dPolyline	100	0	8	0	30.941247	40
0	66	AcDbEntity	0	CONTACT	0	20	0.1
30	1	8	VERTEX	62	SEQEND	59.081909	41
0	10	CONTACT	5	7	1A0	30	0.1
70	0	62	194	100	100	0	0
1	20	7	100	AcDb2dPolyline	66	AcDbEntity	0
40	0	100	AcDbVertex	8	1	8	VERTEX
0.1	30	AcDbVertex	8	1	10	ALU1	5
41	0	100	CONTACT	10	62	1A6	100
0.1	40	AcDb2dVertex	62	0	6	100	AcDbEntity
0	0.1	55.941247	100	20	0	AcDbEntity	8
VERTEX	5	20	AcDbVertex	30	POLYLINE	8	VIA
183	0	108.081909	100	0	5	DIFFN	62
100	VERTEX	30	AcDb2dVertex	40	1A1	62	5
AcDbEntity	5	0	10	0.1	100	3	100
8	189	SEQEND	55.941247	41	AcDbEntity	0	AcDbVertex
CONTACT	100	5	52.081909	0	8	POLYLINE	100
62	AcDbEntity	5	19F	30	DIFFN	5	AcDb2dVertex
7	8	100	0	19B	62	1A7	10
100	CONTACT	62	195	5	3	100	55.941247
AcDbVertex	62	AcDbEntity	0	100	100	AcDbEntity	20
100	7	8	SEQEND	100	AcDb2dPolyline	8	86.581909
AcDb2dVertex	100	CONTACT	5	AcDbEntity	66	ALU1	30
10	AcDbVertex	62	195	8	1	62	0
55.941247	100	7	100	CONTACT	10	6	0
20	AcDb2dVertex	0	AcDbEntity	62	0	100	VERTEX
108.081909	10	POLYLINE	8	7	20	AcDb2dPolyline	5
0	55.941247	5	CONTACT	100	0	66	1AD
0	20	190	62	AcDbVertex	30	1	100
0	106.081909	100	7	AcDb2dVertex	70	0	AcDbEntity
VERTEX	30	AcDbEntity	0	AcDb2dVertex	1	20	8
5	0	8	POLYLINE	10	1	0	VIA
184	0	CONTACT	5	57.941247	40	0	62
100	VERTEX	62	196	20	0.1	30	5
AcDbEntity	5	7	100	52.081909	41	0	100
8	18A	100	AcDbEntity	30	0	0.1	AcDbVertex
CONTACT	100	AcDb2dPolyline	8	0	0	41	AcDb2dVertex
62	AcDbEntity	66	CONTACT	0	VERTEX	0.1	10
7	8	1	62	VERTEX	5	58.941247	20
100	CONTACT	10	7	5	1A2	0	86.581909
AcDbVertex	62	0	100	19C	100	VERTEX	30
AcDb2dVertex	100	0	66	AcDbEntity	8	1A8	0
10	AcDbVertex	30	1	8	DIFFN	100	0
57.941247	100	0	10	CONTACT	62	AcDbEntity	0
20	AcDb2dVertex	70	0	62	5	8	VERTEX
108.081909	10	1	20	7	100	ALU1	5
30	57.941247	0	40	100	AcDbVertex	62	1AE
0	20	0.1	30	AcDbVertex	100	6	100

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AcDbEntity	5	67.081909	0	59.941247	100	CONTACT	10
8	1B4	30	VERTEX	20	AcDbVertex	62	0
VIA	100	0	5	56.081909	100	7	20
62	AcDbEntity	0	100	30	AcDb2dVertex	100	0
5	8	SEQEND	100	0	10	AcDbVertex	30
100	VIA	5	AcDbEntity	0	52.941247	100	0
AcDbVertex	62	1B4	8	VERTEX	20	AcDb2dVertex	70
100	5	100	CONTACT	5	79.581909	10	1
AcDb2dVertex	0	AcDbEntity	62	1C4	30	52.941247	40
10	POLYLINE	8	7	100	0	20	0.1
58.941247	5	CONTACT	100	AcDbEntity	0	79.581909	41
20	1B5	62	AcDbVertex	8	VERTEX	30	0.1
83.581909	100	7	100	DIFFP	5	0	0
30	AcDbEntity	0	AcDb2dVertex	62	1CC	0	VERTEX
0	8	POLYLINE	10	2	100	SEQEND	5
0	CONTACT	5	46.941247	100	AcDbEntity	5	1D8
VERTEX	62	1BB	20	AcDbVertex	8	1D2	100
5	7	100	67.081909	100	CONTACT	100	AcDbEntity
1AF	100	AcDbEntity	30	AcDb2dVertex	62	AcDbEntity	8
100	AcDb2dPolyline	8	0	10	7	8	VIA
AcDbEntity	66	CONTACT	0	59.941247	100	CONTACT	62
8	1	62	VERTEX	20	AcDbVertex	62	5
VIA	10	7	5	50.081909	100	7	100
62	0	100	1C1	30	AcDb2dVertex	0	AcDbVertex
5	20	AcDb2dPolyline	100	0	10	POLYLINE	100
100	0	66	AcDbEntity	0	52.941247	5	AcDb2dVertex
AcDbVertex	30	1	8	VERTEX	20	1D3	10
100	0	10	CONTACT	5	77.581909	100	43.941247
AcDb2dVertex	70	0	62	1C7	30	AcDbEntity	20
10	1	20	7	100	0	8	80.581909
55.941247	40	0	100	AcDbEntity	0	CONTACT	30
20	0.1	30	AcDbVertex	8	VERTEX	62	0
83.581909	41	0	100	DIFFP	5	7	0
30	0.1	40	AcDb2dVertex	62	1CD	100	VERTEX
0	0	0.1	10	2	100	AcDb2dPolyline	5
0	VERTEX	41	44.941247	100	AcDbEntity	66	1D9
SEQEND	5	0.1	20	AcDbVertex	8	1	100
5	1B6	0	69.081909	100	CONTACT	10	AcDbEntity
1B0	100	VERTEX	30	AcDb2dVertex	62	0	8
100	AcDbEntity	5	0	10	7	20	VIA
AcDbEntity	8	1BC	0	53.941247	100	0	62
8	CONTACT	100	SEQEND	20	AcDbVertex	30	5
VIA	62	AcDbEntity	5	50.081909	100	0	100
62	7	CONTACT	100	30	AcDb2dVertex	40	AcDbVertex
5	100	AcDbVertex	62	0	10	0.1	100
0	AcDbVertex	62	AcDbEntity	0	50.941247	41	AcDb2dVertex
POLYLINE	5	7	8	SEQEND	20	0.1	10
5	AcDb2dVertex	100	CONTACT	5	77.581909	0	46.941247
1B1	10	AcDbVertex	62	1C8	30	VERTEX	20
100	44.941247	100	7	100	0	5	80.581909
AcDbEntity	20	AcDb2dVertex	0	AcDbEntity	0	1D4	30
8	69.081909	10	POLYLINE	8	SEQEND	100	0
VIA	30	44.941247	5	DIFFP	5	AcDbEntity	0
62	0	20	1C1	62	1CE	8	VERTEX
5	0	67.081909	100	2	100	CONTACT	5
100	VERTEX	30	AcDbEntity	0	AcDbEntity	62	1D4
AcDb2dPolyline	5	0	8	POLYLINE	8	7	100
66	1B7	0	DIFFP	5	CONTACT	100	AcDbEntity
1	100	VERTEX	62	1C9	62	AcDbVertex	0
10	AcDbEntity	5	2	100	7	100	VIA
0	8	1BD	100	AcDbEntity	0	AcDb2dVertex	62
20	CONTACT	100	AcDb2dPolyline	8	POLYLINE	5	5
0	62	AcDbEntity	66	CONTACT	5	52.941247	100
30	7	8	1	62	1CF	20	AcDbVertex
0	100	CONTACT	10	7	100	77.581909	100
40	AcDbVertex	62	0	100	AcDbEntity	30	AcDb2dVertex
0.1	100	7	20	AcDb2dPolyline	8	0	46.941247
41	AcDb2dVertex	100	0	46	CONTACT	0	100
0.1	10	AcDbVertex	30	1	62	VERTEX	20
0	46.941247	100	0	10	7	5	77.581909
VERTEX	20	AcDb2dVertex	70	0	100	1D5	30
5	69.081909	10	1	20	AcDb2dPolyline	100	0
1B2	30	46.941247	40	0	66	AcDbEntity	0
100	0	20	0.1	30	1	8	VERTEX
AcDbEntity	0	69.081909	41	0	10	CONTACT	5
8	VERTEX	30	0.1	70	0	62	1DB
VIA	5	0	0	1	20	7	100
62	1B8	0	VERTEX	40	0	100	AcDbEntity
5	100	SEQEND	5	0.1	30	AcDbVertex	8
100	AcDbEntity	5	1C4	41	0	100	VIA
AcDbVertex	8	1BE	100	0.1	40	AcDb2dVertex	62
100	CONTACT	100	AcDbEntity	0	0.1	10	5
AcDb2dVertex	62	AcDbEntity	8	VERTEX	41	50.941247	100
10	7	8	DIFFP	5	0.1	20	AcDbVertex
55.941247	100	CONTACT	62	1CA	0	79.581909	100
20	AcDbVertex	62	2	100	VERTEX	30	AcDb2dVertex
86.581909	100	7	100	AcDbEntity	5	0	10
30	AcDb2dVertex	0	AcDbVertex	8	1D0	0	43.941247
0	10	POLYLINE	100	CONTACT	100	SEQEND	20
0	46.941247	5	AcDb2dVertex	62	AcDbEntity	5	77.581909
VERTEX	20	1BF	10	7	8	1D6	30
5	67.081909	100	53.941247	100	CONTACT	100	0
1B3	30	AcDbEntity	20	AcDbVertex	62	AcDbEntity	0
100	0	8	56.081909	100	7	8	SEQEND
AcDbEntity	0	CONTACT	30	AcDb2dVertex	100	CONTACT	5
8	VERTEX	62	0	10	AcDbVertex	62	1DC
VIA	5	7	0	50.941247	100	7	100
62	1B9	100	VERTEX	20	AcDb2dVertex	0	AcDbEntity
5	100	AcDb2dPolyline	5	79.581909	10	POLYLINE	8
AcDbEntity	66	1	1C5	30	50.941247	5	VIA
100	AcDbVertex	8	100	0	20	1D7	62
AcDbVertex	8	CONTACT	10	AcDbEntity	0	100	5
AcDb2dVertex	62	0	8	VERTEX	30	AcDbEntity	0
10	7	20	DIFFP	5	0	8	POLYLINE
58.941247	100	0	62	1CB	0	VIA	5
20	AcDbVertex	30	2	100	VERTEX	62	1DD
83.581909	100	0	100	AcDbEntity	5	5	100
30	AcDb2dVertex	40	AcDbVertex	8	1D1	100	AcDbEntity
0	10	0.1	100	CONTACT	100	AcDb2dPolyline	8
0	44.941247	41	AcDb2dVertex	62	AcDbEntity	66	VIA
SEQEND	20	0.1	10	7	8	1	62

NOR-2.DXF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อวัตถุประสงค์เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5	0	97.081909	100	2	100	6	100
100	VERTEX	30	AcDbEntity	0	AcDb2dVertex	100	AcDb2dVertex
AcDb2dPolyline	5	0	8	POLYLINE	10	AcDbVertex	10
66	1.00E+03	0	DIFFP	5	58.941247	100	61.441247
1	100	VERTEX	62	1F3	20	AcDb2dVertex	20
10	AcDbEntity	5	2	100	97.081909	10	100.081909
0	8	1.00E+09	100	AcDbEntity	30	31.5	30
20	CONTACT	100	AcDb2dPolyline	8	0	20	0
0	62	AcDbEntity	66	ALLU	0	53	0
30	7	8	1	62	VERTEX	30	VERTEX
0	100	CONTACT	10	6	5	0	5
40	AcDbVertex	62	0	100	1FB	0	207
0.1	100	7	20	AcDb2dPolyline	100	SEQEND	100
41	AcDb2dVertex	100	0	66	AcDbEntity	5	AcDbEntity
0.1	10	AcDbVertex	30	1	8	201	8
0	57.941247	100	0	10	ALLU	100	ALLU
VERTEX	20	AcDb2dVertex	70	0	62	AcDbEntity	62
5	99.081909	10	1	20	6	8	6
1DE	30	57.941247	40	0	100	ALLU	100
100	0	20	0.1	30	AcDbVertex	62	AcDbVertex
AcDbEntity	0	99.081909	41	0	100	6	100
8	VERTEX	30	0.1	40	AcDb2dVertex	0	AcDb2dVertex
VIA	5	0	0	0.1	10	POLYLINE	10
62	1.00E+04	0	VERTEX	41	58.941247	5	58.441247
5	100	SEQEND	5	0.1	20	202	20
100	AcDbEntity	1EA	1F0	0	96.081909	100	100.081909
AcDbVertex	8	100	100	VERTEX	30	AcDbEntity	30
100	CONTACT	100	AcDbEntity	5	0	8	0
AcDb2dVertex	62	AcDbEntity	8	1F6	0	ALLU	0
10	7	8	DIFFP	100	VERTEX	62	SEQEND
43.941247	100	CONTACT	62	AcDbEntity	5	6	5
20	AcDbVertex	62	2	8	1FC	100	208
80.581909	100	7	100	ALLU	100	AcDb2dPolyline	100
0	AcDb2dVertex	0	AcDbVertex	62	AcDbEntity	66	AcDbEntity
0	10	POLYLINE	100	6	8	1	8
0	57.941247	5	AcDb2dVertex	100	ALLU	10	ALLU
5	20	1EB	10	AcDbVertex	62	0	62
5	97.081909	100	30.941247	100	100	6	6
12F	30	AcDbEntity	20	AcDb2dVertex	100	0	0
100	0	8	101.081909	10	AcDbVertex	30	POLYLINE
AcDbEntity	0	CONTACT	30	54.941247	100	0	5
8	VERTEX	62	0	20	AcDb2dVertex	40	209
VIA	5	7	0	100.081909	10	0.1	100
62	1.00E+05	100	VERTEX	30	54.941247	41	AcDbEntity
5	100	AcDb2dPolyline	5	0	20	0.1	8
100	AcDbEntity	66	1F1	0	96.081909	0	ALLU
AcDbVertex	8	1	100	VERTEX	30	VERTEX	62
100	CONTACT	10	AcDbEntity	5	1F7	5	6
AcDb2dVertex	62	0	62	AcDbEntity	100	203	100
10	7	20	DIFFP	8	VERTEX	100	AcDb2dPolyline
46.941247	100	0	8	100	5	AcDbEntity	66
20	AcDbVertex	30	2	8	1FD	8	10
77.581909	100	0	100	ALLU	100	ALLU	0
30	AcDb2dVertex	40	AcDbVertex	62	AcDbEntity	62	0
0	10	0.1	100	6	8	6	20
0	55.941247	41	AcDb2dVertex	100	ALLU	100	0
SEQEND	20	0.1	10	AcDbVertex	62	AcDbVertex	30
5	97.081909	0	59.941247	100	6	100	0
1.00E+00	30	VERTEX	20	AcDb2dVertex	100	AcDb2dVertex	40
100	0	5	101.081909	10	AcDbVertex	10	0.1
AcDbEntity	0	1EC	30	58.941247	100	34.5	41
8	SEQEND	100	0	20	AcDb2dVertex	20	0.1
VIA	5	AcDbEntity	0	100.081909	10	53	0
62	1.00E+06	8	VERTEX	30	54.941247	30	VERTEX
100	100	CONTACT	5	0	20	0	5
0	AcDbEntity	62	1F2	0	100.081909	0	20A
POLYLINE	8	7	100	SEQEND	30	SEQEND	100
5	CONTACT	100	AcDbEntity	5	0	5	AcDbEntity
1.00E+01	62	AcDbVertex	8	1F8	0	204	8
100	7	100	DIFFP	100	SEQEND	100	ALLU
AcDbEntity	0	AcDb2dVertex	62	AcDbEntity	5	AcDbEntity	62
8	POLYLINE	10	2	8	1FE	8	6
CONTACT	5	57.941247	100	ALLU	100	ALLU	100
62	1.00E+07	20	AcDbVertex	62	AcDbEntity	62	AcDbVertex
7	100	97.081909	100	6	8	100	100
100	AcDbEntity	30	AcDb2dVertex	0	ALLU	0	AcDb2dVertex
AcDb2dPolyline	8	0	10	POLYLINE	62	POLYLINE	10
66	CONTACT	0	59.941247	5	6	5	58.941247
1	62	VERTEX	20	1F9	0	205	20
10	7	5	95.081909	100	POLYLINE	100	97.081909
0	100	1ED	30	AcDbEntity	5	AcDbEntity	30
20	AcDb2dPolyline	100	0	8	1FF	8	0
0	66	AcDbEntity	0	ALLU	100	ALLU	0
30	1	8	VERTEX	62	AcDbEntity	62	VERTEX
0	10	CONTACT	5	6	8	6	5
70	0	62	1F3	100	ALLU	100	20B
1	20	7	100	AcDb2dPolyline	62	AcDb2dPolyline	100
40	0	100	AcDbEntity	66	6	66	AcDbEntity
0.1	30	AcDbVertex	8	1	100	1	8
0.1	0	100	DIFFP	10	AcDb2dPolyline	10	ALLU
0.1	40	AcDb2dVertex	62	0	66	0	62
0	0.1	10	2	20	1	20	6
VERTEX	41	55.941247	100	0	10	0	100
5	0.1	20	AcDbVertex	30	0	30	AcDbVertex
1.00E+02	0	99.081909	100	0	20	0	100
100	0	30	AcDb2dVertex	40	0	40	AcDb2dVertex
AcDbEntity	5	0	10	0.1	30	0.1	10
8	1.00E+08	0	58.941247	41	0	41	60.941247
CONTACT	100	SEQEND	20	0.1	40	0.1	20
62	AcDbEntity	5	95.081909	0	0	0	97.081909
7	8	1EE	30	VERTEX	0.1	VERTEX	30
100	CONTACT	100	0	5	0.1	5	0
AcDbVertex	62	AcDbEntity	0	1FA	0	206	0
100	7	8	SEQEND	100	VERTEX	100	SEQEND
AcDb2dVertex	100	CONTACT	5	AcDbEntity	5	AcDbEntity	5
10	AcDbVertex	62	1F4	8	208	8	20C
55.941247	100	7	100	ALLU	100	ALLU	100
20	AcDb2dVertex	0	AcDbEntity	62	AcDbEntity	62	AcDbEntity
99.081909	10	POLYLINE	8	6	8	4	8
30	55.941247	5	DIFFP	100	ALLU	100	ALLU
0	20	1EF	62	AcDbVertex	62	AcDbVertex	62

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

NOR-2.DXF

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6	3	60.941247	41	54.941247	5	34.5	41
0	213	20	0.1	20	22B	20	0.1
POLYLINE	100	87.581909	0	87.581909	100	23	0
2	AcDbEntity	30	VERTEX	30	AcDbEntity	30	VERTEX
200	8	0	5	0	8	0	5
100	ALU1	0	21F	0	ALU1	0	237
AcDbEntity	62	SEQEND	100	VERTEX	62	SEQEND	100
8	5	219	8	AcDbEntity	5	231	AcDbEntity
ALU1	100	100	ALU1	100	AcDb2dPolyline	100	ALU1
62	AcDb2dPolyline	66	AcDbEntity	66	AcDbEntity	66	AcDbEntity
6	66	8	6	8	1	8	6
100	1	10	ALU1	10	ALU1	10	100
AcDb2dPolyline	0	62	AcDbVertex	62	0	62	AcDbVertex
66	20	6	100	6	20	6	100
10	0	0	AcDb2dVertex	100	0	0	AcDb2dVertex
0	30	POLYLINE	10	AcDbVertex	30	POLYLINE	10
20	0	5	54.941247	100	0	5	34.5
0	40	21A	20	AcDb2dVertex	40	232	20
30	0.1	100	87.581909	10	0.1	100	26
0	41	AcDbEntity	30	54.941247	41	AcDbEntity	30
40	0.1	8	0	20	0.1	8	0
0.1	0	ALU1	0	87.581909	0	ALU1	0
41	VERTEX	62	VERTEX	30	VERTEX	62	SEQEND
0.1	5	6	5	0	5	6	5
0	214	100	220	0	22C	100	238
VERTEX	100	AcDb2dPolyline	100	SEQEND	100	AcDb2dPolyline	100
5	AcDbEntity	66	AcDbEntity	5	AcDbEntity	66	AcDbEntity
20E	8	1	226	8	1	8	8
100	ALU1	10	ALU1	100	ALU1	10	ALU1
AcDbEntity	62	0	62	AcDbEntity	62	0	62
8	6	20	6	8	6	20	6
ALU1	100	0	100	ALU1	100	0	0
62	AcDbVertex	30	AcDbVertex	62	AcDbVertex	30	POLYLINE
6	100	0	100	6	100	0	5
100	AcDb2dVertex	40	AcDb2dVertex	0	AcDb2dVertex	40	239
AcDbVertex	10	0.1	10	POLYLINE	10	0.1	100
100	32	41	59.941247	5	58.941247	41	AcDbEntity
AcDb2dVertex	20	0.1	20	227	20	0.1	8
10	43.5	0	87.581909	100	87.581909	0	ALU1
35	0	VERTEX	30	AcDbEntity	30	VERTEX	62
20	0	5	0	8	5	0	6
38.5	0	21B	0	ALU1	0	233	100
30	SEQEND	100	SEQEND	62	VERTEX	100	AcDb2dPolyline
0	5	AcDbEntity	6	5	6	AcDbEntity	66
0	215	8	221	8	22D	8	1
SEQEND	100	ALU1	100	AcDb2dPolyline	100	ALU1	10
5	AcDbEntity	62	AcDbEntity	66	AcDbEntity	62	0
20F	8	6	8	1	8	6	20
100	ALU1	100	ALU1	10	ALU1	100	0
AcDbEntity	62	AcDbVertex	62	0	62	AcDbVertex	30
8	6	100	6	20	6	100	0
ALU1	0	AcDb2dVertex	0	0	100	AcDb2dVertex	40
62	POLYLINE	10	POLYLINE	30	AcDbVertex	10	0.1
6	5	60.941247	5	0	100	47.941247	41
0	216	20	222	40	AcDb2dVertex	20	0.1
POLYLINE	100	87.581909	100	0.1	10	70.081909	0
5	AcDbEntity	30	AcDbEntity	41	60.941247	30	VERTEX
210	8	0	8	0.1	20	0	5
100	ALU1	0	ALU1	0	87.581909	0	23A
AcDbEntity	62	VERTEX	62	VERTEX	30	VERTEX	100
8	6	5	6	5	0	AcDbEntity	8
ALU1	100	21C	100	228	0	234	ALU1
62	AcDb2dPolyline	100	AcDb2dPolyline	100	SEQEND	100	62
6	66	AcDbEntity	66	AcDbEntity	5	AcDbEntity	6
100	1	8	1	8	22E	8	6
AcDb2dPolyline	10	ALU1	10	ALU1	100	ALU1	100
66	0	62	0	62	AcDbEntity	62	AcDbVertex
1	20	6	20	6	8	6	100
10	0	100	0	100	ALU1	100	AcDb2dVertex
0	30	AcDbVertex	30	AcDbVertex	62	AcDbVertex	10
0	0	100	0	100	100	60.941247	20
30	0.1	AcDb2dVertex	40	AcDb2dVertex	0	AcDb2dVertex	87.581909
0	41	10	0.1	POLYLINE	0	60.941247	30
40	0.1	60.941247	20	5	20	0	0
0.1	0	74.581909	0	87.581909	100	70.081909	0
41	VERTEX	30	VERTEX	30	AcDbEntity	30	VERTEX
0.1	5	0	5	0	8	0	5
0	217	0	223	0	ALU1	0	23B
VERTEX	100	SEQEND	100	VERTEX	62	SEQEND	100
5	AcDbEntity	5	AcDbEntity	5	6	5	AcDbEntity
211	8	21D	8	229	100	235	8
100	ALU1	100	ALU1	100	AcDb2dPolyline	100	ALU1
AcDbEntity	62	AcDbEntity	62	AcDbEntity	66	AcDbEntity	62
8	6	8	6	8	1	8	6
ALU1	100	ALU1	100	ALU1	10	ALU1	100
62	AcDbVertex	62	AcDbVertex	62	0	62	AcDbVertex
6	100	6	100	6	20	6	100
100	AcDb2dVertex	0	AcDb2dVertex	100	0	0	AcDb2dVertex
AcDbVertex	10	POLYLINE	10	AcDbVertex	30	POLYLINE	10
100	60.941247	5	59.941247	100	0	5	60.941247
AcDb2dVertex	20	21E	20	AcDb2dVertex	40	236	20
10	97.081909	100	87.581909	10	0.1	100	70.081909
35	0	AcDbEntity	30	58.941247	41	AcDbEntity	30
20	0	8	0	20	0.1	8	0
38.5	0	ALU1	0	87.581909	0	ALU1	0
30	VERTEX	62	VERTEX	30	VERTEX	62	SEQEND
0	5	6	5	0	5	6	5
0	218	100	224	0	230	100	23C
SEQEND	100	AcDb2dPolyline	100	SEQEND	100	AcDb2dPolyline	100
5	AcDbEntity	66	AcDbEntity	5	AcDbEntity	66	AcDbEntity
212	8	1	22A	8	1	8	6
100	ALU1	10	ALU1	100	ALU1	10	ALU1
AcDbEntity	62	0	62	AcDbEntity	62	0	62
8	6	20	6	8	6	20	6
ALU1	100	0	100	ALU1	100	0	0
62	AcDbVertex	30	AcDbVertex	62	AcDbVertex	30	POLYLINE
6	100	0	100	6	100	0	5
0	AcDb2dVertex	40	AcDb2dVertex	0	AcDb2dVertex	40	23D
POLYLINE	10	0.1	16	POLYLINE	10	0.1	100

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

NOR-2.DXF

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AcDbEntity	41	AcDbEntity	30	100	AcDb2dPolyline
8	0.1	8	0	AcDbEntity	66
ALU1	0	ALU1	0	8	1
62	VERTEX	62	VERTEX	ALU1	10
6	5	6	5	62	0
100	243	100	24F	6	20
AcDb2dPolyline	100	AcDb2dPolyline	100	100	0
64	AcDbEntity	64	AcDbEntity	AcDbVertex	30
1	8	1	8	100	0
10	ALU1	10	ALU1	AcDb2dVertex	40
0	62	0	62	10	0.1
30	6	20	6	54.941247	41
0	100	0	100	20	0.1
30	AcDbVertex	30	AcDbVertex	64.081909	0
0	100	0	100	30	VERTEX
40	AcDb2dVertex	40	AcDb2dVertex	0	5
0.1	10	0.1	10	0	262
41	60.941247	41	47.941247	SEQEND	100
0.1	20	0.1	20	25C	AcDbEntity
0	67.081909	0	64.081909	100	8
VERTEX	30	VERTEX	30	AcDbEntity	ALU1
5	0	5	0	8	62
23E	0	24A	0	6	6
100	VERTEX	100	VERTEX	ALU1	100
AcDbEntity	5	AcDbEntity	5	62	AcDbVertex
8	244	8	250	6	100
ALU1	100	ALU1	100	0	AcDb2dVertex
62	AcDbEntity	62	AcDbEntity	POLYLINE	10
6	8	6	8	5	54.941247
100	ALU1	100	ALU1	25D	20
AcDbVertex	62	AcDbVertex	62	100	57.081909
100	6	100	6	AcDbEntity	30
AcDb2dVertex	100	AcDb2dVertex	100	8	0
10	AcDbVertex	10	AcDbVertex	ALU1	0
60.941247	100	43.941247	100	62	VERTEX
20	AcDb2dVertex	20	AcDb2dVertex	6	5
67.081909	10	70.081909	10	100	263
30	47.941247	30	43.941247	AcDb2dPolyline	100
0	20	0	20	64	AcDbEntity
0	67.081909	0	64.081909	1	8
VERTEX	30	VERTEX	30	10	ALU1
5	0	5	0	0	62
23F	0	24B	0	20	6
100	SEQEND	100	VERTEX	0	100
AcDbEntity	5	AcDbEntity	5	30	AcDbVertex
8	245	8	251	0	100
ALU1	100	ALU1	100	40	AcDb2dVertex
62	AcDbEntity	62	AcDbEntity	0.1	10
6	8	6	8	41	55.941247
100	ALU1	100	ALU1	0.1	20
AcDbVertex	62	AcDbVertex	62	0	57.081909
100	6	100	6	VERTEX	30
AcDb2dVertex	0	AcDb2dVertex	100	2	0
10	POLYLINE	10	AcDbVertex	25E	0
60.941247	5	47.941247	100	100	SEQEND
20	246	20	AcDb2dVertex	AcDbEntity	5
60.081909	100	70.081909	10	1	264
30	AcDbEntity	30	43.941247	10	100
0	8	0	20	0	AcDbEntity
0	ALU1	0	70.081909	20	8
0	62	0	30	0	ALU1
5	6	5	0	AcDbVertex	62
240	100	24C	0	10	6
100	AcDb2dPolyline	100	SEQEND	40	0
AcDbEntity	66	AcDbEntity	5	0.1	AcDb2dVertex
8	1	8	252	41	10
ALU1	10	ALU1	100	0.1	58.941247
62	0	62	AcDbEntity	0	20
6	20	6	8	0	57.081909
100	0	100	ALU1	0	100
AcDbVertex	30	POLYLINE	62	VERTEX	30
100	0	24D	6	5	8
AcDb2dVertex	40	100	0	259	ALU1
10	0.1	100	256	100	62
63.941247	41	AcDbEntity	100	AcDbEntity	5
20	0.1	8	ALU1	8	25F
60.081909	0	ALU1	62	ALU1	100
30	VERTEX	62	6	6	AcDbEntity
0	5	8	100	100	66
0	247	100	AcDbVertex	AcDbVertex	1
SEQEND	100	AcDb2dPolyline	100	100	10
5	AcDbEntity	66	AcDb2dVertex	10	0
241	8	1	10	55.941247	30
100	ALU1	10	AcDb2dPolyline	20	100
AcDbEntity	62	0	66	60.081909	40
8	6	20	1	30	10
ALU1	100	0	10	0	0.1
62	AcDbVertex	30	0	0	41
6	100	0	0	0	0.1
0	AcDb2dVertex	40	0	0	60.081909
POLYLINE	10	0.1	30	0	0
5	21	41	0	0	VERTEX
242	20	0.1	40	5	30
100	26	0	0.1	25	0
AcDbEntity	30	VERTEX	41	100	SEQEND
8	0	5	0.1	AcDbEntity	5
ALU1	0	24E	0	8	AcDbEntity
62	SEQEND	100	VERTEX	ALU1	100
6	5	AcDbEntity	5	6	AcDbEntity
100	248	8	254	100	6
AcDb2dPolyline	100	ALU1	100	POLYLINE	100
64	AcDbEntity	62	AcDbEntity	5	AcDb2dVertex
1	8	6	8	258	10
10	ALU1	100	ALU1	100	54.941247
0	62	AcDbVertex	62	AcDbEntity	20
20	6	100	6	60.081909	100
0	0	AcDb2dVertex	100	30	AcDbEntity
30	POLYLINE	10	AcDbVertex	0	8
0	5	47.941247	100	0	ALU1
40	249	20	AcDb2dVertex	0	62
0.1	100	67.081909	10	5	5
				25B	267

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อ NOR-2.DXF เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

100	VERTEX	62	VERTEX	30	AcDbEntity	5	49.941247
AcDbEntity	5	0	5	0	8	285	20
8	26D	100	279	0	ALU1	100	77.581909
ALU1	100	AcDb2dPolyline	100	SEQEND	62	AcDbEntity	30
62	AcDbEntity	66	AcDbEntity	5	6	8	0
6	8	1	8	27F	100	ALLU1	0
100	ALLU1	10	ALLU1	100	AcDb2dPolyline	62	VERTEX
AcDbVertex	62	0	62	AcDbEntity	66	6	5
100	6	20	6	8	1	100	291
AcDb2dVertex	100	0	100	ALLU1	10	AcDb2dPolyline	100
10	AcDbVertex	30	AcDbVertex	62	0	66	AcDbEntity
63.941247	100	0	100	6	20	1	8
20	AcDb2dVertex	40	AcDb2dVertex	0	0	10	ALLU1
57.081909	10	0.1	10	POLYLINE	30	0	62
30	55.941247	41	30.941247	5	0	20	6
0	20	0.1	20	280	40	0	100
0	60.081909	0	77.581909	100	0.1	30	AcDbVertex
VERTEX	30	VERTEX	30	AcDbEntity	41	0	100
5	0	5	0	8	0.1	40	AcDb2dVertex
268	0	274	0	ALLU1	0	0.1	10
100	VERTEX	100	VERTEX	62	VERTEX	41	47.941247
AcDbEntity	5	AcDbEntity	5	6	5	0.1	20
8	26E	8	27A	100	286	0	77.581909
ALLU1	100	ALLU1	100	AcDb2dPolyline	100	VERTEX	30
62	AcDbEntity	62	AcDbEntity	66	AcDbEntity	5	0
6	8	6	8	1	8	28C	0
100	ALLU1	100	ALLU1	10	ALLU1	100	SEQEND
AcDbVertex	62	AcDbVertex	62	0	62	AcDbEntity	5
100	6	100	6	20	6	8	292
AcDb2dVertex	100	AcDb2dVertex	100	0	100	ALLU1	100
10	AcDbVertex	10	AcDbVertex	30	AcDbVertex	62	AcDbEntity
63.941247	100	30.941247	100	0	100	6	8
20	AcDb2dVertex	20	AcDb2dVertex	40	AcDb2dVertex	100	ALLU1
49.081909	10	80.581909	10	0.1	10	AcDbVertex	62
30	55.941247	30	30.941247	41	47.941247	100	6
0	20	0	0.1	0.1	20	AcDb2dVertex	0
0	57.081909	0	80.581909	0	77.581909	10	POLYLINE
VERTEX	30	VERTEX	30	VERTEX	30	47.941247	5
5	0	5	0	5	0	20	293
269	0	275	0	281	0	80.581909	100
100	SEQEND	100	SEQEND	100	VERTEX	30	AcDbEntity
AcDbEntity	5	AcDbEntity	5	AcDbEntity	5	0	8
8	26F	8	27B	8	287	0	ALLU1
ALLU1	100	ALLU1	100	ALLU1	100	VERTEX	62
62	AcDbEntity	62	AcDbEntity	62	AcDbEntity	5	6
6	8	6	8	6	8	28D	100
100	ALLU1	100	ALLU1	100	ALLU1	100	AcDb2dPolyline
AcDbVertex	62	AcDbVertex	62	AcDbVertex	62	AcDbEntity	66
100	6	100	6	100	6	8	1
AcDb2dVertex	10	AcDb2dVertex	0	AcDb2dVertex	100	ALLU1	10
29.941247	POLYLINE	10	POLYLINE	10	AcDbVertex	62	0
5	42.941247	5	42.941247	5	100	6	20
20	270	20	27C	20	AcDb2dVertex	100	0
49.081909	100	80.581909	100	81.581909	10	AcDbVertex	30
30	AcDbEntity	30	AcDbEntity	30	47.941247	100	0
0	8	0	AcDbEntity	0	20	AcDb2dVertex	40
0	ALLU1	0	ALLU1	0	76.581909	10	0.1
VERTEX	62	SEQEND	62	VERTEX	30	49.941247	41
5	6	5	6	5	0	20	0.1
26A	100	276	100	282	0	80.581909	0
100	AcDb2dPolyline	100	AcDb2dPolyline	100	VERTEX	30	0
AcDbEntity	66	AcDbEntity	66	AcDbEntity	5	0	VERTEX
8	1	8	1	8	288	0	5
ALLU1	10	ALLU1	10	ALLU1	100	SEQEND	294
62	0	62	0	62	AcDbEntity	5	100
6	20	6	20	6	8	28E	AcDbEntity
100	0	0	0	100	ALLU1	100	8
AcDbVertex	30	POLYLINE	30	AcDbVertex	62	AcDbEntity	ALLU1
100	0	5	100	100	6	6	62
AcDb2dVertex	40	277	40	AcDb2dVertex	100	ALLU1	100
10	0.1	100	0.1	AcDbVertex	62	AcDbVertex	AcDbVertex
29.941247	41	AcDbEntity	41	47.941247	100	6	100
0	0.1	8	0.1	20	AcDb2dVertex	0	AcDb2dVertex
57.081909	0	ALLU1	0	81.581909	10	POLYLINE	10
30	VERTEX	62	VERTEX	30	42.941247	5	49.941247
0	5	6	5	0	20	28F	20
0	271	100	27D	0	76.581909	100	80.581909
SEQEND	100	AcDb2dPolyline	100	VERTEX	30	AcDbEntity	30
5	AcDbEntity	66	AcDbEntity	5	0	8	0
26B	8	1	8	283	0	ALLU1	0
100	ALLU1	10	ALLU1	100	VERTEX	62	VERTEX
AcDbEntity	62	0	62	AcDbEntity	5	6	5
8	6	20	6	8	289	100	295
ALLU1	100	0	100	ALLU1	100	AcDb2dPolyline	100
62	AcDbVertex	30	AcDbVertex	62	AcDbEntity	66	AcDbEntity
6	100	0	100	6	8	1	8
AcDb2dVertex	40	AcDb2dVertex	100	ALLU1	10	ALLU1	ALLU1
POLYLINE	10	0.1	10	AcDbVertex	62	0	62
5	32	41	42.941247	100	6	20	6
26C	20	0.1	20	AcDb2dVertex	100	0	100
100	13	0	80.581909	10	AcDbVertex	30	AcDbVertex
AcDbEntity	30	VERTEX	30	47.941247	100	0	100
8	0	5	0	20	AcDb2dVertex	40	AcDb2dVertex
ALLU1	0	278	0	80.581909	10	0.1	53.941247
62	SEQEND	100	VERTEX	30	42.941247	0.1	20
5	AcDbEntity	5	AcDbEntity	0	20	0	80.581909
100	272	8	27E	0	77.581909	0	30
AcDb2dPolyline	100	ALLU1	100	SEQEND	30	VERTEX	0
66	AcDbEntity	62	AcDbEntity	5	0	5	0
1	8	6	8	284	0	290	0
10	ALLU1	100	ALLU1	100	SEQEND	100	VERTEX
0	62	AcDbVertex	62	AcDbEntity	5	AcDbEntity	5
20	6	100	6	8	28A	8	296
0	AcDb2dVertex	100	ALLU1	100	ALLU1	100	100
30	POLYLINE	10	AcDbVertex	62	AcDbEntity	62	AcDbEntity
0	5	42.941247	100	6	8	6	8
40	273	20	AcDb2dVertex	0	ALLU1	100	ALLU1
0.1	100	77.581909	10	POLYLINE	62	AcDbVertex	62
41	AcDbEntity	30	42.941247	5	6	100	6
0.1	8	0	20	285	0	AcDb2dVertex	100
0	ALLU1	0	81.581909	100	POLYLINE	10	AcDbVertex

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อ NOR-2.DXF เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

100	0	HEAD	10	62	POLY	SEQEND	30
AcDbVertex	62	100	0x	1	AcDbEntity	5	0
10	7	AcDbText	20	100	8	2B9	0
51.941247	100	0	0	AcDbVertex	POLY	100	SEQEND
20	AcDbVertex	POLYLINE	30	100	62	AcDbEntity	5
76.581909	100	5	0	AcDb2dVertex	1	2B8	0
30	AcDb2dVertex	2A2	40	10	100	POLY	100
0	10	100	0.1	52.941247	AcDbVertex	62	AcDbEntity
0	29.941247	AcDbEntity	41	20	100	1	8
VERTEX	20	8	0.1	103.081909	AcDb2dVertex	0	POLY
5	81.581909	POLY	0	30	10	POLYLINE	62
297	30	62	VERTEX	0	48.941247	5	1
100	0	1	5	0	20	2BA	0
AcDbEntity	0	100	2A8	VERTEX	75.581909	100	TEXT
8	VERTEX	AcDb2dPolyline	100	5	30	AcDbEntity	5
ALU1	5	66	AcDbEntity	2AE	0	8	2C0
62	29D	1	8	100	0	POLY	100
6	100	10	POLY	AcDbEntity	VERTEX	62	AcDbEntity
100	AcDbEntity	0	62	8	5	1	8
AcDbVertex	8	20	1	POLY	2B4	100	0
100	0	0	100	62	100	AcDb2dPolyline	62
AcDb2dVertex	62	30	AcDbVertex	1	AcDbEntity	66	7
10	7	0	100	100	8	1	100
49.941247	100	40	AcDb2dVertex	AcDbVertex	POLY	10	AcDbText
20	AcDbVertex	0.1	10	100	62	0	10
76.581909	100	41	52.941247	AcDb2dVertex	1	20	65.045615
30	AcDb2dVertex	0.1	20	10	100	0	20
0	10	0	57.081909	49.941247	AcDbVertex	30	23.389635
0	65.941247	VERTEX	30	20	100	0	30
VERTEX	5	5	0	103.081909	AcDb2dVertex	40	0
5	81.581909	2A3	0	30	10	0.1	40
298	30	100	VERTEX	0	48.941247	41	0.84375
100	0	AcDbEntity	5	0	20	0	1
AcDbEntity	0	8	2A9	VERTEX	81.581909	81	TITLE
8	VERTEX	POLY	100	5	30	VERTEX	7
ALU1	5	62	AcDbEntity	2AF	0	5	HEAD
62	29E	1	8	100	0	2BB	100
6	100	100	POLY	AcDbEntity	100	AcDbText	0
100	AcDbEntity	AcDbVertex	62	8	5	AcDbEntity	0
AcDbVertex	8	100	1	POLY	2B3	8	TEXT
100	0	AcDb2dVertex	100	62	100	POLY	5
AcDb2dVertex	62	10	AcDbVertex	1	AcDbEntity	62	2C1
10	7	49.941247	100	100	8	1	100
49.941247	100	20	AcDb2dVertex	AcDbVertex	POLY	100	AcDbEntity
20	AcDbVertex	75.581909	10	100	62	AcDbVertex	8
77.581909	100	30	52.941247	AcDb2dVertex	1	100	0
30	AcDb2dVertex	0	20	10	0	AcDb2dVertex	62
0	10	0	75.581909	49.941247	POLYLINE	10	7
0	65.941247	VERTEX	30	20	5	52.941247	100
SEQEND	20	5	0	81.581909	2B6	20	AcDbText
5	112.081909	2A4	0	30	100	81.581909	10
299	30	100	SEQEND	0	AcDbEntity	30	68.25
100	0	AcDbEntity	5	0	8	0	20
AcDbEntity	0	8	2AA	SEQEND	POLY	0	6
8	SEQEND	POLY	100	5	62	VERTEX	30
ALU1	5	62	AcDbEntity	2B0	1	5	0
62	29F	1	8	100	100	2BC	40
6	100	100	POLY	AcDbEntity	AcDb2dPolyline	100	1.125
0	AcDbEntity	AcDbVertex	62	8	66	AcDbEntity	1
POLYLINE	8	100	1	POLY	1	8	2000:01:00
5	0	AcDb2dVertex	0	62	10	POLY	7
29A	62	10	POLYLINE	1	0	62	HEAD
100	7	49.941247	5	0	20	1	100
AcDbEntity	0	20	2AB	POLYLINE	0	100	AcDbText
8	TEXT	57.081909	100	5	30	AcDbVertex	0
0	5	30	AcDbEntity	2B1	0	100	ENDSEC
62	2A0	0	8	100	40	AcDb2dVertex	0
7	100	0	POLY	AcDbEntity	0.1	10	SECTION
AcDb2dPolyline	8	VERTEX	62	8	41	54.941247	2
66	0	5	1	POLY	0.1	20	OBJECTS
10	62	100	AcDb2dPolyline	1	VERTEX	81.581909	DICTIONARY
0	100	8	66	AcDb2dPolyline	5	0	C
20	AcDbText	POLY	10	66	2B7	VERTEX	100
0	10	62	0	1	AcDbEntity	5	AcDbDictionary
0	86.352618	1	20	10	8	2BD	3
0	20	100	0	100	POLY	100	ACAD_GROUP
70	5.899442	AcDbVertex	30	20	62	AcDbEntity	350
1	30	100	0	0	1	8	D
40	0	AcDb2dVertex	40	30	100	POLY	3
0.1	40	10	0.1	0	AcDbVertex	62	ACAD_MLSTYLE
41	1.5	52.941247	41	40	100	1	350
0.1	1	20	0.1	0.1	AcDb2dVertex	100	E
0	2	57.081909	0	41	10	AcDbVertex	0
VERTEX	7	30	VERTEX	0.1	48.941247	100	DICTIONARY
5	HEAD	0	5	0	20	AcDb2dVertex	5
29B	100	0	2AC	VERTEX	81.581909	10	D
100	AcDbText	SEQEND	108	5	30	54.941247	102
AcDbEntity	0	5	AcDbEntity	2B2	0	20	[ACAD_REACTORS
8	TEXT	2A6	8	100	0	75.581909	330
0	5	100	POLY	AcDbEntity	VERTEX	30	C
62	2A1	AcDbEntity	62	8	5	0	102
7	100	8	1	POLY	2B8	0	]
100	AcDbEntity	POLY	100	62	100	VERTEX	100
AcDbVertex	8	62	AcDbVertex	1	AcDbEntity	5	AcDbDictionary
100	0	1	100	8	2BE	0	DICTIONARY
AcDb2dVertex	62	0	AcDb2dVertex	POLY	100	AcDbEntity	5
10	7	POLYLINE	10	62	8	E	E
29.941247	100	5	52.941247	100	100	POLY	102
20	AcDbText	2A7	20	10	AcDbVertex	62	[ACAD_REACTORS
112.081909	10	100	81.581909	49.941247	100	1	330
30	71.8125	AcDbEntity	50	20	AcDb2dVertex	100	C
0	0	20	0	30	10	AcDbVertex	102
0	11.3125	POLY	0	0	49.941247	100	1
VERTEX	30	62	VERTEX	0	20	AcDb2dVertex	100
5	0	1	5	0	81.581909	10	AcDbDictionary
29C	40	100	2AD	VERTEX	30	52.941247	3
100	1.125	AcDb2dPolyline	100	5	0	20	STANDARD
AcDbEntity	1	66	AcDbEntity	2B3	0	30	350
8	NOR_GATE	1	8	100	0	75.581909	350

NOR-2.DXF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
12
0
MLINESTYLE
5
12
102
(ACAD_REACTORS
330
E
102
)
100
AcDbMlineStyle
2
STANDARD
70
0
3

62
0
51
90
52
90
71
2
49
0.5
62
256
6
BYLAYER
49
-0.5
62
256
4
BYLAYER
0
ENDSEC
0
EOF
```



ภาคผนวก ค. โปรแกรมแปลงข้อมูลและผลลัพธ์

```
{ Program Convert Drawing Interchange File to using with EPISODE
  Last update June 08 1994
  Author : Ruangkrai Rangsiaphol
  Advisor :Assc.Dr. Kobchai Dejhan
}
```

```
PROGRAM DXF2EPS;
USES      Crt;
CONST     XCmScale = 2.54*4;
          YCmScale = 2.54*3;
          XShift   = 5;
          YShift   = 2;
TYPE      MFile = Array[1..6] Of Integer;

          Coordinate = Array[1..3,1..20] Of string[20];
          { 1 = X_coordinate, 2 = Y_coordinate, 3 = Polyline layers }

          Recbuff = Array[1..5] Of string[20];
          { 1 =x1, 2 =y1 , 3 =x2 , 4=y2 , 5 = Name }

VAR       MyFile,MyFile1,MyFile2,MyFile3,MyFile4 : File OF MFile;
          DXFFile,WRNFile,Epsfile: Text;
          MyFileName,DXFFileName,WRNFileName : String;
          MyBuf:MFile;
          Count : Integer;

..type
  PolyVector = record
    x,y : LongInt;
  end;

  { DXF Type }
  CircleType = record
    Layer : string[6];
    X,Y,R : real;
    Color : byte;
  end;
  LineType = record
    Layer : string[6];
    X1,Y1,X2,Y2 : real;
    Color : byte;
  end;
  Test = string[20];

var

  { DXF Var }
  DXFCircle : CircleType;
  DXFLine   : LineType;
  PLineBuf  : Coordinate;

var
  Data : byte;
  Code : string;
  Result : integer;
  Size : word;
var
  X,Y,R,X1,Y1,X2,Y2,M : LongInt;
  Scale,F : real;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

CurColor : byte;

Procedure CircleCommand;
begin
  case Data of
    8 : begin
        { Layer name }
        Readln(DXFFFile,DXFCircle.Layer);
      end;
    10 : begin
        { x coordinate }
        Readln(DXFFFile,Code);
        Val(Code,DXFCircle.X,Result);
      end;
    20 : begin
        { y coordinate }
        Readln(DXFFFile,Code);
        Val(Code,DXFCircle.Y,Result);
      end;
    40 : begin
        { radius }
        Readln(DXFFFile,Code);
        Val(Code,DXFCircle.R,Result);
      end;
    62 : begin
        { color }
        Readln(DXFFFile,Code);
        Val(Code,DXFCircle.Color,Result);
      end;
    else Readln(DXFFFile,Code);
  end;
end { CircleCommand };

Procedure LineCommand;
begin
  case Data of
    8 : begin
        { Layer name }
        Readln(DXFFFile,DXFLine.Layer);
      end;
    10 : begin
        { x1 coordinate }
        Readln(DXFFFile,Code);
        Val(Code,DXFLine.X1,Result);
      end;
    20 : begin
        { y1 coordinate }
        Readln(DXFFFile,Code);
        Val(Code,DXFLine.Y1,Result);
      end;
    11 : begin
        { x2 coordinate }
        Readln(DXFFFile,Code);
        Val(Code,DXFLine.X2,Result);
      end;
    21 : begin
        { y2 coordinate }
        Readln(DXFFFile,Code);
        Val(Code,DXFLine.Y2,Result);
      end;
    62 : begin
        { color }
        Readln(DXFFFile,Code);
        Val(Code,DXFLine.Color,Result);
      end;
    else Readln(DXFFFile,Code);
  end;
end { LineCommand };

Procedure PolyLineCommand(Var Buffer:Coordinate;Var
Point_Num:integer);
begin
  case Data of
    8 : begin
        { Layer name }
        Readln(DXFFFile,Buffer[3,Point_Num]);

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

    end;
10 : begin                                { x coordinate }
    Readln(DXFFile,Buffer[1,Point_Num]);
    end;
20 : begin                                { y coordinate }
    Readln(DXFFile,Buffer[2,Point_Num]);
    Point_num := Point_num + 1 ;          { Index to next corrdinate }

    end;
    else Readln(DXFFile,Code);
end;
end { PolyLineCommand };

```

```

Procedure BlockCommand(Var Buffer:Coordinate);
begin

```

```

    case Data of
        2 : begin                            { Block name }
            Readln(DXFFile,Buffer[3,1]);
            end;
        10 : begin                            { x coordinate }
            Readln(DXFFile,Buffer[1,1]);
            end;
        20 : begin                            { y coordinate }
            Readln(DXFFile,Buffer[2,1]);
            end;
        else Readln(DXFFile,Code);
    end;
end { PolyLineCommand };

```

```

Function Blocktext(buffer:coordinate):string;

```

```

var name ,x1,y1 :string;
    temp : real ;
begin
    name:=buffer[3,1];
    x1:=buffer[1,1] ;
    val(x1,temp,result);
    str(temp :4:0,x1);
    y1:=buffer[2,1] ;
    val(y1,temp,result);
    str(temp :4:0,y1);
    Blocktext:= 'figext '+name+'('+x1+', '+y1+')';

```

```

End;

```

```

Function BufftoRec(E_buff:Recbuff):String;

```

```

Var temp:string ;
    x1,y1,x2,y2,name:string;
Begin
    x1:=E_buff[1];
    Y1:=E_buff[2];
    X2:=E_buff[3];
    Y2:=E_buff[4];
    Name:=E_buff[5];
    Temp:='rec('+x1+', '+y1+', '+x2+', '+y2+', '+name+')';
    BufftoRec:=Temp

```

```

End;

```

```

Function Isrec(Var P_buff:Coordinate;Var E_Buff:Recbuff):Boolean;

```

```

Var p1,p2,p3,p4 :Boolean ;
    a : byte;
    x1,x2,y1,y2:Real;
    Result :integer;
    value : Real;
    Name :test ;

```

```

Begin

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

    { Checking for first point and Second point must be rectangular
  }
  if (P_buff[1,2] = P_buff[1,3]) or ( P_buff[2,2] = P_buff[2,3] )
  then P2 := True
  else P2 := False;
  { Checking for Second point and Third point must be rectangular
  }
  if (P_buff[1,3] = P_buff[1,4]) or ( P_buff[2,3] = P_buff[2,4] )
  then P3 := True
  else P3 := False;
  { Checking for Third point and Forth point must be rectangular
  }
  if (P_buff[1,4] = P_buff[1,5]) or ( P_buff[2,4] = P_buff[2,5] )
  then P3 := True
  else P3 := False ;
  P4 := True;
  For a := 1 to 4
  DO   if p_buff[3,a] <> p_buff[3,a+1] then P4 := False ;
      { all of polyline must be same layer }
  Isrec := p1 and p2 and p3 and p4 ;
  x1:=99999;
  x2:=0;
  y1:=99999;
  y2:=0;

  For a:= 1 to 4 do
  begin
    val(p_buff[1,a+1],value,result);
    if value < x1 then x1 := value ;
    if value > x2 then x2 := value ;
    val(p_buff[2,a+1],value,result) ;
    if value < y1 then y1 := value ;
    if value > y2 then y2 := value ;
  End;

  Name := p_buff[3,1] ;
  If name = 'CONTACT' Then Name := 'cp';
  if name = 'DIFFN' Then Name := 'dn';
  If name = 'DIFFP' Then Name := 'dp';
  If name = 'ALU1' Then Name := 'a1';
  If name = 'ALU2' Then Name := 'a2';
  If name = 'POLY' Then Name := 'si';
  If name = 'VIA' Then Name := 'vi';

  str(x1:4:0,E_buff[1]) ;
  str(y1:4:0,E_buff[2]) ;
  str(x2:4:0,E_buff[3]) ;
  str(y2:4:0,E_buff[4]) ;
  E_buff[5]:=Name ;

End;

Procedure RcvFile(Var FiDxf,FiLay : String);
Var Count : Byte;
Label quit;
Begin
  FiDxf := ''; FiLay := '';
  Write('ENTER FILE NAME (DXF) : ');Read(FiDxf);
  Count := 1;
  While(FiDxf[Count] <> '.') Do
  Begin
    
```

```

    Filay := Filay + Fidxf[Count];
    Inc(Count);
    if count > 8 then
    begin
        Filay := Fidxf;
        Fidxf := Fidxf+'.dxf';
        goto quit;
    end;
End;

Quit:
End;

Procedure HeadWRN;
Begin
    WriteLn(WRNFile,'WARNING FILE');
    WriteLn(WRNFile,'=====');
    WriteLn(WRNFile);
    WriteLn(WRNFile,'There are some COMMAND cannot convert');
    WriteLn(WRNFile,'this file use for report them.');
```



```

    WriteLn(WRNFile);
End;

Var P_count ,l :Integer;
    P_Buff,B_buff : Coordinate;
    R_Buff : RecBuff;

BEGIN    { Begin Of Main Program }

    ClrScr;
    RcvFile(DXFFFileName,MyFileName);
    Write(' SCALE :');ReadLn(Scale);

    WRNFileName := '';
    WRNFileName := MyFileName+'.WRN';
    Assign(WRNFile,WRNFileName);

    Assign(DXFFFile,DXFFFileName);

    Assign(MyFile1,MyFileName+'.LY1');
    Assign(EPSFile,MyFileName+'.EPS');

    {$I-}
        Reset(DXFFFile);      { input  dxf }
        Rewrite(WRNFile);     { output warning }
        Rewrite(EPSFile);     { output EPS File }
    {$I+}

    if IOResult = 0
    then
    begin

        HeadWRN;

        l:=0;
        while not EOF(DXFFFile) do
        begin
            ReadLn(DXFFFile,Code);
            if Code = 'LINE'
            then
                begin { Line }
                    MyBuf[l] := 1;
                    repeat
                        ReadLn(DXFFFile,Code);

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

        Val(Code,Data,Result);
        if Data <> 0 then LineCommand;
until Data = 0;
MyBuf[2] := Round(DXFLLine.X1 * Scale);
MyBuf[3] := Round(DXFLLine.Y1 * Scale);
MyBuf[4] := Round(DXFLLine.X2 * Scale);
MyBuf[5] := Round(DXFLLine.Y2 * Scale);
If (DXFLLine.Color <> 0) Then MyBuf[6] :=1
                        Else MyBuf[6] :=0;
    { Write(MyFile,MyBuf); }
end { Line }
else
    begin{ POLYLINE }
        if Code = 'POLYLINE'
then
begin
    P_count := 1;
    repeat

        Readln(DXFFile,Code);
        Val(Code,Data,Result);
        if Data <> 0 then PolyLineCommand(P_buff,P_count)
        else
            Begin
                Data:= 1;
                if not EOF(dxFile) then Readln(DxFile,code);
                If Code = 'SEQEND' then data :=0
                End;
            until Data = 0;
            If Isrec(P_buff,R_buff) then
                Flush(EpsFile);
                Writeln(EpsFile,BufftoRec(R_buff));
                l:=l+1;
            end { Polyline }
            else
                begin{ Block insert }
                    if Code = 'INSERT'
                    then
                        begin
                            repeat
                                Readln(DXFFile,Code);
                                Val(Code,Data,Result);
                                if Data <> 0 then BlockCommand(B_buff)
                                until Data = 0;
                                Writeln(EpsFile,Blocktext(B_buff));
                                l:=l+1;
                            end; { Insert }
                        end;
                    end; {end else }
                end; { end while }

            Close(DXFFile);      { dxf      }
            Close(WRNFile);     { warning  }
            Close(EPSFile);     { EPSFile  }

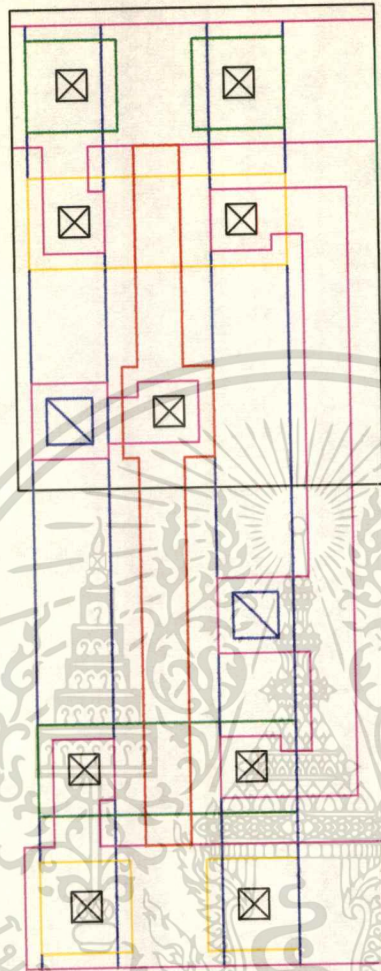
        end;
END.      { End Of Main Program }

```

ภาคผนวก ง. เลย์เอาต์ที่ได้ออกแบบ



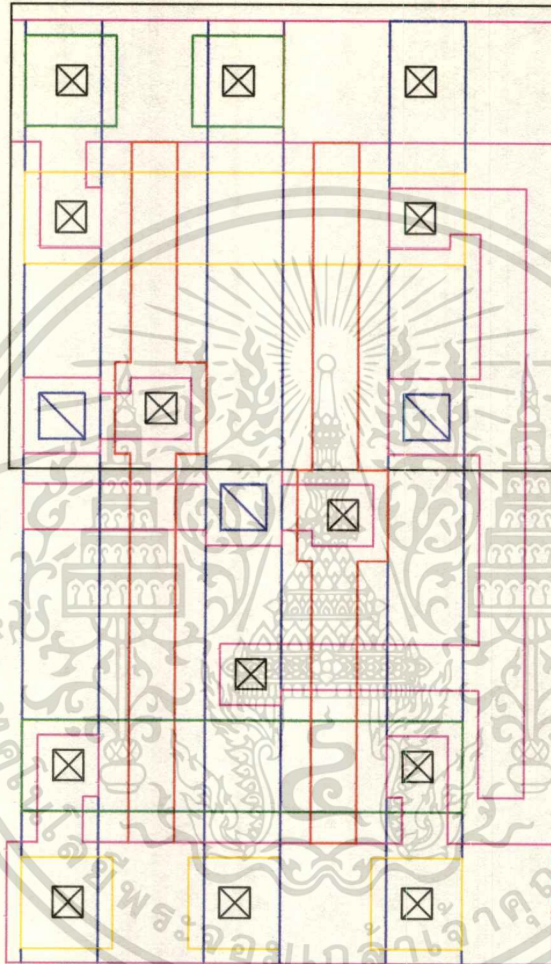
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



TITLE VLSI DESIGN	
ADVISOR Assoc.Prof.Dr.Kobchai DEJHAN	
STUDENT Mr.Ruangkrai RANGSIPHOL	
DRAWING INVERTER	
2000:1 SCALE	1 DWG-NO.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับควรใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

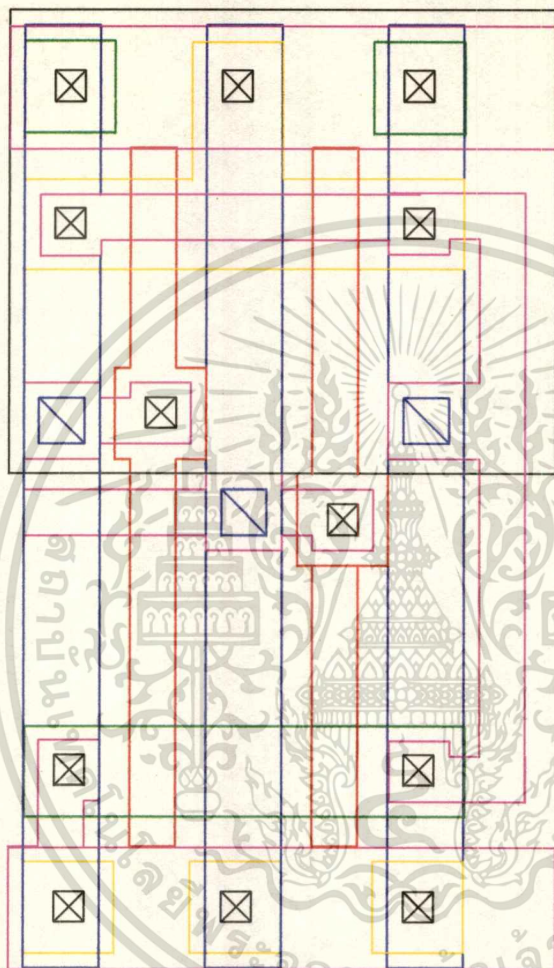
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



TITLE VLSI DESIGN	
ADVISOR Assoc.Prof.Dr.Kobchai DEJHAN	
STUDENT Mr.Ruangkrai RANGSIPHOL	
DRAWING NOR GATE	
2000:1 SCALE	2 DWG-NO.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษานานาชาติ ไม่อนุญาตให้นำไปเผยแพร่โดยไม่ได้รับอนุญาต

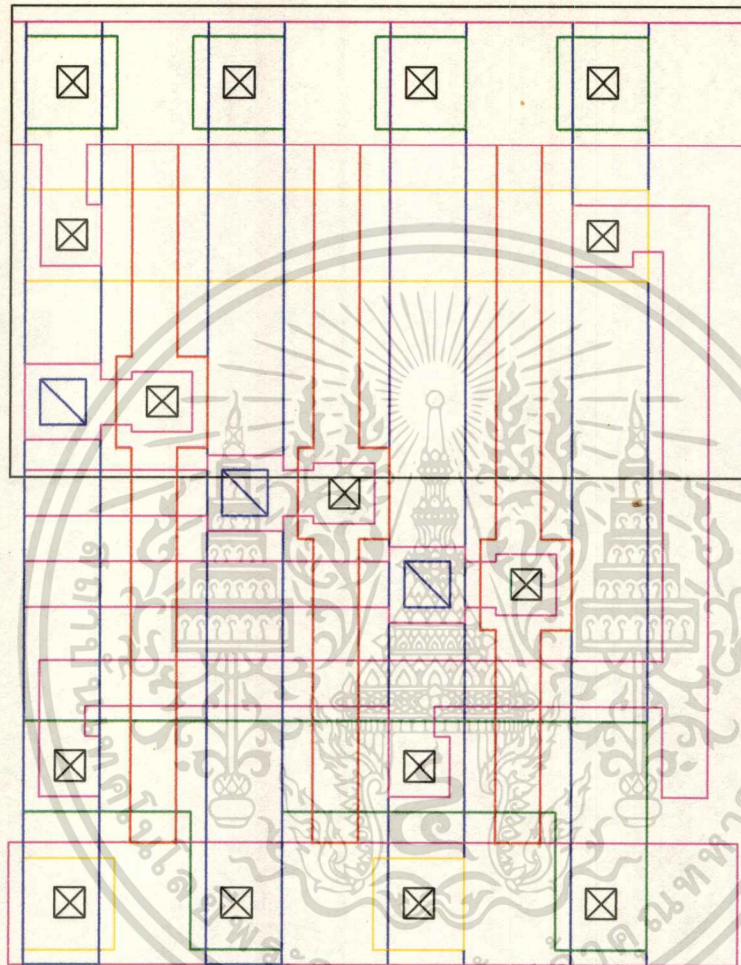
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



TITLE VLSI DESIGN	
ADVISOR Assoc.Prof.Dr.Kobchai DEJHAN	
STUDENT Mr.Ruangkrai RANGSIPHOL	
DRAWING NAND GATE	
2000:1 SCALE	3 DWG-NO.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ในทางอื่น

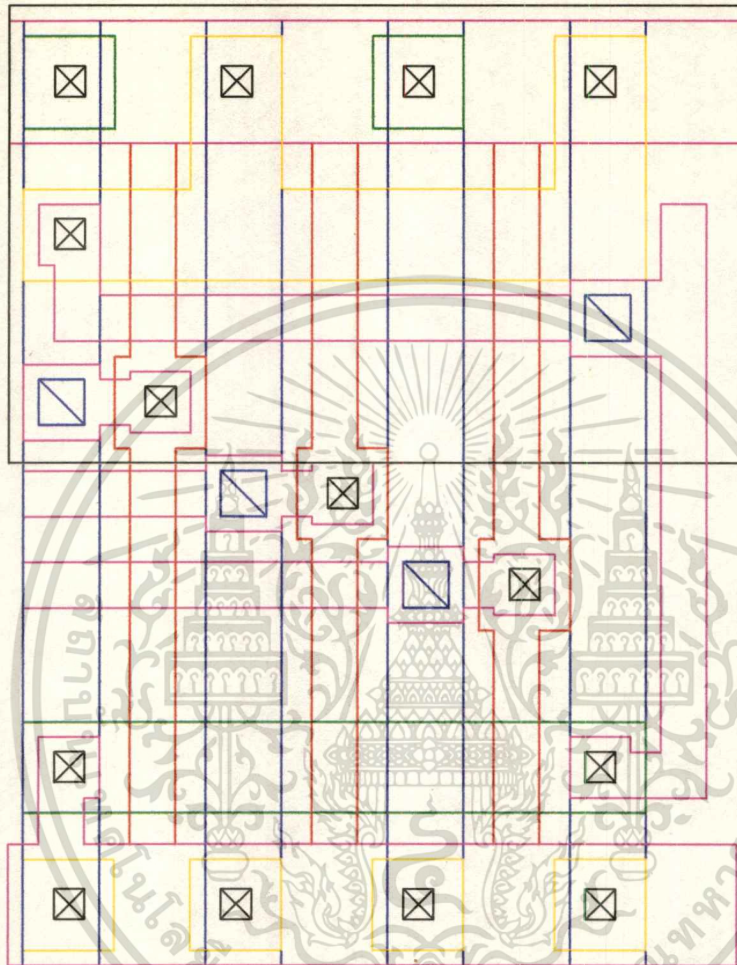
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



TITLE VLSI DESIGN	
ADVISOR Assoc.Prof.Dr.Kobchai DEJHAN	
STUDENT Mr.Ruangkrai RANGSIPHOL	
DRAWING NOR GATE 3 INPUTS	
2000:1 SCALE	4 DWG-NO.

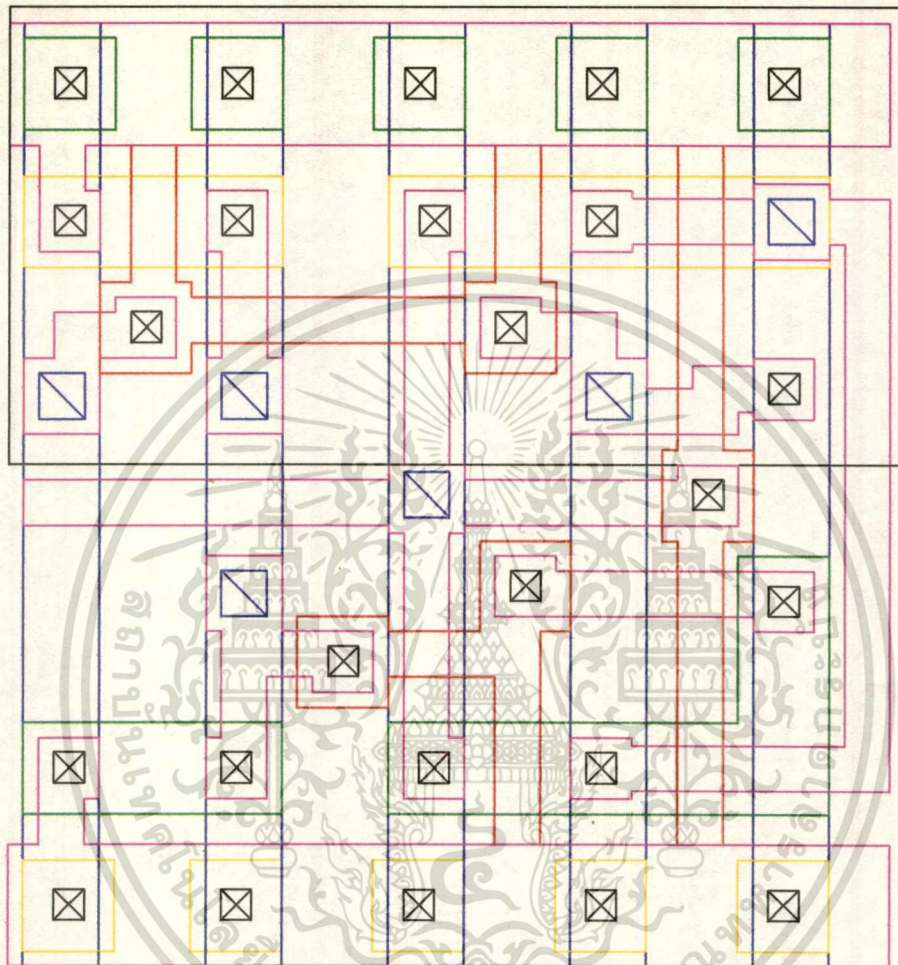
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้เฉพาะเพื่อการศึกษาเท่านั้น ไม่ควรเผยแพร่ให้ผู้อื่นได้โดยไม่ได้รับอนุญาต

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



TITLE VLSI DESIGN	
ADVISOR Assoc.Prof.Dr.Kobchai DEJHAN	
STUDENT Mr.Ruangkrai RANGSIPHOL	
DRAWING NAND GATE 3 INPUTS	
2000:1 SCALE	5 DWG-NO.

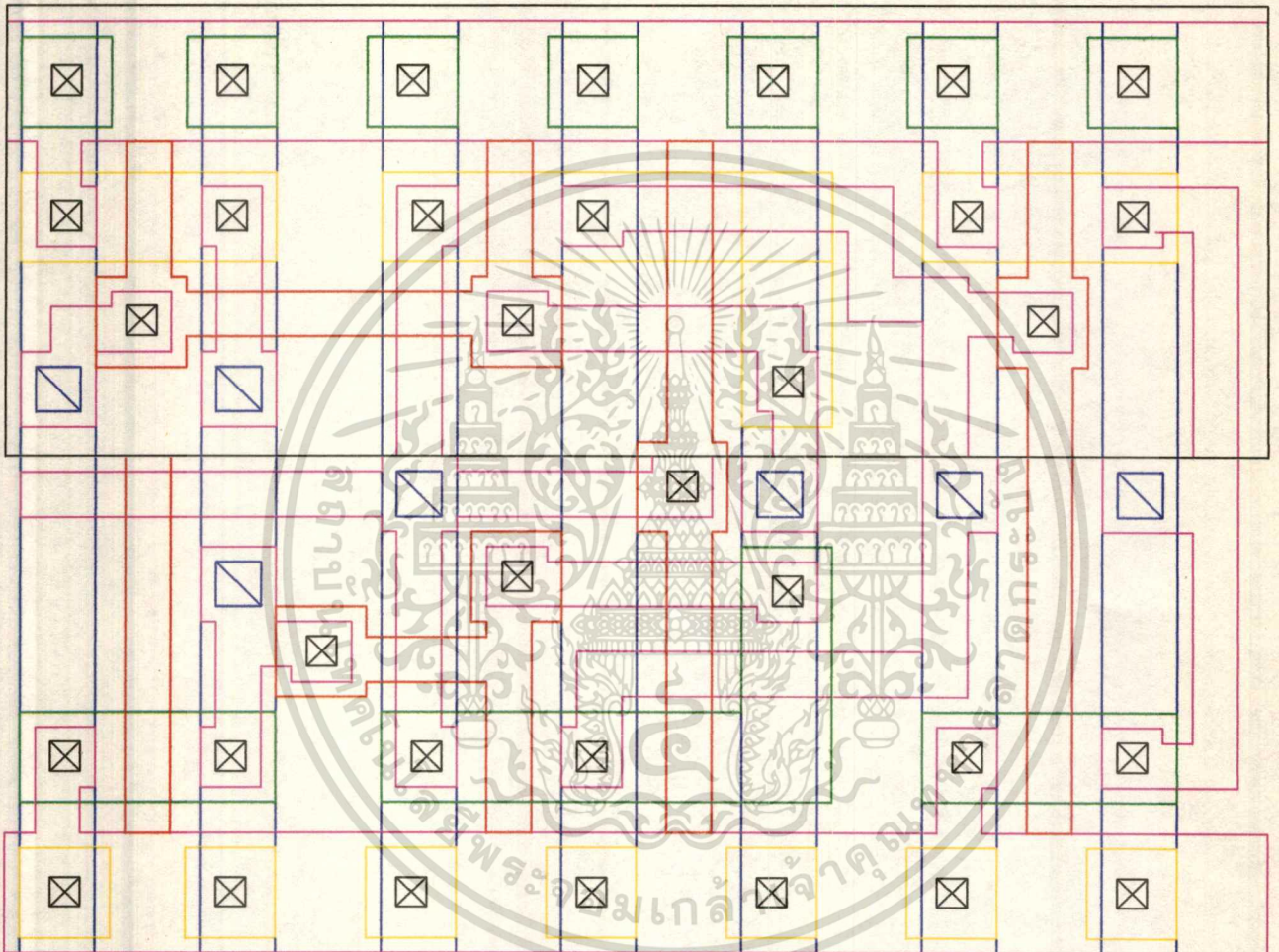
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



TITLE VLSI DESIGN	
ADVISOR Assoc.Prof.Dr.Kobchai DEJHAN	
STUDENT Mr.Ruangkrai RANGSIPHOL	
DRAWING XOR GATE	
2000:1 SCALE	6 DWG-NO.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้เฉพาะเพื่อการศึกษานี้เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์อื่นใด

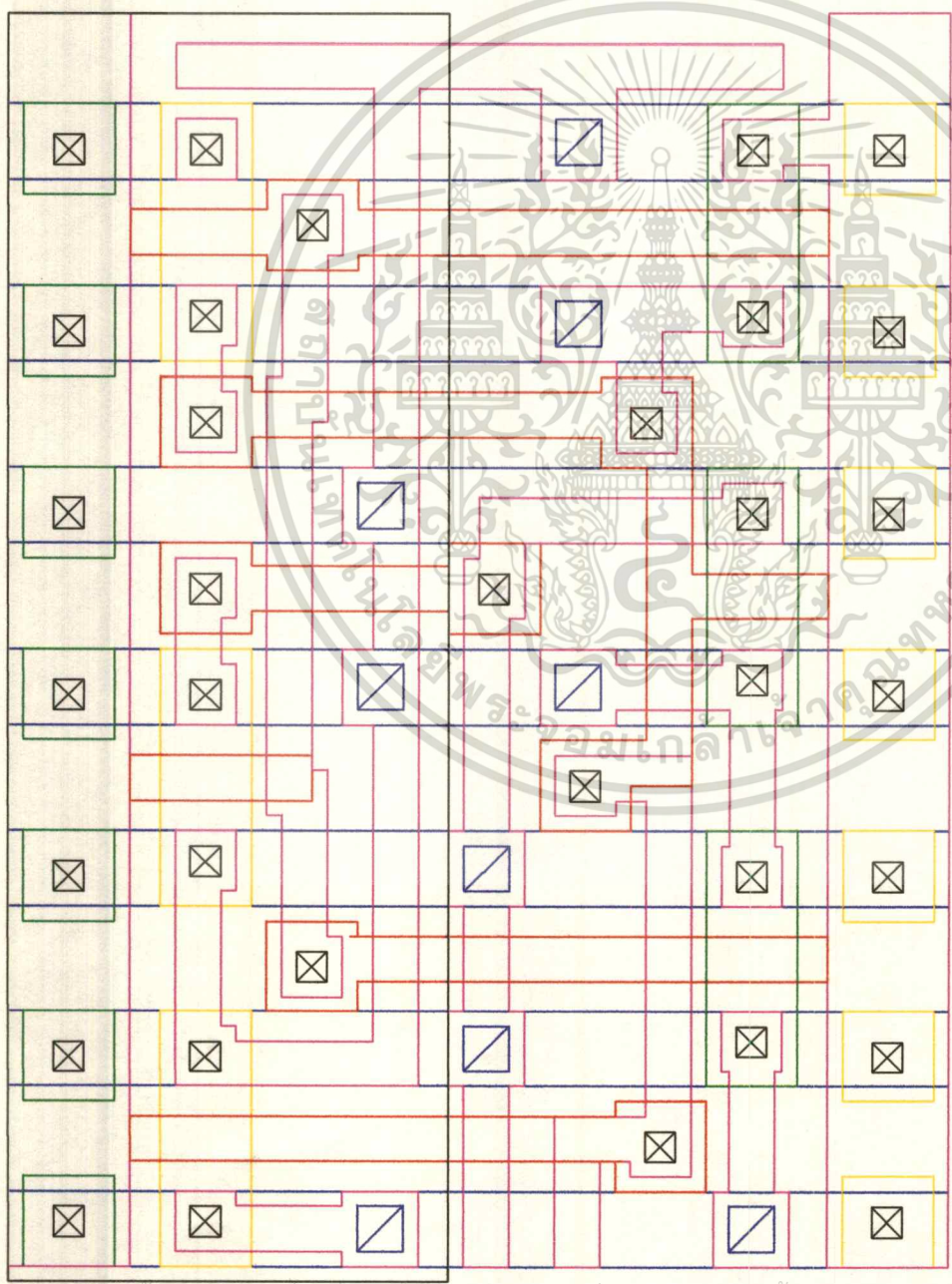
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



TITLE VLSI DESIGN	
ADVISOR Assoc.Prof.Dr.Kobchai DEJHAN	
STUDENT Mr.Ruangkrai RANGSIPHOL	
DRAWING XNOR GATE	
2000:1 SCALE	7 DWG-NO.

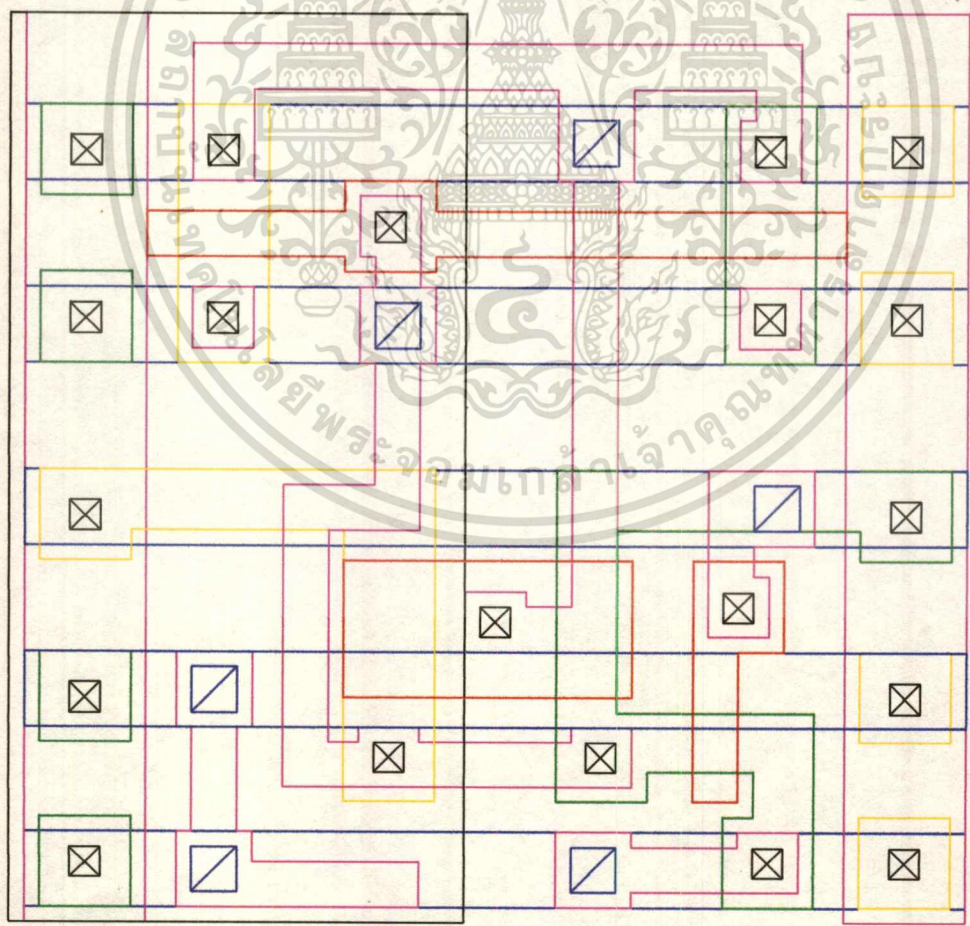
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์อื่นใด

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



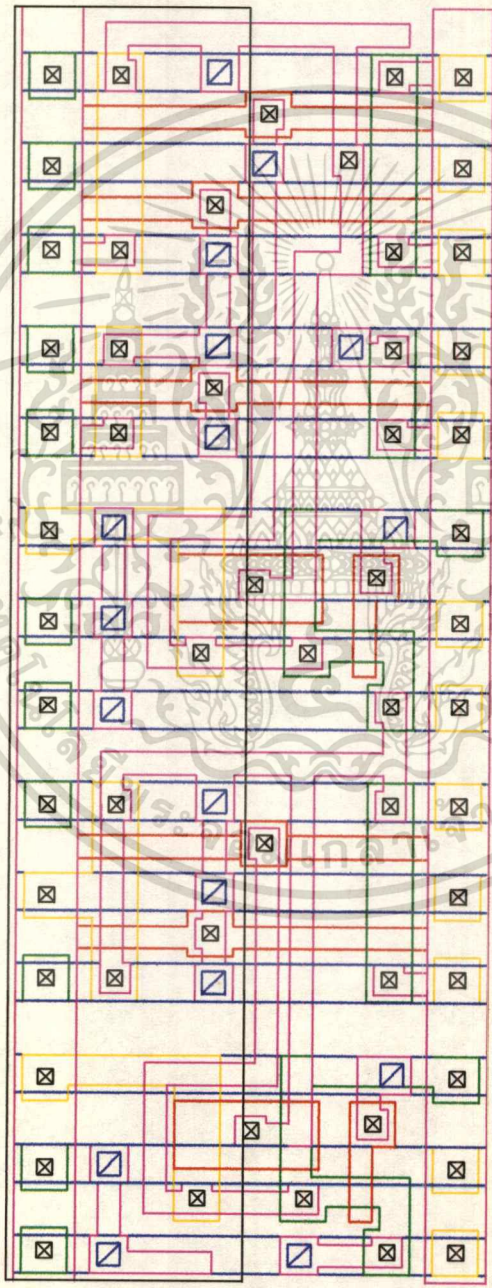
TITLE	VLSI DESIGN
ADVISOR	Assoc.Prof.Dr.Kobchai DEJHAN
STUDENT	Mr.Ruangkrai RANGSIPHOL
DRAWING	Multiplexer 2 inputs
SCALE	2000:1
DWG-NO.	8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



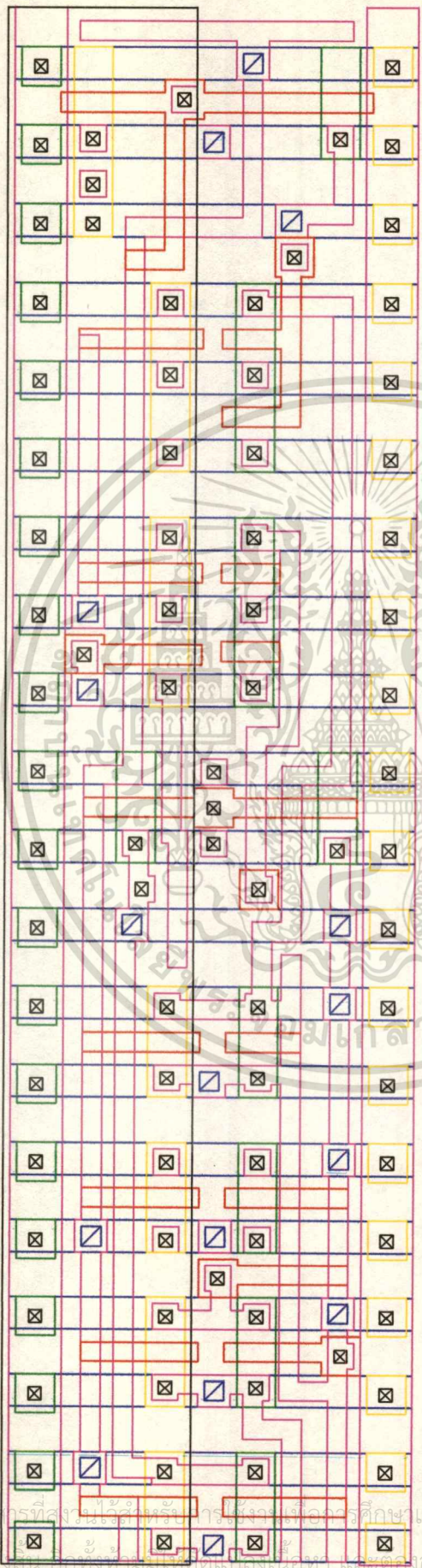
TITLE	VLSI DESIGN	
ADVISOR	Assoc.Prof.Dr.Kobchai DEJHAN	
STUDENT	Mr.Ruangkrai RANGSIPHOL	
DRAWING	Half Register	
SCALE	2000:1	9
	DWG-NO.	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

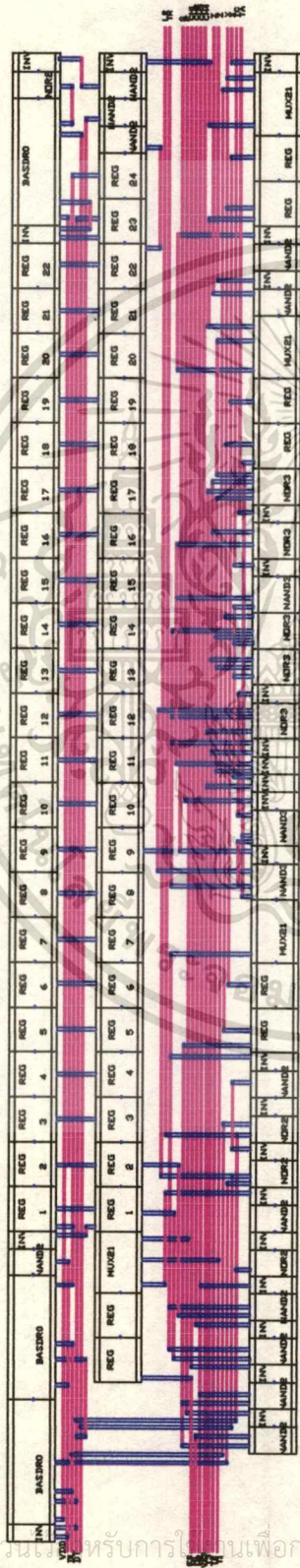


TITLE	VLSI DESIGN		
ADVISOR	Assoc.Prof.Dr.Kobchai DEJHAN		
STUDENT	Mr.Ruangkrai RANGSIPHOL		
DRAWING	D Flip-Flop with Reset		
SCALE	1000:1	10	DWG-NO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



TITLE	VLSI DESIGN
ADVISOR	Assoc.Prof.Dr.Kobchai DEJHAN
STUDENT	Mr.Ruangkrai RANGSIPHOL
DRAWING	Multiplexer 4 inputs
SCALE	1000:1
DWG-NO.	11



TITLE	VLSI DESIGN
ADVISOR	Assoc.Prof.Dr.Kobchai DEJHAN
STUDENT	Mr.Ruangkrai RANGSIPHOL
DRAWING	Squencer
SCALE	100:1
DWG-NO.	12

ผลลัพธ์ของการแปลงเลขเอด์เป็นข้อมูลในรูปแบบของโปรแกรม EPISODE

niv dn,dp,si,al,a2,mc,vi,cp,sx,vs,vd,bn,bp

fig seqbj

figext nand2(120,0)

figext inv(156,0)

figext mamd2(180,0)

figext inv(126,0)

figext nand2(240,0)

figext inv(276,0)

figext nand2(300,0)

figext inv(336,0)

figext nor2(360,0)

figext inv(396,0)

figext nand2(420,0)

figext inv(456,0)

figext nor2(480,0)

figext inv(516,0)

figext nor2(540,0)

figext inv(576,0)

figext nand2(600,0)

figext inv(636,0)

figext reg(660,0)

figext reg(720,0)

figext mux21(780,0)

figext nand3(864,0)

figext inv(912,0)

figext nand3(936,0)

figext inv(984,0)

figext inv(1008,0)

figext inv(1032,0)

figext inv(1056,0)

figext nor3(1080,0)

figext inv(1128,0)

figext nor3(1152,0)

figext nor3(200,0)

figext nand3(1248,0)

figext inv(1296,0)

figext nor3(1320,0)

figext inv(1368,0)

figext nor3(1392,0)

figext reg(1440,0)

figext reg(1500,0)

figext mux21(1560,0)

figext nand2(1644,0)

figext inv(1680,0)

figext nand2(1704,0)

figext inv(1740,0)

figext reg(1764,0)

figext reg(1824,0)

figext mux21(1884,0)

figext inv(1968,0)

figext reg(216,206)

figext reg(276,206)

figext mux21(336,206)

figext reg(420,206)

figext reg(480,206)

```

figext reg(540,206)
figext reg(600,206)
figext reg(660,206)
figext reg(720,206)
figext reg(780,206)
figext reg(840,206)
figext reg(900,206)
figext reg(960,206)
figext reg(1020,206)
figext reg(2080,206)
figext reg(1140,206)
figext reg(1200,206)
figext reg(1260,206)
figext reg(1320,206)
figext reg(1380,206)
figext reg(1440,206)
figext reg(1500,206)
figext reg(1560,206)
figext reg(1620,206)
figext reg(1680,206)
figext reg(1740,206)
figext reg(1800,206)
figext nand2(1860,206)
figext nand2(1896,206)
figext nand2(1932,206)
figext inv(1968,206)
figext inv(0,314)
figext basrr0(24,314)
figext basrr0(192,314)
figext nand2(360,314)
figext inv(396,314)
figext reg(420,314)
figext reg(480,314)
figext reg(540,314)
figext reg(600,314)
figext reg(660,314)
figext reg(720,314)
figext reg(780,314)
figext reg(840,314)
figext reg(900,314)
figext reg(960,314)
figext reg(1020,314)
figext reg(1080,314)
figext reg(1140,314)
figext reg(1200,314)
figext reg(1060,314)
figext reg(1320,314)
figext reg(1380,314)
figext reg(1440,314)
figext reg(1500,314)
figext reg(1560,314)
figext reg(1620,314)
figext reg(1680,314)
figext inv(1740,314)
figext basrr0(1764,314)
figext nor2(1932,314)
figext inv(1968,314)
rec(154,36,3,3,a1)

```

rec(314,36,3,3,a1)
 rec(274,36,3,3,a1)
 rec(334,36,3,3,a1)
 rec(394,36,3,3,a1)
 rec(418,36,3,3,a1)
 rec(454,36,3,3,a1)
 rec(514,36,3,3,a1)
 rec(574,36,3,3,a1)
 rec(598,36,3,3,a1)
 rec(634,36,3,3,a1)
 rec(718,36,3,3,a1)
 rec(778,36,3,3,a1)
 rec(826,36,3,3,a1)
 rec(910,36,3,3,a1)
 rec(982,36,3,3,a1)
 rec(1126,36,3,3,a1)
 rec(1294,36,3,3,a1)
 rec(1366,36,3,3,a1)
 rec(1498,36,3,3,a1)
 rec(1558,36,3,3,a1)
 rec(1642,36,3,3,a1)
 rec(1678,36,3,3,a1)
 rec(1738,36,3,3,a1)
 rec(1822,36,3,3,a1)
 rec(1882,36,3,3,a1)
 rec(1966,36,3,3,a1)
 rec(274,242,3,3,a1)
 rec(334,242,3,3,a1)
 rec(478,242,3,3,a1)
 rec(538,242,3,3,a1)
 rec(598,242,3,3,a1)
 rec(658,242,3,3,a1)
 rec(718,242,3,3,a1)
 rec(778,242,3,3,a1)
 rec(828,242,3,3,a1)
 rec(898,242,3,3,a1)
 rec(985,242,3,3,a1)
 rec(1018,242,3,3,a1)
 rec(1078,242,3,3,a1)
 rec(1138,242,3,3,a1)
 rec(1198,242,3,3,a1)
 rec(1258,242,3,3,a1)
 rec(1318,242,3,3,a1)
 rec(1378,242,3,3,a1)
 rec(1438,242,3,3,a1)
 rec(1438,242,3,3,a1)
 rec(1498,242,3,3,a1)
 rec(1558,242,3,3,a1)
 rec(1618,242,3,3,a1)
 rec(1678,242,3,3,a1)
 rec(1738,242,3,3,a1)
 rec(1798,242,3,3,a1)
 rec(1858,242,3,3,a1)
 rec(1894,242,3,3,a1)
 rec(1930,242,3,3,a1)
 rec(1966,242,3,3,a1)
 rec(190,350,3,3,a1)
 rec(358,350,3,3,a1)



rec(394,350,3,3,a1)
 rec(478,350,3,3,a1)
 rec(538,350,3,3,a1)
 rec(598,350,3,3,a1)
 rec(658,350,3,3,a1)
 rec(718,350,3,3,a1)
 rec(778,350,3,3,a1)
 rec(838,350,3,3,a1)
 rec(898,350,3,3,a1)
 rec(958,350,3,3,a1)
 rec(1018,350,3,3,a1)
 rec(1078,350,3,3,a1)
 rec(1138,350,3,3,a1)
 rec(1198,350,3,3,a1)
 rec(1258,350,3,3,a1)
 rec(1318,350,3,3,a1)
 rec(1378,350,3,3,a1)
 rec(1438,350,3,3,a1)
 rec(1498,350,3,3,a1)
 rec(1558,350,3,3,a1)
 rec(1618,350,3,3,a1)
 rec(1678,350,3,3,a1)
 rec(1930,350,3,3,a1)
 rec(1966,350,3,3,a1)
 rec(1766,308,3,3,vi)
 rec(1765,370,5,5,a1)
 rec(1765,307,5,5,a2)
 rec(134,273,3,3,vi)
 rec(133,272,5,5,a1)
 rec(133,272,5,5,a2)
 rec(6,308,1759,3,a1)
 rec(25,312,5,2,a2)
 rec(26,308,3,3,vi)
 rec(25,307,5,5,a1)
 rec(25,307,5,5,a2)
 rec(1765,312,5,2,a2)
 rec(6,301,367,3,a1)
 rec(1,305,5,9,a2)
 rec(217,305,5,9,a2)
 rec(373,305,5,9,a2)
 rec(98,301,3,3,vi)
 rec(97,300,5,5,a1)
 rec(97,300,5,5,a2)
 rec(2,301,3,3,vi)
 rec(1,300,5,5,a1)
 rec(1,300,5,5,a2)
 rec(218,301,3,3,vi)
 rec(217,300,5,5,a1)
 rec(217,300,5,5,a2)
 rec(374,301,3,3,vi)
 rec(373,300,5,5,a1)
 rec(373,300,5,5,a2)
 rec(510,301,1315,3,a1)
 rec(505,268,5,46,a2)
 rec(506,301,3,3,vi)
 rec(505,300,5,5,a1)
 rec(505,300,5,5,a2)
 rec(625,268,5,46,a2)

วัสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่วการณใดทางสน อักทงหามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

rec(626,301,3,3,vi)
 rec(625,300,5,5,a1)
 rec(625,300,5,5,a2)
 rec(745,268,5,46,a2)
 rec(746,301,3,3,vi)
 rec(745,300,5,5,a1)
 rec(745,300,5,5,a2)
 rec(865,268,5,46,a2)
 rec(866,301,3,3,vi)
 rec(865,300,5,5,a1)
 rec(865,300,5,5,a2)
 rec(985,268,5,46,a2)
 rec(986,301,3,3,vi)
 rec(985,300,5,5,a1)
 rec(985,300,5,5,a2)
 rec(1105,268,5,46,a2)
 rec(1106,301,3,3,vi)
 rec(1105,300,5,5,a1)
 rec(1105,300,5,5,a2)
 rec(1225,268,5,46,a2)
 rec(1226,301,3,3,vi)
 rec(1225,300,5,5,a1)
 rec(1225,300,5,5,a2)
 rec(1345,268,5,46,a2)
 rec(1346,301,3,3,vi)
 rec(1345,300,5,5,a1)
 rec(1345,300,5,5,a2)
 rec(1465,268,5,46,a2)
 rec(1466,301,3,3,vi)
 rec(1465,300,5,5,a1)
 rec(1465,300,5,5,a2)
 rec(1585,268,5,46,a2)
 rec(1586,301,3,3,vi)
 rec(1585,300,5,5,a1)
 rec(1585,300,5,5,a2)
 rec(1705,268,5,46,a2)
 rec(1706,301,3,3,vi)
 rec(1705,300,5,5,a1)
 rec(1705,300,5,5,a2)
 rec(1789,276,5,38,a2)
 rec(1825,268,5,32,a2)
 rec(1826,301,3,3,vi)
 rec(1825,300,5,5,a1)
 rec(1825,300,5,5,a2)
 rec(1885,301,60,3,a1)
 rec(1873,291,5,23,a2)
 rec(1874,287,3,3,vi)
 rec(1873,286,5,5,a1)
 rec(1873,286,5,5,a2)
 rec(1945,305,5,9,a2)
 rec(1946,301,3,3,vi)
 rec(1945,300,5,5,a1)
 rec(1945,300,5,5,a2)
 rec(6,294,295,3,a1)
 rec(110,294,3,3,vi)
 rec(109,293,5,5,a1)
 rec(109,293,5,5,a2)
 rec(301,297,5,17,a2)



rec(74,294,3,3,vi)
 rec(73,293,5,5,a1)
 rec(73,293,5,5,a2)
 rec(73,298,5,16,a2)
 rec(97,305,5,9,a2)
 rec(302,294,3,3,vi)
 rec(301,293,5,5,a1)
 rec(301,293,5,5,a2)
 rec(345,294,67,3,a1)
 rec(349,298,5,16,a2)
 rec(350,294,3,3,vi)
 rec(349,293,5,5,a1)
 rec(349,293,5,5,a2)
 rec(421,298,5,16,a2)
 rec(422,294,3,3,vi)
 rec(421,293,5,5,a1)
 rec(41,293,5,5,a2)
 rec(450,294,1315,3,a1)
 rec(445,268,5,46,a2)
 rec(446,294,3,3,vi)
 rec(455,293,5,5,a1)
 rec(455,293,5,5,a2)
 rec(565,268,5,46,a2)
 rec(566,294,3,3,vi)
 rec(565,293,5,5,a1)
 rec(565,293,5,5,a2)
 rec(685,268,5,46,a2)
 rec(686,294,3,3,vi)
 rec(685,293,5,5,a1)
 rec(685,293,5,5,a2)
 rec(805,268,5,46,a2)
 rec(806,294,3,3,vi)
 rec(805,293,5,5,a1)
 rec(805,293,5,5,a2)
 rec(925,268,5,46,a2)
 rec(926,294,3,3,vi)
 rec(925,293,5,5,a1)
 rec(925,293,5,5,a2)
 rec(1045,268,5,46,a2)
 rec(1046,294,3,3,vi)
 rec(1045,293,5,5,a1)
 rec(1045,293,5,5,a2)
 rec(1165,268,5,46,a2)
 rec(1166,294,3,3,vi)
 rec(1165,293,5,5,a1)
 rec(1165,293,5,5,a2)
 rec(1285,268,5,46,a2)
 rec(1286,294,3,3,vi)
 rec(1285,293,5,5,a1)
 rec(1285,293,5,5,a2)
 rec(1405,268,5,46,a2)
 rec(1406,294,3,3,vi)
 rec(1405,293,5,5,a1)
 rec(1405,293,5,5,a2)
 rec(1525,268,5,46,a2)
 rec(1526,294,3,3,vi)
 rec(1525,293,5,5,a1)
 rec(1525,293,5,5,a2)



rec(1645,268,5,46,a2)
 rec(1646,294,3,3,vi)
 rec(1645,293,5,5,a1)
 rec(1645,293,5,5,a2)
 rec(1765,268,5,25,a2)
 rec(1765,312,5,2,a2)
 rec(1766,294,3,3,vi)
 rec(1765,293,5,5,a1)
 rec(1765,293,5,5,a2)
 rec(18,287,115,3,a1)
 rec(13,291,5,23,a2)
 rec(14,287,3,3,vi)
 rec(13,286,5,5,a1)
 rec(13,286,5,5,a2)
 rec(133,277,5,9,a2)
 rec(133,277,5,9,a2)
 rec(134,287,3,3,vi)
 rec(133,286,5,5,a1)
 rec(133,286,5,5,a2)
 rec(162,287,1716,3,a1)
 rec(158,287,3,3,vi)
 rec(157,286,5,5,a1)
 rec(157,286,5,5,a2)
 rec(1729,291,5,23,a2)
 rec(1730,287,3,3,vi)
 rec(1729,286,5,5,a1)
 rec(1729,286,5,5,a2)
 rec(1885,305,5,9,a2)
 rec(1886,301,3,3,vi)
 rec(1885,300,5,5,a1)
 rec(1885,300,5,5,a2)
 rec(1950,287,31,3,a1)
 rec(1945,268,5,18,a2)
 rec(1946,287,3,3,vi)
 rec(1945,286,5,5,a1)
 rec(1945,286,5,5,a2)
 rec(1981,291,5,23,a2)
 rec(1982,287,3,3,vi)
 rec(1981,286,5,5,a1)
 rec(1981,286,5,5,a2)
 rec(150,280,1759,3,a1)
 rec(146,280,3,3,vi)
 rec(145,279,5,5,a1)
 rec(145,279,5,5,a2)
 rec(1909,268,5,11,a2)
 rec(1910,280,3,3,vi)
 rec(1909,279,5,5,a1)
 rec(1909,279,5,5,a2)
 rec(1741,268,5,46,a2)
 rec(1742,280,3,3,vi)
 rec(1741,279,5,5,a1)
 rec(1741,279,5,5,a2)
 rec(138,273,127,3,a1)
 rec(265,277,5,37,a2)
 rec(266,273,3,3,vi)
 rec(265,272,5,5,a1)
 rec(265,272,5,5,a2)
 rec(414,273,7,3,a1)

ไม่ควรกรณใดทางสน อกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

rec(409,277,5,37,a2)
 rec(410,273,3,3,vi)
 rec(409,272,5,5,a1)
 rec(409,272,5,5,a2)
 rec(421,268,5,4,a2)
 rec(422,273,3,3,vi)
 rec(421,272,5,5,a1)
 rec(421,272,5,5,a2)
 rec(1758,273,36,3,a1)
 rec(1789,272,5,5,a1)
 rec(1789,272,5,5,a2)
 rec(1790,273,3,3,vi)
 rec(1753,277,5,37,a2)
 rec(1754,273,3,3,vi)
 rec(1753,272,5,5,a1)
 rec(1753,272,5,5,a2)
 rec(1837,279,5,35,a2)
 rec(1838,280,3,3,vi)
 rec(1837,279,5,5,a1)
 rec(1837,279,5,5,a2)
 rec(302,128,3,3,vi)
 rec(301,127,5,5,a1)
 rec(301,127,5,5,a2)
 rec(894,198,223,3,a1)
 rec(889,62,5,135,a2)
 rec(890,198,3,3,vi)
 rec(889,197,5,5,a1)
 rec(889,197,5,5,a2)
 rec(1117,62,5,135,a2)
 rec(1118,198,3,3,vi)
 rec(1117,197,5,5,a1)
 rec(1117,197,5,5,a2)
 rec(1614,198,259,3,a1)
 rec(1609,202,5,4,a2)
 rec(1610,198,3,3,vi)
 rec(1609,197,5,5,a1)
 rec(1609,197,5,5,a2)
 rec(1873,202,5,4,a2)
 rec(1874,198,3,3,vi)
 rec(1873,197,5,5,a1)
 rec(1873,197,5,5,a2)
 rec(498,191,1495,3,a1)
 rec(493,62,5,128,a2)
 rec(494,191,3,3,vi)
 rec(493,190,5,5,a1)
 rec(493,190,5,5,a2)
 rec(1705,62,5,128,a2)
 rec(1706,191,3,3,vi)
 rec(1705,190,5,5,a1)
 rec(1705,190,5,5,a2)
 rec(354,184,115,3,a1)
 rec(349,188,5,18,a2)
 rec(350,184,3,3,vi)
 rec(349,183,5,5,a1)
 rec(349,183,5,5,a2)
 rec(469,62,5,121,a2)
 rec(470,184,3,3,vi)
 rec(469,183,5,5,a1)



rec(469,183,5,5,a2)
 rec(546,184,1447,3,a1)
 rec(541,62,5,121,a2)
 rec(542,184,3,3,vi)
 rec(541,183,5,5,a1)
 rec(541,183,5,5,a2)
 rec(1717,62,5,121,a2)
 rec(1718,184,3,3,vi)
 rec(1717,183,5,5,a1)
 rec(1717,183,5,5,a2)
 rec(258,177,535,3,a1)
 rec(253,62,5,114,a2)
 rec(254,177,3,3,vi)
 rec(253,176,5,5,a1)
 rec(253,176,5,5,a2)
 rec(313,62,5,114,a2)
 rec(314,177,3,3,vi)
 rec(313,176,5,5,a1)
 rec(313,176,5,5,a2)
 rec(649,62,5,114,a2)
 rec(650,177,3,3,vi)
 rec(649,176,5,5,a1)
 rec(649,176,5,5,a2)
 rec(793,62,5,114,a2)
 rec(794,177,3,3,vi)
 rec(973,176,5,5,a1)
 rec(793,176,5,5,a2)
 rec(882,177,43,3,a1)
 rec(877,62,5,114,a2)
 rec(878,177,3,3,vi)
 rec(877,176,5,5,a1)
 rec(877,176,5,5,a2)
 rec(925,181,5,25,a2)
 rec(926,177,3,3,3,vi)
 rec(925,176,5,5,a1)
 rec(925,176,5,5,a2)
 rec(1074,177,151,3,a1)
 rec(1069,62,5,114,a2)
 rec(1070,177,3,3,vi)
 rec(1069,176,5,5,a1)
 rec(1069,176,5,5,a2)
 rec(1105,62,5,114,a2)
 rec(1106,177,3,3,vi)
 rec(1105,176,5,5,a1)
 rec(1105,176,5,5,a2)
 rec(1225,62,5,114,a2)
 rec(1226,177,3,3,vi)
 rec(1225,176,5,5,a1)
 rec(1225,176,5,5,a2)
 rec(246,170,199,3,a1)
 rec(241,62,5,107,a2)
 rec(242,170,3,3,vi)
 rec(241,169,5,5,a1)
 rec(241,169,5,5,a2)
 rec(445,174,5,32,a2)
 rec(446,170,3,3,vi)
 rec(445,169,5,5,a1)
 rec(445,169,5,5,a2)



rec(1050,170,283,3,a1)
 rec(1045,62,5,107,a2)
 rec(1046,170,3,3,vi)
 rec(1045,169,5,5,a1)
 rec(1045,169,5,5,a2)
 rec(1093,62,5,107,a2)
 rec(1094,170,3,3,vi)
 rec(1093,169,5,5,a1)
 rec(1093,169,5,5,a2)
 rec(1261,62,5,107,a2)
 rec(1262,170,3,3,vi)
 rec(1261,169,5,5,a1)
 rec(1261,169,5,5,a2)
 rec(1333,62,5,107,a2)
 rec(1334,170,3,3,vi)
 rec(1333,169,5,5,a1)
 rec(1333,169,5,5,a2)
 rec(1578,170,175,3,a1)
 rec(1573,62,5,107,a2)
 rec(1574,170,3,3,vi)
 rec(1573,169,5,5,a1)
 rec(1573,169,5,5,a2)
 rec(1753,62,5,107,a2)
 rec(1754,170,3,3,vi)
 rec(1753,169,5,5,a1)
 rec(1753,169,5,5,a2)
 rec(306,163,199,3,a1)
 rec(301,62,5,100,a2)
 rec(302,163,3,3,vi)
 rec(301,162,5,5,a1)
 rec(301,162,5,5,a2)
 rec(505,167,5,39,a2)
 rec(506,163,3,3,vi)
 rec(505,162,5,5,a1)
 rec(505,162,5,5,a2)
 rec(930,163,1063,3,a1)
 rec(925,62,5,100,a2)
 rec(926,163,3,3,vi)
 rec(925,162,5,5,a1)
 rec(925,162,5,5,a2)
 rec(126,156,535,3,a1)
 rec(212,62,5,93,a2)
 rec(122,156,3,3,vi)
 rec(121,155,5,5,a1)
 rec(121,155,5,5,a2)
 rec(181,62,5,93,a2)
 rec(182,156,3,3,vi)
 rec(181,155,5,5,a1)
 rec(818,155,5,5,a2)
 rec(409,160,5,46,a2)
 rec(410,156,3,3,vi)
 rec(409,155,5,5,a1)
 rec(409,155,5,5,a2)
 rec(661,62,5,93,a2)
 rec(662,156,3,3,vi)
 rec(661,155,5,5,a1)
 rec(661,155,5,5,a2)
 rec(1002,156,991,3,a1)



rec(997,62,5,93,a2)
 rec(998,156,3,3,vi)
 rec(997,155,5,5,a1)
 rec(997,155,5,5,a2)
 rec(174,149,1819,3,a1)
 rec(169,62,5,86,a2)
 rec(170,149,3,3,vi)
 rec(169,148,5,5,a1)
 rec(169,148,5,5,a2)
 rec(6,142,211,3,a1)
 rec(217,146,5,60,a2)
 rec(218,142,3,3,vi)
 rec(217,141,5,5,a1)
 rec(217,141,5,5,a2)
 rec(234,142,1759,3,a1)
 rec(229,62,5,79,a2)
 rec(230,142,3,3,vi)
 rec(229,141,5,5,a1)
 rec(229,141,5,5,a2)
 rec(6,135,235,3,a1)
 rec(133,62,5,72,a2)
 rec(134,135,3,3,vi)
 rec(133,134,5,5,a1)
 rec(133,134,5,5,a2)
 rec(242,135,3,3,vi)
 rec(241,134,5,5,a1)
 rec(241,134,5,5,a2)
 rec(294,135,1699,3,a1)
 rec(289,62,5,72,a2)
 rec(290,135,3,3,vi)
 rec(289,134,5,5,a1)
 rec(189,134,5,5,a2)
 rec(6,128,295,3,a1)
 rec(193,62,5,65,a2)
 rec(194,128,3,3,vi)
 rec(193,127,5,5,a1)
 rec(193,127,5,5,a2)
 rec(354,128,1639,3,a1)
 rec(349,62,5,65,a2)
 rec(350,128,3,3,vi)
 rec(349,127,5,5,a1)
 rec(349,127,5,5,a2)
 rec(6,121,1399,3,a1)
 rec(1405,62,5,58,a2)
 rec(1406,121,3,3,vi)
 rec(1405,120,5,5,a1)
 rec(1405,120,5,5,a2)
 rec(1638,121,127,3,a1)
 rec(1633,62,5,58,a2)
 rec(1634,121,3,3,vi)
 rec(1633,120,5,5,a1)
 rec(1633,120,5,5,a2)
 rec(1765,62,5,58,a2)
 rec(1766,121,3,3,vi)
 rec(1765,120,5,5,a1)
 rec(1765,120,5,5,a2)
 rec(1902,121,79,3,a1)
 rec(1897,62,5,58,a2)

rec(1898,121,3,3,vi)
 rec(1897,120,5,5,a1)
 rec(1897,120,5,5,a2)
 rec(1981,125,5,81,a2)
 rec(1982,121,3,3,vi)
 rec(1981,120,5,5,a1)
 rec(1981,120,5,5,a2)
 rec(6,114,1411,3,a1)
 rec(1057,62,5,51,a2)
 rec(1058,114,3,3,vi)
 rec(1057,113,5,5,a1)
 rec(1057,113,5,5,a2)
 rec(1177,62,5,51,a2)
 rec(1178,114,3,3,vi)
 rec(1177,113,5,5,a1)
 rec(1177,113,5,5,a2)
 rec(1273,62,5,51,a2)
 rec(1274,114,3,3,vi)
 rec(1273,113,5,5,a1)
 rec(1273,113,5,5,a2)
 rec(1345,62,5,51,a2)
 rec(1346,114,3,3,vi)
 rec(1345,113,5,5,a1)
 rec(1345,113,5,5,a2)
 rec(1417,62,5,51,a2)
 rec(1418,114,3,3,vi)
 rec(1417,113,5,5,a1)
 rec(1417,113,5,5,a2)
 rec(1674,114,319,3,a1)
 rec(1669,62,5,51,a2)
 rec(1670,114,3,3,vi)
 rec(1669,113,5,5,a1)
 rec(1669,113,5,5,a2)
 rec(6,107,1387,3,a1)
 rec(1033,62,5,44,a2)
 rec(1034,107,3,3,vi)
 rec(1033,106,5,5,a1)
 rec(1033,106,5,5,a2)
 rec(1156,62,5,44,a2)
 rec(1166,107,3,3,vi)
 rec(1156,106,5,5,a1)
 rec(1156,106,5,5,a2)
 rec(1213,62,5,44,a2)
 rec(1214,107,3,3,vi)
 rec(1213,106,5,5,a1)
 rec(1213,106,5,5,a2)
 rec(1393,62,5,44,a2)
 rec(1394,107,3,3,vi)
 rec(1393,106,5,5,a1)
 rec(1393,106,5,5,a2)
 rec(1434,107,223,3,a1)
 rec(1429,62,5,44,a2)
 rec(1430,107,3,3,vi)
 rec(1429,106,5,5,a1)
 rec(1429,106,5,5,a2)
 rec(1657,62,5,44,a2)
 rec(1658,107,3,3,vi)
 rec(1657,106,5,5,a1)

rec(1657,106,5,5,a2)
 rec(1698,107,295,3,a1)
 rec(1693,62,5,44,a2)
 rec(1694,107,3,3,vi)
 rec(1693,106,5,5,a1)
 rec(1693,106,55,a2)
 rec(6,100,1939,3,a1)
 rec(397,104,5,102,a2)
 rec(398,100,3,3,vi)
 rec(397,99,5,5,a1)
 rec(397,99,5,5,a2)
 rec(841,62,5,37,a2)
 rec(842,100,3,3,vi)
 rec(841,99,5,5,a1)
 rec(841,99,5,5,a2)
 rec(1009,62,5,37,a2)
 rec(1010,100,3,3,vi)
 rec(1009,99,5,5,a1)
 rec(1009,99,5,5,a2)
 rec(1081,62,5,37,a2)
 rec(1082,100,3,3,vi)
 rec(1081,99,5,5,a1)
 rec(1081,99,5,5,a2)
 rec(1321,62,5,37,a2)
 rec(1322,100,3,3,vi)
 rec(1321,99,5,5,a1)
 rec(1321,99,5,5,a2)
 rec(1621,62,5,37,a2)
 rec(1622,100,3,3,vi)
 rec(1621,99,5,5,a1)
 rec(1621,99,5,5,a2)
 rec(1945,62,5,37,a2)
 rec(1946,100,3,3,vi)
 rec(1945,99,5,5,a1)
 rec(1945,99,5,5,a2)
 rec(114,93,439,3,a1)
 rec(110,93,3,3,vi)
 rec(109,92,5,5,a1)
 rec(109,92,5,5,a2)
 rec(373,62,5,30,a2)
 rec(374,93,3,3,vi)
 rec(373,92,5,5,a1)
 rec(373,92,5,5,a2)
 rec(553,62,5,30,a2)
 rec(554,93,3,3,vi)
 rec(553,92,5,5,a1)
 rec(553,92,5,5,a2)
 rec(690,93,1099,3,a1)
 rec(685,62,5,30,a2)
 rec(686,93,3,3,vi)
 rec(685,92,5,5,a1)
 rec(685,92,5,5,a2)
 rec(1189,62,5,30,a2)
 rec(1190,93,3,3,vi)
 rec(1189,92,5,5,a1)
 rec(1189,92,5,5,a2)
 rec(1465,62,5,30,a2)
 rec(1466,93,3,3,vi)

rec(1465,92,5,5,a1)
 rec(1465,92,5,5,a2)
 rec(1789,62,5,30,a2)
 rec(1790,93,3,3,vi)
 rec(1789,92,5,5,a1)
 rec(1789,92,5,5,a2)
 rec(1962,93,31,3,a1)
 rec(1957,62,5,30,a2)
 rec(1958,93,3,3,vi)
 rec(1957,92,5,5,a1)
 rec(1957,92,5,5,a2)
 rec(102,86,379,3,a1)
 rec(98,86,3,3,vi)
 rec(97,85,5,5,a1)
 rec(97,85,5,5,a2)
 rec(433,62,5,23,a2)
 rec(434,86,3,3,vi)
 rec(433,85,5,5,a1)
 rec(433,85,5,5,a2)
 rec(481,62,5,23,a2)
 rec(482,86,3,3,vi)
 rec(481,85,5,5,a1)
 rec(481,85,5,5,a2)
 rec(750,86,1099,3,a1)
 rec(745,62,5,23,a2)
 rec(746,86,3,3,vi)
 rec(745,85,5,5,a1)
 rec(745,85,5,5,a2)
 rec(1237,62,5,23,a2)
 rec(1238,86,3,3,vi)
 rec(1237,85,5,5,a1)
 rec(1237,85,5,5,a2)
 rec(1525,62,5,23,a2)
 rec(1526,86,3,3,vi)
 rec(1525,85,5,5,a1)
 rec(1525,85,5,5,a2)
 rec(1849,62,5,23,a2)
 rec(1850,86,3,3,vi)
 rec(1849,85,5,5,a1)
 rec(1849,85,5,5,a2)
 rec(1986,86,7,3,a1)
 rec(1981,62,5,23,a2)
 rec(1982,86,3,3,vi)
 rec(1981,85,5,5,a1)
 rec(1981,85,5,5,a2)
 rec(150,79,343,3,a1)
 rec(146,79,3,3,vi)
 rec(145,78,5,5,a1)
 rec(145,78,5,5,a2)
 rec(494,79,3,3,vi)
 rec(493,78,5,5,a1)
 rec(493,78,5,5,a2)
 rec(534,79,79,3,a1)
 rec(529,62,5,16,a2)
 rec(530,79,3,3,vi)
 rec(529,78,5,5,a1)
 rec(529,78,5,5,a2)
 rec(613,62,5,16,a2)

rec(614,79,3,3,vi)
 rec(613,78,5,5,a1)
 rec(613,78,5,5,a2)
 rec(1026,79,223,3,a1)
 rec(1021,62,5,16,a2)
 rec(1022,79,3,3,vi)
 rec(1021,78,5,5,a1)
 rec(1021,78,5,5,a2)
 rec(1153,62,5,16,a2)
 rec(1154,79,3,3,vi)
 rec(1153,78,5,5,a1)
 rec(1153,78,5,5,a2)
 rec(1201,62,5,16,a2)
 rec(1202,79,3,3,vi)
 rec(1201,78,5,5,a1)
 rec(1201,78,5,5,a2)
 rec(1249,62,5,16,a2)
 rec(1250,79,3,3,vi)
 rec(1249,78,5,5,a1)
 rec(1249,78,5,5,a2)
 rec(1314,79,679,3,a1)
 rec(1309,62,5,16,a2)
 rec(1310,79,3,3,vi)
 rec(1309,78,5,5,a1)
 rec(1309,78,5,5,a2)
 rec(162,72,379,3,a1)
 rec(158,72,3,3,vi)
 rec(157,71,5,5,a1)
 rec(157,71,5,5,a2)
 rec(361,62,5,9,a2)
 rec(362,72,3,3,vi)
 rec(361,71,5,5,a1)
 rec(361,71,5,5,a2)
 rec(542,72,3,3,vi)
 rec(541,71,5,5,a1)
 rec(541,71,5,5,a2)
 rec(882,72,55,3,a1)
 rec(878,72,3,3,vi)
 rec(877,71,5,5,a1)
 rec(877,71,5,5,a2)
 rec(937,62,5,9,a2)
 rec(938,72,3,3,vi)
 rec(937,71,5,5,a1)
 rec(937,71,5,5,a2)
 rec(966,72,175,3,a1)
 rec(961,62,5,9,a2)
 rec(962,72,3,3,vi)
 rec(961,71,5,5,a1)
 rec(961,71,5,5,a2)
 rec(1141,62,5,9,a2)
 rec(1142,72,3,3,vi)
 rec(1141,71,5,5,a1)
 rec(1141,71,5,5,a2)
 rec(1386,72,607,3,a1)
 rec(1381,62,5,9,a2)
 rec(1382,72,3,3,vi)
 rec(1381,71,5,5,a1)
 rec(1381,71,5,5,a2)

rec(870,65,571,3,a1)
 rec(865,62,5,2,a2)
 rec(866,65,3,3,vi)
 rec(865,64,5,5,a1)
 rec(865,64,5,5,a2)
 rec(949,62,5,2,a2)
 rec(950,65,3,3,vi)
 rec(949,64,5,5,a1)
 rec(949,64,5,5,a2)
 rec(1441,62,5,2,a2)
 rec(1442,65,3,3,vi)
 rec(1441,64,5,5,a1)
 rec(1441,64,5,5,a2)
 rec(97,90,5,116,a2)
 rec(109,97,5,109,a2)
 rec(145,83,5,123,a2)
 rec(157,76,5,130,a2)
 rec(97,268,5,32,a2)
 rec(109,268,5,25,a2)
 rec(145,268,5,11,a2)
 rec(157,268,5,18,a2)
 rec(50,287,3,3,vi)
 rec(49,286,5,5,a1)
 rec(49,286,5,5,a2)
 rec(49,291,5,23,a2)
 rec(97,204,5,72,a2)
 rec(109,204,5,72,a2)
 rec(145,204,5,72,a2)
 rec(157,204,5,72,a2)
 ffig



ประวัติผู้เขียน

ชื่อผู้เขียน นายเรืองไกร รังสิพล
วัน เดือน ปีเกิด วันเกิด : 30 มิถุนายน 2513
สถานที่เกิด จังหวัดสุราษฎร์ธานี
วุฒิการศึกษาระดับปริญญาตรี อดิศาสตร์บัณฑิต
สาขาวิชา เทคโนโลยีคอมพิวเตอร์
สถานที่สำเร็จการศึกษา คณะวิศวกรรมศาสตร์สถาบันเทคโนโลยีพระจอมเกล้าเจ้า
คุณทหารลาดกระบัง

ปีที่สำเร็จการศึกษา ปีการศึกษา 2533

ผลงานทางวิชาการที่ได้รับตีพิมพ์:

- หุ่นยนต์เคลื่อนที่ชนิดที่มีระบบติดตามการทำงาน

: การประชุมทางวิชาการวิศวกรรมไฟฟ้า ประจำปี 2534 , วิศวกรรมสถานแห่งประเทศไทย
ไทย และสมาคมสถาบันวิศวกรไฟฟ้าและอิเล็กทรอนิกส์แห่งประเทศไทย

- คุณสมบัติของเซลล์มาตรฐาน 2 ไมครอนของดิจิทัลซิมอส ASIC เพื่องานอุตสาหกรรม

: การประชุมทางวิชาการวิศวกรรม ประจำปี 2536 , วิศวกรรมสถานแห่งประเทศไทย

- วงจรกรองสัญญาณรบกวนในรูปวงรวม

: การประชุมทางวิชาการวิศวกรรม ประจำปี 2536 , วิศวกรรมสถานแห่งประเทศไทย

เครื่องตัด CNC 2 มิติ

: สิ่งประดิษฐ์ชนะเลิศอันดับที่ 1 ประเภทระดับ อดิศาสตร์ ประจำปี 2534 , สมาคมอิเล็กทรอนิกส์แห่งประเทศไทย

อาชีพปัจจุบัน :

ทำงานในตำแหน่ง วิศวกร ที่

บริษัท โพลเวลคอมพิวเตอร์ จำกัด 263-266 อาคารพันธ์ทิพย์พลาซ่า ถนนเพชรบุรี ราช
เทวี กรุงเทพฯ 10400 ตั้งแต่ พฤษภาคม 2534