สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบโครงข่ายเชื่อมต่อภายใน และ การประยุกต์ใช้งาน

INTERCONNECTION NETWORK DESIGN AND ITS APPLICATIONS

นายชัชวาล ภูรินันทน์

MR.CHATCHAWAN PURINAN

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2539

ISBN 974-621-704-6

ลิขสิทธิ์ของบัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เลขหมู่.....
เลขทะเบียน 27284
วัน, เดือน, ปี 18 ธ.ค. 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INTERCONNECTION NETWORK DESIGN AND ITS APPLICATIONS

CHATCHAWAN PURINAN

A THESIS SUBMITTED IN PARTIAL FULFILLMENT

OF THE REQUIREMENTS FOR THE DEGREE

MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

1996

ISBN 974-621-704-6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การออกแบบโครงข่ายเชื่อมต่อภายใน และ การประยุกต์ใช้งาน
นักศึกษา	นายชัชวาล ภูรินันทน์
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร.กอบชัย เดชหาญ
ระดับการศึกษา	วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า
ภาควิชา	วิศวกรรมโทรคมนาคม
	สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ.	2539

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้เสนอ การออกแบบโครงข่ายเชื่อมต่อภายใน และ การประยุกต์ใช้งาน ประกอบด้วย โครงข่ายแบตเชอร์และโครงข่ายบานยาน โดยออกแบบให้เป็นโครงข่ายสำหรับถ่ายโอนข้อมูลด้วยความเร็วสูงที่มีลักษณะเป็นชุด โครงข่ายแบตเชอร์เป็นโครงข่ายที่ใช้สำหรับเรียงลำดับชุดข้อมูล โครงข่ายบานยานทำหน้าที่จัดส่งชุดข้อมูลไปยังตำแหน่งที่ต้องการ ในวิทยานิพนธ์เสนอการประยุกต์ใช้งานโครงข่ายดังกล่าวในลักษณะโครงข่ายเชื่อมต่อภายในด้วยตนเอง โครงข่ายสำหรับส่งข้อมูลแถบกว้าง และโครงข่ายร่วมแบบดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	Interconnection network design and its applications
Student	Mr. Chatchawan Purinan
Thesis Advisor	Assoc. Prof. Dr. Kobchai Dejhan
Level of Study	Master of Engineering in Electrical Engineering
Department	Telecommunications Engineering
	King Mongkut's Institute of Technology Ladkrabang
Year	1996

Abstract

This thesis presents " Interconnection Network Design and Its Applications ". It consists of batcher and banyan network which are designed to transfer data with high speed for packet switching network. Batcher network is used for sorting packet and banyan network is used for expanding packet. Both networks can be applied to self routing switching network broadband switching and broadband integrated services digital networks.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ในการทำวิทยานิพนธ์ฉบับนี้ได้มีอุปสรรคต่าง ๆ เกิดขึ้นมากบ้างน้อยบ้าง อุปสรรคเหล่านั้นได้ถูกแก้ไขให้สำเร็จลุล่วงไปได้ด้วยกำลังใจและคำแนะนำที่ดี ผู้วิจัยรู้สึกซาบซึ้งในความอนุเคราะห์จากทุกท่าน และกราบขอบพระคุณเป็นอย่างสูง

ขอกราบขอบพระคุณ คุณพ่อธวัช คุณแม่วิไลวรรณ ภูรินันทน์ ที่ให้โอกาส และสนับสนุนทุก ๆ อย่างในการเรียน

ขอกราบขอบพระคุณ รองศาสตราจารย์ ดร.กอบชัย เดชหาญ ที่กรุณาให้คำปรึกษาแนะนำ ให้ข้อมูล และ ช่วยเหลือทุก ๆ อย่างในการทำวิทยานิพนธ์

ขอกราบขอบพระคุณท่านอาจารย์ทุก ๆ ท่านที่ได้ประสิทธิ์ประสาทวิชาทั้งหมดให้กับผู้วิจัย

ขอขอบคุณ คุณรติญา อิสระวิทยะชัย ที่ช่วยพิมพ์วิทยานิพนธ์ และให้กำลังใจในยามเกิดอุปสรรคต่าง ๆ เสมอมา

ขอขอบคุณ คุณสมหวัง เพรชรินทร์ ที่ช่วยให้ข้อมูลอันเป็นประโยชน์ในการทำวิทยานิพนธ์

คุณค่าและประโยชน์อันพึงมีจากวิทยานิพนธ์ฉบับนี้ ผู้วิจัยขอมอบแด่ผู้มีพระคุณทุกท่าน

ชัชวาล ภูรินันทน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อภาษาไทย I
บทคัดย่อภาษาอังกฤษ II
กิตติกรรมประกาศ III
สารบัญ IV
สารบัญตาราง VII
สารบัญภาพ VIII
บทที่
1. บทนำ 1
กล่าวนำ 1
วัตถุประสงค์ในการทำวิทยานิพนธ์ 1
หลักการใหม่ในวิทยานิพนธ์ 2
รายละเอียดในวิทยานิพนธ์ 2
2. โครงข่ายเชื่อมต่อภายใน 4
บทนำ 4
การออกแบบ 4
แนวความคิดของโครงข่ายเชื่อมต่อภายใน 6
วงจรสวิตช์ 10
ชุดข้อมูล 11
3. โครงข่ายแบตเชอร์ 13
บทนำ 13
โครงข่ายแบตเชอร์ 13
แนวความคิดในการเชื่อมโยงของวงจรสวิตช์แบตเชอร์ 15
การทำงานของโครงข่ายแบตเชอร์ 16
วงจรสวิตช์แบตเชอร์ 17
4. โครงข่ายบานยาน 19
บทนำ 19
โครงข่ายบานยาน 19
แนวความคิดในการเชื่อมโยงของวงจรสวิตช์บานยาน 21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

บทที่

การทำงานของวงจรโครงข่ายบานยาน 22

วงจรสวิตช์บานยาน 23

5. การประยุกต์ใช้งาน 25

โครงข่ายเชื่อมต่อภายในด้วยตนเอง 26

บทนำ 26

แนวความคิดในการเชื่อมโยง 26

โครงข่ายเชื่อมต่อภายในด้วยตนเอง 27

วงจรสวิตช์ 28

วงจรสวิตช์แบตเชอร์ 29

วงจรสวิตช์บานยาน 31

การทดสอบและผลการทดสอบ 33

โครงข่ายเชื่อมต่อแถบกว้าง 37

บทนำ 37

แนวความคิดในการเชื่อมโยง 37

คอมมิวนิเคชั่นโปรโตคอล 38

วงจรสวิตช์ 39

โครงข่ายแบตเชอร์ 41

โครงข่ายบานยาน 44

การทดสอบและผลการทดสอบ 49

โครงข่ายบริการสื่อสารร่วมดิจิตอลแถบกว้าง 51

บทนำ 51

พื้นฐานของ ATM 51

โครงสร้างโปรโตคอลของ ATM 54

วงจรสวิตช์ 55

โครงข่ายแบตเชอร์ 56

โครงข่ายบานยาน 59

การทดสอบและผลการทดสอบ 62

6. บทสรุป 65

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

ปัญหาที่เกิดขึ้น และ แนวทางแก้ไข 66
บรรณานุกรม 68
ภาคผนวก 70
โปรแกรมที่ใช้ในการทดลอบ 71
วงจรที่ใช้ในการทดสอบ 87
ผลงานที่ได้ตีพิมพ์ในวารสารทางวิชาการ 89
ประวัติผู้เขียน 90

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่

1. แสดงเงื่อนไขที่ใช้ในการตรวจสอบชุดข้อมูลของวงจรสวิตช์แบตเชอร์..... 30
2. แสดงเงื่อนไขที่ใช้ในการตรวจสอบชุดข้อมูลของวงจรสวิตช์บานยาน..... 32
3. แสดงเงื่อนไขที่ใช้ในการตรวจสอบชุดข้อมูล..... 43
4. แสดงเงื่อนไขที่ใช้ในการตรวจสอบชุดข้อมูล..... 44
5. แสดงเงื่อนไขที่ใช้ในการตรวจสอบชุดข้อมูลของวงจรสวิตช์..... 58
6. แสดงเงื่อนไขที่ใช้ในการตรวจสอบชุดข้อมูลของวงจรสวิตช์..... 60

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

หน้า

1. แสดงโทโปโลยีของโครงข่ายเชื่อมต่อภายใน 6
2. แสดงตัวอย่างโทโปโลยีของโครงข่ายแบบสแตติก 7
3. แสดงแนวความคิดของ Single stage interconnection network 8
4. แสดงวงจรสวิตช์แบบ 2 ด้าน 9
5. แสดงสัญญลักษณ์ของวงจรสวิตช์ 11
6. แสดงรายละเอียดของชุดข้อมูล 12
7. แสดงโครงข่ายแบตเชอร์ขนาด 16 วงจร 14
8. แสดงขนาดต่าง ๆ ของโครงข่ายแบตเชอร์ 14
9. แสดงแนวความคิดในการเชื่อมโยงของวงจรสวิตช์แบตเชอร์ 15
10. แสดงการทำงานของโครงข่ายแบตเชอร์ขนาด 16 วงจร 16
11. แสดงสัญญลักษณ์ของวงจรสวิตช์แบตเชอร์ 17
12. แสดงสภาวะการทำงานของวงจรสวิตช์แบตเชอร์ 17
13. แสดงบล็อกไดอะแกรมของวงจรสวิตช์แบตเชอร์ 18
14. แสดงโครงข่ายบานยานขนาด 16 วงจร 20
15. แสดงขนาดต่าง ๆ ของโครงข่ายบานยาน 20
16. แสดงแนวความคิดในการเชื่อมโยงของวงจรสวิตช์บานยาน 21
17. แสดงการทำงานของโครงข่ายบานยานขนาด 16 วงจร 22
18. แสดงสถานะและสัญญลักษณ์ของวงจรสวิตช์บานยาน 23
19. แสดงบล็อกไดอะแกรมของโครงข่ายบานยาน 24
20. แสดงพื้นฐานการออกแบบ และ รูปแบบของชุดข้อมูล 27
21. แสดงโครงข่ายเชื่อมต่อภายในด้วยตัวเองขนาด 16 วงจร 28
22. แสดงการทำงานของวงจรสวิตช์ และ สัญญลักษณ์ 28
23. แสดงบล็อกไดอะแกรมของแบตเชอร์สวิตชิ่งอีลิเมนต์ 29
24. แสดง Batcher switching circuit และ Timing diagram 30
25. แสดงบล็อกไดอะแกรมของบานยานสวิตชิ่งอีลิเมนต์ 31
26. แสดง Banyan switching circuit และ Timing diagram 32
27. แสดงผลที่ได้จากการเลียนแบบการทำงานของวงจรสวิตช์แบตเชอร์ 33
28. แสดงผลที่ได้จากการเลียนแบบการทำงานของวงจรสวิตชบานยาน 35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ (ต่อ)

หน้า

29. แสดงบล็อกไดอะแกรมของโครงข่ายเชื่อมต่อแถบกว้างขนาด 16 วงจร 38
30. แสดงสัญญลักษณ์ของวงจรสวิตช์ 39
31. แสดงสภาวะการทำงานของวงจรสวิตช์ 40
32. แสดงโครงข่ายแบตเชอร์ขนาด 16 วงจร 40
33. แสดงการทำงานของโครงข่ายแบตเชอร์ขนาด 16 วงจร 41
34. แสดงบล็อกไดอะแกรมของโครงข่ายแบตเชอร์ 42
35. แสดง Batcher switching circuit และ Timing diagram 43
36. แสดงโครงข่ายบานยานขนาด 16 วงจร 45
37. แสดงการทำงานของโครงข่ายบานยานขนาด 16 วงจร 46
38. บล็อกไดอะแกรมของ Banyan switching element 47
39. แสดง Banyan processing element และ Timing diagram 48
40. แสดงผลที่ได้จากการเลียนแบบการทำงานของวงจรสวิตช์แบตเชอร์ 49
41. แสดงผลที่ได้จากการเลียนแบบการทำงานของวงจรสวิตช์บานยาน 50
42. แสดง ATM cell 51
43. แสดงสัญญลักษณ์และสภาวะการทำงานของวงจรสวิตช์ 55
44. แสดงบล็อกไดอะแกรมของ Batcher switching element 56
45. แสดงโครงข่ายแบตเชอร์ขนาด 32 วงจร 57
46. แสดง Batcher switching circuit และ Timing diagram 58
47. แสดงบล็อกไดอะแกรมของ Banyan processing element 60
48. แสดงโครงข่ายบานยานขนาด 32 วงจร 61
49. แสดง Banyan processing circuit และ Timing diagram 61
50. แสดงผลที่ได้จากการเลียนแบบการทำงานของวงจรสวิตช์แบตเชอร์ 62
51. แสดงผลที่ได้จากการเลียนแบบการทำงานของวงจรสวิตช์บานยาน 63
52. แสดงวงจรที่ใช้ในการทดลอง 87

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

กล่าวนำ

ในปัจจุบันเทคโนโลยีทางด้านสื่อสารโทรคมนาคม ได้วิวัฒนาการไปอย่างรวดเร็ว เพื่อตอบสนองความต้องการอันไร้ขีดจำกัดของมนุษย์ ในยุคข่าวสารข้อมูล การพัฒนาเทคโนโลยีสื่อสารโทรคมนาคมได้ผลักดันให้เกิดระบบ และ เครือข่ายโทรคมนาคมรูปแบบใหม่ ๆ ขึ้นมากมาย ซึ่งได้เข้ามามีบทบาทสำคัญต่อสังคม เศรษฐกิจของมนุษย์ การพัฒนารูปแบบใหม่ ๆ ของการให้บริการโทรคมนาคม ไม่ว่าจะเป็นบริการตามสาย หรือบริการไร้สาย ต่างก็เกิดขึ้นเพื่อรองรับ การแสวงหาข่าวสารข้อมูลของมนุษย์ให้รวดเร็วทันใจ และ มีประสิทธิภาพมากที่สุด ด้วยคุณภาพที่ดีขึ้น ค่าใช้จ่ายต่ำลง

ในส่วนของเครือข่ายเชื่อมต่อมีการพัฒนาอย่างต่อเนื่อง เพื่อให้ความสามารถในการรับส่งสัญญาณสูงขึ้น มีความเป็นมาตราฐานของเครือข่ายทั่วโลก และ เพื่อเพิ่มความยืดหยุ่นของเครือข่าย ในวิทยานิพนธ์ฉบับนี้ได้นำเสนอ การออกแบบโครงข่ายเชื่อมต่อ 2 ชนิดที่นิยมใช้ในเครือข่าย คือ โครงข่ายแบตเชอร์ และ โครงข่ายบานยาน การออกแบบจะใช้ทรานซิสเตอร์ชนิด มอสเฟท (CMOS) เพราะมีข้อดี คือ การสูญเสียกำลังงานต่ำ มีอินพุตอิมพิแดนซ์สูงมาก สามารถทำงานได้ขณะที่ใช้ไฟเลี้ยงต่ำทำให้เกิดความร้อนต่ำ มีความเร็วในการทำงานสูง และ สามารถนำไปทำเป็นวงจรรวมได้ ซึ่งจะทำให้ชิพมีขนาดเล็กลง แต่มีความเร็วสูงขึ้น

วัตถุประสงค์ในการทำวิทยานิพนธ์

ในการทำวิทยานิพนธ์เรื่อง " การออกแบบโครงข่ายเชื่อมต่อภายใน และ การประยุกต์ใช้งาน " มีเนื้อหารวม 2 เรื่อง และ การประยุกต์ใช้งาน 3 เรื่อง คือ การออกแบบโครงข่ายแบตเชอร์ การออกแบบโครงข่ายบานยาน เป็นการออกแบบโดยใช้ซีมอสลอจิกเกต แล้วประยุกต์ใช้งานในลักษณะเป็น โครงข่ายเชื่อมต่อภายในด้วยตัวเอง (Self routing network) โครงข่ายเชื่อมต่อแถบกว้าง (Broadband switching network) และ โครงข่ายบริการสื่อสารร่วมดิจิตอลแถบกว้าง (Broadband Integrated Service Digital Network , B-ISDN) โดยกำหนดวัตถุประสงค์ไว้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. เพื่อศึกษาค้นคว้าวิจัยการออกแบบ โครงข่ายแบตเชอร์ และ โครงข่ายบานยาน
2. สามารถนำวงจรดังกล่าวมาประยุกต์ใช้งานได้
3. ออกแบบโดยใช้ ซีมอสลอจิกเกต และ ซีมอสทรานซีสเตอร์ ตามการประยุกต์ใช้งาน
4. ใช้จำนวนอุปกรณ์ให้น้อยที่สุด เพื่อให้มีขนาดเล็ก และ ความเร็วสูง
5. สามารถนำไปทำเป็นวงจรรวมได้

<u>หลักการใหม่ในวิทยานิพนธ์</u>

ในการออกแบบโครงข่ายแต่ละโครงข่ายในวิทยานิพนธ์ฉบับนี้ จะนำเสนอแนวทางใหม่ในการออกแบบโครงข่ายทั้งสองซึ่งแตกต่างจากงานวิจัยอื่น ๆ ดังนี้

ในงานวิจัยโครงข่ายแบตเชอร์ และ โครงข่ายบานยาน ก่อน ๆ [12] [19] ใช้ทรานซีสเตอร์ในส่วนของวงจรเกตต่าง ๆ ทำให้ความเร็วในการทำงานต่ำ สูญเสียพลังงานมาก สัญญาณที่ใช้ควบคุมโครงข่ายมีความซับซ้อน ทำให้โปรโตคอลในชั้นกายภาพ และ ชั้นเชื่อมโยงข้อมูล มีความซับซ้อนยุ่งยาก จึงทำการออกแบบโครงข่ายโดยใช้ ซีมอส ทั้งหมด เพื่อให้ได้ความเร็วในการทำงานสูงขึ้น ใช้พลังงานน้อยลง เพิ่มการควบคุมส่วนฮาร์ดแวร์เพื่อลดภาระของโปรโตคอล ทำให้โครงข่ายทำงานได้อย่างมีประสิทธิภาพ และ รวดเร็วขึ้น

<u>รายละเอียดในวิทยานิพนธ์</u>

ในวิทยานิพนธ์ฉบับนี้ ได้แบ่งเนื้อหาออกเป็นบททั้งหมด 6 บท โดยในบทที่ 1. เป็นการกล่าวนำวัตถุประสงค์ในการทำวิทยานิพนธ์ หลักการใหม่ในวิทยานิพนธ์ และ เนื้อหาโดยย่อของแต่ละบท ในบทอื่น ๆ จะมีเนื้อหาดังนี้

บทที่ 2. กล่าวถึงโครงข่ายเชื่อมต่อภายใน การออกแบบ โหมดการทำงาน การควบคุม วิธีการสวิตชิ่ง โทโปโลยี แนวความคิดของโครงข่ายเชื่อมต่อภายใน ชนิดของโครงข่ายเชื่อมต่อภายใน วงจรสวิตช์ และ รูปแบบของชุดข้อมูล

บทที่ 3. กล่าวถึงโครงข่ายแบตเชอร์ การแบ่งส่วนของโครงข่ายแบตเชอร์ แนวความคิดในการเชื่อมต่อของโครงข่าย การทำงานของโครงข่าย และ วงจรสวิตช์ของโครงข่าย

บทที่ 4. กล่าวถึงโครงข่ายบานยาน การแบ่งส่วนของโครงข่ายบานยาน แนวความคิดในการเชื่อมต่อของโครงข่าย การทำงานของโครงข่าย และ วงจรสวิตช์ของโครงข่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5. กล่าวถึงการประยุกต์ใช้งานโครงข่ายทั้งสองใน 3 ลักษณะ คือ

5.1 โครงข่ายเชื่อมต่อภายในด้วยตัวเอง กล่าวถึง แนวความคิดในการเชื่อมโยง วงจรสวิตช์ วงจรสวิตช์แบตเชอร์ วงจรสวิตช์บานยาน การทดลอง และ ผลการทดลอง

5.2 โครงข่ายเชื่อมต่อแถบกว้าง กล่าวถึง แนวความคิดในการเชื่อมโยง คอมมิวนิเคชั่นโปรโตคอล โครงข่ายแบตเชอร์ การทำงานของโครงข่ายแบตเชอร์ วงจรสวิตช์แบตเชอร์ โครงข่ายบานยาน การทำงานของโครงข่ายบานยาน วงจรสวิตช์บานยาน การทดลอง และ ผลการทดลอง

5.3 โครงข่ายบริการร่วมดิจิตอลแถบกว้าง กล่าวถึง เทคนิคพื้นฐานของ ATM และ ATM cell header โครงสร้างโปรโตคอลของ ATM โครงข่ายบริการสื่อสารร่วมดิจิตอลแถบกว้าง โครงข่ายแบตเชอร์ โครงข่ายบานยาน การทดลอง และ ผลการทดลอง

บทที่ 6. เป็นการกล่าวสรุปรายละเอียดที่สำคัญต่าง ๆ ของวิทยานิพนธ์ทั้งหมด ปัญหาที่เกิดขึ้น และ แนวทางแก้ไข

ภาคผนวก กล่าวถึง โปรแกรมที่ใช้ในวิทยานิพนธ์ฉบับนี้ และ ผลงานวิจัยที่ได้ตีพิมพ์ในวารสารวิชาการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
โครงข่ายเชื่อมต่อภายใน

บทนำ

โครงข่ายเชื่อมต่อภายใน (Interconnection network) เป็นโครงข่ายที่นำไปประยุกต์ใช้งานได้อย่างกว้างขวาง เช่นการสื่อสารภายในและการประมวลผลของโปรเซสเซอร์ การประมวลผลแบบขนาน (Parallel Processing) โครงข่ายเชื่อมต่อด้วยตัวเอง (Self-routing switching) โครงข่ายสื่อสารร่วมดิจิตอล (Integrated Service Digital Network , ISDN) โครงข่ายสื่อสารร่วมดิจิตอลแถบกว้าง (Broadband Integrated Service Digital Network , B-ISDN) โครงข่ายเชื่อมต่อภายในเป็นโครงข่ายสำหรับการถ่ายโอนข้อมูลด้วยความเร็วสูงที่มีลักษณะเป็นชุด (Packet) ชุดของข้อมูลที่ป้อนทางอินพุตจะหาเส้นทางการเชื่อมต่อไปยังเอ้าพุต โดยอาศัยข้อมูลในส่วนหัวของชุดข้อมูล (Header) มาควบคุมการเชื่อมต่อ โดยชุดข้อมูลที่ปรากฏที่เอ้าพุต ยังคงมีลักษณะเช่นเดียวกับชุดข้อมูลที่รับมาทางอินพุต หรือเป็นการเลื่อนชุดข้อมูลทางอินพุตผ่านโครงข่ายไปยังเอ้าพุตที่ต้องการโดยอัตโนมัตินั่นเอง

การออกแบบโครงข่าย

โครงข่ายเชื่อมต่อภายในมีการพิจารณาในหลายๆ แบบ ในวิทยานิพนธ์ฉบับนี้จะพิจารณาโครงข่ายเชื่อมต่อภายในจากหลักในการออกแบบ ซึ่งพิจารณาจากลักษณะการใช้งาน โดยสำรวจจากโทโปโลยี (Topology) การพิจารณาโครงข่ายสำหรับใช้งานเป็นโครงข่ายเชื่อมต่อภายใน มีข้อกำหนดในการพิจารณาที่เหมาะสมทางสถาปัตยกรรมของโครงข่าย คือโหมดการทำงาน (Operation mode) , การควบคุม (Control strategy) , วิธีการสวิทชิ่ง (Switching methodology) และ โทโปโลยี (Topology)

โหมดการทำงาน

เราสามารถแบ่งโหมดการทำงานของการสื่อสารโดยทั่วไปออกเป็น 2 ประเภท คือ ซิงโคนัสโหมด (Synchronous mode) และ อะซิงโคนัสโหมด (Asynchronous mode)

1. ซิงโคนัสโหมด เหมาะสำหรับ ระบบการสื่อสารที่ต้องการถ่ายเทข้อมูลหรือการกระจายข้อมูล ที่เข้าจังหวะหรือการกระทำพร้อมๆกันไป โดยสามารถส่งผ่านข้อมูลได้ด้วยความเร็วสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. อะซิงโคนัสโหมด - เหมาะสำหรับ ระบบการสื่อสารที่มีการติดต่อที่เปลี่ยนแปลงอยู่เสมอ มีความสามารถส่งถ่ายข้อมูลที่ความเร็วสูงได้ไม่ดีนัก

ระบบการสื่อสารอาจจะออกแบบให้สะดวกโดยการออกแบบให้ใช้ทั้งระบบซิงโคนัสและระบบอะซิงโคนัส ดังนั้นในการใช้งานของโครงข่าย สามารถแบ่งออกเป็น 3 ระบบ คือ ซิงโคนัส อะซิงโคนัส และ ระบบผสม (Combination mode)

การควบคุม

โครงข่ายเชื่อมต่อภายในที่นิยมใช้กันอยู่ประกอบด้วย จำนวนของวงจรสวิตช์จำนวนมาก รูปแบบการเชื่อมโยงของโครงข่าย (Interconnection Link) ใช้สำหรับการเชื่อมโยงวงจรสวิตช์ในลักษณะต่างๆกัน ตามลักษณะของโทโปโลยี และการควบคุม (Interconnection Function) ทำหน้าที่ควบคุมวงจรสวิตช์โดยการควบคุมจากศูนย์กลาง (Centralized Control) หรือ การควบคุมวงจรสวิตช์แต่ละตัวจะกระทำโดยหน่วยควบคุม (Control Unit)

วิธีการสวิทชิ่ง

วิธีการสวิตชิ่งของโครงข่ายมีสองวิธีการใหญ่ๆ ด้วยกันคือ เซอร์กิตสวิทชิ่ง (CircuitSwitching) และ แพคเกตสวิทชิ่ง (Packet Switching) กรณีของเซอร์กิตสวิทชิ่ง จะมีการเชื่อมโยงทางกายภาพ (Physical) ระหว่างต้นทางไปจนถึงปลายทาง ส่วนกรณีของแพ็คเกตสวิทชิ่ง จะไม่มีการเชื่อมโยงทางกายภาพ ข้อมูลจะถูกส่งไปยังปลายทางโดยแบ่งเป็นชุดข้อมูล (Packet) แล้วส่งผ่านโครงข่าย โดยปราศจากการสร้างเส้นทางทางกายภาพไปยังปลายทาง ชุดข้อมูลจะถูกรวบรวมที่ปลายทางอีกครั้งหนึ่ง โดยทั่วไปแล้วการส่งข้อมูลแบบเซอร์กิตสวิทชิ่งแบบร่วม (Integrated Switching) โดยการรวมเอาความสามารถของเซอร์กิตสวิทชิ่งและแพคเกตสวิทชิ่ง เข้าไว้ด้วยกัน ดังนั้นจึงแบ่งวิธีการสวิทชิ่งได้ 3 แบบ คือ เซอร์กิตสวิทชิ่ง แพคเกตสวิทชิ่ง และ สวิทชิ่งแบบรวม

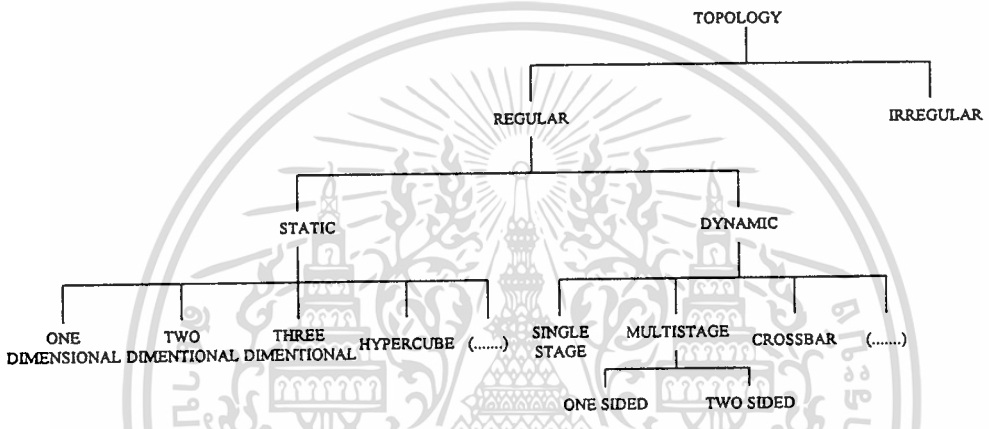
โทโปโลยี

รูปแบบของโครงข่ายสามารถแสดงด้วยกราฟ โดยโนด (Nodes) จะแทนแบบของการสวิทชิ่ง (Switching Point) และ เอดจ์ (edges) จะแทนรูปแบบการเชื่อมโยง (Communication Link Topology) จากรูปที่ 1. สามารถแบ่งได้สองลักษณะคือ แบบที่นิยมและแบบที่ไม่นิยม ในวิทยานิพนธ์ฉบับนี้จะพิจารณาเฉพาะแบบที่นิยม ซึ่งแบ่งออกได้สองระดับชั้นคือ สแตติก และ แบบไดนามิค ในรูปแบบของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สแตติก การเชื่อมโยงระหว่างวงจรสวิตช์แต่ละตัวจะไม่แสดงอะไรและไม่สามารถเปลี่ยนแปลงรูปแบบในการเชื่อมโยงได้หรือเป็นการต่อโดยตรงกับวงจรสวิตช์ตัวอื่นนั้นเอง ในทางกลับกันการเชื่อมโยงในรูปแบบของไดนามิคสามารถเปลี่ยนแปลงรูปแบบการเชื่อมโยงได้ เช่น การเปลี่ยนแปลงการเชื่อมโยงของวงจรครอสบาร์ เป็นต้น โทโปโลยีเป็นกุญแจสำคัญ ในการกำหนดรูปแบบของโครงสร้างของสถาปัตยกรรมของโครงข่าย

รูปที่ 1



แสดงโทโปโลยีของโครงข่ายเชื่อมต่อภายใน

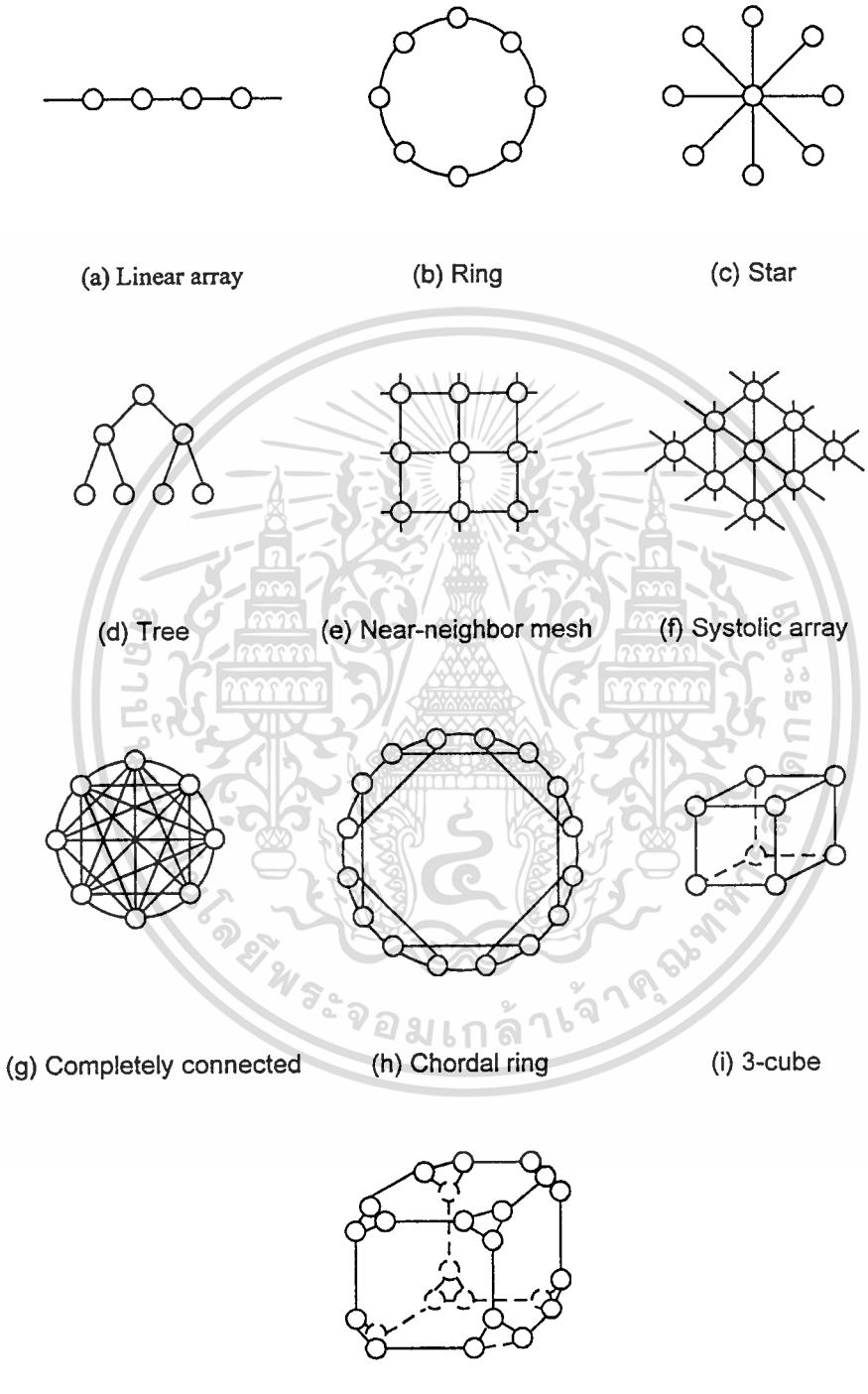
<u>แนวความคิดของโครงข่ายเชื่อมต่อภายใน</u>

โครงสร้างทางโทโปโลยีของโครงข่ายเชื่อมต่อภายในสามารถแบ่งออกเป็น 2 ลำดับชั้น บนพื้นฐานของโทโปโลยีของโครงข่าย คือ โครงข่ายไดนามิค และ โครงข่ายสแตติก

โครงข่ายแบบสแตติก แบ่งออกได้ตามขนาดทางมิติของแต่ละแบบ แสดงได้เป็น 1 มิติ 2 มิติ 3 มิติ และ มิติที่สูงกว่าสี่เหลี่ยมลูกบาศก์ (Hypercube) ดังแสดงในรูปที่ 1. ตัวอย่างของโทโปโลยีแบบ 1 มิติ คือ Linear array ใช้ในสถาปัตยกรรมแบบ Pipeline บางอย่าง ดังแสดงในรูปที่ 2. (a) โทโปโลยีแบบ 2 มิติ ประกอบด้วย Ring, Star , Tree , Mesh และ Systolic array โครงสร้างแต่ละแบบแสดงในรูปที่ 2. (b-f) โทโปโลยีแบบ 3 มิติ ประกอบด้วย Completely connected , Chordal ring , 3-cube และ 3-cube connected Cycle network แสดงไว้ในรูปที่ 2. (g-j) เมื่อ D เป็นมิติ, W เป็นความกว้าง Hypercube จะประกอบด้วย W โหนดในแต่ละมิติ และ มีการเชื่อมต่อของโหนดในแต่ละมิติแบบตาข่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2



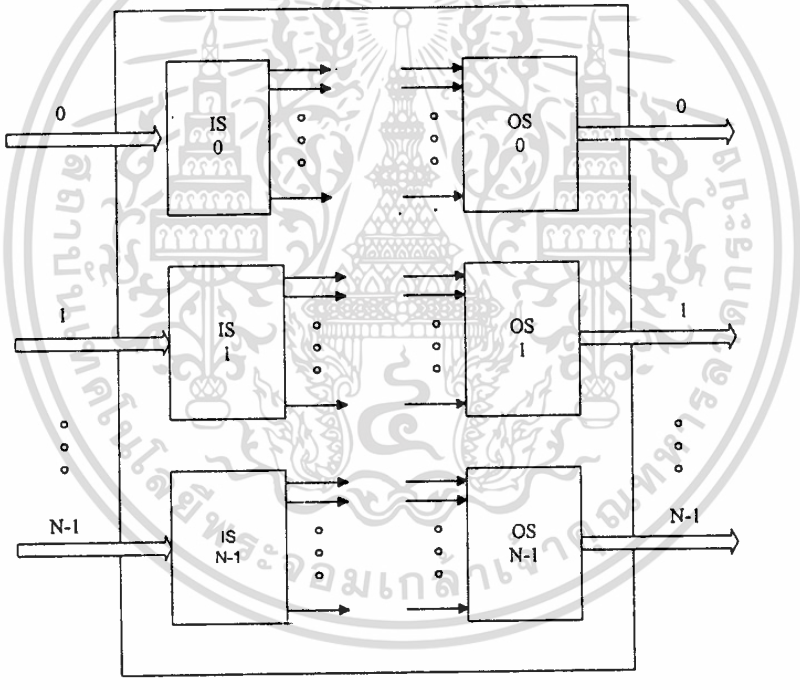
แสดงตัวอย่างโทโปโลยีของโครงข่ายแบบสแตติก : (a) 1 มิติ (b-f) 2 มิติ (g-j) 3 มิติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Dynamic Network topology

ในโครงข่ายแบบไดนามิคจะพิจารณาเป็น 2 ลำดับชั้น คือ แบบสเตจเดียว (Single Stage) และแบบหลายสเตจ (Multistage) Single Stage Network คือ Switching network ที่ประกอบไปด้วย N input selector (IS) และ N output selector (OS) ดังแสดงในรูปที่ 3. และ IS จำเป็นต้องมี Demultiplexer 1 to D และแต่ละ OS จะต้องมี Multiplexer M to 1 โดยที่ $1 < D < N$ และ $1 < M < N$ ดังเช่นสวิทชิ่งแบบคลอสบาร์ เป็น Single stage network ที่มี N=D=M เป็นต้น

รูปที่ 3



แสดงแนวความคิดของ Single stage Interconnection Network

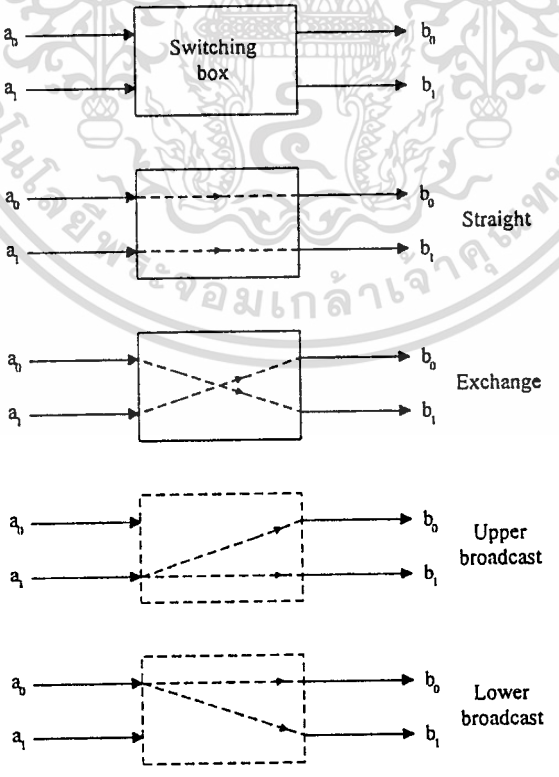
Single stage network บางครั้งเรียกว่า Recirculating Network เนื่องจากชุดข้อมูลแต่ละตัวอาจจะวนผ่าน Single stage หลายครั้งก่อนจะไปถึงปลายทาง จำนวน Recirculation ขึ้นอยู่กับความต้องการ การเชื่อมโยงใน Single stage network โดยทั่วๆ ไปการเชื่อมต่อทางฮาร์ดแวร์มีสูงและจำนวน Recirculation จะน้อย ตัวอย่างเช่นสวิตช์แบบคลอสบาร์มีเพียง Circulation เดียว ในการสร้างเส้นทางการเชื่อมโยงไปที่ปลายทาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Multistage network

มีชุดของวงจรสวิตช์ (Switching element) หลายชุด โดยพิจารณาคุณลักษณะของ Multistage network 3 ประการ คือ วงจรสวิตช์ , โทโปโลยี (Topology) และโครงสร้างการควบคุม (Control Structure) มีวงจรสวิตช์จำนวนมากที่ใช้กับ Multistage network วงจรสวิตช์แต่ละตัวจะมีการแลกเปลี่ยนกันระหว่าง 2 อินพุตและ 2 เอ้าพุต ดังแสดงในรูป 4. แสดงสภาวะพื้นฐานของวงจรสวิตช์ 4 สภาวะด้วยกัน คือ Straigh, Exchangc, Upper broadcast และ Lower broadcast วงจรสวิตช์บางวงจรที่ใช้กับโครงข่ายเชื่อมโยงในบางชนิดใช้ลักษณะการทำงานเพียง 2 สภาวะ คือ Straight (pass) หรือ Exchange (Cross) เท่านั้น ความสามารถด้านการเชื่อมต่อของ Multistage network ไม่มีกฎเกณฑ์ทางอินพุตและเอ้าพุต โดยมีได้ทั้งแบบด้านเดียวและแบบ 2 ด้าน แบบด้านเดียวบางครั้งเราเรียกว่า Full Switch โดยมีอินพุตพอร์ตอยู่ด้านเดียวกัน แบบ 2 ด้าน จะแยกด้วยอินพุต เอ้าพุต และแบ่งคุณลักษณะได้ 3 ประการคือ Blocking , Rerangeable และ Nonblocking

รูปที่ 4



แสดงวงจรสวิตช์แบบ 2 ด้าน มีสภาวะการทำงาน 4 สภาวะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. Blocking network เป็นโครงข่ายที่สามารถเชื่อมต่อชุดข้อมูลทางด้านอินพุตในเวลาเดียวกันมากว่า 1 คู่ ผลที่ได้อาจจะขัดแย้งกันหรือเกิดการชนกันของชุดข้อมูลในระหว่างการเชื่อมโยงชุดข้อมูลได้

2. Rerangable network เป็นโครงข่ายที่สามารถทำงานเชื่อมต่อชุดข้อมูลทั้งหมดที่เป็นไปได้จากอินพุตไปยังเอ้าพุต โดย Rerangable ยังคงต่ออยู่ ดังนั้น เส้นทางการเชื่อมต่อสำหรับ อินพุตและเอ้าพุตใหม่สามารถสร้างไว้เสมอ

3. Nonblocking network เป็นโครงข่ายที่สามารถเชื่อมต่อชุดข้อมูลทางด้านอินพุตไปยังเอ้าพุตในเวลาเดียวกันได้มากกว่า 1 คู่ โดยไม่มีการขัดแย้งซึ่งกันและกันหรือเกิดการชนกันของชุดข้อมูล ในระหว่างการสร้างเส้นทางการเชื่อมโยงนั้น

ขนาดของ Multistage network มีขนาดเป็น $N = 2^n$ โดยที่ n เป็นจำนวน stage N เป็นจำนวนของอินพุตหรือเอ้าพุต แต่ละ stage จะใช้วงจรสวิตช์จำนวน N/2 รูปแบบการเชื่อมโยงของแต่ละ Stage สามารถกำหนดได้จากโทโปโลยี ของโครงข่าย โครงสร้างการควบคุม (Control Structure) ของโครงข่ายขึ้นอยู่กับสถานะของวงจรสวิตช์ที่ใช้ โครงสร้างการควบคุมมี 2 ชนิดใหญ่ๆ ที่ใช้ในโครงข่ายคือ ควบคุมแต่ละสเตจเอง (Individual Stage Control) โดยสัญญาณที่ใช้ควบคุมวงจรสวิตช์แต่ละตัวจะเหมือนๆ กันในสเตจเดียวกัน ดังนั้นจะต้องสัญญาณ n ชุด เพื่อควบคุม n stage แบบที่สองใช้สัญญาณควบคุมแต่ละวงจรสวิตช์เอง (Individual box Control) ในแต่ละวงจรสวิตช์ต้องใช้สัญญาณควบคุมแต่ละวงจรสวิตช์เองทำให้มีความอ่อนตัวสูงในการกำหนดเส้นทางการเชื่อมโยง แต่มันต้องการสัญญาณควบคุมถึง $N^2/2$ สัญญาณ ซึ่งเป็นส่วนประกอบของวงจรที่จะต้องเพิ่มขึ้น

ข้อตกลงในการติดต่อสื่อสาร (Communication Protocols) วิธีการสวิตช์และวิธีการควบคุมจะเป็นตัวกำหนดสภาวะของวงจรสวิตช์ แต่ละวงจรสวิตช์ก็ต้องการข้อตกลงในการติดต่อสื่อสารกัน ข้อตกลงนี้สามารถแบ่งออกได้เป็น 2 ระดับคือ ระดับแรก จะเป็นแนวความคิดที่ใช้ควบคุมวงจรสวิตช์ (Switching Control Algorithm) ซึ่งจำเป็นมากในการกำหนดการควบคุมวงจรสวิตช์ เพื่อให้มีความสัมพันธ์กับการถ่ายโอนข้อมูลจากต้นทางไปยังปลายทาง ระดับที่สองจะพิจารณารูปแบบการติดต่อเชื่อมโยง (Link control procedure) ที่จัดเตรียมไว้สำหรับการตรวจสอบกันระหว่างวงจรสวิตช์ (hand checking) ซึ่งการตรวจสอบนี้เป็นหน้าที่พื้นฐานของวงจรสวิตช์

เทคนิคการเชื่อมโยง (Routing techniques) ขึ้นอยู่กับโทโปโลยีและโหมดการทำงานของโครงข่ายที่ใช้ แต่ละวงจรสวิตช์ต้องการวิธีการเชื่อมโยงเพื่อให้การเชื่อมโยงเป็นไปตามวัตถุประสงค์ที่ตั้งไว้

วงจรสวิตช์

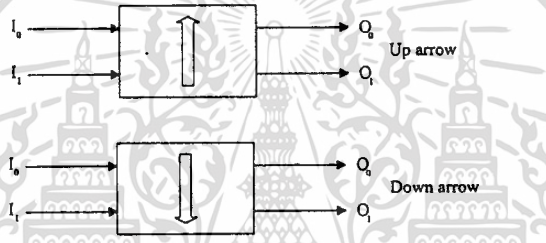
วงจรสวิตช์เป็นวงจรขนาดเล็กที่ใช้เชื่อมโยงข้อมูลภายในโครงข่าย วิธีการเชื่อมโยงภายในวงจรสวิตช์นั้นจะขึ้นกับ โทโปโลยี และข้อตกลงในการเชื่อมโยงของแต่ละโครงข่าย โดยทั่วไปมีลักษณะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานอยู่ 4 ประเภท คือ Straight , Exchange , Upper broadcast และ Lower broadcast โดยมีลักษณะการทำงานที่ไม่ควรเกิดขึ้น 2 กรณี คือ Upper case และ Lower cast ดังแสดงในรูปที่ 5.

สัญญลักษณ์ที่นิยมใช้แทนลักษณะการทำงานที่มักพบบ่อยๆ ได้แก่การใช้ลูกศรแทนลักษณะการทำงาน ดังนี้คือ ลูกศรชี้ขึ้น (Up arrow) ใช้แทนวงจรสวิตช์ที่มีสภาวะการทำงานให้เอ๊าพุตที่มีค่าสูงกว่าไปออกด้านบน (O0) และให้เอ๊าพุตที่มีค่าต่ำกว่ามาออกด้านล่าง (O1) ลูกศรชี้ลง (Down arrow) ใช้แทนสภาวะของวงจรสวิตช์ที่ให้เอ๊าพุตที่มีค่าต่ำกว่าไปออกด้านบน (O0) และให้เอ๊าพุตที่มีค่าสูงไปออกด้านล่าง ดังแสดงได้ในรูปที่ 5.

รูปที่ 5

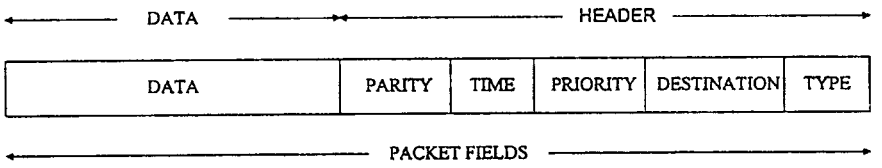


แสดงสัญญลักษณ์ของวงจรสวิตช์

ชุดข้อมูล

รูปแบบของชุดข้อมูลที่นิยมใช้โดยทั่วไปแสดงได้ ดังรูปที่ 6.

รูปที่ 6



แสดงรายละเอียดของชุดข้อมูล

ชุดข้อมูล ประกอบด้วย ชนิดของชุดข้อมูล (Type) เป็นส่วนเริ่มต้นของชุดข้อมูล ใช้แสดงว่าชุดข้อมูลนั้นมีข้อมูลหรือไม่ (Active, Inactive) โดยปกติแล้วจะมีค่าเท่ากับ 7E หมายเลขปลายทาง เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนที่ใช้กำหนดตำแหน่งปลายทางของชุดข้อมูล ส่วนลำดับความสำคัญใช้กำหนดลำดับความสำคัญของแต่ละชุดข้อมูล ส่วนเวลาใช้แสดงเวลาที่ใช้ขณะจัดส่งชุดข้อมูล ส่วนตรวจสอบความผิดพลาด ใช้สำหรับตรวจสอบความผิดพลาดของชุดข้อมูลที่ส่งไปยังปลายทาง ส่วนข้อมูล ใช้บรรจุข้อมูลที่ต้องการส่งไปยังปลายทางตามหมายเลขปลายทาง ความยาวของข้อมูลขึ้นอยู่กับความต้องการของแต่ละระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
โครงข่ายแบตเชอร์

บทนำ

โครงข่ายแบตเชอร์ (batcher) เป็นโครงข่ายที่มีจุดประสงค์ในการเรียงลำดับชุดข้อมูลที่รับเข้ามาทางอินพุตให้ไปออกที่เอ้าพุต ตามหมายเลขปลายทางของชุดข้อมูล โดยเรียงจำนวนน้อยไปมากหรือมากไปน้อยขึ้นอยู่กับการจัดวงจรภายในโครงข่ายแบตเชอร์เอง โครงข่ายแบตเชอร์ใช้โทโปโลยีแบบมัลติสเตจ ทำงานในโหมดซิงโคนัส การควบคุมวงจรสวิตช์ใช้การควบคุมจากศูนย์กลาง โครงข่ายแบตเชอร์ประกอบด้วย วงจร สวิตช์แบตเชอร์ (Batcher switching element) จำนวนมากต่ออยู่ระหว่างอินพุทกับเอ้าพุต เรียงกันไปหลายภาคแต่ละภาค จะเชื่อมต่อกันในลักษณะพิเศษคือ การต่อแบบสลับและแลกเปลี่ยน (Shuffle exchange) เพื่อให้ได้คุณสมบัติในการเรียงลำดับชุดข้อมูลของโครงข่าย

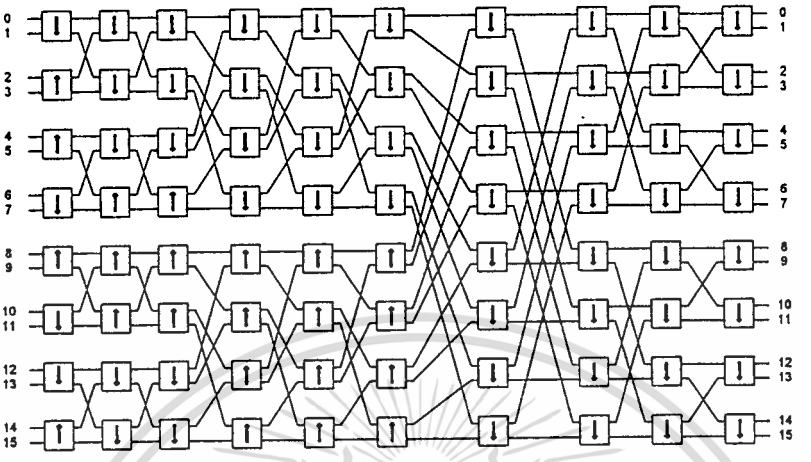
โครงข่ายแบตเชอร์

ขนาดของโครงข่ายแบตเชอร์ ขึ้นอยู่กับขนาดอินพุตของโครงข่ายแบตเชอร์ที่ต้องการ เราสามารถคำนวณหาขนาดของวงจรสวิตช์แบตเชอร์ที่จำเป็นต้องใช้ในการสร้างโครงข่ายแบตเชอร์ตามขนาดอินพุตที่ต้องการได้ดังนี้

Row	=	$N/2$	(3.1)
Column	=	$\log_2 N (\log_2 N+1) / 2$	(3.2)
Processing element	=	Row x Column	(3.3)
N	=	Channel	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 7

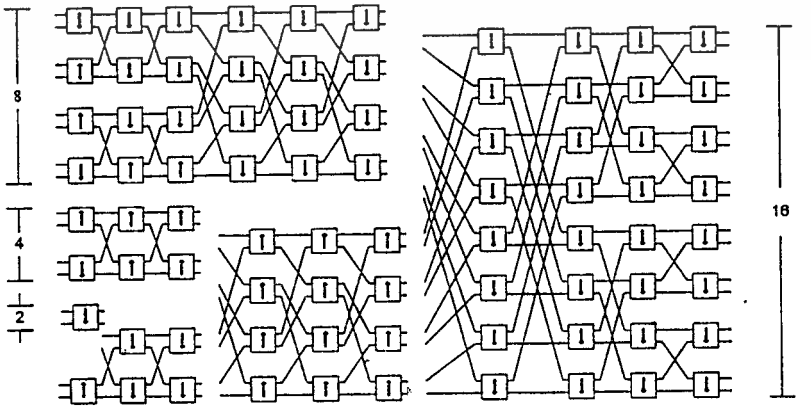


แสดงโครงข่ายแบตเชอร์ขนาด 16 อินพุตและ 16 เอ๊าพุต

<u>การแบ่งส่วนของโครงข่ายแบตเชอร์</u>

โครงข่ายแบตเชอร์สามารถสร้างได้หลายขนาดบนพื้นฐานของวงจรสวิตช์แบตเชอร์หลายๆ วงจร ประกอบกับเป็นโครงข่ายแบตเชอร์หลายๆ ขนาด ตามความต้องการของผู้ออกแบบ จำนวนของวงจรสวิตช์ที่ใช้สามารถคำนวณหาได้จากสมการที่ (3.3) นำมาเชื่อมต่อกันแบบสลับและแลกเปลี่ยน เพื่อให้ได้โครงข่ายแบตเชอร์ตามขนาดที่ต้องการ

รูปที่ 8



แสดงขนาดต่างๆ ของโครงข่ายแบตเชอร์

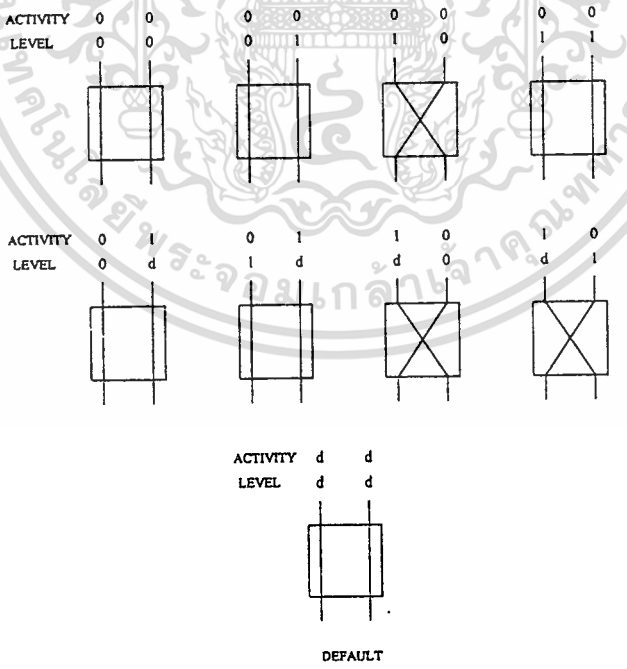
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดงขนาดต่างๆ ของโครงข่ายแบตเซอร์ สามารถมีได้หลายขนาดจากขนาดเล็ก (2 x 2) ไปจนถึง ขนาด (16 x 16) สามารถสร้างโครงข่ายแบตเซอร์ที่มีขนาดใหญ่กว่าที่แสดงได้ โดยวงจรสวิตช์แบตเซอร์แต่ละวงจรมีลักษณะเหมือนกันทุกประการ

แนวความคิดในการเชื่อมโยงของวงจรสวิตช์แบตเซอร์

แนวความคิดที่ใช้ในการเชื่อมโยงดังรูปที่แสดง จะใช้ความสัมพันธ์ของ Activity bit และบิตต่างๆ ในส่วนหัวของชุดข้อมูล เป็นตัวกำหนดเส้นทางการเชื่อมโยงของชุดข้อมูล ข้อมูลบิตแรกในส่วนหัวของชุดข้อมูลเป็นบิตที่มีนัยสำคัญสูงสุด (MSB) บิตสุดท้ายเป็นบิตที่มีนัยสำคัญต่ำสุด (LSB) สภาวะในการเชื่อมโยงของวงจรสวิตช์แบตเซอร์ถูกกำหนดโดยการเปรียบเทียบบิตส่วนหัวของชุดข้อมูลกับสถานะของ Activity bit ตามเงื่อนไขที่กำหนด สถาวะที่เป็นไปได้ในการเชื่อมโยงมีด้วยกัน 2 สถาวะ คือ Straight และ Exchange ในสภาวะปกติจะกำหนดให้วงจรสวิตช์มีสภาวะเป็น Straight

รูปที่ 9



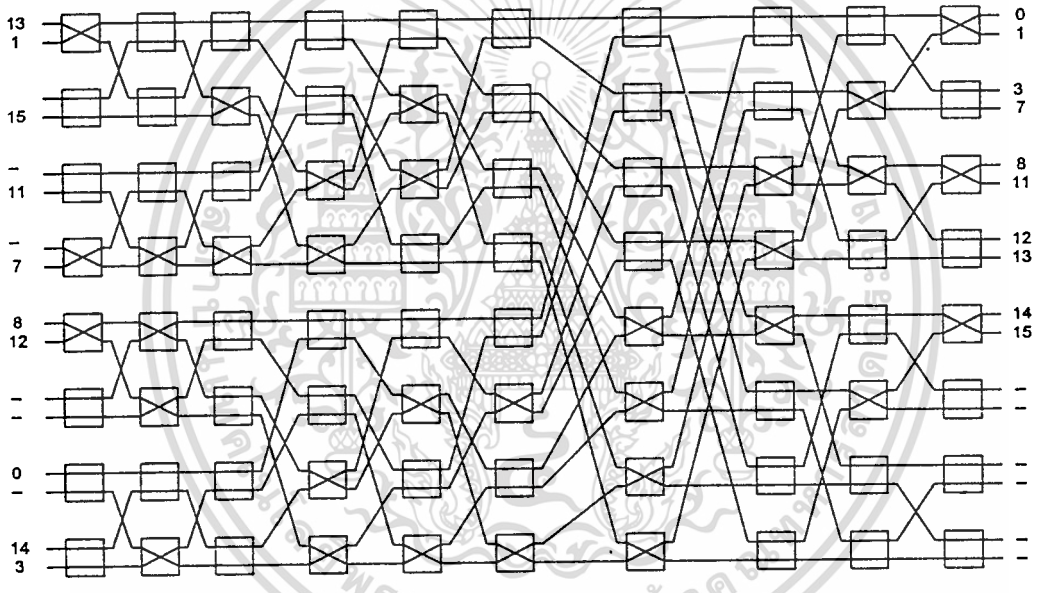
แสดงแนวความคิดในการเชื่อมโยงของวงจรสวิตช์แบตเซอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>การทำงานของโครงข่ายแบตเชอร์</u>

ชุดข้อมูลที่ถูกป้อนที่อินพุตของโครงข่ายแบตเชอร์นั้น จะต้องมีหมายเลขปลายทางไม่มากไปกว่าจำนวนวงจรของโครงข่าย และ จะต้องไม่มีหมายเลขปลายทางที่ซ้ำกัน เมื่อพิจารณาจากรูปจะพบว่าชุดข้อมูลทางอินพุต จะมีหมายเลขปลายทางที่ปนกันมา โดยยังไม่ได้เรียงลำดับ โดยจะใช้โครงข่ายแบตเชอร์เรียงลำดับชุดข้อมูลดังกล่าว

รูปที่ 10.



แสดงการทำงานของแบตเชอร์ขนาด 16 x 16 วงจร

พิจารณาการทำงานของโครงข่ายแบตเชอร์จากรูปที่ 10 โดยใช้ชุดข้อมูลที่มีหมายเลขปลายทาง 11 (1011b) เป็นตัวอย่าง ชุดข้อมูลจะถูกป้อนทางอินพุต 5 ในภาคแรกชุดข้อมูลดังกล่าวทำการเปรียบเทียบกับ Inactive packet ที่อินพุต 4 วงจรสวิตช์ส่วนนี้ใช้แบบ Up sort จากเงื่อนไขที่ใช้ในการเปรียบเทียบทำให้วงจรสวิตช์มีสภาวะเป็น Straight ชุดข้อมูลจะไปปรากฏที่เอ้าพุต O1 ในภาคที่ 2 ก็ถูกเปรียบเทียบกับ Inactive packet เช่นกันแต่เงื่อนไขที่ใช้ต่างกันทำให้ได้สภาวะเป็น Exchange ภาคที่ 3 ทำการเปรียบเทียบกับชุดข้อมูลที่มีหมายเลขปลายทาง 7 ได้สภาวะ Exchange เช่นกัน ส่วนในภาคอื่นๆ เป็นไปตามสภาวะของวงจรสวิตช์ที่แสดงไว้บนสัญญาลักษณ์ของวงจรสวิตช์ตามเส้นทางการเชื่อมโยง ของชุดข้อมูลต่างๆ ผลรวมที่ปรากฏที่เอ้าพุตเป็นไปตามวัตถุประสงค์ คือ ชุดข้อมูลถูกจัดเรียงจากน้อยไปมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

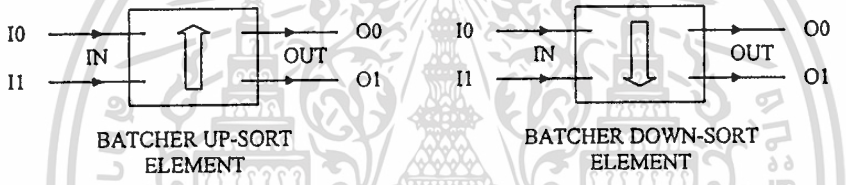
สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ตามด้วย Inactive packet ดังที่แสดงในรูป 10. จะเห็นว่าไม่มีชุดข้อมูลใด เชื่อมหรือชนกันในขณะที่ทำการเชื่อมโยงผ่านโครงข่าย ซึ่งเหตุการนี้เป็นคุณสมบัติอย่างหนึ่งของโครงข่าย

<u>วงจรสวิตช์แบตเชอร์</u>

วงจรสวิตช์แบตเชอร์ จะใช้สัญญลักษณ์ดังแสดงในรูปที่ 11. แนวความคิดที่ใช้ในการเชื่อมโยงจะใช้ความสัมพันธ์ของ Activity bit และ บิตในส่วนหัวของชุดข้อมูล ถ้าเป็นไปตามเงื่อนไขใดก็ทำการปรับปรุงวงจรสวิตช์ให้อยู่ในสถานะเชื่อมโยงนั้น

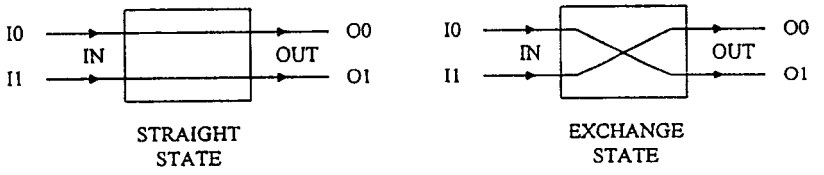
รูปที่ 11



แสดงสัญญลักษณ์ของวงจรสวิตช์แบตเชอร์

วงจรสวิตช์แบตเชอร์ที่ใช้ในโครงข่ายนั้น ใช้ทั้งชนิด Up-sort และ Down-sort เพื่อให้การเปรียบเทียบบิตที่ส่วนหัวของชุดข้อมูลที่มีความแตกต่างกัน และ จำนวนภาคของวงจรน้อยที่สุด วงจรสวิตช์จะมีสถาวะการทำงานของวงจรสวิตช์แบตเชอร์ ถูกออกแบบให้มีสภาวะการทำงาน 2 สภาวะดังรูปที่ 12.

รูปที่ 12



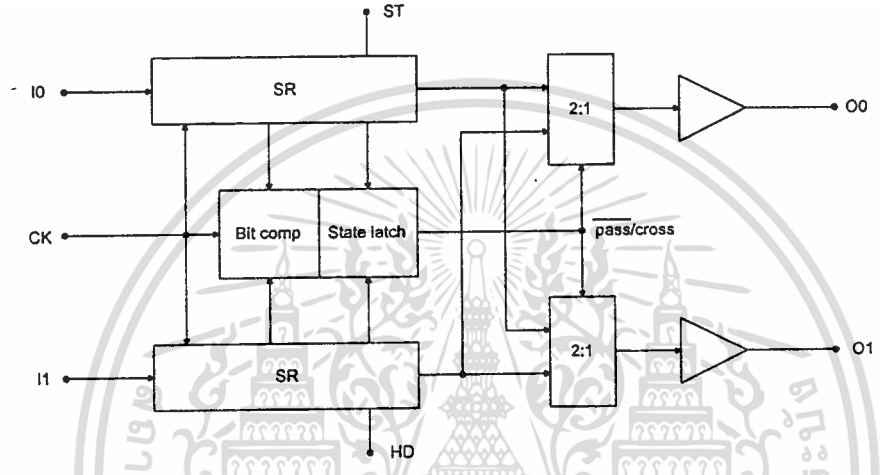
แสดงสภาวะการทำงานของวงจรสวิตช์แบตเชอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

27284

สภาวะการทำงานของวงจรสวิตช์แบตเชอร์ ถูกปรับปรุงให้มีสภาวะการทำงานเพียง 2 สภาวะ เพื่อป้องกันไม่ให้เกิดการเชื่อมหรือชนกันของชุดข้อมูล เพราะจะทำให้ชุดข้อมูลที่ได้เกิดการผิดพลาดขึ้นได้ การป้องกันไม่ให้เกิดการเชื่อมหรือชนกันของชุดข้อมูล เป็นคุณสมบัติของโครงข่าย

รูปที่ 13



แสดงบล็อกไดอะแกรมของวงจรสวิตช์แบตเชอร์

บล็อกไดอะแกรมของวงจรสวิตช์แบตเชอร์ ประกอบด้วย Shift register, Bit comparater, State latch และ 2:1 Multiplexer เมื่อมีชุดข้อมูลป้อนมาทางอินพุต I0 และ I1 Bit comparater จะทำการเก็บสภาวะของ Activity bit ไว้เพื่อตรวจสอบเงื่อนไขกับบิตในส่วนหัวของชุดข้อมูล ถ้าส่วนตรวจสอบบิตตรวจพบความแตกต่างของบิตในขณะที่อยู่ในช่วงหัวของชุดข้อมูล ก็จะทำการเปรียบเทียบกับ Activity bit ว่าเป็นไปตามเงื่อนไขใด และส่งผลที่ได้ไปควบคุมให้ 2:1 Multiplexer ปรับปรุงเส้นทางการเชื่อมโยง เมื่อวงจรสวิตช์ถูกปรับปรุงเส้นทาง จะค้างสถานะนั้นไปจนกว่าชุดข้อมูลจะเคลื่อนที่ผ่านวงจรสวิตช์ไปจนหมดเฟรมก่อน ส่วนควบคุมจึงจะทำการ Reset สภาวะของวงจรสวิตช์ให้เป็นการเชื่อมต่อโดยตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
โครงข่ายบานยาน

บทนำ

โครงข่ายบานยาน (Banyan network) เป็นโครงข่ายที่มีวัตถุประสงค์ในการจัดส่งชุดข้อมูลไปยังตำแหน่งปลายทางที่ถูกต้องตามหมายเลขปลายทางของชุดข้อมูล หรือ เรียกโครงข่ายนี้ว่า Expander netwok โครงข่ายบานยานใช้โทโปโลยีแบบมัลติสเตจ ทำงานในโหมดชิงโคนัส ใช้การควบคุมจากศูนย์กลาง โครงข่ายบานยานประกอบด้วยวงจรสวิตช์บานยาน (Banyan switching element) จำนวนมากต่อระหว่างอินพุตและเอ้าพุตเรียงกันไป แต่ละภาคเชื่อมต่อกันในลักษณะพิเศษ เพื่อให้ได้คุณสมบัติของโครงข่ายบานยาน

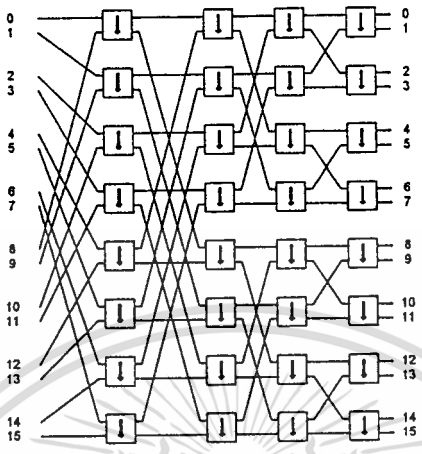
โครงข่ายบานยาน

ขนาดของโครงข่ายบานยานนี้ขึ้นอยู่กับ จำนวนของอินพุตและเอ้าพุตที่ต้องการ โดยสามารถคำนวณหาจำนวนของวงจรสวิตช์บานยาน ที่จำเป็นต้องใช้ในการเชื่อมต่อเป็นโครงข่ายบานยานได้ดังนี้

Row	=	N/2	(4.1)
Column	=	$\log_2 N$	(4.2)
Processing element	=	Row x Column	(4.3)
N	=	Channel	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 14

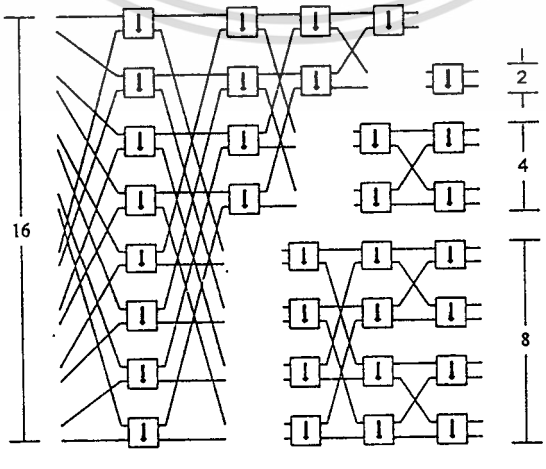


แสดงโครงข่ายบานยานขนาด 16 x 16

<u>การแบ่งส่วนของโครงข่ายบานยาน</u>

โครงข่ายบานยานสามารถสร้างได้หลายขนาด ขึ้นอยู่กับ จำนวนอินพุตเอ๊าพุตที่ต้องการ โดยสร้าง จากจำนวนของวงจรสวิตช์ที่คำนวณหาได้จากสมการที่ (4.3) การเชื่อมโยงระหว่างวงจรสวิตช์ใช้การเชื่อมโยงแบบ Perfect shuffle เพื่อให้การเชื่อมโยงเป็นไปตามคุณสมบัติของโครงข่ายบานยาน

รูปที่ 15



แสดงขนาดต่าง ๆ ของโครงข่ายบานยาน

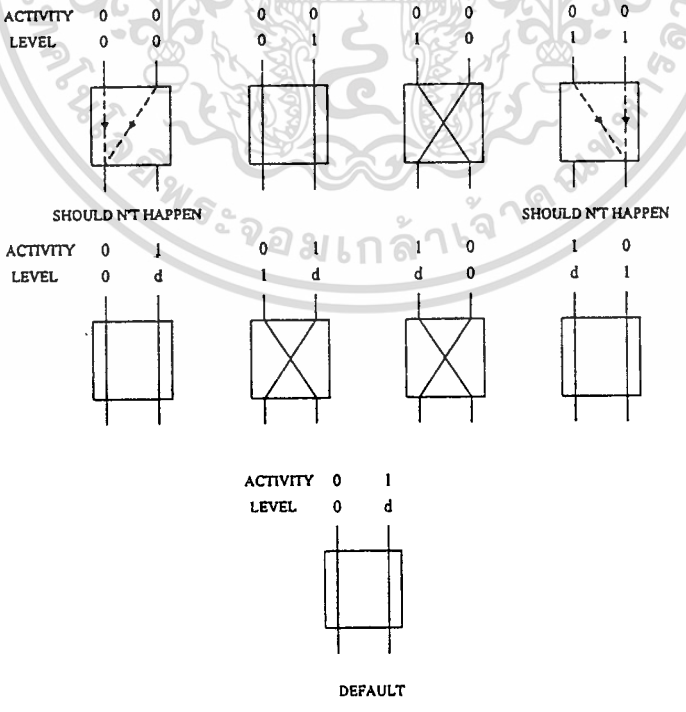
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขนาดต่างๆ ของโครงข่ายบานยานตามที่แสดงในรูปที่ 15. สามารถมีได้หลายขนาด จากขนาดเล็กที่สุด 2 x 2 ไปจนถึงขนาด 16 x 16 หรือ ตามความต้องการในการใช้งาน

<u>แนวความคิดในการเชื่อมโยงของวงจรสวิตช์บานยาน</u>

แนวความคิดที่ใช้ในการเชื่อมโยงแสดงได้ดังรูปที่ 16. โดยใช้ความสัมพันธ์ของ Activity bit และ บิต ต่างๆ ในส่วนหัวของชุดข้อมูล ข้อมูลบิตแรกของส่วนหัวของชุดข้อมูลเป็นบิตที่มีนัยสำคัญสูงสุด (MSB) และบิตสุดท้ายของส่วนหัวเป็นบิตที่มีนัยสำคัญต่ำสุด (LSB) ข้อมูลส่วนหัวของชุดข้อมูลแต่ละบิตจะใช้กำหนดการเชื่อมโยงในแต่ละภาคของโครงข่าย วงจรสวิตช์จะมีสถานะการเชื่อมต่อที่เป็นไปได้ 6 สถานะ ดังแสดงในรูป 16. มีทั้งสถานะที่ควรเกิดขึ้นและไม่ควรเกิดขึ้น จึงปรับปรุงให้การเชื่อมต่อที่ไม่ควรเกิดขึ้น ให้มีลักษณะเป็นการเชื่อมต่อโดยตรง (Straight) เหตุการณ์เชื่อมต่อที่เป็นไปได้จึงเหลือเพียง 2 สภาวะ คือ straight และ exchange ในสภาวะปกติสวิตช์ถูกกำหนดให้มีสถานะการเชื่อมโยงโดยตรง

รูปที่ 16



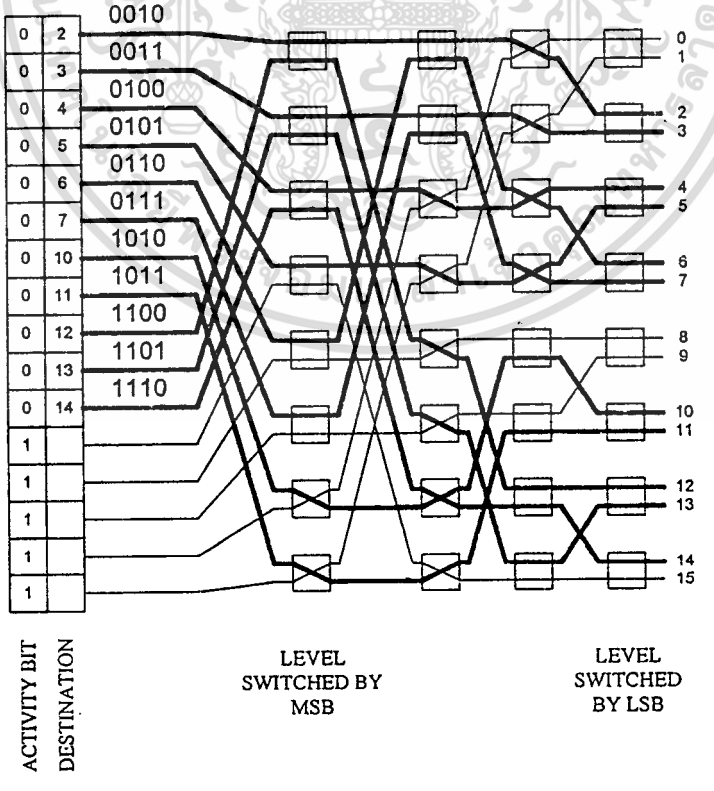
แสดงแนวความคิดที่ใช้ในการเชื่อมโยงของวงจรสวิตช์บานยาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของโครงข่ายบานยาน

การทำงานของโครงข่ายบานยานสามารถพิจารณาได้จากรูปที่ 17. โดยชุดข้อมูลที่จะป้อนที่อินพุตของโครงข่ายบานยานนั้น จะต้องมีการเรียงลำดับจากน้อยไปมากมาแล้ว และไม่มีหมายเลขปลายทางซ้ำกันด้วย เมื่อพิจารณาจากรูปที่ 17. จะเห็นว่าชุดข้อมูลที่มีข้อมูล (Active packet) จะอยู่ทางด้านซ้ายและเรียงจากน้อยไปมาก ส่วนชุดข้อมูลที่ไม่มีข้อมูล (Inactive packet) จะอยู่ด้านขวาทั้งหมด การสร้างเส้นทางการเชื่อมโยงผ่านโครงข่ายนั้น จะใช้สถานะในแต่ละบิต ของส่วนหัวของชุดข้อมูล มาเป็นตัวกำหนดเส้นทางโดยมีความสัมพันธ์กับ Active หรือ Inactive ของชุดข้อมูล โดยบิตแรก (MSB) จะใช้กำหนดสถานะของวงจรสวิตช์ในภาคแรกของโครงข่าย และบิตที่สองก็กำหนดเส้นทางการเชื่อมโยงในภาคที่สองและบิตสุดท้ายของส่วนหัวของชุดข้อมูลก็ใช้กำหนดเส้นทางในภาคสุดท้ายตามลำดับ เมื่อวงจรสวิตช์ทำการปรับปรุงเส้นทางการเชื่อมโยงและจะค้างสถานะไว้จนกว่าชุดข้อมูลจะเลื่อนผ่านโครงข่ายแล้วจึงจะปรับสถานะของโครงข่ายให้พร้อมเพื่อรอรับ ชุดข้อมูลอื่นต่อไป

รูปที่ 17



แสดงการทำงานของโครงข่ายบานยานขนาด 16 x 16 วงจร

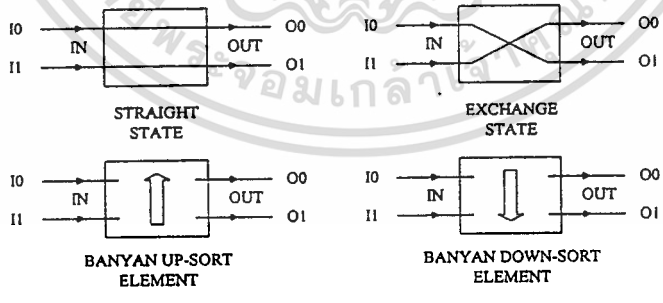
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- จากรูปพิจารณาชุดข้อมูลที่มีหมายเลขปลายทาง 2 (0010b) จะพบว่ามี Activity bit เท่ากับ " 0 " เนื่องจากเป็น Active packet มี MSB เท่ากับ " 0 " ทำการเปรียบเทียบกับชุดข้อมูลหมายเลข 12 (1100b) เป็น Active packet เช่นกัน ทำให้ได้เงื่อนไขในการเชื่อมโยงเป็น " 0001 " ซึ่งวงจรสวิตช์จะอยู่ในสภาวะ Straight เอ๊าพุตที่ได้ ชุดข้อมูลหมายเลข 2 จะปรากฏที่เอ๊าพุต " 0 " ซึ่งอยู่ทางด้านบน ชุดข้อมูลหมายเลข 12 จะปรากฏที่เอ๊าพุต " 1 " ทางด้านล่างของวงจรสวิตช์ดังรูปที่ 17. ส่วนบิตถัดจาก MSB นั้นชุดข้อมูลหมายเลข 2 ทำการเปรียบเทียบกับชุดข้อมูลหมายเลข 6 สถานะของวงจรสวิตช์เป็น Straight เช่นกัน ในระดับที่ 3 ชุดข้อมูลหมายเลข 2 ทำการเปรียบเทียบกับชุดข้อมูลที่เป็น Inactive packet สถานะของวงจรสวิตช์เป็น Exchange ระดับสุดท้าย (LSB) ชุดข้อมูลหมายเลข 2 ทำการเปรียบเทียบกับชุดข้อมูล 3 สถานะเป็น Straight เช่นกัน เมื่อชุดข้อมูลหมายเลข 2 เคลื่อนที่ผ่านโครงข่ายจะไปปรากฏที่เอ๊าพุตหมายเลข 2 ซึ่งตรงกับหมายเลขปลายทางที่ถูกระบุไว้ในส่วนหัวของชุดข้อมูลจากต้นทาง

<u>วงจรสวิตช์บานยาน</u>

วงจรสวิตช์ของบานยานจะใช้วงจรสวิตช์ที่แสดงในรูปที่ 18. สัญญลักษณ์ของวงจรสวิตช์บานยานมีลักษณะเหมือนกับสัญญลักษณ์ของวงจรแบตเชอร์ เพียงแต่เปลี่ยนแนวความคิด ที่ใช้ในการเชื่อมโยงเส้นทางของวงจรสวิตช์

รูปที่ 18

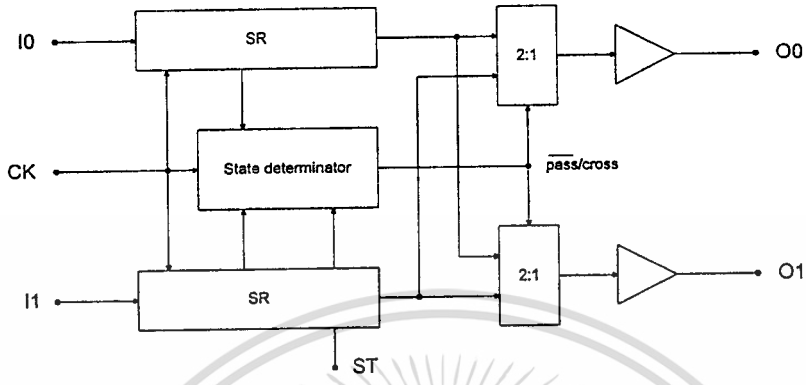


แสดงสถานะและสัญญลักษณ์ของวงจรสวิตช์บานยาน

วงจรสวิตช์บานยานที่ใช้ในโครงข่ายบานยาน นั้นเป็น Banyan down-sort element มาควบคุมการหาเส้นทางการเชื่อมโยงของโครงข่าย ส่วนประกอบภายในของวงจรสวิตช์แสดงได้ดังรูปต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 19



แสดงบล็อกไดอะแกรมของวงจรสวิตช์บานยาน

บล็อกไดอะแกรมของวงจรสวิตช์บานยาน ประกอบด้วย Shift register, State determinator, State latch และ 2:1 Multiplexer เมื่อมีชุดข้อมูลทางอินพุต Activity bit จะถูกเก็บไว้ตรวจสอบกับบิตต่างๆ ในส่วนหัวของชุดข้อมูล ใน State determinator เพื่อนำผลที่ได้ไปกำหนดเส้นทางการเคลื่อนที่ผ่านโครงข่ายของชุดข้อมูลใน 2:1 Multiplexer โดยชุดข้อมูลที่ปรากฏที่เอ๊าพุตยังคงมีลักษณะเช่นเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
การประยุกต์ใช้งาน

กล่าวนำ

ในบทนี้เสนอการประยุกต์ใช้งานโครงข่ายแบตเซอร์ และ โครงข่ายบานยาน ใน 3 ลักษณะ คือ โครงข่ายเชื่อมต่อภายในด้วยตัวเอง (Self routing network) , โครงข่ายเชื่อมต่อแถบกว้าง (Broadband switching network) และ โครงข่าบบริการร่วมดิจิตอลแถบกว้าง (Broadband integrated service digital network , B-ISDN)

ในการประยุกต์ใช้งานโครงข่ายเชื่อมต่อด้วยตัวเองนั้น ทำการออกแบบโดยใช้วงจรลอจิกเกตชนิด มอสเฟทความเร็วสูง ที่ใช้ในระบบดิจิตอลทั่ว ๆ ไป เพื่อให้ได้การทำงานตามวัตถุประสงค์ในย่านความเร็วในการถ่ายโอนข้อมูลประมาณ 10 Mb/s ซึ่งเพียงพอที่จะนำไปใช้งานใน ระบบ Packet switching ทั่ว ๆ ไป เช่น X25 X400 หรือ N-ISDN โดยมีย่านความเร็วในการใช้งานประมาณ 2 Mb/s การเชื่อมต่อทางฮาร์ดแวร์ใช้โปรโตคอลในการควบคุมใน Physical layer และ Data link layer โดย โปรโตคอลในชั้นกายภาพ เป็นโปรโตคอลที่กล่าวถึง กฎ ระเบียบ และ วิธีการเชื่อมต่ออุปกรณ์สื่อสารเข้ากับโครงข่าย โปรโตคอลในชั้นเชื่อมโยงข้อมูลกล่างถึง กฎ ระ เบียบ และ วิธีปฏิบัติ เพื่อให้อุปกรณ์สื่อสารต้นทางปลายทาง และ โครงข่าย สามารถตีความหมายของชุดข้อมูลได้ รวมทั้งสามารถบอกได้ว่า ข้อมูลนั้นเกิดข้อผิดพลาดในการรับส่งหรือไม่ จะใช้โปรโตคอลในชั้นนี้เพื่อตรวจจับรูปแบบของชุดข้อมูล เพื่อนำไปควบคุมโครงข่ายเพื่อให้โครงข่ายสามารถเชื่อมต่อชุดข้อมูลได้

การประยุกต์ใช้งานในลักษณะเป็นโครงข่ายเชื่อมต่อแถบกว้างนั้น โครงข่ายถูกออกแบบโดยใช้ CMOS Transistor เพื่อให้โครงข่ายมีอัตราการถ่ายโอนข้อมูลในอัตราที่สูงขึ้น โดยกำหนดไว้ประมาณ 170 Mb/s ซึ่งเป็นอัตราที่ครอบคุมการส่งข่าวสารข้อมูล เสียง และ ภาพเคลื่อนไหวได้ ที่จำเป็นต้องใช้ในการสื่อสารแบบหลายสื่อ (Multimedia network) ที่นิยมใช้ในปัจจุบัน โปรโตคอลที่ใช้ในโครงข่ายชนิดนี้ ใช้ 2 ชั้นดังที่กล่าวเช่นกัน

การประยุกต์ใช้งานในลักษณะเป็นโครงข่ายบริการร่วมดิจิตอลแถบกว้าง โดยใช้เทคนิคพื้นฐานในการรับส่งข้อมูลแบบ ATM เป็นการส่งชุดข้อมูลขนาดเล็ก (53 ไบท์) ผ่านโครงข่ายแบตเซอร์และโครงข่ายบานยานขนาด 32 วงจร โดยใช้อัตราการถ่ายโอนข้อมูล 155 Mb/s การออกแบบใช้ CMOS เช่นเดียวกับโครงข่ายเชื่อมต่อแถบกว้าง แตกต่างกันที่โปรโตคอลที่ใช้ในการควบคุมการถ่ายโอนข้อมูลของโครงข่ายที่อ้างอิงด้วย เทคนิคของ ATM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงข่ายเชื่อมโยงภายในด้วยตัวเอง

บทนำ

โครงข่ายเชื่อมโยงภายในด้วยตัวเอง (Self routing network) ประกอบด้วย Sorting network บนพื้นฐานของ Batcher bitonic sorting algorithm เชื่อมต่อแบบ Perfect shuffle กับ Expander network โดยใช้ Banyan network การออกแบบจะแยกออกเป็นสองส่วน คือ โครงข่ายแบตเชอร์ขนาด 16 x 16 และโครงข่ายบานยาน ขนาด 16 x 16 นำมาเชื่อมต่อกันเป็นโครงข่ายเชื่อมโยงด้วยตัวเองขนาด 16 x 16 ซึ่งเป็นขนาดพื้นฐานที่สามารถนำไปสร้างโครงข่ายเชื่อมโยงด้วยตัวเองได้หลายขนาด

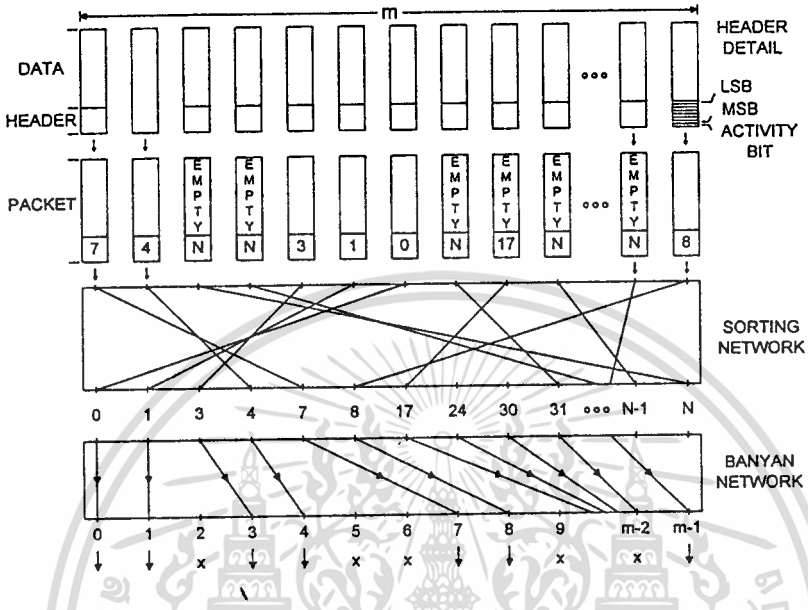
แนวความคิดในการเชื่อมโยง

แนวความคิดพื้นฐานในการเชื่อมโยงชุดข้อมูล จากอินพุตไปยังเอ้าพุตผ่านโครงข่ายแบตเชอร์ และ โครงข่ายบานยาน โดยพิจารณาจากชุดข้อมูล ซึ่งมีขนาดและความยาวเท่ากันอยู่บน Time slot เดียวกัน (Synchronous) ชุดข้อมูลประกอบด้วยส่วนที่สำคัญ 3 ส่วน คือ Activity bit Header และ Data ในส่วนของ Activity bit นั้นถ้าเป็น " 0 " หมายถึง Active packet (มีชุดข้อมูล) ถ้าเป็น " 1 " หมายถึง Inactive packet (ไม่มีชุดข้อมูล) Sorting network จะจัดการกับชุดข้อมูลขนาด m packet ในแต่ละ Time frame ให้เรียงลำดับจากน้อยไปมาก และแยกไปตามอินพุตต่างๆ ตามข้อมูลที่ระบุไว้ในส่วนหัวของชุดข้อมูล โดย โครงข่ายแบตเชอร์ และโครงข่ายบานยาน ตามลำดับ

ในการใช้งานจริง อินพุตอาจไม่ได้รับ ชุดข้อมูล เข้ามาหรือไม่ได้เรียกปลายทาง แต่ผลที่ได้จากโครงข่ายแบตเชอร์ ชุดข้อมูลจะเรียงลำดับจากน้อยไปมาก แต่ไม่มากไปกว่าขนาดสูงสุดของโครงข่าย เอ้าพุตจะมีความสัมพันธ์กันและไม่จำเป็นจะต้องมีตัวเลขที่เรียงติดกัน พิจารณาจากรูปที่ 20. จะเห็นว่าไม่มี ชุดข้อมูลหมายเลขปลายทาง 2 ป้อนเข้ามาทางอินพุต ฉะนั้นเอ้าพุตของโครงข่ายแบตเชอร์ และ โครงข่ายบานยาน จะไม่มี ชุดข้อมูลหมายเลขปลายทาง 2 นอกนั้น โครงข่ายแบตเชอร์ และ โครงข่ายบานยาน จะทำการจัดส่งชุดข้อมูลไปยัง เอ้าพุตที่ตำแหน่งที่ถูกต้องตาม หมายเลขปลายทางของมัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 20



แสดงพื้นฐานการออกแบบ และ รูปแบบของชุดข้อมูล

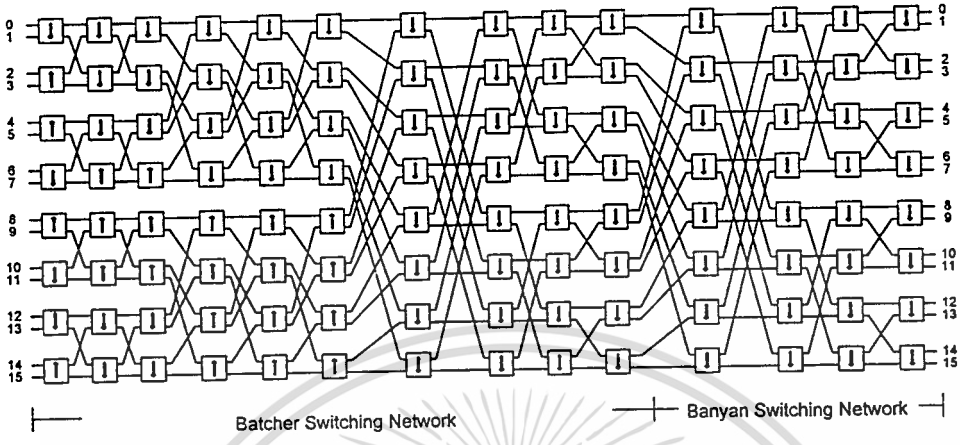
โครงข่ายทั้งสองเรียกว่า โครงข่ายเชื่อมโยงภายในด้วยตัวเอง (Self routing network) มีคุณสมบัติในการเชื่อมโยงชุดข้อมูลจากอินพุตไปยังเอ๊าพุตได้ด้วยตัวเอง (Self-routing) ทำงานโดยการอ่านค่าจากส่วนหัวของชุดข้อมูลมากำหนดเส้นทางการเคลื่อนที่ผ่านโครงข่าย คุณสมบัติของโครงข่ายจะมีลักษณะเป็น Non-blocking หมายถึง Active packet จำนวนมากถูกต่อเข้ามาทางอินพุตของโครงข่าย ทำให้การปรับตัวของสวิตช์เพื่อการเชื่อมโยงชุดข้อมูลจากอินพุตไปยังเอ๊าพุต ได้โดยไม่มีการเชื่อมหรือชนกันกับ ชุดข้อมูล อื่นๆ การหน่วงเวลา (Delay time) มีค่าการหน่วงเวลาของชุดข้อมูลที่เคลื่อนที่ผ่านโครงข่ายเท่ากัน สามารถเชื่อมโยงชุดข้อมูลทั้งหมดที่อินพุตไปยังเอ๊าพุตได้ทุกช่องทางของการเชื่อมโยงตามขนาดของโครงข่าย (Full interconnetion)

<u>โครงข่ายเชื่อมโยงภายในด้วยตัวเอง</u>

โครงข่ายเชื่อมโยงภายในด้วยตัวเองประกอบด้วยโครงข่ายแบตเซอร์ขนาด 16 x 16 เชื่อมต่อกับโครงข่ายบานยานขนาด 16 x 16 เช่นกัน ผลที่ได้จากการเชื่อมโยงของโครงข่ายทั้งสองเข้าด้วยกันนั้นทำให้ได้คุณสมบัติของโครงข่ายที่เรียกว่าโครงข่ายเชื่อมโยงภายในด้วยตัวเองขนาด 16 x 16 วงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 21

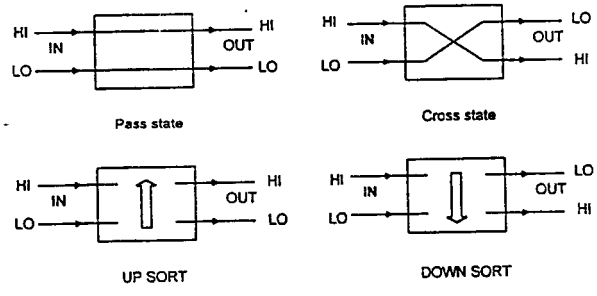


แสดงโครงข่ายเชื่อมโยงภายในด้วยตัวเอง ขนาด 16 x 16 วงจร

<u>วงจรสวิตช์</u>

วงจรสวิตช์ (Switching element) จะมีลักษณะการทำงานอยู่ 2 แบบ คือ Pass และ Cross ดังรูปที่ 22. สถานะการทำงานนี้จะสัมพันธ์กับสัญญลักษณ์ลูกศรบนตัวของวงจรสวิตช์ ลูกศรบนตัววงจรสวิตช์นั้นมี 2 ชนิด คือ ลูกศรชี้ขึ้น (Upsort switching element) และ ลูกศรชี้ลง (Downsort switching element) โดยทั้งสองจะทำการเรียงลำดับหมายเลขปลายทางของชุดข้อมูลให้ไปปรากฏที่เอ๊าพุตตามทิศทางของลูกศรคือ ทางหัวของลูกศรจะมี หมายเลขปลายทางมากกว่าทางด้านหางของลูกศร ทำให้ วงจรสวิตช์ มีลักษณะการทำงาน 2 แบบ คือ Pass และ Cross นั้นเอง

รูปที่ 22



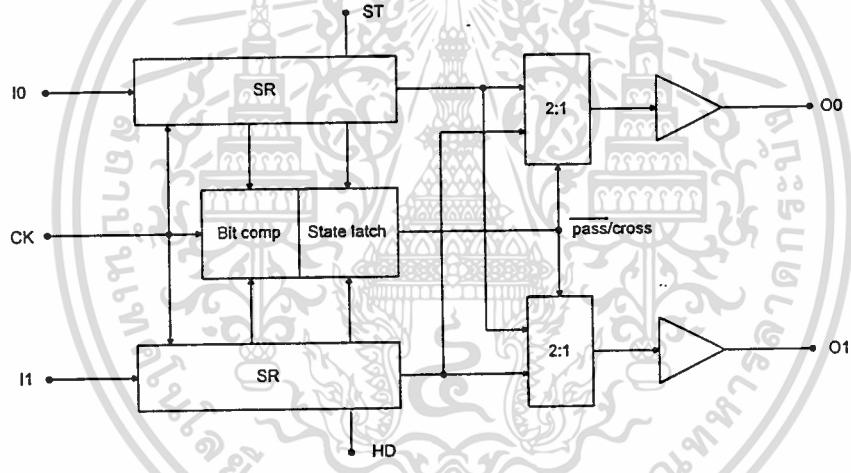
แสดงการทำงานของ วงจรสวิตช์ และ สัญญลักษณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรสวิตช์แบตเชอร์

เมื่อพิจารณาวงจรสวิตช์แบตเชอร์ มีขนาด 2 อินพุต 2 เอ้าพุต (2 x 2) จะพบว่ามีอยู่ 2 ลักษณะ คือ Batcher upsort element และ Batcher downsort element สังเกตุได้จากทิศทางของลูกศรที่แสดงภายใน Switching block โดยที่ Batcher upsort element จะทำการเรียงลำดับชุดข้อมูลที่มีหมายเลขปลายทางมากกว่าไปออกด้านบน และให้ชุดข้อมูลที่มีหมายเลขปลายทางน้อยกว่าไปออกด้านล่าง ส่วน Batcher downsort element จะทำให้ลักษณะตรงกันข้าม เมื่อนำมาเชื่อมต่อกันในลักษณะที่เหมาะสม (โครงข่ายแบตเชอร์) จะทำให้ได้คุณสมบัติของ Sorting network ดังกล่าว

รูปที่ 23



แสดงบล็อกไดอะแกรม ของ Batcher switching element

บล็อกไดอะแกรม ของ Batcher switching element แสดงดังรูปที่ 23. ภายใน วงจรสวิตช์ประกอบด้วย Shift register (SR) , Bit comparator (BC) , State latch (SL) และ 2:1 Multiplexer เมื่อ ชุดข้อมูลถูกป้อนมาที่อินพุต I0 และ I1 (Synchronous mode) ส่วนของวงจรเปรียบเทียบบิต จะทำการเปรียบเทียบบิต ของหมายเลขปลายทางที่ส่วนหัวของชุดข้อมูล ถ้าตรวจพบความแตกต่างของบิต ที่เป็นไปตามเงื่อนไข จะทำการปรับเส้นทางของการเชื่อมโยงชุดข้อมูลไปยังเอ้าพุตที่เหมาะสม โดยส่งสัญญาณไป Latch สถานะของ MUX ที่ SL จนกว่าชุดข้อมูลจะเคลื่อนที่ผ่านวงจรสวิตช์ไป โดยผ่าน SR ชุดข้อมูลที่ปรากฏที่เอ้าพุทของวงจรสวิตช์ยังคงมีลักษณะเดียวกันกับชุดข้อมูลที่รับเข้ามาทางอินพุต แต่จะเรียงลำดับตามคุณสมบัติของโครงข่าย และจะปรับสถานะ (Reset) กลับมาเป็น Pass state เพื่อรอรับ Packet อื่นๆ ต่อไป

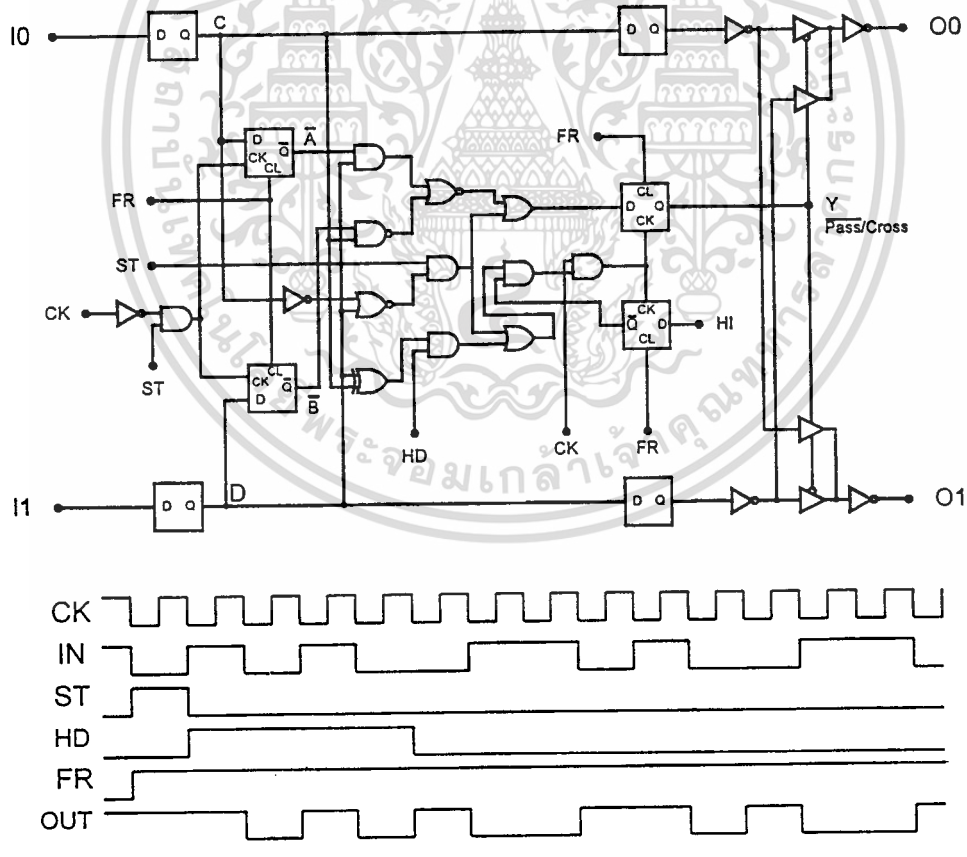
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 1

A	1	1	1	0	0	0	0	0	0
B	1	0	0	1	1	0	0	0	0
C	1	1	1	0	1	0	0	1	1
D	1	0	1	1	1	0	1	0	1
Y	0	1	1	0	0	0	0	1	0

แสดงเงื่อนไขที่ใช้ในการตรวจสอบชุดข้อมูลของวงจรสวิตช์แบตเชอร์

รูปที่ 24



แสดง Batcher switching circuit และ Timing diagram

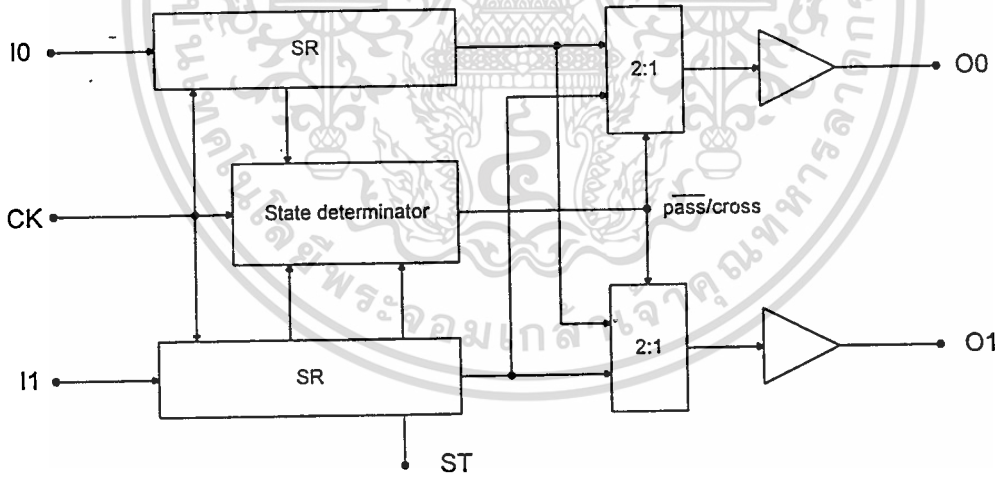
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนของวงจรเปรียบเทียบบิต นั้นประกอบด้วยส่วนของวงจรที่ใช้ 3 ส่วนคือ ส่วนตรวจสอบ Active หรือ Inactive packet ส่วนตรวจสอบความแตกต่างของบิท ในส่วนหัวของชุดข้อมูล และส่วนตรวจสอบตามเงื่อนไขปกติ โดยใช้สัญญาณ ST HD และ FR ผลที่ได้ส่งไป Latch ที่ State latch เพื่อควบคุมสถานะของ 2:1 Multiplexer แต่ละวงจรสวิตช์จะใช้ Delay time ประมาณ 2 Clock.

<u>วงจรสวิตช์บานยาน</u>

วงจรสวิตช์บานยาน ที่ใช้ในโครงข่ายบานยานนั้นเป็น Banyan upsort element หรือ Banyan downsort element การควบคุมการหาเส้นทางการเชื่อมโยงชุดข้อมูลจากอินพุตไปยังเอ้าพุต ใช้หลักการควบคุมดังนี้คือ ใช้บิตแรก (MSB) ของชุดข้อมูลมาเป็นตัวกำหนดสถานะของวงจรสวิตช์ใน Stage แรก และ บิตต่อๆ ไป ใน Stage ต่อๆ ไป จนกระทั่ง บิตสุดท้าย (LSB) จะใช้ควบคุมใน Stage สุดท้าย ก่อนที่ชุดข้อมูลจะไปออกที่ เอ้าพุตตามที่ต้องการ

รูปที่ 25



แสดงบล็อกไดอะแกรม ของ Banyan processing element.

บล็อกไดอะแกรม ของ Banyan processing element ประกอบด้วย Shift register (SR) State determinater (SD) , State latch (SL) และ 2 : 1 Multiplexer เมื่อมีชุดข้อมูลเข้ามาทางอินพุต I0 และ I1 Activity bit จะถูกเก็บไว้ตรวจสอบกับ Bit ต่างๆ ในส่วนหัวของชุดข้อมูล เพื่อนำผลไปกำหนดเส้นทางการเคลื่อนที่ผ่านโครงข่ายของชุดข้อมูล โดยส่งสัญญาณไปควบคุม 2:1 Multiplexer สัญญาณมีค่าเป็น " 0 " หมายถึง วงจรสวิตช์มีสภาวะเป็นการเชื่อมต่อโดยตรง ถ้ามีค่าเป็น " 1 " วงจร สวิตช์จะสลับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

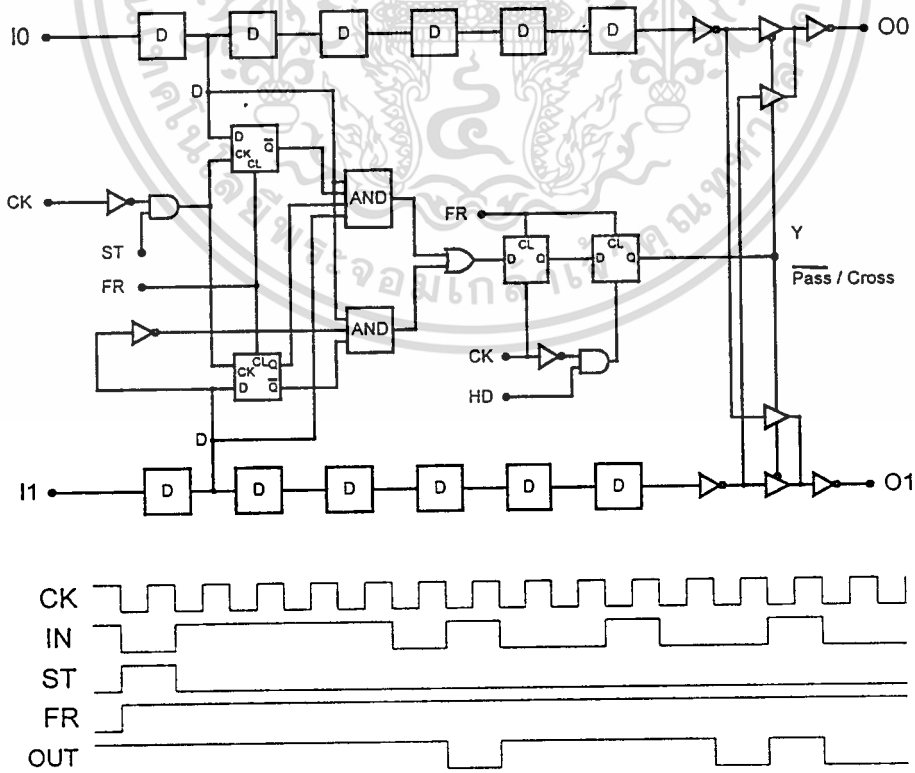
เส้นทางให้ชุดข้อมูลเปลี่ยนทิศทางไปออกอีกทางหนึ่ง เมื่อวงจรสวิตช์ปรับปรุงเส้นทางในการเชื่อมโยงแล้ว ก็จะค้างสภาวะนั้นไปจนกว่าชุดข้อมูลจะเคลื่อนที่ผ่านวงจรไปก่อนจึงปรับเส้นทางให้เป็นการเชื่อมต่อโดยตรง โดยชุดข้อมูลที่ปรากฏที่เอ้าพุตนั้นยังคงมีลักษณะเช่นเดียวกับอินพุตที่รับเข้ามา

ตารางที่ 2

A	0	0	0	0	0	0	1	1	1
B	0	0	0	0	1	1	0	0	1
C	0	0	1	1	0	1	1	1	1
D	0	1	0	1	1	1	0	1	1
Y	0	0	1	0	0	1	1	0	0

แสดงเงื่อนไขที่ใช้ในการตรวจสอบชุดข้อมูลของวงจรสวิตช์บานยาน

รูปที่ 26



แสดง Banyan processing element circuit และ timing diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

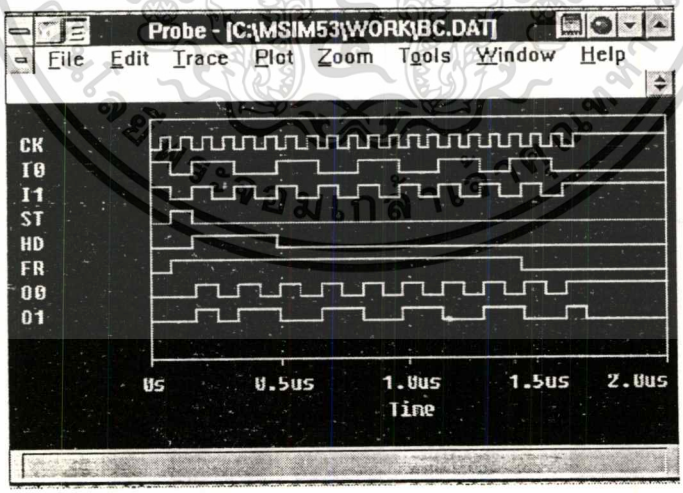
ในส่วนของ SR นั้นจะใช้ขนาดที่เพียงพอจะเก็บ Aetivity bit และ Header ทั้งหมดไว้ก่อนที่จะส่งไปให้ 2:1 MUX เพื่อให้ข้อมูลที่ปรากฏที่เอ้าพุต มีลักษณะเช่นเดียวกับที่รับเข้ามาทางอินพุต การควบคุมแต่ละ Stage ของ โครงข่าย จะใช้สัญญาณ ST ผ่าน Shift register ไปควบคุมในแต่ละ Stage เพื่อให้การปรับตัวของ วงจรสวิตช์แต่ละ Stage เป็นไปอย่างเหมาะสม

การทดสอบและผลการทดสอบ

การทดสอบของวงจรสวิตช์ในวิทยานิพนธ์ในบทนี้ ได้แบ่งเป็นสองส่วน คือ 1. การทดสอบโดยใช้การเลียนแบบการทำงานด้วยโปรแกรม PSpice ในส่วนของวงจรสวิตช์แบตเซอร์ 2. การทดสอบโดยใช้การเลียนแบบการทำงานด้วยโปรแกรม PSpice ในส่วนของวงจรสวิตช์บานยาน โดยทั้งสองวงจรสวิตช์ประกอบขึ้นจากวงจรลอจิกเกตพื้นฐาน

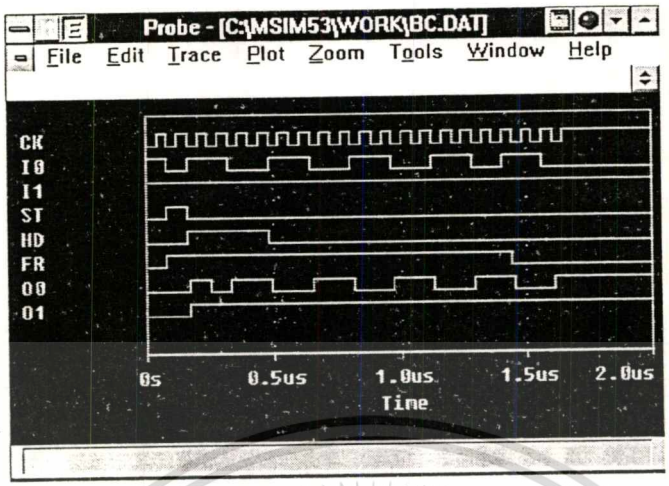
จากการทดสอบวงจรสวิตช์แบตเซอร์ และวงจรสวิตช์บานยาน โดยทำการทดสอบเงื่อนไขต่างๆ ที่ใช้ในการเชื่อมโยงของวงจรสวิตช์ ผลที่ได้จากการเลียนแบบการทำงาน วงจรสวิตช์ทั้งสองสามารถทำงานได้ตามวัตถุประสงค์ที่ได้ออกแบบไว้

รูปที่ 27

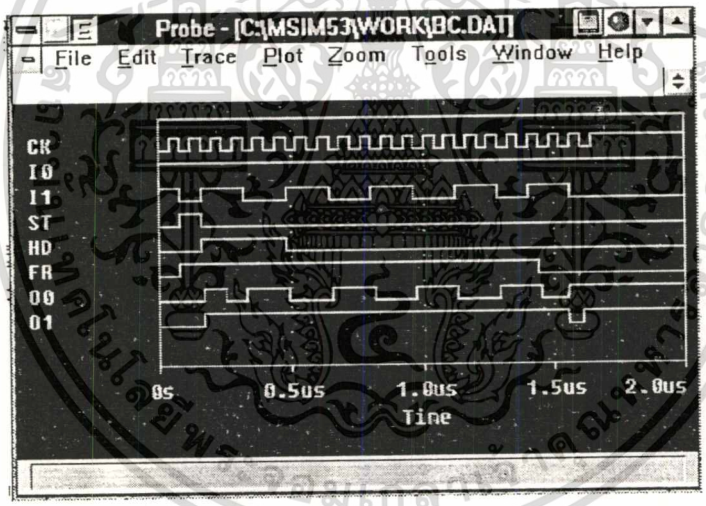


(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข)



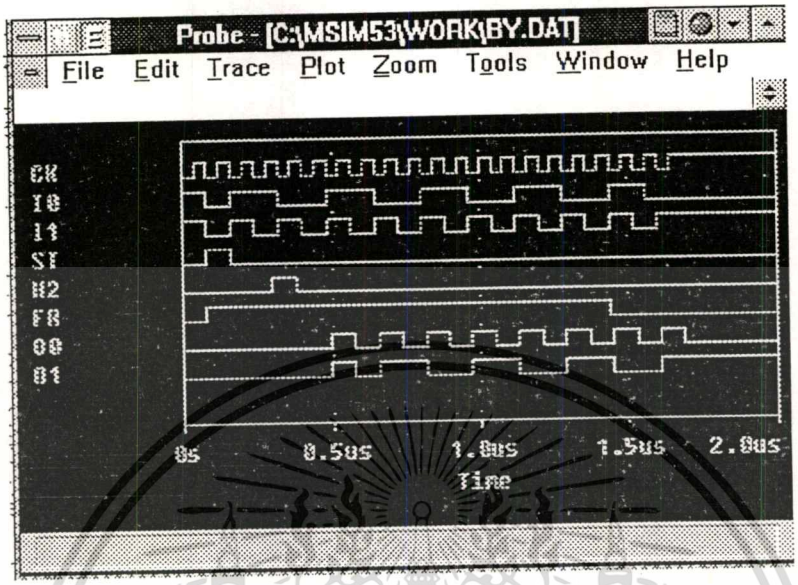
(ค)

แสดง สัญญาณที่ได้จากการเลียนแบบการทำงานของวงจรสวิตช์แบตเชอร์ (ก) Packet มีการ Cross ที่ตำแหน่งบิทที่ 2 (ข) I1 เป็น Inactive packet สถานะ Pass

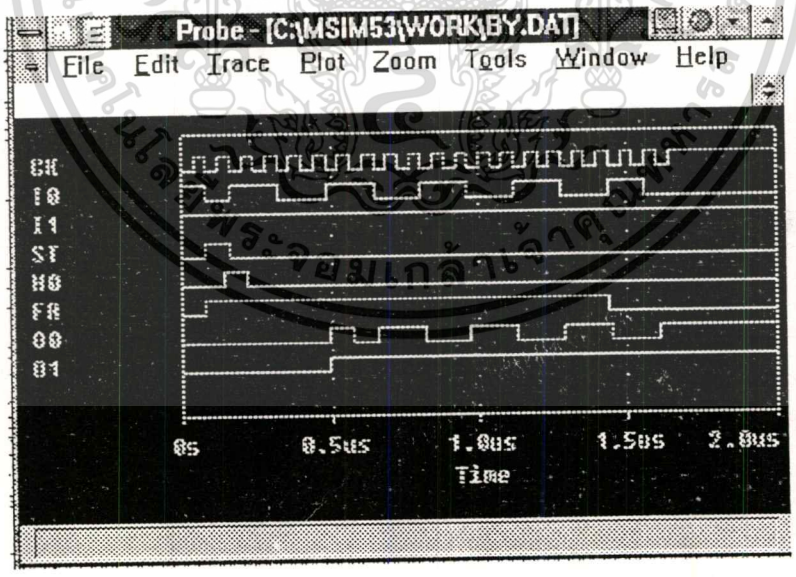
(ค) I0 เป็น Inactive packet สถานะ Cross

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 28

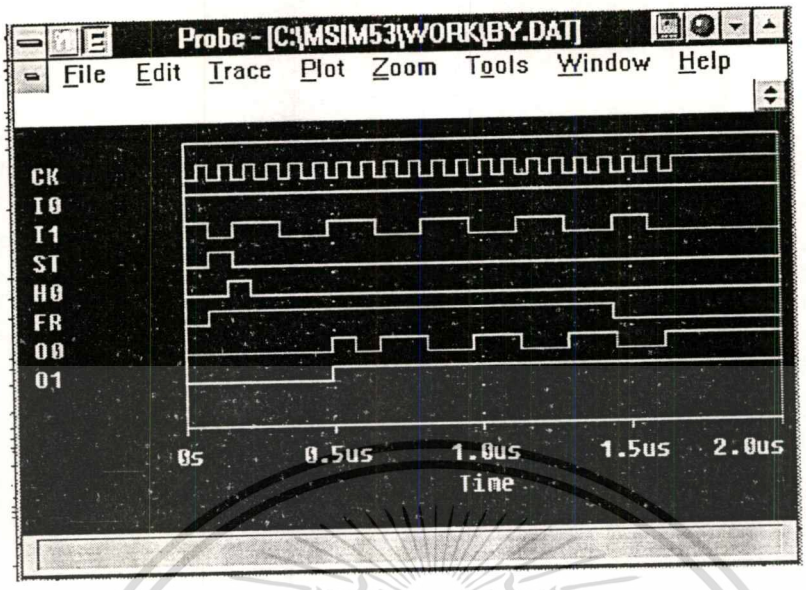


(ก)



(ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ค)

แสดง สัญญาณที่ได้จากการเลียนแบบการทำงานของวงจรสวิตช์บานยาน (ก) Packet ที่มีการ Cross ที่ตำแหน่งบิทที่ 2 (ข) I1 เป็น Inactive packet สถานะ Cross (ค) I0 เป็น Inactive packet สถานะ Pass

บทสรุป

ในการประยุกต์ใช้งานโครงข่ายแบตเชอร์และโครงข่ายบานยานนี้ได้ออกแบบวงจรสวิตช์แบตเชอร์ และ วงจรสวิตช์บานยาน ขนาด 2 x 2 ซึ่งเป็นขนาดพื้นฐาน โดยคำนวนจำนวนวงจรสวิตช์ที่ใช้จากสมการ (3.3) และ (4.3) แล้วจึงนำมาเชื่อมต่อกันเป็นโครงข่ายแบตเชอร์และบานยาน ตามจำนวนของวงจรที่เราต้องการ ใช้ไอซีดิจิตอลพื้นฐานในการออกแบบ ทำการเลียนแบบการทำงานของวงจร โดยใช้โปรแกรม PSpice ผลที่ได้จากการเลียนแบบการทำงานโดย PSpice วงจรที่ได้ออกแบบนี้สามารถทำงานได้ตามวัตถุประสงค์ แต่ไม่สามารถทำงานที่ความเร็วสูงๆ ได้เนื่องจากใช้ไอซีดิจิตอลพื้นฐาน เราสามารถแทนด้วยวงจรสวิตช์ที่ได้ออกแบบด้วย CMOS เพื่อนำไปสร้างเป็นวงจรรวมได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงข่ายเชื่อมโยงแถบกว้าง

บทนำ

โครงข่ายเชื่อมโยงแถบกว้าง (Broad-band switching network) มีมาตราฐานในการส่งข้อมูลที่เป็นชุดข้อมูล มีคุณภาพสูง โดยปกติจะออกแบบบนพื้นฐานของหน่วยความจำ (Memory based multistage interconnection network) ส่วนประกอบที่สำคัญของโครงข่ายเชื่อมโยงแถบกว้าง ประกอบด้วย โครงข่ายแบตเชอร์ โครงข่ายสำหรับหน่วงชุดข้อมูล โครงข่ายสำหรับรวมชุดข้อมูล โครงข่ายสำหรับแยกชุดข้อมูลที่มีหมายเลขปลายทางซ้ำกัน และ โครงข่ายบานยาน เพื่อให้วงจรสวิตช์ทำการเชื่อมต่อชุดข้อมูลแถบกว้าง และมีคุณสมบัติเป็น Non-blocking ได้ ในหัวข้อนี้จะพิจารณาเฉพาะ โครงข่ายแบตเชอร์ และ โครงข่านบานยานเท่านั้น ออกแบบโดยใช้ CMOS Transistor เพื่อให้ได้โครงข่ายที่มีอัตราการถ่ายโอนข้อมูลด้วยความเร็ว 170 Mb/s และใช้จำนวน Transistor น้อยที่สุด

แนวความคิดในการเชื่อมโยง

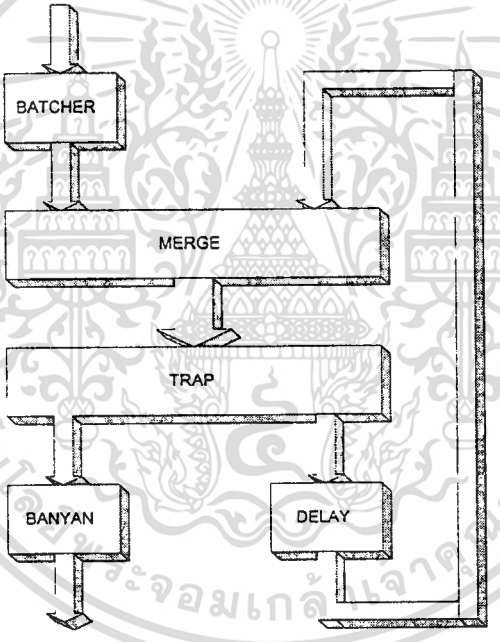
พิจารณาบล็อกไดอะแกรมในรูปที่ 29. ประกอบด้วยโครงข่ายแบตเชอร์ ขนาด 16 วงจร โครงข่ายสำหรับหน่วงชุดข้อมูล ขนาด 16 วงจร โครงข่ายสำหรับรวมชุดข้อมูล จากโครงข่ายแบตเชอร์และโครงข่ายสำหรับหน่วงชุดข้อมูลเข้าด้วยกัน ขนาด 32 วงจร โครงข่ายสำหรับแยกชุดข้อมูลที่มีหมายเลขปลายทางที่ซ้ำกัน ขนาด 32 วงจร และ โครงข่ายบานยาน ขนาด 16 วงจร ทำงานร่วมกันเพื่อวัตถุประสงค์ในการเชื่อมต่อชุดข้อมูลแถบกว้างด้วยความเร็วสูง

โครงข่ายแบตเชอร์จะทำการเรียงลำดับชุดข้อมูลที่ป้อนเข้ามาทางอินพุต โดยการเปรียบเทียบบิตในส่วนหัวของชุดข้อมูลแต่ละตัว ในแต่ละภาคของโครงข่าย เมื่อตรวจพบความแตกต่างของบิตจะทำการควบคุมสภาวะของวงจรสวิตช์ ในภาคนั้น ๆ เพื่อที่จะกำหนดเส้นทางเชื่อมต่อของชุดข้อมูล โดยใช้ความสัมพันธ์ของบิตเริ่มต้นชุดข้อมูล ความแตกต่างของบิตในส่วนหัวของชุดข้อมูล และ ชนิดของวงจรสวิตช์ที่ใช้ในแต่ละภาคของโครงข่ายด้วย ถ้าหากใช้วงจรสวิตช์ชนิดแบบเรียงชุดข้อมูลจากน้อยไปมาก ก็จะได้เอ๊าพุตที่มีหมายเลขปลายทางน้อยกว่าไปออกที่ ด้านบน และ หมายเลขปลายทางที่มากกว่าไปออกทางด้านล่าง ถ้าใช้วงจรสวิตช์ชนิดเรียงจากมากไปน้อย เอ๊าพุตที่ได้จะตรงกันข้ามกับแบบแรก การเชื่อมต่อกันในแต่ละภาคของโครงข่ายจะไม่มีการเชื่อมหรือชนกันของชุดข้อมูลเกิดขึ้น เอ๊าพุตที่ได้จากโครงข่ายแบตเชอร์จะเรียงจากน้อยไปมาก หรือ จากมากไปน้อยขึ้นอยู่กับการจัดวงจรของโครงข่าย ในชุดข้อมูลที่มีหมายเลขปลายทางที่ซ้ำกัน จะเรียงอยู่ติดกันโดยไม่มีการเชื่อมหรือชนกันดังกล่าว เอ๊าพุตที่ได้ถูกส่งผ่านไปเข้าโครงข่ายสำหรับรวมชุดข้อมูล โดยนำเอ๊าพุตจากโครงข่ายแบตเชอร์ และ โครงข่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับหน่วงเวลาชุดข้อมูลมารวมกัน เอ๊าพุตที่ได้จากโครงข่ายรวมชุดข้อมูลนี้จะได้เอ๊าพุตขนาด 32 วงจร ซึ่งอาจจะมีหมายเลขปลายทางที่ซ้ำกันหรือไม่ซ้ำกันก็ได้ แต่ยังคงเรียงจากน้อยไปมากหรือจากมากไปน้อย ชุดข้อมูลดังกล่าวจะถูกส่งผ่านไปยังโครงข่ายสำหรับแยกชุดข้อมูลที่มีหมายเลขปลายทางที่ซ้ำกัน เพื่อแยกชุดข้อมูลที่มีหมายเลขปลายทางที่ซ้ำกันให้แยกออกไปเข้าโครงข่ายสำหรับหน่วงชุดข้อมูล เพื่อให้ชุดข้อมูลวนกลับไปรวมกับชุดข้อมูลในลำดับต่อไปที่ถูกป้อนมาที่อินพุต เอ๊าพุตอีกส่วนหนึ่งถูกป้อนเข้าโครงข่ายบานยาน เพื่อจัดส่งชุดข้อมูลที่มีหมายเลขปลายทางไปยังหมายเลขปลายทางที่ถูกต้อง โดยใช้บิตในตำแหน่งต่าง ๆ ในส่วนหัวของชุดข้อมูล มาควบคุมในแต่ละภาคของโครงข่าย

รูปที่ 29



แสดงโครงข่ายเชื่อมต่อแถบกว้าง ขนาด 16 x 16 วงจร

<u>คอมมิวนิเคชั่นโปรโตคอล</u>

การใช้บริการในโครงข่าย ผู้ใช้บริการจะต้องเชื่อมต่ออุปกรณ์สื่อสารของตนเข้ากับโครงข่าย การเชื่อมต่อนี้จะต้องมีกฎ ระเบียบ และวิธีปฏิบัติ เรียกว่า โปรโตคอลของโครงข่าย คุณสมบัติการเชื่อมต่อตามแบบโปรโตคอลของแบบจำลอง OSI นั้น โปรโตคอลที่เกี่ยวข้องกับโครงข่ายมีด้วยกัน 3 ชั้น คือ ชั้นที่ 1. โปรโตคอลชั้นกายภาพ (Physical layer protocal) , ชั้นที่ 2. ชั้นเชื่อมโยงข้อมูล (Data layer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

protocal) และ ชั้นที่ 3. ชั้นโครงข่าย (Network layer protocal) ในการประยุกต์ใช้งานส่วนนี้ จะพิจารณาเฉพาะ 2 ชั้นแรกเท่านั้น

1. โปรโตคอลชั้นกายภาพ เป็นโปรโตคอลที่กล่าวถึง กฎ ระเบียบ และวิธีการเชื่อมต่ออุปกรณ์สื่อสารเข้ากับโครงข่าย แสดงคุณสมบัติที่แท้จริงในการเชื่อมต่อ เช่น ไลน์โคดดิ่ง สัญญาณที่ใช้ในการติดต่อใช้ระหัสอะไร ระดับแรงดันไฟฟ้าที่ใช้แทนบิต " 0 " และบิต " 1 " ลักษณะของเต้าเสียบหรือตัวเชื่อมต่อ จำนวนเข็ม (Pin) และหน้าที่ของแต่ละเข็มของเต้าเสียบ และจังหวะในการรับส่งข้อมูล เป็นต้น

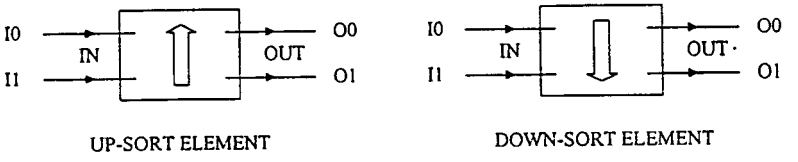
2. โปรโตคอลชั้นเชื่อมโยงข้อมูล การติดต่อสื่อสารระหว่างอุปกรณ์สื่อสารปลายทางกับโครงข่าย นอกจากจะใช้การเชื่อมต่อทางกายภาพแล้วยังต้องมี กฎ ระเบียบ และ วิธีปฏิบัติ เพื่อให้อุปกรณ์สื่อสารปลายทางและโครงข่ายสามารถตีความหมายของชุดข้อมูลได้ รวมทั้งสามารถบอกได้ว่าข้อมูลที่ได้รับนั้นมีความผิดพลาดเกิดขึ้นในการส่งข้อมูลหรือไม่ โปรโตคอลในชั้นเชื่อมโยงข้อมูลนี้มีอยู่ด้วยกันหลายตัวแต่ละตัวก็มีหลักการพื้นฐานที่เหมือนกันจะแตกต่างกันไปบ้างในรายละเอียดปลีกย่อยเท่านั้น

ในการประยุกต์ใช้งานในส่วนนี้ ได้ใช้โปรโตคอลทั้งสองในการเชื่อมโยงข้อมูลเข้ากับโครงข่าย การควบคุมการรับส่งข้อมูลในรูปแบบของชุดข้อมูล การกำหนดรูปแบบของชุดข้อมูล การตรวจสอบข้อผิดพลาดในการรับส่งข้อมูล และ การควบคุมการเชื่อมต่อชุดข้อมูลผ่านโครงข่าย ซึ่งเป็นไปตามข้อกำหนดของ CCITT

<u>วงจรสวิตช์</u>

วงจรสวิตช์จะใช้สัญญลักษณ์ดังแสดงในรูปที่ 30. แนวความคิดที่ใช้ในการเชื่อมโยง จะใช้ความสัมพันธ์ของ Activity bit และ บิตในส่วนหัวของชุดข้อมูล ถ้าเป็นไปตามเงื่อนไขใดก็ทำการปรับปรุงวงจรสวิตช์ให้อยู่ในสถานะเชื่อมโยงนั้น

รูปที่ 30

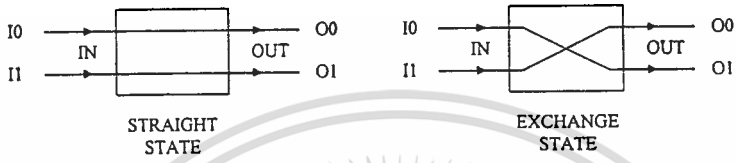


แสดงสัญญลักษณ์ของวงจรสวิตช์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรสวิตช์ที่ใช้ในโครงข่ายนั้น ใช้ทั้งชนิด Up-sort และ Down-sort เพื่อให้การเปรียบเทียบบิตที่ส่วนหัวของชุดข้อมูลที่มีความแตกต่างกัน และ จำนวนภาคของวงจรน้อยที่สุด วงจร สวิตช์จะมีสถาวะการทำงานของวงจรสวิตช์ ถูกออกแบบให้มีสภาวะการทำงาน 2 สภาวะดังรูปที่ 31.

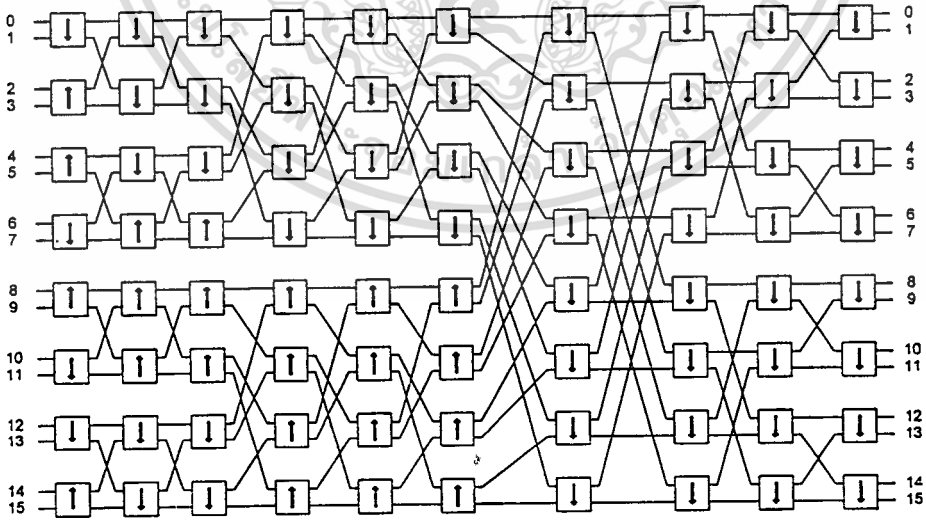
รูปที่ 31



แสดงสภาวะการทำงานของวงจรสวิตช์

สภาวะการทำงานของวงจรสวิตช์ ถูกปรับปรุงให้มีสภาวะการทำงานเพียง 2 สภาวะเพื่อป้องกันไม่ให้เกิดการเชื่อมหรือชนกันของชุดข้อมูล เพราะจะทำให้ชุดข้อมูลที่ได้เกิดการผิดพลาดขึ้นได้ การป้องกันไม่ให้เกิดการเชื่อมหรือชนกันของชุดข้อมูล เป็นคุณสมบัติประการหนึ่งของโครงข่าย

รูปที่ 32



แสดงโครงข่ายแบตเชอร์ขนาด 16 อินพุตและ 16 เอ๊าพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงข่ายแบตเชอร์

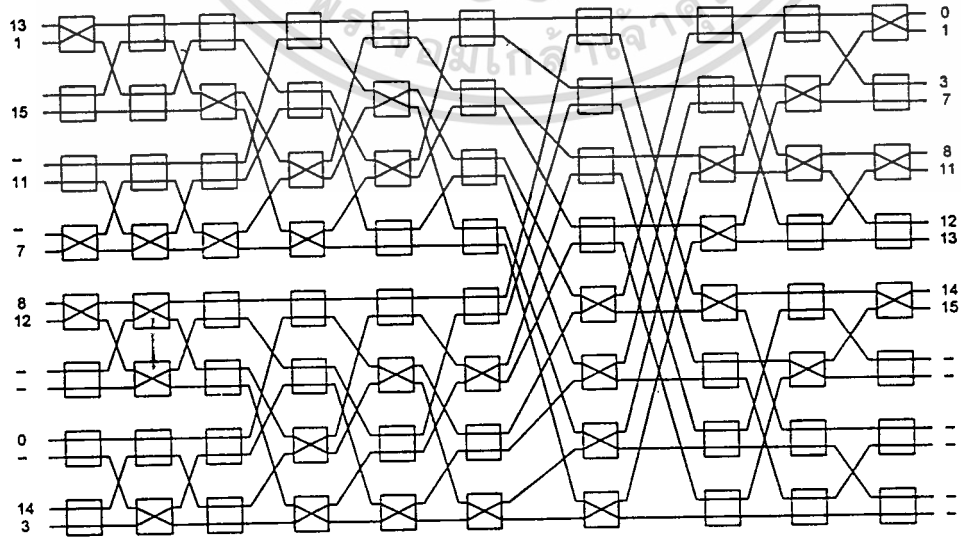
ขนาดของโครงข่ายแบตเชอร์ ขึ้นอยู่กับขนาดอินพุตของโครงข่ายแบตเชอร์ที่ต้องการ และสามารถคำนวณหาขนาดของวงจรสวิตช์แบตเชอร์ที่จำเป็นต้องใช้ในการสร้างโครงข่ายแบตเชอร์ตามขนาดอินพุตที่ต้องการได้ดังนี้

Row	=	$N/2$	(5.1)
Column	=	$\log_2 N (\log_2 N+1) / 2$	(5.2)
Processing element	=	Row x Column	(5.3)
N	=	Channel	

การทำงานของโครงข่ายแบตเชอร์

ชุดข้อมูลที่ถูกป้อนที่อินพุตของโครงข่ายแบตเชอร์นั้น จะต้องมีหมายเลขปลายทางไม่มากไปกว่าจำนวนวงจรของโครงข่าย และ จะต้องไม่มีหมายเลขปลายทางที่ซ้ำกัน เมื่อพิจารณาจากรูปจะพบว่าชุดข้อมูลทางอินพุต จะมีหมายเลขปลายทางที่ปนกันมา โดยยังไม่ได้เรียงลำดับ โดยจะใช้โครงข่ายแบตเชอร์เรียงลำดับชุดข้อมูลดังกล่าว

รูปที่ 33



แสดงการทำงานของแบตเชอร์ขนาด 16 x 16 วงจร

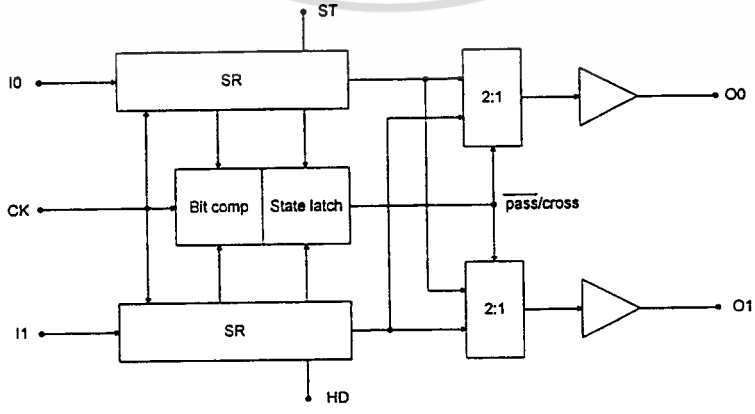
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณา การทำงานของโครงข่ายแบตเชอร์จากรูป 33. โดยใช้ชุดข้อมูลที่มี หมายเลขปลายทาง 11 (1011b) เป็นตัวอย่าง ชุดข้อมูลจะถูกป้อนทางอินพุต 5 ในภาคแรกชุดข้อมูลดังกล่าวทำการเปรียบเทียบกับ Inactive packet ที่อินพุต 4 วงจรสวิตช์ส่วนนี้ใช้แบบ Up-sort จากเงื่อนไขที่ใช้ในการเปรียบเทียบทำให้วงจรสวิตช์มีสภาวะเป็น Straight ชุดข้อมูลจะไปปรากฏที่เอ๊าพุต O1 ในภาคที่ 2 ก็ถูกเปรียบเทียบกับ Inactive packet เช่นกันแต่เงื่อนไขที่ใช้ต่างกันทำให้ได้สภาวะเป็น Exchange ภาคที่ 3 ทำการเปรียบเทียบกับชุดข้อมูลที่มีหมายเลขปลายทาง 7 ได้สภาวะ Exchange เช่นกัน ส่วนในภาคอื่นๆ เป็นไปตามสภาวะของวงจรสวิตช์ที่แสดงไว้บนสัญญาลักษณ์ของวงจรสวิตช์ตามเส้นทางการเชื่อมโยง ของชุดข้อมูลต่างๆ ผลรวมที่ปรากฏที่เอ๊าพุตเป็นไปตามวัตถุประสงค์ คือ ชุดข้อมูลถูกจัดเรียงจากน้อยไปมากตามด้วย Inactive packet ดังที่แสดงในรูป 33. จะเห็นว่าไม่มีชุดข้อมูลใด เชื่อมหรือชนกันในขณะที่ทำการเชื่อมโยงผ่านโครงข่าย ซึ่งเหตุการนี้เป็นคุณสมบัติอย่างหนึ่งของโครงข่าย

วงจรสวิตช์แบตเชอร์

เมื่อพิจารณาวงจรสวิตช์แบตเชอร์ มีขนาด 2 อินพุต 2 เอ๊าพุต (2 x 2) จะพบว่ามีอยู่ 2 ลักษณะ คือ Batcher upsort element และ Batcher downsort element สังเกตุได้จากทิศทางของลูกศรที่แสดงภายใน Switching block โดยที่ Batcher upsort element จะทำการเรียงลำดับชุดข้อมูลที่มีหมายเลขปลายทางมากกว่าไปออกด้านบน และให้ชุดข้อมูลที่มีหมายเลขปลายทางน้อยกว่าไปออกด้านล่าง ส่วน Batcher down-sort element จะทำให้ลักษณะตรงกันข้าม เมื่อนำมาเชื่อมต่อกันในลักษณะที่เหมาะสม (โครงข่ายแบตเชอร์) จะทำให้ได้คุณสมบัติของ Sorting network ดังกล่าว

รูปที่ 34



แสดงบล็อกไดอะแกรม ของ Batcher switching element

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

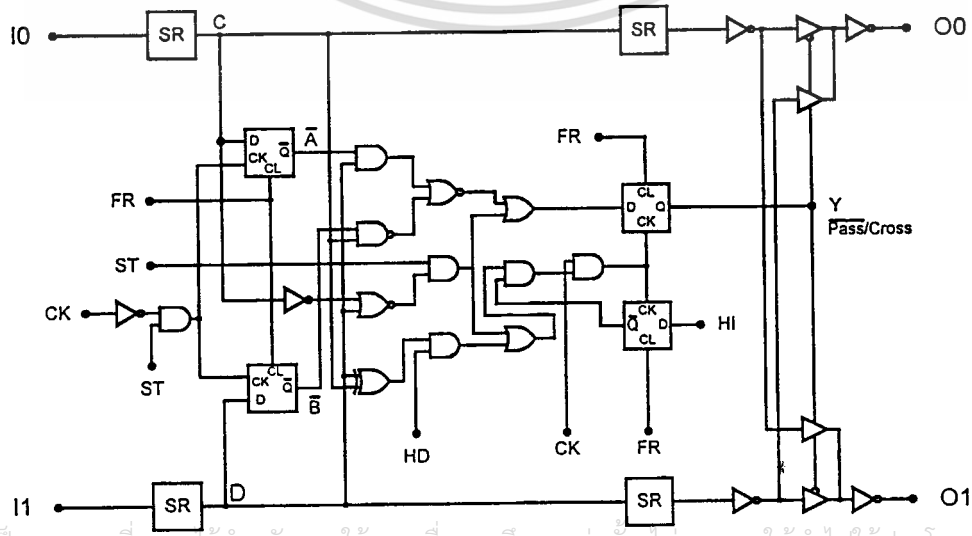
บล็อกไดอะแกรม ของ Batcher switching element แสดงดังรูปที่ 34. ภายใน วงจรสวิตช์ ประกอบด้วย Shift register (SR), Bit comparator (BC), State latch (SL) และ 2:1 Multiplexer เมื่อชุดข้อมูลถูกป้อนมาที่อินพุต I0 และ I1 (Synchronous mode) ส่วนของวงจรเปรียบเทียบบิต จะทำการเปรียบเทียบบิต ของหมายเลขปลายทางที่ส่วนหัวของชุดข้อมูล ถ้าตรวจพบความแตกต่างของบิต ที่เป็นไปตามเงื่อนไข จะทำการปรับเส้นทางของการเชื่อมโยงชุดข้อมูลไปยังเอ๊าพุตที่เหมาะสม โดยส่งสัญญาณไป Latch สถานะของ MUX ที่ SL จนกว่าชุดข้อมูลจะเคลื่อนที่ผ่านวงจรสวิตช์ไป โดยผ่าน SR ชุดข้อมูลที่ปรากฏที่เอ๊าพุทของวงจรสวิตช์ยังคงมีลักษณะเดียวกันกับชุดข้อมูลที่รับเข้ามาทางอินพุต แต่จะเรียงลำดับตามคุณสมบัติของโครงข่าย และจะปรับสถานะ (Reset) กลับมาเป็น Pass state เพื่อรอรับ Packet อื่นๆ ต่อไป

ตารางที่ 3

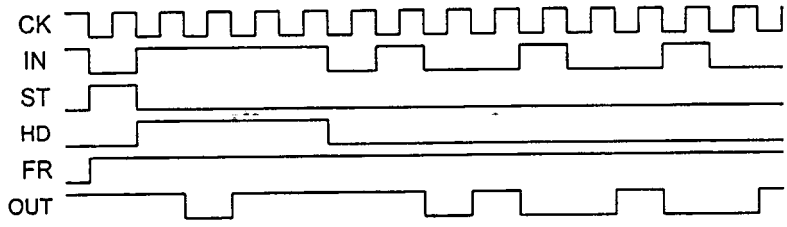
A	1	1	1	0	0	0	0	0	0
B	1	0	0	1	1	0	0	0	0
C	1	1	1	0	1	0	0	1	1
D	1	0	1	1	1	0	1	0	1
Y	0	1	1	0	0	0	0	1	0

แสดงเงื่อนไขที่ใช้ในการตรวจสอบชุดข้อมูลของวงจรสวิตช์แบตเชอร์

รูปที่ 35



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



แสดง Batcher switching circuit และ Timing diagram

ในส่วนของวงจรเปรียบเทียบบิต นั้นประกอบด้วยส่วนของวงจรที่ใช้ 3 ส่วนคือ ส่วนตรวจสอบ Active หรือ Inactive packet ส่วนตรวจสอบความแตกต่างของบิท ในส่วนหัวของชุดข้อมูล และส่วนตรวจสอบตามเงื่อนไขปกติ โดยใช้สัญญาณ ST HD และ FR ผลที่ได้ส่งไป Latch ที่ State latch เพื่อควบคุมสถานะของ 2:1 Multiplexer แต่ละวงจรสวิตช์จะใช้ Delay time ประมาณ 2 Clock.

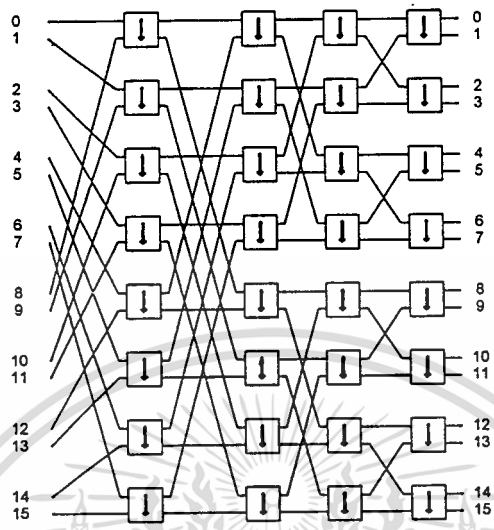
<u>โครงข่ายบานยาน</u>

ขนาดของโครงข่ายบานยานนี้ขึ้นอยู่กับจำนวนของอินพุตและเอ๊าพุตที่ต้องการ โดยสามารถคำนวณหาจำนวนของวงจรสวิตช์บานยาน ที่จำเป็นต้องใช้ในการเชื่อมต่อเป็นโครงข่ายบานยานได้ดังนี้

Row	=	N/2	(5.4)
Column	=	$\log_2 N$	(5.5)
Processing element	=	Row x Column	(5.6)
N	=	Channel	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 36



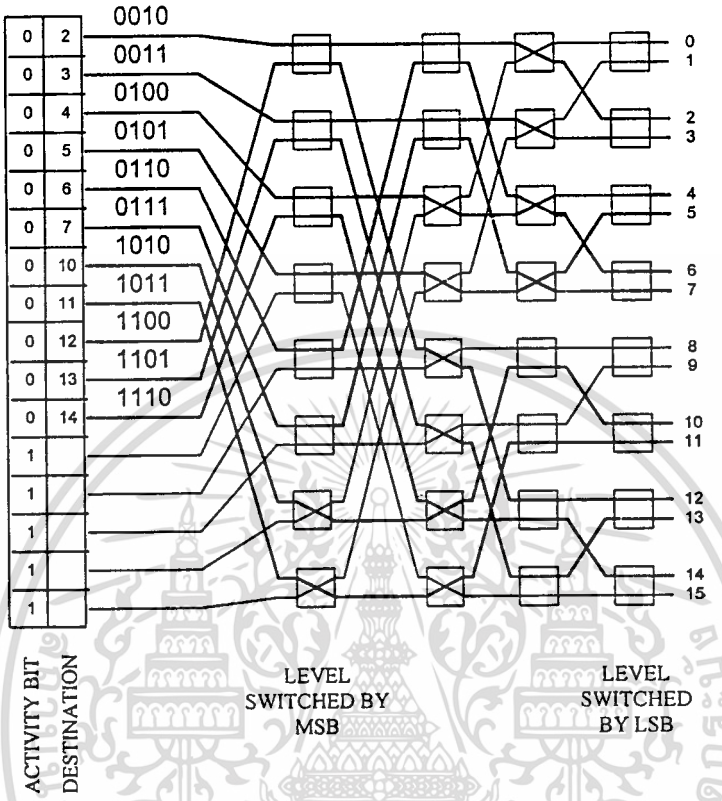
แสดงโครงข่ายบานยานขนาด 16 x 16 วงจร

การทำงานของโครงข่ายบานยาน

การทำงานของโครงข่ายบานยานสามารถพิจารณาได้จากรูป 37. โดยชุดข้อมูลที่จะป้อนที่อินพุตของโครงข่ายบานยานนั้น จะต้องมีการเรียงลำดับจากน้อยไปมากมาแล้ว และไม่มีหมายเลขปลายทางซ้ำกันด้วย เมื่อพิจารณาจากรูปที่ 37. จะเห็นว่าชุดข้อมูลที่มีข้อมูล (Active packet) จะอยู่ทางด้านซ้ายและเรียงจากน้อยไปมาก ส่วนชุดข้อมูลที่ไม่มีข้อมูล (Inactive packet) จะอยู่ด้านขวาทั้งหมด การสร้างเส้นทางการเชื่อมโยงผ่านโครงข่ายนั้นจะใช้สถานะในแต่ละบิต ของส่วนหัวของชุดข้อมูลมาเป็นตัวกำหนดเส้นทางโดยมีความสัมพันธ์กับ Active หรือ Inactive ของชุดข้อมูลโดยบิตแรก (MSB) จะใช้กำหนดสถานะของวงจรสวิตช์ในชุดแรกของโครงข่าย และบิตที่สองก็กำหนดเส้นทางการเชื่อมโยงในชุดที่สอง และบิตสุดท้ายของส่วนหัวของสุดข้อมูลก็ใช้กำหนดเส้นทางในแถวสุดท้ายตามลำดับ เมื่อวงจรสวิตช์ทำการปรับปรุงเส้นทางการเชื่อมโยงและจะค้างสถานะไว้จนกว่าชุดข้อมูลจะเลื่อนผ่านโครงข่ายแล้วจึงจะปรับสถานะของโครงข่ายให้พร้อมเพื่อรอรับ ชุดข้อมูลอื่นต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 37



แสดงการทำงานของโครงข่ายบานยานขนาด 16 x 16 วงจร

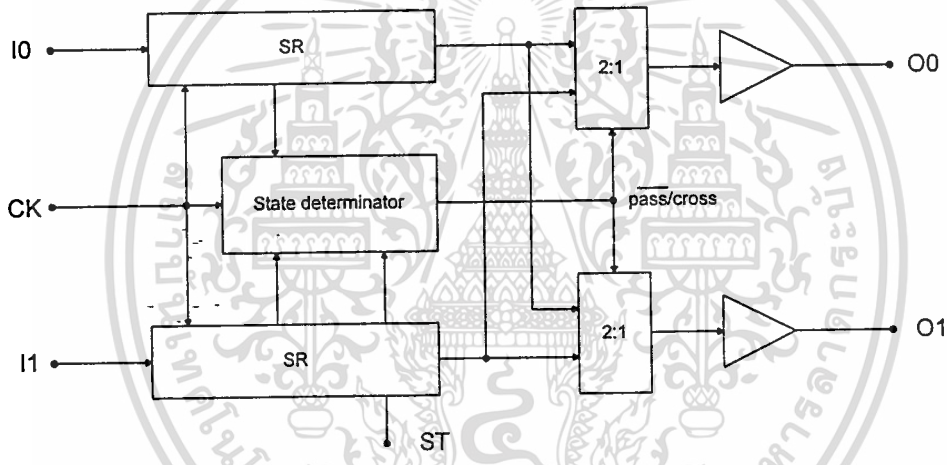
จากรูปพิจารณาชุดข้อมูลที่มีหมายเลขปลายทาง 2 (0010b) พบว่า มี Activity bit เท่ากับ " 0 " เนื่องจากเป็น Active packet มี MSB เท่ากับ " 0 " ทำการเปรียบเทียบกับชุดข้อมูลหมายเลข 12 (1100b) เป็น Active packet เช่นกัน ทำให้ได้เงื่อนไขในการเชื่อมโยงเป็น " 0001 " ซึ่งวงจรสวิตช์จะอยู่ในสภาวะ Straight เอ๊าพุตที่ได้ ชุดข้อมูลหมายเลข 2 จะปรากฏที่เอ๊าพุต " 0 " ซึ่งอยู่ทางด้านบน ชุดข้อมูลหมายเลข 12 จะปรากฏที่เอ๊าพุต " 1 " ทางด้านล่างของวงจรสวิตช์ดังรูป ส่วนบิตถัดจาก MSB นั้นชุดข้อมูลหมายเลข 2 ทำการเปรียบเทียบกับชุดข้อมูลหมายเลข 6 สถานะของวงจรสวิตช์เป็น Straight เช่นกัน ในระดับที่ 3 ชุดข้อมูลหมายเลข 2 ทำการเปรียบเทียบกับชุดข้อมูลที่เป็น Inactive packet สถานะของวงจรสวิตช์เป็น Exchange ระดับสุดท้าย (LSB) ชุดข้อมูลหมายเลข 2 ทำการเปรียบเทียบกับชุดข้อมูล 3 สถานะเป็น Straight เช่นกัน เมื่อชุดข้อมูลหมายเลข 2 เคลื่อนที่ผ่านโครงข่ายจะไปปรากฏที่เอ๊าพุตหมายเลข 2 ซึ่งตรงกับหมายเลขปลายทางที่ถูกระบุไว้ในส่วนหัวของชุดข้อมูลจากต้นทาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรสวิตช์บานยาน

วงจรสวิตช์บานยาน ที่ใช้ในโครงข่ายบานยานนั้นเป็น Banyan upsort element หรือ Banyan down-sort element การควบคุมการหาเส้นทางการเชื่อมโยงชุดข้อมูลจากอินพุตไปยังเอ๊าพุต ใช้หลักการควบคุมดังนี้คือ ใช้บิตแรก (MSB) ของชุดข้อมูลมาเป็นตัวกำหนดสถานะของวงจรสวิตช์ใน Stage แรก และ บิตต่อๆ ไป ใน Stage ต่อๆ ไป จนกระทั่ง บิตสุดท้าย (LSB) จะใช้ควบคุมใน Stage สุดท้าย ก่อนที่ชุดข้อมูลจะไปออกที่ เอ๊าพุตตามที่ต้องการ

รูปที่ 38



แสดงบล็อกไดอะแกรม ของ Banyan processing element.

บล็อกไดอะแกรมของ Banyan processing element ประกอบด้วย Shift register (SR) State determinator (SD) , State latch (SL) และ 2 : 1 Multiplexer เมื่อมีชุดข้อมูลเข้ามาทางอินพุต I0 และ I1 Activity bit จะถูกเก็บไว้ตรวจสอบกับ Bit ต่างๆ ในส่วนหัวของชุดข้อมูล เพื่อนำผลไปกำหนดเส้นทางการเคลื่อนที่ผ่านโครงข่ายของชุดข้อมูล โดยส่งสัญญาณไปควบคุม 2:1 Multiplexer สัญญาณมีค่าเป็น " 0 " หมายถึง วงจรสวิตช์มีสภาวะเป็นการเชื่อมต่อโดยตรง ถ้ามีค่าเป็น " 1 " วงจร สวิตช์จะสลับเส้นทางให้ชุดข้อมูลเปลี่ยนทิศทางไปออกอีกทางหนึ่ง เมื่อวงจรสวิตช์ปรับปรุงเส้นทางในการเชื่อมโยงแล้ว ก็จะค้างสภาวะนั้นไปจนกว่าชุดข้อมูลจะเคลื่อนที่ผ่านวงจรไปก่อนจึงปรับเส้นทางให้เป็นการเชื่อมต่อโดยตรง โดยชุดข้อมูลที่ปรากฏที่เอ๊าพุต นั้นยังคงมีลักษณะเช่นเดียวกับอินพุตที่รับเข้ามา

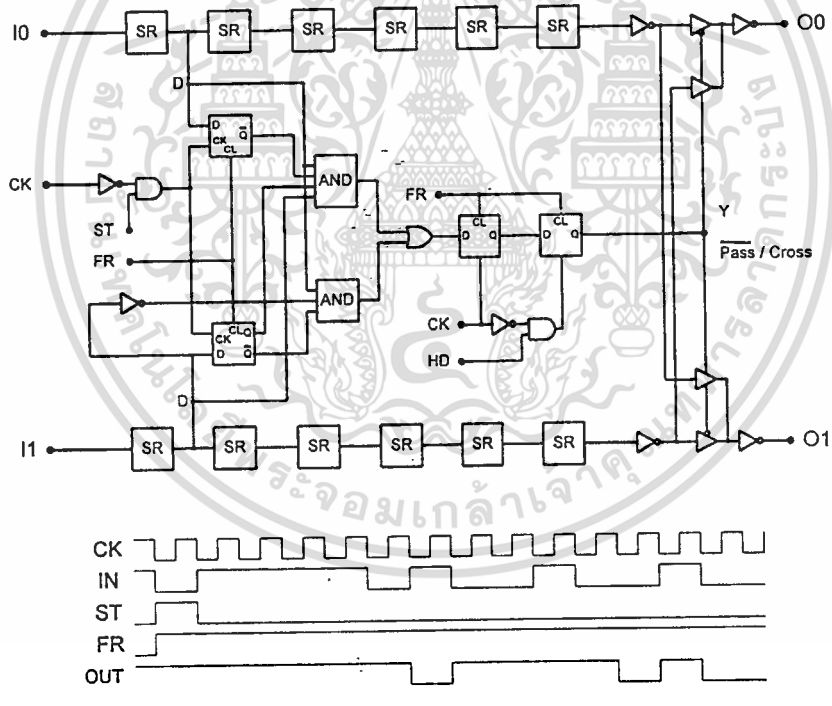
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4

A	0	0	0	0	0	0	1	1	1
B	0	0	0	0	1	1	0	0	1
C	0	0	1	1	0	1	1	1	1
D	0	1	0	1	1	1	0	1	1
Y	0	0	1	0	0	1	1	0	0

แสดงเงื่อนไขที่ใช้ในการตรวจสอบชุดข้อมูลของวงจรสวิตช์บานยาน

รูปที่ 39



แสดง Banyan processing element circuit และ timing diagram

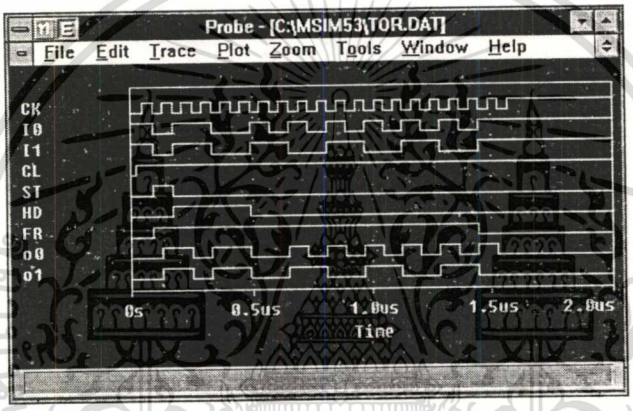
ในส่วนของ SR นั้นจะใช้ขนาดที่เพียงพอจะเก็บ Activity bit และ Header ทั้งหมดไว้ก่อนที่จะส่งไปให้ 2:1 MUX เพื่อให้ข้อมูลที่ปรากฏที่เอ๊าพุต มีลักษณะเช่นเดียวกับที่รับเข้ามาทางอินพุต การควบคุมแต่ละสเตจของ โครงข่าย จะใช้สัญญาณ ST ผ่าน Shift register ไปควบคุมในแต่ละสเตจเพื่อให้การปรับตัวของ วงจรสวิตช์แต่ละ สเตจเป็นไปอย่างเหมาะสม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

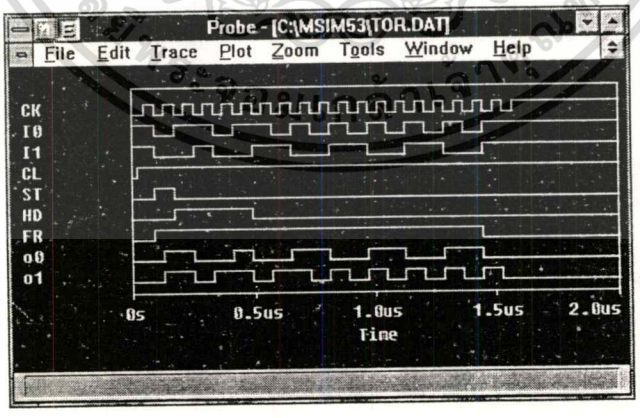
การทดสอบและผลการทดสอบ

ในส่วนนี้ ใช้วงจรสวิตช์แบตเซอร์ และวงจรสวิตช์บานยาน วงจรเดียวกับการประยุกต์ใช้งานเป็นโครงข่ายเชื่อมต่อภายในด้วยตัวเอง มีข้อแตกต่างในการใช้อุปกรณ์เท่านั้น คือ เราแทนเกตต่างๆ ในวงจรด้วย CMOS Transistor ทั้งหมด เพื่อให้วงจรสวิตช์สามารถทำงานได้ที่อัตราการถ่ายโอนข้อมูลสูง ๆ ซึ่งเป็นจุดประสงค์ในการประยุกต์ใช้งานในหัวข้อนี้ รูปแบบวงจรเกตต่าง ๆ แสดงได้ดังรูปต่อไปนี้

รูปที่ 40



(ก)

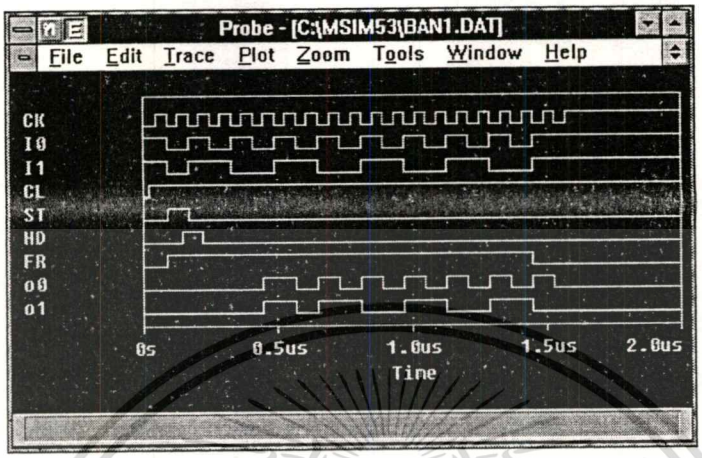


(ข)

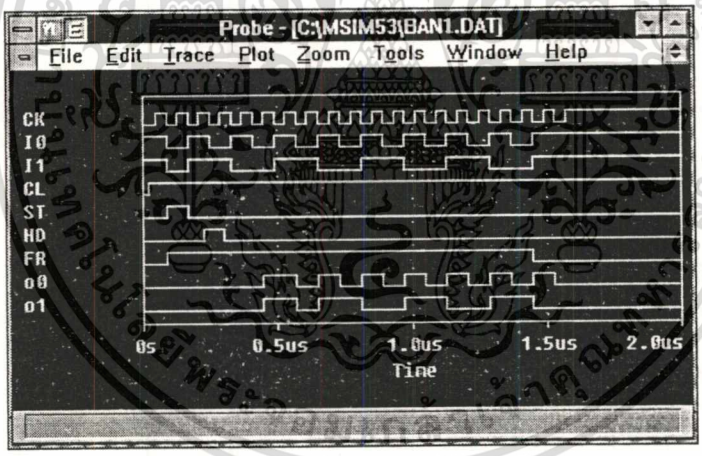
แสดง สัญญาณที่ได้จากการเลียนแบบการทำงานของวงจรสวิตช์ แบตเซอร์ (ก) ชุดข้อมูลมีหมายเลขปลายทางเหมือนกัน (ข) ชุดข้อมูลแตกต่างกันที่บิต 1 สภาวะ Cross

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 41



(ก)



(ข)

แสดง สัญญาณที่ได้จากการเลียนแบบการทำงานของวงจรสวิตช์บานยาน (ก) การเชื่อมโยงในภาคแรก ที่บิต MSB ได้สภาวะ Pass (ข) การเชื่อมโยงในภาคที่ 2 ได้สภาวะ Pass

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงข่ายบริการสื่อสารร่วมระบบดิจิตอลแถบกว้าง

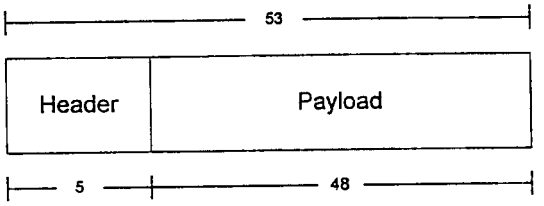
บทนำ

โครงข่ายบริการสื่อสารร่วมระบบดิจิตอลแถบกว้าง เป็นการสื่อสารแบบหลายสื่อ โดยสามารถรับส่งข้อ มูลที่เป็น เสียง ข้อมูล ภาพเคลื่อนไหวในเวลาเดียวกัน และ ในหลายเส้นทาง โครงข่ายที่สามารถตอบสนองต่อการสื่อสารแบบหลายสื่อ เรียกว่า โครงข่ายบริการสื่อสารร่วมระบบดิจิตอลแถบกว้าง (Broadband ISDN , B-ISDN) ซึ่งเป็นโครงข่ายที่มีเทคนิคแตกต่างจากโครงข่ายที่มีใช้อยู่ในปัจจุบัน เพื่อให้การพัฒนาโครงข่าย B-ISDN เป็นมาตราฐานเดียวกัน CCITT ได้เลือกเทคนิค ATM (Asynchronous Transfer Mode) เป็นเทคนิคที่ใช้สำหรับโครงข่ายนี้ โครงข่ายนี้ได้ออกแบบให้สามารถรับส่งข้อมูลที่มีความแตกต่างกันได้

เทคนิคพื้นฐานของ ATM

ATM มีเทคนิคพื้นฐานมาจากแพ็กเกตสวิตชิ่ง และ การมัลติเพล็กซ์แบบ Asynchronous Time Division (ATD) รวมกันเมื่อผู้ใช้ต้องการส่งข่าวสาร อาจจะอยู่ในรูปของ เสียง ตัวอักษร ภาพนิ่ง หรือ ภาพเคลื่อนไหว ก็ตาม เครื่องต้นทางปลายทางจะเปลี่ยนข่าวสารเหล่านี้ให้อยู่ในรูปของข้อมูลดิจตอล ซึ่งต้องการความเร็วในการส่งไม่เท่ากัน เช่น เสียงสามารถส่งได้ที่ความเร็ว 32-64 Kb/s ส่วนภาพเคลื่อนไหวนั้นต้องการความเร็วในการส่งถึง 40 Mb/s แทนที่จะส่งข้อมูลดิจิตอลนี้ออกไปอย่างต่อเนื่องเหมือนการส่งในแบบ เซอร์กิตสวิตชิ่ง เครื่องต้นทางปลายทางจะแบ่งข่าวสารเหล่านี้ออกเป็นส่วนย่อย ๆ แล้วสร้างเป็นรูปแบบแพ็กเกตขึ้นมาโดยการเติมข้อมูลที่ใช้ในการควบคุมการส่งเข้าไปในข้อมูลดิจิตอลแต่ละชิ้น แพ็กเกตที่สร้างขึ้นมานี้แตกต่างจากแพ็กเกตทั่ว ๆ ไป เพราะมีขนาดเล็กและมีความยาวคงที่จึงเรียกว่าเซลล์ (Cell)

รูปที่ 42



แสดง ATM cell

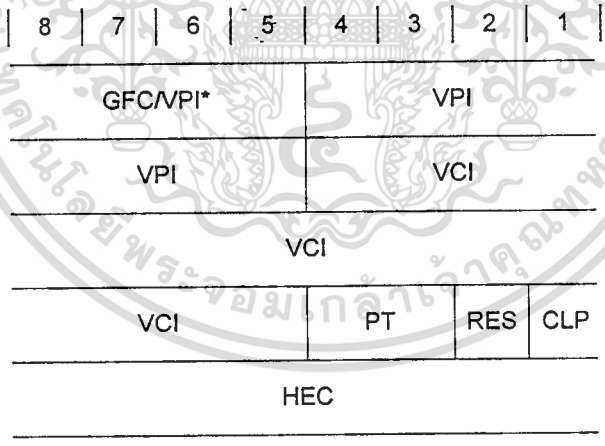
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CCITT ได้กำหนดความยาวของเซลล์เป็นมาตราฐาน ที่ความยาว 53 ไบต์ โดยแบ่งเป็นส่วน Payload ที่ใช้บรรจุข้อมูลดิจิตอลของผู้ใช้มีความยาว 48 ไบต์ และส่วน Header ที่บรรจุข้อมูลที่ใช้ควบคุมในการส่งอีก 5 ไบต์ ดังแสดงในรูป 42. ความเร็วในการรับส่งข้อมูลของโครงข่าย ATM ที่ CCITT กำหนดเป็นมาตราฐานไว้มีสองค่า คือ 155 Mb/s และ 622 Mb/s

ATM cell header

ในการกำหนดมาตราฐานเกียวกับเซลล์ นอกจากจะกำหนดความยาวของเซลล์ Header และ Payload แล้วยังมีการกำหนดโครงสร้างของ Header ไว้ด้วย ดังแสดงในตารางที่ 5. หน้าที่หลักของ Header คือ บอกให้ โหนด ในโครงข่าย ATM รู้ว่าเมื่อรับเซลล์นั้นเข้ามาแล้วจะต้องส่งเซลล์ต่อไปที่โหนดใด โหนด สามารถเลือกเส้นทางที่เซลล์จะผ่านโดยดูจากค่าของ VCI/VPI ในโครงข่าย ATM เซลล์ที่มีค่า VCI/VPI เหมือนกันจะถูกส่งไปยังปลายทางโดยผ่านเส้นทางเดียวกัน

ตารางที่ 5



VPI	:	Virtual path identifier
VCI	:	Virtual channel identifier
PT	:	Payload type
RES	:	Reserved bit
CLP	:	Cell loss priority
HEC	:	Header error control

แสดง ATM cell header

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าจำนวนเซลล์ที่รับส่งผ่านโหนดมีมากจนกระทั่งหน่วยความจำในโหนดเต็ม โหนดจำเป็นจะต้องเลือกเซลล์บางเซลล์ทิ้งไปโดยดูจาก CLP ของแต่ละเซลล์ ถ้า CLP ของเซลล์ถูกเซ็ตไว้เท่ากัน " 1 " เซลล์นั้นจะถูกทิ้งไปก่อนเมื่อเกิดความคับคั่งขึ้นในโหนด อีกส่วนของ Header คือ Payload Type (PT) ซึ่งบอกให้รู้ว่าเซลล์นั้นมีข้อมูลที่ผู้ใช้ต้องการส่งหรือเป็นข้อมูลที่ใช้ในการควบคุมและบำรุงรักษาโครงข่าย ส่วน GFC ของ Header จะปรากฏเฉพาะเซลล์ที่รับส่งระหว่างเครื่องต้นทางปลายทางของผู้ใช้กับโครงข่ายเท่านั้น และใช้ในการแยกแยะเซลล์ที่มาจากผู้ใช้หลาย ๆ รายที่เชื่อมต่อกับโครงข่ายที่จุดเชื่อมต่อของโครงข่ายเดียวกัน

ในระหว่างที่เซลล์ถูกส่งจากโหนดหนึ่งไปยังอีกโหนดหนึ่ง ในโครงข่าย ATM อาจเกิดข้อผิดพลาดกับส่วนใดส่วนหนึ่งของเซลล์ได้ไม่ว่าจะเป็นส่วน Header หรือ Payload ก็ได้ ถ้าความผิดพลาดเกิดขึ้นที่ส่วน Payload เมื่อเซลล์ถูกส่งไปจนถึงปลายทางเครื่องปลายทางจะตรวจพบและดำเนินการแก้ไขเอง แต่ถ้าความผิดพลาดเกิดขึ้นที่ Header อาจจะทำให้ค่า VCI/VPI ผิดไปและตามมาด้วยการส่งเซลล์นั้นให้ผู้ใช้ผิดราย เพื่อป้องกันปัญหาดังกล่าวเครื่องปลายทางของผู้ใช้หรือโหนดที่จะส่งเซลล์จะคำนวณค่า Header error control (HEC) ใน Header โดยใช้หลักการ Cyclic Redundancy Check (CRC) แล้วจึงส่งเซลล์นั้นออกไปโหนดหรือเครื่องปลายทางของผู้ใช้ที่รับเซลล์จะใช้ HEC เพื่อตรวจสอบว่าข้อมูลใน Header นั้นถูกต้องหรือไม่ ในกรณีที่มีความผิดพลาดเกิดขึ้นทำให้ข้อมูลใน Header ผิดไปเพียงบิตเดียว เครื่องปลายทางของผู้ใช้หรือโหนดก็สามารถแก้ไขให้ถูกต้องได้ แต่ถ้าสุดวิสัยที่จะแก้ไขก็จะทิ้งทั้งเซลล์โดยให้เครื่องต้นทางส่งเซลล์นั้นมาให้ใหม่

ตารางที่ 6

Higher layer	Higher layer function & protocols	
AAL (ATM Adaptation layer)	CS	CS protocol types (CS1-CS4)
	SAR	SAR protocol types (SAR1-SAR4)
ATM (Asynchronous Transfer Mode)		Generic flow control Cell header generation/extraction Cell VPI / VCI translation Cell multiplex and demultiplex
PL (Physical layer)	TC	Cell rate decoupling HEC header sequence generation/verification Cell deliniation Transmission frame adaptation Transmission frame generation/recovery
	PM	Bit timing Physical medium

แสดง โครงสร้างโปรโตคอลของ ATM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างโปรโตคอลของ ATM

โครงสร้างโปรโตคอลของ ATM นั้นใช้หลักการเดียวกับ OSI Reference Model คือ แบ่งการทำงานที่สลับซับซ้อนออกเป็นชั้น ๆ โดยในแต่ละชั้นจะนำเอาบริการหรือความสามารถของชั้นที่อยู่ถัดไปลงไปเพิ่มเติมหรือปรับปรุง เพื่อให้ได้บริการที่มีขีดความสามารถหรือประสิทธิภาพสูงขึ้น โครงสร้างโปรโตคอลของ ATM แสดงไว้ในตารางที่ 6. ซึ่งแบ่งออกเป็น 4 ชั้น คือ Physical Layer (PL) Asynchronous Transfer Mode Layer (ATM) , ATM Adaptation Layer (AAL) และ Higher Layer

1. Physical Layer นั้นเป็นข้อกำหนดเกี่ยวกับตัวนำสัญญาณที่ใช้ในการส่งสัญญาณดิจิตอล และวธีการที่จะเปลียนจาก บิต เป็น Line signal รวมทั้งการป้องกันความผิดพลาดที่จะเกิดขึ้นกับ Header ของเซลล์ในการนำ ATM มาใช้ในโครงข่ายโทรคมนาคมสาธารณะนั้นจะนำมาใช้ร่วมกับ SDH/SONET โดยใช้เส้นใยแก้วนำแสงเป็นตัวนำสัญญาณ

2. ATM Layer ทำหน้าที่หลักคือ สร้างเซลล์ Header และนำ Header จากเซลล์ที่รับเข้ามาไปประมวลผล การประมวลผล Header นี้จะทำในเครื่องปลายทางของผู้ใช้หรือในโหนดที่เซลล์ต้องผ่าน ขั้นตอนหนึ่งในการประมวลผล Header คือ การอ่านค่า VCI/VPI ของเซลล์ แล้วหาว่าจะส่งเซลล์ออกไปทางใดแล้วจึงกำหนด VCI/VPI ใหม่สำหรับ Header ใหม่ของเซลล์นั้น นอกจากนั้นชั้น ATM นี้ยังทำหน้าที่รวมเซลล์ที่มีค่า VPI เดียวกัน (แต่ VCI ต่างกัน) ส่งออกไปในเส้นทางเดียวกันและแยกเซลล์ใน VPI เดียวกันออกตามค่า VCI ข้อสังเกตประการหนึ่งสำหรับชั้น ATM คือ ไม่มีการทำ Error control หรือ Flow control

3. ATM Adaptation Layer ช่วยปรับบริการที่ได้รับจากชั้น ATM ให้สอดคล้องกับความต้องการของโปรโตคอลและงานประยุกต์ ในชั้นที่สูงกว่า บริการที่ AAL ให้นั้นสามารถแบ่งได้เป็น 4 class ดังแสดงในตารางที่ 7.

ตารางที่ 7

Service classes	Class A	Class B	Class C	Cless D
Timing relation between source and destination	Required	Required	Not Required	Not Required
Bit rate	Constant	Varible	Varible	Varible
Connection mode	Connection Oriented	Connection Oriented	Connection Oriented	Connection less

แสดง ประเภทของบริการใน ATM

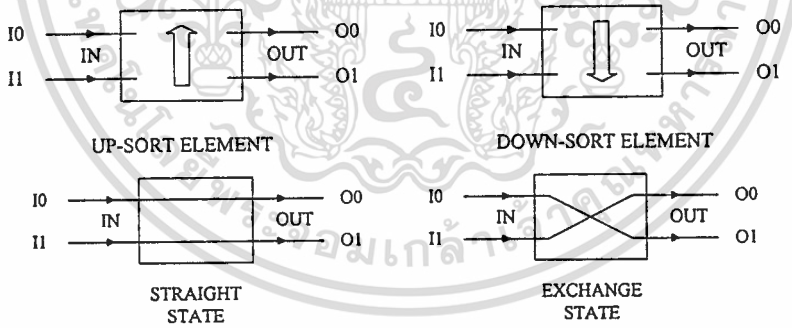
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากบริการของชั้น ATM นั้นคือ การส่งข่าวสารดิจิตอลในรูปของเซลล์ ดังนั้นการที่ AAL จะให้บริการทั้ง 4 class นี้ได้จะต้องมีโปรโตคอลใน AAL อีก ชั้น AAL จึงแบ่งออกเป็นส่วนย่อย 2 ชั้น คือ Convergence Sublayer (CS) ซึ่งช่วยในการเชื่อมต่ออุปกรณ์หรือ Interface ที่เป็น non ATM เข้ากับ ATM และ Segmentation and Reassembly sublayer (SAR) ที่คอยตัด Message ที่โปรโตคอลหรืองานประยุกต์ต้องการส่งออกเป็นส่วนย่อย ๆ เพื่อนำไปสร้างเซลล์หรือนำส่วนข่าวสารจาก Payload ของเซลล์มาต่อกันเป็น Message โปรโตคอลในชั้น AAL นี้จะควบคุมการติดต่อสื่อสารจากต้นทางจนถึงปลายทางและจะถูกประมวลผลโดยผู้ส่งและผู้รับ Message เท่านั้น

<u>วงจรสวิตช์</u>

วงจรสวิตช์จะใช้สัญญลักษณ์ดังแสดงในรูปที่ 43. แนวความคิดที่ใช้ในการเชื่อมโยง จะใช้ความสัมพันธ์ของ Activity bit และ บิตในส่วนหัวของชุดข้อมูล ถ้าเป็นไปตามเงื่อนไขใดก็ทำการปรับปรุงวงจรสวิตช์ให้อยู่ในสถานะเชื่อมโยงนั้น

รูปที่ 43



แสดง สัญญลักษณ์และสภาวะการทำงานของวงจรสวิตช์

วงจรสวิตช์ที่ใช้ในโครงข่ายนั้น ใช้ทั้งชนิด Up-sort และ Down-sort เพื่อให้การเปรียบเทียบบิตที่ส่วนหัวของชุดข้อมูลที่มีความแตกต่างกัน และ จำนวนภาคของวงจรน้อยที่สุด วงจร สวิตช์จะมีสถาวะการทำงานของวงจรสวิตช์ ถูกออกแบบให้มีสภาวะการทำงาน 2 สภาวะดังรูป 43. สภาวะการทำงานของวงจรสวิตช์ ถูกปรับปรุงให้มีสภาวะการทำงานเพียง 2 สภาวะเพื่อป้องกันไม่ให้เกิดการเชื่อมหรือชนกันของชุดข้อมูล เพราะจะทำให้ชุดข้อมูลที่ได้เกิดการผิดพลาดขึ้นได้ การป้องกันไม่ให้เกิดการเชื่อมหรือชนกันของชุดข้อมูล เป็นคุณสมบัติของโครงข่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงข่ายแบตเชอร์

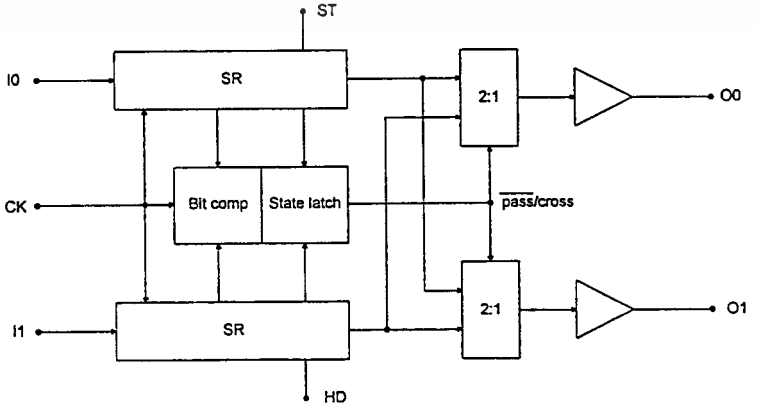
ขนาดของโครงข่ายแบตเชอร์ ขึ้นอยู่กับขนาดอินพุตของโครงข่ายแบตเชอร์ที่ต้องการ สามารถคำนวณหาขนาดของวงจรสวิตช์แบตเชอร์ที่จำเป็นต้องใช้ในการสร้างโครงข่ายแบตเชอร์ตามขนาดอินพุตที่ต้องการได้ดังนี้

Row	=	N / 2	(5.7)
Column	=	$\log_2 N (\log_2 N+1) / 2$	(5.8)
Processing element	=	Row x Column	(5.9)
N	=	Channel	

วงจรสวิตช์แบตเชอร์

เมื่อพิจารณาวงจรสวิตช์แบตเชอร์ มีขนาด 2 อินพุต 2 เอ้าพุต (2 x 2) จะพบว่ามีอยู่ 2 ลักษณะ คือ Batcher upsort element และ Batcher downsort element สังเกตุได้จากทิศทางของลูกศรที่แสดงภายใน Switching block โดยที่ Batcher upsort element จะทำการเรียงลำดับชุดข้อมูลที่มีหมายเลขปลายทางมากกว่าไปออกด้านบน และให้ชุดข้อมูลที่มีหมายเลขปลายทางน้อยกว่าไปออกด้านล่าง ส่วน Batcher downsort element จะทำให้ลักษณะตรงกันข้าม เมื่อนำมาเชื่อมต่อกันในลักษณะที่เหมาะสม (โครงข่ายแบตเชอร์) จะทำให้ได้คุณสมบัติของ Sorting network ดังกล่าว

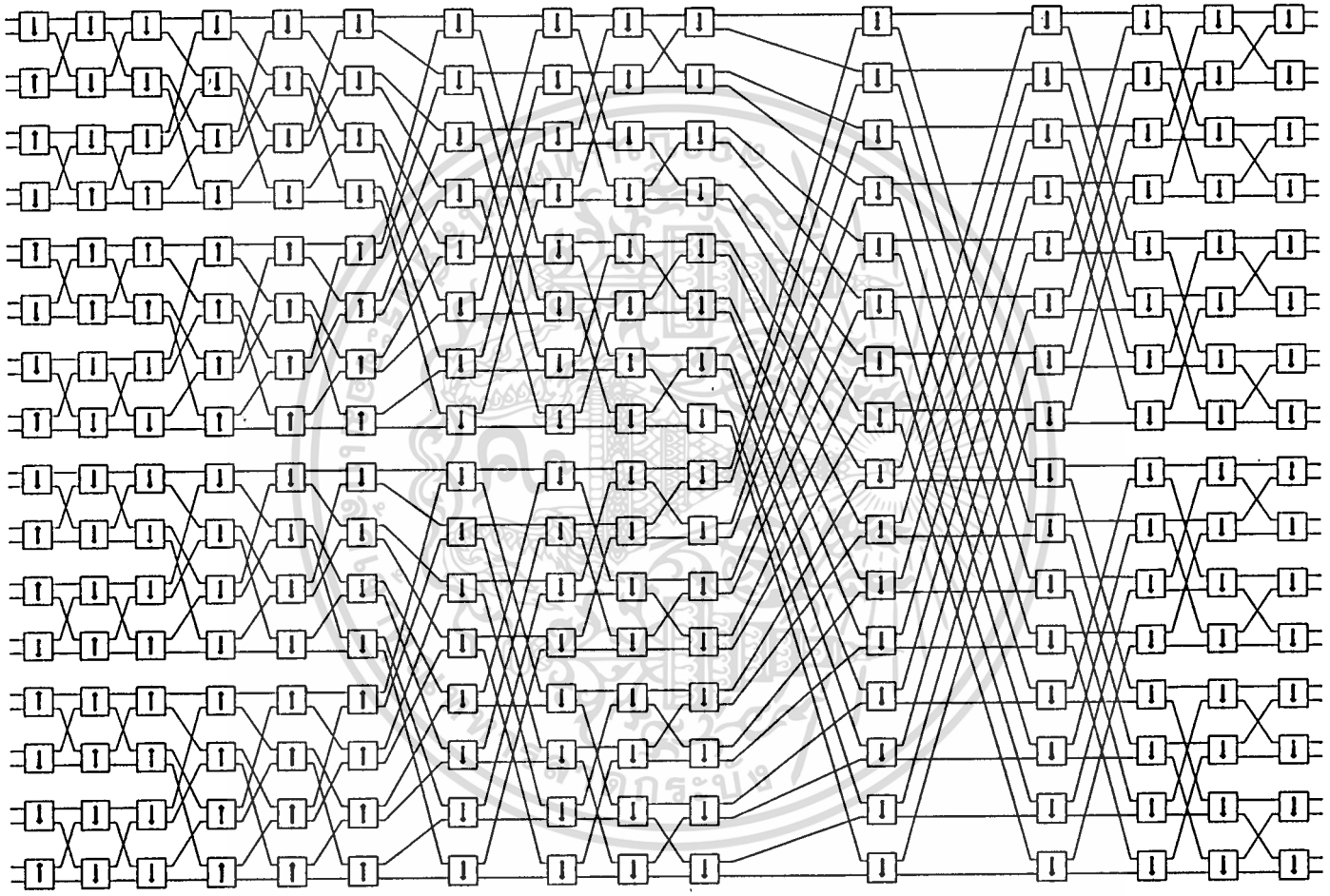
รูปที่ 44



แสดงบล็อกไดอะแกรม ของ Batcher switching element

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 45



แสดง โครงข่ายแบตเชอร์ขนาด 32 วงจร

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
Copyright© by Chiang Mai University
All rights reserved

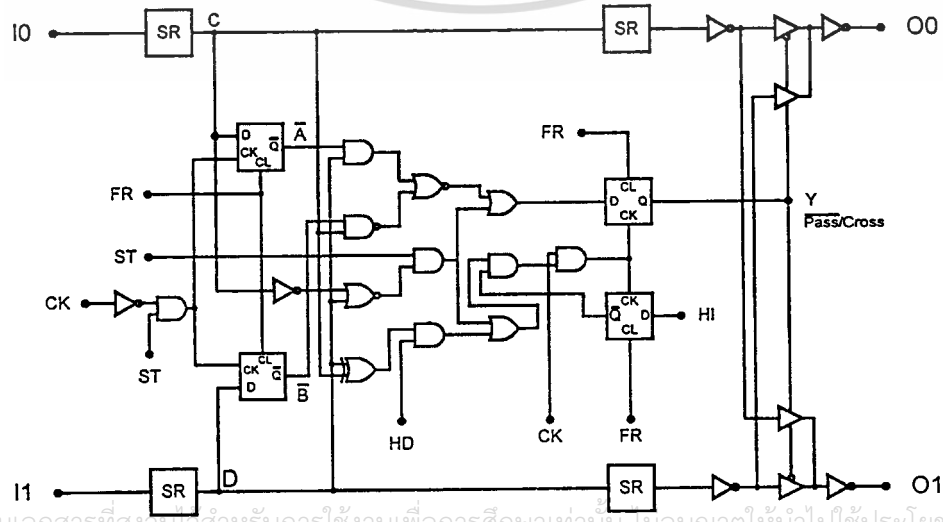
บล็อกไดอะแกรม ของ Batcher switching element แสดงดังรูปที่ 44. ภายใน วงจรสวิตช์ ประกอบด้วย Shift register (SR), Bit comparator (BC), State latch (SL) และ 2:1 Multiplexer เมื่อ ชุดข้อมูลถูกป้อนมาที่อินพุต I0 และ I1 (Synchronous mode) ส่วนของวงจรเปรียบเทียบบิต จะทำการ เปรียบเทียบบิต ของหมายเลขปลายทางที่ส่วนหัวของชุดข้อมูล ถ้าตรวจพบความแตกต่างของบิต ที่เป็น ไปตามเงื่อนไข จะทำการปรับเส้นทางของการเชื่อมโยงชุดข้อมูลไปยังเอ๊าพุตที่เหมาะสม โดยส่ง สัญญาณไป Latch สถานะของ MUX ที่ SL จนกว่าชุดข้อมูลจะเคลื่อนที่ผ่านวงจรสวิตช์ไป โดยผ่าน SR ชุดข้อมูลที่ปรากฏที่เอ๊าพุทของวงจรสวิตช์ยังคงมีลักษณะเดียวกันกับชุดข้อมูลที่รับเข้ามาทางอินพุต แต่ จะเรียงลำดับตามคุณสมบัติของโครงข่าย และจะปรับสถานะ (Reset) กลับมาเป็น Pass state เพื่อรอรับ Packet อื่นๆ ต่อไป

ตารางที่ 8

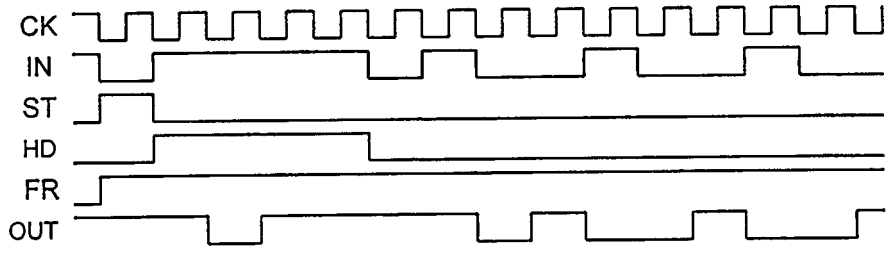
A	1	1	1	0	0	0	0	0	0
B	1	0	0	1	1	0	0	0	0
C	1	1	1	0	1	0	0	1	1
D	1	0	1	1	1	0	1	0	1
Y	0	1	1	0	0	0	0	1	0

แสดงเงื่อนไขที่ใช้ในการตรวจสอบชุดข้อมูลของวงจรสวิตช์แบตเชอร์

รูปที่ 46



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



แสดง Batcher switching circuit และ Timing diagram

ในส่วนของวงจรเปรียบเทียบบิต นั้นประกอบด้วยส่วนของวงจรที่ใช้ 3 ส่วนคือ ส่วนตรวจสอบ Active หรือ Inactive packet ส่วนตรวจสอบความแตกต่างของบิท ในส่วนหัวของชุดข้อมูล และส่วนตรวจสอบตามเงื่อนไขปกติ โดยใช้สัญญาณ ST HD และ FR ผลที่ได้ส่งไป Latch ที่ State latch เพื่อควบคุมสถานะของ 2:1 Multiplexer แต่ละวงจรสวิตช์จะใช้ Delay time ประมาณ 2 Clock.

โครงข่ายบานยาน

ขนาดของโครงข่ายบานยานนี้ขึ้นอยู่กับจำนวนของอินพุตและเอ๊าพุตที่ต้องการ โดยสามารถคำนวณหาจำนวนของวงจรสวิตช์บานยาน ที่จำเป็นต้องใช้ในการเชื่อมต่อเป็นโครงข่ายบานยานได้ดังนี้

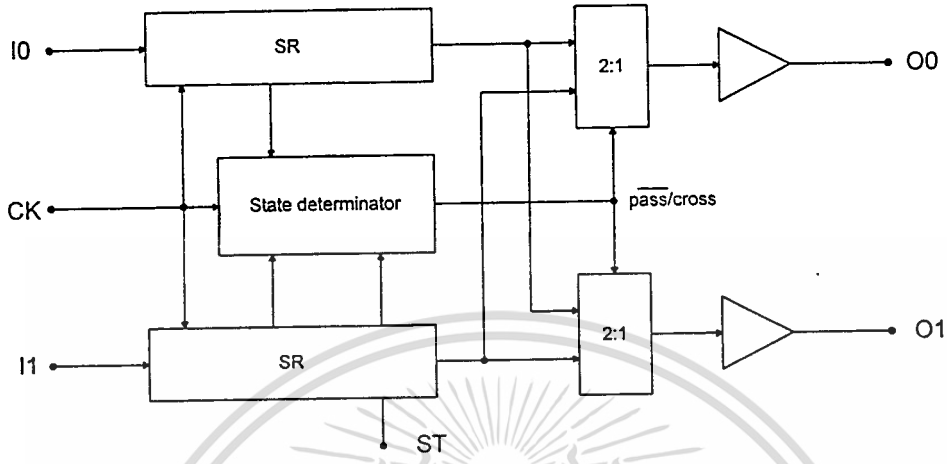
Row	=	N/2	(5.10)
Column	=	$\log_2 N$	(5.11)
Processing element	=	Row x Column	(5.12)
N	=	Channel	

วงจรสวิตช์บานยาน

วงจรสวิตช์บานยาน ที่ใช้ในโครงข่ายบานยานนั้นเป็น Banyan upsort element หรือ Banyan downsort element การควบคุมการหาเส้นทางการเชื่อมโยงชุดข้อมูลจากอินพุตไปยังเอ๊าพุต ใช้หลักการควบคุมดังนี้คือ ใช้บิตแรก (MSB) ของชุดข้อมูลมาเป็นตัวกำหนดสถานะของวงจรสวิตช์ใน Stage แรก และ บิตต่อๆ ไป ใน Stage ต่อๆ ไป จนกระทั่ง บิตสุดท้าย (LSB) จะใช้ควบคุมใน Stage สุดท้าย ก่อนที่ชุดข้อมูลจะไปออกที่ เอ๊าพุตตามที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 47



แสดงบล็อกไดอะแกรม ของ Banyan processing element.

บล็อกไดอะแกรม ของ Banyan processing element ประกอบด้วย Shift register (SR) State determinater (SD) , State latch (SL) และ 2 : 1 Multiplexer เมื่อมีชุดข้อมูลเข้ามาทางอินพุต I0 และ I1 Activity bit จะถูกเก็บไว้ตรวจสอบกับ Bit ต่างๆ ในส่วนหัวของชุดข้อมูล เพื่อนำผลไปกำหนดเส้นทางการเคลื่อนที่ผ่านโครงข่ายของชุดข้อมูล โดยส่งสัญญาณไปควบคุม 2:1 Multiplexer สัญญาณมีค่าเป็น " 0 " หมายถึง วงจรสวิตช์มีสภาวะเป็นการเชื่อมต่อโดยตรง ถ้ามีค่าเป็น " 1 " วงจรสวิตช์จะสลับเส้นทางให้ชุดข้อมูลเปลี่ยนทิศทางไปออกอีกทางหนึ่ง เมื่อวงจรสวิตช์ปรับปรุงเส้นทางในการเชื่อมโยงแล้ว ก็จะค้างสภาวะนั้นไปจนกว่าชุดข้อมูลจะเคลื่อนที่ผ่านวงจรไปก่อนจึงปรับเส้นทางให้เป็นการเชื่อมต่อโดยตรง โดยชุดข้อมูลที่ปรากฏที่เอ๊าพุต นั้นยังคงมีลักษณะเช่นเดียวกับอินพุตที่รับเข้ามา

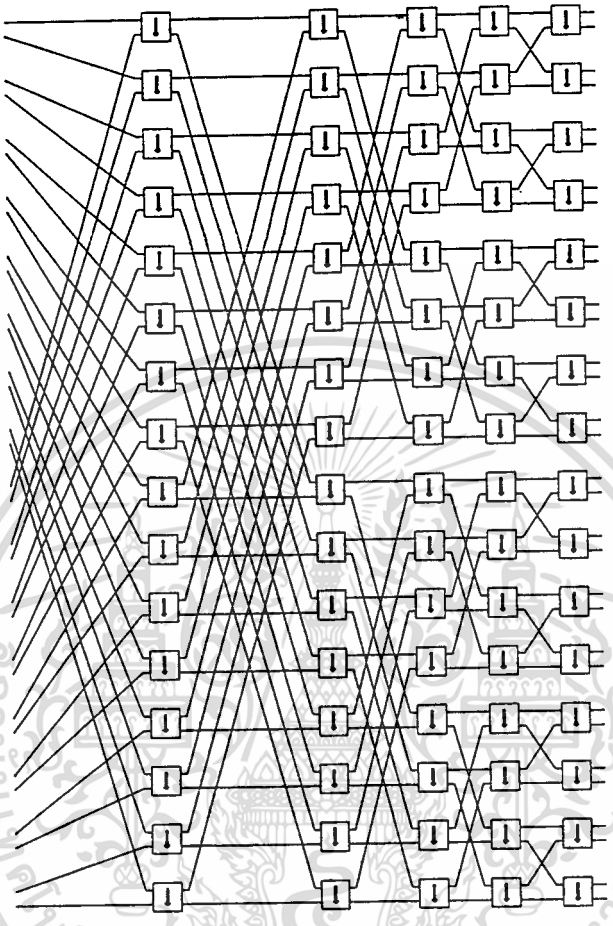
ตารางที่ 9

A	0	0	0	0	0	0	1	1	1
B	0	0	0	0	1	1	0	0	1
C	0	0	1	1	0	1	1	1	1
D	0	1	0	1	1	1	0	1	1
Y	0	0	1	0	0	1	1	0	0

แสดงเงื่อนไขที่ใช้ในการตรวจสอบชุดข้อมูลของวงจรสวิตช์บานยาน

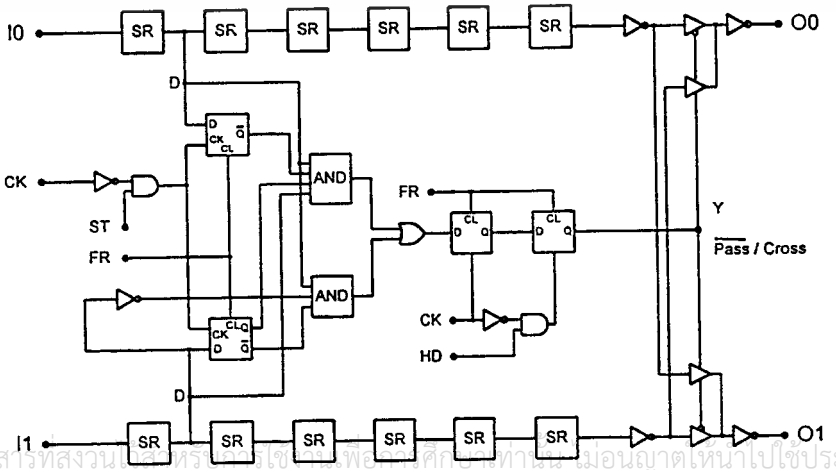
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 48

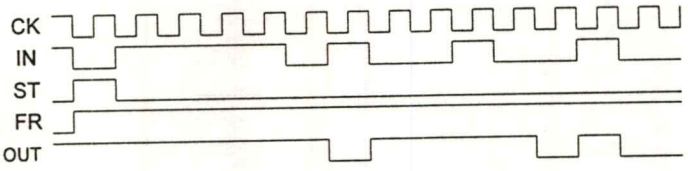


แสดง โครงข่ายบานยาน ขนาด 32 วงจร

รูปที่ 49



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



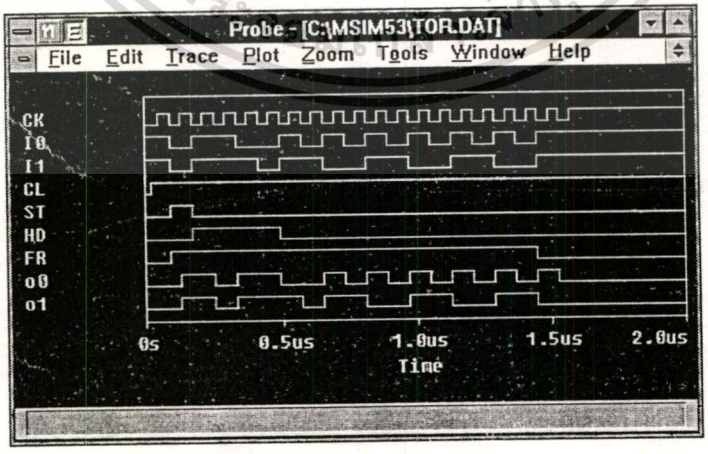
แสดง Banyan processing element circuit และ timing diagram

ในส่วนของ SR นั้นจะใช้ขนาดที่เพียงพอจะเก็บ Aetivity bit และ Header ทั้งหมดไว้ก่อนที่จะส่งไปให้ 2:1 MUX เพื่อให้ข้อมูลที่ปรากฏที่เอ้าพุต มีลักษณะเช่นเดียวกับที่รับเข้ามาทางอินพุต การควบคุมแต่ละ Stage ของ โครงข่าย จะใช้สัญญาณ ST ผ่าน Shift register ไปควบคุมในแต่ละ Stage เพื่อให้การปรับตัวของ วงจรสวิตช์แต่ละ Stage เป็นไปอย่างเหมาะสม

การทดสอบและผลการทดสอบ

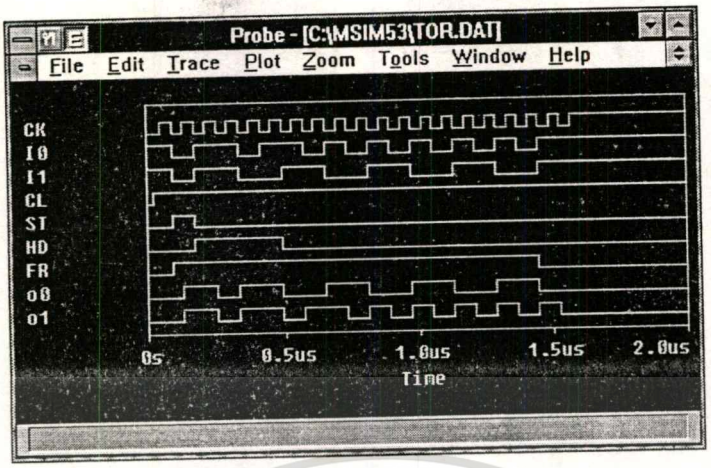
ในส่วนนี้ ใช้วงจรสวิตช์แบตเชอร์ และวงจรสวิตช์บานยาน วงจรเดียวกับการประยุกต์ใช้งานเป็น โครงข่ายเชื่อมต่อภายในด้วยตัวเอง มีข้อแตกต่างในการใช้อุปกรณ์เท่านั้น คือ เราแทนเกตต่างๆ ในวงจรด้วย CMOS Transistor ทั้งหมด เพื่อให้วงจรสวิตช์สามารถทำงานได้ที่อัตราการถ่ายโอนข้อมูลสูง ๆ ซึ่งเป็นจุดประสงค์ในการประยุกต์

รูปที่ 50



(ก)

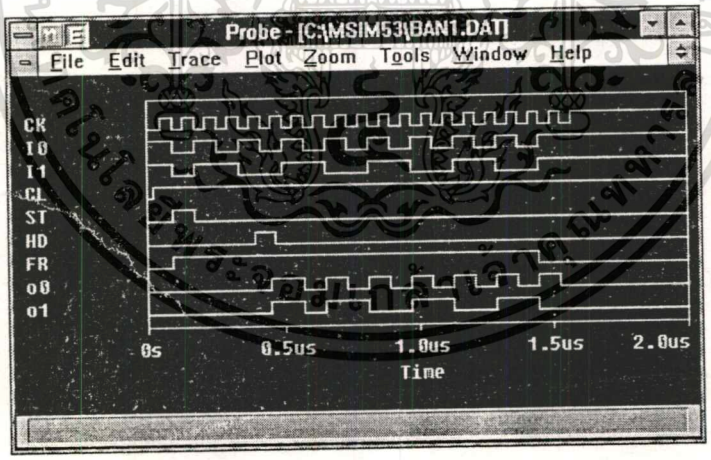
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข)

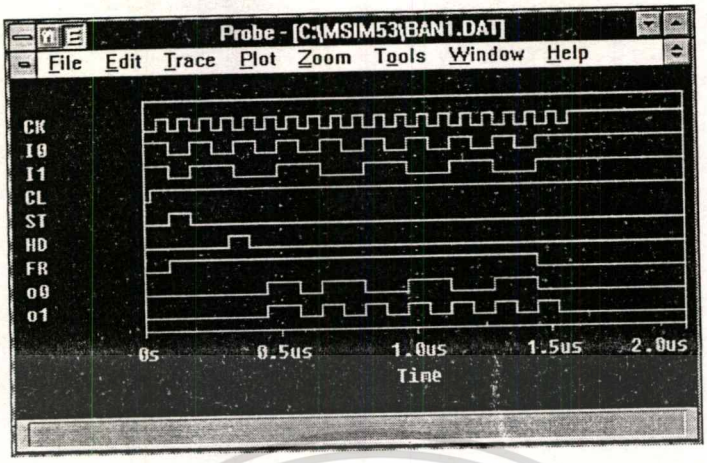
แสดง สัญญาณที่ได้จากการเลียนแบบการทำงานของวงจรสวิตช์แบตเซอร์ (ก) ชุดข้อมูลมีหมายเลขปลายทางต่างกันบิตที่ 3 ได้สภาวะ Pass (ข) หมายเลขปลายทางต่างกันที่บิต 4 สภาวะ Cross

รูปที่ 51



(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข)

แสดง สัญญาณที่ได้จากการเลียนแบบการทำงานของวงจรสวิตช์บานยาน (ก) ชุดข้อมูลมีหมายเลขปลายทางต่างกันที่บิต 4 สภาวะ Pass (ข) หมายเลขปลายทางต่างกันที่บิต 3 สภาวะ Cross

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
บทสรุป

บทสรุป

วิทยานิพนธ์ฉบับนี้เสนอ การออกแบบโครงข่ายเชื่อมต่อภายใน และ การประยุกต์ใช้งาน ประกอบด้วย โครงข่ายแบตเชอร์ และ โครงข่ายบานยาน การออกแบบโครงข่ายพิจารณาจาก โหมดในการทำงาน วิธีการควบคุม วิธีการสวิตชิ่ง โทโปโลยี และ คุณสมบัติของโครงข่าย เพื่อให้ได้โครงข่ายที่มีลักษณะการทำงานที่สามารถประยุกต์ใช้งานได้ ตามวัตถุประสงค์ สามารถนำไปสร้างเป็นวงจรรวมได้ ใช้จำนวนอุปกรณ์น้อยลงโดยการแทนวงจรเกตที่ได้ออกแบบด้วยซีมอสทรานซีสเตอร์ ซึ่งวงจรเกตทั่วไปจะใช้ซีมอส 4 ตัว ในวิทยานิพนธ์ฉบับนี้ใช้เพียง 2 ตัวเท่านั้น ทำให้วงจรสวิตช์มีขนาดเล็กและมีความเร็วสูง ทั้งสองโครงข่าย สรุปเนื้อหาในวิทยานิพนธ์ฉบับนี้เป็นส่วน ๆ ได้ดังนี้

1. โครงข่ายเชื่อมต่อภายในด้วยตนเอง ประกอบด้วย โครงข่ายแบตเชอร์และโครงข่ายบานยาน ขนาด 16 วงจร นำโครงข่ายทั้งสองมาเชื่อมต่อกัน เพื่อให้โครงข่ายที่มีคุณสมบัติ ในการเชื่อมต่อชุดข้อมูลด้วยตัวเอง โดยการอ่านค่าจากส่วนหัวของชุดข้อมูล เพื่อนำมากำหนดเส้นทางการเชื่อมต่อของชุดข้อมูลให้เคลื่อนที่ผ่านโครงข่าย โครงข่ายแบตเชอร์ประกอบด้วยวงจรสวิตช์ จำนวน 80 วงจรสวิตช์ โครงข่ายบานยานประกอบด้วยวงจรสวิตช์ จำนวน 32 วงจรสวิตช์ แต่ละวงจรสวิตช์ออกแบบโดยใช้ ไอซีดิจิตอลชนิดซีมอสความเร็วสูง มีอัตราการถ่ายโอนข้อมูลด้วยความเร็วมากกว่า 10 Mb/s ขึ้นอยู่กับสัญญาณนาฬิกาที่ใช้ การหน่วงเวลาของแต่ละวงจรสวิตช์ใช้เวลาเท่ากับ 2 และ 6 สัญญาณนาฬิกาตามลำดับ โครงข่ายถูกใช้งานในระบบ Synchronous และ ใช้โปรโตคอล ในชั้นกายภาพ และ ชั้นเชื่อมโยงข้อมูล

2. โครงข่ายเชื่อมต่อแถบกว้าง ประกอบด้วย โครงข่ายแบตเชอร์และโครงข่ายบานยาน ขนาด 16 วงจร โครงข่ายสำหรับรวมชุดข้อมูล ขนาด 32 วงจร โครงข่ายสำหรับแยกชุดข้อมูลที่มีหมายเลขปลายทางซ้ำกัน ขนาด 32 วงจร และ โครงข่ายสำหรับหน่วงเวลาชุดข้อมูล ขนาด 16 วงจร เพื่อช่วยในการปรับปรุงคุณภาพในการเชื่อมโยงชุดข้อมูลของโครงข่ายแบตเชอร์ และ โครงข่ายบานยานให้ดีขึ้น โดยในการประยุกต์ใช้งานในส่วนนี้ จะพิจารณาเฉพาะโครงข่ายแบตเชอร์และโครงข่ายบานยานเท่านั้น ดังนั้นจำนวนวงจรสวิตช์ที่ใช้จะมีจำนวนเท่ากับ 80 และ 32 วงจรสวิตช์ด้วย ในการประยุกต์ใช้งานโครงข่ายแถบกว้างนี้ ออกแบบวงจรสวิตช์โดยใช้ ซีมอสทรานซีสเตอร์แทนในส่วนของวงจรลอจิกต่าง ๆ เพื่อทำให้โครงข่ายมีอัตราการถ่ายโอนข้อมูลด้วยความเร็วสูง ในช่วง 170 Mb/s เพื่อให้การประยุกต์ใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงข่ายได้กว้างขวาง และ ครอบคลุมบริการต่าง ๆ ที่มีความต้องการโครงข่ายที่มีอัตราการถ่ายโอนข้อมูลในช่วงดังกล่าวมากยิ่งขึ้น การหน่วงเวลา และ โปรโตคอลที่ใช้กับโครงข่ายมีลักษณะเช่นเดียวกับโครงข่ายเชื่อมต่อภายในด้วยตัวเอง

3. โครงข่ายบริการสื่อสารร่วมระบบดิจิตอลแถบกว้าง ประกอบด้วย โครงข่ายแบตเซอร์ และโครงข่ายบานยาน ขนาด 32 วงจร โครงข่ายแบตเซอร์ประกอบด้วยวงจรสวิตช์จำนวน 240 วงจรสวิตช์ โครงข่ายบานยานประกอบด้วยวงจรสวิตช์ 80 วงจรสวิตช์ ในแต่ละวงจรสวิตช์มีลักษณะเช่นเดียวกับวงจรสวิตช์ของโครงข่ายเชื่อมโยงแถบกว้าง โดยนำมาใช้งานที่อัตราการถ่ายโอนข้อมูล 155 Mb/s เพื่อใช้งานกับระบบ ATM ใช้โปรโตคอลในชั้นกายภาพ และ ชั้นเชื่อมโยงข้อมูล ในโครงสร้างโปรโตคอลของ ATM ในการควบคุมการทำงานของโครงข่าย

<u>ปัญหาที่เกิดขึ้น และ แนวทางแก้ไข</u>

ในการทำวิทยานิพนธ์ฉบับนี้ ได้ทดสอบวงจรที่ได้ทำการออกแบบ โดยใช้โปรแกรมเลียนแบบการทำงานของวงจร ซึ่งเป็นวิธีการที่นิยมใช้กันในปัจจุบัน ทำให้เกิดปัญหา และ ข้อจำกัดในการเลียนแบบการทำงานของวงจรพอสมควร พอที่จะแก้ไขได้ โดยแบ่งปัญหา และ ข้อจำกัด ที่เกิดขึ้น และ แนวทางแก้ไขเป็นข้อ ๆ ดังนี้

1. ปัญหาด้านขีดจำกัดของโปรแกรมที่ใช้เลียนแบบการทำงานของวงจร โดยใช้โปรแกรม PSpice ของ Microsim version 5.3 ทำให้เกิดข้อจำกัดในการเลียนแบบการทำงานหลายประการ คือ จำนวนทรานซีสเตอร์ที่ใช้ ซึ่งในโครงข่ายแบตเซอร์ ขนาด 16 วงจร จะต้องใช้ซีมอสทรานซีสเตอร์จำนวน 8,000 ตัว หรือ 100 ตัว ต่อหนึ่งวงจรสวิตช์

แนวทางแก้ไข โดยแยกการเลียนแบบการทำงานของวงจร ออกเป็นส่วน ๆ ที่สามารถแยกออกมาได้ โดยโครงข่ายประกอบขึ้นจากวงจรสวิตช์ที่เหมือนกัน แตกต่างกันเฉพาะส่วนการเชื่อมโยงระหว่างวงจรสวิตช์เท่านั้น จึงทำการเลียนแบบการทำงานเฉพาะในส่วนของวงจรสวิตช์เท่านั้น

2. ความต่อเนื่องของสัญญาณในการเลียนแบบการทำงานของวงจรสวิตช์ เนื่องจากออกแบบวงจรสวิตช์โดยใช้ ซีมอสทรานซีสเตอร์ ทำงานแบบดิจิตอลลอจิกในโหมด Synchronous ทำให้สัญญาณขาดหายเป็นช่วง ๆ ในจังหวะของสัญญาณนาฬิกาแต่ละลูก ทำให้เกิดสภาวะ High-impedance ขึ้น และโปรแกรมไม่สามารถทำการเลียนแบบการทำงานต่อไปได้ ทำให้ไม่ได้ผลการทดลอง แต่ในการใช้งานจริงนั้น ซีมอสทรานซีสเตอร์จะมีคุณสมบัติในการเก็บสภาวะทางลอจิกไว้ระยะเวลาหนึ่ง ทำให้ไม่เกิดปัญหาดังกล่าวในการใช้งานจริงของวงจร

แนวทางแก้ไข แทนส่วนต่าง ๆ ของวงจรสวิตช์โดยใช้ลอจิกเกต และ เลียนแบบการทำงานในโหมดดิจตอล ทำให้สามารถเลียนแบบการทำงานของวงจรสวิตช์ได้ โดยในส่วนของ Shift registor จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนด้วย D-flipflop และ ใช้วงจรเกตต่าง ๆ แทนในส่วนต่าง ๆ ของ วงจรสวิตช์ แล้วแยกการเลียนแบบการทำงานในส่วนของวงจรเกตแต่ละตัวผลที่ได้สามารถสนับสนุนการทำงานของวงจรสวิตช์โดยรวมได้

3. สัญญาณที่ใช้ควบคุมการทำงานของโครงข่าย ในการนำโครงข่ายไปใช้งานนั้นจำเป็นจะต้องใช้สัญญาณมาควบคุมให้โครงข่ายสามารถทำงานได้ตามวัตถุประสงค์ โดยได้จากชิพควบคุมจากภายนอก ในการเลียนแบบการทำงานนั้น สัญญาณที่ใช้กำหนดขึ้นเอง ในโปรแกรมทำให้เกิดปัญหาในการ Sync กับสัญญาณนาฬิกาในระบบ และ ส่วนต่าง ๆ ภายในวงจรสวิตช์เอง ทำให้เงื่อนไขในการทำงานของวงจรสวิตช์ผิดพลาดขึ้นได้

แนวทางแก้ไข ทำการ Sync สัญญาณควบคุมกับสัญญาณนาฬิกาก่อนป้อนเข้าไปควบคุมในส่วนต่าง ๆ ของวงจรสวิตช์ และจะต้องสัมพันธ์กับช่วงเวลาของชุดข้อมูลด้วย

4. ปัญหาด้านอัตราการถ่ายโอนข้อมูลของโครงข่าย ในการประยุกต์ใช้งานจริงของโครงข่ายนั้นมีอัตราการถ่ายโอนข้อมูลด้วยความเร็วสูงมาก เกินขีดจำกัดของโปรแกรมที่ใช้ในการเลียนแบบการทำงานของวงจร และการเลียนแบบนี้ใช้ โมเดลของซีมอสทรานซิสเตอร์แบบทั่ว ๆ ไป ทำให้ในการทดลอบได้อัตราการถ่ายโอนข้อมูลต่ำ

แนวทางแก้ไข สามารถแก้ไขได้ในขั้นตอนการผลิต โดยการใช้ ซีมอสทรานซิสเตอร์ที่มีความกว้างของเกตเล็กลง เช่น 3-6 ไมครอน ในขั้นตอนการผลิตวงจรรวมได้ ผลที่ได้ เมื่อเกตของทรานซิสเตอร์เล็กลง ทำให้ความจุของสารกึ่งตัวนำลดลงด้วย ทำให้สามารถใช้งานที่สัญญาณนาฬิกาสูงขึ้นได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

[1] C. Clos , " A Study of Nonblocking Switching Networks , " Jour. Bell System Technical , March 1953 pp. 406-424.

[2] C. Day , J. Giacopelli and J. Hickey , " Applications of Self-routing Switches to LATA fiber optic Networks , " Proc. Int. Switching Symp. 1987 , pp. 519-523.

[3] C. L. Wu and T.Y. Feng , " Interconnection Network for Parallel and Distributed processing , " IEEE Computer society press , 1984 , pp. 1-162 .

[4] C. L. Wu and T.Y. Feng , " On a Class of Multistage Interconnection Networks , " IEEE Trans. on Comp. , Vol. C-29 , no. 8 , Aug. 1980 , pp. 694-702.

[5] D. Nassimi and S. Sahni , " Bitonic Sort on a mesh-connected parallel Computer , " IEEE Trans. Comp. Vol. C-28 , Jan 1979 , pp. 2-7.

[6] D. Nassimi and S. Sahni , " Parallel Permutation and Sorting Algorithms and A New Generalized Connection Network , " Jour. Ass. Comp. , July 1982 , pp. 642-667.

[7] D. P. Agrawal and J. S. Leu , " Interconnection Networks , " Proc. Int Conf. Comp System , 1984, pp. 266-277.

[8] D. Wilson , " A new architecture for packaging wideband communications equipment using a 3-D, orthogonal edge-to-edge topology , " Proc. Globecom , 1988 , pp. 430-434.

[9] H. Jay O'Neill , D. Bryan Ackland and others. " A 200 Mhz CMOS BroadBand Switching Chip, " IEEE Solid-State circuit , Vol. 28 , no. 3 , March 1993.

[10] H. J. Siege , " Interconnection Network for SIMD Machines , " IEEE Comp. , Jjune 1979 , pp. 57-65.

[11] J. Gecsei , " Interconnection Network from Three-State Cells , " IEEE Trans. Comp. , C-26 , Aug 1977 pp. 705-711.

[12] K.E. Batcher , " Sorting network and their application , " The Proc. of AFIPS Spring Joint Conference 1968 , pp. 307-314.

[13] K.J. Thurber , "Interconnection network a survey and assessment , " Proc. of the National Computer Conference, AFIPS, Vol.43 , 1974 , pp. 909-919.

[14] M. A. Franklin , " VLSI Performance Comparision of Banyan and Crossbar Communication Network ," IEEE Trans on Computer Vol. C-30. no. 4 , April , 1981 , pp 283-290 .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[15] N. H. E. Weste and K. Eshraghian , " Principles of CMOS VLSI Design , " Reading , MA: Addison Wesley , 1985.

[16] R. Goke , and G. J. Lipovski , " Banyan Networks for Partitioning on Multiprocessor Systems , " Proc. 1st Ann . Symp. Computer Architecture , 1973 , pp. 21-30.

[17] T. Lang and H. S. Stone , " A Shuffle-Exchange with Simplified Control , " IEEE Trans. on Comp. C-25 , Jan. 1976 , pp. 55-56.

[18] T. Y. Feng , " A Survey of Interconnection Network , " IEEE Comp. , Dec 1981. , pp. 12-27.
U. V. Premkumar , R. Kapur et al. , " Design and Implementation of the Banyan Interconnection Network in TRAC , " Proc. Comp.Conf. , 1980 , pp. 643-653.

[19] W.S. Marcus , " CMOS Batcher and Banyan chip for B-ISDN Packet Switching , " IEEE Solid State circuit , Vol. 25 , no. 6 , December , 1990 , pp. 1426-1432.

[20] W. Marcus and J. Hickey , " A CMOS Batcher and Banyan Chip Set for B-ISDN , " ISSCC Dig. Tech. Papers , 1990 , pp. 32-33.

[21] Y. Oie , T. Suda et al. , " Survey of switching techniques in high speed networks and their performance , " IEEE Proc. INFOCOM'90 , Vol. 3 , pp 1242.

[22] ดร. กำธร ไวทยกุล. " Asynchrous Transfer Mode , " Wireless Communication Journal. ปีที่ 1. ฉบับที่ 2. ตุลาคม 2536. หน้า 97-115.

[23] ชัชวาล ภูรินันทน์ , รศ.ดร. กอบชัย เดชหาญ , " การออกแบบโครงข่ายเชื่อมต่อภายในด้วยฮาร์ดแวร์ , " วารสารคอมพิวเตอร์ สมาคมคอมพิวเตอร์แห่งประเทศไทย ในพระบรมราชูปถัมภ์.

[24] ดร. ประสิทธิ์ ทีฆพุฒิ. โครงข่ายบริการสื่อสารร่วมระบบดิจิตอล. พิมพ์ครั้งที่ 1. สิงหาคม 2535. วิศวกรรมสถานแห่งประเทศไทย ในพระบรมราชูปถัมภ์.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมที่ใช้ในการทดลอง

```
* C:\MSIM53\WORK\BATCHER.SCH
* Schematics Version 5.3 - January 1993

.INCLUDE "BATCHER.STM"
** Analysis setup **
.tran 20ns 2000ns
.OP
* From [SCHEMATICS NETLIST] section of msim.ini:
.lib nom.lib
.INC "C:\MSIM53\WORK\BATCHER.NET"
.INC "C:\MSIM53\WORK\BATCHER.ALS"

.END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
* C:\MSIM53\WORK\BATCHER.STM

UBATCH STIM(7,1111111) $G_DPWR $G_DGND
+       I0 I1 CL ST HD CK FR
+       IO_STM
+       0ns     1100000
+       10ns    1110000
+       40ns    1110010
+       80ns    0011001
+       120ns   0011011
+       160ns   1110101
+       200ns   1110111
+       240ns   0110101
+       280ns   0110111
+       320ns   1010101
+       360ns   1010111
+       400ns   0010101
+       440ns   0010111
+       480ns   1110001
+       520ns   1110011
+       560ns   0110001
+       600ns   0110011
+       640ns   1010001
+       680ns   1010011
+       720ns   0010001
+       760ns   0010011
+       800ns   1110001
+       840ns   1110011
+       880ns   0110001
+       920ns   0110011
+       960ns   1010001
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+ 1000ns 1010011
+ 1040ns 0010001
+ 1080ns 0010011
+ 1120ns 1110001
+ 1160ns 1110011
+ 1200ns 0110001
+ 1240ns 0110011
+ 1280ns 1010001
+ 1320ns 1010011
+ 1360ns 0010001
+ 1400ns 0010011
+ 1440ns 1110000
+ 1480ns 1110010
+ 1520ns 1110000
+ 1560ns 1110010

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
* C:\MSIM53\WORK\BATCHER.NET
* Schematics Netlist *

X_U1A    CL I0 CK $D_HI $N_0001 $N_0002 $G_DPWR $G_DGND 74HC74 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U2A    CL $N_0001 CK $D_HI $N_0003 $N_0004 $G_DPWR $G_DGND 74HC74 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U3A    $N_0006 $N_0001 $N_0005 $D_HI $N_0007 $N_0008 $G_DPWR $G_DGND 74HC74
+ PARAMS: IO_LEVEL=0 MNTYMXDLY=0
X_U4A    $N_0006 $N_0009 $N_0005 $D_HI $N_0010 $N_0011 $G_DPWR $G_DGND 74HC74
+ PARAMS:  IO_LEVEL=0 MNTYMXDLY=0
X_U5A    FR $N_0013 $N_0012 $D_HI $N_0014 $N_0015 $G_DPWR $G_DGND 74HC74
+ PARAMS: IO_LEVEL=0 MNTYMXDLY=0
X_U6A    FR $D_HI $N_0012 $D_HI $N_0016 $N_0017 $G_DPWR $G_DGND 74HC74 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U7A    CL $N_0009 CK $D_HI $N_0018 $N_0019 $G_DPWR $G_DGND 74HC74 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U8A    CL I1 CK $D_HI $N_0009 $N_0020 $G_DPWR $G_DGND 74HC74 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U9A    $N_0001 $N_0021 $G_DPWR $G_DGND 74HC04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U10A   $N_0022 $N_0023 $G_DPWR $G_DGND 74HC04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U11A   $N_0024 $N_0014 $N_0025 $G_DPWR $G_DGND 74HC125 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U12A   $N_0026 $N_0014 $N_0027 $G_DPWR $G_DGND 74HC125 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U13A   $N_0026 $N_0014 $N_0025 $G_DPWR $G_DGND 74HC126 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U14A   $N_0024 $N_0014 $N_0027 $G_DPWR $G_DGND 74HC126 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
X_U15A  $N_0001 $N_0011 $N_0028 $G_DPWR $G_DGND 74HC00 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U16A  $N_0029 $N_0017 $N_0022 $G_DPWR $G_DGND 74HC00 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U17A  $N_0008 $N_0009 $N_0030 $G_DPWR $G_DGND 74HC08 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U18A  $N_0031 HD $N_0032 $G_DPWR $G_DGND 74HC08 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U19A  $N_0021 $N_0009 $N_0033 $G_DPWR $G_DGND 74HC02 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U20A  $N_0028 $N_0030 $N_0034 $G_DPWR $G_DGND 74HC02 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U21A  $N_0001 $N_0009 $N_0031 $G_DPWR $G_DGND 74HC86 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U22A  $N_0034 $N_0035 $N_0013 $G_DPWR $G_DGND 74HC32 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U23A  $N_0035 $N_0032 $N_0029 $G_DPWR $G_DGND 74HC32 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U24A  $N_0036 ST $N_0005 $G_DPWR $G_DGND 74HC08 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U25A  CK $N_0036 $G_DPWR $G_DGND 74HC04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U26A  $N_0023 CK $N_0012 $G_DPWR $G_DGND 74HC08 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U27A  $N_0003 $N_0024 $G_DPWR $G_DGND 74HC04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U28A  $N_0018 $N_0026 $G_DPWR $G_DGND 74HC04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U29A  $N_0025 O0 $G_DPWR $G_DGND 74HC04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U30A  $N_0027 O1 $G_DPWR $G_DGND 74HC04 PARAMS:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+ IO_LEVEL=0 MNTYMXDLY=0

X_U31A $N_0033 S1 $N_0035 $G_DPWR $G_DGND 74HC08 PARAMS:

+ IO_LEVEL=0 MNTYMXDLY=0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
* C:\MSIM53\WORK\BATCHER.ALS
* Schematics Aliases *

.ALIASES
X_U1A     U1A(CLRbar=CL D=I0 CLK=CK PREbar=$D_HI Q=$N_0001 Qbar=$N_0002
+ PWR=$G_DPWR  GND=$G_DGND )
X_U2A     U2A(CLRbar=CL D=$N_0001 CLK=CK PREbar=$D_HI Q=$N_0003 Qbar=$N_0004
+ PWR=$G_DPWR  GND=$G_DGND )
X_U3A     U3A(CLRbar=$N_0006 D=$N_0001 CLK=$N_0005 PREbar=$D_HI Q=$N_0007
+ Qbar=$N_0008  PWR=$G_DPWR GND=$G_DGND )
X_U4A     U4A(CLRbar=$N_0006 D=$N_0009 CLK=$N_0005 PREbar=$D_HI Q=$N_0010
+ Qbar=$N_0011  PWR=$G_DPWR GND=$G_DGND )
X_U5A     U5A(CLRbar=FR D=$N_0013 CLK=$N_0012 PREbar=$D_HI Q=$N_0014
+ Qbar=$N_0015  PWR=$G_DPWR GND=$G_DGND )
X_U6A     U6A(CLRbar=FR D=$D_HI CLK=$N_0012 PREbar=$D_HI Q=$N_0016 Qbar=$N_0017
+  PWR=$G_DPWR GND=$G_DGND )
X_U7A     U7A(CLRbar=CL D=$N_0009 CLK=CK PREbar=$D_HI Q=$N_0018 Qbar=$N_0019
+ PWR=$G_DPWR  GND=$G_DGND )
X_U8A     U8A(CLRbar=CL D=I1 CLK=CK PREbar=$D_HI Q=$N_0009 Qbar=$N_0020
+ PWR=$G_DPWR  GND=$G_DGND )
X_U9A     U9A(A=$N_0001 Y=$N_0021 PWR=$G_DPWR GND=$G_DGND )
X_U10A    U10A(A=$N_0022 Y=$N_0023 PWR=$G_DPWR GND=$G_DGND )
X_U11A    U11A(A=$N_0024 Gbar=$N_0014 Y=$N_0025 PWR=$G_DPWR GND=$G_DGND )
X_U12A    U12A(A=$N_0026 Gbar=$N_0014 Y=$N_0027 PWR=$G_DPWR GND=$G_DGND )
X_U13A    U13A(A=$N_0026 G=$N_0014 Y=$N_0025 PWR=$G_DPWR GND=$G_DGND )
X_U14A    U14A(A=$N_0024 G=$N_0014 Y=$N_0027 PWR=$G_DPWR GND=$G_DGND )
X_U15A    U15A(A=$N_0001 B=$N_0011 Y=$N_0028 PWR=$G_DPWR GND=$G_DGND )
X_U16A    U16A(A=$N_0029 B=$N_0017 Y=$N_0022 PWR=$G_DPWR GND=$G_DGND )
X_U17A    U17A(A=$N_0008 B=$N_0009 Y=$N_0030 PWR=$G_DPWR GND=$G_DGND )
X_U18A    U18A(A=$N_0031 B=HD Y=$N_0032 PWR=$G_DPWR GND=$G_DGND )
X_U19A    U19A(A=$N_0021 B=$N_0009 Y=$N_0033 PWR=$G_DPWR GND=$G_DGND )
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
X_U20A   U20A(A=$N_0028 B=$N_0030 Y=$N_0034 PWR=$G_DPWR GND=$G_DGND )
X_U21A   U21A(A=$N_0001 B=$N_0009 Y=$N_0031 PWR=$G_DPWR GND=$G_DGND )
X_U22A   U22A(A=$N_0034 B=$N_0035 Y=$N_0013 PWR=$G_DPWR GND=$G_DGND )
X_U23A   U23A(A=$N_0035 B=$N_0032 Y=$N_0029 PWR=$G_DPWR GND=$G_DGND )
X_U24A   U24A(A=$N_0036 B=ST Y=$N_0005 PWR=$G_DPWR GND=$G_DGND )
X_U25A   U25A(A=CK Y=$N_0036 PWR=$G_DPWR GND=$G_DGND )
X_U26A   U26A(A=$N_0023 B=CK Y=$N_0012 PWR=$G_DPWR GND=$G_DGND )
X_U27A   U27A(A=$N_0003 Y=$N_0024 PWR=$G_DPWR GND=$G_DGND )
X_U28A   U28A(A=$N_0018 Y=$N_0026 PWR=$G_DPWR GND=$G_DGND )
X_U29A   U29A(A=$N_0025 Y=O0 PWR=$G_DPWR GND=$G_DGND )
X_U30A   U30A(A=$N_0027 Y=O1 PWR=$G_DPWR GND=$G_DGND )
X_U31A   U31A(A=$N_0033 B=S1 Y=$N_0035 PWR=$G_DPWR GND=$G_DGND )
+ _(CK=CK)
+ _(I0=I0)
+ _(I1=I1)
+ _(FR=FR)
+ _(CL=CL)
+ _(HD=HD)
+ _(ST=ST)
+ _(O0=O0)
+ _(O1=O1)
+ _($D_HI=$D_HI)
+ _($G_DPWR=$G_DPWR)
+ _($G_DGND=$G_DGND)
.ENDALIASES
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
* C:\MSIM53\WORK\BANYAN.SCH
* Schematics Version 5.3 - January 1993

.INCLUDE  "BANYAN.STM"
** Analysis setup **
.tran 20ns 2000ns
.OP
* From [SCHEMATICS NETLIST] section of msim.ini:
.lib nom.lib
.INC "C:\MSIM53\WORK\BANYAN.NET"
.INC "C:\MSIM53\WORK\BANYAN.ALS"

.END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
* C:\MSIM53\WORK\BANYAN.STM

UBATCH STIM(7,1111111) $G_DPWR $G_DGND
+       I0 I1 CL ST HD CK FR
+       IO_STM
+       0ns     1100000
+       10ns    1110000
+       40ns    1110010
+       80ns    0011001
+       120ns   0011011
+       160ns   1110101
+       200ns   1110111
+       240ns   0110001
+       280ns   0110011
+       320ns   1010001
+       360ns   1010011
+       400ns   0010001
+       440ns   0010011
+       480ns   1110001
+       520ns   1110011
+       560ns   0110001
+       600ns   0110011
+       640ns   1010001
+       680ns   1010011
+       720ns   0010001
+       760ns   0010011
+       800ns   1110001
+       840ns   1110011
+       880ns   0110001
+       920ns   0110011
+       960ns   1010001
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+ 1000ns 1010011
+ 1040ns 0010001
+ 1080ns 0010011
+ 1120ns 1110001
+ 1160ns 1110011
+ 1200ns 0110001
+ 1240ns 0110011
+ 1280ns 1010001
+ 1320ns 1010011
+ 1360ns 0010001
+ 1400ns 0010011
+ 1440ns 1110000
+ 1480ns 1110010
+ 1520ns 0110000
+ 1560ns 0110010
+ 1600ns 1010000
+ 1640ns 1010010

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
* C:\MSIM53\WORK\BANYAN.NET
* Schematics Netlist *
X_U1A  CL I0 CK $D_HI $N_0001 $N_0002 $G_DPWR $G_DGND 74HC74 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U2A  CL $N_0001 CK $D_HI $N_0003 $N_0004 $G_DPWR $G_DGND 74HC74 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U3A  CL $N_0003 CK $D_HI $N_0005 $N_0006 $G_DPWR $G_DGND 74HC74 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U4A  CL $N_0005 CK $D_HI $N_0007 $N_0008 $G_DPWR $G_DGND 74HC74 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U5A  CL $N_0007 CK $D_HI $N_0009 $N_0010 $G_DPWR $G_DGND 74HC74 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U6A  CL $N_0001 $N_0011 $D_HI $N_0012 $N_0013 $G_DPWR $G_DGND 74HC74
+ PARAMS: IO_LEVEL=0 MNTYMXDLY=0
X_U7A  CL $N_0014 $N_0011 $D_HI $N_0015 $N_0016 $G_DPWR $G_DGND 74HC74
+ PARAMS: IO_LEVEL=0 MNTYMXDLY=0
X_U8A  CL $N_0014 CK $D_HI $N_0017 $N_0018 $G_DPWR $G_DGND 74HC74 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U9A  CL I1 CK $D_HI $N_0014 $N_0019 $G_DPWR $G_DGND 74HC74 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U10A CL $N_0017 CK $D_HI $N_0020 $N_0021 $G_DPWR $G_DGND 74HC74 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U11A CL $N_0020 CK $D_HI $N_0022 $N_0023 $G_DPWR $G_DGND 74HC74 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U12A CL $N_0022 CK $D_HI $N_0024 $N_0025 $G_DPWR $G_DGND 74HC74 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U13A FR $N_0026 CK $D_HI $N_0027 $N_0028 $G_DPWR $G_DGND 74HC74 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U14A $N_0029 $N_0031 $N_0030 $G_DPWR $G_DGND 74HC125 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U15A $N_0032 $N_0031 $N_0033 $G_DPWR $G_DGND 74HC125 PARAMS:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
+ IO_LEVEL=0 MNTYMXDLY=0
X_U16A $N_0032 $N_0031 $N_0030 $G_DPWR $G_DGND 74HC126 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U17A $N_0029 $N_0031 $N_0033 $G_DPWR $G_DGND 74HC126 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U18A $N_0034 $N_0035 $N_0026 $G_DPWR $G_DGND 74HC32 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U19A $N_0014 $N_0036 $G_DPWR $G_DGND 74HC04 PARAMS: IO_LEVEL=0
+  MNTYMXDLY=0
X_U20A CL $N_0009 CK $D_HI $N_0037 $N_0038 $G_DPWR $G_DGND 74HC74 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U21A CL $N_0024 CK $D_HI $N_0039 $N_0040 $G_DPWR $G_DGND 74HC74 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U22A $N_0015 $N_0013 $N_0001 $N_0014 $N_0034 $G_DPWR $G_DGND 74HC21
+ PARAMS: IO_LEVEL=0 MNTYMXDLY=0
X_U23A $N_0016 $N_0001 $N_0001 $N_0036 $N_0035 $G_DPWR $G_DGND 74HC21
+ PARAMS: IO_LEVEL=0 MNTYMXDLY=0
X_U24A $N_0037 $N_0032 $G_DPWR $G_DGND 74HC04 PARAMS: IO_LEVEL=0
+ MNTYMXDLY=0
X_U25A $N_0039 $N_0029 $G_DPWR $G_DGND 74HC04 PARAMS: IO_LEVEL=0
+ MNTYMXDLY=0
X_U26A $N_0033 O0 $G_DPWR $G_DGND 74HC04 PARAMS: IO_LEVEL=0 MNTYMXDLY=0
X_U27A $N_0030 O1 $G_DPWR $G_DGND 74HC04 PARAMS: IO_LEVEL=0 MNTYMXDLY=0
X_U28A ST $N_0041 $N_0011 $G_DPWR $G_DGND 74HC08 PARAMS: IO_LEVEL=0
+ MNTYMXDLY=0
X_U29A CK $N_0041 $G_DPWR $G_DGND 74HC04 PARAMS: IO_LEVEL=0 MNTYMXDLY=0
X_U30A CK $N_0042 $G_DPWR $G_DGND 74HC04 PARAMS: IO_LEVEL=0 MNTYMXDLY=0
X_U31A $N_0042 HD $N_0043 $G_DPWR $G_DGND 74HC08 PARAMS: IO_LEVEL=0
+ MNTYMXDLY=0
X_U32A FR $N_0027 $N_0043 $D_HI $N_0031 $N_0044 $G_DPWR $G_DGND 74HC74
+ PARAMS: IO_LEVEL=0 MNTYMXDLY=0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
* C:\MSIN53\WORK\BANYAN.ALS
* Schematics Aliases *

.ALIASES
X_U1A  U1A(CLRbar=CL D=I0 CLK=CK PREbar=$D_HI Q=$N_0001 Qbar=$N_0002
+ PWR=$G_DPWR GND=$G_DGND )
X_U2A  U2A(CLRbar=CL D=$N_0001 CLK=CK PREbar=$D_HI Q=$N_0003 Qbar=$N_0004
+ PWR=$G_DPWR GND=$G_DGND )
X_U3A  U3A(CLRbar=CL D=$N_0003 CLK=CK PREbar=$D_HI Q=$N_0005 Qbar=$N_0006
+ PWR=$G_DPWR GND=$G_DGND )
X_U4A  U4A(CLRbar=CL D=$N_0005 CLK=CK PREbar=$D_HI Q=$N_0007 Qbar=$N_0008
+ PWR=$G_DPWR GND=$G_DGND )
X_U5A  U5A(CLRbar=CL D=$N_0007 CLK=CK PREbar=$D_HI Q=$N_0009 Qbar=$N_0010
+ PWR=$G_DPWR GND=$G_DGND )
X_U6A  U6A(CLRbar=CL D=$N_0001 CLK=$N_0011 PREbar=$D_HI Q=$N_0012 bar=$N_0013
+  PWR=$G_DPWR GND=$G_DGND )
X_U7A  U7A(CLRbar=CL D=$N_0014 CLK=$N_0011 PREbar=$D_HI Q=$N_0015 bar=SN_0016
+  PWR=$G_DPWR GND=$G_DGND )
X_U8A  U8A(CLRbar=CL D=$N_0014 CLK=CK PREbar=$D_HI Q=$N_0017 Qbar=$N_0018
+ PWR=$G_DPWR GND=$G_DGND )
X_U9A  U9A(CLRbar=CL D=I1 CLK=CK PREbar=$D_HI Q=$N_0014 Qbar=$N_0019
+ PWR=$G_DPWR GND=$G_DGND )
X_U10A  U10A(CLRbar=CL D=$N_0017 CLK=CK PREbar=$D_HI Q=$N_0020 Qbar=$N_0021
+ PWR=$G_DPWR GND=$G_DGND )
X_U11A  U11A(CLRbar=CL D=$N_0020 CLK=CK PREbar=$D_HI Q=$N_0022 Qbar=$N_0023
+ PWR=$G_DPWR GND=$G_DGND )
X_U12A  U12A(CLRbar=CL D=$N_0022 CLK=CK PREbar=$D_HI Q=$N_0024 Qbar=$N_0025
+ PWR=$G_DPWR GND=$G_DGND )
X_U13A  U13A(CLRbar=FR D=$N_0026 CLK=CK PREbar=$D_HI Q=$N_0027 Qbar=$N_0028
+ PWR=$G_DPWR GND=$G_DGND )
X_U14A  U14A(A=$N_0029 Gbar=$N_0031 Y=$N_0030 PWR=SG_DPWR GND=$G_DGND )
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

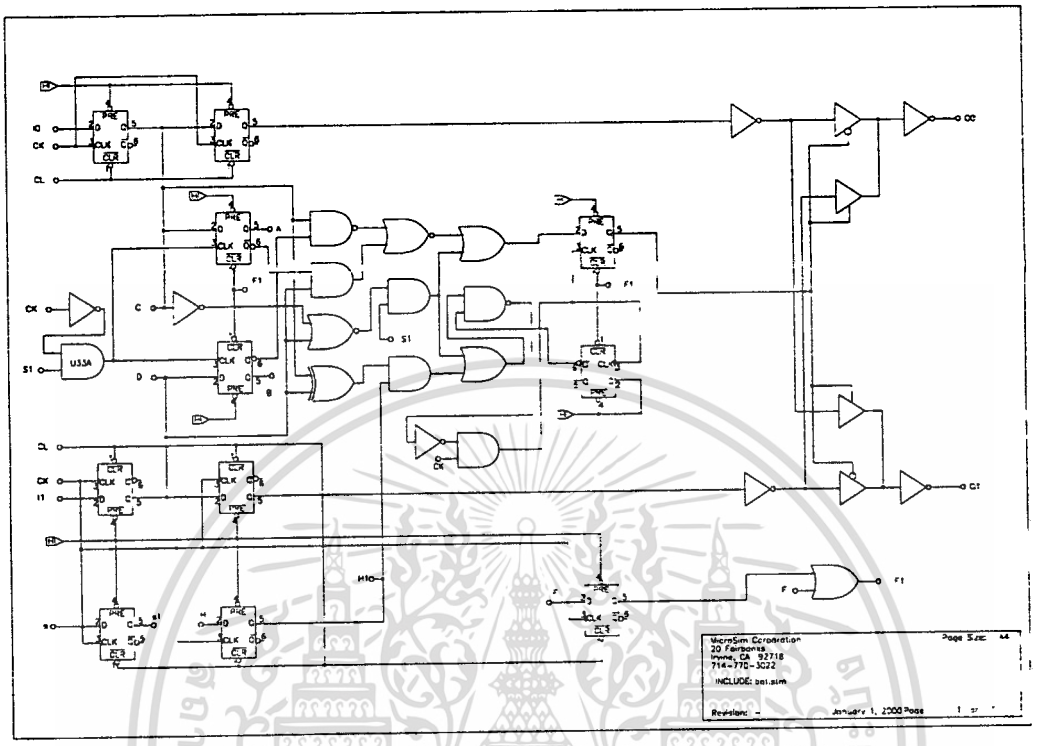
```
X_U15A  U15A(A=$N_0032 Gbar=$N_0031 Y=$N_0033 PWR=$G_DPWR GND=$G_DGND )
X_U16A  U16A(A=$N_0032 G=$N_0031 Y=$N_0030 PWR=$G_DPWR GND=$G_DGND )
X_U17A  U17A(A=$N_0029 G=$N_0031 Y=$N_0033 PWR=$G_DPWR GND=$G_DGND )
X_U18A  U18A(A=$N_0034 B=$N_0035 Y=$N_0026 PWR=$G_DPWR GND=$G_DGND )
X_U19A  U19A(A=$N_0014 Y=$N_0036 PWR=$G_DPWR GND=$G_DGND )
X_U20A  U20A(CLRbar=CL D=$N_0009 CLK=CK PREbar=$D_HI Q=$N_0037 Qbar=$N_0038
+ PWR=$G_DPWR GND=$G_DGND )
X_U21A  U21A(CLRbar=CL D=$N_0024 CLK=CK PREbar=$D_HI Q=$N_0039 Qbar=$N_0040
+ PWR=$G_DPWR GND=$G_DGND )
X_U22A  U22A(A=$N_0015 B=$N_0013 C=$N_0001 D=$N_0014 Y=$N_0034 PWR=$G_DPWR
+ GND=$G_DGND  )
X_U23A  U23A(A=$N_0016 B=$N_0001 C=$N_0001 D=$N_0036 Y=$N_0035 PWR=$G_DPWR
+ GND=$G_DGND  )
X_U24A  U24A(A=$N_0037 Y=$N_0032 PWR=$G_DPWR GND=$G_DGND )
X_U25A  U25A(A=$N_0039 Y=$N_0029 PWR=$G_DPWR GND=$G_DGND )
X_U26A  U26A(A=$N_0033 Y=O0 PWR=$G_DPWR GND=$G_DGND )
X_U27A  U27A(A=$N_0030 Y=O1 PWR=$G_DPWR GND=$G_DGND )
X_U28A  U28A(A=ST B=$N_0041 Y=$N_0011 PWR=$G_DPWR GND=$G_DGND )
X_U29A  U29A(A=CK Y=$N_0041 PWR=$G_DPWR GND=$G_DGND )
X_U30A  U30A(A=CK Y=$N_0042 PWR=$G_DPWR GND=$G_DGND )
X_U31A  U31A(A=$N_0042 B=HD Y=$N_0043 PWR=$G_DPWR GND=$G_DGND )
X_U32A  U32A(CLRbar=FR D=$N_0027 CLK=$N_0043 PREbar=$D_HI Q=$N_0031
+ Qbar=$N_0044  PWR=$G_DPWR GND=$G_DGND )
_  _(CK=CK)
_  _(I0=I0)
_  _(I1=I1)
_  _(CL=CL)
_  _(FR=FR)
_  _(ST=ST)
_  _(HD=HD)
_  _(O0=O0)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

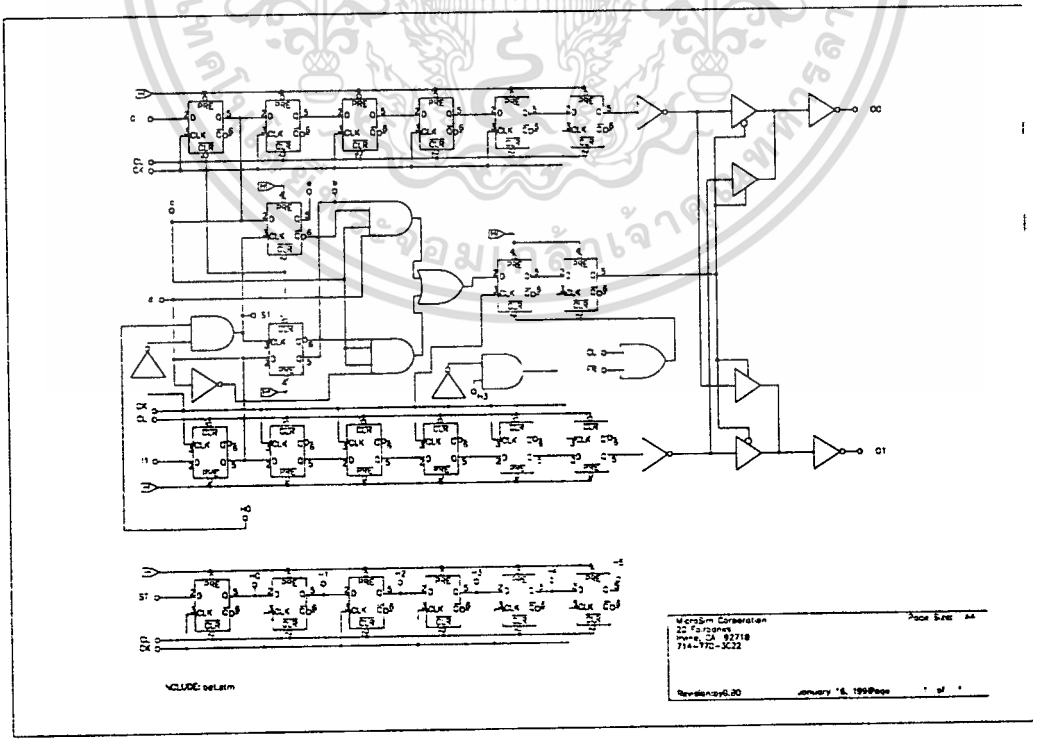
```
_  _(O1=O1)
_  _($D_HI=$D_HI)
_  _($G_DPWR=$G_DPWR)
_  _($G_DGND=$G_DGND)
.ENDALIASES
```


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 52

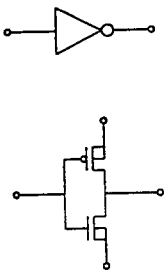


(ก) วงจรสวิตช์แบตเซอร์



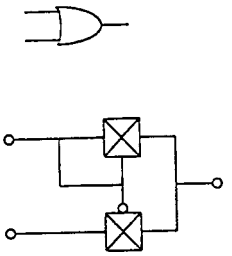
(ข) วงจรสวิตช์บานขาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



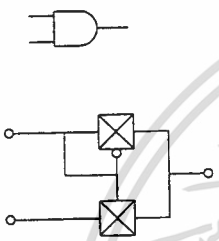
A	Y
0	1
1	0

(ค) INVERTER GATE



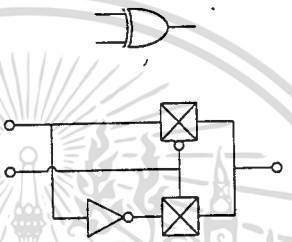
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

(ง) OR GATE



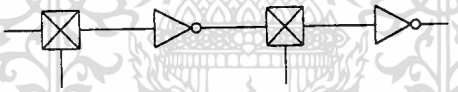
A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

(จ) AND GATE

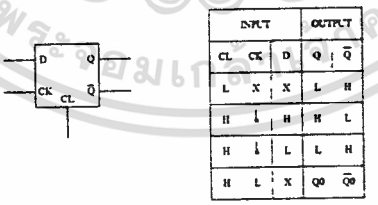


A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

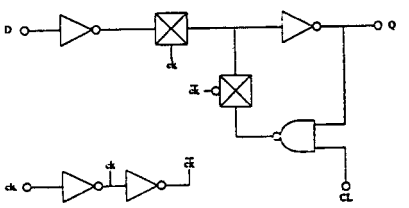
(ฉ) EXCLUSIVE OR



(ช) SHIFT REGISTER



INPUT			OUTPUT	
CL	CK	D	Q	$\bar{Q}$
L	X	X	L	H
H	↓	H	H	L
H	↓	L	L	H
H	L	X	Q0	$\bar{Q}$0



(ซ) D FLIPFLOP

แสดง วงจรที่ใช้ในการทดสอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลงานที่ได้ตีพิมพ์ในวารสารวิชาการ

ชัชวาล ภูรินันทน์ , รศ.ดร. กอบชัย เดชหาญ , " การออกแบบโครงข่ายเชื่อมต่อภายในด้วยฮาร์ดแวร์ (Interconnection Network Design with Hardware Implementation) " ได้รับการตอบรับให้ลงตีพิมพ์เพื่อเผยแพร่ใน " วารสารคอมพิวเตอร์ " สมาคมคอมพิวเตอร์แห่งประเทศไทย ในพระบรมราชูปถัมภ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมาคมคอมพิวเตอร์แห่งประเทศไทย ในพระบรมราชูปถัมภ์
THE COMPUTER ASSOCIATION OF THAILAND UNDER THE ROYAL PATRONAGE OF HIS MAJESTY THE KING

พญาไท พลาซ่า ชั้น 6 128 ถนนพญาไท เขตราชเทวี กรุงเทพฯ 10400 โทร. 216-5860-1 โทรสาร 216-5847
PAYATHAI PLAZA 6TH FLOOR, 128 PHYATHAI ROAD, RAJTAVEE, BANGKOK 10400 TEL. 216-5860-1 FAX. 216-5847

ที่ สคพท.1/104

19 กุมภาพันธ์ 2539

เรื่อง รับรองบทความ

เรียน รศ.ดร.กอบชัย เดชหาญ
ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ตามที่ท่านได้เสนอบทความ เรื่อง "การออกแบบโครงข่ายเชื่อมต่อภายในด้วยฮาร์ดแวร์ (Interconnection Network Design with Hardware Implementation)" นั้น ทางบรรณาธิการวารสารคอมพิวเตอร์ได้พิจารณาแล้ว เห็นสมควรให้บทความของท่านได้ลงตีพิมพ์เพื่อเผยแพร่ใน "วารสารคอมพิวเตอร์"

จึงเรียนมาเพื่อทราบ

ขอแสดงความนับถือ

(นายสำนวน พิรัญวงษ์)
บรรณาธิการ วารสารคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

นายชัชวาล ภูรินันทน์ เกิดวันที่ 15 มกราคม พ.ศ. 2511 ที่กรุงเทพมหานคร สำเร็จการศึกษาอุตสาหกรรมศาสตร์บัณฑิต สาขาเทคโนโลยีโทรคมนาคม จากสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2534 ปฏิบัติงานที่ การสื่อสารแห่งประเทศไทย สังกัดกระทรวงคมนาคม ตั้งแต่ พ.ศ. 2531 ปัจจุบันดำรงตำแหน่ง วิศวกร ระดับ 5 กองสื่อสารข้อความ การสื่อสารแห่งประเทศไทย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้