

การออกแบบวงจรดิจิทัลแบบไบซีมอส
DIGITAL BICMOS CIRCUIT DESIGN



นายฉัตรพงศ์ สุริยาอมรานนท์
MR. CHATPONG SURIYAAMMARANON

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2539

ISBN 974-621-745-3

ลิขสิทธิ์ของบัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลขที่.....
เลขทะเบียน..... 27279
วัน, เดือน, ปี..... 18 ส.ค. 2540

DIGITAL BICMOS CIRCUIT DESIGN



**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE
MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

1996

ISBN 974-621-745-3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การออกแบบวงจรดิจิทัลแบบไบซีมอส
นักศึกษา	นายฉัตรพงศ์ สุริยาอมรานนท์
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร. กอบชัย เตชหาญ
ระดับการศึกษา	วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า
ภาควิชา	วิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ.	2539

บทคัดย่อ

การออกแบบวงจรดิจิทัลเกทด้วยเทคโนโลยีไบซีมอส มีบทบาทสำคัญมาก ไม่ว่าจะสารกึ่งตัวนำเป็นซิลิกอนหรือแกลเลียมอาร์เซไนด์ เพื่อให้วงจรมีความเร็วในการทำงานดีขึ้นกว่าการใช้เทคโนโลยีซีมอสหรือไบโพลาร์เพียงอย่างเดียวอย่างใดอย่างหนึ่ง เนื่องจากความเร็วในการทำงานของวงจรเป็นปัจจัยที่สำคัญอย่างหนึ่งในการออกแบบวงจรรวม

วิทยานิพนธ์ฉบับนี้ เสนอแนวทางหนึ่งในการออกแบบวงจรเกทพื้นฐานด้วยเทคโนโลยีไบซีมอส พร้อมทั้งทดสอบคุณสมบัติวงจรเพื่อทำการเปรียบเทียบกับวงจรแบบเดิมที่มีอยู่แล้ว

Thesis Title Digital BiCMOS Circuit Design
Student Mr. Chatpong Suriyaammaranon
Thesis Advisor Assoc.Prof.Dr. Kobchai Dejhan
level of study Master of Engineering in Electrical Engineering
Department Telecommunication Engineering
King Mongkut 's Insitute of Technology Ladkrabang
Year 1996

Abstract

The digital gate circuit designs by using BiCMOS technology act as important role base on silicon or gallium-arsenide as semiconductor material. The purpose is to increase the switching speed of the circuit to obtain the better performances than the use of bipolar or CMOS technology. The swithching speed is one of important factors to design the integrated circuits.

The thesis concerns about a design technique for fundamental BiCMOS logic gate. The characteristic comparisons are also presented when compared with the previous circuit designs.

กิตติกรรมประกาศ

ผู้เขียนขอขอบคุณบิดามารดา และผู้มีพระคุณที่สนับสนุนให้มีโอกาสได้รับการศึกษา จนกระทั่งสามารถศึกษาในระดับมหาวิทยาลัยและยังให้กำลังใจมาโดยตลอด อีกทั้งครูอาจารย์ทุกท่านที่ได้ประสิทธิ์ประสาทวิชาความรู้ในทุกด้าน ซึ่งเป็นพื้นฐานที่ทำให้สามารถค้นคว้าและเข้าใจงานวิจัยนี้ได้ ขอขอบคุณอาจารย์กอบชัย เดชหาญ ที่ให้คำปรึกษา วิจัย และแนะนำเอกสารอ้างอิงที่มีประโยชน์ งานงานวิทยานิพนธ์ฉบับนี้สามารถสำเร็จลุล่วงตามเป้าหมาย ขอขอบคุณต่อคุณอดิศร สิทธิธรรมวัต ที่ช่วยส่งสำเนารายชื่อวารสารและวารสารบางฉบับที่ใช้อ้างอิงในวิทยานิพนธ์ฉบับนี้ ขอขอบคุณต่อ คุณปิติกันต์ รักราชการ และคุณไพบูรณ์ ผู้ประภาย ที่มีส่วนช่วยแนะนำเกี่ยวกับการจัดรูปแบบวิทยานิพนธ์ฉบับนี้จนเสร็จสมบูรณ์

ฉัตรพงศ์ สุริยาอมรานนท์

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VII
สารบัญภาพ.....	VIII
บทที่	
1. บทนำ.....	1
ประวัติของเทคโนโลยีไบซึมอส.....	1
ที่มาของงานวิจัย.....	1
วัตถุประสงค์ของงานวิจัย.....	2
2. เทคโนโลยีการสร้างวงจร.....	4
เทคโนโลยีการสร้างซึมอส.....	4
กระบวนการสร้างแบบ N-Well.....	5
การบวนการสร้างแบบ Twin-tub.....	7
เทคโนโลยีการสร้างวงจรไบโพลาร์.....	9
ความสอดคล้องกันระหว่างไบโพลาร์และซึมอส.....	10
เทคโนโลยีของการสร้างวงจรไบซึมอส.....	12
กระบวนการสร้างวงจรไบซึมอสแบบราคาถูก.....	13
กระบวนการสร้างวงจรไบซึมอสที่มีประสิทธิภาพปานกลาง.....	13
กระบวนการสร้างวงจรไบซึมอสที่มีประสิทธิภาพสูง.....	16
เทคโนโลยีการสร้างวงจรไบซึมอสแบบคู่ควม.....	17
3. วงจรไบซึมอสคิจิตอล.....	21
แนวความคิดที่ทำให้เกิดการพัฒนางจรไบซึมอส.....	22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

บทที่	หน้า
การทำงานของวงจร ไบซิมอสอินเวอร์เตอร์.....	25
คุณสมบัติของสัญญาณไฟตรงของวงจร ไบซิมอสอินเวอร์เตอร์.....	25
คุณสมบัติในการสวิตซ์ของวงจร ไบซิมอสอินเวอร์เตอร์.....	28
วงจร ไบซิมอสดิจิทัลพื้นฐาน.....	30
วงจร ไบซิมอสแนกเกท.....	31
วงจร ไบซิมอสอินเวอร์เกท.....	33
เทคนิคการออกแบบวงจร ไบซิมอส.....	35
ส่วนของไบโพลาร์ทรานซิสเตอร์ที่ทำหน้าที่ในการขับวงจร.....	35
ส่วนมอสทรานซิสเตอร์ที่ทำหน้าที่เป็นส่วนอินพุต.....	36
ส่วนของมอสทรานซิสเตอร์ที่ทำหน้าที่คายประจุ.....	37
4. วงจรดิจิทัลที่ออกแบบใหม่.....	38
วงจร ไบซิมอสอินเวอร์เตอร์.....	39
วงจร ไบซิมอสแนกเกท.....	41
วงจร ไบซิมอสอินเวอร์เกท.....	43
วงจร ไบซิมอสแอนเกท.....	45
วงจร ไบซิมอสอินเวอร์เกท.....	50
วงจร ไบซิมอสสมิททริกเกอร์.....	54
5. ผลการทดสอบคุณสมบัติของวงจรดิจิทัลแบบใหม่และเปรียบเทียบกับวงจรแบบเก่า.....	60
วงจร ไบซิมอสอินเวอร์เตอร์.....	60
การศึกษาคุณสมบัติทางไฟตรงของวงจร ไบซิมอสอินเวอร์เตอร์.....	60
การศึกษาคุณสมบัติทางสวิตซ์ของวงจร ไบซิมอสอินเวอร์เตอร์.....	61
วงจร ไบซิมอสแนกเกท.....	64
การศึกษาคุณสมบัติทางไฟตรงของวงจร ไบซิมอสแนกเกท.....	64
การศึกษาคุณสมบัติทางสวิตซ์ของวงจร ไบซิมอสแนกเกท.....	64

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

สารบัญ(ต่อ)

บทที่	หน้า
วงจรไบซิมอสเนอร์เกท.....	67
การศึกษาคุณสมบัติทางไฟตรงของวงจรไบซิมอสเนอร์เกท.....	67
การศึกษาคุณสมบัติทางสวิตชิงของวงจรไบซิมอสเนอร์เกท.....	67
วงจรไบซิมอสแอนเกท.....	70
การศึกษาคุณสมบัติทางไฟตรงของวงจรไบซิมอสแอนเกท.....	70
การศึกษาคุณสมบัติทางสวิตชิงของวงจรไบซิมอสแอนเกท.....	70
วงจรไบซิมอสฮอร์เกท.....	73
การศึกษาคุณสมบัติทางไฟตรงของวงจรไบซิมอสฮอร์เกท.....	73
การศึกษาคุณสมบัติทางสวิตชิงของวงจรไบซิมอสฮอร์เกท.....	73
วงจรไบซิมอสซมัททริกเกอร์แบบไม่กลับเฟส.....	76
การศึกษาคุณสมบัติทางไฟตรงของวงจรไบซิมอสซมัททริกเกอร์แบบไม่กลับเฟส.....	76
การศึกษาคุณสมบัติทางสวิตชิงของวงจรไบซิมอสซมัททริกเกอร์แบบไม่กลับเฟส.....	76
6. สรุป และข้อเสนอแนะ.....	80
ภาคผนวก.....	83
ภาคผนวก ก.....	84
ภาคผนวก ข.....	86
บรรณานุกรม.....	104
ประวัติผู้เขียน.....	106

สารบัญตาราง

ตารางที่	หน้า
1. แสดงตารางความจริงของวงจรไปซีมอสแนนเกท.....	31
2. แสดงตารางความจริงของวงจรไปซีมอสนอร์เกท.....	33
3. แสดงตารางความจริงของวงจรอินเวอร์ตเตอร์.....	39
4. แสดงตารางความจริงของวงจรไปซีมอสแอนเกท.....	46
5. แสดงตารางความจริงของวงจรไปซีมอสออร์เกท.....	50
6. แสดงการเปรียบเทียบคุณสมบัติทางสวิตชิงของวงจรซีมอสและไปซีมอส.....	81



สารบัญภาพ

	หน้า
1. แสดงตัวอย่างวงจรไบซีมอสแบบธรรมดา.....	2
2. แสดงตัวอย่างวงจรไบซีมอสแบบตัวต้านทาน.....	2
3. แสดงตัวอย่างวงจรไบซีมอสแบบใหม่.....	3
4. แสดงกระบวนการสร้างซีมอสทรานซิสเตอร์แบบ N-well.....	6
5. แสดงกระบวนการสร้างซีมอสทรานซิสเตอร์แบบ Twin-tub.....	8
6. แสดงภาพตัดขวางของกระบวนการสร้างชั้นนูนรีย์และชั้นอิพิแทกเซียล.....	9
7. แสดงกระบวนการสร้างไบโพลาร์ทรานซิสเตอร์โดยใช้เทคนิคการจัดตัวเอง.....	11
8. แสดงขั้นตอนการสร้างและภาคตัดขวางของอุปกรณ์ไบซีมอสแบบราคาถูก.....	14
9. แสดงขั้นตอนการสร้างและภาคตัดขวางของอุปกรณ์ไบซีมอสที่มี ประสิทธิภาพปานกลาง.....	15
10. แสดงขั้นตอนการสร้างและภาคตัดขวางของอุปกรณ์ไบซีมอสที่มี ประสิทธิภาพสูง.....	18
11. แสดงขั้นตอนการสร้างและภาคตัดขวางอุปกรณ์ไบซีมอสแบบคู่ควบ.....	20
12. แสดงวงจรซีมอสอินเวอร์ตเตอร์.....	21
13. แสดงวงจรขับแบบไบโพลาร์.....	22
14. แสดงการรวมวงจรพีมอสกับไบโพลาร์และวงจรเอ็นมอสกับไบโพลาร์.....	23
15. แสดงวงจรไบซีมอสอินเวอร์ตเตอร์วงจรแรก.....	23
16. แสดงวงจรไบซีมอสอินเวอร์ตเตอร์แบบตัวต้านทาน.....	24
17. แสดงวงจรไบซีมอสอินเวอร์ตเตอร์แบบธรรมดา.....	24
18. แสดงคุณสมบัติการโอนถ่ายสัญญาณไฟตรงของวงจรไบซีมอสอินเวอร์ตเตอร์.....	25
19. แสดงการทำงานในช่วงการชาร์จประจุที่เอาต์พุต.....	27
20. แสดงการทำงานในช่วงการดิสชาร์จประจุที่เอาต์พุต.....	29
21. แสดงวงจรไบซีมอสแนนเกต.....	31
22. แสดงวงจรไบซีมอสนอร์เกต.....	33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ (ต่อ)

	หน้า
23. แสดงการหน่วงเวลาของไบซิมอสเนื่องจากพื้นที่ของอิมิตอร์.....	36
24. แสดงการหน่วงเวลาของวงจรไบซิมอสเนื่องจากขนาดมอสทรานซิสเตอร์ ในส่วนอินพุต.....	37
25. แสดงวงจรไบซิมอสอินเวอร์เตอร์แบบใหม่.....	39
26. แสดงวงจรไบซิมอสแอนเกทแบบใหม่.....	41
27. แสดงวงจรไบซิมอสแอนเกทแบบใหม่.....	43
28. แสดงสัญลักษณ์และสมการทางตรรกของวงจรออร์เกท.....	46
29. แสดงวงจรไบซิมอสแอนเกทแบบธรรมดา.....	47
30. แสดงวงจรไบซิมอสแอนเกทแบบใหม่.....	48
31. แสดงสัญลักษณ์และสมการทางตรรกของวงจรออร์เกท.....	51
32. แสดงวงจรไบซิมอสออร์เกทแบบธรรมดา.....	52
33. แสดงวงจรไบซิมอสออร์เกทแบบใหม่.....	52
34. แสดงสัญลักษณ์ของวงจรมิมิทริกเกอร์แบบไม่กลับเฟส.....	55
35. แสดงคุณสมบัติในการโอนถ่ายสัญญาณของวงจรมิมิทริกเกอร์. ชนิดไม่กลับเฟสในทางอุดมคติ.....	55
36. แสดงวงจรมิมิทริกเกอร์แบบซิมอสชนิดไม่กลับเฟสที่ใช้กันอยู่ในปัจจุบัน.....	56
37. แสดงวงจรไบซิมอสมิมิทริกเกอร์แบบชนิดไม่กลับเฟส.....	56
38. แสดงผลของคุณสมบัติทางด้านสัญญาณไฟตรงของวงจรอินเวอร์เตอร์ ในแต่ละแบบ.....	61
39. แสดงการเปรียบเทียบช่วงเวลาที่ใช้ในการเปลี่ยนระดับสัญญาณจาก V_{DD} กราวด์ และจากกราวด์ไป V_{DD}	62
40. แสดงการเปรียบเทียบผลการตอบสนองของวงจรไบซิมอสอินเวอร์เตอร์ แบบใหม่เทียบกับวงจรซิมอสที่ $V_{DD} = 5\text{ V}$ และ $C_L = 1\text{ pF}$ ถึง 10 pF	63
41. แสดงการเปรียบเทียบผลการตอบสนองทางสวิทช์ของวงจรแอนเกท ในแต่ละแบบ.....	65

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปเผยแพร่ภายนอกการดำเนินการ

สารบัญญภาพ (ต่อ)

	หน้า
42. การเปรียบเทียบผลที่ได้จากการต่อวงจร ในแต่ละแบบของวงจร ไบซีมอส แอนเกทแบบใหม่และวงจรแบบซีมอส.....	65
43. แสดงการเปรียบเทียบผลการตอบสนองทางสวิทซ์ของวงจรแอนเกท ในแต่ละแบบ.....	66
44. แสดงผลการเปรียบเทียบคุณสมบัติทางด้านสัญญาณไฟตรงของวงจรนอร์เกท ในแต่ละแบบ โดยการต่อแบบอินพุตเดียว.....	68
45. แสดงการเปรียบเทียบผลที่ได้จากการต่อวงจร ในแต่ละแบบของวงจร ไบซีมอส นอร์เกทแบบใหม่.....	68
46. แสดงการเปรียบเทียบผลการตอบสนองทางสวิทซ์ของวงจรนอร์เกท. ในแต่ละแบบ.....	69
47. แสดงผลการเปรียบเทียบคุณสมบัติทางด้านสัญญาณไฟตรงของวงจร แอนเกทในแต่ละแบบ โดยการต่อแบบอินพุตเดียว.....	71
48. แสดงเปรียบเทียบผลที่ได้จากการต่อวงจรในแต่ละแบบของวงจรไบซีมอส แอนเกทแบบใหม่ และ วงจรแบบซีมอส.....	71
49. แสดงการเปรียบเทียบผลการตอบสนองทางสวิทซ์ของวงจรแอนเกท ในแต่ละแบบ.....	72
50. แสดงการเปรียบเทียบคุณสมบัติทางด้านสัญญาณไฟตรงของวงจรออร์เกท ในแต่ละแบบ โดยการต่อแบบอินพุตเดียว.....	74
51. แสดงการเปรียบเทียบผลที่ได้จากการต่อวงจรในแต่ละแบบของวงจร ไบซีมอสออร์เกทแบบใหม่ และ วงจรแบบซีมอส.....	74
52. แสดงการเปรียบเทียบผลการตอบสนองทางสวิทซ์ของวงจรออร์เกท ในแต่ละแบบ.....	75
53. แสดงการเปรียบเทียบผลของคุณสมบัติทางด้านสัญญาณไฟตรงของวงจร ไบซีมอสซมิททริกเกอร์แบบไม่กลับเฟสกับวงจรซีมอสในกรณีที่แรงดัน อินพุตเพิ่มขึ้น.....	77

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

สารบัญญภาพ (ต่อ)

หน้า

54. แสดงการเปรียบเทียบผลของคุณสมบัติทางด้านสัญญาณไฟตรงของวงจร ไบซีมอสซมิททริกเกอร์แบบไม่กลับเฟสกับวงจรซิมอสในกรณีที่แรงดัน อินพุตลดลง.....	77
55. แสดงกราฟที่ได้จากการอ่านค่าแรงดันวิกฤติของวงจรไบซีมอสซมิททริกเกอร์ แบบใหม่เทียบกับวงจรซิมอสและค่าที่ได้จากการคำนวณ.....	78
56. แสดงการเปรียบเทียบผลของคุณสมบัติทางด้านสวิชิ่งของวงจรซมิททริกเกอร์ แบบใหม่กับวงจรซิมอส.....	78
57. แสดงการเปรียบเทียบผลของแหล่งจ่ายแรงดันต่อการหน่วงเวลาของวงจร ซมิททริกเกอร์แบบซิมอสและไบซีมอส.....	79
58. แสดงการเปรียบเทียบผลของโหลดคาปาซิเตนซ์ต่อการหน่วงเวลาของวงจร ซมิททริกเกอร์แบบซิมอสและไบซีมอส.....	79
59. แสดงตัวอย่างขั้นตอนของกระบวนการ LOCOS.....	83
60. แสดงตัวอย่างขั้นตอนของกระบวนการ LDD ของเอ็นมอสทรานซิสเตอร์.....	84

บทที่ 1

บทนำ

ประวัติของเทคโนโลยีไบซิมอส

การพยายามที่จะรวมโครงสร้างของทรานซิสเตอร์แบบไบโพลาร์และซิมอสเข้าเป็นวงจรรวมตัวเดียวกัน ได้ถูกนำเสนอเป็นครั้งแรกในปี 1969 โดย H.G.Lin, J.C.Ho, R.R Iyer, K.Kwong. ต่อจากนั้นบริษัท RCA ได้เสนอการสร้างวงจรรขยายแบบไบซิมอส โดยใช้เทคโนโลยีแบบ metal gate เป็นครั้งแรกในปี 1970 หลังจากนั้นมหาวิทยาลัย Standford ได้เสนอวงจรไบซิมอสที่แรงดันไฟฟ้าสูงขึ้นและบริษัท Texas Instrument ได้นำมาสร้างในทางการค้าขึ้นเป็นครั้งแรกในปี 1979 ในช่วงปี 1980-1983 มีการพัฒนาเพื่อใช้งานในวงจรถอดรหัสที่ระดับกระแสและแรงดันสูงๆ คือ ในระดับกระแสสูงกว่า 20 A และแรงดันสูงกว่า 500 V และจากข้อจำกัดในเรื่องการสูญเสียกำลังของวงจรไบโพลาร์และข้อจำกัดในด้านความเร็วของซิมอส เป็นแรงกระตุ้นให้ต้องการพัฒนาวงจรอินพุตและเอาต์พุตให้มีคุณสมบัติดีขึ้น ให้เกิดการพัฒนาคอนโวลูชันของไบซิมอสเพื่อใช้งานในแหล่งจ่ายแรงดัน 5 โวลต์ เนื่องจากวงจรไบซิมอสเป็นวงจรที่สามารถนำข้อดีของวงจรไบโพลาร์และซิมอสเข้าไว้ด้วยกัน ทำให้วงจรไบซิมอสกลายเป็นวงจรที่มีประสิทธิภาพสูง

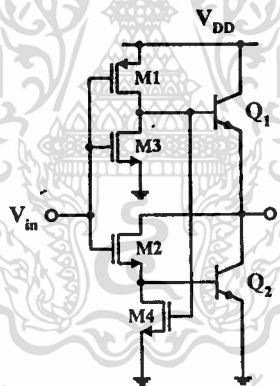
ที่มาของงานวิจัย

วงจรไบซิมอสคิจิตอลเป็นวงจรคิจิตอลชนิดใหม่ซึ่งได้จากการผสมผสานข้อดีของวงจรซิมอสและไบโพลาร์เข้าด้วยกัน จากข้อได้เปรียบในด้านสวิทชิงและความสามารถในการขับวงจรของไบโพลาร์ ทำให้วงจรไบซิมอสคิจิตอลนี้สามารถแก้ปัญหาในเรื่องข้อจำกัดทางด้านความเร็วของวงจร โดยเฉพาะเมื่อใช้งานกับวงจรที่มีโหลดคาปาซิแตนซ์สูงๆ ซึ่งเป็นปัญหาของวงจรซิมอสที่ใช้กันอยู่ในปัจจุบัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

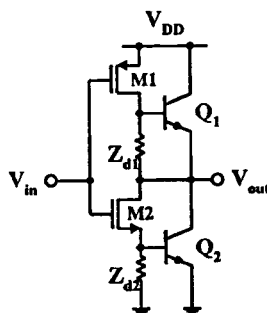
เนื่องจากวงจรวจรไบซีมอสคิจิตอลแบบธรรมดา (Conventional BiCMOS) ดังตัวอย่างในภาพที่ 1 ซึ่งเป็นวงจรมารับโดยทั่วไปในแง่จรรยาบรรณที่มีความเร็วสูง และมีการสูญเสียกำลังต่ำ ยังมีข้อเสียบางประการคือไม่สามารถสวิงได้ตลอดช่วงแรงดัน (full swing) ซึ่งจะส่งผลเด่นชัดเมื่อใช้งานที่แรงดันต่ำลง นอกจากนี้วงจรมารับดังกล่าวยังมีข้อเสียอีกประการหนึ่งคือ คุณสมบัติการถ่ายโอนแรงดันในสถานะ “0” และ “1” จะมีลักษณะไม่สมมาตรกัน ถึงแม้จะมีเทคนิคบางอย่างที่สามารถช่วยทำให้วงจรมารับสามารถสวิงได้ตลอดช่วงแรงดัน เช่น การใช้จรรยาบรรณแบบตัวต้านทาน (R-type BiCMOS) ดังตัวอย่างในภาพที่ 2 โดยการต่อตัวต้านทานระหว่างขาเบสกับอิมิตเตอร์ เพื่อช่วยในการกระจายพาหะตกค้างที่เบส ขณะที่ไบโพลาร์ทรานซิสเตอร์ไม่ทำงานและช่วยให้วงจรมารับสามารถสวิงได้ตลอดช่วงแรงดัน แต่เทคนิคนี้ยังมีข้อเสียเนื่องจากการต่อตัวต้านทานเข้าไปจะทำให้มีการสูญเสียกำลังเพิ่มขึ้น

ภาพที่ 1



แสดงตัวอย่างวงจรวจรไบซีมอสแบบธรรมดา

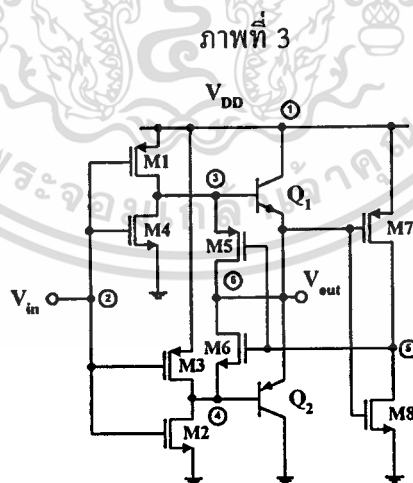
ภาพที่ 2



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับอาจารย์และบุคลากรเท่านั้น ไม่สามารถนำไปใช้ประโยชน์ด้านการค้า
แสดงตัวอย่างวงจรวจรไบซีมอสแบบตัวต้านทาน
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วัตถุประสงค์ของงานวิจัย

ในวิทยานิพนธ์ฉบับนี้ได้เสนอวงจรไบซีมอสคิติกอลชนิดใหม่ ดังตัวอย่างในภาพที่ 3 ซึ่งใช้เทคนิคการขับวงจรรด้วยไบโพลาร์ทรานซิสเตอร์แบบคู่ควบชนิด NPN และ PNP โดยที่ไบโพลาร์ทรานซิสเตอร์แต่ละตัวจะทำงานสลับกันไป และจะมีข้อดีคือสามารถออกแบบวงจรให้มีสถานะ “0” และ “1” มีความสมมาตรกัน และสามารถในการขับวงจรรได้สูงกว่ามอสทรานซิสเตอร์ที่ใช้กันอยู่ในปัจจุบันมาก เนื่องจากไบโพลาร์ทรานซิสเตอร์มีความสามารถในการขับวงจรรได้สูงถึงระดับมิลลิแอมป์ ซึ่งจะทำให้วงจรรสามารถเปลี่ยนสถานะได้เร็วขึ้น เป็นผลให้การหน่วงเวลาของวงจรรน้อยลงและสามารถทำงานได้เร็วขึ้น โดยเฉพาะเมื่อนำไปใช้กับวงจรรที่มีโหลดคาปาซิแตนซ์สูงๆ และยังเพิ่มส่วนของวงจรรที่ทำให้สามารถสวิงได้ตลอดช่วงแรงดัน โดยอาศัยการป้อนกลับของแรงดันเอาต์พุตผ่านวงจรรอินเวอร์ตเตอร์เพื่อไปควบคุมมอสทรานซิสเตอร์ที่จะทำให้เอาต์พุตเพิ่มขึ้นหรือลดลงได้จนถึงระดับแรงดัน V_{DD} หรือกราวด์ นอกจากนี้ในงานวิจัยฉบับนี้ยังได้ออกแบบวงจรรไบซีมอสคิติกอลพื้นฐานที่ยังไม่ได้ถูกนำเสนอ โดยพยายามออกแบบวงจรรให้เป็นรูปแบบเดียวกันเพื่อให้ง่ายแก่การทำความเข้าใจและสามารถค้นคว้าอ้างอิงสำหรับผู้สนใจในอนาคต



แสดงตัวอย่างวงจรรไบซีมอสแบบใหม่

บทที่ 2

เทคโนโลยีการสร้างวงจรรวม

ปัจจุบันเทคโนโลยีการสร้างวงจรรวมมีความซับซ้อนมากขึ้น ขณะที่เทคโนโลยีการสร้างวงจรรวมกำลังได้รับความนิยมเป็นอย่างมากและคาดว่าจะจะเป็นเทคโนโลยีที่มาแทนเทคโนโลยีการสร้างวงจรรวมในอนาคต อย่างไรก็ตาม เทคโนโลยีการสร้างวงจรรวมนี้ได้รับการพัฒนาจากเทคโนโลยีการสร้างวงจรรวมและไบโพลาร์ ดังนั้นในบทนี้ได้กล่าวถึงเทคโนโลยีการสร้างวงจรรวมต่างๆ โดยตอนแรกกล่าวถึงการสร้างวงจรรวมและยกตัวอย่างเทคนิคการสร้าง 2 แบบ คือ กระบวนการสร้างแบบ N-Well และกระบวนการสร้างแบบ Twin-tub ซึ่งเป็นเทคนิคการสร้างวงจรรวมพื้นฐานที่ใช้ในการพัฒนาเป็นวงจรรวมไบโพลาร์ หลังจากนั้นจะกล่าวถึงเทคโนโลยีการสร้างวงจรรวมไบโพลาร์ และความสอดคล้องระหว่างเทคโนโลยีทั้งสอง รวมทั้งเทคนิคการสร้างวงจรรวมไบโพลาร์ในแต่ละแบบ

เทคโนโลยีการสร้างวงจรรวม

วงจรรวมซิลิคอนได้ถูกเสนอเป็นครั้งแรกในช่วงต้นทศวรรษที่ 1960 แต่ในขณะนั้นการใช้งานของมันจะยังคงถูกจำกัดในพวกวงจรรวมบางอย่างเช่นใช้ในนาฬิกาและเครื่องคิดเลข ซึ่งเป็นอุปกรณ์ที่มีกำลังไฟฟ้าต่ำหรือมีช่วงเผื่อของสัญญาณรบกวน (noise margin) สูง ในช่วงทศวรรษที่ 1960-1970 วงจรรวมยังมีข้อดีกว่าวงจรรวมอื่น เนื่องจากมีความเร็วสูงกว่าใช้เนื้อที่ของวงจรมากกว่า ในทศวรรษที่ 1980 วงจรรวมซิลิคอนเป็นที่รู้จักกันโดยทั่วไปในฐานะวงจรรวมขนาดใหญ่มาก (VLSI) โดยที่วงจรรวมขนาดใหญ่มากนี้คือการทำทรานซิสเตอร์เป็นล้านๆ ตัวเข้ามารวมในวงจรรวมเดียวกัน ดังนั้นการสูญเสียกำลังจึงเป็นข้อจำกัดพื้นฐานที่สำคัญ เป็นผลให้เทคโนโลยีของวงจรรวมได้รับความนิยมอย่างมากในการสร้างวงจรรวมขนาดใหญ่มาก เนื่องจากคุณสมบัติในการกินกำลังไฟฟ้าต่ำของวงจรรวม ทำให้การพยายามที่จะหาวิธีในการลดขนาดของอุปกรณ์วงจรรวมจึงได้รับความนิยมเป็นอย่างมากในขณะนั้น และได้มีการพัฒนาเทคนิคการสร้างมา

จนถึงปัจจุบัน

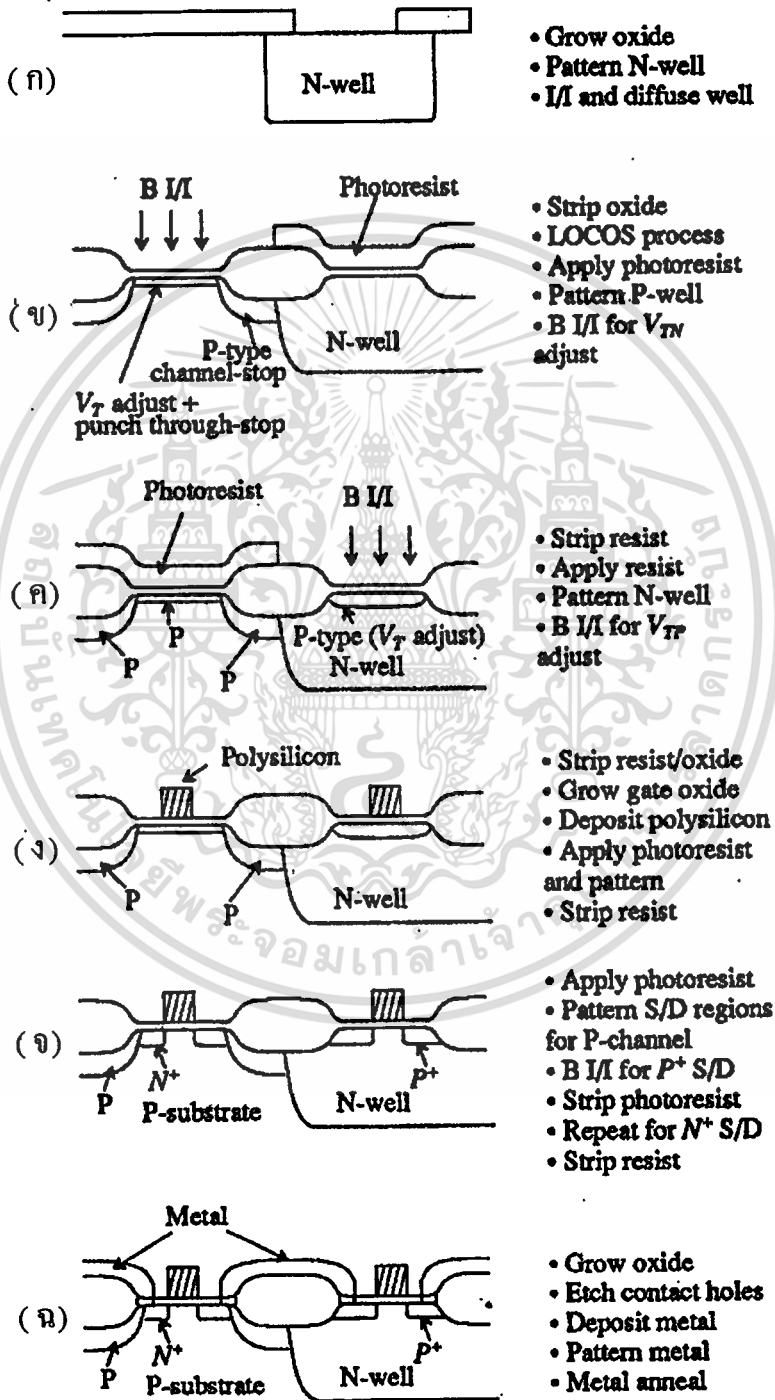
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทคโนโลยีในการสร้างอุปกรณ์ซีมอสจะมีอยู่มากมายหลายแบบ เนื่องจากมีการพัฒนาและปรับปรุงเทคนิคในการสร้างมาเป็นลำดับเพื่อมีประสิทธิภาพสูงขึ้นเช่น เทคโนโลยีแบบ P-Well เทคโนโลยีแบบ N-Well เทคโนโลยีแบบ Twin-tub และเทคโนโลยีแบบ SOI (Silicon on insulator) เป็นต้น แต่ในหัวข้อนี้จะกล่าวถึงเทคโนโลยีในการสร้างวงจรมอสเพียง 2 แบบ คือ เทคโนโลยีแบบ N-well และเทคโนโลยีแบบ Twin-tub เนื่องจากเทคโนโลยีทั้งสองถือได้ว่าเป็นเทคโนโลยีพื้นฐานในการสร้างวงจรมอสดังจะกล่าวต่อไป

กระบวนการสร้างแบบ N-Well

ในกระบวนการสร้างแบบ N-Well อุปกรณ์มอสจะถูกสร้างอยู่บน N-Well โดยมีฐานรองเป็นซิลิกอนชนิดพี (P-substrate) ดังภาพที่ 4 ซึ่งแสดงภาคตัดขวางในแต่ละขั้นตอน กระบวนการสร้างจะเริ่มจากการสร้างออกไซด์บนฐานรองชนิดพี จากนั้นจะทำการเปิดช่องออกไซด์เพื่อเตรียมสร้างส่วน N-Well แล้วทำการแพร่สารกึ่งตัวนำชนิดเอ็นด้วยสารเจือฟอสฟอรัสโดยกระบวนการไอออนอิมพลานต์ (Ion implantation) แล้วทำการออลนีส (anneal) เพื่อขับลึก (drive in) ที่อุณหภูมิสูง ดังภาพที่ 4ก. จากนั้นใช้เทคนิคของ LOCOS (LOCAl Oxidation of Silicon) ในการแยกพื้นที่ใช้งาน (active area) ของวงจรมอสแต่ละส่วนแล้วทำการสร้าง P-Well โดยใช้สารเจือโบรอนด้วยกระบวนการไอออนอิมพลานต์กำลังต่ำ (low energy Ionimplantation) เพื่อปรับค่าแรงดันขีดเริ่ม (threshold voltage) ของเอ็นมอสทรานซิสเตอร์ ดังภาพที่ 4ข. นอกจากนี้กระบวนการไอออนอิมพลานต์ยังใช้ในการขจัดปัญหาพินซ์ทรูล (Punch Through) ในกรณีของอุปกรณ์ที่มีช่องทางเดินกระแสแคบ ๆ (short channel device) ทำนองเดียวกันค่าแรงดันขีดเริ่มในส่วนของพินอสทรานซิสเตอร์ก็จะถูกปรับด้วยกระบวนการไอออนอิมพลานต์แต่ใช้สารเจือโบรอน ดังภาพที่ 4ค. จากนั้นจะทำการสร้างออกไซด์บางๆ และชั้นโพลีซิลิกอน เพื่อทำหน้าที่เป็นส่วนเกตของมอสทรานซิสเตอร์ในวงจรมอส ดังภาพที่ 4ง. ส่วนซอร์สและเดรนของพินอสและเอ็นมอสทรานซิสเตอร์จะถูกสร้างโดยใช้กระบวนการทางโฟโต เพื่อกำหนดบริเวณที่แพร่สารเจือแล้วทำการแพร่สารเจือโดยใช้กระบวนการไอออนอิมพลานต์ด้วยสารเจือโบรอนเพื่อสร้างสารเจือชนิดพีที่มีความเข้มข้นสารเจือสูง (P^+) และสารเจืออะซิติกเพื่อสร้างสารเจือชนิดเอ็นที่มีความเข้มข้นสารเจือสูง (N^+) ตามลำดับดังภาพที่ 4จ. หลังจากนั้นจะลอกชั้นฟิล์มออกไซด์แล้วทำการสร้างออกไซด์ด้วยกระบวนการ CVD (Chemical vapour deposition) เพื่อทำหน้าที่แยกระหว่างชั้น โพลีซิลิกอนและชั้น โลหะที่จะ

ภาพที่ 4



เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ แสดงกระบวนการสร้างชิปออสตรานซิสเตอร์แบบ N-well
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

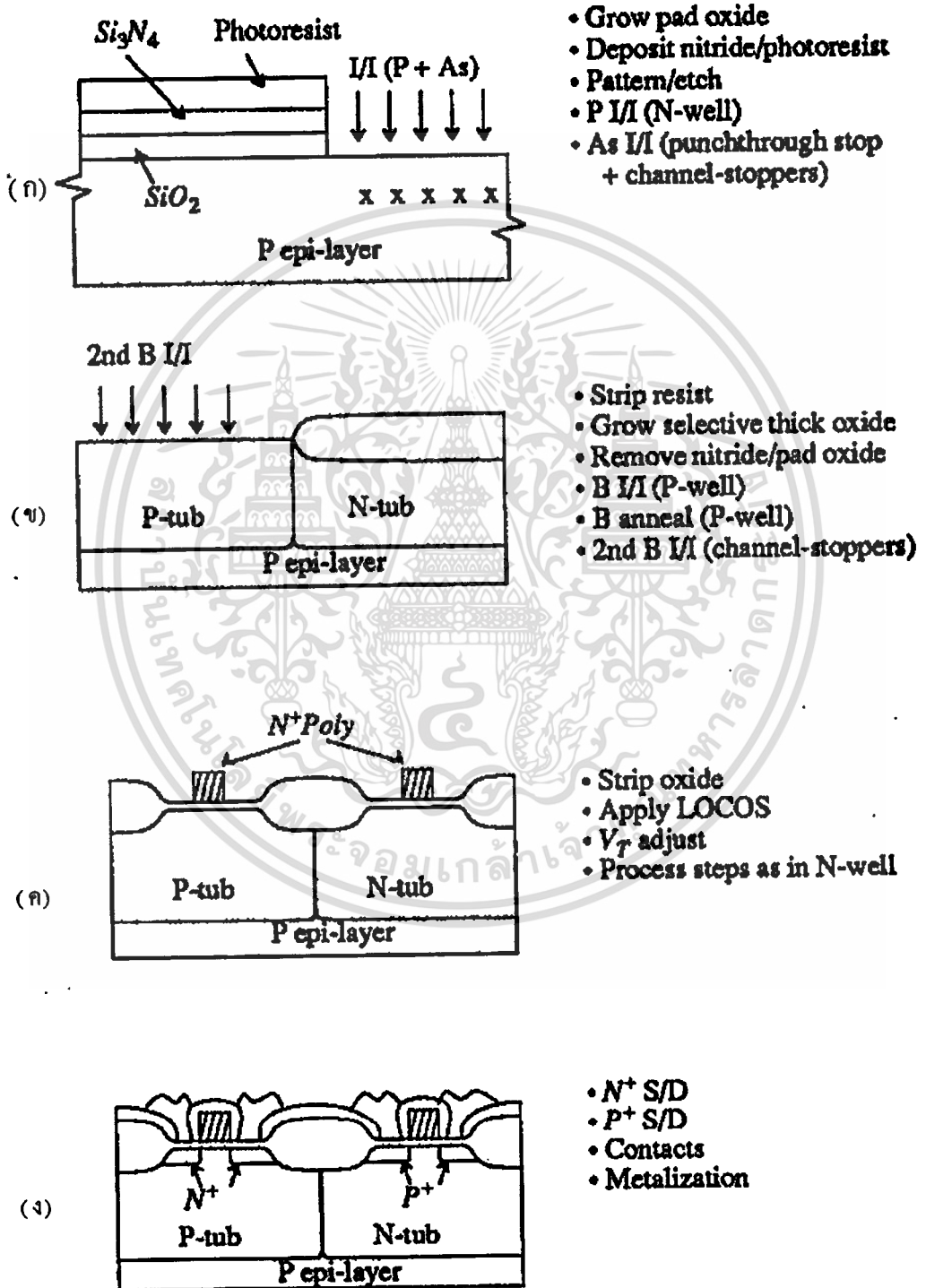
สร้างต่อมา จากนั้นทำการเปิดช่องออกไซด์เพื่อเชื่อมต่อขั้วสัมผัสโลหะ ซึ่งโดยปกติขั้วสัมผัสโลหะ จะถูกสร้างจากการเคลือบสารอลูมิเนียมตลอดทั้งแผ่น แล้วจึงทำการกัดอลูมิเนียมในส่วนที่ไม่ต้องการออก เพื่อให้เหลือแต่ส่วนที่เป็นลวดลายวงจรตามต้องการ โดยใช้กระบวนการ CVD แล้วสร้างขั้วสัมผัสโลหะแล้วทำการอัลนีสที่อุณหภูมิต่ำประมาณ 450 C ดังภาพที่ 4ฉ.

กระบวนการสร้างแบบ Twin-tub

กระบวนการสร้างแบบ Twin-tub นี้เป็นกระบวนการสร้างวงจรมอสอีกริวิหนึ่งซึ่งมีบ่อแยก อยู่สองแบบ เพื่อแยกส่วนของพิมอส และเอ็นมอสทรานซิสเตอร์ออกจากกัน โดยแต่ละบ่อแยกจะถูกได้ปด้วยสารเจือชนิดต่างกันและมีปริมาณการโด๊ปที่น้อย ๆ ในการสร้างบ่อแยกแบบ Twin-tub นี้จะใช้มาสก์เพียงมาสก์เดียวในการสร้างบ่อแยกทั้งสองโดยใช้เทคนิคจัดตัวเอง (Self aligned) เทคโนโลยีแบบนี้จะมีข้อดีคือ ทำให้สามารถเลือกใช้ฐานรองได้หลากหลายตามความต้องการโดยไม่มีผลต่อขั้นตอนในการผลิต ภาพที่ 5 จะแสดงขั้นตอนหลักๆ ของกระบวนการสร้างมอสแบบ Twin-tub โดยจะเริ่มจากการสร้างชั้นอีพิแทกเซียล (epitaxial) ด้วยสารเจือชนิดพีบนฐานรองชนิดพี ซึ่งมีความเข้มข้นของสารเจือสูงๆ (P^+) เพื่อลดปัญหาการเกิดเลทช์อัพ (latch-up) ต่อจากนั้นจะสร้างชั้นออกไซด์ ชั้นไนไตรด์ และชั้นฟิล์มเพื่อเป็นมาสก์ในการสร้าง N-Well โดยการไอออนอิมพลานต์สารฟอสฟอรัส แล้วตามด้วยอะซินิกเพื่อใช้เป็นชั้นเนลสโตปเปอร์ (Channel stopper) ของอุปกรณ์พิมอส และป้องกันการเกิดพันธะทรูลในกรณีช่องทางเดินกระแสมีขนาดแคบๆ ดังภาพที่ 5ก. หลังจากนั้นจะทำการลอกชั้นฟิล์มออกแล้วสร้างออกไซด์ชนิดหนาเพื่อใช้เป็นมาสก์ของการสร้าง P-Well และลอกชั้นออกไซด์, ไนไตรด์ออก เพื่อทำการไอออนอิมพลานต์สารเจือ โบรอนแล้วทำการอัลนีสเพื่อใช้เป็น P-Well จากนั้นไอออนอิมพลานต์อีกครั้งเพื่อใช้เป็นชั้นเนลสโตปเปอร์ของมอสทรานซิสเตอร์ ดังภาพที่ 5ข. จากนั้นจะทำการลอกออกไซด์ออกซึ่งจะเห็นว่าตลอดกระบวนการที่กล่าวมาจะใช้มาสก์เพียงมาสก์เดียวส่วนมาสก์ที่ 2 จะถูกใช้ในกระบวนการ LOCOS เพื่อเป็นการกำหนดพื้นที่ใช้งาน (active area) และจะควบคุมค่าแรงดันขีดเริ่มของพิมอสทรานซิสเตอร์โดยใช้มาสก์ที่ 3 ส่วนกระบวนการที่เหลือจะคล้ายกับกระบวนการ N-Well คือใช้มาสก์ที่ 4 ในการสร้างส่วนของโพลีซิลิกอน เพื่อใช้เป็นส่วนเกต ส่วนมาสก์ที่ 5 และ 6 จะใช้ในการสร้างส่วนซอร์สและเดรนของพิมอสและเอ็นมอสทรานซิสเตอร์ตามลำดับ ขณะที่มาสก์ 7 ใช้ในการเปิด

เอกสารอ้างอิงขั้วสัมผัสโลหะ และมาสก์ 8 จะใช้เป็นตัวกำหนดลวดลายวงจรของส่วนที่เป็นโลหะ ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งยังมีให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

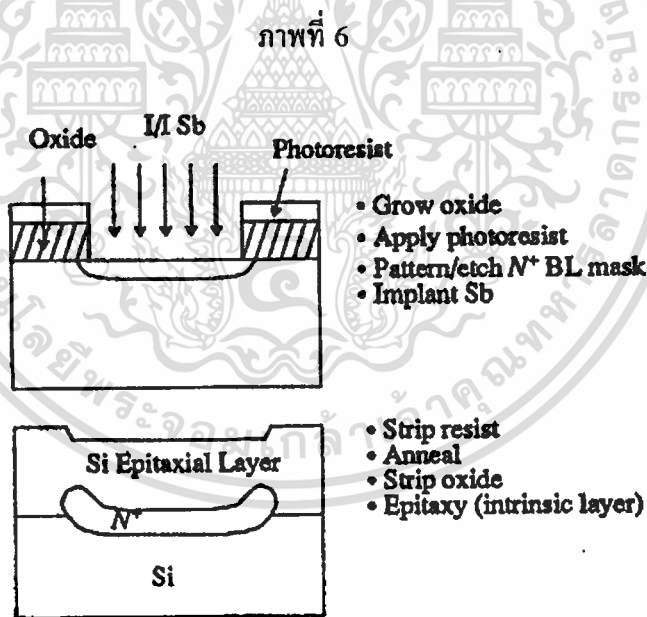
ภาพที่ 5



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 แสดงกระบวนการสร้างชิปอสทรานซิสเตอร์แบบ Twin-tub
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมีเหตุดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทคโนโลยีการสร้างวงจรรูปโพลาร์

กระบวนการสร้างวงจรรูปโพลาร์โดยทั่วไปจะเริ่มจากการสร้างชั้นนุริย์ (buried layer) และชั้นอิพิแทกเซียล ดังภาพที่ 6 ซึ่งจะแสดงขั้นตอนหลักๆ ของการสร้างชั้นนุริย์ และชั้นอิพิแทกเซียล ชั้นนุริย์นี้จะถูกใช้ลดความต้านทานของคอลเลคเตอร์ โดยที่จะมีขั้นตอนในการสร้างดังนี้ คือ เริ่มจากการสร้างชั้นออกไซด์บนฐานรอง จากนั้นใช้กระบวนการทางโฟโตกำหนดพื้นที่ของส่วนที่ต้องการสร้างชั้นนุริย์ แล้วทำการกัดออกไซด์ในบริเวณที่ต้องการสร้างนุริย์ออกและทำกระบวนการไอออนอิมพลานต์ด้วยการเจืออะซิติกหรือแอนติโมนี ซึ่งเป็นสารเจือชนิดเอ็นที่มีความเข้มข้นสูง (N^+) เสร็จแล้วจะลอกชั้นฟิล์มจากกระบวนการโฟโตออก และทำการอัลนีสเพื่อทำการขับลิค แล้วค่อยลอกชั้นออกไซด์ออกทั้งหมด หลังจากนั้นจะทำการสร้างชั้นอิพิแทกเซียล N ขึ้น



แสดงภาพตัดขวางของกระบวนการสร้างชั้นนุริย์และชั้นอิพิแทกเซียล

ในหัวข้อนี้จะแนะนำกระบวนการสร้างวงจรรูปโพลาร์แบบ DPSA (Double Poly silicon Self - Aligned) โดยสมมุติว่าเริ่มจากโครงสร้างที่มีชั้นนุริย์ N^+ ชั้นอิพิแทกเซียล N และชั้นแยกของออกไซด์เรียบร้อยแล้ว ดังภาพที่ 7ก. ตอนแรกจะเริ่มจากการสร้างชั้นฟิล์มเพื่อกำหนดพื้นที่ของส่วนคอลเลคเตอร์ที่มีความเข้มข้นของสารเจือสูง (N^+) ซึ่งจะใช้เป็นขั้วสัมผัสโลหะ โดยพื้นที่ที่กำหนดนี้จะถูกไอออนอิมพลานต์ด้วยสารเจือฟอสฟอรัส เพื่อเพิ่มความเข้มข้นของสารเจือในชั้นอิพิแทกเซียล

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เซียม N ให้เป็นสารเจือที่มีความเข้มข้นสูง (N^+) และต่อไปยังชั้นนุริย์ซึ่งอยู่ข้างล่าง จากนั้นจะทำการลอกชั้นฟิล์มออกแล้วสร้างขึ้นมาใหม่บริเวณที่ต้องการแพร่สารเจือชนิดนี้ เพื่อใช้เป็นส่วนเบสของไบโพลาร์ทรานซิสเตอร์แล้วทำการไอออนอิมพลานต์ด้วยสารเจือโบรอนดังภาพที่ 4 ข.

เมื่อเสร็จกระบวนการนี้แล้วจะทำการลอกชั้นฟิล์มและชั้นออกไซด์ออก เพื่อเตรียมพร้อมที่จะสร้างกระบวนการต่อไป ซึ่งก็คือการสร้างชั้นโพลีซิลิกอน P^+ และชั้นออกไซด์ แล้วทำการกัดออกทีละชั้นตามพื้นที่ที่กำหนดไว้ดังภาพที่ 7 ก. และจะใช้กระบวนการ CVD (Chemical Vapor Deposition) สร้างชั้นออกไซด์ปกคลุมตลอดทั้งแผ่นแล้วใช้เทคนิคของ RIE (Reactive Ion Etching) กัดออกไซด์ ซึ่งจะทำให้ชั้นโพลีซิลิกอน P^+ ที่สร้างขึ้น จะถูกล้อมรอบด้วยออกไซด์เทคนิคนี้เรียกว่า "side wall spacer" ดังภาพที่ 7 ง. โพลีซิลิกอนชั้นที่สองจะถูกสร้างขึ้น และถูกไอออนอิมพลานต์ด้วยฟอสฟอรัส เพื่อใช้เป็นขั้วต่ออิมิเตอร์ ในขั้นตอนนี้โพลีซิลิกอนชนิด N^+ และ P^+ จะถูกอัลนีสเพื่อทำการจับล็อกเข้าไปในเนื้อสารที่อยู่ด้านล่างดังภาพที่ 7 จ. ขั้นตอนต่อไปจะทำการสร้างออกไซด์ขึ้นมาปกคลุมและทำการกัดออกไซด์ออกเพื่อเป็นการเปิดช่องของขั้วสัมผัสโลหะ โดยที่ชั้นโพลีซิลิกอน P^+ จะทำหน้าที่เป็นเบส และชั้นโพลีซิลิกอน N^+ ในกระบวนการก่อนหน้านี้จะทำหน้าที่เป็นอิมิเตอร์ ส่วนชั้น N^+ ซึ่งสร้างจากการไอออนอิมพลานต์ ด้วยฟอสฟอรัส ตั้งแต่กระบวนการแรก จะทำหน้าที่เป็นคอลเลกเตอร์ หลังจากนั้น จะทำการสร้างส่วนโลหะของวงจรและทำการกัดลวดลายตามที่ต้องการแบบ 7 ค. ดังภาพที่ 7 ฉ.

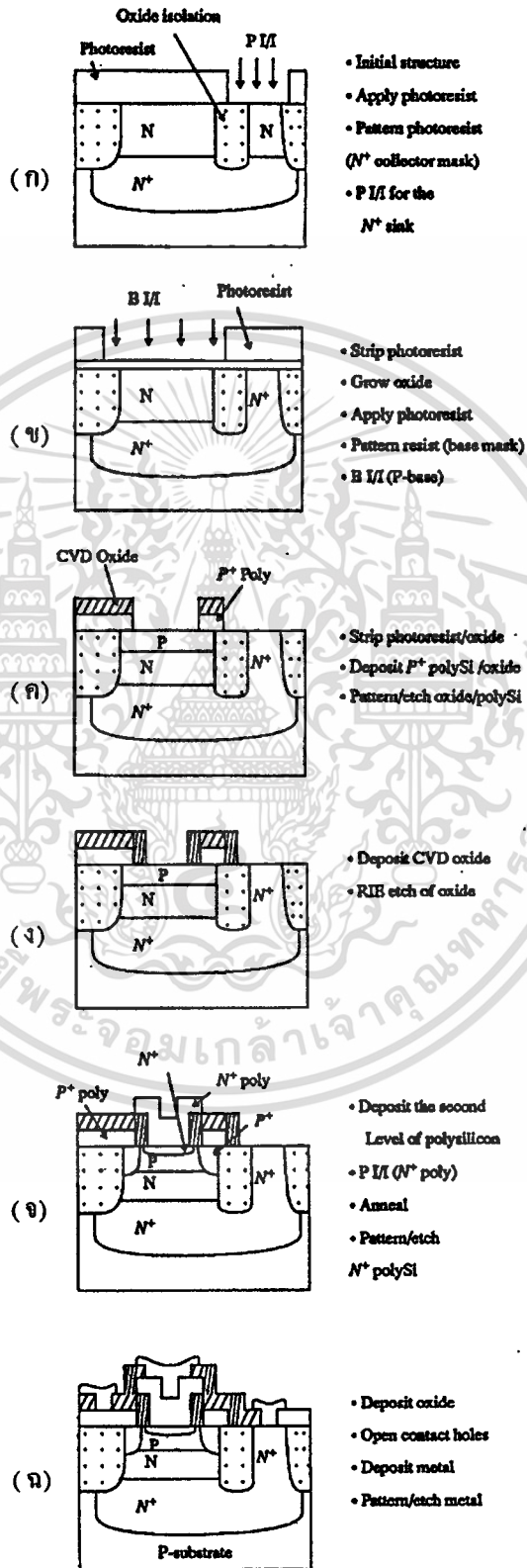
ความสัมพันธ์กันระหว่างไบโพลาร์และซิมอส

จากการเปรียบเทียบกระบวนการที่สอดคล้องกันของเทคโนโลยีในตระกูลซิมอสและไบโพลาร์พบว่า ชั้นอิพิแทกเซียมและชั้นนุริย์สามารถใช้เป็นตัวป้องกันการเกิดเลทซ์อัพในตระกูลซิมอสได้ ขณะที่กระบวนการ LOCOS ซึ่งถูกพัฒนามาจากเทคโนโลยีของซิมอสสามารถใช้เพื่อทำหน้าที่เป็นตัวแยกของอุปกรณ์ไบโพลาร์ได้ และสามารถใช้กระบวนการสร้างชั้นโพลีซิลิกอนจากเทคนิคการจัดตัวเองของมอสทรานซิสเตอร์มาเป็นการจัดตัวเองในส่วนอิมิเตอร์ซึ่งเป็นชั้นโพลีของอุปกรณ์ไบโพลาร์ได้ ความสอดคล้องและเข้ากันได้ของเทคโนโลยีทั้งสองนี้ทำให้นักคิดในการรวมเทคโนโลยีของซิมอสและไบโพลาร์เข้าด้วยกันเป็นจริงขึ้นมา ดังที่กล่าวมาแล้วว่ามีกระบวนการสร้างของซิมอสและไบโพลาร์อยู่หลายขั้นตอนที่มีความสอดคล้องกัน ดังนั้นจึงสามารถถูก

สร้างไปพร้อมๆ กันได้ โดยเรียกกระบวนการสร้างแบบใหม่นี้ว่ากระบวนการสร้างแบบไบซิมอส

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 7



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้เฉพาะเพื่อการศึกษายเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า แสดงกระบวนการสร้างไบโพลาร์ทรานซิสเตอร์โดยใช้เทคนิคการจัดตัวเอง ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างของขั้นตอนดังกล่าวคือ

1. ส่วน N-Well ซึ่งถูกใช้เป็นบ่อแยกของพินอสทรานซิสเตอร์สามารถใช้เป็นส่วนหนึ่งของคอลเลกเตอร์ในไบโพลาร์ทรานซิสเตอร์ชนิด NPN ได้
2. ชั้นโพลีซิลิกอนในส่วนแกทของซิมอสจะถูกใช้เป็นส่วนของขั้วสัมผัสอิมิเตอร์ของไบโพลาร์ได้
3. การทำไอออนอิมพลานต์ด้วยสารเจือชนิดพี ในส่วนซอสและเดรนของพินอสทรานซิสเตอร์จะใช้ร่วมกับการจัดตัวเองในส่วนเบสของไบโพลาร์ทรานซิสเตอร์ชนิด NPN ได้
4. การทำไอออนอิมพลานต์ด้วยสารเจือชนิดเอ็นในส่วนซอสและเดรนของเอ็นมอสทรานซิสเตอร์จะใช้ร่วมกับการสร้างส่วนอิมิเตอร์ของไบโพลาร์ได้
5. ส่วนการอัลนิต ในขั้นตอนสุดท้ายก็สามารถใช้ร่วมกันได้เช่นกัน

เทคโนโลยีของการสร้างวงจรรวมไบซิมอส

ถึงแม้แนวความคิดในการรวมวงจรรวมซิมอสและไบโพลาร์เข้ามาเป็นวงจรรวมเดียวกัน ถูกเสนอขึ้นตั้งแต่ปี 1969 แต่ก็ยังเป็นไปไม่ได้ในทางปฏิบัติ เนื่องจากปัญหาทางด้านเทคโนโลยีในการสร้างขณะนั้น จึงได้มีการพยายามที่จะพัฒนาทางด้านเทคโนโลยีในการสร้างวงจรรวม และมีบทความที่ได้รับการตีพิมพ์ออกมามากมาย จนทำให้วงจรรวมแบบไบซิมอสสามารถสร้างได้จริงในทางปฏิบัติ กระบวนการสร้างแบบไบซิมอสสามารถจำแนกได้เป็น 2 ประเภท คือ การใช้กระบวนการสร้างซิมอสเป็นกระบวนการหลักแล้วเพิ่มกระบวนการของไบโพลาร์เข้าไป หรือการใช้กระบวนการสร้างไบโพลาร์เป็นกระบวนการหลักแล้วเพิ่มส่วนของซิมอสเข้าไป ซึ่งกระบวนการที่เพิ่มขึ้นมาของทั้งสองกรณีจะไม่สามารถเลือกเงื่อนไขที่ดีที่สุดพร้อมกันได้ เนื่องจากจำเป็นที่จะต้องใช้พารามิเตอร์ค่าเดียวกันกับของกระบวนการหลัก ในอีกแง่หนึ่งลักษณะของกระบวนการสร้างวงจรรวมไบซิมอสสามารถจำแนกได้จากคุณภาพและราคาของการผลิต ซึ่งจะเพิ่มขึ้นตามความซับซ้อนของกระบวนการผลิต ในหัวข้อนี้จะแนะนำกระบวนการสร้างแบบไบซิมอสซึ่งมีทรานซิสเตอร์ชนิด NPN เป็นส่วนประกอบโดยจะแบ่งเป็น 3 แบบ คือ

1. กระบวนการสร้างแบบราคาถูก ซึ่งจะใช้มาส์กเพิ่มขึ้นเพียงมาส์กเดียว
2. กระบวนการสร้างแบบที่มีประสิทธิภาพปานกลาง ซึ่งจะต้องใช้มาส์กเพิ่มขึ้นอีก 3 มาส์ก
3. กระบวนการสร้างแบบที่มีประสิทธิภาพสูง ส่วนของอิมิเตอร์ซึ่งเป็นชั้นโพลีซิลิกอน จะเป็นโครงสร้างแบบจัดตัวเอง โดยที่กระบวนการนี้จะต้องใช้มาส์กเพิ่มขึ้นอีก 4 มาส์ก

เอกสารนี้เป็นเอกสารต้นฉบับของสำนักงานคณะกรรมการอาหารและยา กระทรวงสาธารณสุข
ไม่ว่ากรณีใดๆทั้งสิ้น อีกหนึ่งห้าหมื่นห้าพันห้าร้อยห้าสิบห้า และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระบวนการสร้างวงจรมอสแบบราคาถูก

ในกระบวนการสร้างวงจรมอสชนิดราคาถูกนี้จะมีกระบวนการสร้างเพิ่มขึ้นเพียงขั้นตอนเดียว โดยใช้กระบวนการของการสร้างมอสแบบ N-Well เป็นกระบวนการหลัก ดังภาพที่ 8 โดยที่จะใช้ N-Well เป็นส่วนคอลเลคเตอร์ของไบโพลาร์ทรานซิสเตอร์ชนิด NPN ส่วนอิมิเตอร์ของไบโพลาร์ทรานซิสเตอร์จะถูกสร้างขึ้นโดยกระบวนการไอออนอิมพลานต์ ส่วนซอสและเดรนของเอ็นมอสทรานซิสเตอร์ ขณะที่ส่วนเบสที่มีความเข้มข้นสูง (P^+) ไบโพลาร์ทรานซิสเตอร์ซึ่งจะใช้คู่กับชั้นสัมผัสโลหะจะถูกสร้างพร้อมกับส่วนซอร์สและเดรนของพีมอสทรานซิสเตอร์และส่วนที่ทำหน้าที่เป็นชั้นเบสของอุปกรณ์ไบโพลาร์จะถูกสร้างขึ้นจากมาส์กใหม่ที่เพิ่มขึ้นมา โดยที่กระบวนการอื่นๆ ที่ได้กล่าวแล้ว แต่ไม่ได้กล่าวถึงในส่วนนี้จะยังคงเหมือนเดิม อย่างไรก็ตามถ้าเลือกเงื่อนไขที่ดีที่สุดของกระบวนการตามอุปกรณ์มอส จะทำให้ค่าพารามิเตอร์ของไบโพลาร์ไม่ดีเท่าที่ควรเช่นค่าแรงดันพังทะลาย (break down voltage) อัตราการขยายกระแส (Current gain) จะมีค่าไม่ดีเท่าที่ควรหรือจากการที่ไม่มีชั้นบูรีย์ และชั้นคอลเลคเตอร์ชนิดเอ็นที่มีความเข้มข้นสูง (deep N^+ Collector) ใน NPN เป็นผลให้ส่วนคอลเลคเตอร์มีความต้านทานสูง ดังนั้นความถี่คัทออฟจะมีค่าต่ำและจับกระแสได้ไม่ดีนัก รวมทั้งแรงดันอิมิเตอร์จะมีค่าสูง

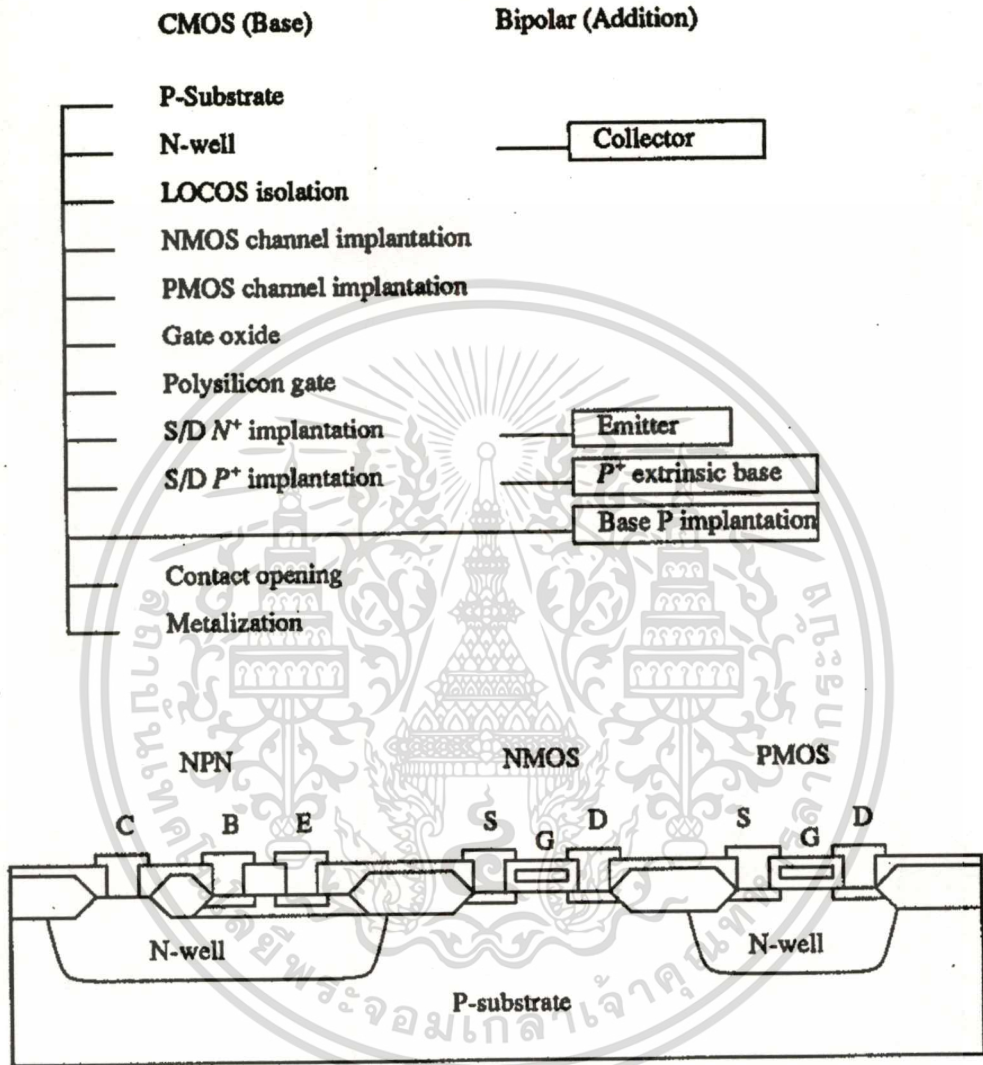
กระบวนการสร้างวงจรมอสที่มีประสิทธิภาพปานกลาง

ในภาพที่ 9 จะแสดงภาคตัดขวางของโครงสร้างไบมอส ซึ่งถูกสร้างโดยการเพิ่มอุปกรณ์ไบโพลาร์ชนิด NPN เข้าไปในกระบวนการสร้างมอสแบบ Twin-tub ซึ่งเป็นกระบวนการสร้างหลักโครงสร้างนี้จะมีชั้นบูรีย์ N^+ ที่อยู่ใต้ N-Well ของวงจรมอส และชั้นคอลเลคเตอร์ที่มีความเข้มข้นสารเจือสูง เพื่อเพิ่มความสามารถในการนำกระแสจะถูกสร้างพร้อมกัน โดยกระบวนการรีโทรเกรด ทำนองเดียวกันชั้นบูรีย์ P^+ ที่อยู่ใต้ P-Well ของเอ็นมอสทรานซิสเตอร์ซึ่งสร้างจากกระบวนการรีโทรเกรด จะทำหน้าที่เป็นเหมือนชั้นแยกระหว่างชั้นบูรีย์ N^+ ชั้นอีพิแทกเซียลบาง ($1\mu\text{m}-2\mu\text{m}$) จะถูกใช้เพิ่มความถี่คัทออฟของไบโพลาร์ทรานซิสเตอร์ชนิด NPN และลดความกว้างของส่วนที่ใช้แยกระหว่างไบโพลาร์ โดยที่ส่วนคอลเลคเตอร์ซึ่งเป็นสารเจือชนิดเอ็นของไบโพลาร์

จะถูกสร้างขึ้นพร้อมกับส่วน N-Well ของมอส ขณะที่ส่วนคอลเลคเตอร์ที่มีความเข้มข้นสูงจะถูกใช้

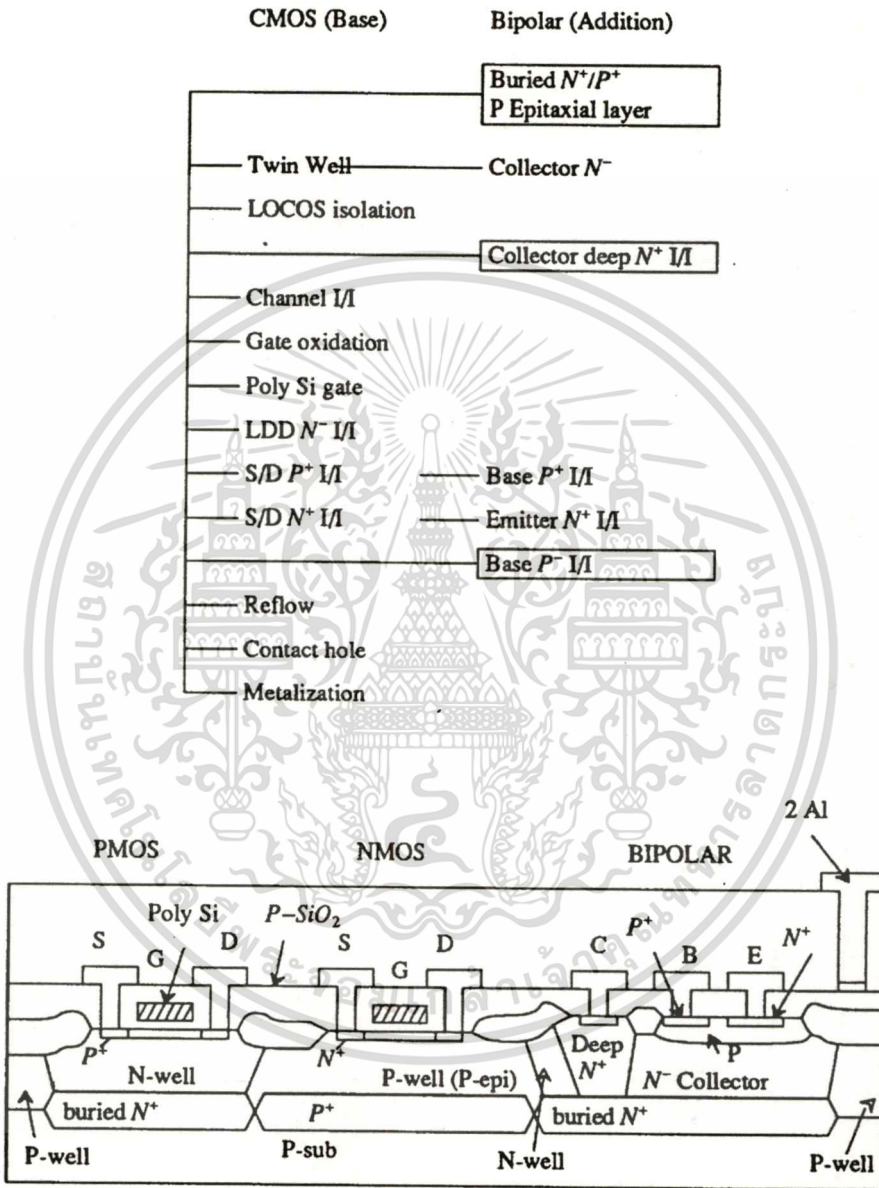
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 8



แสดงขั้นตอนการสร้างและภาคตัดขวางของอุปกรณ์ไบซีมอสแบบราคาถูก

ภาพที่ 9



แสดงขั้นตอนการสร้างและภาคตัดขวางของอุปกรณ์ไบซีมอสที่มีประสิทธิภาพปานกลาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สร้างขึ้นหลังกระบวนการ LOCOS และส่วนเบสของไบโพลาร์ทรานซิสเตอร์จะถูกสร้างขึ้นพร้อมกับการสร้างส่วนซอสและเดรนของซีมอสทรานซิสเตอร์โดยการไอออนอิมพลานต์สารเจือชนิด P^+ ในทำนองเดียวกัน ส่วนอิมิเตอร์ N^+ ของไบโพลาร์ จะถูกสร้างขึ้นพร้อมกับการทำไอออนอิมพลานต์ส่วนซอสและเดรนของเอ็นมอสทรานซิสเตอร์ ในกระบวนการนี้จะใช้ลูมิเนียมเป็นขั้วสัมผัสโลหะ ดังนั้นขนาดของอิมิเตอร์จะใหญ่เทียบกับการใช้การจัดตัวเองที่มีขั้วอิมิเตอร์เป็นโพลีซิลิกอน จากที่กล่าวมาแล้วนั้นสรุปได้ว่ากระบวนการสร้างไบซีมอสแบบนี้จะต้องใช้มาส์กเพิ่มขึ้น 3 มาส์ก เพื่อสร้างอุปกรณ์ไบโพลาร์เพิ่มขึ้น มาส์กแรกจะใช้สร้างบูริย์ N^+ มาส์กที่สองจะใช้ในกระบวนการไอออนอิมพลานต์ของส่วนคอลเลคเตอร์ที่มีความเข้มข้นสูง มาส์กที่สามจะใช้ในกระบวนการไอออนอิมพลานต์สารเจือ P^+ เพื่อเป็นขั้วเบสของไบโพลาร์ทรานซิสเตอร์ กระบวนการไบซีมอสที่กล่าวมาแล้วจะมีประสิทธิภาพดีขึ้นเนื่องจากความต้านทานของคอลเลคเตอร์จะต่ำลงเทียบกับกระบวนการที่มีราคาถูก สำหรับเทคโนโลยี 0.8 ไมครอนความถี่คัทออฟ (f_T) ของไบโพลาร์จะสูงขึ้นถึง 5 GHz

กระบวนการสร้างวงจรมอสที่มีประสิทธิภาพสูง

กระบวนการสร้างไบซีมอสที่มีประสิทธิภาพสูงนี้จะใช้กระบวนการสร้างของซีมอสแบบ Twin-tub เป็นกระบวนการสร้างหลัก แต่จะมีความซับซ้อนกว่ากระบวนการที่กล่าวมาแล้ว โดยที่โครงสร้างของซีมอสซึ่งเป็นโครงสร้างหลักจะมีชั้นโพลีซิลิกอน 2 ชั้น และใช้โพลีซิลิกอนเป็นอิมิเตอร์ นอกจากนี้โครงสร้างของไบโพลาร์จะต้องใช้มาส์กเพิ่มขึ้นถึง 4 มาส์ก ในกระบวนการสร้างจะเริ่มจากการสร้างชั้นบูริย์ของสารเจือชนิด N^+ และ P^+ บนฐานรองชนิด P จากนั้นจะทำการสร้าง P-Well และ N-Well ซึ่งถูกสร้างขึ้นพร้อมกับชั้นคอลเลคเตอร์ส่วนการแยกพื้นที่ใช้งานจะทำโดยการใช้กระบวนการ LOCOS เช่นเดียวกับโครงสร้างอื่นๆ ที่กล่าวมาแล้ว ต่อจากนั้นจะทำการไอออนอิมพลานต์สารเจือชนิด N^+ แล้วทำการขบลิ๊ก และทำการไอออนอิมพลานต์สารเจือชนิด P^+ เพื่อใช้เป็นส่วนเบสของไบโพลาร์ทรานซิสเตอร์ ซึ่งเป็นกระบวนการที่เพิ่มขึ้นมา หลังจากนั้นจะทำการปรับค่าแรงดันวิกฤตติของมอสทรานซิสเตอร์ ก่อนทำการสร้างเกตออกไซด์และชั้นโพลีซิลิกอน มาส์กที่เพิ่มขึ้นมาอีกมาส์กหนึ่งจะถูกใช้ในการเปิดช่องอิมิเตอร์ และก่อนที่จะสร้างชั้นโพลีซิลิกอนในชั้นที่สอง ชั้นโพลีซิลิกอนนี้จะถูกสร้างโดยการไอออนอิมพลานต์และรูปแบบของส่วนเกตส่วนอิมิเตอร์ซึ่งเป็นโพลีซิลิกอนจะถูกกำหนดโดยมาส์กที่เพิ่มขึ้นมา ต่อจากนั้นจะทำการกระบวนการ

LDD (Lightly Doped Drain) ก่อนที่จะสร้างส่วนซอร์สและเดรนของพีมอสและเอ็นมอส โดยการไอออนอิมพลานต์ ซึ่งจะสร้างออกไซด์รอบข้างของอิมิเตอร์และเกตด้วยจากนั้นจะทำการสร้างขั้วสัมผัสโลหะ ดังกระบวนการสร้างภาคตัดขวางในภาพที่ 10 ไบโพลาร์ทรานของกระบวนการสร้างแบบนี้จะมีประสิทธิภาพที่ดีคือ จะมีความต้านทานที่คอลเลคเตอร์ต่ำเนื่องจากชั้นนุริย์ N^+ ของคอลเลคเตอร์ นอกจากนี้จะมีอัตราขยายสูงเนื่องจากการใช้โพลีซิลิกอนเป็นขั้วสัมผัสอิมิเตอร์และโครงสร้างแฝงของตัวเก็บประจุต่ำ เนื่องจากกระบวนการจัดตัวเองซึ่งทำให้สามารถมีความถี่คัตออฟสูงกว่า 5 GHz

เทคโนโลยีการสร้างวงจรวจรไบซีมอสแบบคู่ควม

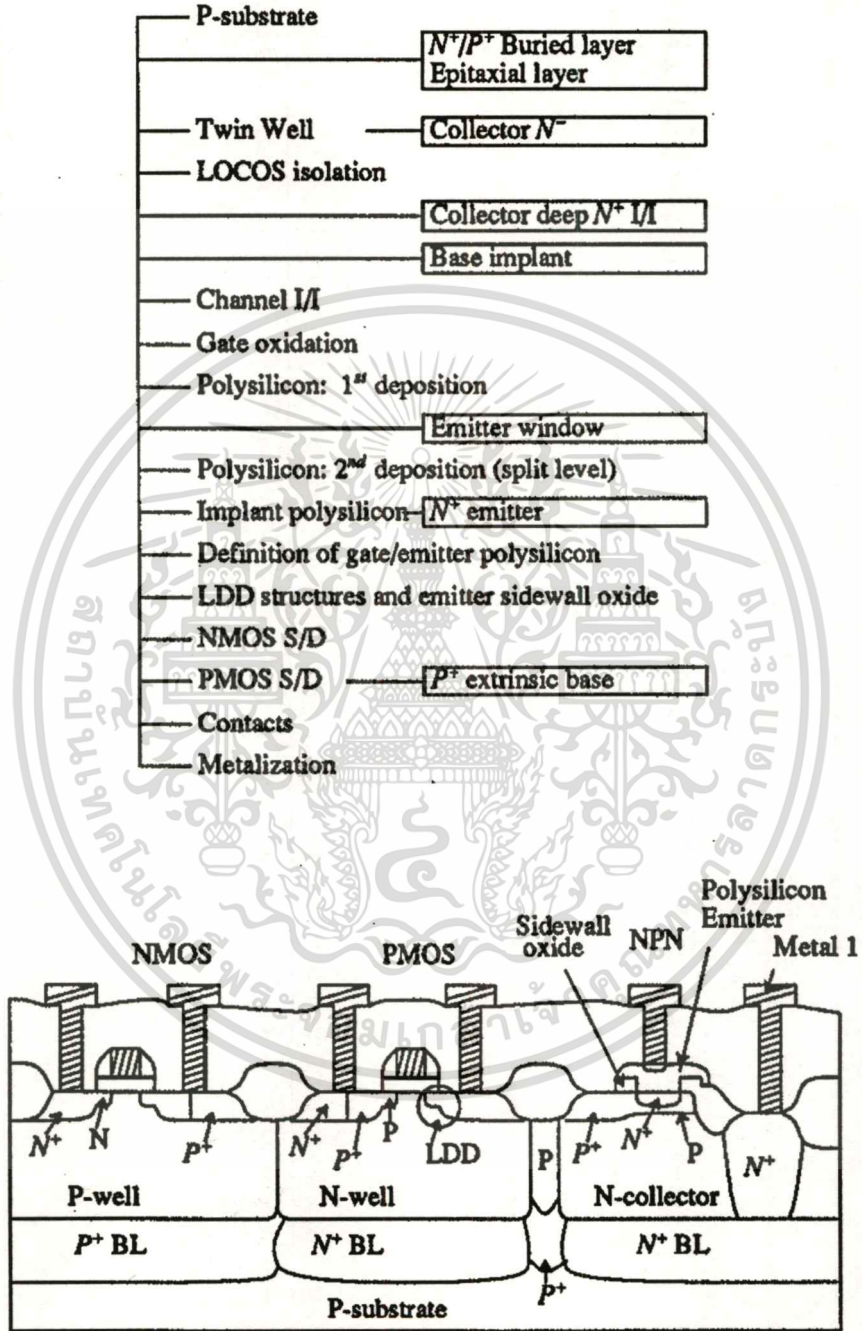
ทรานซิสเตอร์ชนิดไบซีมอสแบบคู่ควมหรือใช้อักษรย่อว่า “CBiCMOS” นี้ จะเป็นการรวมทรานซิสเตอร์แบบซีมอสกับไบโพลาร์ชนิด NPN และ PNP เข้าไว้ในกระบวนการสร้างเดียวกัน ได้ถูกนำเสนอขึ้นเมื่อไม่นานนี้ เพื่อใช้ในการปรับปรุงประสิทธิภาพของวงจรวจรไบซีมอสโดยเฉพาะที่แหล่งจ่ายแรงดันต่ำๆ เนื่องจากเทคโนโลยีในการสร้างวงจรวจรไบซีมอสแบบคู่ควมนี้ยังมีข้อเสียอยู่บ้างคือ ทรานซิสเตอร์ชนิด NPN จะทำงานได้ดีกว่าทรานซิสเตอร์ชนิด PNP แต่ในอนาคตมีแนวโน้มว่าทรานซิสเตอร์ชนิด PNP จะสามารถทำงานได้ใกล้เคียงกับ NPN ปัญหาอย่างหนึ่งของทรานซิสเตอร์ชนิด PNP ที่สร้างจากโครงสร้างนี้คือความต้านทานของส่วนคอลเลคเตอร์มีค่าสูง อัตราขยายกระแสต่ำ และเวลาในการเคลื่อนผ่านเบส (base transit time) มีค่าสูง

ในช่วงปี 1990 ได้มีการเสนอกระบวนการสร้างวงจรวจรไบซีมอสแบบคู่ควมซึ่งทรานซิสเตอร์ชนิด NPN จะมีค่าความถี่คัตออฟประมาณ 8-17 GHz และ PNP มีค่าประมาณ 2.7 GHz ดังภาพที่ 8 ซึ่งจะเป็นการแสดงภาพภาคตัดขวางของวงจรวจรไบซีมอสแบบคู่ควม ในกระบวนการสร้างจะเริ่มจากการสร้างชั้นนุริย์ของ N^+ และ P^+ โดยที่ชั้นนุริย์ P^+ จะทำหน้าที่ในการแยกทรานซิสเตอร์ชนิด PNP ออกจากส่วนอื่น จากนั้นทำการสร้างชั้นอพิแทกเซิลชนิด N แล้วจึงสร้างบ่อคู่ (twin well) และชั้นแยกด้วยกระบวนการ LOCOS ขณะที่ P-Well ที่สร้างขึ้นจะทำหน้าที่เป็นบ่อแยกของเอ็นมอสทรานซิสเตอร์และเป็นส่วนคอลเลคเตอร์ของไบโพลาร์ทรานซิสเตอร์ชนิด PNP โดยที่สร้างจากการไอออนอิมพลานต์ด้วยสารเจือโบรอนพลังงานสูงถึง 600 KeV เมื่อเสร็จกระบวนการ LOCOS แล้ว จะทำการไอออนอิมพลานต์สารเจือชนิดเอ็นที่มีความเข้มข้นสารเจือสูง เพื่อใช้เป็นขั้วสัมผัส

โลหะในส่วนคอลเลคเตอร์ของทรานซิสเตอร์ชนิด NPN นั้น จะทำการไอออนอิมพลานต์ชั้นด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 10



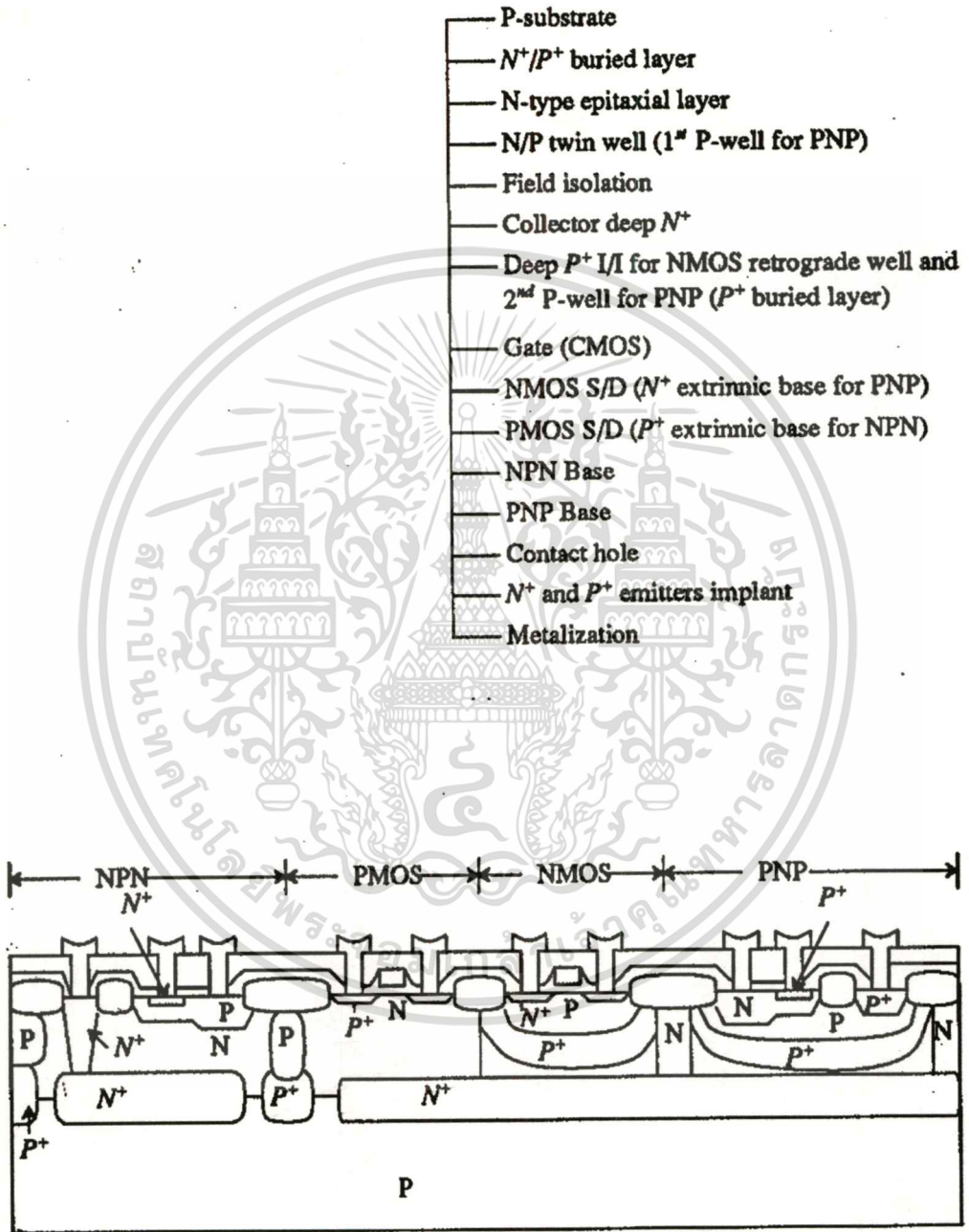
แสดงขั้นตอนการสร้างและภาคตัดขวางของอุปกรณ์ไบซีมอสที่มีประสิทธิภาพสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารเจือชนิดพีที่มีความเข้มข้นสูง เข้าไปในเอ็นมอสทรานซิสเตอร์และไบโพลาร์ทรานซิสเตอร์ชนิด PNP แล้วทำการสร้างส่วน N^+ เพื่อสร้างเป็นส่วนซอร์สและเดรนของเอ็นมอสทรานซิสเตอร์ ขณะเดียวกันจะสร้างขั้วสัมผัสโลหะในส่วนเบสของทรานซิสเตอร์ชนิด PNP ขึ้นพร้อมกัน และทำการไอออนอิมพลานต์ต่อด้วยสารเจือชนิด P^+ เพื่อสร้างเป็นส่วนซอร์สและเดรนของพีมอสทรานซิสเตอร์ ขณะเดียวกันกับการสร้างขั้วสัมผัสโลหะในส่วนเบสของทรานซิสเตอร์ชนิด NPN เสร็จแล้วจึงสร้างส่วนเบสของทรานซิสเตอร์ชนิด NPN และ PNP ต่อไปตามลำดับ หลังจากนั้นจะทำการสร้างส่วนอิมิตเตอร์ของทรานซิสเตอร์ชนิด NPN และ PNP ขึ้นโดยใช้เทคนิคการจัดการตัวเอง แล้วทำการสร้างขั้วสัมผัสตามรูปแบบที่กำหนดขึ้น ดังภาพที่ 11



ภาพที่ 11



แสดงขั้นตอนการสร้างและภาคตัดขวางอุปกรณ์ไบซีมอสแบบคู่ควม

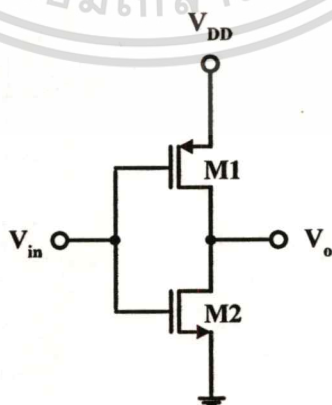
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

วงจรวจรไบซีมอสดิจิตอล

จากการศึกษาเกี่ยวกับวงจรวจรไบซีมอสดิจิตอลพบว่า วงจรดังกล่าวยังอยู่ในช่วงที่กำลังพัฒนา และเป็นที่น่าสนใจอย่างมากในปัจจุบัน จากการค้นคว้าพบว่าแนวทางวิจัยส่วนใหญ่ของ วงจรประเภทนี้ จะมุ่งไปที่การพยายามที่จะเสนอวงจรที่สามารถใช้งานได้ที่ความเร็วสูงและ กำลังไฟฟ้าต่ำ ๆ ซึ่งส่วนใหญ่จะมุ่งไปที่การพัฒนาจอร์อินเวอร์ตเตอร์ซึ่งเป็นวงจรดิจิตอลพื้นฐาน ดังที่ได้มีการตีพิมพ์ลงในวารสารต่างๆ มากมาย ส่วนเนื้อหาในบทนี้จะกล่าวถึงแนวความคิดเริ่มต้น ที่ทำให้เกิดการพัฒนาจอร์ไบซีมอส และจอร์ไบซีมอสอินเวอร์ตเตอร์ที่ได้รับการพัฒนาเป็นลำดับ จนถึงจอร์ไบซีมอสอินเวอร์ตเตอร์แบบธรรมดา (Conventional BiCMOS Inverter) ซึ่งถือได้ว่าเป็นต้นแบบของจอร์ไบซีมอสในทางปฏิบัติและเป็นที่ยอมรับกันโดยทั่วไป พร้อมทั้งอธิบายการทำงานและเงื่อนไขในการออกแบบ จากนั้นจะยกตัวอย่างและอธิบายการทำงานของจอร์ไบซีมอส ดิจิตอลพื้นฐานที่ได้มีการนำเสนอมาแล้ว และเป็นที่ยอมรับกันโดยทั่วไป ส่วนวงจรใหม่ที่นำเสนอ และผลการจำลองวงจรจะกล่าวในบทต่อไป

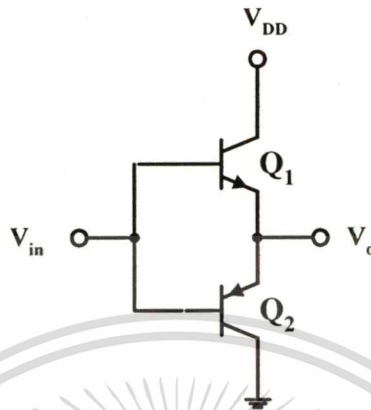
ภาพที่ 12



แสดงจอร์ไบซีมอสอินเวอร์ตเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 13



แสดงวงจรขับแบบไบโพลาร์

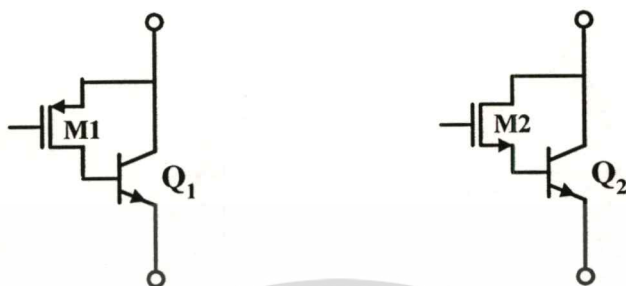
แนวความคิดที่ทำให้เกิดการพัฒนางจรไบซีมอส

เนื่องจากวงจรในตระกูลซีมอสดังภาพที่ 12 ซึ่งเป็นการประกอบกันของพีมอสและเอ็นมอสทรานซิสเตอร์นี้ ยังมีข้อจำกัดในด้านความเร็วและความสามารถในการขับวงจร โดยเฉพาะที่โหลดคาปาซิแตนซ์สูงๆ จึงได้มีการพยายามที่จะใช้วงจรไบโพลาร์แทนเพื่อช่วยในการขับวงจร วงจรหนึ่งของไบโพลาร์ที่เป็นไปได้ที่จะนำมาใช้แทนวงจรซีมอสคือวงจรแบบคู่ควบของไบโพลาร์ชนิด NPN และ PNP ดังภาพที่ 13 อย่างไรก็ตามวงจรนี้ยังมีข้อจำกัดในการใช้งาน เนื่องจากเป็นวงจรคิติดอลชนิดไม่กลับเฟส (Noninverting logic) และยังมีอินพุตอิมพีแดนซ์ต่ำมากอีกด้วย เมื่อเทียบกับวงจรในตระกูลซีมอส ต่อมาความพยายามที่จะรวมวงจรไบโพลาร์และซีมอสเข้าด้วยกัน ซึ่งจะเป็นการเพิ่มทรานคอนดักแตนซ์ของมอสทรานซิสเตอร์โดยการเพิ่มไบโพลาร์ทรานซิสเตอร์เข้าไปที่เอาต์พุตของวงรดังภาพที่ 14 เป็นผลให้ทรานคอนดักแตนซ์ของวงจรแบบใหม่นี้เพิ่มขึ้นเป็น β เท่าของมอสทรานซิสเตอร์แบบธรรมดาจากการรวมพีมอสกับไบโพลาร์ชนิด NPN และ เอ็นมอสกับไบโพลาร์ชนิด PNP เข้าด้วยกัน ทำให้เกิดวงจรไบซีมอสอินเวอร์เตอร์วงจรแรกขึ้น ดังภาพที่ 15 ซึ่งสามารถใช้แทนวงจรซีมอสได้อย่างสมบูรณ์ เนื่องจากในส่วนอินพุตของวงจรรยังคงใช้พีมอสและเอ็นมอสในการสวิตช์ซึ่งเช่นเดียวกับวงจรซีมอส ถึงแม้่วงจรแบบไบซีมอสในยุคแรกจะมีข้อดีกว่าวงจรแบบซีมอสในแง่ความสามารถในการขับ และการสูญเสียกำลังไฟฟ้าสถิตย์ (Static Power dissipation) ซึ่งมีค่าน้อยมากก็ตาม แต่ก็ยังมีปัญหาในเรื่องความเร็วในการทำงานของวงจร

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้ซึ่งวงจรรีเสิร์ชและพัฒนาไปใช้โดยบุคคลอื่นโดยไม่ได้รับอนุญาต

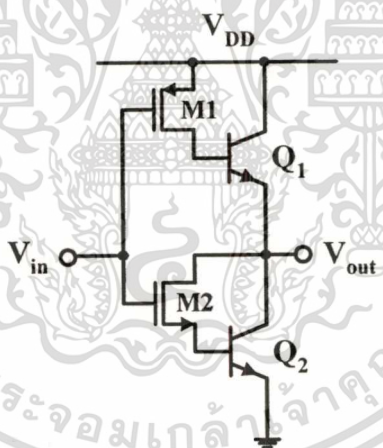
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 14



แสดงการรวมวงจรพีมอสกับไบโพลาร์และวงจรเอ็นมอสกับไบโพลาร์

ภาพที่ 15



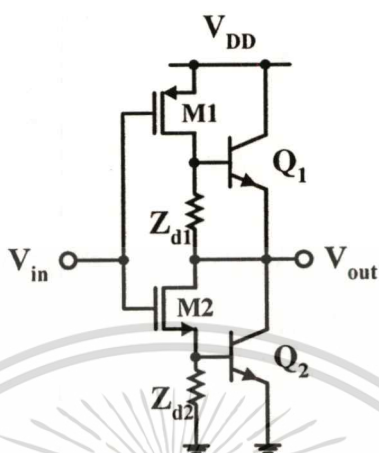
แสดงวงจรไบซีมอสอินเวอร์ตเตอร์วงจรแรก

เนื่องจากใช้เวลาในการ Off ไบโพลาร์ทรานซิสเตอร์นานมาก ต่อมาได้มีการเสนองจรใหม่ เพื่อแก้ปัญหาเกี่ยวกับความเร็วของวงจร โดยเพิ่มตัวต้านทานเข้าไปเพื่อทำหน้าที่เป็นตัวคิซซาร์จประจุในช่วงที่ไบโพลาร์ทรานซิสเตอร์ Off โดยการต่อตัวต้านทาน Z_{d1} และ Z_{d2} ระหว่างขาเบสและอิมิตเตอร์ของไบโพลาร์ทรานซิสเตอร์ Q_1 และ Q_2 ตามลำดับ ดังภาพที่ 16 ซึ่งเรียกวงจรนี้ว่าวงจรไบซีมอสอินเวอร์ตเตอร์แบบตัวต้านทาน (R-Type BiCMOS inverter circuit) อย่างไรก็ตาม วงจรนี้ยังมีข้อเสียคือ กระแสที่ไหลจากพีมอสและ เอ็นมอสไปยังขาเบสไบโพลาร์ทรานซิสเตอร์ ส่วนหนึ่งจะสูญเสียไปเนื่องจากตัวต้านทาน Z_{d1} และ Z_{d2} จึงทำให้ความสามารถในการขับลดลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

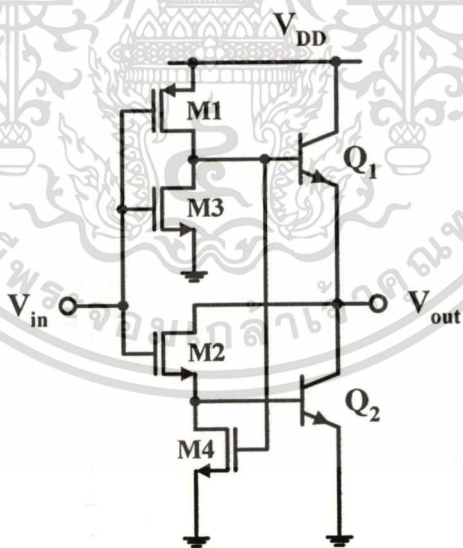
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 16



แสดงวงจรไบซีมอสอินเวอร์ตเตอร์แบบตัวต้านทาน

ภาพที่ 17



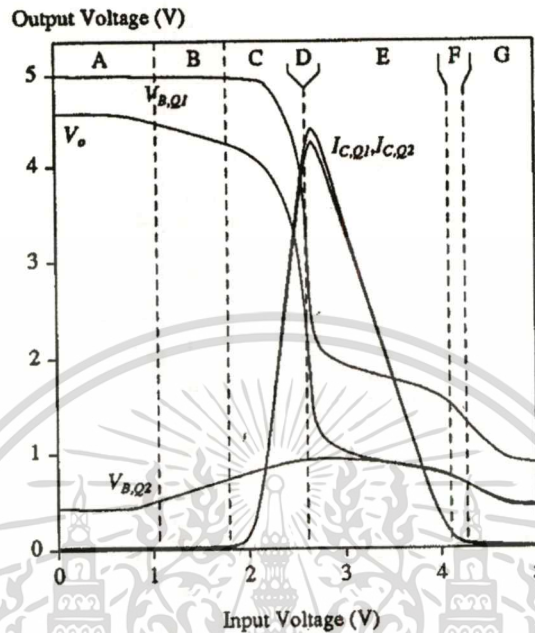
แสดงวงจรไบซีมอสอินเวอร์ตเตอร์แบบธรรมดา

ต่อมาจึงได้มีการใช้เอ็นมอสทรานซิสเตอร์แทนตัวต้านทาน โดยมอสทรานซิสเตอร์ดังกล่าวนี้จะ ON ก็ต่อเมื่อ ไบโพลาร์ทรานซิสเตอร์ที่ต่ออยู่มีสถานะ OFF เพื่อทำหน้าที่คิซหาร์จประจุที่ขาเบสของไบโพลาร์ทรานซิสเตอร์นั้นๆ ดังภาพที่ 18 และเรียกวงจรนี้ว่า วงจรไบซีมอสอินเวอร์ตเตอร์

แบบธรรมดา (Conventional BiCMOS Circuit) ซึ่งเป็นต้นแบบวงจรในตระกูลไบซีมอสดิจิทัล

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 18



แสดงคุณสมบัติการโอนถ่ายสัญญาณไฟตรงของวงจรไบซีมอสอินเวอร์ตเตอร์

การทำงานของวงจรไบซีมอสอินเวอร์ตเตอร์

วงจรไบซีมอสอินเวอร์ตเตอร์ถือเป็นวงจรพื้นฐานของวงจรไบซีมอสดิจิทัล ดังนั้นการเข้าใจคุณสมบัติในการทำงานของวงจรไบซีมอสอินเวอร์ตเตอร์จึงมีความสำคัญมาก เพื่อสามารถใช้เป็นแนวทางในการพัฒนางจรไบซีมอสดิจิทัลอื่นๆ ต่อไป โดยที่สามารถแยกคุณสมบัติในการทำงานได้เป็น 2 ประเภทคือ คุณสมบัติของวงจรต่อสัญญาณไฟตรง (D.C characteristic) และคุณสมบัติทางด้านสวิทซ์

คุณสมบัติของสัญญาณไฟตรงของวงจรไบซีมอสอินเวอร์ตเตอร์

จากวงจรดังภาพที่ 15 โดยสมมติให้ไบโพลาร์ทรานซิสเตอร์ทำงานแบบไม่อิ่มตัวตลอดย่าน เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า การทำงานและกระแสนิยมที่น้อยมากเมื่อเทียบกับกระแสคอลเลกเตอร์ ดังนั้นจะได้ว่า ไม่ว่าจะกรณีใดๆทั้งสิ้น ออกกฎหมายให้ผิดเปลี่ยนแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{C,Q1} = I_{C,Q2} \quad \dots\dots\dots 1$$

และ $V_{BE,Q1} = V_{BE,Q2} \quad \dots\dots\dots 2$

โดยที่ $I_{C,Q1}$ และ $I_{C,Q2}$ เป็นกระแสคอลเลกเตอร์ของทรานซิสเตอร์ Q1 และ Q2 ตามลำดับ ส่วน $V_{BE,Q1}$ และ $V_{BE,Q2}$ เป็นแรงดันที่เบส-อิมิตเตอร์ของ Q1 และ Q2 ตามลำดับ ดังนั้นแรงดันเอาต์พุตของวงจรจะมีค่าเป็น

$$V_O = V_{B,Q1} - V_{BE,Q2} = V_{B,Q1} - V_{BE,Q2} \quad \dots\dots\dots 3$$

ขณะที่ $V_{B,Q1}$ และ $V_{B,Q2}$ เป็นแรงดันที่เบสของทรานซิสเตอร์ Q1 และ Q2 ตามลำดับ จากภาพที่ 18 ซึ่งแสดงคุณสมบัติการโอนถ่ายสัญญาณไฟตรง (DC transfer characteristic) ของวงจรไบซีมอสอินเวอร์ตเตอร์ ซึ่งสามารถแบ่งย่านการทำงานได้เป็น 7 ย่านคือ

1. ย่านการทำงาน A : $V_{in} < V_{BE,Q2} + V_{in}$

ไบโพลาร์ทรานซิสเตอร์ Q1 และ Q2 จะยังไม่ทำงานและเอ็นมอสทรานซิสเตอร์ทำงานในย่านเชิงเส้น โดยที่ V_{DS} ยังคงเป็นศูนย์ ขณะที่กระแสของพีมอสทรานซิสเตอร์มีค่าไม่เป็นศูนย์เนื่องจากผลของกระแสทรชโวลต์ย่อย (subthreshold current) ทำให้แรงดันที่เบสและอิมิตเตอร์ของ Q2 มีค่าประมาณ 0.4 V เป็นผลให้ $V_{BE,Q1} = 0.4$ ด้วยดังนั้นแรงดันเอาต์พุต (V_O) จึงมีค่าเป็น 4.6 V (ที่ $V_{DD} = 5$ V) ขณะที่แรงดันอินพุตเพิ่มขึ้น กระแสทรชโวลต์ย่อยก็จะเพิ่มขึ้นด้วยทำให้ $V_{B,Q2}$ เพิ่มขึ้น และ V_O ลดลง

2. ย่านการทำงาน B : $V_{BE,Q2} + V_{Tn} < V_{in} < V_{BE,on} + V_{Tn}$

การทำงานในย่านนี้จะเป็นช่วงที่พีมอสทรานซิสเตอร์เริ่มเข้าสู่ภาวะอิ่มตัว ขณะที่ Q1 และ Q2 ยังไม่ทำงาน เมื่อแรงดันอินพุตเพิ่มขึ้น กระแสเดรนของเอ็นมอสทรานซิสเตอร์จะเพิ่มขึ้นด้วยจนกระทั่ง แรงดันที่ เบส-อิมิตเตอร์มีค่าเท่ากับ $V_{BE,on}$ ที่จุดนี้ Q2 จะทำงาน จากสมการที่ 2 $V_{BE,Q1} = V_{BE,Q2}$ ซึ่งหมายความว่า Q1 ก็ทำงานด้วย

3. ย่านการทำงาน C : $V_{BE,on} + V_{Tn} < V_{in} < V_{inv}$

การทำงานในย่านนี้ไบโพลาร์ทรานซิสเตอร์ Q1 และ Q2 จะทำงานทั้งคู่สังเกตเห็นได้จากกราฟของกระแสคอลเลกเตอร์ในภาพที่ 15 เป็นผลให้แรงดันเอาต์พุตตกลงอย่างรวดเร็ว โดยกำหนดค่าให้ V_{inv} เป็นแรงดันอินพุตซึ่งทำให้อัตราขยายของวงจรอินเวอร์ตเตอร์มีค่ามากที่สุด

4. ย่านการทำงาน D : $V_{in} = V_{inv}$

เมื่อแรงดันระหว่างเดรนกับซอร์สของพีมอสทรานซิสเตอร์มีค่าเท่ากับ $V_{DS,sat}$ พีมอสทรานซิสเตอร์ จึงเข้าสู่การทำงานในช่วงอิ่มตัว ในย่าน D นี้จะเป็นจุดที่ไบโพลาร์ทรานซิสเตอร์ Q1 และ Q2 ทำงาน และมอสทรานซิสเตอร์ทรานซิสเตอร์ชนิดพีและเอ็น ทำงานในช่วงอิ่มตัว จาก

สมการที่ 1 $I_{C,Q1} = I_{C,Q2}$ ดังนั้นกระแสของพีมอสทรานซิสเตอร์และชนิดเอ็นจึงเท่ากันด้วยคือ $I_{C,Q1} = I_{C,Q2}$ ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งยังมีให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{D,p} = I_{D,n} \quad \dots\dots\dots 4$$

ดังนั้น $W_p K_p C_{ox;p} (V_{DD} - V_{in} - |V_{Tp}|) = W_n K_n C_{ox;n} (V_{in} - V_{BE;on} - V_{Tn}) \quad \dots\dots\dots 5$

ถ้าความหนาของเกตออกไซด์ของเอ็นมอสทรานซิสเตอร์และชนิดพีมีค่าเท่ากัน แรงดันอินพุตจะมีค่าเป็น

$$V_{in} = \frac{V_{DD} - |V_{Tp}| + \frac{K_n W_n}{K_p W_p} (V_{BE;on} + V_{Tn})}{1 + \frac{K_n W_n}{K_p W_p}} = V_{inv} \quad \dots\dots\dots 6$$

เนื่องจากจุดนี้แรงดันเอาต์พุตจะตกลงจากระดับสัญญาณ “1” ไปยัง “0” อย่างรวดเร็ว ดังนั้นจึงเรียกจุดนี้ว่าเป็นจุดกลับของสัญญาณ (inversion point)

5. ย่านการทำงาน E : $V_{inv} < V_{in} < V_{DD} - |V_{Tp}|$

ขณะที่แรงดันอินพุตเพิ่มขึ้น แรงดันระหว่างเกตกับซอร์สและกระแสเดรนของพีมอสทรานซิสเตอร์จะลดลง ขณะที่แรงดันระหว่างเดรนกับซอร์สของจะเข้าใกล้ศูนย์ ในย่านนี้แรงดันเอาต์พุต จะมีค่าเกือบเท่ากับ $V_{BE,Q2}$

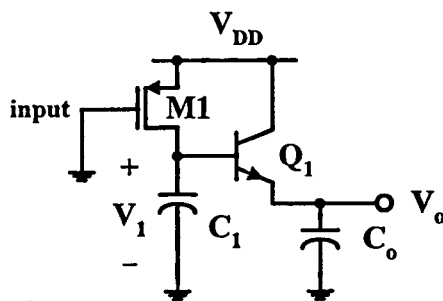
6. ย่านการทำงาน F : $V_{DD} - |V_{Tp}| < V_{in} < V_{DD} - V_{BE;on}$

ในย่านนี้จะแคบมากเนื่องจาก $|V_{Tp}|$ และ $V_{BE;on}$ จะมีค่า ใกล้เคียงกันมาก ในย่านนี้จะทำงานในช่วงเทรชโฮลล์ย่อยและกระแสเดรนของมันจะลดลงอย่างรวดเร็ว

7. ย่านการทำงาน G : $V_{in} > V_{DD} - V_{BE;on}$

ในย่านนี้ $V_{BE,Q1}$ และ $V_{BE,Q2}$ จะลดลงตามการลดลงของกระแสเทรชโฮลล์ย่อยของมอสทรานซิสเตอร์แต่ละตัวสุดท้ายแรงดันเอาต์พุตจะถูกกำหนดโดยกระแสเทรชโฮลล์ย่อยของพีมอสทรานซิสเตอร์ เมื่อ $V_{in} = 5 \text{ V}$ และ V_{DS} มีค่าเป็นศูนย์

ภาพที่ 19



แสดงการทำงานในช่วงการชาร์จประจุที่เอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติในการสวิตช์ของวงจรวงจรไบซิมอสอินเวอร์เตอร์

ข้อได้เปรียบอย่างหนึ่งของวงจรวงจรไบซิมอสเทียบกับวงจรวงจรซิมอสคือ ในเรื่องของความเร็ว เนื่องมันสามารถชาร์จและดิสชาร์จตัวเก็บประจุที่เอาต์พุตด้วยกระแสในระดับมิลลิแอมป์ ทำให้วงจรวงจรไบซิมอสมีความสามารถในการสวิตช์ที่สูง โดยที่ลักษณะในการสวิตช์ของวงจรวงจรสามารถแบ่งได้เป็น 2 ช่วงคือ ช่วงที่อินพุตเปลี่ยนสถานะจาก “1” เป็น “0” หรือเอาต์พุตเปลี่ยนสถานะจาก “0” เป็น “1” ในช่วงนี้พินมอสทรานซิสเตอร์ M1 จะเริ่ม ON ทำให้กระแสไหลไปยังเบสของ Q1 เป็นผลให้ Q1 ON และเกิดการชาร์จประจุจาก V_{DD} ไปยังเอาต์พุตของวงจรวงจรดังภาพที่ 19 โดยกำหนดให้ที่ขาเบสของ Q1 มีค่าตัวเก็บประจุเฉลี่ย C_1 และมีแรงดันตกคร่อมที่เวลาใดๆเป็น V_1 ดังนั้นเวลาที่ใช้ในการชาร์จตัวเก็บประจุ C_1 ที่เบสของ Q_1 เพื่อให้ Q_1 เริ่มทำงาน ($V_1 = V_{BE}$) จะเป็น

$$t_1 \cong \frac{C_1}{I_{D;M1}} V_{BE;on} \dots\dots\dots 7$$

ขณะที่

$$V_{BE;on} \cong 0.7 \text{ V}$$

และ

$$I_{D;M1} = \frac{\beta}{2} (V_{DD} - V_{OL} - |V_{TP}|)^2 \dots\dots\dots 8$$

ซึ่งเป็นกระแสของ M1 เมื่อ $V_{in} = V_{OL}$

หลังจาก Q1 ทำงานจะได้ว่าตัวเก็บประจุที่เอาต์พุตจะถูกชาร์จด้วยกระแสอิมิตเตอร์ดังสมการ

$$I_E = C_0 \frac{dV_o}{dt} \dots\dots\dots 9$$

$$\cong \frac{I_S}{\alpha_F} e^{V_{BE}/V_T} \dots\dots\dots 10$$

ขณะที่

$$V_{BE}(t) = V_1(t) - V_o(t) \dots\dots\dots 11$$

เนื่องจาก $V_1(t)$ ขึ้นกับอัตราการชาร์จของ C_1 เพื่อให้ง่ายในการประมาณค่าจึงกำหนดให้ I_E คงที่ และจากการอินทิเกรตสมการที่ 9 จะได้

$$t_2 = \frac{C_0}{I_E} V_t \dots\dots\dots 12$$

ขณะที่ V_t คือช่วงแรงดันในการสวิตช์ซึ่ง

โดยที่

$$V_t = V_{DD} - 2V_{BE} \dots\dots\dots 13$$

ดังนั้นเวลาในการเปลี่ยนสถานะเอาต์พุตจาก “0” เป็น “1” คือ

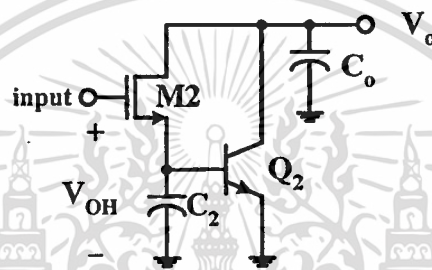
$$\begin{aligned} t_{LH} &= t_1 + t_2 \\ &\cong \frac{C_1}{I_{D;M1}} V_{BE;on} + \frac{C_0}{I_E} V_t \dots\dots\dots 14 \end{aligned}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการข้างต้น t_1 ซึ่งเป็นเวลาที่ใช้ในการชาร์จให้ Q_1 เริ่มทำงานจะมีค่าไม่มากนักเนื่องจาก C_1 จะมีค่าต่ำ และแรงดันที่ต้องการชาร์จประจุมีค่าเพียง $V_{BE,on}$ ซึ่งไม่สูงนัก ส่วน t_2 ซึ่งเป็นการชาร์จจาก Q_1 ไปยังโหลดจะเป็นปัจจัยหลักในการกำหนดเวลาในการเปลี่ยนสถานะ เนื่องจากโดยปกติกระแสอิมิตเตอร์จะมีค่าสูงถึงระดับมิลลิแอมป์ ดังนั้นถึงแม้โหลดจะมีค่าสูงแต่ก็ยังสามารถขับได้โดยใช้ไบโพลาร์ทรานซิสเตอร์เป็นตัวขับ

ภาพที่ 20



แสดงการทำงานในช่วงการดีสชาร์จประจุที่เอาต์พุต

ส่วนการทำงานอีกช่วงหนึ่งคือช่วงที่อินพุตเปลี่ยนสถานะจาก “0” ไป “1” หรือเอาต์พุตเปลี่ยนสถานะจาก “1” ไป “0” ในช่วงนี้ M_2 จะ ON ทำให้กระแสไหลไปยังเบสของ Q_2 เป็นผลให้ Q_2 ON และเกิดการดีสชาร์จจากเอาต์พุตผ่าน Q_2 ไปยังกราวด์ ซึ่งสามารถอธิบายได้จากภาพที่ 20 ทำนองเดียวกัน จะกำหนดให้ที่เบสของ Q_2 มีค่าตัวเก็บประจุเฉลี่ย C_2 และตอนแรกและตอนแรก V_o มีค่าเป็น V_{OH} ซึ่งจะได้

$$t_3 \cong \frac{C_2}{I_{D;M2}} V_{BE,on} \quad \dots\dots\dots 15$$

ขณะที่

$$I_{D;M2} = \frac{\beta_n}{2} (V_{OH} - V_{Tn})^2 \quad \dots\dots\dots 16$$

หลังจากนั้น Q_2 จะ ON แล้วเอาต์พุตจะทำการดีสชาร์จผ่าน Q_2 ไปยังกราวด์ ดังสมการ

$$I_{D;M2} + I_C = -C_{out} \frac{dV_o}{dt} \quad \dots\dots\dots 17$$

เนื่องจาก

$$I_{D;M2} = I_B = I_C / \beta_F \quad \dots\dots\dots 18$$

และสมมติให้ I_C มีค่าคงที่ จากการอินทิเกรต สมการที่ 17 จะได้

$$\frac{C_o}{I_C \left(1 + \frac{1}{\beta_F}\right)} V_t \quad \dots\dots\dots 19$$

เอกสาร ดังนั้นเวลาที่ใช้ในการเปลี่ยนสถานะจาก “1” เป็น “0” ก็สั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$t_{HL} = t_3 + t_4$$

$$\cong \frac{C_2}{I_{on}} V_{BE;on} + \frac{C_o}{I_C \left(1 + \frac{1}{\beta_F}\right)} V_t \quad \dots\dots\dots 20$$

จากการวิเคราะห์ที่ผ่านมาเป็นการสมมุติให้ไบโพลาร์ทรานซิสเตอร์ทำงานแบบเชิงเส้นเท่านั้น แต่ในทางปฏิบัติในกรณีที่ I_E มีค่ามาก ๆ เป็นไปได้ที่ Q1 และ Q2 จะทำงานแบบอิมิต์ ดังนั้นการประมาณค่าการหน่วงเวลาจึงเปลี่ยนไป ดังเช่นกรณีของ t_{LH} และในช่วงการชาร์จ Q1 จะถูกกำหนดโดยโครงสร้างแฝงของตัวต้านทานในส่วนคอลเลกเตอร์ ทำให้ t_{LH} เปลี่ยนไปเป็น

$$t_{LH} = t_1 + t_{sat} + t_5 \quad \dots\dots\dots 21$$

ขณะที่ t_{sat} เป็นเวลาที่ใช้ในการทำให้ Q1 เข้าสู่สภาวะอิมิต์ และ t_5 เป็นเวลาที่ใช้ในการชาร์จ C_o เมื่อ Q1 นำกระแสในขณะที่อยู่ในช่วงอิมิต์ การประมาณค่าโครงสร้างแฝงของตัวต้านทานในคอลเลกเตอร์ (R_C)ทำได้โดยให้ KCL จาก

$$C_o \frac{dV_o}{dt} = \frac{V_{DD} - V_{CE;sat} - V_o}{R_C} \quad \dots\dots\dots 22$$

แล้วทำการอินทิเกรตโดยใช้เงื่อนไขเริ่มต้นเป็น $V_o(0) = V_{sat}$ และ $V_o(t_5) = V_{OH}$ จะได้

$$t_5 \cong T_C \ln \left[\frac{V_{DD} - V_{CE;sat} - V_{sat}}{V_{DD} - V_{CE;sat} - V_{OH}} \right] \quad \dots\dots\dots 23$$

ขณะที่ T_C เป็นค่าคงที่ซึ่งมีค่าเป็น

$$T_C = R_C C_o \quad \dots\dots\dots 24$$

วงจรไบซีมอสคิวิตอลพื้นฐาน

นอกจากวงจรไบซีมอสอินเวอร์ตเตอร์ซึ่งได้กล่าวมาแล้วในหัวข้อที่ผ่านมา ยังมีวงจรอื่น ๆ ที่ได้มีการนำเสนอมาแล้ว เช่นวงจรไบซีมอสแนกเกท วงจรไบซีมอสสอร์เกท และวงจรไบซีมอสไครเซตท เนื่องจากได้มีการเสนอกันอย่างกว้างขวางวงจรก็ยังมีขอเสียบางประการ ซึ่งก็ได้ถูกปรับปรุงขึ้นมาเป็นลำดับดังที่กล่าวมาแล้ว ขณะที่บางวงจรอาจไม่เป็นที่ยอมรับกันโดยทั่วไป ดังนั้นในหัวข้อนี้จึงกล่าวถึงเฉพาะวงจรไบซีมอสแบบธรรมดา ซึ่งถือได้ว่าเป็นวงจรมาตรฐานของวงจรไบซีมอสและเป็นที่ยอมรับกันโดยทั่วไป โดยที่จะแสดงถึงลักษณะของวงจรพร้อมทั้งอธิบายถึงหลักการการทำงานของแต่ละวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

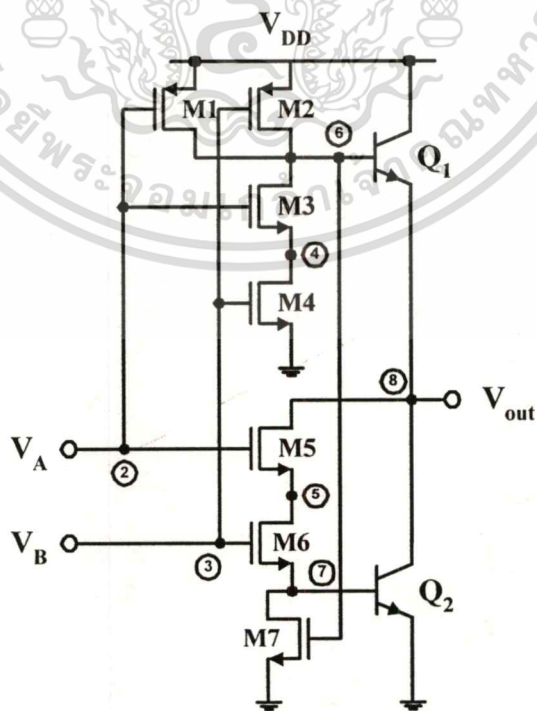
วงจรมอสแบบ

ตารางที่ 1

A	B	\overline{AB}
0	0	1
0	1	1
1	0	1
1	1	0

ตารางที่ 1 แสดงตารางความจริงของวงจรมอสแบบ

ภาพที่ 21



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้แสดงวงจรมอสแบบ กรุณาอย่าให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจรวางไมซ์มอสแนกเขตดังภาพที่ 21 จะทำงานคล้ายกับวงจรวจรอินเวอร์ตเตอร์ดังภาพที่ 17 ซึ่งได้กล่าวไปแล้ว โดยสามารถแบ่งหน้าที่การทำงานของวงจรรวมได้เป็น 2 ส่วนคือ ส่วนของมอสทรานซิสเตอร์ที่ทำหน้าที่กำหนดสถานะและส่วนของไบโพลาร์ทรานซิสเตอร์ที่ทำหน้าที่ในการขับวงจรวจร โดยทั่วไปวงจรวจรแนกเขตสามารถแบ่งการทำงานได้เป็น 4 แบบ ดังตารางความจริงในตารางที่ 1

1. แบบแรก : A และ B มีลักษณะเป็น “0” ทั้งคู่

เอ็นมอสทรานซิสเตอร์ M5 และ M6 OFF ทำให้ไม่มีกระแสไหลไปยังขาเบสของไบโพลาร์ทรานซิสเตอร์ Q2 ดังนั้น Q2 จะอยู่ในสถานะ OFF ทำนองเดียวกัน เอ็นมอสทรานซิสเตอร์ M3 และ M4 ก็อยู่ในสถานะ OFF เช่นกัน แต่พีมอสทรานซิสเตอร์ M1 และ M2 จะอยู่ในสถานะ ON ทำให้เกิดกระแสไหลจาก V_{DD} ผ่าน M1 และ M2 ไปยังขาเบสของไบโพลาร์ทรานซิสเตอร์ Q1 ดังนั้น Q1 จะ ON เป็นผลให้เกิดกระแสไหลจากขั้วคอลเลกเตอร์ซึ่งต่อกับ VDD ไปยังขั้วอิมิตอร์ซึ่งต่อกับ เอาต์พุต ทำให้เอาต์พุตมีสถานะเป็น “1” ขณะที่ M7 อยู่ในสถานะ ON เช่นกัน และทำหน้าที่ในการคิซซาร์จประจุที่ขาเบสของ Q2 ลงกราวด์

2. แบบที่ 2 : A มีสถานะเป็น “0” ขณะที่ B มีสถานะ เป็น “1”

เอ็นมอสทรานซิสเตอร์ M5 จะ ON แต่ก็ยังไม่มีการไหลไปยังขาเบสของ Q2 เนื่องจาก M6 OFF ทำนองเดียวกัน M3 ON แต่ M4 OFF ส่วนพีมอสทรานซิสเตอร์ M1 ON ขณะที่ M2 OFF ดังนั้นกระแสสามารถไหลผ่าน M1 ไปยังขาเบสของ Q1 ทำให้ Q1 ON เป็นผลให้เกิดกระแสไหลจาก V_{DD} ผ่าน Q1 ไปยังเอาต์พุต ทำให้เอาต์พุตมีสถานะ เป็น “1” ขณะที่ M7 ยังคง ON อยู่ และทำหน้าที่ในการคิซซาร์จประจุที่เบสของ Q2 ลงกราวด์

3. แบบที่ 3 : A มีสถานะเป็น “1” ขณะที่ B มีสถานะเป็น “0”

การทำงานในแบบนี้จะมีลักษณะการทำงานเหมือนกับในแบบที่ 2 เพียงแตกต่างกันที่ เปลี่ยน M1 เป็น M2 จาก M3 เป็น M4 และ M5 เป็น M6 ส่วน M7 จะยังคงเหมือนเดิม

4. แบบที่ 4 : A และ B อยู่ในสถานะ “1” ทั้งคู่

พีมอสทรานซิสเตอร์ M1 และ M2 จะ OFF ทำให้ไม่มีกระแสไหลไปยังขาเบสของ Q1 ทำให้ Q1 OFF ขณะที่เอ็นมอสทรานซิสเตอร์ M3 และ M4 จะ ON และทำหน้าที่เป็นตัวคิซซาร์จประจุที่ขาเบสของ Q1 ลงกราวด์ ส่วน M7 จะ OFF เนื่องจากเบสของ Q1 ซึ่งเป็นขาเกตของ M7 มีสถานะเป็น “0” เพราะถูกต่อลงกราวด์ผ่าน M3 และ M4 ขณะเดียวกัน M5 และ อยู่ในสถานะ ON ทำให้เกิดกระแสไหลจากเอาต์พุตผ่าน M5 และ M6 ไปยังขาเบสของ Q2 เป็นผลให้ Q2 ON และเอาต์พุตถูกต่อลงกราวด์คือมีสถานะเป็น “0”

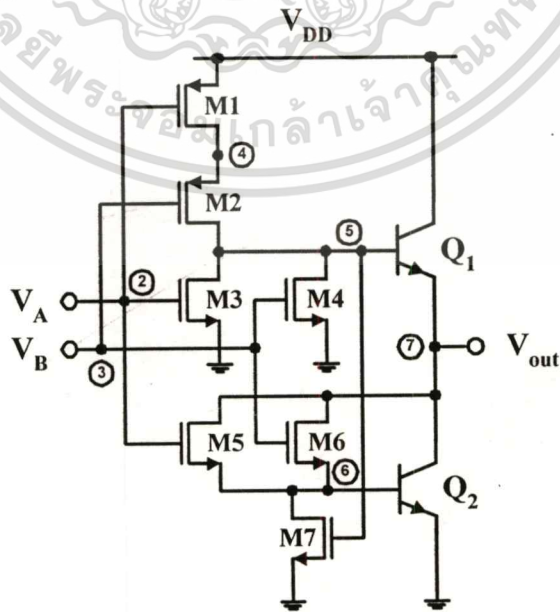
วงจรวอร์มอสเฟต

ตารางที่ 2

A	B	$\overline{A+B}$
0	0	1
0	1	0
1	0	0
1	1	0

ตารางที่ 2 แสดงตารางความจริงของวงจรวอร์มอสเฟต

ภาพที่ 22



แสดงวงจรวอร์มอสเฟต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจรมอสเนนเกดภาพที่ 22 จะมีการทำงานทำนองเดียวกับวงจรมอสเนนเกดภาพที่ 21 และสามารถแบ่งการทำงานได้เป็น 4 แบบ ดังตารางความจริงในตารางที่ 2

1. แบบแรก : A และ B มีสถานะเป็น "0" ทั้งคู่

เอ็นมอสทรานซิสเตอร์ M5 และ M6 จะ OFF ทำให้ไม่มีกระแสจ่ายไปยังขาเบสของไบโพลาร์ทรานซิสเตอร์ Q2 ดังนั้น Q2 จะอยู่ในสถานะ OFF ทำนองเดียวกันเอ็นมอสทรานซิสเตอร์ M3 และ M4 ก็อยู่ในสถานะ OFF เช่นกัน แต่พีมอสทรานซิสเตอร์ M1 และ M2 จะอยู่ในสถานะ ON ทั้งคู่ทำให้เกิดกระแสไหลจาก V ผ่าน M1 และ M2 ไปยังขาเบสของไบโพลาร์ทรานซิสเตอร์ Q1 ดังนั้น Q1 จะ ON เป็นผลให้เกิดกระแสไหลจากขั้วคอลเลคเตอร์ซึ่งต่อกับ V ไปยังขั้วอิมิตอร์ซึ่งต่อกับเอาต์พุต ทำให้เอาต์พุตมีสถานะเป็น 1 ขณะที่ M7 อยู่ในสถานะ ON และทำหน้าที่ในการดิสชาร์จประจุที่ขาเบสของ Q2 ลงกราวด์

2. แบบที่ 2 : A มีสถานะเป็น "0" ขณะที่ B มีสถานะเป็น "1"

พีมอสทรานซิสเตอร์ M1 จะ ON ขณะที่ M2 OFF ทำให้กระแสไม่สามารถไหลไปยังขาเบสของ Q1 OFF ส่วนเอ็นมอสทรานซิสเตอร์ M3 จะ OFF แต่ M4 จะ ON ทำให้ประจุที่ขาเบสของ Q1 สามารถดิสชาร์จลงกราวด์ได้ ทำให้ M7 OFF ขณะเดียวกัน M5 จะ OFF ขณะที่ M6 ON ทำให้เกิดกระแสไหลจากเอาต์พุตผ่าน M6 ไปยังขาเบสของ Q2 เป็นผลให้ Q2 ON และกระแสจากขั้วคอลเลคเตอร์ซึ่งต่อกับเอาต์พุตจะถูกดิสชาร์จผ่านไปยังขั้วอิมิตอร์ซึ่งต่อลงกราวด์ ดังนั้นเอาต์พุตมีสถานะเป็น "0"

3. แบบที่ 3 : A มีสถานะเป็น "1" ขณะที่ B มีสถานะเป็น "0"

การทำงานในแบบนี้จะมีลักษณะการทำงานเหมือนกับในแบบที่ 2 เพียงแตกต่างกันที่เปลี่ยน M1 เป็น M2 จาก M3 เป็น M4 และ M5 เป็น M6 ส่วน M7 จะยังคงเดิม

4. แบบที่ 4 A และ B อยู่ในสถานะ "1" ทั้งคู่

พีมอสทรานซิสเตอร์ M1 และ M2 OFF ทำให้ไม่มีกระแสไหลไปยังขาเบสของ Q1 ได้ เป็นผลให้ Q1 OFF ส่วนเอ็นมอสทรานซิสเตอร์ M3 และ M4 จะ ON และทำหน้าที่เป็นตัวดิสชาร์จประจุที่ขาเบสของ Q1 ลงกราวด์ ส่วน M7 จะ OFF เนื่องจากเบสของ Q1 ซึ่งเป็นขาเกตของ M7 มีสถานะเป็น 0 ขณะเดียวกัน M5 และ M6 จะ ON ทำให้กระแสสามารถไหลผ่าน M5 หรือ M6 ไปยังขาเบสของ Q2 เป็นผลให้ Q2 ON และเอาต์พุตจะถูกดิสชาร์จผ่าน Q2 ลงกราวด์ ดังนั้นเอาต์พุตจึงมีสถานะเป็น "0"

เทคนิคการออกแบบวงจรไบซิมอส

โดยทั่วไปในการออกแบบวงจรให้มีประสิทธิภาพสูงจะต้องคำนึงถึงปัจจัยหลัก ๆ 2 อย่าง คือ ผลจากพารามิเตอร์ของอุปกรณ์ และจากการเลือกอุปกรณ์ที่เหมาะสมแต่ละตัวเพื่อมาประกอบเป็นวงจร

ในวงจรไบซิมอสพื้นฐานสามารถแบ่งหน้าที่ของอุปกรณ์แต่ละตัวออกได้เป็น 3 ส่วนคือ

1. ส่วนของไบโพลาร์ทรานซิสเตอร์ที่ทำหน้าที่ในการขับวงจร
2. ส่วนของมอสทรานซิสเตอร์ที่ทำหน้าที่เป็นส่วนอินพุต
3. ส่วนของมอสทรานซิสเตอร์ที่ทำหน้าที่ที่คายประจุ

ส่วนของไบโพลาร์ทรานซิสเตอร์ที่ทำหน้าที่ในการขับวงจร

ปัจจัยสำคัญอย่างหนึ่งในการออกแบบส่วนที่ทำหน้าที่ในการขับวงจรไบซิมอสคือ การเลือกพื้นที่ของอิมิเตอร์เพื่อควบคุมระดับกระแสคอลเลคเตอร์ ถ้ากระแสคอลเลคเตอร์มีค่ามากเกินไป อาจทำให้อัตราขยายกระแส (β) มีค่าลดลงและการหน่วงเวลาของวงจรมีค่าเพิ่มขึ้น ซึ่งไม่เป็นผลดีต่อวงจรโดยที่การหน่วงเวลาของวงจรจะแปรผกผันกับพื้นที่ของส่วนอิมิเตอร์ ดังสมการ

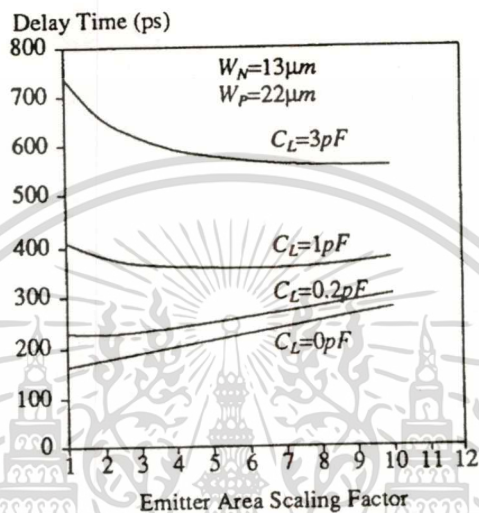
$$t_d \propto \frac{1}{\sqrt{A_E}} \quad \dots\dots\dots 25$$

ซึ่งหมายความว่า การเพิ่มพื้นที่ส่วนอิมิเตอร์จะมีผลโดยตรงต่อการปรับปรุงการหน่วงเวลาของวงจร เพื่อให้สามารถใช้งานได้ดีกับโหลดที่มีค่าความจุไฟฟ้าสูงๆ แต่ที่จริงแล้วไม่เป็นเช่นนั้น เนื่องจากในกรณีที่โหลดมีค่าความจุไฟฟ้าสูงๆ การหน่วงเวลาของวงจรจะลดลงได้เพียงระดับหนึ่งเท่านั้นแล้วจะไม่ลดลงอีก ถึงแม้จะเพิ่มพื้นที่ของส่วนอิมิเตอร์ขึ้นอีกก็ตาม เนื่องจากการเพิ่มพื้นที่ของส่วนอิมิเตอร์ก็จะเป็นการไปเพิ่มค่าโครงสร้างแฝงของตัวเก็บประจุด้วย เมื่อถึงจุดๆ หนึ่งค่าตัวเก็บประจุในโครงสร้างแฝงที่เกิดขึ้นนี้จะเป็ปัจจัยหลักในการกำหนดค่าตัวเก็บประจุที่เอาต์พุตของวงจร ซึ่งเหมือนกับตัวเก็บประจุที่เอาต์พุตเพิ่มขึ้น ทำให้ค่าการหน่วงเวลาของวงจรเพิ่มขึ้นอีก ดังนั้นในกรณีที่โหลดมีค่าความจุไฟฟ้าน้อยๆ การเพิ่มพื้นที่ของส่วนอิมิเตอร์ก็กลับทำให้การหน่วงเวลาของวงจรเพิ่มขึ้น ดังเหตุผลที่กล่าวมาแล้ว เช่น ในกรณีของ $C_L = 0.2 \text{ pF}$ ดังภาพที่ 23

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 23



แสดงการหน่วงเวลาของไบซีมอสเนื่องจากพื้นที่ของอิมิตอร์

ส่วนมอสทรานซิสเตอร์ที่ทำหน้าที่เป็นส่วนอินพุต

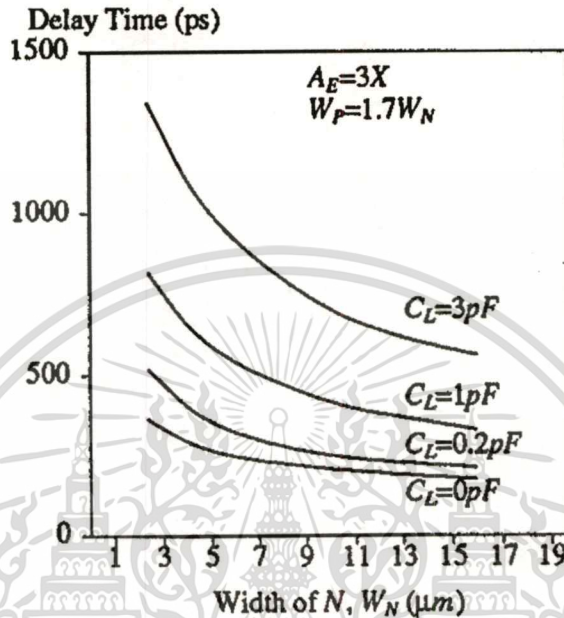
การหน่วงเวลาของวงจรไบซีมอสอินเวอร์ตเตอร์โดยปกติจะลดลงตามการเพิ่มขนาดของอุปกรณ์ในส่วนอินพุตดังตัวอย่างในภาพที่ 24 ซึ่งเป็นไปตามสมการ

$$t_d \propto \frac{1}{\sqrt{W}} \quad \dots\dots\dots 26$$

ขณะที่ W เป็นความกว้างของช่องทางเดินกระแสของพิมอสและเอ็นมอสทรานซิสเตอร์ ถ้าค่าความจุไฟฟ้าที่ไหลมีค่าต่ำ ๆ โครงสร้างแผ่นของตัวเก็บประจุของมอสทรานซิสเตอร์จะเป็นปัจจัยหลักที่กำหนดค่าตัวเก็บประจุสุทธิที่เอาต์พุตของวงจร ดังนั้นการเพิ่มค่า W จึงมีผลต่อการหน่วงเวลาของวงจรไม่มากนัก แต่ในกรณีที่ค่าความจุไฟฟ้าที่ไหลมีค่าสูงๆ การเพิ่มขนาดของ W ซึ่งทำให้ค่า I_{DS} เพิ่มขึ้นเป็นผลให้การหน่วงเวลาของวงจรลดลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 24



แสดงการหน่วงเวลาของวงจรไบซีมอส เนื่องจากขนาดมอสทรานซิสเตอร์ในส่วนอินพุต

ส่วนของมอสทรานซิสเตอร์ที่ทำหน้าที่คายประจุ

จากวงจรไบซีมอสอินเวอร์เตอร์ดังภาพที่ 17 ส่วนของอุปกรณ์ที่ทำหน้าที่ดิสชาร์จประจุที่ขาเบสของไบโพลาร์ทรานซิสเตอร์แต่ละตัว โดยหลักการแล้วยังมีขนาดใหญ่ จะยังทำให้ไบโพลาร์ทรานซิสเตอร์สามารถคายประจุได้ง่ายทำให้ใช้เวลาในการ OFF ได้น้อยลง แต่ที่จริงแล้วในทางปฏิบัติจะเลือกให้มอสทรานซิสเตอร์มีค่าไม่ใหญ่นัก เนื่องจากสิ้นเปลืองเนื้อที่ในการออกแบบ ดังนั้นจึงออกแบบให้มีขนาดไม่ใหญ่นัก แต่เพียงพอที่จะดิสชาร์จประจุเท่านั้น

บทที่ 4

วงจรถิจริตอลที่ออกแบบใหม่

จากวงจรถิจริตอลพื้นฐานที่ได้กล่าวมาแล้วนั้นถึงแม้ว่าเป็นวงจรถิจริตอลซึ่งยอมรับกันโดยทั่วไปในแง่ของวงจรถิจริตอลที่มีความเร็วสูง และมีการสูญเสียกำลังต่ำ แต่วงจรถิจริตอลดังกล่าวก็ยังมีข้อเสียบางประการ ในเรื่องความสามารถในการสวิงของระดับสัญญาณที่เอาต์พุตดังเห็นได้จากภาพที่ 18 เมื่อสถานะของสัญญาณที่เอาต์พุตเป็น "1" วงจรถิจริตอลแบบธรรมดาจะมีค่าประมาณ 4.6 V ที่ $V_{DD} = 5\text{ V}$ ดังได้กล่าวมาแล้วและค่อยๆ ลดลงเป็น $V_{DD} - V_{BE,on}$ ทำนองเดียวกันเมื่อสถานะของสัญญาณเอาต์พุตเป็น "0" ก็จะมีค่าประมาณ $V_{BE,on}$ ซึ่งหมายความว่าเอาต์พุตของวงจรถิจริตอลไม่สามารถสวิงได้ตลอดช่วง คือจาก V_{DD} ถึงกราวด์ดังเช่นวงจรถิจริตอลในตระกูลซีมอส จึงได้มีการพยายามเสนอวงจรถิจริตอลเพื่อปรับปรุงปัญหาค้นอย่างมากมาย เทคนิคหนึ่งที่ได้มีการเสนอคือการใช้วงจรถิจริตอล R-type โดยใช้หลักการเดียวกับวงจรถิจริตอลในภาพที่ 16 อย่างไรก็ตามถึงแม้วงจรถิจริตอลนี้จะมีข้อดีในแง่ของช่วงการสวิงแต่เทคนิคนี้ยังมีข้อเสียในแง่ความสามารถในการขับ เนื่องจากตัวต้านทาน Z_{22} และ Z_{22} จะไปลดกระแสที่ไปทำการขับเบสและมีการสูญเสียกำลังมาก วงจรถิจริตอลนี้จึงไม่เป็นที่ยอมรับนัก จึงได้มีการพยายามเสนอวงจรถิจริตอลต่าง เพื่อปรับปรุงประสิทธิภาพของวงจรถิจริตอล จนถึงปัจจุบันจากการค้นคว้าและวิจัยพบว่า ยังมีวงจรถิจริตอลพื้นฐานอีกมากมายที่ยังไม่ถูกนำมาวิจัย เช่นวงจรถิจริตอลแอนเกทวงจรถิจริตอลออร์เกทและวงจรถิจริตอลทริกเกอร์ซึ่งจะได้มีการกล่าวถึงในบทนี้ รวมทั้งการปรับปรุงวงจรถิจริตอลพื้นฐานที่มีอยู่ให้มีประสิทธิภาพดีขึ้น

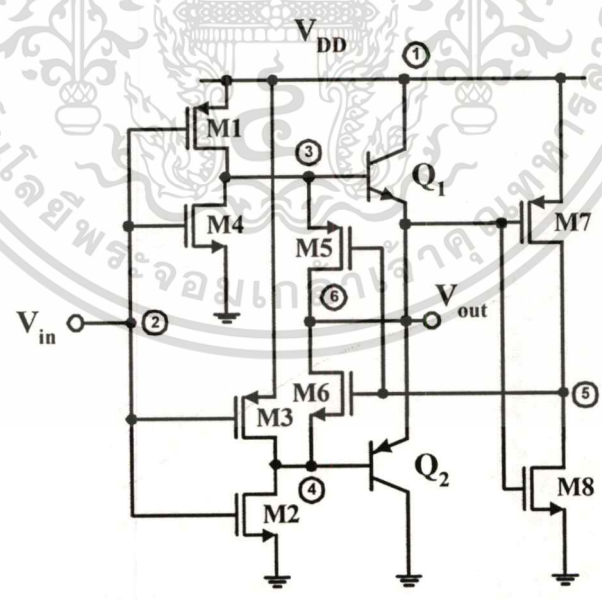
วงจรถิจริตอลที่เสนอในงานวิจัยฉบับนี้จะใช้วงจรถิจริตอลแบบคู่ควบ คือจะทำการขับวงจรถิจริตอลด้วยไบโพลาร์ทรานซิสเตอร์ชนิด NPN และ PNP ซึ่งไบโพลาร์ทรานซิสเตอร์แต่ละตัวจะทำงานสลับกัน ทำให้มีข้อดีกว่าคือสามารถออกแบบให้คุณสมบัติการถ่ายโอนสัญญาณในสถานะ "0" และ "1" เป็นแบบสมมาตรกัน ซึ่งวงจรถิจริตอลแบบธรรมดาในภาพที่ 17 ไม่สามารถทำได้ นอกจากนี้ ยังมีการปรับปรุงวงจรถิจริตอลให้เอาต์พุตสามารถมีระดับสัญญาณสวิงได้ตลอดช่วงแรงดันเช่นเดียวกับวงจรถิจริตอลซีมอส แต่ยังคงมีความสามารถในการขับและมีความสามารถในการใช้งานกับวงจรถิจริตอลที่มีความเร็วสูงกว่าวงจรถิจริตอลซีมอส

ตารางที่ 3

input	output
0	1
1	0

ตารางที่ 5 แสดงตารางความจริงของวงจรรีจิสเตอร์

ภาพที่ 25



แสดงวงจรไบซีมอสอินเวอร์ตเตอร์แบบใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรวงจรไบซีมอสอินเวอร์เตอร์

ในการศึกษาวงจรดิจิทัล วงจรอินเวอร์เตอร์นับได้ว่าเป็นวงจรดิจิทัลพื้นฐานตัวแรกที่มีความสำคัญเป็นอย่างมาก อีกทั้งเป็นวงจรที่สามารถนำไปใช้งานร่วมกับวงจรอื่นมากที่สุดวงจรหนึ่ง วงจรอินเวอร์เตอร์เป็นวงจรที่มีอินพุตเพียงขาเดียว และเอาต์พุตจะมีสถานะตรงข้ามกับอินพุต ความสัมพันธ์ระหว่างระดับสัญญาณอินพุตกับเอาต์พุตของวงจร สามารถแสดงได้ดังตารางที่ 4 สำหรับแนวความคิดในการพัฒนาจากวงจรมอสจามาเป็นวงจรวงจรไบซีมอสได้กล่าวมาแล้วใน ส่วนในหัวข้อนี้จะเสนอและอธิบายถึงการทำงานของวงจรวงจรไบซีมอสอินเวอร์เตอร์แบบใหม่ ซึ่งจะใช้เทคนิคการขับวงจรวงจรแบบคู่ควบของไบโพลาร์ทรานซิสเตอร์ชนิด NPN และ PNP ดังภาพที่ 25 การทำงานของวงจรวงจรสามารถแบ่งได้เป็น 3 ส่วน

1. ส่วนแรก คือส่วนที่ทำหน้าที่ควบคุมระดับสัญญาณ

ในส่วนนี้จะประกอบด้วยมอสทรานซิสเตอร์ M1, M2, M3 และ M4 โดยที่ทรานซิสเตอร์ทั้ง 4 ตัวนี้ จะเป็นตัวกำหนดระดับสัญญาณของวงจรวงจร เพื่อจะไปควบคุมวงจรวงจรขับอีกทีหนึ่งจะให้ทรานซิสเตอร์ใดทำงานและไม่ทำงาน มอสทรานซิสเตอร์ M1 และ M4 จะทำหน้าที่ไปควบคุมไบโพลาร์ทรานซิสเตอร์ Q1 ส่วนมอสทรานซิสเตอร์ M2 กับ M3 จะทำหน้าที่ควบคุมไบโพลาร์ทรานซิสเตอร์ Q2 โดยที่พีมอสทรานซิสเตอร์ M1 จะทำหน้าที่ควบคุมกระแสเบสของ Q1 ซึ่งเป็นไบโพลาร์ทรานซิสเตอร์ชนิด NPN และเอ็นมอสทรานซิสเตอร์ M2 จะทำหน้าที่ควบคุมกระแสเบสของ Q2 ซึ่งเป็นไบโพลาร์ทรานซิสเตอร์ชนิด PNP ส่วนมอสทรานซิสเตอร์ M4 จะทำหน้าที่ดิสชาร์จประจุที่เบสของไบโพลาร์ทรานซิสเตอร์ Q1 และมอสทรานซิสเตอร์ M4 จะทำหน้าที่ในการดิสชาร์จประจุที่เบสของไบโพลาร์ทรานซิสเตอร์ Q2 ในขณะที่ Q1 และ Q2 ไม่ทำงานเพื่อลดปัญหาการหน่วงเวลาของวงจรวงจร

2. ส่วนที่สอง คือส่วนที่ทำหน้าที่ในการขับวงจรวงจร

ในส่วนนี้จะประกอบด้วยไบโพลาร์ทรานซิสเตอร์แบบคู่ควบ Q1 และ Q2 ซึ่งมีความสามารถในการขับวงจรวงจรสูงกว่ามอสทรานซิสเตอร์มาก เนื่องจากไบโพลาร์ทรานซิสเตอร์มีความสามารถขับวงจรวงจรได้ด้วยกระแสสูงถึงระดับมิลลิแอมป์ ซึ่งจะช่วยลดการหน่วงเวลาของวงจรวงจร เมื่อนำไปใช้กับวงจรวงจรที่มีโหลดคาปาซิแตนซ์สูงๆ โดยที่ทรานซิสเตอร์ Q1 และ Q2 จะถูกควบคุมด้วยทรานซิสเตอร์ M1, M2, M3 และ M4 ดังได้กล่าวมาแล้ว ในการออกแบบจะทำการออกแบบให้ Q1 และ Q2 ทำงานสลับกันไป คือจะออกแบบให้ทรานซิสเตอร์ Q1 ทำงานในช่วงที่ต้องการให้เอาต์พุตมีสถานะเป็น "1" ขณะที่ทรานซิสเตอร์ Q2 ไม่ทำงาน และทรานซิสเตอร์ Q2 จะทำงาน

ในช่วงที่ต้องการให้เอาต์พุตมีสถานะเป็น "0" ขณะที่ทรานซิสเตอร์ Q1 ไม่ทำงาน ประโยชน์ด้านการค้า

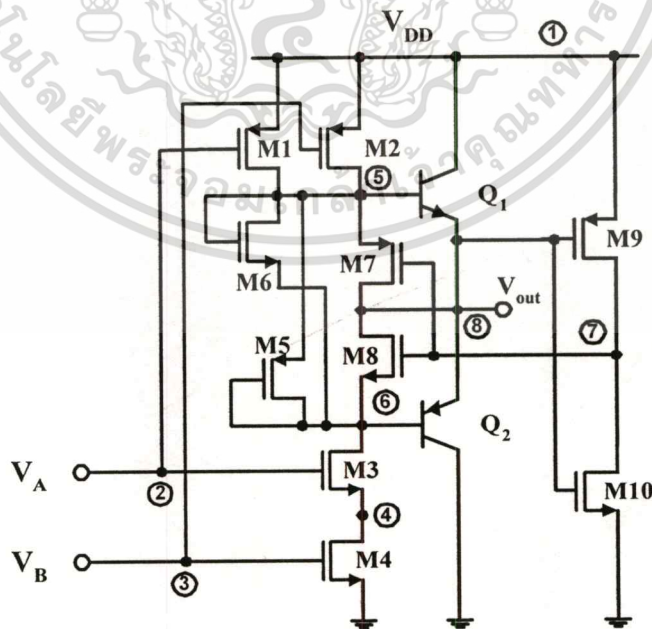
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ส่วนที่สาม คือส่วนที่ทำให้วงจรสามารถสวิงได้ตลอดช่วงสัญญาณ

ในส่วนนี้จะประกอบด้วยมอสทรานซิสเตอร์ M5 M6 M7 และ M8 มอสทรานซิสเตอร์ M5 และ M6 จะทำให้อาต์พุตสามารถมีระดับสัญญาณสวิงได้ตลอดช่วงแรงดันเช่นเดียวกับวงจรซีมอส โดยที่พีมอสทรานซิสเตอร์ M5 จะทำให้อาต์พุตสามารถสวิงได้ถึงระดับแรงดัน V_{DD} ขณะที่เอ็นมอสทรานซิสเตอร์ M6 จะทำให้อาต์พุตสามารถสวิงได้ถึงระดับแรงดันที่ศูนย์ หรือกราวด์ ส่วนมอสทรานซิสเตอร์ M7 และ M8 จะเป็นวงจรป้อนกลับเพื่อไปควบคุมมอสทรานซิสเตอร์ M5 และ M6 ไม่ให้ทรานซิสเตอร์ทั้งสองทำงานตลอดเวลา โดยจะให้มอสทรานซิสเตอร์ M5 ทำงานเมื่อแรงดันเอาต์พุตเพิ่มขึ้นจนเข้าใกล้ระดับแรงดัน V_{DD} ขณะที่มอสทรานซิสเตอร์ M6 จะทำงานในช่วงที่แรงดันเอาต์พุตลดลงจนเข้าใกล้ศูนย์หรือกราวด์ ซึ่งวิธีการนี้จะสามารถลดการสูญเสียกำลังของวงจรได้

วงจรไบซีมอสแนนเกท

ภาพที่ 26



แสดงวงจรไบซีมอสแนนเกทแบบใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรไบซีมอสแนบเกทเป็นวงจรดิจิทัลพื้นฐานชนิดสองอินพุตที่สำคัญวงจรหนึ่ง ซึ่งจะมีลักษณะคล้ายกับวงจรไบซีมอสอินเวอร์ตเตอร์ที่กล่าวมาแล้ว ต่างกันที่จะต่อพืมอสทรานซิสเตอร์ M1 และ M2 ขนานกันระหว่างขาเบสของเป็นไบโพลาร์ทรานซิสเตอร์ชนิด NPN กับแหล่งจ่ายแรงดัน V_{DD} และต่อเอ็นมอสทรานซิสเตอร์ M3 และ M4 อนุกรมระหว่างขาเบสของไบโพลาร์ทรานซิสเตอร์ชนิด PNP กับกราวด์ โดยมีพืมอสทรานซิสเตอร์ M5 และเอ็นมอสทรานซิสเตอร์ M6 ต่อระหว่างขาเบสของไบโพลาร์ทรานซิสเตอร์ทั้งสอง เพื่อทำหน้าที่ดิสชาร์จพาหะที่ตกค้างที่ขาเบสขณะไม่ทำงาน และส่วนทำให้วงจรสามารถสวิงได้ตลอดช่วงแรงดันจะยังคงเหมือนกับวงจรไบซีมอสอินเวอร์ตเตอร์ ดังภาพที่ 26 ซึ่งสามารถแบ่งการทำงานออกได้เป็น 4 แบบ

1. แบบแรก : A และ B มีลักษณะเป็น “0” ทั้งคู่

เอ็นมอสทรานซิสเตอร์ M3 และ M4 จะอยู่ในสถานะ OFF ทั้งคู่ ทำให้ไม่มีกระแสจ่ายไปยังขาเบสของไบโพลาร์ทรานซิสเตอร์ Q2 ดังนั้น Q2 จะอยู่ในสถานะ OFF ขณะเดียวกันพืมอสทรานซิสเตอร์ M1 และ M2 อยู่ในสถานะ ON ทำให้เกิดกระแสไหลจาก V_{DD} ผ่าน M1 และ M2 ไปยังขาเบสของไบโพลาร์ทรานซิสเตอร์ Q1 ดังนั้น Q1 จะ ON เป็นผลให้เกิดกระแสไหลจากขั้วคอลเลคเตอร์ซึ่งต่อกับ V_{DD} ไปยังขั้วอิมิตเตอร์ซึ่งต่อกับเอาต์พุต ทำให้เอาต์พุตมีสถานะเป็น “1” และเมื่อเอาต์พุตเพิ่มขึ้นถึงค่าๆ หนึ่ง เอ็นมอสทรานซิสเตอร์ M10 ON ขณะที่พืมอสทรานซิสเตอร์ M9 OFF และทำการป้อนกลับผ่านอินเวอร์ตเตอร์ M7 และ M8 ไปยังเอาต์พุตของวงจร ทำให้ M7 ON และเกิดทางเดินกระแสจาก V_{DD} ผ่าน M1 M2 และ M7 ไปยังเอาต์โดยตรง จึงทำให้เอาต์พุตสามารถเพิ่มขึ้นจนถึง V_{DD} ได้

2. แบบที่ 2 : A มีสถานะเป็น “0” ขณะที่ B มีสถานะ เป็น “1”

เอ็นมอสทรานซิสเตอร์ M3 จะ ON แต่ M4 จะยังคง OFF อยู่ ทำให้ไม่มีกระแสไหลไปยังขาเบสของ Q2 ดังนั้น Q2 จึงอยู่ในสถานะ OFF ขณะเดียวกันพืมอสทรานซิสเตอร์ M2 OFF แต่ M1 จะยังคง ON อยู่ ทำให้เกิดกระแสไหลจาก V_{DD} ผ่าน M1 ไปยังขาเบสของไบโพลาร์ทรานซิสเตอร์ Q1 ดังนั้น Q1 จะ ON เป็นผลให้เกิดกระแสไหลจากขั้วคอลเลคเตอร์ซึ่งต่อกับ V_{DD} ไปยังขั้วอิมิตเตอร์ซึ่งต่อกับเอาต์พุต ทำให้เอาต์พุตมีสถานะเป็น “1” และเมื่อเอาต์พุตเพิ่มขึ้นถึงค่าๆ หนึ่ง เอ็นมอสทรานซิสเตอร์ M10 ON ขณะที่ M9 OFF และทำการป้อนกลับผ่านอินเวอร์ตเตอร์ M7 และ M8 ไปยังเอาต์พุตของวงจร ทำให้ M7 ON และเกิดทางเดินกระแสจาก V_{DD} ผ่าน M1 M2 และ M7 ไปยังเอาต์โดยตรง จึงทำให้เอาต์พุตสามารถเพิ่มขึ้นจนถึง V_{DD} ได้

3. แบบที่ 3 : A มีสถานะเป็น “1” ขณะที่ B มีสถานะเป็น “0”

การทำงานในแบบนี้จะมีลักษณะการทำงานเหมือนกับในแบบที่ 2 เพียงแตกต่างกันที่ เปลี่ยน

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี ห้ามเผยแพร่โดยไม่ได้รับอนุญาต

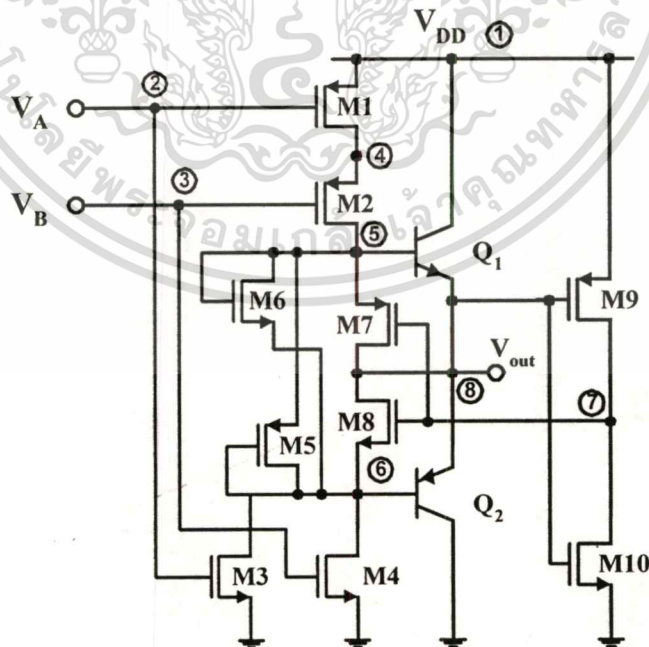
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. แบบที่ 4 : A และ B อยู่ในสถานะ “1” ทั้งคู่

พืมอสทรานซิสเตอร์ M1 และ M2 จะ OFF ทั้งคู่ ทำให้ไม่มีกระแสไหลไปยังขาเบสของ Q1 ทำให้ Q1 OFF ขณะที่เอ็นมอสทรานซิสเตอร์ M3 และ M4 ON พร้อมกัน ทำให้ขาเบสของทรานซิสเตอร์ Q2 ถูกต่อลงกราวด์ เป็นการไบอัสที่ขาเบสของ Q2 ทำให้ Q2 ON และเกิดกระแสดิซาร์จจากเอาต์พุตผ่าน Q2 ไปยังกราวด์ ดังนั้นเอาต์พุตจึงมีสถานะเป็น “0” และเมื่อเอาต์พุตลดลงถึงค่าๆ หนึ่ง พืมอสทรานซิสเตอร์ M9 จะ ON ขณะที่ M10 OFF และทำการป้อนกลับผ่านอินเวอร์ตเตอร์ M7 และ M8 ไปยังเอาต์พุตของวงจร ทำให้ M8 ON และเกิดทางเดินกระแสจากเอาต์พุตผ่าน M8 ไปยัง M3 และ M4 ลงกราวด์ จึงทำให้เอาต์พุตสามารถลดลงจนมีค่าเป็นศูนย์ได้

วงจร ไบซิมอสนอร์เกท

ภาพที่ 27



แสดงวงจรไบซิมอสนอร์เกทแบบใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการทำงานเกี่ยวกับวงจรไบซีมอสแนกเป็นวงจรเกทพื้นฐานชนิดสองอินพุตที่สำคัญวงจรหนึ่ง ซึ่งสามารถสร้างได้จากวงจรที่มีลักษณะคล้ายคลึงกับวงจรไบซีมอสแนก แตกต่างกันที่จะต่อพีทรานซิสเตอร์ M1 และ M2 อนุกรมระหว่างขาเบสของทรานซิสเตอร์ Q1 ซึ่งเป็นไบโพลาร์ทรานซิสเตอร์ชนิด NPN กับแหล่งจ่ายแรงดัน V_{DD} และต่อเอ็นมอสทรานซิสเตอร์ M3 และ M4 ขนานระหว่างขาเบสของทรานซิสเตอร์ Q2 ซึ่งเป็นไบโพลาร์ทรานซิสเตอร์ชนิด PNP กับกราวด์ โดยมีพีมอสทรานซิสเตอร์ M5 และเอ็นมอสทรานซิสเตอร์ M6 ต่อระหว่างขาเบสของไบโพลาร์ทรานซิสเตอร์ทั้งสอง เพื่อทำหน้าที่คิซซาร์จพาหะที่ตกค้างที่ขาเบสของไบโพลาร์ทรานซิสเตอร์ขณะไม่ทำงาน และส่วนทำให้วงจรสามารถสวิงได้ตลอดช่วงแรงดันจะยังคงเหมือนกับวงจรไบซีมอสอินเวอร์ตเตอร์ที่กล่าวมาแล้ว ดังภาพที่ 27 ซึ่งสามารถแบ่งการทำงานออกได้เป็น 4 แบบ

1. แบบแรก : A และ B มีลักษณะเป็น "0" ทั้งคู่

เอ็นมอสทรานซิสเตอร์ M3 และ M4 OFF พร้อมกันทั้งคู่ ทำให้ไม่มีกระแสไปไบอัสขาเบสของ Q2 ดังนั้น Q2 จึงอยู่ในสถานะ OFF ขณะเดียวกันพีมอสทรานซิสเตอร์ M1 และ M2 จะ ON พร้อมกันทั้งคู่ ทำให้เกิดกระแสไหลจาก V_{DD} ผ่าน M1 และ M2 ไปยังขาเบสของไบโพลาร์ทรานซิสเตอร์ Q1 ดังนั้น Q1 จะ ON เป็นผลให้เกิดกระแสไหลจากขั้วคอลเล็กเตอร์ซึ่งต่อกับ V_{DD} ไปยังขั้วอิมิตเตอร์ซึ่งต่อกับเอาต์พุต ทำให้เอาต์พุตมีสถานะเป็น "1" และเมื่อเอาต์พุตเพิ่มขึ้นถึงค่าหนึ่ง เอ็นมอสทรานซิสเตอร์ M10 ON ขณะที่พีมอสทรานซิสเตอร์ M9 OFF และทำการป้อนกลับผ่านอินเวอร์ตเตอร์ M7 และ M8 ไปยังเอาต์พุตของวงจร ทำให้ M7 ON และเกิดทางเดินกระแสจาก V_{DD} ผ่าน M1 M2 และ M7 ไปยังเอาต์โดยตรง จึงทำให้เอาต์พุตสามารถเพิ่มขึ้นจนถึง V_{DD} ได้

2. แบบที่ 2 : A มีสถานะเป็น "0" ขณะที่ B มีสถานะเป็น "1"

พีมอสทรานซิสเตอร์ M1 จะยังคง ON อยู่แต่ M2 จะ OFF ทำให้กระแสไม่สามารถไหลจาก V_{DD} ไปไบอัสขาเบสของไบโพลาร์ทรานซิสเตอร์ Q1 ดังนั้น Q1 จึงอยู่ในสถานะ OFF ขณะที่เอ็นมอสทรานซิสเตอร์ M3 จะยังคง OFF แต่ M4 จะ ON ทำให้ขาเบสของทรานซิสเตอร์ Q2 ถูกต่อลงกราวด์ M4 เป็นการไบอัสที่ขาเบสของ Q2 ทำให้ Q2 ON และเกิดกระแสคิซซาร์จจากเอาต์พุตผ่าน Q2 ไปยังกราวด์ ดังนั้นเอาต์พุตจึงมีสถานะเป็น "0" และเมื่อเอาต์พุตลดลงถึงค่าหนึ่ง พีมอสทรานซิสเตอร์ M9 จะ ON ขณะที่เอ็นมอสทรานซิสเตอร์ M10 OFF และทำการป้อนกลับผ่านอินเวอร์ตเตอร์ M7 และ M8 ไปยังเอาต์พุตของวงจร ทำให้ M8 ON และเกิดทางเดินกระแสจากเอาต์พุตผ่าน M8 ไปยัง M3 และ M4 ลงกราวด์ จึงทำให้เอาต์พุตสามารถลดลงจนมีค่าเป็นศูนย์ได้

3. แบบที่ 3 : A มีสถานะเป็น "1" ขณะที่ B มีสถานะเป็น "0"

การทำงานในแบบนี้จะมีลักษณะการทำงานเหมือนกับในแบบที่ 2 เพียงแตกต่างกันที่ เปลี่ยน

เอกสาร M1 เป็น M2 และ M3 เป็น M4 ส่วน ทรานซิสเตอร์จะยังคงทำงานเหมือนเดิม ใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. แบบที่ 4 : A และ B อยู่ในสถานะ “1” ทั้งคู่

พื้มอสทรานซิสเตอร์ M1 และ M2 จะ อยู่ในสถานะ OFF ทำให้กระแสไม่สามารถไหลจาก V_{DD} ไปไบอัสขาเบสของไบโพลาร์ทรานซิสเตอร์ Q1 ดังนั้น Q1 จึงอยู่ในสถานะ OFF ขณะที่เอ็นมอสทรานซิสเตอร์ M3 และ M4 จะ ON ทำให้ขาเบสของทรานซิสเตอร์ Q2 ถูกต่อลงกราวด์ M3 และ M4 เป็นการไบอัสที่ขาเบสของ Q2 ทำให้ Q2 ON และเกิดกระแสคิสรจจากเอาต์พุตผ่าน Q2 ไปยังกราวด์ ดังนั้นเอาต์พุตจึงมีสถานะเป็น “0” และเมื่อเอาต์พุตลดลงถึงค่าหนึ่ง พื้มอสทรานซิสเตอร์ M9 จะ ON ขณะที่เอ็นมอสทรานซิสเตอร์ M10 OFF และทำการป้อนกลับผ่านอินเวอร์ตเตอร์ M7 และ M8 ไปยังเอาต์พุตของวงจร ทำให้ เอ็นมอสทรานซิสเตอร์ M8 ON และเกิดทางเดินกระแสจากเอาต์พุตผ่าน M8 ไปยัง M3 และ M4 ลงกราวด์ จึงทำให้เอาต์พุตสามารถลดลงจนมีค่าเป็นศูนย์ได้

วงจรไบซีมอสแอนเกท

ถึงแม้วงจรไบซีมอสแอนเกทยังไม่ได้มีการเสนออย่างเป็นทางการก็ตาม แต่เป็นที่ทราบกันดีว่าวงจรแอนเกทสามารถสร้าง ได้จากการต่อเอาต์พุตของวงจรแนนเกทเข้ากับวงจรอินเวอร์ตเตอร์หรือการต่อวงจรอินเวอร์ตเตอร์เข้ากับอินพุตแต่ละขาของวงจรรนอร์เกท ดังสมการทางตรรกและสัญลักษณ์ในภาพที่ 28 ในการออกแบบวงจรไบซีมอสก็เป็นเช่นเดียวกัน เพียงแต่จะใช้วงจรไบโพลาร์ในส่วนเอาต์พุตของวงจร เพื่อให้มีความสามารถในการขับโหลดได้สูงๆ แต่ในหัวข้อนี้จะขอกล่าวถึง การต่อวงจรอินเวอร์ตเตอร์เข้ากับเอาต์พุตของวงจรแนนเกท เนื่องจากวิธีนี้จะใช้จำนวนทรานซิสเตอร์น้อยกว่าการต่อวงจรอินเวอร์ตเตอร์เข้ากับอินพุตของวงจรรนอร์เกท ดังนั้นวงจรไบซีมอสแอนเกทแบบธรรมดาจึงสามารถสร้าง ได้จากการต่อเอาต์พุตของวงจรแนนเกทแบบซีมอสเข้ากับวงจรไบซีมอสอินเวอร์ตเตอร์ที่กล่าวมาแล้ว ทำให้ได้วงจรดังภาพที่ 29 แต่วงจรดังกล่าวยังมีข้อเสียในเรื่องการไม่สามารถสวิงได้ตลอดช่วงสัญญาณ ดังนั้นในหัวข้อนี้จึงเสนอวงจรไบซีมอสแอนเกทที่มีความสามารถในการสวิงได้ตลอดช่วงแรงดัน ดังภาพที่ 30 โดยใช้เอาต์พุตของวงจรแนนเกทแบบซีมอสไปควบคุมการ ON หรือ OFF ของพื้มอสทรานซิสเตอร์ M5 และ M7 กับเอ็นมอสทรานซิสเตอร์ M6 และ M8 เพื่อไปควบคุมไบโพลาร์ทรานซิสเตอร์ Q1 และ Q2 อีกทีหนึ่ง โดยจะทำงานสลับกัน ซึ่งสามารถแบ่งการทำงานได้เป็น 4 แบบ ดังตารางความจริงในตารางที่ 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

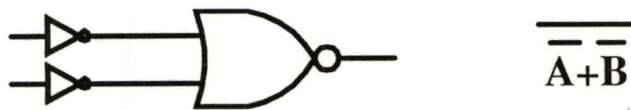
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4

A	B	AB
0	0	0
0	1	0
1	0	0
1	1	1

ตารางที่ 5 แสดงตารางความจริงของวงจรรีเลย์แบบออสแอนเกต

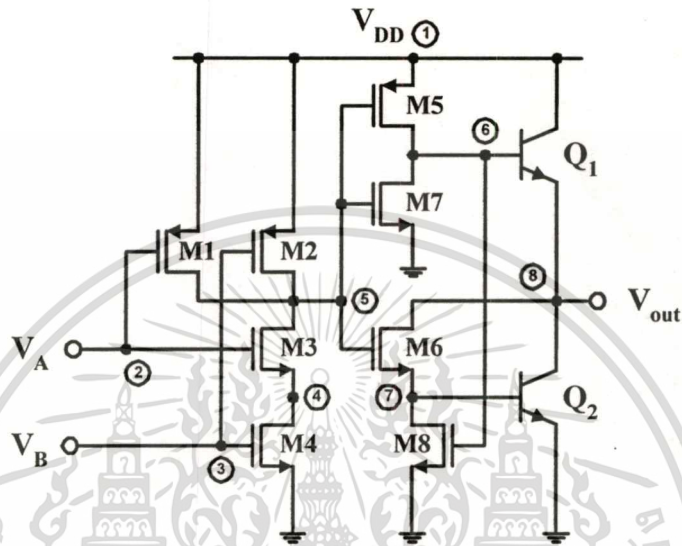
ภาพที่ 28



แสดงสัญลักษณ์และสมการทางตรรกะของวงจรรีเลย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 29

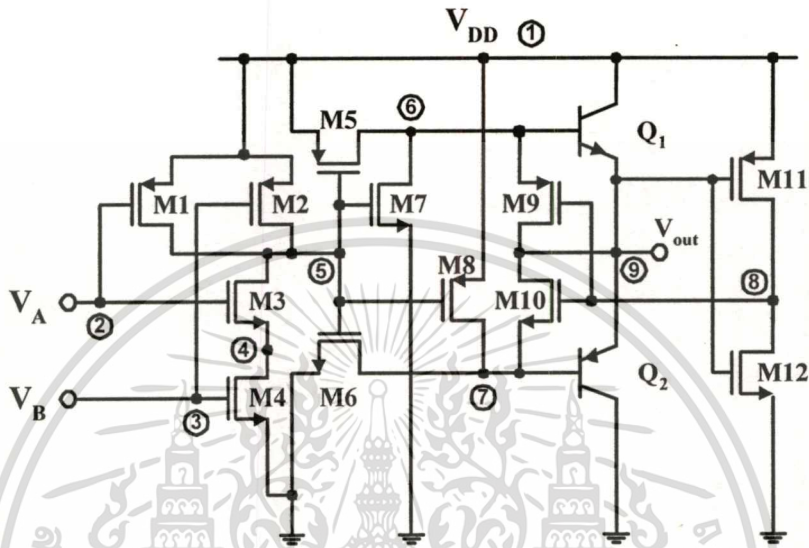


แสดงวงจร ไบซีมอสแอนเกทแบบธรรมดา

1. แบบแรก : A และ B มีลักษณะเป็น "0" ทั้งคู่

พืมอสทรานซิสเตอร์ M1 และ M2 จะ ON ขณะที่เอ็นมอสทรานซิสเตอร์ M3 และ M4 OFF ทำให้เอาต์พุตของแอนเกทที่จุด 5 มีสถานะเป็น "1" และไปควบคุมให้เอ็นมอสทรานซิสเตอร์ M6 และ M8 ON ขณะที่พืมอสทรานซิสเตอร์ M5 และ M7 OFF เมื่อ M5 OFF และ M8 ON ทำให้ขาเบสของทรานซิสเตอร์ Q1 ซึ่งเป็นไบโพลาร์ทรานซิสเตอร์ชนิด NPN ถูกต่อลงกราวด์ เป็นผลให้ Q1 OFF และทำการดิสชาร์จพาหะที่ตกค้างที่ขาเบสของ Q1 ไปยังกราวด์ ในทางตรงข้ามการที่ M6 ON และ M7 OFF ทำให้ขาเบสของทรานซิสเตอร์ Q2 ซึ่งเป็นไบโพลาร์ทรานซิสเตอร์ชนิด PNP ถูกต่อลงกราวด์ เป็นการไปอัสที่ขาเบสของ Q2 ทำให้ Q2 ON และเกิดกระแสดิสชาร์จจากเอาต์พุตผ่าน Q2 ไปยังกราวด์ ดังนั้นเอาต์พุตจึงมีสถานะเป็น "0" และเมื่อเอาต์พุตลดลงถึงค่าๆหนึ่ง มอสทรานซิสเตอร์ M11 จะ ON ขณะที่ M12 OFF และทำการป้อนกลับผ่านอินเวอร์เตอร์ M9 และ M10 ไปยังเอาต์พุตของวงจร ทำให้ M10 ON และเกิดทางเดินกระแสผ่าน M10 ไปยัง M6 ลงกราวด์ จึงทำให้เอาต์พุตสามารถลดลงจนมีค่าเป็นศูนย์ได้

ภาพที่ 30



แสดงวงจรไบซีมอสแอนแกทแบบใหม่

2. แบบที่ 2 : A มีสถานะเป็น "0" ขณะที่ B มีสถานะ เป็น "1"

พืมอสทรานซิสเตอร์ M1 จะ ON และ M2 จะ OFF ขณะที่เอ็นมอสทรานซิสเตอร์ M4 ON แต่ M3 OFF ทำให้กระแสสามารถไหลจาก V_{DD} ผ่าน M1 มายังเอาต์พุตของแอนแกทที่จุด 5 แต่ไม่สามารถไหลลงกราวด์ได้ เนื่องจาก M3 OFF ดังนั้นเอาต์พุตของแอนแกทที่จุด 5 จึงมีสถานะเป็น "1" และไปควบคุมให้เอ็นมอสทรานซิสเตอร์ M6 และ M8 ON ขณะที่พืมอสทรานซิสเตอร์ M5 และ M7 OFF เมื่อ M5 OFF และ M8 ON ทำให้ขาเบสของทรานซิสเตอร์ Q1 ซึ่งเป็นไบโพลาร์ทรานซิสเตอร์ชนิด NPN ถูกต่อลงกราวด์ เป็นผลให้ Q1 OFF และทำการดิซชาร์จพาหะที่ตกค้างที่ขาเบสของ Q1 ไปยังกราวด์ ในทางตรงข้ามกรณีที่ M6 ON และ M7 OFF ทำให้ขาเบสของทรานซิสเตอร์ Q2 ซึ่งเป็นไบโพลาร์ทรานซิสเตอร์ชนิด PNP ต่อลงกราวด์ ซึ่งเป็นการไบอัสที่ขาเบสของ Q2 ทำให้ Q2 ON และเกิดกระแสดิซชาร์จจากเอาต์พุตผ่าน Q2 ไปยังกราวด์ ดังนั้นเอาต์พุตจึงมีสถานะเป็น "0" และเมื่อเอาต์พุตลดลงถึงค่าๆ หนึ่ง มอสทรานซิสเตอร์ M11 จะ ON ขณะที่ M12 OFF และทำการป้อนกลับผ่านอินเวอร์เตอร์ M9 และ M10 ไปยังเอาต์พุตของวงจร ทำให้ M10 ON และเกิดทางเดินกระแสผ่าน M10 ไปยัง M6 ลงกราวด์ จึงทำให้เอาต์พุตสามารถลด

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. แบบที่ 3 : A มีสถานะเป็น “1” ขณะที่ B มีสถานะเป็น “0”

พื้มอสทรานซิสเตอร์ M1 จะ OFF และ M2 จะ ON ขณะที่เ็นมอสทรานซิสเตอร์ M3 ON แต่ M4 OFF ทำให้กระแสสามารถไหลจาก V_{DD} ผ่าน M2 มายังเอาต์พุตของแนนเกทที่จุด 5 แต่ไม่สามารถไหลลงกราวด์ได้ เนื่องจาก M4 OFF ดังนั้นเอาต์พุตของแนนเกทที่จุด 5 จึงมีสถานะเป็น “1” และไปควบคุมให้เ็นมอสทรานซิสเตอร์ M6 และ M8 ON ขณะที่พื้มอสทรานซิสเตอร์ M5 และ M7 จะ OFF เมื่อ M5 OFF และ M8 ON ทำให้ขาเบสของทรานซิสเตอร์ Q1 ซึ่งเป็นไปโพลาร์ทรานซิสเตอร์ชนิด NPN ถูกต่อลงกราวด์ เป็นผลให้ Q1 OFF และทำการดิสชาร์จพาหะที่ตกค้างที่ขาเบสของ Q1 ไปยังกราวด์ ในทางตรงข้ามการที่ M6 ON และ M7 OFF ทำให้ขาเบสของทรานซิสเตอร์ Q2 ซึ่งเป็นไปโพลาร์ทรานซิสเตอร์ชนิด PNP ต่อลงกราวด์ ซึ่งเป็นการไปอัสที่ขาเบสของ Q2 ทำให้ Q2 ON และเกิดกระแสดิซชาร์จจากเอาต์พุตผ่าน Q2 ไปยังกราวด์ ดังนั้นเอาต์พุตจึงมีสถานะเป็น “0” และเมื่อเอาต์พุตลดลงถึงค่าๆ หนึ่ง มอสทรานซิสเตอร์ M11 จะ ON ขณะที่ M12 OFF และทำการป้อนกลับผ่านอินเวอร์ตเตอร์ M9 และ M10 ไปยังเอาต์พุตของวงจร ทำให้ M10 ON และเกิดทางเดินกระแสผ่าน M10 ไปยัง M6 ลงกราวด์ จึงทำให้เอาต์พุตสามารถลดลงจนมีค่าเป็นศูนย์ได้

4. แบบที่ 4 : A และ B อยู่ในสถานะ “1” ทั้งคู่

พื้มอสทรานซิสเตอร์ M1 และ M2 จะ OFF ทำให้กระแสจาก V_{DD} ไม่สามารถไหลมายังเอาต์พุตของแนนเกทที่จุด 5 ได้ ขณะที่เ็นมอสทรานซิสเตอร์ M3 และ M4 ON พร้อมกันทำให้เอาต์พุตของแนนเกทที่จุด 5 มีสถานะเป็น “0” และไปควบคุมให้พื้มอสทรานซิสเตอร์ M5 และ M7 ให้ ON ขณะที่เ็นมอสทรานซิสเตอร์ M6 และ M8 OFF เมื่อ M5 ON และ M8 OFF ทำให้ขาเบสของทรานซิสเตอร์ Q1 ซึ่งเป็นไปโพลาร์ทรานซิสเตอร์ชนิด NPN ถูกต่อเข้ากับ V_{DD} ซึ่งเป็นการไปอัสที่ขาเบสของ Q1 ทำให้ Q1 ON และเกิดการชาร์จ กระแสจาก V_{DD} ผ่าน Q1 ไปยังเอาต์พุต ในทางตรงข้ามการที่ M6 OFF และ M7 ON ทำให้ขาเบสของทรานซิสเตอร์ Q2 ซึ่งเป็นไปโพลาร์ทรานซิสเตอร์ชนิด PNP ต่อเข้ากับ V_{DD} เป็นผลให้ Q2 OFF และทำการดิสชาร์จพาหะที่ตกค้างที่ขาเบสของ Q2 ไปยัง V_{DD} เนื่องจาก Q1 ON และ Q2 OFF ดังนั้นเอาต์พุตของวงจรจึงมีสถานะเป็น “1” และเมื่อเอาต์พุตเพิ่มขึ้นถึงค่าๆ หนึ่ง มอสทรานซิสเตอร์ M12 จะ ON ขณะที่ M11 OFF และทำการป้อนกลับผ่านอินเวอร์ตเตอร์ M9 และ M10 ไปยังเอาต์พุตของวงจร ทำให้ M9 ON และเกิดทางเดินกระแสจาก V_{DD} ผ่าน M5 และ M9 ไปยังเอาต์พุตโดยตรง จึงทำให้เอาต์พุตสามารถเพิ่มขึ้นจนถึง V_{DD} ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรไปซิมอสออร์เกท

ในทำนองเดียวกับวงจรไปซิมอสแอนเกท ถึงแม้วงจรไปซิมอสออร์เกทยังไม่ได้มีการเสนออย่างเป็นทางการก็ตาม แต่เป็นที่ทราบกันดีว่าวงจอร์เกท สามารถสร้างได้จากการต่อเอาต์พุตของวงจอร์เกทเข้ากับวงจอร์อินเวอร์ตเตอร์ หรือการต่อวงจอร์อินเวอร์ตเตอร์เข้ากับอินพุตแต่ละขาของวงจอร์แอนเกท ดังสมการทางตรรก และสัญลักษณ์ในภาพที่ 31 ในการออกแบบวงจรไปซิมอสก็เป็นเช่นเดียวกัน เพียงแต่จะใช้วงจรไปโพลาร์ในส่วนเอาต์พุตของวงจร เพื่อให้มีความสามารถในการขับโหลดได้สูงๆ แต่ในหัวข้อนี้จะขอกล่าวถึง การต่อวงจอร์อินเวอร์ตเตอร์เข้ากับเอาต์พุตของวงจอร์เกท เนื่องจากวิธีนี้จะใช้จำนวนทรานซิสเตอร์น้อยกว่าการต่อวงจอร์อินเวอร์ตเตอร์เข้ากับอินพุตของวงจอร์แอนเกท ดังนั้นวงจรไปซิมอสออร์เกทแบบธรรมดาจึงสามารถสร้างได้จากการต่อเอาต์พุตของวงจอร์เกทแบบซิมอสเข้ากับวงจอร์ไปซิมอสอินเวอร์ตเตอร์ที่กล่าวมาแล้ว ทำให้ได้วงจอร์ดังภาพ 32 แต่วงจอร์ดังกล่าวยังมีข้อเสียในเรื่องการไม่สามารถสวิงได้ตลอดช่วงสัญญาณ ดังนั้นในหัวข้อนี้จึงเสนอวงจอร์ไปซิมอสออร์เกทที่มีความสามารถในการสวิงได้ตลอดช่วงแรงดัน ดังภาพที่ 33 โดยใช้เอาต์พุตของวงจอร์เกทแบบซิมอสไปควบคุมการ ON หรือ OFF ของพีมอสทรานซิสเตอร์ M5 และ M7 กับ เอนมอสทรานซิสเตอร์ M6 และ M8 เพื่อไปควบคุมไปโพลาร์ทรานซิสเตอร์ Q1 และ Q2 อีกทีหนึ่ง โดยจะทำงานสลับกัน ซึ่งสามารถแบ่งการทำงานได้เป็น 4 แบบ ดังตารางความจริงในตารางที่ 6

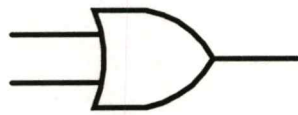
ตารางที่ 5

A	B	A+B
0	0	0
0	1	1
1	0	1
1	1	1

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 31

 $A+B$  $\overline{A+B}$  \overline{AB}

แสดงสัญลักษณ์และสมการทางตรรกของวงจรรอ์เกต

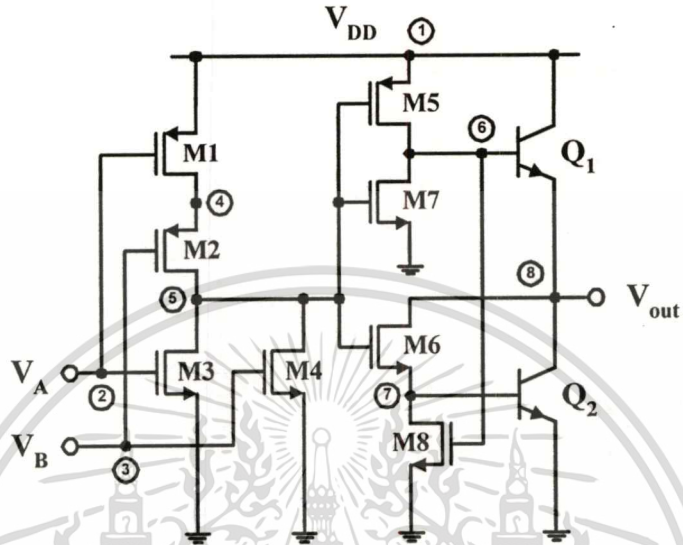
1. แบบแรก : A และ B มีลักษณะเป็น "0" ทั้งคู่

พืมอสทรานซิสเตอร์ M1 และ M2 จะ ON พร้อมกัน ทำให้กระแสสามารถไหลจาก V_{DD} ผ่าน M1 และ M2 ไปยังเอาต์พุตของนอร์เกตที่จุด 5 ได้ ขณะที่เอ็นมอสทรานซิสเตอร์ M3 และ M4 OFF พร้อมกันทั้งคู่ ทำให้กระแสไม่สามารถไหลลงกราวด์ได้ ดังนั้นเอาต์พุตของนอร์เกตที่จุด 5 จึงมีสถานะเป็น "1" และไปควบคุมให้เอ็นมอสทรานซิสเตอร์ M6 และ M8 ON ขณะที่พืมอสทรานซิสเตอร์ M5 และ M7 OFF เมื่อ M5 OFF และ M8 ON ทำให้ขาเบสของทรานซิสเตอร์ Q1 ซึ่งเป็นไบโพลาร์ทรานซิสเตอร์ชนิด NPN ถูกต่อลงกราวด์ เป็นผลให้ Q1 OFF และทำการดิสชาร์จพาหะที่ตกค้างที่ขาเบสของ Q1 ไปยังกราวด์ ในทางตรงข้ามการที่ M6 ON และ M7 OFF ทำให้ขาเบสของทรานซิสเตอร์ Q2 ซึ่งเป็นไบโพลาร์ทรานซิสเตอร์ชนิด PNP ต่อลงกราวด์ ซึ่งเป็นการไปอัสที่ขาเบสของ Q2 ทำให้ Q2 ON และเกิดกระแสดิสชาร์จจากเอาต์พุตผ่าน Q2 ไปยังกราวด์ ดังนั้นเอาต์พุตจึงมีสถานะเป็น "0" และเมื่อเอาต์พุตลดลงถึงค่าๆ หนึ่ง มอสทรานซิสเตอร์ M11 จะ ON ขณะที่ M12 OFF และทำการป้อนกลับผ่านอินเวอร์ตเตอร์ M9 และ M10 ไปยังเอาต์พุตของวงจรร ทำให้ M10 ON และเกิดทางเดินกระแสผ่าน M10 ไปยัง M6 ลงกราวด์ จึงทำให้เอาต์พุตสามารถลดลงจนมีค่าเป็นศูนย์ได้

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ของสถาบันเทคโนโลยีการเกษตรกำแพงแสน ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

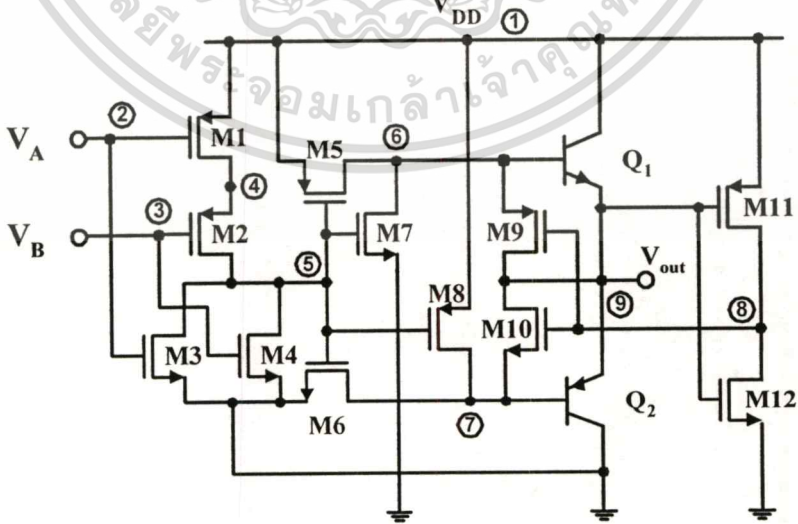
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 32



แสดงวงจรไบสมอสออร์เกทแบบธรรมดา

ภาพที่ 33



แสดงวงจรไบสมอสออร์เกทแบบใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. แบบที่ 2 : A มีสถานะเป็น “0” ขณะที่ B มีสถานะ เป็น “1”

พืมอสทรานซิสเตอร์ M1 จะ ON แต่ M2 OFF ทำให้กระแสจาก V_{DD} ไม่สามารถไหลมายังเอาต์พุตของนอร์เกทที่จุด 5 ได้ ขณะที่เอ็นมอสทรานซิสเตอร์ M4 ON แต่ M3 OFF ทำให้เอาต์พุตของวงจรรนอร์เกทที่จุด 5 ถูกต่อลงกราวด์โดยผ่าน M4 ดังนั้นเอาต์พุตของนอร์เกทที่จุด 5 จึงมีสถานะเป็น “0” และไปควบคุมให้พืมอสทรานซิสเตอร์ M5 และ M7 ให้ ON ขณะที่เอ็นมอสทรานซิสเตอร์ M6 และ M8 OFF เมื่อ M5 ON และ M8 OFF ทำให้ขาเบสของทรานซิสเตอร์ Q1 ซึ่งเป็นไบโพลาร์ทรานซิสเตอร์ชนิด NPN ถูกต่อเข้ากับ V_{DD} ซึ่งเป็นการไบอัสที่ขาเบสของ Q1 ทำให้ Q1 ON และเกิดการชาร์จ กระแสจาก V_{DD} ผ่าน Q1 ไปยังเอาต์พุต ในทางตรงข้ามการที่ M6 OFF และ M7 ON ทำให้ขาเบสของทรานซิสเตอร์ Q2 ซึ่งเป็นไบโพลาร์ทรานซิสเตอร์ชนิด PNP ต่อเข้ากับ V_{DD} เป็นผลให้ Q2 OFF และทำการดิสชาร์จพาหะที่ตกค้างที่ขาเบสของ Q2 ไปยัง V_{DD} เนื่องจาก Q1 ON และ Q2 OFF ดังนั้นเอาต์พุตของวงจรมีสถานะเป็น “1” และเมื่อเอาต์พุตเพิ่มขึ้นถึงค่าๆ หนึ่ง มอสทรานซิสเตอร์ M12 จะ ON ขณะที่ M11 OFF และทำการป้อนกลับผ่านอินเวอร์ตเตอร์ M9 และ M10 ไปยังเอาต์พุตของวงจรมีสถานะเป็น “1” และเกิดทางเดินกระแสจาก V_{DD} ผ่าน M5 และ M9 ไปยังเอาต์พุตโดยตรง จึงทำให้เอาต์พุตสามารถเพิ่มขึ้นจนถึง V_{DD} ได้

3. แบบที่ 3 : A มีสถานะเป็น “1” ขณะที่ B มีสถานะเป็น “0”

พืมอสทรานซิสเตอร์ M1 จะ OFF แต่ M2 ON ทำให้กระแสจาก V_{DD} ไม่สามารถไหลมายังเอาต์พุตของนอร์เกทที่จุด 5 ได้ ขณะที่เอ็นมอสทรานซิสเตอร์ M3 ON แต่ M4 OFF ทำให้เอาต์พุตของวงจรรนอร์เกทที่จุด 5 ถูกต่อลงกราวด์โดยผ่าน M3 ดังนั้นเอาต์พุตของนอร์เกทที่จุด 5 จึงมีสถานะเป็น “0” และไปควบคุมให้พืมอสทรานซิสเตอร์ M5 และ M7 ให้ ON ขณะที่เอ็นมอสทรานซิสเตอร์ M6 และ M8 OFF เมื่อ M5 ON และ M8 OFF ทำให้ขาเบสของทรานซิสเตอร์ Q1 ซึ่งเป็นไบโพลาร์ทรานซิสเตอร์ชนิด NPN ถูกต่อเข้ากับ V_{DD} ซึ่งเป็นการไบอัสที่ขาเบสของ Q1 ทำให้ Q1 ON และเกิดการชาร์จ กระแสจาก V_{DD} ผ่าน Q1 ไปยังเอาต์พุต ในทางตรงข้ามการที่ M6 OFF และ M7 ON ทำให้ขาเบสของทรานซิสเตอร์ Q2 ซึ่งเป็นไบโพลาร์ทรานซิสเตอร์ชนิด PNP ต่อเข้ากับ V_{DD} เป็นผลให้ Q2 OFF และทำการดิสชาร์จพาหะที่ตกค้างที่ขาเบสของ Q2 ไปยัง V_{DD} เนื่องจาก Q1 ON และ Q2 OFF ดังนั้นเอาต์พุตของวงจรมีสถานะเป็น “1” และเมื่อเอาต์พุตเพิ่มขึ้นถึงค่าๆ หนึ่ง มอสทรานซิสเตอร์ M12 จะ ON ขณะที่ M11 OFF และทำการป้อนกลับผ่านอินเวอร์ตเตอร์ M9 และ M10 ไปยังเอาต์พุตของวงจรมีสถานะเป็น “1” และเกิดทางเดินกระแสจาก V_{DD} ผ่าน M5 และ M9 ไปยังเอาต์พุตโดยตรง จึงทำให้เอาต์พุตสามารถเพิ่มขึ้นจนถึง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

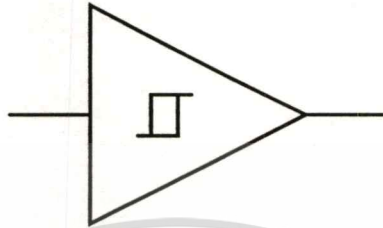
4. แบบที่ 4 : A และ B อยู่ในสถานะ “1” ทั้งคู่

พื้มอสทรานซิสเตอร์ M1 และ M2 จะ OFF ทำให้กระแสจาก V_{DD} ไม่สามารถไหลมายังเอาต์พุตของนอร์เกตที่จุด 5 ได้ ขณะที่เอ็นมอสทรานซิสเตอร์ M3 และ M4 ON ทำให้เอาต์พุตของนอร์เกตที่จุด 5 มีสถานะเป็น “0” และไปควบคุมให้พื้มอสทรานซิสเตอร์ M5 และ M7 ให้ ON ขณะที่เอ็นมอสทรานซิสเตอร์ M6 และ M8 OFF เมื่อ M5 ON และ M8 OFF ทำให้ขาเบสของทรานซิสเตอร์ Q1 ซึ่งเป็นไบโพลาร์ทรานซิสเตอร์ชนิด NPN ถูกต่อเข้ากับ V_{DD} ซึ่งเป็นการไบอัสที่ขาเบสของ Q1 ทำให้ Q1 ON และเกิดการชาร์จ กระแสจาก V_{DD} ผ่าน Q1 ไปยังเอาต์พุต ในทางตรงข้ามการที่ M6 OFF และ M7 ON ทำให้ขาเบสของ Q2 ซึ่งเป็นไบโพลาร์ทรานซิสเตอร์ชนิด PNP ต่อเข้ากับ V_{DD} เป็นผลให้ Q2 OFF และทำการดิสชาร์จพาหะที่ตกค้างที่ขาเบสของ Q2 ไปยัง V_{DD} เนื่องจาก Q1 ON และ Q2 OFF ดังนั้นเอาต์พุตของวงจรถึงมีสถานะเป็น “1” และเมื่อเอาต์พุตเพิ่มขึ้นถึงค่าๆ หนึ่ง มอสทรานซิสเตอร์ M12 จะ ON ขณะที่ M11 OFF และทำการป้อนกลับผ่านอินเวอร์ตเตอร์ M9 และ M10 ไปยังเอาต์พุตของวงจรถึงทำให้ M9 ON และเกิดทางเดินกระแสจาก V_{DD} ผ่าน M5 และ M9 ไปยังเอาต์โดยตรง จึงทำให้เอาต์พุตสามารถเพิ่มขึ้นจนถึง V_{DD} ได้

วงจรวางพื้มอสสมิททริกเกอร์

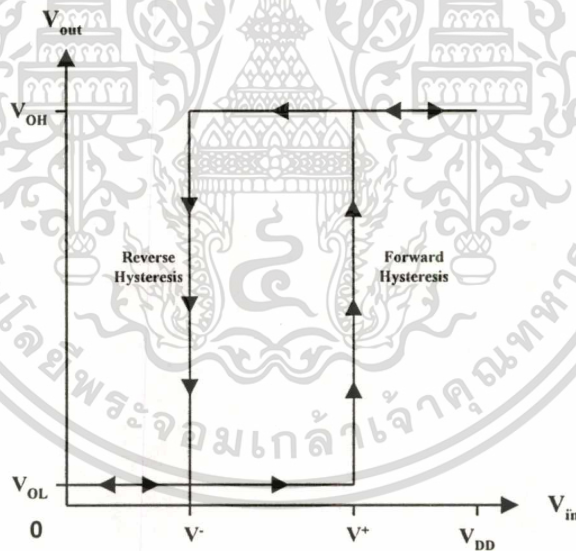
วงจรวางพื้มอสสมิททริกเกอร์เป็นวงจรวางพื้มอสชนิดไบเสตเบิล ซึ่งใช้กันอย่างกว้างขวางในวงจรรอนาลอกและดิจิตอลในการจัดรูปของสัญญาณ เพื่อแก้ปัญหาค่าการลดทอนของสัญญาณและขจัดสัญญาณรบกวน โดยจะให้แรงดันเอาต์พุตมีสถานะเป็น “0” และ “1” ตามค่าแรงดันวิกฤติของวงจรถึง เช่นการใช้กับวงจรถึง relaxation oscillator โดยมีหลักการทำงานคล้ายกับวงจรถึงเปรียบเทียบสัญญาณ (Comparator Circuit) แต่จะมีคุณสมบัติพิเศษ คือจะมีแรงดันวิกฤติอยู่สองค่าซึ่งขึ้นกับสถานะของแรงดันอินพุตและเอาต์พุตก่อนหน้านี้ คุณสมบัติดังกล่าวนี้เรียกว่า ฮิสเตอร์รีซิส (Hysteresis) โดยที่สัญญาณลักษณะของวงจรวางพื้มอสสมิททริกเกอร์ชนิดไม่กลับเฟสแสดงดังภาพที่ 34 และคุณสมบัติในการโอนถ่ายสัญญาณ (Transfer characteristic curve) ในทางอุดมคติของวงจรถึงแสดงดังภาพที่ 35

ภาพที่ 34



แสดงสัญลักษณ์ของวงจรหมิทริกเกอร์แบบไม่กลับเฟส

ภาพที่ 35

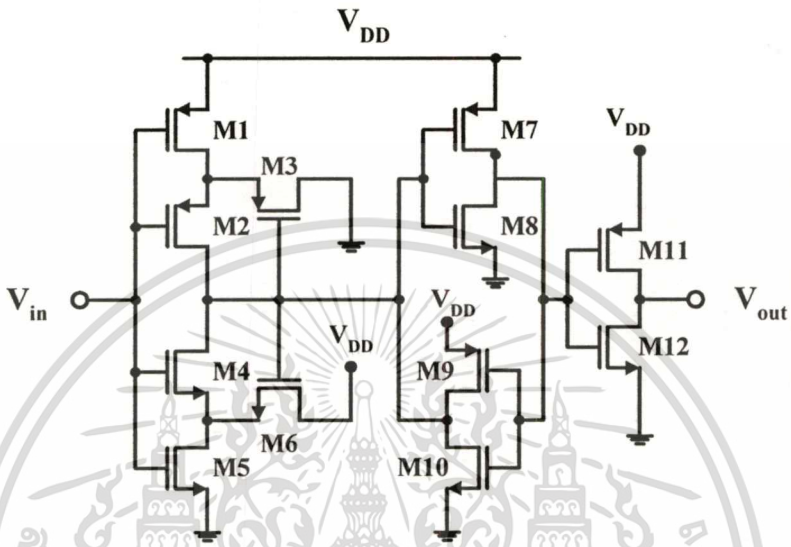


แสดงคุณสมบัติในการ โอนถ่ายสัญญาณของวงจรหมิทริกเกอร์ชนิดไม่กลับเฟสในทางอุดมคติ

จากรูปจะเห็นว่า มีค่าแรงดันวิกฤติในการ เปลี่ยนแปลงสัญญาณ อยู่ 2 ค่า คือ V^+ และ V^- โดยที่ แรงดันวิกฤติทางบวก V^+ จะเป็นตัวกำหนดการเปลี่ยนแปลงของแรงดันเมื่ออินพุตเพิ่มขึ้น ขณะที่ แรงดันวิกฤติทางลบ V^- จะมีบทบาทในช่วงที่แรงดันอินพุต มีการเปลี่ยนแปลงในทางลดลง ส่วน V_{OH} เป็นค่าแรงดันเอาต์พุตสูงสุดของวงจร และ V_{OL} เป็นค่าแรงดันเอาต์พุตต่ำสุดของวงจร

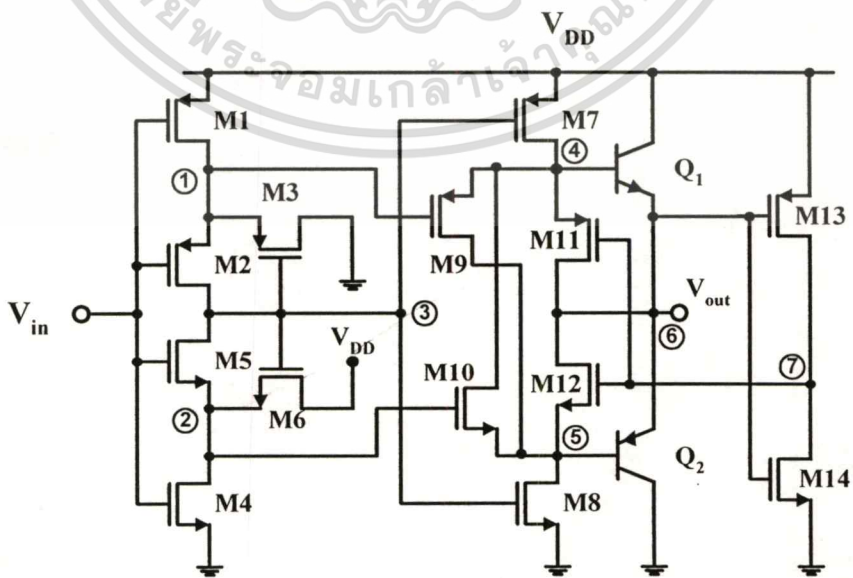
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 36



แสดงวงจรขั้วทรานซิสเตอร์แบบซีมอสชนิดไม่กลับเฟสที่ใช้กันอยู่ในปัจจุบัน

ภาพที่ 37



เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ของสำนักงานส่งเสริมการค้าในต่างประเทศ ณ นครเชียงใหม่ โดยผู้จัดทำมีไว้ใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรมิติทริกเกอร์แบบซิมอสชนิดไม่กลับเฟสที่ใช้อยู่ในปัจจุบัน มีลักษณะวงจรแสดงดังภาพที่ 36 เช่นเดียวกับวงจรในตระกูลซิมอสชนิดอื่น ซึ่งจะประสบปัญหาเรื่องความสามารถในการขับวงจร และการหน่วงเวลา (delay time) เมื่อโหลดมีค่าสูงๆ และแหล่งจ่ายแรงดันมีค่าต่ำลง ขณะที่วงจรไบซิมอสซึ่งเป็นที่ผสมผสานข้อดีของวงจรตระกูลไบโพลาร์และซิมอสเข้าด้วยกันกำลังได้รับความนิยมอย่างมากในปัจจุบัน จึงได้เสนองจรมิติทริกเกอร์แบบใหม่โดยใช้เทคโนโลยีของตระกูลไบซิมอส

วงจรไบซิมอสมิติทริกเกอร์แบบไม่กลับเฟสนี้โดยใช้เทคโนโลยี ของวงจรไบซิมอสในการออกแบบดังวงจรที่เสนอในภาพที่ 37 สามารถแบ่งวงจรออกได้เป็น 2 ส่วน คือ ส่วนที่ทำหน้าที่ในการควบคุมแรงดันวิกฤติ และส่วนที่เป็นวงจรขับแบบไบซิมอส

การทำงานของส่วนแรก ซึ่งเป็นส่วนควบคุมแรงดันวิกฤติจะประกอบด้วยอุปกรณ์ซิมอสทรานซิสเตอร์อยู่ 3 ชุด คือ ส่วนเอ็นมอสทรานซิสเตอร์ M4, M5, M6 ซึ่งทำหน้าที่ควบคุมแรงดันวิกฤติทางบวก (V^+) และส่วนของพีมอสทรานซิสเตอร์ M1, M2, M3 ทำหน้าที่ควบคุมแรงดันวิกฤติทางลบ (V^-) ซึ่งโดยปกติจะออกแบบให้ V^+ และ V^- สมมาตรกับครึ่งหนึ่งของแหล่งจ่ายแรงดัน โดยที่ V^+ และ V^- จะเป็นไปตามสมการที่ 27 และ 28 ตามลำดับ

$$V^+ \approx \frac{V_{DD} + \sqrt{\frac{\beta_{M4}}{\beta_{M6}}} V_{Tn}}{1 + \sqrt{\frac{\beta_{M4}}{\beta_{M6}}}} \dots\dots 27$$

$$V^- \approx \frac{\sqrt{\frac{\beta_{M1}}{\beta_{M3}}} (V_{DD} - |V_{Tp}|)}{1 + \sqrt{\frac{\beta_{M1}}{\beta_{M3}}}} \dots\dots 28$$

โดยที่

V_{DD} = แหล่งจ่ายแรงดันไฟเลี้ยง

V^+ = ค่าแรงดันวิกฤติเมื่อ V_{in} เพิ่มขึ้น

V^- = ค่าแรงดันวิกฤติเมื่อ V_{in} ลดลง

V_{Tn} = แรงดันขีดเริ่มของเอ็นมอส

V_{Tp} = แรงดันขีดเริ่มของพีมอส

β_M = ค่าทรานคอนดักแตนซ์ของมอส

W = ความกว้างของช่องทางเดินกระแส

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ของโรงเรียนเตรียมอุดมศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการออกแบบจะสามารถกำหนดค่าแรงดันวิกฤติ V^+ และ V^- ได้ตามต้องการโดยการควบคุมอัตราส่วนของ β_{M4}/β_{M6} และ β_{M1}/β_{M3} ตามลำดับ โดยการกำหนดค่าทางเรขาคณิตของมอสทรานซิสเตอร์ดังกล่าว ตามสมการที่ 29 และ 30

$$\frac{\beta_{M4}}{\beta_{M6}} = \frac{(W/L)_{M4}}{(W/L)_{M6}} \approx \left(\frac{V_{DD} - V^+}{V^+ - V_{Tn}} \right)^2 \quad \dots\dots 29$$

$$\frac{\beta_{M1}}{\beta_{M3}} = \frac{(W/L)_{M1}}{(W/L)_{M3}} \approx \left(\frac{V^-}{V_{DD} - V^- - |V_{Tp}|} \right)^2 \quad \dots\dots 30$$

มอสทรานซิสเตอร์แต่ละตัวจะทำหน้าที่ดังนี้ คือ มอสทรานซิสเตอร์ M3, M6 จะทำหน้าที่เป็นตัวควบคุมการเกิดฮิสเทอรีซิส โดยจะป้อนสัญญาณจากจุด 3 กลับไปยังจุด 1 และ 2 ของวงจรการทำงานในช่วงที่แรงดันอินพุตเพิ่ม จาก 0 ไปยัง V_{DD} ในช่วงแรกเมื่อแรงดันอินพุตมีค่าเป็น 0 มอสทรานซิสเตอร์ M1 และ M2 อยู่ในสถานะ ON ขณะที่ M4 และ M5 อยู่ในสถานะ OFF เนื่องจาก M1, M2 นำกระแสและ M4, M5 ไม่นำกระแสทำให้ แรงดันที่จุด 3 มีค่าประมาณ V_{DD} เป็นผลให้ M3 OFF และ M6 ON ขณะนั้น M6 จะทำหน้าที่ในการป้อนกลับสัญญาณจากจุด 3 ไปยังขาซอสของ M4 และเดรนของ M5 ที่จุด 2 ด้วยแรงดันเท่ากับ $(V_{DD} - V_{Tp})$ เมื่อแรงดันอินพุตเพิ่มขึ้นแรงดันที่จุด 2 จะยังคงที่ จนกระทั่งแรงดันอินพุต มีค่าเท่ากับ V_{Tn} มอสทรานซิสเตอร์ M4 จะเริ่ม ON ขณะนั้น M4 และ M6 จะทำหน้าที่เป็นเสมือนวงจรแบ่งแรงดัน (Voltage divider) ไปอัสให้กับขาซอสของ M5 ที่จุด 2 ซึ่งมีค่าเป็น $R_{M4,on} / [R_{M4,on} + R_{M6,on}]$ เมื่อเพิ่มแรงดันอินพุตขึ้นอีก แรงดันที่จุด 2 จะมีค่าลดลง เนื่องจากแรงดันระหว่างขาเกตและซอสของ M4 เพิ่มขึ้น ทำให้ความสามารถในการนำกระแสของ M4 เพิ่มขึ้น หรือ $R_{M4,on}$ มีค่าลดลง ขณะที่ $R_{M6,on}$ ยังมีค่าคงที่ จนถึงจุดที่แรงดันอินพุตมีค่ามากกว่าแรงดันวิกฤติของ M5 เทียบกับแรงดันที่ จุด 2 ($V_{in} = V_{Tn} + V_2$) มอสทรานซิสเตอร์ M5 จะเริ่ม ON และกระแสที่จุด 3 จะไหลผ่าน M5 และ M4 ลงกราวด์ ทำให้แรงดันที่จุด 3 ลดลง เมื่อแรงดันที่จุด 3 ลดลง เป็นผลให้แรงดันเนื่องจากวงจรแบ่งแรงดันของ M4, M6 ที่จุด 2 ลดลงอย่างรวดเร็ว ขณะที่ ทรานซิสเตอร์ M3 เริ่ม ON ทำให้กระแสไหลผ่าน M1 ไปยัง M3 จนกระทั่ง M2 OFF ดังนั้น กระแสจากจุด 3 จะไหลไปยัง M5 และ M4 ลงกราวด์ จนแรงดันที่จุด 3 มีค่าเป็นศูนย์ ส่วนการทำงานในช่วงที่แรงอินพุตลดลงจาก V_{DD} มายัง 0 ก็จะมีการทำงานในทำนองเดียวกัน เพียงแต่ ทรานซิสเตอร์ที่มีบทบาทในการควบคุมแรงดัน

การทำงานของส่วนที่สอง ซึ่งเป็นส่วนของวงจรขับแบบไบซีมอสอินเวอร์ตเตอร์ จะประกอบด้วย ซีมอสทรานซิสเตอร์ อยู่ 4 คู่ และไบโพลาร์ทรานซิสเตอร์ 1 คู่ โดยทรานซิสเตอร์ Q1 จะทำงานในช่วงเอาต์พุตของวงจรมีสถานะเป็น "1" และ Q2 จะทำงานในช่วงที่เอาต์พุตของวงจรมี

สถานะเป็น "0" โดยจะทำงานสลับกันไป ทรานซิสเตอร์ M7 และ M8 จะเป็นตัวควบคุมกระแสที่

ไม่จำกัดทุกชิ้น อีกทั้งยังมีให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เบสของทรานซิสเตอร์ Q1 และ Q2 ตามลำดับ เพื่อทำการเปิดปิด Q1 และ Q2 ตามสัญญาณจาก ส่วนควบคุมแรงดันวิกฤตจุด 3 ขณะที่ทรานซิสเตอร์ M10, M9 จะทำหน้าที่เป็น ตัวดิซชาร์จประจุที่ ขาเบสของทรานซิสเตอร์ Q1 และ Q2 ในช่วงที่ Q1 หรือ Q2 อยู่ในสถานะ OFF โดยที่ M9, M10 จะถูกควบคุมโดยแรงดันที่จุด 1 และ 2 ตามลำดับ ซึ่ง M10, M9 จะทำงานสลับกับ M7, M8 กล่าว คือ M7 ทำงานพร้อมกับ M10 ขณะที่ M8, M9 ไม่ทำงาน และ M8 จะทำงานพร้อมกับ M9 ขณะที่ M7, M10 ไม่ทำงาน ส่วนทรานซิสเตอร์ M11, M12 จะช่วยในการนำกระแสเพื่อให้เอาต์พุต สามารถทำงานได้ตลอดช่วงคือระหว่าง V_{DD} ถึง กราวด์ (Full swing) ซึ่งถูกควบคุมโดยสัญญาณ ป้อนกลับจากเอาต์พุต โดยวงจรรีจิสเตอร์ M13, M14 เพื่อลดการสูญเสียกำลังไฟฟ้า



บทที่ 5

ผลการทดสอบคุณสมบัติของวงจรถิจริตอลแบบใหม่ และเปรียบเทียบกับวงจรแบบเก่า

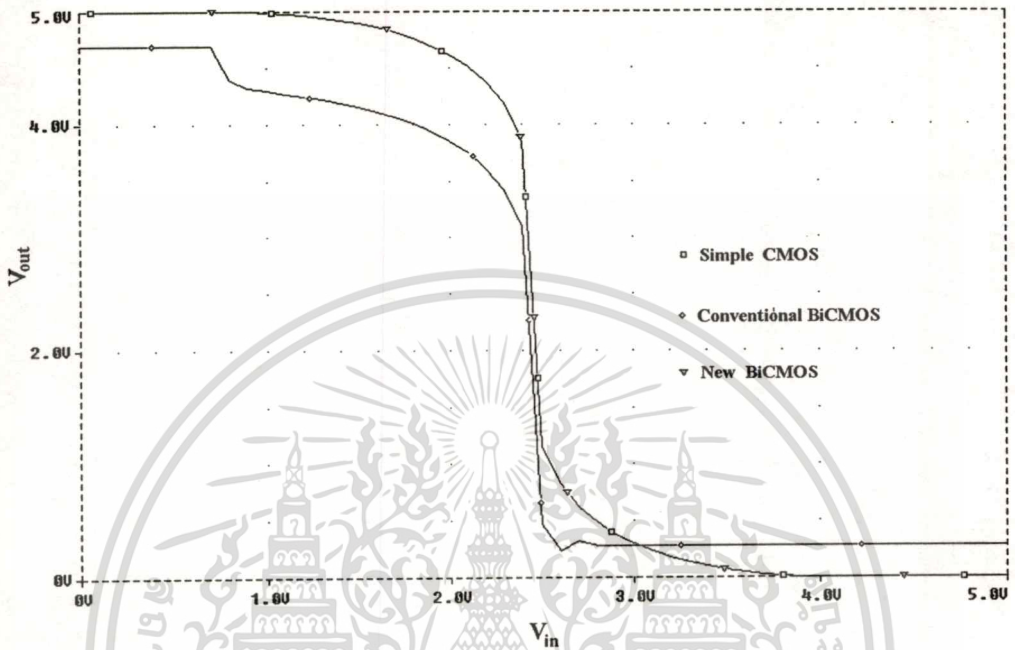
จากประวัติความเป็นมาของการออกแบบวงจรรวมไอซีและการทำงานของวงจรรวมทั้งหมดที่มีการเสนองจรดิจิตอลแบบใหม่ดังกล่าวมาแล้ว ในบทนี้จะเป็นการแสดงผลการทดสอบคุณสมบัติของวงจรถิจริตอลที่ออกแบบใหม่พร้อมทั้งทำการเปรียบเทียบกับวงจรเดิมที่มีการเสนอมานำมาแล้วเพื่อให้เห็นถึงข้อดีของวงจรมือใหม่ที่น่าเสนอนี้โดยจะทำการจำลองวงจรโดยใช้โปรแกรม PSpice ในการศึกษาจะแบ่งตามชนิดของวงจรและแยกคุณสมบัติในการตอบสนองซึ่งสามารถแยกออกเป็นสองชนิดคือ ผลการตอบสนองต่อสัญญาณ ฟูตริง และความสามารถในการสวิทชิง

วงจรรวมไอซีอินเวอร์ตเตอร์

การศึกษาคุณสมบัติทางฟูตริงของวงจรรวมไอซีอินเวอร์ตเตอร์

ในวงจรถิจริตอลโดยทั่วไปตัวแปรซึ่งเป็นตัวกำหนดคุณสมบัติทางสัญญาณฟูตริงของวงจรถิจริตอลคือ V_{OH} , V_{OL} และช่วงเผื่อสัญญาณ (Noise margin) รวมทั้งแรงดันวิกฤตของวงจรถิจริตอล จะสามารถอธิบายได้โดยการใช้กราฟแสดงคุณสมบัติการถ่ายโอนแรงดัน ซึ่งได้จากการวัดค่าแรงดันเอาต์พุตเทียบกับการเปลี่ยนแปลงแรงดันอินพุต คุณสมบัติทางด้านสัญญาณฟูตริงของวงจรรวมไอซีอินเวอร์ตเตอร์ในแต่ละแบบคือ วงจรรวมไอซีอินเวอร์ตเตอร์ วงจรรวมไอซีอินเวอร์ตเตอร์แบบธรรมดา และวงจรรวมไอซีอินเวอร์ตเตอร์แบบใหม่ ดังภาพที่ 38

ภาพที่ 38



แสดงผลของคุณสมบัติทางด้านสัญญาณไฟตรงของวงจรรีเลย์อินเวอร์ตเตอร์ในแต่ละแบบ

การศึกษาคุณสมบัติทางสวิทซ์ของวงจรรีเลย์อินเวอร์ตเตอร์

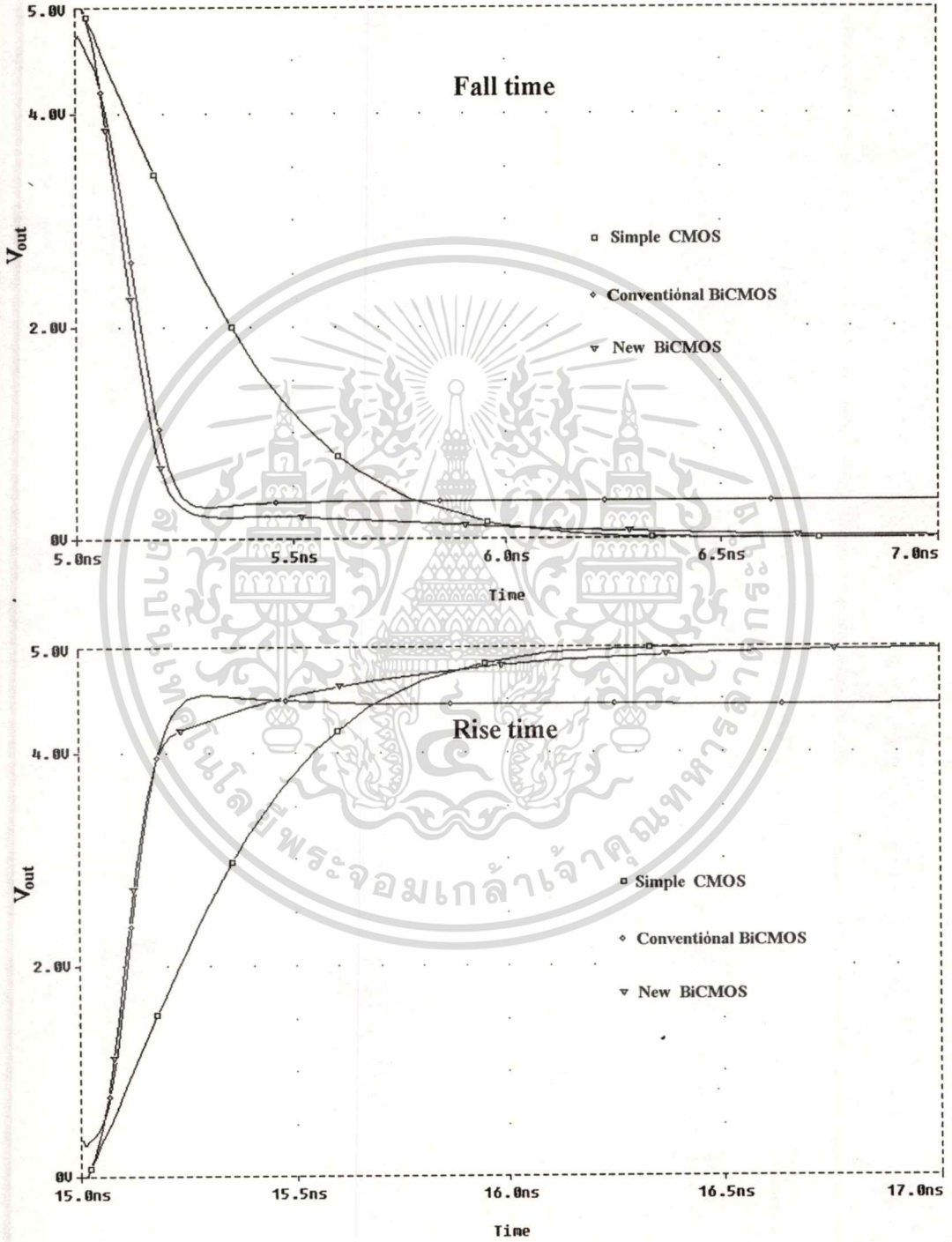
ในวงจรดิจิทัลนอกจากระดับแรงดันต่างๆ จากการศึกษาคุณสมบัติทางสัญญาณไฟตรงแล้ว คุณสมบัติที่สำคัญอย่างยิ่งอีกอย่างหนึ่งก็คือ ความสามารถในการใช้งานร่วมกับวงจรที่มีความถี่สูงได้ ซึ่งจะถูกกำหนดโดยเวลาในช่วงที่แรงดันเพิ่มขึ้น และเวลาในช่วงที่แรงดันลดลง รวมทั้งการหน่วงเวลาของวงจรซึ่งก็คือคุณสมบัติทางสวิทซ์นั่นเอง

ในการศึกษาคุณสมบัติทางสวิทซ์ซึ่งก็สามารถทำได้ทำนองเดียวกับการศึกษาคุณสมบัติทางสัญญาณไฟตรง เพียงเปลี่ยนสัญญาณอินพุตจากการเพิ่มแรงดันทีละน้อยเป็นลักษณะของสัญญาณพัลส์ จากนั้นวัดค่าเวลาที่เอาต์พุตของสัญญาณซึ่งจะได้ผลของคุณสมบัติทางสวิทซ์ของวงจรรีเลย์อินเวอร์ตเตอร์ในแต่ละแบบคือ วงจรแบบซีมอส วงจรรีเลย์อินเวอร์ตแบบธรรมดา และวงจรรีเลย์อินเวอร์ตแบบใหม่ ดังภาพที่ 39 ซึ่งเป็นการเปรียบเทียบช่วงเวลาที่ใช้ในการเปลี่ยนระดับสัญญาณจาก V_{DD} ไปกราวด์ และกราวด์ไปยัง V_{DD} และ

ภาพที่ 40 จะเป็นการเปรียบเทียบผลการตอบสนองของวงจรรีเลย์อินเวอร์ตเตอร์แบบใหม่เทียบกับวงจรรีเลย์อินเวอร์ตที่ $V_{DD} = 5\text{ V}$ และ $C_L = 1\text{ pF}$ ถึง 10 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

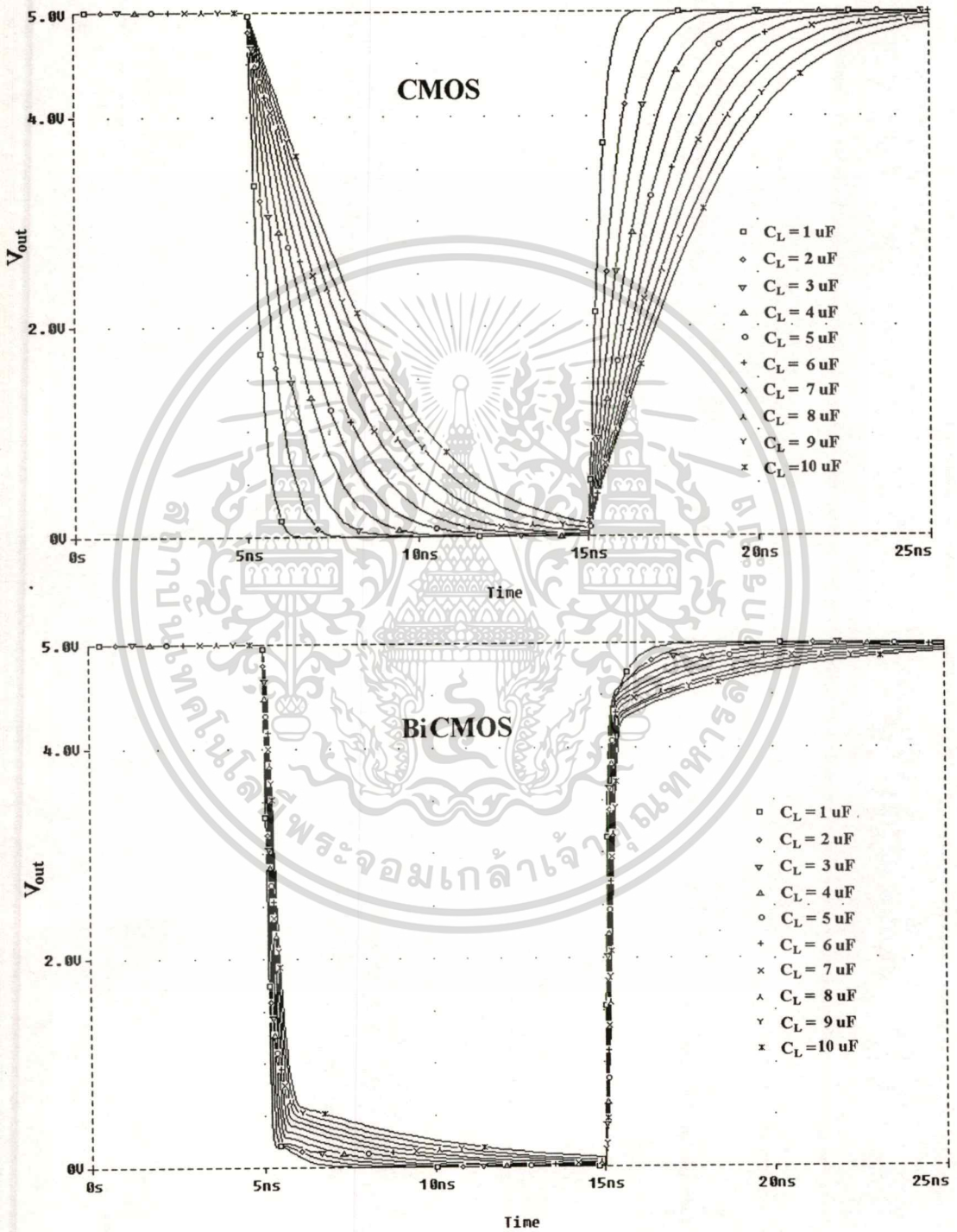
ภาพที่ 39



แสดงการเปรียบเทียบช่วงเวลาที่ใช้ในการเปลี่ยนระดับสัญญาณจาก V_{DD} ไปกราวด์ และ กราวด์ไปยัง V_{DD}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 40



แสดงการเปรียบเทียบผลการตอบสนองของวงจรไบสมอสอินเวอร์ตเตอร์แบบใหม่เทียบกับ
 เอกสารวิจัยที่มีอยู่ซึ่งงานวิจัยนี้ได้ทำไว้ที่งานประชุมวิชาการที่นั่น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรวจรไบซีมอสแนนเกท

การศึกษาคุณสมบัติทางไฟตรงของวงจรวจรไบซีมอสแนนเกท

เนื่องจากวงจรวจรแนนเกทเป็นวงจรมีอยู่ 2 อินพุต ในการศึกษาคุณสมบัติทางไฟตรงจึงมีวิธีที่ใช้กันอยู่ 2 วิธี คือการต่ออินพุตทั้งสองเข้าด้วยกัน จากนั้นจึงทำการเปลี่ยนค่าแรงดันอินพุตแล้ววัดค่าแรงดันที่เอาต์พุต หรือการต่ออินพุตข้างหนึ่งเข้ากับแหล่งจ่ายแรงดัน V_{DD} แล้วเปลี่ยนค่าแรงดันอินพุตเพียงข้างเดียว ทั้งสองแบบนี้จะได้กราฟแสดงคุณสมบัติการถ่ายโอนแรงดันต่างกันเล็กน้อย คือจะมีค่าแรงดันวิกฤติของวงจรถ่างกันแต่จะมีแนวโน้มเดียวกัน จากภาพที่ 41 เป็นการเปรียบเทียบผลของคุณสมบัติทางด้านสัญญาณไฟตรงของวงจรวจรแนนเกทในแต่ละแบบคือวงจรวจรแบบซีมอสวงจรวจรไบซีมอสแบบธรรมดา และวงจรวจรไบซีมอสแบบใหม่ โดยการต่อแบบอินพุตเดียว ส่วนภาพที่ 42 จะเป็นการเปรียบเทียบผลที่ได้จากการต่อวงจรวจรในแต่ละแบบของวงจรวจรไบซีมอสแนนเกทแบบใหม่และวงจรวจรแบบซีมอส

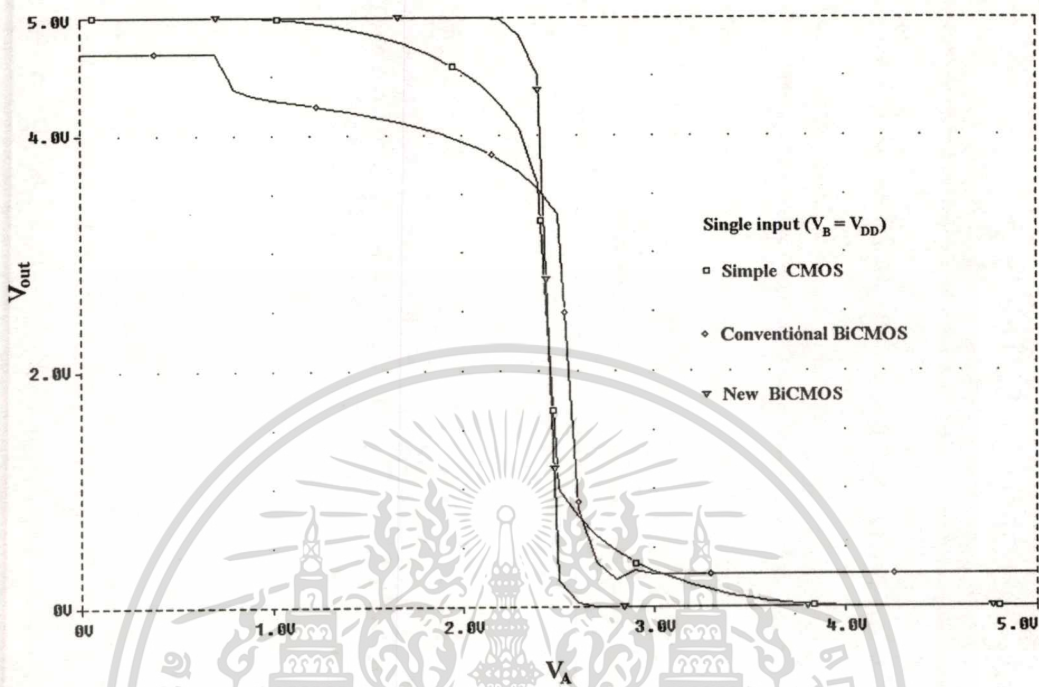
การศึกษาคุณสมบัติทางสวิตซ์ของวงจรวจรไบซีมอสแนนเกท

ในการศึกษาคุณสมบัติทางสวิตซ์ของวงจรวจรประเภทสองอินพุตเช่นวงจรวจรแนนเกทนั้น จะไม่นิยมที่จะใช้วิธีการต่อสัญญาณอินพุตทั้งสองเข้าด้วยกันเหมือนกับที่ใช้ในกรณีของจากการศึกษาคุณสมบัติทางสัญญาณไฟตรง แต่จะใช้การป้อนสัญญาณพัลส์ที่ต่างกันเข้าที่อินพุตในแต่ละข้าง หรือใช้วิธีต่ออินพุตใดอินพุตหนึ่งเข้ากับแหล่งจ่ายแรงดัน V_{DD} จากภาพที่ 43 เป็นการเปรียบเทียบผลการตอบสนองทางสวิตซ์ของวงจรวจรแนนเกทในแต่ละแบบคือ วงจรวจรแบบซีมอส วงจรวจรไบซีมอสแบบธรรมดา และวงจรวจรไบซีมอสแบบใหม่ โดยการป้อนสัญญาณพัลส์ที่ต่างกันที่อินพุตแต่ละข้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

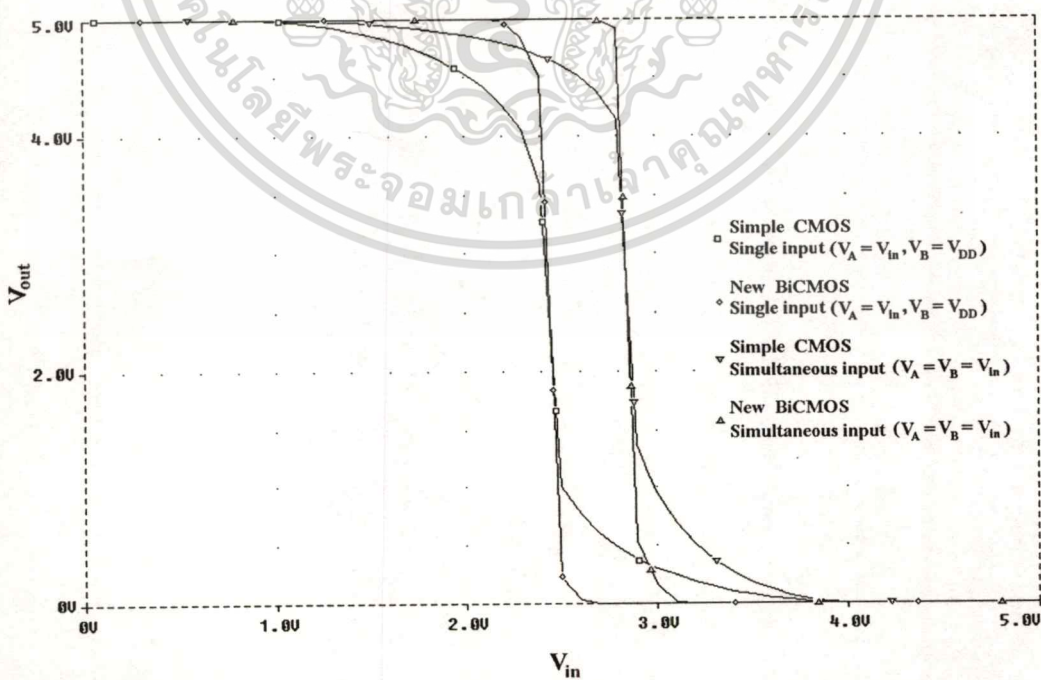
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 41



แสดงการเปรียบเทียบผลการตอบสนองทางสวิตชิงของวงจรแนกเกทในแต่ละแบบ

ภาพที่ 42



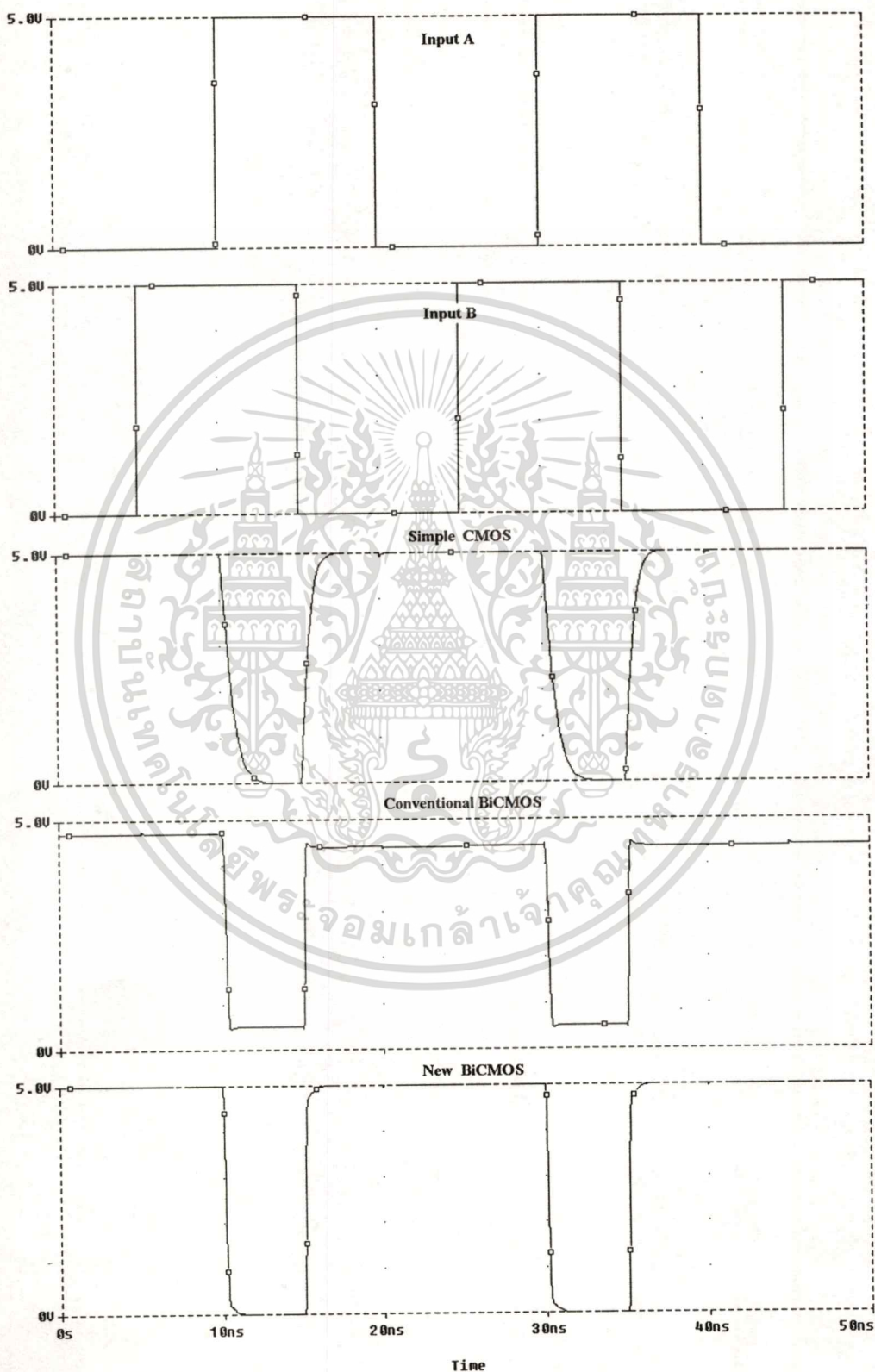
การเปรียบเทียบผลที่ได้จากการต่อวงจรในแต่ละแบบของวงจรไบซีมอสแนกเกทแบบใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

และวงจรแบบซิมอส

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 43



เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์หรือการอื่นเพื่อการค้าเท่านั้น และอยู่ภายใต้เงื่อนไขและข้อกำหนดด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรไบซิมอสเนอร์เกท

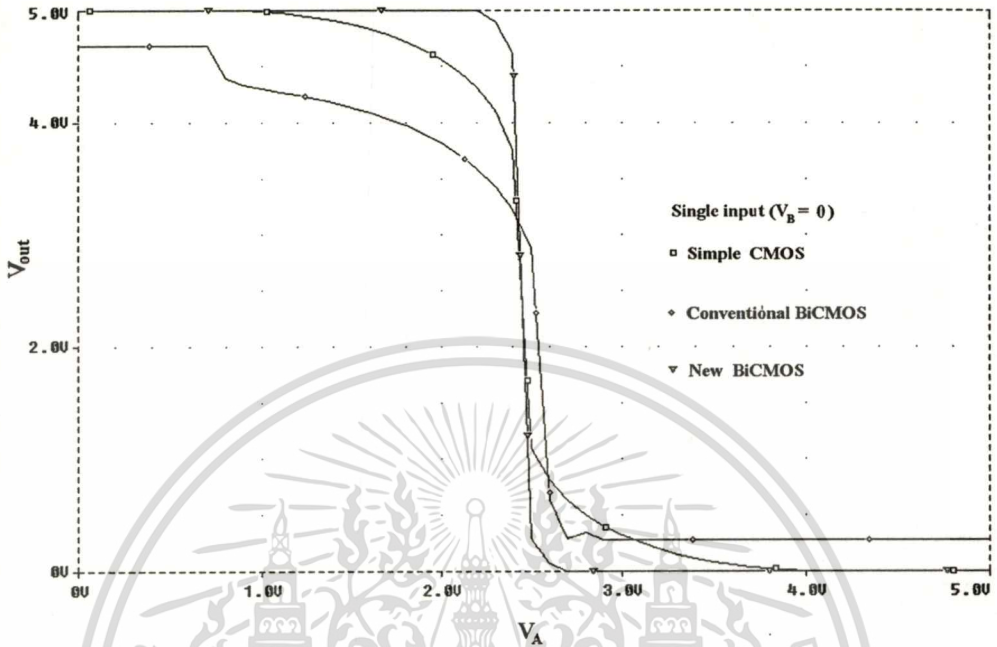
การศึกษาคุณสมบัติทางไฟตรงของวงจรไบซิมอสเนอร์เกท

ในกรณีของวงจรรนอร์เกทเป็นวงจรมีอยู่ 2 อินพุตเช่นเดียวกับวงจรรแนนเกท ในการศึกษาคุณสมบัติของวงจรถ้าจะใช้วิธีการเช่นเดียวกันเพียงต่างกันที่ ในกรณีการต่อวงจบบอบอินพุตเดียวจะต่ออินพุตอีกขาหนึ่งลงกราวด์แทนที่จะต่อกับแหล่งจ่ายแรงดัน V_{DD} ดังในกรณีของวงจรรแนนเกท สำหรับผลการเปรียบเทียบคุณสมบัติทางด้านสัญญาณไฟตรงของวงจรรนอร์เกทในแต่ละแบบคือ วงจบบอบซิมอส วงจรไบซิมอสแบบธรรมดา และวงจรไบซิมอสแบบใหม่ โดยการต่อแบบอินพุตเดียวจะแสดงดังภาพที่ 44 ส่วนภาพที่ 45 จะเป็นการเปรียบเทียบผลที่ได้จากการต่อวงจรรนอร์เกทในแต่ละแบบของวงจรไบซิมอสเนอร์เกทแบบใหม่

การศึกษาคุณสมบัติทางสวิทซ์ของวงจรไบซิมอสเนอร์เกท

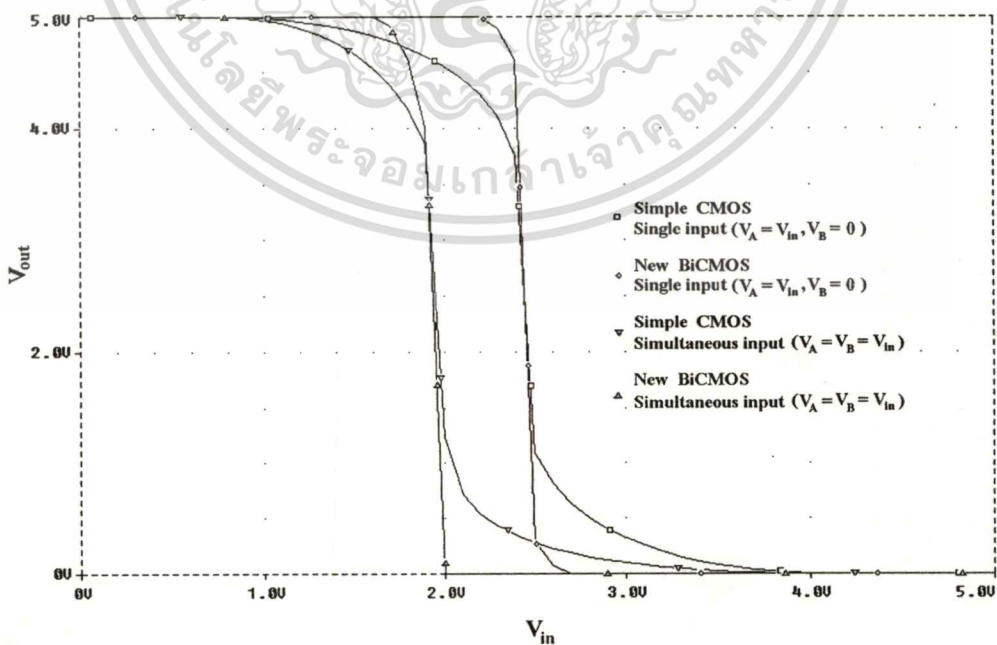
ในกรณีของการศึกษาคุณสมบัติทางสวิทซ์ของวงจรรนอร์เกทก็เช่นเดียวกัน คือจะไม่นิยมที่จะใช้วิธีการต่อสัญญาณอินพุตทั้งสองเข้าด้วยกันเหมือนกับที่ใช้ในกรณีของจากการศึกษาคุณสมบัติทางสัญญาณไฟตรง แต่จะใช้การป้อนสัญญาณพัลส์ที่ต่างกันเข้าที่อินพุตในแต่ละข้าง หรือใช้วิธีต่ออินพุตใดอินพุตลงกราวด์ ผลการเปรียบเทียบผลของคุณสมบัติทางด้านสวิทซ์ของวงจรรนอร์เกทในแต่ละแบบคือ วงจบบอบซิมอส วงจรไบซิมอสแบบธรรมดา และวงจรไบซิมอสแบบใหม่ จะทำโดยใช้การป้อนสัญญาณพัลส์ที่ต่างกันอินพุตแต่ละข้าง ซึ่งจะได้ผลการตอบสนองของวงจรรนอร์เกทดังภาพที่ 46

ภาพที่ 44



แสดงผลการเปรียบเทียบคุณสมบัติทางด้านสัญญาณไฟตรงของวงจรมอนอร์เกทในแต่ละแบบ โดยการต่อแบบอินพุตเดียว

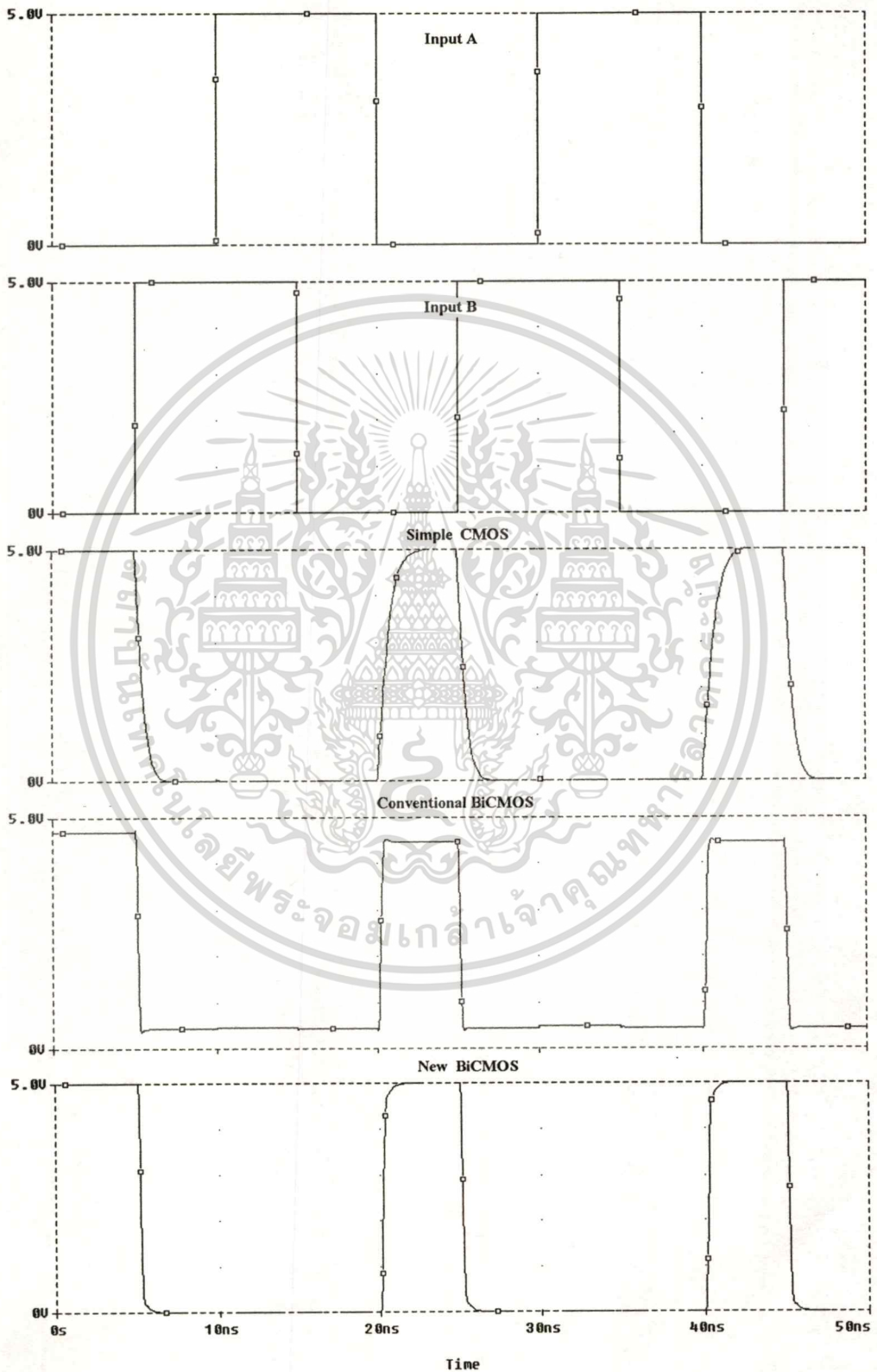
ภาพที่ 45



แสดงการเปรียบเทียบผลที่ได้จากการต่อวงจรในแต่ละแบบของวงจรไบซีมอสอินเวอร์ทแบบใหม่

เอกสารแต่ละวงจรแบบซีมอส สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 46



เอกสารนี้เป็นเอกสารเปรียบเทียบผลการตอบสนองทางสวิตชิงของวงจรรนอร์เกทในแต่ละแบบ
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรไบซิมอสแอนเกท

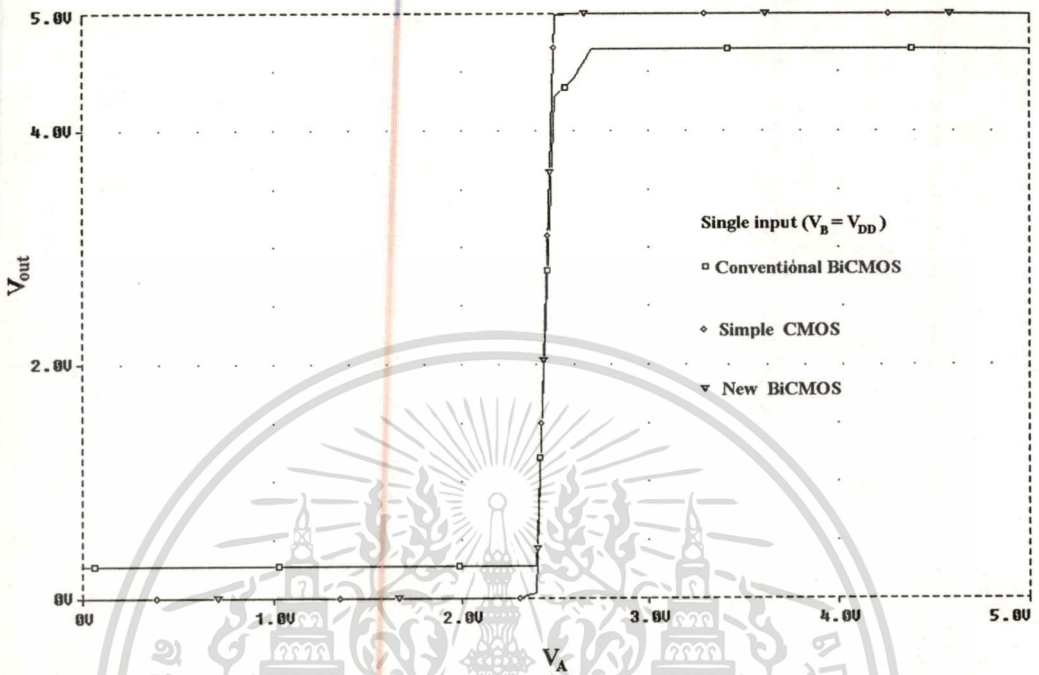
การศึกษาคุณสมบัติทางไฟตรงของวงจรไบซิมอสแอนเกท

ในกรณีของวงจรแอนเกทซึ่งเป็นวงจรมีสัญญาณเอาต์พุตตรงข้ามกับวงจรแอนเกท ในการศึกษาคุณสมบัติของวงจรถ้าจะใช้วิธีการเช่นเดียวกับวงจรแอนเกท คือโดยการต่ออินพุตทั้งสองเข้าด้วยกัน จากนั้นจึงทำการเปลี่ยนค่าแรงดันอินพุตแล้ววัดค่าแรงดันที่เอาต์พุต หรือการต่ออินพุตข้างหนึ่งเข้ากับแหล่งจ่ายแรงดัน V_{DD} แล้วเปลี่ยนแรงดันอินพุตเพียงข้างเดียว สำหรับผลการเปรียบเทียบคุณสมบัติทางด้านสัญญาณไฟตรงของวงจรแอนเกทในแต่ละแบบคือ วงจรแบบซิมอส วงจรไบซิมอสแบบธรรมดา และวงจรไบซิมอสแบบใหม่ โดยการต่อแบบอินพุตเดียวจะแสดงดังภาพที่ 47 ส่วนภาพที่ 48 จะเป็นการเปรียบเทียบผลที่ได้จากการต่อวงจรมีแต่ละแบบของวงจรไบซิมอสแอนเกทแบบใหม่ และ วงจรแบบซิมอส

การศึกษาคุณสมบัติทางสวิชชิงของวงจรไบซิมอสแอนเกท

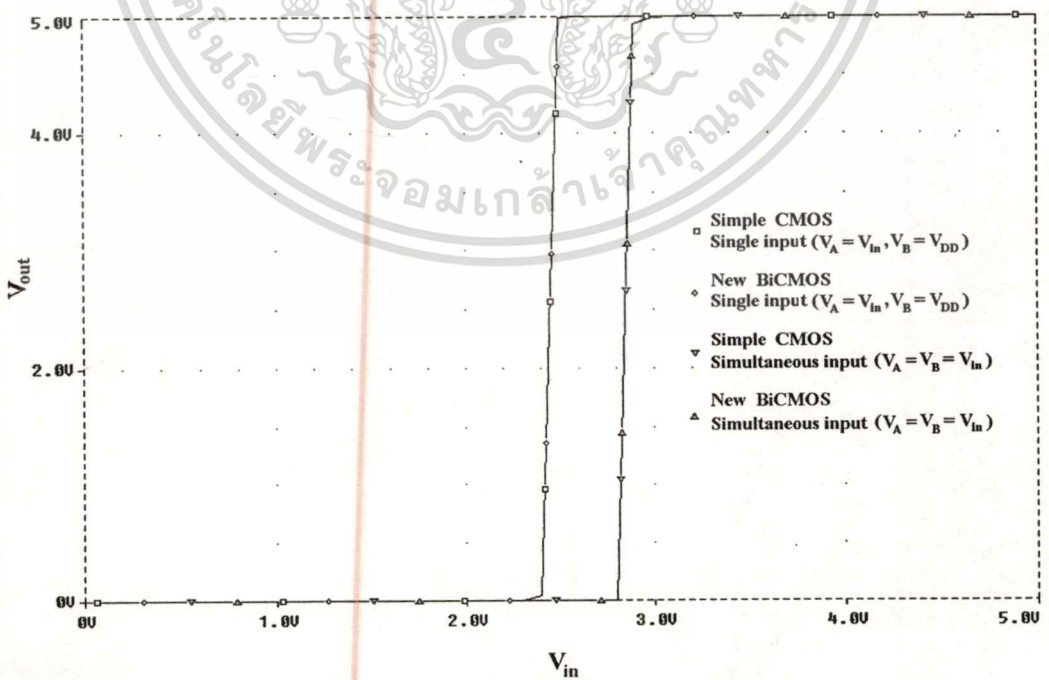
ในกรณีของการศึกษาคุณสมบัติทางสวิชชิงของวงจรแอนเกทก็เช่นเดียวกับวงจรมีสัญญาณ 2 อินพุตอื่นๆ คือจะไม่นิยมที่จะใช้วิธีการต่อสัญญาณอินพุตทั้งสองเข้าด้วยกันเหมือนกับที่ใช้ในกรณีของการศึกษาคุณสมบัติทางสัญญาณไฟตรง แต่จะใช้การป้อนสัญญาณพัลส์ที่ต่างกันเข้าที่อินพุตในแต่ละข้าง หรือใช้วิธีต่ออินพุตใดอินพุตหนึ่งเข้ากับแหล่งจ่ายแรงดัน V_{DD} โดยที่ผลการเปรียบเทียบคุณสมบัติทางด้านสวิชชิงของวงจรแอนเกทในแต่ละแบบคือ วงจรซิมอส วงจรไบซิมอสแบบธรรมดา และวงจรไบซิมอสแบบใหม่ จะทำโดยใช้การป้อนสัญญาณพัลส์ที่ต่างกันที่อินพุตแต่ละข้างซึ่งจะได้ผลการตอบสนองของวงจรมีดังภาพที่ 49

ภาพที่ 47



แสดงผลการเปรียบเทียบคุณสมบัติทางด้านสัญญาณไฟตรงของวงจรแอนเกทในแต่ละแบบ โดยการต่อแบบอินพุตเดี่ยว

ภาพที่ 48

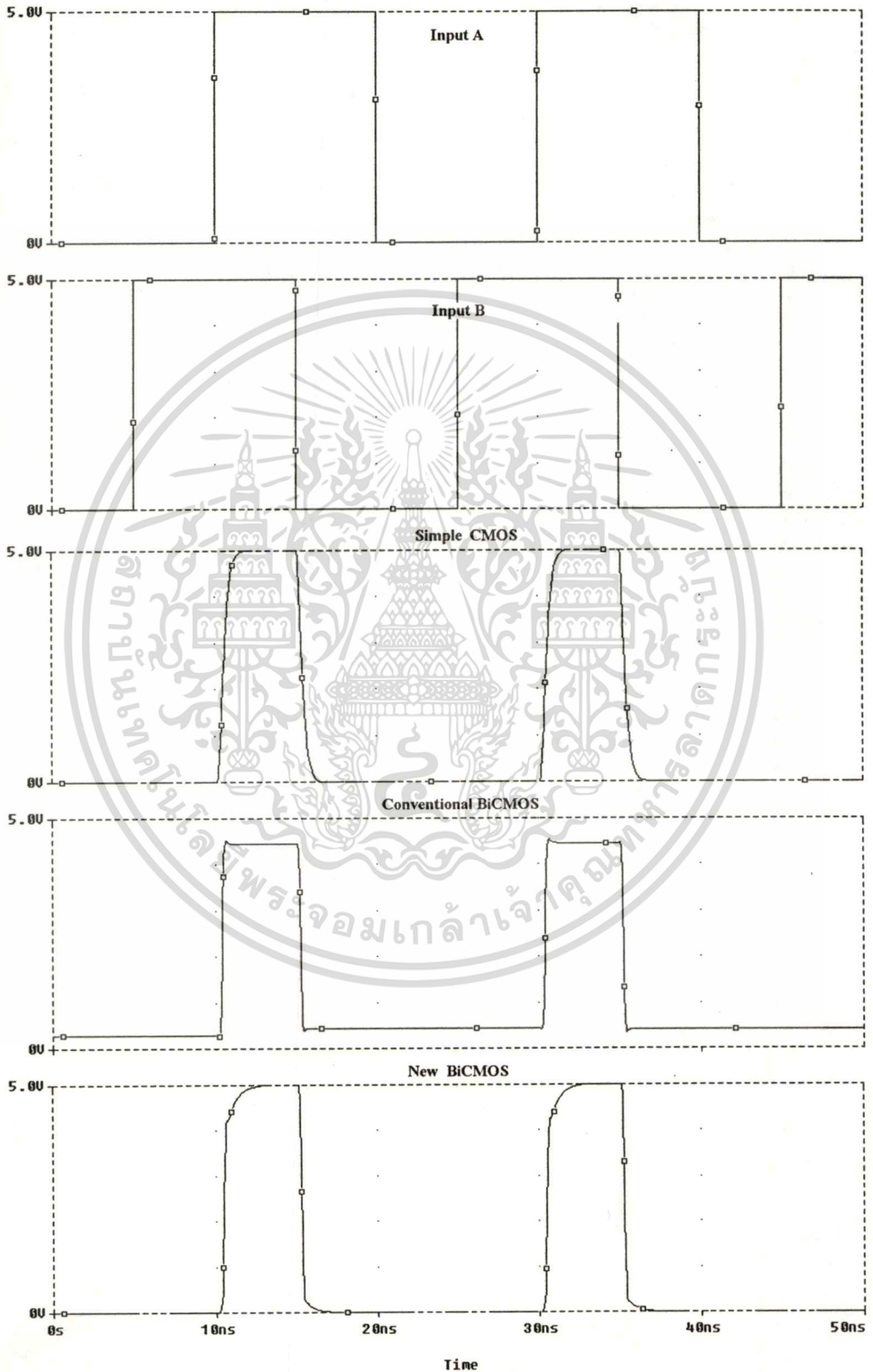


แสดงเปรียบเทียบผลที่ได้จากการต่อวงจรในแต่ละแบบของวงจรไบซีมอสแอนเกทแบบใหม่

และ วงจรแบบซิมอส เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 49



เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรไบซิมอสออร์เกท

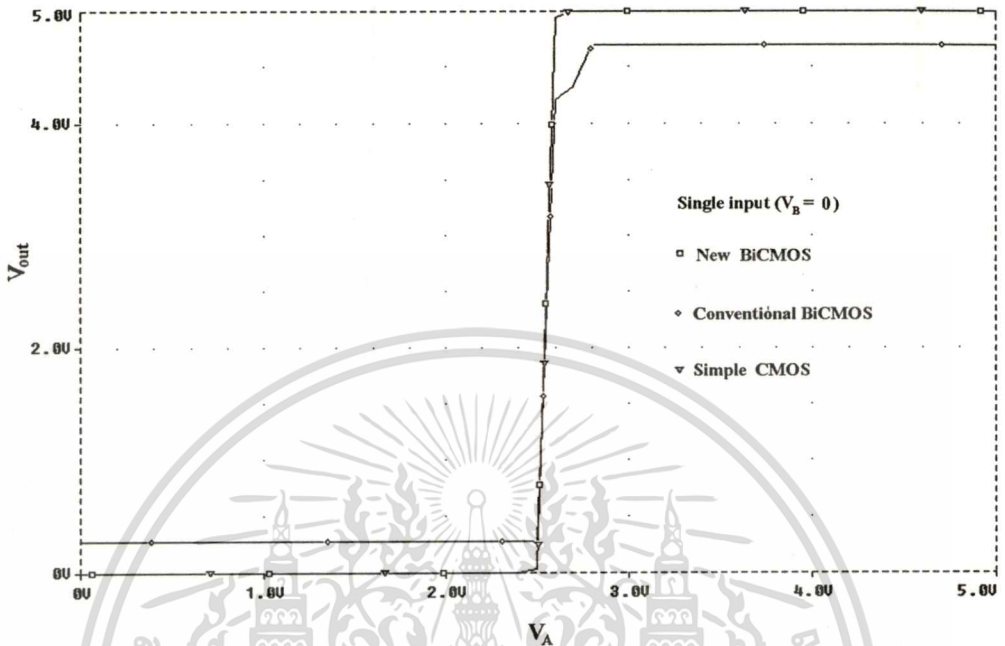
การศึกษาคุณสมบัติทางไฟตรงของวงจรไบซิมอสออร์เกท

ในกรณีของวงจรออร์เกทซึ่งเป็นวงจรที่มีสัญญาณเอาต์พุตตรงข้ามกับวงจรนอร์เกท ในการศึกษาคุณสมบัติของวงจรก็จะใช้วิธีการเช่นเดียวกับวงจรนอร์เกท คือโดยการต่ออินพุตทั้งสองเข้าด้วยกัน จากนั้นจึงทำการเปลี่ยนค่าแรงดันอินพุตแล้ววัดค่าแรงดันที่เอาต์พุต หรือการต่ออินพุตข้างหนึ่งลงกราวด์ แล้วเปลี่ยนแรงดันอินพุตเพียงข้าง สำหรับเปรียบเทียบผลของคุณสมบัติทางสัญญาณไฟตรงของวงจรแอนเกท ในแต่ละแบบคือ วงจรซิมอส วงจรไบซิมอสแบบธรรมดา และวงจรไบซิมอสแบบใหม่ โดยการต่อแบบอินพุตเดียวจะแสดงดังภาพที่ 50 ส่วนภาพที่ 51 จะเป็นการเปรียบเทียบผลที่ได้จากการต่อวงจรในแต่ละแบบของวงจรไบซิมอสออร์เกทแบบใหม่ และวงจรแบบซิมอส

การศึกษาคุณสมบัติทางสวิทช์ของวงจรไบซิมอสออร์เกท

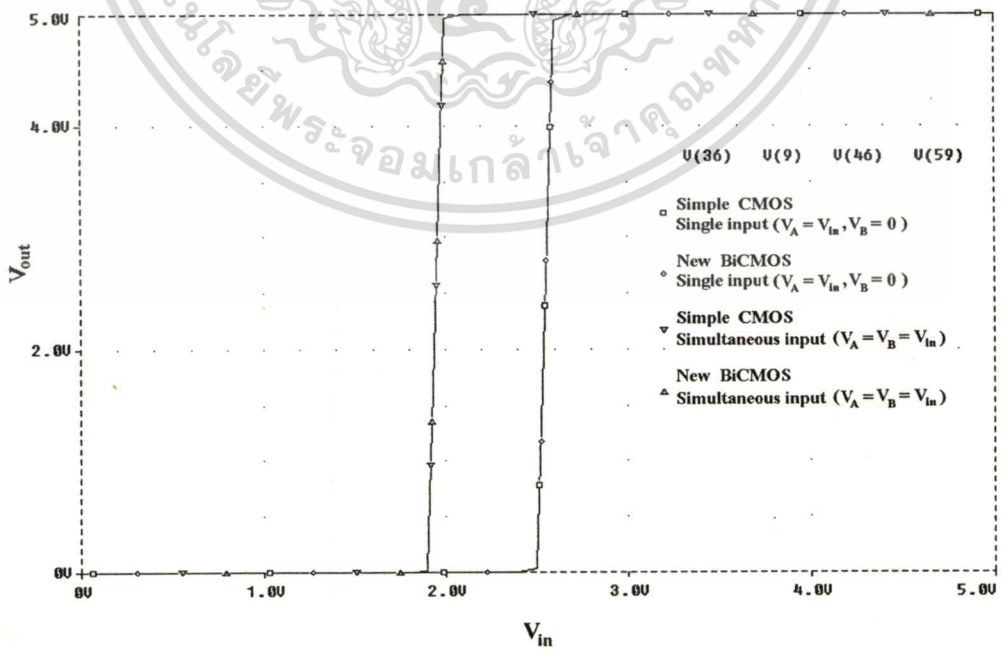
ในทำนองเดียวกันการศึกษาคณะสมบัติทางสวิทช์ของวงจรออร์เกทก็เช่นเดียวกับวงจร 2 อินพุตอื่นๆ ก็จะไม่นิยมที่จะใช้วิธีการต่อสัญญาณอินพุตทั้งสองเข้าด้วยกันเหมือนกับที่ใช้ในกรณีของการศึกษาคณะสมบัติทางสัญญาณไฟตรง แต่จะทำการป้อนสัญญาณพัลส์ที่ต่างกันเข้าที่อินพุตในแต่ละข้าง หรือใช้วิธีต่ออินพุตใดอินพุตหนึ่งลงกราวด์ โดยที่ผลการเปรียบเทียบคุณสมบัติทางด้านสวิทช์ของวงจรออร์เกทในแต่ละแบบคือ วงจรซิมอส วงจรไบซิมอสแบบธรรมดา และวงจรไบซิมอสแบบใหม่ จะทำโดยใช้การป้อนสัญญาณพัลส์ที่ต่างกันที่อินพุตแต่ละข้างซึ่งจะได้ผลการตอบสนองของวงจรดังภาพที่ 52

ภาพที่ 50



แสดงผลการเปรียบเทียบคุณสมบัติทางด้านสัญญาณไฟตรงของวงจรรอ์เกทในแต่ละแบบ โดยการต่อแบบอินพุตเดี่ยว

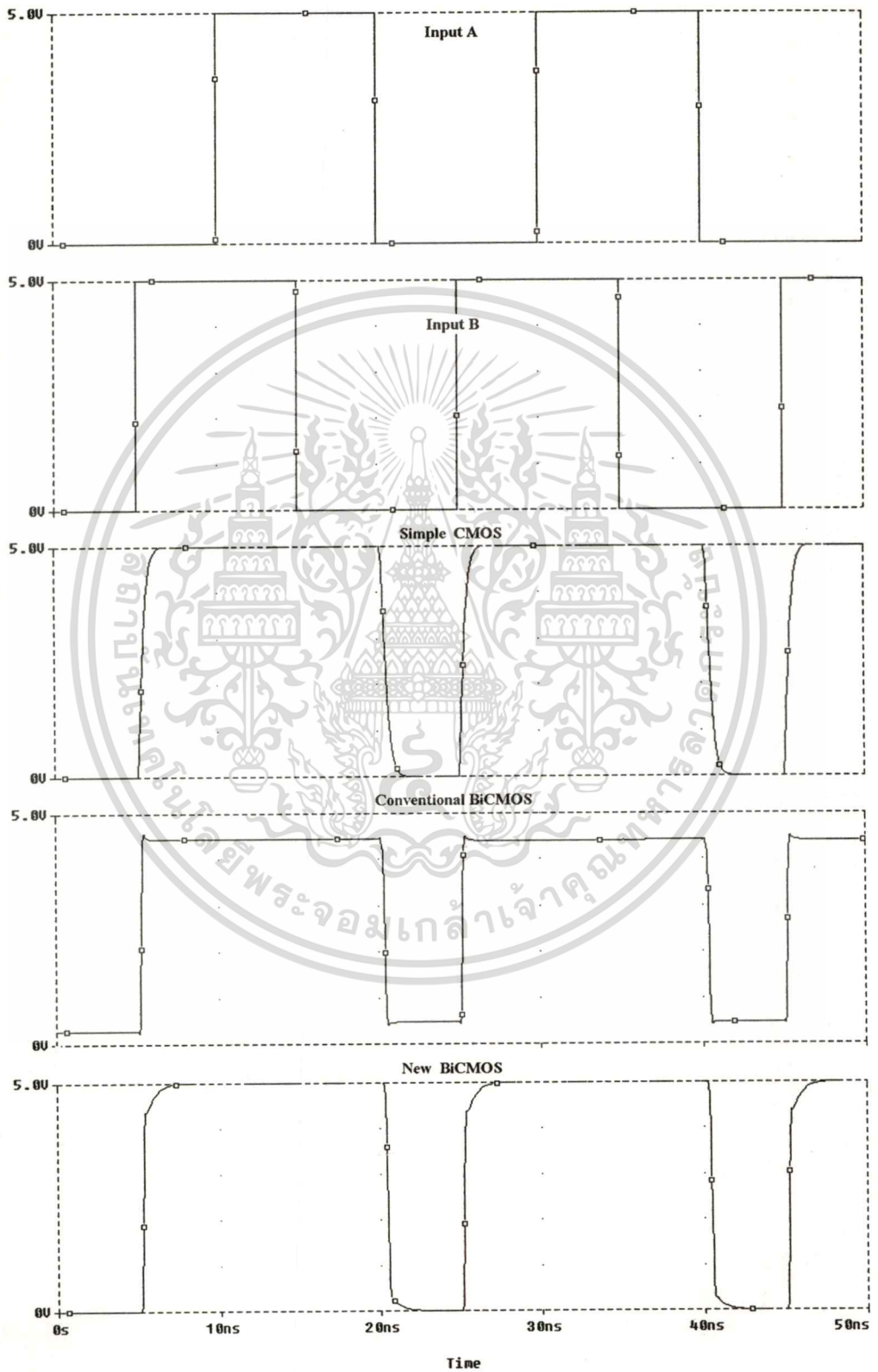
ภาพที่ 51



แสดงเปรียบเทียบผลที่ได้จากการต่อวงจรในแต่ละแบบของวงจรรอ์เกทแบบใหม่

เอกสารนี้เป็นเอกสารที่รวบรวมไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 52



เอกสารนี้เป็นเอกสารเปรียบเทียบผลการตอบสนองทางสวิตชิงของวงจรรอท์เกทในแต่ละแบบ
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรไบซิมอสซมิตทริกเกอร์แบบไม่กลับเฟส

การศึกษาคุณสมบัติทางไฟตรงของวงจรไบซิมอสซมิตทริกเกอร์แบบไม่กลับเฟส

ในกรณีของวงจรไบซิมอสซมิตทริกเกอร์แบบไม่กลับเฟสที่มีลักษณะพิเศษต่างจากวงจรอื่น เนื่องจากการเปลี่ยนแปลงแรงดันเอาต์พุตของวงจรจะขึ้นกับแนวโน้มในการเปลี่ยนแรงดันที่อินพุต คือถ้าแรงดันอินพุตเพิ่มขึ้นจะทำให้เกิดค่าแรงดันวิกฤติของวงจรค่าหนึ่ง แต่ถ้าแรงดันอินพุตลดลง จะทำให้เกิดค่าแรงดันวิกฤติของวงจรอีกค่าหนึ่ง และเนื่องจากเป็นวงจรที่มีอินพุตเดียวเหมือนวงจรอินเวอร์ตเตอร์ ดังนั้นในการศึกษาคุณสมบัติของวงจรจึงสามารถใช้วิธีเดียวกับในกรณีของวงจรอินเวอร์ตเตอร์ แต่ต้องแบ่งออกเป็นสองกรณีคือ กรณีที่แรงดันอินพุตเพิ่มขึ้นและกรณีที่แรงดันอินพุตลดลง สำหรับการเปรียบเทียบผลของคุณสมบัติทางด้านสัญญาณไฟตรงของวงจรไบซิมอสซมิตทริกเกอร์แบบไม่กลับเฟสในแต่ละแบบคือ วงจรซิมอส และวงจรไบซิมอสแบบใหม่ ในกรณีที่แรงดันอินพุตเพิ่มขึ้นจะแสดงดังภาพที่ 53 ส่วนในกรณีที่แรงดันอินพุตลดลงจะแสดงดังภาพที่ 54 สิ่งสำคัญอีกอย่างหนึ่งของวงจรซมิตทริกเกอร์คือความสามารถใช้กับแหล่งจ่ายแรงดันต่างๆ ซึ่งจะให้ค่าแรงดันวิกฤติต่างกันออกไป ดังภาพที่ 55 เป็นกราฟที่ได้จากการอ่านค่าแรงดันวิกฤติของวงจรไบซิมอสซมิตทริกเกอร์แบบใหม่เทียบกับวงจรซิมอสและค่าที่ได้จากการคำนวณ

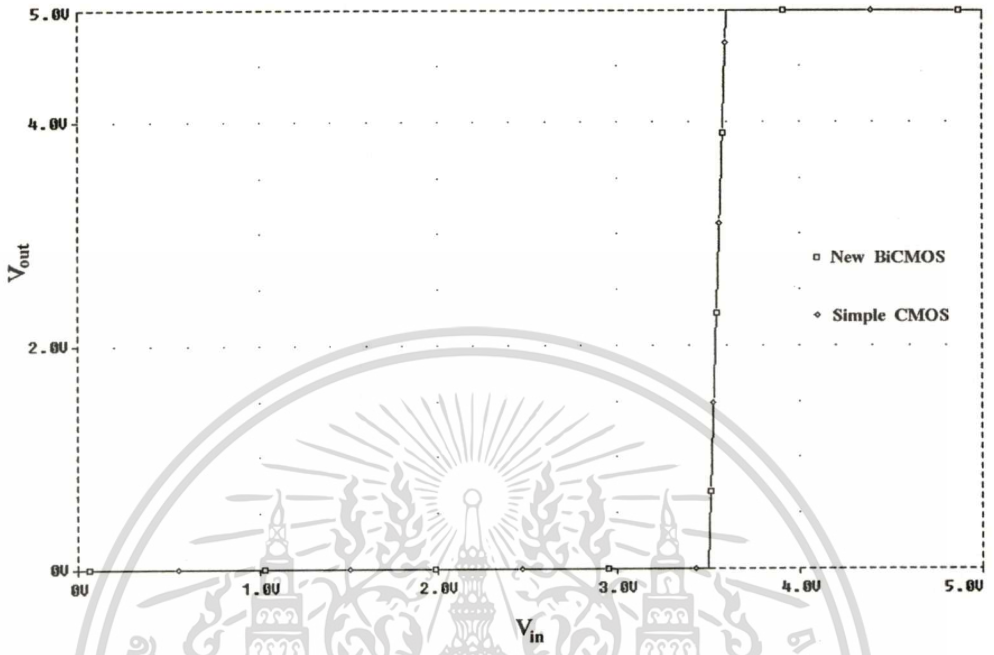
การศึกษาคุณสมบัติทางสวิทซ์ของวงจรไบซิมอสซมิตทริกเกอร์แบบไม่กลับเฟส

ในกรณีของการศึกษาคุณสมบัติทางสวิทซ์ของวงจรไบซิมอสซมิตทริกเกอร์แบบไม่กลับเฟส จะสมมุติให้สัญญาณพัลส์ถูกลดทอนจนมีลักษณะคล้ายรูปไซน์ ดังนั้นจึงทำได้โดยการป้อนสัญญาณรูปไซน์เข้าที่อินพุต จากนั้นจึงวัดค่าเวลาที่เอาต์พุตของสัญญาณ เพื่อเปรียบเทียบผลของคุณสมบัติทางด้านสวิทซ์ของวงจรซมิตทริกเกอร์แบบใหม่กับวงจรซิมอส จะได้ผลการตอบสนองของวงจรดังภาพที่ 56 ส่วนภาพที่ 57 เป็นการเปรียบเทียบผลของแหล่งจ่ายแรงดันต่อการหน่วงเวลาของวงจรซมิตทริกเกอร์แบบซิมอสและไบซิมอส และภาพที่ 58 เป็นการเปรียบเทียบผลของ

เอกสารนี้เผยแพร่โดยศูนย์ส่งเสริมวิชาการและพัฒนาระบบงานของวิทยาลัยการอาชีพสุพรรณบุรี

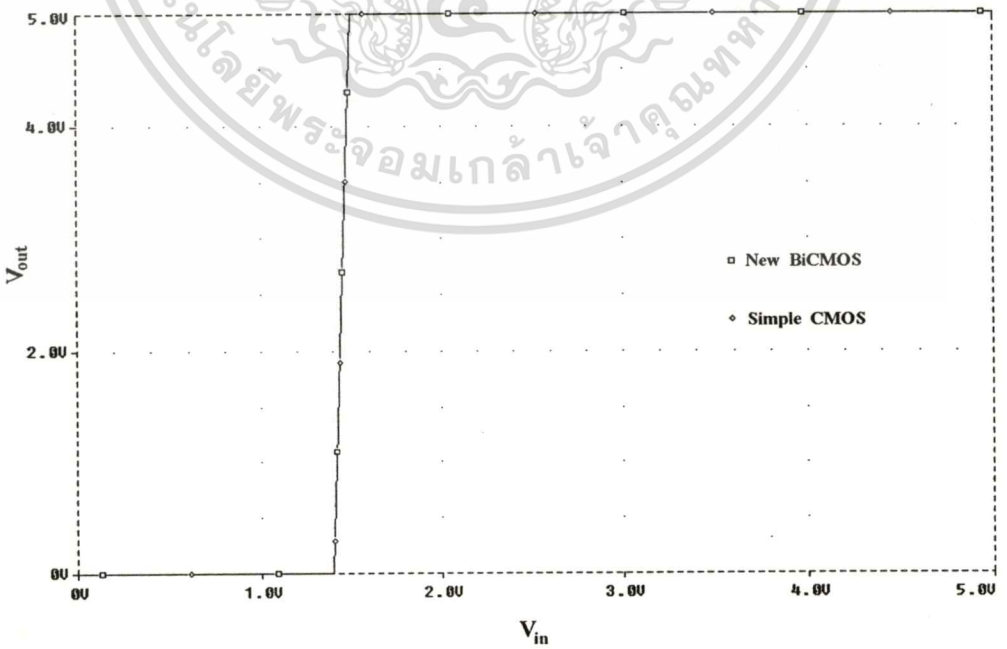
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 53



การเปรียบเทียบผลของคุณสมบัติทางด้านสัญญาณไฟตรงของวงจรไบซีมอสมีทรานซิสเตอร์แบบไม่กลับเฟสกับวงจรซีมอสในกรณีที่แรงดันอินพุตเพิ่มขึ้น

ภาพที่ 54

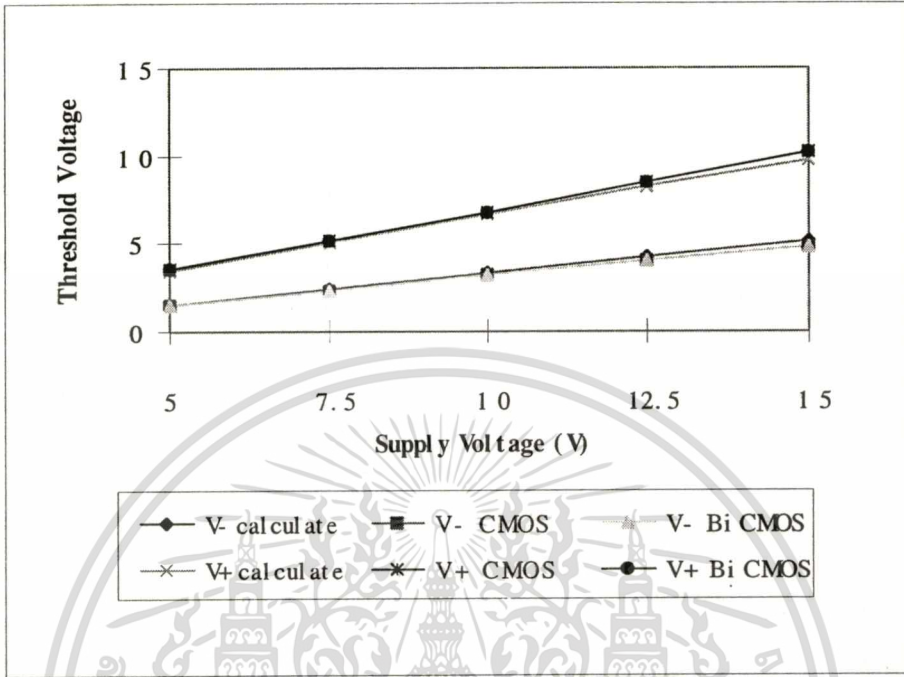


การเปรียบเทียบผลของคุณสมบัติทางด้านสัญญาณไฟตรงของวงจรไบซีมอสมีทรานซิสเตอร์

แบบไม่กลับเฟสกับวงจรซีมอสในกรณีที่แรงดันอินพุตลดลง ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

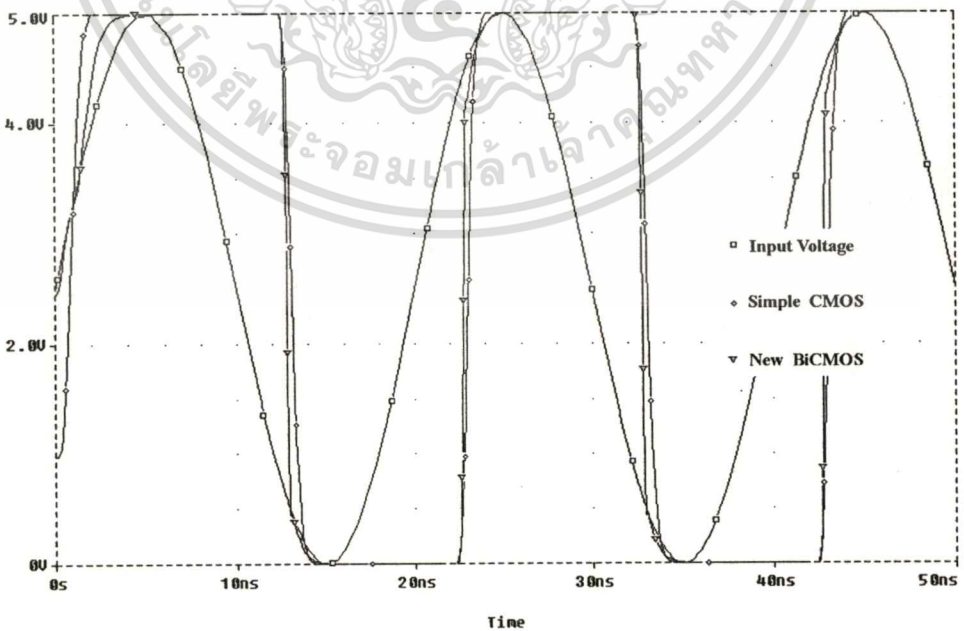
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 55



แสดงกราฟที่ได้จากการอ่านค่าแรงดันวิกฤติของวงจรไบสมอสชนิดทรานซิสเตอร์แบบใหม่เทียบกับวงจรซีมอสและค่าที่ได้จากการคำนวณ

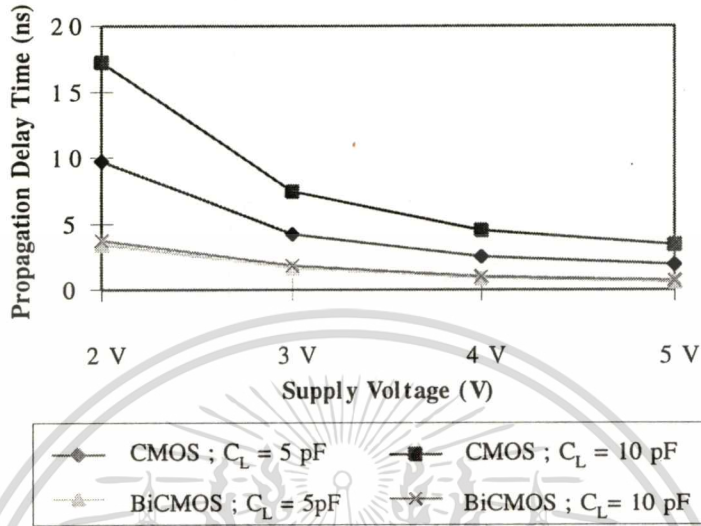
ภาพที่ 56



แสดงการเปรียบเทียบผลของคุณสมบัติทางด้านสวิทชิงของวงจรชนิดทรานซิสเตอร์แบบใหม่กับ

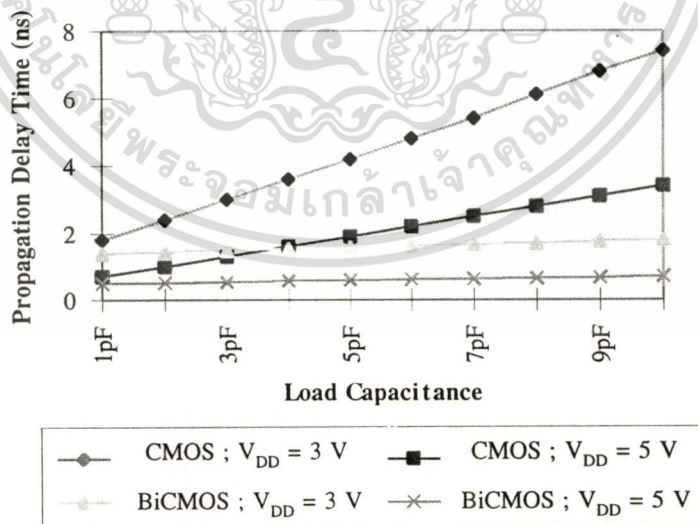
เอกสารวิจัยที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 57



แสดงการเปรียบเทียบผลของแหล่งจ่ายแรงดันต่อการหน่วงเวลาของวงจรมิติทริกเกอร์แบบ ชิมอสและไบชิมอส

ภาพที่ 58



แสดงการเปรียบเทียบผลของโหลดคาปาซิแตนซ์ต่อการหน่วงเวลาของวงจรมิติทริกเกอร์แบบ ชิมอสและไบชิมอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

สรุปผลการวิจัย

จากผลการทดสอบและเปรียบเทียบคุณสมบัติของวงจรถิจริตอลในแต่ละแบบ แสดงให้เห็นว่า คุณสมบัติการถ่ายโอนแรงดันในช่วงที่เอาต์พุตมีสถานะเป็น “0” และช่วงที่เอาต์พุตมีสถานะเป็น “1” ของวงจรถิจริตอลแบบใหม่นี้ จะมีลักษณะสมมาตรกันซึ่งเป็นข้อได้เปรียบประการหนึ่งของวงจรถิจริตอลแบบใหม่นี้เมื่อเทียบกับวงจรถิจริตอลแบบธรรมดา ดังจะเห็นได้จากผลตอบสนองต่อสัญญาณไฟตรงของวงจรถิจริตอลแต่ละแบบดังภาพที่ 38 41 44 47 และภาพที่ 50 เนื่องจากการใช้วงจรถิจริตอลแบบคู่ควบในการขับวงจรถิจริตอลแบบใหม่นี้สามารถมีระดับแรงดันเอาต์พุตสูงสุด (V_{OH}) ได้สูงถึง V_{DD} และมีระดับแรงดันเอาต์พุตต่ำสุด (V_{OL}) มีค่าเป็นศูนย์ ซึ่งวงจรถิจริตอลแบบธรรมดาไม่สามารถทำได้ เนื่องจากวงจรถิจริตอลแบบใหม่นี้ได้เพิ่มวงจรถิจริตอลทรานซิสเตอร์ที่ต่อระหว่างเบสของไบโพลาร์ทรานซิสเตอร์แต่ละตัวกับเอาต์พุต และวงจรถิจริตอลทรานซิสเตอร์ทำหน้าที่ป้อนสัญญาณเอาต์พุตกลับไปควบคุมการทำงานของทรานซิสเตอร์ที่ต่อระหว่างเบสกับเอาต์พุต

สำหรับวงจรถิจริตอลแบบสองอินพุตซึ่งสามารถทดสอบวงจรถิจริตอลได้ 2 วิธีคือการต่ออินพุตทั้งสองเข้าด้วยกัน และการต่ออินพุตขาหนึ่งเข้ากับ V_{DD} หรือกราวด์ กรณีของวงจรถิจริตอลแบบธรรมดาและแอนดอริท การทดสอบโดยต่ออินพุตขาหนึ่งเข้ากับ V_{DD} ค่าแรงดันวิกฤติของวงจรถิจริตอลและไบโพลาร์ทรานซิสเตอร์แบบใหม่จะเพิ่มขึ้นเมื่อเทียบกับการทดสอบโดยต่ออินพุตทั้งสองเข้าด้วยกันดังภาพที่ 42 และภาพที่ 48 ส่วนกรณีของวงจรถิจริตอลแบบออร์เทกและอินเวอร์เทก การทดสอบโดยการต่ออินพุตขาหนึ่งลงกราวด์ ค่าแรงดันวิกฤติของวงจรถิจริตอลและไบโพลาร์ทรานซิสเตอร์แบบใหม่จะลดลง เมื่อเทียบกับการทดสอบโดยต่ออินพุตทั้งสองเข้าด้วยกัน ดังภาพที่ 45 และภาพที่ 51 นอกจากนี้จะเห็นได้ว่า จากวงจรถิจริตอลที่กล่าวมาแล้วแรงดันวิกฤติของวงจรถิจริตอลและไบโพลาร์ทรานซิสเตอร์จะมีค่าเท่ากัน แสดงว่าเรายังคงสามารถใช้หลักการกำหนดค่าแรงดันวิกฤติของวงจรถิจริตอลซึ่งใช้กันอยู่ในปัจจุบันมากำหนดค่าแรงดันวิกฤติของวงจรถิจริตอลแบบใหม่นี้ได้ ซึ่งในกรณีของไบโพลาร์ทรานซิสเตอร์ก็ได้ผลเช่นเดียวกัน ดังแสดงในภาพที่ 53 ภาพที่ 54 และภาพที่ 55

คุณสมบัติที่สำคัญอีกอย่างหนึ่งของวงจรถิจริตอลก็คือ คุณสมบัติการตอบสนองทางด้านสวิทช์ซึ่งดังภาพที่ 39 ซึ่งแสดงการเปรียบเทียบผลการเปลี่ยนแปลงของระดับสัญญาณจาก “1” ไป “0”

(fall time) และการเปลี่ยนแปลงของระดับสัญญาณจาก “0” ไป “1” (rise time) จะเห็นว่าวงจรถิจริตอลเป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไบซิมอสทั้งสองแบบจะมีความแตกต่างกันไม่มากนัก แต่วงจรไบซิมอสแบบใหม่จะสามารถมีระดับแรงดันสูงสุดเป็น V_{DD} และต่ำสุดคือศูนย์ แต่เมื่อเปรียบเทียบกับวงจรซิมอสจะเห็นได้ว่าวงจรไบซิมอสจะใช้เวลาน้อยกว่ามาก และจะเห็นเด่นชัดขึ้นจากภาพที่ 40 ซึ่งเป็นการเปรียบเทียบผลการตอบสนองทางสวิตช์ของวงจรแบบซิมอสและวงจรไบซิมอสแบบใหม่ ซึ่งสามารถสรุปเป็นตารางได้ดังนี้

ตารางที่ 6

LOAD (pF)	fall time (ns)			rise time (ns)			delay time (ns)		
	ซิมอส	ไบซิมอส	ลดลง (%)	ซิมอส	ไบซิมอส	ลดลง (%)	ซิมอส	ไบซิมอส	ลดลง (%)
1	0.82	0.8	2.50	0.57	0.27	52.63	0.61	0.57	6.09
2	1.4	0.78	44.29	1.38	0.38	72.46	1.125	0.66	41.33
3	2.02	0.8	60.40	2.05	0.46	77.56	1.39	0.71	48.92
4	2.45	0.86	64.90	2.47	0.53	78.54	1.695	0.74	56.34
5	3.18	0.94	70.44	3.31	0.85	74.32	1.865	0.775	58.45
6	3.82	0.97	74.61	3.91	1.31	66.50	2.175	0.805	62.99
7	4.5	0.99	78.00	4.66	1.8	61.37	2.375	0.83	65.05
8	5.12	1.02	80.08	5.1	2.4	52.94	2.775	0.84	69.73
9	5.73	1.4	75.57	5.85	2.92	50.09	3.04	0.865	71.55
10	6.65	1.75	73.68	6.7	3.67	45.22	3.265	0.91	72.13

ตารางที่ 6 แสดงการเปรียบเทียบคุณสมบัติทางสวิตช์ของวงจรซิมอสและไบซิมอส

สำหรับกรณีของวงจรสองอินพุตก็ได้ผลในทำนองเดียวกัน คือวงจรไบซิมอสแบบใหม่จะมีการหน่วงเวลาของวงร่นน้อยกว่าวงจรซิมอส ดังเห็นได้จากการเปรียบเทียบผลการตอบสนองทางสวิตช์ซึ่งดังภาพที่ 43 46 49 และภาพที่ 52 ทั้งนี้เนื่องจากวงจรไบซิมอสนี้ใช้วงจรไบโพลาร์ซึ่งมีคุณสมบัติที่ดีคือสามารถขับกระแสได้สูงในการขับวงจรที่เอาต์พุต นอกจากนั้นวงจรไบซิมอสดิจิทัลแบบใหม่นี้ยังสามารถใช้กับวงจรดิจิทัลที่มีแหล่งจ่ายแรงดันต่ำๆ ได้ โดยที่การหน่วงเวลาของวงร่นจะเพิ่มขึ้นไม่มากนักซึ่งต่างจากวงจรซิมอสที่จะมีการหน่วงเวลาของวงร่นเพิ่มขึ้นอย่างเด่นชัดเมื่อแหล่งจ่ายแรงดันต่ำลง ดังภาพที่ 57

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

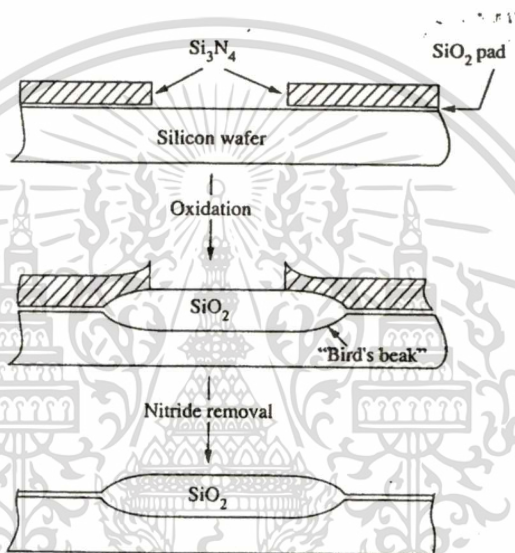
ถึงแม้วงจรแบบ ไบซิมอสจะมีคุณสมบัติที่ดีกว่าวงจรที่ใช้กันอยู่ในปัจจุบันดังที่ได้กล่าวมาแล้ว แต่เทคโนโลยีการสร้างแบบไบซิมอสในปัจจุบันยังมีข้อเสียเนื่องจากมีความยุ่งยากซับซ้อนและมีขั้นตอนในการสร้างมาก ทำให้สิ้นเปลืองค่าใช้จ่ายในการสร้างสูง แต่ในอนาคตความต้องการที่จะใช้งานวงจรที่มีความเร็วสูง และความพยายามที่จะลดขนาดของวงจรจะมีมากขึ้น ซึ่งความต้องการนี้จะสวนทางกับคุณสมบัติของวงจรซิมอสที่ใช้กันอยู่ในปัจจุบัน เนื่องจากเมื่อขนาดของมอสทรานซิสเตอร์ลดลง ความหนาของเกตออกไซด์ก็จะลดลงด้วย ทำให้โครงสร้างแฝงของตัวเก็บประจุจะมีค่าเพิ่มขึ้นด้วย เป็นผลให้ความเร็วของวงจรลดลง นอกจากนี้ยังอาจเกิดปัญหาเนื่องจากสนามไฟฟ้าที่มีค่าสูงขึ้น ทำให้ต้องมีการปรับปรุงกระบวนการสร้าง เป็นผลให้กระบวนการสร้างแบบเดิมมีความยุ่งยากซับซ้อนมากขึ้น ขณะที่ปัจจุบันมีการพยายามปรับปรุงเทคนิคในการสร้างวงจรไบซิมอสกันมากขึ้น จึงเชื่อว่ากระบวนการสร้างแบบไบซิมอสนี้จะมีประสิทธิภาพดีขึ้นและมีความยุ่งยากน้อยลง ทำให้เทคโนโลยีการสร้างวงจรแบบไบซิมอสนี้สามารถมาแทนที่เทคโนโลยีการสร้างวงจรแบบซิมอสได้ในอนาคต เช่นเดียวกับการแทนที่ของเทคโนโลยีการสร้างวงจรแบบเอ็มมอสด้วยเทคโนโลยีการสร้างวงจรแบบซิมอสที่ผ่านมา ในราวทศวรรษที่ 1980



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.
เทคนิคการสร้างวงจรถ่ายที่เกี่ยวข้อ

ภาพที่ 59



แสดงตัวอย่างขั้นตอนของกระบวนการ LOCOS

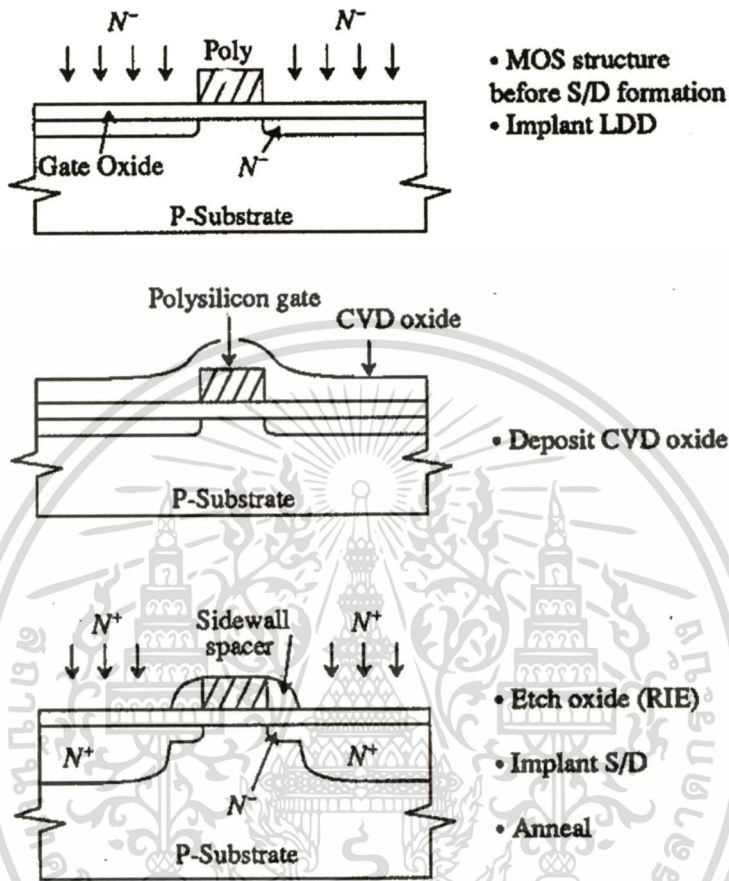
LOCOS (Local Oxide of Silicon) เป็นเทคนิคที่ใช้กันอย่างกว้างขวางในการสร้างวงจรรวม เพื่อเป็นการแยกพื้นที่ใช้งานแต่ละส่วนออกจากกัน โดยอาศัยคุณสมบัติของออกซิเจนซึ่งสามารถแพร่ผ่านซิลิกอนไนไตรด์ (Si_3N_4) ได้ช้ามาก ทำให้บริเวณของซิลิกอนที่ถูกปกคลุมด้วยซิลิกอนไนไตรด์แทบจะไม่เกิดการออกซิเดชันเลย นอกจากนั้นผิวของซิลิกอนไนไตรด์เองจะมีอัตราการเกิดออกซิเดชันช้ามาก ดังนั้นจึงสามารถใช้ซิลิกอนไนไตรด์ทำหน้าที่เป็นมาสก์ของกระบวนการออกซิเดชันได้

กระบวนการสร้าง LOCOS จะเริ่มจากการสร้างออกไซด์บางๆขึ้นที่ผิว จากนั้นทำการสร้างชั้นซิลิกอนไนไตรด์ด้วยกระบวนการ CVD หลังจากนั้นจะทำการกัดซิลิกอนไนไตรด์เพื่อเปิดช่องบริเวณที่ต้องการสร้างออกไซด์ ดังภาพที่ 59ก. ต่อจากนั้นจะทำการสร้างออกไซด์โดยใช้กระบวนการออกซิเดชันโดยมีซิลิกอนไนไตรด์ทำหน้าที่เป็นมาสก์ ดังภาพที่ 59ข. เสร็จแล้วจึงทำการลอกชั้นซิลิกอนไนไตรด์ออกจะได้โครงสร้างที่มีลักษณะดังภาพที่ 59ค.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 60



แสดงตัวอย่างขั้นตอนของกระบวนการ LDD ของเอ็นมอสทรานซิสเตอร์

กระบวนการ LDD (Lightly Doped Drain) เป็นอีกเทคนิคที่ใช้กันอย่างกว้างขวางในการสร้างวงจรรวม เพื่อลดค่าสนามไฟฟ้าบริเวณส่วนเดรน วิธีนี้จะสามารถป้องกันการเกิดพาหะร้อนได้ ภาพที่ 60 แสดงตัวอย่างขั้นตอนในกระบวนการ LDD ของเอ็นมอสทรานซิสเตอร์ โดยเริ่มจากโครงสร้างที่มีชั้นเกตออกไซด์และโพลีซิลิกอนที่มีการกำหนดพื้นที่เรียบร้อยแล้ว หลังจากนั้นจะทำการแพร่สารเจือฟอสฟอรัสที่มีความเข้มข้นน้อยๆ (N^-) โดยมีซิลิกอนเป็นเสมือนมาสก์ ดังภาพที่ 60ก. หลังจากนั้นจะสร้างออกไซด์ชั้นที่ผิวโดยใช้กระบวนการ CVD ดังภาพที่ 60ข. และทำการกัดออกไซด์เหลือเฉพาะด้านข้างของโพลีซิลิกอนเกตดังภาพที่ 60ค. หลังจากนั้นทำไอออนอิมพลานต์สารเจือฟอสฟอรัสที่มีความเข้มข้นสูง (N^+) และทำการอัลนิตที่อุณหภูมิสูงเพื่อเป็นการขับลึก

ภาคผนวก ข.

โปรแกรม PSpice ที่ใช้วิเคราะห์ในวิทยานิพนธ์

* CMOS INVERTER

VDD 1 0 DC 5

M1 3 2 1 1 MP L=0.8U W=24U

M2 3 2 0 0 MN L=0.8U W=8U

CL 3 0 1E-12

VIN 2 0 DC 0

.MODEL MN NMOS LEVEL=2 VTO=0.75 UO=540 TOX=175E-10

+ CGDO=1.9E-10 CGSO=1.9E-10 CJ=380U CJSW=150P

.MODEL MP PMOS LEVEL=2 VTO=-0.92 UO=195 TOX=175E-10

+ CGDO=1.9E-10 CGSO=1.9E-10 CJ=600U CJSW=260P

.DC VIN 0 5 0.1

.PROBE

.END

* CONVENTIONAL BICMOS INVERTER

VDD 1 0 DC 5

M1 3 2 1 1 MP L=0.8U W=24U

M2 5 2 4 4 MN L=0.8U W=8U

M3 3 2 0 0 MN L=0.8U W=8U

M4 4 3 0 0 MN L=0.8U W=2U

Q1 1 3 5 NPN

Q2 5 4 0 NPN

CL 5 0 1E-12

VIN 2 0 DC 0

.MODEL MN NMOS LEVEL=2 VTO=0.75 UO=540 TOX=175E-10

+ CGDO=1.9E-10 CGSO=1.9E-10 CJ=380U CJSW=150P

.MODEL MP PMOS LEVEL=2 VTO=-0.92 UO=195 TOX=175E-10

+ CGDO=1.9E-10 CGSO=1.9E-10 CJ=600U CJSW=260P

.MODEL PNP PNP IS=6.0E-17 BF=100 VAF=11 IKF=2.0E-02 ISE=2.0E-15 NE=1.67

+ BR=2 VAR=2 IKR=1.0E-02 ISC=5.0E-16 NC=1.67 RE=2.0E-01 RB=4.0E+01

+ RBM=5.0E+00 IRB=2E-04 RC=2.0E+01 CJE=4.0E-14 VJE=0.6 MJE=0.5

+ CJC=7.5E-14 VJC=0.6 MJC=0.33 CJS=7.5E-14 VJS=0.6 MJS=0.33

+ TF=20.0E-12 ITF=2.0E-02 TR=5.0E-09 XCJC=0.5

.MODEL NPN NPN IS=1.0E-16 BF=150 VAF=33 IKF=6.0E-02 ISE=1.5E-15 NE=1.67

+ BR=4 VAR=3 IKR=3.0E-02 ISC=5.0E-16 NC=1.67 RE=1.2E-00 RB=4.0E+01

+ RBM=2.0E+00 IRB=2E-04 RC=1.5E+01 CJE=1.4E-13 VJE=0.85 MJE=0.5

+ CJC=1.4E-13 VJC=0.6 MJC=0.33 CJS=1.48E-13 VJS=0.6 MJS=0.33

+ TF=6.5E-12 ITF=3.0E-02 TR=1.0E-09 XCJC=0.2

.DC VIN 0 5 0.1

.PROBE

.END

* NEW BICMOS INVERTER

VDD 1 0 DC 5

M1 3 2 1 1 MP L=0.8U W=24U

M2 4 2 0 0 MN L=0.8U W=8U

M3 3 2 0 0 MN L=0.8U W=8U

M4 4 2 1 1 MP L=0.8U W=24U

M5 6 5 3 3 MP L=0.8U W=24U

M6 6 5 4 4 MN L=0.8U W=8U

M7 5 6 1 1 MP L=0.8U W=2U

M8 5 6 0 0 MN L=0.8U W=6U

Q1 1 3 6 NPN

Q2 0 4 6 PNP

CL 6 0 1E-12

VIN 2 0 DC 0

.MODEL MN NMOS LEVEL=2 VTO=0.75 UO=540 TOX=175E-10

+ CGDO=1.9E-10 CGSO=1.9E-10 CJ=380U CJSW=150P

.MODEL MP PMOS LEVEL=2 VTO=-0.92 UO=195 TOX=175E-10

+ CGDO=1.9E-10 CGSO=1.9E-10 CJ=600U CJSW=260P

.MODEL NPN NPN IS=1.0E-16 BF=150 VAF=33 IKF=6.0E-02 ISE=1.5E-15 NE=1.67

+ BR=4 VAR=3 IKR=3.0E-02 ISC=5.0E-16 NC=1.67 RE=1.2E-00 RB=4.0E+01

+ RBM=2.0E+00 IRB=2E-04 RC=1.5E+01 CJE=1.4E-13 VJE=0.85 MJE=0.5

+ CJC=1.4E-13 VJC=0.6 MJC=0.33 CJS=1.48E-13 VJS=0.6 MJS=0.33

+ TF=6.5E-12 ITF=3.0E-02 TR=1.0E-09 XCJC=0.2

.DC VIN 0 5 0.1

.PROBE

.END

*CMOS NAND GATE

VDD 1 0 DC 5

MA 35 2 1 1 MP L=0.8U W=16U

MB 35 3 1 1 MP L=0.8U W=16U

MC 35 2 34 34 MN L=0.8U W=8U

MD 34 3 0 0 MN L=0.8U W=8U

CL3 35 0 1E-12

VB 3 0 DC 5

.MODEL MN NMOS LEVEL=2 VTO=0.75 UO=540 TOX=175E-10

+ CGDO=1.9E-10 CGSO=1.9E-10 CJ=380U CJSW=150P

.MODEL MP PMOS LEVEL=2 VTO=-0.92 UO=195 TOX=175E-10

+ CGDO=1.9E-10 CGSO=1.9E-10 CJ=600U CJSW=260P

.MODEL PNP PNP IS=6.0E-17 BF=100 VAF=11 IKF=2.0E-02 ISE=2.0E-15 NE=1.67

+ BR=2 VAR=2 IKR=1.0E-02 ISC=5.0E-16 NC=1.67 RE=2.0E-01 RB=4.0E+01

+ RBM=5.0E+00 IRB=2E-04 RC=2.0E+01 CJE=4.0E-14 VJE=0.6 MJE=0.5

+ CJC=7.5E-14 VJC=0.6 MJC=0.33 CJS=7.5E-14 VJS=0.6 MJS=0.33

+ TF=20.0E-12 ITF=2.0E-02 TR=5.0E-09 XCJC=0.5

.MODEL NPN NPN IS=1.0E-16 BF=150 VAF=33 IKF=6.0E-02 ISE=1.5E-15 NE=1.67

+ BR=4 VAR=3 IKR=3.0E-02 ISC=5.0E-16 NC=1.67 RE=1.2E-00 RB=4.0E+01

+ RBM=2.0E+00 IRB=2E-04 RC=1.5E+01 CJE=1.4E-13 VJE=0.85 MJE=0.5

+ CJC=1.4E-13 VJC=0.6 MJC=0.33 CJS=1.48E-13 VJS=0.6 MJS=0.33

+ TF=6.5E-12 ITF=3.0E-02 TR=1.0E-09 XCJC=0.2

.DC VA 0 5 0.1

.PROBE

.END

*CONVERTIONAL BiCMOS NAND GATE

VDD 1 0 DC 5

M1 6 2 1 1 MP L=0.8U W=24U

M2 6 3 1 1 MP L=0.8U W=24U

M3 6 2 4 4 MN L=0.8U W=8U

M4 4 3 0 0 MN L=0.8U W=8U

M5 8 2 5 5 MN L=0.8U W=8U

M6 5 3 7 7 MN L=0.8U W=8U

M7 7 6 0 0 MN L=0.8U W=2U

Q1 1 6 8 NPN

Q2 8 7 0 NPN

CL 8 0 1E-12

VB 3 0 DC 5

.MODEL MN NMOS LEVEL=2 VTO=0.75 UO=540 TOX=175E-10

+ CGDO=1.9E-10 CGSO=1.9E-10 CJ=380U CJSW=150P

.MODEL MP PMOS LEVEL=2 VTO=-0.92 UO=195 TOX=175E-10

+ CGDO=1.9E-10 CGSO=1.9E-10 CJ=600U CJSW=260P

.MODEL PNP PNP IS=6.0E-17 BF=100 VAF=11 IKF=2.0E-02 ISE=2.0E-15 NE=1.67

+ BR=2 VAR=2 IKR=1.0E-02 ISC=5.0E-16 NC=1.67 RE=2.0E-01 RB=4.0E+01

+ RBM=5.0E+00 IRB=2E-04 RC=2.0E+01 CJE=4.0E-14 VJE=0.6 MJE=0.5

+ CJC=7.5E-14 VJC=0.6 MJC=0.33 CJS=7.5E-14 VJS=0.6 MJS=0.33

+ TF=20.0E-12 ITF=2.0E-02 TR=5.0E-09 XCJC=0.5

.MODEL NPN NPN IS=1.0E-16 BF=150 VAF=33 IKF=6.0E-02 ISE=1.5E-15 NE=1.67

+ BR=4 VAR=3 IKR=3.0E-02 ISC=5.0E-16 NC=1.67 RE=1.2E-00 RB=4.0E+01

+ RBM=2.0E+00 IRB=2E-04 RC=1.5E+01 CJE=1.4E-13 VJE=0.85 MJE=0.5

+ CJC=1.4E-13 VJC=0.6 MJC=0.33 CJS=1.48E-13 VJS=0.6 MJS=0.33

+ TF=6.5E-12 ITF=3.0E-02 TR=1.0E-09 XCJC=0.2

.DC VA 0 5 0.1

.PROBE

.END

*NEW BiCMOS NAND GATE

VDD 1 0 DC 5

M1 5 2 1 1 MP L=0.8U W=16U

M2 5 3 1 1 MP L=0.8U W=16U

M3 5 2 4 4 MN L=0.8U W=8U

M4 4 3 0 0 MN L=0.8U W=8U

M5 6 2 1 1 MP L=0.8U W=16U

M6 6 3 1 1 MP L=0.8U W=16U

M7 6 2 4 4 MN L=0.8U W=8U

M8 4 3 0 0 MN L=0.8U W=8U

M9 8 7 1 1 MP L=0.8U W=16U

M10 8 7 0 0 MN L=0.8U W=8U

M11 7 8 1 1 MP L=0.8U W=6U

M12 7 8 0 0 MN L=0.8U W=2U

Q1 1 5 8 NPN

Q2 0 6 8 PNP

CL 8 0 1E-12

VB 3 0 DC 5

.MODEL MN NMOS LEVEL=2 VTO=-0.75 UO=540 TOX=175E-10

+ CGDO=1.9E-10 CGSO=1.9E-10 CJ=380U CJSW=150P

.MODEL MP PMOS LEVEL=2 VTO=-0.92 UO=195 TOX=175E-10

+ CGDO=1.9E-10 CGSO=1.9E-10 CJ=600U CJSW=260P

.MODEL PNP PNP IS=6.0E-17 BF=100 VAF=11 IKF=2.0E-02 ISE=2.0E-15 NE=1.67

+ BR=2 VAR=2 IKR=1.0E-02 ISC=5.0E-16 NC=1.67 RE=2.0E-01 RB=4.0E+01

+ RBM=5.0E+00 IRB=2E-04 RC=2.0E+01 CJE=4.0E-14 VJE=0.6 MJE=0.5

+ CJC=7.5E-14 VJC=0.6 MJC=0.33 CJS=7.5E-14 VJS=0.6 MJS=0.33

+ TF=20.0E-12 ITF=2.0E-02 TR=5.0E-09 XCJC=0.5

.MODEL NPN NPN IS=1.0E-16 BF=150 VAF=33 IKF=6.0E-02 ISE=1.5E-15 NE=1.67

+ BR=4 VAR=3 IKR=3.0E-02 ISC=5.0E-16 NC=1.67 RE=1.2E-00 RB=4.0E+01

+ RBM=2.0E+00 IRB=2E-04 RC=1.5E+01 CJE=1.4E-13 VJE=0.85 MJE=0.5

+ CJC=1.4E-13 VJC=0.6 MJC=0.33 CJS=1.48E-13 VJS=0.6 MJS=0.33

+ TF=6.5E-12 ITF=3.0E-02 TR=1.0E-09 XCJC=0.2

.DC VA 0 5 0.1

.PROBE

.END

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

*CMOS NOR GATE

VDD 1 0 DC 5

MA 5 2 4 4 MP L=0.8U W=24U

MB 4 3 1 1 MP L=0.8U W=24U

MC 5 2 0 0 MN L=0.8U W=6U

MD 5 3 0 0 MN L=0.8U W=6U

CL 5 0 1E-12

VB 3 0 DC 0

.MODEL MN NMOS LEVEL=2 VTO=0.75 UO=540 TOX=175E-10

+ CGDO=1.9E-10 CGSO=1.9E-10 CJ=380U CJSW=150P

.MODEL MP PMOS LEVEL=2 VTO=-0.92 UO=195 TOX=175E-10

+ CGDO=1.9E-10 CGSO=1.9E-10 CJ=600U CJSW=260P

.DC VA 0 5 0.1

.PROBE

.END



*CONVENTIONAL BiCMOS NOR GATE

VDD 1 0 DC 5

M1 4 2 1 1 MP L=0.8U W=24U

M2 5 3 4 4 MP L=0.8U W=24U

M3 5 2 0 0 MN L=0.8U W=6U

M4 5 3 0 0 MN L=0.8U W=6U

M5 7 2 6 6 MN L=0.8U W=6U

M6 7 3 6 6 MN L=0.8U W=6U

M7 6 5 0 0 MN L=0.8U W=2U

Q1 1 5 7 NPN

Q2 7 6 0 NPN

CL 7 0 1E-12

VB 3 0 DC 0

.MODEL MN NMOS LEVEL=2 VTO=0.75 UO=540 TOX=175E-10

+ CGDO=1.9E-10 CGSO=1.9E-10 CJ=380U CJSW=150P

.MODEL MP PMOS LEVEL=2 VTO=-0.92 UO=195 TOX=175E-10

+ CGDO=1.9E-10 CGSO=1.9E-10 CJ=600U CJSW=260P

.MODEL NPN NPN IS=1.0E-16 BF=150 VAF=33 IKF=6.0E-02 ISE=1.5E-15 NE=1.67

+ BR=4 VAR=3 IKR=3.0E-02 ISC=5.0E-16 NC=1.67 RE=1.2E-00 RB=4.0E+01

+ RBM=2.0E+00 IRB=2E-04 RC=1.5E+01 CJE=1.4E-13 VJE=0.85 MJE=0.5

+ CJC=1.4E-13 VJC=0.6 MJC=0.33 CJS=1.48E-13 VJS=0.6 MJS=0.33

+ TF=6.5E-12 ITF=3.0E-02 TR=1.0E-09 XCJC=0.2

.DC VA 0 5 0.1

.PROBE

.END

*NEW BiCMOS NOR GATE

VDD 1 0 DC 5

M1 5 2 4 4 MP L=0.8U W=24U

M2 4 3 1 1 MP L=0.8U W=24U

M3 5 2 0 0 MN L=0.8U W=6U

M4 5 3 0 0 MN L=0.8U W=6U

M5 6 2 7 7 MP L=0.8U W=24U

M6 7 3 1 1 MP L=0.8U W=24U

M7 6 2 0 0 MN L=0.8U W=6U

M8 6 3 0 0 MN L=0.8U W=6U

M9 9 8 1 1 MP L=0.8U W=24U

M10 9 8 0 0 MN L=0.8U W=8U

M11 8 9 1 1 MP L=0.8U W=6U

M12 8 9 0 0 MN L=0.8U W=2U

Q1 1 5 9 NPN

Q2 0 6 9 PNP

CL1 9 0 1E-12

VB 3 0 DC 0

.MODEL MN NMOS LEVEL=2 VTO=0.75 UO=540 TOX=175E-10

+ CGDO=1.9E-10 CGSO=1.9E-10 CJ=380U CJSW=150P

.MODEL MP PMOS LEVEL=2 VTO=-0.92 UO=195 TOX=175E-10

+ CGDO=1.9E-10 CGSO=1.9E-10 CJ=600U CJSW=260P

.MODEL PNP PNP IS=6.0E-17 BF=100 VAF=11 IKF=2.0E-02 ISE=2.0E-15 NE=1.67

+ BR=2 VAR=2 IKR=1.0E-02 ISC=5.0E-16 NC=1.67 RE=2.0E-01 RB=4.0E+01

+ RBM=5.0E+00 IRB=2E-04 RC=2.0E+01 CJE=4.0E-14 VJE=0.6 MJE=0.5

+ CJC=7.5E-14 VJC=0.6 MJC=0.33 CJS=7.5E-14 VJS=0.6 MJS=0.33

+ TF=20.0E-12 ITF=2.0E-02 TR=5.0E-09 XCJC=0.5

.MODEL NPN NPN IS=1.0E-16 BF=150 VAF=33 IKF=6.0E-02 ISE=1.5E-15 NE=1.67

+ BR=4 VAR=3 IKR=3.0E-02 ISC=5.0E-16 NC=1.67 RE=1.2E-00 RB=4.0E+01

+ RBM=2.0E+00 IRB=2E-04 RC=1.5E+01 CJE=1.4E-13 VJE=0.85 MJE=0.5

+ CJC=1.4E-13 VJC=0.6 MJC=0.33 CJS=1.48E-13 VJS=0.6 MJS=0.33

+ TF=6.5E-12 ITF=3.0E-02 TR=1.0E-09 XCJC=0.2

.DC VA 0 5 0.1

.PROBE

.END

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรรมใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
*CMOS AND GATE
```

```
VDD 1 0 DC 5
```

```
MA 5 2 1 1 MP L=0.8U W=8U
```

```
MB 5 3 1 1 MP L=0.8U W=8U
```

```
MC 5 2 4 4 MN L=0.8U W=4U
```

```
MD 4 3 0 0 MN L=0.8U W=4U
```

```
ME 6 5 1 1 MP L=0.8U W=24U
```

```
MF 6 5 0 0 MN L=0.8U W=8U
```

```
CL 6 0 1E-12
```

```
VB 3 0 DC 5
```

```
.PARAM WVAL= 6U
```

```
.STEP PARAM WVAL LIST 6U 8U 10U
```

```
.MODEL MN NMOS LEVEL=2 VTO=-0.75 UO=540 TOX=175E-10
```

```
+ CGDO=1.9E-10 CGSO=1.9E-10 CJ=380U CJSW=150P
```

```
.MODEL MP PMOS LEVEL=2 VTO=-0.92 UO=195 TOX=175E-10
```

```
+ CGDO=1.9E-10 CGSO=1.9E-10 CJ=600U CJSW=260P
```

```
.DC VA 0 5 0.1
```

```
.PROBE
```

```
.END
```

*CONVENTIONAL BICMOS AND GATE

VDD 1 0 DC 5

M1 5 2 1 1 MP L=0.8U W={WVAL}

M2 5 3 1 1 MP L=0.8U W={WVAL}

M3 5 2 4 4 MN L=0.8U W=4U

M4 4 3 0 0 MN L=0.8U W=4U

M5 6 5 1 1 MP L=0.8U W=24U

M6 8 5 7 7 MN L=0.8U W=8U

M7 6 5 0 0 MN L=0.8U W=8U

M8 7 6 0 0 MN L=0.8U W=2U

Q1 1 6 8 NPN

Q2 8 7 0 NPN

CL 8 0 1E-12

VB 3 0 DC 5

.MODEL MN NMOS LEVEL=2 VTO=0.75 UO=540 TOX=175E-10

+ CGDO=1.9E-10 CGSO=1.9E-10 CJ=380U CJSW=150P

.MODEL MP PMOS LEVEL=2 VTO=-0.92 UO=195 TOX=175E-10

+ CGDO=1.9E-10 CGSO=1.9E-10 CJ=600U CJSW=260P

.MODEL NPN NPN IS=1.0E-16 BF=150 VAF=33 IKF=6.0E-02 ISE=1.5E-15 NE=1.67

+ BR=4 VAR=3 IKR=3.0E-02 ISC=5.0E-16 NC=1.67 RE=1.2E-00 RB=4.0E+01

+ RBM=2.0E+00 IRB=2E-04 RC=1.5E+01 CJE=1.4E-13 VJE=0.85 MJE=0.5

+ CJC=1.4E-13 VJC=0.6 MJC=0.33 CJS=1.48E-13 VJS=0.6 MJS=0.33

+ TF=6.5E-12 ITF=3.0E-02 TR=1.0E-09 XCJC=0.2

.DC VA 0 5 0.1

.PROBE

.END

*NEW BICMOS AND GATE

VDD 1 0 DC 5

M1 5 2 1 1 MP L=0.8U W=8U

M2 5 3 1 1 MP L=0.8U W=8U

M3 5 2 4 4 MN L=0.8U W=4U

M4 4 3 0 0 MN L=0.8U W=4U

M5 6 5 1 1 MP L=0.8U W=24U

M6 7 5 0 0 MN L=0.8U W=8U

M7 6 5 0 0 MN L=0.8U W=8U

M8 7 5 1 1 MP L=0.8U W=24U

M9 9 8 6 6 MP L=0.8U W=24U

M10 9 8 7 7 MN L=0.8U W=8U

M11 8 9 1 1 MP L=0.8U W=6U

M12 8 9 0 0 MN L=0.8U W=2U

Q1 1 6 9 NPN

Q2 0 7 9 PNP

CL1 9 0 1E-12

VB 3 0 DC 5

.MODEL MN NMOS LEVEL=2 VTO=0.75 UO=540 TOX=175E-10

+ CGDO=1.9E-10 CGSO=1.9E-10 CJ=380U CJSW=150P

.MODEL MP PMOS LEVEL=2 VTO=-0.92 UO=195 TOX=175E-10

+ CGDO=1.9E-10 CGSO=1.9E-10 CJ=600U CJSW=260P

.MODEL PNP PNP IS=6.0E-17 BF=100 VAF=11 IKF=2.0E-02 ISE=2.0E-15 NE=1.67

+ BR=2 VAR=2 IKR=1.0E-02 ISC=5.0E-16 NC=1.67 RE=2.0E-01 RB=4.0E+01

+ RBM=5.0E+00 IRB=2E-04 RC=2.0E+01 CJE=4.0E-14 VJE=0.6 MJE=0.5

+ CJC=7.5E-14 VJC=0.6 MJC=0.33 CJS=7.5E-14 VJS=0.6 MJS=0.33

+ TF=20.0E-12 ITF=2.0E-02 TR=5.0E-09 XCJC=0.5

.MODEL NPN NPN IS=1.0E-16 BF=150 VAF=33 IKF=6.0E-02 ISE=1.5E-15 NE=1.67

+ BR=4 VAR=3 IKR=3.0E-02 ISC=5.0E-16 NC=1.67 RE=1.2E-00 RB=4.0E+01

+ RBM=2.0E+00 IRB=2E-04 RC=1.5E+01 CJE=1.4E-13 VJE=0.85 MJE=0.5

+ CJC=1.4E-13 VJC=0.6 MJC=0.33 CJS=1.48E-13 VJS=0.6 MJS=0.33

+ TF=6.5E-12 ITF=3.0E-02 TR=1.0E-09 XCJC=0.2

.DC VA 0 5 0.1

.PROBE

.END

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรรมใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
*CMOS OR GATE
```

```
VDD 1 0 DC 5
```

```
MA 4 2 1 1 MP L=0.8U W=8U
```

```
MB 5 3 4 4 MP L=0.8U W=8U
```

```
MC 5 2 0 0 MN L=0.8U W=2U
```

```
MD 5 3 0 0 MN L=0.8U W=2U
```

```
ME 6 5 1 1 MP L=0.8U W=24U
```

```
MF 6 5 0 0 MN L=0.8U W=8U
```

```
CL 6 0 1E-12
```

```
VB 3 0 DC 0
```

```
.MODEL MN NMOS LEVEL=2 VTO=0.75 UO=540 TOX=175E-10
```

```
+ CGDO=1.9E-10 CGSO=1.9E-10 CJ=380U CJSW=150P
```

```
.MODEL MP PMOS LEVEL=2 VTO=-0.92 UO=195 TOX=175E-10
```

```
+ CGDO=1.9E-10 CGSO=1.9E-10 CJ=600U CJSW=260P
```

```
.DC VA 0 5 0.1
```

```
.PROBE
```

```
.END
```

```

*CONVENTIONAL BICMOS OR GATE
VDD 1 0 DC 5
M1 4 2 1 1 MP L=0.8U W=8U
M2 5 3 4 4 MP L=0.8U W=8U
M3 5 2 0 0 MN L=0.8U W=2U
M4 4 3 0 0 MN L=0.8U W=2U
M5 6 5 1 1 MP L=0.8U W=24U
M6 8 5 7 7 MN L=0.8U W=8U
M7 6 5 0 0 MN L=0.8U W=8U
M8 7 6 0 0 MN L=0.8U W=2U
Q1 1 6 8 NPN
Q2 8 7 0 NPN
CL 8 0 1E-12
VB 3 0 DC 0
.MODEL MN NMOS LEVEL=2 VTO=0.75 UO=540 TOX=175E-10
+ CGDO=1.9E-10 CGSO=1.9E-10 CJ=380U CJSW=150P
.MODEL MP PMOS LEVEL=2 VTO=-0.92 UO=195 TOX=175E-10
+ CGDO=1.9E-10 CGSO=1.9E-10 CJ=600U CJSW=260P
.MODEL NPN NPN IS=1.0E-16 BF=150 VAF=33 IKF=6.0E-02 ISE=1.5E-15 NE=1.67
+ BR=4 VAR=3 IKR=3.0E-02 ISC=5.0E-16 NC=1.67 RE=1.2E-00 RB=4.0E+01
+ RBM=2.0E+00 IRB=2E-04 RC=1.5E+01 CJE=1.4E-13 VJE=0.85 MJE=0.5
+ CJC=1.4E-13 VJC=0.6 MJC=0.33 CJS=1.48E-13 VJS=0.6 MJS=0.33
+ TF=6.5E-12 ITF=3.0E-02 TR=1.0E-09 XCJC=0.2
.DC VA 0 5 0.1
.PROBE
.END

```

*NEW BICMOS OR GATE

VDD 1 0 DC 5

M1 4 2 1 1 MP L=0.8U W=8U

M2 5 3 4 4 MP L=0.8U W=8U

M3 5 2 0 0 MN L=0.8U W=2U

M4 4 3 0 0 MN L=0.8U W=2U

M5 6 5 1 1 MP L=0.8U W=24U

M6 7 5 0 0 MN L=0.8U W=8U

M7 6 5 0 0 MN L=0.8U W=8U

M8 7 5 1 1 MP L=0.8U W=24U

M9 9 8 6 6 MP L=0.8U W=24U

M10 9 8 7 7 MN L=0.8U W=8U

M11 8 9 1 1 MP L=0.8U W=6U

M12 8 9 0 0 MN L=0.8U W=2U

Q1 1 6 9 NPN

Q2 0 7 9 PNP

CL1 9 0 1E-12

VB 3 0 DC 0

.MODEL MN NMOS LEVEL=2 VTO=0.75 UO=540 TOX=175E-10

+ CGDO=1.9E-10 CGSO=1.9E-10 CJ=380U CJSW=150P

.MODEL MP PMOS LEVEL=2 VTO=-0.92 UO=195 TOX=175E-10

+ CGDO=1.9E-10 CGSO=1.9E-10 CJ=600U CJSW=260P

.MODEL PNP PNP IS=6.0E-17 BF=100 VAF=11 IKF=2.0E-02 ISE=2.0E-15 NE=1.67

+ BR=2 VAR=2 IKR=1.0E-02 ISC=5.0E-16 NC=1.67 RE=2.0E-01 RB=4.0E+01

+ RBM=5.0E+00 IRB=2E-04 RC=2.0E+01 CJE=4.0E-14 VJE=0.6 MJE=0.5

+ CJC=7.5E-14 VJC=0.6 MJC=0.33 CJS=7.5E-14 VJS=0.6 MJS=0.33

+ TF=20.0E-12 ITF=2.0E-02 TR=5.0E-09 XCJC=0.5

.MODEL NPN NPN IS=1.0E-16 BF=150 VAF=33 IKF=6.0E-02 ISE=1.5E-15 NE=1.67

+ BR=4 VAR=3 IKR=3.0E-02 ISC=5.0E-16 NC=1.67 RE=1.2E-00 RB=4.0E+01

+ RBM=2.0E+00 IRB=2E-04 RC=1.5E+01 CJE=1.4E-13 VJE=0.85 MJE=0.5

+ CJC=1.4E-13 VJC=0.6 MJC=0.33 CJS=1.48E-13 VJS=0.6 MJS=0.33

+ TF=6.5E-12 ITF=3.0E-02 TR=1.0E-09 XCJC=0.2

.DC VA 0 5 0.1

.PROBE

.END

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรรมใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

*CMOS SCHMITT TRIGGER

```

VDD 1 0 DC 5
MA 3 2 1 1 MP L=0.8U W=2.4U
MB 5 2 3 3 MP L=0.8U W=6U
MC 0 5 3 3 MP L=0.8U W=7.2U
MD 5 2 4 4 MN L=0.8U W=2U
ME 4 2 0 0 MN L=0.8U W=0.8U
MF 1 5 4 4 MN L=0.8U W=2.4U
MG 7 5 1 1 MP L=0.8U W=24U
MH 7 5 0 0 MN L=0.8U W=8U
CL 7 0 1E-12
VS 2 0 DC 0
.MODEL MN NMOS LEVEL=2 VTO=0.75 UO=540 TOX=175E-10
+ CGDO=1.9E-10 CGSO=1.9E-10 CJ=380U CJSW=150P
.MODEL MP PMOS LEVEL=2 VTO=-0.92 UO=195 TOX=175E-10
+ CGDO=1.9E-10 CGSO=1.9E-10 CJ=600U CJSW=260P
.DC VS 0 5 0.1
.PROBE
.END

```

*BICMOS SCHMITT TRIGGER

VDD 1 0 DC 5

M1 3 2 1 1 MP L=0.8U W=2.4U

M2 5 2 3 3 MP L=0.8U W=6U

M3 0 5 3 3 MP L=0.8U W=7.2U

M4 4 2 0 0 MN L=0.8U W=0.8U

M5 5 2 4 4 MN L=0.8U W=2U

M6 1 5 4 4 MN L=0.8U W=2.4U

M7 6 5 1 1 MP L=0.8U W=24U

M8 7 5 0 0 MN L=0.8U W=8U

M9 7 4 6 6 MP L=0.8U W=2.4U

M10 6 3 7 7 MN L=0.8U W=0.8U

M11 9 8 6 6 MP L=0.8U W=24U

M12 9 8 7 7 MN L=0.8U W=8U

M13 8 9 1 1 MP L=0.8U W=4.8U

M14 8 9 0 0 MN L=0.8U W=1.6U

Q1 1 6 9 NPN

Q2 0 7 9 PNP

CL1 9 0 1E-12

VS 2 0 DC 0

.MODEL MN NMOS LEVEL=2 VTO=0.75 UO=540 TOX=175E-10

+ CGDO=1.9E-10 CGSO=1.9E-10 CJ=380U CJSW=150P

.MODEL MP PMOS LEVEL=2 VTO=-0.92 UO=195 TOX=175E-10

+ CGDO=1.9E-10 CGSO=1.9E-10 CJ=600U CJSW=260P

.MODEL PNP PNP IS=6.0E-17 BF=100 VAF=1J IKF=2.0E-02 ISE=2.0E-15 NE=1.67

+ BR=2 VAR=2 IKR=1.0E-02 ISC=5.0E-16 NC=1.67 RE=2.0E-01 RB=4.0E+01

+ RBM=5.0E+00 IRB=2E-04 RC=2.0E+01 CJE=4.0E-14 VJE=0.6 MJE=0.5

+ CJC=7.5E-14 VJC=0.6 MJC=0.33 CJS=7.5E-14 VJS=0.6 MJS=0.33

+ TF=20.0E-12 ITF=2.0E-02 TR=5.0E-09 XCJC=0.5

.MODEL NPN NPN IS=1.0E-16 BF=150 VAF=33 IKF=6.0E-02 ISE=1.5E-15 NE=1.67

+ BR=4 VAR=3 IKR=3.0E-02 ISC=5.0E-16 NC=1.67 RE=1.2E-00 RB=4.0E+01

+ RBM=2.0E+00 IRB=2E-04 RC=1.5E+01 CJE=1.4E-13 VJE=0.85 MJE=0.5

+ CJC=1.4E-13 VJC=0.6 MJC=0.33 CJS=1.48E-13 VJS=0.6 MJS=0.33

+ TF=6.5E-12 ITF=3.0E-02 TR=1.0E-09 XCJC=0.2

.DC VS 0 5 0.1

.PROBE

.END



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

- A. Pfister "Novel CMOS Schmitt trigger with controllable hysteresis," IEEE Electronic letters , pp.639-641, March 1992.
- A.R. Alvarez, "BiCMOS Technology and Applications," Kluwer Academic Publish ins Company 1989.
- C. Yamaguchi, Y. Kobayashi and T. Sakai , "A 7 GHz PNP Transistor for Complementary Bipolar LSI," Symp. on VLSI Tech. Dig., pp. 39-40, 1987.
- D.A. Hodge and Horace G. Jackson, "Analysis and design of Integrated Circuits," McGraw Hill Inc. 1983.
- J.B. Kuo and H.J. Liao "A BiCMOS Tristate Buffer," IEEE Journal of Solid-State Circuits, Vol. 40, No. 7, pp. 440-443, July 1993.
- J. Y. Chen, "CMOS Devices and Technology for VLSI," Prentice Hall Inc. 1990.
- J.P. Uyemura, "Circuit Design for CMOS VLSI," Kluwer Academic Publish 1992.
- J.P. Uyemura, "Fundamentals of MOS Digital Integrated Circuits," Addison-Wesley Publish company, 1988.
- H. Momose, "High Performance 1.0 Micron N-Well CMOS/Bipolar Technology," Symp. on VLSI Tech. Dig., pp. 40-41 (1983).
- H.C. Lin, J.C. Ho, R.R. Iyer, and K. Kwong, "CMOS-Bipolar structure," IEEE Trans. on Electron Devices, Vol. ED-6, No. 11 pp. 945-951, November 1969.
- H.J. Shin, "Full-swing BiCMOS Circuits with Complementary Emitter-follower Driver Configuration," IEEE Journal of Solid-State Circuits, Vol. 26, No. 4, pp. 578-584, April 1991.
- H.J. Shin, "Full-swing Logic Circuits in Complementary BiCMOS Technology," Symp. on VLSI Tech. Dig., pp. 89-90, 1990.
- M. Shoji, "CMOS Digital Circuit Technology," Prentice Hall Inc. 1988.

- N. Weste and K. Eshraghian, "Principles of CMOS VLSI Design," Addison-Wesley Publishing Company, 1986.
- National Semiconductor "CMOS logic databook," National Semiconductor, 1988.
- P.R. Gray, and R.G. Meyer, "Analysis and Design of Integrated circuits," John Wiley & Sons Inc., 1977.
- R.S. Muller and T.I. Kamins, "Device Electronics for Integrated circuits," John Wiley & Sons Inc., 1981.
- S. Ogura, N. Rovedo, "Merged Complementary BiCMOS for Logic Application," Symp. on VLSI Tech. Dig., pp. 81-82, 1990
- S.H. Embabi, A. Bellaouar and M.I. Elmasry, "Digital BiCMOS Integrated Circuit Design," Kluwer Academic, 1993.
- S.H.K. Embabi, A. Bellaouar and M.I. Elmasry, "Analysis and optimization of BiCMOS Digital circuit structures," IEEE Journal of Solid-State Circuits, Vol. 26, No 4, pp. 676-679, April 1991.
- S..M. Sze, "Physics of Semiconductor Devices," John Wiley & Sons Inc., 1981.
- S..M. Sze, "Semiconductor Devices Physics and Technology," John Wiley & Sons. Inc., 1985.
- T. Ikeda, A. Watanebe, Y. Nishio, I. Masuda, N. Tamba, M. Okada and K. Ogiue, "High-speed BiCMOS Technology with a Buried Twin Well Structure," IEEE Trans. on Electron Devices, Vol. ED-34, No. 6 pp.1304-1309, June 1987.
- Y. Nishio, F. Murabayashi, S. Kotoku, A. Watanabe, S. Shukuri, K. Shimohikashi, "A BiCMOS Logic Gate with Positive Feedback," ISSCC Tech. Dig., pp. 116-117 Feb. 1989.

ประวัติผู้เขียน

ชื่อผู้เขียน	นายฉัตรพงศ์ สุรียามรานนท์
วันเดือนปีเกิด	วันที่ 13 พฤศจิกายน พ.ศ.2510
วุฒิการศึกษาระดับปริญญาตรี	วิทยาศาสตรบัณฑิต สาขาวิชาฟิสิกส์ประยุกต์
สถานที่สำเร็จการศึกษา	สถาบันเทคโนโลยีพระจอมเกล้าคุณทหารลาดกระบัง
ปีที่สำเร็จการศึกษา	ปีการศึกษา 2533
อาชีพปัจจุบัน	ทำงานในตำแหน่งวิศวกรอาวุโส ที่บริษัทเอเอ็มดีไทยแลนด์ จำกัด
ผลงานทางวิชาการที่ได้รับการตีพิมพ์ :	
	ฉัตรพงศ์ สุรียามรานนท์, รศ.ดร.กอบชัย เดชหาญ “ วงจรไบโซิมอสติคจิตอลความเร็วสูงแบบใหม่” ตีพิมพ์ในวารสารวิจัยและพัฒนาสถาบันเทคโนโลยีพระจอมเกล้าธนบุรี