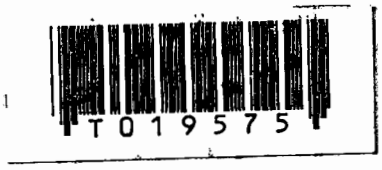
สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การพัฒนาทรานซิสเตอร์โครงสร้าง CMOIS เป็นวงจรพื้นฐานของ GATE ARRAY

THE DEVELOPMENT OF CMOIS TRANSISTOR TO BE THE BASIC CELL OF GATE ARRAY



นางสาวมนชนก ศรีเสือชาม

MISS MONCHANOK SRISUAKAM

อาจารย์ที่ปรึกษา

ผศ. วิสุทธิ์ ฐิติรุ่งเรือง

ASST. PROF. WISUT TITIROONGRUANG

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2536

ISBN 974-8158-86-1

เลขหมู่ 3b

เลขทะเบียน 19525

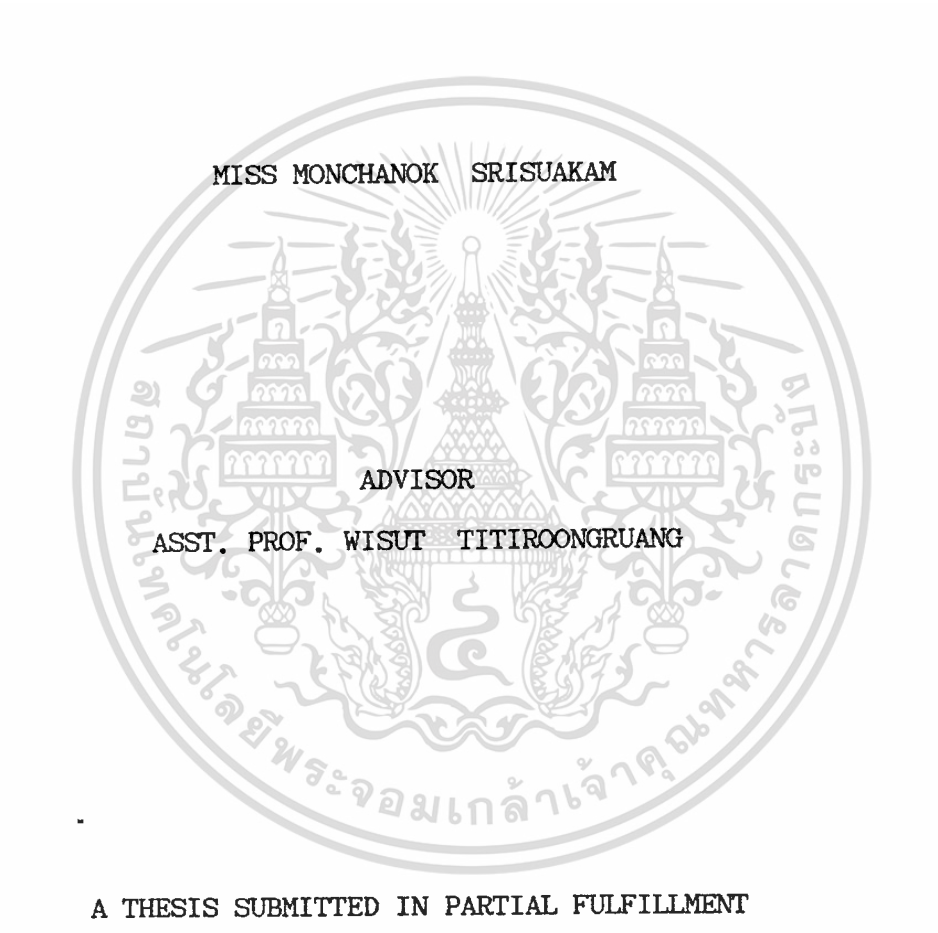
วัน, เดือน, ปี 17 มี.ค. 2536

ลิขสิทธิ์ของบัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

THE DEVELOPMENT OF CMOIS TRANSISTOR TO BE THE BASIC CELL OF GATE ARRAY

MISS MONCHANOK SRISUAKAM



ADVISOR

ASST. PROF. WISUT TITIROONGRUANG

A THESIS SUBMITTED IN PARTIAL FULFILLMENT

OF THE REQUIREMENT FOR THE DEGREE

MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING

GRADUATE SCHOOL

KING MONGKUT' S INSTITUTE OF TECHNOLOGY LADKRABANG

1993

ISBN 974-8158-86-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	I
ABSTRACT	II
คำนำ	III
บทที่ 1 ทรานซิสเตอร์โครงสร้างแบบ CMOIS	1
1.1 โครงสร้างของทรานซิสเตอร์แบบ CMOIS	1
1.2 การทำงานของทรานซิสเตอร์โครงสร้างแบบ CMOIS	1
1.3 ข้อดีของทรานซิสเตอร์โครงสร้างแบบ CMOIS	3
1.4 การสร้างทรานซิสเตอร์โครงสร้างแบบ CMOIS	4
1.5 แบบจำลองทรานซิสเตอร์โครงสร้างแบบ MOIS	7
1.5.1 แบบจำลองทางไฟตรงของทรานซิสเตอร์โครงสร้างแบบ MOIS	7
1.5.2 แบบจำลองทางไฟสลับของทรานซิสเตอร์โครงสร้างแบบ MOIS	8
บทที่ 2 เกทอะเรย์ (GATE ARRAY)	11
2.1 การเลือกเทคโนโลยีการผลิต GATE ARRAY	11
2.2 สถาปัตยกรรมในการออกแบบ GATE ARRAY	13
2.3 ส่วนประกอบของวงจรมาตราฐานในระบบ GATE ARRAY	19
2.3.1 วงจรมาตราฐานรับสัญญาณขาเข้า	19
2.3.2 วงจรมาตราฐานส่งสัญญาณขาออก	20
2.3.3 วงจรมาตราฐานการทำงานตามฟังก์ชั่นต่าง ๆ	21
2.4 กำลังงานสูญเสียในวงจร GATE ARRAY	22
บทที่ 3 การออกแบบและสร้างวงจรมาตราฐานที่มีโครงสร้างแบบ CMOIS	26
3.1 การออกแบบวงจรมาตราฐานรับสัญญาณขาเข้า	26
3.1.1 การออกแบบวงจรรับสัญญาณขาเข้าแบบสัญญาณขาออกของวงจรกลับเฟสกับสัญญาณขาเข้า	26
3.1.2 การออกแบบวงจรรับสัญญาณขาเข้าแบบสัญญาณขาออกของวงจรไม่กลับเฟสกับสัญญาณขาเข้า	28
3.2 การออกแบบวงจรมาตราฐานส่งสัญญาณขาออก	29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1 การออกแบบวงจรส่งสัญญาณขาออกแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า 30
3.2.2 การออกแบบวงจรเชื่อมแรงดันระหว่างระบบ CMOIS กับระบบ TTL แบบกลับเฟส และไม่กลับเฟสกับสัญญาณขาเข้า 32
3.3 การออกแบบวงจรมาตราฐานการทำงาน 34
3.3.1 การออกแบบวงจรทางตรรกพื้นฐาน 34
3.3.1.1 วงจร NOR เกทแบบ 4-input 34
3.3.1.2 วงจร NAND เกทแบบ 4-input 37
3.3.1.3 วงจร INVERTER 40
3.3.1.4 วงจร Ex-OR เกท 41
3.3.2 การออกแบบวงจรทางตรรกที่ควบคุมด้วยสัญญาณนาฬิกา 46
3.3.2.1 วงจร D-FLIP/FLOP 46
3.3.2.2 วงจร RS FLIP/FLOP 49
3.3.2.3 วงจร Transmittion เกทแบบ 2-input 52
บทที่ 4 การทดลองและผลการทดลอง 57
4.1 การทดลองและผลการทดลองวัดพารามิเตอร์ของแบบจำลองทางไฟตรงของทรานซิสเตอร์โครงสร้างแบบ MOIS 57
4.2 การทดลองและผลการทดลองวัดพารามิเตอร์ของแบบจำลองทางไฟสลับของทรานซิสเตอร์โครงสร้างแบบ MOIS 63
4.3 การทดลองและผลการทดลองวัดกระแสขาเข้าของวงจรรับสัญญาณขาเข้าแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า 69
4.4 การทดลองและผลการทดลองวัดกระแสขาออกของวงจรส่งสัญญาณขาออกแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า 70
4.5 การทดลองและผลการทดลองวัดการเชื่อมต่อแรงดันระหว่างระบบ CMOIS กับระบบ TTL ของวงจรส่งสัญญาณขาออกแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า 71
4.6 การทดลองและผลการทดลองวัดการตอบสนองต่อสัญญาณชั่วครู่ 72
4.6.1 วงจรรับสัญญาณขาเข้าแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า 73
4.6.2 วงจรส่งสัญญาณขาออกแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า 74
4.6.3 วงจรทางตรรกพื้นฐาน 76

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6.4 วงจรทางตรรกที่ควบคุมด้วยสัญญาณนาฬิกา 78
4.7 การทดลองและผลการทดลองวัดกำลังสูญเสียของวงจร 81
4.7.1 วงจรรับสัญญาณขาเข้าแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า 82
4.7.2 วงจรส่งสัญญาณขาออกแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า 83
4.7.3 วงจรทางตรรกพื้นฐาน 85
4.7.4 วงจรทางตรรกที่ควบคุมด้วยสัญญาณนาฬิกา 86
บทที่ 5 สรุปและวิจารณ์ 88
กิตติกรรมประกาศ 93
เอกสารอ้างอิง 94
ภาคผนวก ก การวิเคราะห์ช่วงเวลาในการเปลี่ยนสถานะของวงจรเกท 96
ภาคผนวก ข สัญลักษณ์ 104
ภาคผนวก ค ลวดลายวงจรในวิทยานิพนธ์ที่ทำการออกแบบและสร้างขึ้นด้วยโครงสร้าง CMOIS 107

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การพัฒนาทรานซิสเตอร์โครงสร้าง CMOIS เป็นวงจรพื้นฐานของ GATE ARRAY
นักศึกษา	นางสาวมนชนก ศรีเสือขาม
อาจารย์ผู้ควบคุมวิทยานิพนธ์	ผศ. วิสุทธิ์ ฐิติรุ่งเรือง
ระดับการศึกษา	วิศวกรรมศาสตรมหาบัณฑิต
ภาควิชา	วิศวกรรมไฟฟ้า
ปีการศึกษา	2535

บทคัดย่อ

การออกแบบวงจรมาตราฐานสำหรับการประยุกต์ใช้งานในด้านต่าง ๆ ตามฟังก์ชั่นทางตรรกของวงจรที่ต้องการ สามารถทำได้ดีด้วยทรานซิสเตอร์โครงสร้างแบบ CMOIS เนื่องจากคู่ตรงข้ามของทรานซิสเตอร์โครงสร้างนี้สามารถออกแบบให้ประหยัดพื้นที่บนแผ่นผลึกซิลิกอนได้มากกว่าทรานซิสเตอร์โครงสร้าง CMOS ไม่น้อยกว่า 12.5 % [1] ในขณะที่การทำงานของวงจรยังคงมีลักษณะเหมือนกันกลุ่มวงจรมาตราฐานที่ใช้ในการออกแบบวงจร GATE ARRAYส่วนใหญ่แบ่งออกเป็น 3 กลุ่มคือ กลุ่มที่ 1 ประกอบด้วยวงจรรับสัญญาณขาเข้าซึ่งเป็นกลุ่มวงจรที่ออกแบบให้สามารถรับสัญญาณขาเข้าที่ส่งมาจากวงจรภายนอก แล้วทำการชับสัญญาณดังกล่าวแก่วงจรภายในต่อไปทั้งในรูปกลับเฟสหรือไม่กลับเฟสสัญญาณขาเข้า กลุ่มที่ 2 ประกอบด้วยวงจรส่งสัญญาณขาออกจากระบบเพื่อชับวงจรภายนอกต่อไป ทั้งนี้ค่าแรงดันและกระแสของสัญญาณขาออกจะต้องเหมาะสมกับวงจรที่ต้องการชับในสถานะถัดไป กลุ่มสุดท้าย คือกลุ่มวงจรที่ใช้ในการทำงานเพื่อตอบสนองฟังก์ชั่นตามที่ผู้ใช้ต้องการ วงจรทั้งสามกลุ่มนี้ถูกออกแบบและสร้างด้วยทรานซิสเตอร์โครงสร้างแบบ CMOIS ด้วยวิธีการออกแบบในลักษณะไม่สมมาตร แล้วทำการทดสอบคุณสมบัติในการใช้งานในด้านต่าง ๆ คือ การตอบสนองต่อสัญญาณชั่วครู่ การชับกระแสและแรงดันต่อวงจรภายนอกและการทำงานของวงจรตามฟังก์ชันที่ต้องการในด้านต่าง ๆ ซึ่งพบว่าวงจรมาตราฐานที่ออกแบบและสร้างด้วยทรานซิสเตอร์โครงสร้างแบบ CMOIS นี้มีการทำงานที่ค่าแรงดัน 4 โวลต์ ถึง 15 โวลต์ และลักษณะการตอบสนองต่อสัญญาณชั่วครู่ของวงจรที่สร้างขึ้นตรงข้ามกับคุณสมบัติของวงจรรวมชนิดเดียวกันที่มีโครงสร้างแบบ CMOS กล่าวคือ วงจรที่สร้างขึ้นจะใช้เวลาในการเปลี่ยนแปลงสถานะจากสถานะต่ำไปสู่สถานะสูง (t_r) น้อยกว่าการเปลี่ยนแปลงจากสถานะสูงไปยังสถานะต่ำ (t_f) อย่างไรก็ตามสถานะของฟังก์ชั่นในการทำงานยังคงมีลักษณะเช่นเดียวกับวงจรรวมที่มีโครงสร้างทรานซิสเตอร์แบบ CMOS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

THESIS TITLE	THE DEVELOPMENT OF CMOIS TRANSISTOR TO BE THE BASIC CELL OF GATE ARRAY
STUDY	Ms. MONCHANOK SRISUAKAM
THESIS ADVISOR	ASSIST. PROF. WISUT TITIROONGRUANG
LEVEL OF STUDY	MASTER OF ENGINEERING
DEPARTMENT	ELECTRICAL ENGINEERING
ACADEMIC YEAR	1992

ABSTRACT

It is better to design the standard cell circuit which is developed to be a desirable logic function with the CMOIS structure transistor. Bacause of this structure of transistor uses smaller area on the silicon wafer than the CMOS transistor design more than 12.5 % [1]with the same circuit operation. The general standard cell circuits in gate array design consist of three sections. The first is the input circuits which use to receive the input signal and drive it to the internal circuits in the form of inverting or noninverting output signal. The second is the output driver circuits which use to drive the output signal of the internal circuit to the next state with the suitable voltage and current. And the last is the operation circuits which use to fit the desirable function of the designer. All of them are designed and fabricated with the nonsymmetrical design of CMOIS transistor. Then its performance, as the transient response , the sink and source current , the output voltage , and operation functions are measured. The experimental results show that the circuit can be operated between 4 to 15 volts. The transient response characteristics of the circuits are opposite with the CMOS circuits. In other words, the rise time of the output signal (t_r) is less than the fall time (t_f). Nevertheless , the desirable functions are the same as the functions of CMOS circuits.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำนำ

ทรานซิสเตอร์โครงสร้างแบบ CMOIS เป็นทรานซิสเตอร์โครงสร้างใหม่ ที่เกิดขึ้นครั้งแรก ณ. ห้องปฏิบัติการสารกึ่งตัวนำ ของศูนย์วิจัยอิเล็กทรอนิคส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง[2] เนื่องจากห้องปฏิบัติการดังกล่าวประสพความสำเร็จในการสร้างแผ่นผลึกสารกึ่งตัวนำซิลิกอน ให้มีคุณสมบัติเช่นเดียวกับสารกึ่งตัวนำบริสุทธิ์ โดยการใช้แผ่นผลึกสารกึ่งตัวนำซิลิกอนชนิดเอ็น แล้วทำการเติมสารเจือทองคำบริสุทธิ์แก่แผ่นผลึกด้วยวิธีการที่เหมาะสม แผ่นผลึกที่ถูกเติมด้วยอะตอมทองคำเรียบร้อยแล้วนี้จะมีคุณสมบัติเป็นสารกึ่งตัวนำบริสุทธิ์ได้ดี จากนั้นแผ่นผลึกดังกล่าวยังสามารถเติมสารเจือชนิดเอ็น และสารเจือชนิดพีเพื่อสร้างไดโอดชนิดต่าง ๆได้ โดยบริเวณที่ถูกเติมสารเจือนั้นมีระดับพลังงานเฟอร์มิที่แตกต่างจากแผ่นฐานรองซิลิกอนชนิดเอ็นที่เติมอะตอมทองคำเข้าไปแล้ว ดังนั้นเมื่อทำการทดสอบคุณสมบัติของรอยต่อปรากฏว่าเกิดปรากฏการณ์ การตกคร่อมของกระแสได้เช่นเดียวกับรอยต่อพีเอ็นทั่วไป

หลังจากประสพความสำเร็จดังกล่าวแล้ว ทางทีมงานวิจัยได้พยายามพัฒนาการสร้างอุปกรณ์ชนิดอื่น ๆที่ใช้ฐานรองเป็นสารกึ่งตัวนำชนิดเอ็นที่เติมอะตอมทองคำแล้ว ดังนั้นทรานซิสเตอร์แบบ MOS จึงถูกพัฒนาขึ้นโดยการใช้แผ่นฐานรองดังกล่าวแทนแผ่นฐานรองที่รู้จักกันดีทั่วไป หลังจากที่ดำเนินการสร้างเรียบร้อยแล้วปรากฏผลการทดสอบว่า ทรานซิสเตอร์ที่สร้างขึ้นสามารถใช้งานได้ เช่นเดียวกับทรานซิสเตอร์โครงสร้างแบบ MOS เช่นเดียวกัน ทางคณะผู้ดำเนินงานวิจัยจึงเรียกทรานซิสเตอร์โครงสร้างใหม่นี้ว่า MOISFET (Metal Oxide Intrinsic Semiconduction Field Effect Transistor) เมื่อทรานซิสเตอร์ตัวเดี่ยว ๆทั้งชนิดพี (PMOIS) และทรานซิสเตอร์ชนิดเอ็น (NMOIS) ถูกวิจัยจนพบเงื่อนไขที่ดีที่สุดในการผลิตแล้ว ทางคณะผู้วิจัยพบว่าฐานรองที่ใช้ในการสร้างทรานซิสเตอร์ทั้งสองชนิดนี้ มีคุณสมบัติที่เหมือนกันทุกประการดังนั้นหากทำการสร้างทรานซิสเตอร์ทั้งสองชนิดนี้บนแผ่นผลึกเดียวกัน จึงสามารถกระทำได้ โดยที่ทรานซิสเตอร์ชนิดใดชนิดหนึ่งไม่จำเป็นต้องสร้างบ่อเพื่อแยกทรานซิสเตอร์ออกจากกัน ดังนั้นทรานซิสเตอร์โครงสร้างใหม่จึงเกิดขึ้นและถูกตั้งชื่อว่า CMOIS (Complementary Metal Oxide Intrinsic Semiconductor)

เนื่องจากทรานซิสเตอร์โครงสร้างแบบ CMOIS มีข้อดีของโครงสร้างที่เป็นจุดเด่นที่น่าสนใจ ดังนั้นการทำวิจัยเพื่อพยายามนำทรานซิสเตอร์โครงสร้างแบบ CMOIS นี้เข้าไปแทนที่ทรานซิสเตอร์โครงสร้างแบบ CMOS ที่ใช้งานอยู่ในปัจจุบัน จึงเป็นสิ่งที่น่าศึกษา และดำเนินการวิจัยถึงความเป็นไปได้ในกรณีต่าง ๆ พร้อมทั้งพยายามสรุปข้อมูล เพื่อประโยชน์ในการศึกษาและดำเนินงานวิจัยต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะของวงจรที่ทรานซิสเตอร์โครงสร้างแบบ CMOIS สามารถทำงานได้ดี และมีแนวโน้มถึงความเป็นไปได้ที่จะพัฒนาทรานซิสเตอร์แบบนี้ เข้าแทนที่ทรานซิสเตอร์โครงสร้างแบบ CMOS ที่มีความเป็นไปได้ค่อนข้างสูงคือวงจรรวมทางตรรก เพราะเมื่อทำการออกแบบวงจรด้วยทฤษฎีการออกแบบเช่นเดียวกับการออกแบบวงจรด้วยทรานซิสเตอร์แบบ CMOS แล้วปรากฏว่า วงจรที่สร้างด้วยทรานซิสเตอร์แบบ CMOIS สามารถประหยัดพื้นที่บนแผ่นผลึกซิลิกอนได้มากกว่าวงจรที่สร้างด้วยทรานซิสเตอร์โครงสร้างแบบ CMOS ถึง 12.5 เปอร์เซ็นต์ โดยที่ประสิทธิภาพในการทำงานของฟังก์ชั่นทางลอจิกยังคงมีลักษณะเช่นเดียวกัน ดังนั้นการออกแบบและดำเนินการสร้างวงจรมาตราฐานที่ถูกใช้งานอยู่เป็นประจำทางตรรก แล้วทำการเก็บข้อมูลของประสิทธิภาพของวงจรในด้านต่าง ๆ เอาไว้เพื่อเป็นประโยชน์ในการหาความเป็นไปได้ในการผลิตวงจรรวมขนาดใหญ่ต่อไป จึงน่าสนใจที่จะดำเนินงานวิจัยเป็นอย่างมาก การกระทำเช่นนี้เรียกว่า "การออกแบบวงจรมาตราฐานของการผลิตเกทอะเรย์ (GATE ARRAY)"

หลักการของการออกแบบวงจรเกททั่ว ๆไป มีอยู่มากมายหลายชนิดขึ้นกับจุดประสงค์ในการใช้งานวงจร แต่ในวิทยานิพนธ์ฉบับนี้ได้ทำการออกแบบวงจรพื้นฐานของเกทอะเรย์ ด้วยวิธีการออกแบบที่สามารถแทนที่วงจรที่สร้างขึ้นดังกล่าวในวงจรชนิดเดียวกันที่สร้างด้วยทรานซิสเตอร์แบบ CMOS ได้ดี ดังนั้นผลงานวิจัยในวิทยานิพนธ์ฉบับนี้จึงเป็นแนวทางที่ดีแก่ผู้ที่สนใจ และต้องการทราบรายละเอียดของการพัฒนาทรานซิสเตอร์โครงสร้าง CMOIS เป็นวงจรรวมอื่น ๆต่อไป โดยรายละเอียดของเนื้อความในวิทยานิพนธ์สามารถสรุปเป็นบทได้ดังนี้คือ

บทที่ 1 กล่าวถึงลักษณะของทรานซิสเตอร์โครงสร้างแบบ CMOIS พร้อมทั้งอธิบายข้อดีและข้อเสียของโครงสร้างทรานซิสเตอร์ชนิดนี้ รวมทั้งอธิบายถึงการทำงานของทรานซิสเตอร์ในสภาวะต่าง ๆ ของการใช้งาน และวงจรเสมือนของทรานซิสเตอร์เพื่อใช้เป็นพื้นฐานในการอธิบายพฤติกรรมทางไฟฟ้าของวงจรอย่างง่าย ๆไว้ด้วย พร้อมทั้งอธิบายวิธีการสร้างทรานซิสเตอร์โครงสร้างนี้ที่ดีที่สุด

บทที่ 2 กล่าวถึงหลักการของการเลือกวงจรที่เหมาะสมกับการออกแบบด้วยเกทอะเรย์ รวมทั้งเทคโนโลยีของการออกแบบวงจรแบบต่าง ๆ และสรุปวิธีการออกแบบที่ดีที่สุดเพื่อนำมาใช้กับทรานซิสเตอร์โครงสร้าง CMOIS ที่สามารถแข่งขันกับทรานซิสเตอร์โครงสร้างแบบ CMOS ได้ดี นอกจากนี้ยังอธิบายถึงกลุ่มของวงจรที่ประกอบกันขึ้นเป็นวงจรรวมขนาดใหญ่ ที่นิยมถูกเลือกมาใช้ในการออกแบบวงจรทางตรรกทั่ว ๆไป รวมทั้งวิเคราะห์พลังงานสูญเสียของวงจรที่ถูกทำการออกแบบด้วยทรานซิสเตอร์โครงสร้าง CMOIS ด้วย

บทที่ 3 กล่าวถึงการออกแบบวงจรต่าง ๆที่ถูกเลือกเป็นตัวแทนของวงจรหลักในการออกแบบวงจรรวมแบบเกทอะเรย์ พร้อมทั้งอธิบายพฤติกรรมทางไฟฟ้าของวงจรที่ถูกออกแบบด้วยวิธีการออกแบบที่เลือกแล้ว โดยแบ่งวงจรต่าง ๆออกเป็นกลุ่ม ๆดังที่เคยอธิบายไว้ในบทที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4 จะเป็นการนำเสนอข้อมูลของวงจรพื้นฐานของการออกแบบเกทอะเรย์ทั้งหมด ในด้านต่าง ๆของพฤติกรรมทางไฟฟ้า เช่นการตอบสนองต่อสัญญาณชั่วครู่ (Transient Response) กำลังงานสูญเสียของวงจร (Power Dissipation) เป็นต้น พร้อมทั้งนำเสนอข้อมูลที่ประกอบขึ้นเป็นแบบจำลองทรานซิสเตอร์โครงสร้างแบบ CMOIS ซึ่งประกอบด้วยทรานซิสเตอร์ชนิด NMOIS และทรานซิสเตอร์ชนิด PMOIS อยู่ร่วมบนฐานรองเดียวกัน

บทที่ 5 เป็นการสรุปข้อมูลทั้งหมดของงานวิจัยในแง่ต่าง ๆคือ ความเป็นไปได้ในการพัฒนาทรานซิสเตอร์โครงสร้างนี้ต่อไปในอนาคต และทำการสรุปความถูกต้องของแบบจำลองที่สร้างขึ้นว่าสามารถเชื่อถือได้เพียงใด เพื่อเป็นประโยชน์ในการพัฒนาทรานซิสเตอร์โครงสร้างแบบ CMOIS ต่อไป

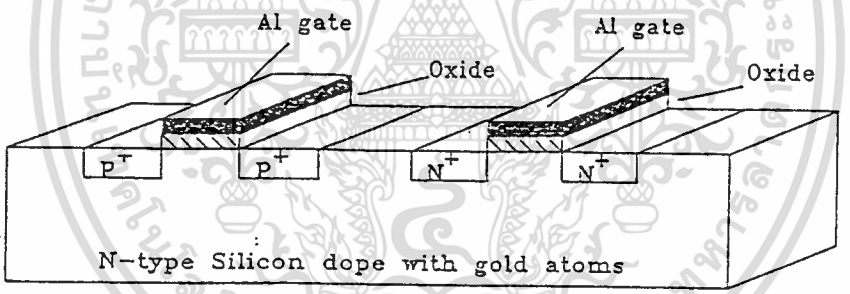
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

ทรานซิสเตอร์โครงสร้างแบบ CMOIS

1.1 โครงสร้างของทรานซิสเตอร์แบบ CMOIS

ทรานซิสเตอร์โครงสร้างแบบ CMOIS เกิดขึ้นครั้งแรกในห้องปฏิบัติการวิจัยสารกึ่งตัวนำ ของศูนย์วิจัยสารกึ่งตัวนำอิเลคทรอนิคส์คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง[2] เป็นทรานซิสเตอร์ที่มีคุณสมบัติในการทำงานเช่นเดียวกับทรานซิสเตอร์โครงสร้างแบบ CMOS แต่มีลักษณะของโครงสร้างที่ดีกว่าดังรูปที่ 1.1.1 กล่าวคือ ทรานซิสเตอร์โครงสร้างแบบ CMOIS ใช้ฐานรอง (substrate) ที่ใช้ในการสร้างทรานซิสเตอร์ชนิดเอ็น (NMOIS) และทรานซิสเตอร์ชนิดพี (PMOIS) เป็นแผ่นผลึกซิลิกอนชนิดเอ็นระนาบ <100> ที่มีค่าพิกัดความต้านทานที่เหมาะสมค่าหนึ่งแล้วทำการเติมอะตอมของทองคำลงไปในแผ่นผลึก ด้วยวิธีการเคลือบโลหะทองคำที่ด้านหลังของแผ่นผลึกจากนั้นทำการชับลึกทองคำด้วยความร้อน เพื่อให้อะตอมของทองคำกระจายตัว อย่างสม่ำเสมอทั่วทั้งแผ่นผลึก แผ่นผลึกซิลิกอนชนิดเอ็นที่เติมอะตอมทองคำเรียบร้อยแล้วจะมีคุณสมบัติเปลี่ยนแปลงไป โดยระดับพลังงานเฟอร์มิของอิเลคตรอนในแผ่นผลึกจะอยู่ที่ระดับ 0.62 อิเลคตรอนโวลต์ เทียบกับระดับพลังงานของวาเลนซ์อิเลคตรอน



รูปที่ 1.1-1 แสดงโครงสร้างภาพตัดขวางของทรานซิสเตอร์แบบ CMOIS

เมื่อระดับพลังงานเฟอร์มิของอิเลคตรอนอยู่ที่ระดับ 0.62 อิเลคตรอนโวลต์ แล้ว แผ่นผลึกจะมีคุณสมบัติเสมือนเป็นสารกึ่งตัวนำบริสุทธิ์ (เนื่องจากสารกึ่งตัวนำบริสุทธิ์จะมีค่าระดับพลังงานเฟอร์มิที่ระดับ 0.56 อิเลคตรอนโวลต์เทียบกับระดับพลังงานวาเลนซ์อิเลคตรอน) ดังนั้นระดับพลังงานของแผ่นผลึกจึงแตกต่างจาก ระดับพลังงานของสารกึ่งตัวนำชนิดเอ็น และสารกึ่งตัวนำชนิดพี ดังนั้นการสร้างทรานซิสเตอร์ชนิดเอ็น (NMOIS) และทรานซิสเตอร์ชนิดพี (PMOIS) จึงสามารถสร้างได้โดยทรานซิสเตอร์ชนิดใดชนิดหนึ่งไม่จำเป็นต้องสร้างบ่อเพื่อแยกชนิดของทรานซิสเตอร์ออกจากบ่อแยก

1.2 การทำงานของทรานซิสเตอร์โครงสร้างแบบ CMOIS

จากรูปภาพตัดขวางของทรานซิสเตอร์โครงสร้างแบบ CMOIS ในรูปที่ 1.1-1 จะพบว่าโดยโครง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สร้างแล้วทรานซิสเตอร์แบบ CMOIS จะมีลักษณะคล้ายคลึงกับทรานซิสเตอร์แบบ CMOS มาก ดังนั้นในการทำงานของทรานซิสเตอร์โครงสร้างแบบ CMOIS จึงมีลักษณะเดียวกันกับทรานซิสเตอร์โครงสร้างแบบ CMOS กล่าวคือสามารถใช้สนามไฟฟ้าในการควบคุมอัตราการไหลของกระแสได้ และเพื่อความสะดวกในการอธิบายการทำงาน เราจึงใช้ชื่อต่าง ๆ ของทรานซิสเตอร์แบบ CMOS ในทรานซิสเตอร์แบบ CMOIS เช่นเดียวกันคือ

ก. ชื่อเกท คือชื่อที่ใช้ในการควบคุมการเกิดชั้นกลับ เพื่อกำเนิดช่องทางเดินกระแส

ข. ชื่อเดรน คือชื่อที่ใช้ในการปล่อยประจุพาหะออกสู่วงจรอื่น ๆ ซึ่งส่วนใหญ่จะได้รับการจ่ายศักดาไฟฟ้าแบบย้อนกลับ (reward bias)

ค. ชื่อซอส คือชื่อที่ใช้ในการจ่ายประจุพาหะ ส่วนใหญ่ชื่อซอสจะคือชื่อที่ได้รับการจ่ายศักดาไฟฟ้าแบบตรง (forward bias)

ดังนั้นการทำงานของทรานซิสเตอร์โครงสร้างแบบ CMOIS จึงสามารถอธิบายได้เช่นเดียวกับทรานซิสเตอร์โครงสร้างแบบ CMOS คือ

1. ช่วงทรานซิสเตอร์ไม่ทำงาน

เกิดขึ้นเมื่อศักดาไฟฟ้าที่ปรากฏที่ชื่อเกทมีค่าต่ำกว่าศักดาขีดเริ่มของทรานซิสเตอร์ ดังนั้นบริเวณช่องทางเดินกระแสจึงไม่เกิดชั้นกลับที่ใช้ในการนำกระแสขึ้น ทรานซิสเตอร์จึงไม่มีกระแสไหลผ่านจากชื่อเดรนไปยังชื่อซอส

2. ช่วงทรานซิสเตอร์ทำงานแบบเชิงเส้น

เกิดขึ้นเมื่อค่าแรงดันที่ปรากฏที่ชื่อเกทของทรานซิสเตอร์มีค่ามากกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์ แต่ผลต่างระหว่างค่าแรงดันที่ปรากฏแก่ชื่อเกท กับค่าแรงดันขีดเริ่มยังมีค่าน้อยกว่าค่าแรงดันที่ตกคร่อมชื่อเดรนและซอสของทรานซิสเตอร์ การไหลของกระแสช่วงนี้จะแปรผันตรงกับค่าของแรงดันเดรนซอสที่เพิ่มขึ้น ดังนั้นจึงเรียกการทำงานช่วงนี้ของทรานซิสเตอร์ว่าช่วงเชิงเส้น มีสมการการไหลของกระแสเดรนเป็นไปดังสมการที่ (1.2-1)

$$I_{DS} = \beta/2\ [2(V_G-V_T)V_{DS} - V_{DS}^{\ 2}] \qquad (1.2\text{-}1)$$

เมื่อ $\beta = \mu(\epsilon_o\epsilon_{ox}/T_{ox})(W/L)$

ค่าความนำในภาวะนำกระแส (G_m) สามารถหาได้โดยการหาอัตราการเปลี่ยนแปลงของกระแสเดรนเทียบกับค่าแรงดันเดรนซอส ดังสมการที่ (1.2-2)

$$G_m = \beta(V_{GS}-V_T-V_{DS}) \qquad (1.2\text{-}2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ช่วงทรานซิสเตอร์ทำงานแบบอิ่มตัว

เกิดขึ้นเมื่อค่าแรงดันที่ปรากฏที่ขั้วเกทมีค่าสูงกว่าค่าแรงดันชีดเริ่มของทรานซิสเตอร์ แต่กรณีนี้ผลต่างของค่าแรงดันขั้วเกทกับค่าแรงดันชีดเริ่มมีค่าสูงกว่าค่าแรงดันที่ดกคร่อมขั้วเดรนและซอสของทรานซิสเตอร์ การไหลของกระแสเดรนซอสจะมีค่าคงที่ไม่ขึ้นกับค่าแรงดันเดรนซอสที่จ่ายแก่ทรานซิสเตอร์ ความสัมพันธ์ระหว่างค่ากระแสเดรนกับค่าแรงดันต่าง ๆ เป็นไปดังสมการที่ (1.2-3)

$$I_{DS} = \beta/2\ (V_G - V_T)^2 \qquad (1.2\text{-}3)$$

ค่าความนำในช่วงการทำงานของทรานซิสเตอร์แบบอิ่มตัว ($G_m(sat)$)สามารถหาได้โดยหาอัตราการเปลี่ยนแปลงของกระแสเดรนเทียบกับค่าแรงดันเกทที่เปลี่ยนแปลงไป ได้ความสัมพันธ์ดังสมการที่ (1.2-4)

$$G_{m(sat)} = \beta(V_{GS} - V_T) \qquad (1.2\text{-}4)$$

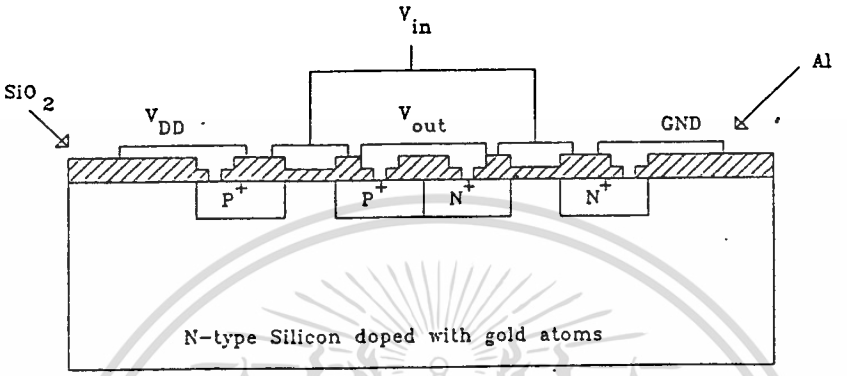
จากหลักการการทำงานของทรานซิสเตอร์แบบ CMOIS ดังกล่าวข้างต้นจะพบว่าเหมือนการทำงานของทรานซิสเตอร์แบบ CMOS ที่รู้จักกันดีในปัจจุบัน สิ่งที่แตกต่างกันระหว่างทรานซิสเตอร์ทั้งสองชนิดนี้คือการแบ่งขั้วของทรานซิสเตอร์แบบ CMOS ค่อนข้างแน่นอน กล่าวคือขั้วซอสของทรานซิสเตอร์แบบ CMOS จะต่อเชื่อมกับฐานรองที่ใช้ในการสร้างทรานซิสเตอร์ชนิดนั้น แต่ทรานซิสเตอร์โครงสร้างแบบ CMOS ไม่สามารถกระทำได้เช่นเดียวกับทรานซิสเตอร์โครงสร้างแบบ CMOIS เนื่องจากฐานรองของทรานซิสเตอร์ชนิดเอ็น (NMOIS) และทรานซิสเตอร์ชนิดพี (PMOIS) คือฐานรองอันเดียวกัน ดังนั้นถ้าทำการต่อเชื่อมขั้วซอสของทรานซิสเตอร์ทั้งสองเข้ากับฐานรอง จะทำให้ทรานซิสเตอร์ทั้งสองชนิดหมดภาระในการทำงานลง ทำให้วงจรไม่เกิดการทำงานตามฟังก์ชั่นที่ต้องการได้ ดังนั้นการแบ่งขั้วของทรานซิสเตอร์โครงสร้างแบบ CMOIS จึงคิดเฉพาะศักดาไบอัสแก่ขั้วของทรานซิสเตอร์เป็นสำคัญ กล่าวคือขั้วซอสของทรานซิสเตอร์คือขั้วที่ได้รับการไบอัสแบบตรง และขั้วเดรนของทรานซิสเตอร์คือขั้วที่ได้รับการไบอัสย้อนกลับเท่านั้น

1.3 ข้อดีของทรานซิสเตอร์โครงสร้างแบบ CMOIS

เนื่องจากทรานซิสเตอร์โครงสร้างแบบ CMOIS มีลักษณะการทำงานเช่นเดียวกับทรานซิสเตอร์โครงสร้างแบบ CMOS ดังนั้นข้อดีต่าง ๆ ในการทำงานของทรานซิสเตอร์โครงสร้างแบบ CMOIS จึงเหมือนกับข้อดีของทรานซิสเตอร์โครงสร้างแบบ CMOS คือ มีค่าความต้านทานขาเข้าสูง วงจรกิน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พลังงานในการทำงานต่ำ และสร้างได้ง่ายกว่าทรานซิสเตอร์แบบไบโพลาร์ นอกจากนี้ทรานซิสเตอร์โครงสร้างแบบ CMOIS สามารถสร้างได้โดยไม่จำเป็นต้องใช้บ่อแยก ในการแยกทรานซิสเตอร์สองชนิดออกจากกัน ดังนั้นพื้นที่บนแผ่นผลึกขนาดเดียวกันสามารถที่จะสร้างทรานซิสเตอร์แบบ CMOIS ได้จำนวนมากกว่าทรานซิสเตอร์แบบ CMOS นอกจากนี้ในกรณีที่ทรานซิสเตอร์ชนิดพี (PMOIS) ในวงจรต่อเชื่อมอยู่กับทรานซิสเตอร์ชนิดเอ็น (NMOIS) สามารถออกแบบให้ทรานซิสเตอร์ทั้งสองอยู่ชิดติดกันได้ในบริเวณจุดเชื่อมต่อดังรูปที่ 1.3-1 ทำให้พื้นที่บนแผ่นผลึกซิลิกอนมีประโยชน์มากกว่า และสามารถใช้ประโยชน์ได้อย่างเต็มที่



รูปที่ 1.3-1 แสดงการออกแบบภาพตัดขวางของทรานซิสเตอร์แบบ CMOIS ที่ทรานซิสเตอร์ชนิดเอ็นต่อเชื่อมกับทรานซิสเตอร์ชนิดพี

ด้วยเหตุที่ทรานซิสเตอร์แบบ CMOIS สามารถสร้างได้โดยไม่จำเป็นต้องมีบ่อแยก ดังนั้นทรานซิสเตอร์โครงสร้างแบบ CMOIS จึงไม่เกิดปรากฏการการแฝงของทรานซิสเตอร์แบบไบโพลาร์ในโครงสร้าง ซึ่งเกิดขึ้นกับทรานซิสเตอร์โครงสร้างแบบ CMOS และเป็นสาเหตุให้ทรานซิสเตอร์โครงสร้างแบบ CMOS เกิดการพังทลาย

จากข้อดีดังกล่าวข้างต้นจะพบว่า การพัฒนาทรานซิสเตอร์โครงสร้างแบบ CMOIS เป็นวงจรรวมจึงเป็นแนวทางที่น่าศึกษาและวิจัยถึงความเป็นไปได้ในการผลิตเพื่ออุตสาหกรรมต่อไป

1.4 การสร้างทรานซิสเตอร์โครงสร้างแบบ CMOIS

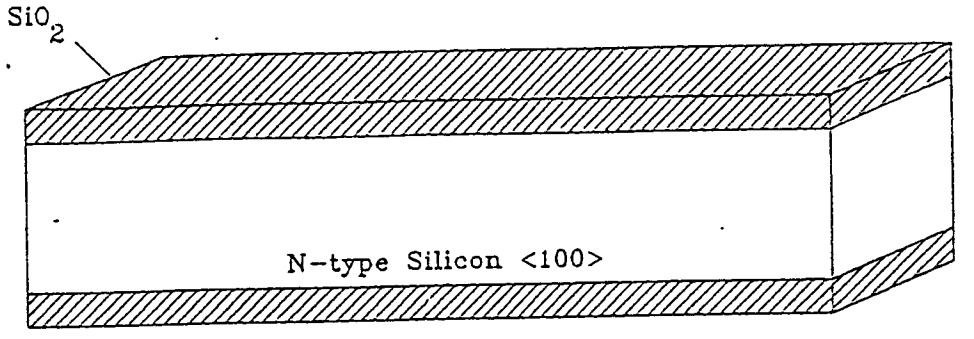
การสร้างสิ่งประดิษฐ์สารกึ่งตัวนำโครงสร้างแบบ CMOIS เป็นกระบวนการสร้างที่ได้จากการวิจัยและสรุปว่าเป็นกระบวนการสร้างที่เหมาะสมที่สุดสำหรับการสร้างสิ่งประดิษฐ์ประเภทนี้ โดยมีขั้นตอนดังต่อไปนี้

<u>ขั้นตอนที่ 1</u>

เลือกแผ่นผลึกซิลิกอนขนาดพิกัดความต้านทาน 5 โอห์ม-เซ็นติเมตร ระนาบ <100>ทำความสะอาดผิวหน้าด้วยกรดไนตริกเพื่อ กำจัดโลหะที่ผิวหน้าแผ่นซิลิกอน และละลายไขมันด้วยน้ำยาไตรคลอโรเอธิลีน และล้างน้ำยาไตรคลอโรเอธิลีนดวยน้ำยาอะซีโตน และน้ำบริสุทธิ์ไม่มีไอออน จากนั้นสร้างชั้นฉนวนซิลิกอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

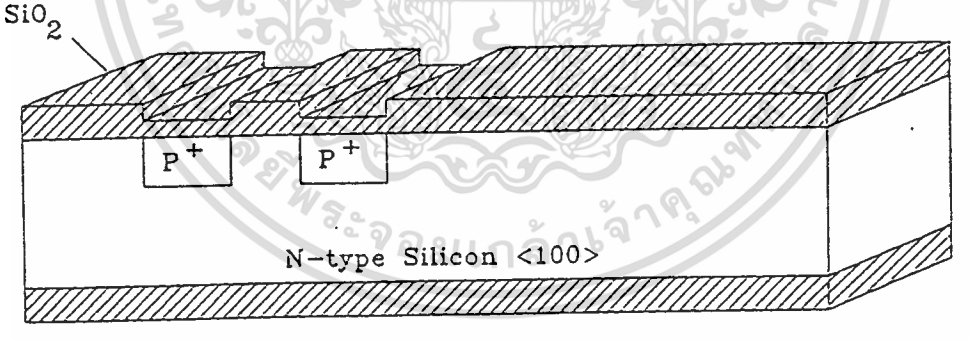
ไดออกไซด์ปกคลุมผิวแผ่นซิลิกอน ได้ค่าความหนาของชั้นฉนวนซิลิกอนไดออกไซด์ 10000 อังสตรอมแสดงดังรูปที่ 1.4-1



รูปที่ 1.4-1 แสดงแผ่นผลึกซิลิกอนที่ทำความสะอาดผิวและสร้างชั้นฉนวนซิลิกอนไดออกไซด์ปกคลุม

ขั้นตอนที่ 2

เปิดชั้นฉนวนซิลิกอนไดออกไซด์และแพร่สารเจือโบรอน (P^+) เพื่อสร้างขั้วซอสและเดรนของทรานซิสเตอร์ชนิด PMOIS ด้วยกระบวนการแพร่สารเจือด้วยความร้อน ที่อุณหภูมิ 1000 องศาเซลเซียส เป็นเวลา 30 นาที จากนั้นทำการขับลึกพร้อมทั้งสร้างชั้นฉนวนซิลิกอนไดออกไซด์ที่อุณหภูมิ 1100 องศาเซลเซียส เป็นเวลา 40 นาที ได้ความหนา 3000 อังสตรอม แสดงดังรูปที่ 1.4-2

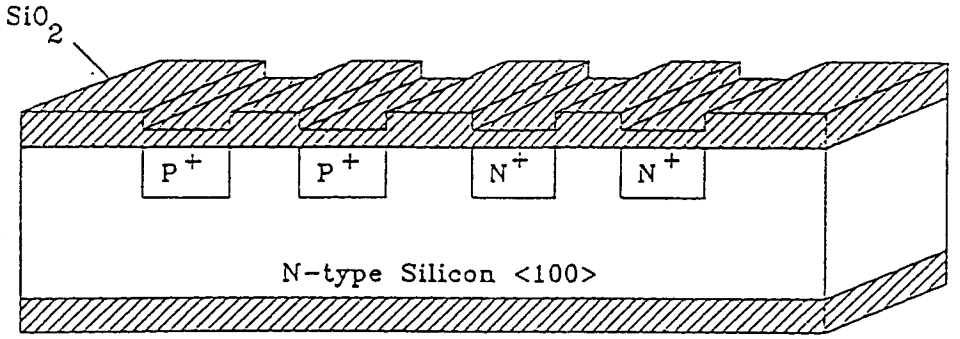


รูปที่ 1.4-2 แสดงขั้วซอสและเดรนของทรานซิสเตอร์ชนิด PMOIS

ขั้นตอนที่ 3

เปิดชั้นฉนวนซิลิกอนไดออกไซด์ และแพร่สารเจือฟอสฟอรัส (N^+) เพื่อสร้างขั้วซอสและเดรนของทรานซิสเตอร์ชนิด NMOIS ด้วยกระบวนการแพร่สารเจือด้วยความร้อน ที่อุณหภูมิ 1000 องศาเซลเซียส เป็นเวลานาน 40 นาที จากนั้นทำการขับลึกพร้อมทั้งสร้างชั้นฉนวนซิลิกอนไดออกไซด์ที่อุณหภูมิ 1100 องศาเซลเซียส เป็นเวลา 40 นาที ได้ความหนา 1300 อังสตรอม แสดงดังรูปที่ 1.4-3

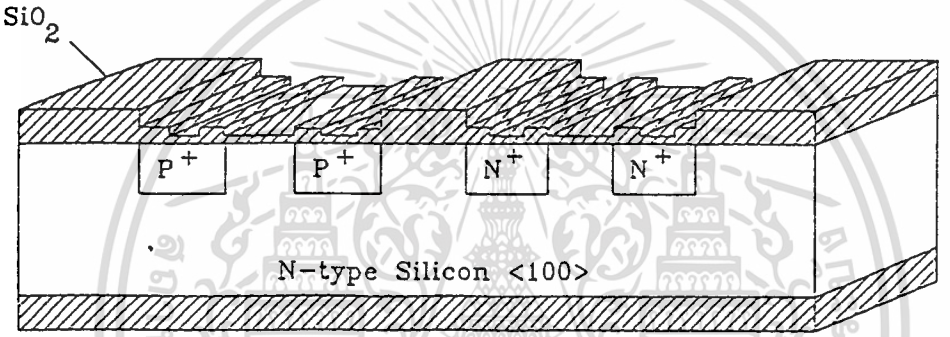
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.4-3 แสดงขั้วซอสและเดรนของทรานซิสเตอร์ชนิด NMOIS

ขั้นตอนที่ 4

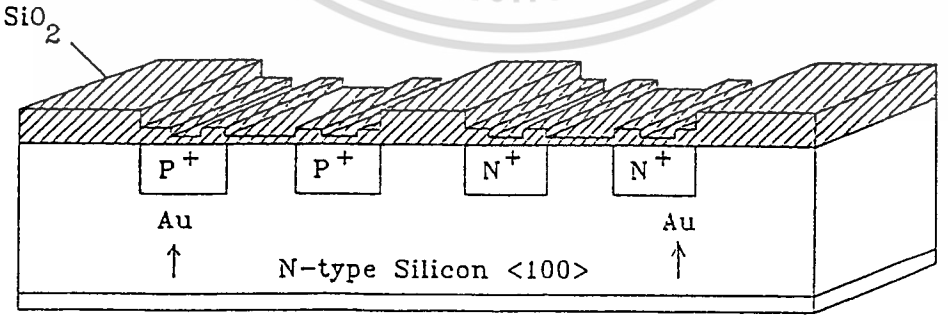
เปิดชั้นฉนวนซิลิกอนไดออกไซด์บริเวณช่องทางเดินกระแสของทรานซิสเตอร์แต่ละชนิด แล้วสร้างชั้นฉนวนชั้นใหม่เป็นส่วนเกทออกไซด์ให้มีความหนาประมาณ 700 อังสตรอม ที่อุณหภูมิ 1100 องศาเซลเซียส เป็นเวลา 20 นาที แสดงดังรูปที่ 1.4-4



รูปที่ 1.4-4 แสดงชั้นฉนวนซิลิกอนไดออกไซด์ที่เป็นส่วนเกทออกไซด์

ขั้นตอนที่ 5

เปิดชั้นฉนวนซิลิกอนไดออกไซด์ที่ผิวของฐานรองทั้งหมด แล้วเคลือบผิวนั้นด้วยโลหะทองคำ โดยใช้เครื่องเคลือบโลหะในสูญญากาศ จากนั้นขับลิกทองคำที่อุณหภูมิ 1100 องศาเซลเซียส เป็นเวลา 90 นาที จะทำให้ฐานรองที่ใช้ในการสร้างทรานซิสเตอร์เปลี่ยนแปลงคุณสมบัติ ซึ่งแสดงดังรูปที่ 1.4-5

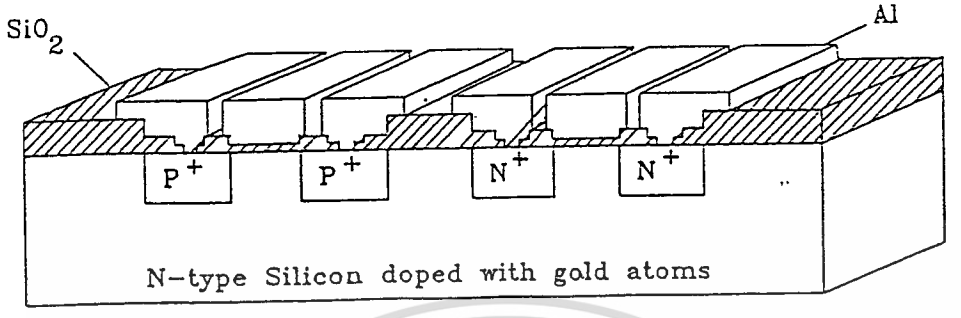


รูปที่ 1.4-5 แสดงลักษณะการแพร่สารเจือทองคำเข้าไปในฐานรองของทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนที่ 6

เปิดชั้นฉนวนซิลิกอนไดออกไซด์บริเวณขั้วซอสและเดรนของทรานซิสเตอร์แต่ละตัว แล้วเคลือบโลหะอลูมิเนียมที่ผิวหน้าด้วยเครื่องเคลือบโลหะในสูญญากาศ และกัดอลูมิเนียมเป็นลวดลายวงจรตามที่ได้ออกแบบไว้ แล้วทำการอบแผ่นซิลิกอนเพื่อให้รอยสัมผัสต่าง ๆสนิทกันมากขึ้น แสดงดังรูปที่ 1.4-6



รูปที่ 1.4-6 แสดงโครงสร้างทรานซิสเตอร์แบบ CMOIS ที่สร้างเสร็จแล้ว

หลังจากผ่านกระบวนการสร้างทรานซิสเตอร์ตามวงจรที่ได้ออกแบบไว้เรียบร้อยแล้ว จึงนำชิ้นงานนี้ไปทดสอบคุณสมบัติทางไฟฟ้า ตามชนิดของแต่ละวงจรต่อไป

1.5 แบบจำลองทรานซิสเตอร์โครงสร้างแบบ MOIS

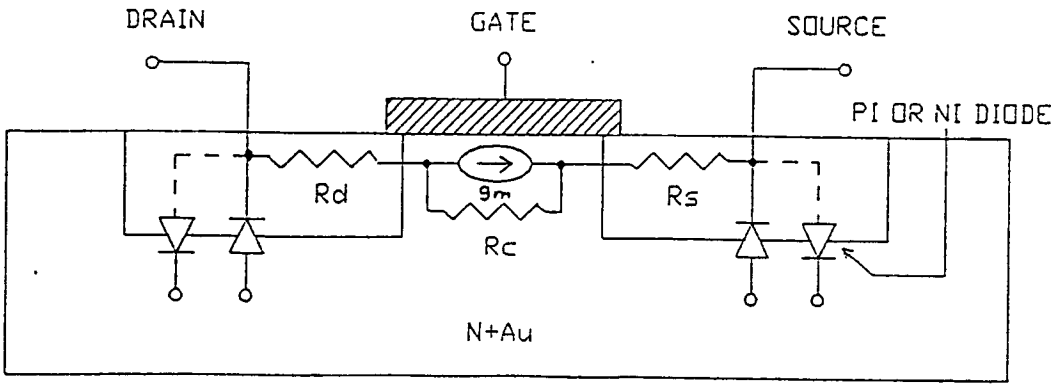
แบบจำลองของทรานซิสเตอร์ โดยทั่ว ๆไป จะใช้เป็นตัวแทนของทรานซิสเตอร์ในการคำนวณการตอบสนองของวงจรในทางไฟฟ้า ในด้านต่าง ๆเช่น ค่าความต่างศักย์ขาออกของวงจร ค่าความต้านทานขาเข้าและขาออกของวงจร การตอบสนองต่อสัญญาณชั่วครู่ของวงจรเป็นต้น ดังนั้นการกำหนดรูปแบบที่แน่นอนของวงจรจำลองเพื่อเป็นตัวแทนของทรานซิสเตอร์ในการหาการตอบสนองของวงจรจึงเป็นประโยชน์อย่างยิ่งแก่นักออกแบบวงจร เพื่อใช้ประโยชน์ในการคำนวณวงจรก่อนทำการสร้างวงจรจริงในหัวข้อนี้จะทำการเสนอแบบจำลองของทรานซิสเตอร์โครงสร้างแบบ MOIS เพื่อใช้เป็นตัวแทนในการออกแบบวงจรที่ต้องการต่อไป

1.5.1 แบบจำลองทางไฟตรงของทรานซิสเตอร์โครงสร้างแบบ MOIS

แบบจำลองทางไฟตรงของทรานซิสเตอร์โครงสร้างแบบ MOIS คือตัวแทนของทรานซิสเตอร์แบบ MOIS ที่ใช้ในการคำนวณพฤติกรรมทางไฟตรงของวงจรที่ประกอบด้วยทรานซิสเตอร์แบบนี้ ดังนั้นตัวแทนของทรานซิสเตอร์จะประกอบด้วย อุปกรณ์ที่ตอบสนองต่อสัญญาณไฟตรงเท่านั้น

พิจารณารูปภาพตัดขวาง และตัวแทนของแบบจำลองที่แฝงอยู่ในโครงสร้างทรานซิสเตอร์แบบ MOIS ดังรูปที่ 1.5-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

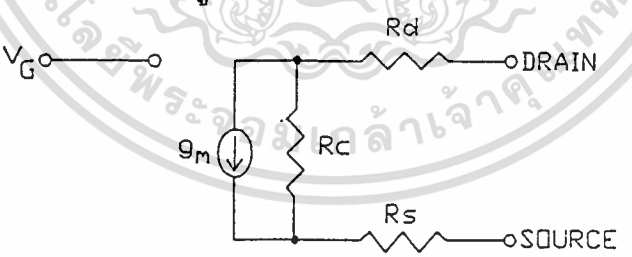


รูปที่ 1.5-1 แสดงภาพตัดขวางของทรานซิสเตอร์แบบ MOIS พร้อมทั้งแสดงส่วนประกอบของแบบจำลองที่แฝงอยู่ในโครงสร้างของทรานซิสเตอร์

จากรูปที่ 1.5-1 จะพบว่า ส่วนประกอบของแบบจำลองทางไฟตรงของทรานซิสเตอร์โครงสร้างแบบ MOIS จะประกอบด้วย

1. ค่าความต้านทานที่เกิดจากการออกแบบขั้วเดรนและขั้วซอสของทรานซิสเตอร์ (R_d และ R_s)
2. แหล่งกำเนิดกระแสที่ถูกควบคุมด้วยค่าแรงดันเกท และแรงดันตกคร่อมขั้วเดรนและขั้วซอส ซึ่งมีค่าความต้านทานภายใน (R_c)ต่อขนานอยู่
3. ไดโอดที่เกิดจากรอยต่อขั้วเดรนและขั้วซอสของทรานซิสเตอร์กับฐานรอง (ซึ่งเป็นสารกึ่งตัวนำบริสุทธิ์)

จากส่วนประกอบทั้งหมดนี้จะพบว่าอุปกรณ์ทุกอย่างที่กล่าวถึงทั้ง 3 ข้อ จะเป็นตัวแทนของแบบจำลองทางไฟตรงของทรานซิสเตอร์แบบ MOIS ยกเว้นไดโอด ซึ่งเกิดจากรอยต่อขั้วเดรนและขั้วซอสของทรานซิสเตอร์กับฐานรองเท่านั้น ซึ่งไม่มีผลกระทบต่อแบบจำลอง เนื่องจากฐานรองที่ใช้ในการสร้างทรานซิสเตอร์แบบ CMOIS ไม่สามารถต่อกับศักดาไฟเลี้ยงหรือลงกราวด์ได้ ดังนั้นจึงสรุปวงจรซึ่งเป็นตัวแทนของทรานซิสเตอร์แบบ MOIS ได้ดังรูปที่ 1.5-2



รูปที่ 1.5-2 แสดงแบบจำลองทางไฟตรงของทรานซิสเตอร์โครงสร้างแบบ MOIS

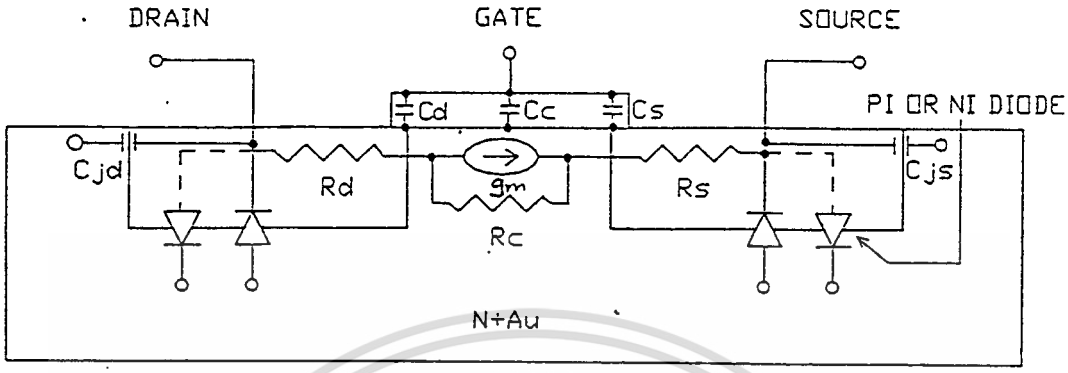
1.5.2 แบบจำลองทางไฟสลับของทรานซิสเตอร์โครงสร้างแบบ MOIS

ในทำนองเดียวกันกับแบบจำลองไฟตรงของทรานซิสเตอร์โครงสร้างแบบ MOIS คือแบบจำลองทางไฟสลับของทรานซิสเตอร์โครงสร้างแบบ MOIS จะใช้เป็นตัวแทนของทรานซิสเตอร์ในการคำนวณพฤติกรรมทางไฟฟ้าของวงจร ดังนั้นอุปกรณ์ประกอบร่วมเพื่อเป็นตัวแทนของแบบจำลองจะมีลักษณะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คล้ายคลึงกับแบบจำลองทางไฟตรงของทรานซิสเตอร์ แล้วเพิ่มส่วนประกอบที่ตอบสนองต่อสัญญาณไฟสลับเข้าไปในวงจร ที่แฝงอยู่ตามโครงสร้างของทรานซิสเตอร์

พิจารณารูปภาพตัดขวางของทรานซิสเตอร์ และอุปกรณ์ที่ตอบสนองต่อสัญญาณไฟสลับที่แฝงอยู่ในโครงสร้างของทรานซิสเตอร์ดังรูปที่ 1.5-3



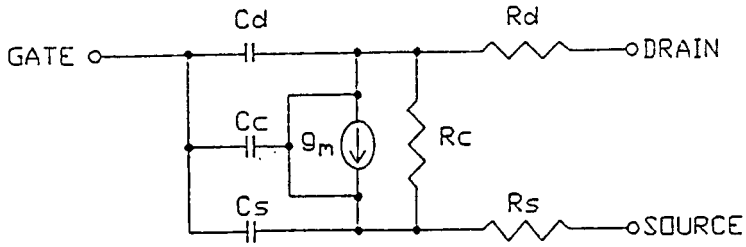
รูปที่ 1.5-3 แสดงภาพตัดขวางของทรานซิสเตอร์แบบ MOIS พร้อมส่วนประกอบของแบบจำลองทางไฟสลับที่แฝงอยู่ในโครงสร้างทรานซิสเตอร์แบบ MOIS

จากรูปที่ 1.5-3 พบว่าส่วนประกอบหลักของแบบจำลองยังมีลักษณะเดียวกันกับแบบจำลองทางไฟตรงของทรานซิสเตอร์โครงสร้างแบบ MOIS ส่วนประกอบที่เพิ่มเข้ามาคือตัวเก็บประจุที่แฝงอยู่ในโครงสร้างคือ

1. C_D และ C_S คือค่าความจุไฟฟ้าที่เกิดจากการออกแบบชั้วเกทเกินไปบนชั้วเดรน และชั้วซอส (GATE OVERLAP DESIGN) โดยทั่ว ๆไปแล้วส่วนเกินในแต่ละด้านจะมีค่าเท่ากันดังนั้น ค่าความจุไฟฟ้า C_D และ C_S ส่วนใหญ่จะมีค่าเท่ากัน
2. C_C คือค่าความจุไฟฟ้าที่เกิดจากชั้วเกทกระทำต่อฐานรองบริเวณช่องทางเดินกระแสของทรานซิสเตอร์
3. C_{JD} และ C_{JS} คือค่าความจุไฟฟ้าที่เกิดจากรอยต่อของชั้วเดรนและชั้วซอสของทรานซิสเตอร์กับฐานรองของทรานซิสเตอร์ ซึ่งสามารถพิจารณาได้ว่าคือค่าความจุไฟฟ้าในช่วงดีพลีชั่นของไดโอดบริเวณรอยต่อของชั้วเดรนและซอส

อุปกรณ์ทั้งหมดในรูปที่ 1.5-3 จะเป็นตัวแทนของทรานซิสเตอร์โครงสร้างแบบ MOIS ในการพิจารณาพฤติกรรมทางไฟฟ้าของวงจร ยกเว้นไดโอดและค่าความจุไฟฟ้า C_{JD} และ C_{JS} ซึ่งเกิดจากรอยต่อสารกึ่งตัวนำชั้วเดรนและซอสของทรานซิสเตอร์ที่กระทำต่อฐานรองเท่านั้น ที่ไม่มีผลต่อพฤติกรรมทางไฟฟ้าของวงจร ด้วยเหตุผลเดียวกันกับแบบจำลองทางไฟตรงของทรานซิสเตอร์แบบ MOIS ที่ได้กล่าวไว้แล้วในหัวข้อที่ 1.5-1 ดังนั้นแบบจำลองทางไฟสลับของทรานซิสเตอร์แบบ MOIS จึงสามารถสรุปเป็นวงจรได้ดังรูปที่ 1.5-4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.5-4 แสดงแบบจำลองทางไฟสลับของทรานซิสเตอร์แบบ MOIS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

เกทอะเรย์

(GATE ARRAY)

เกทอะเรย์คือวงจรรวมชนิดหนึ่ง ที่ผู้ผลิตวงจรรวมต้องการตอบสนองความต้องการของนักออกแบบวงจรรวมรายย่อยในการออกแบบวงจรรวมเพื่อใช้งานในด้านต่าง ๆ โดยเฉพาะ และผู้ออกแบบต้องการปิดความลับของวงจร โดยไม่ต้องการให้วงจรที่ออกแบบไว้ถูกเลียนแบบได้โดยง่าย เพื่อตอบสนองความต้องการในด้านดังกล่าวนี้บริษัทผู้ผลิตวงจรรวมต่าง ๆ จึงทำการออกแบบวงจรรวมของตนเองที่มีฟังก์ชั่นการทำงานที่แน่นอน และเป็นวงจรพื้นฐานของการออกแบบวงจรรวมขนาดใหญ่ จากนั้นทำการเสนอคุณสมบัติของวงจรพื้นฐานดังกล่าว แก่นักออกแบบวงจรรวมรายย่อย เพื่อให้นักออกแบบวงจรรวมรายย่อยได้ทำการออกแบบวงจรให้เป็นไปตามฟังก์ชั่นที่ตนเองคิดไว้ แล้วส่งวงจรตามที่ออกแบบไว้แก่ผู้ผลิตวงจรรวม เพื่อผลิตวงจรรวมขนาดใหญ่ที่มีฟังก์ชั่นที่ถูกต้องตามความต้องการของนักออกแบบวงจรรวมรายย่อยต่อไป

วงจรพื้นฐานของเกทอะเรย์ที่ผู้ผลิตวงจรรวมทำการเสนอคุณสมบัติแก่นักออกแบบวงจรรวมรายย่อยส่วนใหญ่จะเป็นวงจรที่ใช้งานทางดรรกเป็นส่วนมากเนื่องจากเป็นวงจรที่ให้ความสำคัญกับศักดาไฟฟ้าที่แน่นอนเพียงไม่กี่ค่าเท่านั้นจึงทำให้ง่ายในการผลิตกว่าการสร้างวงจรรวมเชิงเส้นทั่วไป แต่อย่างไรก็ดีความลับของอุปกรณ์ต่าง ๆ ที่ประกอบขึ้นเป็นวงจรพื้นฐานของเกทอะเรย์ เป็นสิ่งที่บริษัทผู้ผลิตวงจรรวมต่าง ๆ ยังปิดเป็นความลับของบริษัทไว้ไม่เปิดเผยแก่นักออกแบบวงจรทั่วไป ดังนั้นประสิทธิภาพของวงจรเกทอะเรย์ของแต่ละบริษัทผู้ผลิตวงจรรวมแต่ละรายจึงแตกต่างกันในรายละเอียดปลีกย่อย ในด้านต่าง ๆ เช่นความถี่สูงสุดที่ใช้งานวงจรได้ค่าศักดาไฟฟ้าที่สามารถใช้งานได้ดีที่สุด เป็นต้น ดังนั้นการดำเนินงานวิจัยเพื่อพิจารณาคุณสมบัติของอุปกรณ์ที่ประกอบขึ้นเป็นวงจรพื้นฐานของการออกแบบเกทอะเรย์จึงเป็นสิ่งที่น่าสนใจ และหากสามารถพัฒนาการผลิตจนสามารถตอบสนองแก่นักออกแบบวงจรรายย่อยในประเทศได้แล้ว จะทำให้งานทางด้านวิศวกรรมอิเล็กทรอนิคส์ในประเทศไทยมีการพัฒนาตัวเองอย่างต่อเนื่องทัดเทียมกับอรยประเทศ

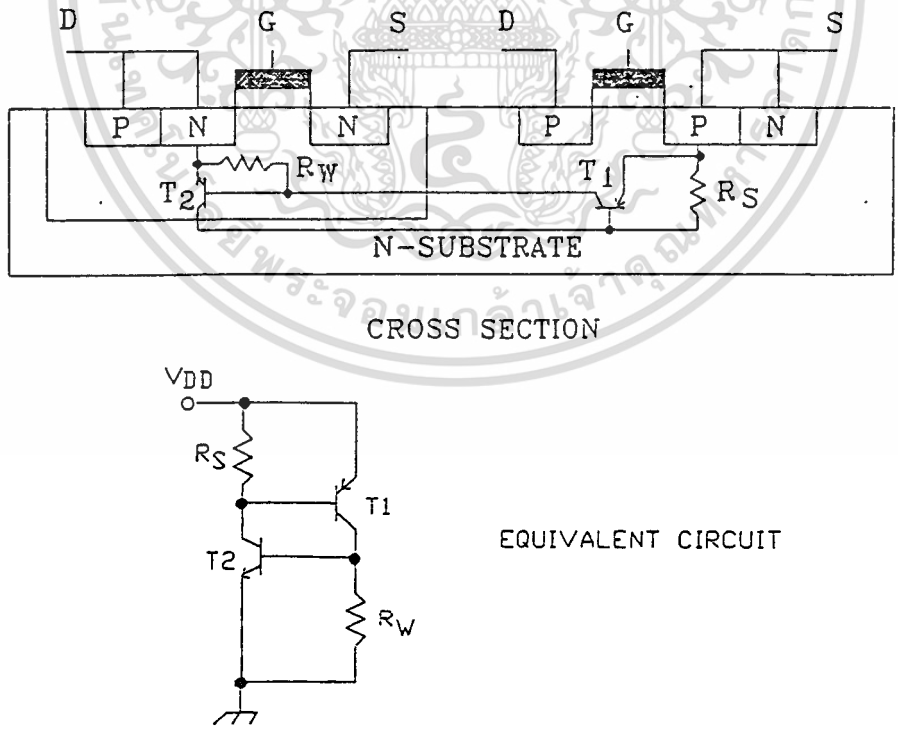
2.1 การเลือกเทคโนโลยีการผลิต GATE ARRAY

ผู้ผลิตวงจรรวมแบบเกทอะเรย์ส่วนใหญ่ ต้องการออกแบบวงจรพื้นฐานของตนเองให้สามารถใช้งานได้กว้างขวางมากที่สุดเท่าที่จะทำได้ เช่น สามารถใช้งานได้ในทุกอุณหภูมิสิ่งแวดล้อม สามารถใช้งานได้กับระดับศักดาไฟฟ้าต่ำ ๆ จนถึงค่าสูงสุดที่มากที่สุดที่จะทนได้มีการตอบสนองความถี่ที่สูงที่สุดเป็นต้น ดังนั้นเทคโนโลยีในการผลิตวงจรพื้นฐานของเกทอะเรย์ส่วนใหญ่ จึงเลือกทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างแบบ CMOS ในการผลิต เนื่องจากเป็นทรานซิสเตอร์โครงสร้างที่ดีที่สุดที่รู้จักกันดีในปัจจุบัน เนื่องจากข้อดีในด้านต่าง ๆของทรานซิสเตอร์แบบนี้เช่น สามารถใช้งานได้ที่แรงดันไฟเลี้ยงในช่วง 3-15 โวลต์ ไม่เกิดปรากฏการณ์การวิ่งหนีของความร้อน (thermal runaway) เป็นต้น การสร้างเกทอะเรย์ด้วยเทคโนโลยีของไบโพล่าร์ทรานซิสเตอร์ ในปัจจุบันยังคงมีอยู่ด้วยเหตุผลที่ไบโพล่าร์ทรานซิสเตอร์สามารถตอบสนองความถี่ได้ดีกว่าทรานซิสเตอร์โครงสร้างแบบ MOS ดังนั้นเกทอะเรย์โครงสร้างแบบไบโพลาร์ทรานซิสเตอร์จึงยังคงมีอยู่ในกลุ่มผู้ใช้งานที่ต้องการวงจรที่ตอบสนองความถี่ได้สูง ๆ โดยยอมสูญเสียกำลังงานในการทำงานมากกว่าการใช้เกทอะเรย์โครงสร้างแบบ CMOS

จากที่กล่าวมาแล้วในบทที่ 1 ว่าทรานซิสเตอร์โครงสร้างแบบ CMOIS มีลักษณะโครงสร้าง และการทำงานในด้านต่าง ๆที่คล้ายคลึงกับทรานซิสเตอร์โครงสร้างแบบ CMOS แต่มีจุดเด่นที่เหนือกว่าหลายประการ ที่ทำให้ผู้วิจัยพบว่าเป็นทรานซิสเตอร์ที่เหมาะสมอย่างยิ่งในการพัฒนาเป็นวงจรพื้นฐานของการออกแบบเกทอะเรย์ เพราะนอกจากจะมีโครงสร้างที่เหมาะสมแล้ว ยังมีจุดเด่นที่เป็นโครงสร้างที่สามารถแก้จุดบกพร่องของทรานซิสเตอร์แบบ CMOS ได้ดีเช่น การผลิตจะใช้ขั้นตอนที่ยุ่งยากน้อยกว่า และที่สำคัญที่สุด คือทรานซิสเตอร์โครงสร้างแบบ CMOIS จะไม่เกิดปรากฏการณ์แล็ชอัพ[8](latch up) ดังรูปที่ 2.1-1 ซึ่งเป็นการเกิดปรากฏการณ์การแฝงของไบโพลาร์ทรานซิสเตอร์ในโครงสร้างทรานซิสเตอร์แบบ CMOS เป็นต้น ดังนั้นการควบคุมคุณสมบัติของวงจรเกทอะเรย์ที่มีโครงสร้างแบบ CMOIS จึงเป็นสิ่งที่น่าสนใจที่จะศึกษาและดำเนินการวิจัย เพื่อตอบสนองความต้องการแก่นักออกแบบและใช้เทคโนโลยีในการผลิตแบบนี้แทนที่เทคโนโลยีของ CMOS ที่มีอยู่ในปัจจุบัน



รูปที่ 2.1-1 แสดงการเกิดปรากฏการณ์ LATCH UP ในทรานซิสเตอร์โครงสร้างแบบ CMOS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สิ่งที่ผู้ผลิตวงจรรวมแบบเกทอะเรย์ต้องการอีกสิ่งหนึ่งนอกจากประสิทธิภาพที่ดีของวงจรแล้วคือ ต้นทุนในการดำเนินการผลิตควรจะต่ำที่สุด เพื่อกำไรสูงสุด สิ่งนี้ยิ่งตอบสนองได้ดีด้วยทรานซิสเตอร์โครงสร้างแบบ CMOIS เนื่องจากเป็นทรานซิสเตอร์ที่ออกแบบง่าย และใช้พื้นที่บนแผ่นผลึกซิลิกอนน้อยกว่าทรานซิสเตอร์โครงสร้างแบบ CMOS ถึงร้อยละ 12.5 ในขณะที่ทรานซิสเตอร์แบบ CMOS ก็เป็นทรานซิสเตอร์ที่สามารถออกแบบให้ใช้พื้นที่บนแผ่นผลึกซิลิกอนน้อยกว่าทรานซิสเตอร์แบบไบโพลาร์อยู่แล้ว (โดยที่ฟังก์ชันของการทำงานยังคงเท่ากัน) ดังนั้นทรานซิสเตอร์โครงสร้างแบบ CMOIS จึงสามารถตอบสนองความต้องการของทั้งผู้ออกแบบวงจรรายย่อยและผู้ผลิตวงจรรายใหญ่ได้เป็นอย่างดี

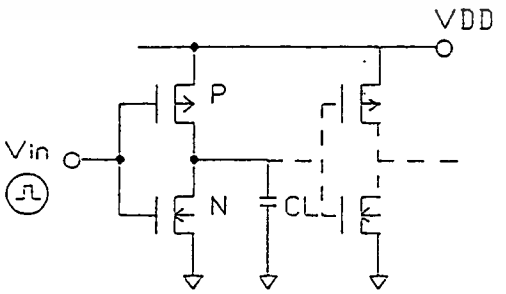
2.2 สถาปัตยกรรมในการออกแบบเกทอะเรย์

คุณสมบัติต่าง ๆ ของวงจรรวมในปัจจุบันนี้ นอกจากขึ้นอยู่กับเทคโนโลยีในการผลิตแล้ว ยังขึ้นกับความสามารถของวิศวกรในการจัดวางตำแหน่งต่าง ๆ ของส่วนประกอบในวงจรอย่างดีที่สุด เมื่อจุดประสงค์เพื่อหลีกเลี่ยงพฤติกรรมแฝงในด้านต่าง ๆ เช่น พฤติกรรมตัวเก็บประจุที่แฝงอยู่ในวงจร หรือพฤติกรรมของความเหนี่ยวนำที่เกิดขึ้นเนื่องจากการออกแบบเป็นต้น สิ่งต่าง ๆ เหล่านี้ล้วนเป็นสิ่งที่ทำให้ประสิทธิภาพและคุณสมบัติของวงจรที่ออกแบบไว้เปลี่ยนแปลงไป ดังนั้นสถาปัตยกรรมในการออกแบบที่ดีจะทำให้ฟังก์ชันการทำงานของวงจรเป็นไปอย่างถูกต้องและตอบสนองความต้องการแก่นักออกแบบและผู้ใช้วงจรต่อไป

นอกเหนือจากการวางตำแหน่งของอุปกรณ์ต่าง ๆดังที่กล่าวข้างต้นแล้ว การออกแบบทรานซิสเตอร์แต่ละตัวในวงจรพื้นฐานของเกทอะเรย์ ยังมีหลักการออกแบบที่เฉพาะเจาะจงโดยแบ่งการออกแบบออกเป็น 2 ชนิดคือ

1. การออกแบบสมมาตร (Symmetric Design)

การออกแบบสมมาตรคือการออกแบบวงจรด้วยทรานซิสเตอร์ที่สามารถทำให้ค่าเวลาในการเปลี่ยนสถานะของวงจรทั้งขาขึ้นและขาลงมีค่าเท่ากัน เมื่อทำการพิจารณาวงจรในรูปที่ 2.2-1 ซึ่งประกอบด้วยทรานซิสเตอร์ชนิด NMOIS และทรานซิสเตอร์ชนิด PMOIS ประกอบกันขึ้นเป็นวงจรอินเวอร์เตอร์ ซึ่งเป็นวงจรที่นิยมใช้ในภาคสุดท้ายของวงจรพื้นฐานเกือบทุกวงจร



รูปที่ 2.2-1 แสดงวงจรอินเวอร์เตอร์โครงสร้างแบบ CMOIS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

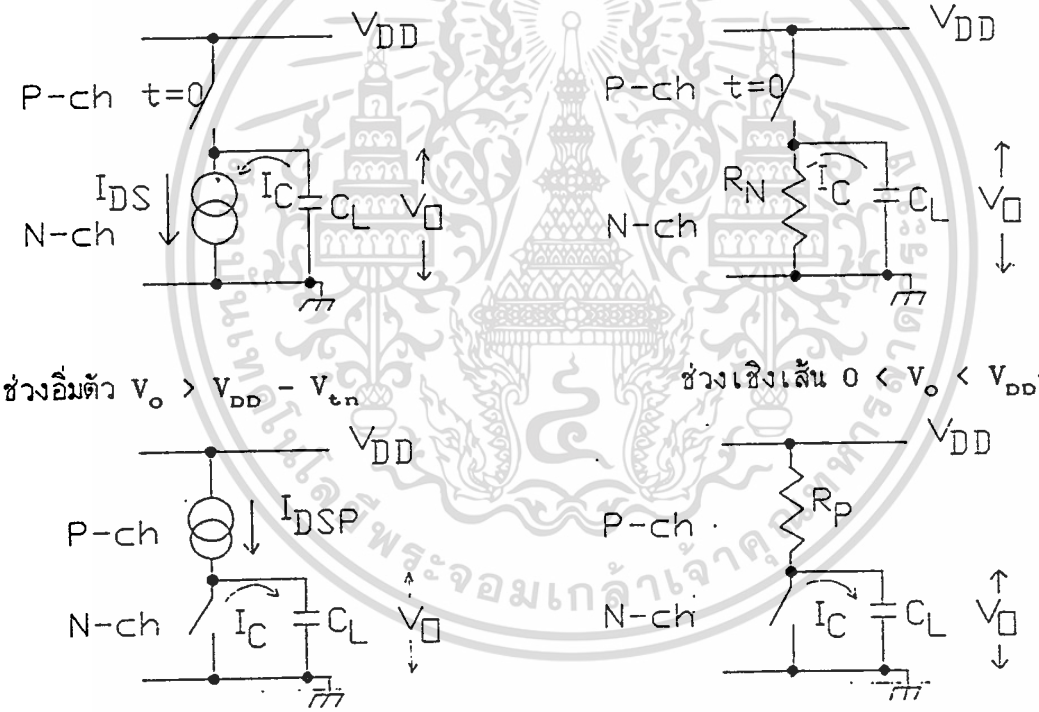
ก่อนที่จะกล่าวถึงวิธีการวิเคราะห์ค่าเวลาในการสวิทชองวงจร ขอกล่าวถึงช่วงเวลาที่ใช้ในการเปลี่ยนสถานะของวงจรก่อน ช่วงเวลาดังกล่าวประกอบด้วย

t_r (Rise time) คือช่วงเวลาที่สถานะของวงจรเปลี่ยนจากแรงดัน 10 % ของแรงดันไฟเลี้ยง สู่จุด 90% ของแรงดันไฟเลี้ยง

t_f (Fall time) คือช่วงเวลาที่สถานะของวงจรเปลี่ยนจากค่าแรงดัน 90% ของแรงดันไฟเลี้ยงสู่จุด 10% ของแรงดันไฟเลี้ยง

ในการวิเคราะห์วงจรเพื่อหาค่าของช่วงเวลาดังกล่าว จะใช้วงจรเสมือนที่สามารถแทนวงจรอินเวอร์เตอร์ดังในรูปที่ 2.2-1 ได้ วงจรเสมือนดังกล่าวเป็นไปดังรูปที่ 2.2-2

จากรูปที่ 2.2-2 จะพบว่าค่าเวลาในการสวิทชองวงจรจะขึ้นอยู่กับค่าเวลาที่ใช้ในการประจุตัวเก็บประจุ และค่าเวลาที่ใช้ในการคายประจุของตัวเก็บประจุ ซึ่งต่ออยู่ที่ขาแรงดันขาออกของวงจร ซึ่งเป็นตัวเก็บประจุที่แทนภาคสัญญาณขาเข้าของวงจรในสถานะถัดไป วิธีการวิเคราะห์จะกระทำโดยจ่ายสัญญาณนาฬิกาแก่วงจรอินเวอร์เตอร์แล้วทำการวิเคราะห์สถานะของแรงดันขาออกต่อไป



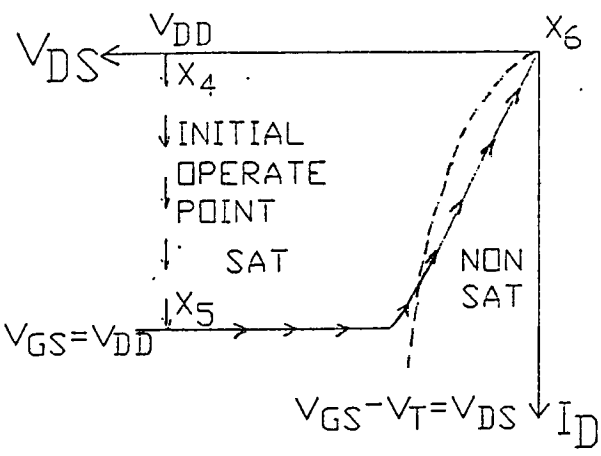
รูปที่ 2.2-2 แสดงวงจรเสมือนของวงจรอินเวอร์เตอร์ขณะกำลังเปลี่ยนสถานะ

ก. จากสถานะสูงไปสถานะต่ำ

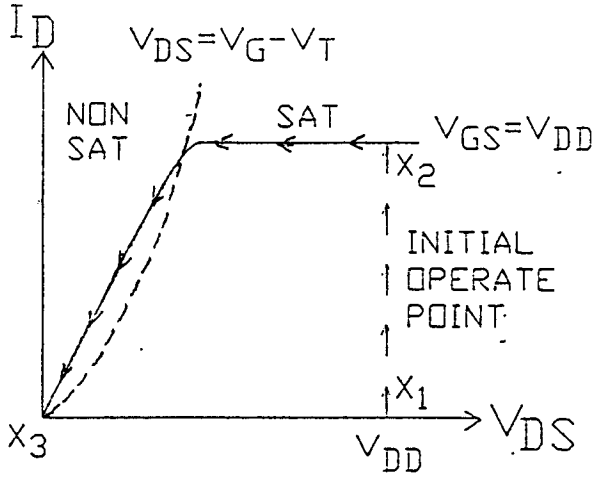
ข. จากสถานะต่ำไปสถานะสูง

การพิจารณาวงจรเสมือนออกเป็นช่วงการทำงานในช่วงอิ่มตัวและเชิงเส้นเนื่องจากขณะที่ทรานซิสเตอร์ทั้งสองกำลังเปลี่ยนสถานะจะมีสมการเส้นโหลดเป็นไปดังรูปที่ 2.2-3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ก.PMOIS



ข.NMOIS

รูปที่ 2.2-3 แสดงสมการเส้นโหลดของทรานซิสเตอร์ทั้งสองขณะกำลังเปลี่ยนสถานะ

<u>พิจารณาช่วงเวลาเปลี่ยนสถานะจากสถานะสูงไปสถานะต่ำ (t_f)</u>

พิจารณารูปที่ 2.2-2 ก. และเส้นโหลดในรูปที่ 2.2-3 ข. จะพบว่าเมื่อค่าแรงดันเปลี่ยนแปลงจาก 0 โวลย์ไปสู่ค่าแรงดัน V_{DD} ในตอนแรกทรานซิสเตอร์ชนิด NMOIS กำลังหยุดนำกระแสอยู่ และตัวเก็บประจุ C_L มีประจุอยู่เต็มและมีค่าแรงดันตกคร่อม V_{DD} จุดทำงานของวงจรจะเริ่มต้นที่จุด X_1 และเมื่อค่าแรงดันขาเข้าเปลี่ยนแปลงจาก 0 โวลย์ ไปสู่แรงดัน V_{DD} แบบขั้น (step function) สมการเส้นโหลดจะเปลี่ยนแปลงไปยังจุด X_2 และ X_3 ตามลำดับ ดังนั้นค่าแรงดันขาออกของวงจรจะเปลี่ยนแปลงไปตามการทำงานของทรานซิสเตอร์ทั้ง 2 ช่วงคือ

1. t_{f1} จะแทนช่วงเวลาการเปลี่ยนแปลงเวลาจากช่วงที่ค่าแรงดันในตัวเก็บประจุ (V_o) เปลี่ยนจาก $0.9V_{DD}$ จนถึงจุด $(V_{DD}-V_{Tn})$
2. t_{f2} จะแทนช่วงเวลาที่ค่าแรงดันตกคร่อมตัวเก็บประจุเปลี่ยนแปลงจาก $(V_{DD}-V_{Tn})$ ถึงจุด $0.1V_{DD}$

พิจารณาค่าเวลา t_{f1} ก่อน ด้วยวิธีการ NODE ANALYSIS กระแสที่ไหลออกจากตัวเก็บประจุ C_L จะมีค่าเท่ากับกระแสเดรนของทรานซิสเตอร์ชนิด NMOIS ดังสมการที่ (2.2-1)

$$C_L(dV_o/dt) + (\beta_n/2)(V_{DD}-V_{tn})^2 = 0 \quad ; \quad V_o > V_{DD}-V_{tn} \qquad (2.2\text{-}1)$$

ทำการอินทิเกรตจากช่วงเวลา $t=(V_{DD}-V_{tn})$ ถึง $t=0.9V_{DD}$ จะได้

$$t_{f1} = 2[C_L/\beta_n\,(V_{DD}-V_{tn})^2]\ {}_{VDD-Vtn}\int^{0.9VDD} dV_o$$
$$= [2C_L(V_{tn}-0.1V_{DD})] \,/\, [\beta_n(V_{DD}-V_{tn})^2] \qquad (2.2\text{-}2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจาณาค่าเวลา t_{f2} ซึ่งเป็นช่วงที่ทรานซิสเตอร์ชนิด NMOIS กำลังทำงานในช่วงเชิงเส้น ค่าการจ่ายประจุของตัวเก็บประจุ C_L ตอนนี้จะไม่คงที่เหมือนช่วง t_{f1} ช่วงเวลา t_{f2} นี้จะแทนช่วงเวลาการจ่ายประจุออกจากค่าแรงดัน $(V_{DD}-V_{tn})$ สู่ค่าแรงดัน $0.1V_{DD}$ ในทำนองเดียวกับ t_{f1} คือ

$$C_L (dV_o/dt) + \beta_n(V_o-V_{Tn})V_o - (V_o^2/2) = 0 \qquad (2.2\text{-}3)$$

ทำการอินทิเกรตจากช่วงเวลา $t=(V_{DD}-V_{tn})$ ถึงช่วงเวลา $0.1V_{DD}$ จะได้

$$t_{f2} = C_L/[\beta_n(V_{DD}-V_{tn})_{0.1VDD}\int^{VDD-Vtn} (dVo)/\{(Vo^2)/[2(V_{DD}-V_{tn})]-Vo\}$$

$$= \{C_L/[\beta_n(V_{DD}-V_{tn})]\} \ln (19V_{DD}-20V_{tn})/V_{DD} \qquad (2.2\text{-}4)$$

ดังนั้นค่าเวลาตอบสนองขณะสัญญาณขาออกมีค่าเวลา (t_f) คือ

$$t_f = t_{f1} + t_{f2} \qquad (2.2\text{-}5)$$

$$= 2[C_L/\beta_n(V_{DD}-V_{tn})][(V_{tn}-0.1V_{DD})/(V_{DD}-V_{tn})]+(1/2)\ln[(19V_{DD}-20V_{tn})/V_{DD}]$$

<u>พิจารณาช่วงเวลาการเปลี่ยนสถานะจากสถานะต่ำไปสถานะสูง</u>(t_r)

การพิจารณาจะกระทำเช่นเดียวกันกับการพิจารณาช่วงเวลาเปลี่ยนสถานะจากสถานะสูงไปสถานะต่ำจะได้

$$t_r = 2 [C_L/\beta_n(V_{DD}-V_{tp})] \{ [(V_{tp}-0.1V_{DD})/(V_{DD}-V_{tp})] + (1/2)\ln[(19V_{DD}-20V_{tn})/V_{DD}] \} \qquad (2.2\text{-}6)$$

จากสมการที่ (2.2-5) และสมการที่ (2.2-6) จะพบว่าวิธีการออกแบบแบบสมมาตรจำเป็นต้องการทำให้ค่าเวลา t_r เท่ากับค่าของเวลา t_f วิธีการที่ง่ายที่สุดที่จะทำได้คือทำการควบคุมค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด NMOIS ให้เท่ากับทรานซิสเตอร์ชนิด PMOIS แล้วทำการออกแบบให้ค่า β ของทรานซิสเตอร์ชนิด NMOIS เท่ากับค่า β ของทรานซิสเตอร์ชนิด PMOIS ก็สามารถตอบสนองวิธีการออกแบบแบบสมมาตรได้ และในการสร้างทรานซิสเตอร์ชนิด NMOIS และ PMOIS จะกระทำการสร้างบน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

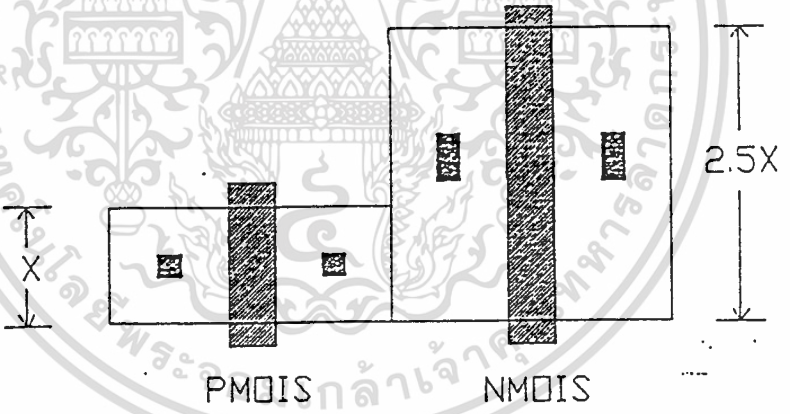
สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

แผ่นผลึกเดียวกัน ดังนั้นเมื่อพิจารณาสมการของค่า β ของทรานซิสเตอร์โครงสร้างแบบ MOIS ดังสมการที่ (2.2-7)

$$\beta = \mu (\epsilon_o \epsilon_{ox}/T_{ox}) (W/L) \quad \text{,เมื่อ} \quad \epsilon_o = 8.85*10^{-14} \text{ F/cm} \quad (2.2\text{-}7)$$

$$\epsilon_{ox} = 3.5*10^{-13} \text{ F/cm [9]}$$

จะพบว่าสิ่งที่ต้องการทราบก่อนการออกแบบค่าความกว้างและค่าความยาวของช่องทางเดินกระแสของทรานซิสเตอร์คือ ค่าความคล่องตัวของประจุพาหะ (μ) เสียก่อนหรือกล่าวอีกนัยหนึ่งคือค่าอัตราส่วนของค่าค่วามคล่องตัวของอิเลคตรอนและโฮลที่ผิว จะเป็นค่าที่บอกถึงอัตราส่วนของความกว้างต่อความยาวของช่องทางเดินกระแสของทรานซิสเตอร์ชนิดเอ็นต่อทรานซิสเตอร์ชนิดพีได้ทรานซิสเตอร์โครงสร้างแบบ CMOIS มีค่าความคล่องตัวของประจุพาหะที่ผิวของอิเล็กตรอน 60 $cm^2/v.s$ และค่าความคล่องตัวของประจุพาหะโฮลที่ผิว 150 $cm^2/v.s$[1]ดังนั้นค่าอัตราส่วนของความคล่องตัวของอิเล็กตรอนต่อโฮลจึงมีค่า 1:2.5 กล่าวคือถ้าทำการออกแบบเกทอะเรย์ด้วยทรานซิสเตอร์โครงสร้างแบบ CMOIS ด้วยวิธีการออกแบบ แบบสมมาตรแล้วค่าความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์ชนิดเอ็น (NMOIS) จะต้องกว้างกว่าค่าความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์ชนิดพี(PMOIS) 2.5 เท่า ดังรูปที่ 2.2-3



รูปที่ 2.2-3 แสดงการออกแบบวงจรอินเวอร์เตอร์ในวงจรเกทอะเรย์แบบสมมาตร

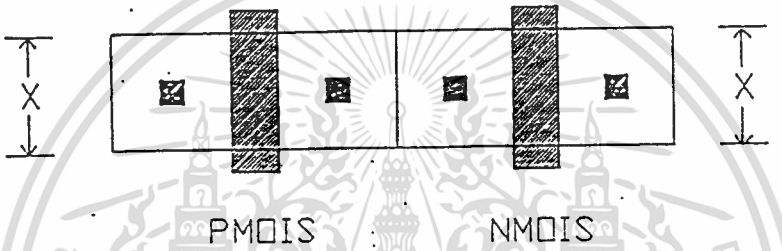
2. การออกแบบแบบไม่สมมาตร (nonsymmetric design)

การออกแบบลักษณะไม่สมมาตรของการออกแบบวงจรพื้นฐานของเกทอะเรย์ คือการออกแบบที่ยึดถือเอารูปทรงทางเรขาคณิตของทรานซิสเตอร์เป็นสำคัญ ตรงข้ามกับการออกแบบลักษณะสมมาตรที่ยึดถือค่าเวลาของการตอบสนองเป็นสำคัญ หลักการของการออกแบบในลักษณะไม่สมมาตรนี้จะทำการออกแบบทรานซิสเตอร์ทั้งสองชนิดของวงจร ให้ใช้พื้นที่บนแผ่นผลึกซิลิกอนเท่า ๆกัน ดังนั้นการออกแบบจึงเริ่มจากการพิจารณาความยาวของช่องทางเดินกระแสที่เล็กที่สุดเท่าที่เทคโนโลยีจะอำนวยให้ แล้วทำการออกแบบความกว้างของช่องทางเดินกระแสให้สามารถขับกระแสแก่วงจรในสถานะถัดไปได้ตามต้องการ แต่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อย่างไรก็ตามความเหมาะสมของกระแสขาออกของวงจรนี้จะต้องกระทำที่ค่าความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์ทั้งสองมีค่าเท่ากันซึ่งส่วนใหญ่วงจรที่ออกแบบด้วยวิธีดังกล่าวนี้จะทำการออกแบบให้ค่าความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์ทั้งสองมีค่าเท่ากัน ซึ่งส่วนใหญ่วงจรที่ออกแบบด้วยวิธีดังกล่าวนี้จะทำการออกแบบให้ค่าความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์ทั้งสองมีค่าน้อยที่สุดเท่าที่เทคโนโลยีในการผลิตจะอำนวยให้

พิจารณารูปทรงด้านบนของการออกแบบทรานซิสเตอร์แบบ CMOIS ดังรูปที่ 2.2-4 จะพบว่า ค่าความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์ที่เล็กที่สุดเท่าที่เทคโนโลยีในการผลิตจะอำนวยให้จะมีค่ามากกว่าค่าความยาวของช่องทางเดินกระแส 3 เท่า และจากการออกแบบในลักษณะดังกล่าวนี้ทำให้ทราบว่า ค่าความต้านทานในภาวะนำกระแสของทรานซิสเตอร์ชนิด PMOIS จะมีค่าต่ำกว่าทรานซิสเตอร์ชนิด NMOIS ถึง 3 เท่า



รูปที่ 2.2-4 แสดงการออกแบบวงจรอินเวอร์เตอร์ในวงจรเกทอะเรย์แบบไม่สมมาตร

จากที่กล่าวมาทั้งหมดข้างต้นจะพบว่าถ้าทำการออกแบบคู่ตรงข้ามของทรานซิสเตอร์แบบสมมาตรจะทำให้ทรานซิสเตอร์โครงสร้างแบบ CMOIS ใช้พื้นที่มากกว่าทรานซิสเตอร์แบบ CMOS ประมาณ 20% (ค่าอัตราส่วนของความคล่องตัวของประจุพาหะอิเลคตรอนต่อโฮล ที่ผิวของ CMOS มีค่า 2:1) ดังนั้นถ้าทำการออกแบบวงจรด้วยทรานซิสเตอร์โครงสร้างแบบ CMOIS ในลักษณะสมมาตรแล้ว ข้อดีของทรานซิสเตอร์โครงสร้างดังกล่าวคงไม่ปรากฏออกมาแต่ถ้าทำการออกแบบในลักษณะไม่สมมาตรแล้วจะสามารถเห็นความแตกต่าง และข้อดีของทรานซิสเตอร์โครงสร้างแบบ CMOIS ได้เด่นชัดยิ่งขึ้น ดังนั้นในวิทยานิพนธ์ฉบับนี้จึงทำการออกแบบทรานซิสเตอร์โครงสร้างแบบ CMOIS เป็นวงจรพื้นฐานของการออกแบบเกทอะเรย์ในลักษณะไม่สมมาตรซึ่งสามารถแสดงจุดเด่นของโครงสร้างทรานซิสเตอร์แบบนี้ได้เป็นอย่างดี

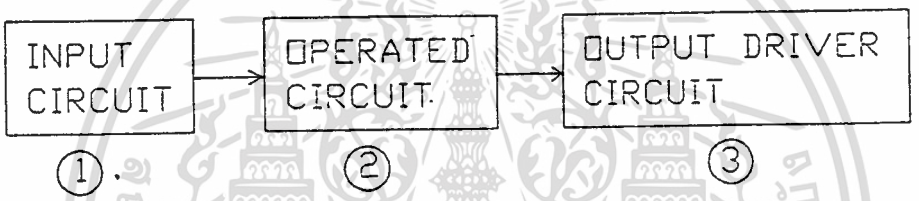
เมื่อทำการออกแบบทรานซิสเตอร์โครงสร้างแบบ CMOIS ด้วยวิธีการไม่สมมาตรแล้วจะพบว่าค่าอัตราขยายของทรานซิสเตอร์ชนิด PMOIS จะมีค่าสูงกว่าทรานซิสเตอร์ชนิด NMOIS ประกอบกับการพิจารณาค่าเวลา t_r และ t_f ของวงจรที่ได้กล่าวมาแล้วจะพบว่า ค่าเวลาตอบสนองต่อสัญญาณในช่วงขาขึ้น จะมีค่าสูงกว่าค่าเวลาในการตอบสนองต่อสัญญาณในช่วงขาลงอย่างแน่นอน แต่อย่างไรก็ตามเรา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถออกแบบทรานซิสเตอร์ทั้งสองชนิดนี้ด้วยวิธีการออกแบบในลักษณะไม่สมมาตรแล้ว ทำให้ค่าเวลา t_r มีค่าเท่ากับค่าเวลา t_f โดยการปรับค่าแรงดันขีดเริ่ม (V_t) ของทรานซิสเตอร์ชนิด PMOIS ให้มีค่าสูงกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด NMOIS ผลเสียของการปรับค่าแรงดันขีดเริ่มเพื่อต้องการค่า $t_r = t_f$ คือจำเป็นต้องกำหนดขนาดของแรงดันไฟเลี้ยงที่ต้องการใช้งานเป็นค่าคงที่ที่แน่นอนค่าหนึ่งเท่านั้นดังนั้นวิธีการปรับค่าแรงดันขีดเริ่มดังกล่าวจึงไม่เป็นที่นิยมมากนัก

2.3 ส่วนประกอบของวงจรมาตราฐานในระบบเกทอะเรย์

ตามที่ได้กล่าวไว้แล้วข้างต้นว่า วงจรพื้นฐานของการออกแบบเกทอะเรย์ จะเป็นวงจรที่สามารถใช้งานได้อย่างกว้างขวางในวงจรอิเล็กทรอนิคส์ทั่ว ๆไป ดังนั้นกลุ่มของวงจรหลักในวงจรอิเล็กทรอนิคส์ทางตรรก จึงถูกนำมาสร้างเป็นวงจรมาตราฐาน และเพื่อความสะดวกในการเลือกใช้วงจรมาตราฐานในการออกแบบวงจรใหญ่ต่อไป จึงทำการแบ่งกลุ่มของวงจรมาตราฐานดังกล่าวออกเป็นกลุ่มใหญ่ ๆ 3 กลุ่ม ดังรูปที่ 2.3-1



รูปที่ 2.3-1 แสดงไดอะแกรมของกลุ่มวงจรมาตราฐานของเกทอะเรย์

กลุ่มของวงจรมาตราฐานดังรูปที่ 2.3-1 แบ่งออกเป็น 3 กลุ่มใหญ่ ๆคือ

กลุ่มที่ 1 วงจรมาตราฐานรับสัญญาณขาเข้า

กลุ่มที่ 2 วงจรมาตราฐานการทำงานตามฟังก์ชั่นต่าง ๆ

กลุ่มที่ 3 วงจรมาตราฐานส่งสัญญาณขาออก

กลุ่มวงจรทั้ง 3 กลุ่มนี้จะมีคุณสมบัติของวงจรที่แตกต่างกันออกไปตามลักษณะของการทำงาน แต่การทำงานของวงจรในแต่ละกลุ่มจะต้องสอดคล้องซึ่งกันและกัน เพื่อให้ผลลัพท์ของฟังก์ชั่นของวงจรที่ถูกต้องตามความต้องการของผู้ออกแบบวงจร

2.3.1 วงจรมาตราฐานรับสัญญาณขาเข้า

กลุ่มวงจรมาตราฐานรับสัญญาณขาเข้า คือกลุ่มวงจรที่ทำหน้าที่รับสัญญาณขาเข้าจากวงจรภายนอก แล้วทำการขับสัญญาณที่ได้รับดังกล่าวแก่วงจรภายในของเกทอะเรย์ โดยสัญญาณขาออกของกลุ่มวงจรนี้จะเป็นไปได้ 2 ลักษณะคือ 1. สัญญาณขาออกของวงจรกลับเฟสกับสัญญาณขาเข้า และ 2.สัญญาณขาออกของวงจรไม่กลับเฟสกับสัญญาณขาเข้า ทั้งนี้กลุ่มวงจรดังกล่าว ควรจะใช้พลังงานที่จ่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แก่วงจรทางขาสัญญาณขาเข้ามีค่าต่ำเพื่อไม่เป็นภาระแก่วงจรภายนอกที่จะส่งสัญญาณเข้ามายังระบบของเกทอะเรย์ กล่าวคือค่าความต้านทานทางขาสัญญาณขาเข้าของวงจรควรมีค่าสูง เพื่อส่งผลให้กระแสที่จ่ายแก่ขาสัญญาณขาเข้ามีค่าต่ำ

เมื่อใช้ทรานซิสเตอร์โครงสร้างแบบ CMOIS เป็นวงจรมาตราฐานรับสัญญาณขาเข้าแล้ว จะใช้คุณสมบัติของโครงสร้างของทรานซิสเตอร์ดังกล่าว ที่เหมือนกับทรานซิสเตอร์โครงสร้างแบบ MOS ทั่วไป คือ มีค่าความต้านทานที่ขาเกทสูง (ในอุดมคติมีค่าอนันต์) เป็นจุดเด่นของวงจร ดังนั้นการออกแบบวงจรรับสัญญาณขาเข้าด้วยทรานซิสเตอร์ โครงสร้างดังกล่าวจึงตอบสนองต่อคุณสมบัติข้อนี้ได้เป็นอย่างดี สิ่งที่เป็นข้อได้เปรียบของทรานซิสเตอร์โครงสร้างแบบ CMOIS นี้ไม่สามารถต่อกับศักดาไฟเลี้ยงค่าใด ๆ ได้ ดังนั้นขณะที่ไม่มีการจ่ายกำลังแก่วงจรเมื่อมีประจุไฟฟ้าค่าสูง (static charge) ปรากฏที่ขั้วขาเกทของทรานซิสเตอร์ ชั้นฉนวนของขั้วเกทจะไม่สามารถถูกทำลายได้ด้วยประจุเหล่านั้น ซึ่งตรงข้ามกับทรานซิสเตอร์โครงสร้างแบบ CMOS ในขณะที่ไม่มีการจ่ายกำลังไฟฟ้าแก่วงจร ตัวฐานรองที่ใช้ในการสร้างทรานซิสเตอร์จะมีศักดาเป็น 0 โวลต์ ดังนั้นเมื่อมีประจุสถิตปรากฏที่ขั้วเกทของทรานซิสเตอร์ ประจุสถิตจะเหนี่ยวนำให้เกิดสนามไฟฟ้าที่มีค่าสูงแก่ขั้วเกท ซึ่งสนามไฟฟ้าดังกล่าวอาจสูงเกินพอที่จะทำลายชั้นฉนวนบริเวณช่องทางเดินกระแสของทรานซิสเตอร์ได้ ดังนั้นในวงจรรวมที่ใช้ทรานซิสเตอร์โครงสร้างแบบ CMOS จึงจำเป็นต้องเพิ่มพื้นที่บนแผ่นผลึกซิลิกอนในการสร้างวงจรป้องกันสนามไฟฟ้าค่าสูงนี้ เพื่อป้องกันความเสียหายที่จะเกิดขึ้น ทำให้วงจรมีความยุ่งยากมากขึ้น

จากที่กล่าวข้างต้นจะพบว่าทรานซิสเตอร์โครงสร้างแบบ CMOIS เมื่อนำมาสร้างเป็นวงจรรับสัญญาณขาเข้าแล้วจะใช้พื้นที่บนแผ่นผลึกซิลิกอนน้อยกว่าทรานซิสเตอร์โครงสร้างแบบ CMOS ส่งผลให้ค่าความจุไฟฟ้าขาเข้าของวงจรมีค่าต่ำกว่าทรานซิสเตอร์โครงสร้างแบบ CMOS ซึ่งเป็นข้อดีที่ผู้ผลิตวงจรรวมต้องการ

นอกจากคุณสมบัติทางด้านขาเข้าดังที่ได้กล่าวมาแล้ว ค่ากระแสขาออกและระดับสัญญาณขาออกของวงจรรับสัญญาณขาเข้า จะต้องเหมาะสมกับวงจรภายในที่ต้องการขับต่อไป โดยวงจรที่รับสัญญาณขาเข้านี้ควรจะขับวงจรในสถานะถัดไปได้มาก โดยที่ค่าแรงดันขาออกยังคงมีเสถียรภาพอยู่ซึ่งเมื่อทำการออกแบบวงจรภายในด้วยทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีค่าความต้านทานขาเข้าสูงแล้ว ทำให้วงจรรับสัญญาณขาเข้าหมดปัญหาในการขับสัญญาณต่อไปแก่วงจรภายใน เนื่องจากค่าแรงดันขาออกของวงจรแบบ CMOIS จะมีค่าเป็นไฟเลี้ยงและแรงดันอ้างอิง เมื่อค่าสถานะขาออกของวงจรมีค่าสูงและต่ำตามลำดับ และวงจรในสถานะถัดไปไม่จำเป็นต้องใช้กระแสในการทำงานมากนัก

2.3.2 วงจรมาตราฐานส่งสัญญาณขาออก

วงจรมาตราฐานส่งสัญญาณขาออก คือกลุ่มวงจรที่ทำหน้าที่รับสัญญาณจากวงจรภายในเกทอะเรย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ผ่านการทำฟังก์ชั่นของการทำงานที่ผู้ออกแบบได้ทำการออกแบบเรียบร้อยแล้ว ส่งสัญญาณนี้ออกสู่วงจรภายนอกต่อไปโดยที่ลักษณะของสัญญาณขาออกของวงจรจะต้องเหมาะสมกับสถานะถัดไปที่ต้องการใช้งานด้วย ดังนั้นกลุ่มวงจรส่งสัญญาณขาออกนี้จำเป็นต้องออกแบบให้มีคุณสมบัติที่สามารถใช้งานได้อย่างกว้างขวางในการติดต่อกับวงจรอื่น ๆต่อไป เช่นค่าความต้านทานขาออกของวงจรควรมีค่าต่ำ ค่าแรงดันขาออกของวงจรควรเหมาะสมกับวงจรในสถานะถัดไป เป็นต้น

เนื่องจากทรานซิสเตอร์โครงสร้างแบบ CMOIS เป็นทรานซิสเตอร์ในกลุ่มทรานซิสเตอร์ที่อาศัยผลของสนามไฟฟ้าในการควบคุมการทำงาน ซึ่งสามารถใช้งานได้ในช่วงค่าแรงดันไฟเลี้ยง 4 ถึง 15 โวลต์ ดังนั้นการเชื่อมต่อกับวงจรภายนอก ที่ประกอบด้วยกลุ่มอุปกรณ์ประเภทเดียวกันจึงไม่ก่อให้เกิดปัญหาในการใช้งานแต่อย่างไร แต่เมื่อต้องการเชื่อมต่อวงจรเกทอะเรย์ที่ใช้ทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่ทำงานที่ค่าแรงดันสูงกว่า 5 โวลต์ กับกลุ่มวงจรในตระกูล TTL ซึ่งทำงานที่ค่าแรงดันไม่เกิน 5 โวลท์แล้ว วงจรส่งสัญญาณขาออกที่ออกแบบขึ้น ควรจะสามารถทำการเชื่อมต่อระบบทั้งสองดังกล่าวได้ด้วยดี ดังนั้นในวิทยานิพนธ์ฉบับนี้จึงได้ทำการออกแบบวงจรที่สามารถตอบสนองต่อความต้องการดังกล่าว นอกจากนี้ลักษณะของสัญญาณขาออกของวงจรยังสามารถเลือกได้ว่าต้องการแบบกลับเฟสกับสัญญาณขาเข้าหรือไม่ เพื่อให้ผู้ใช้งานเกิดความสะดวกในการออกแบบวงจรต่อไป

2.3.3 วงจรมาตราฐานการทำงานตามฟังก์ชั่นต่าง ๆ

กลุ่มวงจรสุดท้ายที่จะกล่าวถึง คือกลุ่มวงจรที่ถูกออกแบบเป็นมาตราฐานของการทำงานทางตรรกในด้านต่าง ๆซึ่งเป็นวงจรพื้นฐานของการออกแบบวงจรรวมขนาดใหญ่ ทางตรรกทั่ว ๆไปประกอบด้วยกลุ่มวงจร 2 กลุ่มย่อย ๆคือ

1. กลุ่มวงจรทางตรรกพื้นฐาน
2. กลุ่มวงจรทางตรรกที่ควบคุมด้วยสัญญาณนาฬิกา

กลุ่มวงจรทั้ง 2 กลุ่มที่กล่าวถึงนี้จะคลอบคลุมวงจรพื้นฐานที่ใช้ในการออกแบบวงจรรวมขนาดใหญ่ และกลุ่มวงจรทั้งสองนี้จะถูกออกแบบด้วยทรานซิสเตอร์โครงสร้างแบบ CMOIS ด้วยวิธีการออกแบบในลักษณะไม่สมมาตร เพื่อทำการทดสอบประสิทธิภาพในด้านต่าง ๆของการใช้งานวงจรต่อไป

ส่วนประกอบของวงจรพื้นฐานในระบบเกทอะเรย์ที่กล่าวถึงทั้งหมด จะถูกออกแบบและสร้างด้วยทรานซิสเตอร์โครงสร้างแบบ CMOIS จากนั้นจะทำการทดสอบคุณสมบัติทางไฟฟ้าของวงจร ในการใช้งานในด้านต่าง ๆเพื่อประโยชน์ในการออกแบบวงจรรวมขนาดใหญ่ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 กำลังงานสูญเสียในวงจรเกทอะเรย์

กำลังงานสูญเสียของวงจรเกทอะเรย์ มีความจำเป็นที่ผู้ออกแบบวงจรจำเป็นต้องรู้ เพื่อใช้ประโยชน์ในการออกแบบวงจรจ่ายกำลังแก่วงจรเกทอะเรย์ที่ทำการผลิตขึ้น นอกจากนี้กำลังงานสูญเสียของวงจรเกทอะเรย์จะเป็นตัวบอกประสิทธิภาพของวงจรเกทอะเรย์ที่สร้างขึ้นว่า มีประสิทธิภาพสูงขนาดไหน แน่นอนที่สุดวงจรเกทอะเรย์ที่ดีจะต้องใช้พลังงานในการทำงานต่ำ เพื่อเกิดการสูญเสียกำลังจากแหล่งจ่ายกำลังต่ำที่สุด

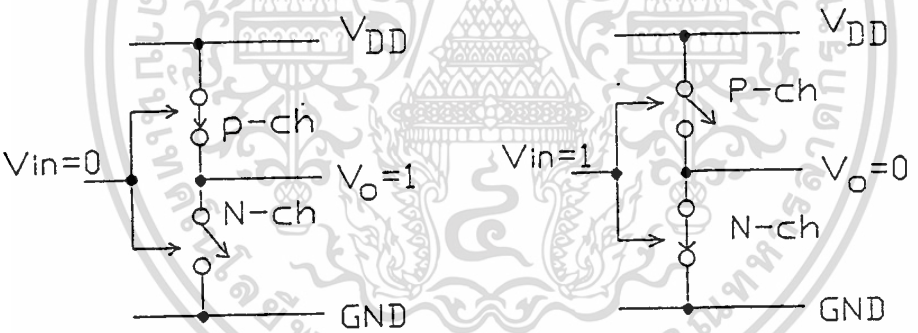
วงจรเกทอะเรย์โครงสร้างแบบ CMOIS ที่ดำเนินงานวิจัยและสร้างนี้ มีจุดที่สูญเสียกำลังงานใหญ่ ๆแบ่งออกเป็นสองชนิดคือ

1. การสูญเสียพลังงานสถิตย์ (Static Dissipation)
2. การสูญเสียพลังงานขณะวงจรกำลังทำงาน (Dynamic Dissipation)

การสูญเสียพลังงานทั้งสองชนิดนี้เป็นสิ่งที่หลีกเลี่ยงไม่ได้ในโครงสร้างทรานซิสเตอร์ที่ประกอบเป็นวงจรเกทอะเรย์ที่สร้างขึ้น

การสูญเสียพลังงานสถิตย์ (Static Dissipation)

พิจารณาวงจรเสมือนที่ประกอบเป็นวงจร CMOIS วงจรอินเวอร์เตอร์อย่างง่าย ๆดังรูปที่ 2.4-1

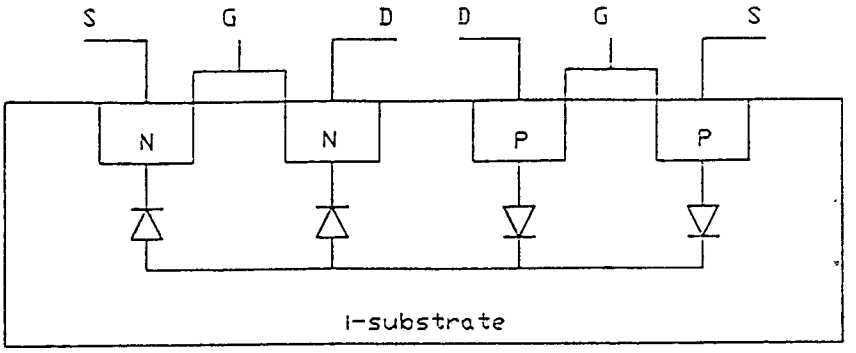


รูปที่ 2.4-1 แสดงการทำงานของวงจร CMOIS อินเวอร์เตอร์ขณะสัญญาณขาออกเสถียร

เมื่อสัญญาณขาเข้าของวงจรมีค่าเป็น 0 หรือ 1 จะทำให้สัญญาณขาออกของวงจรมีค่าเป็น 1 และ 0 ตามลำดับ กล่าวคือขณะที่วงจรอยู่ในสภาวะเสถียร (steady state) ทรานซิสเตอร์ทั้งสองจะทำงานไม่พร้อมกัน ทำให้กำลังงานสูญเสียของวงจรในสภาวะเช่นนี้มีค่าเป็น 0

อย่างไรก็ตามยังมีกำลังงานสูญเสียค่าหนึ่งเพียงเล็กน้อยที่สูญเสียไป อันเนื่องจากการจ่ายศักดาไฟฟ้าแบบย้อนกลับของขั้วเดรนของทรานซิสเตอร์ทั้งสองกับฐานรอง เพื่อให้ความกระจ่างในเรื่องนี้ พิจารณาอุปกรณ์แฝงที่แฝงอยู่ในโครงสร้างทรานซิสเตอร์แบบ CMOIS ที่เกี่ยวข้องดังรูปที่ 2.4-2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4-2 แสดงอุปกรณ์แผ่งที่ส่งผลต่อกำลังงานสูญเสียแบบสถิตในวงจรเกทอะเรย์แบบ CMOIS

จากรูปที่ 2.4-2 พบว่าสิ่งที่ส่งอิทธิพลของกระแสรั่วซึ่งทำให้เกิดกำลังงานสูญเสียของวงจรคือไดโอดที่เกิดจากรอยต่อ P-i และ N-i ซึ่งได้รับการไบอัสแบบย้อยกลับซึ่งค่ากระแสรั่วดังกล่าวอาจอธิบายได้ด้วยสมการแสดงค่ากระแสรั่วของรอยต่อสารกึ่งตัวนำดังสมการที่ (2.4-1)

$$I_o = I_s \left(e^{qv/KT} - 1\right) \qquad (2.4\text{-}1)$$

โดยที่ Is คือค่ากระแสรั่วที่เกิดจากการไบอัสย้อนกลับอิ่มตัว

V คือแรงดันที่ตกคร่อมตัวไดโอด

q คือประจุอิเลคตรอนมีค่า $1.6*10^{-19}$ C

k คือค่าคงที่ของ Boltzmann มีค่า $1.38*10^{-23}$ J/K

T คืออุณหภูมิสัมบูรณ์ (K)

นอกจากค่ากระแสรั่วอันเกิดเนื่องจากไดโอดดังกล่าวแล้ว ค่ากระแสรั่วที่เกิดจากความสัมบูรณ์ของโครงสร้าง SiO_2 ที่บริเวณขั้วเกท ซึ่งจะทำให้เกิดกระแสรั่วบริเวณขั้วเกทได้ก็จำเป็นต้องนำมารวมด้วย แต่โดยทั่ว ๆไปแล้วค่ากระแสรั่วบริเวณขั้วเกทจะมีค่าอยู่ในช่วงประมาณ 0.1 ถึง 0.5 nA ต่อเกท ดังนั้นในการพิจารณากระแสรั่วที่ขั้วเกทจึงจำเป็นต้องคิดปริมาณของจำนวนขั้วเกทในวงจรด้วย

ดังนั้นค่ากระแสรั่วแบบสถิตที่เกิดขึ้นในวงจรเกทอะเรย์แบบ CMOIS คือ

$$Ps = \sum_1^n \text{กระแสรั่วทั้งหมด} * \text{ความต่างศักดิ์ของแหล่งจ่ายกำลัง} \qquad (2.4\text{-}2)$$

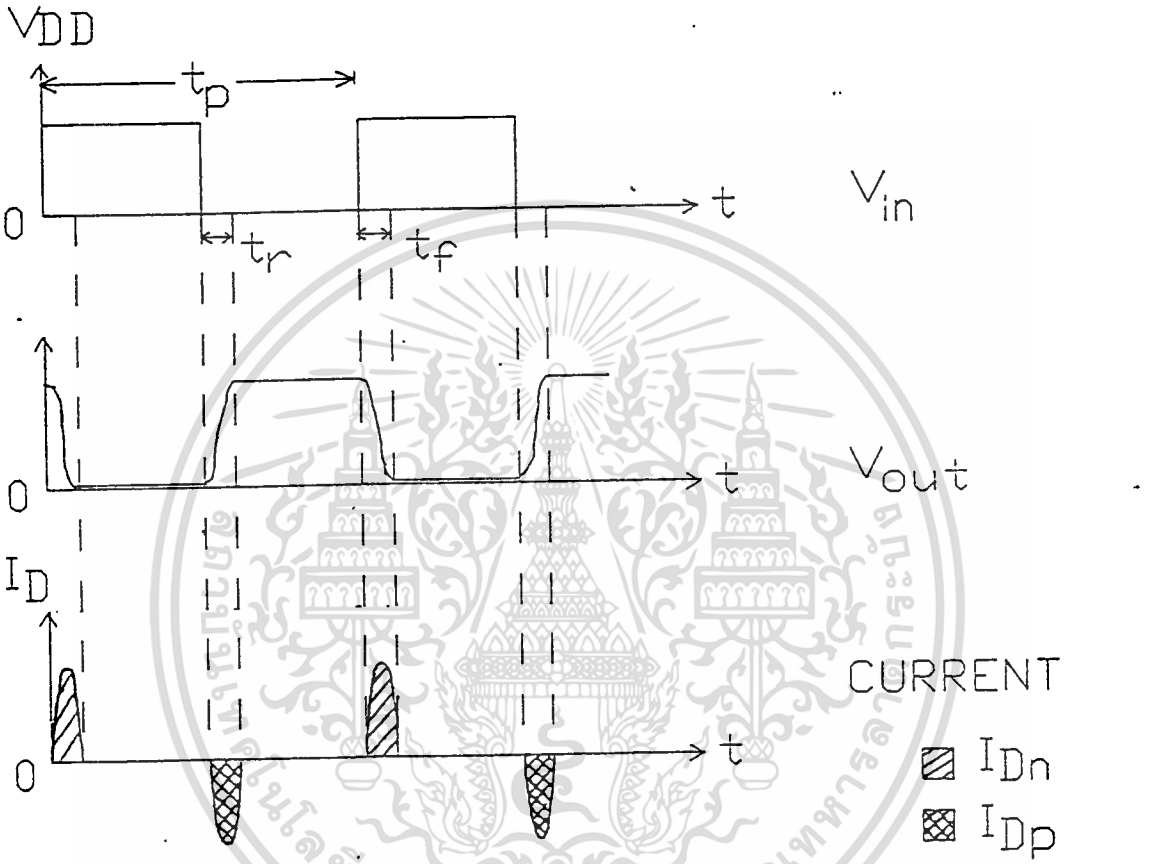
การสูญเสียพลังงานขณะวงจรกำลังทำงาน (Dynamic Dissipation)

ในขณะที่วงจรกำลังเปลี่ยนสถานะจากสถานะ 0 ไปยังสถานะ 1 หรือจากสถานะ 1 ไปยังสถานะ 0 จะมีช่วงเวลาสั้น ๆที่ทรานซิสเตอร์ชนิด NMOIS และทรานซิสเตอร์ชนิด PMOIS ทำงานพร้อม ๆกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากแหล่งจ่ายกำลังลงสู่กราวด์ นอกจากนี้กระแสจากแหล่งจ่ายกำลังยังจำเป็นต้องใช้ในการประจุตัวเก็บประจุที่อยู่บริเวณขั้วขาออกของวงจรด้วย ค่ากระแสดังกล่าวนี้เป็นกระแสที่จำเป็นต้องสูญเสียไปขณะที่วงจรทำงาน

การพิจารณากำลังสูญเสียขณะวงจรกำลังทำงานนี้กระทำโดยป้อนสัญญาณนาฬิกา ที่มีความถี่ของสัญญาณคือ f_p ดังนั้นคาบเวลาของสัญญาณคือ $T_p = 1/f_p$ เข้าที่ขั้วแรงดันขาเข้าของวงจร CMOIS อินเวอร์เตอร์ ดังรูปที่ 2.4-3



รูปที่ 2.4-3 แสดงสัญญาณขาเข้าและขาออกของวงจร CMOIS อินเวอร์เตอร์และกระแสที่ไหลในวงจร

จากรูปที่ 2.4-3 ค่ากำลังงานสูญเสียที่เกิดขึ้นเนื่องจากทรานซิสเตอร์ในวงจรทำงานพร้อมกันคือ

$$Pd = (1/t_p)_o\int^{tp/2} i_n(t)V_o dt + (1/t_p)_{tp/2}\int^{tp} i_p(t)(V_{DD}-Vo)dt \qquad (2.4-3)$$

โดยที่ i_n คือค่ากระแสชั่วครู่ของทรานซิสเตอร์ชนิดเอ็น

i_p คือค่ากระแสชั่วครู่ของทรานซิสเตอร์ชนิดพี

ในกรณีที่แรงดันขาเข้าที่ปรากฏแก่วงจรเป็นแรงดันแบบขั้น ๆค่ากระแส $i_n(t)$ และ $i_p(t)$ จะมีค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_n(t) = C_L (dV_o/dt) \qquad (2.4\text{-}4)$$

$$i_p(t) = C_L (dV_o/dt) \qquad (2.4\text{-}5)$$

ดังนั้นค่ากระแสที่สูญเสียจึงมีค่าดังสมการ (2.4-6)

$$Pd = (C_L/t_p)_o\int^{VDD} Vo\ dVo + (C_L/t_p)_{VDD}\int^{o}(V_{DD}-V_o)d(V_{DD}-V_o) \qquad (2.4\text{-}6)$$

เมื่อ $t_p = 1/f_p$
จะได้ว่า

$$P_d = C_L V_{DD}^{\ 2} f_p \qquad (2.4\text{-}7)$$

จากสมการดังกล่าวข้างต้นที่ (2.4-7) จะพบว่าค่าพลังงานสูญเสียขณะวงจรกำลังทำงานจะเกิดขึ้นเนื่องจากค่าแรงดันไฟเลี้ยง ค่าความถี่ของสัญญาณขาเข้าและค่าตัวเก็บประจุที่ต่อเชื่อมกับแรงดันขาออกของวงจร สิ่งที่ผู้ออกแบบวงจรเกทอะเรย์จะกระทำได้ในการลดกำลังงานสูญเสียขณะวงจรกำลังทำงานคือ พยายามลดค่าความจุไฟฟ้าแฝงที่แรงดันขาออกให้น้อยที่สุด และดังที่ได้กล่าวไว้แล้วในตอนต้นๆว่า ค่าความจุไฟฟ้าดังกล่าวนี้สามารถลดได้โดยการลดขนาดของอุปกรณ์ให้ใช้พื้นที่น้อยลง ดังนั้นทรานซิสเตอร์โครงสร้างแบบ CMOIS ซึ่งมีขนาดของโครงสร้างที่ใช้พื้นที่บนแผ่นผลึกซิลิกอนน้อยกว่าทรานซิสเตอร์โครงสร้างแบบ CMOS จึงสามารถลดการสูญเสียของกำลังงานได้ดีกว่าทรานซิสเตอร์โครงสร้างแบบ CMOS

ค่ากำลังงานสูญเสียทั้งหมดของวงจรเกทอะเรย์แบบ CMOIS คือผลรวมของกำลังงานสูญเสียทั้งสองชนิดดังสมการที่ (2.4-8)

$$P_{total} = P_s + P_d \qquad (2.4\text{-}8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบและสร้างวงจรมาตราฐานที่มีโครงสร้างแบบ CMOIS

วงจรมาตราฐานในระบบของการออกแบบเกทอะเรย์ทั้ง 3 ชนิด คือวงจรมาตราฐานรับสัญญาณขาเข้า วงจรมาตราฐานส่งสัญญาณขาออก และวงจรมาตราฐานการทำงานตามฟังก์ชั่นต่าง ๆ สามารถสร้างด้วยทรานซิสเตอร์โครงสร้างแบบ CMOIS โดยใช้กฎระเบียบในการออกแบบในลักษณะไม่สมมาตร ซึ่งสามารถแสดงคุณลักษณะเด่นของโครงสร้างทรานซิสเตอร์ แบบ CMOIS ได้ดีที่สุด โดยวงจรจะถูกออกแบบให้ใช้พื้นที่บนแผ่นผลึกซิลิกอนน้อยกว่าการออกแบบในลักษณะสมมาตร ส่งผลให้ค่าความจุไฟฟ้าที่แฝงอยู่ในวงจรมีค่าน้อย ซึ่งเป็นผลดีต่อการตอบสนองต่อสัญญาณชั่วครู่ของวงจร คือค่าความเร็วในการตอบสนองต่อสัญญาณชั่วครู่จะมีค่าต่ำ ส่งผลให้วงจรสูญเสียพลังงานในการทำงานต่ำด้วย

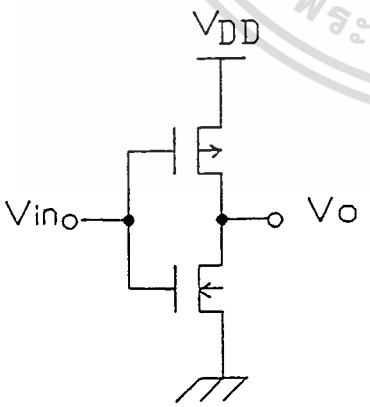
3.1 การออกแบบวงจรมาตราฐานรับสัญญาณขาเข้า

ตามที่ได้กล่าวไว้แล้วในบทที่ 2 ถึงคุณสมบัติของวงจรรับสัญญาณขาเข้าของการออกแบบเกทอะเรย์ จะพบว่า วงจรที่เหมาะสมในการสร้างเป็นวงจรรับสัญญาณขาเข้า ควรจะมีคุณสมบัติที่ดีดังต่อไปนี้คือ

1. มีค่าความต้านทานขาเข้าของวงจรสูง
2. มีค่าความจุไฟฟ้าขาเข้าต่ำ
3. สามารถขับกระแสแก่วงจรภายในของเกทอะเรย์ได้ปริมาณมาก

3.1-1 การออกแบบวงจรรับสัญญาณขาเข้าแบบสัญญาณขาออกของวงจรกลับเฟสกับสัญญาณขาเข้า

วงจรที่ตอบสนองต่อคุณสมบัติดังกล่าวแล้วข้างต้นที่สามารถขับสัญญาณขาออก กลับเฟสกับสัญญาณขาเข้าคือวงจรดิจิตอลอินเวอร์เตอร์ดังรูปที่ 3.1-1



INPUT	OUTPUT
0	1
1	0

รูปที่ 3.1-1 แสดงวงจรดิจิตอลอินเวอร์เตอร์และตารางความจริงของวงจร

จากรูปจะพบว่าค่าความต้านทานขาเข้าของวงจรจะมีค่าสูง ซึ่งเป็นคุณสมบัติของทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างแบบ CMOIS นอกจากนี้ค่าความจุไฟฟ้าขาเข้าของวงจร คือค่าความจุไฟฟ้าที่เกิดจากชั้วเกทของทรานซิสเตอร์ชนิดเอ็น และทรานซิสเตอร์ชนิดพีอย่างละ 1 ตัวเท่านั้น ดังนั้นค่าความจุไฟฟ้าของวงจรจึงมีค่าต่ำ ในการออกแบบจึงมุ่งประเด็นหลักไปที่ การขับกระแสขาออกของวงจรอินเวอร์เตอร์นี้ให้สามารถขับกระแสแก่วงจรภายในเกทอะเรย์ได้ และจากการศึกษาที่ผ่านมาพบว่าทรานซิสเตอร์โครงสร้างแบบ CMOIS จะใช้กระแสเพื่อประจุแก่ชั้วเกทของทรานซิสเตอร์ไม่เกิน 10 นาโนแอมป์ ดังนั้นวงจรอินเวอร์เตอร์ที่ออกแบบเพื่อใช้งานในวงจรเพื่อขับวงจรภายในของเกทอะเรย์จึงควรจะขับกระแสได้สูงกว่า 100 นาโนแอมป์ (ขับทรานซิสเตอร์ได้อย่างต่ำ 10 ตัว) และเมื่อทำการออกแบบวงจรอินเวอร์เตอร์นี้ด้วยหลักการออกแบบในลักษณะไม่สมมาตร โดยใช้ขนาดของการสร้างที่เล็กที่สุดเป็น 20 ไมโครเมตร จะพบว่าค่าอัตราส่วนความกว้างต่อความยาวของช่องทางเดินกระแสของทรานซิสเตอร์ที่ประกอบเป็นวงจรอินเวอร์เตอร์จะมีค่า 3:1 ดังนั้นค่าอัตราขยายของทรานซิสเตอร์แต่ละชนิดคือ

$$\beta_n = (\mu_n \epsilon_{ox}/T_{ox})(W_n/L_n) = 3.26*10^{-6} \qquad (3.1\text{-}1)$$

$$\beta_p = (\mu_p \epsilon_{ox}/T_{ox})(W_p/L_p) = 7.53*10^{-6} \qquad (3.1\text{-}2)$$

เมื่อทำการแทนค่าแรงดันต่ำที่สุดที่สามารถใช้งานทรานซิสเตอร์โครงสร้าง CMOIS (5V) และค่าแรงดันขีดเริ่มของทรานซิสเตอร์เพื่อพิจารณาค่ากระแสที่สามารถจ่ายออกมาได้พบว่า

$$I_{D(NMOIS)} = \beta/2(V_G - V_{Tn})^2 = 0.046 \text{ mA} \qquad (3.1\text{-}3)$$

$$I_{D(PMOIS)} = \beta/2(V_G - V_{Tp})^2 = 0.01 \text{ mA} \qquad (3.1\text{-}4)$$

จากค่ากระแสในสมการที่ (3.1-3) และ (3.1-4) จะพบว่าทรานซิสเตอร์ที่ประกอบเป็นวงจรอินเวอร์เตอร์เพื่อใช้งานเป็นวงจรรับสัญญาณขาเข้าของระบบเกทอะเรย์สามารถขับทรานซิสเตอร์โครงสร้างแบบ CMOIS ได้ทั้งสิ้นอย่างน้อย 1000 ตัว กล่าวคือค่าแฟนเอ้าท์ (fan out) ของวงจรอินเวอร์เตอร์นี้จะมีค่าเท่ากับ 500 ตัว

ค่าแรงดันการเปลี่ยนสถานะของวงจรอินเวอร์เตอร์ (V_{th}) เกิดขึ้นขณะที่ค่าแรงดันขาเข้าของวงจร (V_{in}) มีค่าเท่ากับค่าแรงดันขาออกของวงจร (V_{out}) ดังสมการที่ (3.1-5)

$$V_{th} = [V_{tn} + \sqrt{\beta_p/\beta_n}\,(V_{DD} - |V_{TP}|)] \;/\; [1 + \sqrt{\beta_p/\beta_n}] \qquad (3.1\text{-}5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อแทนค่าคงที่ต่าง ๆของทรานซิสเตอร์โครงสร้างแบบ CMOIS ลงในสมการที่ (3.1-5) แล้วจะพบว่าค่าแรงดันการเปลี่ยนสถานะของวงจรรับสัญญาณขาเข้าแบบสัญญาณขาออก กลับเฟสกับสัญญาณขาเข้าจะมีค่า 5.1 โวลต์ และจากค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด NMOIS มีค่าต่ำกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์แบบ PMOIS ดังนั้นจึงพอสรุปได้ว่า ค่าขอบเขตของสภาพความทนต่อสัญญาณรบกวน (NOISE MARGIN) ที่สถานะสูงจะมีค่ามากกว่าที่สถานะต่ำ

ช่วงเวลาในการเปลี่ยนแปลงสถานะจากสถานะสูงไปสูงสถานะต่ำตามการวิเคราะห์ วงจรที่นำเสนอในบทที่ 2 ดังสมการที่ (2.2-5) และ (2.2-6)ทำการแทนค่าคงที่ของทรานซิสเตอร์ชนิด NMOIS ลงในสมการที่ค่าแรงดันไฟเลี้ยง 10 โวลต์ จะได้ว่า

$$t_f = (104.7*10^3)C_L \quad \text{วินาที}$$

นอกจากนี้ช่วงเวลาในการเปลี่ยนสถานะจากสถานะต่ำไปสถานะสูง จะเป็นสมการในลักษณะเดียวกัน แต่ตัวแปรของทรานซิสเตอร์ชนิด NMOIS จะถูกแทนที่ด้วยตัวแปรของทรานซิสเตอร์ชนิด PMOIS แทน ดังนั้นค่าเวลาดังกล่าวคือ

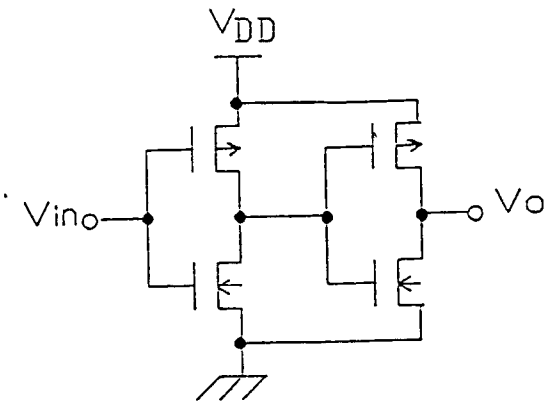
$$t_r = (53.8*10^3)C_L \quad \text{วินาที}$$

จากค่าเวลา t_f และ t_r ข้างต้นจะพบว่าค่าเวลาในการเปลี่ยนสถานะจากสถานะสูงไปสู่สถานะต่ำ จะมีค่ามากกว่าช่วงเวลาในการเปลี่ยนสถานะจากสถานะต่ำไปสถานะสูง ซึ่งตรงกันข้ามกับวงจรเดียวกันที่ถูกออกแบบและสร้างด้วยทรานซิสเตอร์โครงสร้างแบบ CMOS ซึ่งจุดนี้เป็นข้อแตกต่างระหว่างการออกแบบวงจรพื้นฐานของการออกแบบเกทอะเรย์ โดยทรานซิสเตอร์โครงสร้าง CMOIS กับทรานซิสเตอร์โครงสร้าง CMOS อย่างชัดเจน

3.1-2 การออกแบบวงจรรับสัญญาณขาเข้าแบบสัญญาณขาออกไม่กลับเฟสกับสัญญาณขาเข้า

วงจรที่มีลักษณะของสัญญาณขาออกไม่กลับเฟสกับสัญญาณขาเข้า ทำหน้าที่เป็นบัฟเฟอร์เมื่อรับสัญญาณจากวงจรภายนอก และขับสัญญาณดังกล่าวแก่วงจรภายในเกทอะเรย์ คือวงจรอินเวอร์เตอร์สองสถานะที่ต่ออนุกรมกัน ดังรูปที่ 3.1-2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



INPUT	OUTPUT
0	0
1	1

รูปที่ 3.1-2 แสดงวงจรบัฟเฟอร์และตารางความจริงของวงจร

การออกแบบวงจรบัฟเฟอร์ดังรูปที่ 3.1-2 จะทำการออกแบบเช่นเดียวกับวงจรอินเวอร์เตอร์ดังที่กล่าวไว้แล้วในหัวข้อที่ 3.1-1 คือค่าอัตราส่วนความกว้างต่อความยาวของช่องทางเดินกระแสของทรานซิสเตอร์แต่ละตัวในวงจรจะมีค่า 3:1 ดังนั้นคุณสมบัติต่าง ๆของวงจร เช่นกระแสขาเข้าของวงจร (sink current) และกระแสขาออกของวงจร (source current) ค่าแรงดันการเปลี่ยนสถานะของวงจร (V_{th}) ค่าอัตราขยายของทรานซิสเตอร์แต่ละตัวในวงจร (β) จะมีค่าเท่ากันกับวงจรอินเวอร์เตอร์

ดังนั้นคุณสมบัติทางไฟฟ้าในด้านต่าง ๆ ของวงจรบัฟเฟอร์นี้จึงมีลักษณะเช่นเดียวกันกับวงจรอินเวอร์เตอร์ในหัวข้อที่ 3.1-1 เป็นส่วนใหญ่ โดยมีสิ่งที่แตกต่างกันในรายละเอียดเล็กน้อยเช่น ค่ากำลังสูญเสียของวงจรจะมีค่าสูงกว่า และลักษณะของสัญญาณขาออกของวงจรจะไม่กลับเฟสกับสัญญาณขาเข้า

ค่าเวลาในการเปลี่ยนสถานะจากสถานะสูงไปสู่สถานะต่ำ และจากสถานะต่ำไปสู่สถานะสูงจะมีค่ามากกว่าวงจรรับสัญญาณขาเข้าแบบกลับเฟสประมาณ 2 เท่า เนื่องจากสถานะของวงจรเพิ่มขึ้นประมาณ 1 เท่า

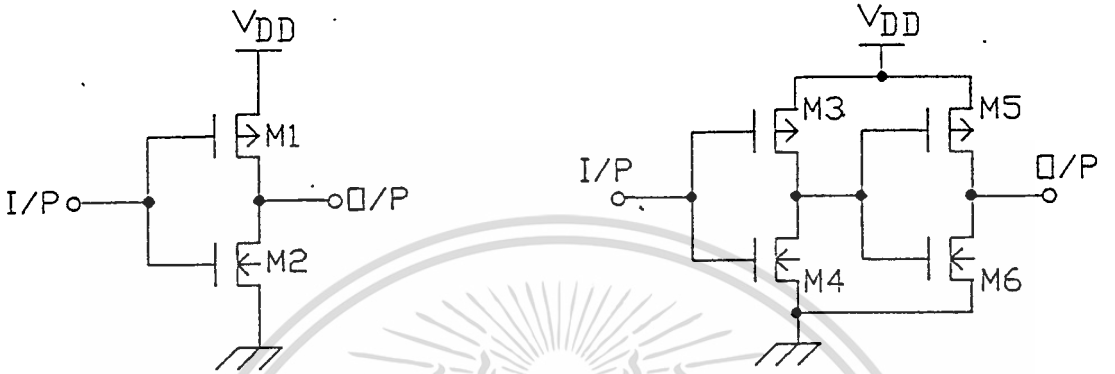
3.2 การออกแบบวงจรมาตราฐานส่งสัญญาณขาออก

คุณสมบัติของวงจรส่งสัญญาณขาออก ซึ่งทำหน้าที่รับสัญญาณโดยทำงานตามฟังก์ชั่นทางตรรกตามการออกแบบทางฟังก์ชั่นที่ต้องการเรียบร้อยแล้ว ไปสู่วงจรภายนอกเกทอะเรย์ ดังนั้นวงจรดังกล่าวนี้จะต้องสามารถขับสัญญาณดังกล่าวแก่ระบบต่าง ๆได้ดี มีค่าแรงดันและกระแสตามมาตราฐานของระบบอิเลคทรอนิคส์ทางตรรกทั่ว ๆไป เพื่อเชื่อมต่อระบบเกทอะเรย์โครงสร้างแบบ CMOIS กับระบบอิเลคทรอนิคส์ทางตรรกภายนอกได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1 การออกแบบวงจรส่งสัญญาณขาออกแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า

วงจรส่งสัญญาณขาออกแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า แบบที่ง่ายที่สุดมีลักษณะเช่นเดียวกันกับวงจรรับสัญญาณขาเข้าแบบกลับเฟสและไม่กลับเฟสที่ได้อธิบายไว้แล้วในหัวข้อที่ 3.1 แต่เนื่องจากคุณสมบัติในการออกแบบแตกต่างกัน ดังนั้นขนาดของทรานซิสเตอร์ในวงจรจึงมีขนาดที่ไม่เท่ากันกับวงจรรับสัญญาณขาเข้า ปัจจัยสำคัญที่ต้องคำนึงถึงคือปริมาณของกระแสที่วงจรสามารถรับและจ่ายแก่วงจรภายนอก จะต้องมีขนาดที่เหมาะสมกับระบบที่ประกอบด้วยวงจรชนิดเดียวกันเป็นอย่างดี

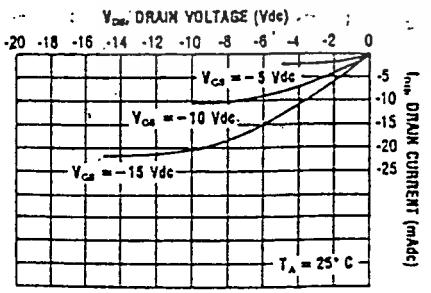


(ก) แบบกลับเฟส (ข) แบบไม่กลับเฟส

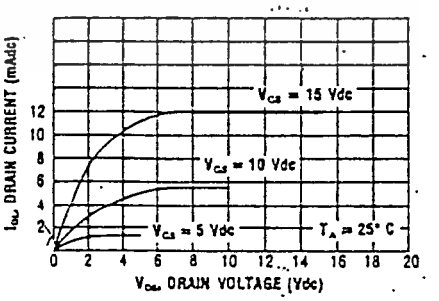
รูปที่ 3.2-1 วงจรส่งสัญญาณขาออกอย่างง่าย

พิจารณาวงจรในรูปที่ 3.2-1(ก) จะพบว่าในขณะที่วงจรส่งสัญญาณขาออกสถานะสูงแก่วงจรภายนอก กระแสจะไหลจากแหล่งจ่ายไฟเลี้ยงของวงจรผ่านทางทรานซิสเตอร์ชนิด PMOIS M1 และในทางตรงกันข้ามขณะที่วงจรอยู่ในสถานะต่ำ กระแสจากวงจรภายนอกจะไหลผ่านทรานซิสเตอร์ชนิด NMOIS M2 ลงสู่ระดับแรงดันอ้างอิง ดังนั้นในสภาวะที่วงจรต้องจ่ายหรือรับกระแส ทรานซิสเตอร์ทั้งสองจะต้องทนภาระกระแสได้ ในขนาดของกระแสที่เป็นมาตราฐานของวงจรรวมโดยทั่ว ๆไป

จากการพิจารณาคุณสมบัติของวงจรรวมที่ใช้อยู่ในปัจจุบันพบว่าลักษณะของกระแสของทรานซิสเตอร์ซึ่งทำหน้าที่ขับกระแสแก่วงจรภายนอก นิยมออกแบบให้วงจรสามารถรับและจ่ายกระแสได้ ในอัตราที่เท่ากันดังรูปที่ 3.2-2



(ก) ลักษณะของกระแสซอส(PMOS)



(ข) ลักษณะของกระแสซิงค์(NMOS)

รูปที่ 3.2-2 แสดงคุณสมบัติของทรานซิสเตอร์ภาคสุดท้ายของวงจรรวมประเภท CMOS ที่ใช้อยู่ในปัจจุบัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากคุณสมบัติของทรานซิสเตอร์ในรูปที่ 3.2-2 จะพบว่าขณะที่แรงดันปรากฏที่ขั้วเกทมีค่าสูงที่สุด 15 โวลต์ ทรานซิสเตอร์จะต้องจ่าย (หรือรับ) กระแส แก่วงจรภายนอกได้มีค่า 12 และ 22 mA สำหรับทรานซิสเตอร์ NMOS และ PMOS ตามลำดับ ดังนั้นถ้าทำการออกแบบให้ทรานซิสเตอร์โครงสร้างแบบ CMOIS สามารถขับหรือรับกระแสได้ เช่นเดียวกับวงจรมาตราฐานทั่ว ๆไป จำเป็นต้องออกแบบค่าความกว้างและความยาวของช่องทางเดินกระแส ดังนี้คือ

จากกระบวนการสร้างมาตราฐานของทรานซิสเตอร์แบบ CMOIS จะได้ค่าคงที่ต่าง ๆคือ ค่าความหนาของชั้นฉนวนบริเวณช่องทางเดินกระแสมีค่า 700 อังสตรอม ค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด NMOIS มีค่า 1.5 โวลต์ และทรานซิสเตอร์ชนิด PMOIS มีค่า -2.5 โวลต์ และความยาวของช่องทางเดินกระแสต่ำสุดมีค่า 20 ไมโครเมตร ดังนั้นเมื่อแทนค่าคงที่ต่าง ๆลงในสมการกระแส และแรงดันของ MOIS จะได้ค่าความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์ทั้งสองคือ

$$W_P = (2I_D T_{ox} L)/[\epsilon_o \epsilon_{ox} \mu_p (V_G - V_{TP})^2] = 761 \quad \text{ไมโครเมตร} \qquad (3.2\text{-}1)$$

$$W_N = (2I_D T_{ox} L)/[\epsilon_o \epsilon_{ox} \mu_n (V_G - V_{Tn})^2] = 821 \quad \text{ไมโครเมตร} \qquad (3.2\text{-}2)$$

ดังนั้นวงจรในรูปที่ 3.2-1(ก) จะมีค่าความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์ชนิด PMOIS มีค่า 760μm และค่าความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์ชนิด NMOIS มีค่า 820 μm จึงจะได้กระแสขาออกของวงจรตามมาตราฐานของวงจรรวมทั่ว ๆไป

เมื่อทำการพิจารณาช่วงเวลาในการเปลี่ยนแปลงสถานะของวงจรโดยสมการที่ (2.2-5) และ (2.2-6) โดยแทนค่า β ของทรานซิสเตอร์ที่ทำการออกแบบในที่นี้จะได้ว่า

$$t_r = (1.44*10^3)C_L \quad \text{วินาที}$$

$$t_f = (2.48*10^3)C_L \quad \text{วินาที}$$

ในทำนองเดียวกับวงจรในรูปที่ 3.2-1(ข) ทรานซิสเตอร์ซึ่งทำหน้าที่ขับกระแส (M5 และ M6) จะมีขนาดของทรานซิสเตอร์เช่นเดียวกับทรานซิสเตอร์ตัวที่ M1 และ M2 ตามลำดับ ส่วนทรานซิสเตอร์ที่เหลือคือ M3 และ M4 จะเป็นทรานซิสเตอร์ซึ่งถูกออกแบบให้มีขนาดเล็กที่สุดเท่าที่เทคโนโลยีจะอำนวยให้เช่นเดียวกับวงจรรับสัญญาณขาเข้า คือขนาดของความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์ทั้งสองจะมีค่า 60 μm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ช่วงเวลาในการเปลี่ยนสถานะของวงจรซึ่งเกิดจาก M3 และ M4 ควรจะมีค่าเท่ากับวงจรรับสัญญาณขาเข้าแบบกลับเฟสซึ่งอธิบายไว้แล้วในหัวข้อที่ 3.1-1 ส่วนช่วงเวลาในการเปลี่ยนสถานะที่เกิดจาก M5 และ M6 สามารถหาค่าได้โดยการแทนค่า β ของทรานซิสเตอร์ลงในสมการที่ (2.2-5) และ (2.2-6) จะได้ว่า

t_r ซึ่งเกิดจาก M5 มีค่า $(53.8*10^{3})C_L$ วินาที

t_f ซึ่งเกิดจาก M6 มีค่า $(104.7*10^{3})C_L$ วินาที

ดังนั้นค่าเวลาในการเปลี่ยนสถานะทั้งสิ้นมีค่า

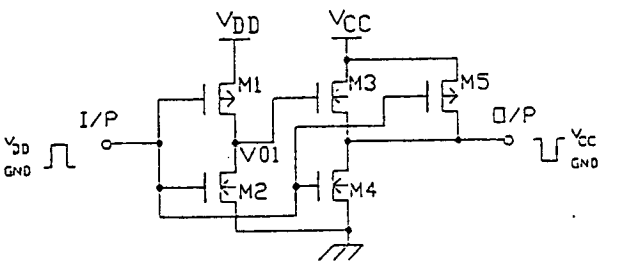
$t_r = t_{rM3} + t_{rM5}$ วินาที $= (55.24*10^{3})C_L$ วินาที

$t_f = t_{fM4} + t_{fM6}$ วินาที $= (107.18*10^{3})C_L$ วินาที

3.2.2 การออกแบบวงจรเชื่อมแรงดันระหว่างระบบ CMOIS กับระบบ TTL แบบกลับเฟส และไม่กลับเฟสกับสัญญาณขาเข้า

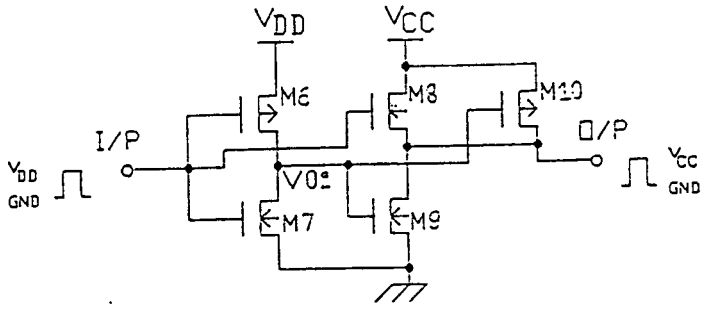
การเชื่อมต่อวงจรเกทอะเรย์ซึ่งออกแบบโดยผู้ต้องการใช้วงจร จำเป็นต้องทำการเชื่อมต่อวงจรที่ออกแบบแล้วกับวงจรในสถานะถัดไป ซึ่งใช้งานที่ไฟเลี้ยงแตกต่างกัน เช่นการเชื่อมต่อวงจรซึ่งใช้วงจรรวมแบบ CMOS ซึ่งใช้งานที่แรงดันสูง (ไม่เกิน 18 โวลต์) กับวงจรรวมแบบ TTL ซึ่งใช้งานที่แรงดันต่ำ (ไม่เกิน 5 โวลต์) เป็นต้น วงจรที่จะกล่าวถึงต่อไปนี้ใช้ประโยชน์ในการเชื่อมต่อสภาวะทางแรงดันดังกล่าว โดยออกแบบให้สามารถเชื่อมต่อกันได้ โดยลักษณะของสัญญาณขาออกกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า

วงจรเชื่อมแรงดันระหว่างระบบ CMOIS กับระบบ TTL ซึ่งออกแบบด้วยทรานซิสเตอร์โครงสร้างแบบ CMOIS เป็นดังรูปที่ 3.2-3



(ก) แบบกลับเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข) แบบไม่กลับเฟส

รูปที่ 3.2-3 แสดงวงจรเชื่อมแรงดันระหว่างระบบ CMOIS กับระบบ TTL

พิจารณาวงจรในรูปที่ 3.2-3 (ก) ซึ่งเป็นวงจรเชื่อมแรงดันแบบกลับเฟสกับสัญญาณขาเข้า เมื่อมีสัญญาณขาเข้าปรากฏแก่วงจรในสถานะต่ำ จะทำให้ทรานซิสเตอร์ M1 ซึ่งเป็น PMOIS เกิดการนำกระแสขึ้น ค่าแรงดัน V_{o1} จะมีค่าเท่ากับแรงดันไฟเลี้ยง V_{DD} ทำให้ทรานซิสเตอร์ M5 เกิดการนำกระแสในขณะเดียวกัน ค่าแรงดันขาเข้าดังกล่าวยังทำให้ทรานซิสเตอร์ M5 ทำงานเกิดการนำกระแสขึ้น ดังนั้นค่าแรงดันขาออกของวงจรจะมีค่าเท่ากับไฟเลี้ยง V_{CC} ซึ่งต่ออยู่กับขั้วเดรนของทรานซิสเตอร์ M5 และเมื่อแรงดันขาเข้าของวงจรอยู่ในสถานะสูงจะทำให้ M2 เกิดการนำกระแสขึ้นค่าแรงดัน V_{o1} จะมีค่าเท่ากับแรงดันอ้างอิง ดังนั้นทรานซิสเตอร์ M3 จะหยุดนำกระแส ในขณะเดียวกันทรานซิสเตอร์ M4 จะเกิดการนำกระแสขึ้น ส่งผลให้ค่าแรงดันขาออกมีค่าเท่ากับค่าแรงดันอ้างอิงกล่าวโดยสรุปคือ เมื่อแรงดันขาเข้าของวงจรมีค่า 0 โวลต์ ค่าแรงดันขาออกของวงจรจะมีค่าเป็น V_{CC} ซึ่งเป็นระดับแรงดันที่ต้องการเชื่อมต่อกับวงจรภายนอก และเมื่อค่าแรงดันขาเข้าของวงจรมีค่าเป็น V_{DD} ค่าแรงดันขาออกของวงจรจะมีค่าเป็นแรงดันอ้างอิง 0 โวลต์

จากที่กล่าวมาแล้วจะพบว่าในขณะที่แรงดันขาเข้าของวงจรมีค่าเท่ากับแรงดันไฟเลี้ยง V_{CC} หรือขณะที่ผลต่างแรงดันขาเข้าของวงจรกับแรงดันไฟเลี้ยงมีค่าต่ำกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด PMOIS ตัวที่ M5 จะทำให้ทรานซิสเตอร์ M5 หยุดการนำกระแส ในสภาวะขณะนั้นทรานซิสเตอร์ซึ่งจ่ายกระแสแก่โหลดของวงจร จะเป็นทรานซิสเตอร์ M3 เพียงตัวเดียวเท่านั้น ดังนั้นในการออกแบบวงจรเพื่อขับกระแสแก่วงจรภายนอกจำเป็นต้องออกแบบให้ทรานซิสเตอร์ชนิด NMOIS ตัวที่ M3 สามารถขับกระแสได้ ในปริมาณที่เหมาะสมกับวงจรภายนอก

ตามที่ได้กล่าวไว้แล้วในหัวข้อที่ 3.2.1 จะพบว่าค่าความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์ชนิด PMOIS และชนิด NMOIS ที่เหมาะสมในการขับกระแสแก่วงจรภายนอกมีค่า 760 μm และ 820 μm ตามลำดับดังนั้นสำหรับวงจรในรูปที่ 3.2-3(ก) จะทำการออกแบบให้ทรานซิสเตอร์ M3 และ M4 มีค่าความกว้างของช่องทางเดินกระแสเท่ากับ 820 μm และทรานซิสเตอร์ M5 จะมีค่าความกว้างของช่องทางเดินกระแสเท่ากับ 760 μm ส่วนทรานซิสเตอร์ M1และ M2 จะมีขนาดเล็กที่สุดเท่าที่เทคโนโลยีจะอำนวยให้คือมีค่าความกว้างของช่องทางเดินกระแสเท่ากับ 60 μm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อทำการพิจารณาค่าเวลาในการเปลี่ยนสถานะของวงจรจะพบว่า ค่าเวลา t_r และ t_f ของวงจรจะมีค่าเท่ากับเวลาในการเปลี่ยนสถานะของวงจรอินเวอร์เตอร์ธรรมดา เนื่องจากแรงดันขาเข้าของวงจรจะไปปรากฏที่ทรานซิสเตอร์ M5 และ M4 ซึ่งเป็นทรานซิสเตอร์ขับกระแสภาคสุดท้าย ดังนั้นค่าเวลา t_r และ t_f ของวงจรจึงมีค่าเท่ากับวงจรส่งสัญญาณขาออกแบบกลับเฟสที่ได้อธิบายไว้แล้วในหัวข้อที่ 3.2-1

พิจารณาวงจรในรูปที่ 3.2-3 (ข) ซึ่งเป็นวงจรเชื่อมแรงดันแบบไม่กลับเฟสสัญญาณขาเข้า เมื่อมีสัญญาณขาเข้าปรากฏแก่วงจรในสถานะต่ำ จะทำให้ทรานซิสเตอร์ M6 เกิดการนำกระแสขึ้น ค่าแรงดัน V_{o2} จะเปลี่ยนแปลงเป็นสถานะสูง โดยมีค่าแรงดันเท่ากับ V_{DD} ส่งผลให้ทรานซิสเตอร์ M9 เกิดการนำกระแสขึ้น ค่าแรงดันขาออกของวงจรจึงมีสถานะต่ำด้วย และเมื่อแรงดันขาเข้าที่ปรากฏแก่วงจรมีสถานะสูง ค่าแรงดัน V_{o2} จะมีสถานะต่ำส่งผลให้ทรานซิสเตอร์ M10 เกิดการนำกระแส ในขณะที่ค่าแรงดันขาเข้าดังกล่าวจะทำให้ทรานซิสเตอร์ M8 เกิดการนำกระแสด้วย ดังนั้นค่าแรงดันขาออกของวงจรจึงมีสถานะสูงโดยค่าแรงดันขาออกจะมีค่าเท่ากับแรงดันไฟเลี้ยง V_{CC}

ในทำนองเดียวกันกับวงจรในรูปที่ 3.2-3(ก) เมื่อแรงดัน V_{o2} มีค่าเท่ากัน หรือผลต่างของแรงดัน V_{o2} และ V_{CC} มีค่าต่ำกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด PMOIS ตัวที่ M10 แล้วทรานซิสเตอร์ M10 จะหยุดการนำกระแสโดยกระแสที่ไหลผ่านจะผ่านทรานซิสเตอร์ M8 แทน ดังนั้นในการออกแบบขนาดของความกว้างของช่องทางเดินกระแส จะเป็นไปในทำนองเดียวกันกับวงจรส่งสัญญาณขาออกแบบกลับเฟส คือทรานซิสเตอร์ชนิด NMOIS ตัวที่ M8 และ M9 จะมีขนาดของช่องทางเดินกระแสเท่ากับ 820 μm และทรานซิสเตอร์ M10 จะมีขนาดของช่องทางเดินกระแสเท่ากับ 760 μmส่วนทรานซิสเตอร์ M6 และ M7 จะมีขนาดของความกว้างช่องทางเดินกระแสน้อยที่สุดคือ 60 μm

ช่วงเวลาในการเปลี่ยนสถานะของวงจรจะเป็นไปในทำนองเดียวกันกับวงจรส่งสัญญาณขาออกแบบไม่กลับเฟสกับสัญญาณขาเข้า คือค่าเวลา t_f และ t_r จะมีค่าเท่ากันกับวงจรส่งสัญญาณขาออกแบบไม่กลับเฟสดังที่ได้อธิบายไว้แล้วในหัวข้อที่ 3.2-1

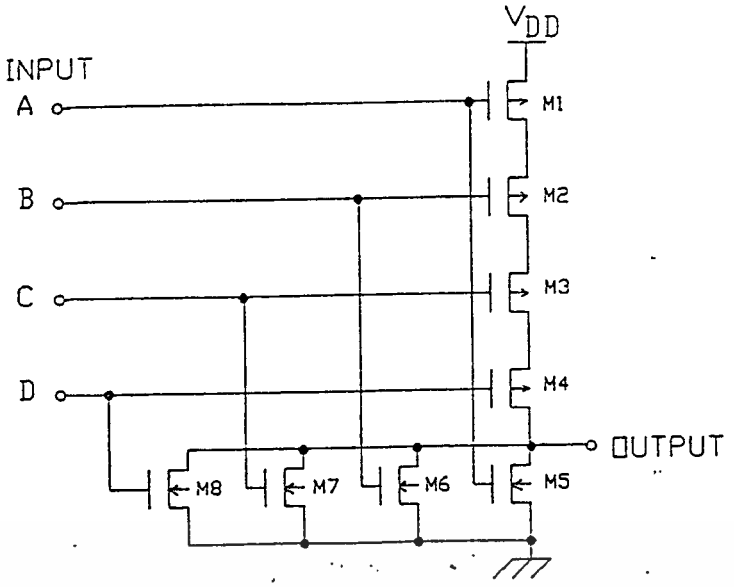
3.3 การออกแบบวงจรมาตราฐานการทำงาน

3.3.1 การออกแบบวงจรทางตรรกพื้นฐาน

3.3.1.1 วงจร NOR เกทแบบ 4-input

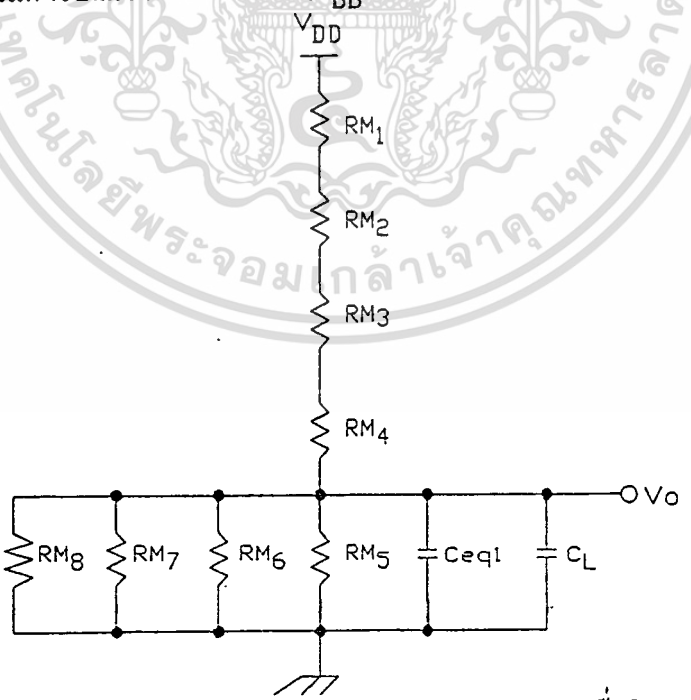
วงจร NOR GATE ซึ่งเป็นวงจรพื้นฐานของการออกแบบวงจรรวมขนาดใหญ่ ที่จะนำเสนอเพื่อเป็นวงจรพื้นฐานของเกทอะเรย์ ในวิทยานิพนธ์ฉบับนี้ คือวงจร NOR GATE แบบมีแรงดันขาเข้า 4 ทาง (4 INPUT NOR GATE) ซึ่งสามารถใช้งานได้อย่างกว้างขวางในวงจรรวมทางตรรกทั่ว ๆไป ลักษณะของวงจรจะเป็นไปดังรูปที่ 3.3-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3-1แสดงวงจร 4 INPUT NOR GATEที่ใช้ทรานซิสเตอร์โครงสร้างแบบ CMOISในการออกแบบ

การทำงานของวงจรจะมีลักษณะเช่นเดียวกันกับวงจรชนิดเดียวกับโครงสร้างทรานซิสเตอร์แบบ CMOS กล่าวคือเมื่อแรงดันขาเข้าจุดใดจุดหนึ่งของวงจร (A ,B ,C หรือ D) มีค่ามากกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด NMOIS (M5 ,M6 ,M7 หรือ M8) จะทำให้ทรานซิสเตอร์โครงสร้างแบบ MOIS ชนิดเอ็นตัวนั้นนำกระแส ดังนั้นค่าแรงดันขาออกของวงจรจะมีค่าเป็น 0 โวลต์ (แรงดันอ้างอิง) ทันที และเมื่อค่าแรงดันขาเข้าทุกจุดมีค่าเป็น 0 โวลย์ ค่าแรงดันดังกล่าว ทำให้ทรานซิสเตอร์ชนิด PMOIS (M1 ,M2 ,M3 และ M4) ทำงาน ส่วนทรานซิสเตอร์ชนิด NMOIS หยุดทำงาน ดังนั้นค่าแรงดันขาออกของวงจร จึงมีค่าเป็นแรงดันไฟเลี้ยง (V_{DD})



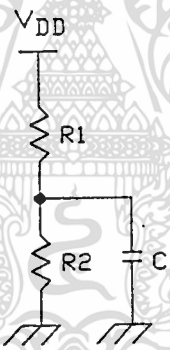
รูปที่ 3.3-2 แสดงวงจรเสมือนของวงจร 4 input NOR GATE เพื่อวิเคราห์เวลาหน่วง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในขณะที่วงจรกำลังเปลี่ยนสถานะจากสถานะสูงไปสู่สถานะต่ำ หรือจากสถานะต่ำไปสู่สถานะสูง วงจรจะทำให้ค่าแรงดันขาออกเกิดเวลาหน่วงขึ้น (delay time) ซึ่งค่าเวลาดังกล่าวจำเป็นต้องทราบเพื่อกำหนดคุณสมบัติของวงจร ในการออกแบบวงจรรวมขนาดใหญ่ขึ้นต่อไป

การวิเคราะห์เวลาหน่วงของวงจรทางตรรก ตามที่นำเสนอในภาคผนวก ก จำเป็นต้องเปลี่ยนวงจรเป็นวงจรเสมือนเพื่อใช้ในการวิเคราะห์ก่อน ซึ่งวงจรเสมือนของวงจร 4 input NOR GATE ดังรูปที่ 3.3-1 ตามคำนิยามในภาคผนวก ก แสดงได้ดังรูปที่ 3.3-2

จากรูปวงจรเสมือนวงจร 4 input NOR GATE จะพบว่าประกอบด้วยความต้านทาน RM_1 ถึง RM_8 ซึ่งเกิดจากทรานซิสเตอร์ M1 ถึง M8 ในวงจร และ C_{eq} ซึ่งแทนค่าความจุไฟฟ้าที่ปรากฏต่อทรานซิสเตอร์ M1 ถึง M8 และค่าความจุไฟฟ้าของโหลดของวงจร C_L ที่ปรากฏที่จุดแรงดันขาออกของวงจร เมื่อทำการพิจารณาวงจรแล้วพบว่าสามารถยุบอุปกรณ์ที่ยุ่งยากลงในกรณีที่ต้องการวิเคราะห์วงจรอย่างง่าย เหลือเพียงค่าความต้านทาน 2 ตัว และค่าความจุไฟฟ้ารวม 1 ตัว โดยค่าความต้านทานตัวที่ 1 เกิดจากการรวมค่าความต้านทาน $RM_1 + RM_2 + RM_3 + RM_4$ แบบอนุกรมกัน และค่าความต้านทานตัวที่ 2 เกิดจากการรวมค่าความต้านทาน $RM_5 // RM_6 // RM_7 // RM_8$ แบบขนานกัน และค่าความจุไฟฟ้าที่เหลือ คือการรวมค่าความจุไฟฟ้า C_{eq} และ C_L แบบขนานกัน ดังนั้นวงจรเสมือนอย่างง่ายเพื่อใช้ในการวิเคราะห์เวลาหน่วงจะเป็นไปดังรูปที่ 3.3-3



รูปที่ 3.3-3 แสดงวงจรเสมือนวงจร 4 input NOR GATE อย่างง่าย

เมื่อทำการพิจารณาค่าความต้านทาน R1 และ R2 ของวงจรในรูปที่3.3-3 จะต้องพิจารณาความต้านทานของทรานซิสเตอร์แต่ละชนิดในวงจรก่อน แล้วจึงรวมกันด้วยกฎทางไฟฟ้าที่ได้กล่าวเอาไว้แล้วข้างต้น

พิจารณาค่าความต้านทาน R1

เนื่องจากค่าความต้านทาน R1 เกิดจากการรวมความต้านทานของทรานซิสเตอร์ชนิด PMOIS แบบอนุกรมดังนั้นค่าความต้านทาน R1 จะมีค่าดังสมการ (3.3-1)

$$R1 = (\rho_1 + \rho_2)[L/W]4 \qquad (3.3\text{-}1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ ρ_1 และ ρ_2 เป็นไปดังสมการที่ (ก-15) และ (ก-18) ในภาคผนวก (ก) เมื่อทำการแทนค่าตัวแปรต่าง ๆ ในสมการแล้วพบว่า R1 มีค่าดังนี้

R1 = 0.3 เมกกะโอห์ม

พิจารณาค่าความต้านทาน R2

เนื่องจากค่าความต้านทาน R2 เกิดจากการรวมความต้านทานของทรานซิสเตอร์ชนิด NMOIS แบบขนานกันดังนั้นค่าความต้านทาน R2 จะมีค่าดังสมการที่ (3.3-2)

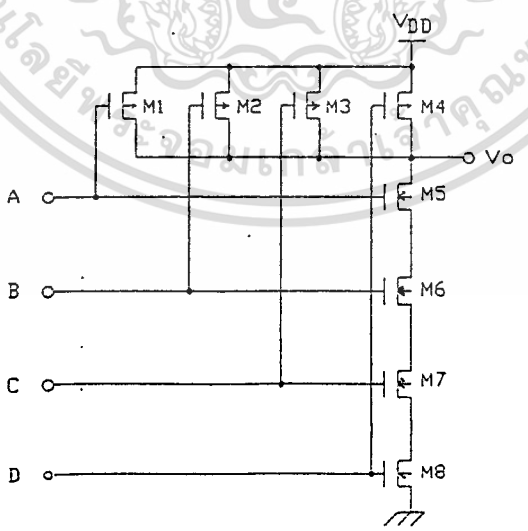
$$R2 = \{(\rho_1 + \rho_2)[L/W]\} / 4 \qquad (3.3\text{-}2)$$

ในทำนองเดียวกับการวิเคราะห์ R1 เมื่อแทนค่าต่าง ๆ ลงในสมการแล้วพบว่าค่า R2 มีค่าดังนี้

R2 = 17.8 กิโลโอห์ม

จากค่าของ R1 และ R2 จะพบว่าในการเปลี่ยนแปลงสถานะของวงจรจากสถานะสูงไปสู่สถานะต่ำจะใช้เวลาน้อยกว่าการเปลี่ยนสถานะต่ำไปสถานะสูง

3.3.1.2 วงจร NAND เกทแบบ 4-input



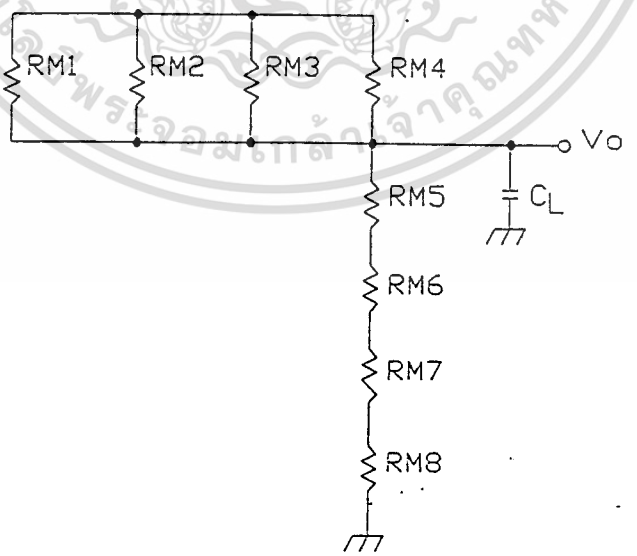
รูปที่ 3.3-4 แสดงวงจร 4 input NAND GATE โครงสร้างทรานซิสเตอร์แบบ CMOIS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร NAND GATE เป็นวงจรทางตรรกอีกชนิดหนึ่งที่นิยมใช้ในการออกแบบวงจรรวมขนาดใหญ่ ดังนั้นวงจร 4 input NAND GATE จึงเป็นอีกตัวอย่างวงจรทางตรรกวงจรหนึ่ง ที่น่าจะเป็นวงจรมาตราฐานของการออกแบบวงจรพื้นฐานส่วนประกอบของเกทอะเรย์ เพื่อสะดวกแก่ผู้ใช้งานในการออกแบบวงจรรวมขนาดใหญ่โดยใช้เกทอะเรย์

วงจร 4 input NAND GATE ที่ออกแบบด้วยทรานซิสเตอร์โครงสร้างแบบ CMOIS จะเป็นไปดังรูปที่ 3.3-4 ซึ่งประกอบด้วยทรานซิสเตอร์ 8 ตัวคือ M1 ถึง M8 โดย M1 ถึง M4 เป็นทรานซิสเตอร์แบบ PMOIS ต่อขนานกัน และ M5 ถึง M8 เป็นทรานซิสเตอร์แบบ NMOIS ต่อแบบอนุกรมกัน ซึ่งจากลักษณะวงจรดังกล่าวจะพบว่า มีลักษณะคล้ายคลึงกับวงจรรวม 4 input NOR GATE ที่ได้อธิบายไปแล้ว แตกต่างกันที่ลักษณะการต่ออนุกรม และขนานของทรานซิสเตอร์เท่านั้นที่เป็นไปในทางตรงกันข้าม ดังนั้นแนวการวิเคราะห์วงจรจึงมีลักษณะใกล้เคียงกัน กล่าวคือขณะที่แรงดันที่ปรากฏแก่สัญญาณขาเข้า A , B ,C และ D ของวงจรมีค่าแรงดันมากกว่า V_T ของทรานซิสเตอร์ชนิด NMOIS ตัวที่ M5 ถึง M8 แล้ว ทรานซิสเตอร์ M5 ถึง M8 จะนำกระแส ทำให้ค่าแรงดันขาออก V_o ของวงจรมีค่าเท่ากับค่าแรงดันอ้างอิง GND และในกรณีอื่น ๆคือ ถ้าค่าแรงดันขาเข้าขั้วใดขั้วหนึ่งของวงจรมีค่าต่ำกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด NMOIS แล้ว ค่าแรงดันขาออกของวงจรจะมีค่าเป็นไฟเลี้ยง V_{DD} ทุกกรณี

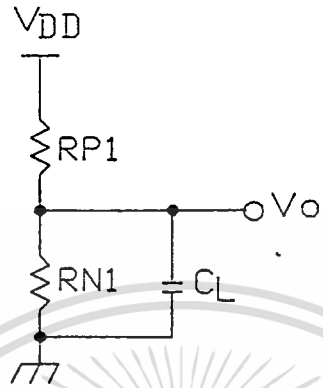
ขณะที่วงจรกำลังเปลี่ยนสถานะจากสถานะสูงไปสู่สถานะต่ำ หรือจากสถานะต่ำไปสู่สถานะสูง ค่าแรงดันขาออกของวงจรจะเกิดเวลาหน่วงขึ้น (delay time) ค่าเวลาดังกล่าวนี้ จะทำการพิจารณาเฉพาะกรณีที่แรงดันขาเข้าทุกจุดของวงจรมีค่า ๆ เดียวกัน (เชื่อมขาแรงดันทั้ง 4 เข้าด้วยกัน) ดังนั้นวงจรสมมูลย์ที่ใช้ในการพิจารณาตามแนวทางที่นำเสนอในภาคผนวก ก จะเป็นไปดังรูปที่ 3.3-5 ซึ่งจะประกอบด้วยค่าความต้านทานที่เป็นตัวแทนของทรานซิสเตอร์ M1 ถึง M8 และค่าความจุไฟฟ้าที่ปรากฏที่จุดแรงดันขาออกของวงจร



รูปที่ 3.3-5 แสดงวงจรสมมูลย์เพื่อวิเคราะห์ค่าเวลาหน่วง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในทำนองเดียวกันกับวงจร 4 input NOR GATEวงจรสมมูลย์ 4 input NAND GATE สามารถที่จะยุบวงจรลงเพื่อความละดวกในการคำนวณเหลือเพียงความต้านทาน 2 ตัว และค่าความจุไฟฟ้าอีก 1 ตัวดังรูปที่ 3.3-6 โดยที่ค่าความต้านทาน RP1 จะแทนค่าความต้านทาน RM1 ถึง RM4โดยรวมค่า R ทั้ง 4 ตัวที่เกิดจาก PMOIS แบบขนานกัน และค่าความต้านทาน RN2 จะแทนค่าความต้านทาน RM5 ถึง RM6 โดยรวมค่า R ทั้ง 4 ตัวที่เกิดจาก NMOIS ทั้ง 4 ตัวแบบอนุกรมกัน



รูปที่ 3.3-6 แสดงวงจรสมมูลย์อย่างง่ายของวงจร 4 input NAND GATEเพื่อวิเคราะห์ค่าเวลาหน่วง ดังนั้นค่า RP1 และ RN2 จะมีค่าดังสมการที่ (3.3-3) และ (3.3-4) ตามลำดับ

$$RP1 = \{(\rho_1 + \rho_2)[L_p/W_p]\} / 4 \qquad (3.3\text{-}3)$$

$$RN2 = (\rho_1 + \rho_2)\,[L_N/W_N]\,4 \qquad (3.3\text{-}4)$$

โดยที่ ρ_1 และ ρ_2 มีค่าเป็นไปดังสมการที่ (ก-15) และสมการที่ (ก-18) ในภาคผนวก ก และเมื่อแทนค่าตัวแปรต่าง ๆ ลงในสมการแล้วจะพบว่า

RP1 = 2 กิโลโอห์ม

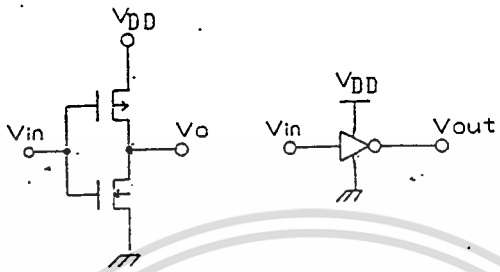
RN2 = 0.3 เมกกะโอห์ม

ดังนั้นจากข้อมูลพื้นฐานค่าความต้านทาน RP1 และ RN2 ข้างต้นจะพบว่าวงจร 4 input NAND GATE ที่สร้างด้วยโครงสร้างทรานซิสเตอร์แบบ CMOIS ซึ่งเป็นวงจรพื้นฐานของการออกแบบเกทอะเรย์ จะมีการตอบสนองต่อสัญญาณขาขึ้นและขาลงไม่เท่ากัน โดยที่ค่าเวลาเปลี่ยนสถานะต่ำไปสถานะสูงจะมีค่าน้อยกว่าค่าเวลาในการเปลี่ยนสถานะจากสถานะสูงไปสถานะต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.1.3 วงจร INVERTER

วงจรพื้นฐานทางดรรกที่นิยมใช้มากที่สุดในการประกอบวงจรรวมขนาดใหญ่ คือวงจรอินเวอร์เตอร์โดยวงจรดังกล่าวนี้ ทำหน้าที่กลับเฟสสัญญาณขาเข้า แล้วจ่ายออกทางขั้วแรงดันขาออกของวงจร วงจรอินเวอร์เตอร์ที่ถูกใช้งานทางดรรก จะเป็นวงจรลักษณะเดียวกันกับวงจรอินเวอร์เตอร์ที่ได้อธิบายไว้แล้ว ในหัวข้อวงจรกลับเฟสสัญญาณในรูปแบบต่าง ๆ โดยส่วนประกอบของวงจรจะเป็นไปดังรูปที่ 3.3-7



INPUT	OUTPUT
0	1
1	0

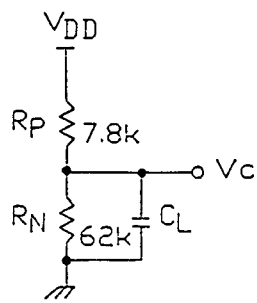
รูปที่ 3.3-7 แสดงวงจรอินเวอร์เตอร์ สัญลักษณ์ทางดรรก และตารางความจริงของวงจร

หลักการออกแบบวงจรอินเวอร์เตอร์เพื่อทำงานเพียงชับสถานะทางดรรกในวิทยานิพนธ์ฉบับนี้ จะทำการออกแบบทรานซิสเตอร์แต่ละตัวในวงจรให้มีขนาดเล็กที่สุดเท่าที่เทคโนโลยีจะอำนวยให้ ซึ่งขนาดที่เหมาะสมกับเทคโนโลยีที่ใช้ในการสร้างวงจรรวมในวิทยานิพนธ์ฉบับนี้ สามารถสร้างความยาวของช่องทางเดินกระแสได้ต่ำที่สุด 20 ไมโครเมตร และความกว้างช่องทางเดินกระแสต่ำที่สุด 60 ไมโครเมตร โดยมีค่าความหนาของชั้นออกไซด์ของช่องทางเดินกระแสเท่ากับ 700 อังสตรอม ดังนั้นสามารถหาค่าความต้านทานของทรานซิสเตอร์แต่ละชนิดที่ประกอบเป็นวงจรอินเวอร์เตอร์ได้ดังสมการที่ (A-1) และ (3.3-6)

ค่าความต้านทานของ NMOIS = $(\rho_1+\rho_2)(L_n/W_n)$ = 62 กิโลโอห์ม (3.3-5)

ค่าความต้านทานของ PMOIS = $(\rho_1+\rho_2)(L_p/W_p)$ = 7.8 กิโลโอห์ม (3.3-6)

ดังนั้นในการวิเคราะห์วงจรเพื่อหาค่าเวลาหน่วงของวงจรสามารถใช้วงจรเสมือนดังรูปที่3.3-8



รูปที่ 3.3-8 แสดงวงจรเสมือนเพื่อคำนวณค่าเวลาหน่วง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

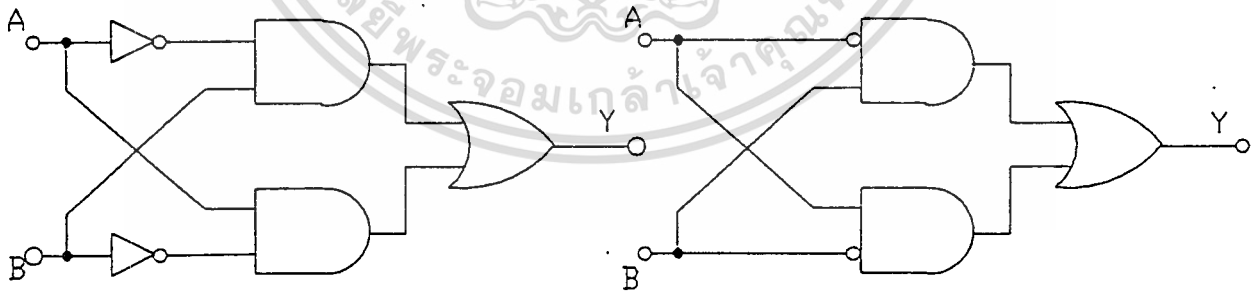
จากวงจรในรูปที่ 3.3-8 จะพบว่าค่าความต้านทานของทรานซิสเตอร์ชนิดพี (R_p) มีค่าต่ำกว่าค่าความต้านทานของทรานซิสเตอร์ชนิดเอ็น โดยที่ค่าความต้านทานทั้งสองต่ออยู่กับค่าความจุไฟฟ้าของโหลดของวงจรค่าเดียวกัน ดังนั้นสามารถสรุปได้ว่าวงจรอินเวอร์เตอร์ที่ใช้งานทางตรรก ในส่วนนี้จะมีค่าเวลาการเปลี่ยนแปลงสัญญาณจากสัญญาณต่ำไปสัญญาณสูง ต่ำกว่าการเปลี่ยนแปลงระดับสัญญาณสูงไปสู่ระดับสัญญาณต่ำ และในทำนองเดียวกันขณะวงจรทำงานค่ากระแสที่ไหลออกจากวงจรในขณะที่วงจรอยู่ในสถานะสูง จะมีค่าสูงกว่ากระแสที่ไหลเข้าวงจรในขณะที่วงจรอยู่ในสถานะต่ำ

3.3.1.5 วงจร Exclusive OR Gate

วงจรออร์เกตใช้ในการจำกลุ่มสัญญาณขาเข้าที่มีค่าสัญญาณเป็นลอจิก "1" อย่างน้อยหนึ่งค่าในกลุ่มสัญญาณเข้านั้น ๆ แต่สำหรับวงจรเอ็กซ์คลูซิฟออร์เกตจะแตกต่างไป คือถ้ากลุ่มสัญญาณขาเข้าเป็นสภาวะลอจิก "1" ซึ่งมีจำนวนเป็นเลขคี่จะได้สัญญาณขาออกเอาท์พุทเป็นสภาวะลอจิก "1" (หมายความว่าถ้าสัญญาณขาเข้าเป็น 4 บิต ถ้ามีสภาวะลอจิก "1" เป็น 1 บิต หรือ 3 บิต จะได้สัญญาณขาออกเป็นลอจิก "1" นั่นเอง) นอกเหนือจากสภาวะที่กล่าวข้างต้นนี้ จะได้สัญญาณขาออกเป็นสภาวะลอจิก "0"

ในที่นี้จะขอกล่าวถึงวงจรเอ็กซ์คลูซิฟออร์เกตชนิดมีสัญญาณเข้า 2 สัญญาณ จากรูปที่ 3.3-9 เป็นวงจรเอ็กซ์คลูซิฟออร์เกตในลักษณะของลอจิกเกต จากรูป 3.3-9(ก)จะเห็นว่าแอนด์เกตตัวบนให้สัญญาณออกเป็น NOT A and B ขณะที่แอนด์เกทตัวล่างให้สัญญาณขาออกเป็น A and NOT B และสัญญาณทั้งสองจะผ่านออร์เกต เอาท์พุทที่ได้ของวงจรในรูปสมการบูลลีนคือ

$$Y = \bar{A}B + A\bar{B} \qquad (3.3\text{-}7)$$



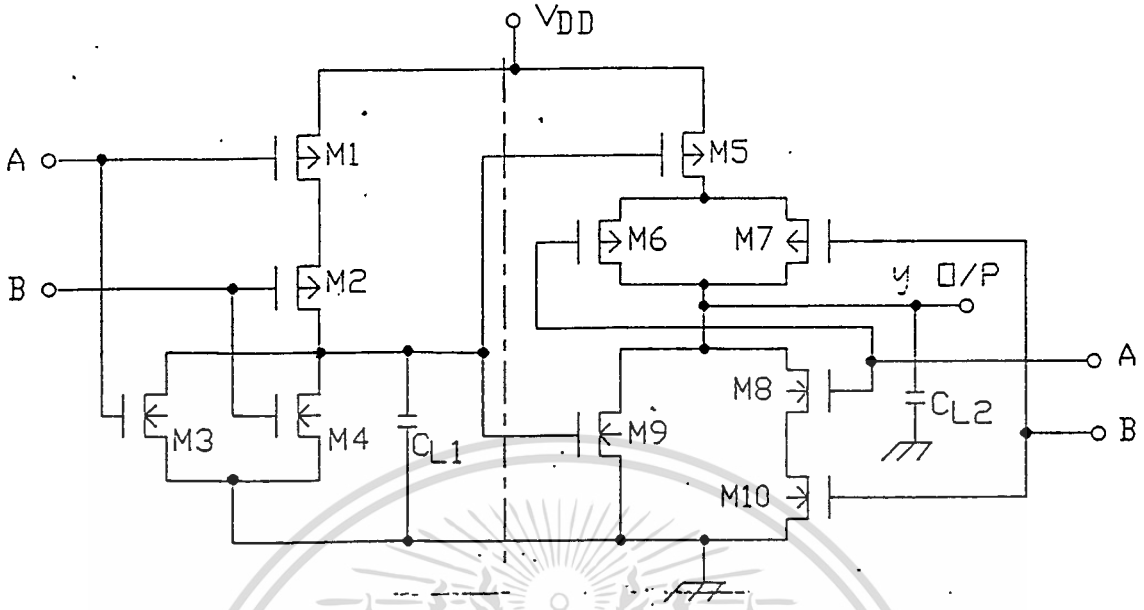
(ก) วงจรตรรก (ข) รูปวงจรย่อ

รูปที่ 3.3-9 แสดงลอจิกของวงจรเอ็กซ์คลูซิฟออร์เกต

พิจารณาวงจรเอ็กซ์คลูซิฟออร์เกตในลักษณะของ MOISFET ที่นำเสนอในวิทยานิพนธ์ฉบับนี้ แสดงดังรูป 3.3-10 จากวงจรสภาวะทางลอจิกที่ใช้งานสามารถพิจารณาได้ 4 สถานะ อย่างง่าย ๆคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ขณะที่อินพุท A และ B เป็นสภาวะลอจิก "0" ทั้งคู่ ทำให้ PMOIS M1 และ M2 นำกระแสสัญญาณที่เข้าอินพุทของ NMOIS M9 เป็นสภาวะลอจิก "1" ทำให้ NMOIS M9 นำกระแส ดังนั้นสัญญาณเอาท์พุทที่ Y ปรากฏเป็นสภาวะลอจิก "0"



รูปที่ 3.3-10 แสดงวงจร CMOIS EXCLUSIVE OR GATE

2. ขณะที่อินพุท A=1 และ B=0 จะเห็นว่าเมื่อ A=1 ทำให้ NMOIS M3 นำกระแสเป็นสัญญาณอินพุทยัง PMOIS M5 ทำให้ M5 นำกระแส ซึ่งขณะที่ B=0 ได้ PMOIS M7 นำกระแส จากการที่ M5 และ M7 นำกระแสนั้นจะได้สัญญาณเอาท์พุท Y เป็นสภาวะลอจิก "1"

3. ขณะที่อินพุท A=0 และ B=1 เมื่อ A=0 ทำให้ PMOIS M6 นำกระแส ซึ่ง B=1 นั้นจะได้ NMOIS M4 นำกระแส ทำให้มีสัญญาณอินพุทเป็นสภาวะลอจิก "1" ไปยัง PMOIS M5 ทำให้ M5 นำกระแส เมื่อ M5 และ M6 นำกระแสจะได้สัญญาณเอาท์พุท Y=1

4. เมื่ออินพุท A และ B เป็นสภาวะลอจิก "1" ทั้งคู่ทำให้ NMOIS M8 และ M10 นำกระแสทำให้ได้สัญญาณเอาท์พุท Y=0 นั่นเอง

จากการทำงานข้างต้นสามารถเขียนตารางความจริงของวงจรเอ็กซ์คลูซิฟออร์เกต ที่มีอินพุท 2 อินพุทได้ดังนี้

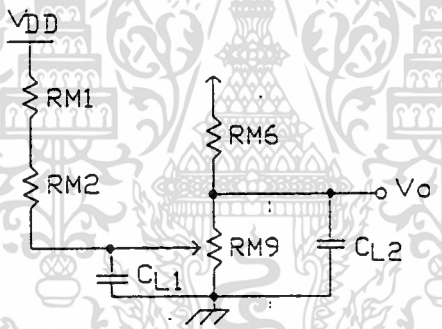
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

รูปที่ 3.3-11 แสดงตารางความจริงของ XOR 2 อินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

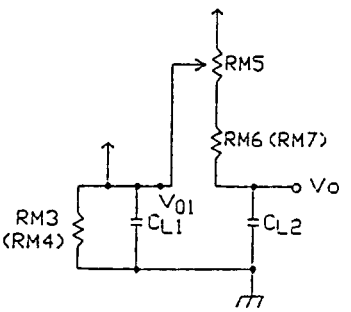
เมื่อพิจารณาตารางความจริงของวงจร XOR เกตแล้ว จะพบว่าแรงดันขาออกของวงจรจะเกิดการเปลี่ยนแปลงสถานะ เมื่อแรงดันขาเข้าที่ปรากฏแก่วงจรมีการเปลี่ยนแปลงจากจำนวนแรงดันที่เหมือนกันจากจำนวนคู่เป็นจำนวนคี่หรือเกิดการเปลี่ยนแปลงในทางตรงกันข้าม และเมื่อพิจารณาวงจรแล้วจะพบว่าจุดแรงดันขาเข้าทั้งสอง ต่ออยู่กับทรานซิสเตอร์ในวงจรในอัตราที่เท่า ๆกัน ส่วนทรานซิสเตอร์ M5 และ M9 จะมีแรงดันขาเข้าที่ส่งจากจุดแรงดันขาออกของวงจรนอร์เกตในส่วนแรกของวงจร ดังนั้นเมื่อทำการพิจารณาค่าเวลาหน่วงของวงจรจะทำการพิจารณาโดย กรณีที่หนึ่งจะเกิดขึ้นเมื่อแรงดันขาออกของวงจรเปลี่ยนจากสถานะต่ำไปเป็นสถานะสูงโดยที่เดิมค่าแรงดันขาเข้าของวงจรเป็นแรงดันเดียวกัน (สูงหรือต่ำทั้งคู่) แล้วแรงดันขาเข้าแรงดันใดแรงดันหนึ่งเกิดการเปลี่ยนแปลง และกรณีที่สองจะเกิดขึ้นเมื่อแรงดันขาออกของวงจรเปลี่ยนจากสถานะสูงไปเป็นสถานะต่ำ โดยที่เดิมค่าแรงดันขาเข้าทั้งสองของวงจรแตกต่างกัน แล้วแรงดันใดแรงดันหนึ่งเกิดการเปลี่ยนแปลงเป็นแรงดันเดียวกันกับแรงดันที่เหลือ

พิจารณากรณีที่หนึ่ง เดิมแรงดันขาออกเป็นแรงดันสถานะต่ำ พิจารณากรณีที่แรงดันขาเข้าเริ่มต้นเป็นสถานะต่ำทั้งคู่ และเมื่อแรงดัน A หรือแรงดัน B เปลี่ยนแปลงเป็นสถานะสูง สามารถเขียนวงจรสมมูลย์เพื่อการพิจารณาได้ดังรูปที่ 3.3-12



รูปที่ 3.3-12 แสดงวงจรสมมูลย์ที่พิจารณาค่าเวลาหน่วงเมื่อแรงดันขาเข้า A และ Bเป็นสถานะต่ำทั้งคู่

จากวงจรในรูปที่ 3.3-12จะพบว่าตัวเก็บประจุ C_{L1} จะมีประจุอยู่เต็มในขณะที่ตัวเก็บประจุ C_{L2} ถูกเชื่อมต่อลงสู่แรงดันอ้างอิงผ่าน RM9 ดังนั้นเมื่อแรงดันขาเข้าจุดใดจุดหนึ่งเกิดการเปลี่ยนแปลงจากแรงดันสถานะต่ำไปเป็นแรงดันสถานะสูง จะทำให้วงจรสมมูลย์เปลี่ยนแปลงไปดังรูปที่ 3.3-13

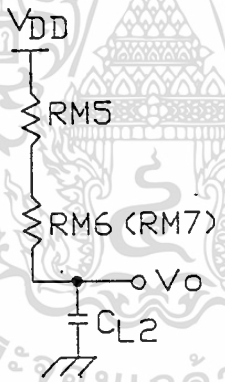


รูปที่ 3.3-13 แสดงวงจรสมมูลย์ขณะที่แรงดัน A หรือ B เกิดการเปลี่ยนแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.3-13จะพบว่าตัวเก็บประจุ C_{L1} จะคายประจุผ่าน RM3(หรือ RM4 ตัวใดตัวหนึ่ง)จนแรงดันที่ตกคร่อมลดลงถึงจุดที่แรงดันตกคร่อม $V_{o1}-V_{DD}$ สูงกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์ M5 ส่งผลให้ M5 ทำงาน เมื่อ M5 ทำงานแล้วค่าแรงดันต่ำที่แรงดันขาเข้า A (หรือ B) จะเทียบระดับแรงดันจนแรงดันตกคร่อมเกทซอสของทรานซิสเตอร์ M6(หรือ M7) มีค่าสูงกว่าค่าแรงดันขีดเริ่ม วงจรจึงจะเริ่มประจุค่าตัวเก็บประจุ C_{L2} ทำให้แรงดันขาออกของวงจรเกิดการเปลี่ยนแปลง ดังนั้นค่าเวลาหน่วงของวงจรในการเปลี่ยนแปลงจากสถานะต่ำไปเป็นสถานะสูงในกรณีนี้ จะเกิดจากการรวมเวลาของการคายประจุ C_{L1} และการคายประจุ C_{L2} เข้าด้วยกัน

ในสภาวะที่แรงดันขาเข้าเริ่มต้นของวงจรเป็นสถานะสูงทั้งคู่ แล้วแรงดันขาเข้าจุดใดจุดหนึ่งเกิดเปลี่ยนแปลงไป เมื่อพิจารณาจากวงจรแล้วจะพบว่าเมื่อแรงดันขาเข้าของวงจรเป็นสถานะสูงทั้งคู่ ตัวเก็บประจุ C_{L1} จะเชื่อมต่อลงสู่จุดแรงดันอ้างอิงผ่าน RM3 และ RM4 และตัวเก็บประจุ C_{L2} จะเชื่อมต่อลงจุดแรงดันอ้างอิงโดย M8 และ M10 ดังนั้นเมื่อแรงดันจุดใดจุดหนึ่งของแรงดันขาเข้าของวงจรเปลี่ยนเป็นสถานะต่ำ ค่าแรงดันขาออก V_{o1} ก็จะไม่ส่งผลต่อวงจรเลยเนื่องจากแรงดัน V_{o1} จะไม่เกิดการเปลี่ยนแปลง ค่าเวลาที่ใช้ในการเปลี่ยนสถานะจะเกิดจากตัวเก็บประจุ C_{L2} เพียงตัวเดียว โดยกระแสจะไหลจากแรงดันไฟเลี้ยงผ่าน M5 และ M6 (หรือ M7 ตัวใดตัวหนึ่ง) เพื่อประจุแก่ตัวเก็บประจุ C_{L2} ดังนั้นวงจรสมมูลย์ในการพิจารณาจะเป็นดังรูปที่ 3.3-14



รูปที่ 3.3-14แสดงวงจรสมมูลย์เพื่อพิจารณาเวลาหน่วงของวงจรเมื่อแรงดันขาออกเปลี่ยนแปลงจากสถานะต่ำเป็นสถานะสูง ในกรณีที่แรงดันขาเข้าเริ่มต้นเป็นสถานะสูงทั้งคู่

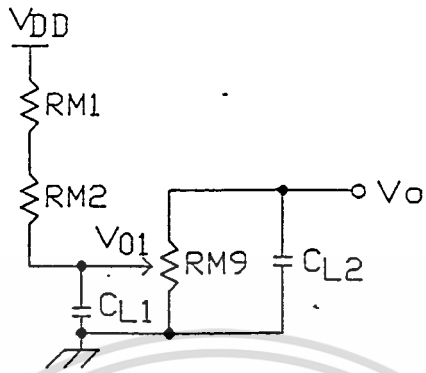
เมื่อทำการคำนวณค่าความต้านทานตามแนวทางการวิเคราะห์วงจรที่นำเสนอในภาคผนวก ก. แล้วจะพบว่าการเปลี่ยนแปลงสถานะต่ำไปเป็นสถานะสูง ในกรณีที่แรงดันขาเข้าเริ่มต้นเป็นสถานะต่ำทั้งคู่จะใช้เวลามากกว่าในกรณีที่แรงดันขาเข้าเป็นสถานะสูงทั้งคู่

พิจารณากรณีที่สอง ค่าแรงดันขาออกของวงจรเปลี่ยนแปลงจากสถานะสูงไปเป็นสถานะต่ำ เมื่อแรงดันขาเข้าของวงจรจุดใดจุดหนึ่งเป็นสถานะสูง ส่งผลให้ค่าแรงดันขาออก V_{o1} เป็นสถานะต่ำ ตัวเก็บประจุ C_{L1} จึงไม่มีประจุอยู่ ส่งผลให้ M5 เกิดการทำงานขึ้น และตัวเก็บประจุ C_{L2} จะมีประจุอยู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เต็มเนื่องจากถูกประจุไว้ด้วยทรานซิสเตอร์ M5 ร่วมกับทรานซิสเตอร์ M6 หรือ M7 ตัวใดตัวหนึ่ง

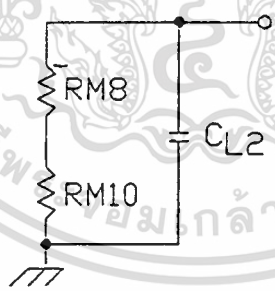
กรณีที่แรงดันขาเข้าทั้งสองเปลี่ยนเป็น 0 ทั้งคู่ จะทำให้ C_{L1} ถูกประจุจนเต็ม และทรานซิสเตอร์ M9 เกิดการทำงานเนื่องจากแรงดัน V_{o1} ส่งผลให้ตัวเก็บประจุ C_{L2} คายประจุผ่านทรานซิสเตอร์ M9 ลงสู่แรงดันอ้างอิง ดังนั้นวงจรสมมูลย์ในกรณีนี้จะเป็นดังรูปที่ 3.3-15



รูปที่ 3.3-15 แสดงวงจรสมมูลย์เมื่อแรงดันขาเข้าของวงจรเปลี่ยนแปลงจากแรงดันที่แตกต่างกันเป็นแรงดันสถานะต่ำทั้งคู่

ดังนั้นค่าเวลาหน่วงที่เกิดขึ้นจะเนื่องจากการประจุ C_{L1} โดย RM1 และ RM2 จนกระทั่ง C_{L1} เต็มแล้วส่งผลให้ RM9 ทำงานเอาประจุจาก C_{L2} ลงสู่ระดับแรงดันอ้างอิง

ถ้าแรงดันทั้งสองเปลี่ยนเป็นแรงดันสถานะสูงทั้งคู่ ค่าแรงดัน V_{o1} ของวงจรจะไม่เกิดการเปลี่ยนแปลง กล่าวคือ C_{L1} ไม่ส่งผลต่อเวลาหน่วงของวงจร ส่วน C_{L2} จะต้องคายประจุผ่าน M8 และ M10 ลงสู่ระดับแรงดันอ้างอิงดังรูปที่ 3.3-16



รูปที่ 3.3-16 แสดงวงจรสมมูลย์เมื่อแรงดันขาเข้าทั้งสองของวงจรเปลี่ยนแปลงจากแรงดันที่แตกต่างเป็นแรงดันสถานะสูงทั้งคู่

ดังนั้นค่าเวลาหน่วงที่เกิดขึ้นจะเกิดเนื่องจากตัวเก็บประจุ C_{L2} คายประจุผ่าน RM8 และ RM10 จนหมด โดยที่ C_{L1} ไม่ส่งผลต่อการเปลี่ยนแปลงเวลาในช่วงนี้เลย

เมื่อทำการเปรียบเทียบเวลาที่เร็วที่สุดของการเปลี่ยนสถานะของวงจร (คือกรณีในรูปที่ 3.3-16 เทียบกับรูปที่ 3.3-14)จะพบว่าวงจร XOR ที่สร้างด้วยทรานซิสเตอร์โครงสร้างแบบ CMOIS จะเปลี่ยนสถานะ จากสถานะต่ำไปเป็นสถานะสูงได้เร็วกว่าการเปลี่ยนสถานะจากสถานะสูงไปเป็นสถานะต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.2 การออกแบบวงจรทางตรรกที่ควบคุมด้วยสัญญาณนาฬิกา

3.3.2.1 วงจร D-FLIP/FLOP

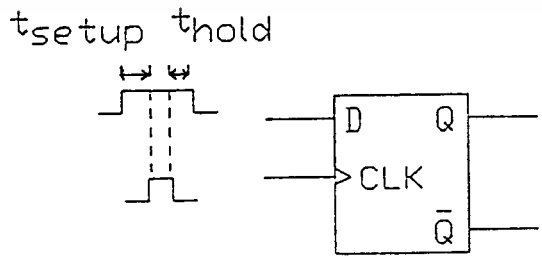
ลักษณะของ D ฟลิปฟลอบแสดงดังรูป 3.3-17 โดยการทำงานของฟลิปฟลอบเบ็นดังนี้คือ ข้อมูลสัญญาณเข้าที่ D มีค่าเป็นลอจิก "0" หรือลอจิก "1" สัญญาณออกของวงจรที่ Q จะเหมือนกันกับสัญญาณเข้าที่ D คือเป็นลอจิก "0" และลอจิก "1" ตามลำดับ เมื่อนำเอาสัญญาณนาฬิกาเข้ามาร่วมควบคุมการทำงานด้วย เมื่อสัญญาณนาฬิกามีค่าเป็นสภาวะลอจิก "0" วงจรจะไม่ยอมให้สัญญาณ D ผ่านไปได้ ซึ่งทำให้ฟลิปฟลอบไม่เปลี่ยนสถานะตามสัญญาณ D หรือกล่าวอีกนัยหนึ่งคือเมื่อสัญญาณนาฬิกามีค่าลอจิก "0" ฟลิปฟลอบจะแลตช์ไว้ในสถานะสุดท้าย คือก่อนที่สัญญาณนาฬิกาจะมีค่าลอจิก "0" สัญญาณที่ Q จะมีค่าตามสัญญาณ D จนกระทั่งสัญญาณนาฬิกาเป็นลอจิก "0"สัญญาณ $\bar{Q}$ ก็จะค้างอยู่ในสถานะสุดท้ายไปตลอด

เมื่อสัญญาณนาฬิกามีค่าลอจิก "1" สภาวะสัญญาณที่ Q จะขึ้นอยู่กับสัญญาณ D คือถ้าสัญญาณ D มีค่าสูงก็จะทำให้สัญญาณที่ Q มีค่าสูงด้วย และถ้าสัญญาณ D มีค่าต่ำก็จะทำให้สัญญาณ Q มีค่าต่ำด้วย

รูปที่ 3.3-17 แสดงสัญญาณของฟลิปฟลอบแบบ D ชนิดกระตุ้นด้วยขอบสัญญาณนาฬิกา

ในการที่จะให้สัญญาณผ่านเข้าฟลิปฟลอบโดยการกระตุ้นด้วยสัญญาณนาฬิกานั้น จะต้องคำนึงถึงเวลาอีก 2 อย่างคือ เวลาเริ่มเข้าสถานะ (setup time)ซึ่งหมายถึงเวลาของการเปลี่ยนสถานะสัญญาณเข้า D ในฟลิปฟลอบแบบ D ที่จะต้องมีการเปลี่ยนสถานะ ก่อนที่สัญญาณนาฬิกาที่กระตุ้นจะมาถึงวงจร อย่างน้อยที่สุดช่วงเวลาหนึ่ง ใช้อักษรย่อว่า t_{setup}

เมื่อสัญญาณนาฬิกาที่กระตุ้นได้ส่งผ่านเข้าวงจร ทำให้วงจรเปิดผ่านให้สัญญาณขาเข้า D ผ่านฟลิปฟลอบนั้น สัญญาณขาเข้า D ยังต้องการเวลาที่จะอยู่ในสถานะเดิมนั้น อย่างน้อยช่วงเวลาหนึ่งเรียกว่า เวลาคงสถานะ (hold time) ใช้ตัวย่อว่า t_{hold} ซึ่งค่าเวลานี้ทำให้มั่นใจได้ว่าสัญญาณ

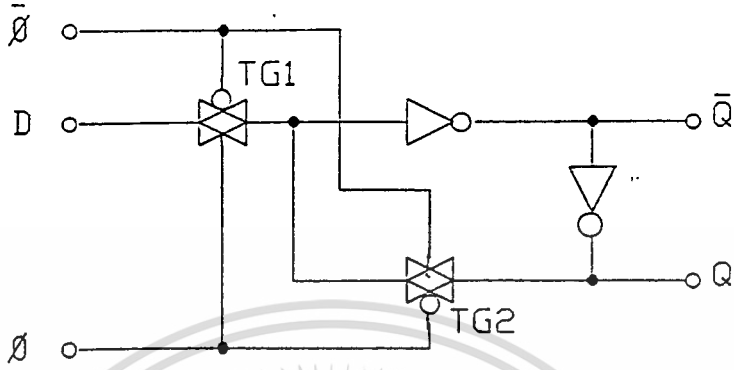


รูปที่ 3.3-18 แสดงลักษณะของช่วงเวลา t_{setup} และ t_{hold}

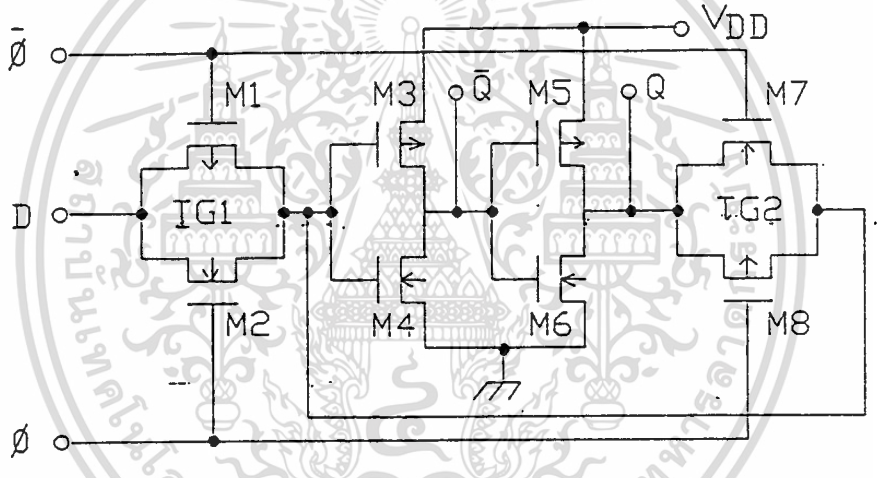
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เข้า D ที่ผ่านเข้าฟลิบฟลอบนั้นเป็นสัญญาณในสถานะที่ถูกต้องตามต้องการ ทั้งช่วงเวลา t_{setup} และ t_{hold} แสดงให้เห็นในรูปที่ 3.3-18

วงจร D ฟลิบฟลอบโครงสร้าง CMOIS ที่ใช้ในการออกแบบนี้มีพื้นฐานบน transmission gates สามารถแสดงแผนภาพลอจิกดังรูปที่ 3.3-19(ก) และแสดงแผนภาพของวงจรดังรูป 3.3-19 (ข) จากวงจร transmission gates ทั้งสองตัวใช้ในการส่งผ่านลอจิก



(ก) แสดงแผนภาพทางลอจิก



(ข) แสดงแผนภาพของวงจร

รูปที่ 3.3-19 แสดง CMOIS transmission gate D-ฟลิบฟลอบ

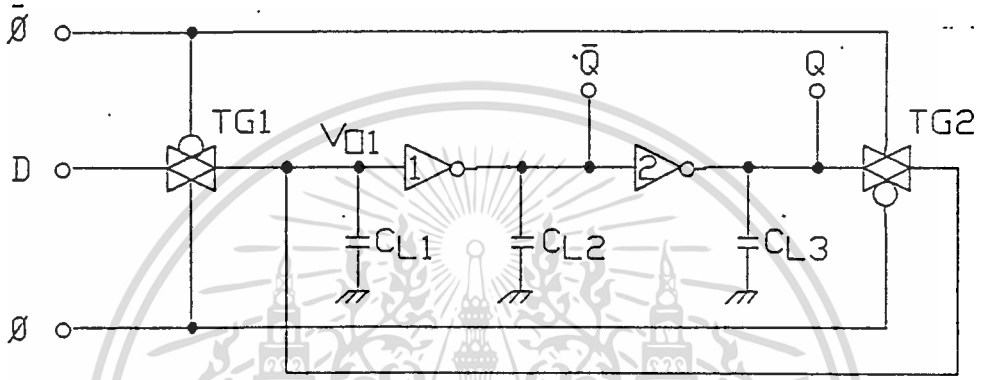
เมื่อ CLK=1 , TG1 ทำงานขณะที่ TG2 หยุดทำงาน ทำให้ข้อมูลจากสัญญาณขาเข้า D ผ่านเข้าในฟลิบฟลอบได้ Q=D และเมื่อ CLK=0 , TG1 หยุดทำงานขณะที่ TG2 ทำงาน ซึ่ง TG2 ใช้เป็นส่วนป้อนกลับระหว่างอินเวอร์เตอร์ทั้งสอง เพื่อให้สัญญาณขาออก Q ยังคงสภาวะเดิมไว้ ซึ่งถือว่าสภาวะของฟลิบฟลอบจะถูกสร้างเมื่อ CLK=1 ในวิทยานิพนธ์ฉบับนี้ใช้การออกแบบทรานซิสเตอร์ในวงจรในลักษณะไม่สมมาตร คือให้ความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์ชนิดพีเท่ากับชนิดเอ็น ($W_p=W_n$) และให้ความยาวของช่องทางเดินกระแส(L) มีค่าน้อยที่สุดทั้งทรานซิสเตอร์ชนิดพีและชนิดเอ็น

จากวงจรในรูปที่ 3.3-19 พิจารณาได้ว่าเมื่อแรงดันที่ CLK เป็นสภาวะลอจิก "1"มีค่าสูงกว่าค่าแรงดันขีดเริ่ม V_{Tn} ของ M2 ทำให้สัญญาณที่ D ผ่าน M2 ไปยังขาเกทของ M3 และ M4 ในขณะเดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กันเมื่อแรงดันที่ NOT CLK มีค่าต่ำลงเพื่อเข้าสู่สภาวะลอจิก "0" จนเกินค่าแรงดันขีดเริ่ม V_{TP} ของ M1 ทำให้สัญญาณจาก D สามารถผ่าน M1 ได้อีกทางหนึ่ง ไม่ว่าสัญญาณที่อินพุท D จะเป็นสภาวะลอจิก "0" หรือ "1" เมื่อมีสัญญาณมาปรากฏที่วงจรอินเวอร์เตอร์ชุดแรก เอาท์พุท NOT Q ที่ได้จะเป็นสภาวะลอจิกที่ตรงกันข้ามกับสัญญาณขาเข้าของอินเวอร์เตอร์ชุดนี้ และเมื่อมีสัญญาณมาปรากฏที่ NOT Q ก็จะเป็นอินพุทให้แก่อินเวอร์เตอร์ชุดที่สอง ซึ่งจะได้สัญญาณของเอาท์พุท Q นั่นเอง และในขณะที่สัญญาณ CLK ตกลงเป็นลอจิก "0" ทำให้วงจรทรานสมิทชั่นเกทชุดที่สอง TG2 นำกระแสส่งสัญญาณป้อนกลับไปยังอินพุทของวงจรอินเวอร์เตอร์ชุดแรก เพื่อรักษาสภาวะของลอจิกที่ NOT Q และ Q ให้คงเดิม

ค่าเวลาหน่วงของวงจรสามารถอธิบายได้โดยใช้วงจรในรูปที่ 3.3-20



รูปที่ 3.3-20 แสดงวงจรที่ใช้ในการวิเคราะห์ลักษณะทางไฟฟ้าของ D-ฟลิบฟลอบ

พิจารณาเมื่อ CLK=1 จะทำให้ TG1 ทำงาน ส่วน TG2 จะหยุดทำงาน TG1 จะส่งค่าระดับสัญญาณ D ที่แรงดันขาเข้า ป้อนแก่วงจรอินเวอร์เตอร์วงจรที่ 1 ค่าเวลาหน่วงของวงจรช่วงนี้มีค่า T1 พิจารณาได้เช่นเดียวกับการพิจารณาค่าเวลาหน่วงของวงจรทรานสมิทชั่นเกทแบบแรงดันขาเข้าทางเดียว โดยตัวเก็บประจุไฟฟ้าที่ต่อกับจุดแรงดันขาออกของวงจร TG1 คือค่าความจุไฟฟ้าขาเข้าของวงจรอินเวอร์เตอร์ชุดที่ 1 ซึ่งมีค่า C_{L1} ดังรูปที่ 3.3-20ค่าแรงดันขาออกจาก TG1ดังกล่าวจะเป็นค่าแรงดันขาเข้าของวงจรอินเวอร์เตอร์ชุดที่ 1 ทำให้วงจรอินเวอร์เตอร์นี้กลับเฟสกับสัญญาณขาเข้าที่ขั้วแรงดันขาออกของ TG1 ซึ่งสัญญาณขาออกของวงจรอินเวอร์เตอร์ชุดที่ 1 ก็จะเกิดค่าเวลาหน่วงเช่นเดียวกัน โดยตัวเก็บประจุไฟฟ้าที่ทำให้เกิดช่วงเวลาหน่วงเป็น T2 คือตัวเก็บประจุไฟฟ้า C_{L2} ในรูปวงจร ซึ่งเกิดจากค่าความจุไฟฟ้าขาเข้าของวงจรอินเวอร์เตอร์ชุดที่ 2 (ควรจะมีค่าความจุเท่ากันกับ C_{L1} ตามการออกแบบในวิทยานิพนธ์ฉบับนี้) ค่าแรงดันขาออกของวงจรอินเวอร์เตอร์ชุดที่ 1 คือค่าสัญญาณขาออก NOT Q ของวงจร D ฟลิบฟลอบ ดังนั้นพอสรุปได้ว่าค่าแรงดันขาออก NOT Q จะใช้เวลาหน่วงเท่ากับเวลาหน่วงของวงจรทรานสมิทชั่นเกทชุดที่ 1 รวมกับค่าเวลาหน่วงของวงจรอินเวอร์เตอร์ชุดที่ 1 คือ T1+T2 ส่วนค่าแรงดันขาออก Q จะเกิดจากการกลับเฟสของสัญญาณ NOT Q โดยใช้อินเวอร์เตอร์ชุดที่ 2 ซึ่งก็จะเกิดช่วงเวลาหน่วงเป็น T3 โดยอินเวอร์เตอร์ชุดที่ 2 เช่นเดียวกันกับวงจรอินเวอร์เตอร์ชุด

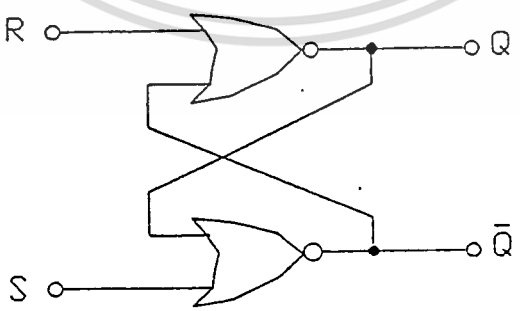
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรก เพียงแต่ตัวเก็บประจุไฟฟ้าที่ต่ออยู่กับวงจร คือตัวเก็บประจุไฟฟ้า C_{L3} ดังนั้นกล่าวโดยสรุปคือค่าแรงดันขาออก Q ของวงจร D ฟลิบฟลอบ ในวิทยานิพนธ์ฉบับนี้จะช้ากว่าแรงดันขาออก NOT Q ของวงจรเป็นเวลาที่เท่ากับเวลาหน่วงของวงจรอินเวอร์เตอร์ชุดที่ 2 เป็นเวลา T3

พิจารณาเมื่อ CLK=0 จะทำให้ TG1 หยุดทำงานและ TG2 ทำงาน ในขณะนี้ค่าแรงดันที่ป้อนแก่วงจรอินเวอร์เตอร์ชุดที่ 1 ซึ่งเป็นแรงดันขาเข้าของ D ฟลิบฟลอบก่อนที่ TG1 จะหยุดทำงาน และเป็นแรงดันค่าเดียวกันกับ แรงดันขาเข้าของ TG2 (คือแรงดัน Q) จะเกิดการเปลี่ยนแปลงขึ้น ในช่วงเวลานี้ TG2 จะนำสัญญาณ Q ป้อนแก่วงจรอินเวอร์เตอร์ชุดที่ 1 ซึ่งจะเกิดเวลาหน่วงอันเนื่องจากค่าความจุไฟฟ้า C_{L1} เพียงเล็กน้อย เนื่องจาก TG1 และ TG2 สร้างด้วยขนาดของทรานซิสเตอร์อย่างเดียวกัน และค่าความจุไฟฟ้าที่ปรากฏแก่วงจร TG1 และ TG2 เป็นตัวเก็บประจุตัวเดียวกัน ค่าแรงดัน Q จะมีค่าเปลี่ยนแปลงเล็กน้อยอันเนื่องจาก C_{L1} ประจุไฟฟ้าหรือคายประจุไฟฟ้า และค่าแรงดันนี้ยังทำให้อินเวอร์เตอร์ชุดที่ 1 ทำงานต่อไปได้ โดยยังคงสถานะเดิมของ NOT Q เอาไว้ และในทำนองเดียวกัน NOT Q ก็จะเกิดการเปลี่ยนแปลงด้วยอันเนื่องจากค่าความจุไฟฟ้า C_{L2} ประจุไฟฟ้าหรือคายประจุไฟฟ้า ดังนั้นในขณะที่ CLK=0 ค่าแรงดัน NOT Q และ Q จะเกิดการเปลี่ยนแปลงเพียงเล็กน้อยทั้งคู่จนกว่าสถานะทางลอจิกที่ขับโดย TG2 จะทำหน้าที่ครบรอบการทำงาน และวงจร D ฟลิบฟลอบที่ดี ควรจะเกิดการเปลี่ยนแปลงค่าแรงดัน Q และ NOT Q เพียงเล็กน้อยในขณะที่ CLK=0

3.3.2.2 วงจร RS FLIP/FLOP

ฟลิบฟลอบคือส่วนความจำที่เก็บค่าของเลขฐานสองแต่ละบิตไว้ในรูปค่าแรงดันไฟฟ้าต่ำหรือสูง ซึ่งถ้านำนอร์เกตชนิดสัญญาณเข้า 2 สัญญาณมา 2 ตัว แล้วต่อสัญญาณเข้า R และ S ที่นอร์เกตตัวละสัญญาณแล้วให้ขาทางสัญญาณเข้าที่เหลือรับสัญญาณที่ออกจากนอร์เกตตัวตรงกันข้าม ย้อนกลับมาเป็นสัญญาณทางเข้า ดังรูปที่ 3.3-21 ก็จะได้ RS ฟลิบฟลอบแบบใช้นอร์เกต ซึ่งลักษณะการใช้งานของฟลิบฟลอบก็คือต้องการที่จะเก็บข้อมูลของค่าเลขฐานสองไว้

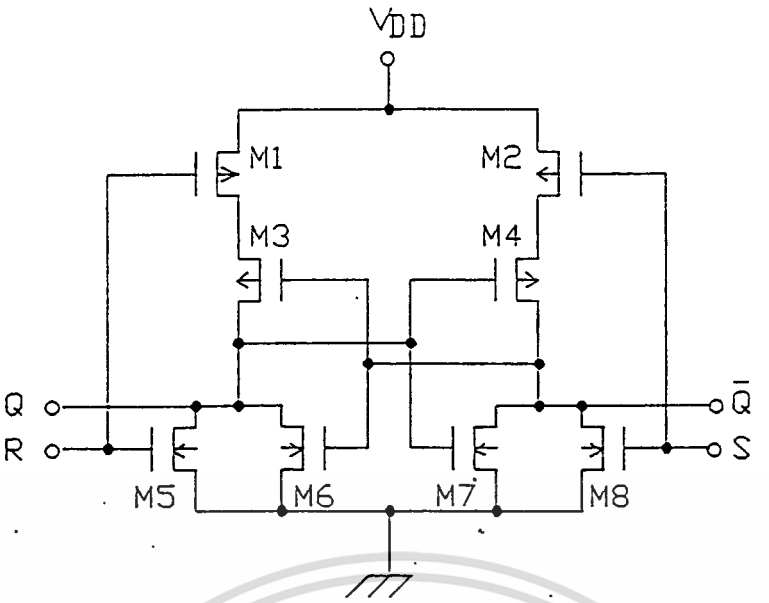


รูปที่ 3.3-21 แสดงวงจรฟลิบฟลอบแบบใช้นอร์เกต

ในวิทยานิพนธ์นี้ใช้วงจร CMOIS RS ฟลิบฟลอบ ที่มีพื้นฐานมาจากนอร์เกตโดยลักษณะของวงจรที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประกอบด้วยทรานซิสเตอร์แสดงดังรูป 3.3-22



รูปที่ 3.3-22 แสดงวงจรที่ประกอบด้วย CMOIS NOR RS ฟลิบฟลอบ

การทำงานของวงจรอย่างง่าย ๆจะทำงานได้ 3 สถานะคือ

1. ถ้าสัญญาณเข้า R=1 และ S=0 ทำให้ PMOIS M2 นำกระแส ในขณะที่ R=1 ทำให้ M5 นำกระแส ที่ Q เป็นสัญญาณลอจิก "0" ให้ทรานซิสเตอร์ PMOIS M4 นำกระแส ได้สัญญาณเอาท์พุทที่ NOT Q=1

2. ถ้าสัญญาณเข้า R=0 และ S=1 ทำให้ NMOIS M8 นำกระแส เอาท์พุทที่จุด NOT Q=0 ขณะที่ R=0 ทำให้ PMOIS M1 นำกระแส และ PMOIS M3 นำกระแส จากสัญญาณที่ NOT Q ดังนั้นได้สัญญาณที่จุดเอาท์พุท Q=1

3. ถ้าสัญญาณที่ R และ S=0 การทำงานของทรานซิสเตอร์จะไม่สามารถส่งสัญญาณออกมายังเอาท์พุท Q และ NOT Q ได้ ซึ่งจะทำให้สัญญาณที่เอาท์พุททั้งสองคงสภาวะเดิมก่อนที่จะมีสัญญาณอินพุทนี้เข้ามา

สำหรับการที่สัญญาณอินพุทเป็น 1 ทั้ง R และ S นั้น จากวงจรเห็นว่าทรานซิสเตอร์ NMOIS M5 และ M8 นำกระแส ทำให้ได้สัญญาณที่เอาท์พุท Q และ NOT Q เป็น 0 ทั้งคู่ ซึ่งโดยปกติแล้วจะไม่ยินยอมให้สภาวะนี้เกิดขึ้น คือจะไม่นำมาพิจารณา

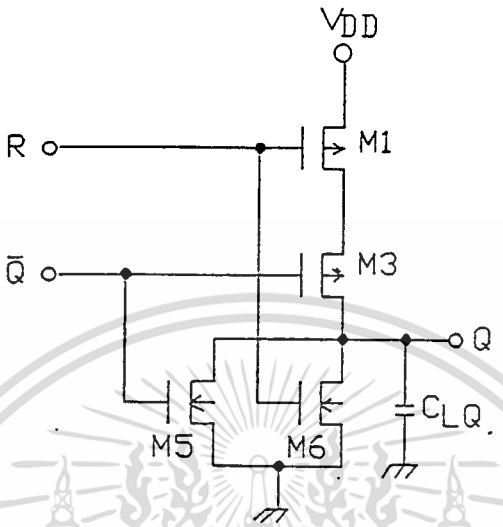
นั่นคือเมื่อสัญญาณ R=1 ,S=0 ทำให้ได้สัญญาณเอาท์พุท Q=0 และ NOT Q=1 เรียกกรณีนี้ว่า การเริ่มต้นใหม่ หรือรีเซ็ต (reset) และเมื่อสัญญาณ R=0 ,S=1 ทำให้ได้สัญญาณเอาท์พุท Q=1 และ NOT Q=0 เรียกกรณีนี้ว่าการตั้งค่า หรือเซ็ต (set) และกรณีสุดท้ายเมื่อ R=0 ,S=0 ได้สัญญาณที่เอาท์พุทคงเดิม ก่อนที่จะเกิดสภาวะนี้เรียกว่าไม่เกิดการเปลี่ยนแปลง (no change)

เนื่องจากการออกแบบวงจร RS ฟลิบฟลอบ ในวิทยานิพนธ์ฉบับนี้ทำการออกแบบทรานซิสเตอร์ทุก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

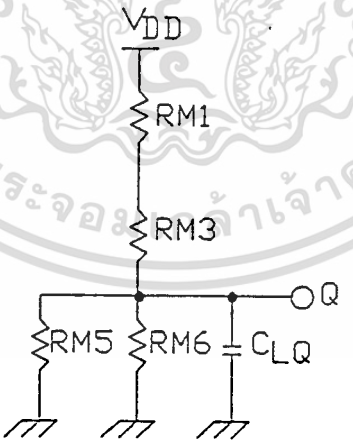
ตัวในวงจรมีขนาดเท่ากันหมด กล่าวคือเป็นขนาดที่เล็กที่สุดเท่าที่เทคโนโลยีในการผลิตวงจรรวมนี้จะอำนวยให้ ดังนั้นการพิจารณาค่าเวลาหน่วงของวงจร จึงสามารถพิจารณาระดับสัญญาณขาออกของขั้ว Q หรือ NOT Q ขั้วใดขั้วหนึ่งเท่านั้น โดยที่ค่าเวลาหน่วงที่หาได้จะเป็นค่าเวลาหน่วงของขั้วทั้งสองซึ่งควรจะมีค่าเท่ากัน เมื่อพิจารณาจากวงจร

พิจารณาขั้วแรงดันขาออก Q ค่าความจุไฟฟ้าที่ปรากฏแก่วงจร คือค่าความจุไฟฟ้า C_{LQ} ดังรูปที่ 3.3-23



รูปที่ 3.3-23 แสดงวงจร RS ฟลิปฟลอปที่ใช้ในการพิจารณาเวลาหน่วง

เมื่อทำการวิเคราะห์เวลาหน่วงของวงจร ตามแนวทางการวิเคราะห์วงจรที่นำเสนอในภาคผนวก ก จะสามารถแปลงรูปวงจรในรูปที่ 3.3-23 เป็นวงจรซึ่งประกอบด้วยความต้านทาน 4 ตัว และตัวเก็บประจุไฟฟ้าอีก 1 ตัว ดังรูปที่ 3.3-24



รูปที่ 3.3-24 แสดงวงจรสมมูลย์ที่ใช้พิจารณาเวลาหน่วงของวงจร RS ฟลิปฟลอป

โดยที่ ค่า RM3 และ RM1 = $(\rho_1+\rho_2)(Lp/Wp)$ = 7.8 กิโลโอห์ม

RM5 และ RM6 = $(\rho_1+\rho_2)(Ln/Wn)$ = 62 กิโลโอห์ม

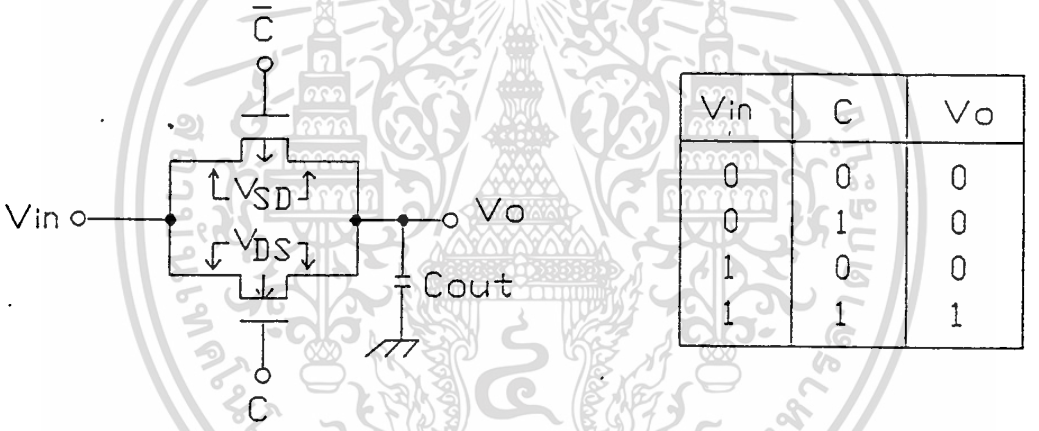
ดังนั้นในขณะที่วงจรเปลี่ยนสถานะจากสถานะต่ำไปสู่สถานะสูง ความต้านทานที่มีผลคือ ความต้าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทานที่เกิดจาก RM1 และ RM3 ซึ่งต่ออนุกรมกัน โดยกระแสจะไหลออกจากไฟเลี้ยงไปประจุตัวเก็บประจุ C_{LQ} จนเต็ม และในขณะที่วงจรเปลี่ยนสถานะจากสถานะสูงไปสู่สถานะต่ำ ความต้านทานที่ส่งผลแก่เวลาในการเปลี่ยนสถานะคือ RM5 และ RM6 ซึ่งต่อในลักษณะขนานกัน โดยประจุในตัวเก็บประจุ C_{LQ} จะคายประจุผ่านความต้านทานทั้งสองลงสู่จุดที่มีระดับแรงดันต่ำจนหมด และจากค่าความต้านทานทั้ง 4 ตัวในวงจรสามารถสรุปได้ว่า วงจรจะใช้เวลาในการเปลี่ยนสถานะจากสถานะสูงไปสู่สถานะต่ำน้อยกว่าเวลาในการเปลี่ยนจากสถานะต่ำไปสถานะสูง

3.3.2.3 วงจร Transmission Gate แบบ 2 input

วงจร Transmission Gate เป็นวงจรส่งผ่านสัญญาณที่ควบคุมการส่งผ่านด้วยสัญญาณนาฬิกาชนิดหนึ่ง เป็นวงจรพื้นฐานที่นิยมใช้ในการออกแบบวงจรรวมขนาดใหญ่ ที่นิยมใช้กันมากในปัจจุบัน ดังนั้นวงจรนี้จึงเหมาะที่จะนำมาสร้าง เพื่อเป็นวงจรมาตราฐานของการออกแบบวงจรด้วยเกทอะเรย์ วงจรทรานสมิทชั่นเกทแบบพื้นฐานจะประกอบด้วยทรานซิสเตอร์ชนิดเอ็นต่อขนานกับทรานซิสเตอร์ชนิดพีดังรูปที่ 3.3-25



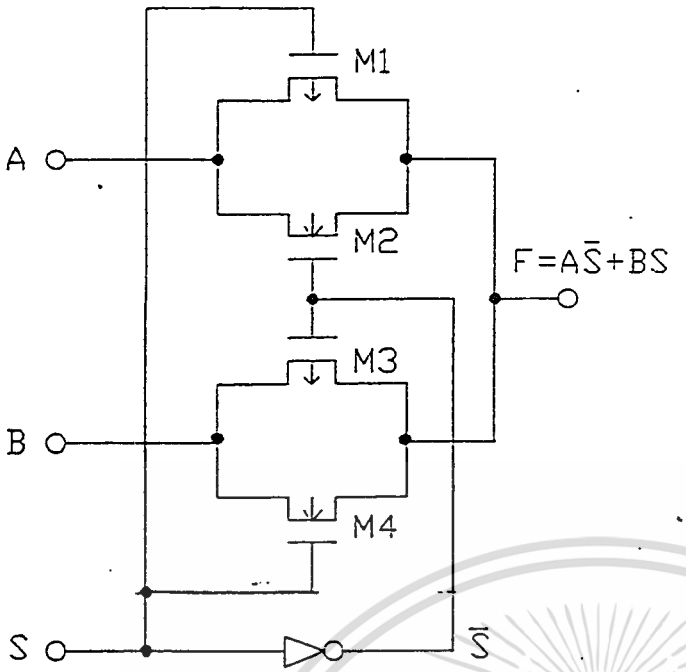
Vin	C	Vo
0	0	0
0	1	0
1	0	0
1	1	1

รูปที่ 3.3-25 แสดงวงจรพื้นฐาน Transmission Gate และตารางความจริงของวงจร

วงจรทรานสมิทชั่นเกทที่ออกแบบและสร้างด้วยทรานซิสเตอร์โครงสร้างแบบ CMOIS ในวิทยานิพนธ์ฉบับนี้ เป็นวงจรทรานสมิทชั่นเกทแบบแรงดันขาเข้า 2 ทาง (2 input transmission gate) ซึ่งสามารถใช้ประโยชน์ในการมัลติเพล็คสัญญาณได้ และมีประโยชน์ในการใช้งานมากกว่าวงจรทรานสมิทชั่นเกทแบบพื้นฐานธรรมดาลักษณะของวงจรเป็นไปดังรูป 3.3-26

จากวงจรในรูปที่ 3.3-26 และตารางความจริงของวงจรจะพบว่าเมื่อแรงดันที่ขาควบคุม มีค่าสูงกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด NMOIS ตัวที่ M4 จะทำให้ M4 ทำงานโดยเกิดช่องทางเดินกระแสขึ้นดังนั้น ค่าแรงดันที่ปรากฏที่จุด B จะปรากฏที่จุดแรงดันขาออกของวงจรด้วย นอกจากนี้แรงดันขาเข้าที่ขาควบคุมยังผ่านวงจรอินเวอร์เตอร์แล้วส่งสัญญาณขาออกของวงจรไปควบคุมทรานซิสเตอร์ M3 ทำให้ M3 เกิดการนำกระแสเช่นเดียวกัน เกิดช่องทางเดินกระแสขึ้นเป็นการอำนวยให้ค่าแรงดันที่จุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



A	B	S	□/P
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

รูปที่ 3.3-26 แสดงวงจร 2 input transmission gate และตารางความจริงของวงจร

B ปรากฏต่อจุดแรงดันขาออกได้ดียิ่งขึ้น ในขณะเดียวกันค่าแรงดันขาควบคุมยังถูกส่งไปควบคุมทรานซิสเตอร์ M1 และ M2 ในลักษณะที่ตัดช่องทางเดินกระแสของทรานซิสเตอร์ทั้งสองออกจากกัน ดังนั้นค่าแรงดันที่จุด A จะไม่มีทางไปปรากฏที่จุดแรงดันขาออกได้ ในทางตรงกันข้ามถ้าแรงดันที่ปรากฏที่ขาควบคุมมีค่าเป็นศูนย์ การทำงานจะเป็นไปในทำนองเดียวกัน แต่ทรานซิสเตอร์ที่ทำงานคือทรานซิสเตอร์ M1 และ M2 ส่วนทรานซิสเตอร์ที่หยุดทำงานโดยสิ้นเชิงคือ M3 และ M4 ดังนั้นค่าแรงดันที่ปรากฏที่จุด A จะไปปรากฏที่จุดแรงดันขาออกแทน

พฤติกรรมทางไฟฟ้าของวงจรสามารถอธิบายได้โดยใช้วงจรดังในรูป3.3-25โดยกำหนดให้แรงดันขาเข้า $V_{in} = V_{DD}$ ขั้วแรงดันขาออก V_o ต่อกับตัวเก็บประจุ C_{out} ซึ่งแทนตัวเก็บประจุที่โหลดวงจรอยู่ เริ่มต้น $V_{out} = 0$ ที่เวลา t=0 ขาควบคุมสัญญาณ C จะตอบสนองต่อสภาวะลอจิก 1 ที่ $V_c = V_{DD}$ ถึงจะยอมให้กระแส I ไหลผ่าน transmission gate ออกไปประจุที่ C_{out} แรงดันที่ V_{out} เป็นไปตามสมการมาตราฐาน (3.3-8)

$$Vout(t) = (1/Cout)\int_0^t I(T)dT \qquad (3.3\text{-}8)$$

เมื่อทรานซิสเตอร์ NMOIS และ PMOIS เป็น complementary ที่สามารถทำให้แรงดันขาออกมีค่าถึง $V_{out} = V_{DD}$

การแก้อินทิเกรตในสมการ (3.3-8)จะไม่กล่าวถึงในที่นี้ แต่จะแทนค่าประมาณอย่างง่าย ๆโดย

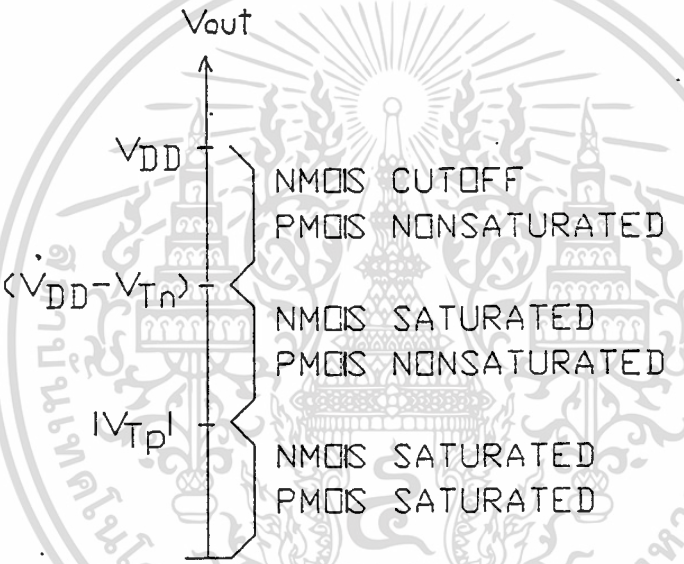
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมมุติให้เป็นวงจรเสมือนของความต้านทานเดรน-ซอส จะได้คุณสมบัติของวงจร transmission gate วงจรเสมือนที่เป็นค่าความต้านทานนี้ขึ้นอยู่กับการทำงานของ MOISFET ดังนั้นกรรมวิธีการประจุต้องศึกษาให้เข้าใจในเทอมของแรงดันที่ตกคร่อม MOISFET

ขั้นแรกพิจารณาที่ทรานซิสเตอร์ NMOIS ได้ว่า

$$V_{DSn} = V_{DD}-V_{OUT} \quad , \quad V_{GSn} = V_{DD}-V_{out} = V_{DSn} \qquad (3.3\text{-}9)$$

ดังนั้น NMOIS นำกระแสในช่วงอิ่มตัว จนกระทั่งมีค่าถึง $V_{out} = (V_{DD}-V_{Tn})$ เมื่อ output มีค่าถึงค่านี้ชั้นกลับจะหายไปเมื่อได้รับแรงดันที่เกท กระแสที่ไหลผ่านจะมีค่าเพิ่มขึ้นเรื่อย ๆจนถึงศูนย์ ซึ่งทำให้ระดับแรงดัน V_{out} มีค่ามากกว่านี้



รูปที่ 3.3-27 แสดงการทำงานของ MOISFET ที่ใช้ใน CMOIS transmission gate แรงดันที่รอยต่อของทรานซิสเตอร์ PMOIS

$$V_{SDp} = V_{DD}-V_{out} \quad , \quad V_{SGp} = V_{DD} \qquad (3.3\text{-}10)$$

แรงดันซอส-เกท V_{SGp} เป็นค่าคงที่ขณะที่แรงดัน input (Vin) และแรงดันควบคุม (V_c) มีสภาวะลอจิก 1 การทำงานของทรานซิสเตอร์ PMOIS ขึ้นอยู่กับ V_{out} เริ่มต้นที่ $V_{out}=0$ ดังนั้นตัวอุปกรณ์อยู่ในช่วงอิ่มตัว ขณะที่ V_{out} เพิ่มขึ้นถึง $|V_{Tp}|$ MOISFET ชนิดพี จะมีค่าถึงช่วงไม่อิ่มตัว และยังคงอยู่ที่ค่านี้จนกระทั่ง $V_{out} = V_{DD}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การวิเคราะห์คุณสมบัติทาง DC ของ transmission gate อย่างแรกต้องกำหนดว่ากระแสรวม I ที่ไหลผ่านเกทมีค่า

$$I = I_{Dn} + I_{Sp} \tag{3.3-11}$$

ขณะที่แรงดันตกคร่อม transmission gate เป็น

$$V_{DSn} = V_{DSp} = (V_{DD}-V_{out}) \tag{3.3-12}$$

ผลรวมของตัวความต้านทาน equivalent มีค่า

$$Req = (V_{DD}-V_{out})/I \tag{3.3-13}$$

ความต้านทานของทรานซิสเตอร์แต่ละตัวสามารถหาได้โดย

$$R_n = (V_{DD}-V_{out})/I_{Dn}$$

$$R_p = (V_{DD}-V_{out})/I_{Sp} \tag{3.3-14}$$

เมื่อความต้านทานทั้งสองตัวต่อขนานกัน

$$Req = R_nR_p/R_n+R_p \tag{3.3-15}$$

เป็นความสัมพันธ์ของความต้านทานใน transmission gate ทั้งหมด ดังนั้นจะทำการพิจารณาค่าความต้านทานของทรานซิสเตอร์โดยใช้หลักการที่นำเสนอในภาคผนวก ก จะได้ว่า

$$R_n = (\rho_1 + \rho_2)(L_n/W_n) \tag{3.3-16}$$

$$R_p = (\rho_1 + \rho_2)(L_p/W_p) \tag{3.3-17}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

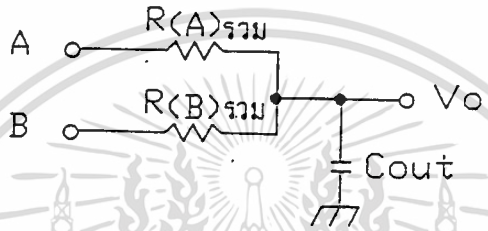
แทนค่าต่าง ๆซึ่งเป็นตัวแปรของทรานซิสเตอร์ทั้งสองลงในสมการแล้วจะพบว่า

$$R_n = 62 \quad k\Omega \quad \text{และ} \quad R_p = 7.8 \quad k\Omega$$

ดังนั้นค่าความต้านทานรวมที่เกิดจาก $R_n//R_p$ มีค่า

$$R_{รวม} = 6.9 \quad k\Omega$$

วงจรสมมูลย์อย่างง่ายที่จะนำไปพิจารณาค่าเวลาหน่วงต่าง ๆ เกิดขึ้นเพื่อสะดวกแก่ผู้ใช้งานเกทอะเรย์ จะเป็นไปดังรูปที่ 3.3-28



รูปที่ 3.3-28 แสดงวงจรสมมูลย์อย่างง่ายของวงจรทรานสมิทชั่นเกทแบบ 2 input

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

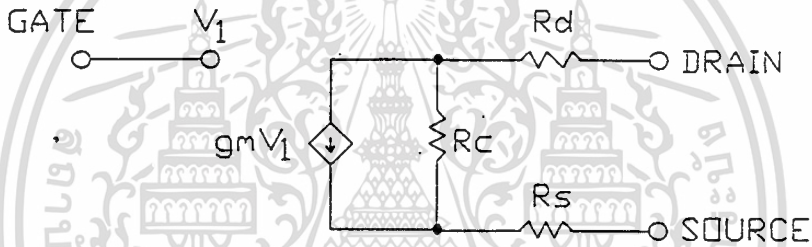
บทที่ 4

การทดลองและผลการทดลอง

ในบทที่ 1 ถึงบทที่ 3 ได้กล่าวถึงลักษณะของทรานซิสเตอร์โครงสร้างแบบ CMOIS ซึ่งนำมาออกแบบและสร้างเป็นวงจรพื้นฐานของเกทอะเรย์ พร้อมทั้งอธิบายการออกแบบวงจรพื้นฐานด้วยทรานซิสเตอร์โครงสร้างดังกล่าว และเสนอแนวโน้มพฤติกรรมทางไฟฟ้าของวงจรในด้านต่าง ๆซึ่งจำเป็นที่จะต้องใช้เป็นข้อมูลเบื้องต้นของการออกแบบวงจรแบบเกทอะเรย์ ในบทนี้เป็นการนำเสนอการทดสอบวงจรและคุณสมบัติทางไฟฟ้าในด้านต่าง ๆที่ได้กล่าวมาทั้งหมด ในบทก่อนหน้านี้

4.1 การทดลองและผลการทดลองวัดพารามิเตอร์ของแบบจำลองทางไฟตรงของทรานซิสเตอร์โครงสร้างแบบ MOIS

จากที่ได้อธิบายไว้แล้วในหัวข้อที่ 1.5 ในรูปที่ 1.5-1 ซึ่งแสดงอุปกรณ์ที่มีอิทธิพลทางไฟตรง โดยแฝงอยู่ในโครงสร้างทรานซิสเตอร์แบบ MOIS ซึ่งสามารถสรุปเป็นวงจรสมมูลย์ได้ดังรูปที่ 4.1-1



รูปที่ 4.1-1 แสดงวงจรสมมูลย์ทางไฟตรงของทรานซิสเตอร์โครงสร้าง MOIS

ในการออกแบบทรานซิสเตอร์โครงสร้างแบบ MOIS จะทำการออกแบบระยะห่างของขั้วเดรนและขั้วซอสซึ่งสัมผัสกับโลหะอลูมิเนียมเพื่อใช้เป็นขั้วไฟฟ้า กับของปลายสุดของขั้วด้านที่ติดกับช่องทางเดินกระแสเป็นระยะความยาวที่เท่า ๆกัน และในการสร้างขั้นตอนการเติมสารเจือเพื่อสร้างขั้วเดรนและซอสของทรานซิสเตอร์จะทำการสร้างพร้อม ๆ กัน ในสภาวะของสิ่งแวดล้อมเดียวกัน ดังนั้นค่าความต้านทาน R_d และ R_s ของทรานซิสเตอร์ควรจะมีค่าเท่ากัน

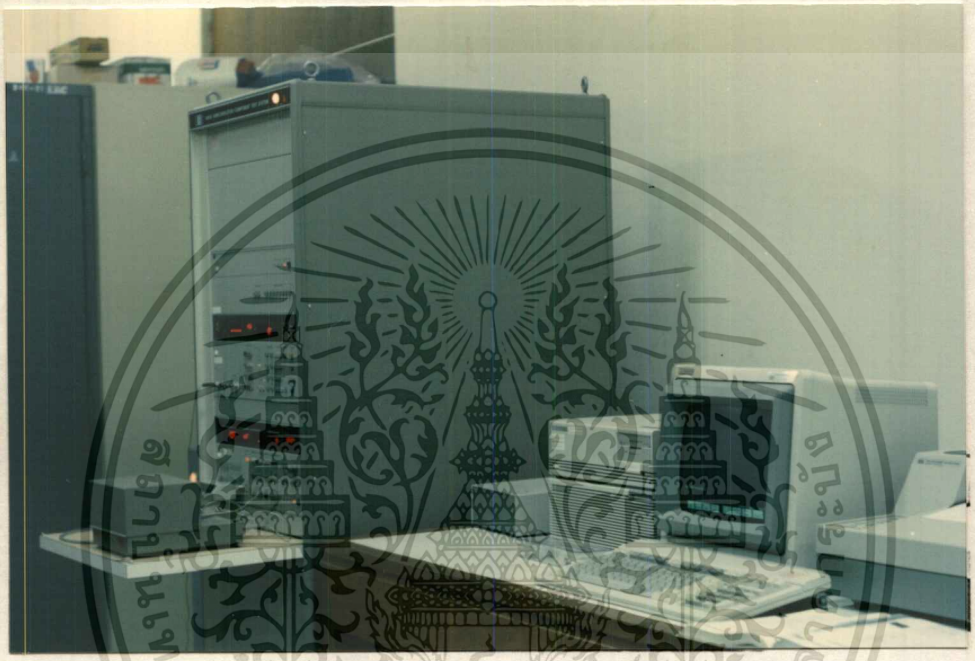
ค่า R_c ซึ่งเป็นค่าความต้านทานภายในของแหล่งกำเนิดกระแสที่ควบคุมด้วยแรงดัน V_1 จะเป็นค่าความต้านทานที่แปรค่าตามค่าแรงดัน V_1 ด้วย โดยในสภาวะที่ทรานซิสเตอร์กำลังทำงานในช่วงก่อนอิ่มตัว ทรานซิสเตอร์จะมีพฤติกรรมเป็นความต้านทานที่ควบคุมด้วยแรงดัน (Voltage control resistance) ซึ่งในกรณีนี้แหล่งกำเนิดกระแส (g_mV_1) สามารถตัดออกจากวงจรได้ในกรณีที่ต้องการเฉพาะค่าความต้านทานเท่านั้น

ดังนั้นในการทดลองจะทำการวัดค่าความต้านทานทั้งสามก่อน (R_c ,R_d และ R_s)โดยนำทรานซิสเตอร์โครงสร้าง MOIS ทั้งสองชนิด ซึ่งทราบค่าความกว้างและความยาวของช่องทางเดินกระแสที่แน่

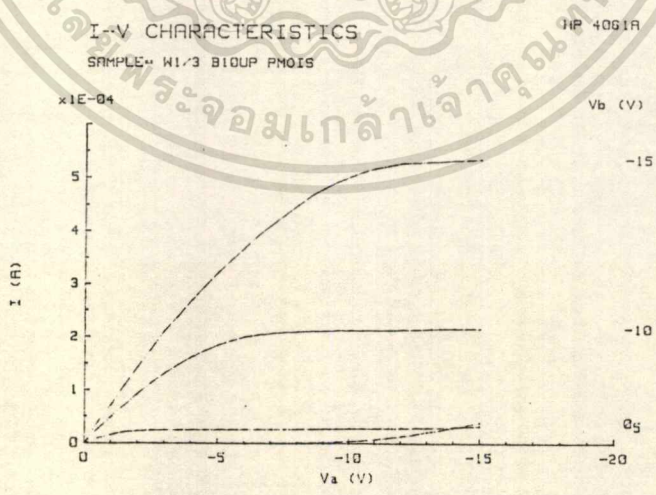
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอน ทำการหาคุณสมบัติกระแสและแรงดันของทรานซิสเตอร์ แล้วทำการพิจารณาค่าความต้านทานของทรานซิสเตอร์ในช่วงที่ทรานซิสเตอร์ทำงานก่อนเข้าสู่ช่วงอิ่มตัว

การหาคุณสมบัติกระแสและแรงดันของทรานซิสเตอร์โครงสร้าง MOIS จะใช้เครื่อง HP รุ่น 4061A Semiconductor test and measuring system ดังรูปที่ 4.1-2 ซึ่งแสดงการทดลองวัดคุณสมบัติกระแสและแรงดันของทรานซิสเตอร์ โดยเครื่องจะทำหน้าที่จ่ายแรงดันแก่ขั้วเดรน-ซอส และขั้วเกท แล้วบันทึกค่ากระแสที่ไหลผ่านขั้วเดรน พร้อมทั้งเก็บข้อมูลทั้งหมดเขียนเป็นความสัมพันธ์ของกระแสและแรงดันดังตัวอย่างในรูปที่ 4.1-3

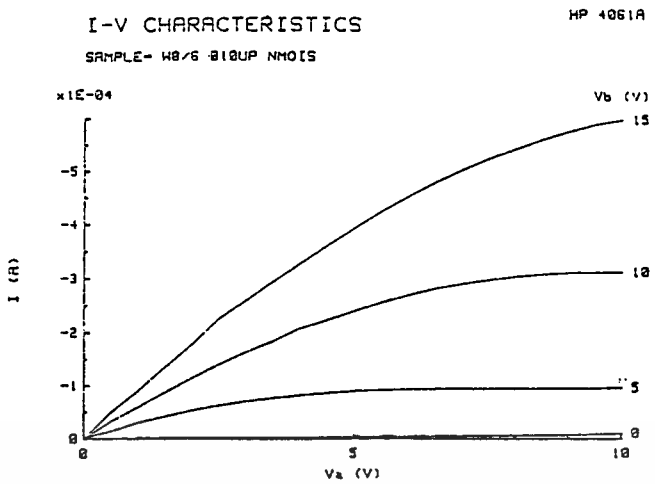


รูปที่ 4.1-2 แสดงเครื่องมือทดสอบอุปกรณ์สารกึ่งตัวนำ HP รุ่น 4061 A



(ก) PMOIS

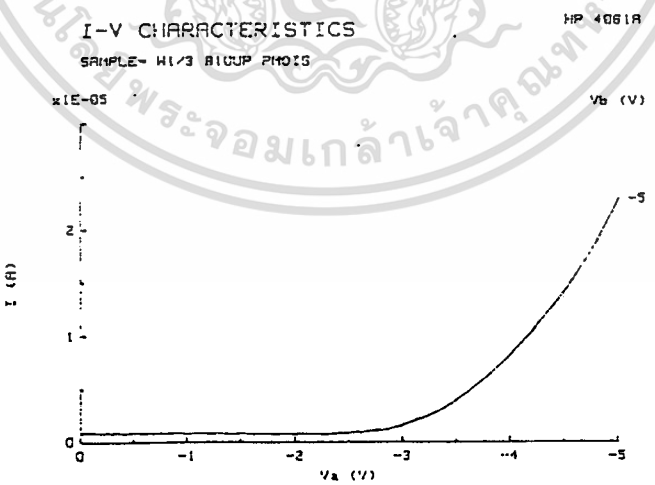
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข) NMOIS

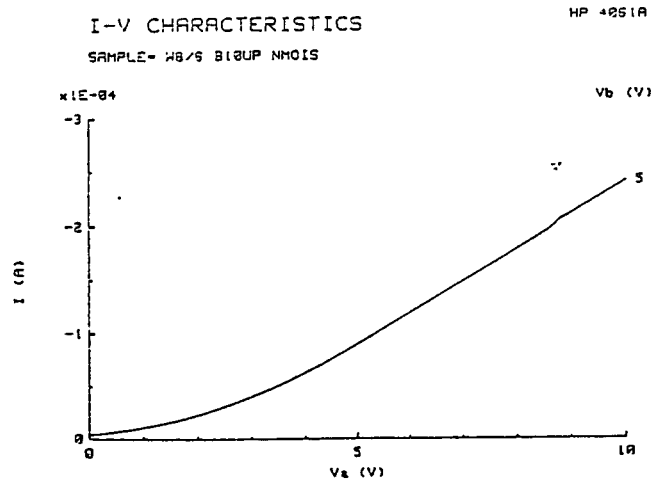
รูปที่ 4.1-3 แสดงตัวอย่างของความสัมพันธ์กระแสและแรงดันของทรานซิสเตอร์โครงสร้างแบบ MOIS ซึ่งได้จากการทดสอบด้วยเครื่อง HP 4061A

นอกจากเครื่องจะสามารถสร้างกราฟคุณสมบัติดังในรูปที่ 4.1-3 แล้ว เรายังสามารถจ่ายไฟเลี้ยงแก่ทรานซิสเตอร์ด้วยเครื่องมือดังกล่าว เพื่อทำการวัดค่าแรงดันขีดเริ่มของทรานซิสเตอร์โครงสร้างแบบ MOIS โดยป้อนแรงดันเดรน-ซอสให้คงที่ แล้วเปลี่ยนแปลงค่าแรงดันเกทของทรานซิสเตอร์ โดยทำการบันทึกค่ากระแสเดรนที่ไหลในทรานซิสเตอร์ แล้วทำการพล็อตกราฟคุณสมบัติออกมา จะได้รูปความสัมพันธ์ของกระแสและแรงดันซึ่งแสดงคุณสมบัติของแรงดันขีดเริ่มของทรานซิสเตอร์โครงสร้าง MOIS ดังตัวอย่างในรูปที่ 4.1-4



(ก) PMOIS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข) NMOIS .

รูปที่ 4.1-4 แสดงคุณสมบัติกระแสและแรงดันซึ่งแสดงค่าแรงดันขีดเริ่มของทรานซิสเตอร์โครงสร้างแบบ MOIS

เมื่อทราบค่าแรงดันขีดเริ่มของทรานซิสเตอร์แล้ว สามารถกำหนดจุดแรงดัน pinch off ของทรานซิสเตอร์ในกราฟคุณสมบัติกระแสและแรงดันได้ จากนั้นจะทำการพิจารณาค่าความต้านทานของทรานซิสเตอร์ในสภาวะที่ทรานซิสเตอร์ทำงานในช่วงก่อนอิ่มตัวที่ทรานซิสเตอร์ซึ่งมีค่าอัตราส่วนความกว้างต่อความยาวของช่องทางเดินกระแสค่าต่าง ๆ และทำการเปรียบเทียบผลการทดลองที่ได้จากการวัดกับผลที่ได้จากทฤษฎีทางการคำนวณซึ่งนำเสนอไว้แล้วในบทที่ 1 ดังสมการที่ (1.2-2) รวมกับค่าความต้านทานซึ่งเกิดจากการออกแบบขั้วเดรนและขั้วซอสดังนี้คือ

ค่าความต้านทานที่ผิวของสารกึ่งตัวนำ (R_{sheet}) มีค่าดังสมการที่ (4.1-1)

$$R_s = \rho_s(l/w) \qquad (4.1\text{-}1)$$

โดยที่ ρ_s คือค่าพิกัดความต้านทานที่ผิวของขั้วเดรนและซอส

l คือความยาวระหว่างจุดสัมผัสอลูมิเนียมซึ่งเป็นขั้วไฟฟ้ากับจุดปลายสุดของขั้วเดรนหรือซอสซึ่งติดกับช่องทางเดินกระแส (ในการออกแบบของวิทยานิพนธ์ฉบับนี้ใช้ค่า 60 ไมโครเมตร)

w คือค่าความกว้างของส่วนความยาว l ซึ่งกระแสไหลผ่าน (มีค่าเท่ากับค่าความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์)

ดังนั้นค่า R รวม ซึ่งคำนวณตามทฤษฎีคือค่าความต้านทานซึ่งคิดได้จากสมการที่ (1.2-2) รวมกับค่าความต้านทาน R_s ของขั้วเดรนและซอสของทรานซิสเตอร์ ซึ่งได้ผลการทดลองเป็นไปดังตารางที่ 4.1-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.1-1 (ก) แสดงค่าความต้านทานของทรานซิสเตอร์ชนิด PMOIS ในขณะที่ทรานซิสเตอร์ทำงานในช่วงเชิงเส้น

ลำดับที่	w (μm)	l (μm)	$R_{รวม}$(ทดลอง)(kΩ) ที่ V_{GS} = (V)			$R_{รวม}$ (ทฤษฎี)(kΩ) ที่ V_{GS} = (V)			ความแตกต่าง (%)		
			-5V	-10V	-15V	-5V	-10V	-15V	-5V	-10V	-15V
1	40	40	88.7	18.1	10.3	90.15	20.08	11.76	1.6	9.9	12.4
2	40	20	42.4	9.1	4.3	45.07	10.4	5.87	5.9	12.5	26.7
3	60	20	29.2	5.3	2.7	30.05	6.46	3.91	2.8	18	30.9
4	100	20	16.5	3.7	1.85	18.03	4.16	2.35	8.5	11.1	21.3

ตารางที่ 4.1-1 (ข) แสดงค่าความต้านทานของทรานซิสเตอร์ชนิด NMOIS ในขณะที่ทรานซิสเตอร์ทำงานในช่วงเชิงเส้น

ลำดับที่	w (μm)	l (μm)	$R_{รวม}$(ทดลอง)(kΩ) ที่ V_{GS} = (V)			$R_{รวม}$ (ทฤษฎี)(kΩ) ที่ V_{GS} = (V)			ความแตกต่าง (%)		
			5V	10V	15V	5V	10V	15V	5V	10V	15V
1	40	40	130	36.5	22.7	135.2	40.07	27.04	3.9	8.9	16.1
2	40	20	62.7	19.2	10.1	67.61	22.53	13.52	7.3	14.8	25.3
3	60	20	41.3	10.1	7.9	45.07	13.52	9.01	8.4	25.3	12.3
4	100	20	22.6	7.8	4.1	27.04	9.01	5.4	16.4	13.4	24.1

ขณะที่ทรานซิสเตอร์ทำงานในสภาวะอิ่มตัว ค่าความต้านทานทุกตัวในวงจรจะยังคงมีอยู่เช่นเดียวกับขณะที่ทรานซิสเตอร์ทำงานในช่วงไม่อิ่มตัว โดยมีส่วนที่เป็นค่าความต้านทานเดียวกันคือค่า R_d และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

R_s ส่วนค่า R_c และ g_m เปลี่ยนแปลงไป

พิจารณาค่า g_m

การหาค่า g_m จากกราฟคุณสมบัติกระแสและแรงดันจะพิจารณาตามทฤษฎีคือ หาอัตราการเปลี่ยนแปลงกระแสเดรนต่อแรงดันเกทที่เปลี่ยนแปลงไปโดยใช้ค่ากระแสที่หาได้จากกราฟคุณสมบัติกระแสและแรงดันในรูปที่ 4.1-3 แล้วทำการเทียบค่า g_m ที่ได้กับค่า g_m ที่ได้จากทฤษฎีในสมการที่ (1.2-4) ซึ่งนำเสนอไว้ในบทที่ 1

พิจารณาค่า R_c

ค่า R_c ซึ่งเกิดขึ้นในขณะที่ทรานซิสเตอร์กำลังทำงานในช่วงอิ่มตัวนี้ จะส่งผลให้ค่ากระแสเดรนของทรานซิสเตอร์มีค่าไม่คงที่ โดยค่ากระแสจะเพิ่มขึ้นเมื่อแรงดันเดรนซอสของทรานซิสเตอร์เพิ่มขึ้น ค่าความชันของกราฟคุณสมบัติกระแสและแรงดันในช่วงที่ทรานซิสเตอร์ทำงานในช่วงอิ่มตัว คือค่าความต้านทาน R_c รวมกับค่าความต้านทาน R_d และ R_s ซึ่งมีค่าเท่ากับความต้านทานในช่วงทรานซิสเตอร์ทำงานแบบไม่อิ่มตัว

ผลการทดลองแสดงได้ดังตารางที่ 4.1-2

ตารางที่ 4.1-2 (ก) แสดงค่า G_m และ R ในช่องทางเดินกระแสของทรานซิสเตอร์ชนิด PMOIS ในขณะที่ทรานซิสเตอร์ทำงานในช่วงอิ่มตัว

ลำดับที่	W (μ_m)	L (μ_m)	G_m (mho) (ทดลอง)	G_m (mho) (ทฤษฎี)	ความแตกต่าง (%)	$R_c+R_d+R_s$ (ทดลอง) (kΩ)
1	40	40	$1.65*10^{-5}$	$1.84*10^{-5}$	10.32	960.75
2	40	20	$3.11*10^{-5}$	$3.69*10^{-5}$	15.71	716.16
3	60	20	$4.35*10^{-5}$	$5.54*10^{-5}$	21.48	781.8
4	100	20	$7.16*10^{-5}$	$9.24*10^{-5}$	22.5	750.6

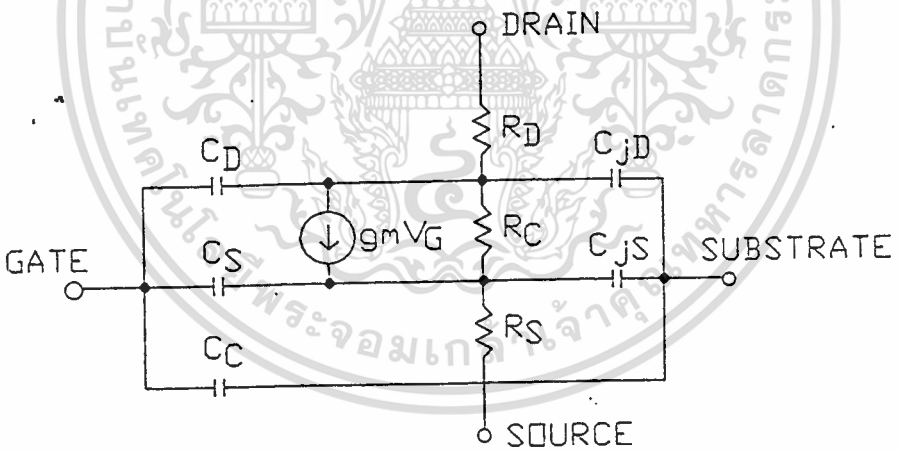
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.1-2 (ข) แสดงค่า G_m และ R ในช่องทางเดินกระแสของทรานซิสเตอร์ชนิด NMOIS ในขณะที่ทรานซิสเตอร์ทำงานในช่วงอิ่มตัว

ลำดับที่	W (μ_m)	L (μ_m)	G_m (mho) (ทดลอง)	G_m (mho) (ทฤษฎี)	ความแตกต่าง (%)	$R_c+R_d+R_s$ (ทดลอง) (kΩ)
1	40	40	$0.95*10^{-5}$	$1.03*10^{-5}$	7.76	865.7
2	40	20	$1.81*10^{-5}$	$2.07*10^{-5}$	12.56	639.7
3	60	20	$2.51*10^{-5}$	$3.10*10^{-5}$	19.03	681.6
4	100	20	$3.98*10^{-5}$	$5.17*10^{-5}$	23.01	701.8

4.2 การทดลองและผลการทดลองวัดพารามิเตอร์ของแบบจำลองทางไฟสลับของทรานซิสเตอร์โครงสร้างแบบ MOIS

แบบจำลองทางไฟสลับของทรานซิสเตอร์โครงสร้างแบบ MOIS ซึ่งแสดงไว้ดังรูปที่ สามารถเขียนเป็นวงจรสมมูลย์ดังรูปที่ 4.2-1



รูปที่ 4.2-1 แสดงวงจรสมมูลย์ของทรานซิสเตอร์โครงสร้างแบบ MOIS

พารามิเตอร์ซึ่งกล่าวถึงไปแล้วในหัวข้อที่ 4.1 คือ gm ,R_S ,R_D ,R_C จะไม่กล่าวในที่นี้อีก แต่จะทำการทดลองวัดค่าพารามิเตอร์ตัวอื่น ๆที่จำเป็นคือ C_D ,C_S ,C_{JD} ,C_{JS} และ C_C เท่านั้น ซึ่งเป็นอุปกรณ์ทางไฟฟ้าที่เกี่ยวข้องกับพารามิเตอร์ทางไฟสลับของทรานซิสเตอร์แบบ MOIS

พิจารณา C_D และ C_S ซึ่งเป็นตัวเก็บประจุไฟฟ้าที่เกิดขึ้นระหว่างแผ่นโลหะชั้วเกทกระทำกับส่วนเกิน (OVERLAP) ซึ่งเกิดจากการออกแบบชั้วเกทไปบนชั้วเดรนและซอสของทรานซิสเตอร์ (ซึ่งเป็นสาร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กึ่งตัวนำชนิดพีสำหรับ PMOIS และสารกึ่งตัวนำชนิดเอ็นสำหรับ NMOIS) พบว่าลักษณะการเกิดของตัวเก็บประจุทั้งสองนี้เหมือนกับการเกิดตัวเก็บประจุ ซึ่งเกิดจากส่วนซ้อนทับของการออกแบบทรานซิสเตอร์แบบ MOS ธรรมดา ดังนั้นค่าตัวเก็บประจุไฟฟ้า C_D และ C_S ในวงจรดังรูปที่ 4.2-1 จึงควรมีค่าความจุไฟฟ้าเช่นเดียวกับทรานซิสเตอร์แบบ MOS ทั่วไปคือ [6]

ช่วงไม่ทำงาน $C_D = C_S = 0$ (4.2-1)

ช่วงไม่อิ่มตัว $C_D = (1/2)\, C_{ox}\, WL\, [1-(V_{DS}/V_{DS(sat)})]$ (4.2-2)

$C_S = (1/2)\, C_{ox}\, WL\, [1+(V_{DS}/3V_{DS(sat)}]$ (4.2-3)

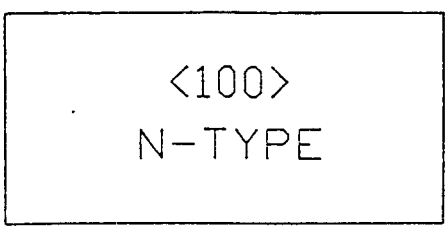
ช่วงอิ่มตัว $C_D = 0$ (4.2-4)

$C_S = (2/3)\, C_{ox}\, (W/L)$ (4.2-5)

โดยที่ C_{ox} คือค่าความจุไฟฟ้าของชั้นฉนวนออกไซด์

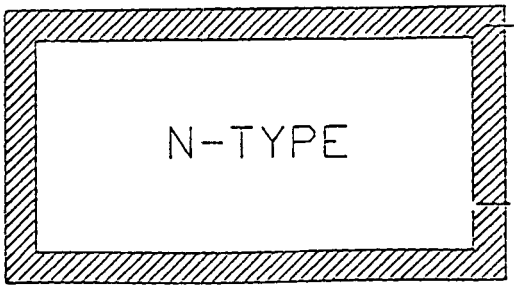
ตัวเก็บประจุไฟฟ้า C_C เกิดจากขั้วโลหะของเกทกระทำต่อช่องทางเดินกระแส ซึ่งบริเวณช่องทางเดินกระแสของทรานซิสเตอร์แบบ MOIS คือสารกึ่งตัวนำชนิดเอ็นที่ได้รับการเติมอะตอมทองคำเรียบร้อยแล้ว ซึ่งแตกต่างจากทรานซิสเตอร์โครงสร้าง MOS ทั่ว ๆไป ที่ช่องทางเดินกระแสจะเป็นสารกึ่งตัวนำชนิดเอ็นสำหรับทรานซิสเตอร์แบบ PMOS จะเป็นสารกึ่งตัวนำชนิดพีของทรานซิสเตอร์แบบ NMOS ดังนั้นค่าความจุไฟฟ้า C_C ในวงจรดังรูปที่ 4.2-1 จึงแตกต่างจาก MOS ทั่ว ๆไป และเป็นสิ่งที่ต้องการทราบเพื่อกำหนดค่าความจุไฟฟ้าขาเข้าของ MOISFET ได้

ในการทดลองเพื่อหาค่าความจุไฟฟ้า C_C จะทำการสร้างชั้นสารกึ่งตัวนำซึ่งสามารถแทนโครงสร้างของช่องทางเดินกระแสของทรานซิสเตอร์แบบ MOIS ดังนี้คือ

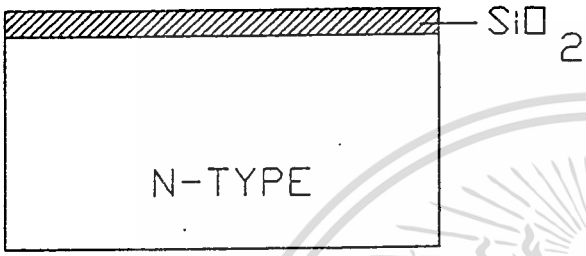


แผ่นผลึกซิลิกอนระนาบ <100> ทำความสะอาดด้วยกระบวนการมาตราฐาน

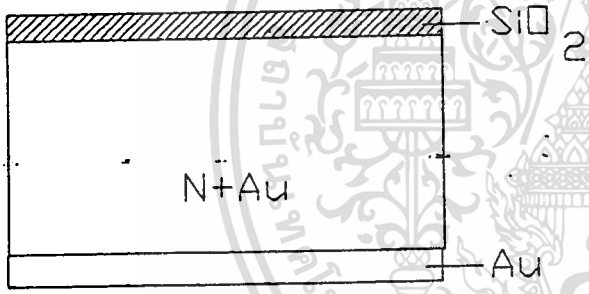
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



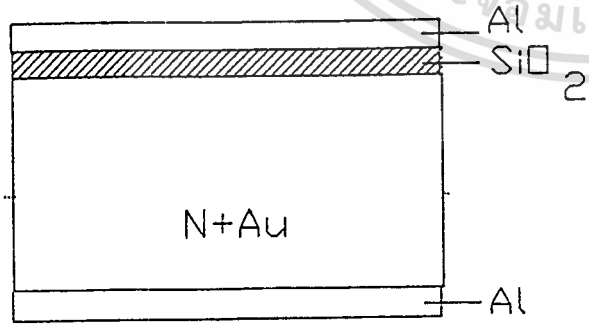
สร้างชั้นออกไซด์ชั้นปกคลุมแผ่นผลิกแทนชั้นเกทออกไซด์ โดยใช้อุณหภูมิ 1100 องศาเซลเซียส นาน 20 นาที



กัดออกไซด์ด้านหลังแผ่นผลิกออก โดยทา Az ด้านหน้าแผ่นแล้วกัด Oxide-ด้านหลังแผ่น



เคลือบทองคำด้านหลังของแผ่นผลิก แล้วขัดผิวทองคำนาน 90 นาที



เคลือบด้วยโลหะ Al ทั้งสองด้านของแผ่นผลิก แล้วอบที่ 500 องศาเซลเซียส นาน 10 นาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อทำการสร้างชิ้นสารเสร็จเรียบร้อยแล้ว ทำการวัดคุณสมบัติความจุไฟฟ้าแรงดันด้วยเครื่อง HP 4061A เช่นเดียวกับการวัดคุณสมบัติกระแสและแรงดันโดยกำหนดพารามิเตอร์ที่จำเป็นแก่เครื่องคือ

1. พื้นที่ของตัวเก็บประจุกำหนดขนาดเท่ากับ 4 mm^2
2. ความหนาของชั้นฉนวนออกไซด์เท่ากับ 700 อังสตรอม
3. ความถี่ในการวัดมีค่า 100 KHz
4. อุณหภูมิขณะวัด 27 องศาเซลเซียส
5. ช่วงแรงดันของการวัดไม่เกิน $\pm$10 โวลต์

เมื่อเครื่องทำการวัดค่าความจุไฟฟ้าแล้วจะแสดงผลค่าความจุไฟฟ้าที่วัดได้ต่อค่าความจุไฟฟ้าจำเพาะ (C_{ox}) และคำนวณค่าพารามิเตอร์อื่น ๆ ที่จำเป็นในการคำนวณตัวแปรเกี่ยวกับทรานซิสเตอร์ระบบ MOS คือ

ก. Nsub คือค่าความหนาแน่นของประจุบริเวณฐานรอง

$$Nsub = [4\phi f/q\epsilon_o K_{si}][C_{s(min)}/A]^2 \qquad (4.2\text{-}6)$$

โดยที่ ϕ_f คือค่าพลังงานเฟอร์มิของฐานรองมีค่า

$$\phi_f = \pm(KT/q)\ \ln(Nsub/n_i)$$

q คือประจุอิเลคตรอน ($1.602*10^{-19}$ C)

ϵ_o คือค่าเพอร์มิติวิตี้ของสูญญากาศ ($8.854*10^{-14}$ F/cm)

Ksi คือค่าคงที่ไดอิเลคทริกของ Si (11.7)

$C_{s(min)}$ คือค่าความจุไฟฟ้าต่ำสุดของ space charge capacitance มีค่า

$$C_{s(min)} = (Cmin\ Cox)/(Cox-Cmin)$$

A คือค่าพื้นที่ของตัวเก็บประจุ

K คือค่าคงที่ของโบสมานต์ ($1.38*10^{-23}$ J/K)

T คืออุณหภูมิสัมบูรณ์

n_i คือค่าความหนาแน่นประจุของสารกึ่งตัวนำบริสุทธิ์ มีค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$n_i = (3.9*10^{16})\ T^{(3/2)}\ EXP(-1.21q/2KT)$$

ข. Cfb คือค่าความจุไฟฟ้าของแฟลตแบนด์ (flat band capacitance)

$$Cfb = (Cox\ Csfb)/(Cox+Csfb) \qquad (4.2\text{-}7)$$

โดยที่ Cox คือค่าความจุไฟฟ้าของชั้นฉนวนออกไซด์

Csfb คือค่าความจุไฟฟ้าของช่วงปลอดพาหะขณะแฟลตแบนด์ มีค่า

$$Csfb = (\sqrt{2}\ A\epsilon_o Ksi)/\lambda$$

$$\lambda = \sqrt{(2KT\ \epsilon_o\ Ksi)/(q^2 Nsub)}$$

โดยที่ λ คือค่าความยาวของเดอร์บายด์ (Debye lenght)

ค. Vfb คือค่าแรงดันซึ่งใกล้เคียงกับจุดที่ใช้คำนวณค่า Cfb

ง. Qss/q คือค่าประจุที่ผิวต่อพื้นที่ มีค่า

$$Qss/q = (Cox/Aq)(\phi w-\phi f-V_{fb}) \qquad (4.2\text{-}8)$$

โดยที่ øw คือค่าฟังก์ชั่นงานของโลหะ (-0.6V) อลูมิเนียม

จ. V_{th} คือค่าแรงดันขีดเริ่ม มีค่า

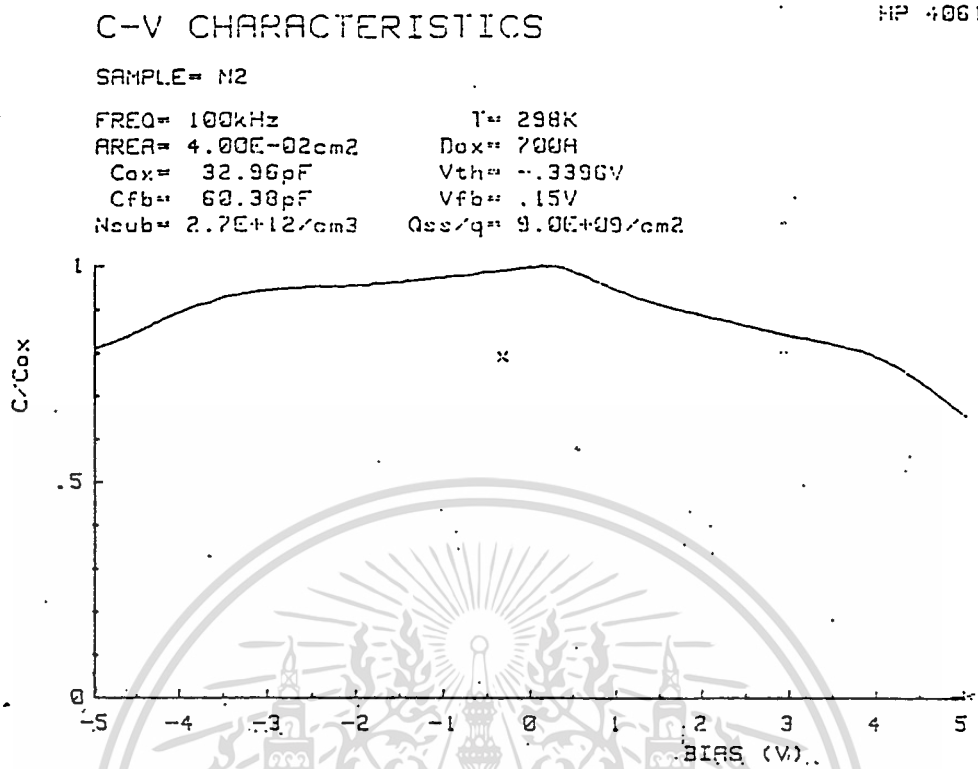
$$V_{th} = Vfb+2\phi f+(A\ Qb/Cox) \qquad (4.2\text{-}9)$$

โดยที่ Qb คือจำนวนประจุต่อหนึ่งหน่วยพื้นที่ มีค่า

$$Qb = \pm(Nsub\ q\ \epsilon_o\ Ksi)/Cs(min)$$

ค่าทั้งหมดจะถูกเขียนบนกระดาษแสดงผล ดังผลการทดลองในรูปที่ 4.2-2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2-2 แสดงตัวอย่างผลการทดลองวัดค่าความจุไฟฟ้าของตัวเก็บประจุแบบ MOIS (Cc)

ค่าตัวเก็บประจุไฟฟ้า Cj_D และ Cj_S ซึ่งเกิดจากรอยต่อชั้วเดรนและซอสกับฐานรอง ซึ่งในขณะที่ใช้งานทรานซิสเตอร์โครงสร้างแบบ MOIS ตัวฐานรองของทรานซิสเตอร์จะปล่อยลอยเอาไว้โดยไม่ต่อไฟเลี้ยง ดังนั้นตัวเก็บประจุทั้งสองจึงไม่ส่งผลใด ๆต่อการทำงานของ MOISFET

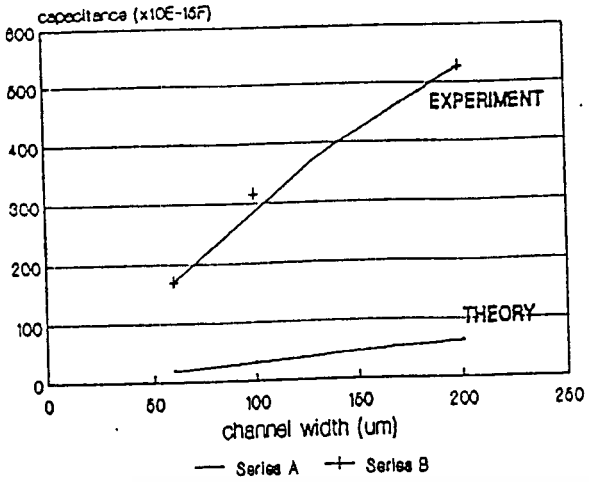
หลังจากทราบค่าความจุไฟฟ้าทั้งสามคือ C_D ,C_S และ C_C แล้วทำการทดลองวัดค่าความจุไฟฟ้าขาเข้าของ MOISFET ทั้งสองชนิด ที่ค่าแรงดันชั้วเกทมีค่า 5 โวลต์ และแรงดัน V_{DS} มีค่าสูงสุด 10 โวลต์ โดยทำการวัดขณะที่ทรานซิสเตอร์ทำงานในช่วงอิ่มตัว และไม่อิ่มตัวคือ

ช่วงไม่อิ่มตัววัดที่ V_{DS} = 1.5 โวลต์

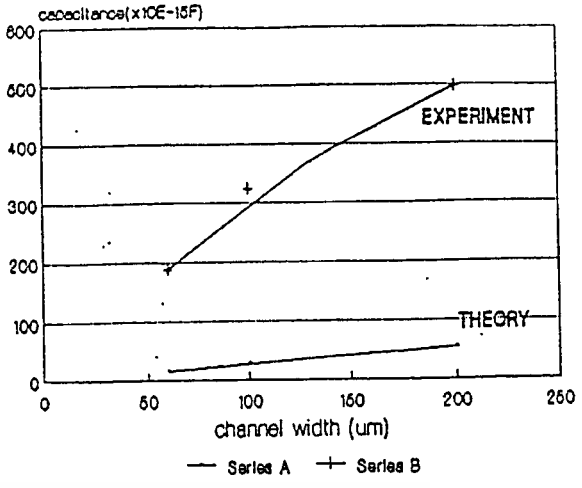
ช่วงอิ่มตัววัดที่ V_{DS} = 5 โวลต์

เมื่อได้ค่าความจุไฟฟ้าแล้วทำการเขียนกราฟเปรียบเทียบระหว่างค่าที่คำนวณได้กับค่าที่ได้จากการทดลอง จะเป็นไปดังรูปที่ 4.2-3

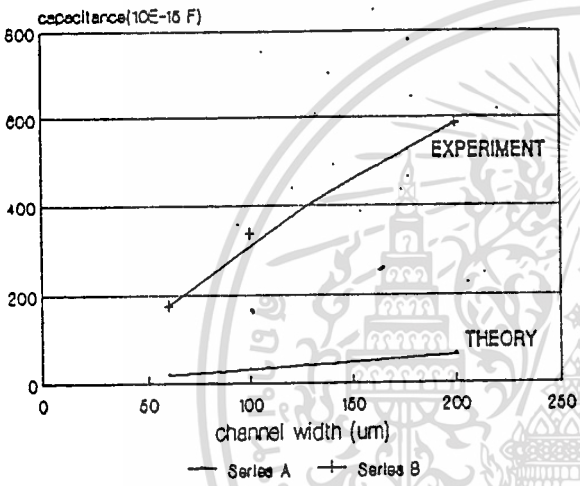
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



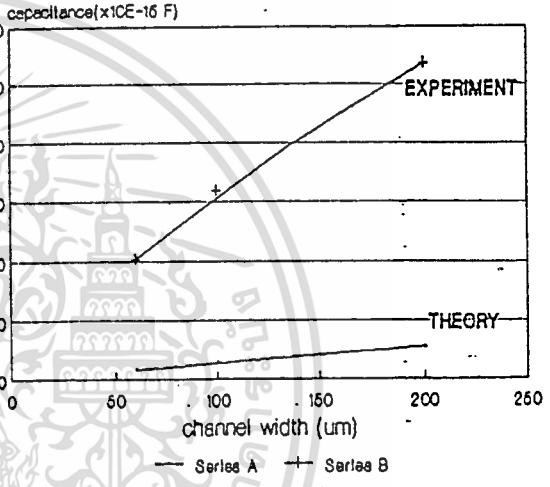
ก. PMOIS ช่วงไม่อิ่มตัว



ข. PMOIS ช่วงอิ่มตัว



ค. NMOIS ช่วงไม่อิ่มตัว



ง. NMOIS ช่วงอิ่มตัว

รูปที่ 4.2-3 แสดงผลการเปรียบเทียบค่าความจุไฟฟ้าขาเข้าของ MOISFET ที่ได้จากการทดลอง และการคำนวณ

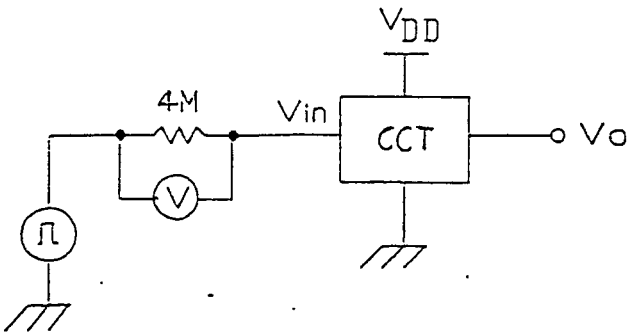
4.3 การทดลองและผลการทดลองวัดกระแสขาเข้าของวงจรรับสัญญาณขาเข้าแบบกลับเฟส และไม่กลับเฟสกับสัญญาณขาเข้า

เมื่อพิจารณาวงจรรับสัญญาณขาเข้าทั้งแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้าจะพบว่า จุดแรงดันขาเข้าจะเชื่อมต่อกับชั้วเกทของทรานซิสเตอร์ชนิด PMOIS และ NMOIS อย่างละหนึ่งตัว ซึ่งเมื่อพิจารณาจากวงจรสมมูลย์ของทรานซิสเตอร์แล้วจะพบว่าจุดแรงดันขาเข้าของทรานซิสเตอร์คือ ตัวเก็บประจุไฟฟ้า C_D ,C_S และ C_C ต่อขนานกันอยู่ดังนั้น ค่ากระแสขาเข้าที่ไหลเข้าสู่วงจรคือค่ากระแสที่ไหลไปประจุตัวเก็บประจุทั้ง 3 ตัวนั้น

เมื่อตัวเก็บประจุไฟฟ้าแสดงอิธิพลต่อกระแสขาเข้า ดังนั้นในการทดสอบจึงจำเป็นต้องป้อนสัญญาณ

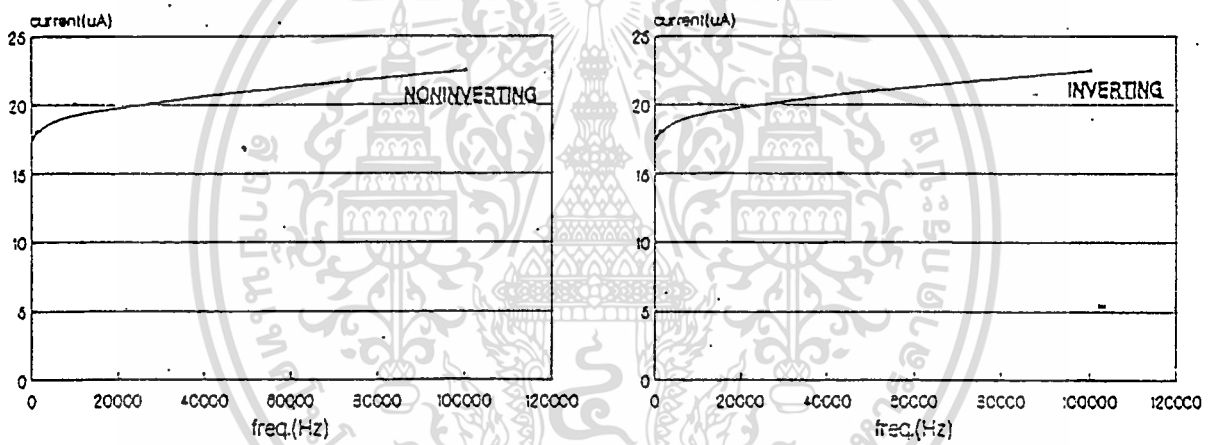
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไฟสลับแก่วงจร แล้วทำการวัดค่ากระแสซึ่งไหลเข้าวงจร และเนื่องจากวงจรที่สร้างขึ้นนิยมนำไปใช้เป็นวงจรรวมทางดรรก ดังนั้นสัญญาณไฟสลับที่ป้อนแก่วงจรจึงเป็นสัญญาณสี่เหลี่ยม ดังรูปที่ 4.3-1



รูปที่ 4.3-1 แสดงวงจรทดสอบค่ากระแสขาเข้าของวงจรรับสัญญาณขาเข้า

ตัวความต้านทาน 4 MΩ จะเป็นตัวตรวจสอบค่ากระแสที่ไหลเข้าสู่วงจร โดยอ่านค่าแรงดันซึ่งปรากฏที่โวลต์มิเตอร์ (ใช้ CRT) แล้วคำนวณค่ากระแสที่ไหลผ่านตัวความต้านทาน จากนั้นทำการบันทึกค่ากระแสสูงสุดที่ค่าความถี่ต่าง ๆที่ป้อนแก่วงจร ผลการทดลองเป็นไปดังรูปที่ 4.3-2



ก. แบบไม่กลับเฟส ข. แบบกลับเฟส

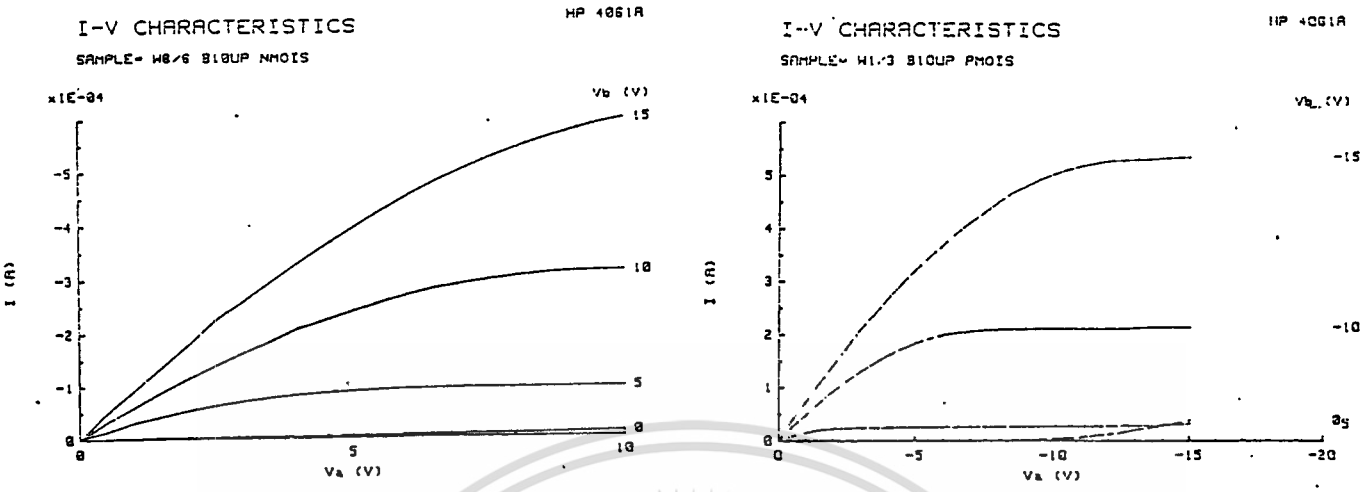
รูปที่ 4.3-2 แสดงผลการวัดค่ากระแสขาเข้าของวงจรรับสัญญาณขาเข้าที่ความถี่ต่าง ๆ(โดย HPG)

4.4 การทดลองและผลการทดลองวัดค่ากระแสขาออกของวงจรส่งสัญญาณขาออกแบบกลับเฟส และไม่กลับเฟสกับสัญญาณขาเข้า

เมื่อพิจารณาวงจรส่งสัญญาณขาออกแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า ซึ่งมีลักษณะของวงจรเช่นเดียวกับวงจรรับสัญญาณขาเข้า แต่ต่างกันที่ขนาดของทรานซิสเตอร์ซึ่งขับกระแสตามต้องการ จะพบว่าขณะที่วงจรส่งสัญญาณขาออกสถานะสูง ตัวจ่ายกระแสแก่วงจรภายนอกคือทรานซิสเตอร์ชนิด PMOIS และขณะที่วงจรส่งสัญญาณขาออกสถานะต่ำ ตัวที่รับกระแสจากวงจรภายนอกคือทรานซิสเตอร์ชนิด NMOIS ดังนั้นในการทดสอบการรับและจ่ายกระแสของวงจรคือ การพิจารณาคุณสมบัติกระแสและ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดันของทรานซิสเตอร์ซึ่งทำหน้าที่ดังที่กล่าวมาแล้ว ฉะนั้นการทดสอบในหัวข้อนี้จึงเป็นการทดสอบค่ากระแสและแรงดันโดยใช้เครื่อง HP 4061A วัดค่ากระแสและแรงดันของทรานซิสเตอร์ซึ่งทำงานตามสภาวะดังกล่าวเท่านั้น ผลการทดลองเป็นไปดังรูปที่ 4.4-1

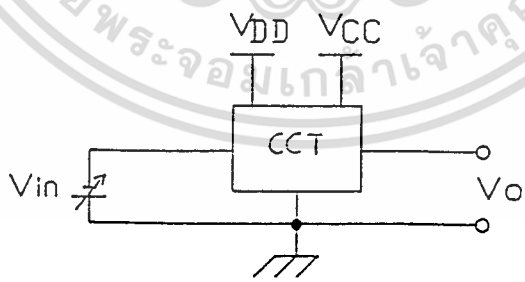


ก. SOURCE CURRENT (PMOIS) ข. SINK CURRENT (NMOIS)

รูปที่ 4.4-1 แสดงกระแสขาออกของวงจรส่งสัญญาณขาออกแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า

4.5 การทดลองและผลการทดลองวัดการเชื่อมต่อแรงดันระหว่างระบบ CMOIS กับระบบ TTL ของวงจรส่งสัญญาณขาออกแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า

การใช้งานวงจรเชื่อมแรงดันแบบกลับเฟสและไม่กลับเฟส นิยมใช้เชื่อมแรงดันระหว่างแรงดันสูงของระบบ CMOIS ซึ่งมีค่ามากกว่า 5 โวลต์ กับระบบซึ่งใช้ค่าแรงดัน 5 โวลต์ ดังนั้นในการทดสอบวงจรดังกล่าว จะทำการจ่ายศักดาไฟเลี้ยงในส่วนของแรงดันขาออกของวงจรให้มีค่า 5 โวลต์ และ 10 โวลต์ และจ่ายศักดาไฟเลี้ยงแก่วงจรส่วนต้น สูงกว่า 5 โวลต์ แล้วพิจารณาการเชื่อมต่อแรงดันดังกล่าว ซึ่งการทดสอบวงจรดังกล่าวข้างต้นจะใช้วงจรดังรูปที่ 4.5-1



รูปที่ 4.5-1 แสดงวงจรทดสอบคุณสมบัติการส่งผ่านแรงดันของวงจร

เมื่อต่อวงจรเรียบร้อยแล้ว ทำการจ่ายแรงดันไฟเลี้ยงแก่วงจร V_{DD} และ V_{CC} แล้วทำการเปลี่ยนแปลงค่าแรงดันขาเข้าของวงจร (Vin) จากค่าแรงดัน 0 โวลต์ ไปสู่ค่าแรงดัน V_{DD} ของวงจร ทำการบันทึกการเปลี่ยนแปลงของแรงดันขาออกด้วยเครื่องบันทึกสองแกน โดยแกน X ของเครื่องจะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนแรงดันขาเข้า Vin และแกน Y ของเครื่องจะแทนแรงดันขาออก V_o แล้วนำผลการทดลองที่ได้มาหาค่าแรงดันต่าง ๆคือ

1. แรงดันขาออกสถานะสูง (V_{OH}) คือค่าแรงดันขาออกขณะที่วงจรอยู่ในสถานะสูง

2. แรงดันขาออกสถานะต่ำ (V_{OL}) คือค่าแรงดันขาออกขณะที่วงจรอยู่ในสถานะต่ำ

3. แรงดันเปลี่ยนสถานะของวงจร (Vtn) คือจุดที่แรงดันขาเข้าเท่ากับแรงดันขาออก

ผลการทดลองแสดงได้ดังตารางที่ 4.5-1

ตารางที่ 4.5-1 แสดงผลการทดสอบวงจรเชื่อมแรงดันขาออกแบบกลับเฟสและไม่กลับเฟส

CIRCUIT	V_{DD}	V_{CC}	PARAMETER			UNIT
			V_{OH}	V_{OL}	Vtn	
กลับเฟส	10	10	9.8	0.1	4.6	V
กลับเฟส	10	5	4.9	0.1	2.3	V
ไม่กลับเฟส	10	10	9.9	0.1	4.6	V
ไม่กลับเฟส	10	5	4.9	0.1	2.3	V

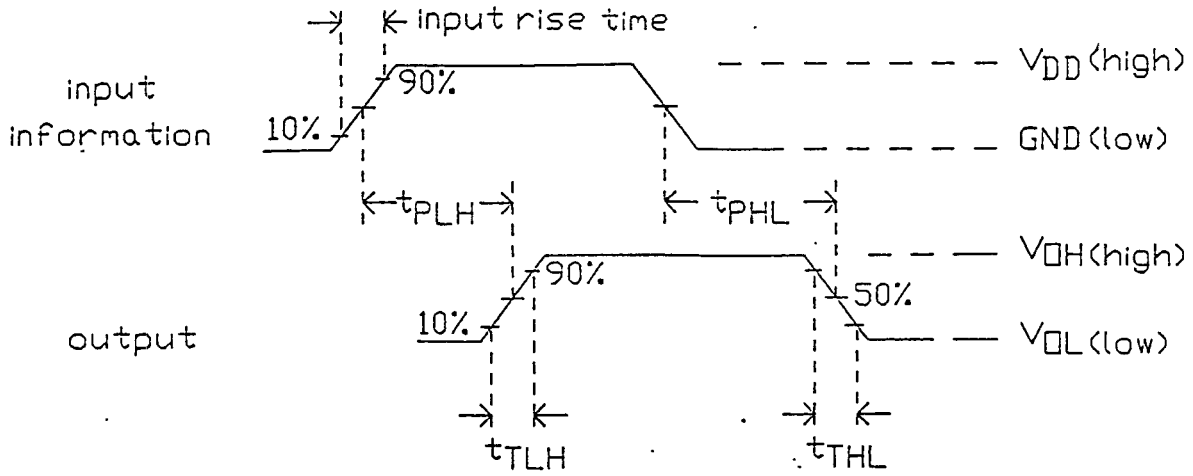
4.6 การทดลองและผลการทดลองวัดการตอบสนองต่อสัญญาณชั่วครู่

การทดลองและการตอบสนองต่อสัญญาณชั่วครู่ของวงจรพื้นฐานของการออกแบบเกทอะเรย์ กระทำโดยป้อนสัญญาณนาฬิกาขนาดเท่าแรงดันไฟเลี้ยงซึ่งมีค่าความถี่คงที่ค่าหนึ่ง แก่วงจรโดยที่วงจรยังทำงานอยู่ในสภาวะแรงดันไฟเลี้ยงคงที่ที่เหมาะสมค่าหนึ่ง ซึ่งการทดสอบวงจรในวิทยานิพนธ์ฉบับนี้ใช้ค่าแรงดัน 10 โวลต์ เป็นส่วนใหญ่ (ยกเว้นวงจรเชื่อมแรงดันเท่านั้นที่ค่าแรงดันไฟเลี้ยงแตกต่างกัน) แล้วทำการบันทึกค่าเวลาต่าง ๆที่จำเป็นที่ผู้ออกแบบวงจรต้องการทราบ ดังรูปที่ 4.6-1

จากรูปที่ 4.6-1 สามารถแสดงคำจำกัดความของค่าเวลาแต่ละชนิดคือ

1. t_{TLH} (Transition LOW to High state time) คือค่าเวลาที่ใช้ในการเปลี่ยนสถานะจากสถานะต่ำไปสถานะสูง โดยคิดเวลาในการเปลี่ยนแปลงของสัญญาณจากจุด 10 % ของแรงดันถึงจุด 90% ของแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



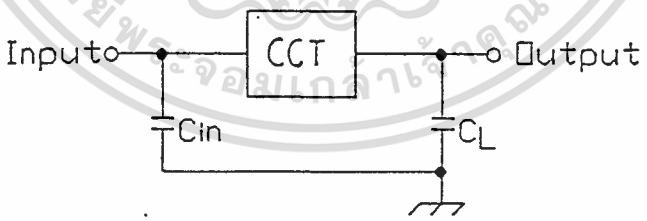
รูปที่ 4.6-1 แสดงลักษณะของสัญญาณนาฬิกาที่ใช้ทดสอบวงจรที่สร้างขึ้น

2. t_{THL} (Transition High to LOW state time) คือค่าเวลาที่ใช้ในการเปลี่ยนสถานะจากสถานะสูงไปสถานะต่ำ โดยคิดเวลาในการเปลี่ยนแปลงของสัญญาณจากจุด 90% ของแรงดันถึงจุด 10% ของแรงดัน

3. t_{PLH} (Propagation LOW to High state time) คือค่าเวลาหน่วงของสัญญาณจากจุดที่สัญญาณขาเข้าเปลี่ยนแปลงแล้ว 50% ถึงจุดที่สัญญาณขาออกเปลี่ยนแปลง 50% โดยใช้เวลาในช่วงสัญญาณขาเข้าเปลี่ยนจากสถานะต่ำไปสถานะสูง

4. t_{PHL} (Propagation High to LOW state time) คือค่าเวลาหน่วงของสัญญาณเช่นเดียวกับ t_{PLH} แต่คิดในช่วงเวลาที่สัญญาณขาเข้าเปลี่ยนจากสถานะสูงไปสู่สถานะต่ำ

เพื่อให้ผลการทดสอบวงจรได้ค่าที่ถูกต้อง จึงจำเป็นต้องจำลองสถานะการในการใช้งานวงจรขึ้นในการทดสอบค่าเวลาต่าง ๆ โดยวงจรที่ใช้ทดสอบจะเป็นไปดังรูปที่ 4.6-2



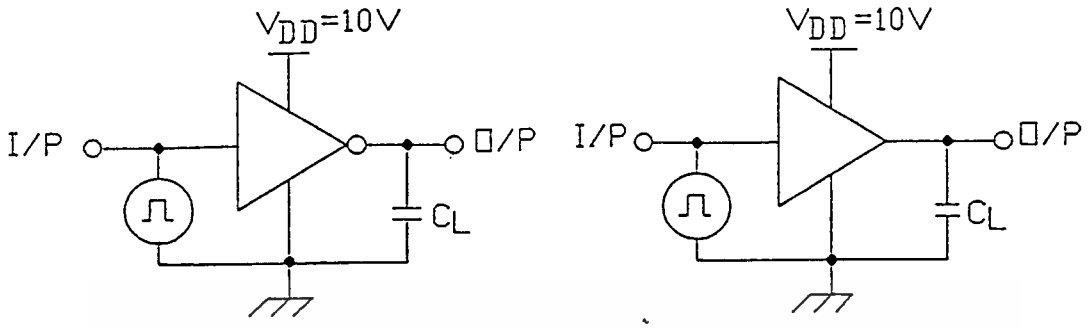
รูปที่ 4.6-2 แสดงวงจรที่ใช้ทดสอบการตอบสนองต่อสัญญาณชั่วครู่

จากวงจรในรูปที่ 4.6-2 ค่า Cin คือค่าความจุไฟฟ้าซึ่งเกิดจากค่าความจุไฟฟ้าขาเข้าของเครื่องมือวัด (CRT) และค่า C_L คือค่าตัวเก็บประจุซึ่งแทนตัวเก็บประจุของวงจรในสถานะต่อไป ในวิทยานิพนธ์ฉบับนี้ใช้ค่า 50 PF ตามมาตราฐานของการทดสอบวงจรรวมแบบ CMOS ทั่ว ๆไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6.1 วงจรรับสัญญาณขาเข้าแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า

ในการทดสอบค่าเวลาการตอบสนองต่อสัญญาณชั่วครู่ของวงจรรับสัญญาณขาเข้าทั้งสองแบบ จะใช้วงจรดังรูปที่ 4.6-2 แล้วทำการป้อนสัญญาณนาฬิกาแก่วงจรโดยให้ค่าความถี่ของสัญญาณนาฬิกามีค่า 1 KHz ดังรูปที่ 4.6-3



รูปที่ 4.6-3 แสดงวงจรทดสอบค่าเวลาในการตอบสนองต่อสัญญาณชั่วครู่ของวงจรรับสัญญาณขาเข้าแบบกลับเฟสและไม่กลับเฟส

และเนื่องจากสัญญาณขาออกของวงจรแบบกลับเฟสมีลักษณะตรงกันข้ามกับสัญญาณขาเข้า ดังนั้นในการพิจารณาค่าเวลา t_{PLH} และ t_{PHL} จึงจำเป็นต้องทำการกลับเฟสของสัญญาณ โดยใช้เครื่องมือวัดในการกลับเฟส (CRT ทั่ว ๆไปสามารถกลับเฟสของสัญญาณในช่วงที่ 2 ได้) ผลการทดลองเป็นไปดังตารางที่ 4.6.1-1

ตารางที่ 4.6.1-1 แสดงค่าเวลาของการตอบสนองต่อสัญญาณชั่วครู่ของวงจรรับสัญญาณขาเข้าแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า

CIRCUIT	T_{TLH} (μs)	T_{THL} (μs)	T_{PLH} (μs)	T_{PHL} (μs)
INVERTING	6.9	10.1	3.6	5.9
NONINVERTING	18.7	24.3	9.4	14.3

4.6.2 วงจรส่งสัญญาณขาออกแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า

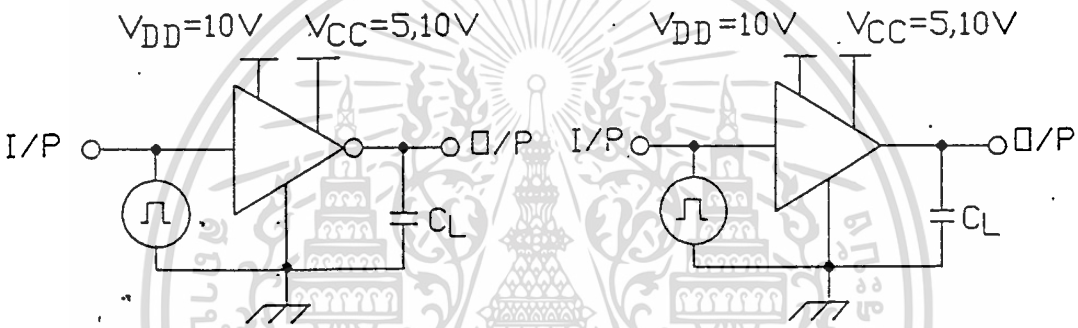
การทดสอบค่าเวลาของการตอบสนองต่อสัญญาณชั่วครู่ของวงจรส่งสัญญาณขาออกทั้งแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า ที่มีลักษณะของวงจรเช่นเดียวกันกับวงจรรับสัญญาณขาเข้าแบบกลับเฟสและไม่กลับเฟสตามลำดับ จะใช้วงจรทดสอบและสภาวะของการทดสอบเช่นเดียวกัน ผลการทดสอบแสดงได้ดังตารางที่ 4.6.2-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.6.2-1 แสดงค่าเวลาของการตอบสนองต่อสัญญาณชั่วครู่ของวงจรส่งสัญญาณขาออกแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า ที่วงจรซึ่งมีลักษณะเช่นเดียวกันกับวงจรรับสัญญาณขาเข้า

CIRCUIT	T_{TLH} (μs)	T_{THL} (μs)	T_{PLH} (μs)	T_{PHL} (μs)
INVERTING	2.8	3.9	1.6	1.9
NONINVERTING	6.3	9.6	3.1	4.6

เช่นเดียวกันกับวงจรทดสอบดังรูปที่ 4.6-3 แต่ลักษณะของการจ่ายศักดาไฟเลี้ยงจะแตกต่างกันดังรูปที่ 4.6-4



รูปที่ 4.6-4 แสดงวงจรทดสอบค่าเวลาในการตอบสนองต่อสัญญาณชั่วครู่ของวงจรเชื่อมแรงดัน

จากรูปที่ 4.6-4จะทำการจ่ายค่าแรงดันไฟเลี้ยง V_{DD} มีค่าเท่ากับ 10 โวลต์ และจ่ายค่าแรงดัน

ตารางที่ 4.6.2-2 แสดงค่าเวลาของการตอบสนองต่อสัญญาณชั่วครู่ของวงจรเชื่อมแรงดันแบบกลับเฟสและไม่กลับเฟส

CIRCUIT	V_{DD}(V)	V_{CC}(V)	T_{TLH}(μs)	T_{THL}(μs)	T_{PLH}(μs)	T_{PHL}(μs)
CONVERTER แบบกลับเฟส	10	10	15	5.7	32	10.1
	10	5	31	10	62	22
CONVERTERแบบไม่กลับเฟส	10	10	16	5	30.1	10.9
	10	5	21	12	42	25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V_{CC} มีค่า 10 และ 5 โวลต์ โดยที่ค่าแรงดันขาเข้า Vin จะมีค่าสูงสุดเท่ากับ V_{DD} ทำการทดลองเพื่อหาค่าเวลาต่าง ๆในลักษณะเดียวกับวงจรส่งสัญญาณขาออกที่กล่าวมาแล้ว ผลการทดลองแสดงได้ดังตารางที่ 4.6.2-2

4.6.3 วงจรทางตรรกพื้นฐาน

การทดสอบค่าเวลาในการตอบสนองต่อสัญญาณชั่วครู่ของวงจรรวมทางตรรกแบบต่าง ๆมีเงื่อนไขในการทดสอบวงจรแต่ละวงจรแตกต่างกัน การพิจารณาจะแยกกัน

พิจารณาวงจร NOR เกทแบบ 4 input และวงจร NAND เกทแบบ 4 input

ในการทดลองหาค่าเวลาการตอบสนองต่อสัญญาณชั่วครู่ของวงจรทั้งสองตามที่ได้กล่าวถึงในบทที่ 3 สามารถแยกพิจารณาได้เป็น 2 กรณีใหญ่ ๆ คือ กรณีที่ 1 กระทำโดยเชื่อมแรงดันขาเข้าของวงจรทั้งสี่เข้าด้วยกันแล้วป้อนสัญญาณขาเข้าเป็นสัญญาณนาฬิกาแก่วงจร (All input switching) และกรณีที่ 2 คือทำการป้อนสัญญาณนาฬิกาแก่จุดแรงดันขาเข้าเพียงขาเดียว ส่วนแรงดันขาเข้าอื่น ๆที่เหลือ จะมีสถานะทางตรรกอยู่ก่อนแล้ว (Single input switching) และในทำนองเดียวกันสัญญาณที่ป้อนแก่วงจรจะเป็นสัญญาณนาฬิกาเช่นเดียวกับวงจรอื่น ๆที่กล่าวมาแล้ว ผลการทดลองแสดงดังตารางที่ 4.6.3-1

ตารางที่ 4.6.3-1 แสดงผลการทดลองค่าเวลาในการตอบสนองต่อสัญญาณชั่วครู่ของวงจร NOR และ NAND เกทแบบ 4 input

วงจร	สภาวะ	$T_{TLH}(\mu s)$	$T_{THL}(\mu s)$	$T_{PLH}(\mu s)$	$T_{PHL}(\mu s)$
NOR	ALL INPUT SWITCHING	15.6	7	7	3.2
	SINGLE INPUT SWITCHING	8	9	3.5	6
NAND	ALL INPUT SWITCHING	2	124	1	62
	SINGLE INPUT SWITCHING	7	10	4	6

พิจารณาวงจรอินเวอร์เตอร์

วงจรอินเวอร์เตอร์ที่ใช้เป็นวงจรพื้นฐานทางตรรกของการออกแบบเกทอะเรย์ เป็นวงจรที่มีขนาดของทรานซิสเตอร์ทั้งสองชนิดคือ PMOIS และ NMOIS เช่นเดียวกันกับวงจรรับสัญญาณขาเข้าแบบกลับเฟส ดังนั้นในการหาค่าเวลาของการตอบสนองต่อสัญญาณชั่วครู่ของวงจรอินเวอร์เตอร์จึงควรจะมีค่าเช่นเดียวกันกับวงจรรับสัญญาณขาเข้าดังกล่าวมาแล้ว ดังนั้นจะไม่กล่าวถึงอีก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาวงจรเอ็กคลูซีฟออเกท

เนื่องจากการเปลี่ยนแปลงสถานะทางแรงดันของวงจรเอ็กคลูซีฟออเกท แบ่งได้เป็น 2 กรณีคือ

กรณีที่ 1 เป็นการเปลี่ยนแปลงค่าแรงดันขาออกของวงจรจากสถานะต่ำไปเป็นสถานะสูง โดยที่เดิมค่าแรงดันขาเข้าของวงจรทั้งสองเป็นสถานะเดียวกัน (สูงหรือต่ำทั้งคู่) แล้วแรงดันขาเข้าแรงดันใดแรงดันหนึ่งเกิดการเปลี่ยนแปลง

กรณีที่ 2 เกิดขึ้นโดยแรงดันขาออกของวงจรเปลี่ยนจากแรงดันสถานะสูงไปเป็นสถานะต่ำ โดยที่เดิมค่าแรงดันขาเข้าทั้งสองของวงจรเป็นสถานะที่แตกต่างกัน แล้วแรงดันใดแรงดันหนึ่งเกิดการเปลี่ยนแปลง เป็นแรงดันเดียวกับแรงดันที่เหลือ

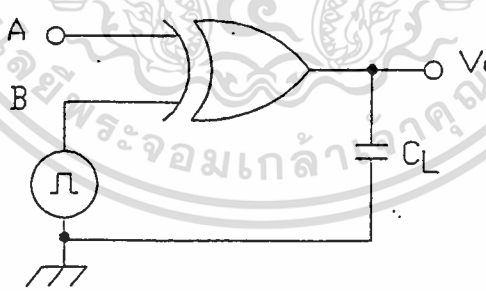
ดังนั้นในการทดสอบค่าเวลาของการตอบสนองต่อสัญญาณชั่วครู่ จะแบ่งการทดสอบดังนี้คือ

1. ค่าเวลาต่าง ๆแยกการทดสอบออกเป็น 2 กรณีคือ

1.1 เดิมค่าแรงดันขาเข้าของวงจรเป็นสภาวะต่ำทั้งคู่แล้วค่าแรงดันใดแรงดันหนึ่งเกิดการเปลี่ยนแปลงแรงดันไปเป็นแรงดันตรงกันข้าม กระทำโดยจ่ายศักดาไฟเลี้ยง GND แก่จุดแรงดันขาเข้าจุดหนึ่ง แล้วป้อนสัญญาณนาฬิกาแก่จุดแรงดันขาเข้าที่เหลือ

1.2 เดิมค่าแรงดันขาเข้าของวงจรเป็นแรงดันสภาวะสูงทั้งคู่แล้วค่าแรงดันใดแรงดันหนึ่งเกิดการเปลี่ยนแปลงแรงดันไปเป็นแรงดันต่ำ กระทำโดยจ่ายศักดาไฟเลี้ยง V_{DD} แก่จุดแรงดันขาเข้าจุดหนึ่งแล้วป้อนสัญญาณนาฬิกาแก่จุดแรงดันขาเข้าที่เหลือ

ทั้งสองกรณีแสดงวงจรทดสอบได้ดังรูปที่ 4.6-5



รูปที่ 4.6-5 แสดงวงจรทดสอบค่าเวลา T_{TLH} และ T_{PLH} ของวงจร XOR

จากการทดสอบทั้งสองกรณีข้างต้น จะแสดงผลการทดลองเป็นไปดังตารางที่ 4.6.3-2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.6.3-2 แสดงค่าเวลาของการตอบสนองต่อสัญญาณชั่วครู่ของวงจร XOR

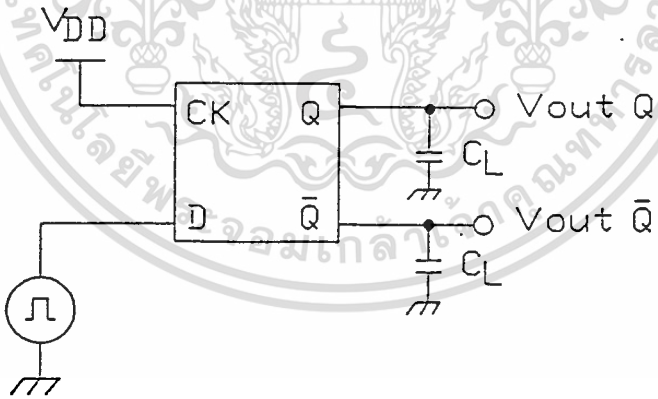
INPUT		OUTPUT			
A	B	T_{TLH} (μs)	T_{THL} (μs)	T_{PLH} (μs)	T_{PHL} (μs)
V_{DD}	CK	24	20	12	10
GND	CK	21	24	10	13

4.6.4 วงจรทางตรรกที่ควบคุมด้วยสัญญาณนาฬิกา

ในลักษณะเดียวกันกับวงจรทางตรรกพื้นฐาน การทดสอบค่าเวลาในการตอบสนองต่อสัญญาณชั่วครู่ของวงจรทางตรรกที่ควบคุมด้วยสัญญาณนาฬิกา จะแยกเป็นกรณีแต่ละวงจร

พิจารณาวงจร D-FF

ในการทดสอบค่าเวลาต่าง ๆของวงจร D-FF กระทำโดยป้อนสัญญาณสถานะสูงแก่จุดสัญญาณขาเข้าซึ่งควบคุมสัญญาณขาออก (ขา CK) เพื่อให้สัญญาณขาเข้าที่จุด D ปรากฏที่สัญญาณขาออกโดยทันที ดังรูปที่ 4.6-6



รูปที่ 4.6-6 แสดงวงจรทดสอบค่าเวลาตอบสนองต่อสัญญาณชั่วครู่ของวงจร D-FF

ทำการป้อนสัญญาณสี่เหลี่ยมเข้าที่ขาแรงดันขาเข้า D แล้วทำการทดสอบค่าเวลาตอบสนองต่อสัญญาณชั่วครู่ต่าง ๆ ผลการทดลองแสดงได้ดังตารางที่ 4.6.4-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.6.4-1 แสดงค่าเวลาในการตอบสนองต่อสัญญาณชั่วครู่ของวงจร D-FF

V_{OUT}	T_{THL} (μs)	T_{TLH} (μs)	T_{PHL} (μs)	T_{PLH} (μs)
Q	32.4	29.4	16	18
NOT Q	20.1	24.6	10.9	13

นอกจากค่าเวลาดังตารางที่ 4.6.4-1 แล้ว ค่าเวลาที่สำคัญอันหนึ่งของวงจร D-FF คือค่าเวลา set up และ hold time โดยค่าเวลาทั้งสองนี้จะเป็นค่าเวลาที่ปรากฏที่จุดแรงดันขาเข้า D ของวงจร โดยค่าเวลา set up time จะเกิดจากตัวเก็บประจุไฟฟ้าแฝง ซึ่งปรากฏอยู่ที่จุดแรงดันขาเข้า D ดังนั้นในการทดสอบค่าเวลานี้ จะทำการป้อนสัญญาณนาฬิกาเข้าที่จุดแรงดันขาเข้า D โดยที่ก่อนจะป้อนสัญญาณขาเข้า จะทำการวัดค่าเวลาต่าง ๆของสัญญาณขาเข้าก่อน และเมื่อป้อนแรงดันขาเข้าแล้ว ทำการวัดค่าเวลาต่าง ๆอีกครั้งหนึ่งแล้วพิจารณาค่าเวลาที่เปลี่ยนแปลงไป โดยค่าเวลาที่เปลี่ยนแปลงไปจะเกิดเนื่องจากพฤติกรรมของตัวเก็บประจุแฝงที่กล่าวแล้วนั่นเอง เรียกค่าเวลาดังกล่าวว่า set up time

ค่าเวลา hold time คือค่าเวลาที่แรงดันขาเข้าซึ่งเป็นสถานะทางตรรกที่จุด D จะต้องคงอยู่เพื่อแสดงสถานะทางจุดแรงดันขาออก โดยที่ค่าเวลา hold time นี้จะเกิดขึ้นเนื่องจากทรานซิสเตอร์ซึ่งทำหน้าที่จ่ายสัญญาณ CK ของวงจรซึ่งก็คือทรานสมิทชั่นเกททั้งสองตัวที่ปรากฏอยู่ในวงจร โดยสัญญาณขาเข้าที่จุด D จะต้องปรากฏอยู่จนกระทั่งสัญญาณ CK ได้เหนี่ยวนำในวงจรทรานสมิทชั่นเกทที่ทำงานอย่างเต็มที่แล้ว ดังนั้นค่าเวลา hold time ที่น้อยที่สุด คือค่าเวลาตอบสนองต่อสัญญาณขาเข้าที่จุดแรงดัน CK ของวงจรนั่นเอง ผลการทดลองค่าเวลาทั้งสองแสดงได้ดังตารางที่ 4.6.4-2

ตารางที่ 4.6.4-2 แสดงค่าเวลา hold time และ set up time ของวงจร D-FF

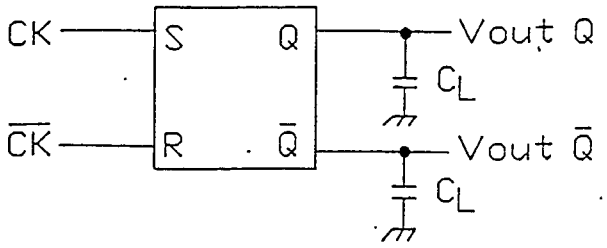
setup time (μs)	hold time (μs)
30.1	40.9

พิจารณาวงจร RS FF

เมื่อพิจารณาการทำงานของวงจร RS FF แล้วพบว่าถ้าต้องการให้สถานะแรงดันขาออกเปลี่ยนแปลงอยู่ตลอดเวลาเพื่อหาค่าเวลาในการตอบสนองต่อสัญญาณชั่วครู่จะต้องทำการป้อนแรงดัน set และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

reset กลับเฟสกันอยู่ตลอดเวลา ดังนั้นในการทดสอบค่าเวลาในการตอบสนองต่อสัญญาณชั่วครู่ จะทำการป้อนสัญญาณนาฬิกาแก่จุดแรงดันขาเข้า R แล้วป้อนสัญญาณนาฬิกาซึ่งกลับเฟส แก่จุดแรงดันขาเข้า S และทำการทดลองค่าเวลาต่าง ๆดังรูปที่ 4.6-7 และผลการทดลองแสดงดังตารางที่ 4.6.4-3



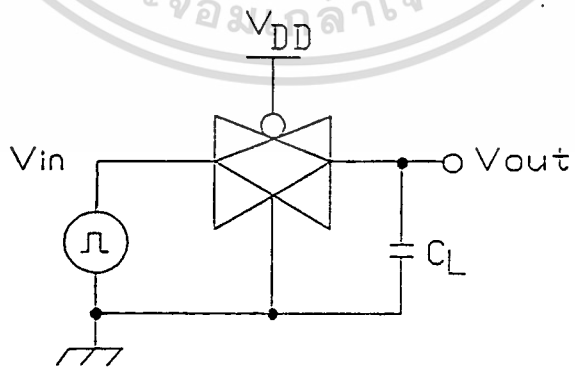
รูปที่ 4.6-7 แสดงวงจรทดสอบค่าเวลาการตอบสนองต่อสัญญาณชั่วครู่ของวงจร RS FF

ตารางที่ 4.6.4-3 แสดงผลการทดสอบค่าเวลาการตอบสนองต่อสัญญาณชั่วครู่ของวงจร RS FF

V_{OUT}	T_{TLH} (μs)	T_{THL} (μs)	T_{PLH} (μs)	T_{PHL} (μs)
Q	7.1	15	3.4	7.8
NOT Q	7.6	18	3.4	9.1

พิจารณาวงจร Transmittion เกทแบบ 2 input

ในการทดสอบวงจรทรานสมิทชั่นเกท จะเป็นลักษณะเช่นเดียวกับวงจร D FF กล่าวคือการทดสอบจะทำการป้อนแรงดันไฟเลี้ยง V_{DD} แก่วงจร ณ.จุดแรงดันขาเข้า แล้วทำการป้อนแรงดันขาเข้าแก่วงจรด้วยสัญญาณนาฬิกา และทำการพิจารณาค่าเวลาต่าง ๆดังรูปที่ 4.6-8



รูปที่ 4.6-8 แสดงวงจรทดสอบค่าเวลาตอบสนองต่อสัญญาณชั่วครู่ของวงจรทรานสมิทชั่นเกท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

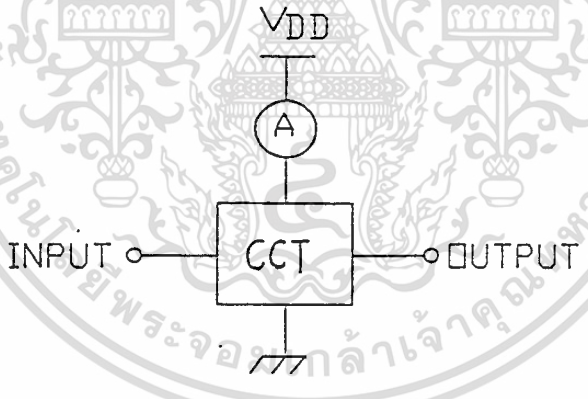
การทดสอบวงจรนี้จะทำการทดสอบเพียงแรงดันขาเข้าข้างเดียวเท่านั้น เนื่องจากจุดแรงดันขาเข้าของวงจรทั้งสองมีความสมมูลย์กัน ผลการทดลองแสดงได้ดังตารางที่ 4.6.4-4

ตารางที่ 4.6.4-4 แสดงผลการทดลองค่าเวลาการตอบสนองต่อสัญญาณชั่วครู่ของวงจร 2 input transmission gate

T_{TLH} (μs)	T_{THL} (μs)	T_{PLH} (μs)	T_{PHL} (μs)
2.4	2.8	1.3	1.8

4.7 การทดลองและผลการทดลองวัดกำลังสูญเสียของวงจร

การวัดค่ากำลังงานสูญเสียของวงจรซึ่งออกแบบและสร้างขึ้นในวิทยานิพนธ์ฉบับนี้ จะทำการวัดค่าพลังงานที่สูญเสียไปของวงจรทั้ง 2 กรณีคือ กรณีที่ 1 วัดค่ากำลังงานสูญเสียขณะวงจรยังไม่ทำงานตามฟังก์ชั่นของวงจร ซึ่งเรียกการสูญเสียพลังงานแบบนี้ว่า การสูญเสียพลังงานสถิต โดยใช้วงจรดังรูปที่ 4.7-1 ในการทดสอบ



รูปที่ 4.7-1 แสดงวงจรทดสอบกำลังงานสูญเสียของวงจรแบบสถิต

เมื่อทำการต่อวงจรดังรูปที่ 4.7-1 เสร็จเรียบร้อยแล้วทำการป้อนศักย์ดาไฟเลี้ยงค่าต่าง ๆคือ 5 ,10 ,และ 15 โวลต์ แก่วงจร บันทึกค่ากระแสซึ่งไหลออกจากแหล่งจ่ายไฟเลี้ยง พร้อมทั้งเขียนกราฟความสัมพันธ์ระหว่างค่ากำลังงานสูญเสียกับค่าแรงดันไฟเลี้ยง

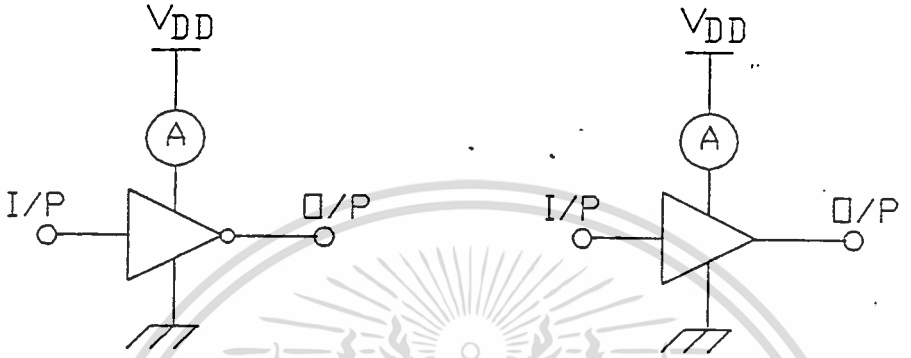
กรณีที่ 2 เป็นการวัดค่ากำลังงานสูญเสียของวงจรขณะที่วงจรกำลังทำงานตามฟังก์ชั่นของวงจร การทดลองจะใช้วงจรเดียวกันกับรูปที่ 4.7-1 แต่เพิ่มภาระของวงจรด้วยตัวเก็บประจุไฟฟ้าขนาด 50 PF ที่จุดแรงดันขาออกของวงจร เพื่อจำลองสภาพการทำงานที่แท้จริงขณะวงจรกำลังทำงาน จากนั้นทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การป้อนสัญญาณขาเข้าสู่วงจรโดยที่สัญญาณขาเข้านั้น จะต้องทำให้แรงดันขาออกของวงจรเกิดการเปลี่ยนแปลงสถานะ ผลการทดลองจะแสดงโดยความสัมพันธ์ระหว่างค่ากำลังงานที่สูญเสียไปกับแรงดันไฟเลี้ยง 5 ,10 ,และ 15 โวลต์

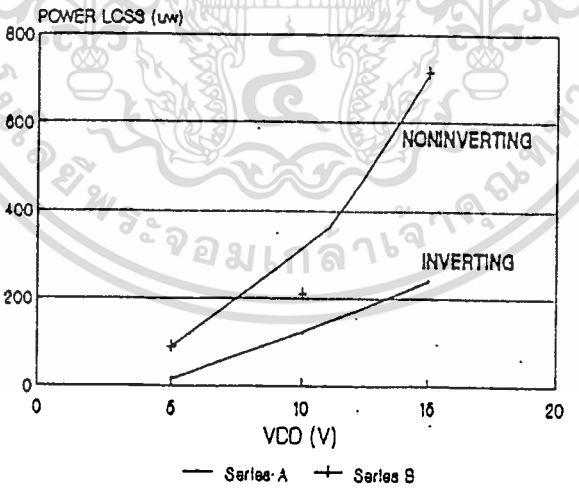
4.7.1 วงจรรับสัญญาณขาเข้าแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า

ในการทดสอบค่ากำลังงานสูญเสียสถิตของวงจรรับสัญญาณขาเข้าแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า กระทำโดยต่อวงจรดังรูปที่ 4.7-2



รูปที่ 4.7-2 แสดงวงจรทดสอบค่ากำลังงานสูญเสียแบบสถิตของวงจรรับสัญญาณขาเข้าแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า

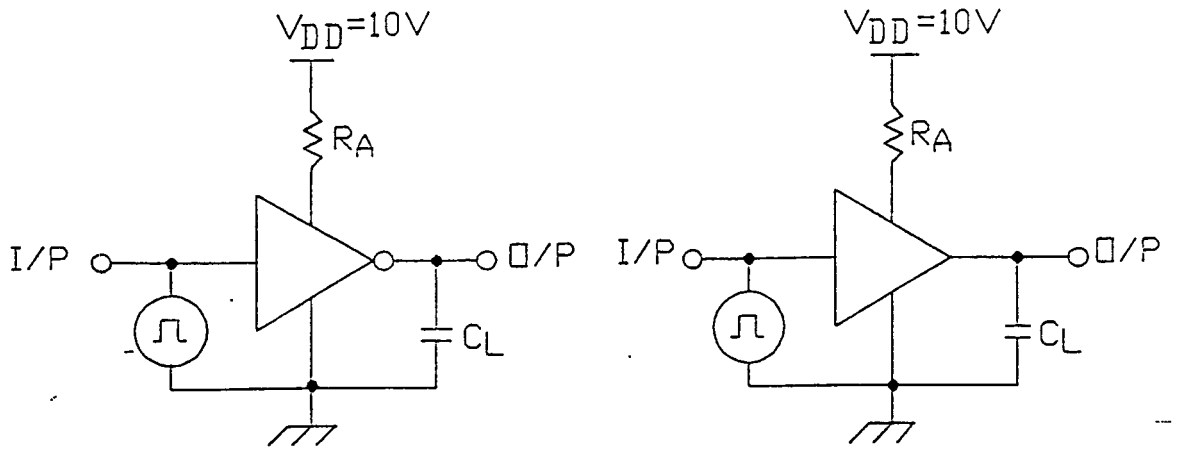
ค่าแรงดัน V_{DD} จะเปลี่ยนแปลง 3 ค่าคือ 5 ,10 ,และ 15 โวลต์ ทำการบันทึกค่ากระแสที่เปลี่ยนแปลง ผลการทดลองเป็นไปดังรูปที่ 4.7-3



รูปที่ 4.7-3 แสดงค่ากำลังงานสูญเสียแบบสถิตของวงจรรับสัญญาณขาเข้าแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า

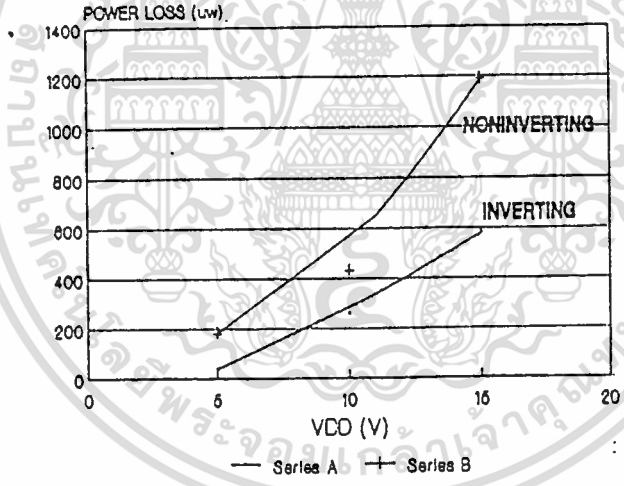
การหาค่ากำลังงานสูญเสียขณะวงจรกำลังทำงาน จะใช้วงจรดังรูปที่ 4.7.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7-4 แสดงวงจรทดสอบค่ากำลังงานสูญเสียของวงจรขณะวงจรกำลังทำงาน

ทำการป้อนค่าแรงดันไฟเลี้ยง V_{DD} มีค่า 5 ,10 ,และ 15 โวลต์ โดยที่ค่าแรงดันไฟเลี้ยงแต่ละค่าจะทำการป้อนสัญญาณรูปสี่เหลี่ยมเข้าที่จุดแรงดันขาเข้า Vin การหาค่ากระแสที่ไหลออกจ่ายแหล่งจ่ายไฟเลี้ยง V_{DD} กระทำโดยต่อ R_A เข้าที่แรงดันไฟเลี้ยงดังรูปที่ 4.7.4 มีค่าความต้านทานเท่ากับ 1 kΩ ทำการวัดค่าแรงดันตกคร่อม R_A จากนั้นคำนวณค่ากระแสโดย $I=V_{RA}/R_A$ ผลการทดลองค่ากำลังสูญเสียเป็นไปดังรูปที่ 4.7-5



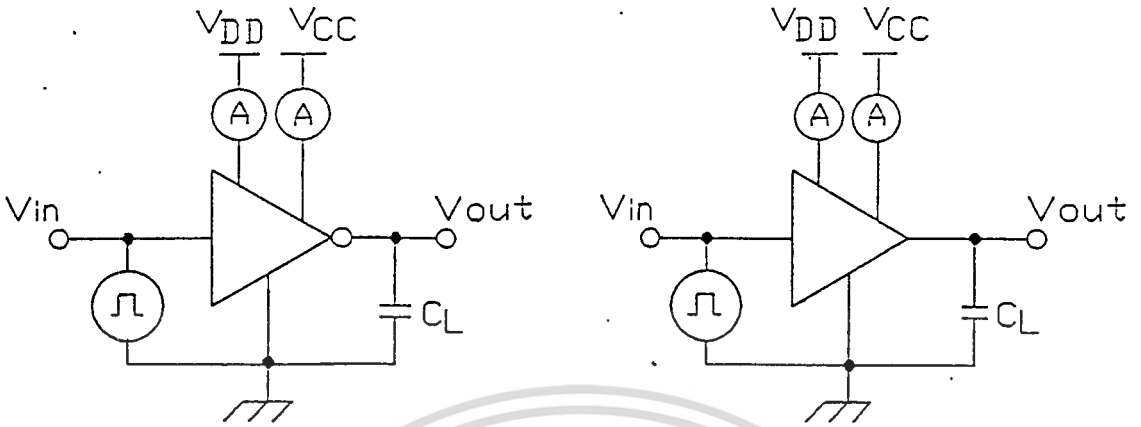
รูปที่ 4.7-5 แสดงค่ากำลังสูญเสียของวงจรขณะวงจรกำลังทำงาน

4.7.2 วงจรส่งสัญญาณขาออกแบบกลับเฟสและไม่กลับเฟสของสัญญาณขาเข้า

วงจรส่งสัญญาณขาออกแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า ซึ่งมีวงจรเหมือนกับวงจรรับสัญญาณขาเข้า จะทำการทดสอบด้วยสภาวะเดียวกัน ซึ่งผลการทดลองที่ได้เป็นไปในลักษณะเดียวกันกับวงจรรับสัญญาณขาเข้า ดังนั้นจะไม่ขอกล่าวถึงในที่นี้ ในหัวข้อนี้จะทำการทดสอบค่ากำลังสูญเสียของวงจรเชื่อมแรงดันระหว่างระบบ CMOIS และระบบ TTL แบบกลับเฟสและไม่กลับเฟส เนื่องจากวงจรดังกล่าวนี้เป็นวงจรส่งสัญญาณขาออกเช่นเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรทดสอบค่ากำลังงานสูญเสียของวงจรเชื่อมแรงดันดังกล่าว แสดงได้ดังรูปที่ 4.7-6 วงจรนี้จะจ่ายค่าแรงดัน V_{DD}=10 โวลต์ และ V_{CC}=5 โวลต์ เพื่อให้ใกล้เคียงกับสภาพใช้งานจริงของวงจรมากที่สุด



(ก) วงจร converter แบบกลับเฟสกับสัญญาณขาเข้า

(ข) วงจร converter แบบไม่กลับเฟสกับสัญญาณขาเข้า

รูปที่ 4.7-6 แสดงวงจรทดสอบค่ากำลังสูญเสียแบบสถิตของวงจรเชื่อมแรงดัน

ค่ากระแสที่ได้จากแอมป์มิเตอร์ทั้งสอง คือค่ากระแสที่ไหลออกจากแหล่งจ่ายไฟเลี้ยงลงสู่แรงดันอ้างอิง ในขณะที่ยังไม่มีสัญญาณขาเข้า ดังนั้นค่ากำลังงานสูญเสียของวงจร คือค่ากำลังงานสูญเสียของแหล่งจ่ายไฟเลี้ยงทั้งสองรวมกัน ผลการทดลองแสดงได้ดังตารางที่ 4.7.2-1

ตารางที่ 4.7.2-1 แสดงค่ากำลังงานสูญเสียแบบสถิตของวงจรเชื่อมแรงดัน

วงจร	กำลังงานสูญเสีย(μW)		
	ที่ V_{DD}	ที่ V_{CC}	รวม
converter กลับเฟส	140	35	175
converterไม่กลับเฟส	240	84	324

การทดลองหาค่ากำลังงานสูญเสียของวงจร จะกระทำเช่นเดียวกับวงจรรับสัญญาณขาเข้า และในทำนองเดียวกันค่าความต้านทานที่ใช้ในการตรวจสอบค่ากระแส ที่ไหลออกจากแหล่งจ่ายไฟเลี้ยงจะมี 2 ชุด คือตัวที่ 1 ต่อกับแหล่งจ่ายไฟเลี้ยง V_{DD} และตัวที่ 2 ต่อกับแหล่งจ่ายไฟเลี้ยง V_{CC} การเปลี่ยน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบลงสถานะแรงดันขาออกกระทำโดยป้อนสัญญาณรูปชายด์ที่จุดแรงดันขาเข้าของวงจร ผลการทดลองแสดงได้ดังตารางที่ 4.7.2-2

ตารางที่ 4.7.2-2 แสดงค่ากำลังงานสูญเสียของวงจรเชื่อมแรงดันขณะป้อนสัญญาณขาเข้า

วงจร	กำลังงานสูญเสีย(μW)		
	ที่ V_{DD}	ที่ V_{CC}	รวม
converter กลับเฟส	300	78	378
converterไม่กลับเฟส	500	159	659

4.7.3 วงจรทางตรรกพื้นฐาน

การทดสอบค่าแรงดันสูญเสียแบบสถิตของวงจรทางตรรกพื้นฐานทุกวงจรจะกระทำในลักษณะเดียวกันกับวงจรรับสัญญาณขาเข้า กล่าวคือวงจรจะได้รับแรงดันไฟเลี้ยง 5 ,10 ,และ 15 โวลต์ แล้วทำการวัดกระแสที่ถูกจ่ายออกมาจากแหล่งจ่าย V_{DD} จากนั้นทำการคำนวณค่ากำลังงานสูญเสียของวงจร ผลการทดลองที่ได้แสดงดังตารางที่ 4.7.3-1

ตารางที่ 4.7.3-1 แสดงค่ากำลังงานสูญเสียแบบสถิตของวงจรทางตรรกพื้นฐาน

วงจร	กำลังงานสูญเสีย(μW)		
	V_{DD}=5V	V_{DD}=10V	V_{DD}=15V
4 input NAND	180	460	1011
4 input NOR	178	490	1101
inverter	14	115	250
exclusive OR	200	508	1129

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดสอบค่ากำลังงานสูญเสียขณะที่วงจรกำลังทำงานตามฟังก์ชั่นของแต่ละวงจร จะทำการทดสอบโดยให้วงจรเกิดการเปลี่ยนแปลงสัญญาณขาออก ด้วยสัญญาณขาเข้าซึ่งเป็นสัญญาณซายด์ ในกรณีต่าง ๆที่วงจรจะต้องเปลี่ยนแปลงสถานะแรงดัน ทำการบันทึกผลของค่าพลังงานสูญเสียที่มากที่สุดของแต่ละวงจรที่ทดลองได้ ผลการทดลองแสดงได้ดังตารางที่ 4.7.3-2

ตารางที่ 4.7.3-2 แสดงค่ากำลังงานสูญเสียของวงจรทางตรรกพื้นฐานขณะป้อนสัญญาณขาเข้า

วงจร	กำลังงานสูญเสีย(μW)		
	V_{DD}=5V	V_{DD}=10V	V_{DD}=15V
4 input NAND	260	506	2169
4 input NOR	289	549	1978
inverter	39	281	423
exclusive OR	398	781	1461

4.7.4 วงจรทางตรรกที่ควบคุมด้วยสัญญาณนาฬิกา

ในทำนองเดียวกันกับวงจรรวมทางตรรกพื้นฐาน การทดสอบค่ากำลังงานสูญเสียของวงจรรวมทางตรรกที่ควบคุมด้วยสัญญาณนาฬิกา จะใช้วิธีการวัดแบบเดียวกันคือ ค่าแรงดันไฟเลี้ยงที่ใช้ในการทดลองมีค่า 5 ,10 , และ 15 โวลต์ สำหรับการทดลองค่ากำลังงานสูญเสียแบบสถิต จากนั้นทำการบันทึกค่ากระแสที่ไหลออกจากแหล่งจ่าย ทำการคำนวณค่ากำลังงานสูญเสีย และบันทึกผลการทดลองได้ดังตารางที่ 4.7.4-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.7.4-1 แสดงค่ากำลังงานสูญเสียแบบสถิตของวงจรทางตรรกที่ควบคุมด้วยสัญญาณนาฬิกา

วงจร	กำลังงานสูญเสีย(μW)		
	V_{DD}=5V	V_{DD}=10V	V_{DD}=15V
D-flip flop	260	506	2169
RS-flip flop	289	549	1978
transmission gate	39	281	423

การทดลองค่ากำลังงานสูญเสียขณะวงจรกำลังทำงาน ของวงจรฟลิปฟลอบทั้งสอง คือ RS และ D จะทำการทดสอบเช่นเดียวกับวงจรทางตรรกพื้นฐาน ส่วนวงจรทรานสมิทชั่นเกทจะทำการทดสอบโดยป้อนสัญญาณรูปซายด์แก่จุดแรงดันขาเข้าของวงจร แล้วทำการป้อนแรงดัน V_{DD} แก่จุดแรงดันขาเข้าซึ่งควบคุมค่าแรงดันขาออก โดยให้ค่าแรงดันขาเข้าไปปรากฏที่แรงดันขาออกด้วยค่ากำลังงานสูญเสีย จะวัดค่ากระแสขาเข้าทางจุดแรงดันขาเข้า A และ B ของวงจร ผลการทดลองค่ากำลังงานสูญเสียขณะวงจรทำงานแสดงได้ดังตารางที่ 4.7.4-2

ตารางที่ 4.7.4-2 แสดงค่ากำลังงานสูญเสียของวงจรทางตรรกที่ควบคุมด้วยสัญญาณนาฬิกาขณะป้อนสัญญาณขาเข้า

วงจร	กำลังงานสูญเสีย(μW)		
	V_{DD}=5V	V_{DD}=10V	V_{DD}=15V
D-flip flop	280	516	2010
RS-flip flop	289	519	2109
transmission gate	48	290	465

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปและวิจารณ์

ได้ทำการออกแบบและสร้างวงจรรวมซึ่งเป็นวงจรพื้นฐานของการออกแบบเกทอะเรย์ขึ้นโดยประกอบด้วยวงจรกลุ่มต่าง ๆคือ 1.วงจรรับสัญญาณขาเข้า 2.วงจรทำงานตามฟังก์ชั่นทางตรรก 3.วงจรส่งแรงดันขาออก วงจรทั้งหมดถูกออกแบบด้วยการออกแบบวงจรแบบไม่สมมาตร (nonsymetric design) ด้วยขนาดของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่เล็กที่สุดด้วยเทคโนโลยีการแพร่สารเจือด้วยความร้อน และการสกัดแบบเปียก โดยมีค่าความยาวของช่องทางเดินกระแสต่ำที่สุด 20 ไมโครเมตร และค่าความกว้างของช่องทางเดินกระแสต่ำสุด 60 ไมโครเมตร จากนั้นทำการทดสอบคุณสมบัติทางไฟฟ้าของวงจรในแง่ต่าง ๆที่เหมาะสม และเป็นข้อมูลพื้นฐานซึ่งผู้ออกแบบวงจรด้วยเกทอะเรย์ต้องการใช้งาน นอกจากนี้ยังทำการเสนอและทดสอบแบบจำลองทรานซิสเตอร์โครงสร้างแบบ MOIS เพื่อเป็นข้อมูลพื้นฐานของการวิเคราะห์วงจรต่าง ๆต่อไป ซึ่งผลการทดลองทั้งหมดสามารถสรุปได้ดังต่อไปนี้

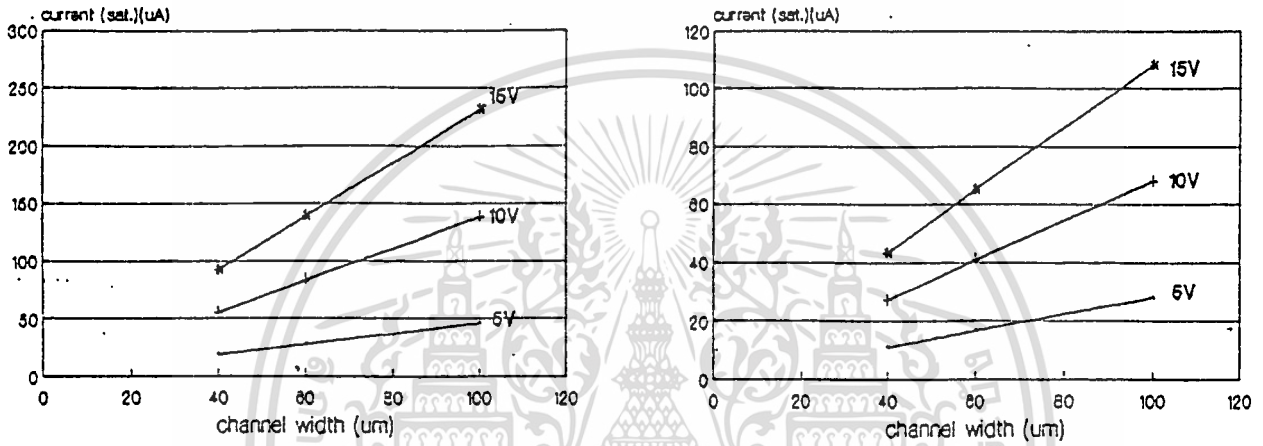
แบบจำลองทางไฟตรงของทรานซิสเตอร์โครงสร้างแบบ MOIS ประกอบด้วยค่าความต้านทาน Rd และ Rs ซึ่งเกิดจากการออกแบบขั้วไฟฟ้าเดรนและซอส และประกอบด้วยแหล่งกำเนิดกระแสซึ่งถูกควบคุมด้วยค่าแรงดันเกท (V_G) ซึ่งมีค่าความต้านทานภายใน Rc ดังนั้นค่า Rc จึงเป็นค่าความต้านทานซึ่งถูกควบคุมด้วยแรงดันเกทเช่นเดียวกัน ในการทดลองหาค่าความต้านทานต่าง ๆนั้น จำเป็นต้องทำการวัดค่าความต้านทานรวม Rd+Rs+Rc ในครั้งเดียวกัน เนื่องจากตัวความต้านทาน Rd และ Rs เป็นความต้านทานที่เกิดจากเนื้อสารเจือที่แพร่เข้าไปในส่วนเดรนซอสดังนั้นค่าความต้านทานทั้งสองนี้ควรจะมีค่าคงที่ตามขบวนการสร้าง แต่ความต้านทาน Rd ,Rs และ Rc ต่ออนุกรมกันอยู่ในโครงสร้าง จึงพอจะประมาณได้ว่าค่าความต้านทานที่วัดได้เกิดจากอิทธิพลของ Rc มากที่สุด เนื่องจากเมื่อเปลี่ยนค่าแรงดันที่เกทจะทำให้ค่าความต้านทานรวมเกิดการเปลี่ยนแปลงมาก ดังนั้นสามารถกล่าวได้ว่าตัวความต้านทาน Rc ซึ่งเกิดจากความกว้างและความยาวของช่องทางเดินกระแสของทรานซิสเตอร์ เป็นตัวความต้านทานที่ส่งผลต่อแบบจำลองทางไฟตรงเป็นอย่างมากโดยในวิทยานิพนธ์ฉบับนี้ ค่าความต้านทานสามารถสร้างออกมาได้ในช่วง 1 KΩ ถึง 150 KΩ

แบบจำลองทางไฟสลับของทรานซิสเตอร์โครงสร้างแบบ MOIS นอกจากตัวแปรต่าง ๆของแบบจำลองทางไฟตรงแล้ว จะประกอบด้วยค่าความจุไฟฟ้า C_D และ C_S ซึ่งเกิดจากโลหะขั้วเกทกระทำต่อขั้วเดรนและซอส และ C_C ซึ่งเกิดจากโลหะขั้วเกทกระทำต่อช่องทางเดินกระแสของทรานซิสเตอร์ และ CjD ,CjS ที่เกิดจากรอยต่อขั้วเดรนและซอสกระทำต่อฐานรองที่ใช้ทรานซิสเตอร์ ซึ่งจากการศึกษาพบว่า เมื่อประกอบทรานซิสเตอร์ MOIS เป็นโครงสร้างแบบ CMOIS แล้วค่าความจุไฟฟ้า CjD และ CjS ไม่มีผลใด ๆต่อวงจรเลย เนื่องจากโครงสร้าง CMOIS ไม่มีการให้ไบอัสที่ฐานรอง ดังนั้นตัวเก็บประจุที่ส่งผลต่อการทำงานของทรานซิสเตอร์คือ C_C ,C_D และ C_S ซึ่งค่าความจุไฟฟ้าทั้งสามนี้เกิดจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชั้นฉนวนซิลิกอนไดออกไซด์เหมือนกัน และจากการทดลองพบว่าตัวเก็บประจุไฟฟ้าในทรานซิสเตอร์ที่ออกแบบในวิทยานิพนธ์ฉบับนี้มีการเชื่อมตัวเก็บประจุเพื่อทำการวัดค่าด้วยเครื่อง HP 4061A ทำให้เกิดรอยต่อต่าง ๆมากขึ้น ซึ่งเมื่อเปรียบเทียบกับค่าที่คำนวณได้เป็นค่าที่คำนวณได้จากโครงสร้างภายในชิ้นสารอย่างเดียว ดังนั้นค่าที่ได้จากการทดลองจึงมีค่ามากกว่าค่าที่ได้จากการคำนวณ

จากการทดลองวัดกระแสขาเข้าของวงจรรับสัญญาณขาเข้าพบว่า เมื่อเปลี่ยนแปลงค่าความถี่เพิ่มขึ้นกระแสที่ไหลในวงจรเพิ่มมากขึ้นดังนั้นค่าแรงดันที่วัดได้จากผลปรากฏที่จอสโคปมีค่าเพิ่มขึ้น และสำหรับค่ากระแสขาออกของวงจรส่งสัญญาณขาออก ซึ่งหาได้จากการวัดคุณลักษณะของกราฟ I-V เป็น source current สำหรับ PMOIS และ sink current สำหรับ NMOIS ซึ่งสามารถเขียนเป็นกราฟแสดงความสัมพันธ์ของกระแสเปรียบเทียบกับความกว้างของช่องทางเดินกระแสได้ดังนี้



(ก) กระแสซอส (ข) กระแสซิงค์

รูปที่ 5-1 แสดงการเปรียบเทียบระหว่างค่ากระแสขณะอิ่มตัวที่ค่าความกว้างของช่องทางเดินกระแสค่าต่าง ๆเมื่อ V_G ค่าต่าง ๆ ของ PMOIS และ NMOIS

สำหรับวงจรส่งสัญญาณขาออกแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้าซึ่งใช้เป็นวงจรเชื่อมแรงดันระหว่างระบบ CMOIS กับระบบ TTL มีค่าแรงดันไฟเลี้ยงของระบบทั้งสองไม่เท่ากัน จากผลที่ได้เห็นว่าค่าแรงดันขาออกสถานะสูงและแรงดันขาออกสถานะต่ำมีค่าแตกต่างจากแรงดันไฟเลี้ยง Vcc อยู่ไม่เกิน 2% และค่าแรงดันการเปลี่ยนสถานะของวงจร (Vth) มีการเปลี่ยนแปลงต่างจาก Vcc/2 อยู่ 4 ถึง 8 เปอร์เซ็น ซึ่งถือว่าวงจรสามารถใช้ในการเชื่อมต่อแรงดันได้

การตอบสนองต่อสัญญาณชั่วครู่ของวงจรต่าง ๆในวิทยานิพนธ์นั้นสามารถแสดงให้เห็นค่าความถี่สูงสุดของวงจร (Maximum frequency) ที่หาได้จากสมการ (5-1)

$$\text{Maximum Delay Time} = t_{TLH} + t_{THL} \qquad (5\text{-}1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากนั้นใช้สมการ (5-2)

$$T = 1/f \qquad (5\text{-}2)$$

ก็จะได้เป็นค่าความถี่สูงสุดของวงจร และค่าหน่วงเวลาของสัญญาณอินพุทกับเอาท์พุท (propagation delay time) ซึ่งหาได้จาก

$$\text{Propagation Delay Time} = (T_{PLH} + T_{PHL})/2 \qquad (5\text{-}3)$$

ของแต่ละวงจรโดยแสดงได้ดังตารางต่อไปนี้

ตารางที่ 5-1 แสดงค่า Maximum Frequency และ Propagation Delay Time ของวงจร

วงจร	T_{PD} (μS)	Max.freq. (KHz)
วงจรรับสัญญาณ Inverting	4.8	58.9
Noninverting	11.9	23.3
วงจรส่งสัญญาณ Inverting	1.8	149.3
Noninverting	3.9	62.9
Converter แบบกลับเฟส		
ที่ Vcc=10 V	10.4	23.8
ที่ Vcc=5 V	20.5	11.9
Converter แบบไม่กลับเฟส		
ที่ Vcc=10 V	10.5	24.4
ที่ Vcc=5 V	16.5	14.9
NOR เกท All input switching	5.1	44.2
Single input switching	4.8	58.8
NAND เกท All input switching	36.5	7.9
Single input switching	5	58.8
Ex-OR A=GND B=CK	11.5	22.2
A=V_{DD} B=CK	11	22.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร	T_{PD} (μS)	Max.freq. (KHz)
D-FF Vout = Q	17	17
Vout = NOT Q	12	20.3
RS-FF Vout = Q	5.6	45.2
Vout = NOT Q	6.3	39
Transmission gate 2 input	1.6	192.3

จากตารางที่ 5-1 ความถี่สูงสุดที่นำไปใช้งานในวงจรนั้นมีค่าต่ำสุดที่ 8 KHz และมีค่าสูงสุดที่ 192 KHz ซึ่งเป็นค่าความถี่ที่สามารถนำไปใช้งานได้

สำหรับค่ากำลังงานสูญเสียของวงจรในโครงสร้าง CMOIS นั้นนำมาแสดงเป็นตารางได้ดังนี้

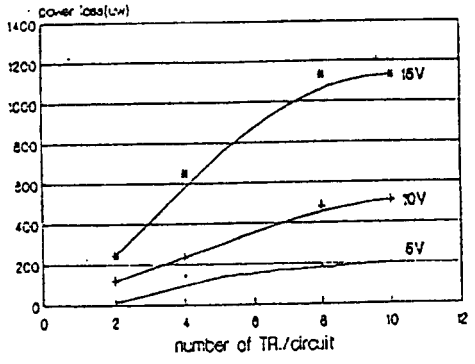
ตารางที่ 5-2 แสดงค่ากำลังงานสูญเสียของวงจรแบบสถิตและขณะป้อนสัญญาณอินพุทให้วงจร

วงจร	ค่ากำลังงานสูญเสียแบบสถิต(μW)			ค่ากำลังงานสูญเสียขณะป้อนสัญญาณอินพุท(μW)		
	V_{DD}=5V	V_{DD}=10V	V_{DD}=15V	V_{DD}=5V	V_{DD}=10V	V_{DD}=15V
Inverting	15	120	240	38	260	580
Noninverting	90	210	715	180	430	1190
4 input NAND	180	460	1011	260	506	2169
4 input NOR	178	490	1101	289	549	1978
Inverter	14	115	250	39	281	423
XOR	200	508	1129	398	781	1461
D-FF	190	480	1201	280	516	2010
RS-FF	178	490	1198	289	519	2109
TG	190	260	580	48	290	465

จากตารางข้างต้นจะได้ว่าค่ากำลังงานสูญเสียในแต่ละวงจรมีค่าไม่เท่ากันซึ่งสามารถแสดงให้เห็นเป็น

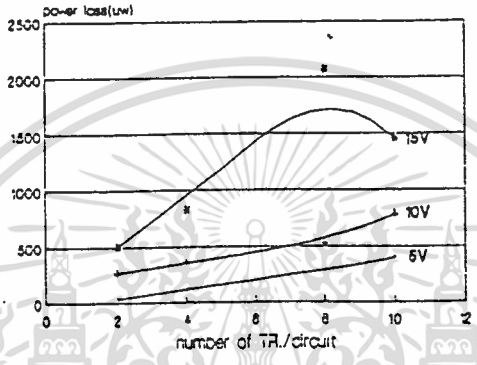
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กราฟความสัมพันธ์ระหว่างจำนวนทรานซิสเตอร์ในแต่ละวงจรเปรียบเทียบกับค่ากำลังงานสูญเสียได้ดังนี้



(ก) การสูญเสียแบบสถิต

รูปที่ 5-2 แสดงค่ากำลังงานสูญเสียเปรียบเทียบกับจำนวนทรานซิสเตอร์ต่อหนึ่งวงจร



(ข) การสูญเสียขณะป้อนสัญญาณอินพุท

รูปที่ 5-2 แสดงค่ากำลังงานสูญเสียเปรียบเทียบกับจำนวนทรานซิสเตอร์ต่อหนึ่งวงจร

จากผลการทดลองที่กล่าวมาทั้งหมดนี้จากการวิเคราะห์ในกลุ่มวิจัยของโครงสร้าง MOIS นั้น สามารถพัฒนาให้ค่าพารามิเตอร์ต่าง ๆ เป็นค่าที่ดีขึ้นได้ด้วยเทคโนโลยีการสร้างที่ทันสมัยขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

การที่ผู้เขียนสามารถดำเนินการทำวิทยานิพนธ์ฉบับนี้ได้สำเร็จเป็นฉบับสมบูรณ์นั้น ผู้เขียนขอขอบพระคุณ ผศ. วิสุทธ์ ฐิติรุ่งเรือง ผู้ซึ่งได้ให้แนวความคิด คำแนะนำ ข้อปฏิบัติ ตลอดจนวิธีการแก้ปัญหาที่เป็นประโยชน์ต่องานวิจัยมาโดยตลอดเป็นอย่างดี ขอขอบพระคุณ รศ.ดร.สมเกียรติ ศุภเดช ที่ได้ให้การสนับสนุนงานวิจัยชิ้นนี้ตลอดมา ขอขอบคุณ อ.จิรวัฒน์ ปานกลาง และเจ้าหน้าที่ทุกท่านที่ปฏิบัติการอยู่ ณ ศูนย์วิจัยอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่ได้ให้ความช่วยเหลือในด้านเครื่องมือที่ใช้ในการสร้างและทดสอบอุปกรณ์เป็นอย่างดี

สุดท้ายนี้ผู้เขียนขอกราบขอบพระคุณ คุณพ่อและคุณแม่ที่ให้การสนับสนุนการเรียนมาโดยตลอดจนถึงทุกวันนี้

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. จิรวัฒน์ ปานกลาง การศึกษา วิจัย และพัฒนาทรานซิสเตอร์โครงสร้าง CMOIS เป็นวงจรรวมขนาดเล็ก สำหรับปริญญาโทวิศวกรรมศาสตร์มหาบัณฑิต สาขาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2535
2. วิสุทธิ์ ฐิติรุ่งเรือง , สัจจา ส่งศิริ และสมเกียรติ ศุภเดช ทรานซิสเตอร์ชนิดใหม่โครงสร้างแบบ MOIS , การประชุมวิชาการทางวิศวกรรมไฟฟ้า 9 สถาบันอุดมศึกษา ครั้งที่ 10 ,เล่มที่ 1 , หน้า 1-205 - 1-215 ,พฤศจิกายน 2530
3. จิรวัฒน์ ปานกลาง, มนชนก ศรีเสือขาม, วิสุทธิ์ ฐิติรุ่งเรือง และ สมเกียรติ ศุภเดช คู่คอมพลีเม้นท์ที่สมมาตรของสิ่งประดิษฐ์ประเภท CMOIS การประชุมใหญ่ทางวิชาการประจำปี 2534 วิศวกรรมสถานแห่งประเทศไทย ในพระบรมราชูปถัมภ์, หน้า 801-810, พฤศจิกายน 2534
4. The Engineering Staff of American Micro-System Inc. MOS Integrated Circuit Theory , Fabrication , Design and System Application of MOS LSI Van Nostrand Reinhold Company , 1992
5. สมเกียรติ ศุภเดช, วิสุทธิ์ ฐิติรุ่งเรือง, จิรวัฒน์ ปานกลาง, อนุชา เรืองพานิช และ มนชนก ศรีเสือขาม ความคล่องตัวของประจุพาหะในสารกึ่งตัวนำซิลิกอนชนิดเอ็นที่เติมอะตอมทองคำ การประชุมทางวิชาการวิศวกรรมไฟฟ้า 9 สถาบันอุดมศึกษา ครั้งที่ 13, หน้า 280-290, พฤศจิกายน 2533 , หน้า 280 - 290
6. โกศล เพ็ชร์สุวรรณ, มาซามอริ อีดะ เทคโนโลยีสารกึ่งตัวนำ บริษัท ดวงกมล จำกัด, 2522
7. John P. Uyemura Fundamentals of MOS Digital Integrated Circuit Addison - Wesley Publishing Company , 1988
8. Edward s. Yang Microelectronic Device McGraw-Hill Book Company , 1988
9. Randall L. Geiger , Phillip E. Allen , Noel R. Strader VLSI Design Techniques For Analog and Digital Circuit McGraw-Hill International Edition , 1990
10. Devid A. Hodges , Horace G Jackson Analysis and Design of Digital Integrated Circuit McGraw-Hill Book Company , 1988
11. สัจจา ส่งศิริ, จิรวัฒน์ ปานกลาง, วิสุทธิ์ ฐิติรุ่งเรือง และ สมเกียรติ ศุภเดช

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การศึกษาผลของโครงสร้างทางเรขาคณิตของวงจร CMOIS อินเวอร์เตอร์ การประชุมวิชาการทางวิศวกรรมไฟฟ้า 9 สถาบันอุดมศึกษา ครั้งที่ 12, หน้า 583-593, พฤศจิกายน 2532

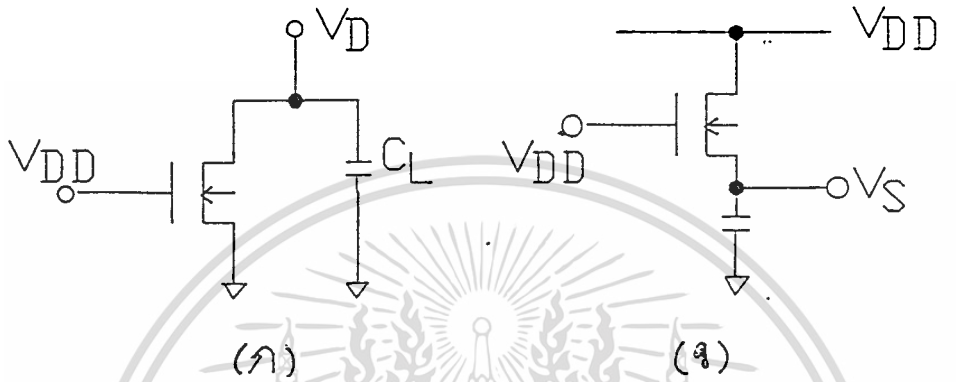
12. Masakazu Shoji CMOS Digital Circuit Technnology Prentice - Hall International Inc. 1988

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

การวิเคราะห์ช่วงเวลาในการเปลี่ยนสถานะของวงจรเกท

วิธีการที่สามารถเข้าใจอย่างรวดเร็วในการวิเคราะห์ช่วงเวลาเปลี่ยนสถานะของวงจรเกทแบบ CMOIS คือการเข้าใจถึงลักษณะการบระจุ และการคายประจุของตัวเก็บประจุที่ปรากฏแก่วงจร ดังตัวอย่างในรูปที่ ก-1



รูปที่ ก-1 แสดงวงจรที่ทำให้เกิดช่วงเวลาเปลี่ยนสถานะ

การเกิดช่วงเวลาเปลี่ยนสถานะที่เกิดจากวงจรทั้งสองในรูปที่ ก-1 คือช่วงเวลาในการคายประจุของวงจร (ช่วงขอบขาลง) สำหรับช่วงเวลาที่ใช้ในการพิจารณาเวลาในขอบขาขึ้น ซึ่งส่วนใหญ่จะเป็นการคายประจุตัวเก็บประจุด้วยทรานซิสเตอร์ชนิดพี จะเป็นลักษณะเดียวกัน ตอนนี้จะพิจารณาวงจรในรูปที่ ก-1 เพื่ออธิบายเวลาที่สูญเสียไป

ก. การคายประจุไปยังทรานซิสเตอร์ชนิด NMOIS

ในรูปที่ ก-1 (ก) เราจะสมมุติว่าตัวเก็บประจุมีประจุอยู่เต็มแล้ว และค่าแรงดันตกคร่อมตัวเก็บประจุจะมีค่า V_{DD} และค่าแรงดันที่ปรากฏที่ขั้วเกทของทรานซิสเตอร์ชนิด NMOIS ทำให้ค่าแรงดัน V_D เปลี่ยนแปลงจาก V_{DD} ไปสู่แรงดัน 0 โวลต์ ที่เวลา t=0 ดังนั้นค่าแรงดันที่จุด V_D คือ

$$C_L \, (dV_D/dt) \;=\; -I_N \, (V_{DD} \, , \, V_D) \qquad (ก-1)$$

แทนค่าเงื่อนไขขอบเขตของสมการ

$$V_D(0) \;=\; V_{DD}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่ากระแส I_N ที่เป็นฟังก์ชั่นของ (V_{DD},V_D) คือกระแสที่ทรานซิสเตอร์สามารถนำกระแสได้คือ ช่วงไม่อิ่มตัว

$$I_N(V_{DD},V_D) = \beta_n [V_{DD}-Vtn-(1/2)V_{DD}]V_{DD} \qquad (ก-2)$$

และ ช่วงอิ่มตัว

$$I_N(V_{DD},V_D) = (\beta_n/2)(V_{DD}-Vtn)^2 \qquad (ก-3)$$

จนกระทั่งค่าแรงดันขาออกมีค่าลดลงจากค่า V_{DD} สู่ค่าแรงดัน $V_{DD}-V_{Tn}$ ค่าแรงดัน V_D ที่เวลา t จะมีค่า

$$V_D(t) = V_{DD} - [\beta_n(V_{DD}-Vtn)^2 t]/[2C_L] \qquad (ก-4)$$

สมการที่ (ก-4) จะเป็นจริงในช่วงเวลา $0 < t < t_s$ เมื่อ

$$ts = [2C_L Vtn]/[\beta_n(V_{DD}-Vtn)^2]$$

$$= [(2Vtn)/(V_{DD}-Vtn)]t_o \qquad (ก-5)$$

โดยที่

$$t_o = C_L/[\beta_n(V_{DD}-Vtn)] \qquad (ก-6)$$

และถ้าเวลา $t > t_s$ สมการที่ (ก-1) จะมีค่า

$$C_L(dV_D/dt) = \beta_n[V_{DD}-Vtn-(1/2)V_D]V_D$$

ในช่วงนี้จะมีเงื่อนไขขอบเขต

$$V_D(ts) = V_{DD}-Vtn$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และคำตอบของสมการคือ

$$V_D(t) = (V_{DD}-Vtn)\{[2\exp[(t_s-t)/t_o]]/[1+\exp[(t_s-t)/t_o]]\} \quad (ก-7)$$

จากสมการ (ก-7) จะพบว่าเมื่อเวลาเข้าสู่ ∞ ค่าตัวหารของสมการจะหมดไป ดังนั้นช่วงเวลาหน่วงของวงจร คือช่วงเวลาที่แรงดัน V_D เปลี่ยนแปลงจากจุด 90 % ถึงจุด 10 % ของแรงดันไฟเลี้ยง ดังนั้นจึงสามารถแทนค่าลงในสมการเพื่อหาค่าของเวลาต่าง ๆได้

ข. การประจุตัวเก็บประจุผ่าน NMOIS

กรณีของการประจุตัวเก็บประจุผ่านจาก NMOIS แสดงได้ดังรูปที่ ก-1(ข) ในช่วงเวลานี้ค่าแรงดันที่ปรากฏที่ขั้วเกทของทรานซิสเตอร์ NMOIS ในช่วงเวลา t=0 คือแรงดัน V_{DD} ค่าแรงดันที่ปรากฏที่ตัวเก็บประจุจะมีค่า 0 โวลต์ที่ t=0 ดังนั้นสมการแรงดันที่จุด V_s คือ

$$C_L(dVs/dt) = I_N(V_{DD}-V_S, V_D-V_S) = (1/2)\beta_n(V_{DD}-V_S-Vtn)^2 \quad (ก-8)$$

คำตอบของสมการโดยแทนเงื่อนไขขอบเขต $V_s(0) = 0$ คือ

$$V_S(t) = (V_{DD}-Vtn)\{(t/2to)/[1+(t/2to)]\} \quad (ก-9)$$

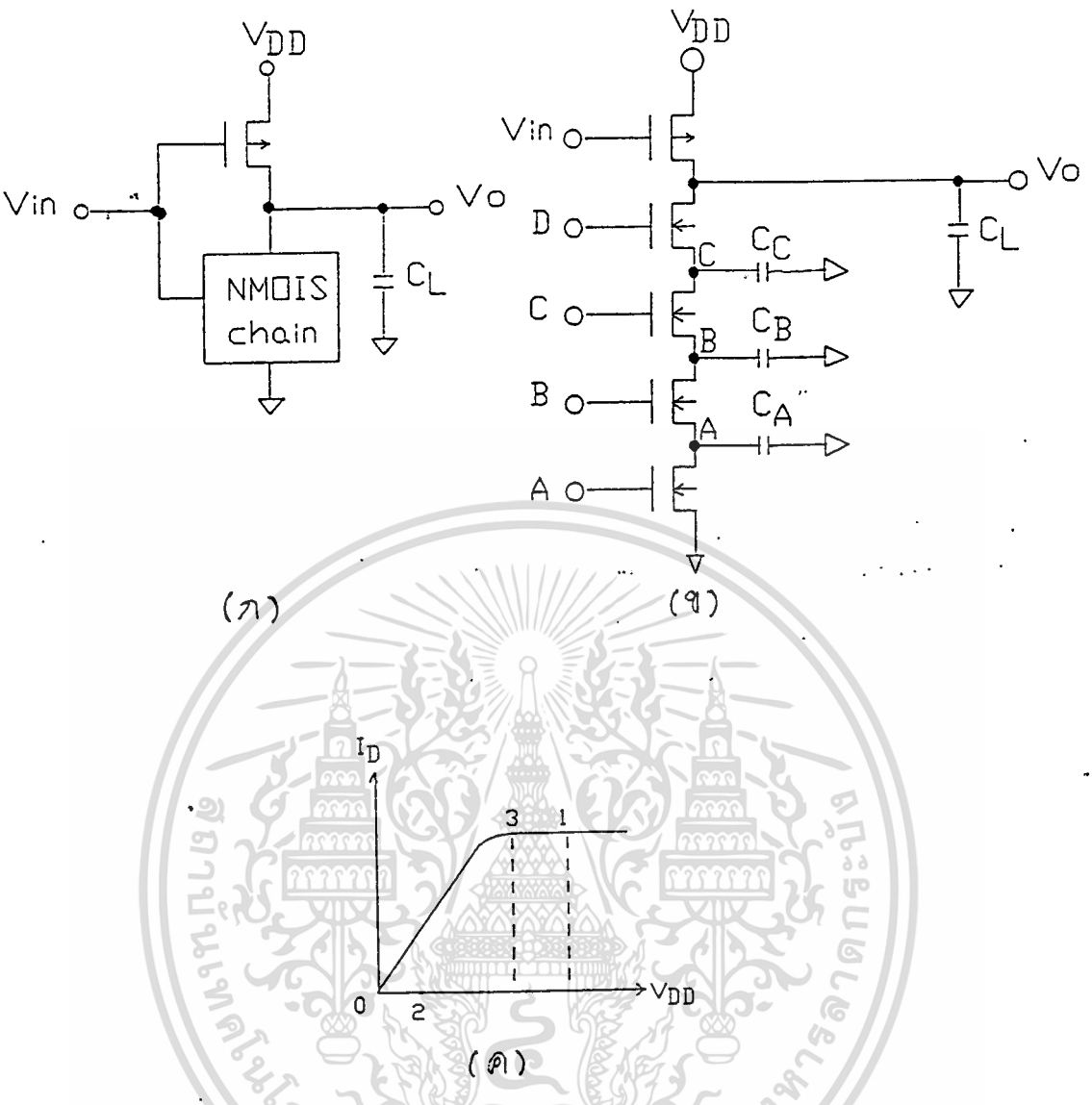
เมื่อ $t_o = C_L / \beta_n(V_{DD}-V_{tn})$ ดังที่ได้อธิบายไปแล้ว

ในกรณีที่วงจรประกอบด้วยทรานซิสเตอร์ชนิด PMOIS ในลักษณะเช่นเดียวกับที่อธิบายไว้ตอนนี้จะเป็นไปในทำนองเดียวกัน โดยการแทนค่าพารามิเตอร์ของ PMOIS เข้าไปในสมการ และแทนค่า V_D คล้าย $V_{DD}-V_D$

ค. การคายประจุไปยังทรานซิสเตอร์ชนิด NMOIS ที่ต่ออนุกรมกัน

ลักษณะของวงจรที่ประกอบด้วยทรานซิสเตอร์ชนิด NMOIS ที่ต่ออนุกรมกันจะเป็นไปดังรูปที่ ก-2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ก-2 แสดงวงจรที่ประกอบด้วยทรานซิสเตอร์ชนิด NMOIS ต่ออนุกรมกัน

การคายประจุจากตัวเก็บประจุเข้าสู่ทรานซิสเตอร์ชนิด NMOIS จะทำให้วงจรเปลี่ยนแปลงสถานะจากสถานะสูงไปสู่สถานะต่ำ และจากรูปที่ ก-2 (ข) ค่าแรงดันที่จุด C จะมีค่าเป็น V_{DD} หรือ $V_S = V_{DD} - V_{Tn}$ หรือมีค่าเป็น 0 โวลต์ ก็ได้ ขึ้นอยู่กับเงื่อนไขของเซตเริ่มต้น และเมื่อค่าแรงดันมีค่าเป็น 0 โวลต์ ตัว NMOIS ตัว D จะทำงานอยู่ที่สภาวะ 1 ดังในรูปแสดงคุณสมบัติกระแสและแรงดันในรูป (ก-2)ค ตัว NMOIS ตัว D จะนำกระแสซึ่งจะทำให้ประจุเคลื่อนที่จากจุด 0 ไปจุด C ค่าเวลาในการเปลี่ยนแปลงแรงดันจะเริ่มต้น ณ.จุด ๆนี้

เมื่อค่าแรงดันที่จุด A ,B ,...,C มีค่าเป็น V_{DD} หรือ $V_{DD} - V_{Tn} = V_S$ ตัว NMOIS ตัวที่ D จะเข้าสู่สภาวะการทำงานที่จุด 0 หรือจุด 2 ในรูปที่ ก-2 (ก) ซึ่งเป็นสภาวะหยุดทำงาน หรือจุดที่ทรานซิสเตอร์ทำงานในสภาวะอิ่มตัว แต่กระแสที่ไหลมีค่าเป็น 0 A ถ้าค่าแรงดัน V_{DS} ของ NMOIS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัว D มีค่าลดลงตัว NMOIS ตัวที่ D จะนำกระแสทันที ในกรณีอื่น ๆ ตัวทรานซิสเตอร์ NMOIS ตัวที่ D จะไม่นำกระแสจนกว่าค่าแรงดันที่จุด C จะมีค่าต่ำกว่าค่าแรงดัน V_S และถึงแม้ว่าตัวเฟทที่ D จะนำกระแสแล้วค่าแรงดันที่จุด O จะยังคงไม่เปลี่ยนแปลง

ถ้าจะให้การเปลี่ยนแปลงสถานะเป็นไปอย่างช้าที่สุด จะต้องกำหนดให้เงื่อนไขเริ่มต้นของตัวเก็บประจุทุกตัว (ที่จุด A ถึงจุด C) มีประจุอยู่เต็มจนทำให้มีค่าแรงดันเป็น V_{DD} และถ้าวงจรเป็นกรณีเช่นนี้ การคายประจุของวงจรจะเริ่มต้นจากเฟทตัวที่ A จะต้องนำกระแส (อยู่ที่สถานะ 1 ในรูปคุณสมบัติกระแสและแรงดัน) จนกระทั่งจุด A มีค่าแรงดันลดลงจนมีค่าเป็น 0 โวลต์ (หรือ V_S) อันเนื่องจากตัวเก็บประจุที่ปรากฏที่จุด A คายประจุผ่านเฟท A ลงสู่ V_S จนหมด ในช่วงเวลาที่คายประจุนี้จะใช้เวลา T_{A1} โดย

$$T_{A1} = [C_A(V_{DD}-V_S)]/[I_{D(A)}] \qquad (ก-10)$$

โดยที่ $I_{D(A)}$ คือค่ากระแสอิ่มตัวของทรานซิสเตอร์ A เมื่อมีค่าแรงดัน V_{DD} ปรากฏที่เกทของเฟท A และในทันทีที่ค่าแรงดันที่จุด A ตกลงจนมีค่าเป็น V_S ทรานซิสเตอร์ตัวที่ B จะเริ่มนำกระแสและคายประจุจากตัวเก็บประจุที่จุด B ลงสู่ V_S ผ่านทรานซิสเตอร์ A และ B จนหมดทำให้ค่าแรงดันที่จุด B มีค่าเป็น V_S เช่นเดียวกับที่อธิบายไปแล้ว ช่วงเวลาที่ใช้ไปคือ T_{B1} มีค่า

$$T_{B1} = [C_B(V_{DD}-V_S)]/[I_{D(A,B)}] \qquad (ก-11)$$

ซึ่งค่า $I_{D(A,B)}$ คือค่ากระแสอิ่มตัวที่ประกอบด้วยตัวแปรที่เกิดจากทรานซิสเตอร์ A และ B และในทำนองเดียวกันที่จุด C จะเกิดการเปลี่ยนแปลงแรงดันจนทำให้จุด C มีค่าแรงดันเป็น V_S โดยใช้เวลา T_{C1} มีค่า

$$T_{C1} = [C_C(V_{DD}-V_S)]/[I_{D(A,B,C)}] \qquad (ก-12)$$

ในทำนองเดียวกันคือ $I_{D\ (A\ ,B\ ,C)}$ คือค่ากระแสอิ่มตัวที่เป็นส่วนประกอบของทรานซิสเตอร์ทั้ง 3 ตัว คือ A ,B และ C ดังนั้นค่าเวลาที่จุด O จะใช้ในการเปลี่ยนแปลงแรงดันจาก V_{DD} เป็นค่าแรงดัน V_S คือ

$$T_D = T_{A1} + T_{B1} + T_{C1} + \ldots + T_{X1}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ X คือค่าจำนวนที่สูงที่สุดของทรานซิสเตอร์ที่อนุกรมกัน

ถ้าให้ NMOIS ตัวที่ A ,B ,... มีค่าความกว้างของช่องทางเดินกระแสเป็น W_A ,W_B ,... และค่าความยาวของช่องทางเดินกระแสเป็น L_A ,L_B ,... จะได้กระแสมีค่า

$$I_{D(A,B,C,...)} = (\mu\epsilon_{ox}/2T_{ox})(V_{DD}-V_{Tn})^2[(L_A/W_A)+(L_B/W_B)+...] \quad (ก-13)$$

และให้

$$R_{A1} = \rho_1(L_A/W_A) \quad , \quad R_{B1} = \rho_1(L_B/W_B) \quad , \ldots \quad (ก-14)$$

โดยที่

$$\rho_1 = [2T_{ox}(1-v_{DS})]/[\epsilon_{ox}\mu V_{DD}(1-v_{Tn})^2] \quad (ก-15)$$

จากสมการเราทราบว่า $1-v_s > v_{tn}$ เราจะได้

$$T_{A1} = R_{A1}C_A$$

$$T_{B1} = (R_{A1} + R_{B1})C_B$$

:

$$T_{X1} = (R_{A1} + R_{B1} + \ldots)C_X$$

ดังนั้นจะได้ค่าเวลาในการเปลี่ยนแปลงสถานะคือ

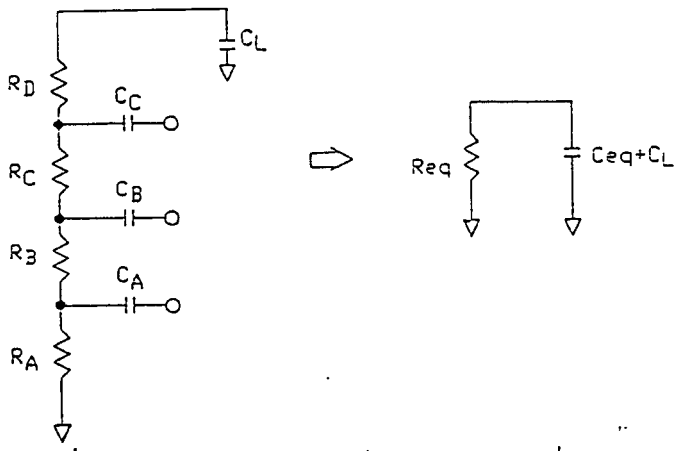
$$T_{D1} = T_{A1} + T_{B1} + \ldots$$

$$= R_{A1}C_A + (R_{A1} + R_{B1})C_B + \ldots +(R_A + R_{B1} + \ldots + R_{X1})C_L \quad (ก-16)$$

จากสมการที่ (ก-16) จะพบว่าเป็นวงจรที่ประกอบด้วยค่าความต้านทาน และตัวเก็บประจุที่ต่อกันเป็นโครงข่ายไฟฟ้า ซึ่งทำให้เกิดการหน่วงเวลาของสัญญาณขาออกได้ ดังนั้นเราจึงสามารถรวมค่าความต้านทานและตัวตัวเก็บประจุเหล่านั้นให้เหลือเป็นวงจรสมมูลย์อย่างง่ายเพียงวงจรเดียว โดยวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังกล่าวจะเป็นไปดังรูปที่ ก-3



รูปที่ ก-3 แสดงวงจรสมมูลย์แทนวงจรในรูปที่ 1-2

ตัวความต้านทาน R_{eq} ในรูปที่ ก-3 คือตัวแสดงถึงเฟทตัวเดียว ๆที่มีค่าความยาวและความกว้างของช่องทางเดินกระแสที่เป็นตัวแทนของเฟทที่ต่อกันแบบอนุกรมได้ และในทำนองเดียวกันค่าความจุไฟฟ้า C_{eq} คือค่าความจุไฟฟ้ารวมของ C_A ,C_B ,C_C และ C_L ซึ่งโดยปกติแล้วจะมีค่าประมาณ C_L ดังนั้นสิ่งที่ต้องการทราบคือค่า R_{eq} จะมีค่าเป็นเท่าใด

ตามที่กล่าวแล้วว่า R_{eq} จะเป็นตัวแทนของเฟทที่ต่ออนุกรมกันอยู่ดังนั้น

$$\beta_{\text{รวม}} = \mu[\epsilon ox/Tox][(L_A/W_A)+(L_B/W_B)+...]^{-1}$$

ช่วงเวลาหน่วงของวงจรจะมีค่า

$$T_{D(2)} = (C_L+Ceq)(R_{A2}+R_{B2}+...) \qquad (ก-17)$$

โดยที่

$$R_{A2} = \rho_2 (L_A/W_A) \quad , \quad R_{B2} = \rho_2 (L_B/W_B)$$

และ

$$\rho_2 = \{Tox/[\epsilon ox\mu(V_{DD}-V_{Tn})]\} \log(3-4v_{tn}) \qquad (ก-18)$$

ดังนั้นช่วงเวลาหน่วงทั้งหมดของวงจรคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$T_D = T_{D(1)} + T_{D(2)}$$

$$\cong (R_A + R_B + R_C + \ldots + R_X)C_L \qquad (ก-19)$$

โดยที่

$$R_A = (\rho_1 + \rho_2)(L_A/W_A) \quad , \quad R_B = (\rho_1 + \rho_2)(L_B/W_B)$$

$$\rho = V/I$$

$$= V_{DS} / [\ \beta/2(V_G - V_T)V_{DS} - (V_{DS}^2/2)\ ]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.

สัญลักษณ์

สัญลักษณ์	ความหมาย	หน่วย
a	ระยะห่างระหว่างทรานซิสเตอร์สองตัว	μm
C_{ox}	พิกัดความจุไฟฟ้าที่เกทออกไซด์	F/cm^2
d	ความหนาของช่วงปลอดประจุพาหะ	cm
E_c	ระดับพลังงานของแถบความนำ	eV
E_o	ระดับพลังงานของแถบวาเลนซ์	eV
E_{fe}	ระดับพลังงานของอิเล็กตรอนในสารกึ่งตัวนำชนิดเอ็น	eV
E_{fh}	ระดับพลังงานของอิเล็กตรอนในสารกึ่งตัวนำชนิดพี	eV
f	ตัวแปรผลของความยาวช่องทางเดินกระแสสั้น ๆ	-
g	ตัวแปรผลของความกว้างช่องทางเดินกระแสแคบ ๆ	-
g_m	ทรานคอนดัคแตนท์	mho
I_{DS}	กระแสเดรนซอส	A
k'	ตัวแปรความนำของทรานซิสเตอร์ที่เกิดจากการสร้าง	A/V^2
L	ความยาวของช่องทางเดินกระแสของทรานซิสเตอร์	μm
L_{eff}	ค่าความยาวของช่องทางเดินกระแสที่แท้จริง	μm
N_c	ปริมาณประจุอิเล็กตรอนในชั้นความนำ	C
N_e	ปริมาณของประจุอิเล็กตรอน	C
N_h	ปริมาณของประจุโฮล	C
n_i	ปริมาณของประจุพาหะในสารกึ่งตัวนำบริสุทธิ์	C
N_v	ปริมาณประจุอิเล็กตรอนในชั้นวาเลนซ์	C
NM_H	ขอบเขตของสัญญานรบกวนที่วงจรทนได้ขณะมีศักดาสูง	V
NM_L	ขอบเขตของสัญญานรบกวนที่วงจรทนได้ขณะมีศักดาต่ำ	V
Q_I	จำนวนประจุในช่วงดีพลีชั่น	C
Q_B	ค่าประจุในช่องทางเดินกระแสของทรานซิสเตอร์	C
q	ค่าประจุอิเล็กตรอน	C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

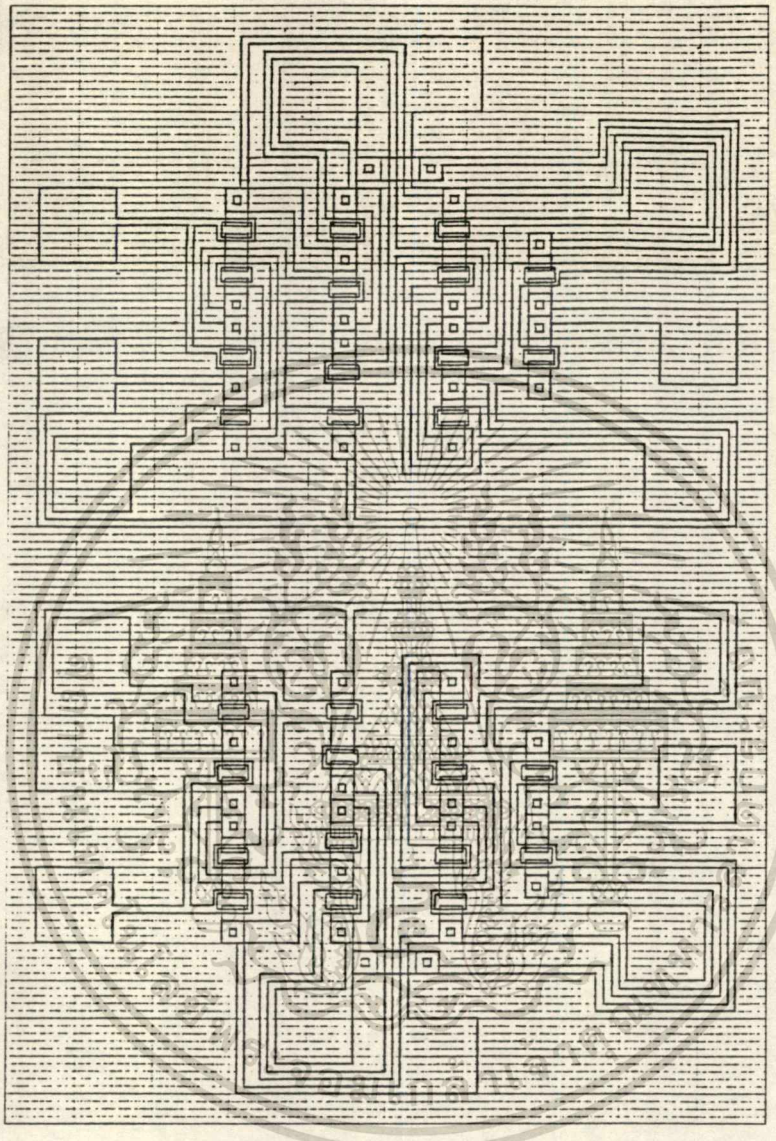
สัญลักษณ์	ความหมาย	หน่วย
R	ค่าความต้านทาน	ohm
T	อุณหภูมิสัมบูรณ์	K
T_p	ค่าเวลาหน่วงของวงจร	sec
T_{ox}	ค่าความหนาของชั้นฉนวนในบริเวณช่องทางเดินกระแส	A°
V_{OH}	ค่าแรงดันขาออกสถานะสูงของวงจร	V
V_{OL}	ค่าแรงดันขาออกสถานะต่ำของวงจร	V
V_{IH}	ค่าแรงดันขาเข้าสถานะสูงของวงจร	V
V_{IL}	ค่าแรงดันขาเข้าสถานะต่ำของวงจร	V
V_{IN}	ค่าแรงดันขาเข้าวงจร	V
V_{OUT}	ค่าแรงดันขาออกของวงจร	V
V_{GS}	ค่าแรงดันเกทซอส	V
V_{DS}	ค่าแรงดันเดรนซอส	V
V_T	ค่าแรงดันยึดเริ่มของทรานซิสเตอร์	V
V_{FB}	ค่าความแตกต่างฟังก์ชันงานของซิลิกอนกับชั้วเกท	V
W	ค่าความกว้างของช่องทางเดินกระแส	μm
X_j	ค่าความลึกของรอยต่อสารกึ่งตัวนำ	μm
β	ค่าอัตราขยายของทรานซิสเตอร์	A/V^2
ϵ_o	ค่าเปอร์มิติวิตี้ของสูญญากาศ	F/cm
ϵ_{ox}	ค่าคงที่ไดอิเล็กทริกของซิลิกอนไดออกไซด์	
ϵ_s	ค่าคงที่ไดอิเล็กทริกของซิลิกอน	
μ_{nAu}	ความคล่องตัวของอิเล็กตรอนในซิลิกอนที่เติมอะตอมทองคำ	$cm^2/v\text{-}sec.$
μ_{PAu}	ความคล่องตัวของโฮลในซิลิกอนที่เติมอะตอมทองคำ	$cm^2/v\text{-}sec.$
ρ	พิกัดความต้านทาน	ohm-cm
σ	ความนำไฟฟ้า	$(ohm\text{-}cm)^{-1}$
ϕ_{fe}	ความต่างศักดาระหว่างระดับพลังงานอินทรินซิคกับระดับพลังงานเฟอร์มิที่อิเล็กตรอนอยู่	V
ϕ_{fh}	ความต่างศักดาระหว่างระดับพลังงานอินทรินซิคกับระดับพลังงานเฟอร์มิที่โฮลอยู่	V
ϕ_s	ความต่างศักดาไฟฟ้าที่ผิวของซิลิกอน	V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญลักษณ์	ความหมาย	หน่วย
ϕ_{so}	ความต่างศักดาไฟฟ้าระหว่างขอบของแถบความนำ ซิลิกอนไดออกไซด์กับขอบของแถบความนำซิลิกอน	V
ϕ_M	ความต่างศักดาไฟฟ้าระหว่างขอบของแถบความนำ ซิลิกอนไดออกไซด์กับระดับพลังงานเฟอร์มิของเกทโลหะ	V
ϕ_{MS}	ความแตกต่างฟังก์ชั่นงานระหว่างเกทโลหะกับซิลิกอน	V
ϕ_s	ความต่างศักดาไฟฟ้าระหว่างขอบของแถบความนำ ซิลิกอนไดออกไซด์กับระดับพลังงานเฟอร์มิซิลิกอน	V
Ω	โอห์ม	ohm
υ	โมห์	mho

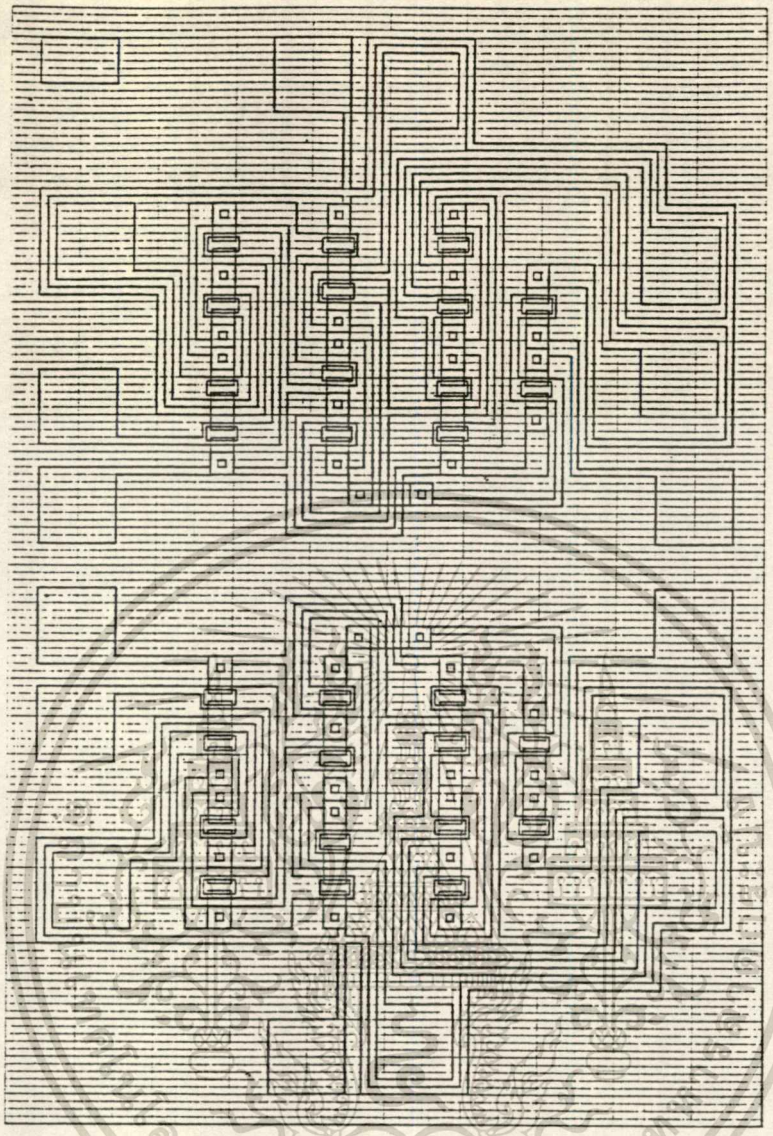
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลวดลายวงจรในวิทยานิพนธ์ที่ทำการออกแบบและสร้างขึ้นด้วยโครงสร้าง CMOIS



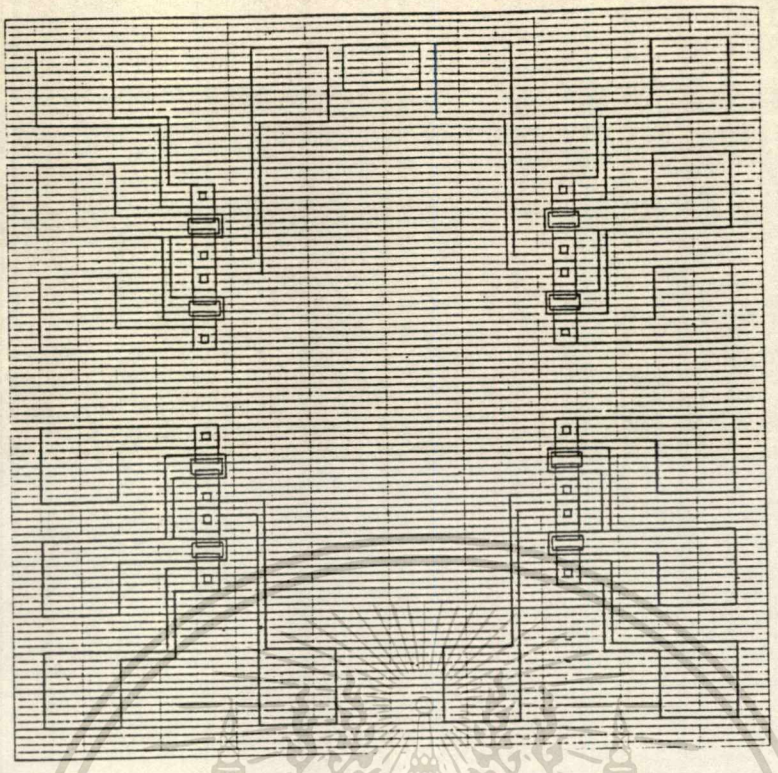
รูปที่ ค-1 แสดงลวดลายวงจร 4 INPUT NOR GATE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

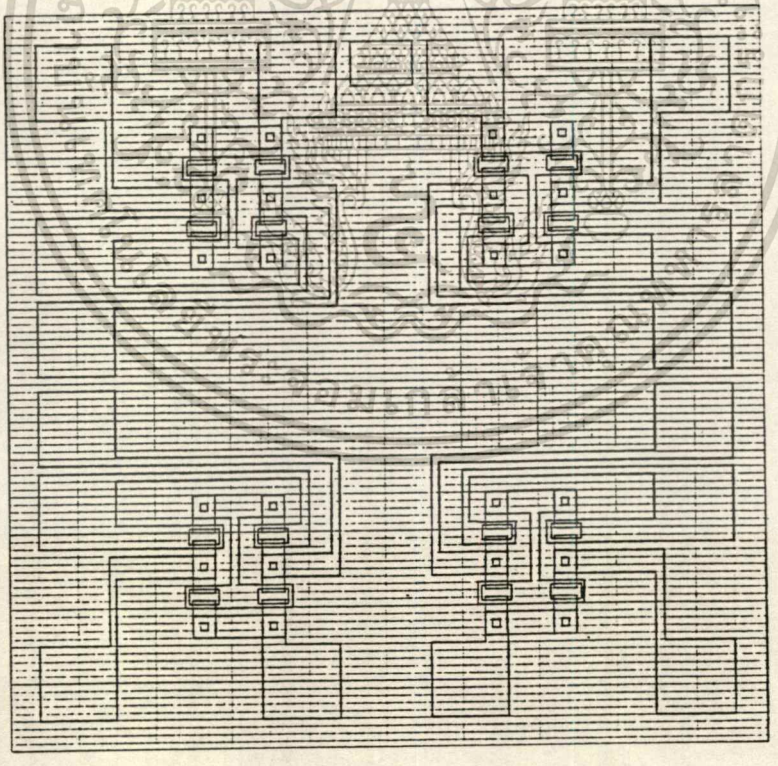


รูปที่ ค-2 แสดงลวดลายวงจร 4 INPUT NAND GATE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

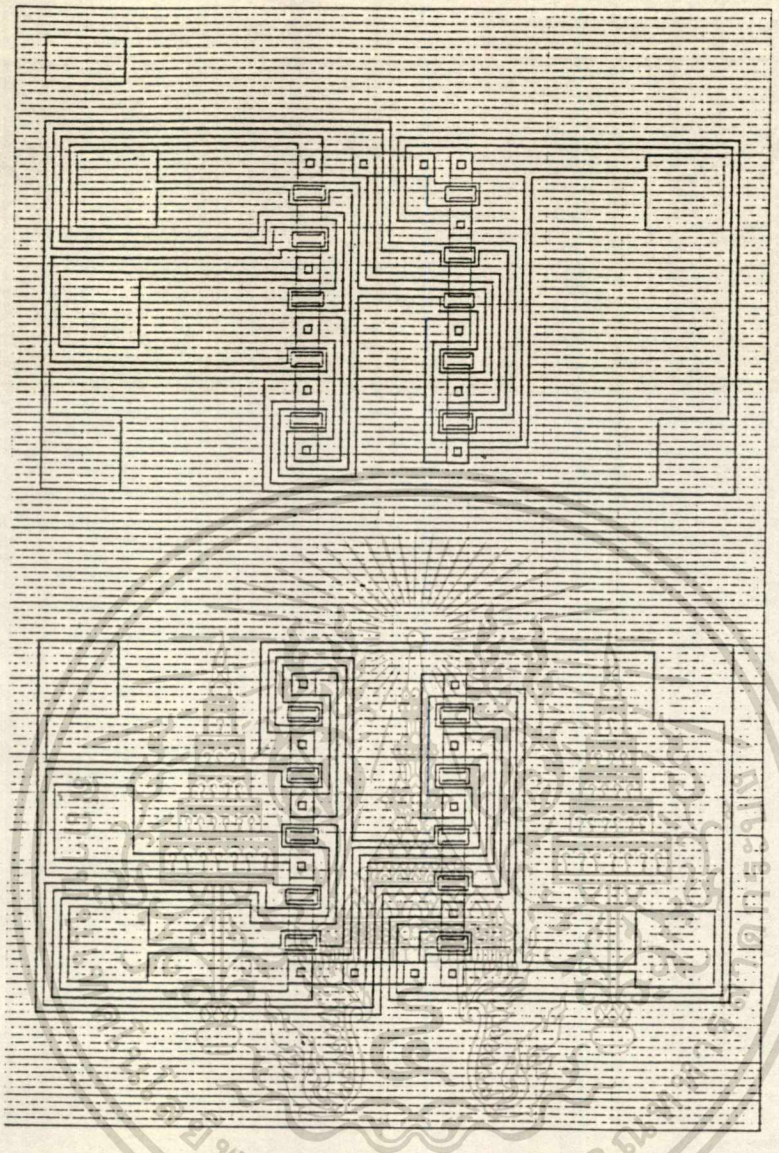


รูปที่ ค-3 แสดงลวดลายวงจร INVERTER



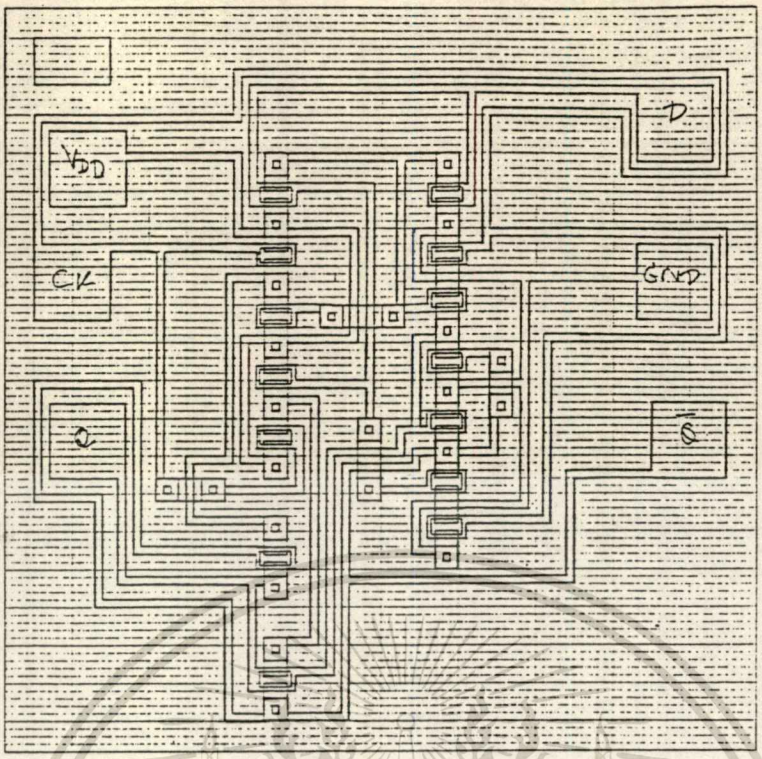
รูปที่ ค-4 แสดงลวดลายวงจร BUFFER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

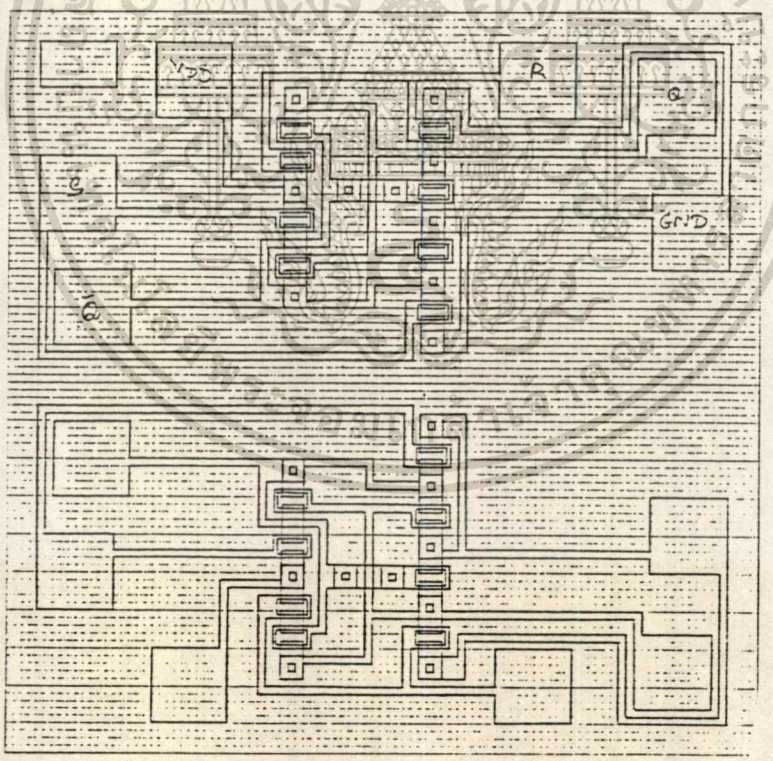


รูปที่ ค-5 แสดงลวดลายวงจร EXCLUSIVE OR GATE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

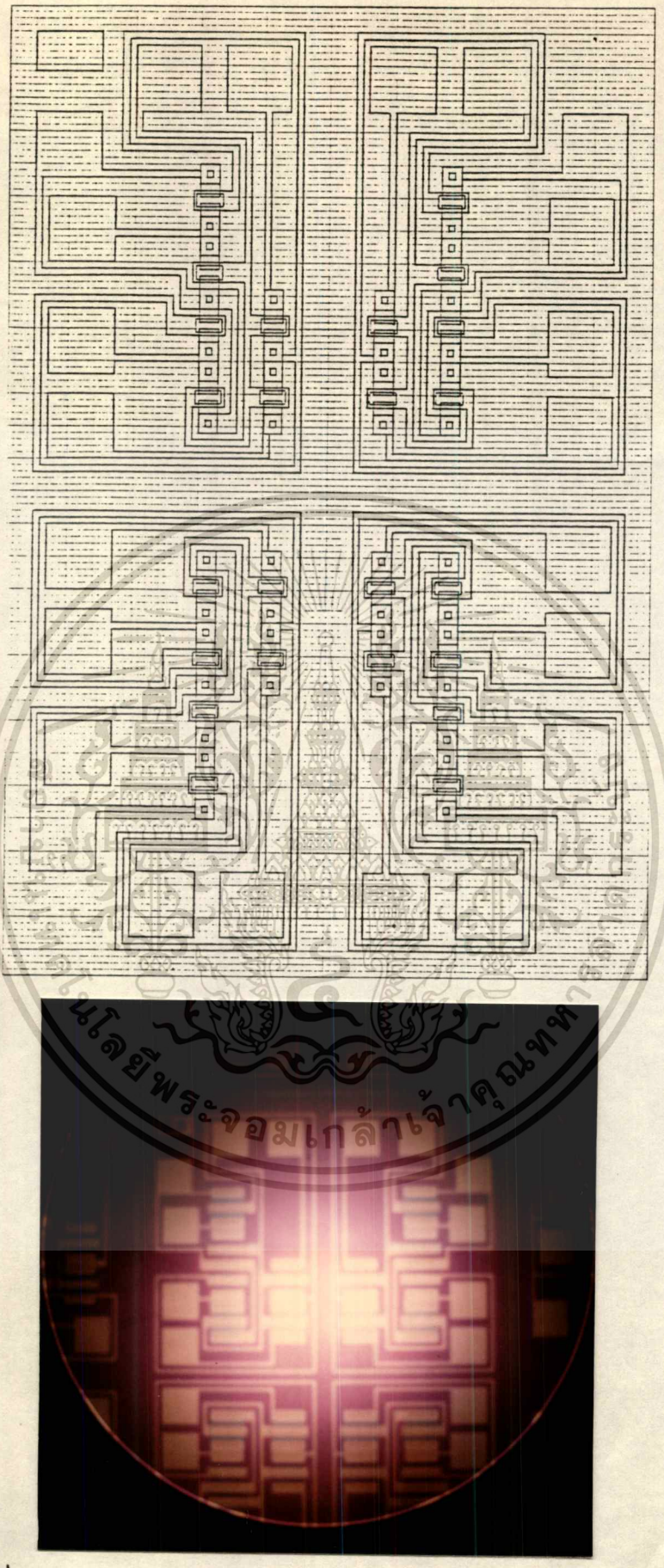


รูปที่ ค-6 แสดงลวดลายวงจร D-FLIP FLOP



รูปที่ ค-7 แสดงลวดลายวงจร RS-FLIP FLOP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ค-๕ แสดงลวดลายวงจร 2 INPUT TRANSMITTION GATE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้