

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การส่งข้อมูลภาพและเสียงระบบ ทีดีเอ็ม ผ่านใยแก้วนำแสง

TDM Video and Voice Data Transmission by Optical Fiber

หนังสืออ้างอิง 1
ห้ามนำออกนอกห้องสมุด

สมศักดิ์ อภิรักษ์สมบัติ

SOMSAK APIRAKSOMBAT

อาจารย์ที่ปรึกษา

รศ.ดร.โยธิน เปรมปราณีรัชต์

ดร.แดเนียล บริน

ADVISOR

ASSOC.Prof.Dr. YOTHIN PREMPRANEERATH

Dr. DANIEL BREEN



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2536

ISBN 974-621-106-4

เลขหมู่

เลขทะเบียน 21211

วัน. เดือน. ปี - 3 ส.ค. 2537

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ภายในห้องสมุดเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องแจ้งเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TDM VIDEO AND VOICE DATA TRANSMISSION BY OPTICAL FIBER

SOMSAK APIRAKSOMBAT

ADVISOR

ASSOC.Prof.Dr. YOTHIN PREMPRANEERATH

Dr. DANIEL BREEN

**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE
MASTER OF ENGINEERING**

**GRADUATE SCHOOL
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
1993**

ISBN 974-621-106-4

หัวข้อวิทยานิพนธ์	การส่งข้อมูลภาพและเสียงระบบ ทีดีเอ็ม ผ่านใยแก้วนำแสง
นักศึกษา	นาย สมศักดิ์ อภิรักษ์สมบัติ
อาจารย์ที่ปรึกษา	รศ. ดร. โยธิน เปรมปราณีรัชต์ ดร. แดเนียล บริน
ระดับการศึกษา	วิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า
ปีการศึกษา	2536

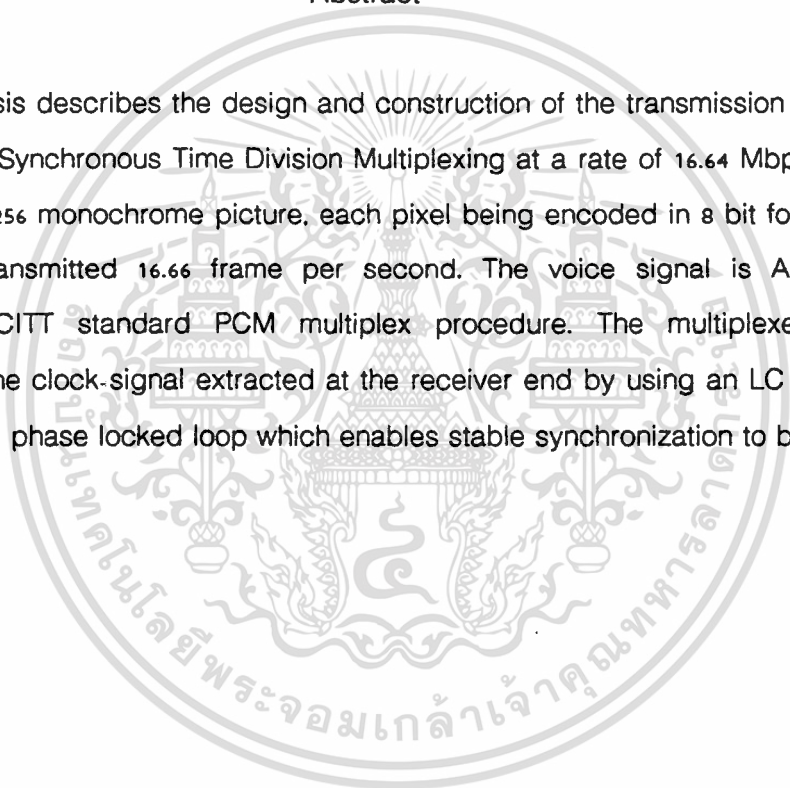
บทคัดย่อ

วิทยานิพนธ์นี้เป็นการทดลองออกแบบสร้างระบบส่งข้อมูลภาพและเสียงแบบ ซิงโครไนส์ทีดีเอ็ม ความเร็ว 16.64 Mbps โดยส่วนของข้อมูลภาพเป็นภาพขาวดำขนาด 256 x 256 จุดภาพ ความละเอียด 8 บิต/จุดภาพ ความเร็วในการส่งภาพสามารถทำได้ 16.66 ภาพ/วินาที ส่วนของข้อมูลเสียงทำการเข้ารหัสแบบ A Law ตามมาตรฐานของ CCITT ข้อมูลทั้งหมดถูกมัลติเพล็กซ์ แปลงให้อยู่ในรูป ทีดีเอ็ม และทำการสแครมเบลอร์ก่อนถูกส่งออกไป ระบบรับทำการแยกสัญญาณนาฬิกาโดยใช้วงจรจูน LC ร่วมกับ เฟสล็อกคัลคูลาเตอร์ความถี่แคบ เพื่อรักษาเสถียรภาพของการซิงโครไนซ์บิต

Thesis Title	TDM Video and Voice Data Transmission by Optical Fiber
Name	Mr. Somsak Apiraksombat
Thesis Advisor	Assoc. Prof. Dr. Yothin Prempraneerath Dr. Daniel Breen
Level of Study	Master of Engineering in Electrical Engineering
Academic Year	1993

Abstract

This thesis describes the design and construction of the transmission of voice and video signals by Synchronous Time Division Multiplexing at a rate of 16.64 Mbps. The video signal is a 256 x 256 monochrome picture, each pixel being encoded in 8 bit format and the picture being transmitted 16.66 frame per second. The voice signal is A-Law coded following the CCITT standard PCM multiplex procedure. The multiplexed signal is scrambled and the clock-signal extracted at the receiver end by using an LC tuned circuit and narrow-band phase locked loop which enables stable synchronization to be achieved.



กิตติกรรมประกาศ

ขอกราบขอบพระคุณ คุณพ่อและคุณแม่ รวมทั้งพี่ชายที่ได้ให้โอกาสและความช่วยเหลือทุกอย่างจนสำเร็จการศึกษา

ขอขอบพระคุณท่านอาจารย์ รศ.ดร.โยธิน เปรมปราณีรัชต์ ดร.แดเนียล บริน และ ผศ.ดร.กอบชัย เดชหาญ ที่ได้ให้ความช่วยเหลือทางด้านอุปกรณ์สื่อสารทางใยแก้วนำแสงตลอดจนให้คำแนะนำการจัดทำวิทยานิพนธ์เสร็จสมบูรณ์ลง

ขอขอบพระคุณอาจารย์ สมศักดิ์ เขียวศิริกุล ที่ได้ให้ความช่วยเหลืออุปกรณ์บางส่วนและให้แนวคิดเบื้องต้นในการทำงานวิจัยนี้

ขอขอบพระคุณอาจารย์ อธิคม ฤกษ์บุตร อาจารย์ประจำมหาวิทยาลัยเทคโนโลยีมหานคร ที่ได้ให้ความช่วยเหลือด้านสายใยแก้วนำแสง ทำให้วิทยานิพนธ์นี้มีความสมบูรณ์

ขอขอบคุณ คุณเจตนา สิงห์สินธุ์ และ คุณสุมิตร พนาอุดมทรัพย์ รวมทั้งเพื่อนๆที่ไม่ได้กล่าวนามในที่นี้ที่คอยให้ข่าวสารและให้กำลังใจจนสำเร็จการศึกษา

นายสมศักดิ์ อภิรักษ์สมบัติ

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญภาพ.....	VIII
สารบัญตาราง.....	XIII
คำอธิบายสัญลักษณ์.....	XIV
คำอธิบายชื่อสัญลักษณ์.....	XVI
 บทที่	
1 บทนำ.....	1
1.1 ความเป็นมาของวิทยานิพนธ์.....	1
1.2 วัตถุประสงค์ของวิทยานิพนธ์.....	1
1.3 ขอบเขตของวิทยานิพนธ์.....	1
1.4 เนื้อหาของวิทยานิพนธ์.....	2
2 สัญญาณ พีซีเอ็ม.....	3
2.1 ทฤษฎีการสุ่มสัญญาณเบื้องต้น.....	3
2.2 การควอนไทเซชัน.....	7
2.2.1 ตัวควอนไทซ์เชิงเส้น.....	8
2.2.2 สัญญาณรบกวนควอนไทซ์.....	9
2.3 พีซีเอ็ม สำหรับสัญญาณเสียง.....	11
2.3.1 การควอนไทซ์แบบไม่สม่ำเสมอ.....	12
2.3.2 กฎเกณฑ์การคอมแพนดิง.....	14
2.3.3 ลักษณะเชิงเส้นเป็นช่วงๆของการคอมแพนดิง.....	16
2.3.3.1 การคอมแพนดิงแบบ μ	16
2.3.3.2 การคอมแพนดิงแบบ A.....	19

สารบัญ (ต่อ)

	หน้า
3 การดิจิทัลสัญญาณภาพ.....	22
3.1 ระบบสัญญาณโทรทัศน์.....	22
3.1.1 การกวาดสัญญาณภาพ.....	23
3.1.2 สัญญาณภาพมาตรฐาน PAL.....	24
3.1.2.1 สัญญาณลูมิแนนซ์.....	24
3.1.2.2 สัญญาณซิงค์พัลส์.....	24
3.1.2.3 สัญญาณเบลงกิ้ง.....	24
3.2 การดิจิทัลสัญญาณภาพ.....	26
3.2.1 แนวคิดและลักษณะการจัดเก็บข้อมูลภาพ.....	26
3.2.2 หลักการดิจิทัลสัญญาณภาพ.....	27
4 การสื่อสารข้อมูลระบบมัลติเพล็กซ์แบบแบ่งเวลา.....	31
4.1 หลักการเบื้องต้นของการสื่อสารระบบมัลติเพล็กซ์แบบแบ่งเวลา.....	31
4.2 การชิงโครไนซ์เฟรมข้อมูล.....	33
4.3 เฟรมอโลเมนต์เวอร์ด.....	36
4.4 การแจ้เตือนสภาพการสื่อสาร.....	38
5 การชิงโครไนซ์บิท.....	40
5.1 จิตเตอร์.....	40
5.2 การเข้ารหัสสัญญาณดิจิทัล.....	42
5.2.1 รหัส NRZ.....	45
5.2.2 รหัส RZ.....	46
5.2.3 รหัสไบเฟส.....	46
5.2.4 รหัสไบโพลาร์.....	47
5.3 การแยกสัญญาณนาฬิกา.....	47
5.3.1 การแยกสัญญาณนาฬิกาโดยใช้วงจรจูน LC.....	48
5.3.2 ปัญหาในระบบการแยกสัญญาณนาฬิกาที่ใช้วงจรจูน LC.....	50
5.3.2.1 ปัญหาจากความไม่สมบูรณ์ของวงจรจูนและการแก้ไข.....	50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
5.3.2.2 ปัญหาเกี่ยวกับรูปแบบของพัลส์แพทเทิร์นและการแก้ไข.....	53
5.4 ทฤษฎีเฟสล็อกคูลูปเบื้องต้น.....	61
5.4.1 ฟังก์ชันถ่ายโอนเบื้องต้น.....	61
5.4.2 อันดับของฟังก์ชันถ่ายโอนลูป.....	65
5.4.3 คุณสมบัติการแทรกกึ่งและเฟสเออเรอร์ที่สถานะคงตัว.....	71
5.4.4 เฟสดีเท็คเตอร์.....	73
5.5 ระบบแยกสัญญาณนาฬิกาที่ใช้ในงานวิจัย.....	79
6 ระบบส่งข้อมูลภาพและเสียงแบบ ทีดีเอ็ม.....	80
6.1 ข้อกำหนดและการจัดเฟรมข้อมูล.....	80
6.2 ระบบส่งข้อมูล.....	83
6.3 ระบบรับข้อมูล.....	85
6.4 ระบบรับส่งข้อมูล.....	87
7 การออกแบบและการทำงานของวงจร.....	90
7.1 ระบบส่งข้อมูล.....	90
7.1.1 ส่วนมัลติเพล็กซ์ข้อมูล.....	90
7.1.2 ส่วนดิจิทัลสัญญาณภาพ.....	98
7.1.3 ส่วนเข้ารหัสและถอดรหัสเสียง.....	106
7.1.4 ส่วนแปลงข้อมูลขนานเป็นอนุกรม ,ส่วนสแครมเบลอร์.....	109
และตัวส่งทางแสง	
7.2 ระบบรับข้อมูล.....	112
7.2.1 ตัวรับทางแสง ,ตัวดีสแครมเบลอร์ ,ตัวแปลงข้อมูลอนุกรม.....	112
เป็นขนาน และตัวตรวจหา FAW	
7.2.2 ส่วนดีมัลติเพล็กซ์ข้อมูล.....	113
7.2.3 ส่วนควบคุมสถานะการชิงโครไนซ์.....	117
7.2.4 ส่วนถอดรหัสข้อมูลเสียง.....	119
7.2.5 ส่วนควบคุมและประมวลผลข้อมูลภาพ.....	121

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
7.2.5.1 หน่วยความจำภาพ.....	124
7.2.5.2 ส่วนอ่านข้อมูลภาพและกำเนิดสัญญาณภาพ.....	125
7.2.6 ส่วนแยกสัญญาณนาฬิกา.....	127
7.2.6.1 ส่วนจูนความถี่ LC.....	127
7.2.6.2 ส่วนเฟสล็อกคูล.....	128
 8 การทดสอบ.....	 134
8.1 การทดสอบทางภาพ.....	134
8.2 การทดสอบทางเสียง.....	137
 9 สรุปผลการวิจัยและข้อเสนอแนะ.....	 140
9.1 สรุปผลการวิจัย.....	140
9.2 แนวทางในการพัฒนาต่อไป.....	140
 บรรณานุกรม.....	 142
ภาคผนวก ก. วงจรระบบรับและระบบส่ง.....	143
ภาคผนวก ข. ผลงานวิจัยที่ได้รับการตีพิมพ์.....	166
ประวัติผู้เขียน.....	184

สารบัญภาพ

	หน้า
รูปที่ 2.1 แสดงกระบวนการสุ่มสัญญาณอนาล็อก.....	4
รูปที่ 2.2 แสดงแถบความถี่ของสัญญาณเมื่อถูกสุ่ม.....	6
รูปที่ 2.3 แสดงแถบความถี่ของสัญญาณที่ถูกสุ่ม..... เมื่อมีการเปลี่ยนแปลงความถี่สุ่ม	7
รูปที่ 2.4 แสดงคุณลักษณะของตัวควอนไทซ์เชิงเส้นและ..... ความผิดพลาดควอนไทซ์	10
รูปที่ 2.5 แสดงเส้นลักษณะสมบัติของตัวควอนไทซ์แบบไม่สม่ำเสมอ.....	13
รูปที่ 2.6 แสดงตัวอย่างวิธีต่างๆในการสร้างตัวควอนไทซ์แบบไม่สม่ำเสมอ.....	14
รูปที่ 2.7 แสดงตัวอย่างเส้นโค้งบีบอัดสัญญาณแบบ A และ μ	15
รูปที่ 2.8 แสดงการประมาณค่าเส้นโค้งการคอมแพนดิงแบบ μ	17
รูปที่ 2.9 แสดงการประมาณค่าเส้นโค้งการคอมแพนดิงแบบ A.....	20
รูปที่ 3.1 แสดงการกวาดแบบสลับเส้น (Interlace Scanning).....	23
รูปที่ 3.2 แสดงรายละเอียดสัญญาณภาพมาตรฐาน PAL.....	25
รูปที่ 3.3 แสดงรายละเอียดใน 1 เส้นกวาดแนวนอน.....	25
รูปที่ 3.4 ตัวอย่างแสดงการเทียบเคียงตำแหน่งในหน่วยความจำ..... กับตำแหน่งจุดภาพบนจอภาพ	27
รูปที่ 3.5 ไดอะแกรมแสดงการดิจิไทซ์สัญญาณภาพ.....	28
รูปที่ 4.1 ภาพสมมูลแสดงตัวมัลติเพล็กซ์และดีมัลติเพล็กซ์ในระบบ ทีดีเอ็ม.....	32
รูปที่ 4.2 แสดงโครงสร้างของเฟรมข้อมูลในระบบ ทีดีเอ็ม.....	33
รูปที่ 4.3 ไดอะแกรมแสดงสถานะการอิลเมนต์เฟรม.....	34
รูปที่ 4.4 แสดงตัวอย่างการซิงโครไนซ์เฟรมข้อมูล.....	35
รูปที่ 4.5 แสดงไดอะแกรมการตรวจหา เฟรมอิลเมนต์เวอร์ด.....	36
รูปที่ 4.6 แสดงการซิงโครไนซ์เฟรมผิดอันเนื่องมาจากการเลือก FAW..... ที่ไม่เหมาะสม	37
รูปที่ 4.7 แสดงค่าสหสัมพันธ์ของรหัส 1110010 และ 10001011.....	38
รูปที่ 4.8 แสดงค่าสหสัมพันธ์ของรหัส 11111111.....	39
รูปที่ 4.9 แสดงการสื่อสาร 2 ทิศทางและสัญญาณแจ้งเตือนระบบ.....	39
รูปที่ 5.1 แสดงนิยามของ จิตเตอร์ (Definition of Jitter).....	41

สารบัญภาพ (ต่อ)

	หน้า
รูปที่ 5.2	ไดอะแกรมแสดงการเข้ารหัสข้อมูลดิจิทัลเป็นสัญญาณดิจิทัล 42
รูปที่ 5.3	แสดงลักษณะของรหัสสัญญาณดิจิทัลแบบต่างๆ.....44
รูปที่ 5.4	เส้นโค้งแสดงความหนาแน่นพลังงานในแถบความถี่ของรหัส (a) รหัส NRZ และ แมนเชสเตอร์.....45 (b) รหัส RZ และ ไบโพลาร์ 46
รูปที่ 5.5	แสดงไดอะแกรมของระบบแยกสัญญาณนาฬิกาโดยใช้ วงจรจูน LC 49
รูปที่ 5.6	แสดงสัญญาณตามจุดต่างๆของระบบแยกสัญญาณนาฬิกาโดยใช้ วงจรจูน LC 49
รูปที่ 5.7	แสดงสมมูลวงจรจูน LC ที่ใช้ในระบบแยกสัญญาณนาฬิกา.....51
รูปที่ 5.8	แสดงค่า Q ของตัวกรองแบบต่างๆและช่วงความถี่ที่ใช้งาน.....52
รูปที่ 5.9	ไดอะแกรมของระบบ เฟสล็อกคูลูป ทั่วไป.....53
รูปที่ 5.10	ตัวอย่างแหล่งกำเนิด จิตเตอร์.....54
รูปที่ 5.11	ตัวอย่างสแควมเบลอร์ขนาด 5 สเตจ 54
รูปที่ 5.12	แสดงไดอะแกรมของชิพรีจิสเตอร์ป้อนกลับเชิงเส้นขนาด n สเตจ.....56
รูปที่ 5.13	แสดงตัวอย่างชิพรีจิสเตอร์ป้อนกลับเชิงเส้น ขนาด 4 สเตจ.....57
รูปที่ 5.14	แสดงตัวอย่างชิพรีจิสเตอร์ป้อนกลับเชิงเส้น ขนาด 6 สเตจ.....58
รูปที่ 5.15	แสดงค่าสหสัมพันธ์ของลำดับเชิงสุ่มเทียม.....60
รูปที่ 5.16	แสดงตำแหน่งการติดตั้งระบบสแควมเบลอร์และการเกิด ความผิดพลาดขยายของเซลล์-ซิงโครไนซิงสแควมเบลอร์.....61
รูปที่ 5.17	ไดอะแกรมแบบจำลองเชิงเส้นของ เฟสล็อกคูลูป.....63
รูปที่ 5.18	แสดงโมดไดอะแกรมของฟังก์ชันถ่ายโอนลูปเปิด.....67 และฟังก์ชันถ่ายโอนของตัวกรองพาสส์ฟของลูปอันดับ 2.....
รูปที่ 5.19	แสดงโมดไดอะแกรมของฟังก์ชันถ่ายโอนลูปเปิด.....68 และฟังก์ชันถ่ายโอนของตัวกรองแอกทีฟของลูปอันดับ 2.....
รูปที่ 5.20	แสดงผลตอบสนองความถี่ของลูปอันดับ 2 ซึ่งใช้ตัวกรองแบบแอกทีฟ.....69
รูปที่ 5.21	แสดงตัวกรองลูปที่ใช้ในลูปอันดับ 3 70

สารบัญภาพ (ต่อ)

หน้า

รูปที่ 5.22	แสดงโมดไดอะแกรมของฟังก์ชันถ่ายโอนรูปเปิด 71
	และฟังก์ชันถ่ายโอนของตัวกรองพาสส์ของรูปอันดับ 3
รูปที่ 5.23	แสดงทรานเซียนท์เฟสเออเรอร์ของรูปแบบที่ 2 74
รูปที่ 5.24	แสดงตัวอย่างเฟสดีเท็คเตอร์ที่มีช่วงและจุดลื่นไถลที่ต่างกัน 75
รูปที่ 5.25	แบบจำลองทั่วไปของเฟสดีเท็คเตอร์ 75
รูปที่ 5.26	ดิจิตอลเฟสดีเท็คเตอร์แบบเอ็กซ์คลูสิฟ-ออร์ เกท 76
รูปที่ 5.27	ดิจิตอลเฟสดีเท็คเตอร์แบบฟันเลื่อย (SPD) 77
รูปที่ 5.28	ดิจิตอลเฟสดีเท็คเตอร์แบบเฟส-ความถี่ (PFD) 78
รูปที่ 5.29	แสดงการต่อรวม PFD กับวิธี ชาร์จ-ปั๊ม 78
รูปที่ 5.30	ไดอะแกรมระบบแยกสัญญาณนาฬิกาที่ใช้ในงานวิจัย 79
รูปที่ 6.1	แสดงรายละเอียดการจัดเฟรมข้อมูล 81
รูปที่ 6.2	ไดอะแกรมระบบส่งข้อมูลภาพและเสียงแบบ ทีดีเอ็ม 83
รูปที่ 6.3	ไดอะแกรมระบบรับข้อมูลภาพและเสียงแบบ ทีดีเอ็ม 85
รูปที่ 6.4	ไดอะแกรมระบบรับ-ส่งข้อมูลภาพและเสียงแบบ ทีดีเอ็ม 88
รูปที่ 6.5	แสดงสัญญาณแจ้งเตือนและการรับส่งสัญญาณ 89
รูปที่ 7.1	ไดอะแกรมแสดงส่วนมัลติเพล็กซ์ข้อมูล 91
รูปที่ 7.2	ไดอะแกรมเวลาของระบบมัลติเพล็กซ์ข้อมูล 93
รูปที่ 7.3	แสดงสัญญาณมัลติเพล็กซ์ในเพจ 0 ที่วัดได้ 94
รูปที่ 7.4	แสดงวงจรเชื่อมต่อ VDG/MUX 95
รูปที่ 7.5	ไดอะแกรมเวลาของส่วนเชื่อมต่อ VDG/MUX 96
รูปที่ 7.6	แสดงบอร์ดมัลติเพล็กซ์ที่สร้างขึ้น 97
รูปที่ 7.7	ไดอะแกรมแสดงส่วนดิจิไทซ์สัญญาณภาพ 98
รูปที่ 7.8	ไดอะแกรมเวลาของส่วนดิจิไทซ์สัญญาณภาพ 101
รูปที่ 7.9	ไดอะแกรมเวลาแสดงการสุ่มและการแปลงข้อมูล 101
	ของตัวแปลง Flash A/D
รูปที่ 7.10	แสดงความสัมพันธ์ของส่วนต่างๆในระบบส่ง 102
รูปที่ 7.11	แสดงส่วนดิจิไทซ์สัญญาณภาพที่ทดลองสร้างขึ้น 103
รูปที่ 7.12	ไดอะแกรมแสดงส่วนของหน่วยความจำภาพ 104

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ (ต่อ)

	หน้า
รูปที่ 7.13 ไดอะแกรมแสดงการเก็บด้วยวิธีเลื่อนข้อมูลภาพ	105
รูปที่ 7.14 ไดอะแกรมแสดงส่วนเข้ารหัสเสียง.....	106
รูปที่ 7.15 ไดอะแกรมเวลาในส่วนของชิพ CODEC.....	108
รูปที่ 7.16 ไดอะแกรมเวลาของส่วนเข้ารหัสข้อมูลเสียง.....	108
รูปที่ 7.17 แสดงส่วนเข้ารหัสและถอดรหัสข้อมูลเสียงที่ทดลองสร้างขึ้น	109
รูปที่ 7.18 แสดงวงจรในส่วนแปลงข้อมูลขนานเป็นอนุกรม.....	110
ส่วนสแครมเบลอร์ และตัวส่งทางแสง	
รูปที่ 7.19 แสดงตัวส่งทางแสงที่ทดลองสร้างขึ้น.....	111
รูปที่ 7.20 แสดงระบบสมบูรณ์ของเครื่องส่งที่สร้างขึ้น.....	111
รูปที่ 7.21 ไดอะแกรมแสดงส่วนของตัวรับทางแสง ,ดีสแครมเบลอร์.....	112
ตัวแปลง ,ข้อมูลอนุกรมเป็นขนานและตัวตรวจหา FAW	
รูปที่ 7.22 ตัวรับทางแสงที่ทดลองสร้างขึ้น	113
รูปที่ 7.23 ไดอะแกรมของส่วนดีมัลติเพล็กซ์ข้อมูล.....	114
รูปที่ 7.24 ไดอะแกรมเวลาของส่วนดีมัลติเพล็กซ์ข้อมูล	116
รูปที่ 7.25 ไดอะแกรมของส่วนควบคุมสถานะการชิงโครไนซ์.....	117
รูปที่ 7.26 แสดงไดอะแกรมสถานะของส่วนควบคุมสถานะการชิงโครไนซ์.....	118
รูปที่ 7.27 ไดอะแกรมเวลาแสดงการชิงโครไนซ์และสูญเสียการชิงโครไนซ์.....	119
รูปที่ 7.28 ไดอะแกรมส่วนถอดรหัสข้อมูลเสียง.....	120
รูปที่ 7.29 ไดอะแกรมเวลาของส่วนถอดรหัสข้อมูลเสียง	121
รูปที่ 7.30 ไดอะแกรมส่วนควบคุมและประมวลผลข้อมูลภาพ	122
รูปที่ 7.31 ไดอะแกรมเวลาแสดงการสวิตช์เพจภาพ.....	123
รูปที่ 7.32 ไดอะแกรมของระบบหน่วยความจำ.....	124
รูปที่ 7.33 ไดอะแกรมส่วนอ่านข้อมูลภาพและกำเนิดสัญญาณภาพ	125
รูปที่ 7.34 แสดงระบบรับที่ทดลองสร้างขึ้น	126
รูปที่ 7.35 ไดอะแกรมส่วนแยกสัญญาณนาฬิกา.....	127
รูปที่ 7.36 แสดงสัญญาณ LC ริงกิ้งคล็อก และ ริงกิ้งอิมพัลส์ ที่วัดได้.....	128
รูปที่ 7.37 แสดงส่วนจูนความถี่ LC ที่ทดลองสร้างขึ้น.....	129
รูปที่ 7.38 แสดงการเปรียบเทียบระหว่างตัวกรองแอดคทีฟสำหรับรูปอันดับ 2 และ 3.....	130

สารบัญภาพ (ต่อ)

หน้า

รูปที่ 7.39	แสดงคุณสมบัติของตัว VCXO ที่วัดได้.....	131
รูปที่ 7.40	แสดงสัญญาณนาฬิกาที่วัดได้ก่อนและหลังจากผ่าน เฟสล็อกcup แล้ว.....	132
รูปที่ 7.41	แสดงระบบ เฟสล็อกcup ที่ทดลองสร้างขึ้น.....	133
รูปที่ 7.42	แสดงระบบแยกสัญญาณนาฬิกาที่ทดลองสร้างขึ้น.....	133
รูปที่ 8.1	บาร์แพทเทอร์นสี่เท่าที่ได้โดยตรงจากกล่องวิดีโอ.....	135
รูปที่ 8.2	บาร์แพทเทอร์นสี่เท่าที่รับได้ที่เครื่องรับ.....	135
รูปที่ 8.3	แพทเทอร์นทดสอบที่รับได้ที่เครื่องรับ.....	136
รูปที่ 8.4	ไดอะแกรมเวลาสถานะของระบบส่ง	137
รูปที่ 8.5	รูปคลื่นสัญญาณเสียง ทดสอบที่ความถี่ 300 Hz	137
รูปที่ 8.6	รูปคลื่นสัญญาณเสียง ทดสอบที่ความถี่ 1 KHz	138
รูปที่ 8.7	รูปคลื่นสัญญาณเสียง ทดสอบที่ความถี่ 3.4 KHz	138

สารบัญตาราง

หน้า

ตาราง 2.1	ตารางรหัส พีซีเอ็ม สำหรับเซกเมนต์คอมแพนดิงแบบ μ	18
ตาราง 2.2	ตารางรหัส พีซีเอ็ม สำหรับเซกเมนต์คอมแพนดิงแบบ A	20
ตาราง 5.1	แสดงการจำแนกจิเตอร์แบบต่างๆ (Classification of Jitter)	41
ตาราง 5.2	นิยามรูปแบบรหัสของสัญญาณดิจิทัล.....	43
ตาราง 5.3	แสดงวิธีการส่งสัญญาณนาฬิกาแบบต่างๆ.....	47
ตาราง 5.4	แสดงโพลีโนเมียล $\phi(x)$ ซึ่งสามารถกำเนิดลำดับเชิงสุ่มเทียม	59
ตาราง 5.5	แสดงตัวกรองรูปพาสสลิปและแอกทีฟที่ใช้ในรูปอันดับ 2	66
ตาราง 5.6	เฟสเออเรอร์ที่สถานะคงตัวของรูปแบบต่างๆที่มีต่อ.....	73
การเปลี่ยนแปลงเฟสอินพุท		



คำอธิบายสัญลักษณ์ที่ใช้ในสมการ

$c_A(t)$	สัญญาณอนาลอก
$c_s(t)$	สัญญาณอนาลอกที่ผ่านกระบวนการสุ่มสัญญาณเชิงเวลา
$C_s(j\Omega)$	ฟังก์ชันเชิงความถี่ของ $c_s(t)$ จากการแปลงฟูริเยร์
$C(e^{j\omega})$	ฟังก์ชันเชิงความถี่ของ $c_s(t)$ จากการแปลงฟูริเยร์เติมหน่วย
$F(0)$	เกนไฟตรงของตัวกรองรูป (DC gain of filter)
$F(s)$	ฟังก์ชันถ่ายโอนของตัวกรองรูป (สัญญาณลักษณะลาปลาซ)
$G(s)$	ฟังก์ชันถ่ายโอนรูปเปิด (สัญญาณลักษณะลาปลาซ) Open-Loop Transfer function
$H(s)$	ฟังก์ชันถ่ายโอนรูปปิด (สัญญาณลักษณะลาปลาซ) Close-Loop Transfer function
$\overline{e^2}$	ค่าผิดพลาดเฉลี่ยกำลังสอง (Mean squar error)
S/N_q	อัตราส่วนสัญญาณต่อสัญญาณรบกวนควอนไทซ์
$R_x(k)$	ฟังก์ชันสหสัมพันธ์ (Autocorrelation function)
$\delta(t)$	ดิเรกเดลตาฟังก์ชัน (Dirac delta function)
$\phi(x)$	พหุนามลักษณะเฉพาะ (Characteristic Polynomial) ของซีพรีจิสเตอร์ป้อนกลับเชิงเส้น
K	ลูปรเกน (Loop gain)
K_d	ค่าคงที่เกนของตัวเฟสดีเท็คเตอร์
K_h	ค่าคงที่เกนที่ความถี่สูงของตัวกรองรูป
K_m	ดีซี ลูปรเกน (DC Loop gain)
K_v	ค่าคงที่เกนของ VCO
Q	ตัวประกอบคุณภาพ (Quality factor)
$V_d(s)$	แรงดันเอาร์ทพุทของ เฟสดีเท็คเตอร์ (สัญญาณลักษณะลาปลาซ)
$V_2(s)$	แรงดันเอาร์ทพุทของ ตัวกรองรูป (สัญญาณลักษณะลาปลาซ)
Φ	เฟสเออเรอร์ที่สถานะคงตัว (Steady-State Phase Errors)
$\phi_e(s)$	เฟสเออเรอร์ (สัญญาณลักษณะลาปลาซ)
$\phi_i(s)$	เฟสของความถี่สัญญาณอินพุท (สัญญาณลักษณะลาปลาซ)
$\phi_o(s)$	เฟสของความถี่สัญญาณเอาร์ทพุท (สัญญาณลักษณะลาปลาซ)
ω_c	แถบความถี่ลูปรโดยประมาณ (Loop bandeidth)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ω_n	ความถี่ธรรมชาติของลูป (Natural frequency of loop)
ζ	ตัวประกอบการหน่วงของลูป (Loop damping factor)
Δv	ควอนไทเซชันสเตป (Quantization step)
$GF(2)$	กาโลอิสฟิลด์ (Galois field)



คำอธิบายชื่อสัญญาณต่างๆที่ใช้ในวงจร

รายชื่อสัญญาณต่างๆที่ใช้ในวงจร จะแสดงโดยจำแนกตามระบบส่งและรับ

ระบบส่ง

AF_Mute	สัญญาณการดับสัญญาณเสียงเมื่อระบบสูญเสียการโอโลเมนต์เฟรม
DREQ	สัญญาณร้องขอแบบข้อมูล
Latch	สัญญาณแลทช์ข้อมูลภาพเพื่อเก็บลงหน่วยความจำภาพ
LPF_VD	สัญญาณภาพที่ผ่านวงจรกรองความถี่ต่ำมาแล้ว
SA0-SA14	บัสแอดเดรสสำหรับหน่วยความจำภาพ
SCLK	สัญญาณนาฬิกาสำหรับตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอลแบบแฟลช
SD0-SD7	บัสข้อมูลสำหรับเก็บข้อมูลลงหน่วยความจำ
Shift	สัญญาณสำหรับเลื่อนข้อมูลภาพเพื่อเก็บลงหน่วยความจำ
S1	สัญญาณนับความยาวเฟรม
VACK	สัญญาณตอบรับการร้องขอการติจไทร์สัญญาณภาพ
VREQ	สัญญาณร้องขอการติจไทร์สัญญาณภาพ
XBUS , XB0-XB7	บัสของระบบส่งข้อมูล
XCLK	สัญญาณนาฬิกาหลักของระบบ
XPg0	สัญญาณแสดงเพจ 0
XVF_CLK	สัญญาณนาฬิกาสำหรับชิพ บิ๊อดเสียง (CODEC Chip)
/CHK_P	สัญญาณตรวจสอบการร้องขอข้อมูลภาพ
/END	สัญญาณพัลส์แสดงการเสร็จสิ้นการอ่านข้อมูลภาพ
/LOAD	สัญญาณการโหลดข้อมูลจากบัสเข้าสู่ตัวแปลงข้อมูลขนานเป็นอนุกรม
/RAM_EN	สัญญาณอินาเบิลการอ่านข้อมูลภาพ
/RFAL	สัญญาณแจ้งเตือนการสูญเสียการโอโลเมนต์เฟรมของคู่สถานี (FAL)
/RICSL	สัญญาณแจ้งเตือนการขาดหายของสัญญาณดิจิตอลที่อินพุทของเครื่องรับของคู่สถานี (ICSL)
/RVSL	สัญญาณแจ้งเตือนการขาดหายของสัญญาณภาพของคู่สถานี (VSL)
/SCntr	สัญญาณนับแอดเดรสหน่วยความจำภาพสำหรับในช่วงติจไทร์สัญญาณภาพ
/S3	สัญญาณแลทช์ตามแบบ

/VDA	สัญญาณแสดงการแอกทีฟของข้อมูลภาพ
/VD_Cntr	สัญญาณนับแอดเดรสหน่วยความจำภาพสำหรับการอ่านข้อมูลภาพ
/WR	สัญญาณเขียนข้อมูลลงหน่วยความจำภาพ
/XCntr	สัญญาณรวมสำหรับนับแอดเดรสหน่วยความจำ
/XCSW_EN	สัญญาณการอินาเบิลข้อมูลจาก CSW บัฟเฟอร์เข้าสู่บัส
/XCSW_Latch	สัญญาณแลทช์ข้อมูลเข้าสู่ CSW บัฟเฟอร์
/XFAW_EN	สัญญาณการอินาเบิลข้อมูลจาก FAW บัฟเฟอร์เข้าสู่บัส
/XHLN_EN	สัญญาณการอินาเบิลข้อมูลจาก HLN บัฟเฟอร์เข้าสู่บัส
/XHLN_Latch	สัญญาณแลทช์ข้อมูลเข้าสู่ HLN บัฟเฟอร์
/XRD1 , /XRD2	สัญญาณอ่านหน่วยความจำภาพ
/XTP_EN	สัญญาณการอินาเบิลบัฟเฟอร์เก็บแพทเทอร์นทดสอบ
/XTP_RD	สัญญาณการอ่านข้อมูลแพทเทอร์นทดสอบเข้าสู่บัส
/XVF_EN	สัญญาณการอินาเบิลข้อมูลเสียงจากบัฟเฟอร์เข้าสู่บัส
ระบบรับ	
Latch	สัญญาณแลทช์ข้อมูลภาพสำหรับการอ่านข้อมูลภาพ
PSW	สัญญาณการสวิตช์เพจภาพ (หน่วยความจำภาพ)
RBUS , RB0-RB7	บัสข้อมูลของระบบรับ
RCLK	สัญญาณนาฬิกาการระบบ
REQ	สัญญาณการร้องขอแบบข้อมูลภาพจากคู่สถานี
RNG_CLK	สัญญาณริงกิ้งคล็อก
RVD0-RVD7	บัสข้อมูลสำหรับการอ่านข้อมูลภาพออก
R_Cntr	สัญญาณนับแอดเดรส (ครึ่งล่าง) หน่วยความจำภาพสำหรับการเก็บข้อมูลภาพ
SCH0	สัญญาณแสดงสภาวะการค้นหา FAW
STA0-STA7	บัสแอดเดรสชุดล่างสำหรับการเก็บข้อมูลภาพ
S3	สัญญาณนับความยาวเฟรมข้อมูล
SYN	สัญญาณแสดงสภาวะการโอโลเมนต์เฟรมสมบูรณ์
VDA0-VDA15	บัสแอดเดรสสำหรับการอ่านข้อมูลภาพออก
VD_Mute	สัญญาณการหยุดภาพเมื่อระบบอยู่ในสภาวะไม่เชิงโครโนซ์
/C.Blank	สัญญาณแบลงค์รวม
/C.Sync	สัญญาณซิงค์รวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

/FAL	สัญญาณแสดงการสูญเสียการโอไลเมนต์เฟรม
/FAW_CHK.P	สัญญาณกำหนดตำแหน่งเวลาการตรวจสอบ FAW
/FAW_Det	สัญญาณการตรวจพบ FAW
/RCSW_Latch	สัญญาณการแลทช์ข้อมูลจากบัสเข้าสู่ CSW บัฟเฟอร์
/RHLN_Latch	สัญญาณการแลทช์ข้อมูลจากบัสเข้าสู่ HLN บัฟเฟอร์
/RPg0	สัญญาณแสดงข้อมูลภาพ เฟจ 0
/RVD_Latch	สัญญาณการแลทช์ข้อมูลจากบัสเข้าสู่ VD บัฟเฟอร์
/RVF_Latch	สัญญาณการแลทช์ข้อมูลจากบัสเข้าสู่ VF บัฟเฟอร์
/R_WR	สัญญาณเขียนหน่วยความจำภาพ
/VDA	สัญญาณแสดงการแอคทีฟของข้อมูลภาพ
/V.Blank	สัญญาณแบลงค์แนวตั้ง
/V.Sync	สัญญาณซิงค์แนวตั้ง



บทที่ 1

บทนำ

1.1 ความเป็นมาของวิทยานิพนธ์

ในปัจจุบันการสื่อสารระบบดิจิทัลได้รับการพัฒนาขึ้นอย่างมากและเป็นที่ยอมรับกันแล้วว่า การสื่อสารในระบบดิจิทัลนั้นมีข้อดีกว่าการสื่อสารในระบบอนาลอก ไม่ว่าจะเป็นในเรื่องของความต้านทานต่อสัญญาณรบกวน, ความถูกต้องแม่นยำ หรือความสามารถในด้านการเข้ารหัส ในอดีตโทรศัพท์ติดต่อสื่อสารกันด้วยเสียงแต่ในปัจจุบันสามารถติดต่อถึงกันโดยสามารถเห็นหน้าตาและอริยาบทของคู่สนทนาได้ หรือแม้แต่การประชุมเพื่อปรึกษาหารือกันในหน่วยงานหรือบริษัทแต่ก่อนต้องเดินทางมาเข้าประชุมและพบปะกันจริงๆ แต่ในปัจจุบันมีระบบประชุมทางไกล (Teleconference) ทำให้สามารถประชุมพูดคุยแลกเปลี่ยนข้อมูลกันจากหลายๆ แห่งพร้อมกันได้โดยไม่ต้องอยู่ในสถานที่เดียวกัน เหล่านี้ล้วนเป็นความก้าวหน้าและข้อดีของการสื่อสารระบบดิจิทัลทั้งสิ้น ดังนั้นจึงเกิดแนวความคิดว่า น่าจะทดลองสร้างระบบที่สามารถใช้เป็นระบบประชุมระยะไกลได้ ซึ่งก็คือระบบที่สามารถสื่อสารด้วยภาพและเสียงได้ โดยในขั้นเริ่มต้นนี้ จะเป็นการพยายามสร้างระบบที่สามารถทำให้จุด 2 จุดสื่อสารกันในระบบดิจิทัลได้ด้วยภาพและเสียงเสียก่อน โดยพยายามให้ระบบมีความซับซ้อนน้อยที่สุดและสามารถส่งภาพถึงกันได้ด้วยความต่อเนื่องมากที่สุด ดังนั้นในส่วนของการส่งภาพจึงยังจะใช้ภาพขาวดำเนื่องจากมีขนาดข้อมูลไม่ใหญ่เกินไปและเสียงยังคงตอบสนองเฉพาะในช่วงความถี่เสียงพูด ตัวกลางที่ใช้ในการสื่อสารจะใช้สายใยแก้วนำแสงเนื่องจากสะดวกในการใช้งานและต่อได้ง่าย

1.2 วัตถุประสงค์ของวิทยานิพนธ์

1. สร้างระบบสื่อสารดิจิทัลที่สามารถสื่อสารภาพและเสียงได้
2. ศึกษาและทดลองสร้างระบบแยกสัญญาณนาฬิกาที่มีเสถียรภาพโดยใช้วงจรจูน LC ร่วมกับ เฟสล็อกคัลแพคความถี่แคบ
3. ศึกษาถึงองค์ประกอบที่มีผลกระทบต่อเสถียรภาพในการแยกสัญญาณนาฬิกา

1.3 ขอบเขตของวิทยานิพนธ์

ในวิทยานิพนธ์ฉบับนี้จะได้กล่าวในหัวข้อต่างๆต่อไปนี้โดยสังเขป คือ

ระบบส่งข้อมูล จะได้กล่าวตั้งแต่การจัดเตรียมข้อมูลในการส่งอันได้แก่การดิจิทัลสัญญาณภาพและการเข้ารหัสข้อมูลเสียงรวมทั้งทฤษฎี ,การมัลติเพล็กซ์ข้อมูล รวมถึงหลักการสื่อสารระบบมัลติเพล็กซ์แบบแบ่งเวลา (TDM : Time Division Multiplexing)

ระบบรับข้อมูล จะกล่าวถึง การดัดแปลงเพื่อกำหนดข้อมูล ,อัลกอริทึมในการโอโลเมนต์เฟรมข้อมูล ,วิธีการจัดการกับข้อมูลภาพจนกระทั่งสามารถนำภาพไปแสดงบนทีวีมอนิเตอร์ได้ รวมถึงวิธีการแยกสัญญาณนาฬิกาโดยใช้วงจรจูน LC เป็นต้น

แต่อย่างไรก็ดี ถึงแม้ว่าระบบที่สร้างขึ้นนี้จะใช้ใยแก้วนำแสงเป็นตัวกลางในการสื่อสาร แต่จะไม่กล่าวถึงทฤษฎีการสื่อสารด้วยใยแก้วนำแสงเนื่องจากจะทำให้ขอบเขตของวิทยานิพนธ์กว้างเกินไป

1.4 เนื้อหาของวิทยานิพนธ์

- บทที่ 2 จะกล่าวถึงทฤษฎีเกี่ยวกับการประมวลผลสัญญาณเสียงในแบบดิจิทัล อันประกอบด้วย ทฤษฎีการสุ่มสัญญาณ ,การควอนไทซ์เชิงเส้น ตลอดจนทฤษฎีที่ใช้ในการบีบอัดสัญญาณเสียงตามมาตรฐานของ CCITT
- บทที่ 3 จะกล่าวถึงการดิจิไทซ์สัญญาณภาพ โดยจะกล่าวตั้งแต่ระบบสัญญาณภาพแบบ PAL การกวาดเส้นบนจอภาพ ,จนถึงวิธีการดิจิไทซ์สัญญาณภาพ
- บทที่ 4 จะกล่าวถึงหลักการสื่อสารระบบมัลติเพล็กซ์แบบแบ่งเวลา ,วิธีการโอโลเมนต์เฟรมข้อมูล ,ความสำคัญและการเลือกใช้เฟรมโอโลเมนต์เวอร์ตตลอดจนสัญญาณแจ้งเตือนในระบบสื่อสาร
- บทที่ 5 กล่าวถึงการชิงโครไนซ์บิท ซึ่งอธิบายให้ทราบโดยสังเขปถึงองค์ประกอบต่างๆที่มีผลกระทบต่อเสถียรภาพการชิงโครไนซ์บิทอันได้แก่ จิตเตอร์ ,รหัสสัญญาณดิจิทัล ,แพทเทิร์นข้อมูล และค่า Q ของวงจรจูน รวมถึงแนวทางแก้ไข และยังกล่าวถึงทฤษฎีเบื้องต้นของระบบเฟสล็อกคัล
- บทที่ 6 จะเป็นเรื่องของระบบรับและส่งที่ทดลองสร้างขึ้น รวมถึงรายละเอียดของการจัดเฟรมข้อมูล
- บทที่ 7 จะกล่าวถึงตัววงจรและการทำงาน
- บทที่ 8 การทดสอบระบบ
- บทที่ 9 สรุปผลการวิจัยและข้อเสนอแนะ
- ภาคผนวก ก เป็นวงจรจริงของระบบรับและส่ง
- ภาคผนวก ข เป็นบทความวิจัยที่ได้เคยตีพิมพ์เผยแพร่

สัญญาณ พีซีเอ็ม

(PCM Signal)

ในการส่งสัญญาณข่าวสารนั้นสัญญาณส่วนใหญ่มักจะเป็นสัญญาณอนาลอก เช่น สัญญาณเสียงจากไมโครโฟนหรือสัญญาณภาพจากกล้อง ดังนั้นเมื่อต้องการส่งข้อมูลในแบบดิจิตอลแล้วสัญญาณอนาลอกเหล่านี้จึงต้องถูกแปลงให้อยู่ในรูปของดิจิตอลและเทคนิคที่ใช้กันมากในการส่งสัญญาณดิจิตอลคือ พีซีเอ็ม .PCM (Pulse Coded Modulation)

หลักการของ พีซีเอ็ม เกิดขึ้นในปี 1939 โดย เซอร์ อเล็ก รีฟส์ (Sir Alec Reeves) ซึ่งขณะนั้นเป็นวิศวกรประจำห้องทดลองของ ITT ในประเทศฝรั่งเศส เขาได้เสนอเทคนิควิธีในการ สุ่มสัญญาณข้อมูล(sampling)และการเข้ารหัสขนาดของสัญญาณที่สุ่มให้เป็นลำดับของพัลส์ซึ่งคือลำดับของรหัสเลขฐานสองเรียกว่า สัญญาณพีซีเอ็มและขบวนพัลส์เหล่านี้จะถูกส่งไปยังเครื่องรับ สัญญาณพีซีเอ็มได้จากการกระบวนการ 3 อย่างคือ การสุ่มสัญญาณ (Sampling) .การควอนไทซ์ (Quantizing) และการเข้ารหัส (Coding) ซึ่งทั้งสามส่วนนี้จะได้กล่าวในหัวข้อต่อไป

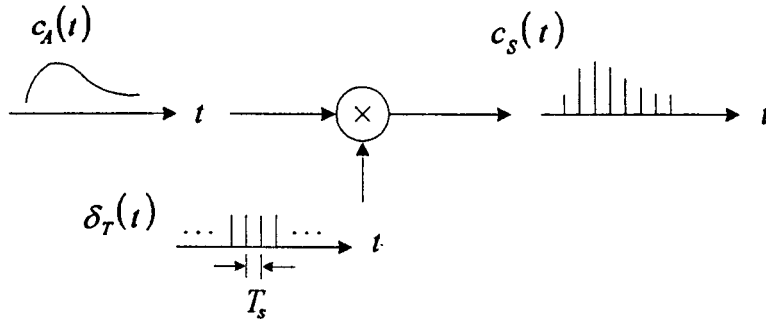
การส่งสัญญาณดิจิตอลพีซีเอ็ม นับเป็นวิธีการที่สามารถเอาชนะสัญญาณรบกวนได้ โดยปกติในทางวิศวกรรมนั้นมี พารามิเตอร์ ที่สำคัญตัวหนึ่งที่ใช้วัดคุณภาพของสัญญาณที่รับได้ คือค่าอัตราส่วนสัญญาณต่อสัญญาณรบกวน .S/N (Signal to Noise Ratio) ซึ่งเป็นค่าที่บอกให้ทราบว่าสัญญาณที่รับได้นั้นมีขนาดของสัญญาณข้อมูลใหญ่หรือเล็กเพียงใดเมื่อเทียบกับสัญญาณรบกวนที่ปนเข้ามา สำหรับสัญญาณพีซีเอ็มนั้นรับข้อมูลโดยการตรวจสอบว่ามีพัลส์เกิดขึ้นหรือไม่ เมื่อเปรียบเทียบกับการส่งสัญญาณแบบอื่นๆซึ่งมักจะส่งโดยอาศัยรูปร่างของคลื่นที่ส่ง.หรือระดับของสัญญาณซึ่งตัวประกอบเหล่านี้มักถูกรบกวนได้ง่ายที่สุดดังนั้นจะเห็นว่าในสภาพที่มีค่าสัญญาณต่อสัญญาณรบกวนเท่าๆกันดิจิตอลพีซีเอ็มจึงให้ความถูกต้องของข้อมูลมากกว่า ดังนั้นการส่งข้อมูลแบบดิจิตอลพีซีเอ็มจึงเป็นวิธีการที่มีการนำไปใช้กันมาก เช่นในโครงข่ายโทรศัพท์แบบดิจิตอล

2.1 ทฤษฎีการสุ่มสัญญาณเบื้องต้น (Fundamental of Sampling Theory)

กระบวนการในการสุ่มสัญญาณอนาลอก สามารถจำลองด้วยการดำเนินการทางคณิตศาสตร์ได้ ดังนี้

$$\begin{aligned} c_s(t) &= c_A(t) \cdot \delta_{T_s}(t) \\ &= c_A(t) \cdot \sum_{n=-\infty}^{\infty} \delta(t - nT_s) \end{aligned} \quad (2.1)$$

เมื่อ $c_s(t)$ คือ สัญญาณที่ได้จากการสุ่ม



รูปที่ 2.1 แสดงกระบวนการสุ่มสัญญาณอนาลอก

$c_A(t)$ คือ สัญญาณอนาลอก

$\delta_T(t)$ คือ ขบวนของ ดิแลคเดลตาฟังก์ชัน ที่เกิดขึ้นทุกๆ T_s วินาที

กระบวนการสุ่มสัญญาณแสดงในรูปที่ 2.1

องค์ประกอบเชิงความถี่ $C_s(j\Omega)$ ของ $c_s(t)$ หาได้โดยทำการแปลง ฟूरियอร์ ดังนี้

$$C_s(j\Omega) = \int_{-\infty}^{\infty} c_s(t) e^{-j\Omega t} dt \quad (2.2)$$

$$= \int_{-\infty}^{\infty} c_A(t) \sum_{n=-\infty}^{\infty} \delta(t - nT_s) e^{-j\Omega t} dt \quad (2.3)$$

สลับตัวดำเนินการ อินทิเกรต และ ผลรวม

$$\begin{aligned} C_s(j\Omega) &= \sum_{n=-\infty}^{\infty} \left[\int_{-\infty}^{\infty} \delta(t - nT_s) c_A(t) e^{-j\Omega t} dt \right] \\ &= \sum_{n=-\infty}^{\infty} c_A(nT_s) e^{-j\Omega nT_s} \end{aligned} \quad (2.4)$$

โดย Ω คือ ตัวแปรความถี่สำหรับสัญญาณอนาลอก มีหน่วยเป็น เรเดียน/วินาที

เมื่อพิจารณาองค์ประกอบเชิงความถี่ $C(e^{j\omega})$ ของสัญญาณที่ผ่านการสุ่ม $c_s(t)$ ในกรอบของการแปลงฟูรีเยอร์เต็มหน่วย ,DFT (Discrete Fourier Transform) ทั่วไป จะได้

$$C(e^{j\omega}) = \sum_{n=-\infty}^{\infty} c_A(nT_s) e^{-j\omega n} \quad (2.5)$$

โดย ω เป็นตัวแปรความถี่ของ $c_s(t)$ มีหน่วยเป็น เรเดียนต่อคาบการสุ่ม

เมื่อเปรียบเทียบสมการ (2.4) และ (2.5) จะสังเกตเห็นว่า

$$C(e^{j\omega}) = C_s(j\Omega) \Big|_{\Omega=\omega/T_s} \quad (2.6)$$

แสดงว่า $C(e^{j\omega})$ สามารถหาได้จาก $C_s(j\Omega)$ โดยการแทน Ω ด้วย ω/T_s

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดก็ตาม ผู้อื่นห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อให้ได้ความสัมพันธ์เชิงความถี่ระหว่าง สัญญาณอนาล็อก $C_A(j\Omega)$ และสัญญาณที่ได้จากการสุ่ม $C_S(j\Omega)$ ดังนั้นจะต้องแสดง $C_S(j\Omega)$ ในเทอมของ $C_A(j\Omega)$ ให้ได้
เนื่องจาก $\delta_{T_S}(t)$ เป็นฟังก์ชันเชิงคาบจึงสามารถกระจายให้อยู่ในรูปของอนุกรมฟูรีเยอร์ได้ดังนี้

$$\delta_{T_S}(t) = \sum_{n=-\infty}^{\infty} a_n e^{-j\Omega_n t} \quad (2.7)$$

$$\text{โดย } \Omega_n = 2\pi n / T_S$$

และ
$$a_n = \frac{1}{T_S} \int_{-T_S/2}^{T_S/2} \delta(t) e^{j\Omega_n t} dt \quad (2.8)$$

เนื่องจากในช่วง $-T_S/2 \leq t < T_S/2$ มี ดิแลคิมพัลส์ เพียงพัลส์เดียวเท่านั้นคือที่ $t=0$ ดังนั้น

$$a_n = \frac{1}{T_S} \int_{-T_S/2}^{T_S/2} \delta(t) e^{j\Omega_n t} dt = \frac{1}{T_S} \quad (2.9)$$

แทนค่าสัมประสิทธิ์ a_n ลงในสมการ (2.7) และนำ (2.7) แทนลงใน (2.1) จะได้

$$\begin{aligned} c_S(t) &= c_A(t) \cdot \frac{1}{T_S} \sum_{n=-\infty}^{\infty} e^{-j\Omega_n t} \\ &= \frac{1}{T_S} \sum_{n=-\infty}^{\infty} c_A(t) e^{-j\Omega_n t} \end{aligned} \quad (2.10)$$

และองค์ประกอบเชิงความถี่ของ $c_S(t)$ เป็น

$$\begin{aligned} C_S(j\Omega) &= \int_{-\infty}^{\infty} c_S(t) e^{-j\Omega t} dt \\ &= \frac{1}{T_S} \int_{-\infty}^{\infty} \left[\sum_{n=-\infty}^{\infty} c_A(t) e^{-j\Omega_n t} \right] e^{-j\Omega t} dt \end{aligned} \quad (2.11)$$

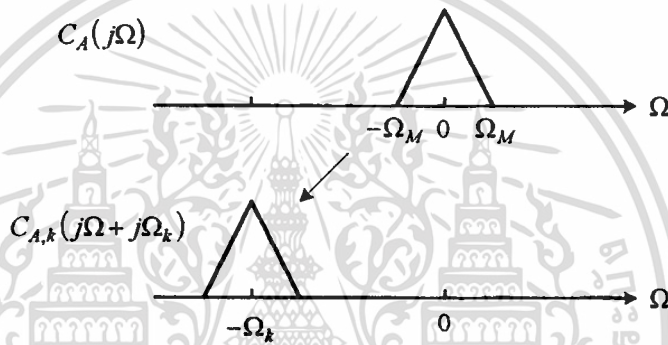
สลับลำดับของตัวดำเนินการ อินทิเกรต และ ผลรวม

$$C_S(j\Omega) = \frac{1}{T_S} \sum_{n=-\infty}^{\infty} \left[\int_{-\infty}^{\infty} c_A(t) e^{-j(\Omega+\Omega_n)t} dt \right] \quad (2.12)$$

ถ้ากำหนดให้

$$\begin{aligned} C_{S,k}(j\Omega) &= \int_{-\infty}^{\infty} c_A(t) e^{-j(\Omega+\Omega_k)t} dt \\ &= C_A(j\Omega + j\Omega_k) \end{aligned} \quad (2.13)$$

ผลที่ได้คือ $C_{S,k}(j\Omega)$ มีรูปแบบเหมือนกับ การแปลงฟูริเยร์ของสัญญาณอนาล็อก ที่ความถี่ถูกเลื่อนออกไป จาก $\Omega = 0$ ไปเป็น $\Omega = -\Omega_k$ ซึ่งเขียนได้ก็กรูปหนึ่ง คือ $C_A(j\Omega + j\Omega_k)$ ดังในรูป 2.2



รูปที่ 2.2 แสดงผลของการถูกสุมทำให้แถบความถี่ของสัญญาณที่ได้ถูกเลื่อนออกไปเป็นจำนวน k โดย $\Omega_k = 2\pi k / T_S$

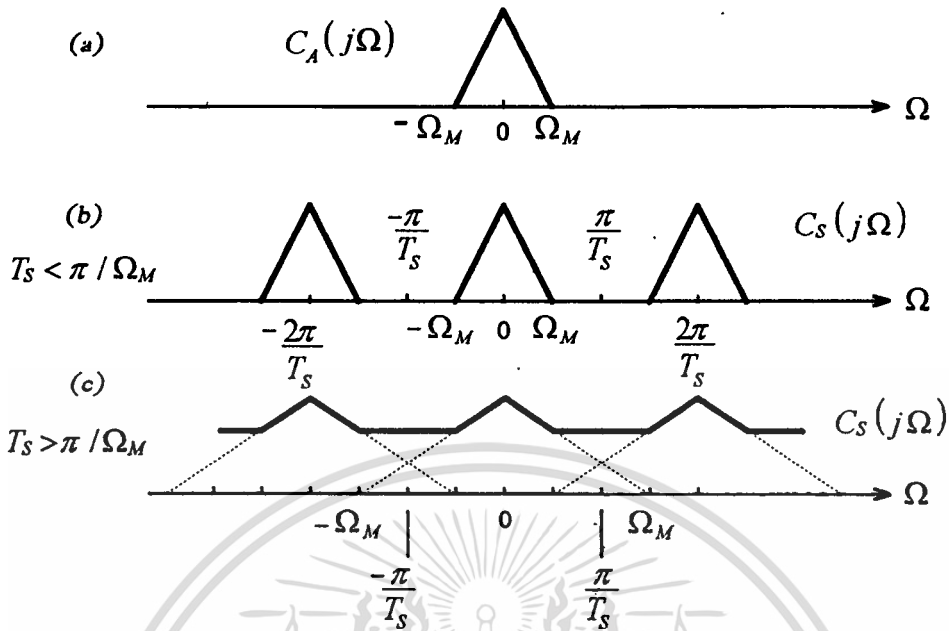
ดังนั้นองค์ประกอบทางความถี่รวมหาได้จากผลรวมของแถบความถี่ที่ทุกๆค่าของ k ดังนี้

$$\begin{aligned} C_S(j\Omega) &= \frac{1}{T_S} \sum_{k=-\infty}^{\infty} C_{S,k}(j\Omega) \\ &= \frac{1}{T_S} \sum_{k=-\infty}^{\infty} C_A(j\Omega + j2\pi k / T_S) \end{aligned} \quad (2.14)$$

จะเห็นว่า $C_S(j\Omega)$ เป็นฟังก์ชันรายคาบ ซึ่งมีคาบเป็น $2\pi / T_S$ เมื่อนำผลจากสมการ (2.14) แทนกลับไป ในสมการ (2.6) จะได้สมการสุดท้ายคือ

$$C(e^{j\omega}) = \frac{1}{T_S} \sum_{k=-\infty}^{\infty} C_A(j\omega / T_S + j2\pi k / T_S) \quad (2.15)$$

จากสมการหลังสุดนี้แสดงให้เห็นว่า เมื่อทำการสุมสัญญาณอนาล็อก $c_A(t)$ ด้วยคาบการสุม T_S ผลที่ได้คือ สัญญาณที่มีค่าไม่ต่อเนื่อง $c_A(nT_S)$ ซึ่งมีองค์ประกอบเชิงความถี่ $C_S(j\Omega)$ เป็นฟังก์ชันรายคาบ คือเกิดแถบความถี่ $C_A(j\Omega)$ เป็นช่วงๆห่างเท่าๆกัน ช่วงละ $2\pi / T_S$ ดังรูป 2.3(b) และจาก รูป 2.3(c) พิจารณาแถบความถี่ที่ $\Omega = 0$ และ $\Omega = 2\pi / T_S$ จะเห็นว่า ถ้าแถบความถี่ Ω_M ของสัญญาณ



รูปที่ 2.3 แสดงความสัมพันธ์ระหว่างแถบความถี่ของ (a) สัญญาณอนาล็อก

(b) สัญญาณหลังจากถูกสุ่มแล้ว กรณี $T_S < \pi / \Omega_M$ และ

(c) กรณี $T_S > \pi / \Omega_M$

อนาล็อก $C_A(j\Omega)$ มีค่ามากกว่า π / T_S แล้วจะพบว่า เกิดการซ้อนกันของแถบความถี่ที่ π / T_S เป็นผลให้แถบความถี่ของสัญญาณที่ถูกสุ่มผิดเพี้ยนไปจากสัญญาณอนาล็อกดั้งเดิม $c_A(t)$ เรียกปรากฏการณ์นี้ว่า อลิแอสซิง (Aliasing effect) เงื่อนไขที่จะไม่ทำให้เกิดปรากฏการณ์นี้ คือ

$$\frac{\pi}{T_S} \geq \Omega_M$$

$$\text{หรือ} \quad f_s \geq 2f_M \quad (2.16)$$

$$\text{โดย} \quad f_s = 1/T_S \quad \text{และ} \quad \Omega_M = 2\pi f_M$$

เรียก ความถี่ f_s ว่า ความถี่นีควิสต์ (Nequist frequency)

2.2 การควอนไทเซชัน (Quantization)

โดยภาพรวมแล้ว กระบวนการสุ่มสัญญาณคือกระบวนการแปลงสัญญาณอนาล็อกที่มีความต่อเนื่องเชิงเวลา (continuous-time signal) เป็นสัญญาณที่ไม่มีต่อเนื่องเชิงเวลา (discrete-time signal) ซึ่งขนาดของสัญญาณจะเท่ากับกับสัญญาณก่อนถูกสุ่ม แต่จะปรากฏค่าเฉพาะเวลาที่แน่นอนค่าหนึ่งเท่านั้น ส่วนกระบวนการ ควอนไทซ์ (quantizing) คือ กระบวนการแปลงขนาดระดับของ

สัญญาณใดๆให้เป็นระดับที่ใกล้เคียงที่สุดที่กำหนดแบ่งไว้แล้วที่เป็นเช่นนั้นเนื่องจากการแปลงค่าสัญญาณต่อเนื่องให้เป็นค่าตัวเลขซึ่งก็คือเซตของกลุ่มบิตข้อมูลที่มีจำนวนบิต n ที่แน่นอนนั้นกลุ่มบิตเหล่านี้สามารถย้อนกลับไปที่แทนระดับสัญญาณได้เพียง 2^n ระดับเท่านั้นจึงไม่สามารถแทนระดับสัญญาณต้นแบบได้อย่างต่อเนื่องถูกต้องทุกค่าได้ ผลอันนี้ก่อให้เกิดสัญญาณรบกวนที่เรียกว่า สัญญาณรบกวนควอนไทซ์ $.N_q$ (Quantization noise) ซึ่งสำหรับตัวควอนไทซ์เชิงเส้น (สมมาตร) แล้วสัญญาณรบกวนนี้จะกระจายอย่างสม่ำเสมอตลอดช่วงการควอนไทซ์ซึ่งทำให้ค่าอัตราส่วนสัญญาณต่อสัญญาณรบกวนควอนไทซ์ $.S/N_q$ ที่ระดับสัญญาณต่ำไม่ดี จึงมีการใช้ตัวควอนไทซ์แบบใหม่ที่เรียกว่า ตัวควอนไทซ์แบบไม่สม่ำเสมอ (Nonuniform Quantization) เพื่อแก้ปัญหานี้ ซึ่งจะได้กล่าวในหัวข้อต่อไป

2.2.1 ตัวควอนไทซ์เชิงเส้น (Linear Quantization)

กราฟความสัมพันธ์ระหว่างเอาต์พุตและอินพุตของตัวควอนไทซ์เชิงเส้นแสดงดังรูป 2.4(a) ซึ่งเป็นตัวควอนไทซ์ขนาด 3 บิต จากรูปจะเห็นว่า พิสัยขนาดของสัญญาณอนาล็อกอินพุตจะถูกแบ่งเป็นช่วงย่อยๆ (x_{j-1}, x_j) เมื่อสัญญาณอินพุตมีขนาดตกอยู่ในช่วง (x_{j-1}, x_j) ใดๆ เอาต์พุตที่ได้ก็จะมีระดับ y_j ที่ได้กำหนดไว้แล้ว ดังนั้นจะเห็นได้ว่าขนาดของสัญญาณที่ถูกควอนไทซ์แล้วจะมีลักษณะเป็นขั้นบันได

ตัวควอนไทซ์ขนาด N สเตป คือตัวควอนไทซ์ที่มีจุดในการสวิตช์ระดับทางเอาต์พุต $N+1$ จุดคือ $x_0, x_1, x_2, \dots, x_N$ และมีเซตเอาต์พุตเป็น $y_1, y_2, y_3, \dots, y_N$ เมื่อค่า x ใดๆของสัญญาณอินพุตตกอยู่ในช่วงควอนไทซ์สเตป R_j หรือ

$$R_j = (x_{j-1} < x < x_j) \quad (2.17)$$

แล้ว ตัวควอนไทซ์จะให้เอาต์พุตเป็น y_j โดยจุด x_0 และ x_N จะมีค่าเท่ากับค่าต่ำสุดและสูงสุดของสัญญาณอินพุตตามลำดับ และเมื่อเป็นสัญญาณ พืซีเอ็ม ค่า y_j ทางเอาต์พุตจะถูกแทนที่ด้วยกลุ่มของรหัสเลขฐานสองขนาด n บิตซึ่ง $N = 2^n$ และเรียกตัวควอนไทซ์นี้ว่า ตัวควอนไทซ์ขนาด n บิต ดังรูป 2.4(a) ซึ่งเป็นตัวอย่างตัวควอนไทซ์เชิงเส้นขนาด 3 บิต

การควอนไทซ์แบบพื้นฐานที่สุดคือ การควอนไทซ์ที่แบ่งช่วงควอนไทซ์สเตป อย่างสม่ำเสมอเท่าๆกันตลอด เรียกการควอนไทซ์แบบนี้ว่า การควอนไทซ์เชิงเส้น (Linear quantization หรือ การควอนไทซ์แบบสม่ำเสมอ ,Uniform quantization) ดังนั้นถ้ากำหนดให้สัญญาณอินพุตมีขนาดตกอยู่ในช่วง $(-V,V)$ และเป็นการควอนไทซ์ขนาด n บิตแล้วขนาดควอนไทซ์สเตป Δv จะเป็น

¹ ตัวควอนไทซ์เชิงเส้น(linear Quantization) ใช้ในความหมายเช่นเดียวกับ ตัวควอนไทซ์แบบสมมาตร(Uniform Quantization)

$$\Delta v = \frac{2V}{2^n} = \frac{2V}{N} \quad (2.18)$$

เนื่องจากกระบวนการควอนไทซ์เป็นการประมาณค่าขนาดสัญญาณอินพุตด้วยระดับขนาดที่ได้กำหนดแบ่งไว้แล้วจึงเป็นที่แน่นอนว่าจะต้องเกิดการผิดพลาดของค่าได้ ความผิดพลาดที่เกิดขึ้นจากกระบวนการควอนไทซ์มี 2 ลักษณะ คือ ความผิดเพี้ยนควอนไทซ์ (quantizing distortion),ซึ่งก่อให้เกิดสัญญาณรบกวนที่เรียกว่า สัญญาณรบกวนควอนไทซ์ (quantization noise) และการเกิดอาการโอเวอร์โหลด (หรือ คลิปปีง,clipping) ดังรูป 2.4(b) โอเวอร์โหลดเกิดเนื่องจากสัญญาณอินพุตมีขนาดเกินขอบเขตของการควอนไทซ์คือช่วง (x_0, x_N) ซึ่งมักจะไม่มีเกิดขึ้นในทางปฏิบัติเนื่องจากขนาดของสัญญาณก่อนถูกควอนไทซ์มักจะถูกควบคุมให้มีขนาดที่เหมาะสมอยู่แล้ว ดังนั้นจะไม่กล่าวถึงหัวข้อนี้

2.2.2 สัญญาณรบกวนควอนไทซ์ (Quantization Noise)

สมรรถนะของตัวควอนไทซ์แสดงได้ด้วยค่า อัตราส่วนสัญญาณต่อสัญญาณรบกวนควอนไทซ์ (S/N_q) จากรูป 2.4(b) ถ้านิยามให้ ความผิดพลาดควอนไทซ์ เป็น

$$e = F(x) - x \quad (2.19)$$

แล้ว ค่าผิดพลาดเฉลี่ยกำลังสอง (mean squar error) จะเป็น

$$\overline{e^2} = \int_{-\infty}^{\infty} [F(x) - x]^2 p(x) dx \quad (2.20)$$

โดย $p(x)$ เป็นความหนาแน่นของความน่าจะเป็น (pdf:probability density function) ของสัญญาณอินพุต x

สำหรับการควอนไทซ์เชิงเส้นโดยทั่วไปแล้ว $\overline{e^2}$ หาได้จากผลรวมของการอินทิเกรตภายในช่วงควอนไทซ์สเตป Δv ดังนี้

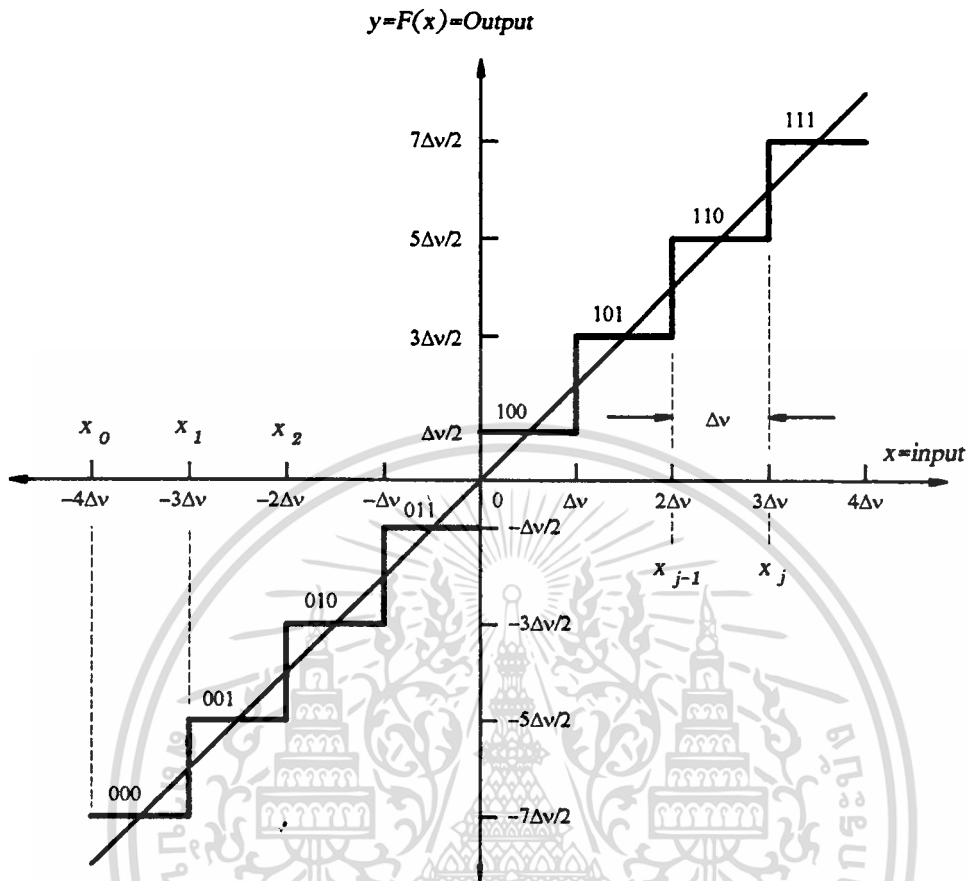
$$\overline{e^2} = \sum_{j=1}^N \int_{x_{j-1}}^{x_j} (y_j - x)^2 p(x) dx \quad (2.21)$$

โดย $F(x) = y_j$ เมื่อ x อยู่ในช่วง R_j

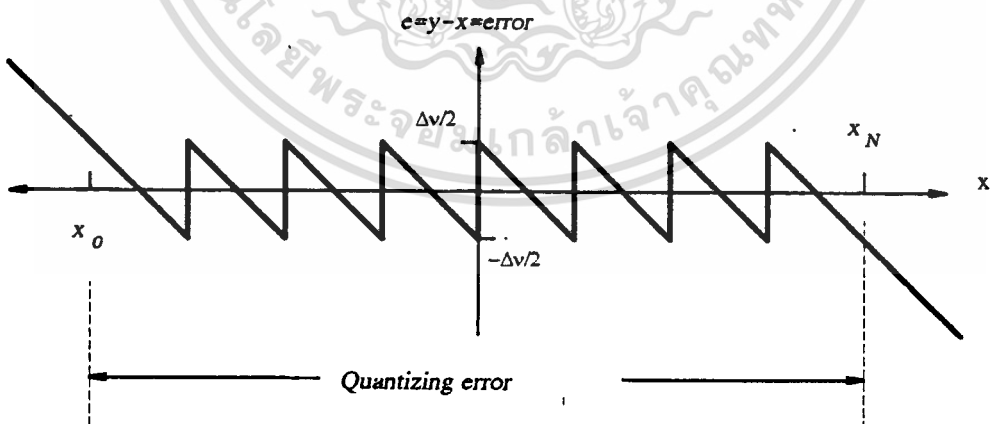
เนื่องจากในแต่ละช่วงควอนไทซ์สเตป y_j มีค่าคงที่ตลอดและ $p(x)$ มีค่าเดียวในแต่ละช่วงควอนไทซ์สเตปดังนั้นจะแทน $p(x)$ ด้วย $p(y_j)$

$$\begin{aligned} \overline{e^2} &= \sum_{j=1}^N \frac{(x_j - x_{j-1})^2}{12} (x_j - x_{j-1}) p(y_j) \\ &= \frac{1}{12} \sum_{j=1}^N (\Delta v_j)^2 [p(y_j) \Delta v_j] \end{aligned} \quad (2.22)$$

เทอม $p(y_j) \Delta v_j$ คือ ความน่าจะเป็นที่สัญญาณอินพุต x จะมีค่าอยู่ในช่วง x_{j-1} ถึง x_j ดังนั้นเมื่อหา



(a) กราฟคุณลักษณะของตัวควอนไทซ์เชิงเส้น(สม่ำเสมอ)



(b) กราฟความผิดพลาดควอนไทซ์

รูปที่ 2.4 แสดงคุณลักษณะของตัวควอนไทซ์เชิงเส้นและความผิดพลาดควอนไทซ์

โดยช่วง $x < x_0$ และ $x > x_N$ เป็นช่วงที่เกิดการโอเวอร์โหลต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลรวมตลอดช่วง (x_0, x_N) ความน่าจะเป็นจะมีค่าเท่ากับ 1 และเนื่องจากการควอนไทซ์เชิงเส้น Δv จะมีค่าคงที่ตลอดช่วง (x_0, x_N) ดังนั้นสมการ (2.22) จะเป็น

$$\begin{aligned}\overline{e^2} &= \frac{(\Delta v)^2}{12} \sum_{j=1}^N p(y_j) \Delta v \\ &= \frac{(\Delta v)^2}{12}\end{aligned}\quad (2.23)$$

เพื่อที่จะสามารถคำนวณหาค่าสัญญาณต่อสัญญาณรบกวนควอนไทซ์ S/N_q ดังนั้นจึงต้องกำหนดคุณลักษณะของสัญญาณอินพุตโดย ถ้ากำหนดให้สัญญาณอินพุตเป็นสัญญาณไซน์มีขนาดเป็น $(-V, V)$ ดังนั้นกำลังงานเฉลี่ยของสัญญาณเป็น

$$S = \frac{V^2}{2} \quad (2.24)$$

และเมื่อพิจารณาจากสมการ (2.17) ทราบว่าขนาดของสัญญาณอินพุต $(-V, V)$ ของตัวควอนไทซ์มีค่าเป็น $2^n \Delta v$ ดังนั้นสมการ (2.23) จะเป็น

$$\overline{e^2} = \frac{2}{3} \cdot \frac{V^2/2}{2^{2n}} \quad (2.25)$$

ดังนั้นจากสมการ (2.24) และ (2.25) จะได้ค่าอัตราส่วนสัญญาณต่อสัญญาณรบกวนควอนไทซ์ S/N_q ของตัวควอนไทซ์เชิงเส้น

$$\begin{aligned}\frac{S}{N_q} &= \frac{S}{\overline{e^2}} = \frac{V^2/2}{(2/3)[(V^2/2)/2^{2n}]} \\ \frac{S}{N_q} &= \left(\frac{3}{2}\right) \cdot 2^{2n}\end{aligned}\quad (2.26)$$

หรือในหน่วยของเดซิเบล เป็น

$$\left(\frac{S}{N_q}\right)_{dB} = 6n + 1.8 \quad dB \quad (2.27)$$

จากสมการนี้ทำให้ทราบว่า การเพิ่มควอนไทซ์บิตขึ้น 1 บิต จะทำให้ค่า S/N_q ดีขึ้น 6 dB

2.3 พืชีเอ็ม สำหรับสัญญาณเสียง

ในหัวข้อ 2.2.1 ได้กล่าวถึงการควอนไทซ์เชิงเส้น ซึ่งเป็นการควอนไทซ์แบบที่มี ค่าควอนไทซ์-สเตป Δv คงที่ตลอดช่วงการควอนไทซ์ และได้ทราบจากสมการ (2.23) อีกว่า สัญญาณรบกวนควอนไทซ์ N_q มีค่าเป็น $(\Delta v)^2/12$ ซึ่งได้จากการนิยามให้ ความหนาแน่นของความน่าจะเป็นของสัญญาณอินพุต $p(x)$ มีค่าคงที่ จากข้อมูลเหล่านี้สามารถนำมาประกอบในการพิจารณาหาวิธีการในการลดค่า

สัญญาณรบกวนควอนไทซ์ N_q เพื่อยกระดับค่า อัตราส่วนสัญญาณต่อสัญญาณรบกวนควอนไทซ์ S/N_q ให้ดีขึ้นเมื่อนำมาใช้กับสัญญาณเสียง

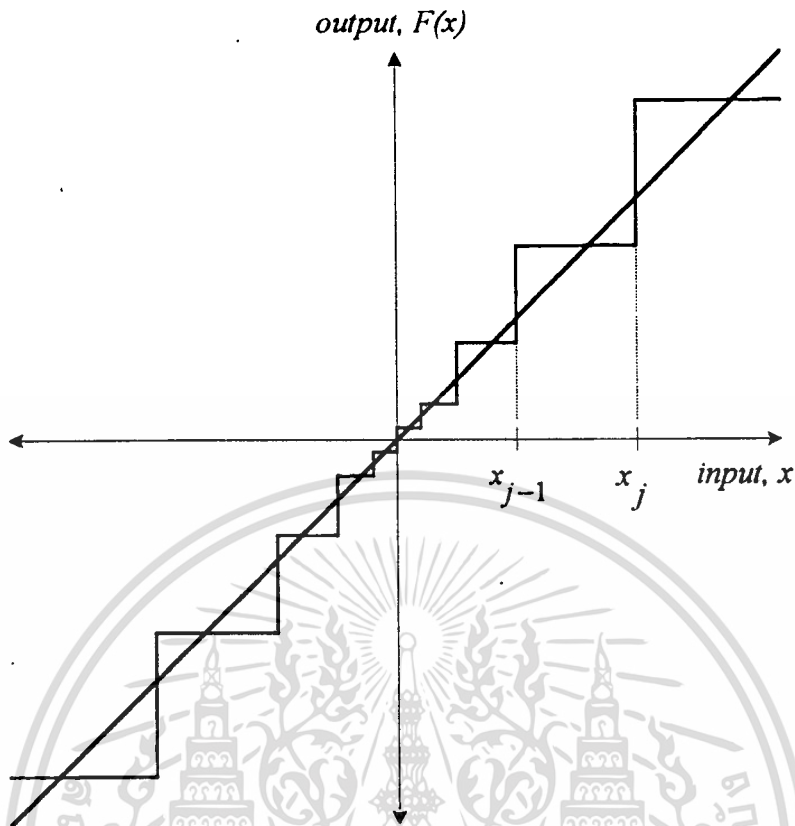
ถ้าพิจารณาสาเหตุของการเกิด ความผิดพลาดควอนไทซ์ e แล้วจะมีอยู่ 3 วิธีที่จะลดความผิดพลาดนี้ได้ คือ

- วิธีที่ 1 เมื่อพิจารณาจากสมการ (2.23) จะเห็นได้ชัดเจนว่า ค่า e ลดลงได้เมื่อลดขนาดของค่าควอนไทซ์สเตป Δv ลง ซึ่งหมายถึงการเพิ่มจำนวนควอนไทซ์สเตปหรือบิตข้อมูลนั่นเอง ผลเสียที่เกิดขึ้นคือ เมื่อจำนวนบิตข้อมูลเพิ่มขึ้นปริมาณข้อมูลก็มากขึ้นตามเป็นผลให้ต้องเพิ่มอัตราความเร็วในการส่งข้อมูลและแถบความถี่ของตัวกลาง ซึ่งเป็นวิธีที่ไม่คุ้มค่าและประสิทธิภาพไม่ดี
- วิธีที่ 2 เพิ่มความถี่ในการสุ่มค่าสัญญาณอินพุตให้มากกว่าความถี่ นิควิท f_s ข้อเสียเช่นเดียวกับวิธีที่ 1
- วิธีที่ 3 โดยการพิจารณาค่าเชิงสถิติของสัญญาณอินพุต สำหรับสัญญาณที่เป็นเสียงพูดคุยของคนนั้นพบว่า ส่วนใหญ่จะอยู่ที่ระดับต่ำหมายความว่า ความน่าจะเป็นที่จะพบระดับเสียงที่มีค่าต่ำนั้นมีมากกว่าที่ระดับสูง เมื่อเป็นเช่นนี้การที่จะลดค่าสัญญาณรบกวนควอนไทซ์โดยที่ไม่ต้องเพิ่มจำนวนควอนไทซ์สเตปก็คือการลดขนาดควอนไทซ์สเตปที่ระดับสัญญาณต่ำๆ และเพิ่มขนาดควอนไทซ์สเตปที่ระดับสัญญาณสูงๆ หรืออาจกล่าวว่าเป็นการเพิ่มจำนวนควอนไทซ์สเตปที่ระดับสัญญาณต่ำๆ เนื่องจากมีโอกาสเกิดมากและลดจำนวนควอนไทซ์สเตปที่ระดับสัญญาณสูงๆ เนื่องจากมีโอกาสเกิดน้อย ด้วยวิธีนี้จะทำให้ค่าอัตราส่วนสัญญาณต่อสัญญาณรบกวนควอนไทซ์ S/N_q ดีขึ้นมาก และยังเป็นการใช้ระดับควอนไทซ์อย่างมีประสิทธิภาพ เทคนิคนี้เรียกว่า การควอนไทซ์แบบไม่สม่ำเสมอ (Nonuniform Quantization) ดังรูป ที่ 2.5 ซึ่งเป็นกราฟลักษณะสมบัติของตัวควอนไทซ์แบบไม่สม่ำเสมอ

จากทั้งสามวิธีจะเห็นว่า วิธีที่ 3 คือ การควอนไทซ์แบบไม่สม่ำเสมอ เป็นเทคนิคที่มีประสิทธิภาพมากที่สุดซึ่งถูกใช้เป็นมาตรฐานสำหรับโครงข่ายโทรศัพท์แบบดิจิทัลในปัจจุบัน

2.3.1 การควอนไทซ์แบบไม่สม่ำเสมอ (Nonuniform Quantization)

วิธีที่จะแปรค่า ควอนไทซ์สเตป Δv ตามขนาดของสัญญาณอินพุต สามารถทำได้หลายวิธี ดังตัวอย่างในรูปที่ 2.6 โดยในรูป(a) เป็นตัวควอนไทซ์ที่ใช้วิธีเข้าไปกำหนดช่วงแรงดันควอนไทซ์สเตป Δv ที่ใช้ในการสวิตช์ค่าเอาท์พุทโดยตรง วิธีนี้ยังมีปัญหาบ้างในทางปฏิบัติเนื่องจากการยากที่จะควบคุมความแน่นอนในการตรึง (ของระดับแรงดันสวิตช์ที่ได้กำหนดไว้เมื่อใช้กับอุปกรณ์

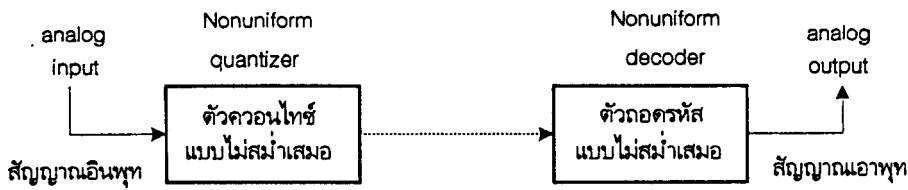


รูปที่ 2.5 แสดงเส้นลักษณะสมบัติของตัวควอนไทซ์แบบไม่สม่ำเสมอ
(Nonuniform Quantization Characteristic)

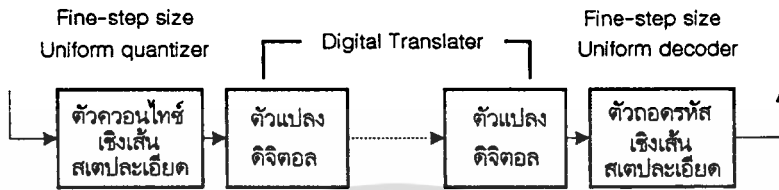
อนาลอกมาตรฐานทั่วไป) ส่วนวิธีในรูป 2.6(b) จะใช้ตัวควอนไทซ์เชิงเส้นธรรมดาที่มีการแบ่งขนาดของควอนไทซ์สเตปให้ละเอียดย่อยลงไปอีกซึ่งก็คือมีจำนวนสเตปมากเป็นพิเศษจากนั้นข้อมูลตัวเลขที่ได้จะส่งเข้าตัวแปลงดิจิตอลซึ่งจะทำหน้าที่แปลงหรือประมวลผลให้ข้อมูลชุดใหม่ที่มีคุณลักษณะเหมือนตัวควอนไทซ์แบบไม่สม่ำเสมอออกมา

วิธีในรูป 2.6(c) จะใช้ตัวควอนไทซ์เชิงเส้นธรรมดาเช่นกันซึ่งมีจำนวนควอนไทซ์สเตปตามปกติแต่สัญญาณก่อนที่จะทำการควอนไทซ์จะนำไปผ่านโครงข่ายวงจรที่ไม่เป็นเชิงเส้น (nonlinear network) ก่อน เรียกว่า ตัวบีบอัด (Compressor) ซึ่งมีฟังก์ชันถ่ายโอน (Transfer function) เป็นแบบลอการิทึมผลที่ได้จะเหมือนกับการควอนไทซ์แบบไม่สม่ำเสมอ เรียกกระบวนการนี้ว่า การคอมแพนดิง (Companding) ส่วนกระบวนการทางด้านรับซึ่งทำในลักษณะกลับกันจะเรียกว่า การเอ็กแพนดิง (Expanding)

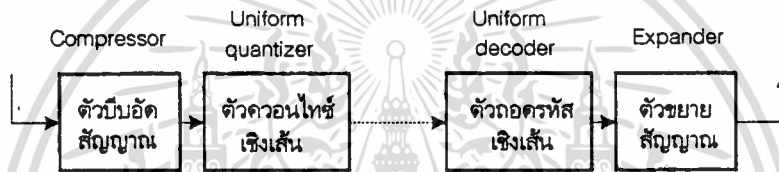
ทั้ง 3 วิธีข้างต้นจะให้ผลที่เหมือนกัน แต่วิธีที่ 3 เป็นวิธีที่ใช้กันมากในปัจจุบันซึ่งเป็นวิธีที่เลือกใช้ในงานวิจัยนี้ เนื่องจากมีข้อสนับสนุนในท้องตลาด



(a)



(b)



(c)

รูปที่ 2.6 แสดงตัวอย่างวิธีต่างๆในการสร้างตัวควอนไทซ์แบบไม่สม่ำเสมอ

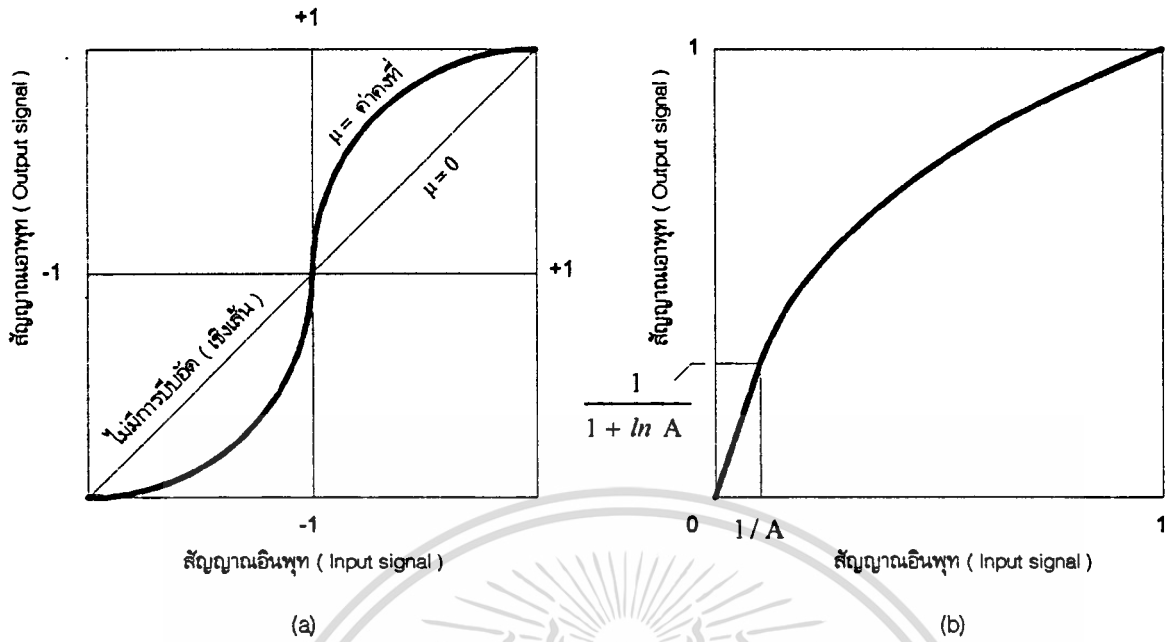
2.3.2 กฎเกณฑ์การคอมแพนดิง (Companding Law)

การแปรค่าควอนไทซ์สเตป, Δv ตามขนาดของสัญญาณอินพุต เรียกว่า อันดับของความไม่สม่ำเสมอ (degree of nonuniformity) ซึ่งสามารถกำหนดได้โดยการเลือก กฎของการคอมแพนดิง (Companding law) กฎนี้แสดงได้ด้วย เส้นโค้งความสัมพันธ์อินพุต-เอาต์พุตของตัวบีบอัดสัญญาณ (Compander) ซึ่งจะต้องเลือกให้สัมพันธ์กับค่าเชิงสถิติของสัญญาณอินพุต

มาตรฐานของ กฎการคอมแพนดิง ที่รับรองโดย CCITT มีอยู่ 2 แบบคือ กฎการคอมแพนดิงแบบ μ (μ Law) ซึ่งเป็นแบบที่นิยมใช้ในอเมริกาและญี่ปุ่นและ กฎการคอมแพนดิงแบบ A (A Law) ซึ่งนิยมใช้กันในแถบยุโรป, แอฟริกาและอเมริกาใต้ ตัวอย่างเส้นโค้งแสดงในรูป 2.7 จากรูปจะเห็นว่าเส้นโค้งของทั้งสองแบบสมมาตรกันทั้งช่วงบวกและลบของสัญญาณ ดังนั้นการกล่าวถึงในครั้งต่อไป จะกล่าวถึงเฉพาะช่วงบวกของสัญญาณ

• กฎการคอมแพนดิงแบบ μ (μ Law Companding) เกิดขึ้นในปี 1957 โดย B. Smith ซึ่งอยู่ในรูปของฟังก์ชัน ลอการิทึม คือ

$$V_c = \frac{V \cdot \ln(1 + \mu V_i / V)}{\ln(1 + \mu)} \quad , \quad 0 \leq V_i \leq V \quad (2.28a)$$



รูปที่ 2.7 ตัวอย่างเส้นโค้งบีบอัดสัญญาณ (a) ตามกฎการคอมเพรสชันแบบ μ และ (b) ตามกฎการคอมเพรสชันแบบ A ซึ่งแสดงเฉพาะช่วงบวก

$$V_c = \frac{-V \cdot \ln(1 - \mu V_i / V)}{\ln(1 + \mu)}, \quad -V \leq V_i \leq 0 \quad (2.28b)$$

โดย V_i คือ สัญญาณอินพุตซึ่งมีค่าอยู่ในช่วง $[-V, V]$

V_c คือ สัญญาณเอาต์พุต

ระดับของการบีบอัด (degree of compression) สามารถเปลี่ยนแปลงได้ด้วยค่า พารามิเตอร์การบีบอัด μ (Compression parameter) เนื่องจากลักษณะเส้นโค้งในช่วงบวกและลบสมมาตรกัน ดังนั้นเพื่อความสะดวกสมการ (2.28a) จะเขียนใหม่เฉพาะช่วงบวกและนอมัลไลซ์ค่าแล้วได้เป็น

$$V_c = \frac{\ln(1 + \mu V_i)}{\ln(1 + \mu)} \quad (2.29)$$

ความสัมพันธ์ระหว่าง V_c และ V_i จะมีลักษณะเป็นเชิงเส้นโดยประมาณที่ระดับสัญญาณอินพุต V_i ต่ำๆ และเป็นฟังก์ชันลอการิทึมที่ระดับสัญญาณอินพุตใหญ่ๆ โดยจุดต่อระหว่างความสัมพันธ์ทั้งสองแบบอยู่ที่ $V_i \approx 1/\mu$ ในทางปฏิบัติสำหรับพีซีเอ็มขนาด 7 บิตแล้วจะใช้ค่า $\mu = 100$ [2] และสำหรับพีซีเอ็มขนาด 8 บิตจะใช้ $\mu = 255$ [2]

• กฎการคอมแพนดิงแบบ A (A Law Companding) เกิดขึ้นในปี 1962 โดย K.W. Cattermole มีสมการในรูปนอมัลไลซ์แล้วเป็น

$$V_c = \frac{AV_i}{1+\ln A} \quad , \quad 0 \leq V_i \leq \frac{1}{A} \quad (2.30a)$$

$$V_c = \frac{1+\ln(AV_i)}{1+\ln A} \quad , \quad \frac{1}{A} \leq V_i \leq 1 \quad (2.30b)$$

โดย V_i คือ สัญญาณอินพุต

V_c คือ สัญญาณเอาต์พุต

A คือ พารามิเตอร์บีบอัด

เส้นโค้งคุณสมบัติแสดงในรูป 2.7(b) จะเห็นว่าความสัมพันธ์จะเป็นเชิงเส้นโดยแท้เมื่อ สัญญาณอินพุตอยู่ในช่วง $[0, 1/A]$ และช่วงนอกเหนือจากนี้จะเป็นลอการิทึม ค่า A ในทางปฏิบัติ คือ 87.6

2.3.3 ลักษณะเชิงเส้นเป็นช่วงๆของการคอมแพนดิง

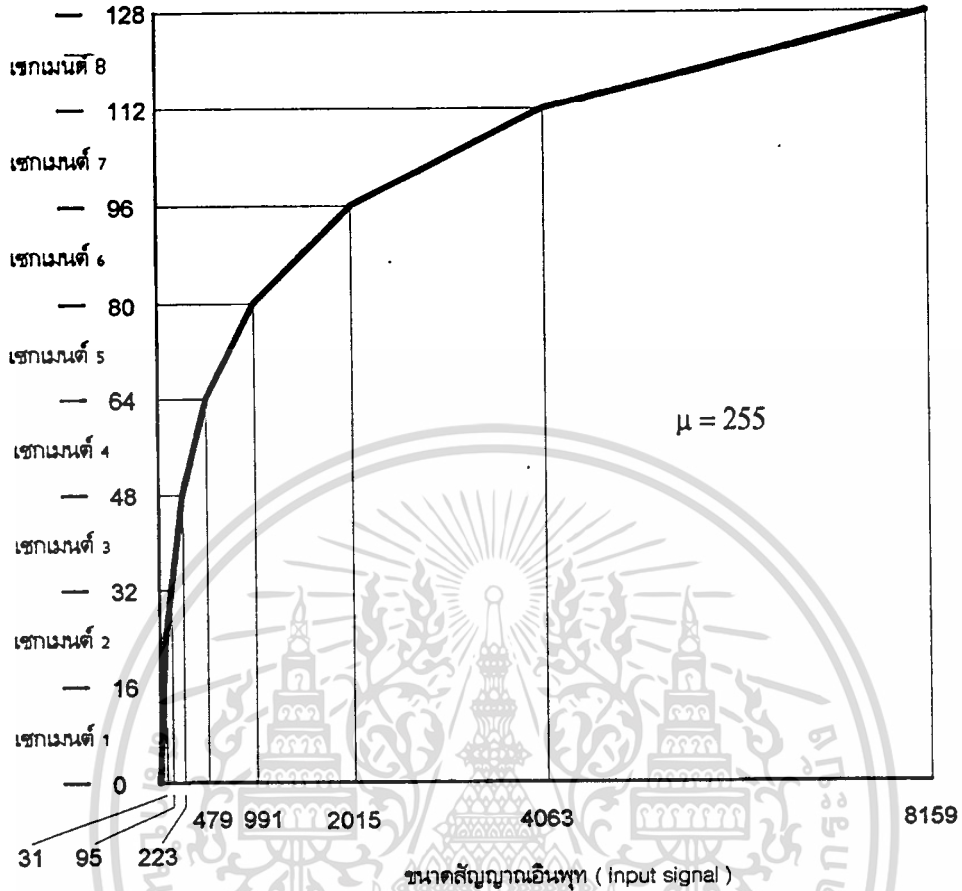
(Piecewise Linear Segment Companding)

จากหัวข้อที่แล้วได้กล่าวถึง กฎการคอมแพนดิง ซึ่งถ้าจะสร้างตัวคอนโทรลแบบนี้อย่างตรงไปตรงมาแล้วจะต้องใช้จำนวนคอนโทรลสเตปจำนวนมากซึ่งก็คือใช้จำนวนบิตมากประกอบกับเหตุผลที่ว่า การที่จะลดต้นทุนในการสร้างตัวคอนโทรลแบบไม่สม่ำเสมอจะต้องพยายามลดจำนวนคอนโทรลสเตปให้มีจำนวนน้อยที่สุด ดังนั้นเพื่อให้ได้ข้อดีของกระบวนการบีบอัดสัญญาณและราคาต้นทุนที่ต่ำ จึงเกิดวิธีการที่เรียกว่า การคอมแพนดิงแบบแบ่งเป็นส่วนๆ (Segmented Companding) วิธีการนี้ใช้หลักการประมาณเส้นโค้งของการบีบอัด (ในรูป 2.7) ด้วยส่วนของเส้นตรงหลายๆเส้นที่ต่อกัน ในแต่ละส่วนของเส้นตรงทำการคอนโทรลแบบเชิงเส้นและจะเรียกส่วนเส้นตรงแต่ละส่วนว่า เซกเมนต์ (Segment)

• การคอมแพนดิงแบบ μ จะประมาณเส้นโค้งด้วยส่วนของเส้นตรง 15 เซกเมนต์ แบ่งเป็น 8 เซกเมนต์สำหรับช่วงบวก และอีก 8 เซกเมนต์สำหรับช่วงลบ แต่เนื่องจากเซกเมนต์แรกของทั้งช่วงบวกและลบอยู่ในแนวเดียวกันซึ่งผ่านจุดกำเนิด จึงถือเป็นเซกเมนต์เดียวกัน รวมแล้วจึงเป็น 15 เซกเมนต์ดังในรูป 2.8 ซึ่งแสดงเฉพาะช่วงบวกของสัญญาณ

การจัดเซกเมนต์ จัดโดยให้เซกเมนต์ใดๆที่ติดกันรับช่วงสัญญาณอินพุตต่างกัน 2 เท่า คือ เซกเมนต์ที่ 8 จะรับช่วงสัญญาณอินพุตเป็น 2 เท่าของเซกเมนต์ที่ 7 และเซกเมนต์ที่ 7 จะรับช่วงสัญญาณอินพุตเป็น 2 เท่าของเซกเมนต์ที่ 6 เป็นเช่นนี้ไปเรื่อย ทำให้ความชันของเซกเมนต์ที่ติดกันต่างกัน

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



รูปที่ 2.8 การประมาณค่าเส้นโค้งการคอมแพนดิงแบบลอการิทึมค่า $\mu=255$ ด้วยส่วนของเส้นตรงเป็นช่วงๆ (Piecewise Linear Segment) โดยแสดงเฉพาะช่วงบวก

อยู่ 2 เท้าด้วย รหัสที่ได้จากการควอนไทซ์มีขนาด 8 บิต มีรายละเอียด คือ

B1 (MSB)	บิตเครื่องหมาย (Sign Bit) เป็นบิตที่ใช้แทนช่วงบวกของสัญญาณอินพุต โดย 0 แทนช่วงลบ และ 1 แทนช่วงบวก
B2 - B4	ค่าเชกเมนต์ เป็นกลุ่มบิตที่ใช้ระบุหมายเลขเชกเมนต์ซึ่งมี 8 เชกเมนต์
B5 - B8	ค่าควอนไทซ์สเตป เป็นกลุ่มบิตที่ใช้ระบุ ควอนไทซ์สเตปในแต่ละเชกเมนต์ซึ่งมี 16 ควอนไทซ์สเตป

รายละเอียดการเข้ารหัส แสดงในตารางที่ 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตาราง 2.1 การเข้ารหัส พีซีเอ็ม สำหรับเซกเมนต์คอมแพนดิงแบบ $\mu, \mu = 255$

หมายเลข เซกเมนต์	จำนวน สเตปต่อ เซกเมนต์	ขนาด สเตป	ช่วงแอมพลิจูด อินพุต (x_n to x_{n+1})	เอาต์พุตของการเข้ารหัส			
				ค่า รหัส ปกติ	รหัส เซกเมนต์ ($B2 - B4$)	รหัส ควอนไทซ์ ($B5 - B8$)	เอาต์พุตจาก การถอดรหัส y_n
1	16	1	0 - 1	0		1111	0
		2	1 - 3	1	111	1110	2
			...			...	...
			29 - 31	15		0000	30
2	16	4	31 - 35	16		1111	33
			...	...	110	...	...
			91 - 95	31		0000	93
3	16	8	95 - 103	32		1111	99
			...	...	101	...	...
			215 - 223	47		0000	219
4	16	16	223 - 239	48		1111	231
			...	...	100	...	...
			463 - 479	63		0000	471
5	16	32	479 - 511	64		1111	495
			...	...	011	...	...
			959 - 991	79		0000	975
6	16	64	991 - 1055	80		1111	1023
			...	...	010	...	...
			1951 - 2015	95		0000	1983
7	16	128	2015 - 2143	96		1111	2079
			...	...	001	...	...
			3935 - 4063	111		0000	3999
8	16	256	4063 - 4319	112		1111	4191
			...	...	000	...	...
			7903 - 8159	127		0000	8031

- ค่าเต็มสเกลของช่วงแอมพลิจูดอินพุตของมัลติไพลีไวก์ 8159 และบิตเครื่องหมาย ($B1$) = 0 สำหรับอินพุตค่าลบและ 1 สำหรับอินพุตค่าบวก
- เอาต์พุตจากการถอดรหัสหาได้จาก $y_0 = x_0 = 0$ และ $y_n = (x_n + x_{n+1})/2$, $n = 1, 2, \dots, 127$

จากตาราง 2.1 จะเห็นว่ารหัสที่ได้ไม่ได้อยู่ในรูปรหัสเลขฐานสองปกติ ตัวอย่างเช่นในช่วงแอมพลิจูดอินพุต 0 - 1 แทนที่รหัสจะเป็น 000-0000 ($B2 - B8$) ตามค่ารหัสปกติแต่กลับเป็น 111-1111 เนื่องจากระบบชุมสายโทรศัพท์แบบดิจิตอลซึ่งใช้การเข้ารหัสรูปแบบ ไบโพลาร์ (Bipolar) จะมีเสถียรภาพของการชิงโครไนซ์ที่ดีกับขบวนการที่มีข้อมูลที่มีความหนาแน่นของระดับลอจิก 1 มากกว่า แต่เป็นที่ทราบแล้วว่าค่าความน่าจะเป็นสำหรับเสียงพูดนั้นอยู่ที่ระดับสัญญาณต่ำๆ ซึ่งเมื่อเข้ารหัสในรูปรหัสฐานสองปกติแล้วจะมีค่าความหนาแน่นของระดับลอจิก 1 ต่ำ จึงไม่เหมาะในการใช้ส่งข้อมูล ดังนั้นจึงใช้วิธีการทำคอมพลีเมนต์บิต $B2 - B8$ ของรหัสในรูปปกติซึ่งจะทำให้ค่าความหนาแน่นของระดับลอจิก 1 มีค่าสูง และสำหรับรหัสที่มีค่าปกติเป็น 0111-1111 (-127) ซึ่งอยู่ในช่วงลบของสัญญาณจะเห็นว่าเมื่อแปลง

แล้วรหัสที่ได้จะเป็น 0 ทั้งหมดซึ่งในทางปฏิบัติจะไม่ใช้รหัสนี้แต่จะแทนด้วย 0000-0010 (-125) ซึ่งจะทำให้แน่ใจได้ว่าจะไม่มีโอกาสเกิดลोजิก 0 ติดๆกันมากกว่า 13 บิต [2]

• การคอมแพนดิงแบบ A จะประมาณเส้นโค้งด้วยส่วนของเส้นตรง 13 เซกเมนต์ โดย 2 เซกเมนต์แรกของทั้งช่วงบวกและลบจะอยู่ในแนวเส้นตรงเดียวกันจึงถือเป็นเซกเมนต์เดียวกัน การจัดเซกเมนต์จะจัดให้เซกเมนต์ที่ติดกันรับช่วงอินพุตต่างกัน 2 เท่า ซึ่งคล้ายกับแบบ μ ยกเว้น 2 เซกเมนต์ (เซกเมนต์ 1, 2) แรกจะมีขนาดเท่ากัน สองเซกเมนต์นี้จึงอยู่ในแนวเส้นตรงเดียวกันจึงทำให้เมื่อนับตามแนวเส้นตรงแล้วจะมีเพียง 7 เซกเมนต์ (เดิมถ้านับตามบิต B2 - B4 จะมี 8 เซกเมนต์) ดังรูป 2.9 จากรูป ความชันของเซกเมนต์แรกสามารถคำนวณได้ คือ

$$Slope_1 = \frac{32/128}{64/4096} = 16$$

และจากสมการ (2.30 a) จะได้ค่าความชัน

$$Slope_1 = \frac{d}{dV_i}[V_c] = \frac{A}{1 + \ln A}$$

แทนค่า $A = 67.5$

$$\left. \frac{A}{1 + \ln A} \right|_{A=67.5} = 16$$

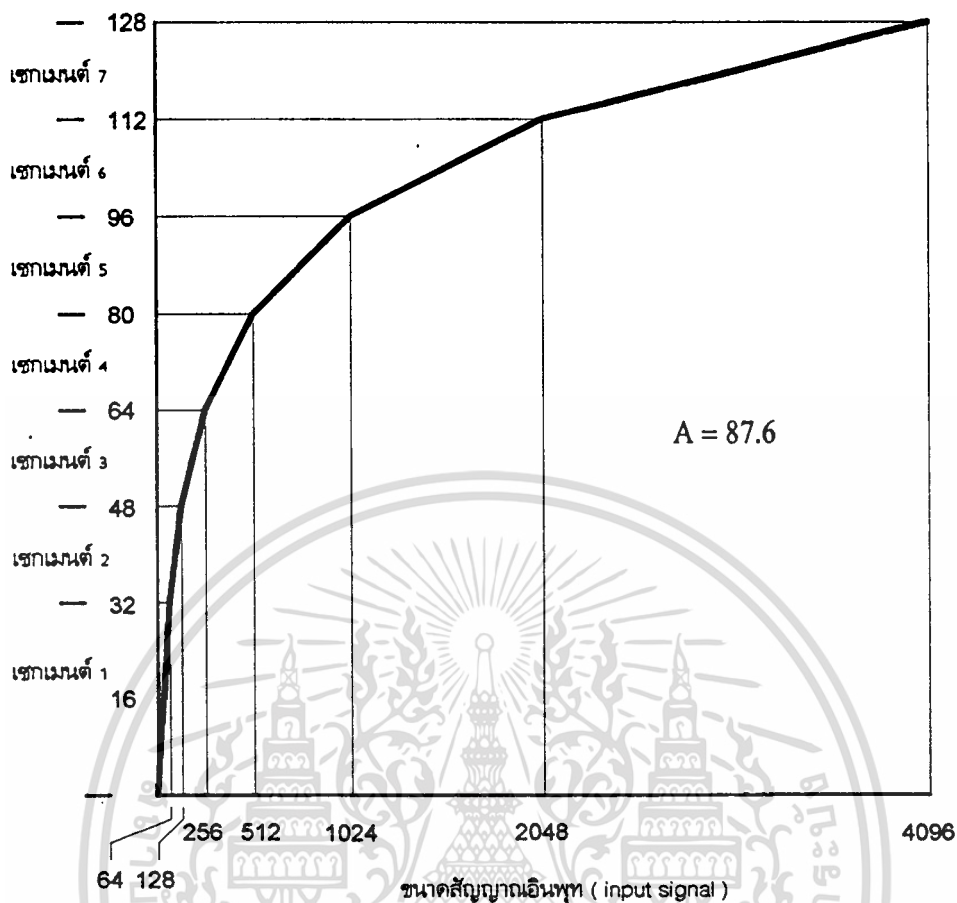
จะเห็นว่าค่าที่ได้สอดคล้องกับทฤษฎีซึ่งแสดงให้เห็นว่าเซกเมนต์แรกมีความเป็นเชิงเส้นอย่างแท้จริง

รหัสที่ใช้แทนระดับควอนไทซ์ มีขนาด 8 บิตดังนี้

B1 (MSB)	บิตเครื่องหมาย (Sign Bit) เป็นบิตที่ใช้แทนช่วงบวกของสัญญาณอินพุต โดย 0 แทนช่วงลบ และ 1 แทนช่วงบวก
B2 - B4	ค่าเซกเมนต์ เป็นกลุ่มบิตที่ใช้ระบุหมายเลขเซกเมนต์ซึ่งมี 7 เซกเมนต์ (รหัส 000 และ 001 อยู่ในเซกเมนต์เดียวกัน)
B5 - B8	ค่าควอนไทซ์สเตป เป็นกลุ่มบิตที่ใช้ระบุ ควอนไทซ์สเตปในแต่ละเซกเมนต์ซึ่งมี 16 ควอนไทซ์สเตป

รายละเอียดของรหัสแสดงในตารางที่ 2.2 จากตารางจะเห็นว่า ค่ารหัส B2 - B8 ไม่ได้อยู่ในรูปรหัสฐานสองปกติซึ่งเป็นเหตุผลเดียวกับการคอมแพนดิงแบบ μ คือเพื่อเสถียรภาพของการชิงโครไนซ์ โดยบิต B2 - B8 ได้จากการคอมพลีเมนต์บิตลำดับคู่ (B2 ,B4 ,B6 ,B8) ของรหัสปกติ เช่น รหัสปกติเป็น 0000-0001 เมื่อแปลงแล้วจะเป็น 0101-0100

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดทั้งสิ้น อีกทั้งยังมีให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 การประมาณค่าเส้นโค้งการคอมแพนดิงแบบลอการิทึมค่า $A = 87.6$ ด้วยส่วนของเส้นตรงเป็นช่วงๆ (Piecewise Linear Segment) โดยแสดงเฉพาะช่วงบวก

ตาราง 2.2 การเข้ารหัส พิตช์เอม สำหรับเซกเมนต์คอมแพนดิงแบบ A , $A = 87.6$

หมายเลข เซกเมนต์	จำนวน สเตปต่อ เซกเมนต์	ขนาด สเตป	ช่วงแอมพลิจูด อินพุต (x_n to x_{n+1})	เอพท์พุทของการเข้ารหัส			
				ค่า รหัส ปกติ	รหัส เซกเมนต์ ($B2-B4$)	รหัส ควอนไทซ์ ($B5-B8$)	เอพท์พุทจาก การถอดรหัส y_n
1	32	2	0 - 2	0	101	0101	1
			...	15		...	...
			32 - 34	16	100	0101	33
			...	31		...	...
2	16	4	62 - 64	31	111	1010	63
			64 - 68	32		0101	66
			...	...		...	...
			124 - 128	47		1010	126

ตาราง 2.2 (ต่อ) การเข้ารหัส พีซีเอ็ม สำหรับเซกเมนต์คอมแพนดิงแบบ A , $A = 87.6$

หมายเลข เซกเมนต์	จำนวน สเตปต่อ เซกเมนต์	ขนาด สเตป	ช่วงแอมพลิจูด อินพุท (x_n to x_{n+1})	เอาต์พุตของการเข้ารหัส			
				ค่า รหัส ปกติ	รหัส เซกเมนต์ (B2-B4)	รหัส ควอนไทซ์ (B5-B8)	เอาต์พุตจาก การถอดรหัส y_n
3	16	8	128 - 136	48	110	0101	132
			...	...		...	...
			248 - 256	63		1010	252
4	16	16	256 - 272	64	001	0101	264
			...	...		...	...
			496 - 512	79		1010	502
5	16	32	512 - 544	80	000	0101	528
			...	...		...	...
			992 - 1024	95		1010	1008
6	16	64	1024 - 1088	96	011	0101	1056
			...	...		...	...
			1984 - 2048	111		1010	2016
7	16	128	2048 - 2176	112	010	0101	2112
			...	...		...	...
			3968 - 4096	127		1010	4032

- ค่าเต็มสเกลของช่วงแอมพลิจูดอินพุทนอร์มัลไลซ์ไว้ที่ 4096 และบิตเครื่องหมาย (B1) = 0 สำหรับอินพุทค่าลบและ 1 สำหรับอินพุทค่าบวก
- เอาต์พุตจากการถอดรหัสหาได้จาก $y_n = (x_n + x_{n+1})/2$, $n = 1, 2, \dots, 127$

บทที่ 3

การดิจิไทซ์สัญญาณภาพ

(Video Signal Digitizing)

การดิจิไทซ์ เป็นกระบวนการแปลงสัญญาณภาพซึ่งเป็นสัญญาณอนาลอกให้เป็นข้อมูลดิจิตอล โดยเก็บไว้ในหน่วยความจำ ซึ่งเป็นกระบวนการที่ต้องใช้สำหรับการสื่อสารข้อมูลดิจิตอลที่เป็นภาพ การที่จะสามารถกล่าวถึงกระบวนการในการดิจิไทซ์สัญญาณภาพให้เข้าใจได้นั้นจำเป็นต้องทราบถึงวิธีการสแกนภาพและรายละเอียดของสัญญาณภาพว่าสัมพันธ์กันอย่างไร ดังนั้น ในหัวข้อแรกของบทนี้จะได้กล่าวถึง ระบบสัญญาณโทรทัศน์ที่ใช้ในปัจจุบัน จากนั้นจะกล่าวถึง การกวาดเส้นบนจอภาพ รายละเอียดของสัญญาณภาพ และวิธีการดิจิไทซ์สัญญาณภาพในหัวข้อต่อไป

อนึ่งเนื่องจากสัญญาณภาพที่ใช้ในงานวิจัยนี้ เป็นสัญญาณภาพ ขาว-ดำ ดังนั้นเพื่อความไม่สับสนจึงจะไม่กล่าวถึงรายละเอียดของสัญญาณที่เกี่ยวข้องกับสี เช่น สัญญาณโครมา (Chroma signal) ,สัญญาณเบิสต์ (Burst signal) เป็นต้น

3.1 ระบบสัญญาณโทรทัศน์

ปัจจุบันระบบสัญญาณโทรทัศน์ที่ใช้กัน มีอยู่ 3 ระบบ คือ

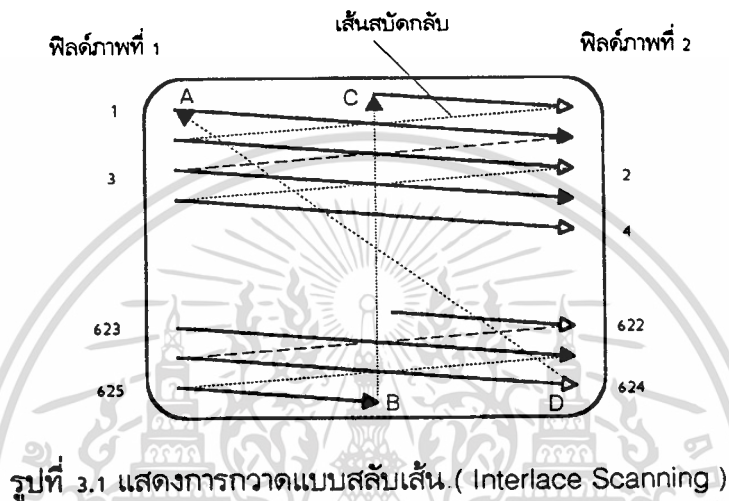
- (1) NTSC (The National Television System Committee) เป็นระบบที่เกิดขึ้นก่อนระบบอื่นๆซึ่งถือเป็นระบบแม่ (The Mother of All CTV System)
- (2) SECAM (Sequential Colour with Memory or Sequential a Memory) เป็นระบบที่พัฒนามาจากระบบ NTSC เพื่อแก้ความคลาดเคลื่อนทางสี
- (3) PAL (Phase Alternating Line) เป็นอีกระบบหนึ่งที่แก้ไขข้อผิดพลาดของระบบ NTSC และเป็นระบบที่ใช้ในประเทศไทย

สำหรับในงานวิจัยนี้จะกล่าวถึงเฉพาะระบบ PAL เท่านั้นเนื่องจากเป็นระบบที่ใช้ในประเทศไทย มีรายละเอียดของระบบที่ควรจะทราบดังนี้

จำนวนเส้นต่อเฟรมภาพ	625	เส้น
จำนวนเฟรมภาพต่อวินาที	25	ภาพ
จำนวนฟิลด์ภาพต่อวินาที	50	ฟิลด์
ความถี่หักเหแนวนอน	15,625	เฮิรท์ (Hz)

3.1.1 การกวาดสัญญาณภาพ

สัญญาณภาพระบบ PAL เป็นระบบภาพ 625 เส้น อัตราภาพ 25 เฟรมภาพ/วินาที โดยใน 1 เฟรมภาพจะประกอบด้วย 2 फिल्ดภาพ (field) फिल्ดภาพที่ 1 เป็น फिल्ดภาพคี่ จะประกอบด้วยเส้นกวาดอันดับคี่ และ फिल्ดภาพที่ 2 เป็น फिल्ดภาพคู่ จะประกอบด้วยเส้นกวาดอันดับคู่ ดังนั้น ใน 1 फिल्ดภาพจะประกอบด้วยเส้นกวาดจำนวน $625/2 = 312.5$ เส้นกวาด ดังรูป 3.1



รูปที่ 3.1 แสดงการกวาดแบบสลับเส้น (Interlace Scanning)

การกวาดภาพให้ได้ครบ 1 เฟรมภาพที่สมบูรณ์นั้น จะเริ่มจากการกวาดใน फिल्ดภาพที่ 1 ที่มุมซ้ายบนของจอภาพ (จุด A) กวาดมาทางขวาจนสุดจอภาพจากนั้นจะสับกลับมาเริ่มต้นกวาดเส้นใหม่ทางด้านซ้ายของจอภาพ เนื่องจากช่วงสับกลับเส้นนี้ เป็นช่วงที่ไม่มีข้อมูลภาพใดๆ ดังนั้นจึงต้องไม่ให้เส้นที่ถูกสับกลับนี้ปรากฏบนจอภาพ โดยจะมีสัญญาณที่มาทำการดับเส้นสับกลับในช่วงนี้ เรียกว่า สัญญาณแบล็กกิ้งแนวนอน หรือ H.blank (Horizontal Blanking) และในช่วงนี้จะปรากฏสัญญาณอีกตัวหนึ่ง คือ สัญญาณซิงค์แนวนอน หรือ H.sync (Horizontal Sync) ซึ่งเป็นสัญญาณที่กระตุ้นให้เกิดการสับกลับดังที่กล่าวมาแล้วนั่นเอง จากนั้นก็จะกวาดเส้นต่อไปเรื่อยจนสุดที่ส่วนล่างของจอภาพ (จุด B) เป็นการสิ้นสุดการกวาดภาพใน फिल्ดภาพที่ 1

หลังจาก फिल्ดภาพที่ 1 กวาดครบ เส้นก็จะสับกลับขึ้นไปทางด้านบนของจอภาพ (จุด C) เช่นกันช่วงสับกลับขึ้นไปด้านบนเส้นก็จะถูกดับทิ้งโดยสัญญาณที่เรียกว่า สัญญาณแบล็กกิ้งแนวตั้ง หรือ V.blank (Vertical Blanking) และภายในสัญญาณนี้จะมีสัญญาณที่กระตุ้นให้เกิดการสับกลับ เรียกว่า สัญญาณซิงค์แนวตั้ง หรือ V.sync (Vertical Sync) จากนั้นก็จะกวาดเส้นต่อไปซึ่งจะกวาดลงแทรกเส้นทุกเส้นที่กวาดโดย फिल्ดภาพที่ 1 จนครบ फिल्ดภาพที่ 2 ที่จุด D เป็นอันครบ 1 เฟรมภาพสมบูรณ์ ข้อดีของการกวาดเส้นในลักษณะนี้ คือ ภาพที่ได้บนจอภาพจะไม่กระพริบ เรียกการกวาดตามกระบวนการที่กล่าวมานี้ว่า การกวาดสัญญาณแบบสลับเส้น (Interlace Scanning)

3.1.2 สัญญาณภาพระบบ PAL (PAL Viedo Signal Format)

มาตรฐานรูปคลื่นของสัญญาณภาพระบบ PAL แสดงดังรูป 3.2 ซึ่งประกอบด้วยส่วนสำคัญ 3 ส่วน คือ

- 1) สัญญาณลูมิแนนซ์ (Luminance signal) ซึ่งเป็นสัญญาณความสว่างของภาพ (ถ้าเป็นสัญญาณภาพสีจะมีสัญญาณ โครมิแนนซ์ หรือ สัญญาณสีด้วย)
- 2) สัญญาณซิงค์พัลส์ใช้สำหรับซิงโครไนซ์กับวงจรกวาดภาพภายในเครื่องรับโทรทัศน์
- 3) สัญญาณแบลงกิงพัลส์ใช้สำหรับดับเส้นสแกนในจอภาพขณะกำลังสับเปลี่ยนกลับ

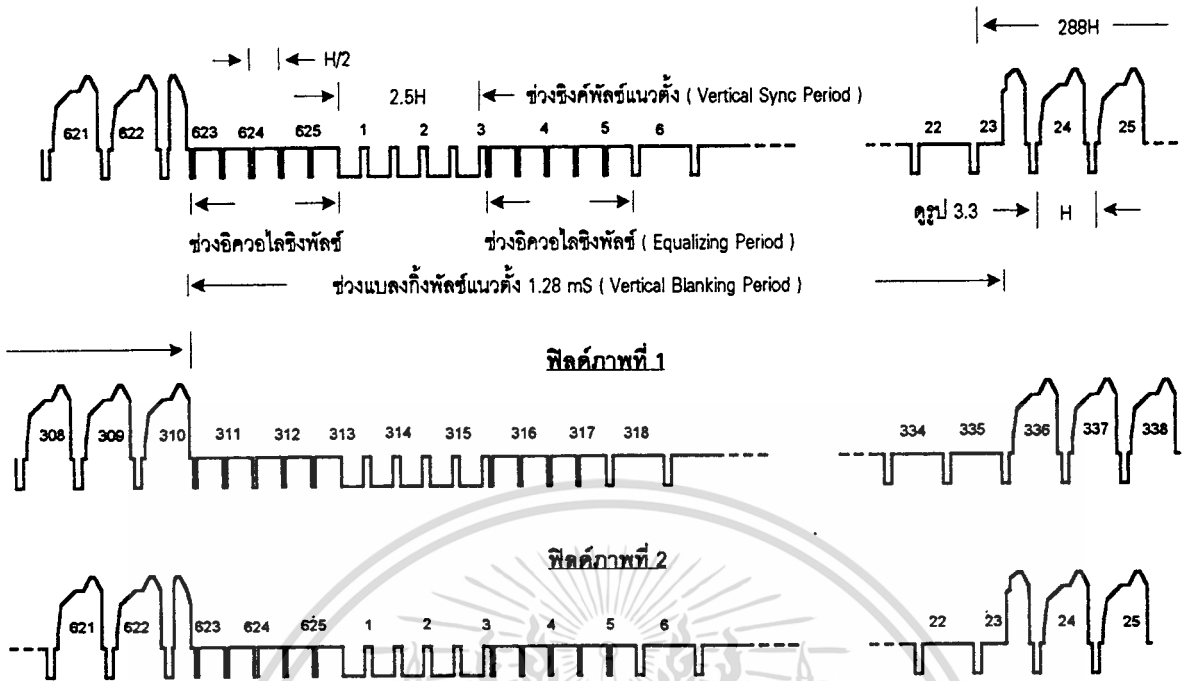
3.1.2.1 สัญญาณลูมิแนนซ์ หรือ สัญญาณความสว่าง เป็นสัญญาณส่วนที่นำไปแสดงบนจอภาพจริงๆ (ส่วนอื่นๆจะถูกดับทิ้งทั้งหมดด้วยสัญญาณแบลงกิง) ซึ่งส่วนนี้เองที่จะถูกแปลงเป็นข้อมูลดิจิทัลเพื่อนำไปเก็บในหน่วยความจำซึ่งจะกล่าวถึงในหัวข้อ การดิจิทัลสัญญาณภาพ เนื่องจากเป็นสัญญาณภาพขาว-ดำ สัญญาณลูมิแนนซ์จึงกำหนดเพียงความสว่างของแต่ละจุดในแต่ละเส้นที่กวาด โดยกำหนดให้ระดับความสว่างสุดมีขนาดเป็น 100 IRE เมื่อเทียบกับระดับ 0 IRE ที่ระดับแบลงกิง ดังในรูป 3.3 และระดับมืดสุดอยู่ที่ระดับ 7.5 IRE โดยกำหนดให้ 1 IRE = 0.0215 V [11] คาบของสัญญาณมีค่าโดยประมาณ 53.1 μ S

3.1.2.2 สัญญาณซิงค์พัลส์ เป็นสัญญาณที่กระตุ้นให้วงจรภายในเครื่องรับโทรทัศน์สับเปลี่ยนกลับ มี 2 สัญญาณ คือ สัญญาณซิงค์แนวนอน และสัญญาณซิงค์แนวตั้ง

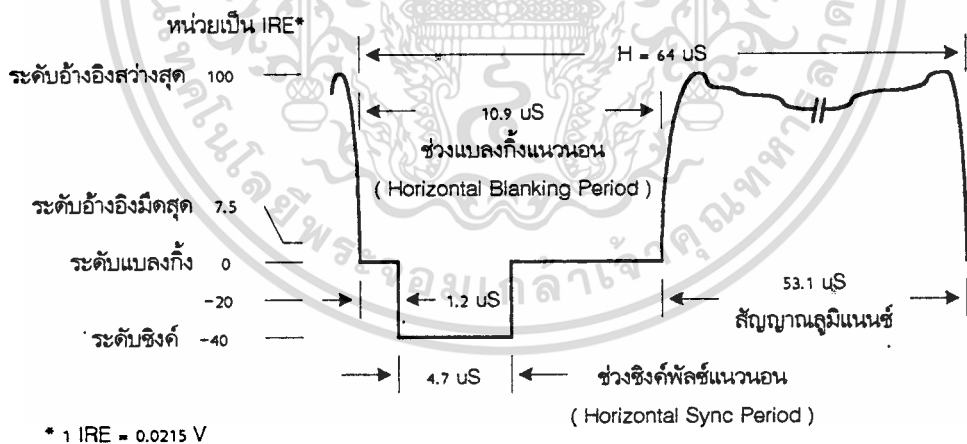
• สัญญาณซิงค์แนวนอน เป็นส่วนที่กระตุ้นให้มีการสับเปลี่ยนกวาดกลับมาด้านซ้ายของจอภาพเพื่อจะเริ่มต้นกวาดเส้นใหม่ จากรูปที่ 3.2 ถ้าสังเกตดูแล้วจะเห็นว่า สัญญาณซิงค์แนวนอน นอกจากจะปรากฏในทุกๆช่วงการกวาดเส้นแนวนอนแล้วยังปรากฏในช่วงสัญญาณแบลงกิงแนวตั้งด้วย(ส่วนอิกวอลไลซ์ และส่วนซิงค์แนวตั้ง) ซึ่งสัญญาณซิงค์ในส่วนนี้ใช้เพื่อทำให้วงจรกวาดเส้นแนวนอนในเครื่องรับโทรทัศน์อยู่ในสภาพซิงโครไนซ์ในขณะอยู่ในช่วงแบลงกิงแนวตั้งซึ่งจะทำให้ไม่เกิดการผิดเพี้ยนบริเวณขอบบนของจอภาพ[8] ระดับซิงค์มีระดับต่ำกว่าระดับแบลงกิงอยู่ 40 IRE มีคาบประมาณ 4.7 μ S

• สัญญาณซิงค์แนวตั้ง แสดงในรูป 3.2 เป็นส่วนที่กระตุ้นให้มีการสับเปลี่ยนกลับไปด้านบนของจอภาพเพื่อกวาดฟิลด์ภาพใหม่ จากรูปจะเห็นว่ารูปคลื่นในช่วงซิงค์แนวตั้งจะมีค่า ดิวตี้ไซเคิล (Duty Cycle) ต่ำกว่าทุกๆช่วงในฟิลด์จึงทำให้วงจรภายในเครื่องรับโทรทัศน์สามารถตรวจพบได้

3.1.2.3 สัญญาณแบลงกิง เป็นสัญญาณส่วนที่กระตุ้นให้เกิดการดับเส้นกวาดบนจอภาพในขณะกำลังสับเปลี่ยนกลับ มี 2 สัญญาณ คือ สัญญาณแบลงกิงแนวนอน และสัญญาณแบลงกิงแนวตั้ง



รูปที่ 3.2 แสดงรายละเอียดสัญญาณภาพมาตรฐาน PAL



รูปที่ 3.3 แสดงรายละเอียดใน 1 เส้นกวาดแนวนอนซึ่งประกอบด้วยสัญญาณซิงค์ (Sync), แบลกিং (Blanking) และ ลูมิแนนซ์ (Luminance)

- สัญญาณแบล็กกิ้งแนวนอน (Horizontal Blanking) ทำหน้าที่ดับเส้นสับกลับในแนวนอน ดังรูป 3.3 มีระดับต่ำกว่า 7.5 IRE มีคาบประมาณ 10.9 μ s

• สัญญาณแบลงกิ้งแนวตั้ง (Vertical Blanking) ทำหน้าที่ดับเส้นสับกลับในแนวตั้ง ดังรูป 3.2 ซึ่งมีคาบกว้างถึงประมาณ 1.28 mS จะเห็นว่าในช่วงนี้ประกอบไปด้วย ช่วงอิกวอไลซ์ซึ่งเป็นซิงค์พัลส์แนวนอนใช้ในการซิงโครไนซ์กับวงจรกวาดในเครื่องรับโทรทัศน์และซิงค์พัลส์แนวตั้ง สัญญาณตลอดช่วงนี้จะมีระดับต่ำกว่า 7.5 IRE ทั้งสิ้น

3.2 การดิจิไทซ์สัญญาณภาพ (Video Signal Digitizing)

เนื่องจากสัญญาณภาพจากกล้องวิดีโอเป็นสัญญาณอนาลอก ดังนั้นการที่จะสามารถเก็บข้อมูลภาพเหล่านี้ไว้ในหน่วยความจำได้จำเป็นจะต้องทำการแปลงสัญญาณภาพอนาลอกให้เป็นข้อมูลภาพดิจิตอลเสียก่อนดังจะได้กล่าวต่อไปถึง แนวคิด ,หลักการ ,และไดอะแกรมของระบบการดิจิไทซ์สัญญาณต่อไป

3.2.1 แนวคิดและลักษณะการจัดเก็บข้อมูลภาพ

ดังที่ได้ทราบจากหัวข้อที่ผ่านมาแล้วว่า ใน 1 เฟรมภาพจะประกอบด้วย 2 พิลด์ภาพ คือ พิลด์ภาพคี่ และพิลด์ภาพคู่ ซึ่งการกวาดเส้นบนจอภาพจะกวาดทีละเฟรมและถ้าสังเกตจากรูป 3.2 จะเห็นว่า เส้นกวาดแนวนอนที่จะนำไปแสดงบนจอภาพจริง ๆ นั้น คือเส้นกวาดที่มีสัญญาณลูมิแนนซ์อยู่ซึ่งในแต่ละพิลด์จะมีเพียง 287.5 เส้น สัญญาณส่วนนี้เองที่จะต้องถูกแปลงเป็นข้อมูลดิจิตอล แต่เนื่องจากว่าในแต่ละพิลด์ภาพใดๆที่อยู่ติดกันนั้นมีความหมายเชิงภาพที่ใกล้เคียงกันมาก ดังนั้นการเก็บข้อมูลภาพครบรอบภาพครบ 1 ภาพจะทำการเก็บจากพิลด์ภาพเพียงพิลด์เดียวเท่านั้น ข้อดีที่ได้คือ

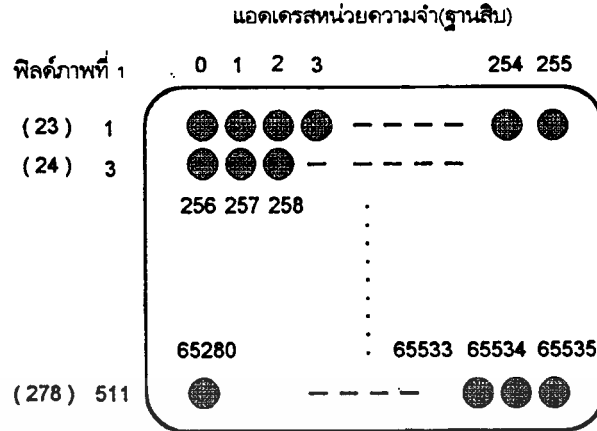
- 1) ระบบจัดเก็บข้อมูลไม่ซับซ้อน
- 2) ประหยัดหน่วยความจำเนื่องจากจำนวนข้อมูลน้อยลง
- 3) คุณภาพของภาพที่ได้ยังอยู่ในขั้นดี

สำหรับงานวิจัยนี้ กำหนดให้ภาพมีขนาด 256X256 จุดภาพ หมายความว่า ในแต่ละเส้นแนวนอนของสัญญาณภาพ (เฉพาะสัญญาณลูมิแนนซ์) จะทำการเก็บข้อมูลจำนวน 256 จุดและจะทำการเก็บเพียง 256 เส้นแนวนอนเท่านั้นโดยเริ่มเก็บจากเส้นแรกของพิลด์ และแต่ละจุดภาพแปลงเป็นข้อมูลดิจิตอลขนาด 8 บิต ดังนั้นข้อมูล 1 ภาพจะใช้หน่วยความจำในการเก็บขนาด

$$\begin{array}{rcl} 256 \times 256 & = & 65536 \text{ bytes} \\ & = & 64 \text{ Kbyte} \end{array} \quad (3.1)$$

ลักษณะการจัดเก็บเมื่อเทียบกับตำแหน่งบนจอภาพและเส้นกวาดในพิลด์ภาพคี่แสดงในรูป 3.4

จากรูป 3.3 สัญญาณลูมิแนนซ์ใน 1 เส้นแนวนอนมีคาบเป็น 53.1 μ S โดยในคาบช่วงเวลานี้จะทำการเก็บข้อมูลจำนวน 256 ค่า ดังนั้นคาบการสุ่มสัญญาณจะเป็น



รูปที่ 3.4 ตัวอย่างแสดงการเทียบเคียงระหว่าง ตำแหน่งในหน่วยความจำ, จุดการเก็บข้อมูล และหมายเลขเส้นกวาดในฟิล์มที่ 1 ค่าในวงเล็บ เป็นหมายเลขที่นับตามรูปที่ 3.2

$$\frac{53.1}{256} = 0.207 \mu s \quad (3.2a)$$

หรืออัตราการสุ่มสัญญาณ $\frac{1}{0.207} = 4.83 \text{ MHz}$

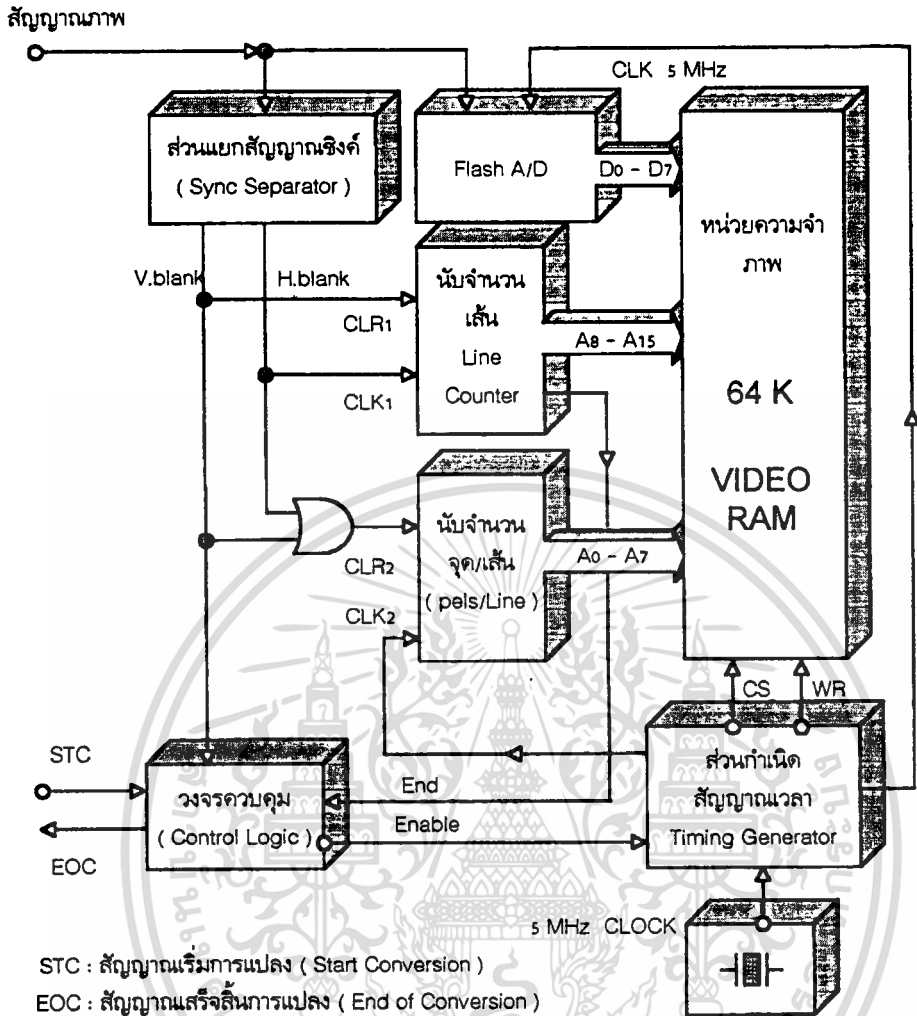
หรือประมาณ $5 \text{ MHz} \quad (3.2b)$

การเริ่มต้นทำการแปลงทำได้โดยการตรวจสอบสัญญาณแบลงกิงแนวตั้ง ,V.blank เนื่องจาก ส่วนที่ตามหลังสัญญาณนี้ก็คือจุดเริ่มต้นของฟิล์มนั่นเอง เมื่อเริ่มทำการแปลงจะต้องคอยนับจำนวน เส้นกวาดแนวนอนด้วยโดยนับจากสัญญาณแบลงกิงแนวนอน ,H.blank เมื่อนับครบ 256 ก็เป็นการเก็บ ข้อมูลครบ 1 ภาพ

3.2.2 หลักการดิจิทัลสัญญาณภาพ

จากแนวคิดที่กล่าวในหัวข้อ 3.2.1 สามารถเขียนเป็นไดอะแกรมที่นำไปเป็นแนวในการใช้งานได้จริง ดังรูป 3.5 ซึ่งมีรายละเอียดของส่วนและสัญญาณต่างๆ ดังนี้

- 1) ส่วนแยกสัญญาณซิงค์ (Sync Separator) ทำหน้าที่แยกสัญญาณซิงค์และแบลงกิงทั้งแนวนอนและแนวตั้งจากสัญญาณภาพ
- 2) Flash A/D เป็นส่วนแปลงสัญญาณอนาลอกเป็นดิจิทัลแบบแฟลช ซึ่งเป็นระบบแปลงความเร็วสูงสามารถแปลงค่าเป็นดิจิทัลเสร็จภายใน 1 คาบสัญญาณนาฬิกา เอาท์พุทที่ได้



รูปที่ 3.5 โค้ดแอมแสดงการดิจิไทซ์สัญญาณภาพ

เป็นข้อมูลขนาด 8 บิต (Do - D7)

- 3) ส่วนนับจำนวนเส้นกวาด (Line Counter) เป็นวงจรนับขนาด 8 บิต ทำหน้าที่นับจำนวนเส้นกวาดแนวนอน
- 4) ส่วนนับจำนวนจุดต่อเส้น (Pels/Line Counter) เป็นวงจรนับขนาด 8 บิตเช่นกันทำหน้าที่นับจำนวนจุดในแต่ละเส้นกวาดแนวนอน
- 5) ส่วนกำเนิดสัญญาณเวลา (Timing Generator) ทำหน้าที่สร้างสัญญาณเวลาต่างๆเช่น สัญญาณเขียนหน่วยความจำ (WR) ,สัญญาณเลือกหน่วยความจำ (CS) ,และสัญญาณนาฬิกาสำหรับ Flash A/D โดยจะทำงานเมื่อได้รับสัญญาณ Enable จากวงจรควบคุม

- 6) วงจรควบคุม (Control Logic) ทำหน้าที่สั่งงานวงจรทั้งหมดให้เริ่มหรือหยุดทำงานโดยติดต่อกับสัญญาณร้องขอจากภายนอกและสัญญาณสิ้นสุดการแปลงจากวงจรนับจำนวนเส้นกวาดแนวนอน
- 7) หน่วยความจำขนาด 64 K สำหรับบันทึกข้อมูลภาพที่ทำการแปลง
- 8) สัญญาณ End เป็นสัญญาณจากวงจรนับจำนวนเส้นกวาดแนวนอนเพื่อแจ้งให้วงจรควบคุมทราบว่า การแปลงค่าเส้นกวาดเส้นสุดท้ายเสร็จสิ้นแล้ว
- 9) สัญญาณ STC (Start Conversion) เป็นสัญญาณร้องขอจากระบบภายนอกให้ทำการแปลงข้อมูล
- 10) สัญญาณ EOC (End of Conversion) เป็นสัญญาณตอบให้ระบบภายนอกทราบว่าการแปลงเสร็จสิ้นลงแล้ว
- 11) สัญญาณ CLK เป็นสัญญาณนาฬิกาสำหรับวงจรนับ เมื่อมีสัญญาณนี้เกิดขึ้นวงจรนับจะนับค่าเพิ่มขึ้นหนึ่ง
- 12) สัญญาณ CLR เป็นสัญญาณเคลียร์วงจรนับ เมื่อมีสัญญาณนี้เกิดขึ้น วงจรนับจะปรับค่าตัวเองให้เป็นศูนย์เพื่อเริ่มต้นนับใหม่
- 13) สัญญาณ Enable เป็นสัญญาณที่สั่งให้ส่วนกำเนิดสัญญาณเวลาทำงาน

การทำงานของระบบเริ่มจากการมีสัญญาณร้องขอจากภายนอก ,STC มายังส่วนควบคุม เมื่อส่วนควบคุมได้รับสัญญาณ STC แล้วจะยังไม่มีการกระทำใดๆทั้งสิ้น แต่จะรอสัญญาณแปลงถึงแนวตั้ง ,V.blank อีกสัญญาณเนื่องจากส่วนที่ตามหลัง V.blank จะเป็นจุดเริ่มต้นของฟิลด์ภาพ เมื่อได้รับสัญญาณ V.blank แล้วระบบควบคุมก็จะส่งสัญญาณ Enable ไปยังส่วนกำเนิดสัญญาณเวลาให้เริ่มทำงานระบบจึงเริ่มทำการแปลง โดยสัญญาณลুমิแนนซ์แรกจะถูกแปลงเป็นข้อมูลดิจิทัลโดย Flash A/D ขณะเดียวกันส่วนกำเนิดสัญญาณเวลา ก็จะกำเนิดสัญญาณเลือกหน่วยความจำ ,CS และสัญญาณเขียนหน่วยความจำ ,WR เพื่อบันทึกข้อมูลขณะนั้นลงสู่หน่วยความจำ รวมทั้งสัญญาณ CLK2 เพื่อกระตุ้นวงจรนับจำนวนจุดให้เพิ่มค่าแอดเดรส A₀ - A₇ เพื่อเปลี่ยนตำแหน่งเก็บข้อมูลในหน่วยความจำพร้อมกันไปด้วย

เมื่อเส้นกวาดเส้นแรกถูกแปลงเสร็จเรียบร้อยในขณะเวลาที่ใกล้กันก็จะเกิดสัญญาณ H.blank สัญญาณนี้จะเป็นสัญญาณ CLK₁ และ CLR₂ ซึ่งจะไปกระตุ้นวงจรนับจำนวนเส้นให้เพิ่มค่าขึ้นหนึ่งเป็นการเพิ่มค่าแอดเดรส A₈ - A₁₅ และเคลียร์วงจรนับจำนวนจุดให้เป็นศูนย์เพื่อเริ่มต้นนับจำนวนจุดในการแปลงค่าเส้นกวาดเส้นต่อไปกระบวนการนี้จะเกิดซ้ำไปเรื่อยๆจนกระทั่งเส้นกวาดเส้นสุดท้ายคือเส้นที่ 256 เสร็จสิ้นก็จะเกิดสัญญาณ End จากวงจรนับจำนวนเส้นส่งมายังวงจรควบคุม จากนั้นวงจรควบคุมก็จะตัดสัญญาณ Enable ซึ่งถูกส่งไปตั้งแต่ตอนเริ่มต้นแปลงข้อมูลทำให้ ส่วนกำเนิดสัญญาณเวลาหยุดทำงานระบบการแปลงทั้งหมดจึงหยุดทำงาน ขณะเดียวกันจะส่งสัญญาณ EOC เพื่อแจ้งให้ระบบ

ภายนอกทราบเป็นอันเสร็จสิ้นกระบวนการแปลงข้อมูล 1 ภาพ รอการร้องขอจากระบบภายนอกครั้งต่อไป

ในทางปฏิบัติ วงจรจริงจะมีส่วนที่เพิ่มเติมมากกว่าที่แสดงในไดอะแกรมซึ่งเป็นส่วนที่เกี่ยวข้องกับการเชื่อมต่อกับระบบภายนอกที่จะมาอ่านข้อมูลภาพที่เก็บในหน่วยความจำไปประมวลผลต่อและส่วนที่ทำให้ระบบภายนอกสามารถเข้ามาควบคุมใช้งานวงจรนับทั้งสองส่วนในการเข้าถึงตำแหน่งข้อมูลภายในหน่วยความจำซึ่งจะไม่กล่าวในที่นี้เนื่องจากจะทำให้เกิดความสับสนขึ้นได้แต่จะกล่าวโดยละเอียดในบทที่ 7 ซึ่งเกี่ยวข้องกับการออกแบบวงจรจริง



บทที่ 4

การสื่อสารข้อมูลระบบมัลติเพล็กซ์แบบแบ่งเวลา (Time Division Multiplexer Communication)

การที่สามารถแปลงสัญญาณอนาลอกให้อยู่ในรูปของดิจิทัลทำให้เราสามารถรวมสัญญาณจากหลายๆแหล่งเข้าด้วยกันได้โดยง่าย เทคนิควิธีที่ใช้กันคือ การมัลติเพล็กซ์ข้อมูลดิจิทัลเข้าด้วยกันในรอบของเวลา เรียกว่าวิธีการมัลติเพล็กซ์แบบนี้ว่า การมัลติเพล็กซ์แบบแบ่งเวลา ,TDM (Time Division Multiplexing) ซึ่งในบทนี้จะได้กล่าวถึง หลักการเบื้องต้น ,วิธีการชิงโครไนซ์ ,กระบวนการตัดสินใจในการควบคุมสถานะการชิงโครไนซ์และการเลือกใช้เฟรมอโลเมนต์เวอร์ตรวมถึงการแจ้งเตือนสภาพการสื่อสาร

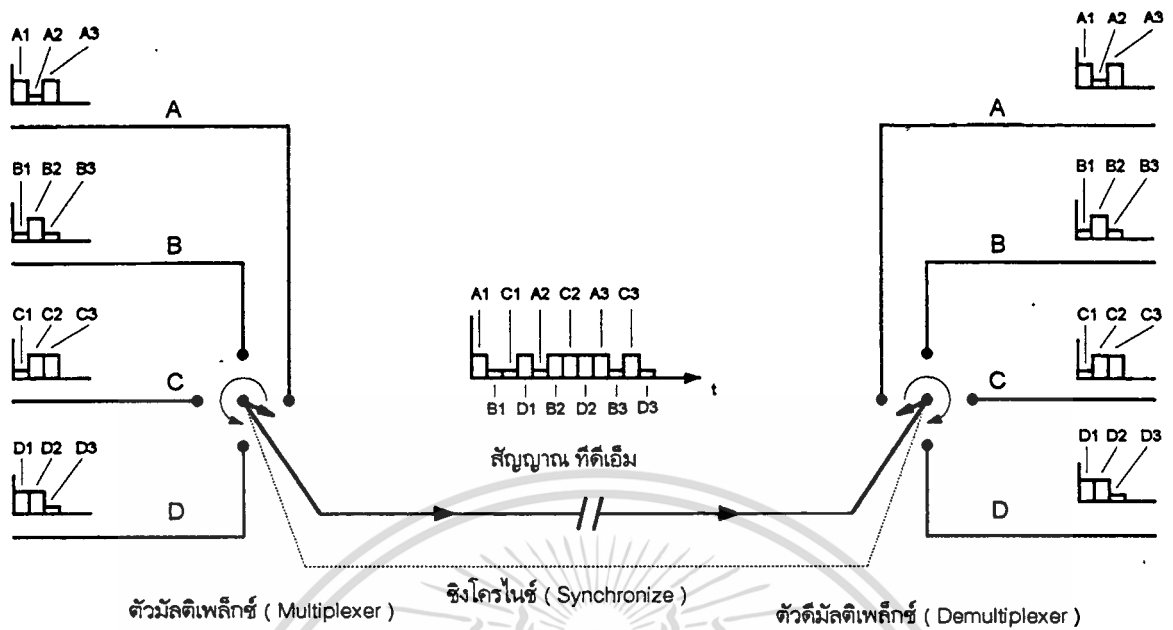
4.1 หลักการเบื้องต้นของการสื่อสารระบบมัลติเพล็กซ์แบบแบ่งเวลา

(Introduction of TDM Communication)

ระบบ ทีดีเอ็ม เป็นระบบสื่อสารดิจิทัลที่ใช้ส่งข้อมูลจากหลายๆช่องข้อมูลให้เป็นสัญญาณดิจิทัลเดียวโดยใช้วิธีการแบ่งช่วงเวลาที่เหมาะสมค่าหนึ่งให้แต่ละช่องข้อมูลเรียงลำดับกันไป ดังรูป 4.1 เรียกช่องเวลาที่กำหนดให้แต่ละช่องข้อมูลว่า ช่องเวลา (Time Slot) และถ้าในแต่ละช่องเวลาประกอบด้วยข้อมูลเพียง 1 บิต จะเรียกว่าเป็นการมัลติเพล็กซ์ข้อมูลแบบ บิตอินเตอร์ลีด (Bit Interleaved) แต่ถ้าประกอบด้วยกลุ่มของบิตหรือเวิร์ด จะเรียกว่า เวิร์ดอินเตอร์ลีด (Word Interleaved)

การสื่อสารระบบ ทีดีเอ็ม สามารถแบ่งเป็น 2 แบบใหญ่ๆ คือ

1. ชิงโครไนส์ ทีดีเอ็ม (Synchronous TDM) เป็นระบบที่แหล่งกำเนิดข้อมูลและตัวมัลติเพล็กซ์ข้อมูลทำงานที่สัญญาณนาฬิกาเดียวกันทำให้การส่งและรับข้อมูลระหว่างแหล่งข้อมูลและตัวมัลติเพล็กซ์เป็นไปในจังหวะเดียวกันหรือกล่าวได้ว่าทุกครั้งที่ตัวมัลติเพล็กซ์เข้ามาอ่านข้อมูล แหล่งข้อมูลจะมีข้อมูลพร้อมที่จะส่งออกไปเสมอ
2. อะซิงโครไนส์ ทีดีเอ็ม (Asynchronous TDM) เป็นระบบที่แหล่งกำเนิดข้อมูลและตัวมัลติเพล็กซ์ทำงานที่สัญญาณนาฬิกาที่ต่างกันทำให้การส่งและรับข้อมูลระหว่างแหล่งข้อมูลและตัวมัลติเพล็กซ์ไม่เป็นไปในจังหวะเดียวกัน เช่น จังหวะที่ตัวมัลติเพล็กซ์เข้ามาอ่านข้อมูล แหล่งข้อมูลอาจไม่พร้อมที่จะให้ข้อมูลเป็นผลให้ข้อมูลในช่องข้อมูลนั้นๆมักจะไม่ค่อยมีความต่อเนื่องจึงทำให้การสื่อสารระบบนี้จะต้องมีกระบวนการ จัสติฟิเคชัน (Justification) หรือพัลส์สตัฟฟิง (Pulse Stuffing) เพื่อทำการชิงโครไนส์สัญญาณนาฬิกาของแหล่งข้อมูลเข้ากับสัญญาณนาฬิกาของตัวมัลติเพล็กซ์ การสื่อสารแบบนี้จึงมีความยุ่งยากซับซ้อนกว่าแบบชิง-



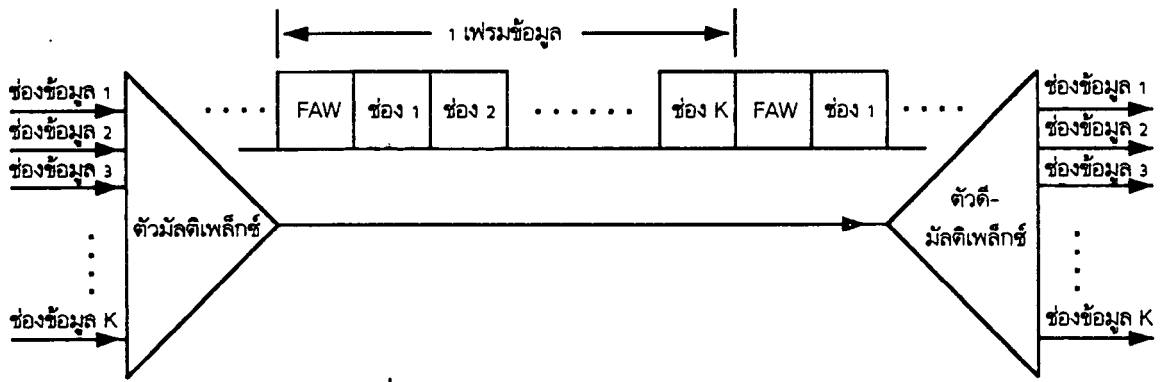
รูปที่ 4.1 ภาพสมมูลแสดงตัวส่ง (Multiplexer) และตัวรับ (Demultiplexer) ระบบ ทีดีเอ็ม

โครไนซ์ ทีดีเอ็ม แต่ก็เป็นระบบที่มีความยืดหยุ่นมากกว่าในการเชื่อมต่อกับแหล่งข้อมูลที่มีอัตราข้อมูลต่างกัน

สำหรับในงานวิจัยนี้ใช้ระบบ ซิงโครไนซ์ ทีดีเอ็ม เนื่องจากง่ายต่อการออกแบบและมีความซับซ้อนน้อยกว่า

ในการสื่อสารระบบ ทีดีเอ็ม สิ่งหนึ่งที่สำคัญที่สุดคือ การซิงโครไนซ์ระหว่างตัวมัลติเพล็กซ์และตัวดีมัลติเพล็กซ์ จากรูป 4.1 จะเห็นว่า การที่ตัวดีมัลติเพล็กซ์จะสามารถแยกข้อมูลที่รวมกันมาเป็นสัญญาณทีดีเอ็มไปยังช่องข้อมูลที่ถูกต้องของมันนั้นจำเป็นต้องที่ตัวดีมัลติเพล็กซ์จะต้องอยู่ในสภาพซิงโครไนซ์กับตัวมัลติเพล็กซ์ พิจารณากันอย่างง่าย ๆ หมายความว่า สวิตช์ทางตัวส่งและตัวรับในรูป 4.1 จะต้องอยู่ในตำแหน่งเดียวกันและหมุนไปพร้อมๆ กัน วิธีการที่ใช้กันเ็นทางปฏิบัติคือ การกำหนดช่องเวลาขึ้น 1 ช่อง (หรือ 2 ช่อง) ซึ่งบรรจุเวอร์ตที่มีลักษณะจำเพาะ ช่องเวลานี้กำหนดขึ้นเพื่อเป็นช่องเวลาอ้างอิงเพื่อใช้ระบุตำแหน่งของช่องเวลาอื่นๆ ดังนั้นถ้าตัวดีมัลติเพล็กซ์สามารถตรวจสอบพบเวอร์ตนี้ได้ ตัวดีมัลติเพล็กซ์ก็สามารถทราบตำแหน่งของช่องเวลาอื่นๆทำให้สามารถแยกแยะข้อมูลในช่องเวลาต่างๆออกมาได้ เรียกเวอร์ตที่บรรจุอยู่ในช่องเวลาอ้างอิงนี้ว่า เฟรมอลิเมนต์เวอร์ต ,FAW (Frame Alignment Word) ดังรูป 4.2

สำหรับอัตราความเร็วสามารถคำนวณได้คือ ถ้าให้ระบบมีช่องข้อมูลที่ต้องการส่ง K ช่อง และเฟรมอลิเมนต์เวอร์ต ,FAW 1 ช่องเวลา ดังนั้นใน 1 เฟรมข้อมูลจะประกอบด้วยช่องเวลา $K+1$ ช่องเวลา และกำหนดให้ข้อมูลในแต่ละช่องข้อมูลได้จากการสุ่มสัญญาณอนาลอกด้วยความถี่ f_s ความ



รูปที่ 4.2 โครงสร้างของเฟรมระบบ ทีดีเอ็ม

ละเอียด m บิตต่อการสุ่ม 1 ครั้ง ดังนั้น อัตราความเร็วบิตของสัญญาณมัลติเพล็กซ์ f_o เป็น [1]

$$f_o = mf_s(K+1) \quad (4.1)$$

4.2 การซิงโครไนซ์เฟรมข้อมูล (Frame Synchronization)

เนื่องจากข้อมูลที่ส่งมาในช่องข้อมูลต่าง ๆ นั้นมีลักษณะเป็น แรนดอม (Random) คือ อาจมีรูปแบบข้อมูลเป็นลักษณะใดๆก็ได้ ดังนั้นจึงเป็นไปได้ที่จะเกิดเวอร์ดข้อมูลที่มีลักษณะเหมือนกับ FAW ได้เรียกวเวอร์ดข้อมูลที่มีลักษณะเหมือน FAW นี้ว่า FAW เทียม ประกอบกับข้อมูลที่ส่งจากต้นทางไปถึงปลายทางมีโอกาสเกิดการผิดพลาดได้เสมอ ดังนั้นจึงจำเป็นต้องมีกระบวนการหรือขั้นตอนที่ใช้ในการตัดสินใจว่า FAW ที่ตรวจพบนั้นเป็น FAW ที่แท้จริงหรือไม่ และเมื่อใดที่จะถือว่าระบบอยู่ในสภาวะการซิงโครไนซ์แล้ว กระบวนการที่ใช้ในการตัดสินใจและดำเนินการในสิ่งเหล่านี้เรียกว่า การอโลเมนต์เฟรม (Frame Alignment)

จากเหตุผลที่กล่าวมาข้างต้นการอโลเมนต์เฟรมจึงจำเป็นต้องกำหนดสถานะต่างๆในการทำงาน ดังรูป 4.3 มีรายละเอียดโดยย่อดังนี้

- สถานะ a : เป็นสถานะการอโลเมนต์เฟรมสมบูรณ์ ,ระบบอยู่ในสภาพ ล็อค (Synchronize)
- สถานะ b ,c ,d : เป็นสภาวะการอโลเมนต์เฟรมชั่วคราว ,ระบบอยู่ในโหมดการ ตรวจสอบ (Check Mode)
- สถานะ e : เป็นสถานะของการไม่อโลเมนต์เฟรม ,ระบบอยู่ในโหมดค้นหา FAW (Search Mode)
- สถานะ f ,g : เป็นสถานะรอ ,ระบบอยู่ในโหมดค้นหา/ตรวจสอบ (Search/ Check Mode) FAW

จากไดอะแกรมในรูปที่ 4.3 สามารถแบ่งโหมดการทำงานเป็น 2 โหมดใหญ่ๆ คือ

1) โหมดซิงโครไนซ์ ประกอบขึ้นจาก 4 สถานะย่อย คือ

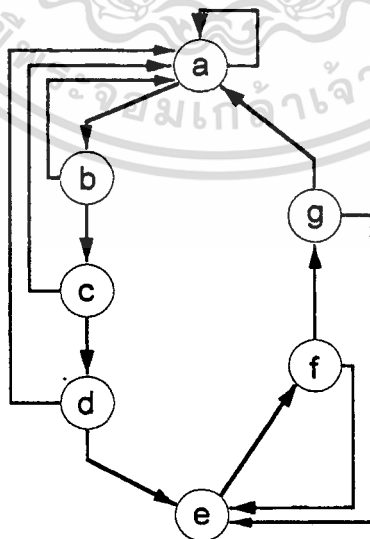
- สถานะ a เป็นสถานะที่ระบบอยู่ในสภาพการโอเลเมนต์สมบูรณ์
- สถานะ b เป็นสถานะที่ระบบตรวจไม่พบ FAW ในเฟรมที่ n
- สถานะ c เป็นสถานะที่ระบบตรวจไม่พบ FAW ในเฟรมที่ n+1
- สถานะ d เป็นสถานะที่ระบบตรวจไม่พบ FAW ในเฟรมที่ n+2

กล่าวโดยสรุปสำหรับในโหมดซิงโครไนซ์คือ เมื่อระบบอยู่ในสภาพซิงโครไนซ์แล้ว(สถานะ a) ถ้ามีการตรวจไม่พบ FAW ในจุดที่กำหนดไว้ 4 เฟรมติดต่อกัน ระบบจะเข้าสู่โหมดค้นหา (สถานะ e) แต่ถ้ามีการตรวจพบ FAW เพียงเฟรมใดเฟรมหนึ่งระบบก็จะกลับเข้าสู่สถานะ a ใหม่ การกำหนดให้มี สถานะ b ,c ,d ทำให้เสถียรภาพในการซิงโครไนซ์ของระบบมีความมั่นคงขึ้น ผลของความผิดพลาดข้อมูลที่มีต่อสภาพการซิงโครไนซ์ลดลงและยังทำให้ระบบไม่หลุดจากสภาพการซิงโครไนซ์ง่าย ๆ

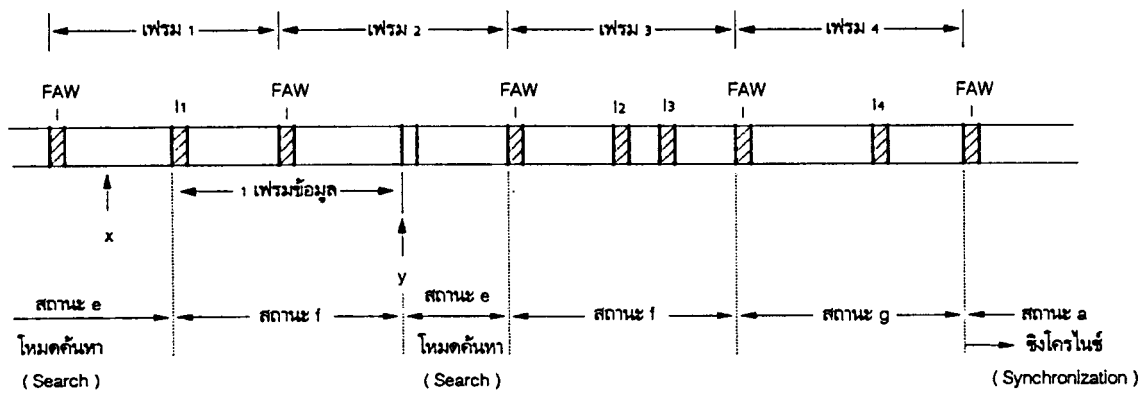
2) โหมดค้นหา ประกอบขึ้นจาก 3 สถานะย่อย คือ

- สถานะ e เป็นสถานะที่ระบบอยู่ในสภาพค้นหา FAW
- สถานะ f เป็นสถานะที่ระบบตรวจพบ FAW ในเฟรมที่ o
- สถานะ g เป็นสถานะที่ระบบตรวจพบ FAW ในเฟรมที่ 1

กล่าวโดยสรุปสำหรับในโหมดค้นหา คือ เมื่อระบบอยู่ในสภาพค้นหา (สถานะ e) ถ้ามีการตรวจพบ FAW ติดต่อกัน 3 เฟรม ระบบจะเข้าสู่โหมดการซิงโครไนซ์ เป็นการนำเชื่อได้ว่า FAW ที่พบ นั้นเป็น FAW ที่แท้จริง แต่ถ้ามีเฟรมใดเฟรมหนึ่งที่ตรวจไม่พบ FAW ระบบจะกลับเข้าสู่สถานะ e เพื่อ ค้นหา FAW ใหม่ซึ่งแสดงว่า FAW ตัวแรกที่พบนั้นไม่ใช่ FAW ที่แท้จริง



รูปที่ 4.3 ไดอะแกรมแสดงสถานะการโอเลเมนต์



รูปที่ 4.4 ตัวอย่างการซิงโครไนซ์เฟรม

ความจริงแล้วเทคนิคการอโลเมนต์เฟรมมีหลายวิธีเช่นการอโลเมนต์เฟรมแบบอนุกรม (Serial Frame Alignment) หรือการอโลเมนต์เฟรมแบบขนาน (Parallel Frame Alignment) ซึ่งอโลเมนต์เฟรมได้เร็วกว่าแบบอนุกรม แต่วิธีการอโลเมนต์เฟรมแบบอนุกรม เป็นวิธีการที่ง่ายที่สุดและใช้กันมากที่สุดและเป็นวิธีที่ใช้ในงานวิจัยนี้ สามารถอธิบายกระบวนการอโลเมนต์โดยอาศัย รูปที่ 4.3 และ 4.4 ประกอบดังนี้

จากรูป 4.4 I_1, I_2, I_3 และ I_4 เป็น FAW เทียม จุด x เป็นจุดเริ่มต้นทำงานและกำหนดให้สถานะเริ่มต้นของตัวติมีลติเพิล็กซ์อยู่ที่สถานะ e คือ สถานะการไม่อโลเมนต์เฟรม (เช่นตอนเริ่มต้นเปิดเครื่อง) วิธีการอโลเมนต์เฟรมใช้หลักการที่ว่า FAW แท้จริงจะปรากฏที่ตำแหน่งเดิมของทุกๆเฟรม ส่วน FAW เทียมนั้นจะไม่ปรากฏอยู่ที่ตำแหน่งใดๆอย่างถาวร ดังนั้นเมื่อตรวจพบ FAW ที่ตำแหน่งใดๆ แล้วระบบจะต้องไปตรวจสอบอีกครั้งหนึ่งที่ตำแหน่งเดิมของเฟรมต่อไป กระบวนการอโลเมนต์เฟรมจะเริ่มที่จุด x โดยการเริ่มตรวจสอบ F บิตแรก ถ้าไม่ตรงกับ FAW ที่ตั้งค่าไว้ก็จะทำการตรวจสอบเวอร์ดต่อไปโดยการเลื่อนไป 1 บิตจากเวอร์ดหลังสุดที่ทดสอบและกระบวนการจะเป็นเช่นนี้ไปเรื่อยๆจนกว่าจะพบ เวอร์ดที่เหมือน FAW

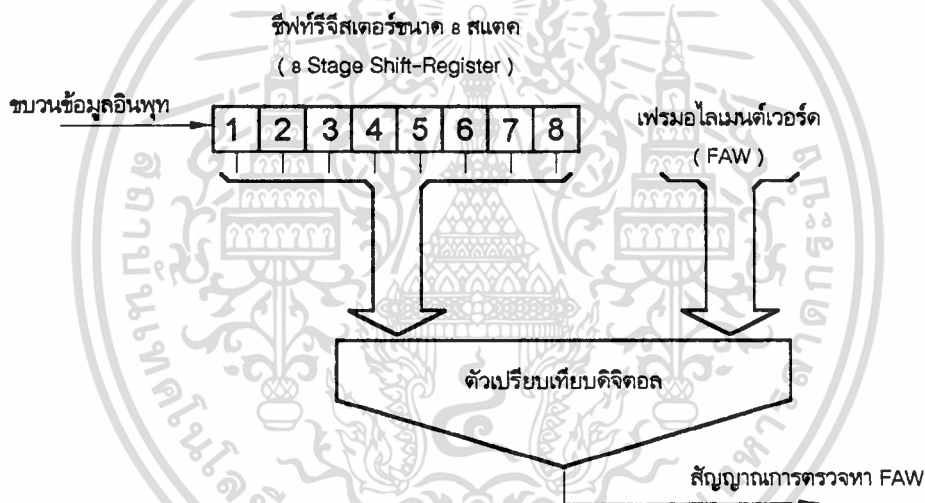
จากจุด x เป็นต้นไปเวอร์ดแรกที่เหมือน FAW คือ I_1 ซึ่งเป็น FAW เทียม เมื่อระบบพบ I_1 ระบบจะเปลี่ยนสถานะจาก e เป็นสถานะ f (ดูรูป 4.3 ประกอบ) จากนั้นจะกระโดดไปตรวจสอบ FAW อีกครั้งที่จุด y เพื่อตรวจสอบว่า I_1 ที่พบนั้นเป็น FAW ที่แท้จริงหรือไม่และช่วงระหว่างจุด x และ y จะไม่มีการตรวจสอบใดๆทั้งสิ้น จากจุด y เมื่อตรวจสอบแล้วปรากฏว่าไม่พบ FAW จึงสรุปได้ว่า I_1 ที่พบนั้นไม่ใช่ FAW ที่แท้จริง และระบบก็จะเปลี่ยนสถานะจาก f กลับมาที่ e ใหม่เพื่อเริ่มต้นค้นหา FAW ใหม่

จากจุด y FAW ที่พบตัวต่อไปคือ FAW ของเฟรม 3 ซึ่งเป็น FAW ที่แท้จริงระบบจะเปลี่ยนสถานะจาก e ไปสถานะ f ใหม่ เช่นเดียวกับระบบจะกระโดดไปตรวจสอบอีกครั้งในเฟรมต่อไปซึ่งจะพบ FAW ของเฟรม 4 และ 5 ทำให้สถานะของระบบเปลี่ยนจากสถานะ f ไป g และเข้าสู่สภาพซิงโครไนซ์ใน

สถานะ a ตามลำดับ จะเห็นว่าเพียงเริ่มต้นพบ FAW ที่แท้จริงเท่านั้น ระบบก็จะเข้าสู่ สถานะ การชิง-โครโนซ์ในที่สุด ข้อสังเกตคือ เพียงเมื่อระบบค้นพบ FAW ที่แท้จริงเท่านั้น FAW เทียมที่เกิดขึ้นภายในเฟรม (12 ,13 ,14) จะไม่มีผลต่อระบบ

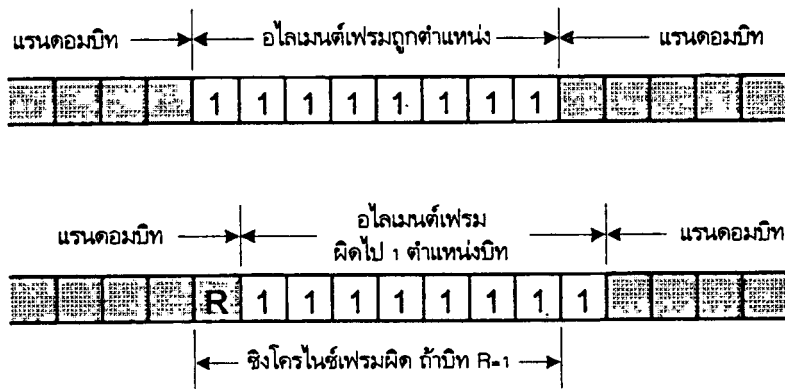
4.3 เฟรมอโลเมนต์เวิร์ด (Frame Alignment Word)

ปัญหาประการหนึ่งของการอโลเมนต์เฟรม คือ FAW เทียม ยิ่งปรากฏมี FAW เทียมมากก็ยิ่งทำให้ระบบใช้เวลามากขึ้นในการชิงโครโนซ์เฟรมซึ่งเป็นผลให้สมรรถนะของระบบชิงโครโนซ์เฟรมต่ำลงนั้นหมายถึงสมรรถนะโดยรวมของระบบต่ำลงด้วย ดังนั้นการเลือกใช้รหัส FAW ที่เหมาะสมจึงสามารถเพิ่มสมรรถนะของระบบการชิงโครโนซ์เฟรมได้ สาเหตุเนื่องจากมีรหัสบางค่าที่สามารถถูกเลียนแบบได้โดยง่ายดังนั้นจึงมีโอกาสพบ FAW เทียมได้มาก



รูปที่ 4.5 แสดงไดอะแกรมการตรวจหา เฟรมอโลเมนต์เวิร์ด .FAW

โดยปกติแล้วการตรวจหา FAW จะทำโดยการเลื่อนขบวนข้อมูลที่รับได้เข้าสู่ซีฟร์รีจิสเตอร์ขนาด 8 สเตจ (กรณี FAW เป็นขนาด 8 บิต) โดยเลื่อนเข้าทีละ 1 บิตข้อมูลและนำเอาที่พุดจากทุกๆ สเตจของซีฟร์รีจิสเตอร์เข้าสู่วงจรเปรียบเทียบเพื่อเปรียบเทียบกับรหัส FAW ที่ได้กำหนดไว้แล้ว ดังรูป 4.5 เมื่อใดก็ตามที่เวิร์ดใดที่มีรูปเหมือน FAW ถูกเลื่อนมาปรากฏบนรีจิสเตอร์ทั้ง 8 ตัว วงจรเปรียบเทียบก็จะกำเนิดสัญญาณตรวจหา FAW ออกมาทันที เพื่อแสดงให้เห็นผลของการเลือกรหัส FAW ที่ไม่เหมาะสมจะกำหนดให้ขบวนข้อมูลที่รับได้มีลักษณะเป็นแรนดอมและใช้รหัส FAW เป็น 11111111 เนื่องจากข้อมูลมีลักษณะเป็นแรนดอม ดังนั้นโอกาสที่ข้อมูลที่ปรากฏบนซีฟร์รีจิสเตอร์จะมีรหัสเหมือน FAW



รูปที่ 4.6 การซิงโครไนซ์เฟรมผิดเนื่องจากการเลือก FAW ที่ไม่เหมาะสม

จะเป็น 0.5^F โดย F เป็นจำนวนบิตของ FAW เวอร์ด พิจารณาเมื่อ 7 บิตแรกของ FAW เวอร์ดถูกเลื่อนเข้ามาในชิฟท์รีจิสเตอร์ ดังรูป 4.6 พบว่าในสภาพเช่นนี้โอกาสที่ FAW จะถูกเลียนแบบจะมีค่าถึง 0.5 แทนที่จะเป็น $(0.5)^8$ เนื่องจาก 7 บิตแรกที่ถูกเลื่อนเข้าไปในชิฟท์รีจิสเตอร์เหมือนกับ 7 บิตหลังของ รหัส FAW ที่ได้กำหนดไว้ จากตัวอย่างที่ได้แสดงมาจะเห็นว่าสาเหตุเกิดจากการเกิดการเลียนแบบตัวเองของรหัส FAW ที่ถูกเลื่อนบิต (shifted version) วิธีที่จะลดผลของปรากฏการณ์นี้คือ เลือกรหัสที่เกิดการเลียนแบบตัวเองได้น้อยที่สุด คุณสมบัติเชิงคณิตศาสตร์ที่แสดงความสัมพันธ์นี้คือ ค่าสหสัมพันธ์ (Autocorrelation) ซึ่งมีนิยามดังนี้ [2]

เมื่อกำหนดให้ลำดับของรหัส FAW เป็น $x_1, x_2, x_3, \dots, x_m$ ดังนั้นค่าสหสัมพันธ์ $R_x(k)$ จะเป็น

$$R_x(k) = \sum_{i=1}^{m-k} x_i \cdot x_{i+k}, \quad x_i = \pm 1 \quad (4.2)$$

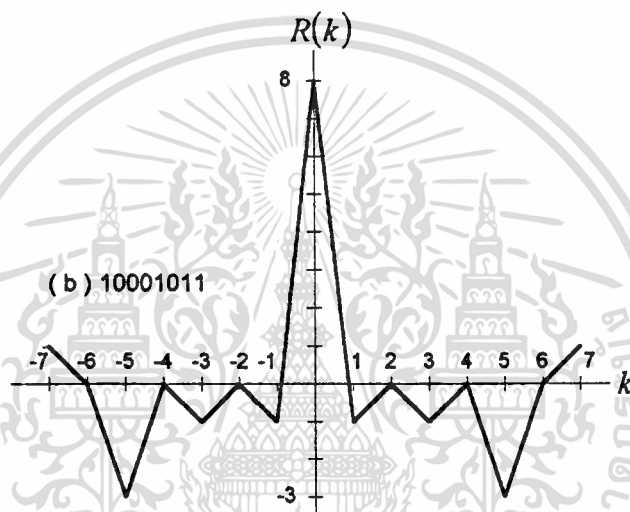
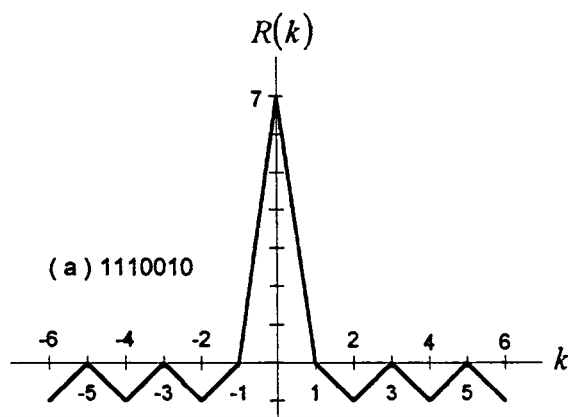
โดยแทน โลจิก 1 ด้วยค่า +1
 โลจิก 0 ด้วยค่า -1

รหัสที่มีคุณสมบัติที่ดีควรจะต้องมีค่า $R_x(k)$ น้อยที่สุดเมื่อ $k \neq 0$ อาร์.เอช. บาร์เกอร์ (R.H. Barker) ได้แนะนำว่า รหัสที่เหมาะสมสำหรับการซิงโครไนซ์ ควรจะมีเงื่อนไขสหสัมพันธ์ดังนี้ [2]

$$|R_x(k)| \leq 1, \quad k \neq 0 \quad (4.3)$$

เรียกรหัสที่มีคุณสมบัติตามสมการ (4.3) ว่า รหัสบาร์เกอร์ (Barker Code) แต่อย่างไรก็ดี เอ็ม.ดับ-บลิว. วิลลิอาร์ด (M.W. Williard) ได้แสดงให้เห็นว่า รหัสที่มีคุณสมบัติที่ดีสำหรับการซิงโครไนซ์ไม่จำเป็นต้องมีคุณสมบัติตามสมการ (4.3) เสมอไป ตัวอย่างรหัสบาร์เกอร์ เช่น 110, 1110010, 11100010010 ซึ่งค่าคอมพลิเมนต์, ค่าสะท้อน (การกลับรหัสจากซ้ายมาขวา) หรือคอมพลิเมนต์ของค่าสะท้อน ของรหัสบาร์เกอร์ล้วนมีคุณสมบัติตามสมการ (4.3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



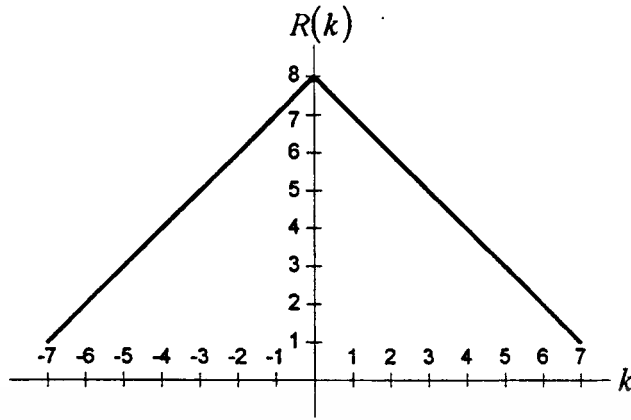
รูปที่ 4.7 แสดงค่าสหสัมพันธ์ของรหัส (a) 1110010 (b) 10001011

รูป 4.7 แสดงตัวอย่างค่าสหสัมพันธ์ของรหัส 1110010 และ 10001011 ซึ่งมีขนาด 7 และ 8 บิตตามลำดับ โดยในงานวิจัยนี้เลือกใช้รหัส FAW เป็น 10001011 ดังรูป 4.7 (b) ส่วนรูป 4.8 แสดงค่าสหสัมพันธ์ของรหัส 11111111 จะเห็นว่ารหัสนี้มีความคล้ายคลึงกับตัวของมันเองสูงไม่ว่ารหัสจะถูกเลื่อนไปหลายบิตแล้วก็ตาม

4.4 การแจ้งเตือนสภาพการสื่อสาร

ระบบจำนวนไม่น้อยมักจะเป็นระบบสื่อสาร 2 ทิศทาง ดังนั้นเมื่อเกิดปัญหาขึ้นในระบบสื่อสาร จึงจำเป็นต้องมีวิธีการแจ้งเตือนสภาพการสื่อสารให้แต่ละฝ่ายทราบเพื่อจะสามารถวิเคราะห์หาสาเหตุที่เกิดได้ง่ายยิ่งขึ้น การแจ้งเตือนจะทำการกำหนดช่องเวลาขึ้นเพื่อบรรจุบรรจุสัญญาณแจ้งเตือนต่างๆที่จำเป็น ดังตัวอย่างในรูปที่ 4.9 ซึ่งเป็นการสื่อสาร 2 ทิศทางระหว่างสถานี A และ B เมื่อเกิดปัญหากับสายส่งขึ้นที่จุด C จนทำให้สถานี B ไม่สามารถรับสัญญาณจากสถานี A ได้ นั้นหมายความว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

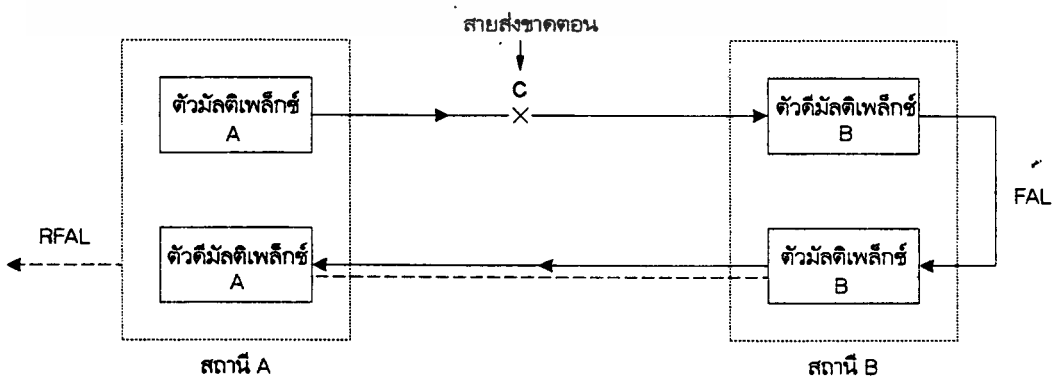


รูปที่ 4.8 แสดงค่าสหสัมพันธ์ของรหัส 11111111 ซึ่งเป็นรหัสที่ไม่มีคุณสมบัติที่ดีในการซิงโครไนซ์

ว่าตัวมัลติเพล็กซ์ที่สถานี B จะไม่สามารถดำเนินการรวมเฟรมได้ ตัวมัลติเพล็กซ์ B จะกำหนด สัญญาณการสูญเสียการโอไลเมนต์เฟรม ,FAL (Frame Alignment Loss) ส่งไปยังตัวมัลติเพล็กซ์ B ผ่านทางช่องเวลาสำหรับการแจ้งเตือนไปยังสถานี A ซึ่งจะปรากฏเป็น สัญญาณการสูญเสียการโอไลเมนต์เฟรมของคู่สถานี ,RFAL (Remote Frame Alignment Loss)

สำหรับในงานวิจัยนี้มีการใช้สัญญาณแจ้งเตือนดังนี้

- OGSL (Outgoing Signal Loss) แสดงการขาดหายของสัญญาณที่เอาท์พุทของตัวมัลติเพล็กซ์
- ICSL (Incoming Signal Loss) แสดงการขาดหายของสัญญาณที่อินพุทของตัวมัลติเพล็กซ์
- FAL (Frame Alignment Loss) ตรวจไม่พบเฟรมโอไลเมนต์เวิร์ด
- RFAL (Remote Frame Alignment Loss) การตรวจไม่พบเฟรมโอไลเมนต์เวิร์ดของคู่สถานี
- VSL (Video Signal Loss) สัญญาณภาพขาดหาย (อนาคต)
- RVSL (Remote Video Signal loss) สัญญาณภาพของคู่สถานีขาดหาย



รูปที่ 4.9 การสื่อสาร 2 ทิศทางและสัญญาณแจ้งเตือนระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

การซิงโครไนซ์บิต

(Bit Synchronization)

จากบทที่ผ่านมาได้ทราบแล้วว่า ส่วนที่สำคัญที่สุดส่วนหนึ่งของระบบสื่อสารแบบทีดีเอ็มคือการซิงโครไนซ์เฟรมข้อมูลซึ่งทำการโอเลเมนต์เฟรมโดยวิธีการตรวจสอบเฟรมโอเลเมนต์เวอร์ต .FAW เมื่อพิจารณาให้ลึกลงไปอีกจะพบว่าภายในเวอร์ตที่ทำการตรวจสอบนั้นประกอบขึ้นจากกลุ่มของบิตข้อมูลต่างๆ จึงเห็นได้ว่า ถ้าระบบรับไม่สามารถอ่านบิตข้อมูลต่างๆ ได้อย่างถูกต้องแล้วกระบวนการโอเลเมนต์เฟรมข้อมูลก็ไม่สามารถจะดำเนินต่อไปได้อย่างถูกต้อง ดังนั้นจึงอาจกล่าวได้ว่าส่วนสำคัญที่สุดของการสื่อสารข้อมูลดิจิทัลระบบทีดีเอ็ม คือ การซิงโครไนซ์บิต (Bit Synchronization)

การที่ระบบสื่อสารจะสามารถอ่านบิตข้อมูลต่างๆ ได้อย่างถูกต้องนั้นจำเป็นอย่างยิ่งที่ระบบรับจะต้องทราบว่าบิตข้อมูลนั้นเริ่มต้นและจบลงเมื่อใดหรือกล่าวให้ง่ายขึ้นคือ ระบบจะต้องสามารถสร้างสัญญาณนาฬิกาที่ซิงโครไนซ์กับขบวนข้อมูลที่รับได้นั้น การเข้ารหัสสัญญาณดิจิทัล (Digital signaling) เป็นอีกวิธีหนึ่งที่จะช่วยปรับปรุงสมรรถนะในการแยกสัญญาณนาฬิกาของเครื่องรับโดยการแปลงขบวนบิตข้อมูลให้เป็นรหัสสัญญาณรูปแบบใหม่ที่มี ข้อมูลเชิงเวลา (Timing Information) ของเครื่องส่งปนอยู่ด้วยทั้งนี้ขึ้นอยู่กับทางเลือกใช้รหัสให้เหมาะสม นอกจากนี้การเข้ารหัสสัญญาณดิจิทัลยังเป็นการแปลงขบวนข้อมูลให้เป็นสัญญาณที่มีรูปแบบเหมาะสมกับตัวกลางที่ใช้ในการส่งข้อมูล

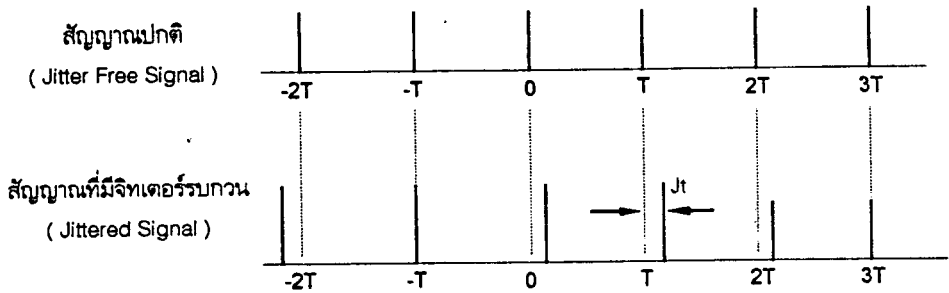
ในบทนี้จะได้กล่าวเริ่มต้นตั้งแต่การรบกวนที่เรียกว่า จิตเตอร์ (Jitter) ซึ่งบั่นทอนสมรรถนะของการซิงโครไนซ์บิต , การเข้ารหัสสัญญาณดิจิทัลในแบบต่างๆ , เทคนิควิธีในการ แยกสัญญาณนาฬิกา (Clock Recovery) จากขบวนข้อมูล และวิธีลดผลของจิตเตอร์โดยใช้ ระบบเฟสล็อกคูล , PLL (Phase Locked Loop) และ การสแครมเบลอร์ (Scrambler) รวมถึงทฤษฎีเบื้องต้นของระบบเฟสล็อกคูลที่ประยุกต์ใช้ในงานสื่อสาร

5.1 จิตเตอร์ (Jitter)

ในระบบการส่งสัญญาณดิจิทัลเชิงอุดมคตินั้น พัลส์ต่างๆ ของขบวนสัญญาณดิจิทัลที่มาถึงเครื่องรับจะเกิดขึ้นที่ตำแหน่งเวลาที่เป็นจำนวนเต็มเท่าของคาบสัญญาณนาฬิกา T ที่ใช้ แต่อย่างไรก็ดีสำหรับในระบบจริงนั้น พัลส์เหล่านี้มาถึงเครื่องรับในตำแหน่งเวลาที่ต่างไปจากจำนวนเต็มเท่าของ T

จะมีหลายชื่อเช่น Clock Extraction , Timing Extraction , Timing Recovery , Clock Recovery , การแยกสัญญาณเวลา ดังนั้นเมื่อพบชื่อเรียกต่างๆ เหล่านี้ให้เข้าใจว่ามีความหมายเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.1 แสดงนิยามของ จิตเตอร์ (Definition of Jitter)

เรียกปรากฏการณ์ที่พัลส์ถูกเบี่ยงเบนไปจากตำแหน่งปกตินี้ว่า จิตเตอร์ (Jitter) ดังรูป 5.1

จิตเตอร์มีการจำแนกออกเป็นหลายชนิดซึ่งมักจะจำแนกตามสาเหตุที่เกิด จิตเตอร์แต่ละแบบไม่ว่าจะเกิดกับขบวนสัญญาณดิจิทัลโดยตรงหรือเกิดกับสัญญาณนาฬิกาที่แยกออกมาได้จากขบวนสัญญาณดิจิทัลที่รับได้ล้วนก่อให้เกิดการเบี่ยงเบนทางเฟสของสัญญาณซึ่งเป็นสาเหตุให้เกิดการผิดพลาดบิต ,BER (Bit Error Rate) ขึ้น จิตเตอร์แบบต่างๆจำแนกดังตารางที่ 5.1 แหล่งกำเนิดจิตเตอร์

ตาราง 5.1 แสดงการจำแนกจิตเตอร์แบบต่างๆ (Classification of Jitter)

จำแนกโดยเทียบกับเวลาอ้างอิง (Time Reference)

- (a) ไทมมิงจิตเตอร์ (Timing Jitter)
- (b) อไลเมนต์จิตเตอร์ (Alignment Jitter)

จำแนกโดยแหล่งกำเนิดจิตเตอร์

- (a) แรนดอมจิตเตอร์ (Random Jitter) เป็นจิตเตอร์ที่ขึ้นอยู่กับนอส์
- (b) ซิสเต็มเมติกจิตเตอร์ (Systematic Jitter) เป็นจิตเตอร์ที่ขึ้นอยู่กับ

แพทเทิร์นของข้อมูล

- (i) แบบ A

จิตเตอร์ที่มีสาเหตุจากค่า Q ของวงจรจูนมีค่าไม่สูงพอ

จิตเตอร์ที่มีสาเหตุจากพัลส์กระตุ้นไม่แคบพอ

จิตเตอร์ที่มีสาเหตุจากการจูนความถี่คลาดเคลื่อน

- (ii) แบบ B

จิตเตอร์ที่มีสาเหตุจากความผิดเพี้ยนของรูปคลื่น

จิตเตอร์ที่มีสาเหตุจากแอมพลิจูดของสัญญาณ

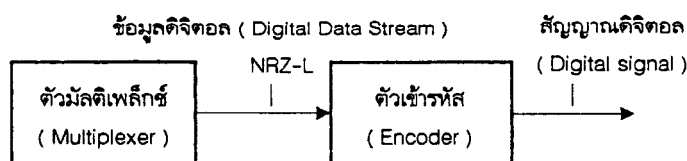
เบื้องต้นที่เห็นได้ชัดก็คือ ตัวทวนสัญญาณใหม่ (Regenerator) เนื่องจากการส่งข้อมูลดิจิทัลที่ระยะทางไกลมากนั้นจำเป็นต้องใช้ตัวทวนสัญญาณใหม่เป็นระยะๆ เพื่อให้ข้อมูลที่ไปถึงปลายทางมีความสมบูรณ์ที่สุด ในส่วนของตัวทวนสัญญาณใหม่ภายในจะประกอบด้วยตัวแยกสัญญาณเวลา (Timing Extraction) ซึ่งในทางปฏิบัติส่วนนี้จะยังไม่มีความสำเร็จ ทำให้สัญญาณเวลาที่แยกได้มี jitter ที่เรียกว่า จิตเต็มเมติกจิตเตอร์ (Systematic Jitter) ปนอยู่ด้วยเป็นผลให้สัญญาณข้อมูลที่กำเนิดขึ้นใหม่มี jitter ประเภทนี้ปนอยู่ด้วยเช่นกันและที่สำคัญคือ ถ้าตลอดระยะทางการสื่อสารใช้ตัวทวนสัญญาณใหม่หลายตัวด้วยแล้ว จิตเตอร์เหล่านี้ก็จะมีค่าสะสมเพิ่มขึ้นเรื่อยๆ ตามจำนวนของตัวทวนสัญญาณที่ใช้จะเห็นว่าถ้าไม่มีการควบคุมจิตเตอร์ประเภทนี้แล้วสัญญาณเมื่อไปถึงปลายทางก็อาจจะผิดเพี้ยนไปได้มากจนไม่อาจจะใช้ประโยชน์จากข้อมูลข่าวสารเหล่านั้นได้

สำหรับในงานวิจัยนี้จะกล่าวถึงเฉพาะ จิตเต็มเมติกจิตเตอร์ (Systematic Jitter) เท่านั้น เนื่องจากมีความเกี่ยวข้องอยู่มากกับการออกแบบวงจรแยกสัญญาณนาฬิกา (Clock Recovery) ส่วนรายละเอียดของจิตเตอร์แบบอื่นๆ นั้นหาได้จากหนังสืออ้างอิง [12] , [13]

สำหรับ จิตเต็มเมติกจิตเตอร์ (Systematic Jitter) นั้นสาเหตุใหญ่เกิดจากแพทเทิร์นของขบวนสัญญาณดิจิทัล เนื่องจากข้อมูลที่มากับขบวนสัญญาณดิจิทัลนั้นมีการเปลี่ยนแปลงตลอดทั้งช่วงห่างทางเวลาของสัญญาณกระตุ้นวงจรจนความถี่ในกระบวนการแยกสัญญาณนาฬิกาจึงมีการเปลี่ยนแปลงด้วย ผลจากการเปลี่ยนแปลงนี้ทำให้ทั้งขนาดและความถี่ของสัญญาณที่ได้จากวงจรจนเปลี่ยนแปลงซึ่งการเปลี่ยนแปลงขององค์ประกอบทั้งสองนี้ทำให้เฟสของสัญญาณนาฬิกาที่แยกได้ถูกเบี่ยงเบนไปด้วย เนื่องจากการที่จะเข้าใจเรื่องนี้ได้ชัดเจนขึ้นนั้นจำเป็นต้องทราบถึงขั้นตอนกระบวนการในการแยกสัญญาณนาฬิกา ดังนั้นสำหรับในเรื่องนี้จะกล่าวอีกครั้งในหัวข้อ การแยกสัญญาณนาฬิกา (หัวข้อ 5.3)

5.2 การเข้ารหัสสัญญาณดิจิทัล (Digital Signaling or Encoder)

จากที่ได้ทราบมาแล้วว่าถ้าขบวนข้อมูลที่รับได้นั้นมีข้อมูลเชิงเวลาอยู่ด้วยจะทำให้การแยกสัญญาณทำได้ง่ายขึ้น ข้อมูลเชิงเวลาที่สามารถสร้างได้โดยการนำขบวนข้อมูลที่มัลติเพล็กซ์แล้วมาทำการเข้ารหัสสัญญาณ สัญญาณใหม่ที่ได้เรียกว่า สัญญาณดิจิทัล (Digital Signal) ดังรูป 5.2



รูปที่ 5.2 การเข้ารหัสข้อมูลดิจิทัลเป็นสัญญาณดิจิทัล

ตาราง 5.2 นิยามรูปแบบรหัสของสัญญาณดิจิทัล

รหัส เอ็นอาร์แซด-แอล ,NRZ-L (Nonreturn to zero-level)

- 1 - ระดับแรงดันสูง
- 0 - ระดับแรงดันต่ำ

รหัส เอ็นอาร์แซด-เอ็ม ,NRZ-M (Nonreturn to zero-mark)

- 1 - มีการเปลี่ยนสถานะที่จุดเริ่มต้นของช่วงบิตเสมอ
- 0 - ไม่มีการเปลี่ยนสถานะ

รหัส เอ็นอาร์แซด-เอส ,NRZ-S (Nonreturn to zero-space)

- 1 - ไม่มีการเปลี่ยนสถานะ
- 0 - มีการเปลี่ยนสถานะที่จุดเริ่มต้นของช่วงบิตเสมอ

รหัส อาร์แซด ,RZ (Return to Zero)

- 1 - มีพัลส์กว้างครึ่งคาบบิตที่ตำแหน่งครึ่งแรกของช่วงบิตเสมอ
- 0 - ไม่มีพัลส์

รหัส ไบเฟส-แอล ,Biphase-L (Biphase-level) หรือ แมนเชสเตอร์ (Manchester)

- 1 - มีการเปลี่ยนสถานะจากระดับสูงมาระดับต่ำที่ตำแหน่งกลางช่วงบิตเสมอ
- 0 - มีการเปลี่ยนสถานะจากระดับต่ำมาระดับสูงที่ตำแหน่งกลางช่วงบิตเสมอ

รหัส ไบเฟส-เอ็ม ,Biphase-M (Biphase-mark)

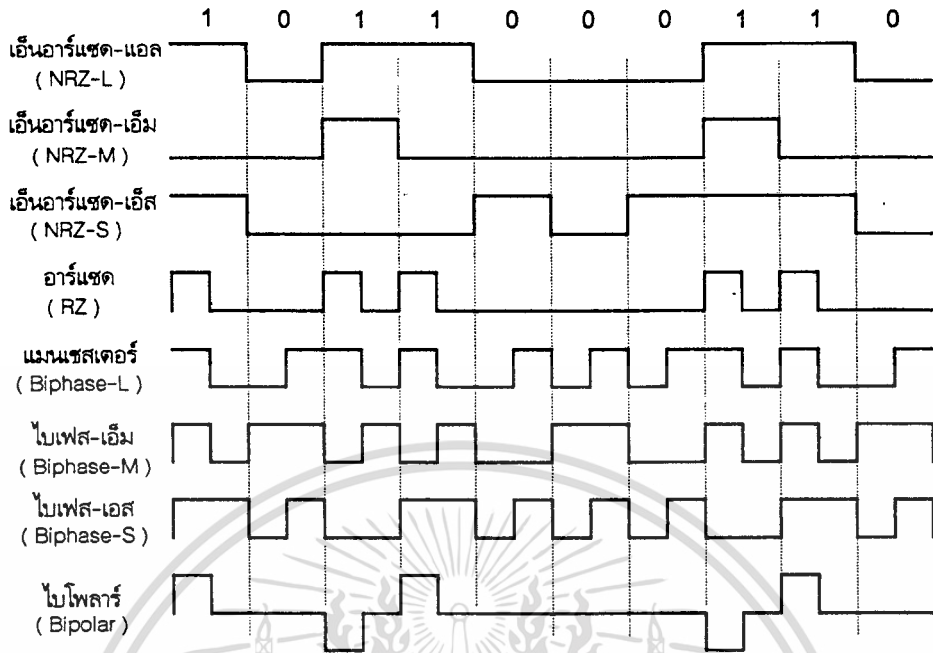
- มีการเปลี่ยนสถานะที่จุดเริ่มต้นของช่วงบิตเสมอ
- 1 - ไม่มีการเปลี่ยนสถานะที่ตำแหน่งกลางช่วงบิต
- 0 - มีการเปลี่ยนสถานะที่ตำแหน่งกลางช่วงบิตเสมอ

รหัส ไบเฟส-เอส ,Biphase-S (Biphase-space)

- มีการเปลี่ยนสถานะที่จุดเริ่มต้นของช่วงบิตเสมอ
- 1 - มีการเปลี่ยนสถานะที่ตำแหน่งกลางช่วงบิตเสมอ
- 0 - ไม่มีการเปลี่ยนสถานะที่ตำแหน่งกลางช่วงบิต

รหัส ไบโพลาร์ ,Bipolar

- 1 - มีพัลส์กว้างครึ่งคาบบิตที่ตำแหน่งครึ่งแรกของช่วงบิตและสลับขั้วในพัลส์ต่อไป
- 0 - ไม่มีพัลส์



รูปที่ 5.3 แสดงลักษณะของรหัสสัญญาณดิจิทัลแบบต่างๆ

ปกติแล้วข้อมูลดิจิทัลที่ใช้กันภายในระบบทั่วไปจะแทนลอจิก 1 ด้วยแรงดันระดับหนึ่งและแทนลอจิก 0 ด้วยแรงดันอีกระดับหนึ่งเรียกสัญญาณรูปแบบนี้ว่า สัญญาณเอ็นอาร์แซด-แอล^๖ ,NRZ-L (Nonreturn to Zero) เมื่อผ่านการเข้ารหัสแล้วรูปคลื่นของสัญญาณรวมทั้งคุณสมบัติอื่นๆของรหัสจะถูกนิยามใหม่ เช่น แถบความถี่ของสัญญาณ ,คุณสมบัติการชิงโครไนซ์ เป็นต้น ตัวอย่างนิยามลักษณะของรหัสแบบต่างๆที่รู้จักกันดีแสดงในตารางที่ 5.2 และรูปที่ 5.3

การเข้ารหัสสัญญาณที่ต่างกันย่อมให้สมรรถนะและความเหมาะสมกับตัวกลางที่ต่างกันและมีข้อดีข้อเสียที่ต่างกัน รหัสบางแบบถึงแม้จะทำให้สมรรถนะในการแยกสัญญาณนาฬิกาดีขึ้นแต่ก็มักจะใช้แถบความถี่ของตัวกลางมากเกินไปหรือรหัสบางแบบซับซ้อนเกินไปในการสร้าง แต่อย่างไรก็ดี การที่จะตัดสินใจเลือกใช้รหัสแบบใดนั้นมิใช่สิ่งที่ควรพิจารณาดังนี้

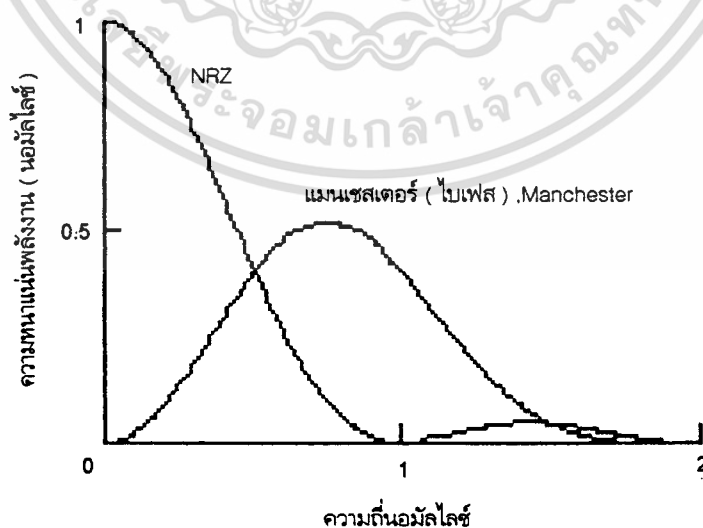
- แถบความถี่ของรหัสสัญญาณ รหัสที่ใช้แถบความถี่ของตัวกลางน้อยที่สุดถือว่าเป็นรหัสที่มีประสิทธิภาพในการใช้แถบความถี่ที่ดีที่สุด ดังนั้นควรพยายามเลือกใช้รหัสที่ใช้แถบความถี่น้อยที่สุด
- ความสามารถในการชิงโครไนซ์ รหัสบางแบบง่ายต่อการแยกสัญญาณนาฬิกาแต่อย่างไรก็ดี การแยกสัญญาณนาฬิกาก็ยังสามารถใช้เทคนิควิธีอื่นได้อีก

^๖เนื่องจากรหัสเอ็นอาร์แซด-แอล ,NRZ-L เป็นรหัสพื้นฐานที่ใช้กันโดยทั่วไป ดังนั้นบ่อยครั้งที่จะเรียกรหัสแบบนี้ว่า รหัสเอ็นอาร์แซด ,NRZ ลอยๆโดยไม่ต้องระบุคำว่า แอล ต่อท้าย

- ความต้านทานต่อข้อผิดพลาดและสัญญาณแทรกสอด รหัสบางแบบมีคุณสมบัติที่ดีในด้านนี้ ทำให้เมื่อเทียบกับรหัสแบบอื่นแล้วจะให้ค่าอัตราผิดพลาดบิต ,BER ที่ต่ำกว่าในสภาพที่มีค่าอัตราส่วนสัญญาณต่อสัญญาณรบกวน ,S/N เท่าๆกัน
- ความซับซ้อนและราคา เป็นตัวประกอบที่นำมาพิจารณาเสมอ รหัสบางแบบสร้างยากกว่า ต้องใช้วงจรที่มากกว่าซับซ้อนกว่า

5.2.1 รหัสเอ็นอาร์แซด (NRZ: Nonreturn to Zero)

รหัสเอ็นอาร์แซด ,NRZ แสดงในรูปที่ 5.3 จะเห็นว่าเป็นรหัสที่มีความซับซ้อนน้อยที่สุดและรหัสที่ง่ายที่สุดคือ รหัสเอ็นอาร์แซด-แอล ,NRZ-L ซึ่งเป็นรหัสพื้นฐานที่ใช้กันในทุกอุปกรณ์ทั่วไปและในรหัสกลุ่มนี้ยังมีอีก 2 เวอร์ชัน คือ เอ็นอาร์แซด-เอ็ม ,NRZ-M และ เอ็นอาร์แซด-เอส ,NRZ-S ซึ่งเป็นรหัสดิฟเฟอเรนเชียล รหัสดิฟเฟอเรนเชียลมีข้อดีกว่ารหัส NRZ ธรรมดา คือ 1) สัญญาณจะไม่มีการเปลี่ยนระดับเฉพาะขบวนลอจิก 0 สำหรับรหัส NRZ-M ,ขบวนลอจิก 1 สำหรับรหัส NRZ-S แต่สำหรับรหัส NRZ-L แล้วสัญญาณจะไม่มีการเปลี่ยนระดับทั้งขบวนลอจิก 1 หรือขบวนลอจิก 0 ซึ่งจะเป็นปัญหาในกระบวนการแยกสัญญาณนาฬิกาที่ด้านเครื่องรับ (ต้องใช้เทคนิควิธีอย่างอื่นเข้าช่วย) และ 2) เมื่อเกิดอาการกลับขั้วของสัญญาณข้อมูลอันเนื่องมาจากสัญญาณรบกวนจะก่อให้เกิดการผิดพลาดข้อมูลสำหรับรหัส NRZ-L แต่สำหรับรหัสดิฟเฟอเรนเชียลแล้วจะไม่เกิดการผิดพลาดเนื่องจากการถอดรหัสใช้วิธีการตรวจสอบว่ามีการเปลี่ยนสถานะของระดับสัญญาณหรือไม่แทนที่จะตรวจสอบระดับสัญญาณว่าเป็นลอจิก 1 หรือ 0

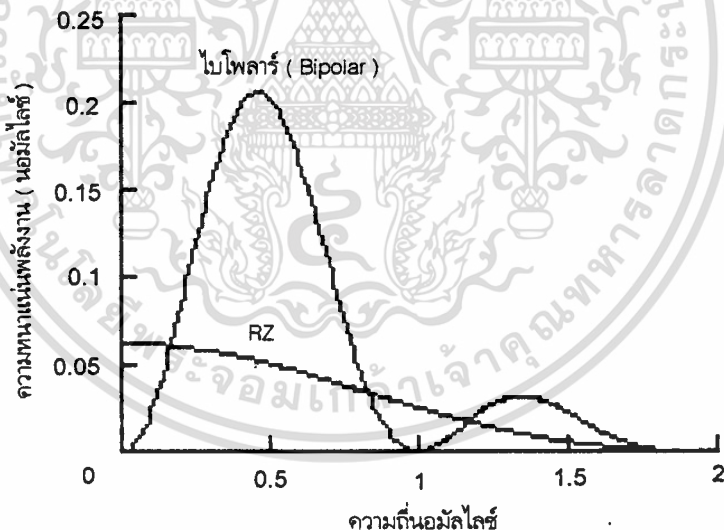


รูปที่ 5.4 (a) เส้นโค้งแสดงความหนาแน่นพลังงานในแถบความถี่ของ
รหัส เอ็นอาร์แซด (NRZ) และ แมนเชสเตอร์

เมื่อพิจารณาในเรื่องของการใช้แถบความถี่แล้ว จากรูป 5.4 (a) ซึ่งแสดงการกระจายของพลังงานในแถบความถี่ของรหัส จะเห็นว่า รหัส NRZ เป็นรหัสที่มีประสิทธิภาพที่สุดในการใช้แถบความถี่ของตัวกลาง โดยพลังงานเกือบทั้งหมดของสัญญาณจะตกอยู่ในช่วง ดีซี ถึงประมาณครึ่งหนึ่งของอัตราบิต ดังนั้นจะเห็นได้ว่ารหัสแบบนี้จะใช้แถบความถี่ของตัวกลางอย่างน้อยที่สุดเพียงครึ่งเดียวของอัตราการส่งข้อมูล ข้อด้อยของรหัสแบบนี้คือ ไม่มีองค์ประกอบความถี่ที่เป็นอัตราส่งข้อมูลในแถบความถี่ หรือกล่าวได้ว่าเป็นรหัสที่ไม่มีคุณสมบัติ เซลฟ์ซิงโครไนเซชัน (Self-Synchronization)

5.2.2 รหัสอาร์แซด (RZ :Return to Zero)

รหัสอาร์แซด ,RZ แสดงในรูป 5.3 ถือว่าเป็นรหัสที่ไม่ได้ปรับปรุงคุณสมบัติอะไรเลยเมื่อเทียบกับรหัส NRZ ยกเว้นคุณสมบัติเรื่องการซิงโครไนซ์โดยเมื่อสังเกตจากเส้นโค้งในรูป 5.4 (b) จะเห็นว่าเส้นโค้งครอบคลุมความถี่ที่เป็นอัตราการส่งข้อมูลอยู่ด้วยแต่รหัสแบบนี้ยังคงมีปัญหาเกี่ยวกับขบวนการข้อมูลที่เป็น 0 การใช้แถบความถี่ของรหัสแบบนี้มากกว่ารหัส NRZ อยู่ถึงประมาณ 2 เท่า จึงมีการประยุกต์ใช้กันเฉพาะงานเท่านั้น



รูปที่ 5.4 (b) เส้นโค้งแสดงความหนาแน่นพลังงานในแถบความถี่ของรหัส อาร์แซด (RZ) และ ไบโพลาร์ (Bipolar)

5.2.3 รหัสไบเฟส (Biphase)

รหัสไบเฟส ที่รู้จักกันดีที่สุดคือ รหัสแมนเชสเตอร์ (Manchester หรือ Biphase-L) ดังในรูป 5.3 เป็นรหัสที่ปรับปรุงมาจากรหัส NRZ และรหัส RZ ซึ่งยังคงมีข้อจำกัดในเรื่องการซิงโครไนซ์อยู่ จะเห็นว่ารหัสไบเฟสจะมีการเปลี่ยนสถานะที่ตำแหน่งกลางบิตข้อมูลเสมอทำให้เป็นรหัสที่มีการเปลี่ยน

แปลงสถานะของสัญญาณอย่างมากส่งผลให้สมรรถนะในการแยกสัญญาณนาฬิกาดีมากแต่เมื่อสังเกตดูแถบความถี่ของรหัสนี้จากรูป 5.4 (a) พบว่าใช้แถบความถี่ถึงประมาณเกือบ 2 เท่าของอัตราส่งข้อมูล เช่นเดียวกับ รหัส RZ

รหัสไบเฟสเป็นรหัสที่มีใช้กันมาก เช่น ระบบบันทึกข้อมูลบนเทปแม่เหล็ก ,ระบบโครงข่ายท้องถิ่น หรือ LAN เป็นต้น แต่มักประยุกต์ใช้กับการส่งข้อมูลในอัตราที่ไม่สูงมากนัก เนื่องจากวิธีการเข้ารหัสค่อนข้างซับซ้อนและใช้แถบความถี่กว้างเกินไป

5.2.4 รหัสไบโพลาร์ (Bipolar)

รูปแบบของรหัสไบโพลาร์แสดงในรูป 5.3 รหัสแบบนี้มีทั้งส่วนของสัญญาณที่เป็นทั้งค่า บวก และลบ แถบความถี่ของรหัสแบบนี้ไม่ครอบคลุมความถี่ที่เป็นอัตราส่งข้อมูลดังรูปที่ 5.4 (b) จึงไม่มีคุณสมบัติการซิงโครไนซ์ แต่การใช้แถบความถี่ค่อนข้างมีประสิทธิภาพโดยพลังงานส่วนใหญ่จะอัดกันอยู่บริเวณครึ่งหนึ่งของอัตราการส่งข้อมูล รหัสแบบนี้มีใช้กันอย่างกว้างขวางในระบบชุมสายโทรศัพท์ ดิจิตอลแบบ T₁ ของ AT&T

5.3 การแยกสัญญาณนาฬิกา (Clock Extraction)

การส่งสัญญาณดิจิตอลไม่เพียงแต่ประกอบด้วยการส่งส่วนของข้อมูลเท่านั้นแต่ยังประกอบด้วย การส่งข้อมูลเชิงเวลา (Timing Information) หรือสัญญาณนาฬิกาด้วยโดยมากแล้วส่วนของสัญญาณนาฬิกานี้จะถูกแยกออกมาจากขบวนสัญญาณข้อมูลที่รับได้นั่นเอง แต่อย่างไรก็ดีวิธีการส่งสัญญาณนาฬิกายังมีวิธีอื่นๆอีก ตาราง 5.3 แสดงวิธีการส่งสัญญาณนาฬิกาแบบต่างๆ [12]

ตาราง 5.3 แสดงวิธีการส่งสัญญาณนาฬิกาแบบต่างๆ

เอ็กเทอร์นอลไทมิง (External Timing)

การส่งแบบซูเปอร์โพส (Superposed Transmission)

การส่งแบบแยกเฉพาะ (Separate Transmission)

เซลฟ์ไทมิง (Self Timing)

การแยกสัญญาณนาฬิกาแบบเชิงเส้น (Linear Extraction)

การแยกสัญญาณนาฬิกาแบบไม่เป็นเชิงเส้น (Nonlinear Extraction)

จากตาราง 5.3 จะเห็นว่าการส่งสัญญาณนาฬิกาสามารถแบ่งเป็นแบบใหญ่ๆได้ 2 แบบ คือ เอ็็กเทิร์นอลไทมิ่ง และเซลฟ์ไทมิ่ง แบบเอ็็กเทิร์นอลไทมิ่งเป็นการส่งสัญญาณนาฬิกาแยกผ่านสายส่งต่างหากไม่เหมาะสำหรับการส่งระยะทางไกลๆเนื่องจากค่าใช้จ่ายสูงและมีปัญหาเรื่องเวลาหน่วงของสัญญาณนาฬิกาจึงเป็นวิธีที่เหมาะสมอย่างมากสำหรับการส่งในระยะใกล้ๆ ส่วนแบบที่ 2 คือ เซลฟ์ไทมิ่ง เป็นแบบที่รวมข้อมูลเชิงเวลาเข้าไว้กับสัญญาณข้อมูลโดยวิธีการเข้ารหัสสัญญาณดิจิตอลดังที่ได้กล่าวมาแล้ว สัญญาณนาฬิกาจะถูกแยกออกมาทางเครื่องรับซึ่งมี 2 วิธีการใหญ่ๆคือ

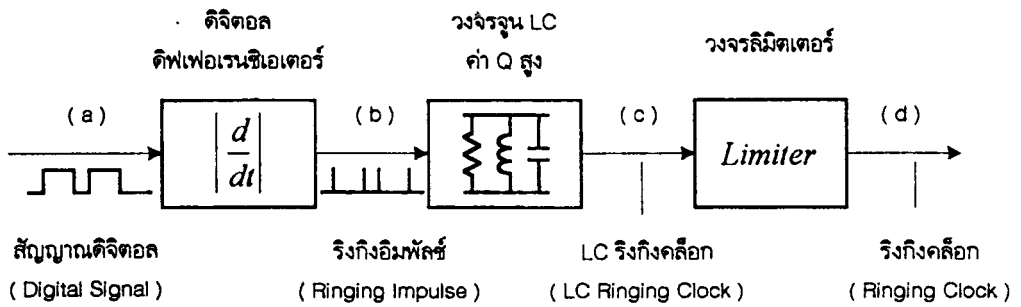
- การแยกสัญญาณนาฬิกาแบบเชิงเส้น (Linear Extraction)
เป็นวิธีการแยกสัญญาณนาฬิกาที่ใช้กับสัญญาณดิจิตอลที่มีแถบความถี่ครอบคลุมความถี่ที่เป็นอัตราส่งข้อมูลซึ่งสัญญาณนี้จะผ่านการเข้ารหัสสัญญาณดิจิตอลมาแล้ว เช่น รหัสแมนเชสเตอร์ เป็นต้น ซึ่งได้กล่าวมาแล้วในหัวข้อ 5.2
- การแยกสัญญาณนาฬิกาแบบไม่เป็นเชิงเส้น (Nonlinear Extraction)
เป็นวิธีการแยกสัญญาณนาฬิกาที่ใช้กับสัญญาณดิจิตอลที่แถบความถี่ไม่ปรากฏความถี่ที่เป็นอัตราส่งข้อมูลอยู่ กระบวนการที่ใช้คือ การนำสัญญาณดิจิตอลที่รับได้แยกไปทำการกระบวนการที่ประกอบด้วยขั้นตอนตามลำดับดังนี้ การดิฟเฟอเรนเชียล , การเรียงคลื่นแบบเต็มคลื่น , การคลิบป์สัญญาณ จากนั้นทำการยกกำลังสองสัญญาณ แถบความถี่ของสัญญาณใหม่ที่ได้จะประกอบด้วยความถี่ที่เป็นอัตราส่งข้อมูลอยู่ด้วยสุดท้ายจะนำสัญญาณใหม่นี้ไปผ่านวงจรกรองความถี่ที่มีแถบความถี่แคบเพื่อแยกสัญญาณนาฬิกาที่ต้องการออกมา

จากกระบวนการที่กล่าวมาโดยย่อ การแยกสัญญาณนาฬิกาแบบไม่เป็นเชิงเส้น (Nonlinear Extraction) เป็นวิธีที่ใช้ในงานวิจัยนี้แต่มีเทคนิคที่ต่างไปจากที่กล่าวมาเรียกวิธีการที่ใช้ชื่อว่า การแยกสัญญาณนาฬิกาโดยใช้วงจรจูน LC หรือ LC ริงกิง (LC ringing circuit) การเข้ารหัสสัญญาณดิจิตอลสามารถใช้แบบ NRZ-L ได้ซึ่งเป็นแบบพื้นฐานที่สุดทำให้ลดความซับซ้อนลงได้และการใช้แถบความถี่ยังแคบลงด้วยคือโดยประมาณเพียงครึ่งหนึ่งของอัตราส่งข้อมูล (อัตรานิควิสต์ , Nyquist rate)

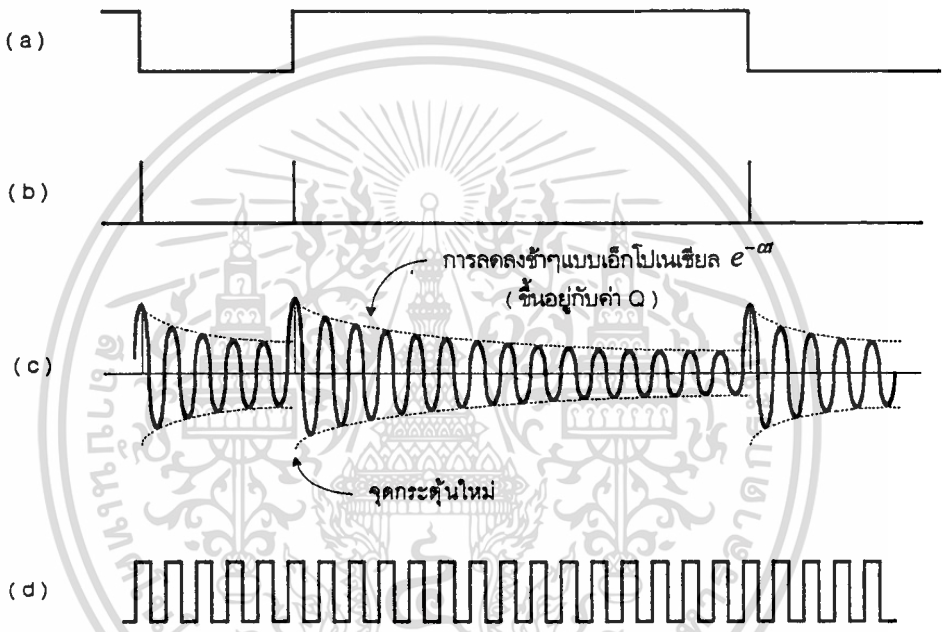
5.3.1 การแยกสัญญาณนาฬิกาโดยใช้วงจรจูน LC

(Clock Extraction by LC tune circuit or LC ringing circuit)

ไดอะแกรมของระบบการแยกสัญญาณนาฬิกาโดยใช้วงจรจูน LC แสดงดังรูป 5.5 และสัญญาณตามจุดต่างๆแสดงในรูป 5.6 จากรูป 5.5 สามารถอธิบายกระบวนการได้ดังนี้ ขบวนสัญญาณดิจิตอลที่รับได้ดังรูป 5.6(a) จะผ่านเข้าสู่ส่วนดิจิตอลดิฟเฟอเรนชิเอเตอร์ (Digital Differentiator) เพื่อสร้างสัญญาณริงกิงอิมพัลส์ (Ringing Impulse) ขึ้นตรงตำแหน่งที่มีการเปลี่ยนแปลงสถานะของสัญญาณ



รูปที่ 5.5 โดยแถมระบบแยกสัญญาณนาฬิกาโดยใช้วงจร LC



รูปที่ 5.6 แสดงสัญญาณจุดต่างๆในระบบแยกสัญญาณนาฬิกาโดยใช้วงจร LC
สัญญาณ (a) ถึง (d) แทนสัญญาณในรูป 5.5

ดิจิตอล (ซึ่งเป็นตำแหน่งที่สอดคล้องกับการเปลี่ยนสถานะของสัญญาณนาฬิกาเดิมของระบบ) ดังรูปที่ 5.6(b) จากนั้นจะนำสัญญาณริงกิงอิมพัลส์ไปกระตุ้นวงจร LC ซึ่งจนความถี่เรโซแนนซ์ไว้ที่อัตราส่งข้อมูล เมื่อวงจรถูกกระตุ้นด้วยอิมพัลส์จะเกิดการออสซิลเลตด้วยความถี่เรโซแนนซ์ขณะเดียวกันเมื่อเวลาผ่านไปแอมพลิจูดของสัญญาณจะลดลงไปเรื่อยๆแบบเอ็กโปเนนเชียล (Exponential) ดังรูป 5.6(c) จนกว่าจะถูกกระตุ้นด้วยอิมพัลส์ใหม่ เรียกสัญญาณในจุดนี้ว่า LC รিংกิงคล็อก (LC ringing clock) จากนั้นจะนำสัญญาณที่ได้เข้าสู่วงจรลิมิตเตอร์เพื่อปรับแอมพลิจูดให้เสมอกันและเปลี่ยนให้เป็นสัญญาณสี่เหลี่ยม ดังรูป 5.6(d) เรียกสัญญาณนี้ว่า รিংกิงคล็อก (Ringing clock) ซึ่งจะใช้เป็นสัญญาณนาฬิกาของระบบต่อไป

5.3.2 ปัญหาในระบบการแยกสัญญาณนาฬิกาที่ใช้วงจรจูน LC

ปัญหาที่เกิดขึ้นสำหรับการใช้วงจรจูน LC คือ ชิสเต็มเมติกซ์จิทเตอร์ (Systematic Jitter) ซึ่งมีสาเหตุใหญ่ๆ 3 ประการ คือ [๑]

1) ความไม่สมบูรณ์ของวงจรจูน LC จากรูป 5.6(c) เมื่อวงจรจูนถูกกระตุ้นด้วยอิมพัลส์วงจรจะออสซิลเลตที่ความถี่ที่อัตราส่งข้อมูล f_0 เมื่อเวลาผ่านไปหลังจากถูกกระตุ้นแล้วความถี่เดิม f_0 จะเลื่อนออกไปเป็น f_T พร้อมกับแอมพลิจูดลดลงแบบเอ็กโปเนนเชียลซึ่งเป็นธรรมชาติของวงจรจูน LC ในทางปฏิบัติ ความถี่ของวงจรจูนจะกลับมาเป็น f_0 อีกครั้งเมื่อวงจรถูกกระตุ้นด้วยอิมพัลส์ตัวใหม่ ผลของการเลื่อนออกไปของความถี่จาก f_0 เป็น f_T ทำให้เกิดการเลื่อนออกไปของเฟสของสัญญาณนาฬิกาที่แยกออกมาได้ ยิ่งถ้าอิมพัลส์ทั้งช่วงห่างกันมากยิ่งขึ้นการเลื่อนออกไปของความถี่ก็จะมากยิ่งขึ้น เฟสก็จะเลื่อนมากขึ้นตามไปด้วยผลจากการทั้งช่วงห่างของอิมพัลส์แสดงให้เห็นว่า แพทเทิร์นข้อมูลมีส่วนอย่างมากต่อการเกิดจิทเตอร์ประเภทนี้ เรียกจิทเตอร์ที่เกิดจากสาเหตุนี้ว่า แพทเทิร์นอินดิวซ์จิทเตอร์ (Pattern-induced Jitter) การเปลี่ยนแปลงของแอมพลิจูดสัญญาณจากเล็กมาใหญ่ทันทีที่ถูกกระตุ้นด้วยอิมพัลส์ก็ทำให้เกิดการเลื่อนของเฟสเช่นเดียวกัน (จิทเตอร์แบบ B)

2) การอิกควอไลซ์รูปทรงของสัญญาณ สัญญาณที่ถูกอิกควอไลซ์อย่างไม่เหมาะสมและสัญญาณรบกวนทำให้รูปคลื่นสัญญาณเกิดการผิดเพี้ยนเลยเข้าไปในช่องเวลาข้างเคียงก่อให้เกิดการรบกวนที่เรียกว่า ISI (Intersymbol Interference) เป็นผลให้เกิดจิทเตอร์ (แบบ B) เช่นกันซึ่งในหัวข้อนี้จะไม่กล่าวถึงเนื่องจากอยู่นอกขอบเขตของงานวิจัย

3) รูปแบบของพัลส์แพทเทิร์น (Pulse Pattern) ซึ่งเกี่ยวข้องกับสาเหตุที่ 1 แพทเทิร์นบางรูปแบบมีความหนาแน่นของการเปลี่ยนสถานะของพัลส์มากทำให้เกิดอิมพัลส์มากการเลื่อนออกไปของความถี่ของวงจรจูนจึงน้อย แต่แพทเทิร์นบางแบบมีความหนาแน่นของการเปลี่ยนสถานะของพัลส์น้อยจึงทำให้การเลื่อนออกไปของความถี่มีมาก ซึ่งการเปลี่ยนแปลงที่กล่าวมานี้ย่อมมีผลต่อปริมาณจิทเตอร์ด้วยเช่นกัน

แนวทางการแก้ปัญหาจะกล่าวตามสาเหตุที่ได้แจกแจงมาแล้ว (ยกเว้นสาเหตุที่ 2) ดังนี้

5.3.2.1 ปัญหาจากความไม่สมบูรณ์ของวงจรจูนและการแก้ไข

พิจารณาความสัมพันธ์ระหว่างปริมาณจิทเตอร์และความถี่ที่เลื่อนออกไป คือ [1]

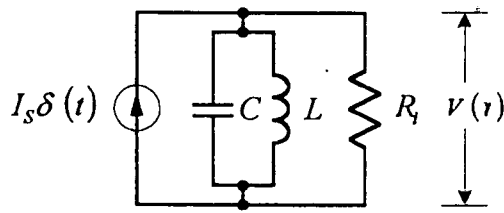
$$J_A \propto \sqrt{Q} \cdot \frac{\Delta f}{f_0} \quad (5.1)$$

โดย J_A = ขนาดของจิทเตอร์

Q = ตัวประกอบคุณภาพ Q (Quality Factor) ของวงจรจูน

$\Delta f = |f_0 - f_T|$ ขนาดความถี่ที่เลื่อนออกไป

f_0 = ความถี่กลางที่ไม่มีจิทเตอร์



R_l = อิมพีแดนซ์โหลด

รูปที่ 5.7 สมมูลวงจรจูน LC ที่ใช้ในระบบแยกสัญญาณนาฬิกา

จากสมการ (5.1) การเพิ่มค่า Q ของวงจรจูนให้มีค่าสูงที่สุดจะทำให้ Δf มีค่าเล็กที่สุดได้ นอกจากนี้การเพิ่มค่า Q ยังทำให้การลดลงแบบเอ็กโปเนนเชียลของแอมพลิจูดสัญญาณช้าลงด้วยซึ่งเทคนิควิธีนี้เป็นวิธีที่ใช้ในปัจจุบัน แนวทางในการที่จะเพิ่มค่า Q นั้นสามารถทำได้โดยพิจารณาสมมูลวงจรจูน LC ดังรูป 5.7 ซึ่งมีฟังก์ชันถ่ายโอน (Transfer Function) ในกรอบของลาปลาซ เป็น

$$H(s) = \frac{1}{C} \cdot \frac{s}{s^2 + 2\alpha s + \omega_o^2} \quad (5.2)$$

เมื่อแปลงลาปลาซผกผันจะได้แรงดันเอาต์พุตเชิงเวลา เป็น

$$V(t) = u(t) \cdot \frac{1}{C} \cdot e^{-\alpha t} \cos(\omega t + \phi) \quad (5.3)$$

$$\text{เมื่อ } \phi = \sin^{-1}(\alpha/\omega_o) \quad (5.4 \text{ a})$$

$$\omega_d = \sqrt{\omega_o^2 + \alpha^2}, \quad \omega_o > \alpha \quad (5.4 \text{ b})$$

$$\omega_d = \alpha \sqrt{4Q^2 - 1}, \quad Q > \frac{1}{2} \quad (5.4 \text{ c})$$

และ

$$Q = \frac{\omega_o}{2\alpha} \quad (5.4 \text{ d})$$

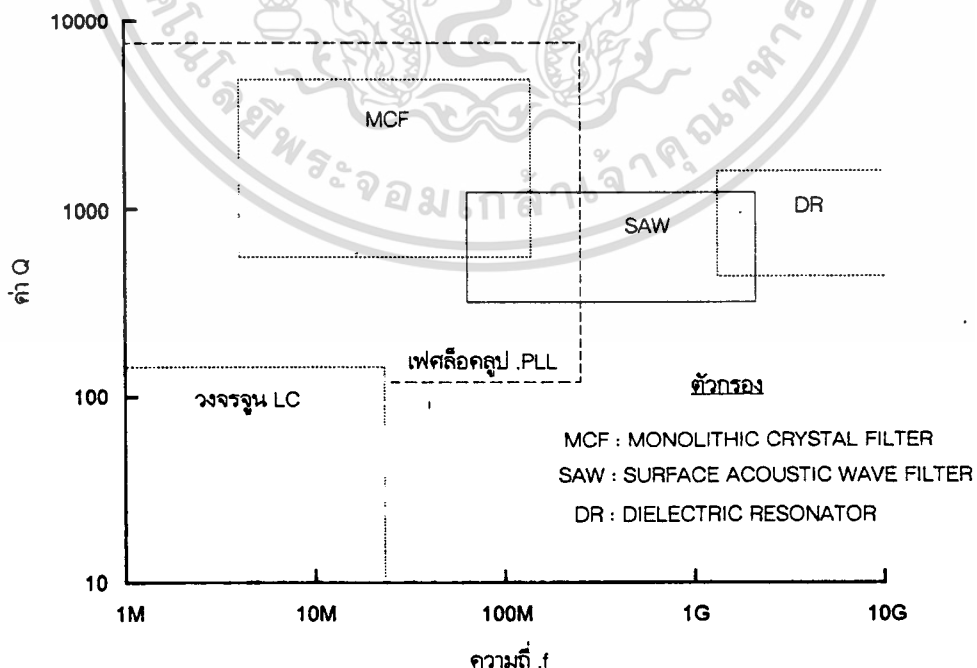
$$\omega_o = \frac{1}{\sqrt{LC}} \quad (5.4 \text{ e})$$

$$\alpha = \frac{1}{2R_l C} \quad (5.4 \text{ f})$$

โดย ω_d - ความถี่เรโซแนนซ์ของวงจรจูนซึ่งปรับไว้ที่อัตราส่งข้อมูล
 Q - ตัวประกอบคุณภาพของวงจรจูน LC
 R_l - อิมพีแดนซ์โหลด

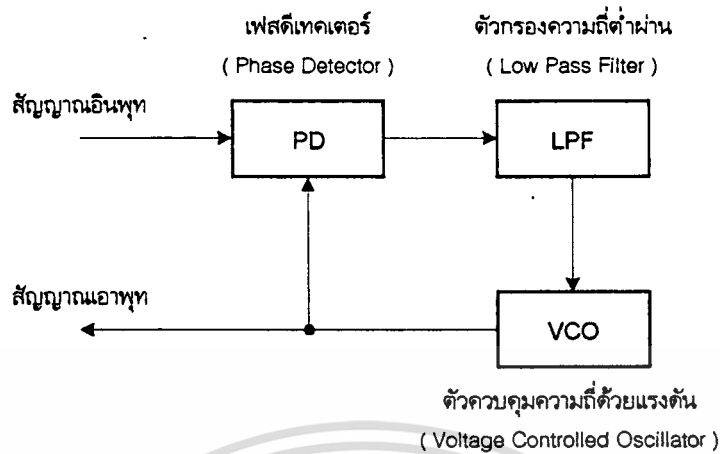
ดังนั้นเมื่อพิจารณาจากสมการ (5.4 d) และ (5.4 f) แล้วการที่จะทำให้ค่า Q ของวงจรจรมีค่ามากที่สุดคือ การพยายามทำให้ α มีค่าเล็กที่สุดซึ่งก็คือการเลือกให้ C มีค่ามากที่สุดที่จะเป็นได้และพยายามทำให้ R_f มีค่ามากที่สุดซึ่งสำหรับ R_f อาจเลือกใช้บัฟเฟอร์ที่อินพุตเป็นขึ้นส่วนจำพวกเพ็ต เป็นตัน การเลือกใช้ค่า C มากๆนอกจากจะทำให้ค่า Q มีค่าสูงขึ้นแล้วยังทำให้การลดค่าลงตามเวลาของเทอม $e^{-\omega t}$ ในสมการ (5.3) ช้าลงด้วยหมายความว่า แอมพลิจูดของสัญญาณจะลดค่าช้าลงทำให้ผลกระทบจากพัลส์แพทเทิร์นน้อยลงด้วย

แต่อย่างไรก็ดี ในทางปฏิบัติการพยายามเพิ่มค่า Q ของวงจรจรมักจะทำได้ไม่สูงมากนักเนื่องจากเกี่ยวข้องกับปัจจัยทางกายภาพเช่น วัสดุที่ใช้ประกอบเป็นตัวเก็บประจุและตัวเหนี่ยวนำและยังเกี่ยวข้องกับอิมพีแดนซ์ของโหลดด้วย เทคนิคอย่างหนึ่งที่สามารถเพิ่มค่า Q ของระบบให้สูงขึ้นได้อย่างมากคือ การใช้วงจรกรองหรือวงจรกรองเสมือนที่มีค่า Q สูงๆมาต่อเพิ่ม วงจรกรองที่ใช้ในงานประเภทนี้มีหลายแบบมีค่า Q ที่ต่างกันไปและเหมาะสมกับช่วงความถี่ที่ต่างกันดังรูป 5.8 (จากเอกสารอ้างอิง 12) จากรูป ระบบเฟสล็อกคูล .PLL (Phase Locked Loop) จะเป็นระบบที่สร้างได้ง่ายและช่วงความถี่สอดคล้องกับข้อกำหนดในกายวิสัยนี้ คือ อัตราส่งข้อมูลเป็น 16.64 Mbps. (ใช้จริง 17.43 Mbps) ไดอะแกรมแสดงในรูป 5.9 ระบบ PLL ที่นำมาประยุกต์ใช้ในการแยกสัญญาณนาฬิกาจะต้องเป็น PLL ที่มีแถบความถี่แคบเป็นพิเศษซึ่งทำได้โดยการกำหนดให้ภาคควบคุมความถี่ด้วยแรงดัน .VCO (Voltage Controlled Oscillator) กำเนิดความถี่ด้วยผลึกแร่ (Crystal Oscillator) ซึ่งจะเรียก VCO



รูปที่ 5.8 แสดงค่า Q ของตัวกรองแบบต่างๆ และช่วงความถี่ที่ใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



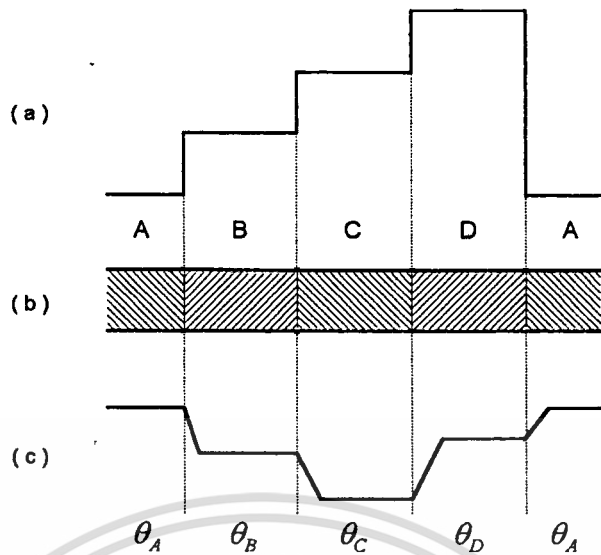
รูปที่ 5.9 โคโอะแกรมของระบบเฟสล็อกคูลูป ,PLL

แบบนี้ใหม่ว่า VCXO (Voltage Controlled X'tal Oscillator) ด้วยคุณสมบัติเด่นของผลึกแร่ คือ มีค่า Q สูงมากดังนั้นการเบี่ยงเบนความถี่ธรรมชาติของผลึกแร่จึงทำได้น้อยมากเป็นผลให้แถบความถี่ในการทำงานของ PLL แคบมาก ในส่วนของทฤษฎี PLL จะได้กล่าวเฉพาะในหัวข้อถัดไป

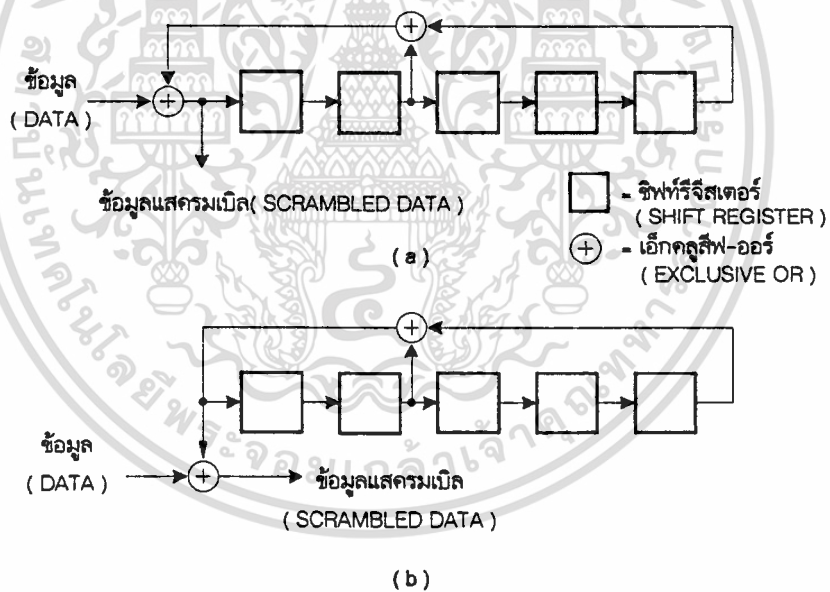
5.3.2.2 ปัญหาเกี่ยวกับรูปแบบของพัลส์แพทเทิร์นและการแก้ไข

ตัวอย่างของปัญหานี้คือ เมื่อมีการทดลองส่งสัญญาณภาพที่เป็นแถบแพทเทิร์นทดสอบซึ่งสัญญาณภาพในลักษณะนี้เมื่อทำการแปลงเป็นดิจิตอลจะได้ข้อมูลที่มีลักษณะเข้าเป็นชุดๆและเกิดซ้ำเป็นช่วงๆ ดังรูป 5.10 จากรูปสัญญาณภาพทดสอบในรูป 5.10(a) ซึ่งมีระดับสัญญาณ A ,B ,C และ D จะกำเนิดแพทเทิร์น A ,B ,C และ D ในรูป 5.10(b) ตามลำดับซึ่งแพทเทิร์นแต่ละแบบจะมีลักษณะที่ต่างกันออกไป (ในแต่ละแพทเทิร์นก็จะประกอบด้วยเวกเตอร์ที่ซ้ำๆกัน) บางแพทเทิร์นมีความหนาแน่นของการเปลี่ยนสถานะโลจิกมาก บางแพทเทิร์นมีปานกลางและบางแพทเทิร์นก็มีน้อย ซึ่งแน่นอนแต่ละแพทเทิร์นจะทำให้เกิด jitter ที่มีขนาดที่ต่างกันออกไป คือ θ_A , θ_B , θ_C และ θ_D ตามลำดับ ดังรูป 5.10 (c) ในทางทฤษฎี ถ้าสามารถทำให้ขบวนพัลส์ข้อมูลที่ส่งออกไปมีลักษณะเป็นค่าเชิงสุ่ม หรือ แรนดอม ไม่เป็นแพทเทิร์นที่มีลักษณะซ้ำๆเป็นชุดๆ ซึ่งถือเป็นลักษณะแพทเทิร์นที่สร้างเงื่อนไขที่แย่ที่สุดในการแยกสัญญาณนาฬิกาแล้ว jitter ต่างๆก็สามารถจะถูกเฉลี่ยเข้าสู่ค่านอนเล็กๆค่าหนึ่ง วิธีที่ใช้ในทางปฏิบัติคือการใช้ตัว สแครมเบลอร์ (Scrambler) ประมวลผลขบวนข้อมูลใหม่ก่อนถูกส่งออก ขบวนข้อมูลใหม่ที่ได้จะมีลักษณะเข้าใกล้ค่าเชิงสุ่มมาก หลักการของการสแครมเบลคือการสร้างขบวนสัญญาณที่มีลักษณะเป็นค่าเชิงสุ่มเรียกว่า ลำดับฐานสองเชิงสุ่มเทียม ,PRBS (Pseudorandom Binary Sequence) มาทำการ เอ็กซ์คลูสิฟ-ออร์ (XOR) กับขบวนข้อมูลผลที่ได้ คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งยังมีให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.10 ตัวอย่างแหล่งกำเนิดเฟสจิทเตอร์ (a) สัญญาณภาพทดสอบ (b) บิตแพทเทิร์น (c) ขนาดของเฟสจิทเตอร์ที่เกิดกับสัญญาณนาฬิกา



รูปที่ 5.11 ตัวอย่างสแครมเบลอร์ขนาด 5 สเตจ (a) เซลฟ์ซิงโครไนซิงสแครมเบลอร์ (b) เซ็ต-รีเซ็ตสแครมเบลอร์

ขบวนข้อมูลใหม่ที่มีข้อมูลข่าวสารอยู่ด้วยและมีลักษณะเป็นค่าเชิงสุ่ม โดยแถมของตัวสแครมเบลอร์แสดงในรูปที่ 5.11 ซึ่งมีอยู่ 2 แบบคือ เซลฟ์ซิงโครไนซิงสแครมเบลอร์ (Self-Synchronizing Scrambler) และ เซ็ต-รีเซ็ตสแครมเบลอร์ (Set-Reset Scrambler) สแครมเบลอร์ทั้ง 2 แบบให้

ฟังก์ชันการทำงานที่เหมือนกันแต่ในทางปฏิบัติมักจะเลือกใช้แบบ เซลฟ์ซิงโครไนซ์ เนื่องจากแบบ เซิต-รีเซิตจะเกิดปัญหาในการซิงโครไนซ์ระหว่างตัวสแครมเบลอร์ทางด้านส่งและตัวดีสแครมเบลอร์ทางด้านรับ แต่สแครมเบลอร์แบบเซลฟ์ซิงโครไนซ์ก็มีข้อเสียเช่นเดียวกันคือเกิด ความผิดพลาดขยาย (Error expansion) ซึ่งจะได้อธิบายในภายหลัง

ความหมายของค่าเชิงสุ่มสำหรับระดับสัญญาณแบบดิจิทัลคือ โอกาสที่สัญญาณจะเป็นลอจิก 1 หรือลอจิก 0 มีเท่ากันคือ 0.5 นั่นก็คือโอกาสที่ขบวนข้อมูลจะเป็นขบวน 1 หรือ 0 ยาวๆมีน้อยมากการสร้างความเป็นสัญญาณเชิงสุ่มเทียมให้กับขบวนข้อมูลของตัวสแครมเบลอร์สามารถพิสูจน์ได้โดยใช้รูปที่ 5.11(b) ประกอบดังนี้ [9]

เมื่อกำหนดให้

โอกาสที่ขบวนข้อมูลเข้าจะมีระดับเป็นลอจิก 1 เป็น $p(1)$
 โอกาสที่ขบวนข้อมูลเข้าจะมีระดับเป็นลอจิก 0 เป็น $p(0)$
 โอกาสที่ขบวนข้อมูลที่เกิดจากตัวสแครมเบลอร์จะมีระดับเป็นลอจิก 1 เป็น $q(1)$
 โอกาสที่ขบวนข้อมูลที่เกิดจากตัวสแครมเบลอร์จะมีระดับเป็นลอจิก 0 เป็น $q(0)$
 ดังนั้น โอกาสที่ขบวนข้อมูลใหม่ที่ได้จะมีระดับลอจิกเป็น 1 เป็น

$$p1 = p(1)q(0) + p(0)q(1) \quad (5.5)$$

เมื่อตัวสแครมเบลอร์มีจำนวนสแตจมากพอจะถือว่าขบวนข้อมูลที่เกิดจากตัวสแครมเบลอร์มีความเป็นแรนดอม นั่นคือ

$$q(0) = q(1) = 0.5 \quad (5.6)$$

ดังนั้น

$$p1 = [p(1) + p(0)]0.5 = 0.5 \quad (5.7a)$$

และ

$$p0 = 1 - p1 = 0.5 \quad (5.7b)$$

จะเห็นได้ว่า

$$p1 = p0 = 0.5$$

ซึ่งแสดงให้เห็นว่าขบวนข้อมูลใหม่ที่ได้จะมีความเป็นค่าเชิงสุ่มเทียมโดยไม่ขึ้นอยู่กับการรูปแบบแพทเทิร์นของข้อมูลเข้าเลย

เมื่อพิจารณาความเป็นค่าเชิงสุ่มเทียมของขบวนข้อมูลที่เกิดจากตัวสแครมเบลอร์พบว่าขึ้นอยู่กับจำนวนสแตจ n และตำแหน่งการเทปจากชิฟท์รีจิสเตอร์ [14] ดังรูป 5.12 ซึ่งสามารถแสดงด้วยการการป้อนกลับเชิงเส้น คือ

$$a_r = c_1 a_{r-1} + c_2 a_{r-2} + \dots + c_n a_{r-n} \quad (5.8)$$

โดย $c_i = 1$ เมื่อมีการแปลค่าจากรีจิสเตอร์ตำแหน่ง i มาใช้
 $- 0$ เมื่อไม่มีการแปลค่ามาใช้
 a_{r-i} เป็นรีจิสเตอร์ตำแหน่ง i มีค่าเป็น 1 หรือ 0

ตัวดำเนินการ + และ $\times$ ในสมการ (5.8) เป็นตัวดำเนินการในกรอบของ กาโลอิสฟิลด์ $GF(2)$ (Galois field of 2 elements) มีคุณสมบัติ ดังนี้

$$\begin{array}{c|cc} \times & 0 & 1 \\ \hline 0 & 0 & 0 \\ 1 & 0 & 1 \end{array} \quad \begin{array}{c|cc} + & 0 & 1 \\ \hline 0 & 0 & 1 \\ 1 & 1 & 0 \end{array} \quad (5.9)$$

ซึ่งก็คือ ตัวดำเนินการ แอนด์ (AND) และ เอ็กซคลูสิฟ-ออร์ (XOR) นั้นเอง เมื่อป้อนสัญญาณไฟฟ้าให้กับตัวสแควมเบลอร์ในรูป 5.12 ก็จะได้ลำดับเลขฐานสอง $\{a_r\} = \{a_0 a_1 a_2 \dots\}$ ซึ่งลำดับนี้มีค่าแควมเตอร์สติกโพลิโนเมียล (Characteristic Polynomial) หรือ แทปโพลิโนเมียล (Tap Polynomial) เป็น [14]

$$\phi(x) = 1 - \sum_{k=1}^n c_k x^k \quad (5.10a)$$

ในกรอบของ GF(2) แล้วการดำเนินการ + และ - ให้ผลเหมือนกัน ดังนั้นสมการ (5.10a) เขียนให้อยู่ในรูปที่สะดวกขึ้นเป็น

$$\phi(x) = 1 + \sum_{k=1}^n c_k x^k \quad (5.10b)$$

การที่ตัวซีพีพีรีจีสเตอร์ขนาด n สเตจจะสามารถกำเนิดลำดับที่มีความเป็นค่าเชิงสุ่มมากที่สุด นั้น คาบการซ้ำของขบวนลำดับที่กำเนิดจะต้องมีความยาวมากที่สุดซึ่งมีค่าเป็น $2^n - 1$ ข้อพิจารณา

ในเชิงคณิตศาสตร์ที่จะได้ตามข้อกำหนดข้างต้นคือ โพลิโนเมียล $\phi(x)$ ต้องมีคุณสมบัติเป็น ปริมิตีฟ (primitive) ในกรอบ $GF(2)$ ซึ่งมีนิยามดังนี้

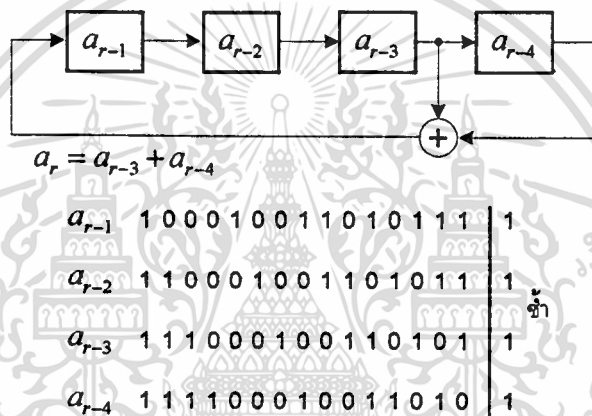
นิยาม โพลิโนเมียล $\phi(x)$ ที่มีดีกรี n จะเป็นปริมิตีฟในกรอบของ $GF(2)$ เมื่อ $\phi(x)$ ไม่สามารถแยกตัวประกอบได้ (ยกเว้นตัว $\phi(x)$ เองและ 1) และ

$\phi(x)$ สามารถหารเทอม $x^k + 1$ ได้ลงตัว เมื่อ $k = 2^n - 1$

$\phi(x)$ ไม่สามารถหารเทอม $x^k + 1$ ได้ลงตัว เมื่อ $k < 2^n - 1$

โดยจะแสดงได้ชัดเจนขึ้นจากตัวอย่าง 2 ตัวอย่างต่อไปนี้

ตัวอย่างที่ 5.1 พิจารณาชิฟร์จิสเตอร์ขนาด 4 แสดงในรูป 5.13 ต่อไปนี้



รูปที่ 5.13 ชิฟร์จิสเตอร์ป้อนกลับเชิงเส้น ขนาด 4 แสดง

จะได้พารามิเตอร์ต่างๆดังนี้

$$\begin{aligned} n &= 4 & 2^n - 1 &= 15 \\ c_1 &= c_2 = 0 & c_3 &= c_4 = 1 \end{aligned}$$

ดังนั้นสมการ (5.10b) จะเป็น

$$\phi(x) = x^4 + x^3 + 1 \quad (5.11)$$

ซึ่งไม่สามารถแยกตัวประกอบได้และ $\phi(x)$ สามารถหารเทอม $x^{15} + 1$ ในกรอบ $GF(2)$ ได้ลงตัว ดังนี้

$$(x^4 + x^3 + 1)(x^{11} + x^{10} + x^9 + x^8 + x^6 + x^4 + x^3 + 1) = x^{15} + 1$$

และ $\phi(x)$ ยังไม่สามารถหาร $x^k + 1$, $k < 15$ ได้ลงตัว ดังนั้น $\phi(x)$ ในสมการ (5.11) เป็นปริมิตีฟมีเงื่อนไขที่สามารถกำเนิดแพทเทิร์นหรือลำดับค่าเชิงสุ่มที่มีความยาวที่สุดที่จะเป็นได้ (รูป 5.13) คือ $2^4 - 1 = 15$ ข้อสังเกตคือ สถานะต่างๆที่เป็นไปได้คือ $2^n - 1$ แทนที่จะเป็น 2^n เนื่องจากไม่รวม

The diagram shows a discrete-time system with six blocks labeled 1 through 6. The blocks are connected in series from left to right. There are three feedback loops, each represented by a summing junction (a circle with a plus sign). The first summing junction receives the output of block 1 and the output of block 6. The second summing junction receives the output of block 2 and the output of block 6. The third summing junction receives the output of block 4 and the output of block 6. The output of each summing junction is fed back into the input of the corresponding block (block 1, block 2, and block 4 respectively).

$$\begin{array}{ll} n = 6 & 2^n - 1 = 63 \\ c_3 = c_5 = 0 & c_1 = c_2 = c_4 = c_6 = 1 \end{array}$$
$$\phi(x) = x^6 + x^4 + x^2 + x + 1 \quad (5.12)$$

ลงตัว ดังนี้

$$(x^6 + x^4 + x^2 + x + 1)(x^{15} + x^{13} + x^{10} + x^7 + x^6 + x^3 + x + 1) = x^{21} + 1$$

ซึ่ง $k = 21 < 2^6 - 1 = 63$ ดังนั้น $\phi(x)$ ไม่ใช่พหุนามซึ่งเมื่อพิจารณาแพทเทอร์นข้อมูลที่ได้ใน 1 คาบ (63) พบว่าประกอบด้วยแพทเทอร์นย่อยที่เหมือนกันความยาว 21 จำนวน 3 แพทเทอร์นซึ่งรวมความยาวได้ 63 พอดี จึงแสดงให้เห็นว่าโครงสร้างชุดซีฟรียัสเตอร์ในรูป 5.14 ไม่สามารถกำเนิดแพทเทอร์นเชิงส่มที่มีความยาวมากที่สุดได้

ตาราง 5.4 แสดงถึงตัวอย่างโพลิโนเมียล $\phi(x)$ ที่ n ค่าต่างๆที่มีคุณสมบัติเป็นพริมีทีฟ นอก
จากนี้แพทเทอร์ที่ยาวที่สุด $2^n - 1$ ยังมีคุณสมบัติอื่นๆที่ควรทราบอีก คือ [2]

- ใน 1 คาบแพทเทอร์นจะมีจำนวนโลจิก 1 มากกว่า โลจิก 0 อยู่ 1 เสมอ เนื่องจากสถานะที่ $a_1 = a_2 = \dots = a_r = 0$ ไม่เกิดขึ้น
- ค่า สหสัมพันธ์ (Autocorrelation) มีค่าสูงสุดเป็น $2^n - 1$ ที่จุดที่มีการเลื่อนค่าเท่ากับ ศูนย์และที่ตำแหน่งเป็นจำนวนเท่าของคาบแพทเทอร์น ส่วนที่จุดอื่นๆจะมีค่าเป็น -1

คุณสมบัติสหสัมพันธ์แสดงให้เห็นว่า เมื่อจำนวนสเตจ n เพิ่มมากขึ้นแพทเทิร์นของลำดับเชิงสุ่ม(Pseudorandom sequence)ที่ได้จะมีค่าความหนาแน่นของพลังงานแถบความถี่, PSD (Power Spectrum Density) ที่ราบเรียบซึ่งมีลักษณะเหมือนกับ ไวท์นอยส์ (White noise) บางครั้งจึงเรียก

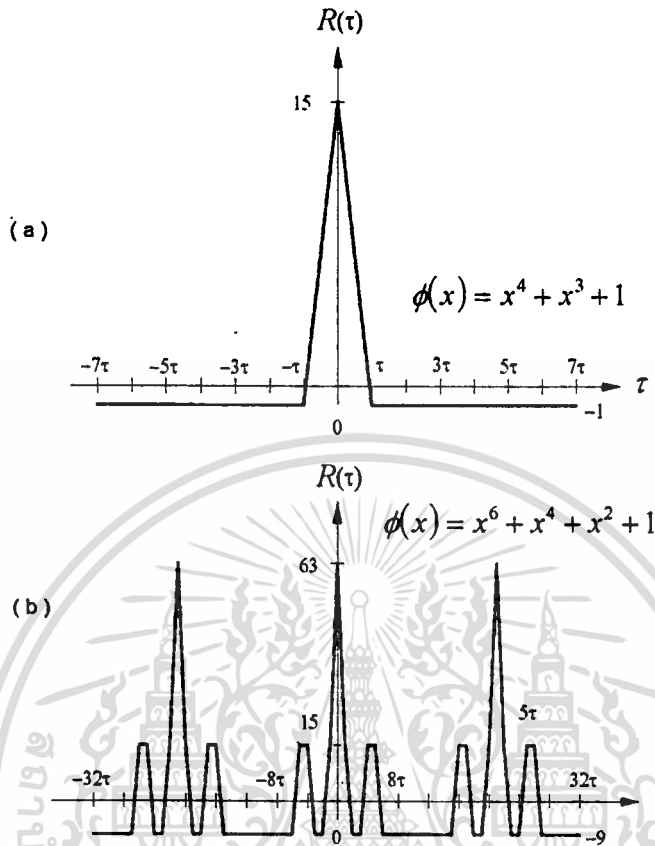
ตารางที่ 5.4 แสดงโพลิโนเมียล $\phi(x)$ ซึ่งสามารถกำเนิดแพทเทิร์นความยาว $2^n - 1$ โดยโพลิโนเมียล $\phi(x) = c_n x^n + c_{n-1} x^{n-1} + \dots + c_1 x + 1$ เขียนแทนด้วย $c_n c_{n-1} \dots c_1$

n		n		n		n	
2	111	7	10010001	8	101100011	10	10000001001
3	1011		10011101		101100101		10000011011
	1101		10100111		101101001		10000100111
4	10011		10101011		101110001		10000101101
	11001		10111001		110000111		10001100101
5	100101*		10111111		110001101		10001101111
	101001		11000001		110101001		10010000001
	101111		11001011		111000011		10010001011
	110111		11010011		111001111		...
	111011		11010101		111100111		
	111101		11100101		111110101	11	100000000101
6	1000011		11101111		1000010001	12	1010000000111
	1011011		11110001		1000011011	13	11000000000111
	1100001		11110111		1000100001	14	101000000000111
	1100111		11111101		1000101101	15	1000000000000011
	1101101	8	100011101		1000110011	16	10000000000101101
	1110011		100101011		1001011001	17	100000000000001001
7	10000011		100101101		1001011111	18	1000000000010000001
	10001001		101001101		1001101001	19	10000000000000100111
	10001111		101011111		...	20	100000000000000001001

* เป็นโพลิโนเมียลที่ใช้ในงานวิจัยนี้ (จากบทความวิจัย [9])

ลำดับเชิงสุ่มเทียมนี้ว่า นอส์เยเทียม (pseudo noise) รูป 5.15 แสดงค่าสหสัมพันธ์ของตัวกำเนิดแพทเทิร์น ในตัวอย่าง 5.1 และ 5.2 จากค่าสหสัมพันธ์ในรูป 5.15(a) แสดงให้เห็นว่า ลำดับเชิงสุ่มเทียมที่กำเนิดจากชุดชิฟท์รีจิสเตอร์ในตัวอย่าง 5.1 มีแถบความถี่ที่กว้างและราบเรียบ (เนื่องจากมีลักษณะเหมือนอิมพัลส์เดี่ยวแคบๆ) ส่วนรูป 5.15(b) ไม่เกิดค่าอิมพัลส์เดี่ยวๆแต่เกิดพัลส์ที่เหมือนกัน 3 ชุดซึ่งสอดคล้องกับการเกิดแพทเทิร์นที่เหมือนกัน 3 ชุดดังได้กล่าวมาแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



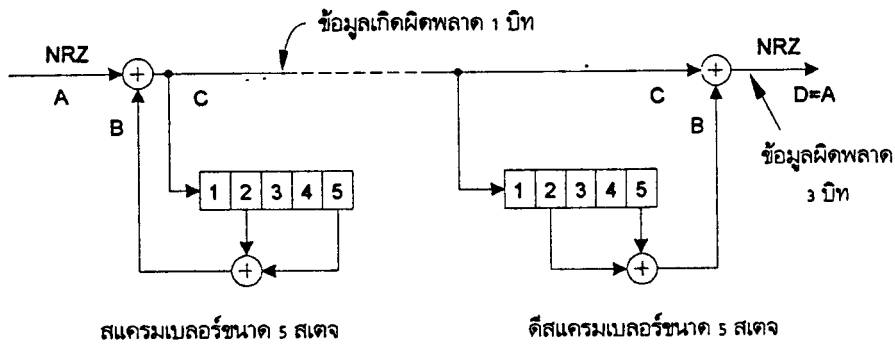
รูปที่ 5.15 แสดงค่าสหสัมพันธ์ของลำดับเชิงสุ่มเทียมที่เกิดจาก
(a) ตัวอย่างที่ 5.1 (b) ตัวอย่างที่ 5.2

อย่างไรก็ดี ถึงแม้ว่าการใช้ตัวสแครมเบลอร์จะให้ข้อดีหลายๆอย่างโดยเฉพาะการลดทอนฮิส-
เต็มเมติกจิทเตอร์และการแยกสัญญาณนาฬิกา แต่ต้องมีความระมัดระวังในการเลือกใช้เนื่องจากว่าถ้ามี
การผิดพลาดของข้อมูลเกิดขึ้นหลังจากที่ข้อมูลถูกส่งออกไปแล้ว (เกิดขึ้นขณะข้อมูลกำลังเดินทางไปยัง
เครื่องรับ) ตัวดีสแครมเบลอร์ที่เครื่องรับ (Descrambler) ซึ่งทำหน้าที่แปลงข้อมูลที่ถูกระบบลับให้
กลับมาอยู่ในรูปปกติ (NRZ-L) จะทำให้ข้อมูลมีความผิดพลาดมากยิ่งขึ้นอีก $w+1$ เท่า โดย w คือ
จำนวนจุดที่ถูกแทนออกมาจากชุดชิฟร์ที่จิสเตอร์ซึ่งอธิบายกลไกการเกิดการผิดพลาดที่เพิ่มขึ้นได้ดังนี้

จากรูป 5.16 ซึ่งเป็นไดอะแกรมแสดงการนำระบบการสแครมเบลอร์และดีสแครมเบลอร์ ขนาด
5 สเตจมาใช้กับระบบสื่อสารข้อมูล จะเห็นว่าเมื่อเกิดการผิดพลาดขึ้น 1 บิตระหว่างการส่ง เมื่อบิตข้อ-
มูลที่ผิดพลาดเดินทางมาถึงตัวดีสแครมเบลอร์ที่เครื่องรับส่วนหนึ่งจะไปปรากฏที่เอาต์พุตทันทีโดยผ่าน
ตัว XOR อีกส่วนหนึ่งถูกเก็บเข้าชิฟร์ที่จิสเตอร์ เนื่องจากชุดชิฟร์ที่จิสเตอร์มีจุดแทนออกมา 2 จุด ดังนั้น
เมื่อบิตที่ผิดพลาดถูกเลื่อนไปจนครบทุกสเตจย่อมจะต้องไปปรากฏที่เอาต์พุต 2 ครั้งโดยผ่านทางจุด
แทนทั้งสอง จึงรวมบิตผิดพลาดเป็น 3 บิต ดังนั้นถ้าระหว่างทางเกิดการผิดพลาดขึ้น m บิตเมื่อผ่านตัว
ดีสแครมเบลอร์แล้วความผิดพลาดจะเป็น $m(w+1)$ บิต โดย w เป็นจำนวนแทน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.16 แสดงตำแหน่งการติดตั้งระบบ เซลล์-ซึ่งโครโนซึ่งสแควมเบลอร์ ขนาด 5 สเตจและการเกิดความผิดพลาดขยาย (error extension) ของตัวดีสแควมเบลอร์

จากที่กล่าวมาจะเห็นว่า ความผิดพลาดจะเกิดเพิ่มมากขึ้นตามจำนวนแทป ดังนั้นหลักเกณฑ์ในการเลือกตัวสแควมเบลอร์ คือ

- 1) สำหรับสแควมเบลอร์ที่มีจำนวนสเตจ n เท่ากัน ควรเลือกตัวที่มีการแทปออกน้อยที่สุด
 - 2) สำหรับสแควมเบลอร์ที่มีจำนวนแทปเท่ากันแล้วควรเลือกตัวที่มีจำนวนสเตจมากกว่า
- ส่วนการดีสแควมเบลอร์สามารถพิสูจน์ได้ด้วยสมการสั้นๆจากรูป 5.16 ดังนี้

$$D = C + B = (A + B) + B = A \quad \text{ในกรอบ GF}(2)$$

สำหรับในงานวิจัยนี้เลือกใช้เซลล์ซึ่งโครโนซึ่งสแควมเบลอร์ ขนาด 5 สเตจ ดังรูป 5.16 มีแทปโพลิโนเมียลเป็น $\phi(x) = x^5 + x^2 + 1$ ซึ่งเป็นสแควมเบลอร์ที่อ้างอิงจากบทความวิจัย [9]

5.4 ทฤษฎีเฟสล็อกคูลูปเบื้องต้น (Basic Principles of Phase-Locked Loops)

ในหัวข้อนี้จะกล่าวถึงทฤษฎีเบื้องต้นของระบบ เฟสล็อกคูลูป ,PLL ซึ่งนำมาประยุกต์ใช้ในระบบแยกสัญญาณนาฬิกาโดยจะกล่าวโดยสังเขปเกี่ยวกับหลักการและชนิดของ เฟสดีเท็คเตอร์ ,PD (Phase Detector) และตัวกรองลูป (Loop filters) ซึ่งเป็นส่วนสำคัญที่กำหนดพฤติกรรมของระบบป้อนกลับในการอธิบายจะได้้นำวิธีการโบดพล็อต (Bode Plot) เข้ามาประกอบด้วยซึ่งจะทำให้การอธิบายง่ายขึ้น

5.4.1 ฟังก์ชันถ่ายโอนเบื้องต้น (Basic Transfer functions)

รูปที่ 5.17 แสดงไดอะแกรมของระบบเฟสล็อกคูลูป ,PLL เบื้องต้น โดยสัญญาณต่างๆจะเขียนในรูปของลาปลาซ ระบบจะประกอบด้วยส่วนที่สำคัญ 3 ส่วน คือ เฟสดีเท็คเตอร์ ,PD ทำหน้าที่เป็นเทียบเฟส $\phi_e(s)$ ของสัญญาณอินพุตและเฟส $\phi_o(s)$ ของสัญญาณเอาต์พุตเพื่อหาความต่างเฟส $\phi_e(s)$ ซึ่งจะถูกแปลงให้เป็นสัญญาณแรงดัน $V_d(s)$ โดยมีค่าคงที่ในการแปลงเป็น K_d จากนั้นส่งไปยัง ตัวกรองลูป (Loop filters) ซึ่งเป็นตัวกรองความถี่ต่ำผ่านมีฟังก์ชันถ่ายโอนเป็น $F(s)$ ทำหน้าที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรองเอาเฉพาะส่วนที่เป็นความถี่ต่ำของสัญญาณ $V_d(s)$ ได้เป็นสัญญาณแรงดัน $V_2(s)$ นำไปควบคุม ตัวกำเนิดความถี่ที่ควบคุมด้วยแรงดัน VCO (Voltage-Controlled Oscillator) ซึ่งมีค่าคงที่เป็น K_v กำเนิดเฟส $\phi_o(s)$ ย้อนกลับไปเปรียบเทียบกับ $\phi_i(s)$ ที่ตัว PD ควบคุมควบคุม

ระบบลูปป้อนกลับในทางปฏิบัติมักจะไม่มีความเป็นเชิงเส้นเนื่องจากส่วนประกอบที่สำคัญๆ ไม่มีความเป็นเชิงเส้น คือ แรงดัน $V_d(s)$ จากตัว PD ไม่เป็นสัดส่วนโดยตรงนักกับ เฟสเออเรอร์ $\phi_e(s)$ และความถี่ที่กำเนิดจากตัว VCO ก็มีความสัมพันธ์ไม่ค่อยเป็นเชิงเส้นนักกับแรงดันควบคุม $V_2(s)$ และพฤติกรรมของลูปจะยิ่งไม่เป็นเชิงเส้นมากขึ้นเมื่อลูปไม่ได้อยู่ในสภาพลอคแต่อย่างไรก็ดีในทางทฤษฎี จำเป็นต้องสมมติให้ระบบมีความเป็นเชิงเส้นเพื่อลดความซับซ้อนทางคณิตศาสตร์และการสมมติให้ลูปมีความเป็นเชิงเส้นทำให้เราสามารถพัฒนาคุณลักษณะเชิงคณิตศาสตร์ของลูปเพื่อนำไปใช้เป็นเครื่องมือในการออกแบบและเข้าใจการทำงานของลูปได้อย่างถูกต้อง

เมื่อกำหนดให้ความถี่ของสัญญาณอินพุตมีเฟสขณะใดๆเป็น $\phi_i(t)$ และเฟสขณะใดๆของความถี่ที่กำเนิดจากตัว VCO เป็น $\phi_o(t)$ ความถี่ของสัญญาณอินพุตและเอาต์พุตถูกหารด้วย M และ N ตามลำดับ หลังจากถูกหารแล้วจะถูกนำไปเปรียบเทียบกับที่ตัว เฟสดีเท็คเตอร์ PD ดังนั้น เฟสเออเรอร์ $\phi_e(s)$ ในรูปของลาปลาซจะเป็น

$$\phi_e(s) = \frac{\phi_i(s)}{M} - \frac{\phi_o(s)}{N} \quad (5.13)$$

และ
$$V_d = K_d \phi_e(s) \quad (5.14)$$

โดย K_d เป็นเกนของเฟสดีเท็คเตอร์ซึ่งมีค่าคงที่ มีหน่วยเป็น V/rad

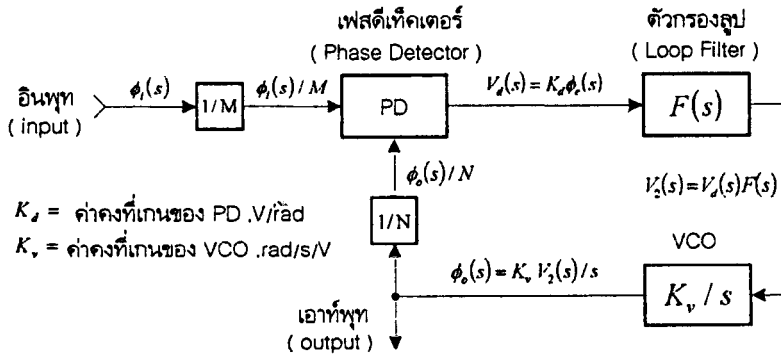
แรงดัน $V_d(s)$ จะถูกกรองโดยตัวกรองลูปซึ่งมีฟังก์ชันถ่ายโอนเป็น $F(s)$ ทำหน้าที่กรองสัญญาณความถี่สูงและสัญญาณรบกวนซึ่งอยู่นอกแถบความถี่ของลูปทิ้งไปสัญญาณเอาต์พุตของตัวกรองที่ได้จะเป็น

$$\begin{aligned} V_2(s) &= V_d(s)F(s) \\ &= K_d F(s) \phi_e(s) \end{aligned} \quad (5.15)$$

ซึ่งแรงดัน $V_2(s)$ จะถูกส่งไปควบคุมตัว VCO ทำให้ความถี่ที่กำเนิดมีค่าเปลี่ยนไปเป็น

$$\Delta \omega(s) = K_v V_2(s)$$

แต่เนื่องจาก $\Delta \omega(s) = L \left\{ \frac{d}{dt} \phi_o(t) \right\} = s \phi_o(s)$ ดังนั้น



รูปที่ 5.17 ไดอะแกรมแบบจำลองเชิงเส้นของ เฟสล็อกคัลลูป ,PLL

$$\phi_o(s) = \frac{K_d K_v F(s)}{s} \cdot \phi_e(s) \quad (5.16)$$

แทน $\phi_e(s)$ จากสมการ (5.13) จัดสมการใหม่จะได้

$$\begin{aligned} \frac{\phi_o(s)}{\phi_i(s)} &= H(s) = \frac{N}{M} \cdot \frac{K_d K_v F(s)/N}{s + K_d K_v F(s)/N} \\ H(s) &= \frac{N}{M} \cdot \frac{KF(s)/s}{1 + KF(s)/s} \end{aligned} \quad (5.17)$$

โดย $K = \frac{K_d K_v}{N}$

เรียก K ว่าเป็น ลูปเกน (Loop gain) ของระบบ และจากสมการ (5.17) ถ้ากำหนดให้

$$G(s) = \frac{KF(s)}{s} \quad (5.18)$$

ดังนั้นสมการ (5.17) จะเขียนได้ใหม่เป็น

$$H(s) = \frac{N}{M} \cdot \frac{G(s)}{1 + G(s)} \quad (5.19)$$

เรียก $G(s)$ ว่า ฟังก์ชันถ่ายโอนลูปเปิด (Open-Loop Transfer function) และเรียก $H(s)$ ว่า ฟังก์ชันถ่ายโอนลูปปิด (Closed-Loop Transfer function) ซึ่งแสดงความสัมพันธ์ระหว่างเฟส เอาต์พุตต่อเฟสอินพุต และถ้ากำหนดให้ตัวหาร $M=N$ สมการ (5.19) จะอยู่ในรูปที่ง่ายขึ้น คือ

$$H(s) = \frac{G(s)}{1 + G(s)} \quad (5.20)$$

ความสัมพันธ์อันหนึ่งที่น่าสนใจคือการใช้วิเคราะห์ค่า เฟสเออเรอร์ $\phi_e(s)$ ที่สถานะคงตัว (steady state) ต่อการเปลี่ยนแปลงใดๆของเฟสอินพุต คือ $\phi_e(s)/\phi_i(s)$ จากสมการ (5.13) แทนเทอม $\phi_o(s)$ ด้วยสมการ (5.6) จัดสมการใหม่จะได้

$$\frac{\phi_e(s)}{\phi_i(s)} = \frac{1}{M} \cdot \frac{1}{1 + G(s)} = \frac{1}{M} \cdot [1 - H(s)] \quad (5.21)$$

และพารามิเตอร์อีกตัวที่ใช้ควบคุม $\phi_e(s)$ ที่สถานะคงตัวคือ ค่าดีซีลูปเกน K_m (DC Loop gain) มีนิยามดังนี้

$$K_m = KF(0) \quad (5.22)$$

โดย $F(0)$ เป็น เกนแรงดันไฟตรงของตัวกรองรูป

การที่จะสามารถศึกษาถึงพฤติกรรมของรูปให้เข้าใจมากยิ่งขึ้นจำเป็นต้องมีความรู้เกี่ยวกับตัวกรองรูปด้วยและการควบคุมการทำงานของรูปให้ถูกต้องสามารถทำได้โดยการควบคุมค่าของพารามิเตอร์ 3 ตัวคือ

ความถี่ธรรมชาติของรูป ω_n (natural frequency)

ตัวประกอบหน่วง ζ (damping factor)

ดีซีลูปเกน K_m (DC Loop gain)

การกำหนดค่าขึ้นอยู่กับงานที่นำไปประยุกต์ใช้

อย่างไรก็ดี ก่อนที่จะได้กล่าวในหัวข้อต่อไปควรจะกล่าวถึงผลของตัวหาร M และ N ที่มีต่อสมรรถนะของรูป การนำตัวหารเข้ามาประกอบในรูปนั้นมีประโยชน์หลายประการเช่น การนำระบบ PLL มาใช้ในการสังเคราะห์ความถี่ทำให้สามารถสังเคราะห์ความถี่ที่สูงกว่าความถี่อ้างอิงอินพุตได้เป็นจำนวนเท่าของค่าตัวหาร คือ $f_o = Nf_i$ โดย N คือค่าตัวหารในรูปซึ่งสามารถโปรแกรมค่าได้ทำให้สามารถสังเคราะห์ความถี่ได้หลายค่าจากความถี่อ้างอิงค่าเดียว หรือในระบบสื่อสารข้อมูล ระบบ PLL ถูกนำมาใช้เพื่อสร้างสัญญาณนาฬิกาใหม่ที่มีเสถียรภาพและไม่มี jitter จากสัญญาณนาฬิกาอินพุตที่มี jitter มาก เช่น ถ้า jitter ที่เกิดขึ้นมีขนาดมาก (มากกว่า 1 ช่องเวลา) การใช้ PLL ที่ไม่มีตัวหาร รูปจะไม่สามารถล็อกได้ ดังนั้นจึงจำเป็นต้องใส่ตัวหารที่อินพุต (และที่เอาต์พุตของ VCO ด้วย) เพื่อลดขนาดของ jitter ลงให้น้อยกว่า 1 ช่องเวลาเพื่อให้รูปสามารถล็อกได้

แต่อย่างไรก็ดี การใช้ค่าตัวหาร N มากๆนั้น ก็ก่อให้เกิดผลที่ไม่ต้องการด้วยเช่นกัน คือ

1. รูปเกนจะถูกลดลง N เท่า ทำให้ผลตอบสนองทรานเซียนท์ (Transient response) ของรูปต่อการเปลี่ยนแปลงใดๆทางอินพุตช้าลง
2. สำหรับเฟสอินพุตที่มี jitter ที่อยู่ในแถบความถี่ผ่านของรูป เอาต์พุตเฟสที่ได้จะเกิด jitter ขนาด N/M เท่าของ jitter อินพุต ถ้า $M=N$ jitter ที่เอาต์พุตจะเท่ากับที่อินพุต แต่สำหรับ noise ที่เกิดที่อินพุตของตัว PD โดยไม่ได้ผ่านตัวหาร M noise จำนวนนี้จะถูกขยายเพิ่มขึ้นอีก N เท่าที่เอาต์พุต
3. เนื่องจาก $\phi_o = \frac{N}{M} \phi_i$ ($\phi_e \equiv 0$ ที่สภาวะอยู่ตัว) ดังนั้นที่สภาวะคงตัว (steady state) ก็จะมียังเกิดความต่างเฟสระหว่างอินพุตและเอาต์พุต (ยกเว้นกรณี $M=N$) ดังนั้นถ้าเป็นไปได้ควรหลีกเลี่ยงการใช้ค่าอัตราส่วนตัวหารทั้งสองที่มีค่ามากๆ

5.4.2 อันดับของฟังก์ชันถ่ายโอนรูป (Order of the Loop Transfer Function)

ก่อนที่จะได้กล่าวถึง อันดับ (Order) ของรูปวงจรจะได้กล่าวถึง แบบ (Type) ของรูปเป็นเบื้องต้นก่อน เนื่องจากแบบของรูปจะเป็นตัวชี้บอกเฟสเออเรอร์ $\phi_e(s)$ ของรูปที่สถานะคงตัวต่อสัญญาณอินพุตแบบต่างๆว่ามีค่าเป็นอย่างไร แบบของรูปพิจารณาได้จากจำนวน โพล (pole) ที่อยู่ที่จุดกำเนิดของฟังก์ชันถ่ายโอนรูปเปิด $G(s)$ เช่น

$$G(s) = \frac{K(s\tau_2 + 1)}{s^2\tau_1} \quad (\text{จากตาราง 5.5}) \quad \text{มีโพลที่จุดกำเนิด 2 จุด ดังนั้นเป็นรูปแบบที่ 2}$$

$$G(s) = \frac{K(s\tau_2 + 1)}{s(s\tau_1 + 1)} \quad (\text{จากตาราง 5.5}) \quad \text{มีโพลที่จุดกำเนิด 1 จุด ดังนั้นเป็นรูปแบบที่ 1}$$

ข้อสังเกตสำหรับแบบของรูปคือ แบบของรูปจะมีค่าน้อยกว่าหรือเท่ากับอันดับของรูปนั้นๆ

ส่วน อันดับ (Order) ของรูปคือ กำลังสูงสุดของ s ในโพลิโนเมียลที่เป็นตัวหารของฟังก์ชันถ่ายโอนรูปปิด $H(s)$ อันดับของรูปที่ใช้กันในปัจจุบันจะมีเพียง 3 อันดับ ส่วนอันดับสูงกว่านี้ไม่พบว่ามีที่ประยุกต์ใช้

1) รูปอันดับ 1 (First-Order Loop)

เป็นรูปที่ไม่มีตัวกรองอยู่ นั่นคือ $F(s) = 1$ มีฟังก์ชันถ่ายโอนรูปปิดเป็น

$$H(s) = \frac{K}{s + K} \quad (5.23)$$

ตัวแปรที่ควบคุมพฤติกรรมของรูปมีตัวเดียวคือ K การประยุกต์ใช้สำหรับรูปอันดับ 1 จำกัดมากและไม่เป็นที่นิยมใช้

2) รูปอันดับ 2 (Second-Order Loop)

ตัวกรองที่ใช้สำหรับรูปอันดับ 2 แสดงในตารางที่ 5.5 ซึ่งเป็นตัวอย่างตัวกรองรูป 2 แบบคือ ตัวกรองแอกทีฟ (Active filters) และ ตัวกรองพาสซีฟ (Passive filter) ซึ่งให้สมรรถนะของรูปที่ต่างกันในส่วนของ เฟสเออเรอร์ $\phi_e(s)$ ที่สถานะคงตัว ซึ่งจะได้กล่าวในตอนต่อไป

- ตัวกรองรูปพาสซีฟ (Passive Loop filter)

มีฟังก์ชันถ่ายโอนเป็น

ตาราง 5.5 แสดงตัวกรองรูปพาสซีฟ และแอคทีฟที่ใช้ในรูปอันดับ 2

	ตัวกรองแอคทีฟ (Active filter)	ตัวกรองพาสซีฟ (Passive filter)
วงจร		
ฟังก์ชันถ่ายโอน	$F(s) = \frac{s\tau_2 + 1}{s\tau_1}$ $\tau_1 = R_1 C, \tau_2 = R_2 C, A \rightarrow \infty$	$F(s) = \frac{s\tau_2 + 1}{s\tau_1 + 1}$ $\tau_1 = (R_1 + R_2)C, \tau_2 = R_2 C$
โบดไดอะแกรม		

$$F(s) = \frac{s\tau_2 + 1}{s\tau_1 + 1} \quad (5.24a)$$

$$F(s) = \frac{R_2}{R_1 + R_2} \cdot \frac{s + 1/\tau_2}{s + 1/\tau_1}$$

$$F(s) = K_h \cdot \frac{s + 1/\tau_2}{s + 1/\tau_1} \quad (5.24b)$$

เมื่อ $K_h = R_2 / (R_1 + R_2)$

มีฟังก์ชันถ่ายโอนรูปปิดเป็น

$$H(s) = \frac{K(s\tau_2 + 1)}{s^2\tau_1 + s(K\tau_2 + 1) + K} \quad (5.25a)$$

และในรูปของพารามิเตอร์ ω_n, ζ เป็น

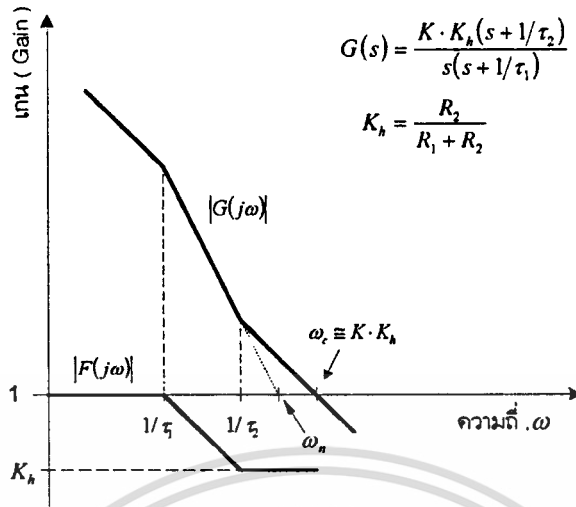
$$H(s) = \frac{s[2\zeta\omega_n - (\omega_n^2/K)] + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (5.25b)$$

$$\text{โดย } \omega_n = \sqrt{\frac{K}{\tau_1}}$$

$$\zeta = \frac{\omega_n}{2} \left(\tau_2 + \frac{1}{K} \right)$$

ฟังก์ชันถ่ายโอนรูปเปิดเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.18 โปดไดอะแกรมแสดงฟังก์ชันถ่ายโอนรูปเปิด $H(s)$ และฟังก์ชันถ่ายโอนของตัวกรองพาสซีฟ $F(s)$ ของรูปอันดับ 2

$$G(s) = K \cdot K_h \frac{(s + 1/\tau_2)}{s(s + 1/\tau_1)} \quad (5.26)$$

พิจารณา $G(s)$ จะพบว่า มี ซีโร่ (zero) อยู่ 1 จุด ที่ $-1/\tau_2$ และมี โพล (pole) อยู่ 2 จุด ที่ 0 , $-1/\tau_1$ ดังนั้นจึงเป็นรูปแบบที่ 1 ผลตอบสนองความถี่ของ $G(s)$ และ $F(s)$ แสดงด้วยโปดไดอะแกรมดังรูปที่ 5.18 จากไดอะแกรมมีจุดที่น่าสนใจคือ เส้นกราฟตัดแกน 1 ที่ความถี่ ω_c ซึ่งที่จุดนี้ทำให้

$$|G(s)| = 1 \quad (5.27a)$$

โดย ω_c มีค่าสอดคล้องโดยประมาณในรูปคือ [6]

$$\omega_c \cong K \cdot K_h \quad (5.27b)$$

ซึ่ง ω_c ที่ได้นี้คือ แถบความถี่ของรูปนั้นเอง

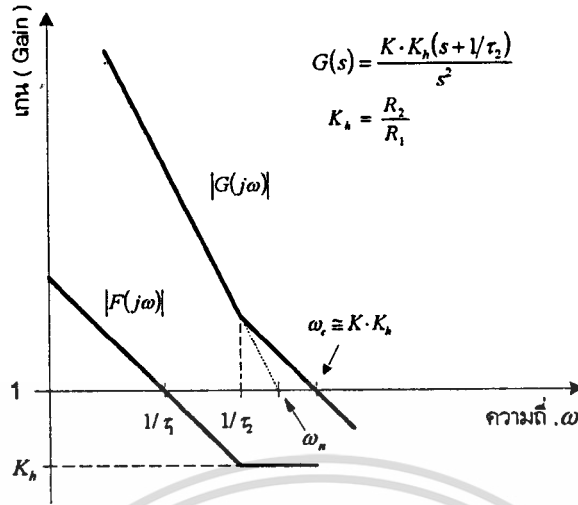
ค่า ดีซีลูปเกน เป็น $K_m = KF(0) = K \quad (5.28)$

- ตัวกรองรูปแอกทีฟ (Active Loop filter)
ฟังก์ชันถ่ายโอนของตัวกรองเป็น

$$F(s) = \frac{s\tau_2 + 1}{s\tau_1} \quad (5.29a)$$

$$F(s) = \frac{R_2 (s + 1/\tau_2)}{R_1 s}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.19 โปตโตอะแกรมของฟังก์ชันถ่ายโอนรูปเปิด $H(s)$ และฟังก์ชันถ่ายโอนของตัวกรองแอกทีฟ $F(s)$ ของรูปอันดับ 2

$$F(s) = K_h \frac{(s + 1/\tau_2)}{s} \quad (5.29b)$$

โดย $K_h = \frac{R_2}{R_1}$

ฟังก์ชันถ่ายโอนรูปเปิดเป็น

$$H(s) = \frac{K(s\tau_2 + 1)}{s^2\tau_1 + sK\tau_2 + K} \quad (5.30a)$$

และในรูปของพารามิเตอร์ ω_n , ζ เป็น

$$H(s) = \frac{2\zeta\omega_n s + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (5.30b)$$

โดย $\omega_n = \sqrt{\frac{K}{\tau_1}}$

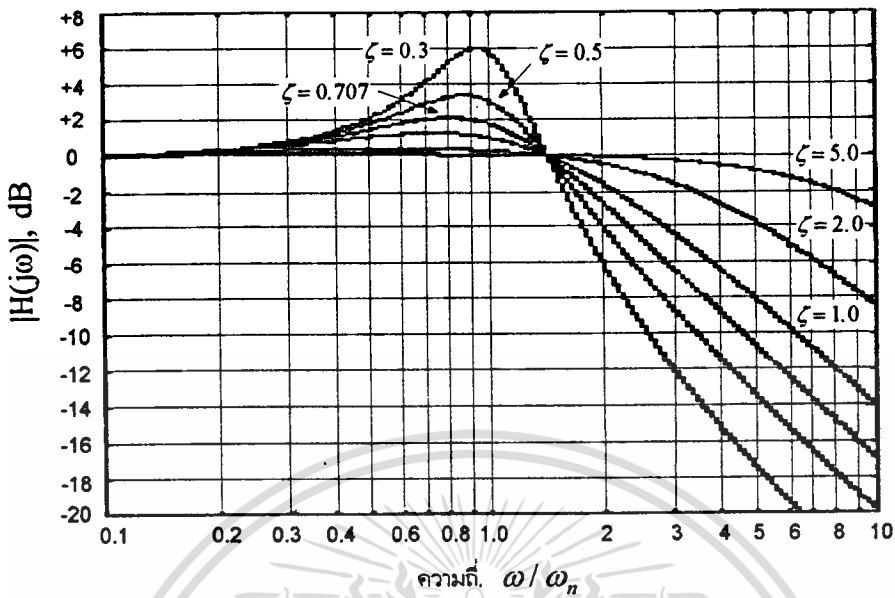
$$\zeta = \frac{\tau_2}{2} \cdot \omega_n$$

ฟังก์ชันถ่ายโอนรูปเปิดเป็น

$$G(s) = \frac{KK_h(s + 1/\tau_2)}{s^2} \quad (5.31)$$

เมื่อพิจารณาฟังก์ชัน $G(s)$ พบว่ามี ซีโร อยู่ 1 จุด ที่ $-1/\tau_2$ และโพลอยู่ 2 จุด คือที่ 0 ดังนั้น จึงเป็นรูปแบบที่ 2 ผลตอบสนองความถี่ของ $G(s)$ และ $F(s)$ แสดงด้วยโปตโตอะแกรม ดังรูปที่ 5.19 เช่นเดียวกับพาสซีฟรูปเส้นกราฟตัดแกน 1 ที่ ω_c ซึ่งเป็นแถบความถี่ของรูป คือ

$$\omega_c \cong K \cdot K_h \quad (5.32)$$



รูปที่ 5.20 ผลตอบสนองความถี่ของรูปอันดับ 2 ซึ่งใช้ตัวกรองแบบแอกทีฟ (ตาราง 5.5)

ดีซีรูปเกนสูงกว่าพาสซีฟรูปเป็นอันมาก คือ $K_m = K \cdot F(0)$ (5.33)

พิจารณาจากสมการ (5.29b) จะเห็นว่า $F(0)$ มีค่าเป็นอนันต์แต่ในทางปฏิบัติ $F(0)$ คือ เกนรูปเปิด (Open-Loop gain) ของออปแอมป์ซึ่งไม่มีค่าเป็นอนันต์แต่มีค่าสูงมากอยู่แล้ว ซึ่งจะมีข้อดีในเรื่องสมรรถนะในการแทรกก็งตามสัญญาณอินพุทของรูป ซึ่งจะได้กล่าวต่อไป

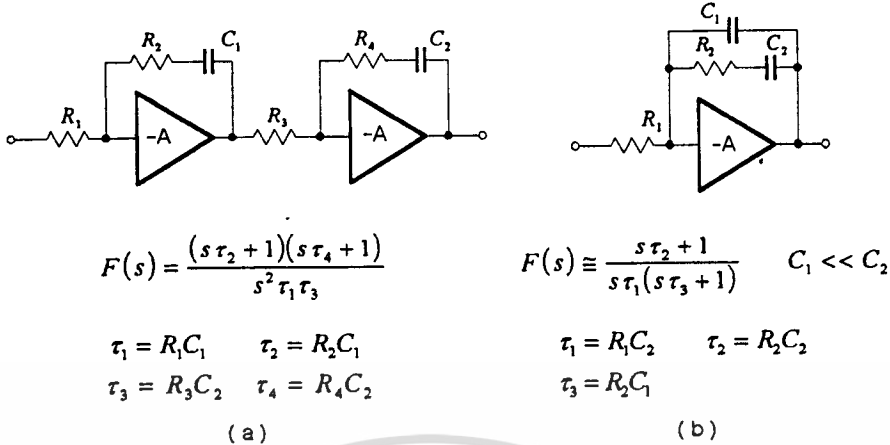
รูปที่ 5.20 แสดงเส้นโค้งผลตอบสนองความถี่ของรูปอันดับ 2 ซึ่งใช้ตัวกรองแบบแอกทีฟแสดงให้เห็นว่ารูปมีพฤติกรรมเป็นตัวกรองความถี่ต่ำผ่านที่มีต่อการเปลี่ยนแปลงของเฟสอินพุทอันเนื่องมาจากสัญญาณรบกวน หมายความว่าอัตราการเปลี่ยนแปลงของเฟสอินพุท $\phi_i(s)$ ที่มีขนาดเล็กกว่าแถบความถี่รูปเท่านั้นที่สามารถหลุดเข้ามาในรูปและผ่านออกไปสู่เฟสเอาต์พุท $\phi_o(s)$ ได้ ซึ่งความถี่ตามแกนนอนนอมัลไลซ์ไว้ที่ ω_n ค่าตัวประกอบการหน่วง ζ ที่ถือว่าทำให้รูปมีผลตอบสนองที่เหมาะสมทั้งความถี่และทรานเซียนท์อยู่ที่ประมาณ 0.7

รูปอันดับ 2 เป็นรูปที่มีการประยุกต์ใช้งานในด้านต่างๆอย่างกว้างขวางโดยเฉพาะแอกทีฟรูปเนื่องจากลักษณะตัวกรองที่สร้างง่าย ไม่ซับซ้อนและมีเกนรูปเปิดที่สูงมาก แต่อย่างไรก็ดีในการประยุกต์ใช้งานบางด้านที่ต้องการสมรรถนะในการแทรกก็งต่อการเปลี่ยนแปลงเฟสของสัญญาณอินพุทที่มีลักษณะจำเพาะก็ยังไม่สามารถใช้รูปอันดับ 2 ได้

3) รูปอันดับ 3 (Third-Order Loop)

รูปอันดับ 3 มีการนำไปประยุกต์ใช้เฉพาะงานเท่านั้นจึงไม่เป็นที่แพร่หลาย ตัวกรองรูปที่นิยมใช้กันมี 2 แบบ ดังรูป 5.21 ซึ่งจะได้กล่าวเฉพาะในรูป 5.21b เท่านั้นเนื่องจากเป็นแบบที่เลือกใช้งานวิจัยนี้จากรูป 5.21b ตัวกรองมีฟังก์ชันถ่ายโอนเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.21 ตัวกรองที่ใช้ในลู่อันดับ 3 แสดงโครงสร้างวงจร และฟังก์ชันถ่ายโอน

$$F(s) \cong \frac{s\tau_2 + 1}{s\tau_1(s\tau_3 + 1)} \quad (5.34a)$$

$$F(s) \cong \frac{R_2}{R_1} \cdot \frac{(s + 1/\tau_2)}{s(s\tau_3 + 1)}$$

$$F(s) \cong K_h \frac{(s + 1/\tau_2)}{s(s\tau_3 + 1)}$$

(5.34b)

โดย $K_h = \frac{R_2}{R_1}$

มีฟังก์ชันถ่ายโอนลู่อปิด เป็น

$$H(s) = \frac{K(s\tau_2 + 1)}{s^3\tau_1\tau_3 + s^2\tau_1 + sK\tau_2 + K} \quad (5.35)$$

และมีฟังก์ชันถ่ายโอนลู่อเปิดเป็น

$$G(s) = K \cdot K_h \frac{(s + 1/\tau_2)}{s^2(s\tau_3 + 1)} \quad (5.36)$$

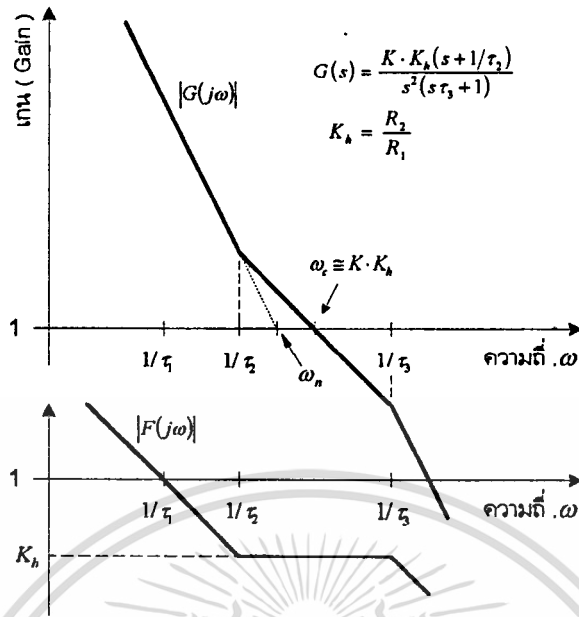
และเมื่อพิจารณา $G(s)$ พบว่ามีขั้ว 1 จุด ที่ $-1/\tau_2$ และโพล 3 จุด ที่ $0, 0, -1/\tau_3$ ดังนั้นจึงเป็นรูปแบบที่ 2 ผลตอบสนองความถี่ของ $G(s)$ และ $F(s)$ แสดงด้วยโบดไดอะแกรมดังรูป 5.22 ส่วนแถบความถี่ลู่อจะยังคงอยู่ที่

$$\omega_c = KK_h \quad \text{ถ้า} \quad \omega_3 > \omega_c, \quad \omega_3 = 1/\tau_3$$

และ ดีซีลู่อแกน

$$K_m = KF(0) \quad \text{ซึ่งมีค่าสูงมาก}$$

จากสมการ (5.35) จะพบว่าฟังก์ชันถ่ายโอนของลู่ออันดับ 3 เริ่มมีความซับซ้อนมากขึ้นดังนั้นการจัดเทอมให้อยู่ในรูปพหามิตอร์มาตรฐาน ω_n, ζ จึงมีความยุ่งยากมากและไม่ปรากฏว่าพบรายละเอียดการนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.22 โพลไดอะแกรมของฟังก์ชันถ่ายโอนรูปเปิด $H(s)$ และฟังก์ชันถ่ายโอนของตัวกรองแอกทีฟ $F(s)$ ของรูปอันดับ 3

เอียงเกี่ยวกับพารามิเตอร์ ω_n , ζ ของรูปอันดับ 3 ในหนังสืออ้างอิงต่างๆ ดังนั้นจึงไม่สามารถแสดง ฟังก์ชันถ่ายโอนของรูปในรูปนี้ได้ แต่อย่างไรก็ดี ถ้าควบคุมให้ ω_3 มีค่ามากพอ โดย $\omega_3 > \omega_c$ แล้วจะสามารถประมาณค่าการคำนวณได้ด้วยรูปอันดับ 2

5.4.3 คุณสมบัติการแทรกกึ่งและเฟสเออเรอร์ที่สถานะคงตัว

(Tracking Properties and Steady-State Phase Errors)

ในหัวข้อนี้จะได้ศึกษาถึงคุณสมบัติในการแทรกกึ่งตามสัญญาณอินพุทของรูปเมื่อสัญญาณอินพุทมีการเปลี่ยนแปลงในรูปแบบต่างๆ โดยศึกษาผ่านทาง เฟสเออเรอร์ $\phi_e(s)$ ที่สถานะคงตัวของรูป ความรู้นี้ทำให้เราสามารถประยุกต์ใช้รูปได้ถูกต้องและเหมาะสมกับงาน

จากสมการ (5.21) ซึ่งแสดงความสัมพันธ์ระหว่าง $\phi_e(s)$ และ $\phi_i(s)$ ดังนี้

$$\frac{\phi_e(s)}{\phi_i(s)} = \frac{1}{M} \cdot [1 - H(s)] = \frac{1}{M} \cdot \frac{1}{1 + G(s)}$$

และนิยามของเฟสเออเรอร์ที่สถานะคงตัว ϕ_e เมื่อเทียบกับกรอบของลาปลาซ เป็น

$$\phi_e = \lim_{t \rightarrow \infty} [\phi(t)_e] = \lim_{s \rightarrow 0} [s \phi_e(s)] \quad (5.37a)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\text{โดย } \phi_e(s) = \frac{1}{M} \cdot \frac{1}{1+G(s)} \cdot \phi_i(s) \quad (5.37b)$$

การพิจารณา $\phi_e(s)$ ที่สถานะคงตัวจะพิจารณาตามลักษณะของสัญญาณเฟสอินพุท โดยแบ่งเป็น 3 กรณี

- 1) เฟสอินพุทเปลี่ยนในลักษณะสเตป คือ $\phi_i(t) = \phi_i u(t)$

$$\text{ดังนั้น } \phi_i(s) = \frac{\phi_i}{s} \quad (5.38a)$$

- 2) ความถี่ของสัญญาณอินพุทเปลี่ยนในลักษณะสเตป (เฟสเปลี่ยนเป็นเชิงเส้น)

$$\text{คือ } \frac{d}{dt} \phi_i(t) = \Delta \omega \cdot u(t)$$

$$\text{ดังนั้น } \phi_i(s) = \frac{\Delta \omega}{s^2} \quad (5.38b)$$

- 3) ความถี่ของสัญญาณอินพุทเปลี่ยนในลักษณะเป็นเชิงเส้นกับเวลา

$$\text{คือ } \frac{d}{dt} \phi_i(t) = \Delta \omega t \cdot u(t)$$

$$\text{ดังนั้น } \phi_i(s) = \frac{\Delta \omega}{s^3} \quad (5.38c)$$

ผลตอบสนองของรูปต่ออินพุทแบบต่างๆจะเป็นอย่างไรนั้นขึ้นอยู่กับ แบบ (Type) ของรูป ดังตัวอย่าง ผลตอบสนองของรูปอันดับ 1 แบบที่ 1 (มีเพียงแบบเดียว) ที่มีต่ออินพุททั้ง 3 แบบ ดังนี้ สำหรับรูปอันดับที่ 1 เมื่อ $M=N=1$

$$G(s) = \frac{KF(s)}{s}$$

$$G(s) = \frac{K}{s}, \quad F(s) = 1 \quad (5.39)$$

ดังนั้น

$$\phi_e(s) = \frac{s}{s+K} \phi_i(s)$$

- กรณีที่ 1 เฟสอินพุทเปลี่ยนในลักษณะสเตป

$$\hat{\phi}_e = \lim_{s \rightarrow 0} \left[s \cdot \frac{s}{(s+K)} \cdot \frac{\phi_i}{s} \right] = 0 \quad (5.40a)$$

- กรณีที่ 2 ความถี่ของสัญญาณอินพุทเปลี่ยนในลักษณะสเตป

$$\hat{\phi}_e = \lim_{s \rightarrow 0} \left[s \cdot \frac{s}{(s+K)} \cdot \frac{\Delta \omega}{s^2} \right] = \frac{\Delta \omega}{K} \quad (5.40b)$$

- กรณีที่ 3 ความถี่ของสัญญาณอินพุทเปลี่ยนในลักษณะเป็นเชิงเส้นกับเวลา

$$\hat{\phi}_e = \lim_{s \rightarrow 0} \left[s \cdot \frac{s}{(s+K)} \cdot \frac{\Delta \omega}{s^3} \right] = \frac{\Delta \omega \cdot t}{K} \quad (5.40c)$$

ตารางที่ 5.6 สรุปผลตอบสนองของรูปทั้ง 3 แบบที่มีต่อเฟสอินพุททั้ง 3 แบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.6 เฟสเออเรอร์ที่สถานะคงตัวของรูปแบบต่างๆที่มีต่อการเปลี่ยนแปลงเฟสอินพุท

การเปลี่ยนแปลงอินพุท $\phi_i(s)$	การเปลี่ยนแปลงเอาต์พุต . Φ_e		
	รูปแบบที่ 1	รูปแบบที่ 2	รูปแบบที่ 3
เฟสเปลี่ยนเป็นสเตป	0	0	0
ความถี่เปลี่ยนเป็นสเตป	$\frac{\Delta \omega}{K}$	0	0
ความถี่เปลี่ยนเป็นเชิงเส้น (เรมพ์)	$\frac{\Delta \omega t}{K}$	$\frac{\Delta \omega}{\omega_n^2}$	0

จากตารางจะเห็นว่ามีรูปแบบที่ 3 ซึ่งเป็นรูปอันดับ 3 เท่านั้น (รูปอันดับ 3 นั้นมีทั้งรูปแบบที่ 2 และรูปแบบที่ 3 ดังโครงสร้างวงจรกรองในรูป 5.21(b) และ (a) ตามลำดับ) ที่สามารถแทรกตามเฟสอินพุทได้ทุกแบบโดยไม่มีเฟสเออเรอร์ ($\Phi_e = 0$) เกิดขึ้น สำหรับรูปแบบที่ 2 (เฉพาะรูปที่ไรด์วงจรแบบแอกทิฟเท่านั้น) เกิดเฟสเออเรอร์ค่าคงที่ (รูปยังลือคอยู่) เฉพาะกรณีอินพุทมีการเปลี่ยนความถี่เป็นเชิงเส้นกับเวลา ดังรูป 5.23 จะเห็นว่าเส้นโค้งลู่เข้าสู่ค่า 1 ซึ่งนอ้มัลไลซ์ไว้ที่ $\Delta \omega / \omega_n^2$ ส่วนรูปแบบที่ 1 เกิดเฟสเออเรอร์ค่าคงที่กรณีอินพุทมีการเปลี่ยนความถี่เป็นสเตปและเมื่อความถี่อินพุทเปลี่ยนเป็นเชิงเส้นกับเวลารูปไม่สามารถลือคอยู่ได้

ส่วนกรณีผลของพารามิเตอร์ ดีซีลูเกน K_m ที่มีต่อเฟสเออเรอร์ที่สถานะคงตัว พิจารณาได้กรณีอินพุทมีการเปลี่ยนแปลงแบบสเตปความถี่ สำหรับรูปทั้ง 3 แบบ Φ_e จะอยู่ในรูป

$$\Phi_e = \lim_{s \rightarrow 0} \left[s \cdot \frac{s}{s + KF(s)} \cdot \frac{\Delta \omega}{s^2} \right] = \frac{\Delta \omega}{KF(0)}$$

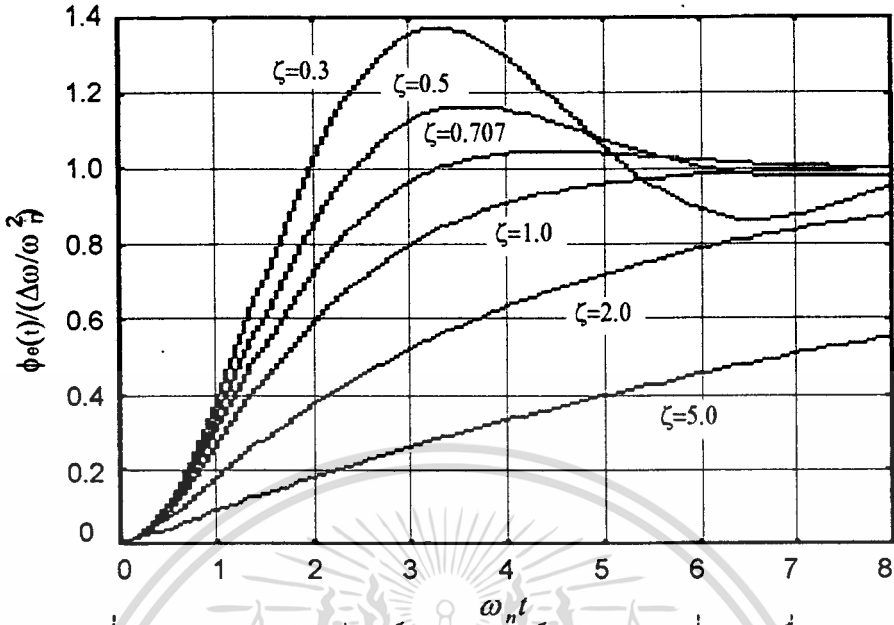
$$\Phi_e = \frac{\Delta \omega}{K_m} \quad (5.41)$$

จะเห็นว่าในกรณีนี้ Φ_e จะขึ้นอยู่กับ K_m ซึ่งแสดงให้เห็นว่า ตัวกรองรูปแบบแอกทิฟมีข้อดีเหนือกว่าตัวกรองรูปแบบพาสซีฟเนื่องจากมีค่า K_m สูงกว่ามากดังนั้นสมรรถนะในการแทรกก็ตามสัญญาณอินพุทที่สภาวะคงตัวก็จะดีกว่าด้วย

5.4.4 เฟสดีเท็คเตอร์ (Phase Detector)

เฟสดีเท็คเตอร์ .PD ที่ใช้ในระบบ PLL นั้นมีหลายแบบ เช่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



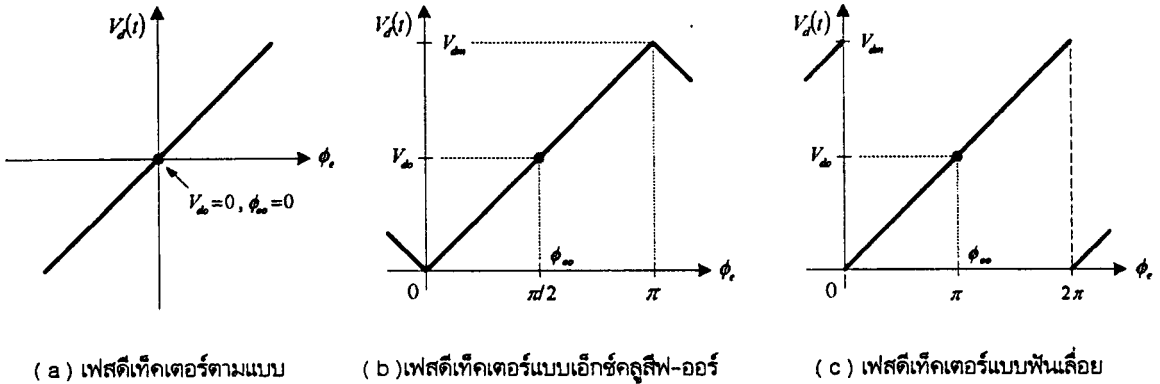
รูปที่ 5.23 แสดงทรานเซียนท์เฟสเออเรอร์ของรูปแบบที่ 2 อันเนื่องมาจากอินพุตเปลี่ยนความถี่แบบแร่มพ์

แซมเปิลแอนด์โฮลเฟสดีเท็คเตอร์ (Sample and Hold Phase Detector)
 ดิสคริมิเนเตอร์เฟสดีเท็คเตอร์ (Discriminator-type Phase Detector)
 เฟสดีเท็คเตอร์แบบตัวคูณ (Multiplying-Type Phase Detector)
 ดิจิตอลเฟสดีเท็คเตอร์ (Digital Phase Detector)

ซึ่งแต่ละชนิดมีคุณสมบัติที่ต่างกันและประยุกต์ใช้ในงานที่ต่างกัน แต่ 2 แบบหลักคือ เฟสดีเท็คเตอร์แบบตัวคูณ และ ดิจิตอลเฟสดีเท็คเตอร์ มีการใช้กันมากในระบบ PLL โดยแบบแรกประยุกต์ใช้กับสัญญาณโคไซน์ และแบบหลังใช้กับสัญญาณอินพุตที่เป็นดิจิตอลซึ่งสอดคล้องกับงานวิจัยนี้ ดังนั้นในหัวข้อนี้จะได้กล่าวถึงแต่เฉพาะ ดิจิตอลเฟสดีเท็คเตอร์ โดยจะเสนอเฟสดีเท็คเตอร์ 3 แบบที่นิยมใช้กัน คือ เฟสดีเท็คเตอร์แบบเอ็กซ์คลูสิฟ ,XOR-PD (Exclusive-OR PD) ,แบบฟันเลื่อย ,SPD (Sawtooth PD) และแบบเฟส-ความถี่ ,PFD (Phase-Frequency PD)

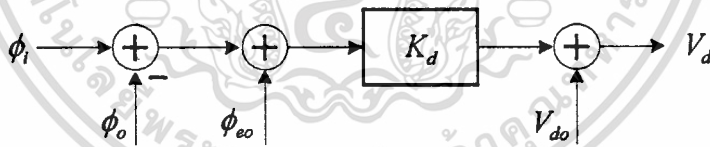
ในการเลือกใช้ตัวเฟสดีเท็คเตอร์ ,PD มีข้อที่ควรพิจารณาคือ

- เลือกให้เหมาะสมกับประเภทของสัญญาณอินพุตที่ใช้ เช่น อนาลอก ,ดิจิตอล
- ความเป็นเชิงเส้นระหว่าง เฟสเออเรอร์ทางอินพุตกับแรงดันเอาต์พุต เฟสดีเท็คเตอร์ที่ดีควรมีความเป็นเชิงเส้นสูง
- พิสัยของเฟสเออเรอร์ทางอินพุตที่ยังให้เอาต์พุตที่มีความเป็นเชิงเส้น เฟสดีเท็คเตอร์ที่มีพิสัยของเฟสเออเรอร์ที่กว้างกว่าจะมีความต้านทานต่อการแทรกสอดของนอัสยดีกว่าเฟสดีเท็คเตอร์ที่มีพิสัยที่แคบกว่า



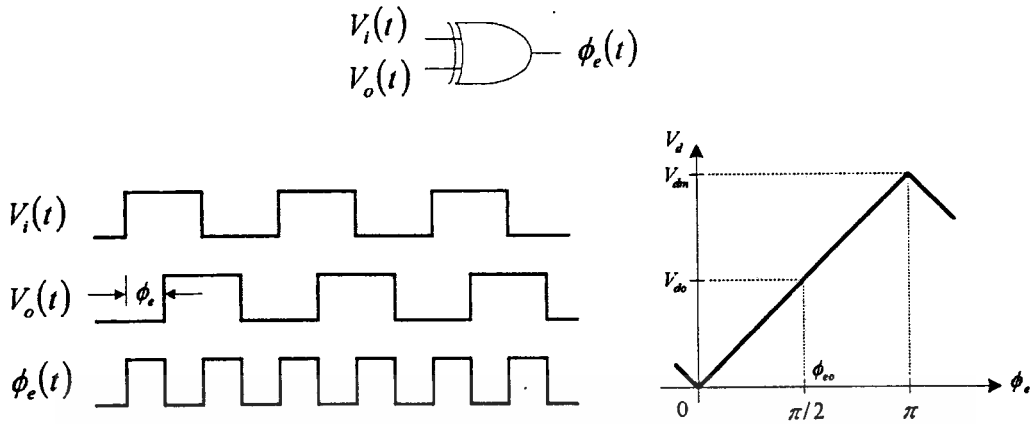
รูปที่ 5.24 แสดงตัวอย่างเฟสดีเท็คเตอร์ที่มีช่วงและจุดลื่นไหลต่างกัน

ก่อนที่จะได้กล่าวถึงคุณสมบัติของเฟสดีเท็คเตอร์ควรจะได้ทำความเข้าใจเป็นเบื้องต้นเพื่อความไม่สับสนก่อนว่า ในทฤษฎีของระบบ PLL ที่ได้กล่าวมาแล้วนั้นได้นิยามคุณสมบัติของตัวเฟสดีเท็คเตอร์เพื่อให้การวิเคราะห์ทางคณิตศาสตร์ไม่ซับซ้อนคือ เมื่อระบบอยู่ในสภาวะลื่นไหลตัว PD จะทำงานอยู่ที่จุด $\phi_e(s) = 0$ และ $V_d(s) = K_d \phi_e(s) = 0$ ดังในรูป 5.24(a) จะสังเกตเห็นว่า จุดทำงานดังกล่าวอยู่ที่จุดกึ่งกลางของพิสัยทำงานที่เป็นเชิงเส้นของตัว PD แต่เนื่องจาก PD นั้นมีหลายแบบแต่ละแบบมีคุณสมบัติที่ต่างกันออกไป ดังนั้นจุดกึ่งกลางของพิสัยการทำงานย่อมต่างกันออกไป เช่น ในรูป 5.24(b) ซึ่งเป็น XOR-PD มีจุดกึ่งกลางอยู่ที่ $\phi_{eo} = \pi/2$, $V_{do} = V_{dm}/2$ ส่วนในรูป 5.24(c) ซึ่งเป็น SPD จะอยู่ที่ $\phi_{eo} = \pi$, $V_{dm} = V_{dm}/2$ ดังนั้นถ้าจะแสดงแบบจำลองภายใน PD ของรูป 5.17 แล้วจะเป็นดังรูป 5.25



รูปที่ 5.25 แบบจำลองทั่วไปของเฟสดีเท็คเตอร์

จากที่กล่าวมาข้างต้นจึงเข้าใจได้ว่า ถ้าระบบอยู่ในสภาวะลื่นแล้ว $\phi_e = 0$ ในทางทฤษฎีของ PLL ที่ได้กล่าวมาข้างต้นจะสมนัยกับค่าในทางปฏิบัติคือ $\phi_e = \pi/2$ สำหรับ XOR-PD และ $\phi_e = \pi$ สำหรับ SPD เป็นต้น นอกจากนี้ V_d ที่จะกล่าวในเฟสดีเท็คเตอร์แต่ละแบบต่อไปนี้เป็นค่าที่ได้จากการคำนวณ คือ $V_d = \delta V_{dm}$ เมื่อ δ คือค่าอัตราส่วนดิวตี้มีค่าอยู่ในช่วง 0 ถึง 1 และ V_{dm} เป็นแรงดันที่ระดับลอจิก 1 ของสัญญาณดิจิตอลซึ่งเป็น 5V สำหรับ TTL แรงดัน V_d ในทางปฏิบัติได้จากการนำสัญญาณเอาต์พุตของตัวเฟสดีเท็คเตอร์ซึ่งเป็นสัญญาณดิจิตอลไปทำการเฉลี่ยโดยการอินทิเกรต (ซึ่งคือตัวกรองลูปนั่นเอง)



รูปที่ 5.26 ดิจิตอลเฟสดีเทคเตอร์แบบเอ็กซ์คลูซีฟ-ออร์ เกท

1) เฟสดีเทคเตอร์แบบเอ็กซ์คลูซีฟ-ออร์ .XOR-PD (Exclusive-OR PD)

เป็นเฟสดีเทคเตอร์แบบที่ง่ายที่สุดซึ่งทำได้จากโลจิกเกตทางดิจิตอล (7486) คุณสมบัติของเฟสดีเทคเตอร์ชนิดนี้แสดงในรูปที่ 5.26 ซึ่งมีคุณลักษณะหลักดังนี้

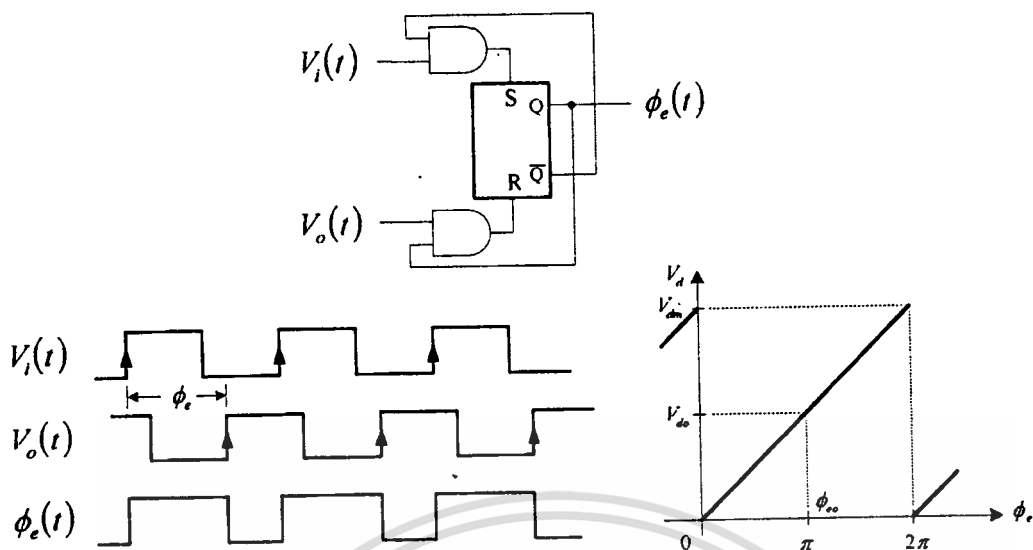
- ความสัมพันธ์ระหว่างอินพุตและเอาต์พุตเป็นเชิงเส้นในช่วง 0 ถึง π และเป็นรูปสามเหลี่ยม
- เฟสเออเรอร์ที่สถานะคงตัวเป็น $\pi/2$ เพื่อให้จุดทำงานอยู่ที่กึ่งกลางของช่วงเชิงเส้น
- ความถี่เอาต์พุตของตัวเฟสดีเทคเตอร์เป็น 2 เท่าของอินพุต
- ถ้าอินพุต $V_i(t)$ เป็นโลจิก 0 เอาต์พุตจะอยู่ที่จุดกึ่งกลางของพิสัยทำงาน

ข้อจำกัดของ XOR-PD คือ สัญญาณอินพุตทั้งสองจะต้องมีค่าอัตราส่วนดิวตี้ (Duty ratio) เป็น 0.5 ถ้าสัญญาณใดมีค่าอัตราส่วนดิวตี้ต่างไปจาก 0.5 ความเป็นเชิงเส้นของพิสัยทำงานจะลดลงคือ V_d จะถูกคลิป์ที่ปลายด้านหนึ่งของเส้นแสดงความสัมพันธ์ V_d, ϕ_e ขึ้นอยู่กับว่าสัญญาณไหนมีค่าอัตราส่วนดิวตี้ไม่เป็น 0.5 ผลจากปรากฏการณ์นี้ทำให้สมรรถนะทางนอัสยของตัว PD แย่ลง

2) เฟสดีเทคเตอร์แบบฟันเลื่อย .SPD (Sawtooth Phase Detector)

เป็นเฟสดีเทคเตอร์ที่ปรับปรุงให้มีพิสัยทำงานที่เป็นเชิงเส้นกว้างขึ้นและไม่ขึ้นกับค่าอัตราส่วนดิวตี้ของสัญญาณอินพุต แสดงดังรูปที่ 5.27 มีคุณสมบัติที่สำคัญดังนี้

- ความสัมพันธ์ระหว่างอินพุตและเอาต์พุตเป็นเชิงเส้นในช่วง 0 ถึง 2π และมีรูปร่างเป็นรูปฟันเลื่อย
- เฟสเออเรอร์ที่สถานะคงตัวเป็น π เพื่อให้จุดทำงานอยู่ที่กึ่งกลางของพิสัยทำงาน
- ในสภาพที่ไม่มีสัญญาณ $V_i(t)$ เข้า (เอส-อาร์ ฟลิปฟลอป อยู่ในสภาพที่ออกเกิล) V_d มีค่าเป็น 0 ซึ่งอยู่ที่จุดกึ่งกลางของพิสัยทำงาน



รูปที่ 5.27 ดิจิตอลเฟสดีเทคเตอร์แบบฟันเลื่อย .SPD

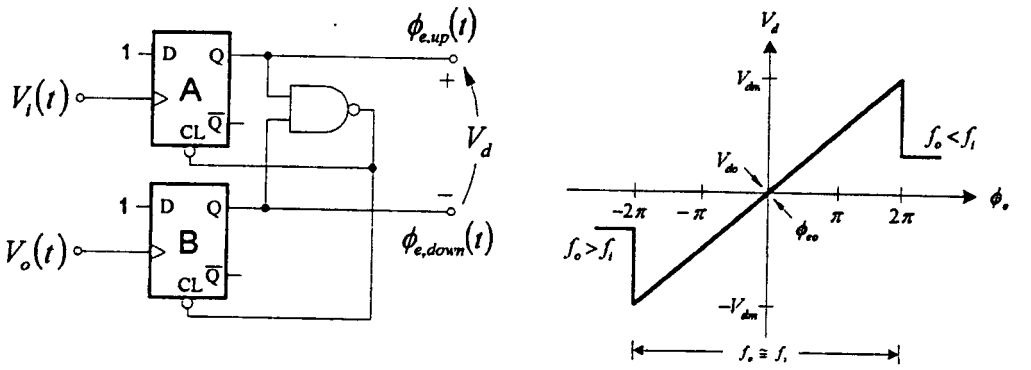
- ความถี่ของสัญญาณเอาต์พุตเท่ากับความถี่ของสัญญาณอินพุต

ข้อเสียของ SPD คือ ใช้ฟลิปฟล็อปซึ่งเป็นอุปกรณ์ประเภทความจำซึ่งสามารถจำสถานะที่ถูกควบคุมโดยนอสี่ได้ในขณะที่ XOR-PD ไม่เกิดปัญหานี้เนื่องจากเป็นอุปกรณ์ที่ไม่มีความจำ (memory-less)

3) เฟสดีเทคเตอร์แบบเฟส-ความถี่, PFD (Phase-Frequency Detector)

เป็นเฟสดีเทคเตอร์ที่มีคุณสมบัติเป็นพิเศษและเป็นที่ยอมรับใช้กันมากซึ่งเป็นแบบที่ใช้ในงานวิจัยนี้ เนื่องจากมีพิสัยทำงานกว้างถึง 4π คือ จาก -2π ถึง 2π ไม่ขึ้นกับค่าอัตราส่วนดิวิตีของสัญญาณอินพุต และทำงานได้ 2 โหมดคือ โหมดเปรียบเทียบความถี่และโหมดเปรียบเทียบเฟสขึ้นอยู่กับความแตกต่างทางความถี่ของสัญญาณทั้งสอง แสดงดังรูปที่ 5.28 มีคุณสมบัติที่สำคัญดังนี้

- ที่สภาวะคงตัว (steady-state) จะยังคงมีแรงดันไฟตรงที่เอาต์พุตเมื่อความถี่ f_i ของ $V_i(t)$ แตกต่างจากความถี่ f_o ของ $V_o(t)$ โดยชั่วของแรงดันจะขึ้นอยู่กับว่า f_i มากกว่าหรือน้อยกว่า f_o ดังนั้นในสภาพเงื่อนไขการทำงานนี้ PD จะประพฤติตัวเหมือนตัวดีเทคเตอร์ความถี่ซึ่งคุณสมบัตินี้จะช่วยให้กระบวนการเข้าถึงการล็อกของลูบเร็วขึ้น
- เมื่อ $f_o = f_i$ ตัว PD จะประพฤติตัวเหมือนตัวเฟสดีเทคเตอร์และความสัมพันธ์ระหว่างอินพุตและเอาต์พุตจะเป็นเชิงเส้นในช่วง -2π ถึง $+2\pi$
- เฟสเออเรอร์ที่สถานะคงตัวเป็น 0 ซึ่งอยู่ที่จุดกึ่งกลางของพิสัยทำงาน

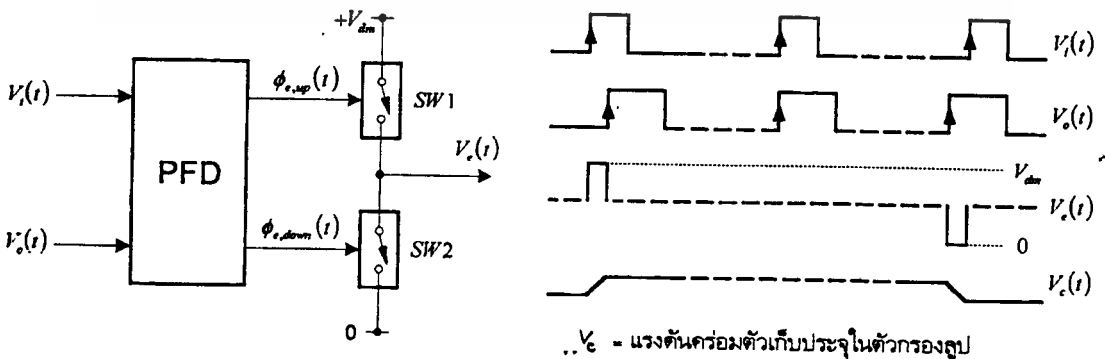


กรณี $f_o > f_i$

กรณี $f_o < f_i$

รูปที่ 5.28 ดิจิตอลเฟสดีเท็คเตอร์แบบเฟส-ความถี่ (PFD)

จากรูป 5.28 จะเห็นว่า PD แบบนี้มี 2 เอาท์พุทคือ $\phi_{e,up}(t)$ และ $\phi_{e,down}(t)$ โดย $\phi_{e,up}(t)$ จะแอคทีฟเมื่อ $f_i > f_o$ หรือ ϕ_i นำ ϕ_o (กรณี $f_i = f_o$) และ $\phi_{e,down}(t)$ จะแอคทีฟเมื่อ $f_i < f_o$ หรือ ϕ_o นำ ϕ_i (กรณี $f_i = f_o$) และเมื่อ $f_i = f_o$ และ $\phi_e = \phi_i - \phi_o = 0$ เอาท์พุททั้งสองจะไม่แอคทีฟ ดังนั้นการนำไปใช้งานจึงต้องมีวิธีการที่จะรวม 2 เอาท์พุทนี้ให้เป็นเอาท์พุทเดียว วิธีที่ใช้สำหรับ PD แบบนี้คือ ชาร์จ-ปั๊ม (Charge Pump) ดังในรูปที่ 5.29 วิธีการนี้จะใช้สวิตช์ 2 ตัว คือ SW1



รูปที่ 5.29 แสดงการต่อรวม PFD กับวิธี ชาร์จ-ปั๊ม

และ SW2 โดย SW1 จะถูกควบคุมโดยสัญญาณ $\phi_{e,up}(t)$ ทำหน้าที่จ่ายกระแสเพื่อไปประจุตัวเก็บประจุภายในตัวกรองรูปซึ่งสอดคล้องกับการปรับความถี่ f_o ของ VCO ให้สูงขึ้นเพื่อเข้าใกล้ f_i และ SW2 ถูกควบคุมโดยสัญญาณ $\phi_{e,down}(t)$ ทำหน้าที่ดึงกระแสเพื่อคายประจุตัวเก็บประจุภายในตัวกรองรูปซึ่งสอดคล้องกับการปรับความถี่ f_o ของ VCO ให้ต่ำลงเพื่อเข้าใกล้ f_i อีกสถานะหนึ่งที่เกิดขึ้นคือ SW1 และ SW2 ไม่แอคทีฟเกิดเมื่อ $f_i = f_o$ และ $\phi_e = \phi_i - \phi_o = 0$ ซึ่งเป็นสภาพที่ลูปล็อกกับสัญญาณอินพุทแล้วไม่มีการประจุหรือคายประจุตัวเก็บประจุเป็นการคงค่าความถี่ f_o ของ VCO ในขณะนั้นไว้ ส่วนสถานะที่ SW1 และ SW2 แอคทีฟพร้อมกันไม่เกิดขึ้นจริง

5.5 ระบบแยกสัญญาณนาฬิกาที่ใช้ในงานวิจัย

จากที่กล่าวมาในบทนี้ถึงปัญหา สาเหตุ แนวทางแก้ไข และวิธีแยกสัญญาณนาฬิกาสามารถสรุปเป็นระบบแยกสัญญาณนาฬิกาที่ทดลองสร้างใช้งานในงานวิจัยนี้ คือ การกำเนิดสัญญาณนาฬิกาใช้วงจรจูน LC ซึ่งซึ่งโครโนซ์กับอิมพัลส์จากขบวนข้อมูลที่ถูกสแครมเบิลมาแล้ว จากนั้นนำสัญญาณนาฬิกาที่ได้ผ่านเข้าสู่ระบบเฟสล็อกคูลูปแถบความถี่แคบ (Narrow Band Phase-Locked Loop) ซึ่งกำเนิดความถี่ด้วยผลึกแร่ เพื่อกรองนอยส์และ jitter ออก ดังนั้นสัญญาณนาฬิกาใหม่ที่ได้จะเป็นสัญญาณนาฬิกาที่มีเสถียรภาพที่สูงขึ้น ระบบแยกแสดงดังไดอะแกรมในรูปที่ 5.30 ส่วนรายละเอียดวงจรและการทำงานจะได้กล่าวไว้ในบทที่ 7



รูปที่ 5.30 ไดอะแกรมระบบแยกสัญญาณนาฬิกาที่ใช้ในงานวิจัย

บทที่ 6

ระบบส่งข้อมูลภาพและเสียงแบบ ทีดีเอ็ม

(TDM Video and Voice Data Transmission System)

ในบทนี้จะกล่าวถึงระบบรับส่งข้อมูลที่ได้ทดลองสร้างขึ้น โดยจะแสดงในรูปของบล็อกไดอะแกรมเป็นหลักเพื่อแสดงภาพรวมของความสัมพันธ์ของเชื่อมโยงของส่วนหลักต่างๆในระบบ ส่วนแรกที่จะได้กล่าวคือ ข้อกำหนดของระบบและโครงสร้างการจัดรูปแบบเฟรมข้อมูล จากนั้นจะเป็นระบบส่ง ,ระบบรับ ,ระบบรับส่งและการส่งสัญญาณแจ้งเตือนต่างๆ

อย่างไรก็ดี ก่อนที่จะได้กล่าวถึงตัวระบบมีสิ่งที่จะต้องทำความเข้าใจกันเป็นเบื้องต้นก่อนคือ สัญญาณแจ้งเตือนต่างๆที่ใช้ในระบบ เนื่องจากระบบที่ออกแบบเป็นระบบสื่อสาร 2 ทิศทางซึ่งมีการส่งสัญญาณแจ้งเตือนสถานะของระบบถึงกันดังนั้นจะปรากฏสัญญาณ 2 สัญญาณที่ทำหน้าที่เดียวกันแต่อยู่คนละด้านของการรับส่งมีชื่อเหมือนกัน ดังนั้นเพื่อความไม่สับสนและง่ายต่อการอธิบายจึงวางข้อกำหนดดังนี้ สัญญาณที่เกิดจากต้นกำเนิดจะใช้ชื่อในรูปปกติเมื่อสัญญาณนี้ถูกส่งไปถึงปลายทางหรือคู่สถานีจะใช้ชื่อเดิมแต่มีเลข 1 ต่อท้าย เช่น สัญญาณ FAL (Frame Alignment Loss) ซึ่งเป็นสัญญาณแจ้งบอกการสูญเสียการโอไลเมนต์เฟรมซึ่งถูกกำเนิดมาจากส่วนควบคุมสถานะการชิงโครไนซ์ที่ภาครับ เมื่อสัญญาณถูกส่งไปถึงคู่สถานี (remote) จะใช้ชื่อสัญญาณเป็น FAL1 เป็นต้น ซึ่งทำให้ชื่อไม่ไปซ้ำกับสัญญาณ FAL ที่กำเนิดจากคู่สถานี

6.1 ข้อกำหนดและการจัดเฟรมข้อมูลของระบบ

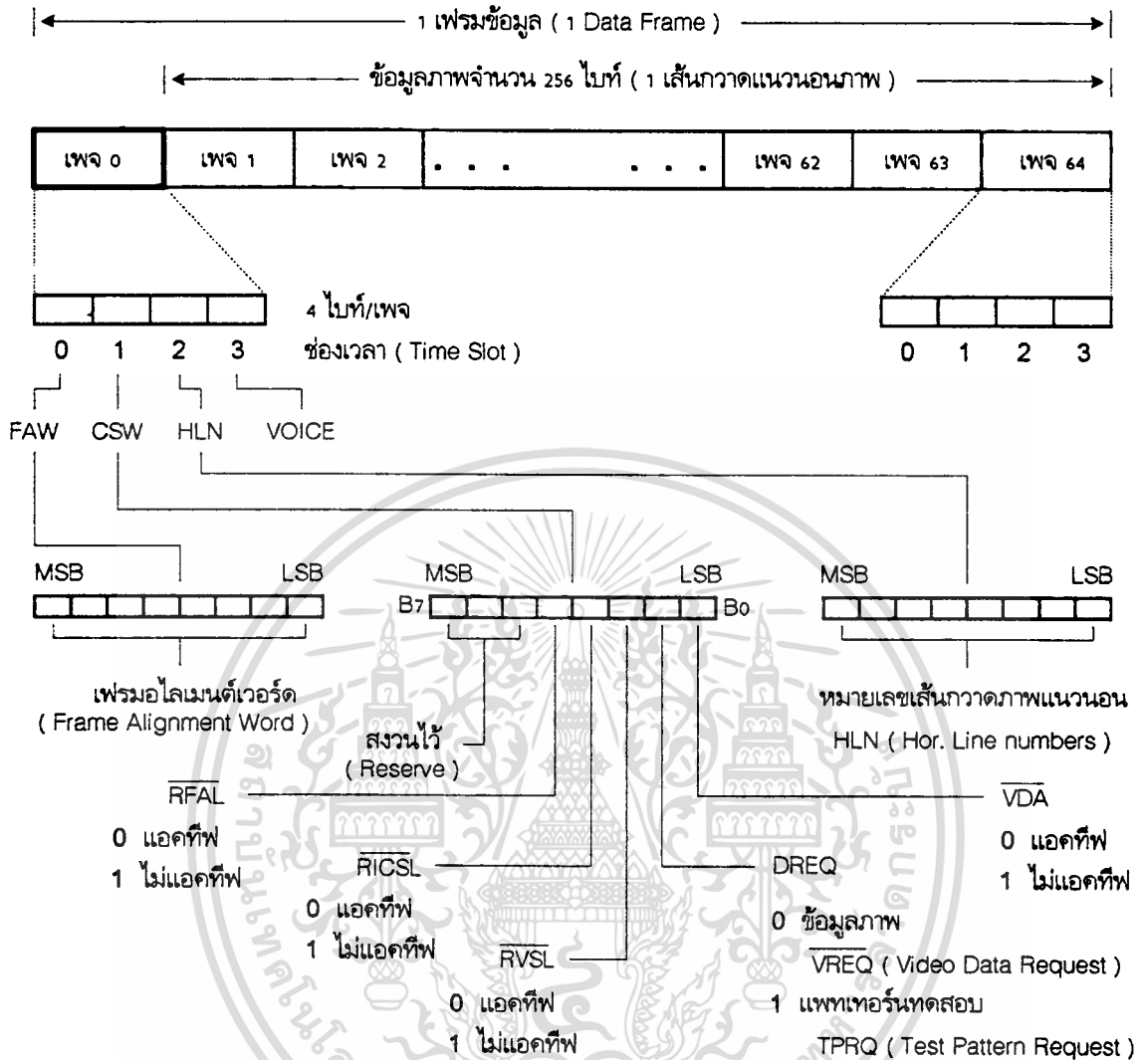
ในการสื่อสารระบบ ทีดีเอ็ม มีส่วนที่ต้องสื่อสารถึงกัน คือ

- ข้อมูลข่าวสาร
- สัญญาณควบคุมและบริการ
- เฟรมโอไลเมนต์เวอร์ต ,FAW

ในระบบที่ได้ออกแบบสร้างนี้ส่วนของข้อมูลข่าวสารประกอบด้วยข้อมูลภาพขาว-ดำขนาด 256x256 จุดภาพ ความเข้ม 8 บิต/จุดภาพ และส่วนของข้อมูลเสียงทำการบีบอัดและคลายตามมาตรฐานของ CCITT แบบ A และเพื่อความสะดวกในการออกแบบและจัดเฟรมข้อมูลจะกำหนดให้ใน 1 เฟรมข้อมูลจะบรรจุข้อมูลภาพจำนวน 256 จุดภาพหรือเท่ากับ 1 เส้นกวาดภาพแนวนอน ดังนั้นใน 1 เฟรมข้อมูลจะประกอบด้วยส่วนต่างๆดังนี้

ข้อมูลภาพ	256	ช่วงเวลา
-----------	-----	----------

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ไม่ควรเผยแพร่โดยไม่ได้รับอนุญาตจากทางมหาวิทยาลัยฯ



รูปที่ 6.1 แสดงรายละเอียดการจัดเฟรมข้อมูล

สัญญาณควบคุมและบริการ 2 ช่องเวลา

เฟรมอไลเมนต์เวิร์ด .FAW 1 ช่องเวลา

รวมแล้วใน 1 เฟรมข้อมูล จะประกอบด้วย 260 ช่องเวลา ช่องเวลาละ 8 บิต แสดงรายละเอียดในรูปที่ 6.1

เพื่อความสะดวกในการแสดงเฟรมข้อมูลจึงแบ่งช่องเวลาทั้งหมดออกเป็น เฟจๆละ 4 ช่องเวลาดังนั้นใน 1 เฟรมข้อมูลจึงแบ่งออกได้เป็น 65 เฟจคือ เฟจ0 ถึง เฟจ64 โดย เฟจ1 ถึง เฟจ64 เป็นส่วนของข้อมูลภาพ ส่วน เฟจ0 มี 4 ช่องเวลา ประกอบด้วยเวิร์ดต่างๆดังนี้

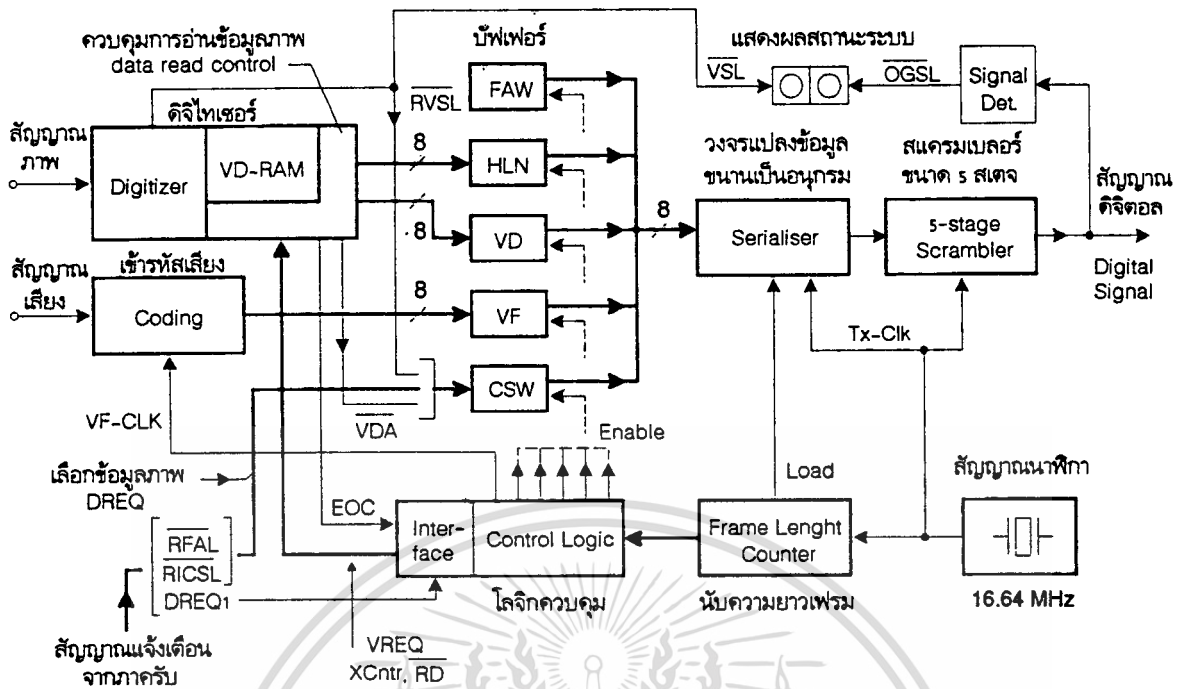
ช่องเวลา 0 เป็น เฟรมอไลเมนต์เวิร์ด .FAW สำหรับการซิงโครไนซ์เฟรม กำหนดรหัสไว้เป็น 01001101

- ช่วงเวลา 1 เป็น เวอร์ตควบคุมและบริการ ,CSW (Control and Service Word)
ใช้สำหรับส่งสัญญาณแจ้งเตือนและสัญญาณควบคุม
- ช่วงเวลา 2 เป็น ส่วนเก็บหมายเลขเส้นกวาดแนวนอน ,HLN (Hor. Line Numbers)
ของข้อมูลภาพในเพจ 1 ถึง เพจ 64 ใช้สำหรับการระบุตำแหน่งการเก็บ
ข้อมูลภาพลงในหน่วยความจำภาพ ,VD-RAM (Video RAM)
- ช่วงเวลา 3 เป็น ส่วนเก็บข้อมูลเสียง

จากช่วงเวลาทั้ง 4 ที่กล่าวมามีช่วงเวลา 1 ซึ่งบรรจุบิตควบคุมและบริการมีรายละเอียดดังนี้

- บิต B0 $\overline{\text{VDA}}$ (Video Data Active) เป็นบิตควบคุมที่บอกให้ทราบว่าในเฟรมข้อมูลนั้นๆมีข้อมูลภาพอยู่ด้วยหรือไม่ ภาครับใช้บิตนี้ในการตรวจสอบว่าการส่งข้อมูลภาพครบ 1 เฟรมภาพ (256 เฟรมข้อมูล) สมบูรณ์หรือยังโดยบิตนี้จะแอคทีฟตลอดตั้งแต่เส้นกวาดแรกจนเส้นกวาดสุดท้าย.
- 0 มีข้อมูลภาพอยู่
- 1 ไม่มีข้อมูลภาพอยู่
- บิต B1 DREQ (Data Request) เป็นบิตบริการที่ใช้ร้องขอข้อมูลภาพจากคู่สถานี มีข้อมูล 2 ลักษณะคือ ข้อมูลภาพปกติ และ แพทเทิร์นภาพทดสอบ
- 0 ข้อมูลภาพปกติ , $\overline{\text{VREQ}}$ (Video Data Request)
- 1 แพทเทิร์นทดสอบ , TPRQ (Test Pattern Request)
- บิต B2 $\overline{\text{RVSL}}$ (Remote Video Signal Loss) เป็นบิตบริการที่ส่งมาจากคู่สถานีเพื่อแจ้งให้ทราบว่าสัญญาณภาพจากกล้องขาดหายหรือไม่
- 0 สัญญาณภาพจากกล้องขาดหาย
- 1 สัญญาณภาพปกติ
- บิต B3 $\overline{\text{RICSL}}$ (Remote Incoming Signal Loss) เป็นบิตบริการที่ส่งมาจากคู่สถานีเพื่อแจ้งให้ทราบว่า มีสัญญาณดิจิตอลปรากฏที่อินพุทภาครับหรือไม่
- 0 สัญญาณขาดหาย
- 1 สัญญาณปกติ
- บิต B4 $\overline{\text{RFAL}}$ (Remote Frame Alignment Loss) เป็นบิตบริการที่ส่งมาจากคู่สถานีเพื่อแจ้งให้ทราบถึง สภาพการโอไลเมนต์เฟรม
- 0 สูญเสียสภาพการโอไลเมนต์เฟรม
- 1 การโอไลเมนต์เฟรมปกติ

บิต 5 - บิต 7 สงวนไว้พัฒนาระบบ



รูปที่ 6.2 ไดอะแกรมของระบบส่งข้อมูลภาพและเสียงแบบ ทีดีเอ็ม ความเร็ว 16.64 Mbps

การกำหนดนิทบริการขึ้นมาก็เพื่อสามารถวิเคราะห์หาสาเหตุได้ง่ายขึ้นเมื่อเกิดปัญหาการสื่อสารระหว่างคู่สถานีขึ้นมา

ส่วนอัตราความเร็วข้อมูลคำนวณได้จากสมการ (4.1) คือ

$$f_o = m \cdot f_s (K + 1)$$

โดยพิจารณาความเร็วจากช่องข้อมูลเสียงเป็นหลักซึ่งช่องข้อมูลเสียงได้จากการสุ่มสัญญาณเสียงด้วยความถี่ $f_s = 8 \text{ kHz}$ ความละเอียด $m = 8$ บิต และใน 1 เฟรมข้อมูลมีช่วงเวลา $K = 259$ ช่วงเวลา (ไม่รวม FAW) ดังนั้นอัตราความเร็วข้อมูลเป็น

$$f_o = 8 \times 8 \times 260 = 16,640 \text{ Kbps}$$

$$f_o = 16.64 \text{ Mbps}$$

ซึ่งในการทดลองจริงใช้ 17.43 Mbps เนื่องจากเป็นตัวกำหนดความถี่ที่มีค่าใกล้เคียงที่สามารถทำได้ในขณะนั้น

6.2 ระบบส่งข้อมูล (Transmitter System)

ไดอะแกรมของระบบส่งแสดงในรูปที่ 6.2 ซึ่งพอจะแยกเป็นส่วนใหญ่ๆ ได้ 4 ส่วนคือ

- 1) แหล่งกำเนิดข้อมูล แยกเป็น 2 ส่วนคือ ส่วนของเสียงและส่วนของภาพ ในส่วนของเสียงประกอบด้วยตัวเข้ารหัสเสียงซึ่งจะทำกระบวนการบีบอัดและเข้ารหัสตามมาตรฐาน CCITT แบบ A ส่วนของภาพประกอบด้วยตัวดิจิทัลไเซอร์ซึ่งทำหน้าที่แปลงสัญญาณภาพ

ให้เป็นข้อมูลภาพและเก็บไว้ในหน่วยความจำภาพ ,VD-RAM รวมถึงส่วนควบคุมการอ่านข้อมูลภาพ (data read control) ซึ่งทำงานร่วมกับ ส่วนโลจิกควบคุม

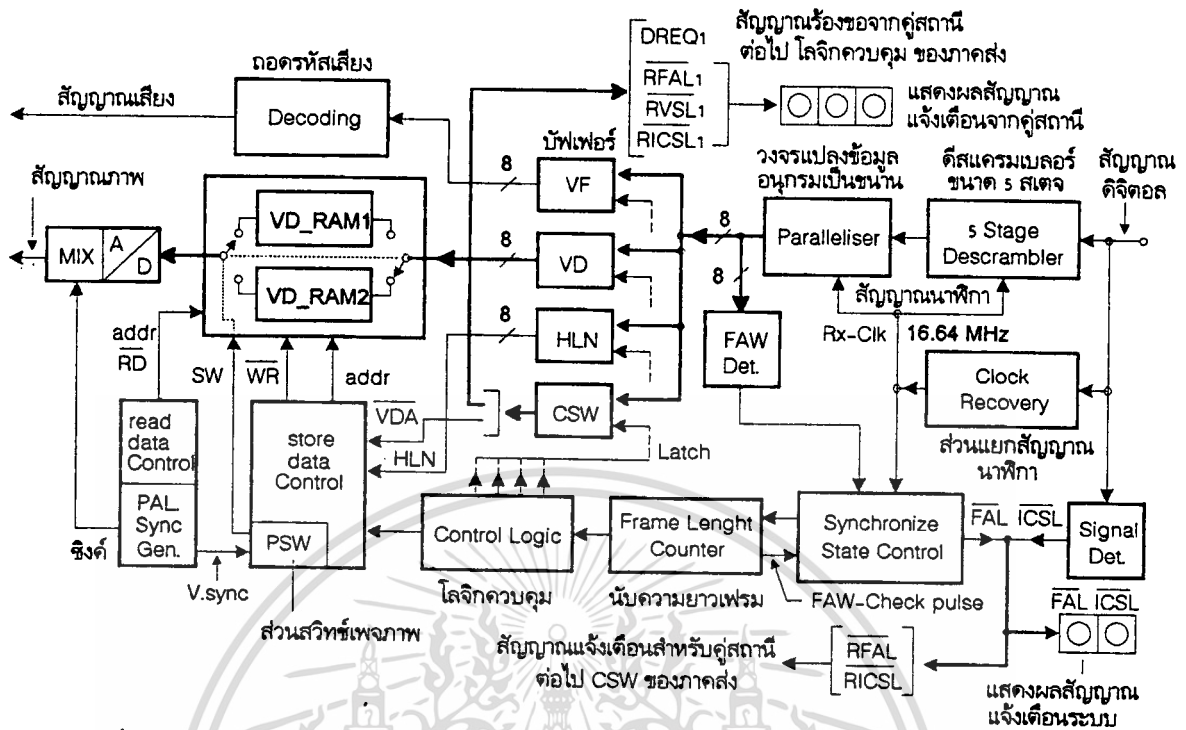
- 2) ส่วนมัลติเพล็กซ์ข้อมูล (Multiplexer) ประกอบด้วยบัฟเฟอร์ทั้ง 5 ตัวคือ FAW ,HLN (Hor. Line Numbers) ,VD (Video Data) ,VF (Voice Frequency) และ CSW (Control and Service Word) และส่วนนับความยาวเฟรมซึ่งทำงานร่วมกับส่วน โลจิกควบคุม ทำหน้าที่สร้างสัญญาณมัลติเพล็กซ์เพื่อไปอ่านข้อมูลจากบัฟเฟอร์ทั้ง 5 ตัวรวมถึงการสร้างสัญญาณเพื่อเชื่อมโยงติดต่อกับส่วนควบคุมการอ่านหน่วยความจำภาพ
- 3) ส่วนดำเนินการข้อมูลอนุกรม ประกอบด้วยตัวแปลงข้อมูลขนานเป็นอนุกรมและตัวสแครมเบลอร์ขนาด 5 สเตจ ซึ่งมีโครงสร้างดังรูป 4.8
- 4) ส่วนของสัญญาณแจ้งเตือน เป็นสัญญาณแจ้งเตือนสภาพของระบบส่วนหนึ่งมาจากภาครับแล้วส่งต่อไปยังคู่สถานี ประกอบด้วยสัญญาณแสดงสภาพของสัญญาณที่เอาท์พุทของเครื่องส่ง ,OGSL (Outgoing Signal Loss) และ $\overline{FAL}$ ($\overline{RFAL}$) , $\overline{ICSL}$ ($\overline{RICSL}$) , $\overline{VSL}$ ($\overline{RVSL}$) ซึ่งจะได้กล่าวต่อไป

การทำงานเริ่มจากตัวมัลติเพล็กซ์จะมัลติเพล็กซ์ข้อมูลจากบัฟเฟอร์ทั้ง 5 ตัวเข้าด้วยกันแบบขนานซึ่งที่จุดนี้จะมีอัตราข้อมูลเป็น $16.64 / 8 = 2.08$ Mbytes/s จากนั้นจะถูกแปลงข้อมูลเป็นอนุกรมด้วยตัวแปลงข้อมูลขนานเป็นอนุกรมแล้วทำการสแครมเบลอร์ก่อนถูกส่งออกไป ขณะที่กระบวนการมัลติเพล็กซ์ดำเนินอยู่ ส่วนโลจิกควบคุมจะส่งสัญญาณร้องขอข้อมูลภาพ ,VD-VREQ ไปยังตัวดิจิทัล-เซอร์ ตัวดิจิทัล-เซอร์ก็จะเริ่มทำการดิจิทัลิ์สัญญาณภาพเก็บข้อมูลลงสู่หน่วยความจำภาพ,VD-RAM เมื่อเสร็จสิ้นการแปลงตัวดิจิทัลิ์เซอร์จะส่งสัญญาณ EOC (End of Conversion) ตอบกลับมา จากนั้นส่วนโลจิกควบคุมจะส่งสัญญาณอ่าน , $\overline{RD}$ หน่วยความจำและสัญญาณนับแอดเดรส ,XCntr เพื่ออ่านข้อมูลภาพจากหน่วยความจำภาพเข้าสู่ส่วนมัลติเพล็กซ์ต่อไป

ในส่วนของตัวเข้ารหัสสัญญาณเสียงจะได้รับสัญญาณนาฬิกา ,VF-CLK เพื่อเป็นความถี่สุ่มและซิงโครไนซ์ข้อมูลกับตัวมัลติเพล็กซ์

ส่วนของเวิร์ดควบคุมและบริการ ,CSW (Control and Service Word) จะรับสัญญาณแจ้งเตือนจากจุดต่างๆของระบบ ดังนี้

- $\overline{RVSL}$ (Remote Video Signal Loss) ซึ่งเป็นสัญญาณเดียวกับ $\overline{VSL}$ (Video Signal Loss) เป็นสัญญาณที่ถูกส่งออกไปเพื่อแจ้งให้กับคู่สถานีทราบว่ามีสัญญาณภาพจากกล้องยังมีอยู่ปกติหรือไม่
- $\overline{RFAL}$ (Remote Frame Alignment Loss) ซึ่งเป็นสัญญาณเดียวกับ $\overline{FAL}$ (Frame Alignment Loss) เป็นสัญญาณที่ถูกส่งออกไปเพื่อแจ้งให้กับคู่สถานีทราบถึงสภาพของการโอไลเมนต์เฟรมของระบบรับ



รูปที่ 6.3 ไดอะแกรมแสดงระบบรับข้อมูลภาพและเสียงแบบ ทีดีเอ็ม ความเร็ว 16.64 Mbps

- $\overline{\text{RICSL}}$ (Remote Incoming Signal Loss) ซึ่งเป็นสัญญาณเดียวกันกับ $\overline{\text{ICSL}}$ (Incoming Signal Loss) เป็นสัญญาณที่ถูกส่งออกไปเพื่อแจ้งให้คู่สถานีทราบถึงสภาพของสัญญาณดิจิทัลที่อินพุตของเครื่องรับว่าปรากฏอยู่หรือไม่
- DREQ (Data Request) เป็นสัญญาณร้องขอแบบของข้อมูลภาพจากคู่สถานี ซึ่งมี 2 แบบคือ ข้อมูลภาพปกติ และแพทเทิร์นภาพทดสอบซึ่งเป็นแถบสีเทา 8 แถบ

ไดอะแกรมที่ได้กล่าวมานี้เป็นเพียงไดอะแกรมคร่าวๆ ที่แสดงระบบการส่ง ซึ่งชื่อของสัญญาณต่างๆ ที่ปรากฏอยู่เป็นเพียงสัญญาณหลักๆ ที่เกี่ยวข้องกับการดำเนินการระบบการนั้นๆ โดยในวงจรจริงๆ จะปรากฏสัญญาณมากกว่านี้ ดังนั้นการจะเข้าใจการทำงานจึงต้องพิจารณาจากการทำงานของวงจรจริง

6.3 ระบบรับข้อมูล (Receiver System)

ไดอะแกรมของระบบรับแสดงดังรูปที่ 6.3 สามารถแบ่งเป็นส่วนใหญ่ได้ 6 ส่วนคือ

- 1) ส่วนดีมัลติเพล็กซ์ (Demultiplexer) ประกอบด้วยบัฟเฟอร์ข้อมูลทั้ง 4 ชุด ส่วนนับความยาวเฟรมข้อมูลและลอจิกควบคุม ซึ่งส่วนนับความยาวเฟรมข้อมูลถูกควบคุมด้วยส่วนควบคุมสถานะการซิงโครไนซ์ ,SSC (Synchronize State Control)
- 2) ส่วนควบคุมสถานะการซิงโครไนซ์ ,SSC (Synchronize State Control) มีหน้าที่ในการทำการระบบการโอไลเมนต์เฟรม ประกอบด้วยส่วนควบคุมสถานะการซิงโครไนซ์ ,SSC

ซึ่งอัลกอริทึมได้กล่าวไว้แล้วในหัวข้อ 4.2 และส่วนตรวจหาเฟรมอโลเมนต์เวอร์ต ,FAW--
Det

- 3) ส่วนดำเนินการข้อมูลอนุกรม ประกอบด้วยตัวดีสแครมเบลอร์ขนาด 5 สเตจและตัวแปลงข้อมูลอนุกรมเป็นขนาน
- 4) ส่วนแยกสัญญาณนาฬิกา (Clock Recovery) ทำหน้าที่แยกสัญญาณนาฬิกาจากสัญญาณดิจิทัลที่รับได้เพื่อการซิงโครไนซ์บิต ซึ่งได้กล่าวไว้แล้วในบทที่ 5
- 5) ส่วนประมวลผลข้อมูล แยกเป็น 2 ส่วนคือ ส่วนของข้อมูลเสียงและส่วนของข้อมูลภาพ ส่วนของข้อมูลเสียงประกอบด้วยส่วนถอดรหัสเสียง ส่วนของข้อมูลภาพจะซับซ้อนขึ้นมาอีกคือ ประกอบด้วย หน่วยความจำภาพ 2 ชุด (VD-RAM1 ,VD-RAM2) โดยชุดหนึ่งทำหน้าที่เก็บข้อมูลภาพที่รับได้และอีกชุดหนึ่งถูกอ่านข้อมูลออกไปเพื่อแสดงบนจอภาพ ส่วนควบคุมการบันทึกข้อมูลภาพที่รับได้ (store data control) ซึ่งทำงานร่วมกับส่วนสวิตช์เพจภาพ ,PSW (Page Switch Control) ส่วนควบคุมการอ่านข้อมูลภาพไปแสดงบนจอภาพซึ่งทำงานร่วมกับส่วนกำเนิดสัญญาณซิงค์ภาพ ส่วนแปลงสัญญาณดิจิทัลเป็นอนาลอก และส่วนผสมข้อมูลภาพกับสัญญาณซิงค์เพื่อสร้างสัญญาณภาพขึ้นมาใหม่
- 6) ส่วนของสัญญาณแจ้งเตือน ประกอบด้วยสัญญาณแจ้งเตือนที่ส่งมาจากคู่สถานีและนำมาแสดงผลคือ $\overline{RFAL1}$, $\overline{RVSL1}$, $\overline{RICSL1}$ และ $\overline{DREQ1}$ ซึ่งต่อไปยังเครื่องส่งและสัญญาณแจ้งเตือนของตัวระบบรับเองซึ่งนำมาแสดงผลคือ $\overline{FAL}$, $\overline{ICSL}$ และเมื่อส่งออกไปยังคู่สถานีจะใช้ชื่อเป็น $\overline{RFAL}$, $\overline{RICSL}$ ตามลำดับ

การทำงานจะเริ่มจากการกำหนดให้ส่วนแยกสัญญาณนาฬิกาทำงานได้อย่างปกติ ดังนั้นสัญญาณนาฬิกาที่ได้จะซิงโครไนซ์กับข้อมูลเป็นอย่างดี เริ่มต้นสัญญาณดิจิทัลที่รับได้ส่วนหนึ่งจะเข้าสู่ส่วนแยกสัญญาณนาฬิกาเพื่อสร้างสัญญาณนาฬิกาสำหรับใช้ในระบบ อีกส่วนหนึ่งเข้าสู่ตัวดีสแครมเบลอร์ขนาด 5 สเตจเพื่อแปลงให้เป็นขบวนข้อมูลปกติจากนั้นจะถูกแปลงให้เป็นข้อมูลในรูปขนานขนาด 8 บิตโดยส่วนแปลงข้อมูลอนุกรมเป็นขนาน ถึงจุดนี้ข้อมูลขนาด 8 บิตซึ่งถูกเลื่อนไป 1 บิตตลอดเวลาจะรออยู่ที่อินพุตของบัพเฟอร์ทั้ง 4 ชุดเพื่อรอการแลตช์ต่อไป อีกส่วนหนึ่งจะเข้าสู่ตัวตรวจหา FAW ซึ่งทำงานร่วมกับส่วนควบคุมสถานะการซิงโครไนซ์ ,SSC และส่วนนับความยาวเฟรม การอโลเมนต์เฟรมจะเริ่มต้นเมื่อมีการตรวจพบ FAW โดยตัวตรวจหา FAW ซึ่งจะส่งพัลส์ไปให้ส่วน SSC จากนั้นส่วน SSC จะส่งสัญญาณควบคุมไปให้ส่วนนับความยาวเฟรมให้เริ่มต้นนับเพื่อกำหนดตำแหน่งเวลาที่จะตรวจสอบ FAW ครั้งต่อไปคือ สัญญาณ FAW-Check pulse ส่งกลับไปที่ให้กับส่วน SSC ซึ่งจะตรวจสอบสัญญาณการตรวจหา FAW พร้อมกันไปด้วย ถ้าพบก็จะดำเนินตามกระบวนการอโลเมนต์เฟรมต่อไปซึ่งได้กล่าวมาแล้วในบทที่ 4 ถ้าไม่พบก็จะเริ่มต้นค้นหา FAW ตัวต่อไป เมื่อการอโลเมนต์เฟรม

บุรุษส่วน SSC จะส่งสัญญาณควบคุมไปให้ส่วนนับความยาวเฟรมซึ่งควบคุมให้ส่วน โลจิกควบคุม สร้างสัญญาณ แลทซ์ ไปให้กับบัฟเฟอร์ทั้ง 4 ชุดเพื่อเก็บข้อมูลของมันไว้

ข้อมูลที่ถูกเก็บไว้ในบัฟเฟอร์เสียง .VF จะถูกส่งไปยังตัวถอดรหัสเสียงเพื่อถอดรหัสและคลาย กลับมาเป็นสัญญาณเสียงตามเดิม

ส่วนข้อมูลที่เกิดขึ้นในบัฟเฟอร์ CSW (Control and Service Word) ซึ่งเป็นข้อมูลควบคุม และบริการแยกเป็น 2 ส่วนคือ ส่วนควบคุมและบริการ ส่วนควบคุมประกอบด้วยสัญญาณ $\overline{VDA}$ และ DREQ1 , $\overline{VDA}$ เป็นสัญญาณบอกจุดเริ่มต้นและสิ้นสุดของ 1 เฟรมภาพถูกส่งไป ส่วนควบคุมการเก็บ ข้อมูล (store data control) ซึ่งทำงานร่วมกับ ส่วนสวิตช์เพจภาพ (Page Switch Control) เพื่อ สวิตช์เพจภาพนำข้อมูลภาพใหม่ไปแสดงโดยการสวิตช์จะชิงโครโมโซมกับสัญญาณซิงค์แนวตั้ง (V.sync) ของภาพเพื่อให้ข้อมูลภาพใหม่ถูกนำไปแสดงที่จุดเริ่มต้นของจอภาพพอดี ส่วน DREQ1 เป็นสัญญาณ ร้องขอแบบข้อมูลจากคู่สถานะว่าเป็นข้อมูลภาพปกติหรือแพทเทิร์นทดสอบและ ส่วนบริการประกอบ ด้วยสัญญาณแจ้งเตือน $\overline{RFALI}$, $\overline{RVSLI}$ และ $\overline{RICSLI}$ ซึ่งส่งมาจากคู่สถานะและนำมาแสดงผลให้ทราบ

ส่วนข้อมูลที่เกิดขึ้นในบัฟเฟอร์ HLN ซึ่งเป็นหมายเลขเส้นกวาดแนวนอนถูกส่งไปส่วนควบคุม การเก็บข้อมูลภาพเพื่อใช้เป็นแอดเดรสส่วนหนึ่งของหน่วยความจำภาพ

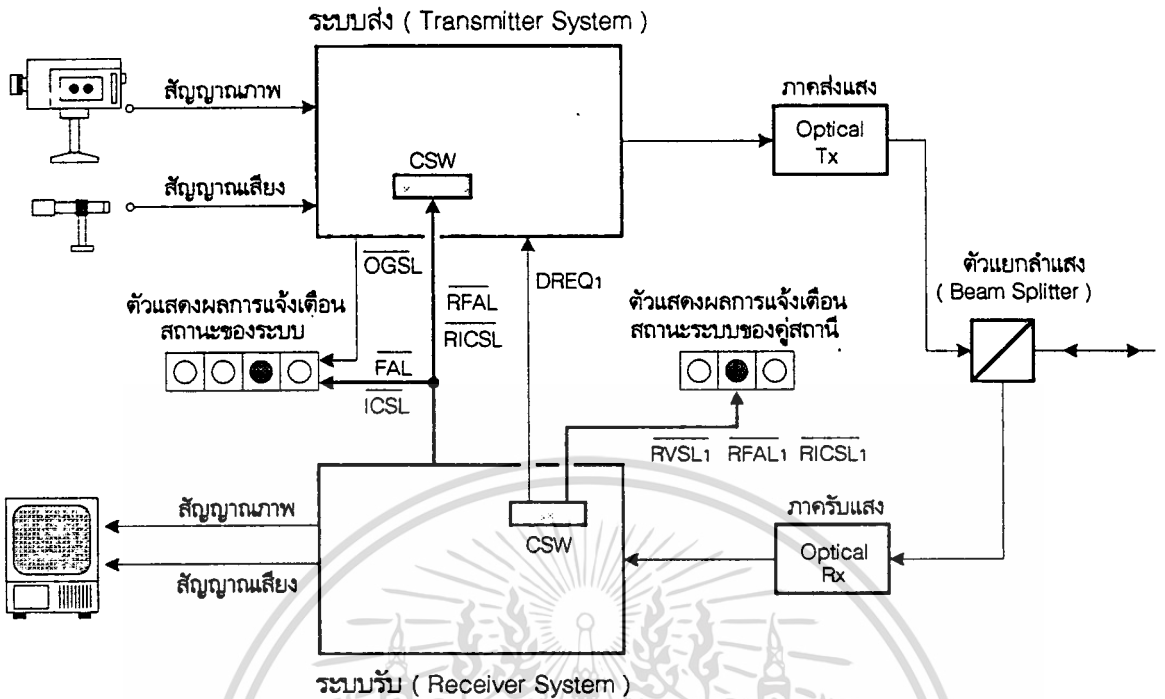
ส่วนข้อมูลที่เกิดขึ้นในบัฟเฟอร์ VD ซึ่งเป็นข้อมูลภาพถูกส่งไปเก็บไว้ในหน่วยความจำภาพ ใน ส่วนของข้อมูลที่ถูกอ่านออกมาจากหน่วยความจำภาพจะถูกควบคุมการอ่านโดย ส่วนควบคุมการอ่านข้อมูลภาพ (read data control) ซึ่งทำงานร่วมกับส่วนกำเนิดสัญญาณซิงค์เพื่อให้การอ่านข้อมูลภาพแต่ละเส้นกวาดเกิดขึ้นในเวลาที่เหมาะสมกับสัญญาณซิงค์ ข้อมูลภาพที่อ่านได้ถูกแปลงเป็นสัญญาณอนาล็อกและทำการผสมกับสัญญาณซิงค์เพื่อสร้างสัญญาณภาพกลับมาใหม่และนำไปแสดงบนจอภาพ

เช่นเดียวกับระบบส่ง รายละเอียดของสัญญาณต่างๆที่ปรากฏในไดอะแกรมเป็นเพียงสัญญาณหลักๆ ซึ่งในวงจรจริงจะใช้สัญญาณต่างๆที่มากกว่านี้

6.4 ระบบรับส่งข้อมูล

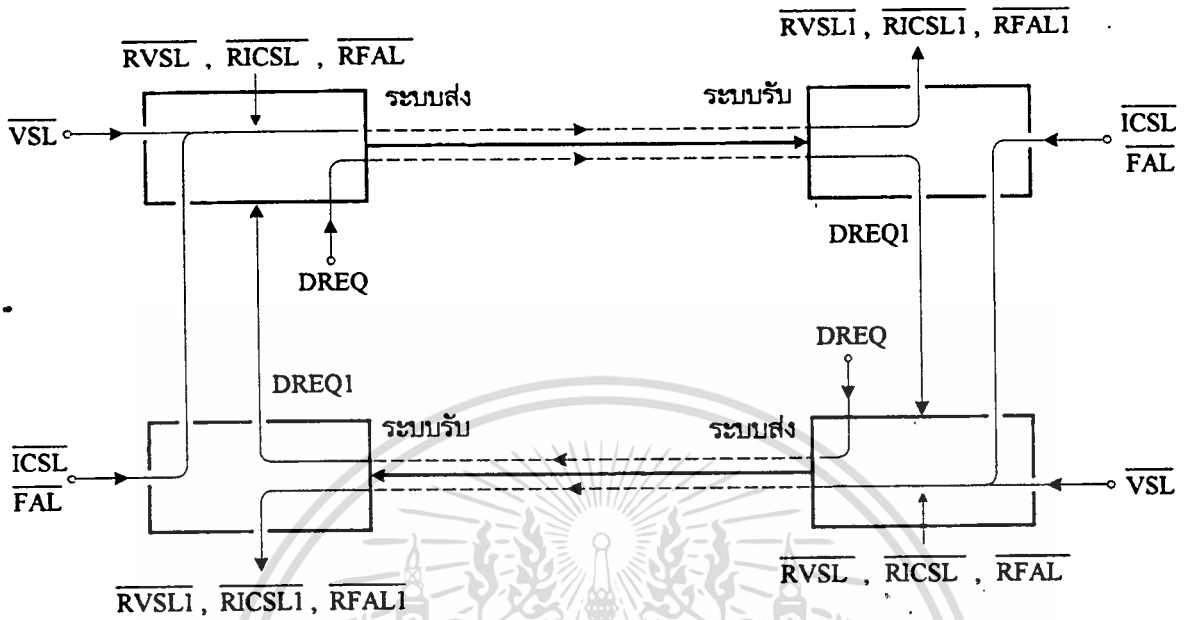
ใน 2 หัวข้อที่ผ่านมาได้กล่าวถึงระบบส่งและระบบรับซึ่งทั้ง 2 ส่วนนี้จะมีสัญญาณที่ต้องเชื่อมโยงถึงกัน ในหัวข้อนี้นี้จะได้แสดงระบบที่ครบสมบูรณ์คือ มีทั้งระบบรับและระบบส่งซึ่งจะแสดงการเชื่อมโยงของสัญญาณต่างๆได้ชัดเจนและเข้าใจมากยิ่งขึ้นดังรูปที่ 6.4 จากรูปส่วนที่เพิ่มเติมขึ้นมาคือ ตัวส่ง และตัวรับทางแสง และตัวแยกลำแสงซึ่งทำหน้าที่แยกลำแสงที่ส่งมาจากคู่สถานะเข้ามาสู่ภาครับ

รูปที่ 6.5 แสดงเฉพาะส่วนของสัญญาณแจ้งเตือนระหว่างคู่สถานะและระหว่างภาครับและภาคส่งซึ่งทำให้เข้าใจการเชื่อมโยงสัญญาณมากยิ่งขึ้น แต่อย่างไรก็ดีเพื่อจะได้ทำความเข้าใจกับไดอะแกรมได้ง่ายขึ้นจะได้นำความหมายของสัญญาณ ดังนี้

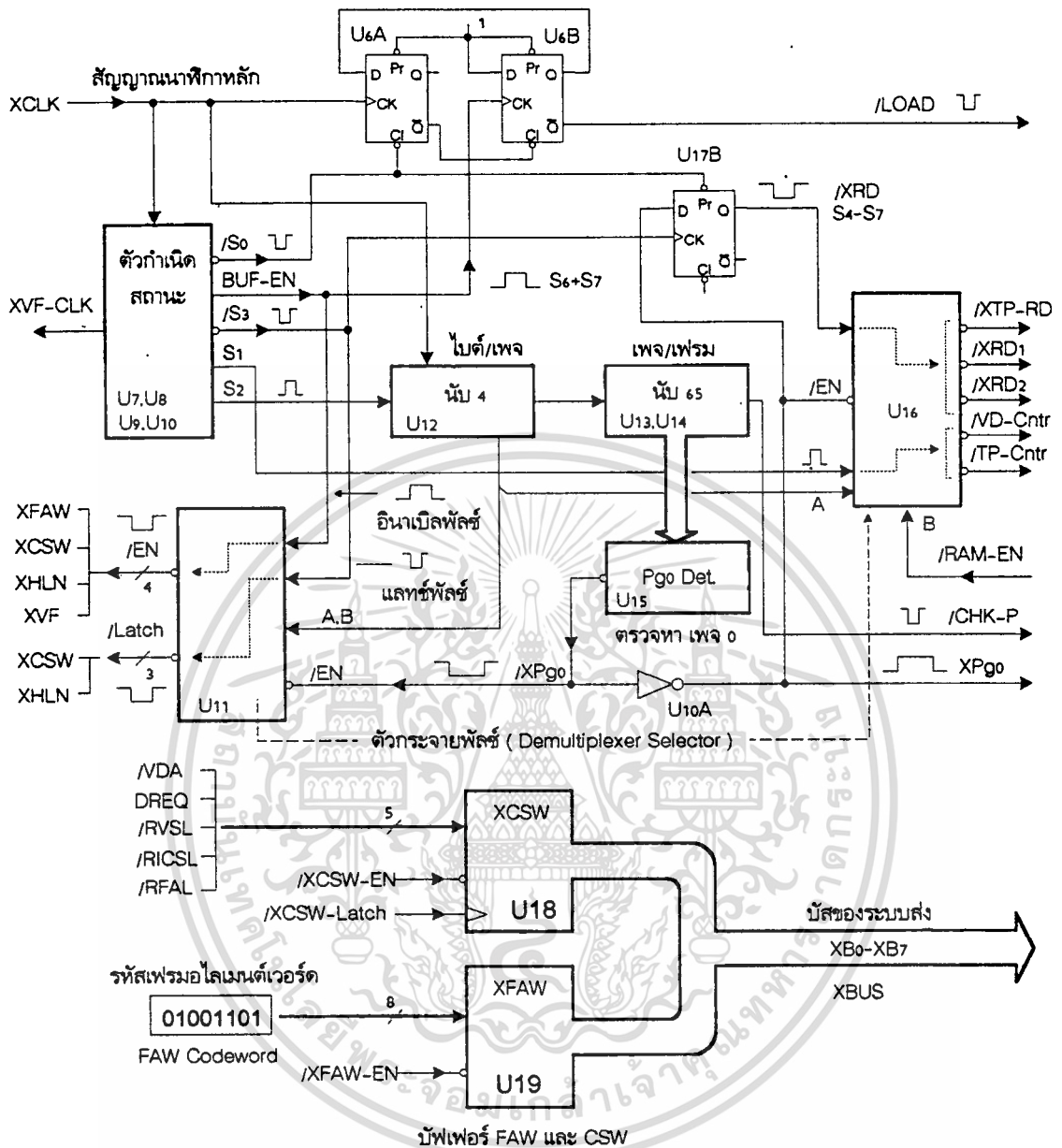


รูปที่ 6.4 ไดอะแกรมแสดงระบบรับส่งข้อมูลภาพและเสียง

$\overline{VSL}$ ($\overline{RVSL}$)	สัญญาณแจ้งเตือนการขาดหายของสัญญาณภาพ
$\overline{ICSL}$ ($\overline{RICSL}$)	สัญญาณแจ้งเตือนการขาดหายของสัญญาณดิจิทัลที่อินพุตของระบบรับ
$\overline{FAL}$ ($\overline{RFAL}$)	สัญญาณแจ้งเตือนการสูญเสียสภาพการอโกลเมนต์เฟรม
$\overline{OGSL}$	สัญญาณแจ้งเตือนการขาดหายของสัญญาณดิจิทัลที่ส่งออกไปโดยตรวจสอบที่เอาต์พุตของระบบส่ง สัญญาณนี้ใช้แจ้งเตือนเฉพาะภายในระบบส่ง
$\overline{DREQ}$	สัญญาณร้องขอแบบข้อมูลภาพ คือ ข้อมูลภาพปกติ หรือแพทเทิร์นภาพทดสอบ



รูปที่ 6.5 สัญญาณแจ้งเตือนและการรับส่งสัญญาณ



รูปที่ 7.1 ไดอะแกรมแสดงส่วนมัลติเพล็กซ์ข้อมูล

เนื่องจากขั้นตอนสุดท้ายของการมัลติเพล็กซ์คือการแปลงข้อมูลขนาด 8 บิตให้เป็นข้อมูลอนุกรม หมายความว่าข้อมูลทุกชุดที่อยู่ในรูปขนานซึ่งจะทำการส่งจะต้องถูกไหลลงสู่ตัวแปลงข้อมูลขนานเป็นอนุกรมทุกๆ 8 คาบสัญญาณนาฬิกา แสดงว่ากระบวนการต่างๆที่ใช้ในการจัดเตรียมข้อมูลที่จะไหลลงสู่ตัวแปลงข้อมูลขนานเป็นอนุกรมจะต้องทำให้เสร็จสิ้นภายใน 8 คาบสัญญาณนาฬิกา ด้วยเหตุผลดังกล่าว ระบบมัลติเพล็กซ์จึงใช้หลักการกำเนิดสัญญาณประจำที่จำเป็นทุกๆ 8 คาบสัญญาณนาฬิกาเพื่อใช้ในการกระตุ้นและควบคุมส่วนต่างๆที่เกี่ยวข้อง ซึ่งจะได้กล่าวต่อไป

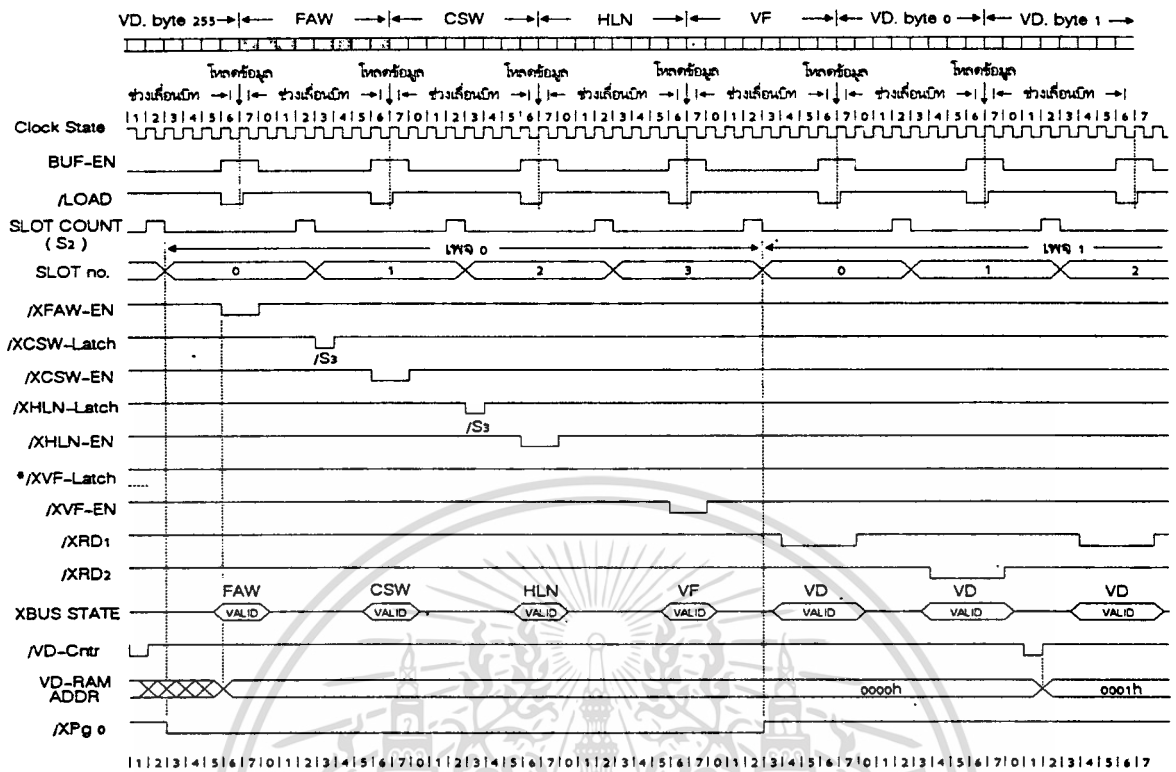
จากรูปที่ 7.1 ส่วนมัลติเพล็กซ์จะประกอบด้วยส่วนต่างๆดังนี้

U7 ,U8 ,U9 และ U10	ทำหน้าที่กำเนิดสัญญาณสถานะควบคุมประจำ S0-S7
U12 ,U13 ,U14	ทำหน้าที่เป็นตัวนับความยาวเฟรม โดย U12 เป็นตัวนับจำนวนไบต์/เฟจ คือ 4 ไบต์/เฟจ และ U13 ,U14 เป็นตัวนับจำนวนเฟจ/เฟรม คือ 65 เฟจ /เฟรม
U11	ทำหน้าที่เป็นตัวกระจายพัลส์ (Demultiplexer Selector) คือ แลตช์พัลส์ (Latch) และ อินาเบิลพัลส์ .EN (Enable) ซึ่งกำเนิดจากตัวกำเนิดสถานะไปยังบัฟเฟอร์ข้อมูลต่างๆ เพื่อ แลตช์ข้อมูลลงสู่บัฟเฟอร์และอินาเบิลข้อมูลจากตัวบัฟเฟอร์ลงสู่บัสของระบบ .XBUS เพื่อโหลดเข้าสู่ตัวแปลงข้อมูลขนานเป็นอนุกรมต่อไป
U16	ทำหน้าที่เป็นตัวกระจายพัลส์เช่นเดียวกับ U11 แต่เป็นพัลส์สำหรับนับแอดเดรสของหน่วยความจำภาพ .พัลส์สำหรับการอ่านหน่วยความจำภาพ .และพัลส์สำหรับการกำเนิดแพทเทอร์ทดสอบ
U15	ทำหน้าที่เป็นตัวตรวจหาเฟจ 0 เพื่ออินาเบิล U11 หรือ U16 ต่อไป
U6	ทำหน้าที่กำเนิดสัญญาณโหลด ./LOAD สำหรับโหลดข้อมูลจากบักระบบเข้าสู่ตัวแปลงข้อมูลขนานเป็นอนุกรม
U17B	ทำหน้าที่กำเนิดสัญญาณอ่านหน่วยความจำ ./XRD
U18 ,U19	เป็นบัฟเฟอร์สำหรับ CSW และ FAW ตามลำดับ ส่วนบัฟเฟอร์ตัวอื่นๆจะไปแสดงในส่วนที่มันเกี่ยวข้องอยู่

การทำงานของระบบในรูปที่ 7.1 เริ่มจาก ตัวกำเนิดสถานะ U7 ,U8 ,U9 และ U10 จะกำเนิดสัญญาณ /S0 ,S1 ,S2 ./S3 และ BUF-EN โดยนับจากสัญญาณนาฬิกาซึ่งมีรายละเอียด ดังนี้

S1	ใช้เป็นพัลส์นับ .Cntr สำหรับตัวกำเนิดแอดเดรสใช้สำหรับการอ่านข้อมูลภาพที่เก็บในหน่วยความจำภาพ
S2	ใช้เป็นพัลส์สำหรับส่วนนับความยาวเฟรมข้อมูล
/S3	ใช้เป็นพัลส์สำหรับ แลตช์ .Latch ข้อมูลเข้าสู่ตัวบัฟเฟอร์
BUF-EN	ใช้เป็นพัลส์สำหรับการ อินาเบิล ข้อมูลในบัฟเฟอร์เข้าสู่บัสข้อมูลของระบบ .XBUS เป็นพัลส์ที่แอกทีฟในช่วง S6 และ S7

โดย /S0 จะถูกส่งไปยังส่วนนับความยาวเฟรมเพื่อตัวนับจำนวนไบต์/เฟจ (4 ไบต์/เฟจ) คือ U12 และตัวนับจำนวนเฟจ/เฟรม (65 เฟจ/เฟรม) คือ U13 ,U14 หมายเลขเฟจที่นับได้จะถูกส่งไปยัง U15 เพื่อตรวจหาเฟจ 0 คือ สัญญาณ /XPg 0 โดยส่วนหนึ่งส่งโดยตรงไปอินาเบิล U11 และอีกส่วนส่งผ่านอินเวอร์เตอร์ U10A ไปอินาเบิล U16 ดังนั้นจะเห็นได้ว่า U11 จะแอกทีฟเฉพาะช่วงเฟจ 0 และ U16 จะ

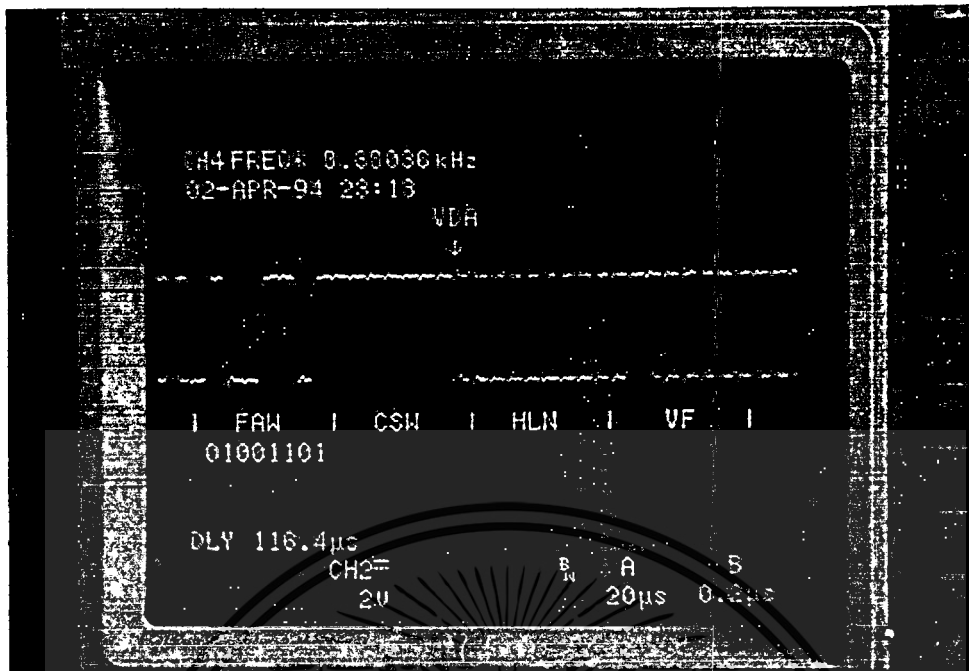


* /XVF-Latch จะไม่ใช้จากส่วนมัลติเพล็กซ์ข้อมูลแต่จะได้จากวงจรในส่วนของการรับข้อมูลเสียง

รูปที่ 7.2 ไตอะแกรมเวลาของระบบมัลติเพล็กซ์ข้อมูล

แอดทีฟเฉพาะช่วงเฟรม 1 ถึง เฟรม 64 ซึ่งเป็นช่วงข้อมูลภาพดังจะไดกล่าวต่อไป

ส่วนสัญญาณ /S₃ และ BUF-EN เป็นสัญญาณแลตช์และอินเวิลต์บัฟเฟอร์ถูกส่งไปยัง U11 เพื่อกระจายไปให้บัฟเฟอร์ทั้ง 4 ตัวในเฟรม 0 โดยได้รับข้อมูลการระบุตัวบัฟเฟอร์จาก U12 ในส่วนของ เฟรม 1 ถึง เฟรม 64 ซึ่งเป็นส่วนของข้อมูลภาพจะใช้พัลส์อ่านหน่วยความจำภาพ ./XRD จาก U17B ซึ่งควบคุมโดยสัญญาณ XPg 0 ./S₃ และ /S₀ และพัลส์นับแอดเดรสของหน่วยความจำภาพ .S₁ ทั้งสองสัญญาณนี้จะถูกส่งไปยังตัวกระจายพัลส์ U16 ซึ่งแอดทีฟเฉพาะในช่วงเฟรม 1 ถึงเฟรม 64 ดังที่ได้กล่าวมา ในบทที่แล้วว่าส่วนของข้อมูลภาพจะแบ่งเป็น 2 โหมด คือ โหมดสัญญาณภาพปกติและโหมดแพทเทอรันทดสอบ ในโหมดสัญญาณภาพปกติ พัลส์อ่านหน่วยความจำ ./XRD จะถูกส่งออกไปเป็น /XRD1 และ /XRD2 สลับกันไบต์คู่และไบต์คี่สาเหตุเนื่องจากการจัดหน่วยความจำภาพมีลักษณะที่ต่างออกไปจากลักษณะทั่วไปซึ่งจะได้กล่าวอีกครั้งในเรื่องของหน่วยความจำภาพ ส่วนพัลส์นับแอดเดรสหน่วยความจำภาพ .S₁ จะถูกส่งออกไปเป็น /VD-Cntr ส่วนในโหมดแพทเทอรันทดสอบ /XRD จะถูกส่งออกไปเป็น /XTP-RD และพัลส์ S₁ ถูกส่งออกไปเป็น /TP-Cntr ทั้ง 2 โหมดที่กล่าวมาถูกเลือกโดยสัญญาณ /RAM-EN ซึ่งถูกส่งมาจากส่วนเชื่อมต่อ VDG/MUX โดย 0 หมายถึง ข้อมูลภาพปกติ และ 1 หมายถึง แพทเทอรันทดสอบ



รูปที่ 7.3 แสดงสัญญาณมัลติเพล็กซ์ในเพจ 0 ที่วัดได้

ส่วนสัญญาณโหลด /LOAD เป็นสัญญาณสำหรับการโหลดข้อมูลที่ปรากฏบนบัคของระบบ .XBUS ลงสู่ตัวแปลงข้อมูลนานเป็นอนุกรม ซึ่งกำเนิดโดย U6 ร่วมกับสัญญาณ /So และ BUF-EN โดยสัญญาณโหลดนี้จะแอดคัพในช่วงต่อระหว่าง S6 และ S7

สัญญาณ /CHK-P เป็นสัญญาณสำหรับการตรวจสอบเกิดขึ้นที่ปลายเฟรมทุกๆเฟรม ถูกต่อไปยังส่วนเชื่อมต่อ VDG/MUX ซึ่งจะได้กล่าวต่อไป

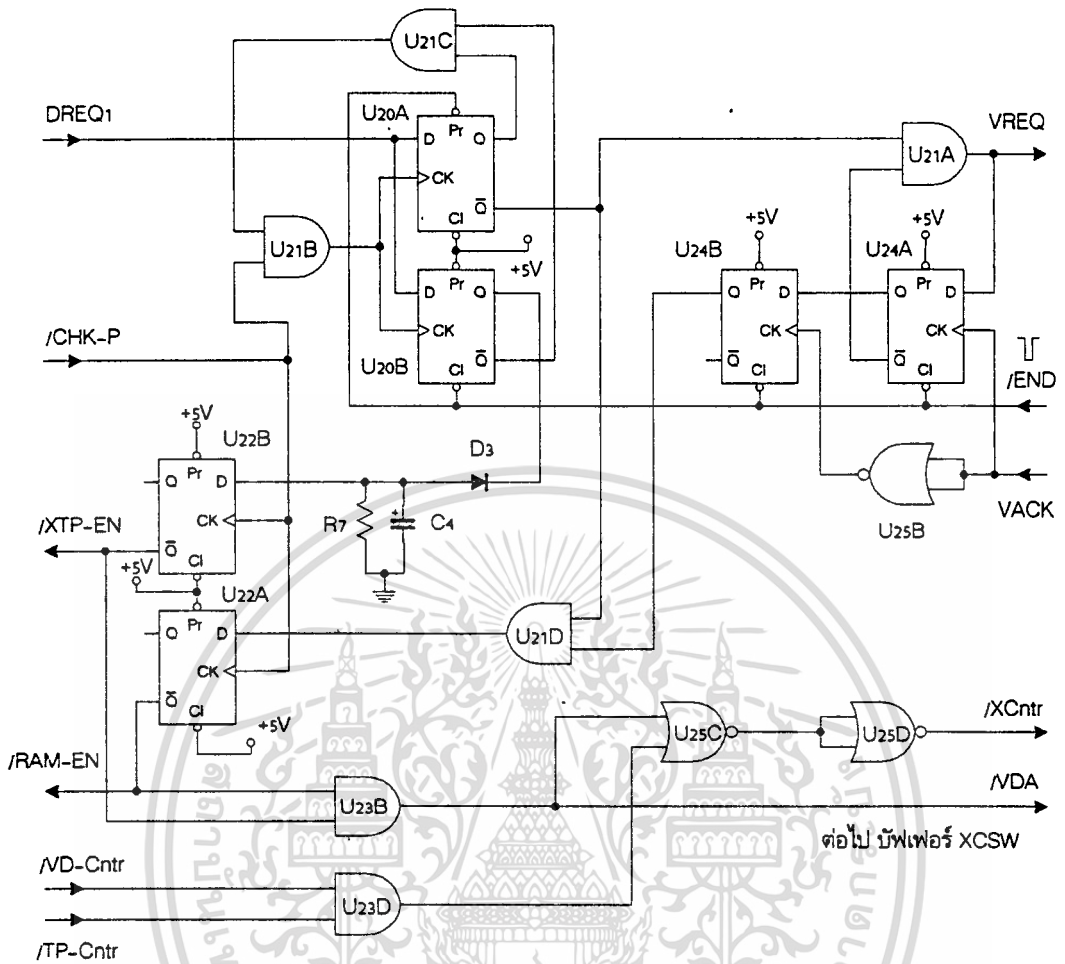
แผนผังเวลาของสัญญาณต่างๆของระบบมัลติเพล็กซ์แสดงในรูปที่ 7.2 จะเห็นว่าข้อมูลจากบัคจะถูกโหลดลงสู่ตัวแปลงข้อมูลนานเป็นอนุกรมทุกๆ 8 คาบสัญญาณนาฬิกา ส่วนรูปที่ 7.3 แสดงสัญญาณที่มัลติเพล็กซ์และแปลงเป็นข้อมูลอนุกรมแล้วซึ่งวัดโดยออสซิลโลสโคปแสดงเฉพาะในส่วนของเพจ 0 ซึ่งประกอบด้วย FAW ,CSW ,HLN ,และ VF

การติดต่อระหว่างส่วนมัลติเพล็กซ์ข้อมูล ,MUX และส่วนดิจิทัลสัญญาณภาพ ,VDG ถูกควบคุมด้วยส่วนเชื่อมต่อ VDG/MUX วงจรแสดงดังรูป 7.4 มีรายละเอียดสัญญาณ ดังนี้

สัญญาณ /CHK-P ,/VD-Cntr ,/TP-Cntr และ /RAM-EN ต่อเข้ากับส่วนมัลติเพล็กซ์ซึ่งได้กล่าวมาแล้ว

สัญญาณ DREQ1 เป็นสัญญาณร้องขอแบบข้อมูลซึ่งถูกส่งมาจากคู่สถานี โดยเมื่อ DREQ1 เป็น 0 จะหมายถึงข้อมูลภาพปกติ และ DREQ1 เป็น 1 จะหมายถึง แพทเทอร์นทดสอบ

สัญญาณ /XTP-EN เป็นสัญญาณเพื่อใช้ในการอินาเบิลข้อมูลแพทเทอร์นทดสอบลงสู่บัคของระบบ .XBUS ซึ่งสัญญาณนี้จะถูกต่อไปยังหน่วยความจำภาพ



รูปที่ 7.4 แสดงวงจรเชื่อมต่อส่วนมัลติเพล็กซ์ข้อมูลและส่วนดิจิทัลสัญญาณภาพ หรือ VDG/MUX

สัญญาณ /VDA เป็นสัญญาณควบคุมแสดงการปรากฏอยู่ของข้อมูลภาพ (ทั้งภาพปกติและแพทเทิร์นทดสอบ) ต่อไปยังบัฟเฟอร์ CSW เพื่อส่งไปยังคู่สถานี

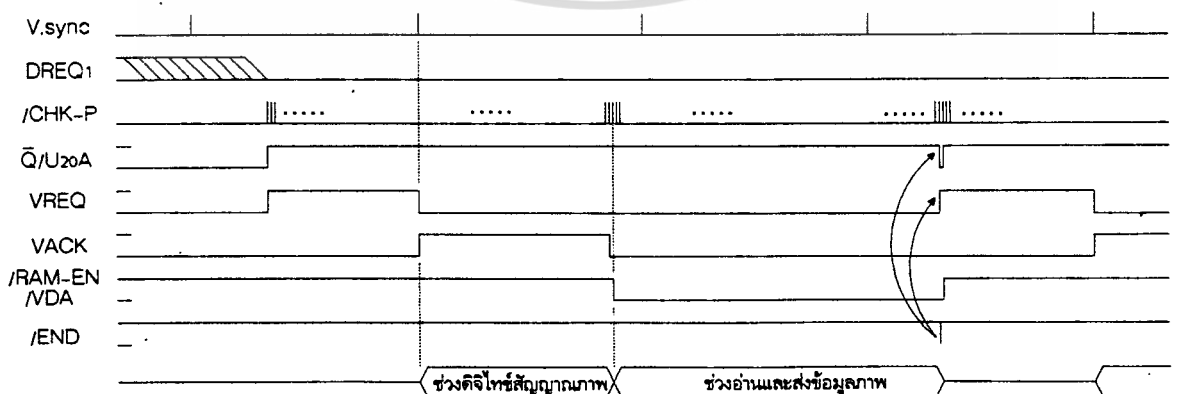
สัญญาณ VREQ ,VACK ,XCntr และ /END ต่อไปยังส่วนดิจิทัลสัญญาณภาพเพื่อควบคุมจังหวะการดิจิทัลสัญญาณภาพและการอ่านข้อมูลภาพเพื่อการมัลติเพล็กซ์ โดย

- VREQ แอคทีฟที่โลจิก 1 เป็นสัญญาณร้องขอข้อมูลภาพที่ส่งไปยังส่วนดิจิทัลสัญญาณภาพ .VDG เมื่อส่วน VDG ได้รับสัญญาณนี้ก็จะเริ่มทำการดิจิทัลสัญญาณภาพเมื่อเสร็จกระบวนการจะแจ้งกลับมาทางสัญญาณ VACK
- VACK เป็นสัญญาณตอบรับการร้องขอข้อมูลภาพ โดยเมื่อได้รับสัญญาณ VREQ แล้วตัว VDG จะตอบรับโดยการควบคุมให้ VACK เปลี่ยนโลจิกจาก 0 ไปเป็น 1 โดยซิงโครไนซ์กับสัญญาณซิงค์แนวตั้ง .V.Sync และเมื่อดิจิทัลสัญญาณภาพลงสู่หน่วย

ความจำเรียบร้อยแล้วจะควบคุมให้ VACK เปลี่ยนลอจิกจาก 1 กลับมาเป็น 0 ตามเดิม เพื่อแจ้งให้ระบบ MUX เข้ามาอ่านข้อมูลภาพในหน่วยความจำภาพเพื่อนำไปผลิตเพล็กซ์ต่อไป

- XCntr เป็นพัลส์นับแอดเดรสหน่วยความจำซึ่งตัวมัลติเพล็กซ์ส่งเข้าไปยังตัวนับแอดเดรสหน่วยความจำ (ผ่านส่วนเชื่อมต่อ VDG/MUX) ซึ่งอยู่ภายในส่วนดิจิทัลสัญญาณภาพเพื่อกำหนดตำแหน่งข้อมูลภายในหน่วยความจำที่ต้องการอ่านออกมา (ตัวนับแอดเดรสหน่วยความจำนี้จะถูกควบคุมจาก 2 ส่วนคือ เมื่อ VACK เป็น 1 จะถูกควบคุมโดยส่วนดิจิทัลสัญญาณภาพ และเมื่อ VACK เป็น 0 จะถูกควบคุมโดยส่วนมัลติเพล็กซ์ข้อมูลเอง)
- /END เป็นสัญญาณแสดงการสิ้นสุดการอ่านหน่วยความจำซึ่งจะแอกทีฟเฉพาะช่วงที่ VACK เป็น 0 คือช่วงที่ตัวนับแอดเดรสหน่วยความจำถูกควบคุมโดยส่วน MUX

การทำงานในส่วนนี้จะเริ่มจากกรณีการร้องขอแบบข้อมูลภาพปกติ คือ DREQ- 0 เมื่อกำหนดให้ฟิลิฟลอป U20A ถูกพรีเซตและตัวอื่นๆถูกเคลียร์ เมื่อมีสัญญาณตรวจสอบ ./CHK-P เข้ามา $\bar{Q}$ ของ U20A จะเป็น 1 และ $\bar{Q}$ ของ U20B จะเป็น 0 (ซึ่งต่อไปจะทำให้ /XTP-EN เป็น 1 คือไม่แอกทีฟ) ทำให้เกต U21B ถูกปิดเป็นการป้องกันไม่ให้ถูกสัญญาณ /CHP-P กระตุ้นเข้าขณะที่กระบวนการถ่ายโอนข้อมูลไปยังส่วน MUX ยังไม่เสร็จสิ้น เมื่อ $\bar{Q}$ ของ U20A เป็น 1 .VREQ จะเป็น 1 ด้วยจึงเป็นการแจ้งการร้องขอข้อมูลภาพต่อส่วนดิจิทัลสัญญาณภาพ .VDG จากนั้นส่วน VDG จะตอบกลับด้วยสัญญาณ VACK ซึ่งจะตอบกลับในจังหวะเดียวกับที่เกิดสัญญาณซิงค์แนวตั้ง .V.sync เนื่องจากเป็นจุดเริ่มต้นของฟิลด์ภาพโดยจะทำให้สัญญาณ VACK เปลี่ยนระดับลอจิกจาก 0 ไปเป็น 1 สัญญาณขอขาขึ้นของ VACK นี้จะทำให้ค่าลอจิก 1 ของ VREQ ถูกเก็บเข้าสู่ U24A พร้อมกันนั้นเกต U21A ก็จะถูกปิดด้วย

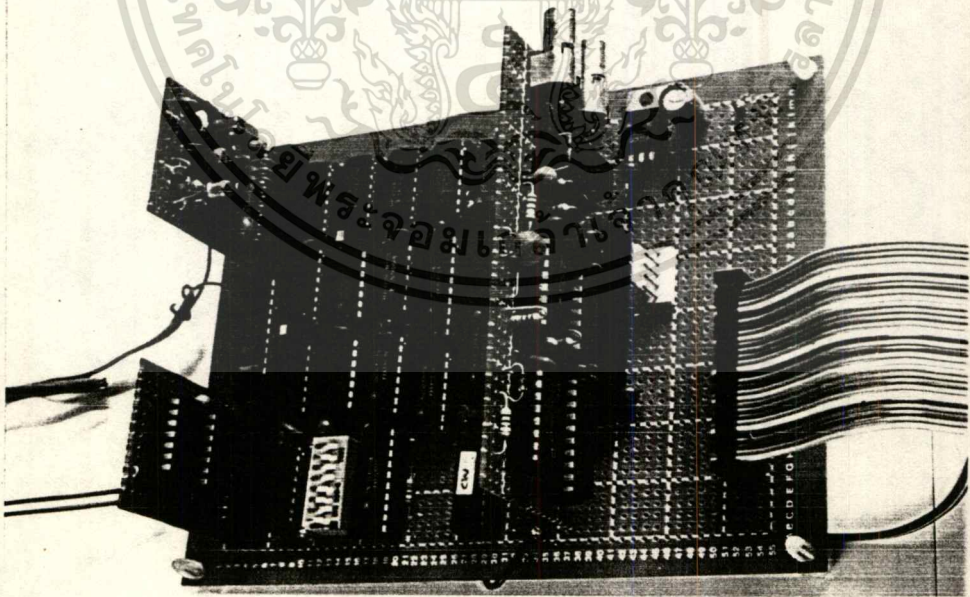


รูปที่ 7.5 ไตอะแกรมเวลาของส่วนเชื่อมต่อ VDG/MUX

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อการดิจิทัลสัญญาณภาพเสร็จสิ้นลง สัญญาณ VACK จะเปลี่ยนลอจิกจาก 1 กลับสู่ 0 ตามเดิมสัญญาณขอบขาของนี้จะทำให้ลอจิก 1 ที่เก็บอยู่ภายใน U24A ถูกส่งต่อไปให้ U24B ทำให้ขา D ของ U22A มีลอจิกเป็น 1 เมื่อเกิด /CHK-P ตัวต่อไป $\bar{Q}$ ของ U22A หรือ /RAM-EN จึงเปลี่ยนลอจิกเป็น 0 ส่งต่อไปให้ส่วน MUX ทำให้ส่วน MUX ส่งพัลส์ /VD-Cntr กลับออกมา (พร้อมกับ /XRD1 ,/XRD2 ซึ่งเป็นสัญญาณอ่านหน่วยความจำ) ผ่าน U25C และ D เป็น /XCntr ส่งไปยังตัวนับแอดเดรสภายในส่วน VDG จากนั้นข้อมูลภาพภายในหน่วยความจำจะถูกถ่ายโอนลงสู่ XBUS ของระบบ เมื่อถึงข้อมูลภาพสุดท้ายซึ่งก็คือตัวนับ นับถึงแอดเดรสสุดท้าย ตัวนับแอดเดรสจะส่งพัลส์ /END กลับออกมาเช็ต U20A และเคลียร์ U20B และ U24 เข้าสู่จุดเริ่มต้นเพื่อเริ่มเช็ต DREQ1 ใหม่ต่อไป โดยจะแกรมเวลาแสดงดังรูปที่ 7.5 ซึ่งเป็นกรณี DREQ1 เป็น 0

ส่วนในกรณีของแพทเทิร์นทดสอบ คือ DREQ1 เป็น 1 เมื่อเกิด /CHK-P ขึ้น $\bar{Q}$ ของ U20B จะเป็น 1 และ $\bar{Q}$ ของ U20A เป็น 0 ซึ่ง VREQ ไม่แอดทีฟ เมื่อ $\bar{Q}$ ของ U20B เป็น 1 , D ของ U22B จะเป็น 1 ด้วยแต่จะถูกหน่วงเวลาไประยะหนึ่งโดย R7 ,C4 จุดประสงค์เพื่อทำให้ /VDA มีการเปลี่ยนระดับลอจิกมิฉะนั้นที่เครื่องรับของคู่สถานีจะไม่สามารถสวิตช์หน่วยความจำได้ จากนั้นเมื่อเกิด /CHK-P ตัวต่อไป /XTP-EN จะเป็น 0 ทำให้ส่วน MUX ปลอ่ยพัลส์ /TP-Cntr เข้ามาผ่าน U25C,D ไปเป็น /XCntr



รูปที่ 7.6 ภาพแสดงบอร์ดมัลติเพล็กซ์ที่สร้างขึ้น (บอร์ดใหญ่) ส่วนอีก 3 บอร์ดที่เสียบอยู่บนคอนเน็คเตอร์ประกอบด้วย ตัวแสดงมัลติเพล็กซ์ (มุมซ้ายล่าง) ส่วนกำเนิดสัญญาณนาฬิกา (มุมซ้ายบน) และส่วนเข้ารหัสข้อมูลเสียง (ขวา)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ส่วนแปลงสัญญาณอนาล็อกเป็นดิจิตอลแบบแฟลช (Flash A/D) ประกอบด้วย U57 ,U58 เป็นตัวแปลงความเร็วสูงทำหน้าที่สุ่มสัญญาณภาพและแปลงเป็นข้อมูลดิจิตอลซึ่งจะปรากฏที่ บัส SD0-SD7 โดย SCLK เป็นสัญญาณนาฬิกาที่ใช้สุ่มค่ามีความถี่ 5 MHz
- ส่วนแยกสัญญาณซิงค์ภาพ (Sync Separator) ประกอบด้วย U41 และ U42 โดย U42 ใช้หมายเลข LM1881 ทำหน้าที่แยกสัญญาณซิงค์ภาพออกเป็น สัญญาณซิงค์แนวตั้งและ สัญญาณซิงค์รวมซึ่งใช้แทนสัญญาณซิงค์แนวนอนใช้ในการกำหนดช่วงเวลาในการสุ่ม สัญญาณและการนับจำนวนเส้นกวาด ส่วน U41 เป็น โมโนสเตเบิลมัลติไวเบรเตอร์ใช้ในการ ปรับความกว้างของสัญญาณซิงค์ใหม่ให้เหมาะสมในการใช้งาน
- ส่วนกำเนิดสัญญาณเวลา ประกอบด้วย U31 ,U32 ,U33A ,U34B ,U34C ,และ U44C ทำหน้าที่ กำเนิดสัญญาณเขียนหน่วยความจำ (/WR) ,สัญญาณแลทช์ (Latch) ,สัญญาณเลื่อนข้อมูล ภาพ (Shift) ซึ่งทั้ง 3 สัญญาณนี้จะต่อไปยังส่วนของหน่วยความจำภาพซึ่งจะได้กล่าวต่อไป และสัญญาณนับแอดเดรสหน่วยความจำ (/SCntr) ส่วนกำเนิดสัญญาณเวลานี้จะถูกควบคุม ด้วยสัญญาณ CLR ซึ่งแอกทีฟที่โลจิก 0
- ส่วนนับแอดเดรสหน่วยความจำ (Address Counter) ประกอบด้วย U36 ,U37 ,U39 ,และ U40 โดย U39 และ U40 ต่อเป็นตัวนับขนาด 8 บิตทำหน้าที่นับจำนวนเส้นกวาดแนวนอน (256 เส้นกวาด) ส่วน U36 และ U37 ต่อเป็นตัวนับขนาด 7 บิตทำหน้าที่กำเนิดแอดเดรสสำหรับ เก็บจุดภาพในแต่ละเส้นกวาดแนวนอน กำเนิดได้ 128 แอดเดรสโดยจะเก็บแอดเดรสละ 2 จุด ภาพรวมเป็น 256 จุดภาพ รายละเอียดวิธีการเก็บจะกล่าวในส่วนของหน่วยความจำภาพ
- หน่วยความจำภาพ ,VD-RAM (Video RAM) ซึ่งไม่ได้แสดงในรูปที่ 7.7 ทำหน้าที่เก็บข้อมูล ภาพโดยจะใช้วิธีเก็บแบบเลื่อนข้อมูลภาพซึ่งจะได้กล่าวต่อไป

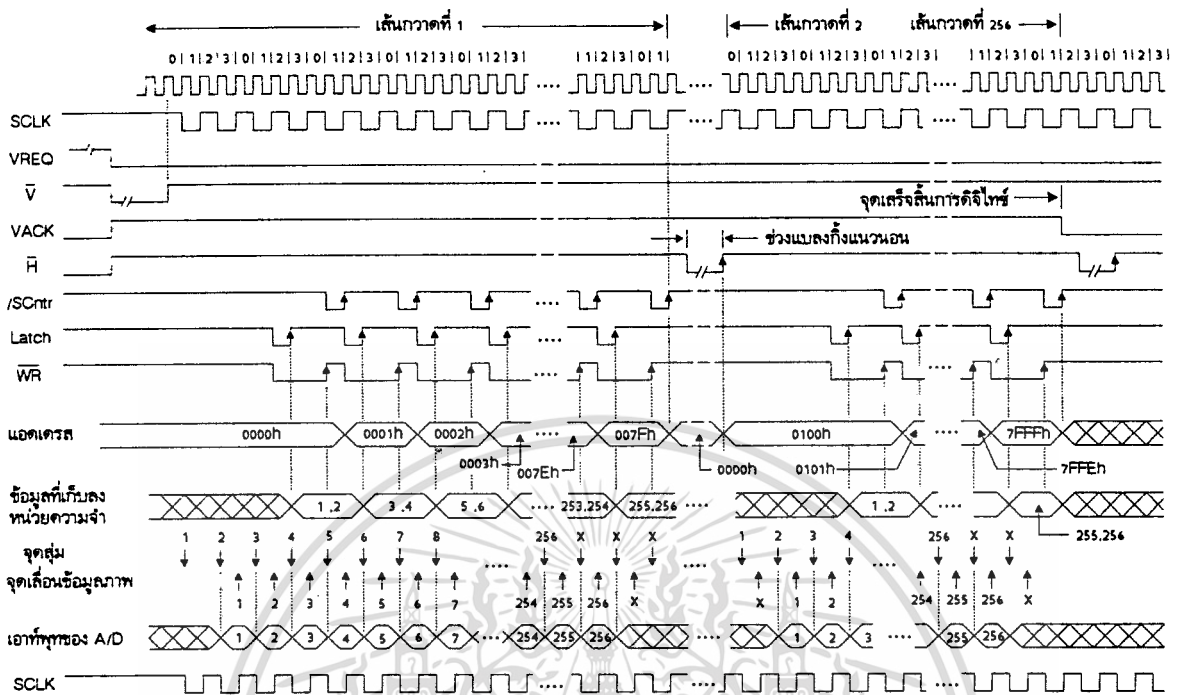
การทำงานของส่วนดิจิไทซ์สัญญาณภาพจะแบ่งเป็น 2 โหมด คือ โหมดการดิจิไทซ์สัญญาณ ภาพ (เก็บข้อมูลภาพ) และโหมดการอ่านข้อมูลภาพ ซึ่ง 2 โหมดนี้ถูกเลือกโดยสวิตช์ SW1-SW4 หรือ U38 ซึ่งถูกควบคุมโดยสัญญาณ VACK โดย เมื่อ VACK มีโลจิกเป็น 1 จะเป็นโหมดดิจิไทซ์สัญญาณ ภาพ (SW อยู่ที่ตำแหน่ง $\bar{A}$) โดยจะทำการสุ่มสัญญาณภาพ ,แปลงเป็นข้อมูลดิจิตอลและเก็บลงสู่ หน่วยความจำ ในโหมดนี้ตัวนับแอดเดรสหน่วยความจำจะถูกควบคุมด้วยส่วนดิจิไทซ์สัญญาณภาพเอง และเมื่อ VACK มีโลจิกเป็น 0 จะเป็นโหมดการอ่านข้อมูลภาพ โดยส่วนมัลติเพล็กซ์ (MUX) และส่วน เชื่อมต่อ VDG/MUX จะเข้ามาควบคุมตัวนับแอดเดรสหน่วยความจำและอ่านข้อมูลภาพในหน่วยความ จำเพื่อนำไปมัลติเพล็กซ์

- การทำงานในโหมดดิจิไทซ์สัญญาณภาพจะเริ่มจากการมีสัญญาณร้องขอ ,VREQ จากส่วน เชื่อมต่อ VDG/MUX จากรูป 7.6 เมื่อเกิดสัญญาณ V ขึ้นซึ่งเป็นสัญญาณแสดงการเริ่มต้นของเฟรมภาพ

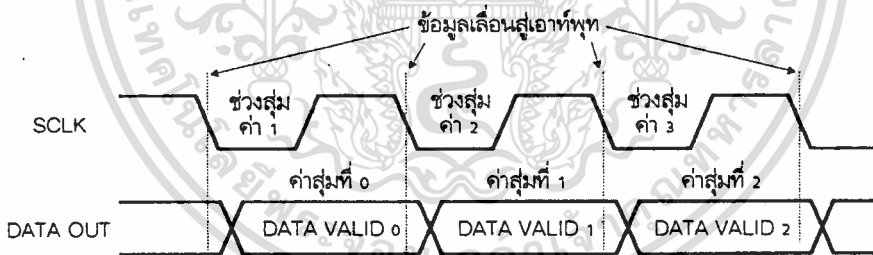
การดิจิทัลก็จะเริ่มขึ้นโดย U43A จะถูกกระตุ้นด้วยขอบขาขึ้นของ V (ในขณะนี้ส่วนกำเนิดสัญญาณเวลาจะยังไม่ทำงานเนื่องจากยังถูกเคลียร์โดย $\bar{V}$ ผ่านทาง U35D ,U35C และ U35A ตามลำดับ) ทำให้ VACK = 1 สวิตช์ทั้ง 4 ตัวจะเปลี่ยนไปอยู่ที่ตำแหน่ง A ทำให้ส่วนนับจำนวนเส้นกวาดแนวนอน U39 ,U40 ได้รับสัญญาณนับจาก $\bar{H}$ และถูกเคลียร์โดย V และส่วนนับจำนวนจุด U36 ,U37 ได้รับสัญญาณนับ /SCNtr จากส่วนกำเนิดสัญญาณเวลาและถูกเคลียร์โดย $\bar{H}$ ผ่านทาง U35D จากที่กล่าวมาข้างต้น เมื่อสิ้นสุดสัญญาณ V ส่วนกำเนิดสัญญาณเวลาจะเริ่มทำงานซึ่งจะกำเนิดสัญญาณ /WR ,Latch ,Shift ส่งไปยังหน่วยความจำภาพและสัญญาณ /SCNtr ส่งไปยังส่วนนับจำนวนจุด (U36 ,U37) เพื่อกำเนิดแอดเดรส SA0-SA14 ส่งไปยังหน่วยความจำภาพในขณะเดียวกัน Flash A/D ก็จะเริ่มทำการสุ่มสัญญาณภาพและแปลงเป็นข้อมูลดิจิทัล (SD0-SD7) ส่งไปยังหน่วยความจำภาพด้วยโดยใช้สัญญาณ /SCLK ซึ่งเป็นสัญญาณเดียวกันกับสัญญาณ Shift เป็นสัญญาณกำหนดอัตราการสุ่มซึ่งมีความถี่ 5 MHz เมื่อส่วนนับจำนวนจุดนับเต็ม 7 บิตหมายความว่าเสร็จสิ้นการเก็บข้อมูล 1 เส้นกวาดส่วนนับจำนวนจุดจะกำเนิดสัญญาณ CO ไปกระตุ้น U33B เป็นการเคลียร์ส่วนกำเนิดสัญญาณเวลาผ่านทาง U35A และเมื่อสิ้นสุดเส้นกวาดก็จะเกิดสัญญาณ $\bar{H}$ ไปกระตุ้นส่วนนับจำนวนเส้นกวาดให้เพิ่มแอดเดรส SA7-SA14 ขึ้นหนึ่ง และไปเคลียร์ ส่วนนับจำนวนจุดและ U33B ผ่านทาง U35D ,U35C และ U35B ตามลำดับเพื่อทำการเก็บข้อมูลภาพในเส้นกวาดต่อไป กระบวนการทั้งหมดที่กล่าวมาข้างต้นจะเกิดซ้ำๆ ไปเรื่อยจนกระทั่งสิ้นสุดเส้นกวาดสุดท้ายคือ เส้นกวาดที่ 256 ส่วนนับจำนวนเส้นกวาดจะนับเต็ม 8 บิตและจะกำเนิดสัญญาณ CO ไปกระตุ้น U43B ซึ่งจะทำให้ U43A ถูกเคลียร์ด้วย สัญญาณ VACK จึงเปลี่ยนระดับลอจิกจาก 1 กลับมาเป็น 0 เป็นการสวิตช์ SW1-SW4 มาที่ตำแหน่ง B เข้าสู่โหมดการอ่านหน่วยความจำภาพและเป็นการแจ้งกลับไปให้ส่วนเชื่อมต่อ VDG/MUX ทราบเพื่อเข้ามาทำการอ่านหน่วยความจำภาพ โดยจะแถมเวลาในโหมดของการดิจิทัลสัญญาณภาพแสดงดังรูปที่ 7.8 จากรูปมีส่วนที่ต้องทำความเข้าใจเล็กน้อยเกี่ยวกับการทำงานของ Flash A/D ซึ่งเป็นตัวแปลงสัญญาณอนาลอกเป็นดิจิทัลความเร็วสูงสามารถทำการแปลงเสร็จภายใน 1 คาบสัญญาณนาฬิกาโดยขอบขาของ SCLK จะเป็นการสุ่มสัญญาณอนาลอกทางอินพุตขณะเดียวกันก็จะเป็นการนำค่าข้อมูลดิจิทัลซึ่งเกิดจากการสุ่มครั้งที่แล้วออกไปทางเอาต์พุต ดังนั้นการสุ่มสัญญาณที่เวลาใดๆจะปรากฏค่าการแปลงในอีก 1 คาบสัญญาณนาฬิกาต่อไป ดังรูป 7.9

- การทำงานในโหมดการอ่านข้อมูลภาพ เริ่มต้นหลังจากกระบวนการดิจิทัลสัญญาณภาพเสร็จสิ้นลงหรือ VACK เปลี่ยนระดับลอจิกจาก 1 กลับมาเป็น 0 ที่สภาวะนี้ ส่วนกำเนิดสัญญาณเวลาและ U33B จะหยุดทำงานและสวิตช์ SW1-SW4 ถูกควบคุมให้อยู่ที่ตำแหน่ง B ซึ่งทำให้ตัวนับแอดเดรสทั้ง 2 ส่วนถูกต่อลำดับเข้าด้วยกันเป็นตัวนับแอดเดรสขนาด 15 บิตโดยรับสัญญาณนับ /XCntr จากภายนอกและตัวนับในส่วน 7 บิตแรกจะถูกเคลียร์อย่างสม่ำเสมอด้วยสัญญาณ /FAW-EN ดังที่ได้กล่าวมาแล้ว เมื่อ VACK มีการเปลี่ยนระดับลอจิกจาก 1 กลับมาเป็น 0 ขอบขาของสัญญาณนี้จะถูกตรวจพบโดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.8 โดยอะแกรมเวลาแสดงการดิจิทัลสัญญาณภาพของส่วนดิจิทัลสัญญาณภาพ

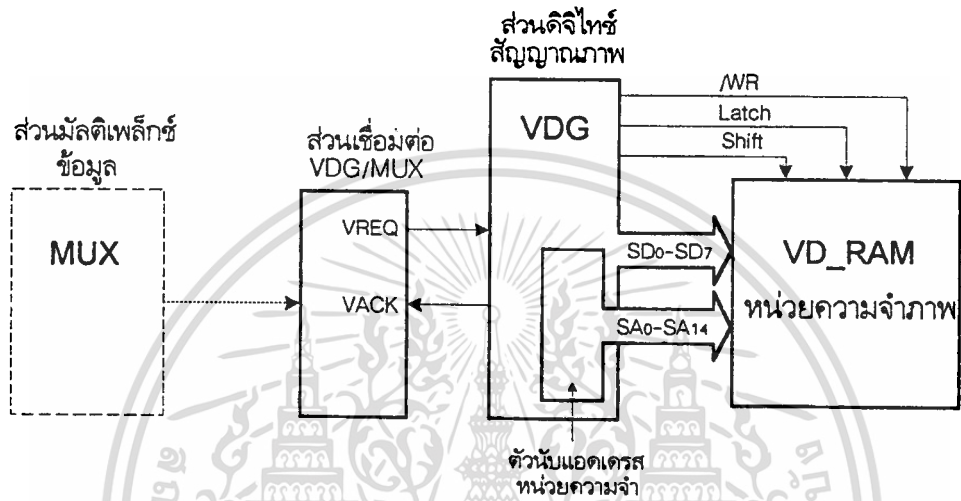


รูปที่ 7.9 โดยอะแกรมเวลาแสดงการสลับและการแปลงข้อมูลของตัวแปลงแบบแฟลช

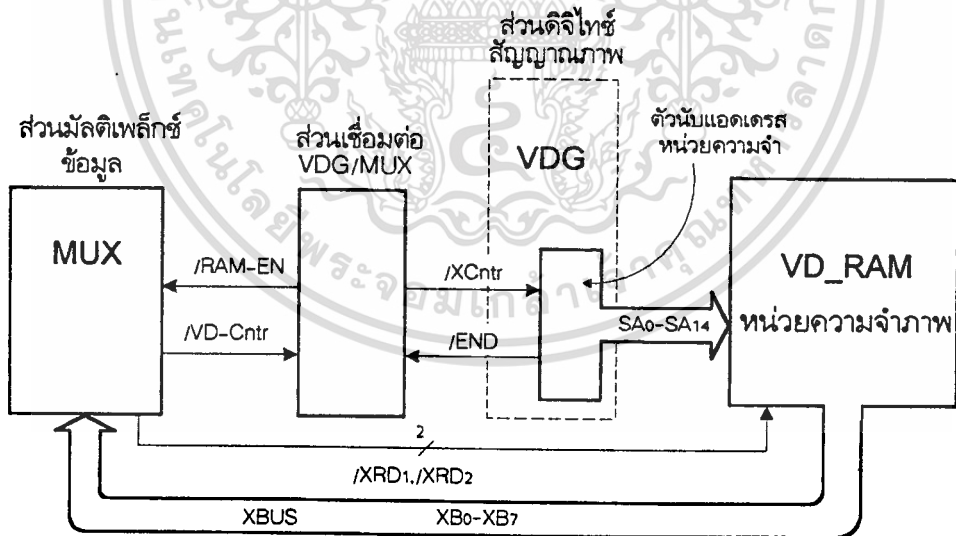
ส่วนเชื่อมต่อ VDG/MUX ซึ่งจะอินพุตส่วนมัลติเพล็กซ์ข้อมูลให้ส่งสัญญาณอ่านหน่วยความจำ /XRD1, /XRD2 ไปยังหน่วยความจำภาพและส่งสัญญาณนับ /VD-Cntr ผ่านส่วนเชื่อมต่อ VDG/MUX เป็นสัญญาณ /XCntr ไปยังตัวนับแอดเดรสขนาด 15 บิตเพื่อกำหนดแอดเดรส SA0-SA14 ส่งไปยังหน่วยความจำภาพ ขณะเดียวกันข้อมูลภาพที่อ่านได้จากหน่วยความจำก็จะถูกส่งกลับไปยังส่วนมัลติเพล็กซ์ข้อมูลเพื่อมัลติเพล็กซ์ต่อไป เมื่ออ่านข้อมูลครบ 1 เส้นกวาด (256 ไบต์) หรือ 1 เฟรมข้อมูลซึ่งสอดคล้องกับที่ตัวนับแอดเดรส 7 บิตแรกนับเต็มพอที่จะเกิดสัญญาณทอต CO ผ่าน SW3 ไปยังตัวนับแอดเดรส 8 บิตบนเพื่อเปลี่ยนแอดเดรสไปเป็นเส้นกวาดต่อไป หลังจากนั้นอีก 1 คาบสัญญาณนาฬิกา XCLK (ดู

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไต่อะแกรมเวลาในรูปที่ 7.2 ประกอบ) จะเกิดสัญญาณ /FAW-EN เข้ามาเคลียร์ตัวนับแอดเดรส 7 บิต เพื่อเริ่มต้นใหม่ที่จุดภาพแรก กระบวนการอ่านข้อมูลภาพจะเป็นเช่นนี้ไปเรื่อยๆ จนกระทั่งข้อมูลจุดภาพสุดท้ายของเส้นกวาดสุดท้ายถูกอ่านออกไปจากนั้นจะเกิดสัญญาณทอต CO จากตัวนับแอดเดรส 8 บิต บนส่งผ่านออกมาทาง SW2 เป็นสัญญาณ /END ส่งกลับไปที่เคลียร์ระบบภายในส่วนเชื่อมต่อ VDG/MUX เพื่อเริ่มต้นร้องขอให้เกิดการดิจิทัลสัญญาณภาพใหม่เป็นการเสร็จสิ้นกระบวนการอ่านข้อมูลภาพ

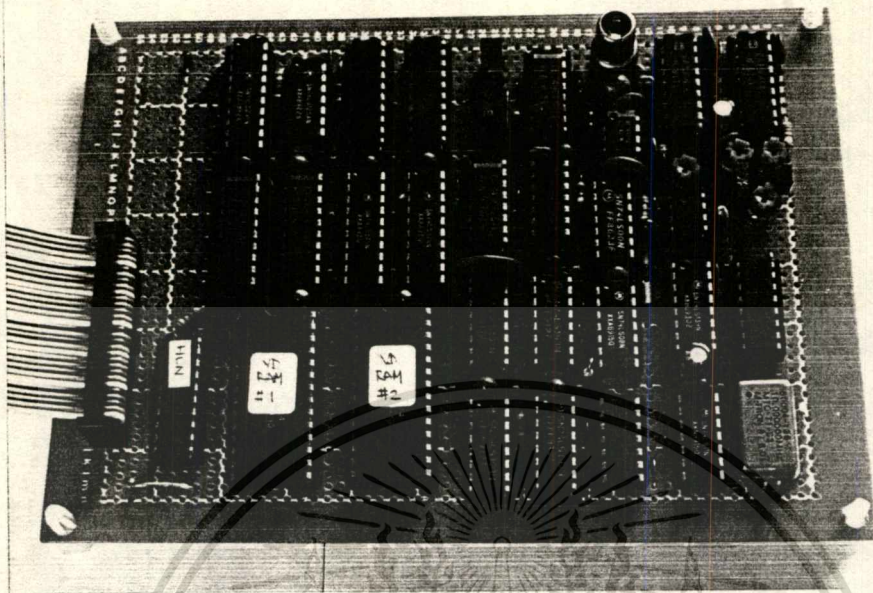


(a) ไต่อะแกรมระบบในโหมดการดิจิทัลสัญญาณภาพ



(b) ไต่อะแกรมระบบในโหมดการอ่านข้อมูลภาพจากหน่วยความจำ

รูปที่ 7.10 แสดงความสัมพันธ์ของส่วนต่างๆในระบบ (a) ในโหมด
ดิจิทัลสัญญาณภาพ และ (b) ในโหมดการอ่านข้อมูลภาพ



รูปที่ 7.11 ภาพแสดงส่วนดิจิทัลไฮสปีดสัญญาณภาพที่ทดลองสร้างขึ้น

จากที่กล่าวมาทั้ง 2 โหมดการทำงานสามารถแสดงด้วยไดอะแกรมแสดงความสัมพันธ์ของส่วนต่างๆในแต่ละโหมดได้ดังรูปที่ 7.10 และส่วนของระบบจริงที่ทดลองสร้างขึ้นแสดงในรูปที่ 7.11

ส่วนสุดท้ายของตัวดิจิทัลไฮสปีดสัญญาณภาพที่จะกล่าว คือ หน่วยความจำภาพแสดงด้วยไดอะแกรมในรูป 7.12 โดยเทียบเคียงกับวงจรจริงในรูปที่ 7.51 วิธีการเก็บข้อมูลจะใช้วิธีการที่เรียกว่า การเก็บแบบเลื่อนข้อมูลภาพ ซึ่งข้อดีของวิธีการแบบนี้คือ ไม่จำเป็นต้องใช้หน่วยความจำที่มีความเร็วสูงมากนัก จากรูปที่ 7.12 ในส่วนของการเก็บข้อมูลจะประกอบด้วยส่วนต่างๆที่สำคัญ ดังนี้

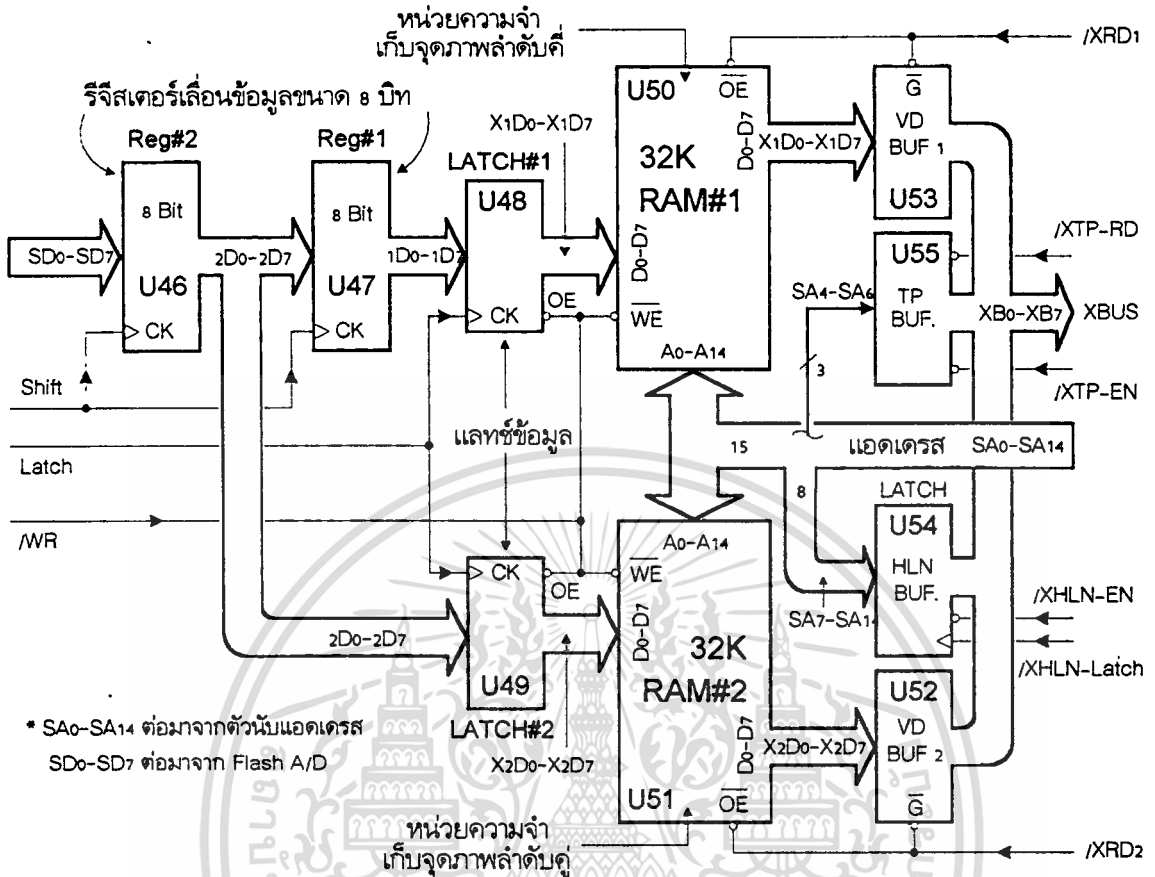
- ซีพียูรีจิสเตอร์ขนาด 8 บิตแบบเข้าขนานออกขนาน (PIPO) 2 ชุด คือ Reg#1 ,Reg#2 (U47 และ U46 ตามลำดับ) ใช้สำหรับการเลื่อนข้อมูลภาพ
- ตัวแลทช์ข้อมูลขนาด 8 บิต 2 ชุด คือ LATCH#1 ,LATCH#2 (U48 และ U49 ตามลำดับ) ใช้สำหรับการแลทช์ค่าข้อมูลภาพ
- หน่วยความจำภาพขนาด 32 Kbyte 2 ชุด คือ RAM#1 ,RAM#2 (U50 และ U51 ตามลำดับ) ใช้สำหรับการเก็บข้อมูลภาพ

ในส่วนของการอ่านข้อมูลภาพออกจะประกอบด้วย

- บัฟเฟอร์สำหรับข้อมูลภาพ 2 ชุด คือ VD-BUF1 และ VD-BUF2 (U53 และ U52 ตามลำดับ)
- บัฟเฟอร์ที่สามารถแลทช์ค่าได้ คือ HLN-BUF หรือ U54 ทำหน้าที่อ่านหมายเลขเส้นกวาดมาเก็บไว้เพื่อส่งต่อไปให้ส่วนมัลติเพล็กซ์ข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

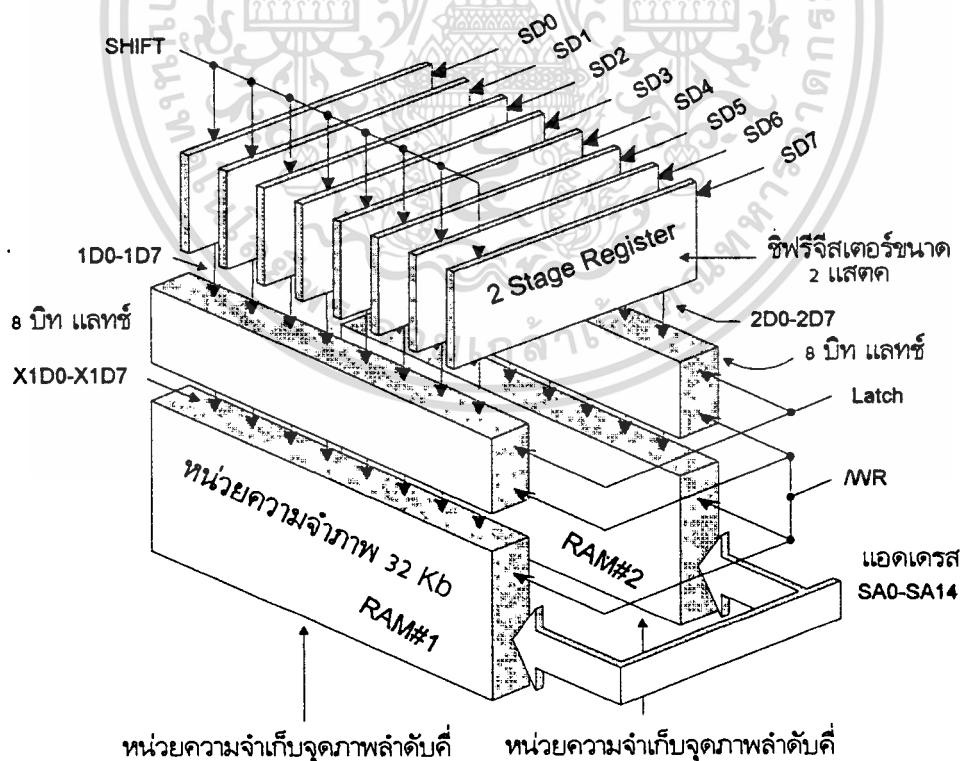


รูปที่ 7.12 โค้ดแแกรมแสดงส่วนของหน่วยความจำภาพ

ในส่วนของการอ่านข้อมูลออกที่เป็นแพทเทอร์นทดสอบจะไม่อ่านข้อมูลจากหน่วยความจำภาพ แต่จะอ่านแพทเทอร์นจาก SA4-SA6 ซึ่งเป็นแพทเทอร์นภาพสีเทา 8 แถบ ซึ่งจะใช้ TP-BUF หรือ U55 เป็นบัฟเฟอร์

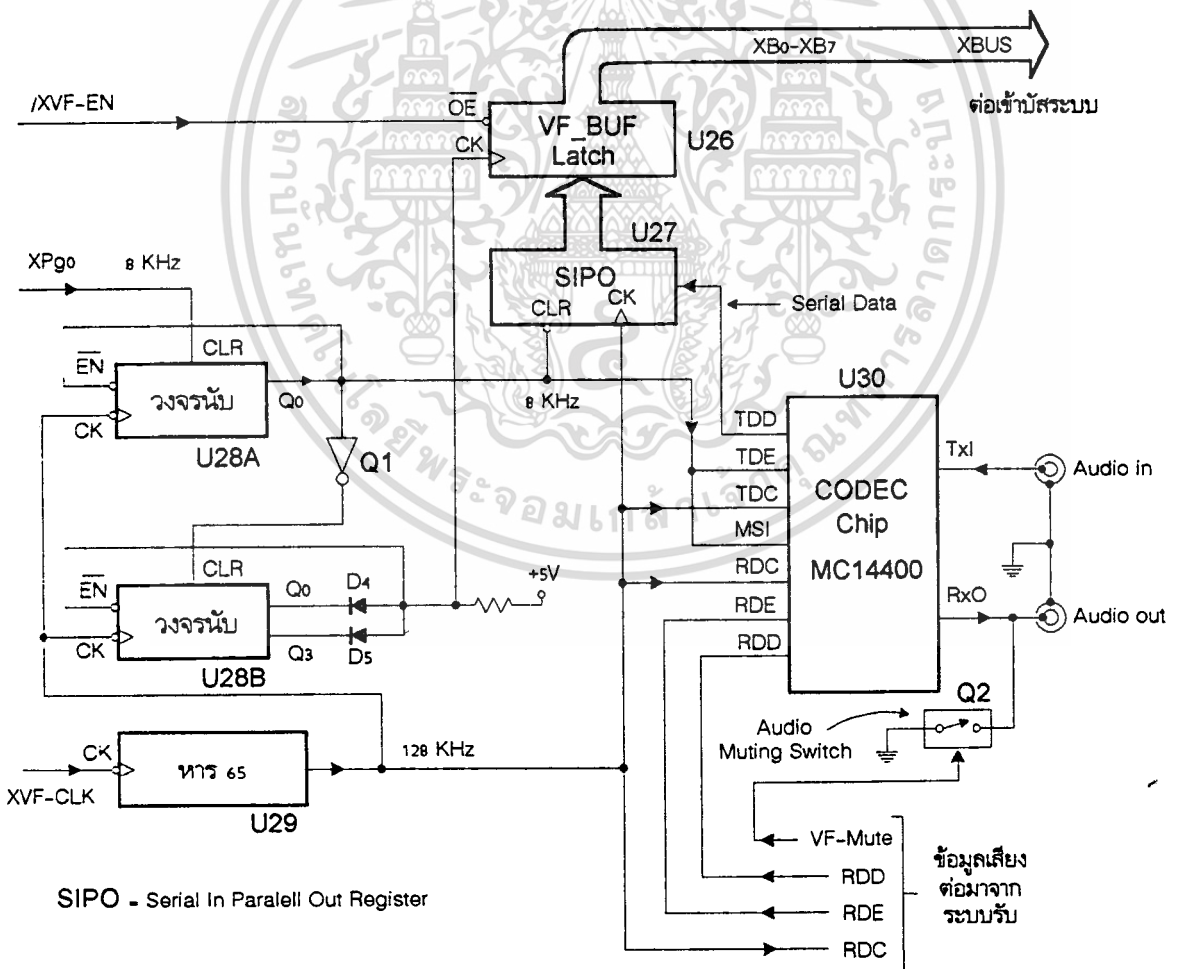
หลักการเก็บข้อมูลแบบเลื่อนข้อมูลภาพเริ่มต้นโดย ข้อมูลภาพแต่ละจุดภาพที่ถูกส่งเข้ามาทาง SD0-SD7 โดยตัว Flash A/D จะถูกเลื่อนเข้าสู่ Reg#2 และ Reg#1 ตามลำดับ (เพื่อความเข้าใจควรพิจารณาโค้ดแแกรมเวลาในรูป 7.2 ประกอบ) โดยสัญญาณ Shift ทุกครั้งที่ข้อมูลถูกเลื่อนเข้ามาเก็บใน Reg ครบ 2 ตัว (2 จุดภาพ) จะมีสัญญาณ Latch เข้ามาถ่ายโอนข้อมูลจาก Reg#1 และ Reg#2 เข้าสู่ LATCH#1 และ LATCH#2 ตามลำดับ เพื่อให้ข้อมูลจุดภาพ (2 จุดภาพใหม่) ชุดใหม่เลื่อนเข้ามาใน Reg แทน ในขณะที่ข้อมูลจุดภาพกำลังเลื่อนเข้าสู่ Reg ข้อมูลภาพ 2 จุดแรกที่พักอยู่ใน LATCH#1 และ LATCH#2 จะถูกเก็บลงสู่หน่วยความจำภาพ RAM#1 และ RAM#2 ตามลำดับ ด้วยสัญญาณ /WR เป็นการเคลียร์ LATCH#1 และ LATCH#2 ให้ว่างเพื่อพักข้อมูลชุดใหม่ต่อไป

ในส่วนของการอ่านข้อมูลออกซึ่งในสภาวะนี้ส่วนดิจิทัลสัญญาณภาพจะอยู่ในโหมดการอ่านข้อมูล สัญญาณ /WR ,Latch และ Shift จะไม่แอคทีฟ ดังนั้นตัว LATCH#1 และ LATCH#2 จะไม่แอคทีฟเช่นกันทำให้บัส X1D0-X1D7 และ X2D0-X2D7 จาก LATCH ทั้ง 2 ตัว ปลดตัวเองออกจาก



รูปที่ 7.13 ไดอะแกรมแสดงการเก็บด้วยวิธีเลื่อนข้อมูลภาพ

ไดอะแกรมของส่วนเข้ารหัสเสียงแสดงดังรูปที่ 7.14 เทียบได้กับวงจรจริงในรูปที่ 7.46 ประกอบ



รูปที่ 7.14 ไดอะแกรมแสดงส่วนเข้ารหัสสัญญาณเสียง

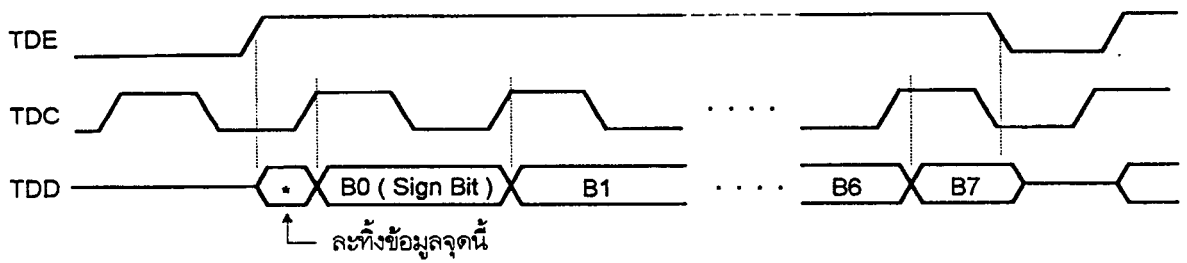
ด้วยส่วนใหญ่นี้ ดังนี้

- ส่วนเข้ารหัสและถอดรหัสข้อมูลเสียง ,CODEC (COding and DECoding) หรือ U30 เป็นชิพที่ทำหน้าที่สุ่มสัญญาณเสียงทางอินพุท TxI ไปทำการแปลงเป็นข้อมูลดิจิทัล ,เข้ารหัสและส่งออกมาเป็นข้อมูลอนุกรมทางเอาต์พุท TDD และนำข้อมูลเสียงในรูปอนุกรมเข้าทางอินพุท RDD ไปทำการถอดรหัสและแปลงเป็นสัญญาณเสียงส่งออกมาทางเอาต์พุท RxO
- ส่วนแปลงข้อมูลอนุกรมเป็นขนาน ,SIPO (Serial In Parallel Out) หรือ U27 ทำหน้าที่นำข้อมูลเสียงในรูปอนุกรมจากชิพ CODEC มาแปลงให้อยู่ในรูปขนานเพื่อส่งต่อไปกับบัฟเฟอร์เสียง ,VF-BUF
- บัฟเฟอร์เสียง ,VF-BUF หรือ U26 ทำหน้าที่แลตช์ข้อมูลเสียงในรูปขนานเพื่อนำไปมัลติเพล็กซ์

ก่อนที่จะได้กล่าวถึงการทำงานควรจะได้ทำความเข้าใจเป็นเบื้องต้นก่อนเกี่ยวกับชิพที่ทำหน้าที่ในการเข้ารหัสและถอดรหัสสัญญาณเสียงเนื่องจากเป็นหัวข้อที่สำคัญที่สุดในส่วนนี้ ชิปที่ทำหน้าที่นี้มีหมายเลขคือ MC14400 ของ MOTOROLA ภายในประกอบด้วย ตัวกรองความถี่ ,ตัวบีบอัดและคลายสัญญาณเสียงซึ่งทำได้ทั้งแบบ A และ μ (สำหรับในงานวิจัยนี้จะใช้แบบ A) และส่วนเข้ารหัสและถอดรหัสข้อมูล ข้อมูลที่เข้าและออกจากชิพนี้จะอยู่ในรูปข้อมูลอนุกรม รายละเอียดนอกเหนือจากนี้ได้ในภาคผนวก มีสัญญาณสำคัญที่ควรกล่าวถึง ดังนี้

MSI	เป็นสัญญาณต่อเนื่องความถี่ 8 KHz ใช้เป็นความถี่สุ่มสัญญาณเสียงภายในชิพ
TDD	เป็นข้อมูลเอาต์พุท 3 สถานะ โดยข้อมูลอยู่ในรูปอนุกรมและข้อมูลที่ขานี้จะถูกอินาเบิลด้วยสัญญาณ TDE อัตราการเลื่อนข้อมูลออกถูกกำหนดด้วยความถี่ของ TDC โดยจุดเลื่อนอยู่ที่ขอบขาขึ้น
TDC	เป็นอินพุทใช้ในการกำหนดอัตราการเลื่อนข้อมูลออกทางขา TDD โดยขอบขาขึ้นจะเป็นการเลื่อนข้อมูลออกและบิตแรกที่ถูกลื่อนออกมาจะเป็น บิตเครื่องหมาย (Sign Bit) ความถี่ในการเลื่อนข้อมูลออกกำหนดให้ใช้ได้ 5 ค่า คือ 128 KHz ,1.536 MHz ,1.544 MHz ,2.048 MHz และ 2.56 MHz ซึ่งจะถูกนำไปหารความถี่ภายในชิพให้ได้ความถี่เป็น 16 เท่าของ MSI เพื่อให้ภายในชิพซึ่งชิพจะเลือกตัวหารอัตโนมัติโดยใช้ความถี่ของ MSI เป็นตัวเปรียบเทียบ
TDE	เป็นอินพุทสำหรับอินาเบิลข้อมูลที่ TDD โดยเมื่อ TDE เป็นลอจิก 0 ขา TDD จะมีสถานะเป็นอิมพีแดนซ์สูง (เปิดวงจร) และไม่มีข้อมูลใดถูกลื่อนออกมา และเมื่อ TDE เป็นลอจิก 1 ขอบขาขึ้นของ TDE จะอินาเบิลข้อมูลที่ TDE จากนั้นข้อมูลจะถูกเลื่อนออกมาโดย TDC

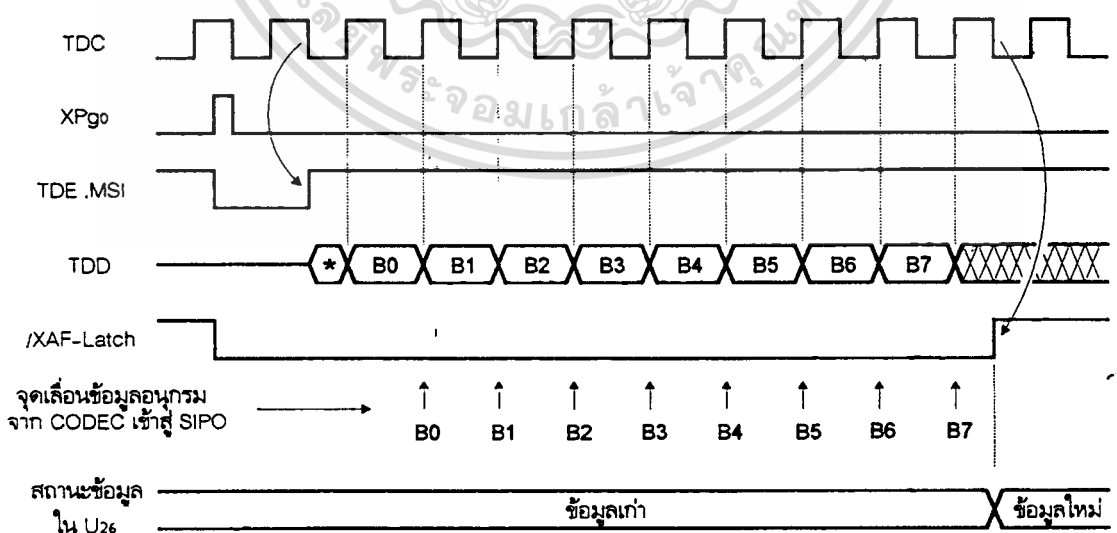
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



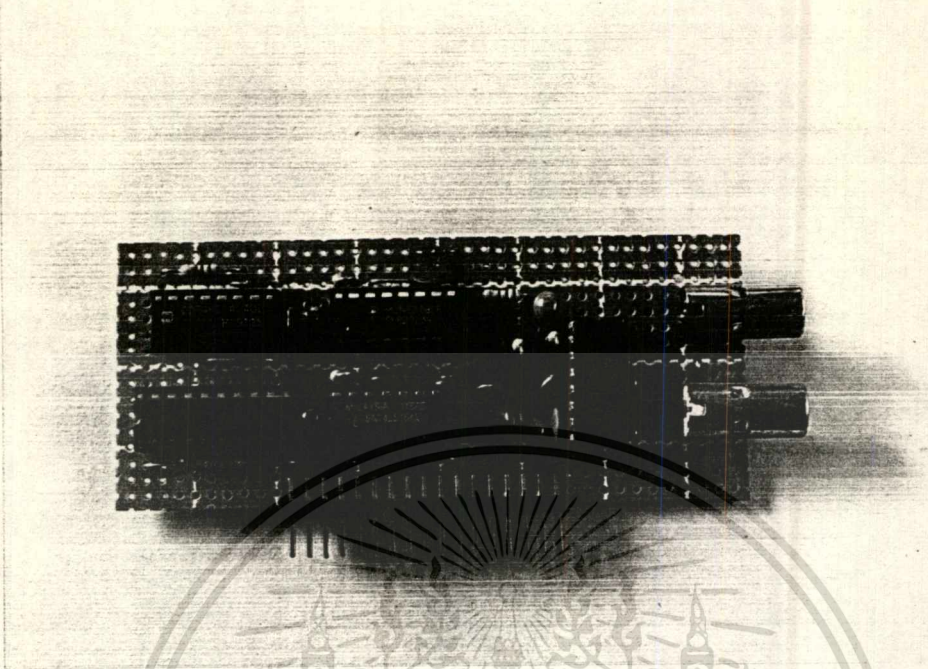
รูปที่ 7.15 ไตอะแกรมเวลาในส่วนเข้ารหัสของ ชิพเข้ารหัส-ถอดรหัส

ความสัมพันธ์ของ TDE ,TDC ,และ TDD แสดงดังไตอะแกรมในรูป 7.15 ในงานวิจัยนี้ สัญญาณ TDE จะต่อร่วมกับ MSI เนื่องจากใน 1 เฟรมข้อมูลจะมีการโอนาเมลเพื่ออ่านข้อมูลจากชิพ เพียงครั้งเดียวซึ่งมีอัตรา 8 KHz เท่ากับ MSI สัญญาณนี้จะได้จากการนำสัญญาณ XPgo ซึ่งมีความถี่ 8 KHz มาผ่านวงจรนับ U28A เพื่อปรับความกว้างของพัลส์และเพื่อให้ซิงโครไนซ์กับสัญญาณ TDC สัญญาณ TDC เลือกใช้ความถี่ 128 KHz ซึ่งได้จากสัญญาณ XVF-CLK ซึ่งมีความถี่เป็น $XCLK/2$ มาเข้าวงจรหาร 65 (U29) ดังนั้น TDC จะมีความถี่เป็น $XCLK/130 = 16.64 \text{ MHz}/130 = 128 \text{ KHz}$ สัญญาณนี้จะใช้เป็นสัญญาณเลื่อนข้อมูลออกจากชิพ และเป็นสัญญาณนาฬิกาให้กับวงจรนับอีก 2 วงจร คือ U28A และ U28B โดย U28B ทำหน้าที่สร้างสัญญาณแลทช์ให้กับ VF-BUF

การทำงานเริ่มจากสัญญาณ TDE ซึ่งมีความถี่ 8 KHz ถูกส่งจาก U28A เข้าสู่ชิพ CODEC เพื่อใช้เป็นความถี่ในการสุ่มสัญญาณเสียง เมื่อ TDE ยังมีระดับอยู่ที่โลจิก 0 U28B และ SIPO จะถูกเคลียร์ เมื่อ TDE เปลี่ยนระดับโลจิกจาก 0 มาเป็น 1 วงจรนับ U28B และตัว SIPO จะเริ่มทำงานพร้อมกับข้อมูลที่ขา TDD ได้รับการโอนาเมล จากนั้นข้อมูลที่ขา TDD จะถูกเลื่อนเข้าสู่ตัวแปลงข้อมูลอนุกรม



รูปที่ 7.16 ไตอะแกรมเวลาของส่วนเข้ารหัสข้อมูลเสียง



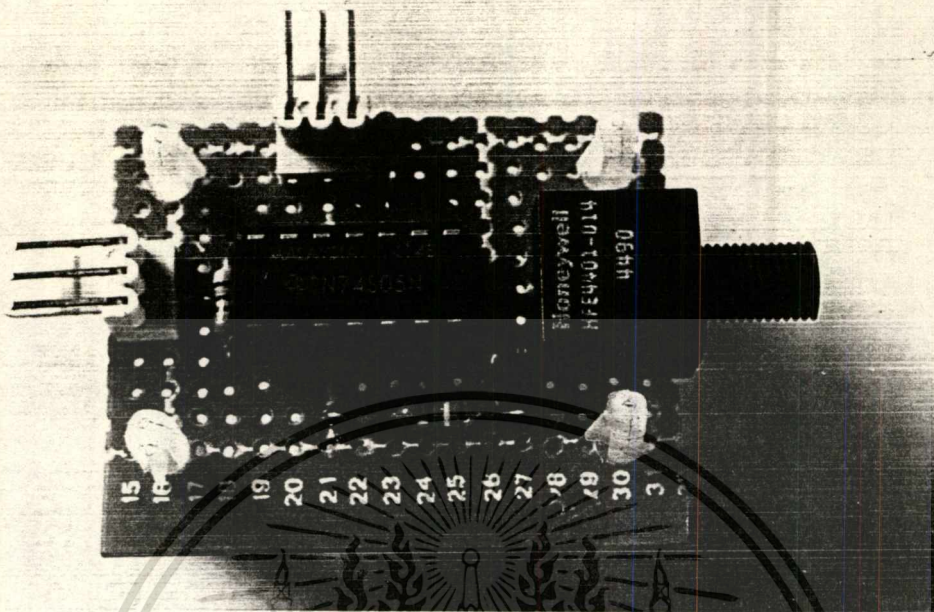
รูปที่ 7.17 ภาพแสดงส่วนเข้ารหัสและถอดรหัสข้อมูลเสียงที่ทดลองสร้างขึ้น
ช่องเสียบตัวล่างและตัวบนทางด้านขวาคือช่องสัญญาณเสียงเข้าและออกตามลำดับ

เป็นขนา .SIPO พร้อมกันนั้นวงจรนับ U28B จะเริ่มนับจำนวนบิตข้อมูลที่ถูกเลื่อนเข้าสู่ตัว SIPO เมื่อข้อมูลถูกเลื่อนเข้าสู่ตัว SIPO ครบ 9 ครั้ง (ข้อมูลเสียง 8 บิตรวมกับ 1 บิตที่ไม่ได้ใช้เมื่อเริ่มถูกอินาเบล จาก TDE) วงจรนับ U28B จะสร้างขอบขาขึ้นของสัญญาณทำการแลทช์ข้อมูลจากตัว SIPO เข้าสู่ บัฟเฟอร์ VF-BUF เพื่อรอสัญญาณ /XVF-EN มาอ่านข้อมูลเสียงไปมัลติเพล็กซ์ในเฟรมต่อไป กระบวนการที่กล่าวมาจะเริ่มใหม่อีกครั้ง เมื่อมีสัญญาณ XPG0 ใหม่เข้ามา ไดอะแกรมเวลาการทำงานแสดงในรูปที่ 7.16 และระบบจริงที่ทดลองสร้างขึ้นแสดงในรูป 7.17

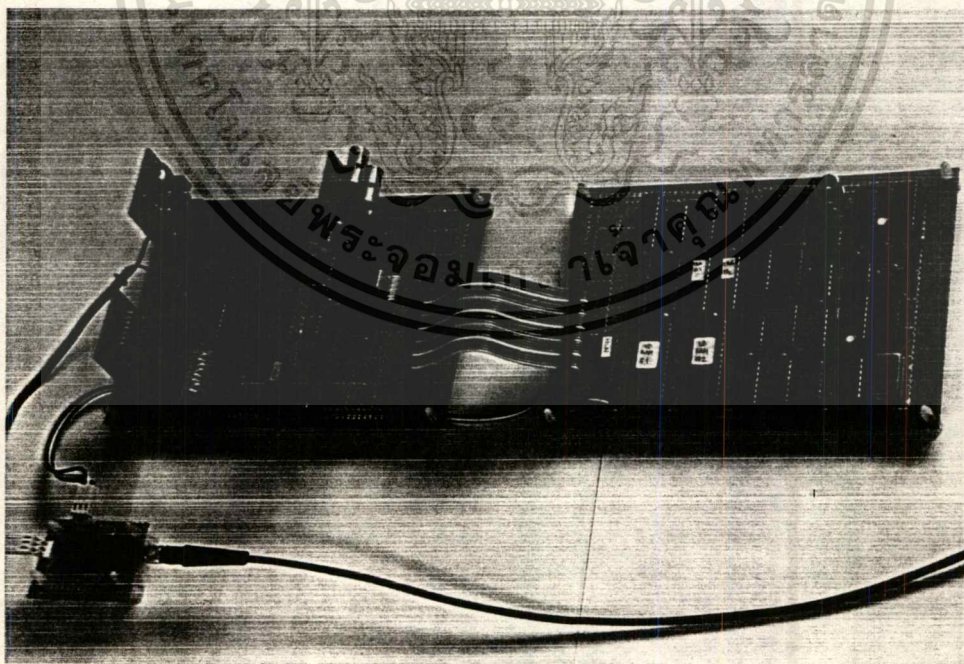
ในส่วนของภาครับจะมีขบวนข้อมูล RDD และสัญญาณ RDE ,RDC และ VF-Mute โดยส่งมาจากภาครับซึ่งรายละเอียดการทำงานจะได้กล่าวอีกครั้งในส่วนของภาครับ ส่วนสัญญาณ VF-Mute จะเป็นสัญญาณสำหรับการปิดเสียงที่รับได้เมื่อภาครับอยู่ในสภาพสูญเสียการซิงโครไนซ์ทำให้ไม่เกิดเสียงรบกวนขึ้น

7.1.4 ส่วนแปลงข้อมูลขนาเป็นอนุกรม ส่วนสแครมเบลอร์และตัวส่งทางแสง

วงจรในส่วนนี้แสดงในรูปที่ 7.18 ประกอบด้วยตัวแปลงข้อมูลขนาเป็นอนุกรม .PISO (Parallel In Serial Out) หรือ U5 ซึ่งเป็นรีจิสเตอร์ขนาด 8 บิต โดยขา SH/ $\overline{LD}$ เป็นขาที่ควบคุมโหมด



รูปที่ 7.19 แสดงตัวส่งทางแสงที่ทดลองสร้างขึ้น



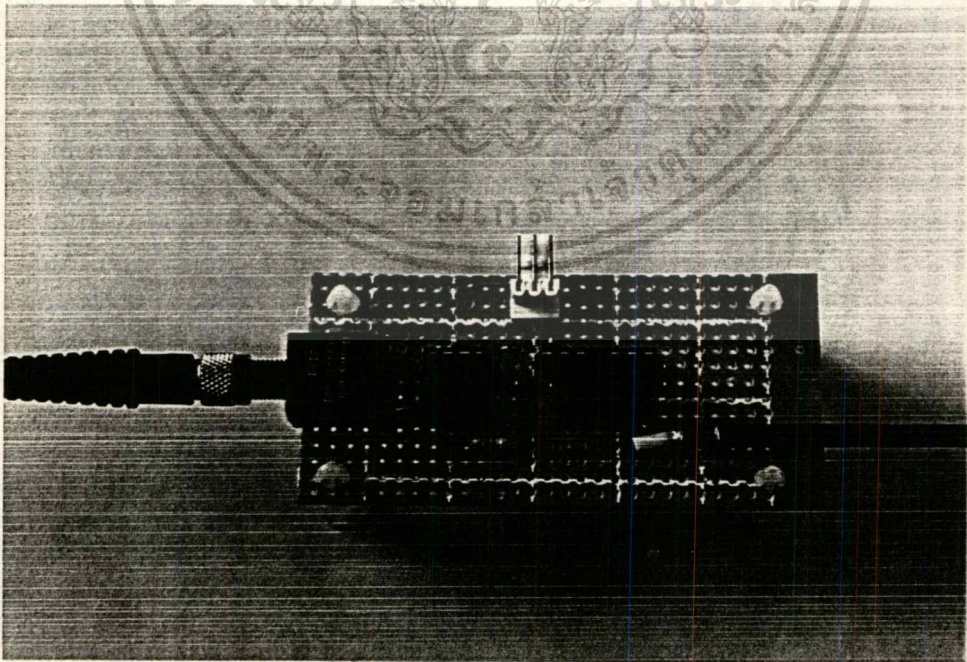
รูปที่ 7.20 แสดงระบบสมบูรณ์ของเครื่องส่งที่สร้างขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนแยกสัญญาณนาฬิกาและสัญญาณนาฬิกาที่ได้จะส่งกลับมาเป็น RCLK นั้นเอง และอีกส่วนหนึ่งเข้าสู่ตัวดีสแครมเบลอร์ .U1 เพื่อแปลงขบวนข้อมูลที่ถูกสแครมเบลอร์จากเครื่องส่งของคู่สถานีกลับมาเป็นสัญญาณในรูปปกติ (รายละเอียดของตัวดีสแครมเบลอร์ขอให้ย้อนกลับไปดูในบทที่ 5) จากนั้นจะเข้าสู่ตัวแปลงข้อมูลอนุกรมเป็นขนาน .U3 ซึ่งเป็นชิพรีจิสเตอร์แบบเข้าอนุกรมออกขนาน .SIPO (Serial In Parallel Out) ขนาด 8 สแตค ซึ่งข้อมูลขนานที่ได้คือข้อมูลขนาด 8 บิตที่แพ้ออกมาจากรีจิสเตอร์ทั้ง 8 ตัว ข้อมูล 8 บิตนี้คือบัสข้อมูลของระบบรับ .RBUS (RB0-RB7) และจะถูกนำไปเข้าตัวแลตช์ข้อมูลของแต่ละช่องข้อมูลซึ่งจะได้สัญญาณแลตช์ตามจังหวะเวลาที่ถูกต้องจากส่วนดีมัลติเพล็กซ์ข้อมูลเพื่อเก็บข้อมูลที่ถูกต้องเอาไว้ จาก RBUS นี้ ส่วนหนึ่งจะนำไปเข้าตัวตรวจหาเวอร์ด FAW (U4) ซึ่งเป็นตัวเปรียบเทียบเวอร์ดข้อมูลบนบัสกับเวอร์ดข้อมูลที่กำหนดไว้ สัญญาณการตรวจหาคือ /FAW-Det ซึ่งแอกทีฟที่โลจิก 0 จะนำไปใช้โดยส่วนควบคุมสถานะการชิงโครไนซ์ .SSC ของระบบรับซึ่งจะได้กล่าวต่อไป ในส่วนของตัวรับทางแสงที่ทดลองสร้างขึ้นแสดงในรูปที่ 7.22

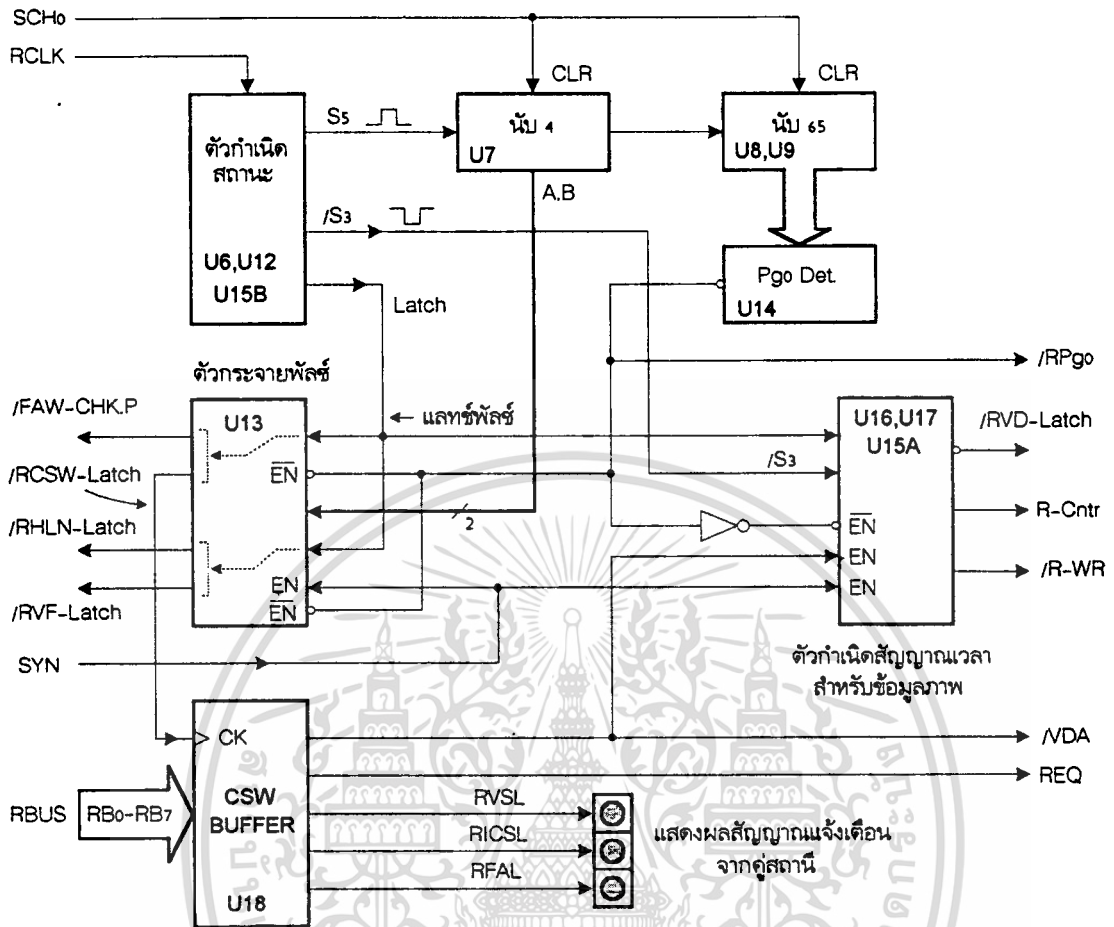
7.2.2 ส่วนดีมัลติเพล็กซ์ข้อมูล (Data Demultiplexer)

ส่วนดีมัลติเพล็กซ์ข้อมูลทำหน้าที่นำข้อมูลที่ปรากฏบน RBUS เก็บเข้าไว้ในบัฟเฟอร์ตามช่องข้อมูลที่ถูกต้องของมัน โดยการสร้างสัญญาณแลตช์ซึ่งชิงโครไนซ์กับสัญญาณนาฬิกา นอกจากนี้ยังสร้างสัญญาณที่จำเป็นสำหรับกระบวนการเก็บข้อมูลภาพที่รับได้เข้าสู่หน่วยความจำซึ่งประกอบด้วยสัญญาณเขียนหน่วยความจำภาพ (/R-WR) ,สัญญาณนับแอดเดรสหน่วยความจำ (R-Cntr) ,สัญญาณ



รูปที่ 7.22 ตัวรับทางแสงที่ทดลองสร้างขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.23 แสดงไดอะแกรมส่วนมัลติเพล็กซ์ข้อมูล

แลตช์ข้อมูลภาพ (/RVD-Latch) และเส้นกวาดแนวนอน (/RHLN-Latch) ไดอะแกรมของส่วนมัลติเพล็กซ์ข้อมูลแสดงในรูปที่ 7.23 และวงจรจริงจะอยู่ในรูปที่ 7.53

การทำงานของส่วนมัลติเพล็กซ์ข้อมูลจะมีหลักการเช่นเดียวกับส่วนมัลติเพล็กซ์ข้อมูลทางเครื่องส่ง คือ ข้อมูลในแต่ละช่องข้อมูลจะต้องมีการจัดเก็บและเคลื่อนย้ายออกจากตัวบัฟเฟอร์ภายใน 8 คาบสัญญาณนาฬิกา (RCLK) โดยการแบ่งสัญญาณนาฬิกาออกเป็น 8 สถานะ และใช้สถานะที่แน่นอนเหล่านี้ในการกำหนดจังหวะการทำงานของแต่ละส่วน และเนื่องจากข้อมูลบน RBUS เกิดจากการเลื่อนข้อมูลอนุกรมเข้าสู่พริวิตีรีเตอร์ขนาด 8 สแต็ค ซึ่งจะเห็นว่าข้อมูลขนาด 8 บิตที่ปรากฏบน RBUS นี้จะมีการเปลี่ยนแปลงอยู่ตลอดทุกๆคาบสัญญาณนาฬิกา (RCLK) ดังนั้นชุดข้อมูล 8 บิตของแต่ละช่องข้อมูลจะปรากฏจริงบน RBUS เพียงช่วงเวลา 1 คาบสัญญาณนาฬิกาเท่านั้น การจัดเก็บข้อมูลเข้าสู่บัฟเฟอร์จึงต้องทำให้เสร็จสิ้นภายในคาบเวลานี้

หน้าที่ที่สำคัญอีกประการหนึ่งของส่วนมัลติเพล็กซ์ คือการทำงานร่วมกับส่วนควบคุมสถานะการชิงโครไนซ์ .SSC โดยส่วนมัลติเพล็กซ์จะทำงานได้เมื่อได้รับสัญญาณ SCH0 จากส่วน SSC เท่าเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นั้น และเมื่อทำงานแล้วจะส่งสัญญาณตรวจสอบ /FAW-CHK.P กลับไปให้ส่วน SSC เพื่อกำหนดตำแหน่งเชิงเวลาในการตรวจสอบ FAW เวอร์ต เพื่อใช้ในการตัดสินใจในกระบวนการโอเลเมนต์เฟรมข้อมูลก่อนที่จะได้กล่าวถึงการทำงาน ควรจะได้ทราบถึงหน้าที่ของส่วนต่างๆ ดังนี้

- ตัวกำเนิดสถานะ ประกอบด้วย U6 ,U12 และ U15B ทำหน้าที่กำเนิดสัญญาณประจำทุกๆ 8 คาบสัญญาณนาฬิกา เพื่อใช้สำหรับกระตุ้นการทำงานในของอื่นๆ มีสัญญาณ ดังนี้
 - /S3 ใช้ร่วมกับสัญญาณ แลชพัลส์ เพื่อกำเนิดสัญญาณ R-Cntr และ /R-WR ภายในตัวกำเนิดสัญญาณเวลา
 - S5 ใช้เป็นพัลส์สำหรับการนับความยาวเฟรมข้อมูล
 - Latch เป็นพัลส์ที่เกิดขึ้นที่กลางช่วง S6 ถึงกลางช่วง S7 แอคทีฟที่โลจิก 0 ใช้สำหรับแลชข้อมูลบน RBUS ลงสู่บัฟเฟอร์ข้อมูล
- ส่วนนับความยาวเฟรม ประกอบด้วยตัวนับ 2 ตัวคือ ตัวนับ 4 ทำหน้าที่นับจำนวนไบต์ภายในเพจข้อมูล (4 ไบต์/เพจ) และตัวนับ 65 ทำหน้าที่นับจำนวนเพจภายในเฟรมข้อมูล (65 เพจ /เฟรม)
- ส่วนตรวจหาเพจ 0 หรือ Pgo Det ทำหน้าที่ตรวจหาเพจ 0 ของเฟรมข้อมูลแสดงด้วยสัญญาณ /RPgo แอคทีฟที่โลจิก 0
- ตัวกระจายพัลส์ (U13) ภายในมีตัวกระจายอยู่ 2 ชุด ทำหน้าที่กระจายแลชพัลส์ให้กับบัฟเฟอร์ในเพจ 0 ซึ่งประกอบด้วยสัญญาณ /RCSW-Latch ,/RHLN-Latch ,และ /RVF-Latch
- ตัวกำเนิดสัญญาณเวลาสำหรับข้อมูลภาพ ซึ่งจะทำงานเฉพาะในช่วงของข้อมูลภาพ (เพจ1-เพจ64) ทำหน้าที่กำเนิดสัญญาณนับแอดเดรสหน่วยความจำ (R-Cntr) ,สัญญาณการเขียนหน่วยความจำ (/R-WR) และสัญญาณการแลชข้อมูลภาพ (/RVD-Latch) ซึ่งส่งตรงมาจากสัญญาณแลช
- บัฟเฟอร์ RCSW-BUF ทำหน้าที่แลชข้อมูล CSW จาก RBUS เข้าสู่ RCSW-BUF

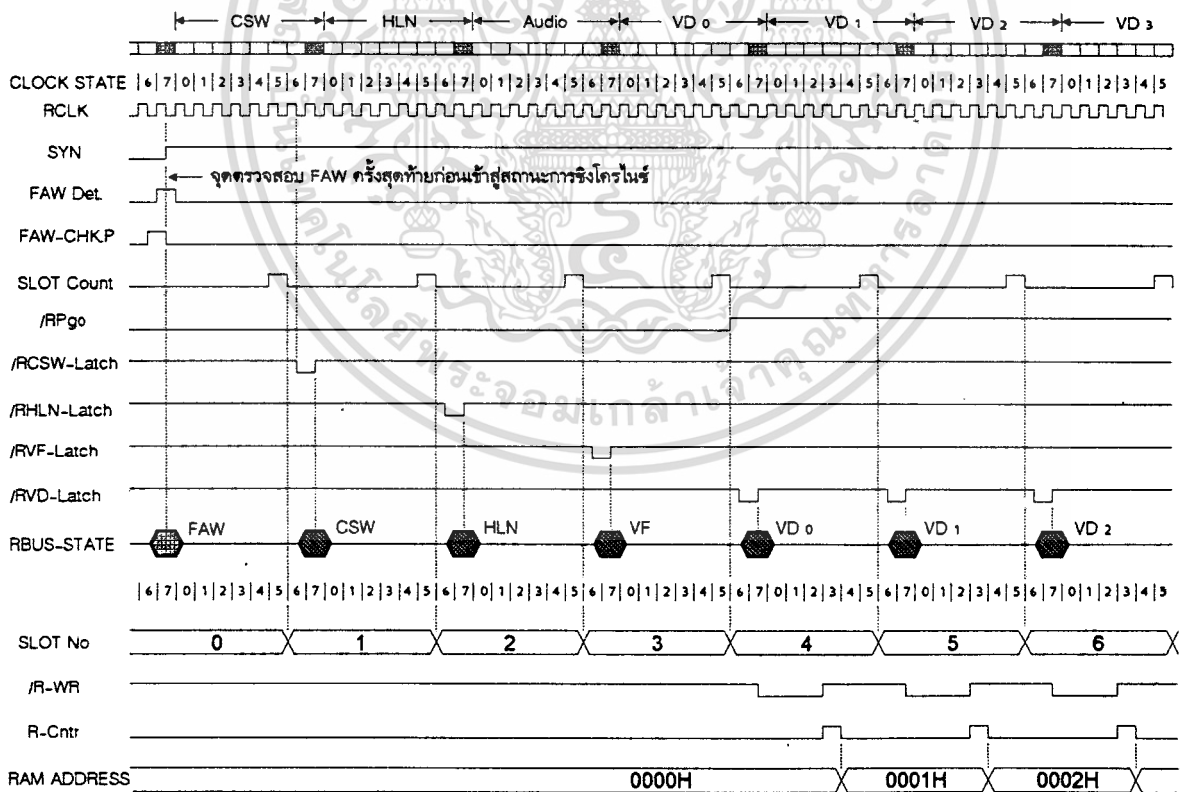
การทำงานจะเริ่มจากเมื่อสัญญาณ SCH0 จากส่วน SSC ไม่แอคทีฟ (พบ FAW ตัวแรก) คือมีโลจิกเป็น 0 ส่วนนับความยาวเฟรมจะเริ่มทำงานโดยหมายเลขไบต์ข้อมูลภายในเพจใดๆจากตัวนับ 4 จะถูกส่งไปให้ตัวกระจายพัลส์เพื่อกระจายแลชพัลส์ไปยังบัฟเฟอร์ต่างๆภายในเพจ 0 และหมายเลขเพจที่นับได้จากตัวนับ 65 ถูกส่งไปยังตัวตรวจหาเพจ 0 สัญญาณการตรวจหา /RPgo จะถูกส่งไปเปิดตัวกระจายพัลส์ ดังนั้นตัวกระจายพัลส์จะทำงานเฉพาะในช่วงเพจ 0 เท่านั้น สัญญาณการตรวจหาอีกส่วนหนึ่งจะผ่านอินเวอร์เตอร์ไปเปิดตัวกำเนิดสัญญาณเวลาสำหรับข้อมูลภาพ ดังนั้นตัวกำเนิดสัญญาณเวลาสำหรับข้อมูลภาพก็จะทำงานเฉพาะในช่วงข้อมูลภาพเท่านั้น (เพจ1-เพจ64)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาตัวกระจายพัลส์ (U13) ซึ่งมีตัวกระจายพัลส์อยู่ 2 ส่วน จะเห็นว่าส่วนที่กระจายพัลส์ของ /RCSW-Latch และ /RFAW-CHK.P จะถูกอินาเบลจาก /RPgo เพียงอย่างเดียวดังนั้นส่วนนี้จะทำงานในช่วงเฟจ 0 ตลอด ส่วนตัวกระจายพัลส์ของ /RHLN-Latch และ /RVF-Latchจะถูกอินาเบลจาก 2 แหล่ง คือ จากสัญญาณ /RPgo และจากสัญญาณ SYN ซึ่งเป็นสัญญาณที่ส่งมาจากส่วน SSC เพื่อแจ้งให้ทราบวาระบบซิงโครไนซ์แล้ว ดังนั้นตัวกระจายพัลส์ในส่วนนี้จะทำงานในช่วงเฟจ 0 เฉพาะเมื่อระบบอยู่ในสภาพที่ซิงโครไนซ์แล้วเท่านั้นซึ่งสอดคล้องกับการที่ข้อมูลในส่วนนี้ (HLN และ VF) จะใช้ประโยชน์ได้เมื่อระบบอยู่ในสภาวะการซิงโครไนซ์แล้วเท่านั้น

และสำหรับส่วนกำเนิดสัญญาณเวลาสำหรับข้อมูลภาพ จะเห็นว่าได้รับสัญญาณการอินาเบลจาก 3 แหล่ง คือ RPgo (ผ่านอินเวอร์เตอร์แล้ว) ,SYN และ /VDA (จาก RCSW-BUF) ดังนั้นส่วนกำเนิดสัญญาณเวลาสำหรับข้อมูลภาพจะทำงานเมื่อระบบอยู่ในสภาวะซิงโครไนซ์แล้วในช่วงเฟจ 1-เฟจ 64 เฉพาะเมื่อสัญญาณ /VDA แอคทีฟเท่านั้น

ไคอะแกรมเวลาการทำงานของส่วนดีมัลติเพล็กซ์ข้อมูลแสดงในรูปที่ 7.24



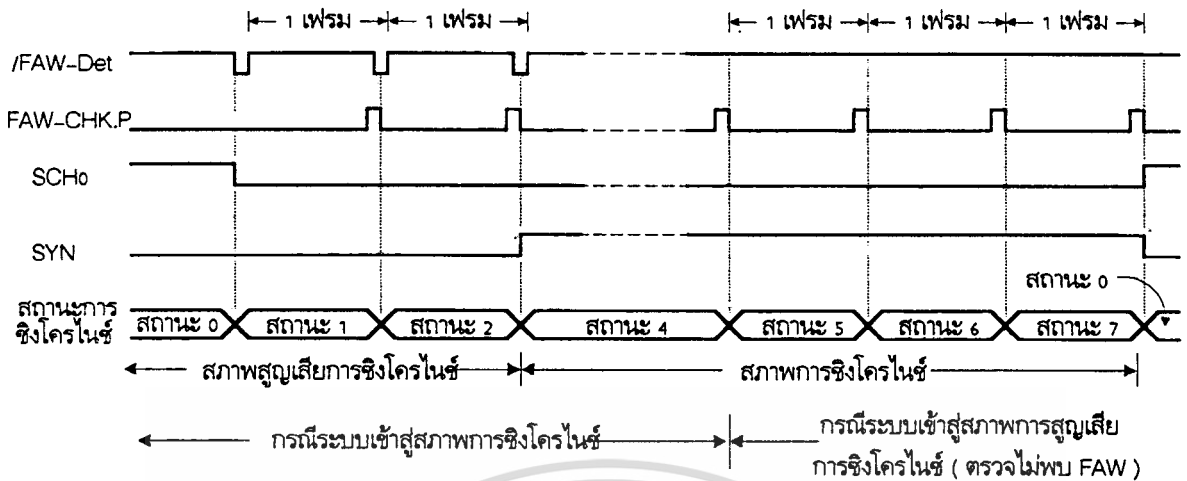
หมายถึง ช่วงเวลาที่เวอร์ตนั้นๆปรากฏบนบัส RBUS ซึ่งเป็นช่วงเวลาที่ต้องแลกรับข้อมูลนั้นเข้าสู่หน่วย

รูปที่ 7.24 แสดงไคอะแกรมเวลาของส่วนดีมัลติเพล็กซ์ข้อมูล

(SSC , Synchronize State Control)

จากรูปส่วน SSC จะประกอบด้วย 2 ส่วน คือ สวิทช์ และ วงจรซีเควนเซียลซึ่งเป็นวงจรที่ประกอบด้วยฟลิปฟล็อป 3 ตัวดังนั้นจึงมีสถานะการทำงานได้ 8 สถานะแต่เลือกใช้เพียง 7 สถานะโดยมีไดอะแกรมสถานะการทำงาน (State Diagram) ดังรูปที่ 7.26 ซึ่งได้กล่าวโดยละเอียดมาแล้วในบทที่ 4 วงจรซีเควนเซียลที่กล่าวมานี้มี 2 อินพุตและ 2 เอาท์พุท ดังนี้

SYN เป็นเออาร์ทีพู่ที่แอดทีฟเฉพาะสถานะ 4 ,5 ,6 ,หรือ 7 แอดทีฟทีโลจิก 1 เป็นสัญญาณที่แสดงให้ทราบว่าการโอโลเมนต์ยังอยู่ในสภาพปกติ และจะถูกส่งไปยังส่วนติมัลติเพ ลีกร์ข้อมูลเพื่ออีนาเบิ้ลให้มีการแลกร์ข้อมูลจาก RBUS เข้าสับฟเฟอร์ข้อมูล



รูปที่ 7.27 ไดอะแกรมเวลาแสดงกระบวนการเข้าสู่สภาพชิงโครไนซ์และเข้าสู่สภาพการสูญเสียการชิงโครไนซ์ของส่วนควบคุมสถานะการชิงโครไนซ์

FAW จริงสุดท้ายระบบจะไปอยู่ที่สถานะ 4 ซึ่งเป็นสถานะการโอเวอร์โหลดสมบูรณ์ กระบวนการเก็บข้อมูลต่างๆก็จะเริ่มต้นทำงาน หลังจากนั้นถ้าทุกเฟรมมีการตรวจพบ FAW ในตำแหน่งที่กำหนดระบบก็จะยังคงอยู่ที่สถานะ 4 แต่ถ้ามีการตรวจไม่พบ FAW ติดต่อกัน 4 เฟรมระบบก็จะกลับไปสถานะ 0 และเริ่มต้นค้นหา FAW ตัวใหม่ ดังไดอะแกรมเวลาในรูปที่ 7.27

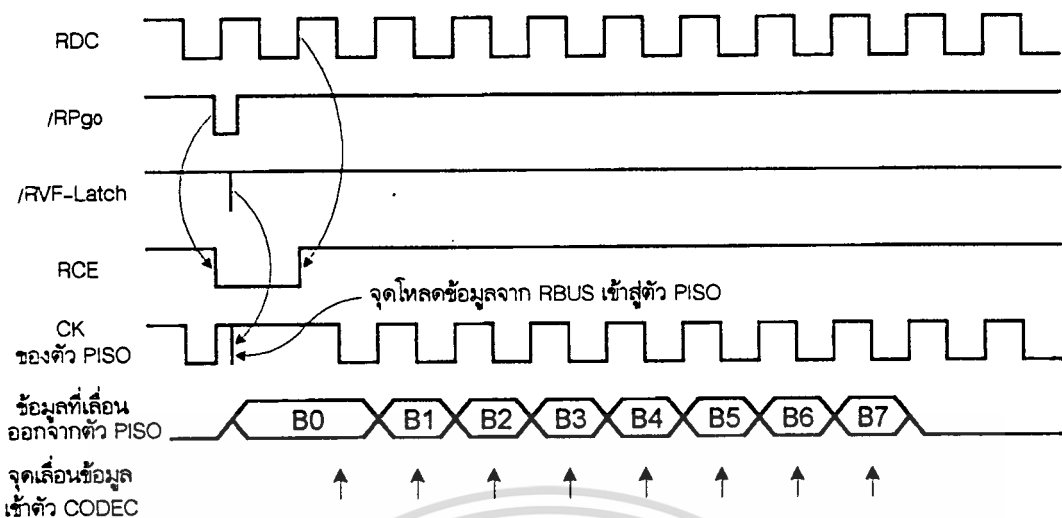
7.2.4 ส่วนถอดรหัสข้อมูลเสียง (Voice Data Decoding)

ส่วนถอดรหัสข้อมูลเสียงจะทำหน้าที่แปลงข้อมูลเสียงแบบขนานที่แลตซ์ได้จาก RBUS ให้เป็นข้อมูลอนุกรมและส่งกลับไปเข้าชิพ CODEC ซึ่งอยู่ที่เครื่องส่งทำการถอดรหัสและแปลงกลับเป็นสัญญาณเสียงตามเดิม นอกจากนี้ยังกำเนิดสัญญาณ VF-Mute เพื่อใช้ในการปิดสัญญาณเสียงที่รับได้เมื่อระบบอยู่ในสภาพไม่ชิงโครไนซ์ เพื่อไม่ให้เกิดเสียงรบกวน ไดอะแกรมระบบแสดงในรูปที่ 7.28 และวงจรจริงแสดงในรูป 7.55

จากไดอะแกรมสัญญาณ RDD ,RDC ,RCE และ VF-Mute เป็นสัญญาณที่ต่อกับทางเครื่องส่ง มีรายละเอียด ดังนี้

- RDD เป็นข้อมูลเอาต์พุตที่ต่อไปเข้าชิพ CODEC โดยจะชิงโครไนซ์กับขอบขาขึ้นของสัญญาณนาฬิกา RDC ส่วนขอบขาลงจะเป็นการเลื่อนข้อมูลเข้าสู่ชิพ CODEC
- RDC เป็นสัญญาณนาฬิกาอินพุตที่ส่งมาจากวงจรเข้ารหัสเสียงทางด้านเครื่องส่ง นำเข้ามาเพื่อกำเนิดสัญญาณ RCE และการเลื่อนข้อมูลออกเพื่อนำเข้าสู่ชิพ CODEC

RCE เป็นสัญญาณเอาท์พุทซึ่งชิงโครไนซ์กับสัญญาณนาฬิกา RDC ใช้สำหรับอานาเบิลกระบวนการถอดรหัสข้อมูลของชิพ CODEC โดยขอขาขึ้นของสัญญาณจะเป็นการอานาเบิลให้ชิพเริ่มต้นกระบวนการเลื่อนข้อมูลเข้า

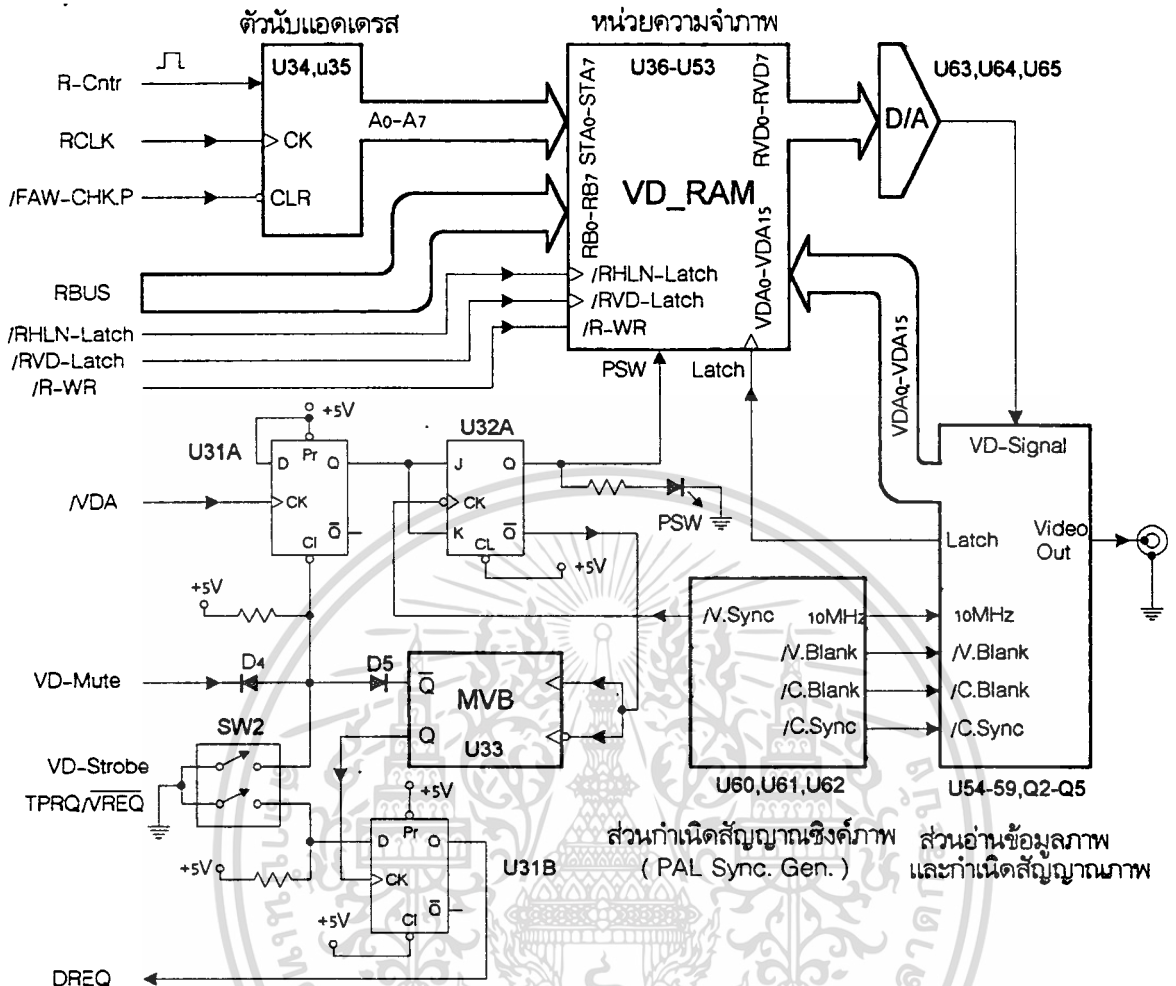


รูปที่ 7.29 แสดงไดอะแกรมเวลาการทำงานของส่วนถอดรหัสข้อมูลภาพ

7.2.5 ส่วนควบคุมและประมวลผลข้อมูลภาพ

ส่วนควบคุมและประมวลผลข้อมูลภาพแสดงด้วยไดอะแกรมในรูปที่ 7.30 และวงจรจริงในรูปที่ 7.56 ประกอบด้วยหลายส่วน คือ

- ส่วนนับแอดเดรสชุดล่าง (U24 ,U25) ทำหน้าที่ในการกำเนิดแอดเดรส STA0-STA7 ซึ่งเป็นตำแหน่งที่ใช้สำหรับเก็บข้อมูลจุดภาพในแต่ละเส้นกวาดโดยใช้ R-Cntr ซึ่งกำเนิดมาจากส่วนติ่มลติเพล็กซ์ข้อมูลเป็นพัลส์สำหรับนับแอดเดรส และในทุกๆ 1 เฟรมข้อมูลตัวนับนี้จะถูกเคลียร์ด้วยพัลส์ /FAW-CHK.P
- ส่วนสวิตช์เพจภาพ ประกอบด้วย U31-U33 ทำหน้าที่ตรวจสอบว่าข้อมูลภาพที่รับอยู่ครบแล้วหรือยังถ้าครบแล้วจะทำการสวิตช์หน่วยความจำภาพที่ตำแหน่งสัญญาณซิงค์แนวตั้งตัวต่อไปโดยสัญญาณที่ใช้ในการสวิตช์หน่วยความจำ คือ PSW (Page Switch)
- ตัวแปลงสัญญาณดิจิทัลเป็นอนาล็อก (D/A Converter) ประกอบด้วย U63 ,U64 และ U65 วงจรจริงแสดงในรูป 7.60 ทำหน้าที่แปลงข้อมูลภาพที่อ่านมาจากหน่วยความจำให้เป็นสัญญาณอนาล็อกเพื่อนำไปผสมกับสัญญาณซิงค์ในการกำเนิดสัญญาณภาพใหม่
- ส่วนอ่านข้อมูลภาพและกำเนิดสัญญาณภาพ ทำหน้าที่กำเนิดแอดเดรสหน่วยความจำภาพซึ่งเป็นแอดเดรสสำหรับการอ่านข้อมูลภาพออกและนำสัญญาณอนาล็อกที่แปลงได้มาทำการผสมกับสัญญาณซิงค์ซึ่งมาจากส่วนกำเนิดสัญญาณซิงค์ภาพเพื่อสร้างสัญญาณภาพใหม่สามารถนำไปต่อเข้ากับทีวีมอนิเตอร์ทั่วไปได้ ในส่วนนี้จะได้อธิบายโดยเฉพาะต่อไปในหัวข้อ 7.2.5.2

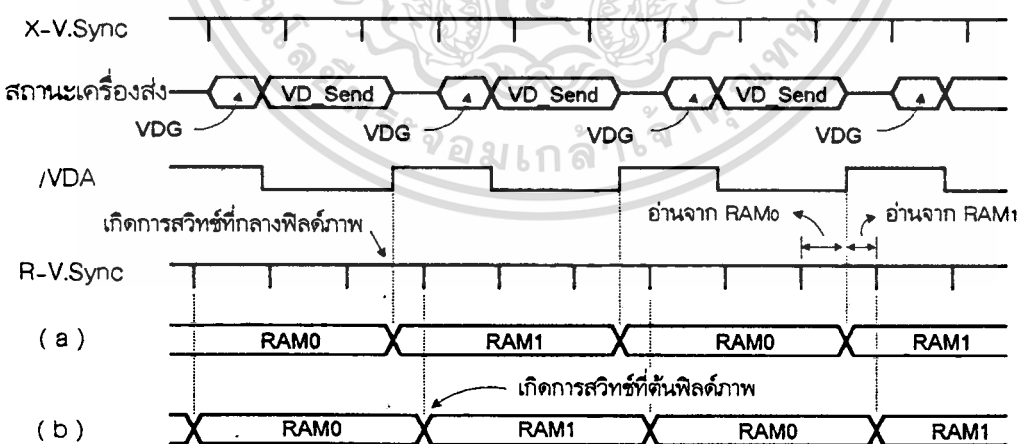


รูปที่ 7.30 แสดงไดอะแกรมของส่วนประมวลผลข้อมูลภาพ

- ส่วนกำเนิดสัญญาณซิงค์ภาพ (PAL Sync. Gen.) ประกอบด้วย U60 ,U61 และ U62 วงจรจริงแสดงในรูป 7.59 ทำหน้าที่กำเนิดสัญญาณซิงค์ตามมาตรฐาน PAL โดยแพทเทิร์นของสัญญาณต่างๆจะถูกโปรแกรมไว้แล้วในหน่วยความจำ EPROM
- หน่วยความจำภาพ (Video RAM) ภายในประกอบหน่วยความจำเก็บข้อมูลภาพ 2 ชุด ขนาดชุดละ 64 Kbyte คือ RAM1 และ RAM2 โดยในขณะเวลาใดๆ ชุดหนึ่งจะทำหน้าที่เก็บข้อมูลภาพและอีกชุดหนึ่งถูกอ่านข้อมูลไปแสดงบนจอภาพ การสวิตช์เพื่อสลับหน้าที่ของหน่วยความจำทั้ง 2 ชุดนี้ถูกควบคุมด้วยสัญญาณ PSW. นอกจากนี้ บัฟเฟอร์ RVD-BUF และ RHLN-BUF ซึ่งทำหน้าที่แลทช์ข้อมูลของมันบน RBUS ก็ยังถูกรวมไว้ในส่วนนี้อีกด้วย ซึ่งจะได้กล่าวโดยเฉพาะต่อไปในหัวข้อ 7.2.5.1

การทำงานจะเริ่มจากส่วนสวิตช์เพจภาพ จากวงจรในรูป 7.30 จะสังเกตเห็นว่า U32A ต่อวงจรในลักษณะของ ท็อกเกิล (Toggle) คือ เอาท์พุท Q จะเปลี่ยนระดับลอจิกไปอีกระดับหนึ่งทุกครั้งที่มีพัลส์มากระตุ้นที่ขา CK ซึ่งในที่นี้คือ สัญญาณซิงค์แนวตั้ง (V.Sync) แต่การสวิตช์จะเกิดขึ้นได้เมื่อขา J และ K มีลอจิกเป็น 1 เท่านั้นซึ่งจะเห็นว่าถูกควบคุมด้วยสัญญาณ /VDA ผ่านมาทาง U31A ส่วน U33 ทำหน้าที่สร้างพัลส์มาเคลียร์ U31A ทุกครั้งที่มีการสวิตช์เพจภาพ

เมื่อสัญญาณ /VDA มีการเปลี่ยนระดับลอจิกจาก 0 ไปเป็น 1 (ซึ่งหมายถึงข้อมูลชุดสุดท้ายของเพจภาพได้ถูกเก็บเรียบร้อยแล้ว) U31A จะถูกกระตุ้นทำให้ J และ K ของ U32A ถูกเซตเป็น 1 ณ จุดนี้หน่วยความจำอยู่ในสภาพพร้อมที่จะสวิตช์ เมื่อเกิดสัญญาณ V.Sync ขึ้น U32A ซึ่งอยู่ในสภาพท็อกเกิลจึงถูกกระตุ้น เกิดการสวิตช์สัญญาณ PSW ซึ่งเป็นการสวิตช์หน่วยความจำด้วยเช่นกัน ทันทีที่มีการสวิตช์เพจภาพ U33 จะถูกกระตุ้นและกำเนิดพัลส์ผ่าน D5 ไปเคลียร์ U31A เพื่อการสวิตช์ครั้งต่อไป การควบคุมให้การสวิตช์เพจภาพเกิดขึ้นพร้อมกับสัญญาณ V.Sync ซึ่งเป็นต้นเฟรมภาพนั้นก็เพื่อไม่ให้เกิดอาการในลักษณะที่ภาพที่ปรากฏบนจอภาพถูกแบ่งเป็น 2 ส่วนโดยแต่ละส่วนถูกอ่านจากหน่วยความจำภาพคนละตัวกันเป็นผลให้พื้นที่ภาพทั้ง 2 ส่วนนี้ปรากฏภาพหรือเหตุการณ์ที่เกิดขึ้นคนละเวลา ภาพที่ได้จึงไม่ต่อเนื่องกัน สาเหตุเนื่องจากการสวิตช์เพจภาพที่ไม่ซิงโครไนซ์กับสัญญาณ V.Sync นั้นจะมีโอกาสสูงมากที่การสวิตช์เพจภาพเกิดขึ้นในขณะเวลาที่เป็นบริเวณกลางเฟรมภาพซึ่งเป็นเวลาที่มีการกวาดเส้นบนจอภาพยังไม่ครบฟิลด์เมื่อมีการสวิตช์เกิดขึ้นเส้นกวาดที่เหลือจึงเป็นภาพของเหตุการณ์ใหม่ ซึ่งแสดงได้ด้วยไดอะแกรมเวลาในรูปที่ 7.31

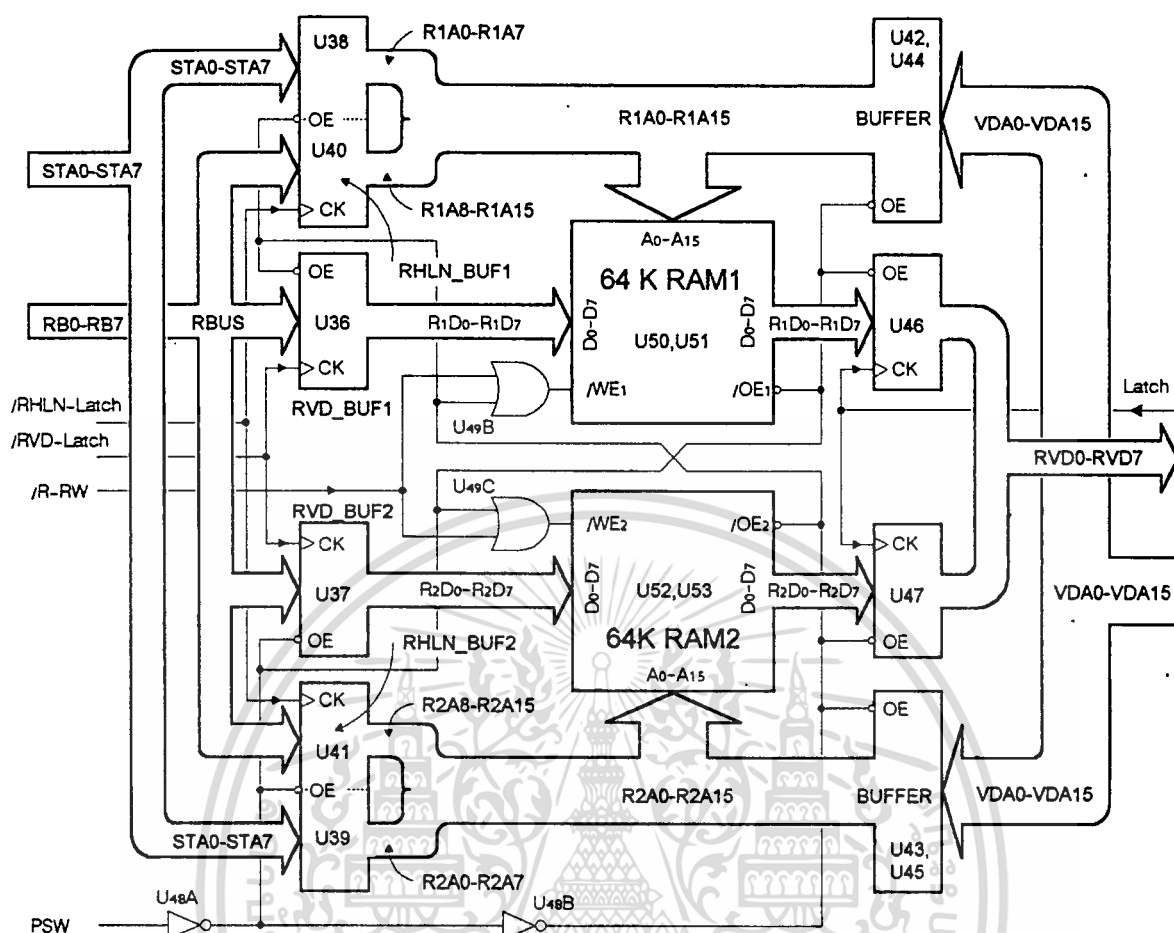


* X-V.Sync และ R-V.Sync คือ V.Sync ที่กำเนิดขึ้นทางเครื่องส่งและเครื่องรับตามลำดับ

รูปที่ 7.31 ไดอะแกรมเวลาแสดงการสวิตช์เพจภาพ

(a) กรณีไม่ซิงโครไนซ์กับสัญญาณ V.Sync

(b) กรณีซิงโครไนซ์กับสัญญาณ V.Sync



รูปที่ 7.32 แสดงไดอะแกรมของระบบหน่วยความจำภาพ

7.2.5.1 หน่วยความจำภาพ (Video RAM)

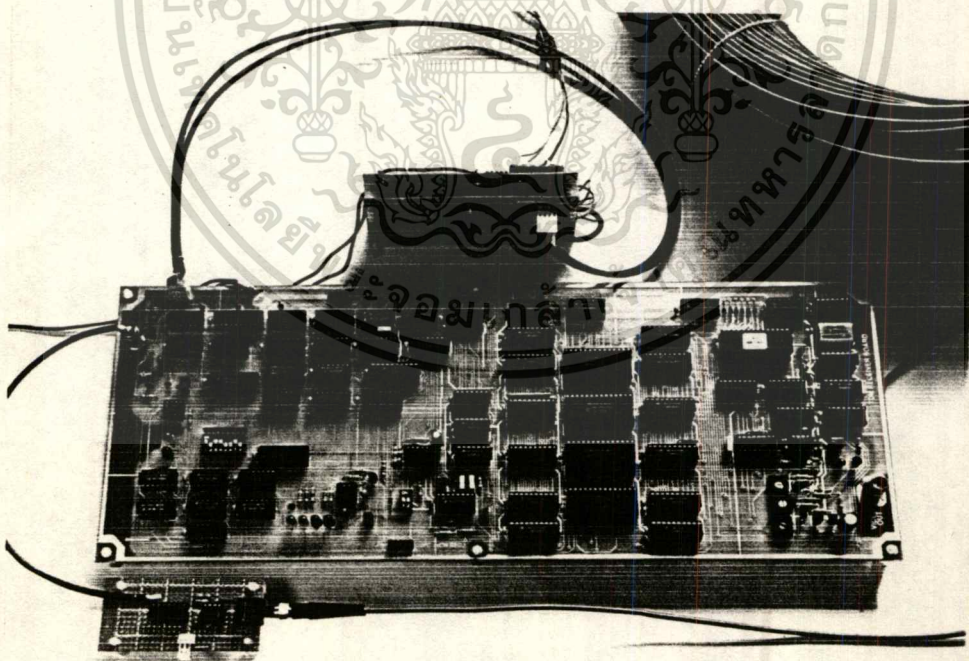
หน่วยความจำที่ใช้ภายในประกอบด้วยหน่วยความจำเก็บภาพขนาด 64 Kbyte จำนวน 2 ชุด คือ RAM1 และ RAM2 ไดอะแกรมแสดงในรูปที่ 7.32 และวงจรจริงแสดงในรูปที่ 7.57 จากรูปสัญญาณที่เข้ามาทางด้านซ้ายเป็นสัญญาณที่เข้ามาติดต่อเพื่อการเขียนหน่วยความจำประกอบด้วยสัญญาณเขียนหน่วยความจำ /R-WR แอดเดรส STA0-STA7 และ STA8-STA15 ซึ่งแลตช์ข้อมูลจาก RBUS เข้าสู่ RHLN-BUF ด้วยสัญญาณ /RHLN-Latch เมื่อผ่านบัฟเฟอร์มาแล้วจะมีชื่อสัญญาณเป็น R1A0-R1A15 สำหรับ RAM1 และ R2A0-R2A15 สำหรับ RAM2 และบัสข้อมูลภาพซึ่งแลตช์ข้อมูลจาก RBUS เข้าสู่ บัฟเฟอร์ RVD-BUF ด้วยสัญญาณแลตช์ /RVD-Latch ใช้ชื่อสัญญาณเป็น R1D0-R1D7 สำหรับ RAM1 และ R2D0-R2D7 สำหรับ RAM2 ส่วนสัญญาณที่เข้ามาทางด้านขวาเป็นสัญญาณที่เข้ามาติดต่อเพื่อการอ่านข้อมูลหน่วยความจำประกอบด้วยแอดเดรสสำหรับอ่านหน่วยความจำ VDA0-VDA15 และข้อมูลจากหน่วยความจำ RVD0-RVD7 รวมถึงสัญญาณ Latch ข้อมูลจากหน่วยความจำ

การควบคุมหน่วยความจำจะทำในลักษณะที่ ในขณะเวลาใดๆหน่วยความจำชุดหนึ่งจะถูกอ่าน และอีกชุดหนึ่งจะถูกเขียน ส่วนการที่หน่วยความจำชุดไหนจะถูกอ่านหรือเขียนนั้นจะขึ้นอยู่กับสัญญาณ สวิทช์เพจภาพ .PSW โดยเมื่อ PSW มีโลจิกเป็น 0 จะทำให้ U36 ,U38 ,U40 และ U43 ,U45 ,U47 ถูก อินาเบิลเป็นผลให้ RAM1 สามารถถูกเขียนได้เพียงอย่างเดียว และ RAM2 สามารถถูกอ่านได้เพียงอย่างเดียว และเมื่อ PSW มีโลจิกเป็น 1 สภาพการจะกลับกันคือ RAM1 สามารถถูกอ่านได้เพียงอย่างเดียว และ RAM2 สามารถถูกเขียนได้เพียงอย่างเดียว

เคลียร์ หมายความว่าแอดเดรส VDA0-VDA7 จะถูกเคลียร์เป็น 0 ทุกครั้งที่เริ่มต้นเส้นกวาดใหม่ ส่วนตัวนับแอดเดรส VDA8-VDA15 จะนับแอดเดรสจากสัญญาณ /C.Blank ซึ่งใช้ในฐานะของสัญญาณแปลงคิกแกว่งแนวอนเพื่อนับจำนวนเส้นกวาดแนวอน และตัวนับทั้งสองจะถูกเคลียร์ด้วยสัญญาณแปลง-กิกแกว่งตั้งซึ่งเป็นการเริ่มต้นอ่านข้อมูลภาพเพื่อเริ่มกวาดภาพใหม่ จากที่กล่าวมาตัวนับทั้งสองจะนับไปเรื่อยจนกระทั่งตัวนับ VDA8-VDA15 นับถึงเส้นกวาดสุดท้ายจะเกิดสัญญาณ CO มาปิดเกท U59C การนับจึงหยุดลง การนับจะเริ่มต้นใหม่เมื่อเกิดสัญญาณ /V.Blank มาเคลียร์ตัวนับทั้งสอง

ในขณะที่ตัวนับกำลังนับแอดเดรสอยู่นั้น ข้อมูลจากหน่วยความจำในตำแหน่งที่สมนัยกับแอดเดรสที่นับจะถูกแปลงเป็นสัญญาณอนาลอก VD-Signal โดย D/A Converter มาทำการผสมกับสัญญาณแปลงคร่อม (/C.Blank) ซึ่งผ่านมาจาก U59C ,U59D และสัญญาณซิงค์รวม (/C.Sync) ผลที่ได้คือ สัญญาณภาพ ซึ่งสามารถต่อเข้ากับ ทีวีมอนิเตอร์ ได้โดยตรง

จากระบบรับทั้งหมดที่กล่าวมา (ยกเว้นส่วนแยกสัญญาณนาฬิกา) ถูกออกแบบให้อยู่บนบอร์ดเดียวกันดังรูปที่ 7.34 ส่วนบอร์ดเล็กที่อยู่ด้านบนของภาพ คือ ส่วนแยกสัญญาณนาฬิกาซึ่งจะได้กล่าวในหัวข้อต่อไป



รูปที่ 7.34 แสดงระบบรับที่ทดลองสร้างขึ้น (บอร์ดใหญ่)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

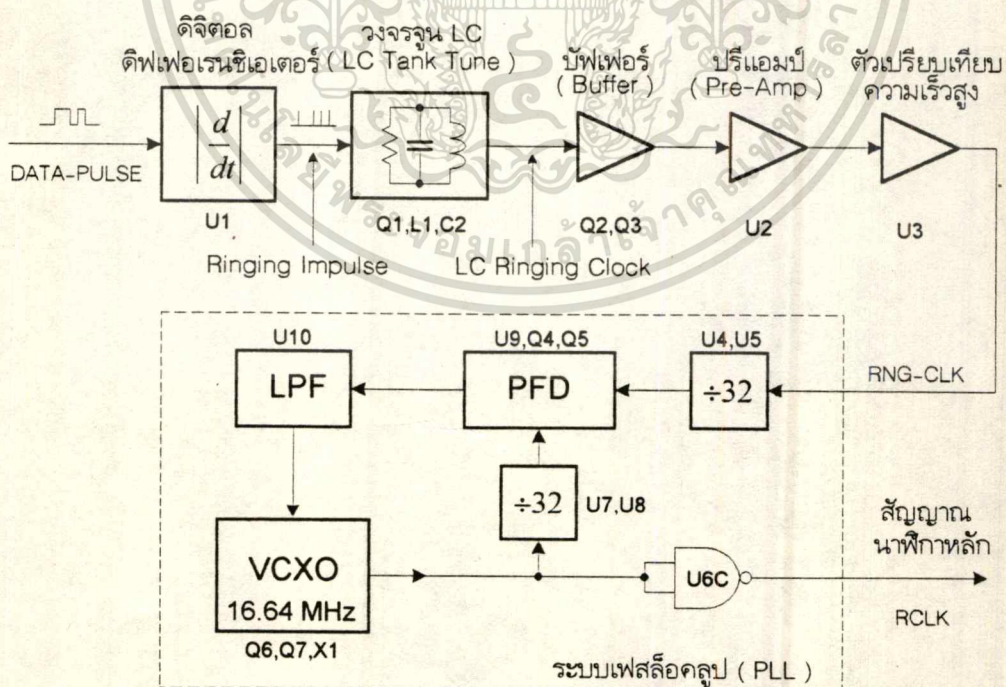
7.2.6 ส่วนแยกสัญญาณนาฬิกา (Clock Extraction)

ส่วนแยกสัญญาณนาฬิกาถือเป็นส่วนหนึ่งของระบบที่มีความสำคัญมาก มีหน้าที่ในการนำข้อมูลเชิงเวลาของขบวนข้อมูลที่ได้รับได้ไปสร้างสัญญาณนาฬิกาที่มีเสถียรภาพและซิงโครไนซ์กับขบวนข้อมูลที่ได้รับได้ เพื่อใช้ในการถอดโมเด็มข้อมูลและการดีมัลติเพล็กซ์ข้อมูลซึ่งจะเห็นได้ว่าถ้าสัญญาณนาฬิกาที่ได้ไม่มีเสถียรภาพแล้วกระบวนการถอดโมเด็มข้อมูลย่อมไม่สามารถที่จะทำงานได้ดังนั้นกระบวนการดีมัลติเพล็กซ์ข้อมูลย่อมดำเนินไปไม่ได้เช่นกัน ระบบสื่อสารจึงไม่สามารถดำเนินต่อไปได้ด้วย โดยแอมพลิจูดของระบบแยกสัญญาณนาฬิกาแสดงในรูปที่ 7.35 และวงจรจริงดูได้ในรูปที่ 7.62 และ 7.63 ประกอบด้วย 2 ส่วนใหญ่ๆ คือ

- ส่วนจูนความถี่ LC (ส่วนนอกเส้นประ)
- ส่วน เฟสล็อกคูลูป (Phase Locked Loop)

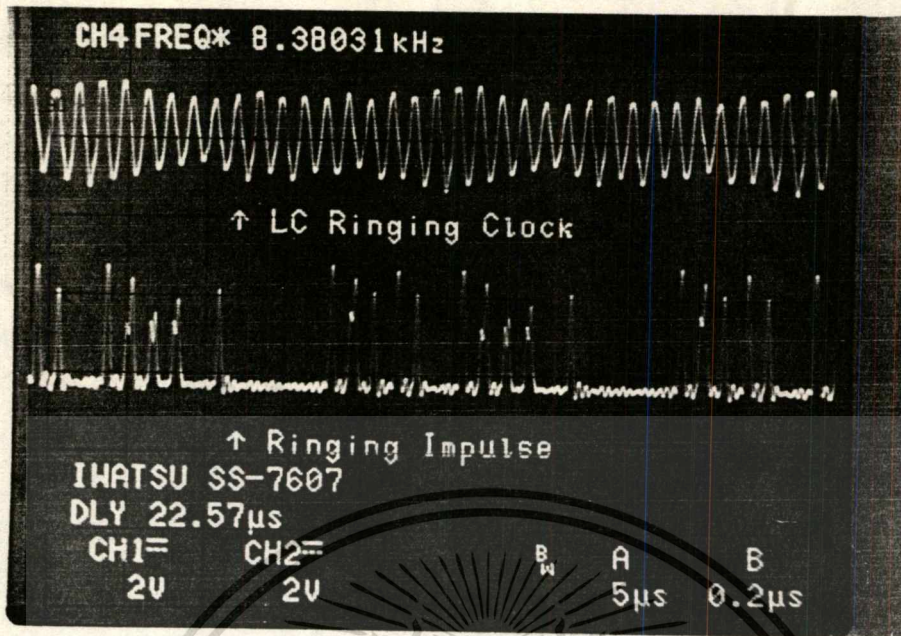
7.2.6.1 ส่วนจูนความถี่ LC

ส่วนนี้ทำหน้าที่ในการกำเนิดสัญญาณนาฬิกาซึ่งซิงโครไนซ์กับขบวนข้อมูลที่ได้รับได้โดยเริ่มจากการนำขบวนข้อมูลที่ได้รับได้ซึ่งถูกสแควร์เวฟมาแล้วมาทำการดิฟเฟอเรนเชียล (Differentiate) เพื่อสร้างสัญญาณอิมพัลส์ตรงจุดที่มีการเปลี่ยนแปลงสถานะของขบวนข้อมูลที่ได้รับได้ เรียกสัญญาณอิมพัลส์นี้ว่า



รูปที่ 7.35 แสดงโดยแอมพลิจูดส่วนแยกสัญญาณนาฬิกา (Clock Extraction)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



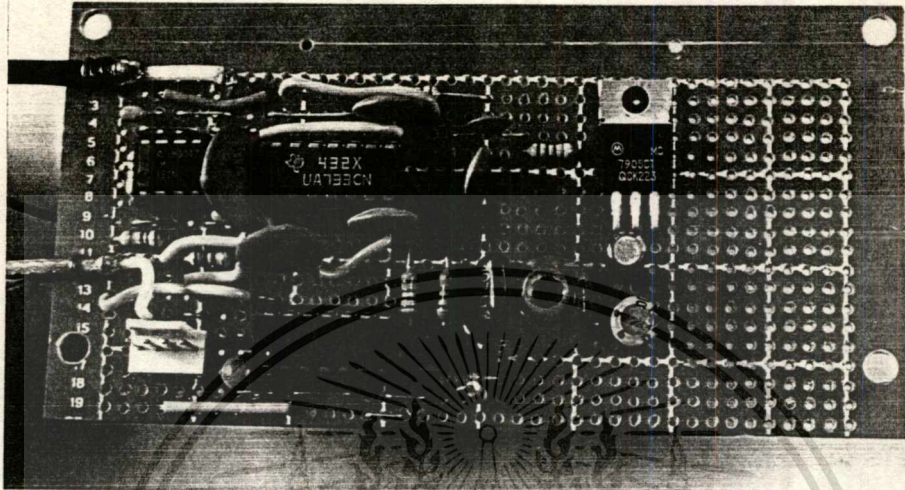
รูปที่ 7.36 แสดงสัญญาณ LC รینگกิล็อก และ รینگกิมพัลส์ ที่วัดได้

ริงกิมพัลส์ (Ringing Impulse) จากนั้นนำสัญญาณอิมพัลส์นี้ไปกระตุ้นวงจรจูน LC ซึ่งจูนความถี่ไว้ที่อัตราการส่งข้อมูล ผลจากการกระตุ้นนี้จะทำให้วงจรจูน LC เกิดการออสซิลเลตที่ความถี่เรโซแนนซ์ แต่แอมพลิจูดของสัญญาณที่ได้จะมีขนาดลดลงตามเวลาแบบเอ็กโปเนนเชียล (ดูรูปที่ 5.6) จนกว่าจะมีอิมพัลส์มากระตุ้นใหม่ เรียกสัญญาณที่จุดนี้ว่า LC รینگกิล็อก (LC Ringing Clock) ซึ่งในทางปฏิบัติจะพยายามทำให้การลดลงของแอมพลิจูดนี้ช้าที่สุดโดยการพยายามทำให้วงจรจูนมีค่า Q สูงที่สุด ส่วนแนวทางในการเพิ่มค่า Q ดูได้จากหัวข้อ 5.3.2.1 ในบทที่ 5 สัญญาณ LC รینگกิล็อกที่ได้จะนำไปผ่านบัฟเฟอร์ที่มีอินพุตอิมพีแดนซ์สูง (ในการทดลองใช้ เฟต เป็นอุปกรณ์ทางอินพุต) เพื่อให้โหลดวงจรจูนน้อยที่สุด จากนั้นจึงนำไปขยายด้วยปรีแอมป์เพื่อให้แอมพลิจูดสม่ำเสมอแล้วจึงแปลงสัญญาณเป็นรูปสี่เหลี่ยมด้วยตัวเปรียบเทียบความเร็วสูงสัญญาณใหม่ที่ได้จะเรียกว่า รینگกิล็อก (Ringing Clock) ซึ่งจะนำไปเข้าส่วน เฟสล็อกลูป ต่อไป สัญญาณริงกิมพัลส์ และ สัญญาณ LC รینگกิล็อก ที่วัดได้แสดงในรูปที่ 7.36 และส่วนจูนความถี่ LC ที่ทดลองสร้างขึ้นแสดงในรูปที่ 7.37

7.2.6.2 ส่วน เฟสล็อกลูป ,PLL (Phase Locked Loop)

เนื่องจากสัญญาณริงกิล็อกที่ได้จากส่วนจูนความถี่ LC ยังไม่มีเสถียรภาพที่ดีเพียงพอที่จะนำไปใช้งานได้เนื่องจากยังมี จิตเตอร์ ปะปนอยู่ดังนั้นจึงจะนำสัญญาณนาฬิกาที่ผ่านเข้าระบบ เฟสล็อกลูป ที่มีแถบความถี่แคบมากเพื่อสร้างสัญญาณนาฬิกาใหม่ที่มีเสถียรภาพและปราศจากจิตเตอร์ โดยในหัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.37 แสดงส่วนจูนความถี่ LC ที่ทดลองสร้างขึ้น

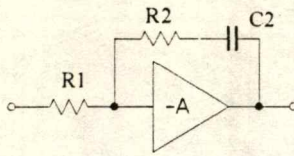
ข้อนี้จะไม่กล่าวถึงทฤษฎีของระบบเฟสล็อกคูลูปอีกเนื่องจากได้กล่าวไว้พอสมควรแล้วในบทที่ 5 แต่จะได้ลองคำนวณพารามิเตอร์ที่น่าสนใจบางตัว

เฟสล็อกคูลูปที่ทดลองสร้างนี้มีส่วนประกอบและคุณสมบัติ ดังนี้

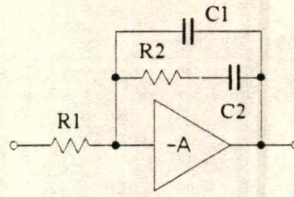
- เฟสดีเท็คเตอร์ ใช้แบบ เฟส-ความถี่, PFD (Phase-Frequency Detector) มีเส้นแสดงคุณสมบัติดังในรูป 5.28 และ 5.29 โดยเฟสอินพุตอยู่ในช่วง -2π ถึง 2π และแรงดันเอาต์พุตอยู่ในช่วง $0-5V$ ดังนั้นตัว PFD จะมีค่าคงที่ เป็น

$$K_d = \frac{5}{4\pi} = 0.4 \quad V/rad$$

- ตัวกรองลูป (Loop Filter) เป็นตัวกรองความถี่ต่ำผ่านแบบแอกทีฟมีโครงสร้างวงจรตามรูป 7.38(b) ซึ่งใช้ในลูปอันดับ 3 โดยในลูปอันดับ 3 นี้ยังไม่สามารถแสดงพารามิเตอร์ ω_n , ζ ได้ แต่เมื่อเปรียบเทียบกับตัวกรองแอกทีฟสำหรับลูปอันดับ 2 ในรูปที่ 7.38(a) แล้วจะพบว่า เหมือนกับการนำตัวกรองในลูปอันดับ 2 มาทำการเพิ่ม C_1 เข้าไปเพื่อกรององค์ประกอบความถี่สูงของสัญญาณภายในลูปทิ้งไป ดังนั้นถ้าให้ $C_1 \ll C_2$ แล้วจะสามารถประมาณค่าการคำนวณพารามิเตอร์ของลูปอันดับ 3 ด้วยลูปอันดับ 2 ได้ จากค่าอุปกรณ์ในวงจรจริงกำหนดให้



ตัวกรองสำหรับรูปอันดับ 2
(a)



ตัวกรองสำหรับรูปอันดับ 3
(b)

รูปที่ 7.38 เปรียบเทียบระหว่างตัวกรองแอกทีฟสำหรับรูปอันดับ 2 และ 3

$$R1 = 68K, R2 = 100K, C1 = 0.1\mu F, C2 = 2.35\mu F$$

มีฟังก์ชันถ่ายโอนเป็น

$$F(s) = K_h \frac{(s + 1/\tau_2)}{s(s\tau_3 + 1)}$$

โดย

$$K_h = \frac{R2}{R1} = 1.47$$

$$\tau_1 = R1 \cdot C2 = 0.16, \tau_2 = R2 \cdot C2 = 0.235, \tau_3 = R2 \cdot C1 = 0.01$$

• ส่วนควบคุมความถี่ด้วยแรงดัน (Voltage Controlled Oscillator) ในงานวิจัยนี้จะใช้การออสซิลเลตด้วยฟลิคแร หรือเรียกว่า VCXO มีเส้นโค้งคุณสมบัติที่วัดได้ดังรูป 7.39 จะเห็นว่าความถี่กลางที่ใช้จะอยู่ที่ 17.43 MHz ซึ่งต่างจากที่ได้กำหนดไว้คือ 16.64 MHz เนื่องจากไม่สามารถหาฟลิคแรตามความถี่ที่กำหนดได้จึงใช้ค่าที่ใกล้เคียงแทน VCXO ที่ใช้จะกำเนิดความถี่จาก 17.42894 MHz ถึง 17.43125 MHz จากแรงดันควบคุม 0-30V ดังนั้นค่าคงที่ของ VCXO จะเป็น

$$K_v = 2\pi \cdot \frac{(17.43125 - 17.42894) \cdot 10^6}{30}$$

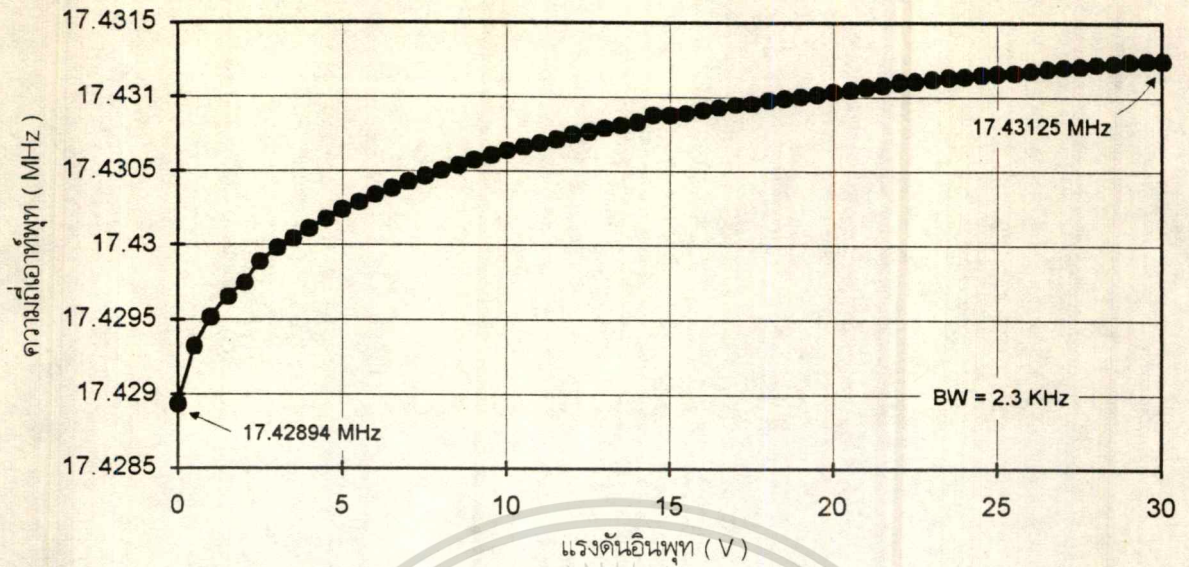
$$K_v = 483.8 \text{ rad/V}$$

ซึ่งมีแถบความถี่ที่แคบมากเพียงประมาณ 2.3 KHz เท่านั้น

• ตัวหารความถี่ มีค่าเป็น 32 ดังนั้น

$$M = N = 32$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.39 แสดงคุณสมบัติของตัว VCXO ที่วัดได้

จากค่าคงที่ของส่วนต่างๆที่ได้คำนวณมา สามารถหาพารามิเตอร์ต่างๆที่สำคัญ คือ
 ลูปเกน K คำนวณได้จากสมการ (5.17)

$$K = \frac{K_d \cdot K_v}{N} = \frac{0.4 \times 483.8}{32}$$

$$K = 6.05$$

ดังนั้น จากสมการ (5.30b) ความถี่ธรรมชาติ ω_n เป็น

$$\omega_n = \sqrt{\frac{K}{\tau_1}}$$

$$\omega_n = \sqrt{\frac{6.05}{0.16}} = 6.15 \quad \text{rad/s}$$

หรือ $f_n = \frac{\omega_n}{2\pi} = 0.98 \quad \text{Hz}$

และค่าประกอบการหน่วง ζ เป็น

$$\zeta = \frac{\tau_2}{2} \cdot \omega_n$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\zeta = \frac{0.235 \times 6.15}{2} = 0.72$$

แถบความถี่รูป ω_c คำนวณได้จากสมการ (5.32)

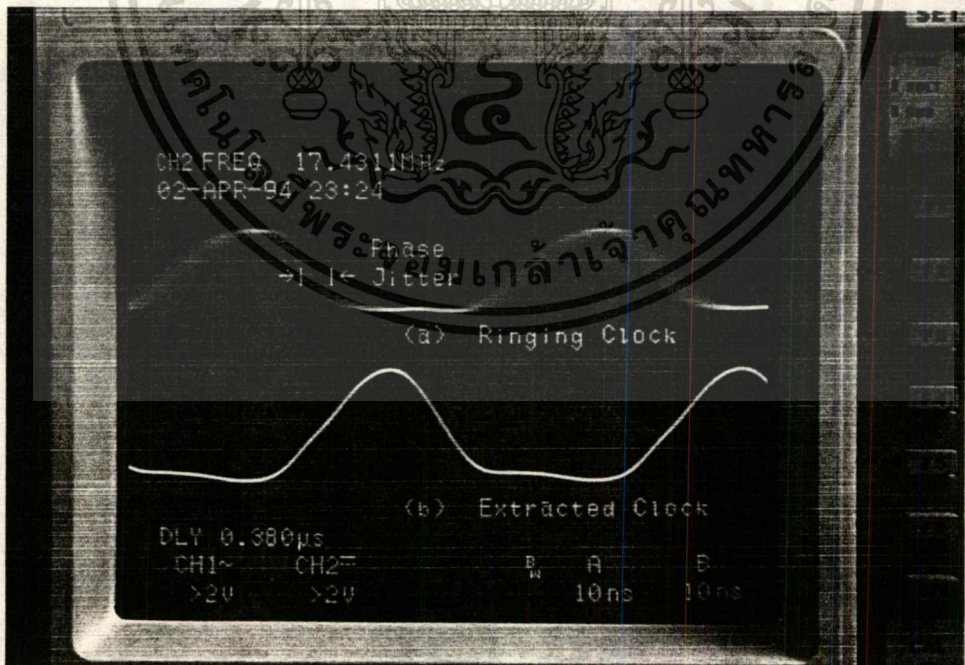
$$\omega_c \cong K \cdot K_h$$

$$\omega_c \cong 6.05 \times 1.47 = 8.89 \quad rad/s$$

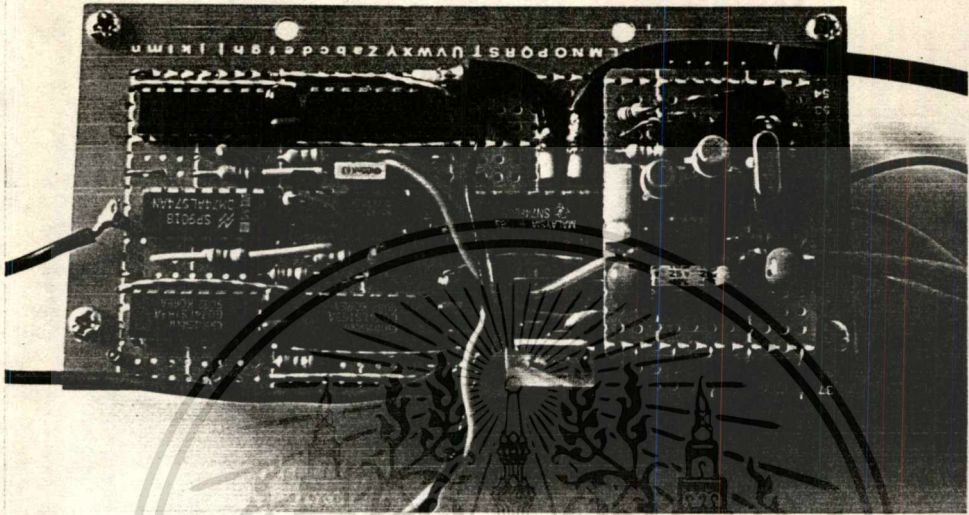
หรือ

$$f_c = \frac{\omega_c}{2\pi} = 1.42 \quad Hz$$

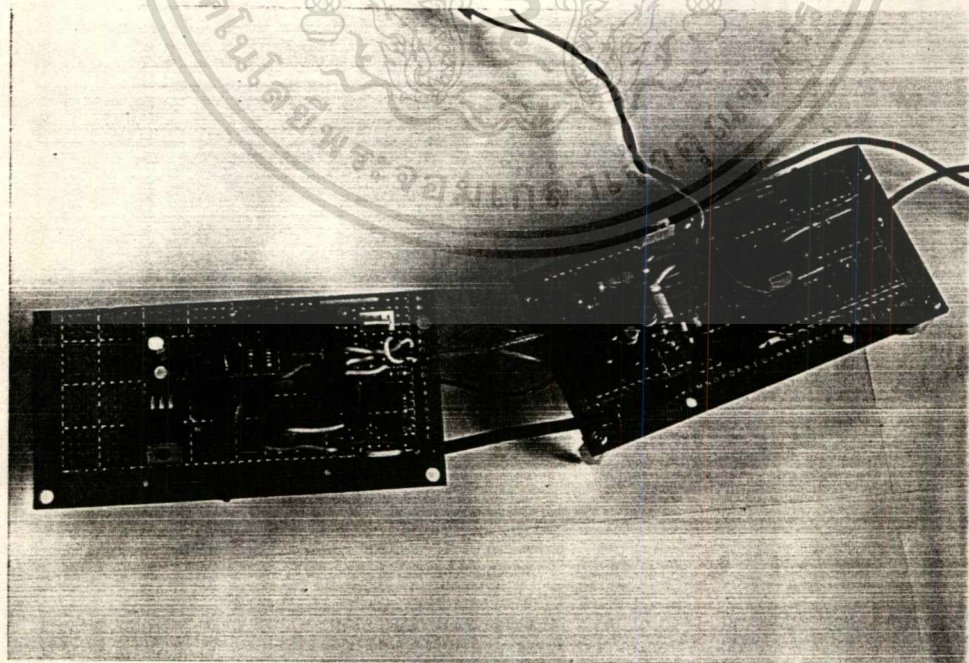
จากค่าตัวประกอบการหน่วงที่คำนวณได้ คือ $\zeta = 0.72$ มีค่าปานกลางและเหมาะสม และแถบความถี่รูปที่คำนวณได้ก็มีค่าที่แคบมาก คือ $f_c = 1.42 \text{ Hz}$ ซึ่งทำให้สามารถลดจิทเตอร์ได้เป็นที่น่าพอใจ ดังรูปที่ 7.40 ซึ่งแสดงสัญญาณนาฬิกาที่วัดเปรียบเทียบกัน รูปบนคือ ริงกิ้งคล็อก (Ringing Clock) เป็นสัญญาณนาฬิกาที่วัดก่อนเข้า เฟสล็อกคูลูป จะสังเกตเห็นว่ามีจิทเตอร์ปนเข้ามาด้วย และรูปล่างคือสัญญาณที่ได้จากเฟสล็อกคูลูป จะเห็นว่าจิทเตอร์ถูกกำจัดออกไป ส่วนรูปที่ 7.41 เป็นส่วนเฟสล็อกคูลูปที่ทดลองสร้างขึ้น และ รูปที่ 7.42 เป็นระบบแยกสัญญาณนาฬิกาที่สร้างขึ้น



รูปที่ 7.40 แสดงสัญญาณนาฬิกาที่วัดได้ก่อนเข้าและหลังจากผ่านระบบเฟสล็อกคูลูปแล้ว



รูปที่ 7.41 แสดงระบบ เฟสลิคคูลูป ที่ทดลองสร้างขึ้น



รูปที่ 7.42 แสดงระบบแยกสัญญาณนาฬิกาที่ทดลองสร้างขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8

ผลการทดสอบ

เนื่องจากระบบที่ทดลองสร้างขึ้นนี้ทำหน้าที่ในการส่งข้อมูลภาพและเสียง ดังนั้นการทดสอบระบบจึงแบ่งเป็น 2 ส่วน คือ การทดสอบระบบในส่วนของภาพ และการทดสอบในส่วนของเสียง โดยในส่วนของภาพจะใช้วิธีการเปรียบเทียบบาร์แพทเทิร์นสีเทาก่อนการส่งและที่รับได้ที่เครื่องรับว่ามีความแตกต่างหรือบกพร่องหรือไม่เพียงใด และในส่วนของเสียงจะใช้วิธีการเปรียบเทียบรูปคลื่นสัญญาณก่อนการส่งและที่รับได้ที่เครื่องรับว่ามีความผิดเพี้ยนของรูปคลื่นหรือไม่อย่างไร ขณะทำการทดลองระบบใช้สายส่งซึ่งเป็นสายใยแก้วนำแสงขนาดแกน 50 μm ความยาว 200 เมตร

อนึ่งการทดสอบที่ทำขึ้นนี้ ไม่ได้ประเมินประสิทธิภาพของระบบด้วยค่า อัตราผิดพลาดบิต BER เนื่องด้วยเหตุผล 2 ประการ คือ

1 เนื่องจากระบบถูกออกแบบมาในรูปของฮาร์ดแวร์ล้วนๆ ซึ่งมีความยืดหยุ่นต่ำทำให้การเชื่อมต่อระหว่างส่วนต่างๆภายในระบบมีความเฉพาะตัวสูง ดังนั้นการวัดค่าอัตราผิดพลาดบิตซึ่งต้องเชื่อมต่อกับระบบเข้ากับเครื่องมือวิเคราะห์จึงมีความยุ่งยากและลำบาก

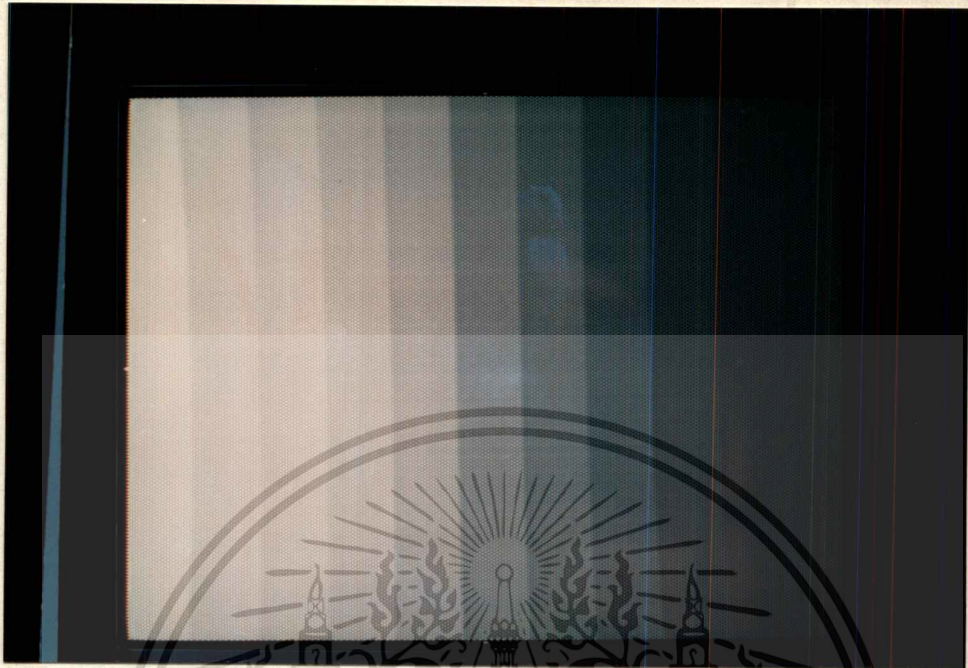
2 เนื่องจากข้อมูลสำคัญที่ใช้ในการติดต่อสื่อสารกันเป็นข้อมูลเชิงภาพและเสียง ดังนั้นการประเมินประสิทธิภาพของระบบโดยการเปรียบเทียบคุณภาพของภาพและเสียงก่อนการส่งกับที่รับได้ที่เครื่องรับจึงน่าจะเหมาะสมกว่าการใช้ค่า อัตราผิดพลาดบิต

8.1 การทดสอบทางภาพ

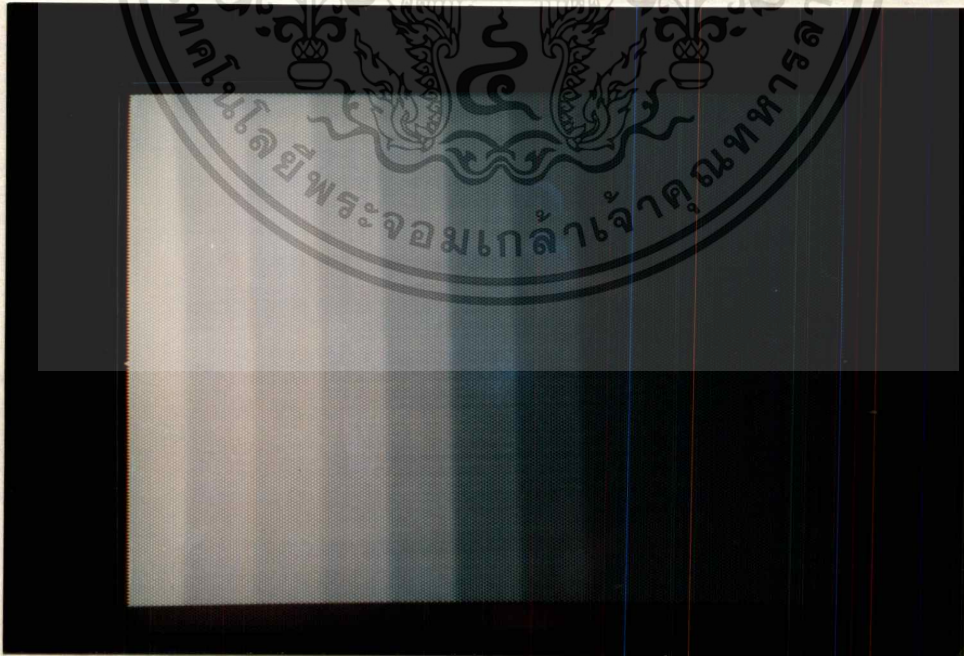
ในการทดสอบจะใช้ภาพบาร์แพทเทิร์นสีเทาเป็นภาพทดสอบโดยจะใช้กล้องวิดีโอจับภาพและทำการเปรียบเทียบภาพที่ได้จากกล้องวิดีโอโดยตรงกับภาพที่ส่งผ่านระบบและรับได้ที่เครื่องรับ ภาพที่บันทึกได้แสดงในรูปที่ 8.1 ซึ่งเป็นภาพจากกล้องวิดีโอโดยตรง และรูปที่ 8.2 ซึ่งเป็นภาพที่รับได้ที่เครื่องรับ

จากรูปที่ 8.1 ซึ่งเป็นภาพที่ได้จากกล้องโดยตรงซึ่งบาร์แพทเทิร์นที่ได้มีการไล่ระดับโทนสีเทาที่ดีและความคมชัดอยู่ในเกณฑ์เมื่อเปรียบเทียบกับรูปที่ 8.2 ซึ่งเป็นภาพที่รับได้ที่เครื่องรับจะเห็นว่าที่ระดับความเข้มสีเทาสูงๆไม่สามารถแยกแยะระดับได้ ความคมชัดของภาพลดลงซึ่งจะสังเกตได้ชัดที่บริเวณขอบต่อระหว่างโทนที่ติดกัน

การวิเคราะห์หาสาเหตุจะทำได้ชัดเจนขึ้นเมื่อเปรียบเทียบกับภาพบาร์แพทเทิร์นที่กำเนิดจากตัวเครื่องส่งเอง (โหมดการส่งแพทเทิร์นทดสอบ) ซึ่งไม่เกี่ยวข้องกับส่วนดิจิทัลสัญญาณภาพ ดังรูปที่ 8.3 จะเห็นว่า บาร์แพทเทิร์นที่ได้มีความคมชัดที่ดี เมื่อเปรียบเทียบภาพทั้ง 3 ภาพ สรุปได้ว่า สาเหตุ

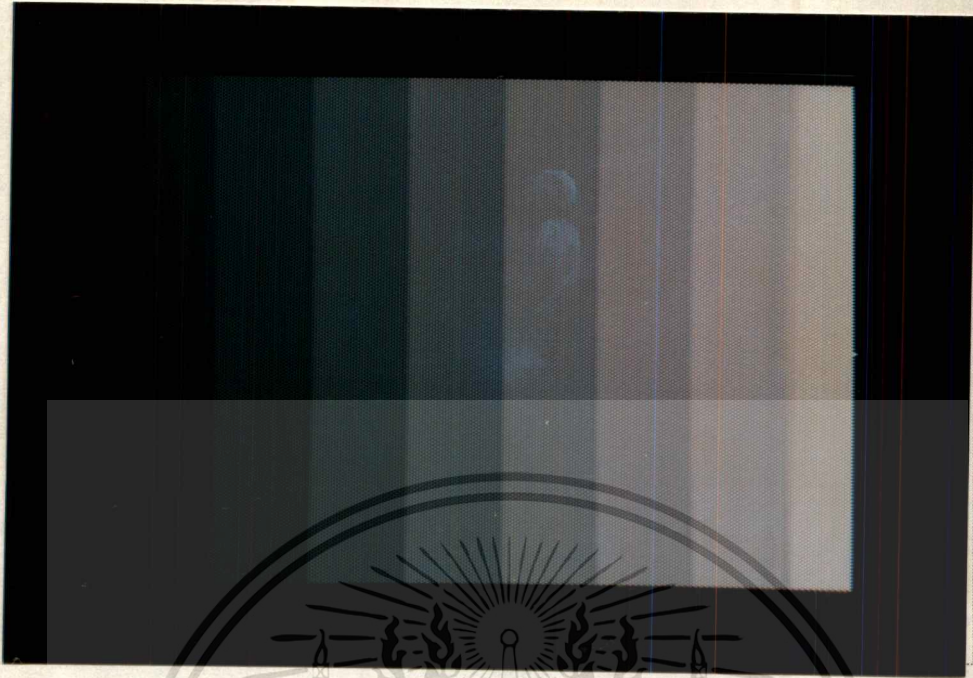


รูปที่ 8.1 บาร์แพทเทอร์นสีเทาที่ได้โดยตรงจากกล้องวิดีโอ



รูปที่ 8.2 บาร์แพทเทอร์นสีเทาที่รับได้ที่เครื่องรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 8.3 แพทเทอร์นทดสอบที่รับได้ที่เครื่องรับ (ไม่ผ่านตัวดิจิทัลสัญญาณภาพ)

ที่ภาพที่รับได้มีคุณภาพลดลงเกิดจากตัวดิจิทัลสัญญาณภาพ เนื่องจากภาพจากรูปที่ 8.2 ซึ่งเป็นภาพที่รับได้ที่เครื่องรับเป็นภาพเดียวที่ผ่านกระบวนการดิจิทัลสัญญาณภาพ ส่วนอีก 2 ภาพไม่ได้ผ่านกระบวนการดิจิทัลสัญญาณภาพ นอกจากนี้อาจประมาณได้ว่า ค่าอัตราผิดพลาดบิตน่าจะมีค่าไม่สูงมากนักและไม่ใช้ตัวประกอบสำคัญที่ทำให้ภาพที่ได้มีคุณภาพลดลงเนื่องจากภาพที่ได้จากแพทเทอร์นทดสอบในรูปที่ 8.3 ซึ่งเป็นภาพที่กำเนิดขึ้นที่ตัวเครื่องส่งเองและส่งผ่านสายมายังมีความคมชัดที่ดีอยู่

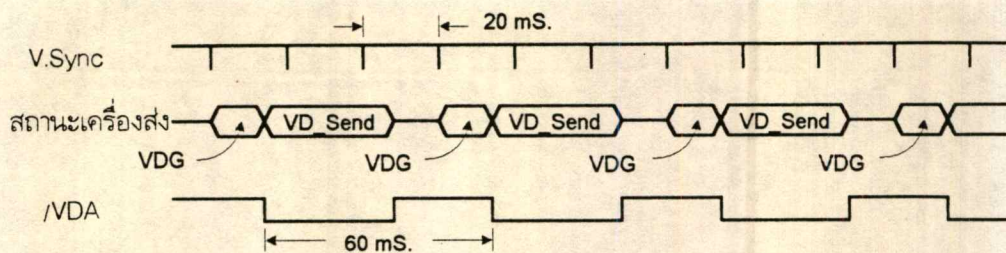
ในส่วนของตัวดิจิทัลสัญญาณภาพซึ่งเป็นสาเหตุที่ทำให้ภาพที่ได้มีคุณภาพลดลง สาเหตุจะอยู่ที่ส่วนแปลงสัญญาณอนาลอกเป็นดิจิทัลซึ่งยังมีการควบคุมระดับสัญญาณภาพที่ยังไม่ดีพอแต่อย่างไรก็ตามเมื่อนำไปใช้งานกับภาพโดยทั่วไป ข้อบกพร่องที่พบจากการทดสอบก็ไม่ก่อให้เกิดปัญหาใดๆในการใช้งาน

เมื่อกล่าวถึงในส่วนของคุณภาพแล้วยังมีคุณสมบัติอีกตัวที่ควรได้กล่าวถึงคือ อัตราการส่งภาพซึ่งสามารถคำนวณได้จากไดอะแกรมแสดงสถานะการทำงานของระบบส่งข้อมูลดังรูปที่ 8.4 ซึ่งจะเห็นว่า ทุกๆ 3 พิลด์ของสัญญาณภาพจะมีการส่งข้อมูลไปถึงเครื่องรับ 1 เฟรมภาพ และเนื่องจากตามมาตรฐานของสัญญาณภาพระบบ PAL อัตราฟิลด์ภาพเป็น 50 ฟิลด์ภาพ/วินาที ดังนั้นอัตราการส่งภาพของระบบส่งจะเป็น

$$\frac{50}{3} = 16.67 \quad \text{ภาพ/วินาที}$$

เมื่อเทียบกับมาตรฐาน PAL ซึ่งมีอัตราเฟรมภาพเป็น 25 เฟรมภาพ/วินาทีแล้ว ถือเป็นอัตราส่วน 2:3

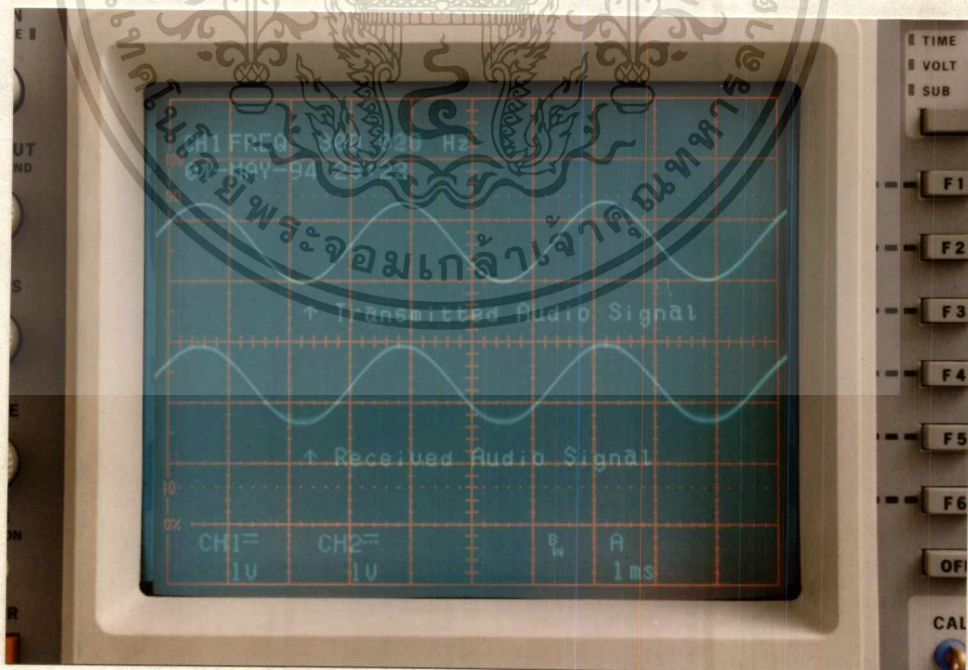
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 8.4 ไดอะแกรมเวลาสถานะของระบบส่ง

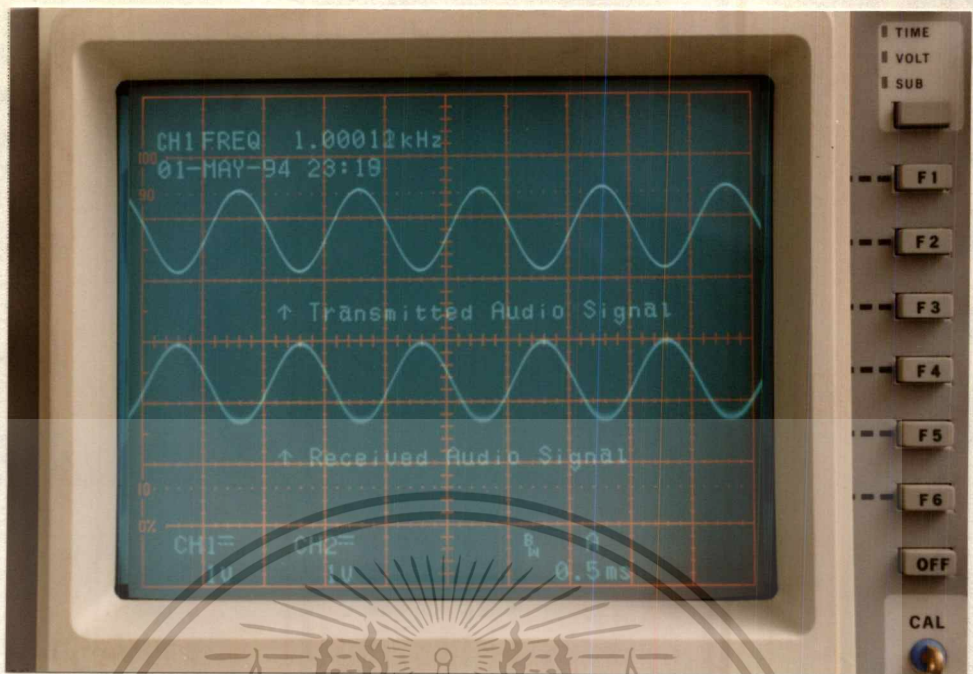
8.2 การทดสอบทางเสียง

การทดสอบในส่วนของเสียงจะใช้วิธีการเปรียบเทียบรูปคลื่นสัญญาณที่กำเนิดจากตัวกำเนิดสัญญาณความถี่เสียง (Audio Signal Generator) ก่อนการส่งและที่รับได้ที่เครื่องรับ โดยทำการวัดที่ความถี่ 3 ค่า คือ 300 Hz , 1 kHz และ 3.4 kHz เนื่องจากชิพ CODEC ที่ใช้ตอบสนองความถี่ต่อสัญญาณอินพุตในช่วงประมาณ 300 Hz - 3.4 kHz ซึ่งเป็นความถี่ในช่วงเสียงพูดของคน ผลการทดลองวัดแสดงในรูปที่ 8.5 , 8.6 และ 8.7 ซึ่งแสดงการวัดที่ความถี่ 300 Hz , 1 kHz และ 3.4 kHz ตามลำดับ ขนาดสัญญาณจากตัวกำเนิดความถี่เสียงประมาณ $1.4 V_{p-p}$ ซึ่งเป็นขนาดใหญ่ที่สุดก่อนเกิดการ clipping

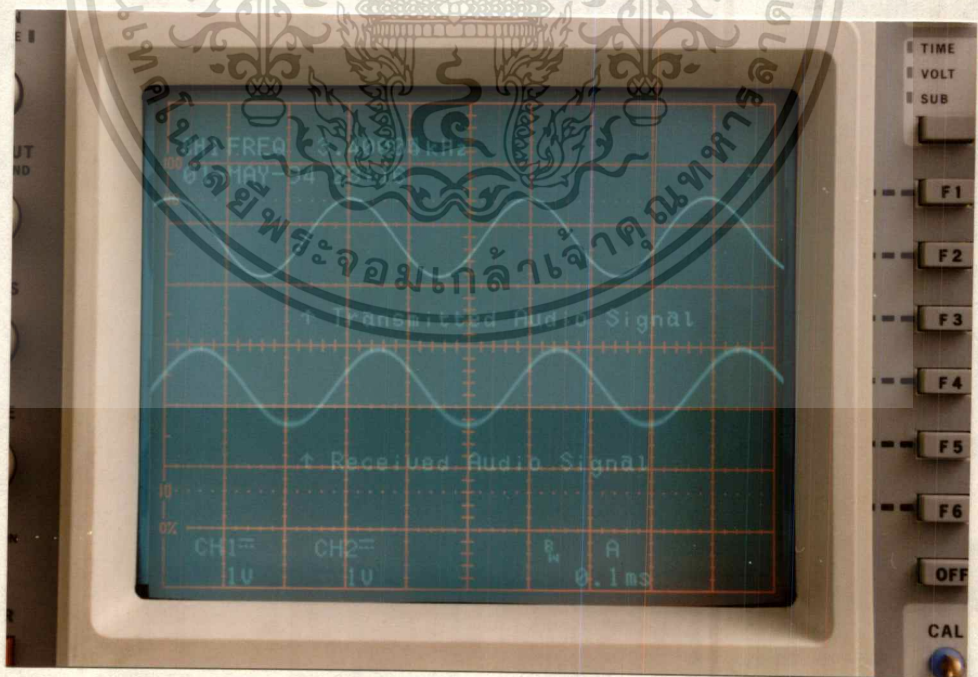


รูปที่ 8.5 รูปคลื่นสัญญาณเสียง ทดสอบที่ความถี่ 300 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 8.6 รูปคลื่นสัญญาณเสียง ทดสอบที่ความถี่ 1 kHz



รูปที่ 8.7 รูปคลื่นสัญญาณเสียง ทดสอบที่ความถี่ 3.4 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปทั้ง 3 จะเห็นว่ารูปคลื่นที่ได้ค่อนข้างสมบูรณ์ จะมีสัญญาณรบกวนเพียงเล็กน้อยที่ส่วนล่างของรูปคลื่นซึ่งเกิดจากการสวิตช์ของวงจรดิจิทัลในส่วนอื่นๆของระบบ ขนาดของสัญญาณที่ได้มีขนาดใกล้เคียงกับสัญญาณก่อนส่งและมีการเลื่อนของเฟสซึ่งเกิดเนื่องจากการบวนการกรองความถี่ภายในชิพ CODEC เอง และสัญญาณเสียงที่รับได้มีความชัดเจนเป็นที่น่าพอใจ



บทที่ 9

สรุปผลการวิจัยและแนวทางในการพัฒนา

9.1 สรุปผลการวิจัย

ระบบที่ได้ทดลองออกแบบนี้เป็นระบบที่ใช้ในการส่งข้อมูลภาพและเสียงโดยใช้หลักการสื่อสารชนิดมัลติเพล็กซ์แบบแบ่งเวลา ใช้แสงเป็นพาหะในการส่งข้อมูลและใช้สายใยแก้วนำแสงเป็นตัวกลาง อัตราส่งข้อมูล 16.64 Mbps (ทดลองจริงใช้ 17.43 Mbps) ข้อมูลภาพเป็นภาพขาวดำขนาด 256 x 256 จุดภาพ ความละเอียด 8 บิต/จุดภาพ ส่วนของเสียงเข้ากระบวนการบีบอัดแบบ A ตามมาตรฐาน CCITT ความถี่ตอบสนองอยู่ในช่วง 300 Hz - 3.4 KHz อัตราภาพทำได้ 16.67 ภาพ/วินาที

จากการทดสอบที่ได้ทำไว้ในบทที่ 8 จะเห็นว่าในส่วนของภาพยังมีข้อบกพร่องอยู่บ้างสำหรับความเข้มสีเทาที่ระดับสูงๆ แต่ในการทดลองกับภาพโดยทั่วไปก็ไม่ก่อให้เกิดปัญหาใดๆ อัตราภาพทำได้ 16.67 ภาพ/วินาที ซึ่งคิดเป็นสัดส่วน 2 ใน 3 เมื่อเทียบกับสัญญาณภาพมาตรฐาน PAL ทำให้ภาพที่ได้มีความต่อเนื่องดีพอสมควร ในส่วนของเสียงที่ได้มีความชัดเจนดี แต่อย่างไรก็ดีระบบที่ออกแบบนี้ยังมีข้อด้อยอยู่ เช่น

- ระบบเป็นฮาร์ดแวร์ล้วนๆจึงขาดความยืดหยุ่น ดัดแปลงแก้ไขได้ลำบาก
- ใช้อุปกรณ์ค่อนข้างมาก โดยเฉพาะไอซีประเภท LS-TTL , S-TTL , FAST ทำให้ระบบดึงกระแสค่อนข้างสูงโดยประมาณถึง 1.2 A (ต่อ 1 ระบบรับหรือส่ง)

ปัญหาที่พบขณะทำการทดลองสร้างคือ ส่วนแยกสัญญาณนาฬิกาโดยเฉพาะภาค VCXO ของระบบเฟสล็อกซึ่งเป็น VCO ที่ออสซิลเลตด้วยผลึกแร่ทำให้แถบความถี่แคบมาก เนื่องจากการที่มีแถบความถี่ที่แคบมากนี้เองการปรับแต่งภาคนี้จึงต้องใช้เครื่องนับความถี่ที่มีความละเอียดถึง 10 Hz ช่วยและต้องปรับให้แถบความถี่นี้ครอบคลุมความถี่ปฏิบัติงานด้วยซึ่งค่อนข้างต้องใช้เวลาเนื่องจากผลึกแร่ นั้นเบี่ยงเบนความถี่ได้ยาก อีกปัญหาหนึ่งที่พบคือ นอร์ยภายในระบบซึ่งเกิดจากไอซีประเภท TTL ที่มีจำนวนมากและสวิตช์ด้วยความเร็วสูง รมกวนการทำงานกันเองโดยเฉพาะกับระบบเฟสล็อก ลูปทำให้ลูปหลุดจากการล็อกได้ง่ายพอสมควรจึงจำเป็นต้องใส่ตัวเก็บประจุคัปปลิงแหล่งจ่ายไฟที่ไอซี TTL ทุกตัวรวมถึงการกระจายกำลังไฟบนบอร์ดเพื่อลดอิมพีแดนซ์ของแหล่งจ่ายไฟให้ต่ำที่สุดซึ่งจะทำให้การรบกวนกันระหว่างตัวไอซีลดลง

9.2 แนวทางในการพัฒนาต่อไป

ส่วนที่ควรจะมีการพัฒนาและปรับปรุงให้ดีขึ้น คือ

- ปรับปรุงให้ส่วนของภาพเป็นภาพสี ซึ่งจำเป็นต้องนำกระบวนการบีบอัดข้อมูลภาพเข้ามาช่วย เนื่องจากข้อมูลภาพสี 1 เฟรมภาพมีขนาดใหญ่กว่าข้อมูลภาพขาวดำที่ความละเอียดเท่ากันถึงประมาณ 3 เท่า
- ปรับปรุงให้อัตราการส่งภาพเพิ่มสูงขึ้นซึ่งจะทำให้การตอบสนองต่อภาพเคลื่อนไหวดีขึ้น การเพิ่มหน่วยความจำภาพที่เครื่องส่งเป็น 2 ชุด โดยในขณะเวลาใดๆหน่วยความจำชุดหนึ่ง จะทำการเก็บข้อมูลขณะทำการดิจิทัลไลซ์สัญญาณภาพและอีกชุดหนึ่งจะถูกอ่านข้อมูลเพื่อนำไป ผลิตเพิลิกซ์ จะทำให้การส่งข้อมูลภาพมีความต่อเนื่องมากขึ้น
- พยายามนำไมโครโปรเซสเซอร์หรือไมโครคอนโทรลเลอร์เข้ามาควบคุมระบบซึ่งจะทำให้ระบบเล็กลง ใช้กำลังงานในการทำงานต่ำลงและระบบมีความยืดหยุ่นมากขึ้น

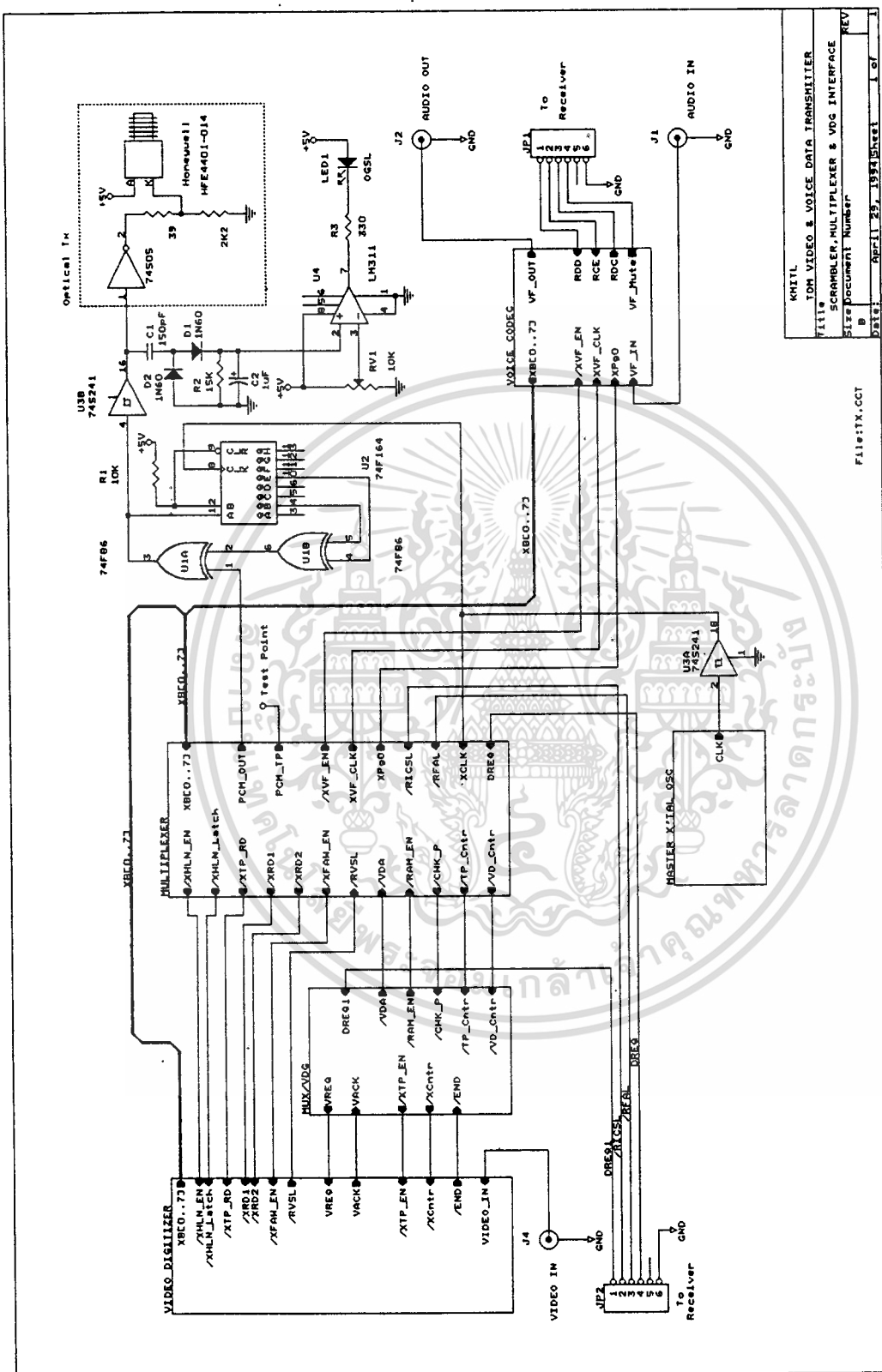


บรรณานุกรม (Reference)

- [1] Frank F.E. Owen : *PCM and Digital Transmisssion Systems* : McGraw-Hill ,Inc. ,1982
- [2] David R.Smith : *Digital Transmission Systems* : Van Nostrand Company Inc. ,1985
- [3] Roman Kuc : *Introduction to Digital Signal Processing* : McGraw-Hill ,Inc. ,1982
- [4] P. Bylanski and D.G.W. Ingram : *Digital Transmission Systems* : Peter Peregrinus Ltd.,London,United Kingdom. ,1976
- [5] Heinrich Meyr and Gerd Ascheid : *Synchronization in Digital Communications,Vol 1* : John Wiley & Sons, Inc. ,1990
- [6] Dan H. Wolaver : *Phase-Locked Loop Circuit Design* : Prentice-Hall, Inc., Englewood Cliffs, New-Jersey. ,1991
- [7] H.V. Sims : *Principles of PAL Colour Television and related systems* : The British Broadcas-ting Corporation. ,1969
- [8] V. F. Samoylov ,B. P. Khromoy : *Television* : English translation, Mir Publishers. ,1977
- [9] Hiroyuki Kasai, Sachio Senmoto, and Masahiko Matsushita : *PCM Jitter Suppression by Scrambling* : IEEE Transactions on Communications, Vol., COM-22, No.8, August 1974
- [10] David G. Messerschmitt : *Frequency Detectors for PLL Acquisition in Timing and Carrier Recovery* : IEEE Transactions on Communications on , Vol., COM-27, No.9, September 1979
- [11] William Schweber : *Electronic Communication Systems* : Prentice-Hall ,Englewood Cliffs ,N.J. 07632 , 1991
- [12] Yoshitaka Takasaki : *Digital Transmission Design and Jitter Analysis* : Artech House, Inc. , 1991
- [13] Patrick R. Trischitta ,Eve L. Varma : *Jitter in Digital Transmission System* : Artech House, Inc. ,1989
- [14] J. G. Wade : *Signal Coding and Procèssing : An Introduction Based on Video Systems* : Ellis Horwood Limited. ,1987

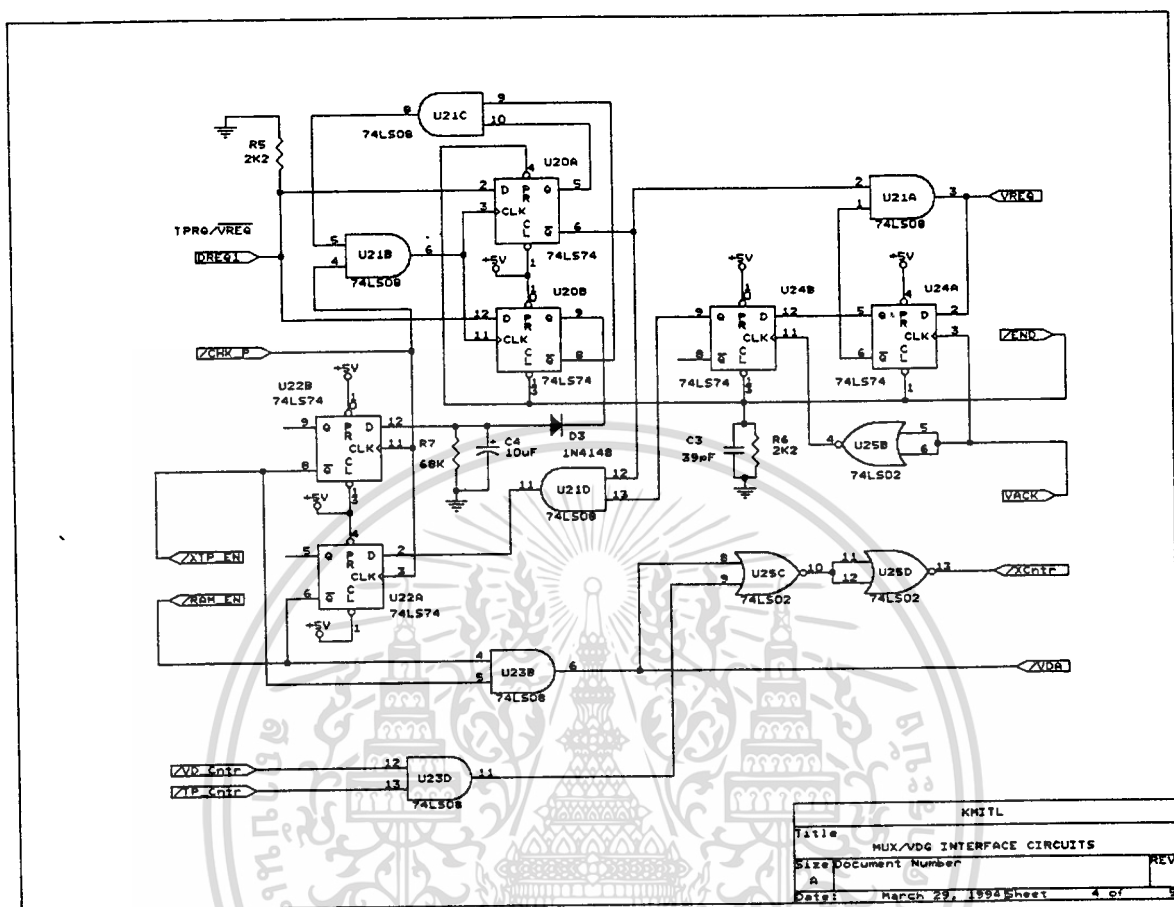


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

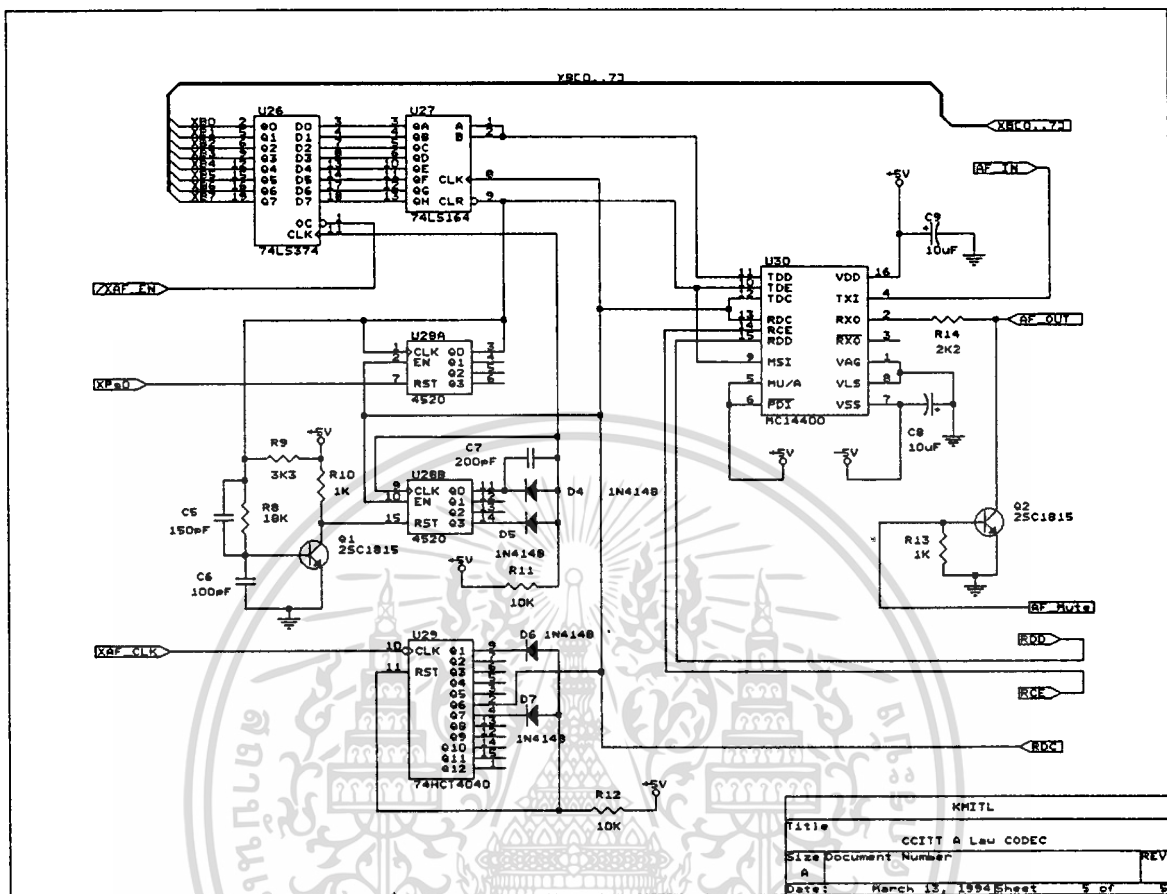


รูปที่ 7.43 โดยคณะกรรมการส่งเสริมข้อมูลแสดงวงจรในส่วนของตัวสคริปต์และตัวกำหนดสัญญาณแรงดัน OGS-L



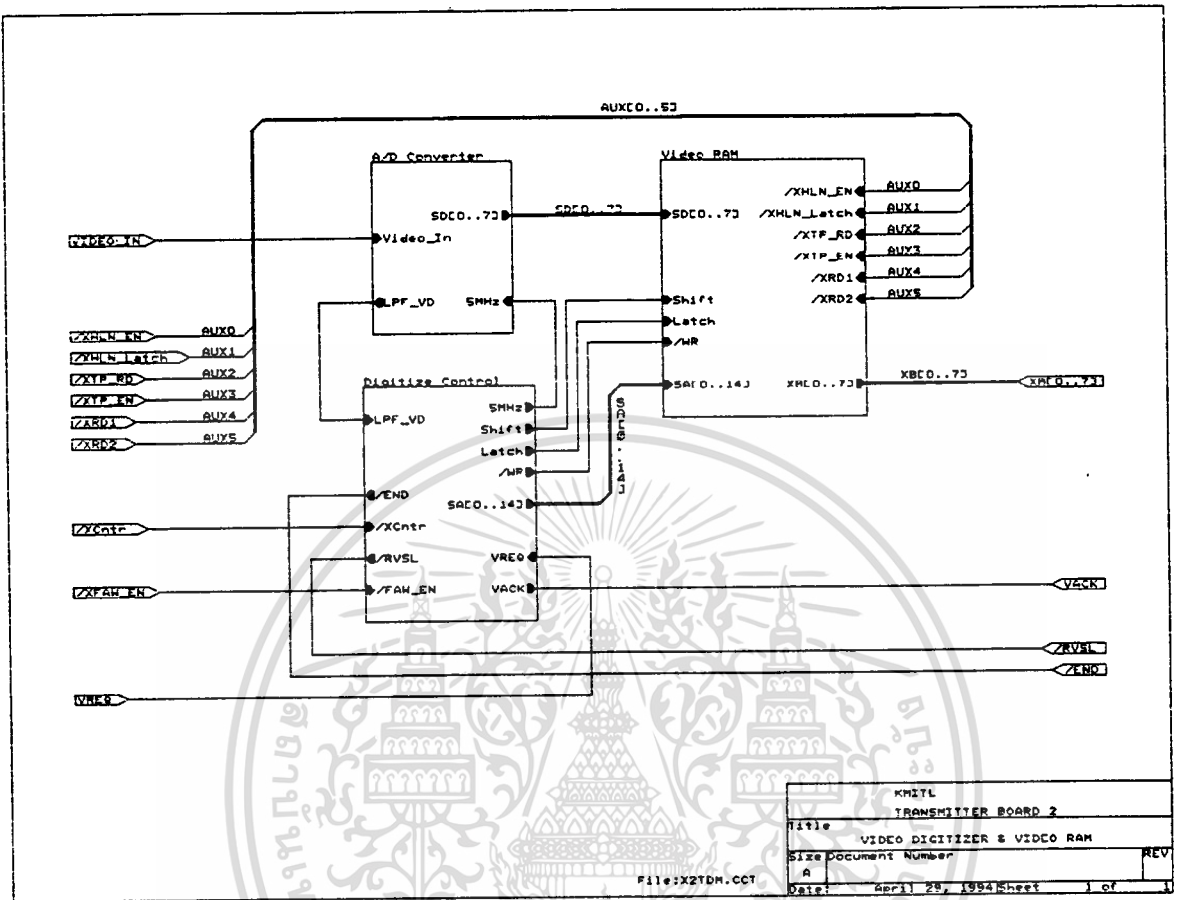


รูปที่ 7.45 แสดงวงจรในส่วนเชื่อมต่อ VDG/MUX

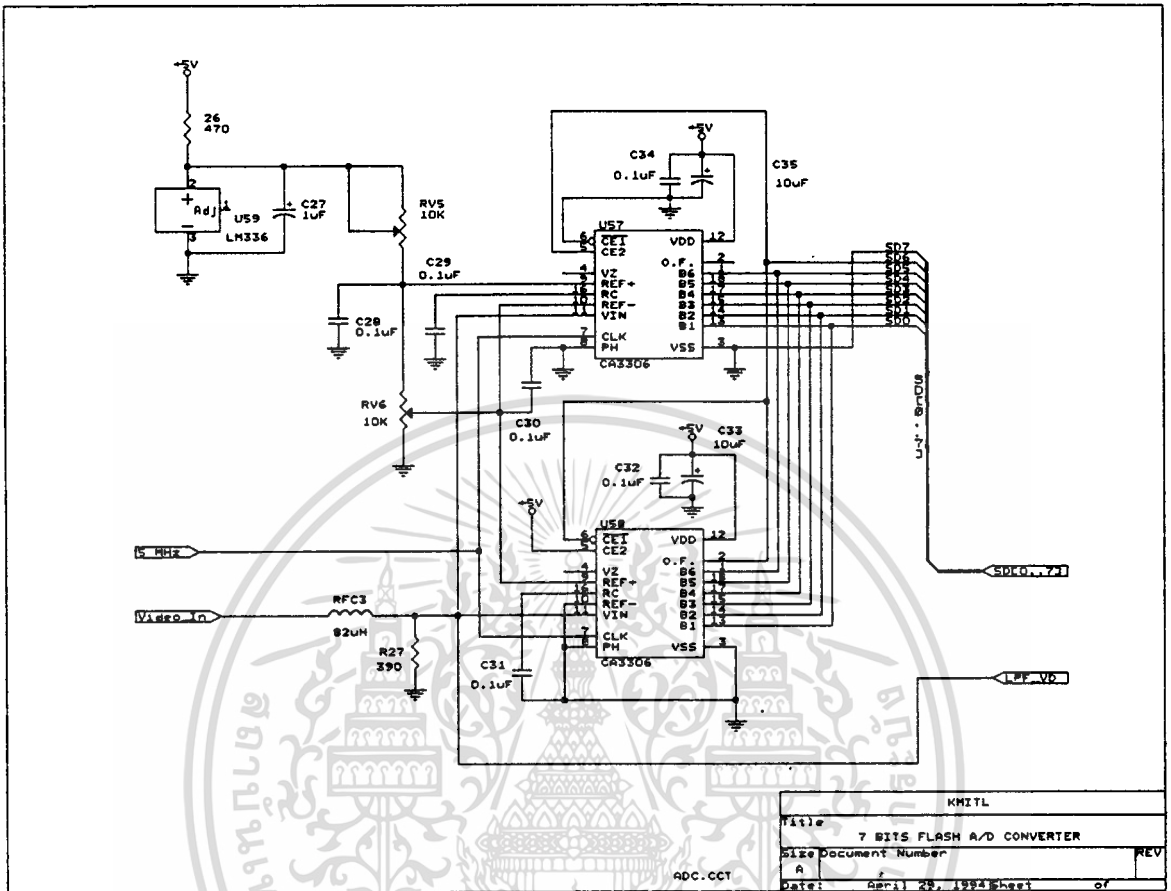


รูปที่ 7.46 แสดงวงจรในส่วนเข้ารหัสข้อมูลเสียง

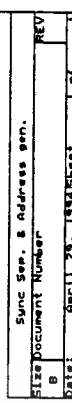
รูปที่ 7.47 แสดงวงจรกำเนิดความถี่อ้างอิงหลัก (Master Clock)



รูปที่ 7.48 แสดงไดอะแกรมการเชื่อมต่อของวงจรจริงภายในส่วน ดิจิไทซ์สัญญาณภาพ



รูปที่ 7.49 แสดงวงจรในส่วนแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบแฟลช

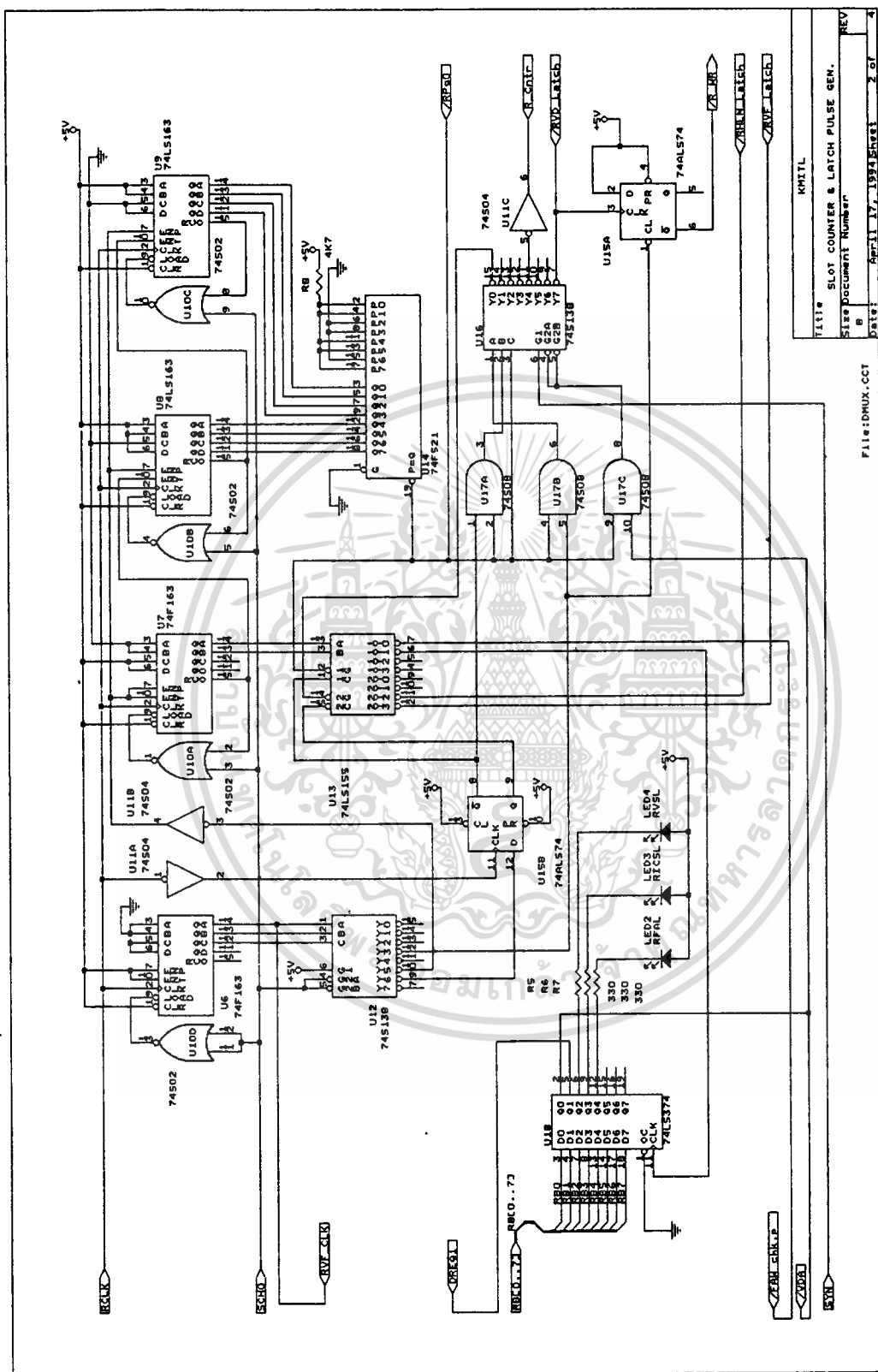


รูปที่ 7.50 แสดงวงจรในส่วนของตัวดิจิทัลพัลส์สัญญาณภาพ

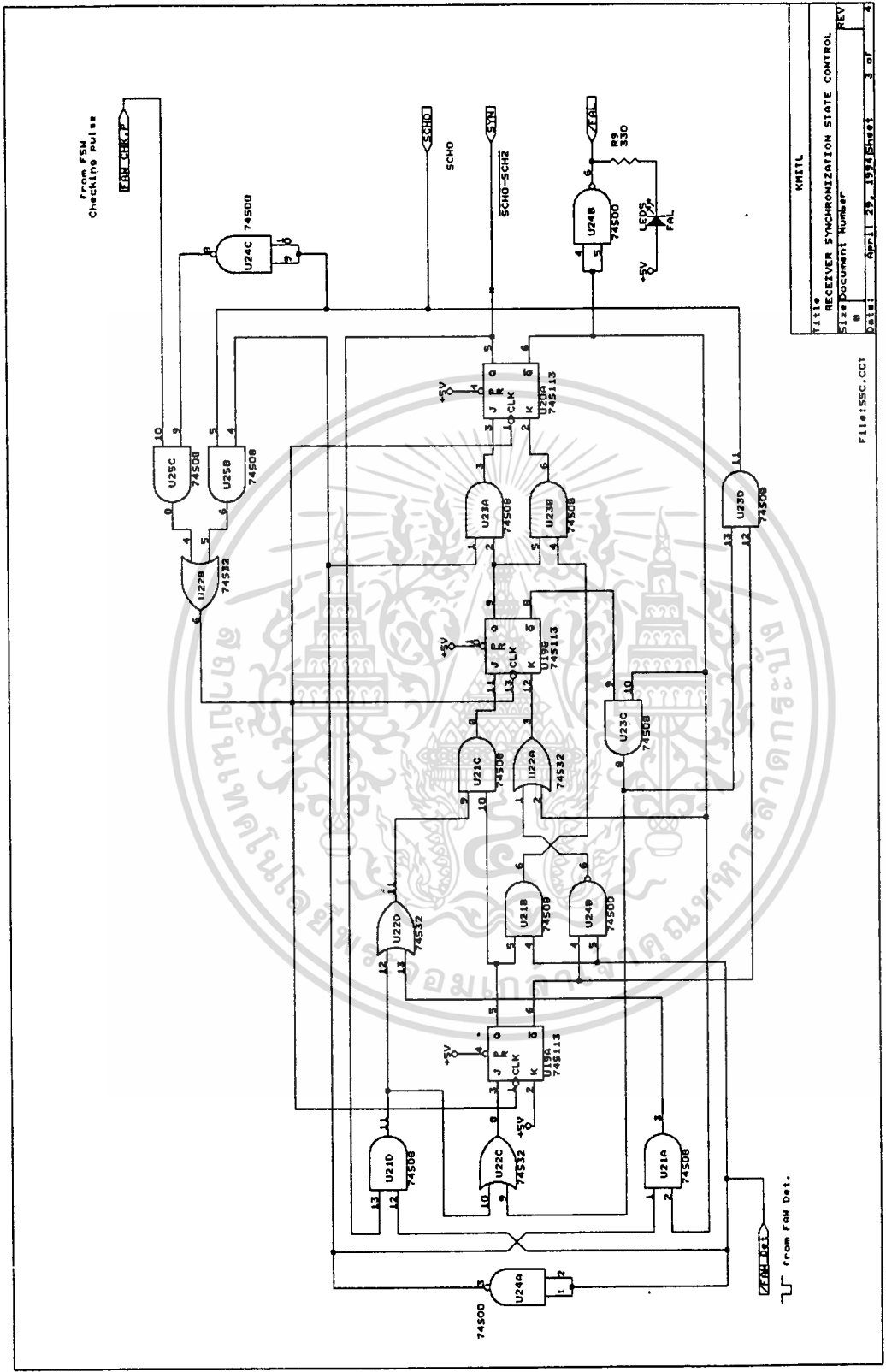




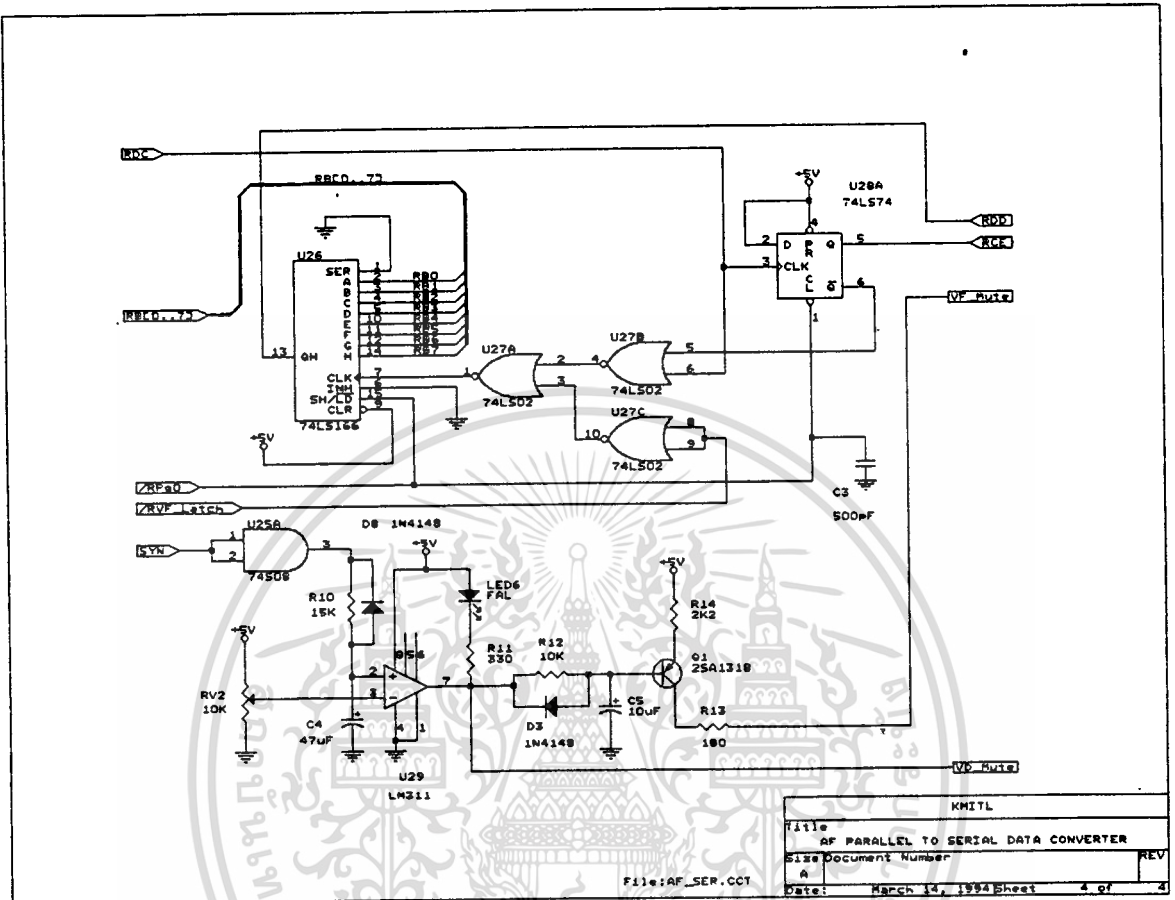
รูปที่ 7.52 ระบบรับข้อมูลแสดงจรรยาในส่วนของตัวผู้สมัคร. ตัวแปลข้อมูลกรมเป็นชาน และตัวตรวจหา FAW



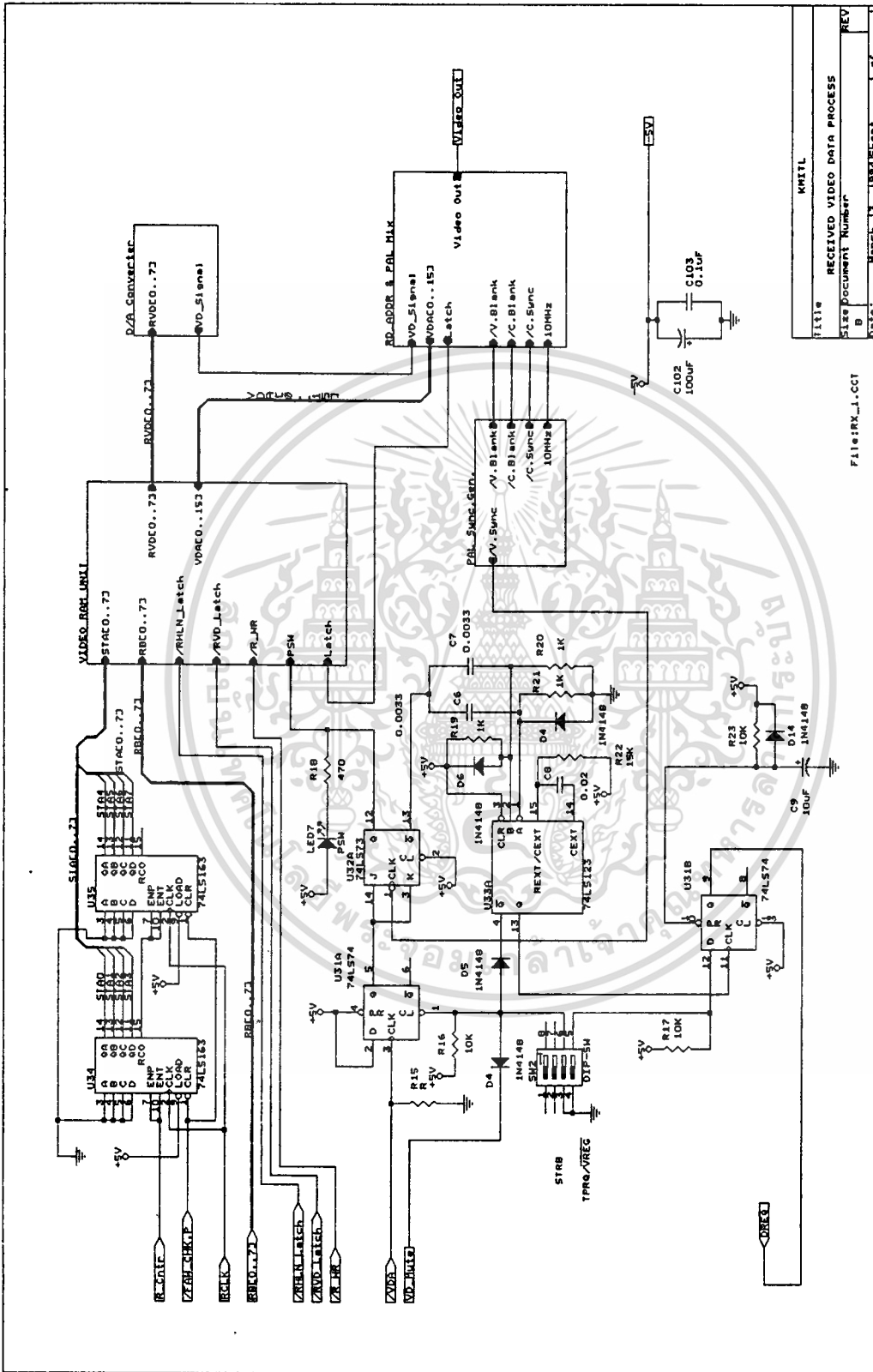
รูปที่ 7.53 แสดงวงจรในส่วนของตัวมัลติเพล็กซ์ข้อมูลและบัฟเฟอร์ PC5W



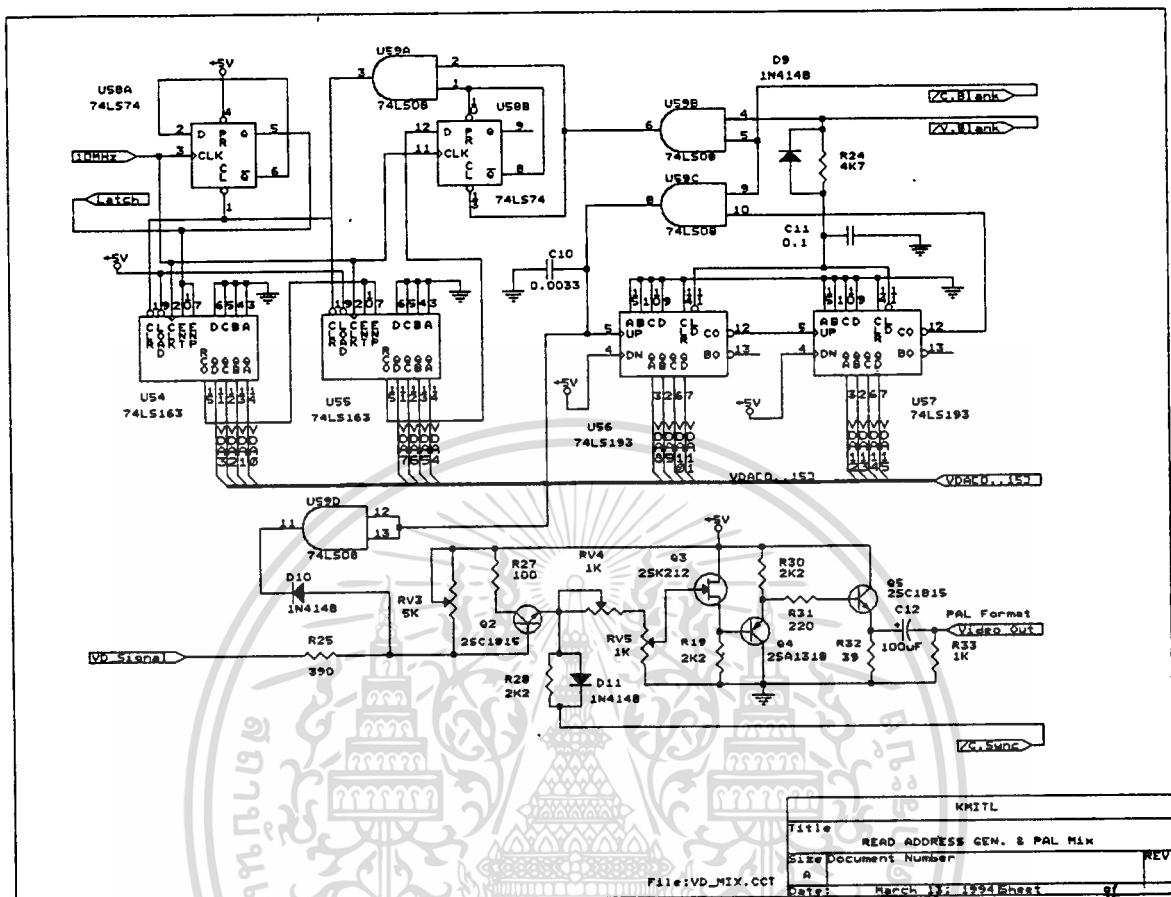
รูปที่ 7.54 แสดงวงจรของส่วนควบคุมสถานะการซิงโครไนซ์ SSC (Synchronization State Control)



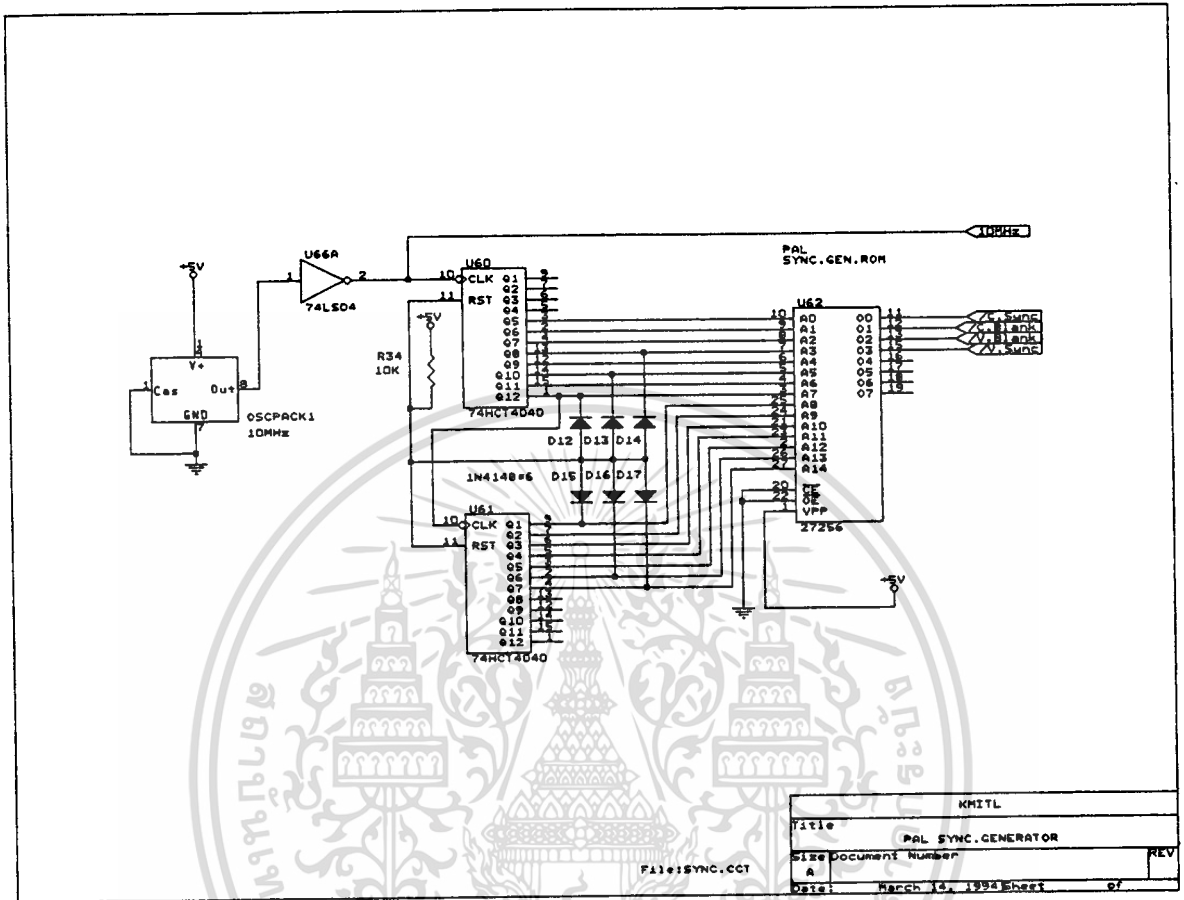
รูปที่ 7.55 แสดงวงจรในส่วนตัวถอดรหัสข้อมูลเสียง



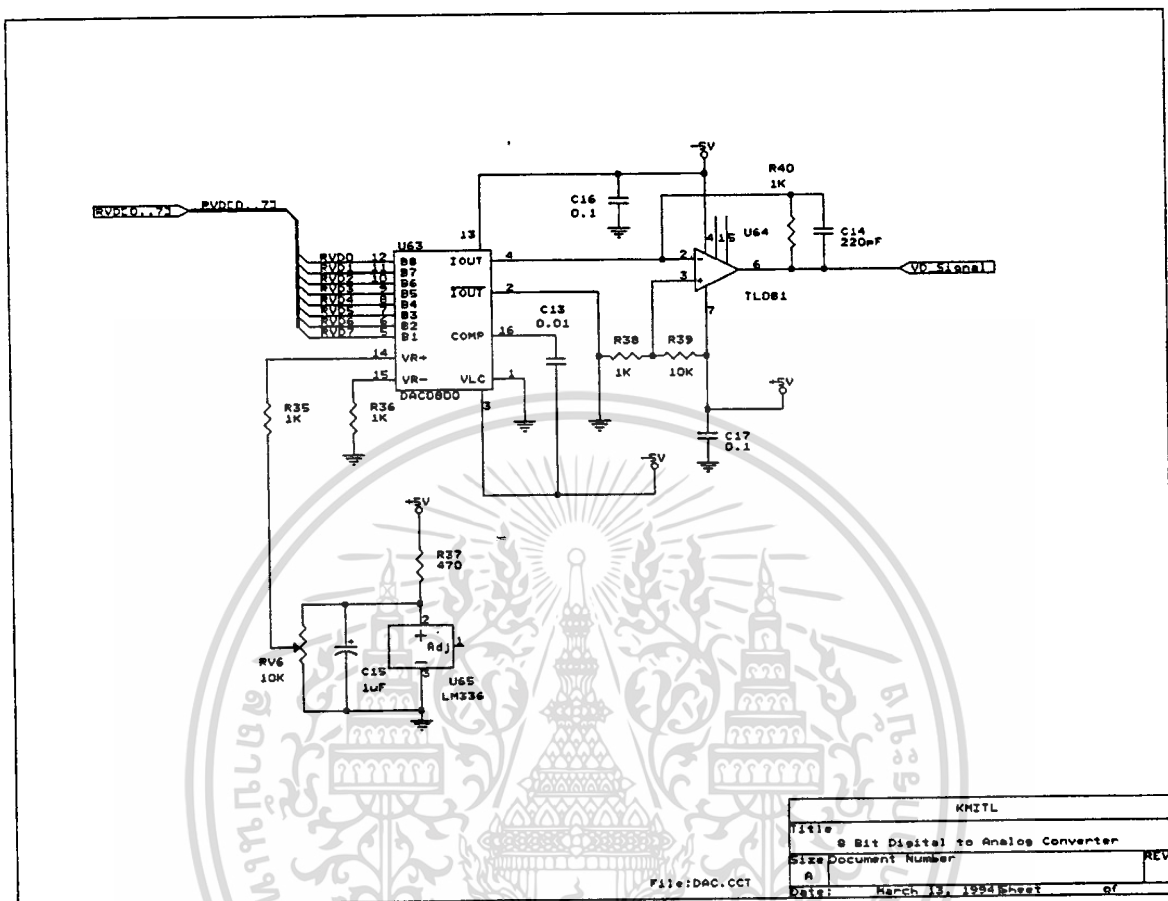
รูปที่ 7.56 แสดงวงจรของส่วนควบคุมและประมวลผลข้อมูลภาพ



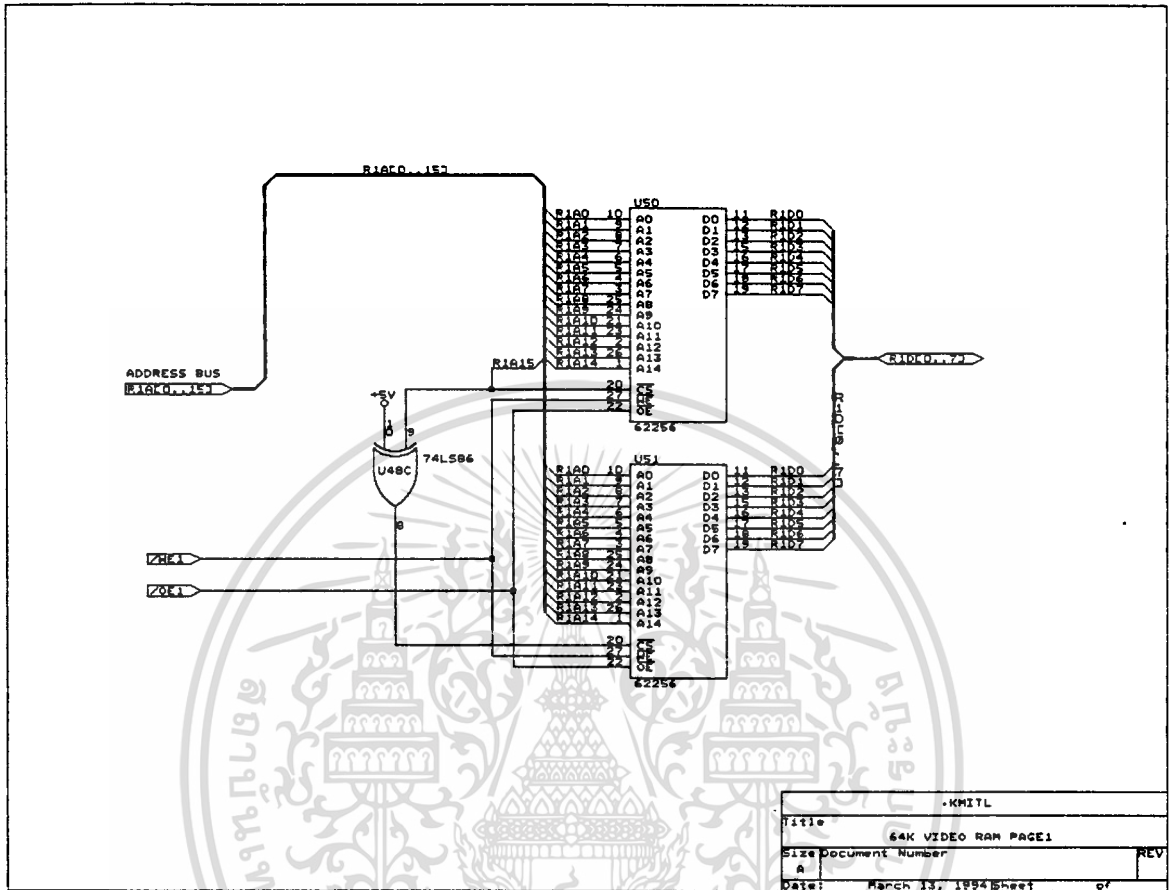
รูปที่ 7.58 แสดงวงจรในส่วนอ่านข้อมูลและกำเนิดสัญญาณภาพ



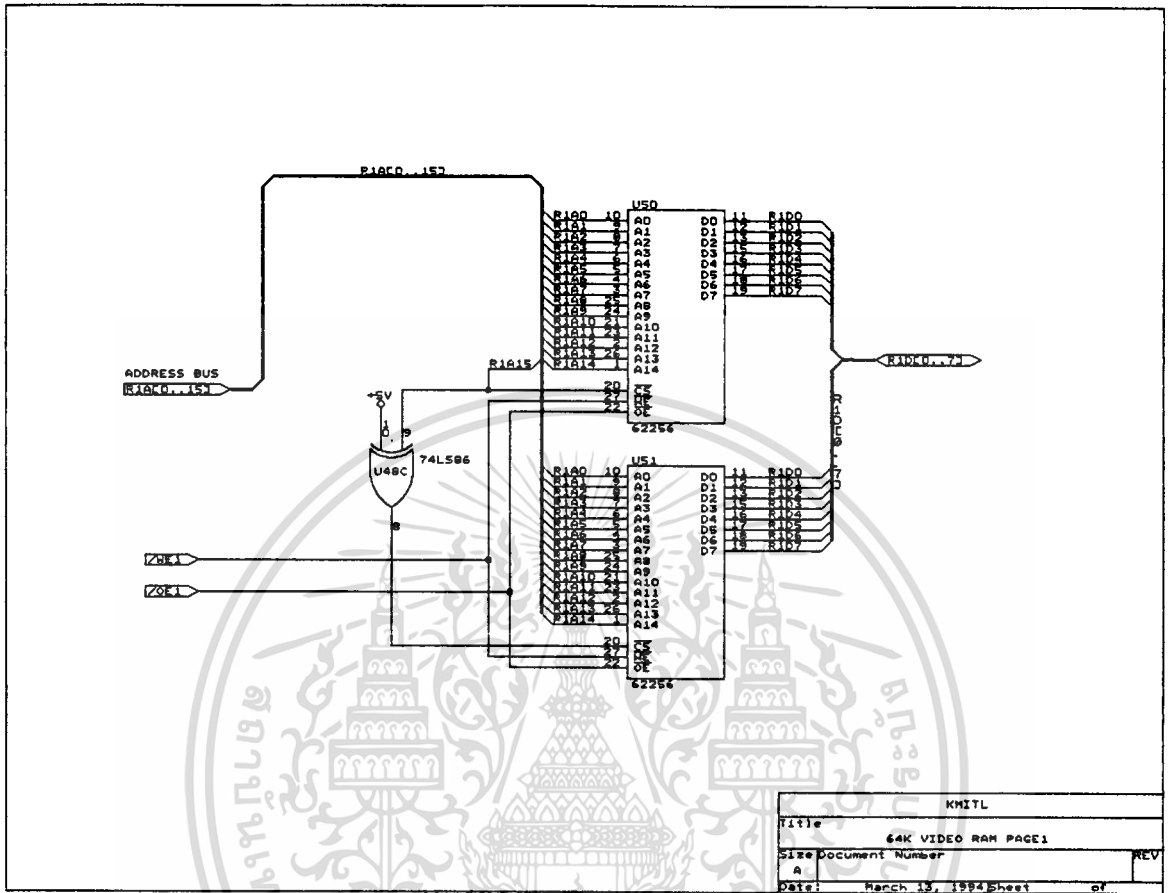
รูปที่ 7.59 แสดงวงจรกำเนิดสัญญาณซิงค์ภาพ



รูปที่ 7.60 แสดงวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก

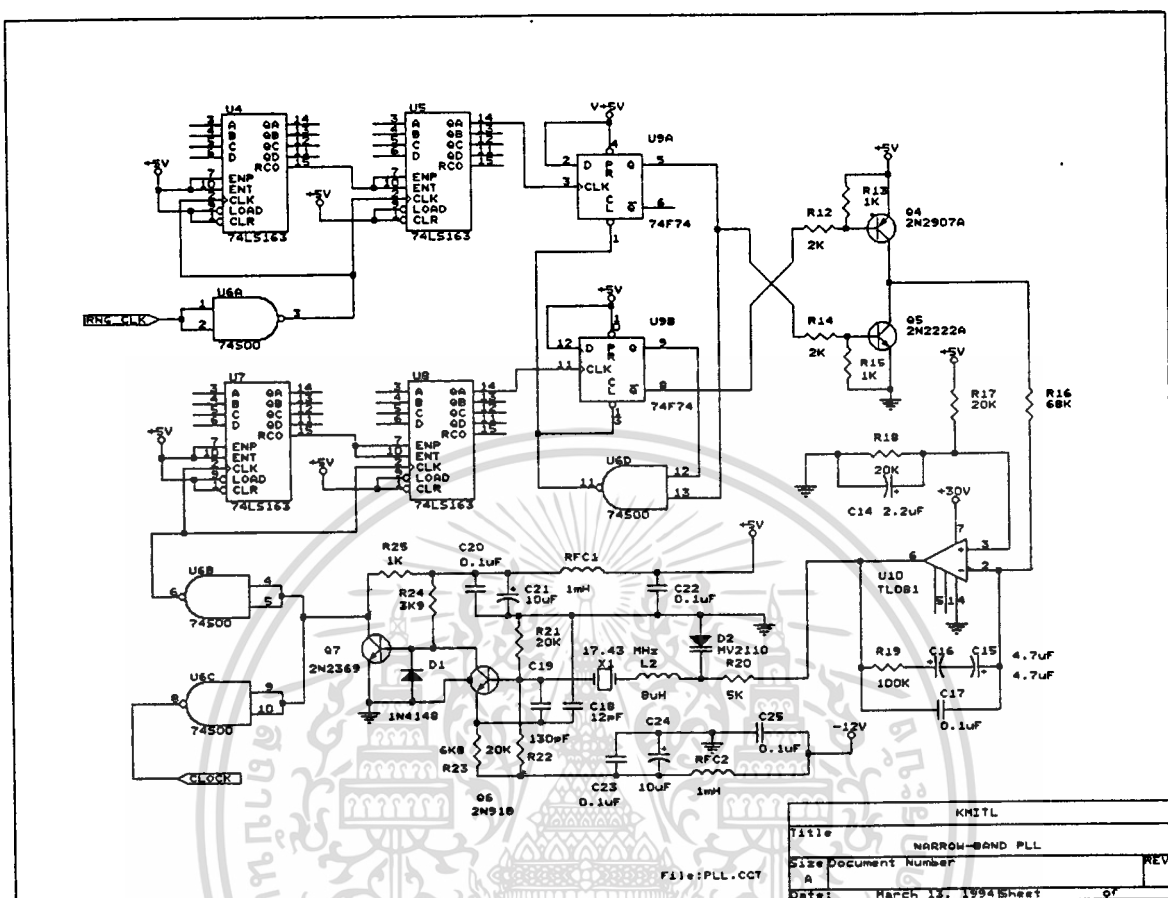


รูปที่ 7.61 แสดงวงจรหน่วยความจำขนาด 64 Kbyte

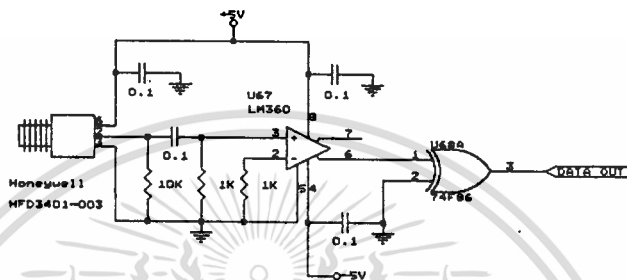


รูปที่ 7.61 แสดงวงจรหน่วยความจำขนาด 64 Kbyte





รูปที่ 7.63 แสดงวงจรเฟสล็อกที่ใช้ในส่วนแยกสัญญาณนาฬิกา



Title		Optical Receiver	
Size	Document Number	REV	
A			
Date	April 17, 1994	Sheet	of

รูปที่ 7.64 วงจรรับทางแสง

ภาคผนวก ข.

บทความที่ได้รับการตีพิมพ์เผยแพร่

การวัดเฟสจitterในระบบโทรศัพท์

(Measurement of phase jitter on telephone system)

การประชุมวิชาการวิศวกรรมไฟฟ้า ครั้งที่ 12

ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์

มหาวิทยาลัยเกษตรศาสตร์

ระบบส่งข้อมูลภาพและเสียงแบบ ทีดีเอ็ม

(TDM Video and Voice Data Transmission System)

การประชุมวิชาการวิศวกรรมไฟฟ้า ครั้งที่ 16

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

การวัดเฟสจitterในระบบโทรศัพท์

(Measurement of phase jitter on telephone system)

สมศักดิ์ อภิรักษ์สมบัติ *

SOMSAK APIRAKSOMBAT

ดร. แดเนียล บริน **

DR. DANIEL BREEN

บทคัดย่อ

ความต้องการสำหรับการสื่อสารข้อมูลความเร็วสูงในประเทศไทย ทำให้จำนวนการใช้ ซิงโครไนซ์ ดีฟิเอสเค โมเด็ม เพิ่มขึ้น การทดลองนี้แสดงให้เห็นถึงปัญหาของ เฟสจitter (phase jitter) ในระบบโทรศัพท์ซึ่งมีการรบกวนมากที่สุด โดยเฉพาะอย่างยิ่งในโมเด็มแบบ 8 เฟส ดีฟิเอสเค ซึ่งมีความเร็วในการส่งข้อมูล 4800 บิตต่อวินาที ข้อมูลของเฟสจitter แบบสะสมในช่วงความถี่ต่ำกว่า 300 เฮิรตซ์ จะถูกวัดโดยใช้ เฟลคคอมพาราเตอร์และเฟส ล็อค ลูป ผลจะถูกเก็บรวบรวมโดยไมโครโปรเซสเซอร์และจัดให้อยู่ในรูปมาตรฐาน

Abstract

The need for high speed communications in Thailand is leading to increased use of modems based on DPSK synchronous transmission. The present work examines the problem of phase jitter on the telephone line which interferes most, especially in 8 DPSK used for 4800 bps communication. Cumulative phase jitter up to three hundred Hertz is measured using a phase comparator and a PLL established waveform. Results are collected using microprocessor control and presented in standard form.

- * นักศึกษาทดลองวิจัย(ปริญญาโท) คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า ลาดกระบัง
 ** อาจารย์ภาควิชาอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า ลาดกระบัง

1 บทนำ

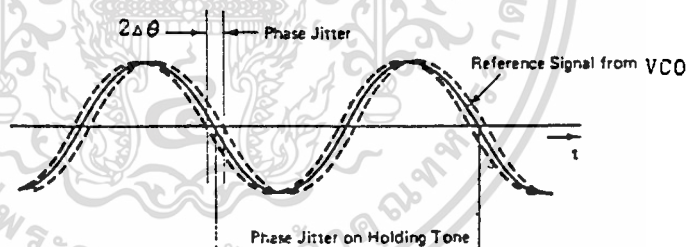
ปัจจุบันการสื่อสารข้อมูลผ่านทางเครือข่ายโทรศัพท์ที่มีความสำคัญและใช้กันเป็นจำนวนมาก อุปกรณ์สื่อสารข้อมูล (DATA COMMUNICATION EQUIPMENT) เช่น โมเด็ม จึงถูกพัฒนาให้มีความเร็วในการส่งข้อมูลสูงขึ้นเรื่อยๆ แต่เนื่องจากเครือข่ายโทรศัพท์ใช้สายตัวนำที่มีความยาวมากและสภาพแวดล้อมที่เต็มไปด้วยคลื่นแม่เหล็กไฟฟ้า ปัญหาเรื่องสัญญาณรบกวนจึงเกิดขึ้น

สัญญาณรบกวนที่เกิดขึ้นนั้นมีหลายรูปแบบและเกิดจากหลายสาเหตุ แต่ไม่ว่าจะรูปแบบใดล้วนแต่ก่อปัญหาต่อการสื่อสารข้อมูลของโมเด็มทั้งสิ้น เช่นข้อมูลที่รับส่งนั้นผิดพลาดหรือการที่ไม่สามารถส่งด้วยอัตราสูงได้ เป็นต้น อาการสั่นทางเฟส (PHASE JITTER) จะเป็นการรบกวนอีกแบบหนึ่งซึ่งมีผลค่อนข้างมากต่อการสื่อสารข้อมูล โดยเฉพาะกับโมเด็มที่ใช้เทคนิคการมอดูเลชันทางเฟส (PHASE MODULATION)

2 ลักษณะและสาเหตุของการสั่นทางเฟส

การสั่นทางเฟส (PHASE JITTER) คือการเบี่ยงเบนไปจากตำแหน่งปกติของจุดตัดศูนย์ของสัญญาณหาหะดังรูปที่ 1

$\Delta\theta$ เป็นมุมที่เบี่ยงเบนไปจากตำแหน่งปกติ, $2\Delta\theta$ เป็นค่าจากยอดถึงยอด ซึ่งจะเป็นค่าที่ใช้กันโดยวัดในหน่วย องศา



รูปที่ 1 แสดงลักษณะของอาการสั่นทางเฟส

อาการสั่นทางเฟสนั้น เป็นลักษณะการมอดูเลชันเชิงเฟส (PHASE MODULATION) หรือการมอดูเลชันเชิงความถี่ (FREQUENCY MODULATION) จากสัญญาณกระแ้โทรศัพท์ 20 Hz ของคู่สายข้างเคียงหรือจากสัญญาณไฟลลัม 50Hz (รวมทั้งอาโมนิคของมันด้วย) หรือจากการสั่นทางขนาด (AMPLITUDE JITTER) และจากสัญญาณรบกวนอื่นๆ

นอกจากนี้ปริมาณการสั่นทางเฟสยังขึ้นอยู่กับระยะทาง, ความหนาแน่นในการใช้โทรศัพท์ซึ่งแปรตามเวลาในแต่ละวันและชนิดของชุมสายด้วย (เช่น CROSSBAR, STEP BY STEP, DIGITAL)

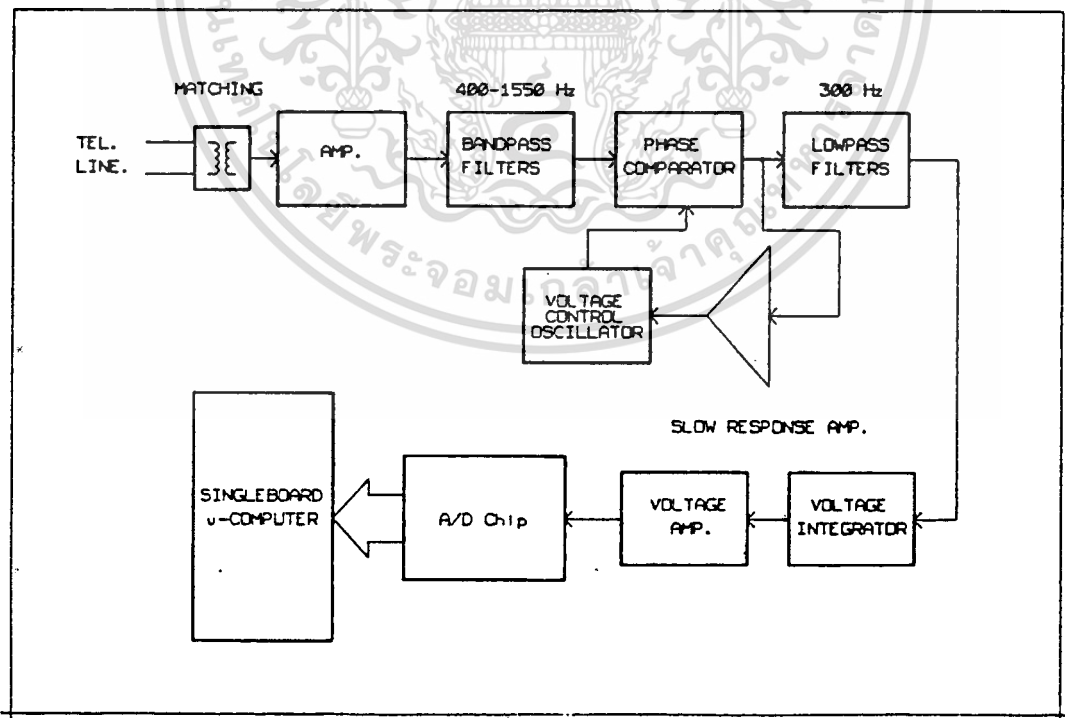
3 หลักการที่ใช้

การเส้นทางเฟส (PHASE JITTER) วัดได้โดยการเปรียบเทียบเฟสเฉพาะใดๆของสัญญาณกับเฟสเฉลี่ยของสัญญาณนั้น ซึ่งเฟสเฉลี่ยสามารถหาได้จาก เฟส ล็อก ลูป (PHASE LOCKED LOOP, PLL) ที่มีการตอบสนองช้าซึ่งล๊อคกับสัญญาณที่มีการเส้นทางเฟสนั้น

PLL แบบตอบสนองช้า (SLOW RESPONSE PLL) ทำได้โดยการจัดให้ วงจรกรองความถี่ต่ำผ่าน (LOW PASS FILTERS, LPF) ในส่วนป้อนกลับ มีค่าคงตัวเวลา (TIME CONSTANT) มากๆ หรือจุดตัดความถี่ต่ำๆ ซึ่งจะทำให้ PLL มีความเฉื่อยชาต่อสัญญาณที่มีการเปลี่ยนแปลงเฟสกลับไปกลับมาอย่างทันที ดังนั้นเฟสที่ได้จาก วงจรควบคุมความถี่ด้วยแรงดัน (VOLTAGE CONTROL OSCILLATOR, VCO) ซึ่งอยู่ภายใน PLL จึงเป็นเฟสเฉลี่ยของสัญญาณที่มีการเปลี่ยนแปลงทางเฟสนั้น

ขอบเขตของอัตราการเปลี่ยนแปลงทางเฟสของสัญญาณนั้นจะทำการวัดในช่วงความถี่ต่ำกว่า 300 Hz ดังนั้นจุดตัดความถี่ของ LPF ใน PLL ต้องต่ำมากพอเพื่อว่าเมื่ออัตราการเปลี่ยนแปลงเฟสมีค่าต่ำแล้ว PLL จะไม่ล๊อคตามเฟสที่เปลี่ยนไป ดังนั้นเพื่อความมั่นใจแล้วจุดตัดความถี่ยิ่งต่ำยิ่งดี แต่จุดตัดความถี่ที่ต่ำเกินไปนั้นจะทำให้ PLL ใช้เวลานานมากเกินไปในการเริ่มต้นล๊อคกับความถี่

สำหรับความถี่ที่ใช้ทดสอบ (TEST TONE) นั้น จะเป็น 1004 Hz (ในหนังสือบางเล่มใช้ 1000 Hz) สำหรับการทดลองนี้จะใช้ 1000 Hz เป็นความถี่ทดสอบ แผนผังการวัดแสดงในรูปที่ 2



รูปที่ 2 แผนผังแสดงวิธีการวัด

สัญญาณก่อนที่จะเข้า PLL จะต้องผ่าน วงจรกรองแถบความถี่ผ่าน (BAND PASS FILTERS, BPF) 400 Hz - 1550 Hz ซึ่งจะกรองสัญญาณรบกวนที่ความถี่สูงออกไป เมื่อผ่าน PLL แล้วสัญญาณที่ได้จากตัวเปรียบเทียบเฟสจะแทนเฟสผลต่างเฟสผลต่างที่ได้จะผ่าน LPF เพื่อให้การลื่นของเฟสที่ต่ำกว่า 300 Hz ผ่านไปได้ จากนั้นนำไปอินทิเกรตเป็นแรงดันแล้วเปลี่ยนเป็นดิจิตอล สุ่มค่าและนำไปเก็บในหน่วยความจำโดยไมโครคอมพิวเตอร์

4 การทำงานของวงจร

รูปที่ 4 แสดงวงจรที่ใช้ทดลองจริง

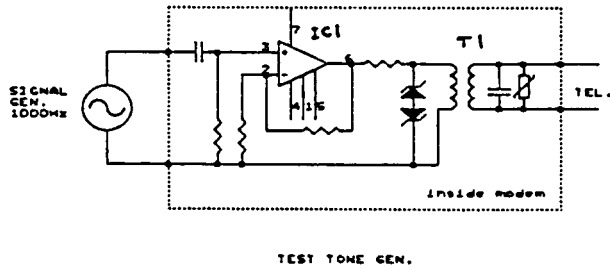
4.1 ภาคกำเนิดสัญญาณทดสอบ

รูปที่ 4 ก แสดงวงจร ประกอบด้วย T1 และ IC1 ซึ่งอยู่ภายในโมเด็มแล้ว แหล่งกำเนิดสัญญาณได้จากเครื่องกำเนิดสัญญาณ (SIGNAL GENERATOR) ความถี่ 1000 Hz ขนาดไม่เกิน 1 V_{pp} (ตามมาตรฐานกำลังงานไม่เกิน 1 มิลลิวัตต์เมื่อคิดที่โหลด 600 โอห์ม ดังนั้นวงจรขยายภาคต้นทางเครื่องรับควรมีอัตราขยายสูง)

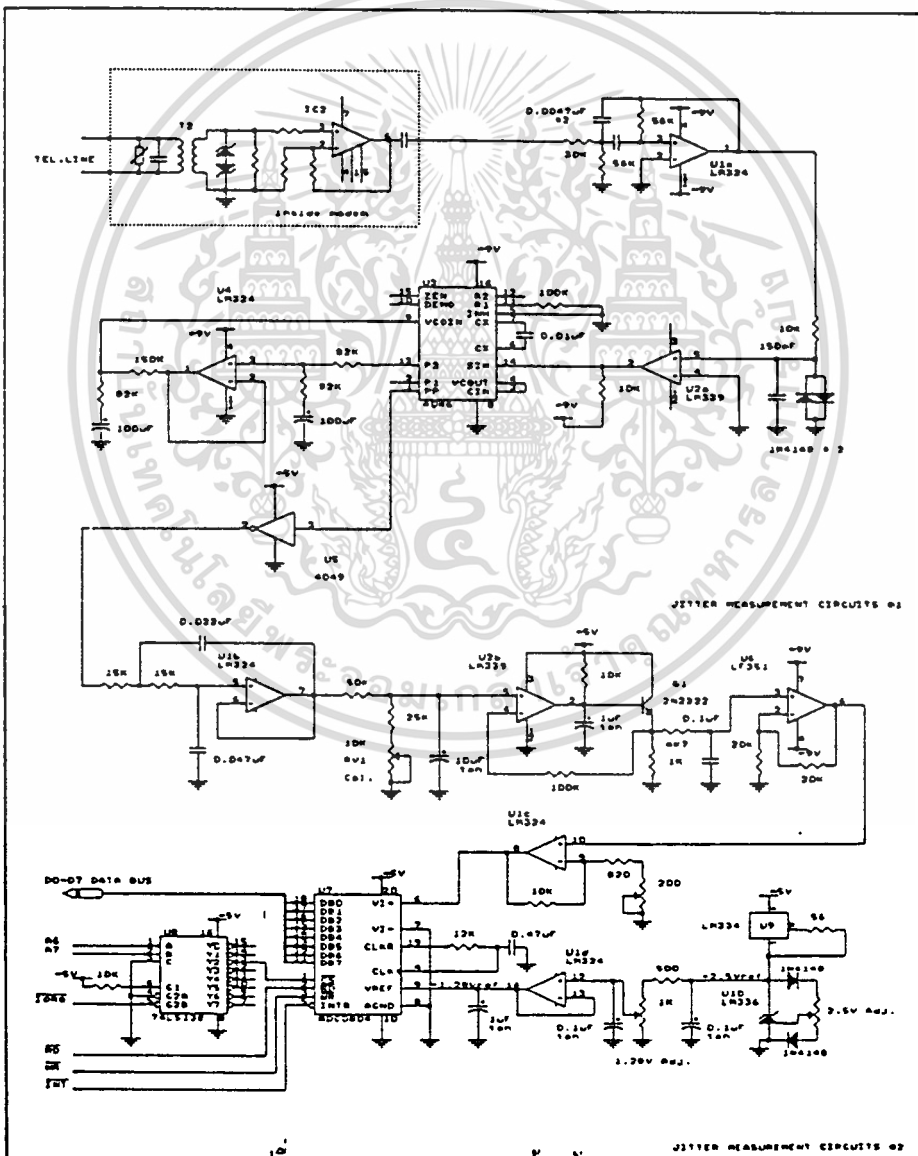
4.2 ภาครับและวัดสัญญาณ

วงจรแสดงดังรูปที่ 4 ข สัญญาณทดสอบที่รับได้จากคู่สายโทรศัพท์จะผ่าน T2 และ IC2 ซึ่งอยู่ภายในโมเด็ม จากนั้นผ่าน BPF 400 Hz - 1550 Hz (U1a) แล้วทำให้เป็นคลื่นรูปสี่เหลี่ยมโดย U2a

4046 CMOS PLL (U3) นี้ ภายในมีตัวเปรียบเทียบเฟส (PHASE COMPARATOR, PC) 2 ตัว ในการทดลองเลือกใช้แบบที่ 2 (แบบที่ 1 เป็นตัวเปรียบเทียบเฟสแบบ EXCLUSIVE-OR) เนื่องจากเมื่อ PLL ล็อกกับความถี่แล้ว เฟสของสัญญาณจาก VCO กับสัญญาณเข้าจะเป็น 0 องศาเสมอ ทำให้การหาความต่างเฟสของสัญญาณทำได้โดยง่ายผิดกับ PC แบบอื่นซึ่งเฟสของ VCO กับของสัญญาณเข้าจะต่างกันขึ้นอยู่กับความถี่ที่ PLL ล็อกอยู่ ข้อดีอีกประการหนึ่งของ PC แบบที่ 2 คือมีขา PHASE PULSES (13) มาให้ ซึ่งเป็นขาที่จะให้สัญญาณความต่างเฟสทุกๆ 1 คาบสัญญาณทำให้คิดปัญหาการวัดผิวนลาดกรณีที่มีสัญญาณที่รับได้จากคู่สายโทรศัพท์ มี DUTY CYCLE ไม่เป็น 50 เปอร์เซ็นต์ ซึ่ง PC แบบที่ 2 ทำไม่ได้ เนื่องจาก PC แบบที่ 2 จะให้สัญญาณความต่างเฟส ทุกๆครึ่งคาบสัญญาณ ทำให้ยังคงมีสัญญาณความต่างเฟสถึงแม้ว่าสัญญาณเข้าไม่มีการลื่นทางเฟส รูปที่ 3 ก แสดงส่วนของ PC แบบที่ 2 รูปที่ 3 ข แสดงรูปคลื่นเปรียบเทียบระหว่าง PC แบบที่ 1 และแบบที่ 2 กรณีที่สัญญาณเข้าไม่มีการลื่นทางเฟสและ DUTY CYCLE ไม่เป็น 50 เปอร์เซ็นต์

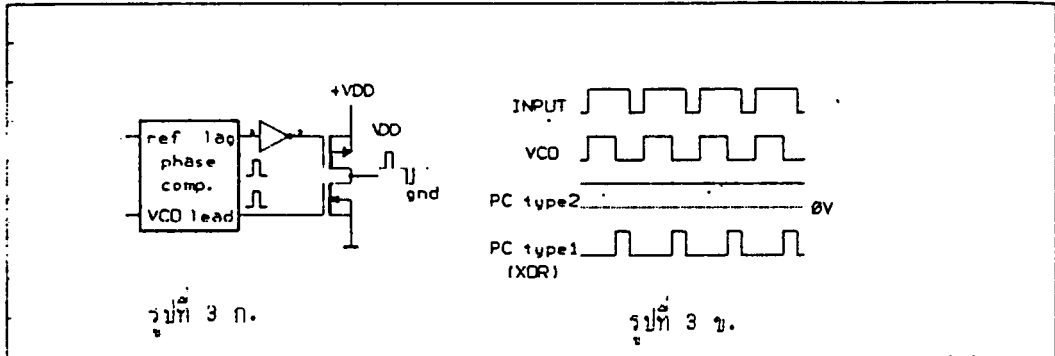


รูปที่ 4 ก. แสดงวงจรต้นส่ง



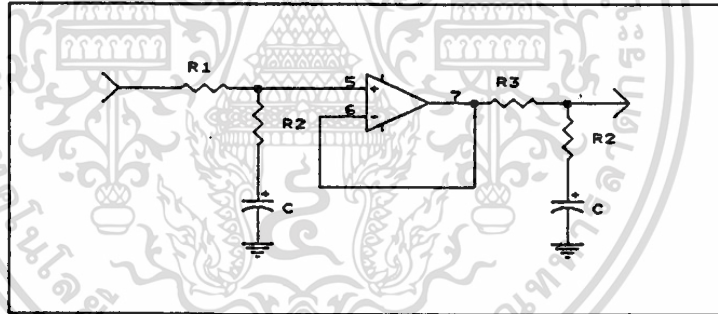
รูปที่ 4 ข. แสดงวงจรทางต้นรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3 ก, ข แสดงส่วนของตัวเปรียบเทียบเฟสแบบที่ 2 และรูปคลื่นเปรียบเทียบของตัวเปรียบเทียบเฟสแบบที่ 1 และแบบที่ 2

LPF สำหรับ PLL ใช้แบบ Lag-Lead Filters 2 ชุดอนุกรมกัน โดยมีบันเฟอร์ U3 คั่นอยู่ การใช้ LPF 2 ชุดอนุกรมกันทำให้ ลูป เป็นลูปอันดับสาม(Third-Order Loop) รูปที่ 5 แสดง LPF อันดับสอง (Second-Order Lowpass Filter) มีฟังก์ชันส่งผ่าน(Transfer Function, $F(s)$) เป็น



รูปที่ 5 แสดงส่วนของ LPF ของ PLL

$$F(s) = (sT_1 + 1)^2 / [(s(T_1 + T_2) + 1)][s(T_2 + T_3) + 1] \quad \dots\dots\dots(1)$$

$$\text{โดย } T_1 = R_1 C, \quad T_2 = R_2 C, \quad T_3 = R_3 C$$

การกำหนดค่า R, C นั้นไม่พินิจกันและจำเพาะเจาะจงนัก เพียงพยายามให้ค่าคงตัวเวลามาก แต่ไม่มากเกินไป

$$\text{โดยให้ } R_1 = 1 \text{ M}\Omega, \quad R_2 = 82 \text{ K}\Omega, \quad R_3 = 150 \text{ K}\Omega, \quad C = 100 \text{ nF}$$

จะได้จุดตัดความถี่ 3 จุด คือ

$$\begin{aligned} -6 \text{ dB/oct} & \quad \text{ที่} \quad 1/(T_1 + T_2) = 0.009 \text{ Hz} \\ -12 \text{ dB/oct} & \quad \text{ที่} \quad 1/(T_2 + T_3) = 0.04 \text{ Hz} \end{aligned}$$

ขอบเขตการมอดูเลตนั้นสามารถหาได้จากสมการคลื่นทั่วไป

$$E(t) = A \sin \theta(t) \quad \dots\dots\dots(3)$$

เมื่อมีการมอดูเลตเชิงเฟส ดังนั้น

$$\theta(t) = \omega_c t + \Delta\theta \sin \omega_m t \quad \dots\dots\dots(4)$$

- เมื่อ ω_c คือ ความถี่ของคลื่นพาหะ rad/s
 ω_m คือ ความถี่ของคลื่นที่มอดูเลตเชิงเฟส rad/s
 $\Delta\theta$ คือ มุมเบี่ยงเบนสูงสุด rad

เมื่อพิจารณาในเชิงความถี่แล้ว จะได้

$$\omega(t) = d\theta(t)/dt = \omega_c + \Delta\omega \cos \omega_m t \quad \dots\dots\dots(5)$$

หรือ $\omega(t) = \omega_c + \Delta\omega \cos \omega_m t \quad \dots\dots\dots(6)$

ดังนั้นจะได้ความสัมพันธ์ระหว่างเฟสและความถี่

$$\Delta\omega = \Delta\theta \omega_m \quad \dots\dots\dots(7)$$

โดยกำหนดเฟสสูงสุด $\Delta\theta$ และความถี่ของคลื่นที่จะมอดูเลตเชิงเฟส ω_m ย่อมสามารถหา $\Delta\omega$ ได้โดย $\Delta\omega$ ขึ้นอยู่กับขนาดของ ω_m (ในการทดลอง ใช้การมอดูเลตเชิงความถี่ทดแทนการมอดูเลตเชิงเฟส)

เมื่อผ่าน PLL แล้ว ความต่างเฟสจะได้จากขา PHASE PULSES (13) ของ U3 และเปลี่ยนระดับเป็น 5V โดย U5 จากนั้นผ่าน 300 Hz LPF (U1b) อินทิเกรตสัญญาณ , ปรับให้เป็นเชิงเส้นโดย U2b, Q1 และขยายให้ได้ขนาดโดย U6, U1c แล้วเปลี่ยนอนาล็อกเป็นดิจิตอล (Analog to Digital Converter, A/D) ด้วย U7 โดยมี U1d, U9, U10 ทำหน้าที่สร้างแรงดันอ้างอิงซึ่งจะใช้เป็นแรงดันเต็มสเกลขนาด 2.56 V (ซึ่งแทนมุมสูงสุดที่วัดได้เป็น 25.5 องศา)

ข้อมูลที่แปลงได้จะถูกอ่านไปเก็บในหน่วยความจำโดย ไมโครคอมพิวเตอร์

5 ผลการทดลองวัด

ผลการทดลองแสดงโดยกราฟในรูปที่ 7 กราฟพล็อตแบบค่าสะสมซึ่งจะแสดงเปอร์เซ็นต์ของค่าที่ลุ่มได้ หมายถึง เปอร์เซ็นต์ของมุมของเฟสจิทเตอร์ที่มากกว่าจุดใดๆที่สนใจบนกราฟเมื่อเทียบกับค่าลุ่มทั้งหมด โดยค่า

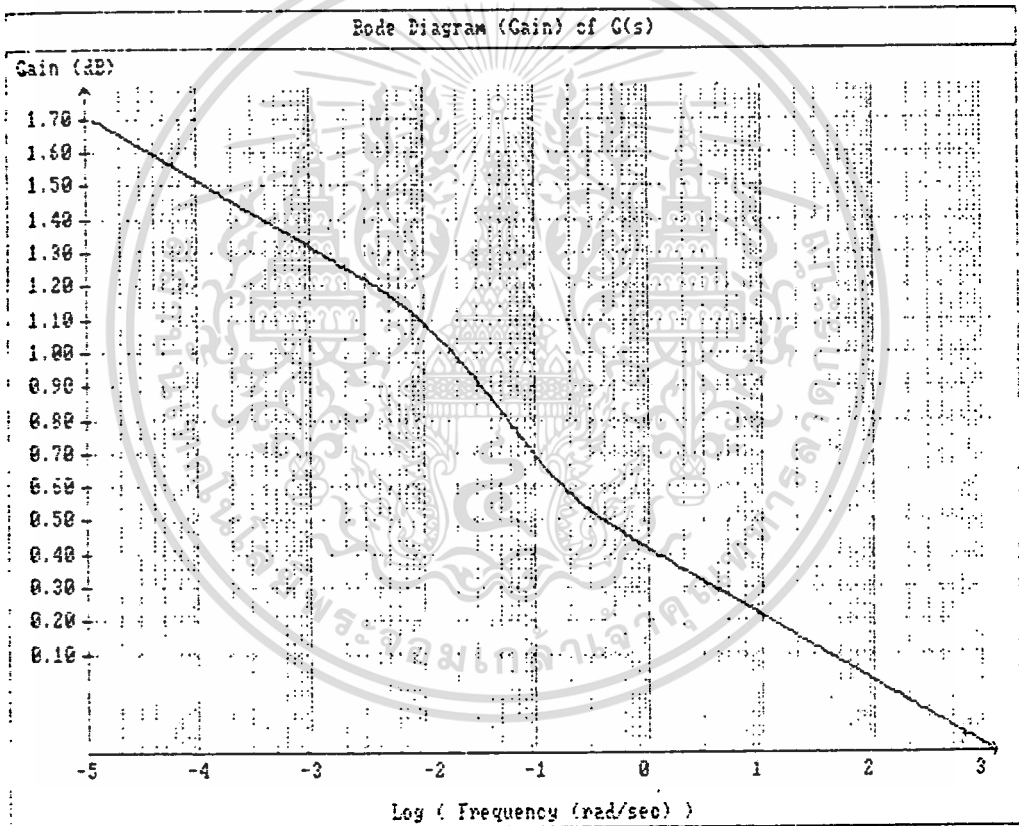
$$+12 \text{ dB/oct} \quad \text{ที่} \quad 1/T_2 = 0.12 \text{ Hz}$$

ส่วน ฟังก์ชันส่งผ่านแบบป้อนเปิด (Open-Loop Transfer Function, $G(s)$) เป็น

$$G(s) = K F(s)/s \quad \dots\dots\dots(2)$$

โดย $K = K_v K_p$ เมื่อ $K_v =$ ค่าคงที่ของ VCO มีค่าเป็น $V_{cc}/2\pi$ Volts/rad
 $K_p =$ ค่าคงที่ของ PC มีค่าเป็น $\Delta\omega/V_{cc}$ rad/s/V

รูปที่ 6 แสดง Bode Diagram ของ $G(s)$

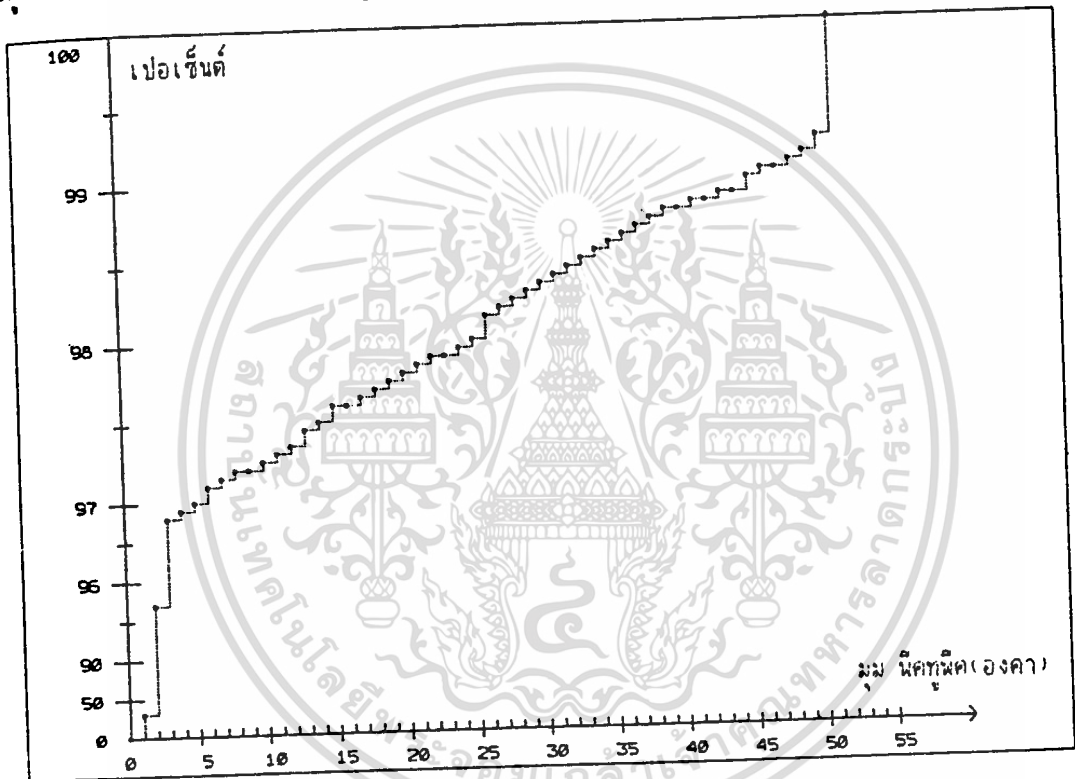


รูปที่ 6 แสดง Bode Diagram ของ $G(s)$

จากการทดลองใช้ LPF อันดับหนึ่ง (First-order LPF) พบว่า เฟสเฉลี่ยที่ได้ไม่นิ่งพอเมื่อมีการมอดูเลตทางความถี่ให้กับสัญญาณเข้า ถึงแม้ว่าจะใช้ค่าคงตัวเวลามากกว่าที่เป็นอยู่ก็ตาม

กลุ่มทั้งหมดเป็น 10000 คำ

ความสำคัญของค่าที่วัดได้นั้นจะเห็นได้จากการที่ ขอบเขตของเฟลจิทเตอร์จะเป็นตัวจำกัดขอบเขตของ อัตราการส่งข้อมูลของโมเด็ม ตัวอย่างเมื่อพิจารณาโมเด็มตามมาตรฐานของเบลล์ 208 (BELL 208) ซึ่ง ใช้เฟลที่แตกต่างกัน 8 เฟล ความต่างเฟลของเฟลที่ติดกันจะเป็น 360/8 หรือ 45 องศา ดังนั้นเฟลจิทเตอร์ เพียง 22.5 องศา ก็สามารถทำให้เกิดความผิดพลาดขึ้น ซึ่งปัญหานี้สามารถแก้ไขได้โดยการเข้ารหัสเพื่อแก้ ข้อมูลที่ผิดพลาดซึ่งก็ต้องใช้ระบบแก้ไขข้อมูลที่ซับซ้อน



รูปที่ 7 กราฟแบบสะสมแสดงผลการวัดเฟลจิทเตอร์

จากกราฟจะเห็นว่าเฟลจิทเตอร์ที่น้อยกว่า 22.5 องศาหรือ 45 องศา จากยอดถึงยอดมีค่าถึง 99 % ซึ่งจะเห็นสาเหตุของความผิดพลาดได้สำหรับโมเด็มที่ใช้เฟลต่างกัน 8 เฟล ซึ่งเข้ารหัสข้อมูลทีละ 3 บิตและ อัตราการส่งข้อมูลเป็น 1600 บอด (BAUD) ดังนั้นอัตราผิดพลาดบอด (BAUD ERROR RATE) 1 % จะเป็นผล ให้เกิดอัตราผิดพลาดบิต (BIT ERROR RATE, BER) 0.33 % หรือถ้าเปรียบเทียบกับโมเด็มที่มีอัตราการส่ง ข้อมูล 9600 บิตต่อวินาที ซึ่งเข้ารหัสข้อมูลทีละ 4 บิต โดยมีความต่างเฟลของรหัสที่ติดกันเป็น 360/16 องศา หรือ 22.5 องศา จะก่อให้เกิดอัตราผิดพลาดบอด 2.2 % และอัตราผิดพลาดบิต 0.55 %

การทดลองวัดนี้เป็นการทำเป็นครั้งแรกซึ่งยังทำกับคู่สายโทรศัพท์ที่มีระยะทางสั้นประมาณ 5 กิโลเมตร

เท่านั้น ซึ่งยังมีความจำเป็นที่ต้องทำการวัดที่ระยะทางมากกว่านี้และกับมุมสายชนิดต่างๆ อย่างไรก็ตามวิธีการวัดที่ได้ทำมามีความสำคัญและน่าเชื่อถือทั้งยังสามารถใช้วัดคุณภาพของสายโทรศัพที่ได้ด้วย

6 หนังสืออ้างอิง

- [1] Uylss D.Black , Data Communication and Distributed Network : Prentice-Hall International Editor.
- [2] Bell Technical Journal , END OFFICE CONNECTION STUDY : November 1984
- [3] Andre Lubarsky,JR. , A DIGITAL METHOD OF MEASURING PHASE JITTER : IEEE TRANSACTIONS ON COMMUNICATION TECHNOLOGY,October 1971
- [4] Horowitz and Hill , THE ART OF ELECTRONICS : Cambridge University Press , CAMBRIDGE
- [5] Harry Helms , CMOS DEVICES 1987 SOURCE BOOK : Prentice-Hall International
- [6] National Semiconductor , 1982 LINEAR DATA BOOK

ระบบส่งข้อมูลภาพและเสียงแบบ ทิตีเอ็ม TDM Video and Voice Data Transmission System

ดร.โยธิน เปรมปราณีรัตน์ * ดร.แคเนียล บริน ** สมศักดิ์ อภิรักษ์สมบัติ ***

บทคัดย่อ

บทความวิจัยเป็นการนำเสนอการออกแบบสร้าง ระบบการส่งข้อมูลภาพและเสียงแบบ ทิตีเอ็ม ความเร็ว 16.64 Mbit/s โดยส่วนของข้อมูลภาพเป็นภาพขาวดำขนาด 256*256 จุดภาพ ความละเอียด 8 บิต/จุดภาพ สามารถส่งภาพได้ 16.66 ภาพ/วินาที ส่วนของสัญญาณเสียงทำการเข้ารหัสแบบ A Law ตามมาตรฐานของ CCITT ข้อมูลทั้งหมดถูกมัลติเพล็กซ์, แปลงให้อยู่ในรูป พิตีเอ็ม และทำการผสมเบเรอร์ก่อนถูกส่งออกไป ระบบรับทำการแยกสัญญาณภาพออกโดยใช้ LC ringing circuit ร่วมกับ Narrow-band PLL เพื่อรักษาเสถียรภาพของการซิงโครไนซ์

Abstract

The present article describes the transmission of sound and video signals by Time Division Multiplexing (TDM) at a rate of 16.64 Mbit/s. The video signal is a 256*256 monochrome picture, each pixel being encoded in 8 bit format and the picture being transmitted 16.66 frames per second. The sound signal is A-law coded following the CCITT standard PCM multiplex procedure. The multiplexed signal is scrambled and the clock signal extracted at the receiver end by using an LC ringing circuit and narrow-band phase locked loop which enables stable synchronization to be achieved.

1. บทนำ

การส่งสัญญาณภาพจากต้นทางไปยังปลายทางผ่านสายส่ง ทำได้ทั้งแบบอนาล็อกและดิจิทัล แต่ในปัจจุบันมีการพัฒนาและส่งด้วยระบบดิจิทัลเนื่องจากข้อดีหลายประการ เช่น

- 1) สะดวกในการมัลติเพล็กซ์ [6]
- 2) สะดวกในการส่งสัญญาณควบคุม
- 3) สัญญาณรบกวนต่ำ เนื่องจากสัญญาณดิจิทัลมีอยู่ 2 ระดับคือ 1 และ 0 ถ้าสัญญาณรบกวนมีขนาดเล็กไม่มากพอที่จะไม่มีผลต่อความถูกต้องของข้อมูล
- 4) สามารถเข้ารหัสได้ เช่นรหัสแก้ความผิดพลาด (Error Correction Code) ข้อมูลซึ่งทำไม่ได้สำหรับสัญญาณอนาล็อก

ดังนั้นบทความวิจัยจะนำเสนอการออกแบบสร้างระบบที่ใช้ในการส่งข้อมูลภาพและเสียงโดยใช้หลักการมัลติเพล็กซ์แบบแบ่งเวลา หรือ TDM (Time Division Multiplexer) ซึ่งส่วนของภาพเป็นภาพขาวดำ ขนาด 256*256 จุดภาพ ความเร็ว 8 บิต/จุดภาพ ในส่วนเสียงทำการเข้ารหัสแบบ A Law ตามมาตรฐานของ CCITT แถบความถี่ 300Hz-3.4KHz โดยใช้ชิปของ MOTOROLA (MC14400) จัดการ

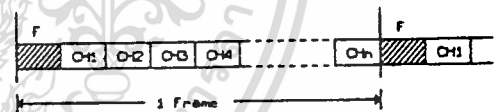
ในส่วนของหัวข้ออื่นก็จะกล่าวคือ หัวข้อที่ 2 เป็นการกล่าวถึงหลักการพื้นฐานสำหรับการสื่อสารระบบ มัลติเพล็กซ์แบบแบ่งเวลา (TDM) ในหัวข้อที่ 3 จะกล่าวถึงระบบที่ได้ออกแบบสร้างโดยจะแยกเป็นย่อยๆ คือ การจัดรูปแบบเฟรมข้อมูลและการคำนวณอัตราความเร็วซึ่งเป็นการแนะนำให้ทราบถึง

ข้อกำหนดเบื้องต้นของระบบ จากนั้นจะกล่าวถึงในส่วนของการรับและระบบรับ ซึ่งในส่วนของการรับจะแยกกล่าวเพิ่มอีก 2 ส่วน คือ ส่วนควบคุมสถานะการซิงโครไนซ์ หรือ SSC (Synchronize State Control) ซึ่งจะทำให้ระบบมีความมั่นคงขึ้นในการซิงโครไนซ์ระดับเฟรม และส่วนที่ทำหน้าที่แยกสัญญาณภาพ (Clock Recovery) ซึ่งมีความสำคัญต่อระบบมากทำให้ส่วน SSC สามารถทำงานได้ ในหัวข้อที่ 4 จะกล่าวสั้นๆเกี่ยวกับภาควิทยาหาความเร็วในการส่งภาพ และสรุปลงในหัวข้อที่ 5

2. หลักการทั่วไปของการสื่อสารระบบมัลติเพล็กซ์แบบแบ่งเวลา (General Principles of TDM Communications)

ระบบมัลติเพล็กซ์แบบแบ่งเวลา หรือ ทิตีเอ็ม (TDM: Time Division Multiplexer) เป็นระบบการส่งข้อมูลจากหลายแหล่งข้อมูลโดยแบ่งเวลาในการส่งข้อมูลผ่านตัวกลางให้แก่แต่ละแหล่งเรียงกันไป เรียกเวลาแต่ละช่วงที่แบ่งให้ว่า ช่องเวลา (time slot) โดยข้อมูลที่จะเข้ามาในแต่ละช่องข้อมูล (channel) จะอยู่ในรูปของสัญญาณ พิตีเอ็ม (PCM: Pulse Code Modulation) ซึ่งเข้ามาในลักษณะของรบบบิตของ โค้ดเวิร์ด (Code Word) ที่มีควมยาวจำกัดค่าในแต่ละช่องเวลา มีข้อมูลเข้ามาครบ 1 โค้ดเวิร์ดสมบูรณ์จาก 1 แหล่งข้อมูล จะเรียกว่าเป็นการมัลติเพล็กซ์แบบ เวอร์ดอินเตอร์ลีด (word interleaved) ซึ่งเป็นแบบที่ใช้ในงานวิจัย และ ถ้าในแต่ละช่องเวลา มีข้อมูลเข้ามาจากทุกแหล่งข้อมูล แหล่งละ 1 บิต จะเรียกว่าเป็นการมัลติเพล็กซ์แบบ บิตอินเตอร์ลีด (bit interleaved)

ขบวนการของบิตข้อมูลได้จากการ มัลติเพล็กซ์ทุกช่องข้อมูลเข้าด้วยกันเรียกว่า 1 เฟรมข้อมูล (Frame) ซึ่งเฟรมข้อมูลลักษณะนี้จะเกิดซ้ำๆ ไปตลอดเวลาดังรูป 2-1



รูป 2-1 แสดงลักษณะของเฟรมข้อมูลและตำแหน่งของ FAW

เมื่อช่องข้อมูลต่างๆถูกมัลติเพล็กซ์มาในลักษณะเช่นนี้ ดังนั้นที่ด้านรับจึงต้องมีส่วน ดีมัลติเพล็กซ์ (demultiplex) เพื่อทำหน้าที่แยกข้อมูลในแต่ละช่องเวลาจ่ายไปให้กับช่องข้อมูลที่ต้องการของมัน การที่จะทำได้ ตัวดีมัลติเพล็กซ์ทราบว่าช่องเวลาไหนเป็นช่องของข้อมูลไหนนั้นจำเป็นต้องมีการกำหนดช่องเวลาขึ้น 1 ช่อง (หรือ 2 ช่อง) ซึ่งบรรจุ เวอร์ดที่มีลักษณะจำเพาะเพื่อใช้ในการซิงโครไนซ์ระหว่าง ตัวมัลติเพล็กซ์ทางด้านการส่งกับ ตัวดีมัลติเพล็กซ์ทางด้านการรับ และใช้เป็นส่วนเวลาอ้างอิงที่จะบอกให้ทราบว่า ช่องเวลาที่ผ่านมาเป็นลำดับนั้น เป็นช่องของข้อมูลไหนเรียกเวอร์ดในช่องเวลาอ้างอิงนี้ว่า เฟรมอัลไลเมนต์เวอร์ด (Frame Alignment Word) หรือ FAW ดังในรูปที่ 2-1

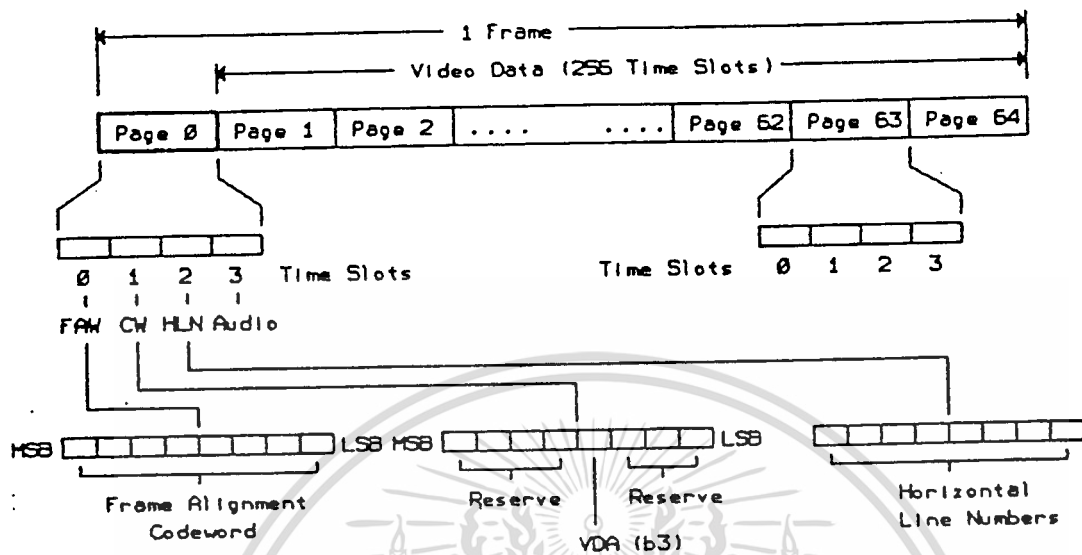
นอกจากการกำหนด FAW ขึ้นมาแล้ว ยังต้องมีส่วนที่ทำหน้าที่ ดัดสินใจและความคุมสถานะการซิงโครไนซ์ (SSC: Synchronize State Control) ของระบบเพื่อควบคุมเสถียรภาพการซิงโครไนซ์ระดับเฟรม ซึ่งจะกล่าวในหัวข้อ 3.4.1

3. ระบบส่งข้อมูลภาพและเสียงแบบ ทิตีเอ็ม

(TDM Video and Voice Data Transmission System)

3.1 การจัดรูปแบบเฟรมข้อมูล (Data Frame Format)

* รองศาสตราจารย์ *** นักศึกษาระดับปริญญาโท
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
** หัวหน้าฝ่ายการศึกษาทั่วไป วิทยาลัยเทคนิค



รูป 3-1 รายละเอียดการจัดเฟรมข้อมูล

ในการสื่อสารระบบ ทิตีเอ็ม ระหว่างจุด 2 จุด มีส่วนที่ต้องสื่อสารถึงกัน คือ

- ข้อมูลข่าวสาร
- สัญญาณสำหรับการควบคุม
- FAW

สำหรับระบบที่ออกแบบนี้ ส่วนของข้อมูลข่าวสารประกอบด้วย ข้อมูลภาพขนาด 256×256 จุดภาพ จุดภาพละ 8 บิต และข้อมูลเสียง และเพื่อความสะดวกในการออกแบบและการจัดเฟรมข้อมูล ใน 1 เฟรมข้อมูลจะใช้ส่งข้อมูลภาพจำนวน 256 จุดภาพ หรือ 1 เส้นแนวนอนภาพต่อ 1 เฟรมข้อมูล ดังนั้น ใน 1 เฟรมข้อมูล จะประกอบด้วยส่วนต่างๆดังนี้

ข้อมูลภาพ	256	ช่วงเวลา
ข้อมูลเสียง	1	ช่วงเวลา
สัญญาณควบคุม	2	ช่วงเวลา
FAW	1	ช่วงเวลา

รวมแล้วใน 1 เฟรมข้อมูล จะประกอบด้วย 260 ช่วงเวลาละ 8 บิต แสดงในรูป 3-1

เพื่อความสะดวกในการแสดงรายละเอียด จึงแบ่งช่วงเวลาทั้งหมดออกเป็น เพจละ 4 ช่วงเวลา ดังนั้นใน 1 เฟรมข้อมูลจึงแบ่งออกได้เป็น 65 เพจ คือ เพจ 0-เพจ 64 โดย เพจ 1-เพจ 64 เป็นส่วนของข้อมูลภาพ ส่วน เพจ 0 มี 4 ช่วงเวลามีรายละเอียดดังนี้

ช่วงเวลา 0 เป็น	เฟรมอโลแมนต์เวิร์ด หรือ FAW(Frame Alignment Word)สำหรับการชี้โครในชั้นเฟรม
ช่วงเวลา 1 เป็น	เวิร์ดควบคุม หรือ CW(Control Word)
ช่วงเวลา 2 เป็น	ส่วนเก็บหมายเลขเส้นภาพแนวนอน หรือ HLN (Hor. Line No.)ของข้อมูลภาพใน เพจ 1-เพจ 64 ใช้สำหรับการเก็บข้อมูลภาพลงในหน่วยความจำ, VD_RAM(Video RAM)
ช่วงเวลา 3 เป็น	ส่วนของข้อมูลเสียง ซึ่งใช้มาตรฐานของ CCITT แบบ A Law

ส่วนที่ต้องกล่าวเพิ่มเติมคือ เวิร์ดควบคุม, CW ซึ่งใช้ b3 เป็นบิตควบคุม VDA(Video Data Active)ใช้เป็นสัญญาณบอกให้เครื่องรับทราบว่า ข้อมูลที่ส่งเป็นอีกสารหลังจากนี้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

รูปภาพที่รับได้ครบสมบูรณ์แล้วหรือยัง (1ข้อมูลภาพ เท่ากับการส่งข้อมูลจำนวน 256 เฟรมข้อมูล) บิตส่วนที่เหลือส่งไว้

3.2 อัตราการส่งข้อมูล(Data Transmission Rate)

ส่วนของข้อมูลเสียงกำหนดให้ครอบคลุมความถี่ในช่วง 300Hz-3.4KHz จึงทำการสุ่มสัญญาณเสียงด้วยอัตรา 8 KHz ดังนั้นอัตราการส่งข้อมูลในแต่ละช่วงเวลา จะเป็น $8 \times 8 = 64 \text{ kbit/s}$

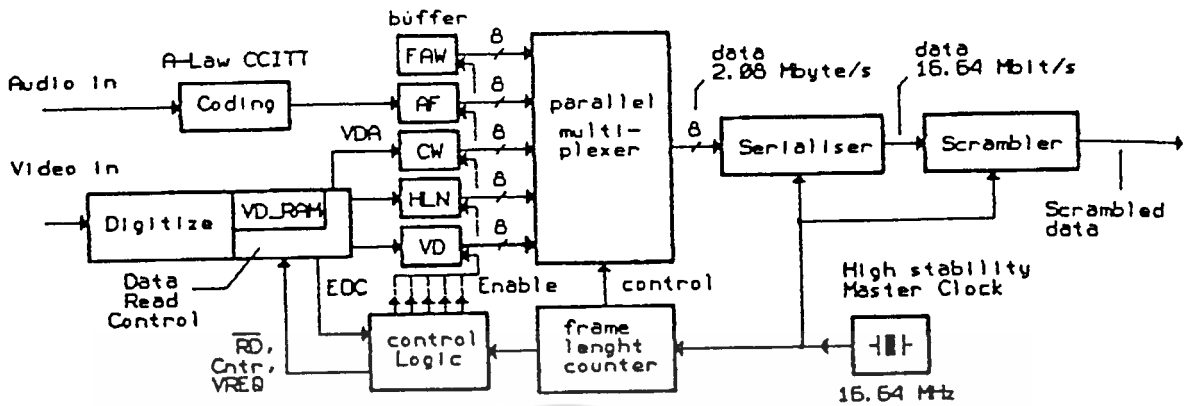
ดังนั้น ความเร็วในการส่งข้อมูลรวมของระบบ	= $64 \times 260 \text{ kbit/s}$
	= 16.64 Mbit/s
ส่วนของข้อมูลภาพ	= $64 \times 256 \text{ kbit/s}$
	= 16.384 Mbit/s
ส่วนของเสียง	= 64 kbit/s

3.3 ระบบทางด้านการส่ง(Transmission System)

รูป 3-2 แสดงโดยแผนภูมิของเครื่องส่ง โดยข้อมูลจากแหล่งต่างๆ คือ FAW, ข้อมูลเสียง, เวิร์ดควบคุม, HLN และข้อมูลภาพ จะถูกมัลติเพล็กซ์เข้าด้วยกันแบบขนานโดยถูกควบคุมจากวงจร นับความยาวเฟรม(frame length counter) ข้อมูลที่ถูกมัลติเพล็กซ์แบบขนานแล้วจะมีความเร็ว 2.08 Mbyte/s เมื่อผ่านเข้าวงจรแปลงเป็นข้อมูลอนุกรม ความเร็ว จะเป็น $2.08 \times 8 = 16.64 \text{ Mbit/s}$ จากนั้นจะเข้าสู่วงจร สแครมเบลอร์(Scrambler) เพื่อช่วยในการแยกสัญญาณนาฬิกาที่เครื่องรับซึ่งจะกล่าวอีกครั้งในหัวข้อ 3.4.2

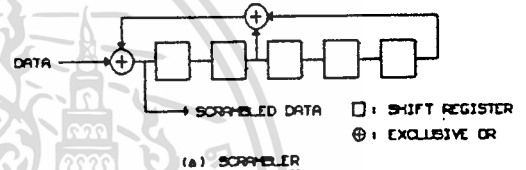
ในส่วนของการข้อมูลภาพ เมื่อถูกดิจิไทซ์(digitize)แล้ว ข้อมูลที่ได้จะถูกพักอยู่ในหน่วยความจำภาพ(VD_RAM)ขนาด 64 kbyte ก่อนเนื่องจากอัตราความเร็วของข้อมูลออกจากตัวดิจิไทซ์และที่เข้าสู่ตัวมัลติเพล็กซ์ข้อมูลไม่เท่ากัน ดังนั้นในขณะที่ทำการดิจิไทซ์สัญญาณภาพจะไม่มข้อมูลภาพส่งไปเข้าตัวมัลติเพล็กซ์ จึงต้องมีสัญญาณควบคุม VDA(Video Data Active)บอกให้ภาครับทราบว่าในเฟรมข้อมูลนั้นๆมีข้อมูลภาพอยู่ด้วยหรือไม่ เพื่อให้ภาครับสามารถสวิตช์หน่วยความจำได้

หลังจากที่ส่วนดิจิไทซ์เสร็จสิ้นการทำงาน จะมีสัญญาณแสดงการเสร็จสิ้นการแปลงข้อมูล(EOC:End of Conversion) เพื่อให้ส่วน ใดก็ตาม

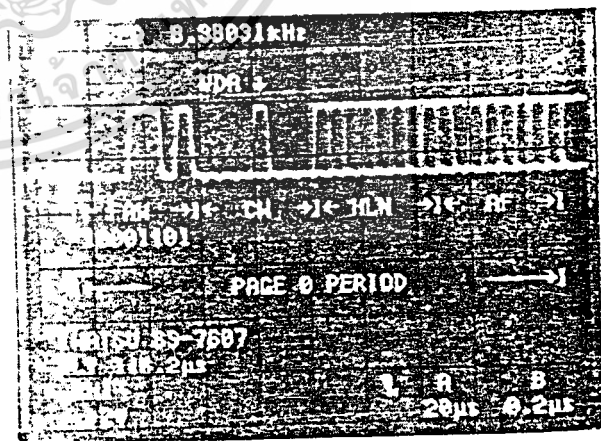


รูป 3-2 ไดอะแกรมภาคส่งความเร็ว 16.64 Mbit/s

ส่งสัญญาณที่จำเป็นเข้ามาอ่านข้อมูลในหน่วยความจำเข้าสู่ตัวมัลติเพล็กซ์ต่อไป
รูป 3-3 แสดงไดอะแกรมของส่วน สแครมเบลอร์(Scrambler)และ
ดีสสแครมเบลอร์(Descriambler)ที่ใช้และรูป 3-4 แสดงสัญญาณข้อมูลอนุกรม
ที่มีผลติเฟลทซ์แล้วในเพจ 0 ซึ่งแสดงส่วน FAW ซึ่งใช้โคดเวิร์ดเป็น 10001-
101, เวอร์คควบคุม แสดง บิต VDA,HLN, และส่วนข้อมูลเสียง



รูป 3-3 ไดอะแกรมแสดงส่วน สแครมเบลอร์(Scrambler)และ
ส่วนดีสสแครมเบลอร์(Descriambler)



รูป 3-4 แสดงสัญญาณใน เพจ0

ลักษณะใดก็ได้ ดังนั้นจึงเป็นไปได้ที่จะเกิด เวอร์คข้อมูล ซึ่งมีลักษณะเหมือนกับ
FAW (เวอร์คข้อมูลที่มีลักษณะเหมือน FAW นี้เรียกว่า FAWเทียม) ประ
กอบกับข้อมูลที่จะส่งจากต้นทางไปถึงปลายทางนั้น มีโอกาสเกิดการผิดได้เสมอ
ซึ่งบ่อยครั้งมักจะเป็นการผิดพลาดในช่วงเวลาสั้นๆเพียงไม่กี่มิลลิวินาที เช่น

3.4 ระบบทางด้านเครื่องรับ(Receiver System)

รูป 3-6 แสดงไดอะแกรมของเครื่องรับ สัญญาณที่มาจากด้านส่งจะเป็น
ขบวนข้อมูลที่ถูกสแครมเบลอร์(รูป 3-3)แล้ว จะแยกเป็น 2 ส่วน ส่วน
หนึ่งเข้าสู่ตัวแยกสัญญาณนาฬิกา(Clock Recovery)เพื่อชิงโครโนซิงบิตหรือ
มุลและกำหนดจังหวะการทำงานให้ส่วนอื่นๆ อีกส่วนหนึ่งเข้าสู่ตัวดีสสแครม
เบลอร์(DeScrambler)เพื่อแปลงขบวนข้อมูลให้อยู่ในรูปแบบที่ จากนั้นข้อมูล
ส่วนนี้จะถูกแปลงให้อยู่ในรูปแบบ 8 บิต (ซึ่งจะถูกเลือกไป 1 บิตตลอด
เวลาตามสัญญาณนาฬิกา)จากจุดนี้ข้อมูลจะไปรอเก็บในบัฟเฟอร์ข้อมูล 4 ชุด
คือ เสียง(AF), ภาพ(VD), เส้นสแกนแนวอน(HLN), และเวอร์คควบคุม(CW)
อีกส่วนหนึ่งจะไปเข้า ตัวตรวจหาเฟรมหรือโลแมคเวอร์ค (FAW Det.) เพื่อ
การชิงโครโนซิงเฟรม สัญญาณที่ได้จะถูกส่งไปเข้าส่วนควบคุมสถานะการชิง
โครโนซิง(SSC)ซึ่งทำงานร่วมกับส่วนนับความยาวเฟรม (FLC:Frame
Lenght Counter)เพื่อให้เริ่มทำงาน(ในส่วนนี้จะมิขึ้นตอนการทำงานเป็น
ของตัวเองซึ่งจะกล่าวโดยละเอียดอีกครั้งในหัวข้อ 3.4.1)เมื่อระบบอยู่ใน
สภาวะชิงโครโนซิงเฟรมแล้ว FLC จะควบคุมให้ส่วน โสจิกควบคุม ส่งสัญญาณ
กลับไปชิงบัฟเฟอร์ข้อมูล(มี 4 ชุด)เพื่อเก็บข้อมูลของมันไว้

ในส่วนรองข้อมูลภาพจะใช้หน่วยความจำเก็บภาพ 2 ชุด คือเพจภาพ 1
และ เพจภาพ 2(หรือ VD_RAM1 และ VD_RAM2 ตามลำดับ) จุดประสงค์
เพื่อให้ภาพที่แสดงไม่กระพริบ โดยที่ขณะเวลาใดหน่วยความจำเก็บภาพตัว
หนึ่งจะถูกอ่านและอีกตัวหนึ่งจะถูกเก็บ เมื่อเก็บข้อมูลภาพครบแล้วก็จะทำ
การสวิตช์หน่วยความจำเพื่อนำข้อมูลภาพใหม่ไปแสดง ในการสวิตช์หน่วย
ความจำนั้น จะถูกควบคุมโดย ส่วนควบคุมการสวิตช์เพจภาพ(PS:Page
Switch Control) ซึ่งอยู่ภายในส่วนควบคุมการเก็บข้อมูล(Store Data
Control)โดยจะตรวจสอบจากสัญญาณ VDA ที่รับได้

ส่วนของหน่วยความจำภาพที่ถูกอ่านจะถูกนำไปแปลงเป็นอนาลอกและนำ
ไปผสมกับสัญญาณซึ่งระบบ PAL จากนั้นจึงส่งออกไปแสดงยังจอภาพ

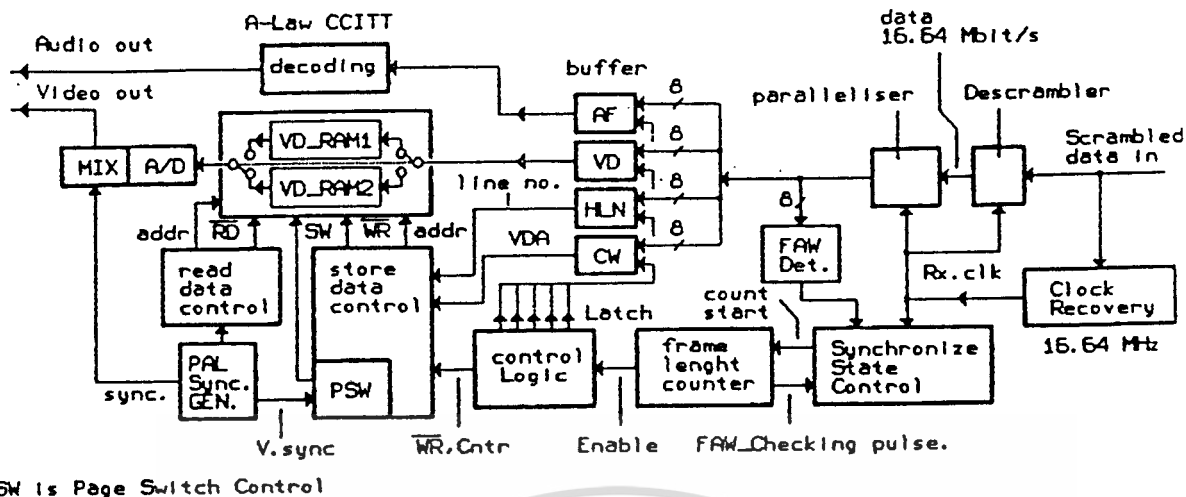
3.4.1 ส่วนควบคุมสถานะการชิงโครโนซิง

(Synchronization State Control)

เนื่องจากข้อมูลส่งมาในช่องข้อมูลต่างๆ นั้น สามารถที่จะมีรูปแบบเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และแจ้งอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

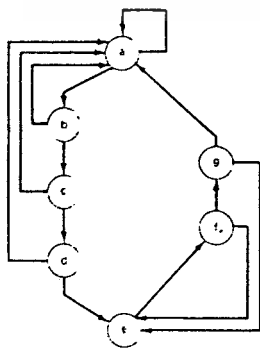


รูป 3-5 โดยแอมระมแสดงรายละเอียดเครื่องรับ

นำหน้า หรือจากการจัดระเบียบในระบบเครื่องรับ ดังนั้นจึงจำเป็นต้องมีกระบวนการหรือขั้นตอนที่ใช้ในการตัดสินใจว่า FAW ที่ตรวจพบนั้นเป็น FAW ที่แท้จริงหรือไม่ และเมื่อใดที่จะถือว่าระบบอยู่ในสภาวะการซิงโครไนซ์แล้ว กระบวนการที่ใช้ในการตัดสินใจในสิ่งเหล่านี้เรียกว่า การอโลเมนต์เฟรม (Frame Alignment)

จากปัญหาต่างๆที่กล่าวมาแล้ว การอโลเมนต์เฟรมจึงจำเป็นต้องกำหนดสถานะ (state) ย่อยต่างๆ [1] ดังรูป 3-6 มีรายละเอียดดังนี้

- สถานะ a : การอโลเมนต์เฟรม, ระบบอยู่ในสภาวะล็อก (synchronize)
- สถานะ b : ตรวจไม่พบ FAW ในเฟรมที่ n
- สถานะ c : ตรวจไม่พบ FAW ในเฟรมที่ n+1
- สถานะ d : ตรวจไม่พบ FAW ในเฟรมที่ n+2
- สถานะ b, c, d เป็นสภาวะการอโลเมนต์เฟรมชั่วคราว, ระบบอยู่ในโหมดตรวจสอบ (check mode)
- สถานะ e : สูญเสียการซิงโครไนซ์เฟรม, เป็นสภาวะการไม่อโลเมนต์เฟรม, ระบบอยู่ในโหมดค้นหา FAW (search mode)
- สถานะ f : ตรวจพบ FAW ในเฟรมหมายเลข 0
- สถานะ g : ตรวจพบ FAW ในเฟรมหมายเลข 1
- สถานะ f, g เป็นสถานะรอ, ระบบอยู่ในโหมดค้นหา/



รูป 3-6 โดยแอมระมแสดงสถานะการอโลเมนต์เฟรม

ตรวจสอบ (search/check mode) โดยเฟรมแรกที่พบ FAW นับเป็นเฟรมหมายเลข 0

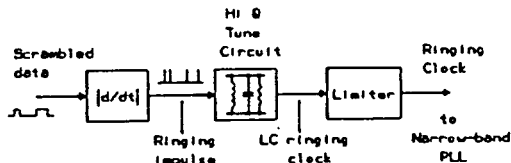
วิธีการ อโลเมนต์เฟรม ใช้หลักการที่ว่า FAW ที่แท้จริงจะปรากฏที่ตำแหน่งเดิมของทุกเฟรม ส่วน FAW เทียมนั้น จะไม่ปรากฏอยู่ที่ตำแหน่งใดอย่างถาวร ดังนั้นเมื่อตรวจพบ FAW ที่ตำแหน่งใดแล้ว ระบบจะต้องไปตรวจสอบอีกครั้งหนึ่งที่ตำแหน่งเดิมของเฟรมต่อไป ดังนั้นจากโดยแอมระมในรูป 3-6 จะพบว่า เริ่มต้นระบบจะอยู่ที่สถานะ e เมื่อพบเวรด์คัมกรที่เหมือน FAW ระบบจะเปลี่ยนไปที่สถานะ f (จากสถานะ f ถึง d ตำแหน่งเวลาการตรวจสอบ FAW จะมาจาก ส่วนนับความยาวเฟรม, FLC ใช้ชื่อสัญญาณว่า FAW_checking pulse ซึ่งจะส่งมาหลังจากได้รับสัญญาณให้เริ่มนับ (count start) จาก SSC แล้ว) จากนั้น ถ้าตรวจสอบพบเวรด์คัมกรที่เหมือน FAW ติดต่อกัน 2 เฟรม จะถือว่าเวรด์คัมกรนั้นเป็น FAW ที่แท้จริง ระบบก็จะเข้าสู่สภาวะการซิงโครไนซ์เฟรมคือสถานะ a แต่ถ้าใน 2 เฟรมนั้นมีเพียงเฟรมเดียวที่เหมือนเวรด์คัมกรที่กล่าว ระบบจะกลับไปเริ่มต้นที่สถานะ e เพื่อเริ่มต้นหา FAW ใหม่ (FLC จะหยุดทำงาน) ในทำนองเดียวกันเมื่อระบบอยู่ในสถานะ a คือ ซิงโครไนซ์เฟรมแล้ว ถ้ามีการตรวจไม่พบ FAW 4 เฟรมติดกันระบบก็จะเปลี่ยนสถานะจาก a ไป b จนถึง e ตามลำดับ (สถานะ b, c, d ยังถือว่าระบบอยู่ในสภาวะการซิงโครไนซ์เฟรมอยู่ของการตรวจไม่พบ FAW อาจเนื่องจากการผิดพลาดชั่วคราวของข้อมูลที่เป็นได้ ดังนั้นข้อมูลต่างๆก็ยังถือว่ามีความถูกต้องอยู่) แต่ถ้าใน 4 ครั้งก็กล่าวมา พบ FAW เพียงครั้งเดียวระบบจะกลับไปสู่สถานะ a ใหม่ ซึ่งเป็นการเพิ่มความมั่นใจในการซิงโครไนซ์เฟรมของระบบ เรียกการอโลเมนต์เฟรมด้วยวิธีการแบบนี้ว่า การอโลเมนต์เฟรมแบบอนุกรม (Serial Frame Alignment) [1]

3.4.2 การแยกสัญญาณนาฬิกา (Clock Recovery)

จากหัวข้อก่อนที่กล่าวถึง การซิงโครไนซ์ระดับเฟรม ซึ่งทำได้โดยการค้นหาและตรวจสอบ FAW เวิร์ดคัมกร เนื่องจากเวรด์คัมกรเกิดจากการรวมกันของบิตข้อมูลหลายบิต ดังนั้นการที่จะสามารถอ่านเวรด์คัมกรได้อย่างถูกต้องจากขบวนข้อมูลที่ได้รับได้นั้นจะต้องสามารถอ่านบิตข้อมูลต่างๆ ได้อย่างถูกต้องด้วย นั่นหมายความว่า ที่เครื่องรับจะต้องทราบว่าในแต่ละบิตข้อมูลที่ได้รับได้นั้นเริ่มต้นและจบลงเมื่อใด ซึ่งก็คือ ต้องทราบสัญญาณนาฬิกาของขบวนข้อมูลที่ได้รับได้ ซึ่งสัญญาณนาฬิกาต้องแยกออกมาจากขบวนข้อมูลที่ได้รับได้

โดยมากแล้วข้อมูลก่อนที่จะถูกส่งออกจากเครื่องส่งมักจะทำการเข้ารหัสเพื่อให้ภาครับสามารถแยกสัญญาณนาฬิกาได้ง่าย แต่การเข้ารหัสส่วนใหญ่มัก

จะทำให้ รูปคลื่นของขบวนบิตข้อมูลที่ได้มีแถบความถี่กว้างขึ้นกว่าเดิม (เช่น Manchester Code, RZ เป็นต้น) ซึ่งทำให้ต้องใช้แถบความถี่ของตัวกลางมากขึ้น สำหรับระบบที่ออกแบบจะใช้วิธีการจับสัญญาณนาฬิกาด้วย วงจร LC ringing ซึ่งไม่จำเป็นต้องเข้ารหัสทำให้แถบความถี่ของสัญญาณเพิ่มขึ้น ดังแสดงในรูป 3-7



รูป 3-7 โดอะแกรมการกำเนิดสัญญาณนาฬิกาโดยใช้ LC ringing circuit

จากรูปคลื่นอินพุตจะถูกนำเข้าสู่ส่วน ดิฟเฟอเรนเชียล (Differentiator) เพื่อสร้าง ริงกิงอิมพัลส์ (ringing impulse) ที่บริเวณที่มีการเปลี่ยนแปลงของข้อมูล (ซึ่งสอดคล้องกับจุดที่มีการเปลี่ยนแปลงสถานะของสัญญาณนาฬิกาด้วย) เพื่อกระตุ้นวงจร LC ซึ่งมีความถี่ไว้ที่ อัตราการส่งข้อมูล 16.64 MHz เนื่องจากแอมพลิจูดของสัญญาณนาฬิกาที่ค่อนข้างต่ำไม่คงที่ซึ่งจะมีขนาดใหญ่มากที่จุดกระตุ้นและลดลงแบบ เอ็กโปเนนเชียล (exponential) ไปเรื่อยจนกว่าจะถูกกระตุ้นใหม่ (รูป 3-8) ดังนั้นจึงต้องนำสัญญาณที่ได้ไปเข้าตัว ลิ้มิตเตอร์ (limiter) เพื่อควบคุมให้แอมพลิจูดคงที่ สัญญาณนาฬิกาที่ได้เรียกว่า ริงกิงคล็อก (Ringing Clock)

ปัญหาที่เกิดขึ้นสำหรับ LC ringing circuit คือปัญหาเรื่องจitter (jitter) ซึ่งเป็นอาการรบกวนเฟสของสัญญาณนาฬิกา (ความถี่จริงเป็นปัญหาที่เกิดกับการสื่อสารข้อมูลแบบ) สาเหตุเนื่องจากความไม่สมบูรณ์ของวงจร LC โดยเมื่อ LC ถูกกระตุ้นด้วยอิมพัลส์จะออกสัณฐานคล้ายความถี่ F_c ที่จุดกระตุ้น เมื่อเวลาผ่านไปความถี่ F_c จะเลื่อนออกไปเป็น F พร้อมกันกับแอมพลิจูดลดลง ความถี่ที่เลื่อนออกไปเป็นผลให้เฟสเลื่อนออกไปด้วย ถ้าเฟสเลื่อนออกไปถึงจุดหนึ่งก็จะมีผลต่อการซิงโครไนซ์ ในที่สุด จะเห็นว่าความถี่ F_c จะเลื่อนออกไปมากแต่เฟสจะน้อยกับ แพทเทิร์นของข้อมูลที่เราเข้ามาว่าในแต่ละเวลาจะมีจุดเปลี่ยนแปลง (อิมพัลส์) มากน้อยแค่ไหน จึงเรียกจitter ที่เกิดจากสาเหตุว่า pattern-induced jitter เมื่อกล่าวโดยสรุปแล้ว การเลื่อนออกไปของความถี่เกิดจากองค์ประกอบ 2 ประการคือ [1]

1. ความหนาแน่นสเปกตรัม (spectrum density) และความหนาแน่นอิมพัลส์
2. เสถียรภาพของวงจร LC

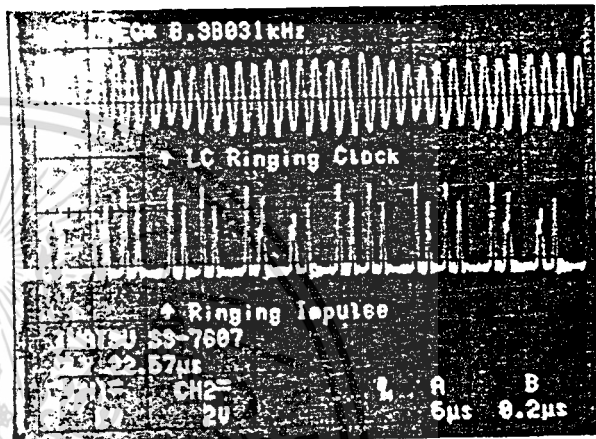
องค์ประกอบอื่นที่สัมพันธ์กับความหนาแน่นของอิมพัลส์ อิมพัลส์ที่ถี่ช่วงห่างกันมากเกินไป (ข้อมูลเป็นขบวน 1 หรือ 0 ติดกันยาวๆ) จะทำให้ความถี่ F_c เลื่อนออกไปมาก นั่นหมายความว่า ถ้าขบวนข้อมูลทั้งสองออกมาเป็นแบบ แรนดอม ปัญหาทั้งหมดจะหายไป วิธีใช้แนวทางปฏิบัติ คือ การทำการสแครมเบิลกับขบวนข้อมูลก่อนที่จะถูกส่งออกจากเครื่องส่ง ซึ่งตัวสแครมเบิลจะทำการสร้างขบวนสัญญาณที่มีลักษณะ แรนดอม (random) คือ โอกาสที่จะเป็น 1 และ 0 เท่ากัน มาทำการ xor กับขบวนข้อมูลที่ต้องการส่ง ผลที่ได้คือ ขบวนข้อมูลใหม่ที่มีข้อมูลข่าวสารอยู่ด้วยและมีลักษณะเป็น แรนดอม ซึ่งสามารถพิสูจน์ได้ง่ายดังนั้น จากรูป 3-8a ถ้ากำหนดให้โอกาสที่ขบวนข้อมูล (ก่อนถูกสแครมเบิล) จะเป็น 1 และ 0 เป็น $p(1)$ และ $p(0)$ ตามลำดับ และโอกาสที่ขบวนข้อมูลจากตัวสแครมเบิลจะเป็น 1 และ 0 เป็น $q(1)$ และ $q(0)$ ตามลำดับ ดังนั้นโอกาสที่จะเป็น 1 ของขบวนข้อมูลใหม่ที่ได้จะเป็น [3]

$$p_1 = p(1)q(0) + p(0)q(1)$$

เมื่อตัวสแครมเบิลมีจำนวนสแตตัสจำนวนมากพอ

$$\begin{aligned} q(0) &= q(1) = 0.5 \\ \text{ดังนั้น} \quad p_1 &= [p(1) + p(2)] 0.5 \\ p_1 &= 0.5 \\ \text{และ} \quad p_0 &= 1 - p_1 = 0.5 \quad \text{เช่นกัน} \end{aligned}$$

จะเห็นว่าขบวนข้อมูลใหม่ที่ได้มีความเป็นแรนดอมเช่นกัน และจากการวิจัย [3] พบว่าสแครมเบิลอร์ขนาด 5 สแตตัสมีความเป็นแรนดอมมากเพียงพอ ข้อดีอีกประการหนึ่งของการใช้ตัวสแครมเบิลอร์คือ ทำให้แอมพลิจูดของสัญญาณนาฬิกาที่ได้จากวงจร LC ไม่มีโอกาสที่จะลดลงเป็นศูนย์ซึ่งจะทำให้สัญญาณนาฬิกาขาดหายไปได้ รูป 3-8 แสดงสัญญาณที่วัดได้ ภาพบนเป็นสัญญาณนาฬิกาที่ได้จากวงจร LC และภาพล่างเป็นสัญญาณอิมพัลส์

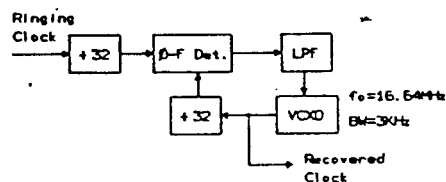


รูป 3-8 แสดงสัญญาณนาฬิกาที่ได้จากวงจร LC และสัญญาณอิมพัลส์ที่ใช้กระตุ้น

ส่วนองค์ประกอบที่ 2 เกี่ยวกับเสถียรภาพของวงจร LC การเลือกออกของความถี่ เกี่ยวข้องกับค่า Q ของวงจร LC วงจรที่มีค่า Q สูง แสดงว่า วงจรนั้นมีแถบความถี่แคบซึ่งบ่งบอกถึงความสามารถและความมั่นคงในการรักษาความถี่เรโซแนนซ์ของวงจร การที่จะทำให้ค่า Q ของวงจรสูงขึ้น จากการทดลองพอจะสรุปได้ดังนี้

1. พยายามเลือก L ให้มีค่าต่ำและเลือก C ให้มีค่าสูงโดยที่ยังสามารถเรโซแนนซ์ที่ความถี่ที่ต้องการได้
2. โหลดของวงจร LC ต้องมีอิมพีแดนซ์สูง เช่น การใช้บัฟเฟอร์ที่อินพุตเป็น เฟด หรือ มอสเฟต
3. เลือกอุปกรณ์ที่มีคุณภาพที่ดีและเหมาะสม เช่น การใช้ C ที่มีค่าสัมประสิทธิ์อุณหภูมิเป็นลบ

นอกจากการพยายามทำให้ค่า Q ของวงจรสูงขึ้นซึ่งในทางปฏิบัติยาก จะทำได้ไม่มากนัก การนำระบบ เฟสล็อกคัล (PLL: Phase Lock Loop) เข้ามาช่วยเป็นอีกวิธีหนึ่งที่สามารถทำให้ค่า Q ของระบบเพิ่มขึ้นอย่างมาก คุณสมบัติที่สำคัญของ PLL ที่จะนำมาประยุกต์ใช้นั้น คือ การทำให้ PLL มีแถบความถี่ (Loop Bandwidth) ที่แคบมาก ซึ่งทำได้โดยการใช้นัลลิก



รูป 3-9 โดอะแกรมของ เฟสล็อกคัลแบบความถี่แคบ (Narrow-band PLL)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

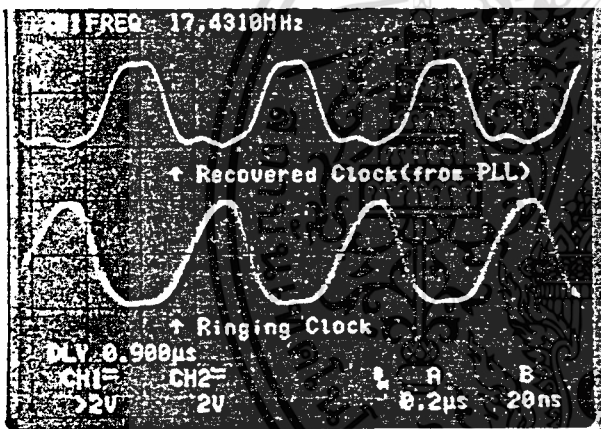
แตร(crystal)ในส่วนควบคุมความถี่ด้วยแรงดัน, VCO (Voltage Control oscillator) เรียก VCO แบบนี้ว่า VCXO (Voltage Control Crystal Oscillator) สำหรับ VCXO ที่ใช้ในการทดลอง มีความถี่กลางอยู่ที่ 17.43 MHz (ไม่สามารถหาคริสตัล 16.64 MHz ตามข้อกำหนดได้) แทนความถี่ประมาณ 3 KHz ที่แรงดันควบคุมอินพุต 0-30V จะเห็นว่าเมื่อเทียบกับความถี่กลางแล้วแถบความถี่จะแคบมาก ดังนั้นความถี่อ้างอิงหลักทางภาคส่งที่ใช้กำหนดจังหวะเวลามากับขบวนข้อมูลที่จะส่งมา จะต้องมัลติเพล็กซ์ความถี่ต้องอยู่ในแถบความถี่ของ PLL ที่ภาครับ ซึ่งอุปกรณ์ก็มีผลต่อเสถียรภาพด้วยเช่นกัน

การที่ PLL มีแถบความถี่แคบมาก มีผลให้

- เมื่อเกิดสถานการณ์การสูญเสียการซิงโครไนซ์ ความถี่อิสระ (free-running frequency) ของ VCXO จะยังคงใกล้เคียงกับความถี่อ้างอิงมาก[2].

- ลดผลการรบกวนของ จิตเตอร์ได้มาก[4]

ระบบ PLL แสดงในรูป 3-9 จากรูป สัญญาณ ringing clock ซึ่งมีจิตเตอร์น้อยอยู่ (รูป 3-10ล่าง) จะเข้าสู่ PLL โดยหารความถี่ด้วย 32 ก่อน เพื่อให้ความถี่ค่าลงพอที่ตัวเปรียบเทียบจะทำงานได้ โดยตัวเปรียบเทียบที่ใช้เป็น ϕ -F Det. ซึ่งจะเปรียบเทียบทั้งเฟสและความถี่ทำให้สลับใช้เวลาในการลอคน้อยลง สัญญาณนาฬิกาใหม่จะได้จากตัว VCXO ซึ่งจะลดจิตเตอร์ไปได้มากดังรูป 3-10บน

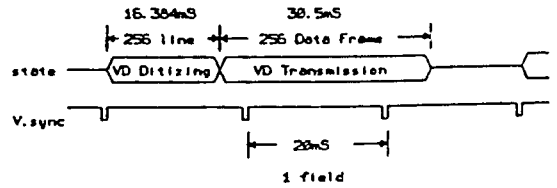


รูป 3-10 แสดงสัญญาณนาฬิกา ก่อน (เข้า PLL (ล่าง) และออกจาก PLL (บน)

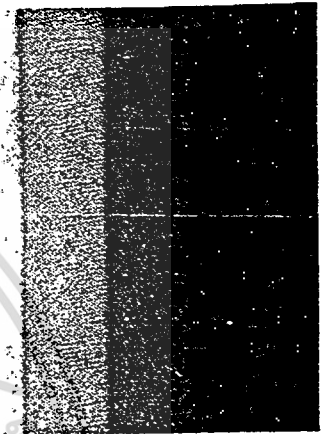
4. ความเร็วในการส่งภาพ

หลังจากที่ได้กล่าวถึงระบบทั้งหมดยกได้ออกมาแล้ว ยังมีอีกส่วนหนึ่งที่ควรกล่าวถึง คือ ความเร็วในการส่งภาพ ซึ่งจะแสดงด้วยไดอะแกรมเวลาการทำงานของส่วนดิจิทัลสัญญาณภาพ และช่วงเวลาการส่งข้อมูลภาพเมื่อเทียบกับสัญญาณซิงค์แนวตั้งของสัญญาณภาพ ดังรูปที่ 4-1

จากรูปจะเห็นว่า ทุกๆ 3 นิลด์ของสัญญาณภาพ จะสามารถส่งข้อมูลภาพสมบูรณ์ไปเครื่องรับได้ 1 ภาพ เนื่องจากอัตราบิตของสัญญาณภาพตามมาตรฐาน PAL เป็น 50 นิลด์/วินาที ดังนั้นอัตราความเร็วในการส่งภาพของเครื่องส่งจะเป็น $50/3 = 16.66$ ภาพ/วินาที ถึงแม้ว่าสำหรับสัญญาณภาพแล้ว 2 นิลด์ ถึงจะถือเป็น 1 เฟรมภาพที่สมบูรณ์ การดิจิทัลสัญญาณเพียงนิลด์เดียวในเชิงความหมายของภาพแล้ว ถือว่าได้ 1 ภาพสมบูรณ์เช่นกัน ดังนั้นจึงถือได้ว่าค่า 16.66 ภาพ/วินาที ที่คำนวณได้มีความถูกต้องเช่นกัน ส่วนรูป 4-2 แสดงภาพมาร์แนทเทอร์นลิเทที่ ทิศกลางส่งและรับได้ที่เครื่องรับ



รูป 4-1 ผังเวลาแสดงจังหวะการทำงานระหว่างช่วงเวลาการดิจิทัลและช่วงเวลาการส่งข้อมูลภาพ



รูป 4-2 มาร์แนทเทอร์นลิเทที่รับได้ที่เครื่องรับ

5. บทสรุป

บทความวิจัยนี้ ได้เสนอการออกแบบระบบส่งข้อมูลภาพและเสียงความเร็ว 16.64 Mbit/s ระบบออกแบบโดยใช้ไอซี ที่ทีแอล ล้วนทำให้ระบบไม่มีความซับซ้อนสูง ซึ่งเป็นสภาวะธรรมดาสำหรับระบบที่ไม่ได้ควบคุมด้วยซอฟต์แวร์ อัตราการส่งภาพทำได้ 16.66 ภาพ/วินาที เมื่อเทียบกับมาตรฐานระบบ PAL คือ 25 ภาพ/วินาที แล้วคิดเป็นอัตราส่วน 2:3 จากการทดลองส่งภาพเคลื่อนไหว ภาพที่รับได้ยังมีความเคลื่อนไหวต่อเนื่องดี (ภาพที่เคลื่อนไหวเร็วอาจสังเกตเห็นความไม่ต่อเนื่องได้)

อย่างไรก็ดี ยังมีความต้องการที่จะแก้ไขปรับปรุงบางจุด เช่น การพยายามนำเอาไมโครคอนโทรลเลอร์ที่มีความเร็วสูง เข้ามาควบคุมการทำงานเพื่อให้ระบบเล็กลง , การเพิ่มหน่วยความจำในส่วนดิจิทัลสัญญาณภาพเป็น 2 ชุดเพื่อทำให้อัตราการส่งภาพสูงขึ้นเป็น 25 ภาพ/วินาที หรือการนำกรรมวิธีการบีบอัดข้อมูลภาพเข้ามาช่วยในการลดขนาดภาพเพื่อลดความเร็วในการส่งข้อมูลลง เป็นต้น

6. เอกสารอ้างอิง

- [1] Frank F.E. Owen: "PCM and Digital Transmission Systems", McGraw-Hill, Inc., 1982
- [2] Dan H. Wolaver: "Phase-Locked Loop Circuit Design", Prentice-Hall, Englewood Cliffs, New-Jersey., 1991
- [3] Hiroyuki Kasai, Sachio Senmoto, and Masahiko Matsushita: "PCM Jitter Suppression by Scrambling", IEEE Transactions on Communications vol.COM-22, No 8, August 1974

หมายเหตุ: เนื่องจากหาคริสตัล 16.64 MHz ไม่ได้จึงใช้ 17.43 MHz แทน

- [4] David G. Messerschmitt: "Frequency Detector for PLL Acquisition in Timing and Carrier Recovery", IEEE Transactions on Communications, vol.COM-27, No 9, September 1979
- [5] ชัยบูรณ์ กังสเจียรณี: "ระบบไครคัมกับมัลติเพลกซ์สำหรับการสื่อสารด้วยเส้นใยนำแสง", วิทยานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรมหาบัณฑิต, คณะวิศวกรรมศาสตร์, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, ปีการศึกษา 2529



ประวัติผู้เขียน

ชื่อผู้เขียน

นายสมศักดิ์ อภิรักษ์สมบัติ

วัน เดือน ปี เกิด

วันที่ 25 กรกฎาคม พ.ศ. 2506

สถานที่เกิด

กรุงเทพมหานคร

วุฒิการศึกษา

- วิทยาศาสตร์บัณฑิต สาขาวิชาฟิสิกส์
มหาวิทยาลัยรามคำแหง. ปีการศึกษา 2530
- วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง.
ปีการศึกษา 2536
- เรื่อง การวัดเฟสจิทเตอร์ในระบบโทรศัพท์
การประชุมวิชาการวิศวกรรมไฟฟ้า ครั้งที่ 12
ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์
มหาวิทยาลัยเกษตรศาสตร์
- เรื่อง ระบบส่งข้อมูลภาพและเสียงแบบ ทีดีเอ็ม
การประชุมวิชาการวิศวกรรมไฟฟ้า ครั้งที่ 16
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง.

ผลงานทางวิชาการที่ได้รับการตีพิมพ์